

V850E2/MN4

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ
V850E2/Mx4 マイクロコントローラ

μPD70F3510

μPD70F3512

μPD70F3514

μPD70F3515

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOS デバイスの一般的注意事項

- (1) 入力端子の印加波形
入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS デバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理
CMOS デバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOS デバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して VDD または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策
MOS デバイス取り扱いの際は静電気防止を心がけてください。MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOS デバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態
電源投入時、MOS デバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序
内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源 OFF 時における入力信号
当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

- 対象者** このマニュアルは、V850E2/MN4 (μ PD70F3510, 70F3512, 70F3514, 70F3515) の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示す V850E2/MN4 のハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E2/MN4 のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850E2M ユーザズ・マニュアルアーキテクチャ編）の 2 冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU 機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。
- 一通り V850E2/MN4 の機能を理解しようとするとき
- 目次に従ってお読みください。
- 命令機能の詳細を理解しようとするとき
- 別冊の V850E2M ユーザズ・マニュアル アーキテクチャ編を参照してください。

本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

第 1 章	イントロダクション	27
1.1	概説	27
1.2	特徴	28
1.3	応用分野	30
1.4	オーダ情報	30
1.5	機能ブロック構成	31
1.5.1	シングル・コア製品	31
1.5.2	デュアル・コア製品	32
第 2 章	端子機能	33
2.1	端子配置図	33
2.2	端子機能一覧	41
2.3	端子機能の二重化	74
2.4	端子状態	84
2.5	初期状態と未使用時の処理	92
2.6	端子の入力回路タイプ	102
2.6.1	ポート入力およびポート兼用機能入力端子の入力回路タイプ	102
2.6.2	その他の入力端子の入力回路タイプ	102
第 3 章	動作モード	103
3.1	特徴	103
3.2	動作モード	103
3.2.1	通常動作モード	103
3.2.2	フラッシュ・メモリ・プログラミング・モード	103
3.2.3	バウンダリ・スキャン・モード	103
3.3	動作モード指定	104
第 4 章	CPU	105
4.1	特徴	105
4.2	構成	106
4.3	CPU コア	107
4.4	アドレス空間	108
4.4.1	CPU アドレス空間	108
4.4.2	CPU アドレス空間のラップ・アラウンド	109
4.4.3	メモリ・マップ	110
4.4.4	領域	111
4.5	プロセッサ・エレメント (PE)	117
4.6	バス・アーキテクチャ	117
4.6.1	内部システム・バス	117
4.6.2	P バス	117
4.6.3	H バス	117
4.6.4	E バス	122
4.6.5	PE 間バス	122
4.6.6	アービトレーション	123
4.7	割り込み機能	124
4.7.1	割り込み要因	124
4.7.2	割り込みの分配	128

4.8	フラッシュ・キャッシュ	129
4.8.1	構成	129
4.8.2	制御レジスタ	130
4.8.3	動作	132
4.9	マルチ・プロセッサ・サポート	134
4.9.1	分散共有型アドレス・マップ	134
4.9.2	PE 間 RAM アクセス	137
4.9.3	プロセッサ・エレメント識別子	139
4.9.4	相互排除支援機能	140
4.9.5	アトミック・バス・サイクル	144
4.9.6	PE 間割り込み要求機能	145
4.9.7	メモリ同期化機能 (SYNCM)	148
4.9.8	シングルプロセッサ構成でも使用可能な資源	150
4.10	周辺保護機能	151
4.10.1	周辺装置保護機能 (PPU) 対応	151
4.11	タイミング監視機能	162
4.12	その他の保護機能	162
4.12.1	PE ガード機能	162
4.12.2	命令アクセス・エラー通知機能	171
4.12.3	システム・エラー通知機能	171
第 5 章 リセット機能		175
5.1	特徴	175
5.2	構成	175
5.3	制御レジスタ	176
5.3.1	リセット要因フラグ・レジスタ (RESF)	176
5.3.2	リセット要因クリア・レジスタ (RESC)	177
5.3.3	ソフトウェア・リセット許可レジスタ : SWRSTEN	178
5.3.4	ソフトウェア・リセット・トリガ・レジスタ : SWREST	178
5.4	動作	179
5.4.1	RESET 端子入力によるシステム・リセット動作	179
5.4.2	ウォッチドッグ・タイマのオーバフローによるシステム・リセット	180
5.4.3	ソフトウェア・リセットによるシステム・リセット	181
第 6 章 クロック・ジェネレータ		182
6.1	特徴	182
6.2	構成	183
6.3	制御レジスタ	184
6.3.1	特殊クロック周波数制御レジスタ (SFRCTL3)	184
6.3.2	SFRCTL3 用クロック選択ステータス・レジスタ (SFR3CKST)	186
6.4	動作	188
6.4.1	各クロックの動作状態	188
第 7 章 オプション・バイト		189
7.1	特徴	189
7.2	データ構造	190
7.2.1	オプション・バイト	190

7.3	制御レジスタ	192
7.3.1	オプション・バイト格納レジスタ (OPBT0)	192
第8章	ポート機能	194
8.1	特徴	195
8.2	概説	196
8.2.1	用語	197
8.2.2	端子機能概要	198
8.2.3	端子データ入力／出力	199
8.2.4	ポート制御論理図	202
8.2.5	書き込み保護レジスタ	203
8.3	ポート・グループ・コンフィギュレーション・レジスタ	204
8.3.1	概要	204
8.3.2	端子機能の設定	206
8.3.3	端子データ入力／出力	213
8.3.4	電気的特性の設定	217
8.3.5	ポート・レジスタ保護	225
8.3.6	ポート設定のフロー例	227
8.4	V850E2/MN4 ポート機能	231
8.4.1	ポート入力およびポート兼用機能入力端子の入力回路タイプ	231
8.4.2	汎用 I/O 機能	231
8.4.3	V850E2/MN4 ポート制御レジスタ	238
8.4.4	V850E2/MN4 ポート制御レジスタ設定一覧	246
8.5	ポート・フィルタ	294
8.5.1	アナログ・フィルタとデジタル・フィルタの割り当て	294
8.5.2	機能説明	298
第9章	割り込み機能	311
9.1	特徴	311
9.2	割り込み要因	313
9.2.1	FE レベル・ノンマスカブル割り込み	313
9.2.2	FE レベル・マスカブル割り込み	313
9.2.3	EI レベル・マスカブル割り込み	314
9.3	割り込みコントローラ制御レジスタ	327
9.3.1	EICn (n=0-255) : EI レベル割り込み制御レジスタ	327
9.3.2	IMRm (m = 0-15) : EI レベル割り込みマスク・レジスタ	328
9.3.3	ISPR : イン・サービス・プライオリティ・レジスタ	329
9.3.4	PMR : プライオリティ・マスク・レジスタ	330
9.3.5	ISPC : イン・サービス・プライオリティ・マスク・レジスタ	331
9.3.6	SCR : 選択チャンネル保持レジスタ	332
9.3.7	ICSR : 割り込みコントローラ・ステータス・レジスタ	333
9.3.8	FNC : FE レベル NMI 制御レジスタ	334
9.3.9	FIC : FE レベル・マスカブル割り込み制御レジスタ	334
9.4	割り込みの受け付けと復帰	335
9.4.1	FENMI 割り込み要求による FE レベル・ノンマスカブル割り込み	335
9.4.2	FE レベル・ノンマスカブル割り込み (FENMI) からの復帰	337

9.4.3	FEINT 割り込み要求による FE レベル・マスカブル割り込み	337
9.4.4	FE レベル・マスカブル割り込み (FEINT) からの復帰	339
9.4.5	EIINT 割り込み要求による EI レベル・マスカブル割り込み	340
9.4.6	EI レベル・マスカブル割り込み (EIINT) からの復帰	342
9.5	割り込み動作	343
9.5.1	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能	343
9.5.2	割り込み優先度判断	343
9.5.3	優先度マスク機能	349
9.5.4	保留割り込み通知機能	349
9.5.5	イン・サービス・プライオリティ・クリア機能	350
9.6	例外ハンドラ・アドレス切り替え機能	350
第 10 章	DMA 機能	351
10.1	V850E2/MN4 DMA の特徴	351
10.2	用語	354
10.3	概要	355
10.3.1	DMAC (DMA Controller) の機能	355
10.3.2	DTFR (DMA Trigger Factor Register) の機能	355
10.3.3	DTS (Data Transfer Service) の機能	355
10.3.4	DTSFSL (DTS Factor SeLector) の機能	355
10.3.5	DMA アクセス・メモリ・マップ	357
10.3.6	チャンネルの優先順位	357
10.3.7	転送要求のアービトレーション	358
10.4	DMAC 機能	359
10.4.1	特徴	359
10.4.2	設定レジスタ	361
10.4.3	制御レジスタへの書き込み可否	371
10.5	DMAC 制御レジスタ	372
10.5.1	DTRCx (x = 0, 1) : DMA 転送要求コントロール・レジスタ	372
10.5.2	DTRSn (n = 0-15) : DMA 転送要求選択レジスタ	373
10.5.3	DSAnL (n = 0-15) : DMA ソース・アドレス・レジスタ L	374
10.5.4	DSAnH (n = 0-15) : DMA ソース・アドレス・レジスタ H	375
10.5.5	DSCn (n = 0-15) : DMA ソース・チップ・セレクト・レジスタ	376
10.5.6	DNSAnL (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ L	377
10.5.7	DNSAnH (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ H	378
10.5.8	DNSCn (n = 0-15) : DMA ネクスト・ソース・チップ・セレクト・レジスタ	379
10.5.9	DDAnL (n = 0-15) : DMA デスティネーション・アドレス・レジスタ L	380
10.5.10	DDAnH (n = 0-15) : DMA デスティネーション・アドレス・レジスタ H	381
10.5.11	DDCn (n = 0-15) : DMA デスティネーション・チップ・セレクト・レジスタ	382
10.5.12	DNDAnL (n = 0-15) : DMA ネクスト・デスティネーション・アドレス・レジスタ L	383
10.5.13	DNDAnH (n = 0-15) : DMA ネクスト・デスティネーション・アドレス・レジスタ H	384
10.5.14	DNDcn (n = 0-15) : DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ	385

10.5.15	DTCn (n = 0-15) : DMA 転送カウント・レジスタ	386
10.5.16	DNTCn (n = 0-15) : DMA ネクスト転送カウント・レジスタ	387
10.5.17	DTCCn (n = 0-15) : DMA 転送カウント・コンペア・レジスタ	388
10.5.18	DTCTn (n = 0-15) : DMA 転送制御レジスタ	389
10.5.19	DTSn (n = 0-15) : DMA 転送ステータス・レジスタ	391
10.6	DMAC 機能詳細	393
10.6.1	DMAC 転送の設定フロー	393
10.6.2	DMAC の転送モード	394
10.6.3	DMAC チャンルの優先順位	397
10.6.4	DMAC 転送要求の有効条件	398
10.6.5	ネクスト・アドレス機能	399
10.6.6	DMAC 転送の中断／再開	400
10.6.7	エラー・レスポンス	401
10.7	DTFR 機能	402
10.7.1	特徴	402
10.8	DTFR 制御レジスタ	403
10.8.1	DTFRn (n = 0-15) : DTFRn レジスタ	403
10.8.2	DRQCLR : DMA 要求クリア・レジスタ	404
10.8.3	DRQSTR : DMA 要求確認レジスタ	405
10.9	DTS 機能	406
10.9.1	特徴	406
10.10	DTS 制御レジスタ	409
10.10.1	DTS0TSR : DTS 転送状態レジスタ [レジスタ群 A]	410
10.10.2	DTS0TRC : DTS 転送要求制御レジスタ [レジスタ群 A]	411
10.10.3	DTS0ICR : DTS 初期化制御レジスタ [レジスタ群 A]	412
10.10.4	DTS0BTR : DTS ベース・テーブル・レジスタ [レジスタ群 A]	414
10.10.5	DTS0BVR : DTS ベース・ベクタ・レジスタ [レジスタ群 A]	415
10.10.6	DTS0ACR : DTS アクティブ・チャンネル・レジスタ [レジスタ群 A]	416
10.10.7	DTS0HST : DTS TI ホールド状態レジスタ [レジスタ群 A]	417
10.10.8	DTS0HC : DTS TI ホールド・チャンネル・ナンバ・レジスタ [レジスタ群 A]	418
10.10.9	DTS0SAR : DTS ソース・アドレス・レジスタ [レジスタ群 B]	420
10.10.10	DTS0DAR : DTS デスティネーション・アドレス・レジスタ [レジスタ群 B]	421
10.10.11	DTS0TCEA : DTS 転送回数／ELSE アドレス・レジスタ [レジスタ群 B]	422
10.10.12	DTS0SCS : DTS ソース・アドレス加減算量レジスタ [レジスタ群 B]	424
10.10.13	DTS0DCS : DTS デスティネーション・アドレス加減算量レジスタ [レジスタ群 B]	425
10.10.14	DTS0CIR : DTS 制御情報レジスタ [レジスタ群 B]	426
10.10.15	DTS0ECSRA : DTS 拡張アドレス加減算量／リポート・アドレス・レジスタ [レジスタ群 B]	428
10.11	DTS 機能詳細	430
10.11.1	転送情報 (TI)	430
10.11.2	DTS 転送の設定フロー	434
10.11.3	DTS の基本動作	435
10.11.4	転送モード	436

10.11.5	転送タイプ	437
10.11.6	特殊機能	454
10.11.7	転送回数	456
10.11.8	チェーン機能	457
10.11.9	TI ホールド機能	458
10.11.10	割り込み出力機能	459
10.11.11	ブロック転送時と割り込み, チェーンの関係	459
10.11.12	TI ライト・バック・スキップ機能	460
10.11.13	DTS チャンネルの優先順位制御	460
10.11.14	DTS 転送要求の有効条件	461
10.11.15	DMA 転送の中断/再開	461
10.11.16	エラー・レスポンス対応	462
10.12	DTSFSL 機能	463
10.12.1	特徴	463
10.13	DTSFSL 制御レジスタ	468
10.13.1	DTSENx (x = 000-127) : DTS 転送許可レジスタ	468
10.13.2	DTSHEMm (m = 0-3) : DTS ホールド許可レジスタ	469
10.13.3	DTSSLEm (m = 0-15) : DTS 転送完了割り込み選択レジスタ	471
第 11 章 プライマリ・メモリ・コントローラ (PMEMC)		473
11.1	特徴	473
11.1.1	動作モード, 接続可能メモリ	475
11.1.2	チップ・セレクト出力機能	475
11.1.3	バス・サイジング機能	475
11.1.4	データ・エンディアン設定機能	475
11.1.5	プログラマブル・ウエイト設定機能	475
11.1.6	外部ウエイト機能	476
11.1.7	外部ウエイト・エラー検出機能	476
11.1.8	バス・ホールド機能	476
11.1.9	DMA サイクル出力機能	476
11.2	レジスタ	477
11.2.1	バス・サイズ設定レジスタ (BSC)	478
11.2.2	データ・エンディアン設定レジスタ (DEC)	479
11.2.3	データ・ウエイト設定レジスタ 0 (DWC0)	480
11.2.4	データ・ホールド・ウエイト設定レジスタ (DHC)	481
11.2.5	アイドル・サイクル設定レジスタ 0, 1 (ICC0, ICC1)	482
11.2.6	外部ウエイト・エラー設定レジスタ (EWC)	484
11.2.7	SDRAM イネーブル・コントロール・レジスタ (SEN)	485
11.2.8	SDRAM コンフィグレーション・レジスタ (SDCR)	486
11.2.9	SDRAM ステータス・レジスタ (STR)	490
11.2.10	SDRAM リフレッシュ・コントロール・レジスタ (RFS)	491
11.3	バス・サイクル・タイプ設定機能	492
11.3.1	SRAM バス・サイクル・タイプ	492
11.3.2	SDRAM バス・サイクル・タイプ	494
11.4	バス制御機能	496
11.4.1	チップ・セレクト出力機能	496

11.4.2	バス・サイズ設定機能	497
11.4.3	データ・エンディアン設定機能	498
11.4.4	SDRAM 設定手順	498
11.5	ウェイト機能	506
11.5.1	プログラマブル・データ・ウェイト機能	506
11.5.2	外部ウェイト機能	508
11.5.3	外部ウェイト・エラー検出機能	509
11.5.4	データ・ホールド・ウェイト機能	510
11.5.5	アイドル挿入機能	511
11.6	バス・ホールド機能	512
11.7	DMA サイクル出力機能	517
11.8	メモリ接続例	518
11.8.1	SRAM 接続例	518
11.8.2	SDRAM 接続例	520
11.9	データ・フロー	524
11.9.1	バイト・アクセス時のデータ・フロー	525

第 12 章	タイマ・アレイ・ユニット A (TAUA)	535
12.1	V850E2/MN4 の TAUA の特長	535
12.2	機能概要	539
12.2.1	用語	541
12.3	機能説明	542
12.3.1	タイマ動作機能一覧	543
12.4	基本操作手順	545
12.5	動作モード	546
12.6	チャンネル連動動作の概念	547
12.6.1	ルール	547
12.6.2	連動チャンネル・カウンタの同時動作開始/停止	549
12.7	一斉書き換え	550
12.7.1	概要	550
12.7.2	一斉書き換えの制御方法	552
12.7.3	一斉書き換えのその他の基本ルール	553
12.7.4	一斉書き換えの種類	554
12.8	チャンネル出力モード	562
12.8.1	チャンネル出力モードを指定するための基本手順	564
12.8.2	TAUAn 信号により単体制御されるチャンネル出力モード	565
12.8.3	TAUAn 信号により連動制御されるチャンネル出力モード	567
12.9	各動作モードでのカウント開始タイミング	572
12.9.1	インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モード	572
12.9.2	イベント・モード	573
12.9.3	その他の動作モード	573
12.10	カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成	574
12.11	オーバフロー時の割り込み発生	576
12.11.1	キャプチャ・モード	577
12.11.2	キャプチャ & ワンカウント・モード	578
12.11.3	カウント・キャプチャ・モード	579

12.11.4	キャプチャ&ゲート・カウント・モード	580
12.12	TAUAnTTINm エッジ検出	581
12.13	DMA ウインドウ・アドレスの割り当て	582
12.14	チャンネル単体動作機能	583
12.15	チャンネル単体割り込み機能	583
12.15.1	インターバル・タイマ機能	584
12.15.2	TAUAnTTINm 入力インターバル・タイマ機能	591
12.15.3	ディレイ・カウント機能	597
12.15.4	ワンパルス出力機能	601
12.16	チャンネル単体信号測定機能	606
12.16.1	TAUAnTTINm 入力パルス・インターバル測定機能	607
12.16.2	TAUAnTTINm 入力信号幅測定機能	616
12.16.3	オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時)	624
12.16.4	TAUAnTTINm 入力期間カウント検出機能	628
12.16.5	オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)	633
12.16.6	TAUAnTTINm 入力パルス・インターバル判定機能	637
12.16.7	TAUAnTTINm 入力信号幅判定機能	642
12.17	チャンネル単体リアルタイム機能	647
12.17.1	リアルタイム出力機能タイプ 1	648
12.17.2	リアルタイム出力機能タイプ 2	656
12.18	チャンネル単体一斉書き換え機能	662
12.18.1	一斉書き換えトリガ生成機能タイプ 1	663
12.18.2	一斉書き換えトリガ生成機能タイプ 2	669
12.19	チャンネル単体 1 相 PWM 機能	676
12.19.1	1 相 PWM 出力機能	677
12.20	その他のチャンネル単体機能	684
12.20.1	外部イベント・カウント機能	685
12.20.2	クロック分周機能	692
12.20.3	TAUAnTTINm 入力位置検出機能	698
12.21	チャンネル連動動作機能	703
12.22	一定間隔でトリガされる連動 PWM 信号機能	703
12.22.1	PWM 出力機能	704
12.22.2	トリガ・スタート PWM 出力機能	715
12.22.3	ディレイ・パルス出力機能	726
12.22.4	A/D 変換トリガ出力機能タイプ 1	740
12.23	外部信号でトリガされる連動 PWM 信号機能	742
12.23.1	ワンショット・パルス出力機能	743
12.23.2	オフセット・トリガ出力機能	752
12.24	同期三角波 PWM 機能	760
12.24.1	三角波 PWM 出力機能	761
12.24.2	デッド・タイム付き三角波 PWM 出力機能	772
12.24.3	A/D 変換トリガ出力機能タイプ 2	786
12.25	連動非相補方式変調出力機能と連動相補方式変調出力機能	788
12.25.1	非相補方式変調出力機能タイプ 1	789
12.25.2	非相補方式変調出力機能タイプ 2	803
12.25.3	相補方式変調出力機能	817

12.26	その他のチャンネル連動機能	835
12.26.1	割り込み信号間引き機能	836
12.27	レジスタ	845
12.27.1	TAUAn レジスタの概要	845
12.27.2	TAUAn プリスケアラ・レジスタの詳細	847
12.27.3	TAUAn 制御レジスタの詳細	852
12.27.4	TAUAn 出力レジスタの詳細	864
12.27.5	TAUAn チャンネル出力レベル・レジスタの詳細	870
12.27.6	TAUAn 一斉書き換えレジスタの詳細	871
12.27.7	TAUAn DMA ウィンドウ・レジスタ	874
第 13 章	タイマ・アレイ・ユニット J (TAUJ)	876
13.1	V850E2/MN4 の TAUJ の特長	876
13.2	機能概要	878
13.2.1	用語	880
13.3	機能説明	881
13.3.1	タイマ動作機能一覧	882
13.4	基本操作手順	883
13.5	動作モード	884
13.6	チャンネル連動動作の概念	885
13.6.1	ルール	885
13.6.2	連動チャンネル・カウンタの同時動作開始/停止	887
13.7	一斉書き換え	888
13.7.1	概要	888
13.7.2	一斉書き換えの制御方法	889
13.7.3	一斉書き換えのその他の基本ルール	890
13.7.4	一斉書き換えの方法	891
13.8	チャンネル出力モード	893
13.8.1	チャンネル出力モードを指定するための基本手順	895
13.8.2	TAUJn 信号により単体制御されるチャンネル出力モード	896
13.8.3	TAUJn 信号により連動制御されるチャンネル出力モード	897
13.9	各動作モードでのカウント開始タイミング	898
13.9.1	インターバル・タイマ・モード, キャプチャ・モード	898
13.9.2	その他の動作モード	899
13.10	カウント開始/リスタート時の TAUJnTTOUtm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)	900
13.11	特定機能におけるオーバフロー時の割り込み発生	901
13.11.1	キャプチャ・モード	902
13.11.2	キャプチャ & ワンカウント・モード	903
13.11.3	カウント・キャプチャ・モード	904
13.11.4	キャプチャ & ゲート・カウント・モード	905
13.12	TAUJnTTINm エッジ検出	906
13.13	チャンネル単体動作機能	907
13.14	チャンネル単体割り込み機能	907
13.14.1	インターバル・タイマ機能	908
13.14.2	TAUJnTTINm 入力インターバル・タイマ機能	915
13.15	チャンネル単体信号測定機能	921

13.15.1	TAUJnTTINm 入力パルス・インターバル測定機能	922
13.15.2	TAUJnTTINm 入力信号幅測定機能	931
13.15.3	オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)	939
13.15.4	TAUJnTTINm 入力期間カウント検出機能	943
13.15.5	オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)	948
13.16	その他のチャンネル単体機能	952
13.16.1	TAUJnTTINm 入力位置検出機能	953
13.17	一定間隔でトリガされる連動 PWM 信号機能	958
13.17.1	PWM 出力機能	959
13.18	レジスタ	970
13.18.1	TAUJn レジスタの概要	970
13.18.2	TAUJn プリスケアラ・レジスタの詳細	971
13.18.3	TAUJn 制御レジスタの詳細	976
13.18.4	TAUJn 出力レジスタの詳細	987
13.18.5	TAUJn チャンネル出力レベル・レジスタの詳細	989
13.18.6	TAUJn 一斉書き換えレジスタの詳細	990
第 14 章	エンコーダ・タイマ (ENCA)	992
14.1	V850E2/MN4 ENCA の機能	992
14.2	機能の概要	996
14.2.1	ブロック図	997
14.2.2	基本的な仕様を理解するための予備知識	998
14.3	ENCA 制御レジスタ	999
14.4	機能の説明	1013
14.4.1	タイマ・カウンタの動作	1013
14.4.2	タイマ・カウンタのアップ/ダウン制御	1014
14.4.3	エンコーダ入力によるタイマ・カウンタ・クリア制御	1019
14.4.4	ENCAAnCCR0 の機能	1021
14.4.5	ENCAAnCCR1 の機能	1022
14.4.6	タイマ・カウンタの起動/停止	1025
14.5	設定の順序	1032
14.5.1	エンコーダ・タイマの設定手順	1032
14.6	タイミング図	1035
14.6.1	オーバフローの発生とオーバフロー・フラグ・クリア操作	1035
14.6.2	アンダフローの発生とアンダフロー・フラグ・クリア操作	1037
14.6.3	Z相のキャプチャ	1039
14.6.4	オーバフローの発生とZ相の入力によるクリア動作との競合	1040
14.6.5	アンダフローの発生とZ相の入力によるクリア動作との競合	1041
14.6.6	開始直後のオーバフロー動作	1042
14.6.7	開始直後のアンダフロー動作	1043
14.6.8	開始直後の ENCAAnLDE 機能の利用	1044
14.6.9	ENCAAnLDE 機能 (カウント値のロード)	1045
14.6.10	ENCAAnLDE 機能 (カウンタ値のロード) と ENCAAnCCR0 レジスタの書き換えとの競合	1047
14.6.11	ENCAAnLDE 機能 (カウンタ値のロード) と Z相の入力によるクリア動作との競合	1048

14.6.12	ENCAnLDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合があったあとのアップ・カウント	1050
14.6.13	カウント・クロック間のキャプチャ動作 (ENCAnCCR1)	1051
14.6.14	カウント・クロック間のキャプチャ動作 (ENCAnCCR0)	1052
14.6.15	ENCAnECM1-0 = {0, 1} かつ ENCANCTS = 0 のときのエンコーダの動作	1053
14.6.16	ENCAnECM1-0 = {0, 1} かつ ENCANCTS = 1 のときのエンコーダの動作	1054
14.6.17	ENCAnECM1-0 = {0, 0} のときのエンコーダの動作	1056
14.6.18	ENCAnSCE = 1 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作	1057
14.6.19	ENCAnSCE = 0 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作	1061
14.6.20	一致割り込みマスク動作	1062

第 15 章 タイマ・オプション機能 (TAPA) 1065

15.1	タイマ・オプション機能の特長	1065
15.1.1	ブロック図	1072
15.2	機能概要	1073
15.2.1	タイマ・カウンタの「山」と「谷」, 「山割り込み」と「谷割り込み」について	1074
15.3	レジスタ	1075
15.3.1	レジスタの概要	1075
15.3.2	レジスタの詳細	1076
15.4	基本動作説明	1081
15.4.1	非同期 Hi-Z 制御機能	1081
15.4.2	INT 信号出力選択機能	1088
15.4.3	A/D 変換トリガ選択機能	1090

第 16 章 Peripheral Interconnection (PIC) 1095

16.1	V850E2/MN4 の PIC の特長	1095
16.2	機能概要	1098
16.2.1	ブロック図	1099
16.3	制御レジスタ	1102
16.3.1	タイマ同時スタート機能関連のレジスタ	1102
16.3.2	TAUA/TAPA 接続機能関連のレジスタ	1107
16.3.3	TAUA-A/D コンバータ関連のレジスタ	1109
16.4	動作	1111
16.4.1	タイマ同時スタート機能	1111
16.4.2	TAUA/TAPA 接続機能 (Hi-Z 出力制御含む)	1112
16.4.3	TAUA-A/D コンバータ接続機能	1112
16.5	CAN コントローラとタイマの接続 (CAN タイム・スタンプ機能)	1115
16.5.1	機能概要	1115
16.5.2	構成	1115
16.5.3	レジスタ	1116

第 17 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA) 1117

17.1	V850E2/MN4 の WDTA の特徴	1117
17.2	WDTA の起動オプション	1120

17.3	機能概要	1121
17.4	機能説明	1122
17.4.1	リセット解除後の WDTA	1123
17.4.2	WDTA トリガ	1126
17.4.3	エラー検出	1127
17.4.4	75%割り込み出力	1129
17.4.5	ウインドウ機能	1130
17.5	レジスタ	1131
17.5.1	WDTA レジスタの概要	1131
17.5.2	WDTA レジスタの詳細	1132
第 18 章	OS タイマ (OSTM)	1138
18.1	V850E2/MN4 の OSTM の特徴	1138
18.2	機能概要	1140
18.3	機能説明	1141
18.3.1	カウント・クロック	1141
18.3.2	出力モード	1142
18.3.3	割り込み要求の生成	1142
18.3.4	タイマの起動と停止	1143
18.3.5	インターバル・タイマ・モード	1144
18.3.6	フリー・ランニング・コンペア・モード	1148
18.4	レジスタ	1151
18.4.1	OS タイマ・レジスタの概要	1151
18.4.2	OS タイマ・レジスタの詳細	1151
第 19 章	アシンクロナス・シリアル・インタフェース E (UARTEn)¹¹⁵⁶	
19.1	V850E2/MN4 の UARTEn の機能	1156
19.2	機能の概要	1159
19.3	構成	1160
19.4	UARTEn レジスタ	1161
19.5	割り込み要求信号	1175
19.5.1	送信割り込み要求 INTUAEnTIT	1175
19.5.2	受信割り込み要求 INTUAEnTIR	1176
19.5.3	ステータス割り込み要求 INTUAEnTIS	1177
19.5.4	受信／ステータス割り込み要求 INTUAEnTRA	1177
19.6	動作	1178
19.6.1	データ・フォーマット	1178
19.6.2	BF の送信／受信フォーマット	1179
19.6.3	BF の送信	1182
19.6.4	BF の受信	1184
19.6.5	送信データ一貫性チェック	1185
19.6.6	UARTEn 送信	1186
19.6.7	連続送信の手順	1189
19.6.8	UARTEn 受信	1191
19.6.9	受信エラー	1197

19.6.10	パリティの種類と動作	1198
19.6.11	デジタル受信データ・ノイズ・フィルタ	1199
19.7	ポー・レート・ジェネレータ	1200

第 20 章 アシクロナス・シリアル・インタフェース J (UARTJn)¹²⁰²

20.1	V850E2/MN4 UARTJn の機能	1202
20.2	機能の概要	1204
20.3	構成	1205
20.4	UARTJn レジスタ	1206
20.5	割り込み要求信号	1224
20.5.1	送信割り込み要求 INTUAJnTIT	1224
20.5.2	受信割り込み要求 INTUAJnTIR	1225
20.5.3	ステータス割り込み要求 INTUAJnTIS	1226
20.6	動作	1228
20.6.1	データ・フォーマット	1228
20.6.2	BF の送信／受信フォーマット	1229
20.6.3	BF の送信	1232
20.6.4	BF の受信	1234
20.6.5	UARTJn 送信	1236
20.6.6	UARTJn 受信	1240
20.6.7	受信エラー	1246
20.6.8	パリティの種類と動作	1247
20.6.9	デジタル受信データ・ノイズ・フィルタ	1248
20.7	ポー・レート・ジェネレータ	1249

第 21 章 クロック同期シリアル・インタフェース G (CSIG) ... 1251

21.1	V850E2/MN4 の CSIG の特徴	1252
21.2	機能の概要	1256
21.3	機能の説明	1258
21.3.1	動作モード (マスタ／スレーブ)	1258
21.3.2	マスタ／スレーブの接続	1260
21.3.3	シリアル・クロックの選択	1262
21.3.4	データ転送モード	1263
21.3.5	データ長の選択	1264
21.3.6	シリアル・データ方向の選択	1266
21.3.7	スレーブ・モードでの通信	1267
21.3.8	CSIG の割り込み	1268
21.3.9	ハンドシェイク機能	1271
21.3.10	エラー検出	1274
21.3.11	ループ・バック・モード	1279
21.4	CSIG 制御レジスタ	1280
21.5	操作手順の例	1295

第 22 章 クロック同期シリアル・インタフェース H (CSIH) ... 1303

22.1	V850E2/MN4 の CSIH の特徴	1304
22.2	機能の概要	1308

22.3	機能の説明	1310
22.3.1	動作モード (マスタ/スレーブ)	1311
22.3.2	マスタ/スレーブの接続	1312
22.3.3	チップ・セレクト (CS) 機能	1314
22.3.4	チップ・セレクトのタイミングの詳細	1316
22.3.5	ジョブ概念	1319
22.3.6	シリアル・クロックの選択	1319
22.3.7	CSIH のバッファ・メモリ	1321
22.3.8	データ転送モード	1323
22.3.9	データ長の選択	1324
22.3.10	シリアル・データ方向の選択	1327
22.3.11	スレーブ・モードでの通信	1328
22.3.12	CSIH の割り込み要求	1329
22.3.13	ハンドシェイク機能	1338
22.3.14	エラー検出	1342
22.3.15	ループ・バック・モード	1352
22.4	CSIH 制御レジスタ	1353
22.4.1	CSIH レジスタの詳細	1354
22.5	操作手順	1383
22.5.1	ダイレクト・アクセス・モードでの手順	1384
22.5.2	送信オンリー・バッファ・モードでの手順	1396
22.5.3	デュアル・バッファ・モードでの手順	1408
22.5.4	FIFO モードでの手順	1420
第 23 章	I2C バス (IICB)	1432
23.1	V850E2/MN4 の IICB の特徴	1432
23.2	機能概要	1435
23.3	IIC バス・モードの機能	1437
23.3.1	端子構成	1437
23.4	IIC バスの定義	1438
23.4.1	スタート・コンディション	1439
23.4.2	アドレス	1440
23.4.3	拡張コード	1440
23.4.4	転送方向指定	1441
23.4.5	アクノリッジ (ACK)	1442
23.4.6	データ	1443
23.4.7	ストップ・コンディション	1443
23.4.8	ウエイト	1444
23.4.9	アービトレーション	1446
23.5	レジスタ	1447
23.6	動作	1471
23.6.1	シングル転送モード	1471
23.6.2	連続転送モード	1476
23.6.3	アービトレーション	1481
23.6.4	ウエイトとウエイト解除方法	1482
23.6.5	拡張コード	1487

23.7	割り込み要求信号	1488
23.7.1	シングル転送モード	1488
23.7.2	連続転送モード	1491
23.8	割り込み出力とステータス	1497
23.8.1	シングル転送モード (マスタ動作)	1498
23.8.2	シングル転送モード (スレーブ動作 : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))	1501
23.8.3	シングル転送モード (スレーブ動作 : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))	1505
23.8.4	シングル転送モード (通信不参加の動作)	1509
23.8.5	シングル転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負けのあと, スレーブとして動作)	1510
23.8.6	シングル転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負けのあと, 不参加)	1512
23.8.7	シングル転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負けのあと, 不参加 (拡張コード転送中の場合))	1518
23.8.8	連続転送モード (マスタ (受信))	1519
23.8.9	連続転送モード (マスタ (送信))	1522
23.8.10	連続転送モード (スレーブ (受信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))	1525
23.8.11	連続転送モード (スレーブ (受信) : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))	1529
23.8.12	連続転送モード (スレーブ (送信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))	1533
23.8.13	連続転送モード (スレーブ (送信) : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))	1537
23.8.14	連続転送モード (通信不参加の動作)	1541
23.8.15	連続転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) (受信でアドレスを転送した場合) : アービトレーション負けのあと, スレーブとして動作)	1542
23.8.16	連続転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) (受信でアドレスを転送した場合) : アービトレーション負けのあと, 不参加)	1544
23.8.17	連続転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) (受信でアドレスを転送した場合) : アービトレーション負けのあと, 不参加 (拡張コード転送中の場合))	1549
23.9	設定手順	1551
23.9.1	シングルマスタ環境	1551
23.9.2	マルチマスタ環境	1555
第 24 章 CAN コントローラ (FCN)		1563
24.1	V850E2/MN4 の FCN 機能	1563
24.2	特徴	1565
24.2.1	機能の概要	1566
24.2.2	構成	1567

24.3 FCN の内部レジスタ	1568
24.3.1 CAN コントローラの構成	1568
24.3.2 CAN コントローラ・レジスタの概要	1569
24.3.3 レジスタのビット構成	1571
24.4 ビットのセット/クリア機能	1577
24.5 制御レジスタ	1579
24.5.1 FCN グローバル・レジスタ	1579
24.5.2 FCN モジュール・レジスタ	1588
24.5.3 FCN メッセージ・バッファ・レジスタ	1611
24.6 CAN コントローラの初期化	1622
24.6.1 FCN モジュールの初期化	1622
24.6.2 メッセージ・バッファの初期化	1622
24.6.3 メッセージ・バッファの再定義	1622
24.6.4 初期化モードから動作モードへの移行	1624
24.7 メッセージ受信	1625
24.7.1 メッセージの受信	1625
24.7.2 受信データの読み出し	1626
24.7.3 受信履歴・リスト機能	1627
24.7.4 マスク機能	1630
24.7.5 マルチ・バッファ受信ブロック機能	1631
24.7.6 リモート・フレームの受信	1633
24.8 メッセージ送信	1635
24.8.1 メッセージの送信	1635
24.8.2 送信履歴・リスト機能	1637
24.8.3 自動ブロック送信機能 (ABT)	1640
24.8.4 送信中断処理	1642
24.8.5 リモート・フレームの送信	1643
24.9 パワー・セーブ・モード	1644
24.9.1 FCN スリープ・モード	1644
24.9.2 FCN ストップ・モード	1647
24.9.3 パワー・セーブ・モードの使用例	1648
24.10 割り込み機能	1650
24.11 診断機能と特殊な動作モード	1651
24.11.1 受信オンリー・モード	1651
24.11.2 シングル・ショット・モード	1652
24.11.3 セルフ・テスト・モード	1653
24.11.4 各動作モードでの送受信動作	1654
24.12 タイム・スタンプ機能	1655
24.12.1 タイム・スタンプ機能	1655
24.13 ボー・レートの設定	1657
24.13.1 ボー・レートの設定条件	1657
24.13.2 代表的なボー・レートの設定例	1661
24.14 CAN コントローラの動作	1665
24.14.1 初期化	1665
24.14.2 メッセージの送信	1671
24.14.3 メッセージの受信	1685
24.14.4 パワー・セーブ・モード	1691

第 25 章 A/D コンバータ (ADCA)	1698
25.1 V850E2/MN4 の特徴	1699
25.1.1 スタンバイ・モードへの遷移条件	1702
25.1.2 パワー・セーブ・モード時の動作	1702
25.2 機能概要	1703
25.3 機能説明	1705
25.3.1 基本動作	1706
25.3.2 クロックの使用	1707
25.3.3 チャンネルとチャンネル・グループ	1707
25.3.4 A/D 変換モード	1709
25.3.5 A/D 変換の開始 (起動トリガ)	1712
25.3.6 A/D 変換の停止 (停止トリガ)	1714
25.3.7 スタンバイ・モード (製品依存)	1716
25.3.8 A/D 変換の休止と再開 (ADCHALT モード) (製品依存)	1716
25.3.9 分解能, サンプリング時間と変換時間	1717
25.3.10 割り込み発生	1719
25.3.11 A/D 変換結果の格納	1720
25.3.12 変換結果確認機能	1723
25.3.13 自己診断機能 (製品依存)	1725
25.3.14 チャンネル S/H 機能 (製品依存)	1733
25.3.15 ディスチャージ機能 (製品依存)	1740
25.3.16 バッファ・アンプ機能	1741
25.3.17 安定制御	1741
25.4 レジスタ	1742
25.4.1 ADCAn レジスタの概要	1742
25.4.2 制御レジスタ	1743
25.4.3 変換状態レジスタ	1750
25.4.4 ソフトウェア・トリガ・レジスタ	1754
25.4.5 A/D 変換結果レジスタ	1756
25.4.6 A/D 変換結果上下限比較レジスタ	1764
25.4.7 診断機能制御レジスタ (製品依存)	1768
25.4.8 チャンネル S/H 機能設定レジスタ (製品依存)	1771
25.5 使用上の注意事項	1772
25.5.1 チャンネル入力電圧の範囲	1772
25.5.2 変換動作の停止	1772
25.5.3 チャンネル S/H 機能使用時の制限事項	1772
25.5.4 アプリケーション設計上の注意事項	1772
25.6 A/D コンバータ特性表の読み方	1775
第 26 章 H バス共有メモリ	1782
26.1 特徴	1782
26.2 構成	1782
26.3 動作	1783
26.3.1 並列動作	1783
26.3.2 アービトレーション	1784

第 27 章 H バス・メモリ・サイド・キャッシュ	1785
27.1 特徴	1785
27.2 構成	1785
27.3 制御レジスタ	1786
27.3.1 ETA 設定レジスタ (ETACFG)	1786
27.3.2 ETA コマンド・レジスタ (ETACMD)	1787
27.3.3 ETA 領域 n 設定レジスタ (ETARCFGn)	1788
27.3.4 ETA 領域 n アドレス・レジスタ (ETARADRSn)	1789
27.3.5 ETA 領域 n マスク・レジスタ (ETARMASKn)	1790
27.4 動作	1791
27.4.1 動作対象	1791
27.4.2 領域指定	1791
27.4.3 動作方式	1792
27.4.4 リード	1794
27.4.5 ライト	1794
27.5 設定手順	1795
第 28 章 セカンダリ・メモリ・コントローラ (SMEMC)	1796
28.1 特徴	1796
28.1.1 接続可能なメモリ	1796
28.1.2 端子説明	1798
28.2 レジスタ	1799
28.2.1 バス・サイズ制御レジスタ (SBSC)	1800
28.2.2 スタティック・メモリ制御レジスタ n (SSMCn)	1801
28.2.3 ダイナミック・メモリ制御レジスタ 0 (SDMC0)	1806
28.2.4 ダイナミック・メモリ・リフレッシュ制御レジスタ 0 (SRFC0)	1808
28.3 動作	1810
28.3.1 チップ・セレクト	1810
28.3.2 バス・ホールド機能	1810
28.3.3 SRAM	1811
28.3.4 SDRAM	1817
第 29 章 セカンダリ・メモリ・コントローラ専用 DMA	1825
29.1 特徴	1825
29.1.1 機能	1825
29.2 用語定義	1826
29.3 制御レジスタ	1829
29.3.1 ネクスト・レジスタ・セット	1829
29.3.2 カレント・レジスタ・セット	1833
29.3.3 チャネル・レジスタ・セット	1836
29.3.4 リンク・レジスタ・セット	1850
29.3.5 DMA レジスタ・セット	1858
29.4 動作	1867
29.4.1 DMA モード	1867
29.5 DMA 転送	1885
29.5.1 転送モード	1885
29.5.2 DMA チャネルの優先順位制御	1888

29.5.3	DMA 転送起動要因	1891
29.5.4	DMA 転送要求	1891
29.5.5	DMA アクノリッジ出力機能	1895
29.5.6	DMA 転送完了割り込み	1900
29.5.7	DMA ターミナル・カウント出力機能	1901
29.5.8	強制掃き出し機能	1902
29.5.9	DMA エラー割り込み	1903
29.5.10	インターバル・カウント機能	1903
29.5.11	転送サイズによる動作の相違	1903
29.5.12	転送状態	1905
29.5.13	一時停止機能	1905
29.5.14	転送中断機能	1906
第 30 章	USB ファンクション・コントローラ (USBF)	1907
30.1	V850E2/MN4 USBF の特徴	1908
30.1.1	V850E2/MN4 USBF 制御レジスタ	1909
30.2	概要	1910
30.3	構成	1911
30.3.1	ブロック図	1911
30.4	外部回路構成	1912
30.4.1	概要	1912
30.4.2	接続構成	1913
30.5	注意事項	1915
30.6	リクエスト	1916
30.6.1	自動リクエスト	1916
30.6.2	その他のリクエスト	1926
30.7	レジスタ構成	1927
30.7.1	USB ファンクション・コントローラ・レジスタ一覧	1927
30.7.2	EPC 制御レジスタ	1942
30.7.3	データ保持レジスタ	1996
30.7.4	EPC リクエスト・データ・レジスタ	2022
30.7.5	ブリッジ・レジスタ	2039
30.8	STALL ハンドシェークまたはノー・ハンドシェーク	2049
30.9	特定状態でのレジスタ値	2050
30.10	FW 処理	2052
30.10.1	初期化処理	2054
30.10.2	割り込み処理	2057
30.10.3	USB メイン処理	2058
30.10.4	Suspend/Resume 処理	2085
30.10.5	電源投入後の処理	2088
第 31 章	USB ホスト・コントローラ (USBH)	2091
31.1	V850E2/MN4 USBH の特徴	2092
31.1.1	USB ホスト・コントローラ・メモリ・マップ	2094
31.1.2	V850E2/MN4 USBH 制御レジスタ	2095
31.2	概要	2096
31.3	構成	2097

31.3.1	ブロック図	2097
31.4	外部回路構成	2098
31.4.1	概要	2098
31.4.2	接続構成	2099
31.4.3	USB 電源について	2100
31.5	注意事項	2101
31.6	PCI ホスト・ブリッジ	2102
31.6.1	PCI ブリッジ・レジスタ	2102
31.7	OHCI ホスト・コントローラ	2115
31.7.1	OHCI ホスト・コントローラの機能	2115
31.7.2	OHCI ホスト・コンフィグレーション・レジスタ	2116
31.7.3	OHCI Operational レジスタ	2128
31.7.4	USB ホスト・コントローラからの割り込み	2161
第 32 章	イーサネット・コントローラ	2164
32.1	概 説	2164
32.1.1	V850E2/MN4 イーサネット・コントローラの特徴	2164
32.1.2	機 能	2166
32.2	構 成	2167
32.2.1	システム構成	2167
32.2.2	割り込み名称	2169
32.3	初期設定	2170
32.3.1	ソフトウェア・リセット	2173
32.4	イーサネット・コントローラ制御レジスタ	2174
32.4.1	MAC 制御レジスタ	2179
32.4.2	統計カウンタ	2208
32.4.3	FIFO コントローラ制御レジスタ	2247
32.4.4	イーサネット・コントローラ専用 DMAC 制御レジスタ	2276
32.4.5	送信用チェックサム専用 DMAC 制御レジスタ	2286
32.5	MAC/FIFO/DMAC 機能	2296
32.5.1	フレーム・フォーマット	2296
32.5.2	送信機能	2300
32.5.3	受信機能	2305
32.5.4	MAC 制御機能	2307
32.5.5	DMAC 機能	2312
32.5.6	シリアル・マネジメント・インタフェース機能	2314
32.5.7	アドレス・フィルタリング	2318
32.5.8	統計カウンタ	2323
32.6	データ転送	2324
32.6.1	バッファの構造	2324
32.6.2	ディスクリプタ・メカニズム	2326
32.6.3	フレーム送信	2335
32.6.4	フレーム受信	2340
32.6.5	エラー処理	2345
32.7	受信チェックサム機能	2346
32.7.1	ソフトウェア上の処理	2346
32.8	送信チェックサム機能	2348

32.8.1	送信チェックサム用ディスクリプタの構成	2349
32.9	注意事項	2350
32.9.1	FIFO の注意事項	2350
第 33 章	スタンバイ機能	2351
33.1	特徴	2351
33.2	HALT モード	2352
33.2.1	設定および動作状態	2352
33.2.2	HALT モードの解除	2354
第 34 章	フラッシュ・メモリ	2355
34.1	特徴	2355
34.2	専用フラッシュ・プログラマでの書き換え	2357
34.2.1	通信方式	2357
34.3	セルフ・プログラミングによる書き換え	2357
34.3.1	概要	2357
34.3.2	フラッシュ・メモリの消去と書き換え	2358
34.4	フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング	2359
34.4.1	プログラミング環境	2359
34.4.2	通信モード	2360
34.4.3	フラッシュ・メモリ・プログラマ PG-FP5 との端子接続	2362
34.4.4	フラッシュ・メモリ・プログラミング制御	2363
34.5	フラッシュ・セルフ・プログラミング	2368
34.5.1	セルフ・プログラミングの有効化	2369
34.5.2	セルフ・プログラミング・ライブラリの機能	2371
34.5.3	セルフ・プログラミングの内蔵 RAM の占有	2371
34.5.4	安全なセルフ・プログラミング (ブート・スワップ・クラスタ)	2372
34.5.5	フラッシュ・セルフ・プログラミング時の割り込み処理	2376
第 35 章	オンチップ・デバッグ・ユニット (OCD)	2377
35.1	V850E2/MN4 オンチップ・デバッグ機能	2377
35.1.1	ペリフェラル・ブレーク	2377
35.1.2	信号マスク	2378
35.2	機能概要	2379
35.3	オンチップ・デバッグ・エミュレータとの接続	2381
35.4	オンチップ・デバッグ使用上の注意	2382
第 36 章	バウンダリ・スキャン	2383
36.1	特徴	2383
36.2	バウンダリ・スキャン環境	2383
36.3	バウンダリ・スキャン・モード	2384
36.4	TAP (Test Access Port)	2384
36.5	TAP コントローラ	2385
36.5.1	対象端子	2385
36.5.2	インストラクション	2385
36.5.3	スキャン・レジスタ	2386
36.5.4	状態遷移	2388

第 37 章 電気的特性	2389
37.1 絶対最大定格	2389
37.2 容量	2390
37.3 動作条件	2390
37.4 発振回路特性	2391
37.4.1 推奨発振子	2391
37.5 DC 特性	2392
37.5.1 端子特性	2392
37.5.2 電源電流	2393
37.6 AC 特性	2394
37.6.1 AC 測定点	2394
37.6.2 外部バス・インタフェース	2395
37.6.3 クロック・タイミング	2416
37.6.4 リセット・タイミング	2417
37.6.5 割り込み	2418
37.6.6 TAU A	2419
37.6.7 TAU J	2419
37.6.8 ENCA	2420
37.6.9 CSIH	2421
37.6.10 CSIG	2425
37.6.11 CAN	2429
37.6.12 I2C	2430
37.6.13 イーサネット・コントローラ	2431
37.6.14 A/D コンバータ (3.3 V, 10 ビット)	2433
37.6.15 A/D コンバータ (5.0 V, 12 ビット)	2435
37.7 電源投入／遮断シーケンス	2437
37.8 フラッシュ・メモリ・プログラミング・モード	2439
第 38 章 標準外形図	2440
第 39 章 半田付け推奨条件	2441

第1章 イン트로ダクション

V850E2/MN4 は、ルネサスエレクトロニクスのシングルチップ・マイクロコントローラ「V850 マイクロコントローラ」の1製品です。

1.1 概説

V850E2/MN4 は、32 ビット RISC 型 CPU コア「V850E1 CPU」および「V850E2 CPU」の性能をさらに強化した「V850E2M CPU」を最大で2個搭載した32ビット・シングルチップ・マイクロコントローラです。V850E2/MN4 は、フラッシュ・メモリ、RAM や豊富な周辺機能を内蔵し、大容量データ処理と高度なリアルタイム制御を実現します。

(1) 「V850E2M CPU」搭載

「V850E2M CPU」は、「V850E2 CPU」の性能をさらに強化しています。

「V850E2M CPU」は、CPU の処理性能を向上させるために、2 ウエイ・スーパーパスカラを採用した7段パイプラインの最適化を行っています。さらに、IEEE754-1985 に準拠した浮動小数点ユニット (FPU) を搭載しています。V850E2/MN4 は、「V850E2M CPU」を最大で2個搭載しています。

なお、命令コードは、V850 CPU, V850E1 CPU, V850E2 CPU に対して、オブジェクト・コード・レベルでの上位互換性を持たせているため、従来のシステムのソフトウェア資産をそのまま使用できます。

(2) マルチレイヤ内部システム・バス

各 CPU および DMA コントローラと周辺機能を接続する内部システム・バスを、マルチレイヤ化しています。各 CPU に1層、DMA に1層の全3層構造としており、バス・アービトレーションによるオーバヘッドを低減し、高速なリアルタイム処理を実現できます。

(3) フラッシュ・メモリ内蔵

V850E2/MN4 は、高速アクセス可能な大容量フラッシュ・メモリを内蔵しており、アプリケーション・システム上に V850E2/MN4 を実装したままプログラムの書き換えが行えるため、システム開発期間の短縮が実現できます。また、システム出荷後のメンテナンス性を飛躍的に向上させることができます。

(4) 外部メモリ・インタフェース機能

外部メモリ・インタフェースとして、セパレート構成のメモリ・コントローラを2系統搭載しています。SRAM/SDRAMが接続可能なプライマリ・メモリ・コントローラ（高速アクセス向け）と、SRAM/SDRAMが接続可能なセカンダリ・メモリ・コントローラ（大容量データ処理向け）を内蔵しているので、システム性能を上げることができます。

また、DMAコントローラにより、外部メモリ間の転送と並行してCPU内部の演算やデータ転送を行えるため、画像データや音声データなどの大容量データ処理が可能となるうえ、内蔵のフラッシュ・メモリとRAMを使用した高速な命令実行により、モータ制御、通信制御などのリアルタイム制御も同時に実現できます。

(5) 豊富な周辺機能

V850E2/MN4は、2系統のメモリ・コントローラ、DMA、タイマ・アレイ、UART、CSI、CAN、A/Dコンバータ、USBファンクション・コントローラ、USBホスト・コントローラ、イーサネット・コントローラ、オンチップ・デバッグなどの周辺機能を内蔵しております。これにより、これら機能を外付けすることなくシステム構築できるため、コスト低減、部品点数や実装面積の削減を図ることができます。

1.2 特徴

最小命令実行時間	5.0 ns（内部 200 MHz 動作時）
命令セット	V850E2M 2 ウエイ・スーパースカラを採用した7段パイプライン制御 汎用レジスタ：32ビット×32本 ANSI/IEEE 標準規格 754-1985 に準拠した FPU 搭載 CPU を最大で 2 個搭載
フラッシュ・メモリ	シングル・コア製品：1M バイト デュアル・コア製品：1M バイト／2M バイト
フラッシュ・キャッシュ	シングル・コア製品：16 K バイト（4 ウエイ・セット・アソシアティブ） デュアル・コア製品：16 K バイト（4 ウエイ・セット・アソシアティブ）×2
内蔵 RAM	シングル・コア製品：64 K バイト デュアル・コア製品：64 K バイト × 2
H バス共有メモリ	64 K バイト
クロック・ジェネレータ	PLL による 20 逡倍機能
外部バス・インタフェース	2 系統のメモリ・コントローラを搭載 プライマリ・メモリ・コントローラ（SRAM/SDRAM 接続可能） セカンダリ・メモリ・コントローラ（SRAM/SDRAM 接続可能）

○割り込み／例外

割り込み要因	μPD70F3510	μPD70F3512	μPD70F3514 μPD70F3515
FE レベル・ノンマスクブル割り込み (FENMI)	1 (外部 1 本を含みます)	1 (外部 1 本を含みます)	1 (外部 1 本を含みます)
FE レベル・マスクブル割り込み (FEINT)	1	1	2
EI レベル・マスクブル割り込み (EIINT)	207 (外部 28 本を含みます)	217 (外部 28 本を含みます)	222 (外部 28 本を含みます)

16 レベルのプログラマブル優先順位制御

DMA DMA コントローラ : 16 チャンネル

DTS : 最大 128 チャンネル

I/O 入力 7 本, 入出力 181 本

タイマ 16 ビット・タイマ・アレイ : 16 チャンネル x 4 ユニット

32 ビット・タイマ・アレイ : 4 チャンネル x 1 ユニット

16 ビット・エンコーダ・タイマ : 2 チャンネル

OS タイマ : 1ch (μPD70F3510, 70F3512) / 2ch (μPD70F3514, 70F3515)

ウォッチドッグ・タイマ :

1ch (μPD70F3510, 70F3512) / 2ch (μPD70F3514, 70F3515)

シリアル・インタフェース アシクロナス・シリアル・インタフェース UART : 6ch

クロック同期式シリアル・インタフェース CSI : 6ch

アシクロナス・シリアル・インタフェース UART(FIFO) : 4ch

クロック同期式シリアル・インタフェース CSI(FIFO) : 4ch

I²C : 6 チャンネル

CAN : 2 チャンネル (μPD70F3512, 70F3514, 70F3515)

USB ファンクション・コントローラ : 1 チャンネル

USB ホスト・コントローラ : 1 チャンネル

イーサネット・コントローラ : 1 チャンネル (μPD70F3512, 70F3514, 70F3515)

A/D コンバータ 10 ビット分解能 A/D コンバータ : 12 チャンネル

(A/D コンバータ用電源 5.0 V 時)

パッケージ 304 ピン・プラスチック FBGA (19x19)

CMOS 構造 完全スタティック回路

その他 Hバス・メモリ・サイド・キャッシュ : 16 K バイト

(4 ウエイ・セット・アソシアティブ)

セカンダリ・メモリ・コントローラ専用 DMA

インバータ・タイマ対応可能

備考 チャンネル数は製品に搭載されている数を表しています。実際に使用可能な数は端子兼用により異なります。

1.3 応用分野

サーボ, インバータ, ロボット, NC 工作機, 各種プリンタ, 情報家電, 住宅設備, その他産業機器など

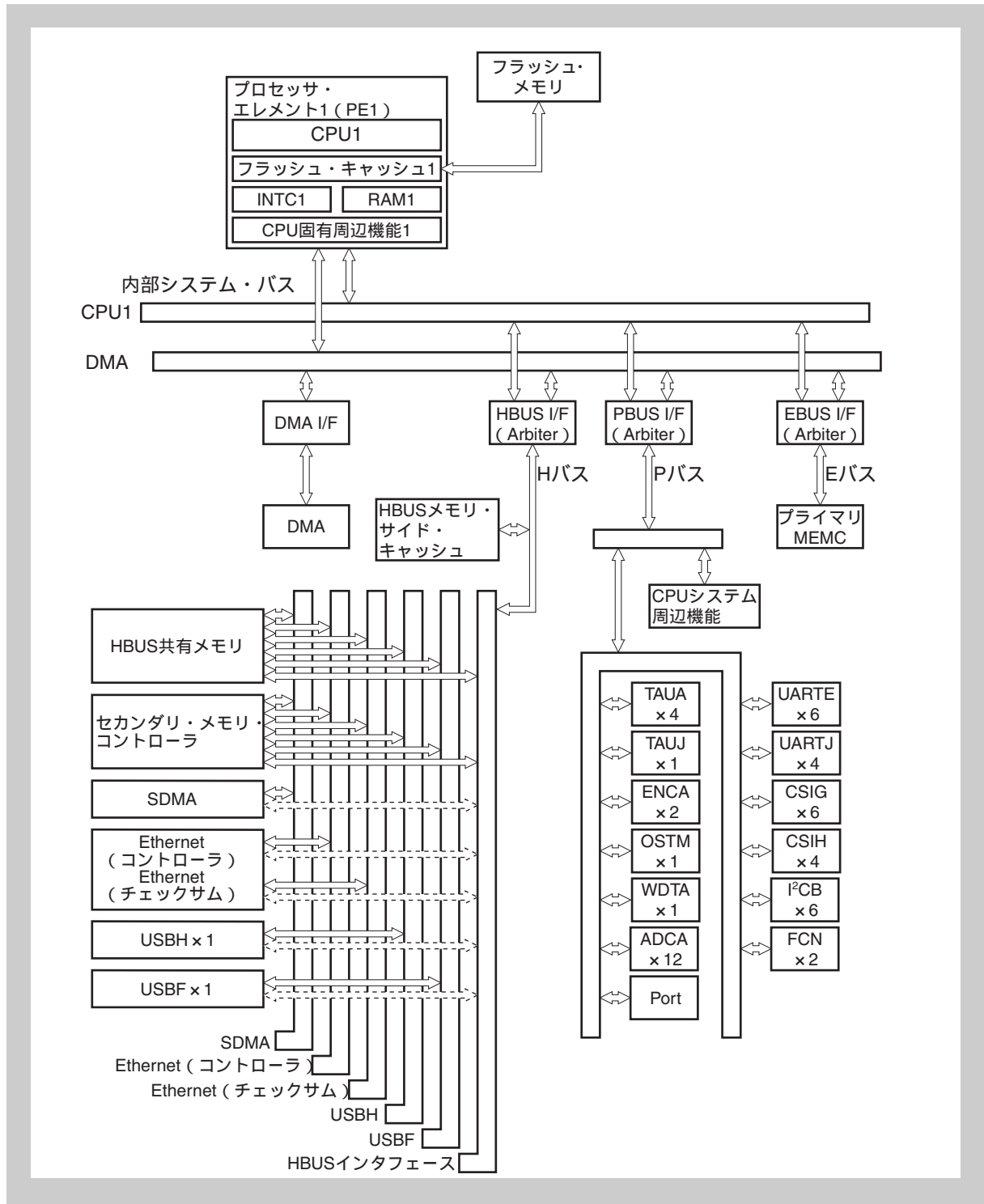
1.4 オーダ情報

品名	パッケージ	CPU コア	内蔵フラッシュ ・メモリ	内蔵 RAM	CAN / イーサネット
μ PD70F3510F1-HN6-A	304 ピンプラスチック FBGA	シングル	1MB	64 KB	×
μ PD70F3512F1-HN6-A	304 ピンプラスチック FBGA	シングル	1MB	64 KB	○
μ PD70F3514F1-HN6-A	304 ピンプラスチック FBGA	デュアル	1MB	64 KB×2	○
μ PD70F3515F1-HN6-A	304 ピンプラスチック FBGA	デュアル	2MB	64 KB×2	○

1.5 機能ブロック構成

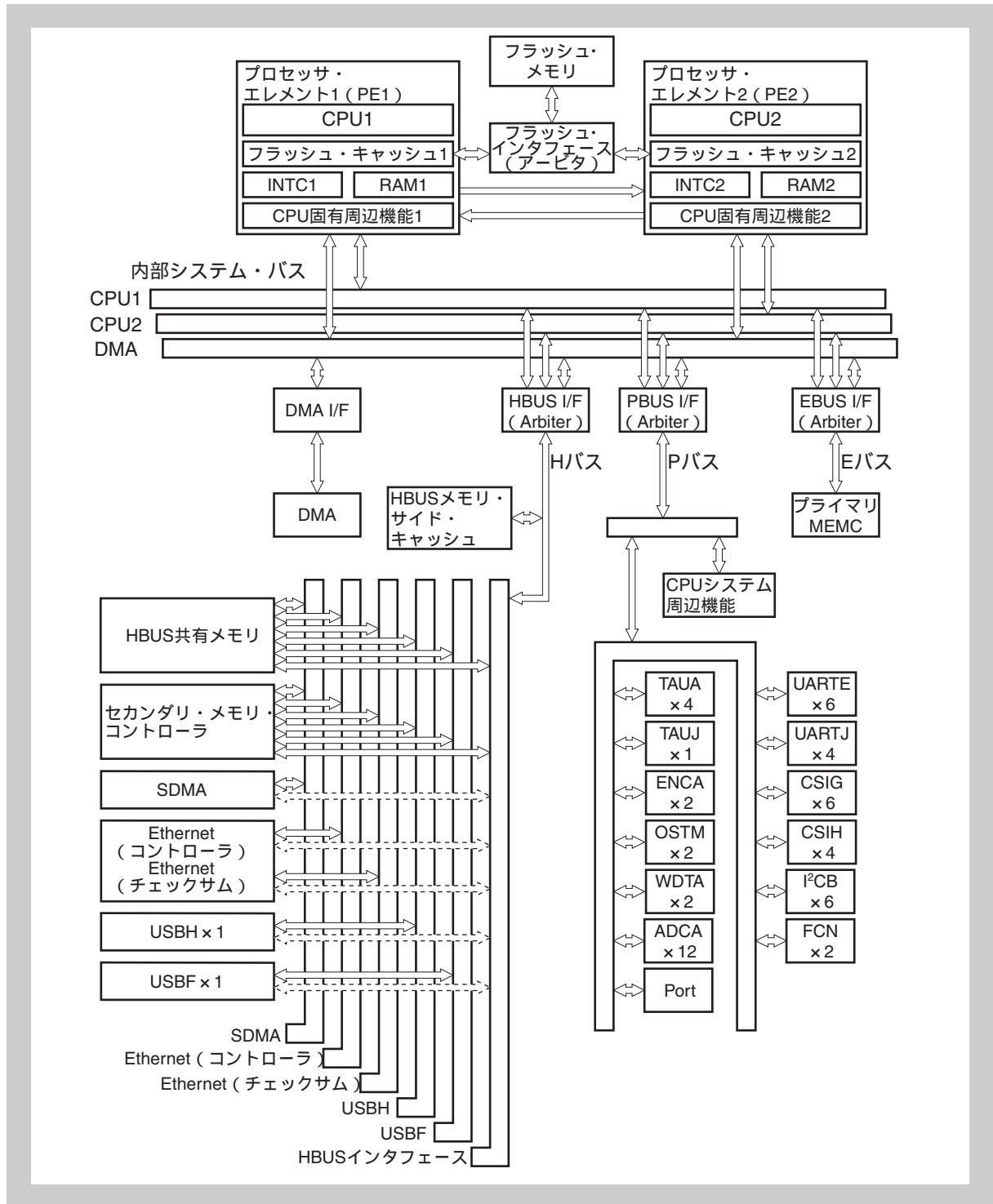
1.5.1 シングル・コア製品

- μ PD70F3510F1-HN6-A
- μ PD70F3512F1-HN6-A



1.5.2 デュアル・コア製品

- μ PD70F3514F1-HN6-A
- μ PD70F3515F1-HN6-A



第2章 端子機能

2.1 端子配置図

- 304ピン・プラスチックFBGA（19×19）

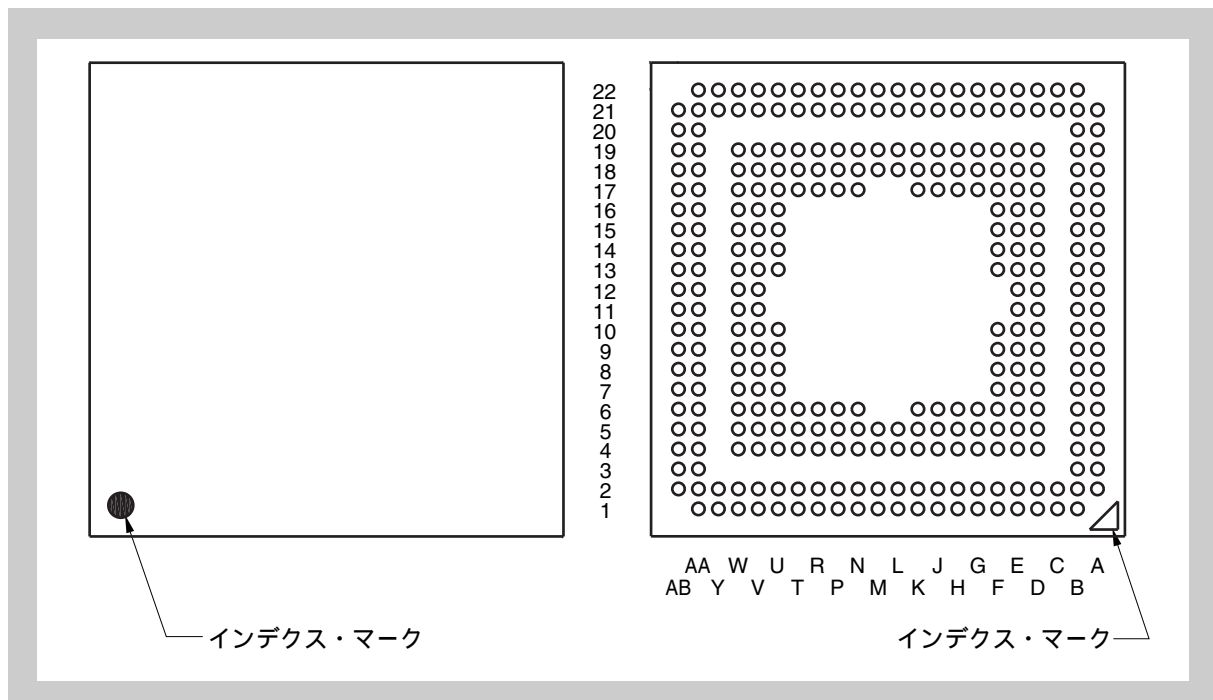


表 2-1 端子配置図 (1/8)

ピン番号	名称
A2	P7_1/S_D1/TA2_I1/TA2_O1
A3	P7_3/S_D3/TA2_I3/TA2_O3
A4	P7_5/S_D5/TA2_I5/TA2_O5
A5	P7_7/S_D7/TA2_I7/TA2_O7
A6	P7_9/S_D9/TA2_I9/TA2_O9
A7	P7_12/S_D12/TA2_I12/TA2_O12
A8	P7_14/S_D14/TA2_I14/TA2_O14
A9	P8_2/S_D18/TA0_I2/TA0_O2/TE0_T1
A10	P8_6/S_D22/TA0_I6/TA0_O6/TE0_BI
A11	UDPH
A12	UDMH
A13	UDPF
A14	UDMF
A15	P6_1/ETH_MDIO/DMATC1/TJ_I3/TJ_O3/P_A25
A16	P5_10/ETH_RXCLK/TA3_I10/TA3_O10/P_BUSRQ
A17	P5_7/ETH_TXCLK/TA3_I7/TA3_O7/INTP27/CSI0F_CS5
A18	P5_6/ETH_TXEN/TA3_I6/TA3_O6/INTP26/CSI0F_CS4/P_SDCAS

表 2-1 端子配置図 (2/8)

ピン番号	名称
A19	P5_4/ETH_TXD1/TA3_I4/TA3_O4/INTP24/CSI0F_CS2/P_REFRQ
A20	P5_2/ETH_TXD3/TA3_I2/TA3_O2/INTP22/CSI0F_CS0/P_ULDQM
A21	P5_0/ETH_CRS/TA3_I0/TA3_O0/INTP20/P_LLDQM/CSI0F_RYI/CSI0F_RYO
B1	V _{SS}
B2	P7_2/S_D2/TA2_I2/TA2_O2
B3	P7_4/S_D4/TA2_I4/TA2_O4
B4	P7_6/S_D6/TA2_I6/TA2_O6
B5	P7_8/S_D8/TA2_I8/TA2_O8
B6	P7_10/S_D10/TA2_I10/TA2_O10
B7	EV _{DD}
B8	V _{SS}
B9	P8_3/S_D19/TA0_I3/TA0_O3
B10	P8_7/S_D23/TA0_I7/TA0_O7
B11	P8_10/S_D26/TA0_I10/TA0_O10
B12	V _{SS}
B13	UV _{DD}
B14	P6_0/ETH_MDC/DMATC0/TJ_I2/TJ_O2/P_A24
B15	P5_12/ETH_RXD0/TA3_I12/TA3_O12/P_BCYST
B16	EV _{DD}
B17	V _{SS}
B18	P5_5/ETH_TXD0/TA3_I5/TA3_O5/INTP25/CSI0F_CS3/P_SDRAS
B19	P5_3/ETH_TXD2/TA3_I3/TA3_O3/INTP23/CSI0F_CS1/P_UUDQM
B20	P5_1/ETH_COL/TA3_I1/TA3_O1/INTP21/CSI0F_SSI/P_LUDQM
B21	P4_12/P_HLDAK/INTP23/DMAAK2/SO0F
B22	P4_13/P_HLDRQ/DMATC2/SI0F/RXD0F/SDA0
C1	P9_1/S_BUSCLK/CSI2F_CS1
C2	P7_0/S_D0/TA2_I0/TA2_O0
C21	P4_10/P_CS3/INTP22/DMATC5
C22	P4_11/P_WAIT/SCK0F/TXD0F/SCL0
D1	P9_4/S_LLDQM/TA3_I3/TA3_O3/CSI2F_CS4
D2	P9_3/S_SDRAS/TA3_I2/TA3_O2/CSI2F_CS3
D4	P9_0/S_SDCKE/TA3_I0/TA3_O0/INTP10/CSI2F_CS0
D5	P7_11/S_D11/TA2_I11/TA2_O11
D6	P7_13/S_D13/TA2_I13/TA2_O13
D7	P8_0/S_D16/TA0_I0/TA0_O0/TE0_TI0
D8	P8_1/S_D17/TA0_I1/TA0_O1
D9	P8_4/S_D20/TA0_I4/TA0_O4/TE0_AI
D10	P8_8/S_D24/TA0_I8/TA0_O8/TE0_ZI
D11	P8_11/S_D27/TA0_I11/TA0_O11
D12	P8_13/S_D29/TA0_I13/TA0_O13
D13	FLMD0

表 2-1 端子配置図 (3/8)

ピン番号	名称
D14	P5_15/ETH_RXD3/TA3_I15/TA3_O15/DMAAK1/TJ_I1/TJ_O1
D15	P5_13/ETH_RXD1/TA3_I13/TA3_O13
D16	P5_11/ETH_RXDV/TA3_I11/TA3_O11/P_SDWE
D17	P5_8/ETH_TXER/TA3_I8/TA3_O8/CSI0F_CS6/P_SDCKE
D18	P5_9/ETH_RXER/TA3_I9/TA3_O9/CSI0F_CS7/P_CS4
D19	MODE2
D21	P4_8/P_CS1/P_BCYST/INTP20
D22	P4_9/P_CS2/INTP21/DMAAK5
E1	P9_7/S_UUDQM/S_DMATC3/ESO1/CSI2F_CS7
E2	P9_5/S_LUDQM/TA3_I4/TA3_O4/CSI2F_CS5
E4	P9_2/S_SDCAS/TA3_I1/TA3_O1/CSI2F_CS2
E5	P7_15/S_D15/TA2_I15/TA2_O15
E6	MODE3
E7	V _{SS}
E8	EV _{DD}
E9	P8_5/S_D21/TA0_I5/TA0_O5
E10	P8_9/S_D25/TA0_I9/TA0_O9
E11	P8_12/S_D28/TA0_I12/TA0_O12
E12	P8_14/S_D30/TA0_I14/TA0_O14
E13	P8_15/S_D31/TA0_I15/TA0_O15
E14	P5_14/ETH_RXD2/TA3_I14/TA3_O14/DMAAK0/TJ_I0/TJ_O0
E15	IV _{DD}
E16	V _{SS}
E17	EV _{DD}
E18	V _{SS}
E19	V _{SS}
E21	P4_6/P_A22/INTP11/DMAAK3/SI3F/RXD3F/SDA3
E22	P4_7/P_A23/INTP12/SCK3F/TXD3F/SCL3/ADTRG20
F1	P9_9/S_LUWR/S_DMARQ2/S_DMATC0/SO4
F2	P9_8/S_LLWR/S_DMAAK2/CSI4_RYI/CSI4_RYO
F4	P9_6/S_ULDQM/S_DMATC2/ESO0/CSI2F_CS6
F5	EV _{DD}
F6	EV _{DD}
F7	V _{SS}
F8	EV _{DD}
F9	EV _{DD}
F10	V _{SS}
F13	V _{SS}
F14	EV _{DD}
F15	IV _{DD}
F16	V _{SS}

表 2-1 端子配置図 (4/8)

ピン番号	名称
F17	EV _{DD}
F18	EV _{DD}
F19	P4_3/P_A19/INTP8/DMAAK4/SO3F
F21	P4_4/P_A20/INTP9/DMATC4/SI3/RXD3
F22	P4_5/P_A21/INTP10/DMATC3/SCK3/TXD3/ADTRG10
G1	P9_12/S_RD/TA3_I5/TA3_O5/INTP11
G2	P9_11/S_UUWR/S_DMARQ3/SCK4/TXD4/SCL4/ESO3
G4	P9_10/S_ULWR/S_DMAAK3/SI4/RXD4/SDA4/ESO2
G5	IV _{DD}
G6	IV _{DD}
G17	V _{SS}
G18	V _{SS}
G19	P4_0/P_A16/INTP5/CSI3F_RYI/CSI3F_RYO
G21	P4_1/P_A17/INTP6/CSI3F_SSI
G22	P4_2/P_A18/INTP7/SO3
H1	P9_14/S_LLBE/TA3_I7/TA3_O7/INTP13/CSI1_RYI/CSI1_RYO
H2	P9_13/S_WR/TA3_I6/TA3_O6/INTP12/CSI1_SSI
H4	P9_15/S_LUBE/INTP14/SO1
H5	V _{SS}
H6	V _{SS}
H17	IV _{DD}
H18	IV _{DD}
H19	P3_13/P_A13/TA1_I13/TA1_O13/CSI3F_CS7
H21	P3_14/P_A14/TA1_I14/TA1_O14/CSI3_RYI/CSI3_RYO
H22	P3_15/P_A15/TA1_I15/TA1_O15/CSI3_SSI
J1	P10_2/S_SDWE/TA3_I8/TA3_O8/INTP17/CSI2F_SSI
J2	P10_0/S_ULBE/INTP15/SI1/RXD1/S_DMATC0
J4	P10_1/S_UUBE/INTP16/SCK1/TXD1/S_DMATC1
J5	EV _{DD}
J6	EV _{DD}
J17	EV _{DD}
J18	EV _{DD}
J19	P3_10/P_A10/TA1_I10/TA1_O10/CSI3F_CS4
J21	P3_11/P_A11/TA1_I11/TA1_O11/CSI3F_CS5
J22	P3_12/P_A12/TA1_I12/TA1_O12/CSI3F_CS6
K1	P11_0/S_A1/TA1_I0/TA1_O0/TE1_TIO
K2	P10_3/S_BCYST/TA3_I9/TA3_O9/INTP18/S_DMATC1/CSI4_SSI
K4	P11_1/S_A2/TA1_I1/TA1_O1
K5	V _{SS}
K6	V _{SS}
K17	V _{SS}

表 2-1 端子配置図 (5/8)

ピン番号	名称
K18	P3_4/P_A4/TA1_I4/TA1_O4/TE1_AI
K19	P3_7/P_A7/TA1_I7/TA1_O7/CSI3F_CS1
K21	P3_8/P_A8/TA1_I8/TA1_O8/CSI3F_CS2/TE1_ZI
K22	P3_9/P_A9/TA1_I9/TA1_O9/CSI3F_CS3
L1	P11_3/S_A4/TA1_I3/TA1_O3
L2	P11_2/S_A3/TA1_I2/TA1_O2/TE1_TI1
L4	P11_5/S_A6/TA1_I5/TA1_O5
L5	P11_4/S_A5/TA1_I4/TA1_O4/TE1_AI
L18	P3_3/P_A3/TA1_I3/TA1_O3
L19	P3_2/P_A2/TA1_I2/TA1_O2/TE1_TI1
L21	P3_5/P_A5/TA1_I5/TA1_O5
L22	P3_6/P_A6/TA1_I6/TA1_O6/CSI3F_CS0/TE1_BI
M1	P11_7/S_A8/TA1_I7/TA1_O7
M2	P11_6/S_A7/TA1_I6/TA1_O6/TE1_BI
M4	P11_12/S_A13/TA1_I12/TA1_O12/CSI1F_CS2
M5	P11_13/S_A14/TA1_I13/TA1_O13/CSI1F_CS3
M18	P2_7/P_WR/P_RW/NTP19
M19	P3_0/P_A0/TA1_I0/TA1_O0/TE1_TIO/INTP18
M21	P3_1/P_A1/TA1_I1/TA1_O1
M22	V _{SS}
N1	P11_9/S_A10/TA1_I9/TA1_O9
N2	P11_8/S_A9/TA1_I8/TA1_O8/TE1_ZI
N4	P12_1/S_A18/INTP1/CSI1F_CS7/ADCNV1
N5	P12_2/S_A19/INTP2/ADCNV2/CSI0_SSI
N6	IV _{DD}
N17	EV _{DD}
N18	P2_3/P_ULBE/P_ULWR/INTP15/TJ_I2/TJ_O2
N19	P2_4/P_UUBE/P_UUWR/INTP16/TJ_I3/TJ_O3
N21	P2_5/P_RD/INTP17
N22	P2_6/P_BUSCLK
P1	P11_11/S_A12/TA1_I11/TA1_O11/CSI1F_CS1
P2	P11_10/S_A11/TA1_I10/TA1_O10/CSI1F_CS0
P4	P12_7/S_A24/INTP7/SO2F
P5	P12_8/S_A25/INTP8/SI2F/RXD2F/SDA2
P6	V _{SS}
P17	V _{SS}
P18	P0_1/P_D1/TA0_I1/TA0_O1
P19	P0_0/P_D0/TA0_I0/TA0_O0/TE0_TIO
P21	P2_1/P_LLBE/P_LLWR/INTP13/TJ_I0/TJ_O0
P22	P2_2/P_LUBE/P_LUWR/INTP14/TJ_I1/TJ_O1
R1	P11_15/S_A16/TA1_I15/TA1_O15/CSI1F_CS5

表 2-1 端子配置図 (6/8)

ピン番号	名称
R2	P11_14/S_A15/TA1_I14/TA1_O14/CSI1F_CS4
R4	P10_7/S_CS3/S_SDCS/INTP26/CSI1F_RYI/CSI1F_RYO
R5	V _{SS}
R6	V _{SS}
R17	V _{SS}
R18	P0_5/P_D5/TA0_I5/TA0_O5
R19	P0_4/P_D4/TA0_I4/TA0_O4/TE0_AI
R21	P0_3/P_D3/TA0_I3/TA0_O3
R22	P0_2/P_D2/TA0_I2/TA0_O2/TE0_TI1
T1	P12_3/S_A20/INTP3/CSI0_RYI/CSI0_RYO
T2	P12_0/S_A17/INTP0/CSI1F_CS6/ADCNV0
T4	P10_11/S_REFRQ/TA3_I15/TA3_O15/CSI2F_RYI/CSI2F_RYO
T5	EV _{DD}
T6	EV _{DD}
T17	IV _{DD}
T18	P0_9/P_D9/TA0_I9/TA0_O9
T19	P0_8/P_D8/TA0_I8/TA0_O8/TE0_ZI
T21	P0_7/P_D7/TA0_I7/TA0_O7
T22	P0_6/P_D6/TA0_I6/TA0_O6/TE0_BI
U1	P12_5/S_A22/INTP5/SI0/RXD0
U2	P12_4/S_A21/INTP4/SO0
U4	P10_10/S_HLDRQ/TA3_I14/TA3_O14/SCK2/TXD2
U5	P10_9/S_HLDAK/TA3_I13/TA3_O13/SO2/INTP27
U6	IV _{DD}
U7	V _{SS}
U8	EV _{DD}
U9	V _{SS}
U10	DV _{DD}
U13	V _{SS}
U14	PLL _{VDD}
U15	PLL _{VSS}
U16	IV _{DD}
U17	EV _{DD}
U18	V _{SS}
U19	P0_12/P_D12/TA0_I12/TA0_O12
U21	P0_11/P_D11/TA0_I11/TA0_O11
U22	P0_10/P_D10/TA0_I10/TA0_O10
V1	P12_6/S_A23/INTP6/SCK0/TXD0/ADTRG11
V2	P12_9/S_A26/INTP9/SCK2F/TXD2F/SCL2/ADTRG21
V4	P10_8/S_WAIT/SI2/RXD2
V5	P14_0/ANI06

表 2-1 端子配置図 (7/8)

ピン番号	名称
V6	P14_4/ANI10
V7	ANI04
V8	ANI00
V9	MDO6
V10	MDO2
V11	EVTO
V12	DV _{DD}
V13	V _{SS}
V14	TRST
V15	V _{SS}
V16	IV _{DD}
V17	EV _{DD}
V18	V _{SS}
V19	V _{SS}
V21	P0_14/P_D14/TA0_I14/TA0_O14
V22	P0_13/P_D13/TA0_I13/TA0_O13
W1	P10_4/S_CS0/TA3_I10/TA3_O10/INTP19/CSI2_SSI
W2	P10_5/S_CS1/TA3_I11/TA3_O11/INTP24/CSI2_RYI/CSI2_RYO
W4	P13_1/S_CS3/S_DMAAK0/ADTRG00/INTP0/CSI5_RYI/CSI5_RYO
W5	P14_1/ANI07
W6	P14_5/ANI11
W7	ANI05
W8	ANI01
W9	MDO7
W10	MDO3
W11	EVTI
W12	MSEO0
W13	TDO/FLSO
W14	TDI/FLRXD/FLSI
W15	TMS
W16	P2_0/NMI
W17	P1_13/P_D29/TA2_I13/TA2_O13
W18	EV _{DD}
W19	P1_6/P_D22/TA2_I6/TA2_O6/ESO3
W21	P1_0/P_D16/TA2_I0/TA2_O0/ADCNV0
W22	P0_15/P_D15/TA0_I15/TA0_O15
Y1	P10_6/S_CS2/TA3_I12/TA3_O12/INTP25/CSI1F_SSI
Y2	P13_7/CAN1RXD/SI5/RXD5/SDA5
Y21	P1_2/P_D18/TA2_I2/TA2_O2/ADCNV2
Y22	P1_1/P_D17/TA2_I1/TA2_O1/ADCNV1
AA1	P13_6/CAN1TXD/SCK5/TXD5/SCL5/INTP4

表 2-1 端子配置図 (8/8)

ピン番号	名称
AA2	P13_5/CAN0RXD/SI1F/RXD1F/SDA1
AA3	P13_3/S_DMAAK1/SO5/INTP2/OCI
AA4	V _{SS}
AA5	P14_2/ANI08
AA6	AV _{REFM}
AA7	AV _{REFP}
AA8	ANI02
AA9	IV _{DD}
AA10	MDO4
AA11	MDO0
AA12	MSEO1
AA13	TRDY
AA14	OSCV _{DD}
AA15	X2
AA16	FLMD1
AA17	P1_14/P_D30/TA2_I14/TA2_O14
AA18	P1_11/P_D27/TA2_I11/TA2_O11
AA19	P1_9/P_D25/TA2_I9/TA2_O9
AA20	P1_7/P_D23/TA2_I7/TA2_O7
AA21	P1_4/P_D20/TA2_I4/TA2_O4/ESO1
AA22	P1_3/P_D19/TA2_I3/TA2_O3/ESO0
AB2	P13_4/CAN0TXD/SCK1F/TXD1F/SCL1/INTP3
AB3	P13_0/S_DMARQ0/ADTRG01/UCLK/CSI5_SSI
AB4	P13_2/S_DMARQ1/SO1F/INTP1/PPON
AB5	P14_3/ANI09
AB6	AV _{SS}
AB7	AV _{DD}
AB8	ANI03
AB9	V _{SS}
AB10	MDO5
AB11	MDO1
AB12	MCKO
AB13	TCK/FLSCK
AB14	OSCV _{SS}
AB15	X1
AB16	RESET
AB17	P1_15/P_D31/TA2_I15/TA2_O15
AB18	P1_12/P_D28/TA2_I12/TA2_O12
AB19	P1_10/P_D26/TA2_I10/TA2_O10
AB20	P1_8/P_D24/TA2_I8/TA2_O8
AB21	P1_5/P_D21/TA2_I5/TA2_O5/ESO2

2.2 端子機能一覧

表 2-2 ポート機能一覧 (1/6)

端子名称	ピン番号	入出力	機能	兼用端子
P0_0	P19	入出力	ポート 0 16 ビットの入出力ポート	P_D0/TA0_I0/TA0_O0/TE0_T10
P0_1	P18			P_D1/TA0_I1/TA0_O1
P0_2	R22			P_D2/TA0_I2/TA0_O2/TE0_T11
P0_3	R21			P_D3/TA0_I3/TA0_O3
P0_4	R19			P_D4/TA0_I4/TA0_O4/TE0_AI
P0_5	R18			P_D5/TA0_I5/TA0_O5
P0_6	T22			P_D6/TA0_I6/TA0_O6/TE0_BI
P0_7	T21			P_D7/TA0_I7/TA0_O7
P0_8	T19			P_D8/TA0_I8/TA0_O8/TE0_ZI
P0_9	T18			P_D9/TA0_I9/TA0_O9
P0_10	U22			P_D10/TA0_I10/TA0_O10
P0_11	U21			P_D11/TA0_I11/TA0_O11
P0_12	U19			P_D12/TA0_I12/TA0_O12
P0_13	V22			P_D13/TA0_I13/TA0_O13
P0_14	V21			P_D14/TA0_I14/TA0_O14
P0_15	W22			P_D15/TA0_I15/TA0_O15
P1_0	W21	入出力	ポート 1 16 ビットの入出力ポート	P_D16/TA2_I0/TA2_O0/ADCNV0
P1_1	Y22			P_D17/TA2_I1/TA2_O1/ADCNV1
P1_2	Y21			P_D18/TA2_I2/TA2_O2/ADCNV2
P1_3	AA22			P_D19/TA2_I3/TA2_O3/ESO0
P1_4	AA21			P_D20/TA2_I4/TA2_O4/ESO1
P1_5	AB21			P_D21/TA2_I5/TA2_O5/ESO2
P1_6	W19			P_D22/TA2_I6/TA2_O6/ESO3
P1_7	AA20			P_D23/TA2_I7/TA2_O7
P1_8	AB20			P_D24/TA2_I8/TA2_O8
P1_9	AA19			P_D25/TA2_I9/TA2_O9
P1_10	AB19			P_D26/TA2_I10/TA2_O10
P1_11	AA18			P_D27/TA2_I11/TA2_O11
P1_12	AB18			P_D28/TA2_I12/TA2_O12
P1_13	W17			P_D29/TA2_I13/TA2_O13
P1_14	AA17			P_D30/TA2_I14/TA2_O14
P1_15	AB17			P_D31/TA2_I15/TA2_O15
P2_0	W16	入力	ポート 2 1 ビット入力ポート	NMI

表 2-2 ポート機能一覧 (2/6)

端子名称	ピン番号	入出力	機能	兼用端子
P2_1	P21	入出力	ポート 2 7 ビット入出力ポート	P_LLBE/P_LLWR/INTP13/TJ_I0/TJ_O0
P2_2	P22			P_LUBE/P_LUWR/INTP14/TJ_I1/TJ_O1
P2_3	N18			P_ULBE/P_ULWR/INTP15/TJ_I2/TJ_O2
P2_4	N19			P_UUBE/P_UUWR/INTP16/TJ_I3/TJ_O3
P2_5	N21			P_RD/INTP17
P2_6	N22			P_BUSCLK
P2_7	M18			P_WR/P_RW/INTP19
P3_0	M19	入出力	ポート 3 16 ビットの入出力ポート	P_A0/TA1_I0/TA1_O0/TE1_TI0/INTP18
P3_1	M21			P_A1/TA1_I1/TA1_O1
P3_2	L19			P_A2/TA1_I2/TA1_O2/TE1_TI1
P3_3	L18			P_A3/TA1_I3/TA1_O3
P3_4	K18			P_A4/TA1_I4/TA1_O4/TE1_AI
P3_5	L21			P_A5/TA1_I5/TA1_O5
P3_6	L22			P_A6/TA1_I6/TA1_O6/CSI3F_CS0/TE1_BI
P3_7	K19			P_A7/TA1_I7/TA1_O7/CSI3F_CS1
P3_8	K21			P_A8/TA1_I8/TA1_O8/CSI3F_CS2/TE1_ZI
P3_9	K22			P_A9/TA1_I9/TA1_O9/CSI3F_CS3
P3_10	J19			P_A10/TA1_I10/TA1_O10/CSI3F_CS4
P3_11	J21			P_A11/TA1_I11/TA1_O11/CSI3F_CS5
P3_12	J22			P_A12/TA1_I12/TA1_O12/CSI3F_CS6
P3_13	H19			P_A13/TA1_I13/TA1_O13/CSI3F_CS7
P3_14	H21			P_A14/TA1_I14/TA1_O14/CSI3_RYI/ CSI3_RYO
P3_15	H22	P_A15/TA1_I15/TA1_O15/CSI3_SSI		
P4_0	G19	入出力	ポート 4 14 ビットの入出力ポート	P_A16/INTP5/CSI3F_RYI/CSI3F_RYO
P4_1	G21			P_A17/INTP6/CSI3F_SSI
P4_2	G22			P_A18/INTP7/SO3
P4_3	F19			P_A19/INTP8/DMAAK4/SO3F
P4_4	F21			P_A20/INTP9/DMATC4/SI3/RXD3
P4_5	F22			P_A21/INTP10/DMATC3/SCK3/TXD3/ ADTRG10
P4_6	E21			P_A22/INTP11/DMAAK3/SI3F/RXD3F/ SDA3
P4_7	E22			P_A23/INTP12/SCK3F/TXD3F/SCL3/ ADTRG20
P4_8	D21			P_CS1/P_BCYST/INTP20
P4_9	D22			P_CS2/INTP21/DMAAK5
P4_10	C21			P_CS3/INTP22/DMATC5
P4_11	C22			P_WAIT/SCK0F/TXD0F/SCL0
P4_12	B21			P_HLDAK/INTP23/DMAAK2/SO0F
P4_13	B22	P_HLDRQ/DMATC2/SI0F/RXD0F/SDA0		

表 2-2 ポート機能一覧 (3/6)

端子名称	ピン番号	入出力	機能	兼用端子
P5_0	A21	入出力	ポート 5 16 ビットの入出力ポート	ETH_CRS/TA3_I0/TA3_O0/INTP20/ P_LLDQM/CSI0F_RYI/CSI0F_RYO
P5_1	B20			ETH_COL/TA3_I1/TA3_O1/INTP21/ CSI0F_SSI/P_LUDQM
P5_2	A20			ETH_TXD3/TA3_I2/TA3_O2/INTP22/ CSI0F_CS0/P_ULDQM
P5_3	B19			ETH_TXD2/TA3_I3/TA3_O3/INTP23/ CSI0F_CS1/P_UUDQM
P5_4	A19			ETH_TXD1/TA3_I4/TA3_O4/INTP24/ CSI0F_CS2/P_REFRQ
P5_5	B18			ETH_TXD0/TA3_I5/TA3_O5/INTP25/ CSI0F_CS3/P_SDRAS
P5_6	A18			ETH_TXEN/TA3_I6/TA3_O6/INTP26/ CSI0F_CS4/P_SDCAS
P5_7	A17			ETH_TXCLK/TA3_I7/TA3_O7/INTP27/ CSI0F_CS5
P5_8	D17			ETH_TXER/TA3_I8/TA3_O8/CSI0F_CS6/ P_SDCKE
P5_9	D18			ETH_RXER/TA3_I9/TA3_O9/CSI0F_CS7/ P_CS4
P5_10	A16			ETH_RXCLK/TA3_I10/TA3_O10/P_BUSRQ
P5_11	D16			ETH_RXDV/TA3_I11/TA3_O11/P_SDWE
P5_12	B15			ETH_RXD0/TA3_I12/TA3_O12/P_BCYST
P5_13	D15			ETH_RXD1/TA3_I13/TA3_O13
P5_14	E14			ETH_RXD2/TA3_I14/TA3_O14/DMAAK0/ TJ_I0/TJ_O0
P5_15	D14	ETH_RXD3/TA3_I15/TA3_O15/DMAAK1/ TJ_I1/TJ_O1		
P6_0	B14	入出力	ポート 6 2 ビットの入出力ポート	ETH_MDC/DMATC0/TJ_I2/TJ_O2/P_A24
P6_1	A15			ETH_MDIO/DMATC1/TJ_I3/TJ_O3/P_A25

表 2-2 ポート機能一覧 (4/6)

端子名称	ピン番号	入出力	機能	兼用端子
P7_0	C2	入出力	ポート 7 16 ビット入出力ポート	S_D0/TA2_I0/TA2_O0
P7_1	A2			S_D1/TA2_I1/TA2_O1
P7_2	B2			S_D2/TA2_I2/TA2_O2
P7_3	A3			S_D3/TA2_I3/TA2_O3
P7_4	B3			S_D4/TA2_I4/TA2_O4
P7_5	A4			S_D5/TA2_I5/TA2_O5
P7_6	B4			S_D6/TA2_I6/TA2_O6
P7_7	A5			S_D7/TA2_I7/TA2_O7
P7_8	B5			S_D8/TA2_I8/TA2_O8
P7_9	A6			S_D9/TA2_I9/TA2_O9
P7_10	B6			S_D10/TA2_I10/TA2_O10
P7_11	D5			S_D11/TA2_I11/TA2_O11
P7_12	A7			S_D12/TA2_I12/TA2_O12
P7_13	D6			S_D13/TA2_I13/TA2_O13
P7_14	A8			S_D14/TA2_I14/TA2_O14
P7_15	E5	S_D15/TA2_I15/TA2_O15		
P8_0	D7	入出力	ポート 8 16 ビット入出力ポート	S_D16/TA0_I0/TA0_O0/TE_T10
P8_1	D8			S_D17/TA0_I1/TA0_O1
P8_2	A9			S_D18/TA0_I2/TA0_O2/TE0_T11
P8_3	B9			S_D19/TA0_I3/TA0_O3
P8_4	D9			S_D20/TA0_I4/TA0_O4/TE0_AI
P8_5	E9			S_D21/TA0_I5/TA0_O5
P8_6	A10			S_D22/TA0_I6/TA0_O6/TE0_BI
P8_7	B10			S_D23/TA0_I7/TA0_O7
P8_8	D10			S_D24/TA0_I8/TA0_O8/TE0_ZI
P8_9	E10			S_D25/TA0_I9/TA0_O9
P8_10	B11			S_D26/TA0_I10/TA0_O10
P8_11	D11			S_D27/TA0_I11/TA0_O11
P8_12	E11			S_D28/TA0_I12/TA0_O12
P8_13	D12			S_D29/TA0_I13/TA0_O13
P8_14	E12			S_D30/TA0_I14/TA0_O14
P8_15	E13	S_D31/TA0_I15/TA0_O15		

表 2-2 ポート機能一覧 (5/6)

端子名称	ピン番号	入出力	機能	兼用端子
P9_0	D4	入出力	ポート 9 16 ビット入出力ポート	S_SDCKE/TA3_I0/TA3_O0/INTP10/ CSI2F_CS0
P9_1	C1			S_BUSCLK/CSI2F_CS1
P9_2	E4			S_SDCAS/TA3_I1/TA3_O1/CSI2F_CS2
P9_3	D2			S_SDRAS/TA3_I2/TA3_O2/CSI2F_CS3
P9_4	D1			S_LLDQM/TA3_I3/TA3_O3/CSI2F_CS4
P9_5	E2			S_LUDQM/TA3_I4/TA3_O4/CSI2F_CS5
P9_6	F4			S_ULDQM/S_DMATC2/ESO0/CSI2F_CS6
P9_7	E1			S_UUDQM/S_DMATC3/ESO1/CSI2F_CS7
P9_8	F2			S_LLWR/S_DMAAK2/CSI4_RYI/CSI4_RYO
P9_9	F1			S_LUWR/S_DMARQ2/S_DMATC0/SO4
P9_10	G4			S_ULWR/S_DMAAK3/SI4/RXD4/SDA4/ ESO2
P9_11	G2			S_UUWR/S_DMARQ3/SCK4/TXD4/SCL4/ ESO3
P9_12	G1			S_RD/TA3_I5/TA3_O5/INTP11
P9_13	H2			S_WR/TA3_I6/TA3_O6/INTP12/CSI1_SSI
P9_14	H1			S_LLBE/TA3_I7/TA3_O7/INTP13/ CSI1_RYI/CSI1_RYO
P9_15	H4	S_LUBE/INTP14/SO1		
P10_0	J2	入出力	ポート 10 12 ビット入出力ポート	S_ULBE/INTP15/SI1/RXD1/S_DMATC0
P10_1	J4			S_UUBE/INTP16/SCK1/TXD1/S_DMATC1
P10_2	J1			S_SDWE/TA3_I8/TA3_O8/INTP17/ CSI2F_SSI
P10_3	K2			S_BCYST/TA3_I9/TA3_O9/INTP18/ S_DMATC1/CSI4_SSI
P10_4	W1			S_CS0/TA3_I10/TA3_O10/INTP19/ CSI2_SSI
P10_5	W2			S_CS1/TA3_I11/TA3_O11/INTP24/ CSI2_RYI/CSI2_RYO
P10_6	Y1			S_CS2/TA3_I12/TA3_O12/INTP25/ CSI1F_SSI
P10_7	R4			S_CS3/S_SDCS/INTP26/CSI1F_RYI/ CSI1F_RYO
P10_8	V4			S_WAIT/SI2/RXD2
P10_9	U5			S_HLDAK/TA3_I13/TA3_O13/SO2/INTP27
P10_10	U4			S_HLDRQ/TA3_I14/TA3_O14/SCK2/TXD2
P10_11	T4			S_REFRQ/TA3_I15/TA3_O15/CSI2F_RYI/ CSI2F_RYO

表 2-2 ポート機能一覧 (6/6)

端子名称	ピン番号	入出力	機能	兼用端子
P11_0	K1	入出力	ポート 11 16 ビット入出力ポート	S_A1/TA1_I0/TA1_O0/TE1_TI0
P11_1	K4			S_A2/TA1_I1/TA1_O1
P11_2	L2			S_A3/TA1_I2/TA1_O2/TE1_TI1
P11_3	L1			S_A4/TA1_I3/TA1_O3
P11_4	L5			S_A5/TA1_I4/TA1_O4/TE1_AI
P11_5	L4			S_A6/TA1_I5/TA1_O5
P11_6	M2			S_A7/TA1_I6/TA1_O6/TE1_BI
P11_7	M1			S_A8/TA1_I7/TA1_O7
P11_8	N2			S_A9/TA1_I8/TA1_O8/TE1_ZI
P11_9	N1			S_A10/TA1_I9/TA1_O9
P11_10	P2			S_A11/TA1_I10/TA1_O10/CSI1F_CS0
P11_11	P1			S_A12/TA1_I11/TA1_O11/CSI1F_CS1
P11_12	M4			S_A13/TA1_I12/TA1_O12/CSI1F_CS2
P11_13	M5			S_A14/TA1_I13/TA1_O13/CSI1F_CS3
P11_14	R2			S_A15/TA1_I14/TA1_O14/CSI1F_CS4
P11_15	R1	S_A16/TA1_I15/TA1_O15/CSI1F_CS5		
P12_0	T2	入出力	ポート 12 10 ビット入出力ポート	S_A17/INTP0/CSI1F_CS6/ADCNV0
P12_1	N4			S_A18/INTP1/CSI1F_CS7/ADCNV1
P12_2	N5			S_A19/INTP2/ADCNV2/CSI0_SSI
P12_3	T1			S_A20/INTP3/CSI0_RYI/CSI0_RYO
P12_4	U2			S_A21/INTP4/SO0
P12_5	U1			S_A22/INTP5/SI0/RXD0
P12_6	V1			S_A23/INTP6/SCK0/TXD0/ADTRG11
P12_7	P4			S_A24/INTP7/SO2F
P12_8	P5			S_A25/INTP8/SI2F/RXD2F/SDA2
P12_9	V2			S_A26/INTP9/SCK2F/TXD2F/SCL2/ ADTRG21
P13_0	AB3	入出力	ポート 13 8 ビット入出力ポート	S_DMARQ0/ADTRG01/UCLK/CSI5_SSI
P13_1	W4			S_CS3/S_DMAAK0/ADTRG00/INTP0/ CSI5_RYI/CSI5_RYO
P13_2	AB4			S_DMARQ1/SO1F/INTP1/PPON
P13_3	AA3			S_DMAAK1/SO5/INTP2/OCI
P13_4	AB2			CAN0TXD/SCK1F/TXD1F/SCL1/INTP3
P13_5	AA2			CAN0RXD/SI1F/RXD1F/SDA1
P13_6	AA1			CAN1TXD/SCK5/TXD5/SCL5/INTP4
P13_7	Y2			CAN1RXD/SI5/RXD5/SDA5
P14_0	V5	入力	ポート 14 6 ビット入力ポート	ANI06
P14_1	W5			ANI07
P14_2	AA5			ANI08
P14_3	AB5			ANI09
P14_4	V6			ANI10
P14_5	W6			ANI11

表 2-3 外部バス・インタフェース関連の端子一覧 (1/6)

端子名称	ピン番号	入出力	機能	兼用端子
P_D0	P19	入出力	プライマリ・メモリ・コントローラ (PMEMC) 外部メモリに対する 32 ビット・データ・バス	P0_0/TA0_I0/TA0_O0/TE0_TI0
P_D1	P18			P0_1/TA0_I1/TA0_O1
P_D2	R22			P0_2/TA0_I2/TA0_O2/TE0_TI1
P_D3	R21			P0_3/TA0_I3/TA0_O3
P_D4	R19			P0_4/TA0_I4/TA0_O4/TE0_AI
P_D5	R18			P0_5/TA0_I5/TA0_O5
P_D6	T22			P0_6/TA0_I6/TA0_O6/TE0_BI
P_D7	T21			P0_7/TA0_I7/TA0_O7
P_D8	T19			P0_8/TA0_I8/TA0_O8/TE0_ZI
P_D9	T18			P0_9/TA0_I9/TA0_O9
P_D10	U22			P0_10/TA0_I10/TA0_O10
P_D11	U21			P0_11/TA0_I11/TA0_O11
P_D12	U19			P0_12/TA0_I12/TA0_O12
P_D13	V22			P0_13/TA0_I13/TA0_O13
P_D14	V21			P0_14/TA0_I14/TA0_O14
P_D15	W22			P0_15/TA0_I15/TA0_O15
P_D16	W21			P1_0/TA2_I0/TA2_O0/ADCNV0
P_D17	Y22			P1_1/TA2_I1/TA2_O1/ADCNV1
P_D18	Y21			P1_2/TA2_I2/TA2_O2/ADCNV2
P_D19	AA22			P1_3/TA2_I3/TA2_O3/ES00
P_D20	AA21			P1_4/TA2_I4/TA2_O4/ESO1
P_D21	AB21			P1_5/TA2_I5/TA2_O5/ESO2
P_D22	W19			P1_6/TA2_I6/TA2_O6/ESO3
P_D23	AA20			P1_7/TA2_I7/TA2_O7
P_D24	AB20			P1_8/TA2_I8/TA2_O8
P_D25	AA19			P1_9/TA2_I9/TA2_O9
P_D26	AB19			P1_10/TA2_I10/TA2_O10
P_D27	AA18			P1_11/TA2_I11/TA2_O11
P_D28	AB18			P1_12/TA2_I12/TA2_O12
P_D29	W17			P1_13/TA2_I13/TA2_O13
P_D30	AA17			P1_14/TA2_I14/TA2_O14
P_D31	AB17	P1_15/TA2_I15/TA2_O15		
P_LLBE	P21	出力	PMEMC 外部データ・バスのバイト・イネーブル信号出力 (D0-D7)	P2_1/P_LLWR/INTP13/TJ_I0/TJ_O0
P_LUBE	P22	出力	PMEMC 外部データ・バスのバイト・イネーブル信号出力 (D8-D15)	P2_2/P_LUWR/INTP14/TJ_I1/TJ_O1
P_ULBE	N18	出力	PMEMC 外部データ・バスのバイト・イネーブル信号出力 (D16-D23)	P2_3/P_ULWR/INTP15/TJ_I2/TJ_O2

表 2-3 外部バス・インタフェース関連の端子一覧 (2/6)

端子名称	ピン番号	入出力	機能	兼用端子
P_UUBE	N19	出力	PMEMC 外部データ・バスのバイト・イネーブル信号出力 (D24-D31)	P2_4/P_UUWR/INTP16/TJ_I3/TJ_O3
P_RD	N21	出力	PMEMC 外部データ・バスのリード・ストロブ信号出力	P2_5/INTP17
P_BUSCLK	N22	出力	PMEMC バス・クロック出力	P2_6
P_WR	M18	出力	PMEMC 外部データ・バスのライト・ストロブ信号出力	P2_7/P_RW/INTP19
P_RW	M18	出力	PMEMC 外部データ・バスのリード/ライト・ステータス信号出力	P2_7/P_WR/INTP19
P_LLWR	P21	出力	PMEMC 外部データ・バスのライト・ストロブ信号出力 (D0-D7)	P2_1/P_LLBE/INTP13/TJ_I0/TJ_O0
P_LUWR	P22	出力	PMEMC 外部データ・バスのライト・ストロブ信号出力 (D8-D15)	P2_2/P_LUBE/INTP14/TJ_I1/TJ_O1
P_ULWR	N18	出力	PMEMC 外部データ・バスのライト・ストロブ信号出力 (D16-D23)	P2_3/P_ULBE/INTP15/TJ_I2/TJ_O2
P_UUWR	N19	出力	PMEMC 外部データ・バスのライト・ストロブ信号出力 (D24-D31)	P2_4/P_UUBE/INTP16/TJ_I3/TJ_O3
P_LLDQM	A21	出力	PMEMC SDRAM 用入出力マスタ信号出力 (D0-D7)	P5_0/ETH_CRS/TA3_I0/TA3_O0/ INTP20/CSI0F_RYI/CSI0F_RYO
P_LUDQM	B20	出力	PMEMC SDRAM 用入出力マスタ信号出力 (D8-D15)	P5_1/ETH_COL/TA3_I1/TA3_O1/ INTP21/CSI0F_SSI
P_ULDQM	A20	出力	PMEMC SDRAM 用入出力マスタ信号出力 (D16-D23)	P5_2/ETH_TXD3/TA3_I2/TA3_O2/ INTP22/CSI0F_CS0
P_UUDQM	B19	出力	PMEMC SDRAM 用入出力マスタ信号出力 (D24-D31)	P5_3/ETH_TXD2/TA3_I3/TA3_O3/ INTP23/CSI0F_CS1
P_REFRQ	A19	出力	PMEMC リフレッシュ要求	P5_4/ETH_TXD1/TA3_I4/TA3_O4/ INTP24/CSI0F_CS2
P_SDRAS	B18	出力	PMEMC SDRAM に対するロウ・アドレス・ストロブ信号出力	P5_5/ETH_TXD0/TA3_I5/TA3_O5/ INTP25/CSI0F_CS3
P_SDCAS	A18	出力	PMEMC SDRAM に対するコラム・アドレス・ストロブ信号出力	P5_6/ETH_TXEN/TA3_I6/TA3_O6/ INTP26/CSI0F_CS4
P_SDCKE	D17	出力	PMEMC SDRAM クロック・イネーブル出力信号	P5_8/ETH_TXER/TA3_I8/TA3_O8/ CSI0F_CS6
P_BUSRQ	A16	出力	PMEMC CPU バス要求通知出力	P5_10/ETH_RXCLK/TA3_I10/TA3_O10
P_SDWE	D16	出力	PMEMC SDRAM 用データ・ライト許可出力	P5_11/ETH_RXDV/TA3_I11/TA3_O11
P_BCYST	B15	出力	PMEMC SRAM サイクルのバス・サイクル・スタート	P5_12/ETH_RXD0/TA3_I12/TA3_O12
	D21			P4_8/P_CS1/INTP20

表 2-3 外部バス・インタフェース関連の端子一覧 (3/6)

端子名称	ピン番号	入出力	機能	兼用端子
P_A0	M19	出力	プライマリ・メモリコントローラ (PMEMC) 外部メモリに対する 26 ビット・アドレス・バス	P3_0/TA1_I0/TA1_O0/TE1_TI0/INTP18
P_A1	M21			P3_1/TA1_I1/TA1_O1
P_A2	L19			P3_2/TA1_I2/TA1_O2/TE1_TI1
P_A3	L18			P3_3/TA1_I3/TA1_O3
P_A4	K18			P3_4/TA1_I4/TA1_O4/TE1_AI
P_A5	L21			P3_5/TA1_I5/TA1_O5
P_A6	L22			P3_6/TA1_I6/TA1_O6/CSI3F_CS0/TE1_BI
P_A7	K19			P3_7/TA1_I7/TA1_O7/CSI3F_CS1
P_A8	K21			P3_8/TA1_I8/TA1_O8/CSI3F_CS2/TE1_ZI
P_A9	K22			P3_9/TA1_I9/TA1_O9/CSI3F_CS3
P_A10	J19			P3_10/TA1_I10/TA1_O10/CSI3F_CS4
P_A11	J21			P3_11/TA1_I11/TA1_O11/CSI3F_CS5
P_A12	J22			P3_12/TA1_I12/TA1_O12/CSI3F_CS6
P_A13	H19			P3_13/TA1_I13/TA1_O13/CSI3F_CS7
P_A14	H21			P3_14/TA1_I14/TA1_O14/CSI3_RYI/CSI3_RYO
P_A15	H22			P3_15/TA1_I15/TA1_O15/CSI3_SSI
P_A16	G19			P4_0/INTP5/CSI3F_RYI/CSI3F_RYO
P_A17	G21			P4_1/INTP6/CSI3F_SSI
P_A18	G22			P4_2/INTP7/SO3
P_A19	F19			P4_3/INTP8/DMAAK4/SO3F
P_A20	F21			P4_4/INTP9/DMATC4/SI3/RXD3
P_A21	F22			P4_5/INTP10/DMATC3/SCK3/TXD3/ADTRG10
P_A22	E21			P4_6/INTP11/DMAAK3/SI3F/RXD3F/SDA3
P_A23	E22			P4_7/INTP12/SCK3F/TXD3F/SCL3/ADTRG20
P_A24	B14			P6_0/ETH_MDC/DMATC0/TJ_I2/TJ_O2
P_A25	A15	P6_1/ETH_MDIO/DMATC1/TJ_I3/TJ_O3		
P_CS1	D21	出力	PMEMC 外部メモリに対するチップ・セレクト信号出力	P4_8/P_BCYST/INTP20
P_CS2	D22			P4_9/INTP21/DMAAK5
P_CS3	C21			P4_10/INTP22/DMATC5
P_CS4	D18			P5_9/ETH_RXER/TA3_I9/TA3_O9/CSI0F_CS7
P_WAIT	C22	入力	PMEMC 外部ウエイト要求入力	P4_11/SCK0F/TXD0F/SCL0
P_HLDAK	B21	出力	PMEMC バス・ホールド・アクノリッジ出力	P4_12/INTP23/DMAAK2/SO0F
P_HLDRQ	B22	入力	PMEMC バス・ホールド要求入力	P4_13/DMATC2/SI0F/RXD0F/SDA0

表 2-3 外部バス・インタフェース関連の端子一覧 (4/6)

端子名称	ピン番号	入出力	機能	兼用端子
S_D0	C2	入出力	セカンダリ・メモリ・コントローラ (SMEMC) 外部メモリに対する 32 ビット・データ・バス	P7_0/TA2_I0/TA2_O0
S_D1	A2			P7_1/TA2_I1/TA2_O1
S_D2	B2			P7_2/TA2_I2/TA2_O2
S_D3	A3			P7_3/TA2_I3/TA2_O3
S_D4	B3			P7_4/TA2_I4/TA2_O4
S_D5	A4			P7_5/TA2_I5/TA2_O5
S_D6	B4			P7_6/TA2_I6/TA2_O6
S_D7	A5			P7_7/TA2_I7/TA2_O7
S_D8	B5			P7_8/TA2_I8/TA2_O8
S_D9	A6			P7_9/TA2_I9/TA2_O9
S_D10	B6			P7_10/TA2_I10/TA2_O10
S_D11	D5			P7_11/TA2_I11/TA2_O11
S_D12	A7			P7_12/TA2_I12/TA2_O12
S_D13	D6			P7_13/TA2_I13/TA2_O13
S_D14	A8			P7_14/TA2_I14/TA2_O14
S_D15	E5			P7_15/TA2_I15/TA2_O15
S_D16	D7			P8_0/TA0_I0/TA0_O0/TE_T10
S_D17	D8			P8_1/TA0_I1/TA0_O1
S_D18	A9			P8_2/TA0_I2/TA0_O2/TE0_T11
S_D19	B9			P8_3/TA0_I3/TA0_O3
S_D20	D9			P8_4/TA0_I4/TA0_O4/TE0_AI
S_D21	E9			P8_5/TA0_I5/TA0_O5
S_D22	A10			P8_6/TA0_I6/TA0_O6/TE0_BI
S_D23	B10			P8_7/TA0_I7/TA0_O7
S_D24	D10			P8_8/TA0_I8/TA0_O8/TE0_ZI
S_D25	E10			P8_9/TA0_I9/TA0_O9
S_D26	B11			P8_10/TA0_I10/TA0_O10
S_D27	D11			P8_11/TA0_I11/TA0_O11
S_D28	E11			P8_12/TA0_I12/TA0_O12
S_D29	D12			P8_13/TA0_I13/TA0_O13
S_D30	E12			P8_14/TA0_I14/TA0_O14
S_D31	E13	P8_15/TA0_I15/TA0_O15		
S_SDCKE	D4	出力	SMEMC SDRAM クロック・イネーブル出力信号	P9_0/TA3_I0/TA3_O0/INTP10/CSI2F_CS0
S_BUSCLK	C1	出力	SMEMC バス・クロック出力	P9_1/CSI2F_CS1
S_SDCAS	E4	出力	SMEMC SDRAM に対するカラム・アドレス・ストロープ信号出力	P9_2/TA3_I1/TA3_O1/CSI2F_CS2
S_SDRAS	D2	出力	SDRAM に対するロウ・アドレス・ストロープ信号出力	P9_3/TA3_I2/TA3_O2/CSI2F_CS3
S_LLDQM	D1	出力	SMEMC SDRAM 用入出力マスキング信号出力 (D0-D7)	P9_4/TA3_I3/TA3_O3/CSI2F_CS4

表 2-3 外部バス・インタフェース関連の端子一覧 (5/6)

端子名称	ピン番号	入出力	機能	兼用端子
S_LUDQM	E2	出力	SMEMC SDRAM 用入出力マスク信号出力 (D8-D15)	P9_5/TA3_I4/TA3_O4/CSI2F_CS5
S_ULDQM	F4	出力	SMEMC SDRAM 用入出力マスク信号出力 (D16-D23)	P9_6/S_DMATC2/ESO0/CSI2F_CS6
S_UUDQM	E1	出力	SMEMC SDRAM 用入出力マスク信号出力 (D0-D7)	P9_7/S_DMATC3/ESO1/CSI2F_CS7
S_LLWR	F2	出力	SMEMC 外部データ・バスのライト・ストロブ信号出力 (D0-D7)	P9_8/S_DMAAK2/CSI4_RYI/CSI4_RYO
S_LUWR	F1	出力	SMEMC 外部データ・バスのライト・ストロブ信号出力 (D8-D15)	P9_9/S_DMARQ2/S_DMATC0/SO4
S_ULWR	G4	出力	SMEMC 外部データ・バスのライト・ストロブ信号出力 (D16-D23)	P9_10/S_DMAAK3/SI4/RXD4/SDA4/ESO2
S_UUWR	G2	出力	SMEMC 外部データ・バスのライト・ストロブ信号出力 (D24-D31)	P9_11/S_DMARQ3/SCK4/TXD4/SCL4/ESO3
S_RD	G1	出力	SMEMC 外部データ・バスのリード・ストロブ信号出力	P9_12/TA3_I5/TA3_O5/INTP11
S_WR	H2	出力	SMEMC 外部データ・バスのライト・ストロブ信号出力	P9_13/TA3_I6/TA3_O6/INTP12/CSI1_SSI
S_LLBE	H1	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D0-D7)	P9_14/TA3_I7/TA3_O7/INTP13/CSI1_RYI/CSI1_RYO
S_LUBE	H4	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D8-D15)	P9_15/INTP14/SO1
S_ULBE	J2	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D16-D23)	P10_0/INTP15/SI1/RXD1/S_DMATC0
S_UUBE	J4	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D24-D31)	P10_1/INTP16/SCK1/TXD1/S_DMATC1
S_SDWE	J1	出力	SMEMC SDRAM 用ライト・イネーブル信号出力	P10_2/TA3_I8/TA3_O8/INTP17/CSI2F_SSI
S_BCYST	K2	出力	SMEMC バス・サイクルの開始を示すストロブ信号出力	P10_3/TA3_I9/TA3_O9/INTP18/S_DMATC1/CSI4_SSI
S_CS0	W1	出力	SMEMC 外部メモリに対するチップ・セレクト信号出力	P10_4/TA3_I10/TA3_O10/INTP19/CSI2_SSI
S_CS1	W2			P10_5/TA3_I11/TA3_O11/INTP24/CSI2_RYI/CSI2_RYO
S_CS2	Y1			P10_6/TA3_I12/TA3_O12/INTP25/CSI1F_SSI
S_CS3	R4			P10_7/S_SDCS/INTP26/CSI1F_RYI/CSI1F_RYO
	W4			P13_1/S_DMAAK0/ADTRG00/INTP0/CSI5_RYI/CSI5_RYO
S_WAIT	V4	入力	SMEMC 外部ウェイト要求入力	P10_8/SI2/RXD2

表 2-3 外部バス・インタフェース関連の端子一覧 (6/6)

端子名称	ピン番号	入出力	機能	兼用端子
S_HLDAK	U5	出力	SMEMC バス・ホールド・アク ノリッジ出力	P10_9/TA3_I13/TA3_O13/SO2/INTP27
S_HLDRQ	U4	入力	SMEMC バス・ホールド要求入 力	P10_10/TA3_I14/TA3_O14/SCK2/TXD2
S_REFRQ	T4	出力	SMEMC SDRAM に対するリ フレッシュ要求信号出力	P10_11/TA3_I15/TA3_O15/CSI2F_RYI/ CSI2F_RYO
S_SDCS	R4	出力	SMEMC 外部 SDRAM に対す るチップ・セレクト信号出力	P10_7/S_CS3/INTP26/CSI1F_RYI/ CSI1F_RYO
S_A1	K1	出力	SMEMC 外部メモリに対する 26 ビット・アドレス・バス	P11_0/TA1_I0/TA1_O0/TE1_TI0
S_A2	K4			P11_1/TA1_I1/TA1_O1
S_A3	L2			P11_2/TA1_I2/TA1_O2/TE1_TI1
S_A4	L1			P11_3/TA1_I3/TA1_O3
S_A5	L5			P11_4/TA1_I4/TA1_O4/TE1_AI
S_A6	L4			P11_5/TA1_I5/TA1_O5
S_A7	M2			P11_6/TA1_I6/TA1_O6/TE1_BI
S_A8	M1			P11_7/TA1_I7/TA1_O7
S_A9	N2			P11_8/TA1_I8/TA1_O8/TE1_ZI
S_A10	N1			P11_9/TA1_I9/TA1_O9
S_A11	P2			P11_10/TA1_I10/TA1_O10/CSI1F_CS0
S_A12	P1			P11_11/TA1_I11/TA1_O11/CSI1F_CS1
S_A13	M4			P11_12/TA1_I12/TA1_O12/CSI1F_CS2
S_A14	M5			P11_13/TA1_I13/TA1_O13/CSI1F_CS3
S_A15	R2			P11_14/TA1_I14/TA1_O14/CSI1F_CS4
S_A16	R1			P11_15/TA1_I15/TA1_O15/CSI1F_CS5
S_A17	T2			P12_0/INTP0/CSI1F_CS6/ADCNV0
S_A18	N4			P12_1/INTP1/CSI1F_CS7/ADCNV1
S_A19	N5			P12_2/INTP2/ADCNV2/CSI0_SSI
S_A20	T1			P12_3/INTP3/CSI0_RYI/CSI0_RYO
S_A21	U2			P12_4/INTP4/SO0
S_A22	U1			P12_5/INTP5/SI0/RXD0
S_A23	V1			P12_6/INTP6/SCK0/TXD0/ADTRG11
S_A24	P4			P12_7/INTP7/SO2F
S_A25	P5			P12_8/INTP8/SI2F/RXD2F/SDA2
S_A26	V2			P12_9/INTP9/SCK2F/TXD2F/SCL2/ ADTRG21

表 2-4 周辺機能関連の端子一覧 (1/19)

端子名称	ピン番号	入出力	機能	兼用端子	
ADCNV0	W21	出力	A/D コンバータ用ステータス出力	P1_0/P_D16/TA2_I0/TA2_O0	
	T2	出力		P12_0/S_A17/INTP0/CSI1F_CS6	
ADCNV1	Y22	出力		P1_1/P_D17/TA2_I1/TA2_O1	
	N4	出力		P12_1/S_A18/INTP1/CSI1F_CS7/ ADCNV1	
ADCNV2	Y21	出力		P1_2/P_D18/TA2_I2/TA2_O2	
	N5	出力		P12_2/S_A19/INTP2/CSI0_SSI	
ADTRG00	W4	入力		A/D コンバータ外部トリガ入力	P13_1/S_CS3/S_DMAAK0/INTP0/ CSI5_RYI/CSI5_RYO
ADTRG01	AB3	入力			P13_0/S_DMARQ0/UCLK/CSI5_SSI
ADTRG10	F22	入力	P4_5/P_A21/INTP10/DMATC3/SCK3/ TXD3/		
ADTRG11	V1	入力	P12_6/S_A24/INTP7/SO2F		
ADTRG20	E22	入力	P4_7/P_A23/INTP12/SCK3F/TXD3F/ SCL3		
ADTRG21	V2	入力	P12_9/S_A26/INTP9/SCK2F/TXD2F/ SCL2		
ANI00	V8	入力	A/D コンバータへのアナログ入力		—
ANI01	W8	入力		—	
ANI02	AA8	入力		—	
ANI03	AB8	入力		—	
ANI04	V7	入力		—	
ANI05	W7	入力		—	
ANI06	V5	入力		P14_0	
ANI07	W5	入力		P14_1	
ANI08	AA5	入力		P14_2	
ANI09	AB5	入力		P14_3	
ANI10	V6	入力		P14_4	
ANI11	W6	入力		P14_5	
AV _{DD}	AB7	—	A/D コンバータ用正電源供給 (3.3Vor5.0V)	—	
AV _{REFM}	AA6	入力	A/D コンバータ用基準電圧入力	—	
AV _{REFP}	AA7	入力		—	
AV _{SS}	AB6	—	A/D コンバータ用グランド電位	—	
CAN0RXD	AA2	入力	CAN0 の受信データ入力	P13_5/SI1F/RXD1F/SDA1	
CAN1RXD	Y2	入力	CAN1 の受信データ入力	P13_7/SI5/RXD5/SDA5	
CAN0TXD	AB2	出力	CAN0 の送信データ出力	P13_4/SCK1F/TXD1F/SCL1/INTP3	
CAN1TXD	AA1	出力	CAN1 の送信データ出力	P13_6/SCK5/TXD5/SCL5/INTP4	

表 2-4 周辺機能関連の端子一覧 (2/19)

端子名称	ピン番号	入出力	機能	兼用端子
CSI0F_CS0	A20	出力	CSI0 (FIFO) のチップ・セレクト信号出力	P5_2/ETH_TXD3/TA3_I2/TA3_O2/ INTP22/P_ULDQM
CSI0F_CS1	B19			P5_3/ETH_TXD2/TA3_I3/TA3_O3/ INTP23/P_UUDQM
CSI0F_CS2	A19			P5_4/ETH_TXD1/TA3_I4/TA3_O4/ INTP24/P_REFRQ
CSI0F_CS3	B18			P5_5/ETH_TXD0/TA3_I5/TA3_O5/ INTP25/P_SDRAS
CSI0F_CS4	A18			P5_6/ETH_TXEN/TA3_I6/TA3_O6/ INTP26/P_SDCAS
CSI0F_CS5	A17			P5_7/ETH_TXCLK/TA3_I7/TA3_O7/ INTP27
CSI0F_CS6	D17			P5_8/ETH_TXER/TA3_I8/TA3_O8/ P_SDCKE
CSI0F_CS7	D18			P5_9/ETH_RXER/TA3_I9/TA3_O9/ P_CS4
CSI1F_CS0	A20	出力	CSI1 (FIFO) のチップ・セレクト信号出力	P11_10/S_A11/TA1_I10/TA1_O10
CSI1F_CS1	B19			P11_11/S_A12/TA1_I11/TA1_O11
CSI1F_CS2	M4			P11_12/S_A13/TA1_I12/TA1_O12
CSI1F_CS3	M5			P11_13/S_A14/TA1_I13/TA1_O13
CSI1F_CS4	A18			P11_14/S_A15/TA1_I14/TA1_O14
CSI1F_CS5	A17			P11_15/S_A16/TA1_I15/TA1_O15
CSI1F_CS6	D17			P12_0/S_A17/INTP0/ADCNV0
CSI1F_CS7	D18			P12_1/S_A18/INTP1/ADCNV1
CSI2F_CS0	D4	出力	CSI2 (FIFO) のチップ・セレクト信号出力	P9_0/S_SDCKE/TA3_I0/TA3_O0/INTP10
CSI2F_CS1	C1			P9_1/S_BUSCLK
CSI2F_CS2	E4			P9_2/S_SDCAS/TA3_I1/TA3_O1
CSI2F_CS3	D2			P9_3/S_SDRAS/TA3_I2/TA3_O2
CSI2F_CS4	D1			P9_4/S_LLDQM/TA3_I3/TA3_O3
CSI2F_CS5	E2			P9_5/S_LUDQM/TA3_I4/TA3_O4
CSI2F_CS6	F4			P9_6/S_ULDQM/S_DMATC2/ESO0
CSI2F_CS7	E1			P9_7/S_UUDQM/S_DMATC3/ESO1
CSI3F_CS0	L22	出力	CSI3 (FIFO) のチップ・セレクト信号出力	P3_6/P_A6/TA1_I6/TA1_O6/TE1_BI
CSI3F_CS1	K19			P3_7/P_A7/TA1_I7/TA1_O7
CSI3F_CS2	K21			P3_8/P_A8/TA1_I8/TA1_O8/TE1_ZI
CSI3F_CS3	K22			P3_9/P_A9/TA1_I9/TA1_O9
CSI3F_CS4	J19			P3_10/P_A10/TA1_I10/TA1_O10
CSI3F_CS5	J21			P3_11/P_A11/TA1_I11/TA1_O11
CSI3F_CS6	J22			P3_12/P_A12/TA1_I12/TA1_O12
CSI3F_CS7	H19			P3_13/P_A13/TA1_I13/TA1_O13
CSI0F_RY1	A21	入力	CSIH0 レディ/ビジー入力	P5_0/ETH_CRS/TA3_I0/TA3_O0/INTP20/ P_LLDQM/CSI0F_RYO
CSI1F_RY1	R4	入力	CSIH1 レディ/ビジー入力	P10_7/S_CS3/_S_SDCS/INTP26/ CSI1F_RYO

表 2-4 周辺機能関連の端子一覧 (3/19)

端子名称	ピン番号	入出力	機能	兼用端子
CSI2F_RYI	T4	入力	CSIH2 レディ/ビジー入力	P10_11/_S_REFRQ/TA3_I15/TA3_O15/ RYOH2
CSI3F_RYI	G19	入力	CSIH3 レディ/ビジー入力	P4_0/P_A16/INTP5/CSI3F_RYO
CSI0_RYI	T1	入力	CSIG0 レディ/ビジー入力	P12_3/S_A20/INTP3/CSI0_RYO
CSI1_RYI	H1	入力	CSIG1 レディ/ビジー入力	P9_14/_S_LLBE/TA3_I7/TA3_O7/ INTP13/CSI1_RYO
CSI2_RYI	W2	入力	CSIG2 レディ/ビジー入力	P10_5/_S_CS1/TA3_I11/TA3_O11/ INTP24/CSI2_RYO
CSI3_RYI	H21	入力	CSIG3 レディ/ビジー入力	P3_14/P_A14/TA1_I14/TA1_O14/ CSI3_RYO
CSI4_RYI	F2	入力	CSIG4 レディ/ビジー入力	P9_8/_S_LLWR/_S_DMAAK2/CSI4_RYO
CSI5_RYI	W4	入力	CSIG5 レディ/ビジー入力	P13_1/_S_CS3/_S_DMAAK0/ADTRG00/ INTP0/CSI5_RYO
CSI0F_RYO	A21	出力	CSIH0 レディ/ビジー出力	P5_0/ETH_CRIS/TA3_I0/TA3_O0/INTP20/ P_LLDQM/CSI0F_RYI
CSI1F_RYO	R4	出力	CSIH1 レディ/ビジー出力	P10_7/_S_CS3/_S_SDSCS/INTP26/ CSI1F_RYI
CSI2F_RYO	T4	出力	CSIH2 レディ/ビジー出力	P10_11/_S_REFRQ/TA3_I15/TA3_O15/ RYIH2
CSI3F_RYO	G19	出力	CSIH3 レディ/ビジー出力	P4_0/P_A16/INTP5/CSI3F_RYI
CSI0_RYO	T1	出力	CSIG0 レディ/ビジー出力	P12_3/S_A20/INTP3/CSI0_RYI
CSI1_RYO	H1	出力	CSIG1 レディ/ビジー出力	P9_14/_S_LLBE/TA3_I7/TA3_O7/ INTP13/CSI1_RYI
CSI2_RYO	W2	出力	CSIG2 レディ/ビジー出力	P10_5/_S_CS1/TA3_I11/TA3_O11/ INTP24/CSI2_RYI
CSI3_RYO	H21	出力	CSIG3 レディ/ビジー出力	P3_14/P_A14/TA1_I14/TA1_O14/ CSI3_RYI
CSI4_RYO	F2	出力	CSIG4 レディ/ビジー出力	P9_8/_S_LLWR/_S_DMAAK2/CSI4_RYI
CSI5_RYO	W4	出力	CSIG5 レディ/ビジー出力	P13_1/_S_CS3/_S_DMAAK0/ADTRG00/ INTP0/CSI5_RYI
CSI0F_SSI	A21	入力	CSIH0 スレーブ・セレクト入力	P5_1/ETH_COL/TA3_I1/TA3_O1/INTP21/ P_LUDQM/CSI0F_RYI/CSI0F_RYO
CSI1F_SSI	Y1		CSIH1 スレーブ・セレクト入力	P10_6/S_CS2/TA3_I12/TA3_O12/INTP25
CSI2F_SSI	J1		CSIH2 スレーブ・セレクト入力	P10_2/S_SDWE/TA3_I8/TA3_O8/INTP17
CSI3F_SSI	G22		CSIH3 スレーブ・セレクト入力	P4_1/P_A17/INTP6
CSI0_SSI	N5		CSIG0 スレーブ・セレクト入力	P12_2/S_A19/INTP2/ADCNV2
CSI1_SSI	H2		CSIG1 スレーブ・セレクト入力	P9_13/S_WR/TA3_I6/TA3_O6/INTP12/ INTP18/S_DMATC1/
CSI2_SSI	W1		CSIG2 スレーブ・セレクト入力	P10_4/S_CS0/TA3_I10/TA3_O10/INTP19
CSI3_SSI	H22		CSIG3 スレーブ・セレクト入力	P3_15/P_A15/TA1_I15/TA1_O15
CSI4_SSI	K2		CSIG4 スレーブ・セレクト入力	P10_3/S_BCYST/TA3_I9/TA3_O9/ INTP18/S_DMATC1/
CSI5_SSI	AB3		CSIG5 スレーブ・セレクト入力	P13_0/S_DMARQ0/ADTRG01/UCLK
DMAAK0	E14	出力	DMA0 アクノリッジ信号出力	P5_14/ETH_RXD2/TA3_I14/TA3_O14/ TJ_I0/TJ_O0
DMAAK1	D14	出力	DMA1 アクノリッジ信号出力	P5_15/ETH_RXD3/TA3_I15/TA3_O15/ TJ_I1/TJ_O1

表 2-4 周辺機能関連の端子一覧 (4/19)

端子名称	ピン番号	入出力	機能	兼用端子		
DMAAK2	B21	出力	DMA2 アクノリッジ信号出力	P4_12/P_HLDAK/INTP23/SO0F		
DMAAK3	E21	出力	DMA3 アクノリッジ信号出力	P4_6/P_A22/INTP11/SI3F/RXD3F/SDA3		
DMAAK4	F19	出力	DMA4 アクノリッジ信号出力	P4_3/P_A19/INTP8/SO3F		
DMAAK5	D22	出力	DMA5 アクノリッジ信号出力	P4_9/P_CS2/INTP21		
DMATC0	B14	出力	DMA0 転送終了信号出力	P6_0/ETH_MDC/TJ_I2/TJ_O2/P_A24		
DMATC1	A15	出力	DMA1 転送終了信号出力	P6_1/ETH_MDIO/TJ_I3/TJ_O3/P_A25		
DMATC2	B22	出力	DMA2 転送終了信号出力	P4_13/P_HLDRQ/SI0F/RXD0F/SDA0		
DMATC3	F22	出力	DMA3 転送終了信号出力	P4_5/P_A21/INTP10/SCK3/TXD3/ ADTRG10		
DMATC4	F21	出力	DMA4 転送終了信号出力	P4_4/P_A20/INTP9/SI3/RXD3		
DMATC5	C21	出力	DMA5 転送終了信号出力	P4_10/P_CS3/INTP22		
ESO0	AA22	入力	モータ制御機能 Hi-Z 制御要求	P1_3/P_D19/TA2_I3/TA2_O3		
	F4			P9_6/S_ULDQM/S_DMATC2/ CSI2F_CS6		
ESO1	AA21			P1_4/P_D20/TA2_I4/TA2_O4		
	E1			P9_7/S_UUDQM/S_DMATC3/ CSI0F_CS7		
ESO2	AB21			P1_5/P_D21/TA2_I5/TA2_O5		
	G4			P9_10/S_ULWR/S_DMAAK3/SI4/RXD4/ SDA4		
ESO3	W19			P1_6/P_D22/TA2_I6/TA2_O6		
	G2			P9_11/S_UUWR/S_DMARQ3/SCK4/ TXD4/SCL4		
ETH_COL	B20			入力	Ethernet 接続用端子	P5_1/TA3_I1/TA3_O1/INTP21/ CSI0F_SSI
ETH_MDC	B14			出力		P6_0/DMATC0/TJ_I2/TJ_O2/P_A24
ETH_MDIO	A15	入出力		P6_1/DMATC1/TJ_I3/TJ_O3/P_A25		
ETH_RXCLK	A16	入力		P5_10/TA3_I10/TA3_O10/P_BUSRQ		
ETH_RXD0	B15	入力		P5_12/TA3_I12/TA3_O12/P_BCYST		
ETH_RXD1	D15	入力		P5_13/TA3_I13/TA3_O13		
ETH_RXD2	E14	入力		P5_14/TA3_I14/TA3_O14/DMAAK0/ TJ_I0/TJ_O0		
ETH_RXD3	D14	入力		P5_15/TA3_I15/TA3_O15/DMAAK1/ TJ_I1/TJ_O1		
ETH_RXDV	D16	入力		P5_11/TA3_I11/TA3_O11/P_SDWE		
ETH_TXCLK	A17	入力		P5_7/TA3_I7/TA3_O7/INTP27/ CSI0F_CS5		
ETH_TXD0	B18	出力		P5_5/TA3_I5/TA3_O5/INTP25/ CSI0F_CS3/P_SDRAS		
ETH_TXD1	A19	出力		P5_4/TA3_I4/TA3_O4/INTP24/ CSI0F_CS2/P_REFRQ		
ETH_TXD2	B19	出力		P5_3/TA3_I3/TA3_O3/INTP23/ CSI0F_CS1/P_UUDQM		

表 2-4 周辺機能関連の端子一覧 (5/19)

端子名称	ピン番号	入出力	機能	兼用端子
ETH_TXD3	A20	出力	Ethernet 接続用端子	P5_2/TA3_I2/TA3_O2/INTP22/ CSI0F_CS0/P_ULDQM
ETH_TXEN	A18	出力		P5_6/TA3_I6/TA3_O6/INTP26/ CSI0F_CS4/P_SDCAS
ETH_CRS	A21	入力		P5_0/TA3_I0/TA3_O0/INTP20/P_LLDQM/ CSI0F_RY1/CSI0F_RYO
ETH_RXER	D18	入力		P5_9/TA3_I9/TA3_O9/CSI0F_CS7/ P_CS4
ETH_TXER	D17	出力		P5_8/TA3_I8/TA3_O8/CSI0F_CS6/ P_SDCKE
INTP0	T2	入力	外部マスカブル割り込み要求入力	P12_0/S_A17/CSI1F_CS6/ADCNV0
	W4			P13_1/S_CS3/S_DMAAK0/ADTRG00/ CSI5_RY1/CSI5_RYO
INTP1	N4			P12_1/S_A18/CSI1F_CS7/ADCNV1
	AB4			P13_2/S_DMARQ1/SO1F/PPON
INTP2	N5			P12_2/S_A19/ADCNV2/CSI0_SSI
	AA3			P13_3/S_DMAAK1/SO5/OCI
INTP3	T1			P12_3/S_A20/CSI0_RY1/CSI0_RYO
	AB2			P13_4/CAN0TXD/SCK1F/TXD1F/SCL1
INTP4	U2			P12_4/S_A21/SO0
	AA1			P13_6/CAN1TXD/SCK5/TXD5/SCL5
INTP5	G19			P4_0/P_A16/CSI3F_RY1/CSI3F_RYO
	U1			P12_5/S_A22/SI0/RXD0
INTP6	G21			P4_1/P_A17/CSI3F_SSI
	V1			P12_6/S_A23/SCK0/TXD0/ADTRG11
INTP7	G22			P4_2/P_A18/SO3
	P4			P12_7/S_A24/SO2F
INTP8	F19			P4_3/P_A19/DMAAK4/SO3F
	P5			P12_8/S_A25/SI2F/RXD2F/SDA2
INTP9	F21			P4_4/P_A20/DMATC4/SI3/RXD3
	V2			P12_9/S_A26/SCK2F/TXD2F/SCL2/ ADTRG21
INTP10	F22			P4_5/P_A21/DMATC3/SCK3/TXD3/ ADTRG10
	D4			P9_0/S_SDCKE/TA3_I0/TA3_O0/ CSI2F_CS0
INTP11	E21			P4_6/P_A22/DMAAK3/SI3F/RXD3F/ SDA3
	G1			P9_12/S_RD/TA3_I5/TA3_O5
INTP12	E22			P4_7/P_A23/SCK3F/TXD3F/SCL3/ ADTRG20
	H2			P9_13/S_WR/TA3_I6/TA3_O6/CSI1_SSI

表 2-4 周辺機能関連の端子一覧 (6/19)

端子名称	ピン番号	入出力	機能	兼用端子
INTP13	P21	入力	外部マスカブル割り込み要求入力	P2_1/P_LLBE/P_LLWR/TJ_I0/TJ_O0
	H1			P9_14/S_LLBE/TA3_I7/TA3_O7/ CSI1_RYI/CSI1_RYO
INTP14	P22			P2_2/P_LUBE/P_LUWR/TJ_I1/TJ_O1
	H4			P9_15/S_LUBE/SO1
INTP15	N18			P2_3/P_ULBE/P_ULWR/TJ_I2/TJ_O2
	J2			P10_0/S_ULBE/SI1/RXD1/S_DMATC0
INTP16	N19			P2_4/P_UUBE/P_UUWR/TJ_I3/TJ_O3
	J4			P10_1/S_UUBE/SCK1/TXD1/S_DMATC1
INTP17	N21			P2_5/P_RD
	J1			P10_2/S_SDWE/TA3_I8/TA3_O8/ CSI2F_SSI
INTP18	M19			P3_0/P_A0/TA1_I0/TA1_O0/TE1_TI0
	K2			P10_3/S_BCYST/TA3_I9/TA3_O9/ S_DMATC1/CSI4_SSI
INTP19	M18			P2_7/P_WR/P_RW
	W1			P10_4/S_CS0/TA3_I10/TA3_O10/ CSI2_SSI
INTP20	D21			P4_8/P_CS1/P_BCYST
	A21			P5_0/ETH_CRS/TA3_I0/TA3_O0/ P_LLDQM/CSI0F_RYI/CSI0F_RYO
INTP21	D22			P4_9/P_CS2/DMAAK5
	B20			P5_1/ETH_COL/TA3_I1/TA3_O1/ CSI0F_SSI/P_LUDQM
INTP22	C21			P4_10/P_CS3/DMATC5
	A20			P5_2/ETH_TXD3/TA3_I2/TA3_O2/ CSI0F_CS0/P_ULDQM
INTP23	B21			P4_12/P_HLDAK/DMAAK2/SO0F
	B19			P5_3/ETH_TXD2/TA3_I3/TA3_O3/ CSI0F_CS1/P_UUDQM
INTP24	B19			P5_4/ETH_TXD1/TA3_I4/TA3_O4/ CSI0F_CS2/P_REFRQ
	W2			P10_5/S_CS1/TA3_I11/TA3_O11/ CSI2_RYI/CSI2_RYO
INTP25	B18			P5_5/ETH_TXD0/TA3_I5/TA3_O5/ CSI0F_CS3/P_SDRAS
	Y1			P10_6/S_CS2/TA3_I12/TA3_O12/ CSI1F_SSI
INTP26	A18			P5_6/ETH_TXEN/TA3_I6/TA3_O6/ CSI0F_CS4/P_SDCAS
	R4	P10_7/S_CS3/S_SDCS/CSI1F_RYI/ CSI1F_RYO		
INTP27	A17	P5_7/ETH_TXCLK/TA3_I7/TA3_O7/ CSI0F_CS5		
	U5	P10_9/S_HLDAK/TA3_I13/TA3_O13/SO2		

表 2-4 周辺機能関連の端子一覧 (7/19)

端子名称	ピン番号	入出力	機能	兼用端子
NMI	W16	入力	ノンマスクブル割り込み要求入力	P2_0
OCI	AA3	入力	オーバカレント検知入力	P13_3/S_DMAAK1/SO5/INTP2
PPON	AB4	出力	USB 用電源供給出力	P13_2/S_DMARQ1/SOF1/INTP1
RXD0	U1	入力	UART0 のシリアル受信データ入力	P12_5/S_A22/INTP5/SI0
RXD1	J2	入力	UART1 のシリアル受信データ入力	P10_0/S_ULBE/INTP15/SI1/S_DMATC0
RXD2	V4	入力	UART2 のシリアル受信データ入力	P10_8/S_WAIT/SI2
RXD3	F21	入力	UART3 のシリアル受信データ入力	P4_4/P_A20/INTP9/DMATC4/SI3
RXD4	G4	入力	UART4 のシリアル受信データ入力	P9_10/S_ULWR/S_DMAAK3/SI4/SDA4/ESO2
RXD5	Y2	入力	UART5 のシリアル受信データ入力	P13_7/CAN1RXD/SI5/SDA5
RXD0F	B22	入力	UART0(FIFO) のシリアル受信データ入力	P4_13/P_HLDRQ/DMATC2/SI0F/SDA0
RXD1F	AA2	入力	UART1(FIFO) のシリアル受信データ入力	P13_5/CAN0RXD/SI1F/SDA1
RXD2F	P5	入力	UART2(FIFO) のシリアル受信データ入力	P12_8/S_A25/INTP8/SI2F/SDA2
RXD3F	E21	入力	UART3(FIFO) のシリアル受信データ入力	P4_6/P_A22/INTP11/DMAAK3/SI3F/SDA3
S_DMAAK0	W4	出力	SMEMC DMA0 アクノリッジ信号出力	P13_1/S_CS3/ADTRG00/INTP0/CSI5_RYI/CSI5_RYO
S_DMAAK1	AA3	出力	SMEMC DMA1 アクノリッジ信号出力	P13_3/SO5/INTP2/OCI
S_DMAAK2	F2	出力	SMEMC DMA2 アクノリッジ信号出力	P9_8/S_LLWR/CSI4_RYI/CSI4_RYO
S_DMAAK3	G4	出力	SMEMC DMA3 アクノリッジ信号出力	P9_10/S_ULWR/SI4/RXD4/SDA4/ESO2
S_DMARQ0	AB3	入力	SMEMC DMA0 要求信号入力	P13_0/ADTRG01/UCLK/CSI5_SSI
S_DMARQ1	AB4	入力	SMEMC DMA1 要求信号入力	P13_2/SO1F/INTP1/PPON
S_DMARQ2	F1	入力	SMEMC DMA2 要求信号入力	P9_9/S_LUWR/S_DMATC0/SO4
S_DMARQ3	G2	入力	SMEMC DMA3 要求信号入力	P9_11/S_UUWR/SCK4/TXD4/SCL4/ESO3
S_DMATC0	F1	出力	SMEMC DMA0 転送終了信号出力	P9_9/S_LUWR/S_DMARQ2/SO4
	J2			P10_0/S_ULBE/INTP15/SI1/RXD1
S_DMATC1	J4	出力	SMEMC DMA1 転送終了信号出力	P10_1/S_UUBE/INTP16/SCK1/TXD1
	K2			P10_3/S_BCYST/TA3_I9/TA3_O9/INTP18/CSI4_SSI
S_DMATC2	F4	出力	SMEMC DMA2 転送終了信号出力	P9_6/S_ULDQM/ESO0/CSI2F_CS6
S_DMATC3	E1	出力	SMEMC DMA3 転送終了信号出力	P9_7/S_UUDQM/ESO1/CSI2F_CS7
SCK0	V1	入出力	CSI0 のシリアル・クロック入出力	P12_6/S_A23/INTP6/TXD0/ADTRG11

表 2-4 周辺機能関連の端子一覧 (8/19)

端子名称	ピン番号	入出力	機能	兼用端子
SCK1	J4	入出力	CSI1 のシリアル・クロック入出力	P10_1/S_UUBE/INTP16/TXD1/ S_DMATC1
SCK2	U4	入出力	CSI2 のシリアル・クロック入出力	P10_10/S_HLDRQ/TA3_I14/TA3_O14/ TXD2
SCK3	F22	入出力	CSI3 のシリアル・クロック入出力	P4_5/P_A21/INTP10/DMATC3/TXD3/ ADTRG10
SCK4	G2	入出力	CSI4 のシリアル・クロック入出力	P9_11/S_UUWR/S_DMARQ3/TXD4/ SCL4/ESO3
SCK5	AA1	入出力	CSI5 のシリアル・クロック入出力	P13_6/CAN1TXD/TXD5/SCL5/INTP4
SCK0F	C22	入出力	CSI0(FIFO) のシリアル・クロック入出力	P4_11/P_WAIT/TXD0F/SCL0
SCK1F	AB2	入出力	CSI1(FIFO) のシリアル・クロック入出力	P13_4/CAN0TXD/TXD1F/SCL1/INTP3
SCK2F	V2	入出力	CSI2(FIFO) のシリアル・クロック入出力	P12_9/S_A26/INTP9/TXD2F/SCL2/ ADTRG21
SCK3F	E22	入出力	CSI3(FIFO) のシリアル・クロック入出力	P4_7/P_A23/INTP12/TXD3F/SCL3/ ADTRG20
SCL0	C22	入出力	I ² C0 のシリアル・クロック入出力	P4_11/P_WAIT/SCK0F/TXD0F
SCL1	AB2	入出力	I ² C1 のシリアル・クロック入出力	P13_4/CAN0TXD/SCK1F/TXD1F/INTP3
SCL2	V2	入出力	I ² C2 のシリアル・クロック入出力	P12_9/S_A26/INTP9/SCK2F/TXD2F/ ADTRG21
SCL3	E22	入出力	I ² C3 のシリアル・クロック入出力	P4_7/P_A23/INTP12/SCK3F/TXD3F/ ADTRG20
SCL4	G2	入出力	I ² C4 のシリアル・クロック入出力	P9_11/S_UUWR/S_DMARQ3/SCK4/ TXD4/ESO3
SCL5	AA1	入出力	I ² C5 のシリアル・クロック入出力	P13_6/CAN1TXD/SCK5/TXD5/INTP4
SDA0	B22	入出力	I ² C0 のデータ入出力	P4_13/P_HLDRQ/DMATC2/SI0F/RXD0F
SDA1	AA2	入出力	I ² C1 のデータ入出力	P13_5/CAN0RXD/SI1F/RXD1F
SDA2	P5	入出力	I ² C2 のデータ入出力	P12_8/S_A25/INTP8/SI2F/RXD2F
SDA3	E21	入出力	I ² C3 のデータ入出力	P4_6/P_A22/INTP11/DMAAK3/SI3F/ RXD3F
SDA4	G4	入出力	I ² C4 のデータ入出力	P9_10/S_ULWR/S_DMAAK3/SI4/RXD4/ ESO2
SDA5	Y2	入出力	I ² C5 のデータ入出力	P13_7/CAN1RXD/SI5/RXD5
SI0	U1	入力	CSI0 のシリアル受信データ入力	P12_5/S_A22/INTP5/RXD0
SI1	J2	入力	CSI1 のシリアル受信データ入力	P10_0/S_ULBE/INTP15/RXD1/ S_DMATC0
SI2	V4	入力	CSI2 のシリアル受信データ入力	P10_8/S_WAIT/RXD2
SI3	F21	入力	CSI3 のシリアル受信データ入力	P4_4/P_A20/INTP9/DMATC4/RXD3
SI4	G4	入力	CSI4 のシリアル受信データ入力	P9_10/S_ULWR/S_DMAAK3/RXD4/ SDA4
SI5	Y2	入力	CSI5 のシリアル受信データ入力	P13_7/CAN1RXD/RXD5/SDA5
SI0F	B22	入力	CSI0(FIFO) のシリアル受信データ入力	P4_13/P_HLDRQ/DMATC2/RXD0F/ SDA0

表 2-4 周辺機能関連の端子一覧 (9/19)

端子名称	ピン番号	入出力	機能	兼用端子
SI1F	AA2	入力	CSI1(FIFO) のシリアル受信データ入力	P13_5/CAN0RXD/RXD1F/SDA1
SI2F	P5	入力	CSI2(FIFO) のシリアル受信データ入力	P12_8/S_A25/INTP8/RXD2F/SDA2
SI3F	E21	入力	CSI3(FIFO) のシリアル受信データ入力	P4_6/P_A22/INTP11/DMAAK3/RXD3F/SDA3
SO0	U2	出力	CSI0 のシリアル送信データ出力	P12_4/S_A21/INTP4
SO1	H4	出力	CSI1 のシリアル送信データ出力	P9_15/S_LUBE/INTP14
SO2	U5	出力	CSI2 のシリアル送信データ出力	P10_9/S_HLDAK/TA3_I13/TA3_O13/INTP27
SO3	G22	出力	CSI3 のシリアル送信データ出力	P4_2/P_A18/INTP7
SO4	F1	出力	CSI4 のシリアル送信データ出力	P9_9/S_LUWR/S_DMARQ2/S_DMATC0
SO5	AA3	出力	CSI5 のシリアル送信データ出力	P13_3/S_DMAAK1/INTP2/OCI
SO0F	B21	出力	CSI0(FIFO) のシリアル送信データ出力	P4_12/P_HLDAK/INTP23/DMAAK2
SO1F	AB4	出力	CSI1(FIFO) のシリアル送信データ出力	P13_2/S_DMARQ1/INTP1/PPON
SO2F	P4	出力	CSI2(FIFO) のシリアル送信データ出力	P12_7/S_A24/INTP7
SO3F	F19	出力	CSI3(FIFO) のシリアル送信データ出力	P4_3/P_A19/INTP8/DMAAK4

表 2-4 周辺機能関連の端子一覧 (10/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA0_I0	P19	入力	16 ビット・タイマ・アレイ 0 の外部入力	P0_0/P_D0/TA0_O0/TE0_TI0
	D7			P8_0/S_D16/TA0_O0/TE0_TI0
TA0_I1	P18			P0_1/P_D1/TA0_O1
	D8			P8_1/S_D17/TA0_O1
TA0_I2	R22			P0_2/P_D2/TA0_O2/TE0_TI1
	A9			P8_2/S_D18/TA0_O2/TE0_TI1
TA0_I3	R21			P0_3/P_D3/TA0_O3
	B9			P8_3/S_D19/TA0_O3
TA0_I4	R19			P0_4/P_D4/TA0_O4/TE0_AI
	D9			P8_4/S_D20/TA0_O4/TE0_AI
TA0_I5	R18			P0_5/P_D5/TA0_O5
	E9			P8_5/S_D21/TA0_O5
TA0_I6	T22			P0_6/P_D6/TA0_O6/TE0_BI
	A10			P8_6/S_D22/TA0_O6/TE0_BI
TA0_I7	T21			P0_7/P_D7/TA0_O7
	B10			P8_7/S_D23/TA0_O7
TA0_I8	T19			P0_8/P_D8/TA0_O8/TE0_ZI
	D10			P8_8/S_D24/TA0_O8/TE0_ZI
TA0_I9	T18			P0_9/P_D9/TA0_O9
	E10			P8_9/S_D25/TA0_O9
TA0_I10	U22			P0_10/P_D10/TA0_O10
	B11			P8_10/S_D26/TA0_O10
TA0_I11	U21			P0_11/P_D11/TA0_O11
	D11			P8_11/S_D27/TA0_O11
TA0_I12	U19			P0_12/P_D12/TA0_O12
	E11			P8_12/S_D28/TA0_O12
TA0_I13	V22			P0_13/P_D13/TA0_O13
	D12			P8_13/S_D29/TA0_O13
TA0_I14	V21			P0_14/P_D14/TA0_O14
	E12			P8_14/S_D30/TA0_O14
TA0_I15	W22	P0_15/P_D15/TA0_O15		
	E13	P8_15/S_D31/TA0_O15		

表 2-4 周辺機能関連の端子一覧 (11/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA1_I0	M19	入力	16 ビット・タイマ・アレイ 1 の外部入力	P3_0/P_A0/TA1_O0/TE1_TI0/INTP18
	K1			P11_0/S_A1/TA1_O0/TE1_TI0
TA1_I1	M21			P3_1/P_A1/TA1_O1
	K4			P11_1/S_A2/TA1_O1
TA1_I2	L19			P3_2/P_A2/TA1_O2/TE1_TI1
	L2			P11_2/S_A3/TA1_O2/TE1_TI1
TA1_I3	L18			P3_3/P_A3/TA1_O3
	L1			P11_3/S_A4/TA1_O3
TA1_I4	K18			P3_4/P_A4/TA1_O4/TE1_AI
	L5			P11_4/S_A5/TA1_O4/TE1_AI
TA1_I5	L21			P3_5/P_A5/TA1_O5
	L4			P11_5/S_A6/TA1_O5
TA1_I6	L22			P3_6/P_A6/TA1_O6/CSI3F_CS0/TE1_BI
	M2			P11_6/S_A7/TA1_O6/TE1_BI
TA1_I7	K19			P3_7/P_A7/TA1_O7/CSI3F_CS1
	M1			P11_7/S_A8/TA1_O7
TA1_I8	K21			P3_8/P_A8/TA1_O8/CSI3F_CS2/TE1_ZI
	N2			P11_8/S_A9/TA1_O8/TE1_ZI
TA1_I9	K22			P3_9/P_A9/TA1_O9/CSI3F_CS3
	N1			P11_9/S_A10/TA1_O9
TA1_I10	J19			P3_10/P_A10/TA1_O10/CSI3F_CS4
	P2			P11_10/S_A11/TA1_O10/CSI1F_CS0
TA1_I11	J21			P3_11/P_A11/TA1_O11/CSI3F_CS5
	P1			P11_11/S_A12/TA1_O11/CSI1F_CS1
TA1_I12	J22			P3_12/P_A12/TA1_O12/CSI3F_CS6
	M4			P11_12/S_A13/TA1_O12/CSI1F_CS2
TA1_I13	H19			P3_13/P_A13/TA1_O13/CSI3F_CS7
	M5			P11_13/S_A14/TA1_O13/CSI1F_CS3
TA1_I14	H21			P3_14/P_A14/TA1_O14/CSI3_RYI/ CSI3_RYO
	R2			P11_14/S_A15/TA1_O14/CSI1F_CS4
TA1_I15	H22	P3_15/P_A15/TA1_O15/CSI3_SSI		
	R1	P11_15/S_A16/TA1_O15/CSI1F_CS5		

表 2-4 周辺機能関連の端子一覧 (12/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA2_I0	W21	入力	16ビット・タイマ・アレイ2の外部入力	P1_0/P_D16/TA2_O0/ADCNV0
	C2			P7_0/S_D0/TA2_O0
TA2_I1	Y22			P1_1/P_D17/TA2_O1/ADCNV1
	A2			P7_1/S_D1/TA2_O1
TA2_I2	Y21			P1_2/P_D18/TA2_O2/ADCNV2
	B2			P7_2/S_D2/TA2_O2
TA2_I3	AA22			P1_3/P_D19/TA2_O3/ESO0
	A3			P7_3/S_D3/TA2_O3
TA2_I4	AA21			P1_4/P_D20/TA2_O4/ESO1
	B3			P7_4/S_D4/TA2_O4
TA2_I5	AB21			P1_5/P_D21/TA2_O5/ESO2
	A4			P7_5/S_D5/TA2_O5
TA2_I6	W19			P1_6/P_D22/TA2_O6/ESO3
	B4			P7_6/S_D6/TA2_O6
TA2_I7	AA20			P1_7/P_D23/TA2_O7
	A5			P7_7/S_D7/TA2_O7
TA2_I8	AB20			P1_8/P_D24/TA2_O8
	B5			P7_8/S_D8/TA2_O8
TA2_I9	AA19			P1_9/P_D25/TA2_O9
	A6			P7_9/S_D9/TA2_O9
TA2_I10	AB19			P1_10/P_D26/TA2_O10
	B6			P7_10/S_D10/TA2_O10
TA2_I11	AA18			P1_11/P_D27/TA2_O11
	D5			P7_11/S_D11/TA2_O11
TA2_I12	AB18			P1_12/P_D28/TA2_O12
	A7			P7_12/S_D12/TA2_O12
TA2_I13	W17			P1_13/P_D29/TA2_O13
	D6			P7_13/S_D13/TA2_O13
TA2_I14	AA17			P1_14/P_D30/TA2_O14
	A8			P7_14/S_D14/TA2_O14
TA2_I15	AB17	P1_15/P_D31/TA2_O15		
	E5	P7_15/S_D15/TA2_O15		

表 2-4 周辺機能関連の端子一覧 (13/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA3_I0	A21	入力	16 ビット・タイマ・アレイ 3 の外部入力	P5_0/ETH_CRS/TA3_O0/INTP20/ P_LLDQM/CSI0F_RYI/CSI0F_RYO
	D4			P9_0/S_SDCKE/TA3_O0/INTP10/CSI2F_CS0
TA3_I1	B20			P5_1/ETH_COL/TA3_O1/INTP21/ CSI0F_SSI/P_LUDQM
	E4			P9_2/S_SDCAS/TA3_O1/CSI2F_CS2
TA3_I2	A20			P5_2/ETH_TXD3/TA3_O2/INTP22/ CSI0F_CS0/P_ULDQM
	D2			P9_3/S_SDRAS/TA3_O2/CSI2F_CS3
TA3_I3	B19			P5_3/ETH_TXD2/TA3_O3/INTP23/ CSI0F_CS1/P_UUDQM
	D1			P9_4/S_LLDQM/TA3_O3/CSI2F_CS4
TA3_I4	A19			P5_4/ETH_TXD1/TA3_O4/INTP24/ CSI0F_CS2/P_REFRQ
	E2			P9_5/S_LUDQM/TA3_O4/CSI2F_CS5
TA3_I5	B18			P5_5/ETH_TXD0/TA3_O5/INTP25/ CSI0F_CS3/P_SDRAS
	G1			P9_12/S_RD/TA3_O5/INTP11
TA3_I6	A18			P5_6/ETH_TXEN/TA3_O6/INTP26/ CSI0F_CS4/P_SDCAS
	H2			P9_13/S_WR/TA3_O6/INTP12/CSI1_SSI
TA3_I7	A17			P5_7/ETH_TXCLK/TA3_O7/INTP27/CSI0F_CS5
	H1	P9_14/S_LLBE/TA3_O7/INTP13/ CSI1_RYI/CSI1_RYO		
TA3_I8	D17	P5_8/ETH_TXER/TA3_O8/CSI0F_CS6/ P_SDCKE		
	J1	P10_2/S_SDWE/TA3_O8/INTP17/CSI2F_SSI		
TA3_I9	D18	P5_9/ETH_RXER/TA3_O9/CSI0F_CS7/P_CS4		
	K2	P10_3/S_BCYST/TA3_O9/INTP18/ S_DMATC1/CSI4_SSI		
TA3_I10	A16	P5_10/ETH_RXCLK/TA3_O10/P_BUSRQ		
	W1	P10_4/S_CS0/TA3_O10/INTP19/CSI2_SSI		
TA3_I11	D16	P5_11/ETH_RXDV/TA3_O11/P_SDWE		
	W2	P10_5/S_CS1/TA3_O11/INTP24/ CSI2_RYI/CSI2_RYO		
TA3_I12	B15	P5_12/ETH_RXD0/TA3_O12/P_BCYST		
	Y1	P10_6/S_CS2/TA3_O12/INTP25/CSI1F_SSI		
TA3_I13	D15	P5_13/ETH_RXD1/TA3_O13		
	U5	P10_9/S_HLDAK/TA3_O13/SO2/INTP27		
TA3_I14	E14	P5_14/ETH_RXD2/TA3_O14/DMAAK0/ TJ_I0/TJ_O0		
	U4	P10_10/S_HLDRQ/TA3_O14/SCK2/TXD2		
TA3_I15	D14	P5_15/ETH_RXD3/TA3_O15/DMAAK1/ TJ_I1/TJ_O1		
	T4	P10_11/S_REFRQ/TA3_O15/ CSI2F_RYI/CSI2F_RYO		

表 2-4 周辺機能関連の端子一覧 (14/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA0_O0	P19	出力	16 ビット・タイマ・アレイ 0 の外部出力	P0_0/P_D0/TA0_I0/TE0_TI0
	D7			P8_0/S_D16/TA0_I0/TE_TI0
TA0_O1	P18			P0_1/P_D1/TA0_I1
	D8			P8_1/S_D17/TA0_I1
TA0_O2	R22			P0_2/P_D2/TA0_I2/TE0_TI1
	A9			P8_2/S_D18/TA0_I2/TE0_TI1
TA0_O3	R21			P0_3/P_D3/TA0_I3
	B9			P8_3/S_D19/TA0_I3
TA0_O4	R19			P0_4/P_D4/TA0_I4/TE0_AI
	D9			P8_4/S_D20/TA0_I4/TE0_AI
TA0_O5	R18			P0_5/P_D5/TA0_I5
	E9			P8_5/S_D21/TA0_I5
TA0_O6	T22			P0_6/P_D6/TA0_I6/TE0_BI
	A10			P8_6/S_D22/TA0_I6/TE0_BI
TA0_O7	T21			P0_7/P_D7/TA0_I7
	B10			P8_7/S_D23/TA0_I7
TA0_O8	T19			P0_8/P_D8/TA0_I8/TE0_ZI
	D10			P8_8/S_D24/TA0_I8/TE0_ZI
TA0_O9	T18			P0_9/P_D9/TA0_I9
	E10			P8_9/S_D25/TA0_I9
TA0_O10	U22			P0_10/P_D10/TA0_I10
	B11			P8_10/S_D26/TA0_I10
TA0_O11	U21			P0_11/P_D11/TA0_I11
	D11			P8_11/S_D27/TA0_I11
TA0_O12	U19			P0_12/P_D12/TA0_I12
	E11			P8_12/S_D28/TA0_I12
TA0_O13	V22			P0_13/P_D13/TA0_I13
	D12			P8_13/S_D29/TA0_I13
TA0_O14	V21			P0_14/P_D14/TA0_I14
	E12			P8_14/S_D30/TA0_I14
TA0_O15	W22	P0_15/P_D15/TA0_I15		
	E13	P8_15/S_D31/TA0_I15		

表 2-4 周辺機能関連の端子一覧 (15/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA1_O0	M19	出力	16 ビット・タイマ・アレイ 1 の外部出力	P3_0/P_A0/TA1_I0/TE1_TI0/INTP18
	K1			P11_0/S_A1/TA1_I0/TE1_TI0
TA1_O1	M21			P3_1/P_A1/TA1_I1
	K4			P11_1/S_A2/TA1_I1
TA1_O2	L19			P3_2/P_A2/TA1_I2/TE1_TI1
	L2			P11_2/S_A3/TA1_I2/TE1_TI1
TA1_O3	L18			P3_3/P_A3/TA1_I3
	L1			P11_3/S_A4/TA1_I3
TA1_O4	K18			P3_4/P_A4/TA1_I4/TE1_AI
	L5			P11_4/S_A5/TA1_I4/TE1_AI
TA1_O5	L21			P3_5/P_A5/TA1_I5
	L4			P11_5/S_A6/TA1_I5
TA1_O6	L22			P3_6/P_A6/TA1_I6/CSI3F_CS0/TE1_BI
	M2			P11_6/S_A7/TA1_I6/TE1_BI
TA1_O7	K19			P3_7/P_A7/TA1_I7/CSI3F_CS1
	M1			P11_7/S_A8/TA1_I7
TA1_O8	K21			P3_8/P_A8/TA1_I8/CSI3F_CS2/TE1_ZI
	N2			P11_8/S_A9/TA1_I8/TE1_ZI
TA1_O9	K22			P3_9/P_A9/TA1_I9/CSI3F_CS3
	N1			P11_9/S_A10/TA1_I9
TA1_O10	J19			P3_10/P_A10/TA1_I10/CSI3F_CS4
	P2			P11_10/S_A11/TA1_I10/CSI1F_CS0
TA1_O11	J21			P3_11/P_A11/TA1_I11/CSI3F_CS5
	P1			P11_11/S_A12/TA1_I11/CSI1F_CS1
TA1_O12	J22			P3_12/P_A12/TA1_I12/CSI3F_CS6
	M4			P11_12/S_A13/TA1_I12/CSI1F_CS2
TA1_O13	H19			P3_13/P_A13/TA1_I13/CSI3F_CS7
	M5			P11_13/S_A14/TA1_I13/CSI1F_CS3
TA1_O14	H21			P3_14/P_A14/TA1_I14/CSI3_RYI/ CSI3_RYO
	R2			P11_14/S_A15/TA1_I14/CSI1F_CS4
TA1_O15	H22	P3_15/P_A15/TA1_I15/SSH17		
	R1	P12_15/S_A16/TA1_I15/CSI1F_CS5		

表 2-4 周辺機能関連の端子一覧 (16/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA2_O0	W21	出力	16ビット・タイマ・アレイ2の外部出力	P1_0/P_D16/TA2_I0/ADCNV0
	C2			P7_0/S_D0/TA2_I0
TA2_O1	Y22			P1_1/P_D17/TA2_I1/ADCNV1
	A2			P7_1/S_D1/TA2_I1
TA2_O2	Y21			P1_2/P_D18/TA2_I2/ADCNV2
	B2			P7_2/S_D2/TA2_I2
TA2_O3	AA22			P1_3/P_D19/TA2_I3/ESO0
	A3			P7_3/S_D3/TA2_I3
TA2_O4	AA21			P1_4/P_D20/TA2_I4/ESO1
	B3			P7_4/S_D4/TA2_I4
TA2_O5	AB21			P1_5/P_D21/TA2_I5/ESO2
	A4			P7_5/S_D5/TA2_I5
TA2_O6	W19			P1_6/P_D22/TA2_I6/ESO3
	B4			P7_6/S_D6/TA2_I6
TA2_O7	AA20			P1_7/P_D23/TA2_I7
	A5			P7_7/S_D7/TA2_I7
TA2_O8	AB20			P1_8/P_D24/TA2_I8
	B5			P7_8/S_D8/TA2_I8
TA2_O9	AA19			P1_9/P_D25/TA2_I9
	A6			P7_9/S_D9/TA2_I9
TA2_O10	AB19			P1_10/P_D26/TA2_I10
	B6			P7_10/S_D10/TA2_I10
TA2_O11	AA18			P1_11/P_D27/TA2_I11
	D5			P7_11/S_D11/TA2_I11
TA2_O12	AB18			P1_12/P_D28/TA2_I12
	A7			P7_12/S_D12/TA2_I12
TA2_O13	W17			P1_13/P_D29/TA2_I13
	D6			P7_13/S_D13/TA2_I13
TA2_O14	AA17			P1_14/P_D30/TA2_I14
	A8			P7_14/S_D14/TA2_I14
TA2_O15	AB17			P1_15/P_D31/TA2_I15
	E5			P7_15/S_D15/TA2_I15

表 2-4 周辺機能関連の端子一覧 (17/19)

端子名称	ピン番号	入出力	機能	兼用端子
TA3_O0	A21	出力	16 ビット・タイマ・アレイ 3 の外部出力	P5_0/ETH_CRS/TA3_I0/INTP20/ P_LLDQM/CSI0F_RYI/CSI0F_RYO
	D4			P9_0/S_SDCKE/TA3_I0/INTP10/CSI2F_CS0
TA3_O1	B20			P5_1/ETH_COL/TA3_I1/INTP21/ CSI0F_SSI/P_LUDQM
	E4			P9_2/S_SDCAS/TA3_I1/CSI2F_CS2
TA3_O2	A20			P5_2/ETH_TXD3/TA3_I2/INTP22/ CSI0F_CS0/P_ULDQM
	D2			P9_3/S_SDRAS/TA3_I2/CSI2F_CS3
TA3_O3	B19			P5_3/ETH_TXD2/TA3_I3/INTP23/ CSI0F_CS1/P_UUDQM
	D1			P9_4/S_LLDQM/TA3_I3/CSI2F_CS4
TA3_O4	A19			P5_4/ETH_TXD1/TA3_I4/INTP24/ CSI0F_CS2/P_REFRQ
	E2			P9_5/S_LUDQM/TA3_I4/CSI2F_CS5
TA3_O5	B18			P5_5/ETH_TXD0/TA3_I5/INTP25/ CSI0F_CS3/P_SDRAS
	G1			P9_12/S_RD/TA3_I5/INTP11
TA3_O6	A18			P5_6/ETH_TXEN/TA3_I6/INTP26/ CSI0F_CS4/P_SDCAS
	H2			P9_13/S_WR/TA3_I6/INTP12/CSI1_SSI
TA3_O7	A17			P5_7/ETH_TXCLK/TA3_I7/INTP27/CSI0F_CS5
	H1	P9_14/S_LLBE/TA3_I7/INTP13/ CSI1_RYI/CSI1_RYO		
TA3_O8	D17	P5_8/ETH_TXER/TA3_I8/CSI0F_CS6/ P_SDCKE		
	J1	P10_2/S_SDWE/TA3_I8/INTP17/CSI2F_SSI		
TA3_O9	D18	P5_9/ETH_RXER/TA3_I9/CSI0F_CS7/P_CS4		
	K2	P10_3/S_BCYST/TA3_I9/INTP18/ S_DMATC1/CSI4_SSI		
TA3_O10	A16	P5_10/ETH_RXCLK/TA3_I10/P_BUSRQ		
	W1	P10_4/S_CS0/TA3_I10/INTP19/CSI2_SSI		
TA3_O11	D16	P5_11/ETH_RXDV/TA3_I11/P_SDWE		
	W2	P10_5/S_CS1/TA3_I11/INTP24/ CSI2_RYI/CSI2_RYO		
TA3_O12	B15	P5_12/ETH_RXD0/TA3_I12/P_BCYST		
	Y1	P10_6/S_CS2/TA3_I12/INTP25/CSI1F_SSI		
TA3_O13	D15	P5_13/ETH_RXD1/TA3_I13		
	U5	P10_9/S_HLDAK/TA3_I13/SO2/INTP27		
TA3_O14	E14	P5_14/ETH_RXD2/TA3_I14/DMAAK0/ TJ_I0/TJ_O0		
	U4	P10_10/S_HLDRQ/TA3_I14/SCK2/TXD2		
TA3_O15	D14	P5_15/ETH_RXD3/TA3_I15/DMAAK1/ TJ_I1/TJ_O1		
	T4	P10_11/S_REFRQ/TA3_I15/CSI2F_RYI/ CSI2F_RYO		

表 2-4 周辺機能関連の端子一覧 (18/19)

端子名称	ピン番号	入出力	機能	兼用端子		
TE0_AI	R19	入力	16ビット・エンコーダ・タイマ 0の外部入力	P0_4/P_D4/TA0_I4/TA0_O4		
	D9			P8_4/S_D20/TA0_I4/TA0_O4		
TE0_BI	T22			P0_6/P_D6/TA0_I6/TA0_O6		
	A10			P8_6/S_D22/TA0_I6/TA0_O6		
TE0_TI0	P19			P0_0/P_D0/TA0_I0/TA0_O0		
	D7			P8_0/S_D16/TA0_I0/TA0_O0		
TE0_TI1	R22			P0_2/P_D2/TA0_I2/TA0_O2		
	A9			P8_2/S_D18/TA0_I2/TA0_O2		
TE0_ZI	T19			P0_8/P_D8/TA0_I8/TA0_O8		
	D10			P8_8/S_D24/TA0_I8/TA0_O8		
TE1_AI	K18			入力	16ビット・エンコーダ・タイマ 1の外部入力	P3_4/P_A4/TA1_I4/TA1_O4
	L5					P11_4/S_A5/TA1_I4/TA1_O4
TE1_BI	L22					P3_6/P_A6/TA1_I6/TA1_O6/CSI3F_CS0
	M2					P11_6/S_A7/TA1_I6/TA1_O6
TE1_TI0	M19	P3_0/P_A0/TA1_I0/TA1_O0/INTP18				
	K1	P11_0/S_A1/TA1_I0/TA1_O0				
TE1_TI1	L19	P3_2/P_A2/TA1_I2/TA1_O2				
	L2	P11_2/S_A3/TA1_I2/TA1_O2				
TE1_ZI	K21	P3_8/P_A8/TA1_I8/TA1_O8/CSI3F_CS2				
	N2	P11_8/S_A9/TA1_I8/TA1_O8				
TJ_I0	P21	入力	32ビット・タイマ・アレイの外 部入力			P2_1/P_LLBE/P_LLWR/INTP13/TJ_O0
	E14					P5_14/ETH_RXD2/TA3_I14/TA3_O14/ DMAAK0/TJ_O0
TJ_I1	P22					P2_2/P_LUBE/P_LUWR/INTP14/TJ_O1
	D14					P5_15/ETH_RXD3/TA3_I15/TA3_O15/ DMAAK1/TJ_O1
TJ_I2	N18			P2_3/P_ULBE/P_ULWR/INTP15/TJ_O2		
	B14			P6_0/ETH_MDC/DMATC0/TJ_O2/P_A24		
TJ_I3	N19			P2_4/P_UUBE/P_UUWR/INTP16/TJ_O3		
	A15			P6_1/ETH_MDIO/DMATC1/TJ_O3/ P_A25		
TJ_O0	P21			出力	32ビット・タイマ・アレイの外 部出力	P2_1/P_LLBE/P_LLWR/INTP13/TJ_I0
	E14					P5_14/ETH_RXD2/TA3_I14/TA3_O14/ DMAAK0/TJ_I0
TJ_O1	P22					P2_2/P_LUBE/P_LUWR/INTP14/TJ_I1
	D14					P5_15/ETH_RXD3/TA3_I15/TA3_O15/ DMAAK1/TJ_I1
TJ_O2	N18	P2_3/P_ULBE/P_ULWR/INTP15/TJ_I2				
	B14	P6_0/ETH_MDC/DMATC0/TJ_I2/P_A24				
TJ_O3	N19	P2_4/P_UUBE/P_UUWR/INTP16/TJ_I3				
	A15	P6_1/ETH_MDIO/DMATC1/TJ_I3/P_A25				
TXD0	V1	出力	UART0のシリアル送信データ出 力			P12_6/S_A23/INTP6/SCK0/ADTRG11

表 2-4 周辺機能関連の端子一覧 (19/19)

端子名称	ピン番号	入出力	機能	兼用端子
TXD1	J4	出力	UART1 のシリアル送信データ出力	P10_1/S_UUBE/INTP16/SCK1/S_DMATC1
TXD2	U4	出力	UART2 のシリアル送信データ出力	P10_10/S_HLDRQ/TA3_I14/TA3_O14/SCK2
TXD3	F22	出力	UART3 のシリアル送信データ出力	P4_5/P_A21/INTP10/DMATC3/SCK3/ADTRG10
TXD4	G2	出力	UART4 のシリアル送信データ出力	P9_11/S_UUWR/S_DMARQ3/SCK4/SCL4/ESO3
TXD5	AA1	出力	UART5 のシリアル送信データ出力	P13_6/CAN1TXD/SCK5/SCL5/INTP4
TXD0F	C22	出力	UART0(FIFO) のシリアル送信データ出力	P4_11/P_WAIT/SCK0F/SCL0
TXD1F	AB2	出力	UART1(FIFO) のシリアル送信データ出力	P13_4/CAN0TXD/SCK1F/SCL1/INTP3
TXD2F	V2	出力	UART2(FIFO) のシリアル送信データ出力	P12_9/S_A26/INTP9/SCK2F/SCL2/ADTRG21
TXD3F	E22	出力	UART3(FIFO) のシリアル送信データ出力	P4_7/P_A23/INTP12/SCK3F/SCL3/ADTRG20
UCLK	AB3	入力	USB クロック信号入力	P13_0/S_DMARQ0/ADTRG01/CSI5_SSI
UDMF	A14	入出力	USB データ入出力 (-) ファンクション	-
UDMH	A12	入出力	USB データ入出力 (-) ホスト	-
UDPF	A13	入出力	USB データ入出力 (+) ファンクション	-
UDPH	A11	入出力	USB データ入出力 (+) ホスト	-
UV _{DD}	B13	-	USB 用正電源供給 (3.3V)	-

表 2-5 その他の端子一覧 (1/2)

端子名称	ピン番号	入出力	機能	兼用端子
DV _{DD}	U10,V12	—	デバッグ用正電源供給 (3.3V)	—
EV _{DD}	^a	—	外部端子用正電源供給 (3.3V) (フラッシュ用電源供給を含む)	—
EVTI	W11	入力	デバッグ用端子	—
EVTO	V11	出力	デバッグ用端子	—
FLMD0	D13	入力	フラッシュ・メモリ・プログラミング・モード引き込み用端子	—
FLMD1	AA16			—
FLRXD	W14	入力	フラッシュ・メモリ・プログラマ用端子 (1-wired UART)	TDI/FLSI
FLSCK	AB13	入出力	フラッシュ・メモリ・プログラマ用端子 (3-wired-HS CSI)	TCK
FLSI	W14	入力		TDI/FLRXD
FLSO	W13	出力		TDO
IV _{DD}	^b	—	内部ユニット用正電源供給 (1.2V)	—
MCKO	AB12	出力	デバッグ用端子	—
MDO0	AA11	出力	トレース・データ出力	—
MDO1	AB11			—
MDO2	V10			—
MDO3	W10			—
MDO4	AA10			—
MDO5	AB10			—
MDO6	V9			—
MDO7	W9			—
MODE2	D19	入力	動作モード設定	—
MODE3	E6			—
MSEO0	W12	出力	デバッグ用端子	—
MSEO1	AA12			—
OSCV _{DD}	AA14	—	発振子用正電源供給 (3.3V)	—
OSCV _{SS}	AB14	—	発振子用グランド電位	—
PLL _{VDD}	U14	—	PLL シンセサイザ用正電源供給 (1.2V)	—
PLL _{VSS}	U15	—	PLL シンセサイザ用グランド電位	—
RESET	AB16	入力	システム・リセット入力	—
TCK	AB13	入力	JTAG インタフェース (クロック入力)	FLSCK
TDI	W14	入力	JTAG インタフェース (データ入力)	FLRXD/FLSI
TDO	W13	出力	JTAG インタフェース (データ出力)	FLSO
TMS	W15	入力	JTAG インタフェース (モード選択信号入力)	—
TRDY	AA13	出力	デバッグ用端子	—
TRST	V14	入力	JTAG インタフェース (リセット信号入力)	—

表 2-5 その他の端子一覧 (2/2)

端子名称	ピン番号	入出力	機能	兼用端子
V _{SS}	^c	—	内部ユニット用および外部端子用グラウンド電位	—
X1	AB15	入力	システム・クロック発振用クリスタル接続端子	—
X2	AA15	—		—

- a) B7, B16, E8, E17, F5, F6, F8, F9, F14, F17, F18, J5, J6, J17, J18, N17, T5, T6, U8, U17, V17, W18
b) E15, F15, G5, G6, H17, H18, N6, T17, U6, U16, V16, AA9
c) B1, B8, B12, B17, E7, E16, E18, E19, F7, F10, F13, F16, G17, G18, H5, H6, K5, K6, K17, M22, P6, P17, R5, R6, R17, U7, U9, U13, U18, V13, V15, V18, V19, AA4, AB9

2.3 端子機能の二重化

この製品では、一部機能の入出力を2カ所で兼用していますが、使用できる端子機能としてはいずれか一方のみになります。2カ所で同じ端子機能を設定することは禁止です。

例えば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として使用できません。b 以外の端子機能として設定して使用してください。

注意 Pn_m ポートを兼用出力機能 (PMcN.PMcNm = 1, PMn.PMnm = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCnm = 1) することにより、PPRn.PPRnm で Pn_m 端子のレベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

表 2-6 端子の二重化 (1/10)

入出力	重複端子名称	兼用端子	ピン番号	
出力	ADCNV0	P1_0/P_D16/TA2_I0/TA2_O0	W21	
		P12_0/S_A17/INTP0/CSI1F_CS6	T2	
	ADCNV1	P1_1/P_D17/TA2_I1/TA2_O1	Y22	
		P12_1/S_A18/INTP1/CSI1F_CS7/ADCNV1	N4	
	ADCNV2	P1_2/P_D18/TA2_I2/TA2_O2	Y21	
		P12_2/S_A19/INTP2/CSI0_SSI	N5	
入力	ESO0	P1_4/P_D19/TA2_I3/TA2_O3	AA22	
		P9_6/S_ULDQM/S_DMATC2/CSI2F_CS6	F4	
	ESO1	P1_4/P_D20/TA2_I4/TA2_O4	AA21	
		P9_7/S_UUDQM/S_DMATC3/CSI2F_CS7	E1	
	ESO2	P1_5/P_D21/TA2_I5/TA2_O5	AB21	
		P9_10/S_ULWR/S_DMAAK3/SI4/RXD4/SDA4	G4	
	ESO3	P1_6/P_D22/TA2_I6/TA2_O6	W19	
		P9_11/S_UUWR/S_DMARQ3/SCK4/TXD4/SCL4	G2	
	入力	P_BCYST	P5_12/ETH_RXD0/TA3_I12/TA3_O12	B15
			P4_8/P_CS1/INTP20	D21
	入力	INTP0	P12_0/S_A17/CSI1F_CS6/ADCNV0	T2
			P13_1/S_CS3/S_DMAAK0/ADTRG00/CSI5_RYI/CSI5_RYO	W4
INTP1		P12_1/S_A18/CSI1F_CS7/ADCNV1	N4	
		P13_2/S_DMARQ1/SO1F/PPON	AB4	
INTP2		P12_2/S_A19/ADCNV2/CSI0_SSI	N5	
		P13_3/S_DMAAK1/SO5/OCI	AA3	
INTP3		P12_3/S_A20/CSI0_RYI/CSI0_RYO	T1	
		P13_4/CAN0TXD/SCK1F/TXD1F/SCL1	AB2	
INTP4		P12_4/S_A21/SO0	U2	
		P13_6/CAN1TXD/SCK5/TXD5/SCL5	AA1	
INTP5		P4_0/P_A16/CSI3F_RYI/CSI3F_RYO	G19	
		P12_5/S_A22/SI0/RXD0	U1	

表 2-6 端子の二重化 (2/10)

入出力	重複端子名称	兼用端子	ピン番号
入力	INTP6	P4_1/P_A17/CSI3F_SSI	G21
		P12_6/S_A23/SCK0/TXD0/ADTRG11	V1
	INTP7	P4_2/P_A18/SO3	G22
		P12_7/S_A24/SO2F	P4
	INTP8	P4_3/P_A19/DMAAK4/SO3F	F19
		P12_8/S_A25/SI2F/RXD2F/SDA2	P5
	INTP9	P4_4/P_A20/DMATC4/SI3/RXD3	F21
		P12_9/S_A26/SCK2F/TXD2F/SCL2/ADTRG21	V2
	INTP10	P4_5/P_A21/DMATC3/SCK3/TXD3/ADTRG10	F22
		P9_0/S_SDCKE/TA3_I0/TA3_O0/CSI2F_CS0	D4
	INTP11	P4_6/P_A22/DMAAK3/SI3F/RXD3F/SDA3	E21
		P9_12/S_RD/TA3_I5/TA3_O5	G1
	INTP12	P4_7/P_A23/SCK3F/TXD3F/SCL3/ADTRG20	E22
		P9_13/S_WR/TA3_I6/TA3_O6/CSI1_SSI	H2
	INTP13	P2_1/P_LLBE/P_LLWR/TJ_I0/TJ_O0	P21
		P9_14/S_LLBE/TA3_I7/TA3_O7/CSI1_RYI/CSI1_RYO	H1
	INTP14	P2_2/P_LUBE/P_LUWR/TJ_I1/TJ_O1	P22
		P9_15/S_LUBE/SO1	H4
	INTP15	P2_3/P_ULBE/P_ULWR/TJ_I2/TJ_O2	N18
		P10_0/S_ULBE/SI1/RXD1/S_DMATC0	J2
	INTP16	P2_4/P_UUBE/P_UUWR/TJ_I3/TJ_O3	N19
		P10_1/S_UUBE/SCK1/TXD1/S_DMATC1	J4
	INTP17	P2_5/P_RD	N21
		P10_2/S_SDWE/TA3_I8/TA3_O8/CSI2F_SSI	J1
	INTP18	P3_0/P_A0/TA1_I0/TA1_O0/TE1_TI0	M19
P10_3/S_BCYST/TA3_I9/TA3_O9/S_DMATC1/CSI4_SSI		K2	
INTP19	P2_7/P_WR/P_RW	M18	
	P10_4/S_CS0/TA3_I10/TA3_O10/CSI2_SSI	W1	
INTP20	P4_8/P_CS1/P_BCYST	D21	
	P5_0/ETH_CRS/TA3_I0/TA3_O0/P_LLDQM/CSI0F_RYI/CSI0F_RYO	A21	
INTP21	P4_9/P_CS2/DMAAK5	D22	
	P5_1/ETH_COL/TA3_I1/TA3_O1/CSI0F_SSI/P_LUDQM	B20	
INTP22	P4_10/P_CS3/DMATC5	C21	
	P5_2/ETH_TXD3/TA3_I2/TA3_O2/CSI0F_CS0/P_ULDQM	A20	
INTP23	P4_12/P_HLDAK/DMAAK2/SO0F	B21	
	P5_3/ETH_TXD2/TA3_I3/TA3_O3/CSI0F_CS1/P_UUDQM	B19	
INTP24	P5_4/ETH_TXD1/TA3_I4/TA3_O4/CSI0F_CS2/P_REFRQ	B19	
	P10_5/S_CS1/TA3_I11/TA3_O11/CSI2_RYI/CSI2_RYO	W2	
INTP25	P5_5/ETH_TXD0/TA3_I5/TA3_O5/CSI0F_CS3/P_SDRAS	B18	
	P10_6/S_CS2/TA3_I12/TA3_O12/CSI1F_SSI	Y1	

表 2-6 端子の二重化 (3/10)

入出力	重複端子名称	兼用端子	ピン番号
入力	INTP26	P5_6/ETH_TXEN/TA3_I6/TA3_O6/CSI0F_CS4/P_SDCAS	A18
		P10_7/S_CS3/S_SDCS/CSI1F_RYI/CSI1F_RYO	R4
	INTP27	P5_7/ETH_TXCLK/TA3_I7/TA3_O7/CSI0F_CS5	A17
		P10_9/S_HLDAK/TA3_I13/TA3_O13/SO2	U5
出力	S_DMATC0	P9_9/S_LUWR/S_DMARQ2/SO4	F1
		P10_0/S_ULBE/INTP15/SI1/RXD1	J2
	S_DMATC1	P10_1/S_UUBE/INTP16/SCK1/TXD1	J4
		P10_3/S_BCYST/TA3_I9/TA3_O9/INTP18/CSI4_SSI	K2
出力	S_CS3	P10_7/S_SDCS/INTP26/CSI1F_RYI/CSI1F_RYO	R4
		P13_1/S_DMAAK0/ADTRG00/INTP0/CSI5_RYI/CSI5_RYO	W4
入力	TA0_I0	P0_0/P_D0/TA0_O0/TE0_TI0	P19
		P8_0/S_D16/TA0_O0/TE_TI0	D7
	TA0_I1	P0_1/P_D1/TA0_O1	P18
		P8_1/S_D17/TA0_O1	D8
	TA0_I2	P0_2/P_D2/TA0_O2/TE0_TI1	R22
		P8_2/S_D18/TA0_O2/TE0_TI1	A9
	TA0_I3	P0_3/P_D3/TA0_O3	R21
		P8_3/S_D19/TA0_O3	B9
	TA0_I4	P0_4/P_D4/TA0_O4/TE0_AI	R19
		P8_4/S_D20/TA0_O4/TE0_AI	D9
	TA0_I5	P0_5/P_D5/TA0_O5	R18
		P8_5/S_D21/TA0_O5	E9
	TA0_I6	P0_6/P_D6/TA0_O6/TE0_BI	T22
		P8_6/S_D22/TA0_O6/TE0_BI	A10
	TA0_I7	P0_7/P_D7/TA0_O7	T21
		P8_7/S_D23/TA0_O7	B10
	TA0_I8	P0_8/P_D8/TA0_O8/TE0_ZI	T19
		P8_8/S_D24/TA0_O8/TE0_ZI	D10
	TA0_I9	P0_9/P_D9/TA0_O9	T18
		P8_9/S_D25/TA0_O9	E10
	TA0_I10	P0_10/P_D10/TA0_O10	U22
		P8_10/S_D26/TA0_O10	B11
	TA0_I11	P0_11/P_D11/TA0_O11	U21
		P8_11/S_D27/TA0_O11	D11
	TA0_I12	P0_12/P_D12/TA0_O12	U19
		P8_12/S_D28/TA0_O12	E11
	TA0_I13	P0_13/P_D13/TA0_O13	V22
		P8_13/S_D29/TA0_O13	D12
TA0_I14	P0_14/P_D14/TA0_O14	V21	
	P8_14/S_D30/TA0_O14	E12	

表 2-6 端子の二重化 (4/10)

入出力	重複端子名称	兼用端子	ピン番号
入力	TA0_I15	P0_15/P_D15/TA0_O15	W22
		P8_15/S_D31/TA0_O15	E13
	TA1_I0	P3_0/P_A0/TA1_O0/TE1_TI0/INTP18	M19
		P11_0/S_A1/TA1_O0/TE1_TI0	K1
	TA1_I1	P3_1/P_A1/TA1_O1	M21
		P11_1/S_A2/TA1_O1	K4
	TA1_I2	P3_2/P_A2/TA1_O2/TE1_TI1	L19
		P11_2/S_A3/TA1_O2/TE1_TI1	L2
	TA1_I3	P3_3/P_A3/TA1_O3	L18
		P11_3/S_A4/TA1_O3	L1
	TA1_I4	P3_4/P_A4/TA1_O4/TE1_AI	K18
		P11_4/S_A5/TA1_O4/TE1_AI	L5
	TA1_I5	P3_5/P_A5/TA1_O5	L21
		P11_5/S_A6/TA1_O5	L4
	TA1_I6	P3_6/P_A6/TA1_O6/CSI3F_CS0/TE1_BI	L22
		P11_6/S_A7/TA1_O6/TE1_BI	M2
	TA1_I7	P3_7/P_A7/TA1_O7/CSI3F_CS1	K19
		P11_7/S_A8/TA1_O7	M1
	TA1_I8	P3_8/P_A8/TA1_O8/CSI3F_CS2/TE1_ZI	K21
		P11_8/S_A9/TA1_O8/TE1_ZI	N2
	TA1_I9	P3_9/P_A9/TA1_O9/CSI3F_CS3	K22
		P11_9/S_A10/TA1_O9	N1
	TA1_I10	P3_10/P_A10/TA1_O10/CSI3F_CS4	J19
		P11_10/S_A11/TA1_O10/CSI1F_CS0	P2
	TA1_I11	P3_11/P_A11/TA1_O11/CSI3F_CS5	J21
		P11_11/S_A12/TA1_O11/CSI1F_CS1	P1
	TA1_I12	P3_12/P_A12/TA1_O12/CSI3F_CS6	J22
		P11_12/S_A13/TA1_O12/CSI1F_CS2	M4
	TA1_I13	P3_13/P_A13/TA1_O13/CSI3F_CS7	H19
		P11_13/S_A14/TA1_O13/CSI1F_CS3	M5
	TA1_I14	P3_14/P_A14/TA1_O14/CSI3_RYI/CSI3_RYO	H21
		P11_14/S_A15/TA1_O14/CSI1F_CS4	R2
	TA1_I15	P3_15/P_A15/TA1_O15/CSI3_SSI	H22
		P11_15/S_A16/TA1_O15/CSI1F_CS5	R1
	TA2_I0	P1_0/P_D16/TA2_O0/ADCNV0	W21
		P7_0/S_D0/TA2_O0	C2
TA2_I1	P1_1/P_D17/TA2_O1/ADCNV1	Y22	
	P7_1/S_D1/TA2_O1	A2	
TA2_I2	P1_2/P_D18/TA2_O2/ADCNV2	Y21	
	P7_2/S_D2/TA2_O2	B2	

表 2-6 端子の二重化 (5/10)

入出力	重複端子名称	兼用端子	ピン番号
入力	TA2_I3	P1_3/P_D19/TA2_O3/ESO0	AA22
		P7_3/S_D3/TA2_O3	A3
	TA2_I4	P1_4/P_D20/TA2_O4/ESO1	AA21
		P7_4/S_D4/TA2_O4	B3
	TA2_I5	P1_5/P_D21/TA2_O5/ESO2	AB21
		P7_5/S_D5/TA2_O5	A4
	TA2_I6	P1_6/P_D22/TA2_O6/ESO3	W19
		P7_6/S_D6/TA2_O6	B4
	TA2_I7	P1_7/P_D23/TA2_O7	AA20
		P7_7/S_D7/TA2_O7	A5
	TA2_I8	P1_8/P_D24/TA2_O8	AB20
		P7_8/S_D8/TA2_O8	B5
	TA2_I9	P1_9/P_D25/TA2_O9	AA19
		P7_9/S_D9/TA2_O9	A6
	TA2_I10	P1_10/P_D26/TA2_O10	AB19
		P7_10/S_D10/TA2_O10	B6
	TA2_I11	P1_11/P_D27/TA2_O11	AA18
		P7_11/S_D11/TA2_O11	D5
	TA2_I12	P1_12/P_D28/TA2_O12	AB18
		P7_12/S_D12/TA2_O12	A7
	TA2_I13	P1_13/P_D29/TA2_O13	W17
		P7_13/S_D13/TA2_O13	D6
	TA2_I14	P1_14/P_D30/TA2_O14	AA17
		P7_14/S_D14/TA2_O14	A8
	TA2_I15	P1_15/P_D31/TA2_O15	AB17
		P7_15/S_D15/TA2_O15	E5
	TA3_I0	P5_0/ETH_CRS/TA3_O0/INTP20/P_LLDQM/CSI0F_RYI/CSI0F_RYO	A21
		P9_0/S_SDCKE/TA3_O0/INTP10/CSI2F_CS0	D4
	TA3_I1	P5_1/ETH_COL/TA3_O1/INTP21/CSI0F_SSI/P_LUDQM	B20
		P9_2/S_SDCAS/TA3_O1/CSI2F_CS2	E4
	TA3_I2	P5_2/ETH_TXD3/TA3_O2/INTP22/CSI0F_CS0/P_ULDQM	A20
		P9_3/S_SDRAS/TA3_O2/CSI2F_CS3	D2
TA3_I3	P5_3/ETH_TXD2/TA3_O3/INTP23/CSI0F_CS1/P_UUDQM	B19	
	P9_4/S_LLDQM/TA3_O3/CSI2F_CS4	D1	
TA3_I4	P5_4/ETH_TXD1/TA3_O4/INTP24/CSI0F_CS2/P_REFRQ	A19	
	P9_5/S_LUDQM/TA3_O4/CSI2F_CS5	E2	
TA3_I5	P5_5/ETH_TXD0/TA3_O5/INTP25/CSI0F_CS3/P_SDRAS	B18	
	P9_12/S_RD/TA3_O5/INTP11	G1	
TA3_I6	P5_6/ETH_TXEN/TA3_O6/INTP26/CSI0F_CS4/P_SDCAS	A18	
	P9_13/S_WR/TA3_O6/INTP12/CSI1_SSI	H2	

表 2-6 端子の二重化 (6/10)

入出力	重複端子名称	兼用端子	ピン番号
入力	TA3_I7	P5_7/ETH_TXCLK/TA3_O7/INTP27/CSI0F_CS5	A17
		P9_14/S_LLBE/TA3_O7/INTP13/CSI1_RYI/CSI1_RYO	H1
	TA3_I8	P5_8/ETH_TXER/TA3_O8/CSI0F_CS6/P_SDCKE	D17
		P10_2/S_SDWE/TA3_O8/INTP17/CSI2F_SSI	J1
	TA3_I9	P5_9/ETH_RXER/TA3_O9/CSI0F_CS7/P_CS4	D18
		P10_3/S_BCYST/TA3_O9/INTP18/S_DMATC1/CSI4_SSI	K2
	TA3_I10	P5_10/ETH_RXCLK/TA3_O10/P_BUSRQ	A16
		P10_4/S_CS0/TA3_O10/INTP19/CSI2_SSI	W1
	TA3_I11	P5_11/ETH_RXDV/TA3_O11/P_SDWE	D16
		P10_5/S_CS1/TA3_O11/INTP24/CSI2_RYI/CSI2_RYO	W2
	TA3_I12	P5_12/ETH_RXD0/TA3_O12/P_BCYST	B15
		P10_6/S_CS2/TA3_O12/INTP25/CSI1F_SSI	Y1
	TA3_I13	P5_13/ETH_RXD1/TA3_O13	D15
		P10_9/S_HLDAK/TA3_O13/SO2/INTP27	U5
	TA3_I14	P5_14/ETH_RXD2/TA3_O14/DMAAK0/TJ_I0/TJ_O0	E14
P10_10/S_HLDRQ/TA3_O14/SCK2/TXD2		U4	
TA3_I15	P5_15/ETH_RXD3/TA3_O15/DMAAK1/TJ_I1/TJ_O1	D14	
	P10_11/S_REFRQ/TA3_O15/CSI2F_RYI/CSI2F_RYO	T4	
入力	TE0_AI	P0_4/P_D4/TA0_I4/TA0_O4	R19
		P8_4/S_D20/TA0_I4/TA0_O4	D9
	TE0_BI	P0_6/P_D6/TA0_I6/TA0_O6	T22
		P8_6/S_D22/TA0_I6/TA0_O6	A10
	TE0_TI0	P0_0/P_D0/TA0_I0/TA0_O0	P19
		P8_0/S_D16/TA0_I0/TA0_O0	D7
	TE0_TI1	P0_2/P_D2/TA0_I2/TA0_O2	R22
		P8_2/S_D18/TA0_I2/TA0_O2	A9
	TE0_ZI	P0_8/P_D8/TA0_I8/TA0_O8	T19
		P8_8/S_D24/TA0_I8/TA0_O8	D10
入力	TE1_AI	P3_4/P_A4/TA1_I4/TA1_O4	K18
		P11_4/S_A5/TA1_I4/TA1_O4	L5
	TE1_BI	P3_6/P_A6/TA1_I6/TA1_O6/CSI3F_CS0	L22
		P11_6/S_A7/TA1_I6/TA1_O6	M2
	TE1_TI0	P3_0/P_A0/TA1_I0/TA1_O0/INTP18	M19
		P11_0/S_A1/TA1_I0/TA1_O0	K1
	TE1_TI1	P3_2/P_A2/TA1_I2/TA1_O2	L19
		P11_2/S_A3/TA1_I2/TA1_O2	L2
	TE1_ZI	P3_8/P_A8/TA1_I8/TA1_O8/CSI3F_CS2	K21
		P11_8/S_A9/TA1_I8/TA1_O8	N2
入力	TJ_I0	P2_1/P_LLBE/P_LLWR/INTP13/TJ_O0	P21
		P5_14/ETH_RXD2/TA3_I14/TA3_O14/DMAAK0/TJ_O0	E14

表 2-6 端子の二重化 (7/10)

入出力	重複端子名称	兼用端子	ピン番号
入力	TJ_I1	P2_2/P_LUBE/P_LUWR/INTP14/TJ_O1	P22
		P5_15/ETH_RXD3/TA3_I15/TA3_O15/DMAAK1/TJ_O1	D14
	TJ_I2	P2_3/P_ULBE/P_ULWR/INTP15/TJ_O2	N18
		P6_0/ETH_MDC/DMATC0/TJ_O2/P_A24	B14
	TJ_I3	P2_4/P_UUBE/P_UUWR/INTP16/TJ_O3	N19
		P6_1/ETH_MDIO/DMATC1/TJ_O3/P_A25	A15
出力	TA0_O0	P0_0/P_D0/TA0_I0/TE0_TI0	P19
		P8_0/S_D16/TA0_I0/TE_TI0	D7
	TA0_O1	P0_1/P_D1/TA0_I1	P18
		P8_1/S_D17/TA0_I1	D8
	TA0_O2	P0_2/P_D2/TA0_I2/TE0_TI1	R22
		P8_2/S_D18/TA0_I2/TE0_TI1	A9
	TA0_O3	P0_3/P_D3/TA0_I3	R21
		P8_3/S_D19/TA0_I3	B9
	TA0_O4	P0_4/P_D4/TA0_I4/TE0_AI	R19
		P8_4/S_D20/TA0_I4/TE0_AI	D9
	TA0_O5	P0_5/P_D5/TA0_I5	R18
		P8_5/S_D21/TA0_I5	E9
	TA0_O6	P0_6/P_D6/TA0_I6/TE0_BI	T22
		P8_6/S_D22/TA0_I6/TE0_BI	A10
	TA0_O7	P0_7/P_D7/TA0_I7	T21
		P8_7/S_D23/TA0_I7	B10
	TA0_O8	P0_8/P_D8/TA0_I8/TE0_ZI	T19
		P8_8/S_D24/TA0_I8/TE0_ZI	D10
	TA0_O9	P0_9/P_D9/TA0_I9	T18
		P8_9/S_D25/TA0_I9	E10
	TA0_O10	P0_10/P_D10/TA0_I10	U22
		P8_10/S_D26/TA0_I10	B11
	TA0_O11	P0_11/P_D11/TA0_I11	U21
		P8_11/S_D27/TA0_I11	D11
	TA0_O12	P0_12/P_D12/TA0_I12	U19
		P8_12/S_D28/TA0_I12	E11
	TA0_O13	P0_13/P_D13/TA0_I13	V22
		P8_13/S_D29/TA0_I13	D12
	TA0_O14	P0_14/P_D14/TA0_I14	V21
		P8_14/S_D30/TA0_I14	E12
	TA0_O15	P0_15/P_D15/TA0_I15	W22
		P8_15/S_D31/TA0_I15	E13
	TA1_O0	P3_0/P_A0/TA1_I0/TE1_TI0/INTP18	M19
		P11_0/S_A1/TA1_I0/TE1_TI0	K1

表 2-6 端子の二重化 (8/10)

入出力	重複端子名称	兼用端子	ピン番号
出力	TA1_O1	P3_1/P_A1/TA1_I1	M21
		P11_1/S_A2/TA1_I1	K4
	TA1_O2	P3_2/P_A2/TA1_I2/TE1_TI1	L19
		P11_2/S_A3/TA1_I2/TE1_TI1	L2
	TA1_O3	P3_3/P_A3/TA1_I3	L18
		P11_3/S_A4/TA1_I3	L1
	TA1_O4	P3_4/P_A4/TA1_I4/TE1_AI	K18
		P11_4/S_A5/TA1_I4/TE1_AI	L5
	TA1_O5	P3_5/P_A5/TA1_I5	L21
		P11_5/S_A6/TA1_I5	L4
	TA1_O6	P3_6/P_A6/TA1_I6/CSI3F_CS0/TE1_BI	L22
		P11_6/S_A7/TA1_I6/TE1_BI	M2
	TA1_O7	P3_7/P_A7/TA1_I7/CSI3F_CS1	K19
		P11_7/S_A8/TA1_I7	M1
	TA1_O8	P3_8/P_A8/TA1_I8/CSI3F_CS2/TE1_ZI	K21
		P11_8/S_A9/TA1_I8/TE1_ZI	N2
	TA1_O9	P3_9/P_A9/TA1_I9/CSI3F_CS3	K22
		P11_9/S_A10/TA1_I9	N1
	TA1_O10	P3_10/P_A10/TA1_I10/CSI3F_CS4	J19
		P11_10/S_A11/TA1_I10/CSI1F_CS0	P2
	TA1_O11	P3_11/P_A11/TA1_I11/CSI3F_CS5	J21
		P11_11/S_A12/TA1_I11/CSI1F_CS1	P1
	TA1_O12	P3_12/P_A12/TA1_I12/CSI3F_CS6	J22
		P11_12/S_A13/TA1_I12/CSI1F_CS2	M4
	TA1_O13	P3_13/P_A13/TA1_I13/CSI3F_CS7	H19
		P11_13/S_A14/TA1_I13/CSI1F_CS3	M5
	TA1_O14	P3_14/P_A14/TA1_I14/CSI3_RYI/CSI3_RYO	H21
		P11_14/S_A15/TA1_I14/CSI1F_CS4	R2
	TA1_O15	P3_15/P_A15/TA1_I15/CSI3_SSI	H22
		P12_15/S_A16/TA1_I15/CSI1F_CS5	R1
	TA2_O0	P1_0/P_D16/TA2_I0/ADCNV0	W21
		P7_0/S_D0/TA2_I0	C2
TA2_O1	P1_1/P_D17/TA2_I1/ADCNV1	Y22	
	P7_1/S_D1/TA2_I1	A2	
TA2_O2	P1_2/P_D18/TA2_I2/ADCNV2	Y21	
	P7_2/S_D2/TA2_I2	B2	
TA2_O3	P1_3/P_D19/TA2_I3/ESO0	AA22	
	P7_3/S_D3/TA2_I3	A3	
TA2_O4	P1_4/P_D20/TA2_I4/ESO1	AA21	
	P7_4/S_D4/TA2_I4	B3	

表 2-6 端子の二重化 (9/10)

入出力	重複端子名称	兼用端子	ピン番号
出力	TA2_O5	P1_5/P_D21/TA2_I5/ESO2	AB21
		P7_5/S_D5/TA2_I5	A4
	TA2_O6	P1_6/P_D22/TA2_I6/ESO3	W19
		P7_6/S_D6/TA2_I6	B4
	TA2_O7	P1_7/P_D23/TA2_I7	AA20
		P7_7/S_D7/TA2_I7	A5
	TA2_O8	P1_8/P_D24/TA2_I8	AB20
		P7_8/S_D8/TA2_I8	B5
	TA2_O9	P1_9/P_D25/TA2_I9	AA19
		P7_9/S_D9/TA2_I9	A6
	TA2_O10	P1_10/P_D26/TA2_I10	AB19
		P7_10/S_D10/TA2_I10	B6
	TA2_O11	P1_11/P_D27/TA2_I11	AA18
		P7_11/S_D11/TA2_I11	D5
	TA2_O12	P1_12/P_D28/TA2_I12	AB18
		P7_12/S_D12/TA2_I12	A7
	TA2_O13	P1_13/P_D29/TA2_I13	W17
		P7_13/S_D13/TA2_I13	D6
	TA2_O14	P1_14/P_D30/TA2_I14	AA17
		P7_14/S_D14/TA2_I14	A8
	TA2_O15	P1_15/P_D31/TA2_I15	AB17
		P7_15/S_D15/TA2_I15	E5
	TA3_O0	P5_0/ETH_CRS/TA3_I0/INTP20/P_LLDQM/CSI0F_RYI/CSI0F_RYO	A21
		P9_0/S_SDCKE/TA3_I0/INTP10/CSI2F_CS0	D4
	TA3_O1	P5_1/ETH_COL/TA3_I1/INTP21/CSI0F_SSI/P_LUDQM	B20
		P9_2/S_SDCAS/TA3_I1/CSI2F_CS2	E4
	TA3_O2	P5_2/ETH_TXD3/TA3_I2/INTP22/CSI0F_CS0/P_ULDQM	A20
		P9_3/S_SDRAS/TA3_I2/CSI2F_CS3	D2
	TA3_O3	P5_3/ETH_TXD2/TA3_I3/INTP23/CSI0F_CS1/P_UUDQM	B19
		P9_4/S_LLDQM/TA3_I3/CSI2F_CS4	D1
	TA3_O4	P5_4/ETH_TXD1/TA3_I4/INTP24/CSI0F_CS2/P_REFRQ	A19
		P9_5/S_LUDQM/TA3_I4/CSI2F_CS5	E2
	TA3_O5	P5_5/ETH_TXD0/TA3_I5/INTP25/CSI0F_CS3/P_SDRAS	B18
		P9_12/S_RD/TA3_I5/INTP11	G1
	TA3_O6	P5_6/ETH_TXEN/TA3_I6/INTP26/CSI0F_CS4/P_SDCAS	A18
		P9_13/S_WR/TA3_I6/INTP12/CSI1_SSI	H2
TA3_O7	P5_7/ETH_TXCLK/TA3_I7/INTP27/CSI0F_CS5	A17	
	P9_14/S_LLBE/TA3_I7/INTP13/CSI1_RYI/CSI1_RYO	H1	
TA3_O8	P5_8/ETH_TXER/TA3_I8/CSI0F_CS6/P_SDCKE	D17	
	P10_2/S_SDWE/TA3_I8/INTP17/CSI2F_SSI	J1	

表 2-6 端子の二重化 (10/10)

入出力	重複端子名称	兼用端子	ピン番号
出力	TA3_O9	P5_9/ETH_RXER/TA3_I9/CSI0F_CS7/P_CS4	D18
		P10_3/S_BCYST/TA3_I9/INTP18/S_DMATC1/CSI4_SSI	K2
	TA3_O10	P5_10/ETH_RXCLK/TA3_I10/P_BUSRQ	A16
		P10_4/S_CS0/TA3_I10/INTP19/CSI2_SSI	W1
	TA3_O11	P5_11/ETH_RXDV/TA3_I11/P_SDWE	D16
		P10_5/S_CS1/TA3_I11/INTP24/CSI2_RYI/CSI2_RYO	W2
	TA3_O12	P5_12/ETH_RXD0/TA3_I12/P_BCYST	B15
		P10_6/S_CS2/TA3_I12/INTP25/CSI1F_SSI	Y1
	TA3_O13	P5_13/ETH_RXD1/TA3_I13	D15
		P10_9/S_HLDAK/TA3_I13/SO2/INTP27	U5
	TA3_O14	P5_14/ETH_RXD2/TA3_I14/DMAAK0/TJ_I0/TJ_O0	E14
		P10_10/S_HLDRQ/TA3_I14/SCK2/TXD2	U4
	TA3_O15	P5_15/ETH_RXD3/TA3_I15/DMAAK1/TJ_I1/TJ_O1	D14
		P10_11/S_REFRQ/TA3_I15/CSI2F_RYI/CSI2F_RYO	T4
	出力	TJ_O0	P2_1/P_LLBE/P_LLWR/INTP13/TJ_I0
P5_14/ETH_RXD2/TA3_I14/TA3_O14/DMAAK0/TJ_I0			E14
TJ_O1		P2_2/P_LUBE/P_LUWR/INTP14/TJ_I1	P22
		P5_15/ETH_RXD3/TA3_I15/TA3_O15/DMAAK1/TJ_I1	D14
TJ_O2		P2_3/P_ULBE/P_ULWR/INTP15/TJ_I2	N18
		P6_0/ETH_MDC/DMATC0/TJ_I2/P_A24	B14
TJ_O3		P2_4/P_UUBE/P_UUWR/INTP16/TJ_I3	N19
		P6_1/ETH_MDIO/DMATC1/TJ_I3/P_A25	A15

2.4 端子状態

リセット時の各端子の状態について次に示します。

表 2-7 端子状態 (1/8)

ピン番号	名称	リセット中
A2	P7_1/S_D1/TA2_I1/TA2_O1	Hi-z
A3	P7_3/S_D3/TA2_I3/TA2_O3	Hi-z
A4	P7_5/S_D5/TA2_I5/TA2_O5	Hi-z
A5	P7_7/S_D7/TA2_I7/TA2_O7	Hi-z
A6	P7_9/S_D9/TA2_I9/TA2_O9	Hi-z
A7	P7_12/S_D12/TA2_I12/TA2_O12	Hi-z
A8	P7_14/S_D14/TA2_I14/TA2_O14	Hi-z
A9	P8_2/S_D18/TA0_I2/TA0_O2/TE0_TI1	Hi-z
A10	P8_6/S_D22/TA0_I6/TA0_O6/TE0_BI	Hi-z
A11	UDPH	Hi-z
A12	UDMH	Hi-z
A13	UDPF	Hi-z
A14	UDMF	Hi-z
A15	P6_1/ETH_MDIO/DMATC1/TJ_I3/TJ_O3/P_A25	Hi-z
A16	P5_10/ETH_RXCLK/TA3_I10/TA3_O10/P_BUSRQ	Hi-z
A17	P5_7/ETH_TXCLK/TA3_I7/TA3_O7/INTP27/CSI0F_CS5	Hi-z
A18	P5_6/ETH_TXEN/TA3_I6/TA3_O6/INTP26/CSI0F_CS4/P_SDCAS	Hi-z
A19	P5_4/ETH_TXD1/TA3_I4/TA3_O4/INTP24/CSI0F_CS2/P_REFRQ	Hi-z
A20	P5_2/ETH_TXD3/TA3_I2/TA3_O2/INTP22/CSI0F_CS0/P_ULDQM	Hi-z
A21	P5_0/ETH_CRS/TA3_I0/TA3_O0/INTP20/P_LLDQM/CSI0F_RYI/CSI0F_RYO	Hi-z
B1	V _{SS}	—
B2	P7_2/S_D2/TA2_I2/TA2_O2	Hi-z
B3	P7_4/S_D4/TA2_I4/TA2_O4	Hi-z
B4	P7_6/S_D6/TA2_I6/TA2_O6	Hi-z
B5	P7_8/S_D8/TA2_I8/TA2_O8	Hi-z
B6	P7_10/S_D10/TA2_I10/TA2_O10	Hi-z
B7	EV _{DD}	—
B8	V _{SS}	—
B9	P8_3/S_D19/TA0_I3/TA0_O3	Hi-z
B10	P8_7/S_D23/TA0_I7/TA0_O7	Hi-z
B11	P8_10/S_D26/TA0_I10/TA0_O10	Hi-z
B12	V _{SS}	—
B13	UV _{DD}	—
B14	P6_0/ETH_MDC/DMATC0/TJ_I2/TJ_O2/P_A24	Hi-z
B15	P5_12/ETH_RXD0/TA3_I12/TA3_O12/P_BCYST	Hi-z
B16	EV _{DD}	—
B17	V _{SS}	—
B18	P5_5/ETH_TXD0/TA3_I5/TA3_O5/INTP25/CSI0F_CS3/P_SDRAS	Hi-z

表 2-7 端子状態 (2/8)

ピン番号	名称	リセット中
B19	P5_3/ETH_TXD2/TA3_I3/TA3_O3/INTP23/CSI0F_CS1/P_UUDQM	Hi-z
B20	P5_1/ETH_COL/TA3_I1/TA3_O1/INTP21/CSI0F_SSI/P_LUDQM	Hi-z
B21	P4_12/P_HLDAK/INTP23/DMAAK2/SO0F	Hi-z
B22	P4_13/P_HLDRQ/DMATC2/SI0F/RXD0F/SDA0	Hi-z
C1	P9_1/S_BUSCLK/CSI2F_CS1	出力 (f _x)
C2	P7_0/S_D0/TA2_I0/TA2_O0	Hi-z
C21	P4_10/P_CS3/INTP22/DMATC5	Hi-z
C22	P4_11/P_WAIT/SCK0F/TXD0F/SCL0	Hi-z
D1	P9_4/S_LLDQM/TA3_I3/TA3_O3/CSI2F_CS4	Hi-z
D2	P9_3/S_SDRAS/TA3_I2/TA3_O2/CSI2F_CS3	Hi-z
D4	P9_0/S_SDCKE/TA3_I0/TA3_O0/INTP10/CSI2F_CS0	Hi-z
D5	P7_11/S_D11/TA2_I11/TA2_O11	Hi-z
D6	P7_13/S_D13/TA2_I13/TA2_O13	Hi-z
D7	P8_0/S_D16/TA0_I0/TA0_O0/TE_T10	Hi-z
D8	P8_1/S_D17/TA0_I1/TA0_O1	Hi-z
D9	P8_4/S_D20/TA0_I4/TA0_O4/TE0_AI	Hi-z
D10	P8_8/S_D24/TA0_I8/TA0_O8/TE0_ZI	Hi-z
D11	P8_11/S_D27/TA0_I11/TA0_O11	Hi-z
D12	P8_13/S_D29/TA0_I13/TA0_O13	Hi-z
D13	FLMD0	入力
D14	P5_15/ETH_RXD3/TA3_I15/TA3_O15/DMAAK1/TJ_I1/TJ_O1	Hi-z
D15	P5_13/ETH_RXD1/TA3_I13/TA3_O13	Hi-z
D16	P5_11/ETH_RXDV/TA3_I11/TA3_O11/P_SDWE	Hi-z
D17	P5_8/ETH_TXER/TA3_I8/TA3_O8/CSI0F_CS6/P_SDCKE	Hi-z
D18	P5_9/ETH_RXER/TA3_I9/TA3_O9/CSI0F_CS7/P_CS4	Hi-z
D19	MODE2	入力
D21	P4_8/P_CS1/P_BCYST/INTP20	Hi-z
D22	P4_9/P_CS2/INTP21/DMAAK5	Hi-z
E1	P9_7/S_UUDQM/S_DMATC3/ESO1/CSI2F_CS7	Hi-z
E2	P9_5/S_LUDQM/TA3_I4/TA3_O4/CSI2F_CS5	Hi-z
E4	P9_2/S_SDCAS/TA3_I1/TA3_O1/CSI2F_CS2	Hi-z
E5	P7_15/S_D15/TA2_I15/TA2_O15	Hi-z
E6	MODE3	入力
E7	V _{SS}	—
E8	EV _{DD}	—
E9	P8_5/S_D21/TA0_I5/TA0_O5	Hi-z
E10	P8_9/S_D25/TA0_I9/TA0_O9	Hi-z
E11	P8_12/S_D28/TA0_I12/TA0_O12	Hi-z
E12	P8_14/S_D30/TA0_I14/TA0_O14	Hi-z
E13	P8_15/S_D31/TA0_I15/TA0_O15	Hi-z
E14	P5_14/ETH_RXD2/TA3_I14/TA3_O14/DMAAK0/TJ_I0/TJ_O0	Hi-z

表 2-7 端子状態 (3/8)

ピン番号	名称	リセット中
E15	IV _{DD}	—
E16	V _{SS}	—
E17	EV _{DD}	—
E18	V _{SS}	—
E19	V _{SS}	—
E21	P4_6/P_A22/INTP11/DMAAK3/SI3F/RXD3F/SDA3	Hi-z
E22	P4_7/P_A23/INTP12/SCK3F/TXD3F/SCL3/ADTRG20	Hi-z
F1	P9_9/S_LUWR/S_DMARQ2/S_DMATC0/SO4	Hi-z
F2	P9_8/S_LLWR/S_DMAAK2/CSI4_RYI/CSI4_RYO	Hi-z
F4	P9_6/S_ULDQM/S_DMATC2/ESO0/CSI2F_CS6	Hi-z
F5	EV _{DD}	—
F6	EV _{DD}	—
F7	V _{SS}	—
F8	EV _{DD}	—
F9	EV _{DD}	—
F10	V _{SS}	—
F13	V _{SS}	—
F14	EV _{DD}	—
F15	IV _{DD}	—
F16	V _{SS}	—
F17	EV _{DD}	—
F18	EV _{DD}	—
F19	P4_3/P_A19/INTP8/DMAAK4/SO3F	Hi-z
F21	P4_4/P_A20/INTP9/DMATC4/SI3/RXD3	Hi-z
F22	P4_5/P_A21/INTP10/DMATC3/SCK3/TXD3/ADTRG10	Hi-z
G1	P9_12/S_RD/TA3_I5/TA3_O5/INTP11	Hi-z
G2	P9_11/S_UUWR/S_DMARQ3/SCK4/TXD4/SCL4/ESO3	Hi-z
G4	P9_10/S_ULWR/S_DMAAK3/SI4/RXD4/SDA4/ESO2	Hi-z
G5	IV _{DD}	—
G6	IV _{DD}	—
G17	V _{SS}	—
G18	V _{SS}	—
G19	P4_0/P_A16/INTP5/CSI3F_RYI/CSI3F_RYO	Hi-z
G21	P4_1/P_A17/INTP6/CSI3F_SSI	Hi-z
G22	P4_2/P_A18/INTP7/SO3	Hi-z
H1	P9_14/S_LLBE/TA3_I7/TA3_O7/INTP13/CSI1_RYI/CSI1_RYO	Hi-z
H2	P9_13/S_WR/TA3_I6/TA3_O6/INTP12/CSI1_SSI	Hi-z
H4	P9_15/S_LUBE/INTP14/SO1	Hi-z
H5	V _{SS}	—
H6	V _{SS}	—
H17	IV _{DD}	—

表 2-7 端子状態 (4/8)

ピン番号	名称	リセット中
H18	IV _{DD}	—
H19	P3_13/P_A13/TA1_I13/TA1_O13/CSI3F_CS7	Hi-z
H21	P3_14/P_A14/TA1_I14/TA1_O14/CSI3_RYI/CSI3_RYO	Hi-z
H22	P3_15/P_A15/TA1_I15/TA1_O15/CSI3_SSI	Hi-z
J1	P10_2/S_SDWE/TA3_I8/TA3_O8/INTP17/CSI2F_SSI	Hi-z
J2	P10_0/S_ULBE/INTP15/SI1/RXD1/S_DMATC0	Hi-z
J4	P10_1/S_UUBE/INTP16/SCK1/TXD1/S_DMATC1	Hi-z
J5	EV _{DD}	—
J6	EV _{DD}	—
J17	EV _{DD}	—
J18	EV _{DD}	—
J19	P3_10/P_A10/TA1_I10/TA1_O10/CSI3F_CS4	Hi-z
J21	P3_11/P_A11/TA1_I11/TA1_O11/CSI3F_CS5	Hi-z
J22	P3_12/P_A12/TA1_I12/TA1_O12/CSI3F_CS6	Hi-z
K1	P11_0/S_A1/TA1_I0/TA1_O0/TE1_TI0	Hi-z
K2	P10_3/S_BCYST/TA3_I9/TA3_O9/INTP18/S_DMATC1/CSI4_SSI	Hi-z
K4	P11_1/S_A2/TA1_I1/TA1_O1	Hi-z
K5	V _{SS}	—
K6	V _{SS}	—
K17	V _{SS}	—
K18	P3_4/P_A4/TA1_I4/TA1_O4/TE1_AI	Hi-z
K19	P3_7/P_A7/TA1_I7/TA1_O7/CSI3F_CS1	Hi-z
K21	P3_8/P_A8/TA1_I8/TA1_O8/CSI3F_CS2/TE1_ZI	Hi-z
K22	P3_9/P_A9/TA1_I9/TA1_O9/CSI3F_CS3	Hi-z
L1	P11_3/S_A4/TA1_I3/TA1_O3	Hi-z
L2	P11_2/S_A3/TA1_I2/TA1_O2/TE1_TI1	Hi-z
L4	P11_5/S_A6/TA1_I5/TA1_O5	Hi-z
L5	P11_4/S_A5/TA1_I4/TA1_O4/TE1_AI	Hi-z
L18	P3_3/P_A3/TA1_I3/TA1_O3	Hi-z
L19	P3_2/P_A2/TA1_I2/TA1_O2/TE1_TI1	Hi-z
L21	P3_5/P_A5/TA1_I5/TA1_O5	Hi-z
L22	P3_6/P_A6/TA1_I6/TA1_O6/CSI3F_CS0/TE1_BI	Hi-z
M1	P11_7/S_A8/TA1_I7/TA1_O7	Hi-z
M2	P11_6/S_A7/TA1_I6/TA1_O6/TE1_BI	Hi-z
M4	P11_12/S_A13/TA1_I12/TA1_O12/CSI1F_CS2	Hi-z
M5	P11_13/S_A14/TA1_I13/TA1_O13/CSI1F_CS3	Hi-z
M18	P2_7/P_WR/P_RW/NTP19	Hi-z
M19	P3_0/P_A0/TA1_I0/TA1_O0/TE1_TI0/INTP18	Hi-z
M21	P3_1/P_A1/TA1_I1/TA1_O1	Hi-z
M22	V _{SS}	—
N1	P11_9/S_A10/TA1_I9/TA1_O9	Hi-z

表 2-7 端子状態 (5/8)

ピン番号	名称	リセット中
N2	P11_8/S_A9/TA1_I8/TA1_O8/TE1_ZI	Hi-z
N4	P12_1/S_A18/INTP1/CSI1F_CS7/ADCNV1	Hi-z
N5	P12_2/S_A19/INTP2/ADCNV2/CSI0_SSI	Hi-z
N6	IV _{DD}	—
N17	EV _{DD}	—
N18	P2_3/P_ULBE/P_ULWR/INTP15/TJ_I2/TJ_O2	Hi-z
N19	P2_4/P_UUBE/P_UUWR/INTP16/TJ_I3/TJ_O3	Hi-z
N21	P2_5/P_RD/INTP17	Hi-z
N22	P2_6/P_BUSCLK	出力 (f _X)
P1	P11_11/S_A12/TA1_I11/TA1_O11/CSI1F_CS1	Hi-z
P2	P11_10/S_A11/TA1_I10/TA1_O10/CSI1F_CS0	Hi-z
P4	P12_7/S_A24/INTP7/SO2F	Hi-z
P5	P12_8/S_A25/INTP8/SI2F/RXD2F/SDA2	Hi-z
P6	V _{SS}	—
P17	V _{SS}	—
P18	P0_1/P_D1/TA0_I1/TA0_O1	Hi-z
P19	P0_0/P_D0/TA0_I0/TA0_O0/TE0_TI0	Hi-z
P21	P2_1/P_LLBE/P_LLWR/INTP13/TJ_I0/TJ_O0	Hi-z
P22	P2_2/P_LUBE/P_LUWR/INTP14/TJ_I1/TJ_O1	Hi-z
R1	P11_15/S_A16/TA1_I15/TA1_O15/CSI1F_CS5	Hi-z
R2	P11_14/S_A15/TA1_I14/TA1_O14/CSI1F_CS4	Hi-z
R4	P10_7/S_CS3/S_SDCS/INTP26/CSI1F_RYI/CSI1F_RYO	Hi-z
R5	V _{SS}	—
R6	V _{SS}	—
R17	V _{SS}	—
R18	P0_5/P_D5/TA0_I5/TA0_O5	Hi-z
R19	P0_4/P_D4/TA0_I4/TA0_O4/TE0_AI	Hi-z
R21	P0_3/P_D3/TA0_I3/TA0_O3	Hi-z
R22	P0_2/P_D2/TA0_I2/TA0_O2/TE0_TI1	Hi-z
T1	P12_3/S_A20/INTP3/CSI0_RYI/CSI0_RYO	Hi-z
T2	P12_0/S_A17/INTP0/CSI1F_CS6/ADCNV0	Hi-z
T4	P10_11/S_REFRQ/TA3_I15/TA3_O15/CSI2F_RYI/CSI2F_RYO	Hi-z
T5	EV _{DD}	—
T6	EV _{DD}	—
T17	IV _{DD}	—
T18	P0_9/P_D9/TA0_I9/TA0_O9	Hi-z
T19	P0_8/P_D8/TA0_I8/TA0_O8/TE0_ZI	Hi-z
T21	P0_7/P_D7/TA0_I7/TA0_O7	Hi-z
T22	P0_6/P_D6/TA0_I6/TA0_O6/TE0_BI	Hi-z
U1	P12_5/S_A22/INTP5/SI0/RXD0	Hi-z
U2	P12_4/S_A21/INTP4/SO0	Hi-z

表 2-7 端子状態 (6/8)

ピン番号	名称	リセット中
U4	P10_10/S_HLDRQ/TA3_I14/TA3_O14/SCK2/TXD2	Hi-z
U5	P10_9/S_HLDAK/TA3_I13/TA3_O13/SO2/INTP27	Hi-z
U6	IV _{DD}	—
U7	V _{SS}	—
U8	EV _{DD}	—
U9	V _{SS}	—
U10	DV _{DD}	—
U13	V _{SS}	—
U14	PLL _{VDD}	—
U15	PLL _{VSS}	—
U16	IV _{DD}	—
U17	EV _{DD}	—
U18	V _{SS}	—
U19	P0_12/P_D12/TA0_I12/TA0_O12	Hi-z
U21	P0_11/P_D11/TA0_I11/TA0_O11	Hi-z
U22	P0_10/P_D10/TA0_I10/TA0_O10	Hi-z
V1	P12_6/S_A23/INTP6/SCK0/TXD0/ADTRG11	Hi-z
V2	P12_9/S_A26/INTP9/SCK2F/TXD2F/SCL2/ADTRG21	Hi-z
V4	P10_8/S_WAIT/SI2/RXD2	Hi-z
V5	P14_0/ANI06	Hi-z
V6	P14_4/ANI10	Hi-z
V7	ANI04	Hi-z
V8	ANI00	Hi-z
V9	MDO6	出力 (不定)
V10	MDO2	出力 (不定)
V11	EVTO	出力 (不定)
V12	DV _{DD}	—
V13	V _{SS}	—
V14	TRST	入力
V15	V _{SS}	—
V16	IV _{DD}	—
V17	EV _{DD}	—
V18	V _{SS}	—
V19	V _{SS}	—
V21	P0_14/P_D14/TA0_I14/TA0_O14	Hi-z
V22	P0_13/P_D13/TA0_I13/TA0_O13	Hi-z
W1	P10_4/S_CS0/TA3_I10/TA3_O10/INTP19/CSI2_SSI	Hi-z
W2	P10_5/S_CS1/TA3_I11/TA3_O11/INTP24/CSI2_RYI/CSI2_RYO	Hi-z
W4	P13_1/S_CS3/S_DMAAK0/ADTRG00/INTP0/CSI5_RYI/CSI5_RYO	Hi-z
W5	P14_1/ANI07	Hi-z
W6	P14_5/ANI11	Hi-z

表 2-7 端子状態 (7/8)

ピン番号	名称	リセット中
W7	ANI05	Hi-z
W8	ANI01	Hi-z
W9	MDO7	出力 (不定)
W10	MDO3	出力 (不定)
W11	EVTI	Hi-z
W12	MSEO0	出力 (不定)
W13	TDO/FLSO	Hi-z
W14	TDI/FLRXD/FLSI	Hi-z
W15	TMS	Hi-z
W16	P2_0/NMI	Hi-z
W17	P1_13/P_D29/TA2_I13/TA2_O13	Hi-z
W18	EV _{DD}	—
W19	P1_6/P_D22/TA2_I6/TA2_O6/ESO3	Hi-z
W21	P1_0/P_D16/TA2_I0/TA2_O0/ADCNV0	Hi-z
W22	P0_15/P_D15/TA0_I15/TA0_O15	Hi-z
Y1	P10_6/S_CS2/TA3_I12/TA3_O12/INTP25/CSI1F_SSI	Hi-z
Y2	P13_7/CAN1RXD/SI5/RXD5/SDA5	Hi-z
Y21	P1_2/P_D18/TA2_I2/TA2_O2/ADCNV2	Hi-z
Y22	P1_1/P_D17/TA2_I1/TA2_O1/ADCNV1	Hi-z
AA1	P13_6/CAN1TXD/SCK5/TXD5/SCL5/INTP4	Hi-z
AA2	P13_5/CAN0RXD/SI1F/RXD1F/SDA1	Hi-z
AA3	P13_3/S_DMAAK1/SO5/INTP2/OCI	Hi-z
AA4	V _{SS}	—
AA5	P14_2/ANI08	Hi-z
AA6	AV _{REFM}	—
AA7	AV _{REFP}	—
AA8	ANI02	Hi-z
AA9	IV _{DD}	—
AA10	MDO4	出力 (不定)
AA11	MDO0	出力 (不定)
AA12	MSEO1	出力 (不定)
AA13	TRDY	Hi-z
AA14	OSCV _{DD}	—
AA15	X2	—
AA16	FLMD1	入力
AA17	P1_14/P_D30/TA2_I14/TA2_O14	Hi-z
AA18	P1_11/P_D27/TA2_I11/TA2_O11	Hi-z
AA19	P1_9/P_D25/TA2_I9/TA2_O9	Hi-z
AA20	P1_7/P_D23/TA2_I7/TA2_O7	Hi-z
AA21	P1_4/P_D20/TA2_I4/TA2_O4/ESO1	Hi-z
AA22	P1_3/P_D19/TA2_I3/TA2_O3/ESO0	Hi-z

表 2-7 端子状態 (8/8)

ピン番号	名称	リセット中
AB2	P13_4/CAN0TXD/SCK1F/TXD1F/SCL1/INTP3	Hi-z
AB3	P13_0/S_DMARQ0/ADTRG01/UCLK/CSI5_SSI	Hi-z
AB4	P13_2/S_DMARQ1/SO1F/INTP1/PPON	Hi-z
AB5	P14_3/ANI09	Hi-z
AB6	AV _{SS}	—
AB7	AV _{DD}	—
AB8	ANI03	Hi-z
AB9	V _{SS}	—
AB10	MDO5	出力 (不定)
AB11	MDO1	出力 (不定)
AB12	MCKO	出力 (不定)
AB13	TCK/FLSCK	Hi-z
AB14	OSCV _{SS}	—
AB15	X1	入力
AB16	RESET	入力
AB17	P1_15/P_D31/TA2_I15/TA2_O15	Hi-z
AB18	P1_12/P_D28/TA2_I12/TA2_O12	Hi-z
AB19	P1_10/P_D26/TA2_I10/TA2_O10	Hi-z
AB20	P1_8/P_D24/TA2_I8/TA2_O8	Hi-z
AB21	P1_5/P_D21/TA2_I5/TA2_O5/ESO2	Hi-z

2.5 初期状態と未使用時の処理

表 2-8 初期状態と未使用時の端子処理 (1/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
A2	P7_1/S_D1/TA2_I1/TA2_O1	P7_1	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
A3	P7_3/S_D3/TA2_I3/TA2_O3	P7_3	入力	
A4	P7_5/S_D5/TA2_I5/TA2_O5	P7_5	入力	
A5	P7_7/S_D7/TA2_I7/TA2_O7	P7_7	入力	
A6	P7_9/S_D9/TA2_I9/TA2_O9	P7_9	入力	
A7	P7_12/S_D12/TA2_I12/TA2_O12	P7_12	入力	
A8	P7_14/S_D14/TA2_I14/TA2_O14	P7_14	入力	
A9	P8_2/S_D18/TA0_I2/TA0_O2/TE0_TI1	P8_2	入力	
A10	P8_6/S_D22/TA0_I6/TA0_O6/TE0_BI	P8_6	入力	
A11	UDPH	UDPH	出力	
A12	UDMH	UDMH	出力	オープンにしてください。
A13	UDPF	UDPF	入力	個別に抵抗を介して V _{SS} に接続してください。
A14	UDMF	UDMF	入力	個別に抵抗を介して V _{SS} に接続してください。
A15	P6_1/ETH_MDIO/DMATC1/TJ_I3/TJ_O3/P_A25	P6_1	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
A16	P5_10/ETH_RXCLK/TA3_I10/TA3_O10/P_BUSRQ	P5_10	入力	
A17	P5_7/ETH_TXCLK/TA3_I7/TA3_O7/INTP27/CSI0F_CS5	P5_7	入力	
A18	P5_6/ETH_TXEN/TA3_I6/TA3_O6/INTP26/CSI0F_CS4/P_SDCAS	P5_6	入力	
A19	P5_4/ETH_TXD1/TA3_I4/TA3_O4/INTP24/CSI0F_CS2/P_REFRQ	P5_4	入力	
A20	P5_2/ETH_TXD3/TA3_I2/TA3_O2/INTP22/CSI0F_CS0/P_ULDQM	P5_2	入力	
A21	P5_0/ETH_CRS/TA3_I0/TA3_O0/INTP20/P_LLDQM/CSI0F_RYI/CSI0F_RYO	P5_0	入力	
B1	V _{SS}	V _{SS}	—	常にグランドに直接接続してください。
B2	P7_2/S_D2/TA2_I2/TA2_O2	P7_2	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
B3	P7_4/S_D4/TA2_I4/TA2_O4	P7_4	入力	
B4	P7_6/S_D6/TA2_I6/TA2_O6	P7_6	入力	
B5	P7_8/S_D8/TA2_I8/TA2_O8	P7_8	入力	
B6	P7_10/S_D10/TA2_I10/TA2_O10	P7_10	入力	
B7	EV _{DD}	EV _{DD}	—	
B8	V _{SS}	V _{SS}	—	常にグランドに直接接続してください。
B9	P8_3/S_D19/TA0_I3/TA0_O3	P8_3	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
B10	P8_7/S_D23/TA0_I7/TA0_O7	P8_7	入力	
B11	P8_10/S_D26/TA0_I10/TA0_O10	P8_10	入力	

表 2-8 初期状態と未使用時の端子処理 (2/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
B12	V _{SS}	V _{SS}	—	常にグランドに直接接続してください。
B13	UV _{DD}	UV _{DD}	—	常に電源に接続してください。
B14	P6_0/ETH_MDC/DMATC0/TJ_I2/TJ_O2/P_A24	P6_0	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
B15	P5_12/ETH_RXD0/TA3_I12/TA3_O12/P_BCYST	P5_12	入力	
B16	EV _{DD}	EV _{DD}	—	
B17	V _{SS}	V _{SS}	—	
B18	P5_5/ETH_TXD0/TA3_I5/TA3_O5/INTP25/ CSI0F_CS3/P_SDRAS	P5_5	入力	
B19	P5_3/ETH_TXD2/TA3_I3/TA3_O3/INTP23/ CSI0F_CS1/P_UUDQM	P5_3	入力	
B20	P5_1/ETH_COL/TA3_I1/TA3_O1/INTP21/ CSI0F_SSI/P_LUDQM	P5_1	入力	
B21	P4_12/P_HLDAK/INTP23/DMAAK2/SO0F	P4_12	入力	
B22	P4_13/P_HLDRQ/DMATC2/SI0F/RXD0F/SDA0	P4_13	入力	
C1	P9_1/S_BUSCLK/CSI2F_CS1	S_BUSCLK	出力	
C2	P7_0/S_D0/TA2_I0/TA2_O0	P7_0	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
C21	P4_10/P_CS3/INTP22/DMATC5	P4_10	入力	
C22	P4_11/P_WAIT/SCK0F/TXD0F/SCL0	P4_11	入力	
D1	P9_4/S_LLDQM/TA3_I3/TA3_O3/CSI2F_CS4	P9_4	入力	
D2	P9_3/S_SDRAS/TA3_I2/TA3_O2/CSI2F_CS3	P9_3	入力	
D4	P9_0/S_SDCKE/TA3_I0/TA3_O0/INTP10/ CSI2F_CS0	P9_0	入力	
D5	P7_11/S_D11/TA2_I11/TA2_O11	P7_11	入力	
D6	P7_13/S_D13/TA2_I13/TA2_O13	P7_13	入力	
D7	P8_0/S_D16/TA0_I0/TA0_O0/TE_TI0	P8_0	入力	
D8	P8_1/S_D17/TA0_I1/TA0_O1	P8_1	入力	
D9	P8_4/S_D20/TA0_I4/TA0_O4/TE0_AI	P8_4	入力	
D10	P8_8/S_D24/TA0_I8/TA0_O8/TE0_ZI	P8_8	入力	
D11	P8_11/S_D27/TA0_I11/TA0_O11	P8_11	入力	
D12	P8_13/S_D29/TA0_I13/TA0_O13	P8_13	入力	
D13	FLMD0	FLMD0	入力	常にロウ・レベルで使用する場合は直接 V _{SS} に接続してください。 フラッシュ・メモリ・プログラミング・モード、バウンダリ・スキャン・モードまたはフラッシュ・メモリ・セルフ・プログラミングを使用する場合は、個別に抵抗 (100 kΩ 推奨) を介して V _{SS} に接続してください。

表 2-8 初期状態と未使用時の端子処理 (3/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
D14	P5_15/ETH_RXD3/TA3_I15/TA3_O15/DMAAK1/TJ_I1/TJ_O1	P5_15	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
D15	P5_13/ETH_RXD1/TA3_I13/TA3_O13	P5_13	入力	
D16	P5_11/ETH_RXDV/TA3_I11/TA3_O11/P_SDWE	P5_11	入力	
D17	P5_8/ETH_TXER/TA3_I8/TA3_O8/CSI0F_CS6/P_SDCKE	P5_8	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
D18	P5_9/ETH_RXER/TA3_I9/TA3_O9/CSI0F_CS7/P_CS4	P5_9	入力	
D19	MODE2	MODE2	入力	個別に抵抗を介して V _{SS} に接続してください。
D21	P4_8/P_CS1/P_BCYST/INTP20	P4_8	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
D22	P4_9/P_CS2/INTP21/DMAAK5	P4_9	入力	
E1	P9_7/S_UUDQM/S_DMATC3/ESO1/CSI2F_CS7	P9_7	入力	
E2	P9_5/S_LUDQM/TA3_I4/TA3_O4/CSI2F_CS5	P9_5	入力	
E4	P9_2/S_SDCAS/TA3_I1/TA3_O1/CSI2F_CS2	P9_2	入力	
E5	P7_15/S_D15/TA2_I15/TA2_O15	P7_15	入力	
E6	MODE3	MODE3	入力	
E7	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
E8	EV _{DD}	EV _{DD}	—	常に電源に接続してください。
E9	P8_5/S_D21/TA0_I5/TA0_O5	P8_5	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
E10	P8_9/S_D25/TA0_I9/TA0_O9	P8_9	入力	
E11	P8_12/S_D28/TA0_I12/TA0_O12	P8_12	入力	
E12	P8_14/S_D30/TA0_I14/TA0_O14	P8_14	入力	
E13	P8_15/S_D31/TA0_I15/TA0_O15	P8_15	入力	
E14	P5_14/ETH_RXD2/TA3_I14/TA3_O14/DMAAK0/TJ_I0/TJ_O0	P5_14	入力	
E15	IV _{DD}	IV _{DD}	—	
E16	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
E17	EV _{DD}	EV _{DD}	—	常に電源に接続してください。
E18	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
E19	V _{SS}	V _{SS}	—	
E21	P4_6/P_A22/INTP11/DMAAK3/SI3F/RXD3F/SDA3	P4_6	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
E22	P4_7/P_A23/INTP12/SCK3F/TXD3F/SCL3/ADTRG20	P4_7	入力	
F1	P9_9/S_LUWR/S_DMARQ2/S_DMATC0/SO4	P9_9	入力	
F2	P9_8/S_LLWR/S_DMAAK2/CSI4_RYI/CSI4_RYO	P9_8	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
F4	P9_6/S_ULDQM/S_DMATC2/ESO0/CSI2F_CS6	P9_6	入力	
F5	EV _{DD}	EV _{DD}	—	常に電源に接続してください。
F6	EV _{DD}	EV _{DD}	—	

表 2-8 初期状態と未使用時の端子処理 (4/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
F7	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
F8	EV _{DD}	EV _{DD}	—	常に電源に接続してください。
F9	EV _{DD}	EV _{DD}	—	
F10	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
F13	V _{SS}	V _{SS}	—	常に電源に接続してください。
F14	EV _{DD}	EV _{DD}	—	
F15	IV _{DD}	IV _{DD}	—	常にグラウンドに直接接続してください。
F16	V _{SS}	V _{SS}	—	
F17	EV _{DD}	EV _{DD}	—	常に電源に接続してください。
F18	EV _{DD}	EV _{DD}	—	
F19	P4_3/P_A19/INTP8/DMAAK4/SO3F	P4_3	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
F21	P4_4/P_A20/INTP9/DMATC4/SI3/RXD3	P4_4	入力	
F22	P4_5/P_A21/INTP10/DMATC3/SCK3/TXD3/ADTRG10	P4_5	入力	
G1	P9_12/S_RD/TA3_I5/TA3_O5/INTP11	P9_12	入力	
G2	P9_11/S_UUWR/S_DMARQ3/SCK4/TXD4/SCL4/ESO3	P9_11	入力	
G4	P9_10/S_ULWR/S_DMAAK3/SI4/RXD4/SDA4/ESO2	P9_10	入力	
G5	IV _{DD}	IV _{DD}	—	常に電源に接続してください。
G6	IV _{DD}	IV _{DD}	—	常にグラウンドに直接接続してください。
G17	V _{SS}	V _{SS}	—	
G18	V _{SS}	V _{SS}	—	
G19	P4_0/P_A16/INTP5/CSI3F_RYI/CSI3F_RYO	P4_0	入力	
G21	P4_1/P_A17/INTP6/CSI3F_SSI	P4_1	入力	
G22	P4_2/P_A18/INTP7/SO3	P4_2	入力	
H1	P9_14/S_LLBE/TA3_I7/TA3_O7/INTP13/CSI1_RYI/CSI1_RYO	P9_14	入力	常に電源に接続してください。
H2	P9_13/S_WR/TA3_I6/TA3_O6/INTP12/CSI1_SSI	P9_13	入力	
H4	P9_15/S_LUBE/INTP14/SO1	P9_15	入力	
H5	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
H6	V _{SS}	V _{SS}	—	
H17	IV _{DD}	IV _{DD}	—	常に電源に接続してください。
H18	IV _{DD}	IV _{DD}	—	

表 2-8 初期状態と未使用時の端子処理 (5/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
H19	P3_13/P_A13/TA1_I13/TA1_O13/CSI3F_CS7	P3_13	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
H21	P3_14/P_A14/TA1_I14/TA1_O14/CSI3_RYI/CSI3_RYO	P3_14	入力	
H22	P3_15/P_A15/TA1_I15/TA1_O15/CSI3_SSI	P3_15	入力	
J1	P10_2/S_SDWE/TA3_I8/TA3_O8/INTP17/CSI2F_SSI	P10_2	入力	
J2	P10_0/S_ULBE/INTP15/SI1/RXD1/S_DMATC0	P10_0	入力	
J4	P10_1/S_UUBE/INTP16/SCK1/TXD1/S_DMATC1	P10_1	入力	
J5	EV _{DD}	EV _{DD}	—	
J6	EV _{DD}	EV _{DD}	—	
J17	EV _{DD}	EV _{DD}	—	
J18	EV _{DD}	EV _{DD}	—	
J19	P3_10/P_A10/TA1_I10/TA1_O10/CSI3F_CS4	P3_10	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
J21	P3_11/P_A11/TA1_I11/TA1_O11/CSI3F_CS5	P3_11	入力	
J22	P3_12/P_A12/TA1_I12/TA1_O12/CSI3F_CS6	P3_12	入力	
K1	P11_0/S_A1/TA1_I0/TA1_O0/TE1_TI0	P11_0	入力	
K2	P10_3/S_BCYST/TA3_I9/TA3_O9/INTP18/S_DMATC1/CSI4_SSI	P10_3	入力	
K4	P11_1/S_A2/TA1_I1/TA1_O1	P11_1	入力	
K5	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
K6	V _{SS}	V _{SS}	—	
K17	V _{SS}	V _{SS}	—	
K18	P3_4/P_A4/TA1_I4/TA1_O4/TE1_AI	P3_4	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
K19	P3_7/P_A7/TA1_I7/TA1_O7/CSI3F_CS1	P3_7	入力	
K21	P3_8/P_A8/TA1_I8/TA1_O8/CSI3F_CS2/TE1_ZI	P3_8	入力	
K22	P3_9/P_A9/TA1_I9/TA1_O9/CSI3F_CS3	P3_9	入力	
L1	P11_3/S_A4/TA1_I3/TA1_O3	P11_3	入力	
L2	P11_2/S_A3/TA1_I2/TA1_O2/TE1_TI1	P11_2	入力	
L4	P11_5/S_A6/TA1_I5/TA1_O5	P11_5	入力	
L5	P11_4/S_A5/TA1_I4/TA1_O4/TE1_AI	P11_4	入力	
L18	P3_3/P_A3/TA1_I3/TA1_O3	P3_3	入力	
L19	P3_2/P_A2/TA1_I2/TA1_O2/TE1_TI1	P3_2	入力	
L21	P3_5/P_A5/TA1_I5/TA1_O5	P3_5	入力	
L22	P3_6/P_A6/TA1_I6/TA1_O6/CSI3F_CS0/TE1_BI	P3_6	入力	
M1	P11_7/S_A8/TA1_I7/TA1_O7	P11_7	入力	
M2	P11_6/S_A7/TA1_I6/TA1_O6/TE1_BI	P11_6	入力	
M4	P11_12/S_A13/TA1_I12/TA1_O12/CSI1F_CS2	P11_12	入力	
M5	P11_13/S_A14/TA1_I13/TA1_O13/CSI1F_CS3	P11_13	入力	
M18	P2_7/P_WR/P_RW/NTP19	P2_7	入力	
M19	P3_0/P_A0/TA1_I0/TA1_O0/TE1_TI0/INTP18	P3_0	入力	
M21	P3_1/P_A1/TA1_I1/TA1_O1	P3_1	入力	

表 2-8 初期状態と未使用時の端子処理 (6/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
M22	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
N1	P11_9/S_A10/TA1_I9/TA1_O9	P11_9	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
N2	P11_8/S_A9/TA1_I8/TA1_O8/TE1_ZI	P11_8	入力	
N4	P12_1/S_A18/INTP1/CSI1F_CS7/ADCNV1	P12_1	入力	
N5	P12_2/S_A19/INTP2/ADCNV2/CSI0_SSI	P12_2	入力	
N6	IV _{DD}	IV _{DD}	—	
N17	EV _{DD}	EV _{DD}	—	
N18	P2_3/P_ULBE/P_ULWR/INTP15/TJ_I2/TJ_O2	P2_3	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
N19	P2_4/P_UUBE/P_UUWR/INTP16/TJ_I3/TJ_O3	P2_4	入力	
N21	P2_5/P_RD/INTP17	P2_5	入力	
N22	P2_6/P_BUSCLK	P_BUSCLK	出力	オープンにしてください。
P1	P11_11/S_A12/TA1_I11/TA1_O11/CSI1F_CS1	P11_11	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
P2	P11_10/S_A11/TA1_I10/TA1_O10/CSI1F_CS0	P11_10	入力	
P4	P12_7/S_A24/INTP7/SO2F	P12_7	入力	
P5	P12_8/S_A25/INTP8/SI2F/RXD2F/SDA2	P12_8	入力	
P6	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
P17	V _{SS}	V _{SS}	—	
P18	P0_1/P_D1/TA0_I1/TA0_O1	P0_1	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
P19	P0_0/P_D0/TA0_I0/TA0_O0/TE0_TI0	P0_0	入力	
P21	P2_1/P_LLBE/P_LLWR/INTP13/TJ_I0/TJ_O0	P2_1	入力	
P22	P2_2/P_LUBE/P_LUWR/INTP14/TJ_I1/TJ_O1	P2_2	入力	
R1	P11_15/S_A16/TA1_I15/TA1_O15/CSI1F_CS5	P11_15	入力	
R2	P11_14/S_A15/TA1_I14/TA1_O14/CSI1F_CS4	P11_14	入力	
R4	P10_7/S_CS3/S_SDCS/INTP26/CSI1F_RYI/CSI1F_RYO	P10_7	入力	
R5	V _{SS}	V _{SS}	—	
R6	V _{SS}	V _{SS}	—	
R17	V _{SS}	V _{SS}	—	
R18	P0_5/P_D5/TA0_I5/TA0_O5	P0_5	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
R19	P0_4/P_D4/TA0_I4/TA0_O4/TE0_AI	P0_4	入力	
R21	P0_3/P_D3/TA0_I3/TA0_O3	P0_3	入力	
R22	P0_2/P_D2/TA0_I2/TA0_O2/TE0_TI1	P0_2	入力	
T1	P12_3/S_A20/INTP3/CSI0_RYI/CSI0_RYO	P12_3	入力	
T2	P12_0/S_A17/INTP0/CSI1F_CS6/ADCNV0	P12_0	入力	
T4	P10_11/S_REFRQ/TA3_I15/TA3_O15/CSI2F_RYI/CSI2F_RYO	P10_11	入力	
T5	EV _{DD}	EV _{DD}	—	常に電源に接続してください。
T6	EV _{DD}	EV _{DD}	—	
T17	IV _{DD}	IV _{DD}	—	

表 2-8 初期状態と未使用時の端子処理 (7/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
T18	P0_9/P_D9/TA0_I9/TA0_O9	P0_9	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
T19	P0_8/P_D8/TA0_I8/TA0_O8/TE0_ZI	P0_8	入力	
T21	P0_7/P_D7/TA0_I7/TA0_O7	P0_7	入力	
T22	P0_6/P_D6/TA0_I6/TA0_O6/TE0_BI	P0_6	入力	
U1	P12_5/S_A22/INTP5/SI0/RXD0	P12_5	入力	
U2	P12_4/S_A21/INTP4/SO0	P12_4	入力	
U4	P10_10/S_HLDRQ/TA3_I14/TA3_O14/SCK2/TXD2	P10_10	入力	
U5	P10_9/S_HLDAK/TA3_I13/TA3_O13/SO2/INTP27	P10_9	入力	
U6	IV _{DD}	IV _{DD}	—	常に電源に接続してください。
U7	V _{SS}	V _{SS}	—	
U8	EV _{DD}	EV _{DD}	—	
U9	V _{SS}	V _{SS}	—	常にグランドに直接接続してください。
U10	DV _{DD}	DV _{DD}	—	常に電源に接続してください。
U13	V _{SS}	V _{SS}	—	常にグランドに直接接続してください。
U14	PLL _{VDD}	PLL _{VDD}	—	常に電源に接続してください。
U15	PLL _{VSS}	PLL _{VSS}	—	常にグランドに直接接続してください。
U16	IV _{DD}	IV _{DD}	—	常に電源に接続してください。
U17	EV _{DD}	EV _{DD}	—	
U18	V _{SS}	V _{SS}	—	常にグランドに直接接続してください。
U19	P0_12/P_D12/TA0_I12/TA0_O12	P0_12	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
U21	P0_11/P_D11/TA0_I11/TA0_O11	P0_11	入力	
U22	P0_10/P_D10/TA0_I10/TA0_O10	P0_10	入力	
V1	P12_6/S_A23/INTP6/SCK0/TXD0/ADTRG11	P12_6	入力	
V2	P12_9/S_A26/INTP9/SCK2F/TXD2F/SCL2/ADTRG21	P12_9	入力	
V4	P10_8/S_WAIT/SI2/RXD2	P10_8	入力	
V5	P14_0/ANI06	P14_0	入力	個別に抵抗を介して AV _{DD} または AV _{SS} に接続してください。
V6	P14_4/ANI10	P14_4	入力	
V7	ANI04	ANI04	入力	
V8	ANI00	ANI00	入力	
V9	MDO6	MDO6	出力	オープンにしてください。
V10	MDO2	MDO2	出力	
V11	EVTO	EVTO	出力	
V12	DV _{DD}	DV _{DD}	—	常に電源に接続してください。
V13	V _{SS}	V _{SS}	—	常にグランドに直接接続してください。
V14	TRST	TRST	入力	個別に抵抗を介して V _{SS} に接続してください。

表 2-8 初期状態と未使用時の端子処理 (8/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法	
		機能	入出力		
V15	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。	
V16	IV _{DD}	IV _{DD}	—	常に電源に接続してください。	
V17	EV _{DD}	EV _{DD}	—		
V18	V _{SS}	V _{SS}	—		
V19	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。	
V21	P0_14/P_D14/TA0_I14/TA0_O14	P0_14	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。	
V22	P0_13/P_D13/TA0_I13/TA0_O13	P0_13	入力		
W1	P10_4/S_CS0/TA3_I10/TA3_O10/INTP19/CSI2_SSI	P10_4	入力		
W2	P10_5/S_CS1/TA3_I11/TA3_O11/INTP24/CSI2_RYI/CSI2_RYO	P10_5	入力		
W4	P13_1/S_CS3/S_DMAAK0/ADTRG00/INTP0/CSI5_RYI/CSI5_RYO	P13_1	入力		
W5	P14_1/ANI07	P14_1	入力		個別に抵抗を介して AV _{DD} または AV _{SS} に接続してください。
W6	P14_5/ANI11	P14_5	入力		
W7	ANI05	ANI05	入力		
W8	ANI01	ANI01	入力		
W9	MDO7	MDO7	出力	オープンにしてください。	
W10	MDO3	MDO3	出力		
W11	EVTI	EVTI	入力	個別に抵抗を介して DV _{DD} に接続してください。	
W12	MSEO0	MSEO0	出力	オープンにしてください。	
W13	TDO/FLSO	TDO	出力		
W14	TDI/FLRXD/FLSI	TDI	入力	個別に抵抗を介して DV _{DD} に接続してください。	
W15	TMS	TMS	入力		
W16	P2_0/NMI	P2_0	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。	
W17	P1_13/P_D29/TA2_I13/TA2_O13	P1_13	入力		
W18	EV _{DD}	EV _{DD}	—	常に電源に接続してください。	
W19	P1_6/P_D22/TA2_I6/TA2_O6/ESO3	P1_6	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。	
W21	P1_0/P_D16/TA2_I0/TA2_O0/ADCNV0	P1_0	入力		
W22	P0_15/P_D15/TA0_I15/TA0_O15	P0_15	入力		
Y1	P10_6/S_CS2/TA3_I12/TA3_O12/INTP25/CSI1F_SSI	P10_6	入力		
Y2	P13_7/CAN1RXD/SI5/RXD5/SDA5	P13_7	入力		
Y21	P1_2/P_D18/TA2_I2/TA2_O2/ADCNV2	P1_2	入力		
Y22	P1_1/P_D17/TA2_I1/TA2_O1/ADCNV1	P1_1	入力		
AA1	P13_6/CAN1TXD/SCK5/TXD5/SCL5/INTP4	P13_6	入力		
AA2	P13_5/CAN0RXD/SI1F/RXD1F/SDA1	P13_5	入力		
AA3	P13_3/S_DMAAK1/SO5/INTP2/OCI	P13_3	入力		
AA4	V _{SS}	V _{SS}	—		常にグラウンドに直接接続してください。

表 2-8 初期状態と未使用時の端子処理 (9/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
AA5	P14_2/ANI08	P14_2	入力	個別に抵抗を介して AV _{DD} または AV _{SS} に接続してください。
AA6	AV _{REFM}	AV _{REFM}	入力	AV _{SS} に直接接続してください。
AA7	AV _{REFP}	AV _{REFP}	入力	AV _{DD} に直接接続してください。
AA8	ANI02	ANI02	入力	個別に抵抗を介して AV _{DD} または AV _{SS} に接続してください。
AA9	IV _{DD}	IV _{DD}	—	常に電源に接続してください。
AA10	MDO4	MDO4	出力	オープンにしてください。
AA11	MDO0	MDO0	出力	
AA12	MSEO1	MSEO1	出力	
AA13	TRDY	TRDY	出力	
AA14	OSCV _{DD}	OSCV _{DD}	—	常に電源に接続してください。
AA15	X2	X2	—	—
AA16	FLMD1	FLMD1	入力	バウンダリ・スキャン・モード時以外は、個別に抵抗を介して V _{SS} に接続してください。
AA17	P1_14/P_D30/TA2_I14/TA2_O14	P1_14	入力	個別に抵抗を介して EV _{DD} または V _{SS} に接続してください。
AA18	P1_11/P_D27/TA2_I11/TA2_O11	P1_11	入力	
AA19	P1_9/P_D25/TA2_I9/TA2_O9	P1_9	入力	
AA20	P1_7/P_D23/TA2_I7/TA2_O7	P1_7	入力	
AA21	P1_4/P_D20/TA2_I4/TA2_O4/ESO1	P1_4	入力	
AA22	P1_3/P_D19/TA2_I3/TA2_O3/ESO0	P1_3	入力	
AB2	P13_4/CAN0TXD/SCK1F/TXD1F/SCL1/INTP3	P13_4	入力	
AB3	P13_0/S_DMARQ0/ADTRG01/UCLK/CSI5_SSI	P13_0	入力	
AB4	P13_2/S_DMARQ1/SO1F/INTP1/PPON	P13_2	入力	
AB5	P14_3/ANI09	P14_3	入力	
AB6	AV _{SS}	AV _{SS}	—	常にグラウンドに直接接続してください。
AB7	AV _{DD}	AV _{DD}	—	常に電源に接続してください。
AB8	ANI03	ANI03	入力	個別に抵抗を介して AV _{DD} または AV _{SS} に接続してください。
AB9	V _{SS}	V _{SS}	—	常にグラウンドに直接接続してください。
AB10	MDO5	MDO5	出力	オープンにしてください。
AB11	MDO1	MDO1	出力	
AB12	MCKO	MCKO	出力	

表 2-8 初期状態と未使用時の端子処理 (10/10)

ピン番号	名称	初期状態		未使用時の推奨接続方法
		機能	入出力	
AB13	TCK/FLSCK	TCK	入力	個別に抵抗を介して DV_{DD} に接続してください。
AB14	OSCV _{SS}	OSCV _{SS}	—	常にグランドに直接接続してください。
AB15	X1	X1	入力	—
AB16	RESET	RESET	入力	—
AB17	P1_15/P_D31/TA2_I15/TA2_O15	P1_15	入力	個別に抵抗を介して EV_{DD} または V_{SS} に接続してください。
AB18	P1_12/P_D28/TA2_I12/TA2_O12	P1_12	入力	
AB19	P1_10/P_D26/TA2_I10/TA2_O10	P1_10	入力	
AB20	P1_8/P_D24/TA2_I8/TA2_O8	P1_8	入力	
AB21	P1_5/P_D21/TA2_I5/TA2_O5/ESO2	P1_5	入力	

2.6 端子の入力回路タイプ

2.6.1 ポート入力およびポート兼用機能入力端子の入力回路タイプ

ポート機能の制御レジスタである PIS, PISE, PISA レジスタによって次のようになります。

表 2-9 入出力回路タイプ（ポート入力／兼用機能入力）

PISnm	PISEnm	PISAnm	入力回路タイプ
0	0	0	CMOS
1	0	0	シュミット2
0	1	0	シュミット1
×	×	1	LVTTL
上記以外, 設定禁止			

備考 各端子の設定は、8.4.4 「V850E2/MN4 ポート制御レジスタ設定一覧」を参照してください。

2.6.2 その他の入力端子の入力回路タイプ

2.6.1 「ポート入力およびポート兼用機能入力端子の入力回路タイプ」以外の入力端子の入力回路タイプを次に示します。

表 2-10 その他の入力端子の入力回路タイプ

ピン番号	端子名称	入力回路タイプ
AB16	RESET	シュミット2

第3章 動作モード

3.1 特徴

- FLMD0, FLMD1, MODE2, MODE3 端子入力レベルにより指定
- 3種類の動作モード
 - 通常動作モード（シングルチップ・モード）
 - フラッシュ・メモリ・プログラミング・モード
 - バウンダリ・スキャン・モード

3.2 動作モード

3.2.1 通常動作モード

システム・リセット解除後、内蔵フラッシュ・メモリへのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

3.2.2 フラッシュ・メモリ・プログラミング・モード

フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラミングが可能になります。

3.2.3 バウンダリ・スキャン・モード

IEEE1149.1 で規定されたテスト方法で、応用システムの基板上に実装されたデバイス間の接続チェックを行うことができます。

3.3 動作モード指定

FLMD0, FLMD1, MODE2, MODE3 端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません（ただし、フラッシュ・メモリ・セルフ・プログラミングにおける FLMD0 端子の変更は除きます）。

表 3-1 動作モード

FLMD0	FLMD1	MODE2	MODE3	動作モード
L	L	L	L	通常動作モード
H	L	L	L	フラッシュ・メモリ・プログラミング・モード
H	H	L	L	バウンダリ・スキャン・モード
上記以外				設定禁止

備考 L：ロウ・レベル
H：ハイ・レベル

第4章 CPU

4.1 特徴

- V850E2M CPU コア
- 保護機能
 - システム・レジスタ保護
 - メモリ保護
 - 周辺装置保護
 - タイミング監視
- システム・バスのマルチレイヤ化
- マルチプロセッサ（デュアル・コア）構成^a
 - V850E2M CPU コアを最大で2個搭載
 - マルチプロセッサ・サポート

^{a)} μ PD70F3514, 70F3515 のみ

4.2 構成

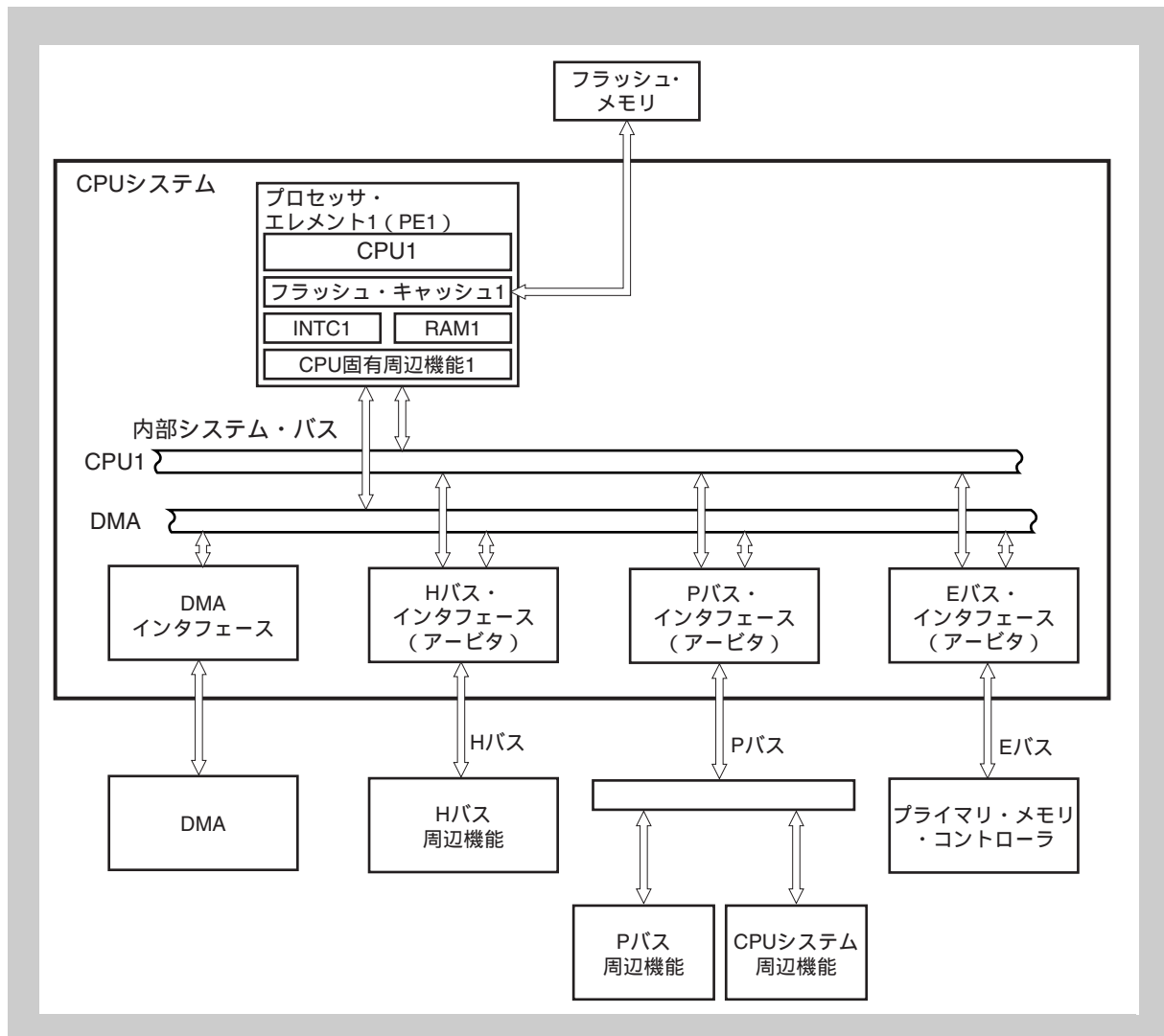


図 4-1 CPU システム構成 (シングル・コア)

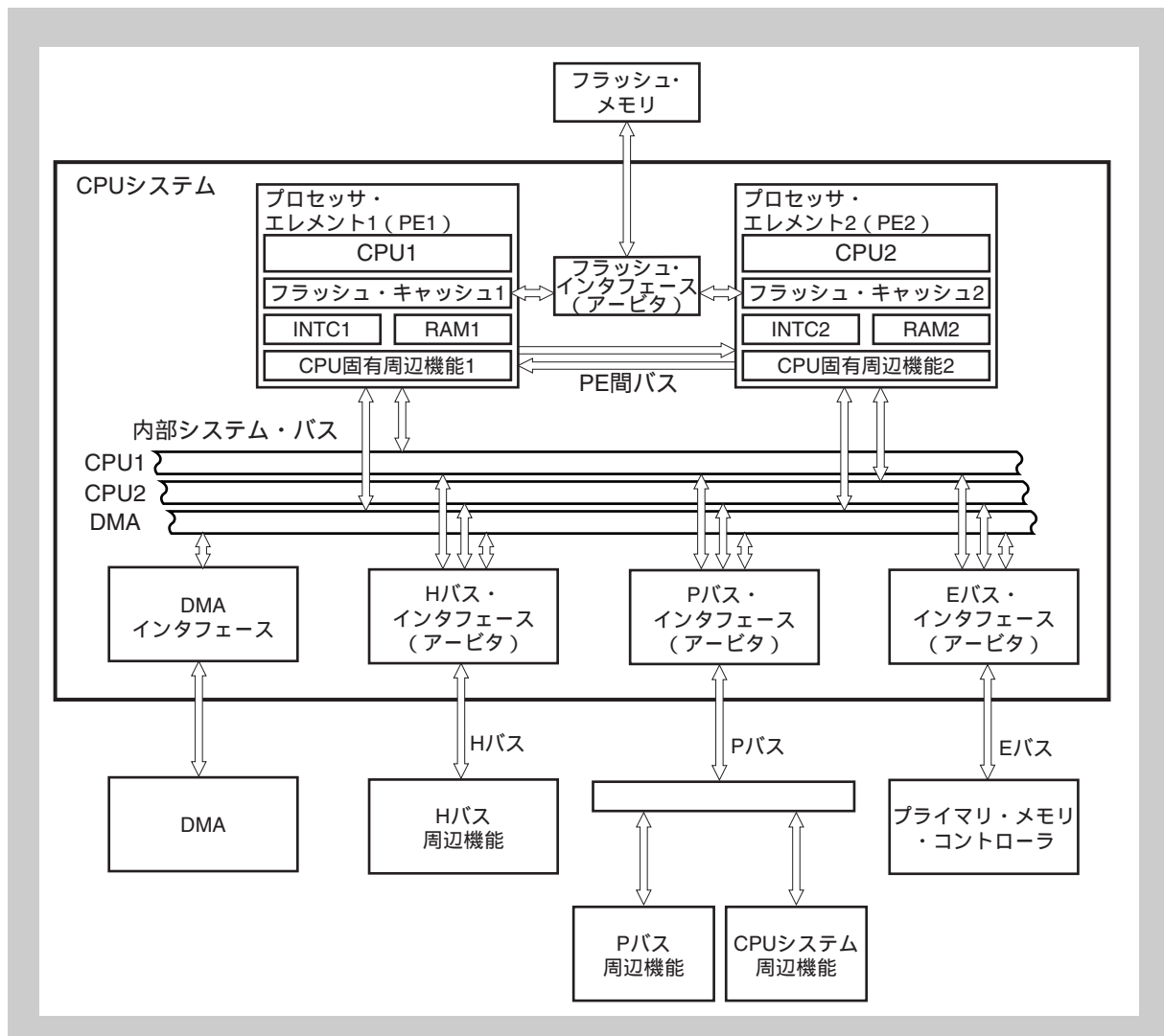


図 4-2 CPU システム構成 (デュアル・コア)

4.3 CPU コア

V850E2/MN4 の CPU は V850E2M CPU を採用しています。

V850E2M CPU は V850E2v3 アーキテクチャに準拠し、高性能、高機能、高信頼性をコンセプトに設計された、組み込みシステムにおける機器制御用マイコン向け CPU です。7 段パイプライン制御によりアドレス計算、算術論理演算、データ転送などのほとんどの命令処理を 1 クロックで実行します。

また、V850E2M CPU は、V850 CPU、V850E1 CPU、V850E2 CPU に対して、オブジェクト・コード・レベルでの上位互換性を持たせているため、従来のシステムのソフトウェア資産をそのまま使用できます。

V850E2M CPU の詳細は、**V850E2M アーキテクチャ編 ユーザーズ・マニュアル (R01US0001J)** を参照してください。

4.4 アドレス空間

4.4.1 CPU アドレス空間

V850E2M CPU は 32 ビット・アーキテクチャであり、最大 4G バイトのリニア・アドレス空間をサポートしています。

ただし、本製品では、命令フェッチ・アドレス、データ・アクセス・アドレスが 29 ビットとなっており、アクセス可能なアドレス範囲は、プログラム空間とデータ空間共に最大 512 M バイトをサポートしています。

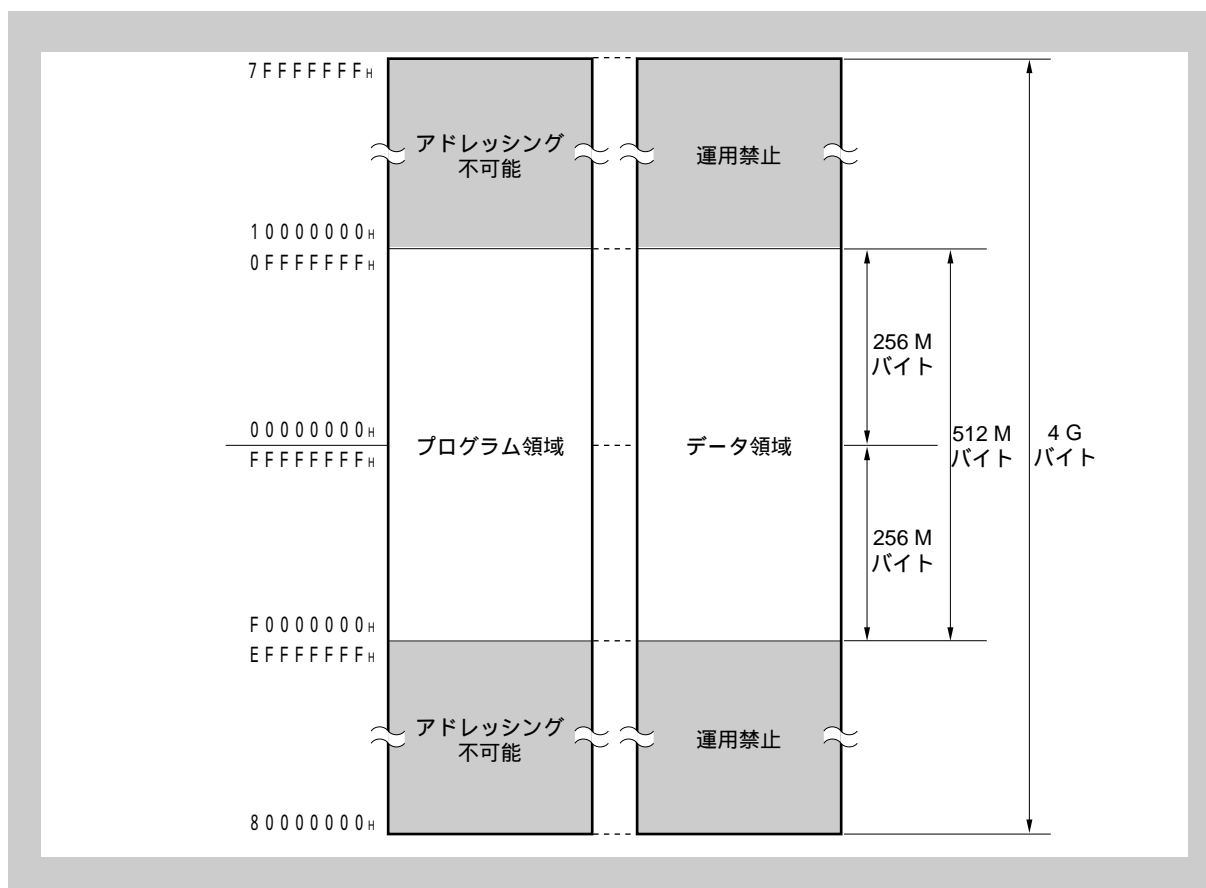


図 4-3 CPU アドレス空間

★

命令アドレスのアドレッシングにおいては、命令アドレスを保持するレジスタの上位 3 ビットには、29 ビット目が符号拡張された値が自動的に設定されます。従って、アドレッシング可能な範囲は、00000000_H-0FFFFFFF_H および F0000000_H-FFFFFFF_H となります（最下位ビットは常に 0）。命令および SWITCH, CALLT, SYSCALL 命令で参照するテーブルは、必ずこの命令アドレッシング可能なアドレス範囲に配置してください。

データ・アクセスは、物理的に配置された 512 M バイトを越える領域へのアドレッシングでは、上位 3 ビットの除いたアドレスによってミラーリングされるため、4 G バイト空間のどこに配置してもアクセスが可能です。しかし、将来的な互換性維持のため、このようなミラーリングを前提としたデータ・アドレッシングを運用することは禁止とします。

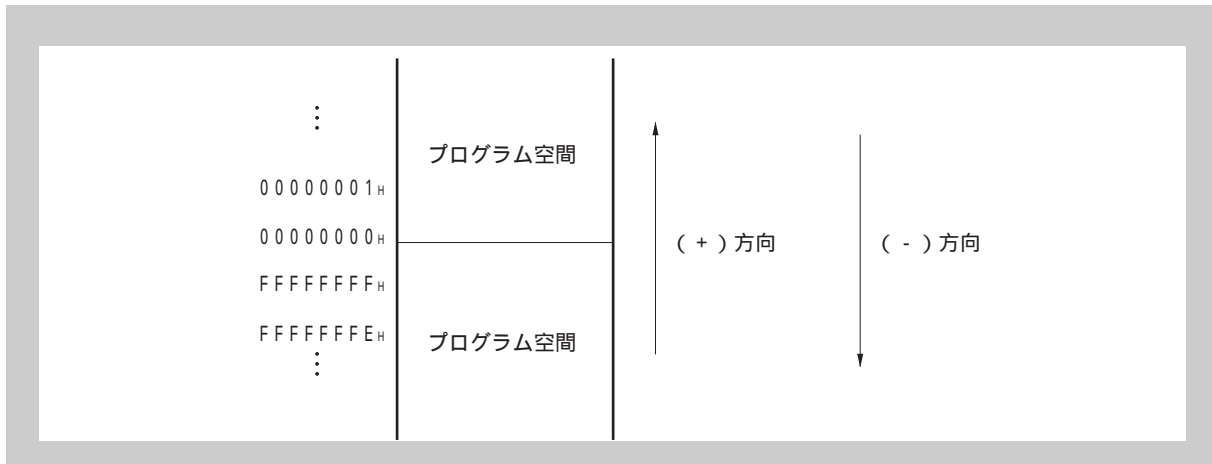
4.4.2 CPU アドレス空間のラップ・アラウンド

★

(1) プログラム空間

命令アドレスのアドレッシングにおいては、命令アドレスを保持するレジスタの上位3ビットには、29ビット目が符号拡張された値が自動的に設定されます。

したがって、プログラム空間の上限の FFFFFFFFH 番地と、下限である 00000000H 番地は連続したアドレスになり、この境界でラップ・アラウンドします。



★

図 4-4 プログラム空間のラップ・アラウンド

(2) データ空間

オペランド・アドレス計算で 29 ビットを越える演算結果は無視します。

したがって、データ空間の上限の FFFFFFFFH 番地と、下限である 00000000H 番地は連続したアドレスになり、この境界でラップ・アラウンドします。

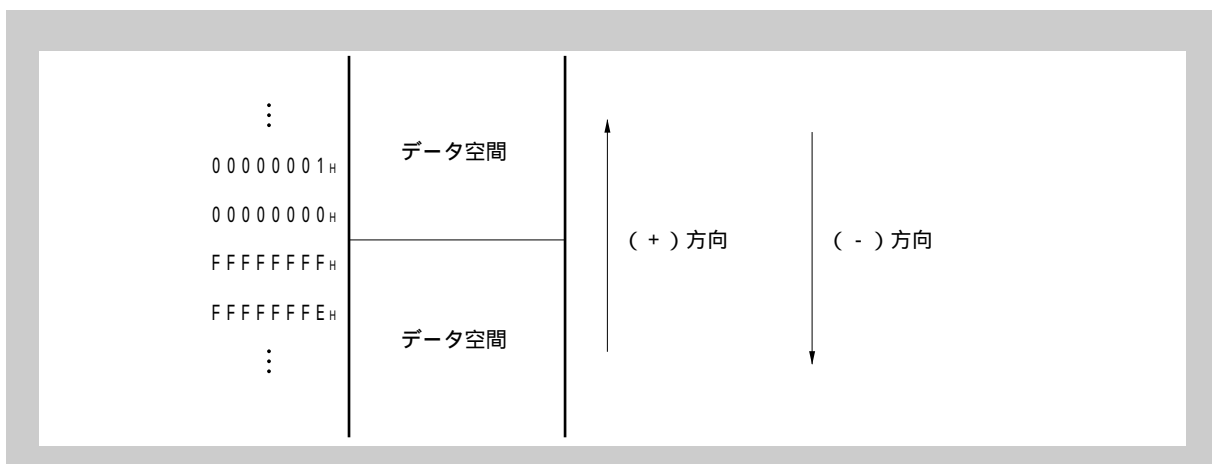


図 4-5 データ空間のラップ・アラウンド

4.4.3 メモリ・マップ

V850E2/MN4 では、次に示すように領域を予約しています。

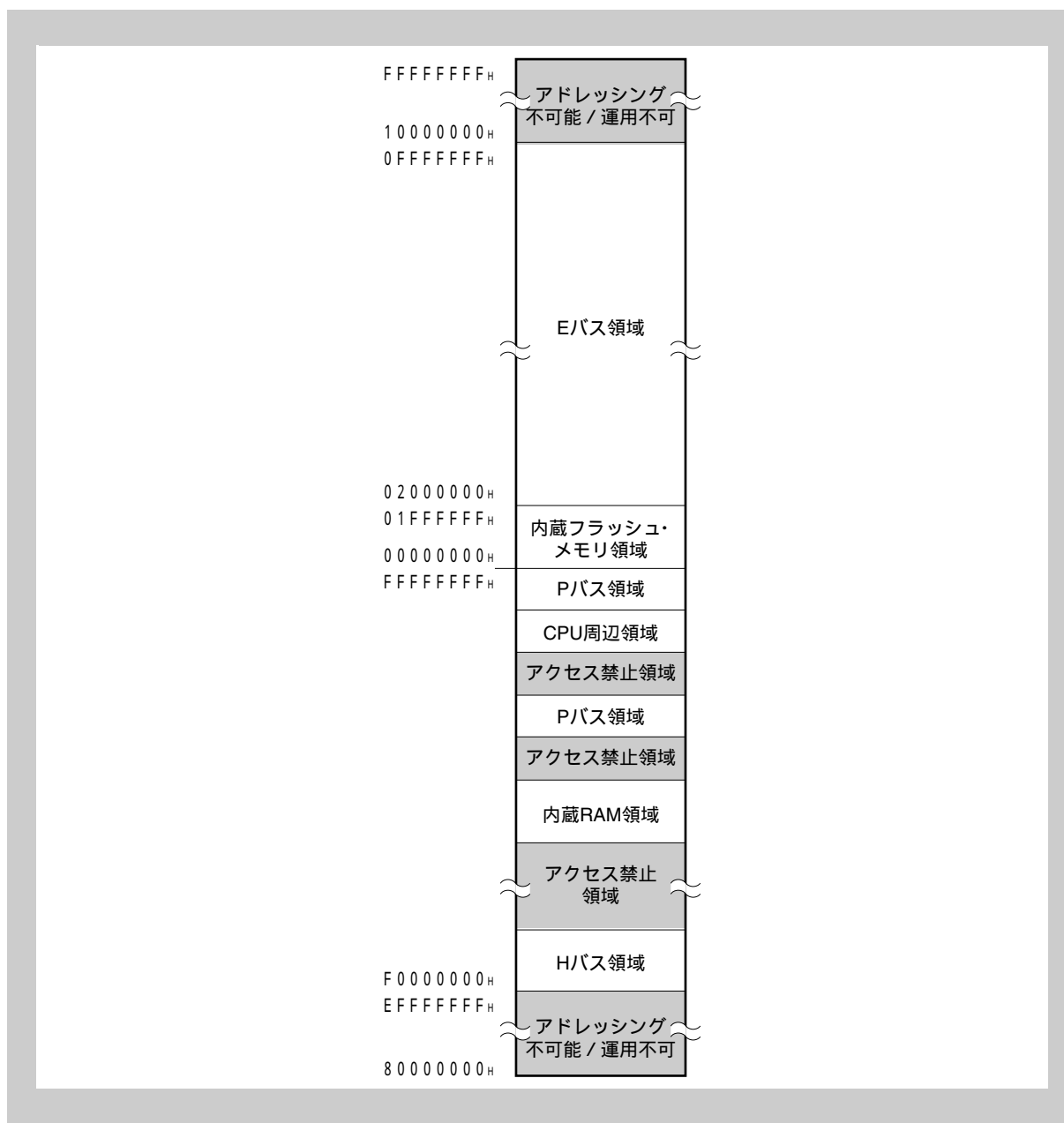


図 4-6 メモリ・マップ

4.4.4 領域

(1) 内蔵フラッシュ・メモリ領域

内蔵フラッシュ・メモリ領域は、00000000_H - 01FFFFFF_H 番地の 32 M バイトが予約されています。

(a) 内蔵フラッシュ・メモリ (1 M バイト)

次の製品には 00000000_H - 000FFFFFF_H 番地に 1M バイト実装しています。

00100000_H - 01FFFFFF_H 番地はアクセス禁止です。

- μ PD70F3510, 70F3512, 70F3514

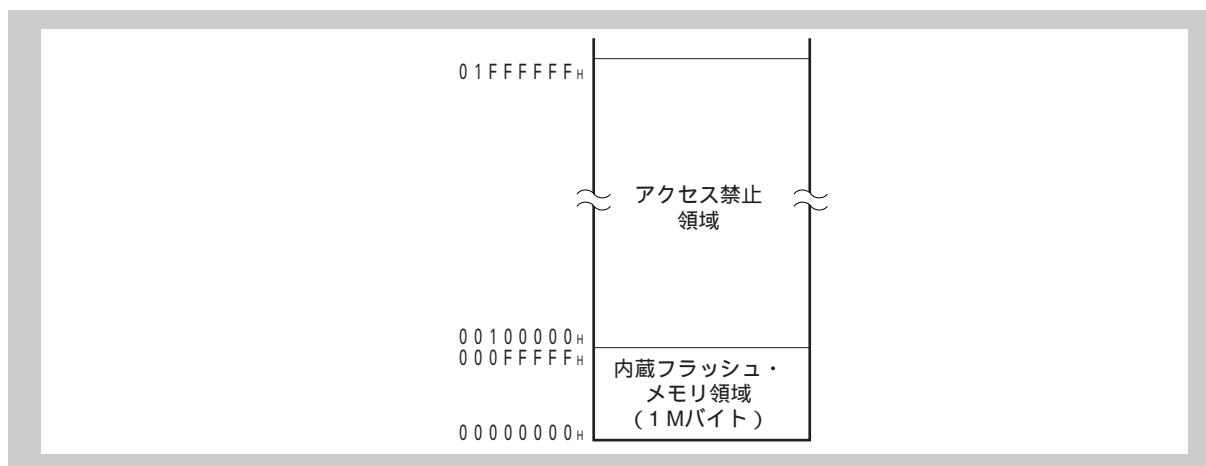


図 4-7 内蔵フラッシュ・メモリ領域 (1 M バイト)

(b) 内蔵フラッシュ・メモリ (2 M バイト)

次の製品には 00000000_H - 001FFFFFF_H 番地に 2M バイト実装しています。

00200000_H - 01FFFFFF_H 番地はアクセス禁止です。

- μ PD70F3515

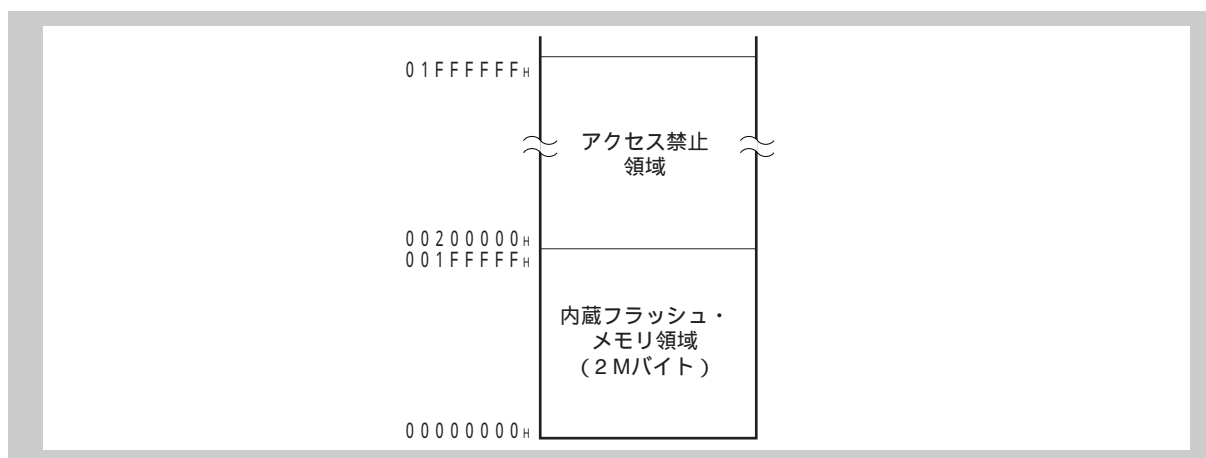


図 4-8 内蔵フラッシュ・メモリ領域 (2 M バイト)

(2) 内蔵 RAM 領域

内蔵 RAM 領域は、FEA00000_H - FEDFFFFFF_H 番地の 4 M バイトが予約されています。

(a) 内蔵 RAM (64 K バイト)

次の製品には FEDF0000_H - FEDFFFFFF_H 番地に 64 K バイト実装しています。

FEA00000_H - FEDEFFFFFF_H 番地はアクセス禁止です。

- μ PD70F3510, 70F3512

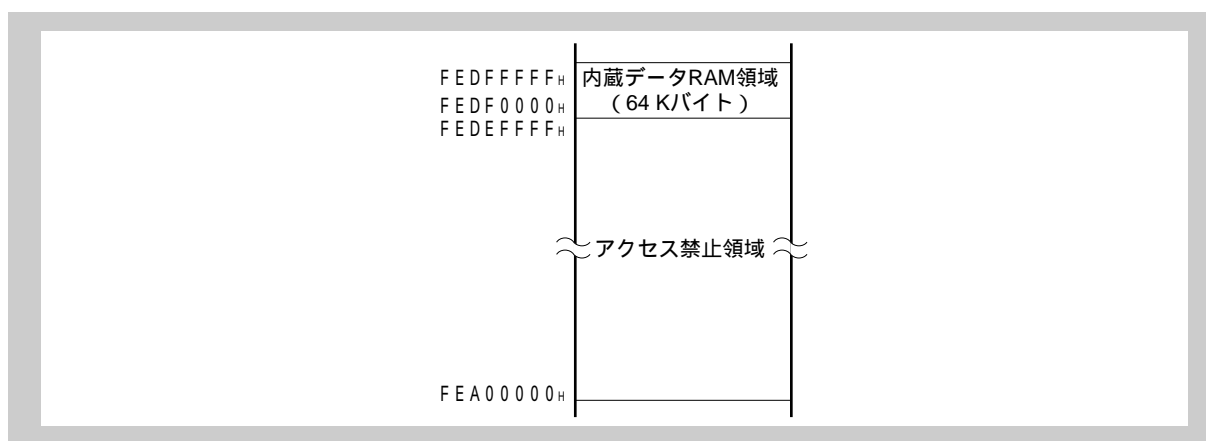


図 4-9 内蔵 RAM 領域 (64 K バイト)

(b) 内蔵 RAM (64 K バイト × 2)

次の製品には FEDF0000_H - FEDFFFFFF_H 番地および FEBF0000_H - FEBFFFFFF_H 番地に 64 K バイトずつ実装しています。

FEC00000_H - FEDEFFFFFF_H 番地および FEA00000_H - FEBEFFFFFF_H 番地はアクセス禁止です。

- μ PD70F3514, 70F3515

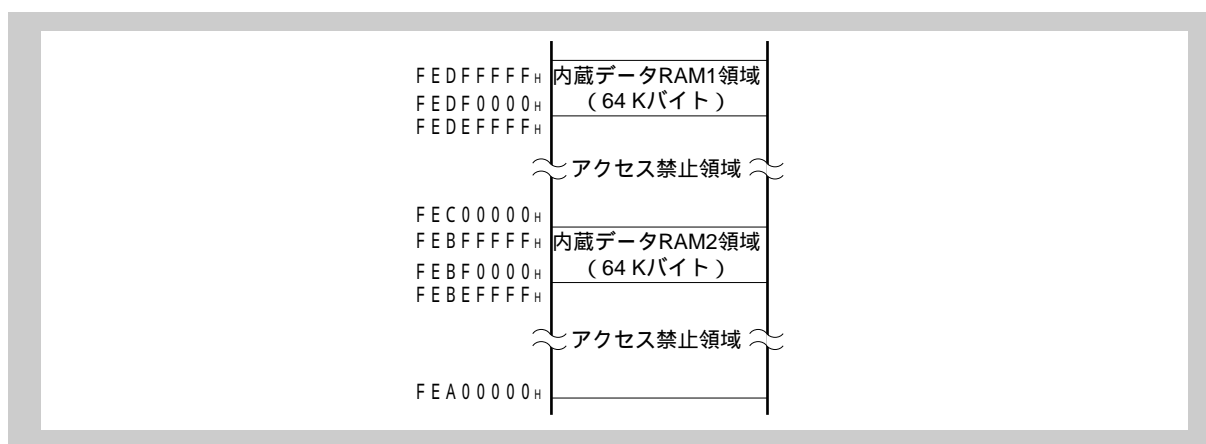


図 4-10 内蔵 RAM 領域 (64 K バイト × 2)

(3) 外部メモリ領域と内蔵周辺 I/O 領域**(a) CPU 周辺**

CPU 固有周辺機能および CPU システム周辺機能用の領域として、 $FFFF5000_H$ - $FFFF7FFF_H$ 番地の 12K バイトを実装しています。

内蔵周辺 I/O には、内蔵周辺 I/O の動作モード指定、状態モニタリングなどの機能を割り付けた周辺 I/O レジスタがマッピングされています。

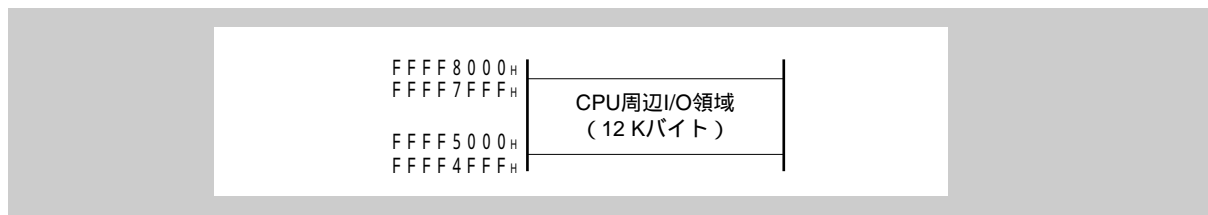


図 4-11 内蔵周辺 I/O 領域 (12 K バイト)

(b) E バス

この領域は、プライマリ・メモリ・コントローラ用の外部メモリ領域として 224 M バイトあります。外部メモリ領域は、 02000000_H - $0FFFFFFF_H$ 番地です。

外部メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します。

表 4-1 CS 空間 (E バス)

CS	アドレス	サイズ
P_CS1	02000000_H - $03FFFFFF_H$	32 M バイト
P_CS2	04000000_H - $07FFFFFF_H$	64 M バイト
P_CS3	08000000_H - $0BFFFFFF_H$	64 M バイト
P_CS4	$0C000000_H$ - $0FFFFFFF_H$	64 M バイト

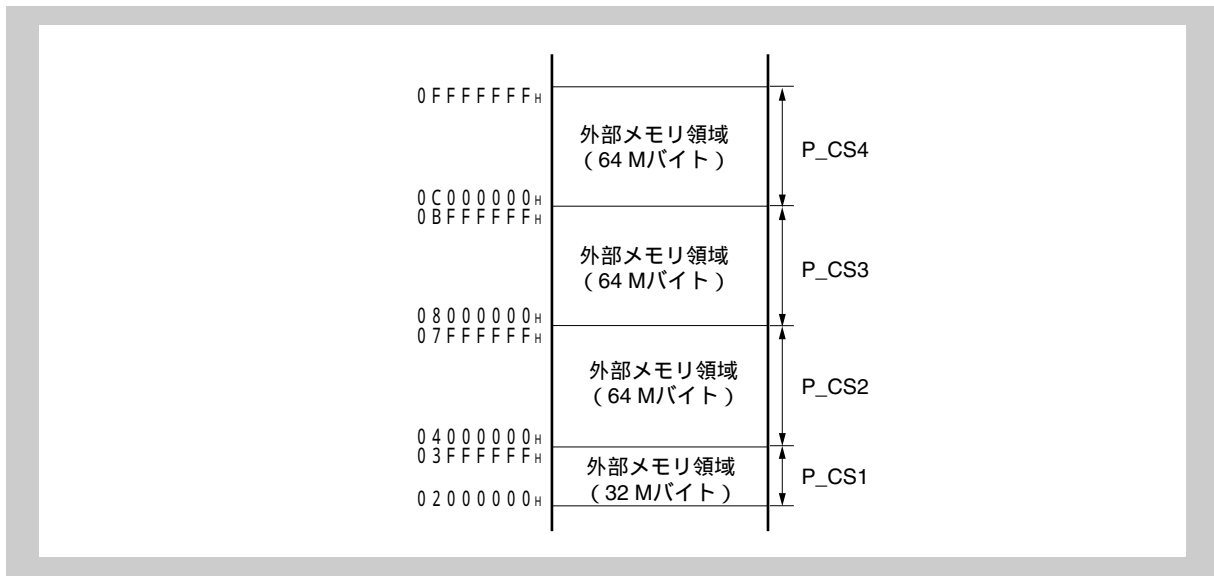


図 4-12 CS 空間 (E バス)

(c) P バス

P バス用の領域として、FFFF8000_H-FFFFFFF_H 番地の 32 K バイトおよび、FF400000_H-FF83FFF_H 番地の 4 M + 256 K バイトを実装しています。

内蔵周辺 I/O には、内蔵周辺 I/O の動作モード指定、状態モニタリングなどの機能を割り付けた周辺 I/O レジスタがマッピングされています。

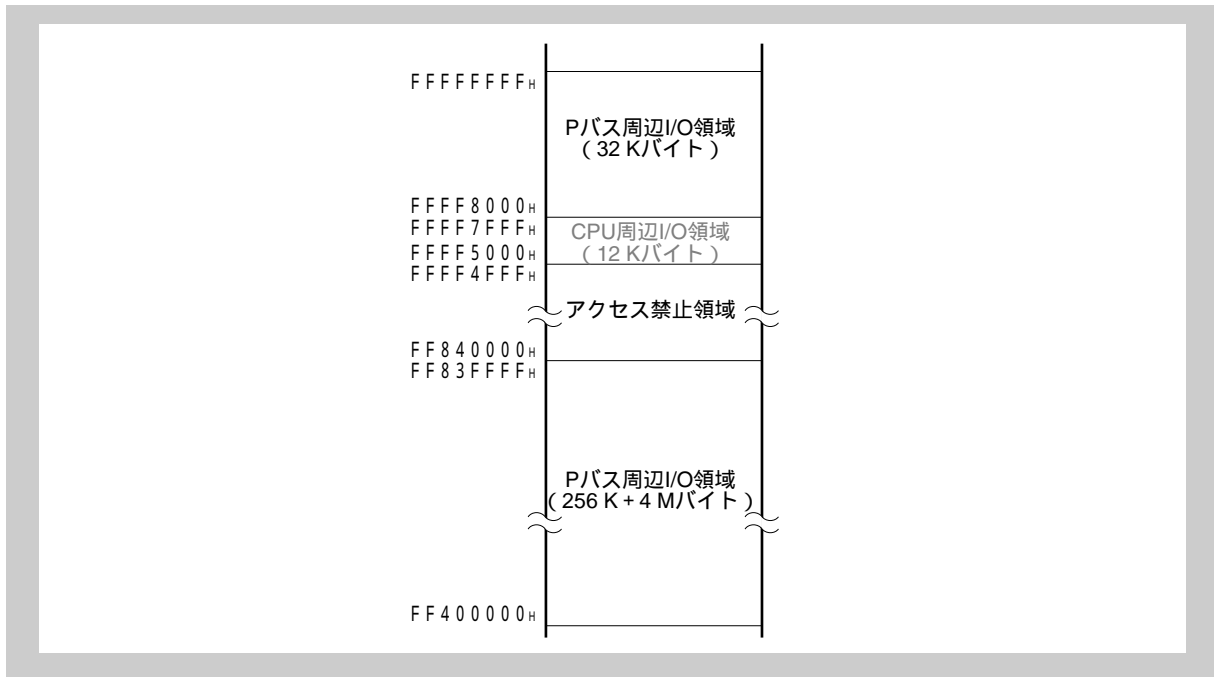


図 4-13 内蔵周辺 I/O 空間 (P バス)

(d) Hバス

Hバス用の内蔵周辺 I/O 領域として、F0000000_H-F9FFFFFF_H 番地の 160 M バイトを実装しています。

内蔵周辺 I/O には、内蔵周辺 I/O の動作モード指定、状態モニタリングなどの機能を割り付けた周辺 I/O レジスタがマッピングされています。

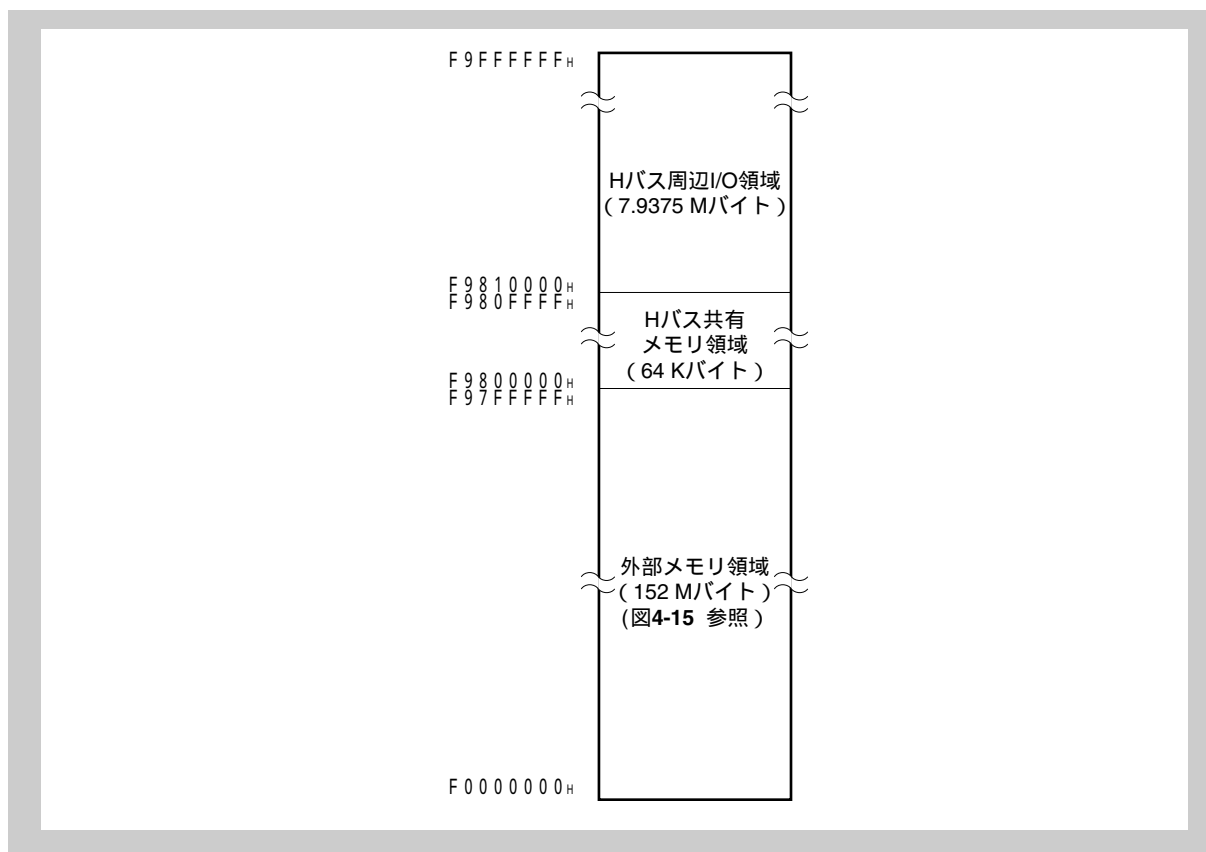


図 4-14 メモリ・マップ (Hバス)

また、この領域は、セカンダリ・メモリ・コントローラ用の外部メモリ領域として 152 M バイトあります。外部メモリ領域は、F0000000_H- F97FFFFF_H 番地です。

外部メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します。

表 4-2 CS 空間 (H バス)

CS	アドレス	サイズ
S_SDCS	F0000000 _H -F7FFFFFF _H	128 M バイト
S_CS0	F8000000 _H -F8FFFFFF _H	16 M バイト
S_CS1	F9000000 _H -F93FFFFF _H	4 M バイト
S_CS2	F9400000 _H -F95FFFFF _H	2 M バイト
S_CS3	F9600000 _H -F97FFFFF _H	2 M バイト

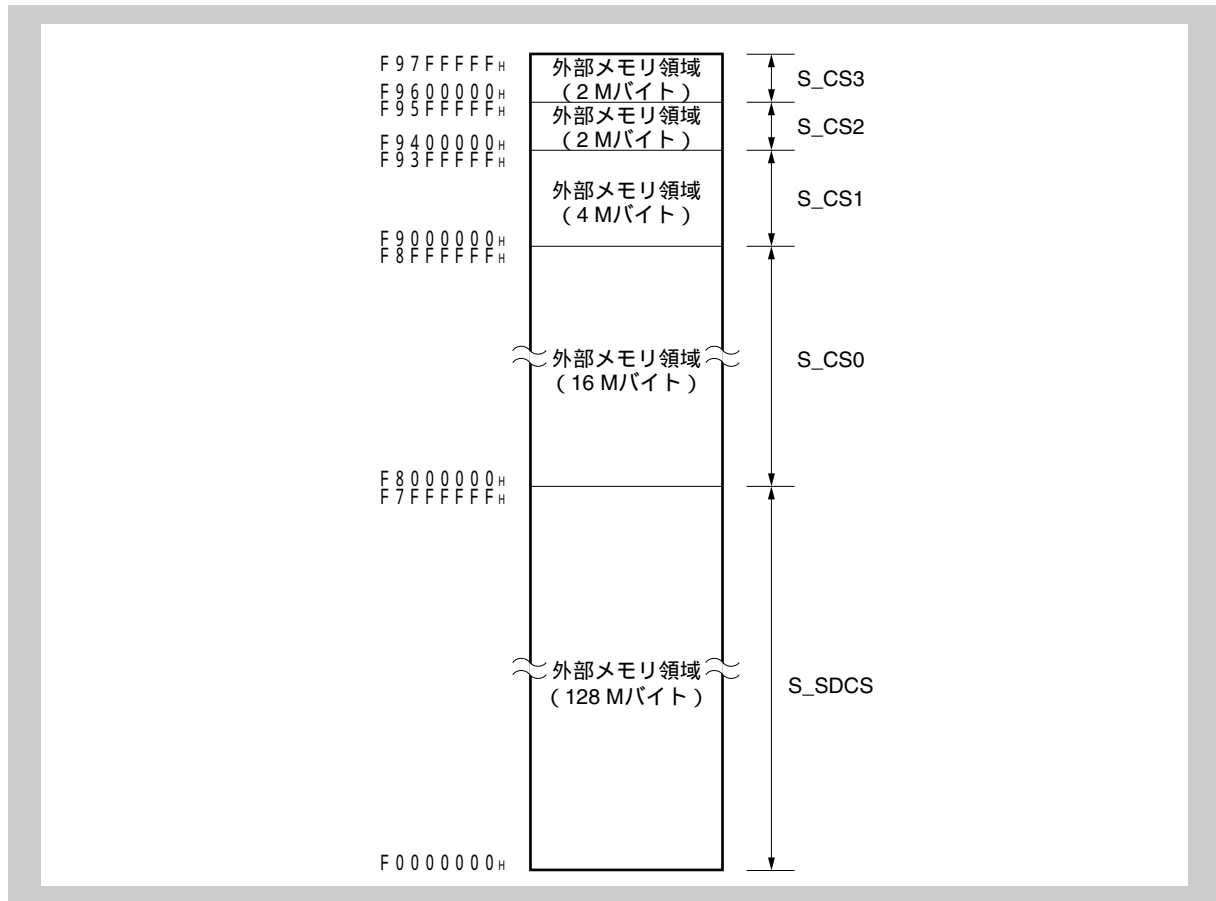


図 4-15 外部メモリ領域 (H バス)

4.5 プロセッサ・エレメント (PE)

CPU, フラッシュ・キャッシュ, RAM, 割り込みコントローラ, CPU 固有周辺機能を接続したものを PE (プロセッサ・エレメント) とよび, V850E2/MN4 では最大で PE1, PE2 の 2 つの PE を搭載しています。

次に示す各 PE ごとに搭載している機能は, I/O が同一のアドレス空間に割り当てられていますが, 実体が異なります。

- フラッシュ・キャッシュ
- 割り込みコントローラ
- CPU 固有周辺機能

詳細は 4.9.1 (3) 「CPU 固有周辺機能と CPU システム周辺機能」を参照してください。

4.6 バス・アーキテクチャ

4.6.1 内部システム・バス

各 PE および DMA と P バス, H バスおよび E バスを接続する内部システム・バスです。本内部システム・バスはマルチレイヤ構造になっており, PE1 と PE2 と DMA がそれぞれ専用のレイヤを持ちます。これにより, 各 PE と DMA が異なるバス (P バス / H バス / E バス) に対して, 同時にアクセスできます。なお, 同一バスへのアクセスが競合した場合は, 各バス・インタフェースにてアービトレーションが行われます。

4.6.2 P バス

P バス周辺 (TAUA, TAUJ, ENCA, OSTM, WDTA, ADCA, Port, UARTE, UARTJ, CSIG, CSIH, I2CB, FCN) が接続されるバスです。

4.6.3 H バス

H バス共有メモリ, H バス・メモリ・サイド・キャッシュ, セカンダリ・メモリ・コントローラ, USB ファンクション・コントローラ, USB ホスト・コントローラ, イーサネット・コントローラが接続されるバスです。

(1) 初期設定

H バスを使用するには初期設定が必要です。リセット後, H バスにアクセスする前に次の手順で設定してください。

<1>ETARCFG0 レジスタで領域を通常アクセスに設定する
MODE ビット (ビット 7-4) を 0000_B (通常アクセス) に設定

- <2>ETARADRS0 レジスタで領域ベース・アドレスの設定
ビット 28-12 に対象となる領域のベース・アドレスに F0000000_H を設定
- <3>ETARMASK0 レジスタで領域のサイズの設定
ビット 28-12 に対象となる領域のベース・アドレスに対するマスクを 1FFFFFFF_H に設定
- <4>ETARCFG0 レジスタで領域を有効にする。
EN ビット (ビット 0) を 1 (領域有効) に設定

(a) ETA 領域 0 設定レジスタ (ETARCFG0)

ETARCFG0 レジスタは、領域 0 の有効／無効と動作モードの設定をするレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF7140_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 15-1 には 0 を必ず設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
MODE				0	0	0	EN
R/W	R/W	R/W	R/W	R	R	R	R/W

表 4-3 ETARCFG0 レジスタの内容

ビット位置	ビット名	意味
7:4	MODE	領域 0 の動作モードを設定します。 0000 を設定してください。それ以外の値は設定禁止です。
0	EN	領域 0 の有効／無効を設定します。 0 : 無効 1 : 有効

(b) ETA 領域 0 アドレス・レジスタ (ETARADRS0)

ETARADRS0 レジスタは、領域 0 指定するベース・アドレスを設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。ただし、ETARADRS0 レジスタの上位 16 ビットを ETARADRS0H レジスタ、下位 16 ビットを ETARADRS0L レジスタとして使用する場合は 16 ビット単位でリード／ライト可能です。

アドレス ETARADRS0 : FFFF7150_H,
ETARADRS0L : FFFF7150_H, ETARADRS0H : FFFF7152_H

初期値 電源投入時 : 不定

リセット時 : 前置保持。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETARADRS[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETARADRS[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETARADRS[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETARADRS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-4 ETARADRS0 レジスタの内容

ビット位置	ビット名	意味
31:0	ETARADRS [31:0]	領域 0 を指定するベース・アドレスを設定します。 ビット 31- ビット 29 は、ビット 28 を符号とみなし、符号拡張した値が格納されます。 必ず F0000000 _H を設定してください。

(c) ETA 領域 0 マスク・レジスタ (ETARMASK0)

ETARMASK0 レジスタは、領域 0 指定するベース・アドレスに対するマスクを設定するレジスタです。

ETARMASK0 レジスタには、必ず下位側から 1 が連続した値を設定してください。

アクセス 32 ビット単位でリード/ライト可能です。ただし、ETARMASK0 レジスタの上位 16 ビットを ETARMASK0H レジスタ、下位 16 ビットを ETARMASK0L レジスタとして使用する場合は 16 ビット単位でリード/ライト可能です。

アドレス ETARMASK0 : FFFF7154_H,
ETARMASK0L : FFFF7154_H, ETARMASK0H : FFFF7156_H

初期値 電源投入時 : 不定

リセット時 : 前置保持。どのリセット要因でも初期化されません。

31	30	29	28	27	26	25	24
ETARMASK[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETARMASK[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETARMASK[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETARMASK[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-5 ETARMASK0 レジスタの内容

ビット位置	ビット名	意味
31:0	ETARMASK [31:0]	領域 0 を指定するベース・アドレスに対するマスクを設定します。 必ず 1FFFFFF _H を設定してください。

(d) Hバス・ウェイト挿入制限レジスタ (ETAWRL)

ETAWRL レジスタは、Hバスからのウェイト応答挿入の上限値を設定します。

Hバスに接続された周辺機能へのアクセスが、ETAWRL レジスタで指定した以上のサイクル数のウェイトが挿入された場合に、CPUに対してシステム・エラー例外 (SYSERR 例外) を通知します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス FFFF7106_H

初期値 00FF_H どのリセット要因でも初期化されます。

- 注意**
1. システム・エラー例外の許可は SEG_CONT レジスタを参照してください。
 2. セカンダリ・メモリ・コントローラのバス・ホールド機能を使用する場合は、ETAWRL レジスタを 0000_H に設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETAWRL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-6 ETARCFG0 レジスタの内容

ビット位置	ビット名	意味																		
7:0	ETAWRL	Hバスのウェイト応答挿入の上限値を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ETAWRL</th><th>Hバス・ウェイト応答挿入の上限値</th></tr> </thead> <tbody> <tr> <td>0000 0000</td><td>制限なし</td></tr> <tr> <td>0000 0001</td><td>1クロック制限</td></tr> <tr> <td>0000 0010</td><td>2クロック制限</td></tr> <tr> <td>0000 0010</td><td>3クロック制限</td></tr> <tr> <td style="text-align: center;">:</td><td style="text-align: center;">:</td></tr> <tr> <td>11111101</td><td>253クロック制限</td></tr> <tr> <td>11111110</td><td>254クロック制限</td></tr> <tr> <td>11111111</td><td>255クロック制限</td></tr> </tbody> </table>	ETAWRL	Hバス・ウェイト応答挿入の上限値	0000 0000	制限なし	0000 0001	1クロック制限	0000 0010	2クロック制限	0000 0010	3クロック制限	:	:	11111101	253クロック制限	11111110	254クロック制限	11111111	255クロック制限
ETAWRL	Hバス・ウェイト応答挿入の上限値																			
0000 0000	制限なし																			
0000 0001	1クロック制限																			
0000 0010	2クロック制限																			
0000 0010	3クロック制限																			
:	:																			
11111101	253クロック制限																			
11111110	254クロック制限																			
11111111	255クロック制限																			

(2) マルチレイヤ構造

Hバス内はマルチ・レイヤ構造になっており、スレーブが重複しない限り、各バス・マスタは各スレーブにアクセスすることが可能です。

転送対象を次に示します。

表 4-7 Hバス転送対象

マスタ (転送元)	スレーブ (転送先)						
	Hバス共有 メモリ	セカンダリ・ メモリ・コ ントローラ	USB ファン クション	USB ホスト	Ethernet コ ントローラ (専用 DMA)	Ethernet コ ントローラ (送信チェッ ク・サム)	セカンダリ・ メモリ・コ ントローラ 専用 DMA
CPU1/CPU2	○	○	○ ^a	○ ^a	○ ^a	○ ^a	○ ^a
DMA	○	○	×	×	×	×	×
USB ファンクション	○	○	×	×	×	×	×
USB ホスト	○	○	×	×	×	×	×
Ethernet コントローラ (専用 DMA)	○	○	×	×	×	×	×
Ethernet コントローラ (送信チェック・サム 専用 DMA)	○	○	×	×	×	×	×
セカンダリ・ メモリ・ コントローラ 専用 DMA	○	○	×	×	×	×	×

a) 制御レジスタのみアクセス可能

4.6.4 Eバス

プライマリ・メモリ・コントローラが接続されるバスです。

プライマリ・メモリ・コントローラの詳細は、第11章「プライマリ・メモリ・コントローラ (PMEMC)」を参照してください。

4.6.5 PE間バス

V850E2/MN4は最大で2つのPEを搭載しており、それぞれのPEに内蔵RAMを搭載しています。

各CPUは、各PEのRAMを相互に参照/更新することが可能です。

CPU1からRAM2、および、CPU2からRAM1の内容を参照/更新する場合にこのバスを利用します。

4.6.6 アービトレーション

(1) フラッシュ・キャッシュ

フラッシュ・キャッシュへのアクセス要求は、命令フェッチとデータ・アクセスの2つがあります。フラッシュ・キャッシュに対しては、常にデータ・アクセスが優先されます（固定優先順位）。

(2) フラッシュ・メモリ

デュアル・コア製品では、2つのCPUからのフラッシュ・メモリへのアクセスに対してアービトレーションが行われます。

アービトレーションは、CPUからの要求をフェッチ要求とプリロード要求に分離した後、次の2段階で行われます。

- 第一段階

CPU1からのフェッチ要求かCPU2からのフェッチ要求のいずれか一方の要求のみがある場合、その要求を受け付けます。CPU1からのフェッチ要求とCPU2からのフェッチ要求が同時にある場合、以前にフェッチ要求を受け付けたCPUではないCPUからのフェッチ要求を受け付けます。

- 第二段階

CPU1とCPU2いずれからもフェッチ要求が発生していない場合（第一段階で選択する要求がなかった場合）、CPU1とCPU2からのプリロード要求を受け付けます。

CPU1のプリロード要求かCPU2のプリロード要求のいずれか一方の要求のみがある場合、その要求を受け付けます。

CPU1のプリロード要求とCPU2のプリロード要求が同時にある場合、以前にプリロード要求を受け付けたCPUではないCPUからのプリロード要求を受け付けます。

(3) 内蔵RAM

内蔵RAM1/2は、命令フェッチとデータ・アクセス（PE内からの要求）と他PEからの要求の3つのアクセス要求をアービトレーションします。

内蔵RAM1/2のアービトレーション・ポリシーを次に示します。

- 他PEからの要求 ⇔ データ・アクセス（ラウンド・ロビン）
- データ・アクセス ⇔ 命令アクセス
（初期状態はデータ・アクセス優先、要求連続時はラウンド・ロビン）
- 他PEからの要求 > 命令アクセス（固定優先順位）

(4) Eバス I/F, Pバス I/F, Hバス I/F

Eバス, Pバス, Hバスのそれぞれのインタフェースでは, マルチレイヤ化された内部システムバスの各レイヤ上のマスタ (CPU1/CPU2/DMA) からのアクセス要求をアービトレーションします。

アービトレーションは次の2段階で行われます。

- 第一段階
CPU1とCPU2の調停を行います。ラウンド・ロビンです。
- 第二段階
固定優先順位です。DMAアクセスを優先します。

4.7 割り込み機能

プロセッサ・エレメントごとに割り込みコントローラを搭載しています。

割り込みは, 一部の割り込みを除いて, 原則的に各PEの割り込みコントローラに分配されます。

各PEの割り込みコントローラのI/Oは同一のアドレス空間に割り当てられていますが, 実体が異なります。

4.7.1 割り込み要因

(1) PE共通割り込み

共通割り込みとして定義された割り込みは, 各PEに同時に分配され, それぞれの割り込みコントローラに通知されます。各PEごとに割り込みの受け付け条件を満たした場合, 対応する割り込みハンドラ・アドレスに処理を移します。

いずれかのPEで割り込みが受け付けられた場合も, 他のPEの割り込み要求が取り下げられることはありません。

従って, 同じ割り込み要求に対して, 同時に複数の割り込み処理が動作しないようにする必要がある場合は, 共通割り込みに対して, 次のいずれかの処置を行う必要があります。

< i > 各PEの割り込み機能によって, その割り込みをマスクしてください。

< ii > 各PEの割り込みハンドラ・プログラムにおいて, 排他起動制御を行います。先に他のPEが割り込みハンドラ・プログラムの実行を開始したことをセマフォなどのソフトウェア的な手段により検出した場合は, 処理を行わずに復帰操作を行ってください。

また, 割り込みハンドラ・アドレスはすべてのPEで共通のため, 同じプログラムに処理が移ります。PEごとに処理内容を分割したい場合は, PEIDレジスタを参照して, PE番号を確認の後, 適切に処理の分岐を行ってください。

図4-16「共通割り込みの処理 (割り込みをマスクする場合)」, 図4-17「共通割り込みの処理 (ソフトウェアで排他起動制御する場合)」に共通割り込みの処理イメージを示します。

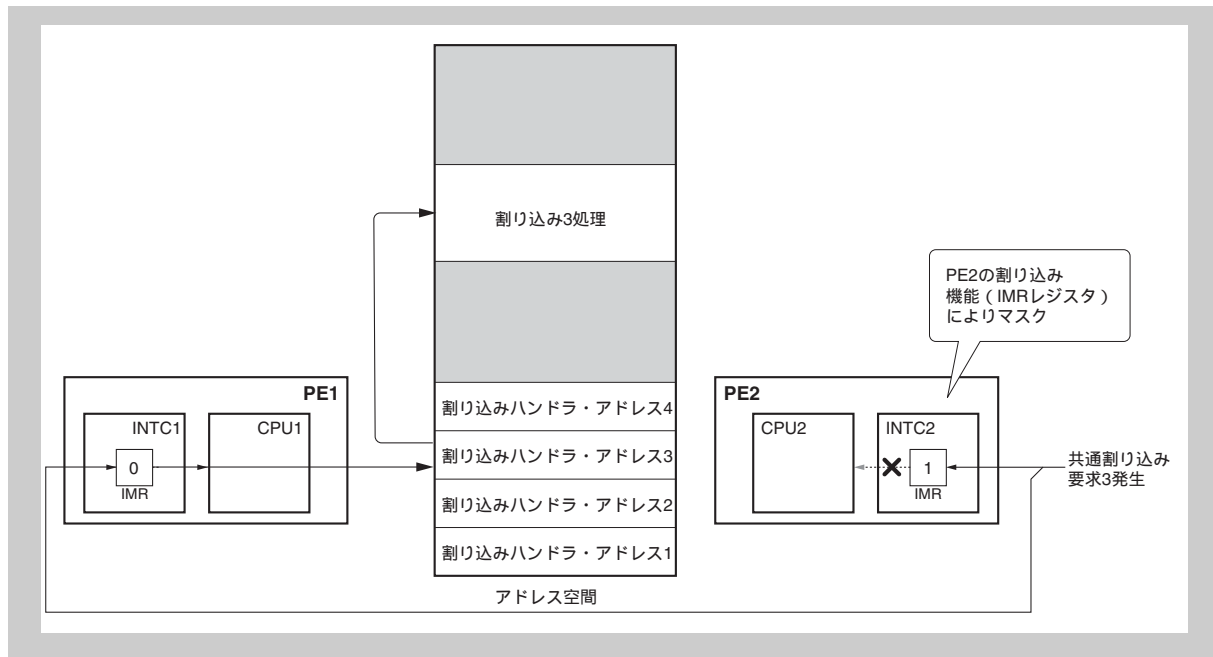


図 4-16 共通割り込みの処理（割り込みをマスクする場合）

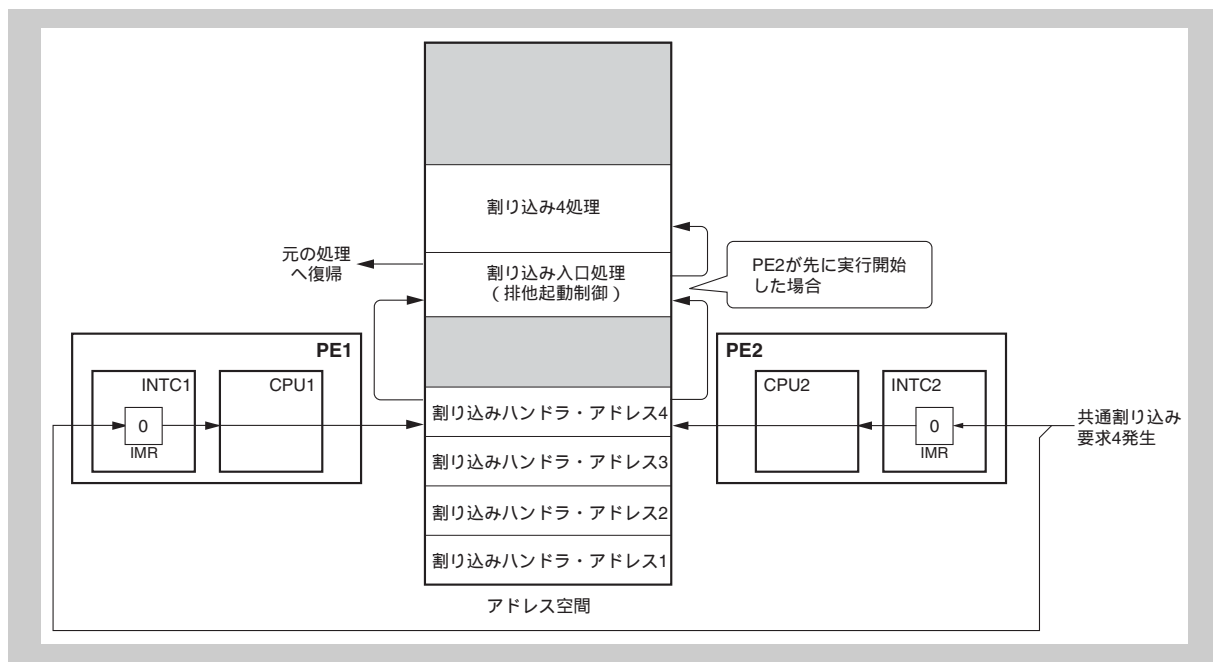


図 4-17 共通割り込みの処理（ソフトウェアで排他起動制御する場合）

V850E2/MN4 では、それぞれの PE での割り込み許可を排他的に設定することにより、ある EI レベル・マスカブル割り込み (EIINT) 要求をいずれかの 1 つの CPU のみに分配するソフトウェア・モデルを推奨します。そのためには、各 PE の IMR レジスタで、EIINT 割り込みの、どの割り込みを受け付けるかを設定します。割り込みを受け付けたい PE の INTC 設定レジスタ IMR.EIMK ビットを 0 に設定してください。

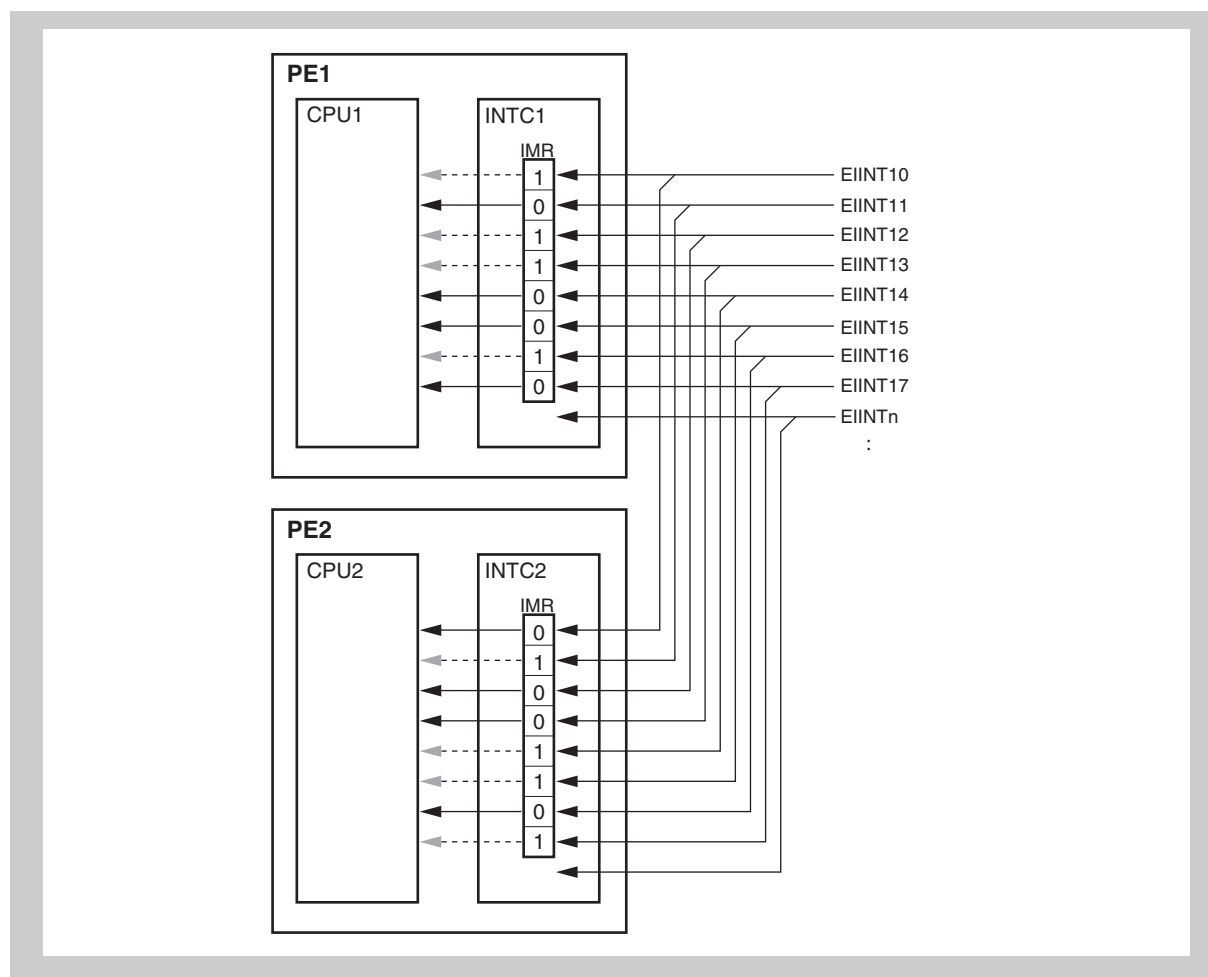


図 4-18 EIINT 割り込みのマスクの排他設定

V850E2/MN4 は、次の割り込みが共通割り込みとなっています。

- FE レベル・ノンマスカブル割り込み (FENMI)
- FE レベル・マスカブル割り込み (FEINT)
- EI レベル・マスカブル割り込み チャンネル 10-255 (EIINT10-255)

(2) PE 専用割り込み

PE 専用割り込みとして定義された割り込みは、特定の一つの PE の割り込みコントローラに通知されます。通知された PE が、割り込み受け付け条件を満たした場合、対応する割り込みハンドラ・アドレスに処理を移します。

各 PE 専用割り込みは、異なる割り込み要求として V850E2/MN4 の割り込み機能で提供されますが、同じチャンネルに割り当てられた PE 専用割り込みは、同一の割り込みハンドラ・アドレスのプログラムに処理が移ります。

このため、PE ごとに処理内容を分割したい場合は、PEID レジスタを参照して、PE 番号を確認の後、適切に処理の分岐を行ってください。

図 5-3 に PE 専用割り込みの処理イメージを示します。

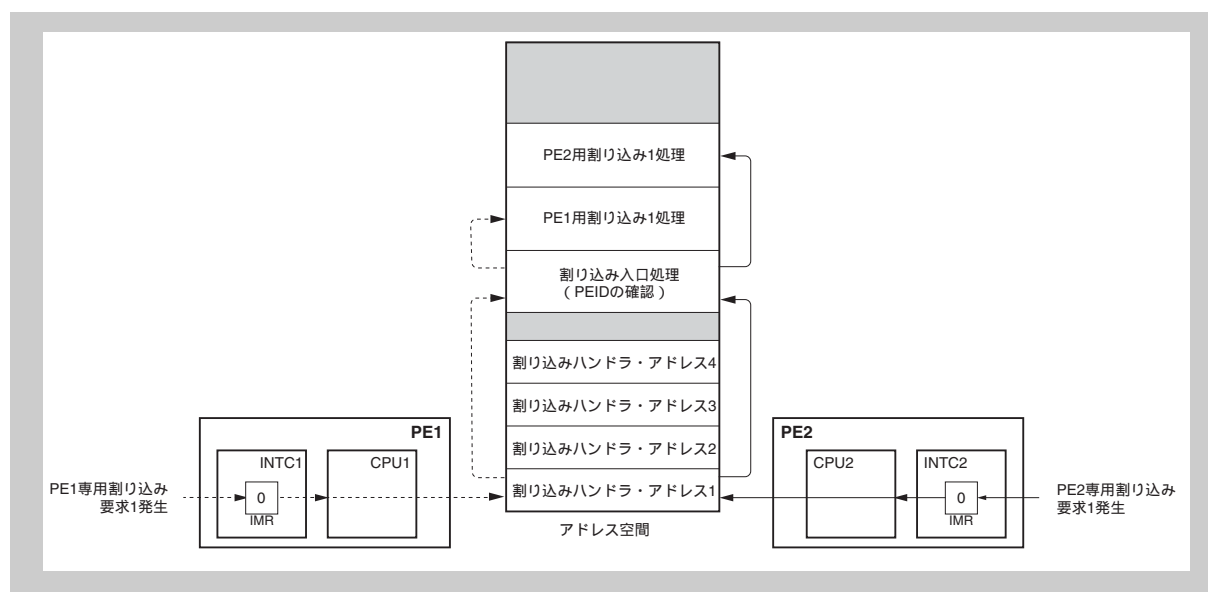


図 4-19 PE 専用割り込み処理イメージ

V850E2/MN4 は、次の割り込みが PE 専用割り込みとなっています。

- EI レベル・マスクブル割り込み チャンネル 0-9

4.7.2 割り込みの分配

V850E2/MN4 は、CPU サブシステム内の各 PE に対し割り込みを分配します。割り込み機能別の分配先一覧を次に示します

表 4-8 割り込み機能別の分配先一覧

割り込み機能と要求元			μ PD70F3514, 70F3515 (マルチプロセッサ構成)			μ PD70F3510, 70F3512 (シングルプロセッサ構成)	
			使用 可否	割り込み分配先		使用 可否	割り込み分配先 PE1
				PE1	PE2		
共通割り込み	割り込みコントローラへの要求	FENMI	許可	FENMI	FENMI	許可	FENMI
		FEINT	許可	FEINT	FEINT	許可	FEINT
		EIINT[0 : 9]	禁止	—	—	禁止	—
		EIINT[10 : 255]	許可	EIINT[10 : 255] ^{a)}	EIINT[10 : 255] ^{a)}	許可	EIINT[10 : 255] ^{a)}
PE 専用割り込み	CPU 間割り込み要求レジスタ MIR による要求	PE1 から MIR0.M1 をセットした場合	許可	—	EIINT0	禁止	—
		PE1 から MIR1.M1 をセットした場合		—	EIINT1		—
		PE2 から MIR0.M1 をセットした場合		EIINT0	—		—
		PE2 から MIR1.M1 をセットした場合		EIINT1	—		—
		上記以外		—	—		—
	割り込みコントローラへの要求	PE1 PE ガード		許可	EIINT2		—
	PE2 PE ガード		—	EIINT2		—	

a) 割り込み分配先の EIINT[10:255] は、EI レベル・マスクブル割り込みを指します詳細は 9.2.3 「EI レベル・マスクブル割り込み」を参照してください。

4.8 フラッシュ・キャッシュ

4.8.1 構成

V850E2/MN4 では、CPU とフラッシュ・メモリ間にフラッシュ・メモリ専用の 16 K バイト 4 ウエイ・セット・アソシアティブ・キャッシュ（フラッシュ・キャッシュ）を搭載しています。フラッシュ・キャッシュとフラッシュ・メモリ間は 128 ビットの専用バスで接続されており、キャッシュ・ミス・ヒット時のペナルティを最小にします。

フラッシュ・キャッシュは次の機能により構成されています。

- キャッシュ機能
- プリロード機能
- データ・バッファ機能
- キャッシュ・クリア機能

4.8.2 制御レジスタ

(a) フラッシュ・キャッシュ動作設定レジスタ (FCCTL0)

フラッシュ・キャッシュの機能を設定するレジスタです。

設定を切り替えたときは、FCCTL1 レジスタを操作し、キャッシュの内容をクリアしてください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FCCTL0 : FFFF6480_H

初期値 40B7_H どのリセット要因でも初期化されます。

注意 必ず 40B7_H か 41B7_H を設定してください。詳細は表 4-11 「FCCTL0 レジスタの設定」を参照してください。

15	14	13	12	11	10	9	8
R/W	R/W	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-9 FCCTL0 レジスタの内容

ビット位置	ビット名	意味
15:0	—	必ず 40B7 _H か 41B7 _H を設定してください。詳細は表 4-11 「FCCTL0 レジスタの設定」を参照してください。

(b) フラッシュ・キャッシュ・トリガ機能レジスタ (FCCTL1)

フラッシュ・キャッシュのオペレーション（クリア）を実行するレジスタです。

アクセス 16ビット単位でライト可能です。ただし、下位8ビットをFCCTL1Lレジスタとして使用する場合は8/1ビット単位でライト可能です。

アドレス FCCTL1 : FFFF6482_H,
FCCTL1L : FFFF6482_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット15-1には必ず0を設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCCTL1 CHCLR
R	R	R	R	R	R	R	W

表 4-10 FCCTL1 レジスタの内容

ビット位置	ビット名	意味
0	FCCTL1 CHCLR	キャッシュ・クリア・トリガ キャッシュのオペレーション（クリア）を実行します。 リード値は常に0です。 1: キャッシュ内容をクリアします。

4.8.3 動作

(1) キャッシュ機能

16 Kバイト 4 ウエイ・セット・アソシアティブ・キャッシュは、1 ラインが 4 ワードの 256 エントリのブロックで構成されたウエイが 4 枚で、合計 16 K バイトの容量です。キャッシュ・ミスが発生した場合は、擬似 LRU による入れ替えアルゴリズムにより 1 ライン（16 バイト）単位のリフィルを行います。

(a) FCCTL0 レジスタの設定

FCCTL0 レジスタによって、フラッシュ・キャッシュの動作モードに次の設定が可能です。

リセット後は必ずいずれかの動作モードを必ず設定してください。これ以外の値は設定禁止です。

表 4-11 FCCTL0 レジスタの設定

タイプ	FCCTL0 レジスタの設定値	動作
標準設定	40B7 _H	フラッシュ・キャッシュを命令キャッシュとして動作させます。キャッシュ動作にともない性能は向上します。アクセス・サイクルは、キャッシュ・ヒット/ミス・ヒットにより変動します。
性能優先設定	41B7 _H	フラッシュ・キャッシュを命令/データ混載キャッシュとして動作させます。これにより、データ・アクセスも高速化します。ただし、大量のデータを利用する場合、キャッシュに格納している命令を追い出すことがあり、性能が低下することがあります。

(2) プリロード機能

フラッシュ・キャッシュは、CPU からアクセスのあった命令フェッチ・アドレスに対し、+ 16 バイト、+ 32 バイト、+ 48 バイトのアドレスにあるフラッシュ・メモリの内容を CPU からアクセスが発行される前にキャッシュに格納します。これにより、次に CPU が後続の命令のフェッチを行った際に、改めてフラッシュ・メモリの内容をフェッチすることなくキャッシュに格納されている命令を利用でき、効率のよい CPU 命令実行動作を実現します。

(3) データ・バッファ機能

フラッシュ・キャッシュは、128 ビットのデータ・アクセス専用バッファを 2 本搭載しています。過去のデータ・アクセスの内容は、このデータ・バッファに格納します。データ・アクセス時、フラッシュ・メモリからのリードは 128 ビット単位で行い、128 ビット分のデータを 2 つのデータ・バッファに格納します。次回のデータ・アクセス時、このデータ・バッファにすでに格納されているデータに対するアクセスの場合、このデータ・バッファからデータをフェッチし、フラッシュ・メモリへのアクセスを行いません。そのため、フラッシュ・メモリに対する定数値アクセスが高速に行えます。

(4) キャッシュ・クリア機能

フラッシュ・キャッシュの内容、データ・バッファの内容は、FCCTL1 レジスタの FCCTL1CHCLR ビットに 1 を書き込むことによりクリアできます。キャッシュ内部のデータを一括して無効化します。フラッシュ・セルフ・プログラミング書き込み等によりフラッシュ・メモリの内容を書き換えた場合、本機能によりキャッシュの内容をクリアしてください。

4.9 マルチ・プロセッサ・サポート

4.9.1 分散共有型アドレス・マップ

V850E2/MN4 は、複数の PE によるマルチプロセッシングを効率良く行うために、分散共有型のメモリ構成を採用しています。CPU 固有周辺機能を除いて、すべてのメモリ・リソースを同一のアドレスで共有可能としています。CPU 固有周辺機能は、同一のアドレスに対して個別のリソースを配置しますが、機能は各 PE ごとに等価です。

このため、シングルプロセッサ構成、マルチプロセッサ構成において、ソフトウェアの変更なく利用することが可能です。

(1) コード・メモリの共有

それぞれの CPU は、フラッシュ・メモリに対して命令フェッチ、データ・アクセスを行います。それぞれの CPU からみたフラッシュ・メモリのアドレスは同一ですので、それぞれの CPU から同じアドレスで命令フェッチを行うと同じ命令がフェッチされます。両方の CPU からの命令フェッチ、データ・アクセスが発生した場合は、アービトレーション機能により、どちらかの CPU からのアクセスが発生し、もう一方の CPU からのフラッシュ・メモリへのアクセスは待ち合わせられ、先にアクセス権を得た CPU の命令フェッチ完了後、待たされていた CPU の命令フェッチが実行されます。

命令フェッチは非常に高い頻度で発生しますが、この調停回数を減らすために各 PE はフラッシュ・メモリの内容をキャッシュするフラッシュ・キャッシュをそれぞれ一つ CPU とフラッシュ・メモリの間に搭載しています。フラッシュ・キャッシュにヒットした場合はこのフラッシュ・キャッシュから命令供給され、フラッシュ・メモリ自身にアクセスには行きません。

V850E2/MN4 では、リセット・ハンドラ・アドレス、割り込みハンドラ・アドレスはすべての CPU で同じアドレスを利用します。同じ例外が発生した場合、両方の CPU は同じフラッシュ・メモリ・アドレスから同一内容を読み出し、実行を行います。同じハンドラ・アドレスに配置されるプログラムで、それぞれの CPU に対し異なる処理を実行させたい場合（ブートアップ時等）には、PE 番号通知機能を利用し、自分の PE 番号を参照した後、その PE 番号に応じた処理を実施させてください。

また、V850E2/MN4 では、RAM 上でのプログラム実行が可能です。RAM1/RAM2 に配置されたプログラムは、その区別なく CPU1/CPU2 のどちらからも実行可能です。

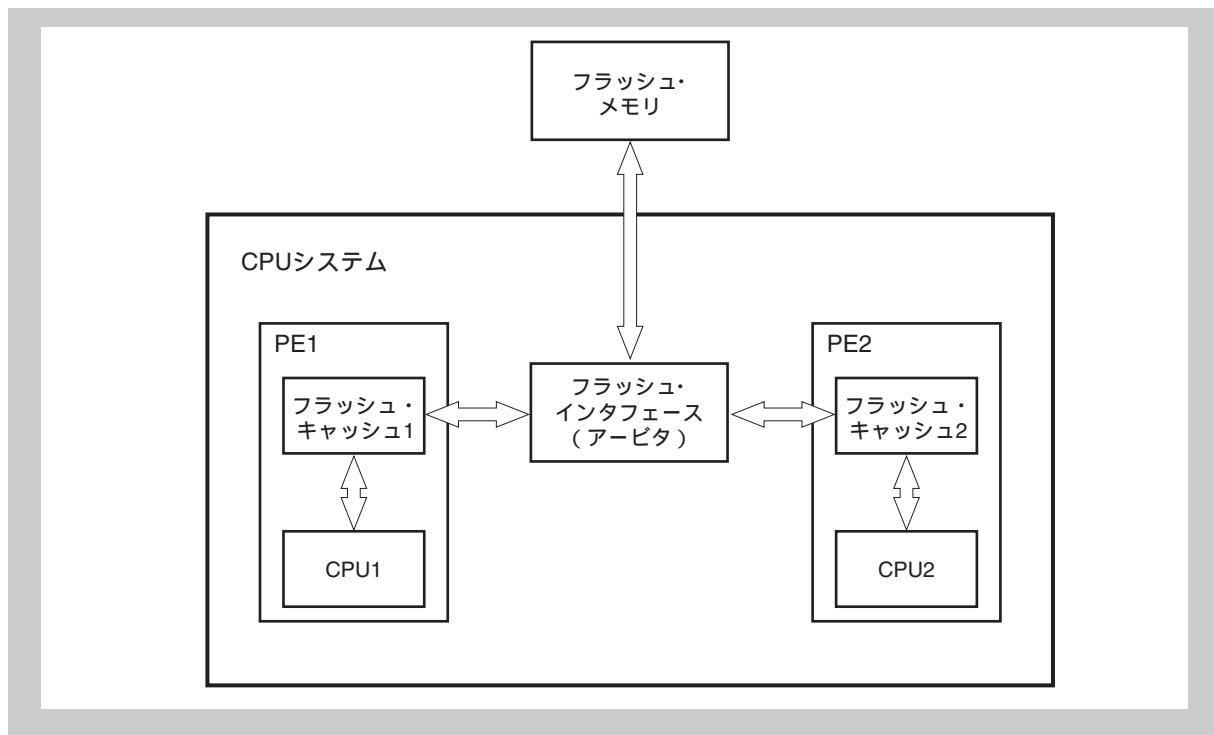


図 4-20 コード・メモリ（フラッシュ・メモリ）の共有

(2) 内蔵 RAM の共有

V850E2/MN4 は、各 CPU の専用メモリを互いに参照できる構成をとっているため、転送データを直接参照、転送することが可能です。これにより、ソフトウェア・オーバーヘッドのない、高い自由度を持った CPU 間通信を提供できます。

これらの内蔵 RAM には、それぞれメモリ・マップ上重複しないアドレスが与えられています。これにより、一意のアドレスで示される内蔵 RAM は V850E2/MN4 全体を通じて一箇所となります。どの CPU からこのアドレスを用いて、その内蔵 RAM にアクセスが可能です。他の CPU の内蔵 RAM をアクセスする際、特別な手続きは不要です。

(3) CPU 固有周辺機能と CPU システム周辺機能

V850E2/MN4 が搭載している基本機能を制御するために、次の 2 つの周辺機能があります。

- CPU 固有周辺機能
- CPU システム周辺機能

(a) CPU 固有周辺機能

各 PE ごとに用意された周辺装置機能です。おもに各 PE の動作設定を行う機能レジスタ、各 PE に持っている機能装置（割り込みコントローラ、キャッシュなど）の制御レジスタを接続します。

V850E2/MN4 では、それぞれの PE は同じ機能の CPU 固有周辺機能を、個別に搭載しています。

V850E2/MN4 では、次の CPU 固有周辺機能を搭載します。

- 割り込みコントローラ (INTC)
- フラッシュ・キャッシュ
- PEID (プロセッサ・エレメント ID) レジスタ
- システム・エラー・コントローラ
- CPU 間割り込み
- 相互排除変数レジスタ/相互排除制御レジスタ^a
- 周辺装置保護機能設定レジスタ
- タイミング監視機能設定レジスタ

これら CPU 固有周辺機能は、各 CPU からは同じアドレスに配置されており、各 CPU からアクセスした場合、その CPU に対応した CPU 固有周辺機能が応答します。他の CPU 専用の CPU 固有周辺機能へのアクセスはその CPU 以外からは不可能です。

これら CPU 固有周辺機能へのアクセスは、ブロッキング・アクセスで行います。レジスタのリードを行う場合、リード操作が完了するまで CPU は後続の命令を実行しません。レジスタへのライトを行う場合、ライト操作が完全に完了するまで CPU は後続の命令を実行しません。これら CPU 固有周辺機能は CPU 自身の動作に影響を与えるため、CPU の動作と同期してレジスタへの書き込み/読み出しを行います。

(b) CPU システム周辺機能

CPU システム周辺機能には、V850E2/MN4 が PE ごとの区別なく提供する基本機能の制御用レジスタを配置しています。

これら周辺機能は、どの CPU からもアクセス/操作可能です。また、これらの周辺機能へのアクセスは、ノンブロッキング・アクセスで行います。また、これらの周辺機能へライトを行う場合、CPU はライトの完了を待たずに後続の処理を実行します。これらの周辺機能からのリードを行う場合、CPU はリードの完了を待たずに処理可能な後続命令を実行します。

V850E2/MN4 では、次の CPU システム周辺機能を制御するレジスタを搭載します。

- Hバス・インタフェース設定レジスタ
- プライマリ・メモリ・コントローラ設定レジスタ
- DMA 設定レジスタ

^a) 本機能は、各 CPU の共有リソースです。

(4) Eバス／Pバス／Hバス領域の共有

V850E2/MN4 では、Eバス／Pバス／Hバス領域に配置された I/O に対して、すべてのマスタ（各 PE, DMA）から、等しくアクセスが可能です。このため I/O および周辺機能を制御するプログラムを、どの CPU にも割り付け可能です。周辺機能を制御するプログラムを、それぞれの CPU へ割り付ける際に高い自由度を提供します。

異なるマスタによる同一のバスに属する周辺機能に対するアクセスが発生した場合、V850E2/MN4 内部でアービトレーションを行い、いずれかのマスタからのアクセスを実行します。そのアクセスが完了するまでの間、他のマスタからのアクセスは待たせます。異なるバスの周辺機能に対するアクセスが発生した場合、待たされることなくアクセスが可能です。

これらの周辺機能へのアクセスは、ノンブロッキング・アクセスで行います。また、これらの周辺機能へライトを行う場合、CPU はライトの完了を待たずに後続の処理を実行します。これらの周辺機能からのリードを行う場合、CPU はリードの完了を待たずに処理可能な後続命令を実行します。

ただし、同一のマスタからのアクセス間での順序は保証します。マスタが Pバスに属する周辺機能 A に対してアクセスを実行し、その後 Hバスに属する周辺機能 B にアクセスを実行した場合、周辺機能 A へのバス・サイクル完了後に周辺機能 B へのバス・サイクルを発行します。

(5) リセット／例外ハンドラ・アドレス領域の共有

V850E2/MN4 では、割り込み／例外のプログラミング・モデルを共有するため、割り込み／例外ともに、受け付け時には同一アドレス（同一コード）へ分岐を行います。これによって、ある割り込み処理をある CPU から、他の CPU へ移動させることが可能です。

割り込み／例外系処理はおもにオペレーティング・システムが提供しますが、コード量の増加なくそれぞれの PE にて同一の機能提供を可能とします。

また、リセット時の開始アドレスも同一アドレスです。

4.9.2 PE 間 RAM アクセス

V850E2/MN4 では、マルチプロセッサ構成において、それぞれの PE 用の内蔵 RAM を搭載しています。それぞれの内蔵 RAM は、対応する PE が優先して利用しますが、他の PE からもリード／ライトが可能です。

それぞれの内蔵 RAM は、メモリ空間上にそれぞれ個別のアドレス位置に配置されています。アクセスしたい内蔵 RAM のアドレスに対して、リード／ライトすることで、そのアドレスが自分の内蔵 RAM である場合、その内蔵 RAM へアクセスを行います。そのアドレスが他の PE の内蔵 RAM である場合、他の PE の内蔵 RAM にアクセスを行います。アドレスを指定しアクセスする以外に、他の PE に接続された内蔵 RAM に対する、特別なアクセス手順は不要です。

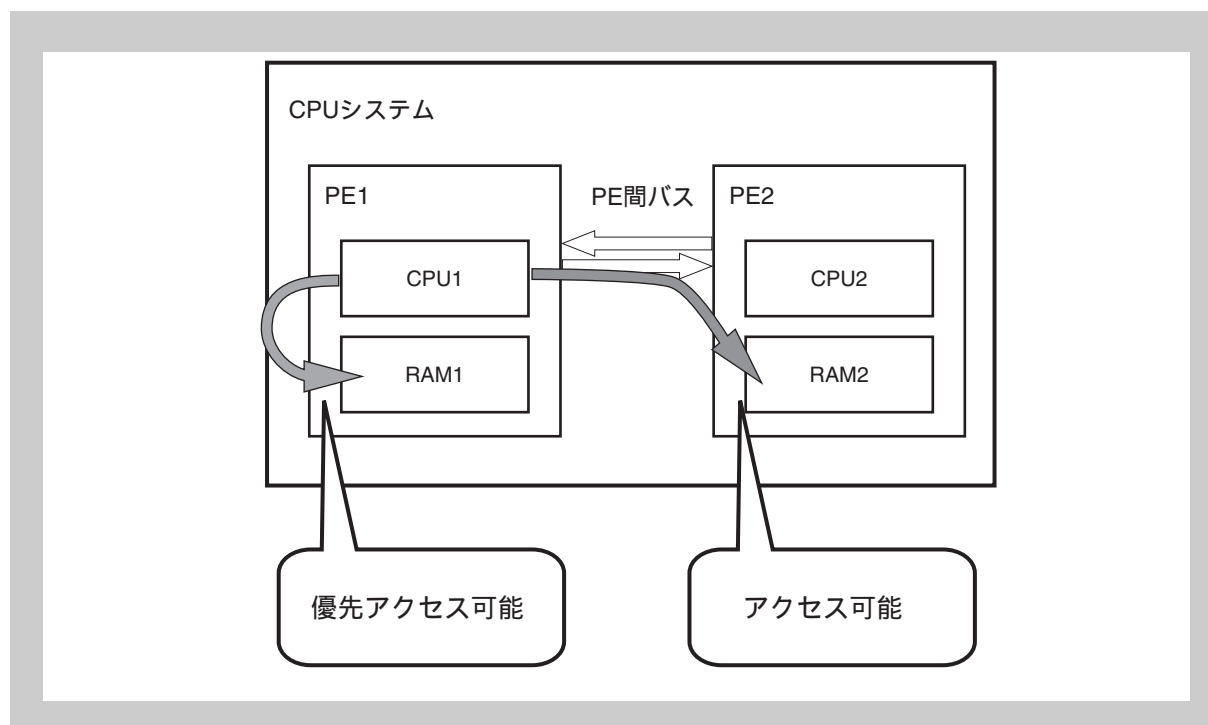


図 4-21 PE1 からの RAM アクセス

4.9.3 プロセッサ・エレメント識別子

V850E2/MN4 は最大 2 つの PE を搭載しています。それぞれの PE 上の CPU でプログラムを実行する際に、PE 番号により処理を区別したい場合などのためにプロセッサ番号を通知する機能があります。CPU のプロセッサ番号は、プロセッサ・エレメント識別子レジスタ (PEID) で確認できます。

PEID レジスタは、CPU ごとに存在しており、どちらの CPU から FFFF6490H 番地へ 16 ビットのリード・アクセスすることにより読み出し可能です。各 PE の CPU から PEID レジスタを読み出した場合、それぞれ異なる値が読み出せます。読み出せる値が、それぞれ PE の番号を示しており、CPU ごとの処理の分岐等に利用してください。

プロセッサ番号通知機能を用いることにより、同一のプログラム・コードでありながら、それぞれの CPU の処理内容を変化させることが可能です。

注意 プロセッサ番号通知機能は、マルチプロセッサ構成、シングルプロセッサ構成のいずれの場合も利用可能です。ただし、シングルプロセッサ構成時は、PE2 が存在しないため、常に 0001_H が読み出されます。

(1) プロセッサ・エレメント識別子レジスタ (PEID)

PEID レジスタ (PEID) は、アクセスした CPU のプロセッサ・エレメント ID を返します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス FFFF6490_H

初期値 PE1 の PEID : 0001_H, PE2 の PEID : 0002_H

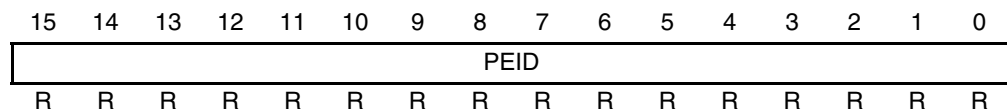


表 4-12 PEID レジスタの内容

ビット位置	ビット名	意味
15:0	PEID	プロセッサ・エレメント ID を示します。 PE1 から PEID を読み出した場合：0001 _H が読み出せます。 PE2 から PEID を読み出した場合：0002 _H が読み出せます。

4.9.4 相互排除支援機能

V850E2/MN4 では、ソフトウェアでの相互排除処理を支援する次の機能を搭載しています。

- 相互排除変数レジスタ (MEV)
- 相互排除制御レジスタ (MEC)

複数の CPU 間で、読み/書きされる変数を「共有リソース」といいます。この共有リソースを通じてデータをやり取りしながら協調動作を行います。共有リソースに対して、複数の CPU から同時にアクセスが発生すると、アクセス順序によってはプログラムが意図しない動作になる場合があります。

このような場合、これら共有リソースに対しては、共有フラグ (アクセス権) を設定し、複数の CPU から同時期にアクセスが発生しないよう制御する必要があります。この処理を「相互排除処理」といいます。

(1) 相互排除処理の例

- 共有リソースに対して共有フラグ (アクセス権) を定義します。このアクセス権は、あるレジスタの内容で定義されます。
- ある CPU が共有リソースに対してアクセスをする場合、まず、共有フラグをチェックし、他の CPU が共有リソースにアクセス中でないかどうかチェックします。
- 共有フラグが“他の CPU が利用中”であった場合、この CPU は、共有フラグが“未利用”状態になるまで待ち合わせを行います (もしくは、他の処理を実行します)。
- 共有フラグが“未利用”であった場合、この共有フラグに“利用中”を書き込みます。その後、共有リソースに対して読み出し、書き込み処理を行います。
- 共有リソースに対するアクセスが完了したら、共有フラグの内容を“未利用”にします。

ある CPU がこの共有フラグを参照し、他の CPU が利用状態であると判明すると、その CPU はこの共有フラグを再度参照し (ポーリング処理)、他の CPU がアクセス権を解放するまで待ち合わせる手法が一般にとられます。

このような処理 (ポーリング処理) は CPU のバスを頻繁に利用するため、この共有フラグを CPU がよくアクセスするメモリ (内蔵 RAM 等) に配置すると、この内蔵 RAM のバス上で他の CPU の一般的な処理とこのポーリング処理が衝突しシステム性能が劣化する場合があります。

V850E2/MN4 では、このシステム性能の劣化を起こさないように、共有フラグのためのレジスタ (相互排除変数レジスタ [MEV]、相互排除制御レジスタ [MEC]) を特別に用意し、内蔵 RAM アクセスとは別のバスに接続しています。これらレジスタに対してポーリング処理を実施しても、他の CPU からの内蔵 RAM アクセスを阻害せず、システム性能の劣化を起こしません。

(2) 相互排除変数レジスタ 0-7 (MEV0-MEV7)

共有フラグ変数、セマフォ用変数をこのレジスタに配置し、CAXI 命令、SET1 命令を用いてこのレジスタにアクセスすることで、相互排除処理を実現します。

この相互排除変数レジスタは、CPU が内蔵 RAM アクセスに利用するバスとは異なるバスに配置しているため、CPU1 がこの MEV に対して相互排除処理の際必要となるポーリング処理を実施していても、CPU2 は同時に CPU1/CPU2 の内蔵 RAM に対してアクセスが可能です。そのため、一般のメモリ・リソース上にセマフォ用変数を配置する場合と比較し、システム性能の低下を防ぐことができます。

アクセス 32 ビット単位でリード/ライト可能です。
ただし、MEV0-MEV7 レジスタの上位 16 ビットを MEV0H-MEV7H レジスタ、下位 16 ビットを MEV0L-MEV7L レジスタとして使用する場合は 16 ビット単位でリード/ライト可能です。また、MEV0H-MEV7H レジスタの上位 8 ビットを MEV0HH-MEV7HH レジスタ、下位 8 ビットを MEV0HL-MEV7HL レジスタ、MEV0L-MEV7L レジスタの上位 8 ビットを MEV0LH-MEV7LM レジスタ、下位 8 ビットを MEV0LL-MEV7LL レジスタとして使用する場合は、8 ビット単位でリード/ライト可能です。

アドレス MEV0 : FFFF6900_H,
MEV0L : FFFF6900_H, MEV0H : FFFF6902_H,
MEV0LL : FFFF6900_H, MEV0LH : FFFF6901_H,
MEV0HL : FFFF6902_H, MEV0HH : FFFF6903_H,
MEV1 : FFFF6904_H,
MEV1L : FFFF6904_H, MEV1H : FFFF6906_H,
MEV1LL : FFFF6904_H, MEV1LH : FFFF6905_H,
MEV1HL : FFFF6906_H, MEV1HH : FFFF6907_H,
MEV2 : FFFF6908_H,
MEV2L : FFFF6908_H, MEV2H : FFFF690A_H,
MEV2LL : FFFF6908_H, MEV2LH : FFFF6909_H,
MEV2HL : FFFF690A_H, MEV2HH : FFFF690B_H,
MEV3 : FFFF690C_H,
MEV3L : FFFF690C_H, MEV3H : FFFF690E_H,
MEV3LL : FFFF690C_H, MEV3LH : FFFF690D_H,
MEV3HL : FFFF690E_H, MEV3HH : FFFF690F_H,
MEV4 : FFFF6910_H,
MEV4L : FFFF6910_H, MEV4H : FFFF6912_H,
MEV4LL : FFFF6910_H, MEV4LH : FFFF6911_H,
MEV4HL : FFFF6912_H, MEV4HH : FFFF6913_H,
MEV5 : FFFF6914_H,
MEV5L : FFFF6914_H, MEV5H : FFFF6916_H,
MEV5LL : FFFF6914_H, MEV5LH : FFFF6915_H,
MEV5HL : FFFF6916_H, MEV5HH : FFFF6917_H,
MEV6 : FFFF6918_H,
MEV6L : FFFF6918_H, MEV6H : FFFF691A_H,
MEV6LL : FFFF6918_H, MEV6LH : FFFF6919_H,
MEV6HL : FFFF691A_H, MEV6HH : FFFF691B_H,
MEV7 : FFFF691C_H,
MEV7L : FFFF691C_H, MEV7H : FFFF691E_H,
MEV7LL : FFFF691C_H, MEV7LH : FFFF691D_H,
MEV7HL : FFFF691E_H, MEV7HH : FFFF691F_H

初期値 00000000H

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 【運用例】**
- (1) アクセス権を取得するために相互排除変数レジスタをリードしてリード値が“0”であるかを確認します。リード値が“0”であった場合アクセス権を取得のため“0”以外の値をライトします。
(この処理のために、CAXI 命令、SET1 命令を利用してください)
 - (2) 他 CPU がアクセス権を取得している場合（リード値が“0”以外）は、レジスタのリード・チェックを繰り返してアクセス権が解放される（リード値が“0”になる）のを待ちます。
 - (3) 相互排除されるリソースに対する読み出し／書き込みを行います。
 - (4) レジスタに“0”を書き込み、アクセス権を解放します。
MEV0-MEV7 レジスタを利用した相互排除処理では、レジスタのデータの意味はソフトウェアで決めることができるため自由度の高い相互排除制御を実現できます。

(3) 相互排除制御レジスタ 0-7 (MEC0-MEC7)

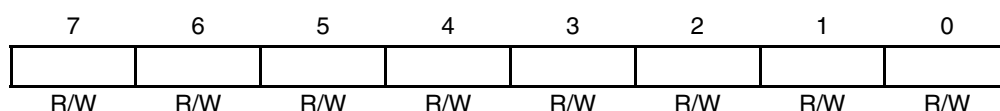
各レジスタにステート・マシンを持っており、現在アクセス権を取得している CPU を管理しています。それぞれの CPU からリードされた場合、リードした CPU に応じた値を返却します。ソフトウェアで制御するセマフォが 3 状態（自 CPU が取得している／他の CPU が取得している／どちらも取得していない）のみを対象とする場合、この相互排除制御レジスタを利用することで、相互排除に必要とされる処理数、命令数を削減することができます。

この相互排除制御レジスタは、CPU が内蔵 RAM アクセスに利用するバスとは別のバス上に配置しているため、CPU1 がこの相互排除制御レジスタに対してポーリング処理を実施していても、CPU2 は同時に CPU1/CPU2 の内蔵 RAM に対してアクセスが可能です。そのため、一般のメモリ・リソース上にセマフォ用変数を配置する場合と比較し、システム性能の低下を防ぐことができます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス MEC0 : FFFF6980_H, MEC1 : FFFF6981_H, MEC2 : FFFF6982_H,
MEC3 : FFFF6983_H, MEC4 : FFFF6984_H, MEC5 : FFFF6985_H,
MEC6 : FFFF6986_H, MEC7 : FFFF6987_H

初期値 00H



リード・アクセス アクセス権の取得を試みます。その結果をリード値で示します。

表 4-13 MEC レジスタの内容（リード時）

リード値	意味	備考
00 _H	取得完了	新たにアクセス権を取得したことを示します。
01 _H	取得完了	アクセス権をすでに取得していたことを示します。
02 _H	取得失敗	他の CPU が取得しています。

ライト・アクセス アクセス権を開放します。ただし自 CPU がアクセス権を取得していないときはライト・アクセスを無視します。

表 4-14 MEC レジスタの内容（ライト時）

ライト値	意味	備考
00 _H	開放	アクセス権を開放します。
01 _H	継続	アクセス権を継続します。
0F _H ^{a)}	初期化	ライト・アクセス権を強制開放します。
その他	無効	ライト・アクセスは無視します。

a) 0F_H をライトした場合のみ、自 CPU がアクセス権を取得しなくても有効になります（自 CPU がアクセス権を取得していなくても強制的に開放することができます）

表 4-15 MEC レジスタの状態とそれぞれの CPU からのリード値

MEC の状態	状態の説明	CPU1 からの MEMC の読み出し値	CPU2 からの MEMC の読み出し値
IDLE	どちらの CPU もアクセス権をもっていない	0 (読み出しとともに、アクセス権を獲得)	0 (読み出しとともに、アクセス権を獲得)
CPU1	CPU1 がアクセス権を保持	1	2
CPU2	CPU2 がアクセス権を保持	2	1

- 【運用例】**
- (1) アクセス権を取得するために相互排除制御レジスタをリードします。取得できた場合は“0”，すでに取得していた場合は“1”，他 CPU が取得していた場合は“2”がリードされます。
ld.b 命令でアクセスするだけで、アクセス権の状態入手／アクセス権の取得が可能です。
 - (2) 取得できなかった場合、取得できるまで MEC のリードを繰り返します。
 - (3) 相互排除されるリソースに対する読み出し、書き込みを行います。
 - (4) レジスタをライトすることによりアクセス権を解放します。st.b 命令で“0”を書き込むだけで、アクセス権の解放が可能です（1 および 2 の書き込みではアクセス権を解放しません）。

レジスタのデータの意味はハードウェアで定められています。

このデータ値で相互排除処理をする場合、このレジスタを利用することにより、少コード／サイズ、高速な相互排除制御が可能です。

4.9.5 アトミック・バス・サイクル

V850E2/MN4 では、CPU がもつ CAXI 命令、SET1 命令、CLR1 命令、NOT1 命令実行時に、これらの命令のアクセス対象までのバス経路をロックし、他の CPU からのアクセスを禁止します。これにより、CAXI 命令、SET1 命令、CLR1 命令、NOT1 命令の不可分な（アトミックな）命令実行を提供します。

これにより、CAXI 命令、SET1 命令、CLR1 命令、NOT1 命令は、複数 CPU 間の相互排除処理に利用可能です。

4.9.6 PE 間割り込み要求機能

マルチプロセッサ構成の V850E2/MN4 では、ある PE の CPU から他の PE の CPU へ割り込みを要求することが可能です。

V850E2/MN4 は、次の 2 つのレジスタ機能によって、PE 間割り込み機能を提供しています。

- MIR0 レジスタ：他 PE へ EIINT0 を要求するレジスタ
- MIR1 レジスタ：他 PE へ EIINT1 を要求するレジスタ

MIR0 レジスタ、MIR1 レジスタに書き込むことで他の CPU へ EI レベル・マスクابل割り込みを要求します。

MIR0 レジスタ、MIR1 レジスタは、各 CPU から見て同じアドレスに配置されています。それぞれの CPU からこのレジスタに書き込むことにより、他の CPU に割り込みを要求します。自分に対する割り込みは要求できません。

他の CPU からこの CPU 間割り込みが要求された場合、CPU には、EIINT チャンネル 0 (MIR0 による要求時)、EIINT チャンネル 1 (MIR1 による要求時) の割り込みがそれぞれ発生します。

注意 PE 間割り込み要求機能は、マルチプロセッサ製品 (μ PD70F3514, 70F3515) のみサポートします。シングルプロセッサ製品 (μ PD70F3510, 70F3512) は利用できません。

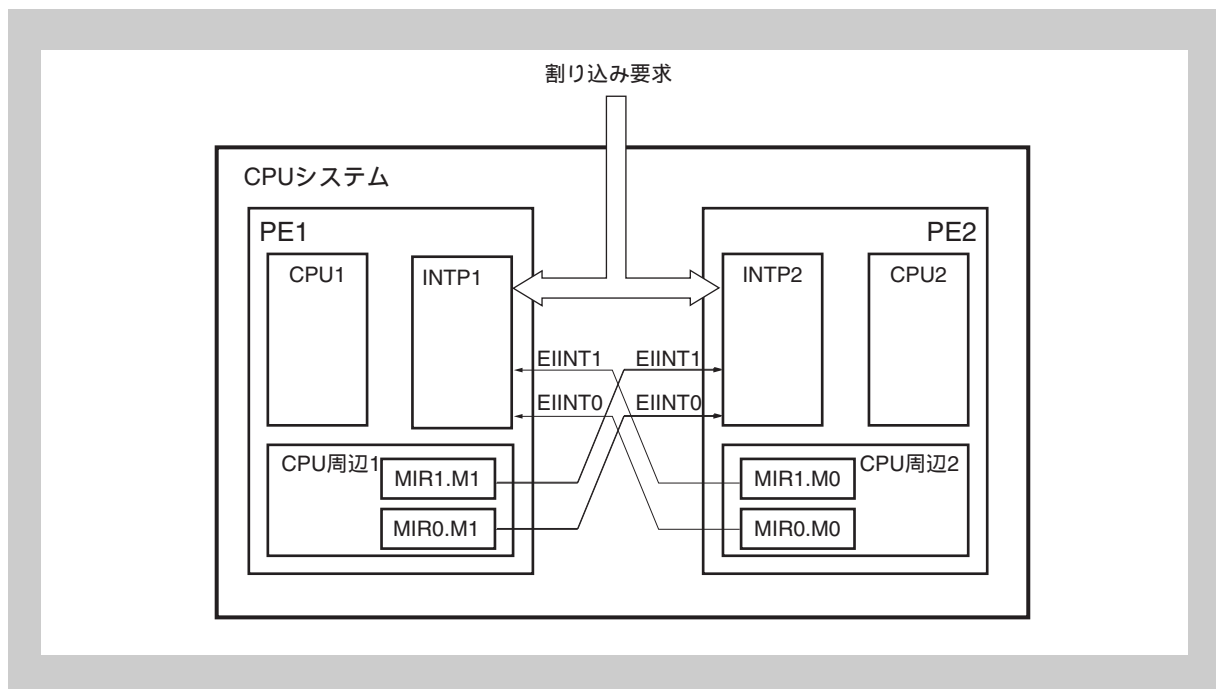


図 4-22 PE 間割り込み要求機能

(1) PE 間割り込み要求レジスタ (MIR0, MIR1)

PE 間割り込み要求レジスタは、CPU1 から CPU2 へ、CPU2 から CPU1 へ割り込みを要求するレジスタです。割り込みが要求された CPU では、割り込みチャンネル 0 (MIR0 からの割り込み要求)、割り込みチャンネル 1 (MIR1 からの割り込み要求) が発生します。

アクセス 32 ビット単位でライトのみ可能です。ただし、MIR0, MIR1 レジスタの下位 16 ビットを MIR0L, MIR1L レジスタとして使用する場合、16 ビット単位でライトのみ可能です。リードすると常に 0 を読み出します。

アドレス MIR0 : FFFF6800_H

MIR1 : FFFF6804_H

初期値 00000000_H どのリセット要因でも初期化されます。

(a) MIR0

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	M1 ^a	M0 ^b
R	R	R	R	R	R	R/W	R/W

a) PE1 側の MIR0 のみ設定可能です。PE2 側では 0 に設定してください。

b) PE2 側の MIR0 のみ設定可能です。PE1 側では 0 に設定してください。

(b) MIR1

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	M1 ^a	M0 ^b
R	R	R	R	R	R	R/W	R/W

a) PE1 側の MIR1 のみ設定可能です。PE2 側では 0 に設定してください。

b) PE2 側の MIR1 のみ設定可能です。PE1 側では 0 に設定してください。

表 4-16 MIRn レジスタの内容

ビット位置	ビット名	意味
31:0	MIR[31:0]	PE1 側 - MIR0 レジスタの M1 ビットへ“1”をライトすると PE2 へ EIINT0 割り込み要求をします。 - MIR1 レジスタの M1 ビットへ“1”をライトすると PE2 へ EIINT1 割り込み要求をします。 PE2 側 - MIR0 レジスタの M0 ビットへ“1”をライトすると PE1 へ EIINT0 割り込み要求をします。 - MIR1 レジスタの M0 ビットへ“1”をライトすると PE1 へ EIINT1 割り込み要求をします。

4.9.7 メモリ同期化機能 (SYNCM)

V850E2/MN4 では、V850E2M アーキテクチャに定義されているメモリ同期化命令 (SYNCM) をサポートします。このメモリ同期化機能によって、SYNCM 命令を同期プリミティブとして利用でき、ソフトウェア制御によるメモリ・バリアを実現することが可能です。

(1) メモリ同期化操作

SYNCM 命令が実行された場合、V850E2/MN4 では次のメモリ・バリア操作を行います。

- SYNCM 命令を実行した CPU がすでに発行しているロード/ストア命令によるメモリ・アクセスの完了を保証します。
- ロード命令によるメモリ・アクセスの完了とは、ロード・データが CPU に確実に取り込まれることが保証される状態のことを指します。
- ストア命令によるメモリ・アクセスの完了とは、ストア・データが、V850E2/MN4 内部の他の CPU、DMA サブシステムからアクセスされた場合も、ストア命令の結果、変更されたデータが参照されることを保証できる状態のことを指します。

-
- 注意**
1. ロード命令には、通常のロード命令の他に、メモリからのリード操作を行う命令が含まれます。
 2. ストア命令には、通常のストア命令の他に、メモリへのライト操作を行う命令が含まれます。
 3. メモリ同期化によって、ストア命令の結果の参照を保証できるマスタは、CPU1, CPU2, DMA マスタのみです。例えば、CPU1 でメモリ同期化命令を用いてメモリ・バリア操作を行った場合に、CPU1 の書き込んだ結果を確実に利用できる対象は、CPU1, CPU2, DMA のみです。その他の外部バス・インタフェースの先に接続されたバス・マスタ等は対象となりません。
-

SYNCM 命令を実行すると、CPU は命令実行を停止しメモリ・バリア操作を実行します。メモリ・バリア操作が完了したのち CPU は動作を再開し、後続の命令を実行します。

(2) インタフェース機能のアクセス完了保証

メモリ同期化によって、V850E2/MN4 内部バスのマスタ間のメモリ参照の同期化は常に行われますが、インタフェース機能によるスレーブへのアクセスの完了が保証できるかどうかは、それぞれのインタフェースごとに異なります。

実際に、V850E2/MN4 の各インタフェース機能が、メモリ同期化命令 (SYNCM) の実行を行った場合にバス・アクセスの完了を保証するかどうかは、それぞれの持つ機能によって異なります。一部のインタフェースは、メモリ同期化命令 (SYNCM) を実行しても、そのインタフェース機能のスレーブ装置へのアクセスが完了したことを保証できません。

表 4-17 「インタフェースごとのメモリ同期化動作の結果」に、メモリ同期化命令 (SYNCM) 実行時に、それ以前に実行したメモリ操作を伴う命令 (ロード命令, ストア命令, ビット操作命令など) によるアクセスの完了を保証できるかどうかを示します。

表 4-17 インタフェースごとのメモリ同期化動作の結果

領域	アクセスの完了保証
フラッシュ・メモリ領域	○
CPU システム周辺機能領域	○
CPU 固有周辺機能領域	○
内蔵 RAM 領域	○
外部メモリ (プライマリ・メモリ・コントローラ) 領域	○
P バス領域	○
H バス領域	x ^a

- a) 特定の操作によってアクセスの完了保証が行えます。
- <1>H バス・メモリ・サイド・キャッシュのフラッシュ機能を実行
 - <2>H バス・メモリ・サイド・キャッシュ領域または H バス共有メモリではない領域へのリード・アクセス
 - <3>H バス共有メモリ・バンク 0 をリード
 - <4>H バス共有メモリ・バンク 1 をリード。

メモリ同期化命令のみでは、アクセスの完了保証が行われないインタフェースに対してアクセスの完了保証が必要な場合は、それぞれ個別に定義するアクセス完了保証の手順を、メモリ同期化命令の実行とあわせて行ってください。

4.9.8 シングルプロセッサ構成でも使用可能な資源

シングルプロセッサ構成の V850E2/MN4 においては、マルチプロセッサ・サポート機能の動作を次のように定義します。

表 4-18 シングルプロセッサ構成機能

機能	μ PD70F3514, 70F3515 (マルチプロセッサ構成)	μ PD70F3510, 70F3512 (シングルプロセッサ構成)	備考
CPU ローカル RAM アクセス機能	○	×	他 CPU が存在しないため
プロセッサ番号通知機能	○	○	
アトミック・バス・サイクルの保証 (相互排除処理用命令)	○	○	
相互排除変数レジスタ (MEV レジスタ)	○	×	
相互排除制御レジスタ (MEC レジスタ)	○	×	
メモリ同期化機能 (SYNCM 命令)	○	○	
PE 間割り込み要求機能	○	×	他 CPU が存在しないため
PE 間割り込み要求レジスタ (MIR0, MIR1)	○	×	他 CPU が存在しないため

4.10 周辺保護機能

4.10.1 周辺装置保護機能（PPU）対応

Pバス領域に配置されるレジスタについては、PPU制御をおこなうため、1機能マクロ群に対して1PPU単位の領域を割り当てます。

また、搭載されるレジスタの仕様により、OS領域、USER領域に分割配置されます。（分割配置のマッピングについては、各Pバス領域のマッピングを参照してください）。

分割配置された領域によりアクセスできるレジスタは、固定となります。すなわち、OS領域のみ配置したPバス領域内では、USER領域のレジスタにはアクセスできません。逆にUSER領域のみ配置したPバス領域内では、OS領域のレジスタにはアクセスできません。

各Pバス領域は、PPU設定が個々に設定できるため、OS領域を配置したPバス領域のみに“特権アクセス”設定することにより、PPU機能を効率よく設定することが可能となります。

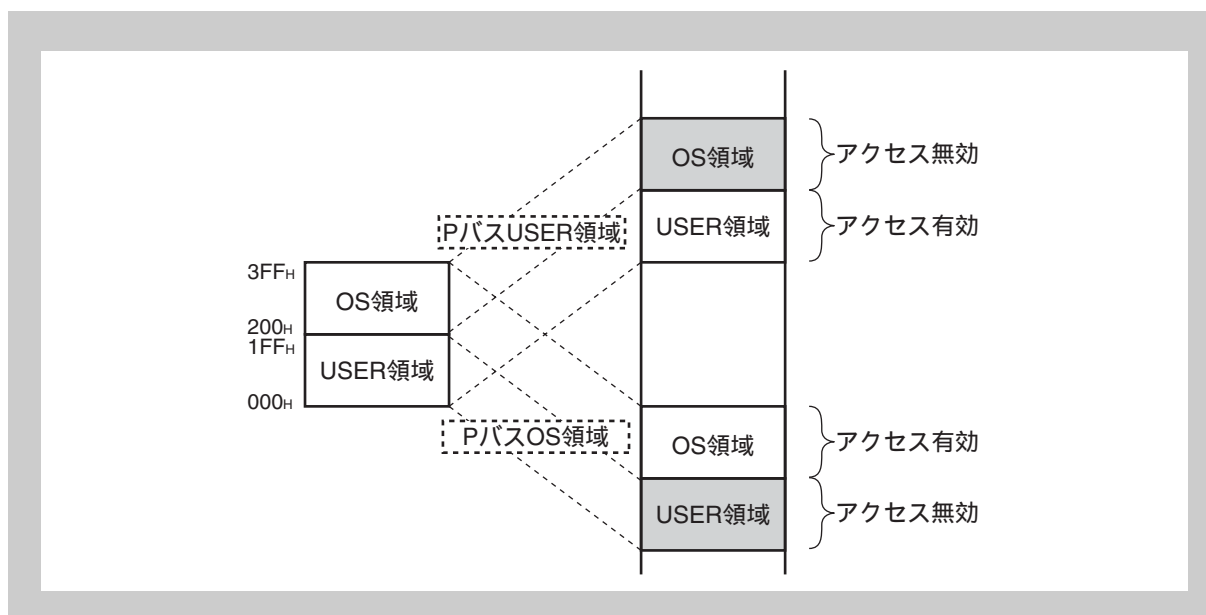


図 4-23 PPU 制御例（TAUA の場合）

PPU ベース・アドレス 「V850E2M アーキテクチャ編 ユーザーズ・マニュアル」に記載されている周辺保護機能に関するレジスタのアドレスはオフセット・アドレスとして定義してあります。ベース・アドレスを次に示します。

<PPU_base> = FFFF 5100_H

PPU 領域とレジスタ 各保護領域の制御レジスタは次 4 つのレジスタから構成されます。

- PPVn – 一般周辺装置保護の有効指定
- PPTn – 一般周辺装置の保護種別の指定
- PPPn – OS 周辺装置の指定
- PPSn – **特殊周辺装置**の指定

これらのレジスタは n= 0-8 で数えられます。

これら 32 ビット幅のレジスタにはビットがあります (m =0-31)。

- PPVn.PPVnm
- PPTn.PPTnm
- PPPn.PPPnm
- PPSn.PPSnm

表 4-19 「PPU 保護領域と保護対象」に保護アドレス範囲, 制御レジスタ/ビット, それぞれの領域名を示します。

表 4-19 PPU 保護領域と保護対象 (1/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
0	0	FFFF 6000 _H - FFFF 645F _H	INTC	1120 B
	1	FFFF 6480 _H - FFFF 6487 _H	フラッシュ・キャッシュ制御	8 B
	2	Reserved		
	3	FFFF 64B0 _H - FFFF 64B3 _H	SysErrGen	3B
	4	Reserved		
	5	Reserved		
	6	Reserved		
	7	FFFF 6700 _H - FFFF 67FF _H	Reserved (開発ツール向けデバッグ機能)	3B
	8	FFFF 6800 _H - FFFF 687F _H	PE 間割り込み	128B
	9	FFFF 6900 _H - FFFF 697F _H	相互排除編変数レジスタ	128B
	10	FFFF 6980 _H - FFFF 699F _H	相互排除制御レジスタ	160B
	11	FFFF 69A0 _H - FFFF 69BF _H	PE ガード	32B
	12	Reserved		
	13	Reserved		
	14	Reserved		
	15	Reserved		
	16	FFFF 5000 _H - FFFF53FF _H	プロセッサ保護 (PPU/TSU)	1 K
	17	Reserved		
	18	Reserved		
	19	Reserved		
	20	Reserved		
	21	FFFF 7100 _H - FFFF71FF _H	Hバス・インタフェース制御	8 B
	22	FFFF 7200 _H - FFFF 72FF _H	プライマリ・メモリ・コントローラ	256 B
	23	FFFF 7300 _H - FFFF 73FF _H	DMAC	256 B
	24	FFFF 7400 _H - FFFF 74FF _H	DMAC	256 B
	25	FFFF 7500 _H - FFFF 76FF _H	DMAC	512 B
	26	FFFF 7700 _H - FFFF 78FF _H	DMAC	512 B
	27	FFFF 7900 _H - FFFF 7AFF _H	DMAC	512 B
	28	FFFF 7B00 _H - FFFF 7CFF _H	DMAC/DTS	512 B
	29	FFFF 7D00 _H - FFFF 7EFF _H	DTS	512 B
	30	Reserved		
31	FFFF 7F80 _H - FFFF 7EFF _H	Hバス・インタフェース制御	128 B	

表 4-19 PPU 保護領域と保護対象 (2/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
1	0	FF40 0000 _H - FF40 FFFF _H	ポート Pnm 制御	64 KB
	1	FF41 0000 _H - FF41 FFFF _H	ポート・フィルタ制御	
	2	FF42 0000 _H - FF42 FFFF _H	クロック発生回路 リセット回路	
	3	FF43 0000 _H - FF43 FFFF _H	Reserved	
	4	FF44 0000 _H - FF44 FFFF _H	Reserved	
	5	FF45 0000 _H - FF45 FFFF _H	Reserved	
	6	FF46 0000 _H - FF46 FFFF _H	Reserved	
	7	FF47 0000 _H - FF47 FFFF _H	Reserved	
	8	FF48 0000 _H - FF48 FFFF _H	FCN0	
	9	FF49 0000 _H - FF49 FFFF _H		
	10	FF4A 0000 _H - FF4A FFFF _H	FCN1	
	11	FF4B 0000 _H - FF4B FFFF _H		
	12	FF4C 0000 _H - FF4C FFFF _H	Reserved	
	13	FF4D 0000 _H - FF4D FFFF _H	Reserved	
	14	FF4E 0000 _H - FF4E FFFF _H	Reserved	
	15	FF4F 0000 _H - FF4F FFFF _H	Reserved	
	16	FF50 0000 _H - FF50 FFFF _H	Reserved	
	17	FF51 0000 _H - FF51 FFFF _H	Reserved	
	18	FF52 0000 _H - FF52 FFFF _H	Reserved	
	19	FF53 0000 _H - FF53 FFFF _H	Reserved	
	20	FF54 0000 _H - FF54 FFFF _H	Reserved	
	21	FF55 0000 _H - FF55 FFFF _H	Reserved	
	22	FF56 0000 _H - FF56 FFFF _H	Reserved	
	23	FF57 0000 _H - FF57 FFFF _H	Reserved	
	24	FF58 0000 _H - FF58 FFFF _H	Reserved	
	25	FF59 0000 _H - FF59 FFFF _H	Reserved	
	26	FF5A 0000 _H - FF5A FFFF _H	Reserved	
	27	FF5B 0000 _H - FF5B FFFF _H	Reserved	
	28	FF5C 0000 _H - FF5C FFFF _H	UARTJ0	
	29	FF5D 0000 _H - FF5D FFFF _H	UARTJ1	
	30	FF5E 0000 _H - FF5E FFFF _H	UARTJ2	
	31	FF5F 0000 _H - FF5F FFFF _H	UARTJ3	

表 4-19 PPU 保護領域と保護対象 (3/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
2	0	FF60 0000 _H - FF60 FFFF _H	UARTE0	64 KB
	1	FF61 0000 _H - FF61 FFFF _H	UARTE1	
	2	FF62 0000 _H - FF62 FFFF _H	UARTE2	
	3	FF63 0000 _H - FF63 FFFF _H	UARTE3	
	4	FF64 0000 _H - FF64 FFFF _H	UARTE4	
	5	FF65 0000 _H - FF65 FFFF _H	UARTE5	
	6	FF66 0000 _H - FF66 FFFF _H	Reserved	
	7	FF67 0000 _H - FF67 FFFF _H	Reserved	
	8	FF68 0000 _H - FF68 FFFF _H	Reserved	
	9	FF69 0000 _H - FF69 FFFF _H	Reserved	
	10	FF6A0000 _H - FF6A FFFF _H	Reserved	
	11	FF6B 0000 _H - FF6B FFFF _H	Reserved	
	12	FF6C 0000 _H - FF6C FFFF _H	CSIH0	
	13	FF6D 0000 _H - FF6D FFFF _H	CSIH1	
	14	FF6E 0000 _H - FF6E FFFF _H	CSIH2	
	15	FF6F 0000 _H - FF6F FFFF _H	CSIH3	
	16	FF70 0000 _H - FF70 FFFF _H	CSIG0	
	17	FF71 0000 _H - FF71 FFFF _H	CSIG1	
	18	FF72 0000 _H - FF72 FFFF _H	CSIG2	
	19	FF73 0000 _H - FF73 FFFF _H	CSIG3	
	20	FF74 0000 _H - FF74 FFFF _H	CSIG4	
	21	FF75 0000 _H - FF75 FFFF _H	CSIG5	
	22	FF76 0000 _H - FF76 FFFF _H	Reserved	
	23	FF77 0000 _H - FF77 FFFF _H	Reserved	
	24	FF78 0000 _H - FF78 FFFF _H	Reserved	
	25	FF79 0000 _H - FF79 FFFF _H	Reserved	
	26	FF7A 0000 _H - FF7A FFFF _H	Reserved	
	27	FF7B 0000 _H - FF7B FFFF _H	Reserved	
	28	FF7C 0000 _H - FF7C FFFF _H	Reserved	
	29	FF7D 0000 _H - FF7D FFFF _H	Reserved	
	30	FF7E 0000 _H - FF7E FFFF _H	Reserved	
	31	FF7F 0000 _H - FF7F FFFF _H	Reserved	

表 4-19 PPU 保護領域と保護対象 (4/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
3	0	FF80 0000 _H - FF80 0FFF _H	OSTM0	4 KB
	1	FF80 1000 _H - FF80 1FFF _H	OSTM1	
	2	FF80 2000 _H - FF80 2FFF _H	Reserved	
	3	FF80 3000 _H - FF80 3FFF _H	Reserved	
	4	FF80 4000 _H - FF80 4FFF _H	Reserved	
	5	FF80 5000 _H - FF80 5FFF _H	Reserved	
	6	FF80 6000 _H - FF80 6FFF _H	Reserved	
	7	FF80 7000 _H - FF80 7FFF _H	Reserved	
	8	FF80 8000 _H - FF80 8FFF _H	TAUA0	
	9	FF80 9000 _H - FF80 9FFF _H	TAUA1	
	10	FF80 A000 _H - FF80 AFFF _H	TAUA2	
	11	FF80 B000 _H - FF80 BFFF _H	TAUA3	
	12	FF80 C000 _H - FF80 CFFF _H	Reserved	
	13	FF80 D000 _H - FF80 DFFF _H	Reserved	
	14	FF80 E000 _H - FF80 EFFF _H	Reserved	
	15	FF80 F000 _H - FF80 FFFF _H	Reserved	
	16	FF81 0000 _H - FF81 0FFF _H	Reserved	
	17	FF81 1000 _H - FF81 1FFF _H	TAUJ0	
	18	FF81 2000 _H - FF81 2FFF _H	Reserved	
	19	FF81 3000 _H - FF81 3FFF _H	Reserved	
	20	FF81 4000 _H - FF81 4FFF _H	Reserved	
	21	FF81 5000 _H - FF81 5FFF _H	TAPA0	
	22	FF81 6000 _H - FF81 6FFF _H	TAPA1	
	23	FF81 7000 _H - FF81 7FFF _H	TAPA2	
	24	FF81 8000 _H - FF81 8FFF _H	TAPA3	
	25	FF81 9000 _H - FF81 9FFF _H	ENCA0	
	26	FF81 A000 _H - FF81 AFFF _H	ENCA1	
	27	FF81 B000 _H - FF81 BFFF _H	Reserved	
	28	FF81 C000 _H - FF81 CFFF _H	Reserved	
	29	FF81 D000 _H - FF81 DFFF _H	ADCA0	
	30	FF81 E000 _H - FF81 EFFF _H	Reserved	
	31	FF81 F000 _H - FF81 FFFF _H	Reserved	

表 4-19 PPU 保護領域と保護対象 (5/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
4	0	FF82 0000 _H - FF82 0FFF _H	IICB0	4 KB
	1	FF82 1000 _H - FF82 1FFF _H	IICB1	
	2	FF82 2000 _H - FF82 2FFF _H	IICB2	
	3	FF82 3000 _H - FF82 3FFF _H	IICB3	
	4	FF82 4000 _H - FF82 4FFF _H	IICB4	
	5	FF82 5000 _H - FF82 5FFF _H	IICB5	
	6	FF82 6000 _H - FF82 6FFF _H	Reserved	
	7	FF82 7000 _H - FF82 7FFF _H	Reserved	
	8	FF82 8000 _H - FF82 8FFF _H	TAUA0	
	9	FF82 9000 _H - FF82 9FFF _H	TAUA1	
	10	FF82 A000 _H - FF82 AFFF _H	TAUA2	
	11	FF82 B000 _H - FF82 BFFF _H	TAUA3	
	12	FF82 C000 _H - FF82 CFFF _H	Reserved	
	13	FF82 D000 _H - FF82 DFFF _H	Reserved	
	14	FF82 E000 _H - FF82 EFFF _H	Reserved	
	15	FF82 F000 _H - FF82 FFFF _H	Reserved	
	16	FF83 0000 _H - FF83 0FFF _H	Reserved	
	17	FF83 1000 _H - FF83 1FFF _H	TAUJ0	
	18	FF83 2000 _H - FF83 2FFF _H	Reserved	
	19	FF83 3000 _H - FF83 3FFF _H	Reserved	
	20	FF83 4000 _H - FF83 4FFF _H	Reserved	
	21	FF83 5000 _H - FF83 5FFF _H	TAPA0	
	22	FF83 6000 _H - FF83 6FFF _H	TAPA1	
	23	FF83 7000 _H - FF83 7FFF _H	TAPA2	
	24	FF83 8000 _H - FF83 8FFF _H	TAPA3	
	25	FF83 9000 _H - FF83 9FFF _H	ENCA0	
	26	FF83 A000 _H - FF83 AFFF _H	ENCA1	
	27	FF83 B000 _H - FF83 BFFF _H	Reserved	
	28	FF83 C000 _H - FF83 CFFF _H	Reserved	
	29	FF83 D000 _H - FF83 DFFF _H	ADCA0	
	30	FF83 E000 _H - FF83 EFFF _H	Reserved	
	31	FF83 F000 _H - FF83 FFFF _H	Reserved	

表 4-19 PPU 保護領域と保護対象 (6/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
5	0	FFFF 8000 _H - FFFF 80FF _H	Port	256B
	1	FFFF 8100 _H - FFFF 81FF _H	Port	
	2	FFFF 8200 _H - FFFF 82FF _H	Port	
	3	FFFF 8300 _H - FFFF 83FF _H	Port	
	4	FFFF 8400 _H - FFFF 84FF _H	Port	
	5	FFFF 8500 _H - FFFF 85FF _H	Port	
	6	FFFF 8600 _H - FFFF 86FF _H	Port	
	7	FFFF 8700 _H - FFFF 87FF _H	Port	
	8	FFFF 8800 _H - FFFF 88FF _H	Port	
	9	FFFF 8900 _H - FFFF 89FF _H	Port	
	10	FFFF 8A00 _H - FFFF 8AFF _H	Port	
	11	FFFF 8B00 _H - FFFF 8BFF _H	Port	
	12	FFFF 8C00 _H - FFFF 8CFF _H	Port	
	13	FFFF 8D00 _H - FFFF 8DFF _H	Port	
	14	FFFF 8E00 _H - FFFF 8EFF _H	Port	
	15	FFFF 8F00 _H - FFFF 8FFF _H	Port	
	16	FFFF 9000 _H - FFFF 90FF _H	Port	
	17	FFFF 9100 _H - FFFF 91FF _H	Port	
	18	FFFF 9200 _H - FFFF 92FF _H	Port	
	19	FFFF 9300 _H - FFFF 93FF _H	Port	
	20	FFFF 9400 _H - FFFF 94FF _H	Port	
	21	FFFF 9500 _H - FFFF 95FF _H	Port	
	22	FFFF 9600 _H - FFFF 96FF _H	Port	
	23	FFFF 9700 _H - FFFF 97FF _H	Port	
	24	FFFF 9800 _H - FFFF 98FF _H	Port	
	25	FFFF 9900 _H - FFFF 99FF _H	Port	
	26	FFFF 9A00 _H - FFFF 9AFF _H	Port	
	27	FFFF 9B00 _H - FFFF 9BFF _H	Port	
	28	FFFF 9C00 _H - FFFF 9CFF _H	Port	
	29	FFFF 9D00 _H - FFFF 9DFF _H	Port	
	30	FFFF 9E00 _H - FFFF 9EFF _H	Port	
	31	FFFF 9F00 _H - FFFF 9FFF _H	Port	

表 4-19 PPU 保護領域と保護対象 (7/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
6	0	FFFF A000 _H - FFFF A0FF _H	Port	256B
	1	FFFF A100 _H - FFFF A1FF _H	Port	
	2	FFFF A200 _H - FFFF A2FF _H	Port	
	3	FFFF A300 _H - FFFF A3FF _H	Port	
	4	FFFF A400 _H - FFFF A4FF _H	Port	
	5	FFFF A500 _H - FFFF A5FF _H	Port	
	6	FFFF A600 _H - FFFF A6FF _H	Port	
	7	FFFF A700 _H - FFFF A7FF _H	Port	
	8	FFFF A800 _H - FFFF A8FF _H	Port	
	9	FFFF A900 _H - FFFF A9FF _H	Port	
	10	FFFF AA00 _H - FFFF AAFF _H	Port	
	11	FFFF AB00 _H - FFFF ABFF _H	Port	
	12	FFFF AC00 _H - FFFF ACFF _H	Port	
	13	FFFF AD00 _H - FFFF ADFF _H	Port	
	14	FFFF AE00 _H - FFFF AEF _H	Port	
	15	FFFF AF00 _H - FFFF AFF _H	Port	
	16	FFFF B000 _H - FFFF B0FF _H	Port	
	17	FFFF B100 _H - FFFF B1FF _H	Port	
	18	FFFF B200 _H - FFFF B2FF _H	Port	
	19	FFFF B300 _H - FFFF B3FF _H	Port	
	20	FFFF B400 _H - FFFF B4FF _H	Port	
	21	FFFF B500 _H - FFFF B5FF _H	Port	
	22	FFFF B600 _H - FFFF B6FF _H	Port	
	23	FFFF B700 _H - FFFF B7FF _H	Port	
	24	FFFF B800 _H - FFFF B8FF _H	Port	
	25	FFFF B900 _H - FFFF B9FF _H	Port	
	26	FFFF BA00 _H - FFFF BAFF _H	Port	
	27	FFFF BB00 _H - FFFF BBFF _H	Port	
	28	FFFF BC00 _H - FFFF BCFF _H	Port	
	29	FFFF BD00 _H - FFFF BDFF _H	Port	
	30	FFFF BE00 _H - FFFF BEFF _H	Port	
	31	FFFF BF00 _H - FFFF BFFF _H	Port	

表 4-19 PPU 保護領域と保護対象 (8/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
7	0	FFFF C00 _H - FFFF C0FF _H	WDTA0	256B
	1	FFFF C100 _H - FFFF C1FF _H	WDAT1	
	2	FFFF C200 _H - FFFF C2FF _H	TAUJ0	
	3	FFFF C300 _H - FFFF C3FF _H	Reserved	
	4	FFFF C400 _H - FFFF C4FF _H	TAUA0	
	5	FFFF C500 _H - FFFF C5FF _H	TAUA0	
	6	FFFF C600 _H - FFFF C6FF _H	TAUA0	
	7	FFFF C700 _H - FFFF C7FF _H	TAUA0	
	8	FFFF C800 _H - FFFF C8FF _H	TAUA1	
	9	FFFF C900 _H - FFFF C9FF _H	TAUA1	
	10	FFFF CA00 _H - FFFF CAFF _H	TAUA1	
	11	FFFF CB00 _H - FFFF CBFF _H	TAUA1	
	12	FFFF CC00 _H - FFFF CCFF _H	TAUA2	
	13	FFFF CD00 _H - FFFF CDFF _H	TAUA2	
	14	FFFF CE00 _H - FFFF CEFF _H	TAUA2	
	15	FFFF CF00 _H - FFFF CFFF _H	TAUA2	
	16	FFFF D000 _H - FFFF D0FF _H	TAUA3	
	17	FFFF D100 _H - FFFF D1FF _H	TAUA3	
	18	FFFF D200 _H - FFFF D2FF _H	TAUA3	
	19	FFFF D300 _H - FFFF D3FF _H	TAUA3	
	20	FFFF D400 _H - FFFF D4FF _H	TAPA0	
	21	FFFF D500 _H - FFFF D5FF _H	TAPA1	
	22	FFFF D600 _H - FFFF D6FF _H	TAPA2	
	23	FFFF D700 _H - FFFF D7FF _H	TAPA3	
	24	FFFF D800 _H - FFFF D8FF _H	ENCA0	
	25	FFFF D900 _H - FFFF D9FF _H	ENCA1	
	26	FFFF DA00 _H - FFFF DAFF _H	Reserved	
	27	FFFF DB00 _H - FFFF DBFF _H	Reserved	
	28	FFFF DC00 _H - FFFF DCFF _H	ADCA0	
	29	FFFF DD00 _H - FFFF DDFF _H	ADCA0	
	30	FFFF DE00 _H - FFFF DEFF _H	Reserved	
	31	FFFF DF00 _H - FFFF DFFF _H	Reserved	

表 4-19 PPU 保護領域と保護対象 (9/9)

保護制御レジスタ		アドレス範囲	配置機能名	保護範囲
PPVn, PPTn, PPPn, PPSn レジスタ n =	PPVnm, PPTnm, PPPnm, PPSnm ビット m =			
8	0	FFFF E00 _H - FFFF E0FF _H	CSIH0	256B
	1	FFFF E100 _H - FFFF E1FF _H	CSIH1	
	2	FFFF E200 _H - FFFF E2FF _H	CSIH2	
	3	FFFF E300 _H - FFFF E3FF _H	CSIH3	
	4	FFFF E400 _H - FFFF E4FF _H	CSIG0	
	5	FFFF E500 _H - FFFF E5FF _H	CSIG1	
	6	FFFF E600 _H - FFFF E6FF _H	CSIG2	
	7	FFFF E700 _H - FFFF E7FF _H	CSIG3	
	8	FFFF E800 _H - FFFF E8FF _H	CSIG4	
	9	FFFF E900 _H - FFFF E9FF _H	CSIG5	
	10	FFFF EA00 _H - FFFF EAFF _H	UARTJ0	
	11	FFFF EB00 _H - FFFF EBFF _H	UARTJ1	
	12	FFFF EC00 _H - FFFF ECFF _H	UARTJ2	
	13	FFFF ED00 _H - FFFF EDFF _H	UARTJ3	
	14	FFFF EE00 _H - FFFF EEFF _H	UARTE0	
	15	FFFF EF00 _H - FFFF EFFF _H	UARTE1	
	16	FFFF F000 _H - FFFF F0FF _H	UARTE2	
	17	FFFF F100 _H - FFFF F1FF _H	UARTE3	
	18	FFFF F200 _H - FFFF F2FF _H	UARTE4	
	19	FFFF F300 _H - FFFF F3FF _H	UARTE5	
	20	FFFF F400 _H - FFFF F4FF _H	IICB0	
	21	FFFF F500 _H - FFFF F5FF _H	IICB1	
	22	FFFF F600 _H - FFFF F6FF _H	IICB2	
	23	FFFF F700 _H - FFFF F7FF _H	IICB3	
	24	FFFF F800 _H - FFFF F8FF _H	IICB4	
	25	FFFF F900 _H - FFFF F9FF _H	IICB5	
	26	FFFF FA00 _H - FFFF FAFF _H	Reserved	
	27	FFFF FB00 _H - FFFF FBFF _H	Reserved	
	28	FFFF FC00 _H - FFFF FCFF _H	Reserved	
	29	FFFF FD00 _H - FFFF FDFF _H	Reserved	
	30	FFFF FE00 _H - FFFF FEFF _H	Reserved	
	31	FFFF FF00 _H - FFFF FFFF _H	Reserved	

4.11 タイミング監視機能

TSU ベース・アドレス 「V850E2M アーキテクチャ編 ユーザーズ・マニュアル」に記載されているタイミング監視機能に関するレジスタのアドレスはオフセット・アドレスとして定義してあります。ベース・アドレスを次に示します。

ベース・アドレスを次に示します。

<TSU_base> = FFFF 5000_H

4.12 その他の保護機能

4.12.1 PE ガード機能

PE ガード保護機能は、マルチプロセッサ構成をとる場合に提供される機能です。

V850E2/MN4 では、それぞれの PE の内蔵 RAM に対し、他の PE からのライト・アクセスを禁止/許可する空間を 2 つ設定することができます。この 2 つの空間を禁止空間とするか、許可空間とするか設定可能です。

PE1 は、PE2 から内蔵 RAM1 に対するライト・アクセスに対してのみ設定可能です。

PE2 は、PE1 から内蔵 RAM2 に対するライト・アクセスに対してのみ設定可能です。

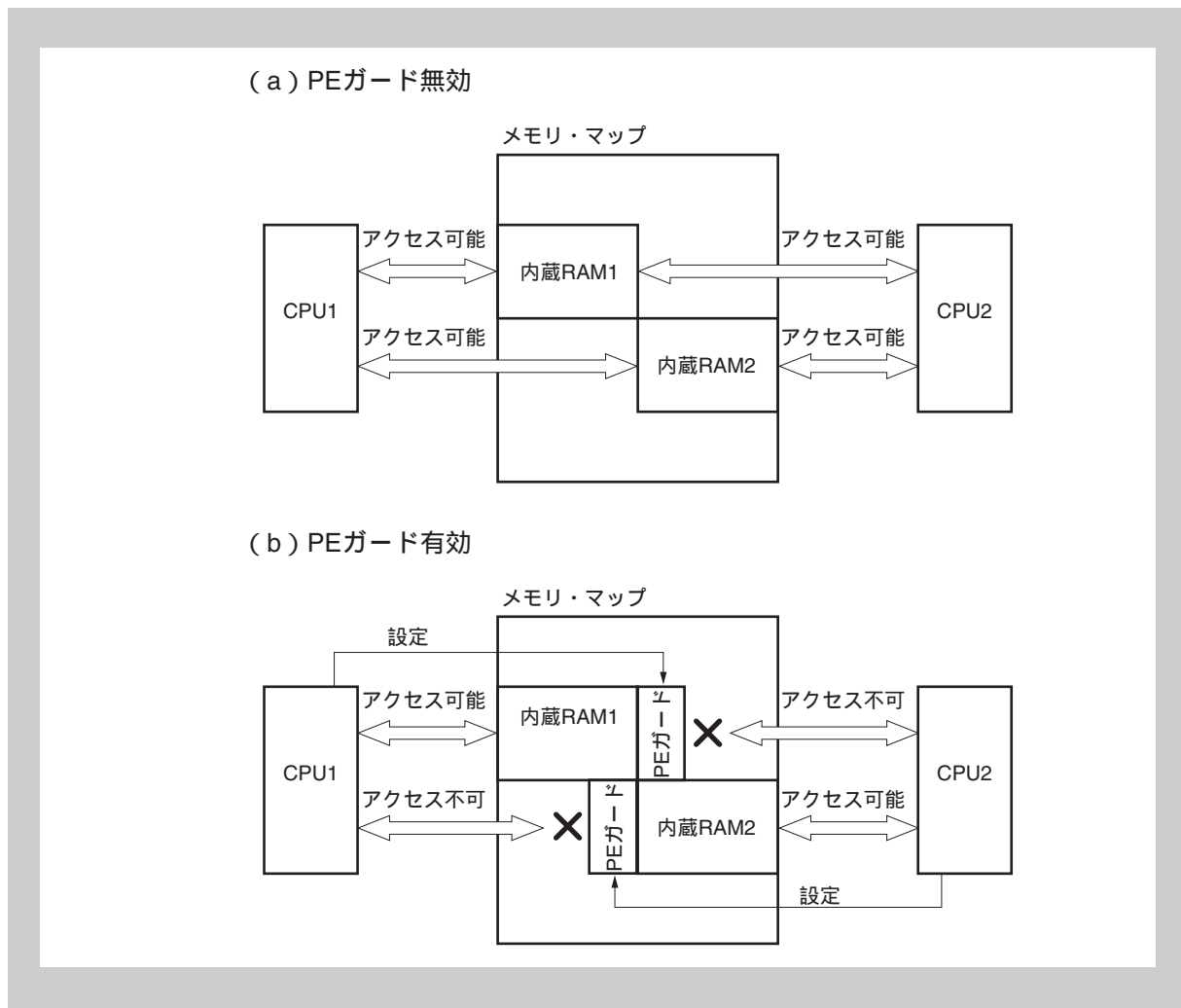


図 4-24 PE ガード保護

本設定にアクセスし、違反が検出された場合は、次の動作が起こります。

- 設定を行った CPU には、EIINT2 が発生します。
- 違反を行った CPU には、SYSERR 例外が発生します。^a

備考 備考 PEGEC.PEO0, PEGEC.PEO1 を参照することでも違反発生を知ることが可能です。

(1) PE ガードのガード空間指定

ガードする空間は、CPU ごと（内蔵 RAM ごと）に 2 つまで定義できます。許可型、禁止型の 2 タイプが選択できます。PEGSR.GAASE ビットで指定します。

^a SYSERR 例外の発生はマスク設定が可能です。詳細は 4.12.3 「システム・エラー通知機能」を参照してください。

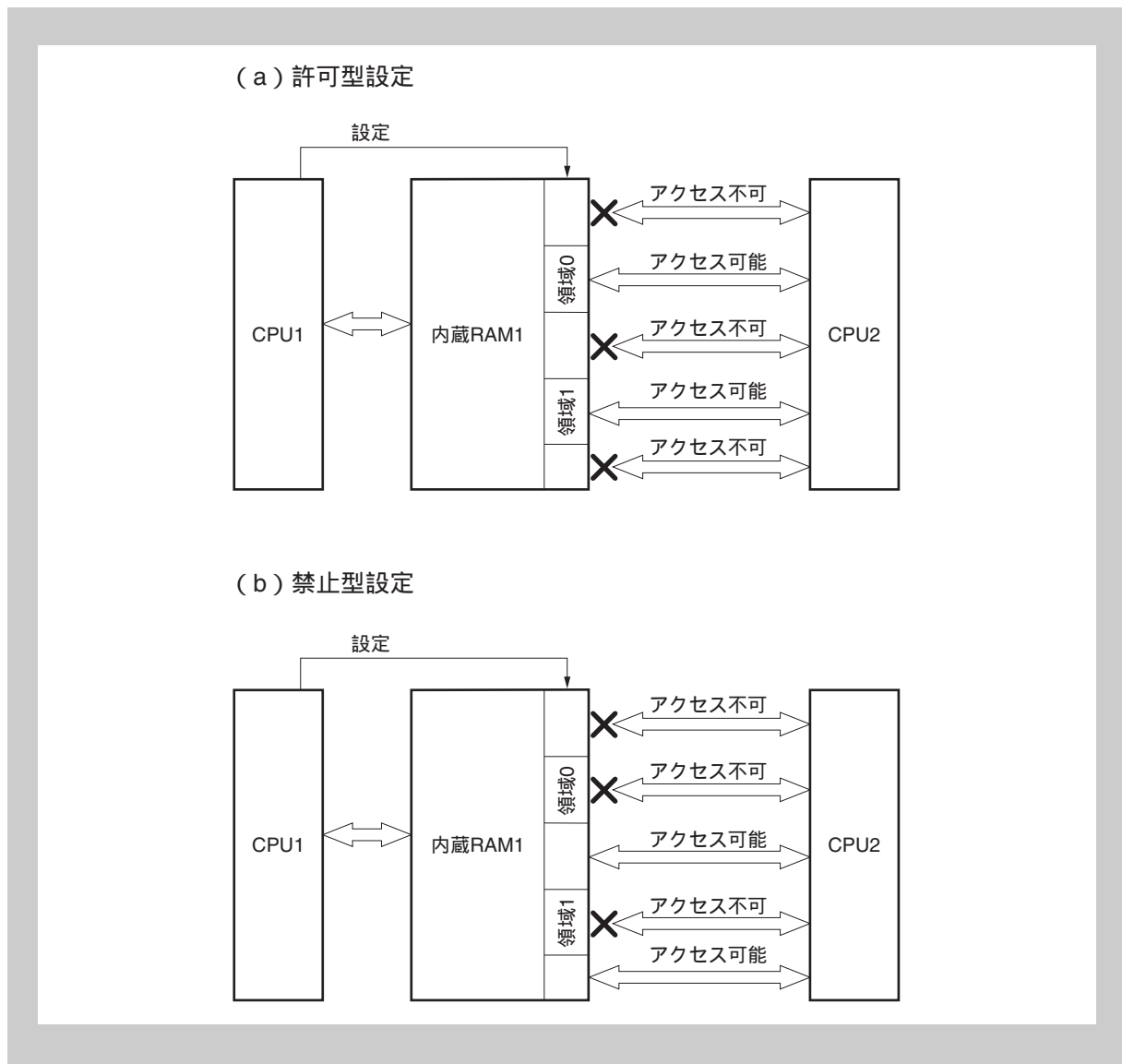


図 4-25 空間の指定

領域 0、領域 1 の位置は、次のベース・アドレス指定レジスタとマスク・アドレス指定レジスタで指定します。

ベース・アドレス指定とマスク・アドレス指定を同時に行うため、これらレジスタに対する設定はベース・アドレス・シャドウ・レジスタ (PEGSA)、マスク・アドレス・シャドウ・レジスタ (PEGSM) を経由して行います。

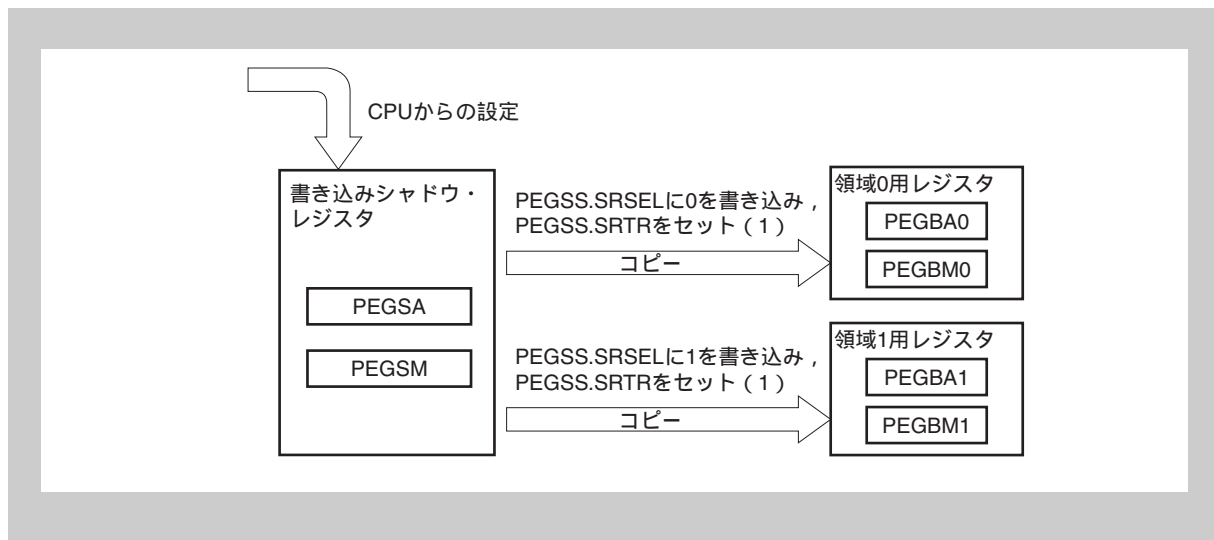


図 4-26 シャドウ・レジスタからの転送

注意 禁止型設定を行う場合
 アドレス設定を行う際、マスク・アドレス・レジスタには、各CPUに対応した内蔵RAMサイズ以上のビット位置を1（マスク指示）したビット・パターンを設定してください。

(2) PE ガードの開始

ガードする空間の設定、ガードの開始は、次の手順で行います。

- <1> シャドウ・レジスタ（PEGSB）にベース・アドレス、シャドウ・レジスタ（PEGSM）にマスク・アドレスを設定します。
- <2> PEGSS.SRSEL に転送したい空間番号（0 もしくは 1）を設定するとともに、PEGSS.SRTR に 1 を設定します。これにより、PEGBA0（もしくは PEGBA1）、PEGMA0（もしくは PEGMA1）に値が転送されます。
- <3> 設定したいチャネル数分、上記処理 <1>、<2> を繰り返します。
- <4> PEGSR.GAASE に保護方針（1：禁止型／0：許可型）を設定するとともに、PEGSR.GAWEN0、PEGSR.GAWEN1 を 1 に設定します。

(3) PE ガードの停止

PE ガード保護の停止は次の操作で行います。

- ・ PEGSR.GAWEN1 = 0 に設定
- ・ PEGSR.GAWEN0 = 0 に設定
- ・ PEGSR.GAASE = 0 に設定

(4) PE ガード設定レジスタ

PE ガード機能の設定を行うレジスタです。

(a) PE ガード機能設定レジスタ (PEGSR)

PE ガード機能の設定を行うレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。ただし、PEGSR レジスタの上位 8 ビットを PEGSRH レジスタ、下位 8 ビットを PEGSRL レジスタとして使用する場合は 8 ビット単位でリード／ライト可能です。

アドレス FFFF69A0_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 14-2 には、必ず 0 を設定してください。

	15	14	13	12	11	10	9	8
GAASE	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	GAWEN1	GAWEN0
	R	R	R	R	R	R	R/W	R/W

表 4-20 PEGSR レジスタの内容

ビット位置	ビット名	意味
15	GAASE	PE ガード領域属性指定 0: ガード領域 0, ガード領域 1 を禁止属性。それ以外を許可 (初期値) 1: ガード領域 0, ガード領域 1 を許可属性。それ以外を禁止
1	GAWEN1	ガード領域 1 で示された領域のガードの有効／無効の設定 0: 無効 (初期値) 1: 有効
0	GAWEN0	ガード領域 0 で示された領域のガードの有効／無効の設定 0: 無効 (初期値) 1: 有効

備考 GAASE = 0, GAWEN1 = 0, GAWEN0 = 0 のとき PE ガード機能は無効です。

(b) PE ガード領域設定レジスタ (PEGSS)

PE ガード機能のガード領域に関する設定を行うレジスタです。

アクセス 16ビット単位でリード/ライト可能です。ただし、PEGSSレジスタの上位8ビットをPEGSSHレジスタ、下位8ビットをPEGSSLレジスタとして使用する場合は8ビット単位でリード/ライト可能です。

アドレス FFFF69A2_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 15-9, 7-1 には、必ず 0 を設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	SRSEL
R	R	R	R	R	R	R	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GAWEN0
R	R	R	R	R	R	R	R/W

表 4-21 PEGSS レジスタの内容

ビット位置	ビット名	意味
8	SRSEL	シャドウ・レジスタに保存されている内容をどのチャンネルの PEGBA と PEGMA に転送するかを設定します。 0: チャンネル 0 (初期値) 1: チャンネル 1
1	STSR	シャドウ・レジスタに保存されている内容を PEGBAx と PEGMAx に転送します。転送終了後は自動的に 0 にクリアされます (x の値は SRSEL の内容で決まります) 0: 無効 (初期値) 1: 有効

(c) ガード領域ベース・アドレス・レジスタ 0, 1 (PEGBA0, PEGBA1)

ガードする領域のベース・アドレス・レジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス PEGBA0 : FFFF69B0_H PEGBA1 : FFFF69B8_H

初期値 00000000_H どのリセット要因でも初期化されます。

注意 ビット 31-23 には、必ず 0 を設定してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	PEGBA _n						
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEGBA _n															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4-22 PEGBA_n レジスタの内容

ビット位置	ビット名	意味
[22:0]	PEGBA _n	ガード領域 n のベース・アドレス指定 (n = 0, 1)

(d) ガード領域マスク・アドレス・レジスタ 0, 1 (PEGMA0, PEGMA1)

ガードする領域のマスク・アドレス・レジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス PEGMA0 : FFFF69B4_H PEGMA1 : FFFF69BC_H

初期値 00000000_H どのリセット要因でも初期化されます。

注意 ビット 31-23 には、必ず 0 を設定してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	PEGMA _n						
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEGMA _n															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4-23 PEGMA_n レジスタの内容

ビット位置	ビット名	意味
[22:0]	PEGMA _n	ガード領域 n のマスク・アドレス指定 (n = 0, 1)

(e) ベース・アドレス・シャドウ・レジスタ (PEGSB)

ベース・アドレス用のシャドウ・レジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF69A8_H

初期値 00000000_H どのリセット要因でも初期化されます。

注意 ビット 31-29, 11-0 には、必ず 0 を設定してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	PEGSB												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEGSB			0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 4-24 PEGSB レジスタの内容

ビット位置	ビット名	意味
[28:12]	PEGSB	ベース・アドレス用のシャドウ・レジスタ

(f) マスク・アドレス・シャドウ・レジスタ (PEGSM)

マスク・アドレス用のシャドウ・レジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF69AC_H

初期値 00000000_H どのリセット要因でも初期化されます。

注意 ビット 31-29, 11-0 には、必ず 0 を設定してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	PEGSM												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEGSM			0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 4-25 PEGSM レジスタの内容

ビット位置	ビット名	意味
[28:12]	PEGSM	マスク・アドレス用のシャドウ・レジスタ

(g) PE ガード機能違反要因レジスタ (PEGEC)

エラーが発生した場合に、その要因を保持するレジスタです

アクセス 16 ビット単位でリード/ライト可能です。ただし、PEGEC レジスタの上位 8 ビットを PEGECH レジスタ、下位 8 ビットを PEGECL レジスタとして使用する場合は 8 ビット単位でリード/ライト可能です。

アドレス FFFF69A4_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 14-2 には、必ず 0 を設定してください。

15	14	13	12	11	10	9	8
PEOR	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	PEO1	PEO0
R	R	R	R	R	R	R/W	R/W

表 4-26 PEGEC レジスタの内容

ビット位置	ビット名	意味
15	PEOR	ガード領域の属性が許可設定の場合、ガード領域以外の禁止領域でアクセス・エラーが発生したことを示します。 0: エラーが発生していない (初期値) 1: エラー発生
1	PEO1	ガード領域の属性が禁止設定の場合、ガード領域 1 で示された領域でアクセス・エラーが発生したことを示します。 0: エラーが発生していない (初期値) 1: エラー発生
0	PEO0	ガード領域の属性が禁止設定の場合、ガード領域 0 で示された領域でアクセス・エラーが発生したことを示します。 0: エラーが発生していない (初期値) 1: エラー発生

備考 各ビットとも、セット (1) されると 0 をライトしない限り、リセット以外で 0 になりません。

4.12.2 命令アクセス・エラー通知機能

CPUによる命令フェッチ・アクセス時にエラーが発生した場合、実際にエラーの発生したアドレス中に含まれる命令を実行しようとした場合にのみ、命令アクセス・エラー（MEP 例外，例外要因コード 00000330_H）を通知します。命令フェッチ・アクセス時に発生するエラー要因を次に示します。

・プライマリ・メモリ・コントローラの外部ウエイト・エラー検出

MEP 例外は受け付け条件なしの復帰／回復が不可能な例外です。MEP 例外が発生した場合、CPU は正常に処理を継続できません。MEP 例外ハンドラ・プログラムでは、適切な処理のあと、システム・リセット（もしくは、そのCPUでの代替プログラム実行）を行ってください。MEP 例外ハンドラ・プログラムが配置されている場所にて MEP 例外が発生した場合、CPU は再度、MEP 例外ハンドラへ分岐し、MEP 例外処理を再実行します。また、MEP 例外処理中にも、SYSERR 例外、FE レベル・ノンマスカブル割り込み例外が発生することがあります。この場合、エラーが発生した時点で SYSERR 例外、FE レベル・ノンマスカブル割り込み例外処理に移行します。

4.12.3 システム・エラー通知機能

システム上の深刻なエラー（システム・エラー）が発生した場合に、CPU に対してシステム・エラー例外（SYSERR 例外）を通知することができます。

(1) システム・エラーの要因

(a) EXT 領域エラー

CPU が外部バス領域、Hバス領域にデータ・アクセスした際のエラー検出

- プライマリ・メモリ・コントローラの外部ウエイト・エラー検出
- Hバスのウエイト・エラー検出
- セカンダリ DMA の周辺 I/O レジスタに 32bit バス幅以外のバス幅でアクセスした際のエラー検出

(b) リザーブ領域アクセス

リザーブ領域アクセスによるエラー検出

- CPU 固有周辺装置の将来の拡張のために予約された領域（FFFF0000_H-FFFF4FFF_H）へのアクセスによるエラー検出

(c) DMA エラー

DMA アクセスによるエラー検出

- DMA アクセス時の (a), (b) 要因によるエラー検出

(2) システム・エラー通知設定レジスタ

- SEG_CONT: SYSERR 例外通知設定レジスタ
- SEG_FLAG: システム・エラー要因保存レジスタ

(a) システム・エラー・コントロール・レジスタ (SEG_CONT)

システム・エラー要因に起因する SYSERR 例外発生／非発生を設定するレジスタです。

システム・エラー要因通知機能についての詳細は、4.12.3「システム・エラー通知機能」を参照してください。

アクセス 16ビット単位でリード／ライト可能です。ただし、SEG_CONT レジスタの下位8ビットをSEG_CONTL レジスタとして使用する場合は8/1ビット単位でリード／ライト可能です。

アドレス FFFF64B0_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 15-8, 6, 4, 3, 1, 0 には必ず 0 を設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
SEG_CONT DMAE	0	SEG_CONT SEGE	0	0	SEG_CONT EXTE	0	0
R	R	R	R	R	R/W	R	R

表 4-27 SEG_CONT レジスタの内容

ビット位置	ビット名	意味
7	SEG_CONT DMAE	DMA エラー通知イネーブル DMA アクセスによるシステム・エラー発生時の動作を設定するビットです。 0 : SYSERR 例外が発生しません (初期値) 1 : SYSERR 例外発生
5	SEG_CONT SEGE	リザーブ領域アクセス通知イネーブル CPU がリザーブ領域 (FFFF0000 _H -FFFF4FFF _H) ヘデータ・アクセスした際の動作を設定するビットです。 0 : SYSERR 例外が発生しません (初期値) 1 : SYSERR 例外発生
2	SEG_CONT EXTE	EXT 領域エラー通知イネーブル CPU が外部メモリ領域、Hバス領域にデータ・アクセスした際のエラー発生時の動作を設定するビットです。 0 : SYSERR 例外が発生しません (初期値) 1 : SYSERR 例外発生

(b) システム・エラー・コントロール・レジスタ (SEG_FLAG)

システム・エラーの検出を保存するフラグ・レジスタです。

システム・エラーを検出すると、対応するエラー要因のフラグがセット (1) されます。レジスタ書き込みにより直接フラグをセットし、SYSERR 例外を要求することも可能です。

システム・エラー要因通知機能についての詳細は、4.12.3「システム・エラー通知機能」を参照してください。

各フラグは“1”の状態をリード後、“0”をライトすることでクリアされます。リード時に“0”だったフラグに対し、その後のライト動作で“0”をライトしても、リード⇄ライト間に発生したエラーに対しては、フラグはセットされません。

アクセス 16ビット単位でリード/ライト可能です。ただし、SEG_FLAG レジスタの下位8ビットを SEG_FLAGL レジスタとして使用する場合は8/1ビット単位でリード/ライト可能です。

アドレス FFFF64B2_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 15-3, 1, 0 には必ず 0 を設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
SEG_FLAG DMAF	0	SEG_FLAG SEGF	0	0	SEG_FLAG EXTF	0	0
R/W	R	R/W	R	R	R/W	R	R

表 4-28 SEG_FLAG レジスタの内容

ビット位置	ビット名	意味
7	SEG_FLAG DMAF	DMA エラー・フラグ DMA からのエラー通知により、システム・エラーが検出された時にセットされます。 0 : DMA エラーは発生していない (初期値) 1 : DMA エラーが発生した
5	SEG_FLAG SEGF	リザーブ領域エラー・フラグ CPU がリザーブ領域 (FFFF0000 _H -FFFF4FFF _H) ヘデータ・アクセスしたときにセットされます。 0 : リザーブ領域エラーは発生していない (初期値) 1 : リザーブ領域エラーが発生した
2	SEG_FLAG EXTF	EXT 領域エラー・フラグ CPU が外部メモリ領域、Hバス領域にデータ・アクセスした際にエラーが発生するとセットされます。 0 : EXT 領域エラーは発生していない (初期値) 1 : EXT 領域エラーが発生した

(3) SYSERR 例外発生時の処理

SYSERR 例外が発生した場合、CPU は正常に処理を継続できません。SYSERR 例外ハンドラでは、適切な処理の後、システム・リセットを行ってください。

SYSERR 例外が CPU に通知されると、ソフトウェアでエラー要因ビットを明示的にクリアしない限り、もう一度 SYSERR 例外が通知されることはありません。

SYSERR 例外処理中に MEP 例外や FENMI 例外が発生することがありますが、この場合、その時点で MEP 例外／FENMI 例外処理に移行します。このように SYSERR 例外処理から MEP 例外／FENMI 例外処理に移行した場合、この例外処理中は、SYSERR 例外が再度発生しません（いったん SYSERR 例外が CPU に通知されると、エラー要因ビットをクリアしない限り再度 SYSERR 例外が通知されないためです）。

SYSERR 例外は完全な復帰／回復が不可能な例外であるため、原則として SYSERR 発生時にはリセットで初期化を行う運用を前提としています。

(4) 後続アクセスのブロック機能

システム・エラー発生時に、その CPU に対して SYSERR 例外が通知されます。SYSERR 例外が CPU へ通知され、CPU が SYSERR 例外処理を開始するまでに数命令スリップする可能性があります。

そのため、SYSERR が発生してから CPU が SYSERR 例外を受け付けるまでの期間、後続命令による CPU 外部へのアクセスをブロックする機能を提供します。

これにより、外部リソースを不正に更新することを防ぎます。

ただし、システム・エラーは完全な復帰／回復が不可能な例外であるため、原則として SYSERR 例外発生時にはリセットで初期化を行う運用を前提としています。

第5章 リセット機能

5.1 特徴

○ 3種類のリセット要因

- $\overline{\text{RESET}}$ 端子入力によるシステム・リセット
- ウォッチドッグ・タイマのオーバフローによるシステム・リセット
- ソフトウェア・リセットによるシステム・リセット

5.2 構成

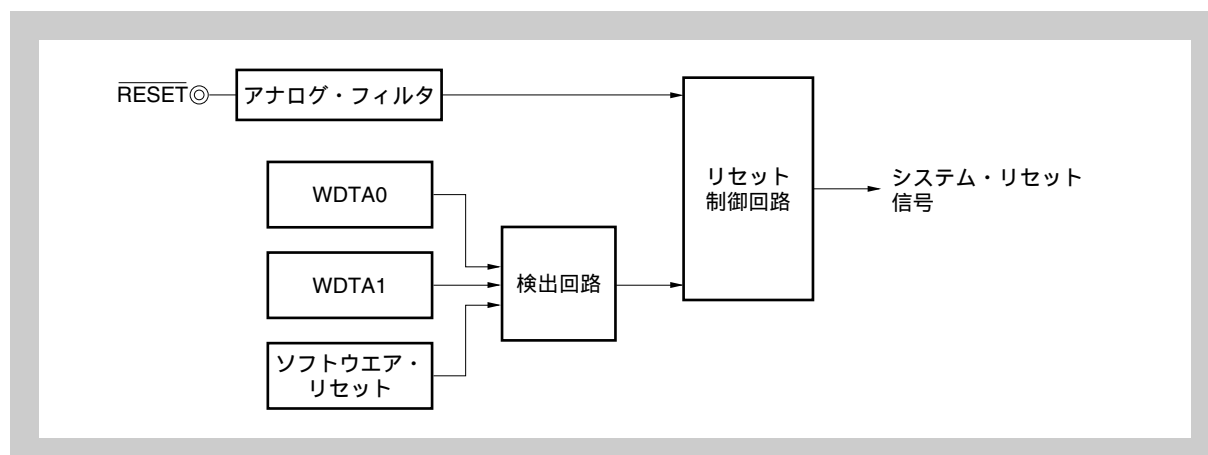


図 5-1 リセット回路のブロック図

5.3 制御レジスタ

5.3.1 リセット要因フラグ・レジスタ (RESF)

RESF レジスタは、リセット要求を受けた場合、どのリセット要因から要求を受けたかを示すレジスタです。

リセット要求を受けた要因に該当するビットがセットされます。

アクセス 8ビット単位でリードのみ可能です。

アドレス FF420040_H

初期値 00_H $\overline{\text{RESET}}$ 端子入力により 00H になります。 $\overline{\text{RESET}}$ 端子入力以外の要因のリセットにより初期値は異なります。またセット (1) されたビットは RESC レジスタの該当ビットをセット (1) することによってクリア (0) されます。

	7	6	5	4	3	2	1	0
RESF	0	0	0	0	0	RESSTG2I N2	RESSTG2I N1	RESSTG2I N0
	R	R	R	R	R	R	R	R

表 5-1 RESF レジスタの内容

ビット位置	ビット名	意味
2	RESSTG2IN2	ソフトウェア・リセット信号発生の有無 0: 発生なし 1: 発生あり
1	RESSTG2IN1	WDTA1 のオーバフロー信号 (WDTA1RES) 発生の有無 0: 発生なし 1: 発生あり
0	RESSTG2IN0	WDTA0 のオーバフロー信号 (WDTA0RES) 発生の有無 0: 発生なし 1: 発生あり

備考 エミュレータ接続時に、リセット・マスクを有効にした場合、各ビットはセット (1) されません。

5.3.2 リセット要因クリア・レジスタ (RESC)

RESC レジスタは、RESF レジスタをクリアするレジスタです。RESF レジスタのセット (1) されたビットの RESC レジスタの該当ビットをセット (1) することで、RESF レジスタのセット (1) されていた該当ビットがクリア (0) されます。

アクセス 8ビット単位でライトのみ可能です。リードした場合、常に 00_H が読み出されます。

アドレス FF420044_H

初期値 00_H

	7	6	5	4	3	2	1	0
RESC	0	0	0	0	0	STG2 RESCR2	STG2 RESCR1	STG2 RESCR0
	W	W	W	W	W	W	W	W

表 5-2 RESC レジスタの内容

ビット位置	ビット名	意味
2	STG2 RESCR2	ソフトウェア・リセット・フラグのクリア (0) STG2RESCR2 ビットをセット (1) すると RESSTG2IN2 ビットがクリア (0) されます。
1	STG2 RESCR1	WDTA1 のオーバフロー信号 (WDTA1RES) 発生フラグのクリア (0) STG2RESCR1 ビットをセット (1) すると RESSTG2IN1 ビットがクリア (0) されます。
0	STG2 RESCR0	WDTA0 のオーバフロー信号 (WDTA0RES) 発生フラグのクリア (0) STG2RESCR0 ビットをセット (1) すると RESSTG2IN0 ビットがクリア (0) されます。

備考 エミュレータ接続時、リセット・マスクを有効にした場合、各ビットはセット (1) されません。

5.3.3 ソフトウェア・リセット許可レジスタ : SWRSTEN

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFFDA04_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
SWRSTEN	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	SWRSTEN
	R	R	R	R	R	R	R	R/W

表 5-3 SWRSTEN レジスタの内容

ビット位置	ビット名	意味
0	SWRSTEN	ソフトウェア・リセット制御ビット 0: ソフトウェア・リセット発生禁止 1: ソフトウェア・リセット発生許可

5.3.4 ソフトウェア・リセット・トリガ・レジスタ : SWREST

SWREST レジスタはソフトウェア・リセットを発生させるトリガ・レジスタです。SWRSTEN.SWRSTEN ビットをセット (1) しているときに、SWREST に 00_H をライトすることでソフトウェア・リセットを発生させることができます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FF420000_H

初期値 2C_H

	7	6	5	4	3	2	1	0
SWREST	SWREST7	0	1	0	1	1	0	0
	R/W	R	R	R	R	R	R	R

5.4 動作

5.4.1 RESET 端子入力によるシステム・リセット動作

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

$\overline{\text{RESET}}$ 端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除し、CPUは0000000_H番地からプログラムの実行を開始します。

なお、 $\overline{\text{RESET}}$ 端子入力をロウ・レベルからハイ・レベルに変化したときに発振安定時間は挿入されません。したがって、クロック・ジェネレータが停止した状態からの $\overline{\text{RESET}}$ 端子入力（パワー・オン時のリセット）では、発振安定時間を $\overline{\text{RESET}}$ 端子入力のロウ・レベル幅で確保する必要があります。

表 5-4 リセット入力時の各ハードウェア状態

ハードウェア名	リセット期間中	リセット解除後
クロック・ジェネレータ	6.4.1 「各クロックの動作状態」参照	
CPU	動作停止	動作開始
内蔵 RAM, H バス共有メモリ	不定	
デバッグ機能	動作停止	動作可能
内蔵周辺 I/O レジスタ	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能
端子機能	2.4 「端子状態」参照	2.5 「初期状態と未使用時の処理」参照

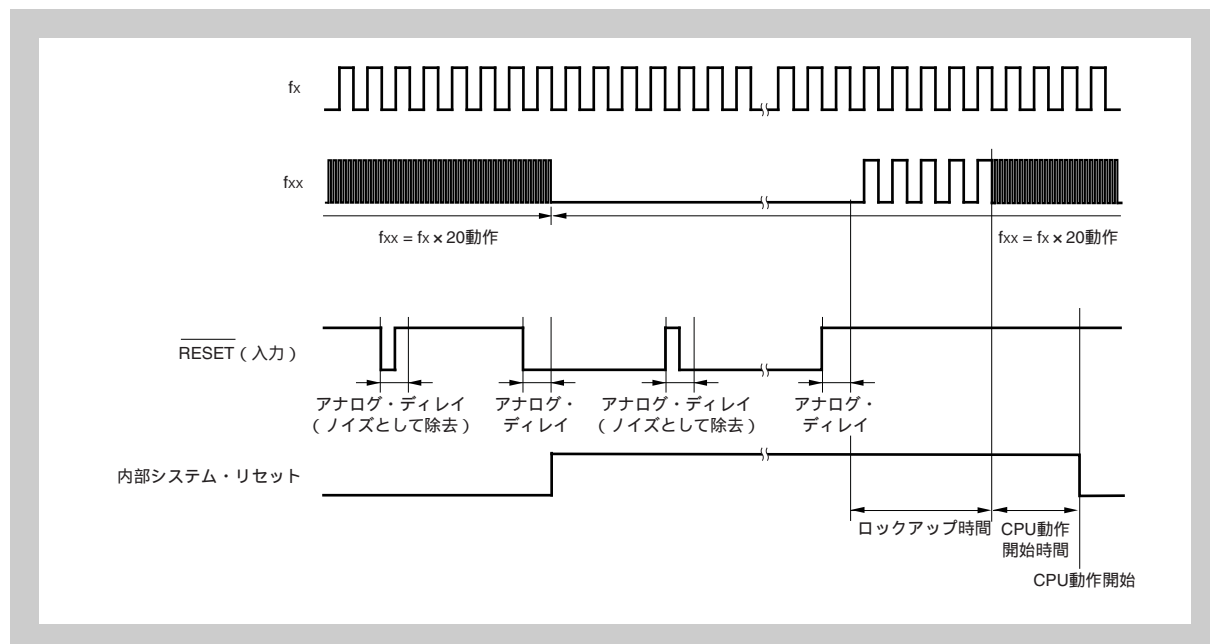


図 5-2 RESET 端子によるリセット動作

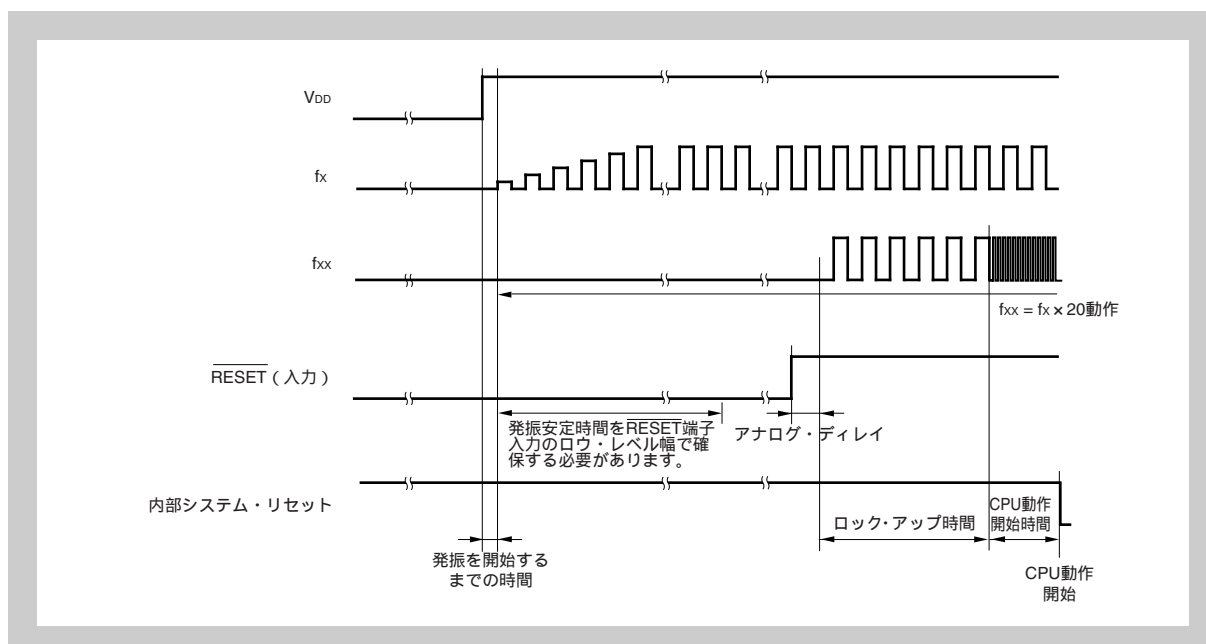


図 5-3 パワーオン時のリセット動作

5.4.2 ウォッチドッグ・タイマのオーバーフローによるシステム・リセット

ウォッチドッグ・タイマをオーバーフローによるリセット動作に設定している場合、ウォッチドッグ・タイマがオーバーフローすると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。ウォッチドッグ・タイマのオーバーフロー後、リセット状態となり、その後リセット状態を自動的に解除します。

5.4.3 ソフトウェア・リセットによるシステム・リセット

ソフトウェア・リセット許可レジスタ (SWRSTEN) の SWRSTEN ビットをセット (1) してソフトウェア・リセット発生許可にしたあと、ソフトウェア・リセット・トリガ・レジスタに 00_H を書き込むと、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

ソフトウェア・リセット・トリガ・レジスタに書き込み後、リセット状態となり、その後リセット状態を自動的に解除します。

ソフトウェア・リセットは次の手順で行います。

1. 使用している周辺機能および DMA の動作を中断または完了させ、動作を停止させてください。
2. 割り込みを禁止します。
3. SWRSTEN.SWRSTEN ビットをセット (1) します。
4. SWREST レジスタに 00_H を書き込みます。
5. 後続の命令を実行しないように、無限ループにします。

第6章 クロック・ジェネレータ

クロック・ジェネレータは、CPU および周辺ハードウェアに供給するクロックを発生する回路です。PLL 回路を内蔵しており、発振／供給したクロックを 20 逡倍して使用します。また、クロックを分周して CPU や内蔵周辺機能に供給したり、クロック供給を停止して低消費電力状態にすることが可能です。

クロック発生機能の特徴を次に示します。

6.1 特徴

- 発振子接続による発振
- 発振回路入力周波数 f_x を PLL (Phase Locked Loop) による 20 逡倍固定で使用
- 発振回路入力周波数 $f_x = 7.2 \text{ MHz} \sim 10 \text{ MHz}$
- PLL ロックアップ時間制御
- USB 専用クロック入力
- MII 専用クロック入力
- パワー・セーブ制御
- HALT モード

6.2 構成

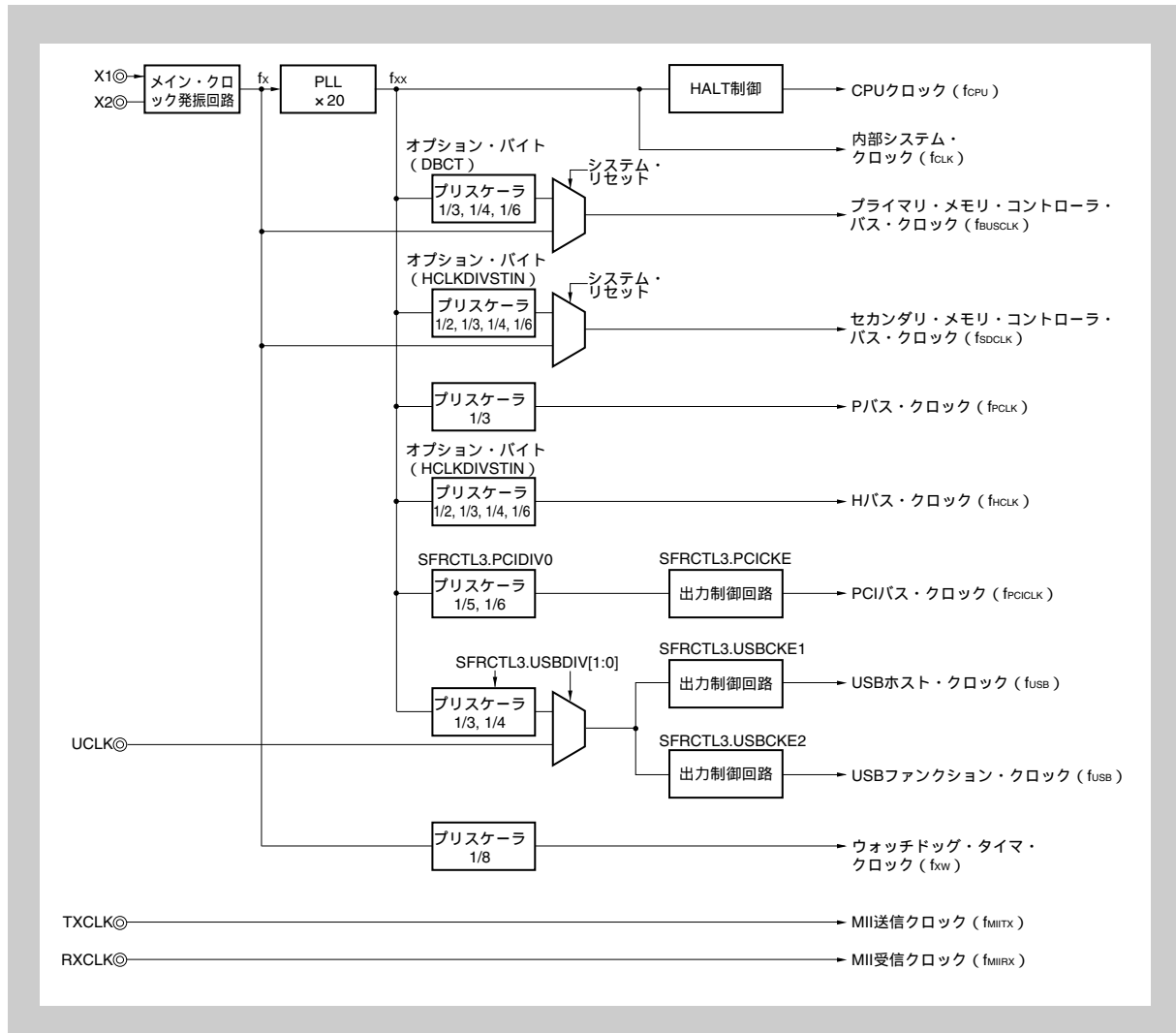


図 6-1 クロック・ジェネレータのブロック図

6.3 制御レジスタ

6.3.1 特殊クロック周波数制御レジスタ (SFRCTL3)

SFRCTL3 レジスタは、USB ファンクション / USB ホスト・コントローラに供給するクロックの制御を行うレジスタです。

SFRCTL3 レジスタに対応するクロックの設定を変更するとき、設定変更の値の確認を SFR3CKST レジスタで確認後、対象とする周辺機能のレジスタへアクセスしてください。

アクセス 8ビット単位でリード / ライト可能です。

アドレス FF420038_H

初期値 DC_H どのリセット要因でも初期化されます。

- 注意**
- ビット6には必ず1を、ビット5には必ず0を設定してください。
 - USB ファンクション・コントローラへのクロック供給禁止 (USBCKE2 = 0) の状態で、USB ファンクション・コントローラ関連レジスタにアクセスしないでください。
USB ホスト・コントローラへのクロック供給禁止 (USBCKE1 = 0)、または USB ホスト・コントローラへの PCI バス・クロック供給禁止 (PCICKE = 0) の状態で、USB ホスト・コントローラ関連レジスタにアクセスしないでください。

	7	6	5	4	3	2	1	0
SFRCTL3	PCICKE	1	0	PCIDIV0	USBCKE2	USBCKE1	USBDIV1	USBDIV0
	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 6-1 SFRCTL3 レジスタの内容 (1/2)

ビット位置	ビット名	意味
7	PCICKE	USB ホスト・コントローラへの PCI バス・クロック供給の制御をします。 0 : クロック供給禁止 1 : クロック供給許可
4	PCIDIV0	USB ホスト・コントローラへの PCI バス・クロックの分周比を選択します。 0 : $f_{XX}/5$ (f_{XX} : 144 MHz ~ 166 MHz) 1 : $f_{XX}/6$ (f_{XX} : 166 MHz ~ 200 MHz)
3	USBCKE2	USB ファンクション・コントローラへのクロック供給の制御をします。 0 : クロック供給禁止 1 : クロック供給許可
2	USBCKE1	USB ホスト・コントローラへのクロック供給の制御をします。 0 : クロック供給禁止 1 : クロック供給許可

表 6-1 SFRCTL3 レジスタの内容 (2/2)

ビット位置	ビット名	意味															
1, 0	USBDIV [1:0]	<p>USB ファンクション／USB ホスト・コントローラに供給するクロックを選択します。供給するクロック (f_{USB}) は必ず 48 MHz になるように設定してください。</p> <table border="1"> <thead> <tr> <th>USBDIV1</th> <th>USBDIV0</th> <th>選択クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部クロック (UCLK)</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>$f_{\text{XX}}/3$ ($f_{\text{XX}} = 144 \text{ MHz}$ 動作時)</td> </tr> <tr> <td>1</td> <td>1</td> <td>$f_{\text{XX}}/4$ ($f_{\text{XX}} = 192 \text{ MHz}$ 動作時)</td> </tr> </tbody> </table>	USBDIV1	USBDIV0	選択クロック	0	0	外部クロック (UCLK)	0	1	設定禁止	1	0	$f_{\text{XX}}/3$ ($f_{\text{XX}} = 144 \text{ MHz}$ 動作時)	1	1	$f_{\text{XX}}/4$ ($f_{\text{XX}} = 192 \text{ MHz}$ 動作時)
USBDIV1	USBDIV0	選択クロック															
0	0	外部クロック (UCLK)															
0	1	設定禁止															
1	0	$f_{\text{XX}}/3$ ($f_{\text{XX}} = 144 \text{ MHz}$ 動作時)															
1	1	$f_{\text{XX}}/4$ ($f_{\text{XX}} = 192 \text{ MHz}$ 動作時)															

6.3.2 SFRCTL3 用クロック選択ステータス・レジスタ (SFR3CKST)

SFR3CKST レジスタは、SFRCTL3 レジスタで設定した値の状態を示すレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス FF42003C_H

初期値 xxx0 0000 1101 1100_B (ビット [15:13] の値はオプション・バイトの設定に依存します)。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
HCLKDIV 2S	HCLKDIV 1S	HCLKDIV 0S	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PCI CKEN	1	0	PCIDIV0S	USB CK2EN	USB CK1EN	USB DIV1S	USB DIV0S
R	R	R	R	R	R	R	R

注意 USB ホスト/ファンクション・クロックが供給されない設定状態においては、SFRCTL3.USBCKE2 および SFRCTL3.USBCKE1 の状態 (初期値/書き込み値) が、SFR3CKST.USBCKE2EN および SFR3CKST.USBCKE1EN に反映されません。

そのような設定状態で SFR3CKST をリードし結果を利用する場合は、適宜該当ビットをソフトウェアにてマスクしてください。

表 6-2 SFR3CKST レジスタの内容 (1/2)

ビット位置	ビット名	意味																								
15:13	HCLKDIV [2:0]S	H バス・クロック (f_{HCLK}) およびセカンダリ・メモリ・コントローラ・バス・クロック (f_{SDCLK}) の分周比を示します。 HCLKDIV[2:0]S ビットはオプション・バイトの OPBT0 レジスタの HCLKDIVSTIN[2:0] ビットの値が反映されます。 <table border="1"> <thead> <tr> <th>HCLKDIV2S</th><th>HCLKDIV1S</th><th>HCLKDIV0S</th><th>分周比</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>1/2</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>1/3</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>1/4</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>1/6</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	HCLKDIV2S	HCLKDIV1S	HCLKDIV0S	分周比	0	0	1	1/2	0	1	0	1/3	0	1	1	1/4	1	1	1	1/6	上記以外			設定禁止
HCLKDIV2S	HCLKDIV1S	HCLKDIV0S	分周比																							
0	0	1	1/2																							
0	1	0	1/3																							
0	1	1	1/4																							
1	1	1	1/6																							
上記以外			設定禁止																							
7	PCICKEN	USB ホスト・コントローラへの PCI バス・クロック供給の状態を示します (SFRCTL3.PCICKE ビットの設定結果)。 0 : クロック供給禁止 1 : クロック供給許可																								
4	PCIDIV0S	USB ホスト・コントローラへの PCI バス・クロックの分周比を示します (SFRCTL3.PCIDIV0 ビットの設定結果)。 0 : $f_{XX}/5$ (f_{XX} : 144 MHz ~ 166 MHz) 1 : $f_{XX}/6$ (f_{XX} : 166 MHz ~ 200 MHz)																								

表 6-2 SFR3CKST レジスタの内容 (2/2)

ビット位置	ビット名	意味															
3	USBCKE2 EN	USB ファンクションへのクロック供給の状態を示します (SFRCTL3.USBCKE2 ビットの設定結果)。 0 : クロック供給禁止 1 : クロック供給許可															
2	USBCKE1 EN	USB ホストへのクロック供給の状態を示します (SFRCTL3.USBCKE1 ビットの設定結果)。 0 : クロック供給禁止 1 : クロック供給許可															
1, 0	USBDIV [1:0]S	USB ファンクション / USB ホスト・コントローラに供給するクロックの状態を示します。 SFRCTL3.USBDIV[1:0] ビットの設定結果)。 <table border="1" data-bbox="518 651 1331 869"> <thead> <tr> <th>USBDIV1S</th> <th>USBDIV0S</th> <th>選択クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部クロック (UCLK)</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>$f_{XX}/3$ ($f_{XX} = 144 \text{ MHz}$ 動作時)</td> </tr> <tr> <td>1</td> <td>1</td> <td>$f_{XX}/4$ ($f_{XX} = 192 \text{ MHz}$ 動作時)</td> </tr> </tbody> </table>	USBDIV1S	USBDIV0S	選択クロック	0	0	外部クロック (UCLK)	0	1	設定禁止	1	0	$f_{XX}/3$ ($f_{XX} = 144 \text{ MHz}$ 動作時)	1	1	$f_{XX}/4$ ($f_{XX} = 192 \text{ MHz}$ 動作時)
USBDIV1S	USBDIV0S	選択クロック															
0	0	外部クロック (UCLK)															
0	1	設定禁止															
1	0	$f_{XX}/3$ ($f_{XX} = 144 \text{ MHz}$ 動作時)															
1	1	$f_{XX}/4$ ($f_{XX} = 192 \text{ MHz}$ 動作時)															

6.4 動作

6.4.1 各クロックの動作状態

表 6-3 各クロックの動作状態

クロック		通常動作	HALT モード	リセット 期間	PLL ロック アップ時間
名称	略号				
メイン・クロック発振回路	f_X	○	○	○	○
メイン・クロック周波数	f_{XX}	○	○	×	○
CPU クロック周波数	f_{CPU}	○	×	×	×
内部システム・クロック周波数	f_{CLK}	○	○	×	×
プライマリ・メモリ・コントローラ・ バス・クロック周波数	f_{BUSCLK}	○	○	○ ^a	○ ^a
セカンダリ・メモリ・コントローラ・ バス・クロック周波数	f_{SDCLK}	○	○	○ ^a	○ ^a
P バス・クロック周波数	f_{PCLK}	○	○	×	×
H バス・クロック周波数	f_{HCLK}	○ ^b	○ ^b	×	×
PCI バス・クロック周波数	f_{PCICLK}	○ ^b	○ ^b	×	×
USB ホスト・クロック周波数	f_{USB}	○ ^c	○ ^c	×	×
USB ファンクション・クロック周波数	f_{USB}	○ ^c	○ ^c	×	×
WDT クロック周波数	f_{XW}	○	○	×	×
MII 送信クロック周波数	f_{MIITX}	○ ^d	○ ^d	×	×
MII 受信クロック周波数	f_{MIRX}	○ ^d	○ ^d	×	×

- a) メイン・クロック発振周波数 (f_X) を出力
- b) 出力制御設定により ×
- c) 出力制御設定, および端子設定により ×
- d) 端子設定により ×

備考 ○ : クロック発振／供給

× : クロック発振停止／供給停止

第7章 オプション・バイト

7.1 特徴

- オプション・バイトは、内蔵フラッシュ・メモリの専用領域に 32 ビット・データとして格納します。
- この 32 ビット・データは、クロック・ジェネレータの分周比を設定するデータです。
- オプション・バイトは、専用フラッシュ・メモリ・プログラマまたはフラッシュ・メモリ・セルフ・プログラミングにて必ず設定してください。

7.2 データ構造

7.2.1 オプション・バイト

オプション・バイトは、内蔵フラッシュ・メモリの専用領域に格納する 32 ビット・データです。V850E2/MN4 にプログラムを書き込む場合には、オプション・バイトは、専用フラッシュ・メモリ・プログラマまたはフラッシュ・メモリ・セルフ・プログラミングにて必ず設定してください。

なお、プログラム実行上、この領域のデータの書き換えなどはできません

	31	30	29	28	27	26	25	24
オプション・バイト	OPJTAG	ENBSER OCD	MNI21	MNI20	1	1	1	1
	23	22	21	20	19	18	17	16
	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	1	1	HCLKDIV STIN2	HCLKDIV STIN1	HCLKDIV STIN0	DBCT2	DBCT1	DBCT0

表 7-1 オプション・バイトの内容 (1/2)

ビット位置	ビット名	意味												
31	OPJTAG	開発ツール向けのデバッグ機能です。必ず 1 を設定してください。												
30	ENBSER OCD	開発ツール向けのデバッグ機能です。必ず 1 を設定してください。												
29	MNI21	開発ツール向けのデバッグ機能です。必ず 1 を設定してください。												
28	MNI20	開発ツール向けのデバッグ機能です。必ず 1 を設定してください。												
5-3	HCLKDIV STIN[2:0]	Hバス・クロック (f_{HCLK}) およびセカンダリ・メモリ・コントローラ・バス・クロック (f_{SDCLK}) の分周比を設定します。 <table border="1" data-bbox="560 1637 1225 1895"> <thead> <tr> <th>HCLKDIVSTIN[2:0]</th> <th>分周比</th> </tr> </thead> <tbody> <tr> <td>001</td> <td>$1/2^a$</td> </tr> <tr> <td>010</td> <td>$1/3^b$</td> </tr> <tr> <td>011</td> <td>1/4</td> </tr> <tr> <td>111</td> <td>1/6</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	HCLKDIVSTIN[2:0]	分周比	001	$1/2^a$	010	$1/3^b$	011	1/4	111	1/6	上記以外	設定禁止
HCLKDIVSTIN[2:0]	分周比													
001	$1/2^a$													
010	$1/3^b$													
011	1/4													
111	1/6													
上記以外	設定禁止													

表 7-1 オプション・バイトの内容 (2/2)

ビット位置	ビット名	意味										
2-0	DBCT[2:0]	プライマリ・メモリ・コントローラ・バス・クロック (f_{BUSCLK}) の分周比を設定します。 <table border="1" data-bbox="560 365 1224 577"> <thead> <tr> <th>DBCT[2:0]</th> <th>分周比</th> </tr> </thead> <tbody> <tr> <td>010</td> <td>1/3^c</td> </tr> <tr> <td>011</td> <td>1/4</td> </tr> <tr> <td>111</td> <td>1/6</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	DBCT[2:0]	分周比	010	1/3 ^c	011	1/4	111	1/6	上記以外	設定禁止
DBCT[2:0]	分周比											
010	1/3 ^c											
011	1/4											
111	1/6											
上記以外	設定禁止											

- a) 外部バスは使用できません。
- b) 50MHz を越える周波数では、SDRAM は使用できません。
- c) 50MHz を越える周波数では、SDRAM は使用できません。

7.3 制御レジスタ

7.3.1 オプション・バイト格納レジスタ (OPBT0)

OPBT0 レジスタは、内蔵フラッシュ・メモリの専用領域に格納したオプション・バイトの値を示すレジスタです。

OPBT0 レジスタはプログラム実行上、データの書き換えなどはできません。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF47 000C_H

初期値 オプション・バイトの書き込みによります。

	31	30	29	28	27	26	25	24
OPBT0	OPJTAG	ENBSER OCD	MNI21	MNI20	1	1	1	1
	R	R	R	R	R	R	R	R
	23	22	21	20	19	18	17	16
	1	1	1	1	1	1	1	1
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	1	1	1	1	1	1	1	1
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	1	1	HCLKDIV STIN2	HCLKDIV STIN1	HCLKDIV STIN0	DBCT2	DBCT1	DBCT0
	R	R	R	R	R	R	R	R

表 7-2 OPBT0 の内容 (1/2)

ビット位置	ビット名	意味												
31	OPJTAG	開発ツール向けのデバッグ機能です。												
30	ENBSER OCD	開発ツール向けのデバッグ機能です。												
29	MNI21	開発ツール向けのデバッグ機能です。												
28	MNI20	開発ツール向けのデバッグ機能です。												
5-3	HCLKDIV STIN[2:0]	Hバス・クロック (f_{HCLK}) およびセカンダリ・メモリ・コントローラ・バス・クロック (f_{SDCLK}) の分周比を示します。 <table border="1" data-bbox="558 1680 1220 1937"> <thead> <tr> <th>HCLKDIVSTIN[2:0]</th> <th>分周比</th> </tr> </thead> <tbody> <tr> <td>001</td> <td>$1/2^a$</td> </tr> <tr> <td>010</td> <td>$1/3^b$</td> </tr> <tr> <td>011</td> <td>$1/4$</td> </tr> <tr> <td>111</td> <td>$1/6$</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	HCLKDIVSTIN[2:0]	分周比	001	$1/2^a$	010	$1/3^b$	011	$1/4$	111	$1/6$	上記以外	設定禁止
HCLKDIVSTIN[2:0]	分周比													
001	$1/2^a$													
010	$1/3^b$													
011	$1/4$													
111	$1/6$													
上記以外	設定禁止													

表 7-2 OPBT0 の内容 (2/2)

ビット位置	ビット名	意味										
2-0	DBCT[2:0]	プライマリ・メモリ・コントローラ・バス・クロック (f_{BUSCLK}) の分周比を示します <table border="1" data-bbox="560 360 1224 577"> <thead> <tr> <th>DBCT[2:0]</th> <th>分周比</th> </tr> </thead> <tbody> <tr> <td>010</td> <td>1/3^c</td> </tr> <tr> <td>011</td> <td>1/4</td> </tr> <tr> <td>111</td> <td>1/6</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	DBCT[2:0]	分周比	010	1/3 ^c	011	1/4	111	1/6	上記以外	設定禁止
DBCT[2:0]	分周比											
010	1/3 ^c											
011	1/4											
111	1/6											
上記以外	設定禁止											

- a) 外部バスは使用できません。
- b) 50MHz を越える周波数では、SDRAM は使用できません。
- c) 50MHz を越える周波数では、SDRAM は使用できません。

第8章 ポート機能

この章では、ポート機能の一般的な内容について説明します。

第1節では、端子グループ、レジスタのベース・アドレスなど製品ごとに固有な仕様を説明します。

第2節では、すべてのポートで提供されるポート機能の特徴を説明します。

第3節では、V850E2/MN4 全端子の個々の機能をまとめています。

8.1 特徴

ポート・グループ この製品には下記番号のポート・グループがあります。

表 8-1 V850E2/MN4 のポート・グループ

ポート・グループ	
グループ数	15
グループ名	P0-P14

- 注意**
1. ポート・ユニバーサル・コントロール・レジスタ (PUCC) とポート特殊バッファ・コントロール・レジスタ (PSBC) は V850E2/MN4 には搭載しておりません。該当領域 (<PORTn_base_OS> + 4900_H + n x 4, <PORTn_base_OS> + 4D00_H + n x 4) へのアクセスは禁止です。
 2. AD コンバータの機能端子と兼用しているポート (P14_[15:0]) をポート機能として使用する際は、ADCA_nCTL1.ADCA_nGPS ビットをセット (1) (AD コンバータ (ADCA0) のパワーをオン) してください。詳細は 25. 4. 2 (2) 「ADCA_nCTL1 - A/D コンバータ・モード制御レジスタ 1」を参照してください。
 3. ポート・オープン・ドレイン・コントロール・レジスタ (PODC_n) の設定で、オープン・ドレインに設定した場合でも 5 V トレラント端子 (Y2, AA1, AA2, AB2) 以外は、外部から 3.6 V 以上の電圧入力 (プルアップ抵抗接続を含む) は禁止です。また、5 V トレラント端子は、外部から 3.6 V 以上の電圧入力 (プルアップ抵抗接続を含む) がある場合、プッシュプル出力設定は禁止です。

ポート・グループ・インデクス n この章を通して、個々のポート・グループはインデクス "n" (n = 0-15) により識別されます。たとえば、Pn 端子のポート・モード・コントロール・レジスタは PMC_n です。

レジスタ・アドレス すべてのポート・アドレスは、ベース・アドレス <PORTn_base_OS> および <PORTn_base_USER> からのオフセット・アドレスとして与えられます。ベース・アドレスの <PORTn_base_OS> および <PORTn_base_USER> は下表に示します。

表 8-3 ポート・ベース・アドレス

ベース・アドレス	アドレス
<PORTn_base_OS>	FF40 0000 _H
<PORTn_base_USER>	FFFF 8000 _H

8.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポート・グループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポート・グループの用語の説明は、197 ページの 8.2.1 「用語」を参照してください。

- 機能概要**
- 端子ごとの設定が可能
 - 次に示す機能は、主な端子で選択可能
 - 5 タイプの入力バッファ特性
 - 2 タイプの出力バッファ特性
 - オープン・ドレイン・エミュレーション
 - プルアップ抵抗、プルダウン抵抗の接続
 - 次に示すレジスタは、主なポートで使用可能
 - 端子の値をリードするレジスタ
 - ポート・レジスタ
 - ポート・セット/リセット・レジスタ
 - 出力反転レジスタ

8.2.1 用語

この章で使用されている用語について説明します。

- **端子**

物理的な端子を表します。端子ごとに一意の端子番号で表されます。端子は複数のモードで使用できます。端子名は、選択したモードによって決まる、端子機能を示す名称が割り当てられます。

- **ポート・グループ**

端子のグループを表します。同じポート・グループの端子は、ポート制御レジスタを備えています。

- **ポート・モード/ポート**

ポート・モードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。

対応する名称は Pn_m です。たとえば、P0_7 はポート・グループ 0 のポート 7 を示します。これを「ポート P0_7」と表します。

- **兼用モード**

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能に使用されます。

対応する端子名は、選択した機能によって異なります。たとえば、INTP0 端子は外部割り込み入力用の端子を表します。

なお、複数の異なる名称、たとえば P0_0 と INTP0 が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

- **ポート・タイプ**

設定レジスタの指定で制御回路が決まります。タイプの違う制御回路は「ポート・タイプ」と呼ばれます。

8.2.2 端子機能概要

端子は、3つのモードで動作することができます。

- ポート・モード (PMcn.PMCnm = 0)
ポート・モードでは、端子は汎用入出力ポートとして動作します。PMn.PMnm で入力／出力を選択します。
- S/W I/O 制御兼用モード (PMcn.PMCnm = 1, PIPcn.PIPCnm = 0)
S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力／出力の選択は、S/W による PMn.PMnm コントロール・ビットの設定によって行われます。
- 直接 I/O 制御兼用モード (PMcn.PMCnm = 1, PIPcn.PIPCnm = 1)
直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力／出力が直接制御されます。

レジスタ設定の概要は下表に示します。

表 8-4 端子機能の設定 (概要)

モード	ビット			I/O
	PMcnm	PMnm	PIPcnm	
ポート・モード	0	0	X	O
		1 ^a		I
S/W I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

^{a)} 入力バッファを必ず許可 (PIBCnm = 1) してください。

端子が兼用モード (PMcn.PMCnm = 1) の場合、最大 4 つの異なる兼用機能の 1 つを PFCn, PFCEn レジスタによって選択します。

- S/W I/O 制御兼用機能 (PIPcn.PIPCnm = 0) :
 - 出力 (PMnm = 0) : ALT-OUT1 ~ ALT-OUT4
 - 入力 (PMnm = 1) : ALT-IN1 ~ ALT-IN4
- 直接 I/O 制御兼用機能 (PIPcn.PIPCnm = 1) :
 - ALT-OUT1 ~ ALT-OUT4, ALT-IN1 ~ ALT-IN4 の入出力は、兼用機能によって直接選択されます。

表 8-5 兼用モード選択の概要 (PM_{Cn}.PM_{Cnm} = 1)

機能	レジスタ			I/O
	PM ^a	PFCE	PFC	
兼用出力モード 1 (ALT-OUT1)	0	0	0	O
兼用入力モード 1 (ALT-IN1)	1			I
兼用出力モード 2 (ALT-OUT2)	0	0	1	O
兼用入力モード 2 (ALT-IN2)	1			I
兼用出力モード 3 (ALT-OUT3)	0	1	0	O
兼用入力モード 3 (ALT-IN3)	1			I
兼用出力モード 4 (ALT-OUT4)	0	1	1	O
兼用入力モード 4 (ALT-IN4)	1			I

a) PIP_{Cn}.PIP_{Cnm} = 1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PMは無視されます。

端子が兼用モード (PM_{Cn}.PM_{Cnm} = 1) の場合、最大 4 つの異なる兼用機能の 1 つを PFC_n, PFCE_n レジスタによって選択します。

8.2.3 端子データ入力／出力

データの入力／出力に使用するレジスタについて説明します。

端子モードによって PPR_n レジスタを介してリードされる場所が異なります。

出力データ ポート・モード (PM_{Cn}.PM_{Cnm} = 0) では P_n.P_{nm} の値が P_n_m 端子から出力されます。

入力データ PPR_n レジスタのリード動作では、P_n_m 端子の値、ポート・レジスタの関連ビット P_n.P_{nm} の値、または兼用機能による出力値のいずれかを読み出します。

PPR_n のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPR_n リード・モードの違いを次の表に示します。

表 8-6 PPRnm リード値

PMC nm	PM nm	PIBC nm	PIPC nm	PODC nm	モード	PPRnm リード値	
0	1	0	X	X	ポート入力, 入力バッファ禁止	Pn.Pnm レジスタ	
		1		X	ポート入力, 入力バッファ許可	Pn_m 端子	
	0	X		0	ポート・プッシュプル出力	Pn.Pnm レジスタ ^a	
				1	ポート・オープン・ドレイン出力		
1	1	X	0	X	S/W I/O 制御兼用入力	Pn_m 端子	
				0	0	S/W I/O 制御兼用プッシュプル出力	兼用機能内部出力信号 ^a
					1	S/W I/O 制御兼用オープン・ドレイン出力	
	X		1	0	直接 I/O 制御兼用プッシュプル出力	兼用機能モードでの入出力ポート： • 入力：Pn_m 端子 • 出力：兼用機能内部出力信号 ^a	
				1	直接 I/O 制御兼用オープン・ドレイン出力		
			0	0	直接 I/O 制御兼用プッシュプル出力		

a) PBDCnm = 1 の場合, Pn_m 端子レベルが, PPRnm レジスタでリードされます。

上表に示す各制御レジスタの効果：

- PMCn.PMCnm

このビットは, ポート・モード (PMcNm = 0) または兼用機能モード (PMcNm = 1) を選択します。

- PMn.PMnm

このビットは, ポート・モード (PMcNm = 0) と S/W I/O 制御兼用機能モード (PMcNm = 1, PIPCnm = 0) 時に入力 (PMnm = 1) または出力 (PMnm = 0) を選択します。

- PIBCn.PIBCnm

このビットは, 入力ポート・モード (PMcNm = 0 と PMnm = 1) 時に入力バッファを使用不可 (PIBCnm = 0) または使用許可 (PIBCnm = 1) を選択します。入力バッファが使用不可の場合, PPRnm は Pn.Pnm ビットをリードし, 使用許可の場合は Pn_m 端子のレベルがリードされます。

- PIPCn.PIPCnm

このビットは, S/W I/O 制御兼用機能モードまたは直接 I/O 制御兼用機能モードを選択します。

- PODCn.PODCnm

このビットは, プッシュプル (PODCnm = 0) またはオープン・ドレイン (PODCnm = 1) 出力を選択します。

- PBDCn.PBDCnm

このビットを 1 に設定すると, PPRnm は強制的に Pn_m 端子のレベルがリードされます。つまり, ポートが出力モードの場合, Pn_m 端子のレベルをリードできる双方向モードを許可します。

注意 PPN_m ポートを兼用出力機能 (PMcNm.PMCnm = 1, PMn.PMnm = 0) として使用する場合, PPRn レジスタによる端子レベルの読み出しは行わないでください。

Pn レジスタへのライト ポート・モード (PMCN.PMCnm = 0) 時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは2つの方法で書き換えることができます。

- Pn レジスタへの直接ライト

新しいデータは Pn レジスタに直接ライトすることができます。

- 間接的な Pn レジスタへのビット操作 (set/reset/not)

Pn レジスタへのビット操作 (set/reset/not) は2つのレジスタを使って間接的に可能です。

- ポート・セット/リセット・レジスタ PSRn

PSRn.PSRn (m+16) = 1 の場合、PSRn.PSRnm ビットの値が Pn.Pnm ビットの値を決めます。

つまり、Pn レジスタへ直接ライトせずに Pnm ビットを set/reset することが可能です。

- ポート・ノット・レジスタ PNOTn

PNOTn.PNOTnm = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pnm ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。

8.2.5 書き込み保護レジスタ

書き込み保護されたレジスタは、誤ったプログラム実行などによる不注意な書き込みアクセスから保護します。

以下のポート・レジスタがこの特別な書き込み保護機能を持っています。

- ポート・ドライブ強度コントロール・レジスタ PDSCn
- ポート・オープン・ドレイン・コントロール・レジスタ PODCn
- ポート・ユニバーサル・コントロール・レジスタ PUCn
- ポート特殊バッファ・コントロール・レジスタ PSBCn

(1) ポート保護解除シーケンス

書き込み保護レジスタへの書き込みアクセスは、特別な保護解除シーケンスのみ可能です。

1. 保護コマンド・レジスタ PPCMDn に固定値 A5_H を書いてください。
2. 保護されたレジスタに必要な値を書いてください。
3. 保護されたレジスタに必要な値のビット反転値を書いてください。
4. 保護されたレジスタに必要な値を書いてください。
5. PPROTSn.PPROTSn_0 = 0 を確認して、保護されたレジスタに、必要な値が正常に書き込まれたことを確認してください。

8.3 ポート・グループ・コンフィギュレーション・レジスタ

この節では、はじめにすべてのコンフィギュレーション・レジスタの概要を示し、次に各レジスタの詳細を示します。コンフィギュレーション・レジスタは次のように分類されます。

- 206 ページの 8.3.2 「端子機能の設定」
- 213 ページの 8.3.3 「端子データ入力/出力」
- 217 ページの 8.3.4 「電気的特性の設定」

8.3.1 概要

次のレジスタは、ポート・グループの各端子の設定に使用されます。

表 8-7 ポート・グループ・コンフィギュレーション・レジスタ (1/2)

レジスタ名	略号	アドレス
端子機能の設定		
ポート・モード・コントロール・レジスタ	PMcN	<PORTn_base_USER> + 0400 _H + n x 4
ポート・モード・コントロール・セット/リセット・レジスタ	PMCSR	<PORTn_base_USER> + 0900 _H + n x 4
ポート IP コントロール・レジスタ	PIPCn	<PORTn_base_OS> + 4200 _H + n x 4
ポート・モード・レジスタ	PMn	<PORTn_base_USER> + 0300 _H + n x 4
ポート・モード・セット/リセット・レジスタ	PMSR	<PORTn_base_USER> + 0800 _H + n x 4
ポート入力バッファ・コントロール・レジスタ	PIBCn	<PORTn_base_OS> + 4000 _H + n x 4
ポート機能コントロール・レジスタ	PFCn	<PORTn_base_USER> + 0500 _H + n x 4
ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base_USER> + 0600 _H + n x 4
端子データ入力/出力		
ポート双方向コントロール・レジスタ	PBDCn	<PORTn_base_OS> + 4100 _H + n x 4
ポート端子リード・レジスタ	PPRn	<PORTn_base_USER> + 0200 _H + n x 4
ポート・レジスタ	Pn	<PORTn_base_USER> + 0000 _H + n x 4
ポート・ノット・レジスタ	PNOTn	<PORTn_base_USER> + 0700 _H + n x 4
ポート・セット/リセット・レジスタ	PSRn	<PORTn_base_USER> + 0100 _H + n x 4
電気的特性の設定		
プルアップ・オプション・レジスタ	PU _n	<PORTn_base_OS> + 4300 _H + n x 4
プルダウン・オプション・レジスタ	PD _n	<PORTn_base_OS> + 4400 _H + n x 4
ポート・ユニバーサル・コントロール・レジスタ	PUCcN	<PORTn_base_OS> + 4900 _H + n x 4
ポート・ドライブ強度コントロール・レジスタ	PDSCn	<PORTn_base_OS> + 4600 _H + n x 4
ポート・オープン・ドレーン・コントロール・レジスタ	PODCn	<PORTn_base_OS> + 4500 _H + n x 4
ポート入力バッファ選択レジスタ	PIS _n	<PORTn_base_OS> + 4700 _H + n x 4
ポート入力バッファ選択拡張レジスタ	PISEn	<PORTn_base_OS> + 4800 _H + n x 4
ポート入力バッファ選択追加レジスタ	PISAn	<PORTn_base_OS> + 4A00 _H + n x 4
ポート特殊バッファ・コントロール・レジスタ	PSBCn	<PORTn_base_OS> + 4D00 _H + n x 4

表 8-7 ポート・グループ・コンフィギュレーション・レジスタ (2/2)

レジスタ名	略号	アドレス
ポート・レジスタ保護		
ポート・レジスタ保護コマンド・レジスタ	PPCMDn	<PORTn_base_OS> + 4C00 _H + n x 4
ポート保護ステータス・レジスタ	PPROTSn	<PORTn_base_OS> + 4B00 _H + n x 4

ベース・アドレス PORTn のベース・アドレス <PORTn_base_OS>, <PORTn_base_USER> は, 8.1 「特徴」の「レジスタ・アドレス」で定義しています。

レジスタ初期値 リセット解除後の初期値はポートに依存します。初期値については, 以降のレジスタ説明ではなく, 8.4.3 「V850E2/MN4 ポート制御レジスタ」に記載します。

8.3.2 端子機能の設定

(1) PMcN - ポート・モード・コントロール・レジスタ

このレジスタは、ポート・グループ n の各端子がポート・モードか兼用モードかを指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base_USER> + 0400_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMcN15	PMcN15	PMcN13	PMcN12	PMcN11	PMcN10	PMcN9	PMcN8	PMcN7	PMcN6	PMcN5	PMcN4	PMcN3	PMcN2	PMcN1	PMcN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-9 PMcN レジスタの内容

ビット位置	ビット名	機能
15-0	PMcN[15:0]	対応する端子の動作モードを指定します。 0: ポート・モード 1: 兼用モード

(2) PMCSRn - ポート・モード・コントロール・セット/リセット・レジスタ

このレジスタにより、PMCn レジスタの任意のビットにデータをライトするもう1つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCnm にデータをライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000_H がリードされます。ビット 15-0 は PMCn レジスタの値がリードされます。

アドレス <PORT_base_USER> + 0900_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PMC SRn31	PMC SRn30	PMC SRn29	PMC SRn28	PMC SRn27	PMC SRn26	PMC SRn25	PMC SRn24	PMC SRn23	PMC SRn22	PMC SRn21	PMC SRn20	PMC SRn19	PMC SRn18	PMC SRn17	PMC SRn16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMC SRn15	PMC SRn14	PMC SRn13	PMC SRn12	PMC SRn11	PMC SRn10	PMC SRn9	PMC SRn8	PMC SRn7	PMC SRn6	PMC SRn5	PMC SRn4	PMC SRn3	PMC SRn2	PMC SRn1	PMC SRn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-10 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PMC SRn[31:16]	対応する PMCSRnm の下位ビットの値を PMCnm にライトするかどうかを指定するイネーブル・ビットです。 0: PMCnm は PMCSRnm に依存しません。 1: PMCnm は PMCSRnm の値になります。 例： PMCSRn.PMCSRn31 = 1 の場合、PMCSRn.PMCSRn15 ビットの値を PMCn.PMCn15 ビットにライトします。
15-0	PMC SRn[15:0]	対応する上位ビットの PMCSRn (m+16) が 1 の場合、PMCnm の値を指定するデータ・ビットです。 0: PMCnm = 0 1: PMCnm = 1

(3) PIPcN - ポート IP コントロール・レジスタ

このレジスタは、Pn_m 端子の入出力方向がポート・モード・レジスタ PMn.PMnm と兼用機能のどちらによって制御されるかを指定します。

Pn_m 端子が兼用モード (PMcN.PMcNm = 1) となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCnm は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PMn.PMnm の設定が無効となります。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base_OS> + 4200_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPCn15	PIPCn14	PIPCn13	PIPCn12	PIPCn11	PIPCn10	PIPCn9	PIPCn8	PIPCn7	PIPCn6	PIPCn5	PIPCn4	PIPCn3	PIPCn2	PIPCn1	PIPCn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-11 PIPcN レジスタの内容

ビット位置	ビット名	機能
15-0	PIPC[15:0]	入出力制御モードを指定します。 0: 入出力モードは PMn.PMnm (S/W 入出力制御) によって制御します。 1: 入出力モードは周辺機能 (直接入出力制御) によって制御します。

(4) PMn - ポート・モード・レジスタ

このレジスタは、ポート・グループ n の各端子が入力モードか出力モードかを指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PORT_base_USER> + 0300_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMn15	PMn14	PMn13	PMn12	PMn11	PMn10	PMn9	PMn8	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-12 PMn レジスタの内容

ビット位置	ビット名	機能
15-0	PMn[15:0]	対応する端子の入力／出力モードを指定します。 0: 出力モード（出力許可） 1: 入力モード（出力禁止）

- 備考**
1. ポートを入力ポート・モード（PMn.PMnm = 0 かつ PMn.PMnm = 1）で使用する場合は、入力バッファを許可する必要があります（PIBCn.PIBCnm = 1）。
 2. デフォルトでは、リセット後は PIPcn.PIPCnm = 0 なので、PMnm はポート・モード（PMn.PMnm = 0）と兼用モード（PMn.PMnm = 1）の入出力方向を指定します。

(5) PMSRn - ポート・モード・セット/リセット・レジスタ

このレジスタにより、PMn レジスタの任意のビットにデータをライトするもう 1 つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMnm にデータをライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000_H がリードされます。ビット 15-0 は PMn レジスタの値がリードされます。

アドレス <PORT_base_USER> + 0800_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PM SRn31	PM SRn30	PM SRn29	PM SRn28	PM SRn27	PM SRn26	PM SRn25	PM SRn24	PM SRn23	PM SRn22	PM SRn21	PM SRn20	PM SRn19	PM SRn18	PM SRn17	PM SRn16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PM SRn15	PM SRn14	PM SRn13	PM SRn12	PM SRn11	PM SRn10	PM SRn9	PM SRn8	PM SRn7	PM SRn6	PM SRn5	PM SRn4	PM SRn3	PM SRn2	PM SRn1	PM SRn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-13 PMSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PM SRn[31:16]	対応する PMSRnm の下位ビットの値を PMnm にライトするかどうかを指定するイネーブル・ビットです。 0: PMnm は PMSRnm に依存されません。 1: PMnm は PMSRnm の値になります。 例： PMSRn.PMSRn31 = 1 の場合、PMSRn.PMSRn15 ビットの値を PMn.PMn15 ビットにライトします。
15-0	PM SRn[15:0]	対応する上位ビットの PMSRn (m+16) が 1 の場合、PMnm 値を指定するデータ・ビットです。 0: PMnm = 0 1: PMnm = 1

(6) PIBCn - ポート入力バッファ・コントロール・レジスタ

このレジスタは、入力ポート・モード（PMn.PMCnm = 0 かつ PMn.PMnm = 1）で、ポート端子の入力バッファを許可します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PORT_base_OS> + 4000_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIBCn 15	PIBCn 14	PIBCn 13	PIBCn 12	PIBCn 11	PIBCn 10	PIBCn 9	PIBCn 8	PIBCn 7	PIBCn 6	PIBCn 5	PIBCn 4	PIBCn 3	PIBCn 2	PIBCn 1	PIBCn 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-14 PIBCn レジスタの内容

ビット位置	ビット名	機能
15-0	PIBCn[15:0]	入力バッファを許可／禁止します。 0: 入力バッファ禁止 1: 入力バッファ許可

備考 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウ・レベルに固定する必要はありません。

注意 このレジスタの設定は、双方向モード（PBDCn.PBDCnm = 1）では無視されます。

(7) PFCn - ポート機能コントロール・レジスタ

このレジスタは、PFCEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm によって指定されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PORT_base_USER> + 0500_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCn15	PFCn14	PFCn13	PFCn12	PFCn11	PFCn10	PFCn9	PFCn8	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-15 PFCn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCn[15:0]	端子の兼用機能を指定します。 詳細は 199 ページの表 8-5 「兼用モード選択の概要 (PMn.PMCnm = 1)」を参照してください。

(8) PFCEn - ポート機能コントロール拡張レジスタ

このレジスタは、PFCn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base_USER> + 0600_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCEn15	PFCEn14	PFCEn13	PFCEn12	PFCEn11	PFCEn10	PFCEn9	PFCEn8	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-16 PFCEn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCEn[15:0]	端子の兼用機能を指定します。 詳細は 199 ページの表 8-5 「兼用モード選択の概要 (PMc.PMcn = 1)」を参照してください。

8.3.3 端子データ入力／出力

(1) PBDCn - ポート双方向コントロール・レジスタ

このレジスタは、入力バッファを許可し、常に Pn_m 端子のレベルを PPRn.PPRnm 経由で読み出すことができます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PORT_base_OS> + 4100_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-17 PBDCn レジスタの内容

ビット位置	ビット名	機能
15-0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0: 双方向モードを禁止 1: 双方向モードを許可

注意 PPn_m ポートを兼用出力機能 (PMCn.PMCnm = 1, PMn.PMnm = 0) として使用する場合、PPRn レジスタによる端子レベルの読み出しは行わないでください。

備考 PBDCn = 1 に設定すると、PMn.PMnm のポート・モード設定は無視されます。

(2) PPRn - ポート端子リード・レジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pnm ビットの値、または兼用機能の出力レベルを表します。リードする値は、200 ページの表 8-6 「PPRnm リード値」に示すように、制御設定によって異なります。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PORT_base_USER> + 0200_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPRn15	PPRn14	PPRn13	PPRn12	PPRn11	PPRn10	PPRn9	PPRn8	PPRn7	PPRn6	PPRn5	PPRn4	PPRn3	PPRn2	PPRn1	PPRn0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8-18 PPRn レジスタの内容

ビット位置	ビット名	機能
15-0	PPRn[15:0]	Pn_m 端子, Pn.Pnm の値, または兼用機能の出力

(3) Pn - ポート・レジスタ

このレジスタは、出力ポート・モード時 (PMcn.PMCnm = 0, PMn.PMnm = 0) に、ポート Pn_m から出力される Pn.Pnm データを設定/保持します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base_USER> + 0000_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Pn15	Pn14	Pn13	Pn12	Pn11	Pn10	Pn9	Pn8	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-19 Pn レジスタの内容

ビット位置	ビット名	機能
15-0	Pn[15:0]	m 端子 (m = 0-15) の出力レベルを設定します。 0: ロウ・レベル出力 1: ハイ・レベル出力

備考 このレジスタのビットは、さまざまな手段で操作できます。201 ページの 2.2.3 「端子データ入力/出力」の「Pn レジスタへのライト」を参照してください。

(4) PNOTn - ポート・ノット・レジスタ

このレジスタは、ポート・レジスタ Pn に直接ライトせずに Pn の Pnm ビットを反転できます。

アクセス 16 ビット単位でリード/ライト可能です。常に 0000_H としてリードされません。

アドレス <PORT_base_USER> + 0700_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 8-20 PNOTn レジスタの内容

ビット位置	ビット名	機能
15-0	PNOTn[15:0]	Pn.Pnm を反転するかどうかを指定します。 0: Pn.Pnm を反転しない (Pnm → Pnm) 1: Pn.Pnm を反転する (Pnm → Pnm)

(5) PSRn - ポート・セット/リセット・レジスタ

このレジスタにより、Pn レジスタの任意のビットにデータをライトするもう1つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pnm にデータをライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000_H がリードされます。ビット 15-0 は Pn レジスタの値がリードされます。

アドレス <PORT_base_USER> + 0100_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PSRn31	PSRn30	PSRn29	PSRn28	PSRn27	PSRn26	PSRn25	PSRn24	PSRn23	PSRn22	PSRn21	PSRn20	PSRn19	PSRn18	PSRn17	PSRn16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSRn15	PSRn14	PSRn13	PSRn12	PSRn11	PSRn10	PSRn9	PSRn8	PSRn7	PSRn6	PSRn5	PSRn4	PSRn3	PSRn2	PSRn1	PSRn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-21 PSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PSRn[31:16]	対応する PSRnm の下位ビットの値が Pnm にライトするかどうかを指定するイネーブル・ビットです。 0: Pnm は PSRnm に依存しません。 1: Pnm は PSRnm の値になります。 例： PSRn.PSRn31 = 1 の場合、PSRn.PSRn15 ビットの値を Pn.Pn15 ビットにライトします。
15-0	PSRn[15:0]	対応する上位ビットの PSRn (m+16) が 1 の場合、Pnm 値を指定するデータ・ビットです。 0: Pnm = 0 1: Pnm = 1

8.3.4 電気的特性の設定

(1) PUn - プルアップ・オプション・レジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base_OS> + 4300_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUn15	PUn14	PUn13	PUn12	PUn11	PUn10	PUn9	PUn8	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-22 PUn レジスタの内容

ビット位置	ビット名	機能
15-0	PUn[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルアップ抵抗を接続しない 1: 内蔵プルアップ抵抗を接続する

- 備考**
- 1 端子に内蔵プルアップ抵抗 (PUn.PUnm = 1) と内蔵プルダウン抵抗 (PDn.PDnm = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続されません。
 2. 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。

(2) PDn - プルダウン・オプション・レジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base_OS> + 4400_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDn15	PDn14	PDn13	PDn12	PDn11	PDn10	PDn9	PDn8	PDn7	PDn6	PDn5	PDn4	PDn3	PDn2	PDn1	PDn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-23 PDn レジスタの内容

ビット位置	ビット名	機能
15-0	PDn[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルダウン抵抗を接続しない 1: 内蔵プルダウン抵抗を接続する

- 備考**
- 1 端子に内蔵プルアップ抵抗 (PUn.PUnm = 1) と内蔵プルダウン抵抗 (PDn.PDnm = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続されません。
 2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。

(3) PDSCn - ポート・ドライブ強度コントロール・レジスタ

このレジスタは、ポート端子の出力ドライバ強度を指定します。この機能は、出力バッファの速いモード（ハイ・ドライブ強度）と遅いモード（ロウ・ドライブ強度）にも関わっています。

このレジスタは、SPFのOSレジスタの一つです。

アクセス 32ビット単位でリード/ライト可能です。

このレジスタを更新するには、PPCMDレジスタを使った正しい書き込みシーケンスが必要です。

アドレス <PORT_base_OS> + 4600_H + n x 4

初期値 8.4.3「V850E2/MN4 ポート制御レジスタ」を参照してください。

注意 上位16ビットも保護対象のポート・レジスタの書き込みシーケンスの反転値の対象となります。詳細は8.3.5「ポート・レジスタ保護」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-24 PDSCn レジスタの内容

ビット位置	ビット名	機能
15-0	PDSCn[15:0]	ポート端子の出力バッファのポート・ドライブ強度を指定します。 0: ロウ・ドライブ強度（遅いモード） 1: ハイ・ドライブ強度（速いモード） 注意 このレジスタが出力電流制限を制御できる入出力バッファとともに使われる場合、電流制限機能を指定します。 0: 電流制限機能が有効 1: 電流制限機能が無効

(4) PUCcN - ポート・ユニバーサル・コントロール・レジスタ

このレジスタは、出力バッファ特性を指定する機能を拡張しています。

このレジスタは、ポート・ドライブ強度コントロール・レジスタ PDSCn とともに、最大4つの出力バッファ特性を指定できます。

このレジスタは、SPFのOSレジスタの一つです。

アクセス 32ビット単位でリード/ライト可能です。

このレジスタを更新するには、PPCMDレジスタを使った正しい書き込みシーケンスが必要です。

アドレス <PORT_base_OS> + 4900_H + n × 4

初期値 8.4.3「V850E2/MN4 ポート制御レジスタ」を参照してください。

注意 上位16ビットも保護対象のポート・レジスタの書き込みシーケンスの反転値の対象となります。詳細は8.3.5「ポート・レジスタ保護」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN	PUCcN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-25 PUCcN レジスタの内容

ビット位置	ビット名	機能															
15-0	PUCcN[15:0]	ビット PDSCn[15:0] とともに端子 m (m = 0-15) の出力バッファ特性を指定します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>PUCcNm</th> <th>PDSCnm</th> <th>出力バッファ特性</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>セレクション1</td> </tr> <tr> <td>0</td> <td>1</td> <td>セレクション2</td> </tr> <tr> <td>1</td> <td>0</td> <td>セレクション3</td> </tr> <tr> <td>1</td> <td>1</td> <td>セレクション4</td> </tr> </tbody> </table>	PUCcNm	PDSCnm	出力バッファ特性	0	0	セレクション1	0	1	セレクション2	1	0	セレクション3	1	1	セレクション4
PUCcNm	PDSCnm	出力バッファ特性															
0	0	セレクション1															
0	1	セレクション2															
1	0	セレクション3															
1	1	セレクション4															
		注意 出力バッファ特性の種類は、明記されていません。しかし、出力電流制限を制御できる入出力バッファが使われる場合、電流制限機能を指定します。 0: 電流下限 1: 電流上限															

(5) PODCn - ポート・オープン・ドレイン・コントロール・レジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープン・ドレインを選択します。

アクセス 32 ビット単位でリード/ライト可能です。

このレジスタへのライトは、特定の命令シーケンスによって保護されます。詳細は 225 ページの 8.3.5 「ポート・レジスタ保護」を参照してください。

アドレス <PORT_base_OS> + 4500_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

注意 上位 16 ビットも保護対象のポート・レジスタの書き込みシーケンスの反転値の対象となります。詳細は 8.3.5 「ポート・レジスタ保護」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn	PODCn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-26 PODCn レジスタの内容

ビット位置	ビット名	機能
15-0	PODCn[15:0]	出力バッファの機能を指定します。 0: プッシュプル 1: オープン・ドレイン

(6) PISn - ポート入力バッファ選択レジスタ

このレジスタは、入力バッファ特性を指定します。

ポートが最大4つの入力バッファの特性を備えている場合、ポート入力バッファ選択拡張レジスタ PISEn も有効です。

ポートが最大5つの入力バッファの特性を備えている場合、ポート入力バッファ選択拡張レジスタ PISEn とポート入力バッファ選択追加レジスタ PISAn も有効です。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base_OS> + 4700_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISn15	PISn14	PISn13	PISn12	PISn11	PISn10	PISn9	PISn8	PISn7	PISn6	PISn5	PISn4	PISn3	PISn2	PISn1	PISn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-27 PISn レジスタの内容

ビット位置	ビット名	機能
15-0	PISn[15:0]	入力バッファ特性を指定します。 0: タイプ1 1: タイプ2

備考 タイプ1とタイプ2の定義は、8.4.1 「ポート入力およびポート兼用機能入力端子の入力回路タイプ」を参照してください。入力バッファ特性の詳細は、電気的特性（ターゲット）も参照してください。

(7) PISn - ポート入力バッファ選択拡張レジスタ

このレジスタは、ポート入力バッファ選択レジスタ PISn とともに入力バッファ特性を指定します。

ポートが最大5つの入力バッファの特性を備えている場合、ポート入力バッファ選択追加レジスタ PISAn も有効です。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base_OS> + 4800_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISn15	PISn14	PISn13	PISn12	PISn11	PISn10	PISn9	PISn8	PISn7	PISn6	PISn5	PISn4	PISn3	PISn2	PISn1	PISn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-28 PISn レジスタの内容

ビット位置	ビット名	機能															
15-0	PISn[15:0]	<p>PISn[15:0] ビットとともに端子 m (m = 0-15) の入力バッファ特性を指定します。</p> <table border="1"> <thead> <tr> <th>PISn_m</th><th>PISn_m</th><th>入力バッファ特性</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>タイプ 1</td></tr> <tr> <td>0</td><td>1</td><td>タイプ 2</td></tr> <tr> <td>1</td><td>0</td><td>タイプ 3</td></tr> <tr> <td>1</td><td>1</td><td>タイプ 4</td></tr> </tbody> </table>	PISn _m	PISn _m	入力バッファ特性	0	0	タイプ 1	0	1	タイプ 2	1	0	タイプ 3	1	1	タイプ 4
PISn _m	PISn _m	入力バッファ特性															
0	0	タイプ 1															
0	1	タイプ 2															
1	0	タイプ 3															
1	1	タイプ 4															

備考 タイプ 1-タイプ 4 の定義は、8.4.1 「ポート入力およびポート兼用機能入力端子の入力回路タイプ」を参照してください。また、入力バッファ特性の詳細は、電気的特性 (ターゲット) を参照してください。

(8) PISAn - ポート入力バッファ選択追加レジスタ

このレジスタは、ポート入力バッファ選択レジスタ PISn およびポート入力バッファ選択拡張レジスタ PISEn とともに入力バッファ特性を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base_OS> + 4A00_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISAn15	PISAn14	PISAn13	PISAn12	PISAn11	PISAn10	PISAn9	PISAn8	PISAn7	PISAn6	PISAn5	PISAn4	PISAn3	PISAn2	PISAn1	PISAn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-29 PISAn レジスタの内容

ビット位置	ビット名	機能			
15-0	PISAn[15:0]	PISn[15:0] ビットおよび PISEn[15:0] ビットとともに端子 m (m=0-15) の入力バッファ特性を指定します。			
		PISAnm	PISEnm	PISnm	入力バッファ特性
		0	0	0	タイプ 1
			0	1	タイプ 2
			1	0	タイプ 3
			1	1	タイプ 4
		1	X	X	タイプ 5

備考 タイプ 1-タイプ 5 の定義は、8.4.1 「ポート入力およびポート兼用機能入力端子の入力回路タイプ」を参照してください。また、入力バッファ特性の詳細は、電気的特性（ターゲット）を参照してください。

(9) PSBCn - ポート特殊バッファ・コントロール・レジスタ

この製品は、特定の機能専用の入出力バッファを備えることができます。このレジスタは、ポート・グループ n の各端子が汎用入出力端子か特定入出力端子かを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

このレジスタへのライトは、特定の命令シーケンスによって保護されています。詳細は 225 ページの 8.3.5 「ポート・レジスタ保護」を参照してください。

アドレス <PORT_base_OS> + 4D00_H + n x 4

初期値 8.4.3 「V850E2/MN4 ポート制御レジスタ」を参照してください。

注意 上位 16 ビットも保護対象のポート・レジスタの書き込みシーケンスの反転値の対象となります。詳細は 8.3.5 「ポート・レジスタ保護」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R/Wa	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSBCn15	PSBCn14	PSBCn13	PSBCn12	PSBCn11	PSBCn10	PSBCn9	PSBCn8	PSBCn7	PSBCn6	PSBCn5	PSBCn4	PSBCn3	PSBCn2	PSBCn1	PSBCn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-30 PSBCn レジスタの内容

ビット位置	ビット名	機能
15-0	PSBC[15:0]	入出力モードを指定します。 0: 汎用入出力 1: 特定入出力

備考 この製品の特定バッファを備えるポートの一覧は、8.1 「特徴」ポート・グループを参照してください。

8.3.5 ポート・レジスタ保護

(1) PPCMDn - ポート・レジスタ保護コマンド・レジスタ

このレジスタは、保護対象のポート・レジスタのためのコマンド・レジスタです。

アクセス 8ビット単位でライト可能です。

ビット7-0は、常に0がリードされます。

アドレス <PORT_base_OS> + 4C00_H + n x 4

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

表 8-31 PPCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	-	保護対象のポート・レジスタにライトできるコマンド

(2) PPROTSn - ポート保護ステータス・レジスタ

このレジスタは、保護対象のポート・レジスタの書き込みシーケンスのステータスを示します。

アクセス 8ビット単位でリード可能です。

ライトした場合、無視されます。

アドレス <PORT_base_OS> + 4B00_H + n x 4

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PPROTSn_0
R	R	R	R	R	R	R	R

表 8-32 PPROTSn レジスタの内容

ビット位置	ビット名	機能
0	PPROTSn_0	保護対象のポート・レジスタの書き込みシーケンス・エラーを確認します。 0: 保護エラー未発生 1: 保護エラー発生

(3) 保護対象のポート・レジスタ

PDSCn - ポート・ドライブ強度コントロール・レジスタ

PUCn - ポート・ユニバーサル・コントロール・レジスタ

PODCn - ポート・オープン・ドレイン・コントロール・レジスタ

PSBCn - ポート特殊バッファ・コントロール・レジスタ

(4) 保護対象のポート・レジスタの書き込みシーケンス

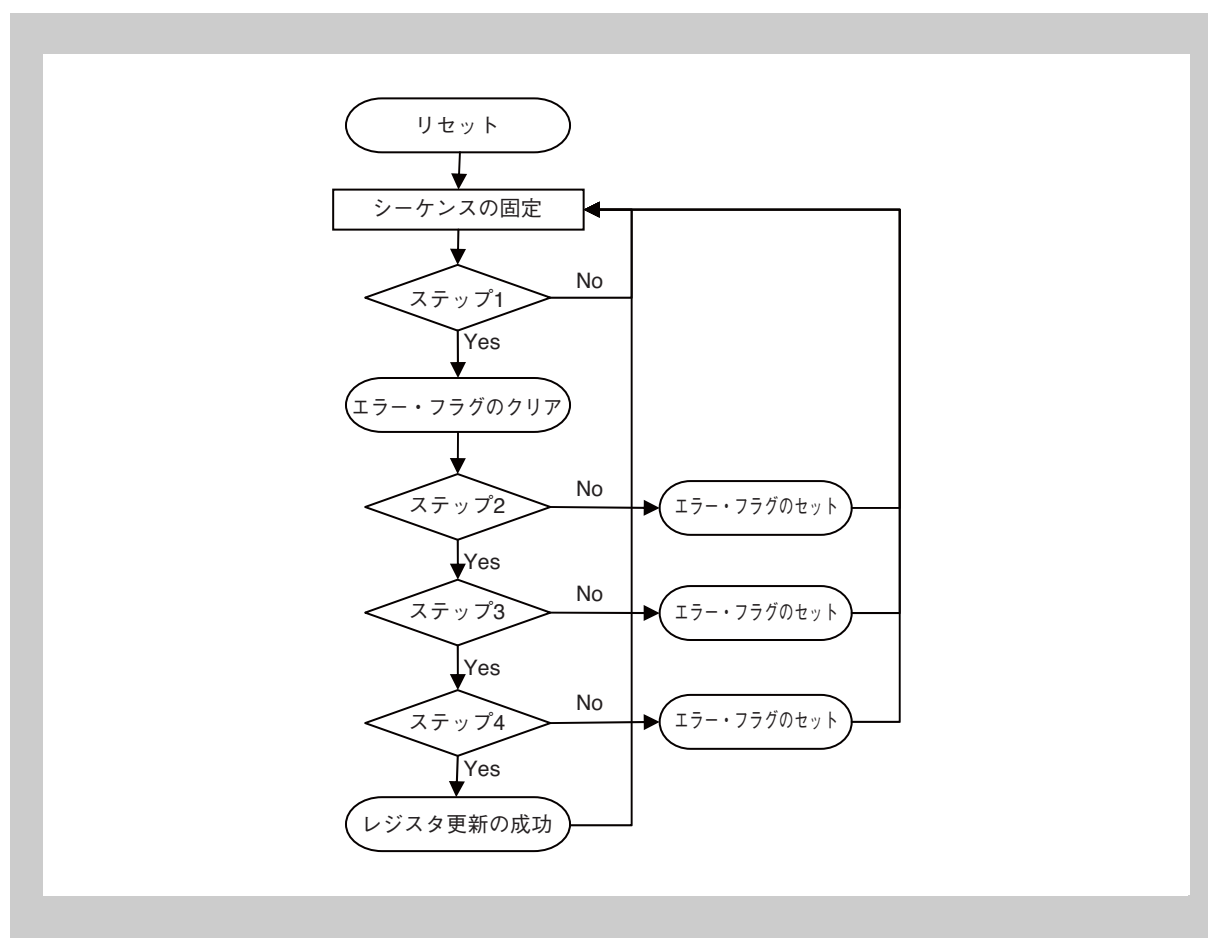


図 8-2 保護対象のポート・レジスタの書き込みシーケンス

- ステップ 1** 書き込みシーケンスを初期化するため、PPCMD レジスタに A5_H をライトする。
- ステップ 2** 保護対象のレジスタに 32 ビット単位でデータをライトする（更新はしない）。
- ステップ 3** 同じ保護対象のレジスタに 32 ビット単位で逆のデータをライトする（更新はしない）。
- ステップ 4** 再び同じ保護対象のレジスタに 32 ビット単位でデータをライトする（更新の成功）。

8.3.6 ポート設定のフロー例

ポート設定のフロー・チャート例を次に示します。

注意 ポートが PIP_{Cn}.PIP_{Cnm} ビット = 0 で兼用出力モードに設定されたとき、一時的に兼用入力モードになる場合があります。それは、PMC_n.PMC_{nm} ビット = 1 の設定から PM_n.PM_{nm} ビット = 0 の設定までのタイミングで発生します。ポート兼用機能として割り込み関連信号が設定された場合、割り込みは、一時的な兼用入力モードにより、ポート設定中、動作しないか、あるいは無視されます。

(1) 一括設定

一括でポート・グループを設定する場合のフロー・チャート例を次に示します。

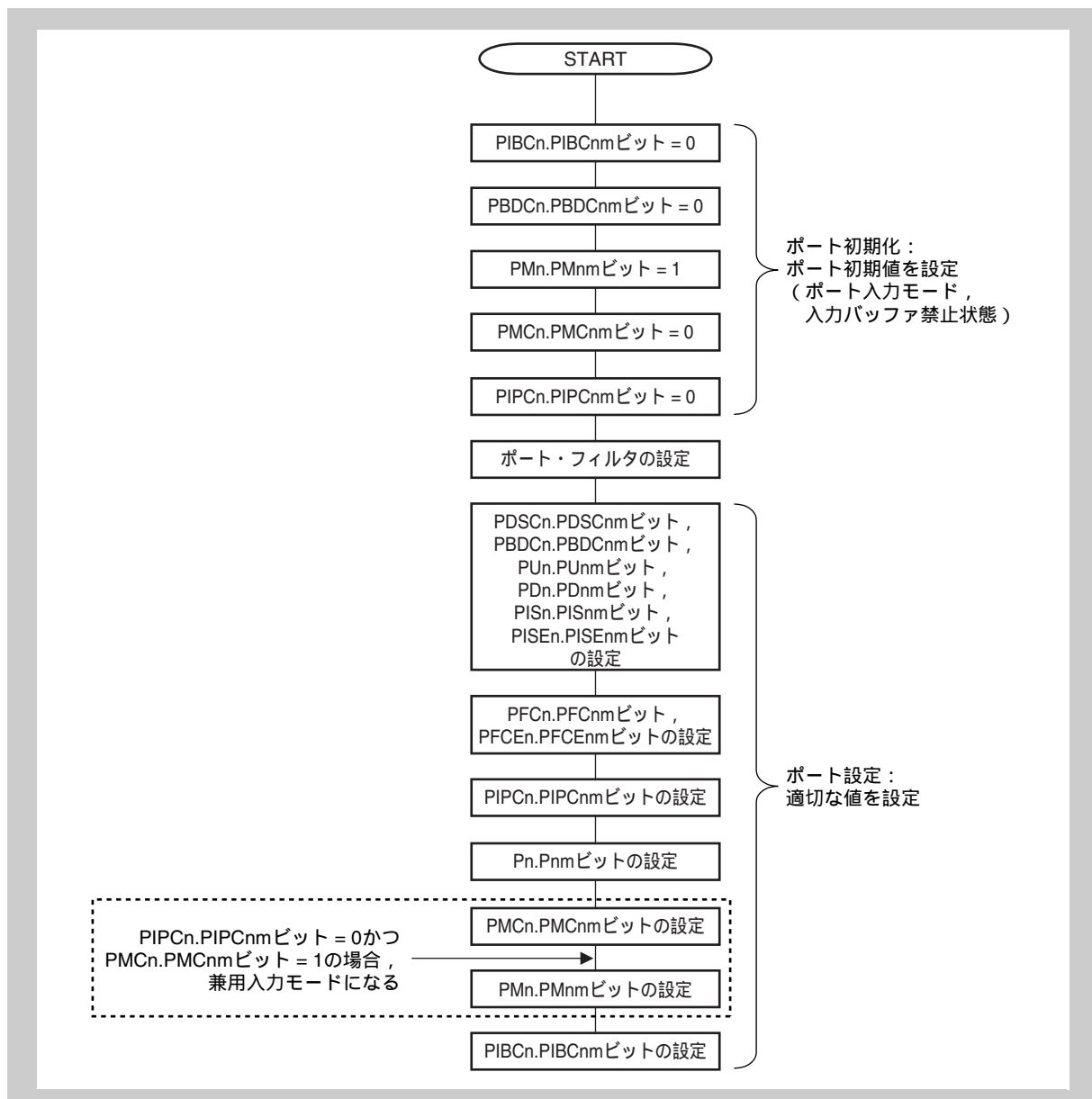


図 8-3 ポート設定のフロー・チャート例（一括設定の場合）

(2) 個別設定

個別でポートを設定する場合のフロー・チャート例を次に示します。

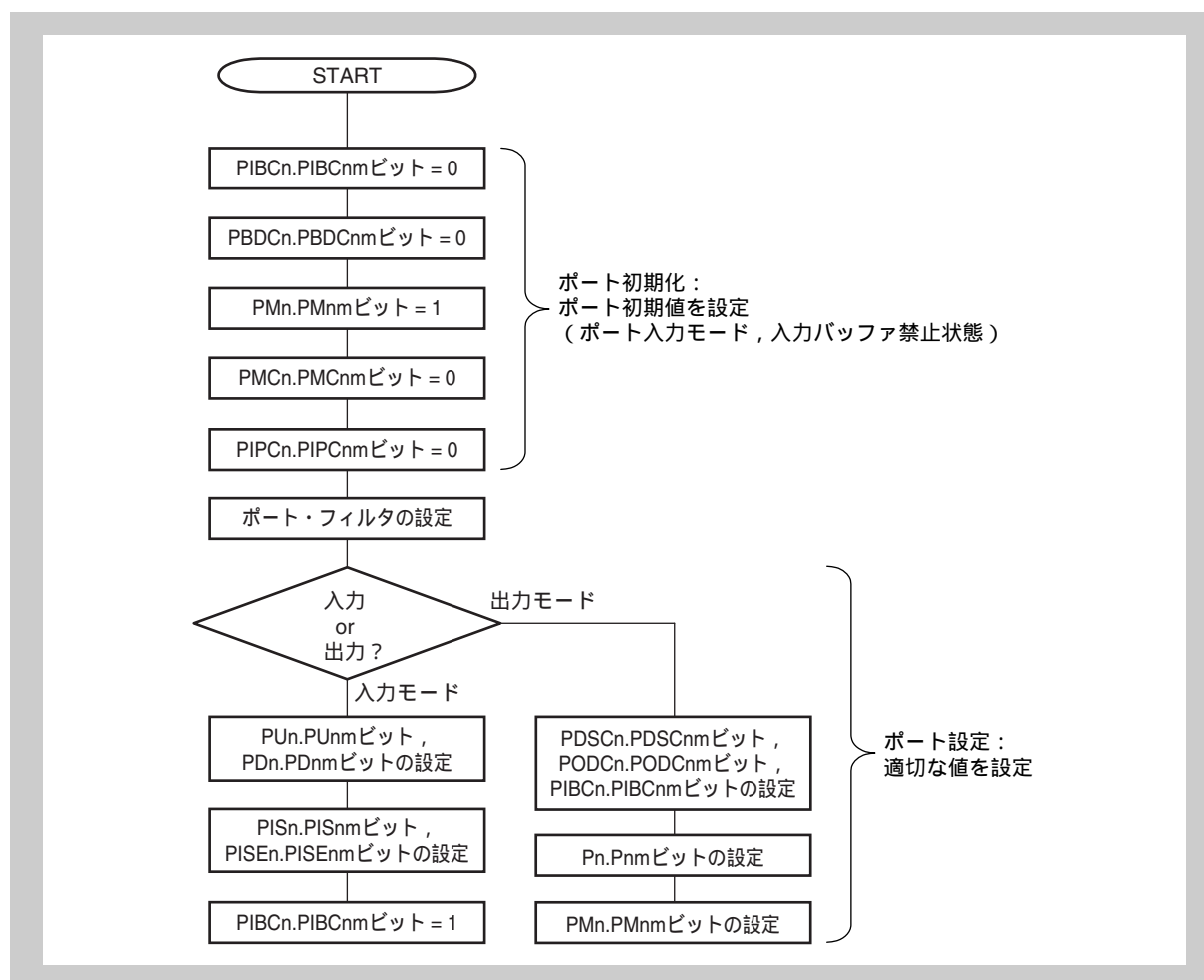


図 8-4 ポート設定のフロー・チャート例 (ポート・モードの場合)

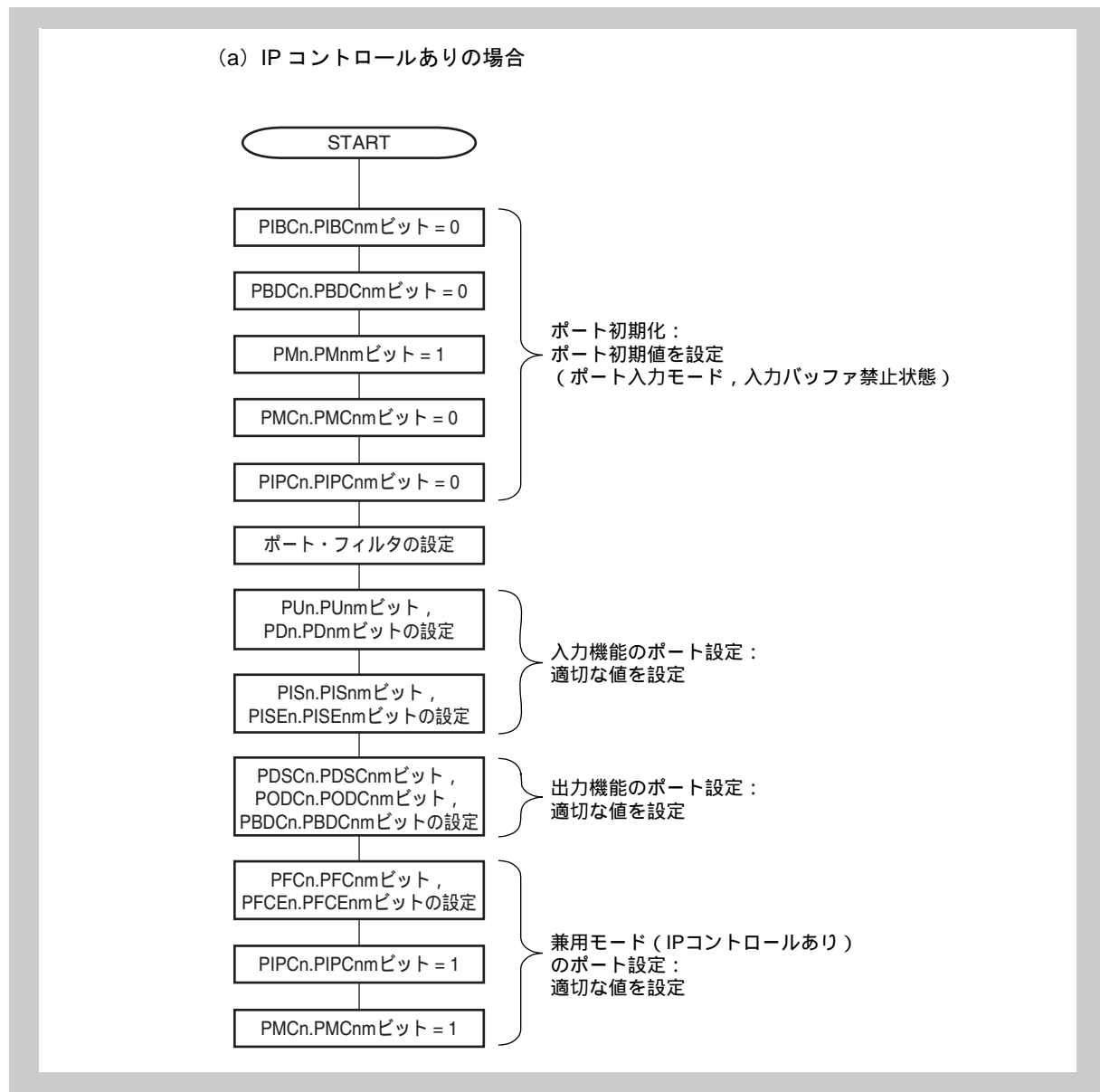


図 8-5 ポート設定のフロー・チャート例 (兼用モードの場合) (1/2)

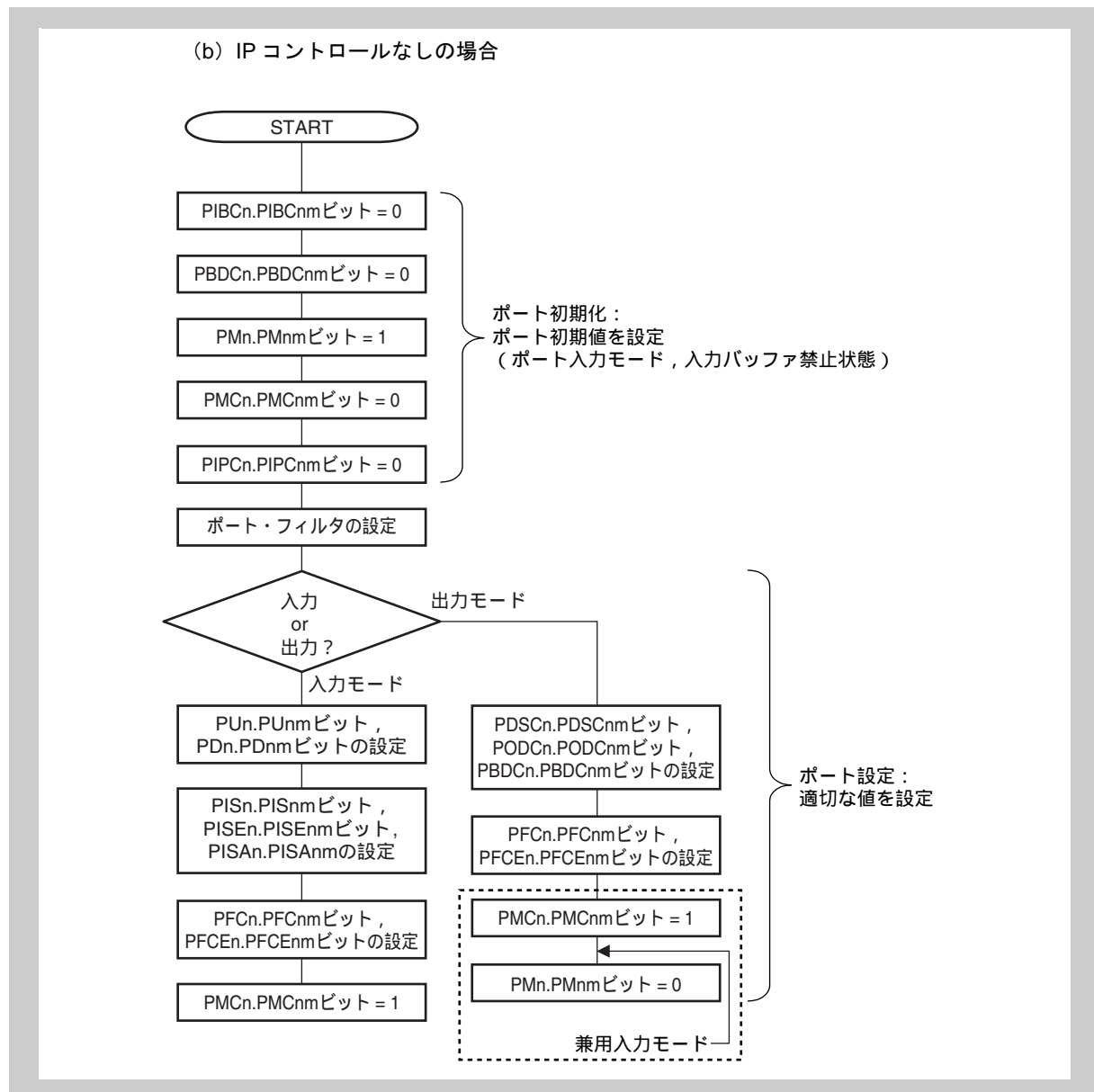


図 8-5 ポート設定のフロー・チャート例 (兼用モードの場合) (2/2)

8.4 V850E2/MN4 ポート機能

V850E2/MN4 のポート機能およびその兼用機能とポート制御レジスタについて示します。

8.4.1 ポート入力およびポート兼用機能入力端子の入力回路タイプ

ポート機能の制御レジスタである PIS, PISE, PISA レジスタによって次のようになります。

表 8-33 入出力回路タイプ（ポート入力／兼用機能入力）

PISnm	PISEnm	PISAnm	入力回路タイプ
0	0	0	CMOS
1	0	0	シュミット2
0	1	0	シュミット1
×	×	1	LVTTTL
上記以外，設定禁止			

各端子の設定は、8.4.4「V850E2/MN4 ポート制御レジスタ設定一覧」を参照してください。

8.4.2 汎用 I/O 機能

V850E2/MN4 のポート機能と兼用機能について表 8-34「ポート端子，兼用端子一覧（ポート・グループ0-13）」に示します。

PMCn_m、PFCn_m、PFCEn_m と PMn_m を制御することによって違ったモードにすることが可能です。

表 8-34 ポート端子，兼用端子一覧（ポート・グループ0-13）(1/7)

ポート・モード	兼用モード							
PMCn_m = 0	PMCn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
ポート・グループ0:								
P0_0	P_D0	P_D0	TA0_I0	TA0_O0	TE0_TI0			
P0_1	P_D1	P_D1	TA0_I1	TA0_O1				
P0_2	P_D2	P_D2	TA0_I2	TA0_O2	TE0_TI1			
P0_3	P_D3	P_D3	TA0_I3	TA0_O3				
P0_4	P_D4	P_D4	TA0_I4	TA0_O4	TE0_AI			
P0_5	P_D5	P_D5	TA0_I5	TA0_O5				

表 8-34 ポート端子, 兼用端子一覧 (ポート・グループ 0-13) (2/7)

ポート・モード	兼用モード							
PMcn_m = 0	PMcn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P0_6	P_D6	P_D6	TA0_I6	TA0_O6	TE0_BI			
P0_7	P_D7	P_D7	TA0_I7	TA0_O7				
P0_8	P_D8	P_D8	TA0_I8	TA0_O8	TE0_ZI			
P0_9	P_D9	P_D9	TA0_I9	TA0_O9				
P0_10	P_D10	P_D10	TA0_I10	TA0_O10				
P0_11	P_D11	P_D11	TA0_I11	TA0_O11				
P0_12	P_D12	P_D12	TA0_I12	TA0_O12				
P0_13	P_D13	P_D13	TA0_I13	TA0_O13				
P0_14	P_D14	P_D14	TA0_I14	TA0_O14				
P0_15	P_D15	P_D15	TA0_I15	TA0_O15				
ポート・グループ 1:								
P1_0	P_D16	P_D16	TA2_I0	TA2_O0		ADCNV0		
P1_1	P_D17	P_D17	TA2_I1	TA2_O1		ADCNV1		
P1_2	P_D18	P_D18	TA2_I2	TA2_O2		ADCNV2		
P1_3	P_D19	P_D19	TA2_I3	TA2_O3	ESO0			
P1_4	P_D20	P_D20	TA2_I4	TA2_O4	ESO1			
P1_5	P_D21	P_D21	TA2_I5	TA2_O5	ESO2			
P1_6	P_D22	P_D22	TA2_I6	TA2_O6	ESO3			
P1_7	P_D23	P_D23	TA2_I7	TA2_O7				
P1_8	P_D24	P_D24	TA2_I8	TA2_O8				
P1_9	P_D25	P_D25	TA2_I9	TA2_O9				
P1_10	P_D26	P_D26	TA2_I10	TA2_O10				
P1_11	P_D27	P_D27	TA2_I11	TA2_O11				
P1_12	P_D28	P_D28	TA2_I12	TA2_O12				
P1_13	P_D29	P_D29	TA2_I13	TA2_O13				
P1_14	P_D30	P_D30	TA2_I14	TA2_O14				
P1_15	P_D31	P_D31	TA2_I15	TA2_O15				
ポート・グループ 2:								
P2_0	NMI							
P2_1	INTP13	P_LLBE		P_LLWR	TJ_I0	TJ_O0		
P2_2	INTP14	P_LUBE		P_LUWR	TJ_I1	TJ_O1		
P2_3	INTP15	P_ULBE		P_ULWR	TJ_I2	TJ_O2		
P2_4	INTP16	P_UUBE		P_UUWR	TJ_I3	TJ_O3		
P2_5	INTP17	P_RD						
P2_6		P_BUSCLK						
P2_7	INTP19	P_WR		P_RW				

表 8-34 ポート端子, 兼用端子一覧 (ポート・グループ 0-13) (3/7)

ポート・モード	兼用モード							
PMcn_m = 0	PMcn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
ポート・グループ 3:								
P3_0	TE1_TI0	P_A0	TA1_I0	TA1_O0	INTP18			
P3_1		P_A1	TA1_I1	TA1_O1				
P3_2	TE1_TI1	P_A2	TA1_I2	TA1_O2				
P3_3		P_A3	TA1_I3	TA1_O3				
P3_4	TE1_AI	P_A4	TA1_I4	TA1_O4				
P3_5		P_A5	TA1_I5	TA1_O5				
P3_6	TE1_BI	P_A6	TA1_I6	TA1_O6				CSI3F_CS0
P3_7		P_A7	TA1_I7	TA1_O7				CSI3F_CS1
P3_8	TE1_ZI	P_A8	TA1_I8	TA1_O8				CSI3F_CS2
P3_9		P_A9	TA1_I9	TA1_O9				CSI3F_CS3
P3_10		P_A10	TA1_I10	TA1_O10				CSI3F_CS4
P3_11		P_A11	TA1_I11	TA1_O11				CSI3F_CS5
P3_12		P_A12	TA1_I12	TA1_O12				CSI3F_CS6
P3_13		P_A13	TA1_I13	TA1_O13				CSI3F_CS7
P3_14		P_A14	TA1_I14	TA1_O14			CSI3_RYI	CSI3_RYO
P3_15		P_A15	TA1_I15	TA1_O15			CSI3_SSI	
ポート・グループ 4:								
P4_0	INTP5	P_A16					CSI3F_RYI	CSI3F_RYO
P4_1	INTP6	P_A17					CSI3F_SSI	
P4_2	INTP7	P_A18						SO3
P4_3	INTP8	P_A19		DMAAK4				SO3F
P4_4	INTP9	P_A20	RXD3	DMATC4			SI3	
P4_5	INTP10	P_A21	ADTRG10	TXD3		DMATC3	SCK3	SCK3
P4_6	INTP11	P_A22	RXD3F	DMAAK3	SDA3	SDA3	SI3F	
P4_7	INTP12	P_A23	ADTRG20	TXD3F	SCL3	SCL3	SCK3F	SCK3F
P4_8	INTP20	P_CS1		P_BCYST				
P4_9	INTP21	P_CS2		DMAAK5				
P4_10	INTP22	P_CS3		DMATC5				
P4_11	P_WAIT			TXD0F	SCL0	SCL0	SCK0F	SCK0F
P4_12	INTP23	P_HLDAK		DMAAK2				SO0F
P4_13	P_HLDRQ		RXD0F	DMATC2	SDA0	SDA0	SI0F	
ポート・グループ 5:								
P5_0	INTP20	P_LLDQM	ETH_CRS		TA3_I0	TA3_O0	CSI0F_RYI	CSI0F_RYO
P5_1	INTP21	P_LUDQM	ETH_COL		TA3_I1	TA3_O1	CSI0F_SSI	
P5_2	INTP22	P_ULDQM		ETH_TXD3	TA3_I2	TA3_O2		CSI0F_CS0

表 8-34 ポート端子, 兼用端子一覧 (ポート・グループ 0-13) (4/7)

ポート・モード	兼用モード							
PMcn_m = 0	PMcn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P5_3	INTP23	P_UUDQM		ETH_TXD2	TA3_I3	TA3_O3		CSI0F_CS1
P5_4	INTP24	$\overline{P_REFRQ}$		ETH_TXD1	TA3_I4	TA3_O4		CSI0F_CS2
P5_5	INTP25	$\overline{P_SDRAS}$		ETH_TXD0	TA3_I5	TA3_O5		CSI0F_CS3
P5_6	INTP26	$\overline{P_SDCAS}$		ETH_TXEN	TA3_I6	TA3_O6		CSI0F_CS4
P5_7	INTP27		ETH_TXCLK		TA3_I7	TA3_O7		CSI0F_CS5
P5_8		P_SDCKE		ETH_TXER	TA3_I8	TA3_O8		CSI0F_CS6
P5_9		P_CS4	ETH_RXER		TA3_I9	TA3_O9		CSI0F_CS7
P5_10		P_BUSRQ	ETH_RXCLK		TA3_I10	TA3_O10		
P5_11		$\overline{P_SDWE}$	ETH_RXDV		TA3_I11	TA3_O11		
P5_12		$\overline{P_BCYST}$	ETH_RXD0		TA3_I12	TA3_O12		
P5_13			ETH_RXD1		TA3_I13	TA3_O13		
P5_14		DMAAK0	ETH_RXD2		TA3_I14	TA3_O14	TJ_I0	TJ_O0
P5_15		DMAAK1	ETH_RXD3		TA3_I15	TA3_O15	TJ_I1	TJ_O1
ポート・グループ 6:								
P6_0		DMATC0		ETH_MDC		P_A24	TJ_I2	TJ_O2
P6_1		DMATC1	ETH_MDIO	ETH_MDIO		P_A25	TJ_I3	TJ_O3
ポート・グループ 7:								
P7_0	S_D0	S_D0	TA2_I0	TA2_O0				
P7_1	S_D1	S_D1	TA2_I1	TA2_O1				
P7_2	S_D2	S_D2	TA2_I2	TA2_O2				
P7_3	S_D3	S_D3	TA2_I3	TA2_O3				
P7_4	S_D4	S_D4	TA2_I4	TA2_O4				
P7_5	S_D5	S_D5	TA2_I5	TA2_O5				
P7_6	S_D6	S_D6	TA2_I6	TA2_O6				
P7_7	S_D7	S_D7	TA2_I7	TA2_O7				
P7_8	S_D8	S_D8	TA2_I8	TA2_O8				
P7_9	S_D9	S_D9	TA2_I9	TA2_O9				
P7_10	S_D10	S_D10	TA2_I10	TA2_O10				
P7_11	S_D11	S_D11	TA2_I11	TA2_O11				
P7_12	S_D12	S_D12	TA2_I12	TA2_O12				
P7_13	S_D13	S_D13	TA2_I13	TA2_O13				
P7_14	S_D14	S_D14	TA2_I14	TA2_O14				
P7_15	S_D15	S_D15	TA2_I15	TA2_O15				
ポート・グループ 8:								
P8_0	S_D16	S_D16	TA0_I0	TA0_O0	TE_TIO			
P8_1	S_D17	S_D17	TA0_I1	TA0_O1				

表 8-34 ポート端子, 兼用端子一覧 (ポート・グループ 0-13) (5/7)

ポート・モード	兼用モード							
PMCn_m = 0	PMCn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P8_2	S_D18	S_D18	TA0_I2	TA0_O2	TE0_T11			
P8_3	S_D19	S_D19	TA0_I3	TA0_O3				
P8_4	S_D20	S_D20	TA0_I4	TA0_O4	TE0_TA			
P8_5	S_D21	S_D21	TA0_I5	TA0_O5				
P8_6	S_D22	S_D22	TA0_I6	TA0_O6	TE0_TB			
P8_7	S_D23	S_D23	TA0_I7	TA0_O7				
P8_8	S_D24	S_D24	TA0_I8	TA0_O8	TE0_TZ			
P8_9	S_D25	S_D25	TA0_I9	TA0_O9				
P8_10	S_D26	S_D26	TA0_I10	TA0_O10				
P8_11	S_D27	S_D27	TA0_I11	TA0_O11				
P8_12	S_D28	S_D28	TA0_I12	TA0_O12				
P8_13	S_D29	S_D29	TA0_I13	TA0_O13				
P8_14	S_D30	S_D30	TA0_I14	TA0_O14				
P8_15	S_D31	S_D31	TA0_I15	TA0_O15				
ポート・グループ 9:								
P9_0	INTP10	S_SDCKE			TA3_I0	TA3_O0		CSI2F_CS0
P9_1		S_BUSCLK						CSI2F_CS1
P9_2		S_SDCAS			TA3_I1	TA3_O1		CSI2F_CS2
P9_3		S_SDRAS			TA3_I2	TA3_O2		CSI2F_CS3
P9_4		S_LLDQM			TA3_I3	TA3_O3		CSI2F_CS4
P9_5		S_LUDQM			TA3_I4	TA3_O4		CSI2F_CS5
P9_6		S_ULDQM	ESO0	S_DMATC2				CSI2F_CS6
P9_7		S_UUDQM	ESO1	S_DMATC3				CSI2F_CS7
P9_8		S_LLWR		S_DMAAK2			CSI4_RYI	CSI4_RYO
P9_9	S_DMARQ2	S_LUWR		S_DMATC0				S04
P9_10	ESO2	S_ULWR	RXD4	S_DMAAK3	SDA4	SDA4	SI4	
P9_11	S_DMARQ3	S_UUWR	ESO3	TXD4	SCL4	SCL4	SCK4	SCK4
P9_12	INTP11	S_RD			TA3_I5	TA3_O5		
P9_13	INTP12	S_WR			TA3_I6	TA3_O6	CSI1_SSI	
P9_14	INTP13	S_LLBE			TA3_I7	TA3_O7	CSI1_RYI	CSI1_RYO
P9_15	INTP14	S_LUBE						S01
ポート・グループ 10:								
P10_0	INTP15	S_ULBE	RXD1	S_DMATC0			SI1	
P10_1	INTP16	S_UUBE		TXD1		S_DMATC1	SCK1	SCK1
P10_2	INTP17	S_WE			TA3_I8	TA3_O8	CSI2F_SSI	
P10_3	INTP18	S_BCYST		S_DMATC1	TA3_I9	TA3_O9	CSI4_SSI	

表 8-34 ポート端子, 兼用端子一覧 (ポート・グループ 0-13) (6/7)

ポート・モード	兼用モード							
PMcn_m = 0	PMcn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P10_4	INTP19	S_CS0			TA3_I10	TA3_O10	CSI2_SSI	
P10_5	INTP24	S_CS1			TA3_I11	TA3_O11	CSI2_RYI	CSI2_RYO
P10_6	INTP25	S_CS2			TA3_I12	TA3_O12	CSI1F_SSI	
P10_7	INTP26	S_CS3				S_SDCS	CSI1F_RYI	CSI1F_RYO
P10_8	S_WAIT		RXD2				SI2	
P10_9	INTP27	S_HLDAK			TA3_I13	TA3_O13		SO2
P10_10	S_HLDRQ			TXD2	TA3_I14	TA3_O14	SCK2	SCK2
P10_11		S_REFRQ			TA3_I15	TA3_O15	CSI2F_RYI	SRYOH2
ポート・グループ 11:								
P11_0	TE1_TI0	S_A1	TA1_I0	TA1_O0				
P11_1		S_A2	TA1_I1	TA1_O1				
P11_2	TE1_TI1	S_A3	TA1_I2	TA1_O2				
P11_3		S_A4	TA1_I3	TA1_O3				
P11_4	TE1_AI	S_A5	TA1_I4	TA1_O4				
P11_5		S_A6	TA1_I5	TA1_O5				
P11_6	TE1_BI	S_A7	TA1_I6	TA1_O6				
P11_7		S_A8	TA1_I7	TA1_O7				
P11_8	TE1_ZI	S_A9	TA1_I8	TA1_O8				
P11_9		S_A10	TA1_I9	TA1_O9				
P11_10		S_A11	TA1_I10	TA1_O10				CSI1F_CS0
P11_11		S_A12	TA1_I11	TA1_O11				CSI1F_CS1
P11_12		S_A13	TA1_I12	TA1_O12				CSI1F_CS2
P11_13		S_A14	TA1_I13	TA1_O13				CSI1F_CS3
P11_14		S_A15	TA1_I14	TA1_O14				CSI1F_CS4
P11_15		S_A16	TA1_I15	TA1_O15				CSI1F_CS5
ポート・グループ 12:								
P12_0	INTP0	S_A17		ADCNV0				CSI1F_CS6
P12_1	INTP1	S_A18		ADCNV1				CSI1F_CS7
P12_2	INTP2	S_A19		ADCNV2			CSI0_SSI	
P12_3	INTP3	S_A20					CSI0_RYI	CSI0_RYO
P12_4	INTP4	S_A21						SO0
P12_5	INTP5	S_A22	RXD0				SI0	
P12_6	INTP6	S_A23	ADTRG11	TXD0			SCK0	SCK0
P12_7	INTP7	S_A24						SO2F
P12_8	INTP8	S_A25	RXD2F		SDA2	SDA2	SI2F	
P12_9	INTP9	S_A26	ADTRG21	TXD2F	SCL2	SCL2	SCK2F	SCK2F

表 8-34 ポート端子, 兼用端子一覧 (ポート・グループ 0-13) (7/7)

ポート・モード	兼用モード							
PMcn_m = 0	PMcn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
ポート・グループ 13:								
P13_0	UCLK		ADTRG01		S_DMARQ0		CSI5_SSI	
P13_1	INTP0	S_CS3	ADTRG00			S_DMAAK0	CSI5_RYI	CSI5_RYO
P13_2	INTP1				S_DMARQ1	PPON		SO1F
P13_3	INTP2				OCI	S_DMAAK1		SO5
P13_4	INTP3	CAN0TXD		TXD1F	SCL1	SCL1	SCK1F	SCK1F
P13_5	CAN0RXD		RXD1F		SDA1	SDA1	SI1F	
P13_6	INTP4	CAN1TXD		TXD5	SCL5	SCL5	SCK5	SCK5
P13_7	CAN1RXD		RXD5		SDA5	SDA5	SI5	
ポート・グループ 14:								
P14_0	ANI06							
P14_1	ANI07							
P14_2	ANI08							
P14_3	ANI09							
P14_4	ANI010							
P14_5	ANI011							

表 8-35 ポート端子, 兼用端子一覧 (ポート・グループ 14)

PIBC14 = 1 (入力モード)		PIBC14 = 0 (兼用モード)	
ポート・グループ 14:			
P14_0		ANI06	
P14_1		ANI07	
P14_2		ANI08	
P14_3		ANI09	
P14_4		ANI010	
P14_5		ANI011	

8.4.3 V850E2/MN4 ポート制御レジスタ

V850E2/MN4 のポートを制御するレジスタとそのアドレス、初期値について示します。無効になっているビットに書き込みを行う必要がある場合、必ず初期値を書き込んでください。

表凡例 A : レジスタ・アドレス

I : 初期値

B : 有効ビット

- 1 : 有効, X : 無効, - : 非サポート
- 右側 : ビット 0, 左側 : ビット 15

表 8-36 V850E2/MN4 ポート制御レジスタ (グループ 0 ~ 3) (1/2)

レジスタ		ポート・グループ n =			
		0	1	2	3
Pn	A:	FFFF 8000 _H	FFFF 8004 _H	FFFF 8008 _H	FFFF 800C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PSRn	A:	FFFF 8100 _H	FFFF 8104 _H	FFFF 8108 _H	FFFF 810C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PNOTn	A:	FFFF 8700 _H	FFFF 8704 _H	FFFF 8708 _H	FFFF 870C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PPRn	A:	FFFF 8200 _H	FFFF 8204 _H	FFFF 8208 _H	FFFF 820C _H
	I:	0000 _H	0000 _H	0000 _H ^a	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMn	A:	FFFF 8300 _H	FFFF 8304 _H	FFFF 8308 _H	FFFF 830C _H
	I:	FFFF _H	FFFF _H	FFBF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMCn	A:	FFFF 8400 _H	FFFF 8404 _H	FFFF 8408 _H	FFFF 840C _H
	I:	0000 _H	0000 _H	0040 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PFCn	A:	FFFF 8500 _H	FFFF 8504 _H	FFFF 8508 _H	FFFF 850C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PFCEn	A:	FFFF 8600 _H	FFFF 8604 _H	FFFF 8608 _H	FFFF 860C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMSRn	A:	FFFF 8800 _H	FFFF 8804 _H	FFFF 8808 _H	FFFF 880C _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFBF _H	0000 FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111

表 8-36 V850E2/MN4 ポート制御レジスタ (グループ 0 ~ 3) (2/2)

レジスタ		ポート・グループ n =			
		0	1	2	3
PMCSRn	A:	FFFF 8900 _H	FFFF 8904 _H	FFFF 8908 _H	FFFF 890C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0040 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 4008 _H	FF40 400C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 4108 _H	FF40 410C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	FF40 4208 _H	FF40 420C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PUn	A:	–	–	FF40 4308 _H	FF40 430C _H
	I:	–	–	0000 _H	0000 _H
	B:	–	–	xxxx xxxx 1111 1111	1111 1111 1111 1111
PDn	A:	–	–	FF40 4408 _H	FF40 440C _H
	I:	–	–	0000 _H	0000 _H
	B:	–	–	xxxx xxxx 1111 1111	1111 1111 1111 1111
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 4508 _H	FF40 450C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PDSCn	A:	FF40 4600 _H	FF40 4604 _H	FF40 4608 _H	FF40 460C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0040 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx 1111 1111	1111 1111 1111 1111
PISn	A:	–	–	FF40 4708 _H	–
	I:	–	–	0000 _H	–
	B:	–	–	xxxx xxxx 1111 1111	–
PISEn	A:	–	–	FF40 4808 _H	–
	I:	–	–	0000 _H	–
	B:	–	–	xxxx xxxx 1111 1111	–
PISAn	A:	FF40 4A00 _H	FF40 4A04 _H	FF40 4A08 _H	–
	I:	0000 _H	0000 _H	0000 _H	–
	B:	1111 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111	–
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C08 _H	FF40 4C0C _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B08 _H	FF40 4B0C _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

a) ビット 6 は P_BUSCLK の状態によります。

表 8-37 V850E2/MN4 ポート制御レジスタ (グループ 4 ~ 7) (1/2)

レジスタ		ポート・グループ n =			
		4	5	6	7
Pn	A:	FFFF 8010 _H	FFFF 8014 _H	FFFF 8018 _H	FFFF 801C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PSRn	A:	FFFF 8110 _H	FFFF 8114 _H	FFFF 8118 _H	FFFF 811C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PNOTn	A:	FFFF 8710 _H	FFFF 8714 _H	FFFF 8718 _H	FFFF 871C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PPRn	A:	FFFF 8210 _H	FFFF 8214 _H	FFFF 8218 _H	FFFF 821C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PMn	A:	FFFF 8310 _H	FFFF 8314 _H	FFFF 8318 _H	FFFF 831C _H
	I:	FFFF _H	FFFF _H	FFFF _H	FFFF _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PMCn	A:	FFFF 8410 _H	FFFF 8414 _H	FFFF 8418 _H	FFFF 841C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PFCn	A:	FFFF 8510 _H	FFFF 8514 _H	FFFF 8518 _H	FFFF 851C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PFCEn	A:	FFFF 8610 _H	FFFF 8614 _H	FFFF 8618 _H	FFFF 861C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PMSRn	A:	FFFF 8810 _H	FFFF 8814 _H	FFFF 8818 _H	FFFF 881C _H
	I:	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PMCSRn	A:	FFFF 8910 _H	FFFF 8914 _H	FFFF 8918 _H	FFFF 891C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PIBCn	A:	FF40 4010 _H	FF40 4014 _H	FF40 4018 _H	FF40 401C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PBDCn	A:	FF40 4110 _H	FF40 4114 _H	FF40 4118 _H	FF40 411C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PIPCn	A:	FF40 4210 _H	FF40 4214 _H	FF40 4218 _H	FF40 421C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111

表 8-37 V850E2/MN4 ポート制御レジスタ (グループ 4 ~ 7) (2/2)

レジスタ		ポート・グループ n =			
		4	5	6	7
PUn	A:	FF40 4310 _H	FF40 4314 _H	FF40 4318 _H	FF40 431C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PDn	A:	FF40 4410 _H	FF40 4414 _H	FF40 4418 _H	FF40 441C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PODCn	A:	FF40 4510 _H	FF40 4514 _H	FF40 4518 _H	FF40 451C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PDSCn	A:	FF40 4610 _H	FF40 4614 _H	FF40 4618 _H	FF40 461C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	xx11 1111 1111 1111	1111 1111 1111 1111	xxxx xxxx xxxx xx11	1111 1111 1111 1111
PISn	A:	FF40 4710 _H	–	–	–
	I:	0000 _H	–	–	–
	B:	xx11 1111 1111 1111	–	–	–
PISEn	A:	FF40 4810 _H	–	–	–
	I:	0000 _H	–	–	–
	B:	xx11 1111 1111 1111	–	–	–
PISAn	A:	FF40 4A10 _H	–	–	FF40 4A1C _H
	I:	0000 _H	–	–	0000 _H
	B:	xx11 1111 1111 1111	–	–	1111 1111 1111 1111
PPCMDn	A:	FF40 4C10 _H	FF40 4C14 _H	FF40 4C18 _H	FF40 4C1C _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B10 _H	FF40 4B14 _H	FF40 4B18 _H	FF40 4B1C _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 8-38 V850E2/MN4 ポート制御レジスタ (グループ 8 ~ 11) (1/3)

レジスタ		ポート・グループ n =			
		8	9	10	11
Pn	A:	FFFF 8020 _H	FFFF 8024 _H	FFFF 8028 _H	FFFF 802C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PSRn	A:	FFFF 8120 _H	FFFF 8124 _H	FFFF 8128 _H	FFFF 812C _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111

表 8-38 V850E2/MN4 ポート制御レジスタ (グループ 8 ~ 11) (2/3)

レジスタ		ポート・グループ n =			
		8	9	10	11
PNOTn	A:	FFFF 8720 _H	FFFF 8724 _H	FFFF 8728 _H	FFFF 872C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PPRn	A:	FFFF 8220 _H	FFFF 8224 _H	FFFF 8228 _H	FFFF 822C _H
	I:	0000 _H	0000 _H ^a	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PMn	A:	FFFF 8320 _H	FFFF 8324 _H	FFFF 8328 _H	FFFF 832C _H
	I:	FFFF _H	FFFD _H	FFFF _H	FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PMCn	A:	FFFF 8420 _H	FFFF 8424 _H	FFFF 8428 _H	FFFF 842C _H
	I:	0000 _H	0002 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PFCn	A:	FFFF 8520 _H	FFFF 8524 _H	FFFF 8528 _H	FFFF 852C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PFCEn	A:	FFFF 8620 _H	FFFF 8624 _H	FFFF 8628 _H	FFFF 862C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PMSRn	A:	FFFF 8820 _H	FFFF 8824 _H	FFFF 8828 _H	FFFF 882C _H
	I:	0000 FFFF _H	0000 FFFD _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PMCSRn	A:	FFFF 8920 _H	FFFF 8924 _H	FFFF 8928 _H	FFFF 892C _H
	I:	0000 0000 _H	0000 0002 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PIBCn	A:	FF40 4020 _H	FF40 4024 _H	FF40 4028 _H	FF40 402C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PBDCn	A:	FF40 4120 _H	FF40 4124 _H	FF40 4128 _H	FF40 412C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PIPCn	A:	FF40 4220 _H	FF40 4224 _H	FF40 4228 _H	FF40 422C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PUn	A:	FF40 4320 _H	FF40 4324 _H	FF40 4328 _H	FF40 432C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PDn	A:	FF40 4420 _H	FF40 4424 _H	FF40 4428 _H	FF40 442C _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111

表 8-38 V850E2/MN4 ポート制御レジスタ (グループ 8 ~ 11) (3/3)

レジスタ		ポート・グループ n =			
		8	9	10	11
PODCn	A:	FF40 4520H	FF40 4524H	FF40 4528H	FF40 452CH
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PDSCn	A:	FF40 4620H	FF40 4624H	FF40 4628H	FF40 462CH
	I:	0000 0000 _H	0000 0002 _H	0000 0000 _H	0000 0000 _H
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111
PISn	A:	–	FF40 4724H	FF40 4728H	–
	I:	–	0000 _H	0000 _H	–
	B:	–	1111 1111 1111 1111	xxxx 1111 1111 1111	–
PISEn	A:	–	FF40 4824H	FF40 4828H	–
	I:	–	0000 _H	0000 _H	–
	B:	–	1111 1111 1111 1111	xxxx 1111 1111 1111	–
PISAn	A:	FF40 4A20H	FF40 4A24H	FF40 4A28H	–
	I:	0000 _H	0000 _H	0000 _H	–
	B:	1111 1111 1111 1111	1111 1111 1111 1111	xxxx 1111 1111 1111	–
PPCMDn	A:	FF40 4C20H	FF40 4C24H	FF40 4C28H	FF40 4C2CH
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B20H	FF40 4B24H	FF40 4B28H	FF40 4B2CH
	I:	00 _H	00 _H	00 _H	00 _H
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

a) ビット 1 は S_BUSCLK の状態によります。

表 8-39 V850E2/MN4 ポート制御レジスタ (グループ 12 ~ 14) (1/3)

レジスタ		ポート・グループ n =		
		12	13	14
Pn	A:	FFFF 8030H	FFFF 8034H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PSRn	A:	FFFF 8130H	FFFF 8134H	–
	I:	0000 0000 _H	0000 0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PNOTn	A:	FFFF 8730H	FFFF 8734H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PPRn	A:	FFFF 8230H	FFFF 8234H	FFFF 8238H
	I:	0000 _H	0000 _H	0000 _H
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	xxxx xxxx xx11 1111

表 8-39 V850E2/MN4 ポート制御レジスタ (グループ 12 ~ 14) (2/3)

レジスタ		ポート・グループ n =		
		12	13	14
PMn	A:	FFFF 8330H	FFFF 8334H	–
	I:	FFFF _H	FFFF _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PMCn	A:	FFFF 8430H	FFFF 8434H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PFCn	A:	FFFF 8530H	FFFF 8534H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PFCEn	A:	FFFF 8630H	FFFF 8634H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PMSRn	A:	FFFF 8830H	FFFF 8834H	–
	I:	0000 FFFF _H	0000 FFFF _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PMCSRn	A:	FFFF 8930H	FFFF 8934H	–
	I:	0000 0000 _H	0000 0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PIBCn	A:	FF40 4030H	FF40 4034H	FF40 4038H
	I:	0000 _H	0000 _H	0000 _H
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	xxxx xxxx xx11 1111
PBDCn	A:	FF40 4130H	FF40 4134H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PIPCn	A:	FF40 4230H	FF40 4234H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PUn	A:	FF40 4330H	FF40 4334H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PDn	A:	FF40 4430H	FF40 4434H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PODCn	A:	FF40 4530H	FF40 4534H	–
	I:	0000 0000 _H	0000 0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PDSCn	A:	FF40 4630H	FF40 4634H	–
	I:	0000 0000 _H	0000 0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–

表 8-39 V850E2/MN4 ポート制御レジスタ (グループ 12 ~ 14) (3/3)

レジスタ		ポート・グループ n =		
		12	13	14
PISn	A:	FF40 4730H	FF40 4734H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PISEn	A:	FF40 4830H	FF40 4834H	–
	I:	0000 _H	0000 _H	–
	B:	xxxx xx11 1111 1111	xxxx xxxx 1111 1111	–
PISAn	A:	–	FF40 4A34H	–
	I:	–	0000 _H	–
	B:	–	xxxx xxxx 1111 1111	–
PPCMDn	A:	FF40 4C30H	FF40 4C34H	–
	I:	00 _H	00 _H	–
	B:	1111 1111	1111 1111	–
PPROTSn	A:	FF40 4B30H	FF40 4B34H	–
	I:	00 _H	00 _H	–
	B:	xxxx xxx1	xxxx xxx1	–

8.4.4 V850E2/MN4 ポート制御レジスタ設定一覧

V850E2/MN4 の端子の兼用機能について、各レジスタの設定を次に示します。

各機能を使用する場合は、各制御レジスタの該当ビットを表 8-40 「各端子機能のレジスタ設定」にしたがって必ず設定してください。

『0』または『1』となっているところは必ず『0』または『1』を設定してください。

『1/0』となっているところは、必要に応じて設定してください。

『N/A』となっているところに、値を書き込む必要がある場合は、必ず初期値を使用してください。『-』となっているところは、レジスタがサポートされていません。アクセスしないでください。

また、入出力機能を持つ端子を使用する際は、IN および OUT の設定が必要な端子と、IN または OUT いずれかの設定が必要な端子があります。

IN および OUT の設定が必要な端子において、IN または OUT のいずれかで設定値のあるレジスタについては、設定値のあるレジスタの設定値を該当レジスタに設定してください。

IN または OUT いずれかの設定が必要な端子においては、使用する機能の設定に応じて、IN または OUT のレジスタ設定をしてください。

表 8-40 各端子機能のレジスタ設定 (1/48)

n	m	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性
				PMCnm	PMnm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
0	0	ポート・モード (入力)	P0_0	0	1	N/A	N/A	1	N/A	N/A	-	-	N/A	N/A	-	-	1
		ポート・モード (出力)	P0_0	0	0	N/A	N/A	N/A	N/A	1/0	-	-	0	1/0	-	-	N/A
		ALT1-IN	P_D0 ^a	1	N/A	0	0	N/A	1	N/A	-	-	N/A	N/A	-	-	1
		ALT2-IN	TA0_I0	1	1	1	0	N/A	N/A	N/A	-	-	N/A	N/A	-	-	1
		ALT3-IN	TE0_TI0	1	1	0	1	N/A	N/A	N/A	-	-	N/A	N/A	-	-	1
		ALT4-IN	-	N/A	N/A	N/A	N/A	N/A	N/A	N/A	-	-	N/A	N/A	-	-	N/A
		ALT1-OUT	P_D0 ^a	1	N/A	0	0	N/A	1	1/0	-	-	1	1/0	-	-	N/A
		ALT2-OUT	TA0_O0	1	0	1	0	N/A	N/A	1/0	-	-	0	1/0	-	-	N/A
		ALT3-OUT	-	N/A	N/A	N/A	N/A	N/A	N/A	N/A	-	-	N/A	N/A	-	-	N/A
ALT4-OUT	-	N/A	N/A	N/A	N/A	N/A	N/A	N/A	-	-	N/A	N/A	-	-	N/A		
0	1	ポート・モード (入力)	P0_1	0	1	N/A	N/A	1	N/A	N/A	-	-	N/A	N/A	-	-	1
		ポート・モード (出力)	P0_1	0	0	N/A	N/A	N/A	N/A	1/0	-	-	0	1/0	-	-	N/A
		ALT1-IN	P_D1 ^a	1	N/A	0	0	N/A	1	N/A	-	-	N/A	N/A	-	-	1
		ALT2-IN	TA0_I1	1	1	1	0	N/A	N/A	N/A	-	-	N/A	N/A	-	-	1
		ALT3-IN	-	N/A	N/A	N/A	N/A	N/A	N/A	N/A	-	-	N/A	N/A	-	-	N/A
		ALT4-IN	-	N/A	N/A	N/A	N/A	N/A	N/A	N/A	-	-	N/A	N/A	-	-	N/A
		ALT1-OUT	P_D1 ^a	1	N/A	0	0	N/A	1	1/0	-	-	1	1/0	-	-	N/A
		ALT2-OUT	TA0_O1	1	0	1	0	N/A	N/A	1/0	-	-	0	1/0	-	-	N/A
		ALT3-OUT	-	N/A	N/A	N/A	N/A	N/A	N/A	N/A	-	-	N/A	N/A	-	-	N/A
ALT4-OUT	-	N/A	N/A	N/A	N/A	N/A	N/A	N/A	-	-	N/A	N/A	-	-	N/A		

表 8-40 各端子機能のレジスタ設定 (2/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
0	2	ポート・モード (入力)	P0_2	0	1	N/A	N/A	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P0_2	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D2 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I2	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	TE0_TI1	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D2 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O2	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
0	3	ポート・モード (入力)	P0_3	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P0_3	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D3 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I3	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D3 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O3	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
0	4	ポート・モード (入力)	P0_4	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P0_4	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D4 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I4	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	TE0_AI	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D4 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O4	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
0	5	ポート・モード (入力)	P0_5	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P0_5	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D5 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I5	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D5 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O5	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (3/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
0	6	ポート・モード (入力)	P0_6	0	1	N/A	N/A	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P0_6	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D6 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I6	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	TE0_BI	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D6 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O6	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
0	7	ポート・モード (入力)	P0_7	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P0_7	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D7 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I7	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D7 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O7	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
0	8	ポート・モード (入力)	P0_8	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P0_8	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D8 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I8	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	TE0_ZI	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D8 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O8	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
0	9	ポート・モード (入力)	P0_9	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P0_9	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D9 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I9	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D9 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O9	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (4/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
0	10	ポート・モード (入力)	P0_10	0	1	N/A	N/A	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P0_10	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D10 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA0_I10	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D10 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA0_O10	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		
0	11	ポート・モード (入力)	P0_11	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ポート・モード (出力)	P0_11	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D11 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA0_I11	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D11 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA0_O11	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		
0	12	ポート・モード (入力)	P0_12	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ポート・モード (出力)	P0_12	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D12 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA0_I12	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D12 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA0_O12	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		
0	13	ポート・モード (入力)	P0_13	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ポート・モード (出力)	P0_13	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D13 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA0_I13	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D13 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA0_O13	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		

表 8-40 各端子機能のレジスタ設定 (5/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
0	14	ポート・モード (入力)	P0_14	0	1	N/A	N/A	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P0_14	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D14 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA0_I14	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D14 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA0_O14	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		
0	15	ポート・モード (入力)	P0_15	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ポート・モード (出力)	P0_15	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D15 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA0_I15	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D15 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA0_O15	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		
1	0	ポート・モード (入力)	P1_0	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ポート・モード (出力)	P1_0	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D16 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA2_I0	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D16 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA2_O0	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	ADCNV0	1	0	0	1	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		
1	1	ポート・モード (入力)	P1_1	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ポート・モード (出力)	P1_1	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT1-IN	P_D17 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	—	1
		ALT2-IN	TA2_I1	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A
		ALT1-OUT	P_D17 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	—	N/A
		ALT2-OUT	TA2_O1	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
		ALT3-OUT	ADCNV1	1	0	0	1	N/A	N/A	1/0	—	—	0	1/0	—	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	—	N/A		

表 8-40 各端子機能のレジスタ設定 (6/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
1	2	ポート・モード (入力)	P1_2	0	1	N/A	N/A	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P1_2	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D18 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I2	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D18 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O2	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	ADCNV2	1	0	0	1	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
1	3	ポート・モード (入力)	P1_3	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P1_3	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D19 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I3	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	ESO0	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D19 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O3	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
1	4	ポート・モード (入力)	P1_4	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P1_4	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D20 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I4	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	ESO1	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D20 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O4	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
1	5	ポート・モード (入力)	P1_5	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P1_5	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D21 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I5	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	ESO2	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D21 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O5	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (7/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
1	6	ポート・モード (入力)	P1_6	0	1	N/A	N/A	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P1_6	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D22 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I6	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	ESO3	1	1	0	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D22 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O6	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
1	7	ポート・モード (入力)	P1_7	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P1_7	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D23 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I7	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D23 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O7	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
1	8	ポート・モード (入力)	P1_8	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P1_8	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D24 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I8	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D24 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O8	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
1	9	ポート・モード (入力)	P1_9	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P1_9	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D25 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I9	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D25 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O9	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (8/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
1	10	ポート・モード (入力)	P1_10	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P1_10	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A
		ALT1-IN	P_D26 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1
		ALT2-IN	TA2_I10	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT1-OUT	P_D26 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A
		ALT2-OUT	TA2_O10	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A		
1	11	ポート・モード (入力)	P1_11	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P1_11	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A
		ALT1-IN	P_D27 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1
		ALT2-IN	TA2_I11	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT1-OUT	P_D27 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A
		ALT2-OUT	TA2_O11	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A		
1	12	ポート・モード (入力)	P1_12	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P1_12	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A
		ALT1-IN	P_D28 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1
		ALT2-IN	TA2_I12	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT1-OUT	P_D28 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A
		ALT2-OUT	TA2_O12	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A		
1	13	ポート・モード (入力)	P1_13	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P1_13	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A
		ALT1-IN	P_D29 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1
		ALT2-IN	TA2_I13	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
		ALT1-OUT	P_D29 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A
		ALT2-OUT	TA2_O13	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A		

表 8-40 各端子機能のレジスタ設定 (9/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
1	14	ポート・モード (入力)	P1_14	0	1	N/A	N/A	1	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1
		ポート・モード (出力)	P1_14	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D30 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I14	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D30 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O14	1	0	1	0	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
1	15	ポート・モード (入力)	P1_15	0	1	N/A	N/A	1	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ポート・モード (出力)	P1_15	0	0	N/A	N/A	N/A	N/A	1/0	—	—	0	1/0	—	—	N/A	
		ALT1-IN	P_D31 ^a	1	N/A	0	0	N/A	1	N/A	—	—	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I15	1	1	1	0	N/A	N/A	N/A	—	—	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
		ALT1-OUT	P_D31 ^a	1	N/A	0	0	N/A	1	1/0	—	—	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O15	1	N/A	1	0	N/A	1	1/0	—	—	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	N/A	—	—	N/A			
2	0	ポート・モード (入力)	P2_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	
		ポート・モード (出力)	P2_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
		ALT1-IN	NMI	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
2	1	ポート・モード (入力)	P2_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0	
		ポート・モード (出力)	P2_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
		ALT1-IN	INTP13	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-IN	TJ_I0	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT1-OUT	P_LLBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	
		ALT2-OUT	P_LLWR	1	N/A	1	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	
		ALT3-OUT	TJ_O0	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			

表 8-40 各端子機能のレジスタ設定 (10/48)

コ	E	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
2	2	ポート・モード (入力)	P2_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P2_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP14	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TJ_I1	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_LUBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	P_LUWR	1	N/A	1	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	TJ_O1	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
2	3	ポート・モード (入力)	P2_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P2_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP15	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TJ_I2	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_ULBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	P_ULWR	1	N/A	1	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	TJ_O2	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
2	4	ポート・モード (入力)	P2_4	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P2_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP16	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TJ_I3	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_UUBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	P_UUWR	1	N/A	1	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	TJ_O3	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
2	5	ポート・モード (入力)	P2_5	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P2_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP17	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_RD	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		

表 8-40 各端子機能のレジスタ設定 (11/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
2	6	ポート・モード (入力)	P2_6	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1
		ポート・モード (出力)	P2_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_BUSCLK	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
2	7	ポート・モード (入力)	P2_7	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P2_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A	N/A
		ALT1-IN	INTP19	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_WR	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A	N/A
		ALT2-OUT	P_RW	1	N/A	1	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
3	0	ポート・モード (入力)	P3_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—	—	
		ポート・モード (出力)	P3_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—	—	
		ALT1-IN	TE1_T10	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—	—	
		ALT2-IN	TA1_I0	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—	—	
		ALT3-IN	INTP18	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—	—	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—	
		ALT1-OUT	P_A0	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—	—	
		ALT2-OUT	TA1_O0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—	—	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—			
3	1	ポート・モード (入力)	P3_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—	—	
		ポート・モード (出力)	P3_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—	—	
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—	
		ALT2-IN	TA1_I1	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—	—	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—	
		ALT1-OUT	P_A1	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—	—	
		ALT2-OUT	TA1_O1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—	—	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—	—			

表 8-40 各端子機能のレジスタ設定 (12/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
3	2	ポート・モード (入力)	P3_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	TE1_TI1	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I2	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A2	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				
3	3	ポート・モード (入力)	P3_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I3	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A3	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				
3	4	ポート・モード (入力)	P3_4	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	TE1_AI	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I4	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A4	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O4	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				
3	5	ポート・モード (入力)	P3_5	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I5	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A5	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O5	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				

表 8-40 各端子機能のレジスタ設定 (13/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
3	6	ポート・モード (入力)	P3_6	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P3_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	TE1_BI	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	TA1_I6	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_A6	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O6	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-OUT	CSI3F_CS0	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
3	7	ポート・モード (入力)	P3_7	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P3_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I7	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_A7	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O7	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-OUT	CSI3F_CS1	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
3	8	ポート・モード (入力)	P3_8	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P3_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	TE1_ZI	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	TA1_I8	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_A8	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O8	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-OUT	CSI3F_CS2	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
3	9	ポート・モード (入力)	P3_9	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P3_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I9	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_A9	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O9	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-OUT	CSI3F_CS3	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—

表 8-40 各端子機能のレジスタ設定 (14/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
3	10	ポート・モード (入力)	P3_10	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I10	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A10	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O10	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT4-OUT	CSI3F_CS4	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
3	11	ポート・モード (入力)	P3_11	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I11	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A11	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O11	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT4-OUT	CSI3F_CS5	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
3	12	ポート・モード (入力)	P3_12	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_12	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I12	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A12	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O12	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT4-OUT	CSI3F_CS6	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
3	13	ポート・モード (入力)	P3_13	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P3_13	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I13	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	P_A13	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O13	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT4-OUT	CSI3F_CS7	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		

表 8-40 各端子機能のレジスタ設定 (15/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
3	14	ポート・モード (入力)	P3_14	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P3_14	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I14	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	CSI3_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT1-OUT	P_A14	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O14	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT4-OUT	CSI3_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
3	15	ポート・モード (入力)	P3_15	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P3_15	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I15	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	CSI3_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT1-OUT	P_A15	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O15	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
4	0	ポート・モード (入力)	P4_0	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P4_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	INTP5	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	CSI3F_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT1-OUT	P_A16	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-OUT	CSI3F_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
4	1	ポート・モード (入力)	P4_1	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P4_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	INTP6	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	CSI3F_SSI	1	1	1	1	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT1-OUT	P_A17	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A

表 8-40 各端子機能のレジスタ設定 (16/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
4	2	ポート・モード (入力)	P4_2	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P4_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP7	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_A18	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	SO3	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		
4	3	ポート・モード (入力)	P4_3	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P4_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP8	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_A19	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	DMAAK4	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	SO3F	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		
4	4	ポート・モード (入力)	P4_4	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	0
		ポート・モード (出力)	P4_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP9	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	0
		ALT2-IN	RXD3	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0	0
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	SI3	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0	0
		ALT1-OUT	P_A20	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	DMATC4	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
4	5	ポート・モード (入力)	P4_5	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	0
		ポート・モード (出力)	P4_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP10	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	0
		ALT2-IN	ADTRG10	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	0
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	SCK3 ^b	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	0	0
		ALT1-OUT	P_A21	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	TXD3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	DMATC3	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
ALT4-OUT	SCK3 ^b	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	N/A		

表 8-40 各端子機能のレジスタ設定 (17/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
4	6	ポート・モード (入力)	P4_6	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ポート・モード (出力)	P4_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
		ALT1-IN	INTP11	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ALT2-IN	RXD3F	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0		
		ALT3-IN	SDA3 ^a	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	0		
		ALT4-IN	SI3F	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0		
		ALT1-OUT	P_A22	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT2-OUT	DMAAK3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT3-OUT	SDA3 ^a	1	0	0	1	N/A	N/A	1	N/A	N/A	0	1	N/A	N/A	N/A		
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
4	7	ポート・モード (入力)	P4_7	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ポート・モード (出力)	P4_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
		ALT1-IN	INTP12	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ALT2-IN	ADTRG20	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ALT3-IN	SCL3 ^b	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	0		
		ALT4-IN	SCK3F ^b	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	0		
		ALT1-OUT	P_A23	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT2-OUT	TXD3F	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
		ALT3-OUT	SCL3 ^b	1	0	0	1	N/A	N/A	1	N/A	N/A	0	1	N/A	N/A	N/A		
		ALT4-OUT	SCK3F ^b	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
4	8	ポート・モード (入力)	P4_8	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ポート・モード (出力)	P4_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT1-IN	INTP20	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT1-OUT	P_CS1	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A		
		ALT2-OUT	P_BCYST	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
4	9	ポート・モード (入力)	P4_9	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ポート・モード (出力)	P4_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT1-IN	INTP21	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT1-OUT	P_CS2	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A		
		ALT2-OUT	DMAAK5	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			

表 8-40 各端子機能のレジスタ設定 (18/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
4	10	ポート・モード (入力)	P4_10	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P4_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP22	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	P_CS3	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	DMATC5	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
4	11	ポート・モード (入力)	P4_11	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	
		ポート・モード (出力)	P4_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	
		ALT1-IN	P_WAIT	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	1	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-IN	SCL0 ^b	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	0	
		ALT4-IN	SCK0F ^b	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	0	
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT2-OUT	TXD0F	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	
		ALT3-OUT	SCL0 ^b	1	0	0	1	N/A	N/A	1	N/A	N/A	0	1	N/A	N/A	N/A	
ALT4-OUT	SCK0F ^b	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
4	12	ポート・モード (入力)	P4_12	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0	
		ポート・モード (出力)	P4_12	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
		ALT1-IN	INTP23	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT1-OUT	P_HLDAK	1	0	0	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	
		ALT2-OUT	DMAAK2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
ALT4-OUT	SO0F	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
4	13	ポート・モード (入力)	P4_13	0	1	N/A	N/A	1/0	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	
		ポート・モード (出力)	P4_13	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	
		ALT1-IN	P_HLDRQ	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	1	
		ALT2-IN	RXD0F	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0	
		ALT3-IN	SDA0 ^a	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	0	
		ALT4-IN	SI0F	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0	
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT2-OUT	DMATC2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
		ALT3-OUT	SDA0 ^a	1	0	0	1	N/A	N/A	1	N/A	N/A	0	1	N/A	N/A	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			

表 8-40 各端子機能のレジスタ設定 (19/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
5	0	ポート・モード (入力)	P5_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP20	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	ETH_CRS	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I0	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	CSI0F_RYI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT1-OUT	P_LLDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O0	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	—	—	—		
5	1	ポート・モード (入力)	P5_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP21	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	ETH_COL	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I1	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	CSI0F_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT1-OUT	P_LUDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O1	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
5	2	ポート・モード (入力)	P5_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP22	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-IN	TA3_I2	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_ULDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	ETH_TXD3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT3-OUT	TA3_O2	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS0	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
5	3	ポート・モード (入力)	P5_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP23	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-IN	TA3_I3	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_UUDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	ETH_TXD2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT3-OUT	TA3_O3	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS1	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		

表 8-40 各端子機能のレジスタ設定 (20/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
5	4	ポート・モード (入力)	P5_4	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP24	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-IN	TA3_I4	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_REFRQ	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	ETH_TXD1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT3-OUT	TA3_O4	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS2	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
5	5	ポート・モード (入力)	P5_5	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP25	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-IN	TA3_I5	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_SDRAS	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	ETH_TXD0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT3-OUT	TA3_O5	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS3	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
5	6	ポート・モード (入力)	P5_6	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP26	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-IN	TA3_I6	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_SDCAS	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	ETH_TXEN	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT3-OUT	TA3_O6	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS4	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
5	7	ポート・モード (入力)	P5_7	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	INTP27	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	ETH_TXCLK	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I7	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O7	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS5	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		

表 8-40 各端子機能のレジスタ設定 (21/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
5	8	ポート・モード (入力)	P5_8	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-IN	TA3_I8	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_SDCKE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	ETH_TXER	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT3-OUT	TA3_O8	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS6	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
5	9	ポート・モード (入力)	P5_9	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	ETH_RXER	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I9	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_CS4	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O9	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	CSI0F_CS7	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
5	10	ポート・モード (入力)	P5_10	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	ETH_RXCLK	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I10	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_BUSRQ	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O10	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
5	11	ポート・モード (入力)	P5_11	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	ETH_RXDV	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I11	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_SDWE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O11	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		

表 8-40 各端子機能のレジスタ設定 (22/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
5	12	ポート・モード (入力)	P5_12	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_12	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	ETH_RXD1	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I12	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	P_BCYST	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O12	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
5	13	ポート・モード (入力)	P5_13	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_13	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	ETH_RXD1	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I13	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O13	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
5	14	ポート・モード (入力)	P5_14	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_14	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	ETH_RXD2	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I14	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	TJ_I0	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT1-OUT	DMAAK0	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O14	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	TJ_O0	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
5	15	ポート・モード (入力)	P5_15	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P5_15	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	ETH_RXD3	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	TA3_I15	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT4-IN	TJ_I1	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT1-OUT	DMAAK1	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT3-OUT	TA3_O15	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—
ALT4-OUT	TJ_O1	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		

表 8-40 各端子機能のレジスタ設定 (23/48)

コ	E	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
6	0	ポート・モード (入力)	P6_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P6_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	TJ_I2	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT1-OUT	DMATC0	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT2-OUT	ETH_MDC	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
		ALT3-OUT	P_A24	1	N/A	0	1	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—		
ALT4-OUT	TJ_O2	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—				
6	1	ポート・モード (入力)	P6_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P6_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	ETH_MDIO ^a	1	N/A	1	0	N/A	1	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	TJ_I3	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT1-OUT	DMATC1	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT2-OUT	ETH_MDIO ^a	1	N/A	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	—		
		ALT3-OUT	P_A25	1	N/A	0	1	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—		
ALT4-OUT	TJ_O3	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	—				
7	0	ポート・モード (入力)	P7_0	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1		
		ポート・モード (出力)	P7_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A		
		ALT1-IN	S_D0 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1		
		ALT2-IN	TA2_I0	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A		
		ALT1-OUT	S_D0 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A		
		ALT2-OUT	TA2_O0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A				
7	1	ポート・モード (入力)	P7_1	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1		
		ポート・モード (出力)	P7_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A		
		ALT1-IN	S_D1 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1		
		ALT2-IN	TA2_I1	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A		
		ALT1-OUT	S_D1 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A		
		ALT2-OUT	TA2_O1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A				

表 8-40 各端子機能のレジスタ設定 (24/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
7	2	ポート・モード (入力)	P7_2	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P7_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D2 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I2	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D2 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	3	ポート・モード (入力)	P7_3	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D3 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I3	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D3 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	4	ポート・モード (入力)	P7_4	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D4 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I4	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D4 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O4	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	5	ポート・モード (入力)	P7_5	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D5 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I5	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D5 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O5	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (25/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
7	6	ポート・モード (入力)	P7_6	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P7_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D6 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I6	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D6 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O6	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	7	ポート・モード (入力)	P7_7	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D7 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I7	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D7 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O7	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	8	ポート・モード (入力)	P7_8	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D8 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I8	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D8 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O8	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	9	ポート・モード (入力)	P7_9	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D9 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I9	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D9 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O9	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (26/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
7	10	ポート・モード (入力)	P7_10	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P7_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D10 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I10	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D10 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O10	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	11	ポート・モード (入力)	P7_11	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D11 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I11	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D11 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O11	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	12	ポート・モード (入力)	P7_12	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_12	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D12 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I12	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D12 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O12	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	13	ポート・モード (入力)	P7_13	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_13	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D13 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I13	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D13 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O13	1	0	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (27/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
7	14	ポート・モード (入力)	P7_14	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P7_14	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D14 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I14	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D14 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O14	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
7	15	ポート・モード (入力)	P7_15	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P7_15	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D15 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA2_I15	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D15 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA2_O15	1	0	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	0	ポート・モード (入力)	P8_0	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D16 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I0	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	TE0_T10	1	1	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D16 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	1	ポート・モード (入力)	P8_1	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D17 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I1	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D17 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (28/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
8	2	ポート・モード (入力)	P8_2	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P8_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D18 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I2	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	TE0_TI1	1	1	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D18 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	3	ポート・モード (入力)	P8_3	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D19 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I3	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D19 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	4	ポート・モード (入力)	P8_4	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D20 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I4	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	TE0_TA	1	1	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D20 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O4	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	5	ポート・モード (入力)	P8_5	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D21 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I5	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D21 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O5	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (29/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
8	6	ポート・モード (入力)	P8_6	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P8_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D22 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I6	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	TE0_TB	1	1	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D22 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O6	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	7	ポート・モード (入力)	P8_7	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D23 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I7	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D23 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O7	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	8	ポート・モード (入力)	P8_8	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D24 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I8	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	TE0_TZ	1	1	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D24 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O8	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	9	ポート・モード (入力)	P8_9	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D25 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I9	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D25 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O9	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (30/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
8	10	ポート・モード (入力)	P8_10	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P8_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D26 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I10	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D26 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O10	1	N/A	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	11	ポート・モード (入力)	P8_11	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D27 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I11	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D27 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O11	1	N/A	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	12	ポート・モード (入力)	P8_12	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_12	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D28 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I12	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D28 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O12	1	N/A	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	13	ポート・モード (入力)	P8_13	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_13	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D29 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I13	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D29 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O13	1	N/A	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			

表 8-40 各端子機能のレジスタ設定 (31/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
8	14	ポート・モード (入力)	P8_14	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1
		ポート・モード (出力)	P8_14	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D30 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I14	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D30 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O14	1	N/A	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
8	15	ポート・モード (入力)	P8_15	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ポート・モード (出力)	P8_15	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT1-IN	S_D31 ^a	1	N/A	0	0	N/A	1	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT2-IN	TA0_I15	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	1	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
		ALT1-OUT	S_D31 ^a	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	N/A	
		ALT2-OUT	TA0_O15	1	N/A	1	0	N/A	1	1/0	N/A	N/A	0	1/0	—	—	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	N/A			
9	0	ポート・モード (入力)	P9_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
		ALT1-IN	INTP10	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-IN	TA3_I0	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT1-OUT	S_SDCKE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-OUT	TA3_O0	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
ALT4-OUT	CSI2F_CS0	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A			
9	1	ポート・モード (入力)	P9_1	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1
		ポート・モード (出力)	P9_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT1-OUT	S_BUSCLK	1	0	0	0	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	
ALT4-OUT	CSI2F_CS1	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			

表 8-40 各端子機能のレジスタ設定 (32/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
9	2	ポート・モード (入力)	P9_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I1	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_SDCAS	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O1	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
ALT4-OUT	CSI2F_CS2	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
9	3	ポート・モード (入力)	P9_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I2	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_SDRAS	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O2	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
ALT4-OUT	CSI2F_CS3	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
9	4	ポート・モード (入力)	P9_4	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I3	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_LLDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O3	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
ALT4-OUT	CSI2F_CS4	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
9	5	ポート・モード (入力)	P9_5	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I4	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_LUDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O4	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
ALT4-OUT	CSI2F_CS5	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		

表 8-40 各端子機能のレジスタ設定 (33/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
9	6	ポート・モード (入力)	P9_6	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	ESO0	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_ULDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	S_DMATC2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	CSI2F_CS6	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		
9	7	ポート・モード (入力)	P9_7	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	ESO1	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_UUDQM	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	S_DMATC3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	CSI2F_CS7	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		
9	8	ポート・モード (入力)	P9_8	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	CSI4_RY1	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_LLWR	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	S_DMAAK2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	CSI4_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		
9	9	ポート・モード (入力)	P9_9	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	S_DMARQ2	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	1
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_LUWR	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	S_DMATC0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	SO4	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		

表 8-40 各端子機能のレジスタ設定 (34/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
9	10	ポート・モード (入力)	P9_10	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ポート・モード (出力)	P9_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
		ALT1-IN	ESO2	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ALT2-IN	RXD4	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0		
		ALT3-IN	SDA4 ^a	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	0		
		ALT4-IN	SI4	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0		
		ALT1-OUT	S_ULWR	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT2-OUT	S_DMAAK3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT3-OUT	SDA4 ^a	1	0	0	1	N/A	N/A	1	N/A	N/A	0	1	N/A	N/A	N/A		
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
9	11	ポート・モード (入力)	P9_11	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ポート・モード (出力)	P9_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
		ALT1-IN	S_DMARQ3	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	1		
		ALT2-IN	ESO3	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0		
		ALT3-IN	SCL4 ^b	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	0		
		ALT4-IN	SCK4 ^b	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	0		
		ALT1-OUT	S_UUWR	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT2-OUT	TXD4	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
		ALT3-OUT	SCL4 ^b	1	0	0	1	N/A	N/A	1	N/A	N/A	0	1	N/A	N/A	N/A		
		ALT4-OUT	SCK4 ^b	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
9	12	ポート・モード (入力)	P9_12	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ポート・モード (出力)	P9_12	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT1-IN	INTP11	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-IN	TA3_I5	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT1-OUT	S_RD	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A		
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-OUT	TA3_O5	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
9	13	ポート・モード (入力)	P9_13	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ポート・モード (出力)	P9_13	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT1-IN	INTP12	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-IN	TA3_I6	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ALT4-IN	CSI1_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0		
		ALT1-OUT	S_WR	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A		
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-OUT	TA3_O6	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			

表 8-40 各端子機能のレジスタ設定 (35/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
9	14	ポート・モード (入力)	P9_14	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_14	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	INTP13	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I7	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT4-IN	CSI1_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_LLBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O7	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
ALT4-OUT	CSI1_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
9	15	ポート・モード (入力)	P9_15	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P9_15	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	INTP14	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_LUBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	SO1	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
10	0	ポート・モード (入力)	P10_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0
		ポート・モード (出力)	P10_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A
		ALT1-IN	INTP15	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0
		ALT2-IN	RXD1	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	SI1	1	1	1	1	1	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0
		ALT1-OUT	S_ULBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT2-OUT	S_DMATC0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
10	1	ポート・モード (入力)	P10_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0
		ポート・モード (出力)	P10_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A
		ALT1-IN	INTP16	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	SCK1 ^D	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	0
		ALT1-OUT	S_UUBE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT2-OUT	TXD1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A
		ALT3-OUT	S_DMATC1	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
ALT4-OUT	SCK1 ^D	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		

表 8-40 各端子機能のレジスタ設定 (36/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
10	2	ポート・モード (入力)	P10_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP17	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I8	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	CSI2F_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_WE	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O8	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
10	3	ポート・モード (入力)	P10_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP18	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I9	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	CSI4_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_BCYST	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	S_DMATC1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O9	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
10	4	ポート・モード (入力)	P10_4	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP19	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I10	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	CSI2_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_CS0	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O10	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
10	5	ポート・モード (入力)	P10_5	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP24	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I11	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	CSI2_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_CS1	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O11	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT4-OUT	CSI2_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A

表 8-40 各端子機能のレジスタ設定 (37/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
10	6	ポート・モード (入力)	P10_6	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP25	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I12	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	CSI1F_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_CS2	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O12	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
10	7	ポート・モード (入力)	P10_7	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP26	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	CSI1F_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_CS3	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	S_SDCS	1	N/A	0	1	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
ALT4-OUT	CSI1F_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		
10	8	ポート・モード (入力)	P10_8	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0	0
		ポート・モード (出力)	P10_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	S_WAIT	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	1	0
		ALT2-IN	RXD2	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0	0
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT4-IN	SI2	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0	0
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
10	9	ポート・モード (入力)	P10_9	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP27	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I13	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	N/A	0
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT1-OUT	S_HLDAK	1	0	0	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O13	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A
ALT4-OUT	SO2	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		

表 8-40 各端子機能のレジスタ設定 (38/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
10	10	ポート・モード (入力)	P10_10	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0
		ポート・モード (出力)	P10_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A
		ALT1-IN	S_HLDRQ	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	1
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I14	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0
		ALT4-IN	SCK2 ^P	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	0
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-OUT	TXD2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A
		ALT3-OUT	TA3_O14	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A
ALT4-OUT	SCK2 ^P	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A		
10	11	ポート・モード (入力)	P10_11	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ポート・モード (出力)	P10_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	TA3_I15	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT4-IN	CSI2F_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	N/A	N/A	0
		ALT1-OUT	S_REFRQ	1	0	0	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	TA3_O15	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A
ALT4-OUT	CSI2F_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A		
11	0	ポート・モード (入力)	P11_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	TE1_T10	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	TA1_I0	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A1	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
11	1	ポート・モード (入力)	P11_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I1	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A2	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		

表 8-40 各端子機能のレジスタ設定 (39/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
11	2	ポート・モード (入力)	P11_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	TE1_TI1	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	TA1_I2	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A3	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
11	3	ポート・モード (入力)	P11_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I3	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A4	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O3	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
11	4	ポート・モード (入力)	P11_4	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	TE1_AI	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT2-IN	TA1_I4	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A5	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O4	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
11	5	ポート・モード (入力)	P11_5	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I5	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A6	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O5	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		

表 8-40 各端子機能のレジスタ設定 (40/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
11	6	ポート・モード (入力)	P11_6	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P11_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	TE1_BI	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I6	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	S_A7	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O6	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				
11	7	ポート・モード (入力)	P11_7	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P11_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I7	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	S_A8	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O7	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				
11	8	ポート・モード (入力)	P11_8	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P11_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	TE1_ZI	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I8	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	S_A9	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O8	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				
11	9	ポート・モード (入力)	P11_9	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ポート・モード (出力)	P11_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT2-IN	TA1_I9	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—		
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
		ALT1-OUT	S_A10	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—		
		ALT2-OUT	TA1_O9	1	0	1	0	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—		
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—				

表 8-40 各端子機能のレジスタ設定 (41/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
11	10	ポート・モード (入力)	P11_10	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_10	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I10	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A11	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O10	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	CSI1F_CS0	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
11	11	ポート・モード (入力)	P11_11	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_11	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I11	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A12	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O11	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	CSI1F_CS1	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
11	12	ポート・モード (入力)	P11_12	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_12	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I12	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A13	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O12	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	CSI1F_CS2	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
11	13	ポート・モード (入力)	P11_13	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_13	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I13	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A14	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O13	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	CSI1F_CS3	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		

表 8-40 各端子機能のレジスタ設定 (42/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm
11	14	ポート・モード (入力)	P11_14	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_14	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA1_I14	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A15	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA1_O14	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	CSI1F_CS4	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
11	15	ポート・モード (入力)	P11_15	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ポート・モード (出力)	P11_15	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—
		ALT1-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT2-IN	TA3_I15	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	—	—	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
		ALT1-OUT	S_A16	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	—	—	—
		ALT2-OUT	TA3_O15	1	N/A	1	0	N/A	1	1/0	N/A	N/A	1	1/0	—	—	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	—	—
ALT4-OUT	CSI1F_CS5	1	0	1	1	N/A	N/A	1/0	N/A	N/A	1	1/0	—	—	—		
12	0	ポート・モード (入力)	P12_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ポート・モード (出力)	P12_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT1-IN	INTP0	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT1-OUT	S_A17	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—
		ALT2-OUT	ADCNV0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
ALT4-OUT	CSI1F_CS6	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—		
12	1	ポート・モード (入力)	P12_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ポート・モード (出力)	P12_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT1-IN	INTP1	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT1-OUT	S_A18	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—
		ALT2-OUT	ADCNV1	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
ALT4-OUT	CSI1F_CS7	1	0	1	1	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—		

表 8-40 各端子機能のレジスタ設定 (43/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISnm	PISnm	
12	2	ポート・モード (入力)	P12_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—	
		ポート・モード (出力)	P12_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—	
		ALT1-IN	INTP2	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT4-IN	CSI0_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—	
		ALT1-OUT	S_A19	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—	
		ALT2-OUT	ADCNV2	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—			
12	3	ポート・モード (入力)	P12_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—	
		ポート・モード (出力)	P12_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—	
		ALT1-IN	INTP3	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT4-IN	CSI0_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	0	0	—	
		ALT1-OUT	S_A20	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—	
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
ALT4-OUT	CSI0_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	—			
12	4	ポート・モード (入力)	P12_4	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—	
		ポート・モード (出力)	P12_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—	
		ALT1-IN	INTP4	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—	
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT1-OUT	S_A21	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—	
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
ALT4-OUT	SO0	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	—			
12	5	ポート・モード (入力)	P12_5	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—	
		ポート・モード (出力)	P12_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—	
		ALT1-IN	INTP5	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—	
		ALT2-IN	RXD0	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—	
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT4-IN	SI0	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—	
		ALT1-OUT	S_A22	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—	
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—	
ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—			

表 8-40 各端子機能のレジスタ設定 (44/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	PMinm	PFEnm	PFEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISnm	PISnm
12	6	ポート・モード (入力)	P12_6	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ポート・モード (出力)	P12_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT1-IN	INTP6	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ALT2-IN	ADTRG11	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT4-IN	SCK0 ^p	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	—
		ALT1-OUT	S_A23	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—
		ALT2-OUT	TXD0	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT4-OUT	SCK0 ^p	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	—
12	7	ポート・モード (入力)	P12_7	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	—
		ポート・モード (出力)	P12_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	—
		ALT1-IN	INTP7	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	N/A	N/A	—
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT1-OUT	S_A24	1	N/A	0	0	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT4-OUT	SO2F	1	N/A	1	1	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—
12	8	ポート・モード (入力)	P12_8	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ポート・モード (出力)	P12_8	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT1-IN	INTP8	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ALT2-IN	RXD2F	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—
		ALT3-IN	SDA2 ^a	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	—
		ALT4-IN	SI2F	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	—
		ALT1-OUT	S_A25	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	—
12	9	ポート・モード (入力)	P12_9	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ポート・モード (出力)	P12_9	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT1-IN	INTP9	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ALT2-IN	ADTRG21	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	—
		ALT3-IN	SCL2 ^b	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	—
		ALT4-IN	SCK2F ^b	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	1	0	—
		ALT1-OUT	S_A26	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	—
		ALT2-OUT	TXD2F	1	0	1	0	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	—
		ALT4-OUT	SCK2F ^b	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	—

表 8-40 各端子機能のレジスタ設定 (45/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性		
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm			
13	0	ポート・モード (入力)	P13_0	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ポート・モード (出力)	P13_0	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
		ALT1-IN	UCLK	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0			
		ALT2-IN	ADTRG01	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ALT3-IN	S_DMARQ0	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	1			
		ALT4-IN	CSI5_SSI	1	1	1	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
13	1	ポート・モード (入力)	P13_1	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ポート・モード (出力)	P13_1	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
		ALT1-IN	INTP0	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0			
		ALT2-IN	ADTRG00	1	1	1	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ALT3-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT4-IN	CSI5_RYI	1	N/A	1	1	N/A	1	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ALT1-OUT	S_CS3	1	N/A	0	0	N/A	1	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A			
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A		
		ALT3-OUT	S_DMAAK0	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A	N/A		
		ALT4-OUT	CSI5_RYO	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A	N/A		
13	2	ポート・モード (入力)	P13_2	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ポート・モード (出力)	P13_2	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
		ALT1-IN	INTP1	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0			
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT3-IN	S_DMARQ1	1	1	0	1	N/A	N/A	N/A	1/0	1/0	N/A	N/A	0	0	1			
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT3-OUT	PPON	1	0	0	1	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
		ALT4-OUT	SO1F	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
13	3	ポート・モード (入力)	P13_3	0	1	N/A	N/A	1	N/A	N/A	1/0	1/0	N/A	N/A	0	0	0			
		ポート・モード (出力)	P13_3	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			
		ALT1-IN	INTP2	1	1	0	0	N/A	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0			
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT3-IN	OCI	1	1	0	1	1	N/A	N/A	1/0	1/0	N/A	N/A	1	0	0			
		ALT4-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A			
		ALT3-OUT	S_DMAAK1	1	0	0	1	N/A	N/A	1/0	N/A	N/A	1	1/0	N/A	N/A	N/A			
		ALT4-OUT	SO5	1	N/A	1	1	N/A	1	1/0	N/A	N/A	0	1/0	N/A	N/A	N/A			

表 8-40 各端子機能のレジスタ設定 (46/48)

コ	M	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性
				PMCnm	Pmnm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
13	4	ポート・モード (入力)	P13_4	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	0	N/A
		ポート・モード (出力)	P13_4	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP3	1	1	0	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	SCL1 ^b	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	N/A	N/A
		ALT4-IN	SCK1F ^b	1	N/A	1	1	N/A	1	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT1-OUT	CAN0TXD	1	0	0	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	TXD1F	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	SCL1 ^b	1	0	0	1	N/A	N/A	1	N/A	N/A	N/A	1	N/A	N/A	N/A	N/A
		ALT4-OUT	SCK1F ^b	1	N/A	1	1	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
13	5	ポート・モード (入力)	P13_5	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	0	0	N/A	N/A
		ポート・モード (出力)	P13_5	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	CAN0RXD	1	1	0	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	N/A	N/A
		ALT2-IN	RXD1F	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT3-IN	SDA1 ^a	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	N/A	N/A
		ALT4-IN	SI1F	1	1	1	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	SDA1 ^a	1	0	0	1	N/A	N/A	1	N/A	N/A	N/A	1	N/A	N/A	N/A	N/A
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
13	6	ポート・モード (入力)	P13_6	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	0	0	N/A	N/A
		ポート・モード (出力)	P13_6	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	INTP4	1	1	0	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT2-IN	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-IN	SCL5 ^b	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	N/A	N/A
		ALT4-IN	SCK5 ^b	1	N/A	1	1	N/A	1	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT1-OUT	CAN1TXD	1	0	0	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT2-OUT	TXD5	1	0	1	0	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT3-OUT	SCL5 ^b	1	0	0	1	N/A	N/A	1	N/A	N/A	N/A	1	N/A	N/A	N/A	N/A
		ALT4-OUT	SCK5 ^b	1	N/A	1	1	N/A	1	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
13	7	ポート・モード (入力)	P13_7	0	1	N/A	N/A	1	N/A	N/A	N/A	N/A	N/A	N/A	0	0	N/A	N/A
		ポート・モード (出力)	P13_7	0	0	N/A	N/A	N/A	N/A	1/0	N/A	N/A	N/A	1/0	N/A	N/A	N/A	N/A
		ALT1-IN	CAN1RXD	1	1	0	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	N/A	N/A
		ALT2-IN	RXD5	1	1	1	0	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT3-IN	SDA5 ^a	1	0	0	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	0	1	N/A	N/A
		ALT4-IN	SI5	1	1	1	1	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	0	N/A	N/A
		ALT1-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT2-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
		ALT3-OUT	SDA5 ^a	1	0	0	1	N/A	N/A	1	N/A	N/A	N/A	1	N/A	N/A	N/A	N/A
		ALT4-OUT	—	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A

表 8-40 各端子機能のレジスタ設定 (47/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm		
14	0	ポート・モード (入力)	P14_0 ^c	-	-	-	-	1	-	-	-	-	-	-	-	-	-	-	-
		ポート・モード (出力)	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-IN	ANI06	-	-	-	-	0	-	-	-	-	-	-	-	-	-	-	-
		ALT2-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT4-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT2-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
ALT4-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-		
14	1	ポート・モード (入力)	P14_1 ^c	-	-	-	-	1	-	-	-	-	-	-	-	-	-	-	-
		ポート・モード (出力)	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-IN	ANI07	-	-	-	-	0	-	-	-	-	-	-	-	-	-	-	-
		ALT2-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT4-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT2-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
ALT4-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-		
14	2	ポート・モード (入力)	P14_2 ^c	-	-	-	-	1	-	-	-	-	-	-	-	-	-	-	-
		ポート・モード (出力)	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-IN	ANI08	-	-	-	-	0	-	-	-	-	-	-	-	-	-	-	-
		ALT2-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT4-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT2-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
ALT4-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-		
14	3	ポート・モード (入力)	P14_3 ^c	-	-	-	-	1	-	-	-	-	-	-	-	-	-	-	-
		ポート・モード (出力)	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-IN	ANI09	-	-	-	-	0	-	-	-	-	-	-	-	-	-	-	-
		ALT2-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT4-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT1-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT2-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
		ALT3-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-
ALT4-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-	-		

表 8-40 各端子機能のレジスタ設定 (48/48)

コ グループ	M ビット	機能	端子名称	機能	機能	機能	機能	機能	機能	機能	特性	特性	特性	特性	特性	特性	特性	
				PMCnm	PMinm	PFCnm	PFCEnm	PIBCnm	PIPCnm	PBDCnm	PUnm	PDnm	PDSCnm	PODCnm	PISnm	PISEnm	PISAnm	
14	4	ポート・モード (入力)	P14_4 ^c	-	-	-	-	1	-	-	-	-	-	-	-	-	-	-
		ポート・モード (出力)	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT1-IN	ANI010	-	-	-	-	0	-	-	-	-	-	-	-	-	-	-
		ALT2-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT3-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT4-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT1-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT2-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT3-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
ALT4-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-		
14	5	ポート・モード (入力)	P14_5 ^c	-	-	-	-	1	-	-	-	-	-	-	-	-	-	-
		ポート・モード (出力)	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT1-IN	ANI011	-	-	-	-	0	-	-	-	-	-	-	-	-	-	-
		ALT2-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT3-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT4-IN	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT1-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT2-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
		ALT3-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-
ALT4-OUT	-	-	-	-	N/A	-	-	-	-	-	-	-	-	-	-	-		

- a) IN および OUT の設定が必要です。IN または OUT のいずれかで設定値のあるレジスタについては、設定値のあるレジスタの設定値を該当レジスタに設定してください。
- b) 使用する機能の設定に応じて、IN または OUT のレジスタ設定をしてください。
- c) ポートとして使用する場合でも、ADCA0CTL1, ADCA0GPS ビット=1 (ADCA のパワーオン) の状態にしてください。

8.5 ポート・フィルタ

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品はアナログ・フィルタとデジタル・フィルタを両方をサポートしています。

最初の節で、フィルタが割り当てられているポート入力信号とそのフィルタの種類、フィルタの制御レジスタと制御ビット、およびレジスタ・アドレスなどの概要を説明します。

以降の節で、アナログ・フィルタ機能、デジタル・フィルタ機能、および各フィルタの制御レジスタについての詳細を説明します。

8.5.1 アナログ・フィルタとデジタル・フィルタの割り当て

表 8-41 「アナログ・フィルタ付きの入力信号と制御レジスタ」にアナログ・フィルタが割り当てられている入力信号を、表 8-42 「デジタル・フィルタ付き入力信号と制御レジスタ 1」にデジタル・フィルタが割り当てられている入力信号を、表 8-44 「アナログ/デジタル兼用ノイズ・フィルタの入力信号と制御レジスタ」にアナログ/デジタル兼用フィルタが割り当てられている入力信号と制御レジスタをそれぞれ示します。

表 8-41 アナログ・フィルタ付きの入力信号と制御レジスタ

信号	FCLAn		
	レジスタ	アドレス	
NMI	FCLA15	CTL0	FF41 4F00 _H
INTP0		CTL1	FF41 4F04 _H
INTP1		CTL2	FF41 4F08 _H
INTP2		CTL3	FF41 4F0C _H
INTP3		CTL4	FF41 4F10 _H
INTP4		CTL5	FF41 4F14 _H
ESO0	FCLA16	CTL0	FF41 5000 _H
ESO1		CTL1	FF41 5004 _H
ESO2		CTL2	FF41 5008 _H
ESO3		CTL3	FF41 500C _H

表 8-42 デジタル・フィルタ付き入力信号と制御レジスタ 1(1/3)

信号	DNFA _n			
	レジスタ	アドレス	フィルタ許可ビット	
TA0_I0	DNFA0CTL DNFA0EN DNFA0ENH DNFA0ENL	FF41 0000 _H FF41 0004 _H FF41 0008 _H FF41 000C _H	DNFA0EN.DNFA0	NFEN0
TA0_I1				NFEN1
TA0_I2				NFEN2
TA0_I3				NFEN3
TA0_I4				NFEN4
TA0_I5				NFEN5
TA0_I6				NFEN6
TA0_I7				NFEN7
TA0_I8				NFEN8
TA0_I9				NFEN9
TA0_I10				NFEN10
TA0_I11				NFEN11
TA0_I12				NFEN12
TA0_I13				NFEN13
TA0_I14				NFEN14
TA0_I15				NFEN15
TA1_I0	DNFA2CTL DNFA2EN DNFA2ENH DNFA2ENL	FF41 0200 _H FF41 0204 _H FF41 0208 _H FF41 020C _H	DNFA2EN.DNFA0	NFEN0
TA1_I1				NFEN1
TA1_I2				NFEN2
TA1_I3				NFEN3
TA1_I4				NFEN4
TA1_I5				NFEN5
TA1_I6				NFEN6
TA1_I7				NFEN7
TA1_I8				NFEN8
TA1_I9				NFEN9
TA1_I10				NFEN10
TA1_I11				NFEN11
TA1_I12				NFEN12
TA1_I13				NFEN13
TA1_I14				NFEN14
TA1_I15				NFEN15

表 8-42 デジタル・フィルタ付き入力信号と制御レジスタ 1(2/3)

信号	DNFA _n			
	レジスタ	アドレス	フィルタ許可ビット	
TA2_I0	DNFA4CTL DNFA4EN DNFA4ENH DNFA4ENL	FF41 0400 _H FF41 0404 _H FF41 0408 _H FF41 040C _H	DNFA4EN.DNFA4	NFEN0
TA2_I1				NFEN1
TA2_I2				NFEN2
TA2_I3				NFEN3
TA2_I4				NFEN4
TA2_I5				NFEN5
TA2_I6				NFEN6
TA2_I7				NFEN7
TA2_I8				NFEN8
TA2_I9				NFEN9
TA2_I10				NFEN10
TA2_I11				NFEN11
TA2_I12				NFEN12
TA2_I13				NFEN13
TA2_I14				NFEN14
TA2_I15				NFEN15
TA3_I0	DNFA6CTL DNFA6EN DNFA6ENH DNFA6ENL	FF41 0600 _H FF41 0604 _H FF41 0608 _H FF41 060C _H	DNFA6EN.DNFA6	NFEN0
TA3_I1				NFEN1
TA3_I2				NFEN2
TA3_I3				NFEN3
TA3_I4				NFEN4
TA3_I5				NFEN5
TA3_I6				NFEN6
TA3_I7				NFEN7
TA3_I8				NFEN8
TA3_I9				NFEN9
TA3_I10				NFEN10
TA3_I11				NFEN11
TA3_I12				NFEN12
TA3_I13				NFEN13
TA3_I14				NFEN14
TA3_I15				NFEN15
TE0_TI0	DNFA8CTL DNFA8EN DNFA8ENL	FF41 0800 _H FF41 0804 _H FF41 080C _H	DNFA8EN.DNFA8	NFEN0
TE0_TI1				NFEN1
TE0_AI				NFEN2
TE0_BI				NFEN3
TE0_ZI				NFEN4

表 8-42 デジタル・フィルタ付き入力信号と制御レジスタ 1(3/3)

信号	DNFA _n			
	レジスタ	アドレス	フィルタ許可ビット	
TE1_TI0	DNFA9CTL DNFA9EN DNFA9ENL	FF41 0900 _H FF41 0904 _H FF41 090C _H	DNFA9EN.DNFA9	NFEN0
TE1_TI1				NFEN1
TE1_AI				NFEN2
TE1_BI				NFEN3
TE1_ZI				NFEN4
TJ_I0	DNFA10CTL DNFA10EN DNFA10ENL	FF41 0A00 _H FF41 0A04 _H FF41 0A0C _H	DNFA10EN.DNFA10	NFEN0
TJ_I1				NFEN1
TJ_I2				NFEN2
TJ_I3				NFEN3

表 8-43 デジタルフィルタ付き入力信号と制御レジスタ 2

信号	DNFA _n			FCLAn		
	レジスタ	アドレス	フィルタ許可ビット	レジスタ	アドレス	
INTP5	DNFA12CTL DNFA12EN DNFA12ENL	FF41 0C00 _H FF41 0C04 _H FF41 0C0C _H	DNFA12EN.DNFA12	FCLA12	CTL0	FF41 4C00 _H
INTP6					CTL1	FF41 4C04 _H
INTP7					CTL2	FF41 4C08 _H
INTP8					CTL3	FF41 4C0C _H
INTP9					CTL4	FF41 4C10 _H
INTP10					CTL5	FF41 4C14 _H
INTP11					CTL6	FF41 4C18 _H
INTP12					CTL7	FF41 4C1C _H
INTP13	DNFA13CTL DNFA13EN DNFA13ENL	FF41 0D00 _H FF41 0D04 _H FF41 0D0C _H	DNFA13EN.DNFA13	FCLA13	CTL0	FF41 4D00 _H
INTP14					CTL1	FF41 4D04 _H
INTP15					CTL2	FF41 4D08 _H
INTP16					CTL3	FF41 4D0C _H
INTP17					CTL4	FF41 4D10 _H
INTP18					CTL5	FF41 4D14 _H
INTP19					CTL6	FF41 4D18 _H
INTP20					CTL7	FF41 4D1C _H
INTP21	DNFA14CTL DNFA14EN DNFA14ENL	FF41 0E00 _H FF41 0E04 _H FF41 0E0C _H	DNFA14EN.DNFA14	FCLA14	CTL0	FF41 4E00 _H
INTP22					CTL1	FF41 4E04 _H
INTP23					CTL2	FF41 4E08 _H
INTP24					CTL3	FF41 4E0C _H
INTP25					CTL4	FF41 4E10 _H
INTP26					CTL5	FF41 4E14 _H
INTP27					CTL6	FF41 4E18 _H

表 8-44 アナログ/デジタル兼用ノイズ・フィルタの入力信号と制御レジスタ

信号	DNFAn			FCLAn			
	レジスタ	アドレス	フィルタ許可ビット ^a	レジスタ	アドレス		
ADTRG00	DNFA11CTL DNFA11EN DNFA11ENL	FF41 0B00 _H FF41 0B04 _H FF41 0B0C _H	DNFA11EN.DNFA11	FCLA11	CTL0	FF41 4B00 _H	
ADTRG01					NFEN0	CTL1	FF41 4B04 _H
ADTRG10					NFEN1	CTL2	FF41 4B08 _H
ADTRG11					NFEN2	CTL3	FF41 4B0C _H
ADTRG20					NFEN3	CTL4	FF41 4B10 _H
ADTRG21					NFEN4	CTL5	FF41 4B14 _H

a) DNFA11EN.DNFA11NFENm ビットが1のときはデジタル・フィルタとして動作し、0のときはアナログ・フィルタとして動作します。

8.5.2 機能説明

入力信号の用途に応じて、2つのタイプのフィルタが2種類の信号を生成します。

イベント出力 イベント出力信号は外部イベントの信号を伝達するために使用されます。フィルタ通過後に、レベル検出やエッジ検出が行われるため、内部に伝達される信号としてフィルタ通過後の信号波形は保持されません。イベント信号の典型例として、外部割り込み信号があります。

兼用機能 入力信号を兼用機能に入力するために使用されます。入力信号は、フィルタを通過しノイズとグリッチが除去されます。内部に伝達される信号として、フィルタ通過後の信号波形は保持されます。そのような信号の典型例として、周波数を計測するタイマ入力信号があります。

(1) アナログ・フィルタ

次にアナログ・フィルタのブロック図を示します。

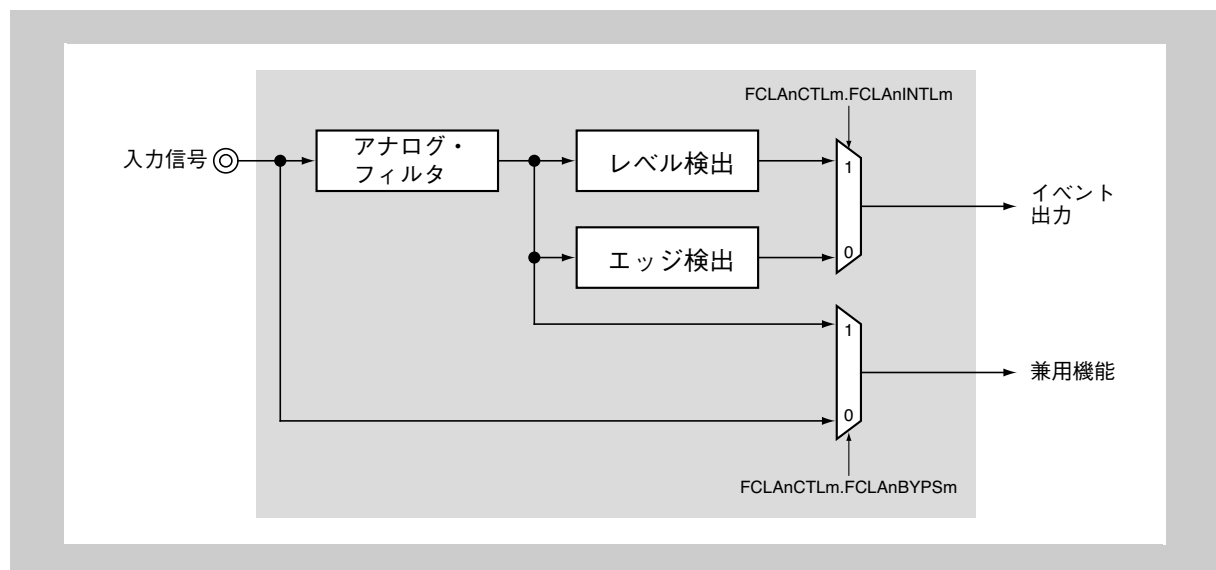


図 8-6 アナログ・フィルタのブロック図

(a) イベント信号

入力信号のノイズとグリッチは、アナログ・フィルタを通過すると除去されます。信号レベルまたは変化（エッジ）に対してイベントの検出を判断し、それに応じてイベント出力信号を生成します。

検出モードは制御ビット FCLAnCTLm.FCLAnINTLm で選択します。

- FCLAnINTLm = 0 : エッジ検出モード
FCLAnCTLm.FCLAnINTRm と FCLAnCTLm.FCLAnINTFm の設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。
- FCLAnINTLm = 1 : レベル検出モード
FCLAnCTLm.FCLAnINTRm の設定に応じて、ハイ・レベルまたはロウ・レベルを検出することができます。

アナログ・フィルタの検出条件を次の表に示します。

表 8-45 アナログ・フィルタ・イベント検出条件

FCLAnINTLm	FCLAnINTFm	FCLAnINTRm	エッジ検出モード	レベル検出モード
0	0	0	検出しません	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウ・レベル
		1		ハイ・レベル

(b) 兼用機能の信号

入力信号のノイズとグリッチは、アナログ・フィルタを通過すると除去されず。

バイパス 入力の際、兼用機能で原信号を必要とする場合、FCLAnCTLm.FCLAnBYPSm をセットすることでアナログ・フィルタをバイパスすることができます。

ウエイクアップ アナログ・フィルタを通過した兼用機能信号は、ウエイクアップ時も有効です。したがって、クロック供給が停止していても、入力信号によってマイコンをスタンバイ・モードから復帰させることができます。

ただし、クロックがスタンバイ・モードで停止している場合、エッジ検出とレベル検出を行うことはできません。そのため、イベント出力信号はウエイクアップを出すことはできません。

(c) アナログ・フィルタ特性

アナログ・フィルタの特性は、レベル検出とエッジ検出の特性と共に電気的特性（ターゲット）に記載されています。

(d) アナログ・フィルタ制御レジスタ

アナログ・フィルタを備えた入力信号には、それぞれ専用の制御レジスタ FCLAnCTLm が用意されています。

FCLAnCTLm レジスタは、1つのレジスタ・グループ（グループ番号を n で表示）に8つのレジスタで構成されています。レジスタ・インデックス m の範囲は 0-7 です。

FCLA グループ nFCLAnCTL0 ~ FCLAnCTL7

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、前節「アナログ・フィルタとデジタル・フィルタの割り当て」内の表「アナログ・フィルタ付き入力信号」を参照してください。

(2) デジタル・フィルタ

次にデジタル・フィルタのブロック図を示します。

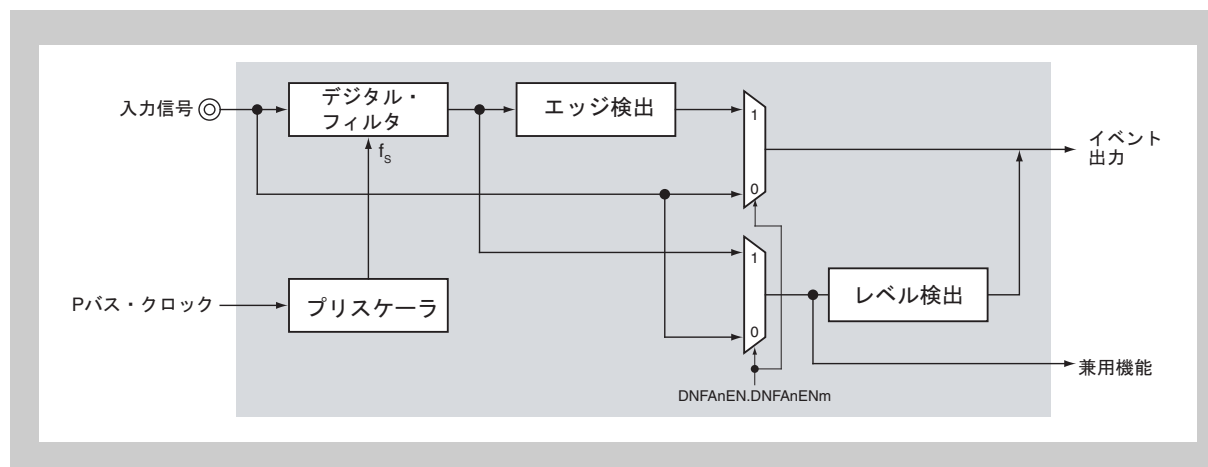


図 8-7 デジタル・フィルタのブロック図

(a) デジタル・フィルタ機能

入力信号はサンプリング周波数 f_s でサンプリングされます。

同じレベルの入力信号が、指定されたサンプル数分連続して入力された場合、その信号レベルを有効と判断し、出力信号が変化します。

サンプル数分入力される前に入力信号が変化した場合、入力されていた信号をノイズまたはグリッチと判断し、出力信号は変化しません。

注意 サンプリング時にノイズが発生していた場合、ノイズがサンプリングされません。このため、サンプリング時にサンプル数分連続して同じレベルのノイズが入力された場合、出力信号がノイズのレベルに変化します。

入力信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。

いずれのパラメータも設定可能です。

- DNFAAnCTL.DNFAAnPRS[2:0] を設定することによって、次の式に基づいてサンプリング周波数を選択することができます。

$$f_s = f_{\text{DNFATCKI}} / 2^{\text{DNFAAnPRS}[2:0]} \quad (f_{\text{DNFATCKI}} \text{ は DNFAAnCTL クロックの周波数})$$

- DNFAAnCTL.DNFAAnNFSTS[1:0] で同レベルのサンプル数 (2 ~ 5) を指定します。

以下よりも短い外部信号パルスは常に抑制されます。

$$(\text{設定したサンプル数} - 1) \times 1/f_s$$

以下よりも長い外部信号パルスは常に有効と判断され、フィルタ出力へ送られます。

$$(\text{設定したサンプル数}) \times 1/f_s$$

以下の範囲内の外部信号パルスは抑制される場合もあれば、有効と判断される場合もあります。

(設定したサンプル数 - 1) × 1/f_s ~ (設定したサンプル数) × 1/f_s

DNFAnNFSTS[1:0] = 01_B (同レベルのサンプル数 : 3) としたときのフィルタ動作例を次の図に示します。

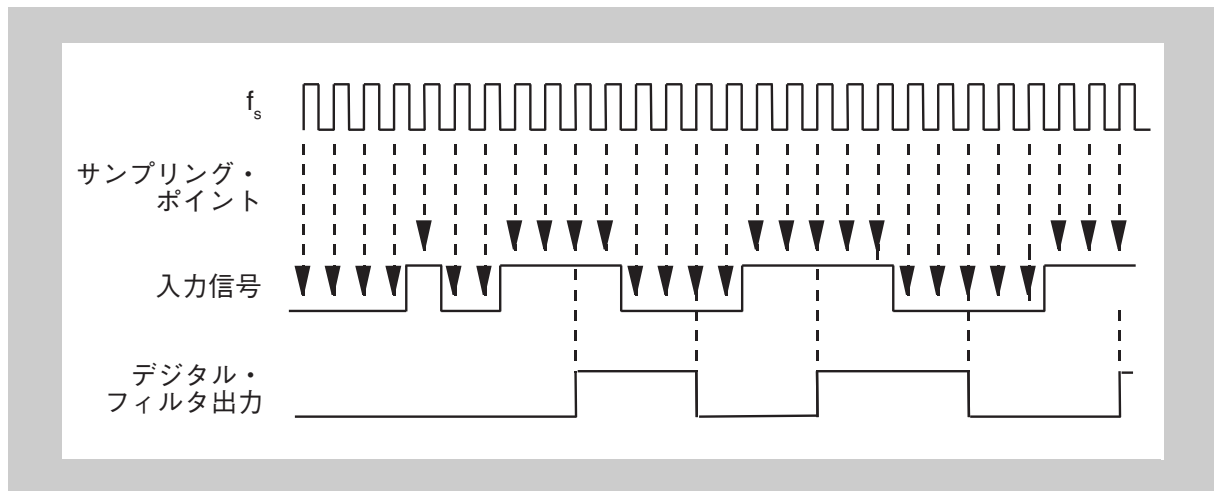


図 8-8 デジタル・フィルタ機能

デジタル・フィルタ・グループ デジタル・フィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。デジタル・フィルタの特性は、DNFAnCTL.DNFAnPRS[2:0] と DNFAnNFSTS[1:0] で指定し、信号グループ単位で適用されます。ただし、デジタル・フィルタの有効/無効は、DNFAnEN.DNFAnENm によって信号ごとに設定できます。

注意 1. デジタル・フィルタの出力信号を兼用機能に入力する場合、デジタル・フィルタを有効 (DNFAnEN.DNAFnENm = 1) にし、次の時間を経過した後、ポート端子を兼用機能に切り替えてください。

$$\text{DNFAnNFSTS}[1:0] \times 1/f_s + 4 \times 1/f_{\text{DNFATCKI}}$$

2. デジタル・フィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタル・フィルタを有効 (DNFAnEN.DNAFnENm = 1) にしてください。また、デジタル・フィルタを有効にしてから次の時間を経過した後、割り込み要求フラグをクリアした上で、割り込みを許可してください。

$$\text{DNFAnNFSTS}[1:0] \times 1/f_s + 5 \times 1/f_{\text{DNFATCKI}}$$

(b) イベント信号

入力信号のノイズとグリッチは、デジタル・フィルタを通過すると除去されます。信号の変化（エッジ）に対してイベントの検出を判断し、それに応じてイベント出力信号を生成します。

制御ビット FCLAnCTLm.FCLAnINTRm と FCLAnCTLm.FCLAnINTFm の設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。

デジタル・フィルタの検出条件を次の表に示します。

表 8-46 デジタル・フィルタ・イベント検出条件

FCLAnINTFm	FCLAnINTRm	エッジ検出
0	0	検出しません
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

(c) 兼用機能の信号

入力信号のノイズとグリッチは、デジタル・フィルタを通過すると除去されます。

バイパス DNFAAnEN.DNFAAnENm を 0 に設定することで、すべてのデジタル・フィルタ機能を無効にすることができます。このとき、入力信号はイベント出力として兼用機能へ出力されます。

備考 デジタル・ノイズ除去を行うには、クロック供給 DNFAAnEN が動作している必要があります。そのため、DNFAAnEN がスタンバイ・モードで停止している場合は、デジタル・フィルタを通過した信号はウェイクアップ・イベントとして動作することはできません。

(d) デジタル・フィルタ制御レジスタ

最高 16 のデジタル・フィルタで構成される各グループに対して、共通デジタル・フィルタ設定レジスタ DNFACTL およびデジタル・フィルタ許可レジスタ DNFAEN は、同じグループ内（グループ番号を n で表示）の全フィルタに対して設定を行います。

DNFACTL レジスタでのフィルタ設定はグループ単位で適用されますが、フィルタ許可レジスタ DNFAEN の制御ビット DNFAENm はフィルタの有効/無効をフィルタ単位で設定します。レジスタ・インデックス m の範囲は、0-15 です。

エッジ検出の設定は、フィルタ専用制御レジスタ FCLAnCTLm によって行います。

FCLAnCTLm レジスタは、1つのレジスタ・グループ（グループ番号を n で表示）に 8つのレジスタで構成されています。レジスタ・インデックス m の範囲は 0-7 です。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、前節「アナログ・フィルタとデジタル・フィルタの割り当て」内の表「デジタル・フィルタ付き入力信号」を参照してください。

注意 DNFAEN.DNFAENm = 1 で関連するデジタル・フィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が生成されるおそれがあります。

(3) フィルタ制御レジスタ

アナログ・フィルタおよびデジタル・フィルタは、次のレジスタによって制御、動作します。

表 8-47 フィルタ・レジスタ一覧

レジスタ名	略号	アドレス
フィルタ制御レジスタ m	FCLAnCTLm	各レジスタのアドレスについては、前節「アナログ・フィルタとデジタル・フィルタの割り当て」内の各表を参照してください。
デジタル・ノイズ除去制御レジスタ	DNFACTL	
デジタル・ノイズ除去許可レジスタ	DNFAEN	

(a) FCLAnCTLm - フィルタ制御レジスタ

アナログ・フィルタおよびデジタル・フィルタの動作を制御します。

アナログ・フィルタとデジタル・フィルタの制御オプションはそれぞれ部分的に異なるため、レジスタ説明を個別に記載します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FCLAnCTLm レジスタと入力信号の対応、および各レジスタのアドレスについては、前節「アナログ・フィルタとデジタル・フィルタの割り当て」内の各表を参照してください。

初期値 00_H どのリセットでも初期化されます。

アナログ・フィルタの制御 アナログ・フィルタに対しては、次の制御を行います。

	7	6	5	4	3	2	1	0
	FCLAn BYPSm	0	0	0	0	FCLAn INTLm	FCLAn INTFm	FCLAn INTRm
	R/W	R	R	R	R	R/W	R/W	R/W

表 8-48 FCLAnCTLm レジスタの内容 (アナログ・フィルタ制御)

ビット位置	ビット名	機能
7	FCLAnBYPSm	兼用機能のフィルタ・バイパス制御 0: フィルタ・バイパス無効 1: フィルタ・バイパス有効
2	FCLAnINTLm	検出モード選択 0: エッジ検出有効 1: レベル検出有効
1	FCLAnINTFm	<ul style="list-style-type: none"> レベル検出モード (FCLAnINTLm = 1) 時: このビットによる影響なし エッジ検出モード (FCLAnINTLm = 0) 時: 立ち下がりエッジ検出制御 0: 立ち下がりエッジ検出無効 1: 立ち下がりエッジ検出有効
0	FCLAnINTRm	<ul style="list-style-type: none"> レベル検出モード (FCLAnINTLm = 1) 時: 検出レベル選択 0: ロウ・レベル検出 1: ハイ・レベル検出 エッジ検出モード (FCLAnINTLm = 0) 時: 立ち上がりエッジ検出制御 0: 立ち上がりエッジ検出無効 1: 立ち上がりエッジ検出有効

デジタル・フィルタの制御 デジタル・フィルタに対しては、次の制御を行います。

7	6	5	4	3	2	1	0
0 ^a	0	0	0	0	FCLAn INTLm	FCLAn INTFm	FCLAn INTRm
R/W	R	R	R	R	R/W	R/W	R/W

a) これらのビットは初期値 (0) から変更しないでください。

- 注意**
1. ビット 7-3 は、初期値 (0) から変更しないでください。
 2. デジタル・フィルタ付き入力信号は、必ず DNFA_nEN (デジタル・ノイズ除去許可レジスタ) で、デジタル・ノイズ除去を許可にして使用してください。デジタル・ノイズ除去を禁止にして使用した場合の動作は、保証できません。

表 8-49 FCLAnCTLm レジスタの内容 (デジタル・フィルタ制御)

ビット位置	ビット名	機能
2	FCLAnINTLm	検出モード選択 0: エッジ検出有効 1: レベル検出有効
1	FCLAnINTFm	立ち下がりエッジ検出制御 0: 立ち下がりエッジ検出無効 1: 立ち下がりエッジ検出有効
0	FCLAnINTRm	立ち上がりエッジ検出制御 0: 立ち上がりエッジ検出無効 1: 立ち上がりエッジ検出有効

FCLAnCTLm レジスタはチャンネルによって使用可能なビットと初期値のままにしなければならないビットがあります。その一覧を表 8-50 「FCLAnCTLm レジスタの使用可能ビット一覧」に示します。

表 8-50 FCLAnCTLm レジスタの使用可能ビット一覧 (1/2)

ビット位置	7	6	5	4	3	2	1	0
ビット名	FCLAn BYPSm	0	0	0	0	FCLAn INTLm	FCLAn INTFm	FCLAn INTRm
FCLA11CTL0	0	0	0	0	0	0	0/1	0/1
FCLA11CTL1	0	0	0	0	0	0	0/1	0/1
FCLA11CTL2	0	0	0	0	0	0	0/1	0/1
FCLA11CTL3	0	0	0	0	0	0	0/1	0/1
FCLA11CTL4	0	0	0	0	0	0	0/1	0/1
FCLA11CTL5	0	0	0	0	0	0	0/1	0/1
FCLA12CTL0	0	0	0	0	0	0/1	0/1	0/1
FCLA12CTL1	0	0	0	0	0	0/1	0/1	0/1
FCLA12CTL2	0	0	0	0	0	0/1	0/1	0/1
FCLA12CTL3	0	0	0	0	0	0/1	0/1	0/1

表 8-50 FCLAnCTLm レジスタの使用可能ビット一覧 (2/2)

ビット位置	7	6	5	4	3	2	1	0
ビット名	FCLAn BYPSm	0	0	0	0	FCLAn INTLm	FCLAn INTFm	FCLAn INTRm
FCLA12CTL4	0	0	0	0	0	0/1	0/1	0/1
FCLA12CTL5	0	0	0	0	0	0/1	0/1	0/1
FCLA12CTL6	0	0	0	0	0	0/1	0/1	0/1
FCLA12CTL7	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL0	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL1	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL2	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL3	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL4	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL5	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL6	0	0	0	0	0	0/1	0/1	0/1
FCLA13CTL7	0	0	0	0	0	0/1	0/1	0/1
FCLA14CTL0	0	0	0	0	0	0/1	0/1	0/1
FCLA14CTL1	0	0	0	0	0	0/1	0/1	0/1
FCLA14CTL2	0	0	0	0	0	0/1	0/1	0/1
FCLA14CTL3	0	0	0	0	0	0/1	0/1	0/1
FCLA14CTL4	0	0	0	0	0	0/1	0/1	0/1
FCLA14CTL5	0	0	0	0	0	0/1	0/1	0/1
FCLA14CTL6	0	0	0	0	0	0/1	0/1	0/1
FCLA15CTL0	0	0	0	0	0	0	0/1	0/1
FCLA15CTL1	0	0	0	0	0	0	0/1	0/1
FCLA15CTL2	0	0	0	0	0	0	0/1	0/1
FCLA15CTL3	0	0	0	0	0	0	0/1	0/1
FCLA15CTL4	0	0	0	0	0	0	0/1	0/1
FCLA15CTL5	0	0	0	0	0	0	0/1	0/1
FCLA16CTL0	0	0	0	0	0	0	0/1	0/1
FCLA16CTL1	0	0	0	0	0	0	0/1	0/1
FCLA16CTL2	0	0	0	0	0	0	0/1	0/1
FCLA16CTL3	0	0	0	0	0	0	0/1	0/1

注意 0/1 となっている所は、必要に応じて設定してください。0 となっている所は必ず 0 を設定してください。

(b) DNFACTL - デジタル・ノイズ除去制御レジスタ

デジタル・ノイズ除去フィルタの特性を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス DNFACTL レジスタと入力信号の対応, および各レジスタのアドレスについては, 前節「アナログ・フィルタとデジタル・フィルタの割り当て」内の表「デジタル・フィルタ付き入力信号」を参照してください。

初期値 00_H どのリセットでも初期化されます。

7	6	5	4	3	2	1	0
0	DNFAnNFSTS[1:0]	0	0	DNFAnPRS[2:0]			
R	R/W	R/W	R	R	R/W	R/W	R/W

表 8-51 DNFACTL レジスタの内容

ビット位置	ビット名	機能																		
6, 5	DNFAnNFSTS[1:0]	入力信号パルスの有効/無効を判断する際と同レベルのサンプル数を指定 <table border="1" style="margin-top: 5px;"> <thead> <tr> <th>DNFAnNFSTS[1:0]</th> <th>同レベルのサンプル数</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>2</td> </tr> <tr> <td>01_B</td> <td>3</td> </tr> <tr> <td>10_B</td> <td>4</td> </tr> <tr> <td>11_B</td> <td>5</td> </tr> </tbody> </table>	DNFAnNFSTS[1:0]	同レベルのサンプル数	00 _B	2	01 _B	3	10 _B	4	11 _B	5								
DNFAnNFSTS[1:0]	同レベルのサンプル数																			
00 _B	2																			
01 _B	3																			
10 _B	4																			
11 _B	5																			
2-0	DNFAnPRS[2:0]	デジタル・フィルタ・サンプリング・クロック選択 <table border="1" style="margin-top: 5px;"> <thead> <tr> <th>DNFAnPRS[2:0]</th> <th>サンプリング・クロック周波数</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>DNFATCKI / 1</td> </tr> <tr> <td>001_B</td> <td>DNFATCKI / 2</td> </tr> <tr> <td>010_B</td> <td>DNFATCKI / 4</td> </tr> <tr> <td>011_B</td> <td>DNFATCKI / 8</td> </tr> <tr> <td>100_B</td> <td>DNFATCKI / 16</td> </tr> <tr> <td>101_B</td> <td>DNFATCKI / 32</td> </tr> <tr> <td>110_B</td> <td>DNFATCKI / 64</td> </tr> <tr> <td>111_B</td> <td>DNFATCKI / 128</td> </tr> </tbody> </table>	DNFAnPRS[2:0]	サンプリング・クロック周波数	000 _B	DNFATCKI / 1	001 _B	DNFATCKI / 2	010 _B	DNFATCKI / 4	011 _B	DNFATCKI / 8	100 _B	DNFATCKI / 16	101 _B	DNFATCKI / 32	110 _B	DNFATCKI / 64	111 _B	DNFATCKI / 128
DNFAnPRS[2:0]	サンプリング・クロック周波数																			
000 _B	DNFATCKI / 1																			
001 _B	DNFATCKI / 2																			
010 _B	DNFATCKI / 4																			
011 _B	DNFATCKI / 8																			
100 _B	DNFATCKI / 16																			
101 _B	DNFATCKI / 32																			
110 _B	DNFATCKI / 64																			
111 _B	DNFATCKI / 128																			

(c) DNFA_nEN - デジタル・ノイズ除去許可レジスタ

任意の入力信号のデジタル・ノイズ除去を許可／禁止にします。

アクセス DNFA_nNFEN ビットに対して直接 8/1 ビット単位のアクセスはできません。

8/1 ビット単位でリード/ライトする場合は、DNFA_nENH[7:0] および DNFA_nENL[7:0] にアクセスしてください。それぞれ、上位バイト DNFA_nNFEN[15:8] および下位バイト DNFA_nNFEN[7:0] をミラーしています。

アドレス DNFA_nEN レジスタと入力信号の対応、および各レジスタのアドレスについては、前節「アナログ・フィルタとデジタル・フィルタの割り当て」内の表「デジタル・フィルタ付き入力信号」を参照してください。

初期値 0000_H どのリセットでも初期化されます。

15	14	13	12	11	10	9	8
DNFA _n NFEN15	DNFA _n NFEN14	DNFA _n NFEN13	DNFA _n NFEN12	DNFA _n NFEN11	DNFA _n NFEN10	DNFA _n NFEN9	DNFA _n NFEN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DNFA _n NFEN7	DNFA _n NFEN6	DNFA _n NFEN5	DNFA _n NFEN4	DNFA _n NFEN3	DNFA _n NFEN2	DNFA _n NFEN1	DNFA _n NFEN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-52 DNFA_nEN レジスタの内容

ビット位置	ビット名	機能
15-0	DNFA _n NFEN[15:0]	デジタル・ノイズ除去制御 0: デジタル・ノイズ除去禁止 1: デジタル・ノイズ除去許可

DNFA_nEN レジスタはチャンネルによって使用可能なビットとセット (1) しても無効なビットがあります。その一覧を表 8-53 「DNFA_nEN レジスタの使用可能ビット一覧」に示します。

表 8-53 DNFA_nEN レジスタの使用可能ビット一覧

8ビット・レジスタ名	DNFA _n ENH								DNFA _n ENL							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DNFA _n FEN15	DNFA _n FEN14	DNFA _n FEN13	DNFA _n FEN12	DNFA _n FEN11	DNFA _n FEN10	DNFA _n FEN9	DNFA _n FEN8	DNFA _n FEN7	DNFA _n FEN6	DNFA _n FEN5	DNFA _n FEN4	DNFA _n FEN3	DNFA _n FEN2	DNFA _n FEN1	DNFA _n FEN0
DNFA0EN	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
DNFA2EN	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
DNFA4EN	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
DNFA6EN	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
DNFA8EN	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
DNFA9EN	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
DNFA10EN	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
DNFA11EN	0	0	0	0	0	0	0	0	0	0	1/0	1/0	1/0	1/0	1/0	1/0
DNFA12EN	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
DNFA13EN	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
DNFA14EN	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1

注意 0/1 となっている所は、必要に応じて設定してください。
 1 となっているビットは必ずセット (1) してください。
 0 となっている所は、ハードウェアで 0 に固定されているのでセット (1) しても無効になります。

第9章 割り込み機能

9.1 特徴

特定の要因によって実行中のプログラムから別のプログラムへの強制的な分岐動作を発生する事象を例外と呼びます。このマイクロコントローラでは次の例外をサポートしています。

例外についての詳細は **V850E2M アーキテクチャ編 ユーザーズ・マニュアル**を参照してください。

表 9-1 例外要因一覧

名称	略称	発生要因	優先順位	例外レベル
CPU 初期化	RESET	リセット入力	P1	—
FE レベル・ノンマスカブル割り込み	FENMI	FENMI 入力	P2	FE
システム・エラー例外	SYSERR	SYSERR 入力 (4 要因)	P3	FE
周辺装置保護例外	PPI	周辺装置保護違反	P4	FE
タイミング監視例外	TSI	タイミング監視違反	P5	FE
FE レベル・マスカブル割り込み	FEINT	FEINT 入力	P6	FE
浮動小数点演算例外 (インプレサイズ)	FPI	FPU 命令	P7	EI
EI レベル・マスカブル割り込み	EIINT	マスカブル割り込み入力	P8	EI
実行保護例外	MIP	実行保護違反	P9	FE
メモリ・エラー例外	MEP	命令アクセス・エラー入力	P10	FE
データ保護例外	MDP	データ保護違反	P11	FE
浮動小数点演算例外 (プレサイズ)	FPP	FPU 命令		EI
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令		FE
予約命令例外	RIEX	予約命令		FE
FE レベル・ソフトウェア例外	FETRAPEX	FETRAP 命令 (vector = 1H-FH)		FE
EI レベル・ソフトウェア例外	EITRAP0	TRAP0n 命令 (vector = 00-0FH)		EI
EI レベル・ソフトウェア例外	EITRAP1	TRAP1n 命令 (vector = 10H-1FH)		EI
システム・コール例外	SYSCALLEX	SYSCALL 命令 (vector = 00H-FFH)		EI

優先順位 優先順位 P1 が最も優先順位が高く P11 がもっとも低いです。

割り込み 表 9-1 「例外要因一覧」のうち、次の3種の例外を割り込みと呼び、この章ではこれらについて説明します。

- FE レベル・ノンマスカブル割り込み (FENMI)

FENMI 割り込みは、ほかの FE レベルの割り込み (FENMI, FEINT) が発生していても受け付け可能な割り込みです。

- CPU システム・レジスタ PSW.NP = 1 の場合でも受け付け可能です。
 - 再開不可／回復不可（エラー通知用）
- FE レベル・マスカブル割り込み（FEINT） : 1 要因
 FEINT 割り込みは、ほかの FE レベルの割り込み（FENMI, FEINT）が発生していなければ受け付け可能な割り込みです。
 - CPU システム・レジスタ PSW.NP = 0 の場合で受け付け可能です。
PSW.NP = 1 の場合 FEINT 割り込みはマスクされます。
 - 再開可能／回復可能
 - 最高優先度割り込み（FENMI は除く）
 - EI レベル・マスカブル割り込み（EIINT）
 EIINT 割り込みは、FE レベルの割り込み（FENMI, FEINT）が発生していなければ受け付け可能な割り込みです。
 - CPU システム・レジスタ PSW.NP = 0 の場合で受け付け可能です。
 - 再開可能／回復可能
 - 各割り込みチャンネルごとに割り込みマスクを指定可能
 - 各割り込みチャンネルごとに 16 レベルの割り込み優先度を指定可能
 - 本章では割り込みチャンネル n に対応する EIINT を EIINTn と表記します。

再開 元のプログラムの中断した位置から実行再開が可能／不可能であることを示します。

回復 元のプログラムを中断した時点のプロセッサ状態（汎用レジスタ、システム・レジスタなどのプロセッサ資源の状態）への回復が可能／不可能であることを示します。

V850E2/MN4 の有効割り込み数を次に示します。

表 9-2 有効割り込み数

割り込み要因	μ PD70F3510	μ PD70F3512	μ PD70F3514 μ PD70F3515
FE レベル・ノンマスカブル割り込み（FENMI）	1 (外部 1 本を含みます)	1 (外部 1 本を含みます)	1 (外部 1 本を含みます)
FE レベル・マスカブル割り込み（FEINT）	1	1	2
EI レベル・マスカブル割り込み（EIINT）	207 (外部 28 本を含みます)	217 (外部 28 本を含みます)	222 (外部 28 本を含みます)

これらの割り込み要因について次に説明します。

9.2 割り込み要因

9.2.1 FE レベル・ノンマスクابل割り込み

優先順位 優先順位は P2.

復帰 PC 再開も回復もできません。

制御レジスタ FE レベル NMI 制御レジスタ

9.3.8 「FNC : FE レベル NMI 制御レジスタ」参照

復帰命令 FERET 命令

表 9-3 FE レベル・ノンマスクابل割り込み要求

割り込み			割り込み要求		発生 ユニット	優先順位	例外 コード	ハンドラ・ アドレス 0000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレ ス FFFF...						
FENMI	FNC	645C _H	WDTA0NMI	ウォッチドッグ・タイマ0の暴走 検出割り込み	WDTA0	P2	00020 _H	0020 _H
			WDTA1NMI	ウォッチドッグ・タイマ1の暴走 検出割り込み	WDTA1			

9.2.2 FE レベル・マスクابل割り込み

優先順位 優先順位は P6.

復帰 PC FERET 命令によって割り込み処理ルーチンからの復帰でセットされたプログラムカウンタ (PC) は常に次のアドレスになります。

制御レジスタ FE レベル・マスクابل割り込み制御レジスタ

9.3.9 「FIC : FE レベル・マスクابل割り込み制御レジスタ」参照

復帰命令 FERET 命令

表 9-4 FE レベル・マスクابل割り込み要求

割り込み			割り込み要求		発生 ユニット	優先順位	例外 コード	ハンドラ・ アドレス 0000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレ ス FFFF...						
FEINT	FIC	645E _H	NMIO	NMI	端子	P6	00010 _H	0010 _H

9.2.3 EI レベル・マスカブル割り込み

割り込み名称 割り込み要求名、割り込み要求を制御する制御レジスタおよびビットは次のような規則になっています。

以下割り込み要求名は $\langle name \rangle$ によって表します。

- 割り込み要求名 : **INT** $\langle name \rangle$
接頭語「INT」は、 $\langle name \rangle$ の前に付きます。
- 割り込み制御レジスタ : **IC** $\langle name \rangle$
接頭語「IC」は、 $\langle name \rangle$ の前に付きます。
16 ビットの **IC** $\langle name \rangle$ レジスタは、バイト単位 (8 ビット) でアクセスすることもできます。
 - **IC** $\langle name \rangle$ レジスタの下位バイト (ビット [7:0]) : **IC** $\langle name \rangle$ **L**
接尾語「L」は、レジスタ名 **IC** $\langle name \rangle$ の後に追加されます。
 - **IC** $\langle name \rangle$ レジスタの上位バイト (ビット [15:8]) : **IC** $\langle name \rangle$ **H**
接尾語「H」は、レジスタ名 **IC** $\langle name \rangle$ の後に追加されます。
- 割り込み制御レジスタのビット名 : **RF** $\langle name \rangle$ 、**MK** $\langle name \rangle$ 、**P3** $\langle name \rangle$ 、**P2** $\langle name \rangle$ 、**P1** $\langle name \rangle$ 、**P0** $\langle name \rangle$
- ビット接頭辞「RF」、「MK」、「P3」、「P2」、「P1」、「P0」は、割り込み $\langle name \rangle$ の前に追加されます。
- 各割り込み要求は、特定の割り込みチャンネル番号 $n=0-255$ に割り当てられます。
本章では、割り込み要求名、割り込み制御レジスタ名および割り込み制御ビット名を次のように表します。
INT $\langle name \rangle$ が割り込みチャンネル番号 n に割り当てられていた場合、次のように表されます。
 - 割り込み要求名 : **EIINT** n
 - 割り込み制御レジスタ名 : **EIC** n
 - 割り込み制御ビット名 : **EIRF** n 、**EIMK** n 、**EIP3** n 、**EIP2** n 、**EIP1** n 、**EIP0** n

例 TAUA0 のチャンネル 2 の割り込み要求 ($\langle name \rangle = TAUA0I2$) の場合次のような名前になります。

INTTAUA0I2

関係する割り込み制御レジスタの名前は次のようになります。

ICTAUA0I2, **ICTAUA0I2L**, **ICTAUA0I2H**

制御レジスタのビット名は次のようになります。

RFTAUA0I2, **MK**TAUA0I2, **P3**TAUA0I2, **P2**TAUA0I2,
P1TAUA0I2, **P0**TAUA0I2

INTTAUA0I2 の割り込みチャンネルは、 $n = 53$ (表 9-5 「EI レベル・マスカブル割り込み要因一覧」参照) です。この場合、本章における割り込み要求名称は次のようになります。

EIINT53

関係する割り込み制御レジスタは次のようになります。

EIC53

関係する割り込み制御レジスタのビット名は次のようになります。

EIRF53, **EIMK53**, **EIP353**, **EIP253**, **EIP153**, **EIP053**

割り込みチャンネル番号 n と V850E2/MN4 で割り当てられている割り込み要求と制御レジスタの一覧は表 9-5 「EI レベル・マスカブル割り込み要因一覧」を参照してください。

優先順位 優先順位は P8.

復帰 PC EIRET 命令によって割り込み処理ルーチンからの復帰でセットされたプログラムカウンタ (PC) は常に次のアドレスになります。

制御レジスタ EI レベル・マスカブル割り込み制御レジスタ

9.3.1 「EICn (n=0-255) : EI レベル割り込み制御レジスタ」参照

復帰命令 EIRET 命令

表 9-5 EI レベル・マスカブル割り込み要因一覧 (1/12)

チャンネル	割り込み		割り込み要求			デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	制御レジスタ		名称	発生要因	発生 ユニッ ト				μPD70F3510	μPD70F3512	μPD70F3514, 70F3515
	名称	アドレス FFFF..									
0	EIC0	6000 _H	—	CPU 間割り込み 0	CPU	1	0080 _H	0080 _H	×	×	○
1	EIC1	6002 _H	—	CPU 間割り込み 1	CPU	2	0090 _H	0090 _H	×	×	○
2	EIC2	6004 _H	—	PE ガード・エラー	CPU	3	00A0 _H	00A0 _H	×	×	○
3	Reserved	6006 _H	Reserved			4	00B0 _H	00B0 _H	×	×	×
4	Reserved	6008 _H	Reserved			5	00C0 _H	00C0 _H	×	×	×
5	Reserved	600A _H	Reserved			6	00D0 _H	00D0 _H	×	×	×
6	Reserved	600C _H	Reserved			7	00E0 _H	00E0 _H	×	×	×
7	Reserved	600E _H	Reserved			8	00F0 _H	00F0 _H	×	×	×
8	Reserved	6010 _H	Reserved			9	0100 _H	0100 _H	×	×	×
9	Reserved	6012 _H	Reserved			10	0110 _H	0110 _H	×	×	×
10	ICWDTA0	6014 _H	INTWDTA0	WDTA0 インターバル・タイマ	WDTA0	11	0120 _H	0120 _H	○	○	○
11	ICWDTA1	6016 _H	INTWDTA1	WDTA1 インターバル・タイマ	WDTA1	12	0130 _H	0130 _H	×	×	○
12	ICOSTM0	6018 _H	INTOSTM0	OS タイマ・アンダフロー (OSTM0TIT)	OSTM	13	0140 _H	0140 _H	○	○	○
13	ICOSTM1	601A _H	INTOSTM1	OS タイマ・アンダフロー (OSTM1TIT)	OSTM	14	0150 _H	0150 _H	×	×	○
14	ICP0	601C _H	INTP0	INTP0 端子有効エッジ入力/ INTDTS0	端子/ DTS	15	0160 _H	0160 _H	○	○	○
15	ICP1	601E _H	INTP1	INTP1 端子有効エッジ入力/ INTDTS1	端子/ DTS	16	0170 _H	0170 _H	○	○	○
16	ICP2	6020 _H	INTP2	INTP2 端子有効エッジ入力/ INTDTS2	端子/ DTS	17	0180 _H	0180 _H	○	○	○
17	ICP3	6022 _H	INTP3	INTP3 端子有効エッジ入力/ INTDTS3	端子/ DTS	18	0190 _H	0190 _H	○	○	○
18	ICP4	6024 _H	INTP4	INTP4 端子有効エッジ入力/ INTDTS4	端子/ DTS	19	01A0 _H	01A0 _H	○	○	○
19	ICP5	6026 _H	INTP5	INTP5 端子有効エッジ入力/ INTDTS5	端子/ DTS	20	01B0 _H	01B0 _H	○	○	○
20	ICP6	6028 _H	INTP6	INTP6 端子有効エッジ入力/ INTDTS6	端子/ DTS	21	01C0 _H	01C0 _H	○	○	○

表 9-5 EI レベル・マスクブル割り込み要因一覧 (2/12)

割り込み			割り込み要求				デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
チャネル	制御レジスタ		名称	発生要因	発生 ユニッ ト	μPD70F3510				μPD70F3512	μPD70F3514,70F3515	
	名称	アドレス FFFF...										
21	ICP7	602A _H	INTP7	INTP7 端子有効エッジ入力/ INTDTS7	端子/ DTS	22	01D0 _H	01D0 _H	○	○	○	
22	ICP8	602C _H	INTP8	INTP8 端子有効エッジ入力/ INTDTS8	端子/ DTS	23	01E0 _H	01E0 _H	○	○	○	
23	ICP9	602E _H	INTP9	INTP9 端子有効エッジ入力/ INTDTS9	端子/ DTS	24	01F0 _H	01F0 _H	○	○	○	
24	ICP10	6030 _H	INTP10	INTP10 端子有効エッジ入力/ INTDTS10	端子/ DTS	25	0200 _H	0200 _H	○	○	○	
25	ICP11	6032 _H	INTP11	INTP11 端子有効エッジ入力/ INTDTS11	端子/ DTS	26	0210 _H	0210 _H	○	○	○	
26	ICP12	6034 _H	INTP12	INTP12 端子有効エッジ入力/ INTDTS12	端子/ DTS	27	0220 _H	0220 _H	○	○	○	
27	ICP13	6036 _H	INTP13	INTP13 端子有効エッジ入力/ INTDTS13	端子/ DTS	28	0230 _H	0230 _H	○	○	○	
28	ICP14	6038 _H	INTP14	INTP14 端子有効エッジ入力/ INTDTS14	端子/ DTS	29	0240 _H	0240 _H	○	○	○	
29	ICP15	603A _H	INTP15	INTP15 端子有効エッジ入力/ INTDTS15	端子/ DTS	30	0250 _H	0250 _H	○	○	○	
30	ICP16	603C _H	INTP16	INTP16 端子有効エッジ入力/ INTDTS16	端子/ DTS	31	0260 _H	0260 _H	○	○	○	
31	ICP17	603E _H	INTP17	INTP17 端子有効エッジ入力/ INTDTS17	端子/ DTS	32	0270 _H	0270 _H	○	○	○	
32	ICP18	6040 _H	INTP18	INTP18 端子有効エッジ入力/ INTDTS18	端子/ DTS	33	0280 _H	0280 _H	○	○	○	
33	ICP19	6042 _H	INTP19	INTP19 端子有効エッジ入力/ INTDTS19	端子/ DTS	34	0290 _H	0290 _H	○	○	○	
34	ICP20	6044 _H	INTP20	INTP20 端子有効エッジ入力/ INTDTS20	端子/ DTS	35	02A0 _H	02A0 _H	○	○	○	
35	ICP21	6046 _H	INTP21	INTP21 端子有効エッジ入力/ INTDTS21	端子/ DTS	36	02B0 _H	02B0 _H	○	○	○	
36	ICP22	6048 _H	INTP22	INTP22 端子有効エッジ入力/ INTDTS22	端子/ DTS	37	02C0 _H	02C0 _H	○	○	○	
37	ICP23	604A _H	INTP23	INTP23 端子有効エッジ入力/ INTDTS23	端子/ DTS	38	02D0 _H	02D0 _H	○	○	○	
38	ICP24	604C _H	INTP24	INTP24 端子有効エッジ入力/ INTDTS24	端子/ DTS	39	02E0 _H	02E0 _H	○	○	○	
39	ICP25	604E _H	INTP25	INTP25 端子有効エッジ入力/ INTDTS25	端子/ DTS	40	02F0 _H	02F0 _H	○	○	○	
40	ICP26	6050 _H	INTP26	INTP26 端子有効エッジ入力/ INTDTS26	端子/ DTS	41	0300 _H	0300 _H	○	○	○	
41	ICP27	6052 _H	INTP27	INTP27 端子有効エッジ入力/ INTDTS27	端子/ DTS	42	0310 _H	0310 _H	○	○	○	
42	ICES00	6054 _H	INTES00	ES00 端子有効エッジ入力	端子	43	0320 _H	0320 _H	○	○	○	

表 9-5 EI レベル・マスク割込み要因一覧 (3/12)

チャネル	割り込み		割り込み要求			デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	制御レジスタ		名称	発生要因	発生 ユニッ ト				μPD70F3510	μPD70F3512	μPD70F3514,70F3515
	名称	アドレス FFFF...									
43	ICES01	6056 _H	INTES01	ESO1 端子有効エッジ入力	端子	44	0330 _H	0330 _H	○	○	○
44	ICES02	6058 _H	INTES02	ESO2 端子有効エッジ入力	端子	45	0340 _H	0340 _H	○	○	○
45	ICES03	605A _H	INTES03	ESO3 端子有効エッジ入力	端子	46	0350 _H	0350 _H	○	○	○
46	ICADCA0ERR	605C _H	INTADCA0ERR	A/D 変換結果エラー	ADCA0	47	0360 _H	0360 _H	○	○	○
47	ICADCA010	605E _H	INTADCA010	A/D 変換終了 (グループ 0) / INTDTS28	ADCA0/ DTS	48	0370 _H	0370 _H	○	○	○
48	ICADCA011	6060 _H	INTADCA011	A/D 変換終了 (グループ 1) / INTDTS29	ADCA0/ DTS	49	0380 _H	0380 _H	○	○	○
49	ICADCA012	6062 _H	INTADCA012	A/D 変換終了 (グループ 2) / INTDTS30	ADCA0/ DTS	50	0390 _H	0390 _H	○	○	○
50	Reserved	6064 _H	Reserved			51	03A0 _H	03A0 _H	×	×	×
51	ICTAUA010	6066 _H	INTTAUA010	TAUA0 チャネル 0 機能依存 / INTDTS32	TAUA0/ DTS	52	03B0 _H	03B0 _H	○	○	○
52	ICTAUA011	6068 _H	INTTAUA011	TAUA0 チャネル 1 機能依存 / INTDTS33	TAUA0/ DTS	53	03C0 _H	03C0 _H	○	○	○
53	ICTAUA012	606A _H	INTTAUA012	TAUA0 チャネル 2 機能依存 / INTDTS34	TAUA0/ DTS	54	03D0 _H	03D0 _H	○	○	○
54	ICTAUA013	606C _H	INTTAUA013	TAUA0 チャネル 3 機能依存 / INTDTS35	TAUA0/ DTS	55	03E0 _H	03E0 _H	○	○	○
55	ICTAUA014	606E _H	INTTAUA014	TAUA0 チャネル 4 機能依存 / INTDTS36	TAUA0/ DTS	56	03F0 _H	03F0 _H	○	○	○
56	ICTAUA015	6070 _H	INTTAUA015	TAUA0 チャネル 5 機能依存 / INTDTS37	TAUA0/ DTS	57	0400 _H	0400 _H	○	○	○
57	ICTAUA016	6072 _H	INTTAUA016	TAUA0 チャネル 6 機能依存 / INTDTS38	TAUA0/ DTS	58	0410 _H	0410 _H	○	○	○
58	ICTAUA017	6074 _H	INTTAUA017	TAUA0 チャネル 7 機能依存 / INTDTS39	TAUA0/ DTS	59	0420 _H	0420 _H	○	○	○
59	ICTAUA018	6076 _H	INTTAUA018	TAUA0 チャネル 8 機能依存 / INTDTS40	TAUA0/ DTS	60	0430 _H	0430 _H	○	○	○
60	ICTAUA019	6078 _H	INTTAUA019	TAUA0 チャネル 9 機能依存 / INTDTS41	TAUA0/ DTS	61	0440 _H	0440 _H	○	○	○
61	ICTAUA0110	607A _H	INTTAUA0110	TAUA0 チャネル 10 機能依存 / INTDTS42	TAUA0/ DTS	62	0450 _H	0450 _H	○	○	○
62	ICTAUA0111	607C _H	INTTAUA0111	TAUA0 チャネル 11 機能依存 / INTDTS43	TAUA0/ DTS	63	0460 _H	0460 _H	○	○	○
63	ICTAUA0112	607E _H	INTTAUA0112	TAUA0 チャネル 12 機能依存 / INTDTS44	TAUA0/ DTS	64	0470 _H	0470 _H	○	○	○
64	ICTAUA0113	6080 _H	INTTAUA0113	TAUA0 チャネル 13 機能依存 / INTDTS45	TAUA0/ DTS	65	0480 _H	0480 _H	○	○	○
65	ICTAUA0114	6082 _H	INTTAUA0114	TAUA0 チャネル 14 機能依存 / INTDTS46	TAUA0/ DTS	66	0490 _H	0490 _H	○	○	○
66	ICTAUA0115	6084 _H	INTTAUA0115	TAUA0 チャネル 15 機能依存 / INTDTS47	TAUA0/ DTS	67	04A0 _H	04A0 _H	○	○	○

表 9-5 EI レベル・マスク割込み要因一覧 (4/12)

割り込み			割り込み要求				対応製品				
チャネル	制御レジスタ		名称	発生要因	発生ユニット	デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	μPD70F3510	μPD70F3512	μPD70F3514,70F3515
	名称	アドレス FFFF...									
67	ICTAUA110	6086 _H	INTTAUA110	TAUA1 チャネル 0 機能依存 / INTDTS48	TAUA1/DTS	68	04B0 _H	04B0 _H	○	○	○
68	ICTAUA111	6088 _H	INTTAUA111	TAUA1 チャネル 1 機能依存 / INTDTS49	TAUA1/DTS	69	04C0 _H	04C0 _H	○	○	○
69	ICTAUA112	608A _H	INTTAUA112	TAUA1 チャネル 2 機能依存 / INTDTS50	TAUA1/DTS	70	04D0 _H	04D0 _H	○	○	○
70	ICTAUA113	608C _H	INTTAUA113	TAUA1 チャネル 3 機能依存 / INTDTS51	TAUA1/DTS	71	04E0 _H	04E0 _H	○	○	○
71	ICTAUA114	608E _H	INTTAUA114	TAUA1 チャネル 4 機能依存 / INTDTS52	TAUA1/DTS	72	04F0 _H	04F0 _H	○	○	○
72	ICTAUA115	6090 _H	INTTAUA115	TAUA1 チャネル 5 機能依存 / INTDTS53	TAUA1/DTS	73	0500 _H	0500 _H	○	○	○
73	ICTAUA116	6092 _H	INTTAUA116	TAUA1 チャネル 6 機能依存 / INTDTS54	TAUA1/DTS	74	0510 _H	0510 _H	○	○	○
74	ICTAUA117	6094 _H	INTTAUA117	TAUA1 チャネル 7 機能依存 / INTDTS55	TAUA1/DTS	75	0520 _H	0520 _H	○	○	○
75	ICTAUA118	6096 _H	INTTAUA118	TAUA1 チャネル 8 機能依存 / INTDTS56	TAUA1/DTS	76	0530 _H	0530 _H	○	○	○
76	ICTAUA119	6098 _H	INTTAUA119	TAUA1 チャネル 9 機能依存 / INTDTS57	TAUA1/DTS	77	0540 _H	0540 _H	○	○	○
77	ICTAUA1110	609A _H	INTTAUA1110	TAUA1 チャネル 10 機能依存 / INTDTS58	TAUA1/DTS	78	0550 _H	0550 _H	○	○	○
78	ICTAUA1111	609C _H	INTTAUA1111	TAUA1 チャネル 11 機能依存 / INTDTS59	TAUA1/DTS	79	0560 _H	0560 _H	○	○	○
79	ICTAUA1112	609E _H	INTTAUA1112	TAUA1 チャネル 12 機能依存 / INTDTS60	TAUA1/DTS	80	0570 _H	0570 _H	○	○	○
80	ICTAUA1113	60A0 _H	INTTAUA1113	TAUA1 チャネル 13 機能依存 / INTDTS61	TAUA1/DTS	81	0580 _H	0580 _H	○	○	○
81	ICTAUA1114	60A2 _H	INTTAUA1114	TAUA1 チャネル 14 機能依存 / INTDTS62	TAUA1/DTS	82	0590 _H	0590 _H	○	○	○
82	ICTAUA1115	60A4 _H	INTTAUA1115	TAUA1 チャネル 15 機能依存 / INTDTS63	TAUA1/DTS	83	05A0 _H	05A0 _H	○	○	○
83	ICTAUA210	60A6 _H	INTTAUA210	TAUA2 チャネル 0 機能依存	TAUA2	84	05B0 _H	05B0 _H	○	○	○
84	ICTAUA211	60A8 _H	INTTAUA211	TAUA2 チャネル 1 機能依存	TAUA2	85	05C0 _H	05C0 _H	○	○	○
85	ICTAUA212	60AA _H	INTTAUA212	TAUA2 チャネル 2 機能依存	TAUA2	86	05D0 _H	05D0 _H	○	○	○
86	ICTAUA213	60AC _H	INTTAUA213	TAUA2 チャネル 3 機能依存	TAUA2	87	05E0 _H	05E0 _H	○	○	○
87	ICTAUA214	60AE _H	INTTAUA214	TAUA2 チャネル 4 機能依存	TAUA2	88	05F0 _H	05F0 _H	○	○	○
88	ICTAUA215	60B0 _H	INTTAUA215	TAUA2 チャネル 5 機能依存	TAUA2	89	0600 _H	0600 _H	○	○	○
89	ICTAUA216	60B2 _H	INTTAUA216	TAUA2 チャネル 6 機能依存	TAUA2	90	0610 _H	0610 _H	○	○	○
90	ICTAUA217	60B4 _H	INTTAUA217	TAUA2 チャネル 7 機能依存	TAUA2	91	0620 _H	0620 _H	○	○	○
91	ICTAUA218	60B6 _H	INTTAUA218	TAUA2 チャネル 8 機能依存	TAUA2	92	0630 _H	0630 _H	○	○	○
92	ICTAUA219	60B8 _H	INTTAUA219	TAUA2 チャネル 9 機能依存	TAUA2	93	0640 _H	0640 _H	○	○	○

表 9-5 EI レベル・マスク割込み要因一覧 (5/12)

割り込み			割り込み要求				対応製品				
チャネル	制御レジスタ		名称	発生要因	発生ユニット	デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	μPD70F3510	μPD70F3512	μPD70F3514, 70F3515
	名称	アドレス FFFF...									
93	ICTAUA2I10	60BA _H	INTTAUA2I10	TAUA2 チャネル 10 機能依存	TAUA2	94	0650 _H	0650 _H	○	○	○
94	ICTAUA2I11	60BC _H	INTTAUA2I11	TAUA2 チャネル 11 機能依存	TAUA2	95	0660 _H	0660 _H	○	○	○
95	ICTAUA2I12	60BE _H	INTTAUA2I12	TAUA2 チャネル 12 機能依存/ INTDTS64	TAUA2/ DTS	96	0670 _H	0670 _H	○	○	○
96	ICTAUA2I13	60C0 _H	INTTAUA2I13	TAUA2 チャネル 13 機能依存/ INTDTS65	TAUA2/ DTS	97	0680 _H	0680 _H	○	○	○
97	ICTAUA2I14	60C2 _H	INTTAUA2I14	TAUA2 チャネル 14 機能依存/ INTDTS66	TAUA2/ DTS	98	0690 _H	0690 _H	○	○	○
98	ICTAUA2I15	60C4 _H	INTTAUA2I15	TAUA2 チャネル 15 機能依存/ INTDTS67	TAUA2/ DTS	99	06A0 _H	06A0 _H	○	○	○
99	ICTAUA3I0	60C6 _H	INTTAUA3I0	TAUA3 チャネル 0 機能依存/ INTDTS68	TAUA3/ DTS	100	06B0 _H	06B0 _H	○	○	○
100	ICTAUA3I1	60C8 _H	INTTAUA3I1	TAUA3 チャネル 1 機能依存/ INTDTS69	TAUA3/ DTS	101	06C0 _H	06C0 _H	○	○	○
101	ICTAUA3I2	60CA _H	INTTAUA3I2	TAUA3 チャネル 2 機能依存/ INTDTS70	TAUA3/ DTS	102	06D0 _H	06D0 _H	○	○	○
102	ICTAUA3I3	60CC _H	INTTAUA3I3	TAUA3 チャネル 3 機能依存/ INTDTS71	TAUA3/ DTS	103	06E0 _H	06E0 _H	○	○	○
103	ICTAUA3I4	60CE _H	INTTAUA3I4	TAUA3 チャネル 4 機能依存/ INTDTS72	TAUA3/ DTS	104	06F0 _H	06F0 _H	○	○	○
104	ICTAUA3I5	60D0 _H	INTTAUA3I5	TAUA3 チャネル 5 機能依存/ INTDTS73	TAUA3/ DTS	105	0700 _H	0700 _H	○	○	○
105	ICTAUA3I6	60D2 _H	INTTAUA3I6	TAUA3 チャネル 6 機能依存/ INTDTS74	TAUA3/ DTS	106	0710 _H	0710 _H	○	○	○
106	ICTAUA3I7	60D4 _H	INTTAUA3I7	TAUA3 チャネル 7 機能依存/ INTDTS75	TAUA3/ DTS	107	0720 _H	0720 _H	○	○	○
107	ICTAUA3I8	60D6 _H	INTTAUA3I8	TAUA3 チャネル 8 機能依存/ INTDTS76	TAUA3/ DTS	108	0730 _H	0730 _H	○	○	○
108	ICTAUA3I9	60D8 _H	INTTAUA3I9	TAUA3 チャネル 9 機能依存/ INTDTS77	TAUA3/ DTS	109	0740 _H	0740 _H	○	○	○
109	ICTAUA3I10	60DA _H	INTTAUA3I10	TAUA3 チャネル 10 機能依存/ INTDTS78	TAUA3/ DTS	110	0750 _H	0750 _H	○	○	○
110	ICTAUA3I11	60DC _H	INTTAUA3I11	TAUA3 チャネル 11 機能依存/ INTDTS79	TAUA3/ DTS	111	0760 _H	0760 _H	○	○	○
111	ICTAUA3I12	60DE _H	INTTAUA3I12	TAUA3 チャネル 12 機能依存/ INTDTS80	TAUA3/ DTS	112	0770 _H	0770 _H	○	○	○
112	ICTAUA3I13	60E0 _H	INTTAUA3I13	TAUA3 チャネル 13 機能依存/ INTDTS81	TAUA3/ DTS	113	0780 _H	0780 _H	○	○	○
113	ICTAUA3I14	60E2 _H	INTTAUA3I14	TAUA3 チャネル 14 機能依存/ INTDTS82	TAUA3/ DTS	114	0790 _H	0790 _H	○	○	○
114	ICTAUA3I15	60E4 _H	INTTAUA3I15	TAUA3 チャネル 15 機能依存/ INTDTS83	TAUA3/ DTS	115	07A0 _H	07A0 _H	○	○	○

表 9-5 EI レベル・マスク割込み要因一覧 (6/12)

チャンネル	割り込み 制御レジスタ		割り込み要求			デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	名称	アドレス FFFF...	名称	発生要因	発生 ユニッ ト				μPD70F3510	μPD70F3512	μPD70F3514,70F3515
115	ICTAUJ0I0	60E6 _H	INTTAUJ0I0	TAUJ チャンネル 0 機能依存 / INTDTS84	TAUJ0 / DTS	116	07B0 _H	07B0 _H	○	○	○
116	ICTAUJ0I1	60E8 _H	INTTAUJ0I1	TAUJ チャンネル 1 機能依存 / INTDTS85	TAUJ0 / DTS	117	07C0 _H	07C0 _H	○	○	○
117	ICTAUJ0I2	60EA _H	INTTAUJ0I2	TAUJ チャンネル 2 機能依存 / INTDTS86	TAUJ0 / DTS	118	07D0 _H	07D0 _H	○	○	○
118	ICTAUJ0I3	60EC _H	INTTAUJ0I3	TAUJ チャンネル 3 機能依存 / INTDTS87	TAUJ0 / DTS	119	07E0 _H	07E0 _H	○	○	○
119	ICENCA0IOV	60EE _H	INTENCA0IOV	TMENC0 オーバフロー / INTDTS88	ENCA0 / DTS	120	07F0 _H	07F0 _H	○	○	○
120	ICENCA0IUD	60F0 _H	INTENCA0IUD	TMENC0 アンダフロー / INTDTS89	ENCA0 / DTS	121	0800 _H	0800 _H	○	○	○
121	ICENCA0I0	60F2 _H	INTENCA0I0	TMENC0 コンペア 0 一致 / キャプチャ 0 入力 / INTDTS90	ENCA0 / DTS	122	00081 _H	0810 _H	○	○	○
122	ICENCA0I1	60F4 _H	INTENCA0I1	TMENC0 コンペア 1 一致 / キャプチャ 1 入力 / INTDTS91	ENCA0 / DTS	123	0820 _H	0820 _H	○	○	○
123	ICENCA0IEC	60F6 _H	INTENCA0IEC	エンコーダ入力 (Z相) による ENCA0 クリア / INTDTS92	ENCA0 / DTS	124	0830 _H	0830 _H	○	○	○
124	ICENCA1IOV	60F8 _H	INTENCA1IOV	TMENC1 オーバフロー / INTDTS93	ENCA1 / DTS	125	0840 _H	0840 _H	○	○	○
125	ICENCA1IUD	60FA _H	INTENCA1IUD	TMENC1 アンダフロー / INTDTS94	ENCA1 / DTS	126	0850 _H	0850 _H	○	○	○
126	ICENCA1I0	60FC _H	INTENCA1I0	TMENC1 コンペア 0 一致 / キャプチャ 0 入力 / INTDTS95	ENCA1 / DTS	127	0860 _H	0860 _H	○	○	○
127	ICENCA1I1	60FE _H	INTENCA1I1	TMENC1 コンペア 1 一致 / キャプチャ 1 入力 / INTDTS96	ENCA1 / DTS	128	0870 _H	0870 _H	○	○	○
128	ICENCA1IEC	6100 _H	INTENCA1IEC	エンコーダ入力 (Z相) による ENCA1 クリア / INTDTS97	ENCA1 / DTS	129	0880 _H	0880 _H	○	○	○
129	Reserved	6102 _H	Reserved			130	0890 _H	0890 _H	×	×	×
130	Reserved	6104 _H	Reserved			131	08A0 _H	08A0 _H	×	×	×
131	ICTAPA0IPEK0	6106 _H	INTTAPA0IPEK0	TAUA0 山割り込み / INTDTS98	TAPA0 / DTS	132	08B0 _H	08B0 _H	○	○	○
132	ICTAPA0IVLY0	6108 _H	INTTAPA0IVLY0	TAUA0 谷割り込み / INTDTS99	TAPA0 / DTS	133	08C0 _H	08C0 _H	○	○	○
133	Reserved	610A _H	Reserved			134	08D0 _H	08D0 _H	×	×	×
134	ICTAPA2ADOU T0	610C _H	INTTAPA2ADOU T0	TAUA0 A/D 変換トリガ出力信号 (トリガグループ 0) / INTDTS100	TAPA2 / DTS	135	08E0 _H	08E0 _H	○	○	○

表 9-5 EI レベル・マスクブル割り込み要因一覧 (7/12)

割り込み			割り込み要求				対応製品				
チャネル	制御レジスタ		名称	発生要因	発生ユニット	デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	名称	アドレス FFFF...							μPD70F3510	μPD70F3512	μPD70F3514,70F3515
135	ICTAPA0ADOU T0	610E _H	INTTAPA0ADOU T0	TAUA0 A/D 変換トリガ出力信号 (トリガグループ 1) / INTDTS101	TAPA0/ DTS	136	08F0 _H	08F0 _H	○	○	○
136	ICTAPA0ADOU T1	6110 _H	INTTAPA0ADOU T1	TAUA0 A/D 変換出力トリガ信号 (トリガグループ 2) / INTDTS102	TAPA0/ DTS	137	0900 _H	0900 _H	○	○	○
137	ICTAPA1IPEK0	6112 _H	INTTAPA1IPEK0	TAUA1 山割り込み / INTDTS103	TAPA1/ DTS	138	0910 _H	0910 _H	○	○	○
138	ICTAPA1IVLY0	6114 _H	INTTAPA1IVLY0	TAUA1 谷割り込み / INTDTS104	TAPA1/ DTS	139	0920 _H	0920 _H	○	○	○
139	Reserved	6116 _H	Reserved			140	0930 _H	0930 _H	×	×	×
140	ICTAPA3ADOU T0	6118 _H	INTTAPA3ADOU T0	TAUA1 A/D 変換トリガ出力信号 (トリガグループ 0) / INTDTS105	TAPA3/ DTS	141	0940 _H	0940 _H	○	○	○
141	ICTAPA1ADOU T0	611A _H	INTTAPA1ADOU T0	TAUA1 A/D 変換トリガ出力信号 (トリガグループ 1) / INTDTS106	TAPA1/ DTS	142	0950 _H	0950 _H	○	○	○
142	ICTAPA1ADOU T1	611C _H	INTTAPA1ADOU T1	TAUA1 A/D 変換トリガ出力信号 (トリガグループ 2) / INTDTS107	TAPA1/ DTS	143	0960 _H	0960 _H	○	○	○
143	ICCSIH0IRE	611E _H	INTCSIH0IRE	UARTJ0 受信エラー / CSIH0 受信エラー / IICB0 ステータス検出	UARTJ0/ CSIH0/ IICB0/	144	0970 _H	0970 _H	○	○	○
144	ICCSIH0IR	6120 _H	INTCSIH0IR	UARTJ0 受信 / CSIH0 受信機能依存 / IICB0 送受信 / INTDTS108	UARTJ0/ CSIH0/ IICB0/ DTS	145	0980 _H	0980 _H	○	○	○
145	ICCSIH0IC	6122 _H	INTCSIH0IC	UARTJ0 送信 / CSIH0 送信機能依存 / INTDTS109	UARTJ0/ CSIH0/ DTS	146	0990 _H	0990 _H	○	○	○
146	ICCSIH0IJC	6124 _H	INTCSIH0IJC	CSIH0 ジョブ終了 / INTDTS110	CSIH0/ DTS	147	09A0 _H	09A0 _H	○	○	○
147	ICCSIH1IRE	6126 _H	INTCSIH1IRE	FCN0 エラー / UARTJ1 受信エラー / CSIH1 受信エラー / IICB1 ステータス検出	FCN0/ UARTJ1/ CSIH1/ IICB1	148	09B0 _H	09B0 _H	○	○	○
148	ICCSIH1IR	6128 _H	INTCSIH1IR	FCN0 受信終了 / UARTJ1 受信 / CSIH1 受信機能依存 / IICB1 送受信 / INTDTS111	FCN0/ UARTJ1/ CSIH1/ IICB1/ DTS	149	09C0 _H	09C0 _H	○	○	○
149	ICCSIH1IC	612A _H	INTCSIH1IC	FCN0 送信終了 / UARTJ1 送信 / CSIH1 送信機能依存 / INTDTS112	FCN0/ UARTJ1/ CSIH1/ DTS	150	09D0 _H	09D0 _H	○	○	○

表 9-5 EI レベル・マスク割込み要因一覧 (8/12)

チャネル	割り込み 制御レジスタ		割り込み要求			デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	名称	アドレス FFFF...	名称	発生要因	発生 ユニッ ト				μPD70F3510	μPD70F3512	μPD70F3514,70F3515
150	ICCSIH1IJC	612C _H	INTCSIH1IJC	CSIH1 ジョブ終了/ INTDTS113	CSIH1/ DTS	151	09E0 _H	09E0 _H	○	○	○
151	ICCSIH2IRE	612E _H	INTCSIH2IRE	UARTJ2 受信エラー/ IICB2 ステータス検出/ CSIH2 受信エラー	CSIH2/ IICB2/ UARTJ2	152	09F0 _H	09F0 _H	○	○	○
152	ICCSIH2IR	6130 _H	INTCSIH2IR	UARTJ2 受信/ IICB2 送受信/ CSIH2 受信機能依存/ INTDTS114	CSIH2/ UARTJ2/ DTS	153	0A00 _H	0A00 _H	○	○	○
153	ICCSIH2IC	6132 _H	INTCSIH2IC	UARTJ2 送信/ CSIH2 送信機能依存/ INTDTS115	CSIH2/ IICB2/ UARTJ2/ DTS	154	0A10 _H	0A10 _H	○	○	○
154	ICCSIH2IJC	6134 _H	INTCSIH2IJC	CSIH2 ジョブ終了/ INTDTS116	CSIH2/ DTS	155	0A20 _H	0A20 _H	○	○	○
155	ICCSIH3IRE	6136 _H	INTCSIH3IRE	UARTJ3 受信エラー/ IICB3 ステータス検出/ CSIH3 受信エラー	CSIH3/ IICB3/ UARTJ3	156	0A30 _H	0A30 _H	○	○	○
156	ICCSIH3IR	6138 _H	INTCSIH3IR	UARTJ3 受信/ IICB3 送受信/ CSIH3 受信機能依存/ INTDTS117	CSIH3/ IICB3/ UARTJ3/ DTS	157	0A40 _H	0A40 _H	○	○	○
157	ICCSIH3IC	613A _H	INTCSIH3IC	CSIH3 送信機能依存/ UARTJ3 送信/ INTDTS118	CSIH3/ UARTJ3/ DTS	158	0A50 _H	0A50 _H	○	○	○
158	ICCSIH3IJC	613C _H	INTCSIH3IJC	CSIH3 ジョブ終了/ INTDTS119	CSIH3/ DTS	159	0A60 _H	0A60 _H	○	○	○
159	ICCSIG0IRE	613E _H	INTCSIG0IRE	UARTE0 受信エラー/ CSIG0 受信エラー	UARTE0/ CSIG0	160	0A70 _H	0A70 _H	○	○	○
160	ICCSIG0IR	6140 _H	INTCSIG0IR	UARTE0 受信/ CSIG0 受信終了	UARTE0/ CSIG0	161	0A80 _H	0A80 _H	○	○	○
161	ICCSIG0IC	6142 _H	INTCSIG0IC	UARTE0 送信/ CSIG0 送信	UARTE0/ CSIG0	162	0A90 _H	0A90 _H	○	○	○
162	ICCSIG1IRE	6144 _H	INTCSIG1IRE	UARTE1 受信エラー/ CSIG1 受信エラー	UARTE1/ CSIG1	163	0AA0 _H	0AA0 _H	○	○	○
163	ICCSIG1IR	6146 _H	INTCSIG1IR	UARTE1 受信/ CSIG1 受信終了	UARTE1/ CSIG1	164	0AB0 _H	0AB0 _H	○	○	○
164	ICCSIG1IC	6148 _H	INTCSIG1IC	UARTE1 送信/ CSIG1 送信	UARTE1/ CSIG1	165	0AC0 _H	0AC0 _H	○	○	○
165	ICCSIG2IRE	614A _H	INTCSIG2IRE	UARTE2 受信エラー/ CSIG2 受信エラー	UARTE2/ CSIG2	166	0AD0 _H	0AD0 _H	○	○	○
166	ICCSIG2IR	614C _H	INTCSIG2IR	UARTE2 受信/ CSIG2 受信終了	UARTE2/ CSIG2	167	0AE0 _H	0AE0 _H	○	○	○
167	ICCSIG2IC	614E _H	INTCSIG2IC	UARTE2 送信/ CSIG2 送信	UARTE2/ CSIG2	168	0AF0 _H	0AF0 _H	○	○	○

表 9-5 EI レベル・マスクブル割り込み要因一覧 (9/12)

割り込み			割り込み要求				デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
チャネル	制御レジスタ		名称	発生要因	発生 ユニッ ト	μPD70F3510				μPD70F3512	μPD70F3514,70F3515	
	名称	アドレス FFFF...										
168	ICCSIG3IRE	6150 _H	INTCSIG3IRE	UARTE3 受信エラー/ CSIG3 受信エラー	UARTE3/ CSIG3	169	0B00 _H	0B00 _H	○	○	○	
169	ICCSIG3IR	6152 _H	INTCSIG3IR	UARTE3 受信/ CSIG3 受信終了	UARTE3/ CSIG3	170	0B10 _H	0B10 _H	○	○	○	
170	ICCSIG3IC	6154 _H	INTCSIG3IC	UARTE3 送信/ CSIG3 送信	UARTE3/ CSIG3	171	0B20 _H	0B20 _H	○	○	○	
171	ICCSIG4IRE	6156 _H	INTCSIG4IRE	UARTE4 受信エラー/ IICB4 ステータス検出/ CSIG4 受信エラー	UARTE4 /IICB4/ CSIG4	172	0B30 _H	0B30 _H	○	○	○	
172	ICCSIG4IR	6158 _H	INTCSIG4IR	UARTE4 受信/ IICB4 送受信/ CSIG4 受信終了	UARTE4 /IICB4/ CSIG4	173	0B40 _H	0B40 _H	○	○	○	
173	ICCSIG4IC	615A _H	INTCSIG4IC	UARTE4 送信/ CSIG4 送信	UARTE4/ CSIG4	174	0B50 _H	0B50 _H	○	○	○	
174	ICCSIG5IRE	615C _H	INTCSIG5IRE	FCN1 エラー/ UARTE5 受信エラー/ ICB5 ステータス検出/ CSIG5 受信エラー	FCN1/ UARTE5/ IICB5/ CSIG5	175	0B60 _H	0B60 _H	△	○	○	
175	ICCSIG5IR	615E _H	INTCSIG5IR	FCN1 受信終了/ UARTE5 受信/ IICB5 送受信/ CSIG5 受信終了	FCN1/ UARTE5/ IICB5/ CSIG5	176	0B70 _H	0B70 _H	△	○	○	
176	ICCSIG5IC	6160 _H	INTCSIG5IC	FCN1 送信終了/ UARTE5 送信/ CSIG5 送信	FCN1/ UARTE5/ CSIG5	177	0B80 _H	0B80 _H	△	○	○	
177	ICFCNWUP	6162 _H	INTFCNWUP	FCN0 ウェイクアップ/ FCN1 ウェイクアップ	FCN0/ FCN1	178	0B90 _H	0B90 _H	×	○	○	
178	ICETHA0SRX	6164 _H	INTETHA0SRX	イーサネット受信パケット読み 出し要求	Ethernet	179	0BA0 _H	0BA0 _H	×	○	○	
179	ICETHA0SCRX	6166 _H	INTETHA0SCRX	イーサネット・パケット受信/ INTDTS120	Ethernet /DTS	180	0BB0 _H	0BB0 _H	×	○	○	
180	ICETHA0SCTX	6168 _H	INTETHA0SCTX	イーサネット・パケット送信/ INTDTS121	Ethernet /DTS	181	0BC0 _H	0BC0 _H	×	○	○	
181	ICETHA0RS	616A _H	INTETHA0RS	イーサネット受信ステータス検 出	Ethernet	182	0BD0 _H	0BD0 _H	×	○	○	
182	ICETHA0TS	616C _H	INTETHA0TS	イーサネット送信ステータス検 出	Ethernet	183	0BE0 _H	0BE0 _H	×	○	○	
183	ICETHA0FS	616E _H	INTETHA0FS	イーサネット FIFO ステータス 検出	Ethernet	184	0BF0 _H	0BF0 _H	×	○	○	
184	ICETHA0MAC	6170 _H	INTETHA0MAC	イーサネット統計カウンタ・ オーバフロー	Ethernet	185	0C00 _H	0C00 _H	×	○	○	
185	ICETHA0SCRXTCH	6172 _H	INTETHA0SCRXTCH	イーサネット送信データ計算終 了	Ethernet	186	0C10 _H	0C10 _H	×	○	○	
186	ICETHA0SCTXTCH	6174 _H	INTETHA0SCTXTCH	イーサネット送信チェックサム 書き込み	Ethernet	187	0C20 _H	0C20 _H	×	○	○	

表 9-5 EI レベル・マスク割り込み要因一覧 (10/12)

チャネル	割り込み		割り込み要求				デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	制御レジスタ		名称	発生要因	発生 ユニッ ト	μPD70F3510				μPD70F3512	μPD70F3514,70F3515	
	名称	アドレス FFFF...										
187	ICUSFA010	6176 _H	INTUSFA010	ブリッジ割り込み	USBF	188	0C30 _H	0C30 _H	○	○	○	
188	ICUSFA011	6178 _H	INTUSFA011	EPC 割り込み	USBF	189	0C40 _H	0C40 _H	○	○	○	
189	ICUSFA012	617A _H	INTUSFA012	USBF レジューム	USBF	190	0C50 _H	0C50 _H	○	○	○	
190	ICUSHA010	617C _H	INTUSHA010	USBH PCI サイクル・エラー	USBH	191	0C60 _H	0C60 _H	○	○	○	
191	ICUSHA011	617E _H	INTUSHA011	USBH ステータス検出	USBH	192	0C70 _H	0C70 _H	○	○	○	
192	ICUSHA0PME	6180 _H	INTUSHA0PME	USB HOST PME (パワーマネジメント)	USBH	193	0C80 _H	0C80 _H	○	○	○	
193	ICDMA0	6182 _H	INTDMA0	DMA チャネル 0 転送終了	DMAC	194	0C90 _H	0C90 _H	○	○	○	
194	ICDMA1	6184 _H	INTDMA1	DMA チャネル 1 転送終了	DMAC	195	0CA0 _H	0CA0 _H	○	○	○	
195	ICDMA2	6186 _H	INTDMA2	DMA チャネル 2 転送終了	DMAC	196	0CB0 _H	0CB0 _H	○	○	○	
196	ICDMA3	6188 _H	INTDMA3	DMA チャネル 3 転送終了	DMAC	197	0CC0 _H	0CC0 _H	○	○	○	
197	ICDMA4	618A _H	INTDMA4	DMA チャネル 4 転送終了	DMAC	198	0CD0 _H	0CD0 _H	○	○	○	
198	ICDMA5	618C _H	INTDMA5	DMA チャネル 5 転送終了	DMAC	199	0CE0 _H	0CE0 _H	○	○	○	
199	ICDMA6	618E _H	INTDMA6	DMA チャネル 6 転送終了	DMAC	200	0CF0 _H	0CF0 _H	○	○	○	
200	ICDMA7	6190 _H	INTDMA7	DMA チャネル 7 転送終了	DMAC	201	0D00 _H	0D00 _H	○	○	○	
201	ICDMA8	6192 _H	INTDMA8	DMA チャネル 8 転送終了	DMAC	202	0D10 _H	0D10 _H	○	○	○	
202	ICDMA9	6194 _H	INTDMA9	DMA チャネル 9 転送終了	DMAC	203	0D20 _H	0D20 _H	○	○	○	
203	ICDMA10	6196 _H	INTDMA10	DMA チャネル 10 転送終了	DMAC	204	0D30 _H	0D30 _H	○	○	○	
204	ICDMA11	6198 _H	INTDMA11	DMA チャネル 11 転送終了	DMAC	205	0D40 _H	0D40 _H	○	○	○	
205	ICDMA12	619A _H	INTDMA12	DMA チャネル 12 転送終了	DMAC	206	0D50 _H	0D50 _H	○	○	○	
206	ICDMA13	619C _H	INTDMA13	DMA チャネル 13 転送終了	DMAC	207	0D60 _H	0D60 _H	○	○	○	
207	ICDMA14	619E _H	INTDMA14	DMA チャネル 14 転送終了	DMAC	208	0D70 _H	0D70 _H	○	○	○	
208	ICDMA15	61A0 _H	INTDMA15	DMA チャネル 15 転送終了	DMAC	209	0D80 _H	0D80 _H	○	○	○	
209	ICDMACT0	61A2 _H	INTDMACT0	DMA チャネル 0 転送回数一 致 (Next アドレス指定機能用)	DMAC	210	0D90 _H	0D90 _H	○	○	○	
210	ICDMACT1	61A4 _H	INTDMACT1	DMA チャネル 1 転送回数一 致 (Next アドレス指定機能用)	DMAC	211	0DA0 _H	0DA0 _H	○	○	○	
211	ICDMACT2	61A6 _H	INTDMACT2	DMA チャネル 2 転送回数一 致 (Next アドレス指定機能用)	DMAC	212	0DB0 _H	0DB0 _H	○	○	○	
212	ICDMACT3	61A8 _H	INTDMACT3	DMA チャネル 3 転送回数一 致 (Next アドレス指定機能用)	DMAC	213	0DC0 _H	0DC0 _H	○	○	○	
213	ICDMACT4	61AA _H	INTDMACT4	DMA チャネル 4 転送回数一 致 (Next アドレス指定機能用)	DMAC	214	0DD0 _H	0DD0 _H	○	○	○	
214	ICDMACT5	61AC _H	INTDMACT5	DMA チャネル 5 転送回数一 致 (Next アドレス指定機能用)	DMAC	215	0DE0 _H	0DE0 _H	○	○	○	
215	ICDMACT6	61AE _H	INTDMACT6	DMA チャネル 6 転送回数一 致 (Next アドレス指定機能用)	DMAC	216	0DF0 _H	0DF0 _H	○	○	○	
216	ICDMACT7	61B0 _H	INTDMACT7	DMA チャネル 7 転送回数一 致 (Next アドレス指定機能用)	DMAC	217	0E00 _H	0E00 _H	○	○	○	

表 9-5 EI レベル・マスク割込み要因一覧 (11/12)

チャネル	割り込み 制御レジスタ		割り込み要求			デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	名称	アドレス FFFF...	名称	発生要因	発生 ユニッ ト				μPD70F3510	μPD70F3512	μPD70F3514,70F3515
217	ICDMACT8	61B2 _H	INTDMACT8	DMA チャネル 8 転送回数一致 (Next アドレス指定機能用)	DMAC	218	0E10 _H	0E10 _H	○	○	○
218	ICDMACT9	61B4 _H	INTDMACT9	DMA チャネル 9 転送回数一致 (Next アドレス指定機能用)	DMAC	219	0E20 _H	0E20 _H	○	○	○
219	ICDMACT10	61B6 _H	INTDMACT10	DMA チャネル 10 転送回数一致 (Next アドレス指定機能用)	DMAC	220	0E30 _H	0E30 _H	○	○	○
220	ICDMACT11	61B8 _H	INTDMACT11	DMA チャネル 11 転送回数一致 (Next アドレス指定機能用)	DMAC	221	0E40 _H	0E40 _H	○	○	○
221	ICDMACT12	61BA _H	INTDMACT12	DMA チャネル 12 転送回数一致 (Next アドレス指定機能用)	DMAC	222	0E50 _H	0E50 _H	○	○	○
222	ICDMACT13	61BC _H	INTDMACT13	DMA チャネル 13 転送回数一致 (Next アドレス指定機能用)	DMAC	223	0E60 _H	0E60 _H	○	○	○
223	ICDMACT14	61BE _H	INTDMACT14	DMA チャネル 14 転送回数一致 (Next アドレス指定機能用)	DMAC	224	0E70 _H	0E70 _H	○	○	○
224	ICDMACT15	61C0 _H	INTDMACT15	DMA チャネル 15 転送回数一致 (Next アドレス指定機能用)	DMAC	225	0E80 _H	0E80 _H	○	○	○
225	ICHDMAERR	61C2 _H	INTHDMAERR	S_DMA エラー応答	S_DMAL	226	0E90 _H	0E90 _H	○	○	○
226	ICHDMA0	61C4 _H	INTHDMA0	S_DMA チャネル 0 転送終了 (外部)	S_DMAL	227	0EA0 _H	0EA0 _H	○	○	○
227	ICHDMA1	61C6 _H	INTHDMA1	S_DMA チャネル 1 転送終了 (外部)	S_DMAL	228	0EB0 _H	0EB0 _H	○	○	○
228	ICHDMA2	61C8 _H	INTHDMA2	S_DMA チャネル 2 転送終了 (外部)	S_DMAL	229	0EC0 _H	0EC0 _H	○	○	○
229	ICHDMA3	61CA _H	INTHDMA3	S_DMA チャネル 3 転送終了 (外部)	S_DMAL	230	0ED0 _H	0ED0 _H	○	○	○
230	ICHDMA4	61CC _H	INTHDMA4	S_DMA チャネル 4 転送終了 (要因 DMA チャネル 0 終了)	S_DMAL	231	0EE0 _H	0EE0 _H	○	○	○
231	ICHDMA5	61CE _H	INTHDMA5	S_DMA チャネル 5 転送終了 (要因 DMA チャネル 1 終了)	S_DMAL	232	0EF0 _H	0EF0 _H	○	○	○
232	ICHDMA6	61D0 _H	INTHDMA6	S_DMA チャネル 6 転送終了 (要因 DMA チャネル 2 終了)	S_DMAL	233	0F00 _H	0F00 _H	○	○	○
233	ICHDMA7	61D2 _H	INTHDMA7	S_DMA チャネル 7 転送終了 (要因 DMA チャネル 3 終了)	S_DMAL	234	0F10 _H	0F10 _H	○	○	○
234	Reserved	61D4 _H	Reserved			235	0F20 _H	0F20 _H	×	×	×
235	Reserved	61D6 _H	Reserved			236	0F30 _H	0F30 _H	×	×	×
236	Reserved	61D8 _H	Reserved			237	0F40 _H	0F40 _H	×	×	×
237	Reserved	61DA _H	Reserved			238	0F50 _H	0F50 _H	×	×	×
238	Reserved	61DC _H	Reserved			239	0F60 _H	0F60 _H	×	×	×
239	Reserved	61DE _H	Reserved			240	0F70 _H	0F70 _H	×	×	×
240	Reserved	61E0 _H	Reserved			241	0F80 _H	0F80 _H	×	×	×
241	Reserved	61E2 _H	Reserved			242	0F90 _H	0F90 _H	×	×	×
242	Reserved	61E4 _H	Reserved			243	0FA0 _H	0FA0 _H	×	×	×
243	Reserved	61E6 _H	Reserved			244	0FB0 _H	0FB0 _H	×	×	×
244	Reserved	61E8 _H	Reserved			245	0FC0 _H	0FC0 _H	×	×	×

表 9-5 EI レベル・マスクブル割り込み要因一覧 (12/12)

割り込み			割り込み要求				対応製品				
チャネル	制御レジスタ		名称	発生要因	発生 ユニッ ト	デフォルト・プライオリティ	例外要因コード	ハンドラ・アドレス 0000...	対応製品		
	名称	アドレス FFFF...							μPD70F3510	μPD70F3512	μPD70F3514,70F3515
245	Reserved	61EA _H	Reserved			246	0FD0 _H	0FD0 _H	×	×	×
246	Reserved	61EC _H	Reserved			247	0FE0 _H	0FE0 _H	×	×	×
247	Reserved	61EE _H	Reserved			248	0FF0 _H	0FF0 _H	×	×	×
248	Reserved	61F0 _H	Reserved			249	1000 _H	1000 _H	×	×	×
249	Reserved	61F2 _H	Reserved			250	1010 _H	1010 _H	×	×	×
250	Reserved	61F4 _H	Reserved			251	1020 _H	1020 _H	×	×	×
251	Reserved	61F6 _H	Reserved			252	1030 _H	1030 _H	×	×	×
252	Reserved	61F8 _H	Reserved			253	1040 _H	1040 _H	×	×	×
253	Reserved	61FA _H	Reserved			254	1050 _H	1050 _H	×	×	×
254	Reserved	61FC _H	Reserved			255	1060 _H	1060 _H	×	×	×
255	Reserved	61FE _H	Reserved			256	1070 _H	1070 _H	×	×	×

- 備考**
- ：使用可能
×：使用禁止
△：機能制限あり
 - デフォルト・プライオリティについて
複数の同一優先順位レベルの EI レベル・マスクブル割り込み要求が同時に発生している場合に優先される順位です。0 が最高優先順位です。

9.3 割り込みコントローラ制御レジスタ

9.3.1 EICn (n=0-255) : EI レベル割り込み制御レジスタ

EI レベル・マスカブル割り込み (EIINT) のチャンネルごとに設け、各チャンネルの制御条件を設定します。ビット 15-13, 11-8, 6-4 には必ず 0 を設定してください。

EICn レジスタは必ずバイト・ライトまたはハーフワード・ライトにより更新してください。

アクセス 16 ビット単位でリード/ライト可能です。ただし、EICn レジスタの上位 8 ビットを EICnH レジスタ、下位 8 ビットを EICnL レジスタとして使用する場合は、8/1 ビット単位でリード/ライト可能です。

アドレス FFFF6000_H + n×02_H

初期値 008F_H どのリセット要因でも初期化されます。

注意 表 9-5 「EI レベル・マスカブル割り込み要因一覧」にないチャンネルの EICn レジスタにはアクセスしないでください

15	14	13	12	11	10	9	8
0	0	0	EIRFn	0	0	0	0
R	R	R	R/W	R	R	R	R
7	6	5	4	3	2	1	0
EIMKn	0	0	0	EIP3n	EIP2n	EIP1n	EIP0n
R/W	R	R	R	R/W	R/W	R/W	R/W

表 9-6 EICn レジスタの内容

ビット位置	ビット名	意味
12	EIRFn	割り込み要求フラグです。 EIRFn ビットはプログラムから書き込み可能です。EIRFn ビットをセット (1) すると、割り込み要求を受け付けた場合と同じように、EI レベル・マスカブル割り込み n (EIINTn) を発生します。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり
7	EIMKn	割り込みマスク・ビットです。EIMKn ビットがセットされている場合は、割り込み要求フラグ (EIRFn) へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われないようにします。また EIMKn ビットがセットされているチャンネルからは、ICSR.PMF ビットによる割り込み保留表示は行われません。EIMKn ビットは割り込み入力端子からの入力そのものをマスクするわけではないので、EIMKn ビットがセットされていても割り込み要求フラグはセットされます。割り込みマスク・レジスタ (IMR) の対応するビットの設定も反映されます。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (初期値)
3-0	EIP3n- EIP0n	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。EIP3n-EIP0n ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

9.3.2 IMRm (m = 0-15) : EI レベル割り込みマスク・レジスタ

EICn レジスタの EIMKn ビットの集合レジスタです。IMRm レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMRm レジスタへの設定は対応する EIMKn ビットへ反映されます。

アクセス 16/8/1 ビット単位でリード/ライト可能です。8/1 ビット単位でのアクセスでは上位 8 ビット [15:8] が IMRmH レジスタ, 下位 8 ビット [7:0] が IMRmL レジスタへのアクセスになります。

アドレス IMR0 : FFFF6400_H IMR1 : FFFF6402_H
 IMR2 : FFFF6404_H IMR3 : FFFF6406_H
 IMR4 : FFFF6408_H IMR5 : FFFF640A_H
 IMR6 : FFFF640C_H IMR7 : FFFF640E_H
 IMR8 : FFFF6410_H IMR9 : FFFF6412_H
 IMR10 : FFFF6414_H IMR11 : FFFF6416_H
 IMR12 : FFFF6418_H IMR13 : FFFF641A_H
 IMR14 : FFFF641C_H IMR15 : FFFF641E_H

初期値 FFFF_H どのリセット要因でも初期化されます。

注意 表 9-5 「EI レベル・マスカブル割り込み要因一覧」にないチャンネルに対応する EIMKn ビットには、必ず 1 を設定してください。

15	14	13	12	11	10	9	8
EIMK m×16+15	EIMK m×16+14	EIMK m×16+13	EIMK m×16+12	EIMK m×16+11	EIMK m×16+10	EIMK m×16+9	EIMK m×16+8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
EIMK m×16+7	EIMK m×16+6	EIMK m×16+5	EIMK m×16+4	EIMK m×16+3	EIMK m×16+2	EIMK m×16+1	EIMK m×16+0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9-7 IMRm レジスタの内容

ビット位置	ビット名	意味
15-0	EIMK15-0	EI レベル・マスカブル割り込み (EIINT) のチャンネル 0 からチャンネル 15 の割り込みマスク・ビットです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止

9.3.3 ISPR : イン・サービス・プライオリティ・レジスタ

CPU コアで処理中の EI レベル・マスカブル割り込み (EIINT) の割り込み優先度を保持します。CPU コアから割り込み要求の受け付け応答を受け取ると、その割り込み要求の割り込み優先度に対応するビットがセットされます。CPU コアから割り込み処理の終了通知を受け取ると、セットされているビットのうち最も優先度が高いビットが自動的にクリアされます。FE レベルの割り込みからの復帰の場合はクリアされません。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが発生すると受け付けられた優先度に対応するビットを順にセットし多重割り込みをした割り込み優先度の履歴を保持します。

ISPC レジスタへ 16 ビット単位で同時に 1 をライトした後、ISPR レジスタへ 16 ビット単位で同時に 0 をライトすると ISPR の全ビットをクリアすることができます。任意ビットのクリアやセットをソフトウェアで行うことはできません。一度クリアしてしまうと元の値に復旧させることはできません。8 ビット単位でのアクセスでは上位 8 ビット [15:8] が ISPRH レジスタ、下位 8 ビット [7:0] が ISPRL レジスタへのアクセスになります。

アクセス 16/8 ビット単位でリードのみ可能です。
8 ビット単位でのアクセスでは上位 8 ビット [15:8] が ISPRH レジスタ、下位 8 ビット [7:0] が ISPRL レジスタへのアクセスになります。

アドレス FFFF6440_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
ISPR15	ISPR14	ISPR13	ISPR12	ISPR11	ISPR10	ISPR9	ISPR8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0
R	R	R	R	R	R	R	R

表 9-8 ISPR レジスタの内容

ビット位置	ビット名	意味
15-0	ISPR15- ISPR0	受け付け中の割り込み優先順位を示します。 0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中

9.3.4 PMR : プライオリティ・マスク・レジスタ

EI レベル・マスカブル割り込み (EIINT) の割り込み要求フラグをマスクする割り込み優先度を指定します。このレジスタで指定された割り込み優先度が設定されている EIINT のチャンネルからの割り込み要求を一括で禁止します。

ビット位置と割り込み優先度値が対応しており、例えばビット0に1を設定すると割り込み優先度0のチャンネルをマスクすることができます。

アクセス 16/8/1 ビット単位でリード/ライト可能です。8/1 ビット単位でのアクセスでは上位8ビット [15:8] が PMRH レジスタ、下位8ビット [7:0] が PMRL レジスタへのアクセスになります。

アドレス FFFF6448_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
PMR15	PMR14	PMR13	PMR12	PMR11	PMR10	PMR9	PMR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9-9 PMR レジスタの内容

ビット位置	ビット名	意味
15-0	PMR15-PMR0	割り込み要求フラグをマスクする割り込み優先度を推奨します。 0 : ビット位置に対応する割り込み優先度の割り込み処理を許可 (初期値) 1 : ビット位置に対応する割り込み優先度の割り込み処理を禁止

9.3.5 ISPC : イン・サービス・プライオリティ・マスク・レジスタ

ISPC レジスタの全ビットへ同時に 1 をライトし、次に ISPR レジスタの全ビットに同時に 0 をライトすると、ISPR レジスタの全ビットを 0 にクリアすることができます。同時に ICSR レジスタの FE レベル NMI の処理モード、FE レベル・マスカブル割り込み (FEINT) の処理モード、EI レベル・マスカブル割り込み (EIINT) の処理モードがすべて解除されます。これにより割り込み要求が CPU コアで処理中であることを管理している割り込みコントローラ内の割り込み処理のモード・レジスタがすべてクリアされることになります。これらの一度クリア (0) された内容は、ソフトウェアで復旧させることはできません。

ISPR レジスタの全ビットへの 0 のライトにより ISPR がクリア (0) されると、ISPC レジスタの値も自動的にクリア (0) されます。ISPC レジスタへリード・アクセスを行った場合に読み出される値は、全ビットに 1 を書き込んだあとは、全ビットから 1 が読み出され、リセット後や ISPR レジスタのクリア後は、全ビットから 0 が読み出されます。全ビット同時に 1 または 0 ではないライト・アクセスではビットの値は変化しません。また全ビットが 1 の状態で全ビットに 0 をライトすると ISPC レジスタのビットの値はすべて 0 にクリアされ、ISPR レジスタの値は変化しません。

アクセス 16 ビット単位でのみリード/ライト可能です。

アドレス FFFF6450_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
ISPC15	ISPC14	ISPC13	ISPC12	ISPC11	ISPC10	ISPC9	ISPC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ISPC7	ISPC6	ISPC5	ISPC4	ISPC3	ISPC2	ISPC1	ISPC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9-10 ISPC レジスタの内容

ビット位置	ビット名	意味
15-0	ISPC15- ISPC0	全ビットから 1 または全ビットから 0 が読み出されます。全ビットから 1 が読み出される場合に ISPR の全ビットに 0 をライトすると ISPR をクリアできます。

9.3.6 SCR : 選択チャンネル保持レジスタ

CPUに受け付けられたEIレベル・マスクブル割り込み（EIINT）のチャンネル番号を保持します。ソフトウェアでライトすることはできません。CPUコアへ割り込みベクタを通知するタイミングで値が更新されます。EIINTの多重割り込み要求が受け付けられた場合は上書きされるので注意してください。FEレベルの割り込み要求が受け付けられた場合は更新されません。

アクセス 16/8ビット単位でリードのみ可能です。8ビット単位でのアクセスでは上位8ビット [15:8] が SCRH レジスタ, 下位8ビット [7:0] が SCRL レジスタへのアクセスになります。

アドレス FFFF6458_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0
R	R	R	R	R	R	R	R

表 9-11 SCR レジスタの内容

ビット位置	ビット名	意味
7-0	SCR7- SCR0	CPUによって受け付けられたマスクブル割り込みのチャンネル番号を保持します。CPUコアへ割り込みベクタを通知するタイミングで値が更新されます。EIレベル・マスクブル割り込み（EIINT）の多重割り込みが受け付けられた場合は上書きされます。FEレベルの割り込みが受け付けられた場合には更新されません。このレジスタへのライト・アクセスでは何も起こりません。

9.3.7 ICSR : 割り込みコントローラ・ステータス・レジスタ

割り込みコントローラの動作状態を示します。特にビット 2-0 は割り込み処理のモード・レジスタになります。ソフトウェアでライトすることはできません。

アクセス 16/8/1 ビット単位でリードのみ可能です。8/1 ビット単位でのアクセスでは上位 8 ビット [15:8] が ICSRH レジスタ, 下位 8 ビット [7:0] が ICSRL レジスタへのアクセスになります。

アドレス FFFF645A_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	PMF
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	FNR	FIR	EIR	0	FNE	FIE	EIE
R	R	R	R	R	R	R	R

表 9-12 ICSR レジスタの内容

ビット位置	ビット名	意味
8	RMF	PMR の設定で、割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスカブル割り込み (EIINT) のチャンネルの要求フラグがセットされていれば 1
6	FNR	FE レベル・ノンマスカブル割り込み (FENMI) を CPU へ要求中であれば 1
5	FIR	FE レベル・マスカブル割り込み (FEINT) を CPU へ要求中であれば 1
4	EIR	EI レベル・マスカブル割り込み (EIINT) を CPU へ要求中であれば 1
2	FNE	FE レベル・ノンマスカブル割り込み (FENMI) が CPU で処理中であれば 1
1	FIE	FE レベル・マスカブル割り込み (FEINT) が CPU で処理中であれば 1
0	EIE	EI レベル・マスカブル割り込み (EIINT) が CPU で処理中であれば 1

9.3.8 FNC : FE レベル NMI 制御レジスタ

FE レベル・ノンマスカブル割り込み (FENMI) の制御条件を設定します。

アクセス 16/8/1 ビット単位でリードのみ可能です。8/1 ビット単位でのアクセスでは、上位 8 ビット [15:8] が FNCH レジスタへのアクセスになります。

アドレス FFFF645C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	FNRF	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 9-13 FNC レジスタの内容

ビット位置	ビット名	意味
12	FNRF	割り込み要求フラグです。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

9.3.9 FIC : FE レベル・マスカブル割り込み制御レジスタ

FE レベル・マスカブル割り込み (FEINT) の制御条件を設定します。

アクセス 16/8/1 ビット単位でリードのみ可能です。8/1 ビット単位でのアクセスでは、上位 8 ビット [15:8] が FICH レジスタへのアクセスになります。

アドレス FFFF645E_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	FIRF	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 9-14 FNC レジスタの内容

ビット位置	ビット名	意味
12	FIRF	割り込み要求フラグです。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

9.4 割り込みの受け付けと復帰

割り込み受け付け時の動作と割り込み処理からの復帰について説明します。

9.4.1 FENMI 割り込み要求による FE レベル・ノンマスクابل割り込み

FENMI 割り込みが要求されると、CPU で FE レベル・ノンマスクابل割り込みが発生します。この FE レベル・ノンマスクابل割り込みは、システムの致命的エラーが発生した場合などに利用します。

注意 FENMI は、一度割り込みを受け付けると FERET 命令を実行するまで、次の FENMI, FEINT, EIINT 割り込み発生は保留されます（要求の受け付けと、要求の保持は行います）。
FENMI は、NP ビット = 1 のときでも受け付け可能です。このため、FEINT 例外、PPI 例外、その他の FE レベル例外を処理中に FENMI 割り込みが発生した場合、退避アドレスを失い復帰できません。FENMI 割り込みを要求し、所望の処理を完了したあとは、システム・リセットなどを実行してください。元の処理への復帰はできません。

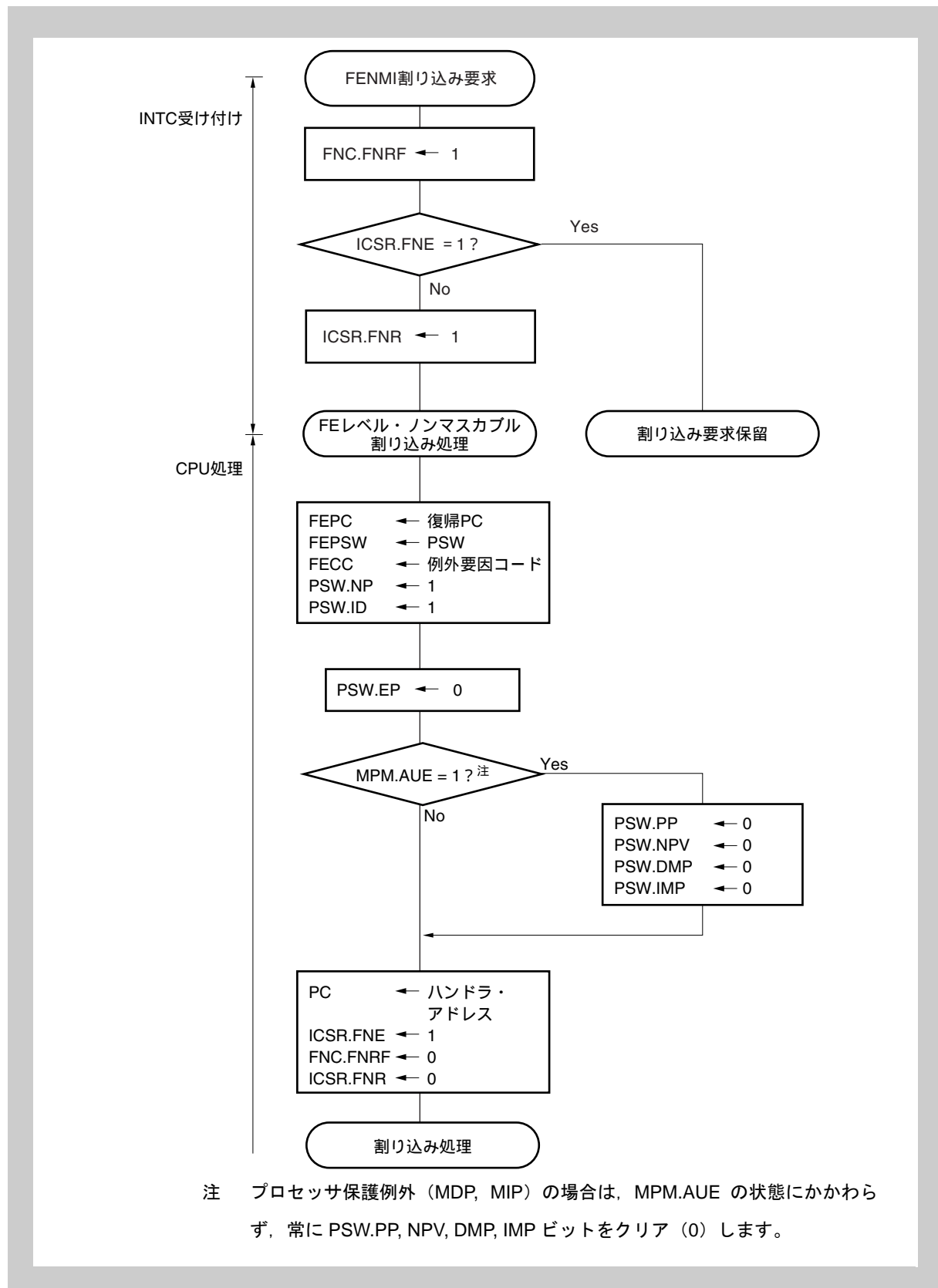


図 9-1 FENMI 割り込み要求時の処理

9.4.2 FE レベル・ノンマスクابل割り込み（FENMI）からの復帰

FE レベル・ノンマスクابل割り込み（FENMI）は、システムの致命的エラーが発生した場合などに利用する割り込みのため、復帰はできません。例外処理後にシステム・リセットを行ってください。

9.4.3 FEINT 割り込み要求による FE レベル・マスクابل割り込み

FEINT 端子により FEINT 割り込みが要求されると、FE レベル・マスクابل割り込みが発生します。この割り込みは回復可能な FE レベルの割り込みです。

FEINT は、一度割り込みを受け付けると FERET 命令を実行するまで、次の FEINT, EIINT 割り込み発生は保留されます。割り込み要求の受け付けと、要求の保持は行います。

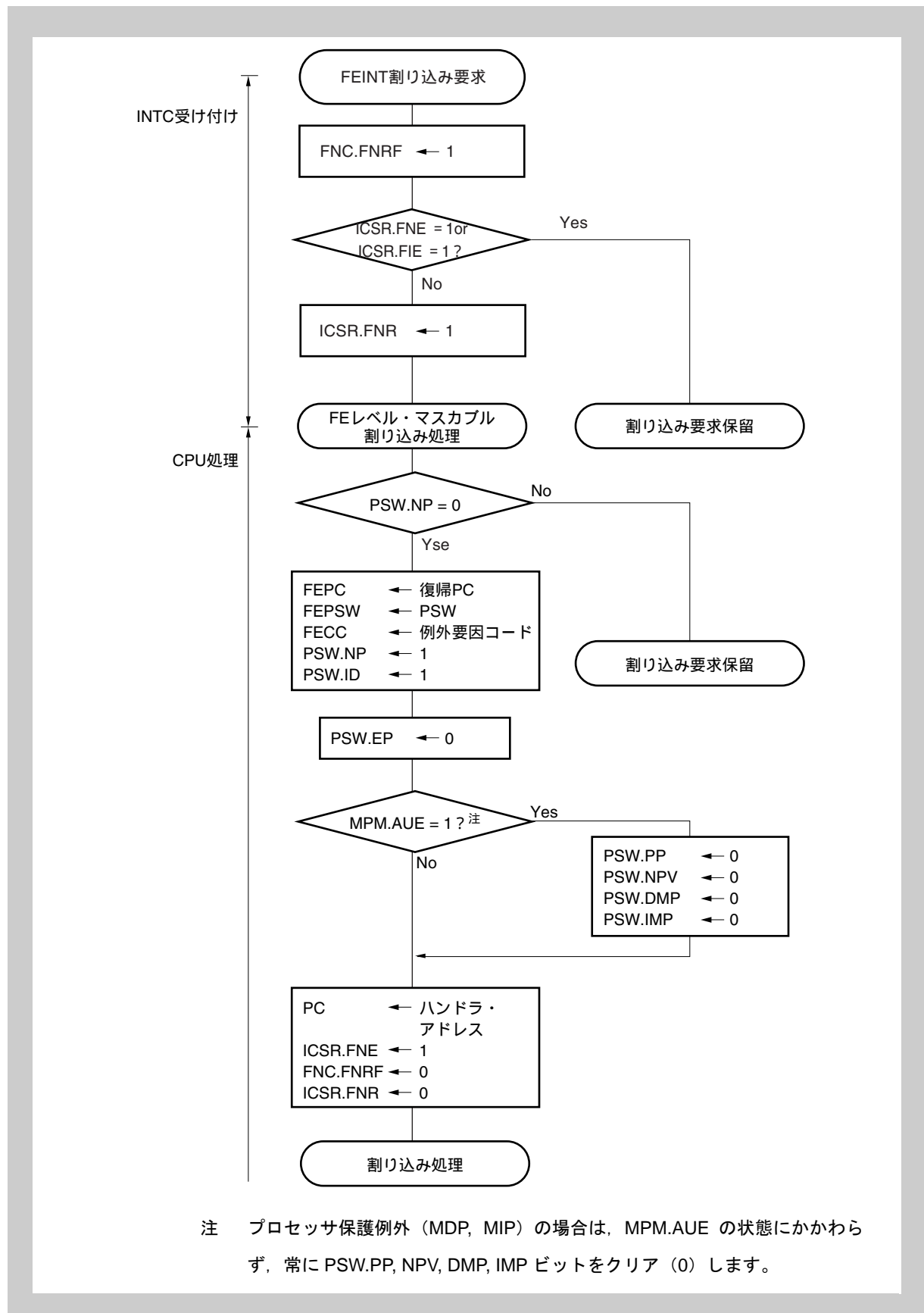


図 9-2 FEINT 割り込み要求時の処理

9.4.4 FE レベル・マスク割り込み (FEINT) からの復帰

FE レベル・マスク割り込み (FEINT) 処理からの復帰には、FERET 命令を使用します。PSW.EP ビットがクリア (0) されている状態で FERET 命令を実行すると FE レベル・マスク割り込み (FEINT) からの復帰処理を行います。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR、ISPR などのレジスタのクリアが行われません)。FE レベル・マスク割り込み (FEINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で FERET 命令を実行してください。

注意 V850E2M CPU コアでは、V850E1、V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて、EIRET 命令または FERET 命令に置き換えて使用してください。

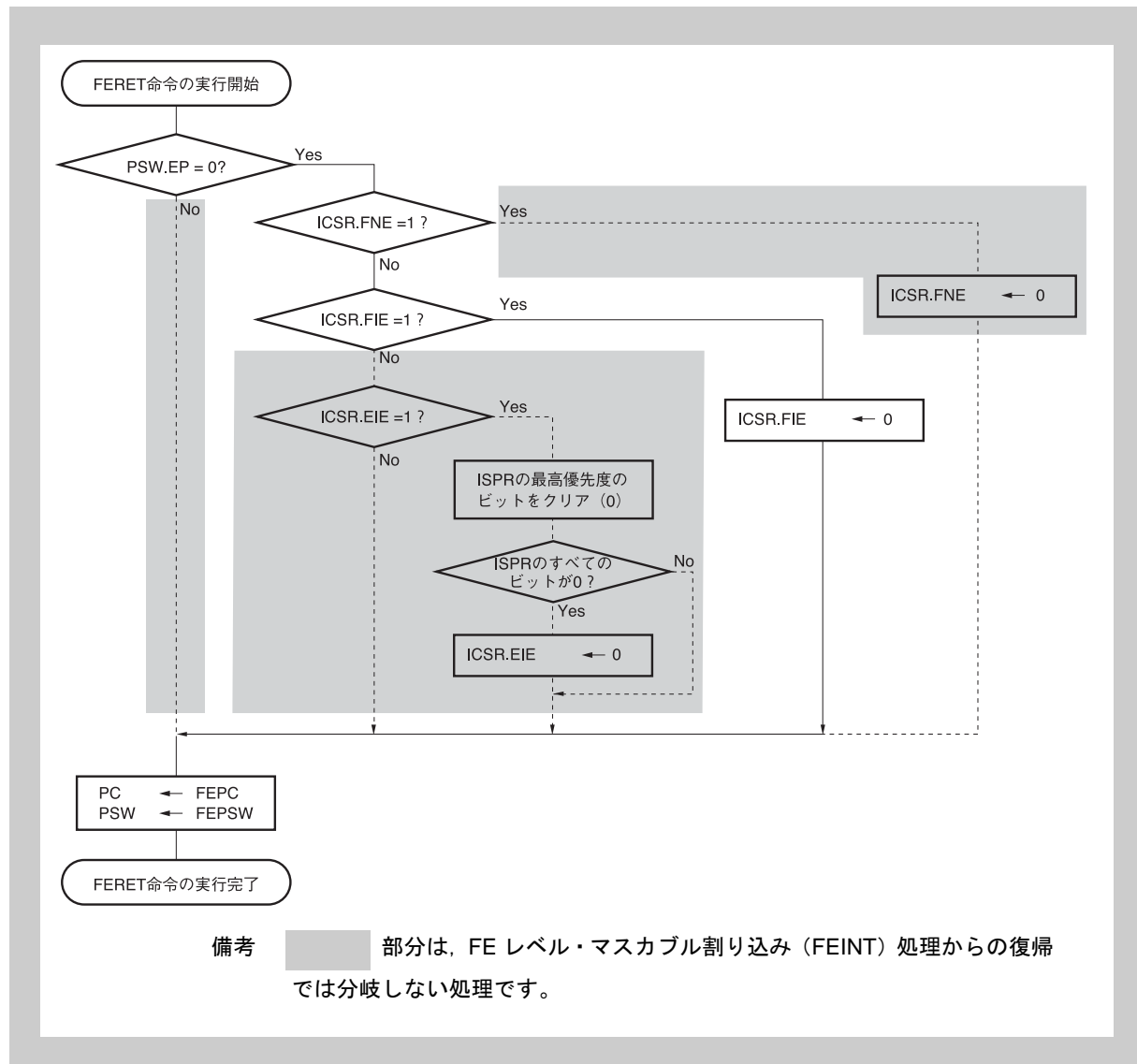


図 9-3 FE レベル・マスク割り込み (FEINT) 処理からの復帰

9.4.5 EIINT 割り込み要求による EI レベル・マスカブル割り込み

EI レベル・マスカブル割り込みが要求されると、CPU に EIINT 割り込み要求を行います（割り込みハンドラへの移行は、INTC の IMR レジスタ設定により発生します）。この割り込みは回復可能な EI レベルの割り込みです。

EIINT 割り込みでは、割り込み入力のあったチャンネル番号を SCR レジスタへ設定します。これにより、複数のチャンネルで同じ割り込みベクタを共有したい場合などに簡単にチャンネル番号を知ることができます。

注意 EI レベル割り込みを受け付けると、ISPR レジスタ（イン・サービス・プライオリティ・レジスタ）には現在受け付けた割り込み優先度が記録されます。これ以降、EIRET 命令を発行するまで、この ISPR レジスタの割り込み優先度以下の割り込みは、発生しません。割り込み要求の受け付け／保持は行いません。

ISPR レジスタへの「現在受け付けた割り込み優先度の登録」「EIRET 時の割り込み優先度の削除」は、ハードウェアが自動的に行います。ソフトウェアでの ISPR レジスタへの書き込みはできません。書き込みは無視されます。

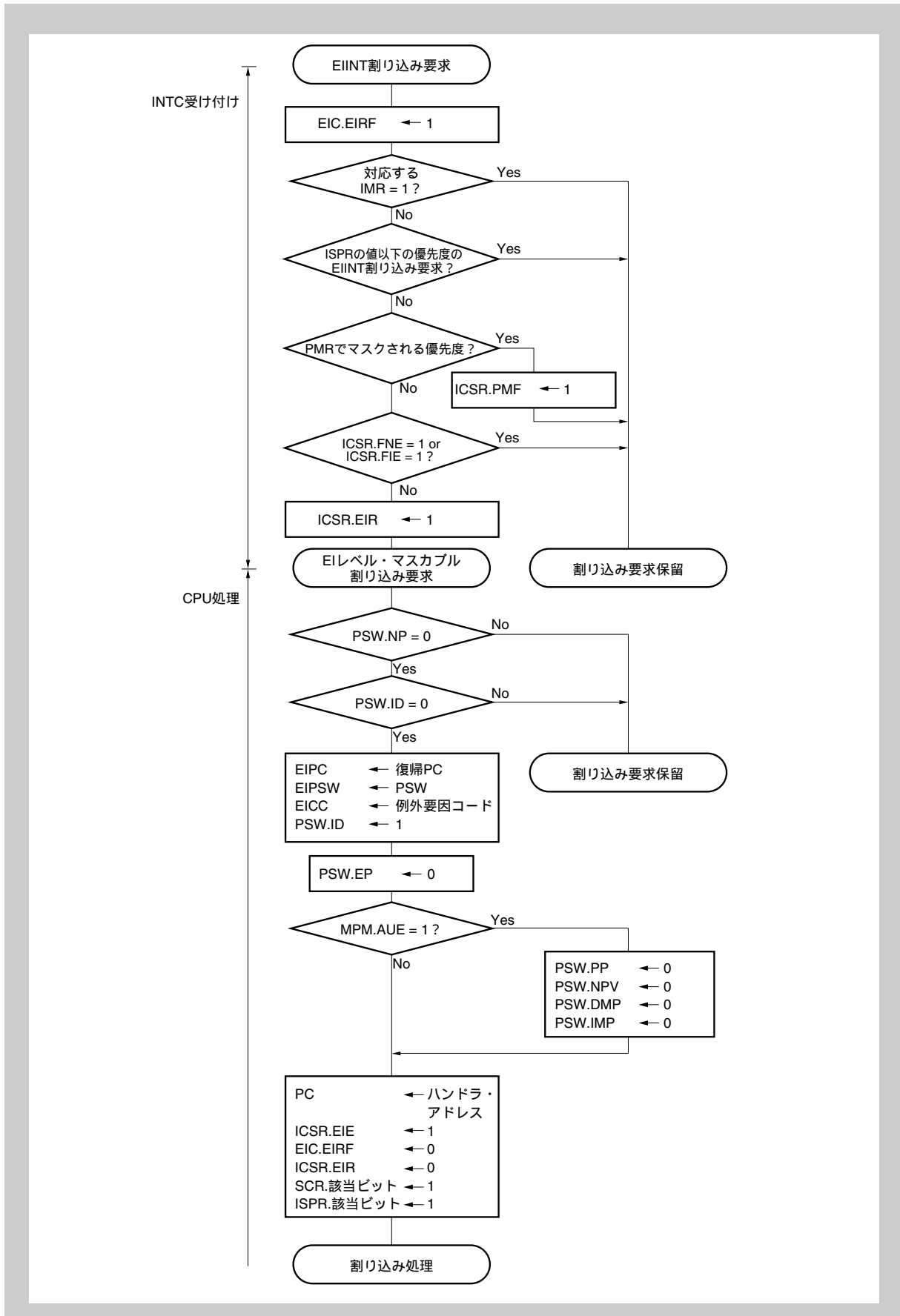


図 9-4 EIINT 割り込み要求時の処理

9.4.6 EI レベル・マスクブル割り込み (EIINT) からの復帰

EI レベル・マスクブル割り込み (EIINT) 処理からの復帰には、EIRET 命令を使用します。PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行すると EI レベル・マスクブル割り込み (EIINT) からの復帰処理をおこないます。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR、ISPR などのレジスタのクリアが行われません)。EI レベル・マスクブル割り込み (EIINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行してください。

注意 V850E2-V3 CPU コアでは、V850E1、V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて、EIRET 命令または FERET 命令に置き換えて使用してください。

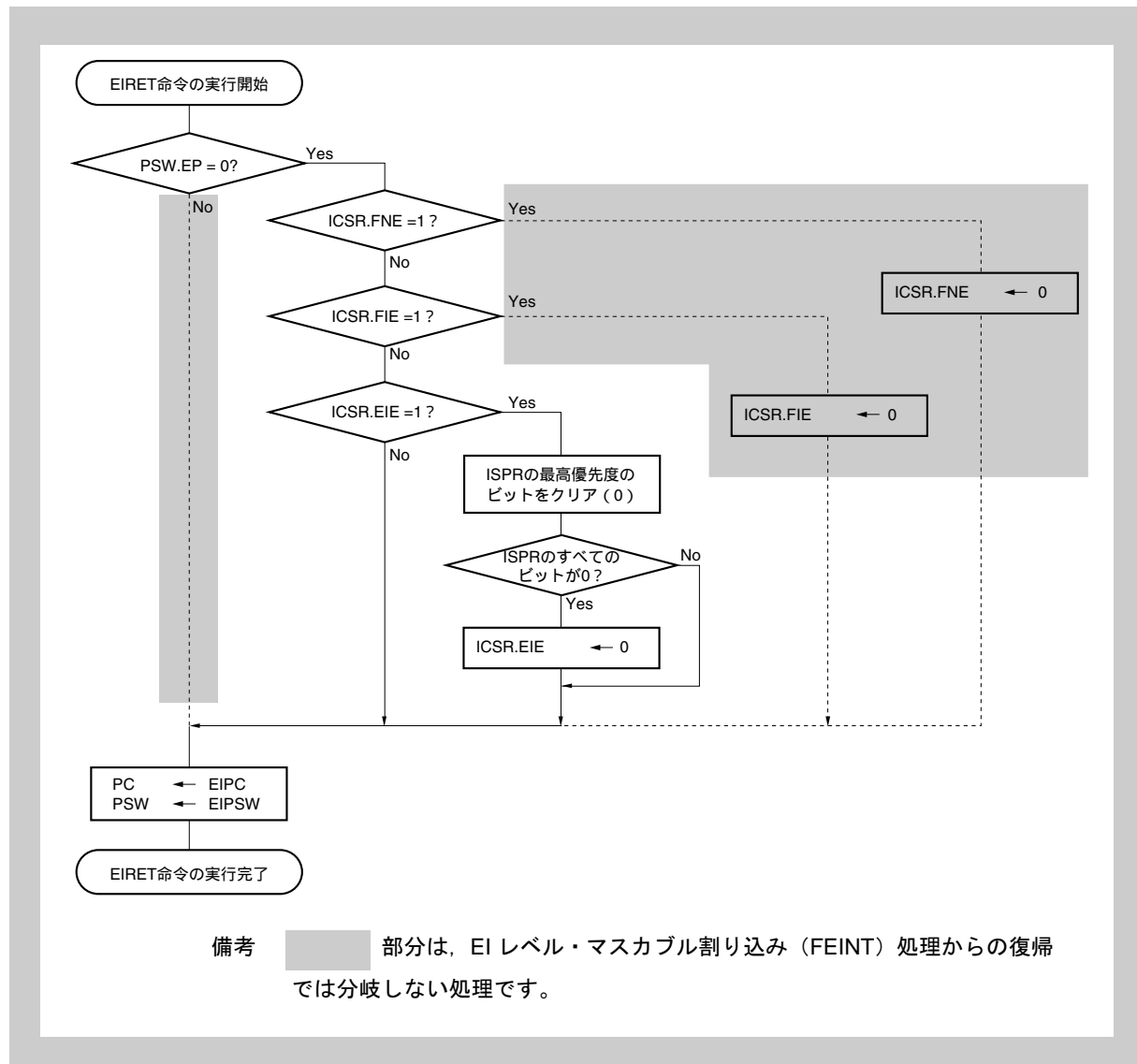


図 9-5 EI レベル・マスクブル割り込み (EIINT) 処理からの復帰

9.5 割り込み動作

9.5.1 EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能

EIINT は、それぞれの割り込みチャンネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

EICn.EIMKn	動作
1	割り込みをマスクします。
0	割り込みを許可します。

EICn.EIMKn ビットは、IMRm レジスタの対応する EIMKn ビットからもリード/ライト可能です。同じレジスタを共有しています。

- 【動作例】**
- (1) IMRm.EIMKn ビットに 1 を書き込むと、対応するチャンネルの割り込みは禁止されます。
 - (2) EICn.EIMKn ビットをリードすると 1 が読み出されます。

注意 EIMKn ビットでは、割り込みの保持以降の処理をマスクします。EIMKn ビットを 1 に設定しても、割り込み要求の受け付け、および保持は行われます。このため EIMKn ビットで割り込み禁止が指定されている割り込みに対して、ソフトウェアによる割り込みを要求しても割り込みは発生しません。また割り込み要求が保持されている状態で EIMKn ビットを 0 に再設定すると、その時点で割り込みが発生します。すでに保持されている割り込み要求を消去したい場合には、対応する EIRFn ビットをクリア (0) してください。

9.5.2 割り込み優先度判断

FE レベル・ノンマスカブル割り込み (FENMI)、FE レベル・マスカブル割り込み (FEINT)、EI レベル・マスカブル割り込み (EIINT) が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外 (割り込み含む) が要求されます。同時に要求された例外 (割り込み含む) は、あらかじめ割り付けてある優先順位 (デフォルト優先順位) で処理されます。割り込み FENMI, FEINT, EIINT の優先順位は次のとおりです。

FENMI > FEINT > EIINT

(その他の例外については、表 9-1 「例外要因一覧」、および V850E2M アーキテクチャ編 ユーザーズ・マニュアルを参照してください)

EIINT は各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、EIC0-EIC255.EIP3-EIP0 ビットで指定します。割り込み優先度は、0-15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT 割り込み間では、割り込みチャンネル番号のもっとも小さい割り込みが優先されます。

表 9-15 EIINT の割り込み優先度設定と動作の優先順位の例

EIINT	EIP3 to EIP0 設定	動作時の優先順位
EIINT0	3	10
EIINT1	4	11
EIINT2	0	1
EIINT3	0	2
EIINT4	1	3
EIINT5	2	6
EIINT6	2	7
EIINT7	1	4
EIINT8	1	5
EIINT9	2	8
EIINT10	2	9

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT 割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

(1) 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移りません。

(2) プライオリティ・マスク・レジスタ (PMR) によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。

(3) 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

最も高い優先度が設定されている割り込み要因のうち、複数の要因が同時に割り込み要求されている場合、割り込みチャンネル番号の最も小さいものが選択されます。

(4) CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み、FENMI 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みを選択します。

例 優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア (0) された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 9-6 「割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)」, 図 9-7 「同時発生した割り込み要求信号の処理例」に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態にしてください。

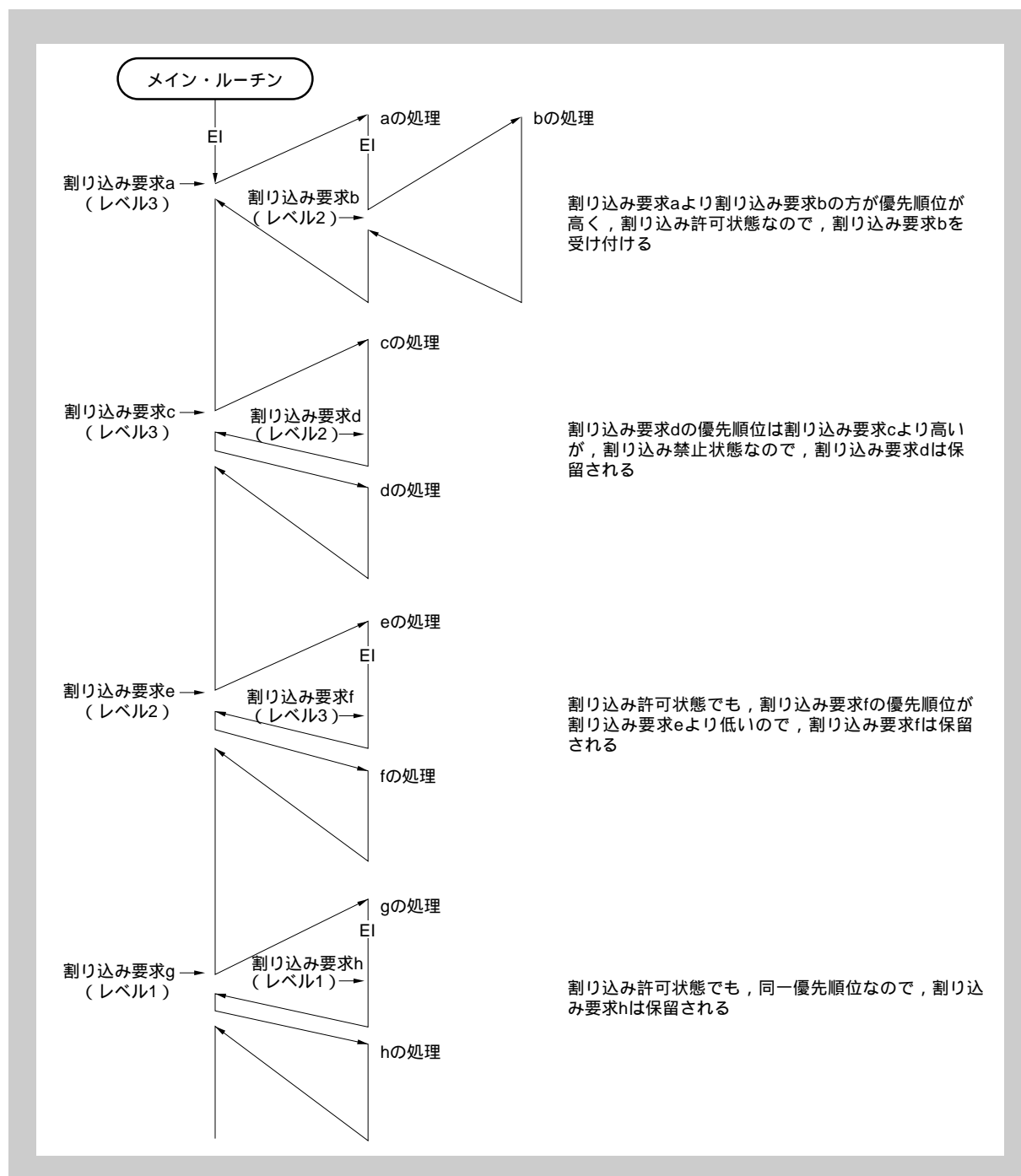


図 9-6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

注意 多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。

- 備考**
1. 図中の a-u は、各割り込み要求信号を区別するために付けた仮の名称です。
 2. 図中のデフォルト優先順位の高い/低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

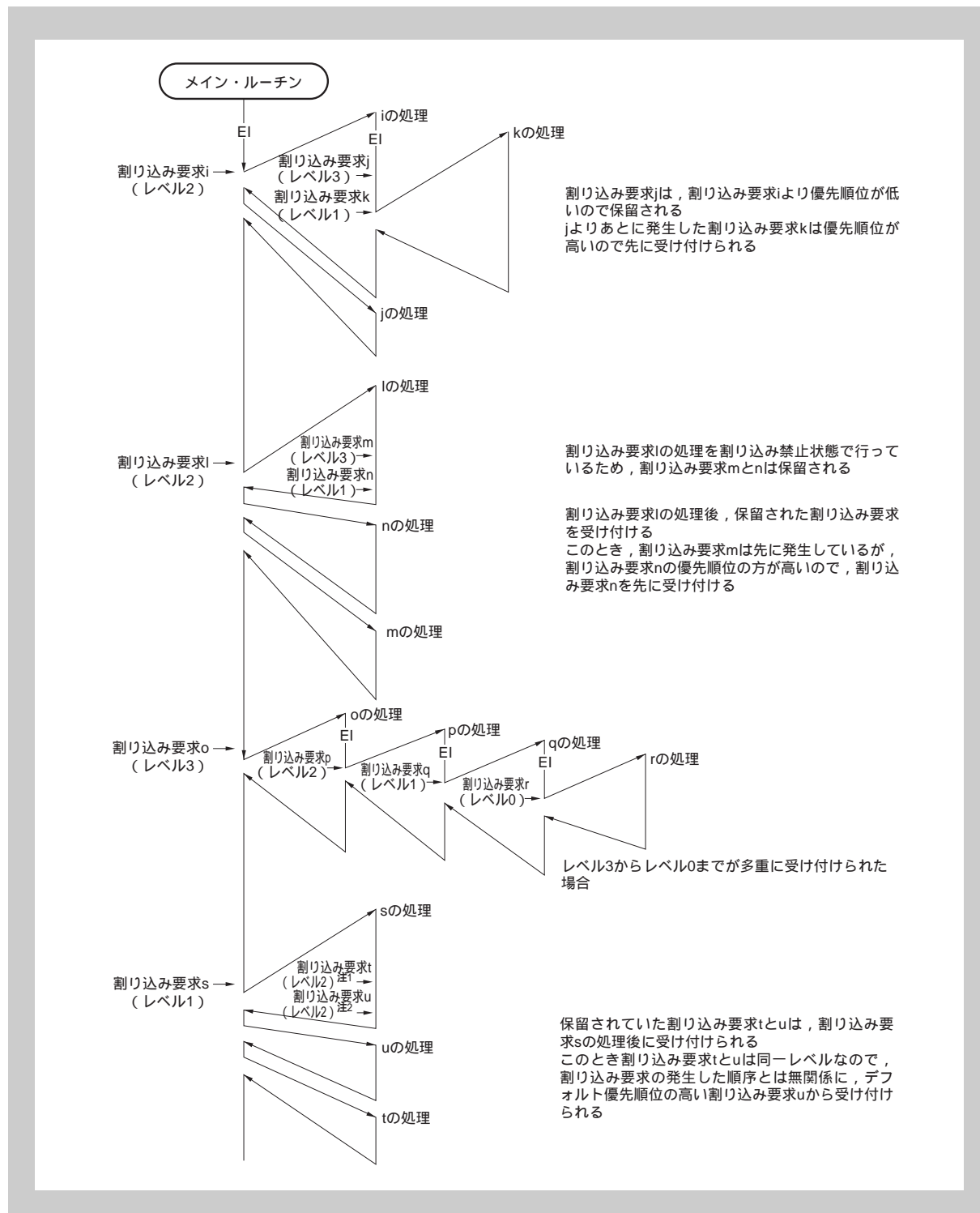


表 9-16 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

注意 多重割り込みを行うときはEI命令を実行する前に、EIPC、EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC、EIPSWの内容を復帰してください。

- 注 1. デフォルト優先順位が低い
- 2. デフォルト優先順位が高い

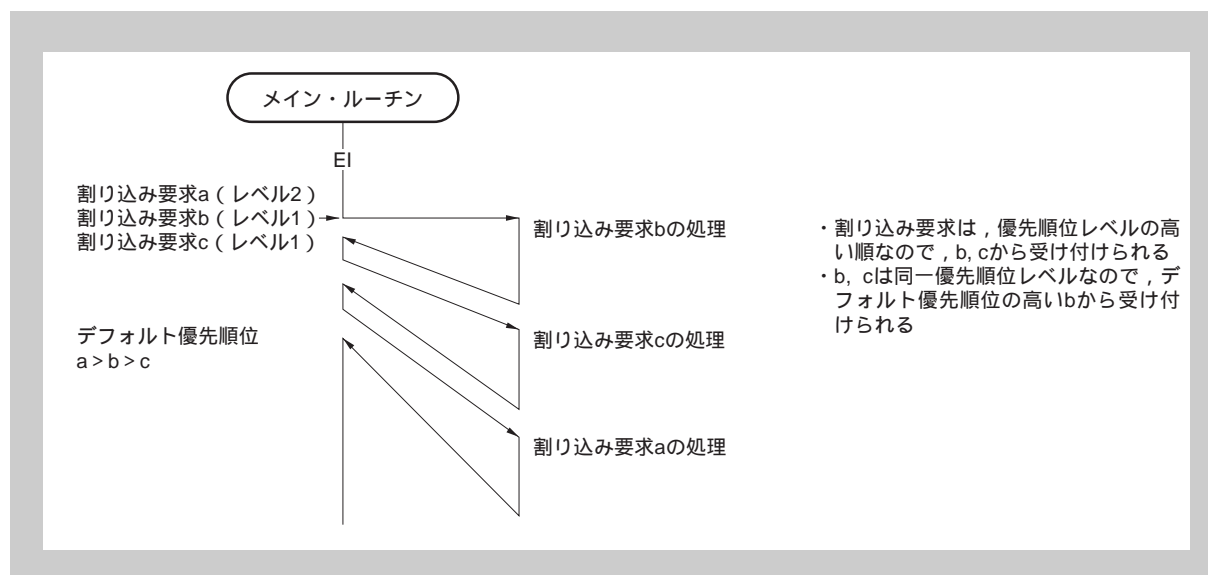


図 9-7 同時発生した割り込み要求信号の処理例

注意 多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。

- 備考**
1. 図中のa-uは、各割り込み要求信号を区別するために付けた仮の名称です。
 2. 図中のデフォルト優先順位の高い／低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

9.5.3 優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク・受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

PMR.PMRm	動作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考 m = 0-15

PMR レジスタは、割り込み発生を禁止します。禁止の間も割り込み要求の受け付けおよび保持は行います。

この機能により保留されている EIINT 割り込みの有無は、**0.4.4 保留割り込み通知機能**で確認が可能です。

9.5.4 保留割り込み通知機能

保留割り込み通知機能では、現在保留されている割り込みの状態を確認できます。

保留割り込み通知機能では、次の状態を確認することができます。

- 優先度マスク機能（PMR）によってのみマスクされている割り込みが存在している場合
ICSR.PMF ビットに 1 がセットされます。
ISPR レジスタによる優先度マスク、EIMKn ビットによりマスクされている割り込みが存在しているだけでは、1 はセットされません。優先度マスクによる割り込み禁止中に、優先度マスク機能により保留されている割り込み要求の有無を確認できます。
- CPU に対し EI レベル・マスカブル割り込み要求が行われている場合
ICSR.EIR ビットに 1 がセットされます。
PSW.ID = 1 区間中に ICSR.EIR ビットを見ることで、EIINTn 割り込み要求の有無を確認できます。
- CPU に対して FE レベル・マスカブル割り込み要求が行われている場合
ICSR.FIR ビットに 1 がセットされます。
PSW.NP = 1 区間中に ICSR.FIR ビットを見ることで、FEINT 割り込み要求の有無を確認できます。

9.5.5 イン・サービス・プライオリティ・クリア機能

割り込みコントローラ内部の状態を初期化する機能です。ISPC レジスタにアクセスすることで動作します。イン・サービス・プライオリティ・クリア機能では、次の操作が可能です。

- ISPR レジスタの内容を全クリア
- ICSR.EIE, FIE, FNE ビットをクリア

ISPC レジスタの全ビットへ1をライトし、次に ISPR レジスタの全ビットに0をライトすると、ISPR レジスタの全ビットをクリア (0) することができます。また、割り込み要求がCPU コアで処理中であることを管理している ICSR.EIE, FIE, FNE ビットがすべてクリア (0) されます。

ISPR レジスタの全ビットへの0のライトとともにこのレジスタの値も自動的にクリア (0) されます。全ビット同時ではないライト・アクセスではビットの値は変化しません。

9.6 例外ハンドラ・アドレス切り替え機能

割り込みハンドラ・アドレスはソフトウェアにより切り替えることが可能です。

詳細は、V850E2M ユーザーズ・マニュアル アーキテクチャ編の、**第2編 6.4 例外ハンドラ・アドレス切り替え機能**を参照してください。

第10章 DMA機能

この章では、DMAC/DTS (DMA) 全般について説明します。
最初の節で V850E2/MN4 に固有の特徴について説明します。
以降の節で、DMAC 搭載製品に共通の特徴について説明します。

10.1 V850E2/MN4 DMA の特徴

チャンネル数 この製品は次のチャンネル数の DMA を搭載しています。
この章では、DMAC のチャンネル数を「n」で識別します。

表 10-1 DMAC のチャンネル数

DMA	
チャンネル数	16

n の意味 この章では、DMAC のチャンネル数を「n」で識別します (n = 0 ~ 15)。

(1) DMAC 開始要因

DMAC 開始要因は、DTFRn.IFCn[6:0] の設定により選択できます。

次の表に DTFRn レジスタで選択できる開始要因の一覧を示します。

割り込みの詳細については、表 9-5 「EI レベル・マスカブル割り込み要因一覧」を参照してください。

DTS 機能の転送要因については、10.12 「DTSFSL 機能」を参照してください。

表 10-2 DMA 機動要因 (0 ~ 63)

DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み
0	INTP0
1	INTP1
2	INTP2
3	INTP3
4	INTP4
5	INTP5
6	INTP6
7	INTP7
8	INTP8
9	INTP9
10	INTP10
11	INTP11
12	INTP12
13	INTP13
14	INTP14
15	INTP15
16	INTP16
17	INTP17
18	INTP18
19	INTP19
20	INTP20
21	INTP21
22	INTP22
23	INTP23
24	INTP24
25	INTP25
26	INTP26
27	INTP27
28	INTADCA0I0
29	INTADCA0I1
30	INTADCA0I2
31	Reserved

DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み
32	INTTAUA0I0
33	INTTAUA0I1
34	INTTAUA0I2
35	INTTAUA0I3
36	INTTAUA0I4
37	INTTAUA0I5
38	INTTAUA0I6
39	INTTAUA0I7
40	INTTAUA0I8
41	INTTAUA0I9
42	INTTAUA0I10
43	INTTAUA0I11
44	INTTAUA0I12
45	INTTAUA0I13
46	INTTAUA0I14
47	INTTAUA0I15
48	INTTAUA1I0
49	INTTAUA1I1
50	INTTAUA1I2
51	INTTAUA1I3
52	INTTAUA1I4
53	INTTAUA1I5
54	INTTAUA1I6
55	INTTAUA1I7
56	INTTAUA1I8
57	INTTAUA1I9
58	INTTAUA1I10
59	INTTAUA1I11
60	INTTAUA1I12
61	INTTAUA1I13
62	INTTAUA1I14
63	INTTAUA1I15

表 10-3 DMA 機動要因 (64 ~ 127)

DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み
64	INTTAUA2I12
65	INTTAUA2I13
66	INTTAUA2I14
67	INTTAUA2I15
68	INTTAUA3I0
69	INTTAUA3I1
70	INTTAUA3I2
71	INTTAUA3I3
72	INTTAUA3I4
73	INTTAUA3I5
74	INTTAUA3I6
75	INTTAUA3I7
76	INTTAUA3I8
77	INTTAUA3I9
78	INTTAUA3I10
79	INTTAUA3I11
80	INTTAUA3I12
81	INTTAUA3I13
82	INTTAUA3I14
83	INTTAUA3I15
84	INTTAUJ0I0
85	INTTAUJ0I1
86	INTTAUJ0I2
87	INTTAUJ0I3
88	INTENCA0IOV
89	INTENCA0IUD
90	INTENCA0I0
91	INTENCA0I1
92	INTENCA0IEC
93	INTENCA1IOV
94	INTENCA1IUD
95	INTENCA1I0

DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み
96	INTENCA1I1
97	INTENCA1IEC
98	Reserved
99	Reserved
100	INTTAPA2ADOUT0
101	INTTAPA0ADOUT0
102	INTTAPA0ADOUT1
103	Reserved
104	Reserved
105	INTTAPA3ADOUT0
106	INTTAPA1ADOUT0
107	INTTAPA1ADOUT1
108	INTCSIH0IR (IICB0 のみ)
109	Reserved
110	INTCSIH1IR (IICB1 のみ)
111	Reserved
112	INTCSIH2IR (IICB2 のみ)
113	Reserved
114	INTCSIH3IR (IICB3 のみ)
115	Reserved
116	INTCSIG0IR
117	INTCSIG0IC
118	INTCSIG1IR
119	INTCSIG1IC
120	INTCSIG2IR
121	INTCSIG2IC
122	INTCSIG3IR
123	INTCSIG3IC
124	INTCSIG4IR
125	INTCSIG4IC
126	INTCSIG5IR
127	INTCSIG5IC

10.2 用語

この章では、各用語を次のように定義し使用しています。

表 10-4 語句の定義一覧

語句	意味
DMA 転送	最初の DMA サイクル開始から INTDMA をアサートするまでの期間
DMA サイクル	1 回分の転送単位を転送する期間（内部システム・バスのリード・サイクルが始まってから、ライト・サイクルが終了するまで。128 ビット転送の場合はリード・サイクル4回、ライト・サイクル4回が終了するまで）。
ハードウェア DMA 転送要求	外部端子による DMA 転送要求
ソフトウェア DMA 転送要求	内部レジスタ（DTSn.DTSnSR ビット）による DMA 転送要求
DMA 転送要求	ハードウェア DMA 転送要求、およびソフトウェア DMA 転送要求
転送情報（TI）	転送アドレス、転送データ・サイズ、転送回数といった DMA 転送に必要な情報。DTS の転送情報を特に TI（Transfer Information）と称します。
TI フェッチ	DTS が転送情報を内蔵 RAM から読み出すこと
TI ライト・バック	DTS が転送情報を内蔵 RAM に書き戻すこと
TI フェッチ・サイクル	DTS が転送情報を内蔵 RAM から読み出す期間
DTS サイクル	DTS が TI に応じた転送を行う期間
TI ライト・バック・サイクル	DTS が転送情報を内蔵 RAM に書き戻す期間
シングル転送	DMAC の場合、1 回の転送要求につき 1 回の DMA サイクルを実行します。DTS の場合、1 回の転送要求につき TI フェッチ・サイクル、DTS サイクル、TI ライト・バック・サイクルからなる 1 回の DTS 動作を実行します。
シングルステップ転送	DMAC のみの機能で、1 回のソフトウェア DMA 転送要求につき、転送回数設定レジスタ（DTC）で設定した回数の転送を行います。転送ごとにバスを解放しますので、CPU が割り込むことができます。シングルステップ転送実行中に別の優先順位の高い転送要求が発生した場合は、シングルステップ転送を中断し、優先順位の高い転送要求を実行します。
ブロック転送	DTS のみの機能で、1 回の転送要求につき 1 回の TI フェッチ・サイクルと転送回数設定レジスタ（TI-A の bit[31:16]）で指定した回数の DTS サイクルと、1 回の TI ライト・バック・サイクルを実行します。転送ごとにバスを解放しますので、CPU が割り込むことができます。ブロック転送実行中に別の優先順位の高い DTS 要求が発生した場合、DTS はブロック転送が完了するまで、この要求を無視します（受け付けることができません）。

10.3 概要

DMA (Direct Memory Access) 機能とは、CPU を介さずにデータをアクセスする機能です。

V850E2/MN4 では、DMA システムとして、DTFR, DTSFSL, DMAC (2 個搭載)、DTS, DMAT の 5 つのユニットを準備しています。DMAC では、高速なデータ転送を行うことができます。

また DTS では低速なデータ転送や、チェーン機能などを使用することができます。

DMAT は、内部システム・バスを駆動してデータ・アクセスを行うユニットです。DTFR と DTSFSL は割り込み要求の中から DMA 転送要因を選択する機能があります。

10.3.1 DMAC (DMA Controller) の機能

- 転送情報 (転送アドレス、転送サイズなど) を格納するレジスタ、および DMAC を制御するレジスタを内蔵
- DMA 転送要求を受け付けると、内蔵している転送情報に応じた転送要求を DMAT へ出力
- ハードウェア DMA 転送要求、DMA アクノリッジ、DMA 転送完了割り込みを出力
- ライト・バック情報をレジスタに書き戻す

10.3.2 DTFR (DMA Trigger Factor Register) の機能

- 割り込み信号の中から DMA 転送要因を選択 (128 チャンネルの割り込み信号から 16 チャンネルを選択)

10.3.3 DTS (Data Transfer Service) の機能

- DTS を制御するレジスタを内蔵 (転送情報は内蔵 RAM に配置)
- DTS 転送要求を受け付けると、内蔵 RAM に配置された転送情報を読み出し、その転送情報に応じた転送要求を DMAT へ出力
- ハードウェア DTS 転送要求、DTS アクノリッジ、DTS 転送完了割り込みを出力
- ライト・バック情報 (次回の転送情報) を、内蔵 RAM に書き戻す

10.3.4 DTSFSL (DTS Factor SeLector) の機能

- 割り込み信号の中から DTS 転送要因を選択 (転送要因として、128 要因を割り当て可能)
- 4 レベルの優先順位設定
- DTS からの各種割り込み要因と周辺からの割り込み信号の選択

表 10-5 転送対象空間 (DMAC)

転送元	転送先					
	Pバス周辺機能	外部メモリ (プライマリ・メモリ・コントローラ)	内蔵 RAM1	内蔵 RAM2 ^a	内蔵フラッシュ・メモリ	Hバス周辺機能
Pバス周辺機能	○	○	○	○	×	○
外部メモリ (プライマリ・メモリ・コントローラ)	○	○	○	○	×	○
内蔵 RAM1	○	○	○	○	×	○
内蔵 RAM2 ^a	○	○	○	○	×	○
内蔵フラッシュ・メモリ	○	○	○	○	×	○
Hバス周辺機能	○	○	○	○	×	○

a) デュアル・コア製品 (μ PD70F3514, 70F3515) のみ

注意 転送元アドレス対象と、転送先アドレス対象に同一アドレスを含まないように設定してください。同一アドレスを設定すると、転送データが壊れる可能性があります。

表 10-6 転送対象空間 (DTS)

転送元	転送先					
	Pバス周辺機能	外部メモリ (プライマリ・メモリ・コントローラ)	内蔵 RAM1	内蔵 RAM2 ^a	内蔵フラッシュ・メモリ	Hバス周辺機能
Pバス周辺機能	○	○	○	×	×	○
外部メモリ (プライマリ・メモリ・コントローラ)	○	○	○	×	×	○
内蔵 RAM1	○	○	○	×	×	○
内蔵 RAM2 ^a	×	×	×	×	×	×
内蔵フラッシュ・メモリ	○	○	○	×	×	○
Hバス周辺機能	○	○	○	×	×	○

a) デュアル・コア製品 (μ PD70F3514, 70F3515) のみ

10.3.5 DMA アクセス・メモリ・マップ

DMA でアクセス可能なメモリ・マップを以下に示します。

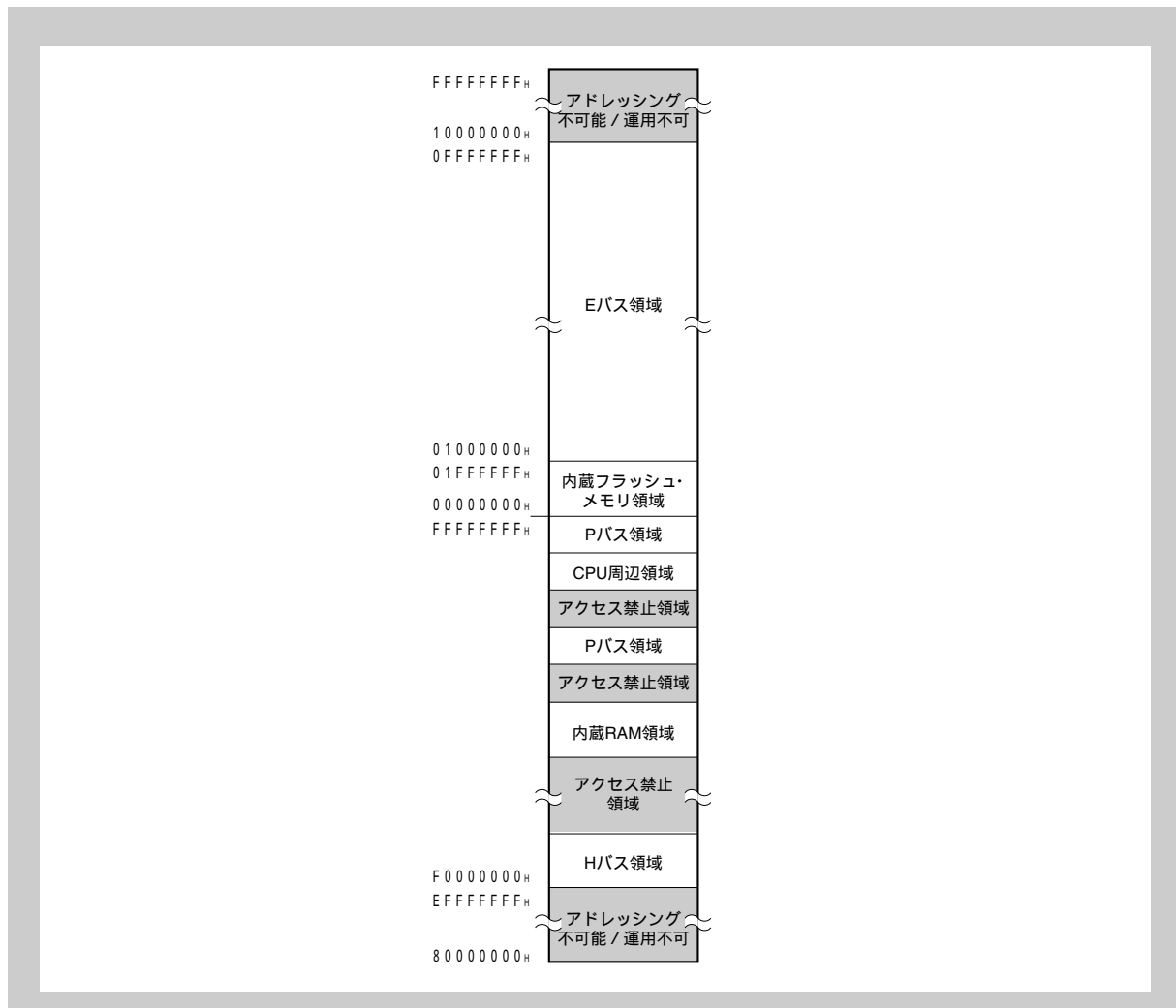


図 10-1 DMA から見たメモリ・マップ

10.3.6 チャンネルの優先順位

DMA サブシステムの各転送チャンネルの優先順位の決定方法を示します。優先順位の決定方法は二段階で行われます。第一段階では DMAC0, DMAC1, DTS それぞれのグループで個別に優先順位を判定します。

DMAC0 では「CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7」で判定し、CH0 の優先順位が最高です。

DMAC1 では「CH8>CH9>CH10>CH11>CH12>CH13>CH14>CH15」で、CH8 の優先順位が最高です。

DTS では、4 レベルのプライオリティ設定が可能となっており、これにデフォルト優先順位である「CH000>CH001>CH002・・・>CH128」を加味し優先順位を判定します。

10.3.7 転送要求のアービトレーション

DMA サブシステムは、DMAC0, DMAC1, DTS という3つの転送コントローラを内蔵しているため、これらの転送要求を内部で調停（アービトレーション）しています。このアービトレーションは、常に固定「DMAC0>DMAC1>DTS」の優先順位で行います。DMAC0の優先順位が最高位です。

ただし、DMAC0, DMAC1, DTSは1回の転送要求が完了すると、いったん要求を取り下げますのでアービトレーションの結果、次の現象が発生します。

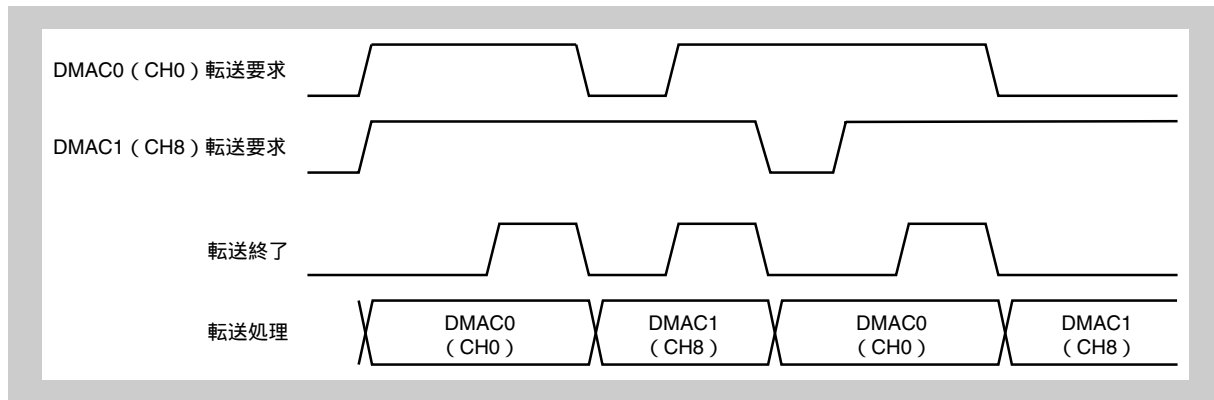


図 10-2 DMAC0 と DMAC1 の入れ替え

CH0の転送要求が継続して発生している場合でも、DMACは転送要求をいったん取り下げます。この結果、DMAC1の要求が優先されます。

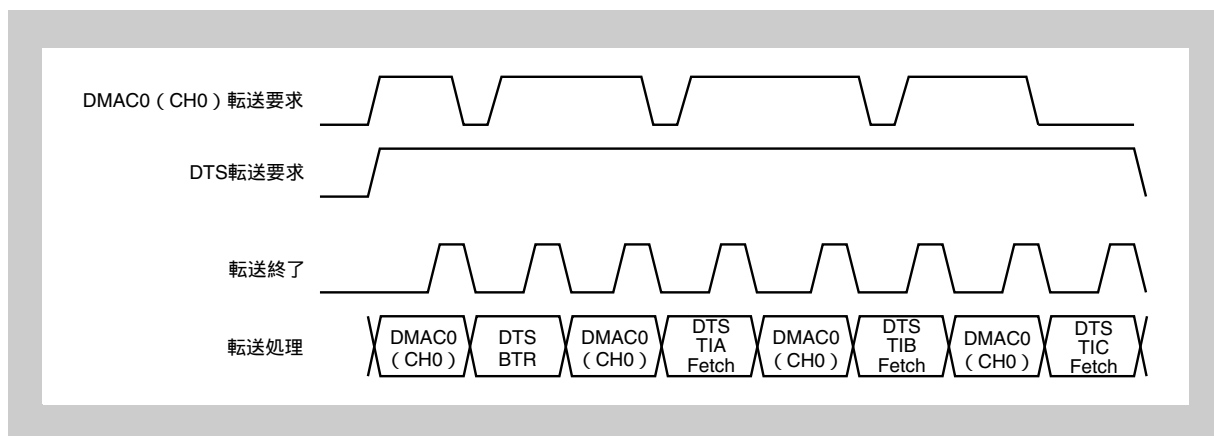


図 10-3 DMAC0 と DTS の入れ替え

CH0の転送要求が継続して発生している場合でも、DMAC0は転送要求をいったん取り下げます。この結果、DTSの要求が優先されます。DTSはベース・テーブル・リード（BTR：Base Table Read）のあと、TIA フェッチ要求を出し続けますが、DMAC0の優先順位がDTSより高いために、アービトレーションが行われDMAC0を優先します。DMAC0の転送が完了すると、DMAC0は要求をいったん取り下げるため、DTSの要求が実行されます。

10.4 DMAC 機能

10.4.1 特徴

チャンネル数	8 チャンネル x 2 Group
転送データ・サイズ	8 ビット, 16 ビット, 32 ビット, 128 ビット
転送データ	リトル・エンディアン固定 ミスアライン・データ非対応
最大転送回数	32768 (2^{15}) 回 (16 ビット・レジスタの最上位ビットはネクスト・アドレス機能に使用)
チャンネル優先順位制御	固定優先順位 (高優先順位 (CH0) → 低優先順位 (CH15))
転送対象	内蔵フラッシュ・メモリ, 内蔵 RAM, 外部メモリ領域, P バス周辺機能領域, H バス周辺機能領域
DMA 転送サイクル出力機能	$\overline{\text{DMAAK}}[0:5]$ 端子出力 (CH5-CH0)
DMA 最終転送サイクル出力機能	$\overline{\text{DMAAK}}[0:5]$ 端子出力 (CH5-CH0)
転送タイプ	2 サイクル転送 (デュアル・アドレス転送) 転送元, 転送先ともにアドレス・アクセスします。1 回の転送に 2 バス・サイクル (リード・サイクル+ライト・サイクル) を必要とします。リード・サイクルとライト・サイクルの間でバスのロックは行わないため, CPU サイクルが割り込むことがあります。また, 128 ビット・アクセス時には, リード・サイクル 4 回のあと, ライト・サイクルを 4 回行いますが, リード・サイクル間やライト・サイクル間でバスのロックは行わないため, CPU サイクルが割り込むことがあります。
転送モード	<ul style="list-style-type: none"> シングル転送モード (ハードウェア DMA 転送要求時) ハードウェア DMA 転送要求が発生するとバス使用权を獲得し, 1 回の転送を行ったあと必ずバスを解放します。その後, ハードウェア DMA 転送要求があると, 再度 1 回の転送を行います。この動作を, 転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで繰り返します。 シングルステップ転送モード (ソフトウェア DMA 転送要求時) ソフトウェア DMA 転送要求が発生するとバス使用权を獲得し, 1 回の転送ごとにバスを解放します。一度ソフトウェア DMA 転送要求を受け付けると, 転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで, この動作を繰り返します。

転送アドレス制御	インクリメンタル、デクリメンタル、固定
転送エラー対応	転送元からのデータがエラーであった場合、転送先にてエラーが発生した場合、DMA転送を中断し、CPUに対し SysError 例外を通知します。
DMA 転送要求	チャンネルごとに、ハードウェア DMA 転送要求、およびソフトウェア DMA 転送要求から任意の DMA 転送要求を選択可能です (DTRS レジスタ設定)。ソフトウェア DMA 転送要求は、ソフトウェアにより設定可能です (DTS レジスタ設定)。また、ハードウェア DMA 転送要求があることを示すステータス・ビット (DTS レジスタ) があります。
転送回数一致割り込み出力機能	チャンネルごとに、転送回数コンペア用レジスタ (DTCC) を持ち、当該チャンネルの転送回数レジスタ (DTC) と一致すると割り込み信号 (INTCT15-INTCT0) を出力します。
転送完了割り込み出力機能	チャンネルごとに、転送回数レジスタ (DTC) で指定した回数分の DMA 転送を終了すると、転送完了割り込み信号 (INTDMA15-INTDMA0) を出力します。
ネクスト・アドレス設定機能	チャンネルごとに、現在実行中の DMA 転送の転送アドレスおよび転送回数 (Current) を設定しているレジスタと、実行中の DMA 転送完了後、次に DMA 転送したい転送アドレスおよび転送回数 (Next) を設定するレジスタがあります。レジスタごとに、DMA 転送完了後、Next を Current にコピーするかどうかを決めるビットがあります。
DMA 転送中断機能	ソフトウェアによる中断に対応します。

10.4.2 設定レジスタ

表 10-7 DMAC 設定レジスタ一覧

(1/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7300H	DTRC0	DMA 転送要求コントロール・レジスタ 0	R/W	○	○			00H
FFFF7310H	DTRS0	DMA 転送要求選択レジスタ CH0				○		0000H
FFFF7314H	DSA0	DMA ソース・アドレス・レジスタ CH0					○	00000000H
FFFF7314H	DSA0L	DMA ソース・アドレス・レジスタ LCH0				○		0000H
FFFF7316H	DSA0H	DMA ソース・アドレス・レジスタ HCH0				○		0000H
FFFF7318H	DSC0	DMA ソース・チップ・セレクト・レジスタ CH0				○		0001H
FFFF731CH	DNSA0	DMA ネクスト・ソース・アドレス・レジスタ CH0					○	00000000H
FFFF731CH	DNSA0L	DMA ネクスト・ソース・アドレス・レジスタ LCH0				○		0000H
FFFF731EH	DNSA0H	DMA ネクスト・ソース・アドレス・レジスタ HCH0				○		0000H
FFFF7320H	DNSC0	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH0				○		0001H
FFFF7324H	DDA0	DMA デスティネーション・アドレス・レジスタ CH0					○	00000000H
FFFF7324H	DDA0L	DMA デスティネーション・アドレス・レジスタ LCH0				○		0000H
FFFF7326H	DDA0H	DMA デスティネーション・アドレス・レジスタ HCH0				○		0000H
FFFF7328H	DDC0	DMA デスティネーション・チップ・セレクト・レジスタ CH0				○		0001H
FFFF732CH	DNDA0	DMA ネクスト・デスティネーション・アドレス・レジスタ CH0					○	00000000H
FFFF732CH	DNDA0L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH0				○		0000H
FFFF732EH	DNDA0H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH0				○		0000H
FFFF7330H	DNDC0	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH0				○		0001H
FFFF7332H	DTC0	DMA 転送カウント・レジスタ CH0				○		0000H
FFFF7334H	DNTC0	DMA ネクスト転送カウント・レジスタ CH0				○		0000H
FFFF7336H	DTCC0	DMA 転送カウント・コンペア・レジスタ CH0				○		0000H
FFFF7338H	DTCT0	DMA 転送制御レジスタ CH0				○		0000H
FFFF733AH	DTS0	DMA 転送ステータス・レジスタ CH0			○	○		00H
FFFF7340H	DTRS1	DMA 転送要求選択レジスタ CH1				○		0000H
FFFF7344H	DSA1	DMA ソース・アドレス・レジスタ CH1					○	00000000H
FFFF7344H	DSA1L	DMA ソース・アドレス・レジスタ LCH1				○		0000H
FFFF7346H	DSA1H	DMA ソース・アドレス・レジスタ HCH1				○		0000H
FFFF7348H	DSC1	DMA ソース・チップ・セレクト・レジスタ CH1				○		0001H
FFFF734CH	DNSA1	DMA ネクスト・ソース・アドレス・レジスタ CH1					○	00000000H
FFFF734CH	DNSA1L	DMA ネクスト・ソース・アドレス・レジスタ LCH1				○		0000H
FFFF734EH	DNSA1H	DMA ネクスト・ソース・アドレス・レジスタ HCH1				○		0000H

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値	
				1	8	16	32		
FFFF7350H	DNCS1	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH1	R/W			○		0001H	
FFFF7354H	DDA1	DMA デスティネーション・アドレス・レジスタ CH1					○		00000000H
FFFF7354H	DDA1L	DMA デスティネーション・アドレス・レジスタ LCH1				○			0000H
FFFF7356H	DDA1H	DMA デスティネーション・アドレス・レジスタ HCH1				○			0000H
FFFF7358H	DDC1	DMA デスティネーション・チップ・セレクト・レジスタ CH1				○			0001H
FFFF735CH	DNDA1	DMA ネクスト・デスティネーション・アドレス・レジスタ CH1					○		00000000H
FFFF735CH	DNDA1L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH1				○			0000H
FFFF735EH	DNDA1H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH1				○			0000H
FFFF7360H	DNDC1	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH1				○			0001H
FFFF7362H	DTC1	DMA 転送カウント・レジスタ CH1				○			0000H
FFFF7364H	DNTC1	DMA ネクスト転送カウント・レジスタ CH1				○			0000H
FFFF7366H	DTCC1	DMA 転送カウント・コンペア・レジスタ CH1				○			0000H
FFFF7368H	DTCT1	DMA 転送制御レジスタ CH1				○			0000H
FFFF736AH	DTS1	DMA 転送ステータス・レジスタ CH1		○	○				00H
FFFF7370H	DTRS2	DMA 転送要求選択レジスタ CH2				○			0000H
FFFF7374H	DSA2	DMA ソース・アドレス・レジスタ CH2					○		00000000H
FFFF7374H	DSA2L	DMA ソース・アドレス・レジスタ LCH2				○			0000H
FFFF7376H	DSA2H	DMA ソース・アドレス・レジスタ HCH2				○			0000H
FFFF7378H	DSC2	DMA ソース・チップ・セレクト・レジスタ CH2				○			0001H
FFFF737CH	DNDA2	DMA ネクスト・ソース・アドレス・レジスタ CH2					○		00000000H
FFFF737CH	DNDA2L	DMA ネクスト・ソース・アドレス・レジスタ LCH2				○			0000H
FFFF737EH	DNDA2H	DMA ネクスト・ソース・アドレス・レジスタ HCH2				○			0000H
FFFF7380H	DNCS2	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH2				○			0001H
FFFF7384H	DDA2	DMA デスティネーション・アドレス・レジスタ CH2					○		00000000H
FFFF7384H	DDA2L	DMA デスティネーション・アドレス・レジスタ LCH2				○			0000H
FFFF7386H	DDA2H	DMA デスティネーション・アドレス・レジスタ HCH2				○			0000H
FFFF7388H	DDC2	DMA デスティネーション・チップ・セレクト・レジスタ CH2				○			0001H
FFFF738CH	DNDA2	DMA ネクスト・デスティネーション・アドレス・レジスタ CH2					○		00000000H
FFFF738CH	DNDA2L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH2			○			0000H	
FFFF738EH	DNDA2H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH2			○			0000H	
FFFF7390H	DNDC2	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH2			○			0001H	
FFFF7392H	DTC2	DMA 転送カウント・レジスタ CH2			○			0000H	

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7394H	DNTC2	DMA ネクスト転送カウント・レジスタ CH2	R/W			○		0000H
FFFF7396H	DTCC2	DMA 転送カウント・コンペア・レジスタ CH2				○		0000H
FFFF7398H	DTCT2	DMA 転送制御レジスタ CH2				○		0000H
FFFF739AH	DTS2	DMA 転送ステータス・レジスタ CH2		○	○			00H
FFFF73A0H	DTRS3	DMA 転送要求選択レジスタ CH3				○		0000H
FFFF73A4H	DSA3	DMA ソース・アドレス・レジスタ CH3					○	00000000H
FFFF73A4H	DSA3L	DMA ソース・アドレス・レジスタ LCH3				○		0000H
FFFF73A6H	DSA3H	DMA ソース・アドレス・レジスタ HCH3				○		0000H
FFFF73A8H	DSC3	DMA ソース・チップ・セレクト・レジスタ CH3				○		0001H
FFFF73ACH	DNSA3	DMA ネクスト・ソース・アドレス・レジスタ CH3					○	00000000H
FFFF73ACH	DNSA3L	DMA ネクスト・ソース・アドレス・レジスタ LCH3				○		0000H
FFFF73AEH	DNSA3H	DMA ネクスト・ソース・アドレス・レジスタ HCH3				○		0000H
FFFF73B0H	DN3C3	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH3				○		0001H
FFFF73B4H	DDA3	DMA デスティネーション・アドレス・レジスタ CH3					○	00000000H
FFFF73B4H	DDA3L	DMA デスティネーション・アドレス・レジスタ LCH3				○		0000H
FFFF73B6H	DDA3H	DMA デスティネーション・アドレス・レジスタ HCH3				○		0000H
FFFF73B8H	DDC3	DMA デスティネーション・チップ・セレクト・レジスタ CH3				○		0001H
FFFF73BCH	DNDA3	DMA ネクスト・デスティネーション・アドレス・レジスタ CH3					○	00000000H
FFFF73BCH	DNDA3L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH3				○		0000H
FFFF73BEH	DNDA3H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH3				○		0000H
FFFF73C0H	DNDC3	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH3				○		0001H
FFFF73C2H	DTC3	DMA 転送カウント・レジスタ CH3				○		0000H
FFFF73C4H	DNTC3	DMA ネクスト転送カウント・レジスタ CH3				○		0000H
FFFF73C6H	DTCC3	DMA 転送カウント・コンペア・レジスタ CH3				○		0000H
FFFF73C8H	DTCT3	DMA 転送制御レジスタ CH3				○		0000H
FFFF73CAH	DTS3	DMA 転送ステータス・レジスタ CH3		○	○			00H
FFFF73D0H	DTRS4	DMA 転送要求選択レジスタ CH4				○		0000H
FFFF73D4H	DSA4	DMA ソース・アドレス・レジスタ CH4					○	00000000H
FFFF73D4H	DSA4L	DMA ソース・アドレス・レジスタ LCH4				○		0000H
FFFF73D6H	DSA4H	DMA ソース・アドレス・レジスタ HCH4				○		0000H
FFFF73D8H	DSC4	DMA ソース・チップ・セレクト・レジスタ CH4				○		0001H
FFFF73DCH	DNSA4	DMA ネクスト・ソース・アドレス・レジスタ CH4					○	00000000H
FFFF73DCH	DNSA4L	DMA ネクスト・ソース・アドレス・レジスタ LCH4			○		0000H	
FFFF73DEH	DNSA4H	DMA ネクスト・ソース・アドレス・レジスタ HCH4			○		0000H	
FFFF73E0H	DN3C4	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH4			○		0001H	

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF73E4H	DDA4	DMA デスティネーション・アドレス・レジスタ CH4	R/W				○	00000000H
FFFF73E4H	DDA4L	DMA デスティネーション・アドレス・レジスタ LCH4				○		0000H
FFFF73E6H	DDA4H	DMA デスティネーション・アドレス・レジスタ HCH4			○		0000H	
FFFF73E8H	DDC4	DMA デスティネーション・チップセレクト・レジスタ CH4			○		0001H	
FFFF73ECH	DNDA4	DMA ネクスト・デスティネーション・アドレス・レジスタ CH4				○	00000000H	
FFFF73ECH	DNDA4L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH4			○		0000H	
FFFF73EEH	DNDA4H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH4			○		0000H	
FFFF73F0H	DNDC4	DMA ネクスト・デスティネーション・チップセレクト・レジスタ CH4			○		0001H	
FFFF73F2H	DTC4	DMA 転送カウント・レジスタ CH4			○		0000H	
FFFF73F4H	DNTC4	DMA ネクスト転送カウント・レジスタ CH4			○		0000H	
FFFF73F6H	DTCC4	DMA 転送カウント・コンペア・レジスタ CH4			○		0000H	
FFFF73F8H	DTCT4	DMA 転送制御レジスタ CH4			○		0000H	
FFFF73FAH	DTS4	DMA 転送ステータス・レジスタ CH4		○	○		00H	
FFFF7400H	DTRS5	DMA 転送要求選択レジスタ CH5			○		0000H	
FFFF7404H	DSA5	DMA ソース・アドレス・レジスタ CH5				○	00000000H	
FFFF7404H	DSA5L	DMA ソース・アドレス・レジスタ LCH5			○		0000H	
FFFF7406H	DSA5H	DMA ソース・アドレス・レジスタ HCH5			○		0000H	
FFFF7408H	DSC5	DMA ソース・チップ・セレクト・レジスタ CH5			○		0001H	
FFFF740CH	DNSA5	DMA ネクスト・ソース・アドレス・レジスタ CH5				○	00000000H	
FFFF740CH	DNSA5L	DMA ネクスト・ソース・アドレス・レジスタ LCH5			○		0000H	
FFFF740EH	DNSA5H	DMA ネクスト・ソース・アドレス・レジスタ HCH5			○		0000H	
FFFF7410H	DNDC5	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH5			○		0001H	
FFFF7414H	DDA5	DMA デスティネーション・アドレス・レジスタ CH5				○	00000000H	
FFFF7414H	DDA5L	DMA デスティネーション・アドレス・レジスタ LCH5			○		0000H	
FFFF7416H	DDA5H	DMA デスティネーション・アドレス・レジスタ HCH5			○		0000H	
FFFF7418H	DDC5	DMA デスティネーション・チップ・セレクト・レジスタ CH5			○		0001H	
FFFF741CH	DNDA5	DMA ネクスト・デスティネーション・アドレス・レジスタ CH5				○	00000000H	
FFFF741CH	DNDA5L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH5			○		0000H	
FFFF741EH	DNDA5H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH5			○		0000H	
FFFF7420H	DNDC5	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH5			○		0001H	
FFFF7422H	DTC5	DMA 転送カウント・レジスタ CH5			○		0000H	
FFFF7424H	DNTC5	DMA ネクスト転送カウント・レジスタ CH5			○		0000H	
FFFF7426H	DTCC5	DMA 転送カウント・コンペア・レジスタ CH5			○		0000H	

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7428H	DTCT5	DMA 転送制御レジスタ CH5	R/W			○		0000H
FFFF742AH	DTS5	DMA 転送ステータス・レジスタ CH5		○	○			00H
FFFF7430H	DTRS6	DMA 転送要求選択レジスタ CH6				○		0000H
FFFF7434H	DSA6	DMA ソース・アドレス・レジスタ CH6					○	00000000H
FFFF7434H	DSA6L	DMA ソース・アドレス・レジスタ LCH6				○		0000H
FFFF7436H	DSA6H	DMA ソース・アドレス・レジスタ HCH6				○		0000H
FFFF7438H	DSC6	DMA ソース・チップ・セレクト・レジスタ CH6				○		0001H
FFFF743CH	DNSA6	DMA ネクスト・ソース・アドレス・レジスタ CH6					○	00000000H
FFFF743CH	DNSA6L	DMA ネクスト・ソース・アドレス・レジスタ LCH6				○		0000H
FFFF743EH	DNSA6H	DMA ネクスト・ソース・アドレス・レジスタ HCH6				○		0000H
FFFF7440H	DNSC6	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH6				○		0001H
FFFF7444H	DDA6	DMA デスティネーション・アドレス・レジスタ CH6					○	00000000H
FFFF7444H	DDA6L	DMA デスティネーション・アドレス・レジスタ LCH6				○		0000H
FFFF7446H	DDA6H	DMA デスティネーション・アドレス・レジスタ HCH6				○		0000H
FFFF7448H	DDC6	DMA デスティネーション・チップ・セレクト・レジスタ CH6				○		0001H
FFFF744CH	DNDA6	DMA ネクスト・デスティネーション・アドレス・レジスタ CH6					○	00000000H
FFFF744CH	DNDA6L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH6				○		0000H
FFFF744EH	DNDA6H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH6				○		0000H
FFFF7450H	DNDC6	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH6				○		0001H
FFFF7452H	DTC6	DMA 転送カウント・レジスタ CH6				○		0000H
FFFF7454H	DNTC6	DMA ネクスト転送カウント・レジスタ CH6				○		0000H
FFFF7456H	DTCC6	DMA 転送カウント・コンペア・レジスタ CH6				○		0000H
FFFF7458H	DTCT6	DMA 転送制御レジスタ CH6				○		0000H
FFFF745AH	DTS6	DMA 転送ステータス・レジスタ CH6		○	○			00H
FFFF7460H	DTRS7	DMA 転送要求選択レジスタ CH7				○		0000H
FFFF7464H	DSA7	DMA ソース・アドレス・レジスタ CH7					○	00000000H
FFFF7464H	DSA7L	DMA ソース・アドレス・レジスタ LCH7				○		0000H
FFFF7466H	DSA7H	DMA ソース・アドレス・レジスタ HCH7				○		0000H
FFFF7468H	DSC7	DMA ソース・チップ・セレクト・レジスタ CH7				○		0001H
FFFF746CH	DNSA7	DMA ネクスト・ソース・アドレス・レジスタ CH7					○	00000000H
FFFF746CH	DNSA7L	DMA ネクスト・ソース・アドレス・レジスタ LCH7				○		0000H
FFFF746EH	DNSA7H	DMA ネクスト・ソース・アドレス・レジスタ HCH7				○		0000H
FFFF7470H	DNSC7	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH7				○		0001H
FFFF7474H	DDA7	DMA デスティネーション・アドレス・レジスタ CH7					○	00000000H
FFFF7474H	DDA7L	DMA デスティネーション・アドレス・レジスタ LCH7				○		0000H
FFFF7476H	DDA7H	DMA デスティネーション・アドレス・レジスタ HCH7				○		0000H

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7478H	DDC7	DMA デスティネーション・チップ・セレクト・レジスタ CH7	R/W			○		0001H
FFFF747CH	DNDA7	DMA ネクスト・デスティネーション・アドレス・レジスタ CH7					○	00000000H
FFFF747CH	DNDA7L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH7				○		0000H
FFFF747EH	DNDA7H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH7				○		0000H
FFFF7480H	DNDC7	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH7				○		0001H
FFFF7482H	DTC7	DMA 転送カウント・レジスタ CH7				○		0000H
FFFF7484H	DNTC7	DMA ネクスト転送カウント・レジスタ CH7				○		0000H
FFFF7486H	DTCC7	DMA 転送カウント・コンペア・レジスタ CH7				○		0000H
FFFF7488H	DTCT7	DMA 転送制御レジスタ CH7				○		0000H
FFFF748AH	DTS7	DMA 転送ステータス・レジスタ CH7		○	○			00H
FFFF7500H	DTRC1	DMA 転送要求コントロール・レジスタ 1		○	○			00H
FFFF7510H	DTRS8	DMA 転送要求選択レジスタ CH8				○		0000H
FFFF7514H	DSA8	DMA ソース・アドレス・レジスタ CH8					○	00000000H
FFFF7514H	DSA8L	DMA ソース・アドレス・レジスタ LCH8				○		0000H
FFFF7516H	DSA8H	DMA ソース・アドレス・レジスタ HCH8				○		0000H
FFFF7518H	DSC8	DMA ソース・チップ・セレクト・レジスタ CH8				○		0001H
FFFF751CH	DNDA8	DMA ネクスト・ソース・アドレス・レジスタ CH8					○	00000000H
FFFF751CH	DNDA8L	DMA ネクスト・ソース・アドレス・レジスタ LCH8				○		0000H
FFFF751EH	DNDA8H	DMA ネクスト・ソース・アドレス・レジスタ HCH8				○		0000H
FFFF7520H	DNDC8	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH8				○		0001H
FFFF7524H	DDA8	DMA デスティネーション・アドレス・レジスタ CH8					○	00000000H
FFFF7524H	DDA8L	DMA デスティネーション・アドレス・レジスタ LCH8				○		0000H
FFFF7526H	DDA8H	DMA デスティネーション・アドレス・レジスタ HCH8				○		0000H
FFFF7528H	DDC8	DMA デスティネーション・チップ・セレクト・レジスタ CH8				○		0001H
FFFF752CH	DNDA8	DMA ネクスト・デスティネーション・アドレス・レジスタ CH8					○	00000000H
FFFF752CH	DNDA8L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH8				○		0000H
FFFF752EH	DNDA8H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH8				○		0000H
FFFF7530H	DNDC8	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH8				○		0001H
FFFF7532H	DTC8	DMA 転送カウント・レジスタ CH8				○		0000H
FFFF7534H	DNTC8	DMA ネクスト転送カウント・レジスタ CH8				○		0000H
FFFF7536H	DTCC8	DMA 転送カウント・コンペア・レジスタ CH8				○		0000H
FFFF7538H	DTCT8	DMA 転送制御レジスタ CH8				○		0000H
FFFF753AH	DTS8	DMA 転送ステータス・レジスタ CH8		○	○			00H

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7540H	DTRS9	DMA 転送要求選択レジスタ CH9	R/W			○		0000H
FFFF7544H	DSA9	DMA ソース・アドレス・レジスタ CH9					○	00000000H
FFFF7544H	DSA9L	DMA ソース・アドレス・レジスタ LCH9				○		0000H
FFFF7546H	DSA9H	DMA ソース・アドレス・レジスタ HCH9				○		0000H
FFFF7548H	DSC9	DMA ソース・チップ・セレクト・レジスタ CH9				○		0001H
FFFF754CH	DNSA9	DMA ネクスト・ソース・アドレス・レジスタ CH9					○	00000000H
FFFF754CH	DNSA9L	DMA ネクスト・ソース・アドレス・レジスタ LCH9				○		0000H
FFFF754EH	DNSA9H	DMA ネクスト・ソース・アドレス・レジスタ HCH9				○		0000H
FFFF7550H	DNSC9	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH9				○		0001H
FFFF7554H	DDA9	DMA デスティネーション・アドレス・レジスタ CH9					○	00000000H
FFFF7554H	DDA9L	DMA デスティネーション・アドレス・レジスタ LCH9				○		0000H
FFFF7556H	DDA9H	DMA デスティネーション・アドレス・レジスタ HCH9				○		0000H
FFFF7558H	DDC9	DMA デスティネーション・チップ・セレクト・レジスタ CH9				○		0001H
FFFF755CH	DNDA9	DMA ネクスト・デスティネーション・アドレス・レジスタ CH9					○	00000000H
FFFF755CH	DNDA9L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH9				○		0000H
FFFF755EH	DNDA9H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH9				○		0000H
FFFF7560H	DNDC9	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH9				○		0001H
FFFF7562H	DTC9	DMA 転送カウント・レジスタ CH9				○		0000H
FFFF7564H	DNTC9	DMA ネクスト転送カウント・レジスタ CH9				○		0000H
FFFF7566H	DTCC9	DMA 転送カウント・コンペア・レジスタ CH9				○		0000H
FFFF7568H	DTCT9	DMA 転送制御レジスタ CH9				○		0000H
FFFF756AH	DTS9	DMA 転送ステータス・レジスタ CH9		○	○			00H
FFFF7570H	DTRS10	DMA 転送要求選択レジスタ CH10				○		0000H
FFFF7574H	DSA10	DMA ソース・アドレス・レジスタ CH10					○	00000000H
FFFF7574H	DSA10L	DMA ソース・アドレス・レジスタ LCH10				○		0000H
FFFF7576H	DSA10H	DMA ソース・アドレス・レジスタ HCH10				○		0000H
FFFF7578H	DSC10	DMA ソース・チップ・セレクト・レジスタ CH10				○		0001H
FFFF757CH	DNSA10	DMA ネクスト・ソース・アドレス・レジスタ CH10					○	00000000H
FFFF757CH	DNSA10L	DMA ネクスト・ソース・アドレス・レジスタ LCH10				○		0000H
FFFF757EH	DNSA10H	DMA ネクスト・ソース・アドレス・レジスタ HCH10				○		0000H
FFFF7580H	DNSC10	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH10				○		0001H
FFFF7584H	DDA10	DMA デスティネーション・アドレス・レジスタ CH10					○	00000000H
FFFF7584H	DDA10L	DMA デスティネーション・アドレス・レジスタ LCH10				○		0000H
FFFF7586H	DDA10H	DMA デスティネーション・アドレス・レジスタ HCH10				○		0000H
FFFF7588H	DDC10	DMA デスティネーション・チップ・セレクト・レジスタ CH10				○		0001H

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF758CH	DNDA10	DMA ネクスト・デスティネーション・アドレス・レジスタ CH10	R/W				○	00000000H
FFFF758CH	DNDA10L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH10				○		0000H
FFFF758EH	DNDA10H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH10				○		0000H
FFFF7590H	DNDC10	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH10				○		0001H
FFFF7592H	DTC10	DMA 転送カウント・レジスタ CH10				○		0000H
FFFF7594H	DNTC10	DMA ネクスト転送カウント・レジスタ CH10				○		0000H
FFFF7596H	DTCC10	DMA 転送カウント・コンペア・レジスタ CH10				○		0000H
FFFF7598H	DTCT10	DMA 転送制御レジスタ CH10				○		0000H
FFFF759AH	DTS10	DMA 転送ステータス・レジスタ CH10		○	○			00H
FFFF75A0H	DTRS11	DMA 転送要求選択レジスタ CH11				○		0000H
FFFF75A4H	DSA11	DMA ソース・アドレス・レジスタ CH11					○	00000000H
FFFF75A4H	DSA11L	DMA ソース・アドレス・レジスタ LCH11				○		0000H
FFFF75A6H	DSA11H	DMA ソース・アドレス・レジスタ HCH11				○		0000H
FFFF75A8H	DSC11	DMA ソース・チップ・セレクト・レジスタ CH11				○		0001H
FFFF75ACH	DNSA11	DMA ネクスト・ソース・アドレス・レジスタ CH11					○	00000000H
FFFF75ACH	DNSA11L	DMA ネクスト・ソース・アドレス・レジスタ LCH11				○		0000H
FFFF75AEH	DNSA11H	DMA ネクスト・ソース・アドレス・レジスタ HCH11				○		0000H
FFFF75B0H	DNDC11	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH11				○		0001H
FFFF75B4H	DDA11	DMA デスティネーション・アドレス・レジスタ CH11					○	00000000H
FFFF75B4H	DDA11L	DMA デスティネーション・アドレス・レジスタ LCH11				○		0000H
FFFF75B6H	DDA11H	DMA デスティネーション・アドレス・レジスタ HCH11				○		0000H
FFFF75B8H	DDC11	DMA デスティネーション・チップ・セレクト・レジスタ CH11				○		0001H
FFFF75BCH	DNDA11	DMA ネクスト・デスティネーション・アドレス・レジスタ CH11					○	00000000H
FFFF75BCH	DNDA11L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH11				○		0000H
FFFF75BEH	DNDA11H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH11				○		0000H
FFFF75C0H	DNDC11	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH11				○		0001H
FFFF75C2H	DTC11	DMA 転送カウント・レジスタ CH11				○		0000H
FFFF75C4H	DNTC11	DMA ネクスト転送カウント・レジスタ CH11			○		0000H	
FFFF75C6H	DTCC11	DMA 転送カウント・コンペア・レジスタ CH11			○		0000H	
FFFF75C8H	DTCT11	DMA 転送制御レジスタ CH11			○		0000H	
FFFF75CAH	DTS11	DMA 転送ステータス・レジスタ CH11	○	○			00H	
FFFF75D0H	DTRS12	DMA 転送要求選択レジスタ CH12			○		0000H	

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF75D4H	DSA12	DMA ソース・アドレス・レジスタ CH12	R/W				○	00000000H
FFFF75D4H	DSA12L	DMA ソース・アドレス・レジスタ LCH12				○		0000H
FFFF75D6H	DSA12H	DMA ソース・アドレス・レジスタ HCH12				○		0000H
FFFF75D8H	DSC12	DMA ソース・チップ・セレクト・レジスタ CH12				○		0001H
FFFF75DCH	DNSA12	DMA ネクスト・ソース・アドレス・レジスタ CH12				○		00000000H
FFFF75DCH	DNSA12L	DMA ネクスト・ソース・アドレス・レジスタ LCH12				○		0000H
FFFF75DEH	DNSA12H	DMA ネクスト・ソース・アドレス・レジスタ HCH12				○		0000H
FFFF75E0H	DNSC12	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH12				○		0001H
FFFF75E4H	DDA12	DMA デスティネーション・アドレス・レジスタ CH12				○		00000000H
FFFF75E4H	DDA12L	DMA デスティネーション・アドレス・レジスタ LCH12				○		0000H
FFFF75E6H	DDA12H	DMA デスティネーション・アドレス・レジスタ HCH12				○		0000H
FFFF75E8H	DDC12	DMA デスティネーション・チップ・セレクト・レジスタ CH12				○		0001H
FFFF75ECH	DNDA12	DMA ネクスト・デスティネーション・アドレス・レジスタ CH12				○		00000000H
FFFF75ECH	DNDA12L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH12				○		0000H
FFFF75EEH	DNDA12H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH12				○		0000H
FFFF75F0H	DNDC12	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH12				○		0001H
FFFF75F2H	DTC12	DMA 転送カウント・レジスタ CH12				○		0000H
FFFF75F4H	DNTC12	DMA ネクスト転送カウント・レジスタ CH12				○		0000H
FFFF75F6H	DTCC12	DMA 転送カウント・コンペア・レジスタ CH12				○		0000H
FFFF75F8H	DTCT12	DMA 転送制御レジスタ CH12				○		0000H
FFFF75FAH	DTS12	DMA 転送ステータス・レジスタ CH12		○	○			00H
FFFF7600H	DTRS13	DMA 転送要求選択レジスタ CH13				○		0000H
FFFF7604H	DSA13	DMA ソース・アドレス・レジスタ CH13				○		00000000H
FFFF7604H	DSA13L	DMA ソース・アドレス・レジスタ LCH13				○		0000H
FFFF7606H	DSA13H	DMA ソース・アドレス・レジスタ HCH13				○		0000H
FFFF7608H	DSC13	DMA ソース・チップ・セレクト・レジスタ CH13				○		0001H
FFFF760CH	DNSA13	DMA ネクスト・ソース・アドレス・レジスタ CH13				○		00000000H
FFFF760CH	DNSA13L	DMA ネクスト・ソース・アドレス・レジスタ LCH13				○		0000H
FFFF760EH	DNSA13H	DMA ネクスト・ソース・アドレス・レジスタ HCH13				○		0000H
FFFF7610H	DNSC13	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH13				○		0001H
FFFF7614H	DDA13	DMA デスティネーション・アドレス・レジスタ CH13				○		00000000H
FFFF7614H	DDA13L	DMA デスティネーション・アドレス・レジスタ LCH13				○		0000H
FFFF7616H	DDA13H	DMA デスティネーション・アドレス・レジスタ HCH13				○		0000H
FFFF7618H	DDC13	DMA デスティネーション・チップ・セレクト・レジスタ CH13				○		0001H

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF761CH	DNDA13	DMA ネクスト・デスティネーション・アドレス・レジスタ CH13	R/W				○	00000000H
FFFF761CH	DNDA13L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH13				○		0000H
FFFF761EH	DNDA13H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH13				○		0000H
FFFF7620H	DNDC13	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH13				○		0001H
FFFF7622H	DTC13	DMA 転送カウント・レジスタ CH13				○		0000H
FFFF7624H	DNTC13	DMA ネクスト転送カウント・レジスタ CH13				○		0000H
FFFF7626H	DTCC13	DMA 転送カウント・コンペア・レジスタ CH13				○		0000H
FFFF7628H	DTCT13	DMA 転送制御レジスタ CH13				○		0000H
FFFF762AH	DTS13	DMA 転送ステータス・レジスタ CH13		○	○			00H
FFFF7630H	DTRS14	DMA 転送要求選択レジスタ CH14				○		0000H
FFFF7634H	DSA14	DMA ソース・アドレス・レジスタ CH14					○	00000000H
FFFF7634H	DSA14L	DMA ソース・アドレス・レジスタ LCH14				○		0000H
FFFF7636H	DSA14H	DMA ソース・アドレス・レジスタ HCH14				○		0000H
FFFF7638H	DSC14	DMA ソース・チップ・セレクト・レジスタ CH14				○		0001H
FFFF763CH	DNSA14	DMA ネクスト・ソース・アドレス・レジスタ CH14					○	00000000H
FFFF763CH	DNSA14L	DMA ネクスト・ソース・アドレス・レジスタ LCH14				○		0000H
FFFF763EH	DNSA14H	DMA ネクスト・ソース・アドレス・レジスタ HCH14				○		0000H
FFFF7640H	DNDC14	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH14				○		0001H
FFFF7644H	DDA14	DMA デスティネーション・アドレス・レジスタ CH14					○	00000000H
FFFF7644H	DDA14L	DMA デスティネーション・アドレス・レジスタ LCH14				○		0000H
FFFF7646H	DDA14H	DMA デスティネーション・アドレス・レジスタ HCH14				○		0000H
FFFF7648H	DDC14	DMA デスティネーション・チップ・セレクト・レジスタ CH14				○		0001H
FFFF764CH	DNDA14	DMA ネクスト・デスティネーション・アドレス・レジスタ CH14					○	00000000H
FFFF764CH	DNDA14L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH14				○		0000H
FFFF764EH	DNDA14H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH14				○		0000H
FFFF7650H	DNDC14	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH14				○		0001H
FFFF7652H	DTC14	DMA 転送カウント・レジスタ CH14				○		0000H
FFFF7654H	DNTC14	DMA ネクスト転送カウント・レジスタ CH14				○		0000H
FFFF7656H	DTCC14	DMA 転送カウント・コンペア・レジスタ CH14				○		0000H
FFFF7658H	DTCT14	DMA 転送制御レジスタ CH14				○		0000H
FFFF765AH	DTS14	DMA 転送ステータス・レジスタ CH14		○	○			00H
FFFF7660H	DTRS15	DMA 転送要求選択レジスタ CH15				○		0000H

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7664H	DSA15	DMA ソース・アドレス・レジスタ CH15					○	00000000H
FFFF7664H	DSA15L	DMA ソース・アドレス・レジスタ LCH15				○		0000H
FFFF7666H	DSA15H	DMA ソース・アドレス・レジスタ HCH15				○		0000H
FFFF7668H	DSC15	DMA ソース・チップ・セレクト・レジスタ CH15				○		0001H
FFFF766CH	DNSA15	DMA ネクスト・ソース・アドレス・レジスタ CH15					○	00000000H
FFFF766CH	DNSA15L	DMA ネクスト・ソース・アドレス・レジスタ LCH15				○		0000H
FFFF766EH	DNSA15H	DMA ネクスト・ソース・アドレス・レジスタ HCH15				○		0000H
FFFF7670H	DNSC15	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH15				○		0001H
FFFF7674H	DDA15	DMA デスティネーション・アドレス・レジスタ CH15					○	00000000H
FFFF7674H	DDA15L	DMA デスティネーション・アドレス・レジスタ LCH15				○		0000H
FFFF7676H	DDA15H	DMA デスティネーション・アドレス・レジスタ HCH15				○		0000H
FFFF7678H	DDC15	DMA デスティネーション・チップ・セレクト・レジスタ CH15				○		0001H
FFFF767CH	DNDA15	DMA ネクスト・デスティネーション・アドレス・レジスタ CH15					○	00000000H
FFFF767CH	DNDA15L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH15				○		0000H
FFFF767EH	DNDA15H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH15				○		0000H
FFFF7680H	DNDC15	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH15				○		0001H
FFFF7682H	DTC15	DMA 転送カウント・レジスタ CH15				○		0000H
FFFF7684H	DNTC15	DMA ネクスト転送カウント・レジスタ CH15				○		0000H
FFFF7686H	DTCC15	DMA 転送カウント・コンペア・レジスタ CH15				○		0000H
FFFF7688H	DTCT15	DMA 転送制御レジスタ CH15				○		0000H
FFFF768AH	DTS15	DMA 転送ステータス・レジスタ CH15		○	○			00H

注意 マッピングされていないアドレスにアクセスした場合、ライトは無視し、リードは0を返します。

10.4.3 制御レジスタへの書き込み可否

DMA 転送許可中に、下記の制御レジスタに対する書き込みはできません。読み出しは全レジスタにおいて常に可能です。

表 10-8 制御レジスタへの書き込み可否

常に書き込み可能	DTRC _x , DNSAnL, DNSAnH, DNSC _n , DNDA _n L, DNDA _n H, DNDC _n , DNTC _n , DTS _n
DMA 転送許可中 (DTS _n .DTS _n DTE ビット = 1) は書き込み禁止 (書き込んだときの動作は保証しません)	DTRS _n , DSAnL, DSAnH, DSC _n , DDAnL, DDAnH, DDC _n , DTC _n , DTCC _n , DTCT _n

備考 n = 0-15, x = 0, 1

10.5 DMAC 制御レジスタ

10.5.1 DTRCx (x = 0, 1) : DMA 転送要求コントロール・レジスタ

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス DTRC0: FFFF7300_H, DTRC1: FFFF7500_H

初期値 00_H

	7	6	5	4	3	2	1	0
DTRCx ERR	0	0	0	0	0	0	0	DTRCx ADS
	R/W	R	R	R	R	R	R	R/W

表 10-9 DTRCx レジスタの内容

ビット位置	ビット名	意味
7	DTRCxERR	DMA 転送エラー・ステータス DMA 転送において転送対象よりエラー・レスポンスを受信したことを示します。 エラー・レスポンスを受信すると、DTRCxERR ビットと DTRCxADS ビットを セットし、CPU で SysError 例外を発生させます。クリアする場合“0”を書き込ん でください。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
0	DTRCxADS	DMA 転送中断 DMA 転送が転送停止要求により中断していることを示します。また、ユーザが “1”を書き込むことで、現在転送している DMA 転送を中断することができます。 0 : DMA 転送中断なし 1 : DMA 転送中断中／DMA 転送中断要求

DTRC0 は DMA チャンネル 0-7, DTRC1 は DMA チャンネル 8-15 に対応します。

10.5.2 DTRSn (n = 0-15) : DMA 転送要求選択レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DTRS15: FFFF7660_H, DTRS14: FFFF7630_H, DTRS13: FFFF7600_H,
DTRS12: FFFF75D0_H, DTRS11: FFFF75A0_H, DTRS10: FFFF7570_H,
DTRS9: FFFF7540_H, DTRS8: FFFF7510_H, DTRS7: FFFF7460_H,
DTRS6: FFFF7430_H, DTRS5: FFFF7400_H, DTRS4: FFFF73D0_H,
DTRS3: FFFF73A0_H, DTRS2: FFFF7370_H, DTRS1: FFFF7340_H,
DTRS0: FFFF7310_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	DTR3	DTR2	DTR1	DTR0
R	R	R	R	R/W	R/W	R/W	R/W

表 10-10 DTRSn レジスタの内容

ビット位置	ビット名	意味																				
3-0	DTR3-DTR0	DMA 転送要求割り付け チャンネル n の DMA 転送要求の割り付けを設定します。																				
		<table border="1"> <thead> <tr> <th>DTR3</th><th>DTR2</th><th>DTR1</th><th>DTR0</th><th>DMA 転送要求</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>ソフトウェア DMA 転送要求</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>ハードウェア DMA 転送要求</td></tr> <tr> <td colspan="4">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	DTR3	DTR2	DTR1	DTR0	DMA 転送要求	0	0	0	0	ソフトウェア DMA 転送要求	0	0	0	1	ハードウェア DMA 転送要求	上記以外				設定禁止
DTR3	DTR2	DTR1	DTR0	DMA 転送要求																		
0	0	0	0	ソフトウェア DMA 転送要求																		
0	0	0	1	ハードウェア DMA 転送要求																		
上記以外				設定禁止																		

- 注意**
1. DMA 転送許可状態 (DTRSn.DTRSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. DTR[3:0] を設定禁止の状態に設定した場合の動作は保証しません。

10.5.3 DSAnL (n = 0-15) : DMA ソース・アドレス・レジスタ L

アクセス 16ビット単位でリード/ライト可能です。

アドレス DSA15L: FFFF7664_H, DSA14L: FFFF7634_H, DSA13L: FFFF7604_H,
 DSA12L: FFFF75D4_H, DSA11L: FFFF75A4_H, DSA10L: FFFF7574_H,
 DSA9L: FFFF7544_H, DSA8L: FFFF7514_H, DSA7L: FFFF7464_H,
 DSA6L: FFFF7434_H, DSA5L: FFFF7404_H, DSA4L: FFFF73D4_H,
 DSA3L: FFFF73A4_H, DSA2L: FFFF7374_H, DSA1L: FFFF7344_H,
 DSA0L: FFFF7314_H

初期値 0000_H

15	14	13	12	11	10	9	8
SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-11 DSAnL レジスタの内容

ビット位置	ビット名	意味
15-0	SA15-SA0	DMA ソース・アドレス チャンネル n の転送元アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DSAnL、DSAnH を 32 ビットでアクセスすることを推奨します。DNSAnH.NSAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTSnDTE ビットが“0”の状態での 32 ビット・アクセスにより設定してください。
 3. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

10.5.4 DSAnH (n = 0-15) : DMA ソース・アドレス・レジスタ H

アクセス 16ビット単位でリード/ライト可能です。

アドレス DSA15H: FFFF7666_H, DSA14H: FFFF7636_H, DSA13H: FFFF7606_H,
 DSA12H: FFFF75D6_H, DSA11H: FFFF75A6_H, DSA10H: FFFF7576_H,
 DSA9H: FFFF7546_H, DSA8H: FFFF7516_H, DSA7H: FFFF7466_H,
 DSA6H: FFFF7436_H, DSA5H: FFFF7406_H, DSA4H: FFFF73D6_H,
 DSA3H: FFFF73A6_H, DSA2H: FFFF7376_H, DSA1H: FFFF7346_H,
 DSA0H: FFFF7316_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	0	SA28	SA27	SA26	SA25	SA24
R	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-12 DSAnH レジスタの内容

ビット位置	ビット名	意味
12-0	SA28-SA16	DMA ソース・アドレス チャンネル n の転送元アドレスの上位 13 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DSAnL、DSAnH を 32 ビットでアクセスすることを推奨します。DNSAnH.NSAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTSnDTE ビットが“0”の状態ですべてのビット・アクセスにより設定してください。

10.5.5 DSCn (n = 0-15) : DMA ソース・チップ・セレクト・レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DSC15: FFFF7668_H, DSC14: FFFF7638_H, DSC13: FFFF7608_H,
DSC12: FFFF75D8_H, DSC11: FFFF75A8_H, DSC10: FFFF7578_H,
DSC9: FFFF7548_H, DSC8: FFFF7518_H, DSC7: FFFF7468_H,
DSC6: FFFF7438_H, DSC5: FFFF7408_H, DSC4: FFFF73D8_H,
DSC3: FFFF73A8_H, DSC2: FFFF7378_H, DSC1: FFFF7348_H,
DSC0: FFFF7318_H

初期値 0001_H

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	SCS1	SCS0	SCSE
R	R	R	R	R	R/W	R/W	R/W

表 10-13 DSCn レジスタの内容

ビット位置	ビット名	意味																
2 1 0	SCS1 SCS0 SESE	DMA ソース・チップ・セレクト チャンネル n の転送元として選択する領域を設定します。																
		<table border="1"> <thead> <tr> <th>SCS1</th><th>SCS0</th><th>SCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>内蔵フラッシュ・メモリ, 内蔵 RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	SCS1	SCS0	SCSE	選択領域	0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域	0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM	上記以外			設定禁止
SCS1	SCS0	SCSE	選択領域															
0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域															
0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM															
上記以外			設定禁止															

- 注意**
1. DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. SCS0, SCSE ビットは, 単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
 3. SCS1 ビットは, 必ず 0 を設定してください。

10.5.6 DNSAnL (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ L

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DNSA15L: FFFF766C_H, DNSA14L: FFFF763C_H, DNSA13L: FFFF760C_H,
DNSA12L: FFFF75DC_H, DNSA11L: FFFF75AC_H, DNSA10L: FFFF757C_H,
DNSA9L: FFFF754C_H, DNSA8L: FFFF751C_H, DNSA7L: FFFF746C_H,
DNSA6L: FFFF743C_H, DNSA5L: FFFF740C_H, DNSA4L: FFFF73DC_H,
DNSA3L: FFFF73AC_H, DNSA2L: FFFF737C_H, DNSA1L: FFFF734C_H,
DNSA0L: FFFF731C_H

初期値 0000_H

15	14	13	12	11	10	9	8
NSA15	NSA14	NSA13	NSA12	NSA11	NSA10	NSA9	NSA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NSA7	NSA6	NSA5	NSA4	NSA3	NSA2	NSA1	NSA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-14 DNSAnL レジスタの内容

ビット位置	ビット名	意味
15-0	NSA15-NSA0	DMA ネクスト・ソース・アドレス チャンネル n の次回転送時の転送元アドレスの下位 16 ビットを設定します。

注意 ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NSA3	NSA2	NSA1	NSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

10.5.7 DNSAnH (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ H

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DNSA15H: FFFF766E_H, DNSA14H: FFFF763E_H, DNSA13H: FFFF760E_H,
DNSA12H: FFFF75DE_H, DNSA11H: FFFF75AE_H, DNSA10H: FFFF757E_H,
DNSA9H: FFFF754E_H, DNSA8H: FFFF751E_H, DNSA7H: FFFF746E_H,
DNSA6H: FFFF743E_H, DNSA5H: FFFF740E_H, DNSA4H: FFFF73DE_H,
DNSA3H: FFFF73AE_H, DNSA2H: FFFF737E_H, DNSA1H: FFFF734E_H,
DNSA0H: FFFF731E_H

初期値 0000_H

15	14	13	12	11	10	9	8
NSAV	0	0	NSA28	NSA27	NSA26	NSA25	NSA24
R/W	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NSA23	NSA22	NSA21	NSA20	NSA19	NSA18	NSA17	NSA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-15 DNSAnH レジスタの内容

ビット位置	ビット名	意味
15	NSAV	DMA ネクスト・ソース・アドレス・バリッド DMA 転送完了時に DMA ネクスト・ソース・アドレス・レジスタからアドレスを DMA ソース・アドレス・レジスタにコピーするかどうかを制御します。また、アドレスをコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了
12-0	NSA28-NSA16	DMA ネクスト・ソース・アドレス チャンネル n の次回転送時の転送元アドレスの上位 13 ビットを設定します。

10.5.8 DNSCn (n = 0-15) : DMA ネクスト・ソース・チップ・セレクト・レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DNSC15: FFFF7670_H, DNSC14: FFFF7640_H, DNSC13: FFFF7610_H,
DNSC12: FFFF75E0_H, DNSC11: FFFF75B0_H, DNSC10: FFFF7580_H,
DNSC9: FFFF7550_H, DNSC8: FFFF7520_H, DNSC7: FFFF7470_H,
DNSC6: FFFF7440_H, DNSC5: FFFF7410_H, DNSC4: FFFF73E0_H,
DNSC3: FFFF73B0_H, DNSC2: FFFF7380_H, DNSC1: FFFF7350_H,
DNSC0: FFFF7320_H

初期値 0001_H

15	14	13	12	11	10	9	8
NSCV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	NSCS1	NSCS0	NSCSE
R	R	R	R	R	R/W	R/W	R/W

表 10-16 DNSCn レジスタの内容

ビット位置	ビット名	意味																
15	NSCV	DMA ネクスト・ソース・アドレス・セレクト・バリッド DMA 転送完了時に DMA ネクスト・ソース・チップ・セレクト・レジスタからチップ・セレクトを DMA ソース・チップ・セレクト・レジスタにコピーするかどうかを制御します。また、チップ・セレクトをコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了																
2 1 0	NSCS1 NSCS0 NSCSE	DMA ネクスト・ソース・チップ・セレクト チャンネル n の次回 DMA 転送時の転送元として選択する領域を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>NSCS1</th><th>NSCS0</th><th>NSCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>内蔵フラッシュ・メモリ, 内蔵 RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	NSCS1	NSCS0	NSCSE	選択領域	0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域	0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM	上記以外			設定禁止
NSCS1	NSCS0	NSCSE	選択領域															
0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域															
0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM															
上記以外			設定禁止															

- 注意**
1. NSCS0, NSCSE ビットは、単一ビットが1になるように設定してください。複数ビットを1に設定した場合の動作は保証しません。
 2. NSCS1 ビットは、必ず0を設定してください。

10.5.9 DDAnL (n = 0-15) : DMA デスティネーション・アドレス・レジスタ L

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DDA15L: FFFF7674_H, DDA14L: FFFF7644_H, DDA13L: FFFF7614_H,
DDA12L: FFFF75E4_H, DDA11L: FFFF75B4_H, DDA10L: FFFF7584_H,
DDA9L: FFFF7554_H, DDA8L: FFFF7524_H, DDA7L: FFFF7474_H,
DDA6L: FFFF7444_H, DDA5L: FFFF7414_H, DDA4L: FFFF73E4_H,
DDA3L: FFFF73B4_H, DDA2L: FFFF7384_H, DDA1L: FFFF7354_H,
DDA0L: FFFF7324_H

初期値 0000_H

15	14	13	12	11	10	9	8
DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-17 DDAnL レジスタの内容

ビット位置	ビット名	意味
15-0	DA15-DA0	DMA デスティネーション・アドレス チャンネル n の転送先アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DDAnL, DDAnH を 32 ビットでアクセスすることを推奨します。DNDAnH.NDAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTSnDTE ビットが“0”の状態での 32 ビット・アクセスにより設定してください。
 3. DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスは更新しません。
 4. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

10.5.10 DDA_nH (n = 0-15) : DMA デスティネーション・アドレス・レジスタ H

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DDA15H: FFFF7676_H, DDA14H: FFFF7646_H, DDA13H: FFFF7616_H,
DDA12H: FFFF75E6_H, DDA11H: FFFF75B6_H, DDA10H: FFFF7586_H,
DDA9H: FFFF7556_H, DDA8H: FFFF7526_H, DDA7H: FFFF7476_H,
DDA6H: FFFF7446_H, DDA5H: FFFF7416_H, DDA4H: FFFF73E6_H,
DDA3H: FFFF73B6_H, DDA2H: FFFF7386_H, DDA1H: FFFF7356_H,
DDA0H: FFFF7326_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	0	DA28	DA27	DA26	DA25	DA24
R	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-18 DDA_nH レジスタの内容

ビット位置	ビット名	意味
12-0	DA28-DA16	DMA デスティネーション・アドレス チャンネル n の転送先アドレスの上位 13 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DDA _n L、DDA _n H を 32 ビットでアクセスすることを推奨します。DNDAnH.NDAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTS_n.DTS_nDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. アドレスは、設定途中のアドレスで転送しないために、DTS_nDTE ビットが“0”の状態ですべてのビット・アクセスにより設定してください。
 3. DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスは更新しません。

10.5.11 DDCn (n = 0-15) : DMA デスティネーション・チップ・セレクト・レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DDC15: FFFF7678_H, DDC14: FFFF7648_H, DDC13: FFFF7618_H,
 DDC12: FFFF75E8_H, DDC11: FFFF75B8_H, DDC10: FFFF7588_H,
 DDC9: FFFF7558_H, DDC8: FFFF7528_H, DDC7: FFFF7478_H,
 DDC6: FFFF7448_H, DDC5: FFFF7418_H, DDC4: FFFF73E8_H,
 DDC3: FFFF73B8_H, DDC2: FFFF7388_H, DDC1: FFFF7358_H,
 DDC0: FFFF7328_H

初期値 0001_H

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	DCS1	DCS0	DCSE
R	R	R	R	R	R/W	R/W	R/W

表 10-19 DDCn レジスタの内容

ビット位置	ビット名	意味																
2 1 0	DCS1 DCS0 DCSE	DMA デスティネーション・チップ・セレクト チャンネル n の転送先として選択する領域を設定します。																
		<table border="1"> <thead> <tr> <th>DCS1</th><th>DCS0</th><th>DCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>内蔵フラッシュ・メモリ, 内蔵 RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	DCS1	DCS0	DCSE	選択領域	0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域	0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM	上記以外			設定禁止
DCS1	DCS0	DCSE	選択領域															
0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域															
0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM															
上記以外			設定禁止															

- 注意**
1. DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. DCS0, DCSE ビットは, 単一ビットが1になるように設定してください。複数ビットを1に設定した場合の動作は保証しません。
 3. DCS1 ビットは, 必ず0を設定してください。

10.5.12 DNDA_nL (n = 0-15) : DMA ネクスト・デスティネーション・アドレス・レジスタ L

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DNDA15L: FFFF767C_H, DNDA14L: FFFF764C_H, DNDA13L: FFFF761C_H,
DNDA12L: FFFF75EC_H, DNDA11L: FFFF75BC_H, DNDA10L: FFFF758C_H,
DNDA9L: FFFF755C_H, DNDA8L: FFFF752C_H, DNDA7L: FFFF747C_H,
DNDA6L: FFFF744C_H, DNDA5L: FFFF741C_H, DNDA4L: FFFF73EC_H,
DNDA3L: FFFF73BC_H, DNDA2L: FFFF738C_H, DNDA1L: FFFF735C_H,
DNDA0L: FFFF732C_H

初期値 0000_H

15	14	13	12	11	10	9	8
NDA15	NDA14	NDA13	NDA12	NDA11	NDA10	NDA9	NDA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NDA7	NDA6	NDA5	NDA4	NDA3	NDA2	NDA1	NDA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-20 DNDA_nL レジスタの内容

ビット位置	ビット名	意味
15-0	NDA15-NDA0	DMA ネクスト・デスティネーション・アドレス チャンネル n の次回転送時の転送先アドレスの下位 16 ビットを設定します。

注意 ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NDA3	NDA2	NDA1	NDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

10.5.13 DNDA_nH (n = 0-15) : DMA ネクスト・デスティネーション・アドレス・レジスタ H

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DNDA15H: FFFF767E_H, DNDA14H: FFFF764E_H, DNDA13H: FFFF761E_H,
DNDA12H: FFFF75EE_H, DNDA11H: FFFF75BE_H, DNDA10H: FFFF758E_H,
DNDA9H: FFFF755E_H, DNDA8H: FFFF752E_H, DNDA7H: FFFF747E_H,
DNDA6H: FFFF744E_H, DNDA5H: FFFF741E_H, DNDA4H: FFFF73EE_H,
DNDA3H: FFFF73BE_H, DNDA2H: FFFF738E_H, DNDA1H: FFFF735E_H,
DNDA0H: FFFF732E_H

初期値 0000_H

15	14	13	12	11	10	9	8
NDAV	0	0	NDA28	NDA27	NDA26	NDA25	NDA24
R/W	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NDA23	NDA22	NDA21	NDA20	NDA19	NDA18	NDA17	NDA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-21 DNDA_nH レジスタの内容

ビット位置	ビット名	意味
15	NDAV	DMA ネクスト・デスティネーション・アドレス・バリッド DMA 転送完了時に DMA ネクスト・デスティネーション・アドレス・レジスタからアドレスを DMA デスティネーション・アドレス・レジスタにコピーするかどうかを制御します。また、アドレスをコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了
12-0	NDA28- NDA16	DMA ネクスト・デスティネーション・アドレス チャンネル n の次回転送時の転送先アドレスの上位 13 ビットを設定します。

10.5.14 DNDCn (n = 0-15) : DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ

アクセス 16 ビット単位でリード/ライト可能です。

アドレス DNDC15: FFFF7680_H, DNDC14: FFFF7650_H, DNDC13: FFFF7620_H,
DNDC12: FFFF75F0_H, DNDC11: FFFF75C0_H, DNDC10: FFFF7590_H,
DNDC9: FFFF7560_H, DNDC8: FFFF7530_H, DNDC7: FFFF7480_H,
DNDC6: FFFF7450_H, DNDC5: FFFF7420_H, DNDC4: FFFF73F0_H,
DNDC3: FFFF73C0_H, DNDC2: FFFF7390_H, DNDC1: FFFF7360_H,
DNDC0: FFFF7330_H

初期値 0001_H

15	14	13	12	11	10	9	8
NDCV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	NDCS1	NDCS0	NDCSE
R	R	R	R	R	R/W	R/W	R/W

表 10-22 DNDCn レジスタの内容

ビット位置	ビット名	意味																
15	NDCV	DMA ネクスト・デスティネーション・チップ・セレクト・バリッド DMA 転送完了時に DMA ネクスト・デスティネーション・チップ・セレクト・レジスタからチップ・セレクトを DMA デスティネーション・チップ・セレクト・レジスタにコピーするかどうかを制御します。また、チップ・セレクトをコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了																
2 1 0	NDCS1 NDCS0 NDCSE	DMA ネクスト・デスティネーション・チップ・セレクト チャンネル n の次回転送時の転送先として選択する領域を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>NDCS1</th><th>NDCS0</th><th>NDCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>内蔵フラッシュ・メモリ, 内蔵 RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	NDCS1	NDCS0	NDCSE	選択領域	0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域	0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM	上記以外			設定禁止
NDCS1	NDCS0	NDCSE	選択領域															
0	0	1	外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域															
0	1	0	内蔵フラッシュ・メモリ, 内蔵 RAM															
上記以外			設定禁止															

- 注意**
1. NDCS0, NDCSE ビットは、単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
 2. NDCS1 ビットは、必ず 0 を設定してください。

10.5.15 DTCn (n = 0-15) : DMA 転送カウント・レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DCT15: FFFF7682_H, DCT14: FFFF7652_H, DCT13: FFFF7622_H,
DCT12: FFFF75F2_H, DCT11: FFFF75C2_H, DCT10: FFFF7592_H,
DCT9: FFFF7562_H, DCT8: FFFF7532_H, DCT7: FFFF7482_H,
DCT6: FFFF7452_H, DCT5: FFFF7422_H, DCT4: FFFF73F2_H,
DCT3: FFFF73C2_H, DCT2: FFFF7392_H, DCT1: FFFF7362_H,
DCT0: FFFF7332_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	DTC14	DTC13	DTC12	DTC11	DTC10	DTC9	DTC8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DTC7	DTC6	DTC5	DTC4	DTC3	DTC2	DTC1	DTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-23 DTCn レジスタの内容

ビット位置	ビット名	意味										
14-0	DTC14- DTC0	DMA 転送カウント チャンネル n の DMA 転送回数を設定します。DMA 転送中に参照すると、 残り転送回数が読み出せます。 DNTCn.NTCV ビットをセットしていない場合、DMA 転送が完了すると、 完了時の値 (0000H) を保持します。 <table border="1" data-bbox="630 1137 1369 1352"> <thead> <tr> <th>DTC[14:0]</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0000H</td><td>32768 回転送, または転送完了</td></tr> <tr> <td>0001H</td><td>1 回転送, または残り転送回数 1 回</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>7FFFH</td><td>32767 回転送, または残り転送回数 32767 回</td></tr> </tbody> </table>	DTC[14:0]	動作	0000H	32768 回転送, または転送完了	0001H	1 回転送, または残り転送回数 1 回	:	:	7FFFH	32767 回転送, または残り転送回数 32767 回
DTC[14:0]	動作											
0000H	32768 回転送, または転送完了											
0001H	1 回転送, または残り転送回数 1 回											
:	:											
7FFFH	32767 回転送, または残り転送回数 32767 回											

- 注意**
1. DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスは更新しません。

10.5.16 DNTCn (n = 0-15) : DMA ネクスト転送カウント・レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DNCT15: FFFF7684_H, DNCT14: FFFF7654_H, DNCT13: FFFF7624_H,
DNCT12: FFFF75F4_H, DNCT11: FFFF75C4_H, DNCT10: FFFF7594_H,
DNCT9: FFFF7564_H, DNCT8: FFFF7534_H, DNCT7: FFFF7484_H,
DNCT6: FFFF7454_H, DNCT5: FFFF7424_H, DNCT4: FFFF73F4_H,
DNCT3: FFFF73C4_H, DNCT2: FFFF7394_H, DNCT1: FFFF7364_H,
DNCT0: FFFF7334_H

初期値 0000_H

15	14	13	12	11	10	9	8
NTCV	NDTC14	NDTC13	NDTC12	NDTC11	NDTC10	NDTC9	NDTC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NDTC7	NDTC6	NDTC5	NDTC4	NDTC3	NDTC2	NDTC1	NDTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-24 DNTCn レジスタの内容

ビット位置	ビット名	意味										
15	NTCV	DMA ネクスト転送カウント・バリッド DMA 転送完了時に DMA ネクスト転送カウント・レジスタから転送回数を DMA 転送カウント・レジスタにコピーするかどうかを制御します。また、転送回数をコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了										
14-0	NDTC14-NDTC0	DMA ネクスト転送カウント チャンネル n の次回転送時の DMA 転送回数を設定します。 <table border="1" data-bbox="628 1238 1369 1451"> <thead> <tr> <th>NDTC[14:0]</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0000H</td><td>32768 回転送</td></tr> <tr> <td>0001H</td><td>1 回転送</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>7FFFH</td><td>32767 回転送</td></tr> </tbody> </table>	NDTC[14:0]	動作	0000H	32768 回転送	0001H	1 回転送	:	:	7FFFH	32767 回転送
NDTC[14:0]	動作											
0000H	32768 回転送											
0001H	1 回転送											
:	:											
7FFFH	32767 回転送											

10.5.17 DTCCn (n = 0-15) : DMA 転送カウント・コンペア・レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DTCC15: FFFF7686_H, DTCC14: FFFF7656_H, DTCC13: FFFF7626_H,
DTCC12: FFFF75F6_H, DTCC11: FFFF75C6_H, DTCC10: FFFF7596_H,
DTCC9: FFFF7566_H, DTCC8: FFFF7536_H, DTCC7: FFFF7486_H,
DTCC6: FFFF7456_H, DTCC5: FFFF7426_H, DTCC4: FFFF73F6_H,
DTCC3: FFFF73C6_H, DTCC2: FFFF7396_H, DTCC1: FFFF7366_H,
DTCC0: FFFF7336_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	DTCC14	DTCC13	DTCC12	DTCC11	DTCC10	DTCC9	DTCC8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DTCC7	DTCC6	DTCC5	DTCC4	DTCC3	DTCC2	DTCC1	DTCC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-25 DTCCn レジスタの内容

ビット位置	ビット名	意味										
14-0	DTCC14- DTCC0	DMA 転送カウント・コンペア チャンネル n の DMA 転送カウント・レジスタとコンペアし、一致すると割り込みを発生させる転送回数を設定します。ネクスト・アドレス設定のトリガとして使用できます。 この DTCCn レジスタの値と一致する回数の DMA 転送が完了すると割り込みを発生させます。 <table border="1" data-bbox="628 1167 1369 1384"> <thead> <tr> <th>DTCC[14:0]</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0000H</td><td>コンペアしない</td></tr> <tr> <td>0001H</td><td>DTC = 0001H のときに割り込み発生</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>7FFFH</td><td>DTC = 7FFFH のときに割り込み発生</td></tr> </tbody> </table>	DTCC[14:0]	動作	0000H	コンペアしない	0001H	DTC = 0001H のときに割り込み発生	:	:	7FFFH	DTC = 7FFFH のときに割り込み発生
DTCC[14:0]	動作											
0000H	コンペアしない											
0001H	DTC = 0001H のときに割り込み発生											
:	:											
7FFFH	DTC = 7FFFH のときに割り込み発生											

注意 DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

10.5.18 DTCTn (n = 0-15) : DMA 転送制御レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DTCT15: FFFF7688_H, DTCT14: FFFF7658_H, DTCT13: FFFF7628_H,
DTCT12: FFFF75F8_H, DTCT11: FFFF75C8_H, DTCT10: FFFF7598_H,
DTCT9: FFFF7568_H, DTCT8: FFFF7538_H, DTCT7: FFFF7488_H,
DTCT6: FFFF7458_H, DTCT5: FFFF7428_H, DTCT4: FFFF73F8_H,
DTCT3: FFFF73C8_H, DTCT2: FFFF7398_H, DTCT1: FFFF7368_H,
DTCT0: FFFF7338_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	DS1	DS0	MLE	0	0	0	0
R	R/W	R/W	R/W	R	R	R	R
7	6	5	4	3	2	1	0
SACM1	SACM0	DACM1	DACM0	0	0	0	DMS
R/W	R/W	R/W	R/W	R	R	R	R/W

表 10-26 DTCTn レジスタの内容 (1/2)

ビット位置	ビット名	意味															
14 13	DS1 DS0	DMA 転送データ・サイズ チャンネル n の DMA 転送データ・サイズを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DS1</th><th>DS0</th><th>転送データ・サイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>8 ビット</td></tr> <tr> <td>0</td><td>1</td><td>16 ビット</td></tr> <tr> <td>1</td><td>0</td><td>32 ビット</td></tr> <tr> <td>1</td><td>1</td><td>128 ビット</td></tr> </tbody> </table>	DS1	DS0	転送データ・サイズ	0	0	8 ビット	0	1	16 ビット	1	0	32 ビット	1	1	128 ビット
DS1	DS0	転送データ・サイズ															
0	0	8 ビット															
0	1	16 ビット															
1	0	32 ビット															
1	1	128 ビット															
12	MLE	マルチリンク・イネーブル DMA 転送完了後、DTSnTC ビットをクリアしなくても次回の DMA 転送要求を受け付けるかどうかを設定します。 このビットをセットすると、DMA 転送完了時に DTSn.DTSnDTE ビットをクリアしません。また、DTSnTC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。 0 : DMA 転送完了時に DTSnDTE ビットをクリアします 1 : DMA 転送完了時に DTSnDTE ビットをクリアしません															
7 6	SACM1 SACM0	DMA 転送元アドレス・カウント方向 チャンネル n の転送元アドレスのカウント方向を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SACM1</th><th>SACM0</th><th>カウント方向</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>インクリメント</td></tr> <tr> <td>0</td><td>1</td><td>デクリメント</td></tr> <tr> <td>1</td><td>0</td><td>固定</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	SACM1	SACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SACM1	SACM0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

表 10-26 DTCTn レジスタの内容 (2/2)

ビット位置	ビット名	意味															
5 4	DACM1 DACM0	<p>DMA 転送先アドレス・カウント方向 チャンネル n の転送先アドレスのカウント方向を設定します。</p> <table border="1"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DACM1	DACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DACM1	DACM0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
0	DSM	<p><u>DMA シグナル・モード</u> DMAAK[0:5], DMATC[0:5] 出力端子の出カタイミングを設定します。 0: リード・サイクルで出力します。 1: ライト・サイクルで出力します。 DSM ビットは DTCT0 ~ DTCT5 レジスタのみ有効です。DTC6 から DTC15 レジスタにはありません。</p>															

- 注意**
1. DMA 転送許可状態 (DTSn.DTSnDTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
 2. SACM[1:0], DACM[1:0] ビットを設定禁止の状態に設定した場合の動作は保証しません。
 3. DTCTn レジスタのビット 11 およびビット 0 は必ず“0”を設定してください。

10.5.19 DTSn (n = 0-15) : DMA 転送ステータス・レジスタ

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス DTS15: FFFF768A_H, DTS14: FFFF765A_H, DTS13: FFFF762A_H,
DTS12: FFFF75FA_H, DTS11: FFFF75CA_H, DTS10: FFFF759A_H,
DTS9: FFFF756A_H, DTS8: FFFF753A_H, DTS7: FFFF748A_H,
DTS6: FFFF745A_H, DTS5: FFFF742A_H, DTS4: FFFF73FA_H,
DTS3: FFFF73CA_H, DTS2: FFFF739A_H, DTS1: FFFF736A_H,
DTS0: FFFF733A_H

初期値 00_H

7	6	5	4	3	2	1	0
DTSnTC	DTSnDT	0	0	DTSnER	DTSnDR	DTSnSR	DTSnDTE
R/W	R/W	R	R	R	R	R/W	R/W

表 10-27 DTSn レジスタの内容 (1/2)

ビット位置	ビット名	意味
7	DTSnTC	DMA 転送完了ステータス DMA 転送が完了したことを示します。ユーザによる“1”読み出し後、“0”書き込みによりクリアしてください。CLR1 などのビット操作による書き込みを推奨します。 0 : DMA 転送未完了 1 : DMA 転送完了
6	DTSnDT	DMA 転送ステータス DMA 転送が受け付けられて DMA 転送中であることを示します。DMA 転送要求があるだけではセットしません。DMA 転送完了によりクリアします。また、DTSnDTE ビットが“0”のときは、ユーザによるクリアが可能です (DTSnDTE ビットとの同時書き込みも可能)。 0 : DMA 転送要求受け付け 1 : DMA 転送中
3	DTSnER	DMA 転送エラー・フラグ チャンネル n で DMA 転送エラーが発生したことを示します。DTRCx.DTRCxERR ビットをクリアするとクリアされます。また、DTSnER ビットは Read Only です。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
2	DTSnDR	ハードウェア DMA 転送要求フラグ チャンネル n にハードウェア DMA 転送要求があることを示します。ハードウェア DMA 転送要求がインアクティブになるとクリアします。DTSnDTE ビットの状態にかかわらず動作します。ソフトウェア DMA 転送要求や、DMA 転送要求選択レジスタでソフトウェア DMA 転送要求を選択している場合のハードウェア DMA 転送要求ではセットしません。また、DTSnDR ビットは Read Only です。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり
1	DTSnSR	ソフトウェア DMA 転送要求 ソフトウェア DMA 転送要求を設定します。DMA 転送要求選択レジスタにおいてソフトウェア DMA 転送要求を選択している場合、DTSnSR ビットと DTSnDTE ビットに“1”を書き込むと DMA 転送を行います。DMA 転送が完了すると自動的にクリアします。また、DTSnSR ビットに“0”を書き込むと DMA 転送を中断します。 0 : ソフトウェア DMA 転送要求なし 1 : ソフトウェア DMA 転送要求あり

表 10-27 DTSn レジスタの内容 (2/2)

ビット位置	ビット名	意味
0	DTSnDTE	DMA 転送許可 DMA 転送許可を設定します。DTSnDTE ビットに“1”を書き込み、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に MLE ビットが“0”の場合、自動的にクリアします。また、DMA 転送中に DTSnDTE ビットに“0”を書き込むと、DMA 転送を中断します。 0 : DMA 転送禁止 1 : DMA 転送許可

10.6 DMAC 機能詳細

10.6.1 DMAC 転送の設定フロー

DMAC 転送の設定フローを示します。

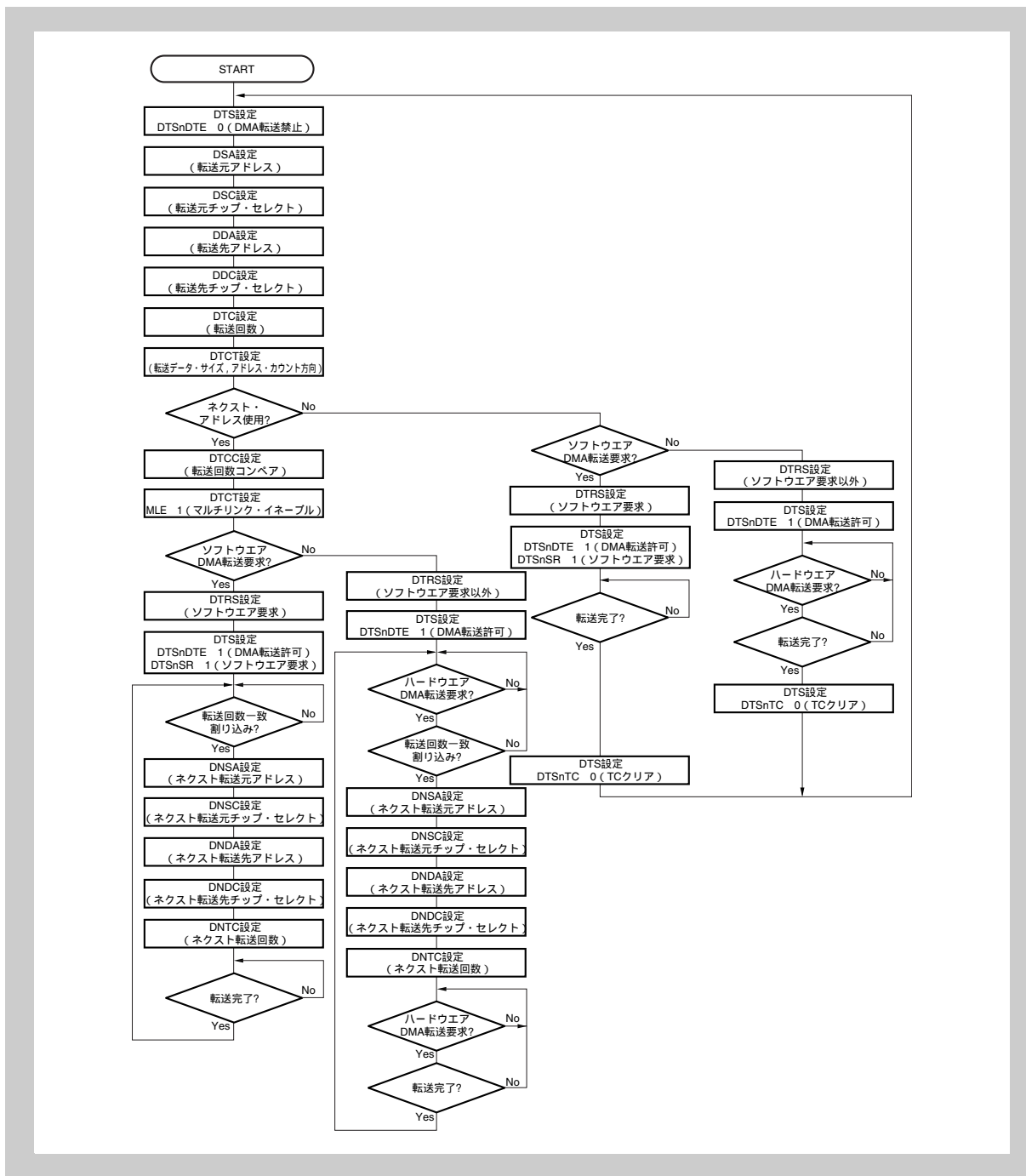


図 10-4 DMAC 転送の設定フロー

10.6.2 DMAC の転送モード

転送モードは、シングル転送モード、およびシングルステップ転送モードをサポートしています。

いずれのモードにおいても2サイクル転送（デュアル・アドレス転送）を行うため、1回の転送ごとにリード・サイクルとライト・サイクルを発生します。128ビット転送時にはリード・サイクル4回、ライト・サイクル4回の順にサイクルを発生します。

なお、バスをロックしないため、リード・サイクルとライト・サイクルの間や、128ビット転送時の4回のリード・サイクル、およびライト・サイクルの間にCPUサイクルが割り込むことがあります。

(1) シングル転送モード（ハードウェア DMA 転送要求時）

ハードウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ（8ビット／16ビット／32ビット／128ビット）の転送を行い、1回の転送ごとにバスを解放して、DMA 転送要求待ち状態になります。この際、ハードウェア DMA 転送要求を受け付けたことを示すアクリッジ n も出力します（n = 15-0）。

ハードウェア DMA 転送要求を受け付けるごとに1回の転送を行い、この動作を DMA 転送カウント・レジスタ n（DTCn）で指定した回数分続けます（n = 15-0）。

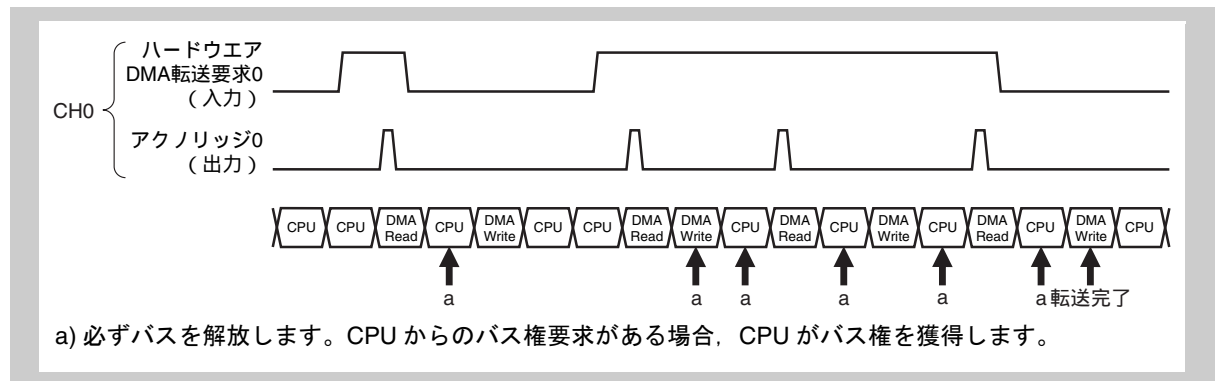


図 10-5 シングル転送例（8/16/32ビット）

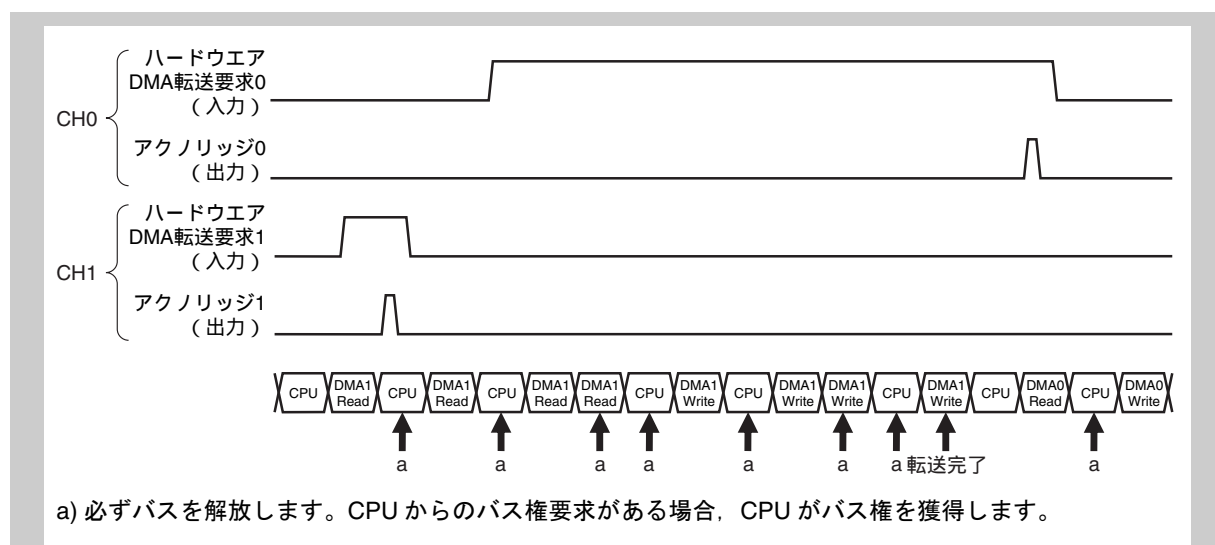


図 10-6 シングル転送例（128ビット，DMAチャンネル優先順位：CH0（高）>CH1（低））

(2) シングルステップ転送モード（ソフトウェア DMA 転送要求時）

ソフトウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ（8ビット／16ビット／32ビット／128ビット）の転送を行い、1回の転送ごとにバスを解放します。この際、ハードウェア DMA 転送要求を受け付けたことを示すアクノリッジ n は出力しません（n = 15-0）。

一度ソフトウェア DMA 転送要求を受け付けると、この動作を DMA 転送カウント・レジスタ n（DTCn）で指定した回数分続けます（n = 15-0）。なお、1回の転送ごとに優先順位判定を行うため、優先順位の高いチャンネルの DMA サイクルが割り込むことがあります。

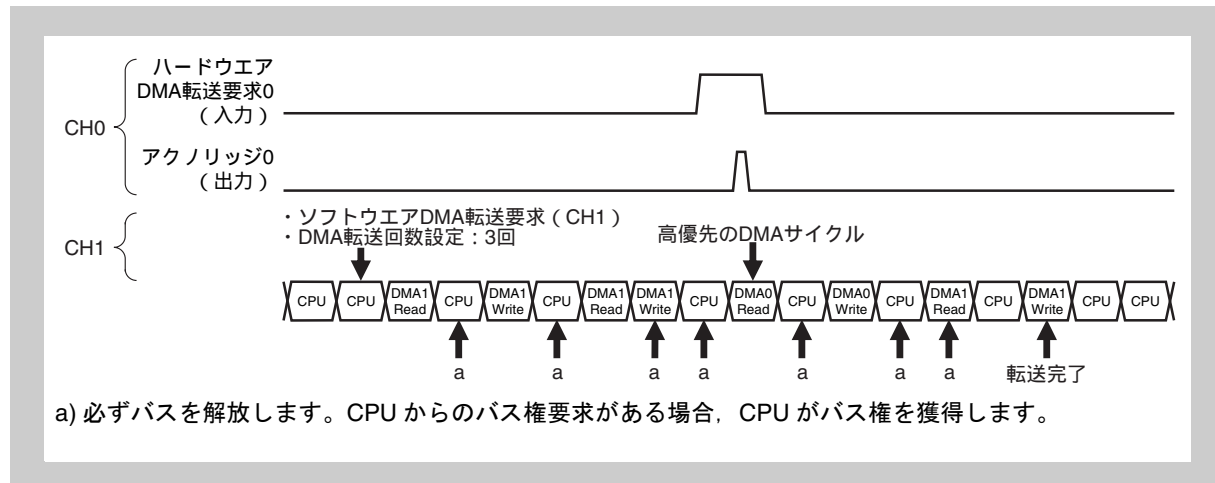


図 10-7 シングルステップ転送例（8/16/32ビット，DMAチャンネル優先順位：CH0（高）>CH1（低））

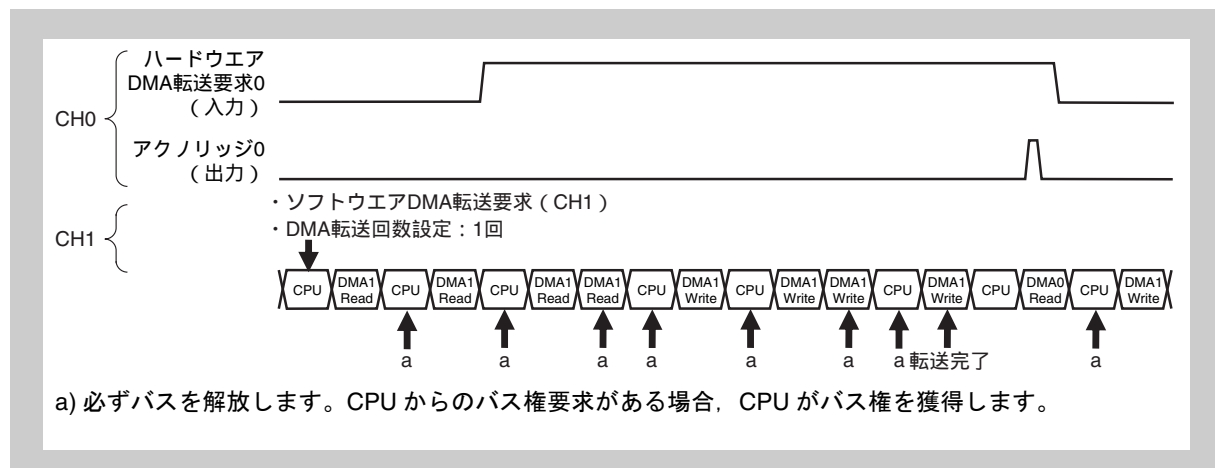


図 10-8 シングルステップ転送例（128ビット，DMAチャンネル優先順位：CH0（高）>CH1（低））

10.6.3 DMAC チャンネルの優先順位

各チャンネルの優先順位は固定となり次のようになります。

DMAC0 > DMAC1

DMAC0 (CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7)

DMAC1 (CH8 > CH9 > CH10 > CH11 > CH12 > CH13 > CH14 > CH15)

優先順位が高いほかのDMA転送要求が発生した場合は、常に優先順位が高いDMA転送要求を優先します。ソフトウェアDMA転送要求時も、1回のDMAサイクルごとにバスを解放するので、優先順位が高いほかのDMA転送要求が発生した場合は、常に優先順位が高いDMA転送要求を優先します。

DMA転送実行時に、優先順位が高いほかのDMA転送要求が発生した場合の例を次に示します。

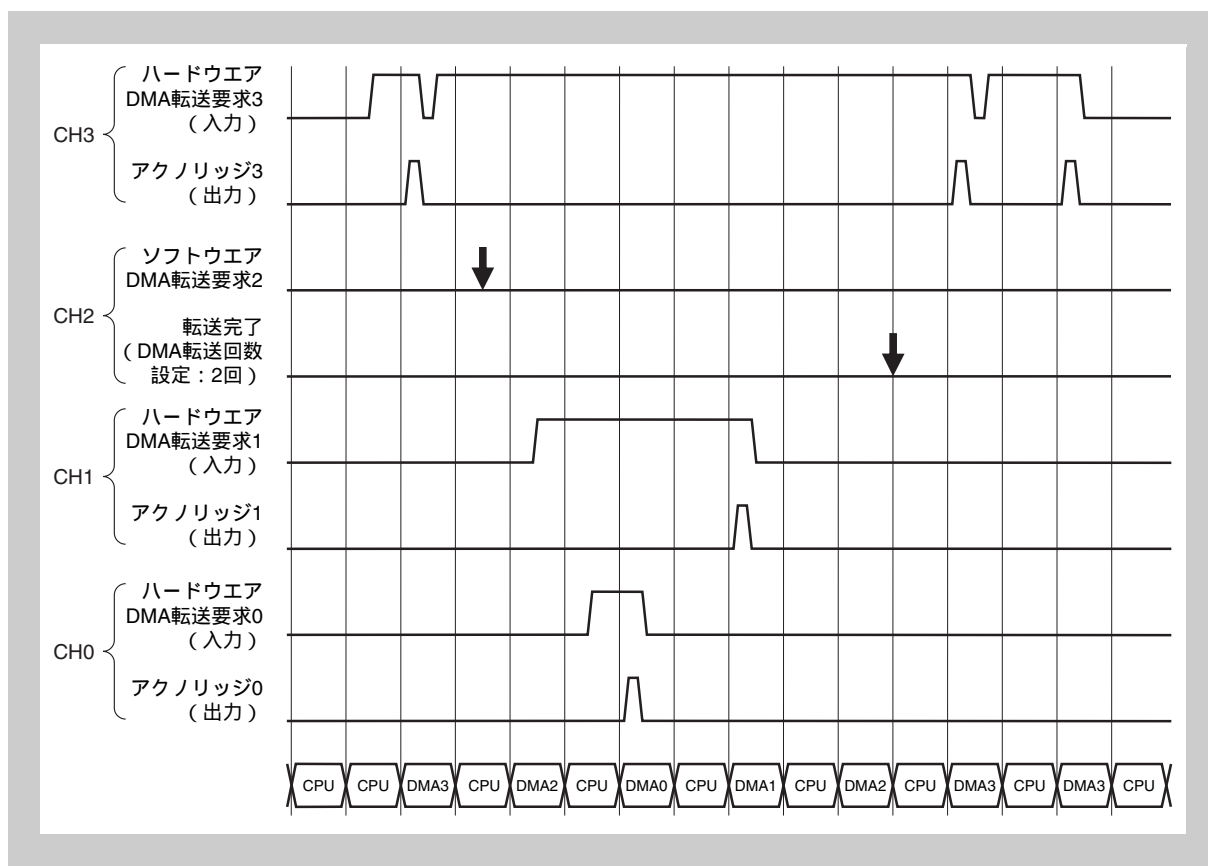


図 10-9 優先順位制御例

10.6.4 DMAC 転送要求の有効条件

チャンネルnのDMA転送要求を受け付けるかどうかは、DMA転送要求コントロールレジスタ(DTRCx)のDTRCxERRビット、DTRCxADSビット、DMA転送制御レジスタ(DTCTn)のMLEビット、DMA転送ステータスレジスタ(DTSn)のDTSnTCビット、DTSnDTEビットの設定によります。それぞれのビットの設定状態による、DMA転送要求受け付け可否を次に示します。

表 10-28 チャンネルnのDMA転送要求有効条件

レジスタ・ビット名	DTSn. DTSnDTE	DTSn. DTSnTC	DTCTn.MLE	DTRCx.DTR CxERR	DTRCx. DTRCxADS	DMA転送要求
DMA転送禁止	0	X	X	X	X	無効
DMA転送エラー発生中	X	X	X	1	X	無効
DMA転送中断中	X	X	X	X	1	無効
DMA転送完了 (マルチリンク・ディスエーブル)	X	1	0	X	X	無効
DMA転送完了/未完 (マルチリンク・イネーブル)	1	X	1	0	0	有効
DMA転送許可	1	0	0	0	0	有効

備考 n = 0-15

10.6.5 ネクスト・アドレス機能

(1) ネクスト・アドレス設定レジスタ

DMA 転送中に、次に転送したい転送情報をあらかじめ設定しておくレジスタです。最後の DMA サイクル開始時に、対応するレジスタにコピーします。用意しているレジスタを次に示します。

- ・DMA ネクスト・ソース・アドレス・レジスタ (DNSAnH / DNSAnL)
- ・DMA ネクスト・ソース・チップ・セレクト・レジスタ (DNSCn)
- ・DMA ネクスト・デスティネーション・アドレス・レジスタ (DNDAH / DNDAHL)
- ・DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ (DNDCn)
- ・DMA ネクスト転送カウント・レジスタ (DNTCn)

それぞれ最上位（アドレス・レジスタはH側の最上位）にバリッド・ビットを持ち、最後の DMA サイクル開始時にカレント・レジスタにコピーするかどうかを選択可能です。次に転送したい転送情報をカレント・レジスタにコピーすると、バリッド・ビットをクリアします。

(2) ネクスト・アドレス機能使用時の DMA 転送完了時の処理

通常、DMA 転送が完了すると、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送完了ステータス・ビット (DTSnTC) をセットすると同時に DMA 転送許可ビット (DTSnDTE) をクリアし、以降の DMA 転送要求を受け付けなくなります。ただし、マルチリンク・イネーブル・ビット (MLE) をセットしている場合は、DTSnDTE をクリアせず、DTSnTC がセット状態でも DMA 転送要求を受け付けることができます。したがって、ネクスト・アドレス機能を使用する場合は、MLE をセットしておくことで、DMA 転送完了後の DTSnTC のクリア、および DTSnDTE のセットの手順を省略することができます。

(3) ネクスト・アドレスを設定するタイミング

ネクスト・アドレス設定レジスタは常に書き換え可能です。ただし、カレント・レジスタへのコピーと、ユーザによる書き込みとの競合を避けるため、最後の DMA サイクルが始まる前に、ネクスト・アドレス設定レジスタの設定が完了するようにしてください。

ネクスト・アドレス設定レジスタを設定するトリガとして、DMA 転送回数一致割り込みを使用する方法を推奨します。その場合、DMA 転送カウント・コンペア・レジスタ (DTCCn) は、ネクスト・アドレス設定レジスタの設定に必要な時間を確保できるように設定してください。

10.6.6 DMAC 転送の中断／再開

(1) ソフトウェアによる全チャンネルの DMA 転送中断／再開

DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (DTRCxADS) をセットすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。なお、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTSnDTE) や、ソフトウェア DMA 転送要求ビット (DTSnSR) はクリアしません。

再開するには DTRCxADS ビットをクリアしてください。その時点で DMA 転送が要求されている場合、優先順位が最も高いチャンネルの転送を行います。また、DMA 転送を終了するには、DTSnDTE ビットをクリアした状態で、DMA 転送要求をクリアしてください。

(2) DMA 転送許可ビット (DTSnDTE) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTSnDTE) をクリアすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。なお、DTS のソフトウェア DMA 転送要求ビット (DTSnSR) はクリアしません。

再開するには DTSnDTE ビットをセットしてください。その時点でほかのチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。ほかのチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。また、DMA 転送を終了するには、DTSnDTE ビットをクリアした状態で、DMA 転送要求をクリアしてください。

(3) ソフトウェア DMA 転送要求ビット (DTSnSR) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ (DTSn) のソフトウェア DMA 転送要求ビット (DTSnSR) をクリアすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。

再開するには DTSnSR をセットしてください。その時点でほかのチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。ほかのチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。

10.6.7 エラー・レスポンス

(1) エラー・レスポンスによる DMA 転送中断

DMA の転送先／転送元がエラーを発生すると、DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (DTRCxADS) をセットして、次回以降の DMA 転送を中断します。同時に DMA 転送エラー・ステータス・ビット (DTRCxERR) をセットし、CPU で SysError 例外を発生させます。ユーザは DTRCxERR がセットされていることを確認したら、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送エラー・フラグ (DTSnER) によって、どのチャンネルでエラーが発生したかを知ることができます。

なお、リード・サイクルでエラー・レスポンスを受けた場合、ライト・サイクルは行われませんが、転送アドレスおよび転送回数は更新するため注意が必要です。

(2) エラー・レスポンスによる転送中断の解除の方法

DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (DTRCxADS)、および DMA 転送エラー・ステータス・ビット (DTRCxERR) をクリアすることで解除します。

解除後に DMA 転送が再開しないように、あらかじめ DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTSnDTE) をクリアしてください。また、ソフトウェア DMA 転送要求の場合は、ソフトウェア DMA 転送要求ビット (DTSnSR) もクリアしてください。

10.7 DTFR 機能

DTFR (DMA Trigger Factor Register) は、割り込み信号の中から DMA 起動要因を選択し、DMAC に対して DMA 転送要求を行います。DTFR n ($n = 15-0$) レジスタを搭載し、入力される割り込み信号 (128 本) の中から DMA 転送要求とする信号を選択します。

10.7.1 特徴

転送要因数	割り込み信号 (128 本) の中から DMA 転送要求を選択 (16 チャンネル)
DMAC インタフェース	DMAC DMA 転送要求信号 n ($n = 15-0$) を出力 DMA からのアクノリッジ信号により DMA 転送要求信号 n をクリア
CPU インタフェース	DMA からの最終転送信号を CPU 割り込み信号として出力
転送要求クリア	レジスタ・アクセスにより、DMA への転送要求信号をクリアする機能があります
転送要求確認	レジスタ・アクセスにより、DMA への転送要求信号の状態を確認する機能があります

10.8 DTFR 制御レジスタ

10.8.1 DTFRn (n = 0-15) : DTFRn レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DTFR0: FFFF7B00_H, DTFR1: FFFF7B02_H, DTFR2: FFFF7B04_H,
DTFR3: FFFF7B06_H, DTFR4: FFFF7B08_H, DTFR5: FFFF7B0A_H,
DTFR6: FFFF7B0C_H, DTFR7: FFFF7B0E_H, DTFR8: FFFF7B10_H,
DTFR9: FFFF7B12_H, DTFR10: FFFF7B14_H, DTFR11: FFFF7B16_H,
DTFR12: FFFF7B18_H, DTFR13: FFFF7B1A_H, DTFR14: FFFF7B1C_H,
DTFR15: FFFF7B1E_H

初期値 0000H

15	14	13	12	11	10	9	8
REQEN	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-29 DTFRn レジスタの内容

ビット位置	ビット名	意味
15	REQEN	チャンネル n の DMA 要因選択回路の動作許可 1 : 要因選択回路の動作許可。 0 : 要因選択回路の動作停止。DMA 転送要求 (DMARQ) は発生しない。 IFCn6-IFCn0 の設定は有効です。要求のサンプリングは常に行います。
6-0	IFCn6- IFCn0	転送要因を選択します。 設定値は、表 10-2 「DMA 機動要因 (0 ~ 63)」 とおりです。

10.8.2 DRQCLR : DMA 要求クリア・レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス FFFF7B40_H

初期値 0000_H

15	14	13	12	11	10	9	8
RQCR15	RQCR14	RQCR13	RQCR12	RQCR11	RQCR10	RQCR9	RQCR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RQCR7	RQCR6	RQCR5	RQCR4	RQCR3	RQCR2	RQCR1	RQCR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-30 DRQCLR レジスタの内容

ビット位置	ビット名	意味
15-0	RQCR15- RQCR0	セット“1”：チャンネルnに保持している転送要求をクリア“0”します。

備考 ビット 15-0 への“0”の書き込みは無視します。

10.8.3 DRQSTR : DMA 要求確認レジスタ

アクセス 16ビット単位でリードのみ可能です。

アドレス FFFF7B44_H

初期値 0000_H

15	14	13	12	11	10	9	8
RQST15	RQST14	RQST13	RQST12	RQST11	RQST10	RQST9	RQST8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RQST7	RQST6	RQST5	RQST4	RQST3	RQST2	RQST1	RQST0
R	R	R	R	R	R	R	R

表 10-31 DRQSTR レジスタの内容

ビット位置	ビット名	意味
15-0	RQST15- RQST0	DMA 転送要求ステータス・フラグ 1 : 要求あり (DMA 転送要求信号 n が "1") 0 : 要求なし (DMA 転送要求信号 n が "0")

10.9 DTS 機能

DTS は転送情報 (TI : Transfer Information) を設定するレジスタがありません。このため、転送要求が発生するたびに、要求番号に応じた TI をフェッチし (内蔵 RAM から読み出し)、TI に応じた転送要求を DMAT に伝達することでデータ転送などを行います。

10.9.1 特徴

チャンネル数	チャンネル・フリー (1 ~ 128 チャンネル)
転送データ・サイズ	8 ビット / 16 ビット / 32 ビット
転送データ	リトル・エンディアン固定 ミスアライン・データ非対応
最大転送回数	DTS 転送回数レジスタを 16 ビットで使用時 : 65535 回 DTS 転送回数レジスタを分割で使用時 : 255 回 $\times n$: (n は制限なし) したがって、転送回数は制限なしとなります。
チャンネル優先 順位制御	優先順位制御機能はありません (DTS 外部で制御する必要があります)
転送対象	内蔵フラッシュ・メモリ 内蔵 RAM 外部メモリ領域 Pバス周辺機能領域 Hバス周辺機能領域
チェーン機能	1 回の要求で、複数回 DTS を起動することができる機能です。TI のライト・バック後、異なる TI のフェッチを引き続き行い、データ転送などを実行することができます。

転送タイプ • 2サイクル転送（デュアル・アドレス転送）機能

TIのフェッチを行ったあと、転送元からデータを読み出し、読み出したデータを転送先へ書き込みます。その後、更新したTIをライト・バックします。TIのフェッチとライト・バックを除けばDMA転送と同じ動作です。すべてのサイクル間でバスのロックは行わないため、CPUサイクルが割り込むことがあります。

• 比較機能

TIのフェッチを行ったあと、比較元と比較先からデータを読み出し、双方の大小比較を行います。

その後、更新したTIをライト・バックします。比較結果の真、偽により、CPUに対して割り込みを発生するか、チェーン機能を使用して引き続き処理を続けるかを選択できます。

• フラグ・チェック機能（ビット・チェック機能）

データの任意のビットが（1）であるか、または（0）であるかを確認する機能です。

TIのフェッチを行ったあと、フラグ・チェックのためのマスク・データと被フラグ・チェック・データを読み出し、任意のビットの判定を行います。その後、更新したTIをライト・バックします。チェック結果の真、偽により、CPUに対して割り込みを発生するか、チェーン機能を使用して引き続き処理を続けるかを選択できます。

**転送回数レジスタ
分割モード**

• 分割

16ビットの転送回数レジスタを上位（8ビット）、下位（8ビット）に分割して使用するモードです。

下位側が転送回数レジスタ、上位側が転送回数保持レジスタとなります。最大転送回数は255回となりますが、下位側が0になると上位側の値が下位側にコピーされるため転送回数の再設定を行わずに続けて転送を行うことができます。

• 結合

転送回数レジスタを16ビットで使用します。最大転送回数は65535回となります。

転送モード • シングル転送モード

DTS転送要求が発生すると、1回のDTSサイクルを行います。その後DTS転送要求が発生すると、再度1回のDTSサイクルを行います。この動作を、転送回数レジスタが0になるまで繰り返します。

• ブロック転送モード

DTS転送要求が発生すると、転送回数レジスタで指定された回数のDTSサイクルを行います。

転送回数レジスタで指定された回数のDTSサイクルが終了するまで、他のDTS転送要求は受け付けられません。ただし、バスのロックは行わないため、CPUサイクルが割り込むことがあります。

転送アドレス制御	インクリメンタル デクリメンタル 固定
転送エラー対応	内部システム・バスのエラー・レスポンスが発生すると DTS サイクルを中断し、エラー・フラグをセットします。また、SysError 例外を発生させます。
割り込み出力機能	バス・サイクル数レジスタで指定した回数分の DTS 転送を終了するか、フラグ・チェックや比較結果により割り込み要因信号を出力します (DTSFSL の機能)。
DMA 転送中断機能	ソフトウェアによる中断に対応します。ハードウェアによる中断には対応しません。

10.10 DTS 制御レジスタ

DTS は、次に示す制御レジスタによって動作設定を行います。

DTS のレジスタには、CPU からアクセス可能な通常レジスタ（レジスタ群 A）と、CPU からアクセスできない内部レジスタ（レジスタ群 B）の 2 種類があります。DTS 内部レジスタには、内蔵 RAM から読み出した転送情報が格納されます。

レジスタ群 B は、DTS0SAR, DTS0DAR, DTS0TCEA, DTS0CIR, DTS0SCS, DTS0DCS, DTS0ECSRA です。

注意 DTS レジスタへのアクセスは CPU1 からのみ可能で、CPU2 からのアクセスは禁止です。

表 10-32 DTS 制御レジスタ一覧

アドレス ^a	略号	機能レジスタ名称	R/W	操作可能ビット			初期値	
				8	16	32		
レジスタ群 A	FFFF7C00H	DTS0TSR	DTS 転送状態レジスタ	R	○	—	—	00H
	FFFF7C04H	DTS0TRC	DTS 転送要求制御レジスタ	R/W	○	—	—	00H
	FFFF7C08H	DTS0ICR	DTS 初期化制御レジスタ	R/W	—	○	—	0000H
	FFFF7C08H	DTS0ICH	DTS 初期化チャンネル・ナンバ・レジスタ	R/W	○	—	—	00H
	FFFF7C09H	DTS0ITR	DTS 初期化チャンネル・トリガ・レジスタ	R/W	○	—	—	00H
	FFFF7C0CH	DTS0BTR	DTS ベース・テーブル・レジスタ	R/W	—	—	○	00000000H
	FFFF7C10H	DTS0BVR	DTS ベース・ベクタ・レジスタ	R/W	—	—	○	00000000H
	FFFF7C14H	DTS0ACR	DTS アクティブ・チャンネル・レジスタ	R	—	○	—	0000H
	FFFF7C18H	DTS0HST	DTS TI ホールド状態レジスタ	R	○	—	—	00H
	FFFF7C20H	DTS0HC	DTS TI ホールド・チャンネル・ナンバ・レジスタ	R	—	—	○	00000000H
	FFFF7C20H	DTS0HC0	DTS ホールド・チャンネル・レジスタ 0	R	○	—	—	00H
	FFFF7C21H	DTS0HC1	DTS ホールド・チャンネル・レジスタ 1	R	○	—	—	00H
	FFFF7C22H	DTS0HC2	DTS ホールド・チャンネル・レジスタ 2	R	○	—	—	00H
	FFFF7C23H	DTS0HC3	DTS ホールド・チャンネル・レジスタ 3	R	○	—	—	00H
レジスタ群 B	—	DTS0SAR	DTS ソース・アドレス・レジスタ	—	—	—	—	00000000H
	—	DTS0DAR	DTS デスティネーション・アドレス・レジスタ	—	—	—	—	00000000H
	—	DTS0TCEA	DTS 転送回数 / ELSE アドレス・レジスタ	—	—	—	—	0000H
	—	DTS0CIR	DTS 制御情報レジスタ	—	—	—	—	0000H
	—	DTS0SCS	DTS ソース・アドレス加減算量レジスタ	—	—	—	—	00H
	—	DTS0DCS	DTS デスティネーション・アドレス加減算量レジスタ	—	—	—	—	00H
	—	DTS0ECSRA	DTS 拡張アドレス加減算量 / リピート・アドレス・レジスタ	—	—	—	—	00000000H

a) DTS にマッピングされていないアドレスにアクセスした場合、ライトは無視し、リードは 0 を返します。

10.10.1 DTS0TSR : DTS 転送状態レジスタ [レジスタ群 A]

アクセス 8ビット単位でリードのみ可能です。

アドレス FFFF7C00_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	DTS0STPE	DTS0STPU
R	R	R	R	R	R	R	R

表 10-33 DTS0TSR レジスタの内容

ビット位置	ビット名	意味
1	DTS0STPE	DTS SToPped by Error response (エラー・レスポンスによる DTS 転送中断) DTS 転送が、転送対象よりエラー・レスポンスを受信したことにより、中断していることを示します。 エラー・レスポンスを受信すると、DTS0STPE ビットに“1”がセットされ CPU で SysError 例外を発生させ、DTS 転送を中断します。 DTS0STPE ビットが“1”の場合、すべての転送を受け付けません。DTS0STPE ビットは読み出し専用です。クリアする場合は DTS0TRC.DTS0ECL ビットに“1”を書き込んでください。
0	DTS0STPU	DTS SToPped by User request (ユーザ要求による DTS 転送中断) DTS 転送がユーザ要求により中断していることを示します。 DTS0TRC.DTS0UST ビットに“1”を書き込むと DTS0STPU ビットに“1”がセットされ、転送を中断します。 DTS0STPU ビットが“1”の場合、すべての転送を受け付けません。DTS0STPU ビットは読み出し専用です。クリアする場合は DTS0TRC.DTS0UCL ビットに“1”を書き込んでください。

10.10.2 DTS0TRC : DTS 転送要求制御レジスタ [レジスタ群 A]

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFFF7C04_H

初期値 00_H

7	6	5	4	3	2	1	0
DTS0UST	0	0	0	0	0	DTS0ECL	DTS0UCL
W	R	R	R	R	R	W	W

表 10-34 DTS0TRC レジスタの内容

ビット位置	ビット名	意味
7	DTS0UST	DTS User request STop Trigger (DTS 中断要求トリガ・ビット) DTS 全チャンネルの転送中断要求トリガです。 DTS0UST ビットに“1”を書き込むと、DTS0TSR.DTS0STPU ビットが“1”にセットされ、DTS 転送を中断します。読み出し値は常に“0”で、“0”の書き込みは無視します。DTS0UCL ビットと同時に“1”にセットした場合、DTS0UST が有効になります。
1	DTS0ECL	DTS dts0stpE CLear Trigger (DTS0STPE クリア要求トリガ・ビット) DTS0TSR の DTS0STPE フラグのクリア要求トリガ・ビットです。 DTS0ECL ビットを“1”にセットすると、DTS0TSR.DTS0STPE ビットがクリアされ、DTS 転送が受け付け可能になります。読み出し値は常に“0”で、“0”の書き込みは無視します。
0	DTS0UCL	DTS dts0stpU CLear Trigger (DTS0STPU クリア要求トリガ・ビット) DTS0TSR.DTS0STPU フラグのクリア要求トリガ・ビットです。 DTS0UCL ビットを“1”にセットすると、DTS0STPU ビットがクリアされ、DTS 転送が受け付け可能になります。また、転送を中断している場合には、中断した転送を再開します。読み出し値は常に“0”で、“0”の書き込みは無視します。

10.10.3 DTS0ICR : DTS 初期化制御レジスタ [レジスタ群 A]

アクセス DTS0ICR レジスタは、16 ビット単位でリード/ライト可能です。
ただし、DTS0ICR レジスタの上位 8 ビットを DTS0ITR レジスタ、下位 8 ビットを DTS0ICH レジスタとして使用する場合は、8 ビット単位でリード/ライト可能です。

アドレス DTS0ICR: FFFF7C08_H,
DTS0ITR: FFFF7C09_H, DTS0ICH: FFFF7C08_H

初期値 0000_H

・ DTS0ICR

15	14	13	12	11	10	9	8
0	0	0	0	0	DTS0ICS	DTS0HIT	DTS0TIT
R	R	R	R	R	R	W	W
7	6	5	4	3	2	1	0
0	DTS0ICH6	DTS0ICH5	DTS0ICH4	DTS0ICH3	DTS0ICH2	DTS0ICH1	DTS0ICH0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ DTS0ITR

7	6	5	4	3	2	1	0
0	0	0	0	0	DTS0ICS	DTS0HIT	DTS0TIT
R	R	R	R	R	R	W	W

・ DTS0ICH

7	6	5	4	3	2	1	0
0	DTS0ICH6	DTS0ICH5	DTS0ICH4	DTS0ICH3	DTS0ICH2	DTS0ICH1	DTS0ICH0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-35 DTS0ICR レジスタの内容 (1/2)

ビット位置	ビット名	意味
10	DTS0ICS	DTS Initialization Cotinuous Status (転送中止ステータス・フラグ) DTS 転送の中止を実行していることを示すステータス・フラグです。DTS0ICS フラグが“1”の場合、DTS0ICR レジスタへのライトは禁止です (書き込みを無視します)。 DTS0ICR レジスタの DTS0HIT、または DTS0TIT に“1”がセットされると、DTS0ICS ビットは“1”にセットされます。 DTS0ICR レジスタの DTS0HIT、または DTS0TIT で要求された転送中止処理が完了すると、DTS0ICS ビットはクリアされます。 0 : 通常状態 1 : 転送中止処理中
9	DTS0HIT	DTS Hold Initialization Trigger (転送中止、および TI ホールド・バッファ初期化トリガ・ビット) 実行中の DTS 転送の中止と、DTS に TI ホールドされているすべての TI のクリアを要求するトリガ・ビットです。 DTS0HIT ビットに“1”を書き込むと、DTS サイクルの完了を待って、TI ホールドされているすべての TI がクリアされます。DTS サイクルの完了を待つ間、DTS0ICS ビットに“1”がセットされます。読み出し値は常に“0”です。

表 10-35 DTS0ICR レジスタの内容 (2/2)

ビット位置	ビット名	意味
8	DTS0TIT	DTS Transfer Initialization Trigger (転送中止トリガ・ビット) DTS0ICR.DTS0ICH6-DTS0ICH0 ビットで指定したチャンネルの DTS 転送の中止を要求するトリガ・ビットです。DTS0TIT ビットに“1”を書き込むと、DTS サイクルの完了を待って、現在実行中のチャンネルと DTS0ICH6-DTS0ICH0 ビットで指定したチャンネルとを比較し、一致した場合は以降の転送を中止します。DTS サイクルの完了を待つ間、DTS0ICS ビットに“1”がセットされています。また、指定したチャンネルが TI ホールドされている場合、TI ホールドもクリアされます。読み出し値は常に“0”です。
6-0	DTS0ICH6-DTS0ICH0	DTS Initialization CHannel (初期化中止要求チャンネル) DTS0TIT ビットで初期化中止するチャンネルを指定するビットです。 DTS0ICR.DTS0IHIT ビット、または DTS0ICR.DTS0TIT ビットに“1”を書き込むのと同時に、DTS0ICH6-DTS0ICH0 ビットに“1”を書き込むことができます。

10.10.4 DTS0BTR : DTS ベース・テーブル・レジスタ [レジスタ群 A]

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF7C0C_H

初期値 00000000_H

31	30	29	28	27	26	25	24
0	0	0	DTS0BTR 28	DTS0BTR 27	DTS0BTR 26	DTS0BTR 25	DTS0BTR 24
R	R	R	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
DTS0BTR 23	DTS0BTR 22	DTS0BTR 21	DTS0BTR 20	DTS0BTR 19	DTS0BTR 18	DTS0BTR 17	DTS0BTR 16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
DTS0BTR 15	DTS0BTR 14	DTS0BTR 13	DTS0BTR 12	DTS0BTR 11	DTS0BTR 10	DTS0BTR 9	DTS0BTR 8
R/W	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DTS0BTR 7	DTS0BTR 6	DTS0BTR 5	DTS0BTR 4	DTS0BTR 3	DTS0BTR 2	DTS0BTR 1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 10-36 DTS0BTR レジスタの内容

ビット位置	ビット名	意味
28-1	DTS0BTR28- DTS0BTR1	DTS が TI の位置を検出するために使用するテーブルの先頭アドレスを設定するレジスタです。 内蔵 RAM 領域を設定してください。 ビット 31-29 とビット 0 は“0”に固定されています。 DTS は次の DTS0BVR レジスタと DTS0BTR レジスタを使用し、チャンネルに応じた TI の位置を計算します。

10.10.5 DTS0BVR : DTS ベース・ベクタ・レジスタ [レジスタ群 A]

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF7C10_H

初期値 00000000_H

31	30	29	28	27	26	25	24
0	0	0	DTS0BVR 28	DTS0BVR 27	DTS0BVR 26	DTS0BVR 25	DTS0BVR 24
R	R	R	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
DTS0BVR 23	DTS0BVR 22	DTS0BVR 21	DTS0BVR 20	DTS0BVR 19	DTS0BVR 18	DTS0BVR 17	DTS0BVR 16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
DTS0BVR 15	DTS0BVR 14	DTS0BVR 13	DTS0BVR 12	DTS0BVR 11	DTS0BVR 10	DTS0BVR 9	DTS0BVR 8
R/W	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DTS0BVR 7	DTS0BVR 6	DTS0BVR 5	DTS0BVR 4	DTS0BVR 3	DTS0BVR 2	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 10-37 DTS0BVR レジスタの内容

ビット位置	ビット名	意味
28-2	DTS0BVR28- DTS0BVR2	DTS が TI の位置を検出するために使用するベクタの先頭アドレスを設定するレジスタです。内蔵 RAM 領域を設定してください。 ビット 31-29 とビット 1, 0 は "0" に固定されています。 DTS 要求が発生すると、DTS0BTR + チャンネル番号 × 2 のテーブル・アドレスから 16 ビットのベクタ・アドレスを読み出します。読み出した値と DTS0BVR レジスタの値を加算し、TI のアドレスを求めます。

10.10.6 DTS0ACR : DTS アクティブ・チャンネル・レジスタ [レジスタ群 A]

アクセス 16 ビット単位でリードのみ可能です。

アドレス FFFF7C14_H

初期値 0000_H

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	DTS0ACT
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	DTS0CH						
R	R	R	R	R	R	R	R

表 10-38 DTS0ACR レジスタの内容

ビット位置	ビット名	意味
8	DTS0ACT	DTS ACTive (DTS 実行状態) DTS の実行状態を示します。 0 : DTS は動作していない 1 : DTS は動作中
6-0	DTS0CH	CHannel (実行チャンネル) DTS0ACT ビットが“1”のときの実行チャンネルを示します。DTS0ACT ビットが“0”のときは、直前に実行していたチャンネルを保持します。

10.10.7 DTS0HST : DTS TI ホールド状態レジスタ [レジスタ群 A]

アクセス 8ビット単位でリードのみ可能です。

アドレス FFFF7C18_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	DTS0TON 3	DTS0TON 2	DTS0TON 1	DTS0TON 0
R	R	R	R	R	R	R	R

表 10-39 DTS0HST レジスタの内容

ビット位置	ビット名	意味
3	DTS0TON3	DTS Ti-hold ON 3 (TI ホールド 3 ON) TI ホールド・バッファ 3 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。
2	DTS0TON2	DTS Ti-hold ON 2 (TI ホールド 2 ON) TI ホールド・バッファ 2 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。
1	DTS0TON1	DTS Ti-hold ON 1 (TI ホールド 1 ON) TI ホールド・バッファ 1 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。
0	DTS0TON0	DTS Ti-hold ON 0 (TI ホールド 0 ON) TI ホールド・バッファ 0 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。

10.10.8 DTS0HC : DTS TI ホールド・チャネル・ナンバ・レジスタ [レジスタ群 A]

アクセス DTS0HC レジスタは、32 ビット単位でリードのみ可能です。
ただし、DTS0HC レジスタのビット 30-24 を DTS0HC3 レジスタ、ビット 22-16 を DTS0HC2 レジスタ、ビット 14-8 を DTS0HC1 レジスタ、ビット 6-0 を DTS0HC0 レジスタとして使用する場合は、8 ビット単位でリードのみ可能です。

アドレス DTS0HC: FFFF7C20_H
DTS0HC0: FFFF7C20_H, DTS0HC1: FFFF7C21_H, DTS0HC2: FFFF7C22_H,
DTS0HC3: FFFF7C23_H

初期値 00000000_H

・ DTS0HC

31	30	29	28	27	26	25	24
0	DTS0HC 30	DTS0HC 29	DTS0HC 28	DTS0HC 27	DTS0HC 26	DTS0HC 25	DTS0HC 24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	DTS0HC 22	DTS0HC 21	DTS0HC 20	DTS0HC 19	DTS0HC 18	DTS0HC 17	DTS0HC 16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	DTS0HC 14	DTS0HC 13	DTS0HC 12	DTS0HC 11	DTS0HC 10	DTS0HC 9	DTS0HC 8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	DTS0HC 6	DTS0HC 5	DTS0HC 4	DTS0HC 3	DTS0HC 2	DTS0HC 1	DTS0HC 0
R	R	R	R	R	R	R	R

・ DTS0HC3

7	6	5	4	3	2	1	0
0	DTS0HC 30	DTS0HC 29	DTS0HC 28	DTS0HC 27	DTS0HC 26	DTS0HC 25	DTS0HC 24
R	R	R	R	R	R	R	R

・ DTS0HC2

7	6	5	4	3	2	1	0
0	DTS0HC 22	DTS0HC 21	DTS0HC 20	DTS0HC 19	DTS0HC 18	DTS0HC 17	DTS0HC 16
R	R	R	R	R	R	R	R

・ DTS0HC1

7	6	5	4	3	2	1	0
0	DTS0HC 14	DTS0HC 13	DTS0HC 12	DTS0HC 11	DTS0HC 10	DTS0HC 9	DTS0HC 8
R	R	R	R	R	R	R	R

・ DTS0HC0

7	6	5	4	3	2	1	0
0	DTS0HC 6	DTS0HC 5	DTS0HC 4	DTS0HC 3	DTS0HC 2	DTS0HC 1	DTS0HC 0
R	R	R	R	R	R	R	R

表 10-40 DTS0HC レジスタの内容

ビット位置	ビット名	意味
30-24	DTS0HC30- DTS0HC24	TI ホールド・バッファ 3 に TI ホールドされている TI のチャンネル番号が格納されます。
22-16	DTS0HC22- DTS0HC16	TI ホールド・バッファ 2 に TI ホールドされている TI のチャンネル番号が格納されます。
14-8	DTS0HC14- DTS0HC8	TI ホールド・バッファ 1 に TI ホールドされている TI のチャンネル番号が格納されます。
6-0	DTS0HC6- DTS0HC0	TI ホールド・バッファ 0 に TI ホールドされている TI のチャンネル番号が格納されます。

10.10.9 DTS0SAR : DTS ソース・アドレス・レジスタ [レジスタ群 B]

DTS0SAR レジスタは DTS 内部レジスタです。CPU からの書き込み／読み出しはできません。

アクセス —

アドレス —

初期値 00000000_H

31	30	29	28	27	26	25	24	
IMM31	IMM30	IMM29	DTS0SAR[28-24] (IMM[28-24])					
—	—	—	—	—	—	—	—	
23	22	21	20	19	18	17	16	
DTS0SAR[23-16] (IMM[23-16])								
—	—	—	—	—	—	—	—	
15	14	13	12	11	10	9	8	
DTS0SAR[15-8] (IMM[15-8])								
—	—	—	—	—	—	—	—	
7	6	5	4	3	2	1	0	
DTS0SAR[7-0] (IMM[7-0])								
—	—	—	—	—	—	—	—	

表 10-41 DTS0SAR レジスタの内容

ビット位置	ビット名	意味
31-29	IMM31- IMM29	IMMEDIATE (イミディエイト・ビット) イミディエイト機能を使用するとき、IMM31-IMM29 ビットと、DTS0SAR ビットを組み合わせて 32 ビット・レジスタとして使用します。
28-0	DTS0SAR28- DTS0SAR0	DTS Source Address Register (ソース・アドレス・レジスタ) ソース・アドレス・レジスタです。 イミディエイト機能を使用する場合は、IMM28-IMM0 となります。

注意 ミスアライン・データの DTS 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 2 ビットは次のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DTS0SAR1	DTS0SAR0
8 ビット	x	x
16 ビット	x	0
32 ビット	0	0

10.10.10 DTS0DAR : DTS デスティネーション・アドレス・レジスタ [レジスタ群 B]

DTS0DAR レジスタは DTS 内部レジスタです。CPU からの書き込み/読み出しはできません。

アクセス —

アドレス —

初期値 00000000_H

31	30	29	28	27	26	25	24
0	0	0	DTS0DAR[28-24]				
—	—	—	—	—	—	—	—
23	22	21	20	19	18	17	16
DTS0DAR[23-16]							
—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8
DTS0DAR[15-8]							
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0DAR[7-0]							
—	—	—	—	—	—	—	—

表 10-42 DTS0DAR レジスタの内容

ビット位置	ビット名	意味
28-0	DTS0DAR28-DTS0DAR0	Destination Address Register (デスティネーション・アドレス・レジスタ) デスティネーション・アドレス・レジスタです。 ビット 31-29 は "0" に固定されています。

注意 ミスアライン・データの DTS 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 2 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DTS0DAR 1	DTS0DAR 0
8 ビット	x	x
16 ビット	x	0
32 ビット	0	0

10.10.11 DTS0TCEA : DTS 転送回数 / ELSE アドレス・レジスタ [レジスタ群 B]

DTS0TCEA レジスタは DTS 内部レジスタです。CPU からの書き込み / 読み出しはできません。

アクセス —

アドレス —

初期値 0000_H

(1) 転送回数 255 モード

15	14	13	12	11	10	9	8
DTS0STR[7-0]							
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0STC[7-0]							
—	—	—	—	—	—	—	—

表 10-43 DTS0TCEA レジスタ (転送回数 255 モード) の内容

ビット位置	ビット名	意味
15-8	DTS0STR7-DTS0STR0	Short Transfer Number Register (転送回数保持レジスタ) 転送回数 255 モードのときに転送回数を保持するレジスタです。 DTS0STC ビットが“0”のときに DTS 要求が発生すると、DTS0TCEA レジスタの内容が DTS0STC ビットにコピーされます。
7-0	DTS0STC7-DTS0STC0	Short Transfer Counter (ショート転送カウント・レジスタ) 転送回数 255 モードのときに転送回数をカウントするレジスタです。 1 回の DTS サイクルにつき、1 減少します。1 を設定すると 1 回、FFH を設定すると 255 回の DTS サイクルを起動することができます。DTS0TCEA レジスタが“0”になると、割り込みを発生します (または、チェーン機能を選択できます)。 継続して転送を実行するかを選択できます。 DTS0TCEA レジスタが“0”のときに DTS 要求が発生すると、DTS0STR ビットの内容を DTS0TCEA レジスタにコピーして、再びデクリメント動作を行います。

(2) 転送回数 65535 モード

15	14	13	12	11	10	9	8
DTS0LTC[15-8]							
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0LTC[7-0]							
—	—	—	—	—	—	—	—

表 10-44 DTS0TCEA レジスタ (転送回数 65535 モード) の内容

ビット位置	ビット名	意味
15-0	DTS0LTC15-DTS0LTC0	Long Transfer Counter (ロング転送カウント・レジスタ) 転送回数 65535 モードのときに転送回数をカウントするレジスタです。 1 回の DTS サイクルにつき、1 減少します。1 を設定すると 1 回、FFFFH を設定すると 65535 回の DTS サイクルを起動することができます。DTS0TCEA レジスタが“0”になると、割り込みを発生します (または、チェーン機能を選択できます)。

(3) 拡張チェーン・モード

15	14	13	12	11	10	9	8
DTS0EA[15-8]							
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0EA[7-0]							
—	—	—	—	—	—	—	—

表 10-45 DTS0TCEA レジスタ (拡張チェーン・モード) の内容

ビット位置	ビット名	意味
15-0	DTS0EA15- DTS0EA0	Else Address (ELSE アドレス) 拡張チェーン・モード時に、条件が偽の場合 (ELSE) に読み込む TI の位置を指定するレジスタです。 TI の位置は、現在の位置 (拡張チェーン指定をした TI-A のアドレス) をベースとし、DTS0TCEA レジスタでオフセットを指定します。 符号付き 16 ビットで -32768 ~ 32760 (下位 3 ビットが 3'b000) の値を指定します。

10.10.12 DTS0SCS : DTS ソース・アドレス加減算量レジスタ [レジスタ群 B]

DTS0SCS レジスタは DTS 内部レジスタです。CPU からの書き込み/読み出しはできません。

DTS0CIR.DTS0IMM ビットが“1”の場合、次のように動作します。

- ・ DTS0CIR.DTS0DS1, DTS0DS0 ビットで示すデータ・サイズが 32 ビットの場合 : DTS0SCS は 0 となります。
- ・ DTS0DS1, DTS0DS0 ビットで示すデータ・サイズが 16 ビットの場合 : DTS0SCS により DTS0SAR (IMM15-IMM0) が加減算されます。
- ・ DTS0DS1, DTS0DS0 ビットで示すデータ・サイズが 8 ビットの場合 : DTS0SCS により DTS0SAR (IMM7-IMM0) が加減算されます。
ただし、SG モードの場合、DTS0SCS レジスタの設定は無視されます。

アクセス —

アドレス —

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	DTS0SCS2	DTS0SCS1	DTS0SCS0
—	—	—	—	—	—	—	—

表 10-46 DTS0SCS レジスタの内容

ビット位置	ビット名	意味
2	DTS0SCS2	ソース・アドレスのカウント量を指定します。
1	DTS0SCS1	000 : 0 (FIX)
0	DTS0SCS0	001 : +1 010 : +2 011 : +4 101 : -1 110 : -2 111 : -4

10.10.13 DTS0DCS : DTS デスティネーション・アドレス加減算量レジスタ [レジスタ群 B]

DTS0DCS レジスタは DTS 内部レジスタです。CPU からの書き込み/読み出しはできません。

SG モードの場合、DTS0DCS レジスタの設定値は無視されます。

アクセス -

アドレス -

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	DTS0DCS2	DTS0DCS1	DTS0DCS0
-	-	-	-	-	-	-	-

表 10-47 DTS0DCS レジスタの内容

ビット位置	ビット名	意味
2	DTS0DCS2	デスティネーション・アドレスのカウント量を指定します。 000 : 0 (FIX) 001 : +1 010 : +2 011 : +4 101 : -1 110 : -2 111 : -4
1	DTS0DCS1	
0	DTS0DCS0	

10.10.14 DTS0CIR : DTS 制御情報レジスタ [レジスタ群 B]

DTS0CIR レジスタは DTS 内部レジスタです。CPU からの書き込み/読み出しはできません。

アクセス —

アドレス —

初期値 0000_H

15	14	13	12	11	10	9	8
DTS0CAF	DTS0DPE1	DTS0SPE1	DTS0DISI	DTS0CM1	DTS0CM0	DTS0DS1	DTS0DS0
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0BEN	DTS0IMM	DTS0TYP5	DTS0TYP4	DTS0TYP3	DTS0TYP2	DTS0TYP1	DTS0TYP0
—	—	—	—	—	—	—	—

表 10-48 DTS0CIR レジスタの内容 (1/2)

ビット位置	ビット名	意味
15	DTS0CAF	Condition Accumulation Flag (条件累積フラグ) flag チェック, comp チェック結果累積フラグ。flag チェック結果, または comp チェック (比較) 結果が偽であった場合に "1" がセットされ, TI-A に書き戻されます。なお, TI-A を読み出したときに DTS0CAF ビットが "1" である場合は, 必ず "1" が書き戻されます。 セット (1) 条件: ・比較結果が偽であった場合 ・フラグ・チェック結果が偽であった場合 ・DTS0CAF ビット読み込みデータが "1" であった (TI-A フェッチ時の bit15 が "1")。 つまり, TI-A の bit15 に "1" を設定すると DTS0CAF は "1" のままとなります。 クリア (0) 条件: ・DTS0CAF ビット読み込みデータが "0" であった (TI-A フェッチ時の bit15 が "0")。
14	DTS0DPE1	Destination select PE1 (デスティネーション PE1 セレクト) デスティネーション側のアドレス範囲を指定します。 0: 外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域を選択する 1: 内蔵フラッシュ・メモリ, 内蔵 RAM を選択する
13	DTS0SPE1	Source select PE1 (ソース PE1 セレクト) ソース側のアドレス範囲を指定します。 0: 外部メモリ領域, Pバス周辺機能領域, Hバス周辺機能領域を選択する 1: 内蔵フラッシュ・メモリ, 内蔵 RAM を選択する
12	DTS0DISI	DISable Interruption (割り込み出力禁止) DTSFSL に対する割り込み要求の発生を禁止します。 0: 割り込み許可 1: 割り込み禁止
11 10	DTS0CM1 DTS0CM0	Chain Mode (チェーン・モード) 00: チェーンしない 【if (counter==0) then Interrupt else no operation】 01: Counter が 0 でチェーン 【if (counter==0) then chain & Interrupt else no operation】 10: 条件真でチェーン 【if (true) then chain else Interrupt】 11: 常にチェーン
9 8	DTS0DS1 DTS0DS0	Data Size (データ・サイズ) 転送, 比較, フラグ・チェック・データ・サイズを設定します。 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: 設定禁止

表 10-48 DTS0CIR レジスタの内容 (2/2)

ビット位置	ビット名	意味
7	DTS0BEN	Block Enable ブロック許可信号です。 0 : シングル・モード 1 : ブロック・モード
6	DTS0IMM	IMMediate enable (イミディエイト機能) イミディエイト機能選択ビットです。イミディエイト機能を有効にすると、DTS0SARがイミディエイト・レジスタとして使用されます。 0 : イミディエイト禁止 1 : イミディエイト許可
5 4 3 2 1 0	DTS0TTYP5 DTS0TTYP4 DTS0TTYP3 DTS0TTYP2 DTS0TTYP1 DTS0TTYP0	Transfer TYPE (転送タイプ選択) 転送タイプを指定します。 転送タイプを選択すると、特殊機能や転送回数も同時に決定します。 転送タイプの一覧は 10.11.5 「転送タイプ」を参照してください。

10.10.15 DTS0ECSRA : DTS 拡張アドレス加減算量／リポート・アドレス・レジスタ [レジスタ群 B]

DTS0ECSRA レジスタは DTS 内部レジスタです。CPU からの書き込み／読み出しはできません。

アクセス —

アドレス —

初期値 00000000_H

(1) SG (Scatter & Gather) モード

31	30	29	28	27	26	25	24
DTS0EDCS[15-8]							
—	—	—	—	—	—	—	—
23	22	21	20	19	18	17	16
DTS0EDCS[7-0]							
—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8
DTS0ESCS[15-8]							
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0ESCS[7-0]							
—	—	—	—	—	—	—	—

表 10-49 DTS0ECSRA レジスタ (SG (Scatter & Gather) モード) の内容

ビット位置	ビット名	意味
31-16	DTS0EDCS15- DTS0EDCS0	デスティネーション・アドレスのカウント量を指定します。 符号付 16 ビットで - 32768 ~ 32767 の値を指定可能となります。 DTS0ECSRA レジスタは、DTS の特殊機能で SG モードを選択した場合のみ有効となります。 SG モード以外では、DTS0DCS レジスタで加減算量が決まります。
15-0	DTS0ESCS15- DTS0ESCS0	ソース・アドレスのカウント量を指定します。 符号付 16 ビットで - 32768 ~ 32767 の値を指定します。 DTS0ECSRA レジスタは、DTS の特殊機能で SG モードを選択した場合のみ有効となります。 SG モード以外では、DTS0SCS レジスタで加減算量が決まります。

(2) SREP (Source Repeat) モード

31	30	29	28	27	26	25	24
DTS0SRA[31-24]							
—	—	—	—	—	—	—	—
23	22	21	20	19	18	17	16
DTS0SRA[23-16]							
—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8
DTS0SRA[15-8]							
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0SRA[7-0]							
—	—	—	—	—	—	—	—

表 10-50 DTS0ECSRA レジスタ (SREP (Source Repeat) モード) の内容

ビット位置	ビット名	意味
31-0	DTS0SRA31-DTS0SRA0	リピート・アドレスを保持しておくための領域です。 ソース・リピートが有効となるのは、DTS の特殊機能で SREP を選択した場合のみです。

(3) DREP (Destination Repeat) モード

31	30	29	28	27	26	25	24
DTS0DRA[31-24]							
—	—	—	—	—	—	—	—
23	22	21	20	19	18	17	16
DTS0DRA[23-16]							
—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8
DTS0DRA[15-8]							
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
DTS0DRA[7-0]							
—	—	—	—	—	—	—	—

表 10-51 DTS0ECSRA レジスタ (DREP (Destination Repeat) モード) の内容

ビット位置	ビット名	意味
31-0	DTS0DRA31-DTS0DRA0	リピート・アドレスを保持しておくための領域です。 デスティネーション・リピートが有効となるのは、DTS の特殊機能で DREP を選択した場合のみです。

10.11 DTS 機能詳細

10.11.1 転送情報 (TI)

DTS 内部レジスタ (レジスタ群 B) は、外部から直接操作することができません。DTS は内蔵 RAM から転送情報を読み出し、内部レジスタに値を設定します。転送情報のことを TI (Transfer Information) と呼びます。

TI は TI-A から TI-C の 96 ビット、または TI-A から TI-D までの 128 ビットで構成されており、DTS0CIR.DTS0TTYP5-DTS0TTYP0 ビットの設定によりどちらのタイプを使用するかが決まります。

TI0 は、(TI-A, TI-B, TI-C) セットまたは (TI-A, TI-B, TI-C, TI-D) セットを表します。

また、TI0, TI1, TI2 は、上記セットが 3 セットあることを表します。

(1) TI の構成

各 TI は 32 ビットにアラインして配置してください (アドレスの下位 2 ビットが 00)。

また、TI-A から TI-D の 128 ビットを一組として内蔵 RAM1 に配置してください。

注意 TI は内蔵 RAM1 にのみ配置可能です。内蔵 RAM2 には配置できません。

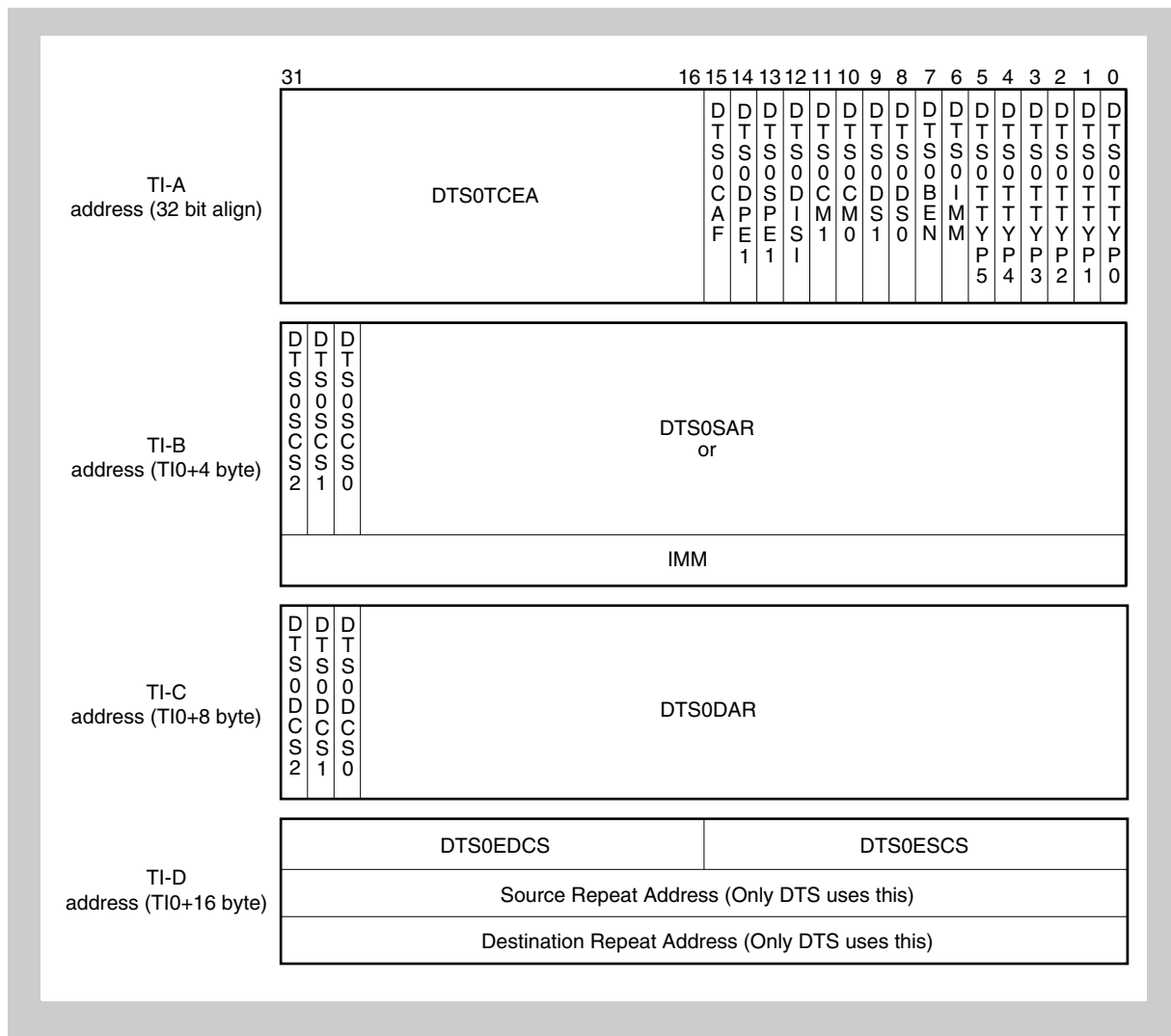


図 10-10 TIの構成

(2) TIを配置するアドレス

DTSはDTS0BTRとDTS0BVRを使用して、チャンネルに対応したTIのアドレスを決定します。

TIはDTS0BVRで指定したアドレス～+FFFCHの間に自由に配置することができます。

DTSのTIアドレス決定方式を示します。

1. 【テーブル・アドレス = DTS0BTR + チャンネル番号 × 2】のテーブル・アドレスから16ビットのオフセット・アドレスを読み出します（オフセット・アドレスの下位2ビットは無視します）。
2. 【TIアドレス = DTS0BVR + オフセット・アドレス】のベクタ・アドレスから、順次TIを読み出します。この場合も、下位2ビットは00に固定します。

以下の図のCH3の要求を例にとると、テーブル・アドレス（1EC0_1000H + 4 × 2）のデータは0320H。ベクタ・アドレスはDTS0BVR + 0320Hとなります。

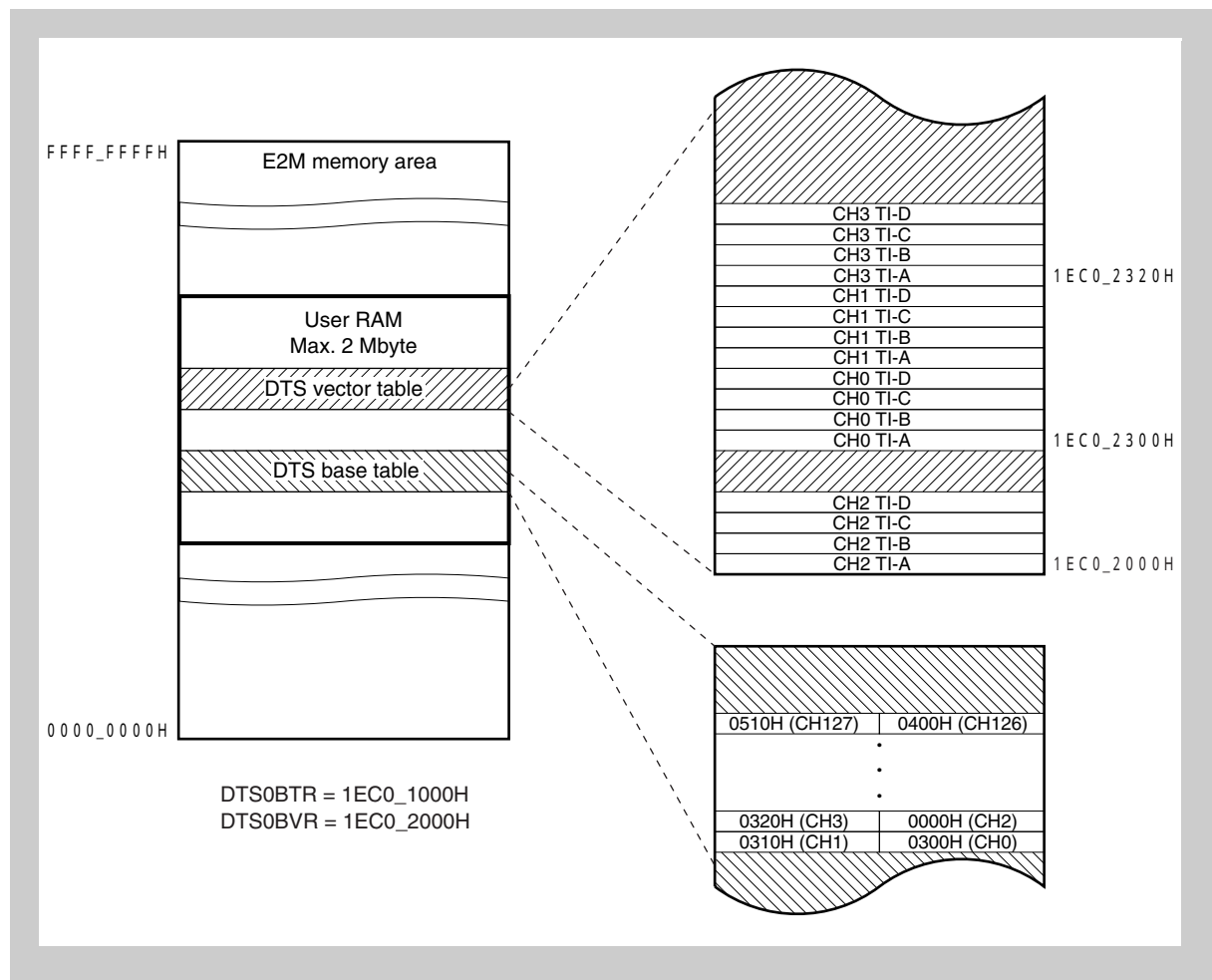


図 10-11 TIを配置するアドレス例

(3) ベース・テーブル

DTS は、TI の位置を検索するためにベース・テーブルを参照します。ベース・テーブルは、ユーザが作成する必要があります。ベース・テーブルは、DTS0BTR に設定したアドレスを先頭アドレスとして、チャンネル 0 から 16 ビットずつ割り当てられます。テーブルに設定するデータは、DTS0BVR の値からのオフセットです (TI-A, TI-B, TI-C 使用時 0 ~ 65524), (TI-A, TI-B, TI-C, TI-D 使用時 0 ~ 65520)。

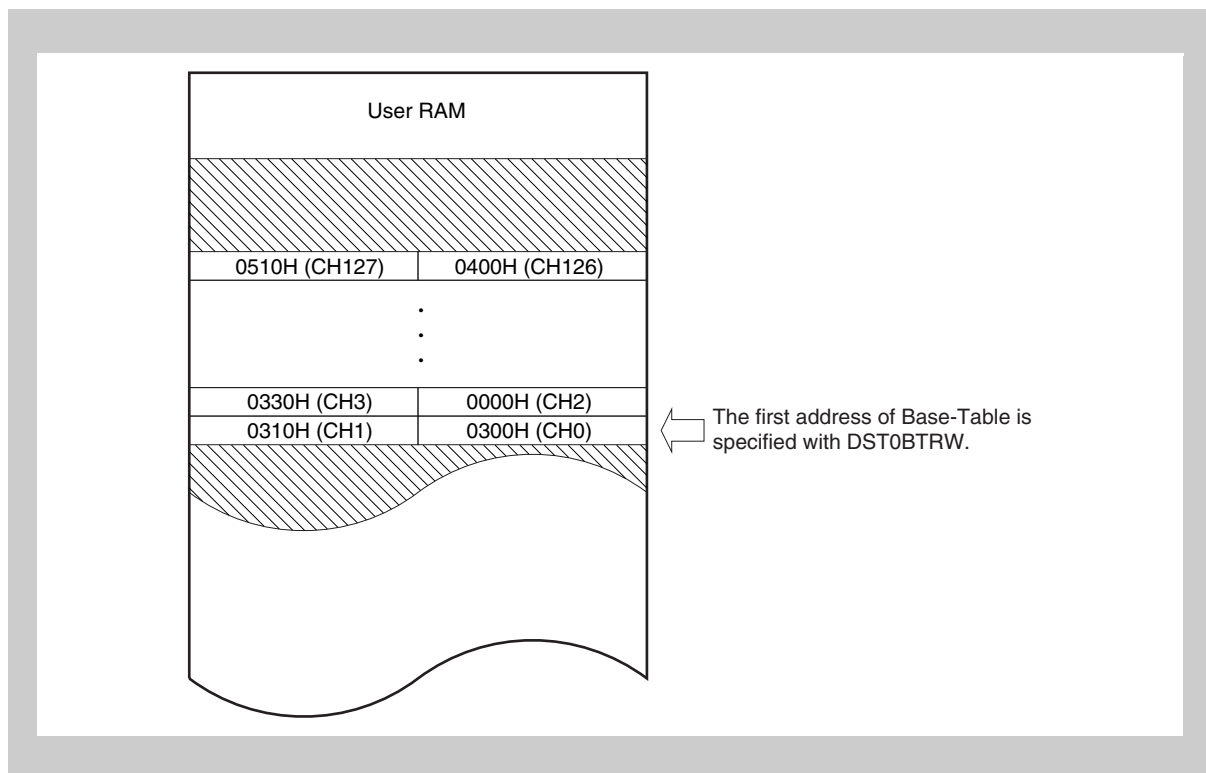


図 10-12 ベース・テーブルの説明

10.11.2 DTS 転送の設定フロー

TI を設定したあと、DTSSEN を許可にした場合のハードウェアによる DTS 転送フローを示します。

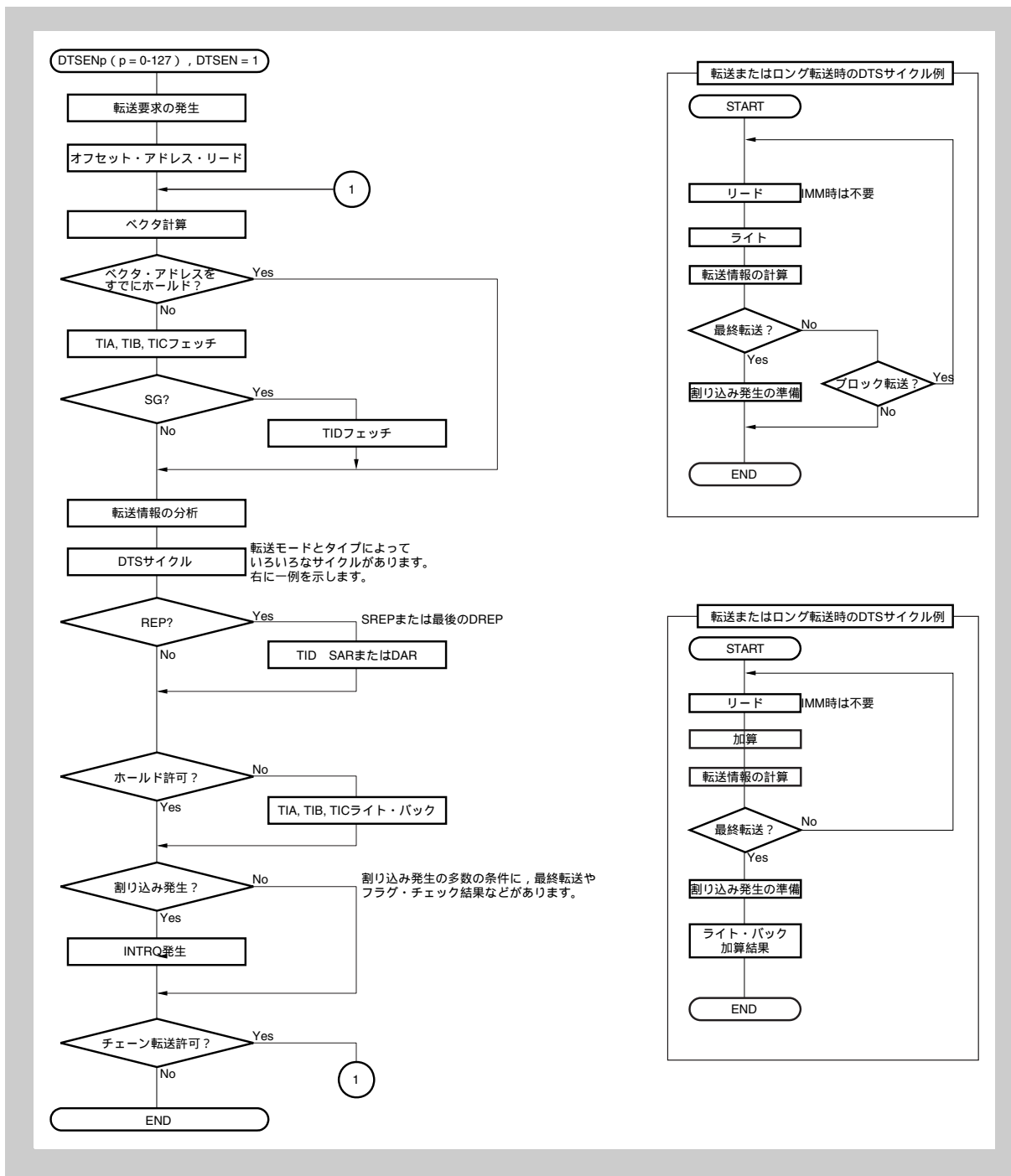


図 10-13 DTS 転送フロー

10.11.3 DTSの基本動作

DTSは転送に必要な情報（TI）を内蔵RAMからフェッチし、そのTIに応じた転送を実行し、TIを更新して内蔵RAMにライト・バック（WB）します。

(1) TIのフェッチとライト・バック

1回のDTS要求につき、TIフェッチ・サイクル→DTSサイクル→TIライト・バック・サイクルが発生します。バスのロックは行いませんので、CPUサイクルが割り込む場合があります。

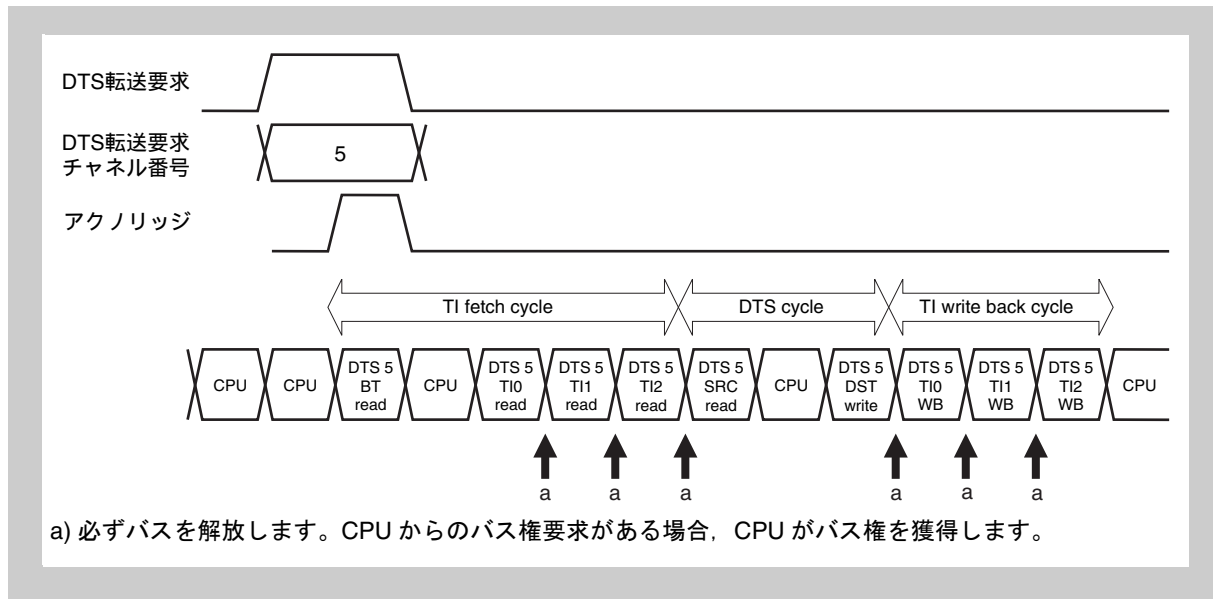


図 10-14 TIのフェッチとライト・バック例

10.11.4 転送モード

転送モードは、シングル転送モード、ブロック転送モードをサポートしています。

(1) シングル転送モード

シングル転送モードでは、1回のDTS要求につき、TIフェッチ→DTSサイクル→TIライト・バックを行い、待機状態になります。次にDTS要求が発生すると、再びTIフェッチからサイクルを実行します。この動作を、DTS0STC（65535モードのときはDTS0LTC）が（0）になるまで繰り返します。

バスのロックは行いませんので、CPUサイクルが割り込む場合があります。

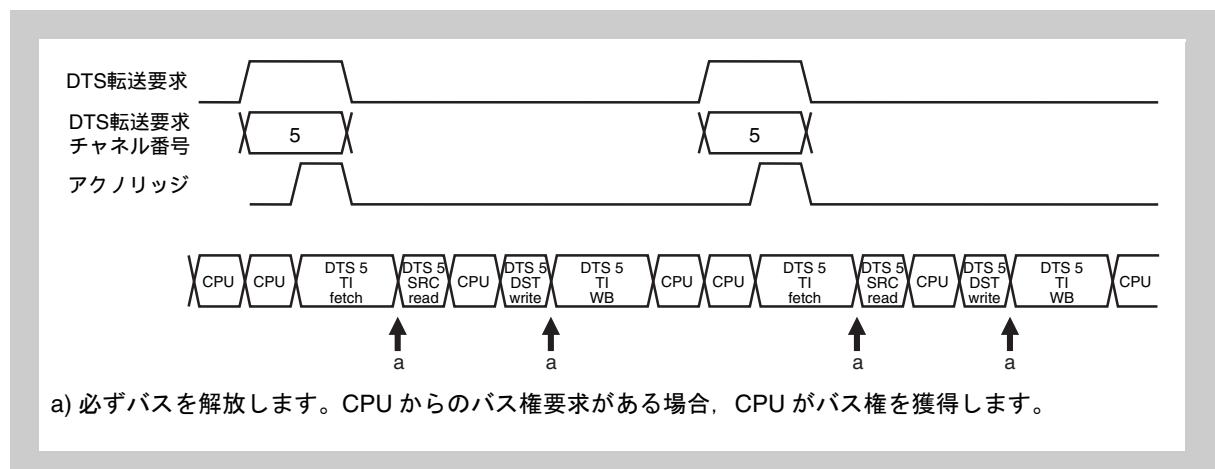


図 10-15 シングル転送例

(2) ブロック転送モード

ブロック転送モードでは、1回のDTS要求につき、TIフェッチを行ったあと、DTSサイクルをDTS0STC（65535モードのときはDTS0LTC）が（0）になるまで繰り返し行い、その後TIをライト・バックします。バスのロックは行いませんので、CPUサイクルが割り込む場合があります。

ブロック転送実行中は、他のDTS要求は受け付けません（DTSFSLに保留されます）。

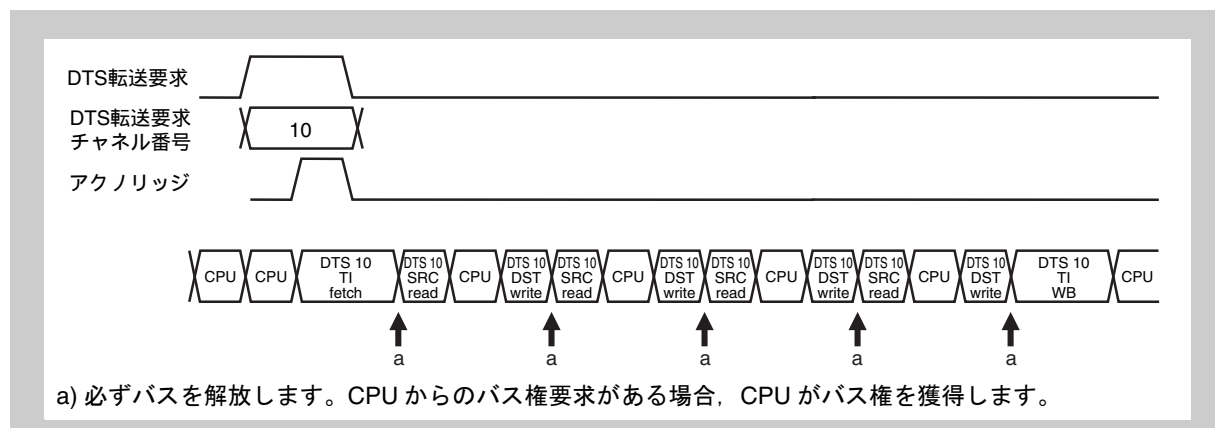


図 10-16 ブロック転送例

10.11.5 転送タイプ

転送タイプは、転送（2サイクル転送）、flagチェック、比較、加算をサポートしています。転送タイプはDTS0CIR.DTS0TTYP5-DTS0TTYP0ビットで指定しますが、このとき転送回数と特殊機能^aも同時に設定されます。

以下に、一覧を示します。転送タイプは、DTS0CIR.DTS0IMMビットの設定により、動作が変わります。

a) 特殊機能については、10.11.6「特殊機能」を参照してください。

表 10-52 DTS 転送タイプ一覧 (1/2)

DTS0TTYP5-DTS0TTYP0 ビット			MAX 転送回数	転送タイプ	特殊機能	TI-D
0	000	00	255	転送	なし	使用しない
		01			SREP	使用する
		10			DREP	
		11			SG	
0	001	00		加算	なし	使用しない
		01			SREP	使用する
		10			DREP	
		11			SG	
0	010	00		flag[0]	なし	使用しない
		01			SREP	使用する
		10			DREP	
		11			(SG)	
0	011	00		flag[1]	なし	使用しない
		01			SREP	使用する
		10			DREP	
		11			(SG)	
0	100	00	comp[=]	なし	使用しない	
		01		SREP	使用する	
		10		DREP		
		11		(SG)		
0	101	00	comp[!]=]	なし	使用しない	
		01		SREP	使用する	
		10		DREP		
		11		(SG)		
0	110	00	comp[<]	なし	使用しない	
		01		SREP	使用する	
		10		DREP		
		11		(SG)		
0	111	00	comp[>]	なし	使用しない	
		01		SREP	使用する	
		10		DREP		
		11		(SG)		

表 10-52 DTS 転送タイプ一覧 (2/2)

DTS0TTYP5-DTS0TTYP0 ビット			MAX 転送回数	転送タイプ	特殊機能	TI-D	
1	000	00	65536	ロング転送	なし	使用しない	
		01			(SREP)	使用する	
		10			(DREP)		
		11			SG		
1	001	00		65536	ロング加算	なし	使用しない
		01				(SREP)	使用する
		10				(DREP)	
		11				SG	
1	010	XX	-		flag[0]	拡張チェーン	使用しない
	011				flag[1]		
	100				comp[=]		
	101				comp[!=]		
	110			comp[<]			
	111			comp[>]			

(1) 転送 : DTS0TTYP5-DTS0TTYP2 が 0000, または 1000

- DTS0TTYP5-DTS0TTYP2 が 0000, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを転送にすると、DTS サイクルはデータ転送となります。DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。チェーン・モードとして 00 (チェーンしない), 01 (転送回数 0 チェーン), 11 (常にチェーン) が指定できます。

特殊機能として、SREP (Source Repeat), DREP (Destination Repeat), SG (Scatter&Gather) を選択できます。

動作 アドレス SAR から読み出したデータをアドレス DAR へ書き込みます。

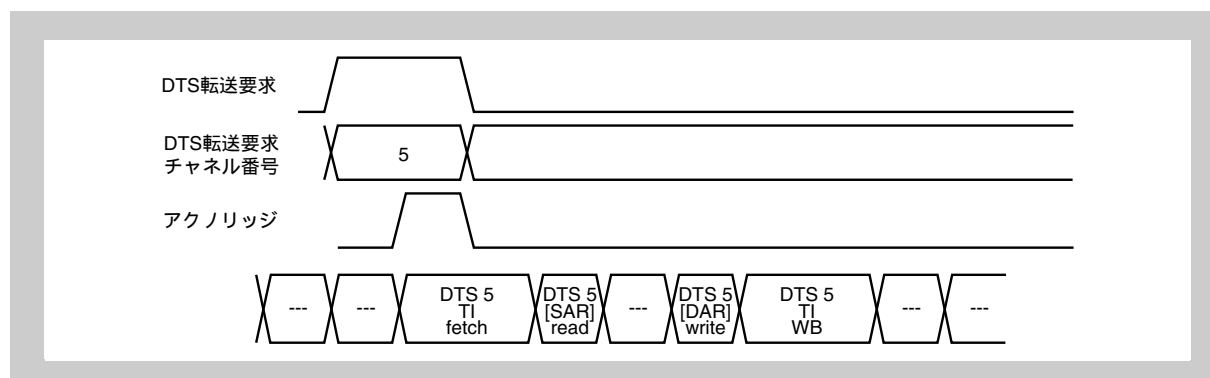


図 10-17 DTS0TTYP5-DTS0TTYP2 が 0000, DTS0CIR.DTS0IMM が (0) の場合

- DTS0TTYP5-DTS0TTYP2 が 0000, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合、DTS0SAR は IMM となり、DTS0SAR の値をアドレス DTS0DAR へ書き込みます。

DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

チェーン・モードとして 00, 01, 11, 特殊機能として DREP, SG を選択できます。

動作 SAR のデータをそのままアドレス DAR へ書き込みます。

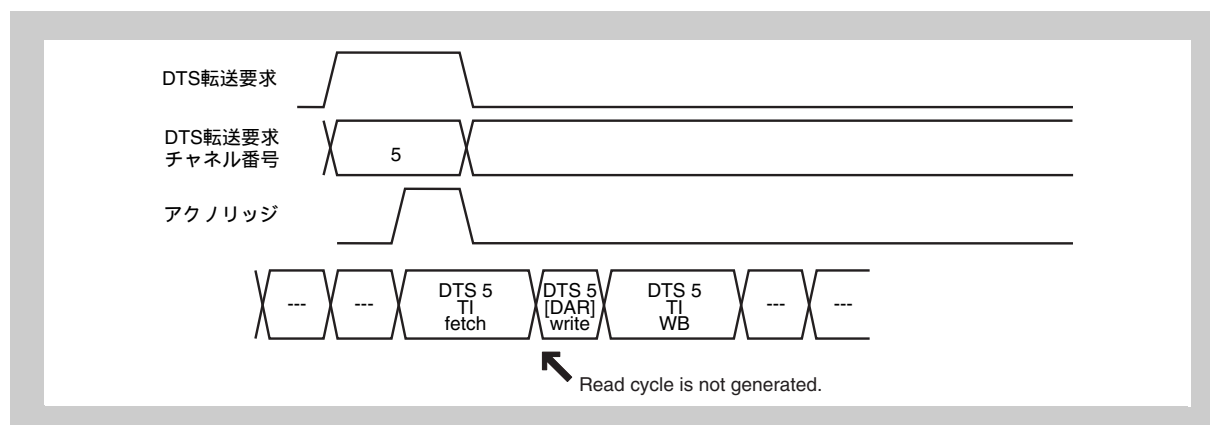


図 10-18 DTS0TTYP5-DTS0TTYP2 が 0000, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

- DTS0TTYP5-DTS0TTYP2 が 1000, DTS0CIR.DTS0IMM が (0) の場合
転送タイプをロング転送にすると, DTS サイクルはデータ転送となります。DTS0TCEA は DTS0LTC となり最大 65535 回の転送回数を指定可能です。DTS0LTC が 0 になると以降の転送要求は受け付けません。転送を行う場合は, 再度 DTS0LTC (TIA の DTS0TCEA) を設定してください。
チェーン・モードとして 00, 01, 11, 特殊機能として SG を選択できます。

動作 アドレス SAR から読み出したデータをアドレス DAR へ書き込みます。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0000, DTS0CIR.DTS0IMM が (0) の場合」と同じです。

- DTS0TTYP5-DTS0TTYP2 が 1000, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合
DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR の値をアドレス DTS0DAR に書き込みます。
DTS0TCEA は DTS0LTC となり, 最大 65535 回の転送回数を指定可能です。DTS0LTC が 0 になると, 以降の転送要求は受け付けません。転送を行う場合は, 再度 DTS0LTC (TIA の DTS0TCEA) を設定してください。
チェーン・モードとして 00, 01, 11, 特殊機能として SG を選択できます。

動作 SAR のデータをそのままアドレス DAR へ書き込みます。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0000, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合」と同じです。

(2) 加算 : DTS0TTYP5-DTS0TTYP2 が 0001, または 1001

- DTS0TTYP5-DTS0TTYP2 が 0001, DTS0CIR.DTS0IMM が (0) の場合
 転送タイプを加算にすると、DTS サイクルは累計加算となります。
 DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。
 DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。
 チェーン・モードとして 00, 01, 特殊機能として SREP, DREP, SG を選択できます。
 DTS0CIR.DTS0BEN は無視され、常にブロック転送モードとなります。

動作 アドレス SAR から DTS0STC が (0) になるまで、データを読み出します。読み出したデータは、符号なしデータとして、その都度加算します。DTS0STC が (0) になると、アドレス DAR へ加算結果を書き込みます。

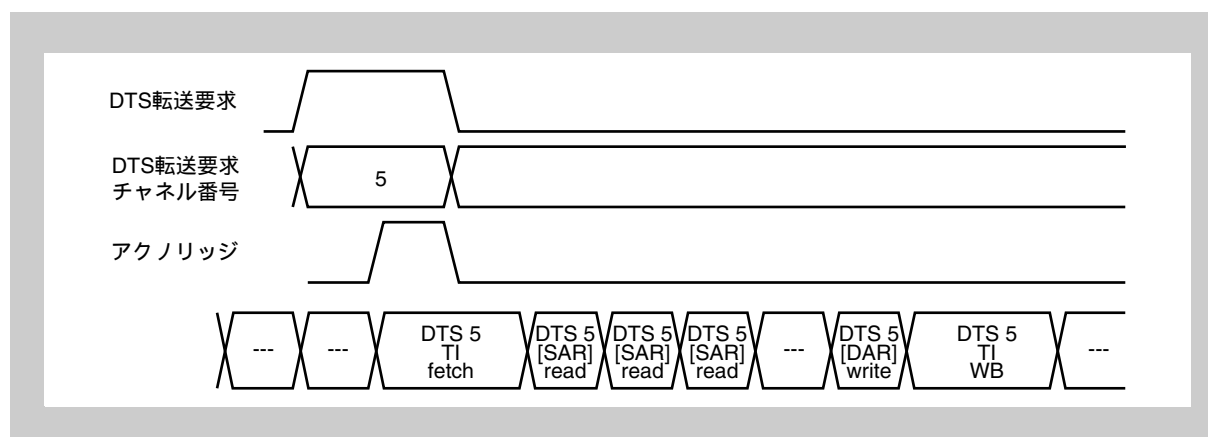


図 10-19 DTS0TTYP5-DTS0TTYP2 が 0001, DTS0CIR.DTS0IMM が (0) の場合

累積値は、転送データ・サイズによらず 32 ビット・レジスタに格納され、転送回数が (0) になると、DAR へ 32 ビットで書き込みます。32 ビットを越えるデータは切り捨てます。

したがって、転送サイズを 32 ビットにした場合オーバーフローやボローが発生すると、正しい演算結果が得られません。転送サイズが 16 ビットや 8 ビットの場合は、最大転送回数である 65535 回を指定しても、オーバーフローやボローは発生しません。

- DTS0TTYP5-DTS0TTYP2 が 0001, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合、DTS0SAR は IMM となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0CIR.DTS0BEN は無視され、常にブロック転送モードとなります。つまり、DTS0SAR の値を DTS0STC で指定した回数加算し、DTS0STC が 0 になるとアドレス DAR へ加算結果を書き込みます。

チェーン・モードとして 00, 01, 特殊機能として DREP, SG を選択できます。

- DTS0TTYP5-DTS0TTYP2 が 1001, DTS0CIR.DTS0IMM が (0) の場合
 転送タイプをロング加算にすると, DTS サイクルは累計加算となります。
 DTS0TCEA は DTS0LTC となり, 最大 65535 回の転送回数を指定可能です。
 DTS0STC が 0 になると, 以降の転送要求は受け付けません。
 転送を行う場合は, 再度 DTS0LTC (TIA の DTS0TCEA) を設定してください。
 チェーン・モードとして 00, 01, 特殊機能として SG を選択できます。
 DTS0CIR.DTS0BEN は無視され, 常にブロック転送モードとなります。
- DTS0TTYP5-DTS0TTYP2 が 1001, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合
 DTS0IMM が (1) の場合, DTS0SAR は IMM となります。
 DTS0TCEA は DTS0LTC となり, 最大 65535 回の転送回数を指定可能です。
 DTS0CIR.DTS0BEN は無視され, 常にブロック転送モードとなります。つまり, DTS0SAR の値を DTS0LTC で指定した回数加算し, DTS0STC が 0 になるとアドレス DAR へ加算結果を書き込みます。
 チェーン・モードとして 00, 01, 特殊機能として SG を選択できます。

(3) flag[0] : DTS0TTYP5-DTS0TTYP2 が 0010, または 1010

- DTS0TTYP5-DTS0TTYP2 が 0010, DTS0CIR.DTS0IMM が (0) の場合
 転送タイプを flag[0] にすると, DTS サイクルはフラグ・チェック [0] となります。
 DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。
 DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。
 特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。
 フラグ・チェック [0] とは, アドレス DAR から読み出したデータの任意のビットが (0) であるか否かを確認する機能です。
 ひとつでも (0) であれば, チェック結果は真となります。
 本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 まず, アドレス SAR からチェック・ビット指定データを読み出し, 続けてアドレス DAR からチェック対象データを読み出し, フラグ・チェックします。

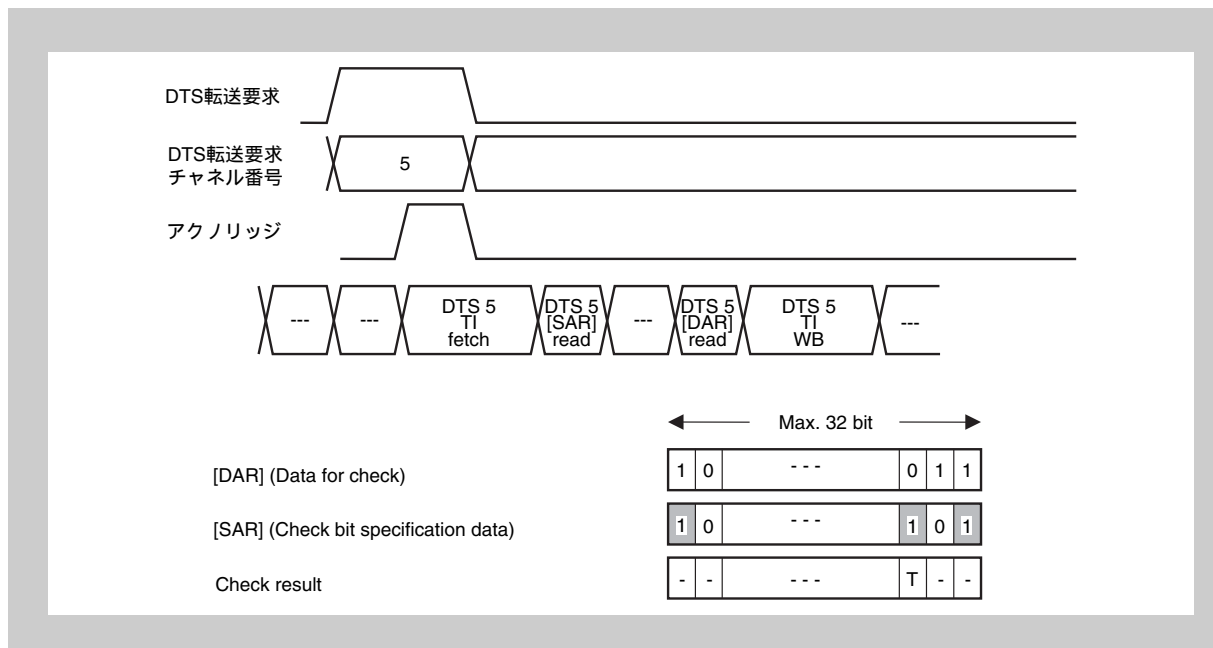


図 10-20 DTS0TTYP5-DTS0TTYP2 が 0010, DTS0CIR.DTS0IMM が (0) の場合

- DTS0TTYP5-DTS0TTYP2 が 0010, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。フラグ・チェック [0] とは, アドレス DAR から読み出したデータの任意のビットが (0) であるか否かを確認する機能です。

ひとつでも (0) であれば, チェック結果は真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 アドレス DAR からチェック対象データを読み出し, SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。

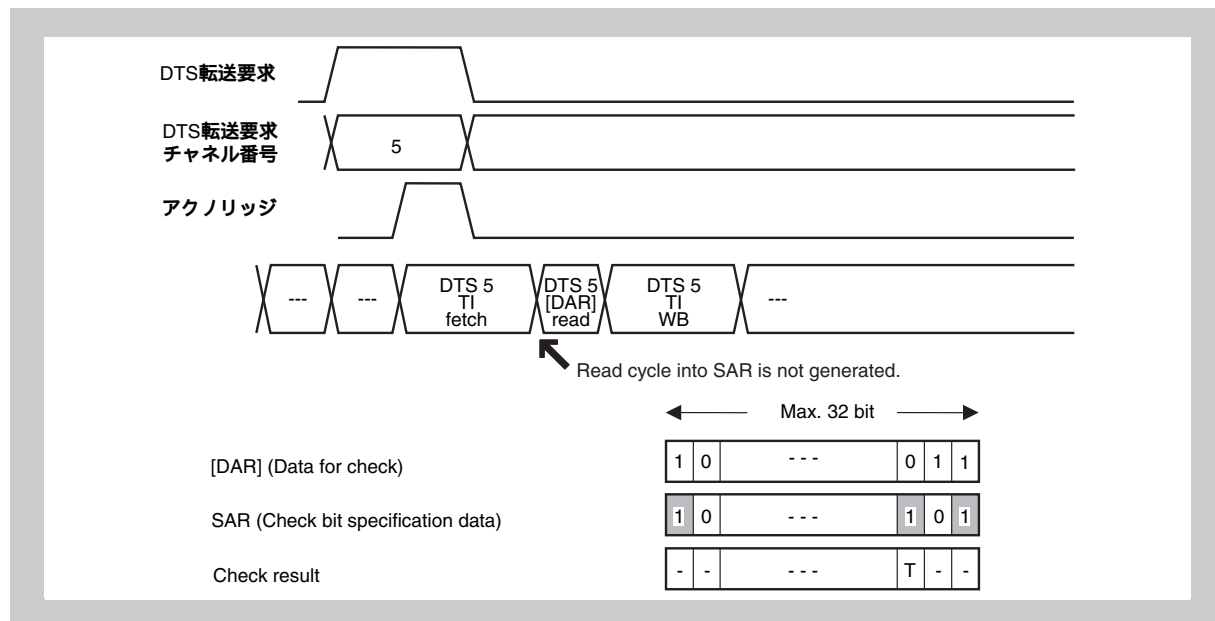


図 10-21 DTS0TTYP5-DTS0TTYP2 が 0010、イミディエイト（DTS0CIR.DTS0IMM が（1））の場合

- DTS0TTYP5-DTS0TTYP2 が 1010、DTS0CIR.DTS0IMM が（0）の場合

転送タイプを拡張 flag[0] にすると、DTS サイクルはフラグ・チェック [0] となります。

DTS0TCEA は DTS0EA となり、チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって、転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし、チェック結果が偽の場合は、+DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 まず、アドレス SAR からチェック・ビット指定データを読み出し、続けてアドレス DAR からチェック対象データを読み出し、フラグ・チェックします。必ずチェーンします。

- DTS0TTYP5-DTS0TTYP2 が 1010、イミディエイト（DTS0CIR.DTS0IMM が（1））の場合

DTS0IMM が（1）の場合、DTS0SAR は IMM となり、DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0EA となり、チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって、転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし、チェック結果が偽の場合は、+DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 アドレス DAR からチェック対象データを読み出し、SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。必ずチェーンします。

(4) flag[1] : DTS0TTYP5-DTS0TTYP2 が 0011, または 1011

- DTS0TTYP5-DTS0TTYP2 が 0011, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを flag[1] にすると, DTS サイクルはフラグ・チェック [1] となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。フラグ・チェック [1] とは, アドレス DAR から読み出したデータの任意のビットが (1) であるか否かを確認する機能です。

ひとつでも (1) であれば, チェック結果は真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 まず, アドレス SAR からチェック・ビット指定データを読み出し, 続けてアドレス DAR からチェック対象データを読み出し, フラグ・チェックします。

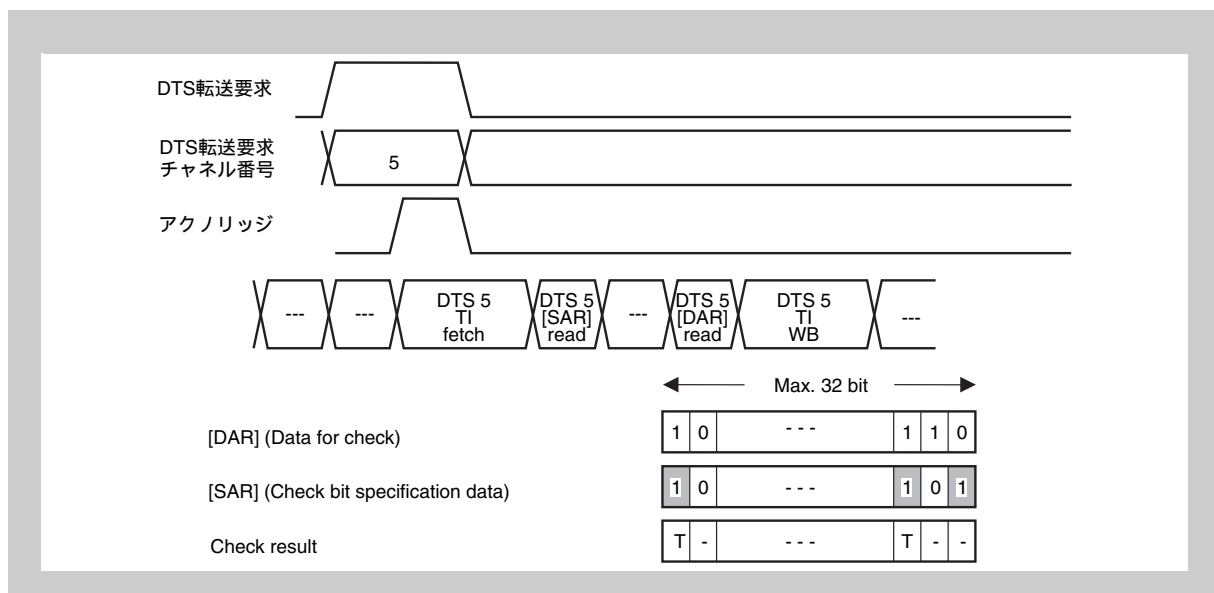


図 10-22 DTS0TTYP5-DTS0TTYP2 が 0011, DTS0CIR.DTS0IMM が (0) の場合

- DTS0TTYP5-DTS0TTYP2 が 0011, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。

フラグ・チェック [1] とは, アドレス DAR から読み出したデータの任意のビットが (1) であるか否かを確認する機能です。ひとつでも (1) であれば, チェック結果は真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 アドレス DAR からチェック対象データを読み出し, SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。

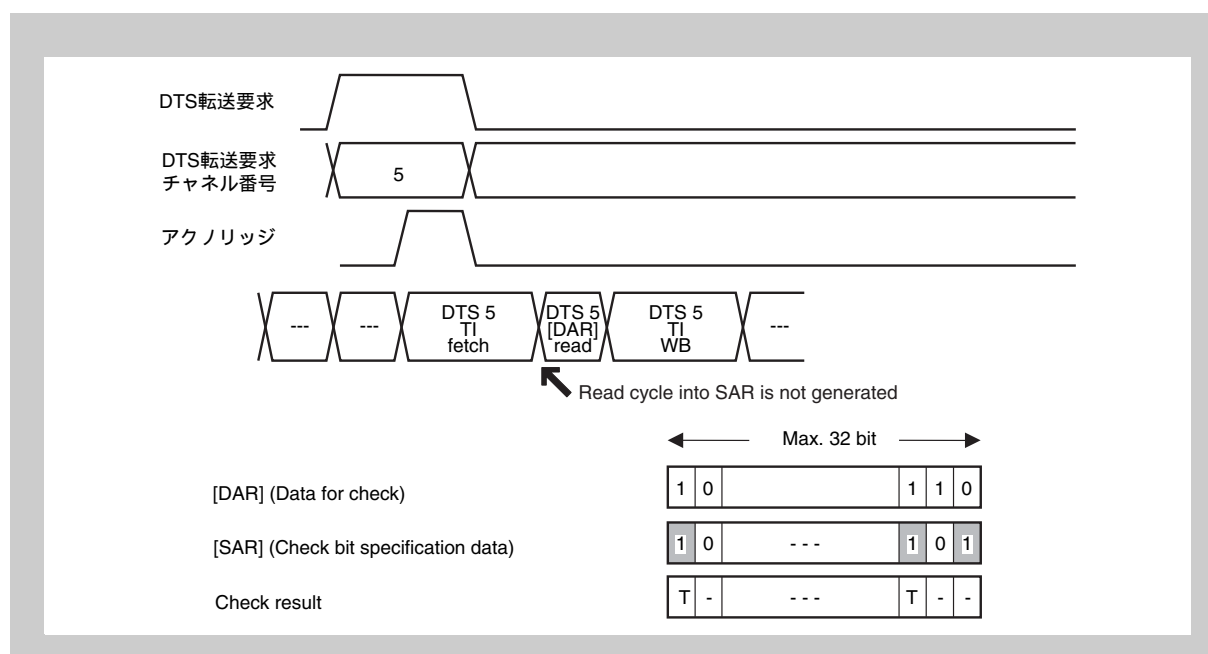


図 10-23 DTS0TTYP5-DTS0TTYP2 が 0011, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

- DTS0TTYP5-DTS0TTYP2 が 1011, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 flag[1] にすると, DTS サイクルはフラグ・チェック [1] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 まず, アドレス SAR からチェック・ビット指定データを読み出し, 続けてアドレス DAR からチェック対象データを読み出し, フラグ・チェックします。必ずチェーンします。

- DTS0TTYP5-DTS0TTYP2 が 1011, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 アドレス DAR からチェック対象データを読み出し, SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。必ずチェーンします。

(5) comp[=] : DTS0TTYP5-DTS0TTYP2 が 0100, または 1100

- DTS0TTYP5-DTS0TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを comp[=] にすると, DTS サイクルは比較 [=] となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。

比較 [=] では, アドレス SAR から読み出したデータと, アドレス DAR から読み出したデータを比較し, 両者が同じ値の場合, 比較結果が真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。
[SAR] == [DAR] であるかを確認します。

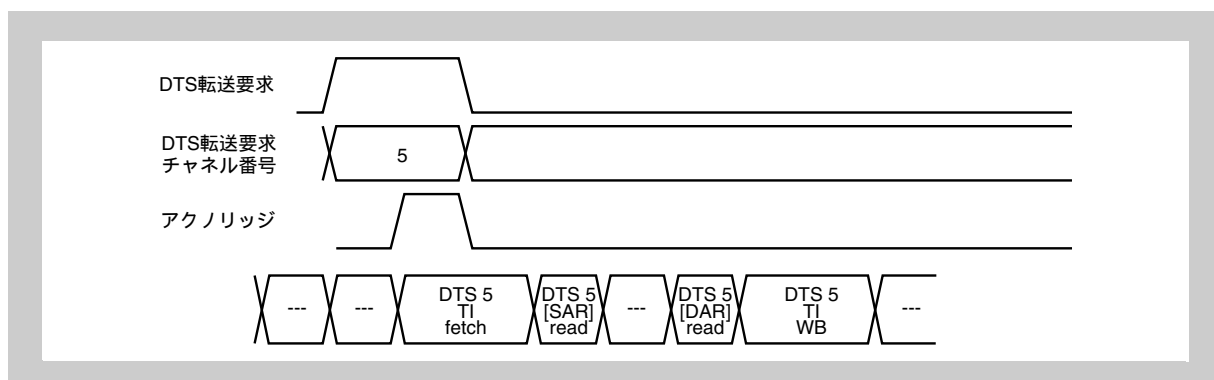


図 10-24 DTS0TTYP5-DTS0TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合

- DTS0TYP5-DTS0TYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 アドレス DAR からデータを読み出し, SAR == [DAR] であることを確認します。

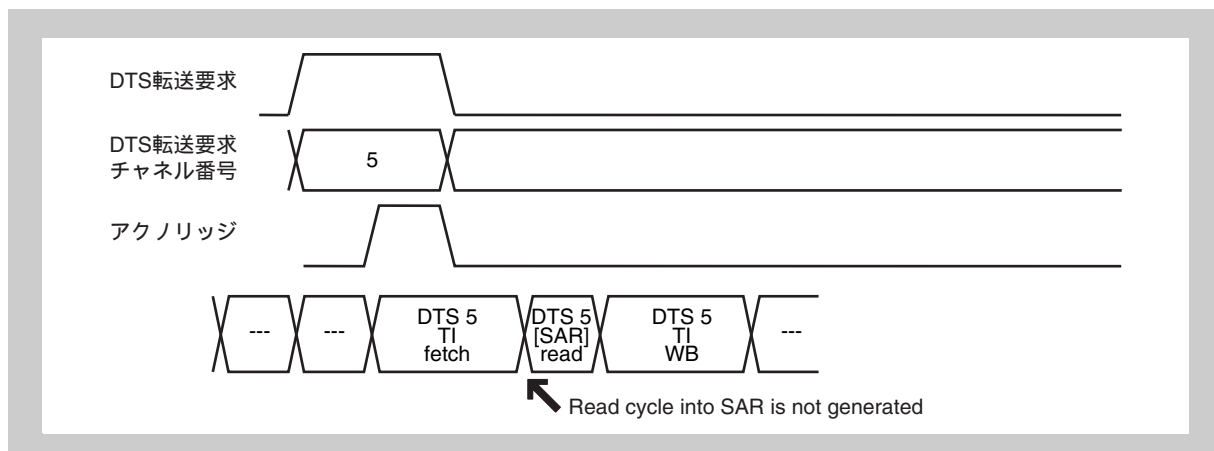


図 10-25 DTS0TYP5-DTS0TYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

- DTS0TYP5-DTS0TYP2 が 1100, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 comp[=] にすると, DTS サイクルは比較 [=] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。チェーン・モードと特殊機能の選択はできません。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。

[SAR] == [DAR] であることを確認します。

必ずチェーンします。

- DTS0TTYP5-DTS0TTYP2 が 1100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。
必ずチェーンします。

(6) comp[!]= : DTS0TTYP5-DTS0TTYP2 が 0101, または 1101

- DTS0TTYP5-DTS0TTYP2 が 0101, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを comp[!]= にすると, DTS サイクルは比較 [!]= となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。

比較 [!]= では, アドレス SAR から読み出したデータと, アドレス DAR から読み出したデータを比較し, 両者が異なる値の場合, 比較結果が真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。
[SAR] != [DAR] であるかを確認します。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合」と同じです。

- DTS0TTYP5-DTS0TTYP2 が 0101, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 アドレス DAR からデータを読み出し, SAR != [DAR] であるかを確認します。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合」と同じです。

- DTS0TTYP5-DTS0TTYP2 が 1101, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 comp[!=] にすると, DTS サイクルは比較 [!=] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。
[SAR] != [DAR] であるかを確認します。
必ずチェーンします。

- DTS0TTYP5-DTS0TTYP2 が 1101, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。
必ずチェーンします。

(7) comp[<] : DTS0TTYP5-DTS0TTYP2 が 0110, または 1110

- DTS0TTYP5-DTS0TTYP2 が 0110, DTS0CIR.DTS0IMM が (0) の場合
 転送タイプを comp[<] にすると, DTS サイクルは比較 [<] となります。
 DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大
 255 回の転送回数を指定可能です。
 DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転
 送を行うことができます。
 特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できま
 す。
 比較 [<] では, アドレス SAR から読み出したデータと, アドレス DAR から
 読み出したデータを比較し, SAR から読み出したデータの方が小さい場
 合, 比較結果が真となります。
 本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデー
 タを読み出します。
 [(符号なし) SAR] < [(符号なし) DAR] であるかを確認します。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0100,
 DTS0CIR.DTS0IMM が (0) の場合」と同じです。

- DTS0TTYP5-DTS0TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM
 が (1)) の場合
 DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が
 比較データとなります。
 DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大
 255 回の転送回数を指定可能です。
 DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転
 送を行うことができます。
 特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。
 本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 DAR からデータを読み出します。
 (符号なし) SAR < [(符号なし) DAR] であるかを確認します。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0100, イミディエイト
 (DTS0CIR.DTS0IMM が (1)) の場合」と同じです。

- DTS0TTYP5-DTS0TTYP2 が 1110, DTS0CIR.DTS0IMM が (0) の場合
転送タイプを拡張 comp[<] にすると, DTS サイクルは比較 [<] となります。
DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。
したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。
チェーン・モードと特殊機能の選択はできません。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。
[(符号なし) SAR] < [(符号なし) DAR] であるかを確認します。
必ずチェーンします。

- DTS0TTYP5-DTS0TTYP2 が 1110, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合
DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。
DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。
したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。
チェーン・モードと特殊機能の選択はできません。

動作 アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。
必ずチェーンします。

(8) comp[>] : DTS0TTYP5-DTS0TTYP2 が 0111, または 1111

- DTS0TTYP5-DTS0TTYP2 が 0111, DTS0CIR.DTS0IMM が (0) の場合
転送タイプを comp[>] にすると, DTS サイクルは比較 [>] となります。
DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。
DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。
特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。
比較 [>] では, アドレス SAR から読み出したデータと, アドレス DAR から読み出したデータを比較し, 両者が同じ値の場合, 比較結果が真となります。
本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。
[(符号なし) SAR] > [(符号なし) DAR] であるかを確認します。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合」と同じです。

- DTS0TTYP5-DTS0TTYP2 が 0111, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

動作 アドレス DAR からデータを読み出し, (符号なし) SAR > [(符号なし) DAR] であるかを確認します。

転送サイクルは, 「DTS0TTYP5-DTS0TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合」と同じです。

- DTS0TTYP5-DTS0TTYP2 が 1111, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 comp[>] にすると, DTS サイクルは比較 [>] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。
[(符号なし) SAR] > [(符号なし) DAR] であるかを確認します。
必ずチェーンします。

- DTS0TTYP5-DTS0TTYP2 が 1111, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

動作 アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。
必ずチェーンします。

10.11.6 特殊機能

特殊機能は、SREP, DREP, SG をサポートしています。

特殊機能は、DTS0CIR.DTS0TTYP1, DTS0TTYP0 により選択します。

(1) SREP (Source address REPeat)

DTS0STC が (0) になるときに、DTS0SAR を最初の値に戻す機能です。TI-D 領域を使用します。

TI-D 領域に、DTS0SAR と同じ値をあらかじめ設定しておきます。

DTS0STC が (0) になるまで DTS サイクルを実行し、最終転送のタイミングで TI-D 領域の値を DTS0SAR に読み出し、ライト・バックを行うことで SREP を実現しています。SREP で DTS0STC が (0) になると必ず TIB のライト・バックを行います (スキップしません)。

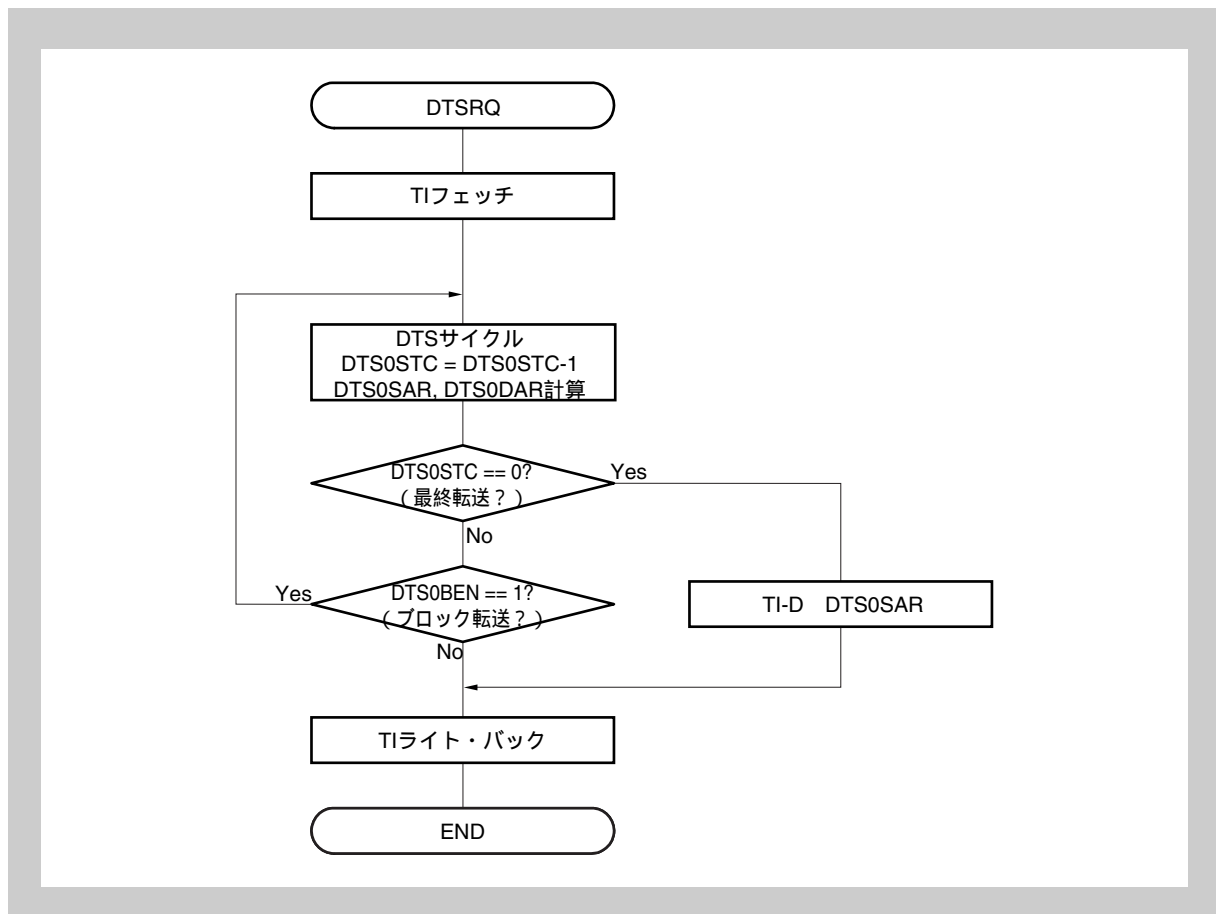


図 10-26 SREP の処理フロー

(2) DREP (Destination address REPeat)

DTS0STC が (0) になるときに、DTS0DAR を最初の値に戻す機能です。TI-D 領域を使用します。

戻す方法は SREP と同じで、TI-D の値を DTS0DAR に書き戻します。

DREP で DTS0STC が (0) になると必ず TIC のライト・バックを行います (スキップしません)。

備考 SREP, DREP は同時に設定することはできません (TI-D 領域を使用するため)。

(3) SG (Scatter&Gather)

ソース・アドレス、およびデスティネーション・アドレスの加減算量を符号付き 16 ビットで指定するモードです。TI-D 領域を使用します。SG 以外では、DTS のアドレス加減算量は、DTS0SCS と DTS0DCS で指定するので -4 ~ +8 までしか指定できませんが、SG モードでは DTS0ESCS と DTS0EDCS を使用するため大幅に加減算量を増やすことができます (TI-D 領域のデータを、DTS 内部レジスタの DTS0ESCS と DTS0EDCS に読み込みます)。

10.11.7 転送回数

転送回数は、MAX255回、またはMAX65535回があります。どちらの場合でも、指定した回数分の転送が完了すると、DTSFSLに対し割り込み要求が行われます。

(1) MAX255回

最大転送回数は255回ですが、転送回数(DTS0STC)が(0)になると転送回数を復帰することができるため、事実上無限回の転送に対応します。

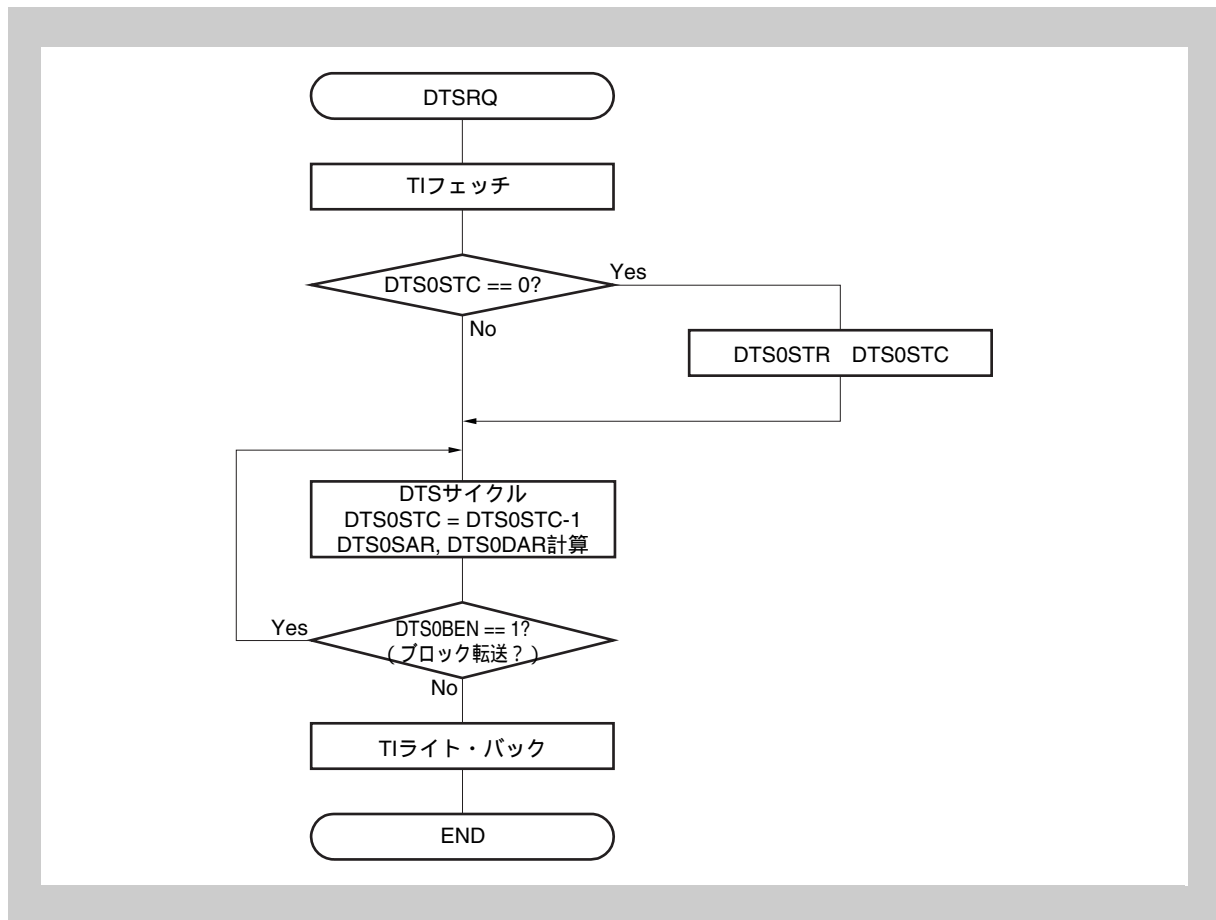


図 10-27 転送回数処理フロー

(2) MAX65535回

DTS0TCEAを16ビットのカウンタとして使用することで65535回の転送回数を指定可能になります。

10.11.8 チェーン機能

DTS は転送を数珠繋ぎにするチェーン機能を搭載しています。

チェーン機能は、DTS0CIR.DTS0CM1, DTS0CM0 で条件を選択することができます。また、DTS0CIR.DTS0TTP5-DTS0TTP2 により拡張チェーン機能を選択することもできます。

特殊 flag[0], 特殊 flag[1], 特殊 comp[=, !=, <, >] を選択した場合は、DTS0CM1, DTS0CM0 の設定は無視します。チェーン機能は、TI フェッチ→DTS サイクル→TI ライト・バックのあと、続けてTI のフェッチを行うことで数珠繋ぎを行います。この続けて行うTI のフェッチ・アドレスは、TI-C までしか使用しない場合はTI-C + 4, TI-D まで使用する場合はTI-D + 4 のアドレスとなります（内蔵RAM上の連続したアドレス）。

表 10-53 チェーン機能一覧

転送モード	特殊モード	DTS0CIR. DTS0CM1,DTS0CM0 の設定	動作
転送	—	00 (チェーンしない)	チェーンしません。
		01 (最終転送)	DTS0STC (65535 の場合は DTS0LTC) が 0 のときチェーンします。
		10 (条件真)	チェーンしません。
		11 (常にチェーン)	DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
加算	—	00 (チェーンしない)	チェーンしません。
		01 (最終転送)	DTS0STC (65535 の場合は DTS0LTC) が 0 のときチェーンします。
		10 (条件真)	チェーンしません。
		11 (常にチェーン)	DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
Flag	なし SREP DREP	00 (チェーンしない)	チェーンしません。
		01 (最終転送)	DTS0STC が 0 のときチェーンします。
		10 (条件真)	条件が真のときだけチェーンします。偽の場合割り込み発生します。
		11 (常にチェーン)	DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
	拡張チェーン	無視	必ずチェーンします。条件が真のときは通常のチェーンと同じ +10H, 偽のときは ±DTS0TCEA にチェーンします。
	Comp	なし SREP DREP	00 (チェーンしない)
01 (最終転送)			DTS0STC が 0 のときチェーンします。
10 (条件真)			条件が真のときだけチェーンします。偽の場合割り込み発生します。
11 (常にチェーン)			DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
拡張チェーン		無視	必ずチェーンします。条件が真のときは通常のチェーンと同じ +10H, 偽のときは ±DTS0TCEA にチェーンします。

10.11.9 TI ホールド機能

DTSFSL の DTSHENm (m = 0-3) により、TI ホールド機能を ON (有効) にすることができます。

(1) TI ホールド ON 時のシングル転送

シングル転送モードで TI ホールド機能を ON すると、1 回の DTS 要求につき、TI フェッチ→DTS サイクルを実行したあと、待機状態となります (TI は TI ホールド状態)。このあと、別のチャンネルの DTS 要求が発生すると別チャンネルの TI フェッチ→DTS サイクル→TI ライト・バックを実行します。TI ホールドしたチャンネルと同じ要求が発生した場合は、BT (ベース・テーブル) のリードまでは行いますが、TI は既に TI ホールド済みですので、TI のフェッチは行わずに DTS サイクルが発生します。

この動作を、DTS0STC (65535 モードのときは DTS0LTC) が (0) になるまで繰り返します。

DTS0STC (または DTS0LTC) が (0) になると、TI ホールド OFF となり、TI をライト・バックします。

バスのロックは行いませんので、CPU サイクルが割り込む場合があります。

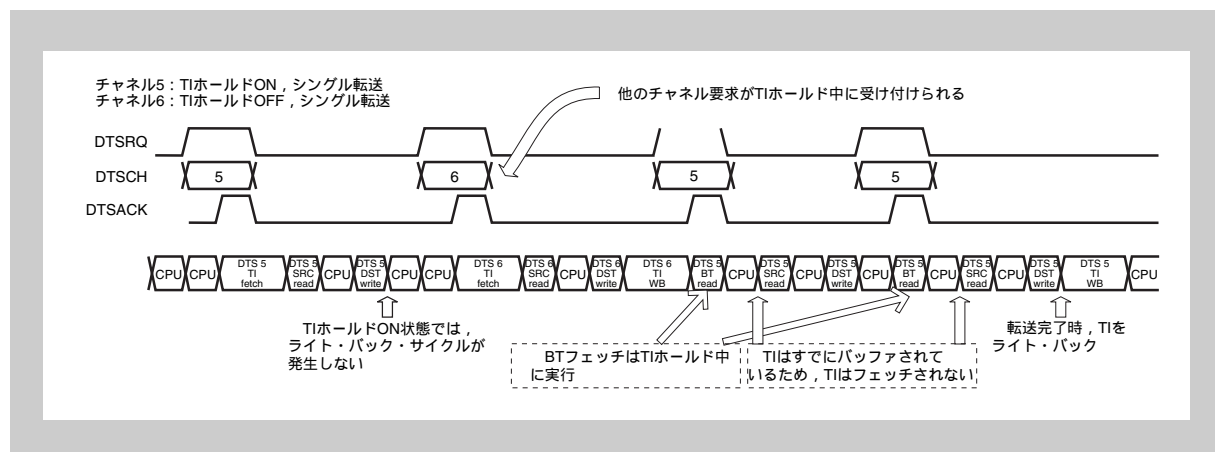


図 10-28 TI ホールド機能

(2) TI ホールド・バッファ数

TI ホールド・バッファは 4 組搭載しています。ホールド・バッファへのホールド指示は、DTSFSL の DTSHENm (m = 3-0) レジスタで指定します。

10.11.10 割り込み出力機能

DTSは、DTSFSLを介してCPUに割り込みを出力することができます。DTSはDTSFSLに対し、割り込み元信号を出力し、これをDTSFSLがデコードしCPUへの割り込み信号とします。

割り込み元信号(DTSINTRQ)の有効条件となるのは転送回数と、flagチェック、compの結果です。

まず、転送回数については、転送回数が残り1回(最終転送)の場合に、転送完了と同じタイミングでDTSINTRQがアクティブとなります。

次に、flagとcompについては、その判定結果が偽であった場合に、転送完了と同じタイミングでDTSINTRQがアクティブとなります。

割り込み元信号(DTSINTRQ)は、DTS0CIR.DTS0DISIビットでマスクすることができます。

DTS0DISIビットが“1”である場合、DTSINTRQはアクティブになりません。

10.11.11 ブロック転送時と割り込み、チェーンの関係

ブロック転送の場合、割り込みやチェーンの判定は、DTS0TCEAで指定した回数の転送が終了した時点で一度だけ行います。割り込みについては、指定した回数分終了しているので(Counterが0なので)、必ず出力されます(DTS0CIR.DTS0DISIでのマスクは可能です)。

チェーンについては、DTS0CIR.DTS0CM1、DTS0CM0が01(Counterが0でチェーン)、11(常にチェーン)の場合、必ずチェーンします。10(条件真でチェーン)の場合、flagチェックやcompの結果がすべて真であった場合のみチェーンします(1回でも偽であれば、チェーンしません)。

flagチェックやcompの結果が一度でも偽であった場合、DTS0CIR.DTS0CAFが1になります。

10.11.12 TI ライト・バック・スキップ機能

DTS はライト・バックする必要がないTIのライト・バックをスキップします。ライト・バックがスキップされる条件は次のとおりとなります。

表 10-54 ライト・バック・スキップ条件一覧

	DTS0CIR				転送回数	SCS	SAM
	DS	IMM	タイプ	特殊			
TIB のライト・バック・スキップ条件一覧	—	—	—	SG	—	—	0
	—	0	加算以外	SREP	残りあり	0	—
	—	0	—	DREP / 特殊機能なし	—	0	—
	32 ビット	1	加算以外	SREP	残りあり	—	—
	8/16 ビット	1	加算以外	SREP	残りあり	0	—
	32 ビット	1	—	DREP / 特殊機能なし	—	—	—
	8/16 ビット	1	—	DREP / 特殊機能なし	—	0	—

	DTS0CIR		転送回数	DCS	DAM
	タイプ	特殊			
TIC のライト・バック・スキップ条件一覧	—	SG	—	—	0
	—	SREP	—	0	—
	加算以外	DREP	残りあり	0	—
	—	特殊機能なし	—	0	—

10.11.13 DTS チャネルの優先順位制御

優先順位機能は DTSFSL で 4 レベル設定可能です。

10.11.14 DTS 転送要求の有効条件

DTSFSL の DTSEN000-DTSEN127.DTSEN ビットを (0) にしたチャンネルは、DTS への転送要求は行いませんが、DTS 転送要因 [127:0] のサンプリングは行います。サンプリングされた状態で DTSEN ビットを “1” にすると、DTS 転送要求が発生します。

DTSEN ビットが “1” の場合は、DTS が転送中、または転送エラー・レスポンスにより停止中、またはユーザによる停止中に発生した INTIN は、DTS が受け付け可能となるまで、DTSFSL に保留されます。

表 10-55 DTS 転送要求の有効条件一覧

DTS		DTSFSL	DTS の状態	DTS 転送要因 [127:0] による転送要求
DTS0TSR.bit1	DTS0TSR.bit0	DTSEN		
x	x	0	—	無効 (保留)
0	0	1	受け付け可	有効 (転送中に次の要求が発生した場合は保留)
x	1	1	受け付け不可	DTSFSL に保留
1	x	1	受け付け不可	DTSFSL に保留

10.11.15 DMA 転送の中断／再開

表 10-56 DMA 転送の中断 / 再開タイミング

転送モード	転送回数	中断条件
非 TI ホールド・シングル転送	最終転送	TI をライト・バック後中断
	残りあり	
非 TI ホールド・ブロック転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断
TI ホールド・シングル転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断
TI ホールド・ブロック転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断

(1) ハードウェア (NMI) による全チャンネルの DTS 転送中断／再開

対応しません。

(2) ソフトウェアによる全チャンネルの DTS 転送中断／再開

DTS 転送要求コントロール・レジスタ (DTS0TRC) の中断要求トリガ・ビット (DTS0UST) をセット (1)、次回以降の DTS 転送を中断します。DTS サイクル中の場合、上表の中断条件で DTS 転送を中断します。

再開するには DTS 転送要求コントロール・レジスタ (DTS0TRC) の DTS0UCL ビットをセット (1) し、DTS0STPU をクリア (0) してください。その時点で DTS 転送が要求されている場合、転送を再開します。

(3) DTS 転送許可ビット (DTSEN) による DTS 転送中断／再開

DTSFSL 側の機能です。

10.11.16 エラー・レスポンス対応

(1) エラー・レスポンスによる DTS 転送中断

DMAT が内部システム・バスからエラー・レスポンスを受信すると、DTS サイクル完了信号と同時に内部システム・バス転送エラー検出信号をアサートします。DTS は、転送エラー検出信号のハイ・レベルを検出すると DTS 転送状態レジスタ (DTS0TSR) の DTS0STPE ビットをセット“1”して、即座に転送を中断し、次回以降の DTS 転送要求も受け付けません。同時に、DTS 転送エラー割り込み信号 (DTSERR) を 1 クロック間アサートします。この中断は、エラー・レスポンスを受信すると即座に行われ、転送モードや TI ホールド・非 TI ホールド状態に依存しません。

ユーザは DTS0STPE がセットされていることを確認したら、DTS アクティブ・チャンネル・レジスタを読み出すことにより、どのチャンネルでエラーが発生したかを知ることができます。

- 備考**
1. TI ホールド ON のチャンネルがエラー・レスポンスを受けた場合、TI のライト・バックは行われません。
 2. エラー・レスポンスが (TI フェッチなどの) どのサイクルで発生したかを特定することはできません。

(2) エラー・レスポンスによる転送中断の解除の方法

エラー・レスポンスにより中断した場合は、DTS アクティブ・チャンネル・レジスタ (DTS0ACR) を確認し、DTS 転送中止制御レジスタ (DTS0ICR) の DTS0TIT ビットと DTS0ICH ビットを使用して要因となったチャンネルの TI クリアを実行したあと、DTS 転送要求制御レジスタ (DTS0TRC) の DTS0ECL ビットをセット“1”し、DTS 転送状態レジスタ (DTS0TSR) の DTS0STPE をクリア“0”してください。

10.12 DTSFSL 機能

DTSFSL (DTS Factor SeLector) 機能とは、割り込み信号の中から DTS 起動要因を選択する機能です。DTS 起動要因には、4 レベルのプライオリティを設定できます。また、DTS として使用しない要因は、DTS 転送要因スルー出力 (IRQ[127:0]) を通して割り込みコントローラへ入力することができます。

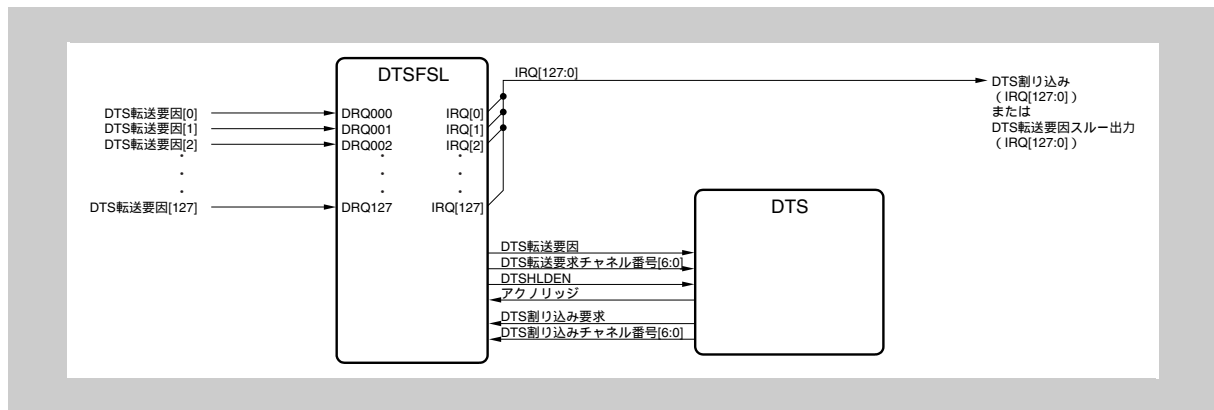


図 10-29 DTSFSL と DTS の接続

10.12.1 特徴

DTS 転送要因として、128 要因の割り当てが可能です。

128 要因それぞれに、4 レベルの優先順位を設定することが可能です。

DTS からの割り込み要求元を元に、各チャンネルに対応する DTS 割り込み (IRQ(127:0)) を通して、CPU へ割り込みを出力します (兼用出力)。

備考 DTS からの割り込み要求元の種類は「全転送回数の完了」, 「flag チェック結果が偽」, 「comp (比較) 結果が偽」があります。

DTS として使用しない要因は、DTS 転送要因スルー出力 (IRQ[127:0]) を通して割り込みコントローラへ入力します (兼用出力)。

表 10-57 DTS 転送要因 (1/4)

チャンネル	DTS 転送要因となる 割り込み	対応する DTSENx レジスタ	
		アドレス	略号
0	INTP0	FFFF7D00 _H	DTSEN000
1	INTP1	FFFF7D02 _H	DTSEN001
2	INTP2	FFFF7D04 _H	DTSEN002
3	INTP3	FFFF7D06 _H	DTSEN003
4	INTP4	FFFF7D08 _H	DTSEN004
5	INTP5	FFFF7D0A _H	DTSEN005
6	INTP6	FFFF7D0C _H	DTSEN006
7	INTP7	FFFF7D0E _H	DTSEN007
8	INTP8	FFFF7D10 _H	DTSEN008
9	INTP9	FFFF7D12 _H	DTSEN009
10	INTP10	FFFF7D14 _H	DTSEN010
11	INTP11	FFFF7D16 _H	DTSEN011
12	INTP12	FFFF7D18 _H	DTSEN012
13	INTP13	FFFF7D1A _H	DTSEN013
14	INTP14	FFFF7D1C _H	DTSEN014
15	INTP15	FFFF7D1E _H	DTSEN015
16	INTP16	FFFF7D20 _H	DTSEN016
17	INTP17	FFFF7D22 _H	DTSEN017
18	INTP18	FFFF7D24 _H	DTSEN018
19	INTP19	FFFF7D26 _H	DTSEN019
20	INTP20	FFFF7D28 _H	DTSEN020
21	INTP21	FFFF7D2A _H	DTSEN021
22	INTP22	FFFF7D2C _H	DTSEN022
23	INTP23	FFFF7D2E _H	DTSEN023
24	INTP24	FFFF7D30 _H	DTSEN024
25	INTP25	FFFF7D32 _H	DTSEN025
26	INTP26	FFFF7D34 _H	DTSEN026
27	INTP27	FFFF7D36 _H	DTSEN027
28	INTADCA010	FFFF7D38 _H	DTSEN028
29	INTADCA011	FFFF7D3A _H	DTSEN029
30	INTADCA012	FFFF7D3C _H	DTSEN030
31	Reserved	FFFF7D3E _H	DTSEN031
32	INTTAUA010	FFFF7D40 _H	DTSEN032
33	INTTAUA011	FFFF7D42 _H	DTSEN033
34	INTTAUA012	FFFF7D44 _H	DTSEN034
35	INTTAUA013	FFFF7D46 _H	DTSEN035
36	INTTAUA014	FFFF7D48 _H	DTSEN036
37	INTTAUA015	FFFF7D4A _H	DTSEN037
38	INTTAUA016	FFFF7D4C _H	DTSEN038
39	INTTAUA017	FFFF7D4E _H	DTSEN039

表 10-57 DTS 転送要因 (2/4)

チャンネル	DTS 転送要因となる 割り込み	対応する DTSENx レジスタ	
		アドレス	略号
40	INTTAUA018	FFFF7D50 _H	DTSEN040
41	INTTAUA019	FFFF7D52 _H	DTSEN041
42	INTTAUA0110	FFFF7D54 _H	DTSEN042
43	INTTAUA0111	FFFF7D56 _H	DTSEN043
44	INTTAUA0112	FFFF7D58 _H	DTSEN044
45	INTTAUA0113	FFFF7D5A _H	DTSEN045
46	INTTAUA0114	FFFF7D5C _H	DTSEN046
47	INTTAUA0115	FFFF7D5E _H	DTSEN047
48	INTTAUA110	FFFF7D60 _H	DTSEN048
49	INTTAUA111	FFFF7D62 _H	DTSEN049
50	INTTAUA112	FFFF7D64 _H	DTSEN050
51	INTTAUA113	FFFF7D66 _H	DTSEN051
52	INTTAUA114	FFFF7D68 _H	DTSEN052
53	INTTAUA115	FFFF7D6A _H	DTSEN053
54	INTTAUA116	FFFF7D6C _H	DTSEN054
55	INTTAUA117	FFFF7D6E _H	DTSEN055
56	INTTAUA118	FFFF7D70 _H	DTSEN056
57	INTTAUA119	FFFF7D72 _H	DTSEN057
58	INTTAUA1110	FFFF7D74 _H	DTSEN058
59	INTTAUA1111	FFFF7D76 _H	DTSEN059
60	INTTAUA1112	FFFF7D78 _H	DTSEN060
61	INTTAUA1113	FFFF7D7A _H	DTSEN061
62	INTTAUA1114	FFFF7D7C _H	DTSEN062
63	INTTAUA1115	FFFF7D7E _H	DTSEN063
64	INTTAUA2112	FFFF7D80 _H	DTSEN064
65	INTTAUA2113	FFFF7D82 _H	DTSEN065
66	INTTAUA2114	FFFF7D84 _H	DTSEN066
67	INTTAUA2115	FFFF7D86 _H	DTSEN067
68	INTTAUA310	FFFF7D88 _H	DTSEN068
69	INTTAUA311	FFFF7D8A _H	DTSEN069
70	INTTAUA312	FFFF7D8C _H	DTSEN070
71	INTTAUA313	FFFF7D8E _H	DTSEN071
72	INTTAUA314	FFFF7D90 _H	DTSEN072
73	INTTAUA315	FFFF7D92 _H	DTSEN073
74	INTTAUA316	FFFF7D94 _H	DTSEN074
75	INTTAUA317	FFFF7D96 _H	DTSEN075
76	INTTAUA318	FFFF7D98 _H	DTSEN076
77	INTTAUA319	FFFF7D9A _H	DTSEN077
78	INTTAUA3110	FFFF7D9C _H	DTSEN078
79	INTTAUA3111	FFFF7D9E _H	DTSEN079

表 10-57 DTS 転送要因 (3/4)

チャンネル	DTS 転送要因となる 割り込み	対応する DTSENx レジスタ	
		アドレス	略号
80	INTTAUA3I12	FFFF7DA0 _H	DTSEN080
81	INTTAUA3I13	FFFF7DA2 _H	DTSEN081
82	INTTAUA3I14	FFFF7DA4 _H	DTSEN082
83	INTTAUA3I15	FFFF7DA6 _H	DTSEN083
84	INTTAUJ0I0	FFFF7DA8 _H	DTSEN084
85	INTTAUJ0I1	FFFF7DAA _H	DTSEN085
86	INTTAUJ0I2	FFFF7DAC _H	DTSEN086
87	INTTAUJ0I3	FFFF7DBE _H	DTSEN087
88	INTENCA0IOV	FFFF7DB0 _H	DTSEN088
89	INTENCA0IUD	FFFF7DB2 _H	DTSEN089
90	INTENCA0I0	FFFF7DB4 _H	DTSEN090
91	INTENCA0I1	FFFF7DB6 _H	DTSEN091
92	INTENCA0IEC	FFFF7DB8 _H	DTSEN092
93	INTENCA1IOV	FFFF7DBA _H	DTSEN093
94	INTENCA1IUD	FFFF7DBC _H	DTSEN094
95	INTENCA1I0	FFFF7DBE _H	DTSEN095
96	INTENCA1I1	FFFF7DC0 _H	DTSEN096
97	INTENCA1IEC	FFFF7DC2 _H	DTSEN097
98	INTTAPA0IPEK0	FFFF7DC4 _H	DTSEN098
99	INTTAPA0IVLY0	FFFF7DC6 _H	DTSEN099
100	INTTAPA2ADOUT0	FFFF7DC8 _H	DTSEN100
101	INTTAPA0ADOUT0	FFFF7DCA _H	DTSEN101
102	INTTAPA0ADOUT1	FFFF7DCC _H	DTSEN102
103	INTTAPA1IPEK0	FFFF7DCE _H	DTSEN103
104	INTTAPA1IVLY0	FFFF7DD0 _H	DTSEN104
105	INTTAPA3ADOUT0	FFFF7DD2 _H	DTSEN105
106	INTTAPA1ADOUT0	FFFF7DD4 _H	DTSEN106
107	INTTAPA1ADOUT1	FFFF7DD6 _H	DTSEN107
108	INTCSIH0IR	FFFF7DD8 _H	DTSEN108
109	INTCSIH0IC	FFFF7DDA _H	DTSEN109
110	INTCSIH0IJC	FFFF7DDC _H	DTSEN110
111	INTCSIH1IR	FFFF7DDE _H	DTSEN111
112	INTCSIH1IC	FFFF7DE0 _H	DTSEN112
113	INTCSIH1IJC	FFFF7DE2 _H	DTSEN113
114	INTCSIH2IR	FFFF7DE4 _H	DTSEN114
115	INTCSIH2IC	FFFF7DE6 _H	DTSEN115
116	INTCSIH2IJC	FFFF7DE8 _H	DTSEN116
117	INTCSIH3IR	FFFF7DEA _H	DTSEN117
118	INTCSIH3IC	FFFF7DEC _H	DTSEN118
119	INTCSIH3IJC	FFFF7DEE _H	DTSEN119

表 10-57 DTS 転送要因 (4/4)

チャンネル	DTS 転送要因となる 割り込み	対応する DTSENx レジスタ	
		アドレス	略号
120	INTETHA0SCRX	FFFF7DF0 _H	DTSEN120
121	INTETHA0SCTX	FFFF7DF2 _H	DTSEN121
122	Reserved	FFFF7DF4 _H	DTSEN122
123	Reserved	FFFF7DF6 _H	DTSEN123
124	Reserved	FFFF7DF8 _H	DTSEN124
125	Reserved	FFFF7DFA _H	DTSEN125
126	Reserved	FFFF7DFC _H	DTSEN126
127	Reserved	FFFF7DFE _H	DTSEN127

10.13 DTSFSL 制御レジスタ

10.13.1 DTSENx (x = 000-127) : DTS 転送許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス 表 10-57 「DTS 転送要因」を参照してください。

初期値 00_H

7	6	5	4	3	2	1	0
DRQ	0	DRQCLR	0	0	DTSEN	DTSPR1	DTSPR0
R	R	R/W	R	R	R/W	R/W	R/W

表 10-58 DTSENx レジスタの内容

ビット位置	ビット名	意味
7	DRQ	DTS への転送要求保持の有無を示します。リード・オンリー・ビットです。 書き込みは無視します。 0 : DTS 転送要求なし 1 : DTS 転送要求あり (待ち状態) セット (1) 条件 : DTS 転送要因 x の立ち上がりエッジを検出した。 クリア (0) 条件 : DRQCLR ビットへの "1" 書き込み。または DTS に転送要求が受け付けられた。
5	DRQCLR	DRQCLR ビットに "1" を書き込むと、DRQ ビットがクリアされます。 "0" の書き込みは無視します。
2	DTSEN	DTS 転送要因 x の DTS 転送要求許可ビットです。 0 : DTS 転送要因 x を DTS 転送要求としない (DTS 要求禁止) 1 : DTS 転送要因 x を DTS 転送要求とする (DTS 要求許可)
1 0	DTSPR1 DTSPR0	優先順位指定ビットです。00 が最高優先順位、11 が最低優先順位です。

10.13.2 DTSHENm (m = 0-3) : DTS ホールド許可レジスタ

アクセス 16ビット単位でリード/ライト可能です。

アドレス DTSHEN0: FFFF7E00_H, DTSHEN1: FFFF7E02_H, DTSHEN2: FFFF7E04_H,
DTSHEN3: FFFF7E06_H

初期値 0000_H

15	14	13	12	11	10	9	8
HEN	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	dtSCH6	dtSCH5	dtSCH4	dtSCH3	dtSCH2	dtSCH1	dtSCH0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-59 DTSHENm レジスタの内容

ビット位置	ビット名	意味
15	HEN	DTS のホールド許可レジスタの動作許可 1 : ホールド許可レジスタ使用許可 0 : ホールド許可レジスタ使用禁止
6-0	dtSCH6- dtSCH0	ホールド対象とするチャンネルを選択します。 HEN が“1”の場合のみ、dtSCH6-dtSCH0 への設定が有効となります。 設定値は、次の表のとおりです。

表 10-60 dtsch6-dtsch0 ビットの設定により選択されるホールド対象チャネル一覧

dtsch[6-0] ビット	ホールド対 象チャネル	dtsch[6-0] ビット	ホールド対 象チャネル	dtsch[6-0] ビット	ホールド対 象チャネル	dtsch[6-0] ビット	ホールド対 象チャネル
000_0000	CH000	010_0000	CH032	100_0000	CH064	110_0000	CH096
000_0001	CH001	010_0001	CH033	100_0001	CH065	110_0001	CH097
000_0010	CH002	010_0010	CH034	100_0010	CH066	110_0010	CH098
000_0011	CH003	010_0011	CH035	100_0011	CH067	110_0011	CH099
000_0100	CH004	010_0100	CH036	100_0100	CH068	110_0100	CH100
000_0101	CH005	010_0101	CH037	100_0101	CH069	110_0101	CH101
000_0110	CH006	010_0110	CH038	100_0110	CH070	110_0110	CH102
000_0111	CH007	010_0111	CH039	100_0111	CH071	110_0111	CH103
000_1000	CH008	010_1000	CH040	100_1000	CH072	110_1000	CH104
000_1001	CH009	010_1001	CH041	100_1001	CH073	110_1001	CH105
000_1010	CH010	010_1010	CH042	100_1010	CH074	110_1010	CH106
000_1011	CH011	010_1011	CH043	100_1011	CH075	110_1011	CH107
000_1100	CH012	010_1100	CH044	100_1100	CH076	110_1100	CH108
000_1101	CH013	010_1101	CH045	100_1101	CH077	110_1101	CH109
000_1110	CH014	010_1110	CH046	100_1110	CH078	110_1110	CH110
000_1111	CH015	010_1111	CH047	100_1111	CH079	110_1111	CH111
001_0000	CH016	011_0000	CH048	101_0000	CH080	111_0000	CH112
001_0001	CH017	011_0001	CH049	101_0001	CH081	111_0001	CH113
001_0010	CH018	011_0010	CH050	101_0010	CH082	111_0010	CH114
001_0011	CH019	011_0011	CH051	101_0011	CH083	111_0011	CH115
001_0100	CH020	011_0100	CH052	101_0100	CH084	111_0100	CH116
001_0101	CH021	011_0101	CH053	101_0101	CH085	111_0101	CH117
001_0110	CH022	011_0110	CH054	101_0110	CH086	111_0110	CH118
001_0111	CH023	011_0111	CH055	101_0111	CH087	111_0111	CH119
001_1000	CH024	011_1000	CH056	101_1000	CH088	111_1000	CH120
001_1001	CH025	011_1001	CH057	101_1001	CH089	111_1001	CH121
001_1010	CH026	011_1010	CH058	101_1010	CH090	111_1010	CH122
001_1011	CH027	011_1011	CH059	101_1011	CH091	111_1011	CH123
001_1100	CH028	011_1100	CH060	101_1100	CH092	111_1100	CH124
001_1101	CH029	011_1101	CH061	101_1101	CH093	111_1101	CH125
001_1110	CH030	011_1110	CH062	101_1110	CH094	111_1110	CH126
001_1111	CH031	011_1111	CH063	101_1111	CH095	111_1111	CH127

10.13.3 DTSSSELm (m = 0-15) : DTS 転送完了割り込み選択レジスタ

DTS 転送完了割り込みと、内部/外部割り込みを切り替えるレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス DTSSSEL0 : FFFFFFFE0_H DTSSSEL1 : FFFFFFFE04_H
 DTSSSEL2 : FFFFFFFE08_H DTSSSEL3 : FFFFFFFE0C_H
 DTSSSEL4 : FFFFFFFE10_H DTSSSEL5 : FFFFFFFE14_H
 DTSSSEL6 : FFFFFFFE18_H DTSSSEL7 : FFFFFFFE1C_H
 DTSSSEL8 : FFFFFFFE20_H DTSSSEL9 : FFFFFFFE24_H
 DTSSSEL10 : FFFFFFFE28_H DTSSSEL11 : FFFFFFFE2C_H
 DTSSSEL12 : FFFFFFFE30_H DTSSSEL13 : FFFFFFFE34_H
 DTSSSEL14 : FFFFFFFE38_H DTSSSEL15 : FFFFFFFE3C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

- 注意**
- 表 10-57 「DTS 転送要因」にないもしくは「Reserved」になっているチャネルに対応する DSEL[127:0] ビットには、必ず 0 を設定してください。
 - DTSSSELm.DSEL[127:0] の変更は、変更する DTS 転送要因の割り込み要求信号が発生しない状態にした上で行ってください。
 - DTS 転送完了割り込みは、DTS 転送要因の割り込み要求と同じ要因を設定してください。

★

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
DSEL m×8+7	DSEL m×8+6	DSEL m×8+5	DSEL m×8+4	DSEL m×8+3	DSEL m×8+2	DSEL m×8+1	DSEL m×8+0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-61 DTSSELM レジスタの内容

ビット位置	ビット名	意味
7-0	DSELMx8+ 7- DSELMx8+ 0	<p>DTS 転送要因となる割り込み要求信号を選択します。</p> <p>0 : 内部／外部割り込み要因を選択 1 : DTS 転送完了割り込みを選択</p> <p>DTS 転送を行う際は、DTSFSL の DTS 転送許可レジスタ n (DTSEn) の「転送要求許可」を行い、DTSSELM.DSEL[127:0] ビットを「DTS 転送割り込み選択」に設定してください。</p> <p>DTS 転送を解除する際は、DTSFSL の DTS 転送許可レジスタ n (DTSEn) の「転送要求禁止」を行い、DTSSELM.DSEL[127:0] ビットを「内部／外部割り込み要因選択」に設定してください。</p> <p>DTSFSL にて DTS 転送許可レジスタ (DTSEn) が「転送要求許可」になっているにもかかわらず、DTSSELM.DSEL[127:0] ビットを「外部／内部割り込み要因選択」に設定した場合や、または逆に DTSEn を「転送要求禁止」、DTSSELM.DSEL[127:0] ビットを「転送完了割り込み選択」に設定した場合は、DTS チャンネル n に割り当てられている要因の割り込みが発生しても、割り込み要求信号が CPU に到達しません。</p>

第11章 プライマリ・メモリ・コントローラ (PMEMC)

11.1 特徴

このマイクロコントローラの外部メモリ・アクセス機能は、マイクロコントローラ外部にメモリ、ASICなどを接続できるインタフェースを提供します。このマイクロコントローラでは、次の2種類のメモリが接続できます。

- SRAM
- SDRAM

マイクロコントローラは、4つのチップ・セレクト領域 (CS1-CS4) を提供しており、チップ・セレクト領域ごとに個別にバス・サイズ、ウエイト時間を設定できます。CS4領域はSDRAMバス・サイクル・タイプに固定されており、バースト機能を有効にすることで、8回の連続リード・アクセスを行います。

外部ウエイト機能のほか、チップ・セレクト領域ごとに、設定可能な各種プログラマブル・ウエイト機能を有しており、さまざまなタイプのメモリを接続できます。

また、外部バス・ホールド機能があり、マルチマスタ構成のメモリ・システムを構成できます。

入出力信号 プライマリ・メモリ・コントローラの入出力信号を次の表に示します。

表 11-1 プライマリ・メモリ・コントローラの入出力信号 (1/2)

P_MEMC 信号	機能	接続先
MDIxx MADxx	データ・バス	ポート P_D[0:31]
BENZxx	バイト・イネーブル信号出力 (D0-D7)	ポート P_LLBE
	バイト・イネーブル信号出力 (D8-D15)	ポート P_LUBE
	バイト・イネーブル信号出力 (D16-D23)	ポート P_ULBE
	バイト・イネーブル信号出力 (D24-D31)	ポート P_UUBE
RDZ	リード・ストロープ信号出力	ポート P_RD
DVCLK	バス・クロック出力	ポート P_BUSCLK
WRZ	ライト・ストロープ信号出力	ポート P_WR
RWZ	リード/ライト・ステータス信号出力	ポート P_RW
xxWRZ	ライト・ストロープ信号出力 (D0-D7)	ポート P_LLWR
	ライト・ストロープ信号出力 (D8-D15)	ポート P_LUWR
	ライト・ストロープ信号出力 (D16-D23)	ポート P_ULWR
	ライト・ストロープ信号出力 (D24-D31)	ポート P_UUWR

表 11-1 プライマリ・メモリ・コントローラの入出力信号 (2/2)

P_MEMC 信号	機能	接続先
DQMxx	SDRAM 用入出力マスク信号出力 (D0-D7)	ポート P_LLDQM
	SDRAM 用入出力マスク信号出力 (D8-D15)	ポート P_LUDQM
	SDRAM 用入出力マスク信号出力 (D16-D23)	ポート P_ULDQM
	SDRAM 用入出力マスク信号出力 (D24-D31)	ポート P_UUDQM
REFRQZ	リフレッシュ要求	ポート P_REFRQ
SDRASZ	SDRAM に対するロウ・アドレス・ストローク信号出力	ポート P_SDRAS
SDCASZ	SDRAM に対するコラム・アドレス・ストローク信号出力	ポート P_SDCAS
CKE	SDRAM クロック・イネーブル出力信号	ポート P_SDCKE
CPBUSRQ	CPU バス要求通知出力	ポート P_BUSRQ
SDWEZ	SDRAM 用データ・ライト許可出力	ポート P_SDWE
LBAZ	SRAM サイクルのバス・サイクル・スタート	ポート P_BCYST
MAOxx	外部メモリに対するアドレス・バス	ポート P_A[0:25]
CSZxx	チップ・セレクト信号出力	ポート P_CS[1:4]
WAITZ	外部ウエイト要求入力	ポート P_WAIT
HLDKZ	バス・ホールド・アクノリッジ出力	ポート P_HLDAK
HLDRQZ	バス・ホールド要求入力	ポート P_HLDRQ

11.1.1 動作モード, 接続可能メモリ

(1) セパレート・バス・モード

アドレス出力とデータ入出力を, それぞれ独立した信号線を使用して外部メモリに接続する動作モードです。この動作モードを利用することにより, 次の2種類のメモリをチップ・セレクト領域ごとに任意に選択して接続できます。

- SRAM
- SDRAM^a

11.1.2 チップ・セレクト出力機能

メモリ空間中の外部バス領域を4つのチップ・セレクト空間に分割して, チップ・セレクト領域ごとにチップ・セレクト信号を出力できます。このチップ・セレクト空間の割り当てはシステム固定であり, プログラマブルに変更することはできません。

11.1.3 バス・サイジング機能

チップ・セレクト領域ごとにバス・サイズを8ビット/16ビット/32ビットの中から選択できます。選択したバス幅より大きなサイズのアクセスを行った場合, バス・サイジング機能により, バス幅以下のアクセスに分割してアクセスを行います。

11.1.4 データ・エンディアン設定機能

チップ・セレクト領域ごとにデータ・エンディアン (リトル・エンディアン/ビッグ・エンディアン) を設定できます。ただし, ルネサスエレクトロニクス社製のソフトウェア開発ツール (アセンブラやデバッガ) はリトル・エンディアンのみに対応しているため, ビッグ・エンディアンでの命令フェッチ動作には対応しておりません。

初期状態は, 全チップ・セレクト領域がリトル・エンディアンに設定されています。

ビッグ・エンディアン設定時, 該当領域へのミスアライン・アクセスは禁止です。

11.1.5 プログラマブル・ウエイト設定機能

次のウエイト機能があります。チップ・セレクト領域ごとに設定できます。

- プログラマブル・データ・ウエイト
- データ・ホールド・ウエイト

^{a)}SDRAMは, 特定のチップ・セレクト領域 (CS4) でのみ選択できます。

- アイドル・サイクル機能
- RAS レイテンシ (SDRAM 時)
- CAS レイテンシ (SDRAM 時)

11.1.6 外部ウエイト機能

SRAM に対するライト・サイクル時に、WAITZ 端子より外部から任意幅のデータ・ウエイトを挿入できます。WAITZ 端子はデータ出力サイクルの手前でサンプリングされており、データのラッチ・タイミングを任意に遅らせられます。

11.1.7 外部ウエイト・エラー検出機能

外部ウエイト端子の不具合などにより、外部ウエイトが常に入力され続ける状態になった場合、システムのハングアップを回避できるように、外部ウエイトが 128 クロックの間連続で検出された場合にウエイトを強制解除して SYSERROR 割り込みが発生します。

11.1.8 バス・ホールド機能

HLDRQZ 端子に、外部からのバス・ホールド要求を入力できます。

また、CPBUSRQ 端子より、バス・ホールド期間中にマイクロコントローラ内部からの転送要求があったことを外部に通知できます。この端子機能を用いて外部からのバス・ホールド要求を制御することにより、外部バス・ホールドの CPU プロセス実行への影響を極力抑えたマルチマスタ・システムを構築できます。

11.1.9 DMA サイクル出力機能

外部バス・サイクルが DMA により発生したサイクルであることを示す端子機能があります。

なお、このマイクロコントローラは、DMA を 6 チャンネル搭載しています。

11.2 レジスタ

プライマリ・メモリ・コントローラの制御レジスタです。

備考 11.2「レジスタ」で書かれているクロック数は、特に説明がない限りすべて外部バス・クロックでのクロック数です。

表 11-2 外部メモリ・アクセス制御レジスタ一覧

アドレス	レジスタ名称	略号	R/W	操作可能ビット			リセット値
				1	8	16	
FFFF7200 _H	バス・サイズ設定レジスタ	BSC	R/W			○	AAAA _H
FFFF7202 _H	データ・エンディアン設定レジスタ	DEC	R/W			○	0000 _H
FFFF7208 _H	データ・ウェイト設定レジスタ 0	DWC0	R/W			○	7777 _H
FFFF720C _H	データ・ホールド・ウェイト設定レジスタ	DHC	R/W			○	0000 _H
FFFF7214 _H	アイドル・サイクル設定レジスタ 0	ICC0	R/W			○	0000 _H
FFFF7216 _H	アイドル・サイクル設定レジスタ 1	ICC1	R/W			○	0000 _H
FFFF721A _H	外部ウェイト・エラー設定レジスタ	EWC	R/W			○	0000 _H
FFFF7220 _H	SDRAM イネーブル・コントロール・レジスタ	SEN	R/W		○		00 _H
FFFF7222 _H	SDRAM コンフィグレーション・レジスタ	SDCR	R/W			○	30C0 _H
FFFF7224 _H	SDRAM ステータス・レジスタ	STR	R		○		00 _H
FFFF7226 _H	SDRAM リフレッシュ・コントロール・レジスタ	RFS	R/W			○	0000 _H

11.2.1 バス・サイズ設定レジスタ (BSC)

BSC レジスタは、外部バスのバス・サイズをチップ・セレクト領域ごとに設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7200_H

初期値 AAAA_H

注意 ビット 9-2 のみ設定可能です。ビット 15, 13, 11, 1 には必ず 1 を、ビット 14, 12, 10, 0 には必ず 0 を設定してください。

15	14	13	12	11	10	9	8
BS71	BS70	BS61	BS60	BS51	BS50	BS41	BS40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
BS31	BS30	BS21	BS20	BS11	BS10	BS01	BS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-3 BSC レジスタの内容

ビット位置	ビット名	意味															
15 : 14, 13 : 12, 11 : 10, 9 : 8, 7 : 6, 5 : 4, 3 : 2, 1 : 0	BSn1, BSn0	バス・サイズ設定ビット 各チップ・セレクト領域のバス幅を設定するビットです。 <table border="1"> <thead> <tr> <th>BSn1</th><th>BSn0</th><th>バス・サイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>8 ビット</td></tr> <tr> <td>0</td><td>1</td><td>16 ビット</td></tr> <tr> <td>1</td><td>0</td><td>32 ビット</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	BSn1	BSn0	バス・サイズ	0	0	8 ビット	0	1	16 ビット	1	0	32 ビット	1	1	設定禁止
BSn1	BSn0	バス・サイズ															
0	0	8 ビット															
0	1	16 ビット															
1	0	32 ビット															
1	1	設定禁止															

11.2.2 データ・エンディアン設定レジスタ (DEC)

DEC レジスタは、外部バスのエンディアンを設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7202_H

初期値 0000_H どのリセット要因でも初期化されます。

- 注意**
1. ビット 8, 6, 4, 2 のみ設定可能です。ビット 15-9, 7, 5, 3, 1, 0 には必ず 0 を設定してください。
 2. ビッグ・エンディアン設定時、該当領域へのミスアライン・アクセスは禁止です。

15	14	13	12	11	10	9	8
0	DE7	0	DE6	0	DE5	0	DE4
R	R/W	R	R/W	R	R/W	R	R/W
7	6	5	4	3	2	1	0
0	DE3	0	DE2	0	DE1	0	DE0
R	R/W	R	R/W	R	R/W	R	R/W

表 11-4 DEC レジスタの内容

ビット位置	ビット名	意味
14, 12, 10, 8, 6, 4, 2, 0	DEn	データ・エンディアン設定ビット 各チップ・セレクト領域のエンディアンを設定するビットです。 0: リトル・エンディアン 1: ビッグ・エンディアン

11.2.3 データ・ウエイト設定レジスタ 0 (DWC0)

DWC0 レジスタは外部バスのデータ・ウエイトを設定するレジスタです。
DWC0 レジスタに対する設定は次のバス・サイクルのときに有効となります。

- SRAM バス・サイクル・タイプのデータ転送サイクル

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7208_H

初期値 7777_H

注意 ビット 15-4 のみ設定可能です。ビット 3 には必ず 0 を、ビット 2-0 には必ず 1 を設定してください。

	15	14	13	12	11	10	9	8
DWC0	DW33	DW32	DW31	DW30	DW23	DW22	DW21	DW20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	DW13	DW12	DW11	DW10	DW03	DW02	DW01	DW00
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-5 DWC0 レジスタの内容

ビット位置	ビット名	意味																																																																																					
15-12, 11-8, 7-4, 3-0	DWN3, DWN2, DWN1, DWN0	データ・ウエイト設定ビット 各チップ・セレクト領域のデータ・ウエイト数を設定するビットです。																																																																																					
		<table border="1"> <thead> <tr> <th>DWN3</th> <th>DWN2</th> <th>DWN1</th> <th>DWN0</th> <th>データ・ウエイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>データ・ウエイトなし</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1クロック</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2クロック</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>3クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>4クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>5クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>6クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>7クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>8クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>9クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>10クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>11クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>12クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>13クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>14クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>15クロック</td> </tr> </tbody> </table>	DWN3	DWN2	DWN1	DWN0	データ・ウエイト数	0	0	0	0	データ・ウエイトなし	0	0	0	1	1クロック	0	0	1	0	2クロック	0	0	1	1	3クロック	0	1	0	0	4クロック	0	1	0	1	5クロック	0	1	1	0	6クロック	0	1	1	1	7クロック	1	0	0	0	8クロック	1	0	0	1	9クロック	1	0	1	0	10クロック	1	0	1	1	11クロック	1	1	0	0	12クロック	1	1	0	1	13クロック	1	1	1	0	14クロック	1	1	1	1	15クロック
		DWN3	DWN2	DWN1	DWN0	データ・ウエイト数																																																																																	
		0	0	0	0	データ・ウエイトなし																																																																																	
		0	0	0	1	1クロック																																																																																	
		0	0	1	0	2クロック																																																																																	
		0	0	1	1	3クロック																																																																																	
		0	1	0	0	4クロック																																																																																	
		0	1	0	1	5クロック																																																																																	
		0	1	1	0	6クロック																																																																																	
		0	1	1	1	7クロック																																																																																	
		1	0	0	0	8クロック																																																																																	
		1	0	0	1	9クロック																																																																																	
		1	0	1	0	10クロック																																																																																	
		1	0	1	1	11クロック																																																																																	
		1	1	0	0	12クロック																																																																																	
		1	1	0	1	13クロック																																																																																	
1	1	1	0	14クロック																																																																																			
1	1	1	1	15クロック																																																																																			

11.2.4 データ・ホールド・ウエイト設定レジスタ (DHC)

DHC レジスタは、外部バスのライト・サイクルにおけるデータ・ホールド・ウエイトの延長数をチップ・セレクト領域ごとに設定するレジスタです。

DHC レジスタの設定値 +1 サイクルのデータ・ホールド、ウエイトがライト・サイクルに対して挿入されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF720C_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 7-2 のみ設定可能です。ビット 15-8, 1, 0 には必ず 0 を設定してください。

15	14	13	12	11	10	9	8
DH71	DH70	DH61	DH60	DH51	DH50	DH41	DH40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DH31	DH30	DH21	DH20	DH11	DH10	DH01	DH00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-6 DHC レジスタの内容

ビット位置	ビット名	意味															
15 : 14, 13 : 12, 11 : 10, 9 : 8, 7 : 6, 5 : 4, 3 : 2, 1 : 0	DHn1, DHn0	データ・ホールド・ウエイト設定ビット 各チップ・セレクト領域のデータ・ホールド・ウエイト数を設定するビットです。															
		<table border="1"> <thead> <tr> <th>DHn1</th><th>DHn0</th><th>データ・ホールド・ウエイト数</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>データ・ホールド・ウエイトなし</td></tr> <tr> <td>0</td><td>1</td><td>1クロック</td></tr> <tr> <td>1</td><td>0</td><td>2クロック</td></tr> <tr> <td>1</td><td>1</td><td>3クロック</td></tr> </tbody> </table>	DHn1	DHn0	データ・ホールド・ウエイト数	0	0	データ・ホールド・ウエイトなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
DHn1	DHn0	データ・ホールド・ウエイト数															
0	0	データ・ホールド・ウエイトなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															

11.2.5 アイドル・サイクル設定レジスタ 0, 1 (ICC0, ICC1)

ICC レジスタは、外部バスのアイドル・サイクル数を設定するレジスタです。アイドル・サイクル数は、チップ・セレクト領域ごと、リード時/ライト時ごとに設定できます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7214_H : ICC0

FFFF7216_H : ICC1

初期値 0000_H どのリセット要因でも初期化されます。

- 注意**
1. バースト・リード・サイクルの途中およびバス・サイジング・サイクルの途中では ICC_m レジスタによるアイドル・サイクルは無効です (m = 0, 1)。
 2. ICC0 レジスタはビット 15-4 のみ設定可能です。ビット 3-0 には必ず 0 を設定してください。
 3. ICC1 レジスタはビット 3-0 のみ設定可能です。ビット 15-4 には必ず 0 を設定してください。

	15	14	13	12	11	10	9	8
ICC0	WIC31	WIC30	RIC31	RIC30	WIC21	WIC20	RIC21	RIC20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	WIC11	WIC10	RIC11	RIC10	WIC01	WIC00	RIC01	RIC00
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ICC1	15	14	13	12	11	10	9	8
	WIC71	WIC70	RIC71	RIC70	WIC61	WIC60	RIC61	RIC60
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	WIC51	WIC50	RIC51	RIC50	WIC41	WIC40	RIC41	RIC40
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-7 ICC0, ICC1 レジスタの内容

ビット位置	ビット名	意味															
13 : 12, 9 : 8, 5 : 4, 1 : 0	RICn1, RICn0	<p>リード・サイクル後アイドル設定ビット 各チップ・セレクト領域のリード・サイクル後アイドル・サイクル数を設定するビットです。</p> <table border="1"> <thead> <tr> <th>RICn1</th> <th>RICn0</th> <th>アイドル・サイクル数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>アイドル・サイクルなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>2クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>3クロック</td> </tr> </tbody> </table> <p>RICn1, RICn0 ビットに対する設定は、すべてのバス・モード/バス・サイクル・タイプのリード・アクセスに対して有効になります。</p>	RICn1	RICn0	アイドル・サイクル数	0	0	アイドル・サイクルなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
RICn1	RICn0	アイドル・サイクル数															
0	0	アイドル・サイクルなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															
15 : 14, 11 : 10, 7 : 6, 3 : 2	WICn1, WICn0	<p>ライト・サイクル後アイドル設定ビット 各チップ・セレクト領域のライト・サイクル後のアイドル・サイクル数を設定するビットです。</p> <table border="1"> <thead> <tr> <th>WICn1</th> <th>WICn0</th> <th>アイドル・サイクル数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>アイドル・サイクルなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>2クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>3クロック</td> </tr> </tbody> </table> <p>WICn1, WICn0 ビットに対する設定は、すべてのバス・モード/バス・サイクル・タイプのライト・アクセスに対して有効になります。</p>	WICn1	WICn0	アイドル・サイクル数	0	0	アイドル・サイクルなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
WICn1	WICn0	アイドル・サイクル数															
0	0	アイドル・サイクルなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															

11.2.6 外部ウエイト・エラー設定レジスタ (EWC)

EWC レジスタは、外部ウエイト・エラー機能の有効／無効をチップ・セレクト領域ごとに設定するレジスタです。

EWC レジスタに対する設定は次のバス・サイクルのときに有効になります。

- SRAM バス・サイクル・タイプ (セパレート・バス・モード)

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF721A_H

初期値 0000_H どのリセット要因でも初期化されます。

- 注意**
1. ビット 6, 4, 2 のみ設定可能です。ビット 14, 12, 10, 8, 0 には必ず 0 を設定してください。
 2. システム・エラー例外の許可は 4. 12. 3 (2) (a) 「システム・エラー・コントロール・レジスタ (SEG_CONT)」を参照してください。
 3. プライマリ・メモリ・コントローラのバス・ホールド機能を使用する場合は、EWC レジスタを 0000_H に設定してください。

15	14	13	12	11	10	9	8
0	EW7	0	EW6	0	EW5	0	EW4
R	R/W	R	R/W	R	R/W	R	R/W
7	6	5	4	3	2	1	0
0	EW3	0	EW2	0	EW1	0	EW0
R	R/W	R	R/W	R	R/W	R	R/W

表 11-8 EWC レジスタの内容

ビット位置	ビット名	意味
14, 12, 10, 8, 6, 4, 2, 0	EWn	外部ウエイト・エラー設定ビット。 チップ・セレクト領域ごとの外部ウエイト・エラーの有効／無効を設定するビットです。 0：外部ウエイト・エラー無効 1：外部ウエイト・エラー有効 この機能を有効にし、外部ウエイトを 128 クロック連続で検出すると、ウエイトが強制解除されるとともに、CPU が SYSERROR 例外を発生します。

11.2.7 SDRAM イネーブル・コントロール・レジスタ (SEN)

SEN レジスタは、SDRAM コントローラの動作許可／禁止を制御するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFFF7220_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SE
R	R	R	R	R	R	R	R/W

表 11-9 SEN レジスタの内容

ビット位置	ビット名	意味
0	SE	SDRAM コントローラの動作許可／禁止を設定するビットです。 0：動作停止（外部バス・サイクルを発生しません） 1：動作許可

11.2.8 SDRAM コンフィグレーション・レジスタ (SDCR)

SDCR レジスタは、SDRAM アクセス時のウェイト数やアドレス・マルチプレクス幅を設定します。このレジスタに書き込みを行うと、レジスタ・ライト・オペレーションを起動します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7222_H

初期値 30C0_H どのリセット要因でも初期化されます。

- 注意
1. レジスタ・ライト・オペレーションの実行前は、SDRAM リード/ライト・サイクルは発生しません。STR レジスタの値をリードし、WCF ビットがセット (1) されていることを確認してから、SDRAM にアクセスしてください。
 2. SDCR レジスタを設定する前に、SDRAM リフレッシュ・コントロール・レジスタ (RFS) を設定してください。
 3. SDRAM へのアクセス後、再度 SDCR レジスタに書き込む場合は、SEN レジスタの SE ビットをクリア (0) したあとに行ってください。
 4. SE ビットをクリア (0) した場合は、再度 SE ビットをセット (1) する前に、SDCR レジスタに書き込む必要があります。このとき、たとえ SDCR レジスタの値を変更しない場合も、同じ値を書き込んでください。
 5. ビット 11, 10, 8 は必ず 0 に設定してください。
 6. SDRAM コンフィグレーション・レジスタへの書き込みは、リセット解除後に一度だけ実行してください。書き込み後は、値を変更しないでください。値を変更した場合、SDRAM に正常にアクセスできなくなる場合があります。

15	14	13	12	11	10	9	8
BST	LTM2	LTM1	LTM0	0	0	PDM	0
R/W	R/W	R/W	R/W	R	R	R/W	R
7	6	5	4	3	2	1	0
BCW1	BCW0	SSO1	SSO0	RAW1	RAW0	SAW1	SAW0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-10 SDCR レジスタの内容 (1/2)

ビット位置	ビット名	意味																				
15	BST	バースト・リード機能のオン/オフを設定するビットです。 0: バースト・リード機能オフ (初期値) 1: バースト・リード機能オン																				
14-12	LTM2-LTM	リード時の CAS レイテンシの値を設定します。 <table border="1"> <thead> <tr> <th>LTM2</th> <th>LTM1</th> <th>LTM0</th> <th>CAS レイテンシ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	LTM2	LTM1	LTM0	CAS レイテンシ	0	0	0	1	0	0	1	2	0	1	0	3	上記以外			設定禁止
LTM2	LTM1	LTM0	CAS レイテンシ																			
0	0	0	1																			
0	0	1	2																			
0	1	0	3																			
上記以外			設定禁止																			
9	PDM	SDRAM のパワー・ダウン・モードを使用するときに設定するビットです。PDM ビットをセット (1) すると、SDRAM にアクセスしていない状態では、CKE 信号のレベルをロウ・レベルにして、SDRAM をパワー・ダウン・モードに移行させます。 0: パワー・ダウン・モードを使用しない (初期値) 1: パワー・ダウン・モードを使用する																				
7, 6	BCW1, BCW0	バンク・アクティブ・コマンドからリード/ライト・コマンド, またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでのウェイト・ステート数を設定します。 <table border="1"> <thead> <tr> <th>BCW1</th> <th>BCW0</th> <th>ウェイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3 (初期値)</td> </tr> </tbody> </table>	BCW1	BCW0	ウェイト・ステート数	0	0	設定禁止	0	1	1	1	0	2	1	1	3 (初期値)					
BCW1	BCW0	ウェイト・ステート数																				
0	0	設定禁止																				
0	1	1																				
1	0	2																				
1	1	3 (初期値)																				
5, 4	SSO1, SSO0	オンページ判断時のアドレスのシフト幅を設定します。 データ・バス幅が 16 ビットまたは 32 ビットに設定されている場合は、システムは下位アドレス (A0 または A1, A0) を使用しません。 <table border="1"> <thead> <tr> <th>SSO1</th> <th>SSO0</th> <th>アドレス・シフト幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 ビット (データ・バス幅: 8 ビット) (初期値)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1 ビット (データ・バス幅: 16 ビット)</td> </tr> <tr> <td>1</td> <td>0</td> <td>2 ビット (データ・バス幅: 32 ビット)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SSO1	SSO0	アドレス・シフト幅	0	0	0 ビット (データ・バス幅: 8 ビット) (初期値)	0	1	1 ビット (データ・バス幅: 16 ビット)	1	0	2 ビット (データ・バス幅: 32 ビット)	1	1	設定禁止					
SSO1	SSO0	アドレス・シフト幅																				
0	0	0 ビット (データ・バス幅: 8 ビット) (初期値)																				
0	1	1 ビット (データ・バス幅: 16 ビット)																				
1	0	2 ビット (データ・バス幅: 32 ビット)																				
1	1	設定禁止																				
3, 2	RAW1, RAW0	ロウ・アドレス幅を設定します。 <table border="1"> <thead> <tr> <th>RAW1</th> <th>RAW0</th> <th>ロウ・アドレス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>11 ビット (初期値)</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>13 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>14 ビット</td> </tr> </tbody> </table>	RAW1	RAW0	ロウ・アドレス幅	0	0	11 ビット (初期値)	0	1	12 ビット	1	0	13 ビット	1	1	14 ビット					
RAW1	RAW0	ロウ・アドレス幅																				
0	0	11 ビット (初期値)																				
0	1	12 ビット																				
1	0	13 ビット																				
1	1	14 ビット																				

表 11-10 SDCR レジスタの内容 (2/2)

ビット位置	ビット名	意味															
1, 0	SAW1, SAW0	SDRAM アクセス時のアドレス・マルチプレクス幅 (カラム・アドレス幅) を設定します。 <table border="1" data-bbox="513 362 1383 607"> <thead> <tr> <th>SAW1</th> <th>SAW0</th> <th>アドレス・マルチプレクス幅 (カラム・アドレス幅)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8 ビット (初期値)</td> </tr> <tr> <td>0</td> <td>1</td> <td>9 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>11 ビット</td> </tr> </tbody> </table>	SAW1	SAW0	アドレス・マルチプレクス幅 (カラム・アドレス幅)	0	0	8 ビット (初期値)	0	1	9 ビット	1	0	10 ビット	1	1	11 ビット
SAW1	SAW0	アドレス・マルチプレクス幅 (カラム・アドレス幅)															
0	0	8 ビット (初期値)															
0	1	9 ビット															
1	0	10 ビット															
1	1	11 ビット															

表 11-11 ロー・アドレス出力

ビット設定		アドレス端子																		
SAW1	SAW0	MAO 28- MAO 18	MAO 17	MAO 16	MAO 15	MAO 14	MAO 13	MAO 12	MAO 11	MAO 10	MAO 9	MAO 8	MAO 7	MAO 6	MAO 5	MAO 4	MAO 3	MAO 2	MAO 1	MAO 0
0	0	a28- a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8
0	1	a28- a18	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
1	0	a28- a18	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
1	1	a28- a18	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11

表 11-12 カラム・アドレス出力

(a) すべてのバンク・プリチャージ・コマンド時

ビット設定		アドレス端子																		
SSO 1	SSO 0	MAO 28- MAO 18	MAO 17	MAO 16	MAO 15	MAO 14	MAO 13	MAO 12	MAO 11	MAO 10	MAO 9	MAO 8	MAO 7	MAO 6	MAO 5	MAO 4	MAO 3	MAO 2	MAO 1	MAO 0
0	0	a28- a18	a17	a16	a15	a14	a13	a12	a11	1	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
0	1	a28- a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
1	0	a28- a18	a17	a16	a15	a14	a13	1	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

(b) レジスタ・ライト・コマンド時

ビット設定		アドレス端子																		
SSO 1	SSO 0	MAO 28- MAO 18	MAO 17	MAO 16	MAO 15	MAO 14	MAO 13	MAO 12	MAO 11	MAO 10	MAO 9	MAO 8	MAO 7	MAO 6	MAO 5	MAO 4	MAO 3	MAO 2	MAO 1	MAO 0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0	0	0

(c) リード/ライト・コマンド時

ビット設定		アドレス端子																		
SSO 1	SSO 0	MAO 28- MAO 18	MAO 17	MAO 16	MAO 15	MAO 14	MAO 13	MAO 12	MAO 11	MAO 10	MAO 9	MAO 8	MAO 7	MAO 6	MAO 5	MAO 4	MAO 3	MAO 2	MAO 1	MAO 0
0	0	a28- a18	a17	a16	a15	a14	a12	a11	a10	1 ^a	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
0	1	a28- a18	a17	a16	a15	a14	a12	a11	1 ^a	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
1	0	a28- a18	a17	a16	a15	a14	a12	1 ^a	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

a) リード時は1, ライト時は0

11.2.9 SDRAM ステータス・レジスタ (STR)

STR レジスタは、SDRAM の状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス FFFF7224_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	WBF	WCF
R	R	R	R	R	R	R	R

表 11-13 STR レジスタの内容

ビット位置	ビット名	意味
1	WBF	WBF ビットは、SDRAMC のライト・バッファにデータが格納されているかどうかを示します。 0: ライト・バッファにデータなし (初期値) 1: ライト・バッファにデータあり
0	WCF	SDCR レジスタを設定したあと、SDRAM に対してレジスタ・ライト・コマンドが完了したことを示します。 SEN レジスタの SE ビットをクリア (0) すると、WCF もクリア (0) されます。 0: 設定未了 (初期値) 1: 設定完了

11.2.10 SDRAM リフレッシュ・コントロール・レジスタ (RFS)

RFS レジスタは、SDRAM の CBR リフレッシュ・サイクルとセルフ・リフレッシュ・サイクルを設定するレジスタです。また、SDRAM 初期設定時（レジスタ・ライト・オペレーション時）のリフレッシュ・サイクルの設定にも使用します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF7226_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 SDRAMC 動作中（SE ビット=1）に RFS レジスタの設定を変更する場合は、次の手順で行ってください。

<1> SEN レジスタの SE ビットをクリア（0）する。

<2> REN ビットをクリア（0）する。

<3> RIN12-RIN0 ビットに新たな値を設定するとともに REN ビットをセット（1）する。

<4> SDCR レジスタを設定する。

<5> STR レジスタの WCF ビットが“1”であることを確認したあと、SEN レジスタの SE ビットをセット（1）する。

なお、リフレッシュ間隔を切り替える場合、切り替えの間でもリフレッシュが十分間に合うような値を考慮して設定してください。

15	14	13	12	11	10	9	8
REN	0	0	RIN12	RIN11	RIN10	RIN9	RIN8
R/W	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RIN7	RIN6	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11-14 RFS レジスタの内容

ビット位置	ビット名	意味																																																								
15	REN	リフレッシュの許可を設定します。 0：リフレッシュ禁止（初期値） 1：リフレッシュ許可																																																								
15-0	RIN12-RIN0	リフレッシュ・インターバル・ファクタを設定するビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>RIN12</th> <th>RIN11</th> <th>...</th> <th>RIN2</th> <th>RIN1</th> <th>RIN0</th> <th>インターバル・ファクタ (Ifac)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1（初期値）</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>4</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>8191</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>8192</td> </tr> </tbody> </table>	RIN12	RIN11	...	RIN2	RIN1	RIN0	インターバル・ファクタ (Ifac)	0	0	0	0	0	0	1（初期値）	0	0	0	0	0	1	2	0	0	0	0	1	0	3	0	0	0	0	1	1	4	:	:	:	:	:	:	:	1	1	1	1	1	0	8191	1	1	1	1	1	1	8192
RIN12	RIN11	...	RIN2	RIN1	RIN0	インターバル・ファクタ (Ifac)																																																				
0	0	0	0	0	0	1（初期値）																																																				
0	0	0	0	0	1	2																																																				
0	0	0	0	1	0	3																																																				
0	0	0	0	1	1	4																																																				
:	:	:	:	:	:	:																																																				
1	1	1	1	1	0	8191																																																				
1	1	1	1	1	1	8192																																																				

表 11-15 SDRAM リフレッシュ間隔例

リフレッシュ間隔設定目標値 (μs)	インターバル・ファクタ (Ifac) ^a
	f _{BUSCLK} = 50 MHz 時
15	750 (15.0)
30	1500 (30.0)
60	3000 (60.0)

a) カッコ内はリフレッシュ間隔の計算値 (μs) です。

<インターバル・ファクタの計算方法>

Ifac = X (μs) / (1 / f_{BUSCLK} (MHz)) : 端数は切り捨ててください。

X : リフレッシュ間隔設定目標値

f_{BUSCLK} : SDRAM の動作周波数

11.3 バス・サイクル・タイプ設定機能

セパレート・バス・モード時に次に示すバス・サイクル・タイプが使用可能です。

- SRAM バス・サイクル・タイプ

なお、CS4 領域は SDRAM バス・サイクル・タイプに固定されており変更することはできません。

11.3.1 SRAM バス・サイクル・タイプ

SRAM バス・サイクルはセパレート・バス・モードにおける最も基本的なバス・サイクルです。アドレスおよびチップ・セレクトと、リード・サイクル時にはリード・ストローク、ライト・サイクル時にはライト・ストロークを使用して外部メモリにアクセスします。

セパレート・バス・モードでは、リセットによる初期化により全チップ・セレクト領域においてこのバス・サイクルが選択されます。

リード・ストローク/ライト・ストロークは DWC レジスタによって最大 15 クロック分サイクルを延長できます。また、外部ウエイトも、このストロークにより有効となります。

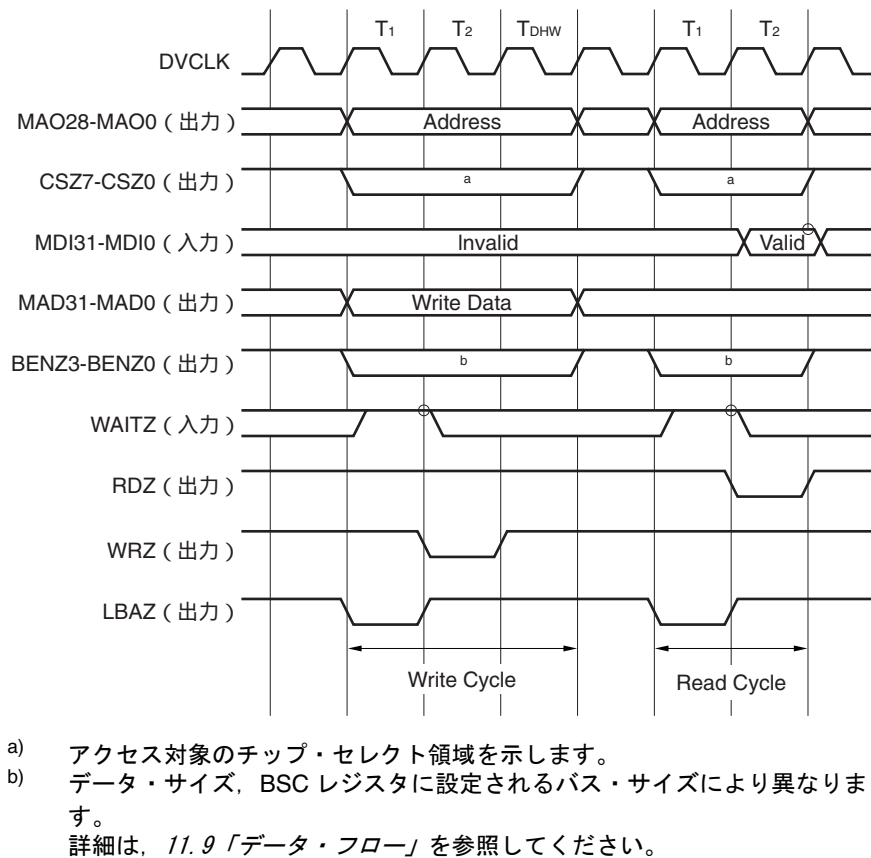


図 11-1 SRAM サイクル (セパレート・バス・モード, リード/ライト)

SRAM サイクルにおいて有効なウエイト機能を次に示します。

- DWC レジスタによる最大 15 クロック分のプログラマブル・データ・ウエイト
- 外部端子によるデータ・ウエイト
- ICC レジスタによるアイドル・サイクルの挿入
- DHC レジスタによる最大 3 クロック分のデータ・ホールド・ウエイト

なお, Sync-Flash メモリ, Page-ROM メモリへ SRAM サイクルでアクセス可能にするために, SRAM サイクルにおいても LBAZ 端子がアクティブになります。SRAM メモリのみを使用する場合には, LBAZ 端子は使用しません。

11.3.2 SDRAM バス・サイクル・タイプ

JEDEC に準拠した SDR-SDRAM を接続する際に使用します (Mobile SDRAM, SGRAM には非対応)。

SDRAM 領域として割り当てられているのは、CS4 領域のみです。対応する SDRAM の最大メモリ・サイズは、512 M ビットです。ロウ・アドレス幅は、11/12/13/14 ビット、カラム・アドレス幅は、8/9/10 ビットにそれぞれ対応します。最大バンク数は 4 です。リトル・エンディアン/ビッグ・エンディアンに対応します。

SDRAM に対するライト時には、必ずシングル・ライト・アクセス (バースト長: 1) となります。CPU からのライト・サイクル要求に対して、SDRAM コントローラ内部のバッファにバッファリングすることにより、CPU はすぐに後続の処理を行うことができます。バッファは 8 段で、SDRAM のデータ・バス幅によらず、最大 8 回分のライト・データを蓄積します。ライト・バッファにデータが 1 つでも蓄積されると、SDRAM ステータス・レジスタの WBF フラグがセット (1) され、ライト・バッファにデータがなくなるとクリア (0) されます。SDRAM に対するライト・アクセスは、ライト・バッファが空になるまで、連続して行われます。

SDRAM に対するリード時には、バースト・リード機能を使用可能です。バースト・リード機能は、SDRAM コンフィギュレーション・レジスタの BST ビットをセット (1) した場合に有効になります。バースト・リード機能を有効にすると、CPU からのリード・サイクル要求に対して、8 回の連続リード・アクセスを行います。データ・バス幅が 8 ビットの場合には、要求されたアドレスを含む 64 ビットを、データ・バス幅が 16 ビットの場合には、要求されたアドレスを含む 128 ビットを、データ・バス幅が 32 ビットの場合には、要求されたアドレスを含む 256 ビットを連続してアクセスします。リード・データは、SDRAM コントローラ内部のバッファに保存され、保存されたデータはその後 CPU からのリード・アクセス要求時にアドレスを比較し、バッファしたデータと同じアドレスであった場合には、外部バス・サイクルを起動することなく、バッファからデータを返します。リード・バッファは SDRAM へのライト・アクセスがあると無条件で破棄します。また、8 回のデータ・リード完了まで、CPU からのリード要求は保留されます。

バースト・リード機能の ON/OFF によらず、DRAM に対するリード・アクセス時、SDRAM コントローラは、どのバンク、どのページにアクセスする際にも、必ずアクティブ・コマンド→オート・プリチャージ付きリード・コマンドの順でコマンドを発生させます。

SDRAM バス・サイクル・タイプにおいて有効なウエイト機能を次に示します。

- ICC レジスタによるアイドル・サイクルの挿入 (ただし、最後のサイクルのみ有効)

表 11-16 アドレス・バスの SDRAM への接続一覧

ロウ (RAW)	カラム (SAW)	サイズ (SSO)	MAO 15	MAO 14	MAO 13	MAO 12	MAO 11	MAO 10	~	MAO 2	MAO 1	MAO 0	バンク ^a
11 ビット (00)	8 ビット (00)	8 ビット (00)	—	—	—	—	—	a10	~	a2	a1	a0	MAO21 以降
11 ビット (00)	8 ビット (00)	16 ビット (01)	—	—	—	—	a10	a9	~	a1	a0	—	MAO21 以降
11 ビット (00)	8 ビット (00)	32 ビット (10)	—	—	—	a10	a9	a8	~	a0	—	—	MAO21 以降
12 ビット (01)	8 ビット (00)	8 ビット (00)	—	—	—	—	a11	a10	~	a2	a1	a0	MAO21 以降
12 ビット (01)	8 ビット (00)	16 ビット (01)	—	—	—	a11	a10	a9	~	a1	a0	—	MAO21 以降
12 ビット (01)	8 ビット (00)	32 ビット (10)	—	—	a11	a10	a9	a8	~	a0	—	—	MAO22 以降
13 ビット (10)	8 ビット (00)	8 ビット (00)	—	—	—	a12	a11	a10	~	a2	a1	a0	MAO21 以降
13 ビット (10)	8 ビット (00)	16 ビット (01)	—	—	a12	a11	a10	a9	~	a1	a0	—	MAO22 以降
13 ビット (10)	8 ビット (00)	32 ビット (10)	—	a12	a11	a10	a9	a8	~	a0	—	—	MAO23 以降
14 ビット (11)	8 ビット (00)	8 ビット (00)	—	—	a13	a12	a11	a10	~	a2	a1	a0	MAO22 以降
14 ビット (11)	8 ビット (00)	16 ビット (01)	—	a13	a12	a11	a10	a9	~	a1	a0	—	MAO23 以降
14 ビット (11)	8 ビット (00)	32 ビット (10)	a13	a12	a11	a10	a9	a8	~	a0	—	—	MAO24 以降
11 ビット (00)	9 ビット (01)	8 ビット (00)	—	—	—	—	—	a10	~	a2	a1	a0	MAO20 以降
11 ビット (00)	9 ビット (01)	16 ビット (01)	—	—	—	—	a10	a9	~	a1	a0	—	MAO21 以降
11 ビット (00)	9 ビット (01)	32 ビット (10)	—	—	—	a10	a9	a8	~	a0	—	—	MAO22 以降
12 ビット (01)	9 ビット (01)	8 ビット (00)	—	—	—	—	a11	a10	~	a2	a1	a0	MAO21 以降
12 ビット (01)	9 ビット (01)	16 ビット (01)	—	—	—	a11	a10	a9	~	a1	a0	—	MAO22 以降
12 ビット (01)	9 ビット (01)	32 ビット (10)	—	—	a11	a10	a9	a8	~	a0	—	—	MAO23 以降
13 ビット (10)	9 ビット (01)	8 ビット (00)	—	—	—	a12	a11	a10	~	a2	a1	a0	MAO22 以降
13 ビット (10)	9 ビット (01)	16 ビット (01)	—	—	a12	a11	a10	a9	~	a1	a0	—	MAO23 以降
13 ビット (10)	9 ビット (01)	32 ビット (10)	—	a12	a11	a10	a9	a8	~	a0	—	—	MAO24 以降
14 ビット (11)	9 ビット (01)	8 ビット (00)	—	—	a13	a12	a11	a10	~	a2	a1	a0	MAO23 以降
14 ビット (11)	9 ビット (01)	16 ビット (01)	—	a13	a12	a11	a10	a9	~	a1	a0	—	MAO24 以降
14 ビット (11)	9 ビット (01)	32 ビット (10)	a13	a12	a11	a10	a9	a8	~	a0	—	—	MAO25 以降
11 ビット (00)	10 ビット (10)	8 ビット (00)	—	—	—	—	—	a10	~	a2	a1	a0	MAO21 以降
11 ビット (00)	10 ビット (10)	16 ビット (01)	—	—	—	—	a10	a9	~	a1	a0	—	MAO22 以降
11 ビット (00)	10 ビット (10)	32 ビット (10)	—	—	—	a10	a9	a8	~	a0	—	—	MAO23 以降
12 ビット (01)	10 ビット (10)	8 ビット (00)	—	—	—	—	a11	a10	~	a2	a1	a0	MAO22 以降
12 ビット (01)	10 ビット (10)	16 ビット (01)	—	—	—	a11	a10	a9	~	a1	a0	—	MAO23 以降
12 ビット (01)	10 ビット (10)	32 ビット (10)	—	—	a11	a10	a9	a8	~	a0	—	—	MAO24 以降
13 ビット (10)	10 ビット (10)	8 ビット (00)	—	—	—	a12	a11	a10	~	a2	a1	a0	MAO23 以降
13 ビット (10)	10 ビット (10)	16 ビット (01)	—	—	a12	a11	a10	a9	~	a1	a0	—	MAO24 以降
13 ビット (10)	10 ビット (10)	32 ビット (10)	—	a12	a11	a10	a9	a8	~	a0	—	—	MAO25 以降
14 ビット (11)	10 ビット (10)	8 ビット (00)	—	—	a13	a12	a11	a10	~	a2	a1	a0	MAO24 以降
14 ビット (11)	10 ビット (10)	16 ビット (01)	—	a13	a12	a11	a10	a9	~	a1	a0	—	MAO25 以降
14 ビット (11)	10 ビット (10)	32 ビット (10)	a13	a12	a11	a10	a9	a8	~	a0	—	—	MAO26 以降
11 ビット (00)	11 ビット (11)	8 ビット (00)	—	—	—	—	—	a10	~	a2	a1	a0	MAO22 以降
11 ビット (00)	11 ビット (11)	16 ビット (01)	—	—	—	—	a10	a9	~	a1	a0	—	MAO23 以降
11 ビット (00)	11 ビット (11)	32 ビット (10)	—	—	—	a10	a9	a8	~	a0	—	—	MAO24 以降
12 ビット (01)	11 ビット (11)	8 ビット (00)	—	—	—	—	a11	a10	~	a2	a1	a0	MAO23 以降
12 ビット (01)	11 ビット (11)	16 ビット (01)	—	—	—	a11	a10	a9	~	a1	a0	—	MAO24 以降
12 ビット (01)	11 ビット (11)	32 ビット (10)	—	—	a11	a10	a9	a8	~	a0	—	—	MAO25 以降
13 ビット (10)	11 ビット (11)	8 ビット (00)	—	—	—	a12	a11	a10	~	a2	a1	a0	MAO24 以降
13 ビット (10)	11 ビット (11)	16 ビット (01)	—	—	a12	a11	a10	a9	~	a1	a0	—	MAO25 以降
13 ビット (10)	11 ビット (11)	32 ビット (10)	—	a12	a11	a10	a9	a8	~	a0	—	—	MAO26 以降
14 ビット (11)	11 ビット (11)	8 ビット (00)	—	—	a13	a12	a11	a10	~	a2	a1	a0	MAO25 以降
14 ビット (11)	11 ビット (11)	16 ビット (01)	—	a13	a12	a11	a10	a9	~	a1	a0	—	MAO26 以降
14 ビット (11)	11 ビット (11)	32 ビット (10)	a13	a12	a11	a10	a9	a8	~	a0	—	—	MAO27 以降

a) バンク・アドレス出力信号はアクセスする空間のアドレスが出力されます。例えば、バンク・アドレスとして使用できるアドレス出力バスが MAO21 以降の場合、MAO21 が“1”となるアドレス空間をアクセスした場合は、MAO21 の出力も“1”となります。

MAOxx : アドレス出力バス, axx : 接続するアドレス端子を想定, — : 未使用

11.4 バス制御機能

11.4.1 チップ・セレクト出力機能

接続された外部メモリ領域を図 11-2 「外部メモリ・マップ」に示すように CSn (n=1-4) までの 4 つのチップ・セレクト領域に分割し管理しています。

外部バスに対するバス・サイクルを発生する際には、アクセス対象アドレスを P_A[23 : 0] 端子から出力するとともに、アクセス対象アドレスに対応した CSZn (n = 1-4) 出力端子をアクティブ (ロウ・レベル) にします。

バス・サイズやウエイト/アイドル数などといった外部バスに対する各種設定はすべてチップ・セレクト領域ごとに設定できます。

これらの機能を利用することにより、チップ・セレクト領域ごとに異なる種類のメモリを接続できます。

なお、チップ・セレクト領域の割り当てはシステム固定であり、プログラムブルではありません。

次に、メモリ・マップを示します。

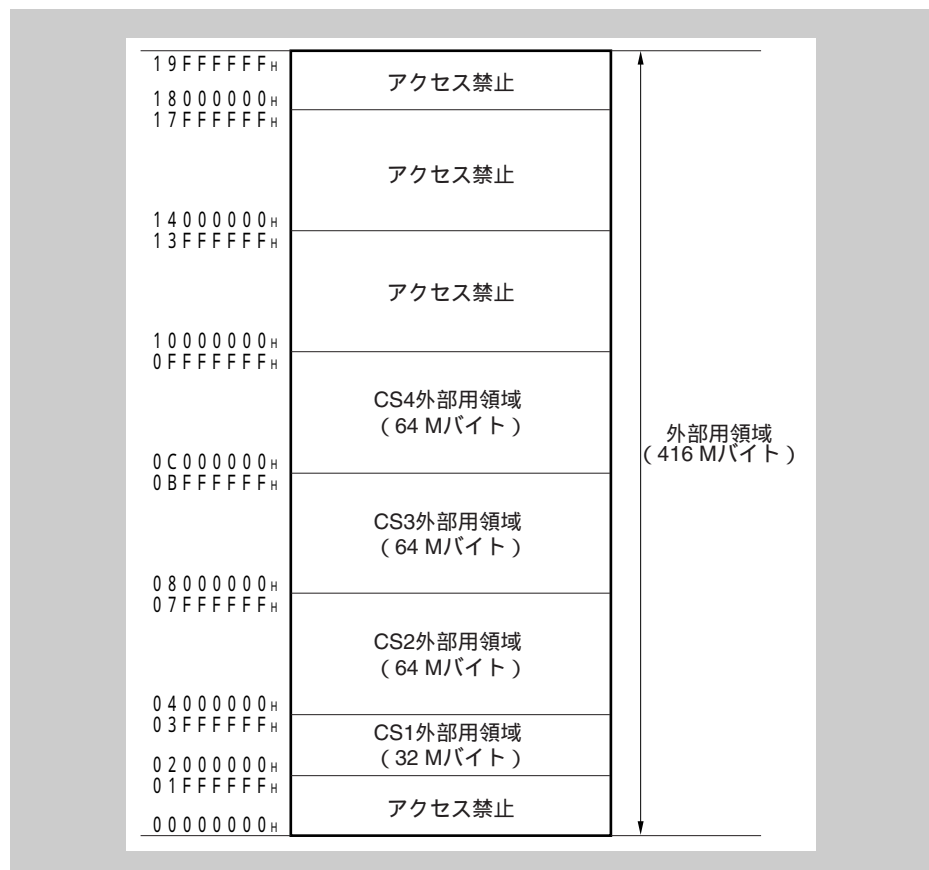


図 11-2 外部メモリ・マップ

11.4.2 バス・サイズ設定機能

CPU（またはDMA）からのアクセス要求は、アクセス先の外部バスのビット幅に合わせて分割され、アクセスされます。

外部バスのビット幅はBSCレジスタに対する設定によりチップ・セレクト領域ごとに32/16/8ビットの中から任意に選択できます。

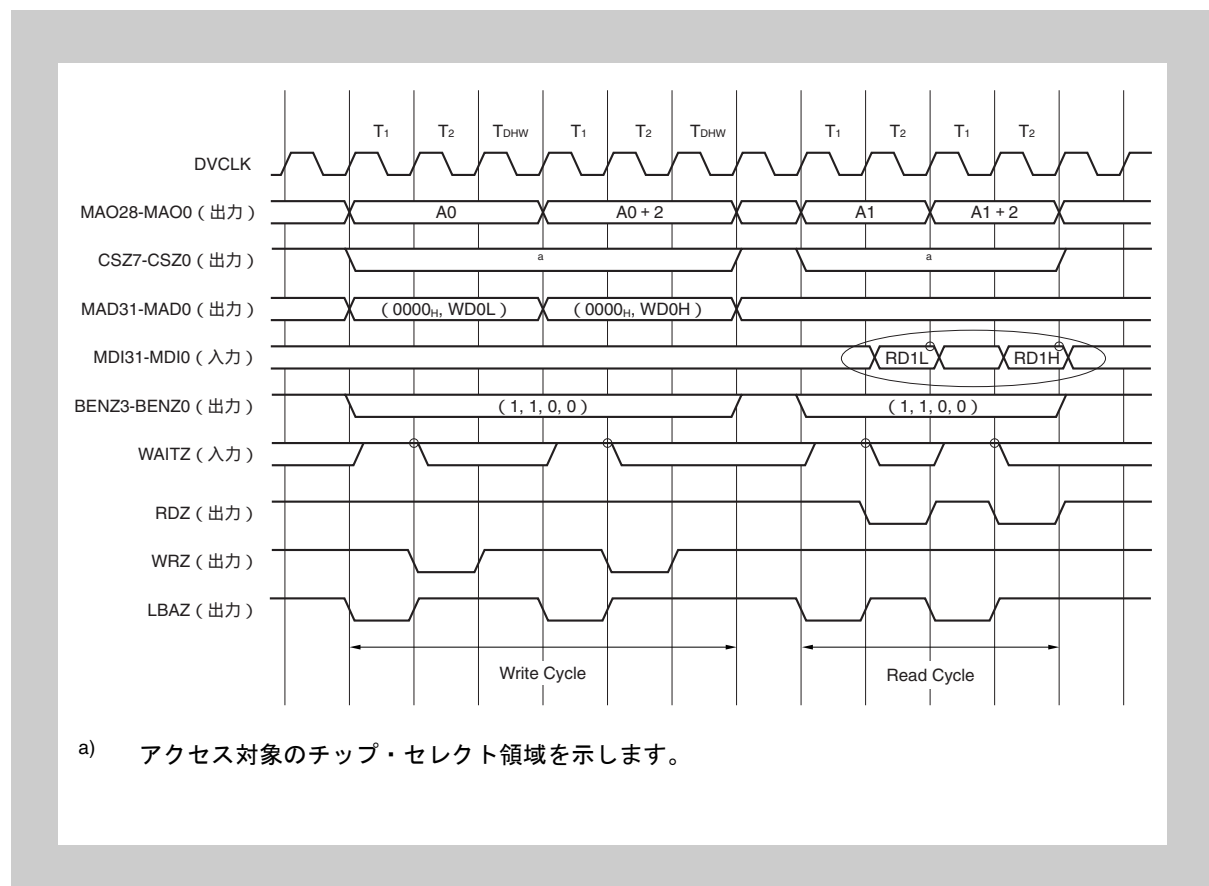


図 11-3 バス・サイズ 16 ビットにおける SRAM サイクル

11.4.3 データ・エンディアン設定機能

外部バス・インタフェースのデータ・エンディアンをリトル・エンディアンまたはビッグ・エンディアンの中から選択できます。DEC レジスタにより、チップ・セレクト領域ごとに設定できます。入力端子による初期設定はできません。初期状態は全チップ・セレクト領域リトル・エンディアンに設定されています。

データ・エンディアンにビッグ・エンディアンが指定されているチップ・セレクト領域へのアクセスはビッグ・エンディアンで行われます。

この機能は、SRAM アクセス・タイプでのみ利用可能です。

-
- 注意**
1. このマイクロコントローラではビッグ・エンディアンでの命令フェッチ動作に対応していません。
 2. ビッグ・エンディアン設定時、該当領域へのミスアライン・アクセスは禁止です。
-

備考 外部バス・サイズ、データ・サイズごとのデータ・フローの詳細については、524 ページの 11.9 「データ・フロー」を参照してください。

11.4.4 SDRAM 設定手順

SDRAM を使用する場合は、最初に SDRAM イネーブル・コントロール・レジスタ (SEN) の SE ビットをセット (1) し、次に SDRAM リフレッシュ・コントロール・レジスタ (RFS) を設定してください。その後、SDRAM コンフィギュレーション・レジスタ (SDCR) の設定を行ってください。SDCR レジスタに書き込みを行うと、レジスタ・ライト・オペレーションを起動します。レジスタ・ライト・オペレーションの実行前は、SDRAM リード/ライト・サイクルは発生しません。レジスタ・ライト・オペレーションが完了すると、STR.WCF ビットがセット (1) されます。SDRAM にアクセス開始する前には、必ず STR レジスタの値をリードし、WCF ビットがセットされていることを確認してください。

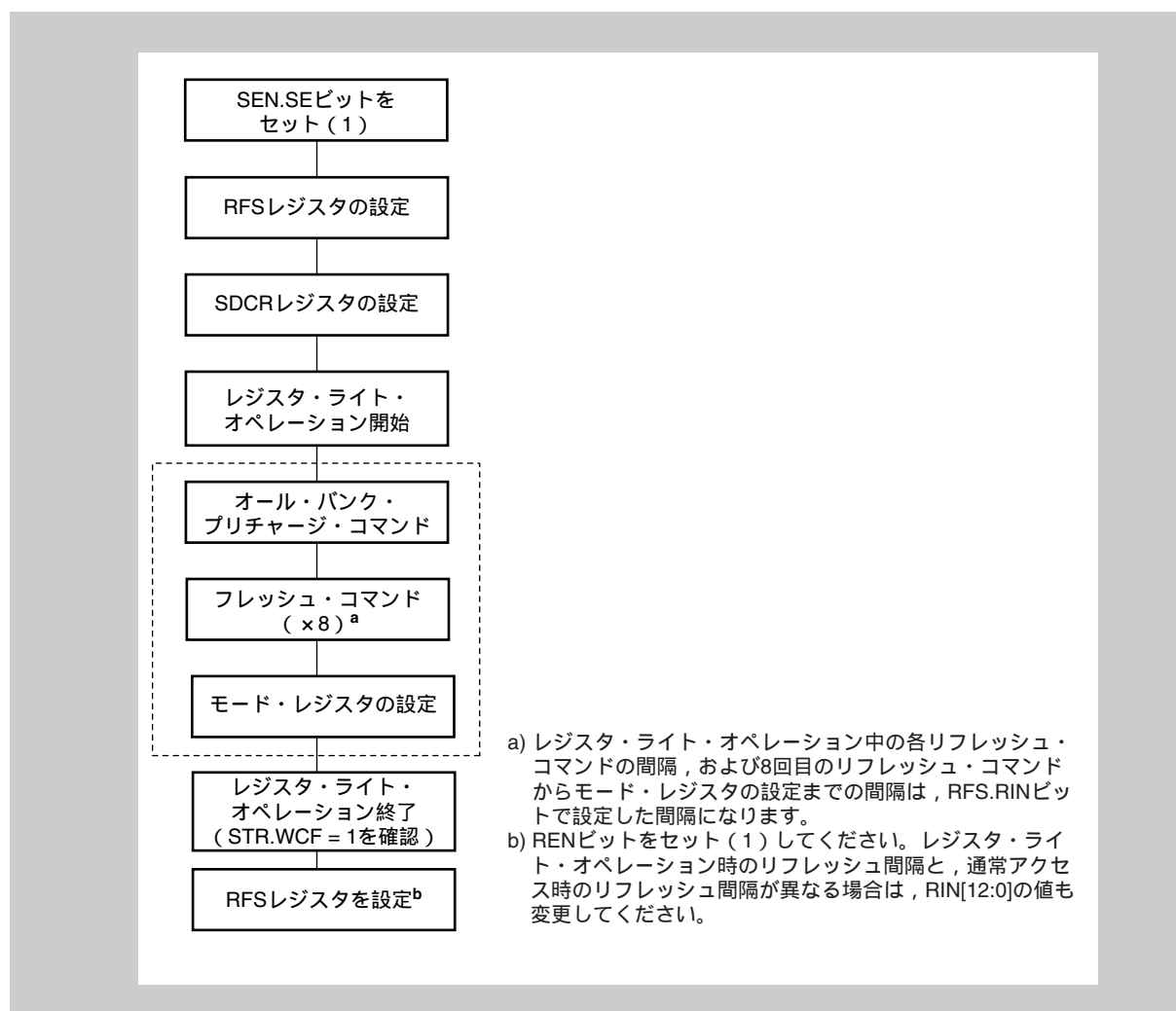


図 11-4 レジスタ初期設定 ～ レジスタ・ライト・オペレーション・フロー

(1) SDRAM リード・アクセス

SDRAM のリード・アクセスでは、バースト・リード機能を使用できます。バースト・リード機能を有効にすると、データ・バス幅によらず、8回のリード・アクセスを連続して行います。8回のデータ・リード完了まで、CPUからのリード要求は保留されます。リード・データは、SDRAMコントローラ内部のバッファに保存され、保存されたデータはその後CPUからのリード・アクセス要求時にアドレスを比較し、バッファしたデータと同じアドレスであった場合には、外部バス・サイクルを起動することなく、バッファからデータを返します。リード・バッファは、SDRAMへのライト・アクセスがあると無条件で破棄します。

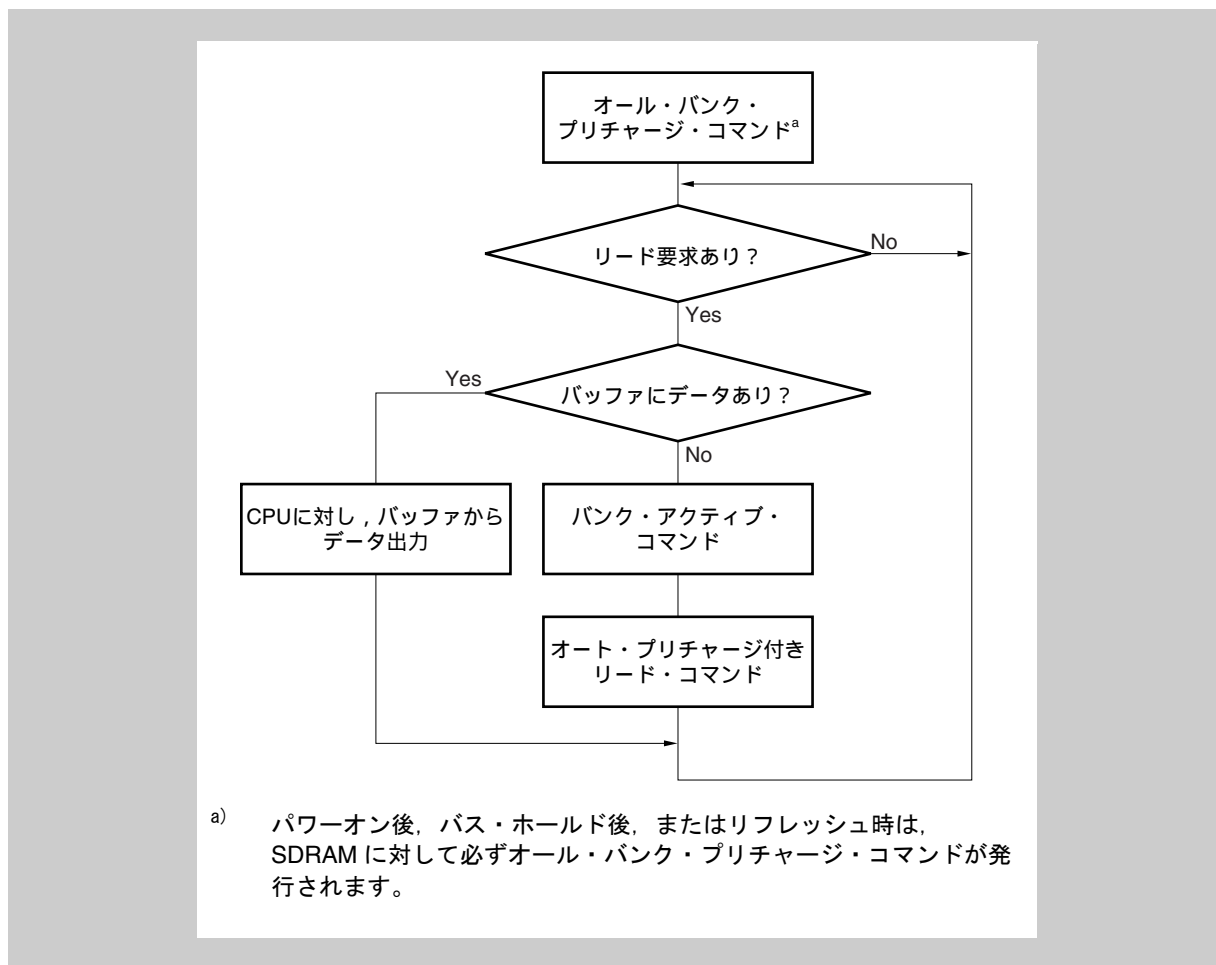


図 11-5 SDRAM リード・アクセスの状態遷移

(2) リード・バッファの動作

SDRAM のリード・バッファ・サイズは最大 256 ビットです。バースト・リード機能を有効にした場合、8 回分のリード・データを蓄積します。バッファへの格納方法は、データ・バス幅により異なります。次に、それぞれのデータ・バス幅ごとの動作を示します。ライト・バッファに 1 回でもデータが書き込まれると、リード・バッファのデータはすべて破棄されます。また、バス・ホールド状態になった場合も、リード・バッファのデータはすべて破棄されます。

(a) データ・バス幅 (8 ビット)

8 ビット・アクセスの場合、リード対象データのアドレスを含む 64 ビットをバッファに格納します。対象データのアドレス下位 4 ビットが 0_H - 7_H の範囲にある場合、 0_H をリード開始アドレスとして、 7_H まで 8 回のバースト・リード・アクセスを行い、バッファに格納します。対象データのアドレス下位 4 ビットが 8_H - F_H の範囲にある場合、 8_H をリード開始アドレスとして、 F_H まで 8 回のバースト・リード・アクセスを行い、バッファに格納します。

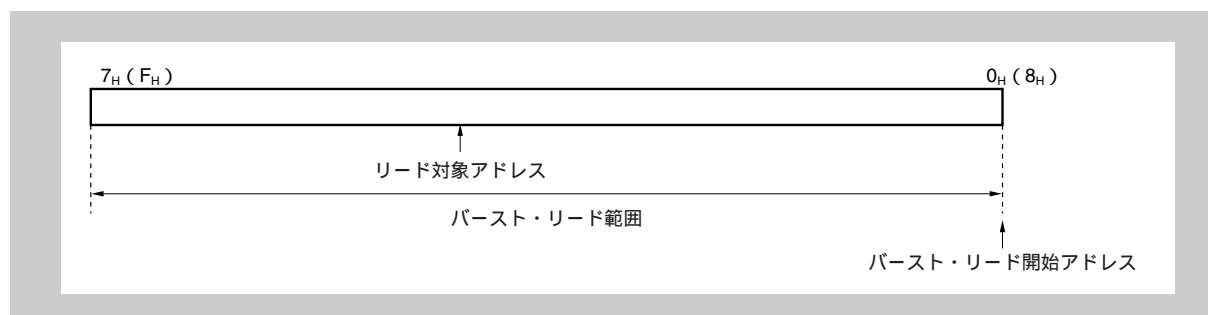


図 11-6 データ・バス幅 (8 ビット)

(b) データ・バス幅 (16 ビット)

16 ビット・アクセスの場合、リード対象データのアドレスを含む 128 ビットをバッファに格納します。アクセス対象アドレスの下位 4 ビットを監視し、対象データのアドレスが含まれる 128 ビット・データの範囲で、 0_H をリード開始アドレスとして、 F_H までの範囲で 8 回のバースト・リード・アクセスを行い、バッファに格納します。

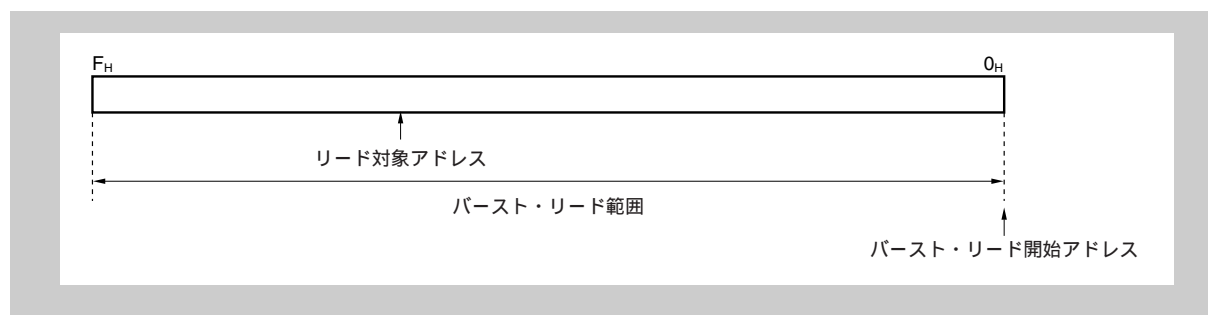


図 11-7 データ・バス幅 (16 ビット)

(c) データ・バス幅 (32 ビット)

32 ビット・アクセスの場合、リード対象データのアドレスを含む 256 ビットをバッファに格納します。アクセス対象アドレスの下位 5 ビットを監視し、対象データのアドレスが含まれる 256 ビット・データの範囲で、00_H をリード開始アドレスとして、1F_H までの範囲で 8 回のバースト・リード・アクセスを行い、バッファに格納します。

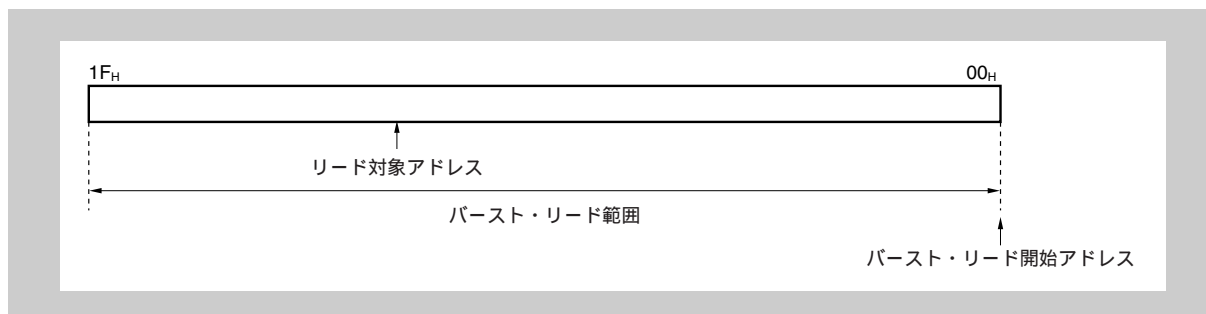


図 11-8 データ・バス幅 (32 ビット)

(3) SDRAM ライト・アクセス

SDRAM に対するライト時には、必ずシングル・ライト・アクセス（バースト長：1）となります。CPU からのライト・サイクル要求に対して、SDRAM コントローラ内部のバッファにバッファリングすることにより、CPU はすぐに後続の処理ができます。バッファは8段で、SDRAM のデータ・バス幅によらず、最大8回分のライト・データを蓄積します。SDRAM に対するライト・アクセスは、ライト・バッファが空になるまで、連続して行われます。

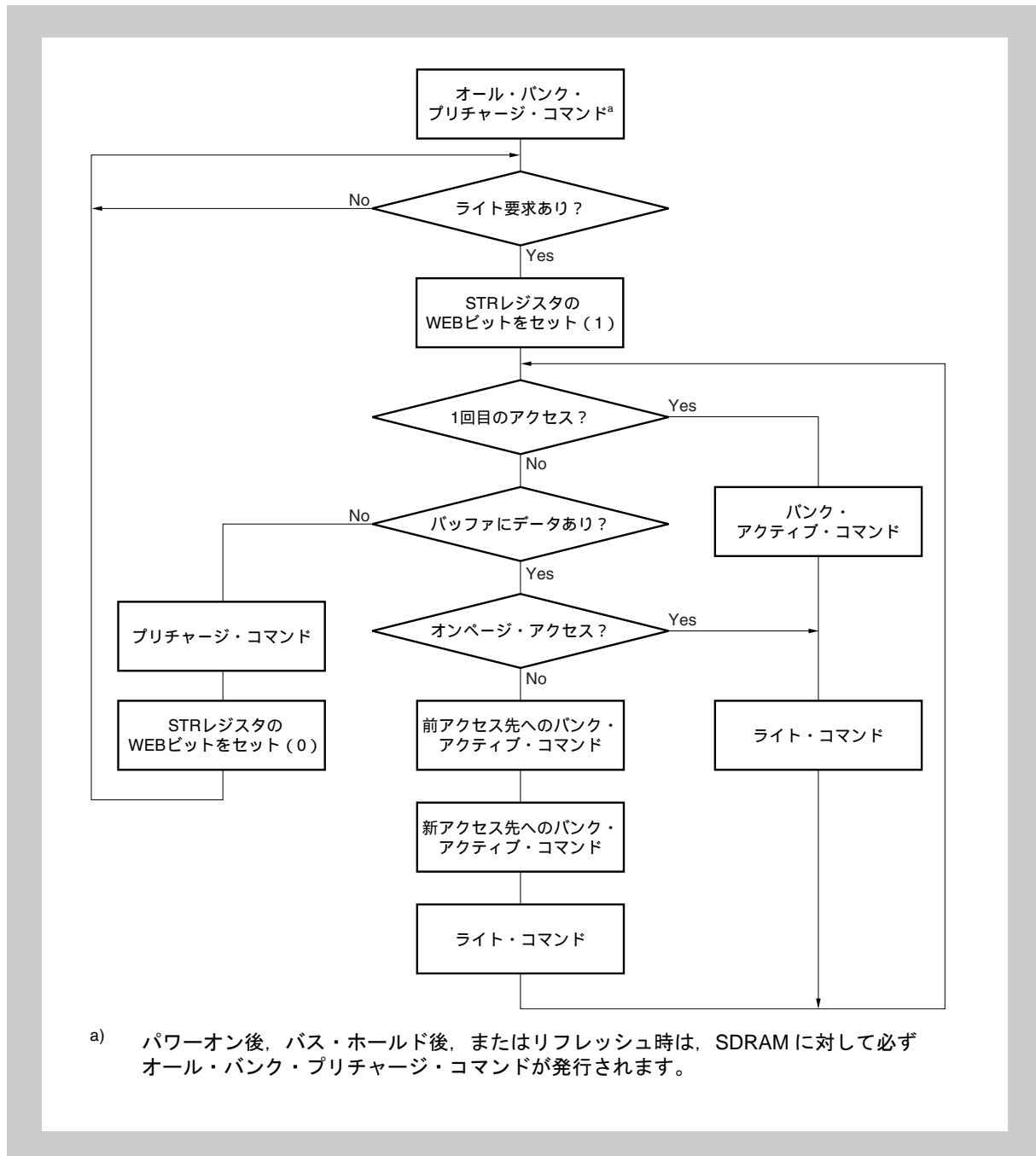


図 11-9 SDRAM ライト・アクセスの状態遷移

(4) ライト・バッファの動作

SDRAM のライト・バッファ・サイズは、256 ビットです。バッファは、8 段の FIFO 形式です。ライト・バッファの空きがなくなると、CPU からのライト・アクセスは保留されます。また、ライト・バッファのデータがなくなるまで、CPU からのリード・アクセスは保留されます。

(5) CBR リフレッシュ機能

SDRAM コントローラは、RFS レジスタに設定したリフレッシュ間隔ごとに、CBR リフレッシュ・サイクルを起動します。CBR リフレッシュ・コマンドを発行する際に、外部バス・サイクルが発生している場合には、完了まで CBR リフレッシュ・コマンドは保留されます。また、外部バス・ホールド要求と CBR リフレッシュ要求が競合した場合、外部バス・ホールド要求が優先されます。外部バス・ホールド中にリフレッシュ要求が発生した場合、REFRQZ 信号がアクティブとなり、外部バス・マスタに対して、リフレッシュ要求が発生していることを示すことが可能です。外部バス・ホールド中に、リフレッシュ・サイクルへ移行させる必要がある場合は、この信号を用いてバス・ホールド要求を取り下げてください。

備考 リフレッシュ・カウンタはフリーラン動作を行うため、CBR リフレッシュ・コマンドが保留された場合には、次の CBR リフレッシュ・サイクルまでの間隔が短くなります。

(6) セルフ・リフレッシュ機能

CPU がスタンバイ・モードに移行すると、SDRAM コントローラは、次の手順で SDRAM のセルフ・リフレッシュ・サイクルを起動します。

- <1> プライマリ・メモリ・コントローラが外部バスへアクセス中の場合は、そのアクセスを完了させてから、SDRAM コントローラに通知します (この時点で、SDRAM コントローラは、SDRAM へアクセスしていない)。
 - <4> へ
 - プライマリ・メモリ・コントローラが外部バスへアクセスしていない場合は、すぐに SDRAM コントローラに通知します。
- <2> SDRAM コントローラが SDRAM に対してリード・アクセス中の場合は、SDRAM に対するリード・アクセスを完了させます。
 - バースト・リード機能を有効にしている場合は、8 回のリード・アクセスを完了させます。
 - スタンバイ要求のタイミングと、SDRAM へのリード要求が競合した場合には、SDRAM へのリードを優先します。
- <3> SDRAM コントローラが SDRAM に対してライト・アクセス中の場合は、SDRAM に対するライト・アクセスを完了させます。
 - ライト・バッファに蓄積されているデータは、すべて SDRAM にライトします。
 - スタンバイ要求信号がアクティブになるタイミングと、SDRAM へのライト要求が競合した場合には、ライト要求を優先します。
- <4> オール・バンク・プリチャージコマンド、NOP コマンド、セルフ・リフレッシュ・コマンドを発行します。
- <5> SDRAM がセルフ・リフレッシュ状態に移行します。
- <6> スタンバイ・モードに移行します。

- <7> セルフ・リフレッシュの解除処理を開始します (NOP コマンドを発行し, BCW の設定値 x4 クロックのウェイトを挿入します)。
- <8> SDRAM のセルフ・リフレッシュ状態が解除されます。
- <9> 通常の状態に戻ります。

外部バス・ホールド要求とスタンバイ・モード移行要求が競合した場合, スタンバイ要求が優先されます。

11.5 ウェイト機能

ウェイト機能を次に示します。

表 11-17 ウェイト機能

ウェイト機能		データ・ウェイト		データ・ホールド・ウェイト	アイドル
		プログラマブル	外部ウェイト		
SRAM バス・サイクル・タイプ	リード	○	○	-	○
	ライト	○	○	○	○
SDRAM バス・サイクル・タイプ	リード	-	-	-	○
	ライト	-	-	-	○
設定レジスタ		DWC0	-	DHC	ICC0 ICC1
最大ウェイト数		15	-	3	3

11.5.1 プログラマブル・データ・ウェイト機能

リード・ストロブ、およびライト・ストロブ期間を延長してデータのラッチ・タイミングを遅らせるためのウェイト機能です。

すべてのライト・アクセス、および SRAM の最初のデータ転送タイミングに有効になります。

最大 15 サイクルを挿入できます。

DWC0 レジスタによりチップ・セレクト領域ごとに設定できます。

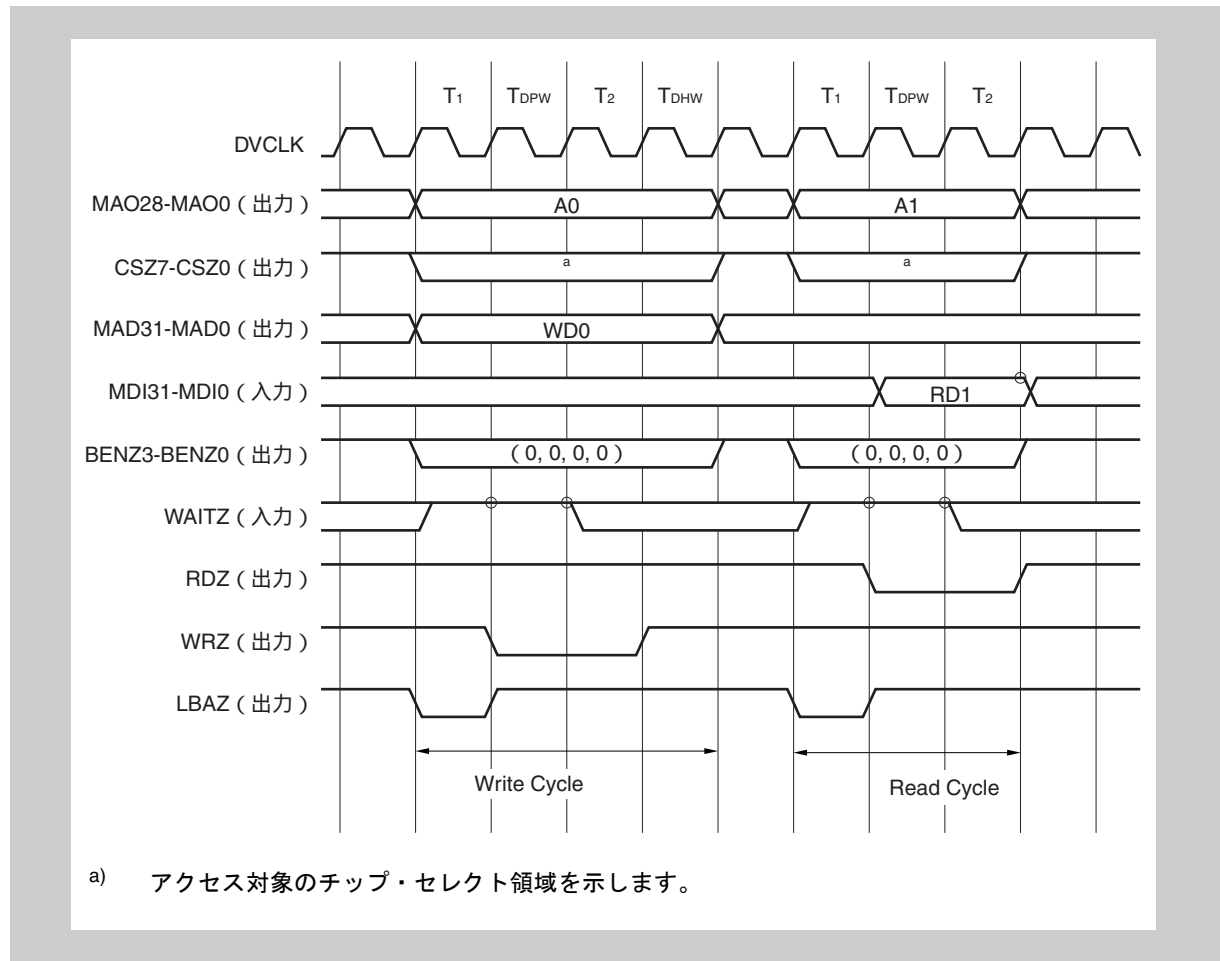


図 11-10 セパレート・バス・モードにおけるプログラマブル・データ・ウェイト

11.5.2 外部ウエイト機能

バス・サイクル・タイプとしてセパレート・バス・モードが選択されている場合、WAITZ 端子により任意の長さのデータ・ウエイトを挿入できます。

WAITZ 端子入力レベルは、 T_A 、 T_1 サイクルおよび T_{DPW} 、 T_{DEW} サイクル終了直後にサンプリングされます。

なお、データ・ウエイト・サイクルは、データ・ウエイト制御レジスタ 0 (DWC0 レジスタ) の設定によるプログラマブル・データ・ウエイトと WAITZ 端子入力による外部ウエイト指定との論理和 (OR) をとったものを用いて挿入されます。

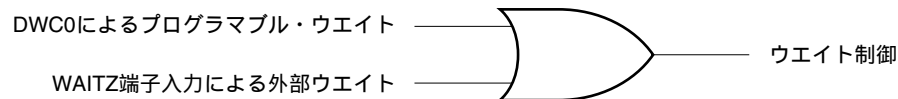
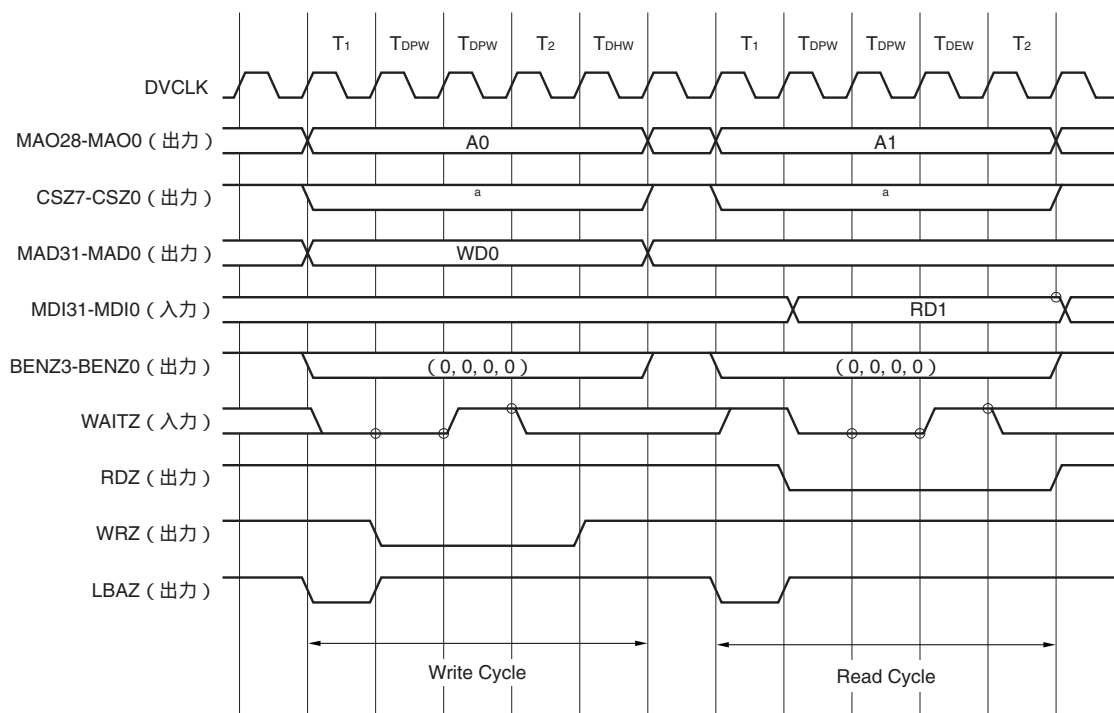


図 11-11 内部データ・ウエイト生成回路



a) アクセス対象のチップ・セレクト領域を示します。

図 11-12 外部データ・ウエイトとプログラマブル・データ・ウエイトの関係 (DWC = 2 の場合)

11.5.3 外部ウエイト・エラー検出機能

外部ウエイト・エラー設定レジスタ (EWC レジスタ) の EWn ビットに 1 を設定することにより、外部ウエイトが 128 サイクル以上連続して入力され続けた場合に、データ・ウエイトを強制解除し、アクセス要求を行った CPU にエラーを通知する機能を有しています。このとき CPU では SysError 例外が発生します。

この機能を使用することにより、WAITZ 入力端子に対して不意な不具合が発生した場合においても、システムをハングアップさせることなく異常検出の例外処理ができます。

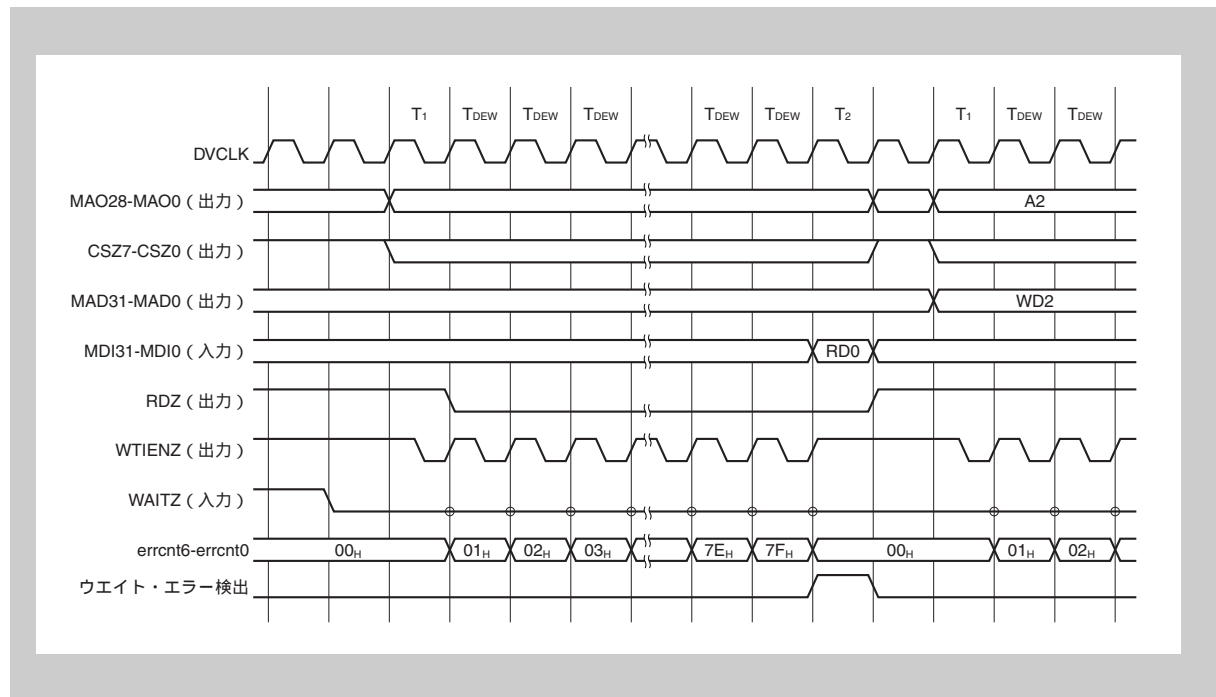


図 11-13 外部ウエイト・エラー検出時の動作タイミング

CPU などのアクセス要求元にエラーが発生させたあと、外部ウエイト・エラー検出回路は初期化され、以降の転送要求に対して WAITZ 入力端子からのデータ・ウエイト要求も含めてすべて通常通りに処理します。

このとき、再び外部ウエイトが 128 サイクル連続して入力されると、再度データ・ウエイトを強制解除するとともに、CPU などのアクセス要求元に対してエラーを通知します。

11.5.4 データ・ホールド・ウエイト機能

データのライト・ストロブに対するホールド時間を確保するために、ライト・ストロブ信号立ち上がり後のステートに対しウエイトを挿入する機能です。

すべてのバス・サイクル・タイプにおけるライト・サイクル時のみ有効になります。

ライト・サイクル発生時に必ず1ステートのデータ・ホールド・ウエイトを挿入します。このデータ・ホールド・ウエイトを、DHCレジスタの設定により最大3サイクル分延長し、都合4サイクル分の挿入ができます。

DHCレジスタによるデータ・ホールド・ウエイトの延長数はチップ・セレクト領域ごとに設定できます。初期状態は全チップ・セレクト領域ウエイトの延長なし（データ・ホールド・ウエイト1サイクル）です。

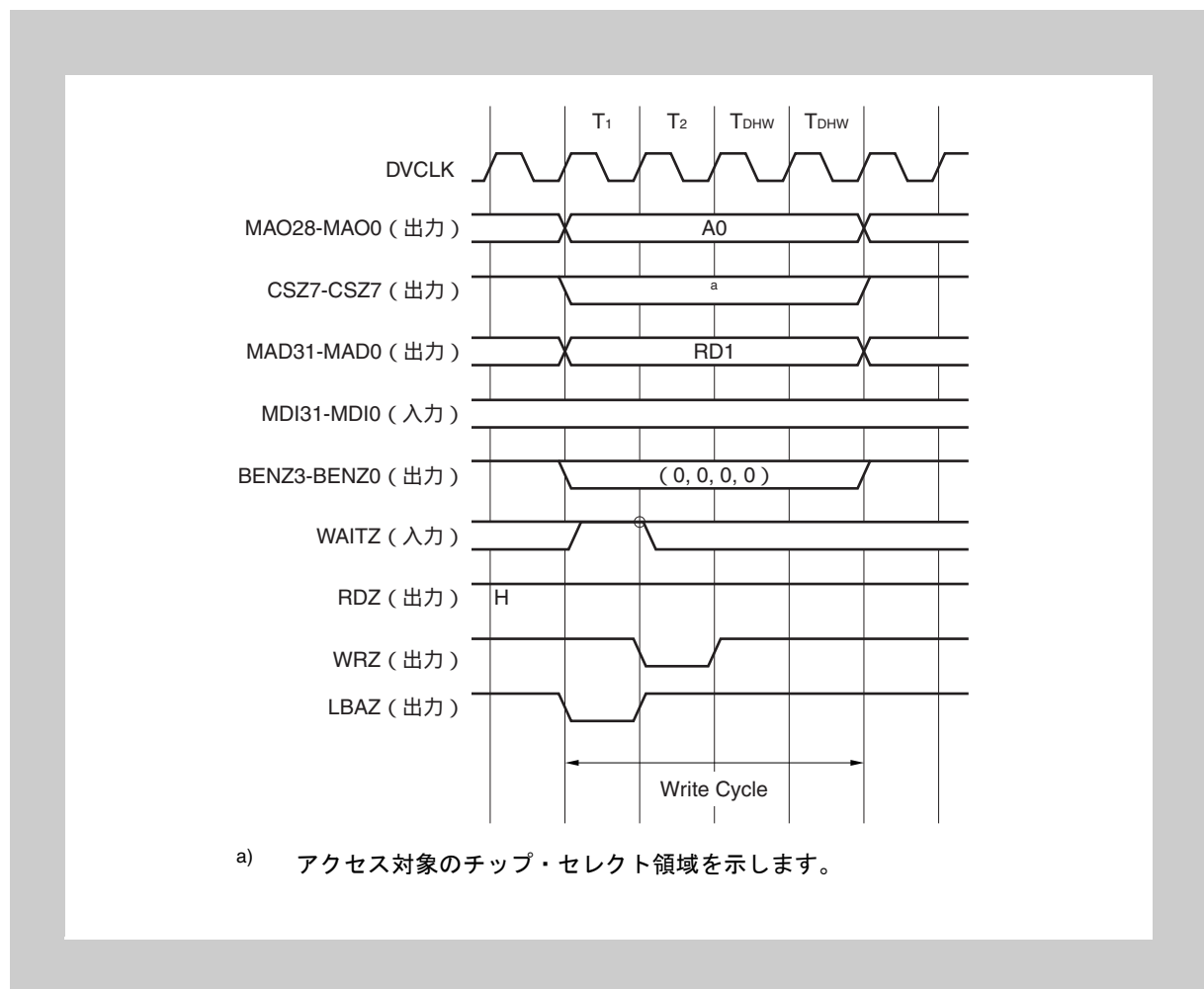


図 11-14 データ・ホールド・ウエイト (セパレート・バス・モード時)

11.5.5 アイドル挿入機能

サイクル毎にバス競合が発生するのを防止するために、各サイクルの最終ステートのあとにアイドル・ステートを挿入する機能です。

すべてのメモリ・タイプにおいて、最大3サイクルまで挿入できます。

ICC0, ICC1 レジスタへの設定により、チップ・セレクト領域ごと、リード・サイクル後/ライト・サイクル後個別に設定できます。

初期状態は、全チップ・セレクト領域アイドル・サイクルなしです。

注意 バス・サイクル終了後、CPU（またはDMA）からの後続バス・サイクルが発生するまでの間には、アイドル・サイクル設定によらず1サイクルかかります。このため、たとえアイドル・サイクルなしに設定していた場合でも、バス・サイクル間には1サイクルの間隔が生じます。

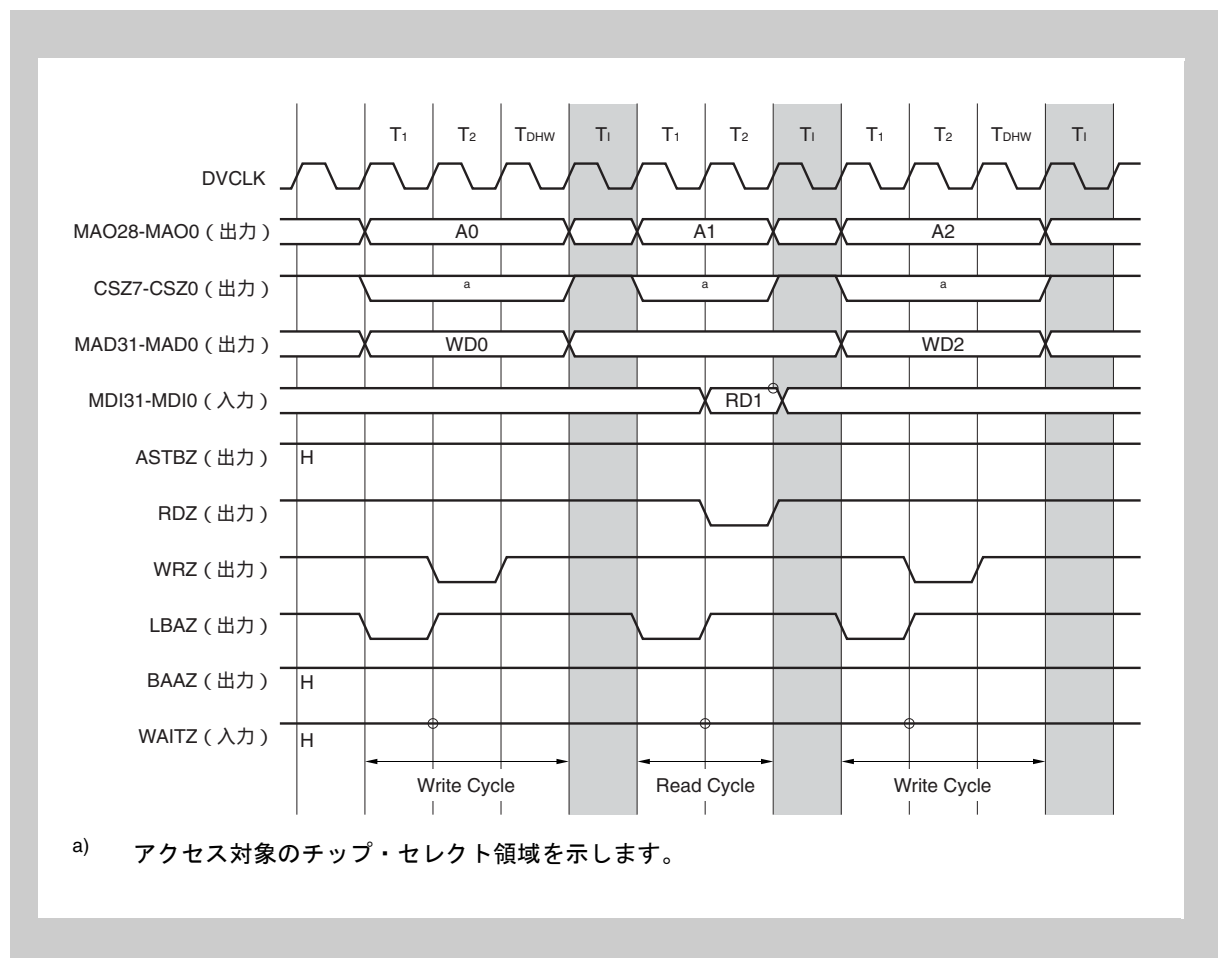


図 11-15 アイドル・サイクル

11.6 バス・ホールド機能

HLDRQZ 端子入力信号がアクティブ（ロウ・レベル）になり、外部からのバス・ホールド要求を受け取ると現在実行中の外部バス・サイクルが完了したあとに、バス・ホールド・サイクルへ移行します。バス・ホールド・サイクルへの移行が完了すると、HLDAKZ 出力端子よりアクティブ・レベルを出力します。

HLDRQZ 端子がインアクティブ（ハイ・レベル）になると、外部バスは通常動作モードに移行します。

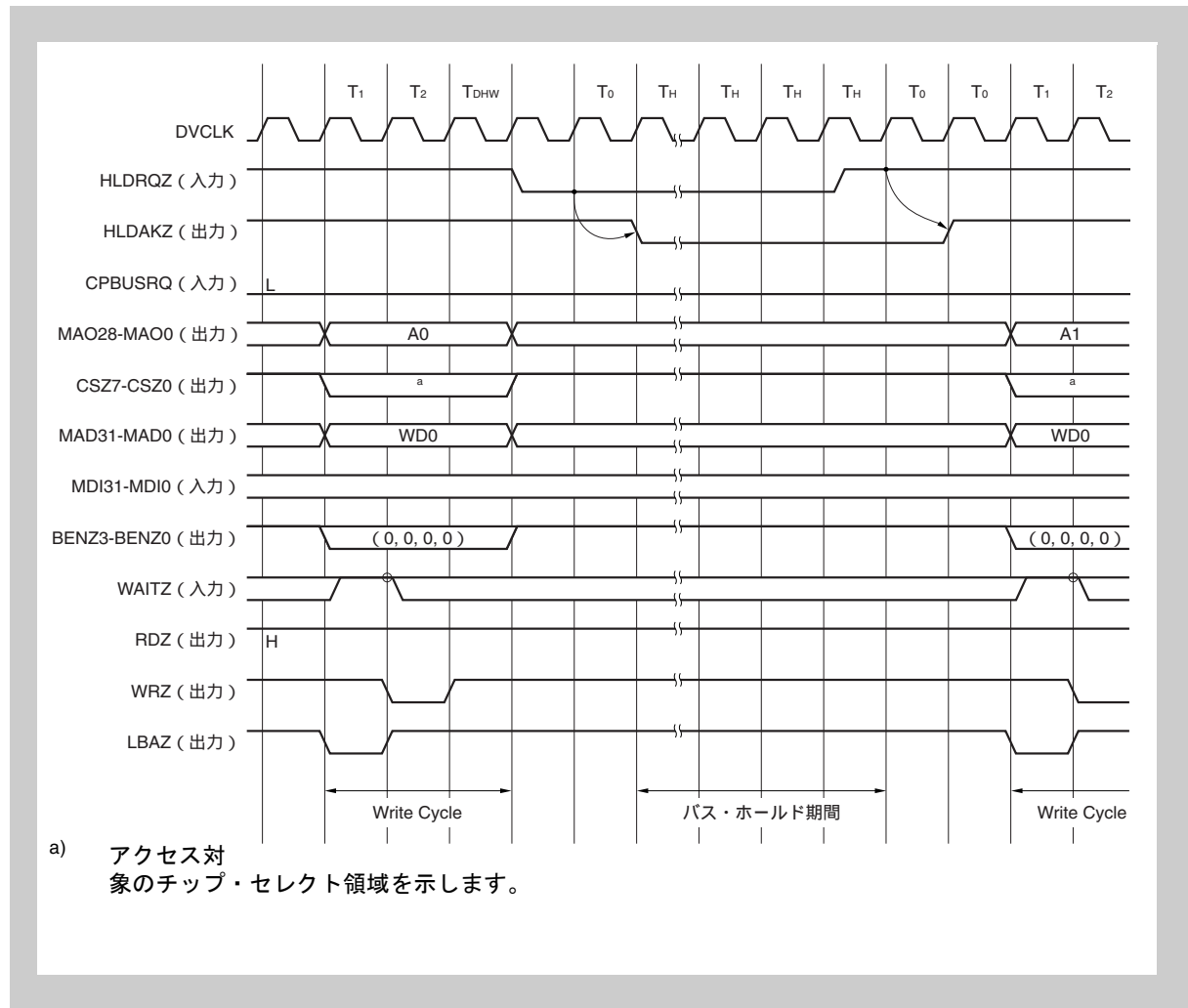
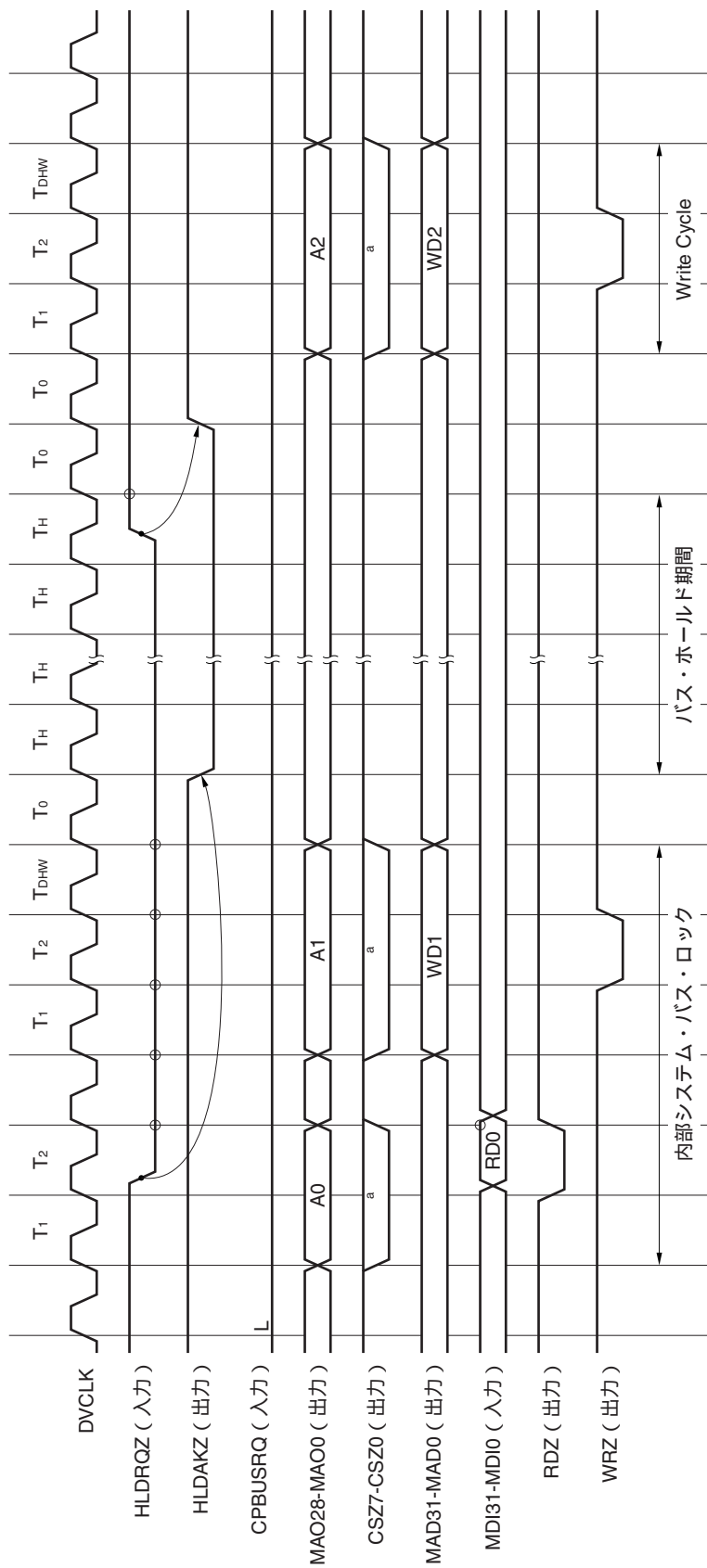


図 11-16 バス・ホールド機能

CPU からリード・モディファイ・ライトなどロックをともなうバス・サイクルを実行中には、このロックをともなうバス・サイクルが完了するまでの間、バス・ホールド・サイクルへの移行を保留します。

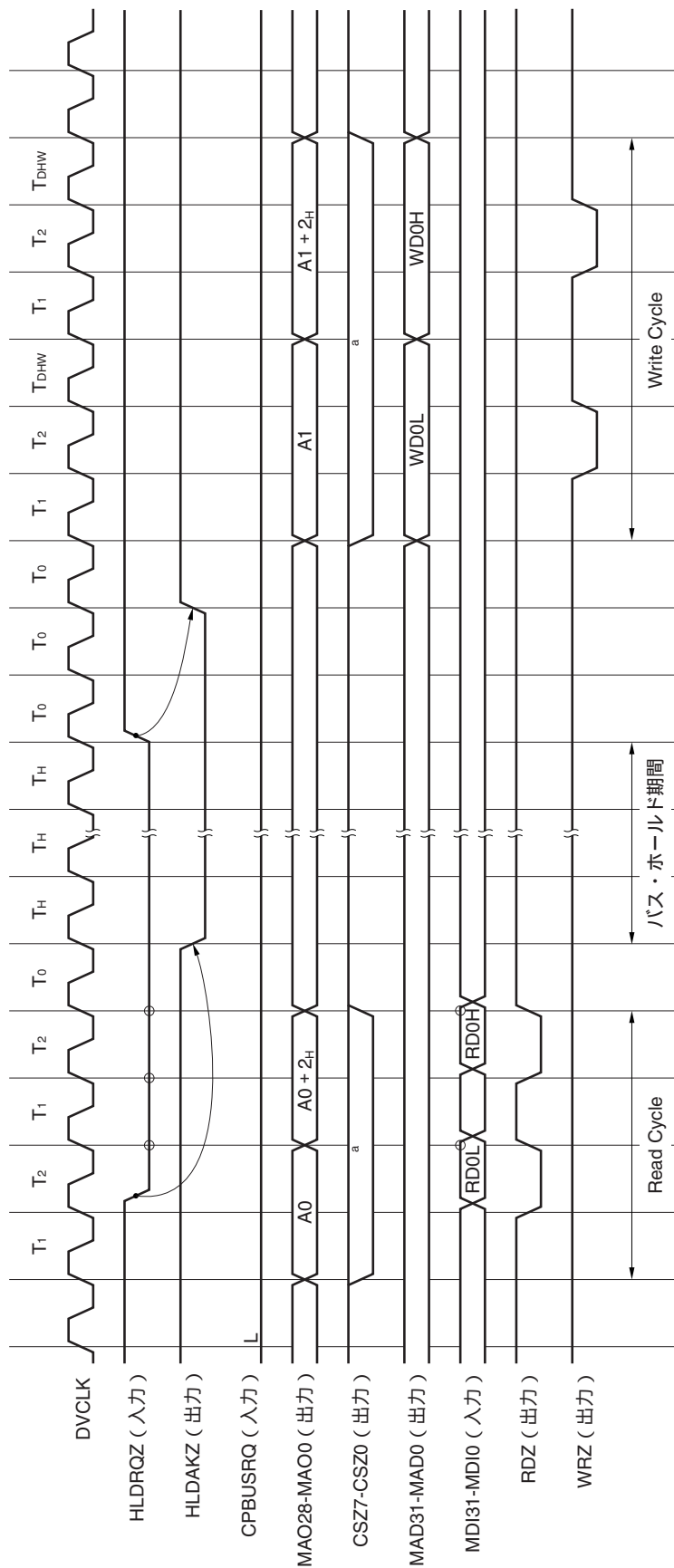
HLDRQZ 入力端子のサンプリングは外部バスの動作クロックの立ち上がりと同じタイミングで行われます。

外部バス・ホールド要求が発生すると、プライマリ・メモリ・コントローラは内部に持っているバンク情報は破棄し、外部バス・ホールド解除後のプライマリ・メモリ・コントローラによるサイクルは必ずバンク・アクティブから開始します。また、外部バス・マスタが SDRAM にアクセスする場合は、必ず All Bank PreCharge から開始する必要があります。



a) アクセス対象のチップ・セレクト領域を示します。

図 11-17 内部システム・バス・ロックによるバス・ホールド・サイクルの遅延



a) アクセス対象のチップ・セレクト領域を示します。

図 11-18 バス・サイジングによるバス・ホールド時間

バス・ホールド要求とCPUからの転送要求が同時に発生した場合は転送要求に対してウェイト応答を返し、バス・ホールド・サイクルへの移行を優先して実行します。

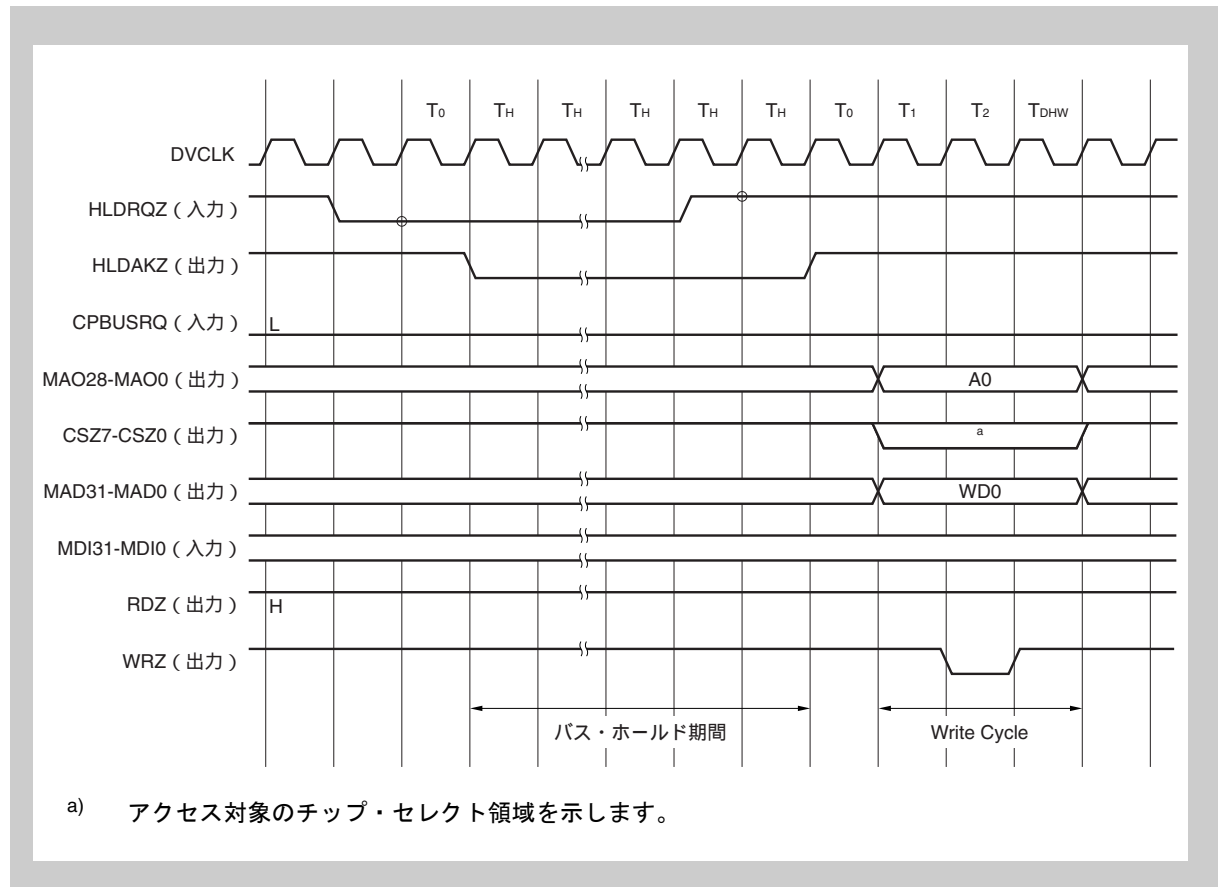


図 11-19 バス・ホールド要求と転送要求競合時の動作

11.7 DMA サイクル出力機能

DMAからの転送が外部バスに出力される時、マイクロコントローラは、DMA 転送サイクル信号、および DMA 最終転送信号を出力することができます。

この機能を利用することにより、チップ外部のデバイスに対して現在発生している外部バス・サイクルが DMA 起因のものかどうかを、DMA 起因のものであった場合どのチャンネルの DMA 転送に起因したものを通知できます。

マイクロコントローラは、外部バス・サイクルに同期して DMACH[7:0] 端子から DMA 転送サイクル信号を、および DMALAST[7:0] 端子から DMA 最終転送信号を出力します。

DMACH[7:0] の発生タイミング、DMALAST[7:0] の出力タイミング、および出力設定に関しては、DMA 機能を参照してください。

注意 マイクロコントローラは 16 チャンネル内蔵の DMA サブシステムを接続可能ですが、この端子機能は 8 チャンネル分のみの接続をサポートします。

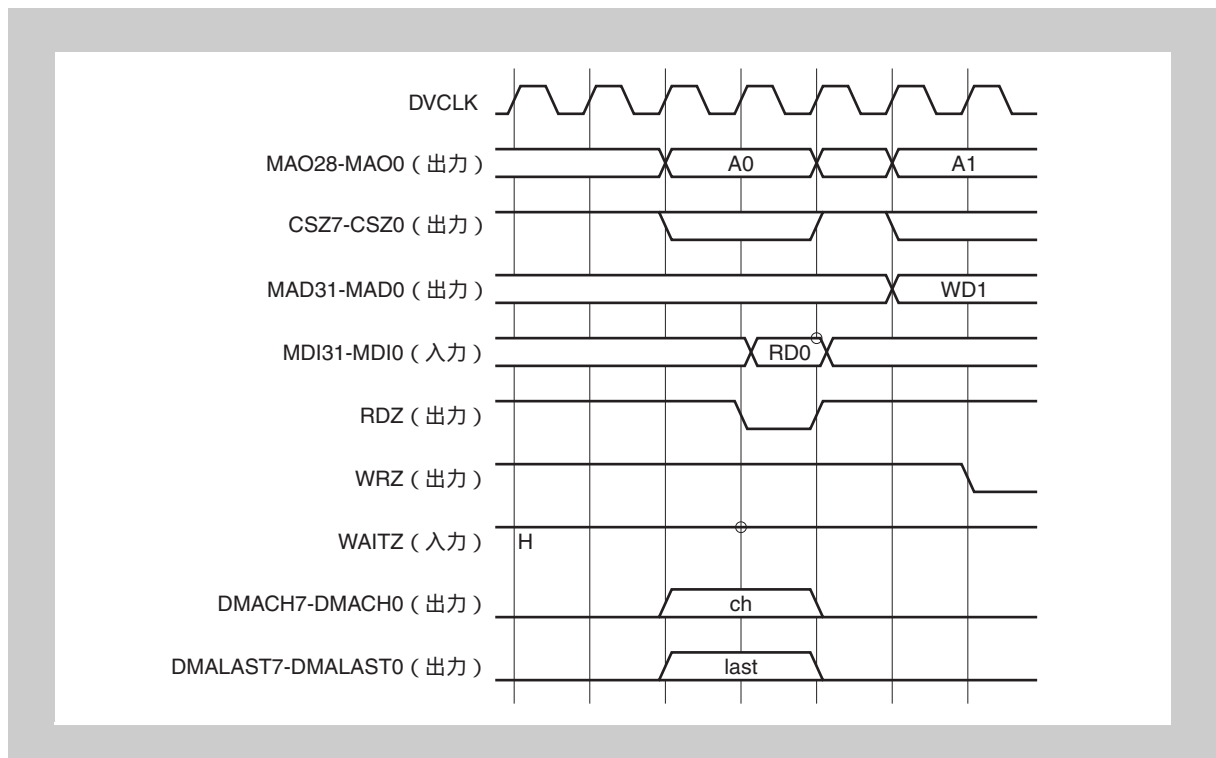


図 11-20 DMA チャンネル出力タイミング

11.8 メモリ接続例

11.8.1 SRAM 接続例

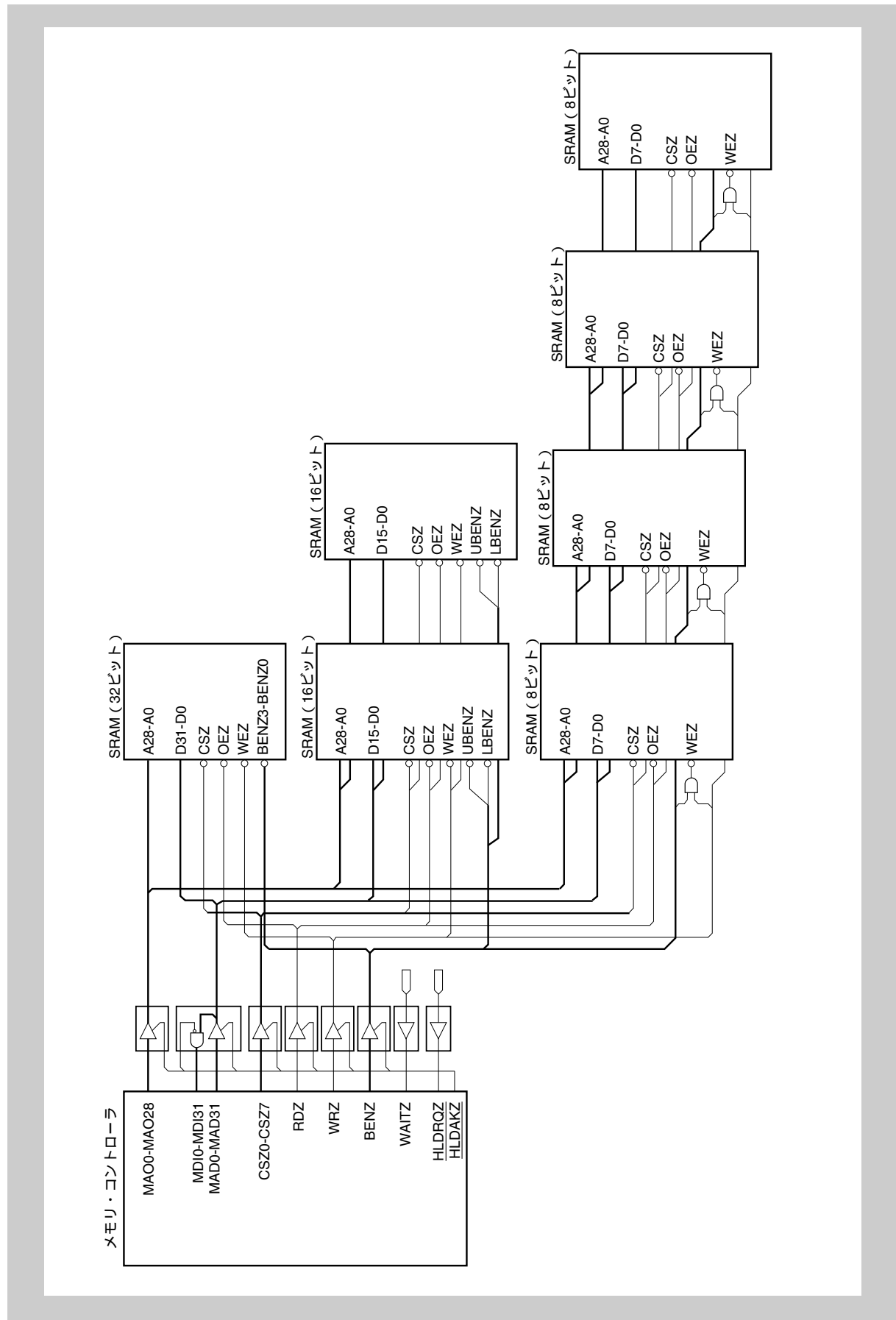


図 11-21 SRAM 接続例

11.8.2 SDRAM 接続例

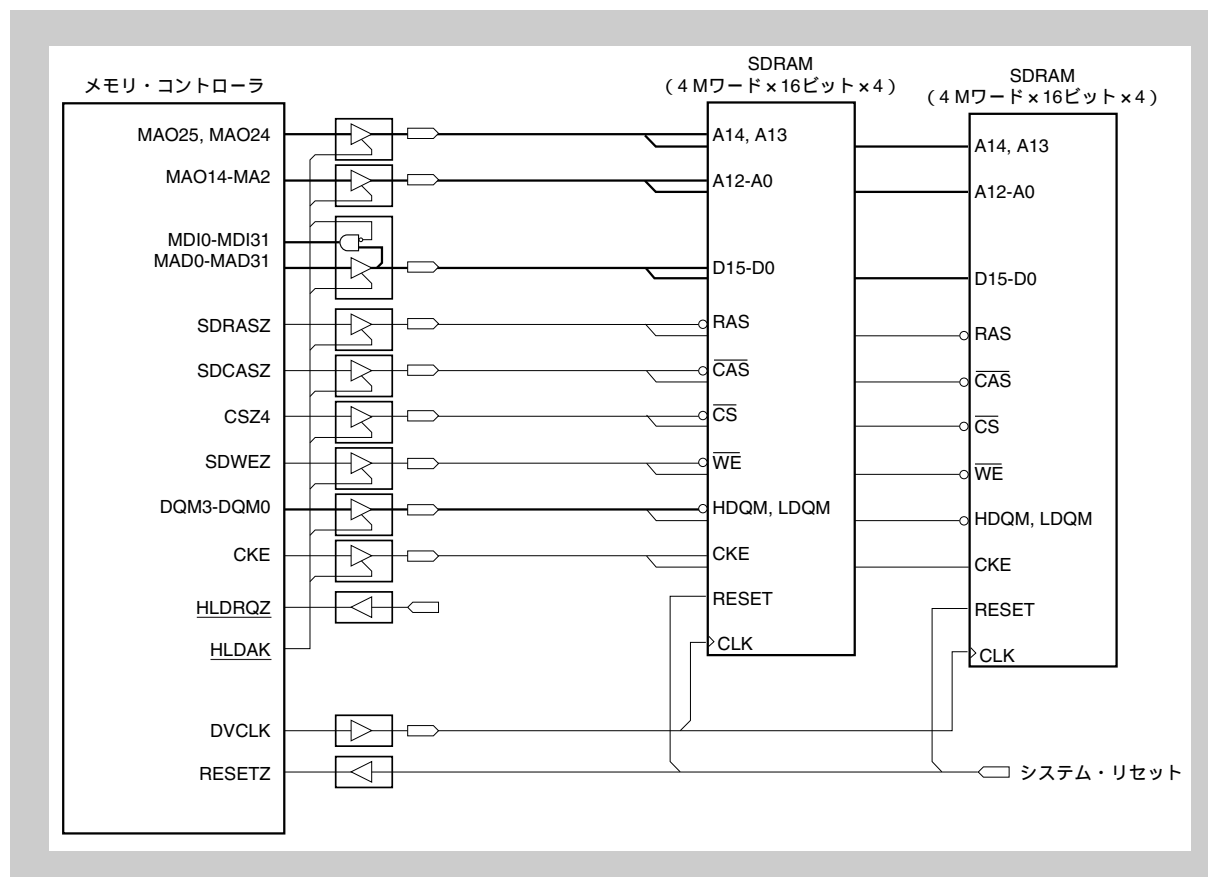


図 11-22 512 M ビット SDRAM 接続例
(256 ビット SDRAM (4M ワード×16 ビット×4 バンク) ×2)

(1) アドレス出力と SDRAM の接続について

データ・バス幅 (8 ビット, 16 ビット, 32 ビット) ごとに SDRAM コンフィギュレーション・レジスタ n (SDCR n) の設定内容, 物理アドレス, メモリ・コントローラからのアドレス出力, メモリ・コントローラと SDRAM の接続について次に示します。

(a) 8ビット・データ・バス幅時

8ビット・データ・バス幅時に64MビットSDRAM(2Mワード×8ビット×4バンク)を接続する例を次に示します。

- SDCRnレジスタ設定内容

SSO1, SSO0 = 00 : データ・バス幅 = 8ビット

RAW1, RAW0 = 01 : ロウ・アドレス幅 = 12ビット

SAW1, SAW0 = 01 : カラム・アドレス幅 = 9ビット

- 物理アドレス

A22, A21 : バンク・アドレス

A20-A9 : ロウ・アドレス

A8-A0 : カラム・アドレス

- メモリ・コントローラからのアドレス出力

A22, A21 : バンク・アドレス

A11-A0 : ロウ・アドレス (12ビット), カラム・アドレス (9ビット)

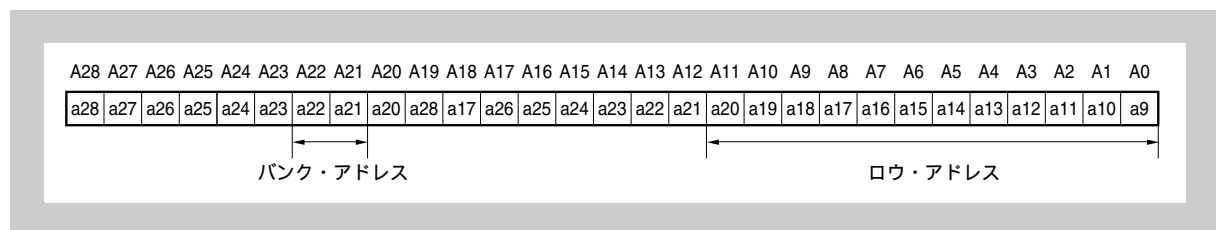


図 11-23 アクティブ・コマンド時のロウ・アドレス, バンク・アドレス出力 (8ビット)

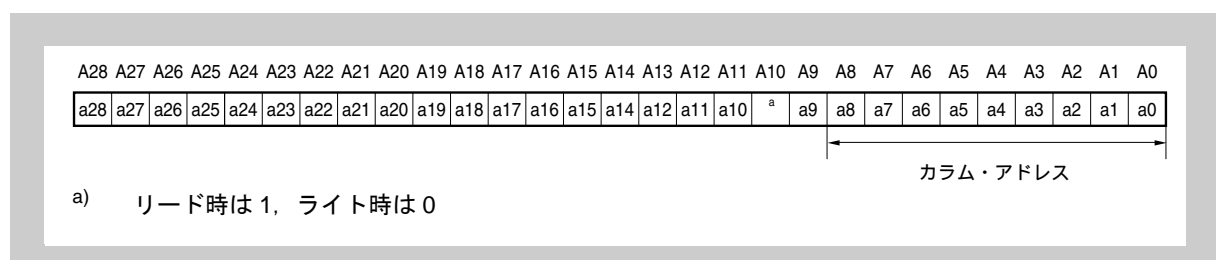


図 11-24 リード/ライト・コマンド時のカラム・アドレス出力 (8ビット)

- メモリ・コントローラとSDRAMの接続

A22, A21 (メモリ・コントローラ) → BA0 (A13), BA1 (A12) (SDRAM)

A11-A0 (メモリ・コントローラ) → A11-A0 (SDRAM)

(b) 16 ビット・データ・バス幅時

16 ビット・データ・バス幅時に 512 M ビット SDRAM (8 M ワード×16 ビット×4 バンク) を接続する例を次に示します。

- SDCRn レジスタ設定内容

SSO1, SSO0 = 01 : データ・バス幅 = 16 ビット

RAW1, RAW0 = 10 : ロウ・アドレス幅 = 13 ビット

SAW1, SAW0 = 10 : カラム・アドレス幅 = 10 ビット

- 物理アドレス

A25, A24 : バンク・アドレス

A23-A11 : ロウ・アドレス

A10-A1 : カラム・アドレス

- メモリ・コントローラからのアドレス出力

A25, A24 : バンク・アドレス

A13-A1 : ロウ・アドレス (13 ビット), カラム・アドレス (10 ビット)

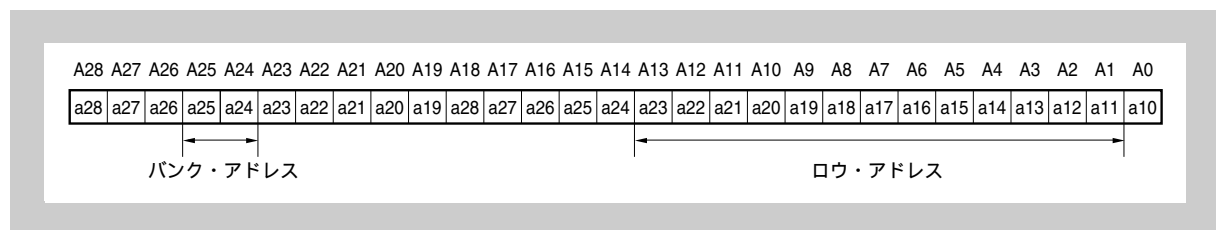


図 11-25 アクティブ・コマンド時のロウ・アドレス, バンク・アドレス出力 (16 ビット)

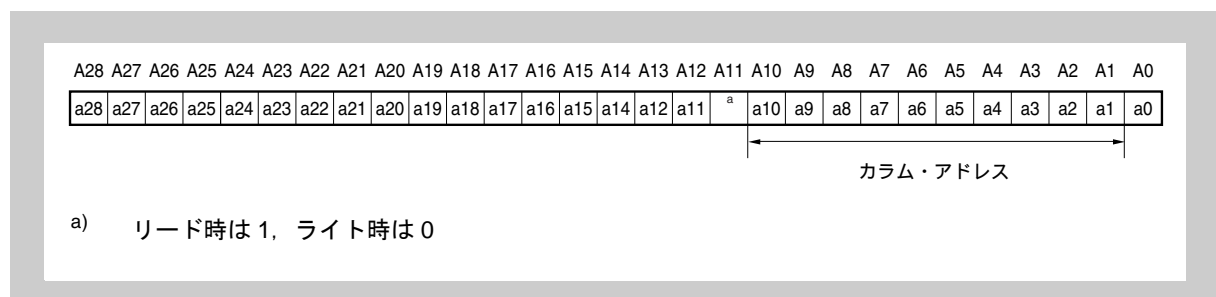


図 11-26 リード/ライト・コマンド時のカラム・アドレス出力 (16 ビット)

- メモリ・コントローラと SDRAM の接続

A25, A24 (メモリ・コントローラ) → BA0 (A14), BA1 (A13) (SDRAM)

A13-A1 (メモリ・コントローラ) → A12-A0 (SDRAM)

(c) 32 ビット・データ・バス幅時

32 ビット・データ・バス幅時に 512 M ビット SDRAM (256 M ビット SDRAM (4 M ワード×16 ビット×4 バンク) ×2) を接続する例を次に示します。

- SDCRn レジスタ設定内容

SSO1, SSO0 = 10 : データ・バス幅 = 32 ビット

RAW1, RAW0 = 10 : ロウ・アドレス幅 = 13 ビット

SAW1, SAW0 = 01 : カラム・アドレス幅 = 9 ビット

- 物理アドレス

A25, A24 : バンク・アドレス

A23-A11 : ロウ・アドレス

A10-A2 : カラム・アドレス

- メモリ・コントローラからのアドレス出力

A25, A24 : バンク・アドレス

A14-A2 : ロウ・アドレス (13 ビット), カラム・アドレス (9 ビット)

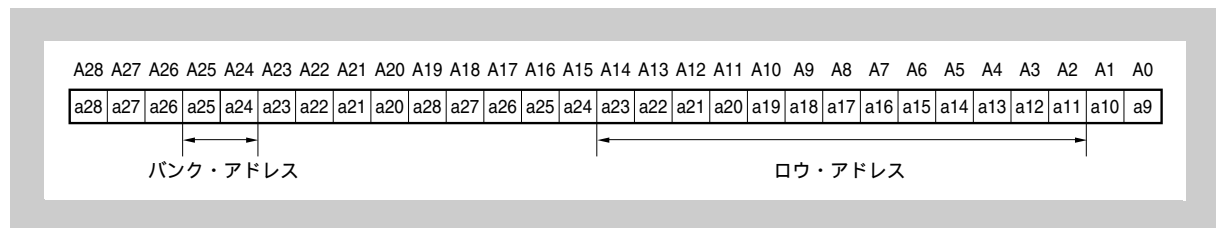


図 11-27 アクティブ・コマンド時のロウ・アドレス, バンク・アドレス出力 (32 ビット)

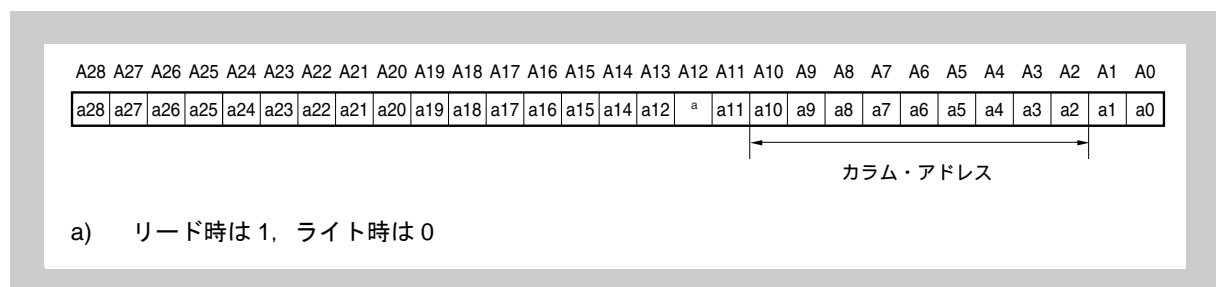


図 11-28 リード/ライト・コマンド時のカラム・アドレス出力 (32 ビット)

- メモリ・コントローラと SDRAM の接続

A23, A22 (メモリ・コントローラ) → BA0 (A14), BA1 (A13) (SDRAM)

A13-A2 (メモリ・コントローラ) → A12-A0 (SDRAM)

11.9 データ・フロー

外部メモリへのデータ転送フローは、データ幅、エンディアン指定、外部バス幅、開始アドレスなどによって異なります。

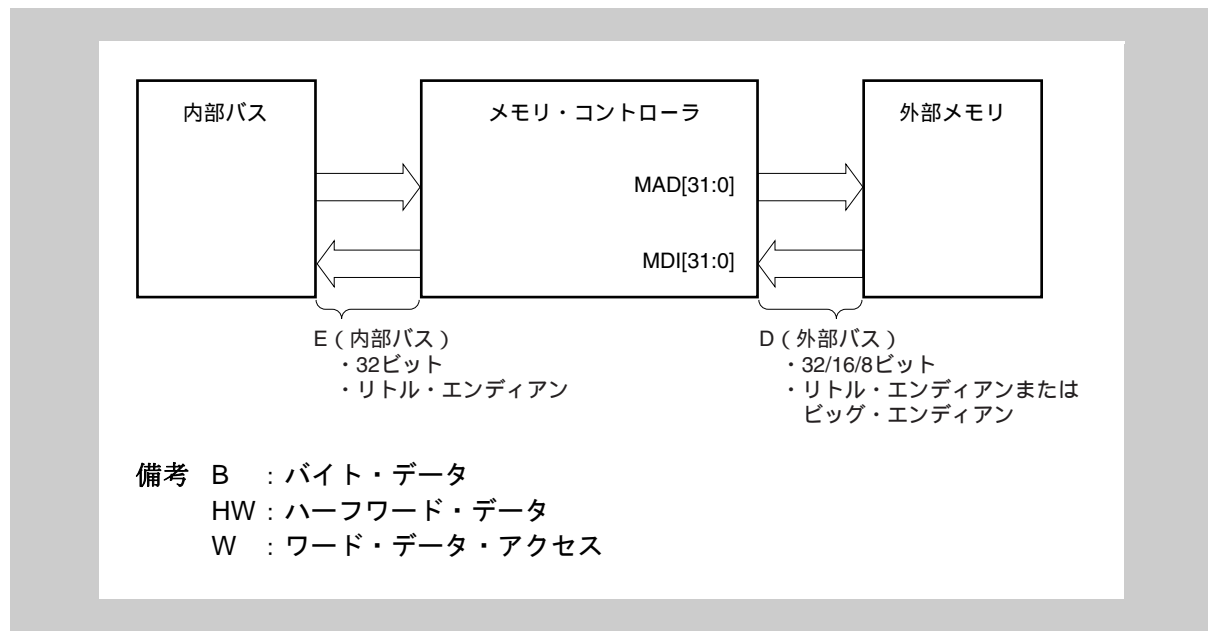
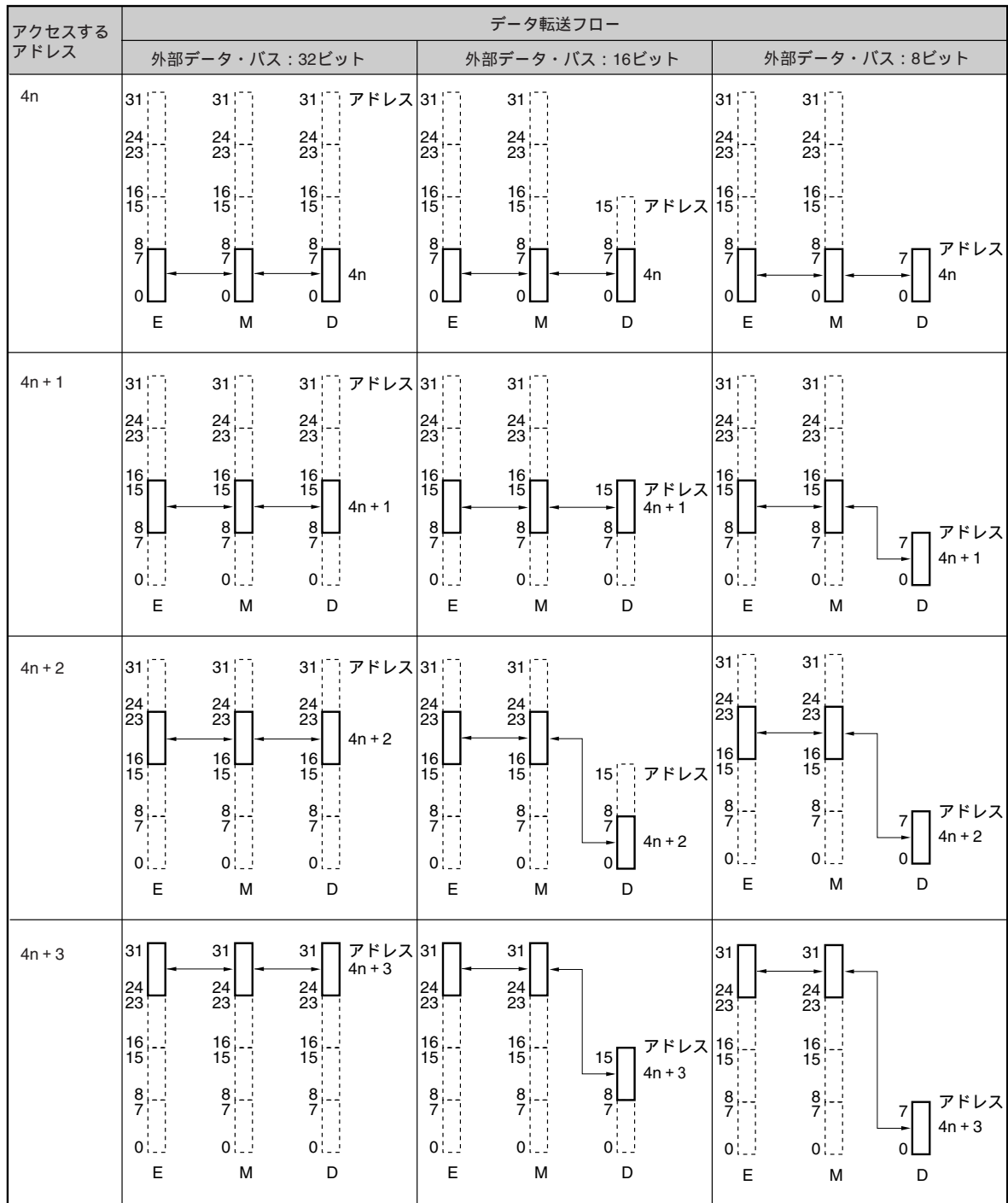


図 11-29 内部バス，メモリ・コントローラ，外部バスのデータの流れ

次ページ以降に各条件でのデータ・フローを示します。

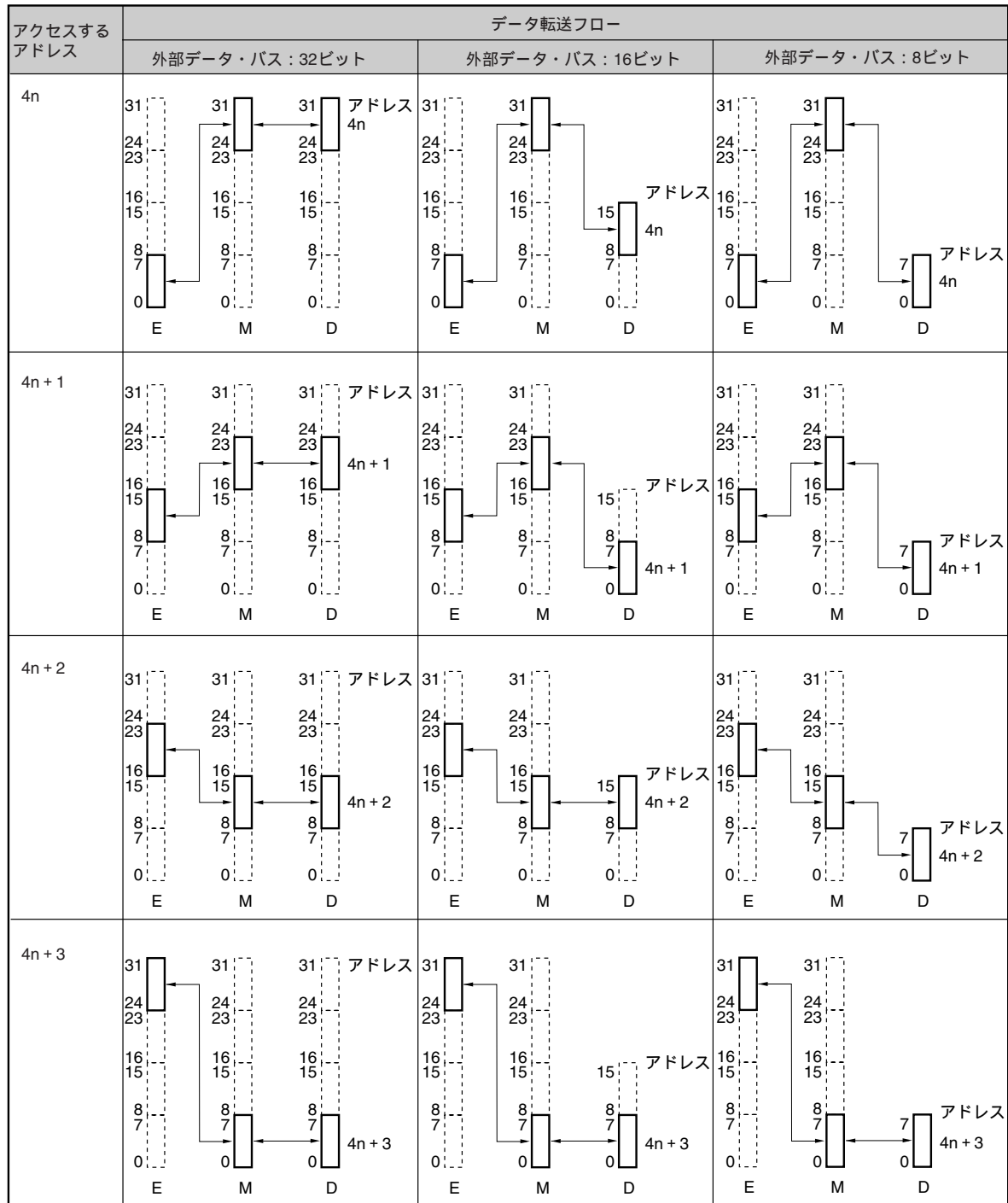
11.9.1 バイト・アクセス時のデータ・フロー

表 11-18 バイト・アクセス時のデータ・フロー (リトル・エンディアン)



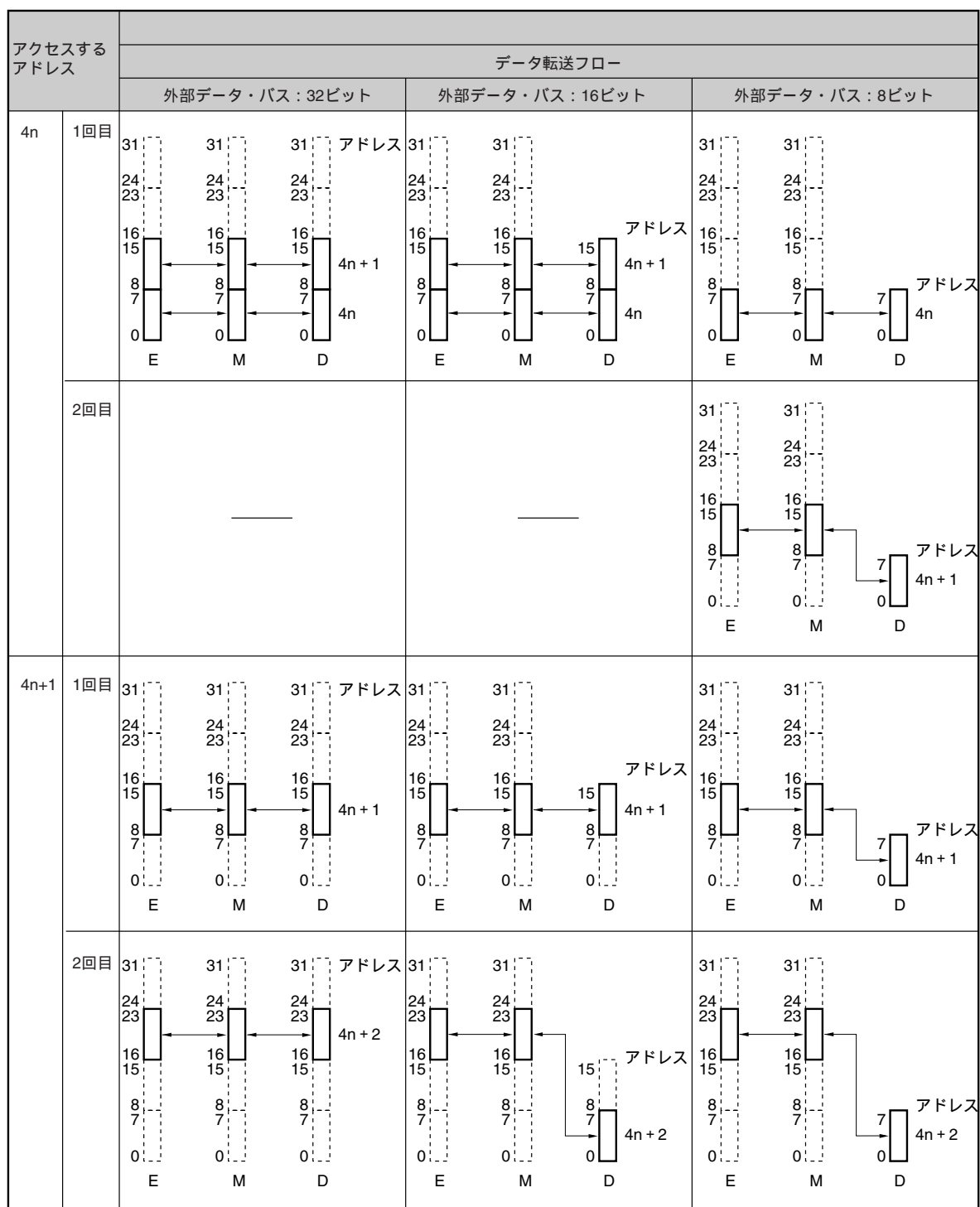
備考 E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

表 11-19 バイト・アクセス時のデータ・フロー (ビッグ・エンディアン)



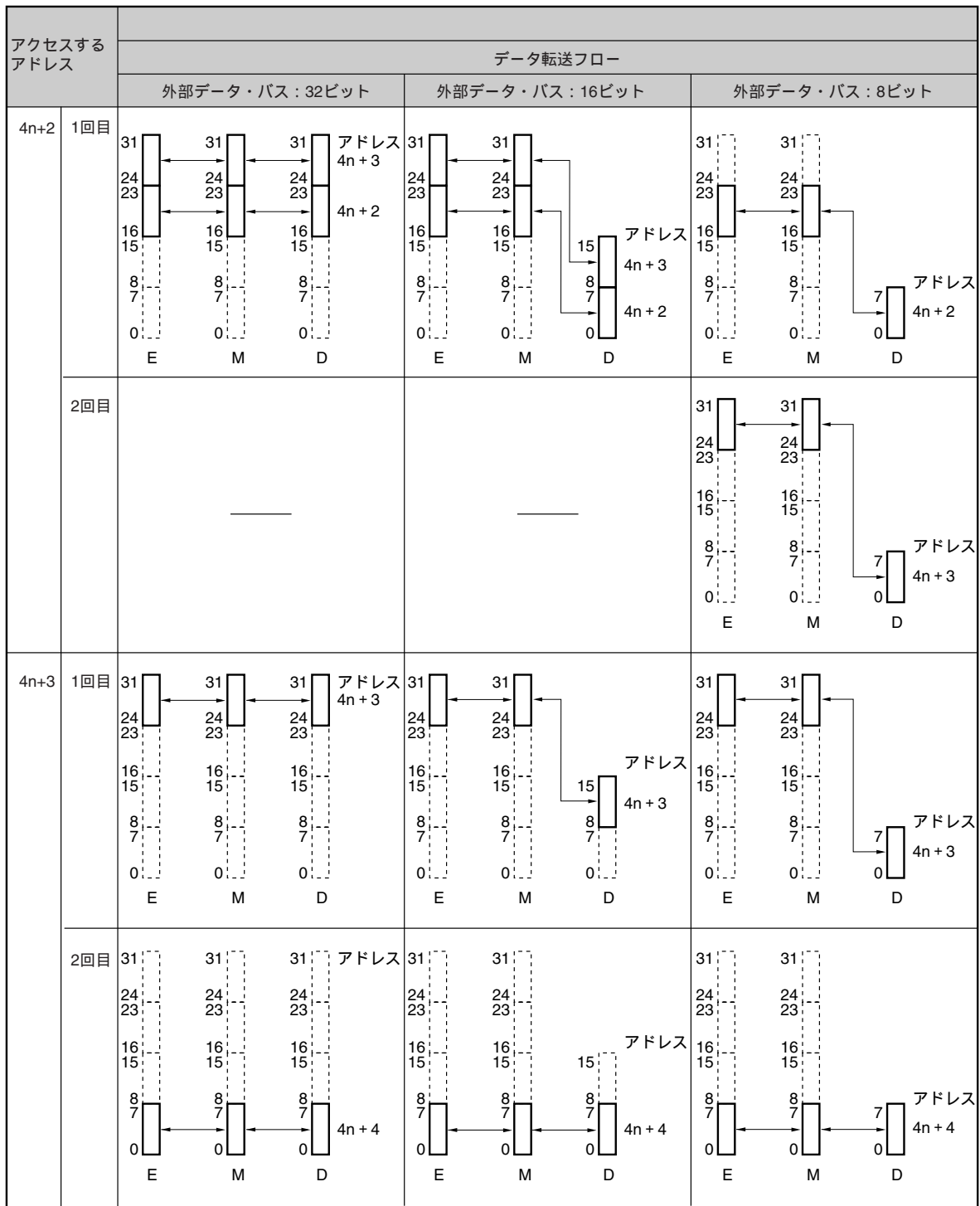
備考 E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

表 11-20 ハーフワード・アクセス時のデータ・フロー (リトル・エンディアン) (1/2)



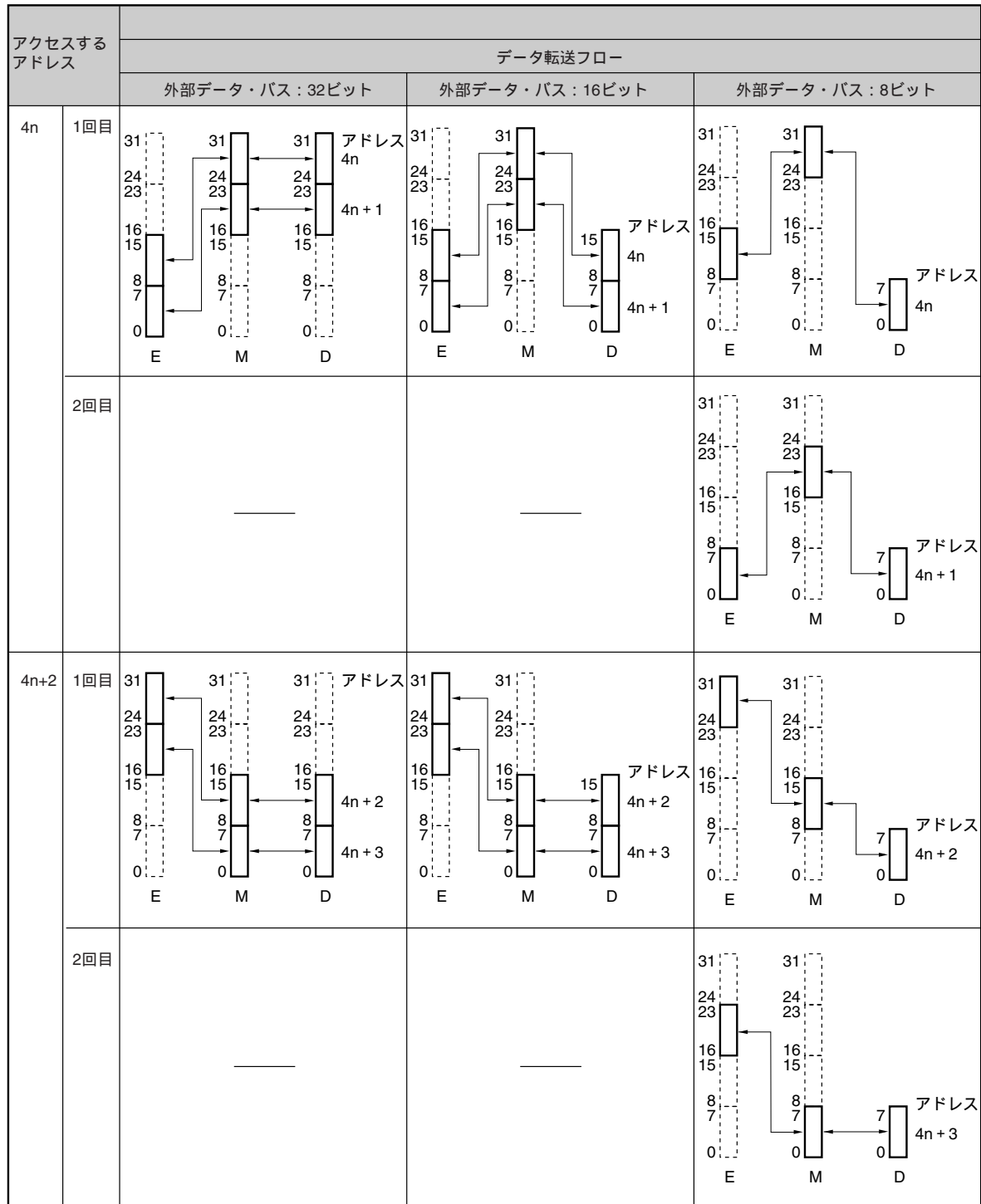
備考 E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

表 11-21 ハーフワード・アクセス時のデータ・フロー (リトル・エンディアン) (2/2)



備考 E：内部バス
M：MEMC データ・バッファ
D：外部データ・バス
n = 0, 1, 2, 3, ...

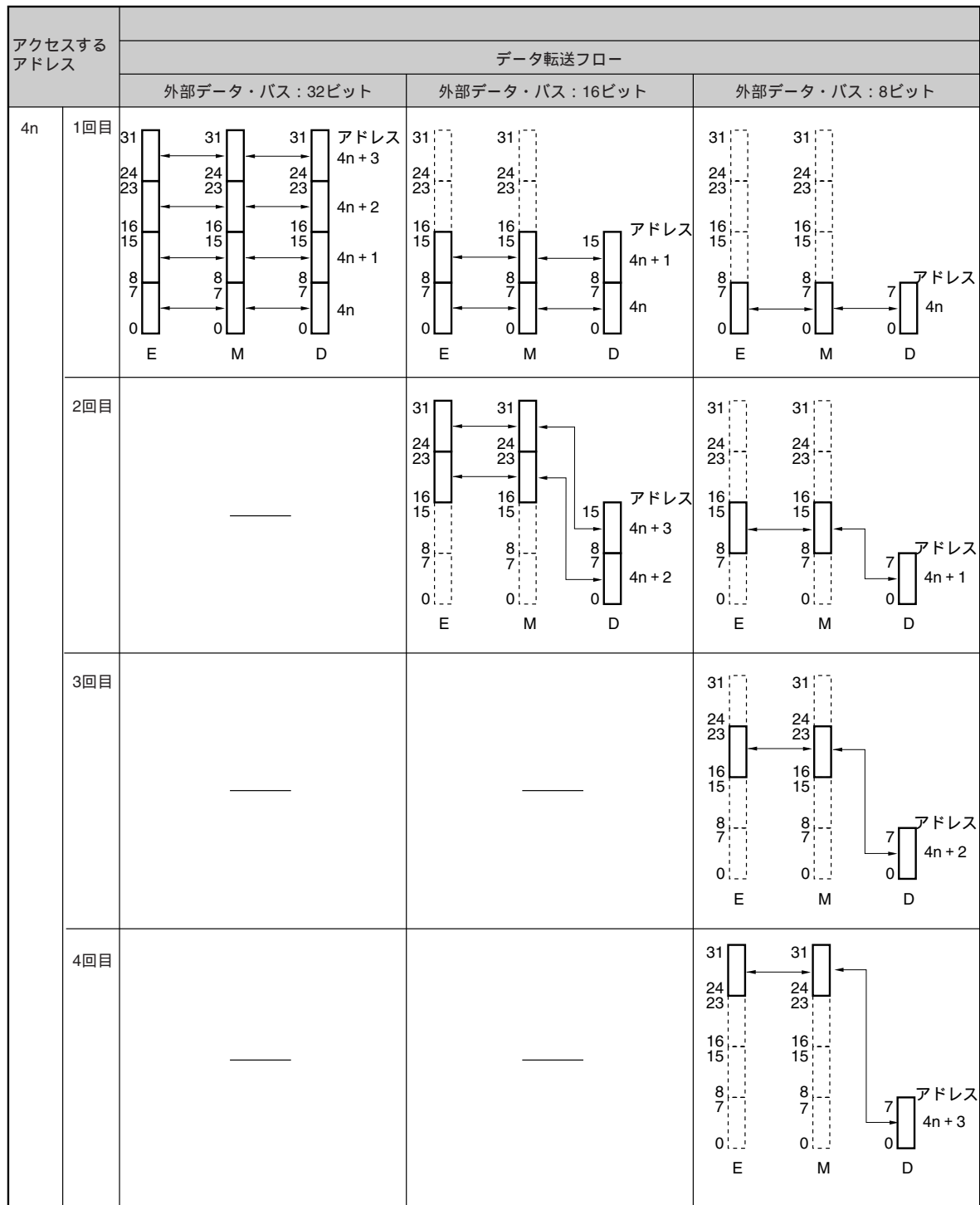
表 11-22 ハーフワード・アクセス時のデータ・フロー (ビッグ・エンディアン)



備考 1. E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

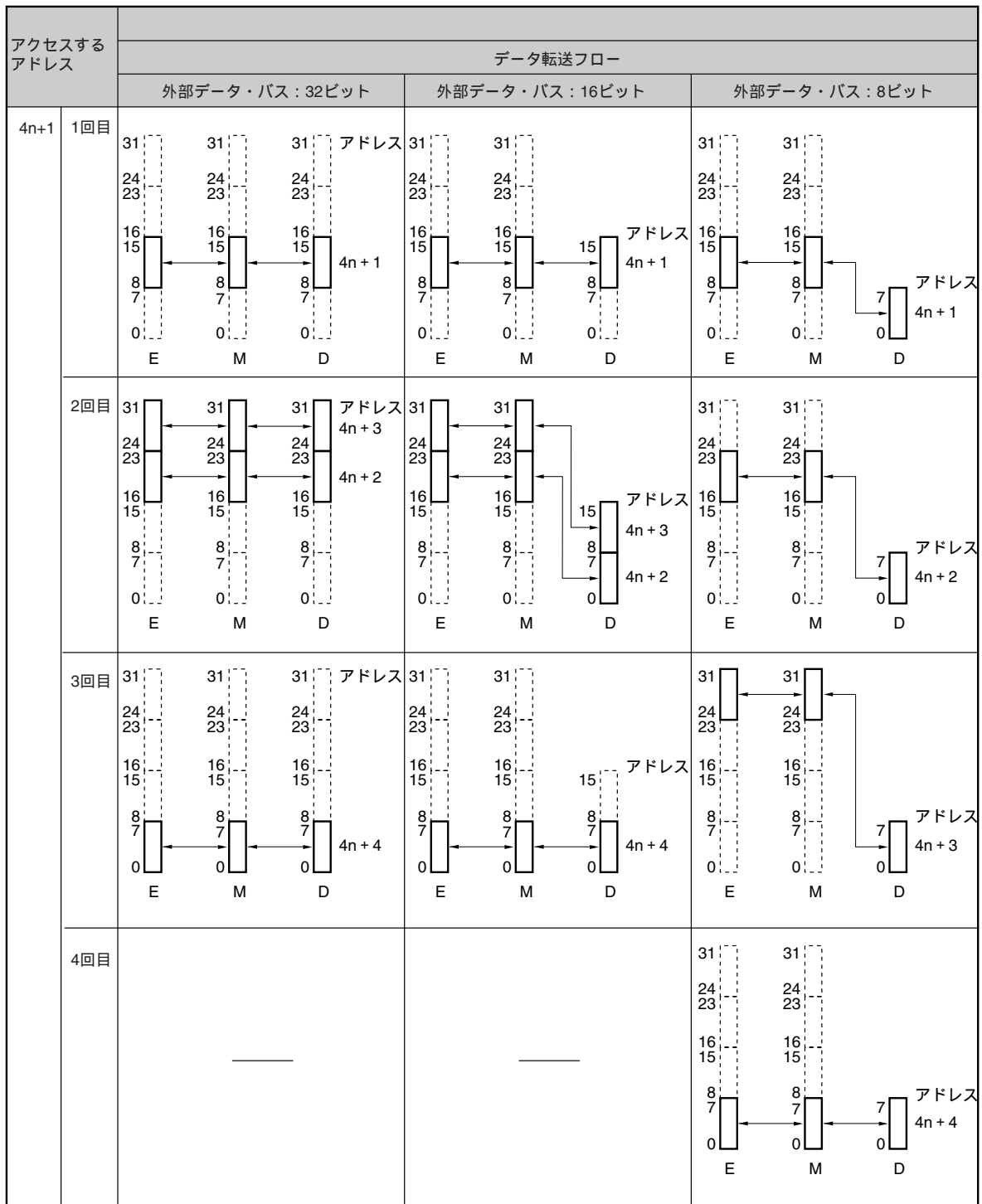
2. 先頭アドレスが 4n+1, 4n+3 で始まるアクセスは禁止です。

表 11-23 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (1/4)



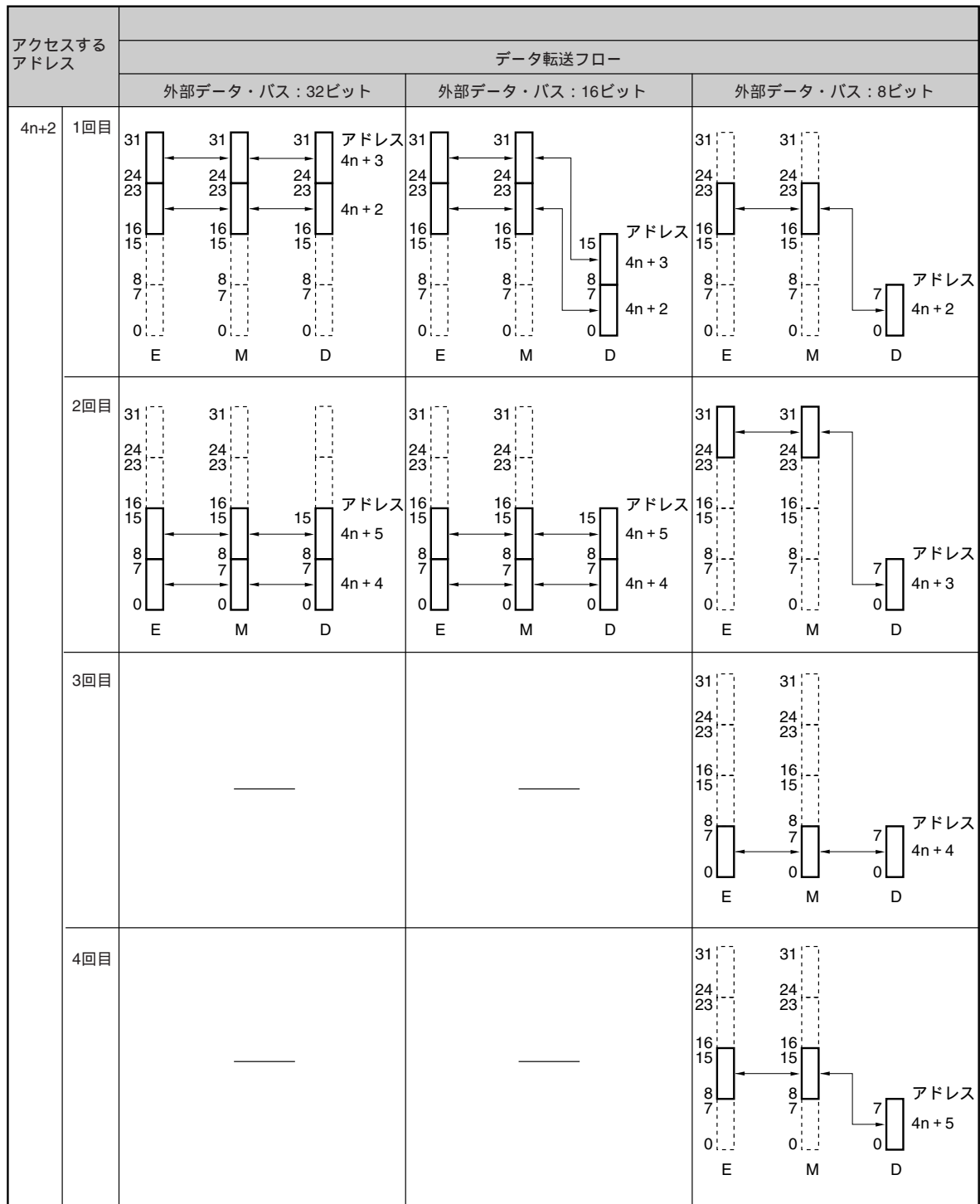
備考 E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

表 11-24 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (2/4)



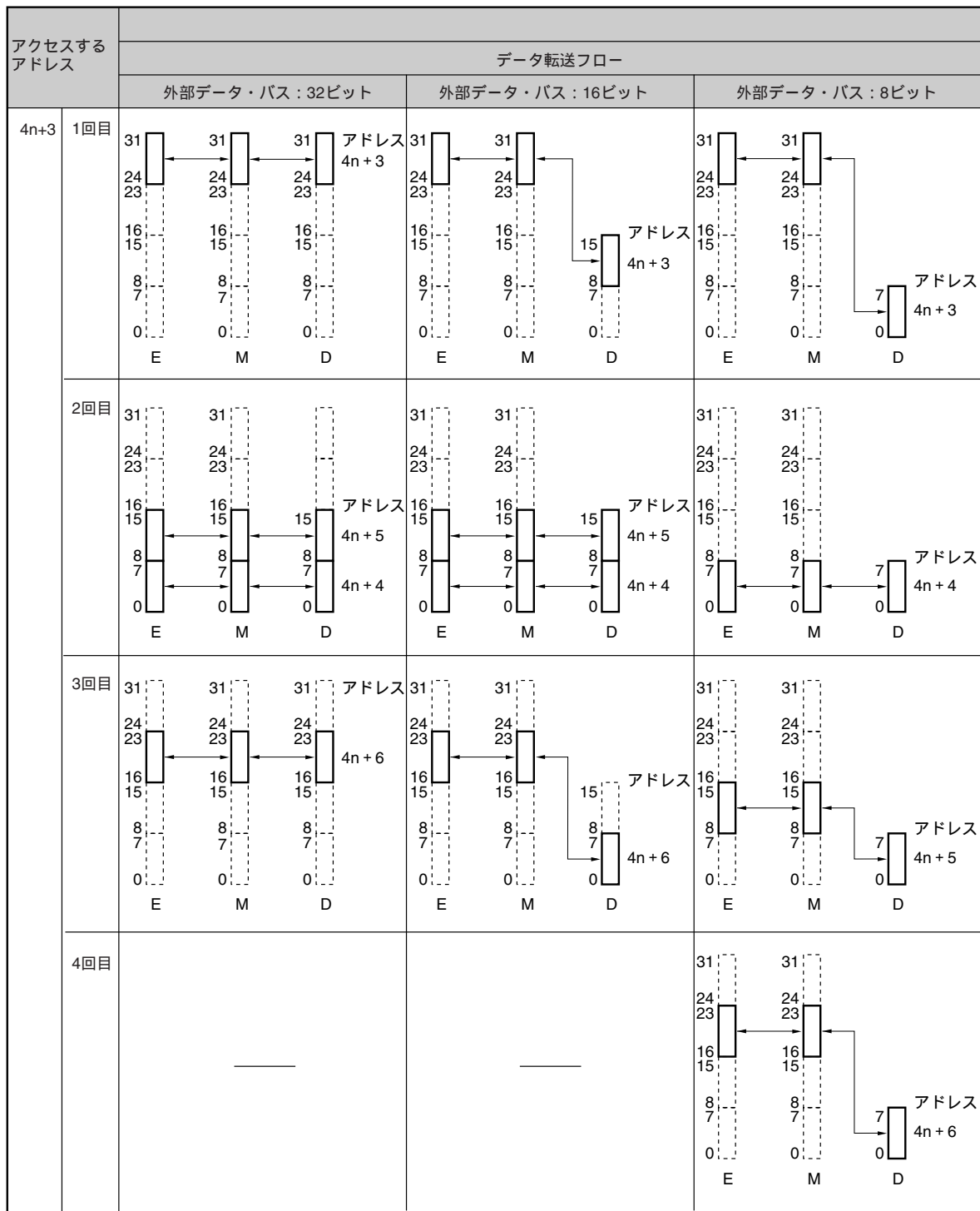
備考 E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

表 11-25 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (3/4)



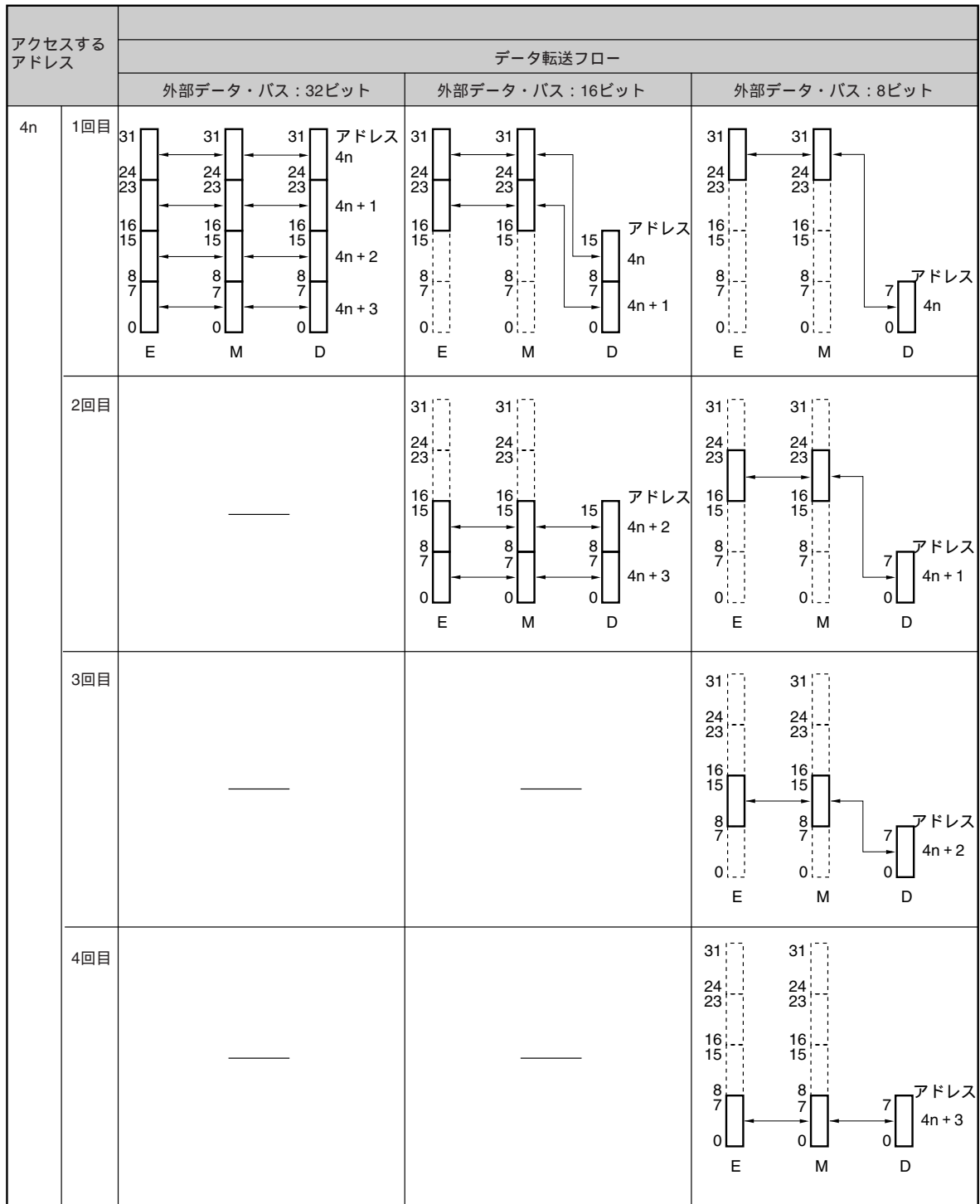
備考 E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

表 11-26 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (4/4)



備考 E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

表 11-27 ワード・アクセス時のデータ・フロー (ビッグ・エンディアン)



備考 1. E : 内部バス
M : MEMC データ・バッファ
D : 外部データ・バス
n = 0, 1, 2, 3, ...

2. 先頭アドレスが 4n+1, 4n+2, 4n+3 で始まるアクセスは禁止です。

第12章 タイマ・アレイ・ユニットA (TAUA)

この章では、タイマ・アレイ・ユニットA (TAUA) について説明します。
最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/MN4 に固有の特徴について説明します。
以降の節で、TAUA 搭載製品に共通の特徴について説明します。

12.1 V850E2/MN4 の TAUA の特長

ユニット この製品は次のユニット数の TAUA を搭載しています。

表 12-1 TAUA のユニット数

TAUA	
ユニット数	4
名称	TAUA0-TAUA3

n の意味 この章では、TAUA の各ユニットを「n」で識別します (n = 0-3)。たとえば、TAUAn チャネル出力モード・レジスタ (TAUAnTOM) のように記述していません。

m の意味 TAUA には 16 本のチャネルがあります。この章では、各チャネルを「m」で識別しており (m = 0-15)、特定のチャネルを CHm のように記述していません。
偶数チャネル (m = 0, 2, 4, 6, 8, 10, 12, 14) は CHm_even と記述します。
奇数チャネル (m = 1, 3, 5, 7, 9, 11, 13, 15) は CHm_odd と記述します。

レジスタ・アドレス TAUAn レジスタのアドレスは、それぞれのベース・アドレス <TAUAn_base_OS> および <TAUAn_base_USER> からのオフセットで表されます。
各 TAUAn のレジスタ・ベース・アドレス <TAUAn_base_OS> および <TAUAn_base_USER> を次の表に示します。

表 12-2 レジスタ・ベース・アドレス

TAUAn	ベース・アドレス	アドレス
TAUA0	<TAUAn_base_USER>	FFFF C400 _H
	<TAUAn_base_OS>	FF80 8000 _H
TAUA1	<TAUAn_base_USER>	FFFF C800 _H
	<TAUAn_base_OS>	FF80 9000 _H
TAUA2	<TAUAn_base_USER>	FFFF CC00 _H
	<TAUAn_base_OS>	FF80 A000 _H
TAUA3	<TAUAn_base_USER>	FFFF D000 _H
	<TAUAn_base_OS>	FF80 B000 _H

クロック供給 TAUA には次の1つのクロック入力があります。

表 12-3 TAUA_n クロック供給

TAUA _n	クロック	接続先
TAUA0	PCLK	f _{PCLK}
TAUA1	PCLK	f _{PCLK}
TAUA2	PCLK	f _{PCLK}
TAUA3	PCLK	f _{PCLK}

割り込みと DMA/DTS TAUA は次の割り込み要求と DMA/DTS 要求を発生させることができます。

表 12-4 TAUA_n 割り込みと DMA/DTS の要求

TAUA _n 信号	機能	接続先
TAUA0:		
INTTAUA0I[0:15]	チャンネル 0-15 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUA0I[0:15] • DMA コントローラ・トリガ 32-47 • DTS コントローラ・トリガ 32-47 • PIC : INTTAUA0I[15:0]
TAUA1:		
INTTAUA1I[0:15]	チャンネル 0-15 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUA1I[0:15] • DMA コントローラ・トリガ 48-63 • DTS コントローラ・トリガ 48-63 • PIC : INTTAUA1I[15:0]
TAUA2:		
INTTAUA2I[0:11]	チャンネル 0-11 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUA1I[0:11]
INTTAUA2I[12:15]	チャンネル 12-15 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUA2I[12:15] • DMA コントローラ・トリガ 64-67 • DTS コントローラ・トリガ 64-67
TAUA3:		
INTTAUA3I[0:15]	チャンネル 0-15 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUA3I[0:15] • DMA コントローラ・トリガ 68-83 • DTS コントローラ・トリガ 68-83

入出力信号 TAUA の入出力信号を次の表に示します。

表 12-5 TAUA_n 入出力信号

TAUA 信号	機能	接続先
TAUA0:		
TAUA0TTIN[0:15]	チャンネル [0:15] 入力	ポート TA0_I[0:15]
TAUA0TTOUT[0:15]	チャンネル [0:15] 出力	ポート TA0_O[0:15] PIC (TAUA0UDC[8, 2, 0])
TAUA0TSST[0:15]	チャンネル [0:15] スタート・トリガ入力	PIC0 TAUA0TSST[0:15]
TAUA1:		
TAUA1TTIN[0:15]	チャンネル [0:15] 入力	ポート TA1_I[0:15]
TAUA1TTOUT[0:15]	チャンネル [0:15] 出力	ポート TA1_O[0:15] PIC (TAUA1UDC[8, 2, 0])
TAUA1TSST[0:15]	チャンネル [0:15] スタート・トリガ入力	PIC0 TAUA1TSST[0:15]
TAUA2:		
TAUA2TTIN[0:15]	チャンネル [0:15] 入力	ポート TA2_I[0:15]
TAUA2TTOUT[0:15]	チャンネル [0:15] 出力	ポート TA2_O[0:15]
TAUA2TSST[12:15]	チャンネル [12:15] スタート・トリガ入力	PIC (TAUJ1TSST[0:3])
TAUA3:		
TAUA3TTIN[0:15]	チャンネル [0:15] 入力	ポート TA3_I[0:15]
TAUA3TTOUT[0:15]	チャンネル [0:15] 出力	ポート TA3_O[0:15]

TAUAn 割り込みと入出力信号を次の図に示します。

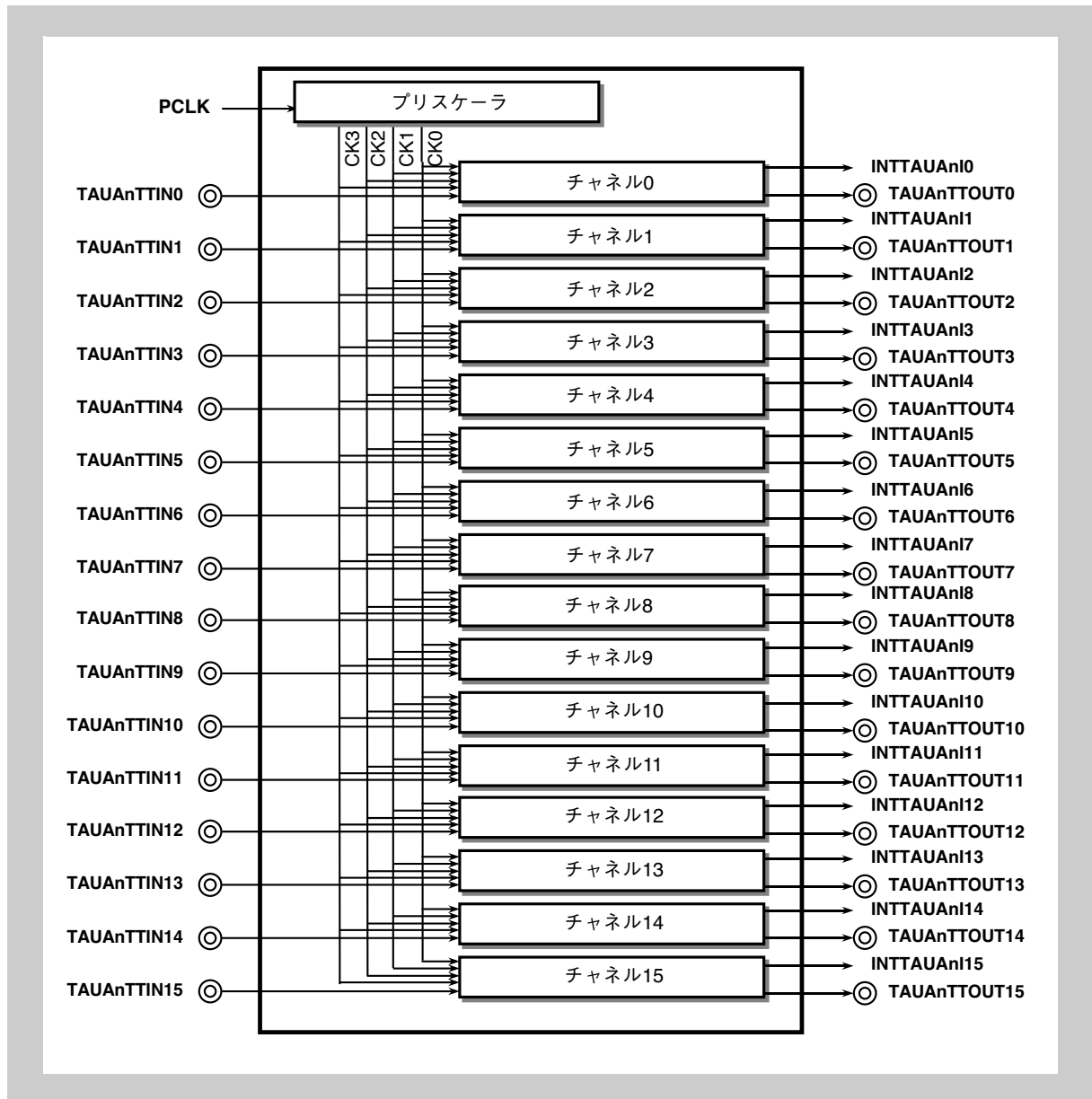


図 12-1 TAUA 入出力と割り込み信号

12.2 機能概要

機能概要 TAUA には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビット・カウンタおよび 16 ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUA の主な構成要素を次の図に示します。

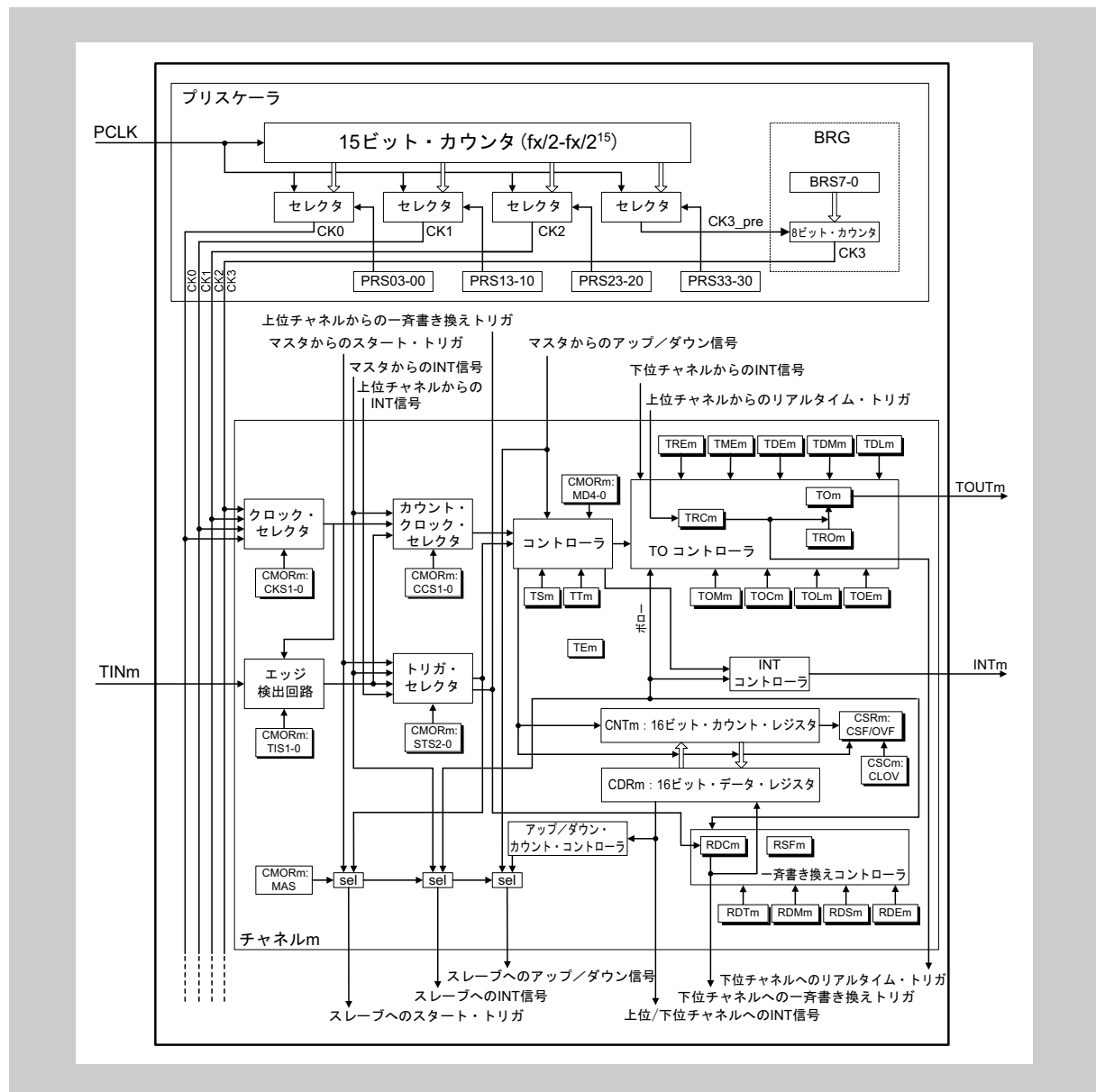


図 12-2 TAUA のブロック図

レジスタ名の「TAUAn」は、図を見やすくするために省略されています。

12.2.1 用語

この章で使用されている用語について説明します。

• チャンネル単体／連動動作

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

• チャンネル・グループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

• 動作モード

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャ・モード、イベント・カウント・モード、インターバル・タイマ・モードなどがあります。

• チャンネル出力モード

チャンネル出力モードは、次のチャンネルの $TAUAnTTOUTm$ の動作を規定します。

- 1つのチャンネル（単体出力動作）
- チャンネル・グループに属するすべてのチャンネル（連動出力動作）

チャンネル単体出力モード1、デッド・タイム出力付きチャンネル連動動作モード2などがあります。

• チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

• 上位／下位チャンネル

チャンネル m から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

12.3 機能説明

TAUA は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 16 ビット・カウンタ TAUAnCNTm と 16 ビット・データ・レジスタ TAUAnCDRm をそれぞれ備えた 16 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

プリスケアラ

プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウント・クロック CK0-CK2 は、プリスケアラにより PCLK の 2^0 - 2^{15} の分周したクロックを選択することができます。4つ目のカウント・クロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよび カウント・クロック の選択

クロック・カウント・セレクタは、各チャンネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロック・セレクタにより選択)
- マスタ・チャンネルからの INTTAUAnIm
- TAUAnTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUAnCMORm.TAUAnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUAnTS.TAUAnTSm) およびカウント停止 (TAUAnTT.TAUAnTTm)

カウントの開始を許可すると、ステータス・フラグ TAUAnTE.TAUAnTEm がセットされます。

- カウント方式 (アップ/ダウン) (マスタ・チャンネルにより制御可能)

トリガ・セレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUAnTE.TAUAnTEm = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャンネル連動スタート・トリガ入力 TAUAnTSSTm
TAUAnTTINm 入力の有効エッジ
- マスタ、または上位チャンネルからの INTTAUAnIm

- マスタ・チャンネルのアップ/ダウン出力トリガ信号
- TAUAnTTOUTm 生成ユニットのデッド・タイム出力信号

一斉書き換えコントローラ 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUAnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。

TAUAnTOコントローラ 各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

12.3.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 12-6 TAUA 動作機能一覧 (1/2)

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
TAUAnTTINm 入力インターバル・タイマ機能	トリガ・スタート PWM 出力機能
ディレイ・カウント機能	ディレイ・パルス出力機能
ワンパルス出力機能	A/D 変換トリガ出力機能タイプ 1
チャンネル単体信号測定機能	外部信号でトリガされる連動 PWM 信号機能
TAUAnTTINm 入力パルス・インターバル測定機能	ワンショット・パルス出力機能
TAUAnTTINm 入力信号幅測定機能	オフセット・トリガ出力機能
オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時)	同期三角波 PWM 出力機能
TAUAnTTINm 入力期間カウント検出機能	三角波 PWM 出力機能
オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)	デッド・タイム付き三角波 PWM 出力機能
TAUAnTTINm 入力パルス・インターバル判定機能	A/D 変換トリガ出力機能タイプ 2
TAUAnTTINm 入力信号幅判定機能	連動非相補方式変調出力機能と連動相補方式変調出力機能
チャンネル単体リアルタイム機能	非相補方式変調出力機能タイプ 1
リアルタイム出力機能 タイプ 1	非相補方式変調出力機能タイプ 2
リアルタイム出力機能 タイプ 2	相補方式変調出力機能
チャンネル単体一斉書き換え機能	その他のチャンネル連動機能
一斉書き換えトリガ生成機能 タイプ 1	割り込み信号間引き機能
一斉書き換えトリガ生成機能 タイプ 2	
チャンネル単体 1 相 PWM 機能	
1 相 PWM 出力機能	
その他チャンネル単体機能	

表 12-6 TAUA 動作機能一覧 (2/2)

単体動作機能	連動動作機能
外部イベント・カウント機能	
クロック分周機能	
TAUAnTTINm 入力位置検出機能	

12.4 基本操作手順

TAUAn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUAnTTOU_{Tm} の制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUAnTPS と TAUAnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUAn 機能を設定してください。
 - 動作モードを設定してください。
 - チャネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
3. TAUAnTS.TAUAnTS_m ビットを 1 に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
機能は動作中です。

4. 必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. TAUAnTT.TAUAnTT_m ビットを 1 に設定して機能を停止してください。

備考 必要な制御ビットと各機能の動作の詳細は、583 ページの 12.14 「チャネル単体動作機能」と 703 ページの 12.21 「チャネル連動動作機能」を参照してください。

12.5 動作モード

TAUA には 12 の動作モードがあります。

各チャンネルに動作モードを 1 つ指定できます。動作モードは、TAUAnCMORm.TAUAnMD[4:0] ビットで指定します。

備考 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

12.6 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、第15章「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 549 ページの 12.6.2 「連動チャンネル・カウンタの同時動作開始/停止」
- 550 ページの 12.7 「一斉書き換え」

12.6.1 ルール

マスタおよびスレーブ・チャンネル数

- マスタ・チャンネルには、偶数チャンネル (CH0, CH2, CH4, ...) のみ設定できます。スレーブ・チャンネルには、CH0 を除くすべてのチャンネルを設定できます。
- マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。
例：CH2 がマスタ・チャンネルの場合、CH3 以下 (CH3, CH4, CH5, ...) をスレーブ・チャンネルに設定できます。
- マスタ・チャンネルを複数使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。
例：CH0, CH4 がマスタ・チャンネルの場合、CH0 に対して CH1-CH3 までをスレーブ・チャンネルとして設定できますが、CH5-CH15 は設定できません。

動作クロック

- マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルの TAUA_nCMOR_m.TAUA_nCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

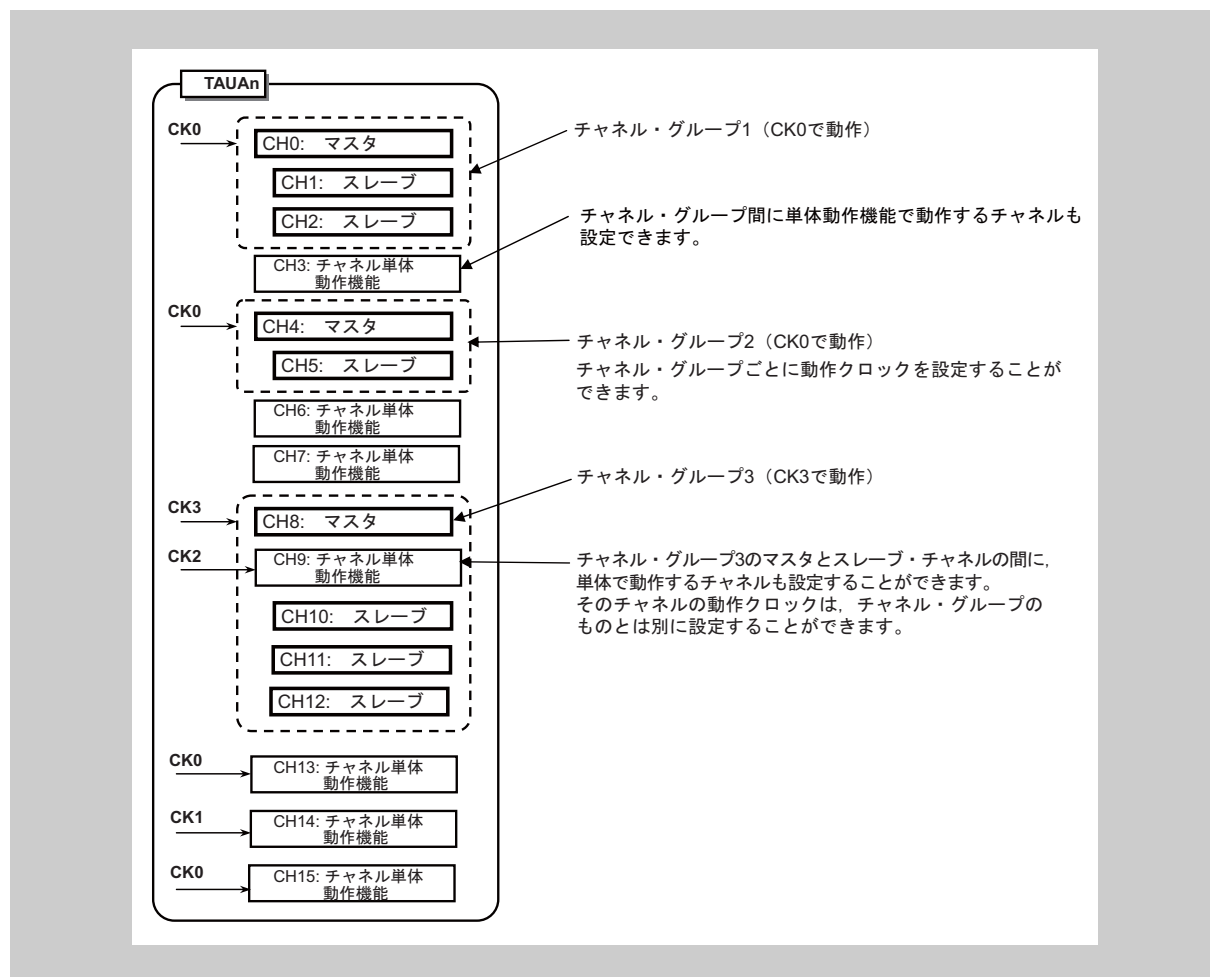


図 12-3 チャンネルのグループ化と動作クロックの割り当て

マスタ・チャンネル、スレーブ・チャンネルの制御トリガ信号

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号Iを使用できますが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

12.6.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

(1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらのTAUAnTS.TAUAnTSM ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらのTAUAnTT.TAUAnTTm ビットを同時に設定する必要があります。

TAUAnTS.TAUAnTSM ビットに1を設定することにより、対応するTAUAnTE.TAUAnTEm ビットが1にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

12.7 一斉書き換え

12.7.1 概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUAnCDRm, TAUAnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタ・チャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUAnRDC.TAUAnRDCm で指定された上位チャンネルにて INTTAUAnIm が発生した場合

一斉書き換えは4つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 12-7 一斉書き換え方法とトリガ・タイミング

方式	一斉書き換えがトリガされるタイミング	TAUAn RDE. TAUAn RDEm	TAUAn RDS. TAUAn RDSm	TAUAn RDM. TAUAn RDMm
-	一斉書き換えが行われない場合	0	0	0
A	マスタ・チャンネルがカウントを再開/開始した場合	1	0	0
B	スレーブ・チャンネルの三角波周期の [山] のタイミングでダウン・カウントを開始した場合	1	0	1
C1	TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合	1	1	0
C2	外部信号によりトリガされる TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合	1	1	0

4つの方法のうち、各チャンネル動作機能で使用できる方法を次の表に示します。各チャンネル動作機能の詳細は、583ページの12.14「チャンネル単体動作機能」と703ページの12.21「チャンネル連動動作機能」を参照してください。

表 12-8 一斉書き換え方法とトリガ・タイミング (1/2)

機能	-	A	B	C1	C2
一斉書き換えトリガ出力機能タイプ1				X	
PWM 出力機能		X		X	
ワンショット・パルス出力機能		X			
トリガ・スタート PWM 出力機能		X			X
オフセット・トリガ出力機能	X				
ディレイ・パルス出力機能		X			
三角波 PWM 出力機能			X	X	

表 12-8 一斉書き換え方法とトリガ・タイミング (2/2)

機能	-	A	B	C1	C2
デッド・タイム付き三角波 PWM 出力機能			X	X	
割り込み信号間引き機能		X	X	X	
AD 変換トリガ出力機能タイプ 1		X		X	
AD 変換トリガ出力機能タイプ 2			X	X	
非相補方式変調出力機能タイプ 1		X		X	
非相補方式変調出力機能タイプ 2			X	X	
相補方式変調出力機能			X	X	

12.7.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

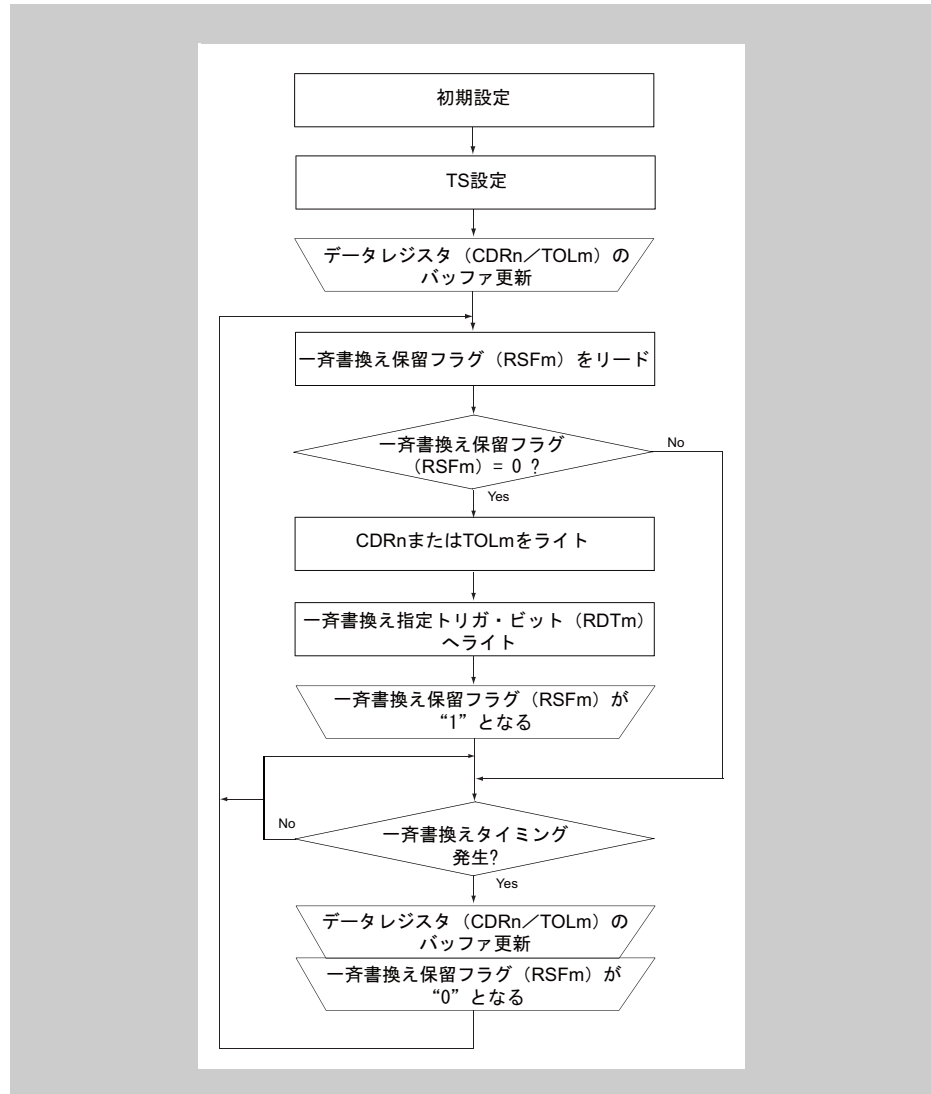


図 12-4 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、
TAUAnRDE.TAUAnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUAnRDM.TAUAnRDMm と
TAUAnRDS.TAUAnRDSm を 550 ページの表 12-7 「一斉書き換え方法と
トリガ・タイミング」に示す値に設定してください。
- TAUAnRDC.TAUAnRDCm で、一斉書き換えトリガ生成チャンネルを指定
してください（前提：上位チャンネルに TAUAnRDS.TAUAnRDSm が設定され
ている）。

(2) カウント開始とカウント動作

- チャンネル・グループに属するすべての TAUAnCNTm カウンタ動作を開始するには、対応する TAUAnTS.TAUAnTSm ビットを 1 に設定してください。TAUAnTOL.TAUAnTOLm とデータ・レジスタ (TAUAnCDRm) の値は、対応する TAUAnTOL.TAUAnTOLm バッファ (TAUAnTOL.TAUAnTOLm buf) とデータ・バッファ・レジスタ (TAUAnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、リロード・フラグ (TAUAnRSF.TAUAnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUAnRSF.TAUAnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUAnRSF.TAUAnRSFm = 1) されているかを確認するために TAUAnRSF.TAUAnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可 (TAUAnRSF.TAUAnRSFm = 1) されると、データ・レジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUAnRSF.TAUAnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

12.7.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUAnTE.TAUAnTEm = 1) は、TAUAnRDE.TAUAnRDEm, TAUAnRDS.TAUAnRDSm, TAUAnRDM.TAUAnRDMm, TAUAnRDC.TAUAnRDCm を変更することはできません。
- TAUAnTOL.TAUAnTOLm は、PWM 出力機能、または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUAnTOL.TAUAnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUAnTTOUTm は不正な波形を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUAnRDS.TAUAnRDSm = 1)、すべての下位チャンネルは TAUAnRDC.TAUAnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUAnRDC.TAUAnRDCm ビットを 1 に設定し、ほかのチャンネルの TAUAnRDC.TAUAnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3-CH6 を制御し、CH7 は、下位チャンネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUAnRDE.TAUAnRDEm, TAUAnRDS.TAUAnRDSm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUAnRDC.TAUAnRDC[15:0] = 0)、一斉書き換えは行いません。

12.7.4 一斉書き換えの種類

次に、タイミング図を使用して4つの一斉書き換え方法を説明します。

(1) マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

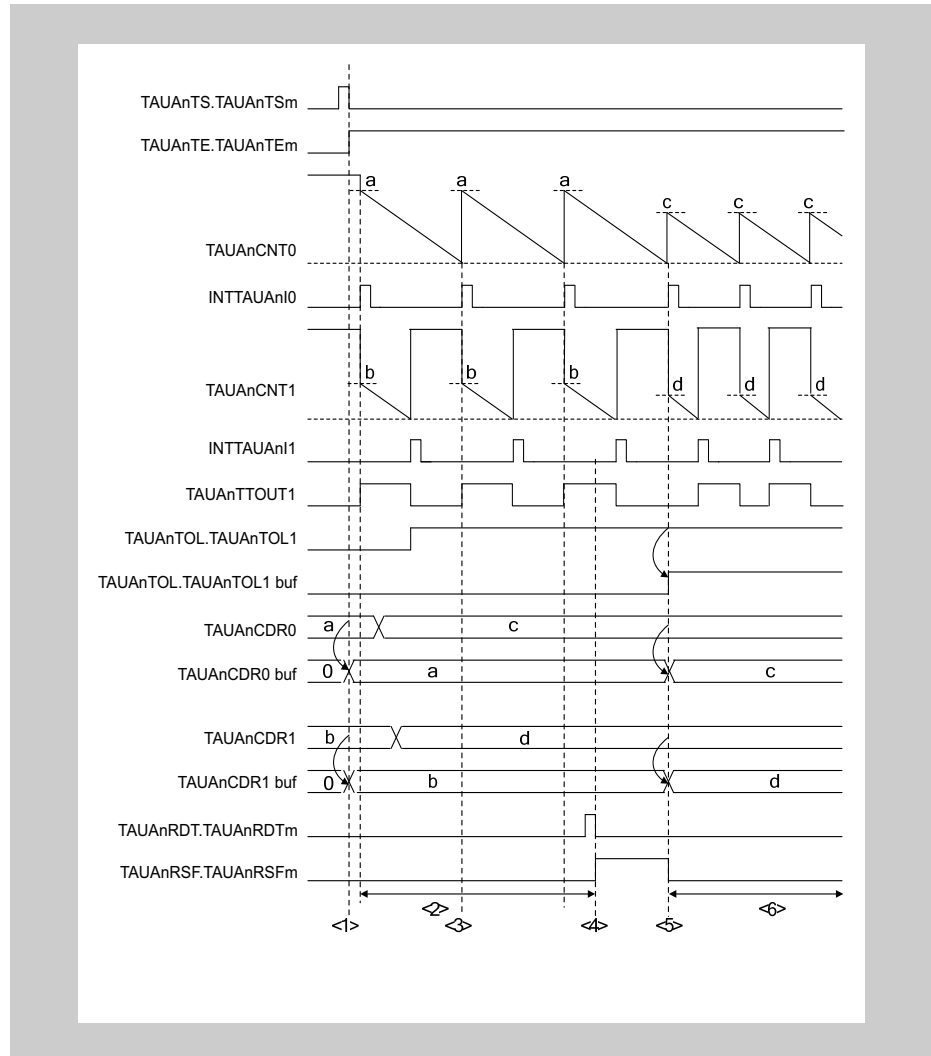


図 12-5 マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 A が適用されます。

説明：

1. TAUAnTS.TAUAnTSM = 1 に設定すると、TAUAnCDRm の値が TAUAnCDRm バッファに、TAUAnTOL.TAUAnTOLm の値が TAUAnTOL.TAUAnTOLm バッファにコピーされます。
2. TAUAnCDRm と TAUAnTOL.TAUAnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUAnRSF.TAUAnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUAnRSF.TAUAnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUAnCDRm の値は TAUAnCDRm バッファに、TAUAnTOL.TAUAnTOLm の値は TAUAnTOL.TAUAnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUAnCDRm と TAUAnTOL.TAUAnTOLm の値は再変更できません。

(2) スレーブ・チャンネルの三角波周期の[山]のタイミングで一斉書き換え (方法B)

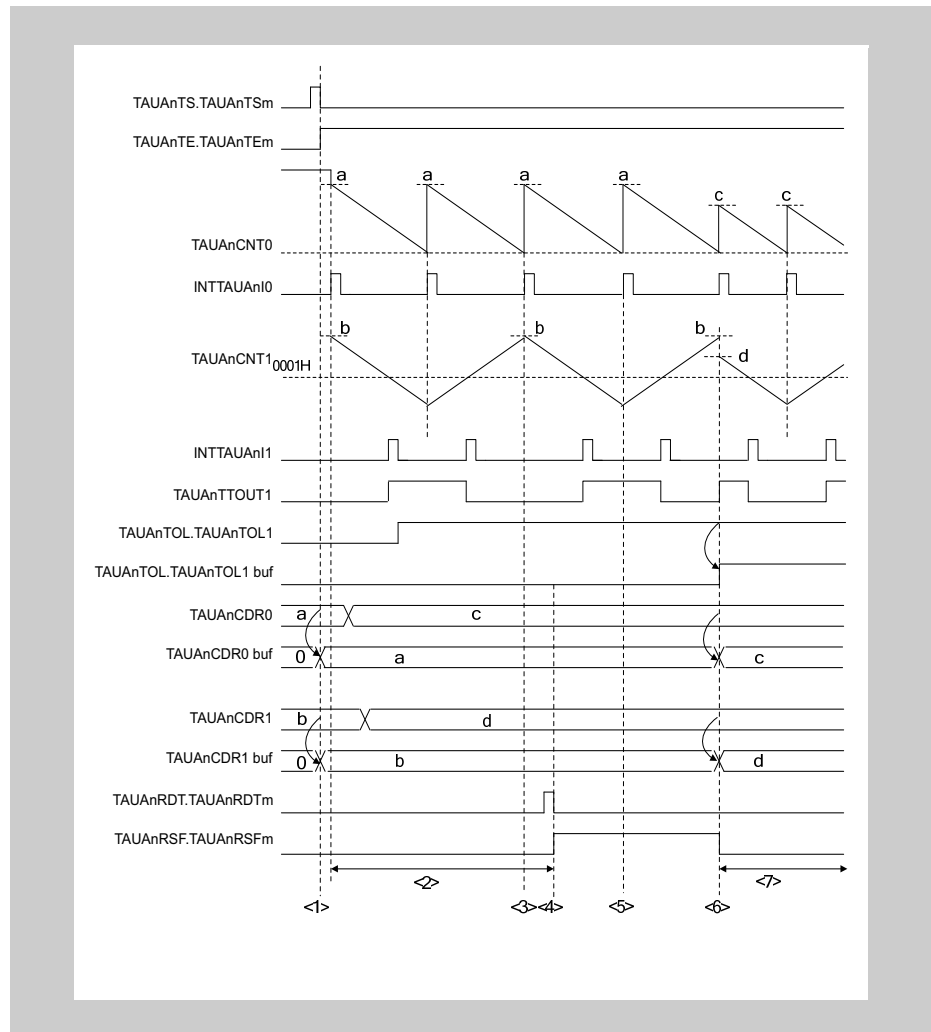


図 12-6 スレーブ・チャンネルの三角波周期の[山]のタイミングで一斉書き換え

設定

- CH0 は、ダウン/アップ・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 B が適用されます。

説明：

1. $TAUAnTS.TAUAnTSM = 1$ に設定すると、 $TAUAnCDRm$ の値が $TAUAnCDRm$ バッファにコピーされます。
2. $TAUAnCDRm$ と $TAUAnTOL$ レジスタは常に書き込みます。
3. 一斉書き換えは許可されていないため行われません ($TAUAnRSF.TAUAnRSFm = 0$)。
4. リロード・データ・トリガ・ビット ($TAUAnRDT.TAUAnRDTm$) を 1 に設定することにより、ステータス・フラグが設定され ($TAUAnRSF.TAUAnRSFm = 1$)、一斉書き換えが許可されます。
5. 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。
6. 一斉書き換えは、三角波周期の [山] のスタート・タイミングで行われます。 $TAUAnCDRm$ の値は $TAUAnCDRm$ バッファに、 $TAUAnTOL.TAUAnTOLm$ の値は $TAUAnTOL.TAUAnTOLm$ バッファにロードされます。
7. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。 $TAUAnCDRm$ と $TAUAnTOL.TAUAnTOLm$ の値は再変更できます。

(3) TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合の一斉書き換え (方法 C1)

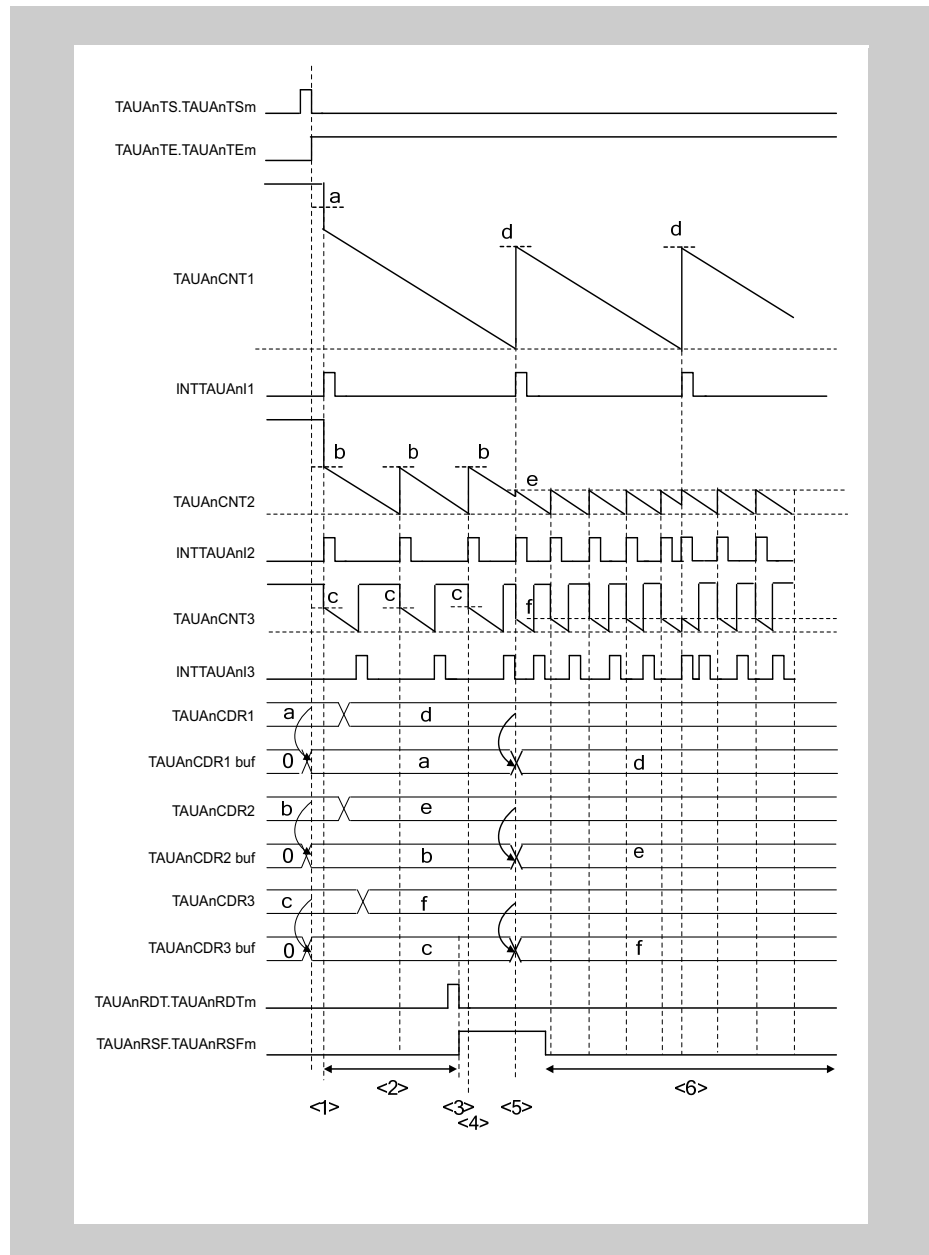


図 12-7 TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウン・カウントを行う上位チャンネルです。CH2 は、マスタ・チャンネルです。CH3 は、スレーブ・チャンネルです。一斉書き換え方法 C1 が適用されます。TAUAnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

1. TAUAnTS.TAUAnTSM = 1 に設定すると、TAUAnCDRm の値が TAUAnCDRm バッファにコピーされます。
2. TAUAnCDRm レジスタは常に書き込みます。
3. リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUAnRSF.TAUAnRSFm = 1)、一斉書き換えが許可されます。
4. 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
5. 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUAnCDRm の値は対応する TAUAnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUAnCDRm レジスタの値は再変更できます。

(4) 外部信号によりトリガされる TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合の一斉書き換え (方法 C2)

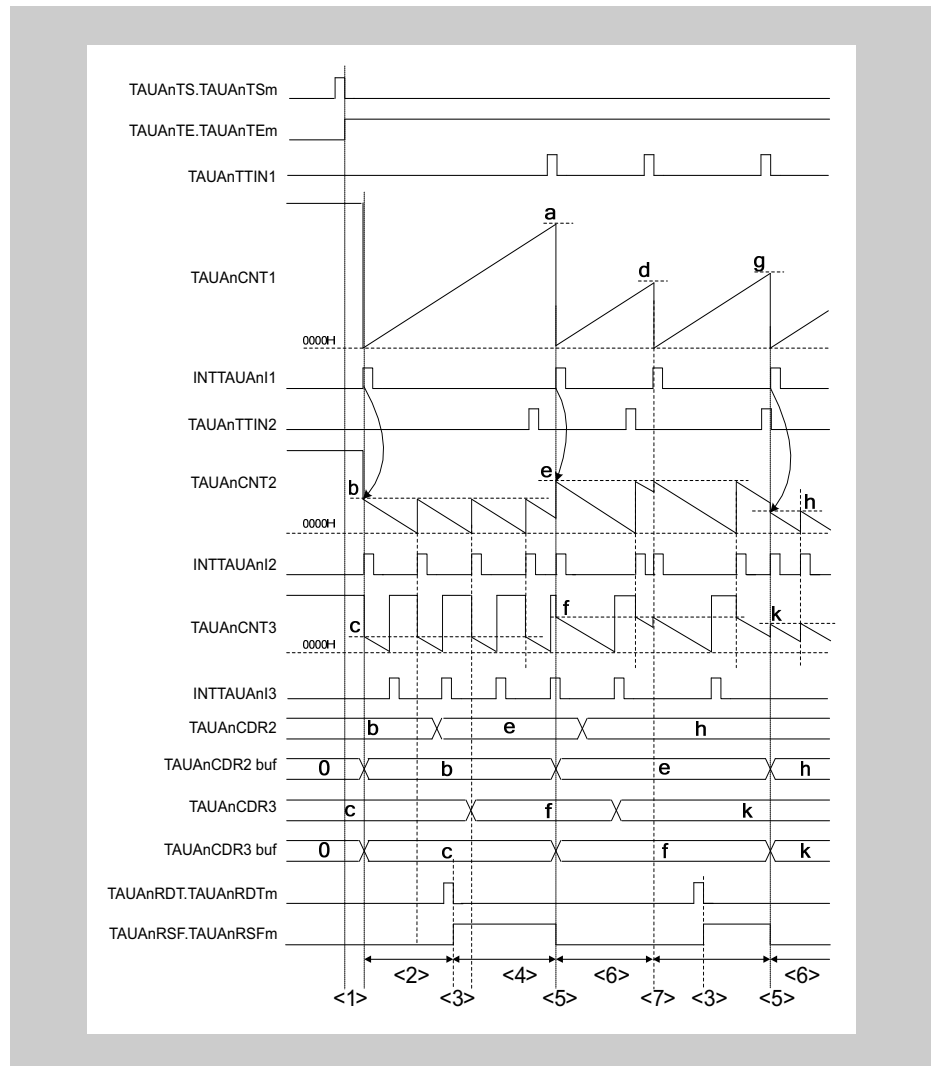


図 12-8 外部信号によりトリガされる TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウン・カウントを行う上位チャンネルです。CH2 は、マスタ・チャンネルです。CH3 は、スレーブ・チャンネルです。チャンネル連動動作方法 C2 が適用されます。TAUAnRDC レジスタは、INTTAUAnIm トリガにてモニタする上位チャンネルを指定します。

説明：

1. TAUAnTS.TAUAnTSM = 1 に設定すると、TAUAnCDRm の値が TAUAnCDRm バッファにコピーされます。
2. TAUAnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUAnRSF.TAUAnRSFm = 1)、一斉書き換えが許可されます。
4. 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
5. 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUAnCDRm の値は、対応する TAUAnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUAnCDRm レジスタの値は再変更できます。
7. TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない (TAUAnRSF.TAUAnRSFm = 0) ため行われません。

12.8 チャンネル出力モード

TAUAnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUAnTOE.TAUAnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUAnTO.TAUAnTOM) に書き込んだ値は、出力端子 (TAUAnTTOUTm) に転送されます。

- TAUA 信号による制御 (TAUAnTOE.TAUAnTOEm = 1)

TAUA 信号で制御した場合、TAUAnTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUAnTTOUTm の値を反映するために、TAUAnTO.TAUAnTOM の値は更新されます。

- 単体制御 (TAUAnTOM.TAUAnTOMm = 0)

単体動作の場合、TAUAnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUAnTOM.TAUAnTOMm = 0) する必要があります。

- 連動制御 (TAUAnTOM.TAUAnTOMm = 1)

連動動作の場合、TAUAnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUAnTOM.TAUAnTOMm = 1)。

TAUAnTO.TAUAnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUAnTTOUTm の現在の値を確認することができます。

制御ビット 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、563 ページの表 12-9 「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 565 ページの 12.8.2 「TAUA 信号により単体制御されるチャンネル出力モード」
- 567 ページの 12.8.3 「TAUA 信号により連動制御されるチャンネル出力モード」

TAUAnTOM ビットの一括操作 TAUAnTOM ビットへの設定値の反映 / 非反映は、TAUAnTOE.TAUAnTOEm ビットにより制御されます。

TAUAnTO レジスタにライトした時に、TAUAnTOE.TAUAnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUAnTOM の設定値の書き込みが行われます。TAUAnTOE.TAUAnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUAnTOM の設定値は反映されません。

備考 TAUAnTO.TAUAnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理 出力の正論理または反転論理は、制御ビット TAUAnTOL.TAUAnTOLm で指定します。

TAUAnTOL.TAUAnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUAnTOL.TAUAnTOLm を変更すると、TAUAnTOUTm 信号の出力は不定になります。

550 ページの 12.7 「一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを次の表に示します。

表 12-9 チャンネル出力モード

チャンネル出力モード	TAUAn TOE. TAUAn TOEm	TAUAn TOM. TAUAn TOMm	TAUAn TOC. TAUAn TOCm	TAUAn TDE. TAUAn TDEm	TAUAn TRE. TAUAn TREM	TAUAn TME. TAUAn TMEm	TAUAn TDM. TAUAn TDMm
ソフトウェア制御							
ソフトウェア制御のチャンネル単体出力モード	0	X					
TAUA 信号による単体動作制御							
チャンネル単体出力モード 1	1	0	0	0	0	0	0
リアルタイム出力					1		
チャンネル単体出力モード 2			1		0		
TAUA 信号による連動動作制御							
チャンネル連動出力モード 1	1	1	0	0	0	0	0
非相補方式変調出力					1	1	
チャンネル連動出力モード 2			1	0	0	0	0
デッド・タイム出力				1			
1 相 PWM 出力							1
相補方式変調出力					1	1	0
非相補方式変調出力			1	0			

- 表に記述のない組み合わせは禁止です。
- "x" が記されているビットは、任意の値を設定できます。

備考 次のビットは、カウント動作中 (TAUAnTE.TAUAnTEm = 1) は変更できません。

- TAUAnTOE.TAUAnTOEm
- TAUAnTOM.TAUAnTOMm
- TAUAnTOC.TAUAnTOCm
- TAUAnTDE.TAUAnTDEm
- TAUAnTRE.TAUAnTREM
- TAUAnTDM.TAUAnTDMm

次のビットは、変調出力を行うチャンネル出力モードを除き、カウント動作中 (TAUAnTE.TAUAnTEm = 1) は変更できません。

- TAUAnTME.TAUAnTMEm
- TAUAnTDL.TAUAnTDLm

12.8.1 チャンネル出力モードを指定するための基本手順

TAUAnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUAnTOE.TAUAnTOEm = 0)。

1. TAUAnTO.TAUAnTOm を設定して TAUAnTTOUTm 出力の初期レベルを指定してください。
2. 563 ページの表 12-9 「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUAnTOL.TAUAnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUAnTS.TAUAnTSm = 1)。

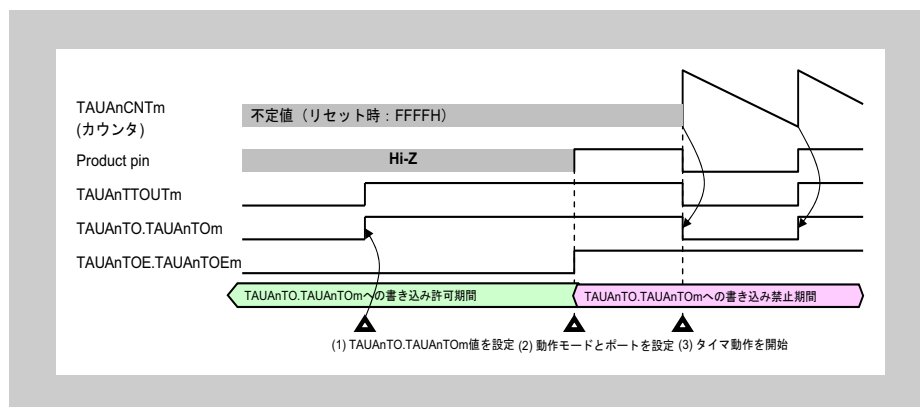


図 12-9 TAUAnTTOUTm チャンネル出力モードを指定するための基本手順

12.8.2 TAUAn 信号により単体制御されるチャネル出力モード

この節では、TAUAn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、563 ページの表 12-9 「チャネル出力モード」に示します。

(1) チャネル単体出力モード 1

- セット/リセット条件** この出力モードでは、INTTAUAnIm が検出されると TAUAnTTOUTm がトリガされます。TAUAnTOL.TAUAnTOLm の値は無視されます。
- 前提条件** 563 ページの表 12-9 「チャネル出力モード」に示す条件以外の条件はありません。

(2) リアルタイム出力を行うチャネル単体出力モード 1

- この出力モードでは、トリガ・チャネルの TAUAnTRO.TAUAnTROm ビットが TAUAnTTOUTm に出力されます。トリガ・チャネルは、対応する TAUAnTRC.TAUAnTRCm ビットを 1 に設定することで指定します。トリガ・チャネルは、TAUAnTRC.TAUAnTRCm = 0 が設定されているすべての下位チャネルを制御します。
- セット/リセット条件** TAUAnTRO.TAUAnTROm ビットの値は、トリガ・チャネルで INTTAUAnIm 割り込みが発生した場合にのみ TAUAnTTOUTm に転送されます。INTTAUAnIm 割り込みは、次のいずれかの場合に発生します。
- 指定した周期
 - 有効な TAUAnTTINm 入力エッジ、またはカウント開始の検出
- トリガの種類は、TAUAnCMORm.TAUAnMD[4:1] ビットで設定します。
- 前提条件** マスタ/スレーブ・チャネルは、ともにトリガ生成チャネルとして設定できません。TAUAnTRC.TAUAnTRCm を 1 に設定したチャネルは、TAUAnTRE.TAUAnTREM を 0 に設定しても、トリガ生成チャネルとして動作します。1 に設定したチャネルがない場合、または TAUAnTRC.TAUAnTRC0 = 0 の場合、リアルタイム出力は行えません。

これを次の図に示します。

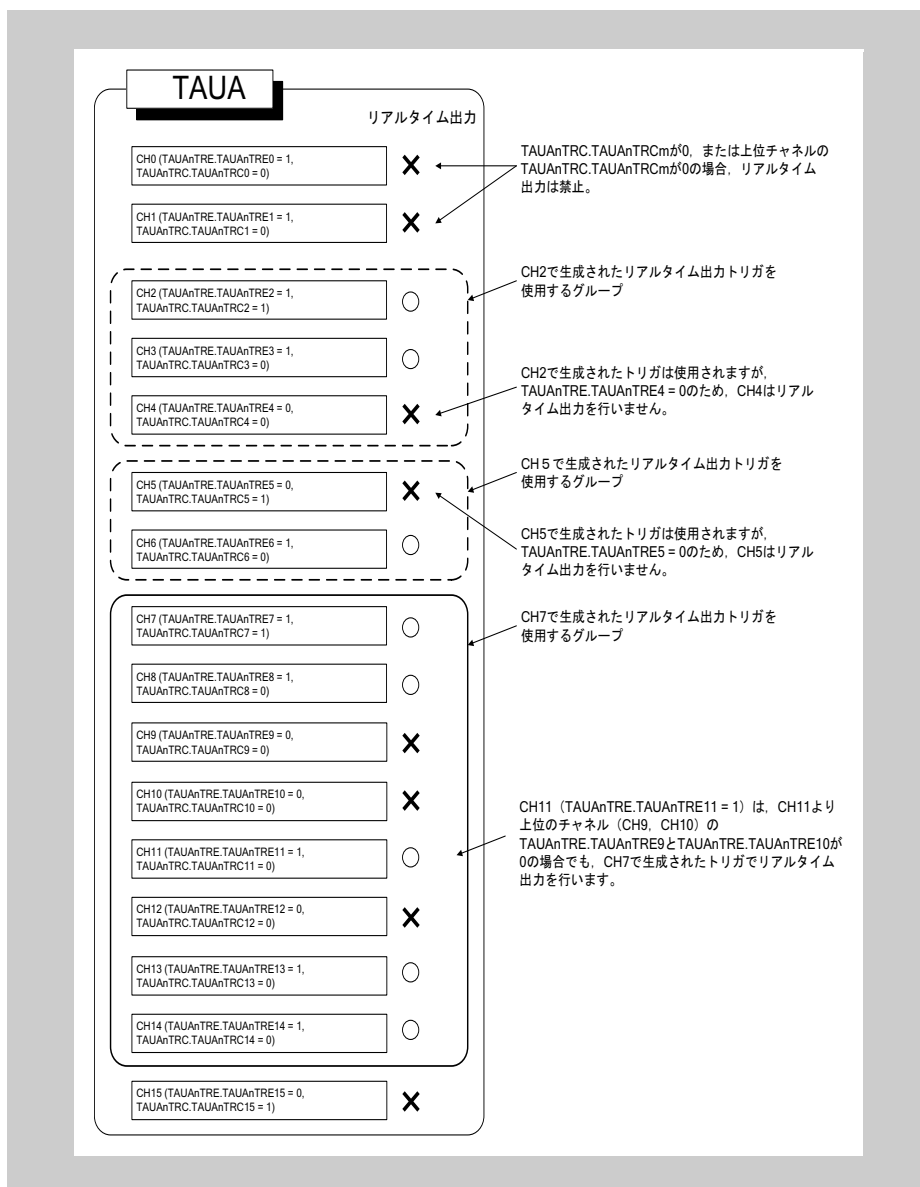


図 12-10 リアルタイム出力

(3) チャンネル単体出力モード 2

セット/リセット条件

この出力モードでは、TAUAnTTOUTm は、カウント開始のINTTAUAnIm発生でセット、TAUAnCNTm と TAUAnCDRm の一致によるINTTAUAnIm発生でリセットされます。

前提条件

563 ページの表 12-9 「チャンネル出力モード」に示す条件以外の条件はありません。

12.8.3 TAUAn 信号により連動制御されるチャンネル出力モード

この節では、TAUAn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、563 ページの表 12-9 「チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件 この出力モードでは、マスタ・チャンネルの INTTAUAnIm がセット信号、スレーブ・チャンネルの INTTAUAnIm がリセット信号となります。マスタ・チャンネルの INTTAUAnIm とスレーブ・チャンネルの INTTAUAnIm が同時発生した場合、スレーブ・チャンネルの INTTAUAnIm (リセット信号) は、マスタ・チャンネルの INTTAUAnIm (セット信号) より優先されます (マスタ・チャンネルは無視されます)。

前提条件 563 ページの表 12-9 「チャンネル出力モード」に示す条件以外の条件はありません。

(2) 非相補方式変調出力を行うチャンネル連動出力モード 1

セット/リセット条件 この出力モードでは、TAUAnTTOUtm は、あるチャンネルの PWM 出力とリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) 間の AND 演算の結果を出力します。

デッド・タイムが付加される位相は、正相位相の場合は TAUAnTDL.TAUAnTDLm = 0, 逆相位相の場合は TAUAnTDL.TAUAnTDLm = 1 を設定してください。

前提条件 PWM 出力を生成するには 3 つ以上のチャンネル 1 組が必要です。マスタ・チャンネルとスレーブ・チャンネル 1 は周期を生成し、スレーブ・チャンネル 2 はデューティ・サイクルを生成します。代表的なアプリケーションでは、スレーブ・チャンネル 2 と同様に動作するスレーブ・チャンネルをさらに 5 つ使用します。

同じチャンネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEem, TAUAnTDL.TAUAnTDLm は、カウント動作中のみ変更できます。

- TAUAnTME.TAUAnTMEem を変更した場合、TAUAnTME.TAUAnTMEem の新しい値は、指定したチャンネルで INTTAUAnIm が検出されたときに適用されます。
- TAUAnTME.TAUAnTMEem と TAUAnTDL.TAUAnTDLm を変更した場合、新しい値は、マスタ・チャンネルで INTTAUAnIm が検出されたときに適用されます。

(3) チャンネル連動出力モード 2

この出力モードでは、動作モードをアップ/ダウン・カウント・モードに設定する必要があります。その結果、TAUAnTTOUtm より三角波 PWM が出力

されます。詳細は 761 ページの 12.24.1 「三角波 PWM 出力機能」を参照してください。

セット/リセット条件 スレーブ・チャンネルの TAUAnCNTm は、アップ/ダウン・カウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUAnTTOUTm をトグルします。

前提条件 三角波 PWM 出力を生成するには 2 つで 1 組のチャンネルが必要です。TAUAnTTOUTm は、機能を開始する前に 0 に設定する必要があります。

(4) デッド・タイム出力を行うチャンネル連動出力モード 2

この出力モードでは、TAUAnTTOUTm にデッド・タイム遅延が付加されます。セット/リセット条件を次の図に示します。

セット/リセット条件

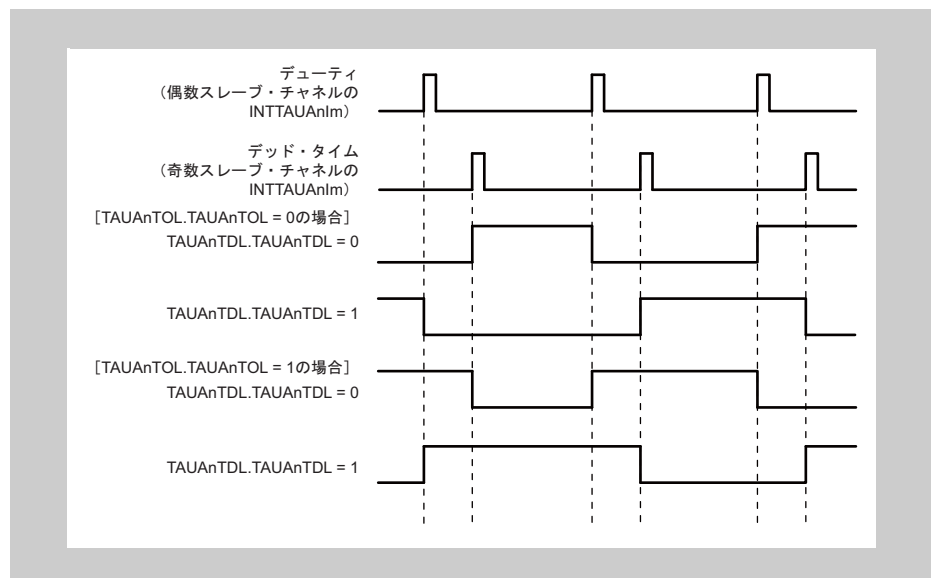


図 12-11 デッド・タイム出力を行うチャンネル連動出力モード 2 のセット/リセット条件

デッド・タイムが付加されるエッジは、立ち上がりエッジの場合は TAUAnTDL.TAUAnTDLm = 0、立ち下がりエッジの場合は TAUAnTDL.TAUAnTDLm = 1 を設定してください。

前提条件 デッド・タイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタ・チャンネル

マスタ・チャンネルは、インターバル・タイマ・モードに設定する必要があります。

- 偶数スレーブ・チャンネル

偶数スレーブ・チャンネルは、アップ/ダウン・カウント・モードに設定する必要があります。

- 奇数スレーブ・チャンネル (偶数チャンネル + 1)

奇数スレーブ・チャンネルは、ワンカウント・モードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUAnTOE.TAUAnTOEm
- TAUAnTME.TAUAnTMEem
- TAUAnTRE.TAUAnTREm
- TAUAnTOM.TAUAnTOMm
- TAUAnTOC.TAUAnTOCm
- TAUAnTDE.TAUAnTDEm
- TAUAnTDM.TAUAnTDMm

(5) 1相PWM出力を行うチャンネル連動出力モード2

この出力モードでは、TAUAnTTOUTmにデッド・タイム遅延が付加されます。セット/リセット条件を次の図に示します。

セット/リセット
条件

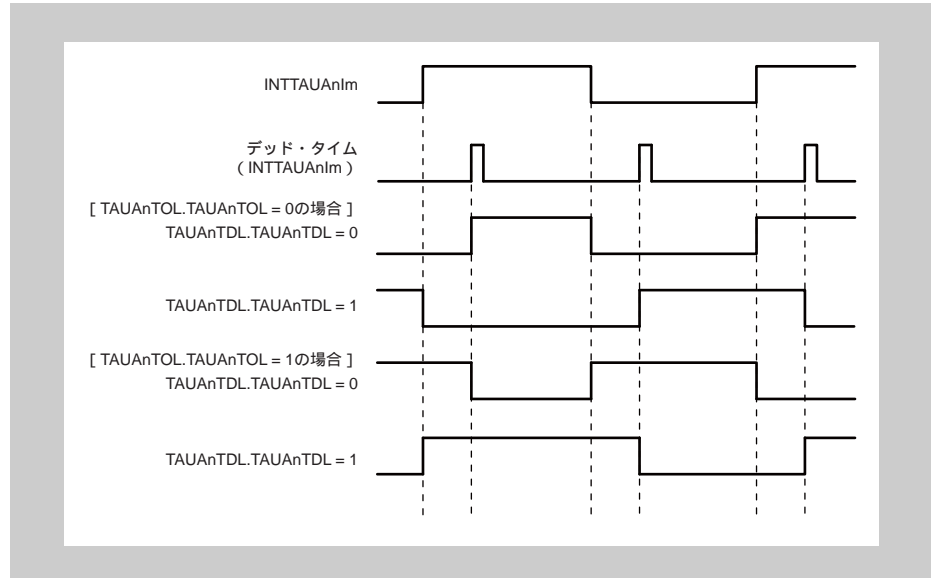


図 12-12 1相PWM出力を行うチャンネル連動出力モード2のセット/リセット条件

デッド・タイムが付加されるエッジは、立ち上がりエッジの場合はTAUAnTDL.TAUAnTDLm = 0、立ち下がりエッジの場合はTAUAnTDL.TAUAnTDLm = 1を設定してください。

前提条件 1相PWM出力を制御するには、2つで1組のチャンネルが必要です。

- 偶数スレーブ・チャンネル
- 奇数スレーブ・チャンネル (偶数チャンネル + 1)

奇数スレーブ・チャンネルは、ワンカウント・モードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUAnTOE.TAUAnTOEm
- TAUAnTME.TAUAnTMEem
- TAUAnTRE.TAUAnTREem
- TAUAnTOM.TAUAnTOMm
- TAUAnTOC.TAUAnTOCm
- TAUAnTDE.TAUAnTDEm
- TAUAnTDM.TAUAnTDMm

(6) 相補方式変調出力を行うチャンネル連動出力モード2

セット/リセット条件 この出力モードでは、TAUAnTTOuTm は、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm)、変調出力ビット (TAUAnTME.TAUAnTMEem)、出力レベル・ビット (TAUAnTOL.TAUAnTOLm) の値に応じて PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。

詳細は 817 ページの 12.25.3 「相補方式変調出力機能」を参照してください。

前提条件 このモードでは、4つ以上のチャンネル1組が必要です。マスタ・チャンネルとスレーブ・チャンネル1は周期を生成し、スレーブ・チャンネル2はデューティ・サイクルを生成し、スレーブ・チャンネル3はデッド・タイムを生成します。スレーブ・チャンネル2とスレーブ・チャンネル3は2つで1組です。代表的なアプリケーションでは、チャンネル2、チャンネル3と同様に動作するスレーブ・チャンネルをさらに4つ使用します。

TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEem,
TAUAnTDL.TAUAnTDLm は、カウント動作中のみ変更できます。

- TAUAnTME.TAUAnTMEem を動作中に変更した場合、TAUAnTME.TAUAnTMEem の新しい値は、指定したチャンネルで INTTAUAnIm が検出されたときに適用されます。
- TAUAnTME.TAUAnTMEem と TAUAnTDL.TAUAnTDLm を変更した場合、新しい値は、偶数スレーブ・チャンネルで INTTAUAnIm が検出されたときに適用されます。

(7) 非相補方式変調出力を行うチャンネル連動出力モード2

非相補方式変調出力を行うチャンネル連動出力モード1とは PWM 波形が異なります。

モード1では矩形波ですが、モード2では三角波です。

12.9 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUAnTS.TAUAnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注意 本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

12.9.1 インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モード

TAUAnTS.TAUAnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

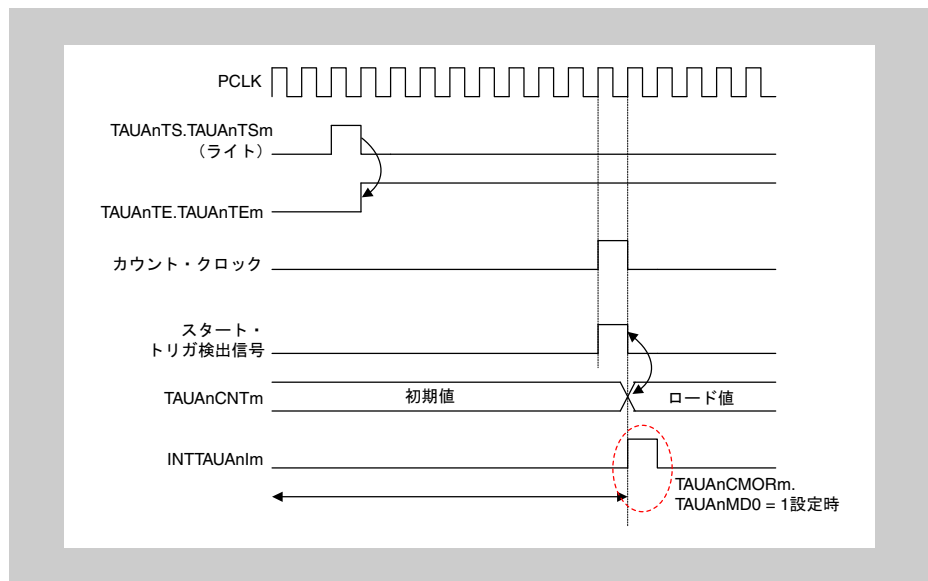


図 12-13 インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モードでの開始タイミング

12.9.2 イベント・モード

TAUAnTS.TAUAnTSM が 1 に設定されると、ただちにデータ・レジスタの値がロードされます。カウンタ動作もただちに開始されます。データ・レジスタの値は、以降のカウンタ・クロック・サイクルの開始時にインクリメントされます。

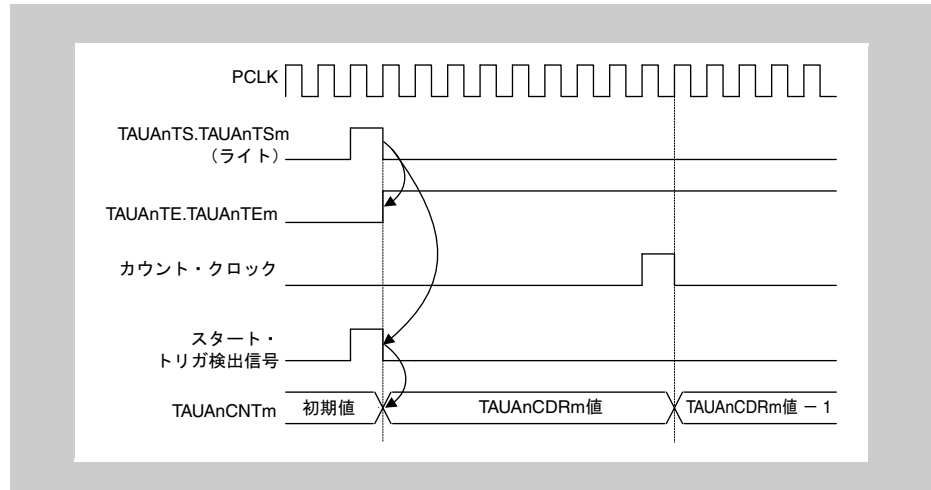


図 12-14 イベント・モード時の開始タイミング

12.9.3 その他の動作モード

その他の動作モードでは、カウンタ・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUAnTTINm の有効エッジ検出によってのみトリガされます。カウンタが開始されると、データ・レジスタ値もロードされます。カウンタ・クロック・サイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

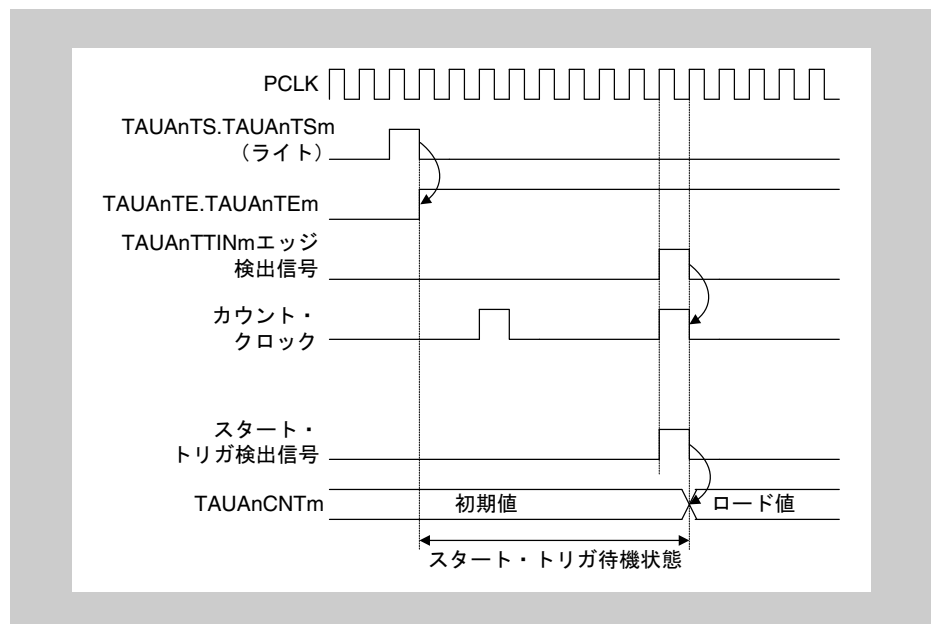


図 12-15 その他の動作モードでのカウンタ開始タイミング

12.10 カウント開始／リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成

カウンタのカウント開始時，TAUAnCMORm.TAUAnMD0 ビットで INTTAUAnIm を発生するかしないかを指定できます。次の表に示すように，ビットの影響は，選択したモードに依存します。INTTAUAnIm の TAUAnTTOUTm に対する影響は，選択したチャネル動作機能に依存します。

表 12-10 カウンタがトリガされた場合の TAUAnCMORm.TAUAnMD0 ビットの INTTAUAnIm 発生に対する影響

モード	TAUAnCMORm.TAUAnMD0 ビット	カウント開始時の INTTAUAnIm 発生
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	0	発生しない
	1	発生
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード イベント・カウント・モード アップ/ダウン・カウント・モード	0	発生しない
ワンカウント・モード ゲート・カウント・モード	0/1	TAUAnCMORm.TAUAnMD0 ビットの設定にかかわらず発生しない
パルス・ワンカウント・モード		TAUAnCMORm.TAUAnMD0 ビットの設定にかかわらず発生

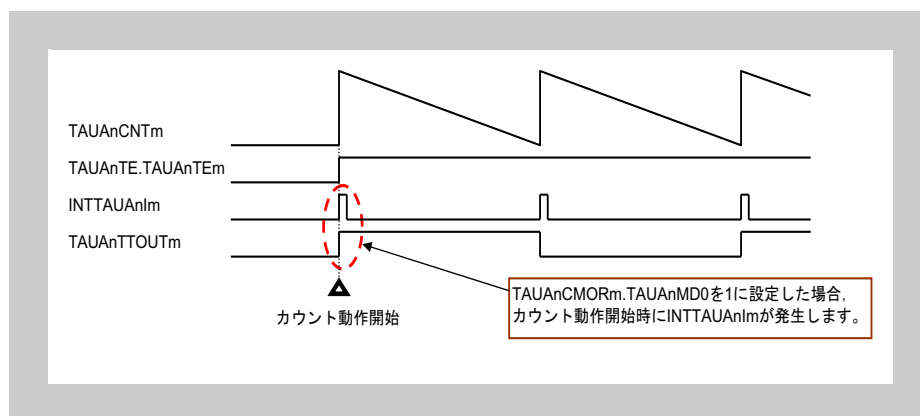


図 12-16 カウント開始時の INTTAUAnIm 発生

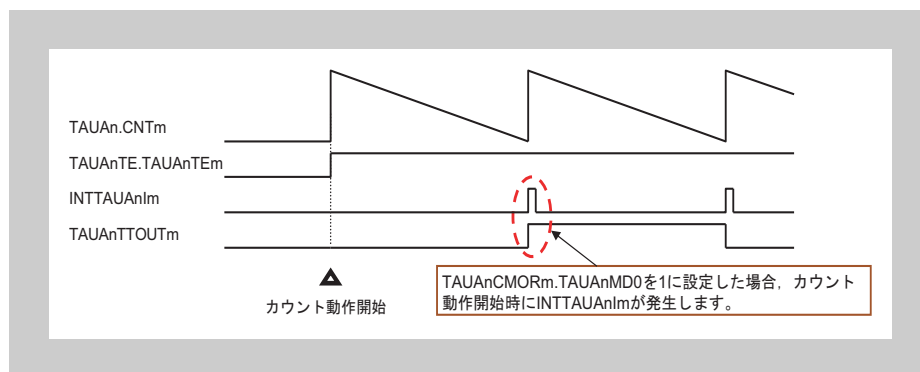


図 12-17 カウント開始時に INTTAUAnIm が発生しない

12.11 オーバフロー時の割り込み発生

特定の単体機能では、アップ・カウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップ・カウントを行うモードでのチャンネル動作と、ダウン・カウントを行うモードでのチャンネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンド・チャンネルに適切かは、ファースト・チャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンド・チャンネルに、ファースト・チャンネルでのオーバフロー発生と同時に 0000_H になるようなダウン・カウントを行う動作モードを設定します (TAUAnCNTm = $FFFF_H$)。
- セカンド・チャンネルの TAUAnCDRm を $FFFF_H$ に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウント・クロックが同じでなければなりません)。
- 両チャンネルが同じ TAUAnTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUAnCMORm.TAUAnSTS[2:0] と TAUAnCMURm.TAUAnTIS[1:0]) は同じである必要があります。
-

結果：ファースト・チャンネルのアップ・カウンタでのオーバフロー発生 (TAUAnCNTm = $FFFF_H$) と同時にセカンド・チャンネルのダウン・カウンタが 0000_H になります。そしてセカンド・チャンネルは任意の割り込みを発生させます。

以降の節で、アップ・カウントを行う動作モードとの組み合わせに必要なダウン・カウントを行う動作モードの一覧と、タイミング図の例を示します。

12.11.1 キャプチャ・モード

適用機能 • TAUAnTTINm 入力パルス・インターバル測定機能

組み合わせるモード インターバル・タイマ・モード

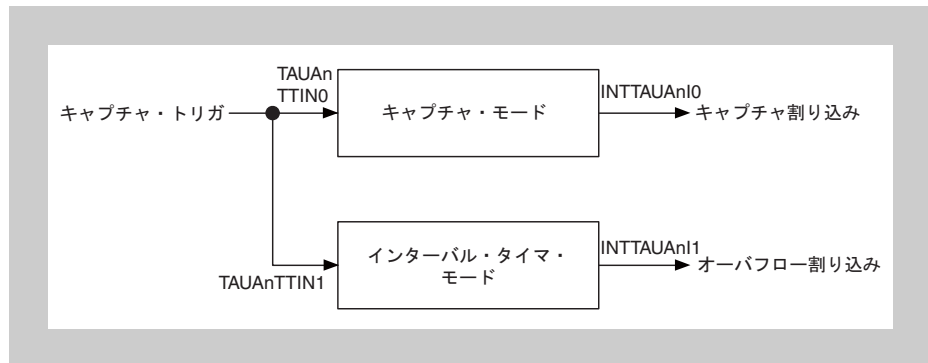


図 12-18 キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

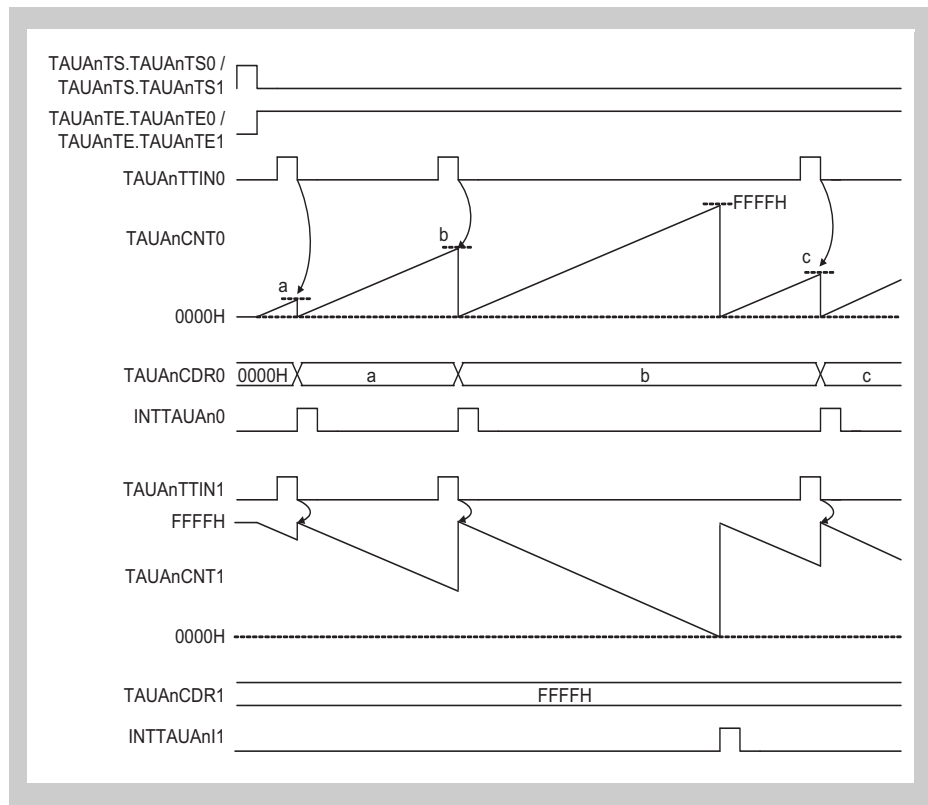


図 12-19 キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

12.11.2 キャプチャ & ワンカウント・モード

適用機能 • TAUAnTTINm 入力信号幅測定機能

組み合わせるモード ワンカウント・モード

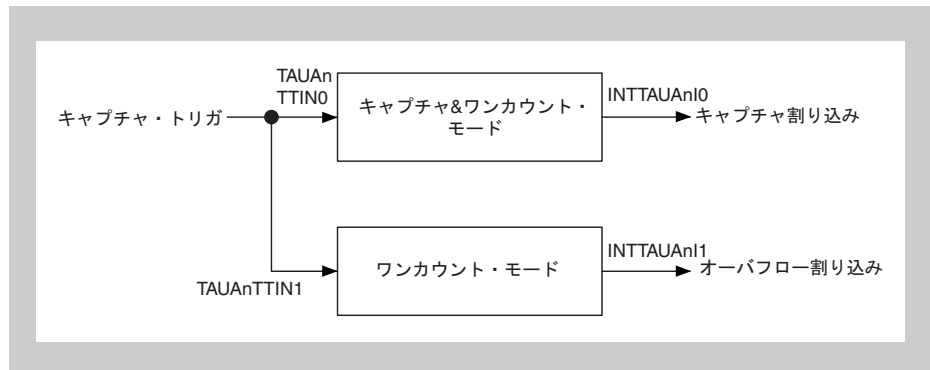


図 12-20 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせ

タイミング図

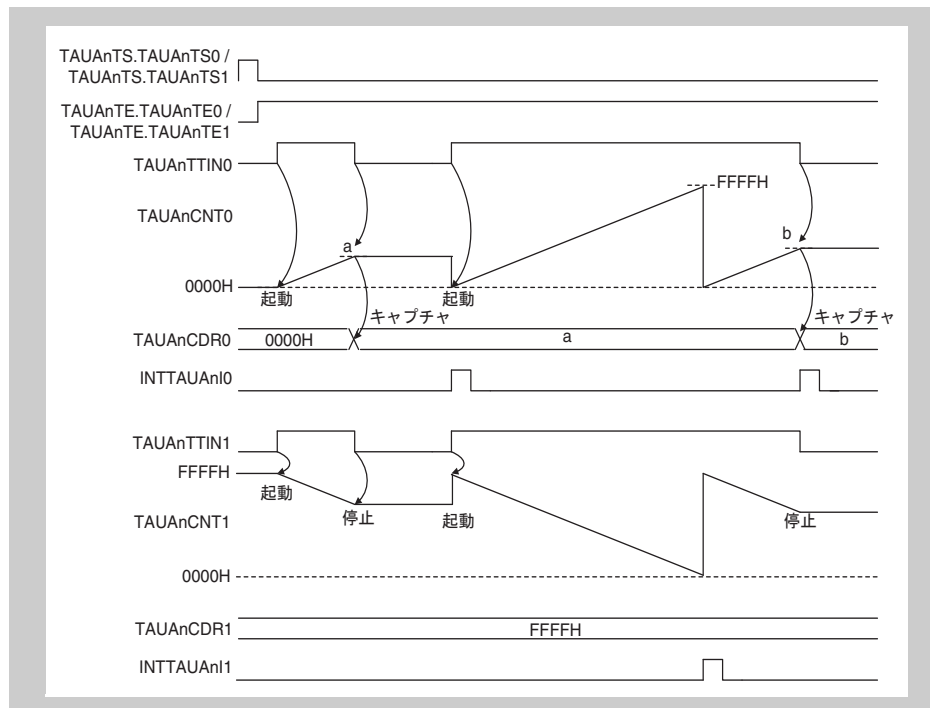


図 12-21 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせによる割り込み発生

12.11.3 カウント・キャプチャ・モード

適用機能 • TAUAnTTINm 入力位置検出機能

組み合わせるモード インターバル・タイマ・モード

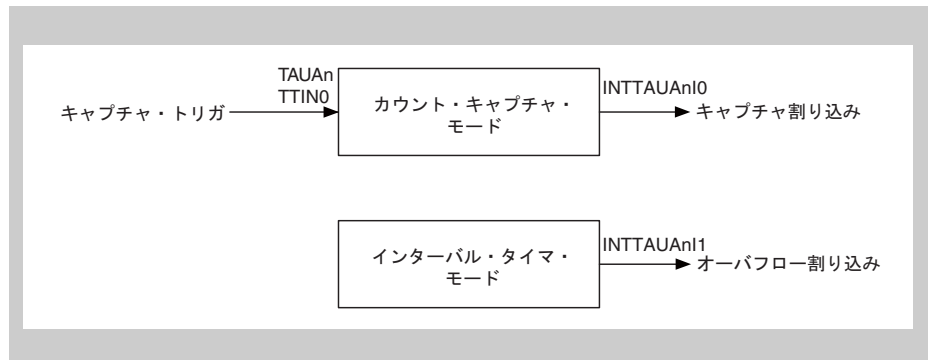


図 12-22 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

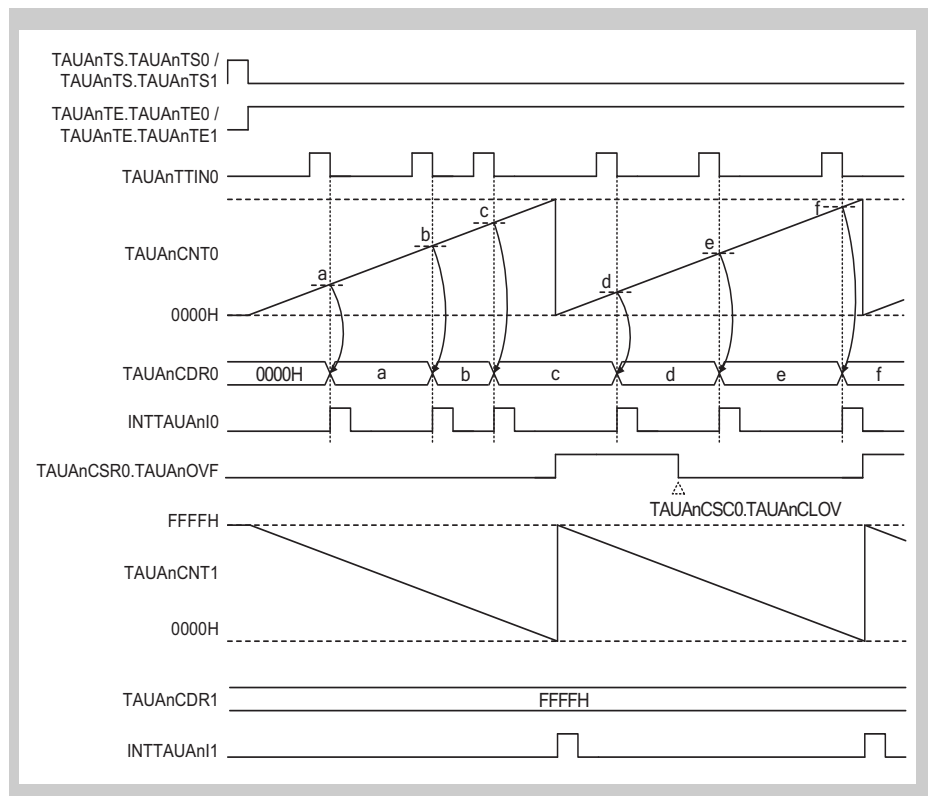


図 12-23 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

上の図では、TAUAnCNTm がオーバーフローになったときに TAUAnCSRm.TAUAnOVF が 1 に設定されています。TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV へ 1 を書き込むことによりクリアされます。

12.11.4 キャプチャ&ゲート・カウント・モード

適用機能 • TAUAnTTINm 入力期間カウント検出機能

組み合わせるモード ゲート・カウント・モード

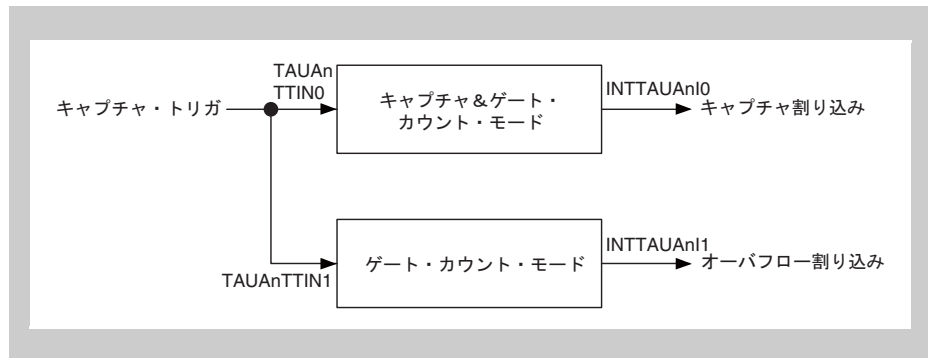


図 12-24 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせ

タイミング図

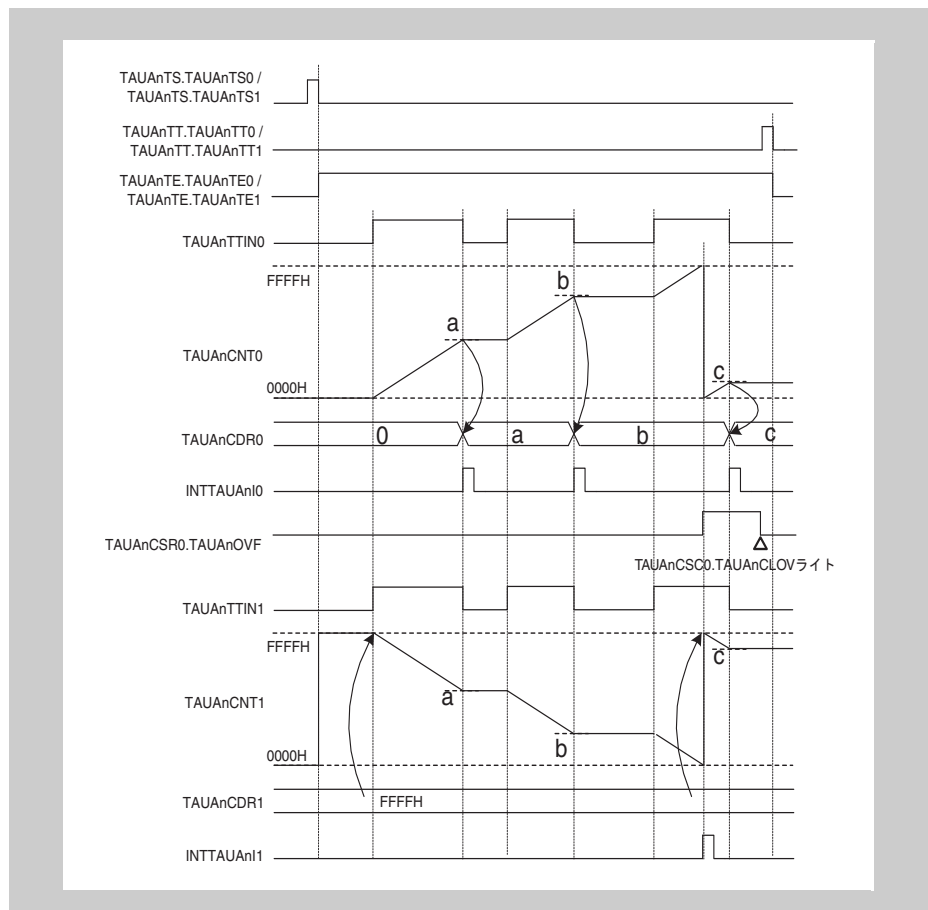


図 12-25 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせによる割り込み発生

上の図では、TAUAnCNTm がオーバーフローになったときに TAUAnCSRm.TAUAnOVF が 1 に設定されています。

TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV へ 1 を書き込むことによりクリアされます。

12.12 TAUAnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

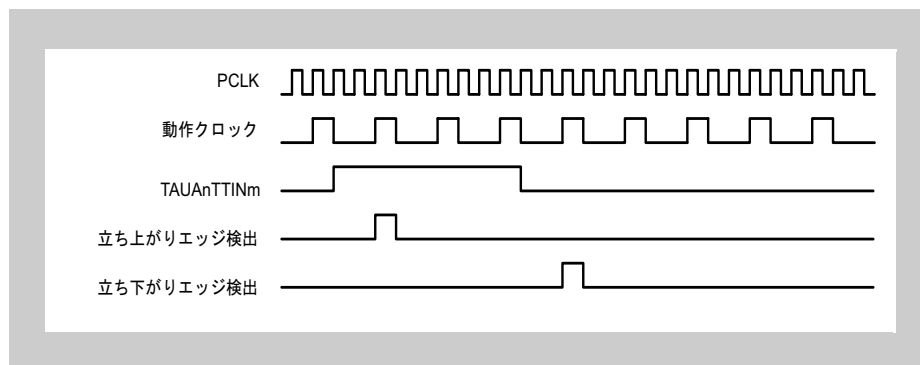


図 12-26 エッジ検出基本動作タイミング

図 12-26 は動作タイミングのイメージです。実際は、TAUAnIm 端子から TAUAn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

12.13 DMA ウィンドウ・アドレスの割り当て

DMA (direct memory access) を使用して、TAUAnCDRm, TAUAnTOL レジスタの現在値などの値を TAUAnDWRj レジスタに格納できます。

例として、周期レジスタ、デューティ・レジスタ、TAUAnTOL レジスタの値を TAUAnDWRj レジスタに書き込む方法を次の図に示します。

- (1) 選択したレジスタ (TAUAnCDR0, TAUAnCDR2, TAUAnCDR4, TAUAnCDR6, TAUAnCDR9, TAUAnCDR13, TAUAnTOL.TAUAnTOLm, TAUAnRDT.TAUAnRDTm) のアドレスを TAUAnDAS レジスタに指定します。
- (2) その後、TAUAnDMA ウィンドウ・アドレス機能は、選択したレジスタの値を対応する TAUAnDWRj レジスタにロードします。

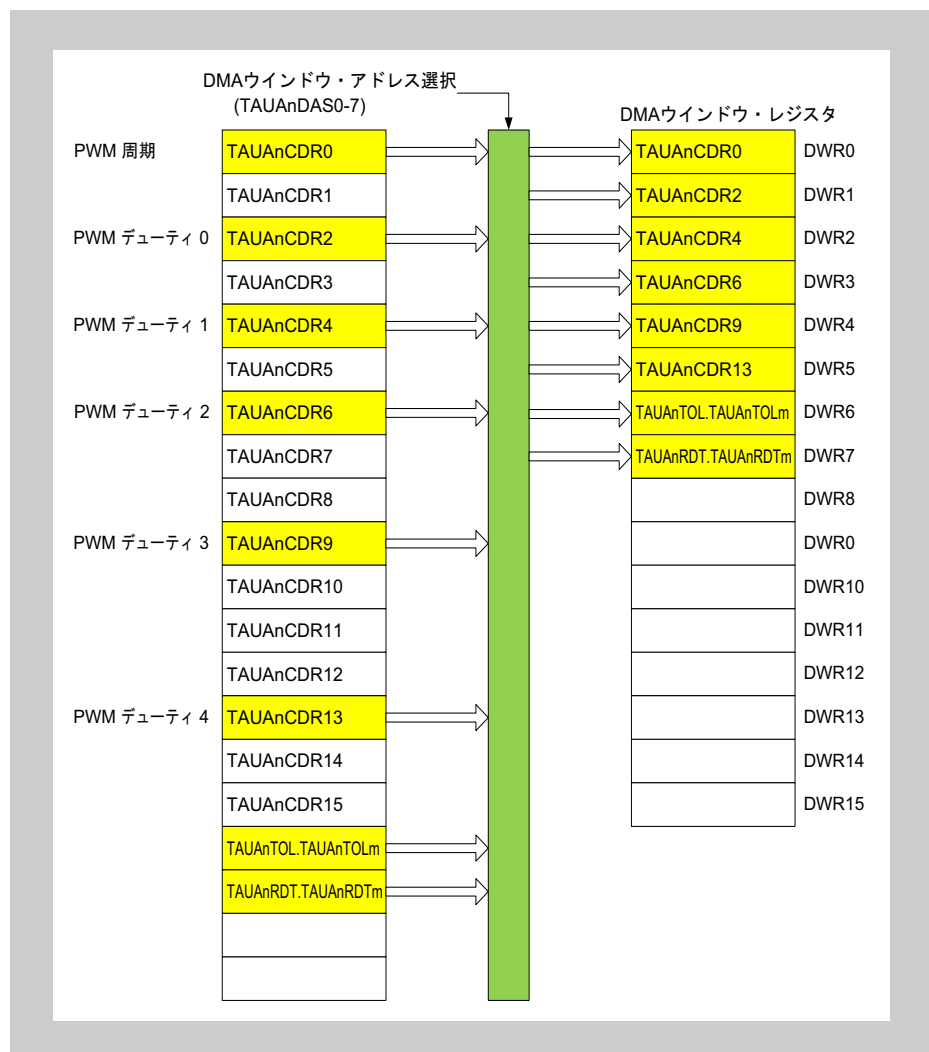


図 12-27 DMA ウィンドウ・アドレスの割り当て

備考 データ・レジスタに対して一斉書き換え機能を使う場合、指定した領域の最後に TAUAnRDT レジスタを割り当てることを推奨します。

12.14 チャンネル単体動作機能

TAUA の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、542 ページの 12.3 「機能説明」を参照してください。

12.15 チャンネル単体割り込み機能

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

- 12.15.1 「インターバル・タイマ機能」
- 12.15.2 「TAUAnTTINm 入インターバル・タイマ機能」
- 12.15.3 「ディレイ・カウント機能」
- 12.15.4 「ワンパルス出力機能」

12.15.1 インターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔でタイマ割り込み (INTTAUAnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUAnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (586 ページの表 12-11 「インターバル・タイマ機能の TAUAnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。562 ページの 12.8 「チャンネル出力モード」を参照してください。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。その後、TAUAnCDRm の値を TAUAnCNTm にロードし、以降、動作を継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。TAUAnTS.TAUAnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUAnTS.TAUAnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

- 条件** TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUAnTTOUTm のトグルも行われません。これにより、TAUAnCMORm.TAUAnMD0 が 1 に設定された場合に対して、反転された TAUAnTTOUTm 信号が出力されます。詳細は、574 ページの 12.10 「カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

(2) 算出式

INTTAUAnIm の周期 = カウント・クロック周期 × (TAUAnCDRm + 1)

TAUAnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUAnCDRm + 1) × 2

注意 インターバル・タイマ割り込みの周期の最小値は 1/ (PCLK/2) です。

(3) ブロック図と基本タイミング図

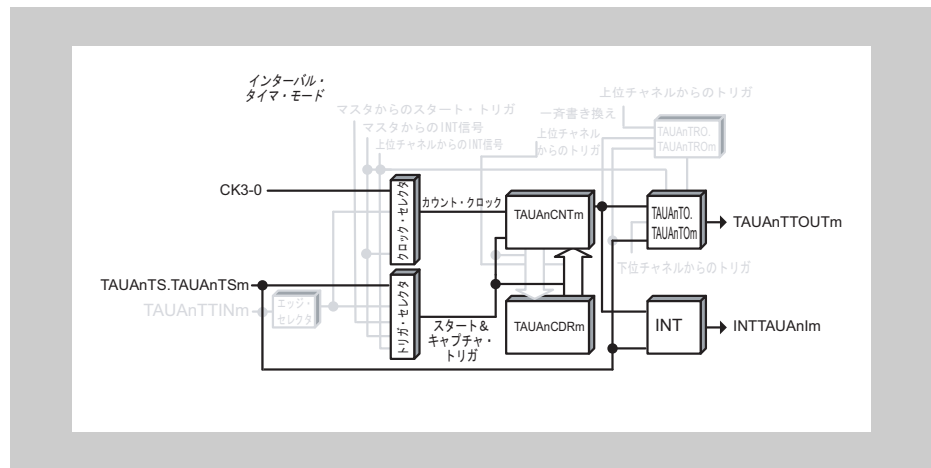


図 12-28 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

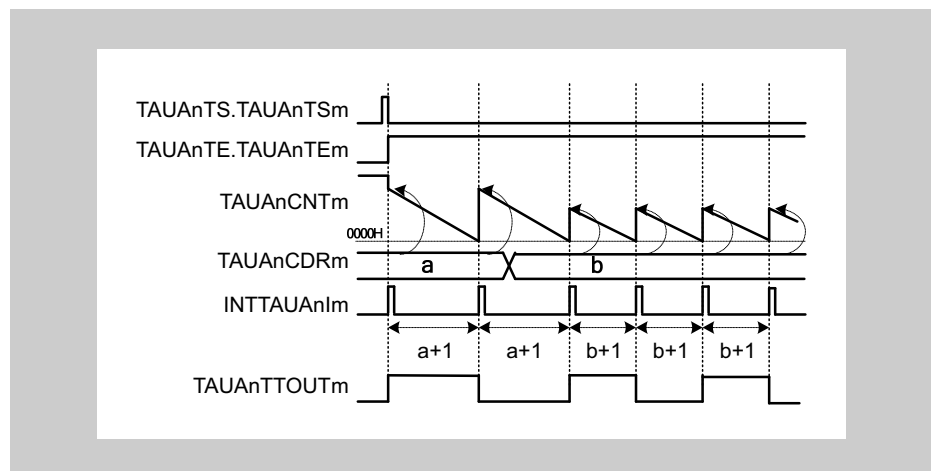


図 12-29 インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-11 インターバル・タイマ機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1: 動作開始または再開時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-12 インターバル・タイマ機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) チャンネル出力モード

表 12-13 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

備考 チャンネル出力モードは、TAUAnTOE.TAUAnTOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUAnTTOUtm を割り込みとは独立させて制御することができます。詳細は562ページの12.8「チャンネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-14 インターバル・タイマ機能の一斉書き換え設定

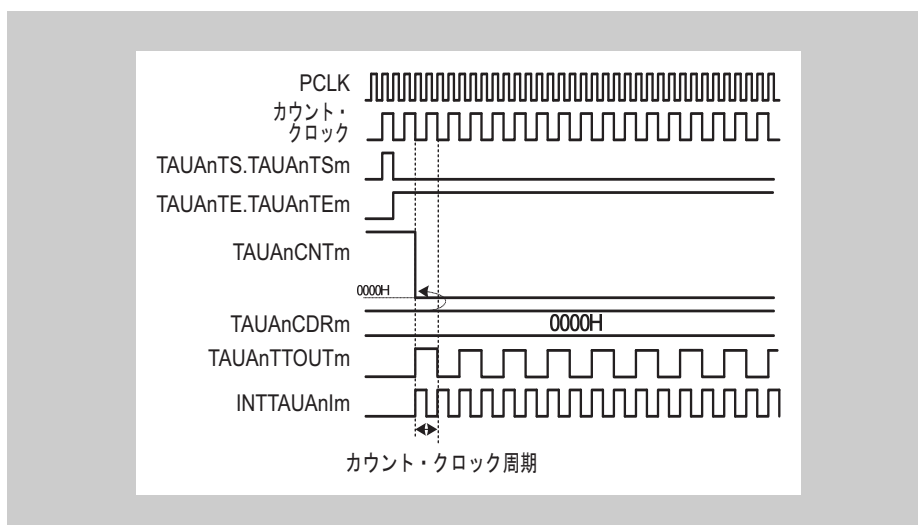
ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) インターバル・タイマ機能の操作手順

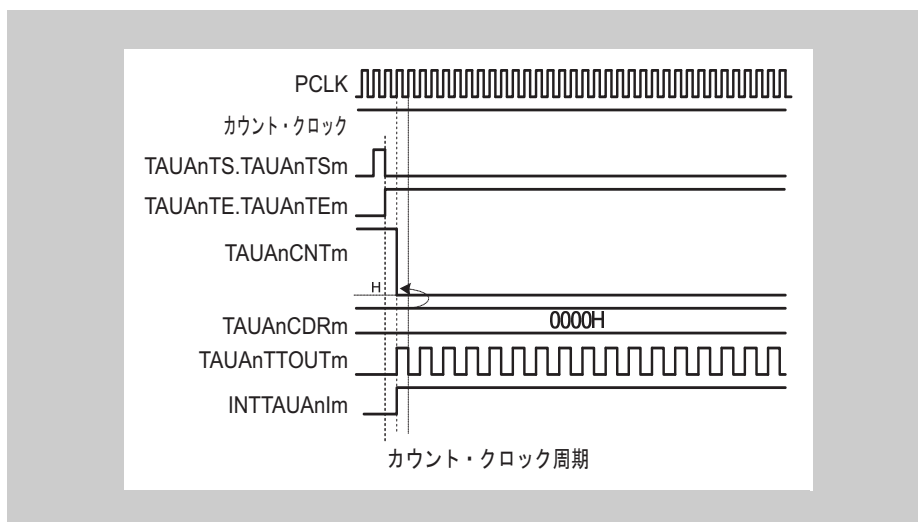
表 12-15 インターバル・タイマ機能の操作手順

	操作	TAUAnの状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを 586 ページの表 12-11 「インターバル・タイマ機能の TAUAnCMORm 設定」、586 ページの表 12-12 「インターバル・タイマ機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。 制御ビットを 587 ページの表 12-13 「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。TAUAnCMORm.TAUAnMD0 = 1 の場合、INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。
	動作中 TAUAnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： • 再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。 • INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) $\text{TAUAnCDRm} = 0000_{\text{H}}$, カウント・クロック = $\text{PCLK}/2$ 図 12-30 $\text{TAUAnCDRm} = 0000_{\text{H}}$, カウント・クロック = $\text{PCLK}/2$

- $\text{TAUAnCDRm} = 0000_{\text{H}}$, かつカウント・クロック = $\text{PCLK}/2^1$ の場合, カウント・クロックごとに TAUAnCDRm の値が TAUAnCNTm にロードされます。つまり, TAUAnCNTm は常に 0000_{H} です。
- INTTAUAnIm がカウント・クロックごとに発生するので, TAUAnTTOUTm はカウント・クロックごとにトグルされます。

(b) $\text{TAUAnCDRm} = 0000_{\text{H}}$, カウント・クロック = PCLK 図 12-31 $\text{TAUAnCDRm} = 0000_{\text{H}}$, カウント・クロック = PCLK

- $\text{TAUAnCDRm} = 0000_{\text{H}}$, かつカウント・クロック = PCLK の場合, PCLK クロックごとに TAUAnCDRm の値が TAUAnCNTm にロードされます。つまり, TAUAnCNTm は常に 0000_{H} です。
- 継続的に INTTAUAnIm が発生し, PCLK クロックごとに TAUAnTTOUTm がトグルされます。

(c) 動作の停止と再開

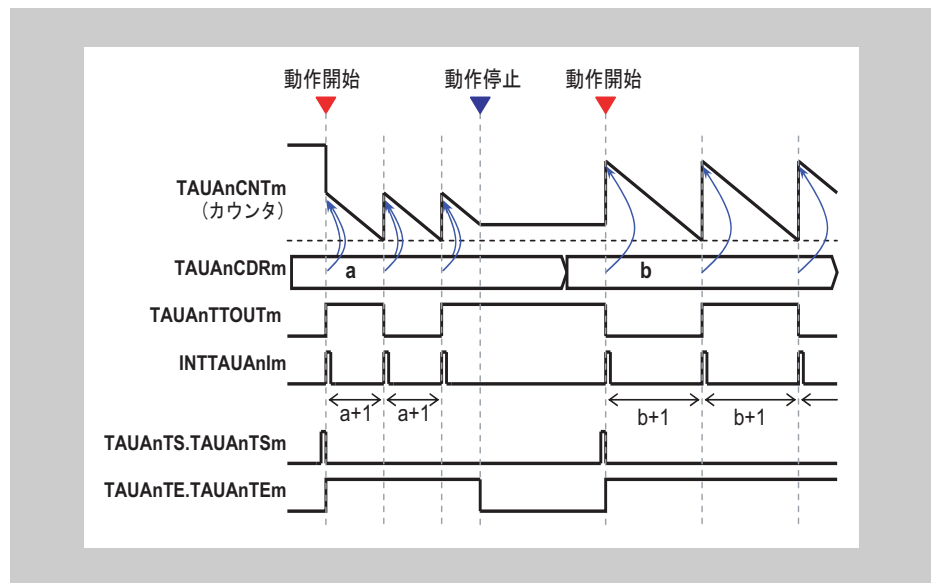


図 12-32 動作の停止と再開 (TAUAAnCMORm.TAUAAnMD0 = 1)

- TAUAAnTT.TAUAAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAAnTE.TAUAAnTEm は 0 に設定されます。
- TAUAAnCNTm と TAUAAnTTOUTm は停止しますが、値は保持します。
- TAUAAnTS.TAUAAnTSm を 1 に設定すると、カウントを再開できます。

(d) 強制リスタート

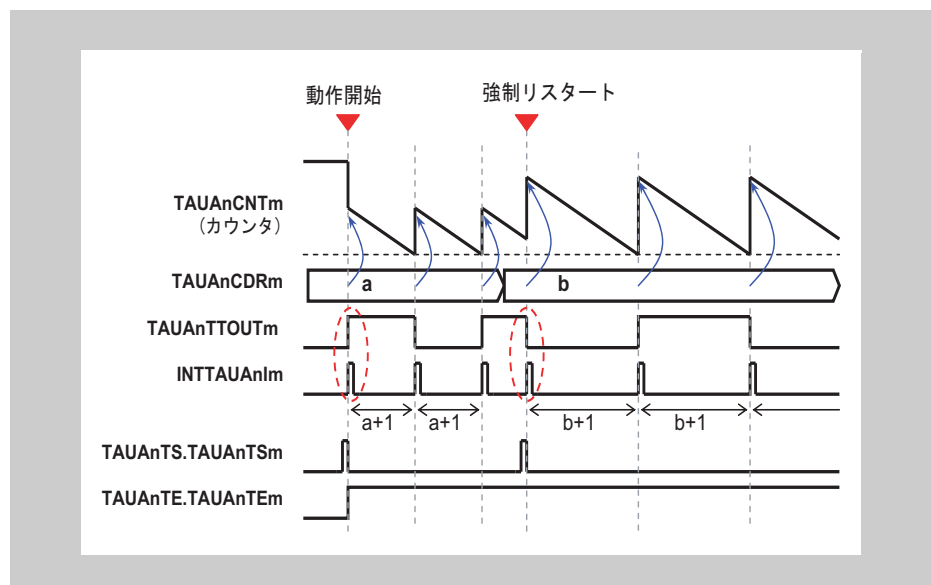


図 12-33 強制リスタート動作 (TAUAAnCMORm.TAUAAnMD0 = 1)

- カウント中に TAUAAnTS.TAUAAnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUAAnCMORm.TAUAAnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

12.15.2 TAUAnTTINm 入カインターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔または有効な TAUAnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUAnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUAnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (593 ページの表 12-16 「TAUAnTTINm 入カインターバル・タイマ機能の TAUAnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。562 ページの 12.8 「チャンネル出力モード」を参照してください。

機能説明 この機能は、有効な TAUAnTTINm 入力エッジで再開される以外、インターバル・タイマ機能と同様に動作します (584 ページの 12.15.1 「インターバル・タイマ機能」参照)。トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUAnIm の周期 = カウント・クロック周期 × (TAUAnCDRm + 1)

TAUAnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUAnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

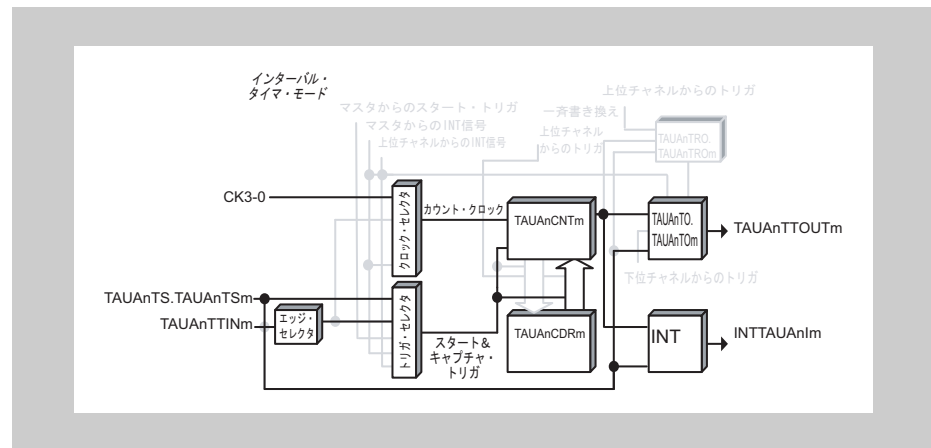


図 12-34 TAUAnTTINm 入カインターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
- 立ち上がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 01_B)

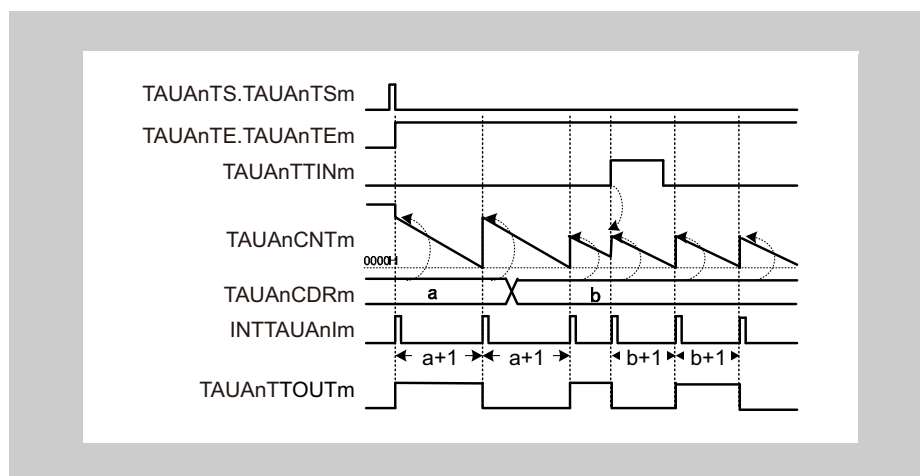


図 12-35 TAUAnTTINm 入カウンタ・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-16 TAUAnTTINm 入カウンタ・タイマ機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1: 動作開始時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-17 TAUAnTTINm 入カウンタ・タイマ機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャンネル出力モード

表 12-18 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

備考 チャンネル出力モードは、TAUAnTOE.TAUAnTOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUAnTTOUtm を割り込みとは独立させて制御することができます。詳細は562ページの12.8「チャンネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-19 TAUAnTTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) TAUAnTTINm 入インターバル・タイマ機能の操作手順

表 12-20 TAUAnTTINm 入インターバル・タイマ機能の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	操作	
	動作開始	
	動作中	
動作停止		

操作	TAUAn の状態
初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
操作	
動作開始	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。 TAUAnCMORm.TAUAnMD0 = 1 の場合、INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。
動作中	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。 INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。 カウント動作中に TAUAnTTINm 入力の有効エッジを検出すると、再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

584 ページの 12.15.1 「インターバル・タイマ機能」のタイミング図も適用されますが、この機能を除いて、有効な TAUAnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

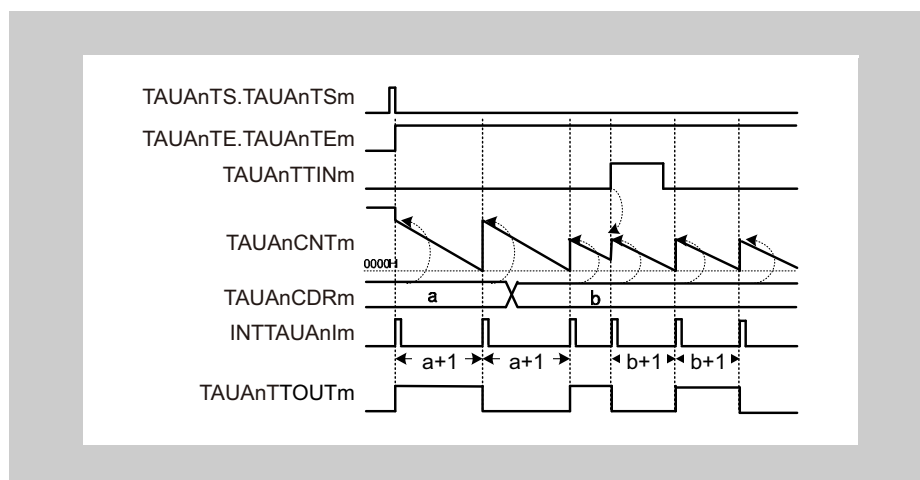


図 12-36 立ち上がり TAUAnTTINm 入力エッジ
(TAUAnCMURm.TAUAnTIS[1:0] = 01_B), TAUAnCMORM.TAUAnMD0 = 1
でトリガされたカウンタ

- 有効な TAUAnTTINm 入力エッジを検出した場合、TAUAnTTOUtm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUAnCMURm.TAUAnTIS[1:0] = 01_B) です。

12.15.3 ディレイ・カウント機能

(1) 概要

概要 この機能は、TAUAnTTINm 入力信号に対して一定の遅延がある割り込み (INTTAUAnIm) を発生します。遅延期間に発生した TAUAnTTINm 入力信号パルスは無視されます。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (599 ページの表 12-21 「ディレイ・カウント機能の TAUAnCMORm 設定」参照)。
 - この機能では、TAUAnTTOUTm は使用しません。
 - カウント動作中 (TAUAnCMORm.TAUAnMD0 = 0) は、スタート・トリガを無効にする必要があります。

機能説明 チャネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。

有効な TAUAnTTINm 入力スタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCDRm の値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUAnTTINm 入力エッジを待ちます。

カウンタのダウン・カウント時は、TAUAnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件** トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。
- TAUAnCMURm.TAUAnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
 - TAUAnCMURm.TAUAnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
 - TAUAnCMURm.TAUAnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2) 算出式

TAUAnTTINm-INTTAUAnIm 間の遅延 =

カウント・クロック周期 × (TAUAnCDRm + 1)

(3) ブロック図と基本タイミング図

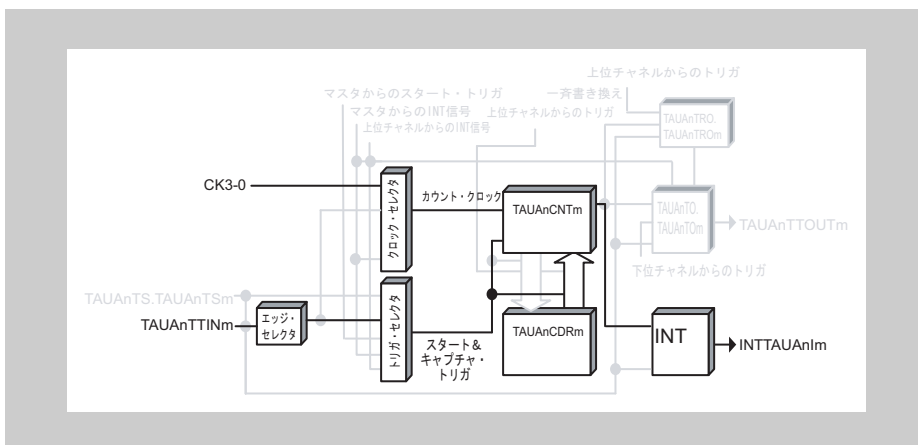


図 12-37 デイレイ・カウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)

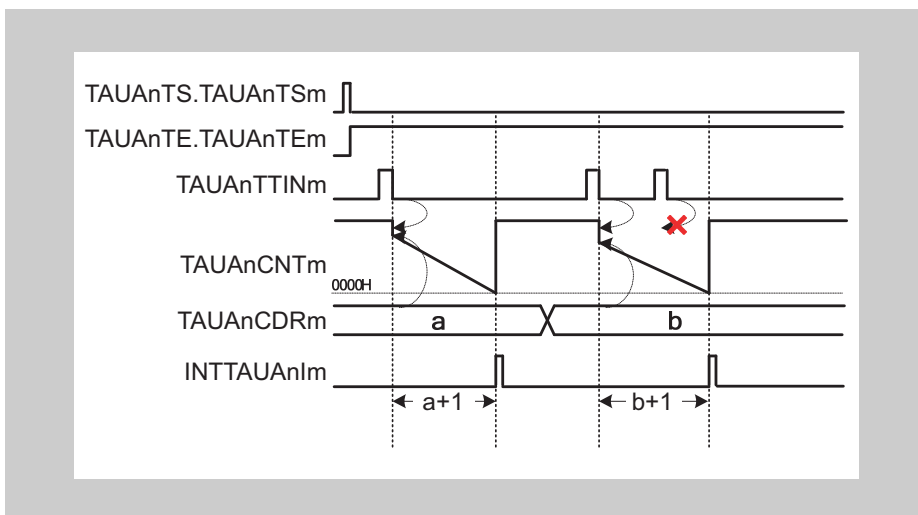


図 12-38 デイレイ・カウント機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]		TAUAnCCS[1:0]		TAUAnMAS	TAUAnSTS[2:0]		TAUAnCOS[1:0]		-	TAUAnMD[4:1]				TAUAnMD0	

表 12-21 ディレイ・カウント機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	0: 動作中のスタート・トリガは無効とする

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-22 ディレイ・カウント機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 (Low 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、ディレイ・カウント機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 12-23 ディレイ・カウント機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) ディレイ・カウント機能の操作手順

表 12-24 ディレイ・カウント機能の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを, 599 ページの表 12-21 「ディレイ・カウント機能の TAUAnCMORm 設定」と 599 ページの表 12-22 「ディレイ・カウント機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUAnCDRm の値を TAUAnCNTm にロードします。
	動作中 TAUAnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合 : INTTAUAnIm が発生します。TAUAnCNTm はカウントを停止し、FFFF _H を戻し、トリガを待ちます。 TAUAnCNTm のカウント中に発生するトリガは無視されます。以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、値を保持します。

12.15.4 ワンパルス出力機能

(1) 概要

概要 この機能は、有効な TAUAnTTINm 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUAnIm) を発生します。定められた期間内に発生する TAUAnTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUAnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはパルス・ワンカウント・モードに設定する必要があります (603 ページの表 12-25 「ワンパルス出力機能の TAUAnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。562 ページの 12.8 「チャンネル出力モード」を参照してください。
 - カウント動作中 (TAUAnCMORm.TAUAnMD0 = 0) は、トリガ検出を禁止にする必要があります。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。

有効な TAUAnTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUAnCDRm の値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUAnTTOUTm がアクティブ・レベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUAnTTOUTm がインアクティブ・レベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUAnTTINm 入力エッジを待ちます。

カウンタのダウン・カウント時は、TAUAnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件** トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。
- TAUAnCMURm.TAUAnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
 - TAUAnCMURm.TAUAnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
 - TAUAnCMURm.TAUAnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2) 算出式

TAUAnTTINm-INTTAUAnIm の間隔 = TAUAnTTOUTm (タイマ出力) 幅 = カウント・クロック周期 × TAUAnCDRm

(3) ブロック図と基本タイミング図

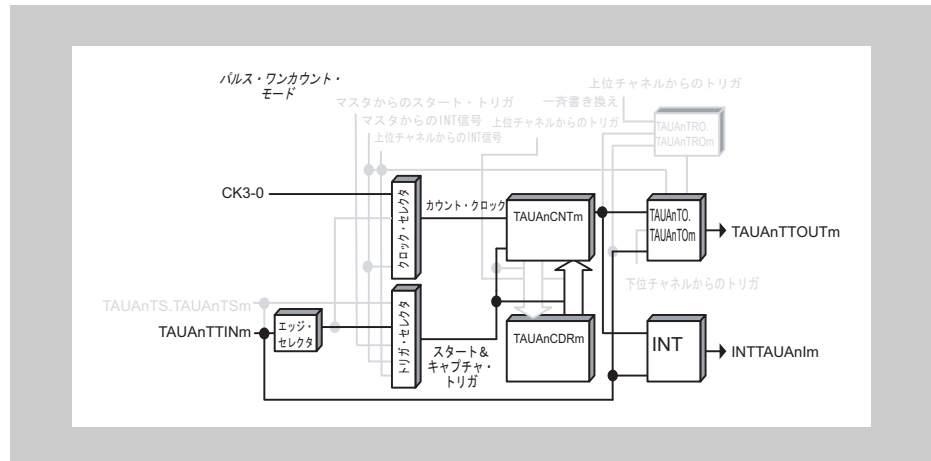


図 12-39 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)

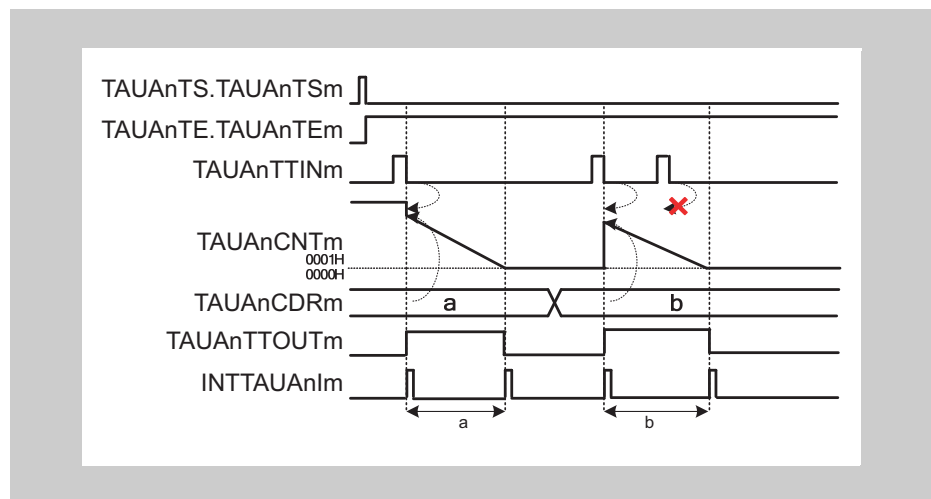


図 12-40 ワンパルス出力機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-25 ワンパルス出力機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1010: パルス・ワンカウント・モード
TAUAnMD0	0: 動作中のスタート・トリガを無効とする

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-26 ワンパルス出力機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 (Low 幅測定)

(c) チャネル出力モード

表 12-27 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	1: セット/リセット・モード
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

備考 チャネル出力モードは、TAUAnTOE.TAUAnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUAnTTOUtm を割り込みとは独立させて制御することができます。詳細は563ページの表 12-9「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-28 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) ワンパルス出力機能の操作手順

表 12-29 ワンパルス出力機能の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、603 ページの表 12-25 「ワンパルス出力機能の TAUAnCMORm 設定」と 603 ページの表 12-26 「ワンパルス出力機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。 制御ビットを 604 ページの表 12-27 「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUAnCNTm は TAUAnCDRm の値をロードします。
	動作中 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnCNTm の開始時に INTTAUAnIm が発生し、TAUAnTTOUTm はアクティブ・レベルに設定されます。 TAUAnCNTm がダウン・カウントを行います。 カウンタが 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUAnIm が発生します。 TAUAnTTOUTm がインアクティブ・レベルに設定されます。 TAUAnCNTm はカウントを停止し、トリガを待ちます。 TAUAnCNTm のカウント中に発生するトリガは無視されます。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

12.16 チャンネル単体信号測定機能

この節では、各 TAUAnTTINm パルスの幅、または連続した TAUAnTTINm パルスの合計幅を測定する機能を説明します。また、信号の間隔を測定する機能、またはパルス幅と基準値を比較する機能も説明します。

- 12.16.1 「TAUAnTTINm 入力パルス・インターバル測定機能」
- 12.16.2 「TAUAnTTINm 入力信号幅測定機能」
- 12.16.3 「オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時)」
- 12.16.4 「TAUAnTTINm 入力期間カウント検出機能」
- 12.16.5 「オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)」
- 12.16.6 「TAUAnTTINm 入力パルス・インターバル判定機能」
- 12.16.7 「TAUAnTTINm 入力信号幅判定機能」

12.16.1 TAUAnTTINm 入力パルス・インターバル測定機能

(1) 概要

概要 この機能は、カウント値をキャプチャし、その値とオーバーフロー・ビット TAUAnCSRm.TAUAnOVF を使用して TAUAnTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャ・モードに設定する必要があります (610 ページの表 12-31 「TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMORm 設定」参照)。

- この機能では、TAUAnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。カウンタ TAUAnCNTm は、0000_H からカウントを開始します。有効な TAUAnTTINm エッジが検出されると、TAUAnCNTm の値がキャプチャされ、TAUAnCDRm に転送され、割り込み INTTAUAnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を続けます。

有効な TAUAnTTINm エッジを検出する前にカウンタが FFFF_H に達すると、カウンタは 0000_H にオーバーフローします。カウンタは、0000_H にリセットされ、その後動作を続けます。TAUAnCDRm, TAUAnCSRm.TAUAnOVF それぞれに転送される値は、TAUAnCMORm.TAUAnCOS[1:0] ビットの値によって異なります。

表 12-30 オーバフローの影響

TAUAnCMORm. COS[1:0]	オーバーフローが発生した場合		その後、有効な TAUAnTTINm 入力 が検出された場合	
	TAUAnCDRm	TAUAnCSRm. TAUAnOVF	TAUAnCDRm, TAUAnCNTm	TAUAnCSRm. TAUAnOVF
00	変化しない	0	TAUAnCNTm が TAUAnCDRm に ロードされる	1
01		1		
10	FFFF _H に設定	0	TAUAnCNTm は 0 に設定され、 TAUAnCDRm は変 更されない	0
11		1		

TAUAnCMORm.TAUAnCOS[0] = 1 のとき、オーバーフロー・ビット TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでのみクリアできます。

TAUAnCDRm 値と TAUAnCSRm.TAUAnOVF 値の組み合わせを使用することで、TAUAnTTINm 信号の間隔を推定できます。ただし、有効な TAUAnTTINm 入力検出される前に複数のオーバーフローが発生した場合、オーバーフロー・ビット TAUAnCSRm.TAUAnOVF はその複数のオーバーフローの発生を示しません。

TAUAnTT.TAUAnTTm = 1 を設定すると機能を停止できます。これにより、TAUAnTE.TAUAnTEm = 0 が設定されます。TAUAnCNTm が停止し、値を保持します。機能停止中、有効な TAUAnTTINm 入力エッジの検出と TAUAnCNTm のキャプチャは行われません。

カウンタは、0000 H にリセットされ、その後動作を継続します。カウント中に TAUAnTS.TAUAnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件 TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 574 ページの表 12.10 「カウント開始／リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

備考 TAUAnCMORm.TAUAnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUAnTTINm 入力エッジの発生時、TAUAnCNTm の値は TAUAnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUAnTTINm 入力パルス間隔 = カウント・クロック周期 ×
 [(TAUAnCSRm.TAUAnOVFx(FFFF_H + 1)) + TAUAnCDRm キャプチャ値 + 1]

(3) ブロック図と基本タイミング図

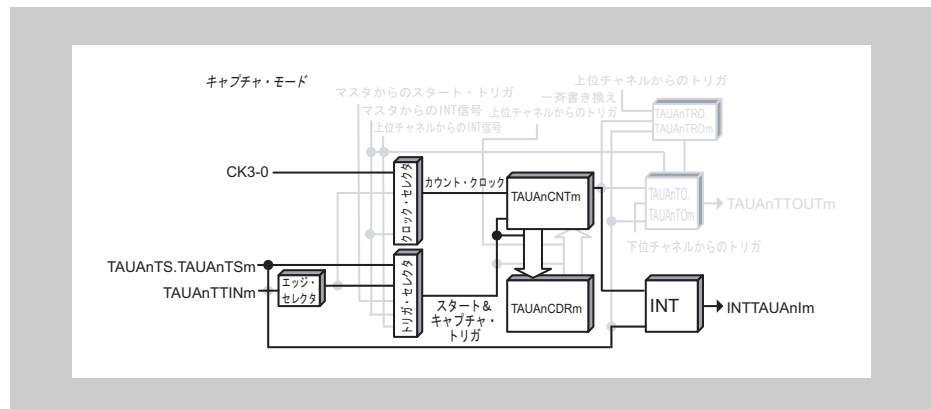


図 12-41 TAUAnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない
(TAUAnCMORm.TAUAnMDO = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUAnTTINm 入力を検出すると、TAUAnCDRm を変更し、TAUAnCSRm.TAUAnOVF を 1 に設定する
(TAUAnCMORm.TAUAnCOS[1:0] = 00_B)

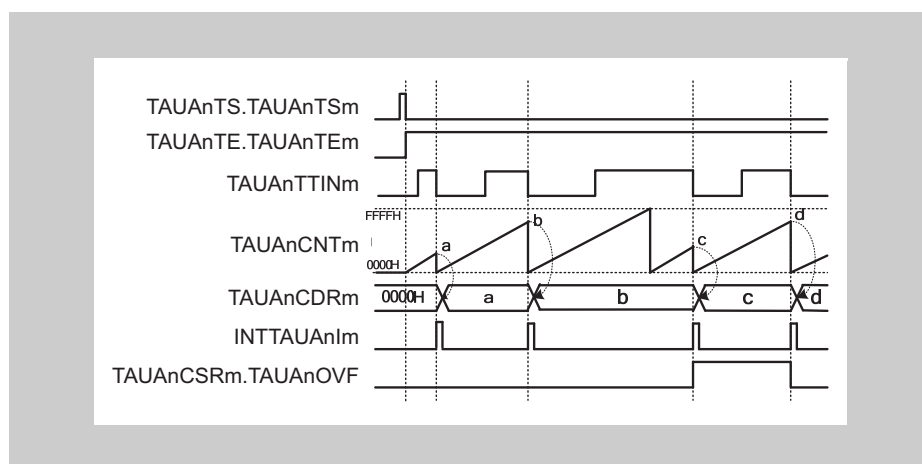


図 12-42 TAUAnTTINm 入力パルス・インターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-31 TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: TAUAnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUAnCOS[1:0]	607 ページの表 12-30 「オーバフローの影響」を参照。
TAUAnMD[4:1]	0010: キャプチャ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない 1: 動作開始時に INTTAUAnIm が発生する

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-32 TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力パルス・インターバル測定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-33 TAUAnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) TAUAnTTINm 入力パルス・インターバル測定機能の操作手順

表 12-34 TAUAnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、610 ページの表 12-31 「TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMORm 設定」と 610 ページの表 12-32 「TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCNTm が 0000 _H にクリアされます。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。
	動作中 TAUAnTTINm エッジ検出 TAUAnCMURm.TAUAnTIS[1:0] ビット値は任意のタイミングで変更可能です。TAUAnCDRm, TAUAnCSRm レジスタは任意のタイミングで読み出しが可能です。TAUAnCSCm.TAUAnCLOV ビットの 1 書き込みが可能です。(TAUAnCSRm.TAUAnOVF ビットを 0 にクリア)	TAUAnCNTm は、0000 _H からアップ・カウントを開始します。TAUAnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUAnCNTm が自身の値を TAUAnCDRm に転送（キャプチャ）して、0000_H に戻ります。 その後、INTTAUAnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバフロー動作

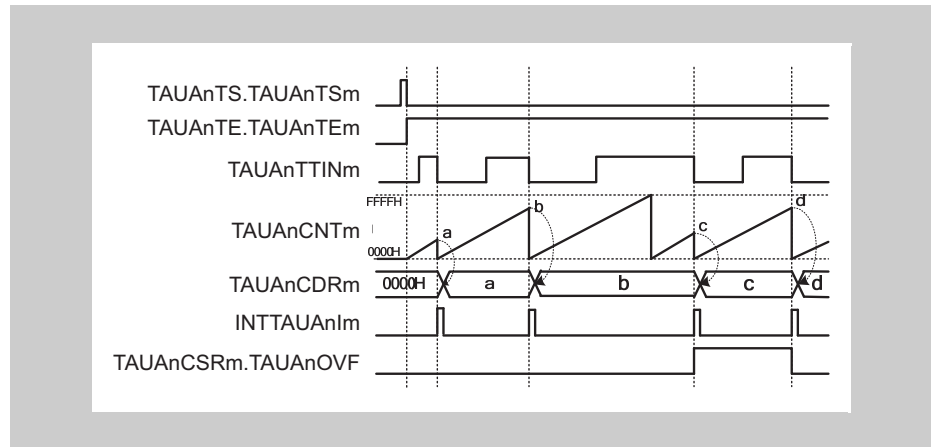
(a) TAUAnCMORm.TAUAnCOS[1:0] = 00_B

図 12-43 TAUAnCMORm.TAUAnCOS[1:0] = 00_B, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUAnCDRm の値は変更されず、TAUAnCSRm.TAUAnOVF の値は 0 のままです。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の値が TAUAnCDRm にロードされ、TAUAnCSRm.TAUAnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCSRm.TAUAnOVF が 0 にクリアされます。

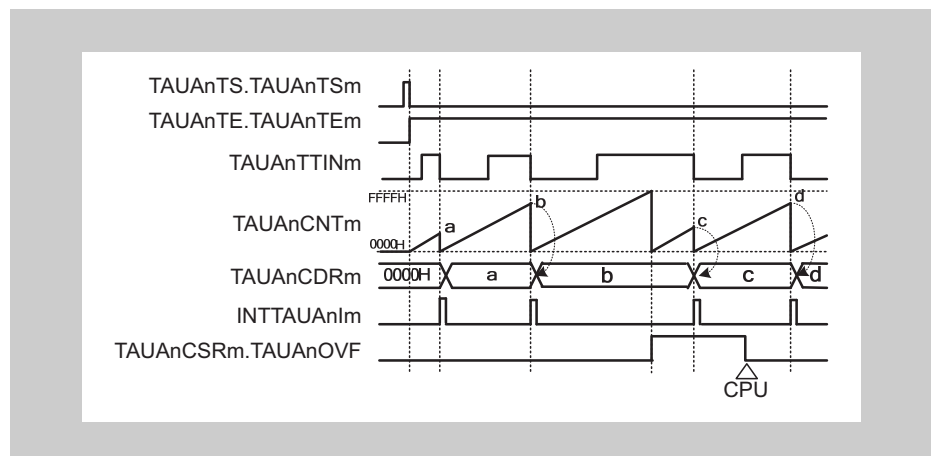
(b) TAUAnCMORm.TAUAnCOS[1:0] = 01_B

図 12-44 TAUAnCMORm.TAUAnCOS[1:0] = 01_B, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUAnCDRm の値は変更されず、TAUAnCSRm.TAUAnOVF の値は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の値が TAUAnCDRm にロードされます。
- TAUAnCSRm.TAUAnOVF は、CPU コマンド (TAUAnCSCm.TAUAnCLOV

ビット=1のセット)でのみクリアされます。

(c) $\text{TAUAnCMORm.TAUAnCOS}[1:0] = 10_B$

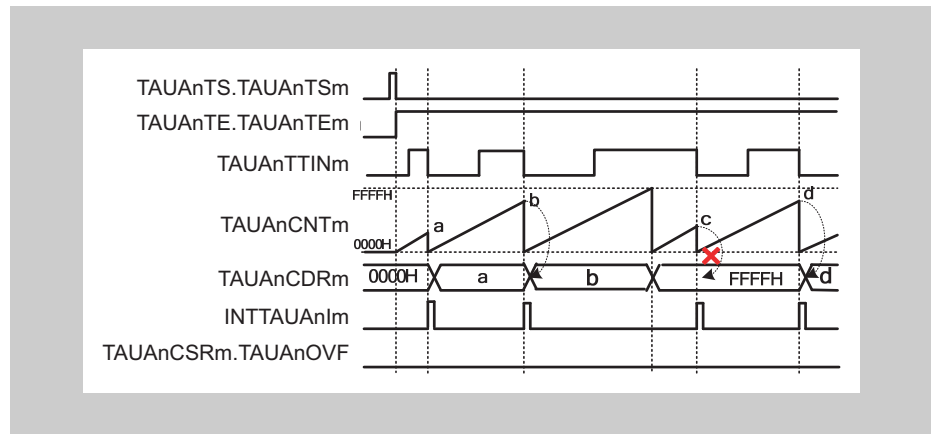


図 12-45 $\text{TAUAnCMORm.TAUAnCOS}[1:0] = 10_B$, $\text{TAUAnCMORm.TAUAnMD0} = 0$, $\text{TAUAnCMURm.TAUAnTIS}[1:0] = 00_B$

- オーバフローが発生すると、TAUAnCDRm は FFFF_H に設定され、TAUAnCSRm.TAUAnOVF の値は 0 のままです。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0 にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。

(d) $\text{TAUAnCMORm.TAUAnCOS}[1:0] = 11_B$

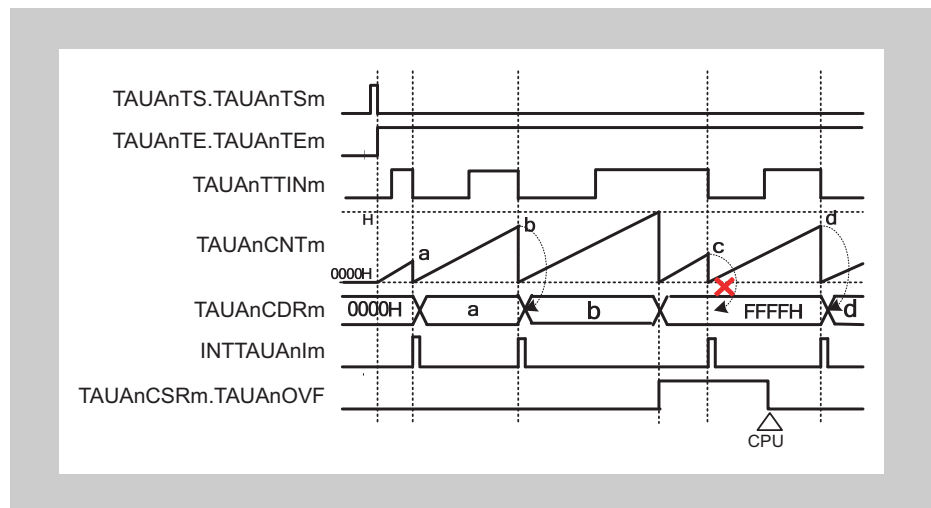


図 12-46 $\text{TAUAnCMORm.TAUAnCOS}[1:0] = 11_B$, $\text{TAUAnCMORm.TAUAnMD0} = 0$, $\text{TAUAnCMURm.TAUAnTIS}[1:0] = 00_B$

- オーバフローが発生すると、TAUAnCDRm は FFFF_H に設定され、TAUAnCSRm.TAUAnOVF は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0

にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。

- したがって、オーバフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。
- TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでクリアされます。

12.16.2 TAUAnTTINm 入力信号幅測定機能

(1) 概要

概要 この機能は、TAUAnTTINm 入力信号幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります (618 ページの表 12-36 「TAUAnTTINm 入力信号幅測定機能の TAUAnCMORm 設定」参照)。
 - この機能では、TAUAnTTOUTm は使用しません。
 - TAUAnCMORm.TAUAnMD0 は、0 に設定する必要があります。

機能説明 チャネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。有効な TAUAnTTINm スタート・エッジが検出されると、カウンタ TAUAnCNTm は、0000_H からカウントを開始します。有効な TAUAnTTINm ストップ・エッジが検出されると、TAUAnCNTm の値がキャプチャされ、TAUAnCDRm に転送され、割り込み INTTAUAnIm が発生します。カウンタは値を保持し、次の有効な TAUAnTTINm 入力スタート・エッジを待ちます。

有効な TAUAnTTINm ストップ・エッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUAnCDRm, TAUAnCSRm.TAUAnOVF それぞれに転送される値は、TAUAnCMORm.TAUAnCOS[1:0] ビットの値によって異なります。

表 12-35 オーバフローの影響

TAUAnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUAnTTINm 入力ストップ・エッジの検出時	
	TAUAnCDRm	TAUAnCSRm. TAUAnOVF	TAUAnCDRm, TAUAnCNTm	TAUAnCSRm. TAUAnOVF
00	変化しない	0	TAUAnCNTm が TAUAnCDRm に ロードされる	1
01		1		
10	FFFF _H に設定	0	TAUAnCNTm はカウントを停止 TAUAnCDRm は変更されない	0
11		1		

TAUAnCMORm.TAUAnCOS[0] = 1 のとき、オーバフロー・ビット TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでのみクリアできます。

TAUAnCDRm 値と TAUAnCSRm.TAUAnOVF 値の組み合わせを使用することで、TAUAnTTINm 信号の幅を推定できます。ただし、有効な TAUAnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUAnCSRm.TAUAnOVF はその複数のオーバフローの発生を示しません。

この機能は強制的に再開することはできません。

備考 TAUAnCMORm.TAUAnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUAnTTINm 入力エッジの発生時、TAUAnCNTm の値は TAUAnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUAnTTINm 入力信号幅 = カウント・クロック周期 ×
 [(TAUAnCSRm.TAUAnOVF × (FFFF_H + 1)) + TAUAnCDRm キャプチャ値 + 1]

(3) ブロック図と基本タイミング図

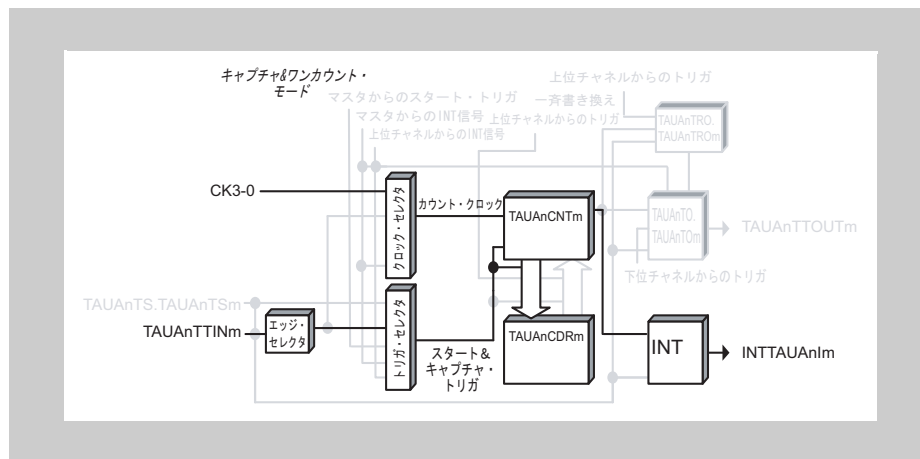


図 12-47 TAUAnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUAnTTINm 入力を検出すると、TAUAnCDRm を変更し、TAUAnCSRm.TAUAnOVF を 1 に設定する (TAUAnCMORm.TAUAnCOS[1:0] = 00_B)

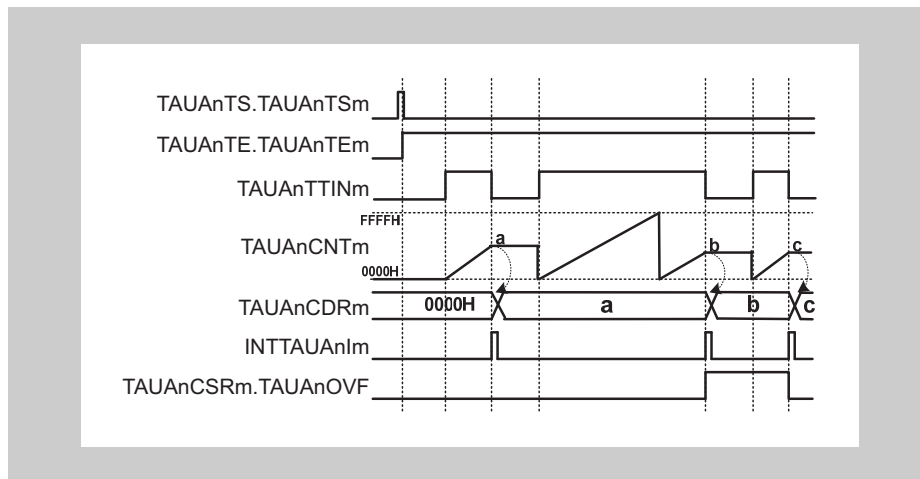


図 12-48 TAUAnTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-36 TAUAnTTINm 入力信号幅測定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	010: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	616 ページの表 12-35 「オーバフローの影響」を参照。
TAUAnMD[4:1]	0110: キャプチャ & ワンカウント・モード
TAUAnMD0	0: 動作中のスタート・トリガ無効

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-37 TAUAnTTINm 入力信号幅測定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-38 TAUAnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) TAUAnTTINm 入力信号幅測定機能の操作手順

表 12-39 TAUAnTTINm 入力信号幅測定機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、618 ページの表 12-36 「TAUAnTTINm 入力信号幅測定機能の TAUAnCMORm 設定」と 618 ページの表 12-37 「TAUAnTTINm 入力信号幅測定機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSM を 1 に設定します。TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。TAUAnTTINm スタート・エッジを検出すると、TAUAnCNTm はアップ・カウントを開始します。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm, TAUAnCNTm, TAUAnCSRm レジスタは任意のタイミングで読み出しが可能です。TAUAnCSC.CLOV ビットは、1 にセット可能です。	TAUAnCNTm は、0000 _H からアップ・カウントを開始します。TAUAnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUAnCNTm が自身の値を TAUAnCDRm に転送（キャプチャ）して、その値を保持します。 その後、INTTAUAnIm が発生します。以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバフロー動作

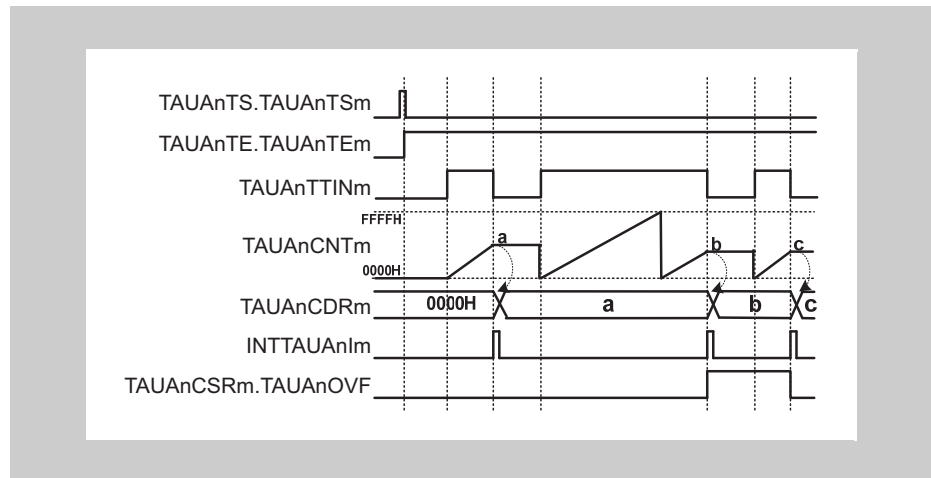
(a) TAUAnCMORm.TAUAnCOS[1:0] = 00_B

図 12-49 TAUAnCMORm.TAUAnCOS[1:0] = 00_B, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUAnCDRm の値は変更されず、TAUAnCSRm.TAUAnOVF の値は 0 のままです。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の値が TAUAnCDRm にロードされ、TAUAnCSRm.TAUAnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCSRm.TAUAnOVF が 0 にクリアされます。

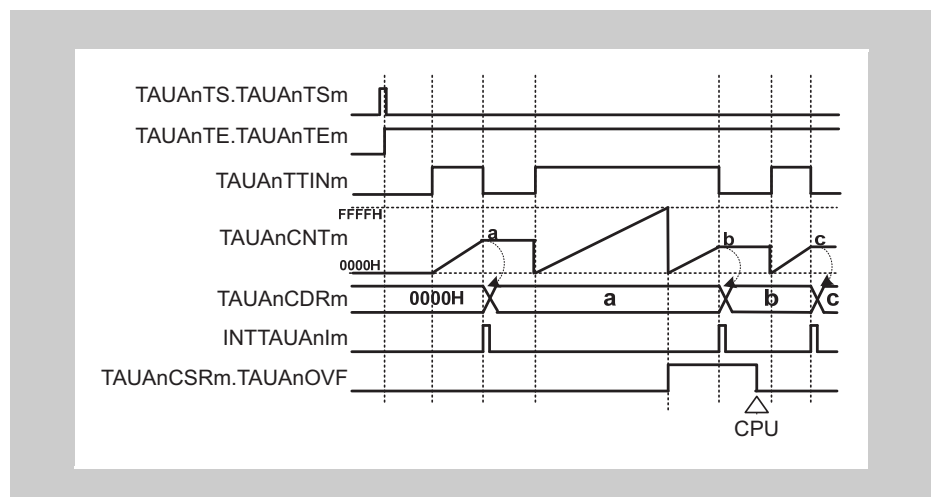
(b) TAUAnCMORm.TAUAnCOS[1:0] = 01_B

図 12-50 TAUAnCMORm.TAUAnCOS[1:0] = 01_B, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUAnCDRm の値は変更されず、TAUAnCSRm.TAUAnOVF の値は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の値

が TAUAnCDRm にロードされます。

- TAUAnCSRm.TAUAnOVF は、CPU コマンド (TAUAnCSCm.TAUAnCLOV ビット =1 のセット) でのみクリアされます。

(c) TAUAnCMORm.TAUAnCOS[1:0] = 10_B

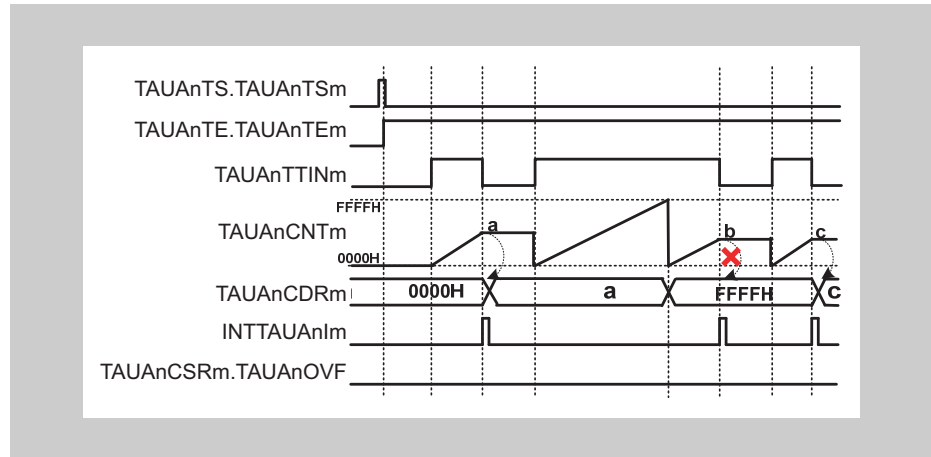


図 12-51 TAUAnCMORm.TAUAnCOS[1:0] = 10_B, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUAnCDRm は FFFF_H に設定され、TAUAnCSRm.TAUAnOVF の値は 0 のままです。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0 にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。

(d) TAUAnCMORm.TAUAnCOS[1:0] = 11_B

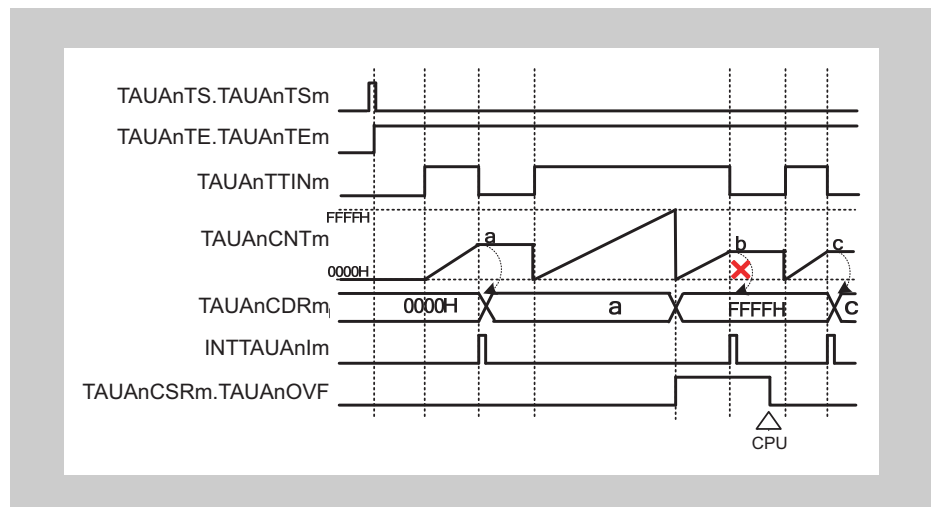


図 12-52 TAUAnCMORm.TAUAnCOS[1:0] = 11_B, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUAnCDRm は FFFF_H に設定され、TAUAnCSRm.TAUAnOVF は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0 にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。
- TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでクリアされます。

12.16.3 オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時)

(1) 概要

概要 この機能は、各 TAUAnTTINm 入力信号の幅を測定します。TAUAnTTINm 入力後、(FFFF_H + 1) を超えた場合、割り込みが発生します。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (626 ページの表 12-40 「オーバフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 幅測定時)」参照)。
 - この機能では、TAUAnTTOUm は使用しません。
 - TAUAnCDRm の値は、FFFF_H に設定する必要があります。

機能説明 チャネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

有効な TAUAnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCNTm に FFFF_H がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジを検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUAnTTINm 入カスタート・エッジが検出されると、TAUAnCNTm は FFFF_H をロードし、ダウン・カウントを開始します。

ストップ・エッジを検出する前にカウンタが 0000_H に達すると、割り込みが発生します。

- 条件** 有効なスタート・エッジとストップ・エッジは、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。
- TAUAnCMURm.TAUAnTIS[1:0] = 10_B の場合、TAUAnTTINm 入力 Low 幅が測定されます。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
 - TAUAnCMURm.TAUAnTIS[1:0] = 11_B の場合、TAUAnTTINm 入力 High 幅が測定されます。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

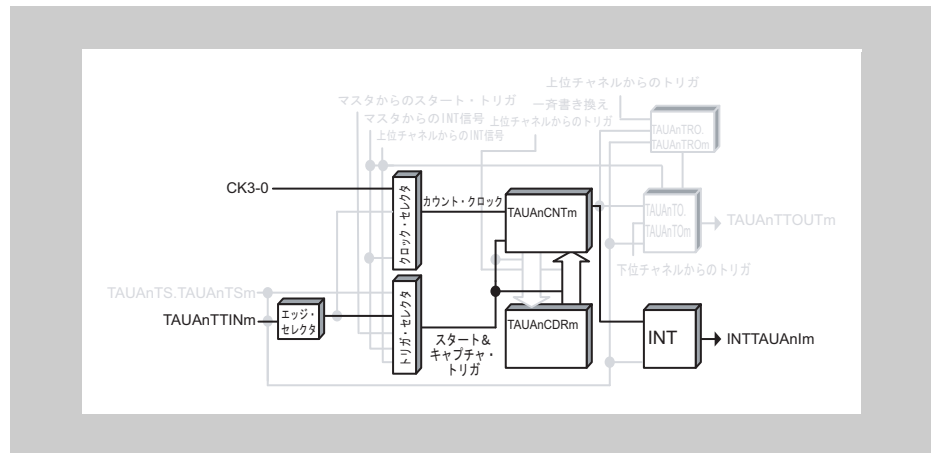


図 12-53 オーバフロー割り込み出力機能のブロック図 (TAUAnTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11_B)

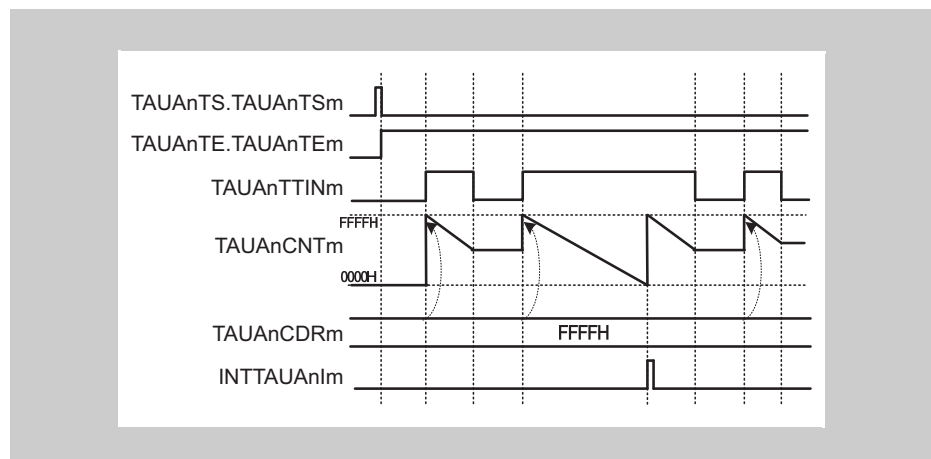


図 12-54 オーバフロー割り込み出力機能の基本タイミング図 (TAUAnTTINm 幅測定時)

(3) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-40 オーバフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 幅測定時)

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	010: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	0: 動作中のスタート・トリガ無効

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-41 オーバフロー割り込み出力機能の TAUAnCMURm 設定 (TAUAnTTINm 幅測定時)

ビット名	設定
TAUAnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 12-42 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUAnTTINm 幅測定時)

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDsm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(4) オーバフロー割り込み出力機能の操作手順 (TAUAnTTINm 幅測定時)

表 12-43 オーバフロー割り込み出力機能の操作手順 (TAUAnTTINm 幅測定時)

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、626 ページの表 12-40 「オーバーフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 幅測定時)」と 626 ページの表 12-41 「オーバーフロー割り込み出力機能の TAUAnCMURm 設定 (TAUAnTTINm 幅測定時)」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTsm を 1 に設定します。 TAUAnTS.TAUAnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm はスタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUAnCDRm の値 (FFFF _H) を TAUAnCNTm にロードします。
	動作中 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。 TAUAnTTINm エッジ検出	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUAnIm が発生します。 カウント動作中に TAUAnTTINm の逆エッジを検出した場合： <ul style="list-style-type: none"> TAUAnCNTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

12.16.4 TAUAnTTINm 入力期間カウント検出機能

(1) 概要

概要 この機能は、TAUAnTTINm 入力信号の合計幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります (630 ページの表 12-44 「TAUAnTTINm 入力期間カウント検出機能の TAUAnCMORm 設定」参照)。
 - この機能では、TAUAnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEM = 1 となり、カウントが可能になります。カウンタは、有効な TAUAnTTINm 入力エッジを待ちます。

有効な TAUAnTTINm 入カスタート・エッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUAnTTINm 入カストップ・エッジが検出されると、TAUAnCNTm の現在値が TAUAnCDRm にロードされ、割り込み (INTTAUAnIm) が発生します。次の有効な TAUAnTTINm 入カスタート・エッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUAnTTINm 入カスタート・エッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF_H になると、TAUAnCSRm.TAUAnOVF ビットが 1 に設定され、カウンタは 0000_H からカウント動作を再開します。

TAUAnCSCm.TAUAnCLOV = 1 を設定すると、TAUAnCSRm.TAUAnOVF 値が CPU によってリセットされます。

備考 TAUAnTTINm 入力信号は、TAUAnCMORm.TAUAnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件 有効なスタート・エッジとストップ・エッジは、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。

- TAUAnCMURm.TAUAnTIS[1:0] = 10_B の場合、TAUAnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がリエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUAnCMURm.TAUAnTIS[1:0] = 11_B の場合、TAUAnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がリエッジです。

(2) 算出式

TAUAnTTINm 入力幅累計 =
 カウント・クロック周期 × ((FFFF_H × TAUAnCSRm.TAUAnOVF) +
 (TAUAnCDRm キャプチャ値 + 1))



注意 カウント値が最大値 (0FFFF_H) の時、キャプチャ信号が入力されると、次のカウント・クロックで発生するオーバーフローによりセットされるオーバーフロー・フラグ (以下、OVF) がセットされません。その他のタイミングでは、OVF は正常にセットされます。

(3) ブロック図と基本タイミング図

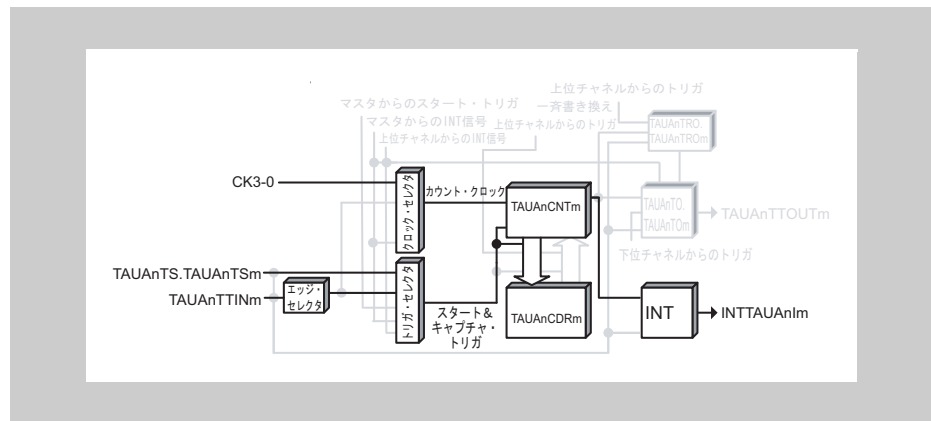


図 12-55 TAUAnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11_B)

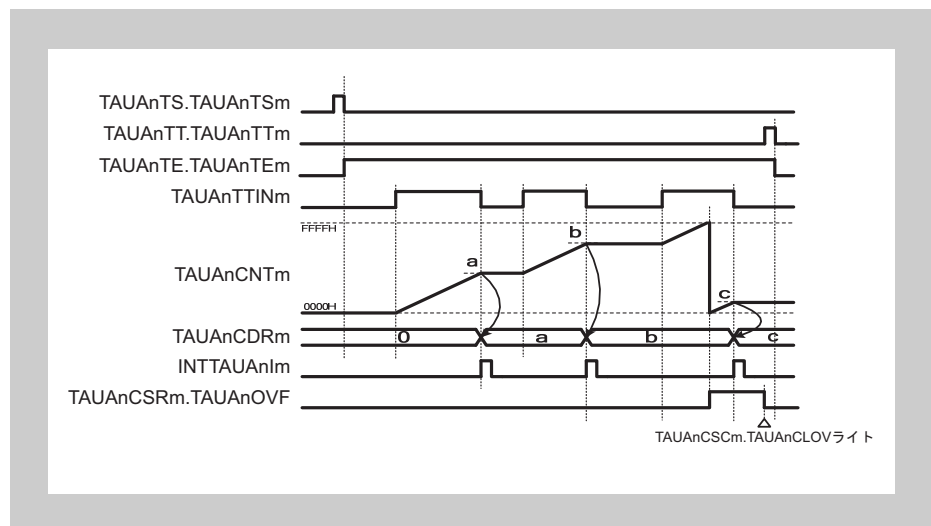


図 12-56 TAUAnTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-44 TAUAnTTINm 入力期間カウント検出機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	010: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	01: カウンタ・オーバフロー時にオーバフロー (TAUAnCSRm.TAUAnOVF) を設定, CPU 命令によりクリア
TAUAnMD[4:1]	1101: キャプチャ&ゲート・カウント・モード
TAUAnMD0	0: 動作中のスタート・トリガ無効

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-45 TAUAnTTINm 入力期間カウント検出機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 12-46 TAUAnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

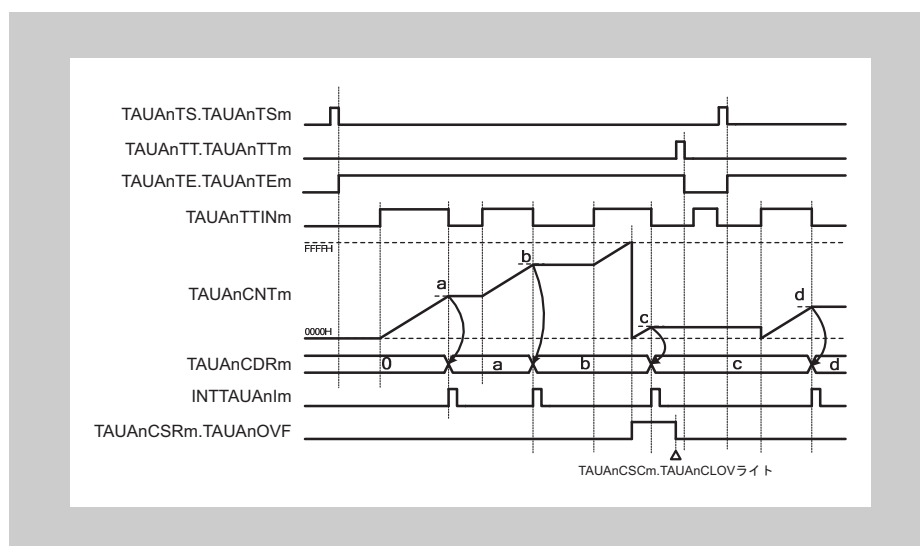
(5) TAUAnTTINm 入力期間カウント検出機能の操作手順

表 12-47 TAUAnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUAn の状態
動作再開 ↓	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、630 ページの表 12-44 「TAUAnTTINm 入力期間カウント検出機能の TAUAnCMORm 設定」と 630 ページの表 12-45 「TAUAnTTINm 入力期間カウント検出機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUAnCNTm は 0000 _H にクリアされ、TAUAnCNTm はアップ・カウントを開始します。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm, TAUAnCNTm, TAUAnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUAnCSCm.TAUAnCLOV は、1 に設定可能です。	TAUAnTTINm スタート・エッジ (High 幅測定なら立ち上がりエッジ, Low 幅測定なら立ち下がりエッジ) を検出すると、TAUAnCNTm は停止値よりアップ・カウントを開始します。 TAUAnCNTm は、ストップ・エッジ (High 幅測定なら立ち下がりエッジ, Low 幅測定なら立ち上がりエッジ) を検出すると、値を TAUAnCDRm に転送し、INTTAUAnIm が発生します。 カウントは TAUAnCDRm に転送した値 + 1 の値で停止し、TAUAnCNTm は TAUAnTTINm スタート・エッジの検出を待ちます。 TAUAnCNTm が FFFF _H に達すると、カウンタはオーバーフローし、TAUAnCSRm.TAUAnOVF は 1 に設定されます。 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 12-57 動作の停止と再開 (TAUAnCMURm.TAUAnTIS[1:0] = 11_B)

- TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。
- TAUAnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUAnTTINm の有効な入力エッジは無視されます。
- TAUAnTS.TAUAnTSM を 1 に設定すると、カウントを再開できます。TAUAnCNTm は 0000_H からカウントを再開します。

12.16.5 オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)

(1) 概要

概要 この機能は、TAUAnTTINm 入力信号の合計幅を測定します。TAUAnTTINm 入力合計幅が $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

- 前提条件**
- 動作モードはゲート・カウント・モードに設定する必要があります (635 ページの表 12-48 「オーバフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 入力期間カウント検出時)」参照)。
 - この機能では、TAUAnTTOUTm は使用しません。
 - TAUAnCDRm の値は、 $FFFF_H$ に設定する必要があります。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。

有効な TAUAnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCNTm に $FFFF_H$ がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUAnTTINm 入カスタート・エッジを待ち、現在値からのダウン・カウントを継続します。

カウンタが 0000_H になると、割り込みが発生します。TAUAnCNTm に $FFFF_H$ がロードされ、カウンタは TAUAnTTINm 入カストップ・エッジが検出されるまでダウン・カウントを継続します。

- 条件** 有効なスタート・エッジとストップ・エッジは、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。
- TAUAnCMURm.TAUAnTIS[1:0] = 10_B の場合、TAUAnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
 - TAUAnCMURm.TAUAnTIS[1:0] = 11_B の場合、TAUAnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

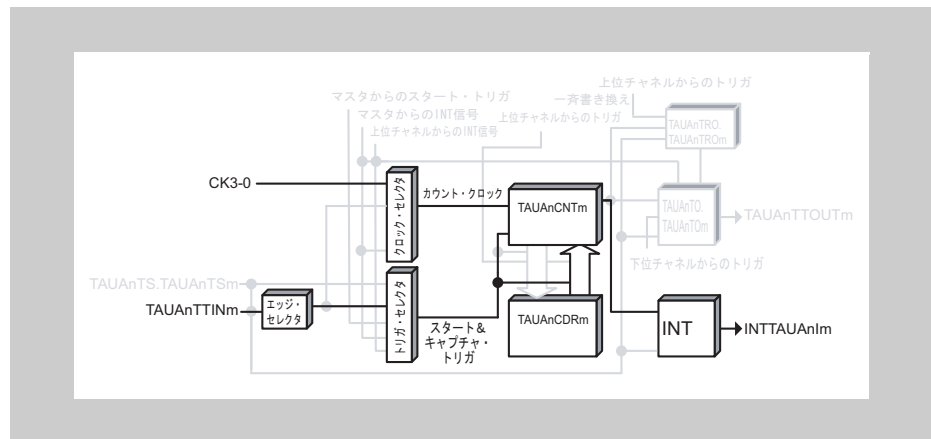


図 12-58 オーバフロー割り込み出力機能のブロック図
(TAUAnTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11_B)

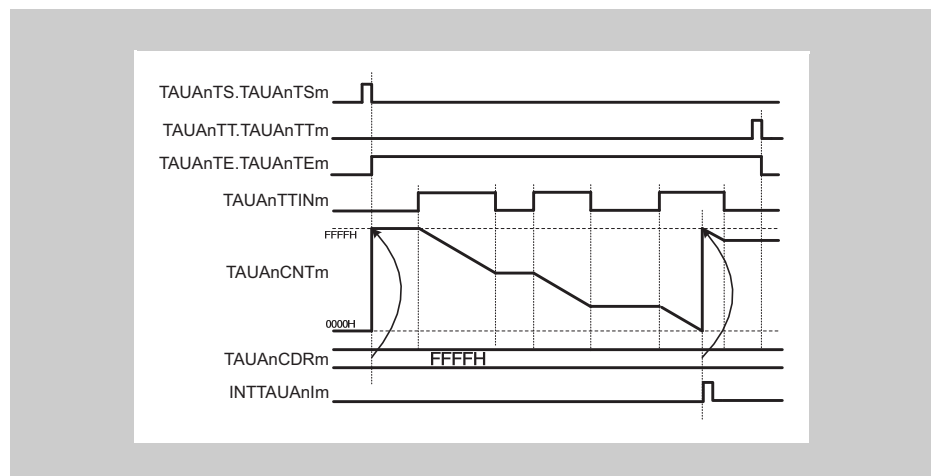


図 12-59 オーバフロー割り込み出力機能の基本タイミング図
(TAUAnTTINm 入力期間カウント検出時)

(3) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-48 オーバフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 入力期間カウント検出時)

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	010: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1100: ゲート・カウント・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-49 オーバフロー割り込み出力機能の TAUAnCMURm 設定 (TAUAnTTINm 入力期間カウント検出時)

ビット名	設定
TAUAnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 12-50 オーバフロー割り込み出力機能の一斉書き換え設定
(TAUAnTTINm 入力期間カウント検出時)

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(4) オーバフロー割り込み出力機能の操作手順
(TAUAnTTINm 入力期間カウント検出時)

表 12-51 オーバフロー割り込み出力機能の操作手順
(TAUAnTTINm 入力期間カウント検出時)

	操作	TAUAn の状態
動作再開	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm はスタート・エッジ検出を待ちます。
	動作中	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUAnIm が発生します。 TAUAnCDRm の値 (FFFF_H) を TAUAnCNTm にロードし、ダウン・カウントを継続します。 カウント動作中に TAUAnTTINm の逆エッジを検出した場合： <ul style="list-style-type: none"> TAUAnCNTm は停止値からダウン・カウントを行います。 以降、この動作を繰り返します。
	動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

12.16.6 TAUAnTTINm 入力パルス・インターバル判定機能

(1) 概要

概要 この機能は、TAUAnTTINm 入力パルスの発生時、カウント値 (TAUAnCNTm) とチャンネル・データ・レジスタ (TAUAnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。

前提条件

- 動作モードは判定モードに設定する必要があります (639 ページの表 12-52 「TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMORm 設定」参照)。

- この機能では、TAUAnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEM = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

TAUAnTTINm 有効エッジが検出された場合、または TAUAnTS.TAUAnTSM が 1 に設定された場合、この機能は TAUAnCNTm と TAUAnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。TAUAnCNTm は、TAUAnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUAnTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUAnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件 比較の種類を TAUAnCMORm.TAUAnMD0 ビットで指定します。

- TAUAnCMORm.TAUAnMD0 = 0 かつ TAUAnCNTm ≤ TAUAnCDRm の場合、INTTAUAnIm が発生します。
- TAUAnCMORm.TAUAnMD0 = 1 かつ TAUAnCNTm > TAUAnCDRm の場合、INTTAUAnIm が発生します。

(2) ブロック図と基本タイミング図

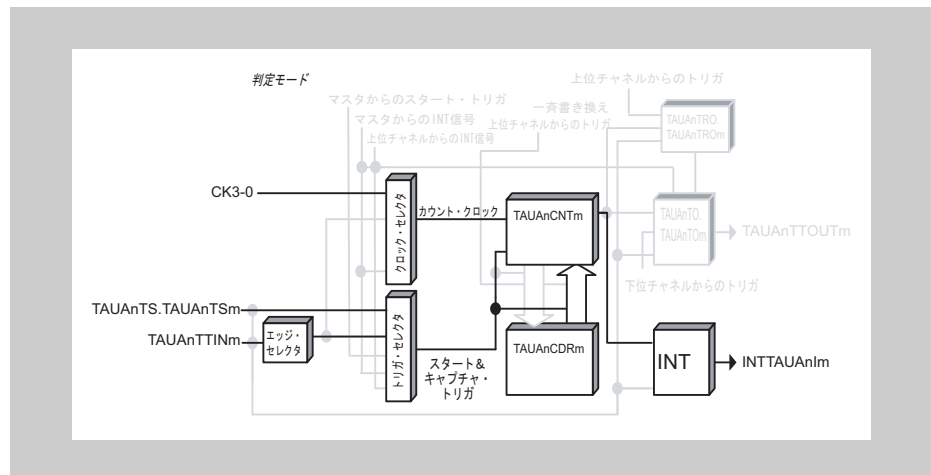


図 12-60 TAUAnTTINm 入力パルス・インターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)

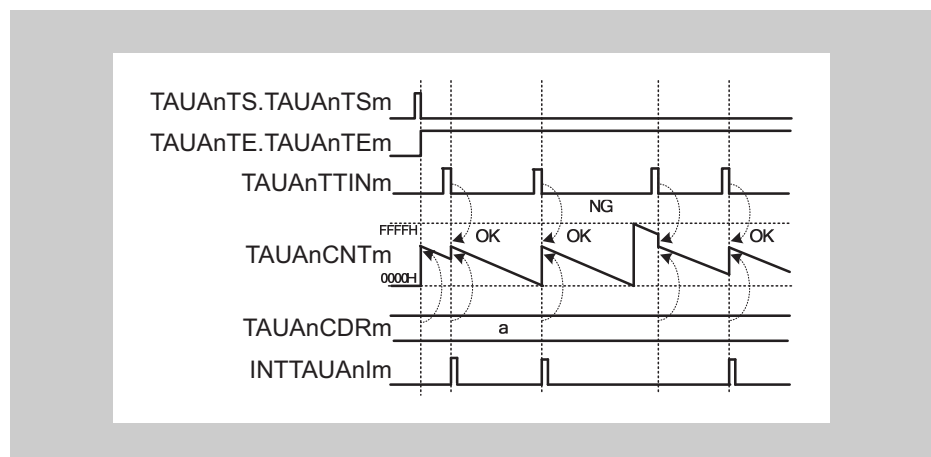


図 12-61 TAUAnTTINm 入力パルス・インターバル判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-52 TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0001: 判定モード
TAUAnMD0	0: TAUAnCNTm ≤ TAUAnCDRm の場合, INTTAUAnIm が発生 1: TAUAnCNTm > TAUAnCDRm の場合, INTTAUAnIm が発生

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-53 TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がリエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力パルス・インターバル判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 12-54 TAUAnTTINm 入力パルス・インターバル判定機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(4) TAUAnTTINm 入力パルス・インターバル判定機能の操作手順

表 12-55 TAUAnTTINm 入力パルス・インターバル判定機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、639 ページの表 12-52 「TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMORm 設定」と 639 ページの表 12-53 「TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。 TAUAnTTINm 入力エッジ検出時： <ul style="list-style-type: none"> 再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。 TAUAnCNTm は、値を比較し、TAUAnCMORm.TAUAnMD0 の設定にしたがって条件を判定します。 条件が満たされている場合、INTTAUAnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

12.16.7 TAUAnTTINm 入力信号幅判定機能

(1) 概要

概要 この機能は、TAUAnTTINm 入力信号の有効なストップ・エッジの検出時、カウンタ値 (TAUAnCNTm) とチャンネル・データ・レジスタ (TAUAnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。

前提条件

- 動作モードは判定 & ワンカウント・モードに設定する必要があります (644 ページの表 12-56 「TAUAnTTINm 入力信号幅判定機能の TAUAnCMORm 設定」参照)。

- この機能では、TAUAnTTOUtM は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。有効な TAUAnTTINm 入力スタート・エッジが検出されると、TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

有効な TAUAnTTINm ストップ・エッジが検出されると、この機能は TAUAnCNTm と TAUAnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。カウンタ TAUAnCNTm は、比較の結果に関係なく、次の有効な TAUAnTTINm スタート・エッジを検出するまで値を保持します。

有効な TAUAnTTINm ストップ・エッジを検出する前にカウンタが 0000_H に達すると、TAUAnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件**
- 比較の種類を TAUAnCMORm.TAUAnMD0 ビットで指定します。
 - TAUAnCMORm.TAUAnMD0 = 0 かつ TAUAnCNTm ≤ TAUAnCDRm の場合、INTTAUAnIm が発生します。
 - TAUAnCMORm.TAUAnMD0 = 1 かつ TAUAnCNTm > TAUAnCDRm の場合、INTTAUAnIm が発生します。
 - TAUAnCMURm.TAUAnTIS[1:0] ビットで幅測定のタイプを指定します。
 - High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11_B の場合) では、TAUAnTTINm 立ち上がりエッジをスタート・エッジ、TAUAnTTINm 立ち下がりエッジをストップ・エッジとして使用します。
 - Low 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 10_B の場合) では、TAUAnTTINm 立ち下がりエッジをスタート・エッジ、TAUAnTTINm 立ち上がりエッジをストップ・エッジとして使用します。
 - この機能では強制リスタートは行えません。

(2) ブロック図と基本タイミング図

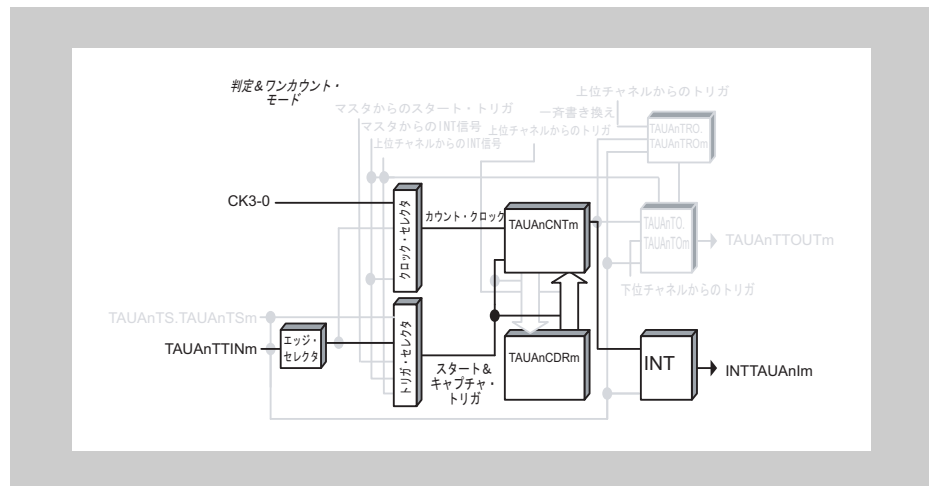


図 12-62 TAUA nTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $\text{TAUA nCNTm} \leq \text{TAUA nCDRm}$ ($\text{TAUA nCMORm.TAUAnMD0} = 0$) の場合、INTTAUAnIm が発生します。
- TAUA nTTINm 有効スタート・エッジ = 立ち上がりエッジ, TAUA nTTINm 有効ストップ・エッジ = 立ち下がりエッジ
($\text{TAUA nCMURm.TAUAnTIS}[1:0] = 11_{\text{B}}$)

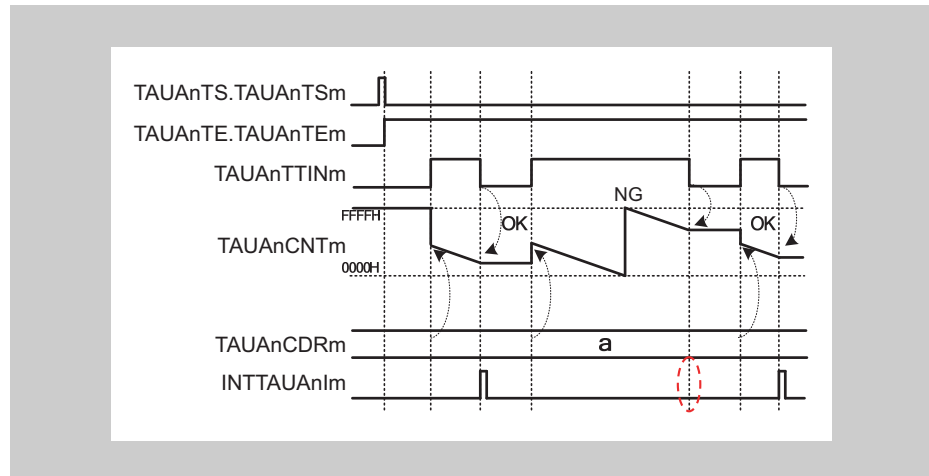


図 12-63 TAUA nTTINm 入力信号幅判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-56 TAUAnTTINm 入力信号幅判定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	010: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0111: 判定&ワンカウント・モード
TAUAnMD0	0: TAUAnCNTm ≤ TAUAnCDRm の場合, INTTAUAnIm が発生 1: TAUAnCNTm > TAUAnCDRm の場合, INTTAUAnIm が発生

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-57 TAUAnTTINm 入力信号幅判定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 12-58 TAUA_nTTIN_m 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUA _n RDE.TAUA _n RDE _m	0: 一斉書き換え禁止
TAUA _n RDS.TAUA _n RDS _m	0: 一斉書き換え禁止時 (TAUA _n RDE.TAUA _n RDE _m = 0), 0 を設定
TAUA _n RDM.TAUA _n RDM _m	
TAUA _n RDC.TAUA _n RDC _m	

(4) TAUAnTTINm 入力信号幅判定機能の操作手順

表 12-59 TAUAnTTINm 入力信号幅判定機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、644 ページの表 12-56 「TAUAnTTINm 入力信号幅判定機能の TAUAnCMORm 設定」と 644 ページの表 12-57 「TAUAnTTINm 入力信号幅判定機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。 TAUAnTTINm スタート・エッジが検出されると、TAUAnCDRm の値を TAUAnCNTm にロードします。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。 TAUAnTTINm ストップ・エッジ検出時： <ul style="list-style-type: none"> TAUAnCNTm は停止し、TAUAnTTINm スタート・エッジ検出を待ちます。 TAUAnCNTm は、値を比較し、TAUAnCMORm.TAUAnMD0 の設定にしたがって条件を判定します。 条件が満たされている場合、INTTAUAnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

12.17 チャンネル単体リアルタイム機能

この節では、TAUAnTRO.TAUAnTROm ビット値をリアルタイム出力する機能について説明します。

- 12.17.1 「リアルタイム出力機能タイプ1」
- 12.17.2 「リアルタイム出力機能タイプ2」

12.17.1 リアルタイム出力機能タイプ1

(1) 概要

概要 指定したチャンネルでの割り込み (INTTAUAnIm) 発生時に, TAUAnTTOUTm から TAUAnTRO.TAUAnTROm ビット値を出力する機能です。この機能では, 設定した一定の間隔で割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUAnTRC.TAUAnTRCm = 1), 下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUAnTRC.TAUAnTRCm = 0) です。

- 前提条件**
- 他チャンネルの TAUAnTTOUTm 制御を使用するチャンネル
 - 上位チャンネルの動作モードは, インターバル・タイマ・モードに設定する必要があります (651 ページの表 12-60 「リアルタイム出力機能タイプ1の TAUAnCMORm 設定」参照)。
 - 下位チャンネルには任意の動作モードを設定可能です。
 - 全チャンネルのチャンネル出力モードは, リアルタイム出力を行うチャンネル単体出力モード1に設定する必要があります。562 ページの 12.8 「チャンネル出力モード」を参照してください。
 - 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUAnTRE.TAUAnTREM = 1)。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると, 上位チャンネルのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり, カウンタが可能になります。上位チャンネルのデータ・レジスタ (TAUAnCDRm) の現在値がカウンタ (TAUAnCNTm) にロードされ, カウンタはこの値からダウン・カウントを開始します。

上位チャンネルのカウンタが 0000_H に達すると, INTTAUAnIm が発生し, TAUAnTTOUTm が全チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) の現在値を出力します (TAUAnTRE.TAUAnTREM = 1 のチャンネルのみ)。その後, 再び TAUAnCDRm の値を TAUAnCNTm にロードし, 以降, 動作を継続します。

TAUAnTTOUTm 信号は, 割り込み発生時と, その割り込み発生時に TAUAnTTOUTm の値が TAUAnTRO.TAUAnTROm の現在値と異なる場合のみ変化します。

- 条件**
- INTTAUAnIm の発生を検出するチャンネルは, 該当チャンネルに TAUAnTRC.TAUAnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない, その他すべてのチャンネルは, TAUAnTRC.TAUAnTRCm ビットを0に設定しておく必要があります。
 - 下位チャンネルのリアルタイム出力が禁止 (TAUAnTRE.TAUAnTREM = 0) されている場合, またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUAnTRC.TAUAnTRCm = 1), そのチャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAnTRO.TAUAnTROm ビット値が出力されません。
 - 下位チャンネルのリアルタイム出力が許可されていて (TAUAnTRE.TAUAnTREM = 1), TAUAnTRC.TAUAnTRCm = 0 である場合, 上位チャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAnTRO.TAUAnTROm ビット値が出力されます。
 - TAUAnCMORm.TAUAnMD0 ビットが0に設定されている場合, 動作開始

または再開後の最初の割り込みは出力されません。詳細は 574 ページの 12.10 「カウント開始／リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

(2) 算出式

$\text{INTTAUAnIm の発生周期} = \text{カウント} \cdot \text{クロック周期} \times (\text{TAUAnCDRm 値} + 1)$

(3) ブロック図と基本タイミング図

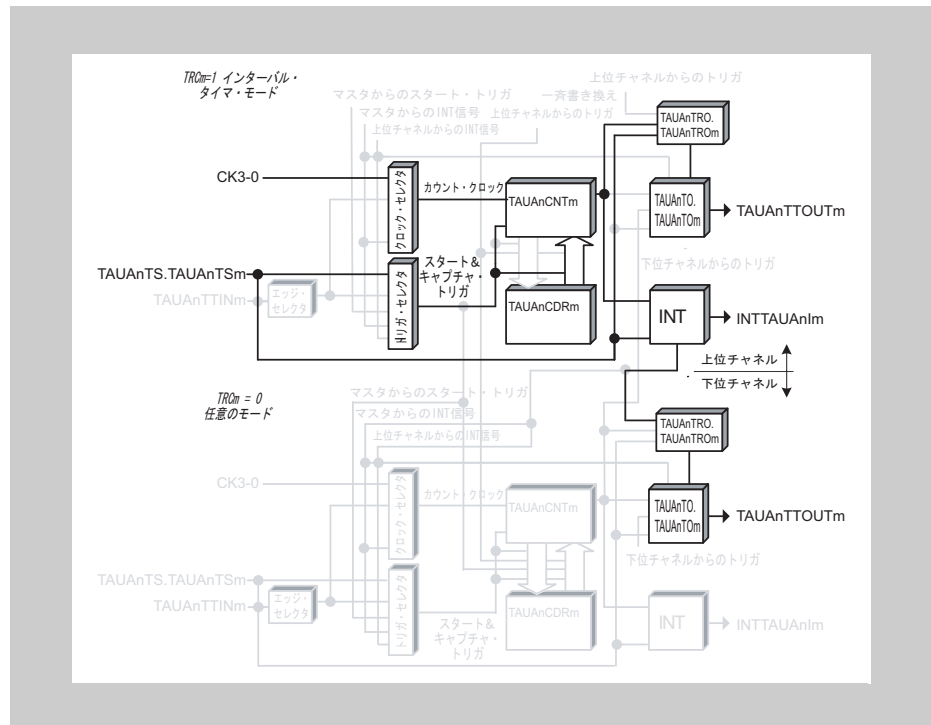


図 12-64 リアルタイム出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAn1m が発生する (TAUAnCMORm.TAUAnMD0 = 1)

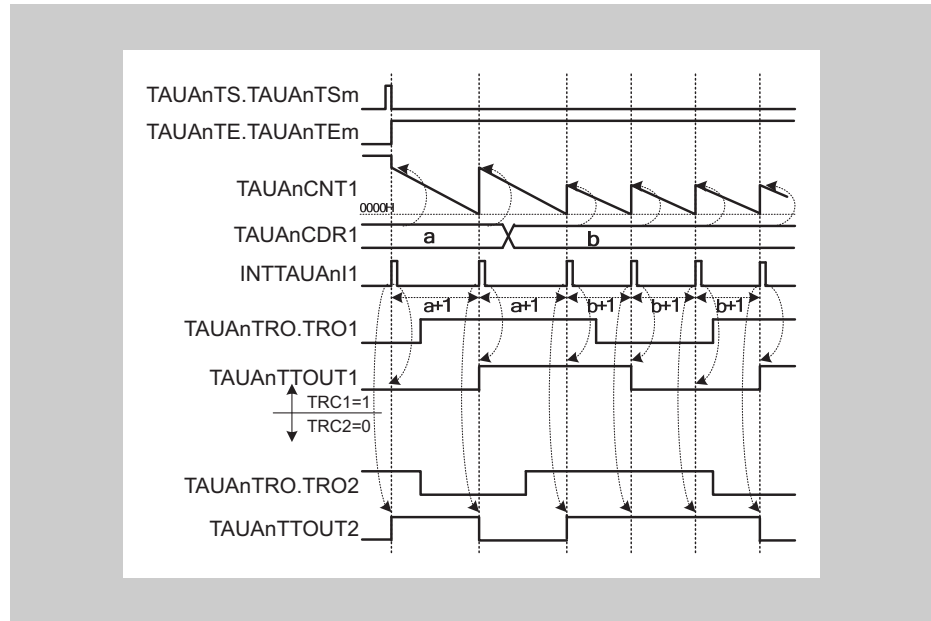


図 12-65 リアルタイム出力機能タイプ1の基本タイミング図

(4) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-60 リアルタイム出力機能タイプ1の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない 1: 動作開始時に INTTAUAnIm が発生する

(b) 上位チャネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-61 リアルタイム出力機能タイプ1の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) 上位チャネルのチャネル出力モード

表 12-62 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	1: チャネル m は独自のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) 上位チャネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、リアルタイム出力機能タイプ1では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-63 リアルタイム出力機能タイプ1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) 下位チャンネルのレジスタ設定**(a) 下位チャンネルの TAUAnCMORm**

下位チャンネルの TAUAnCMORm レジスタは任意の設定が可能です。

(b) 下位チャンネルの TAUAnCMURm

下位チャンネルの TAUAnCMURm レジスタは任意の設定が可能です。

(c) 下位チャンネルのチャンネル出力モード

表 12-64 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(6) リアルタイム出力機能タイプ1の操作手順

表 12-65 リアルタイム出力機能タイプ1の操作手順

	操作	TAUAnの状態
<div style="writing-mode: vertical-rl; transform: rotate(180deg);">動作再開</div>	<div style="writing-mode: vertical-rl; transform: rotate(180deg);">チャンネルの初期設定</div> <p>上位チャンネルの TAUAnCMORm レジスタと TAUAnCMURm レジスタを、651 ページの表 12-60 「リアルタイム出力機能タイプ1の TAUAnCMORm 設定」と 651 ページの表 12-61 「リアルタイム出力機能タイプ1の TAUAnCMURm 設定」に示すように設定します。</p> <p>下位チャンネルの TAUAnCMORm レジスタと TAUAnCMURm レジスタを、第15章「下位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUAnCDRm レジスタの値を設定します (TAUAnTRC.TAUAnTRCm = 1 のチャンネルのみ)。</p> <p>制御ビットを 652 ページの表 12-62 「リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p> <p>制御ビットを 653 ページの表 12-64 「リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	チャンネル動作を停止しています。
	<div style="writing-mode: vertical-rl; transform: rotate(180deg);">動作開始</div> <p>TAUAnTRC.TAUAnTRCm が 1 に設定されているチャンネルでは、TAUAnTS.TAUAnTSm = 1 を設定します。TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	[TAUAnTRC.TAUAnTRCm が 1 に設定されているチャンネル] TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。
	<div style="writing-mode: vertical-rl; transform: rotate(180deg);">動作中</div> <p>TAUAnCDRm レジスタと TAUAnTRO.TAUAnTROm は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。</p>	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。 INTTAUAnIm が発生します。 TAUAnTTOUTm がリアルタイム出力ビット TAUAnTRO.TAUAnTROm の現在値を出力します。 以降、この動作を繰り返します。
	<div style="writing-mode: vertical-rl; transform: rotate(180deg);">動作停止</div> <p>TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnTTOUTm は現在値を保持します。

(7) 特定の設定時のタイミング図

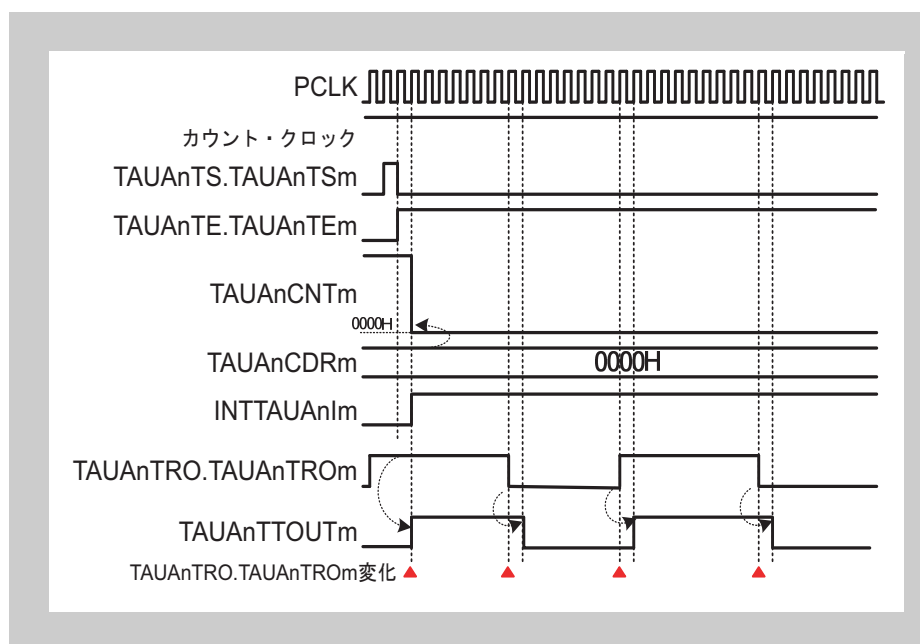


図 12-66 $TAUAnCDRm = 0000H$, $TAUAnCMORm.TAUAnMD0 = 1$

- PCLK 周期が遅延すると、TAUAnTTOUTm の値は TAUAnTRO.TAUAnTROM の設定にしたがって変化します。

12.17.2 リアルタイム出力機能タイプ2

(1) 概要

概要 指定したチャンネルでの割り込み (INTTAUAnIm) 発生時に, TAUAnTTOUTm から TAUAnTRO.TAUAnTROm ビット値を出力する機能です。この機能の開始時, または有効な TAUAnTTINm 入力エッジが検出されると, 割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUAnTRC.TAUAnTRCm = 1), 下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUAnTRC.TAUAnTRCm = 0) です。

前提条件

- 他チャンネルの TAUAnTTOUTm 制御を使用するチャンネル
- 上位チャンネルの動作モードは, キャプチャ・モードに設定する必要があります (658 ページの表 12-66 「リアルタイム出力機能タイプ2の TAUAnCMORm 設定」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは, リアルタイム出力を行うチャンネル単体出力モード1に設定する必要があります。562 ページの 12.8 「チャンネル出力モード」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUAnTRE.TAUAnTREM = 1)。

機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると, 上位チャンネルのカウント動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり, カウントが可能になります。上位チャンネルのカウントがアップ・カウントを開始します。

上位チャンネルで有効な TAUAnTTINm 入力エッジが発生すると, 割り込みが発生し, TAUAnTTOUTm が全チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) の現在値を出力します (TAUAnTRE.TAUAnTREM = 1 のチャンネルのみ)。

TAUAnTTOUTm 信号は, 割り込み発生時と, その割り込み発生時に TAUAnTTOUTm の値が TAUAnTRO.TAUAnTROm の現在値と異なる場合のみ変化します。

条件

- INTTAUAnIm の発生を検出するチャンネルは, 該当チャンネルに TAUAnTRC.TAUAnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない, その他すべてのチャンネルは, TAUAnTRC.TAUAnTRCm ビットを0に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUAnTRE.TAUAnTREM = 0) されている場合, またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUAnTRC.TAUAnTRCm = 1), そのチャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAnTRO.TAUAnTROm ビット値が出力されません。
- 下位チャンネルのリアルタイム出力が許可されていて (TAUAnTRE.TAUAnTREM = 1), TAUAnTRC.TAUAnTRCm = 0 である場合, 上位チャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAnTRO.TAUAnTROm ビット値が出力されます。
- TAUAnCMORm.TAUAnMD0 ビットが0に設定されている場合, 動作開始または再開後の最初の割り込みは出力されません。詳細は 574 ページの 12.10 「カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

(2) ブロック図と基本タイミング図

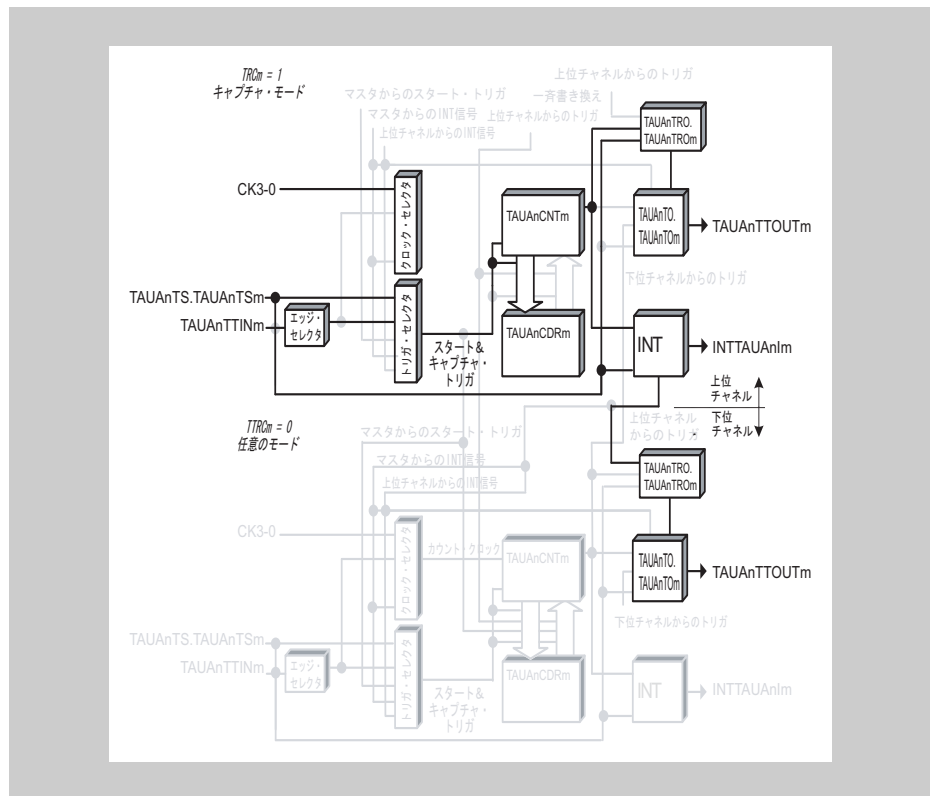


図 12-67 リアルタイム出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)

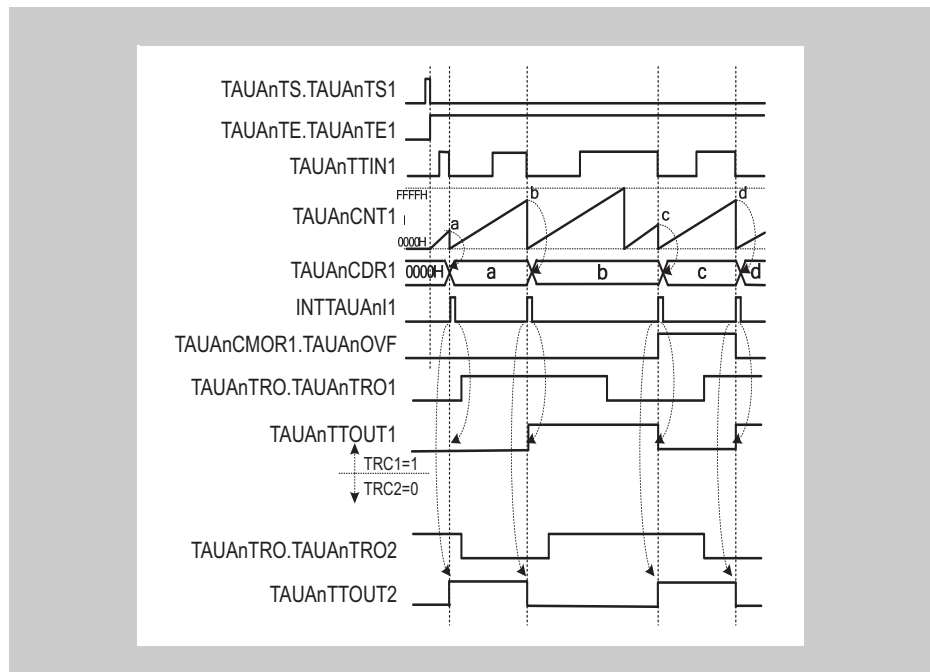


図 12-68 リアルタイム出力機能タイプ2の基本タイミング図

(3) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-66 リアルタイム出力機能タイプ2の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	000: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0010: キャプチャ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない 1: 動作開始時に INTTAUAnIm が発生する

(b) 上位チャネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-67 リアルタイム出力機能タイプ2の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がリエッジ検出 10: 両エッジ検出

(c) 上位チャネルのチャネル出力モード

表 12-68 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	1: チャネル m は独自のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) 上位チャネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、リアルタイム出力機能タイプ2では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-69 リアルタイム出力機能タイプ2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(4) 下位チャンネルのレジスタ設定**(a) 下位チャンネルの TAUAnCMORm**

下位チャンネルの TAUAnCMORm レジスタは任意の設定が可能です。

(b) 下位チャンネルの TAUAnCMURm

下位チャンネルの TAUAnCMURm レジスタは任意の設定が可能です。

(c) 下位チャンネルのチャンネル出力モード

表 12-70 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREM	0: リアルタイム出力禁止 1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成 1: チャンネル m は独自のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(5) リアルタイム出力機能タイプ2の操作手順

表 12-71 リアルタイム出力機能タイプ2の操作手順

	操作	TAUAnの状態
動作再開 ↓	初期設定 チャンネル	チャンネル動作を停止しています。
	動作開始	[TAUAnTRC.TAUAnTRCm が 1 に設定されているチャンネル] TAUAnTE.TAUAnTEm が 1 に設定され、カウンタが開始されます。 TAUAnCNTm が 0000 _H にクリアされません。TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。
	動作中	TAUAnCNTm は、0000 _H からアップ・カウンタを開始します。TAUAnTTINm 入力の有効エッジ検出時： • INTTAUAnIm が発生します。 TAUAnTTOUTm がリアルタイム出力ビット TAUAnTRO.TAUAnTROm の現在値を出力します。 以降、この動作を繰り返します。
	動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm, TAUAnCSRm.TAUAnOVF, TAUAnTTOUTm は現在値を保持します。

12.18 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

- 12.18.1 「一斉書き換えトリガ生成機能タイプ1」
- 12.18.2 「一斉書き換えトリガ生成機能タイプ2」

12.18.1 一斉書き換えトリガ生成機能タイプ1

(1) 概要

概要 下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUAnRDC.TAUAnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUAnRDC.TAUAnRDCm = 0) です。

- 前提条件**
- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUAnRDE.TAUAnRDEm = 1)
 - 上位チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (666 ページの表 12-72 「一斉書き換えトリガ生成機能タイプ1のTAUAnCMORm 設定」参照)。
 - 下位チャンネルに設定可能な動作モードは、550 ページの表 12-8 「一斉書き換え方法とトリガ・タイミング」を参照してください。
 - この機能では、TAUAnTTOUTm はいずれのチャンネルでも使用しません。

機能説明 上位チャンネル、下位チャンネルのチャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると、カウンタ動作が許可されます。これによりTAUAnTE.TAUAnTEm = 1となり、カウントが可能になります。上位チャンネルのデータ・レジスタ・バッファ (TAUAnCDRm buf) の現在値がカウンタ (TAUAnCNTm) にロードされ、カウンタはこの値からダウン・カウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが0000_Hになると、そのチャンネルで割り込みが発生します。対応するTAUAnCDRm バッファの現在値をTAUAnCNTmにロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガ・チャンネルとして設定されていて (TAUAnRDC.TAUAnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUAnRSF.TAUAnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。カウンタはダウン・カウントを開始するたびにデータ・レジスタ・バッファの値を読み出して、その値からダウン・カウントを行います。

データ・レジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

- 条件**
- INTTAUAnIm の発生を検出するチャンネルは、該当チャンネルにTAUAnRDC.TAUAnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUAnRDC.TAUAnRDCm ビットを0に設定しておく必要があります。
 - TAUAnCMORm.TAUAnMD0 ビットが0に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。574 ページの表 12.10 「カウント開始／リスタート時のTAUAnTTOUTm 出力とINTTAUAnIm 生成」を参照してください。

(2) 算出式

一斉書き換えトリガの生成周期 =
 カウント・クロック周期 × (TAUAnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$$\text{TAUAnCDRm} = [(\text{一斉書き換え対象マスタ・チャンネルの TAUAnCDRm 値} + 1) \times \text{割り込み数}] - 1$$

[三角波 PWM の場合]

$$\text{TAUAnCDRm} = [(\text{一斉書き換え対象マスタ・チャンネルの TAUAnCDRm 値} + 1) \times 2 \times \text{割り込み数}] - 1$$

つまり、TAUAnCDRm + 1 と TAUAnCDRm_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

(3) ブロック図と基本タイミング図

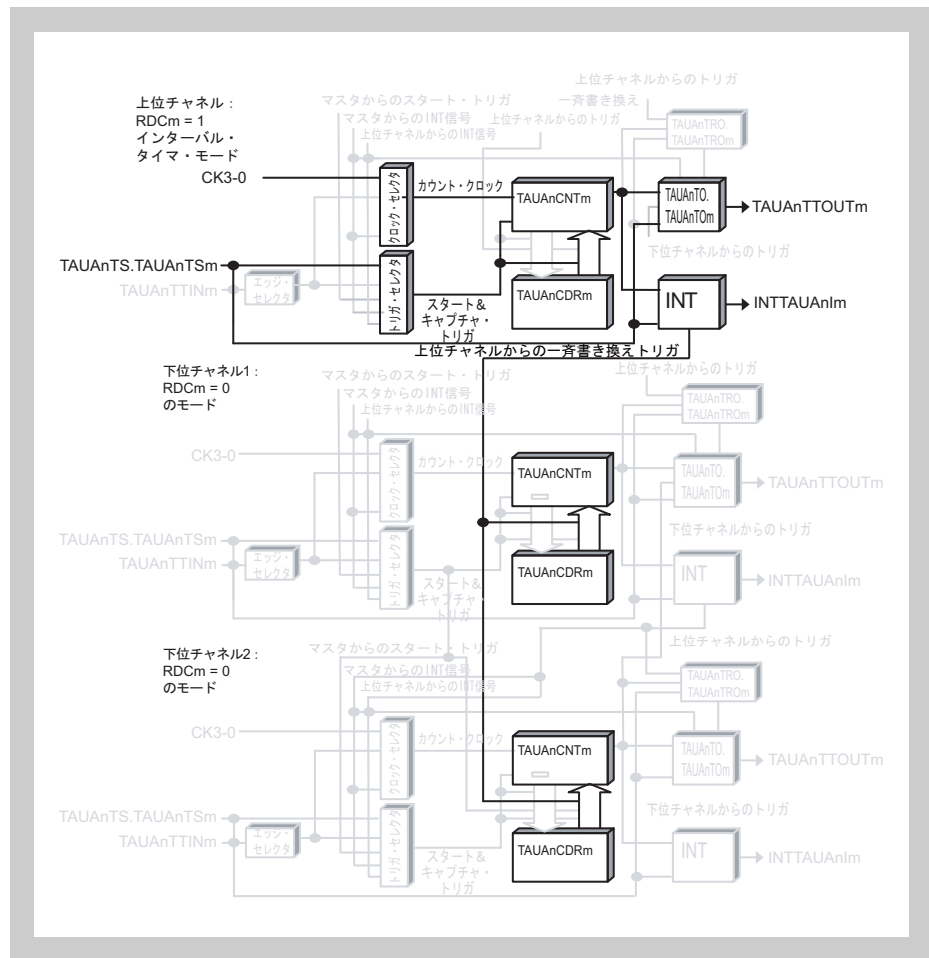


図 12-69 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

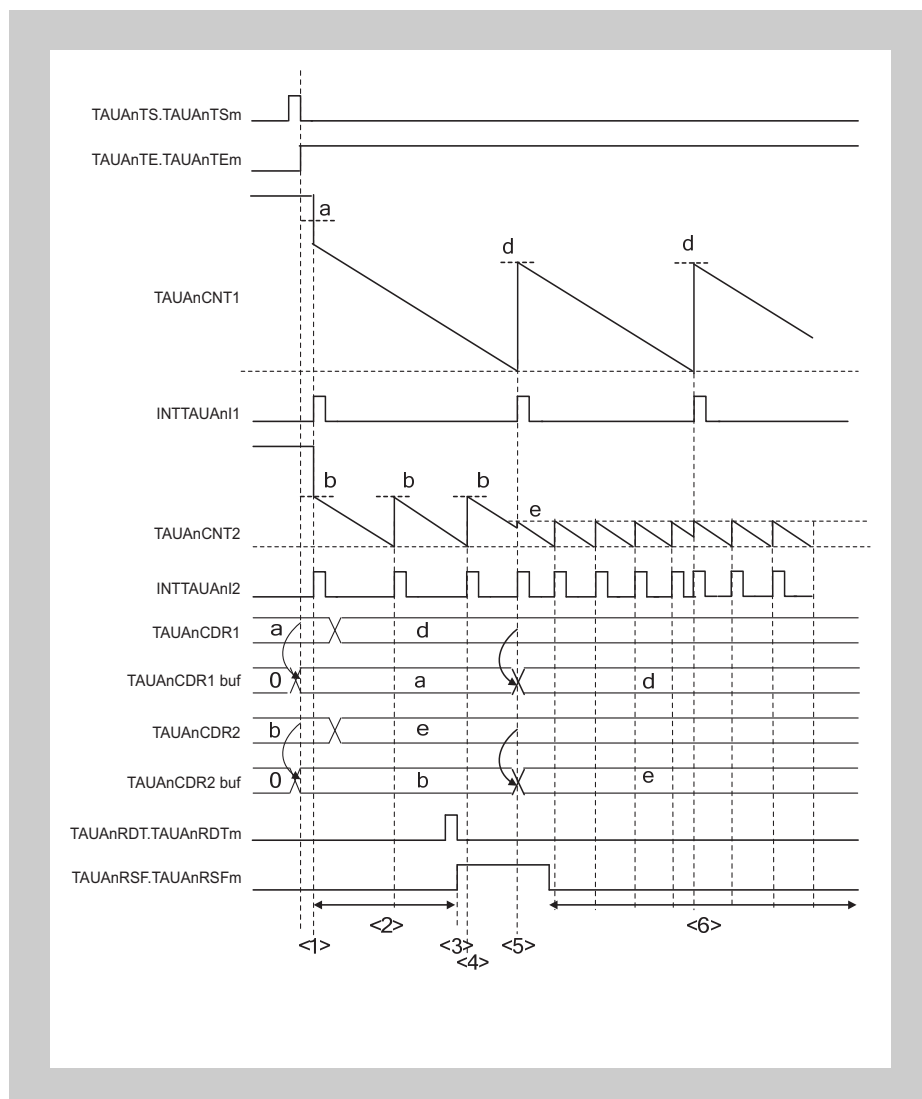


図 12-70 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

(4) 上位チャンネルのレジスタ設定

(a) 上位チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-72 一斉書き換えトリガ生成機能タイプ1の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない 1: 動作開始時に INTTAUAnIm が発生する

(b) 上位チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-73 一斉書き換えトリガ生成機能タイプ1の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) 上位チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 上位チャンネルの一斉書き換え

表 12-74 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	1: 上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	1: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタ

(5) 下位チャンネルのレジスタ設定

(a) 下位チャンネルの TAUAnCMORm

下位チャンネルの TAUAnCMORm レジスタは、設定可能な動作モードの TAUAnCMORm レジスタ設定に従ってください (550 ページの表 12-8 「一斉書き換え方法とトリガ・タイミング」を参照してください)。

(b) 下位チャンネルの TAUAnCMURm

下位チャンネルの TAUAnCMURm レジスタは、設定可能な動作モードの TAUAnCMURm レジスタ設定に従ってください (550 ページの表 12-8 「一斉書き換え方法とトリガ・タイミング」を参照してください)。

(c) 下位チャンネルのチャンネル出力モード

下位チャンネルの動作モード (マスタ・スレーブ) 設定に従った出力が可能です。

(d) 下位チャンネルの一斉書き換え

表 12-75 一斉書き換えトリガ生成機能タイプ1時の下位チャンネル一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	1: 上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない

(6) 一斉書き換えトリガ生成機能タイプ1の操作手順

表 12-76 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUAnの状態
動作再開 ↓	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEmが1に設定され、カウントが開始されます。 TAUAnCDRmの値をTAUAnCNTmにロードします。TAUAnCMORm.TAUAnMD0=1の場合、INTTAUAnImが発生します。
	動作中	TAUAnCNTmがダウン・カウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUAnCDRmの値をTAUAnCNTmにロードし、カウント動作を継続します。 INTTAUAnImが発生します。 TAUAnRDC.TAUAnRDCmが1に設定されているチャンネルでINTTAUAnImが発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止	TAUAnTE.TAUAnTEmが0にクリアされ、カウンタ動作が停止します。 TAUAnCNTmは停止し、TAUAnCNTmは現在値を保持します。

12.18.2 一斉書き換えトリガ生成機能タイプ2

(1) 概要

概要 下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この機能の開始時、または有効な TAUAnTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUAnRDC.TAUAnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUAnRDC.TAUAnRDCm = 0) です。

- 前提条件**
- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUAnRDE.TAUAnRDEm = 1)
 - 上位チャンネルの動作モードは、キャプチャ・モードに設定する必要があります (672 ページの表 12-77 「一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定」参照)。
 - 下位チャンネルに設定可能な動作モードは、550 ページの表 12-8 「一斉書き換え方法とトリガ・タイミング」を参照してください。
 - 上位チャンネルのチャンネル出力モードは、ソフトウェア制御のチャンネル単体出力モードに設定する必要があります。562 ページの 12.8 「チャンネル出力モード」を参照してください。
 - 下位チャンネルには任意のチャンネル出力モードを設定可能です。

機能説明 上位チャンネル、下位チャンネルのチャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。上位チャンネルのカウンタがアップ・カウントを開始し、下位チャンネルのカウンタは選択されている動作モードにしたがってカウントを開始します。

上位チャンネルで有効な TAUAnTTINm 入力エッジが発生すると、割り込みが発生し、下位チャンネルでトリガ検出による割り込みが発生します。

上位チャンネルで TAUAnRDC.TAUAnRDCm = 1 の場合、一斉書き換えが可能な状態 (TAUAnRSF.TAUAnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。

データ・レジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

- 条件**
- INTTAUAnIm の発生を検出するチャンネルは、該当チャンネルに TAUAnRDC.TAUAnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUAnRDC.TAUAnRDCm ビットを 0 に設定しておく必要があります。
 - TAUAnCMORm.TAUAnMD0 ビットを 1 に設定した場合、動作開始時に割り込みが発生します。詳細は 574 ページの 12.10 「カウント開始／リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

(2) ブロック図と基本タイミング図

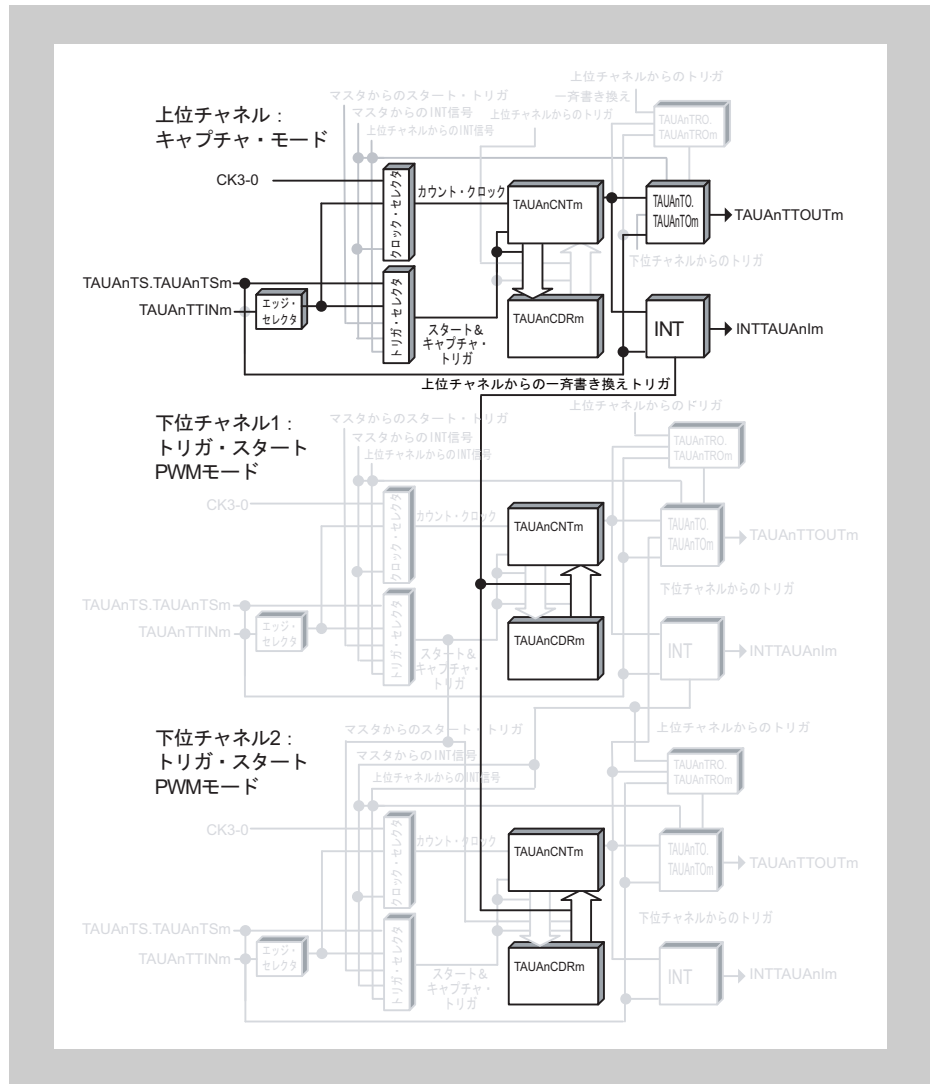


図 12-71 一斉書き換えトリガ生成機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)
- 上位チャンネル (CH1) が一斉書き換えトリガを生成

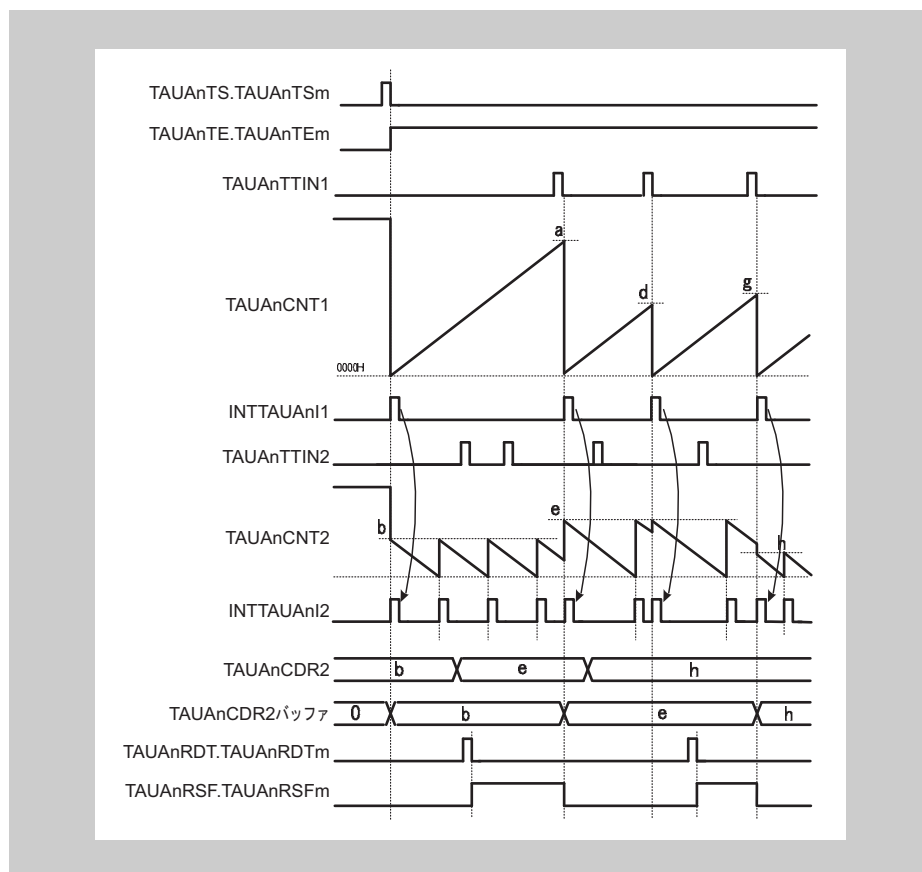


図 12-72 一斉書き換えトリガ生成機能タイプ2の基本タイミング図

(3) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-77 一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: TAUAnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0010: キャプチャ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない 1: 動作開始時に INTTAUAnIm が発生する

(b) 上位チャネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-78 一斉書き換えトリガ生成機能タイプ2の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 上位チャンネルの一斉書き換え

表 12-79 一斉書き換えトリガ生成機能タイプ2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	1: 上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	1: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタ

(4) 下位チャンネルのレジスタ設定

(a) 下位チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]	TAUAnMD0								

表 12-80 一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	1: 動作開始時に INTTAUAnIm が発生する

(b) 下位チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-81 一斉書き換えトリガ生成機能タイプ2の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) 下位チャンネルのチャンネル出力モード

トリガ・スタート PWM モード設定に従った出力が可能です。

(d) 下位チャンネルの一斉書き換え

表 12-82 一斉書き換えトリガ生成機能タイプ2時の下位チャンネル一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	1: 上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない

(5) 一斉書き換えトリガ生成機能タイプ2の操作手順

表 12-83 一斉書き換えトリガ生成機能タイプ2の操作手順

	操作	TAUAnの状態
動作再開 ↓	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm が1に設定され、カウントが開始されます。 TAUAnCNTm が0000 _H にクリアされます。 TAUAnCMORm.TAUAnMD0 が1の場合は、INTTAUAnImが発生します。
	動作中	TAUAnCNTm は、0000 _H からアップ・カウントを開始します。TAUAnTTINmの有効エッジ検出時： <ul style="list-style-type: none"> TAUAnCNTm が自身の値をTAUAnCDRmに転送（キャプチャ）して、0000_Hに戻ります。 INTTAUAnImが発生します。 TAUAnRDC.TAUAnRDCm が1に設定されているチャンネルでINTTAUAnImが発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止	TAUAnTE.TAUAnTEm が0にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm は現在値を保持します。

12.19 チャンネル単体 1 相 PWM 機能

この節では、1 相 PWM 機能について説明します。

- 12.19.1 「1 相 PWM 出力機能」

12.19.1 1相PWM出力機能

(1) 概要

概要 TAUAnTTINm 入力信号にデッド・タイムを付加する機能です。その結果として得られる PWM 信号は、そのチャンネルおよび上位チャンネルの TAUAnTTOUTm から出力されます。

- 前提条件**
- 2つ（もしくはそれ以上）のチャンネルで、それぞれデッド・タイム制御が許可されている（TAUAnTDE.TAUAnTDEm = 1）
 - 下位チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（680 ページの表 12-84 「1相PWM出力機能のTAUAnCMORm設定」参照）。
 - 上位チャンネルには任意の動作モードを設定可能です。
 - 上位・下位チャンネルのチャンネル出力モードは、1相PWM出力を行うチャンネル連動出力モード2に設定する必要があります。562 ページの表 12.8 「チャンネル出力モード」を参照してください。

機能説明 チャンネル・トリガ・ビット（TAUAnTS.TAUAnTSM）を1に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

有効な TAUAnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCDRm の値が TAUAnCNTm に書き込まれ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUAnTTINm 入カスタート・エッジを待ちます。

- 条件**
- TAUAnCMURm.TAUAnTIS[1:0] ビットで幅測定のタイプを指定します。
 - TAUAnCMURm.TAUAnTIS[1:0] = 10_B : 両エッジを有効エッジとして検出 (Low 幅測定)
 - TAUAnCMURm.TAUAnTIS[1:0] = 11_B : 両エッジを有効エッジとして検出 (High 幅測定)
 - TAUAnTDL.TAUAnTDLm ビットで、下位チャンネルでの割り込み発生時または有効な TAUAnTTINm エッジの検出時の各チャンネルの TAUAnTTOUTm の動作を指定します。
 - TAUAnTDL.TAUAnTDLm = 0 の場合、割り込みを TAUAnTTOUTm セットのトリガ、有効な TAUAnTTINm エッジを TAUAnTTOUTm リセットのトリガとして使用します。
 - TAUAnTDL.TAUAnTDLm = 1 の場合、有効な TAUAnTTINm エッジを TAUAnTTOUTm セットのトリガ、割り込みを TAUAnTTOUTm リセットのトリガとして使用します。
 - この機能では強制リスタートは行えません。

(2) ブロック図と基本タイミング図

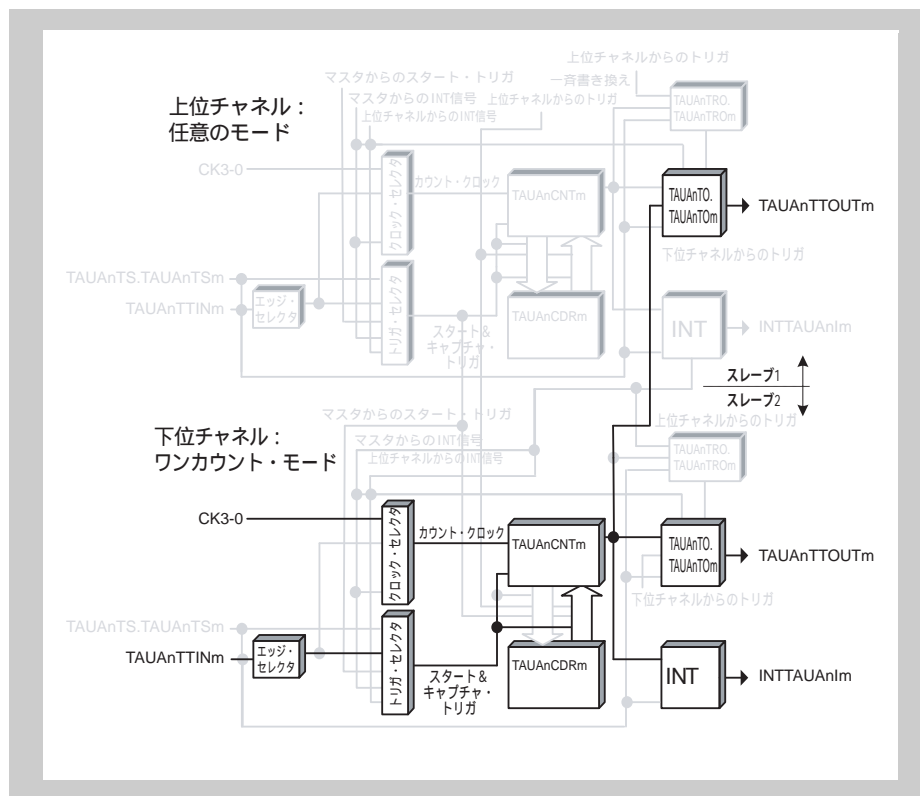


図 12-73 1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11_B)

この設定では、デューティを High アクティブとして考えています。

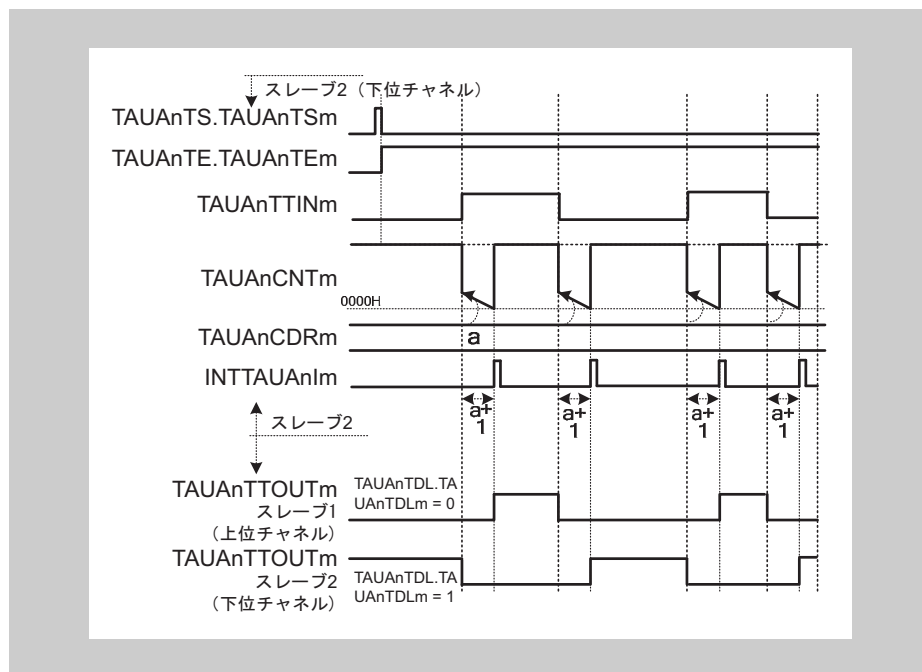


図 12-74 1 相 PWM 出力機能の基本タイミング図

(3) 下位チャネルのレジスタ設定

(a) 下位チャネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-84 1相 PWM 出力機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: カウント中のスタート・トリガ検出許可

(b) 下位チャネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-85 1相 PWM 出力機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) 下位チャンネルのチャンネル出力モード

表 12-86 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	1: 下位奇数チャンネル TAUAnTTINm 入力エッジ検出でデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 割り込みを TAUAnTTOUTm セット・トリガ, 有効な TAUAnTTINm エッジを TAUAnTTOUTm リセット・トリガとして使用します。 1: 有効な TAUAnTTINm エッジを TAUAnTTOUTm セット・トリガ, 割り込みを TAUAnTTOUTm リセット・トリガとして使用します。
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROM	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

注意 TAUAnTDL.TAUAnTDLm は、上位チャンネルと排他設定してください。

(d) 下位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、1相PWM出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-87 1相PWM出力機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(4) 上位チャンネルのレジスタ設定

(a) 上位チャンネルの TAUAnCMORm

上位チャンネルの TAUAnCMORm レジスタは任意の設定が可能です。

(b) 上位チャネルの TAUAnCMURm

上位チャネルの TAUAnCMURm レジスタは任意の設定が可能です。

(c) 上位チャネルのチャネル出力モード

表 12-88 1 相 PWM 出力を行うチャネル連動出力モード 2 の上位チャネル制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード 2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	1: 下位奇数チャネル TAUAnTTINm 入力エッジ検出でデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 下位チャネルの割り込みを TAUAnTTOUTm セット・トリガ, 下位チャネルの有効な TAUAnTTINm エッジを TAUAnTTOUTm リセット・トリガとして使用します。 1: 下位チャネルの有効な TAUAnTTINm エッジを TAUAnTTOUTm セット・トリガ, 下位チャネルの割り込みを TAUAnTTOUTm リセット・トリガとして使用します。
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

注意 TAUAnTDL.TAUAnTDLm は、下位チャネルと排他設定してください。

(d) 上位チャネルの一斉書き換え

上位チャネルの一斉書き換えレジスタは任意の設定が可能です。

(5) 1相PWM出力機能の操作手順

表 12-89 1相PWM出力機能の操作手順

	操作	TAUAnの状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm は 1 に設定され (スレーブ・チャンネル 2), TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。 TAUAnCNTm は TAUAnCDRm 値をロードします。
	動作中	スレーブ・チャンネル 2 の TAUAnCNTm はダウン・カウントを行います。カウンタが 0000 _H になった場合: • INTTAUAnIm が発生します。 • TAUAnCNTm がカウントを停止します。 TAUAnTTINm のエッジ検出信号とスレーブ・チャンネル 2 の INTTAUAnIm 信号により TAUAnTTOUTm を変化させデッド・タイム付き 1 相 PWM 波形を出力する。以降、動作を繰り返す。
	動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnTTOUTm は現在値を保持します。

12.20 その他のチャネル単体機能

この節では、一定数の TAUAnTTINm パルスが発生すると割り込みを発生する機能、TAUAnTTINm の周波数を分周する機能、機能使用開始から TAUAnTTINm 入力信号までの期間を測定する機能を説明します。

- 12.20.1 「外部イベント・カウント機能」
- 12.20.2 「クロック分周機能」
- 12.20.3 「TAUAnTTINm 入力位置検出機能」

12.20.1 外部イベント・カウント機能

(1) 概要

概要 この機能は、イベント・タイマとして使用します。特定数の TAUAnTTINm 入力パルスが発生すると割り込み (INTTAUAnIm) を発生します。

前提条件

- 動作モードはイベント・カウント・モードに設定する必要があります (687 ページの表 12-90 「外部イベント・カウント機能の TAUAnCMORm 設定」参照)。

- この機能では、TAUAnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUAnCDRm の現在値が TAUAnCNTm にロードされます。

有効な TAUAnTTINm 入力エッジを検出すると、TAUAnCNTm 値はデクリメントされます。TAUAnCNTm は、有効な TAUAnTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

カウンタ値が 0000_H になると、INTTAUAnIm が発生します。その後、TAUAnCDRm 値を TAUAnCNTm にロードし、以降、動作を継続します。

TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。

TAUAnTS.TAUAnTSM を 1 に設定すると、カウンタ動作を再開できます。カウント中に TAUAnTS.TAUAnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

条件 トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。

- TAUAnCMURm.TAUAnTIS[1:0] = 00_B の時は、立ち下がりエッジがカウントされます。
- TAUAnCMURm.TAUAnTIS[1:0] = 01_B の時は、立ち上がりエッジがカウントされます。
- TAUAnCMURm.TAUAnTIS[1:0] = 10_B の時は、両エッジがカウントされません。

(2) 算出式

INTTAUAnIm 発生前に検出される有効エッジ数 = TAUAnCDRm + 1

(3) ブロック図と基本タイミング図

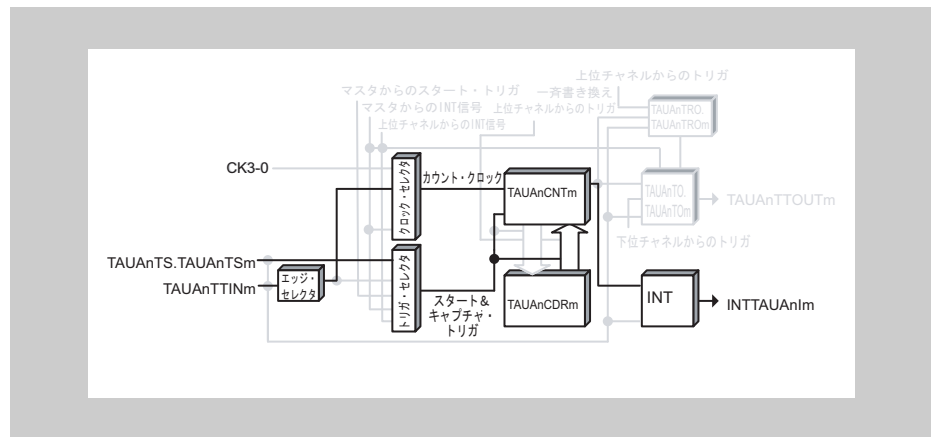


図 12-75 外部イベント・カウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 01_B)

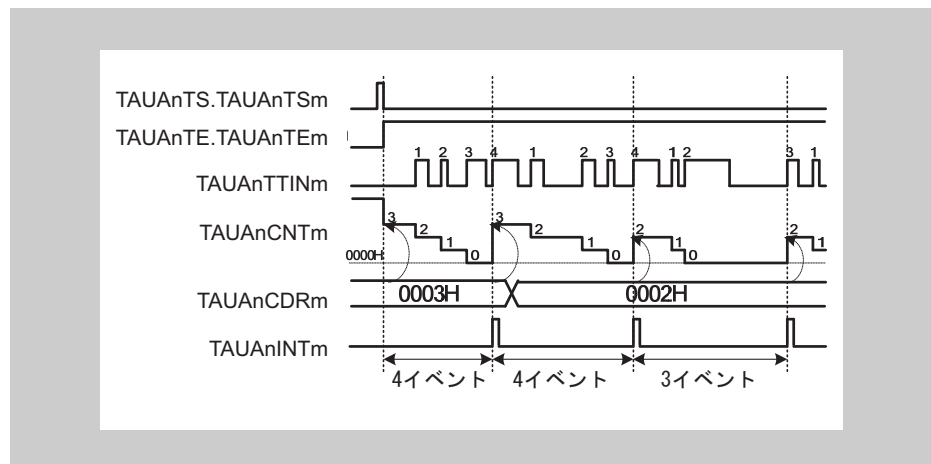


図 12-76 外部イベント・カウント機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]		TAUAnCOS[1:0]	-		TAUAnMD[4:1]				TAUAnMD0			

表 12-90 外部イベント・カウント機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	01: 有効な TAUAnTTINm 入力エッジをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0011: イベント・カウント・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-91 外部イベント・カウント機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がりエッジ 01: 立ち上がりエッジ 10: 両エッジ

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、外部イベント・カウント機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-92 外部イベント・カウント機能の一斉書き換え設定

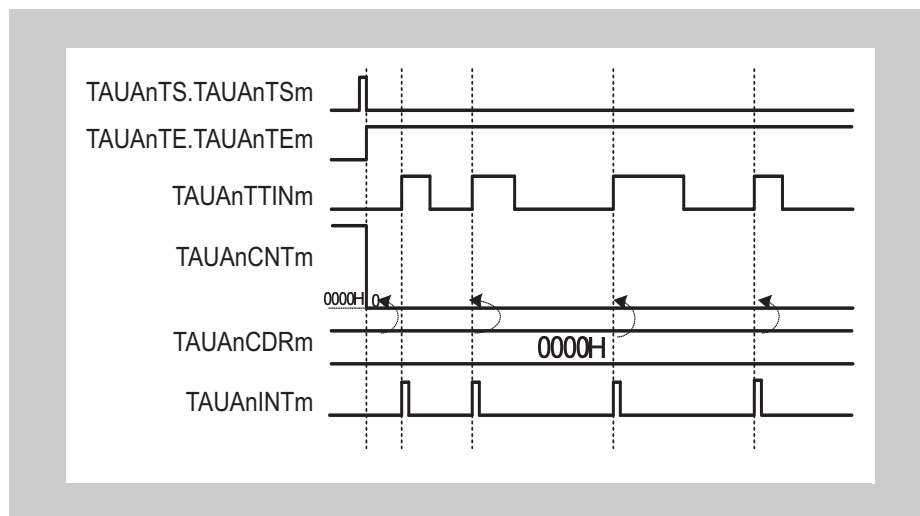
ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) 外部イベント・カウント機能の操作手順

表 12-93 外部イベント・カウント機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを, 687 ページの表 12-90 「外部イベント・カウント機能の TAUAnCMORm 設定」と 687 ページの表 12-91 「外部イベント・カウント機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され, カウントが開始されます。 TAUAnCNTm は TAUAnCDRm 値をロードし, TAUAnTTINm 入力エッジ検出を待ちます。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUAnCNTm は TAUAnTTINm 入力エッジを検出するたびに, ダウン・カウントを行います。カウンタが 0000 _H になった場合 : <ul style="list-style-type: none"> TAUAnCDRm 値を TAUAnCNTm にロードし, カウント動作を継続します。 INTTAUAnIm が発生します。 以降, この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUAnCNTm が停止し, 現在値を保持します。

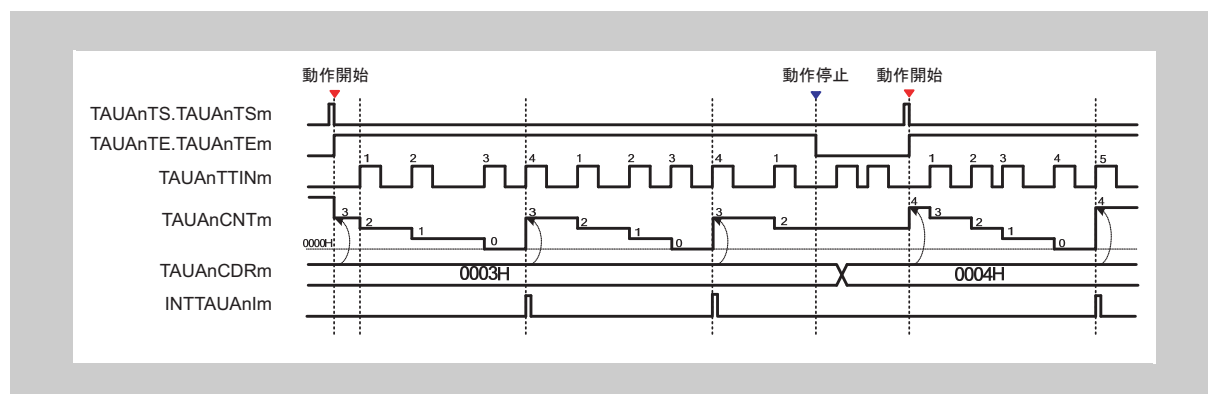
(6) 特定の設定時のタイミング図

(a) $TAUAnCDRm = 0000H$ 図 12-77 $TAUAnCDRm = 0000H$, $TAUAnCMURm.TAUAnTIS[1:0] = 01B$

- $0000H = TAUAnCDRm$ の場合、有効な $TAUAnTTINm$ 入力エッジが検出されるたびに $0000H$ が $TAUAnCNTm$ にロードされます。

つまり、有効な $TAUAnTTINm$ 入力エッジが検出されるたびに、 $INTTAUAnIm$ が発生します。

(b) 動作の停止と再開

図 12-78 動作の停止と再開 ($TAUAnCMURm.TAUAnTIS[1:0] = 01B$)

- $TAUAnTT.TAUAnTTm$ を 1 に設定すると、カウンタ動作を停止できます。これにより、 $TAUAnTE.TAUAnTEm$ は 0 に設定されます。
- $TAUAnCNTm$ が停止し、現在値を保持します。 $TAUAnTTINm$ は継続し、 $TAUAnCNTm$ は有効エッジを無視します。
- $TAUAnTS.TAUAnTSM$ を 1 に設定すると、カウントを再開できます。 $TAUAnCNTm$ は $TAUAnCDRm$ 値をロードし、カウント動作を再開します。

12.20.2 クロック分周機能

(1) 概要

概要 この機能は、周波数の分周に使用します。TAUAnTTINm 入力信号の周波数を TAUAnCDRm の係数で分周し、結果として得られる信号を TAUAnTTOUTm に出力します。

- 前提条件**
- TAUAnTTINm の周波数は固定である必要があります。
 - 動作モードはインターバル・タイマ・モードに設定する必要があります (694 ページの表 12-94 「クロック分周機能の TAUAnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。562 ページの 12.8 「チャンネル出力モード」を参照してください。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEM = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタは TAUAnTTINm をカウント・クロックとして使用し、その TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。その後、TAUAnCDRm 値を TAUAnCNTm にロードし、以降、動作を継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEM は 0 に設定されます。TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。TAUAnTS.TAUAnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUAnTS.TAUAnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件 TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUAnTTOUTm のトグルも行われません。これにより、TAUAnCMORm.TAUAnMD0 が 1 に設定された場合に対して、反転された TAUAnTTOUTm 信号が出力されます。詳細は 574 ページの 12.10 「カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

備考 TAUAnTTINm 入力信号は TAUAnCMORm.TAUAnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUAnTTOUTm の出力クロックの周期には、動作クロック ± 1 周期分の誤差があります。

(2) 算出式

- 立ち上がりエッジ検出選択時 :

$$\text{TAUAnTTOUTm 周波数} = \text{TAUAnTTINm 周波数} / [(\text{TAUAnCDRm} + 1) \times 2]$$
- 立ち下がりエッジ検出選択時 :

$$\text{TAUAnTTOUTm 周波数} = \text{TAUAnTTINm 周波数} / [(\text{TAUAnCDRm} + 1) \times 2]$$
- 両エッジ検出選択時 :

$$\text{TAUAnTTOUm 周波数} = \text{TAUAnTTINm 周波数} / (\text{TAUAnCDRm} + 1)$$

(3) ブロック図と基本タイミング図

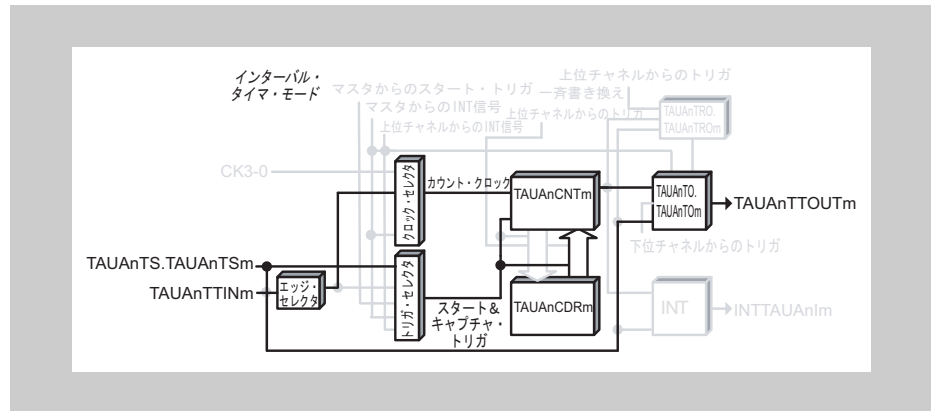


図 12-80 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
- 立ち上がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 01_B)

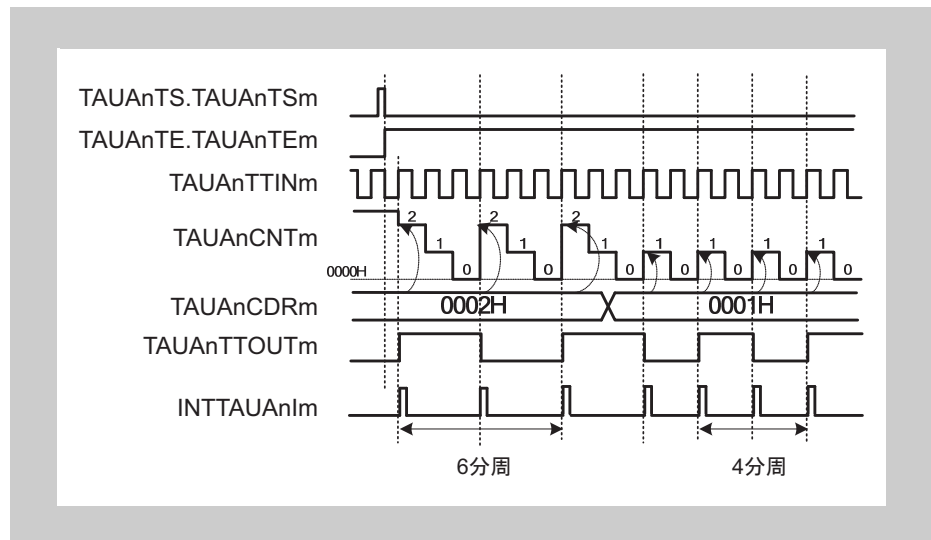


図 12-81 クロック分周機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-94 クロック分周機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	01: 有効な TAUAnTTINm 入力エッジをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1: 動作開始時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-95 クロック分周機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

表 12-96 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-97 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) クロック分周機能の操作手順

表 12-98 クロック分周機能の操作手順

	操作	TAUAnの状態
動作再開 ↓	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、694 ページの表 12-94 「クロック分周機能の TAUAnCMORm 設定」と 694 ページの表 12-95 「クロック分周機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。 制御ビットを 695 ページの表 12-96 「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCNTm は TAUAnCDRm 値をロードします。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。
	動作中 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnTTINm 入力エッジを検出すると、TAUAnCNTm はダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> TAUAnCDRm 値を TAUAnCNTm にロードし、カウント動作を継続します。 INTTAUAnIm が発生します。 TAUAnTTOUTm がトグルされます。 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnTTOUTm は現在値を保持します。

(6) 特定の設定時のタイミング図

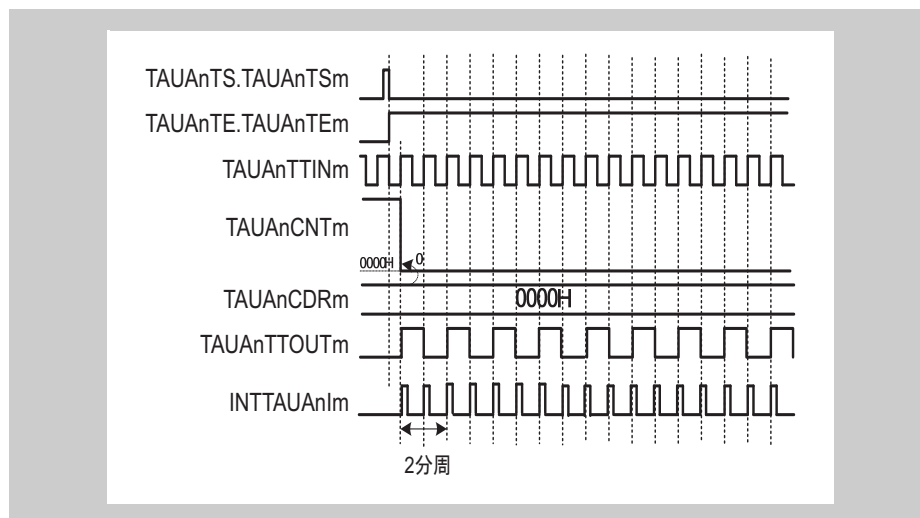
(a) $TAUAnCDRm = 0000H$ 

図 12-82 $TAUAnCDRm = 0000H$, $TAUAnCMORm.TAUAnMD0 = 1$,
 $TAUAnCMURm.TAUAnTIS[1:0] = 01B$

- $TAUAnCDRm$ が $0000H$ ならば、 $TAUAnCNTm$ も必ず $0000H$ です。
- $INTTAUAnIm$ がカウント・クロックごとに発生するので、 $TAUAnTTOUTm$ はカウント・クロックごとにトグルされます。

図 12-82 は動作タイミングのイメージです。実際は、 $TAUAnIm$ 端子から $TAUAn$ の間にあるノイズフィルタや同期化回路の遅延時間があるため、 $TINm$ 検出から $TOUTm$ 出力までディレイが存在します。

(b) 動作再開

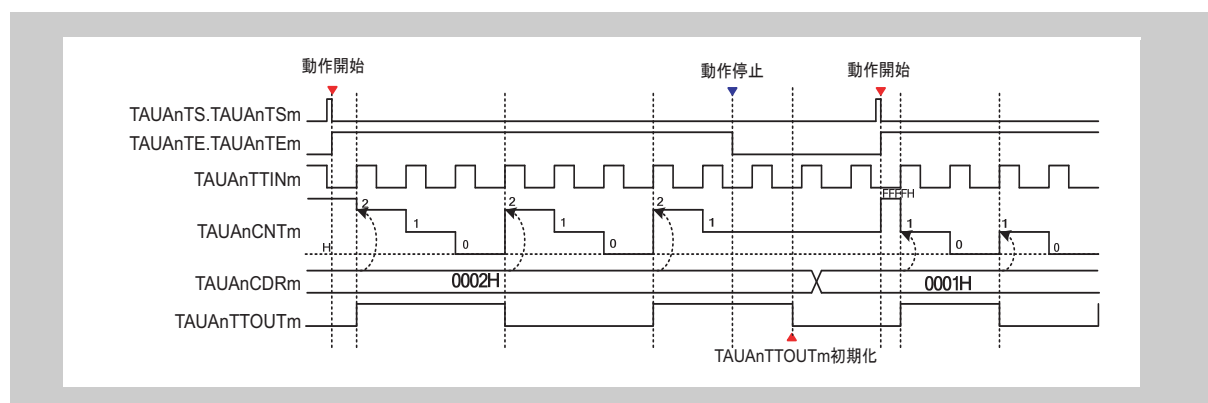


図 12-83 動作再開 ($TAUAnCMORm.TAUAnMD0 = 1$,
 $TAUAnCMURm.TAUAnTIS[1:0] = 01B$)

$TAUAnTTOUTm$ 値のリセット方法を以下に示します。

- カウンタ停止時 ($TAUAnTE.TAUAnTEm = 0$) に $TAUAnTOE.TAUAnTOEm = 0$ を設定。
- その後、 $TAUAnTO.TAUAnTOM$ に 0 または 1 を書き込んで、 $TAUAnTTOUTm$ の新しいスタート値を設定。

12.20.3 TAUAnTTINm 入力位置検出機能

(1) 概要

概要 機能使用開始から TAUAnTTINm 入力信号までの期間を測定する機能です。

- 前提条件**
- 動作モードはカウント・キャプチャ・モードに設定する必要があります (700 ページの表 12-99 「TAUAnTTINm 入力位置検出機能の TAUAnCMORm 設定」参照)。
 - この機能では、TAUAnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の現在値が TAUAnCDRm にロードされ、割り込み (INTTAUAnIm) が発生します。カウンタ動作は継続します。

カウンタ値が FFFF_H になると、TAUAnCSRm.TAUAnOVF ビットが 1 に設定され、カウンタは 0000_H からカウント動作を再開します。

TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV へ 1 を書き込むことによりクリアされます。

- 条件** TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 574 ページの 12.10 「カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

(2) 算出式

TAUAnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 × [(FFFF_H + 1 × TAUAnCSRm.TAUAnOVF) + (TAUAnCDRm キャプチャ値 + 1)]



- 注意** カウント値が最大値 (0FFFF_H) の時、キャプチャ信号が入力されると、次のカウント・クロックで発生するオーバーフローによりセットされるオーバーフロー・フラグ (以下、OVF) がセットされません。その他のタイミングでは、OVF は正常にセットされます。

(3) ブロック図と基本タイミング図

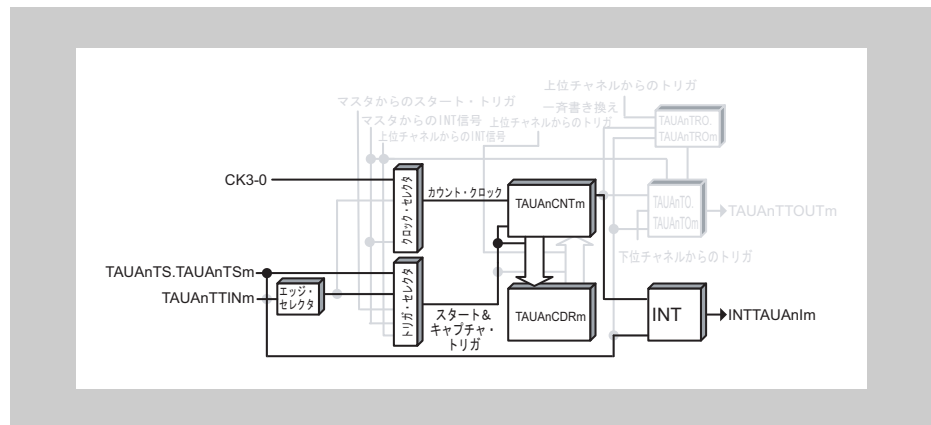


図 12-84 TAUAAnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAAnIm が発生しない (TAUAAnCMORm.TAUAnMD0 = 0)
- 立ち下がリエッジ検出 (TAUAAnCMURm.TAUAnTIS[1:0] = 00_B)

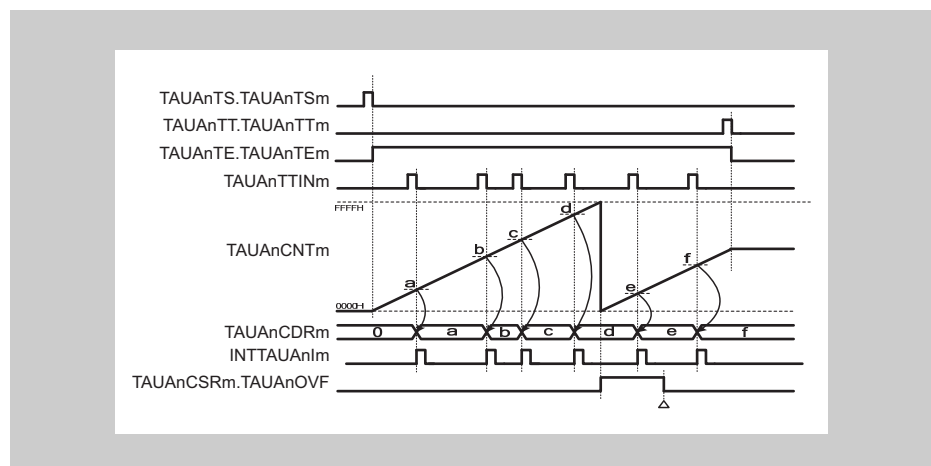


図 12-85 TAUAAnTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-99 TAUAnTTINm 入力位置検出機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUAnCOS[1:0]	01: カウンタ・オーバフロー時にオーバフロー (TAUAnCSRm.TAUAnOVF) を設定, CPU 命令によりクリア
TAUAnMD[4:1]	1011: カウント・キャプチャ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない 1: 動作開始時に INTTAUAnIm が発生する

(b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-100 TAUAnTTINm 入力位置検出機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 12-101 TAUAnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDsm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) TAUAnTTINm 入力位置検出機能の操作手順

表 12-102 TAUAnTTINm 入力位置検出機能の操作手順

	操作	TAUAn の状態	
動作再開	初期設定 チャンネルの初期設定	TAUAnCMORm, TAUAnCMURm レジスタを、700 ページの表 12-99 「TAUAnTTINm 入力位置検出機能の TAUAnCMORm 設定」と 700 ページの表 12-100 「TAUAnTTINm 入力位置検出機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始	TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。
	動作中	TAUAnCMURm.TAUAnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUAnCDRm, TAUAnCSRm レジスタは任意のタイミングで読み出し可能です。 TAUAnCSC.CLOV ビットは、1 に設定可能です。	TAUAnCNTm は、0000 _H からアップ・カウントを開始します。TAUAnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUAnCNTm が自身の値を TAUAnCDRm に転送（キャプチャ）します。 INTTAUAnIm を出力します。 カウンタ値は 0000_H にクリアされず、TAUAnCNTm はカウント動作を継続します。以降、この動作を繰り返します。
	動作停止	TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

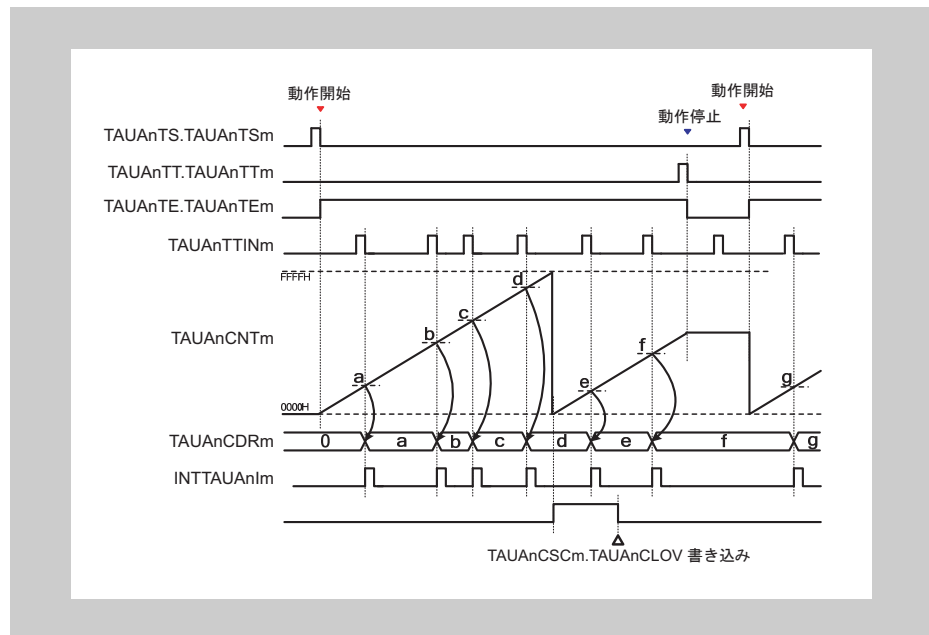


図 12-86 動作の停止と再開 (TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00_B)

- TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。
- TAUAnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUAnTTINm の有効な入力エッジは無視されます。
- TAUAnTS.TAUAnTSM を 1 に設定すると、カウントを再開できます。TAUAnCNTm は 0000_H からカウントを再開します。

12.21 チャンネル連動動作機能

この節では、TAUA のチャンネル連動動作の全機能について説明します。チャンネル連動動作の概要については、542 ページの 12.3 「機能説明」を参照してください。

12.22 一定間隔でトリガされる連動 PWM 信号機能

この節では、一定間隔で PWM 信号を発生させる機能について述べます。

- 12.22.1 「PWM 出力機能」
- 12.22.2 「トリガ・スタート PWM 出力機能」
- 12.22.3 「ディレイ・パルス出力機能」
- 12.22.4 「A/D 変換トリガ出力機能タイプ1」
-

12.22.1 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUAnTTOUTm のパルス周期 (周波数) とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (707 ページの表 12-103 「PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります (709 ページの表 12-106 「PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照)。
- この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」)。

機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

• マスタ・チャンネル :

マスタ・チャンネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUAnIm が発生します。TAUAnCDRm 値を TAUAnCNTm にロードし、ダウン・カウントを行います。

• スレーブ・チャンネル :

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUAnCDRm (スレーブ) の現在値が TAUAnCNTm (スレーブ) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。TAUAnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が 0000_H になると (デューティ時間が経過すると)

INTTAUAnIm が発生し、TAUAnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは FFFF_H に戻り、マスタ・チャンネルの次の INTTAUAnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSM を 1 に設定すると、カウンタを再開できます。

条件 この機能では一斉書き換えを行うことができます。550 ページの 12.7 「一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUAnCDRm (スレーブ) / (TAUAnCDRm (マスタ) + 1)) × 100

- デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) = 0000_H

- デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) ≥ TAUAnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

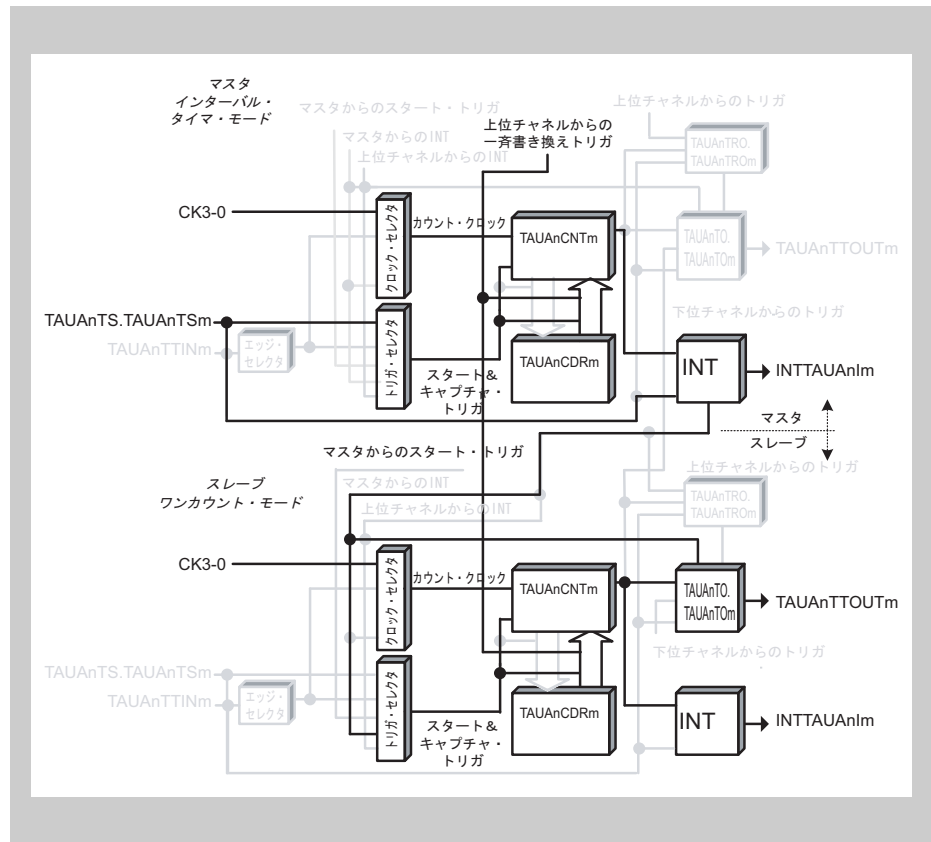


図 12-87 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUANtOL.TAUAnTOLm = 0)

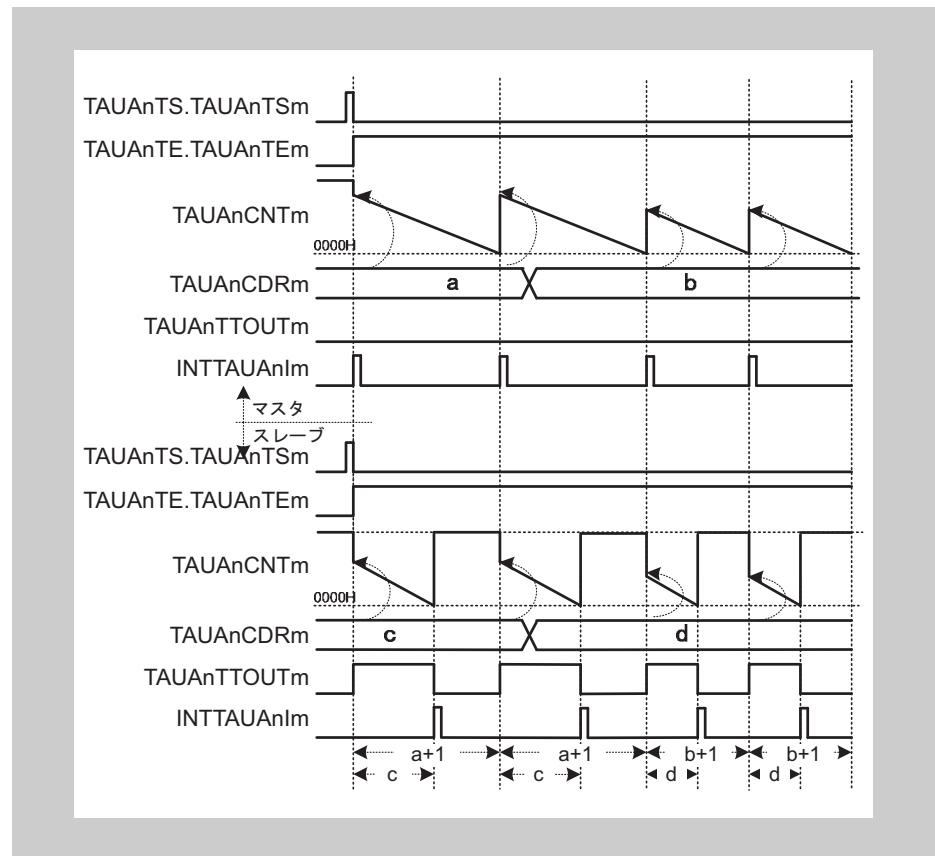


図 12-88 PWM 出力機能の基本タイミング図

備考 スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUAnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUAnCDRm + 1 の値になります。

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-103 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	1: 動作開始時に INTTAUAnIm が発生する

(b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-104 PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-105 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm ビット = 1 で使用する場合、マスタ・チャンネルの上位に「一斉書き換えトリガ出力機能タイプ 1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャンネル : TAUAnRDCm=1、TAUAnRDS=1
また、本チャンネルの TAUAnCDR 設定値は下記となります。
= ((一斉書き換え対象のマスタ・チャンネルの TAUAnCDR 設定値 + 1) × 割り込み回数) - 1
- マスタ・チャンネル : TAUAnRDCm=0、TAUAnRDS=1
- スレーブ・チャンネル : TAUAnRDCm=0、TAUAnRDS=1

CDRn (スレーブ) の設定値 > CDRn (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-106 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: 動作中のスタート・トリガが有効

(b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-107 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルのチャンネル出力モード

表 12-108 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	0: 動作モード1
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-109 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) PWM 出力機能の操作手順

表 12-110 PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル:TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 707 ページの (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル:TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 709 ページの (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSm を同時に 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm (スレーブ) が設定されます。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUAnCNTm は TAUAnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 _H になった場合： • INTTAUAnIm (マスタ) が発生します。 • TAUAnCDRm 値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUAnCDRm 値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUAnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。 TAUAnCNTm (スレーブ) が 0000 _H になった場合： • INTTAUAnIm (スレーブ) が発生します。 • TAUAnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

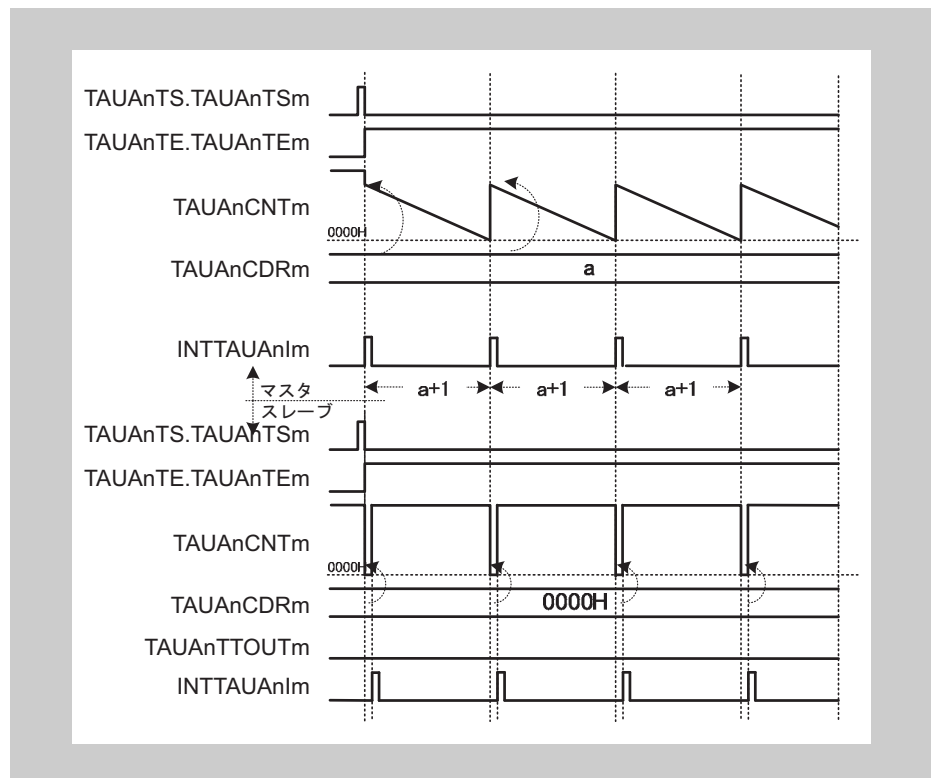


図 12-89 TAUAnCDRm (スレーブ) = 0000_H,
正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUAnIm) が発生するたびに、TAUAnCNTm (スレーブ) に 0000_H がロードされます。したがって、TAUAnCNTm (スレーブ) はカウントを開始できず、TAUAnTTOUtm はアクティブでない状態のままとなります。
- TAUAnCDRm 値を TAUAnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティ・サイクル = 100 %

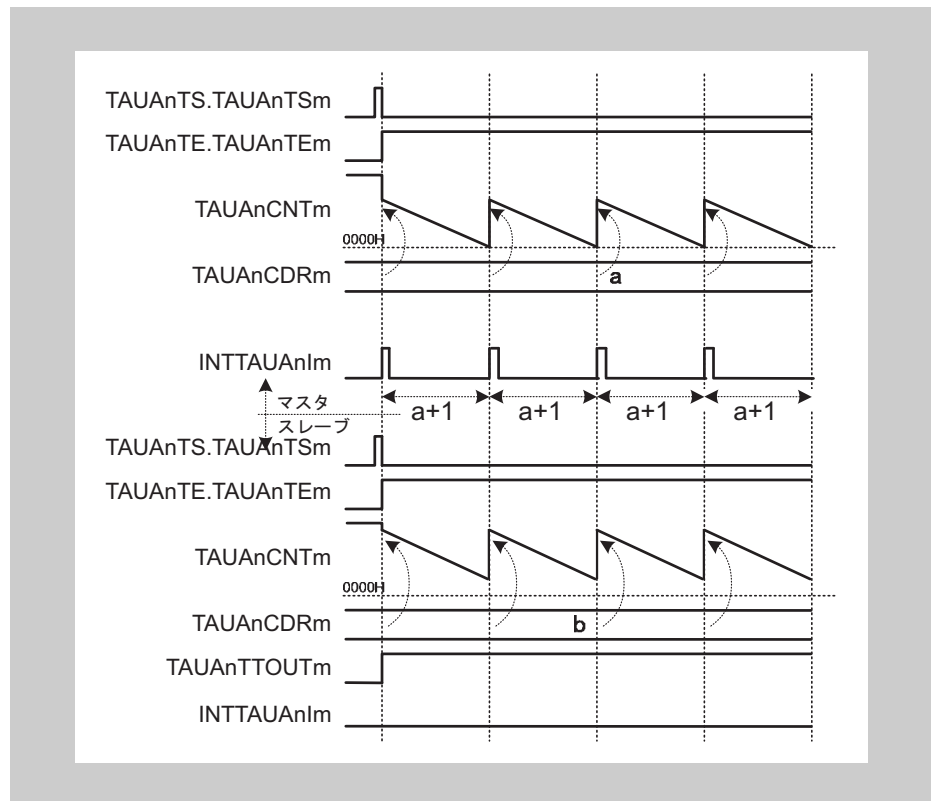


図 12-90 $TAUAnCDRm$ (スレーブ) $\geq TAUAnCDRm$ (マスタ) + 1
正論理 ($TAUAnTOL.TAUAnTOLm$ (スレーブ) = 0)

- $TAUAnCDRm$ (スレーブ) 値が $TAUAnCDRm$ (マスタ) 値よりも大きい場合、スレーブ・チャンネルのカウンタは $0000H$ にならないため、割り込みが発生しません。 $TAUAnTTOUTm$ はアクティブ状態のままになります。

(c) 動作の停止と再開

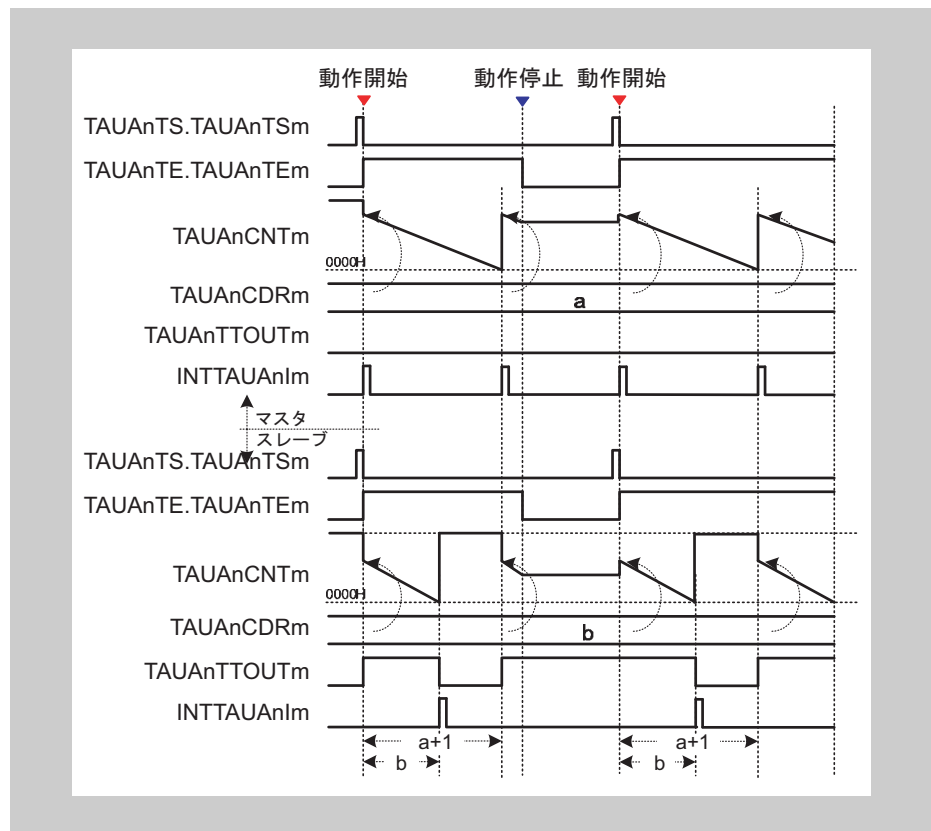


図 12-91 動作の停止と再開
 正論理 (TAUAAnTOL.TAUAAnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUAAnTT.TAUAAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAAnTE.TAUAAnTEm は 0 に設定されます。
- 全チャンネルの TAUAAnCNTm と TAUAAnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUAAnTS.TAUAAnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUAAnCDRm 値を TAUAAnCNTm にロードし、この値からダウン・カウントを開始します。

12.22.2 トリガ・スタート PWM 出力機能

(1) 概要

概要 マスタ・チャンネルとスレーブ・チャンネルを1つずつ使用して PWM 出力を生成する機能です。これにより、TAUAnTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。トリガ・スタート PWM 出力機能は、有効な TAUAnTTINm 入力エッジでマスタ・チャンネルをリセット可能である点を除いて PWM 出力機能と同じです。

前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（718 ページの表 12-111 「トリガ・スタート PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（720 ページの表 12-114 「トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの出力モードは、チャンネル連動出力モード 1 に設定する必要があります（562 ページの 12.8 「チャンネル出力モード」参照）。
- この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。

機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ（マスタ／スレーブ）動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

• マスタ・チャンネル：

TAUAnCDRm の現在値がカウンタ (TAUAnCNTm) にロードされ、INTTAUAnIm が発生し、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になりパルス周期が経過すると、INTTAUAnIm が発生し、TAUAnCDRm 値を TAUAnCNTm（マスタ／スレーブ）にロードします。

有効な TAUAnTTINm 入力エッジが検出されると、マスタ・チャンネルのカウンタは TAUAnCDRm の現在値をロードしてダウン・カウントを再開し、割り込みが発生します。

• スレーブ・チャンネル：

スレーブ・チャンネルはマスタ・チャンネルからの割り込みを検出すると、TAUAnCDRm の現在値からダウン・カウントを開始します。

TAUAnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が 0000_H になると（デューティ時間が経過すると）、

INTTAUAnIm が発生し、TAUAnTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

マスタ／スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ／スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm

は停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSMを1に設定すると、カウントを再開できます。

条件 この機能では一斉書き換えを行うことができます。550 ページの 12.7 「一斉書き換え」を参照してください。

(2) 算出式+

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = [TAUAnCDRm (スレーブ) / (TAUAnCDRm (マスタ) + 1)] × 100

– デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) = 0000_H

– デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) ≥ TAUAnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

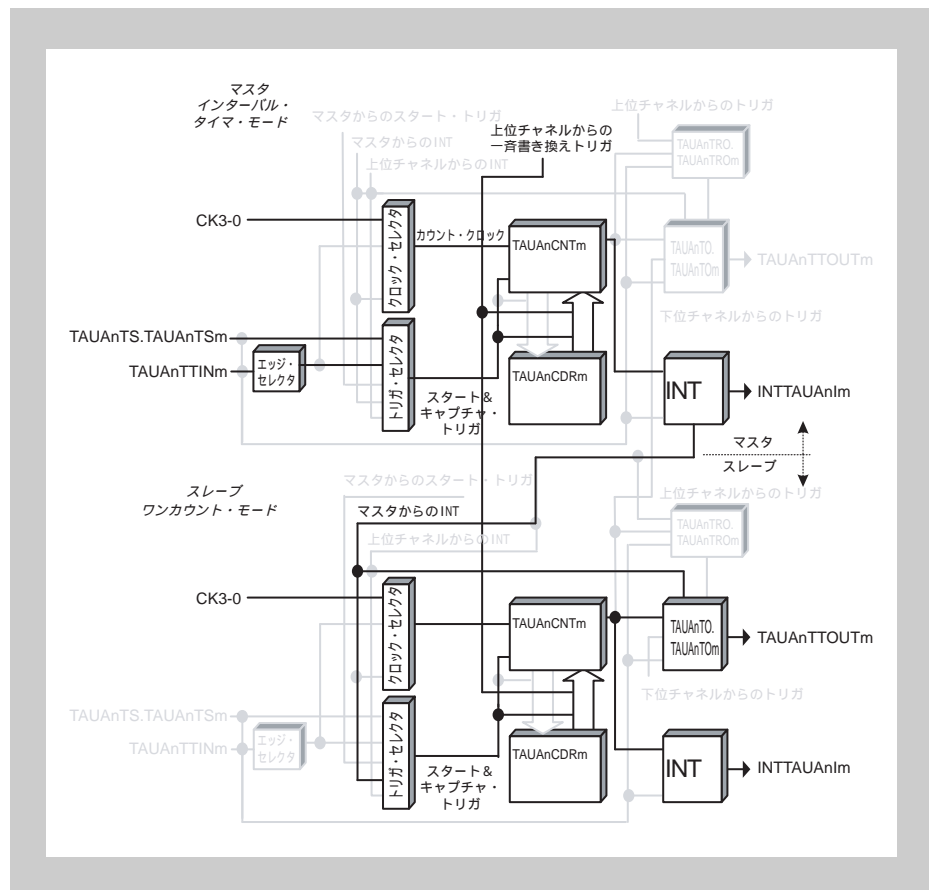


図 12-92 トリガ・スタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 01_B)
- 正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)

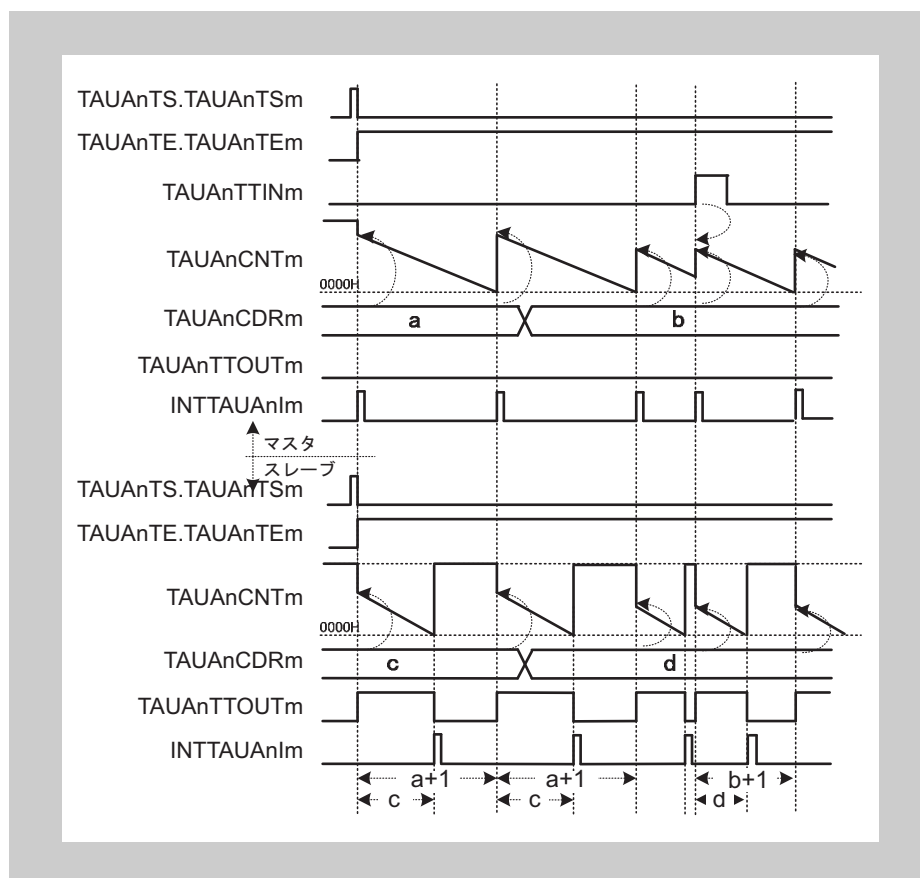


図 12-93 トリガ・スタート PWM 出力機能の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-111 トリガ・スタート PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	1: 動作開始時に INTTAUAnIm が発生する

(b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-112 トリガ・スタート PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-113 トリガ・スタート PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm ビット = 1 で使用する場合、マスタ・チャンネルの上位に「一斉書き換えトリガ出力機能タイプ 2」で動作するチャンネルが必要になります。

- 一斉書き換えトリガ出力機能タイプ 2 設定チャンネル : TAUAnRDCm=1、TAUAnRDS=1
- マスタ・チャンネル : TAUAnRDCm=0、TAUAnRDS=1
- スレーブ・チャンネル : TAUAnRDCm=0、TAUAnRDS=1

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-114 トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: 動作中のスタート・トリガが有効

(b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-115 トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルの出力モード

表 12-116 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	0: 動作モード1
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-117 トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

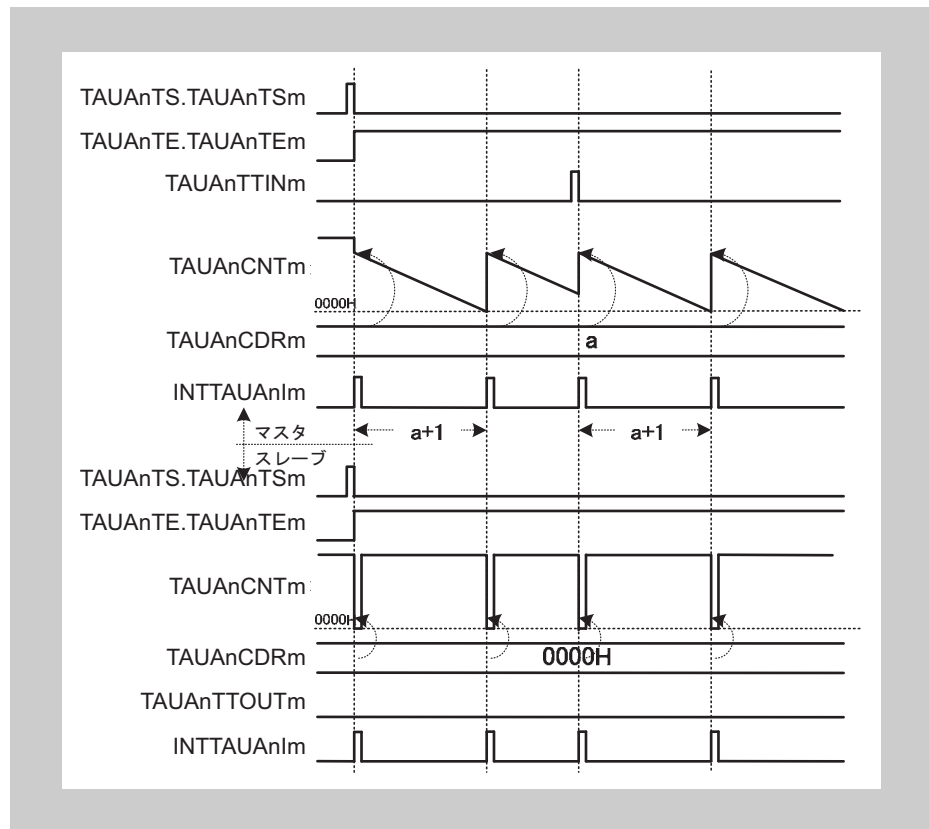
(6) トリガ・スタート PWM 出力機能時の操作手順

表 12-118 トリガ・スタート PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生します。
	動作中	マスタ・チャンネルの TAUAnCNTm は TAUAnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUAnIm (マスタ) が発生します。 TAUAnCDRm 値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUAnCDRm 値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウント動作を開始します。 TAUAnTTOUTm (スレーブ) が設定されます。 スレーブ・チャンネルの TAUAnCNTm が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUAnIm (スレーブ) が発生します。 TAUAnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。 マスタ・チャンネルの TAUAnCNTm がダウン・カウント中にマスタ・チャンネルで TAUAnTTINm 入力が見出された場合： <ul style="list-style-type: none"> TAUAnCNTm (マスタ/スレーブ) は TAUAnCDRm 値をロードし、ダウン・カウントを行います。 INTTAUAnIm (マスタ) が発生します。 TAUAnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。
	動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0%

図 12-94 TAUAnCDRm (スレーブ) = 0000_H,

正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)

立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)

- マスタ・チャンネルで割り込み (INTTAUAnIm) が発生するたびに、TAUAnCNTm (スレーブ) に 0000_H がロードされます。したがって、TAUAnCNTm (スレーブ) はカウントを開始できず、TAUAnTTOUTm はアクティブでない状態のままとなります。
- TAUAnCNTm (スレーブ) は TAUAnCDRm 値がロードされるたびに割り込みを発生させます。

有効な TAUAnTTINm 入力エッジを検出しても、TAUAnTTOUTm (スレーブ) には変化はありません。

(b) デューティ・サイクル = 100 %

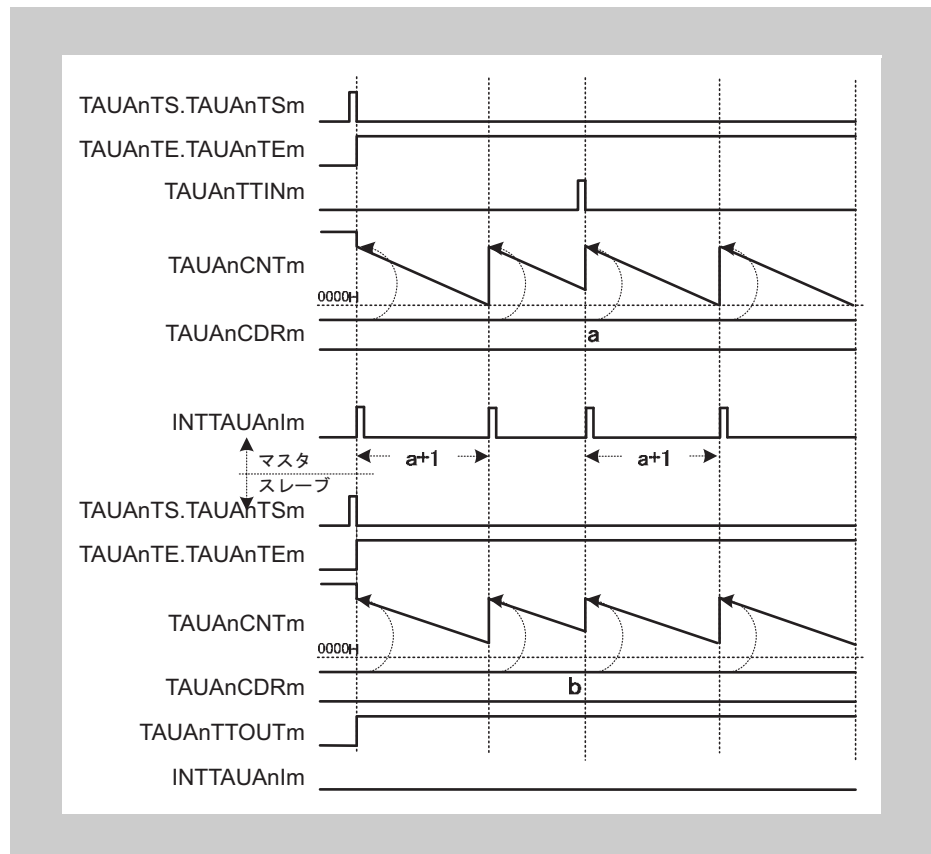


図 12-95 $TAUAnCDRm$ (スレーブ) $\geq TAUAnCDRm$ (マスター) + 1
 正論理 ($TAUAnTOL.TAUAnTOLm$ (スレーブ) = 0)
 立ち下がりエッジ検出 ($TAUAnCMURm.TAUAnTIS[1:0] = 00_B$)

- $TAUAnCDRm$ (スレーブ) 値が $TAUAnCDRm$ (マスター) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。

$TAUAnTTOUTm$ はアクティブ状態のままになります。

有効な $TAUAnTTINm$ 入力エッジを検出しても、 $TAUAnTTOUTm$ (スレーブ) に変化はありません。

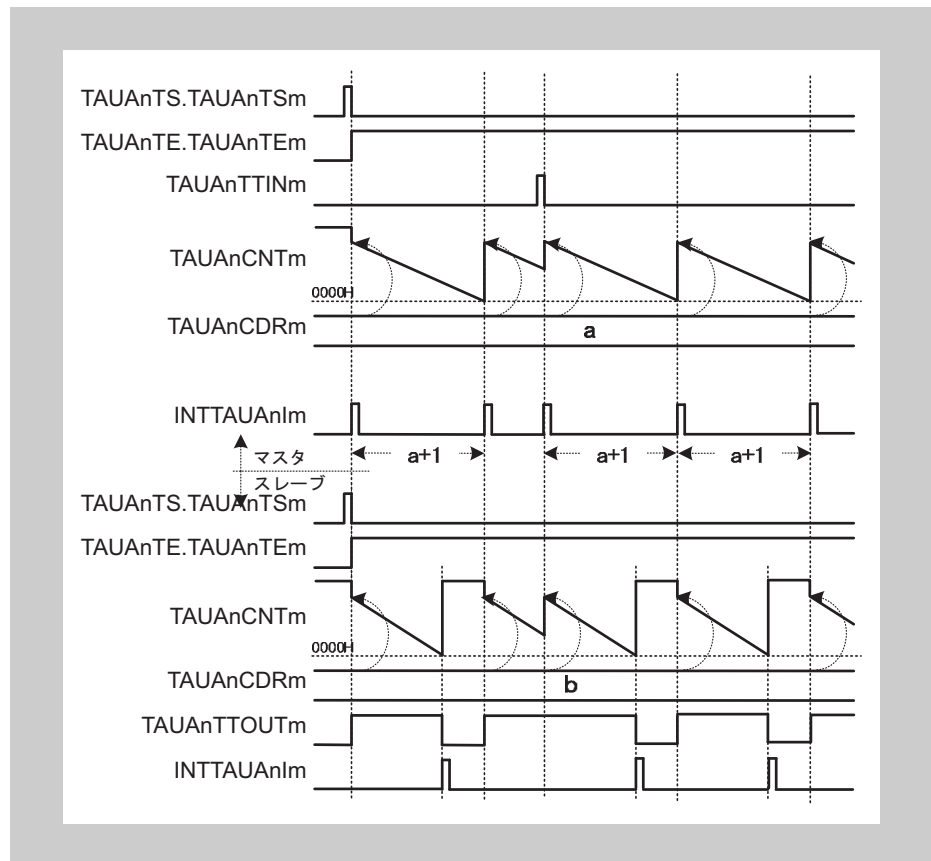
(c) TAUA_nTTIN_m 検出とアクティブなスレーブ・カウンタ

図 12-96 正論理 (TAUA_nTOL.TAUA_nTOL_m (スレーブ) = 0)
立ち下がりエッジ検出 (TAUA_nCMUR_m.TAUA_nTIS[1:0] = 00_B)

- TAUA_nCNT_m (スレーブ) がダウン・カウント中に TAUA_nCDR_m (スレーブ) 値をロードした場合、TAUA_nTTOUT_m は変化せず、デューティを拡張します。

デューティはスレーブ・チャンネルのデータ・レジスタの値に対応していません。

12.22.3 ディレイ・パルス出力機能

(1) 概要

概要 この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタ・チャンネルとスレーブ・チャンネル1を使用して定義されています。スレーブ・チャンネル2とスレーブ・チャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブ・チャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタ・チャンネルで設定します。
- 基準信号のデューティ・サイクルはスレーブ・チャンネル1を、ディレイ信号のデューティ・サイクルはスレーブ・チャンネル3を使用して設定されます。
- 遅延量はスレーブ・チャンネル2で設定します。

前提条件

- 4チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（730ページの表12-119「ディレイ・パルス出力機能時のマスタ・チャンネルのTAUAnCMORm設定」参照）。
- スレーブ・チャンネル1, 2の動作モードは、ワンカウント・モードに設定する必要があります（732ページの表12-122「ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUAnCMORm設定」参照）。
- スレーブ・チャンネル3の動作モードは、パルス・ワンカウント・モードに設定する必要があります（734ページの表12-126「ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUAnCMORm設定」参照）。
- マスタ・チャンネルおよびスレーブ・チャンネル2ではTAUAnTTOUTmを使用しません。
- スレーブ・チャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（562ページの12.8「チャンネル出力モード」）。
- スレーブ・チャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（562ページの12.8「チャンネル出力モード」）。

機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると、チャンネル・グループのカウント動作が許可されます。これによりTAUAnTE.TAUAnTEm = 1となり、カウントが可能になります。

- マスタ・チャンネル：

TAUAnCDRmの現在値がTAUAnCNTmにロードされ、カウンタはそのTAUAnCDRm値からダウン・カウントを開始します。マスタ・チャンネルでINTTAUAnImが発生します。

マスタ・チャンネルのカウント値が0000_Hになりパルス周期時間が経過すると、INTTAUAnImが発生します。再びTAUAnCDRmの値をカウンタにロードし、ダウン・カウントを行います。

- スレーブ・チャンネル1, スレーブ・チャンネル2：

スレーブ・チャンネル1, 2はマスタ・チャンネルからの割り込みを検出すると、TAUAnCDRmの現在値からダウン・カウントを開始します。TAUAnTTOUTm信号（スレーブ1）が設定されます。

– スレーブ・チャンネル1 :

スレーブ・チャンネル1のカウンタ値が0000_Hになると(デューティ時間が経過すると)、INTTAUAnImが発生し、TAUAnTTOUTm信号がリセットされます。カウンタはFFFF_Hに戻り、マスタ・チャンネルの次のINTTAUAnImを待ちます。

– スレーブ・チャンネル2 :

スレーブ・チャンネル2のカウンタ値が0000_Hになり遅延時間が経過すると、INTTAUAnImが発生します。カウンタはFFFF_Hに戻り、マスタ・チャンネルの次のINTTAUAnImを待ちます。

INTTAUAnIm(スレーブ・チャンネル2)が発生することにより、スレーブ・チャンネル3のカウンタ動作がトリガされます。

• スレーブ・チャンネル3 :

スレーブ・チャンネル3はスレーブ・チャンネル2からの割り込みを検出すると、TAUAnCDRmの現在値からダウン・カウントを開始します。

INTTAUAnImが発生し、TAUAnTTOUTm信号(スレーブ・チャンネル3)がセットされます。

スレーブ・チャンネル3のカウンタ値が0001_Hになると、INTTAUAnImが発生し、TAUAnTTOUTm信号がリセットされます。

スレーブ・チャンネル3からは遅延されたPWMパルスが出力されます。

マスタ/スレーブ・チャンネルのTAUAnTT.TAUAnTTmを1に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEmは0に設定されます。マスタ/スレーブ・チャンネルのTAUAnCNTmとTAUAnTTOUTmが停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTsmを1に設定すると、カウントを再開できます。

条件 この機能で一斉書き換えを行うことができます。550ページの12.7「一斉書き換え」を参照してください。

算出式 パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期
 デューティ幅1 = (TAUAnCDRm (スレーブ1)) × カウント・クロック周期
 遅延幅 = (TAUAnCDRm (スレーブ2) + 1) × カウント・クロック周期
 デューティ幅2 = (TAUAnCDRm (スレーブ3)) × カウント・クロック周期
 但し、遅延幅の設定値は下記範囲とすること。
 $0000H \leq \text{TAUAnCDRm (スレーブ2)} < \text{TAUAnCDRm (マスタ)}$

備考 1. TAUAnTOUTm (スレーブ3)の出力波形は、TAUAnTOUTm (スレーブ1)の出力波形をスレーブ2で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
 2. スレーブ3のカウント中に、スレーブ2のTAUAnINTmが発生した場合、スレーブ3は動作を再開します。従って、TAUAnTOUTm (スレーブ3)の出力波形は、アクティブレベルを保持します。(この場合、TOUTn (Slave-CH-3)は、TOUTn (Slave-CH-1)の基本パルスをディレイさせた波形を出力できません。)

(2) ブロック図と基本タイミング図

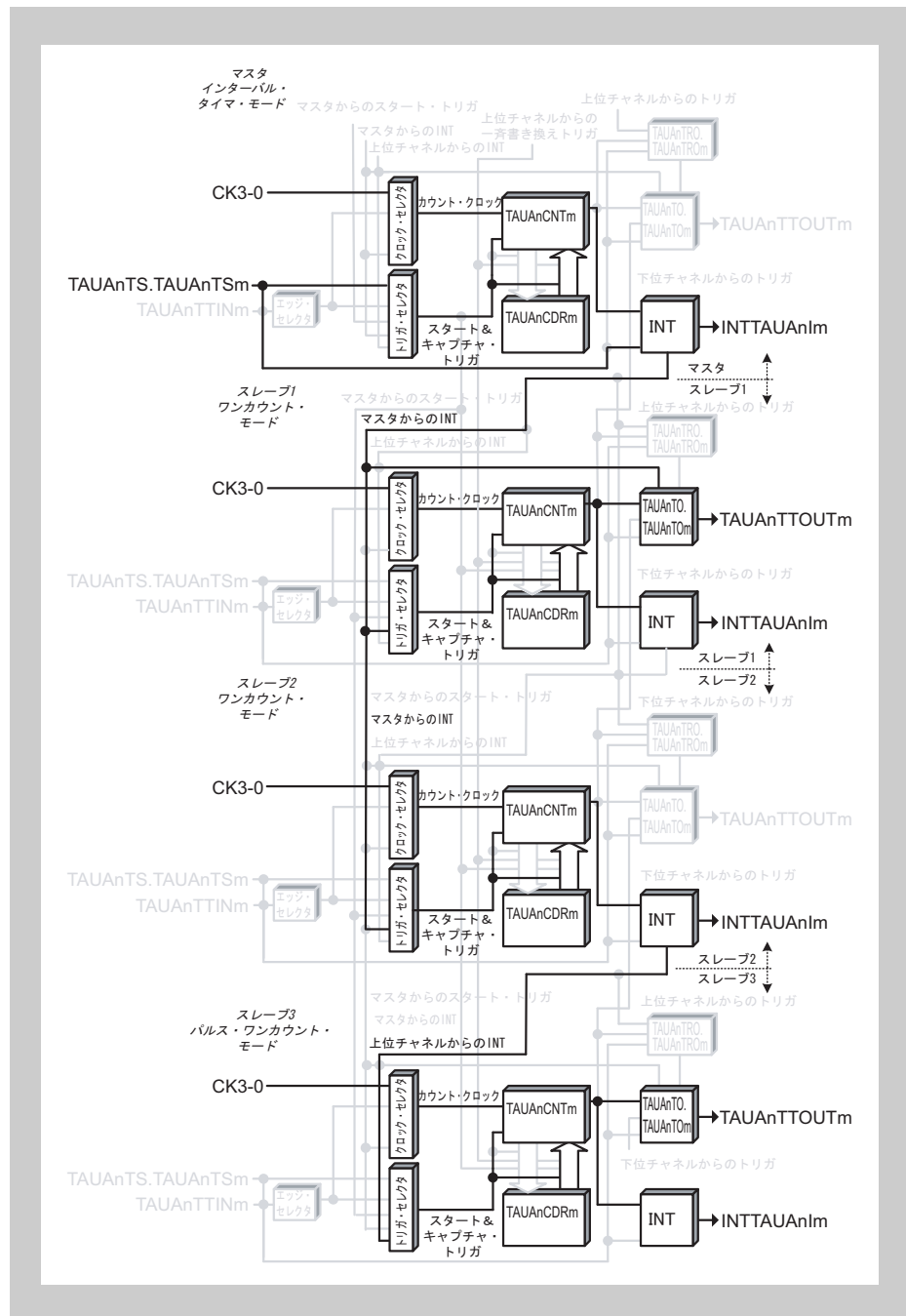


図 12-97 ディレイ・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 全チャンネル
 - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

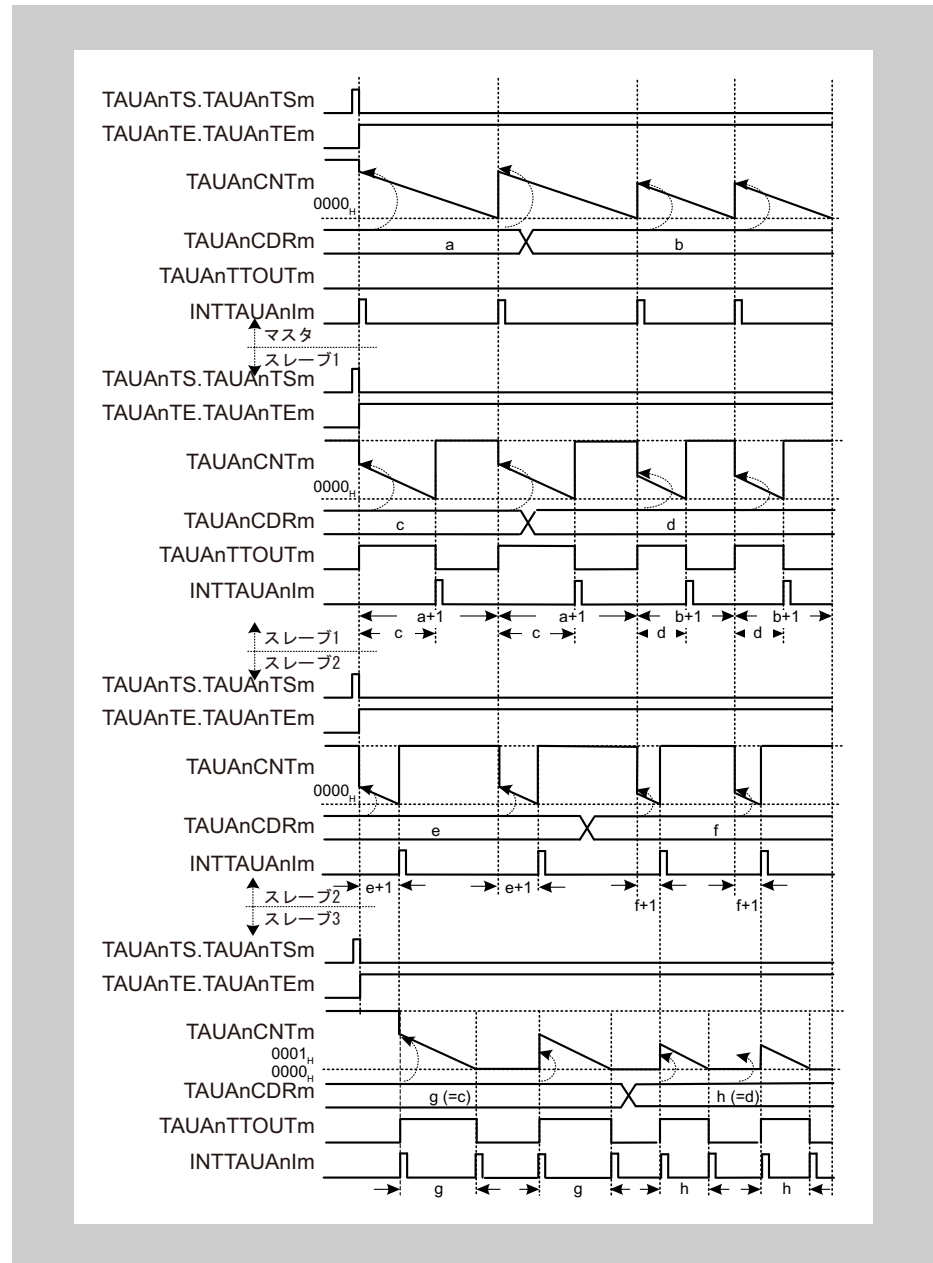


図 12-98 デイレイ・パルス出力機能の基本タイミング図

(3) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-119 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	1: 動作開始時に INTTAUAnIm が発生する

(b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-120 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能では、マスタ・チャンネルはチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-121 ディレイ・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(4) スレーブ・チャンネル1のレジスタ設定

(a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-122 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUAnCMORm設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: 動作中のスタート・トリガ有効

(b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-123 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUAnCMURm設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル1のチャンネル出力モード

表 12-124 チャンネル連動出力モード1時のスレーブ・チャンネル1の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	1: セット / リセットモード
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEEm	0: 変調禁止

(d) スレーブ・チャンネル1の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-125 ディレイ・パルス出力機能時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(5) スレーブ・チャンネル2のレジスタ設定

(a) スレーブ・チャンネル2のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-126 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUAnCMORm設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: 動作中のスタート・トリガ有効

(b) スレーブ・チャンネル2のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-127 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUAnCMURm設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル2のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) スレーブ・チャンネル2の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-128 ディレイ・パルス出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャンネル3のレジスタ設定

(a) スレーブ・チャンネル3のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-129 ディレイ・パルス出力機能時のスレーブ・チャンネル3のTAUAnCMORm設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	101: マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1010: パルス・ワンカウント・モード
TAUAnMD0	1: 動作中のスタート・トリガ有効

(b) スレーブ・チャンネル3のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-130 ディレイ・パルス出力機能時のスレーブ・チャンネル3のTAUAnCMURm設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル3のチャンネル出力モード

表 12-131 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEEm	0: 変調禁止

(d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-132 ディレイ・パルス出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号の発生を検出しない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガを検出する。

(7) デイレイ・パルス出力機能時の操作手順

表 12-133 デイレイ・パルス出力機能時の操作手順 (1/2)

	操作	TAUAn の状態
チャンネルの初期設定	<p>マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 730 ページの (3) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 1 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 732 ページの (4) 「スレーブ・チャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 734 ページの (5) 「スレーブ・チャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 736 ページの (6) 「スレーブ・チャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 12-133 ディレイ・パルス出力機能時の操作手順 (2/2)

	操作	TAUAnの状態	
動作再開 ↓	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTsm を同時に 1 に設定します。 TAUAnTS.TAUAnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ・チャンネルとスレーブ・チャンネル 1/2 のカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOuTm (スレーブ・チャンネル 1) が設定されます。</p>
	動作中	<p>TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 1/2 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。</p> <p>マスタ・チャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUAnIm (マスタ) が発生します。 • 再び TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 • 再び TAUAnCDRm の値を TAUAnCNTm (スレーブ 1/2) にロードし、ダウン・カウントを開始します。 • TAUAnTTOuTm (スレーブ 1) がセットされます。 <p>TAUAnCNTm (スレーブ 1) が 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUAnIm (スレーブ 1) が発生します。 • TAUAnTTOuTm (スレーブ 1) がリセットされます。 <p>TAUAnCNTm (スレーブ 2) が 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUAnIm (スレーブ 2) が発生します。 • TAUAnTTOuTm (スレーブ 3) がセットされます。 • 再び TAUAnCDRm の値を TAUAnCNTm (スレーブ 3) にロードし、ダウン・カウント動作を開始します。 <p>TAUAnCNTm (スレーブ 3) が 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUAnIm (スレーブ 3) が発生します。 • TAUAnTTOuTm (スレーブ 3) がリセットされます。
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOuTm は停止し、現在値を保持します。</p>

12.22.4 A/D 変換トリガ出力機能タイプ 1

(1) 概要

概要 この機能は、TAUAnTTOU_mが出力されないという点を除き、704 ページの12.22.1「PWM 出力機能」と同じです。

スレーブ・チャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

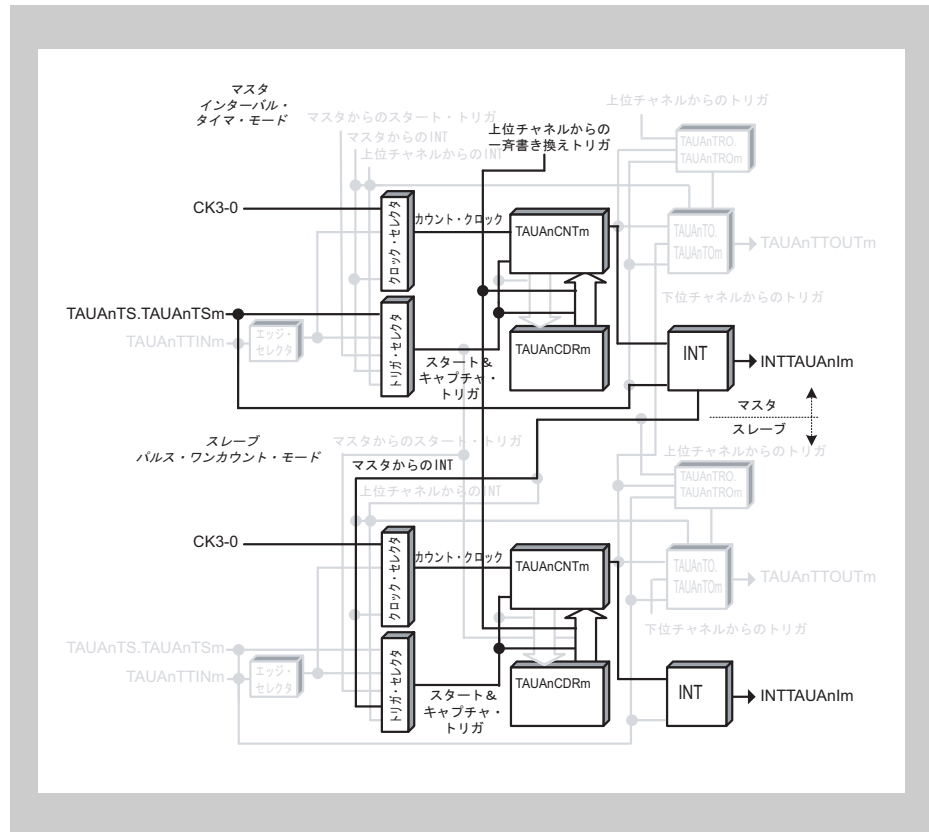


図 12-99 A/D 変換トリガ出力機能タイプ 1 のブロック図

(3) 基本タイミング図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUAnTOL.TAUAnTOLm = 0)

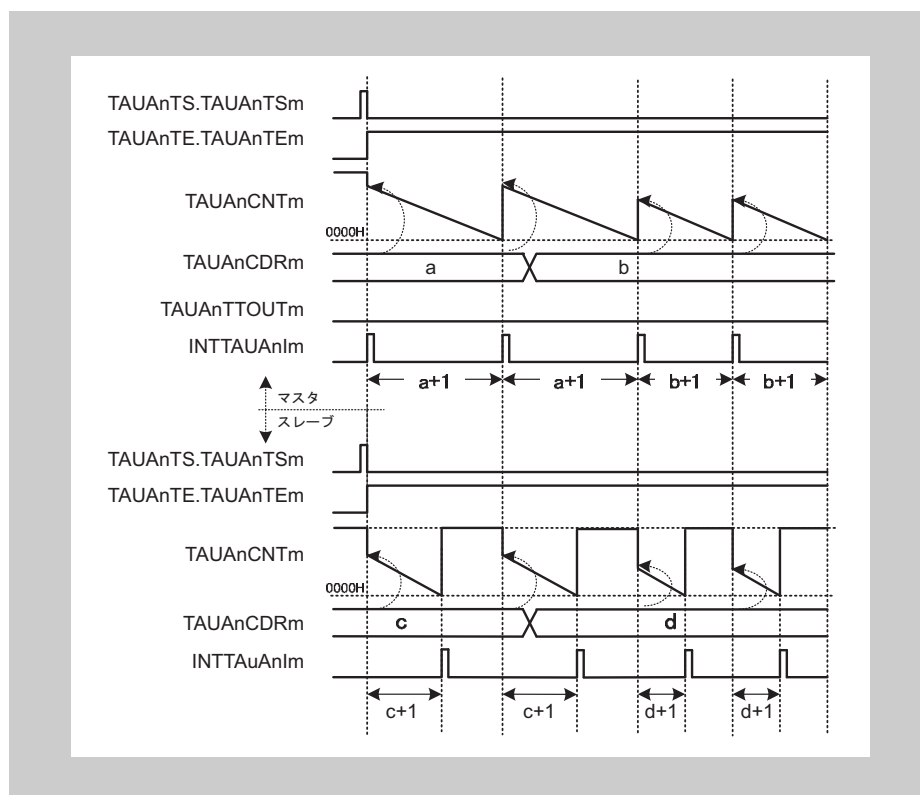


図 12-100 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

12.23 外部信号でトリガされる連動 PWM 信号機能

この節では、外部信号でトリガされる、PWM 信号を生成する機能について説明します。

- 12.23.1 「ワンショット・パルス出力機能」
- 12.23.2 「オフセット・トリガ出力機能」

12.23.1 ワンショット・パルス出力機能

(1) 概要

概要 マスタ・チャンネルとスレーブ・チャンネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタ・チャンネルで設定します。パルス幅はスレーブ・チャンネルで設定します。

- 前提条件**
- 2チャンネル
 - マスタ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります (747 ページの表 12-134 「ワンショット・パルス出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
 - スレーブ・チャンネルの動作モードは、パルス・ワンカウント・モードに設定する必要があります (749 ページの表 12-137 「ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照)。
 - この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。
 - スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 2 に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」参照)。
 - TAUAnTTINm (マスタ) は、TAUAnCNTm (マスタ) と TAUAnCNTm (スレーブ) がトリガを待っている間に検出されなければなりません。また、スレーブはマスタ・チャンネルからの割り込みでのみトリガされ、TAUAnTTINm (スレーブ) ではトリガされません。

機能説明 マスタ・チャンネル、スレーブ・チャンネルのチャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

- マスタ・チャンネル :

次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCDRm の現在値が TAUAnCNTm にロードされます。カウンタは、この TAUAnCDRm 値からダウン・カウントを開始します。TAUAnCMORm.TAUAnMD0 = 0 の場合、遅延時間内に検出されたトリガ (TAUAnTTINm) は無視されます。マスタ・チャンネルのカウンタが 0000_H になると、INTTAUAnIm が発生します。カウンタは FFFF_H に戻り、次の有効な TAUAnTTINm 入力エッジを待ちます。
- スレーブ・チャンネル :

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUAnCDRm (スレーブ) の現在値が TAUAnCNTm (スレーブ) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUAnTTOUTm 信号がセットされます。カウンタ値が 0001_H になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSm を 1 に設定すると、カウンタを再開できます。

カウント中に TAUAnTS.TAUAnTSm を 1 に設定すると、いったん停止しなくてもマスタ・チャンネルのカウントを再開できます (強制リスタート)。

- 条件**
- マスタ・チャンネルの TAUAnCMORm.TAUAnMD0 が 0 に設定されている場合、カウント中に検出された TAUAnTTINm 入力エッジは無視されます。
 - この機能では一斉書き換えを行うことができます。550 ページの 12.7 「一斉書き換え」を参照してください。

算出式 入力パルスまでの遅延 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

パルス幅 = (TAUAnCDRm (スレーブ)) × カウント・クロック周期

(2) ブロック図と基本タイミング図

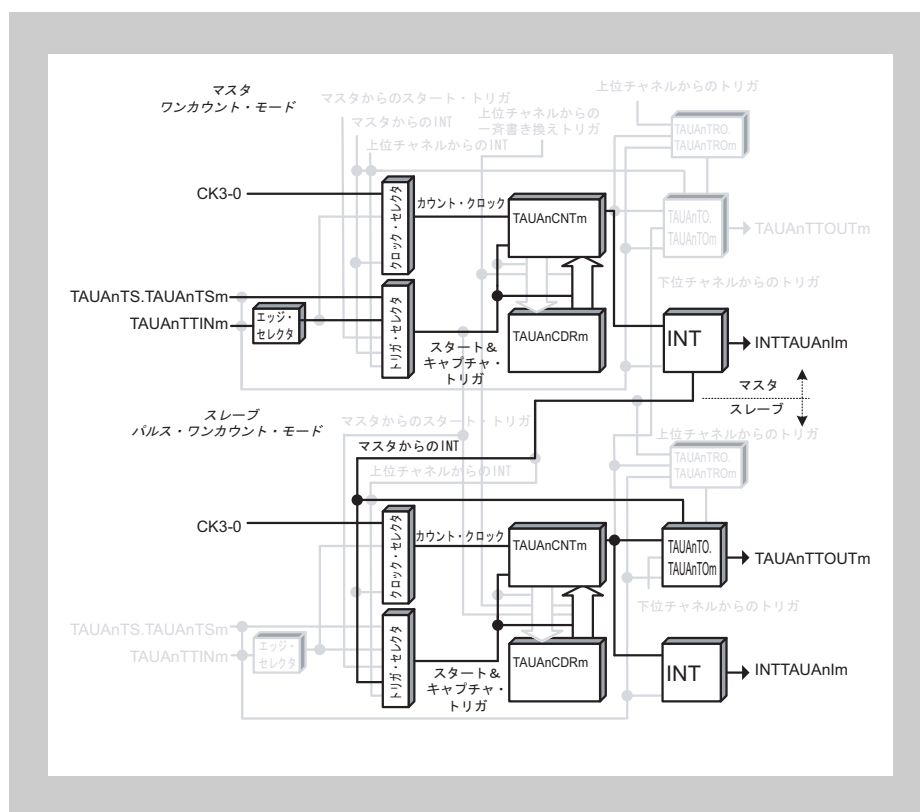


図 12-101 ワンショット・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止 (TAUAnCMORm.TAUAnMD0 = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)

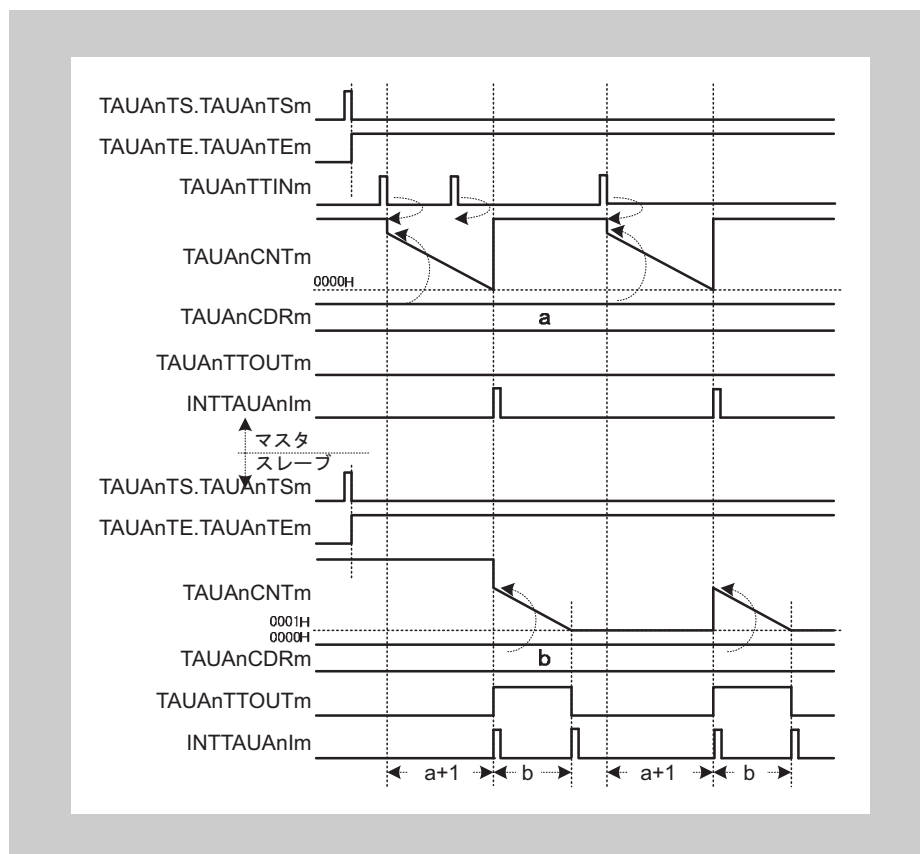


図 12-102 ワンショット・パルス出力機能の基本タイミング図

(3) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-134 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	0: カウント中のスタート・トリガ検出禁止 1: カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

(b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-135 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-136 ワンショット・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(4) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-137 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1010: パルス・ワンカウント・モード
TAUAnMD0	0: カウント中のスタート・トリガ検出禁止 1: カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

(b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-138 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルの出力モード

表 12-139 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-140 ワンショット・パルス出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(5) ワンショット・パルス出力機能時の操作手順

表 12-141 ワンショット・パルス出力機能時の操作手順

	操作	TAUAnの状態
動作再開	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が1に設定され、マスタ・チャンネルはTAUAnTTINm入力を待ちます。
	動作中	TAUAnTTINm 入力の有効エッジを検出すると、マスタ・チャンネルのTAUAnCDRmの値をTAUAnCNTmにロードし、ダウン・カウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> • INTTAUAnIm (マスタ) が発生します。 • 再びTAUAnCDRmの値をTAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 • 再びTAUAnCDRmの値をTAUAnCNTm (スレーブ) にロードし、ダウン・カウント動作を開始します。 • INTTAUAnIm (スレーブ) が発生します。 • TAUAnTTOUTm (スレーブ) がセットされます。 TAUAnCNTm (スレーブ) が0001 _H になった場合： <ul style="list-style-type: none"> • INTTAUAnIm (スレーブ) が発生します。 • TAUAnTTOUTm (スレーブ) がリセットされません。 カウント中にマスタ・チャンネルでTAUAnTTINm入力が検出され、TAUAnCMORm.TAUAnMD0 = 0の場合、その入力は無視されます。
	動作停止	TAUAnTE.TAUAnTEm が0にクリアされ、カウンタ動作が停止します。TAUAnCNTmとTAUAnTTOUTmは停止し、現在値を保持します。

12.23.2 オフセット・トリガ出力機能

(1) 概要

概要 マスタ・チャンネルとスレーブ・チャンネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUAnTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタ・チャンネルの有効な入力エッジを検出して設定します。パルス幅はスレーブ・チャンネルで設定します。

- 前提条件**
- 2チャンネル
 - マスタ・チャンネルの動作モードは、キャプチャ・モードに設定する必要があります（755 ページの表 12-142 「オフセット・トリガ出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
 - スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（757 ページの表 12-145 「オフセット・トリガ出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照）。
 - スレーブ・チャンネルの出力モードは、チャンネル単体出力モード 2 に設定する必要があります（562 ページの 12.8 「チャンネル出力モード」参照）。
 - この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が開始されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。マスタ・チャンネルのカウンタ (TAUAnCNTm) は 0000_H からアップ・カウントを開始します。

- マスタ・チャンネル：

有効な TAUAnTTINm 入力エッジが検出されると、カウンタ (TAUAnCNTm) の現在値がマスタ・チャンネルのデータ・レジスタ (TAUAnCDRm) にロードされます。そして INTTAUAnIm が発生し、カウンタは 0000_H からアップ・カウントを再開します。
- スレーブ・チャンネル：

マスタ・チャンネルで INTTAUAnIm が発生すると、TAUAnTTOUTm 信号 (スレーブ) がセットされ、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUAnCDRm (スレーブ) の現在値が TAUAnCNTm (スレーブ) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSM を 1 に設定すると、カウントを再開できます。

(2) 算出式

パルス幅 = (TAUAnCDRm (スレーブ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = [TAUAnCDRm (スレーブ) / TAUAnTTINm サイクル + 1] × 100

– デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) = 0000_H

– デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) ≥ TAUAnTTINm サイクル + 1

(3) ブロック図と基本タイミング図

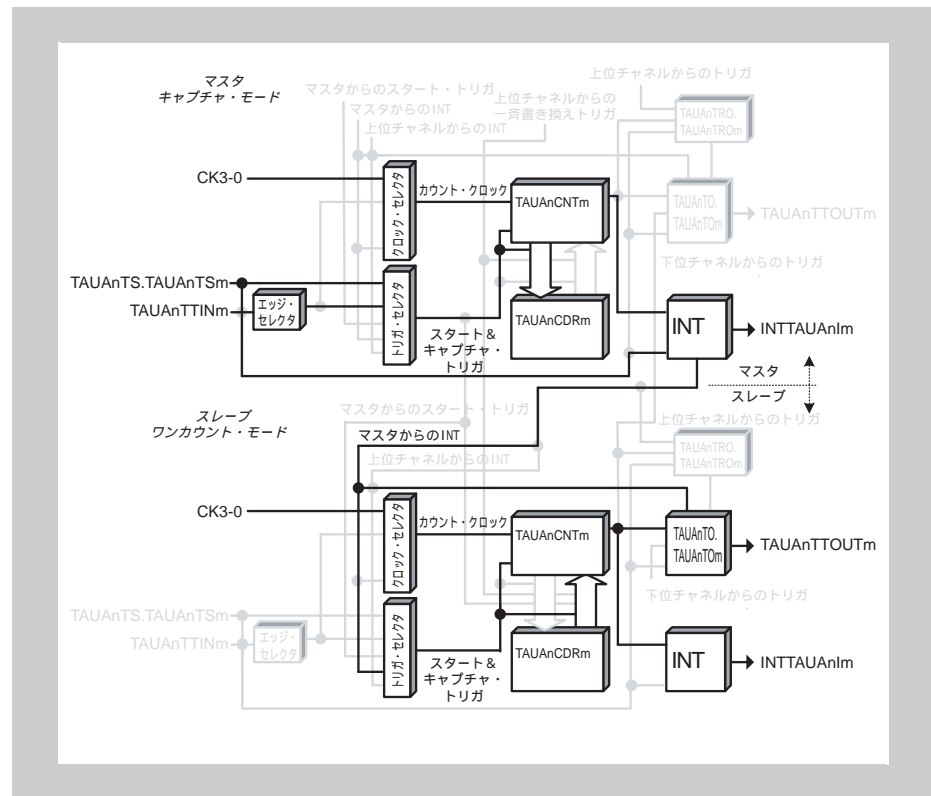


図 12-103 オフセット・トリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00_B)

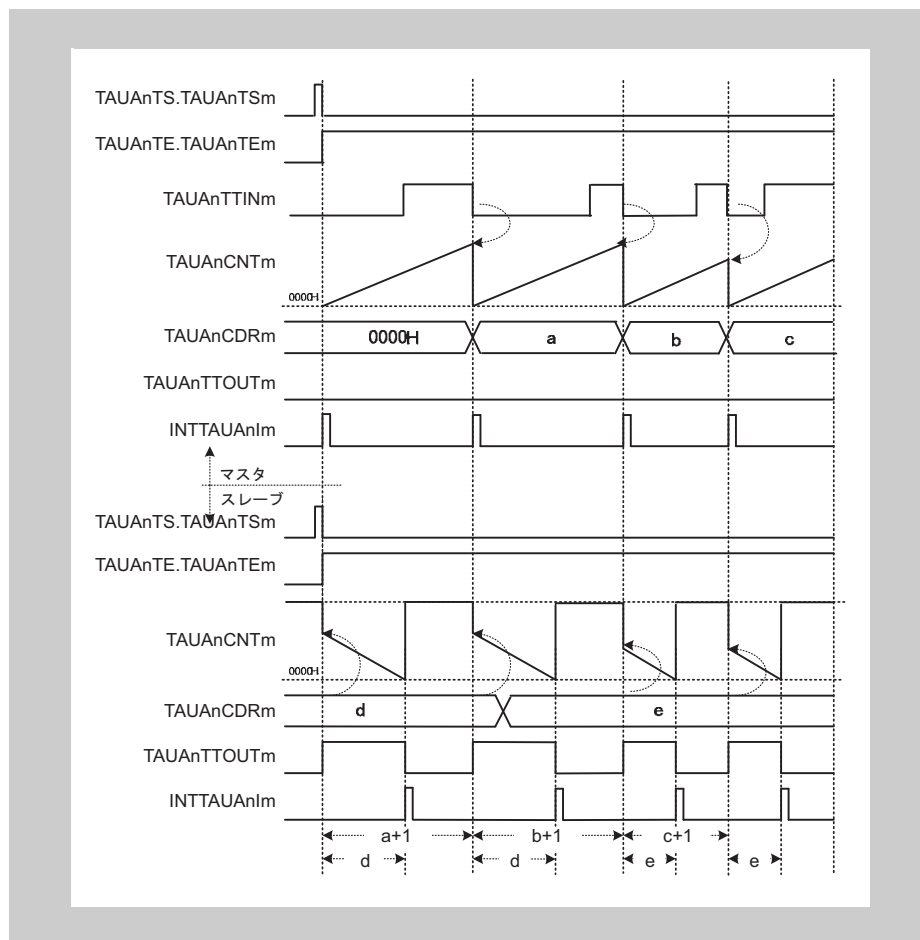


図 12-104 オフセット・トリガ出力機能の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-142 オフセット・トリガ出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	11: TAUAnTTINm 入力有効エッジ検出が検出されるか、カウンタ・オーバーフローが発生すると、キャプチャ・レジスタを更新: <ul style="list-style-type: none"> TAUAnTTINm 入力有効エッジ検出: カウンタ値を TAUAnCDRm に書き込みます。 オーバーフロー発生: TAUAnCDRm に FFFF_H を書き込みます。次に検出される TAUAnTTINm 入力有効エッジは無視されます。 TAUAnCSRm.TAUAnOVF はカウンタ・オーバーフロー時に設定され、CPU 命令でクリアされます。
TAUAnMD[4:1]	0010: キャプチャ・モード
TAUAnMD0	1: 動作開始時に INTTAUAnIm が発生する

(b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-143 オフセット・トリガ出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オフセット・トリガ出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-144 オフセット・トリガ出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-145 オフセット・トリガ出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: カウント中のスタート・トリガ検出許可

(b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-146 オフセット・トリガ出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルのチャンネル出力モード

表 12-147 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) スレーブ・チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オフセット・トリガ出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 12-148 オフセット・トリガ出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(6) オフセット・トリガ出力機能時の操作手順

表 12-149 オフセット・トリガ出力機能時の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定	
	マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 755 ページの (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。 スレーブ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 757 ページの (5) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始	マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSm を同時に 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 • TAUAnCNTm (マスタ) がアップ・カウントを行います。 • TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm (マスタ) がセットされます。
	動作中	TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCSCm.TAUAnCLOV は 1 に設定可能です。 スレーブ・チャンネルの TAUAnCNTm が 0000 _H になった場合 : • INTTAUAnIm (スレーブ) が発生します。 • TAUAnTTOUTm (スレーブ) がリセットされず。 マスタ・チャンネルで TAUAnTTINm 入力エッジが検出された場合 : • INTTAUAnIm (マスタ) が発生します。 • TAUAnCNTm (マスタ) は 0000 _H にリセットされ、その後カウント動作を継続します。 • 再び TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUAnTTOUTm (スレーブ) がセットされず。
動作停止	マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

12.24 同期三角波 PWM 機能

この節では、三角波 PWM 出力信号を生成する機能について説明します。

- 12.24.1 「三角波 PWM 出力機能」
- 12.24.2 「デッド・タイム付き三角波 PWM 出力機能」
- 12.24.3 「A/D 変換トリガ出力機能タイプ2」

12.24.1 三角波 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと1つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブ・チャンネルを用いて、TAUAnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。マスタ・チャンネルの1周期目はスレーブ・カウンタのダウン・ステータスを、2周期目はアップ・ステータスを制御します。

前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（765 ページの表 12-150 「三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、アップ／ダウン・カウント・モードに設定する必要があります（767 ページの表 12-154 「三角波 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照）。
- マスタ・チャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります（562 ページの 12.8 「チャンネル出力モード」）。
- スレーブ・チャンネルの出力モードは、チャンネル連動出力モード2に設定する必要があります（562 ページの 12.8 「チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウン・ステータスの間、TAUAnTTOUTm 信号がハイ・レベルになります。
 - TAUAnCMORm.TAUAnMD0（マスタ）ビットが0に設定されている場合、TAUAnTOE.TAUAnTOEm が0の間、TAUAnTO.TAUAnTOM を1に設定する必要があります。（推奨設定）
 - TAUAnCMORm.TAUAnMD0（マスタ）ビットが1に設定されている場合、TAUAnTOE.TAUAnTOEm が0の間、TAUAnTO.TAUAnTOM を0に設定する必要があります。

機能説明

チャンネル・トリガ・ビット（TAUAnTS.TAUAnTSM）を1に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm が設定され、カウントが可能になります。TAUAnCDRm（マスタ／スレーブ）の値が TAUAnCNTm（マスタ／スレーブ）にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUAnCMORm.TAUAnMD0 ビットが1に設定されている場合は、割り込みが発生し、マスタの TAUAnTTOUTm 信号がトグルされます。

- マスタ・チャンネル：

マスタ・チャンネルのカウンタ値が 0000_H になると（パルス周期が経過すると）、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。その後、再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。

- スレーブ・チャンネル :

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。

- スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
- スレーブのカウンタがアップ・カウント中の場合は、再び TAUAnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。

スレーブ・チャンネルのカウンタがアップ／ダウン・カウント中に 0001_H になると、INTTAUAnIm が発生し、TAUAnTTOUTm (スレーブ) 信号がセット／リセットされます :

カウンタはアップ／ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

TAUAnTOL.TAUAnTOLm を設定することにより、動作中に TAUAnTTOUTm 信号の正相／逆相を切り替えることができます。

マスタ／スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタの動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ／スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。

条件 この機能では一斉書き換えを行うことができます。550 ページの 12.7 「一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

0000_H ≤ TAUAnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン／アップ) = (TAUAnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

デューティ・サイクル 100 % =

$$\left[\frac{\text{TAUAnCDRm (マスタ)} + 1 - \text{TAUAnCDRm (スレーブ)}}{\text{TAUAnCDRm (マスタ)} + 1} \right] \times 100$$

- デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) = 0000_H

- デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) ≥ TAUAnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

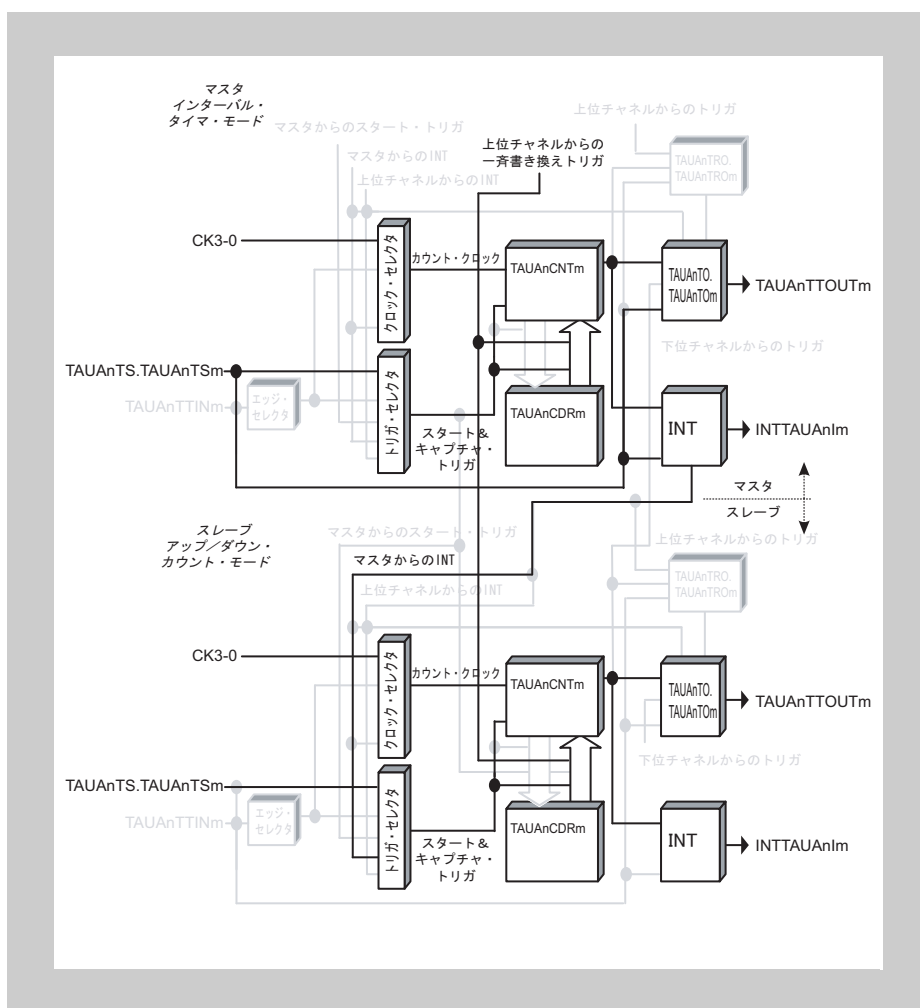


図 12-105 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
 - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

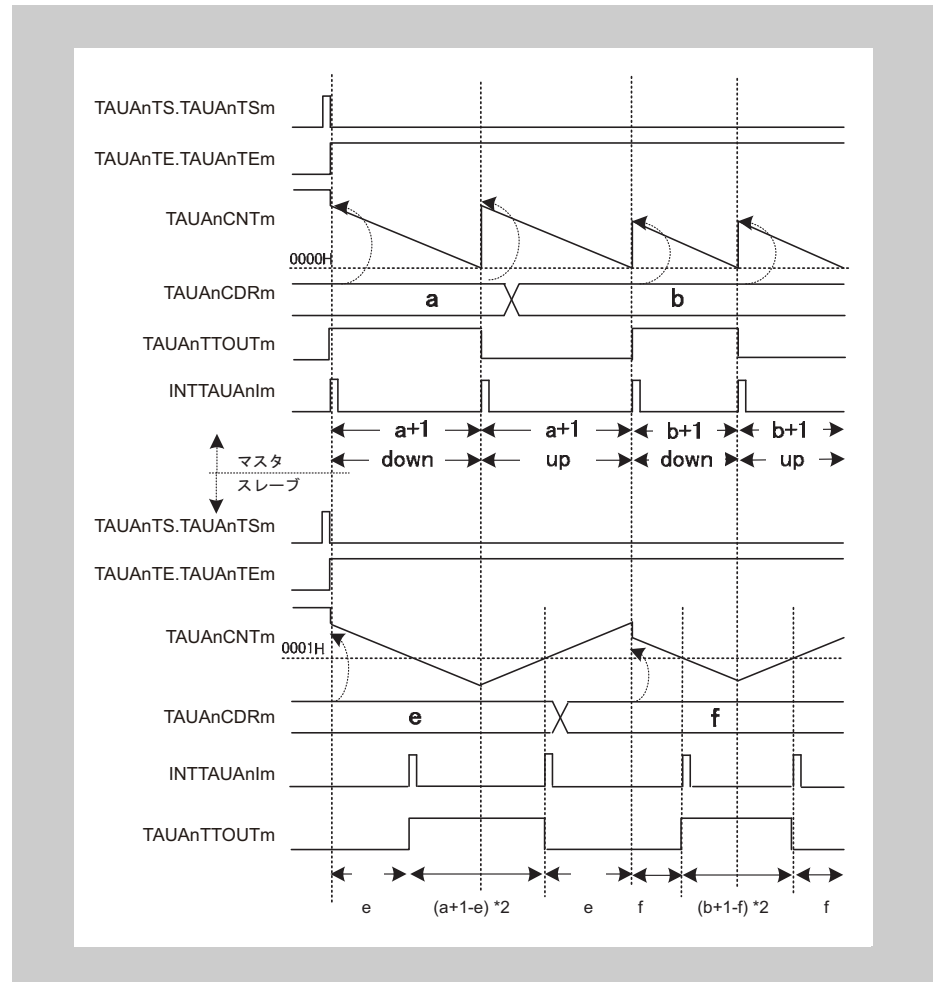


図 12-106 三角波 PWM 出力機能の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-150 三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1: 動作開始時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

(b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-151 三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

表 12-152 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-153 三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-154 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111: マスタ・チャンネルのアップ/ダウン出力トリガ信号
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1001: アップ/ダウン・カウント・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない

(b) スレーブ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-155 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルのチャンネル出力モード

表 12-156 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-157 三角波 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: 上位チャンネルで一斉書き換えトリガをモニタする
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) 三角波 PWM 出力機能時の操作手順

表 12-158 三角波 PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで TAUAnCMORm.TAUAnMDO が 1 に設定されている場合は、INTTAUAnIm (マスタ) が発生します。
	動作中	マスタ/スレーブ・チャンネルの TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUAnIm (マスタ) が発生します。 TAUAnTOUTm (マスタ) がトグルされます。 再び TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。 スレーブ・チャンネルの TAUAnCNTm が 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUAnIm (スレーブ) が発生します。 TAUAnTTOUTm (スレーブ) は、ダウン・カウント状態ではセット、アップ・カウント状態ではリセットされます。
	動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

- TAUAnCDRm = a = 5_H

- スレーブ・チャンネル :

- TAUAnCDRm = 6_H

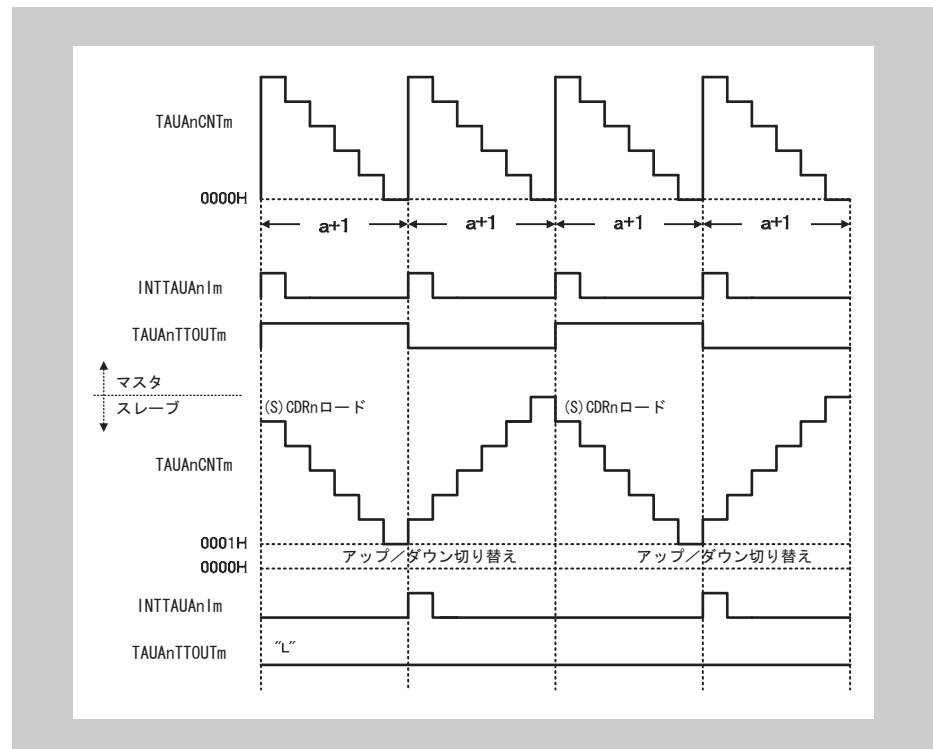


図 12-107 TAUAnCDRm (スレーブ) \geq TAUAnCDRm (マスタ) + 1

- TAUAnCDRm (スレーブ) 値が TAUAnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0001_H になりません。セット信号が検出されることがないため、TAUAnTTOUTm は Low 状態のままになります。

(b) デューティ・サイクル = 100 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :
 - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
 - TAUAnCDRm = a = 5_H
- スレーブ・チャンネル :
 - TAUAnCDRm = 0_H

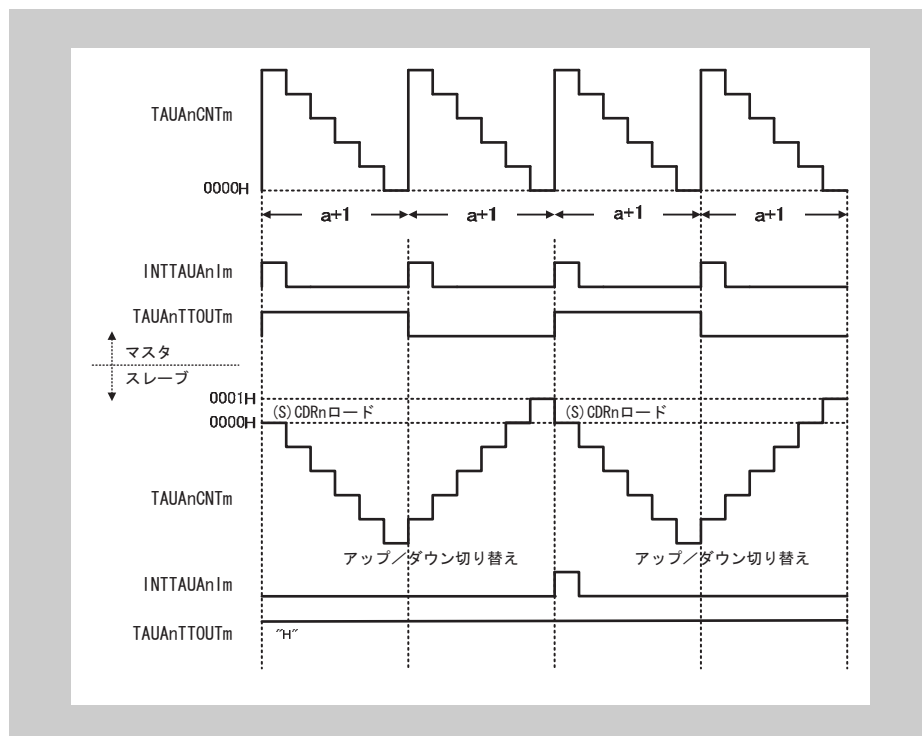


図 12-108 TAUAnCDRm (スレーブ) = 0000_H

- TAUAnCDRm (スレーブ) = 0000_H の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001_H になりません。リセット信号が検出されることがないため、TAUAnTTOUTm は High 状態のままになります。

12.24.2 デッド・タイム付き三角波 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと2つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッド・タイムを付加して生成する機能です。デッド・タイムが付加された PWM 信号は、スレーブ・チャンネル 2/3 の TAUAnTTOUTm から出力されます。これにより、マスタ/スレーブ・チャンネルを使って TAUAnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。1 周期目のパルスはスレーブ・カウンタのダウン・ステータスを、2 周期目のパルスはアップ・ステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブ・チャンネルの TAUAnTTOUTm がセット/リセットされます。TAUAnTDL.TAUAnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUAnTTOUTm がただちにセット/リセットされるのか、デッド・タイム経過後にセット/リセットされるのかを設定）。デッド・タイム時間はスレーブ・チャンネル 3 で設定します。

- 前提条件**
- 3 チャンネル。スレーブ・チャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
 - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（777 ページの表 12-160 「デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
 - この機能では、スレーブ・チャンネル 1 は使用しません。そのため、スレーブ・チャンネル 2 は必ず奇数チャンネル、スレーブ・チャンネル 3 は偶数チャンネルです。
 - スレーブ・チャンネル 2 の動作モードは、アップ・ダウン・モードに設定する必要があります（779 ページの表 12-164 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 2 の TAUAnCMORm 設定」参照）。また、スレーブ・チャンネル 2 は偶数チャンネルでなければなりません。
 - スレーブ・チャンネル 3 の動作モードは、ワンカウント・モードに設定する必要があります（781 ページの表 12-168 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 3 の TAUAnCMORm 設定」参照）。また、スレーブ・チャンネル 3 は奇数チャンネルでなければなりません。
 - マスタ・チャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（562 ページの 12.8 「チャンネル出力モード」）。
 - スレーブ・チャンネル 2/3 の出力モードは、デッド・タイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（562 ページの 12.8 「チャンネル出力モード」参照）。
 - 次のような設定により、キャリア周期のダウン・ステータスの間、TAUAnTTOUTm 信号がハイ・レベルになります。

- TAUAnCMORm.TAUAnMD0 (マスタ) ビットが0に設定されている場合、TAUAnTOE.TAUAnTOEm が0の間、TAUAnTO.TAUAnTOm を1に設定する必要があります。(推奨設定)
- TAUAnCMORm.TAUAnMD0 (マスタ) ビットが1に設定されている場合、TAUAnTOE.TAUAnTOEm が0の間、TAUAnTO.TAUAnTOm を0に設定する必要があります。

備考 デッド・タイム付き三角波 PWM 出力機能では、スレーブ・チャンネル1を使用しません。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると、カウンタ動作が開始されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUAnCMORm.TAUAnMD0 ビットが1に設定されている場合は、割り込みが発生し、マスタの TAUAnTTOUTm 信号がトグルされます。

• マスタ・チャンネル :

マスタ・チャンネルのカウンタ値が 0000_H になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。再び TAUAnCDRm の値をカウンタにロードし、ダウン・カウントを行います。

• スレーブ・チャンネル2 :

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネル2のカウンタ動作がトリガされます。

- スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
- スレーブのカウンタがアップ・カウント中の場合は、再び TAUAnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。

カウンタはアップ/ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

• スレーブ・チャンネル3 :

スレーブ・チャンネル2で INTTAUAnIm が発生すると、スレーブ・チャンネル3のカウンタ動作がトリガされます。そして TAUAnCDRm (スレーブ3) の現在値が TAUAnCNTm (スレーブ3) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000_H になると、INTTAUAnIm が発生します。カウンタは FFFF_H に戻り、スレーブ・チャンネル2の次の INTTAUAnIm を待ちます。

774 ページの表 12-159 「スレーブ・チャンネル2で割り込みが発生した際の TAUAnTTOUTm の動作」にあるように、対応するチャンネルの TAUAnTDL.TAUAnTDLm 設定によって、セット/リセットのタイミング (割り込み発生直後またはデッド・タイム経過後) が決まります。

また、TAUAnTOL.TAUAnTOLm の設定によって、対応チャンネルからハイ・レベル信号を出力 (TAUAnTOL.TAUAnTOLm = 0) するかロウ・レベル信号を出力 (TAUAnTOL.TAUAnTOLm = 1) するかが決まります。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を1に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は0に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。

スレーブ・チャンネル2のTAUAnCDRm値を0000_Hにして、TAUAnTTOUTmを100%出力することができます。

条件 この機能では一斉書き換えを行うことができます。550ページの12.7「一斉書き換え」を参照してください。

TAUAnTOL.TAUAnTOLmとTAUAnTDL.TAUAnTDLmの設定はカウント動作開始前に行う必要があります。スレーブ・チャンネル2とスレーブ・チャンネル3はTAUAnTOL.TAUAnTOLmかTAUAnTDL.TAUAnTDLmの設定が反対でなければなりません。

表 12-159 スレーブ・チャンネル2で割り込みが発生した際のTAUAnTTOUTmの動作

TAUAnTDL.TAUAnTDLm	割り込み発生時のスレーブ・チャンネル2のカウント方向	TAUAnTTOUTm セット／リセット・タイミング
0	ダウン・カウント	デッド・タイム経過後に設定
	アップ・カウント	割り込み発生直後にリセット
1	ダウン・カウント	割り込み発生直後にセット
	アップ・カウント	デッド・タイム経過後に設定

(2) 算出式

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

0000_H ≤ TAUAnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン／アップ) = (TAUAnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

PWM 信号幅 (正相) = [(TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ2) ×) - (TAUAnCDRm (スレーブ3) + 1)] × カウント・クロック周期

PWM 信号幅 (逆相) = [(TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ2) × 2) + (TAUAnCDRm (スレーブ3) + 1)] × カウント・クロック周期

(3) ブロック図と基本タイミング図

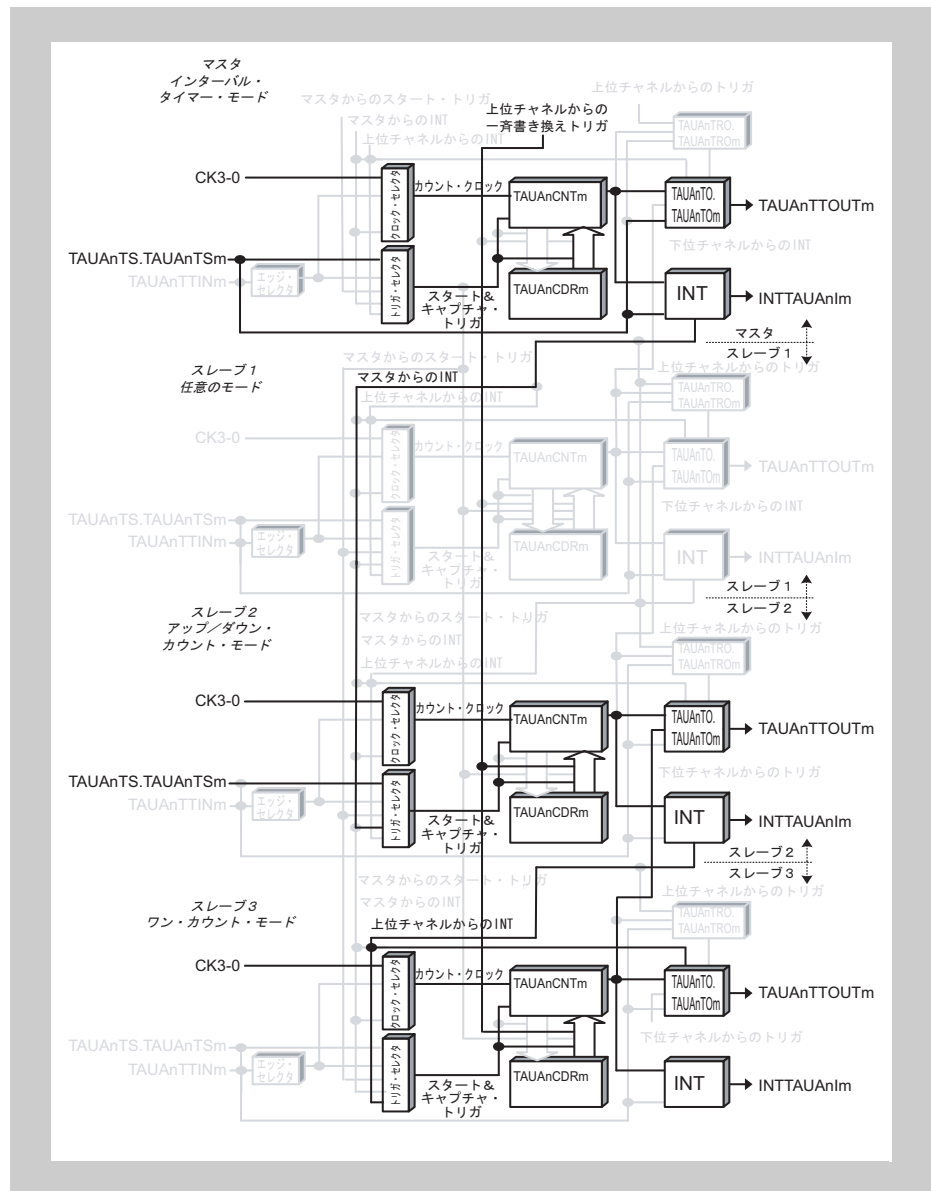


図 12-109 デッド・タイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :
 - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
- スレーブ・チャンネル 2 :
 - 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
 - TAUAnTDL.TAUAnTDLm = 0
 - 正論理 (TAUAnTOL.TAUAnTOLm = 0)
- スレーブ・チャンネル 3 :
 - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
 - TAUAnTDL.TAUAnTDLm = 1
 - 負論理 (TAUAnTOL.TAUAnTOLm = 1)

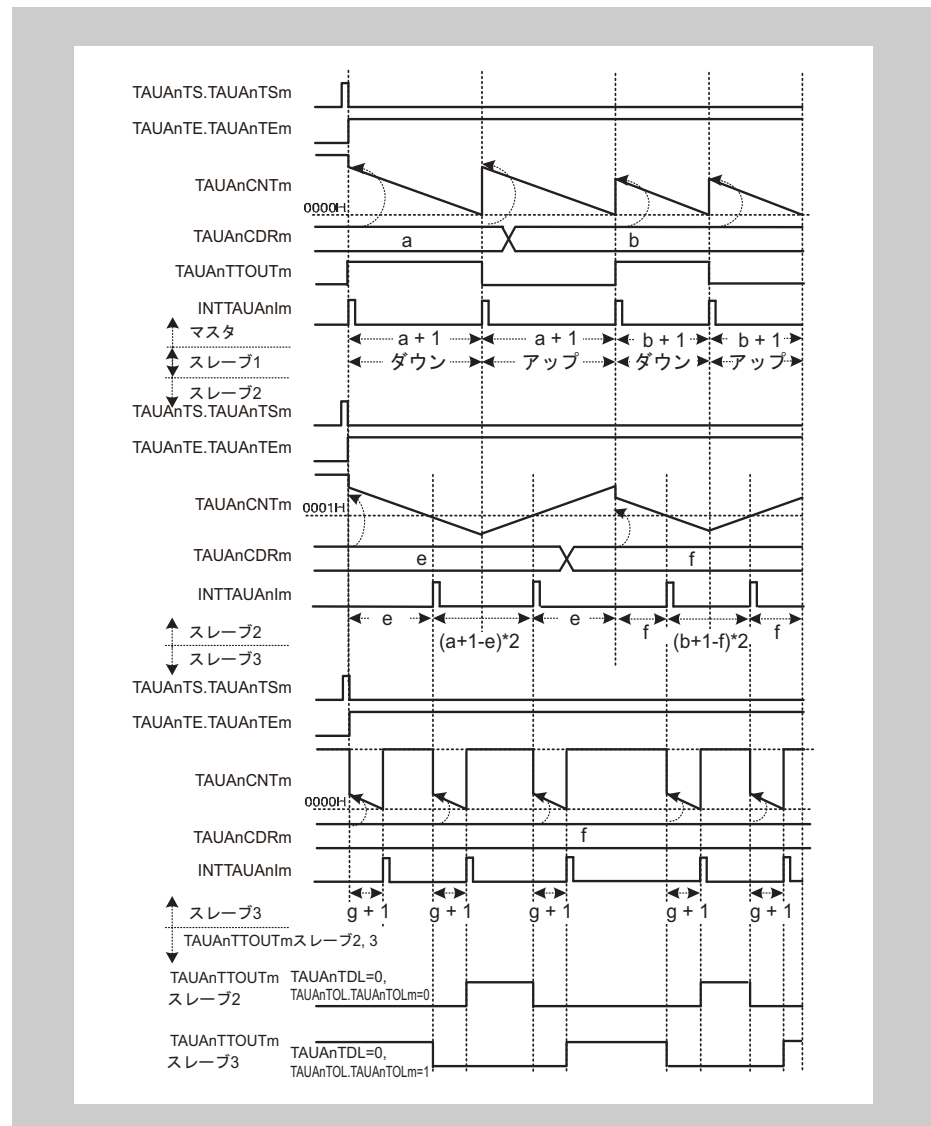


図 12-110 デッド・タイム付き三角波 PWM 出力機能の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-160 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生せず, TAUAnTOUTm はトグルされない 1: 動作開始時に INTTAUAnIm が発生し, TAUAnTOUTm はトグルされる

(b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-161 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

表 12-162 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-163 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブ・チャンネル2のレジスタ設定

(a) スレーブ・チャンネル2のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-164 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111: マスタ・チャンネルのアップ/ダウン出力トリガ信号
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1001: アップ/ダウン・カウント・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない

(b) スレーブ・チャンネル2のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-165 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル2のチャンネル出力モード

表 12-166 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつTAUAnTDL.TAUAnTDLmで設定されている条件に合致している場合にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEm	0: 変調禁止

注意 TDLm は、奇数チャンネルと排他設定してください。

(d) スレーブ・チャンネル2の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-167 三角波 PWM 出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャンネル3のレジスタ設定

(a) スレーブ・チャンネル3のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-168 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	110: デッド・タイム・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: カウント中のスタート・トリガ検出許可

(b) スレーブ・チャンネル3のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-169 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル3のチャンネル出力モード

表 12-170 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつTAUAnTDL.TAUAnTDLmで設定されている条件に合致している場合にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEm	0: 変調禁止

注意 TAUAnTDL.TAUAnTDLm は、偶数チャンネルと排他設定してください。

(d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-171 三角波 PWM 出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波周期の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(7) デッド・タイム付き三角波 PWM 出力機能時の操作手順

表 12-172 デッド・タイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	<p>チャンネルの初期設定</p> <p>マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 777 ページの (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 779 ページの (5) 「スレーブ・チャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 781 ページの (6) 「スレーブ・チャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
	<p>動作開始</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に 1 に設定します。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで TAUAnCMORm.TAUAnMD0 が 1 に設定されている場合は、INTTAUAnIm (マスタ) が発生します。
	<p>動作中</p> <p>TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 2 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUAnIm (マスタ) が発生します。 再び TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUAnCDRm の値を TAUAnCNTm (スレーブ 2) にロードするか、反対方向のカウントを開始します。 <p>TAUAnCNTm (スレーブ 2) が 0001_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUAnIm (スレーブ 2) が発生します。 スレーブ・チャンネル 3 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。 <p>スレーブ・チャンネル 3 の TAUAnCNTm が 0000_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUAnIm が発生します。
	<p>動作停止</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUtm は停止し、現在値を保持します。

(8) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
 - 正論理 (TAUAnTDL.TAUAnTDLm = 0)
- スレーブ・チャンネル 3 :
 - 負論理 (TAUAnTDL.TAUAnTDLm = 1)

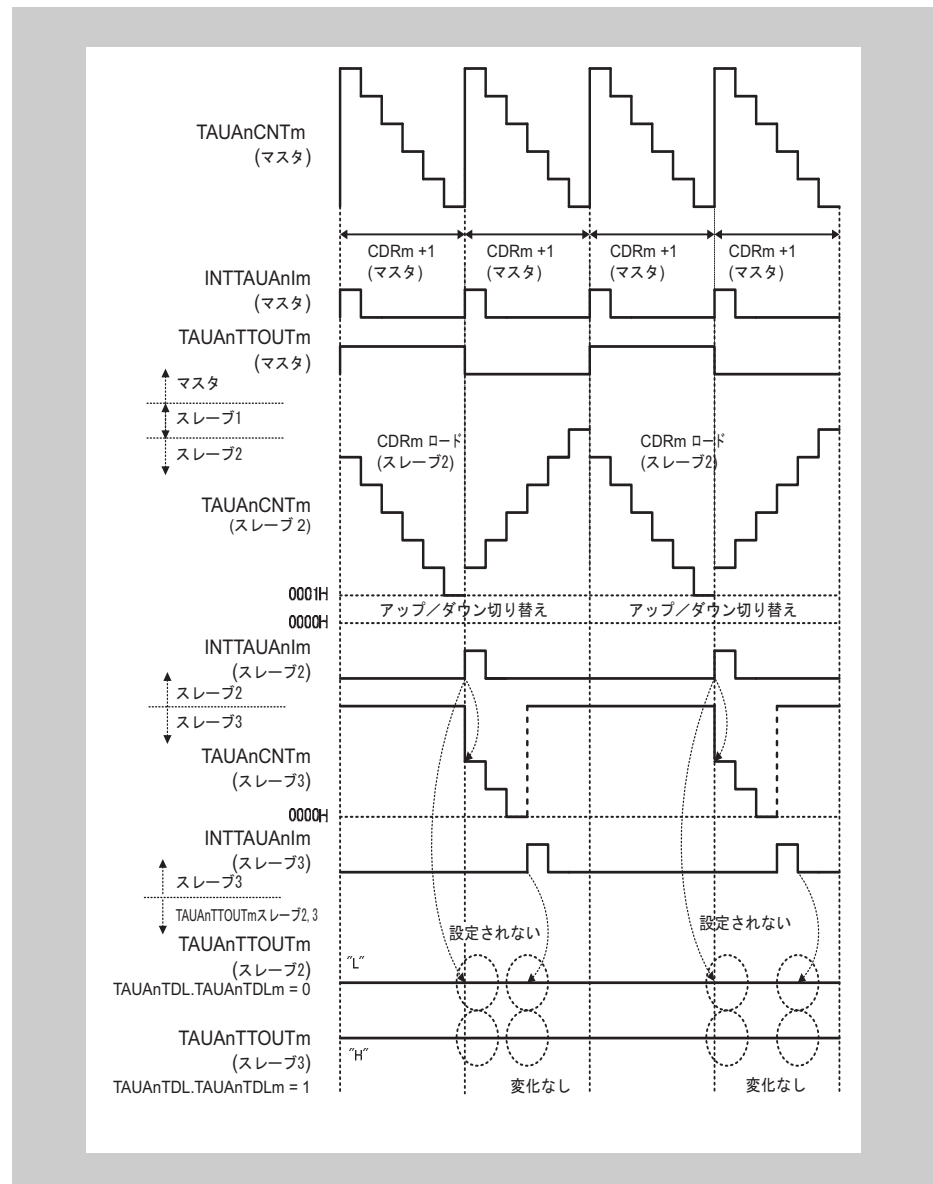


図 12-111 TAUAnCDRm (スレーブ) \geq TAUAnCDRm (マスタ) + 1

- TAUAnCDRm (スレーブ 2) 値が TAUAnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0000_H になりません。したがって TAUAnTTOUm 信号のセット/リセットは行われず、初期状態のままになります。アップ・カウント中にスレーブ・チャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(b) デューティ・サイクル = 100 %

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
 - 正論理 (TAUAnTDL.TAUAnTDLm = 0)
- スレーブ・チャンネル 3 :
 - 負論理 (TAUAnTDL.TAUAnTDLm = 1)

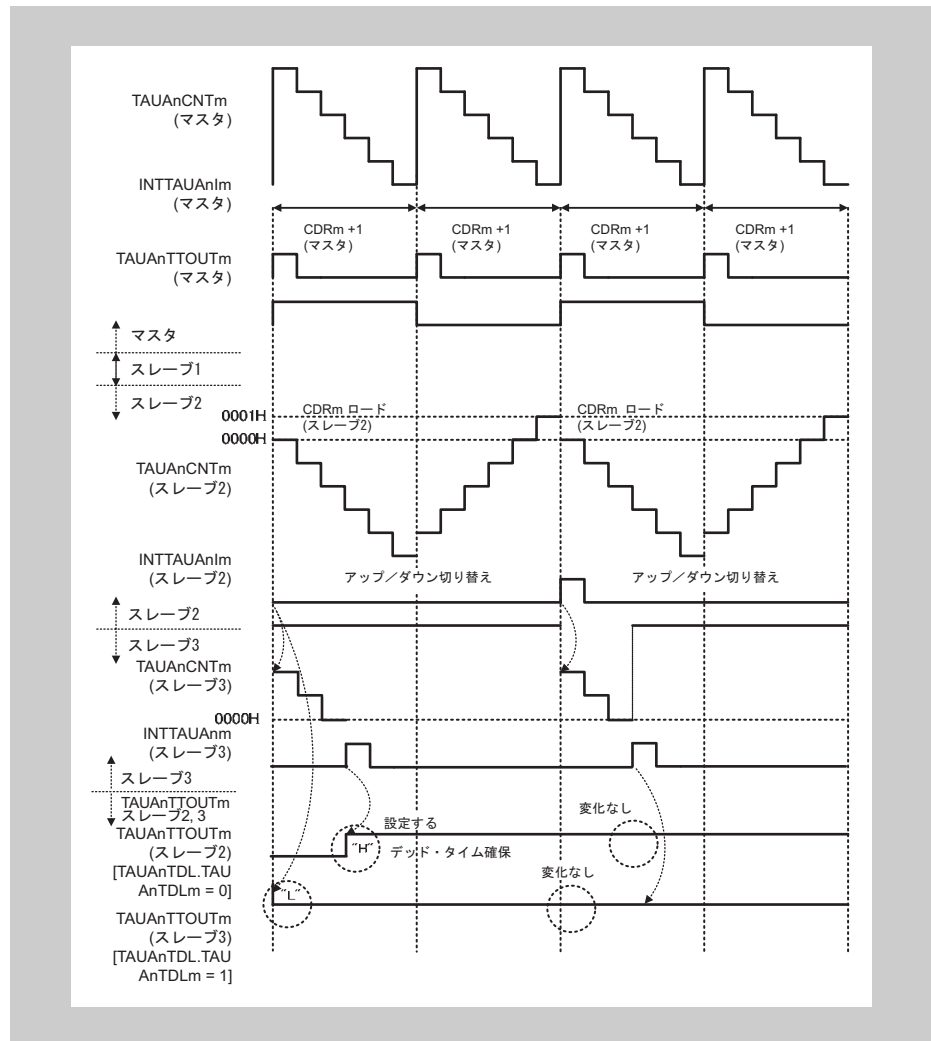


図 12-112 TAUAncCDRm (スレーブ) = 0000_H

- TAUAncCDRm (スレーブ 2) = 0000_H の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001_H になりません。したがって、アップ・カウント中に INTTAUAAnIm は発生しません。
 - TAUAncTDL.TAUAnTDLm が 0 に設定されているチャンネルでは、デッド・タイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUAncTTOUtm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
 - 上図のスレーブ・チャンネル 3 はカウント開始時にセットされます。ただし、TAUAncTDL.TAUAnTDLm が 1 に設定されているスレーブ・チャンネルでは、リセット条件が満たされることがないため、当該チャンネルでは TAUAncTTOUtm は初期状態のままになります。

12.24.3 A/D 変換トリガ出力機能タイプ 2

(1) 概要

概要 この機能は、TAUAnTTOUTm が出力されないという点を除き、761 ページの 12.24.1 「三角波 PWM 出力機能」と同じです。

スレーブ・チャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

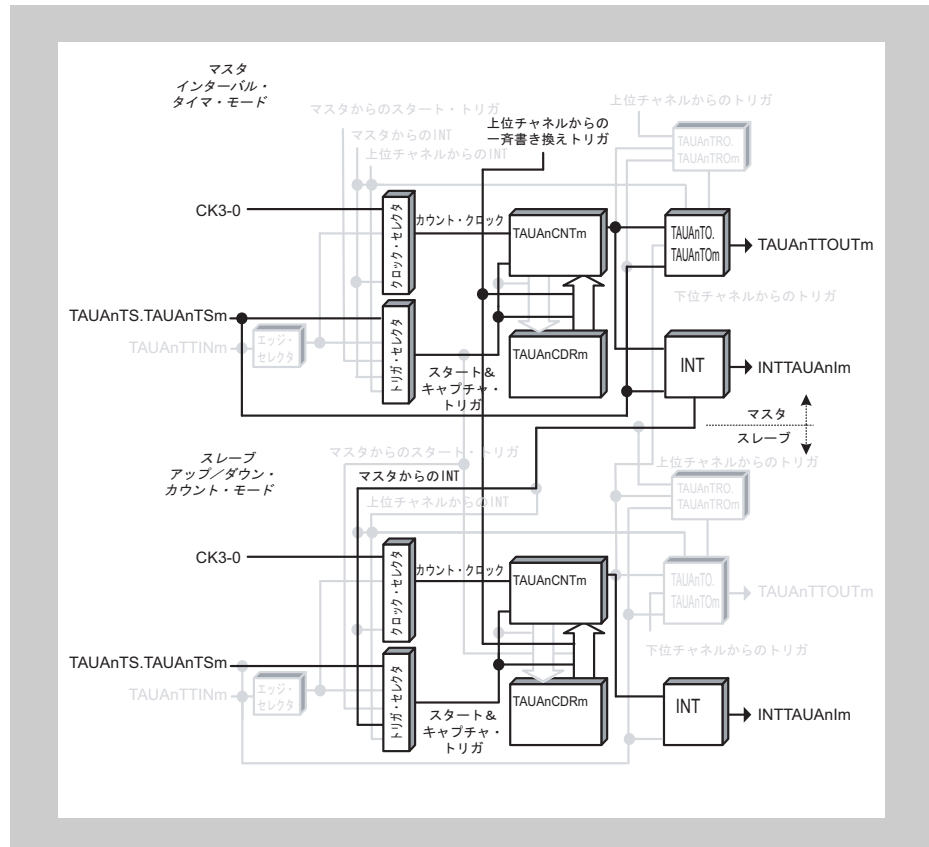


図 12-113 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
 - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

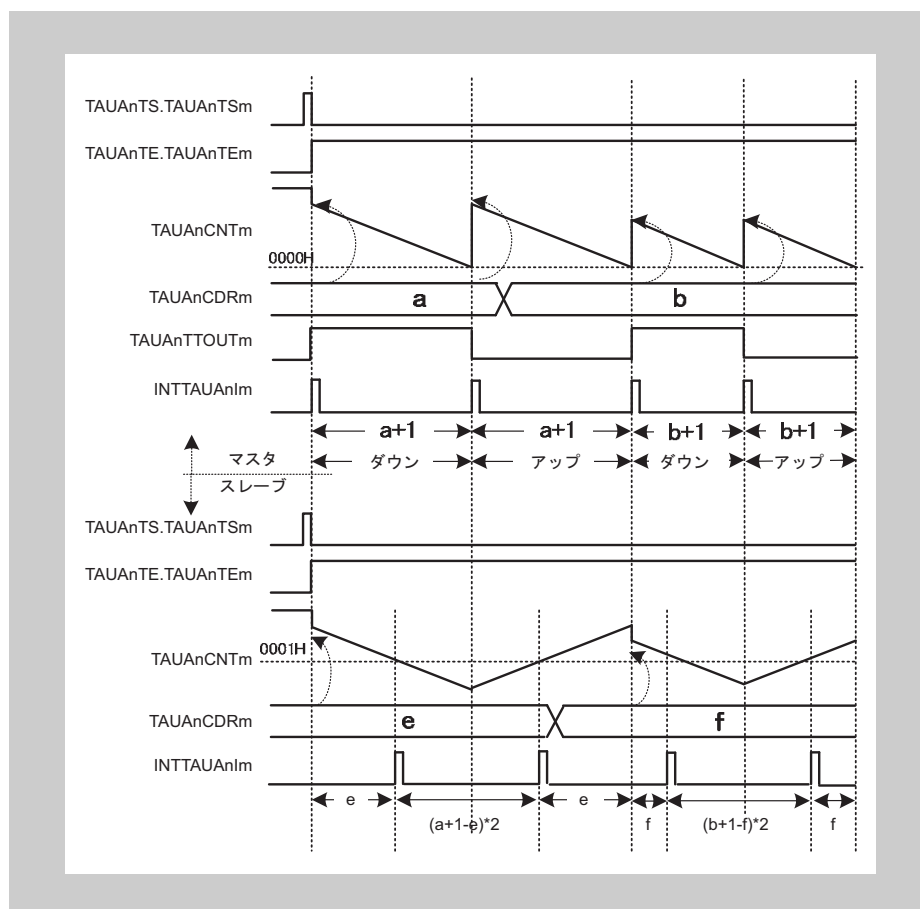


図 12-114 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

12.25 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタ・チャンネルと7個のスレーブ・チャンネルを使用することで、6相の三角波PWM出力を生成する機能について説明します。

- 12.25.1 「非相補方式変調出力機能タイプ1」
- 12.25.2 「非相補方式変調出力機能タイプ2」
- 12.25.3 「相補方式変調出力機能」

12.25.1 非相補方式変調出力機能タイプ1

(1) 概要

概要 この機能では、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力許可ビット (TAUAnTME.TAUAnTME m) の値に応じて、TAUAnTTOUTm から PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタ・チャンネル×1, スレーブ・チャンネル×7
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (794 ページの表 12-174 「非相補方式変調出力機能タイプ1時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
- スレーブ・チャンネル1～7の動作モードは、ワンカウント・モードに設定する必要があります (796 ページの表 12-177 「非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1の TAUAnCMORm 設定」参照)。
- この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。
- この機能ではスレーブ・チャンネル1の TAUAnTTOUTm は使用しませんが、TAUAnTRC.TAUAnTRCm は1に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」参照)。
- スレーブ・チャンネル2～7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード1に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」参照)。
- スレーブ・チャンネル1の TAUAnCDRm は、0000_H に設定する必要があります。

機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を1に設定すると、マスタ/スレーブ・チャンネルのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。データ・レジスタ (TAUAnCDRm) の値がカウンタ (TAUAnCNTm) にロードされ、カウンタはダウン・カウントを開始します。カウンタが 0000_H になると、INTTAUAnIm が発生します。

• スレーブ・チャンネル1:

スレーブ・チャンネル1がリアルタイム出力のトリガ・チャンネルとして設定されているため (TAUAnTRC.TAUAnTRCm = 1), スレーブ・チャンネル1 (TAUAnCDRm は 0000_H 固定) で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) 値が変化します。割り込み発生後、カウンタは FFFF_H に戻り、マスタ・チャンネルの次の割り込みを待ちます。

• スレーブ・チャンネル2:

スレーブ・チャンネル2はPWM出力を生成します。PWM出力周期はマスタ・チャンネルで指定し、デューティ・サイクルはスレーブ・チャンネル2で指定します。割り込み発生後、カウンタは FFFF_H に戻り、マスタ・チャンネルの次の割り込みを待ちます。

スレーブ・チャンネル3～7はスレーブ・チャンネル2と同じように動作します。

790 ページの表 12-173 「非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1組の TAUAnTTOUTm 出力」にあるように、TAUAnTTOUTm から

出力される信号は、スレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力ビット (TAUAnTME.TAUAnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ／スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEem は 0 に設定されます。マスタ／スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSM を 1 に設定すると、カウントを再開できます。

- 条件**
- スレーブ・チャンネル 2 ～ 7 で TAUAnTME.TAUAnTMEem = 0 が設定されている場合：
 - チャンネルの TAUAnTRO.TAUAnTROm が 1 の場合、TAUAnTTOUTm はハイ・レベル信号を出力します。
 - チャンネルの TAUAnTRO.TAUAnTROm が 0 の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
 - スレーブ・チャンネル 2 ～ 7 で TAUAnTME.TAUAnTMEem = 1 が設定されている場合：
 - チャンネルの TAUAnTRO.TAUAnTROm が 1 の場合、TAUAnTTOUTm はそのチャンネルの対応する PWM を出力します。
 - チャンネルの TAUAnTRO.TAUAnTROm が 0 の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
 - TAUAnTOL.TAUAnTOLm が 1 の場合、TAUAnTTOUTm から出力されるハイ・レベル信号とロウ・レベル信号は反転します。PWM 信号に影響はありません。TAUAnTOL.TAUAnTOLm は初期設定のみ可能です（動作中は変更できません）。

表 12-173 非相補方式変調出力機能タイプ 1 時のスレーブ・チャンネル 1 組の TAUAnTTOUTm 出力

TAUAnTME. TAUAnTMEem	TAUAnTRO. TAUAnTROm	TAUAnTTOUTm 出力
0	0	ロウ・レベル
	1	ハイ・レベル
1	0	ロウ・レベル
	1	PWMm

- この機能では一斉書き換えを行うことができます。550 ページの 12.7 「一斉書き換え」を参照してください。
- スレーブ・チャンネル 1 の TAUAnCDRm 値は、スレーブ・チャンネル 2 ～ 7 で PWM が生成されるのと同時にリアルタイム出力がトリガされるよう、0000_H に設定する必要があります。
- スレーブ・チャンネル 2 ～ 7 で TAUAnTOL.TAUAnTOLm = 0 が設定されている場合、TAUAnTE.TAUAnTEem = 0 に設定する前に TAUAnTO.TAUAnTOM をロウに設定します。
- スレーブ・チャンネル 2 ～ 7 で TAUAnTOL.TAUAnTOLm = 1 が設定されている場合、TAUAnTE.TAUAnTEem = 0 に設定する前に TAUAnTO.TAUAnTOM をハイに設定します。

(2) 算出式

スレーブ・チャンネル 2 ~ 7 :

PWM 出力周期 = [TAUAnCDRm (マスタ) + 1] × カウント・クロック

PWM 出力デューティ時間 = [TAUAnCDRm (スレーブ)] × カウント・クロック

(3) ブロック図と基本タイミング図

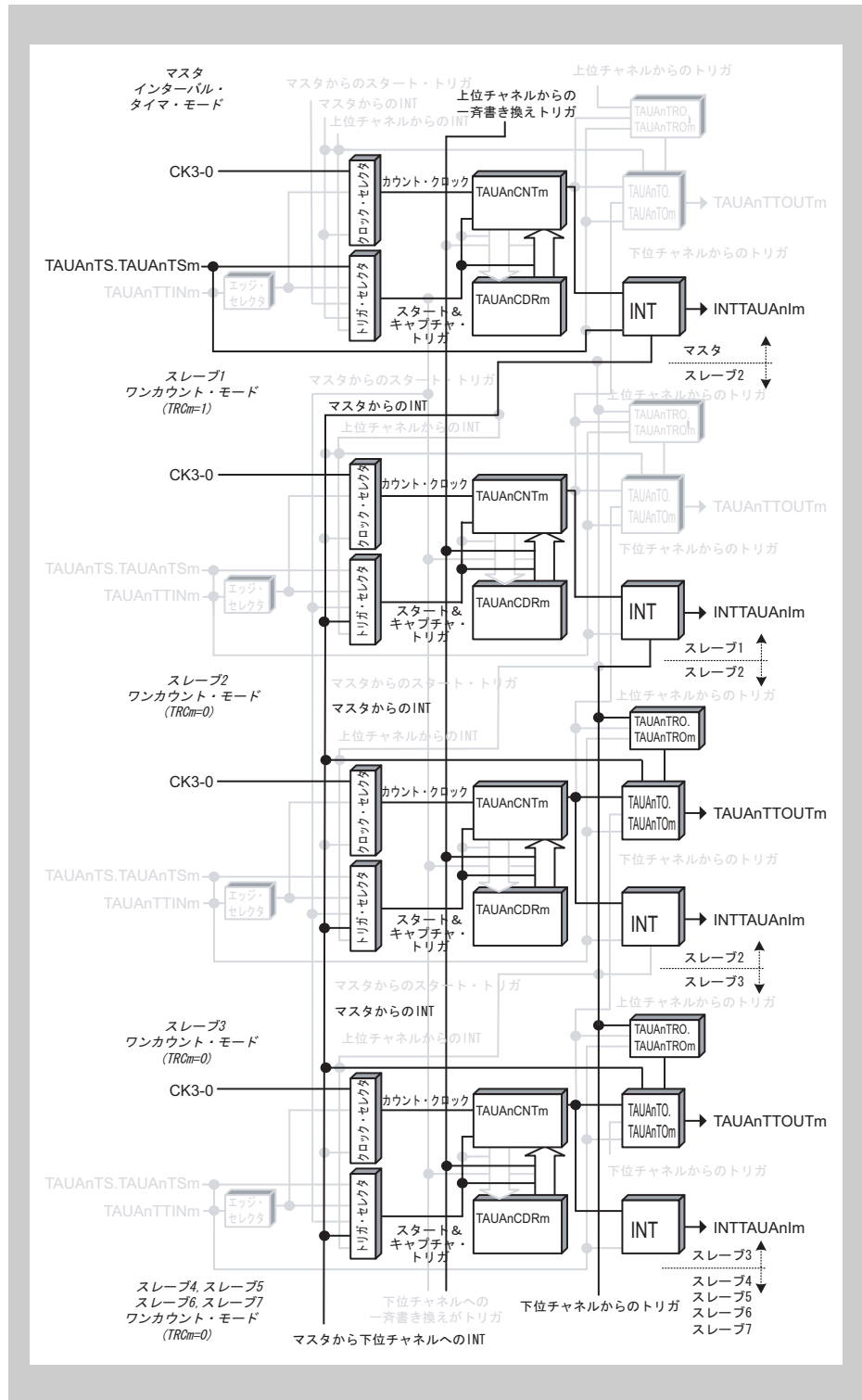


図 12-115 非相補方式変調出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル 2～7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

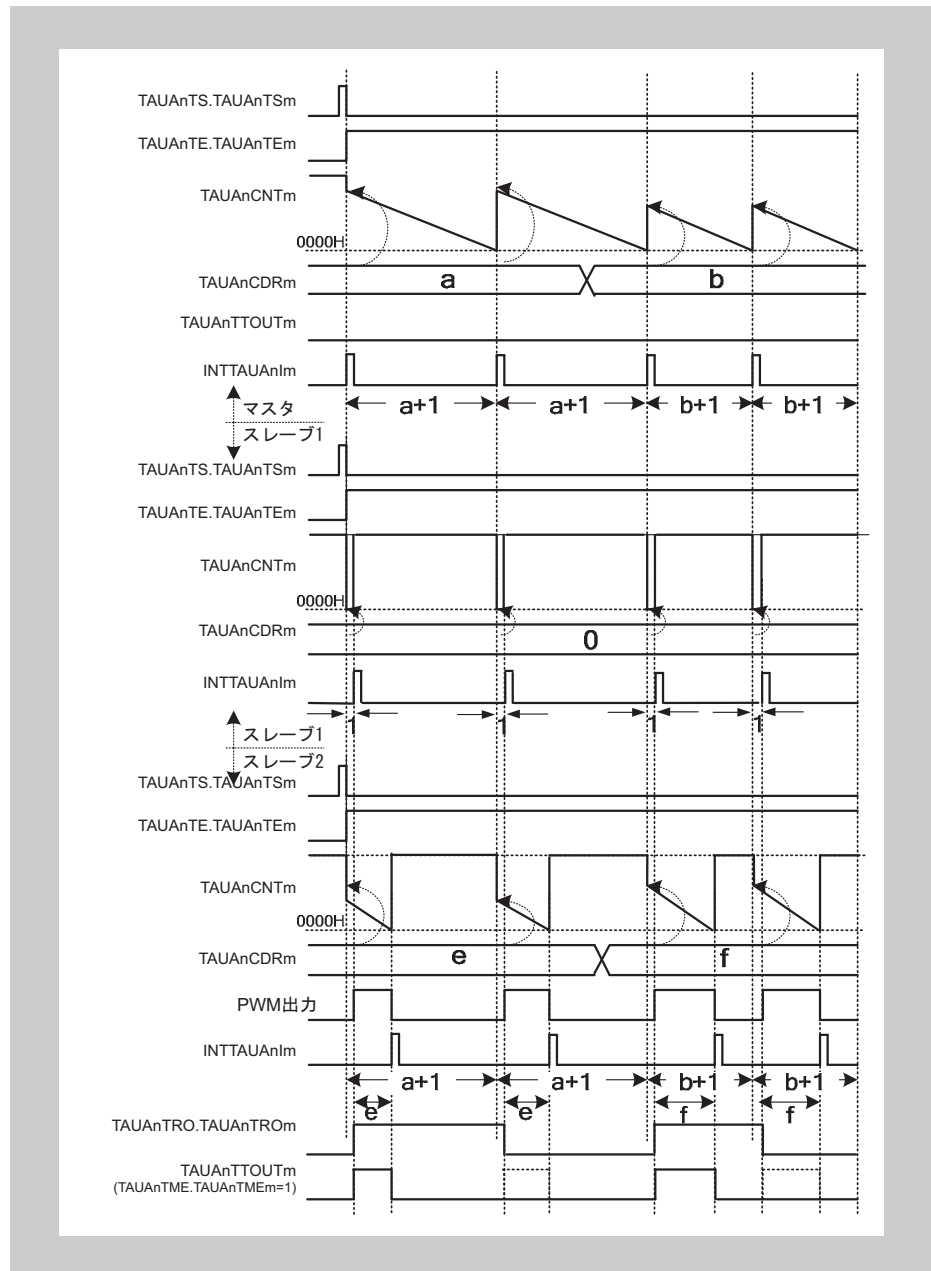


図 12-116 非相補方式変調出力機能タイプ1の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-174 非相補方式変調出力機能タイプ1時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	1: 動作開始または再開時に INTTAUAnIm が発生する

(b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-175 非相補方式変調出力機能タイプ1時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-176 非相補方式変調出力機能タイプ1時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブ・チャンネル1のレジスタ設定

(a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-177 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: 動作開始または再開時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

(b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-178 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) チャンネル出力モード

この機能では、スレーブ・チャンネル1ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注意 スレーブ・チャンネル1をリアルタイム出力のトリガ・チャンネルとして使用するため、TAUAnTRC.TAUAnTRCmを1に設定する必要があります。

(d) スレーブ・チャンネル1の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-179 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャンネル2～7のレジスタ設定

(a) スレーブ・チャンネル2～7のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-180 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル2～7のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100: マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: 動作開始または再開時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

(b) スレーブ・チャンネル2～7のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-181 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル2～7のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル2～7のチャンネル出力モード

表 12-182 非相補方式変調出力を行うチャンネル連動出力モード1時のスレーブ・チャンネル2～7の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEm	0: 変調禁止 1: 変調許可

(d) スレーブ・チャンネル2～7の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-183 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル2～7の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(7) 非相補方式変調出力機能タイプ1時の操作手順

表 12-184 非相補方式変調出力機能タイプ1時の操作手順 (1/2)

	操作	TAUAnの状態
チャンネルの初期設定	<p>マスタ・チャンネル：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 794 ページの (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル1：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 796 ページの (5) 「スレーブ・チャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル2～7：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 798 ページの (6) 「スレーブ・チャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。マスタ・チャンネルの TAUAnCDRm にパルス周期、スレーブ・チャンネル1の TAUAnCDRm に 0000_H、スレーブ・チャンネル2～7の TAUAnCDRm にデューティ幅を設定します。</p> <p>スレーブ・チャンネル1に TAUAnTRC.TAUAnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 12-184 非相補方式変調出力機能タイプ1時の操作手順 (2/2)

	操作	TAUAnの状態	
動作再開 ↓	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に1に設定します (チャンネル動作再開時はスレーブ・チャンネル2~7のみ設定)。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に0にクリアされます。</p>	<p>マスタ/スレーブ・チャンネルの TAUAnTE.TAUAnTEm が1に設定され、カウンタがダウン・カウントを開始します。</p>
	動作中	<p>TAUAnCDRm, TAUAnTRO.TAUAnTROM, TAUAnTME.TAUAnTMEem は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネル, スレーブ・チャンネル1, スレーブ・チャンネル2~7の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000_H になった場合:</p> <ul style="list-style-type: none"> • INTTAUAnIm が発生します。 • 再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを継続します。 • スレーブ・チャンネル2~7の PWM 出力信号がセット/リセットされます。 • 再びスレーブ・チャンネル1の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。 • 再びスレーブ・チャンネル2~7の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。 • スレーブ・チャンネル1またはスレーブ・チャンネル2~7のカウンタが 0000_H になった場合: <ul style="list-style-type: none"> - INTTAUAnIm が発生します。 • スレーブ・チャンネル2~7のカウンタが 0000_H になった場合: <ul style="list-style-type: none"> - スレーブ・チャンネル2~7の PWM 出力信号がセット/リセットされます。 <p>スレーブ・チャンネル2~7の TAUAnTTOUtm は、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROM) と変調出力ビット (TAUAnTME.TAUAnTMEem) の値に応じて、PWM 信号, ハイ・レベル信号, またはロウ・レベル信号を出力します。</p>
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に1に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に0にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が0にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUtm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブ・チャンネル2～7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

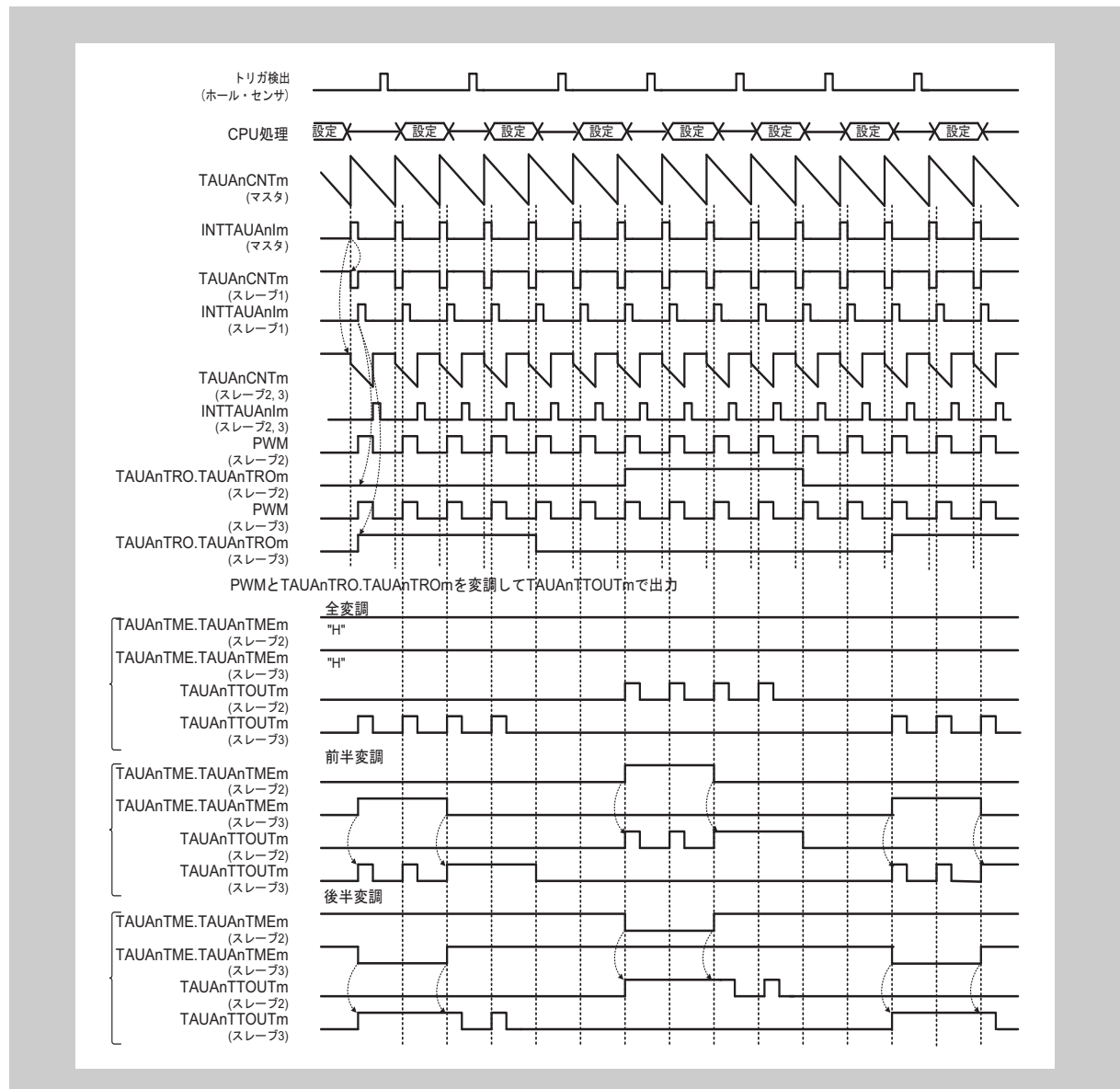


図 12-117 非相補方式変調出力機能タイプ1の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブ・チャンネルのTAUAnTME.TAUAnTMEEmビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUAnCDRm, TAUAnTME.TAUAnTMEEm, TAUAnTRO.TAUAnTROmの値を変更できる期間を示しています。

TAUAnTME.TAUAnTMEEmは、カウント開始タイミングとマスタ・チャンネルの周期検出で設定値が反映されます。変更された設定値に従い、TAUAnTTOUTmより変調波形を出力します。

TAUAnTRO.TAUAnTROmビット値はソフトウェアで設定しますが、新しく設定された値はスレーブ・チャンネル1で割り込みが発生しないと適用されません。

12.25.2 非相補方式変調出力機能タイプ2

(1) 概要

概要 この機能では、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROM) と変調出力許可ビット (TAUAnTME.TAUAnTME_m) の値に応じて、TAUAnTTOUT_m から PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。通常は3組のチャンネルが使用されます。

- 前提条件**
- マスタ・チャンネル×1, スレーブ・チャンネル×7
 - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (808 ページの表 12-186 「非相補方式変調出力機能タイプ2時のマスタ・チャンネルの TAUAnCMOR_m 設定」参照)。
 - スレーブ・チャンネル1の動作モードは、イベント・カウント・モードに設定する必要があります (810 ページの表 12-190 「非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1の TAUAnCMOR_m 設定」参照)。
 - スレーブ・チャンネル2～7の動作モードは、アップ/ダウン・カウント・モードに設定する必要があります (812 ページの表 12-193 「非相補方式変調出力機能タイプ2時のスレーブ・チャンネル2～7の TAUAnCMOR_m 設定」参照)。
 - この機能では、マスタ・チャンネルで TAUAnTTOUT_m は使用しません。
 - この機能ではスレーブ・チャンネル1の TAUAnTTOUT_m は使用しませんが、TAUAnTRC.TAUAnTRC_m は1に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」参照)。
 - スレーブ・チャンネル2～7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」参照)。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると、マスタ/スレーブ・チャンネルのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTE_m = 1 となり、カウントが可能になります。データ・レジスタ (TAUAnCDR_m) の値がカウンタ (TAUAnCNT_m) にロードされます。

• マスタ・チャンネル :

マスタ・チャンネルのカウンタがダウン・カウントを開始します。カウンタが 0000_H になると、INTTAUAnIm が発生します。

• スレーブ・チャンネル1 :

スレーブ・チャンネル1がマスタ・チャンネルからの割り込みを検出すると、カウント値が1減ります。カウンタが 0000_H になると、マスタ・チャンネルからの次の割り込みを待ちます。そして再び TAUAnCDR_m の値を TAUAnCNT_m (スレーブ1) にロードし、INTTAUAnIm が発生します。スレーブ・チャンネル1がリアルタイム出力のトリガ・チャンネルとして設定されているため (TAUAnTRC.TAUAnTRC_m = 1), スレーブ・チャンネル1で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROM) 値が変化します。

- スレーブ・チャンネル2:

マスタ・チャンネルからの割り込みを検出すると、TAUAnCNTm は逆方向にカウントを行います。アップ・カウント中に割り込みを検出すると、再びTAUAnCDRm の値をロードしてからダウン・カウントを開始します。

TAUAnCNTm = 0001_H の場合、割り込みが発生し、PWM 出力信号がセット/リセットされます。

マスタ・チャンネルとスレーブ・チャンネル2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタ・チャンネルはPWM 出力周期を生成し、スレーブ・チャンネル2 はデューティ・サイクルを生成します。

スレーブ・チャンネル3～7はスレーブ・チャンネル2 と同じように動作します。

804 ページの表 12-185 「非相補方式変調出力機能タイプ2 時のスレーブ・チャンネル1 組の TAUAnTTOUTm 出力」にあるように、TAUAnTTOUTm から出力される信号は、スレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力ビット (TAUAnTME.TAUAnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を1に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEem は0に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSM を1に設定すると、カウントを再開できます。

- 条件**
- スレーブ・チャンネルの TAUAnTME.TAUAnTMEem が1に設定されている場合:
 - チャンネルの TAUAnTRO.TAUAnTROm が1の場合、TAUAnTTOUTm はそのチャンネルの対応するPWM を出力します。
 - チャンネルの TAUAnTRO.TAUAnTROm が0の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
 - スレーブ・チャンネルの TAUAnTME.TAUAnTMEem が0に設定されている場合:
 - チャンネルの TAUAnTRO.TAUAnTROm が1の場合、TAUAnTTOUTm はハイ・レベル信号を出力します。
 - チャンネルの TAUAnTRO.TAUAnTROm が0の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
 - TAUAnTOL.TAUAnTOLm が1の場合、TAUAnTTOUTm から出力されるハイ・レベル信号とロウ・レベル信号は反転します。PWM 信号に影響はありません。TAUAnTOL.TAUAnTOLm は初期設定のみ可能です (動作中は変更できません)。

表 12-185 非相補方式変調出力機能タイプ2 時のスレーブ・チャンネル1 組の TAUAnTTOUTm 出力

TAUAnTME. TAUAnTMEem	TAUAnTRO. TAUAnTROm	TAUAnTTOUTm 出力
0	0	ロウ・レベル
	1	ハイ・レベル
1	0	ロウ・レベル
	1	PWMm

- この機能では一斉書き換えを行うことができます。550 ページの 12.7 「一斉書き換え」を参照してください。
- スレーブ・チャンネル 2～7 で TAUAnTOL.TAUAnTOLm = 0 が設定されている場合、TAUAnTE.TAUAnTEm = 0 に設定する前に TAUAnTO.TAUAnTOm をロウに設定します。
- スレーブ・チャンネル 2～7 で TAUAnTOL.TAUAnTOLm = 1 が設定されている場合、TAUAnTE.TAUAnTEm = 0 に設定する前に TAUAnTO.TAUAnTOm をハイに設定します。

(2) 算出式

スレーブ・チャンネル 2～7:

PWM 出力周期 = [TAUAnCDRm (マスタ) + 1] × カウント・クロック周期

PWM 出力デューティ時間

= [TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ)] × 2 × カウント・クロック

(3) ブロック図と基本タイミング図

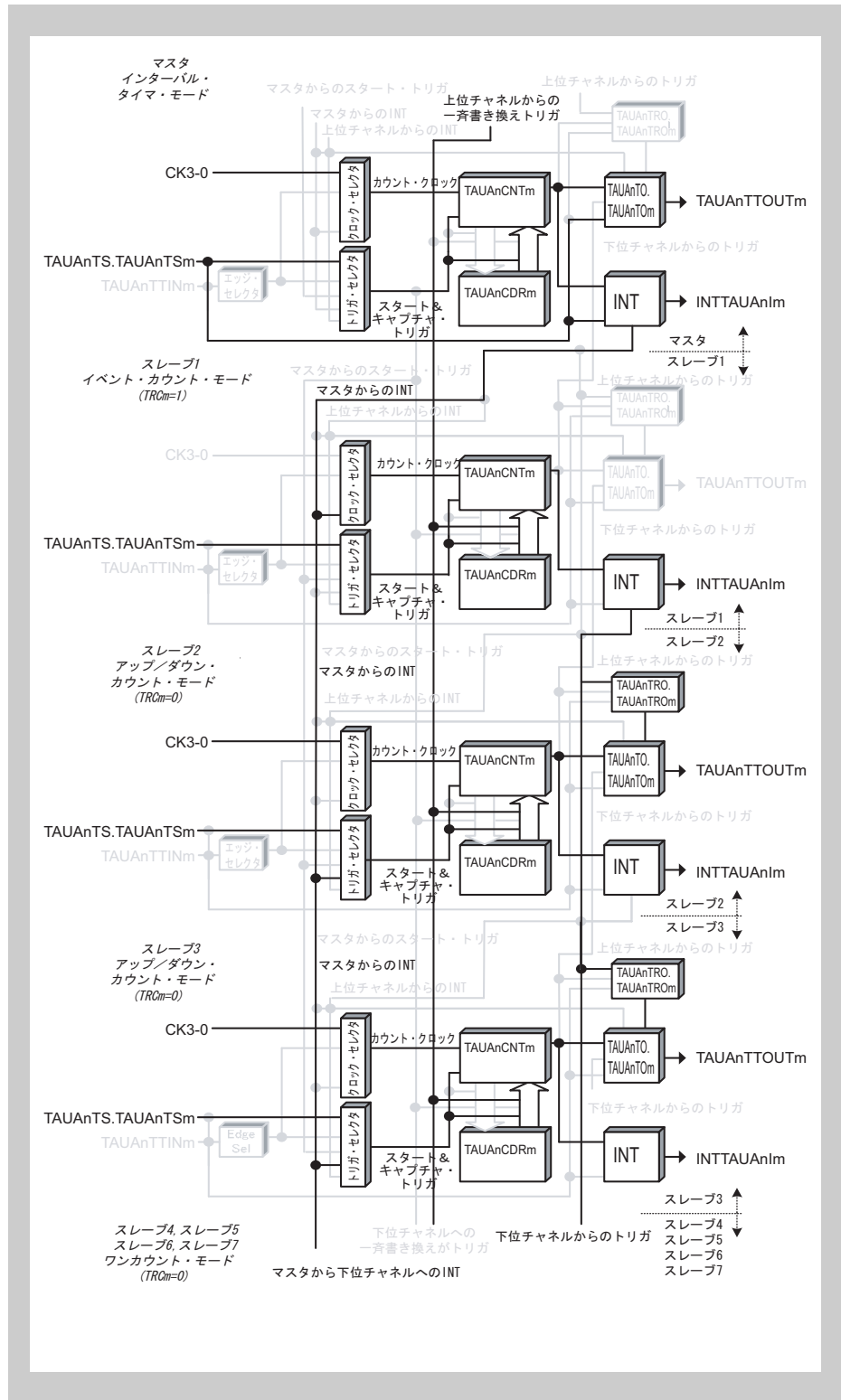


図 12-118 非相補方式変調出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル：動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- スレーブ・チャンネル 2 ~ 7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

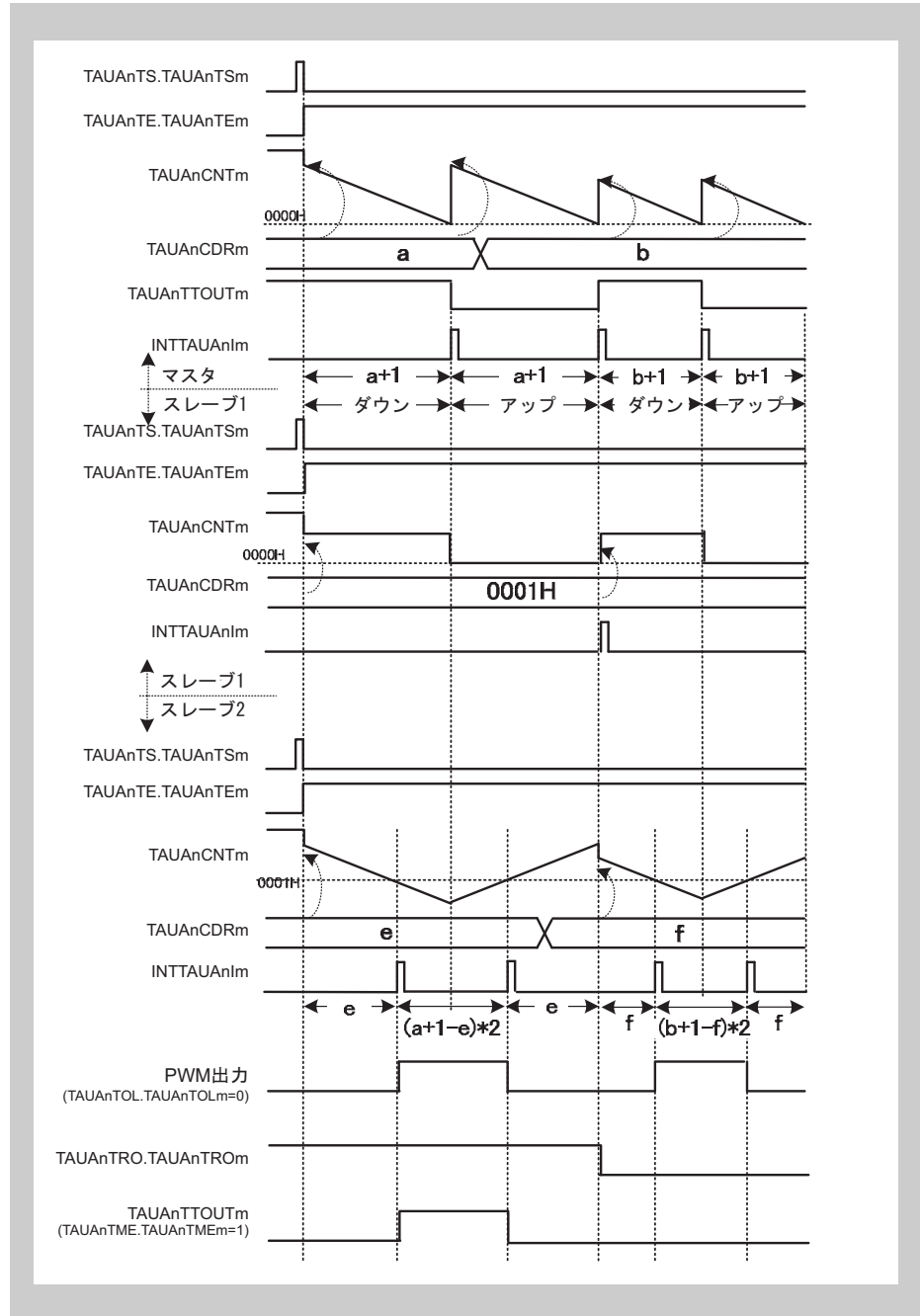


図 12-119 非相補方式変調出力機能タイプ2の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-186 非相補方式変調出力機能タイプ 2 時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始または再開時に INTTAUAnIm が発生しない 1: 動作開始または再開時に INTTAUAnIm が発生する

(b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-187 非相補方式変調出力機能タイプ 2 時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

表 12-188 非相補方式変調出力機能タイプ2時のマスタ・チャンネルの制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low
TAUAnTRC.TAUAnTRCm	0: 次の上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-189 非相補方式変調出力機能タイプ2時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブ・チャンネル1のレジスタ設定

(a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-190 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	11: マスタ・チャンネルの INTTAUAnIm をカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ 011: 一斉書き換えトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0011: イベント・カウント・モード
TAUAnMD0	0: 動作開始または再開時に INTTAUAnIm が発生しない

(b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-191 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) チャンネル出力モード

この機能では、スレーブ・チャンネル1ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注意 スレーブ・チャンネル1をリアルタイム出力のトリガ・チャンネルとして使用するため、TAUAnTRC.TAUAnTRCmを1に設定する必要があります。

(d) スレーブ・チャンネル1の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-192 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャンネル2～7のレジスタ設定

(a) スレーブ・チャンネル2～7のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-193 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル2～7のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111: マスタ・チャンネルのアップ/ダウン出力トリガ信号 TAUAnTUDSm がスタート・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1001: アップ/ダウン・カウント・モード
TAUAnMD0	0: 動作開始または再開時に INTTAUAnIm が発生しない

(b) スレーブ・チャンネル2～7のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-194 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル2～7のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル2～7の出力モード

表 12-195 非相補方式変調出力を行うチャンネル連動出力モード2時のスレーブ・チャンネル2～7の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 次の上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEm	0: 変調禁止 1: 変調許可

(d) スレーブ・チャンネル2～7の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-196 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル2～7の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(7) 非相補方式変調出力機能タイプ2時の操作手順

表 12-197 非相補方式変調出力機能タイプ2時の操作手順 (1/2)

	操作	TAUAnの状態
チャンネルの初期設定	<p>マスタ・チャンネル：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 808 ページの (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル1：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 810 ページの (5) 「スレーブ・チャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル2～7：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 812 ページの (6) 「スレーブ・チャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。マスタ・チャンネルの TAUAnCDRm でパルス周期を設定し、スレーブ・チャンネル1の TAUAnCDRm でスレーブ・チャンネル1が入力信号を生成するまでに無視するマスタ・チャンネルの割り込み数を設定します。また、スレーブ・チャンネル2～7の TAUAnCDRm にデューティ幅を設定します。</p> <p>スレーブ・チャンネル1に TAUAnTRC.TAUAnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 12-197 非相補方式変調出力機能タイプ2時の操作手順 (2/2)

	操作	TAUAnの状態	
動作再開	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTsm を同時に1に設定します (チャンネル動作再開時はスレーブ・チャンネル2~7のみ設定)。 TAUAnTS.TAUAnTsm はトリガ・ビットなので、自動的に0にクリアされます。</p>	<p>マスタ/スレーブ・チャンネルの TAUAnTE.TAUAnTEm が1に設定され、カウンタがダウン・カウントを開始します。</p>
	動作中	<p>TAUAnCDRm, TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル2~7の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。スレーブ・チャンネル1の TAUAnCDRm の値をロードし、マスタ・チャンネルの割り込みを待ちます。マスタ・チャンネルのカウンタが0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUAnIm が発生します。 再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを継続します。 スレーブ・チャンネル1の TAUAnCNTm 値が1減少し、マスタ・チャンネルの次の割り込みを待ちます。 スレーブ・チャンネル2~7の TAUAnCNTm は逆方向にカウントを行います。 スレーブ・チャンネル1のカウンタが0000_Hになると、マスタ・チャンネルからの次の割り込みを待ちます。割り込み検出時： <ul style="list-style-type: none"> INTTAUAnIm が発生します。 スレーブ・チャンネル2~7のカウンタが0001_Hになった場合： <ul style="list-style-type: none"> INTTAUAnIm が発生します。 スレーブ・チャンネル2~7のPWM出力信号がセット/リセットされます。 <p>スレーブ・チャンネル2~7の TAUAnTTOUTm は、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力ビット (TAUAnTME.TAUAnTMEm) の値に応じて、PWM信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。</p>
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に1に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に0にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が0にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル2～7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

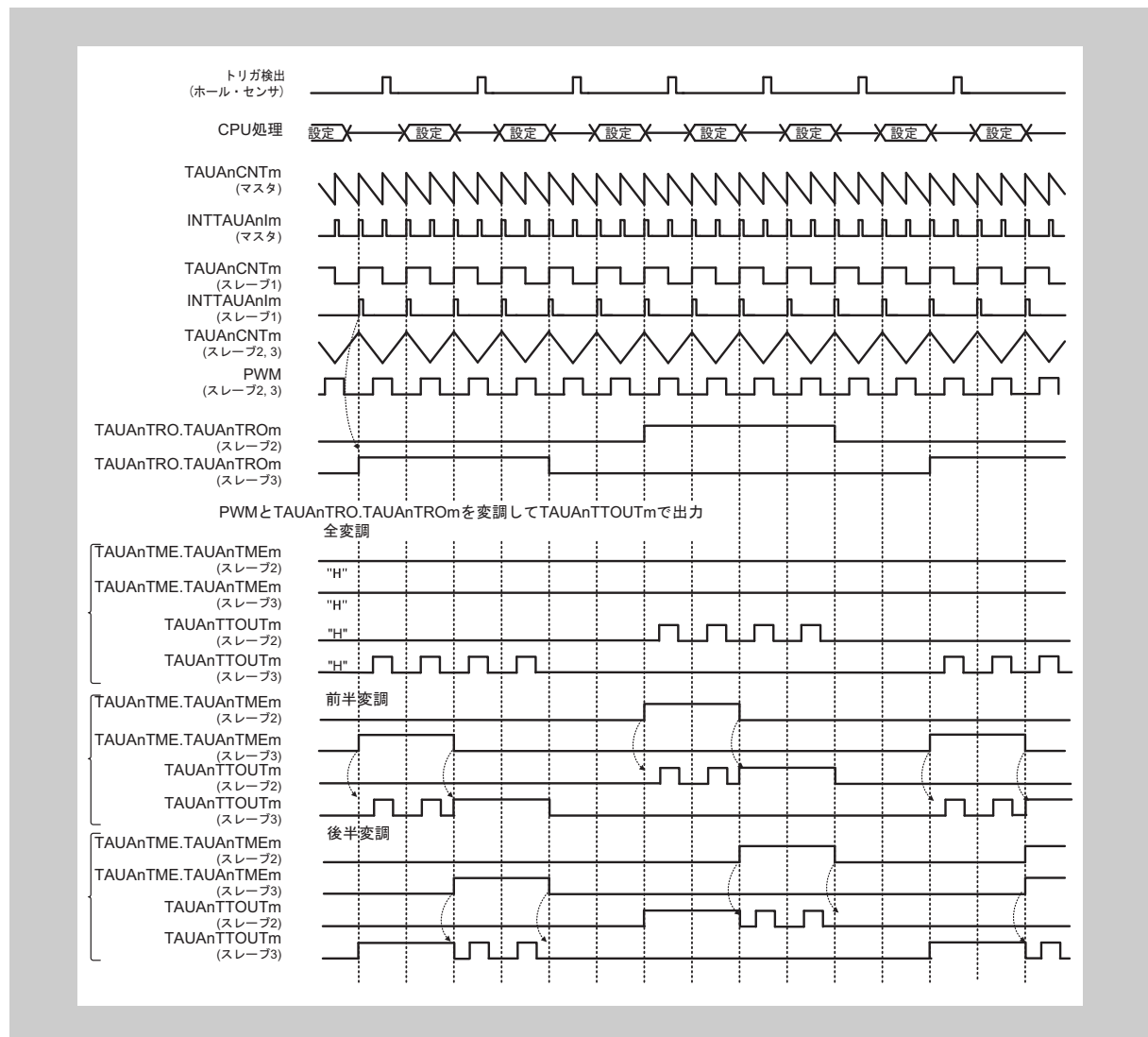


図 12-120 非相補方式変調出力機能タイプ2の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブ・チャンネルの TAUAnTME.TAUAnTME_m ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUAnCDR_m、TAUAnTME.TAUAnTME_m、TAUAnTRO.TAUAnTRO_m の値を変更できる期間を示しています。

TAUAnTME.TAUAnTME_m は、カウント開始タイミングと三角波 PWM のキャリア周期 (山割り込みタイミング) 検出で設定値が反映されます。

TAUAnTRO.TAUAnTRO_m ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブ・チャンネル1で割り込みが発生しないと適用されません。

12.25.3 相補方式変調出力機能

(1) 概要

概要 この機能では、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm)、変調出力ビット (TAUAnTME.TAUAnTMEem)、出力レベル・ビット (TAUAnTDL.TAUAnTDLm) の値に応じて、TAUAnTTOuTm から PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタ・チャンネル×1, スレーブ・チャンネル×7
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (823 ページの表 12-200 「相補方式変調出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
- スレーブ・チャンネル1の動作モードは、イベント・カウント・モードに設定する必要があります (825 ページの表 12-204 「相補方式変調出力機能時のスレーブ・チャンネル1の TAUAnCMORm 設定」参照)。
- スレーブ・チャンネル2,4,6の動作モードは、アップ/ダウン・カウント・モードに設定する必要があります (827 ページの表 12-207 「相補方式変調出力機能時のスレーブ・チャンネル2,4,6の TAUAnCMORm 設定」参照)。
- スレーブ・チャンネル3,5,7の動作モードは、ワンカウント・モードに設定する必要があります (829 ページの表 12-211 「相補方式変調出力機能時のスレーブ・チャンネル3,5,7の TAUAnCMORm 設定」参照)。
- マスタ・チャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」)。
- この機能ではスレーブ・チャンネル1の TAUAnTTOuTm は使用しませんが、TAUAnTRC.TAUAnTRCm は1に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」参照)。
- スレーブ・チャンネル2～7のチャンネル出力モードは、相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (562 ページの 12.8 「チャンネル出力モード」参照)。

機能説明

- マスタ・チャンネル :
チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を1に設定すると、マスタ・チャンネルのカウント動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。マスタ・チャンネルのデータ・レジスタ (TAUAnCDRm) の値がカウンタ (TAUAnCNTm) にロードされ、カウンタはこの値からダウン・カウントを開始します。
マスタ・チャンネルのカウンタが 0000_H になると、INTTAUAnIm が発生します。これによりスレーブ・チャンネル1のカウンタ値が1減少し、スレーブ・チャンネル2のカウンタが反対方向にカウントを開始します。
- スレーブ・チャンネル1 :
カウンタが 0000_H になると、マスタ・チャンネルからの次の割り込みを待ちます。そして再び TAUAnCDRm の値を TAUAnCNTm (スレーブ1) にロードし、INTTAUAnIm が発生します。
スレーブ・チャンネル1はリアルタイム出力のトリガ・チャンネルとして設定されます (TAUAnTRC.TAUAnTRCm = 1)。割り込みにより、スレーブ・チャンネル1の割り込み発生を検出しているチャンネルで、各チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) の値が適用されます。リ

アルタイム出力ビット値はアプリケーション・ソフトで任意のタイミングで変更可能ですが、新しい値はスレーブ・チャンネル1で割り込みが発生するまで適用されません。

- スレーブ・チャンネル2:

スレーブ・チャンネル2のカウンタが0001_Hになると、スレーブ・チャンネル3のカウンタがダウン・カウントを開始します。スレーブ・チャンネル3のカウンタが0000_Hになると、割り込みが発生します。

- スレーブ・チャンネル2, スレーブ・チャンネル3:

マスタ・チャンネルとスレーブ・チャンネル2およびスレーブ・チャンネル3を組み合わせて使用することで、PWM出力信号を生成します。マスタ・チャンネルはPWM出力周期を生成し、スレーブ・チャンネル2はデューティ・サイクルを、スレーブ・チャンネル3はデッド・タイムを生成します。

- スレーブ・チャンネル4~7:

スレーブ・チャンネル4,6はスレーブ・チャンネル2と同じように動作し、スレーブ・チャンネル5,7はスレーブ・チャンネル3と同じように動作します。

790 ページの表 12-173 「非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1組のTAUAnTTOUTm出力」にあるように、TAUAnTTOUTmから出力される信号は、スレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm)、変調出力ビット (TAUAnTME.TAUAnTMEem)、出力レベル・ビット (TAUAnTDL.TAUAnTDLm) の値によって決まります。

ただし、チャンネル2とチャンネル3の両方からハイ・レベル信号が出力されることは禁止です (モータ・ドライバのショートを防ぐなどの目的のため)。ひとつのチャンネルがロウに、他方のチャンネルがハイに切り替わる瞬間に両チャンネルがハイになることを防ぐため、ハイに切り替わるチャンネルに遅延を付加して、ハイへの遷移が後で行われるようにする必要があります。これを実現するため、正相または逆相のPWM信号に、チャンネル・デッド・タイム出力レベル・レジスタ (TAUAnTDL.TAUAnTDLm) 値で設定されたデッド・タイムを付加します。

マスタ/スレーブ・チャンネルのTAUAnTT.TAUAnTTmを1に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEemは0に設定されます。マスタ/スレーブ・チャンネルのTAUAnCNTmとTAUAnTTOUTmが停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSmを1に設定すると、カウントを再開できます。

- 条件**
- 1組のチャンネルの双方でTAUAnTME.TAUAnTMEemが1に設定されている場合:
 - 片方のチャンネルのTAUAnTRO.TAUAnTROmが1の場合、TAUAnTTOUTmはそのチャンネルの対応するPWMを出力します。
 - 片方のチャンネルのTAUAnTRO.TAUAnTROmが0の場合、TAUAnTTOUTmはロウ・レベル信号を出力します。
 - 1組のチャンネルの双方でTAUAnTME.TAUAnTMEemが0に設定されている場合:
 - 片方のチャンネルのTAUAnTRO.TAUAnTROmが1の場合、TAUAnTTOUTmはハイ・レベル信号を出力します。
 - 片方のチャンネルのTAUAnTRO.TAUAnTROmが0の場合、TAUAnTTOUTmはロウ・レベル信号を出力します。
 - TAUAnTOL.TAUAnTOLmが1の場合、TAUAnTTOUTmから出力されるハ

イ・レベル信号とロウ・レベル信号は反転します。PWM 信号は TAUAnTOL.TAUAnTOLm の設定によって変化しません。

表 12-198 相補方式変調出力機能時のスレーブ・チャンネル 1 組の TAUAnTTOUTm 出力 (TAUAnTOL.TAUAnTOLm = 0)

TAUAnTME. TAUAnTME2	TAUAnTME. TAUAnTME3	TAUAnTRO. TAUAnTRO2	TAUAnTRO. TAUAnTRO3	TAUAnTTOUT2 出力	TAUAnTTOUT3 出力
0	0	0	0	ロウ・レベル	ロウ・レベル
		0	1	ロウ・レベル	ハイ・レベル
		1	0	ハイ・レベル	ロウ・レベル
		1	1	設定禁止	設定禁止
1	1	0	0	ロウ・レベル	ロウ・レベル
		0	1	~PWMm	PWMm
		1	0	PWMm	~PWMm
		1	1	設定禁止	設定禁止

備考 1. ~PWM は、反転された PWM 信号です。PWM, ~PWM は TAUAnTDL.TAUAnTDLm で設定されます。

2. この表に記述のない設定は禁止です。

- 1組のチャンネルの片方で、TAUAnTRO.TAUAnTROm が 1 に設定されている間、TAUAnTME.TAUAnTME m が継続的に 1 に設定されている場合、その変調は全変調になります。
- 1組のチャンネルの片方で、TAUAnTRO.TAUAnTROm が 1 に設定されている期間の前半で TAUAnTME.TAUAnTME m が 1 に設定されている場合、その変調は前半変調になります。
- 1組のチャンネルの片方で、TAUAnTRO.TAUAnTROm が 1 に設定されている期間の後半で TAUAnTME.TAUAnTME m が 1 に設定されている場合、その変調は後半変調になります。
- 2つのチャンネルが同時にハイ・レベル信号の出力となる場合にデッド・タイムが正相 PWM 信号と逆相 PWM 信号のどちらに付加されるかは、TAUAnTDL.TAUAnTDLm ビット値で決まります。
 - TAUAnTDL.TAUAnTDLm = 0 の場合、正相 PWM 信号にデッド・タイムを付加
 - TAUAnTDL.TAUAnTDLm = 1 の場合、逆相 PWM 信号にデッド・タイムを付加
 - TAUAnTDL.TAUAnTDLm ビット値の操作は、動作中にアプリケーション・ソフトで行う必要があります。TAUAnTDL.TAUAnTDLm を変更する場合は、TAUAnTRO.TAUAnTROm が 00_B の期間に書き換えてください。

表 12-199 相補方式変調出力機能時のスレーブ・チャンネル1組の
TAUAnTDL.TAUAnTDLm 設定 (TAUAnTOL.TAUAnTOLm = 0)

TAUAnTME. TAUAnTME2	TAUAnTME. TAUAnTME3	TAUAnTRO. TAUAnTRO2	TAUAnTRO. TAUAnTRO3	TAUAnTDL. TAUAnTDL2	TAUAnTDL. TAUAnTDL3
0	0	0	0	1	1
		0	1	1	0
		1	0	0	1
1	1	0	0	1	1
		0	1	1	0
		1	0	0	1

- スレーブ・チャンネル1のTAUAnCDRm値は1に設定して、キャリア周期の頂点でスレーブ・チャンネル1でINTTAUAnImを発生させる必要があります。
- マスタ・チャンネルのTAUAnCMORm.TAUAnMD0は0に設定してください。
- この機能では一斉書き換えを行うことができます。550ページの12.7「一斉書き換え」を参照してください。

(2) 算出式

スレーブ・チャンネル2, 4, 6 :

TAUAnTOL.TAUAnTOLm = 0 かつ TAUAnCDR (スレーブ1) の場合 :

PWM 出力周期 = $2 \times [TAUAnCDRm (マスタ) + 1] \times \text{カウント} \cdot \text{クロック}$

PWM 出力デューティ時間 = $\{ [TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ2)] \times 2 - [TAUAnCDRm (スレーブ3) + 1] \} \times \text{カウント} \cdot \text{クロック}$

(3) ブロック図と基本タイミング図

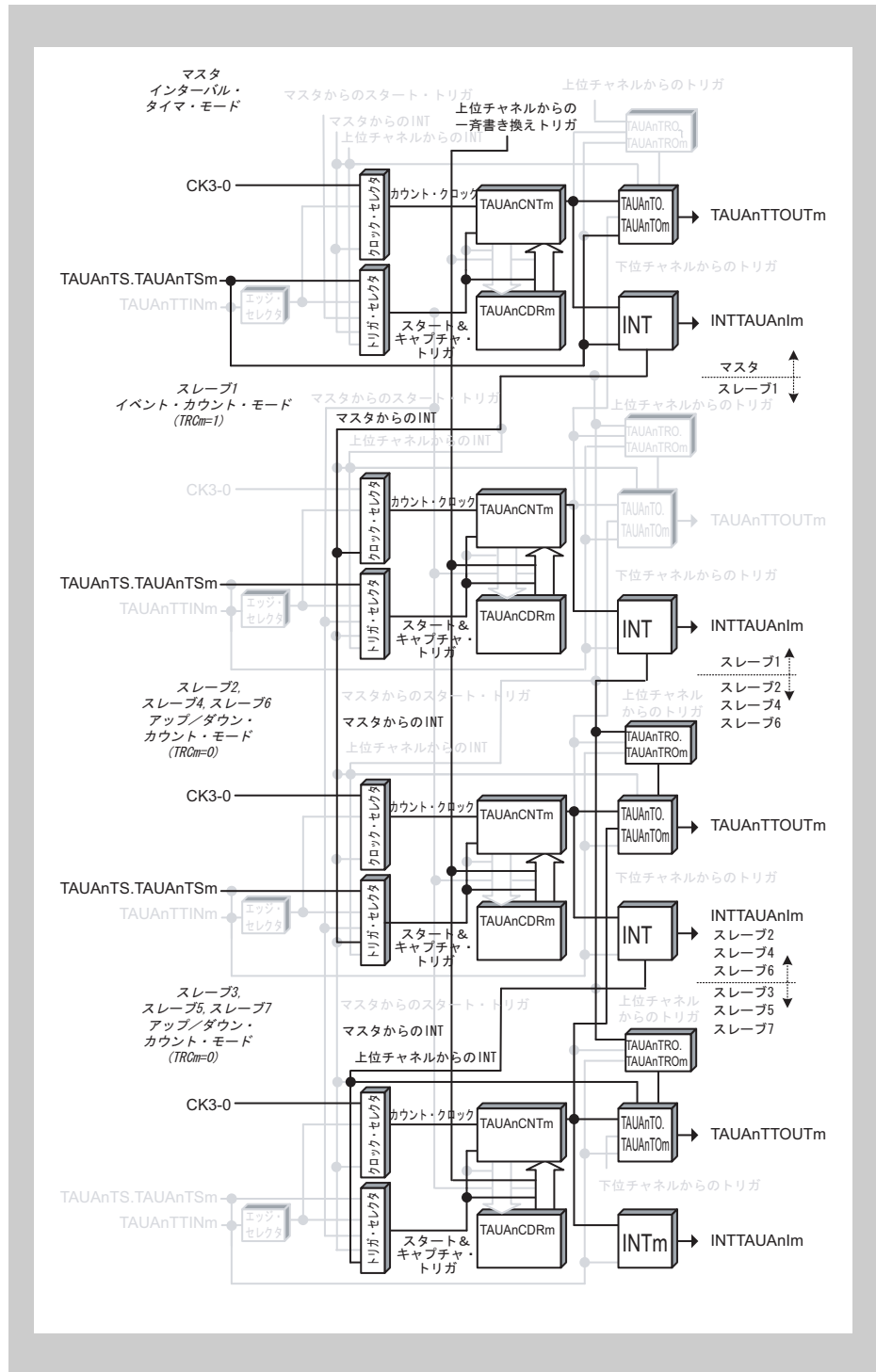


図 12-121 相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル：動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- スレーブ・チャンネル 2 ~ 7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

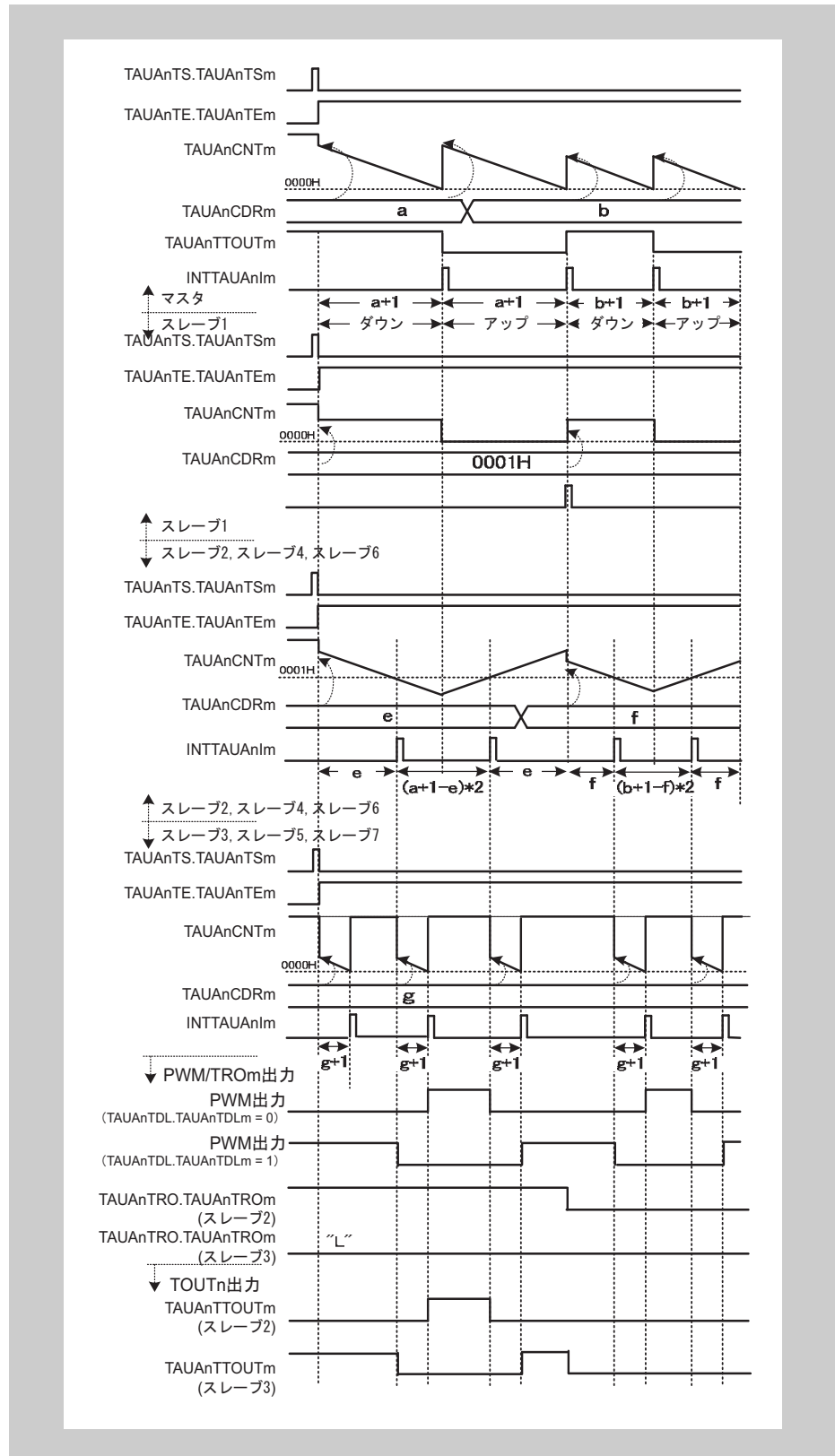


図 12-122 相補方式変調出力機能の基本タイミング図

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-200 相補方式変調出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始または再開時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1: 動作開始または再開時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

(b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-201 相補方式変調出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) チャンネル出力モード

表 12-202 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-203 相補方式変調出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブ・チャンネル1のレジスタ設定

(a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-204 相補方式変調出力機能時のスレーブ・チャンネル1のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	11: マスタ・チャンネルの INTTAUAnIm をカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ 011: 一斉書き換えトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0011: イベント・カウント・モード
TAUAnMD0	0: 動作開始または再開時に INTTAUAnIm が発生しない

(b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUAnTIS[1:0]	

表 12-205 相補方式変調出力機能時のスレーブ・チャンネル1のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) チャンネル出力モード

この機能では、スレーブ・チャンネル1ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注意 スレーブ・チャンネル1をリアルタイム出力のトリガ・チャンネルとして使用するため、TAUAnTRC.TAUAnTRCmを1に設定する必要があります。

(d) スレーブ・チャンネル1の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-206 相補方式変調出力機能時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) スレーブ・チャンネル 2,4,6 のレジスタ設定

(a) スレーブ・チャンネル 2,4,6 の TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-207 相補方式変調出力機能時のスレーブ・チャンネル 2, 4, 6 の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111: マスタ・チャンネルのアップ/ダウン出力トリガ信号
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	1001: アップ/ダウン・カウント・モード
TAUAnMD0	0: 動作開始または再開時に INTTAUAnIm が発生しない

(b) スレーブ・チャンネル 2,4,6 の TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-208 相補方式変調出力機能時のスレーブ・チャンネル 2, 4, 6 の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル 2,4,6 の出力モード

表 12-209 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード 2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルのデューティ・サイクル検出時にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEm	0: 変調禁止 1: 変調許可

注意 TAUAnTDL.TAUAnTDLm は、奇数チャンネルと排他設定してください。

(d) スレーブ・チャンネル 2,4,6 の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-210 相補方式変調出力機能時のスレーブ・チャンネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(7) スレーブ・チャンネル 3,5,7 のレジスタ設定

(a) スレーブ・チャンネル 3,5,7 の TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-211 相補方式変調出力機能時のスレーブ・チャンネル 3, 5, 7 の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: 動作クロック = CK0 01: 動作クロック = CK1 10: 動作クロック = CK2 11: 動作クロック = CK3
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	110: デッド・タイム・トリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0100: ワンカウント・モード
TAUAnMD0	1: カウント中のスタート・トリガ検出許可

(b) スレーブ・チャンネル 3,5,7 の TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-212 相補方式変調出力機能時のスレーブ・チャンネル 3, 5, 7 の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネル 3,5,7 の出力モード

表 12-213 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード 2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルのデューティ・サイクル検出時にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEm	0: 変調禁止 1: 変調許可

注意 TAUAnTDL.TAUAnTDLm は、偶数チャンネルと排他設定してください。

(d) スレーブ・チャンネル 3, 5, 7 の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-214 相補方式変調出力機能時のスレーブ・チャンネル 3, 5, 7 の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(8) 相補方式変調出力機能時の操作手順

表 12-215 相補方式変調出力機能時の操作手順 (1/2)

	操作	TAUAn の状態
チャンネルの初期設定	<p>マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 823 ページの (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p>	チャンネル動作を停止しています。
	<p>スレーブ・チャンネル 1 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 825 ページの (5) 「スレーブ・チャンネル 1 のレジスタ設定」に示すように設定します。</p>	
	<p>スレーブ・チャンネル 2, 4, 6 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 827 ページの (6) 「スレーブ・チャンネル 2,4,6 のレジスタ設定」に示すように設定します。</p>	
	<p>スレーブ・チャンネル 3, 5, 7 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 829 ページの (7) 「スレーブ・チャンネル 3,5,7 のレジスタ設定」に示すように設定します。</p>	
	<p>全チャンネルの TAUAnCDRm レジスタの値を設定します。マスタ・チャンネルの TAUAnCDRm でパルス周期を設定し、スレーブ・チャンネル 1 の TAUAnCDRm で無視されるマスタ・チャンネル割り込み数を設定します。また、スレーブ・チャンネル 2, 4, 6 の TAUAnCDRm にデューティ幅を、スレーブ・チャンネル 3,5,7 にデッド・タイム遅延を設定します。</p>	
	<p>スレーブ・チャンネル 1 に TAUAnTRC.TAUAnTRCm = 1 を設定します。</p>	

表 12-215 相補方式変調出力機能時の操作手順 (2/2)

	操作	TAUAnの状態	
動作再開	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSm を同時に 1 に設定します (チャンネル動作再開時はスレーブ・チャンネル 2 ~ 7 のみ設定)。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>マスタ/スレーブ・チャンネルの TAUAnTE.TAUAnTEm が 1 に設定され、カウンタがダウン・カウントを開始します。</p>
	動作中	<p>TAUAnCDRm, TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEem, TAUAnTDL.TAUAnTDLm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 2 ~ 7 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。スレーブ・チャンネル 1 の TAUAnCDRm の値をロードし、マスタ・チャンネルの割り込みを待ちます。マスタ・チャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUAnIm が発生します。 再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを継続します。 スレーブ・チャンネル 1 の TAUAnCNTm 値が 1 減少し、マスタ・チャンネルの次の割り込みを待ちます。 スレーブ・チャンネル 2,4,6 の TAUAnCNTm は逆方向にカウントを行います。 スレーブ・チャンネル 1 のカウンタが 0000_H になると、マスタ・チャンネルからの次の割り込みを待ちます。割り込み検出時： <ul style="list-style-type: none"> 再び TAUAnCDRm の値を TAUAnCNTm にロードし、マスタ・チャンネルの次の割り込みを待ちます。 INTTAUAnIm が発生します。 TAUAnTRO.TAUAnTROm を変更可能です。 スレーブ・チャンネル 2,4,6 のカウンタが 0001_H になった場合： <ul style="list-style-type: none"> INTTAUAnIm が発生します。 スレーブ・チャンネル m の PWM 出力がリセットされます。 スレーブ・チャンネル 3,5,7 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。 スレーブ・チャンネル 3,5,7 のカウンタが 0001_H になった場合： <ul style="list-style-type: none"> INTTAUAnIm が発生します。 <p>スレーブ・チャンネル 2 ~ 7 の TAUAnTTOUm は、2 つで 1 組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm), 変調出力ビット (TAUAnTME.TAUAnTMEem), 出力レベル・ビット (TAUAnTDL.TAUAnTDLm) の値に応じて、PWM 信号, ハイ・レベル信号, またはロウ・レベル信号を出力します。</p>
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUm は停止し、現在値を保持します。</p>

(9) 特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- スレーブ・チャンネル2～7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

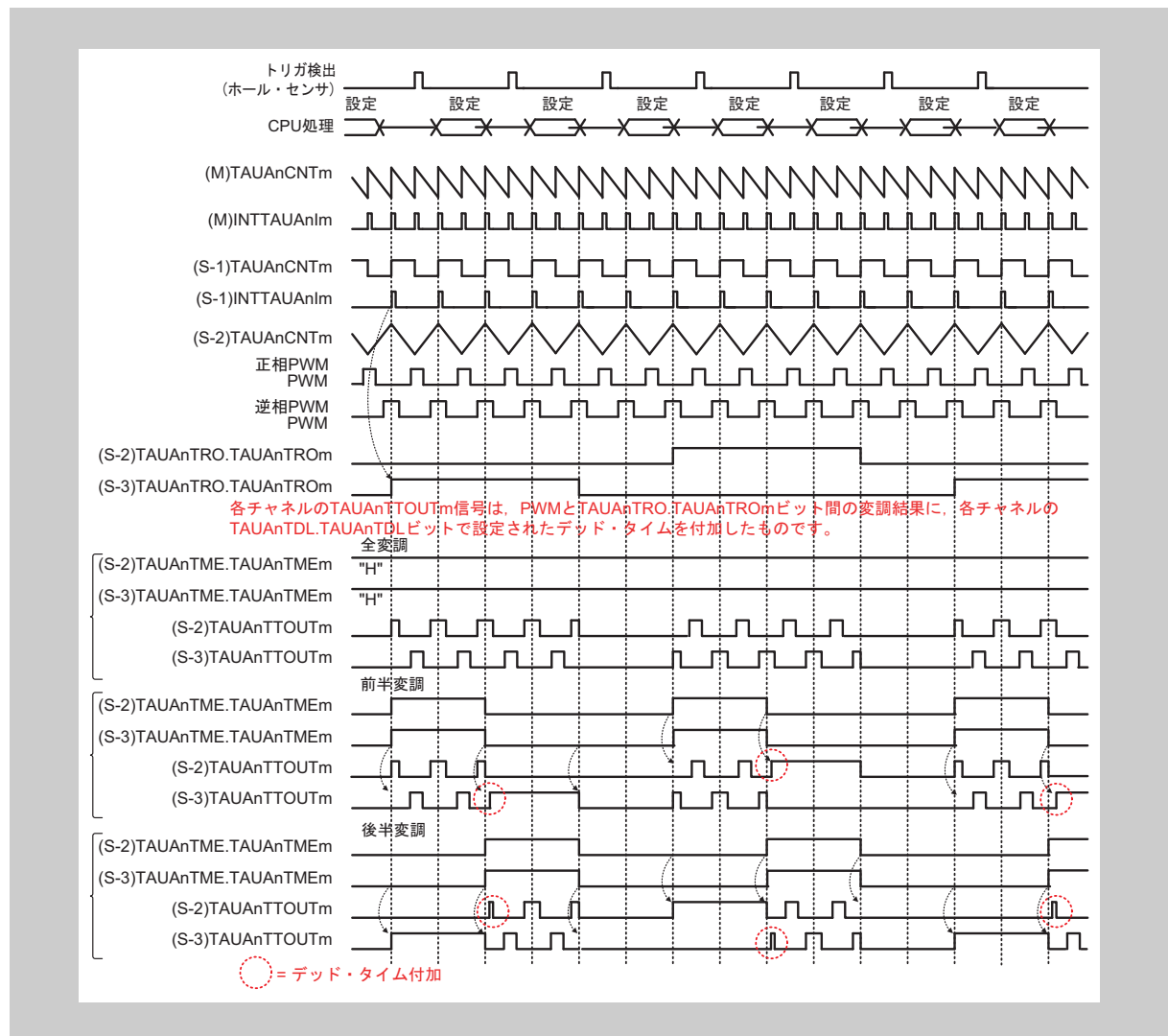


図 12-123 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブ・チャンネルのTAUAnTME.TAUAnTMEemビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

スレーブ・チャンネル2,3から出力されるのは、変調されたPWM出力信号とTAUAnTRO.TAUAnTROmビットの値です。したがって、各チャンネルから出力されるPWM信号の種類（正相／逆相）は、このビットの値によって変わります。

TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEem, TAUAnTDL.TAUAnTDLmビット値はソフトウェアで設定しますが、新しく設定された値はスレーブ・チャンネル1で割り込みが発生しないと適用されません。

備考 デッド・タイムは、正相と逆相のPWMのエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUAnCDRm, TAUAnTME.TAUAnTMEem, TAUAnTRO.TAUAnTROm, TAUAnTDL.TAUAnTDLm の値を変更できる期間を示しています。

12.26 その他のチャネル連動機能

この節では、マスタ・チャネルで発生する割り込みを特定の数だけ無視する機能について説明します。

- 836 ページの 12.26.1 「割り込み信号間引き機能」

12.26.1 割り込み信号間引き機能

(1) 概要

概要 マスタ・チャンネルの割り込み数を、スレーブ・チャンネルを使って指定した値で割る機能です。

割り込み信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能
(704 ページの 12.22.1 「PWM 出力機能」)
- 三角波 PWM 出力機能
(761 ページの 12.24.1 「三角波 PWM 出力機能」)
- デッド・タイム付き三角波 PWM 出力機能
(772 ページの 12.24.2 「デッド・タイム付き三角波 PWM 出力機能」)

- 前提条件**
- 2 チャンネル
 - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (839 ページの表 12-216 「割り込み信号間引き機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
 - スレーブ・チャンネルの動作モードは、イベント・カウント・モードに設定する必要があります (841 ページの表 12-219 「割り込み信号間引き機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照)。
 - この機能では、スレーブ・チャンネルで TAUAnTTOUTm を使用しません。

機能説明 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ (マスタ/スレーブ・チャンネル両方) の動作が許可されます。これにより TAUAnTE.TAUAnTEm が設定され、カウンタが可能になります。マスタ・チャンネルとスレーブ・チャンネルのデータ・レジスタ (TAUAnCDRm) の現在値がカウンタ (TAUAnCNTm) にロードされます。

- マスタ・チャンネル:
マスタ・チャンネルのカウンタが 0000_H になると、INTTAUAnIm が発生し、TAUAnCDRm の値が TAUAnCNTm にロードされます。
- スレーブ・チャンネル:
マスタ・チャンネルで INTTAUAnIm が発生するたびに、スレーブ・チャンネルのカウンタをデクリメントします。カウンタが 0000_H になると、マスタ・チャンネルからの次の割り込みを待ちます。そして TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードし、INTTAUAnIm が発生します。

この機能では強制リスタートは行えません。マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。

条件 この機能では一斉書き換えを行うことができます。550 ページの 12.7 「一斉書き換え」を参照してください。

(2) 算出式

割り込み除算演算子 = TAUAnCDRm (スレーブ・チャンネル)

- TAUAnCDRm (スレーブ・チャンネル) + 1 で定義されたマスタ・チャンネルの INTTAUAnIm 数につき 1 つの INTTAUAnIm が発生します。

(3) ブロック図と基本タイミング図

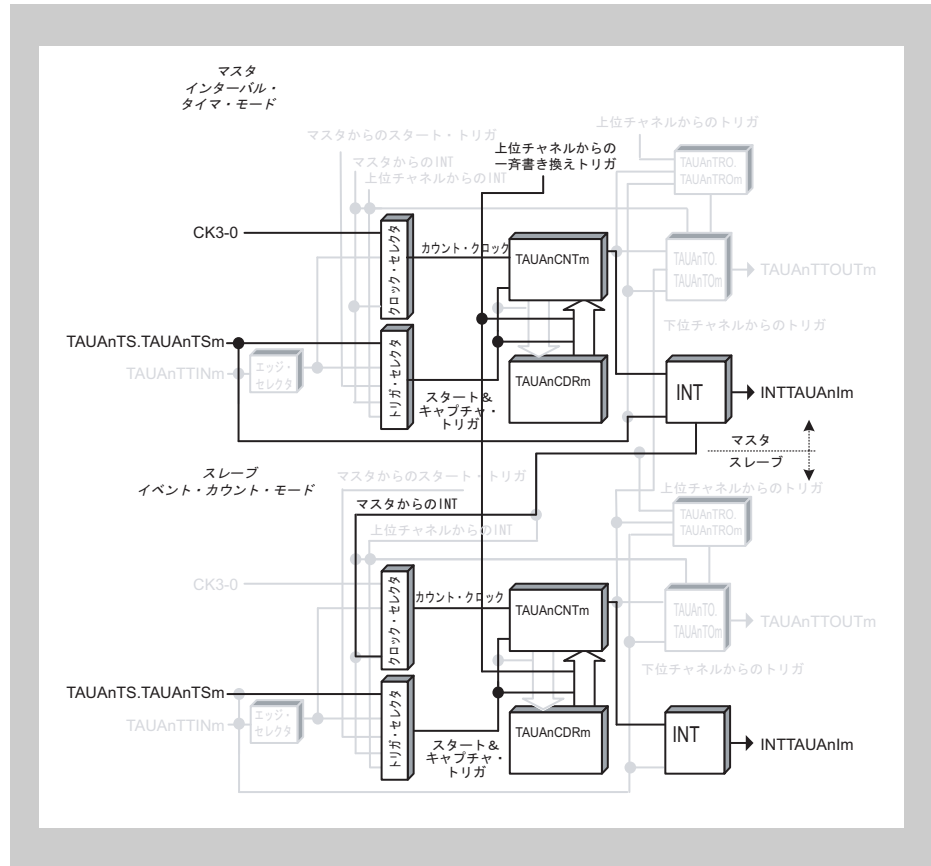


図 12-124 割り込み信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

マスタ・チャンネル：

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

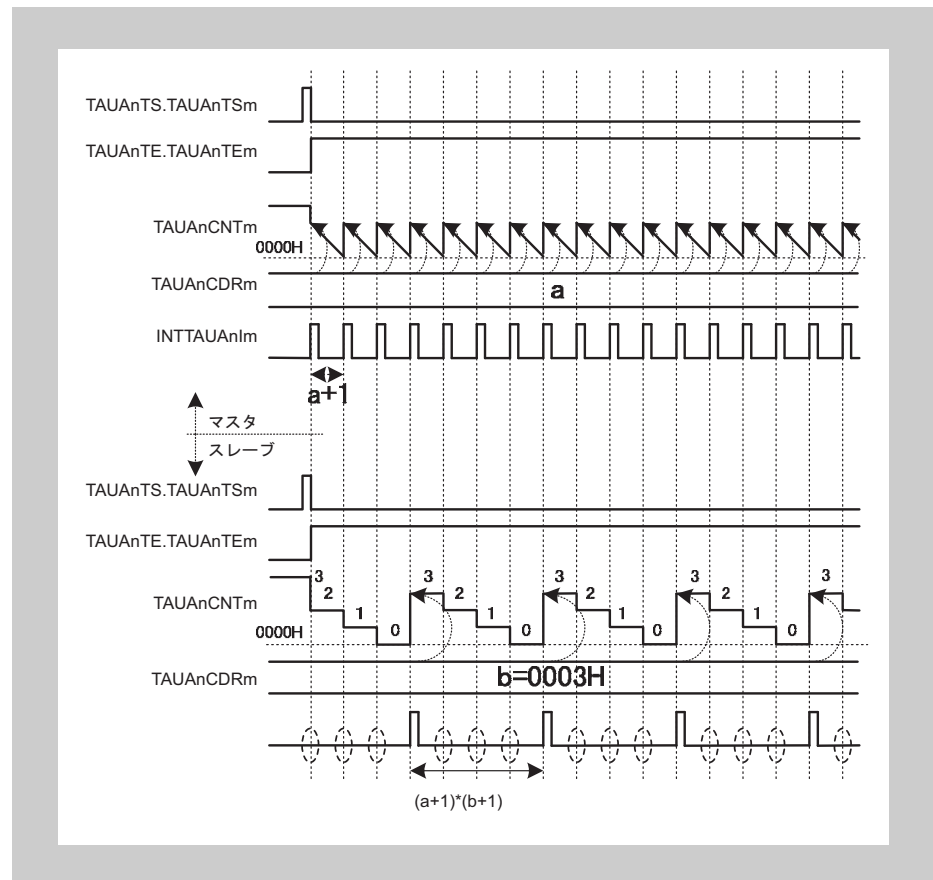


図 12-125 割り込み信号間引き機能の基本タイミング図

一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生します。

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-216 割り込み信号間引き機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない 1: 動作開始時に INTTAUAnIm が発生する

(b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-217 割り込み信号間引き機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-218 割り込み信号間引き機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:1]				TAUAnMD0					

表 12-219 割り込み信号間引き機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	11: マスタ・チャンネルの INTTAUAnIm をカウント・クロックとして使用
TAUAnMAS	0: チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0011: イベント・カウント・モード
TAUAnMD0	0: 動作開始時に INTTAUAnIm が発生しない

(b) スレーブ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUAnTIS[1:0]	

表 12-220 割り込み信号間引き機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルの出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 12-221 割り込み信号間引き機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

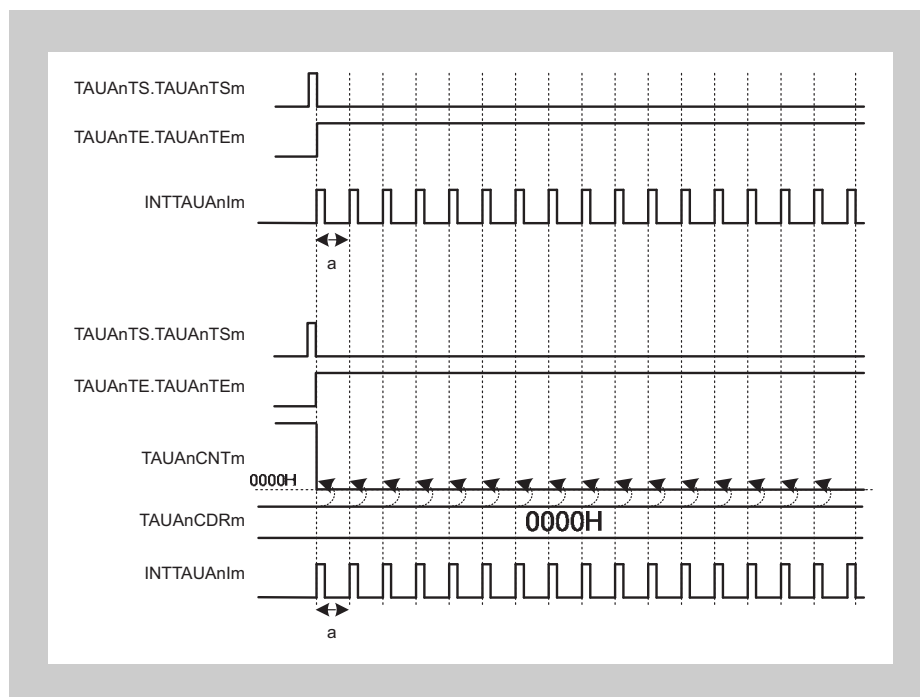
(6) 割り込み信号間引き機能時の操作手順

表 12-222 割り込み信号間引き機能時の操作手順

	操作	TAUAnの状態
動作再開	チャンネルの初期設定 マスタ・チャンネル:TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 839 ページの (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。 スレーブ・チャンネル:TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを 841 ページの (5) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSm を同時に 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生します。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUAnCNTm は TAUAnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 _H になった場合： • INTTAUAnIm (マスタ) が発生します。 • TAUAnCNTm (マスタ) は TAUAnCDRm 値をロードし、カウント動作を継続します。 • スレーブ・チャンネルの TAUAnCNTm は、マスタ・チャンネルの INTTAUAnIm が検出されるごとにダウン・カウントを行います。 スレーブ・チャンネルの TAUAnCNTm が 0000 _H になった場合： • INTTAUAnIm (スレーブ) が発生します。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) 割り込み数 (マスタ) = 割り込み数 (スレーブ)

図 12-126 TAUAnCDRm (スレーブ) = 0000_H

- TAUAnCDRm = 0000_H の場合、マスタ・チャンネルの INTTAUAnIm を検出するごとに、スレーブ・チャンネルの TAUAnCDRm の値を TAUAnCNTm にロードします。つまり、TAUAnCNTm は常に 0000_H です。
- したがって、マスタ・チャンネルで割り込みが発生すると同時に、スレーブ・チャンネルで割り込みが発生することになります。

12.27 レジスタ

この節では、TAUA の全レジスタについて説明します。

12.27.1 TAUAn レジスタの概要

TAUAn は次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、m は 0 から 15 です。

表 12-223 TAUAn レジスタの概要 (1/2)

レジスタ名	略号	アドレス
TAUAn プリスケラ・レジスタ		
TAUAn プリスケラ・クロック選択レジスタ	TAUAnTPS	<TAUAn_base_OS> + 240 _H
TAUAn プリスケラ・ポー・レート設定レジスタ	TAUAnBRS	<TAUAn_base_OS> + 244 _H
TAUAn 制御レジスタ		
TAUAn チャンネル・データ・レジスタ m	TAUAnCDRm	<TAUAn_base_USER> + m×4 _H
TAUAn チャンネル・カウンタ・レジスタ m	TAUAnCNTm	<TAUAn_base_USER> + 80 _H + m×4 _H
TAUAn チャンネル・モード OS レジスタ m	TAUAnCMORm	<TAUAn_base_OS> + 200 _H + m×4 _H
TAUAn チャンネル・モード・ユーザ・レジスタ m	TAUAnCMURm	<TAUAn_base_USER> + C0 _H + m×4 _H
TAUAn チャンネル・ステータス・レジスタ m	TAUAnCSRm	<TAUAn_base_USER> + 140 _H + m×4 _H
TAUAn チャンネル・ステータス・クリア・トリガ・レジスタ m	TAUAnCSCm	<TAUAn_base_USER> + 180 _H + m×4 _H
TAUAn チャンネル・スタート・トリガ・レジスタ	TAUAnTS	<TAUAn_base_USER> + 1C4 _H
TAUAn チャンネル許可ステータス・レジスタ	TAUAnTE	<TAUAn_base_USER> + 1C0 _H
TAUAn チャンネル・ストップ・トリガ・レジスタ	TAUAnTT	<TAUAn_base_USER> + 1C8 _H
TAUAn 出力レジスタ		
TAUAn チャンネル出力許可レジスタ	TAUAnTOE	<TAUAn_base_USER> + 5C _H
TAUAn チャンネル出力レジスタ	TAUAnTO	<TAUAn_base_USER> + 58 _H
TAUAn チャンネル出力モード・レジスタ	TAUAnTOM	<TAUAn_base_OS> + 248 _H
TAUAn チャンネル出力コンフィギュレーション・レジスタ	TAUAnTOC	<TAUAn_base_OS> + 24C _H
TAUAn チャンネル出力アクティブ・レベル・レジスタ	TAUAnTOL	<TAUAn_base_USER> + 040 _H
TAUAn チャンネル・デッド・タイム出力許可レジスタ	TAUAnTDE	<TAUAn_base_OS> + 250 _H
TAUAn チャンネル・デッド・タイム出力モード・レジスタ	TAUAnTDM	<TAUAn_base_OS> + 254 _H
TAUAn チャンネル・デッド・タイム出力レベル・レジスタ	TAUAnTDL	<TAUAn_base_USER> + 54 _H
TAUAn チャンネル・リアルタイム出力レジスタ	TAUAnTRO	<TAUAn_base_USER> + 4C _H
TAUAn チャンネル・リアルタイム出力許可レジスタ	TAUAnTRE	<TAUAn_base_OS> + 258 _H
TAUAn チャンネル・リアルタイム出力制御レジスタ	TAUAnTRC	<TAUAn_base_OS> + 25C _H
TAUAn チャンネル変調出力許可レジスタ	TAUAnTME	<TAUAn_base_USER> + 50 _H
TAUAn リロード・データ・レジスタ		

表 12-223 TAUAn レジスタの概要 (2/2)

レジスタ名	略号	アドレス
TAUAn チャンネル・リロード・データ許可レジスタ	TAUAnRDE	<TAUAn_base_OS> + 260 _H
TAUAn チャンネル・リロード・データ・モード・レジスタ	TAUAnRDM	<TAUAn_base_OS> + 264 _H
TAUAn チャンネル・リロード・データ制御 CH 選択レジスタ	TAUAnRDS	<TAUAn_base_OS> + 268 _H
TAUAn チャンネル・リロード・データ制御レジスタ	TAUAnRDC	<TAUAn_base_OS> + 26C _H
TAUAn チャンネル・リロード・データ・トリガ・レジスタ	TAUAnRDT	<TAUAn_base_USER> + 44 _H
TAUAn チャンネル・リロード・ステータス・レジスタ	TAUAnRSF	<TAUAn_base_USER> + 48 _H
TAUAn DMA ウィンドウ・レジスタ		
TAUAn DMA ウィンドウ・アドレス設定レジスタ 0	TAUAnDAS0	<TAUAn_base_OS> + 270 _H
TAUAn DMA ウィンドウ・アドレス設定レジスタ 1	TAUAnDAS1	<TAUAn_base_OS> + 274 _H
TAUAn DMA ウィンドウ・アドレス設定レジスタ 2	TAUAnDAS2	<TAUAn_base_OS> + 278 _H
TAUAn DMA ウィンドウ・アドレス設定レジスタ 3	TAUAnDAS3	<TAUAn_base_OS> + 27C _H
TAUAn DMA ウィンドウ・アドレス設定レジスタ 4	TAUAnDAS4	<TAUAn_base_OS> + 280 _H
TAUAn DMA ウィンドウ・アドレス設定レジスタ 5	TAUAnDAS5	<TAUAn_base_OS> + 284 _H
TAUAn DMA ウィンドウ・アドレス設定レジスタ 6	TAUAnDAS6	<TAUAn_base_OS> + 288 _H
TAUAn DMA ウィンドウ・アドレス設定レジスタ 7	TAUAnDAS7	<TAUAn_base_OS> + 28C _H
TAUAn DMA ウィンドウ・レジスタ 0	TAUAnDWR0	<TAUAn_base_USER> + 100 _H
TAUAn DMA ウィンドウ・レジスタ 1	TAUAnDWR1	<TAUAn_base_USER> + 104 _H
TAUAn DMA ウィンドウ・レジスタ 2	TAUAnDWR2	<TAUAn_base_USER> + 108 _H
TAUAn DMA ウィンドウ・レジスタ 3	TAUAnDWR3	<TAUAn_base_USER> + 10C _H
TAUAn DMA ウィンドウ・レジスタ 4	TAUAnDWR4	<TAUAn_base_USER> + 110 _H
TAUAn DMA ウィンドウ・レジスタ 5	TAUAnDWR5	<TAUAn_base_USER> + 114 _H
TAUAn DMA ウィンドウ・レジスタ 6	TAUAnDWR6	<TAUAn_base_USER> + 118 _H
TAUAn DMA ウィンドウ・レジスタ 7	TAUAnDWR7	<TAUAn_base_USER> + 11C _H
TAUAn DMA ウィンドウ・レジスタ 8	TAUAnDWR8	<TAUAn_base_USER> + 120 _H
TAUAn DMA ウィンドウ・レジスタ 9	TAUAnDWR9	<TAUAn_base_USER> + 124 _H
TAUAn DMA ウィンドウ・レジスタ 10	TAUAnDWR10	<TAUAn_base_USER> + 128 _H
TAUAn DMA ウィンドウ・レジスタ 11	TAUAnDWR11	<TAUAn_base_USER> + 12C _H
TAUAn DMA ウィンドウ・レジスタ 12	TAUAnDWR12	<TAUAn_base_USER> + 130 _H
TAUAn DMA ウィンドウ・レジスタ 13	TAUAnDWR13	<TAUAn_base_USER> + 134 _H
TAUAn DMA ウィンドウ・レジスタ 14	TAUAnDWR14	<TAUAn_base_USER> + 138 _H
TAUAn DMA ウィンドウ・レジスタ 15	TAUAnDWR15	<TAUAn_base_USER> + 13C _H

備考 TAUAn のベース・アドレス <TAUAn_base_OS> および <TAUAn_base_USER> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

12.27.2 TAUAn プリスケーラ・レジスタの詳細

(1) TAUAnTPS - TAUAn プリスケーラ・クロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0, CK1, CK2, CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUAnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_OS> + 240_H

初期値 FFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnPRS3[3:0]				TAUAnPRS2[3:0]				TAUAnPRS1[3:0]				TAUAnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-224 TAUAnTPS レジスタの内容 (1/4)

ビット位置	ビット名	機能																																		
15-12	TAUAnPRS3[3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。																																		
		<table border="1"> <thead> <tr> <th>TAUAnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUAnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm= 0) 場合のみ書き換え可能です。																																		

表 12-224 TAUAnTPS レジスタの内容 (2/4)

ビット位置	ビット名	機能																																		
11-8	TAUAnPRS2[3:0]	CK2 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUAnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUAnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm = 0) 場合のみ書き換え可能です。																																		

表 12-224 TAUAnTPS レジスタの内容 (3/4)

ビット位置	ビット名	機能																																		
7-4	TAUAnPRS1[3:0]	CK1 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUAnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUAnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm = 0) 場合のみ書き換え可能です。																																		

表 12-224 TAUAnTPS レジスタの内容 (4/4)

ビット位置	ビット名	機能																																		
3-0	TAUAnPRS0[3:0]	CK0 クロックを指定します。 <table border="1"> <thead> <tr> <th>TAUAnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm = 0) 場合のみ書き換え可能です。</p>	TAUAnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

備考 TAUAn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

(2) TAUAnBRS - TAUAn プリスケーラ・ポー・レート設定レジスタ

プリスケーラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数 + 1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUAnTPS.TAUAnPRS3[3:0] で指定します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_OS> + 244_H

初期値 00_H どのリセット要因でも初期化されます。

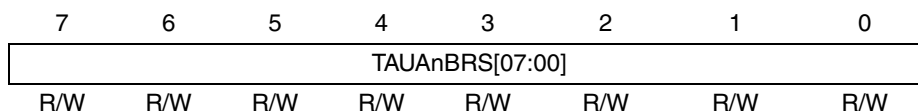


表 12-225 TAUAnBRS レジスタの内容

ビット位置	ビット名	機能																
7-0	TAUAnBRS[07:00]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">TAUAnBRS[07:00]</th> <th style="width: 50%;">CK3 クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0000 0000_B</td> <td style="text-align: center;">CK3_PRE / 1</td> </tr> <tr> <td style="text-align: center;">0000 0001_B</td> <td style="text-align: center;">CK3_PRE / 2</td> </tr> <tr> <td style="text-align: center;">0000 0010_B</td> <td style="text-align: center;">CK3_PRE / 3</td> </tr> <tr> <td style="text-align: center;">0000 0011_B</td> <td style="text-align: center;">CK3_PRE / 4</td> </tr> <tr> <td style="text-align: center;">...</td> <td style="text-align: center;">...</td> </tr> <tr> <td style="text-align: center;">1111 1110_B</td> <td style="text-align: center;">CK3_PRE / 255</td> </tr> <tr> <td style="text-align: center;">1111 1111_B</td> <td style="text-align: center;">CK3_PRE / 256</td> </tr> </tbody> </table>	TAUAnBRS[07:00]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUAnBRS[07:00]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	

12.27.3 TAUAn 制御レジスタの詳細

(1) TAUAnCDRm - TAUAn チャンネル・データ・レジスタ

このレジスタは、TAUAnCMORm.TAUAnMD[4:1] で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード／ライト可能です。

アドレス <TAUAn_base_USER> + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

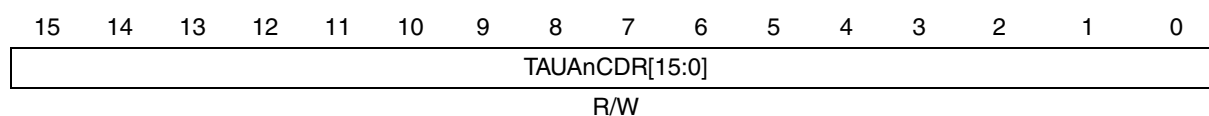


表 12-226 TAUAnCDRm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnCDR[15:0]	キャプチャ値／コンペア値用データ・レジスタ

(2) TAUAnCNTm - TAUAn チャンネル・カウンタ・レジスタ

チャンネル m カウンタ・レジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUAn_base_USER> + 80_H + m × 4_H

初期値 0000_H または FFFF_H 初期値は動作モードによって異なります。853 ページの表 12-228 「カウント再許可後の TAUAnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCNT[15:0]															
R															

表 12-227 TAUAnCNTm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnCNT[15:0]	16 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUAnTS.TAUAnTSm、TAUAnTT.TAUAnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUAnTT.TAUAnTTm = 1)

カウント停止後 (TAUAnTE.TAUAnTEm = 0) と再許可後 (TAUAnTS.TAUAnTSm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUAnTS.TAUAnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 12-228 カウント再許可後の TAUAnCNTm リード値 (1/2)

モード名	カウント方式 (アップ/ダウン)	TAUAnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF _H	停止値	-
ジャッジ・モード	ダウン・カウント	FFFF _H	停止値	-
キャプチャ・モード	アップ・カウント	0000 _H	停止値	-
イベント・カウント・モード	ダウン・カウント	FFFF _H	停止値	-
ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	FFFF _H
キャプチャ&ワンカウント・モード	アップ・カウント	0000 _H	停止値	キャプチャ値 + 1 (TAUAnCDRm)
ジャッジ&ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	TAUAnCNTm 値 - 1
アップ/ダウン・カウント・モード	アップ/ダウン・カウント	FFFF _H	停止値	-

表 12-228 カウント再許可後の TAUAnCNTm リード値 (2/2)

モード名	カウント方式 (アップ/ダウン)	TAUAnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
パルス・ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	0000 _H
カウント・キャプチャ・モード	アップ・カウント	0000 _H	停止値	-
ゲート・カウント・モード	ダウン・カウント	FFFF _H	停止値	停止値
キャプチャ&ゲート・カウン ト・モード	アップ・カウント	0000 _H	停止値	停止値

備考 カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUAnCMORm.TAUAnMD[4:1] レジスタで変更します。

(3) TAUAnCMORm - TAUAn チャネル・モード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみライト可能です。

アドレス <TAUAn_base_OS> + 200_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:0]									
R/W	R/W	R/W	R/W	R/W	R	R/W									

表 12-229 TAUAnCMORm レジスタの内容 (1/5)

ビット位置	ビット名	機能															
15,14	TAUAnCKS[1:0]	<p>動作クロックを選択します。 動作クロックは TAUAnTTINm 入力エッジ検出回路で使用します。 TAUAnCMORm.TAUAnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUAnCKS 1</th><th>TAUAnCKS 0</th><th>動作クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CK0</td></tr> <tr> <td>0</td><td>1</td><td>CK1</td></tr> <tr> <td>1</td><td>0</td><td>CK2</td></tr> <tr> <td>1</td><td>1</td><td>CK3</td></tr> </tbody> </table>	TAUAnCKS 1	TAUAnCKS 0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUAnCKS 1	TAUAnCKS 0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13,12	TAUAnCCS[1:0]	<p>TAUAnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUAnCCS 1</th><th>TAUAnCCS 0</th><th>カウント・クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TAUAnCMORm.TAUAnCKS[1:0] で指定した動作クロック</td></tr> <tr> <td>0</td><td>1</td><td>TAUAnTTINm 入力信号の有効エッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>マスタ・チャネルの INTTAUAnIm 信号</td></tr> </tbody> </table>	TAUAnCCS 1	TAUAnCCS 0	カウント・クロック選択	0	0	TAUAnCMORm.TAUAnCKS[1:0] で指定した動作クロック	0	1	TAUAnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	マスタ・チャネルの INTTAUAnIm 信号
TAUAnCCS 1	TAUAnCCS 0	カウント・クロック選択															
0	0	TAUAnCMORm.TAUAnCKS[1:0] で指定した動作クロック															
0	1	TAUAnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1	マスタ・チャネルの INTTAUAnIm 信号															
11	TAUAnMAS	<p>チャネル連動動作時に、そのチャネルがマスタ・チャネルかスレーブ・チャネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャネル (CHm_even) に対してのみ有効です。奇数チャネル (CHm_odd) は、0 に固定されています。</p>															

表 12-229 TAUAnCMORm レジスタの内容 (2/5)

ビット位置	ビット名	機能			
10-8	TAUAnSTS[2:0]	外部スタート・トリガを選択します。			
		TAUAnSTS2	TAUAnSTS1	TAUAnSTS0	機能説明
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUAnTTINm 入力信号の有効エッジ。有効エッジは TAUAnCMURm.TAUAnTIS[1:0] で指定
		0	1	0	TAUAnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	一斉書き換えトリガ
		1	0	0	マスタ・チャンネルの INT
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INT
		1	1	0	TAUAnTTOUTm 生成ユニットのデッド・タイム出力信号
		1	1	1	マスタ・チャンネルのアップ/ダウン出力トリガ信号

表 12-229 TAUAnCMORm レジスタの内容 (3/5)

ビット位置	ビット名	機能			
7, 6	TAUAnCOS[1:0]	チャンネル m のキャプチャ・レジスタ TAUAnCDRm とオーバフロー・フラグ TAUAnCSRm.TAUAnOVF を更新するタイミングを指定します。 これらのビットはチャンネル m がキャプチャ・モードの時のみ有効です。			
		TAUAnCOS 1	TAUAnCOS 0	TAUAnCDRm	TAUAnCSRm.TAUAnOVF
		0	0	TAUAnTTINm 入力有効エッジを検出すると更新	TAUAnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUAnCSRm.TAUAnOVF をセット 有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUAnCSR.TAUAnOVF をクリア
		0	1		カウンタ・オーバフロー時にセット、TAUAnCSCm.TAUAnCLOV = 1 に設定することでクリア
		1	0	TAUAnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
		1	1	<ul style="list-style-type: none"> TAUAnTTINm 入力有効エッジ検出：カウンタ値が TAUAnCDRm に書き込まれる オーバフロー発生：FFFF_H が TAUAnCDRm にロードされる。次の TAUAnTTINm 入力有効エッジ検出は無視される。 	カウンタ・オーバフロー時にセット、TAUAnCSCm.TAUAnCLOV = 1 に設定することでクリア

表 12-229 TAUAnCMORm レジスタの内容 (4/5)

ビット位置	ビット名	機能					
4-0	TAUAnMD[4:0]	動作モードを指定します。					
		TAUAnMD4	TAUAnMD3	TAUAnMD2	TAUAnMD1	TAUAnMD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	ジャッジ・モード
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	0	イベント・カウント・モード
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	ジャッジ&ワンカウント・モード
		1	0	0	0	0	設定禁止
		1	0	0	1	0	アップ/ダウン・カウント・モード
		1	0	1	0	1/0	パルス・ワンカウント・モード
		1	0	1	1	1/0	カウント・キャプチャ・モード
1	1	0	0	0	ゲート・カウント・モード		
1	1	0	1	0	キャプチャ&ゲート・カウント・モード		
モード	TAUAnMD0 ビットの役割						
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUAnIm 信号を出力するかどうかを指定します。 0: INTTAUAnIm を出力しない 1: INTTAUAnIm を出力する						
イベント・カウント・モード アップ/ダウン・カウント・モード	このビットは0に設定する必要があります。						
ワンカウント・モード ゲート・カウント・モード パルス・ワンカウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可						

表 12-229 TAUAncMORm レジスタの内容 (5/5)

ビット位置	ビット名	機能
モード	TAUAncMD0 ビットの役割	
キャプチャ&ワンカウン ト・モード キャプチャ&ゲート・カウ ント・モード	このビットは0に設定する必要があります。	
判定モード 判定&ワンカウント・モー ド	INTTAUAncIm の出力タイミングを指定します。 0: TAUAncCNTm ≤ TAUAncCDRm 時 1: TAUAncCNTm > TAUAncCDRm 時	

(4) TAUAnCMURm - TAUAn チャンネル・モード・ユーザ・レジスタ

このレジスタは、TAUAnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + C0_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUAnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 12-230 TAUAnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUAnTIS[1:0]	TAUAnTTINm 入力信号の有効エッジを指定します。 <table border="1" data-bbox="550 810 1385 1249"> <thead> <tr> <th>TAUAnTIS1</th> <th>TAUAnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <ul style="list-style-type: none"> TAUAnTTINm 入力信号のエッジ検出は、TAUAnCMORm.TAUAnCKS[1:0] で選択した動作クロックに基づいて行われます。 	TAUAnTIS1	TAUAnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ
TAUAnTIS1	TAUAnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ															

(5) TAUAnCSRm - TAUAn チャンネル・ステータス・レジスタ

このレジスタは、チャンネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUAn_base_USER> + 140_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUAnCSF	TAUAnOVF
R	R	R	R	R	R	R	R

表 12-231 TAUAnCSRm レジスタの内容

ビット位置	ビット名	機能
1	TAUAnCSF	カウント方向を示します。 0: アップ・カウント 1: ダウン・カウント このビットのリード値は、次のモード時にのみ有効です。 • アップ/ダウン・カウント・モード
0	TAUAnOVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャ・モード • キャプチャ&ワンカウント・モード • カウント・キャプチャ・モード • キャプチャ&ゲート・カウント・モード このビットの機能は、制御ビット TAUAnCMORm.TAUAnCOS[1:0] の設定により異なります。

(6) TAUAnCSCm - TAUAn チャンネル・ステータス・クリア・レジスタ

このレジスタは、チャンネル m のオーバフロー・フラグ TAUAnCSRm.TAUAnOVF をクリアするためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUAn_base_USER> + 180_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	0	TAUAnCLOV
R	R	R	R	R	R	R	W

表 12-232 TAUAnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUAnCLOV	0: 機能なし 1: オーバフロー・フラグ TAUAnCSRm.TAUAnOVF をクリア

(7) TAUAnTS - TAUAn チャンネル・スタート・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUAn_base_USER> + 1C4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTS15	TAUAnTS14	TAUAnTS13	TAUAnTS12	TAUAnTS11	TAUAnTS10	TAUAnTS09	TAUAnTS08	TAUAnTS07	TAUAnTS06	TAUAnTS05	TAUAnTS04	TAUAnTS03	TAUAnTS02	TAUAnTS01	TAUAnTS00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 12-233 TAUAnTS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUAnTE.TAUAnTEm = 1 を設定。 TAUAnTE.TAUAnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

(8) TAUAnTE - TAUAn チャンネル許可ステータス・レジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUAn_base_USER> + 1C0_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE	TAUAnTE
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12-234 TAUAnTE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTE _m	チャンネル m のカウンタ動作の許可/禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUAnTSST _m (チャンネル連動スタート・トリガ信号) のトリガ入力を検知するか、TAUAnTS.TAUAnTS _m を 1 にセットすると、このビットが 1 に設定されます。 TAUAnTT.TAUAnTT _m を 1 にセットすると、このビットが 0 にリセットされます。

(9) TAUAnTT - TAUAn チャンネル・ストップ・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUAn_base_USER> + 1C8_H

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT	TAUAnTT
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 12-235 TAUAnTT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTT _m	チャンネル m のカウンタ動作を停止します。 0: 機能なし 1: カウンタ動作を停止し、TAUAnTE.TAUAnTE _m をリセットします。 TAUAnCNT _m , TAUAnTO.TAUAnTO _m , TAUAnTTOUT _m は、カウント停止前の値を保持します。

12.27.4 TAUAn 出力レジスタの詳細

(1) TAUAnTOE - TAUAn チャンネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャンネル単体出力モードを許可／禁止します。

アクセス 16ビット単位でリード／ライト可能です。

アドレス <TAUAn_base_USER> + 5C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUA nTOE	TAUAn TOE	TAUAn TOE	TAUAn TOE
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-236 TAUAnTOE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOEm	タイマ単体出力機能を許可／禁止します。 0: タイマ単体出力機能を禁止 1: タイマ単体出力機能を許可

(2) TAUAnTOM - TAUAn チャンネル出力モード・レジスタ

このレジスタは、各チャンネルの出力モードを指定します。

アクセス 16ビット単位でリード／ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 248_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUA nTOM	TAUAn TOM	TAUAn TOM	TAUAn TOM
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-237 TAUAnTOM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOMm	出力モードを指定します。 0: チャンネル単体動作 1: チャンネル連動動作 出力モードは 563 ページの表 12-9 「チャンネル出力モード」にあるように、各チャンネル出力制御ビットの設定によって変わります。

(3) TAUA_nTOC - TAUA_n チャンネル出力コンフィギュレーション・レジスタ

このレジスタは、TAUA_nTOM_m とともに各チャンネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中 (TAUA_nTE.TAUA_nTE_m = 0) のときのみ、ライト可能です。

アドレス <TAUA_n_base_OS> + 24C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA _n TOC 15	TAUA _n TOC 14	TAUA _n TOC 13	TAUA _n TOC 12	TAUA _n TOC 11	TAUA _n TOC 10	TAUA _n TOC 09	TAUA _n TOC 08	TAUA _n TOC 07	TAUA _n TOC 06	TAUA _n TOC 05	TAUA _n TOC 04	TAUA _n TOC 03	TAUA _n TOC 02	TAUA _n TOC 01	TAUA _n TOC 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-238 TAUA_nTOC レジスタの内容

ビット位置	ビット名	機能															
15-0	TAUA _n TOC _m	出力モードを指定します。 0: 動作モード1 1: 動作モード2 次の表にあるように、出力モードは TAUA _n TOM.TAUA _n TOM _m の設定によっても異なります。															
		<table border="1"> <thead> <tr> <th>TOM_m</th><th>TOC_m</th><th>機能説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>トグル・モード: INTTAUA_nIm 発生時にトグル動作が行われます。</td></tr> <tr> <td></td><td>1</td><td>セット／リセット・モード: カウント開始時の INTTAUA_nIm 発生時にセットされ、TAUA_nCNT_m, TAUA_nCDR_m の一致の検出による INTTAUA_nIm 発生時にリセットされます。</td></tr> <tr> <td>1</td><td>0</td><td>チャンネル連動動作モード1: マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。</td></tr> <tr> <td></td><td>1</td><td>チャンネル連動動作モード2: ダウン・カウント状態で INTTAUA_nIm が発生するとセット、アップ・カウント状態で INTTAUA_nIm が発生するとリセットされます。</td></tr> </tbody> </table>	TOM _m	TOC _m	機能説明	0	0	トグル・モード: INTTAUA _n Im 発生時にトグル動作が行われます。		1	セット／リセット・モード: カウント開始時の INTTAUA _n Im 発生時にセットされ、TAUA _n CNT _m , TAUA _n CDR _m の一致の検出による INTTAUA _n Im 発生時にリセットされます。	1	0	チャンネル連動動作モード1: マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。		1	チャンネル連動動作モード2: ダウン・カウント状態で INTTAUA _n Im が発生するとセット、アップ・カウント状態で INTTAUA _n Im が発生するとリセットされます。
TOM _m	TOC _m	機能説明															
0	0	トグル・モード: INTTAUA _n Im 発生時にトグル動作が行われます。															
	1	セット／リセット・モード: カウント開始時の INTTAUA _n Im 発生時にセットされ、TAUA _n CNT _m , TAUA _n CDR _m の一致の検出による INTTAUA _n Im 発生時にリセットされます。															
1	0	チャンネル連動動作モード1: マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。															
	1	チャンネル連動動作モード2: ダウン・カウント状態で INTTAUA _n Im が発生するとセット、アップ・カウント状態で INTTAUA _n Im が発生するとリセットされます。															

(4) TAUAnTDE - TAUAn チャンネル・デッド・タイム出力許可レジスタ

このレジスタは、全チャンネルのデッド・タイム動作を許可／禁止します。

アクセス 16ビット単位でリード／ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTE_m = 0) のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 250_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUA nTDE	TAUAn TDE	TAUAn TDE	TAUAn TDE
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-239 TAUAnTDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTDE _m	チャンネル m のデッド・タイム制御動作を許可／禁止します。 0: デッド・タイム動作禁止 1: デッド・タイム動作許可 対になった偶数／奇数スレーブ・チャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUAnTOE.TAUAnTOE_m, TAUAnTOM.TAUAnTOM_m, TAUAnTOC.TAUAnTOC_m = 1

(5) TAUAnTDM - TAUAn チャンネル・デッド・タイム出力モード・レジスタ

このレジスタは、デッド・タイム出力中にデッド・タイムを付加するタイミングを指定します。

アクセス 16ビット単位でリード／ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTE_m = 0) のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 254_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUA nTDM	TAUAn TDM	TAUAn TDM	TAUAn TDM
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-240 TAUAnTDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTDM _m	デッド・タイム出力中にデッド・タイムを付加するタイミングを指定します。 0: 上位偶数チャンネルのデューティ・サイクル検出時 (デューティ・デッド・タイム出力) 1: 下位奇数チャンネルの TIN 入力エッジ検出時 (1相デッド・タイム出力) 対になった偶数／奇数スレーブ・チャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUAnTOE.TAUAnTOE_m, TAUAnTOM.TAUAnTOM_m, TAUAnTOC.TAUAnTOC_m, TAUAnTDE.TAUAnTDE_m = 1

(6) TAUAnTDL - TAUAn チャンネル・デッド・タイム出力レベル・レジスタ

このレジスタは、デッド・タイムを付加する位相を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + 54_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTDL 15	TAUA nTDL 14	TAUA nTDL 13	TAUA nTDL 12	TAUA nTDL 11	TAUA nTDL 10	TAUA nTDL 09	TAUA nTDL 08	TAUA nTDL 07	TAUA nTDL 06	TAUA nTDL 05	TAUA nTDL 04	TAUA nTDL 03	TAUAn TDL 02	TAUAn TDL 01	TAUAn TDL 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-241 TAUAnTDL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTDLm	デッド・タイムを付加する位相を選択します。 0: 正相 1: 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUAnTOE.TAUAnTOEm, TAUAnTOM.TAUAnTOMm, TAUAnTOC.TAUAnTOCm, TAUAnTDE.TAUAnTDEm = 1

(7) TAUAnTRE - TAUAn チャンネル・リアルタイム出力許可レジスタ

このレジスタは、リアルタイム出力を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 258_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTRE 15	TAUA nTRE 14	TAUA nTRE 13	TAUA nTRE 12	TAUA nTRE 11	TAUA nTRE 10	TAUA nTRE 09	TAUA nTRE 08	TAUA nTRE 07	TAUA nTRE 06	TAUA nTRE 05	TAUA nTRE 04	TAUA nTRE 03	TAUAn TRE 02	TAUAn TRE 01	TAUAn TRE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-242 TAUAnTRE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTREm	チャンネル m のリアルタイム出力を許可/禁止します。 0: リアルタイム出力禁止 1: リアルタイム出力許可 これらのビット設定は TAUA _n TOE.TAUAn _n TOEm = 1 時のみ適用されます。 TAUAnTRE.TAUAnTREm = 0 の場合、TAUAnTTOUTm はリアルタイム出力の影響を受けません。 TAUAnTRE.TAUAnTREm = 1 の場合、TAUAnTTOUTm はタイマ動作に応じてリアルタイム出力ビット TAUAnTRO.TAUAnTROM の値を出力します。

(8) TAUAnTRC - TAUAn チャンネル・リアルタイム出力制御レジスタ

このレジスタは、各チャンネルのリアルタイム出カトリガを制御します。

アクセス 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTE_m = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 25C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTRC 15	TAUA nTRC 14	TAUA nTRC 13	TAUA nTRC 12	TAUA nTRC 11	TAUA nTRC 10	TAUA nTRC 09	TAUA nTRC 08	TAUA nTRC 07	TAUA nTRC 06	TAUA nTRC 05	TAUA nTRC 04	TAUA nTRC 03	TAUAn TRC 02	TAUAn TRC 01	TAUAn TRC 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-243 TAUAnTRC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTRC _m	チャンネル m のリアルタイム出カトリガを生成するチャンネルを指定します。 0: このビットが 1 に設定されている次の上位チャンネル 1: チャンネル m これらのビット設定は TAUAnTRE.TAUAnTRE _m = 1 時のみ適用されます。

(9) TAUAnTRO - TAUAn チャンネル・リアルタイム出力レジスタ

このレジスタには、TAUAnTTOUT_m に出力する値を設定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + 4C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAn TRO 15	TAUAn TRO 14	TAUAn TRO 13	TAUAn TRO 12	TAUAn TRO 11	TAUAn TRO 10	TAUAn TRO 09	TAUAn TRO 08	TAUAn TRO 07	TAUAn TRO 06	TAUAn TRO 05	TAUAn TRO 04	TAUAn TRO 03	TAUAn TRO 02	TAUAn TRO 01	TAUAn TRO 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-244 TAUAnTRO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTRO _m	TAUAnTTOUT _m に出力する値を設定します。 0: Low 1: High TAUAnTRE.TAUAnTRE = 0 のとき、リアルタイム・トリガが発生しても TAUAnTRO _m の値は TAUAnTTOUT _m には出力されません。

(10) TAUA_nTME - TAUA_n チャンネル変調出力許可レジスタ

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可／禁止します。

アクセス 16ビット単位でリード／ライト可能です。

アドレス <TAUA_n_base_USER> + 50_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME	TAUA _n TME
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-245 TAUA_nTME レジスタの内容

ビット位置	ビット名	機能
15-0	TAUA _n TME _m	チャンネル m のタイマ出力とリアルタイム出力の変調出力を許可／禁止します。 0: 変調禁止 1: 変調許可 これらのビット設定は TAUA _n TOE.TAUA _n TOE _m , TAUA _n TRE.TAUA _n TRE _m = 1 時にのみ適用されます。

12.27.5 TAUAn チャネル出力レベル・レジスタの詳細

(1) TAUAnTO - TAUAn チャネル出力レジスタ

このレジスタは、TAUAnTTOUTm レベルを指定およびリードします。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + 58_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTO 15	TAUAnTO 14	TAUAnTO 13	TAUAnTO 12	TAUAnTO 11	TAUAnTO 10	TAUAnTO 09	TAUAnTO 08	TAUAnTO 07	TAUAnTO 06	TAUAnTO 05	TAUAnTO 04	TAUAnTO 03	TAUAnTO 02	TAUAnTO 01	TAUAnTO 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-246 TAUAnTO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOm	このレジスタは、TAUAnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャンネル単体出力機能が許可されている (TAUAnTOEm = 0) TAUAnTOm ビットのみライト可能です。

(2) TAUAnTOL - TAUAn チャネル出力レベル・レジスタ

このレジスタは、チャンネル出力ビット (TAUAnTO.TAUAnTOm) の出力論理を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + 40_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTOL 15	TAUAnTOL 14	TAUAnTOL 13	TAUAnTOL 12	TAUAnTOL 11	TAUAnTOL 10	TAUAnTOL 09	TAUAnTOL 08	TAUAnTOL 07	TAUAnTOL 06	TAUAnTOL 05	TAUAnTOL 04	TAUAnTOL 03	TAUAnTOL 02	TAUAnTOL 01	TAUAnTOL 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-247 TAUAnTOL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOLm	チャンネル m 出力ビット (TAUAnTO.TAUAnTOm) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ)

12.27.6 TAUAn 一斉書き換えレジスタの詳細

(1) TAUAnRDE - TAUAn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUAnCDRm/TAUAnTOLm の一斉書き換えを許可/禁止します。

アクセス 16 ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 260_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE	TAUAnRDE
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-248 TAUAnRDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

(2) TAUAnRDS - TAUAn チャンネル・リロード・データ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

アクセス 16 ビット/1 ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です

アドレス <TAUAn_base_OS> + 268_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS	TAUAnRDS
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-249 TAUAnRDS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDSm	一斉書き換えトリガをモニタするチャンネルを選択します。 0: マスタ・チャンネル 1: 別の上位チャンネル

(3) TAUAnRDM - TAUAn チャンネル・リロード・データ・モード・レジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 264_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUAn RDM	TAUAn RDM	TAUAn RDM
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-250 TAUAnRDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUAnRDE.TAUAnRDEm = 1, TAUAnRDS.TAUAnRDSm = 0 時のみ適用されます。

(4) TAUAnRDC - TAUAn チャンネル・リロード・データ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUAnIm 信号を生成するチャンネルを指定します。

アクセス 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 26C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUAn RDC	TAUAn RDC	TAUAn RDC
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12-251 TAUAnRDC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0: 一斉書き換えトリガ・チャンネルとして動作する 1: 一斉書き換えトリガ・チャンネルとならない。 これらのビット設定は TAUAnRDS.TAUAnRDSm = 1 時のみ適用されます。

(5) TAUAnRDT - TAUAn チャンネル・リロード・データ・トリガ・レジスタ

一斉書き換え保留状態をトリガするレジスタです。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUAn_base_USER> + 44_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDT 15	TAUA nRDT 14	TAUA nRDT 13	TAUA nRDT 12	TAUA nRDT 11	TAUA nRDT 10	TAUA nRDT 09	TAUA nRDT 08	TAUA nRDT 07	TAUA nRDT 06	TAUA nRDT 05	TAUA nRDT 04	TAUA nRDT 03	TAUAn RDT 02	TAUAn RDT 01	TAUAn RDT 00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 12-252 TAUAnRDT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDTm	一斉書き換え保留状態をトリガします。 0: 機能なし 1: 一斉書き換え保留状態をトリガする。一斉書き換え保留フラグ (TAUAnRSFm) が 1 に設定されます。システムは一斉書き換えトリガを待ちます。

(6) TAUAnRSF - TAUAn チャンネル・リロード・ステータス・レジスタ

このフラグ・レジスタは、一斉書き換えのステータスを示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUAn_base_USER> + 48_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRSF 15	TAUA nRSF 14	TAUA nRSF 13	TAUA nRSF 12	TAUA nRSF 11	TAUA nRSF 10	TAUA nRSF 09	TAUA nRSF 08	TAUA nRSF 07	TAUA nRSF 06	TAUA nRSF 05	TAUA nRSF 04	TAUA nRSF 03	TAUAn RSF 02	TAUAn RSF 01	TAUAn RSF 00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12-253 TAUAnRSF レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示します。 1: 一斉書き換え保留状態 (TAUAnRDTm = 1) になっていることを示します。

12.27.7 TAUAn DMA ウィンドウ・レジスタ

(1) TAUAnDASi - TAUAn DMA ウィンドウ・アドレス設定レジスタ i (i = 0-7)

このレジスタは、DMA 用ウィンドウ・レジスタのアドレスを指定します。8 個の TAUAnDASi レジスタが 16 個の TAUAnDWRj レジスタを制御します。つまり、各 TAUAnDASi レジスタが、2 個の TAUAnDWRj レジスタを制御します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス $\langle \text{TAUAn_base_OS} \rangle + 270_{\text{H}} + i \times 4_{\text{H}}$

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nDAS odd7	TAUA nDAS odd6	TAUA nDAS odd5	TAUA nDAS odd4	TAUA nDAS odd3	TAUA nDAS odd2	TAUA nDAS odd1	TAUA nDAS odd0	TAUA nDAS even7	TAUA nDAS even6	TAUA nDAS even5	TAUA nDAS even4	TAUA nDAS even3	TAUA nDAS even2	TAUA nDAS even1	TAUA nDAS even0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

odd = 01, 03, 05, 07, 09, 11, 13, 15

even = 00, 02, 04, 06, 08, 10, 12, 14

TAUAnDASi 制御レジスタと TAUAnDWRj レジスタの関係を次の表に示します。

表 12-254 TAUAnDASi レジスタと TAUAnDWRj レジスタの関係

制御レジスタ	制御ビット	制御対象レジスタ TAUAnDWRj
TAUAnDAS0	ビット 7-0	TAUAnDWR0
TAUAnDAS0	ビット 15-8	TAUAnDWR1
TAUAnDAS1	ビット 7-0	TAUAnDWR2
TAUAnDAS1	ビット 15-8	TAUAnDWR3
TAUAnDAS2	ビット 7-0	TAUAnDWR4
TAUAnDAS2	ビット 15-8	TAUAnDWR5
TAUAnDAS3	ビット 7-0	TAUAnDWR6
TAUAnDAS3	ビット 15-8	TAUAnDWR7
TAUAnDAS4	ビット 7-0	TAUAnDWR8
TAUAnDAS4	ビット 15-8	TAUAnDWR9
TAUAnDAS5	ビット 7-0	TAUAnDWR10
TAUAnDAS5	ビット 15-8	TAUAnDWR11
TAUAnDAS6	ビット 7-0	TAUAnDWR12
TAUAnDAS6	ビット 15-8	TAUAnDWR13
TAUAnDAS7	ビット 7-0	TAUAnDWR14
TAUAnDAS7	ビット 15-8	TAUAnDWR15

表 12-255 TAUAnDASi レジスタの内容

ビット位置	ビット名	機能
15-8	TAUAnDASod[15:8]	00 _H -3C _H :CDR0-CDR15 レジスタを指定 40 _H :TAUAnTOL レジスタを指定 44 _H :TAUAnRDT レジスタを指定 48 _H :TAUAnRSF レジスタを指定 4C _H :TAUAnTRO レジスタを指定 50 _H :TAUAnTME レジスタを指定 54 _H :TAUAnTDL レジスタを指定 58 _H :TAUAnTO レジスタを指定 5C _H :TAUAnTOE レジスタを指定 60 _H -7C _H : 設定禁止 80 _H -BC _H :CNT0-CNT15 レジスタを指定 C0 _H -FC _H : 設定禁止
7-0	TAUAnDASeven[7:0]	00 _H -3C _H :CDR0-CDR15 レジスタを指定 40 _H :TAUAnTOL レジスタを指定 44 _H :TAUAnRDT レジスタを指定 48 _H :TAUAnRSF レジスタを指定 4C _H :TAUAnTRO レジスタを指定 50 _H :TAUAnTME レジスタを指定 54 _H :TAUAnTDL レジスタを指定 58 _H :TAUAnTO レジスタを指定 5C _H :TAUAnTOE レジスタを指定 60 _H -7C _H : 設定禁止 80 _H -BC _H :CNT0-CNT15 レジスタを指定 C0 _H -FC _H : 設定禁止

TAUAnDASi の [9:8], [1:0] は必ず '0' 固定にしてください。

(2) TAUAnDWRj - TAUAn DMA ウィンドウ・レジスタ j

DMA 用のレジスタ (j = 0-15) です。TAUAnDWRj は、対応する TAUAnDASi (i = 0-7) レジスタで指定したアドレスをミラーします (第 15 章「TAUAnDASi - TAUAn DMA ウィンドウ・アドレス設定レジスタ i (i = 0-7)」を参照)。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + 0100_H + j×4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnDASi (i = 0-7) で指定された DMA ウィンドウ・アドレス															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

第13章 タイマ・アレイ・ユニットJ (TAUJ)

この章では、タイマ・アレイ・ユニットJ (TAUJ) について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/MN4 に固有の特徴について説明します。

以降の節で、TAUJ 搭載製品に共通の特徴について説明します。

13.1 V850E2/MN4 の TAUJ の特長

ユニット この製品は次のユニット数の TAUJ を搭載しています。

表 13-1 TAUJ のユニット数

TAUJ	
ユニット数	1
名称	TAUJ0

n の意味 この章では、TAUJ の各ユニットを「n」で識別します (n = 0)。たとえば、TAUJn チャンネル出力モード・レジスタ (TAUJnTOM) のように記述していません。

m の意味 TAUJ には 4 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており (m = 0-3)、特定のチャンネルを CHm のように記述しています。偶数チャンネル (m = 0, 2) は CHm_even と記述します。奇数チャンネル (m = 1, 3) は CHm_odd と記述します。

レジスタ・アドレス TAUJn レジスタのアドレスは、それぞれのベース・アドレス <TAUJn_base> からのオフセットで表されます。各 TAUJn のレジスタ・ベース・アドレス <TAUJn_base> を次の表に示します。

表 13-2 レジスタ・ベース・アドレス

TAUJn	ベース・アドレス	アドレス
TAUJ0	<TAUJn_base_USER>	FFFF C200 _H
	<TAUJn_base_OS>	FF81 1000 _H

クロック供給 TAUJ には次の 1 つのクロック入力があります。

表 13-3 TAUJn クロック供給

TAUJn	クロック	接続先
TAUJ0	PCLK	f _{PCLK}

割り込みと DMA/DTS TAUJ は次の割り込み要求と DMA/DTS 要求を発生させることができます。

表 13-4 TAUJn 割り込みと DMA/DTS の要求

TAUJn 信号	機能	接続先
TAUJ0:		
INTTAUJ0I0	チャンネル 0 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUJ0I0 • DMA コントローラ・トリガ 84 • DTS コントローラ・トリガ 84
INTTAUJ0I1	チャンネル 1 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUJ0I1 • DMA コントローラ・トリガ 85 • DTS コントローラ・トリガ 85
INTTAUJ0I2	チャンネル 2 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUJ0I2 • DMA コントローラ・トリガ 86 • DTS コントローラ・トリガ 86
INTTAUJ0I3	チャンネル 3 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTTAUJ0I3 • DMA コントローラ・トリガ 87 • DTS コントローラ・トリガ 87

入出力信号 TAUJ の入出力信号を次の表に示します。

表 13-5 TAUJn 入出力信号

TAUJ 信号	機能	接続先
TAUJ0:		
TAUJ0TTIN0- TAUJ0TTIN3	チャンネル 0-3 入力	ポート TJ_I0-TJ_I3
TAUJ0TTOUT0- TAUJ0TTOUT3	チャンネル 0-3 出力	ポート TJ_O0-TJ_O3

内部信号 TAUJ の内部信号を次の表に示します。

表 13-6 TAUJn 内部信号

TAUJ 信号	機能	接続先
TAUJ0:		
TAUJnTSSTm	チャンネル連動スタート・トリガ入力	PIC

13.2 機能概要

機能概要 TAUJには、次の機能があります。

- 4 チャンネル
- チャンネルごとの 32 ビット・カウンタおよび 32 ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

TAUJの主な構成要素を次の図に示します。

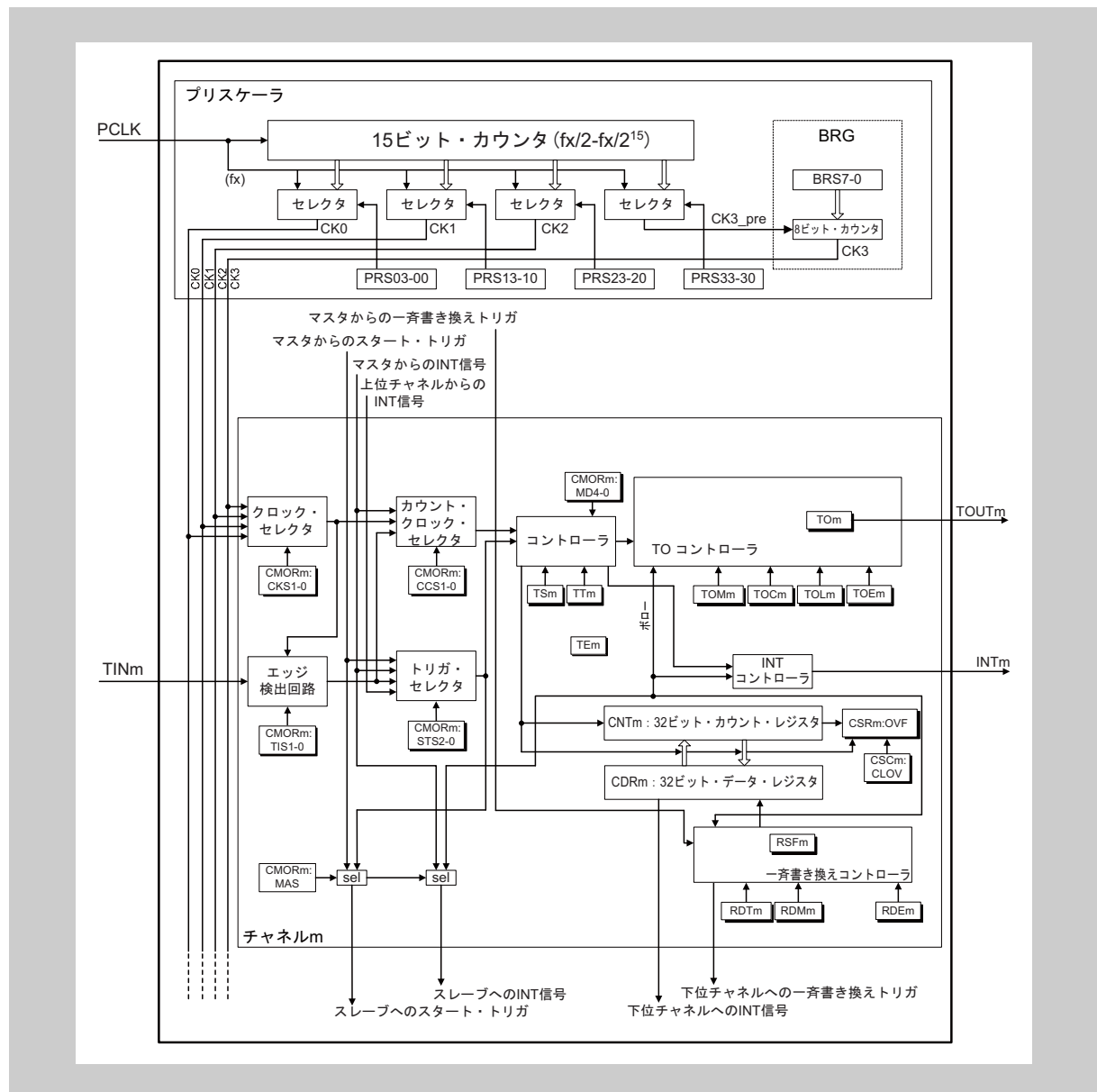


図 13-1 TAUJのブロック図

レジスタ名およびブロック図内の「TAUJn」は、省略されています。

13.2.1 用語

この章で使用されている用語について説明します。

- **チャンネル単体／連動動作**

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

- **チャンネル・グループ**

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

- **動作モード**

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャ・モード、インターバル・タイマ・モードなどがあります。

- **チャンネル出力モード**

チャンネル出力モードは、次のチャンネルの TAUJnTTOUTm の動作を規定します。

- 1つのチャンネル（単体出力動作）
 - チャンネル・グループに属するすべてのチャンネル（連動出力動作）
- チャンネル出力モードには、チャンネル単体出力モード1があります。

- **チャンネル動作機能**

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

- **上位／下位チャンネル**

チャンネル m から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル2に対してチャンネル1は上位チャンネル、チャンネル3は下位チャンネルです。

13.3 機能説明

TAUJは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための32ビット・カウンタTAUJnCNTmと32ビット・データ・レジスタTAUJnCDRmをそれぞれ備えた4チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、2つの動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

プリスケアラ

プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号(CK0-CK3)を供給します。

カウント・クロックCK0-CK2は、プリスケアラによりPCLKの 2^0 - 2^{15} の分周したクロックを選択することができます。4つ目のカウント・クロックCK3は、BRGを使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよび カウント・クロック の選択

クロック・カウント・セレクタは、各チャンネルに対してクロック・ソースを次から選択します。

- CK0-CK3のいずれかのクロック (クロック・セレクタにより選択)
- マスタ・チャンネルからのINTTAUJnIm
- TAUJnTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUJnCMORm.TAUJnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUJnTS.TAUJnTSm) およびカウント停止 (TAUJnTT.TAUJnTTm)

カウントの開始を許可すると、ステータス・フラグTAUJnTE.TAUJnTEmがセットされます。

トリガ・セレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUJnTE.TAUJnTEm = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャンネル連動スタート・トリガ入力TAUJnTSSTm
ユニット間の同時スタート方法についての詳細は、表13-6「TAUJn内部信号」を参照してください。
- TAUJnTTINm 入力の有効エッジ

- マスタ・チャンネルからの INTTAUJnIm

一斉書き換えコントローラ 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUJnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。

TAUJnTO コントローラ 各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

13.3.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 13-7 TAUJ 動作機能一覧

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
TAUJnTTINm 入力インターバル・タイマ機能	
チャンネル単体信号測定機能	
オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)	
TAUJnTTINm 入力期間カウント検出機能	
オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)	
TAUJnTTINm 入力パルス・インターバル判定機能	
TAUJnTTINm 入力信号幅判定機能	
その他チャンネル単体機能	
TAUJnTTINm 入力位置検出機能	

13.4 基本操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止しています。クロックの供給が開始されると、各レジスタへの書き込みが可能になります。TAUJnTTOUTm の制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
 - 動作モードを設定してください。
 - チャネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTSM ビットを 1 に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウンタ動作中、必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. 停止する場合は、TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備考 必要な制御ビットと各機能の動作の詳細は、
907 ページの 13.14 「チャンネル単体割り込み機能」
921 ページの 13.15 「チャンネル単体信号測定機能」
952 ページの 13.16 「その他のチャンネル単体機能」
を参照してください。

13.5 動作モード

TAUJには7つの動作モードがあります。

各チャンネルに動作モードを1つ指定できます。動作モードは、TAUJnCMORm.TAUJnMD[4:0] ビットで指定します。

備考 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

13.6 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、13.6.1「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 887 ページの 13.6.2 「連動チャンネル・カウンタの同時動作開始/停止」
- 888 ページの 13.7 「一斉書き換え」

13.6.1 ルール

マスタおよびスレーブ・チャンネル数

- マスタ・チャンネルには、偶数チャンネル (CH0, CH2) のみ設定できます。スレーブ・チャンネルには、CH0 を除くすべてのチャンネルを設定できます。
- マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。
例：CH2 がマスタ・チャンネルの場合、CH3 をスレーブ・チャンネルに設定できます。
- マスタ・チャンネルを2つ使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。
例：CH0, CH2 がマスタ・チャンネルの場合、CH0 に対して CH1 までをスレーブ・チャンネルとして設定できますが、CH3 は設定できません。

動作クロック

- マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルの TAUJnCMORm.TAUJnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

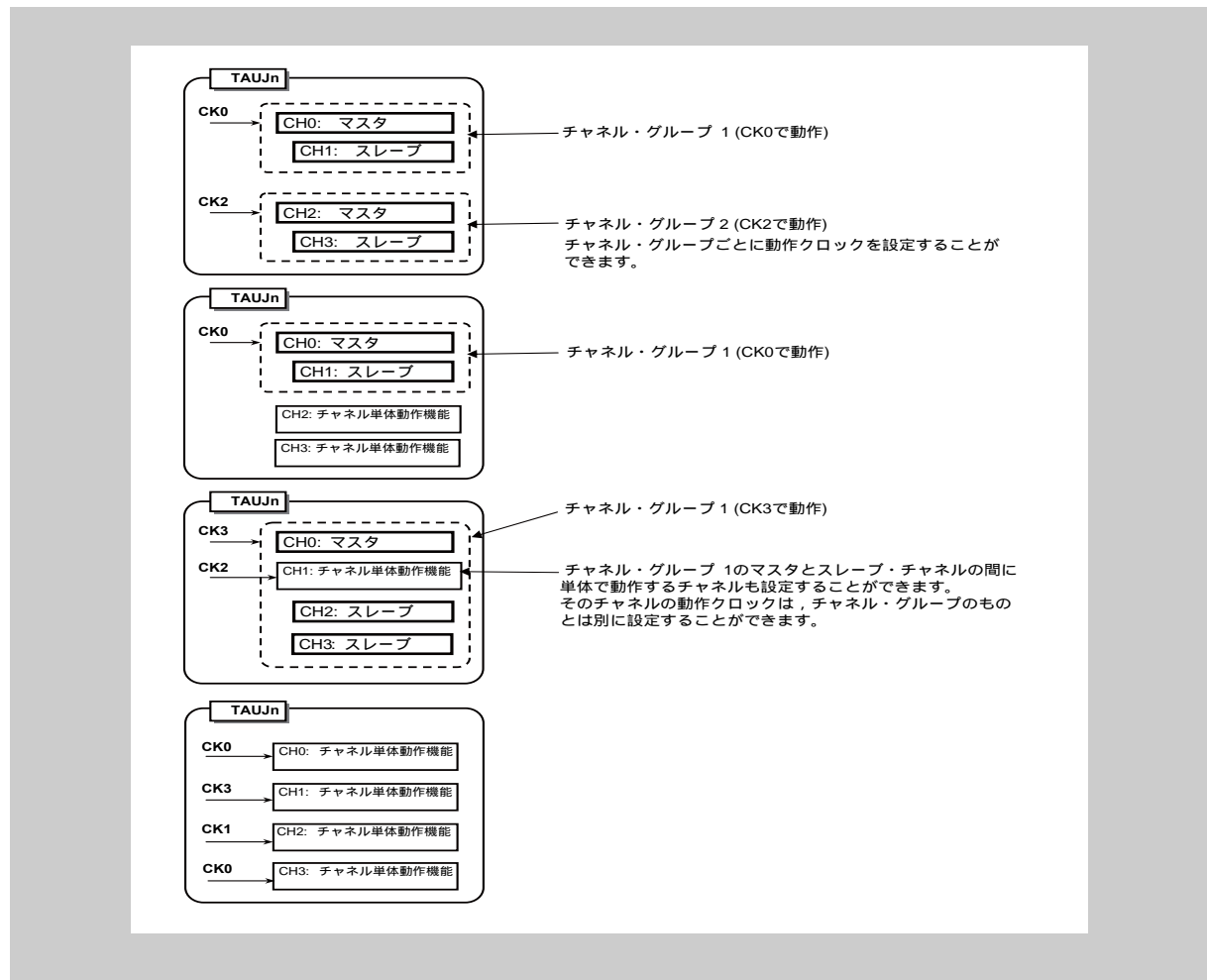


図 13-2 チャンネルのグループ化と動作クロックの割り当て

マスタ・チャンネル、スレーブ・チャンネルの制御トリガ信号

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号を使用できませんが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

13.6.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

(1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらのTAUJnTS.TAUJnTSM ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらのTAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSM ビットに1を設定することにより、対応するTAUJnTE.TAUJnTEm ビットが1にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は、表 13-6 「TAUJn 内部信号」を参照してください。

13.7 一斉書き換え

13.7.1 概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータ・レジスタと制御レジスタ (TAUJnCDRm, TAUJnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、マスタ・チャンネルのカウンタが特定の値に達した場合にトリガされます。

一斉書き換えの設定を次の表に示します (TAUJnRDM.RDMm = 0)。

表 13-8 一斉書き換えの設定

方式	一斉書き換えがトリガされるタイミング	TAUJnRDE. TAUJnRDEm
-	一斉書き換えが行われない場合	0
A	マスタ・チャンネルがカウントを再開/開始した場合	1

13.7.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

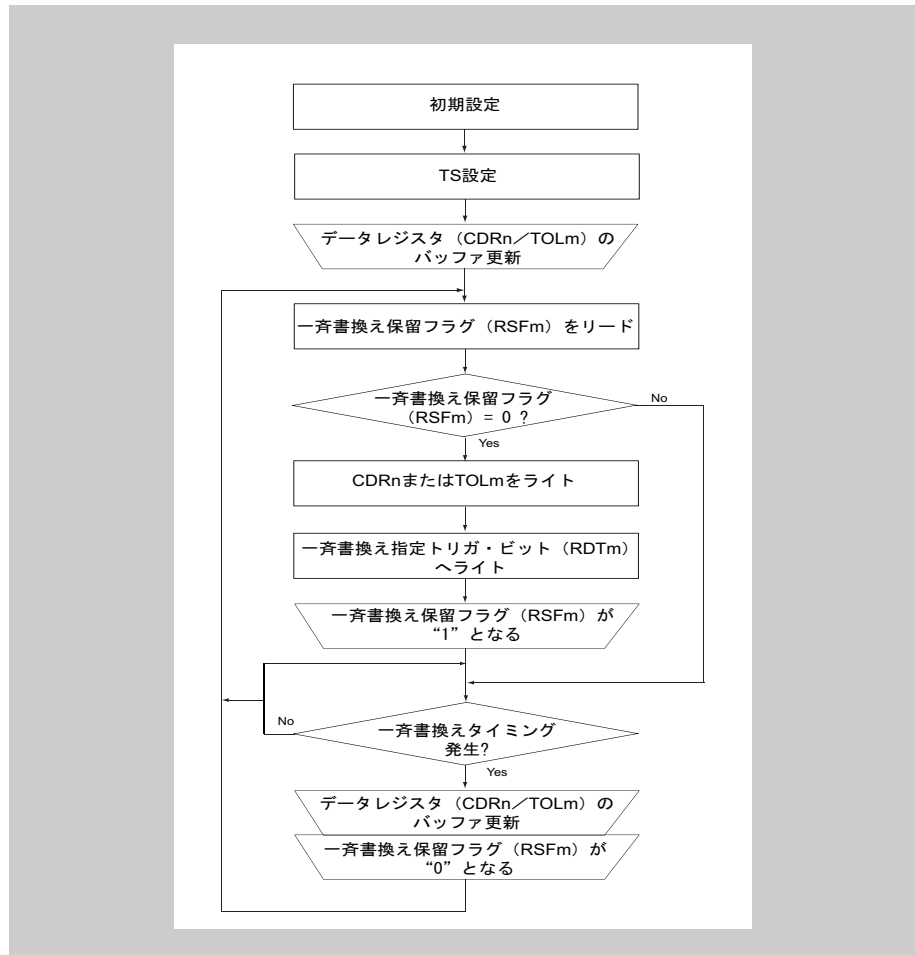


図 13-3 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、
TAUJnRDE.TAUJnRDEm = 1 を設定してください。
- マスタ・チャンネルがカウント開始時に一斉書き換えの種類を選ぶには、
TAUJnRDM.TAUJnRDMm を設定してください。

(2) カウント開始とカウント動作

- チャンネル・グループに属するすべての TAUJnCNTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSM ビットを 1 に設定してください。TAUJnTOL.TAUJnTOLm とデータ・レジスタ (TAUJnCDRm) の値は、対応する TAUJnTOL.TAUJnTOLm バッファ (TAUJnTOL.TAUJnTOLm buf) とデータ・バッファ・レジスタ (TAUJnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、リロード・フラグ (TAUJnRSF.TAUJnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUJnRSF.TAUJnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されているかを確認するために TAUJnRSF.TAUJnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されると、データ・レジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUJnRSF.TAUJnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

13.7.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUJnTE.TAUJnTEm = 1) は、TAUJnRDE.TAUJnRDEm, TAUJnRDM.TAUJnRDMm を変更することはできません。
- TAUJnTOL.TAUJnTOLm は、PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUJnTOL.TAUJnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUJnTTOUTm は不正な波形を出力します。

13.7.4 一斉書き換えの方法

マスタ・チャンネルがカウント開始／再開時に一斉書き換えは行われます。
一斉書き換えの方法を次の図で示します。

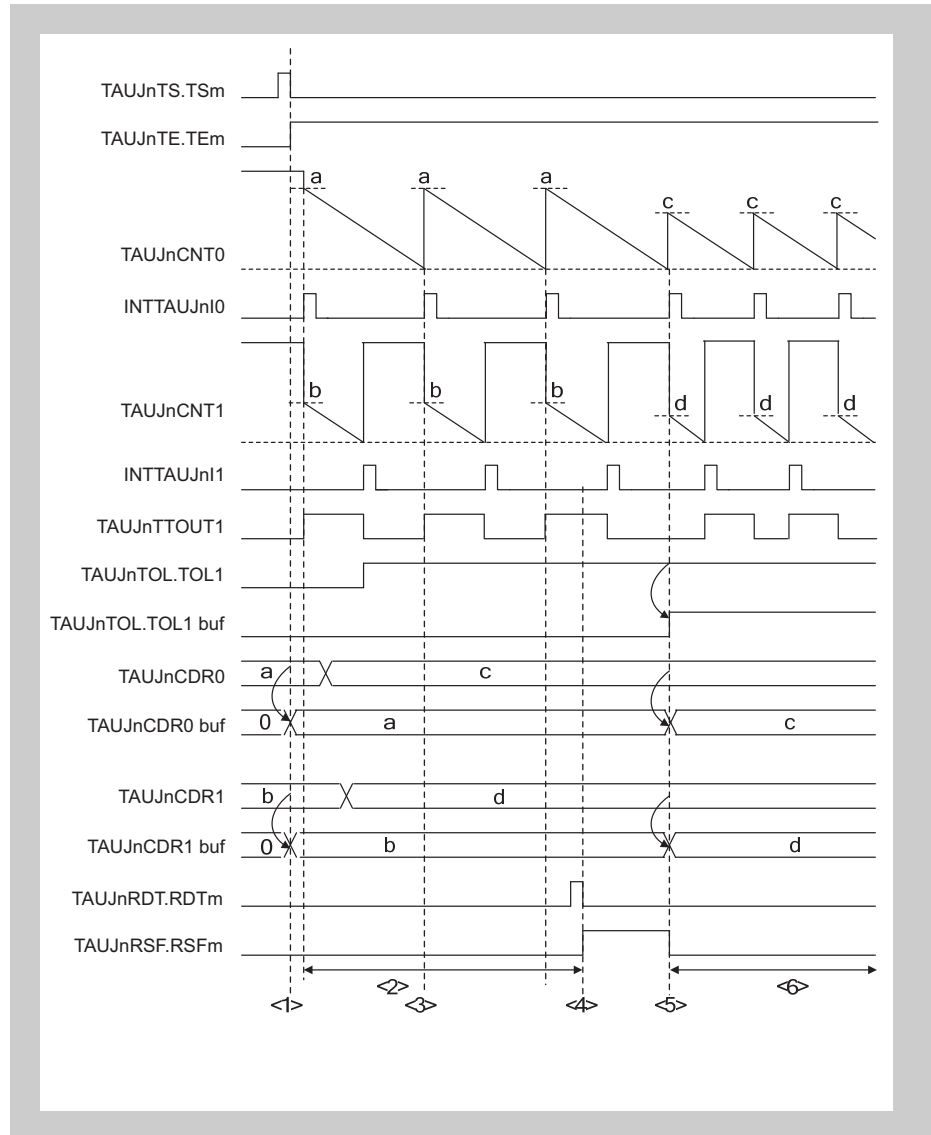


図 13-4 マスタ・チャンネルがカウントを再開／開始した場合の一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換えは、マスタ・チャンネルがカウント開始時に適用されます。

説明：

1. TAUJnTS.TAUJnTSM = 1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。
2. TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込みます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUJnRSF.TAUJnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUJnRSF.TAUJnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

13.8 チャンネル出力モード

TAUJnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUJnTOE.TAUJnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUJnTO.TAUJnTOM) に書き込んだ値は、出力端子 (TAUJnTTOUTm) から出力されます。

- TAUJ 信号による制御 (TAUJnTOE.TAUJnTOEm = 1)

TAUJ 信号で制御した場合、TAUJnTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUJnTTOUTm の値を反映するために、TAUJnTO.TAUJnTOM の値は更新されます。

- 単体制御 (TAUJnTOM.TAUJnTOMm = 0)

単体動作の場合、TAUJnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUJnTOM.TAUJnTOMm = 0) する必要があります。

- 連動制御 (TAUJnTOM.TAUJnTOMm = 1)

連動動作の場合、TAUJnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUJnTOM.TAUJnTOMm = 1)。

TAUJnTO.TAUJnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJnTTOUTm の現在の値を確認することができます。

制御ビット 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、894 ページの表 13-9 「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 896 ページの 13.8.2 「TAUJn 信号により単体制御されるチャンネル出力モード」
- 897 ページの 13.8.3 「TAUJn 信号により連動制御されるチャンネル出力モード」

TAUJnTOM ビットの一括操作 TAUJnTOM ビットへの設定値の反映 / 非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUJnTOM の設定値の書き込みが行われます。TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUJnTOM の設定値は反映されません。

備考 TAUJnTO.TAUJnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理 出力の正論理または反転論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJnTTOUm 信号の出力は不定になります。

888 ページの 13.7 「一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを次の表に示します (TAUJnTOC.TAUJnTOCm = 0)。

表 13-9 チャンネル出力モード

チャンネル出力モード	TAUJnTOE. TAUJnTOEm	TAUJnTOM. TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャンネル単体出力モード	0	X
TAUJ 信号による単体動作制御		
チャンネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャンネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- "x" が記されているビットは、任意の値を設定できます。

備考 次のビットは、カウント動作中 (TAUJnTE.TAUJnTEm = 1) は変更できません。

- TAUJnTOE.TAUJnTOEm
- TAUJnTOM.TAUJnTOMm
- TAUJnTOC.TAUJnTOCm

13.8.1 チャンネル出力モードを指定するための基本手順

TAUJnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUJnTOE.TAUJnTOEm = 0)。

1. TAUJnTO.TAUJnTOm を設定して TAUJnTTOUTm 出力の初期レベルを指定してください。
2. 894 ページの表 13-9 「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUJnTS.TAUJnTSm = 1)。

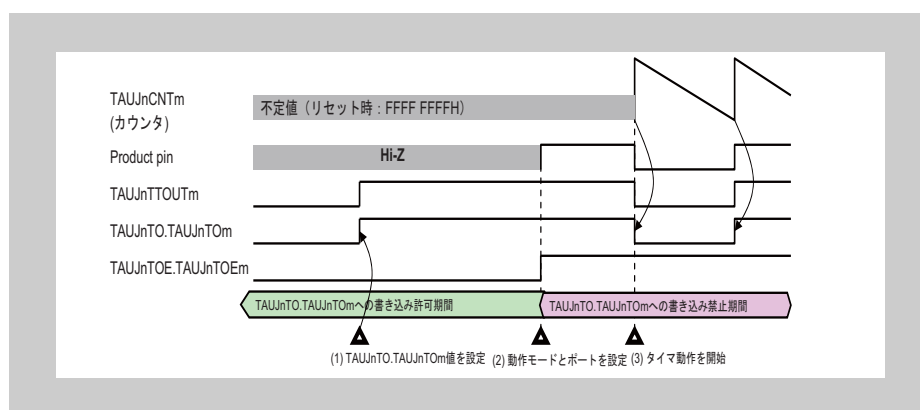


図 13-5 TAUJnTTOUTm チャンネル出力モードを指定するための基本手順

13.8.2 TAUJn 信号により単体制御されるチャンネル出力モード

この節では、TAUJn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、894 ページの表 13-9 「チャンネル出力モード」に示します。

(1) チャンネル単体出力モード 1

セット/リセット条件	この出力モードでは、INTTAUJnIm が検出されると TAUJnTTOUtm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。
前提条件	894 ページの表 13-9 「チャンネル出力モード」に示す条件以外の条件はありません。

13.8.3 TAUJn 信号により連動制御されるチャンネル出力モード

この節では、TAUJn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、894 ページの表 13-9 「チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件 この出力モードでは、マスタ・チャンネルの INTTAUJnIm がセット信号、スレーブ・チャンネルの INTTAUJnIm がリセット信号となります。マスタ・チャンネルの INTTAUJnIm とスレーブ・チャンネルの INTTAUJnIm が同時発生した場合、スレーブ・チャンネルの INTTAUJnIm (リセット信号) は、マスタ・チャンネルの INTTAUJnIm (セット信号) より優先されます (マスタ・チャンネルは無視されます)。

前提条件 894 ページの表 13-9 「チャンネル出力モード」に示す条件以外の条件はありません。

13.9 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注意 本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

13.9.1 インターバル・タイマ・モード, キャプチャ・モード

TAUJnTS.TAUJnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

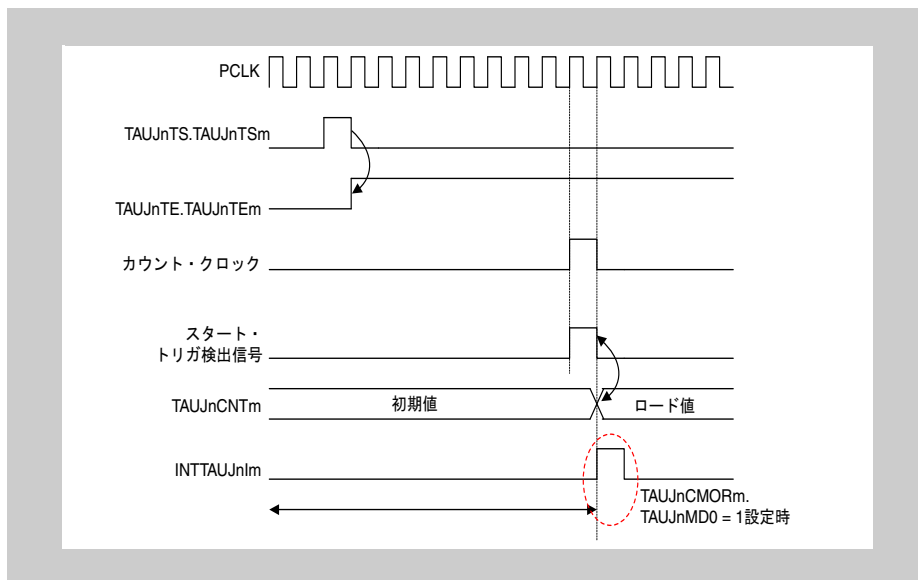


図 13-6 インターバル・タイマ・モード, キャプチャ・モードでの開始タイミング

13.9.2 その他の動作モード

その他の動作モードでは、カウント・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUJnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データ・レジスタ値もロードされます。カウント・クロック・サイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

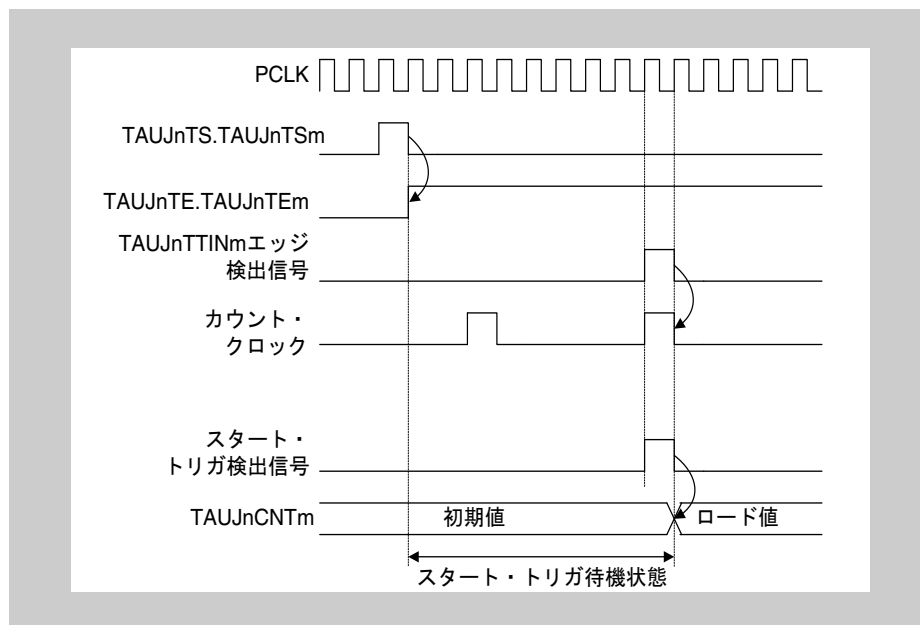


図 13-7 その他の動作モードでのカウント開始タイミング

13.10 カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)

カウンタのカウント開始時，TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。次の表に示すように，ビットの影響は，選択したモードに依存します。INTTAUJnIm の TAUJnTTOUTm に対する影響は，選択したチャネル動作機能に依存します。

表 13-10 カウンタがトリガされた場合の TAUJnCMORm.TAUJnMD0 ビットの INTTAUJnIm 発生に対する影響

モード	TAUJnCMORm.TAUJnMD0 ビット	カウント開始／再開時，または TAUJnTTINm 入力信号のトリガ検出時の INTTAUJnIm 発生
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	0	発生しない
	1	発生
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	0	発生しない
ワンカウント・モード ゲート・カウント・モード	0/1	TAUJnCMORm.TAUJnMD0 ビットの設定にかかわらず発生しない

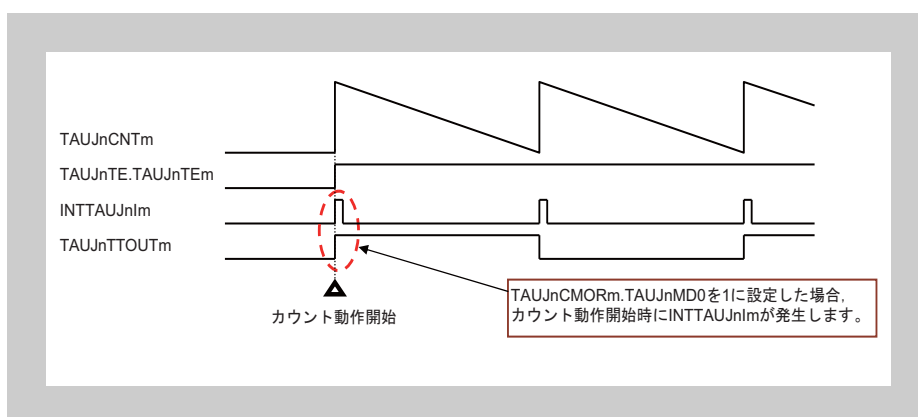


図 13-8 カウント開始時の INTTAUJnIm 発生

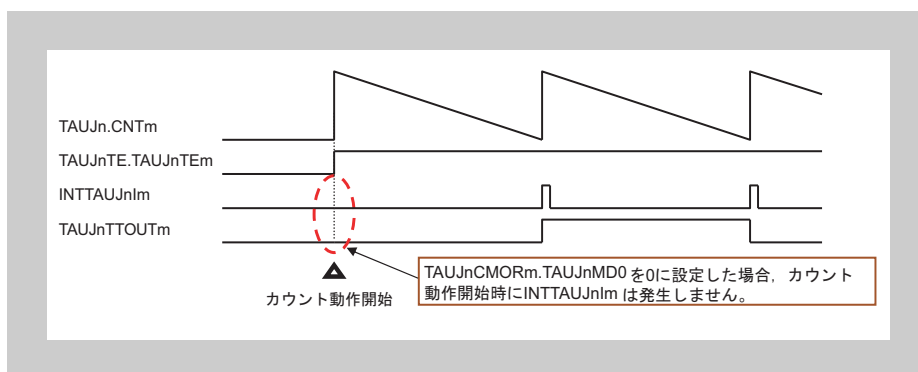


図 13-9 カウント開始時に INTTAUJnIm が発生しない

13.11 特定機能におけるオーバフロー時の割り込み発生

特定の単体機能では、アップ・カウント時にカウンタ値が FFFF FFFF_H になりオーバフローになる際、割り込みが発生しません。この節では、アップ・カウントを行うモードでのチャネル動作と、ダウン・カウントを行うモードでのチャネル動作を組み合わせることで割り込みを発生させる方法を説明します。

どの動作モードがセカンド・チャネルに適切かは、ファースト・チャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンド・チャネルに、ファースト・チャネルでのオーバフロー発生と同時に 0000 0000_H になるようなダウン・カウントを行う動作モードを設定します (TAUJnCNTm = FFFF FFFF_H)。
- セカンド・チャネルの TAUJnCDRm を FFFF FFFF_H に設定します。
- 2つのチャネルは同じ速度でカウントを行う必要があります (つまり、カウント・クロックが同じでなければなりません)。
- 両チャネルが同じ TAUJnTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定 (TAUJnCMORm.TAUJnSTS[2:0] と TAUJnCMURm.TAUJnTIS[1:0]) は同じである必要があります。
-

結果：ファースト・チャネルのアップ・カウンタでのオーバフロー発生 (TAUJnCNTm = FFFF FFFF_H) と同時にセカンド・チャネルのダウン・カウンタが 0000 0000_H になります。そしてセカンド・チャネルは任意の割り込みを発生させます。

以降の節で、アップ・カウントを行う動作モードとの組み合わせに必要なダウン・カウントを行う動作モードの一覧と、タイミング図の例を示します。

13.11.1 キャプチャ・モード

適用機能 • TAUJnTTINm 入力パルス・インターバル測定機能

組み合わせるモード インターバル・タイマ・モード

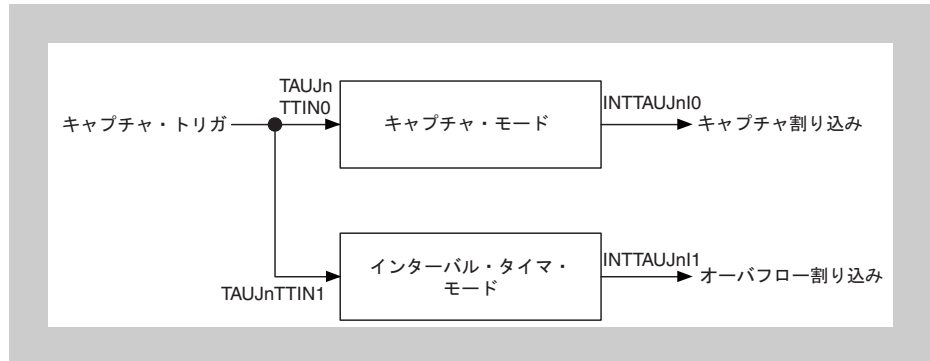


図 13-10 キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

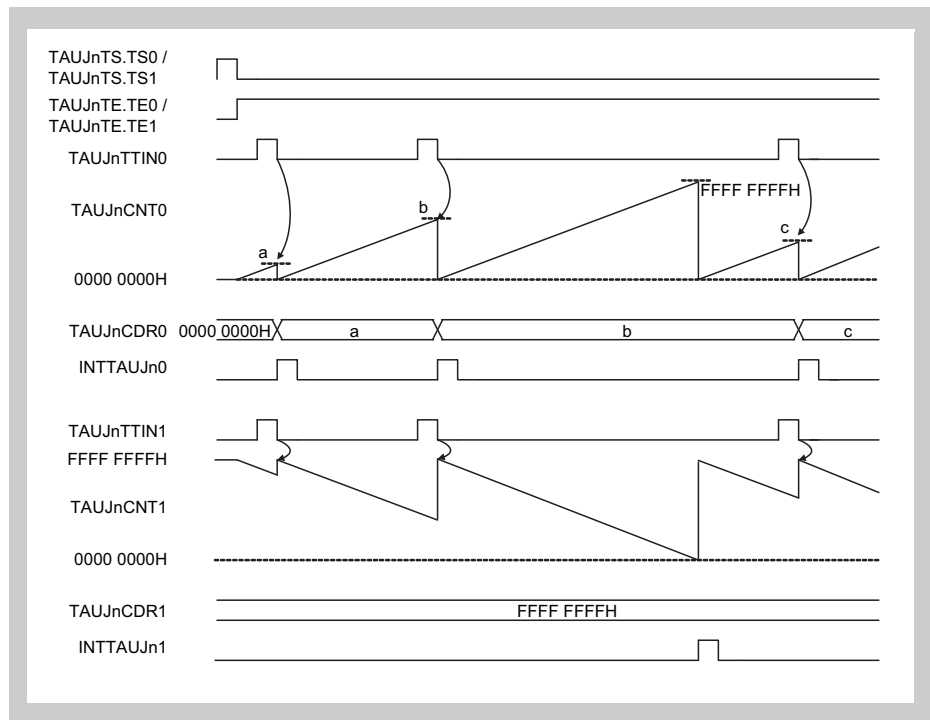


図 13-11 キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

13.11.2 キャプチャ & ワンカウント・モード

適用機能 • TAUJnTTINm 入力信号幅測定機能

組み合わせるモード ワンカウント・モード

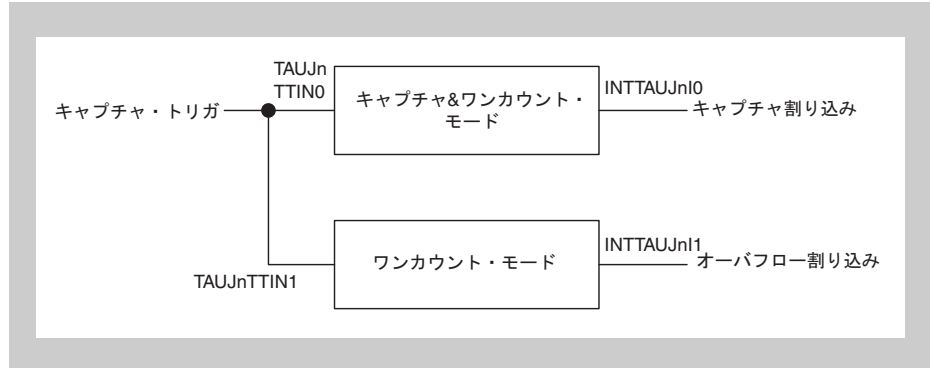


図 13-12 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせ

タイミング図

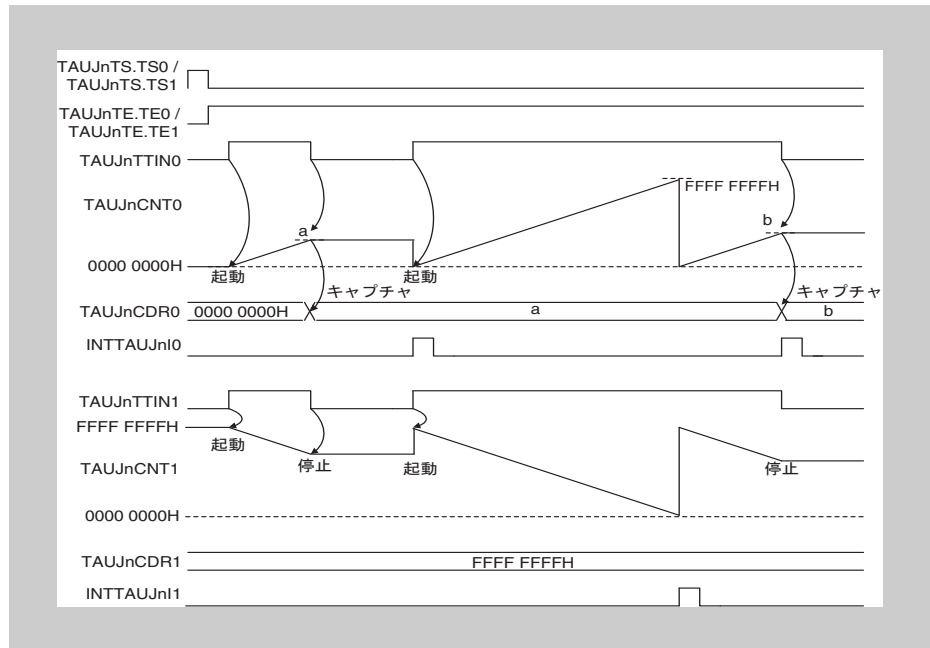


図 13-13 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせによる割り込み発生

13.11.3 カウント・キャプチャ・モード

適用機能 • TAUJnTTINm 入力位置検出機能

組み合わせるモード インターバル・タイマ・モード

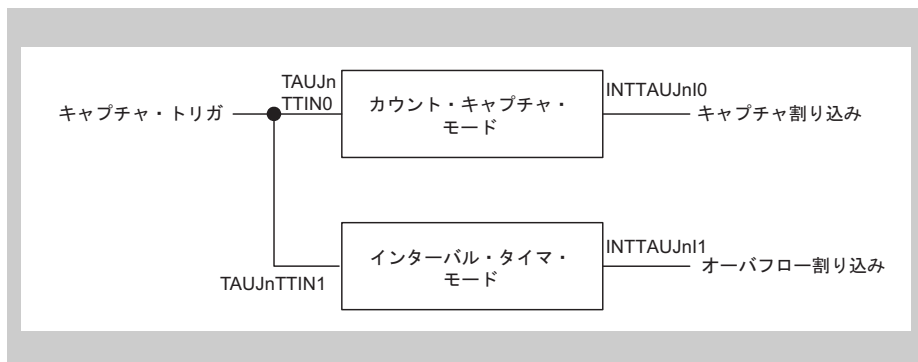


図 13-14 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

タイミング図

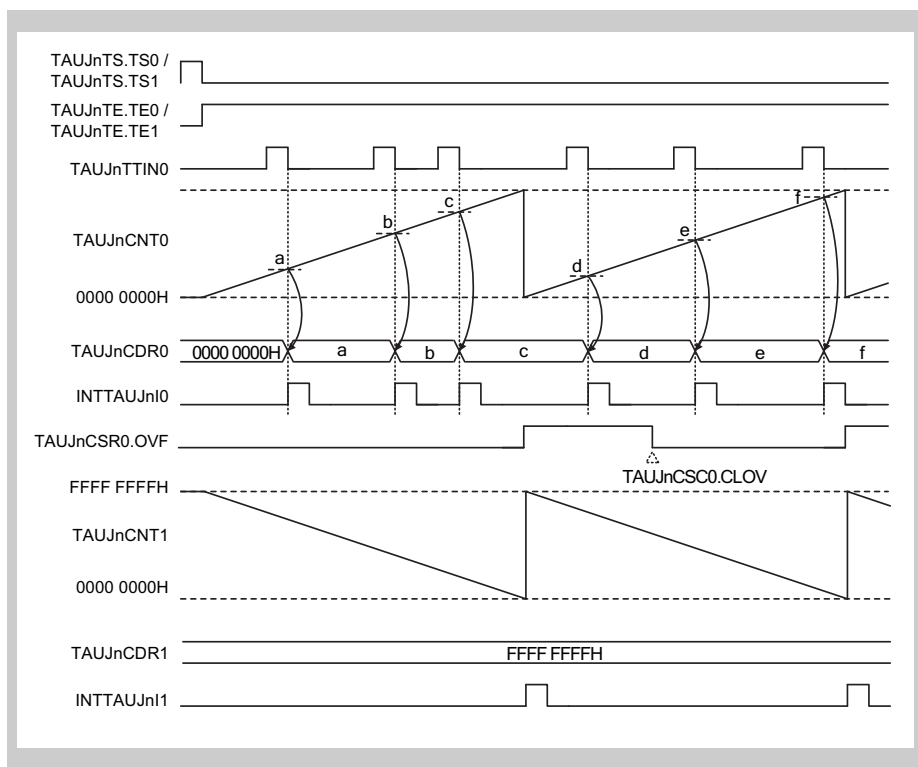


図 13-15 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

上の図では、TAUJnCNTm がオーバーフローになったときに TAUJnCSRm.TAUJnOVF が 1 に設定されています。TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV へ 1 を書き込むことによりクリアされます。

13.11.4 キャプチャ&ゲート・カウント・モード

適用機能 • TAUJnTTINm 入力期間カウント検出機能

組み合わせるモード ゲート・カウント・モード

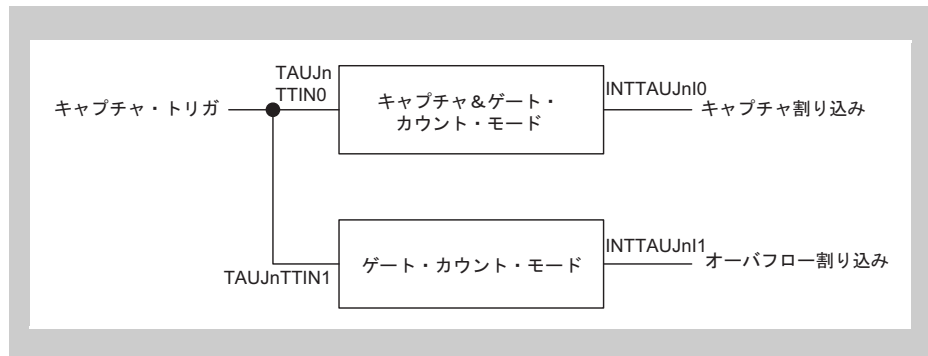


図 13-16 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせ

タイミング図

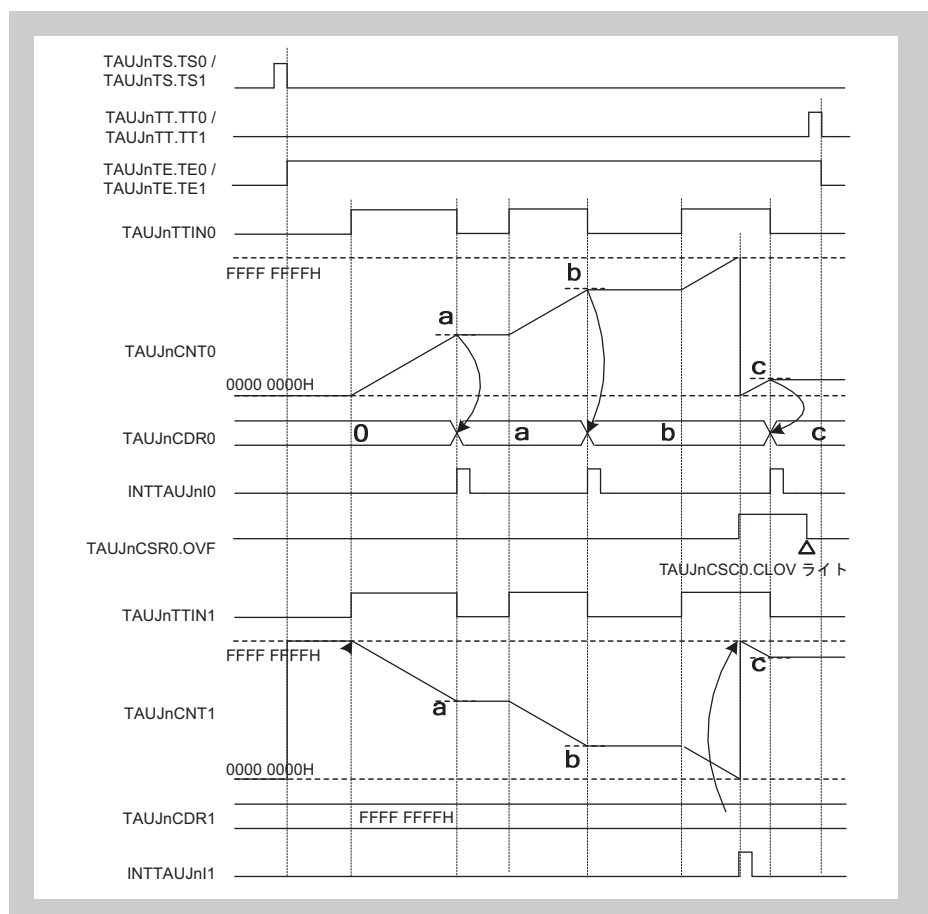


図 13-17 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせによる割り込み発生

上の図では、TAUJnCNTm がオーバーフローになったときに TAUJnCSRm.TAUJnOVF が 1 に設定されています。TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV へ 1 を書き込むことによりクリアされます。

13.12 TAUJnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

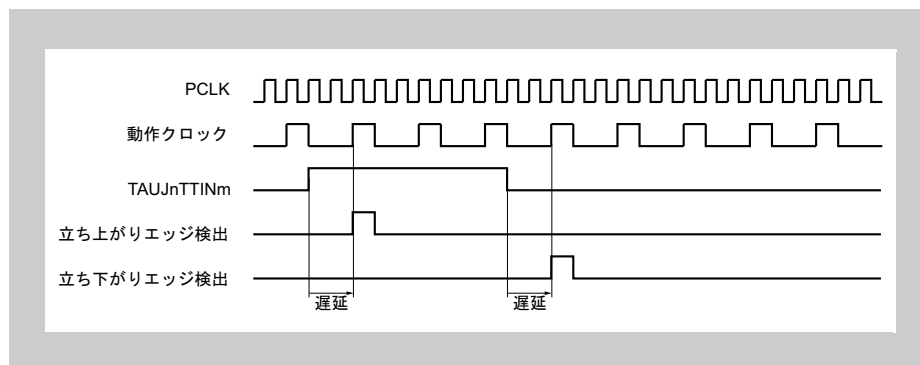


図 13-18 エッジ検出基本動作タイミング

図 13-18 は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

13.13 チャンネル単体動作機能

TAUJ の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、881 ページの 13.3 「機能説明」を参照してください。

13.14 チャンネル単体割り込み機能

この節では、一定間隔で割り込みを発生する機能を示します。

- 13.14.1 「インターバル・タイマ機能」
- 13.14.2 「TAUJnTTINm 入インターバル・タイマ機能」

13.14.1 インターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔でタイマ割り込み (INTTAUJnlm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (910 ページの表 13-11 「インターバル・タイマ機能の TAUJnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。893 ページの 13.8 「チャンネル出力モード」を参照してください。

機能説明 チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000 0000_H になると、INTTAUJnlm が発生し、TAUJnTTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJnTTOUTm は停止しますが、値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

- 条件** TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJnTTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJnTTOUTm 信号が出力されます。詳細は、900 ページの 13.10 「カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnlm 生成 (TAUJnMD0 ビット)」を参照してください。

(2) 算出式

INTTAUJnlm の周期 = カウント・クロック周期 × (TAUJnCDRm + 1)

TAUJnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUJnCDRm + 1) × 2

注意 インターバル・タイマ割り込みの周期の最小値は 1/ (PCLK/2) です。

(3) ブロック図と基本タイミング図

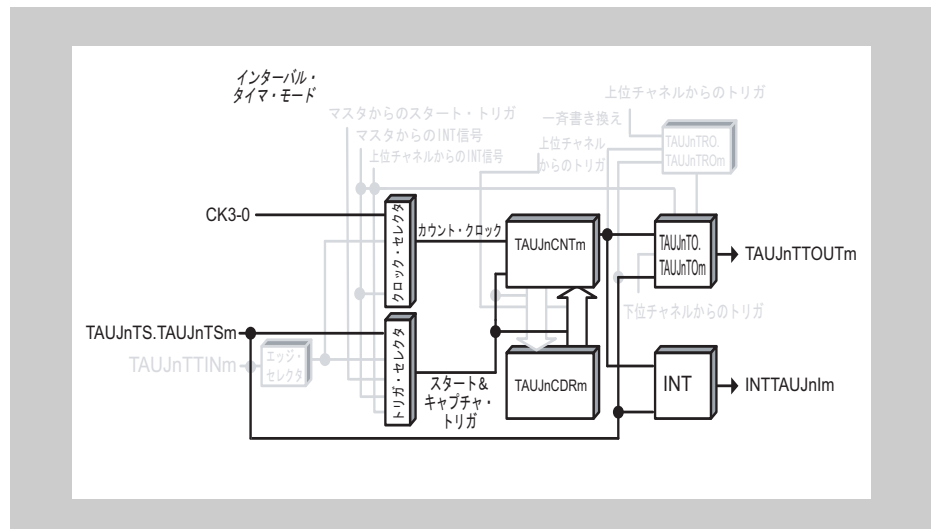


図 13-19 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORM.TAUJnMD0 = 1)

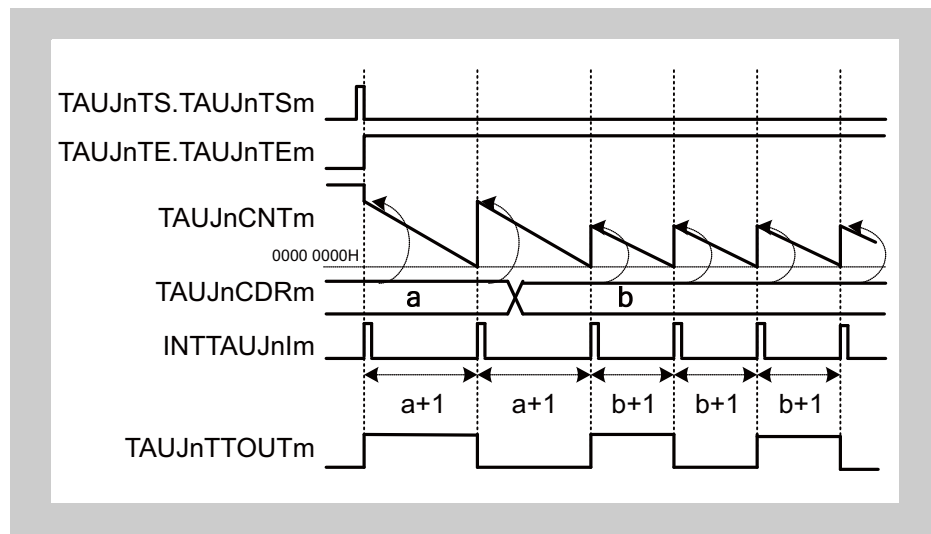


図 13-20 インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		-	TAUJnMD[4:1]				TAUJnMD0

表 13-11 インターバル・タイマ機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	0000: インターバル・タイマ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生せず, TAUJnTTOUtm はトグルされない 1: 動作開始または再開時に INTTAUJnIm が発生し, TAUJnTTOUtm はトグルされる

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-12 インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用, 00 を設定

(c) チャネル出力モード

表 13-13 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウ・レベル 1: ハイ・レベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1 (TAUJnTOM.TAUJnTOMm = 0 時は トグル・モード)
TAUJnTOL.TAUJnTOLm	0: 正論理

備考 チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUm を割り込みとは独立させて制御することができます。詳細は893ページの13.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-14 インターバル・タイマ機能の一斉書き換え設定

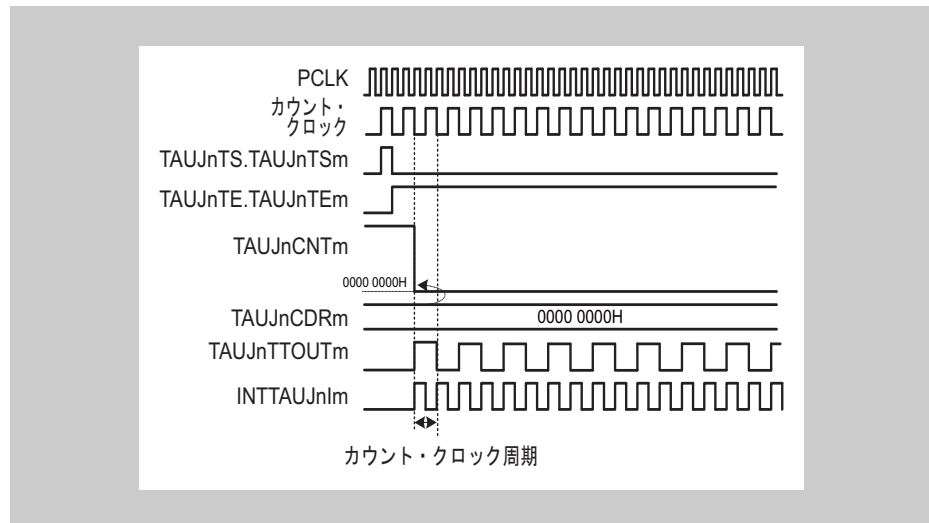
ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) インターバル・タイマ機能の操作手順

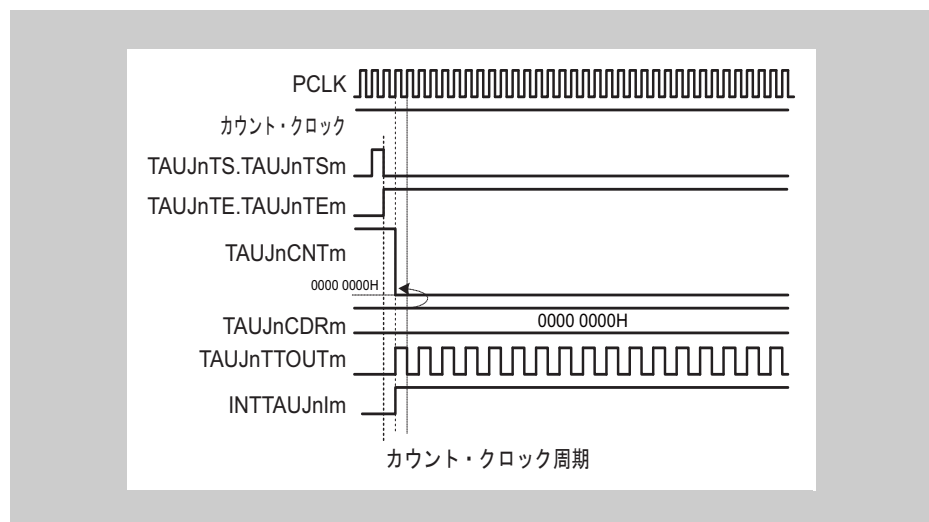
表 13-15 インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
動作再開 ↓	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを 910 ページの表 13-11 「インターバル・タイマ機能の TAUJnCMORm 設定」、910 ページの表 13-12 「インターバル・タイマ機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを 911 ページの表 13-13 「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。
	動作中 TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウン・カウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウント動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) $\text{TAUJnCDRm} = 0000\ 0000_{\text{H}}$, カウント・クロック = $\text{PCLK}/2$ 図 13-21 $\text{TAUJnCDRm} = 0000\ 0000_{\text{H}}$, カウント・クロック = $\text{PCLK}/2$

- $\text{TAUJnCDRm} = 0000\ 0000_{\text{H}}$, かつカウント・クロック = $\text{PCLK}/2^1$ の場合、カウント・クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、 TAUJnCNTm は常に $0000\ 0000_{\text{H}}$ です。
- INTTAUJnIm がカウント・クロックごとに発生するので、 TAUJnTTOUTm はカウント・クロックごとにトグルされます。

(b) $\text{TAUJnCDRm} = 0000\ 0000_{\text{H}}$, カウント・クロック = PCLK 図 13-22 $\text{TAUJnCDRm} = 0000\ 0000_{\text{H}}$, カウント・クロック = PCLK

- $\text{TAUJnCDRm} = 0000\ 0000_{\text{H}}$, かつカウント・クロック = PCLK の場合、 PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、 TAUJnCNTm は常に $0000\ 0000_{\text{H}}$ です。
- 継続的に INTTAUJnIm が発生し、 PCLK クロックごとに TAUJnTTOUTm がトグルされます。

(c) 動作の停止と再開

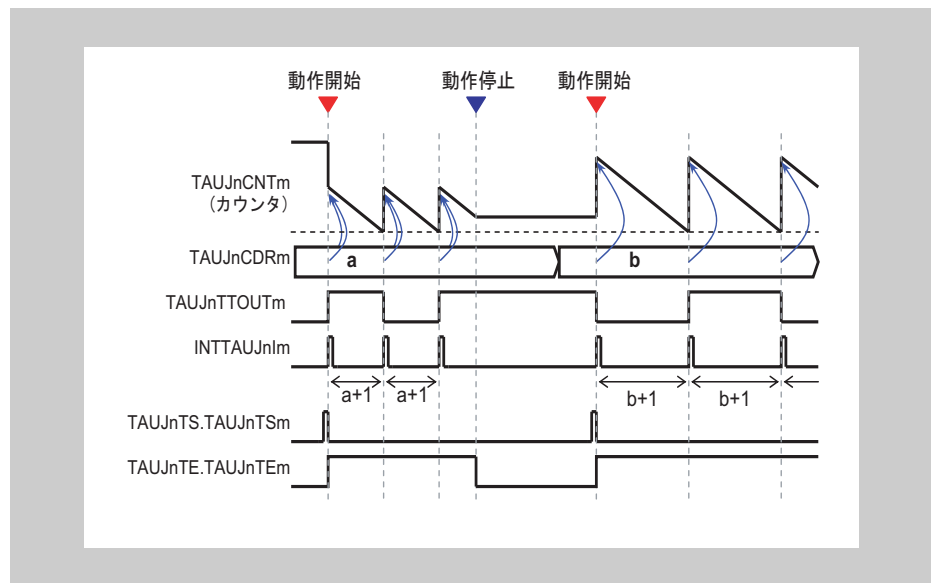


図 13-23 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 1)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm と TAUJnTTOUtm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTsm を 1 に設定すると、カウントを再開できます。

(d) 強制リスタート

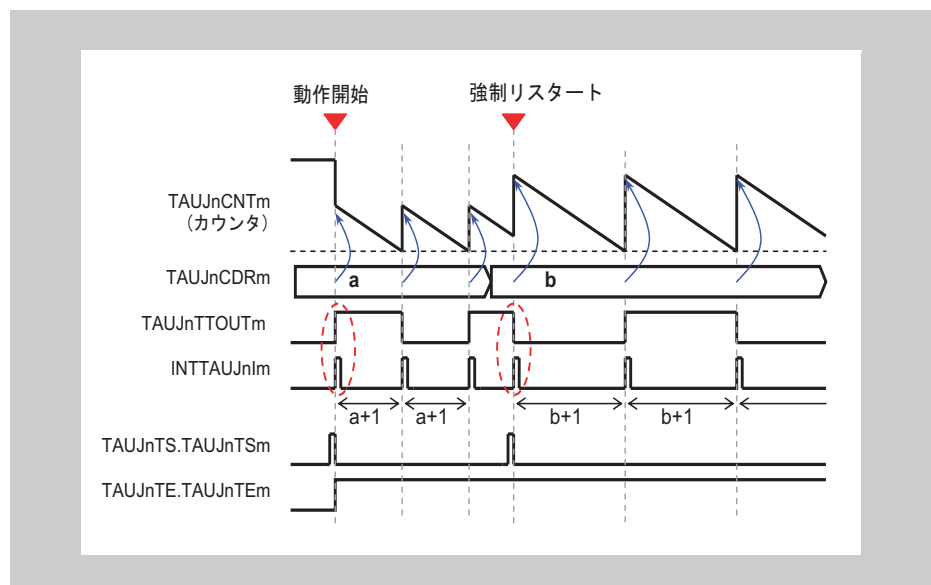


図 13-24 強制リスタート動作 (TAUJnCMORm.TAUJnMD0 = 1)

- カウント中に TAUJnTS.TAUJnTsm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

13.14.2 TAUJnTTINm 入力インターバル・タイマ機能

(1) 概要

概要 この機能は、一定間隔または有効な TAUJnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUJnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (917 ページの表 13-16 「TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMORm 設定」参照)。
 - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。893 ページの 13.8 「チャンネル出力モード」を参照してください。

機能説明 この機能は、有効な TAUJnTTINm 入力エッジで再開される以外、インターバル・タイマ機能と同様に動作します (908 ページの 13.14.1 「インターバル・タイマ機能」参照)。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUJnIm の周期 = カウント・クロック周期 × (TAUJnCDRm + 1)

TAUJnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUJnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

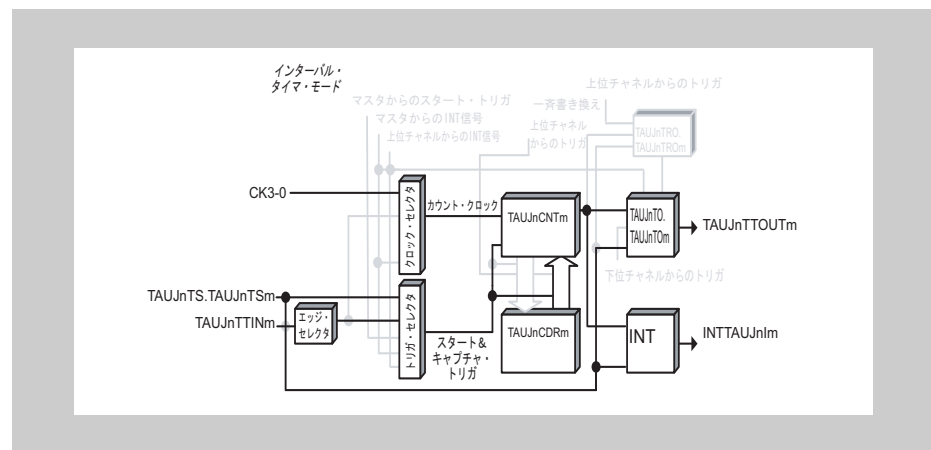


図 13-25 TAUJnTTINm 入力インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORM.TAUJnMD0 = 1)
- 立ち上がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)

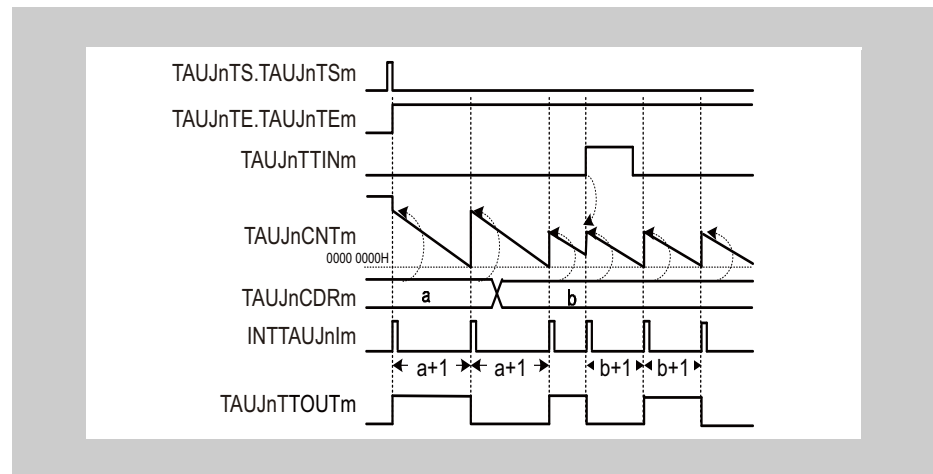


図 13-26 TAUJnTTINm 入インターバル・タイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]	TAUJnCCS[1:0]	TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]	-		TAUJnMD[4:1]				TAUJnMD0			

表 13-16 TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	001: 有効な TAUJnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	0000: インターバル・タイマ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生せず, TAUJnTTOUtm はトグルされない 1: 動作開始時に INTTAUJnIm が発生し, TAUJnTTOUtm はトグルされる

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-17 TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

表 13-18 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウ・レベル 1: ハイ・レベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1 (TAUJnTOM.TAUJnTOMm = 0 時はトグル・モード)
TAUJnTOL.TAUJnTOLm	0: 正論理

備考 チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUm を割り込みとは独立させて制御することができます。詳細は893ページの13.8「チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm 入カインターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 13-19 TAUJnTTINm 入カインターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) TAUJnTTINm 入力インターバル・タイマ機能の操作手順

表 13-20 TAUJnTTINm 入力インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	TAUJnCMORm, TAUJnCMURm レジスタを、917 ページの表 13-16 「TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMORm 設定」と 917 ページの表 13-17 「TAUJnTTINm 入力インターバル・タイマ機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを 918 ページの表 13-18 「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	
	動作開始	TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJnTTOUTm がトリグルされます。
	動作中	TAUJnCMURm.TAUJnTIS[1:0], TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJnTTINm エッジ検出
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

908 ページの 13.14.1 「インターバル・タイマ機能」のタイミング図も適用されますが、この機能を除いて、有効な TAUJnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

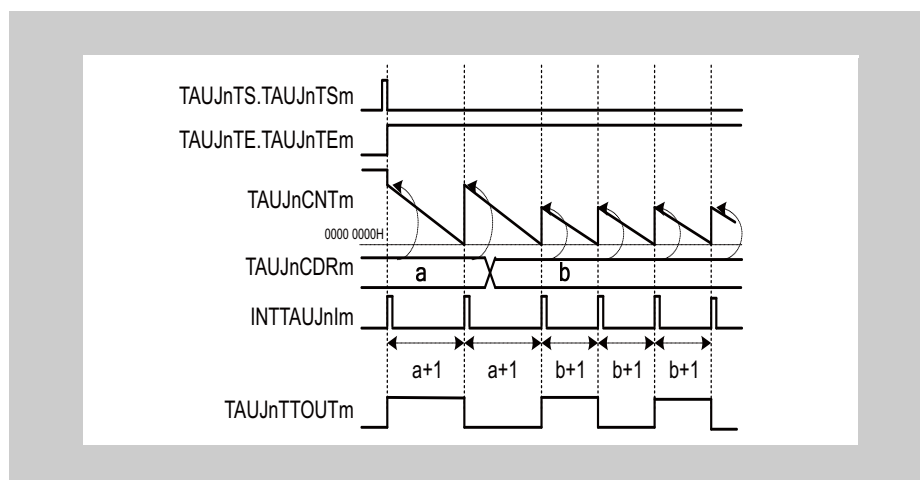


図 13-27 立ち上がり TAUJnTTINm 入力エッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B), TAUJnCMORM.TAUJnMD0 = 1 でトリガされたカウンタ

- 有効な TAUJnTTINm 入力エッジを検出した場合、TAUJnTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B) です。

13.15 チャンネル単体信号測定機能

この節では、各 TAUJnTTINm パルスの幅、または連続した TAUJnTTINm パルスの合計幅を測定する機能を説明します。また、信号の間隔を測定する機能、またはパルス幅と基準値を比較する機能も説明します。

- 13.15.1 「TAUJnTTINm 入力パルス・インターバル測定機能」
- 13.15.2 「TAUJnTTINm 入力信号幅測定機能」
- 13.15.3 「オーバーフロー割り込み出力機能 (TAUJnTTINm 幅測定時)」
- 13.15.4 「TAUJnTTINm 入力期間カウント検出機能」
- 13.15.5 「オーバーフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)」

13.15.1 TAUJnTTINm 入力パルス・インターバル測定機能

(1) 概要

概要 この機能は、カウント値をキャプチャし、その値とオーバフロー・ビット TAUJnCSRm.TAUJnOVF を使用して TAUJnTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャ・モードに設定する必要があります (925 ページの表 13-22 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」参照)。

- この機能では、TAUJnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJnTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、0000 0000_H にリセットされ、その後動作を続けます。

有効な TAUJnTTINm エッジを検出する前にカウンタが FFFF FFFF_H に達すると、オーバフローし、カウンタは、0000 0000_H にリセットされ、その後動作を続けます。TAUJnCDRm, TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 13-21 オーバフローの影響

TAUJnCMORm.COS[1:0]	オーバフローが発生した場合		その後、有効な TAUJnTTINm 入力 が検出された場合	
	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	TAUJnCDRm, TAUJnCNTm	TAUJnCSRm.TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF _H に 設定	0	TAUJnCNTm は 0 に設定され、 TAUJnCDRm は変 更されない	0
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロー・ビット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の間隔を推定できます。ただし、有効な TAUJnTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJnTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

カウンタは、0000 0000 H にリセットされ、その後動作を続けます。カウント中に TAUJnTS.TAUJnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件 TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 900 ページの表 13.10 「カウント開始/リスタート時の TAUJnTTOUtm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)」を参照してください。

備考 TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUJnTTINm 入力パルス間隔 = カウント・クロック周期 ×
 [(TAUJnCSRm.TAUJnOVF × (FFFF FFFF_H + 1)) + TAUJnCDRm キャプチャ値 + 1]

(3) ブロック図と基本タイミング図

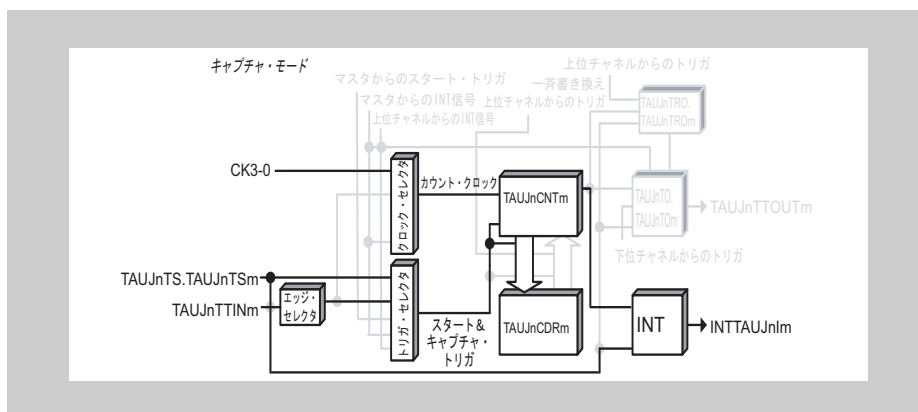


図 13-28 TAUJnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

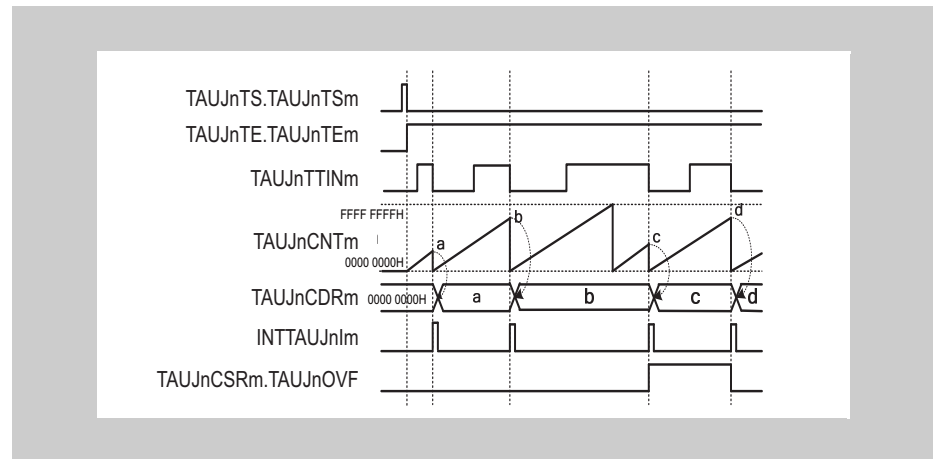


図 13-29 TAUJnTTINm 入力パルス・インターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		-	TAUJnMD[4:1]				TAUJnMD0

表 13-22 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	001: TAUJnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	922 ページの表 13-21 「オーバフローの影響」を参照。
TAUJnMD[4:1]	0010: キャプチャ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生しない 1: 動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-23 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm 入力パルス・インターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-24 TAUJnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

表 13-25 TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを、925 ページの表 13-22 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」と 925 ページの表 13-23 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCNTm が 0000 0000 _H にクリアされます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
	動作中 TAUJnTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。TAUJnCDRm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能です。(TAUJnCSRm.TAUJnOVF ビットを 0 にクリア)	TAUJnCNTm は、0000 0000 _H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、0000 0000_H に戻ります。 その後、INTTAUJnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバフロー動作

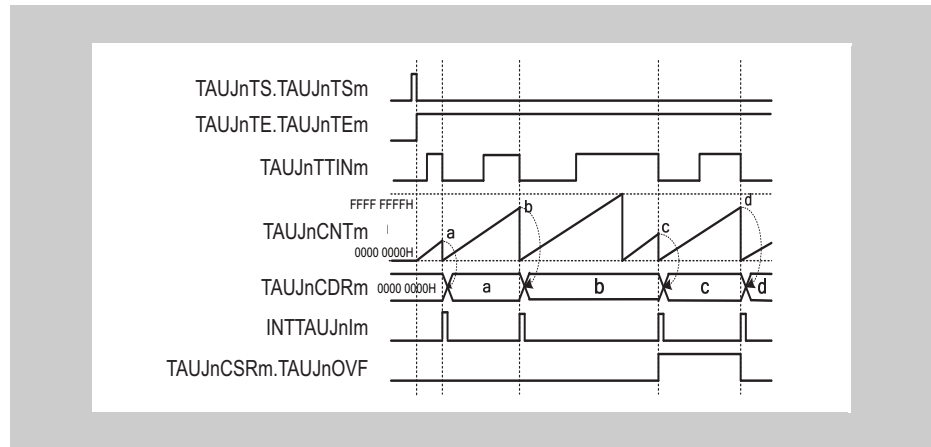
(a) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

図 13-30 TAUJnCMORm.TAUJnCOS[1:0] = 00_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

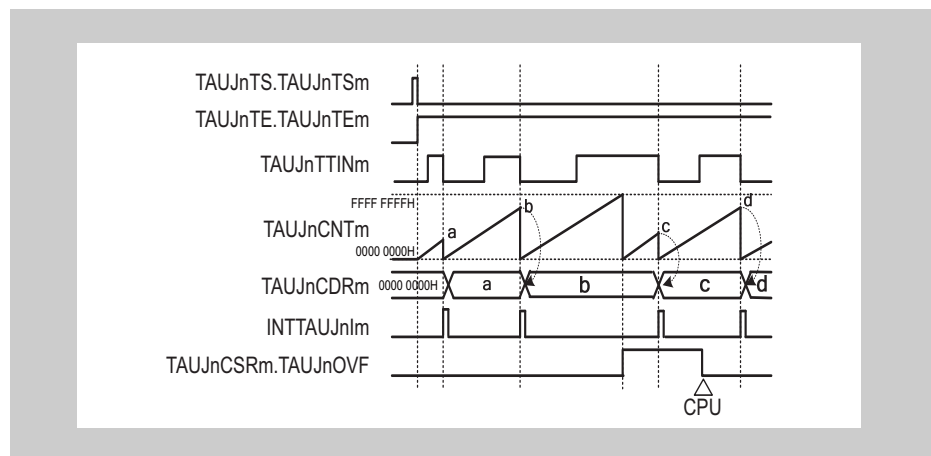
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 13-31 TAUJnCMORm.TAUJnCOS[1:0] = 01_B, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV ビット)

ト=1のセット)でのみクリアされます。

(c) $\text{TAUJnCMORm.TAUJnCOS}[1:0] = 10_B$

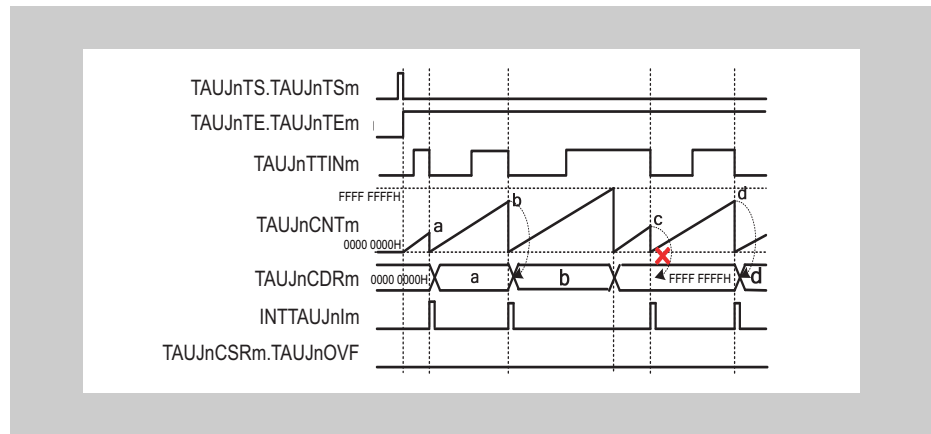


図 13-32 $\text{TAUJnCMORm.TAUJnCOS}[1:0] = 10_B$, $\text{TAUJnCMORm.TAUJnMD0} = 0$, $\text{TAUJnCMURm.TAUJnTIS}[1:0] = 00_B$

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

(d) $\text{TAUJnCMORm.TAUJnCOS}[1:0] = 11_B$

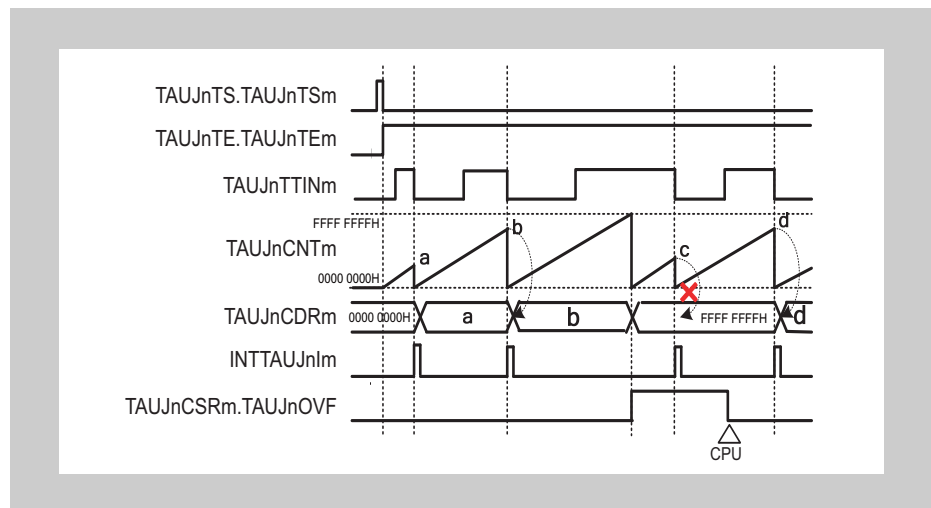


図 13-33 $\text{TAUJnCMORm.TAUJnCOS}[1:0] = 11_B$, $\text{TAUJnCMORm.TAUJnMD0} = 0$, $\text{TAUJnCMURm.TAUJnTIS}[1:0] = 00_B$

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0

にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。

- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

13.15.2 TAUJnTTINm 入力信号幅測定機能

(1) 概要

概要 この機能は、TAUJnTTINm 入力信号幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります (933 ページの表 13-27 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」参照)。
 - この機能では、TAUJnTTOUTm は使用しません。
 - TAUJnCMORm.TAUJnMD0 は、0 に設定する必要があります。

機能説明 チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウントが可能になります。有効な TAUJnTTINm スタート・エッジが検出されると、カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJnTTINm ストップ・エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJnTTINm 入力スタート・エッジを待ちます。

有効な TAUJnTTINm ストップ・エッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm, TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 13-26 オーバフローの影響

TAUJnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUJnTTINm 入力ストップ・エッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm, TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	0
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロー・ビット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の幅を推定できます。ただし、有効な TAUJnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備考 TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUJnTTINm 入力信号幅 = カウント・クロック周期 ×
 [(TAUJnCSRm.TAUJnOVF × (FFFF FFFF_H + 1)) + TAUJnCDRm キャプ
 チャ値 + 1]

(3) ブロック図と基本タイミング図

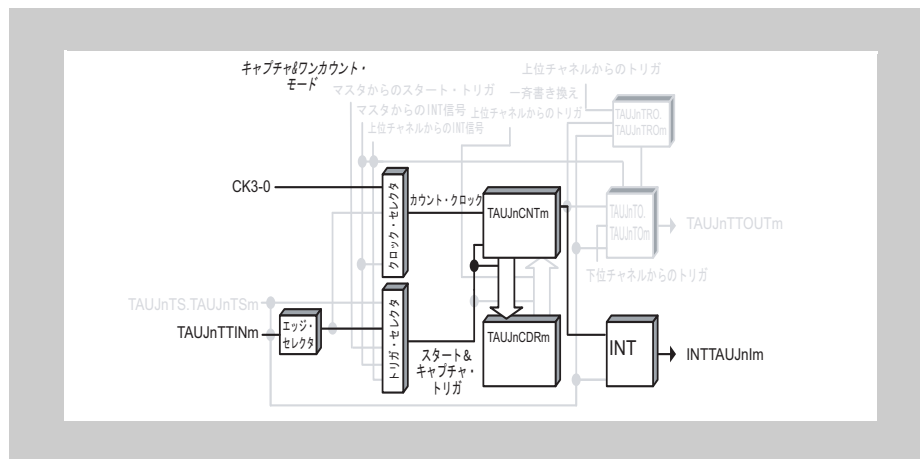


図 13-34 TAUJnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

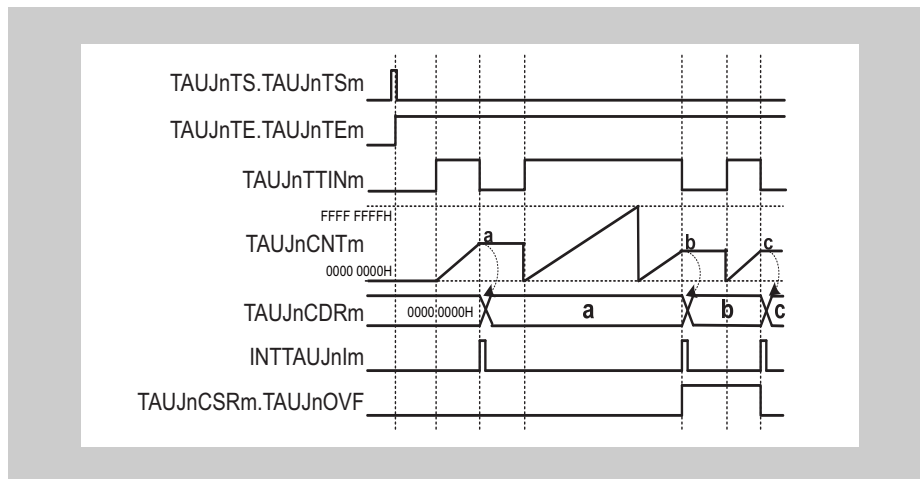


図 13-35 TAUJnTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		-	TAUJnMD[4:1]				TAUJnMD0	

表 13-27 TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	010: TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	931 ページの表 13-26 「オーバフローの影響」を参照。
TAUJnMD[4:1]	0110: キャプチャ & ワンカウント・モード
TAUJnMD0	0: 動作中のスタート・トリガ無効

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-28 TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-29 TAUJnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) TAUJnTTINm 入力信号幅測定機能の操作手順

表 13-30 TAUJnTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを、933 ページの表 13-27 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」と 933 ページの表 13-28 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。TAUJnTS.TAUJnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCnTm は TAUJnTTINm スタート・エッジ検出を待ちます。TAUJnTTINm スタート・エッジを検出すると、TAUJnCnTm はアップ・カウントを開始します。
	動作中 TAUJnTTINm エッジ検出 TAUJnCDRm, TAUJnCnTm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。TAUJnCSC.CLOV ビットは、1 にセット可能です。	TAUJnCnTm は、0000 0000 _H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCnTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、その値を保持します。 その後、INTTAUJnIm が発生します。以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm は停止し、TAUJnCnTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

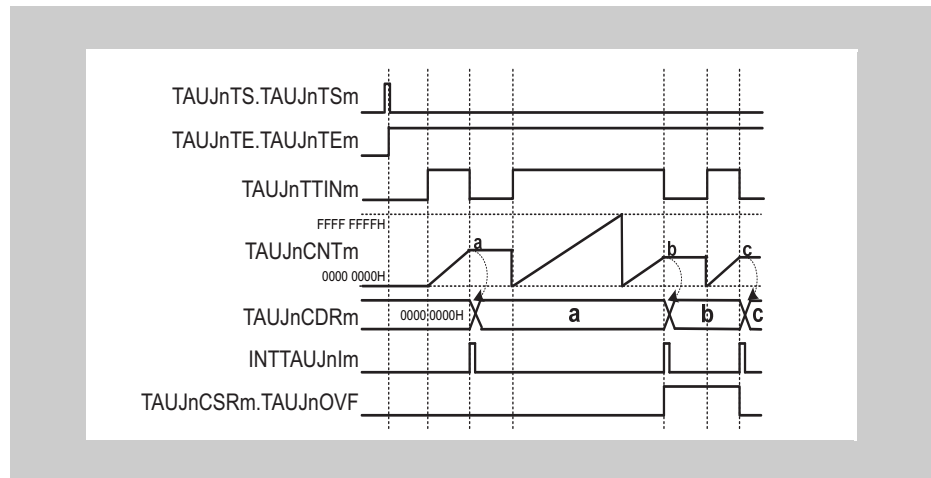
(a) TAUJnCMORM.TAUJnCOS[1:0] = 00_B

図 13-36 TAUJnCMORM.TAUJnCOS[1:0] = 00_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

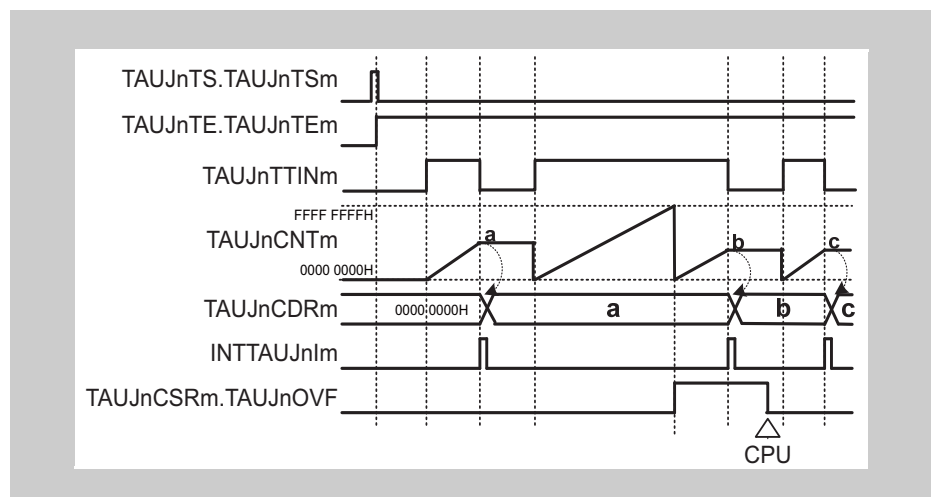
(b) TAUJnCMORM.TAUJnCOS[1:0] = 01_B

図 13-37 TAUJnCMORM.TAUJnCOS[1:0] = 01_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値

が TAUJnCDRm にロードされます。

- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV ビット = 1 のセット) でのみクリアされます。

(c) TAUJnCMORM.TAUJnCOS[1:0] = 10_B

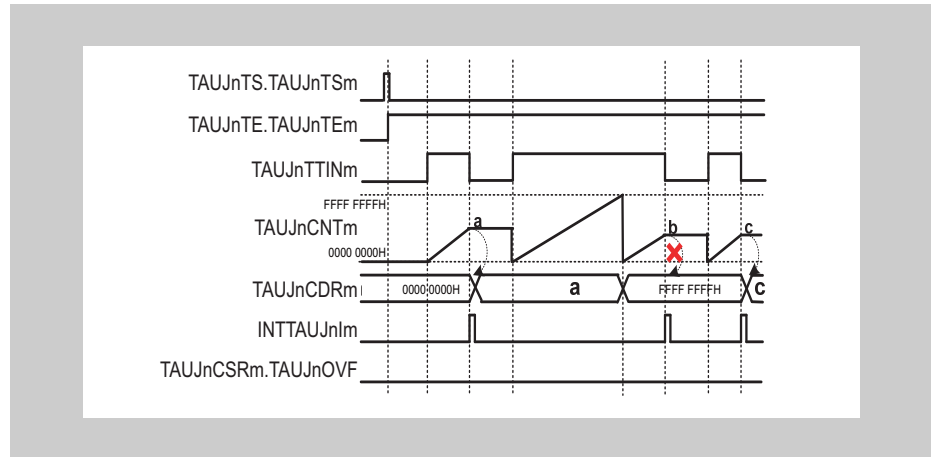


図 13-38 TAUJnCMORM.TAUJnCOS[1:0] = 10_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

(d) TAUJnCMORM.TAUJnCOS[1:0] = 11_B

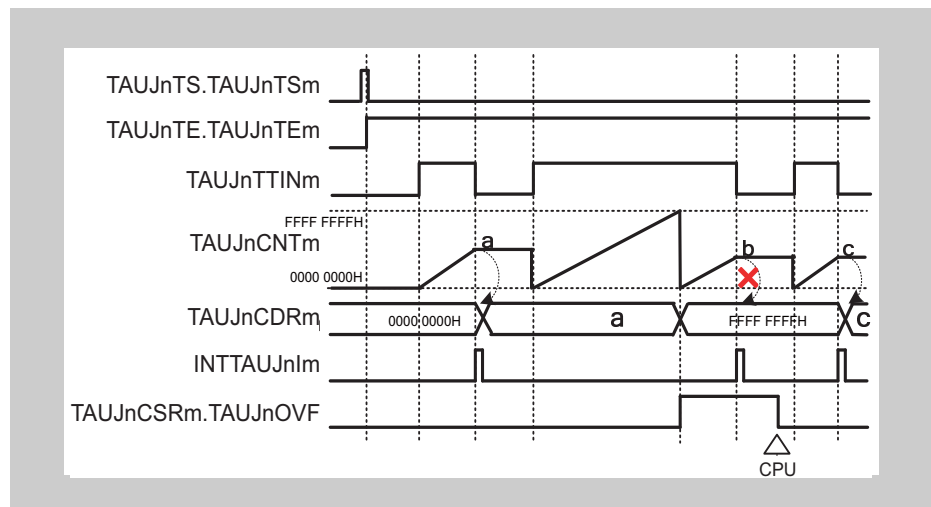


図 13-39 TAUJnCMORM.TAUJnCOS[1:0] = 11_B, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

13.15.3 オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)

(1) 概要

概要 この機能は、各 TAUJnTTINm 入力信号の幅を測定します。TAUJnTTINm 入力後、(FFFF FFFF_H + 1) を超えた場合、割り込みが発生します。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (941 ページの表 13-31 「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 幅測定時)」参照)。
 - この機能では、TAUJnTTOUTm は使用しません。
 - TAUJnCDRm の値は、FFFF FFFF_H に設定する必要があります。

機能説明 チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウンタが可能になります。

有効な TAUJnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF FFFF_H がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジを検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUJnTTINm 入カスタート・エッジを検出されると、TAUJnCNTm は FFFF FFFF_H をロードし、ダウン・カウントを開始します。

ストップ・エッジを検出する前にカウンタが 0000 0000_H に達すると、割り込みが発生します。

条件 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJnTTINm 入力 Low 幅が測定されます。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJnTTINm 入力 High 幅が測定されます。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

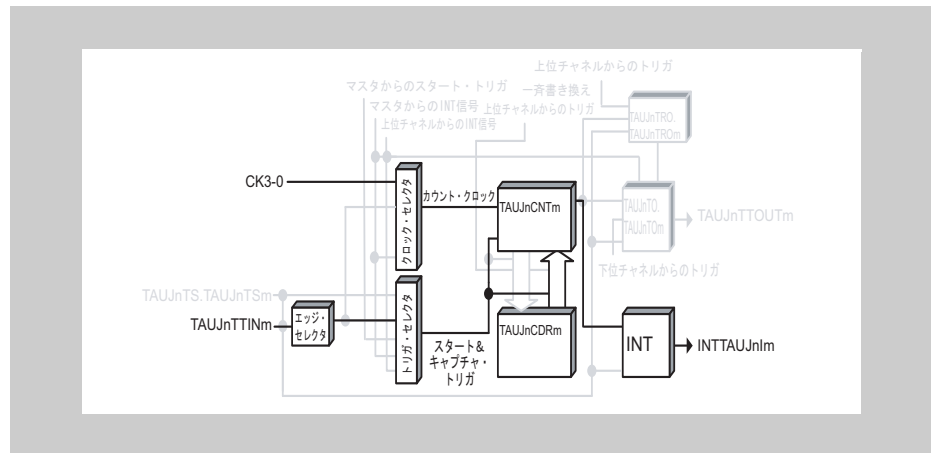


図 13-40 オーバフロー割り込み出力機能のブロック図 (TAUJnTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

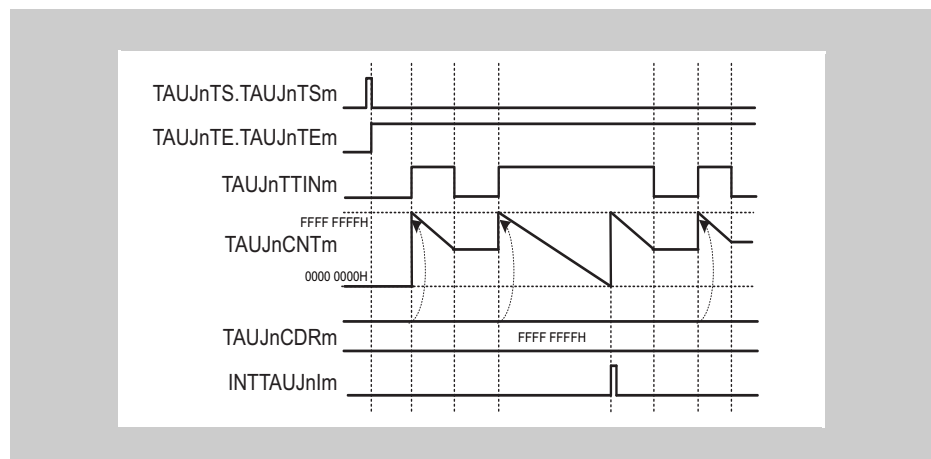


図 13-41 オーバフロー割り込み出力機能の基本タイミング図 (TAUJnTTINm 幅測定時)

(3) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		-	TAUJnMD[4:1]				TAUJnMD0	

表 13-31 オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	010: TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	0100: ワンカウント・モード
TAUJnMD0	0: 動作中のスタート・トリガ無効

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-32 オーバフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-33 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(4) オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 幅測定時)

表 13-34 オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 幅測定時)

	操作	TAUJn の状態
動作再開 ↓	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを、941 ページの表 13-31 「オーバーフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 幅測定時)」と 941 ページの表 13-32 「オーバーフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 幅測定時)」に示すように設定します。	チャンネル動作を停止しています。
	TAUJnCDRm レジスタの値を設定します。	
	動作開始 TAUJnTS.TAUJnTsm を 1 に設定します。 TAUJnTS.TAUJnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUJnTTINm スタート・エッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUJnCDRm の値 (FFFF FFFF _H) を TAUJnCNTm にロードします。
	動作中 TAUJnCNTm レジスタは任意のタイミングで読み出し可能です。 TAUJnTTINm エッジ検出	TAUJnCNTm がダウン・カウントを行います。カウンタが 0000 0000 _H になった場合： • INTTAUJnIm が発生します。 カウント動作中に TAUJnTTINm の逆エッジを検出した場合： • TAUJnCNTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。	

13.15.4 TAUJnTTINm 入力期間カウント検出機能

(1) 概要

概要 この機能は、TAUJnTTINm 入力信号の合計幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります (945 ページの表 13-35 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」参照)。
 - この機能では、TAUJnTTOUTm は使用しません。

機能説明 チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウントが可能になります。カウンタは、有効な TAUJnTTINm 入力エッジを待ちます。

有効な TAUJnTTINm 入力スタート・エッジが検出されると、カウンタは、0000 0000_H からカウントを開始します。

有効な TAUJnTTINm 入力ストップ・エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。次の有効な TAUJnTTINm 入力スタート・エッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJnTTINm 入力スタート・エッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF FFFF_H になると、TAUJnCSRm.TAUJnOVF ビットが 1 に設定され、カウンタは 0000 0000_H からカウント動作を再開します。

TAUJnCSCm.TAUJnCLOV = 1 を設定すると、TAUJnCSRm.TAUJnOVF 値が CPU によってリセットされます。

備考 TAUJnTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がリエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がリエッジです。

(2) 算出式

TAUJnTTINm 入力幅累計 =
 カウント・クロック周期 × ((FFFF FFFF_H × TAUJnCSRm.TAUJnOVF) +
 (TAUJnCDRm キャプチャ値 + 1))



注意 カウント値が最大値 (0FFFF FFFF_H) の時、キャプチャ信号が入力されると、次のカウント・クロックで発生するオーバーフローによりセットされるオーバーフロー・フラグ (以下、OVF) がセットされません。その他のタイミングでは、OVF は正常にセットされます。

(3) ブロック図と基本タイミング図

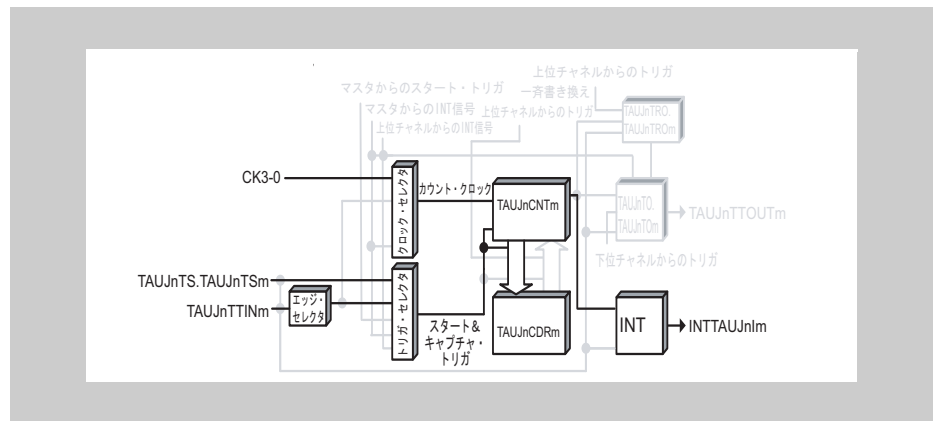


図 13-42 TAUJnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

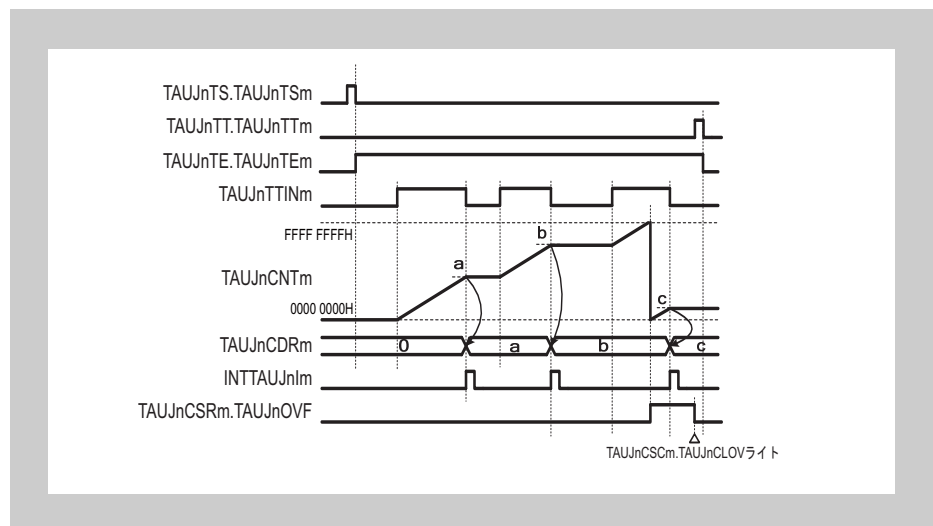


図 13-43 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		-	TAUJnMD[4:1]				TAUJnMD0	

表 13-35 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	010: TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	01: カウンタ・オーバフロー時にオーバフロー (TAUJnCSRm.TAUJnOVF) を設定, CPU 命令によりクリア
TAUJnMD[4:1]	1101: キャプチャ&ゲート・カウント・モード
TAUJnMD0	0: 動作中のスタート・トリガ無効

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-36 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-37 TAUJnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

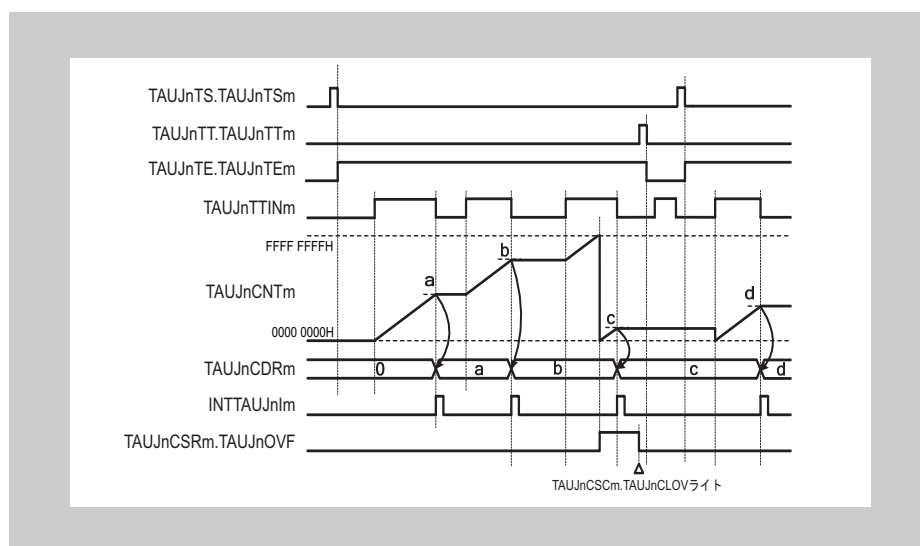
(5) TAUJnTTINm 入力期間カウント検出機能の操作手順

表 13-38 TAUJnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを, 945 ページの表 13-35 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」と 945 ページの表 13-36 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。TAUJnTS.TAUJnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。 TAUJnTTINm スタート・エッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され, TAUJnCNTm は TAUJnTTINm スタート・エッジ検出を待ちます。 スタート・エッジが検出されると, TAUJnCNTm は 0000 0000 _H にクリアされ, TAUJnCNTm はアップ・カウントを開始します。
	動作中 TAUJnTTINm エッジ検出 TAUJnCDRm, TAUJnCNTm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。TAUJnCSCm.TAUJnCLOV は, 1 に設定可能です。	TAUJnTTINm スタート・エッジ (High 幅測定なら立ち上がりエッジ, Low 幅測定なら立ち下がりエッジ) を検出すると, TAUJnCNTm は停止値よりアップ・カウントを開始します。 TAUJnCNTm は, ストップ・エッジ (High 幅測定なら立ち下がりエッジ, Low 幅測定なら立ち上がりエッジ) を検出すると, 値を TAUJnCDRm に転送し, INTTAUJnlm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し, TAUJnCNTm は TAUJnTTINm スタート・エッジの検出を待ちます。 TAUJnCNTm が FFFF FFFF _H に達すると, カウンタはオーバフローし, TAUJnCSRm.TAUJnOVF は 1 に設定されます。 以降, この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUJnCNTm は停止し, TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 13-44 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

- TAUJnTT.TAUJnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

13.15.5 オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)

(1) 概要

概要 この機能は、TAUJnTTINm 入力信号の合計幅を測定します。TAUJnTTINm 入力合計幅が FFFF FFFF_H より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

- 前提条件**
- 動作モードはゲート・カウント・モードに設定する必要があります (950 ページの表 13-39 「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 入力期間カウント検出時)」参照)。
 - この機能では、TAUJnTTOUTm は使用しません。
 - TAUJnCDRm の値は、FFFF FFFF_H に設定する必要があります。

機能説明 チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウンタが可能になります。

有効な TAUJnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF FFFF_H がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUJnTTINm 入カスタート・エッジを待ち、現在値からのダウン・カウントを継続します。

カウンタが 0000 0000_H になると、割り込みが発生します。TAUJnCNTm に FFFF FFFF_H がロードされ、カウンタは TAUJnTTINm 入カストップ・エッジが検出されるまでダウン・カウントを継続します。

- 条件** 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。
- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がリエッジ、ストップ・トリガは立ち上がりエッジです。
 - TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がリエッジです。

備考 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

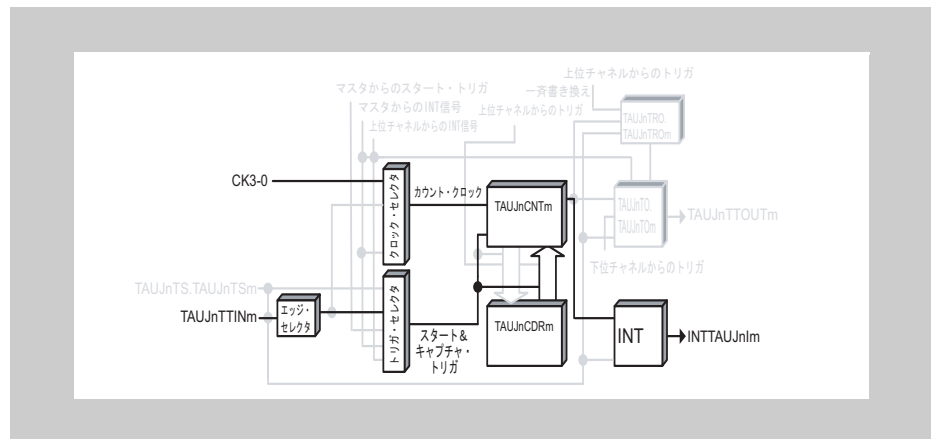


図 13-45 オーバフロー割り込み出力機能のブロック図
(TAUJnTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

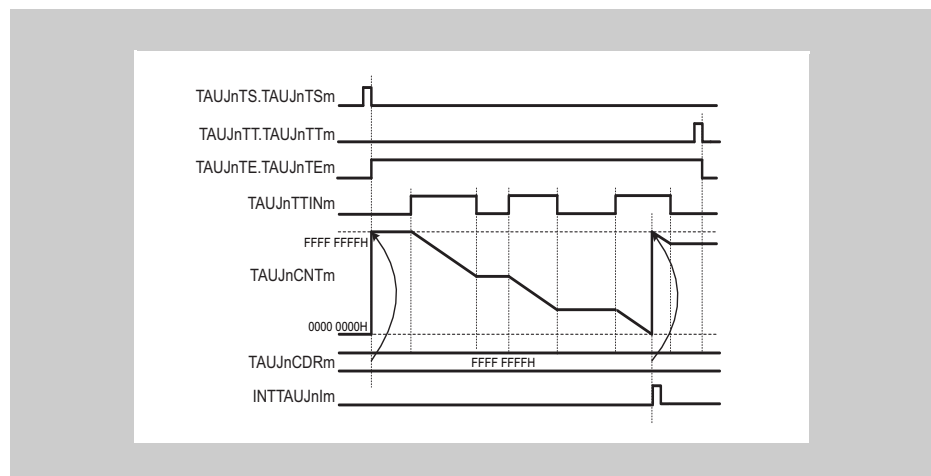


図 13-46 オーバフロー割り込み出力機能の基本タイミング図
(TAUJnTTINm 入力期間カウント検出時)

(3) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]	TAUJnCCS[1:0]	TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]	-	TAUJnMD[4:1]				TAUJnMD0				

表 13-39 オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	010: TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	1100: ゲート・カウント・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生しない

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-40 オーバフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnTIS[1:0]	10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-41 オーバフロー割り込み出力機能の一斉書き換え設定
(TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(4) オーバフロー割り込み出力機能の操作手順
(TAUJnTTINm 入力期間カウント検出時)

表 13-42 オーバフロー割り込み出力機能の操作手順
(TAUJnTTINm 入力期間カウント検出時)

	操作	TAUJn の状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUJnTE.TAUJnTEm が 1 に設定され、 TAUJnCnTm はスタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUJnCDRm の値 (FFFF FFFF _H) を TAUJnCnTm にロードします。
	動作中	TAUJnCnTm レジスタは常に読み出し可能です。 TAUJnCnTm がダウン・カウントを行います。カウンタが 0000 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUJnlm が発生します。 TAUJnCDRm の値 (FFFF FFFF_H) を TAUJnCnTm にロードし、ダウン・カウントを継続します。 カウント動作中に TAUJnTTINm の逆エッジを検出した場合： <ul style="list-style-type: none"> TAUJnCnTm は停止値からダウン・カウントを行います。 以降、この動作を繰り返します。
	動作停止	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm が停止し、現在値を保持します。

13.16 その他のチャネル単体機能

この節では、機能使用開始から TAUJnTTINm 入力信号までの期間を測定する機能を説明します。

13.16.1 TAUJnTTINm 入力位置検出機能

(1) 概要

概要 機能使用開始から TAUJnTTINm 入力信号までの期間を測定する機能です。

- 前提条件**
- 動作モードはカウント・キャプチャ・モードに設定する必要があります (955 ページの表 13-43 「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」参照)。
 - この機能では、TAUJnTTOUTm は使用しません。

機能説明 チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、0000 0000_H からカウントを開始します。有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCnTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。カウンタ動作は継続します。

カウンタ値が FFFF FFFF_H になると、TAUJnCSRm.TAUJnOVF ビットが 1 に設定され、カウンタは 0000 0000_H からカウント動作を再開します。

TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV へ 1 を書き込むことによりクリアされます。

- 条件** TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 900 ページの 13.10 「カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)」を参照してください。

(2) 算出式

TAUJnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 × [(FFFF FFFF_H + 1 × TAUJnCSRm.TAUJnOVF) + (TAUJnCDRm キャプチャ値 + 1)]



- 注意** カウンタ値が最大値 (0FFFF FFFF_H) の時、キャプチャ信号が入力されると、次のカウント・クロックで発生するオーバーフローによりセットされるオーバーフロー・フラグ (以下、OVF) がセットされません。その他のタイミングでは、OVF は正常にセットされます。

(3) ブロック図と基本タイミング図

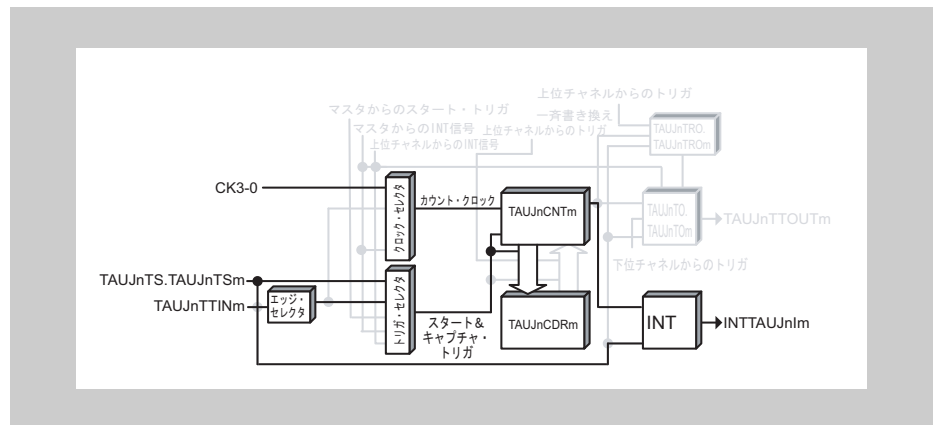


図 13-47 TAUJnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がリエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

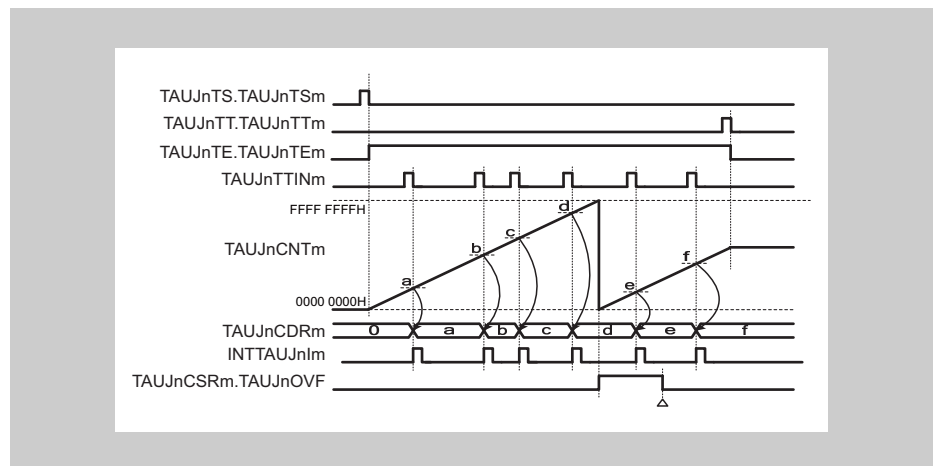


図 13-48 TAUJnTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		-	TAUJnMD[4:1]				TAUJnMD0

表 13-43 TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケーラ出力 CK0 01: プリスケーラ出力 CK1 10: プリスケーラ出力 CK2 11: プリスケーラ出力 CK3
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: 未使用, 0 を設定
TAUJnSTS[2:0]	001: 有効な TAUJnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	01: カウンタ・オーバフロー時にオーバフロー (TAUJnCSRm.TAUJnOVF) を設定, CPU 命令によりクリア
TAUJnMD[4:1]	1011: カウント・キャプチャ・モード
TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生しない 1: 動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TAUJnTIS[1:0]	

表 13-44 TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 (Low 幅測定) 11: 両エッジ検出 (High 幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 13-45 TAUJnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

(5) TAUJnTTINm 入力位置検出機能の操作手順

表 13-46 TAUJnTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態	
動作再開	初期設定 チャンネルの初期設定 チャネル	TAUJnCMORm, TAUJnCMURm レジスタを、955 ページの表 13-43 「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」と 955 ページの表 13-44 「TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始	TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
	動作中	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm, TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。 TAUJnCSC.CLOV ビットは、1 に設定可能です。	TAUJnCNTm は、0000 0000 _H からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）します。 INTTAUJnIm を出力します。 カウンタ値は 0000 0000_H にクリアされず、TAUJnCNTm はカウント動作を継続します。以降、この動作を繰り返します。
	動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

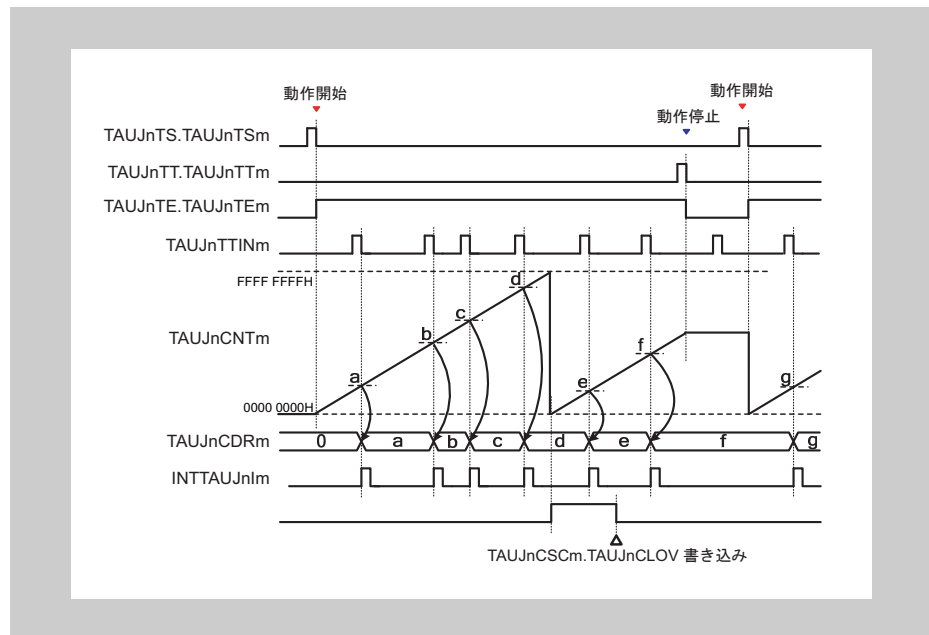


図 13-49 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

- TAUJnTT.TAUJnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

13.17 一定間隔でトリガされる連動 PWM 信号機能

この節では、一定間隔で PWM 信号を発生させる機能について述べます。
チャンネル連動動作の概要については、881 ページの 13.3 「機能説明」を参照してください。

13.17.1 PWM 出力機能

(1) 概要

概要 マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUJnTTOUTm のパルス周期 (周波数) とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (962 ページの表 13-47 「PWM 出力機能時のマスタ・チャンネルの TAUJnCMORm 設定」参照)。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります (964 ページの表 13-50 「PWM 出力機能時のスレーブ・チャンネルの TAUJnCMORm 設定」参照)。
- この機能では、マスタ・チャンネルで TAUJnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります (893 ページの 13.8 「チャンネル出力モード」)。

機能説明

チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウンタが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUJnlm が発生し、TAUJnTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

• マスタ・チャンネル :

マスタ・チャンネルのカウント値が 0000 0000_H になりパルス周期時間が経過すると、INTTAUJnlm が発生します。TAUJnCDRm 値を TAUJnCNTm にロードし、ダウン・カウントを行います。

• スレーブ・チャンネル :

マスタ・チャンネルで INTTAUJnlm が発生すると、スレーブ・チャンネルのカウント動作がトリガされます。TAUJnCDRm (スレーブ) の現在値が TAUJnCNTm (スレーブ) にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。TAUJnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が 0000 0000_H になると (デューティ時間が経過すると)

INTTAUJnlm が発生し、TAUJnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは FFFF FFFF_H に戻り、マスタ・チャンネルの次の INTTAUJnlm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUJnCNTm と TAUJnTTOUTm が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、カウンタを再開できます。

条件 この機能では一斉書き換えを行うことができます。888 ページの 13.7 「一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUJnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUJnCDRm (スレーブ) / (TAUJnCDRm (マスタ) + 1)) × 100

– デューティ・サイクル = 0 %

TAUJnCDRm (スレーブ) = 0000 0000_H

– デューティ・サイクル = 100 %

TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

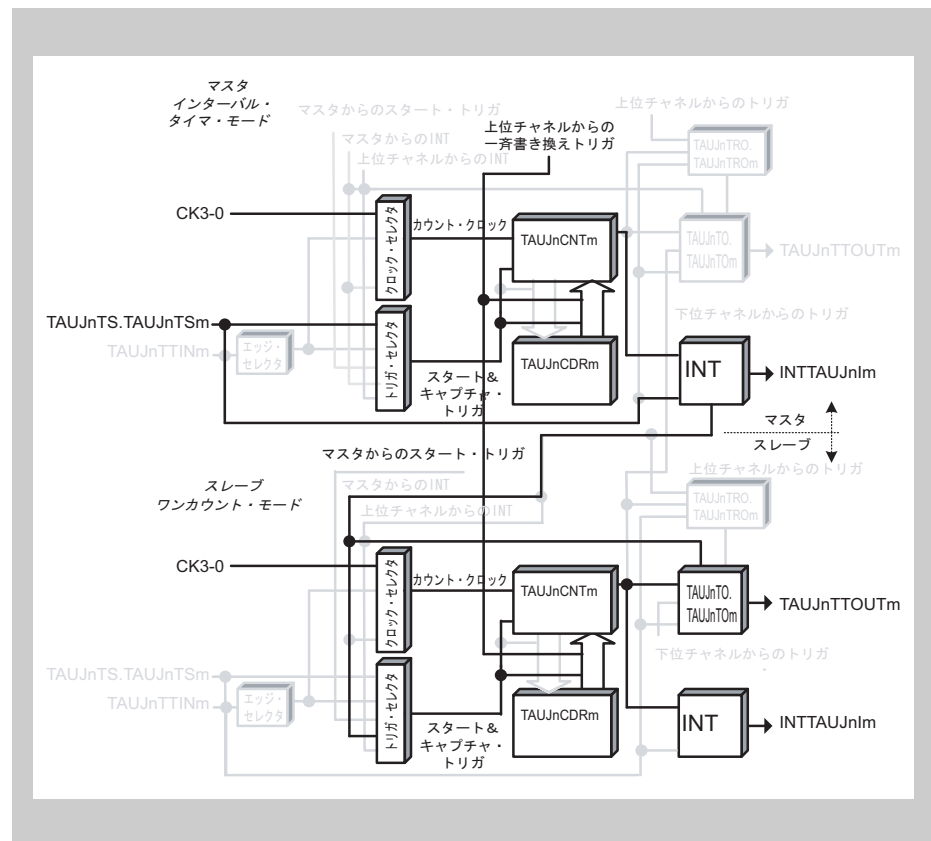


図 13-50 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUJnTOL.TAUJnTOLm = 0)

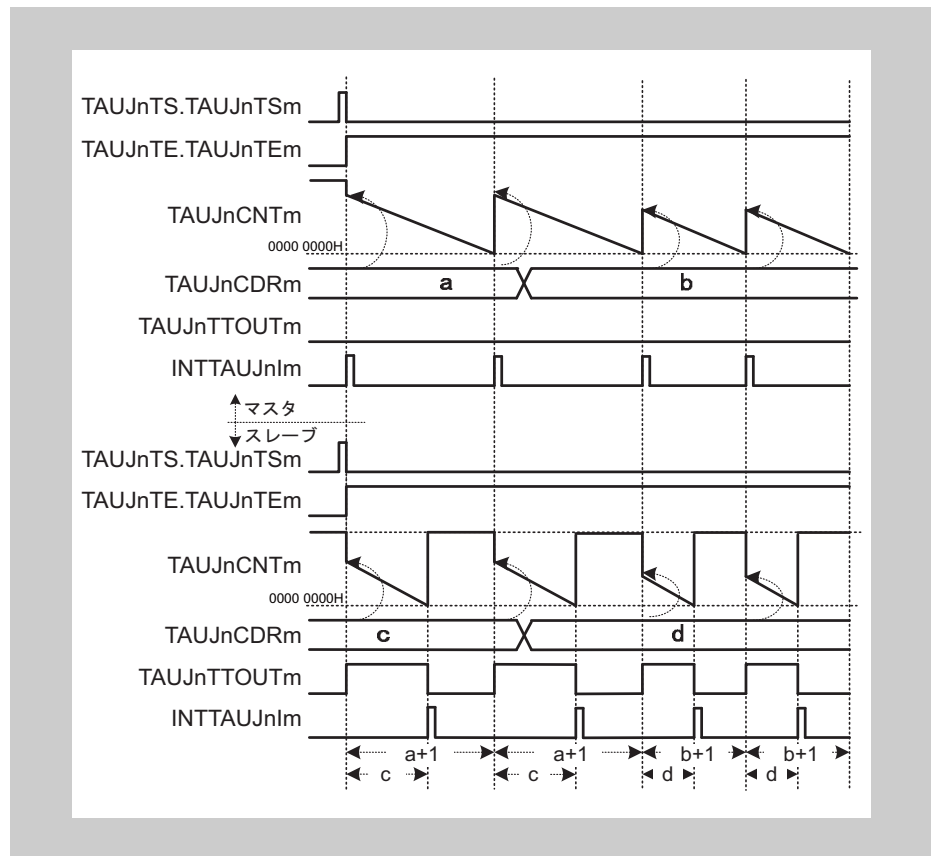


図 13-51 PWM 出力機能の基本タイミング図

備考 スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUJnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUJnCDRm + 1 の値になります。

(4) マスタ・チャンネルのレジスタ設定

(a) マスタ・チャンネルの TAUJnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]	TAUJnCCS[1:0]	TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]	-		TAUJnMD[4:1]				TAUJnMD0			

表 13-47 PWM 出力機能時のマスタ・チャンネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	1: チャンネルはマスタ・チャンネル
TAUJnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	0000: インターバル・タイマ・モード
TAUJnMD0	1: 動作開始時に INTTAUJnIm が発生する

(b) マスタ・チャンネルの TAUJnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUJnTIS[1:0]	

表 13-48 PWM 出力機能時のマスタ・チャンネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用, 00 を設定

(c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-49 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

備考 TAUJnRDS.TAUJnRDSm ビット=1 で使用する場合、マスタ・チャンネルの上位に「一斉書き換えトリガ出力機能タイプ 1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャンネル : TAUJnRDCm=1、TAUJnRDS=1
また、本チャンネルの TAUJnCDR 設定値は下記となります。
= ((一斉書き換え対象のマスタ・チャンネルの TAUJnCDR 設定値 +1) × 割り込み回数) -1
- マスタ・チャンネル : TAUJnRDCm=0、TAUJnRDS=1
- スレーブ・チャンネル : TAUJnRDCm=0、TAUJnRDS=1

CDRn (スレーブ) の設定値 > CDRn (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

(5) スレーブ・チャンネルのレジスタ設定

(a) スレーブ・チャンネルの TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]	TAUJnCCS[1:0]	TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]	-		TAUJnMD[4:1]				TAUJnMD0			

表 13-50 PWM 出力機能時のスレーブ・チャンネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUJnMAS	0: チャンネルはスレーブ・チャンネル
TAUJnSTS[2:0]	100: マスタ・チャンネルの INTTAUJnIm がスタート・トリガ
TAUJnCOS[1:0]	00: 未使用, 00 を設定
TAUJnMD[4:1]	0100: ワンカウント・モード
TAUJnMD0	1: 動作中のスタート・トリガが有効

(b) スレーブ・チャンネルの TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-														TAUJnTIS[1:0]	

表 13-51 PWM 出力機能時のスレーブ・チャンネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00: 未使用, 00 を設定

(c) スレーブ・チャンネルのチャンネル出力モード

表 13-52 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャンネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウ・レベル 1: ハイ・レベル
TAUJnTOM.TAUJnTOMm	1: チャンネル連動動作
TAUJnTOC.TAUJnTOCm	0: 動作モード1
TAUJnTOL.TAUJnTOLm	0: 正論理 1: 反転論理

(d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 13-53 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換トリガ信号を生成

(6) PWM 出力機能の操作手順

表 13-54 PWM 出力機能時の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル : TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを 962 ページの (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル : TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを 964 ページの (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUJnTS.TAUJnTSM を同時に 1 に設定します。TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。マスタ・チャンネルで INTTAUJnIm が発生し、TAUJnTTOUTm (スレーブ) が設定されます。
	動作中 TAUJnCDRm は任意のタイミングで変更可能です。TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUJnCNTm は TAUJnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 0000 _H になった場合 : • INTTAUJnIm (マスタ) が発生します。 • TAUJnCDRm 値を TAUJnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUJnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。 TAUJnCNTm (スレーブ) が 0000 0000 _H になった場合 : • INTTAUJnIm (スレーブ) が発生します。 • TAUJnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティ・サイクル = 0 %

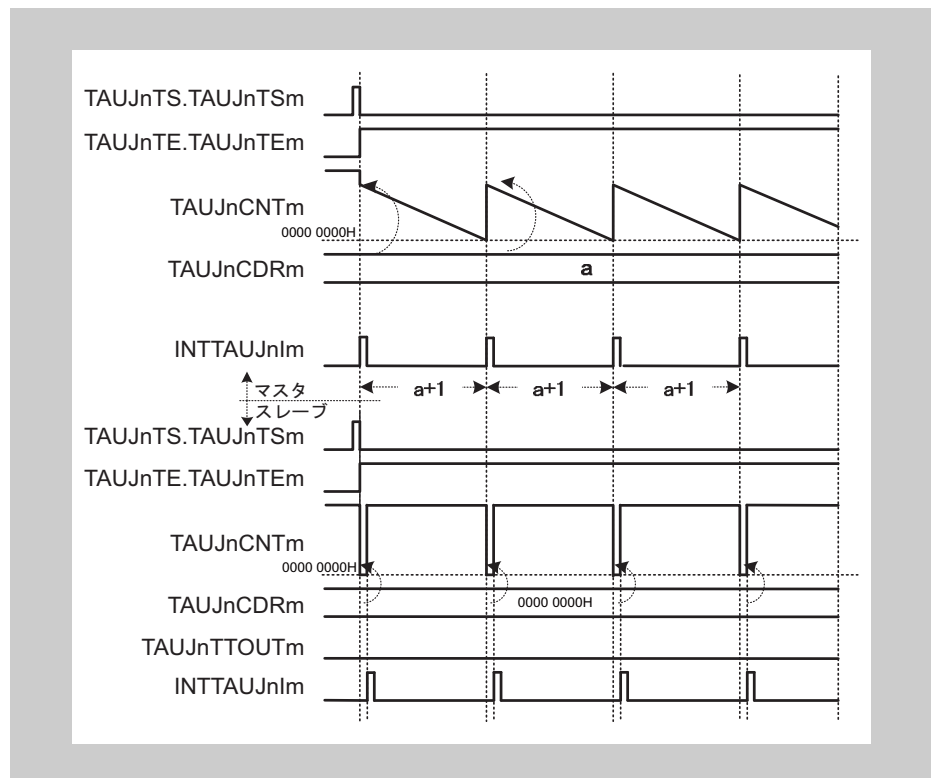


図 13-52 TAUJnCDRm (スレーブ) = 0000 0000_H,
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUJnIm) が発生するたびに、TAUJnCNTm (スレーブ) に 0000 0000_H がロードされます。したがって、TAUJnCNTm (スレーブ) はカウントを開始できず、TAUJnTTOUTm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティ・サイクル = 100 %

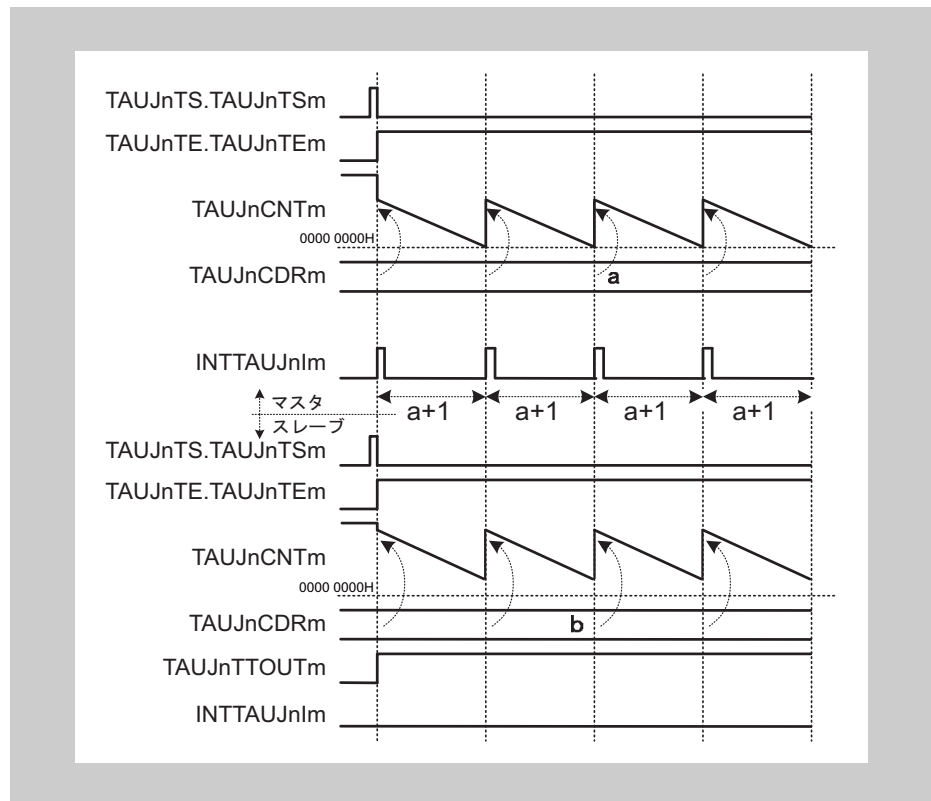


図 13-53 TAUJnCDRm (スレーブ) \geq TAUJnCDRm (マスター) + 1
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- TAUJnCDRm (スレーブ) 値が TAUJnCDRm (マスター) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000 0000_H にならないため、割り込みが発生しません。TAUJnTTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

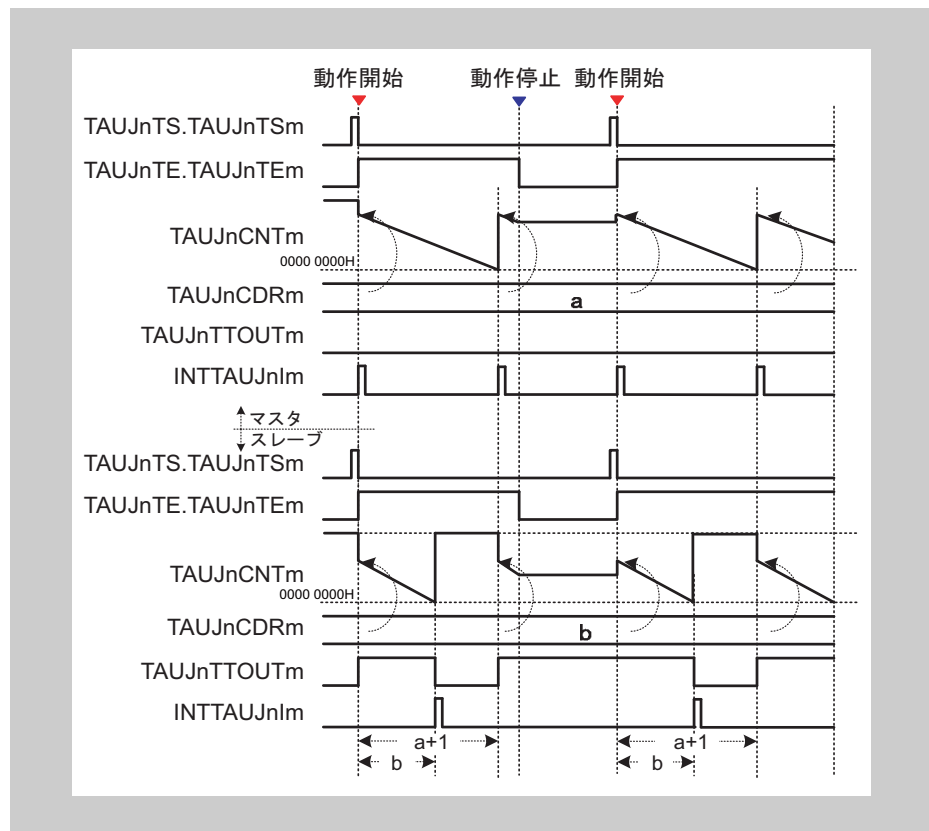


図 13-54 動作の停止と再開
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャンネルの TAUJnCNTm と TAUJnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUJnTS.TAUJnTSM を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウン・カウントを開始します。

13.18 レジスタ

この節では、32ビットTAUJの全レジスタについて説明します。

13.18.1 TAUJn レジスタの概要

TAUJnは次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、mは0から3です。

表 13-55 TAUJn レジスタの概要

レジスタ名	略号	アドレス
TAUJn プリスケアラ・レジスタ		
TAUJn プリスケアラ・クロック選択レジスタ	TAUJnTPS	<TAUJn_base_OS> + 90 _H
TAUJn プリスケアラ・ポー・レート設定レジスタ	TAUJnBRS	<TAUJn_base_OS> + 94 _H
TAUJn 制御レジスタ		
TAUJn チャンネル・データ・レジスタ m	TAUJnCDRm	<TAUJn_base_USER> + m×4 _H
TAUJn チャンネル・カウンタ・レジスタ m	TAUJnCNTm	<TAUJn_base_USER> + 10 _H + m×4 _H
TAUJn チャンネル・モード OS レジスタ m	TAUJnCMORm	<TAUJn_base_OS> + 80 _H + m×4 _H
TAUJn チャンネル・モード・ユーザ・レジスタ m	TAUJnCMURm	<TAUJn_base_USER> + 20 _H + m×4 _H
TAUJn チャンネル・ステータス・レジスタ m	TAUJnCSRm	<TAUJn_base_USER> + 30 _H + m×4 _H
TAUJn チャンネル・ステータス・クリア・トリガ・レジスタ m	TAUJnCSCm	<TAUJn_base_USER> + 40 _H + m×4 _H
TAUJn チャンネル・スタート・トリガ・レジスタ	TAUJnTS	<TAUJn_base_USER> + 54 _H
TAUJn チャンネル許可ステータス・レジスタ	TAUJnTE	<TAUJn_base_USER> + 50 _H
TAUJn チャンネル・ストップ・トリガ・レジスタ	TAUJnTT	<TAUJn_base_USER> + 58 _H
TAUJn 出力レジスタ		
TAUJn チャンネル出力許可レジスタ	TAUJnTOE	<TAUJn_base_USER> + 60 _H
TAUJn チャンネル出力レジスタ	TAUJnTO	<TAUJn_base_USER> + 5C _H
TAUJn チャンネル出力モード・レジスタ	TAUJnTOM	<TAUJn_base_OS> + 98 _H
TAUJn チャンネル出力コンフィギュレーション・レジスタ	TAUJnTOC	<TAUJn_base_OS> + 9C _H
TAUJn チャンネル出力アクティブ・レベル・レジスタ	TAUJnTOL	<TAUJn_base_USER> + 64 _H
TAUJn リロード・データ・レジスタ		
TAUJn チャンネル・リロード・データ許可レジスタ	TAUJnRDE	<TAUJn_base_OS> + A0 _H
TAUJn チャンネル・リロード・データ・モード・レジスタ	TAUJnRDM	<TAUJn_base_OS> + A4 _H
TAUJn チャンネル・リロード・データ・トリガ・レジスタ	TAUJnRDT	<TAUJn_base_USER> + 68 _H
TAUJn チャンネル・リロード・ステータス・レジスタ	TAUJnRSF	<TAUJn_base_USER> + 6C _H

備考 TAUJnのベース・アドレス <TAUJn_base_OS> または <TAUJn_base_USER> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

13.18.2 TAUJn プリスケアラ・レジスタの詳細

(1) TAUJnTPS - TAUJn プリスケアラ・クロック選択レジスタ

PCLK プリスケアラの全チャンネルの CK0, CK1, CK2, CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_OS> + 90_H

初期値 FFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-56 TAUJnTPS レジスタの内容 (1/4)

ビット位置	ビット名	機能																																		
15-12	TAUJnPRS3 [3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm= 0) 場合のみ書き換え可能です。</p>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 13-56 TAUJnTPS レジスタの内容 (2/4)

ビット位置	ビット名	機能																																		
11-8	TAUJnPRS2 [3:0]	CK2 クロックを指定します。 <table border="1" data-bbox="555 331 1385 1193"> <thead> <tr> <th>TAUJnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 13-56 TAUJnTPS レジスタの内容 (3/4)

ビット位置	ビット名	機能																																		
7-4	TAUJnPRS1 [3:0]	CK1 クロックを指定します。 <table border="1" data-bbox="555 331 1385 1193"> <thead> <tr> <th>TAUJnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 13-56 TAUJnTPS レジスタの内容 (4/4)

ビット位置	ビット名	機能																																		
3-0	TAUJnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" data-bbox="552 331 1385 1193"> <thead> <tr> <th>TAUJnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。																																				

備考 TAUJn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

(2) TAUJnBRS - TAUJn プリスケーラ・ポー・レート設定レジスタ

プリスケーラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUJnTPS.TAUJnPRS3[3:0] で指定します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_OS> + 94_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
TAUJnBRS[07:00]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-57 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能																
7-0	TAUJnBRS[07:00]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUJnBRS[07:00]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE / 1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE / 2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE / 3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE / 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE / 255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE / 256</td> </tr> </tbody> </table>	TAUJnBRS[07:00]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUJnBRS[07:00]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	

13.18.3 TAUJn 制御レジスタの詳細

(1) TAUJnCDRm - TAUJn チャネル・データ・レジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード／ライト可能です。

アドレス <TAUJn_base_USER> + m × 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

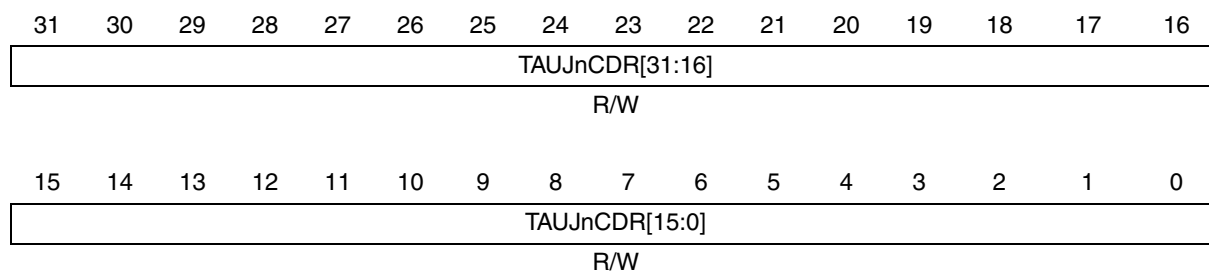


表 13-58 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCDR[31:0]	キャプチャ値／コンペア値用データ・レジスタ

(2) TAUJnCNTm - TAUJn チャンネル・カウンタ・レジスタ

チャンネル m カウンタ・レジスタです。

アクセス 32 ビット単位でリード可能です。

アドレス <TAUJn_base_USER> + 10_H + m × 4_H

初期値 0000 0000_H または FFFF FFFF_H 初期値は動作モードによって異なります。977 ページの表 13-60 「カウント再許可後の TAUJnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCNT[31:16]															
R															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCNT[15:0]															
R															

表 13-59 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCNT[31:0]	32 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSM, TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTSM = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTSM = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 13-60 カウント再許可後の TAUJnCNTm リード値 (1/2)

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm 値		
		リセット後に 動作モードを 変更した後	ストップ・トリガ 後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF FFFF _H	停止値	-
キャプチャ・モード	アップ・カウント	0000 0000 _H	停止値	-
ワンカウント・モード	ダウン・カウント	FFFF FFFF _H	停止値	FFFF FFFF _H

表 13-60 カウント再許可後の TAUJnCNTm リード値 (2/2)

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm 値		
		リセット後に 動作モードを 変更した後	ストップ・トリガ 後	ワンカウント後
キャプチャ&ワンカウント・ モード	アップ・カウント	0000 0000 _H	停止値	キャプチャ値 + 1 (TAUJnCDRm)
カウント・キャプチャ・モード	アップ・カウント	0000 0000 _H	停止値	-
ゲート・カウント・モード	ダウン・カウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ゲート・カウ ント・モード	アップ・カウント	0000 0000 _H	停止値	停止値

備考 カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUJnCMORm.TAUJnMD[4:1]レジスタで変更します。

(3) TAUJnCMORm - TAUJn チャンネル・モード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

アドレス <TAUJn_base_OS> + 80_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]	TAUJnCCS[1:0]	TAUJnMAS	TAUJnSTS[2:0]	TAUJnCOS[1:0]	-	TAUJnMD[4:0]									
R/W	R/W	R/W	R/W	R/W	R	R/W									

表 13-61 TAUJnCMORm レジスタの内容 (1/4)

ビット位置	ビット名	機能															
15,14	TAUJnCKS[1:0]	<p>プリスケアラ出力を選択します。 プリスケアラ出力は TAUJnTTINm 入力エッジ検出回路で使用します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUJnCKS 1</th><th>TAUJnCKS 0</th><th>プリスケアラ出力選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CK0</td></tr> <tr> <td>0</td><td>1</td><td>CK1</td></tr> <tr> <td>1</td><td>0</td><td>CK2</td></tr> <tr> <td>1</td><td>1</td><td>CK3</td></tr> </tbody> </table>	TAUJnCKS 1	TAUJnCKS 0	プリスケアラ出力選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJnCKS 1	TAUJnCKS 0	プリスケアラ出力選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13,12	TAUJnCCS[1:0]	<p>TAUJnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJnCCS 1</th><th>TAUJnCCS 0</th><th>カウント・クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TAUJnCMORm.TAUJnCKS[1:0] で指定したプリスケアラ出力</td></tr> <tr> <td>0</td><td>1</td><td>TAUJnTTINm 入力信号の有効エッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td></td></tr> </tbody> </table>	TAUJnCCS 1	TAUJnCCS 0	カウント・クロック選択	0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定したプリスケアラ出力	0	1	TAUJnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	
TAUJnCCS 1	TAUJnCCS 0	カウント・クロック選択															
0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定したプリスケアラ出力															
0	1	TAUJnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1																
11	TAUJnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

表 13-61 TAUJnCMORm レジスタの内容 (2/4)

ビット位置	ビット名	機能			
10-8	TAUJnSTS[2:0]	外部スタート・トリガを選択します。			
		TAUJnSTS2	TAUJnSTS1	TAUJnSTS0	機能説明
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUJnTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定
		0	1	0	TAUJnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタ・チャンネルの INT
		1	0	1	設定禁止
		1	1	0	
		1	1	1	

表 13-61 TAUJnCMORm レジスタの内容 (3/4)

ビット位置	ビット名	機能			
7, 6	TAUJnCOS[1:0]	チャンネル m のキャプチャ・レジスタ TAUJnCDRm とオーバフロー・フラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。 これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUJnCOS 1	TAUJnCOS 0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF
		0	0	TAUJnTTINm 入力有効エッジを検出すると更新	TAUJnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUJnCSR.TAUJnOVF をクリア
		0	1		カウンタ・オーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
		1	0	TAUJnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
		1	1	<ul style="list-style-type: none"> TAUJnTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる オーバフロー発生：FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJnTTINm 入力有効エッジ検出は無視される。 	カウンタ・オーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア

表 13-61 TAUJnCMORm レジスタの内容 (4/4)

ビット位置	ビット名	機能					
4-0	TAUJnMD[4:0]	動作モードを指定します。					
		TAUJnMD4	TAUJnMD3	TAUJnMD2	TAUJnMD1	TAUJnMD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	1/0	設定禁止
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	設定禁止
		1	0	0	0		
		1	0	0	1		
		1	0	1	0	1/0	カウント・キャプチャ・モード
		1	1	0	0	0	ゲート・カウント・モード
1	1	0	1	0	キャプチャ&ゲート・カウント・モード		

モード	TAUJnMD0 ビットの役割
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUJnIm 信号を出力するかどうかを指定します。 0: INTTAUJnIm を出力しない 1: INTTAUJnIm を出力する
ワンカウント・モード ゲート・カウント・モード	カウント中のスタート・トリガ検出を許可／禁止します。 0: 禁止 1: 許可

モード	TAUJnMD0 ビットの役割
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	このビットは0に設定する必要があります。

(4) TAUJnCMURm - TAUJn チャンネル・モード・ユーザ・レジスタ

このレジスタは、TAUJnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_USER> + 20_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 13-62 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUJnTIS[1:0]	TAUJnTTINm 入力信号の有効エッジを指定します。															
		<table border="1"> <thead> <tr> <th>TAUJnTI S1</th> <th>TAUJnTI S0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がりエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がりエッジ</td> </tr> </tbody> </table>	TAUJnTI S1	TAUJnTI S0	機能説明	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がりエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がりエッジ
TAUJnTI S1	TAUJnTI S0	機能説明															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がりエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がりエッジ															
		<ul style="list-style-type: none"> TAUJnTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択したプリスケアラ出力に基づいて行われます。 															

(5) TAUJnCSRm - TAUJn チャンネル・ステータス・レジスタ

このレジスタは、チャンネル m のオーバフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base_USER> + 30_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TAUJnOVF
R	R	R	R	R	R	R	R

表 13-63 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnOVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> • キャプチャ・モード • キャプチャ&ワンカウント・モード • カウント・キャプチャ・モード • キャプチャ&ゲート・カウント・モード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

(6) TAUJnCSCm - TAUJn チャンネル・ステータス・クリア・レジスタ

このレジスタは、チャンネル m のオーバフロー・フラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base_USER> + 40_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	0	TAUJnCLOV
R	R	R	R	R	R	R	W

表 13-64 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnCLOV	0: 機能なし 1: オーバフロー・フラグ TAUJnCSRm.TAUJnOVF をクリア

(7) TAUJnTS - TAUJn チャンネル・スタート・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base_USER> + 54_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTS 03	TAUJnTS 02	TAUJnTS 01	TAUJnTS 00
W	W	W	W	W	W	W	W

表 13-65 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTSM	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。カウンタが開始されるかどうかは、選択されている動作モードによって異なります。 本ビットはセット (1) したあと、自動的にクリア (0) されます。

(8) TAUJnTE - TAUJn チャネル許可ステータス・レジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base_USER> + 50_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTE 03	TAUJnTE 02	TAUJnTE 01	TAUJnTE 00
R	R	R	R	R	R	R	R

表 13-66 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTE _m	チャンネル m のカウンタ動作の許可／禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUJnTSST _m (チャンネル連動スタート・トリガ信号) のトリガ入力を検知するか、TAUJnTS.TAUJnTS _m を 1 にセットすると、このビットが 1 に設定されます。 TAUJnTT.TAUJnTT _m を 1 にセットすると、このビットが 0 にリセットされます。

(9) TAUJnTT - TAUJn チャネル・ストップ・トリガ・レジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base_USER> + 58_H

初期値 00_H

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTT 03	TAUJnTT 02	TAUJnTT 01	TAUJnTT 00
W	W	W	W	W	W	W	W

表 13-67 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTT _m	チャンネル m のカウンタ動作を停止します。 0: 機能なし 1: カウンタ動作を停止し、TAUJnTE.TAUJnTE _m をリセットします。 TAUJnCNT _m , TAUJnTO.TAUJnTO _m , TAUJnTTOU _m は、カウント停止前の値を保持します。

13.18.4 TAUJn 出力レジスタの詳細

(1) TAUJnTOE - TAUJn チャンネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャンネル単体出力モードを許可／禁止します。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <TAUJn_base_USER> + 60_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOE 03	TAUJnTOE 02	TAUJnTOE 01	TAUJnTOE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-68 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOEm	タイマ単体出力機能を許可／禁止します。 0: タイマ単体出力機能を禁止 1: タイマ単体出力機能を許可

(2) TAUJnTOM - TAUJn チャンネル出力モード・レジスタ

このレジスタは、各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード／ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base_OS> + 98_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOM 03	TAUJnTOM 02	TAUJnTOM 01	TAUJnTOM 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-69 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOMm	出力モードを指定します。 0: チャンネル単体動作 1: チャンネル連動動作 出力モードは 894 ページの表 13-9 「チャンネル出力モード」にあるように、各チャンネル出力制御ビットの設定によって変わります。

(3) TAUJnTOC - TAUJn チャンネル出力コンフィギュレーション・レジスタ

このレジスタは、TAUJnTOMm とともに各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード／ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base_OS> + 9C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOC 03	TAUJnTOC 02	TAUJnTOC 01	TAUJnTOC 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-70 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOC m	出力モードを指定します。 0: 動作モード1 (トグル・モード) 1: 機能なし

13.18.5 TAUJn チャネル出力レベル・レジスタの詳細

(1) TAUJnTO - TAUJn チャネル出力レジスタ

このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_USER> + 5C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTO 03	TAUJnTO 02	TAUJnTO 01	TAUJnTO 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-71 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOm	このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャンネル単体出力機能が許可されている (TAUJnTOEm = 0) TAUJnTOm ビットのみライト可能です。

(2) TAUJnTOL - TAUJn チャネル出力レベル・レジスタ

このレジスタは、チャンネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_USER> + 64_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOL 03	TAUJnTOL 02	TAUJnTOL 01	TAUJnTOL 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-72 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOLm	チャンネル m 出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ)

13.18.6 TAUJn 一斉書き換えレジスタの詳細

(1) TAUJnRDE - TAUJn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUJnCDRm/TAUJnTOLm の一斉書き換えを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base_OS> + A0_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDE 03	TAUJnRDE 02	TAUJnRDE 01	TAUJnRDE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-73 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

(2) TAUJnRDM - TAUJn チャンネル・リロード・データ・モード・レジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base_OS> + A4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDM 03	TAUJnRDM 02	TAUJnRDM 01	TAUJnRDM 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-74 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 機能なし このビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

(3) TAUJnRDT - TAUJn チャンネル・リロード・データ・トリガ・レジスタ

一斉書き換え保留状態をトリガするレジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base_USER> + 68_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRDT 03	TAUJnRDT 02	TAUJnRDT 01	TAUJnRDT 00
W	W	W	W	W	W	W	W

表 13-75 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDTm	一斉書き換え保留状態をトリガします。 0: 機能なし 1: 一斉書き換え保留状態をトリガする。一斉書き換え保留フラグ (TAUJnRSFm) が 1 に設定されます。システムは一斉書き換えトリガを待ちます。

(4) TAUJnRSF - TAUJn チャンネル・リロード・ステータス・レジスタ

このフラグ・レジスタは、一斉書き換えのステータスを示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base_USER> + 6C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnRSF 03	TAUJnRSF 02	TAUJnRSF 01	TAUJnRSF 00
R	R	R	R	R	R	R	R

表 13-76 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示しません。 1: 一斉書き換え保留状態 (TAUJnRDTm = 1) になっていることを示します。

第14章 エンコーダ・タイマ (ENCA)

本章では、エンコーダ・タイマ (ENCA) 全般について説明します。

最初の節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/MN4 に固有の特性について説明します。

それ以降の節では、すべてのバージョンに共通の特徴について説明します。

14.1 V850E2/MN4 ENCA の機能

チャンネル数 本マイクロコントローラは以下のチャンネル数のエンコーダ・タイマを搭載しています。

表 14-1 ENCA のチャンネル

エンコーダ・タイマ	
チャンネル数	2
名称	ENCA0, ENCA1

n の意味 本章では、エンコーダ・タイマの各チャンネルを「n」(n = 0 ~ 1) で識別します。たとえば、ENCA_n 制御レジスタは ENCA_nCTL と記述します。

レジスタ・アドレス ENCA_n のレジスタ・アドレスは、ベース・アドレス <ENCA_n_base_OS> および <ENCA_n_base_USER> からのオフセットで表されます。各 ENCA_n のベース・アドレス <ENCA_n_base_OS> および <ENCA_n_base_USER> を以下の表に示します。

表 14-2 レジスタ・ベース・アドレス

ENCA _n のチャンネル	ベース・アドレス	アドレス
ENCA0	ENCA _n _base_OS	FF81 9000 _H
	ENCA _n _base_USER	FFFF D800 _H
ENCA1	ENCA _n _base_OS	FF81 A000 _H
	ENCA _n _base_USER	FFFF D900 _H

クロック供給 エンコーダ・タイマは1つのクロック入力を使用します。

表 14-3 ENCA_n のクロック供給

ENCA _n のチャンネル	ENCA _n のクロック	接続先
ENCA0	PCLK	f _{PCLK}
ENCA1	PCLK	f _{PCLK}

割り込みと DMA/DTS エンコーダ・タイマは以下の割り込み要求と DMA/DTS の要求を生成できません。

表 14-4 ENCA_n の割り込みと DMA/DTS の要求

ENCA _n の信号	機能	接続先
ENCA0 :		
ENCATIOV	ENCA0 オーバフロー割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA0IOV • DMA コントローラ・トリガ 88 • DTS コントローラ・トリガ 88
ENCATIUD	ENCA0 アンダフロー割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA0IUD • DMA コントローラ・トリガ 89 • DTS コントローラ・トリガ 89
ENCATINT0	ENCA0 比較一致 0 またはキャプチャ 0 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA0I0 • DMA コントローラ・トリガ 90 • DTS コントローラ・トリガ 90
ENCATINT1	ENCA0 比較一致 1 またはキャプチャ 1 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA0I1 • DMA コントローラ・トリガ 91 • DTS コントローラ・トリガ 91 • ADCA トリガ (ADCA0TTIN004, ADCA0TTIN104, ADCA0TTIN204)
ENCATIEC	エンコーダ入力 (Z 相) による ENCA0 クリア割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA0IEC • DMA コントローラ・トリガ 92 • DTS コントローラ・トリガ 92
ENCA1 :		
ENCATIOV	ENCA1 オーバフロー割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA1IOV • DMA コントローラ・トリガ 93 • DTS コントローラ・トリガ 93
ENCATIUD	ENCA1 アンダフロー割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA1IUD • DMA コントローラ・トリガ 94 • DTS コントローラ・トリガ 94
ENCATINT0	ENCA1 比較一致 0 またはキャプチャ 0 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA1I0 • DMA コントローラ・トリガ 95 • DTS コントローラ・トリガ 95
ENCATINT1	ENCA1 比較一致 1 またはキャプチャ 1 割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA1I1 • DMA コントローラ・トリガ 96 • DTS コントローラ・トリガ 96 • ADCA トリガ (ADCA0TTIN005, ADCA0TTIN105, ADCA0TTIN205)
ENCATIEC	エンコーダ入力 (Z 相) による ENCA1 クリア割り込み	<ul style="list-style-type: none"> • 割り込みコントローラ INTENCA1IEC • DMA コントローラ・トリガ 97 • DTS コントローラ・トリガ 97

内部信号 エンコーダ・タイマの内部信号の接続を以下の表に示します。

表 14-5 ENCA_n の内部信号の接続

ENCA _n の信号	機能	接続先
ENCA0 :		
ENCATSST	ENCA0 同時スタート・トリガ入力	PIC
ENCATSTT	ENCA0 同時ストップ・トリガ入力	未使用
ENCA1 :		
ENCATSST	ENCA1 同時スタート・トリガ入力	PIC
ENCATSTT	ENCA1 同時ストップ・トリガ入力	未使用

I/O 信号 エンコーダ・タイマの I/O 信号を以下の表に示します。

表 14-6 ENCA_n の I/O 信号

ENCA _n の信号	機能	接続先
ENCA0 :		
ENCATTIN0	ENCA0 キャプチャ・トリガ入力 0	ポート TE0_TI0
ENCATTIN1	ENCA0 キャプチャ・トリガ入力 1	ポート TE0_TI1
ENCATAIN	ENCA0 エンコーダ入力 (A 相)	ポート TE0_AI
ENCATBIN	ENCA0 エンコーダ入力 (B 相)	ポート TE0_BI
ENCATZIN	ENCA0 エンコーダ入力 (Z 相)	ポート TE0_ZI
ENCATCSO	ENCA0 カウント・ステータス出力	Reserved
ENCA1 :		
ENCATTIN0	ENCA1 キャプチャ・トリガ入力 0	ポート TE1_TI0
ENCATTIN1	ENCA1 キャプチャ・トリガ入力 1	ポート TE1_TI1
ENCATAIN	ENCA1 エンコーダ入力 (A 相)	ポート TE1_AI
ENCATBIN	ENCA1 エンコーダ入力 (B 相)	ポート TE1_BI
ENCATZIN	ENCA1 エンコーダ入力 (Z 相)	ポート TE1_ZI
ENCATCSO	ENCA1 カウント・ステータス出力	Reserved

14.2 機能の概要

- 機能の概要**
- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウンタ動作を実行
 - 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
 - カウンタ値との比較一致判定を行う比較機能
 - キャプチャと比較用に別々に設定できる2つのキャプチャ比較レジスタ
 - 比較動作中に比較一致と判定された結果生成される割り込み信号出力をマスクするための割り込みマスク機能
 - アンダフローが発生したときにキャプチャ比較レジスタの値をカウンタにロードする機能
 - タイマ・カウンタのクリア条件にエンコーダ入力信号を利用可能
 - タイマ・カウンタ・クリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
 - カウンタのオーバフローとアンダフローの検出機能およびエラー・フラグとエラー発生割り込みの出力機能
 - 5つの割り込み出力ピン：キャプチャ比較割り込み ~2, カウンタ・クリア割り込み = ~1, オーバフロー割り込み ~1, アンダフロー割り込み = ~1

14.2.1 ブロック図

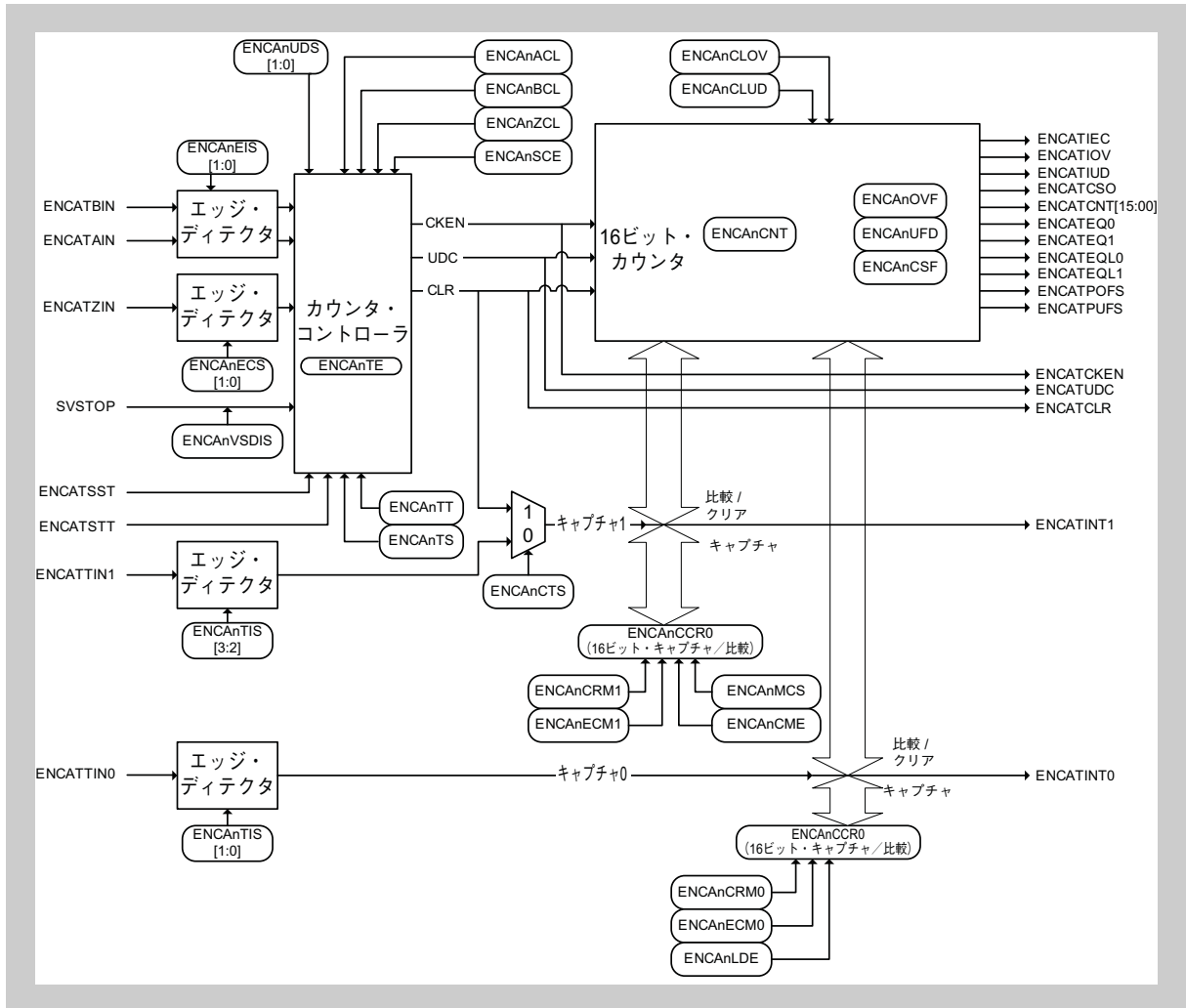


図 14-1 エンコーダ・タイマのブロック図

14.2.2 基本的な仕様を理解するための予備知識

このマクロはエンコーダ・カウンタ機能を備えています。以下でロータリー・エンコーダについて説明します。

ロータリー・エンコーダ ロータリー・エンコーダは回転軸の変位量に従ってパルスを出力します。光学パターンの書き込まれたディスクが回転軸の変位に従って回転するときに2つのスリット (A相, B相) を通過する光が伝送されたり遮断されたりするため、出力パルスは2つの異なる位相を持つ波形として出力されます。

出力されるパルスをカウンタでカウントすることによって回転を検出できます。

さらに、エンコーダの1回転の原点を示すZ相と呼ばれるパルスがあります。

Z相のパルスを利用してカウンタを0000_Hにクリアすることで誤差を修正することができます。

エンコーダの動作例 このマクロでは、A相のパルスをENCATAINに、B相のパルスをENCATBINに入力することによってカウントを実行することで回転を測定することができます。

さらに、Z相のパルスをENCATZINに入力してカウンタを0000_Hにクリアすることで、位相シフトなどの誤差を修正することができます。

タイマ・カウンタで測定した回転数を位置測定アプリケーションや速度測定アプリケーションで利用できます。

14.3 ENCA 制御レジスタ

ENCA_n は、以下のレジスタによって制御され、操作されます。

表 14-7 ENCA_n レジスタの概要

レジスタ名	略号	アドレス
ENCA キャプチャ比較レジスタ 0	ENCA _n CCR0	<ENCA _n _base_USER>
ENCA キャプチャ比較レジスタ 1	ENCA _n CCR1	<ENCA _n _base_USER> + 04 _H
ENCA カウンタ・レジスタ	ENCA _n CNT	<ENCA _n _base_USER> + 08 _H
ENCA ステータス・フラグ・レジスタ	ENCA _n FLG	<ENCA _n _base_USER> + 0C _H
ENCA ステータス・フラグ・クリア・レジスタ	ENCA _n FGC	<ENCA _n _base_USER> + 10 _H
ENCA タイマ・イネーブル・ステータス・レジスタ	ENCA _n TE	<ENCA _n _base_USER> + 14 _H
ENCA タイマ・スタート・トリガ・レジスタ	ENCA _n TS	<ENCA _n _base_USER> + 18 _H
ENCA タイマ・ストップ・トリガ・レジスタ	ENCA _n TT	<ENCA _n _base_USER> + 1C _H
ENCA I/O 制御レジスタ 0	ENCA _n IOC0	<ENCA _n _base_USER> + 20 _H
ENCA 制御レジスタ	ENCA _n CTL	<ENCA _n _base_OS> + 40 _H
ENCA I/O 制御レジスタ 1	ENCA _n IOC1	<ENCA _n _base_OS> + 44 _H

ベース・アドレス ENCA_n のベース・アドレス <ENCA_n_base_USER> および <ENCA_n_base_OS> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

(1) ENCA_nCTL — ENCA 制御レジスタ

本レジスタは、エンコーダ・タイマのさまざまな動作の設定に使用されます。

アクセス 16ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base_OS> + 40_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
ENCA _n CME	ENCA _n MCS	0	0	0	0	ENCA _n CRM1	ENCA _n CRM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ENCA _n CTS	0	0	ENCA _n LDE	ENCA _n ECM1	ENCA _n ECM0	ENCA _n UDS[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-8 ENCA_nCTL レジスタの内容 (1/2)

ビット	名称	機能
15	ENCA _n CME	エンコーダ・クリア・マスク・イネーブル・ビット このビットは、比較機能が使用されているときに比較一致割り込み検出のマスキングを有効または無効にするために使用されます。 0: ENCA _n CCR1 レジスタの比較一致割り込み (ENCA _n TINT1) マスク機能を無効にします。 1: ENCA _n CCR1 レジスタの比較一致割り込み (ENCA _n TINT1) マスク機能を有効にします。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 このビットが「1」にセットされているときに ENCA _n ECM1 を「1」にセットすることは禁止されています。
14	ENCA _n MCS	エンコーダ・マスク・クリア選択ビット このビットは、比較機能が使用されているときに比較一致割り込み検出のマスキングをキャンセルするためのトリガの選択に使用されます。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 0: ENCA _n CCR1 レジスタへの書き込みが行われると、比較一致割り込み検出のマスキングをキャンセルします。 1: 以下の3つの動作のいずれかが実行されたときに比較一致割り込み検出のマスキングをキャンセルします。 -Z相によるタイマ・カウンタ・クリア動作 -ENCA _n ECM0 = 1 のときに ENCA _n CNT と ENCA _n CCR0 が比較一致したときのタイマ・カウンタ・クリア動作 -ENCA _n LDE = 1 のときのアンダフローの検出による ENCA _n CCR0 からタイマ・カウンタへのロード
9	ENCA _n CRM1	ENCA _n CCR1 レジスタ・モード・ビット 0: ENCA _n CCR1 を比較レジスタとして使用します。 1: ENCA _n CCR1 をキャプチャ・レジスタとして使用します。
8	ENCA _n CRM0	ENCA _n CCR0 レジスタ・モード・ビット 0: ENCA _n CCR0 を比較レジスタとして使用します。 1: ENCA _n CCR0 をキャプチャ・レジスタとして使用します。

表 14-8 ENCAAnCTL レジスタの内容 (2/2)

ビット	名称	機能
7	ENCAAnCTS	<p>ENCAAnCCR1 キャプチャ・トリガ選択ビット ENCAAnCCR1 レジスタへのキャプチャ動作のトリガを選択するビット・レジスタです。</p> <p>このビットで ENCAAnCCR1 レジスタへのキャプチャ・トリガを選択します。このビットは ENCAAnCRM1 = 1 のときにのみ有効になります。</p> <p>0: キャプチャ・トリガ 1 信号の ENCATTIN1 を ENCAAnCCR1 レジスタへのキャプチャのトリガとして使用します。</p> <p>1: Z 相エンコーダ入力信号の ENCATZIN を ENCAAnCCR1 レジスタへのキャプチャのトリガとして使用します。</p>
4	ENCAAnLDE	<p>ENCAAn カウンタ・ロード・イネーブル・ビット このレジスタは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。</p> <p>このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。</p> <p>ENCAAnCRM0 = 1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCAAnCCR0 レジスタの設定値のロードは行われません。</p> <p>0: カウンタのオーバフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを許可します。</p> <p>1: カウンタのオーバフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを禁止します。</p>
3	ENCAAnECM1	<p>エンコーダ・クリア・モード・ビット 1 このレジスタは、カウンタ値と ENCAAnCCR1 の設定値が一致したときのカウンタ・クリア動作の設定に使用されます。</p> <p>このビットは ENCAAnCRM1 = 0 のときにのみ有効になります。</p> <p>0: タイマ・カウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアしません。</p> <p>1: 次のカウントがダウン・カウントであれば、タイマ・カウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
2	ENCAAnECM0	<p>エンコーダ・クリア・モード・ビット 0 このレジスタは、カウンタ値と ENCAAnCCR0 の設定値が一致したときのカウンタ・クリア動作の設定に使用されます。</p> <p>このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。</p> <p>0: タイマ・カウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアしません。</p> <p>1: 次のカウントがダウン・カウントであれば、タイマ・カウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
1 ~ 0	ENCAAnUDS[1:0]	<p>アップダウン・カウント選択ビット 1 と 0 ENCATAIN と ENCATBIN を使用するカウンタ・アップ/ダウン制御レジスタです。</p> <p>00:ENCATAIN の有効なエッジを検出したときに以下のカウントを実行します。</p> <ul style="list-style-type: none"> - ENCATBIN = H の場合はダウン・カウント - ENCATBIN = L の場合はアップ・カウント <p>01:ENCATAIN の有効なエッジを検出したときにアップ・カウントを実行します。</p> <p>ENCATBIN の有効なエッジを検出したときにダウン・カウントを実行します。</p> <p>10:ENCATAIN の立ち上がりエッジでダウン・カウントを実行します。</p> <p>ENCATAIN の立ち下がりエッジでアップ・カウントを実行します。</p> <p>ただし、カウントは ENCATBIN = L のときにのみ実行されます。</p> <p>11:ENCATAIN と ENCATBIN の両方のエッジを検出します。</p> <p>検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します。</p>

(2) ENCA_nIOC0 — ENCA I/O 制御レジスタ 0

本レジスタは、キャプチャ・トリガ0と1 (ENCA_nTTIN0とENCA_nTTIN1)の入力エッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base_USER> + 20_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	ENCA _n TIS[3:2]	ENCA _n TIS[1:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-9 ENCA_nIOC0 レジスタの内容

ビット	名称	機能
3～2	ENCA _n TIS[3:2]	キャプチャ・トリガ1の入力エッジ選択ビットです。 これらのビットは ENCA _n CTL レジスタの ENCA _n CRM1 = 1 かつ ENCA _n CTS = 0 である場合にのみ有効になります。 ENCA _n CRM1 と ENCA _n CTS がそれ以外の値に設定されているときは無効です。 00:エッジを検出しません。 01:立ち上がりエッジを検出します。 10:立ち下がりエッジを検出します。 11:両方のエッジを検出します。
1～0	ENCA _n TIS[1:0]	キャプチャ・トリガ0の入力エッジ選択ビットです。 これらのビットは ENCA _n CTL.ENCA _n CRM0 = 1 の場合にのみ有効になります。 00:エッジを検出しません。 01:立ち上がりエッジを検出します。 10:立ち下がりエッジを検出します。 11:両方のエッジを検出します。

(3) ENCA_nIOC1 — ENCA I/O 制御レジスタ 1

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base_OS> + 44_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
ENCA _n SCE	ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n ECS[1:0]		ENCA _n EIS[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-10 ENCA_nIOC1 レジスタの内容 (1/2)

ビット	名称	機能
7	ENCA _n SCE	<p>エンコーダ特殊クリア・イネーブル・ビット これはエンコーダ特殊クリア・イネーブル・ビットです。 0に設定すると、特殊クリアが無効になり、カウンタはZ相のエッジが検出されたときにクリアされます。1に設定すると、特殊クリアが有効になり、カウンタは、ENCATZIN、ENCATAIN、ENCATBINが設定されたレベルに達したときにクリアされます。 このビットを1にセットする場合は、ENCA_nUDS1とENCA_nUDS0を{1,0}または{1,1}に設定してください。ENCA_nUDS1とENCA_nUDS0が{0,0}または{0,1}に設定された状態でこのビットを1にセットした場合の動作は保証されません。 0: (ENCA_nECS1とENCA_nECS0で設定された) ENCATZINの有効なエッジを検出すると、カウンタをクリアします。 1: (ENCA_nZCLビット、ENCA_nBCLビット、ENCA_nACLビットで設定された) ENCATZIN、ENCATBIN、ENCATAINの入力レベル条件を検出すると、カウンタをクリアします。</p>
6	ENCA _n ZCL	<p>入力Zクリア・レベル選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのZ相エンコーダ入力 (ENCA_nZIN) のクリア・レベルの設定に使用されます。 このビットはENCA_nSCE = 1のときにのみ有効であり、ENCA_nSCE = 0のときは無効です。 0: クリア条件: ロウ・レベル 1: クリア条件: ハイ・レベル</p>
5	ENCA _n BCL	<p>入力Bクリア・レベル選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのB相エンコーダ入力 (ENCA_nBIN) のクリア・レベルの設定に使用されます。 このビットはENCA_nSCE = 1のときにのみ有効であり、ENCA_nSCE = 0のときは無効です。 0: クリア条件: ロウ・レベル 1: クリア条件: ハイ・レベル</p>

表 14-10 ENCAAnIOC1 レジスタの内容 (2/2)

ビット	名称	機能
4	ENCAAn ACL	<p>入力 A クリア・レベル選択ビット このビットは、エンコーダ特殊クリア機能を使用するときの A 相エンコーダ入力 (ENCAAnAIN) のクリア・レベルの設定に使用されます。 このビットは ENCAAnSCE = 1 のときにのみ有効であり、ENCAAnSCE = 0 のときは無効です。</p> <p>0: クリア条件 : ロウ・レベル 1: クリア条件 : ハイ・レベル</p>
3 ~ 2	ENCAAn ECS[1:0]	<p>エンコーダ・クリア入力エッジ選択ビット 1 と 0 これらはエンコーダ・クリア入力エッジ選択ビット (Z 相) です。 これらのビットは ENCAAnSCE = 0 のときにのみ有効であり、ENCAAnSCE = 1 のときは無効です。</p> <p>00: エッジを検出しません。 01: 立ち上がりエッジを検出します。 10: 立ち下がりエッジを検出します。 11: 両方のエッジを検出します。</p>
1 ~ 0	ENCAAn EIS[1:0]	<p>エンコーダ入力選択ビット 1 と 0 これらはエンコーダ入力エッジ選択ビット (A 相, B 相) です。 これらのビットは、ENCAAnUDS1 と ENCAAnUDS0 が {0, 0} または {0, 1} のときにのみ有効であり、ENCAAnUDS1 と ENCAAnUDS0 が {1, 0} または {1, 1} のときは無効です。</p> <p>00: エッジを検出しません。 01: 立ち上がりエッジを検出します。 10: 立ち下がりエッジを検出します。 11: 両方のエッジを検出します。</p>

(4) ENCA_nFLG — ENCA ステータス・フラグ・レジスタ

本レジスタには ENCA_n のタイマ・カウンタのステータス・フラグが格納されます。

アクセス 8 ビット単位でリード可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base_USER> + 0C_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
R	R	R	R	R	ENCA _n CSF	ENCA _n UDF	ENCA _n OVF
R	R	R	R	R	R	R	R

表 14-11 ENCA_nFLG レジスタの内容

ビット	名称	機能
2	ENCA _n CSF	<p>カウンタ・ステータス・フラグ</p> <p>このビットには現在のタイマ・カウンタの動作が反映されます。 このビットはカウント動作の開始時にクリアされます。</p> <p>0: タイマ・カウンタがアップ・カウント状態にあります。 1: タイマ・カウンタがダウン・カウント状態にあります。</p>
1	ENCA _n UDF	<p>アンダフロー・フラグ</p> <p>このビットには、タイマ・カウンタの動作中にアンダフローが発生したかどうか反映されます。このビットはカウント動作の開始時にクリアされます。</p> <p>0: ENCA_nFGC レジスタの ENCA_nCLUD に「1」が書き込まれるか、ENCA_nTE=0 のときに ENCA_nTS が「1」にセットされるか、ENCASST の入力信号が「ハイ」になると、このフラグが「0」にクリアされます。</p> <p>1: エンコーダ・タイマ・カウント動作中にアンダフローが発生すると、このフラグが「1」にセットされます。</p>
0	ENCA _n OVF	<p>オーバフロー・フラグ</p> <p>このビットには、タイマ・カウンタの動作中にオーバフローが発生したかどうか反映されます。 このビットはカウント動作の開始時にクリアされます。</p> <p>0: ENCA_nFGC レジスタの ENCA_nCLOV に「1」が書き込まれるか、ENCA_nTE=0 のときに ENCA_nTS が「1」にセットされるか、ENCASST の入力信号が「ハイ」になると、このフラグが「0」にクリアされます。</p> <p>1: エンコーダ・タイマ・カウント動作中にオーバフローが発生すると、このフラグが「1」にセットされます。</p>

(5) ENCA_nFGC — ENCA ステータス・フラグ・クリア・レジスタ

本レジスタは ENCA_nFLG のタイマ・カウンタ・ステータス・フラグをクリアするために使用されます。

アクセス 8 ビット単位で書き込み可能です。
本レジスタは、読み出すと常に 0 を返します。

アドレス <ENCA_n_base_USER> + 10_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ENCA _n CLUD	ENCA _n CLOV
W	W	W	W	W	W	W	W

表 14-12 ENCA_nFGC レジスタの内容

ビット	名称	機能
1	ENCA _n CLUD	アンダフロー・フラグ・クリア このビットはアンダフロー・フラグをクリアします。 0: 「0」の書き込みを無視します。 1: ENCA _n FL レジスタの ENCA _n UDF をクリアします (アンダフロー検出のクリア)。
0	ENCA _n CLOV	オーバフロー・フラグ・クリア このビットはオーバフロー・フラグをクリアします。 0: 「0」の書き込みを無視します。 1: ENCA _n FL レジスタの ENCA _n OVF をクリアします (オーバフロー検出のクリア)。

(6) ENCA_nCCR0 — ENCA キャプチャ比較レジスタ 0

このレジスタは 16 ビットのキャプチャ比較レジスタ 0 です。

アクセス 比較レジスタとして使用する場合 (ENCA_nCTL.ENCA_nCRM0 = 0) は 16 ビット単位で書き込み可能です。
キャプチャ・レジスタとして使用する場合 (ENCA_nCTL.ENCA_nCRM0 = 1), 動作中の本レジスタへの書き込みは無効になります。

アドレス <ENCA_n_base_USER>

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCA _n CCR0[15:0]															
R/W															

表 14-13 ENCA_nCCR0 レジスタの内容

ビット	名称	機能
15 ~ 0	ENCA _n CCR0[15:0]	キャプチャ比較レジスタ 0 アンダフローが発生した場合は、ENCA _n CTL.ENCA _n LDE の設定に従って、本レジスタの設定値をカウンタにロードすることができます。詳細については、ENCA 制御レジスタ ENCA _n CTL の ENCA _n LDE ビットの説明を参照してください。 <ul style="list-style-type: none"> ENCA_nCTL.ENCA_nCRM0 = 0 の場合：ENCA_nCCR0 は比較レジスタになります。タイマ・カウンタ値との比較の対象になる値を設定します。 ENCA_nCTL.ENCA_nCRM0 = 1 の場合：ENCA_nCCR0 はキャプチャ・レジスタになります。キャプチャされたタイマ・カウンタ値が格納されます。

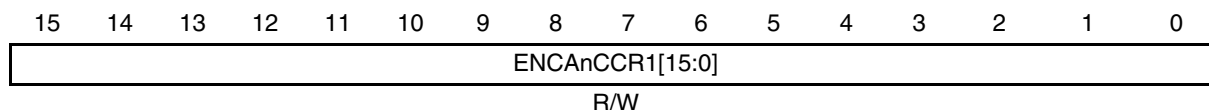
(7) ENCA_nCCR1 — ENCA キャプチャ比較レジスタ 1

このレジスタは 16 ビットのキャプチャ比較レジスタ 1 です。

アクセス 比較レジスタとして使用する場合 (ENCA_nCTL.ENCA_nCRM1 = 0) は 16 ビット単位で書き込み可能です。
 キャプチャ・レジスタとして使用する場合 (ENCA_nCTL.ENCA_nCRM1 = 1), 動作中の本レジスタへの書き込みは無効になります。

アドレス <ENCA_n_base_USER> + 04_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

表 14-14 ENCA_nCCR1 レジスタの内容

ビット	名称	機能
15 ~ 0	ENCA _n CCR1[15:0]	キャプチャ比較レジスタ 1 キャプチャ動作中、本レジスタへのキャプチャをトリガする条件は、ENCA _n CTL.ENCA _n CTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCA _n CTL の ENCA _n CTS ビットの説明を参照してください。 <ul style="list-style-type: none"> • ENCA_nCTL.ENCA_nCRM1 = 0 の場合：ENCA_nCCR1 は比較レジスタになります。 タイマ・カウンタ値との比較の対象になる値を設定します。 • ENCA_nCTL.ENCA_nCRM1 = 1 の場合：ENCA_nCCR1 はキャプチャ・レジスタになります。 キャプチャされたタイマ・カウンタ値が格納されます。

(8) ENCA_nCNT — ENCA カウンタ・レジスタ

本レジスタは 16 ビットのタイマ・カウンタ・レジスタです。

アクセス 16 ビット単位でリード／ライト可能です。
本レジスタへの書き込みは、動作の停止中にのみ行うことができます。

アドレス <ENCA_n_base_USER> + 08_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

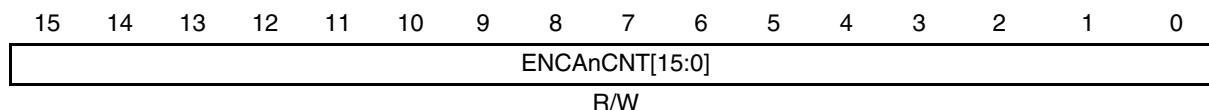


表 14-15 ENCA_nCNT レジスタの内容

ビット	名称	機能
15 ~ 0	ENCA _n CNT[15:0]	カウンタ・レジスタ <ul style="list-style-type: none"> • ENCA_nTE.ENCA_nTE の状態 : 0 (初期設定) : カウント停止 任意の値をタイマ・カウンタに設定できます。 • ENCA_nTE.ENCA_nTE の状態 : 0 → 1 (動作開始) : カウント動作開始 設定された任意の値からのアップ／ダウン・カウント動作を開始します。 • ENCA_nTE.ENCA_nTE の状態 : 1 (動作中) : カウント実行中 アップ／ダウン・カウント動作を実行中です。 • ENCA_nTE.ENCA_nTE の状態 : 1 → 0 (停止) : カウント停止 動作停止直前のカウンタ値が保持され、カウント動作が停止します。

(9) ENCA_nTE — ENCA タイマ・イネーブル・ステータス・レジスタ

本レジスタは ENCA_n の動作状態を示します。

アクセス 8 ビット単位でリード可能です。

アドレス <ENCA_n_base_USER> + 14_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCA _n TE
R	R	R	R	R	R	R	R

表 14-16 ENCA_nTE レジスタの内容

ビット	名称	機能
0	ENCA _n TE	タイマ・ステータス・イネーブル・ビット ENCA _n の動作可能/停止状態を示すステータス・ビットです。 このビットは、ENCA _n TT.ENCA _n TT に「1」が書き込まれるか、ENCA _n TSST 信号にハイ・レベルが入力されると「0」にクリアされます。 このビットは、ENCA _n TS.ENCA _n TS に「1」が書き込まれるか、ENCA _n TSST 信号にハイ・レベルが入力されると「1」にセットされます。 0: 動作停止状態 1: 動作可能状態

(10) ENCA_nTS — ENCA タイマ・スタート・トリガ・レジスタ

本レジスタは、ENCA_n を動作可能状態に設定するトリガ・ビットを供給します。

アクセス 8ビット単位でライト可能です。
本レジスタは、読み出すと常に0を返します。本レジスタへの書き込みは ENCA_nTE.ENCA_nTE が0のときにのみ行うことができます。

アドレス <ENCA_n_base_USER> + 18_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCA _n TS
R	R	R	R	R	R	R	W

表 14-17 ENCA_nTS レジスタの内容

ビット	名称	機能
0	ENCA _n TS	タイマ・スタート・トリガ・ビット ENCA _n を動作可能状態に設定するトリガ・ビットです。 0: 「0」の書き込みを無視します。 1: ENCA _n TE.ENCA _n TE = 1 に設定することで、ENCA _n を動作可能状態に設定します。

(11) ENCA_nTT — ENCA タイマ・ストップ・トリガ・レジスタ

本レジスタは、ENCA_nを動作停止状態に設定するトリガ・ビットを供給します。

アクセス 8ビット単位でライト可能です。
本レジスタは、読み出すと常に0を返します。

アドレス <ENCA_n_base_USER> + 1C_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCA _n TT
R	R	R	R	R	R	R	W

表 14-18 ENCA_nTT レジスタの内容

ビット	名称	機能
0	ENCA _n TT	タイマ・ストップ・トリガ・ビット ENCA _n を動作停止状態に設定するトリガ・ビットです。 0: 「0」の書き込みを無視します。 1: ENCA _n TE, ENCA _n TE を0にクリアし、ENCA _n をカウント動作停止状態に設定します。

14.4 機能の説明

ENCAn は、エンコーダ入力 (A 相, B 相, Z 相) を利用してカウンタ・アップ/ダウン制御とクリア制御を行うことでタイマ・カウンタを動作させます。ENCAnCCR0 レジスタと ENCAnCCR1 レジスタは、専用の比較レジスタとしても専用のキャプチャ・レジスタとしても使用することができます。

14.4.1 タイマ・カウンタの動作

以下で ENCAn のタイマ・カウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号のセクションを参照してください。

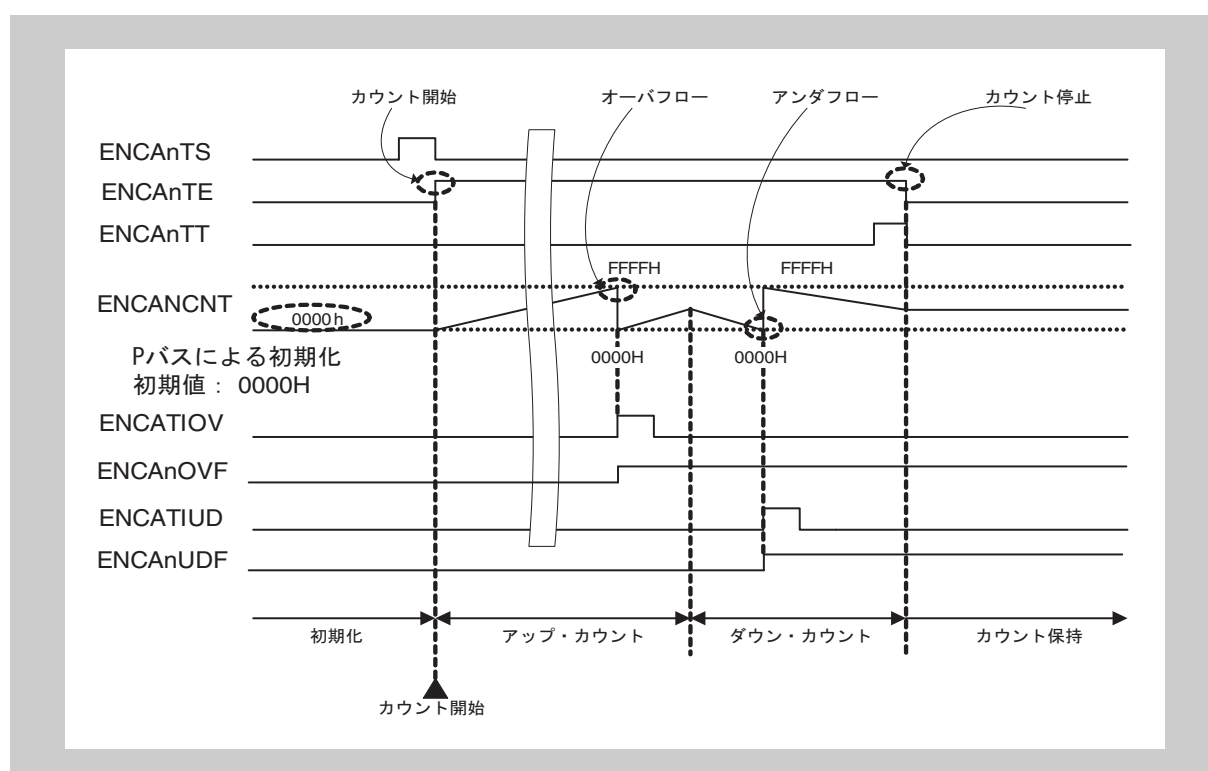


図 14-2 タイマ・カウンタの初期値設定/開始/停止

(1) タイマ・カウンタの初期値設定

カウンタ動作停止状態 (ENCAnTE = 0) のときに ENCAn カウンタ・レジスタ (ENCAnCNT) の初期値を設定することができます。

(2) タイマ・カウンタの起動

タイマ・スタート・トリガ・ビット (ENCAnTS) に「1」を書き込むことによってタイマ・ステータス・イネーブル・ビット (ENCAnTE) が「1」にセットされ、カウンタ動作が可能になり、エンコーダ入力の有効なエッジが検出されるとカウンタ動作が実行されます。

(3) オーバフロー動作

カウンタ値が FFFF_H のときにアップ・カウントが実行されると、オーバフローが発生します。オーバフローが発生すると、カウンタ値が FFFF_H から 0000_H にリセットされ、オーバフロー割り込み (ENCATIOV) が出力され、オーバフロー・フラグ (ENCAnOVF) が「1」にセットされます。オーバフロー・クリア・ビット (ENCAnCLOV) が「1」にセットされると、オーバフロー・フラグ (ENCAnOVF) が「0」にクリアされます。動作の詳細については、1035 ページの 14.6.1 「オーバフローの発生とオーバフロー・フラグ・クリア操作」を参照してください。

(4) アンダフローの動作

カウンタ値が 0000_H のときにダウン・カウントが実行されると、アンダフローが発生します。アンダフローが発生すると、カウンタ値が 0000_H から FFFF_H にリセットされ、アンダフロー割り込み (ENCATIUD) が出力され、アンダフロー・フラグ (ENCAnUDF) が「1」にセットされます。アンダフロー・クリア・ビット (ENCAnCLUD) が「1」にセットされると、アンダフロー・フラグ (ENCAnUDF) が「0」にクリアされます。動作の詳細については、1037 ページの 14.6.2 「アンダフローの発生とアンダフロー・フラグ・クリア操作」を参照してください。

(5) タイマ・カウンタの停止

タイマ・ストップ・トリガ・ビット (ENCAnTT) に「1」を書き込むことによって、タイマ・ステータス・イネーブル・ビット (ENCAnTE) が「0」にクリアされ、カウント動作が停止します。その時点で、タイマ・カウンタは 0000_H にリセットされず、カウント動作が停止する直前の値を保持します。

14.4.2 タイマ・カウンタのアップ/ダウン制御

アップ/ダウン制御は、ENCAnUDS1 と ENCAnUDS0 の設定に従ってエンコーダ入力 (ENCTAIN, ENCTBIN) の位相を判定することによって行われます。

(1) ENCAnUDS1 と ENCAnUDS0 = {0, 0} の場合

ENCAnUDS1	ENCAnUDS0	動作の説明			
		ENCATAIN 入力	ENCTBIN 入力	カウント動作	
0	0	立ち上がりエッジ	ハイ・レベル	ダウン	
		立ち下がりエッジ			
		両方のエッジ			
		立ち上がりエッジ	ロウ・レベル		アップ
		立ち下がりエッジ			
		両方のエッジ			

ENCATAIN の有効なエッジは、ENCAnEIS1 と ENCAnEIS0 を設定することによって指定します。

カウント動作は ENCATAIN と ENCATBIN の有効なエッジが重なると実行されます。

以下のタイミング図は、ENCAnUDS1 と ENCAnUDS0 = {0, 0} のときのカウント動作を示しています。

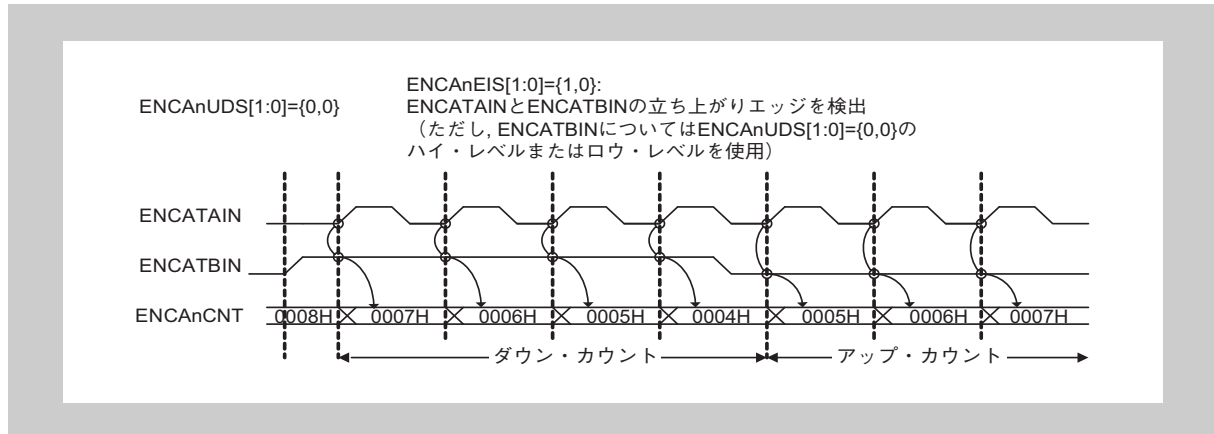


図 14-3 ENCAnUDS1 と ENCAnUDS0 = {0, 0} のときのカウント動作

(2) ENCAnUDS1 と ENCAnUDS0 = {0, 1} の場合

ENCAnUDS1	ENCAnUDS0	動作の説明			
		ENCATAIN 入力	ENCATBIN 入力	カウント動作	
0	1	ロウ・レベル	立ち上がりエッジ	ダウン	
			立ち下がりエッジ		
			両方のエッジ		
		ハイ・レベル	立ち上がりエッジ		
			立ち下がりエッジ		
			両方のエッジ		
	立ち上がりエッジ	ロウ・レベル	立ち下がりエッジ	アップ	
			両方のエッジ		
			立ち上がりエッジ		
		立ち下がりエッジ	ハイ・レベル		立ち下がりエッジ
					両方のエッジ
					立ち上がりエッジ
同時入力			保持		

ENCATAIN と ENCATBIN の有効なエッジは、ENCAnEIS1 と ENCAnEIS0 を設定することによって指定します。

カウント動作は ENCATAIN と ENCATBIN の有効なエッジが重なると実行されます。

以下のタイミング図は、ENCAnUDS1 と ENCAnUDS0 = {0, 1} のときのカウント動作を示しています。

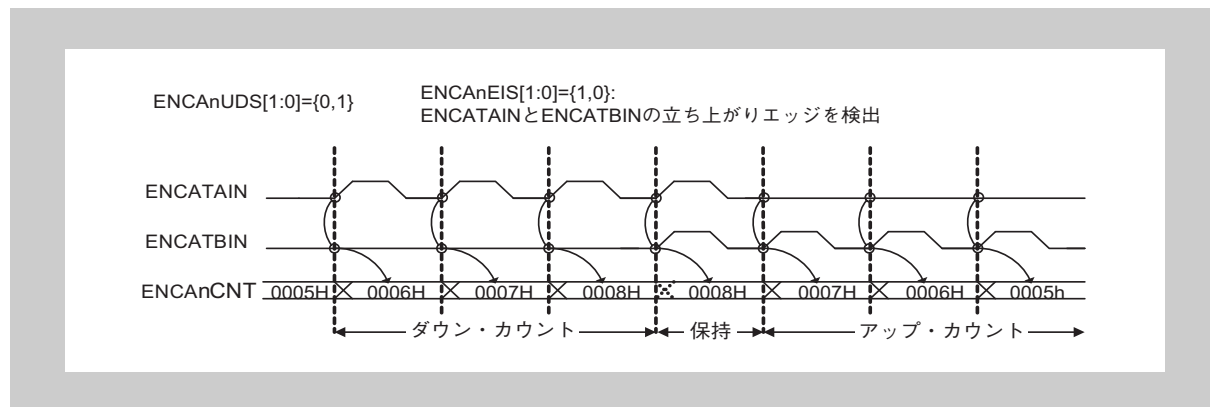


図 14-4 ENCAnUDS1 と ENCAnUDS0 = {0, 1} のときのカウント動作

(3) ENCA_nUDS1 と ENCA_nUDS0 = {1, 0} の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCATAIN 入力	ENCTBIN 入力	カウント動作
1	0	立ち上がりエッジ	ロウ・レベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウ・レベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウ・レベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイ・レベル	
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイ・レベル	

ENCATAIN と ENCTBIN の有効なエッジの指定 (ENCA_nEIS1 と ENCA_nEIS0 の設定) は無効です。

以下のタイミング図は、ENCA_nUDS1 と ENCA_nUDS0 = {1, 0} のときのカウント動作を示しています。

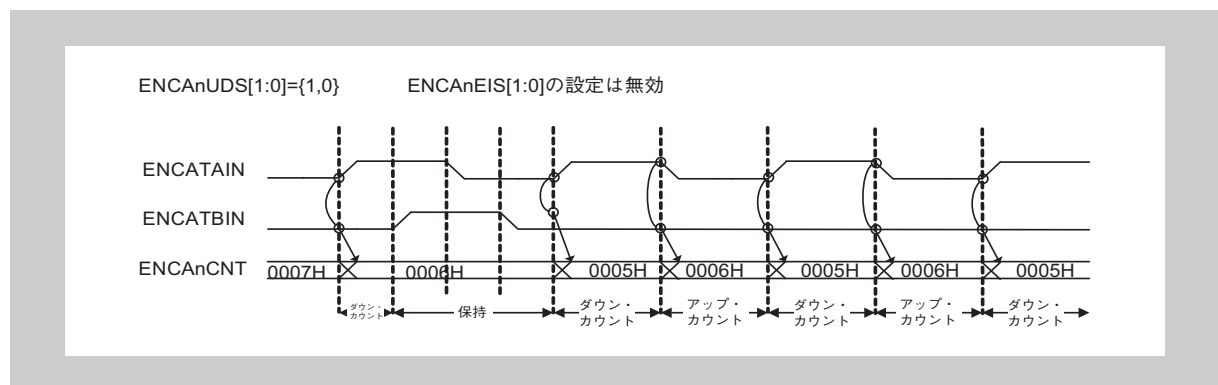


図 14-5 ENCA_nUDS1 と ENCA_nUDS0 = {1, 0} のときのカウント動作

(4) ENCA_nUDS1 と ENCA_nUDS0 = {1, 1} の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCATAIN 入力	ENCTBIN 入力	カウント動作
1	1	ロウ・レベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウ・レベル	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイ・レベル	
		立ち上がりエッジ	ハイ・レベル	アップ
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	
		ロウ・レベル	立ち上がりエッジ	
		同時入力		

ENCATAIN と ENCATBIN の有効なエッジの指定 (ENCA_nEIS1 と ENCA_nEIS0 の設定) は無効です。

ENCATAIN と ENCATBIN の有効なエッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCA_nUDS1 と ENCA_nUDS0 = {1, 1} のときのカウンタ動作を示しています。

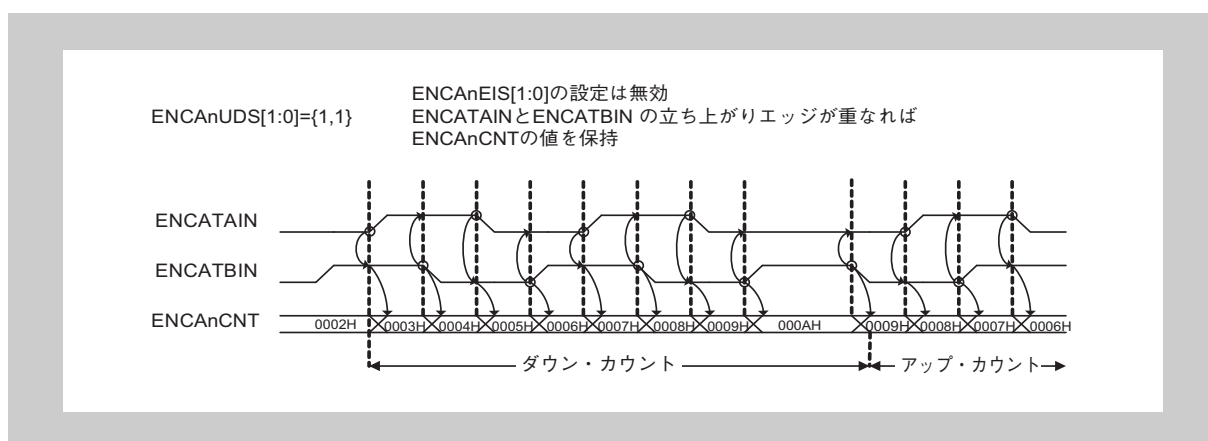


図 14-6 ENCA_nUDS1 と ENCA_nUDS0 = {1, 1} のときのカウンタ動作

14.4.3 エンコーダ入力によるタイマ・カウンタ・クリア制御

タイマ・カウンタは、Z相のエンコーダ入力 (ENCATZIN) によって 0000H にクリアされます。

ENCAnIOC1 レジスタの ENCAAnSCE ビット, ENCAAnZCL ビット, ENCAAnBCL ビット, ENCAAnACL ビット, ENCAAnECS1 ビットおよび ENCAAnECS0 ビットを制御することによって、2種類のクリア方法を選択できます。

クリア方法	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS1, ENCAAnECS0
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

(1) ENCAAnSCE = 0 のときのクリア方法

- ENCATZIN の有効なエッジを検出すると、タイマ・カウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCATZIN の有効なエッジは ENCAAnECS1 ビットと ENCAAnECS0 ビットを設定することによって指定します。
- ENCAnZCL ビット, ENCAAnBCL ビット, ENCAAnACL ビットの設定は無効です。
- タイマ・カウンタがクリアされると同時に、クリア割り込み信号 (ENCATIEC) が出力されます。

ENCAnSCE = 0 のときのクリア動作については、1061 ページの 14.6.19 「ENCAnSCE = 0 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作」のタイミング図を参照してください。

(2) ENCAAnSCE = 1 のときのクリア方法

- ENCAnZCL ビット, ENCAAnBCL ビット, ENCAAnACL ビットの設定に従って ENCATZIN 入力, ENCATBIN 入力, ENCATAIN 入力のクリア・レベルが検出され、タイマ・カウンタが動作クロックと同期して 0000_H にクリアされます。
- ENCAnECS1 ビットと ENCAAnECS0 ビットの設定は無効です。
- タイマ・カウンタがクリアされると同時に、エンコーダ・クリア割り込み信号 (ENCATIEC) が出力されます。

ENCAnZCL, ENCAAnBCL, ENCAAnACL の設定に従って行われるタイマ・カウンタのクリア条件を以下の表に示します。

カウンタ・クリア条件の設定			エンコーダの入カレベル		
ENCAnZCL	ENCAnBCL	ENCAnACL	ENCATZIN	ENCATBIN	ENCATAIN
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

ENCAnSCE = 1 のときのクリア動作については、1057 ページの 14.6.18 「ENCAnSCE = 1 のときに ENCATZIN によるクリアのタイミングで行われる キャプチャ動作」のタイミング図を参照してください。

14.4.4 ENCA_nCCR0 の機能

(1) 比較機能

- ENCA_nCRM0 = 0 のとき、ENCA_nCCR0 レジスタは専用の比較レジスタとして機能します。
- タイマ・カウンタの値と ENCA_nCCR0 の設定値が比較一致すると、比較 0 一致割り込み (ENCATINT0) が出力されます。
- ENCA_nECM0 = 1 の場合は、次のカウント動作がアップ・カウントであれば、比較一致が発生すると同時にタイマ・カウンタが動作クロックと同期して 0000_H にクリアされます。

ENCA _n CCR0 の機能	比較一致クリア制御	次のカウント動作	ENCA _n CCR0 との比較一致が発生したときのタイマ・カウンタのクリア
ENCA _n CRM0	ENCA _n ECM0		
0 (比較)	0	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
		ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
	1	アップ・カウント	タイマ・カウンタを 0000 _H にクリアします。
		ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。

- ENCA_nLD = 1 の場合**
- アンダフローが発生すると、ENCA_nCCR0 レジスタの設定値がタイマ・カウンタにロードされます。
 - アンダフロー割り込み (ENCATIUD) が出力されます。

ENCA_nLDE = 1 のときのさまざまなタイミング図が第 17 章「開始直後の ENCA_nLDE 機能の利用」から第 17 章「ENCA_nLDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合があったあとのアップ・カウント」に記載されています。

(2) キャプチャ機能

- ENCA_nCRM0 = 1 のとき、ENCA_nCCR0 レジスタは専用のキャプチャ・レジスタとして機能します。
- キャプチャ・トリガ入力 0 (ENCATTIN0) の有効なエッジを検出すると、タイマ・カウンタの値が ENCA_nCCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み (ENCATINT0) が出力されます。

ENCA_nCCR0 へのキャプチャ動作については、1052 ページの 14.6.14 「カウント・クロック間のキャプチャ動作 (ENCA_nCCR0)」と 1056 ページの 14.6.17 「ENCA_nECM1-0 = {0, 0} のときのエンコーダの動作」のタイミング図を参照してください。

14.4.5 ENCA_nCCR1 の機能

(1) 比較機能

- ENCA_nCRM1 = 0 のとき、ENCA_nCCR1 レジスタは、専用の比較レジスタとして機能します。
- タイマ・カウンタの値と ENCA_nCCR1 の設定値が比較一致すると、比較 1 一致割り込み (ENCA_nTINT1) が出力されます。
- ENCA_nECM1 = 1 の場合は、次のカウント動作がダウン・カウントであれば、比較一致が発生すると同時にタイマ・カウンタが動作クロックと同期して 0000_H にクリアされます。

ENCA _n CCR1 の機能	比較一致クリア制御	次のカウント動作	ENCA _n CCR1 との比較一致が発生したときのタイマ・カウンタのクリア
ENCA _n CRM1	ENCA _n ECM1		
0 (比較)	0	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
		ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
	1	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
		ダウン・カウント	タイマ・カウンタを 0000 _H にクリアします。

比較一致割り込み検出マスク機能

- ENCA_nCME = 1 のときは、比較 1 一致割り込み検出マスク機能が有効です。この状態では、タイマ・カウンタの値と ENCA_nCCR1 の設定値が初めて一致したときに比較 1 一致割り込みが出力されますが、2 回目以降の比較一致によって生成される割り込みはマスクされます。
- ENCA_nMCS = 0 のときは、ENCA_nCCR1 レジスタへの書き込み操作によって比較 1 一致割り込み検出マスク機能が無効になります。
- ENCA_nMCS = 1 のときは、Z 相によるタイマ・カウンタのクリア動作または ENCA_nCCR0 レジスタ値とタイマ・カウンタ値との一致によるタイマ・カウンタのクリア動作によって比較 1 一致割り込み検出マスク機能が無効になります。
- ENCA_nMCS = 1 かつ ENCA_nLDE = 1 のときは、アンダフロー検出時の ENCA_nCCR0 レジスタからタイマ・カウンタへのロード動作によって比較 1 一致割り込み検出マスク機能が無効になります。
- 比較 1 一致割り込み検出マスク機能を有効にする場合、ENCA_nECM を「1」にセットすることはできません。

ENCA _n CCR1 の機能	比較1一致割り 込みマスク	割り込みマスク・キャンセル・トリガ		ENCA _n CCR1 との比較一致が発 生したときの比較1一致割り込 みの出力
ENCA _n CRM1	ENCA _n CME	ENCA _n MCS	ENCA _n LDE = 0 のと きのアンダフローの 発生	
0 (比較)	0 (マスク機能無 効)	- (設定無効)	-	比較一致が発生するたびに比較1 一致割り込みを出力します。
	0 (マスク機能有 効)	0 (ENCA _n CCR1 への書き込み操 作)	発生 (ENCA _n CCR0 から タイマ・カウンタへ のロード)	最初の比較一致で比較1一致割 り込みを1回出力します(キャン セル・トリガが発生するまで、 2回目以降の一致によって生成さ れる割り込みはマスクされま す)。
1 (タイマ・カウ ンタ・クリア動作)				

比較一致割り込みマスク機能が有効になっているときのタイミング図については 1062 ページの 14.6.20 「一致割り込みマスク動作」を参照してください。

(2) キャプチャ機能

- ENCA_nCRM1 = 1 のとき、ENCA_nCCR1 レジスタは、専用のキャプチャ・レジスタとして機能します。

ENCA_nCCR1 へのキャプチャ動作については、1051 ページの 14.6.13 「カウント・クロック間のキャプチャ動作 (ENCA_nCCR1)」のタイミング図を参照してください。

ENCA_nCTS のさまざまな設定に対応する動作を以下の表に示します。

ENCA _n CCR1 の機能	キャプチャ・ト リガの選択	キャプチャ・トリガ 信号	タイマ・カウンタ のクリア	割り込みの発生
ENCA _n CRM1	ENCA _n CTS			
1 (比較)	0	キャプチャ・トリガ 1 入力 (ENCATTIN1)	タイマ・カウンタ をクリアしません。	(1) キャプチャ1 割り込み (ENCATINT1)
	1	Z相によるエンコー ダ・クリア入力 (ENCATZIN)	タイマ・カウンタ をクリアします。	(1) キャプチャ1 割り込み (ENCATINT1) (2) エンコーダ・クリア割り 込み (ENCATIEC)

ENCA_nCTS = 0 または ENCA_nCTS = 1 のときのタイミング図については、以下を参照してください。

1039 ページの 14.6.3 「Z相のキャプチャ」、1040 ページの 14.6.4 「オーバーフローの発生とZ相の入力によるクリア動作との競合」、アンダフローの発生とZ相の入力によるクリア動作との競合、1048 ページの 14.6.11 「ENCA_nLDE 機能 (カウンタ値のロード) とZ相の入力によるクリア動作との競合」、1050 ページの 14.6.12 「ENCA_nLDE 機能 (カウンタ値のロード) とZ相の入力によるクリア動作との競合があったあとのアップ・カウント」。

(3) 比較レジスタが一致したときのタイマ・カウンタのクリア

タイマ・カウンタ値と ENCA_nCCR0/1 の設定値が比較一致したときに、ENCA_nECM1 ビットと ENCA_nECM0 ビットの設定に従って行われるタイマ・カウンタのクリア動作の詳細を以下の表に示します。

ENCA _n ECM1 と ENCA _n ECM0	次のカウント 動作	ENCA _n CCR1 との比較一致が発生 したときの タイマ・カウンタのクリア	ENCA _n CCR0 との比較一致が発生 したときの タイマ・カウンタのクリア
00	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
	ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
01	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタを 0000 _H にクリアします。
	ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
10	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
	ダウン・カウント	タイマ・カウンタを 0000 _H にクリアします。	タイマ・カウンタをクリアしません (カウント動作を継続します)
11	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタを 0000 _H にクリアします。
	ダウン・カウント	タイマ・カウンタを 0000 _H にクリアします。	タイマ・カウンタをクリアしません (カウント動作を継続します)

14.4.6 タイマ・カウンタの起動／停止

(1) ENCA_n が1つの場合のタイマの起動

このマクロが1つしか搭載されていない場合は、ENCA_nTS ビットを1にセットすることによってマクロ動作を開始することができます。このマクロが1つしか搭載されていない場合は、同期動作の同時スタート・トリガ入力ピン (ENCATSST) をLに固定します。

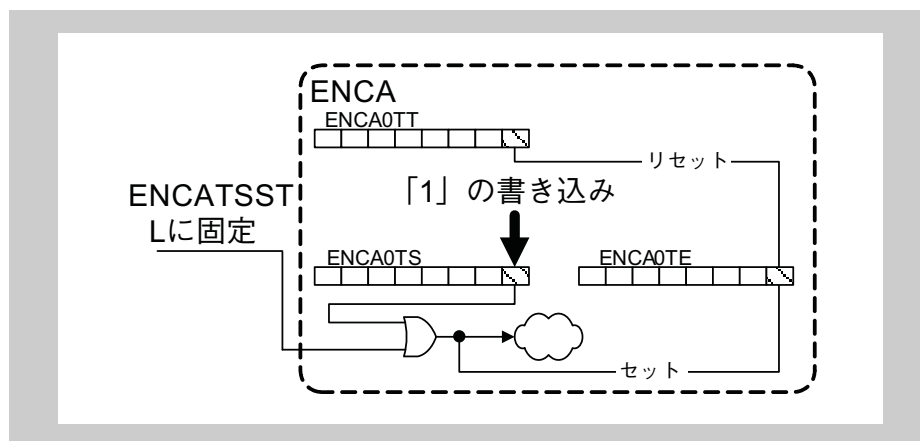


図 14-7 ENCA_n が1つの場合に ENCA_n を起動するための構成

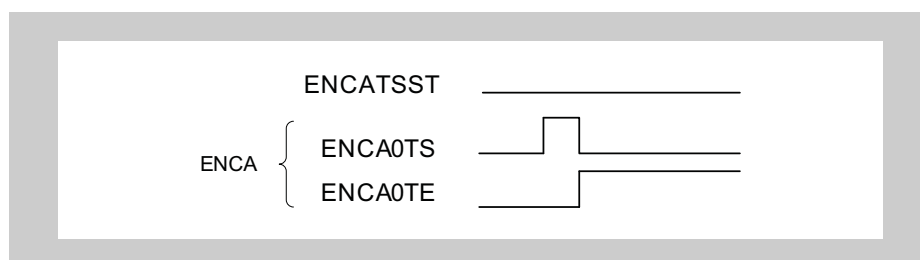


図 14-8 ENCA_n が1つの場合の起動のタイミング

(2) ENCA_n が複数の場合のタイマの起動

このマクロが複数搭載されている場合は、それらのマクロの動作を同期させて開始することができます。

同時スタート・トリガ入力 (ENCATSST) によってイネーブル・ステータス・ビット (ENCA_nTE) を「1」にセットすることでカウント動作を可能にし、エンコーダ入力のエッジが検出されたときに、搭載された複数のマクロを同期させてカウント動作を実行することができます。

1つのマクロしか搭載されていないときと同様に、ENCA_nTS ビットを1にセットすることで、搭載された複数の ENCA_n を同期させることなく、カウント動作を開始することもできます。

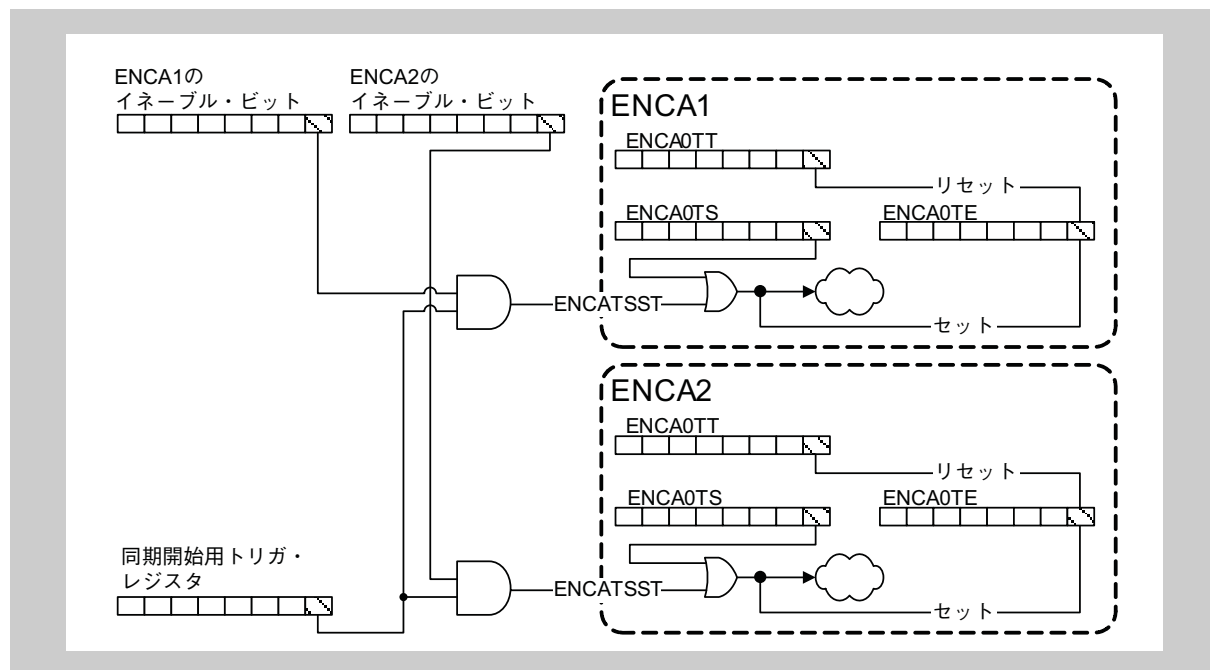


図 14-9 ENCA_n が複数の場合に同時起動するための構成

ENCA_n では、同時スタート・トリガ入力（ENCATSST）が ENCA_nTS ビットを「1」にセットすることと同じと見なされます。PCLK クロックを 1 クロック長のハイ・レベルの 1 ショット・パルスとして同時スタート・トリガ入力ピン（ENCATSST）に入力する必要があります。

ENCA_n は ENCATSST ピンのみを備えています。製品に実装する際には、すべてのマクロを同時に起動させるための各マクロ用のイネーブル・レジスタと同時開始用のトリガ・レジスタを実装することで同時起動機能を持たせることができます。

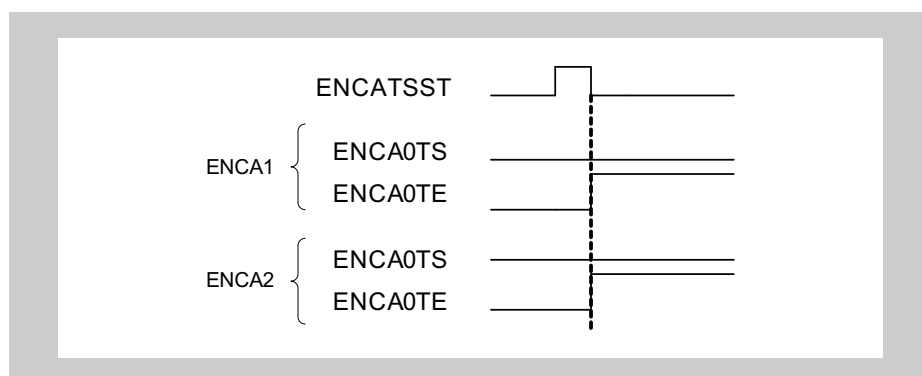


図 14-10 ENCA_n が複数の場合の同時起動のタイミング

(3) ENCA_n が 1 つの場合のタイマの停止

タイマの動作は、ENCA_nTT ビットを「1」に設定し、ENCA_nTE ビットを「0」に設定することによって停止します。

ENCA_n が 1 つの場合は、ENCA_nTT ビットが「1」にセットされると ENCA_nTE ビットが 0 になり、タイマが停止します。

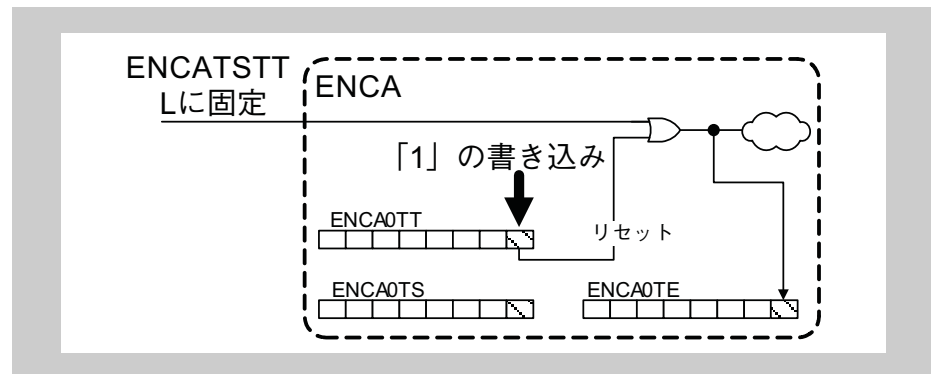


図 14-11 ENCA_n が 1 つの場合の ENCA を停止させる構成

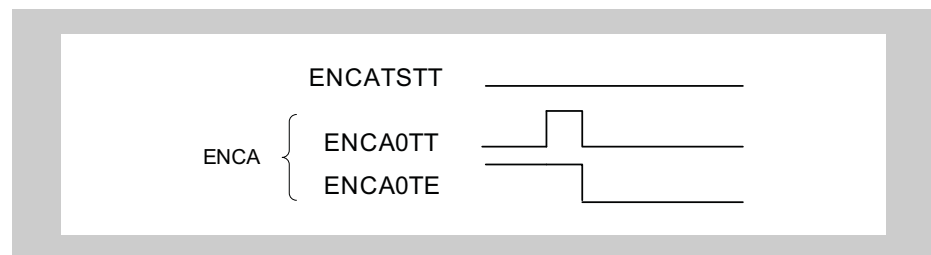


図 14-12 ENCA_n が 1 つの場合の停止のタイミング図

(4) ENCA_n が複数の場合のタイマの停止

ENCA_n は同時ストップ・トリガ入力ピン (ENCATSTT) を備えています。複数の ENCA_n がある場合は、ENCATSTT を使用するかどうかによって停止処理が異なります。

**ENCA_n が複数ある
環境で ENCATSTT
ピンを使用する場合**

同時ストップ・トリガ入力 (ENCATSTT) によって、搭載されているさまざまなマクロを同期させてカウント動作を停止することができます。

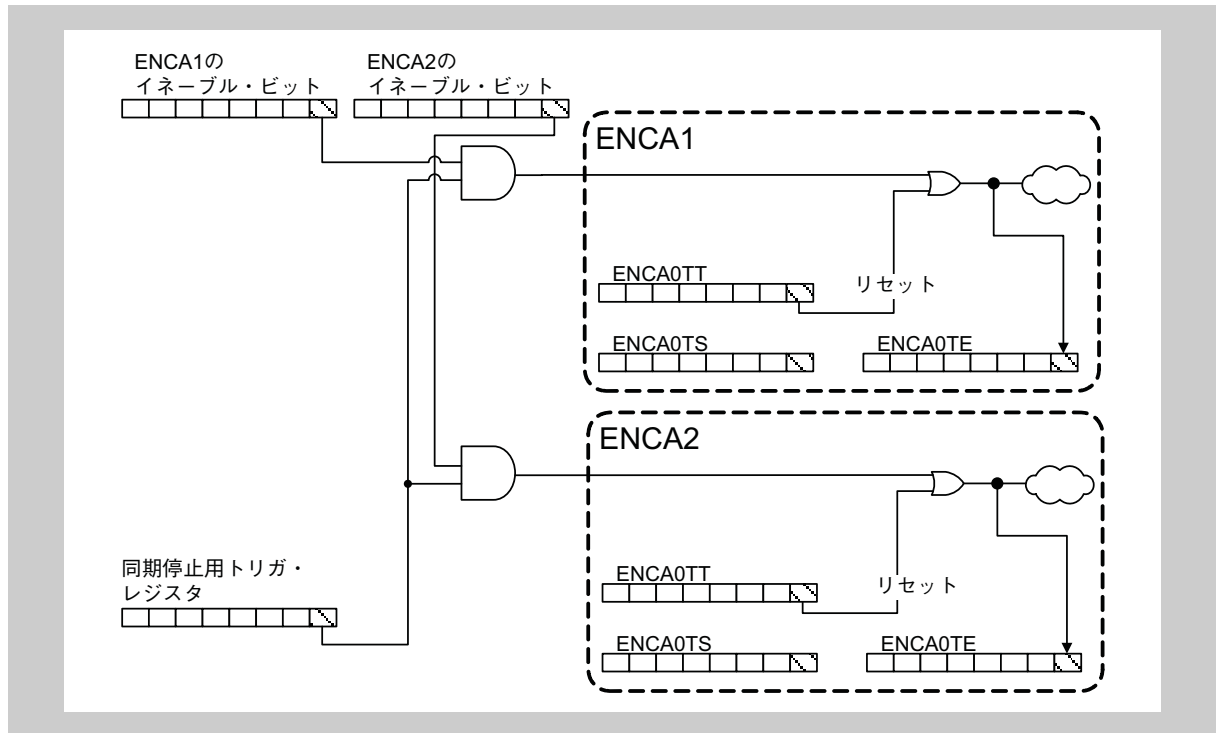


図 14-13 ENCA_n が複数ある環境で ENCATSTT 信号を利用してタイマを停止させるための構成

ENCA_n では、同時ストップ・トリガ入力 (ENCATSTT) が ENCA_nTT ビットを「1」にセットすることと同じと見なされます。PCLK クロックを 1 クロック長のハイ・レベルの 1 ショット・パルスとして同時ストップ・トリガ入力ピン (ENCATSTT) に入力する必要があります。

ENCA_n は ENCATSTT ピンのみを備えています。製品に実装する際には、すべてのマクロを同時に停止させるための各マクロ用のイネーブル・レジスタと同時停止用のトリガ・レジスタを実装することで同時停止機能を持たせることができます。

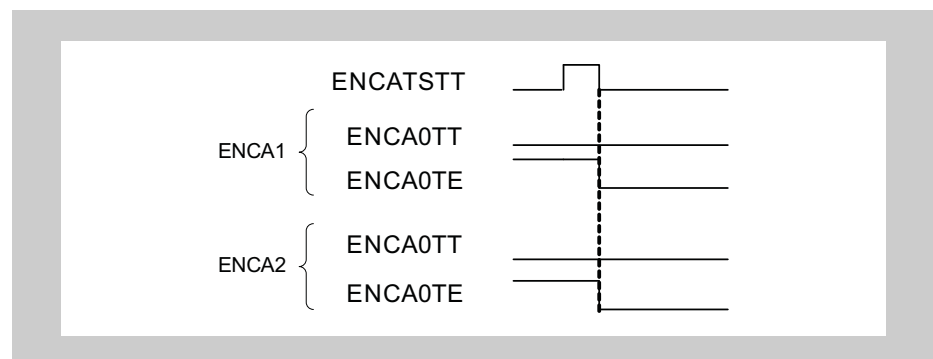


図 14-14 ENCATSTT 信号を使用するときの停止タイミング図

ENCA_n が複数ある環境で ENCATSTT ピンを使用しない場合

各 ENCA_n の ENCA_nTT ビットをそれぞれ「1」にセットすることによって ENCA_nTE ビットを 0 に設定します。

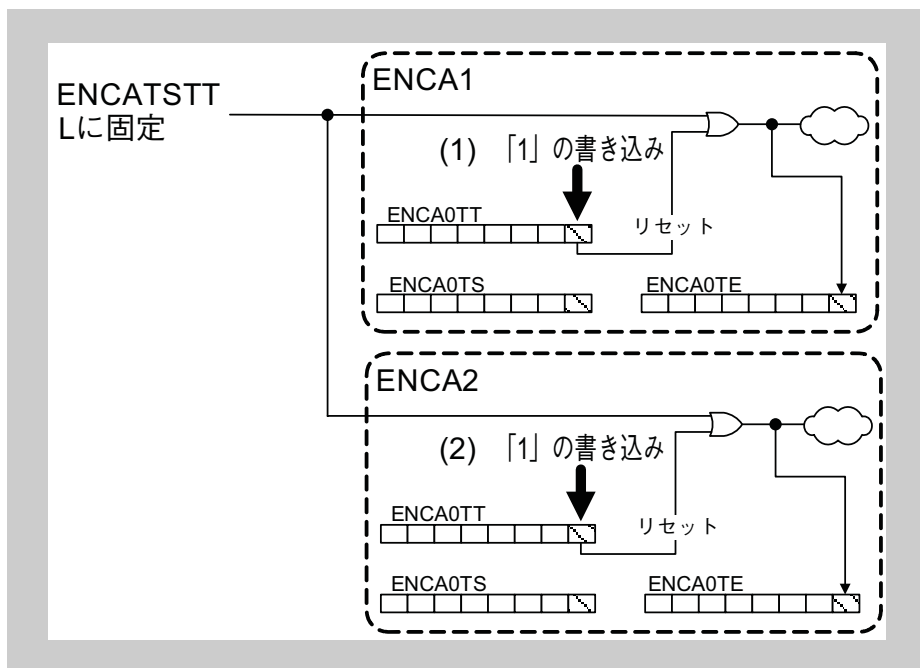


図 14-15 ENCA_n が複数ある環境で ENCATSTT 信号を利用せずにタイマを停止させるための構成

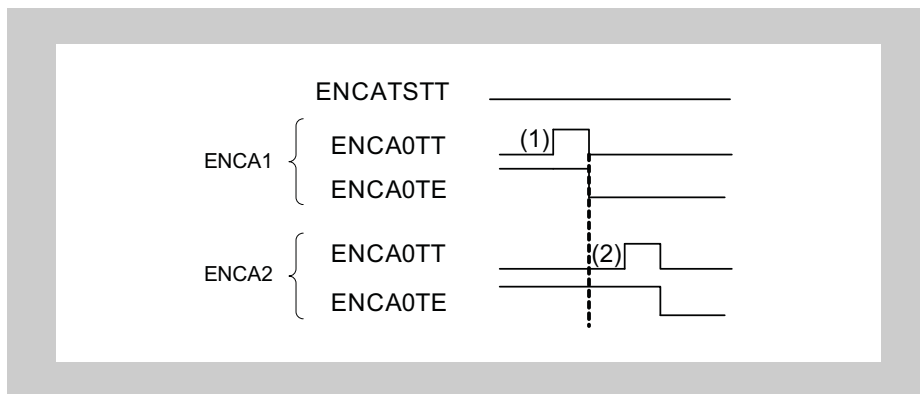


図 14-16 ENCATSTT ピンを利用しないときの停止のタイミング図

ENCA_nTT ビットへのアクセスが個々の ENCA_n で別々の動作として実行されるため、ENCA_n によって停止のタイミングが異なり、停止のタイミングで保持されるカウンタ値に、ある程度の誤差が生じる可能性があります。したがって、停止後に動作を再開するときは、以下の例に示すように、設定をやり直し、カウンタ値を補正する必要があります。

例 1 : 動作を再開する前にカウンタ値を設定し直す方法

- 条件 : 複数の ENCA_n が共通の ENCATAIN 信号, ENCATBIN 信号, ENCATZIN 信号に基づいて動作している (同期回路から出力される信号がエンコーダ入力として接続されている)
- 再開の手順 : ENCA_n のカウンタに同じ値を設定することによって同時再開を実行します。
同じ値を設定することで、動作が停止したときに生じたカウンタ値の誤差がなくなり、動作を再開することができます。

例 2 : 動作を開始する前にカウンタ値を補正する方法

- 条件 : 複数の ENCA_n が別々の ENCATAIN 信号, ENCATBIN 信号, ENCATZIN 信号に基づいて動作している (同期回路から出力される信号がエンコーダ入力として接続されている)
- 再開の手順 : 同時再開時の各 ENCA_n のカウンタ値の差を計算し、その差で補正された値を各カウンタに設定することによって同時再開を実行します。
さまざまな ENCA_n のカウンタ値の差に関する情報が CPU の情報に含まれているため、差を計算し、補正された値を設定することで、動作が停止したときに生じたカウンタ値の誤差を修正して動作を再開することができます。

(5) ENCA_n が複数の場合の接続例

複数の ENCA_n のカウンタ値を同時に操作するには、ENCA_nIOC1 レジスタおよび ENCA_nCTL レジスタの ENCA_nUDS1 ビットと ENCA_nUDS0 ビットに対して同じ設定を行います。

搭載された複数の ENCA_n の ENCA_nCCR0 を比較レジスタとして使用するには、すべての ENCA_n の ENCA_nECM0、ENCA_nCCR0、ENCA_nLDE に同じ値を設定します。

搭載された複数の ENCA_n の ENCA_nCCR1 を比較レジスタとして使用するには、すべての ENCA_n の ENCA_nECM1 に同じ値を設定します。

同じ値を設定しないと、さまざまな ENCA_n で別々のカウンタ値が使われるため、同期動作を実行できなくなります。

2 つの ENCA_n が搭載されている例を以下に示します。

この設定例では、ENCA_nCCR0 レジスタを比較レジスタとして設定し、ENCA_nCCR1 レジスタをキャプチャ・レジスタとして使用しています。

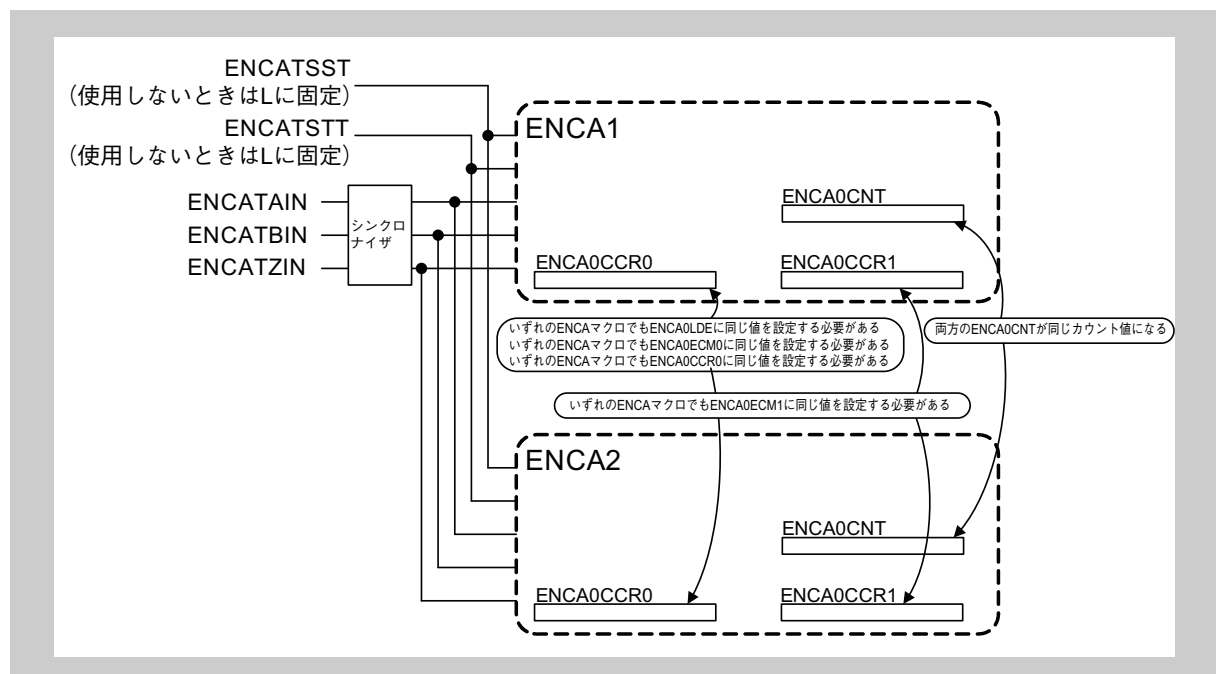


図 14-17 ENCA_n が複数の場合の接続例

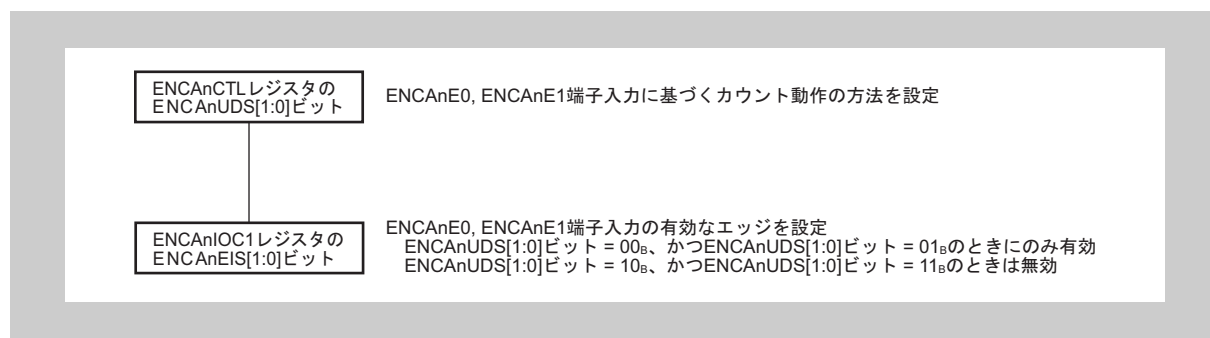
14.5 設定の順序

14.5.1 エンコーダ・タイマの設定手順

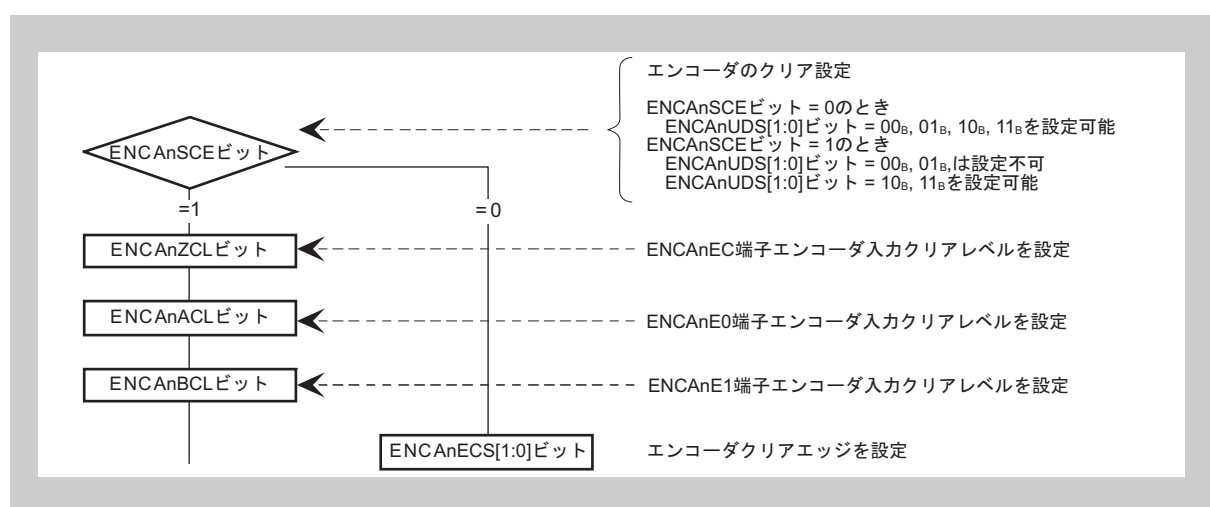
以下でエンコーダ・タイマの設定の手順を説明します。

	操作	設定の状態
初期設定		電源オフ状態 (各レジスタへの書き込みが禁止されています)
	リセット・リリース	電源オン状態, ENCA _n 動作停止状態。 (各レジスタへの書き込みが許可されます)
ENCA の初期設定	以下の初期設定を実行します。 <ul style="list-style-type: none"> カウンタの設定 カウンタ・クリアの設定 ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 	これはカウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビットの値が 0 です。
	カウンタ初期値の設定を実行します。 <ul style="list-style-type: none"> ENCA_nCNT レジスタに任意の 16 ビット値を設定します。 (このレジスタを設定した後, ENCA_nTS ビットを「1」にセットすると, 設定されたカウンタ値からカウンタの動作が開始されます)。 	ここで設定される値がカウンタ・レジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTS ビットを「1」にセットします。 	これはカウンタ動作開始状態です。 動作状態を示す ENCA _n TE ビットの値が 1 であり, カウンタ・クロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 <ul style="list-style-type: none"> ENCA_nCCR0 レジスタの設定は変更可能です。 ENCA_nCCR1 レジスタの設定は変更可能です。 ENCA_nIOC0 レジスタの設定は変更可能です。 	初期設定で設定されたカウンタ動作が実行され, ENCA _n TAIN と ENCA _n TBIN に従ってアップ・カウント/ダウン・カウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTT ビットを「1」に設定します。 	これはカウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビットの値が 0 です。
ENCA 停止	リセット	これは電源オフ状態です。 回路全体とすべての設定レジスタが初期化されます。

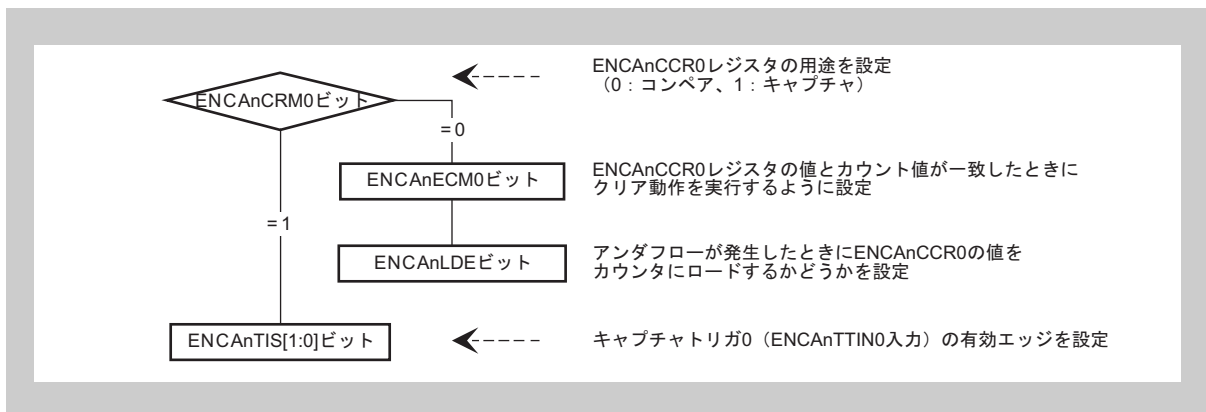
(1) カウンタの初期設定手順



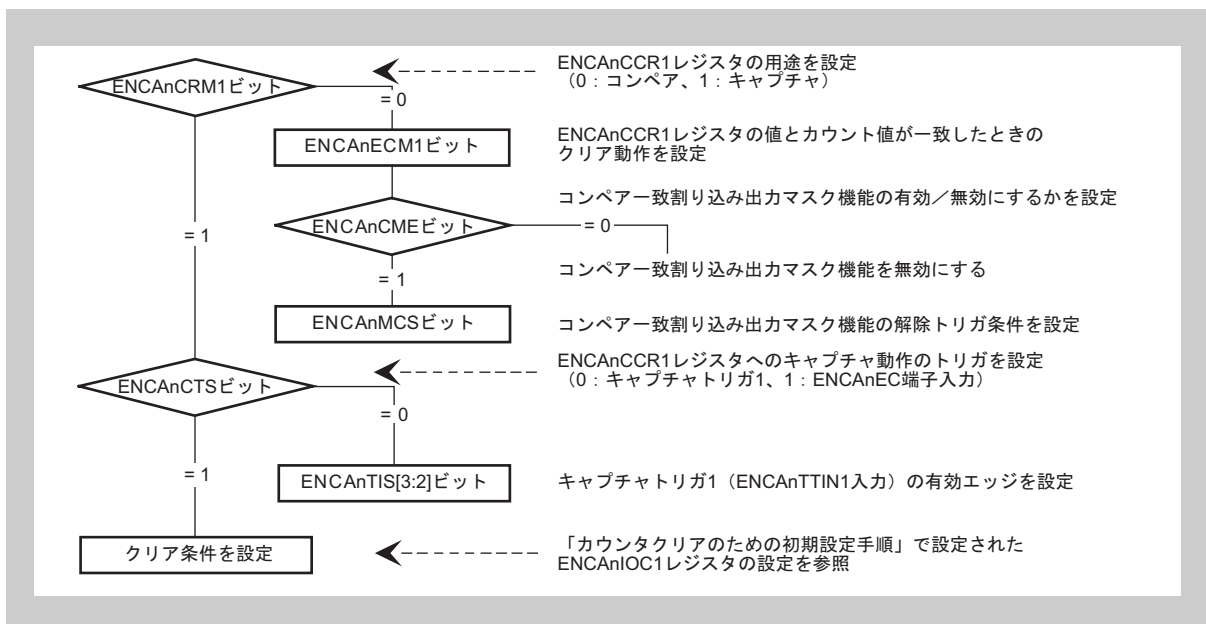
(2) カウンタ・クリアのための初期設定手順



(3) ENCA_nCCR0 レジスタの設定手順



(4) ENCA_nCCR1 レジスタの設定手順



14.6 タイミング図

14.6.1 オーバフローの発生とオーバーフロー・フラグ・クリア操作

以下でオーバーフローの発生について説明します。

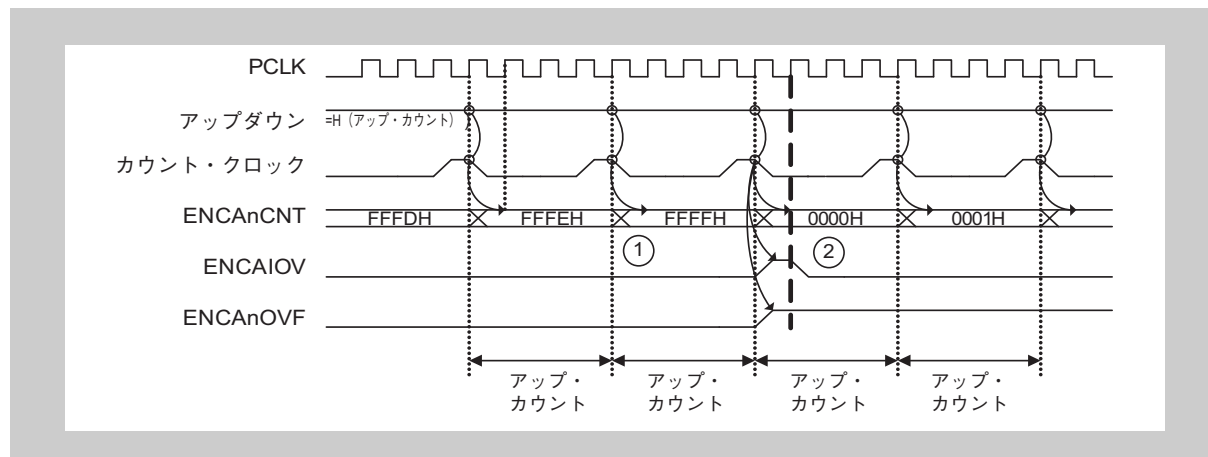


図 14-18 オーバフローの発生

1. カウント値が $FFFF_H$ のときにアップ・カウントが実行されるとオーバーフローが発生します。
2. カウント値が $FFFF_H$ から 0000_H に変化するとオーバーフローが発生します。同時に、オーバーフロー割り込みが出力され、オーバーフロー・フラグが「1」にセットされます。

以下でオーバーフロー・フラグ・クリア操作について説明します。

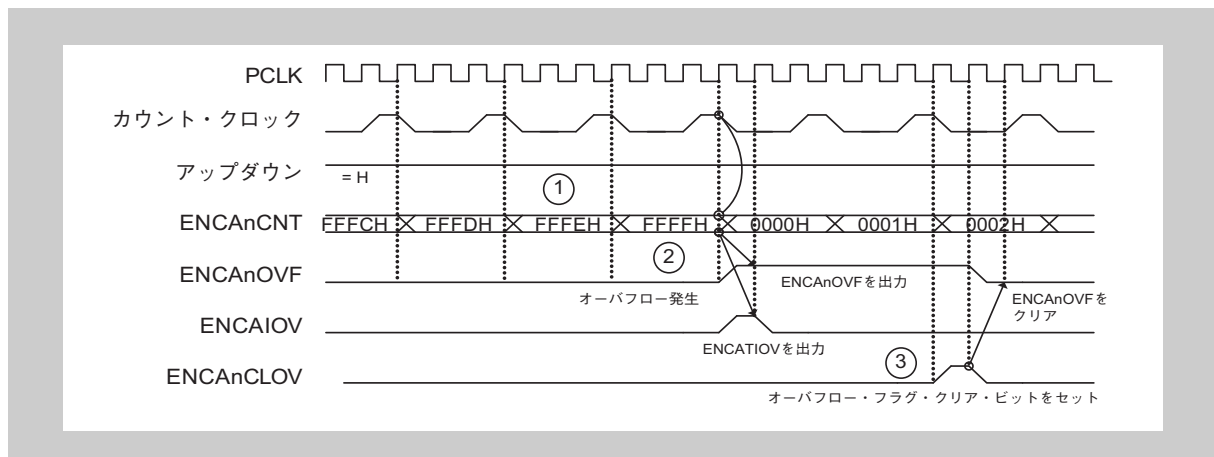


図 14-19 オーバフロー・フラグ・クリア

1. アップ・カウントが実行されます。
2. カウント値が FFFF_H のときにアップ・カウントが実行されるとオーバーフローが発生します。オーバーフローが発生すると、オーバーフロー割り込みが出力され、オーバーフロー・フラグが「1」にセットされます。
3. オーバフローが発生したあとは、オーバーフロー・フラグが（「1」に）セットされたままになりますが、ENCAAnCLOV を「1」にセットすることで、オーバーフロー・フラグは「0」にクリアされます。ENCAAnTE=0 のときに ENCAAnTS に「1」を設定するか、ENCASST の入力信号が「ハイ」になってもオーバーフロー・フラグはクリアされます。

14.6.2 アンダフローの発生とアンダフロー・フラグ・クリア操作

以下でアンダフローの発生について説明します。

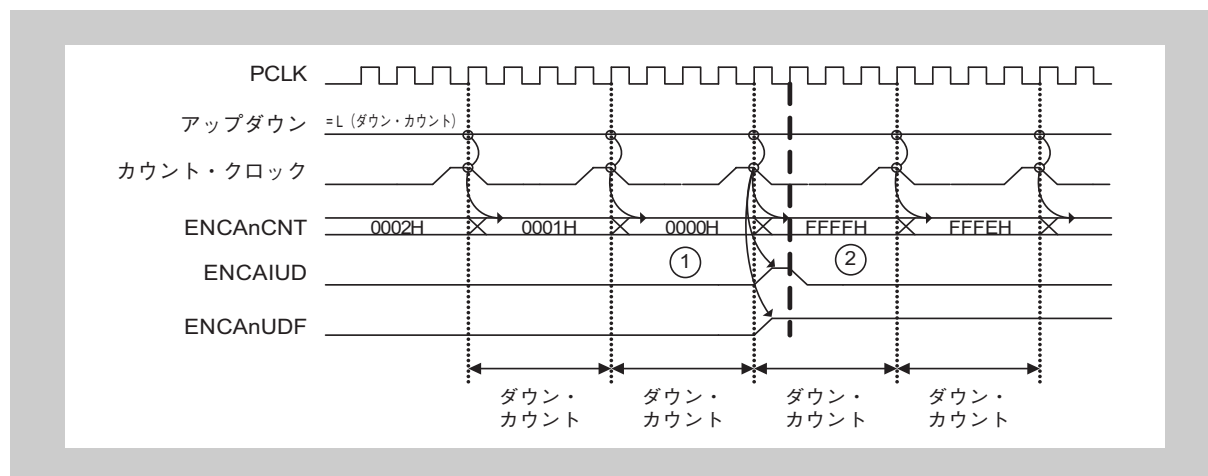


図 14-20 アンダフローの発生

1. カウント値が 0000_H のときにダウン・カウントが実行されるとアンダフローが発生します。
2. カウント値が 0000_H から $FFFF_H$ に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフロー・フラグが「1」にセットされます。

以下でアンダフロー・フラグ・クリア操作について説明します。

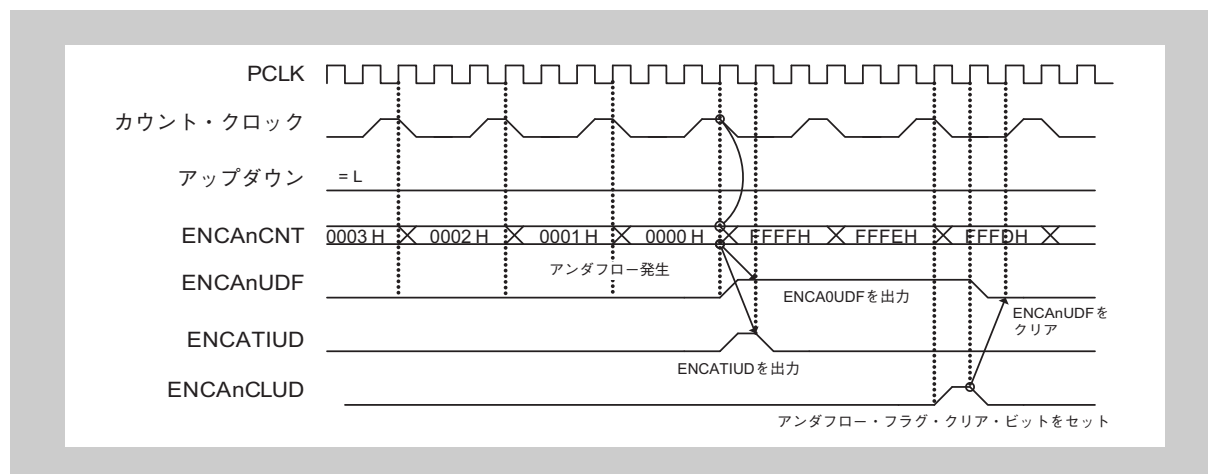


図 14-21 アンダフロー・フラグ・クリア

1. ダウン・カウントが実行されます。
2. カウント値が 0000_H のときにダウン・カウントが実行されるとアンダフローが発生します。アンダフローが発生すると、アンダフロー割り込みが出力され、アンダフロー・フラグが「1」にセットされます。
3. アンダフローが発生したあとは、アンダフロー・フラグが（「1」に）セットされたままになりますが、ENCAnCLUD を「1」にセットすることで、アンダフロー・フラグは「0」にクリアされます。ENCAnTE=0 のときに ENCAnTS に「1」を設定するか、ENCASST の入力信号が「ハイ」になってもアンダフロー・フラグはクリアされます。

14.6.3 Z相のキャプチャ

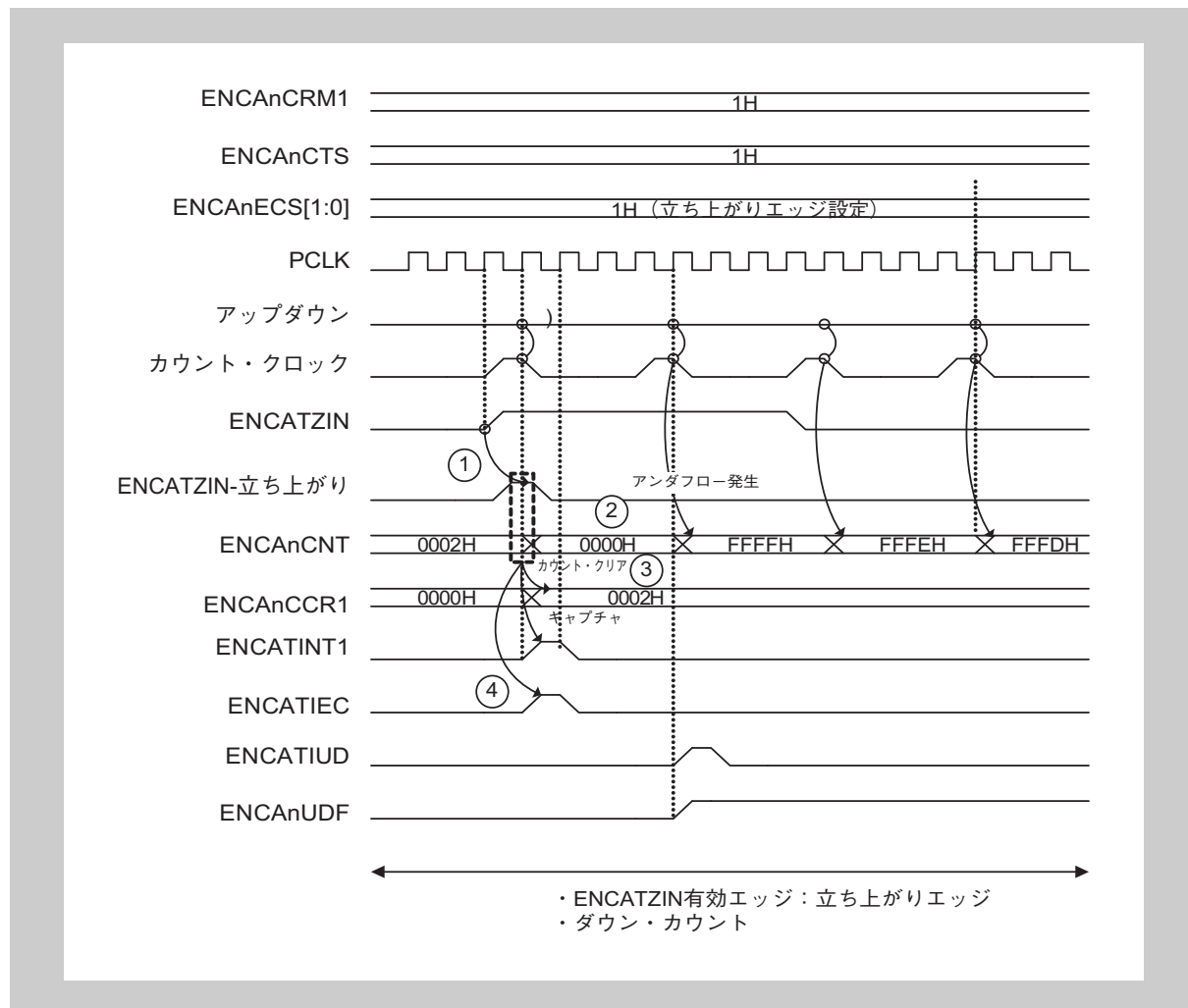


図 14-22 Z相キャプチャのタイミング図

1. ENCATZIN トリガの立ち上がりエッジでキャプチャ動作が実行されます (立ち上がりエッジ: ENCAAnECS1 と ENCAAnECS0 = 「01」)。
2. Z相の入力によるクリア動作が実行され、カウント値が 0000_H にリセットされます。
3. ENCATZIN の立ち上がりエッジでカウンタ値 (0002_H) がキャプチャされ、ENCAAnCCR1 レジスタに保存されます。
4. 同時に、Z相の入力によるクリア割り込み (ENCATIEC) とキャプチャ割り込み (ENCATINT1) が出力されます。

14.6.4 オーバフローの発生とZ相の入力によるクリア動作との競合

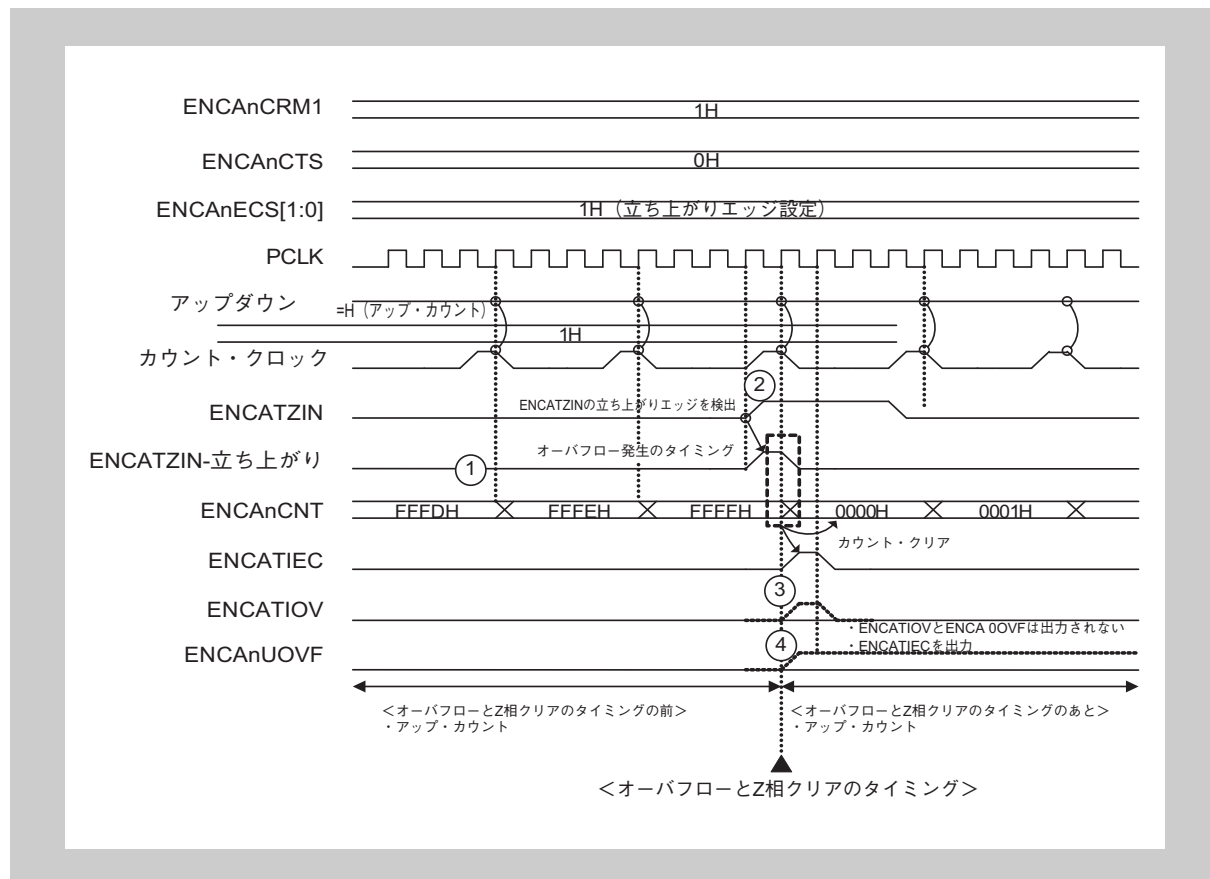


図 14-23 オーバフローの発生とZ相の入力によるクリア動作との競合

1. FFFD_H からのアップ・カウントが継続的に実行されます。
2. カウント値 FFFF_H でオーバーフローが発生すると同時に ENCATZIN の立ち上がりエッジが検出されると、Z相の入力によるクリア動作が実行されます。カウンタ値が 0000_H にクリアされます。
3. Z相の入力によるカウンタ値のクリアが実行されると同時に、Z相によるクリア割り込み (ENCATIEC) が出力されます。Z相の入力によるクリアがオーバーフローの発生と同時に進行するため、オーバーフロー割り込みは出力されません (オーバーフローは発生しません。Z相の入力によるクリアが実行されます)。
4. ステップ (3) と同様にオーバーフローが発生しないため、オーバーフロー・フラグもセットされません。

14.6.5 アンダフローの発生と Z 相の入力によるクリア動作との競合

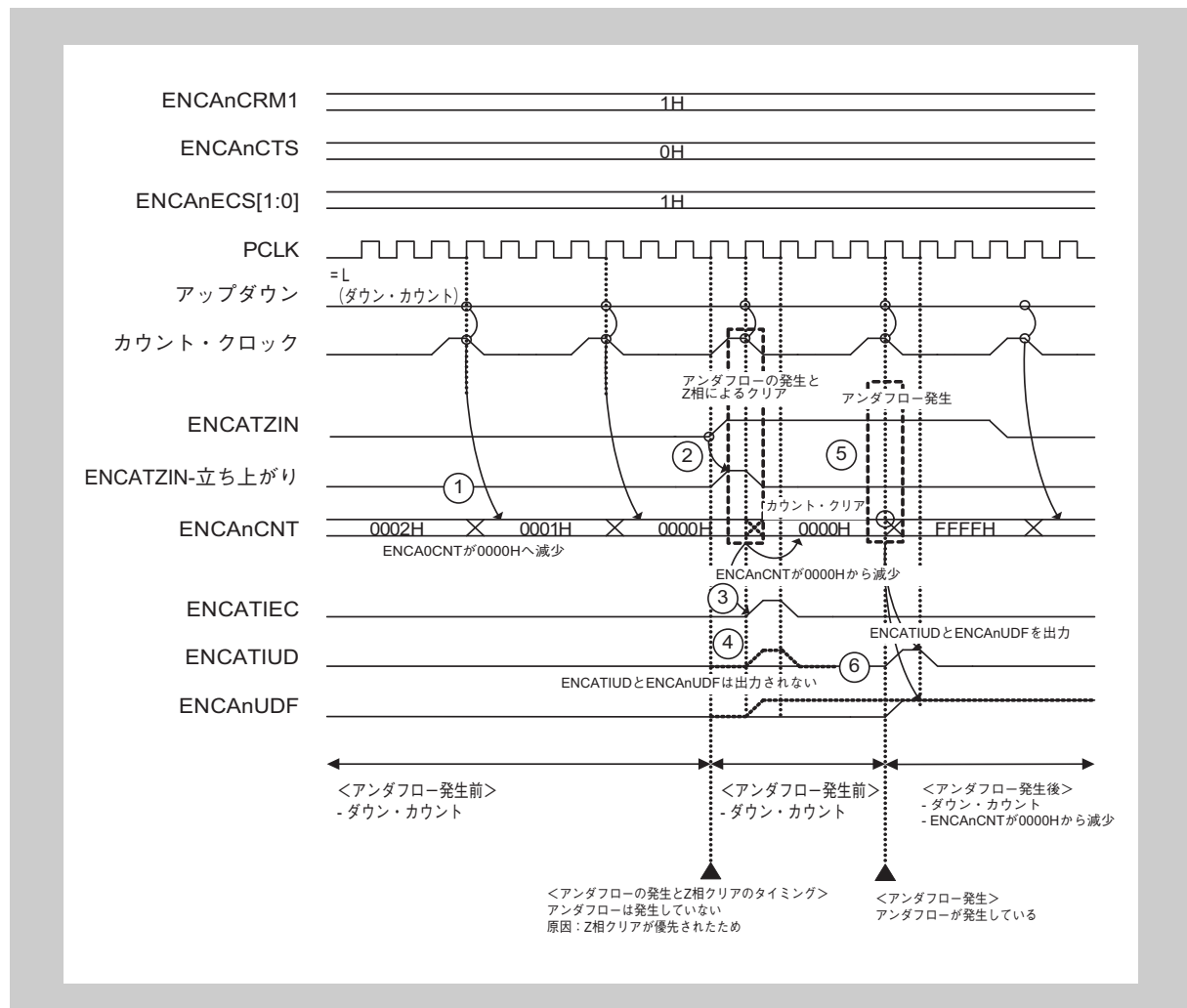


図 14-24 アンダフローの発生と Z 相の入力によるクリア動作との競合

- 0002_H からのダウン・カウントが継続的に実行されます。
- カウンタ値 0000_H でアンダフローが発生すると同時に ENCATZIN の立ち上がりエッジが検出されると、Z相の入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000_H のまま変わりません。
- Z相の入力によるカウンタ値のクリアが実行されると同時に、Z相クリア割り込み (ENCATIEC) が出力されます。Z相の入力によるクリアがアンダフローの発生と同時に実行されるため、アンダフロー割り込みは出力されません (アンダフローは発生しません。Z相の入力によるクリアが実行されます)。
- ステップ (3) と同様にアンダフローが発生しないため、アンダフロー・フラグもセットされません。
- Z相の入力によるクリア動作によってカウンタ値が 0000_H になったあと、さらにダウン・カウントが行われることで、カウンタ値が 0000_H から FFFF_H へ変化し、アンダフローが発生します。
- アンダフローが発生すると、アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。

14.6.6 開始直後のオーバーフロー動作

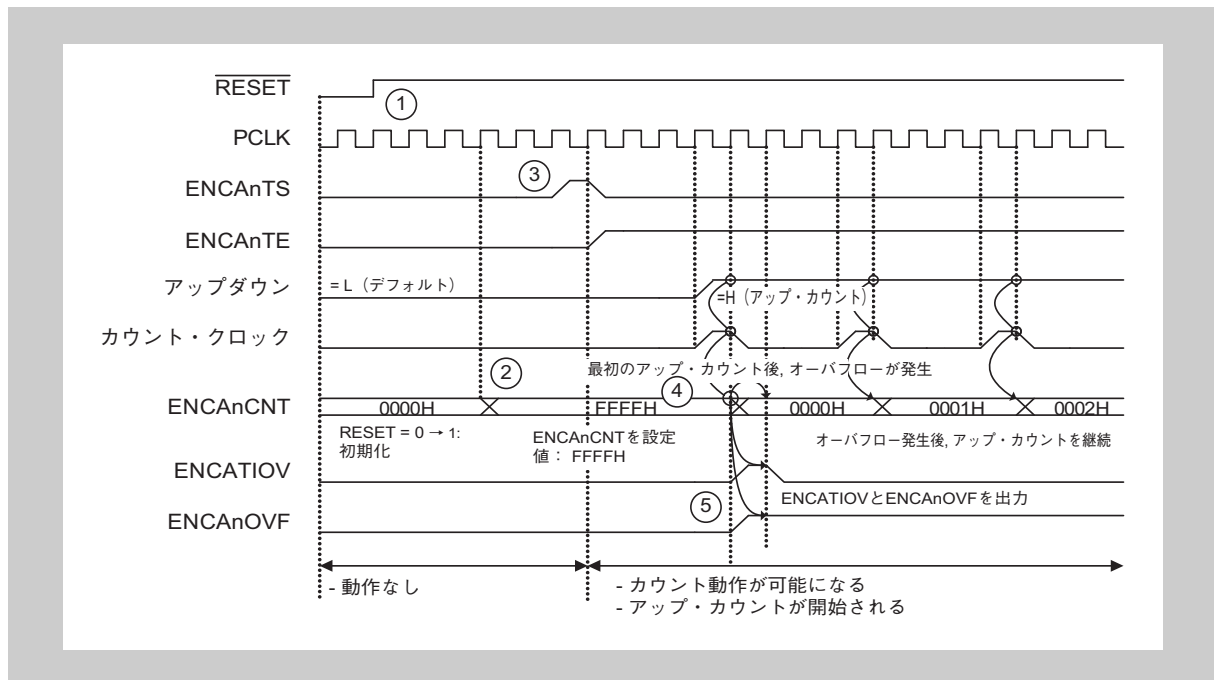


図 14-25 開始直後のオーバーフロー動作

- RESET の値が「0」から「1」になると、ステータスがリセットからリセット・リリースへ変化します。
- FFFF_H がタイマ・カウンタに初期値として設定されます。
- ENCAAnTS が「1」にセットされ、動作が開始されます。ENCAAnTE が「1」になり、動作が可能になったことを示します。
- 初期設定されたカウンタ値である FFFF_H からのアップ・カウントが実行されることで、カウンタ値が FFFF_H から 0000_H へ変化し、動作開始直後にオーバーフローが発生します。
- 同時に、動作開始直後のオーバーフローの発生によって、オーバーフロー割り込みが出力され、オーバーフロー・フラグがセットされます。

14.6.7 開始直後のアンダフロー動作

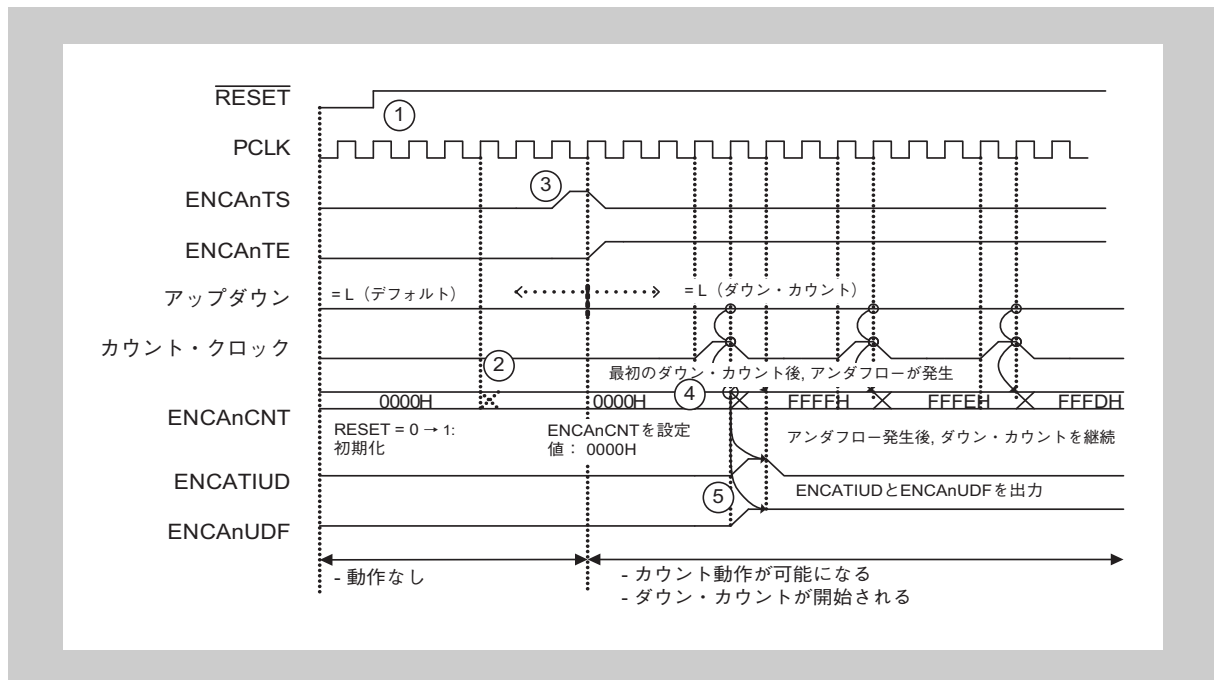
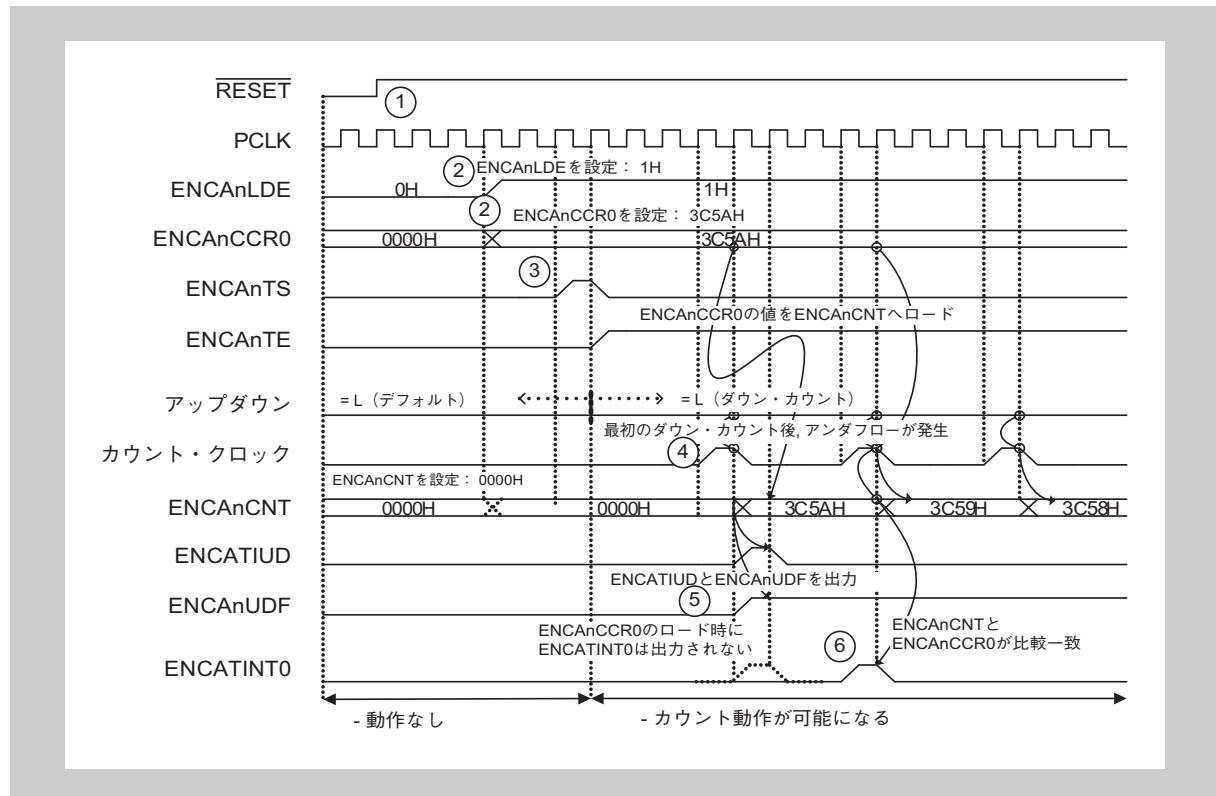
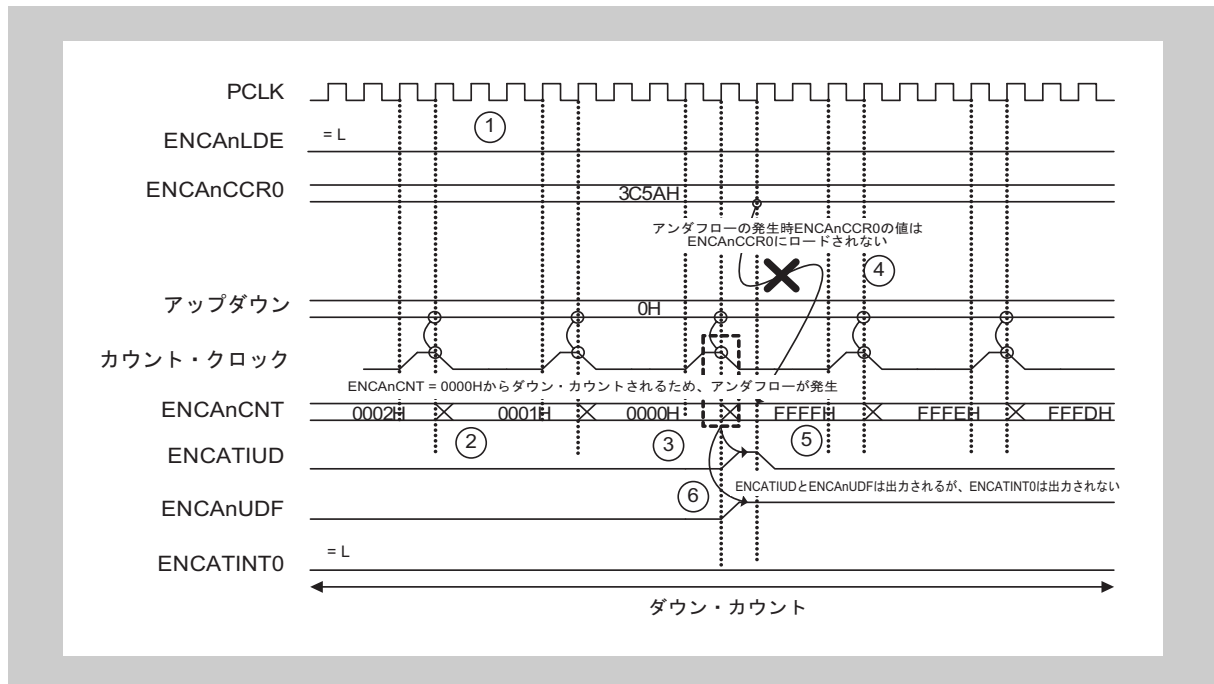


図 14-26 開始直後のアンダフロー動作

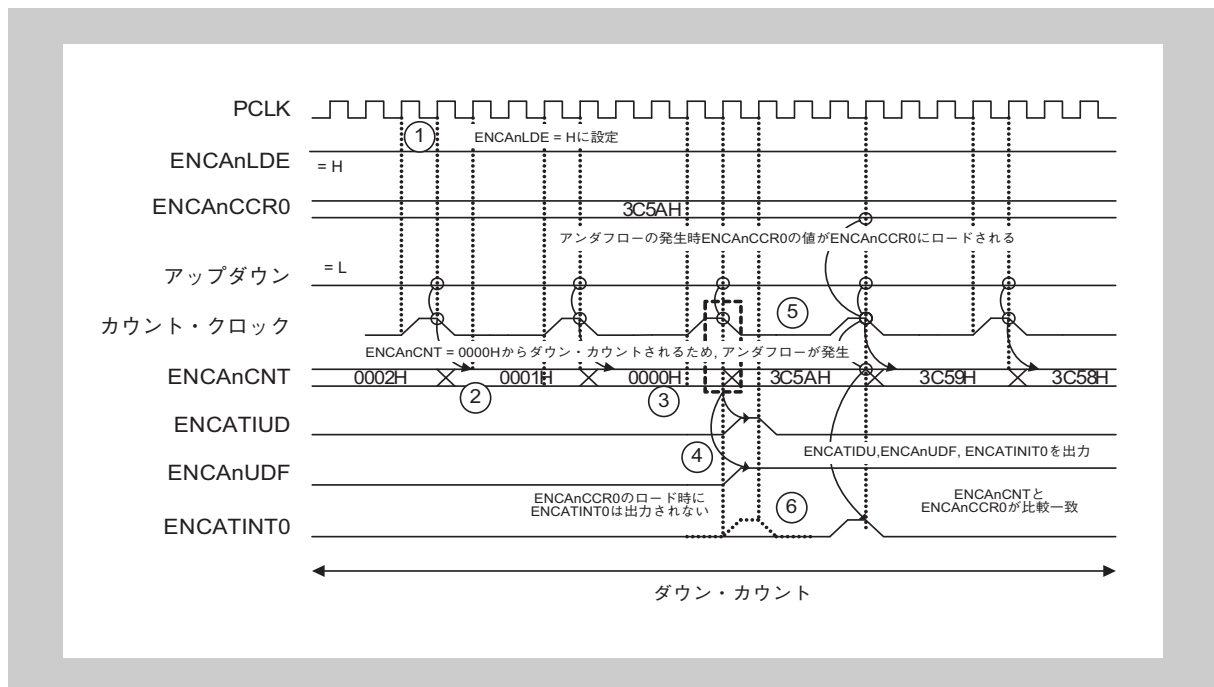
1. $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット・リリースへ変化します。
2. 0000_H がタイマ・カウンタに初期値として設定されます。
3. ENCA nTS が「1」にセットされ、動作が開始されます。ENCA nTE が「1」になり、動作が可能になったことを示します。
4. 初期設定されたカウンタ値である 0000_H からのダウン・カウントが実行されることで、カウンタ値が 0000_H から FFFF_H へ変化し、動作開始直後にアンダフローが発生します。
5. 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。

14.6.8 開始直後の ENCA_nLDE 機能の利用図 14-27 開始直後の ENCA_nLDE 機能の利用

1. $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット・リリースへ変化します。
2. ロード・イネーブル・ビット (ENCA_nLDE) が「1」にセットされ、キャプチャ比較レジスタ 0 (ENCA_nCCR0) が 3C5A_H に設定され、タイマ・カウンタが初期値 0000_H に設定されます。
3. ENCA_nTS が「1」にセットされ、動作が開始されます。ENCA_nTE が「1」になり、動作が可能になったことを示します。
4. 初期設定されたカウント値である 0000_H からのダウン・カウントが実行されることで、動作開始直後にアンダフローが発生します。ENCA_nLDE が「1」にセットされているため、ENCA_nCCR0 の値である 3C5A_H がタイマ・カウンタにロードされます (ENCA_nINT0 はロード時に出力されません)。
5. 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます (アンダフローが発生した後、ロードされた値 (3C5A_H) からのダウン・カウント動作が継続します)。
6. ENCA_nCCR0 の値が ENCA_nCNT にロードされたあと、ENCA_nCCR0 との一致が検出され、ENCA_nINT0 が出力されます。

14.6.9 ENCA_nLDE 機能 (カウント値のロード)(1) <ENCA_nLDE = 0 の場合 >図 14-28 ENCA_nLDE 機能 (ENCA_nLDE = 0 の場合)

1. ENCA_nLDE が「0」に設定されています (アンダフローが発生しても、ENCA_nCCR0 の値はロードされません)。
2. ダウン・カウントが実行されます : 0002_H → 0001_H → 0000_H。
3. カウンタ値が 0000_H になったあと、さらにダウン・カウントが実行されることでアンダフローが発生します。
4. ENCA_nLDE が「0」に設定されているため、アンダフローが発生したときに ENCA_nCCR0 レジスタの設定値はカウンタにロードされません。
5. 動作がアンダフロー動作に変化します (カウンタ値 : 0000_H → FFFF_H)。
6. アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。

(2) <ENCA_nLDE = 1 の場合 >図 14-29 ENCA_nLDE 機能 (ENCA_nLDE = 1 の場合)

- ENCA_nLDE が「1」に設定されています (アンダフローが発生すると、ENCA_nCCR0 の値がカウンタにロードされます)。
- ダウン・カウントが実行されます : 0002_H → 0001_H → 0000_H。
- カウンタ値が 0000_H になったあと、さらにダウン・カウントが実行されることでアンダフローが発生します。
- アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。
- ENCA_nLDE が「1」にセットされているため、アンダフローが発生すると ENCA_nCCR0 レジスタの設定値がカウンタにロードされます。ENCA_nCNT が 3C5A_H に設定されます。
- ENCA_nCCR0 の値が ENCA_nCNT に設定された後、ENCA_nCNT の値と ENCA_nCCR0 の値がカウント・クロックで一致すれば、比較一致割り込み (ENCA_nTINT0) が出力されます。

14.6.10 ENCA_nLDE 機能 (カウンタ値のロード) と ENCA_nCCR0 レジスタの書き換えとの競合

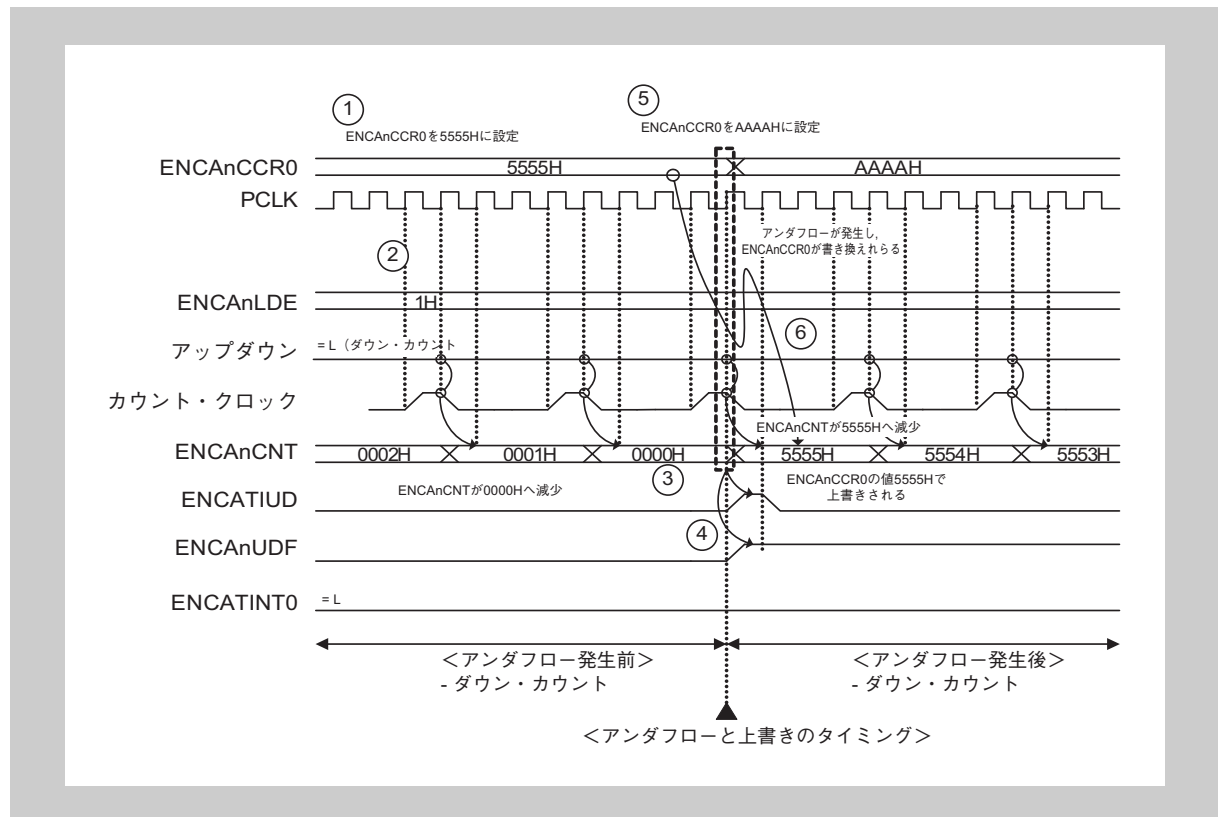


図 14-30 ENCA_nLDE 機能と ENCA_nCCR0 レジスタの書き換えとの競合

1. ENCA_nCCR0 レジスタは、現在 5555_H に設定されています。
2. ENCA_nLDE は現在「1」にセットされています。
3. 0002_H → 0001_H → 000_H とダウン・カウントが実行され、アンダフローが発生します。
4. アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。
5. アンダフローが発生すると同時に、ENCA_nCCR0 レジスタの値が 5555_H から AAAA_H に書き換えられます。
6. 書き換えの実行後、ENCA_nCCR0 レジスタは新たに書き換えられた値に設定されます。さらに、アンダフローが発生すると同時に、書き換えられる前の ENCA_nCCR0 の値 (5555_H) が ENCA_nCNT に設定されます。

14.6.11 ENCA_nLDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合

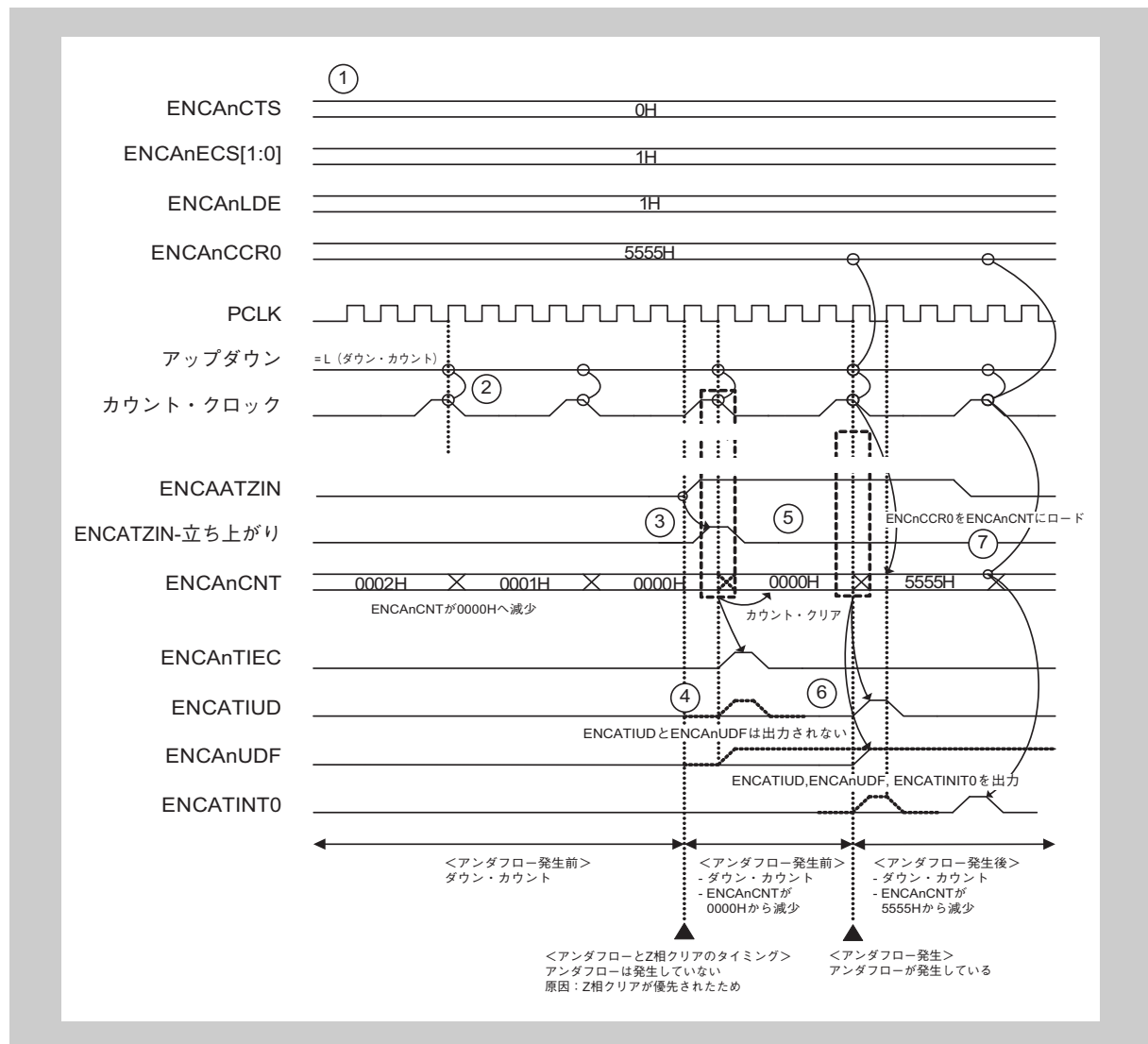


図 14-31 ENCA_nLDE 機能と Z 相の入力によるクリア動作との競合

- 以下の値が設定されています。ENCA_nCTS = 0, ENCA_nECS1 と ENCA_nECS0 = {0, 1}, ENCA_nLDE = 1, ENCA_nCCR0 = 5555_H。
- ダウン・カウントが実行されず : 0002_H → 0001_H → 0000_H。
- カウント値が 0000_H になったときに ENCA_nATZIN の立ち上がりエッジが検出され、Z 相の入力によるクリアが実行されます。
- カウント値が 0000_H に達したときにカウント・クリアが実行されたため、Z 相の入力によるカウンタ・クリア割り込み (ENCA_nTIEC) が出力されず。さらに、カウント値 0000_H でダウン・カウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (ENCA_nIUD) は出力されず、アンダフロー・フラグ (ENCA_nUDF) もセットされません。
- Z 相の入力によるクリアによってカウント値が 0000_H にクリアされたあと、ダウン・カウントが実行され、アンダフローが発生します。

6. アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。
7. ENCA_nLDE = 1 であるため、アンダフローが発生すると ENCA_nCCR0 の値が ENCA_nCNT にロードされます。
8. ENCA_nCCR0 の値が ENCA_nCNT に設定されたあと、カウント・クロックに基づいて比較一致の検出が行われ、ENCA_nCNT と ENCA_nCCR0 が一致すると比較一致割り込みが出力されます。

14.6.12 ENCA_nLDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合があったあとのアップ・カウント

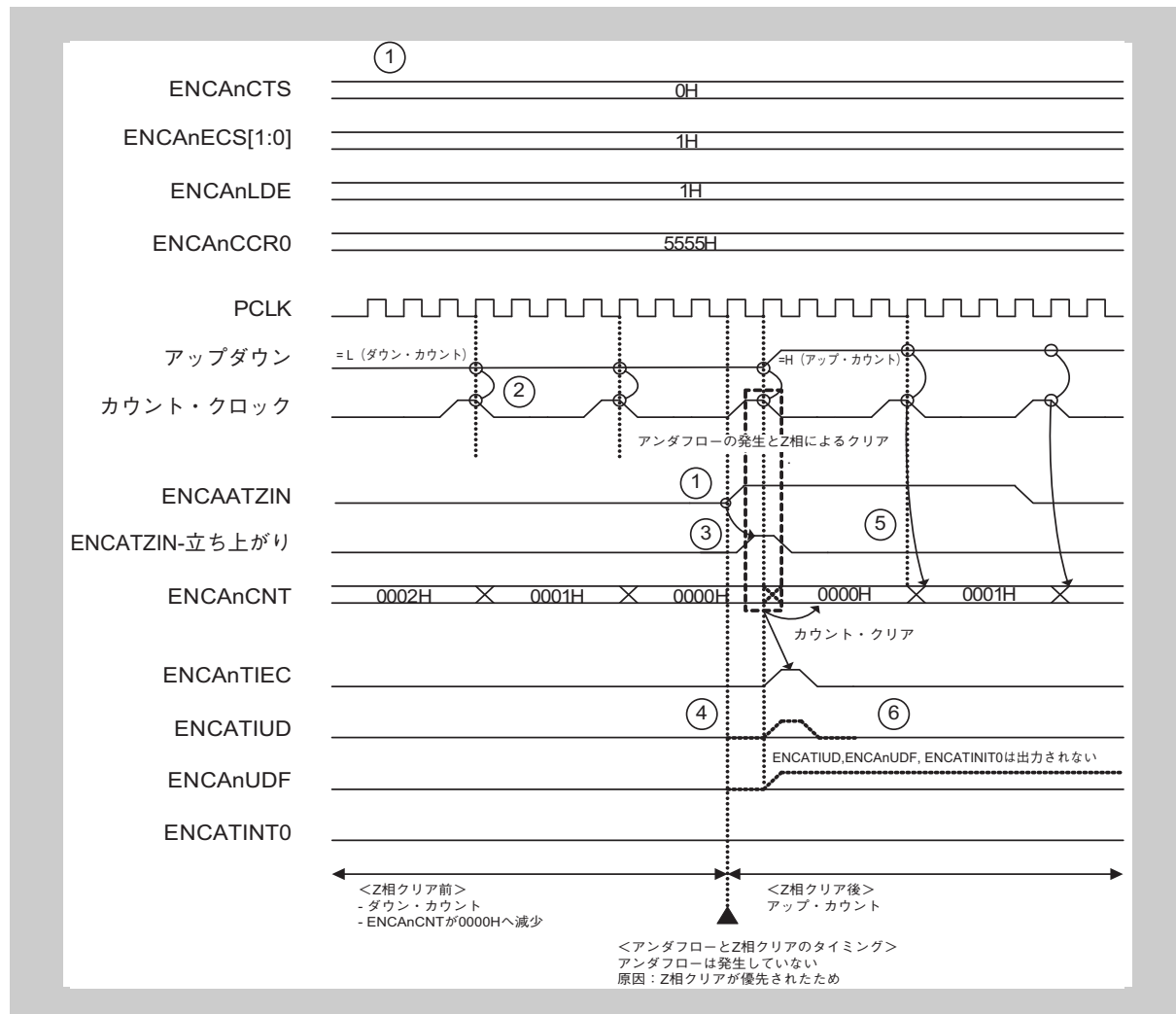


図 14-32 ENCA_nLDE 機能と Z 相クリアとの競合後のアップ・カウント

- 以下の値が設定されています。ENCA_nCTS = 0, ENCA_nECS1 と ENCA_nECS0 = {0, 1}, ENCA_nLDE = 1, ENCA_nCCR0 = 5555_H。
- ダウン・カウントが実行されます: 0002_H → 0001_H → 0000_H。
- カウンタ値が 0000_H になったときに ENCAATZIN の立ち上がりエッジが検出され、Z 相の入力によるクリアが実行されます。
- カウンタ値が 0000_H に達したときにカウント・クリアが実行されたため、Z 相の入力によるカウンタ・クリア割り込み (ENCA_nTIEC) が出力されます。さらに、カウンタ値 0000_H のときにダウン・カウントが行われなかったため、アンドフローは発生しません。したがって、アンドフロー割り込み (ENCA_nIUD) は出力されず、アンドフロー・フラグ (ENCA_nUDF) もセットされません。
- Z 相の入力によるクリアによってカウンタ値が 0000_H にクリアされたあと、アップ・カウントが実行されます。
- アンドフロー割り込みは出力されず、アンドフロー・フラグもセットされません。

14.6.13 カウント・クロック間のキャプチャ動作 (ENCAAnCCR1)

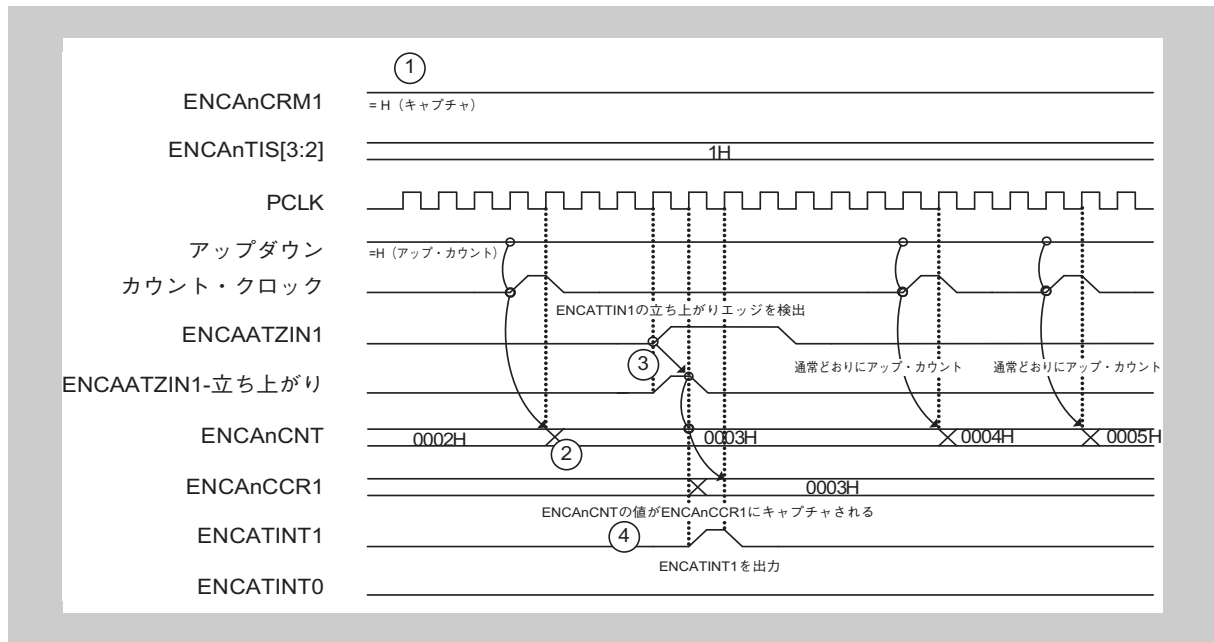
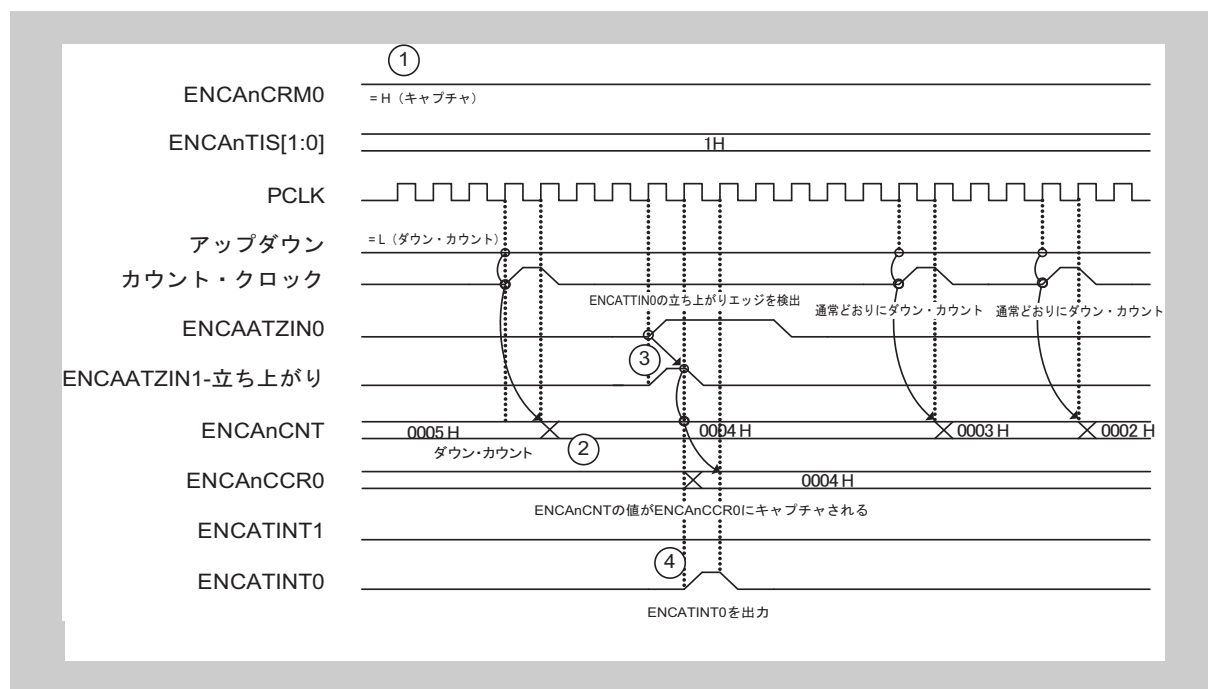


図 14-33 カウント・クロック間のキャプチャ動作 (ENCAAnCCR1)

- 以下の値が設定されています。ENCAAnCRM1 = 1, ENCAAnTIS3 と ENCAAnTIS2 = {0, 1}。
- アップ・カウントが実行されます。
- ENCATTIN1 入力の立ち上がりエッジが検出され、カウント値が ENCAAnCCR1 にキャプチャされます。
- ENCAAnCCR1 レジスタへのキャプチャに対応する割り込み信号 (ENCATINT1) が出力されます。

14.6.14 カウント・クロック間のキャプチャ動作 (ENCA_nCCR0)図 14-34 カウント・クロック間のキャプチャ動作 (ENCA_nCCR0)

- 以下の値が設定されています。ENCA_nCRM1 = 1, ENCA_nTIS3 と ENCA_nTIS2 = {0, 1}。
- ダウン・カウントが実行されます。
- ENCATTIN0 入力の立ち上がりエッジが検出され、カウント値が ENCA_nCCR0 にキャプチャされます。
- ENCA_nCCR0 レジスタへのキャプチャに対応する割り込み信号 (ENCATINT0) が出力されます。

14.6.15 ENCA_nECM1-0 = {0, 1} かつ ENCA_nCTS = 0 のときのエンコーダの動作

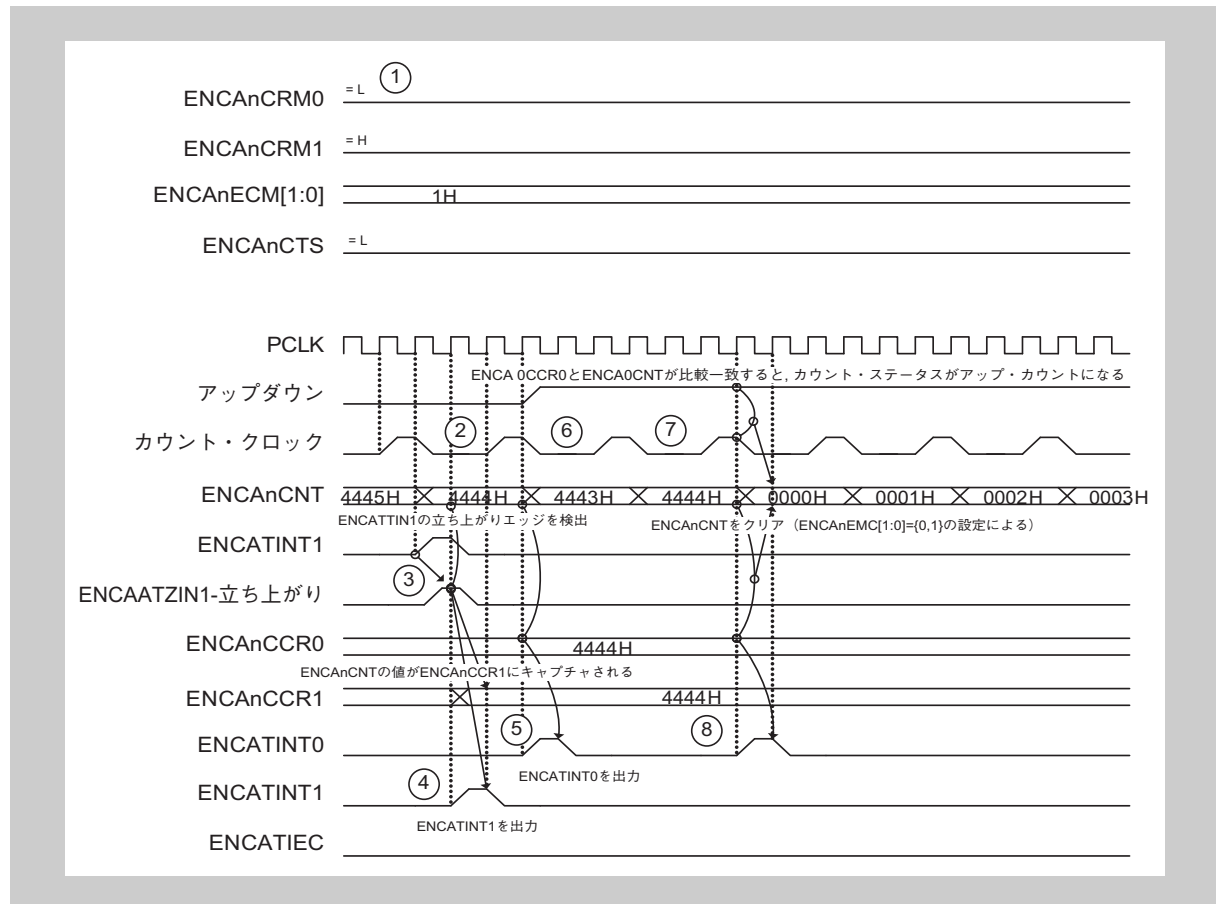


図 14-35 ENCA_nECM1-0 = {0, 1} かつ ENCA_nCTS = 0 のときのエンコーダの動作

- 以下の値が設定されています。ENCA_nCCR0 = 4444_H, ENCA_nCRM0 = 0, ENCA_nCRM1 = 1, ENCA_nECM1 と ENCA_nECM0 = {0, 1}, ENCA_nCTS = 0。
- ダウン・カウントが実行されます。
- ENCATTIN1 の立ち上がりエッジが検出され、ENCA_nCNT の値 4444_H が ENCA_nCCR1 レジスタにキャプチャされます。
- ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCA_nTIEC) が出力されます。
- ENCA_nCNT (4445_H から 4444_H へダウン・カウントされる) と ENCA_nCCR0 (4444_H) が比較一致すると、ENCA_nCCR0 との比較一致割り込み (ENCA_nTINT0) が出力されます。
- カウント動作がアップ・カウントに変わります。
- ENCA_nCNT が 4443_H から 4444_H へカウント・アップされると ENCA_nCCR0 との比較一致が再び発生します。比較一致が発生したときのカウント動作がアップ・カウントであるため、ENCA_nECM1 と ENCA_nECM0 の設定 ({0, 1}) に従ってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- ENCA_nCNT が 4444_H になると、ENCA_nCCR0 との比較一致割り込み (ENCA_nTINT0) が出力されます。

14.6.16 ENCA_nECM1-0 = {0, 1} かつ ENCA_nCTS = 1 のときのエンコーダの動作

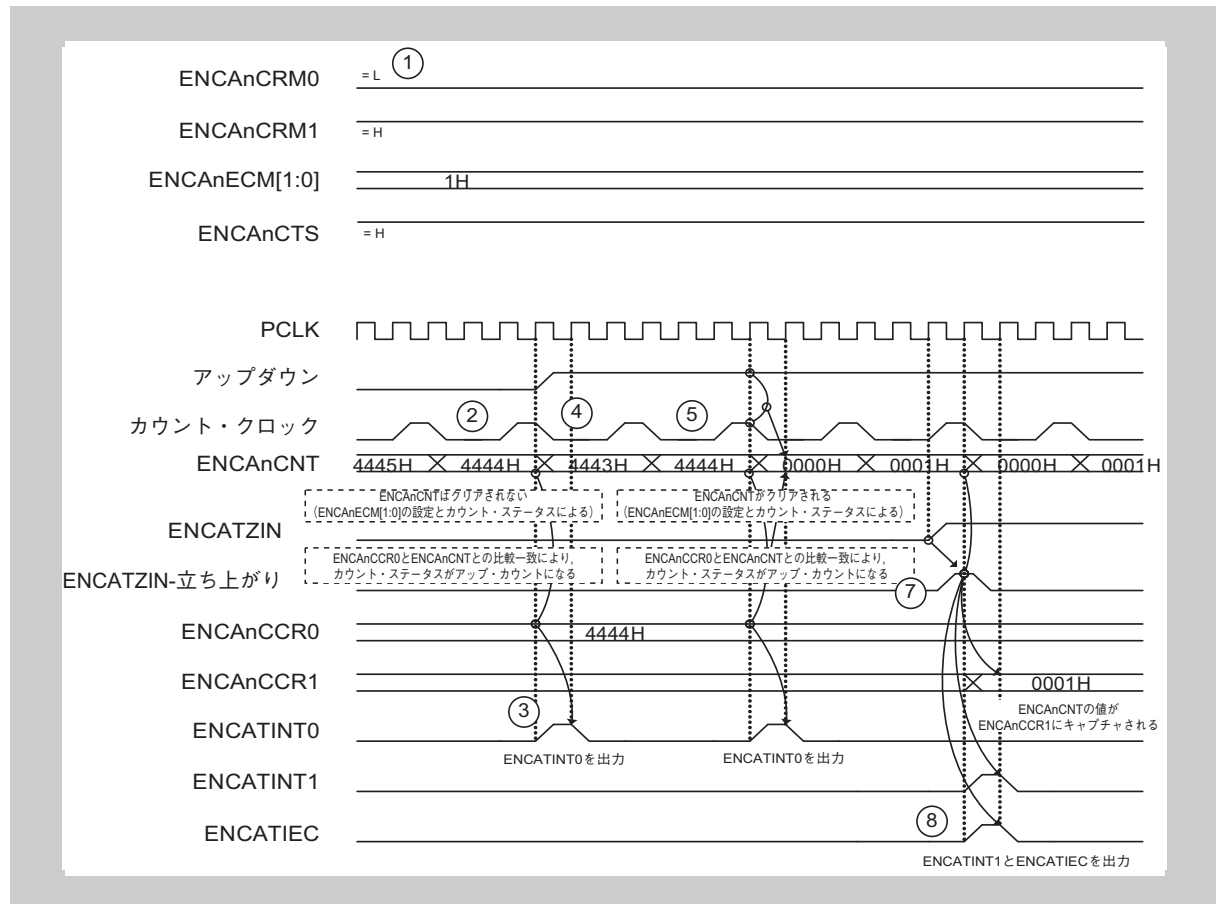
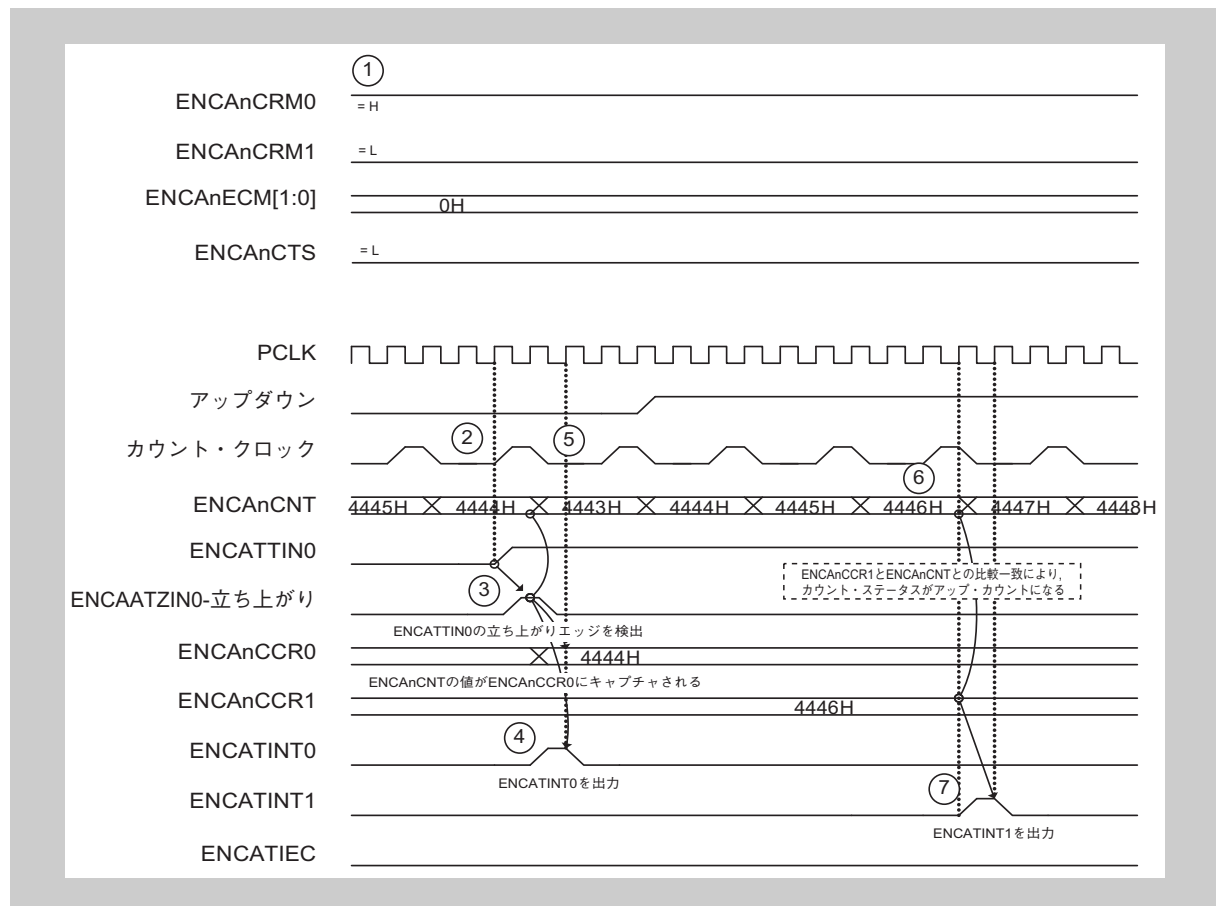


図 14-36 ENCA_nECM1-0 = {0, 1} かつ ENCA_nCTS = 1 のときのエンコーダの動作

- 以下の値が設定されています。ENCA_nCCR0 = 4444_H, ENCA_nCRM0 = 0, ENCA_nCRM1 = 1, ENCA_nECM1 と ENCA_nECM0 = {0, 1}, ENCA_nCTS = 1。
- ダウン・カウントが実行されます。
- ENCA_nCNT (4445_H から 4444_H へダウン・カウントされる) と ENCA_nCCR0 (4444_H) が比較一致すると、割り込み信号 (ENCA_nTINT0) が出力されます。
- カウント動作がアップ・カウントに変わります。
- ENCA_nCNT が 4443_H から 4444_H へカウント・アップされると ENCA_nCCR0 との比較一致が再び発生します。比較一致が発生したときのカウント動作がアップ・カウントであるため、ENCA_nECM1 と ENCA_nECM0 の設定 ({0, 1}) に従ってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- ENCA_nCNT が 4444_H になると、ENCA_nCCR0 との比較一致割り込み (ENCA_nTINT0) が出力されます。
- カウントがクリアされたあと、アップ・カウントが実行され、カウント値が 0001_H になります。この時点で ENCA_nZIN 信号の立ち上がりエッジ

が検出されることによって ENCA_nCNT の値 0001_H が ENCA_nCCR1 にキャプチャされ、カウンタが 0000_H にクリアされます。

8. ENCA_nCCR1 レジスタへのキャプチャに対応する割り込み (ENCA_nTINT1) と ENCA_nTZIN によるクリア割り込み (ENCA_nTIEC) が出力されます。

14.6.17 ENCA_nECM1-0 = {0, 0} のときのエンコーダの動作図 14-37 ENCA_nECM1-0 = {0, 0} のときのエンコーダの動作

1. 以下の値が設定されています。ENCA_nCCR1 = 4446_H, ENCA_nCRM0 = 1, ENCA_nCRM1 = 1, ENCA_nECM1 と ENCA_nECM0 = {0, 0}, ENCA_nCTS = 0。
2. ダウン・カウントが実行されます。
3. ENCATTIN0 の立ち上がりエッジが検出されると、ENCA_nCNT の値 (4444H) が ENCA_nCCR0 にキャプチャされます。
4. ENCA_nCCR0 へのキャプチャに対応する割り込み (ENCATINT0) が出力されます。
5. カウント動作がアップ・カウントに変わります。
6. ENCA_nCNT が 4446_H になると、ENCA_nCCR1 との比較一致が検出されます。
7. ENCA_nCCR1 との比較一致割り込み (ENCATINT1) が出力されます。

14.6.18 ENCA_nSCE = 1 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

(1) 付随するキャプチャ動作

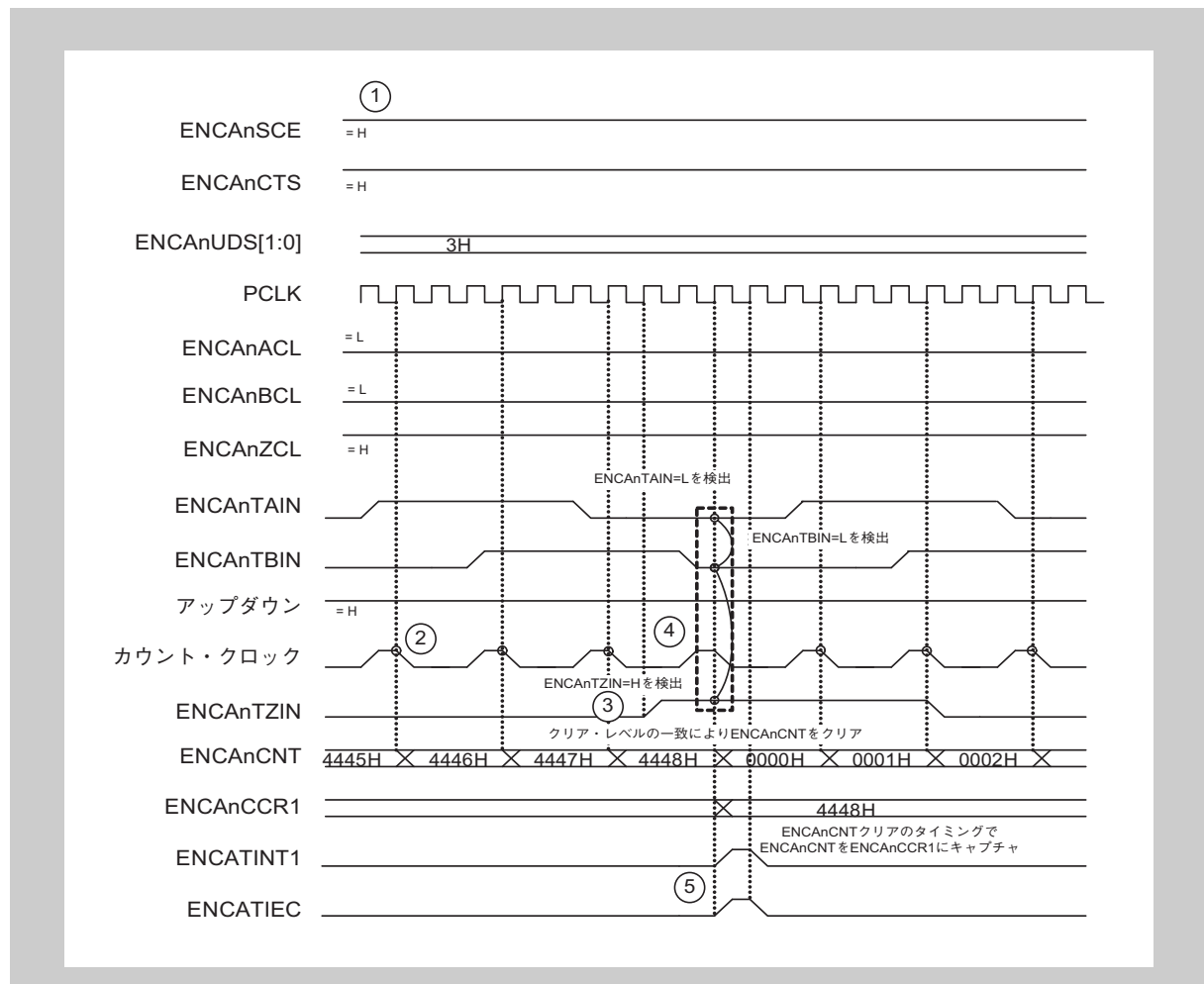


図 14-38 ENCA_nSCE = 1 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

- 以下の設定が行われています。ENCA_nSCE = 1, ENCA_nCTS = 1, ENCA_nUDS1 と ENCA_nUDS0 = {1, 1}, ENCA_nACL = 0, ENCA_nBCL = 0, ENCA_nZCL = 1。
- アップ・カウントが実行されます。
- ENCATZIN の立ち上がりエッジではカウント値はクリアされません。
- ENCATAIN, ENCATBIN, ENCATZIN が設定されたクリア・レベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCA_nCCR1 にキャプチャされます。
- クリアのタイミングで、ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCATINT1) と ENCATZIN によるクリア割り込み (ENCATIEC) が出力されます。

- (2) アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合
(ENCAnACL=1, ENCANBCL=0, ENCANZCL=1, ENCANUDS={1,1} のとき)

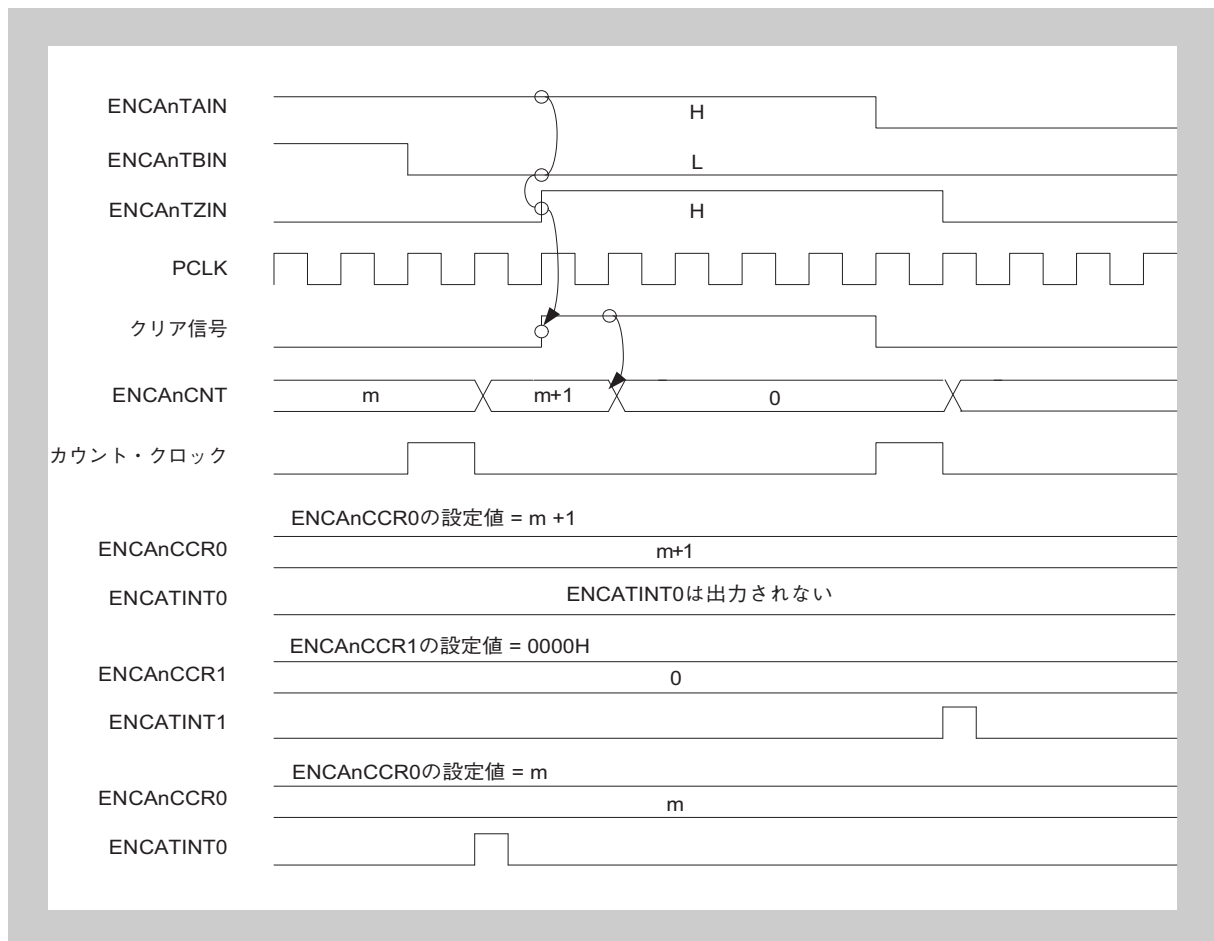


図 14-39 アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合のクリアのタイミング

(3) アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングと同じだった場合

(ENCAnACL=1, ENCANBCL=0, ENCANZCL=1, ENCANUDS={1,1} のとき)

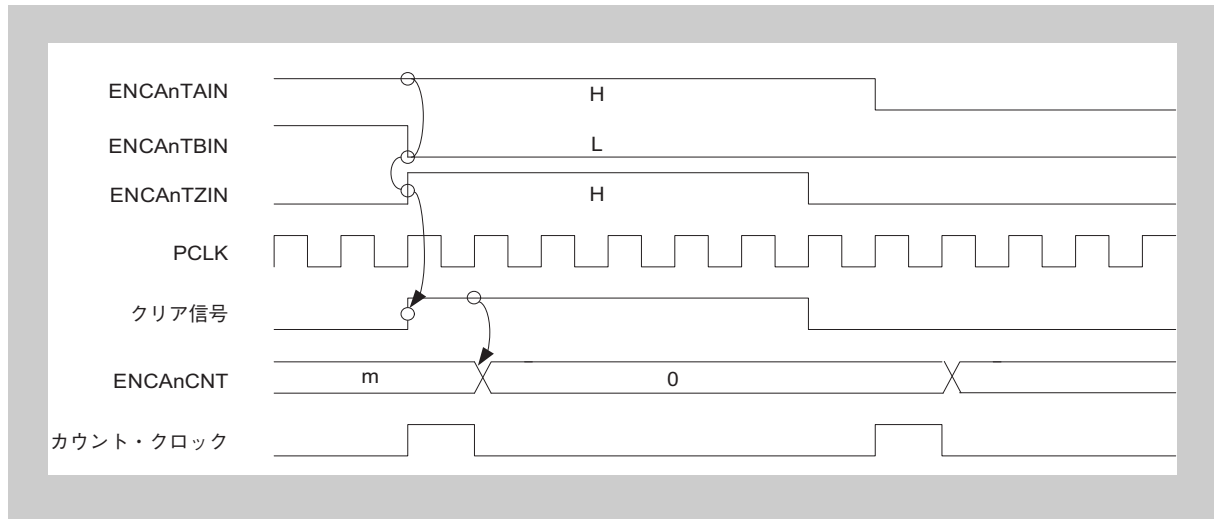


図 14-40 アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングと同じだった場合のクリアのタイミング

(4) アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより早かった場合

(ENCAnACL=1, ENCANBCL=0, ENCANZCL=1, ENCANUDS={1,1} のとき)

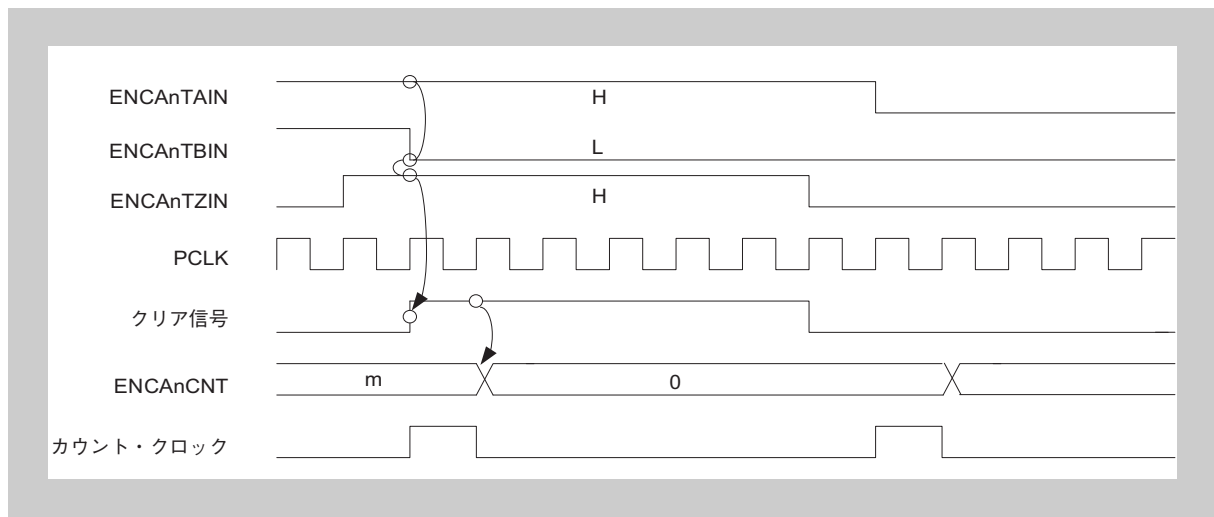


図 14-41 アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより早かった場合のクリアのタイミング

- (5) ダウン・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合
(ENCAnACL=1, ENCAAnBCL=0, ENCAAnZCL=1, ENCAAnUDS={1,1} のとき)

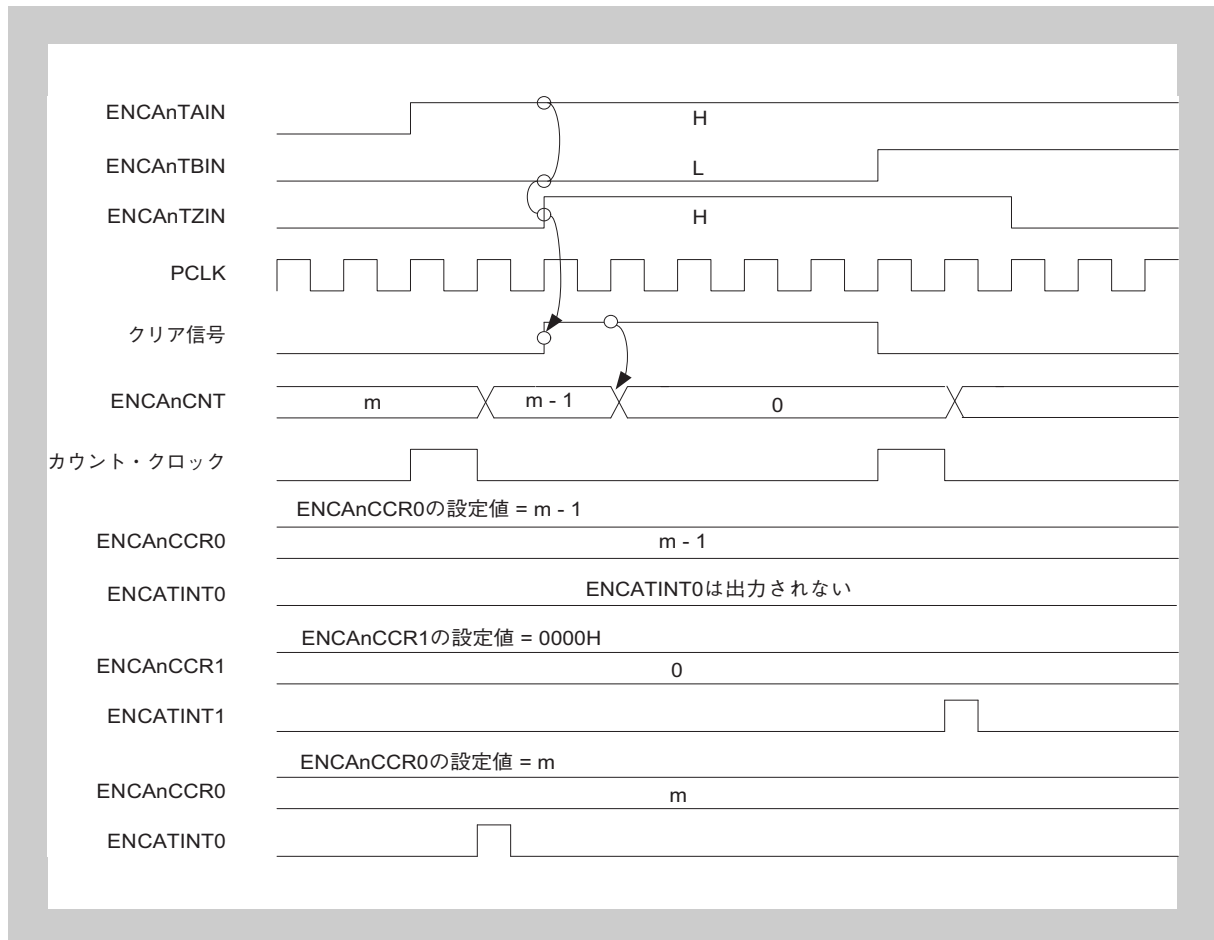


図 14-42 ダウン・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合のクリアのタイミング

14.6.19 ENCA_nSCE = 0 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

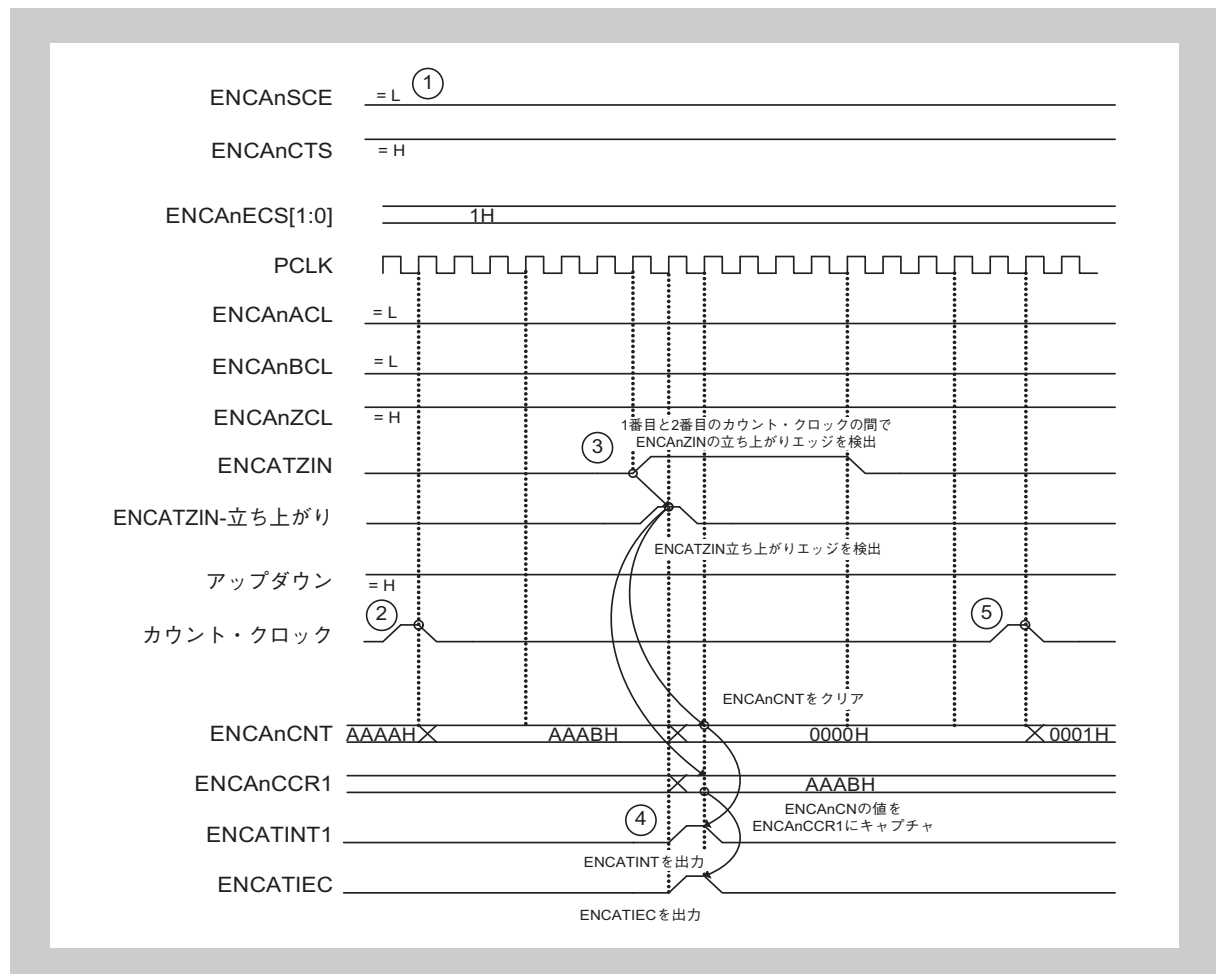


図 14-43 ENCA_nSCE = 0 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

- 以下の値が設定されています。ENCA_nSCE = 0, ENCA_nCTS = 1, ENCA_nECS1 と ENCA_nECS0 = {0, 1}。
- アップ・カウントが実行されます。
- ENCATZIN の立ち上がりエッジが検出され、ENCA_nCNT の値 (AAABH) が ENCA_nCCR1 にキャプチャされます。同時に、ENCATZIN によるクリア動作が行われるため、ENCA_nCNT は 0000_H にリセットされます。
- ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCATINT1) と ENCATZIN によるクリア割り込み (ENCATIEC) が出力されます。
- カウントがクリアされたあと、アップ・カウントが実行され、カウント値が 0001_H になります。

14.6.20 一致割り込みマスク動作

(1) マスク動作とマスクングのキャンセル

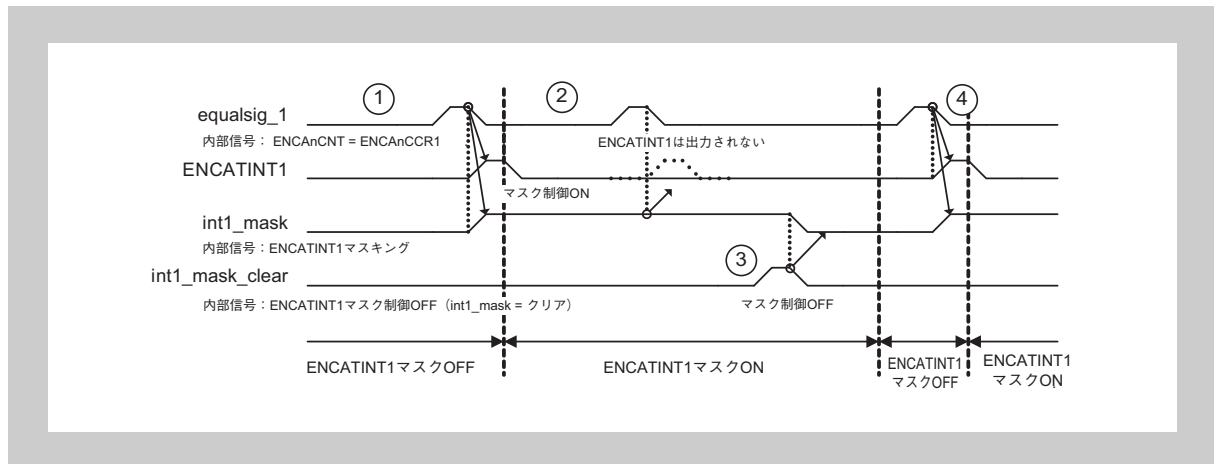


図 14-44 一致割り込みマスク動作とマスクングのキャンセル

上のタイミング図の信号：

equal_sig1： ENCAncNT と ENCAncCR1 が一致したときに生成される内部信号

int1_mask： 割り込み検出マスク信号。この信号は ENCAncNT と ENCAncCR1 との最初の比較一致が発生したときにセットされます。

int1_mask_clr： 割り込み検出マスク・キャンセル信号。マスク・キャンセルのトリガは、以下に示すように、ENCAncMCS の設定によって異なります。

ENCAncMCS = 0： ENCAncCCR1 レジスタへの書き込み動作によって割り込み検出マスクがキャンセルされます。

ENCAncMCS = 1： ENCAncCNT と ENCAncCCR0 が一致したときのタイマ・カウンタ・クリア動作、Z 相によるタイマ・カウンタのクリア動作または ENCAncLDE = 1 のときのアンダフローの検出によって割り込み検出マスクがキャンセルされます。

- 一致割り込み検出マスク機能が無効になっている状態で最初の比較一致が検出されます。
その時点で、2 番目以降の比較一致割り込みの検出をマスクする int1_mask が「1」にセットされ、一致割り込み検出マスク機能が有効になります。
- int1_mask がハイであるため、equal_sig1 がハイになっても ENCATINT1 は出力されません。
- 一致割り込み検出マスクをキャンセルするトリガが発生すると、int1_mask_clr が「1」にセットされ、int1_mask が L にクリアされ、一致割り込み検出マスク機能が無効になります。
- 一致割り込み検出マスクが無効になった状態で、最初の比較一致が検出され、それと同時に int1_mask が「1」にセットされます。

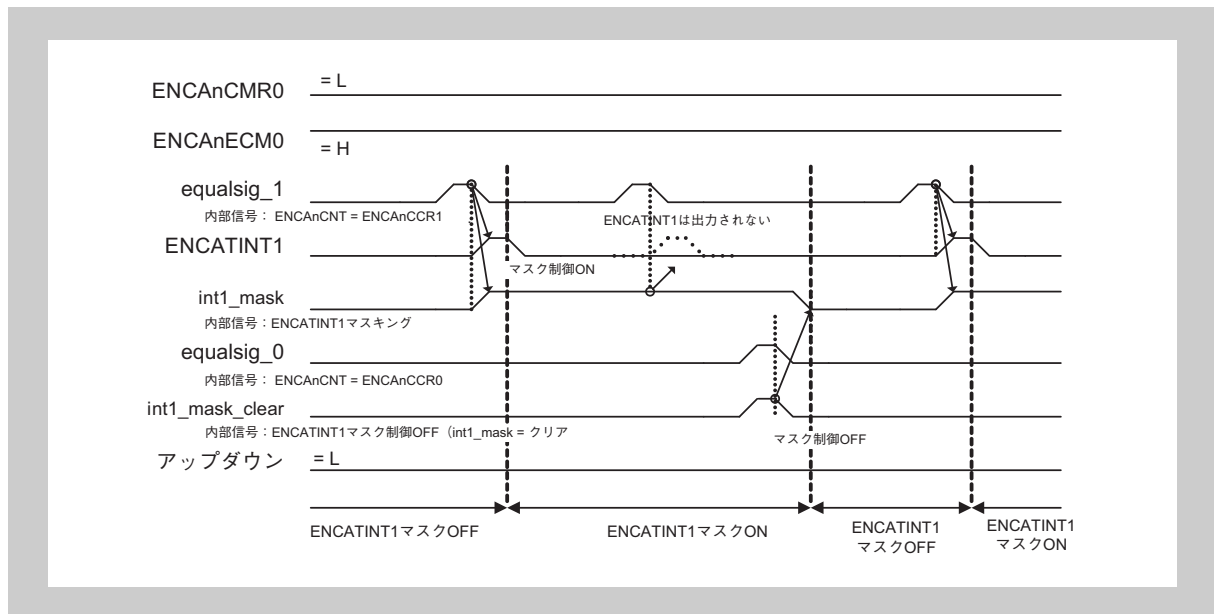
(2) マスク動作とマスクングのキャンセル (ENCA_nCNT と ENCA_nCCR0 が一致するとき)

図 14-45 一致割り込みマスク動作とマスクングのキャンセル (ENCA_nCNT と ENCA_nCCR0 が一致するとき)

上のタイミング図の信号：

- equal_{sig}1： ENCA_nCNT と ENCA_nCCR1 が一致したときに生成される内部信号
- int₁_mask： 割り込み検出マスク信号。この信号は ENCA_nCNT と ENCA_nCCR1 との最初の比較一致が発生したときにセットされます。
- equal_{sig}0： ENCA_nCNT と ENCA_nCCR0 が一致したときに生成される内部信号
- int₁_mask_clr： 割り込み検出マスク・キャンセル信号。マスク・キャンセルのトリガは、以下に示すように、ENCA_nMCS の設定によって異なります。
- ENCA_nMCS = 0： ENCA_nCCR1 レジスタへの書き込み動作によって割り込み検出マスクがキャンセルされます。
- ENCA_nMCS = 1： ENCA_nCNT と ENCA_nCCR0 が一致したときのタイマ・カウンタ・クリア動作、Z 相によるタイマ・カウンタのクリア動作または ENCA_nLDE = 1 のときのアンダフローの検出によって割り込み検出マスクがキャンセルされます。
- アップダウン： A 相入力信号、B 相入力信号および UDS の値によってカウント・ステータスが制御される内部信号。

1. 一致割り込み検出マスク機能が無効になっている状態で最初の比較一致が検出されます。
その時点で、2番目以降の比較一致割り込みの検出をマスクする `int1_mask` が「1」にセットされ、一致割り込み検出マスク機能が有効になります。
2. `int1_mask` がハイであるため、`equal_sig1` がハイになっても `ENCATINT1` は出力されません。
3. `ENCAncNT` と `ENCAncCR0` との比較一致によるクリア動作によって `int1_mask_clr` が「1」にセットされ、`int1_mask` がLにクリアされ、一致割り込み検出マスク機能が無効になります。
4. 一致割り込み検出マスクが無効になった状態で、最初の比較一致が検出され、それと同時に `int1_mask` が「1」にセットされます。

第15章 タイマ・オプション機能 (TAPA)

この章では、タイマ・オプション機能について説明します。

最初の節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/MN4に固有の特徴について説明します。

以降の節で、タイマ・オプション機能搭載製品に共通の特徴について説明します。

15.1 タイマ・オプション機能の特長

チャンネル この製品は次のチャンネル数のタイマ・オプション機能を搭載しています。

表 15-1 タイマ・オプション機能のチャンネル数

タイマ・オプション	
チャンネル数	4
名称	TAPA0-TAPA3

nの意味 この章では、タイマ・オプション機能の各チャンネルを「n」で識別します。たとえば、TAPAn フラグ・レジスタ (TAPAnFLG) (n = 0-3) のように記述しています。

注意 V850E2/MN4 では、次のビットはサポートしていません。

- TAPA2CTL1.TAPA2ATS3, TAPA2ATS2 ビット
- TAPA3CTL1.TAPA3ATS3, TAPA3ATS2 ビット

**V850E2/MN4 の
モータ制御機能構成**

V850E2/MN4 は、タイマ・オプション機能 (TAPA) をタイマ・アレイ・ユニット A (TAUA) と Peripheral InterConnection (PIC) との組み合わせにより、モータ制御用のインバータ機能を実現できます。

本機能を使用する場合、図 15-1 「V850E2/MN4 のモータ制御機能構成図」に示すように使用可能なリソース (チャンネル) が限定されます。

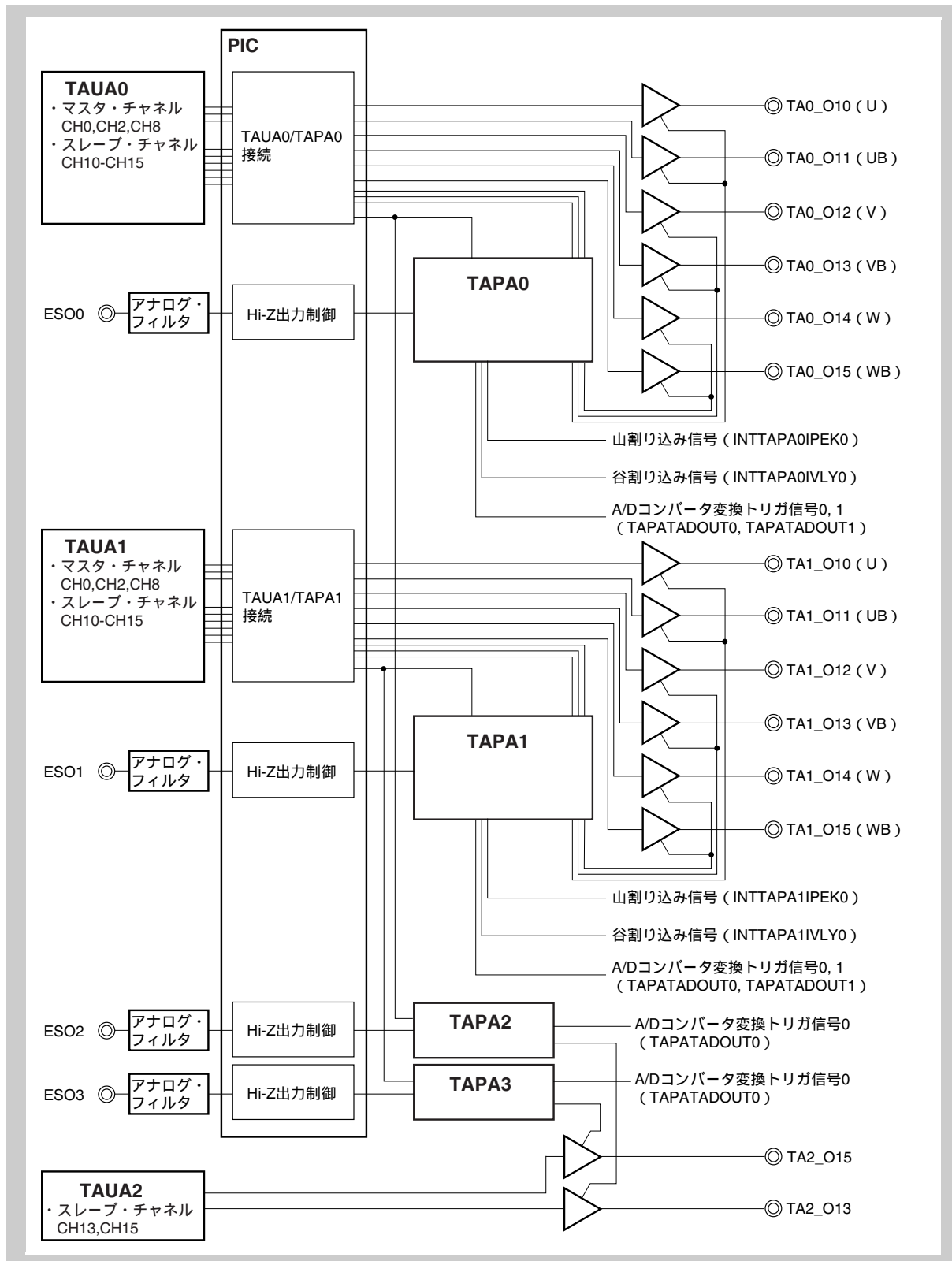


図 15-1 V850E2/MN4 のモータ制御機能構成図

レジスタ・アドレス タイマ・オプション・レジスタのアドレスは、それぞれのベース・アドレス <TAPAn_base_OS>, <TAPAn_base_USER> からのオフセットで表されます。
各 TAPAn のレジスタ・ベース・アドレスを次の表に示します。

表 15-2 レジスタ・ベース・アドレス <TAPAn_base>

TAPAn のチャンネル	ベース・アドレス	アドレス
TAPA0	<TAPAn_base_OS>	FF81 5000 _H
	<TAPAn_base_USER>	FFFF D400 _H
TAPA1	<TAPAn_base_OS>	FF81 6000 _H
	<TAPAn_base_USER>	FFFF D500 _H
TAPA2	<TAPAn_base_OS>	FF81 7000 _H
	<TAPAn_base_USER>	FFFF D600 _H
TAPA3	<TAPAn_base_OS>	FF81 8000 _H
	<TAPAn_base_USER>	FFFF D700 _H

クロック供給 タイマ・オプションには次のクロックが入力されます。

表 15-3 TAPAn クロック供給

TAPAn	クロック	接続先
TAPA0	PCLK	f _{PCLK}
TAPA1		
TAPA2		
TAPA3		

割り込みと DMA/DTS タイマ・オプションは次の割り込み要求と DMA/DTS 要求を発生できます。

表 15-4 TAPAn の割り込みと DMA/DTS の要求

TAPAn の信号	機能	接続先
TAPA0:		
TAPA0TIPEK0	TAPA0 の山割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTTAPA0IPEK0 DTS コントローラ・トリガ 98
TAPA0TIPEK1	TAPA0 の山割り込み	—
TAPA0TIVLY0	TAPA0 の谷割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTTAPA0IVLY0 DTS コントローラ・トリガ 99
TAPA0TIVLY1	TAPA0 の谷割り込み	—
TAPA1:		
TAPA1TIPEK0	TAPA1 の山割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTTAPA1IPEK0 DTS コントローラ・トリガ 103
TAPA1TIPEK1	TAPA1 の山割り込み	—
TAPA1TIVLY0	TAPA1 の谷割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTTAPA1IVLY0 DTS コントローラ・トリガ 104
TAPA1TIVLY1	TAPA1 の谷割り込み	—
TAPA2:		
TAPA2TIPEK0	TAPA2 の山割り込み	—
TAPA2TIPEK1	TAPA2 の山割り込み	—
TAPA2TIVLY0	TAPA2 の谷割り込み	—
TAPA2TIVLY1	TAPA2 の谷割り込み	—
TAPA3:		
TAPA3TIPEK0	TAPA3 の山割り込み	—
TAPA3TIPEK1	TAPA3 の山割り込み	—
TAPA3TIVLY0	TAPA3 の谷割り込み	—
TAPA3TIVLY1	TAPA3 の谷割り込み	—

信号の接続先 タイマ・オプションの接続先を次の表に示します。

表 15-5 TAPAn の接続先 (1/2)

TAPAn の信号	機能	接続先
TAPA0:		
TAPATHASIN	Hi-Z 制御 非同期入力信号	PIC (TOP0TAPATHASIN)
TAPATSIM0	TAUA マスタ・チャンネル割り込み入力 0	PIC (TOP0TAPATSIM0)
TAPATSIM1	TAUA マスタ・チャンネル割り込み入力 1	接続なし
TAPATCDENS0	TAUA スレーブ・チャンネル一致検出入力 0	PIC (ADOPA1ADCATTIN00)
TAPATCDENS1	TAUA スレーブ・チャンネル一致検出入力 1	PIC (ADOPA2ADCATTIN00)
TAPATADOUT0	A/D 変換トリガ出力 0	ADCA0 (ADCA0TTIN102)
TAPATADOUT1	A/D 変換トリガ出力 1	ADCA0 (ADCA0TTIN202)
TAPAUDCM0	TAUA マスタ 0 アップダウン入力	PIC (TOP0TAPAUDCM0)
TAPAUDCM1	TAUA マスタ 1 アップダウン入力	接続なし
TAPATCDENM0	TAUA マスタ 0 周期検出入力	接続なし
TAPATCDENM1	TAUA マスタ 1 周期検出入力	接続なし
TAPATTOEM0	TAUA マスタ 0 タイマ・イネーブル入力	接続なし
TAPATTOEM1	TAUA マスタ 1 タイマ・イネーブル入力	接続なし
TAPA1:		
TAPATHASIN	Hi-Z 制御 非同期入力信号	PIC (TOP1TAPATHASIN)
TAPATSIM0	TAUA マスタ・チャンネル割り込み入力	PIC (TOP1TAPATSIM0)
TAPATSIM1	TAUA マスタ・チャンネル割り込み入力 1	接続なし
TAPATCDENS0	TAUA スレーブ・チャンネル一致検出入力 0	PIC (ADOPA1ADCATTIN01)
TAPATCDENS1	TAUA スレーブ・チャンネル一致検出入力 1	PIC (ADOPA2ADCATTIN01)
TAPATADOUT0	A/D 変換トリガ出力 0	ADCA0 (ADCA0TTIN103)
TAPATADOUT1	A/D 変換トリガ出力 1	ADCA0 (ADCA0TTIN203)
TAPAUDCM0	TAUA マスタ 0 アップダウン入力	PIC (TOP1TAPAUDCM0)
TAPAUDCM1	TAUA マスタ 1 アップダウン入力	接続なし
TAPATCDENM0	TAUA マスタ 0 周期検出入力	接続なし
TAPATCDENM1	TAUA マスタ 1 周期検出入力	接続なし
TAPATTOEM0	TAUA マスタ 0 タイマ・イネーブル入力	接続なし
TAPATTOEM1	TAUA マスタ 1 タイマ・イネーブル入力	接続なし

表 15-5 TAPAn の接続先 (2/2)

TAPAn の信号	機能	接続先
TAPA2:		
TAPATHASIN	Hi-Z 制御 非同期入力信号	PIC (TOP2TAPATHASIN)
TAPATSIM0	TAUA マスタ・チャンネル割り込み入力	PIC (TOP0TAPATSIM0)
TAPATSIM1	TAUA マスタ・チャンネル割り込み入力 1	接続なし
TAPATCDENS0	TAUA スレーブ・チャンネル一致検出入力 0	PIC (ADOPA0ADCATTIN00)
TAPATCDENS1	TAUA スレーブ・チャンネル一致検出入力 1	接続なし
TAPATADOUT0	A/D 変換トリガ出力 0	ADCA0 (ADCA0TTIN002)
TAPATADOUT1	A/D 変換トリガ出力 1	接続なし
TAPAUDCM0	TAUA マスタ 0 アップダウン入力	PIC (TOP0TAPATUDCM0)
TAPAUDCM1	TAUA マスタ 1 アップダウン入力	接続なし
TAPATCDENM0	TAUA マスタ 0 周期検出入力	接続なし
TAPATCDENM1	TAUA マスタ 1 周期検出入力	接続なし
TAPATTOEM0	TAUA マスタ 0 タイマ・イネーブル入力	接続なし
TAPATTOEM1	TAUA マスタ 1 タイマ・イネーブル入力	接続なし
TAPA3:		
TAPATHASIN	Hi-Z 制御 非同期入力信号	PIC (TOP3TAPATHASIN)
TAPATSIM0	TAUA マスタ・チャンネル割り込み入力	PIC (TOP1TAPATSIM0)
TAPATSIM1	TAUA マスタ・チャンネル割り込み入力 1	接続なし
TAPATCDENS0	TAUA スレーブ・チャンネル一致検出入力 0	PIC (ADOPA0ADCATTIN01)
TAPATCDENS1	TAUA スレーブ・チャンネル一致検出入力 1	接続なし
TAPATADOUT0	A/D 変換トリガ出力 0	ADCA0 (ADCA0TTIN003)
TAPATADOUT1	A/D 変換トリガ出力 1	接続なし
TAPAUDCM0	TAUA マスタ 0 アップダウン入力	PIC (TOP1TAPATUDCM0)
TAPAUDCM1	TAUA マスタ 1 アップダウン入力	接続なし
TAPATCDENM0	TAUA マスタ 0 周期検出入力	接続なし
TAPATCDENM1	TAUA マスタ 1 周期検出入力	接続なし
TAPATTOEM0	TAUA マスタ 0 タイマ・イネーブル入力	接続なし
TAPATTOEM1	TAUA マスタ 1 タイマ・イネーブル入力	接続なし

入出力信号 タイマ・オプションの入出力信号を次の表に示します。

表 15-6 TAPAn の入出力信号

TAPAn の信号	機能	接続先
TAPA0	Hi-Z 制御信号 0 (U 相)	TAUA0 の U 相出力信号 (TAUA0O10/TAUA0O11) の Hi-Z 制御
	Hi-Z 制御信号 1 (V 相)	TAUA0 の V 相出力信号 (TAUA0O12/TAUA0O13) の Hi-Z 制御
	Hi-Z 制御信号 2 (W 相)	TAUA0 の W 相出力信号 (TAUA0O14/TAUA0O15) の Hi-Z 制御
TAPA1	Hi-Z 制御信号 0 (U 相)	TAUA1 の U 相出力信号 (TAUA1O10/TAUA1O11) の Hi-Z 制御
	Hi-Z 制御信号 1 (V 相)	TAUA1 の V 相出力信号 (TAUA1O12/TAUA1O13) の Hi-Z 制御
	Hi-Z 制御信号 2 (W 相)	TAUA1 の W 相出力信号 (TAUA1O14/TAUA1O15) の Hi-Z 制御
TAPA2	Hi-Z 制御信号 0 (U 相)	TAUA2 (TAUA2O13) の Hi-Z 制御
	Hi-Z 制御信号 1 (V 相)	接続なし
	Hi-Z 制御信号 2 (W 相)	接続なし
TAPA3	Hi-Z 制御信号 0 (U 相)	TAUA2 (TAUA2O15) の Hi-Z 制御
	Hi-Z 制御信号 1 (V 相)	接続なし
	Hi-Z 制御信号 2 (W 相)	接続なし

15.1.1 ブロック図

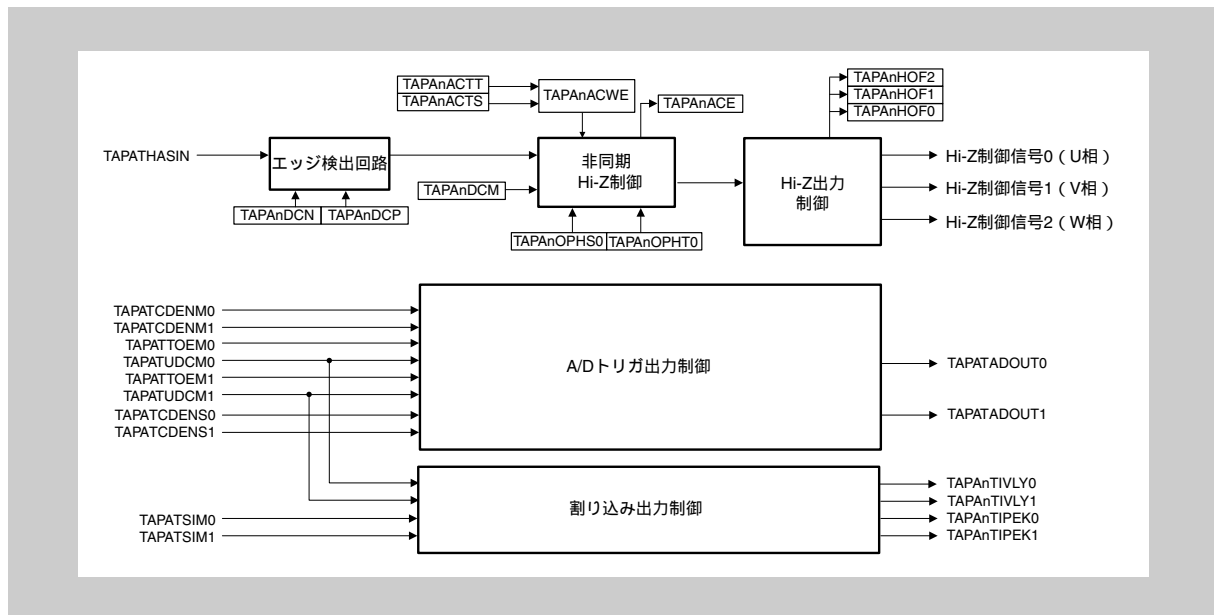


図 15-2 TAPA のブロック図

15.2 機能概要

機能概要 タイマ・モータ制御機能 (TAPA) をタイマ・アレイ・ユニット A (TAUA) と組み合わせ、モータ・システムを実現します。

- 非同期 Hi-Z 制御機能

モータ制御用タイマ出力を非同期にハイ・インピーダンスにすることで強制的に停止

- INT 信号出力選択機能

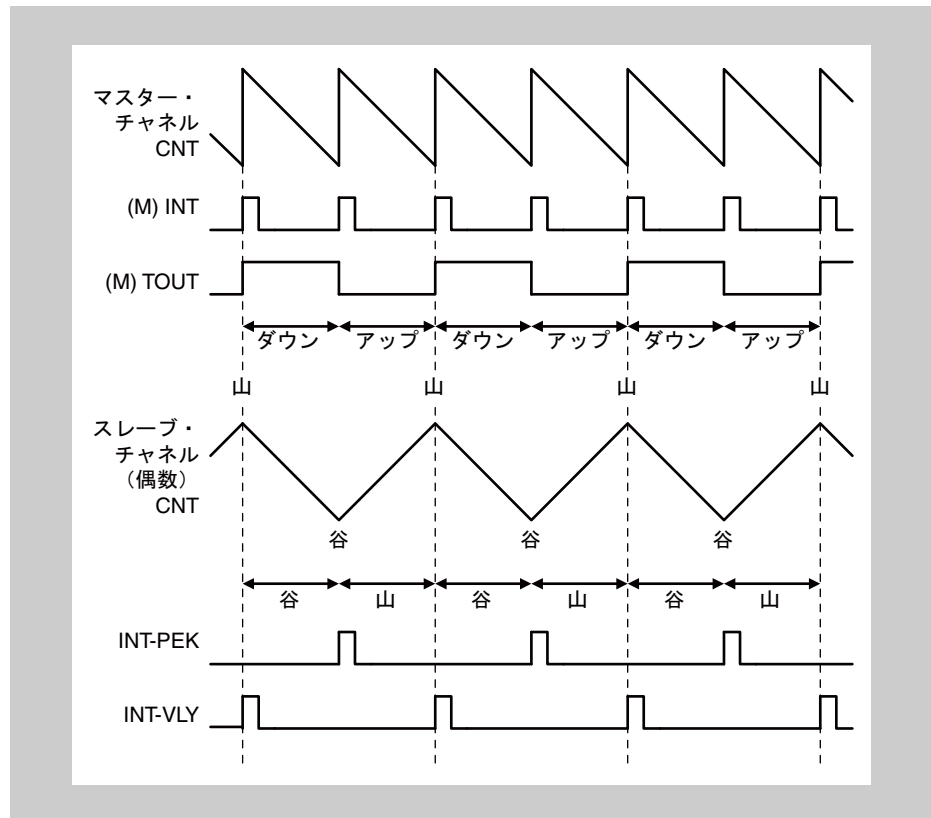
TAUA が出力する INTn 信号を基に山割り込み、谷割り込みを出力

- A/D 変換トリガ選択機能

TAUA が出力する INTn 信号を基に A/D コンバータ変換トリガ信号を 2 本出力

15.2.1 タイマ・カウンタの「山」と「谷」, 「山割り込み」と「谷割り込み」について

このドキュメントでは, TAUA の Up ステータス (カウント・アップ・ステータス) 期間から, マスタ・チャンネルの INT 発生までを「山」期間とし, 発生するマスタ・チャンネルの INT を「山割り込み」(INT-PEK) と定義します。また, TAUA の Down ステータス (カウント・ダウン・ステータス) 期間から, マスタ・チャンネルの INT 発生までを「谷」期間とし, 発生するマスタ・チャンネルの INT を「谷割り込み」(INT-VLY) と定義します。



15.3 レジスタ

タイマ・モータ制御機能は、次のレジスタで制御、動作します。

15.3.1 レジスタの概要

表 15-7 制御レジスタ一覧

レジスタ名	略号	アドレス
制御レジスタ 0	TAPAnCTL0	<TAPAn_base_OS> + 20 _H
制御レジスタ 1	TAPAnCTL1	<TAPAn_base_OS> + 24 _H
フラグ・レジスタ	TAPAnFLG	<TAPAn_base_USER> + 00 _H
非同期 Hi-Z 制御ライト・イネーブル・レジスタ	TAPAnACWE	<TAPAn_base_USER> + 04 _H
非同期 Hi-Z 制御スタート・トリガ・レジスタ	TAPAnACTS	<TAPAn_base_USER> + 08 _H
非同期 Hi-Z 制御ストップ・トリガ・レジスタ	TAPAnACTT	<TAPAn_base_USER> + 0C _H
Hi-Z スタート・トリガ・レジスタ	TAPAnOPHS	<TAPAn_base_USER> + 14 _H
Hi-Z ストップ・トリガ・レジスタ	TAPAnOPHT	<TAPAn_base_USER> + 18 _H

<TAPAn_base> TAPAn のベース・アドレス <TAPAn_base_OS> および <TAPAn_base_USER> は、この章の最初の節に「レジスタ・アドレス」という言葉で定義されています。

15.3.2 レジスタの詳細

(1) TAPAnCTL0 - 制御レジスタ 0

このレジスタで、非同期 Hi-Z 制御機能の設定を行います。

このレジスタの値は、TAPAnFLG.TAPAnACE = 0、かつ、対応する TAU A のマスタ・チャンネルの TAUAnTE = 0 の場合のみ書き換えることができます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base_OS> + 20_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	TAPAn DCM	TAPAn DCN	TAPAn DCP	0	0
R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 15-8 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能															
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0: TAPATHASIN 信号入力に関係なく、TAPAnOPHT0 ビットの操作を有効 1: TAPATHASIN 信号入力 that アクティブ・レベルの場合、TAPAnOPHT0 ビットの操作を無効 TAPATHASIN 信号入力 that インアクティブの場合、TAPAnOPHT0 ビット操作を有効															
3, 2	TAPAnDCN, TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPATHASIN 信号の有効エッジを指定する制御ビットです。 <table border="1" data-bbox="550 1214 1385 1518"> <thead> <tr> <th>TAPAn DCN</th><th>TAPAn DCP</th><th>動作説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>有効エッジを検出しない</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを有効エッジとして検出 (アクティブ・レベル = High)</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを有効エッジとして検出 (アクティブ・レベル = Low)</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	TAPAn DCN	TAPAn DCP	動作説明	0	0	有効エッジを検出しない	0	1	立ち上がりエッジを有効エッジとして検出 (アクティブ・レベル = High)	1	0	立ち下がりエッジを有効エッジとして検出 (アクティブ・レベル = Low)	1	1	設定禁止
TAPAn DCN	TAPAn DCP	動作説明															
0	0	有効エッジを検出しない															
0	1	立ち上がりエッジを有効エッジとして検出 (アクティブ・レベル = High)															
1	0	立ち下がりエッジを有効エッジとして検出 (アクティブ・レベル = Low)															
1	1	設定禁止															

(2) TAPAnCTL1 - 制御レジスタ 1

このレジスタで、A/D 変換トリガを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base_OS> + 24_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	TAPAn ATS3	TAPAn ATS2	TAPAn ATS1	TAPAn ATS0
R	R	R	R	R/W	R/W	R/W	R/W

表 15-9 TAPAnCTL1 レジスタの内容

ビット位置	ビット名	機能															
3, 2	TAPAn ATS[3:2]	<p>A/D 変換トリガ 1 選択ビット A/D 変換トリガ出力 1 (TAPATADOUT1 信号) を指定する制御ビットです。</p> <table border="1"> <thead> <tr> <th>TAPAn ATS3</th> <th>TAPAn ATS2</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>三角波のダウン・カウント中の INT 信号が出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>三角波のアップ・カウント中の INT 信号が出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>三角波のアップ/ダウン・カウント中の INT 信号が出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力</td> </tr> </tbody> </table>	TAPAn ATS3	TAPAn ATS2	動作説明	0	0	三角波のダウン・カウント中の INT 信号が出力	0	1	三角波のアップ・カウント中の INT 信号が出力	1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力	1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力
TAPAn ATS3	TAPAn ATS2	動作説明															
0	0	三角波のダウン・カウント中の INT 信号が出力															
0	1	三角波のアップ・カウント中の INT 信号が出力															
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力															
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力															
1, 0	TAPAn ATS[1:0]	<p>A/D 変換トリガ 0 選択ビット A/D 変換トリガ出力 0 (TAPATADOUT0 信号) を指定する制御ビットです。</p> <table border="1"> <thead> <tr> <th>TAPAn ATS1</th> <th>TAPAn ATS0</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>三角波のダウン・カウント中の INT 信号が出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>三角波のアップ・カウント中の INT 信号が出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>三角波のアップ/ダウン・カウント中の INT 信号が出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力</td> </tr> </tbody> </table>	TAPAn ATS1	TAPAn ATS0	動作説明	0	0	三角波のダウン・カウント中の INT 信号が出力	0	1	三角波のアップ・カウント中の INT 信号が出力	1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力	1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力
TAPAn ATS1	TAPAn ATS0	動作説明															
0	0	三角波のダウン・カウント中の INT 信号が出力															
0	1	三角波のアップ・カウント中の INT 信号が出力															
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力															
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力															

(3) TAPAnFLG - フラグ・レジスタ

非同期 Hi-Z 制御のフラグ・レジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAPAn_base_USER> + 00_H

初期値 0700_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	0	0	0	0	0	0	0	TAPAn ACE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15-10 TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
10-8	TAPAn HOFm	Hi-Z 制御モニタ・ビット (m = 0, 1, 2) Hi-Z 制御のモニタ・ビットです。 0: Hi-Z 制御中ではない 1: Hi-Z 制御中
0	TAPAn ACE	非同期 Hi-Z 制御イネーブル・ビット 非同期 Hi-Z 制御信号 (TAPATHASIN) の状態を示します。 0: 非同期 Hi-Z 制御が停止状態 1: 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 : TAPAnACWE ビット = 1 時の TAPAnACTT への "1" 書き込み セット条件 : TAPAnACWE ビット = 1 時の TAPAnACTS への "1" 書き込み

(4) TAPAnACWE - 非同期 Hi-Z 制御ライト・イネーブル・レジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base_USER> + 04_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACWE
R	R	R	R	R	R	R	R/W

表 15-11 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACWE	非同期制御ライト・イネーブル・ビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 "1" に書き込み後, TAPA0ACTS ビットと TAPA0ACTT ビットに "1" を書き込むことによって, 自動的に "0" にクリアされます。 0: TAPAnACTS ビットと TAPAnACTT ビットへの書き込み禁止 1: TAPAnACTS ビットと TAPAnACTT ビットへの書き込み許可

(5) TAPAnACTS - 非同期 Hi-Z 制御スタート・トリガ・レジスタ

非同期 Hi-Z 制御用のスタート・トリガを許可します。

アクセス 8ビット単位でライト可能のみです。読み出し値は常に 00_H となります。

アドレス <TAPAn_base_USER> + 08_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACTS
R	R	R	R	R	R	R	W

表 15-12 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACTS	非同期 Hi-Z 制御スタート・トリガ・ビット 非同期 Hi-Z 制御用のイネーブル・スタート・トリガ・ビットです。 このビットの設定は、TAPA0ACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: 非同期 Hi-Z 制御が許可になり、TAPAnACE ビットが 1 にセットされます。

(6) TAPAnACTT - 非同期 Hi-Z 制御ストップ・トリガ・レジスタ

非同期 Hi-Z 制御用のストップ・トリガを許可します。

アクセス 8ビット単位でライト可能のみです。読み出し値は常に 00_H となります。

アドレス <TAPAn_base_USER> + 0C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACTT
R	R	R	R	R	R	R	W

表 15-13 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACTT	非同期 Hi-Z 制御ストップ・トリガ・ビット 非同期 Hi-Z 制御用のストップ・トリガを許可します。 このビットの設定は、TAPA0ACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: 非同期 Hi-Z 制御が停止状態になり、TAPAnACE ビットが 0 にクリアされま す。

(7) TAPAnOPHS - Hi-Z スタート・トリガ・レジスタ

タイマ出力端子に対する Hi-Z 制御を開始するためのソフトウェア・トリガ・レジスタです。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base_USER> + 14_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn OPHS0
R	R	R	R	R	R	R	W

表 15-14 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
0	TAPAn OPHS0	Hi-Z 制御スタート・トリガ・ビット タイマ出力端子の Hi-Z 制御を開始します。 0: "0" 書き込みは、機能として意味を持ちません。 1: Hi-Z 制御を開始

(8) TAPAnOPHT - Hi-Z ストップ・トリガ・レジスタ

タイマ出力端子に対する Hi-Z 制御を停止するためのソフトウェア・トリガ・レジスタです。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base_USER> + 18_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn OPHT0
R	R	R	R	R	R	R	W

表 15-15 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
0	TAPAn OPHT0	Hi-Z 制御ストップ・トリガ・ビット Hi-Z 制御信号のストップ・トリガを設定します。 0: "0" 書き込みは機能として意味を持ちません。 1: Hi-Z 制御を停止。TAPAnOPHT0 ビットの設定有効/無効の条件は TAPAnCTL0.TAPAnDCM で設定します。

15.4 基本動作説明

15.4.1 非同期 Hi-Z 制御機能

(1) 非同期 Hi-Z 制御機能の目的

CPUによって制御されるタイマ・モータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、CPUによる制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

(2) 非同期 Hi-Z 制御機能の概要

非同期 Hi-z 制御により、タイマ機能からの出力を強制的に停止する機能です。

TAPATHASIN 信号がアクティブになるとタイマ出力端子を Hi-Z 状態にし、タイマ出力を強制的に停止されます。

TAPAnCTL0.TAPAnDCM = 0 の場合、TAPATHASIN 信号入力に関係なく、TAPAnACTT.TAPAnOPHT0 ビットをセット (1) すると Hi-Z 出力制御を停止します。

TAPAnCTL0.TAPAnDCM = 1 の場合、TAPATHASIN 信号入力が入インアクティブのときに、TAPAnACTT.TAPAnOPHT0 ビットをセット (1) すると Hi-Z 出力制御を停止します。

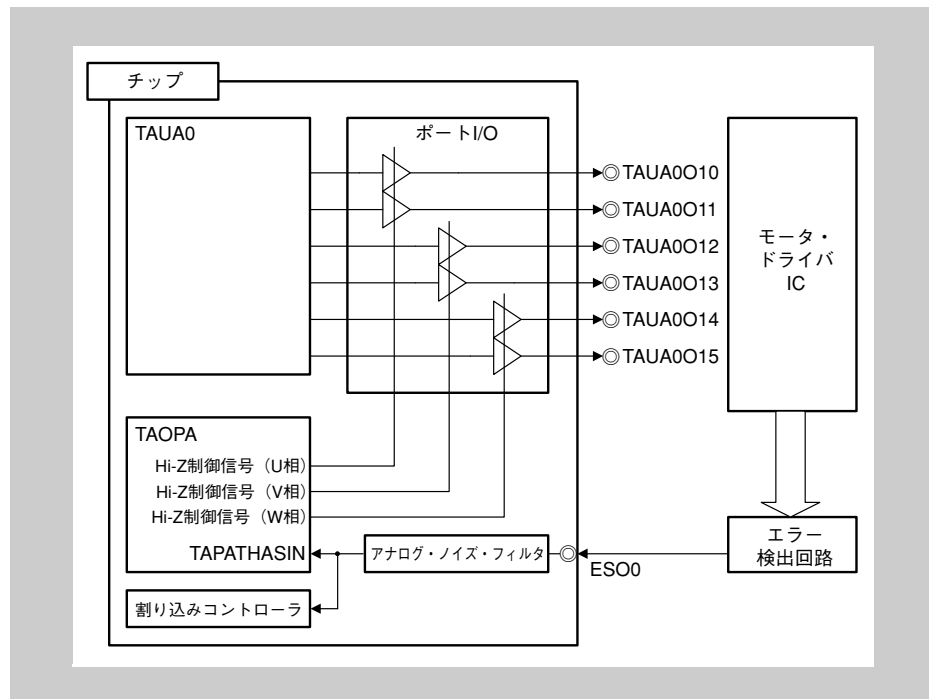
(3) システム構成例

TAUA0 の出力 (TAUA0O10-TAUA0O15 端子) を外部エラー検出信号 (ESOO 端子) にて Hi-Z 制御する場合のシステム構成例を下記に示します。

外部エラー検出信号を受信すると、割り込みが発生し、同時にモータ制御用タイマ出力 (TAUA0 ch10-15) を Hi-Z にします。

エラー発生時にマイコンも暴走している可能性があることを想定し、外部のエラー検出信号を継続的に処理することによってクロックがない状態でもモータ制御用タイマ出力を Hi-Z にできるようにしています。

なお、エラー検出信号の有効エッジを検出したときのみエラーを検出し、出力レベルが固定されている (信号にエッジがない) 場合、エラーは検出されません。

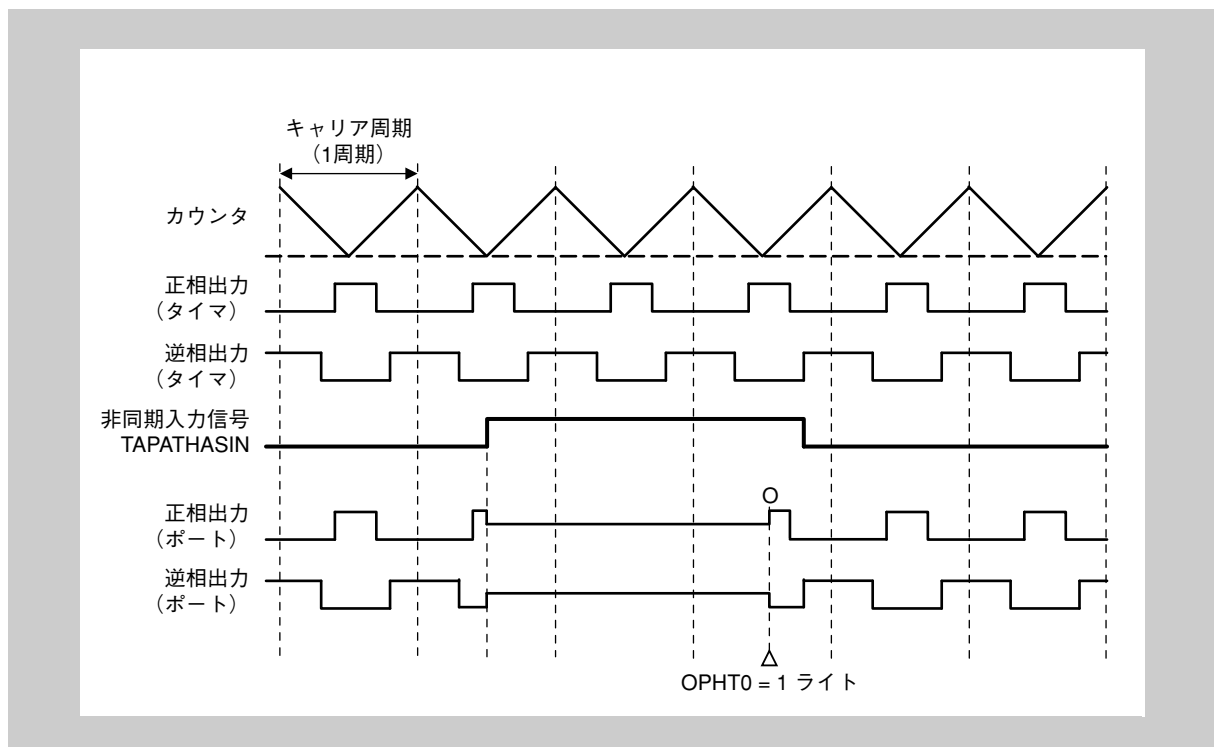


(4) 非同期 Hi-Z 制御機能の基本動作

タイマ出力端子の Hi-Z 制御は次の方法で開始できます。

- TAPATHASIN 信号の有効エッジ検出
- Hi-Z 制御信号のスタート・トリガ・ビット (TAPAnOPHS0) をセット

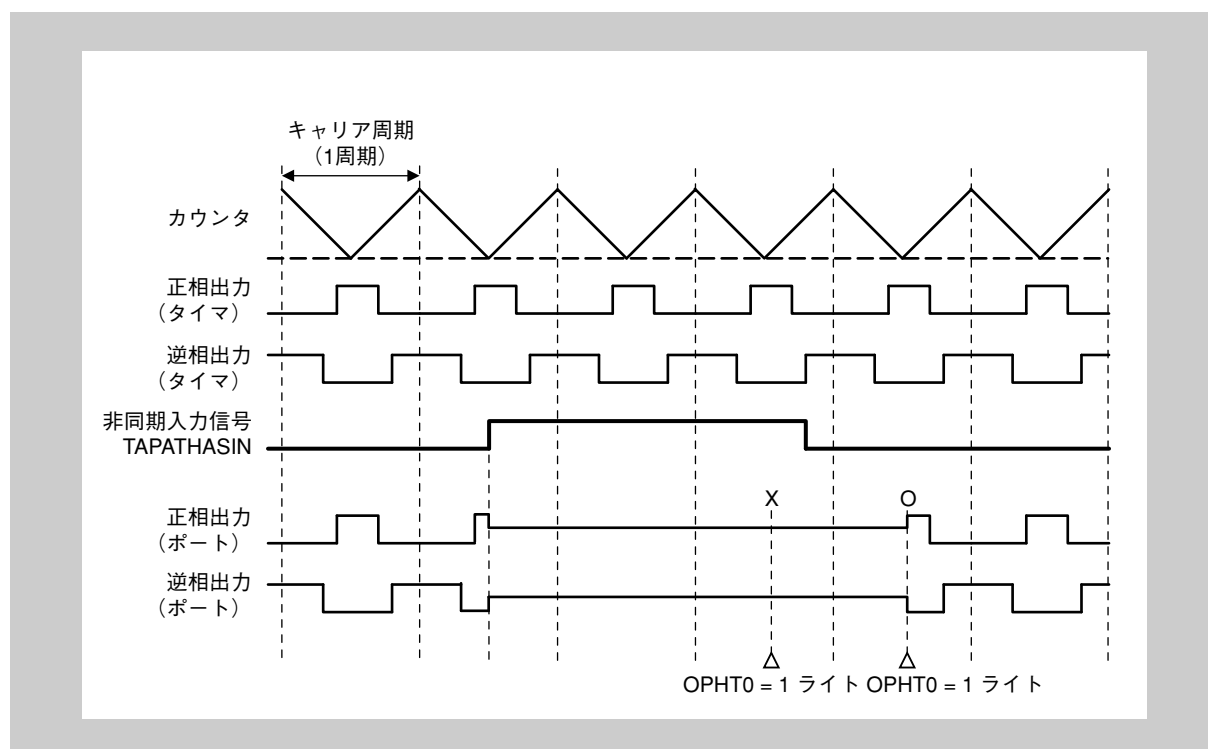
Hi-Z 制御信号のストップ・トリガ・ビット (TAPAnOPHT0) をセットするまで、タイマ出力端子から Hi-Z を出力します。ただし、TAPAnOPHT0 ビットの設定有効 / 無効の条件は TAPAnCTL0.TAPAnDCM で設定します。

(a) TAPAnCTL0.TAPAnDCM = 0, TAPAnDCP = 0, TAPAnDCN = 0 時

非同期入力信号 (TAPATHASIN) の有効エッジを検出すると、タイマ出力を強制的に停止 (ポート制御による Hi-Z 出力) します。

TAPATHASIN のレベルに関係なく、Hi-Z ストップ・トリガ・ビット (OPHT0) に "1" を書き込むことによって、タイマ出力が再開します。

(b) TAPAnCTL0.TAPAnDCM = 1, TAPAnDCP = 1, TAPAnDCN = 0 時



非同期入力信号 (TAPATHASIN) の有効エッジを検出すると、タイマ出力を強制的に停止 (ポート制御による Hi-Z 出力) します。

非同期入力信号 (TAPATHASIN) がアクティブ・レベル (TAPAnDCP = 1 のためハイ・レベル) の間、Hi-Z ストップ・トリガ・ビット (TAPAOPHT0) への "1" 書き込みは無視されます。

非同期入力信号 (TAPATHASIN) がインアクティブ (TAPAnDCP = 1 のためロウ・レベル) レベルとなったあと、Hi-Z ストップ・トリガ・ビット (TAPAnOPHT0) に "1" を書き込むことによって、タイマ出力が再開します。

(5) ソフトウェア・トリガによる非同期 Hi-Z 制御

この機能では、ソフトウェア・トリガによる Hi-Z 制御が可能です。

Hi-Z 制御スタート・トリガ・ビット (TAPAnOPHS0) および Hi-Z 制御ストップ・トリガ・ビット (TAPAnOPHT0) で、タイマ出力の Hi-Z 制御ができます。

(a) Hi-Z 制御スタート・トリガ・ビット (TAPAnOPHS) の動作

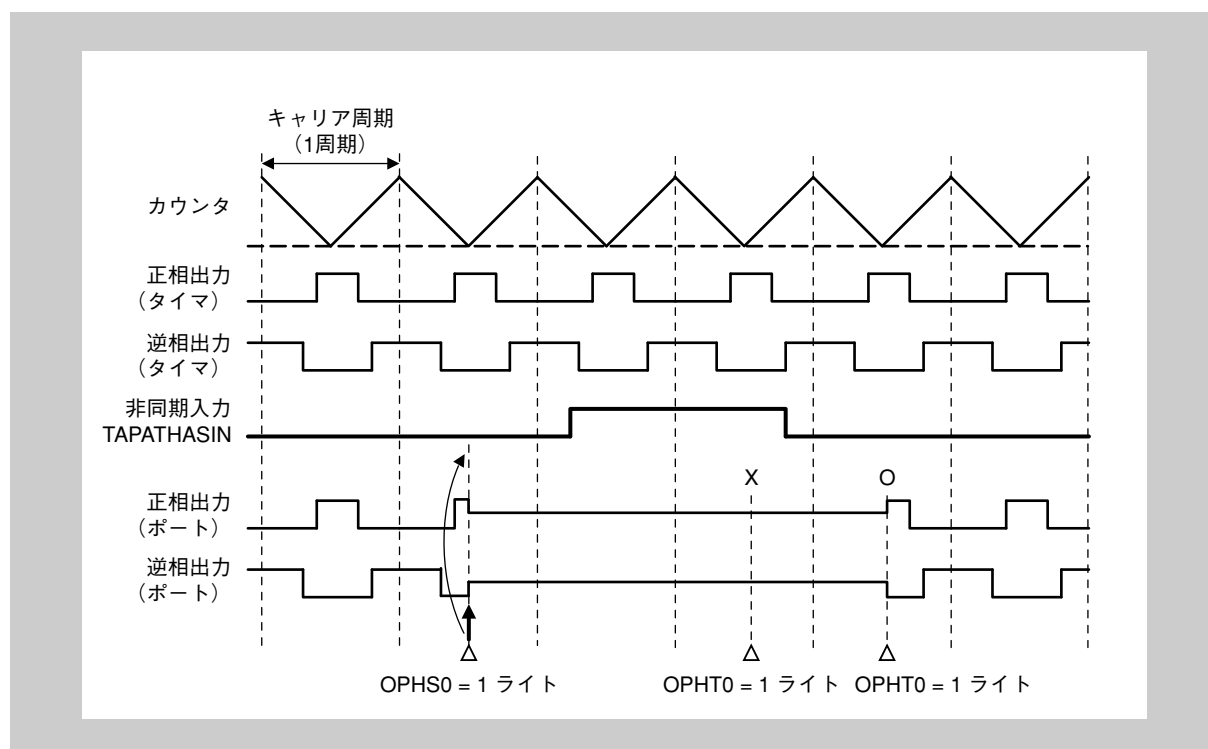
TAPAnDCM	動作
0/1	TAPAnOPHS0 ビットに“1”を書き込むことによって、Hi-Z 制御を開始し、タイマ出力を強制的に停止 (ポート制御による Hi-Z 出力) します。

(b) Hi-Z 制御ストップ・トリガ・ビット (TAPAnOPHT) の動作

Hi-Z 制御ストップ・トリガは次の条件のときのみ有効となります。

TAPAnDCM	動作
0	TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、タイマ出力を再開します。
1	TAPATHASIN 信号がインアクティブ中、TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、タイマ出力を再開します。 TAPATHASIN 信号がアクティブ中は、TAPAnOPHT0 ビットへの“1”の書き込みは無視されます。

(c) TAPAnDCM = 1, TAPAnDCP = 1, TAPAnDCN = 0 時



TAPAnOPHS0 ビットに“1”を書き込むことによってタイマ出力を強制的に停止（ポート制御による Hi-Z 出力）します。

その後、TAPATHASIN 信号の立ち上がりエッジを検出しても、タイマ出力は Hi-Z のままです。

TAPATHASIN 信号がアクティブ・レベル（TAPAnDCN = 0, TAPAnDCP = 1 のためハイ・レベル）の間、TAPAnOPHT0 ビットへの書き込みは無視されます。

TAPATHASIN 信号の立ち下がりエッジ検出後、TAPATHASIN 信号がインアクティブ（TAPAnDCN = 0, TAPAnDCP = 1 のためロウ・レベル）の期間に TAPAnOPHT0 ビットに“1”を書き込むことによってタイマ出力が再開します。

(6) 非同期入力 Hi-Z 制御機能の操作手順

以下に非同期入力 Hi-Z 制御機能の操作手順を示します。

	動作	TAPA の状態	
動作再開	初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP ビット, TAPAnDCN ビットを設定 (入力エッジ選択) TAPAnDCM を設定 (クリア・モード選択)	非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)
	動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに "1" を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS ビットに "1" を設定	TAPAnACTS ビットの書き込み可能 非同期 Hi-Z 制御許可 (TAPAnFLG.TAPAnACE = 1)
	動作中	タイマ機能の出力に対して Hi-Z 制御を開始 (スタート) する方法は、以下のとおりです。 ・ TAPAnOPHS レジスタで制御 ・ Hi-Z 制御非同期入力信号 (TAPATHASIN) で制御 Hi-Z 制御を終了 (ストップ) する方法は、以下のとおりです。 TAPAnOPHT レジスタで制御 (TAPAnDCM ビット = 1 の場合は TAPATHASIN 信号がインアクティブ時のみ制御可能) TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	Hi-Z 制御非同期入力信号 (TAPATHASIN) の有効エッジ検出, またはスタート・トリガ・ビットを設定 (TAPAnOPHS0 ビット = 1) することによって, タイマ出力端子の Hi-Z 制御を開始。TAPAnCTL0.TAPAnDCM で設定した動作モードに従い, ストップ・トリガ・ビットを設定 (TAPAnOPHT0 ビット = 1) することによって, タイマ出力端子の Hi-Z 制御を停止。
	動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに "1" を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT ビットに "1" を設定	TAPAnACTT ビットの書き込み許可 非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)

15.4.2 INT 信号出力選択機能

(1) INT 信号出力選択機能の構成

TAUA の三角波キャリア周期生成チャネル (マスタ) の INT 信号が接続された TAPATSIMm 信号から、山割り込み INTTAPAnIPEK_m と谷割り込み INTTAPAnIVLY_m を生成する機能です。

本製品における TAPATSIMm 信号の接続先は表 15-5 「TAPAn の接続先」を参照してください。

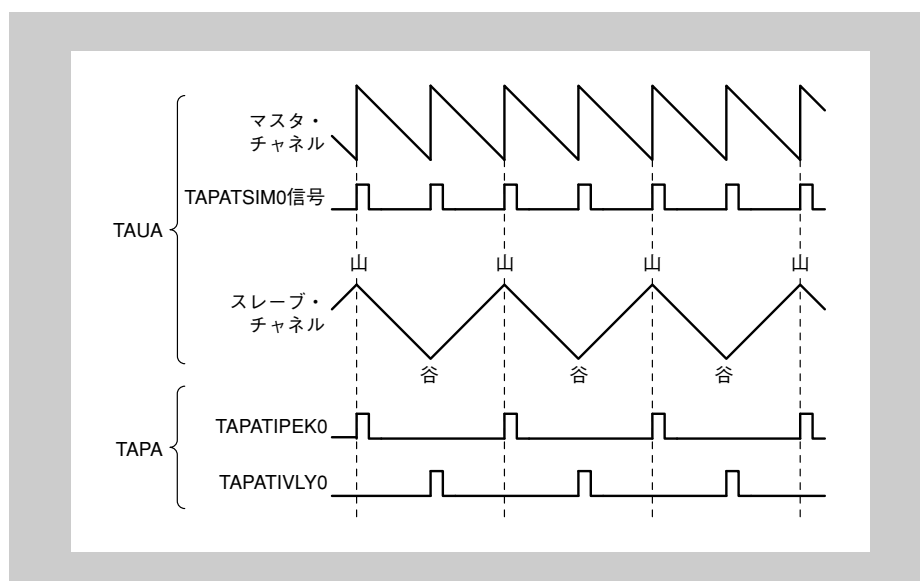


図 15-3 INT 信号出力選択機能の基本動作タイミング

マスタ・チャンネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに発生するマスタ・チャンネルの割り込みは TAPATSIM m 信号に接続され、TAPA へ入力されます。TAPATSIM m 信号は、三角波の山タイミングでは山割り込み INTTAPAnIPEK m として、谷タイミングでは谷割り込み INTTAPAnIVLY m として生成されます。

注意 山割り込み INTTAPAnIPEK m と谷割り込み INTTAPAnIVLY m は TAU A のモードに関わらず発生します。

これらの割り込みを使用しない場合は ICTAPAnIPEK m レジスタと ICTAPAnIVLY m レジスタにてマスクしてください。

15.4.3 A/D 変換トリガ選択機能

TAUA の三角波キャリア周期とのコンペアー一致割り込みに接続された TAPATCDENS0 信号 / TAPATCDENS1 信号から A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) を出力する機能です。

(1) A/D コンバータ変換トリガ選択機能の構成

表 15-16 TAPATADOUT 信号生成に使用する信号一覧

出力信号	スレーブ一致検出信号	谷割り込み信号
TAPATADOUT0	TAPATCDENS0	TAPATIVLY0
TAPATADOUT1	TAPATCDENS1	TAPATIVLY0

表 15-17 TAPAnCTL1.TAPAnATS[3:0], TAPATADOUT0 の動作

TAPAnATS3	TAPAnATS2	動作説明
0	0	三角波のダウン・カウント中の INT 信号が出力
0	1	三角波のアップ・カウント中の INT 信号が出力
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力

TAPAnATS3	TAPAnATS2	動作説明
0	0	三角波のダウン・カウント中の INT 信号が出力
0	1	三角波のアップ・カウント中の INT 信号が出力
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力

(2) 三角波 PWM モード時の A/D コンバータ・トリガ出力制御動作波形

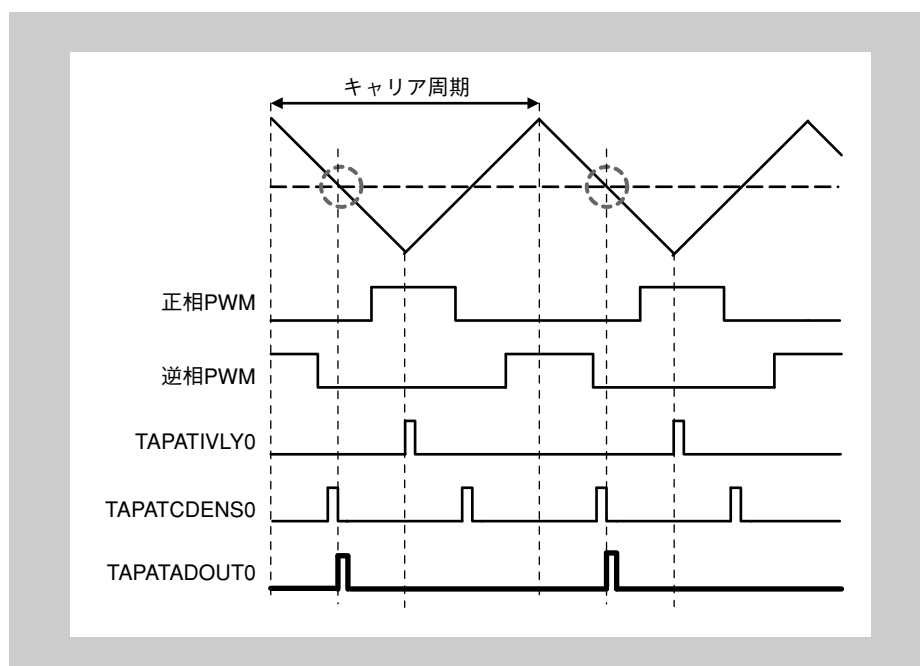


図 15-4 TAPAnATS[1 : 0] ビット =00B : 三角波がダウン・カウント中に INT 信号を出力

三角波がダウン・カウント中の TAPATCDNS0 信号 /TAPATCDNS1 信号は A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

三角波がアップ・カウント中は、A/D コンバータ変換トリガ用信号は出力されません。

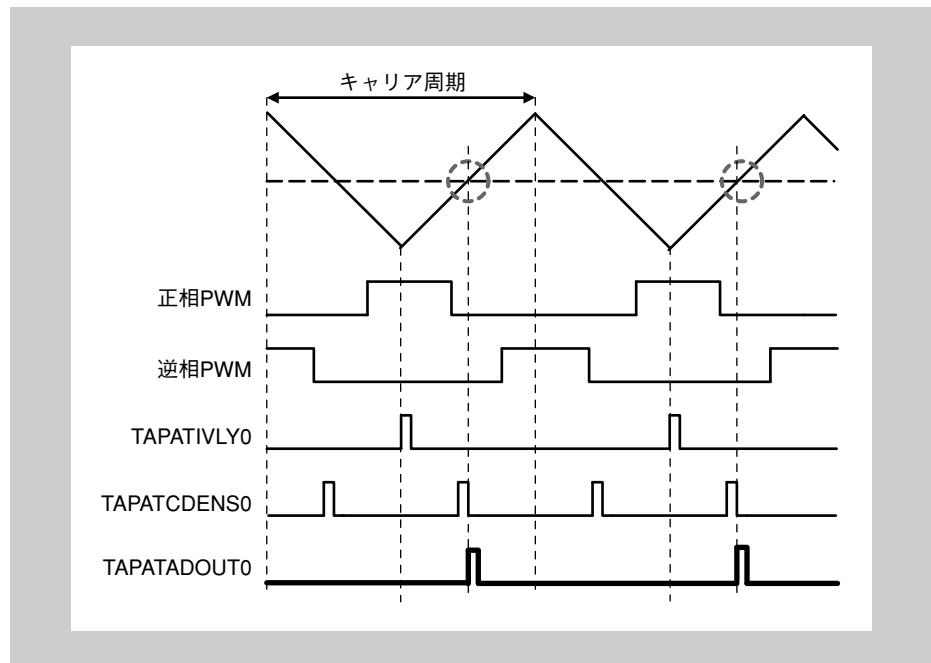


図 15-5 TAPAnATS[1 : 0] ビット =01B : 三角波がアップ・カウント中に INT 信号を出力

三角波がアップ・カウント中の TAPATCDNS0 信号 /TAPATCDNS1 信号は A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

三角波がダウン・カウント中は、A/D コンバータ変換トリガ用信号は出力されません。

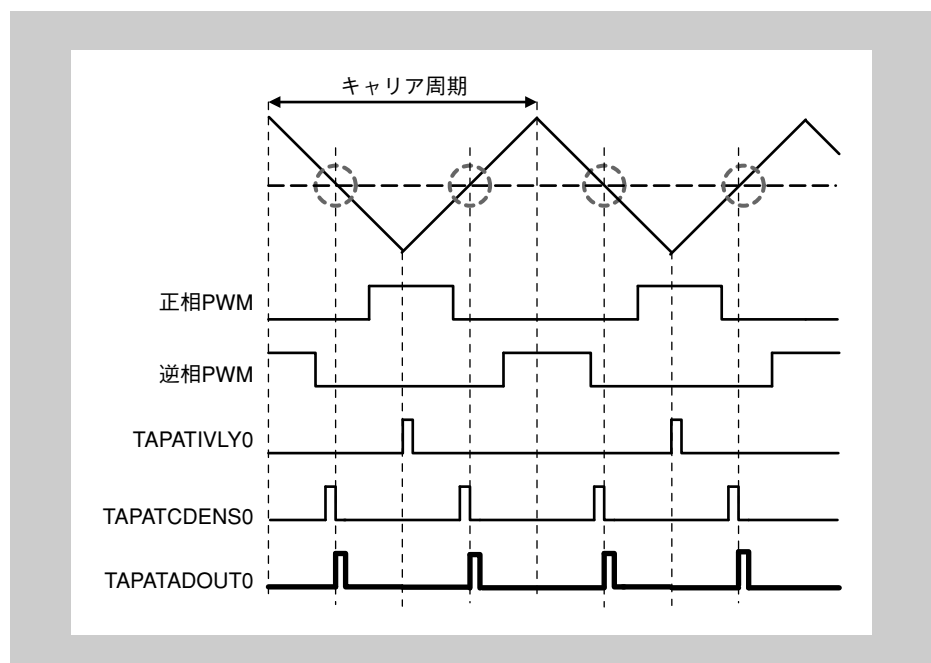


図 15-6 TAPAnATS[1 : 0] ビット =10B : 三角波がアップ/ダウン・カウント中に INT 信号を出力

TAPATCDNS0 信号 /TAPATCDNS1 信号は A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

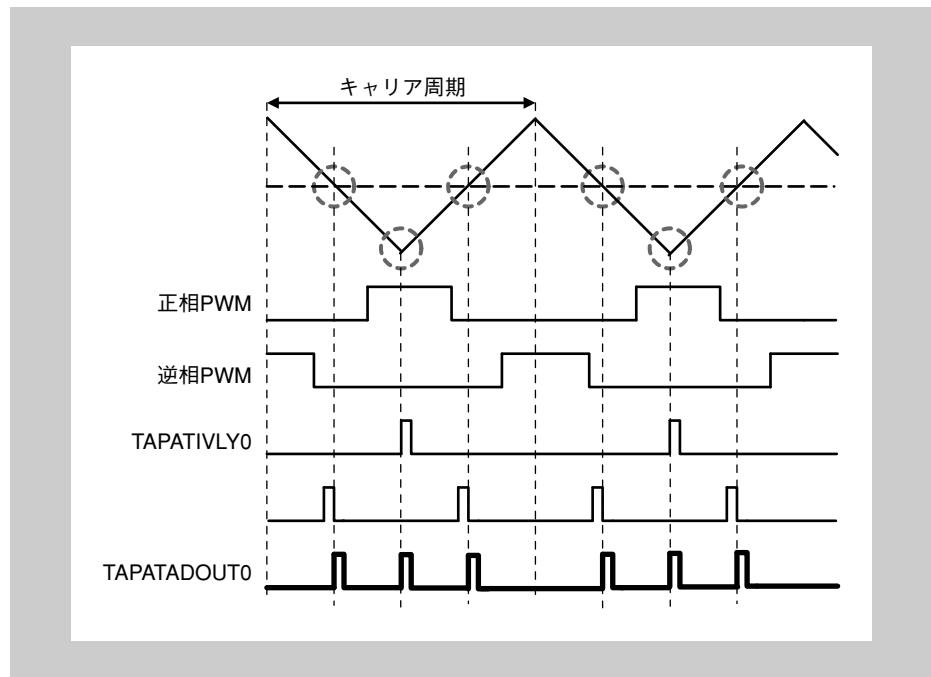


図 15-7 TAPAnATS[1 : 0] ビット = 11B : 三角波がアップ / ダウン・カウント中の INT 信号と谷割り込みを出力

TAPATCDNS0 信号 / TAPATCDNS1 信号と谷割り込み INTTAPAnIVLY0 が A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

(3) A/D コンバータ変換トリガ選択機能の操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

	動作	TAUA, TAPA の状態	
動作再開	初期設定	TAUA を初期設定します。 タイマ動作モードを確定 TAPAnCTL1 レジスタを設定します。 TAPAnATS[1:0] を設定 (TAPATADOUT0 の設定) TAPAnATS[3:2] を設定 (TAPATADOUT1 の設定)	TAUA, TAPA は動作停止。
	動作開始	TAUA を動作開始します。	TAUA のカウント動作が開始します。
	動作中	TAUA は、各機能の設定に従って動作します。	A/D 変換トリガ選択機能は、TAUA からの割り込み入力 (TAPATCDENS1/TAPATCDENS0), TAPA で生成した谷割り込み信号 (TAPATIVLY1/TAPATIVLY0) をもとに、TAPAnATS[1:0] の設定に従って TAPATADOUT0, または TAPAnATS[3:2] の設定に従って TAPATADOUT1 を出力します。
	動作停止	TAUA を動作停止します。	TAUA のカウント動作が停止します。

第 16 章 Peripheral Interconnection (PIC)

本機能は、タイマや A/D コンバータなど複数マクロを接続し、タイマ同時スタート機能、モータ制御機能、A/D トリガ選択機能を実現します。

16.1 V850E2/MN4 の PIC の特長

ユニット この製品は次のユニット数の PIC を搭載しています。

表 16-1 PIC のユニット数

PIC	
ユニット数	1
名称	PIC0

レジスタ・アドレス PIC0 レジスタのアドレスは、ベース・アドレス <PIC0_base_USER> および <PIC0_base_OS> からのオフセットで表されます。
各 PIC0 のレジスタ・ベース・アドレス <PIC0_base_USER> および <PIC0_base_OS> を次の表に示します。

表 16-2 レジスタ・ベース・アドレス

PIC0	ベース・アドレス	アドレス
PIC0	<PIC0_base_USER>	FFFF DB00 _H
	<PIC0_base_OS>	FF81 C000 _H

クロック供給 PICには次の1つのクロック入力があります。

表 16-3 PIC0 のクロック供給

PIC0	クロック	接続先
PIC0	PCLK	f _{PCLK}

入出力信号 PIC と他の機能を接続する入出力信号を次の表に示します。

表 16-4 PIC0 入出力信号 (1/2)

信号名		機能	接続先
TOP0TAPATSIM0	O	TAUA マスタ 0 割り込み入力	TAPA0
TOP0TAPATUDCM0	O	TAUA マスタ 0 アップダウン入力	TAPA2
TOP0TAPATHASIN	O	Hi-Z 非同期入力信号	TAPA0
TOP1TAPATSIM0	O	TAUA マスタ 1 割り込み入力	TAPA1
TOP1TAPATUDCM0	O	TAUA マスタ 1 アップダウン入力	TAPA3
TOP1TAPATHASIN	O	Hi-Z 非同期入力信号	TAPA1
TOP2TAPATHASIN	O	Hi-Z 非同期入力信号	TAPA2
TOP3TAPATHASIN	O	Hi-Z 非同期入力信号	TAPA3
TAUA0TSST[15:0]	O	同時チャンネル・カウント・スタート・トリガ入力 [15:0]	TAUA0
INTTAUA0I[15:0]	I	サイクル検出出力	
TAUA0TTOUT[15:0]	I	チャンネル出力	
TAUA0UDC[8,2,0]	I	アップ/ダウン出力	TAUA0 (TAUA0TTOUT[8,2,0])
TAUA1TSST[15:0]	O	同時チャンネル・カウント・スタート・トリガ入力 [15:0]	TAUA1
INTTAUA1I[15:0]	I	サイクル検出出力	
TAUA1TTOUT[15:0]	I	チャンネル出力	
TAUA1UDC[8,2,0]	I	アップ/ダウン出力	TAUA1 (TAUA1TTOUT[8,2,0])
TAUJ0TSST[3:0]	O	同時チャンネル・カウント・スタート・トリガ入力 [3:0]	TAUJ0
TAUJ1TSST0	O	同時チャンネル・カウント・スタート・トリガ入力 0	TAUA2 (TAUA2TSST12)
TAUJ1TSST1	O	同時チャンネル・カウント・スタート・トリガ入力 1	TAUA2 (TAUA2TSST13)
TAUJ1TSST2	O	同時チャンネル・カウント・スタート・トリガ入力 2	TAUA2 (TAUA2TSST14)
TAUJ1TSST3	O	同時チャンネル・カウント・スタート・トリガ入力 3	TAUA2 (TAUA2TSST15)
ADOPA0ADCATTIN00	O	AD コンバータ 0 ハードウェア・トリガ入力 0	ADCA0,TAPA2
ADOPA0ADCATTIN01	O	AD コンバータ 0 ハードウェア・トリガ入力 1	ADCA0,TAPA3
ADOPA1ADCATTIN00	O	AD コンバータ 1 ハードウェア・トリガ入力 0	ADCA0,TAPA0
ADOPA1ADCATTIN01	O	AD コンバータ 1 ハードウェア・トリガ入力 1	ADCA0,TAPA1
ADOPA2ADCATTIN00	O	AD コンバータ 2 ハードウェア・トリガ入力 0	ADCA0,TAPA0
ADOPA2ADCATTIN01	O	AD コンバータ 2 ハードウェア・トリガ入力 1	ADCA0,TAPA1
ANFESO0	I	ESO0 端子入力	端子
ANFESO1	I	ESO1 端子入力	端子

表 16-4 PIC0 入出力信号 (2/2)

信号名		機能	接続先
ANFESO2	I	ESO2 端子入力	端子
ANFESO3	I	ESO3 端子入力	端子
ENCA0TSST	O	同期スタート・トリガ入力	ENCA0
ENCA1TSST	O	同期スタート・トリガ入力	ENCA1
OST0TSST	O	同期スタート・トリガ入力	OSTM0
OST1TSST	O	同期スタート・トリガ入力	OSTM1

16.2 機能概要

機能概要 Peripheral Interconnection (PIC) は、V850E2/MN4 に搭載される各種タイマ、A/D コンバータなどの内部入出力信号を複数のマクロ間で接続する機能です。PIC は次のような機能を持っています。

- タイマ間接続
 - タイマ同調動作機能
- タイマ・モータ制御機能との接続
- A/D コンバータとタイマの接続
 - A/D トリガ選択機能
- CAN コントローラとタイマの接続
 - CAN タイム・スタンプ機能

16.2.1 ブロック図

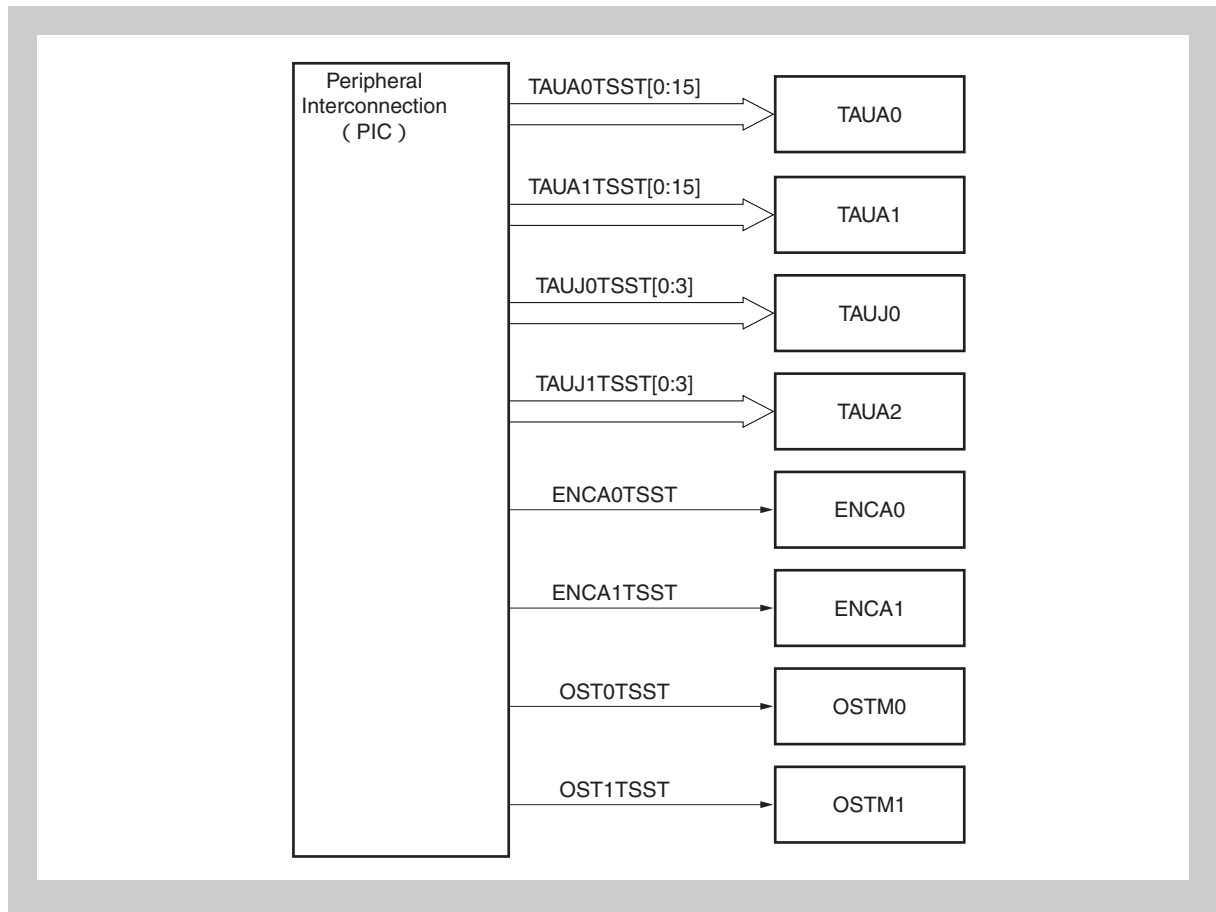


図 16-1 タイマ同時スタート機能

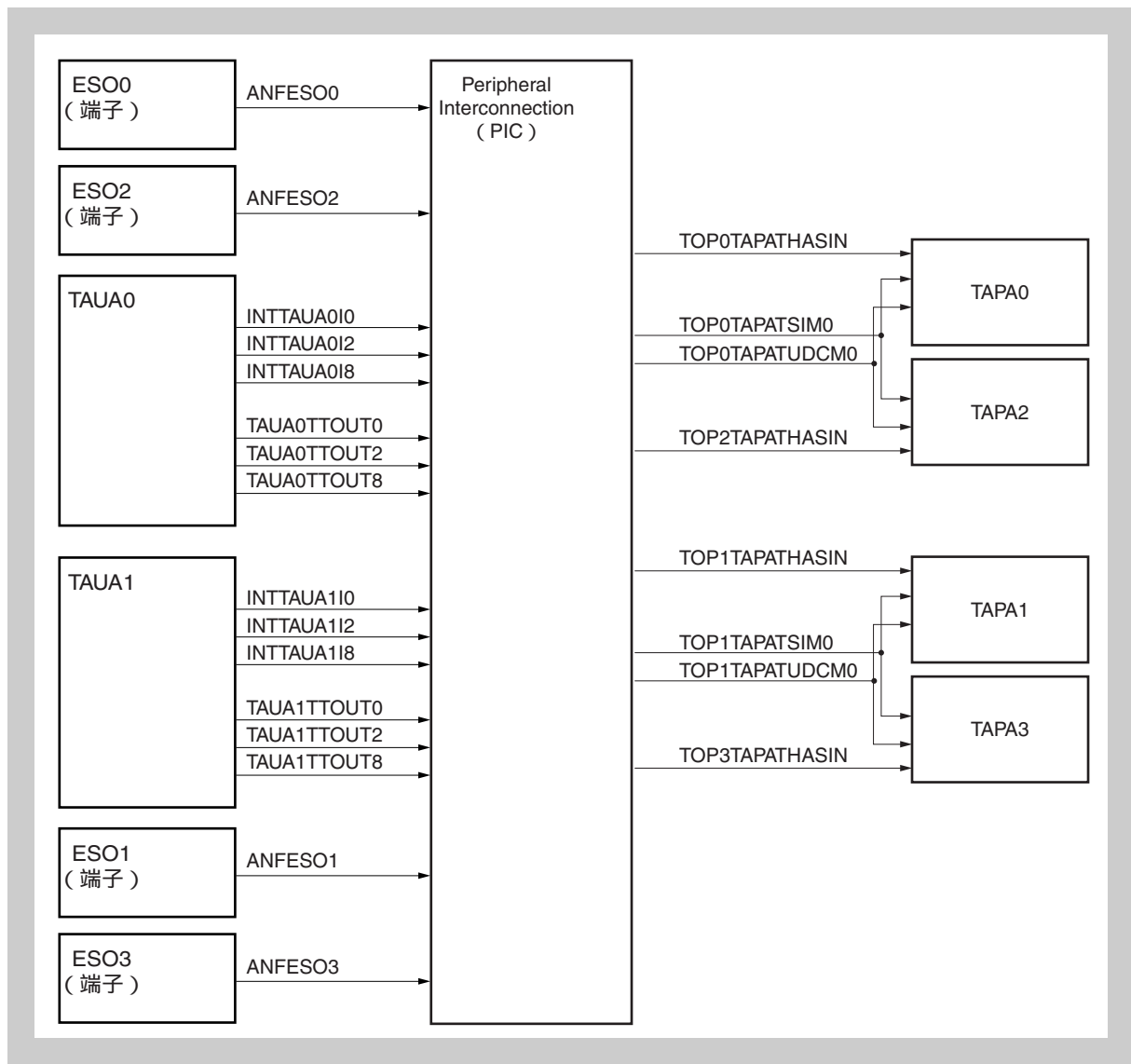


图 16-2 TAU/TAPA 接続機能

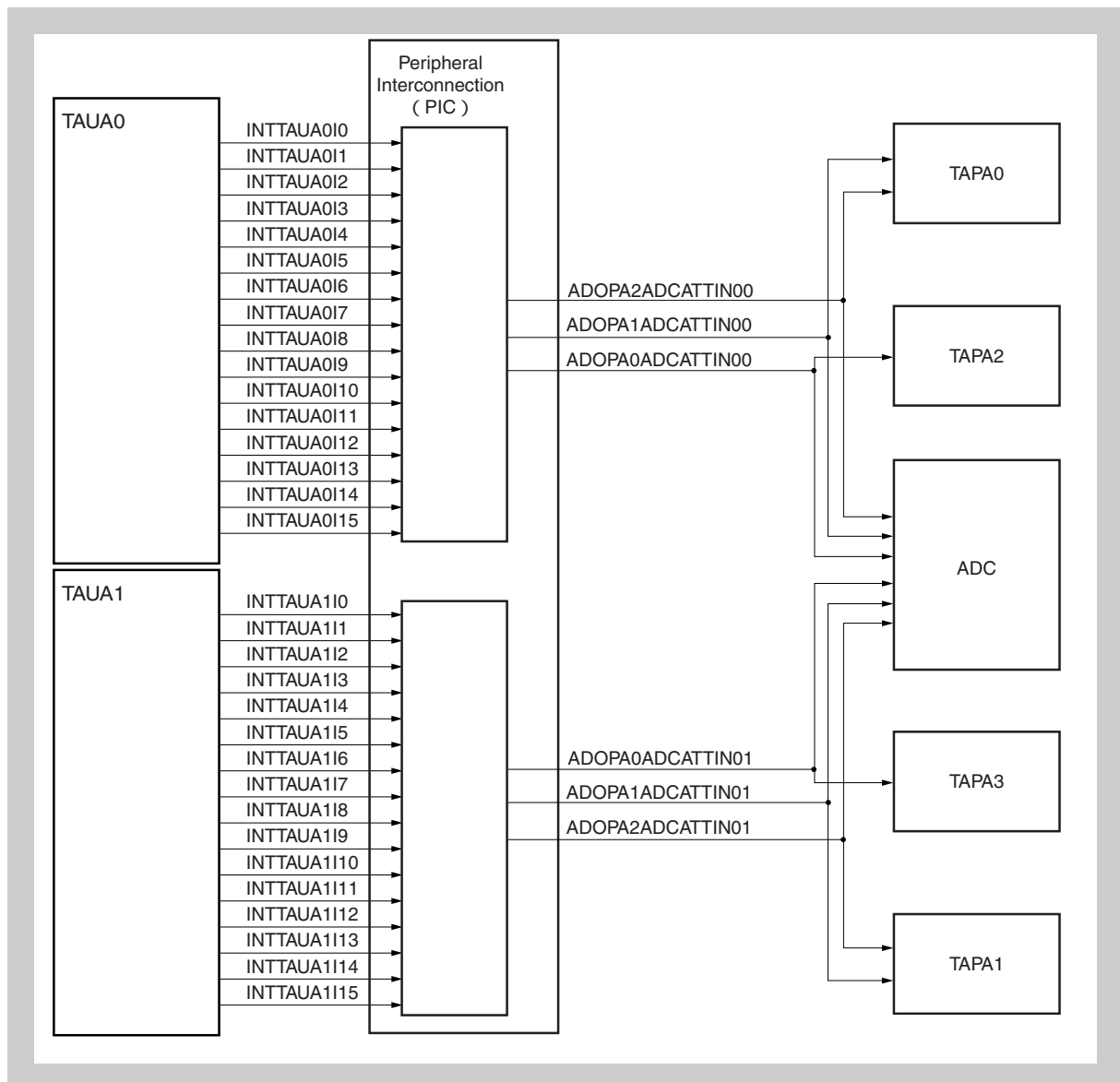


図 16-3 TAU A/D コンバータ接続機能

16.3 制御レジスタ

Peripheral Interconnection 機能は、次のレジスタで制御、動作します。

表 16-5 PIC レジスタ一覧

レジスタ機能	名称	アドレス
同時スタート・トリガ制御レジスタ	PIC0SST	<PIC0_base_USER> + 04 _H
同時スタート制御レジスタ 0	PIC0SSER0	<PIC0_base_OS> + 80 _H
同時スタート制御レジスタ 1	PIC0SSER1	<PIC0_base_OS> + 84 _H
同時スタート制御レジスタ 2	PIC0SSER2	<PIC0_base_OS> + 88 _H
PIC レジスタ 200	PIC0REG200	<PIC0_base_OS> + 8C _H
PIC レジスタ 210	PIC0REG210	<PIC0_base_OS> + 9C _H
Hi-Z 出力制御レジスタ 0	PIC0HIZCEN0	<PIC0_base_OS> + B4 _H
Hi-Z 出力制御レジスタ 1	PIC0HIZCEN1	<PIC0_base_OS> + B8 _H
Hi-Z 出力制御レジスタ 2	PIC0HIZCEN2	<PIC0_base_OS> + DC _H
Hi-Z 出力制御レジスタ 3	PIC0HIZCEN3	<PIC0_base_OS> + E4 _H
A/D コンバータ・トリガ出力制御レジスタ 400	PIC0ADTEN400	<PIC0_base_OS> + C4 _H
A/D コンバータ・トリガ出力制御レジスタ 401	PIC0ADTEN401	<PIC0_base_OS> + C8 _H
A/D コンバータ・トリガ出力制御レジスタ 402	PIC0ADTEN402	<PIC0_base_OS> + CC _H
A/D コンバータ・トリガ出力制御レジスタ 410	PIC0ADTEN410	<PIC0_base_OS> + D0 _H
A/D コンバータ・トリガ出力制御レジスタ 411	PIC0ADTEN411	<PIC0_base_OS> + D4 _H
A/D コンバータ・トリガ出力制御レジスタ 412	PIC0ADTEN412	<PIC0_base_OS> + D8 _H
PIC レジスタ 31	PIC0REG31	<PIC0_base_OS> + C0 _H

16.3.1 タイマ同時スタート機能関連のレジスタ

(1) PIC0SST — 同時スタート・トリガ制御レジスタ

アクセス 1ビットまたは8ビット単位でリード/ライト可能です。

アドレス <PIC0_base_USER> + 04_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SYNCTRГ
R	R	R	R	R	R	R	R/W

表 16-6 PIC0SST レジスタの内容

ビット位置	ビット名	機能
0	SYNCTRГ	同時スタート許可に設定したタイマに対し、スタート・トリガを生成 0: 無効 1: 同時スタート・トリガ (1PCLK 幅のパルスを出力)

備考 SYNCTRГ は、リード時は常に 0 を読み出します。

(2) PIC0SSER0 — 同時スタート制御レジスタ 0

PIC0SSER0 レジスタは TAU A0 の各チャネルのスタート・トリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC0_base_OS> + 80_H

初期値 0000_H

15	14	13	12	11	10	9	8
PIC0SS ER015	PIC0SS ER014	PIC0SS ER013	PIC0SS ER012	PIC0SS ER011	PIC0SS ER010	PIC0SS ER009	PIC0SS ER008
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0SS ER007	PIC0SS ER006	PIC0SS ER005	PIC0SS ER004	PIC0SS ER003	PIC0SS ER002	PIC0SS ER001	PIC0SS ER000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-7 PIC0SSER0 レジスタの内容

ビット位置	ビット名	機能
m	PIC0SSER0m	TAUA0 の CHm の同時スタート・トリガ許可を設定する。 0 : TAU A0 の CHm の同時スタート・トリガを許可しない 1 : TAU A0 の CHm の同時スタート・トリガを許可

(3) PIC0SSER1 — 同時スタート制御レジスタ 1

PIC0SSER1 レジスタは TAU A1 の各チャネルのスタート・トリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <PIC0_base_OS> + 84_H

初期値 0000_H

15	14	13	12	11	10	9	8
PIC0SS ER115	PIC0SS ER114	PIC0SS ER113	PIC0SS ER112	PIC0SS ER111	PIC0SS ER110	PIC0SS ER109	PIC0SS ER108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0SS ER107	PIC0SS ER106	PIC0SS ER105	PIC0SS ER104	PIC0SS ER103	PIC0SS ER102	PIC0SS ER101	PIC0SS ER100
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-8 PIC0SSER1 レジスタの内容

ビット位置	ビット名	機能
m	PIC0SSER1m	TAUA1 の CHm の同時スタート・トリガ許可を設定する。 0 : TAU A1 の CHm の同時スタート・トリガを許可しない 1 : TAU A1 の CHm の同時スタート・トリガを許可

(4) PIC0SSER2 — 同時スタート制御レジスタ 2

PIC0SSER2 レジスタは ENCA, OS タイマ, TAUJ1, TAUJ0 の各チャンネルのスタート・トリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC0_base_OS> + 88_H

初期値 0000_H

15	14	13	12	11	10	9	8
PIC0SS ER115	PIC0SS ER114	PIC0SS ER113	PIC0SS ER112	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R
7	6	5	4	3	2	1	0
PIC0SS ER107	PIC0SS ER106	PIC0SS ER105	PIC0SS ER104	PIC0SS ER103	PIC0SS ER102	PIC0SS ER101	PIC0SS ER100
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-9 PIC0SSER2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	PIC0SSER215	ENCA1 の同時スタート・トリガ許可を設定する。 0 : ENCA1 の同時スタート・トリガを許可しない 1 : ENCA1 の同時スタート・トリガを許可
14	PIC0SSER214	ENCA0 の同時スタート・トリガ許可を設定する。 0 : ENCA0 の同時スタート・トリガを許可しない 1 : ENCA0 の同時スタート・トリガを許可
13	PIC0SSER213	OSTM1 の同時スタート・トリガ許可を設定する。 0 : OSTM1 の同時スタート・トリガを許可しない 1 : OSTM1 の同時スタート・トリガを許可
12	PIC0SSER212	OSTM0 の同時スタート・トリガ許可を設定する。 0 : OSTM0 の同時スタート・トリガを許可しない 1 : OSTM0 の同時スタート・トリガを許可
7	PIC0SSER207	TAUA2 の CH15 の同時スタート・トリガ許可を設定する。 0 : TAUA2 の CH15 の同時スタート・トリガを許可しない 1 : TAUA2 の CH15 の同時スタート・トリガを許可
6	PIC0SSER206	TAUA2 の CH14 の同時スタート・トリガ許可を設定する。 0 : TAUA2 の CH14 の同時スタート・トリガを許可しない 1 : TAUA2 の CH14 の同時スタート・トリガを許可
5	PIC0SSER205	TAUA2 の CH13 の同時スタート・トリガ許可を設定する。 0 : TAUA2 の CH13 の同時スタート・トリガを許可しない 1 : TAUA2 の CH13 の同時スタート・トリガを許可
4	PIC0SSER204	TAUA2 の CH12 の同時スタート・トリガ許可を設定する。 0 : TAUA2 の CH12 の同時スタート・トリガを許可しない 1 : TAUA2 の CH12 の同時スタート・トリガを許可
3	PIC0SSER203	TAUJ0 の CH3 の同時スタート・トリガ許可を設定する。 0 : TAUJ0 の CH3 の同時スタート・トリガを許可しない 1 : TAUJ0 の CH3 の同時スタート・トリガを許可

表 16-9 PIC0SSER2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PIC0SSER202	TAUJ0 の CH2 の同時スタート・トリガ許可を設定する。 0 : TAUJ0 の CH2 の同時スタート・トリガを許可しない 1 : TAUJ0 の CH2 の同時スタート・トリガを許可
1	PIC0SSER201	TAUJ0 の CH1 の同時スタート・トリガ許可を設定する。 0 : TAUJ0 の CH1 の同時スタート・トリガを許可しない 1 : TAUJ0 の CH1 の同時スタート・トリガを許可
0	PIC0SSER200	TAUJ0 の CH0 の同時スタート・トリガ許可を設定する。 0 : TAUJ0 の CH0 の同時スタート・トリガを許可しない 1 : TAUJ0 の CH0 の同時スタート・トリガを許可

16.3.2 TAU/TAPA 接続機能関連のレジスタ

(1) PIC0REG2n0 — PIC レジスタ 2n0 (n=0,1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PIC0REG200 : <PIC0_base_OS> + 8C_H

PIC0REG210 : <PIC0_base_OS> + 9C_H

初期値 0000 0000_H

31	30	29	28	27	26	25	24
0	0	0	0	0	0	PIC0REG 2n025	PIC0REG 2n024
R	R	R	R	R	R	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 16-10 PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能															
25 24	PIC0REG2n025 PIC0REG2n024	TOPnTAPATSIM0 および TAPnTAPATUDCM0 に接続される入力信号を選択します。															
		<table border="1"> <thead> <tr> <th>PIC0REG 2n025</th><th>PIC0REG 2n024</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>ロウ・レベル</td></tr> <tr> <td>0</td><td>1</td><td>モータ制御機能で TAU の CH0 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI0 TAPnTAPATUDCM0 = TAUAnUDC0</td></tr> <tr> <td>1</td><td>0</td><td>モータ制御機能で TAU の CH2 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI2 TAPnTAPATUDCM0 = TAUAnUDC2</td></tr> <tr> <td>1</td><td>1</td><td>モータ制御機能で TAU の CH8 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI8 TAPnTAPATUDCM0 = TAUAnUDC8</td></tr> </tbody> </table>	PIC0REG 2n025	PIC0REG 2n024	入力信号	0	0	ロウ・レベル	0	1	モータ制御機能で TAU の CH0 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI0 TAPnTAPATUDCM0 = TAUAnUDC0	1	0	モータ制御機能で TAU の CH2 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI2 TAPnTAPATUDCM0 = TAUAnUDC2	1	1	モータ制御機能で TAU の CH8 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI8 TAPnTAPATUDCM0 = TAUAnUDC8
PIC0REG 2n025	PIC0REG 2n024	入力信号															
0	0	ロウ・レベル															
0	1	モータ制御機能で TAU の CH0 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI0 TAPnTAPATUDCM0 = TAUAnUDC0															
1	0	モータ制御機能で TAU の CH2 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI2 TAPnTAPATUDCM0 = TAUAnUDC2															
1	1	モータ制御機能で TAU の CH8 がマスタの場合 TOPnTAPATSIM0 = INTTAUAnI8 TAPnTAPATUDCM0 = TAUAnUDC8															

(2) PIC0HIZCENn — Hi-Z 出力制御レジスタ n (n=0-3)

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス PIC0HIZCEN0 : <PIC0_base_OS> + B4_H

PIC0HIZCEN1 : <PIC0_base_OS> + B8_H

PIC0HIZCEN2 : <PIC0_base_OS> + DC_H

PIC0HIZCEN3 : <PIC0_base_OS> + E4_H

初期値 00_H どのリセット要因でも初期化されます。

注意 本レジスタは、TAPAn の Hi-Z 要求信号の有効エッジ選択の設定をエッジ検出なしに設定した状態で設定してください。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PIC0HIZCENn0
R	R	R	R	R	R	R	R/W

表 16-11 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
0	PIC0HIZCENn0	ESOn 端子入力による Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可

16.3.3 TAU A-A/D コンバータ関連のレジスタ

(1) PIC0ADTEN40m — A/D コンバータ・トリガ制御レジスタ 40m

PIC0ADTEN40m レジスタは ADCA0 のチャンネル・グループ CGm (m = 0-2) に対し、TAUA0 からのトリガ・ソース選択許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス PIC0ADTEN400 : <PIC0_base_OS> + C4_H

PIC0ADTEN401 : <PIC0_base_OS> + C8_H

PIC0ADTEN402 : <PIC0_base_OS> + CC_H

初期値 0000_H

15	14	13	12	11	10	9	8
PIC0 ADTEN 40m15	PIC0 ADTEN 40m14	PIC0 ADTEN 40m13	PIC0 ADTEN 40m12	PIC0 ADTEN 40m11	PIC0 ADTEN 40m10	PIC0 ADTEN 40m09	PIC0 ADTEN 40m08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0 ADTEN 40m07	PIC0 ADTEN 40m06	PIC0 ADTEN 40m05	PIC0 ADTEN 40m04	PIC0 ADTEN 40m03	PIC0 ADTEN 40m02	PIC0 ADTEN 40m01	PIC0 ADTEN 40m00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-12 PIC0ADTEN40m レジスタの内容

ビット位置	ビット名	機能
15:0	PIC0ADTEN 40m[15:00]	ADCA0 のチャンネル・グループ m に対し、TAUA0 からのトリガ・ソースを設定する。 0 : INTTAUA0Ix 割り込み信号をハードウェア・トリガとして選択可能にしない 1 : INTTAUA0Ix 割り込み信号をハードウェア・トリガとして選択可能にする

(2) PIC0ADTEN41m — A/D コンバータ・トリガ制御レジスタ 41m

PIC0ADTEN41m レジスタは ADCA0 のチャンネル・グループ CGm (m = 0-2) に対し、TAUA1 からのトリガ・ソース選択許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス PIC0ADTEN410 : <PIC0_base_OS> + D0_H

PIC0ADTEN411 : <PIC0_base_OS> + D4_H

PIC0ADTEN412 : <PIC0_base_OS> + D8_H

初期値 0000_H

15	14	13	12	11	10	9	8
PIC0 ADTEN 41m15	PIC0 ADTEN 41m14	PIC0 ADTEN 41m13	PIC0 ADTEN 41m12	PIC0 ADTEN 41m11	PIC0 ADTEN 41m10	PIC0 ADTEN 41m09	PIC0 ADTEN 41m08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0 ADTEN 41m07	PIC0 ADTEN 41m06	PIC0 ADTEN 41m05	PIC0 ADTEN 41m04	PIC0 ADTEN 41m03	PIC0 ADTEN 41m02	PIC0 ADTEN 41m01	PIC0 ADTEN 41m00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-13 PIC0ADTEN41m レジスタの内容

ビット位置	ビット名	機能
15:0	PIC0ADTEN 41m[15:00]	ADCA0 のチャンネル・グループ m に対し、TAUA1 からのトリガ・ソースを設定する。 0 : INTTAUA1x 割り込み信号をハードウェア・トリガとして選択可能にしない 1 : INTTAUA1x 割り込み信号をハードウェア・トリガとして選択可能にする

16.4 動作

16.4.1 タイマ同時スタート機能

TAUA0, TAUA1, TAUA2, TAUJ0, ENCA0, ENCA1, OSTM0, OSTM1 を同期して動作させるスタート・トリガ入力信号を生成します。

スタート・トリガ入力については、各マクロのトリガ入力に関する記述も参照してください。

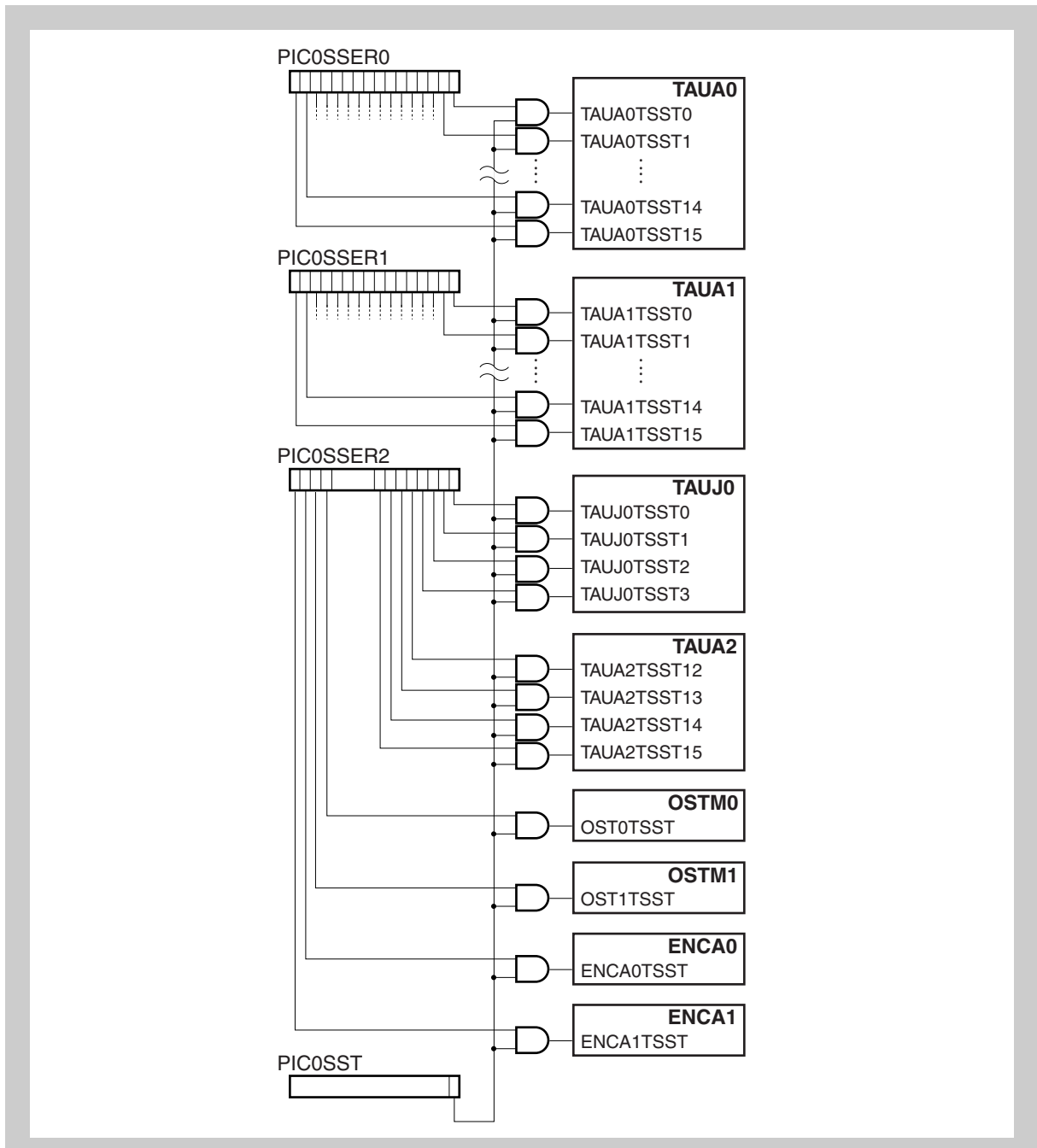


図 16-4 タイマ同時スタート機能

16.4.2 TAU0/TAPA 接続機能 (Hi-Z 出力制御含む)

- Hi-Z 出力制御

各 TAPA の TAPATHASIN に入力する Hi-Z 出力制御信号を制御する機能です。

- TAU0/TAPA 接続

TAU0 からの信号 (INTTAU0Im/TAU0TTOUm) の中から PICOREG200 レジスタによって 1 組選択し TOP0TAPATSIM0/TAPA0TAPATUDCM0 として TAPA0/TAPA2 に出力します (m = 0, 2, 8)。

- TAU1/TAPA 接続

TAU1 からの信号 (INTTAU1Im/TAU1TTOUm) の中から PICOREG200 レジスタによって 1 組選択し TOP1TAPATSIM0/TAPA1TAPATUDCM0 として TAPA1/TAPA3 に出力します (m = 0, 2, 8)。

16.4.3 TAU0-A/D コンバータ接続機能

A/D コンバータは 3 つのチャンネル・グループを持ち、それぞれのチャンネル・グループに対応した A/D コンバータ・ハードウェア・トリガを持っています。

PIC (TAU0-A/D コンバータ接続機能) では TAU0, TAU1 から出力される内部トリガ信号の論理和 (OR) を、各チャンネル・グループの A/D コンバータ・ハードウェア・トリガ信号として接続します。

TAU0,TAU1 から入力される内部トリガ信号は、各 CH における CNTn レジスタの周期 (borrow) 検出信号です。

また、出力される A/D コンバータ・ハードウェア・トリガ信号は TAPA にも接続されます。

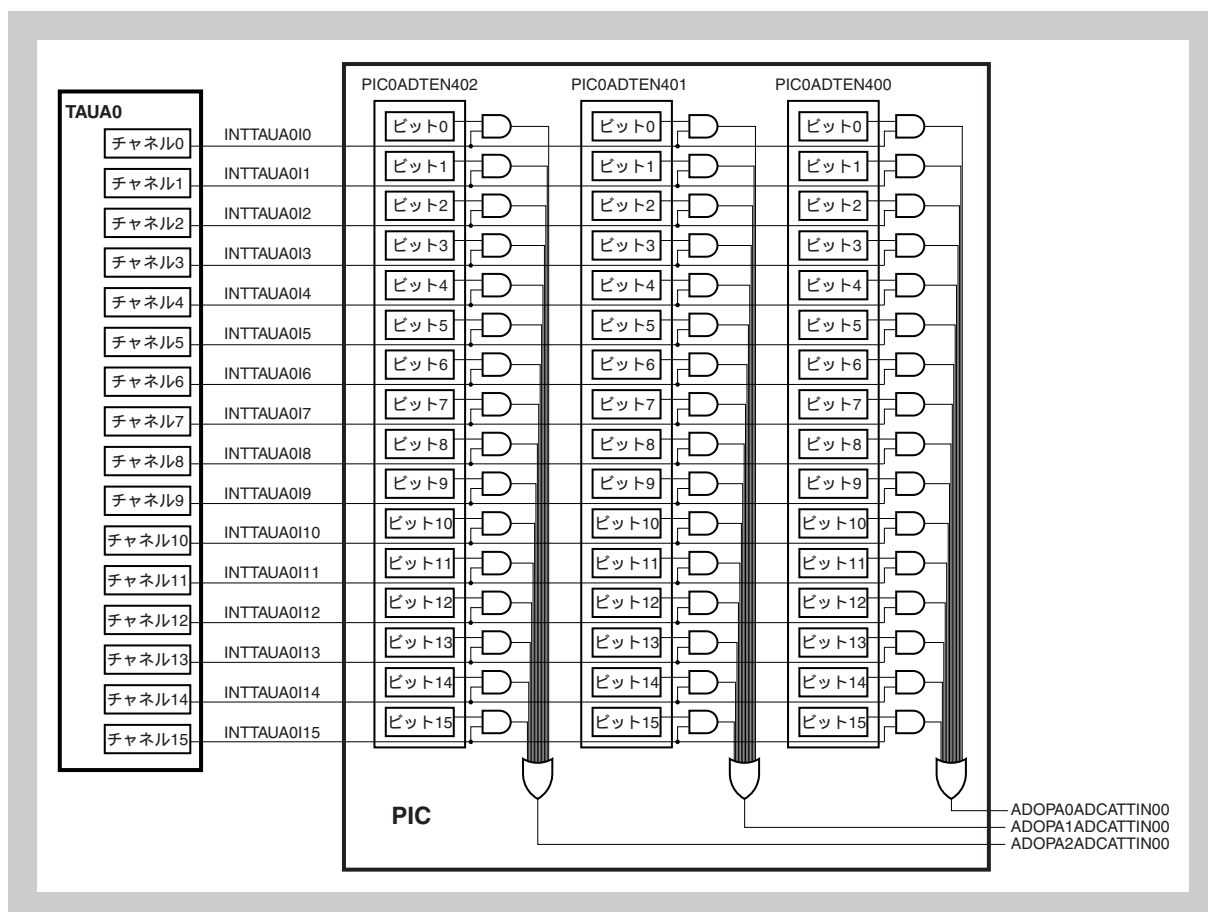


図 16-5 TAU0-A/D コンバータ接続機能 (TAUA0)

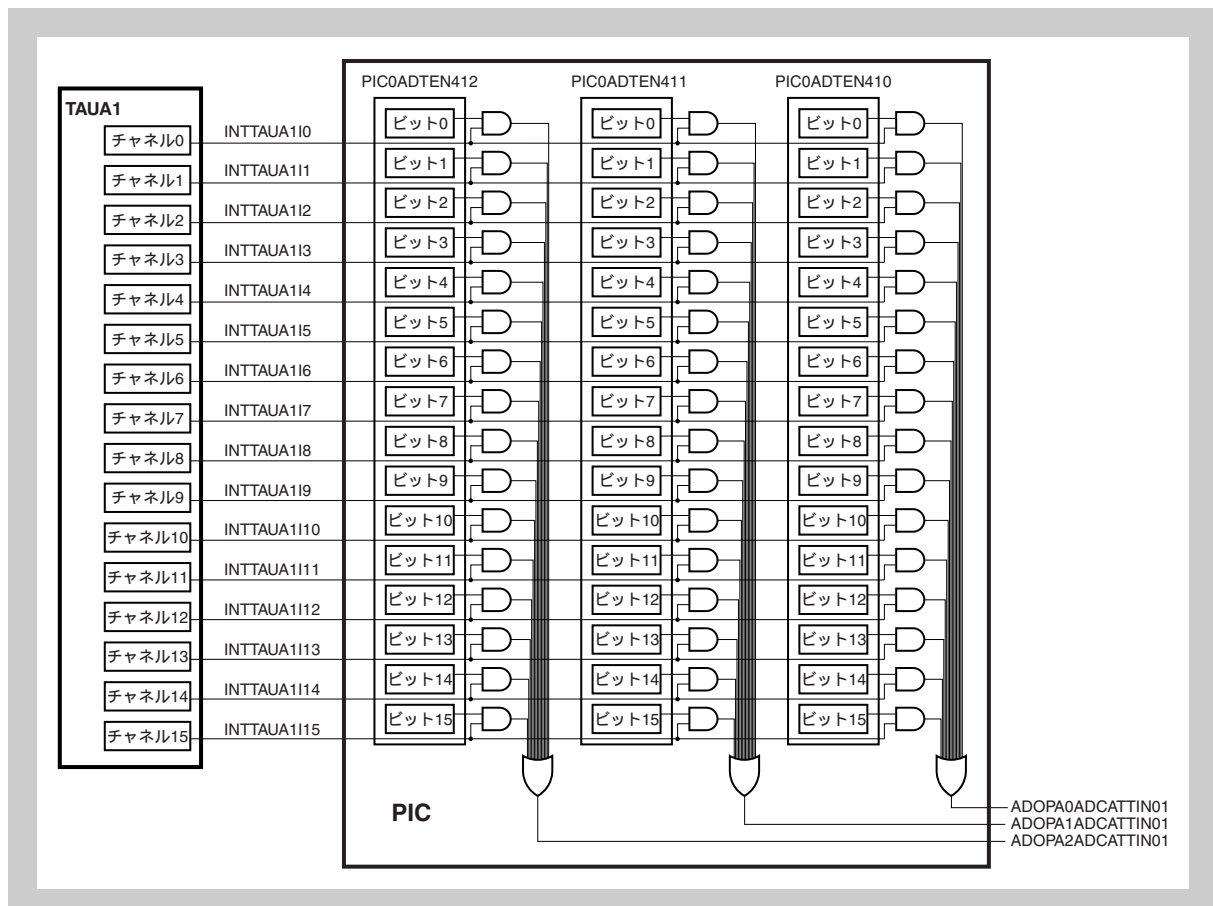


図 16-6 TAUA-A/D コンバータ接続機能 (TAUA1)

16.5 CAN コントローラとタイマの接続 (CAN タイム・スタンプ機能)

16.5.1 機能概要

CAN コントローラとタイマ・アレイ・ユニットを組み合わせることでメッセージ受信に対してタイム・スタンプ機能を設定することができます。

この機能では、タイマ・アレイ・ユニットは CAN コントローラからデータ・フレームの受信時に出力される TSOUT 信号に応じて、タイマ値をキャプチャします。CPU はそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわち CAN バスから受信したメッセージのタイム・スタンプを得ることができます。

FCN0 は TAUJ0 の CH1 と、FCN1 は TAUJ0 の CH3 を組み合わせることが可能となります。

16.5.2 構成

本機能のユニット、チャンネル構成を下記に示します。

表 16-14 CAN タイム・スタンプ機能の構成

CAN コントローラ	タイマ
FCN0	TAUJ0 CH1
FCN1	TAUJ0 CH3

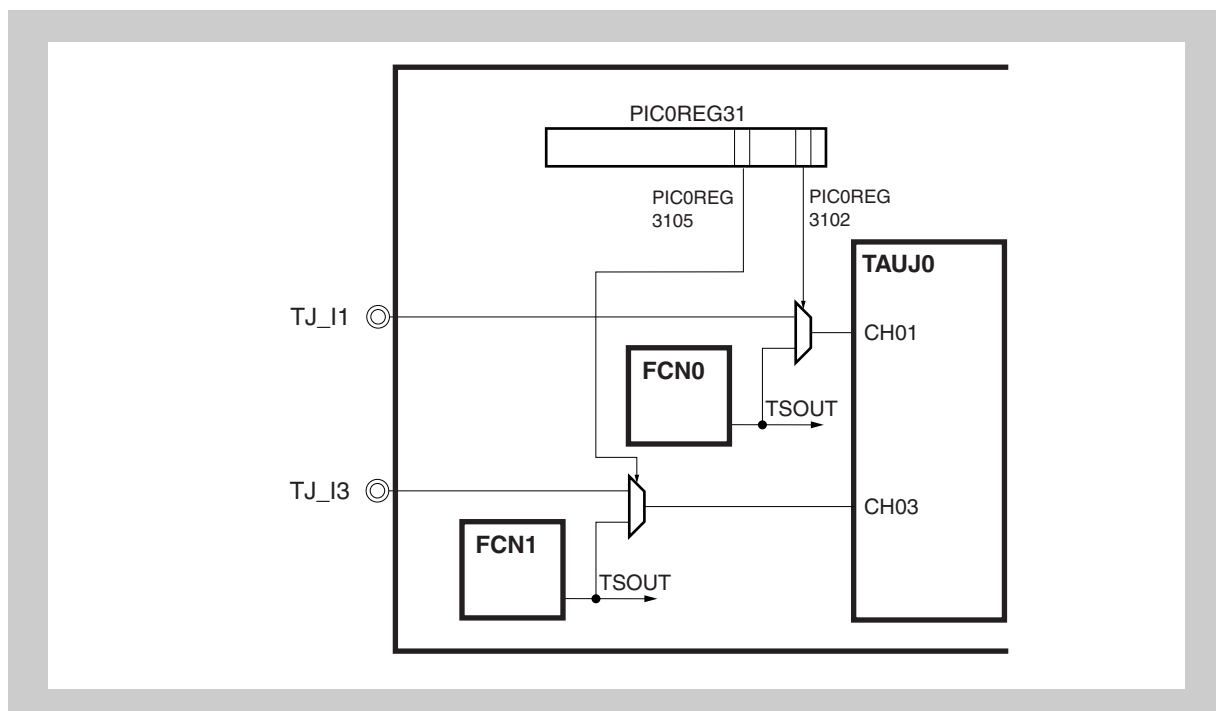


図 16-7 CAN タイム・スタンプ機能ブロック図

16.5.3 レジスタ

(1) PIC0REG31 — タイマ入出力制御レジスタ 31

PIC0REG31 レジスタは、タイマ入力信号の選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC0_base_OS> + C0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	PIC0REG 3105	0	0	PIC0REG 3102	0	0
R	R	R/W	R	R	R/W	R	R

表 16-15 PIC0REG31 レジスタの内容

ビット位置	ビット名	意味
5	PIC0REG3105	TAUJ0 の CH3 の入力信号を選択します。 0 : TJ_I3 1 : FCN1 からの CAN タイム・スタンプ出力 (TSOUT 信号)
2	PIC0REG3102	TAUJ0 の CH1 の入力信号を選択します。 0 : TJ_I1 1 : FCN0 からの CAN タイム・スタンプ出力 (TSOUT 信号)

第 17 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA)

この章では、ウィンドウ・ウォッチドッグ・タイマ A の一般的な内容について説明します。

17.1, 17.2 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/MN4 に固有の特徴について説明します。

17.3 節以降で、WDTA 搭載製品に共通の特徴について説明します。

17.1 V850E2/MN4 の WDTA の特徴

チャンネル この製品は次のチャンネル数のウィンドウ・ウォッチドッグ・タイマ A を搭載しています。

表 17-1 WDTA のチャンネル

ウィンドウ・ウォッチドッグ・タイマ A	μPD70F3510, 70F3512	μPD70F3514, 70F3515
チャンネル数	1	2
名称	WDTA0	WDTA0, WDTA1

n の意味 この章では、ウィンドウ・ウォッチドッグ・タイマ A の各チャンネルを「n」で識別します。たとえば、WDTAn イネーブル・レジスタ (WDTAnWDTE) (n = 0-1) のように記述しています。

レジスタ・アドレス WDTAn レジスタのアドレスは、それぞれのベース・アドレス <WDTAn_base> からのオフセットで表されます。
各 WDTAn のレジスタ・ベース・アドレスを次の表に示します。

表 17-2 WDTAn のレジスタ・ベース・アドレス

WDTAn	<WDTAn_base> アドレス
WDTA0	FFFF C000 _H
WDTA1	FFFF C100 _H

クロック供給 ウィンドウ・ウォッチドッグ・タイマ A は、クロック入力として WDTATCKI を使用します。WDTATCKI はクロック発生回路に接続されています。

表 17-3 ウィンドウ・ウォッチドッグ・タイマ A のクロック

WDTAn	クロック入力信号	接続先
WDTA0, WDTA1	WDTATCKI	f _{XW}

割り込みとリセット出力 WDTAn の割り込みとリセット出力を次の表に示します。

表 17-4 WDTA の割り込みとリセット出力

WDTAn 信号	機能	接続先
WDTA0		
WDTA0TRES	WDTA0 エラー・リセット	リセット・コントローラ WDTA0RES
WDTA0TNMI	WDTA0 エラー NMI	割り込みコントローラ WDTA0NMI
INTWDT0	WDTA0 75%割り込み	割り込みコントローラ INTWDTA0
WDTA1		
WDTA1TRES	WDTA1 エラー・リセット	リセット・コントローラ WDTA1RES
WDTA1TNMI	WDTA1 エラー NMI	割り込みコントローラ WDTA1NMI
INTWDT1	WDTA1 75%割り込み	割り込みコントローラ INTWDTA1

WDTATRTYP WDTA リセット系入力信号の接続先を次の表に示します。

表 17-5 WDTATRTYP 接続

WDTAn 信号	接続先
WDTA0TRTYP	0 (固定)
WDTA1TRTYP	0 (固定)

機能制限 V850E2/MN4 では、WDTA のデフォルト・スタート・モードおよび可変起動コード (VAC) をサポートしていません。

制御レジスタ WDTAnEVAC および WDTAnREF へのアクセスは禁止です。

V850E2/MN4 固有のレジスタ V850E2/MN4 の WDTA には、次の製品固有レジスタがあります

- WDTANMI モニタ・レジスタ

このレジスタは、デュアル・コア製品においてどちらの WDTA から NMI 割り込みが発生したかを確認するレジスタです。

(1) WDTANMI モニタ・レジスタ (WNMISTAT)

本レジスタは、WDTAn を NMI 要求モードで使用するとき、先にオーバフローによる NMI 割り込み (WDTAnNMI) が発生した WDTAn を確認するレジスタです。シングル・コア製品では、WNMI1 ビットは 0 固定です。なお、NMI 割り込み (WDTAnNMI) 発生後、もう一方の WDTA がオーバフローによるエラーを発生しても NMI 割り込み (WDTAnNMI) は発生しません。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFFFDA00_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	WNMI1	WNMI0
R	R	R	R	R	R	R	R

表 17-6 WNMISTAT レジスタの内容

ビット位置	ビット名	機 能		
		WNMI1	WNMI0	状 態
1, 0	WNMI1, WNMI0	0	0	WDTA0, WDTA1 からの NMI 割り込み (WDTAnNMI) は発生していない。
		0	1	WDTA0 からの NMI 割り込み (WDTA0NMI) が発生。WDTA0 からの NMI 発生後、WDTA1 がオーバフローによるエラーを発生しても WNMI1 ビットはセットされません。
		1	0	WDTA1 からの NMI 割り込み (WDTA1NMI) が発生。WDTA1 からの NMI 発生後、WDTA0 がオーバフローによるエラーを発生しても WNMI0 ビットはセットされません。
		1	1	WDTA0, WDTA1 からの NMI 割り込み (WDTA0NMI, WDTA1NMI) が同時に発生。

17.2 WDTA の起動オプション

起動オプションは、リセット解除後の WDTA の起動設定を決定します。各起動オプションを次の表で説明します。

表 17-7 WDTA の起動オプション

起動オプション	機能	説明
OPWDEN	WDTA の設定	WDTA の有効/無効を設定します。 1: WDTA 有効固定です
OPWDOVF[2:0]	カウント・クロックの設定	カウント・クロック制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。 000 固定です。
OPWDTPR	スタート・モード信号の選択	スタート・モードを設定する信号を指定します。 0: OPWDRUN 起動オプション固定です。
OPWDRUN	スタート・モードの設定	スタート・モードを指定します。 0: ソフトウェア・トリガ・スタート・モード固定です。
OPWDVAC	可変起動コード (VAC) の設定	可変起動コード機能 (VAC) の有効/無効を設定します。 0: VAC 無効固定です。
OPWDWS[1:0]	ウィンドウ・オープン期間の初期設定	ウィンドウ・オープン期間を制御するビット WDTAnMD.WDTAnWS[1:0] のリセット値を指定します。 111 固定です。 ウィンドウ・オープン期間を制御するビットの設定は、最初の WDTA トリガ発生後에만適用され、リセット解除後には適用されません。 リセット解除後、ウィンドウ・オープン期間は 100% になります。 詳細は 17.4.5 「ウィンドウ機能」を参照してください。
OPWDINT	INTWDTn (75%割り込み) 要求の生成	制御ビット WDTAnMD.WDTAnWIE のリセット値を指定します。このビットは、75%割り込み要求 INTWDTn の出力の有効/無効を設定します。 1 固定です。 詳細は 17.4.4 「75%割り込み出力」を参照してください。

17.3 機能概要

機能概要 WDTA には、次の機能があります。

- 起動オプションに基づいたリセット後の構成
- 固定起動コードまたは可変起動コード (VAC)
- リセット後にカウンタを起動するスタート・モード
 - デフォルト・スタート・モード
 - ソフトウェア・トリガ・スタート・モード
- リセットに依存するスタート・モードの選択
- エラー・モード :
 - エラー検出時の NMI 要求 (WDTAnTNMI) の生成
 - エラー検出時のリセット (WDTAnTRES) の生成
- カウンタ・オーバフロー値の 75% の値で割り込み要求を発生
- ウィンドウ機能

WDTA の主な構成要素を次の図に示します。

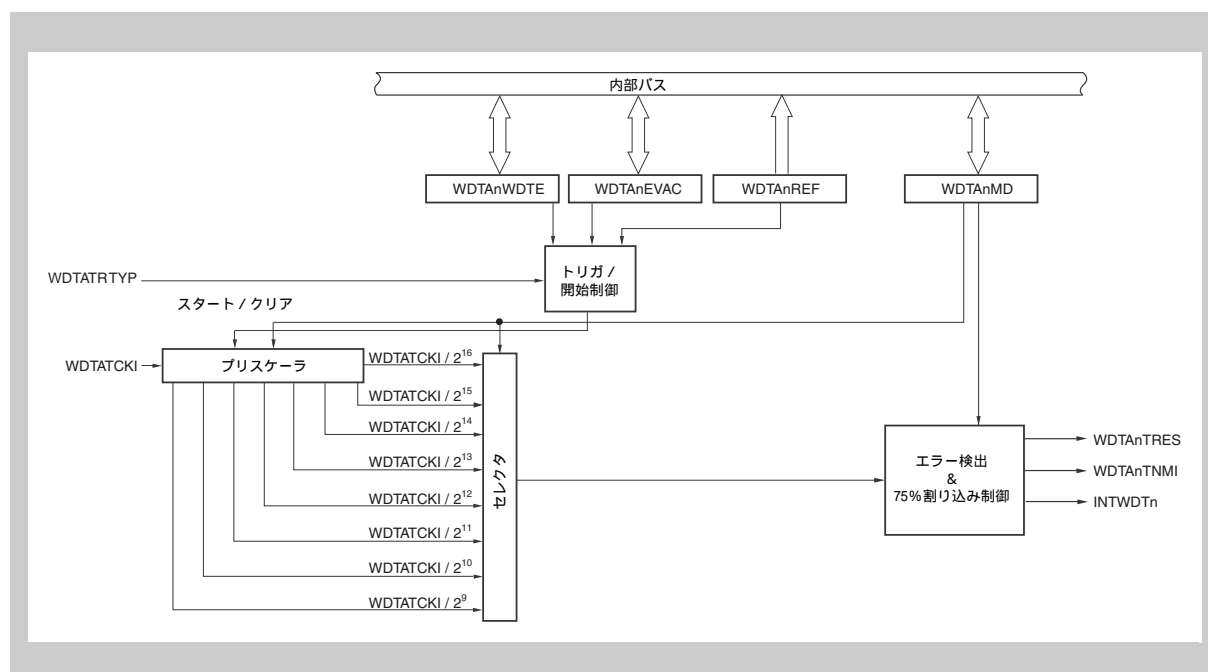


図 17-1 WDTA のブロック図

17.4 機能説明

16ビット・カウンタがオーバーフローするか、それ以外のエラー条件が満たされた場合、WDTA はリセットまたはノンマスカブル割り込みを発生します。全エラー条件の説明に関しては 1127 ページの 17.4.3 「エラー検出」を参照してください。

ウィンドウ・オープン期間中、WDTA トリガが発生するたびにカウンタをクリアし、リスタートします。詳細は 1126 ページの 17.4.2 「WDTA トリガ」と 1130 ページの 17.4.5 「ウィンドウ機能」を参照してください。

最大カウンタ値の 75%の値では、WDTA は割り込み要求 (INTWDTn) を発生できます。詳細は 1129 ページの 17.4.4 「75%割り込み出力」を参照してください。

リセット解除後、起動オプションはスタート・モードと WDTA の設定を指定します。ウォッチドッグ・タイマ・モード・レジスタ WDTAnMD に書き込むことにより設定を変更できます。詳細は 1123 ページの 17.4.1 「リセット解除後の WDTA」を参照してください。

17.4.1 リセット解除後の WDTA

(1) スタート・モード

WDTA には、リセット解除後にカウンタをスタートさせる 2 つのモードがあります。

- ソフトウェア・トリガ・スタート・モード

リセット解除後、カウンタ値は 0000_H のままです。

カウンタは最初の WDTA トリガの発生でスタートします。最初のトリガはリセット解除後いつでも発生できます。

- デフォルト・スタート・モード

リセット解除後、カウンタは自動的にスタートします。

最初のトリガは、カウンタがオーバフローする前に発生する必要があります。

(2) スタート・モードの選択

スタート・モードは次のように選択することができます。

- 起動オプション
- WDTATRTYP 入力信号

この信号は、リセットの種類を示します。したがって、リセット解除後に選択したスタート・モードはリセットの種類によって異なります。

スタート・モードの選択について次の表に示します。

表 17-8 スタート・モードの選択

起動オプション		入力信号	リセットの種類	スタート・モード
OPWDTPR	OPWDRUN	WDTATRTYP		
0	0	無視	無視	ソフトウェア・トリガ
0	1	無視	無視	デフォルト
1	無視	0	デフォルト・スタート・リセット 要因以外	ソフトウェア・トリガ
1	無視	1	デフォルト・スタート・リセット 要因	デフォルト

(3) リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生間の WDTA の設定を次の表に示します。

機能	設定	備考
スタート・モード	起動オプションで指定	スタート・モードの説明に関しては 1123 ページの 17.4.1 「リセット解除後の WDTA」を参照してください。
カウント・クロック		
75%割り込みモード		
エラー・モード	リセット・モード	最初のトリガが発生する前に発生したどのエラー条件でもリセットが発生します。
ウィンドウ・オープン期間	100%	デフォルト・スタート・モードを指定した場合、最初のトリガはカウンタがオーバーフローするまで常に有効です。

WDTA 設定の変更 最初のトリガ発生後、WDTA はウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の設定にしたがって動作を継続します。

WDTA の設定を変更する場合、最初のトリガ発生前に WDTAnMD にデータを書き込む必要があります。WDTAnMD の値を最初のトリガ発生後に変更した場合、エラー条件が発生します。

最初のトリガ発生前に WDTAnMD を変更しなかった場合、WDTAnMD の初期値により WDTA モードが指定されます。

WDTAnMD の新しい値または初期値は、最初のトリガ発生後に適用されます。

デフォルト・スタート・モードのタイミング デフォルト・スタート・モードのタイミングと WDTA 設定への変更を次の図に示します。

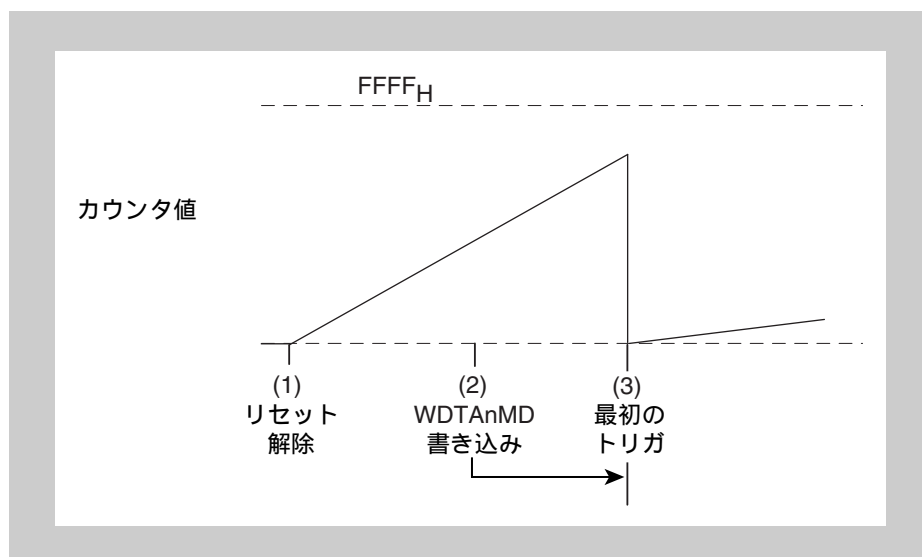


図 17-2 デフォルト・スタート・モード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除直後にカウンタはスタートします。

カウント・クロックは、たとえば次のように起動オプションにより指定されます。

- リセット解除後のカウント・クロック = $WDTATCKI / 2^{13}$
(OPWDOVF[2:0] = 100_B)

2. WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
3. 最初のトリガは、カウンタがオーバーフローする前に発生する必要があります。

WDTAnMD で指定した新しいカウント・クロックの設定等は、最初のトリガ発生後に適用されます。

- 最初のトリガ発生後のカウント・クロック = $WDTATCKI / 2^{16}$
(WDTAnMD.WDTAnOVF[2:0] = 111_B)

カウント・クロックを遅くすると、カウント時間が長くなります。

ソフトウェア・トリガ・スタート・モードのタイミング

ソフトウェア・トリガ・スタート・モードのタイミングと WDTA 設定への変更を次の図に示します。

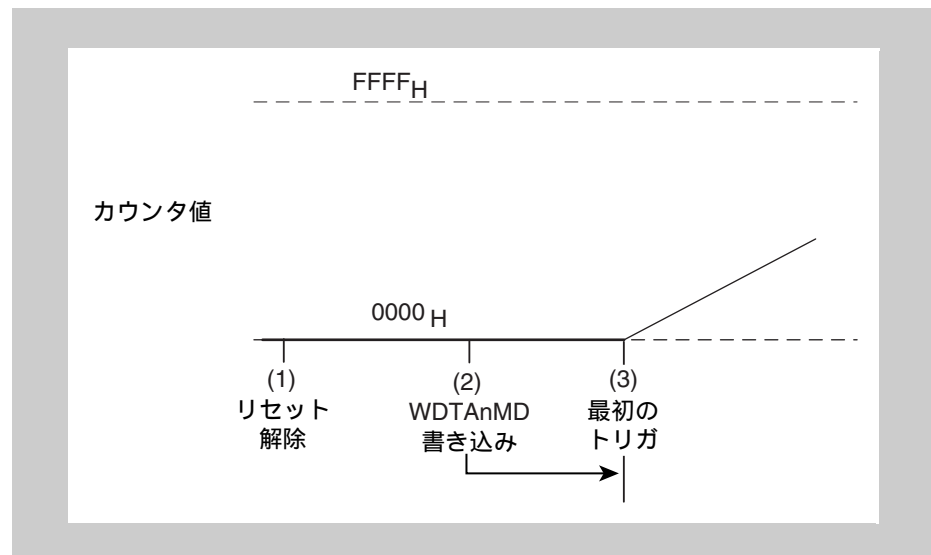


図 17-3 ソフトウェア・トリガ・スタート・モード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後、最初のトリガが発生するまでカウンタ値は 0000_H のままです。
カウント・クロックは、起動オプションにより指定されますが、カウント動作が行われていないので影響はありません。
2. WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
3. カウンタは最初のトリガ発生でスタートします。
WDTAnMD で指定したカウント・クロックとその他の設定が適用されます。

17.4.2 WDTA トリガ

WDTA トリガには、次の機能があります。

- WDTA をデフォルト・スタートに設定しない場合、WDTA をリセット解除後にスタート（ソフトウェア・トリガ・スタート・モード時の起動トリガ）
- WDTA エラーを回避するために WDTA をリスタート（WDTA 動作時のトリガ再発生）

トリガ・レジスタに固定起動コードまたは可変起動コードを書き込むことで WDTA をトリガすることができます。起動コードの種類と、それに関連したトリガ・レジスタは起動オプション OPWDVAC で指定されます。

表 17-9 トリガ・レジスタと起動コード

起動コードの種類	トリガ・レジスタ	起動コード
固定	WDTAnWDTE	AC _H
可変	WDTAnEVAC	詳細は 1126 ページの (1) 「可変起動コードの計算」を参照してください。

(1) 可変起動コードの計算

期待起動コード (ExpectWDTE) は、WDTAnREF レジスタの基準値を使用して求めます。基準値 WDTAnREF は、トリガ・レジスタ WDTAnEVAC にデータが書き込まれるたびに更新されます。

1. 期待起動コード ExpectWDTE を確定します。

$$\text{ExpectWDTE} = \text{AC}_H - \text{WDTAnREF (旧)}$$

2. WDTA がトリガされます。

トリガ・レジスタ WDTAnEVAC に ExpectWDTE を書き込んでください。

3. 基準値 WDTAnREF が更新されます。

$$\text{WDTAnREF (新)} = \text{左に 1 ビット回転 (ExpectWDTE)}$$

備考 次の場合、WDTAnREF は誤った WDTA トリガ発生でも更新されます。

- WDTAnEVAC に書き込んだ値が期待起動コードと異なる場合
- ウィンドウ・クローズ期間中に WDTAnEVAC に値を書き込んだ場合

どちらの場合にも、WDTAnTRES リセットまたは WDTAnTNMI 割り込み要求が発生します。

WDTAnREF の初期値 = 00_H の場合、期待起動コードは次のように展開します。

表 17-10 期待起動コードの展開

回数 ^a	WDTAnREF (旧)		ExpectWDE (AC _H - WDTAnREF)		WDTAnREF (新)	
	0000 0000	00 _H	1010 1100	AC _H	0101 1001	59 _H
1	0101 1001	59 _H	0101 0011	53 _H	1010 0110	A6 _H
2	1010 0110	A6 _H	0000 0110	06 _H	0000 1100	0C _H
...

a) リセット後のトリガ回数

この表により、ウォッチドッグ・タイマを再びトリガするために必要な一連の 122 の異なる数値が求められます。

備考 WDTA のスタート後に、WDTAnEVAC レジスタのビット 7 (WDTAnEVAC7) を 0 にクリアすることはできません。したがって、起動コードのビット 7 が 0 の場合でも、WDTA は停止しません。

17.4.3 エラー検出

エラー検出条件を次に示します。

- オーバフロー・インターバル時間の超過 (カウンタ・オーバフロー)
- トリガ・レジスタへの誤った起動コードの書き込み
- ウィンドウ・クローズ期間でのトリガ・レジスタへの書き込み
- ウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の不正な更新：
 - 最初のトリガ発生後に、WDTAnMD に新しい値を書き込んだ場合、エラーが検出されます。
 - 最初のトリガ発生後に、WDTAnMD に同じ値を書き込んだ場合、エラーは検出されません。

エラー・モード エラーが検出されると、NMI 要求 (WDTAnTNMI) またはリセット (WDTAnTRES) のいずれかが発生します。

WDTAnMD.WDTAnERM でエラー・モードを選択します。

- WDTAnMD.WDTAnERM = 0 : NMI モード
- WDTAnMD.WDTAnERM = 1 : リセット・モード

デフォルト・スタート・モードが選択されているとき、カウンタがオーバフローした場合のリセットまたは NMI 要求の発生を次の図に示します。

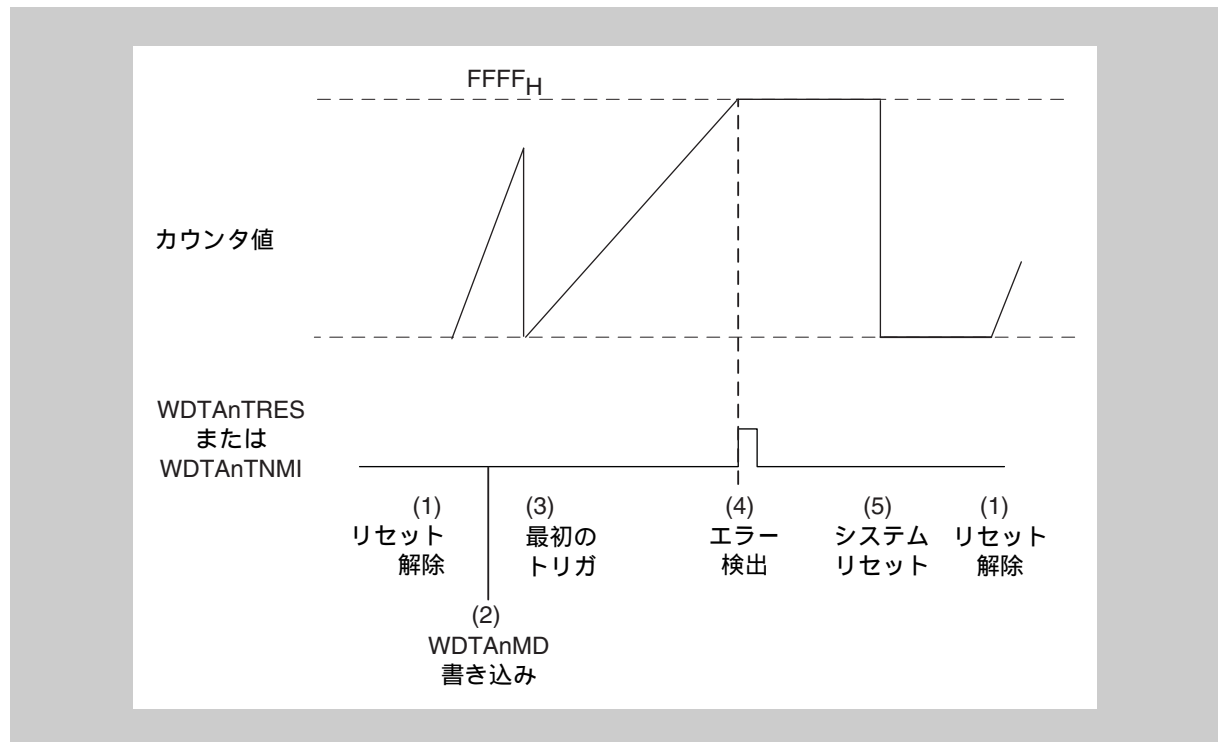


図 17-4 WDTA NMI 要求／リセット発生のタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後にカウンタはスタートします（デフォルト・スタート・モードが選択されている場合です）。
2. WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
3. カウンタは最初のトリガの発生でクリアされ、新しい WDTA の設定が適用されます。
4. カウンタがオーバーフローすると、エラーが検出されます。エラー・モードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。

カウンタ値は、システム・リセットが行われるまで変わりません。

5. システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

17.4.4 75%割り込み出力

カウンタが最大カウンタ値の 75%に達すると、割り込み要求 INTWDTn が発生します。

この機能は、起動オプション OPWDINT = 1 を設定することで自動的に有効にすることができます。

WDTAnMD.WDTAnWIE を使用することにより、この機能を有効にし、その後無効にすることができます。

次の条件下での 75%割り込み要求の発生を次の図に示します。

- デフォルト・スタート・モードを選択
- 最初のトリガ発生後にカウンタ・クロックが変化

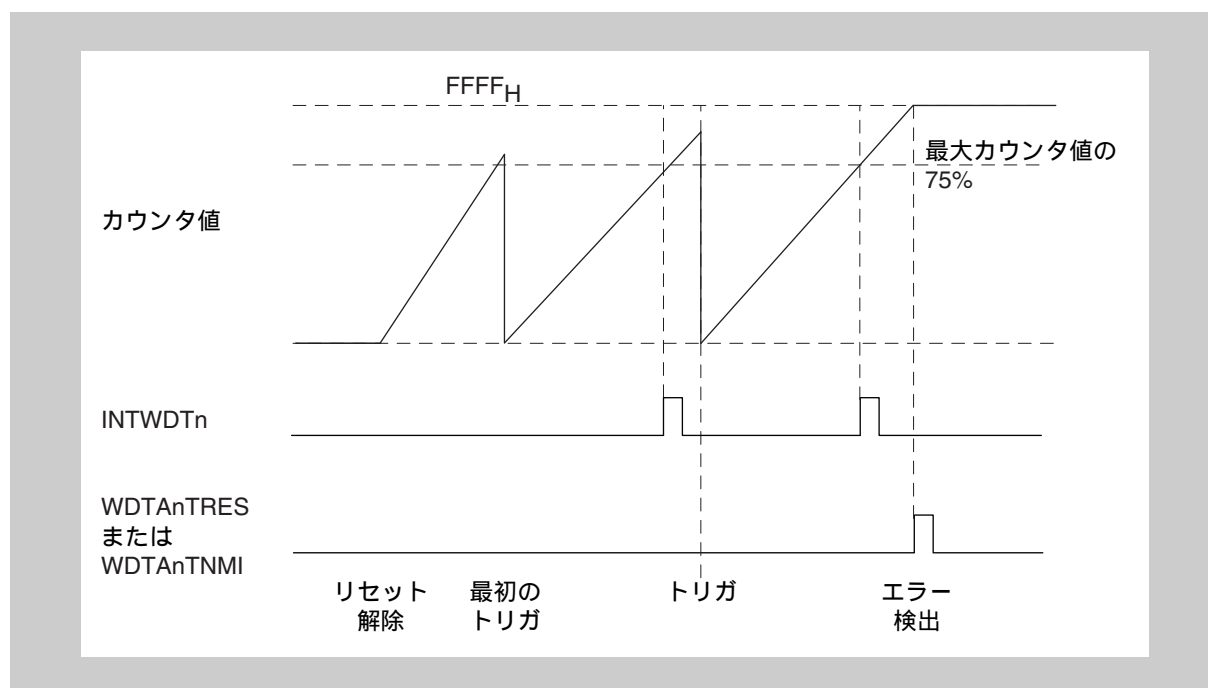


図 17-5 WDTA 75%割り込み出力のタイミング図

17.4.5 ウィンドウ機能

ウィンドウ・オープン期間を 100%未満に設定すると、ウィンドウ・クローズ期間中にトリガが発生した際にエラーが検出されます。

ウィンドウ・オープン期間の設定は、最初のトリガの発生前と発生後で異なります。

- リセット解除後、ウィンドウ・オープン期間は 100%になります。

OPWDWS[1:0] および WDTAnMD.WDTAnWS[1:0] ビットの設定は無効になります。

- 最初のトリガ発生後、ウィンドウ・オープン期間は WDTAnMD.WDTAnWS[1:0] ビットで指定した値になります。

次の図に、ウィンドウ・オープン期間を 25%とし、デフォルト・スタート・モードを選択した場合の WDTA の動作を示します。

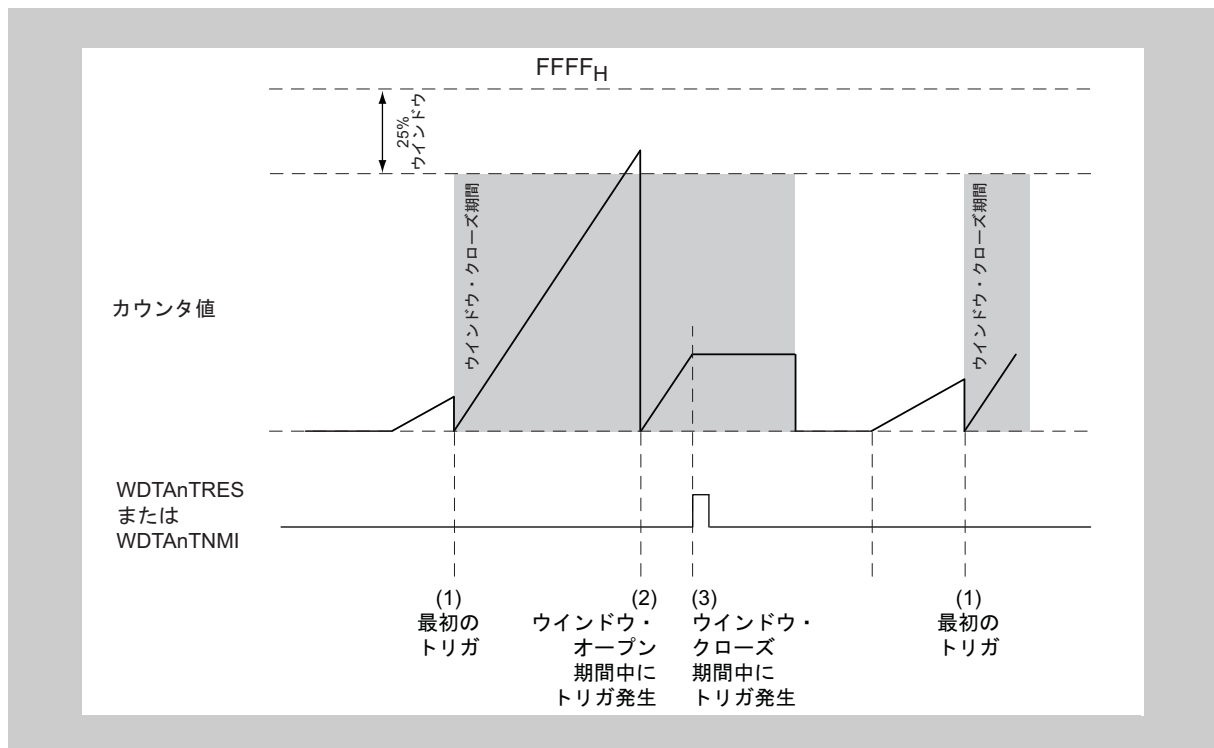


図 17-6 WDTA ウィンドウ機能のタイミング図

上記のタイミング図では次の内容を示しています。

- 最初のトリガ発生まで、ウィンドウ・オープン期間は 100%に固定されています。
- ウィンドウ・オープン期間中に発生したトリガではエラーは発生しません。
- ウィンドウ・クローズ期間中にトリガが発生すると、選択した動作モードにより WDTAnTNMI 要求または WDTAnTRES リセットが発生します。

17.5 レジスタ

この節では、WDTA のすべてのレジスタについて説明します。

17.5.1 WDTA レジスタの概要

WDTA は、次のレジスタで制御、動作します。

表 17-11 WDTA レジスタの概要

レジスタ名	略号	アドレス
WDTA イネーブル・レジスタ	WDTAnWDTE	<WDTAn_base> + 0000 _H
WDTA イネーブル VAC レジスタ	WDTAnEVAC	<WDTAn_base> + 0004 _H
WDTA 基準値レジスタ	WDTAnREF	<WDTAn_base> + 0008 _H
WDTA モード・レジスタ	WDTAnMD	<WDTAn_base> + 000C _H

17.5.2 WDTA レジスタの詳細

(1) WDTA イネーブル・レジスタ (WDTAnWDTE)

このレジスタは、VAC 機能を使用していない場合（起動オプション OPWDVAC = 0）の WDTA スタート・コントロール／トリガ・レジスタです。

WDTA トリガ AC_H を書き込むことによりカウンタをリスタートします。詳細は 1126 ページの 17.4.2 「WDTA トリガ」を参照してください。

このレジスタの動作は、VAC 機能の設定によって異なります。表 17-14 「WDTAnWDTE の動作」を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0000_H

初期値 起動オプション（OPWDEN, OPWDTPR, WDTATRTP, OPWDRUN, OPWDVAC）により異なります。表 17-13 「WDTAnRUN の初期値」を参照してください。

どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
WDTAnRUN	0	1	0	1	1	1	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-12 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7	WDTAnRUN	WDTAn の有効／無効を設定します。 0: WDTAn 無効 1: WDTAn 有効 WDTA は、一度スタートすると停止することができないため、このビットはリセットでしかクリアできません。

初期値 このビットは、WDTA が有効（OPWDEN = 1）かつ VAC が無効（OPWDVAC = 0）の場合のみ有効です。この場合の起動オプションによって異なる WDTAnRUN ビットの初期値を次の表に示します。

表 17-13 WDTAnRUN の初期値

起動オプション		入力信号		スタート・モード	WDTAnRUN の初期値
OPWD TPR	OPWD RUN	WDTATRTP			
0	0	無視		ソフトウェア・トリガ	0
0	1	無視		デフォルト	1
1	無視	0		ソフトウェア・トリガ	0
1	無視	1		デフォルト	1

リード／ライト・アクセス時の WDTAnWDTE の動作は、次の表に示すように、VAC モードの設定によって異なります。

表 17-14 WDTAnWDTE の動作

OPWDVAC	WDTAnWDTE		備考
	リード時	ライト時	
0	AC _H	無視	VAC 無効 WDTAnWDTE 有効
1	2C _H	WDTA トリガ AC _H ^a	VAC 有効 WDTAnWDTE 無効

a) これ以外の値を書き込んだ場合、エラーが検出されます。

(2) WDTA イネーブル VAC レジスタ (WDTAnEVAC)

このレジスタは、VAC 機能を使用している場合（起動オプション OPWDVAC = 1）のスタート・コントロール／トリガ・レジスタです。

WDTA トリガ 正しい起動コードを書き込むことによりカウンタをリスタートします。1126 ページの 17.4.2 「WDTA トリガ」を参照してください。

このレジスタの動作は、VAC 機能の設定によって異なります。表 17-17 「WDTAnEVAC の動作」を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0004_H

初期値 起動オプション（OPWDEN, OPWDTPR, WDTATRTYP, OPWDRUN, OPWDVAC）により異なります。表 17-16 「WDTAnEVAC7 の初期値」を参照してください。

どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
WDTAnEVAC7	0	1	0	1	1	0	0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-15 WDTAnEVAC レジスタの内容

ビット位置	ビット名	機能
7	WDTAnEVAC7	WDTA の有効／無効を設定します。 0: WDTA 無効 1: WDTA 有効 WDTA は、一度スタートすると停止することができないため、このビットはリセットでしかクリアできません。したがって、起動コードのビット 7 が 0 の場合でも、WDTA は停止しません。

初期値 このビットは、WDTA が有効（OPWDEN = 1）かつ VAC が有効（OPWDVAC = 1）の場合のみ有効です。この場合の起動オプションによって異なる WDTAnEVAC7 ビットの初期値を次の表に示します。

表 17-16 WDTAnEVAC7 の初期値

起動オプション		入力信号	スタート・モード	WDTAnEVAC7 の初期値
OPWDTPR	OPWDRUN	WDTATRTYP		
0	0	無視	ソフトウェア・トリガ	0
0	1	無視	デフォルト	1
1	無視	0	ソフトウェア・トリガ	0
1	無視	1	デフォルト	1

リード／ライト・アクセス時の WDTAnEVAC の動作は、次の表に示すように、VAC モードの設定によって異なります。

表 17-17 WDTAnEVAC の動作

OPWDVAC	WDTAnEVAC		備考
	リード時	ライト時	
0	2C _H	無視	VAC 無効 WDTAnEVAC 無効
1	最後に書き込まれた VAC	WDTA トリガ VAC ^a	VAC 有効 WDTAnEVAC 有効

a) これ以外の値を書き込んだ場合、エラーが検出されます。

(3) WDTA 基準値レジスタ (WDTAnREF)

このレジスタは、VAC 機能の起動コードを求めるための基準値が格納されます。トリガ動作ごとに自動的に更新されます。1126 ページの 17.4.2 「WDTA トリガ」を参照してください。

VAC が無効の場合 (OPWDVAC = 0)、このレジスタを読み出すと 00_H を返します。

アクセス 8 ビット単位でリード可能です。

アドレス <WDTAn_base> + 0008_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
WDTAnREF[7:0]							
R	R	R	R	R	R	R	R

表 17-18 WDTAnREF レジスタの内容

ビット位置	ビット名	機能
7-0	WDTAnREF[7:0]	起動コードを求めるための基準値

(4) WDTA モード・レジスタ (WDTAnMD)

オーバフロー・インターバル時間, 75% 割り込み出力モード, エラー・モード, およびウィンドウ・オープン期間を指定します。

このレジスタの値は, リセット解除後, 最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

WDTA 起動後にこのレジスタの値を変更するとエラーが発生しますが, 同値書き込みはできます。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 000C_H

初期値 起動オプション (OPWDOVF[2:0], OPWDINT, OPWDWS[1:0]) により異なります。WDTA の起動オプションを参照してください。

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	WDTAnOVF[2:0]			WDTAnWIE	WDTAnERM	WDTAnWS[1:0]	
R/W ^a	R/W	R/W	R/W	R	R/W	R/W	R/W

a) このビットへの書き込みは無視されます。読み出すと 0 を返します。

表 17-19 WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
6-4	WDTAnOVF[2:0]	オーバフロー・インターバル時間を選択します。																																				
		<table border="1"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバフロー・インターバル時間</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>2⁹/WDTATCKI</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>2¹⁰/WDTATCKI</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>2¹¹/WDTATCKI</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>2¹²/WDTATCKI</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>2¹³/WDTATCKI</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>2¹⁴/WDTATCKI</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>2¹⁵/WDTATCKI</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>2¹⁶/WDTATCKI</td> </tr> </tbody> </table>	WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフロー・インターバル時間	0	0	0	2 ⁹ /WDTATCKI	0	0	1	2 ¹⁰ /WDTATCKI	0	1	0	2 ¹¹ /WDTATCKI	0	1	1	2 ¹² /WDTATCKI	1	0	0	2 ¹³ /WDTATCKI	1	0	1	2 ¹⁴ /WDTATCKI	1	1	0	2 ¹⁵ /WDTATCKI	1	1	1	2 ¹⁶ /WDTATCKI
		WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフロー・インターバル時間																																	
		0	0	0	2 ⁹ /WDTATCKI																																	
		0	0	1	2 ¹⁰ /WDTATCKI																																	
		0	1	0	2 ¹¹ /WDTATCKI																																	
		0	1	1	2 ¹² /WDTATCKI																																	
		1	0	0	2 ¹³ /WDTATCKI																																	
		1	0	1	2 ¹⁴ /WDTATCKI																																	
1	1	0	2 ¹⁵ /WDTATCKI																																			
1	1	1	2 ¹⁶ /WDTATCKI																																			
WDTAnOVF[2:0] のリセット値は起動オプション OPWDOVF[2:0] により異なります。																																						
3	WDTAnWIE	75% 割り込み要求 INTWDTn の許可/禁止 0: INTWDTn 禁止 1: INTWDTn 許可 WDTAnWIE のリセット値は起動オプション OPWDINT により異なります。																																				

表 17-19 WDTAnMD レジスタの内容 (2/2)

ビット位置	ビット名	機能															
2	WDTAnERM	エラー・モードを指定します。 0: NMI 要求モード 1: リセット・モード															
1-0	WDTAnWS[1:0]	ウィンドウ・オープン期間を選択します。 <table border="1" data-bbox="579 434 1385 689"> <thead> <tr> <th>WDTAnWS1</th> <th>WDTAnWS0</th> <th>ウィンドウ・オープン期間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>25%</td> </tr> <tr> <td>0</td> <td>1</td> <td>50%</td> </tr> <tr> <td>1</td> <td>0</td> <td>75%</td> </tr> <tr> <td>1</td> <td>1</td> <td>100%</td> </tr> </tbody> </table> <p>WDTAnWS[1:0] のリセット値は起動オプション OPWDWS[1:0] により異なります。</p>	WDTAnWS1	WDTAnWS0	ウィンドウ・オープン期間	0	0	25%	0	1	50%	1	0	75%	1	1	100%
WDTAnWS1	WDTAnWS0	ウィンドウ・オープン期間															
0	0	25%															
0	1	50%															
1	0	75%															
1	1	100%															

第18章 OSタイマ (OSTM)

この章では、OSタイマの一般的な内容について説明します。

18.1節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/MN4に固有の特徴について説明します。

18.2節以降で、OSTM搭載製品に共通の特徴について説明します。

18.1 V850E2/MN4のOSTMの特徴

チャンネル この製品は次のチャンネル数のOSタイマを搭載しています。

表 18-1 OSタイマのチャンネル

OSタイマ	μPD70F3510, 70F3512	μPD70F3514, 70F3515
チャンネル数	1	2
名称	OSTM0	OSTM0, OSTM1

nの意味 本章では、OSタイマ (OSTM) の各チャンネルを「n」(n=0またはn=0, 1)で識別します。たとえば、OSTM制御レジスタはOSTMnCTLと記述します。

レジスタ・アドレス OSタイマ・レジスタのアドレスは、それぞれのベース・アドレス<OSTMn_base>からのオフセットで表されます。各OSTMnのレジスタ・ベース・アドレスを次の表に示します。

表 18-2 レジスタ・ベース・アドレス

OSTMn	<OSTMn_base> アドレス
OSTM0	FF80 0000 _H
OSTM1	FF80 1000 _H

クロック供給 OSタイマは次のクロックが供給されます。

表 18-3 OSTMクロック供給

OSTMn	OSTMnのクロック	接続先
OSTM0	PCLK	f _{PCLK}
OSTM1	PCLK	f _{PCLK}

表 18-4 OSTMnの入出力信号

OSTMn 信号	機能	接続先
OSTMnTCKE	カウント・クロック許可	1に固定
OSTMnTSST	カウント開始	PIC
OSTMnTOUT	OSタイマ出力	未接続

割り込み OS タイマは次の割り込み要求を発生できます。

表 18-5 OSTMn の割り込み要求

OSTMn の信号	機能	接続先
OSTM0		
OSTM0TINT	OSTM0 の割り込み	割り込みコントローラ INTOSTM0
OSTM1		
OSTM1TINT	OSTM1 の割り込み	割り込みコントローラ INTOSTM1

18.2 機能概要

機能概要 OS タイマには、次の機能があります。

- 2つの動作モード
 - インターバル・タイマ・モード
 - フリー・ランニング・コンペア・モード
- 2つの出力モード (OSTMnTTOUT 信号が外部に出力されている場合)
 - ソフトウェア制御モード
 - タイマ出力トグル・モード
- ほかの周辺機能との同期 (OSTMnTSST に信号が入力される場合)
- OSTMnTINT 割り込み

OS タイマの主な構成要素を次のブロック図に示します。

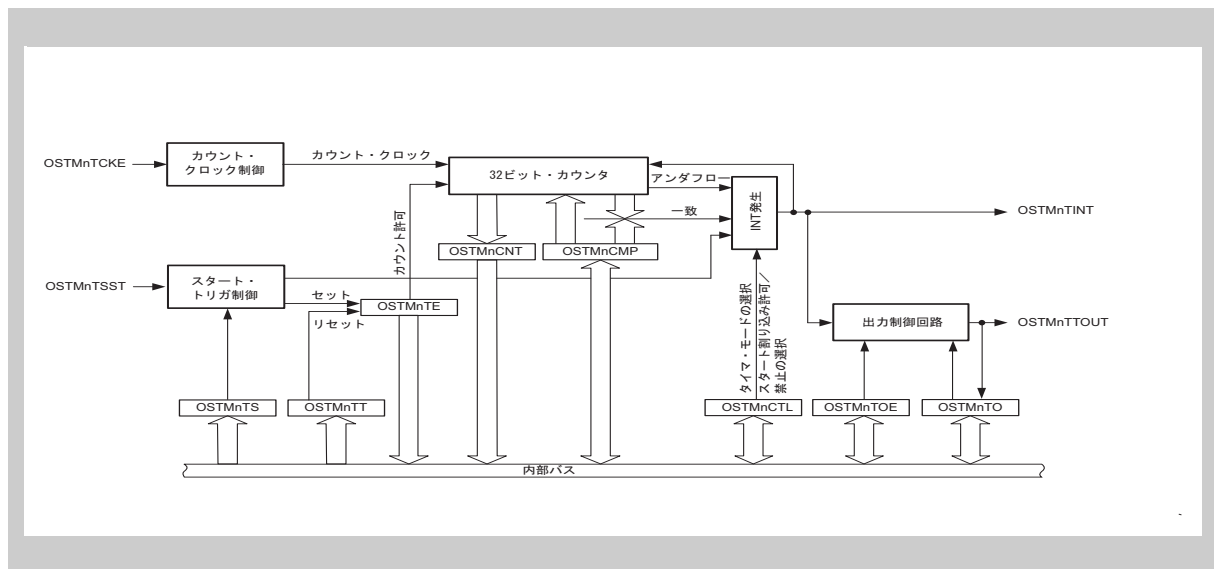


図 18-1 OS タイマのブロック図

18.3 機能説明

OS タイマは 32 ビットのタイマ/カウンタです。

OS タイマは、インターバル・タイマ・モードまたはフリー・ランニング・コンペア・モードで使用できます。動作モードを選択することによりカウント方向（ダウン/アップ）を指定し、割り込み要求の生成を制御します。

OS タイマは、ほかの周辺機能と同期させることができます。OS タイマには、カウント・クロック許可信号（OSTMnTCKE）とカウント開始信号（OSTMnTSST）の入力があります（詳細は 1141 ページの 18.3.1 「カウント・クロック」と 1143 ページの 18.3.4 「タイマの起動と停止」を参照してください）。

18.3.1 カウント・クロック

OS タイマのカウント・クロックは、PCLK と OSTMnTCKE の入力によって次のように定義されます。

- PCLK をカウント・クロックとして使用する場合は、OSTMnTCKE を 1 に固定する必要があります。
- OSTMnTCKE から信号が入力される場合は、それに応じてカウントします。

これを次の図に示します。

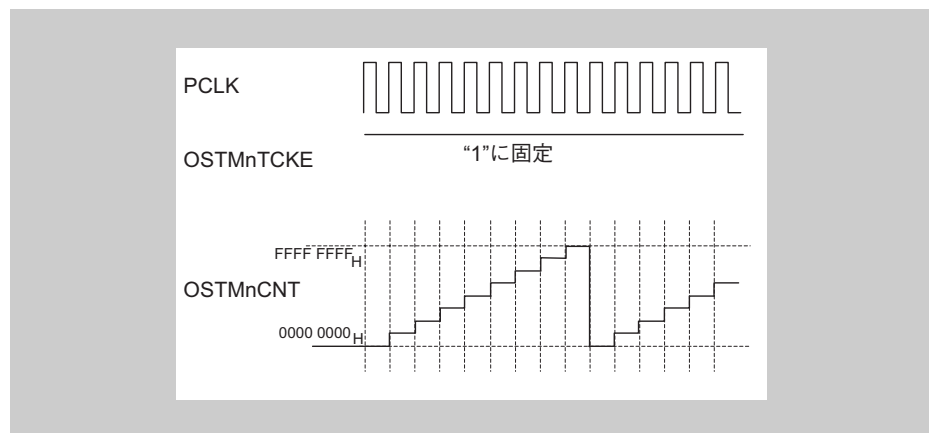


図 18-2 OSTMnTCKE を 1 に固定した場合のカウント動作

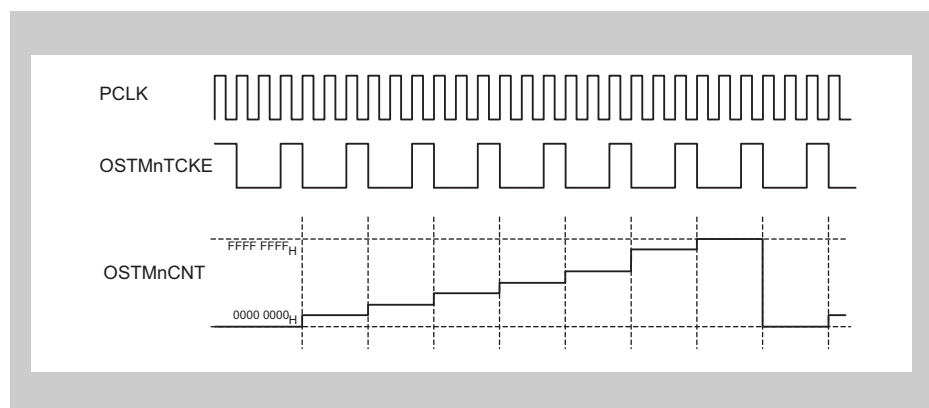


図 18-3 OSTMnTCKE の入力信号によるカウント動作

18.3.2 出力モード

OS タイマには、次の出力モードがあります。

- ソフトウェア制御モード :
OSTMnTO.OSTMnTO に設定したレベルが OSTMnTTOUT に出力されます。
 - タイマ出力トグル・モード :
OSTMnTINT 要求が発生すると、OSTMnTTOUT がトグルします。
- 出力モードは OSTMnTOE.OSTMnTOE ビットで設定します。

2つの出力モードを次の図に示します。

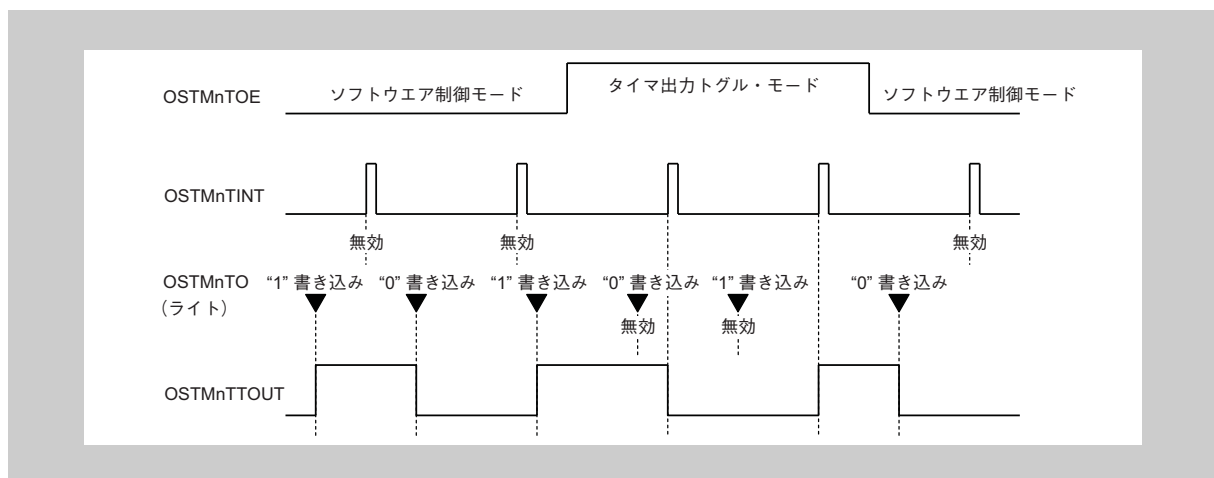


図 18-4 出力モードのタイミング図

上記のタイミング図では次の内容を示しています。

- ソフトウェア制御モードでは、OSTMnTTOUT が OSTMnTO.OSTMnTO に設定された値になります。
- タイマ出力トグル・モードでは、OSTMnTINT 割り込み要求が発生すると OSTMnTO.OSTMnTO と OSTMnTTOUT がトグルします。

18.3.3 割り込み要求の生成

カウンタ・アンダフローが発生したとき（インターバル・タイマ・モードの場合）またはカウンタが比較値と一致したとき（フリー・ランニング・コンペア・モードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

OSTMnTINT はタイマ出力トグル・モード（OSTMnTOE.OSTMnTOE = 1）で OSTMnTTOUT のトグルのトリガとなるため、OSTMnCTL.OSTMnMD0 ビットの設定は OSTMnTTOUT 出力にも影響します。

これを次の図に示します。

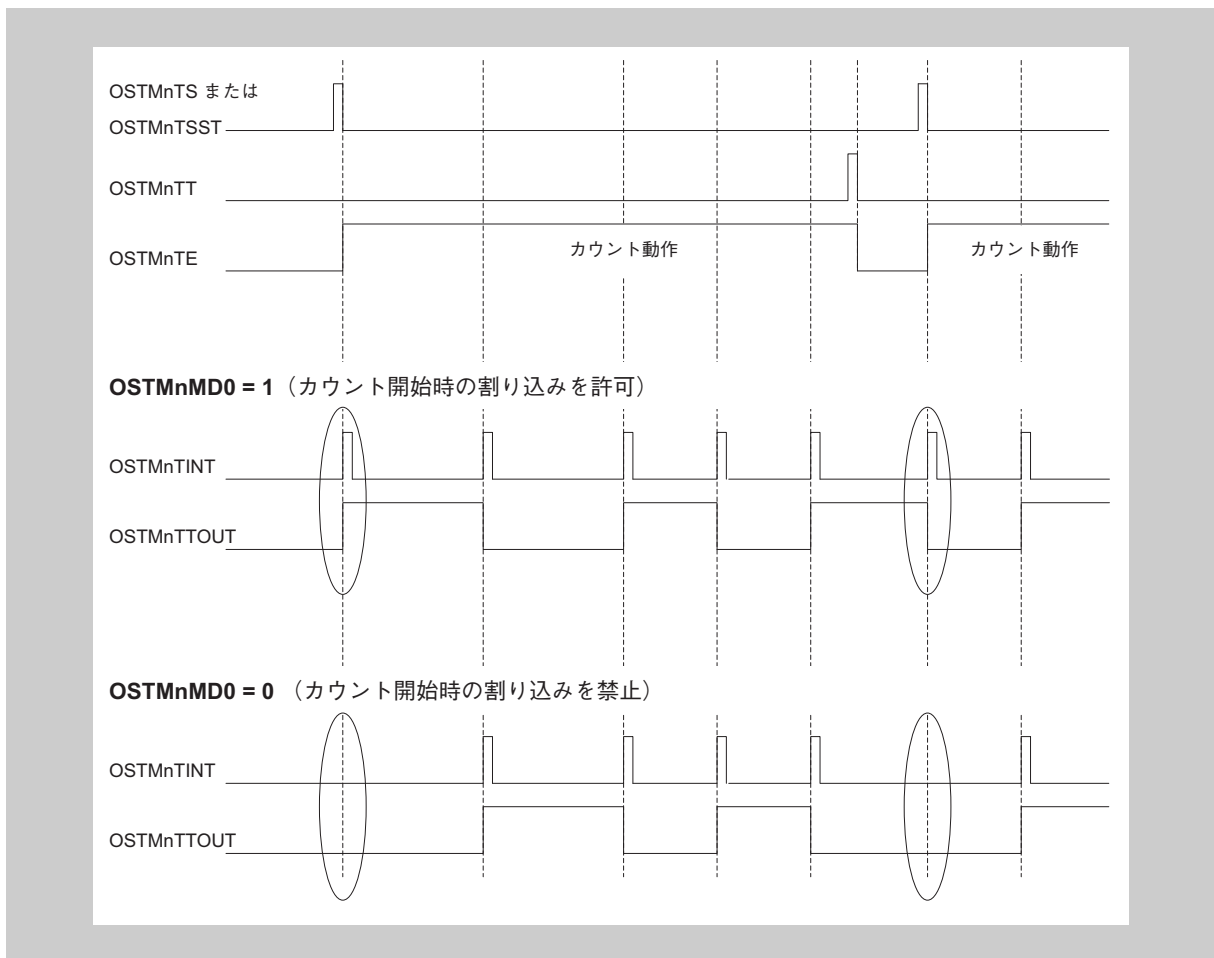


図 18-5 カウント開始時の割り込み生成

18.3.4 タイマの起動と停止

OS タイマは次のように起動し、停止します。

起動 タイマは次のいずれかによって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定
- OSTMnTSST 信号が 0 から 1 に遷移

ステータス・ビット OSTMnTE.OSTMnTE が 1 に設定され、OSTMnTS.OSTMnTS ビットが 0 に戻ります。

動作モードによって、カウンタはカウント・ダウンまたはカウント・アップを開始します。詳細は 1144 ページの 18.3.5 「インターバル・タイマ・モード」と 1148 ページの 18.3.6 「フリー・ランニング・コンペア・モード」を参照してください。

備考 OSTMnTS.OSTMnTS ビットによってタイマを起動する場合は、OSTMnTSST には 0 が入力されている必要があります。

停止 タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータス・ビット OSTMnTE.OSTMnTE がクリアされます。

カウンタが停止すると、新しいカウント動作が開始されるまで、OSTMnTOレジスタとOSTMnCNTレジスタはその時点での値を保持します。

同期起動 OSTMnTSSTを使用して、ほかの周辺機能と同期して起動することができます。

18.3.5 インターバル・タイマ・モード

インターバル・タイマ・モードでは、OSタイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

(1) インターバル・タイマ・モードの基本動作

インターバル・タイマ・モードでは、タイマはOSTMnCMPレジスタで指定された値からカウント・ダウンします。カウンタがアンダフローした(0000 0000_Hに達した)場合に、割り込み要求OSTMnTINTが発生します。

インターバル・タイマ・モードはOSTMnCTL.OSTMnMD1 = 0で設定されません。

OSTMnCMPレジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に0000 0000_Hに到達したときに新しいOSTMnCMPの値をロードします。次に、カウンタは新しい値で動作を継続します。

OSTMnTINT 期間と OSTMnTTOUT 期間

OSTMnTINT と OSTMnTTOUT の期間は次のようになります。

- OSTMnTINT 発生期間 = カウント・クロック期間 × (OSTMnCMP + 1)
- OSTMnTTOUT 期間 = OSTMnTINT 発生期間 × 2

次の図に、インターバル・タイマ・モードでカウンタ・スタート割り込みを許可された場合 (OSTMnCTL.OSTMnMD0 = 1) の OS タイマの基本動作と、タイマ出力トグル・モード (OSTMnTOE.OSTMnTOE = 1) での OSTMnTTOUT を示します。

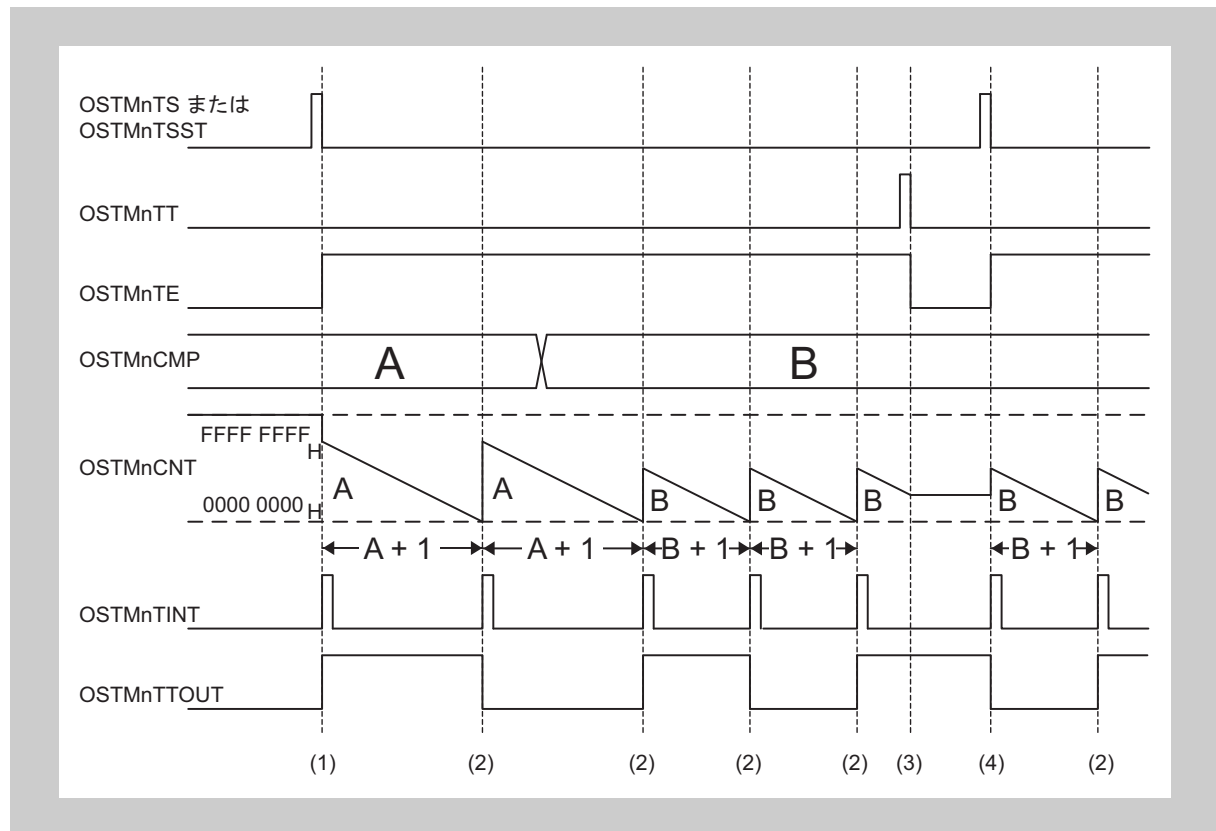


図 18-6 インターバル・タイマ・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウント・ダウンを開始します。OSTMnCTL.OSTMnMD0=1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT 出力がトグルします。カウンタ値は OSTMnCNT レジスタで示されます。
2. カウンタが 0000 0000_H に達すると、割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT 出力がトグルします。カウンタは、OSTMnCMP から新しい開始値をロードしてカウント・ダウンを続けます。
3. OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
4. OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウント・ダウンを続けます。

強制リスタート カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 を設定するか、または OSTMnTSST 信号のハイからロウへの遷移によって実行されます。

カウンタは、OSTMnCMP レジスタから開始値をロードしてカウント・ダウンを続けます。

次の図に、インターバル・タイマ・モードでカウンタ・スタート割り込みが許可され (OSTMnCTL.OSTMnMD0 = 1)、OSTMnTTOUT がタイマ出力トグル・モードにある場合 (OSTMnTOE.OSTMnTOE = 1) の OS タイマの強制リスタートを示します。

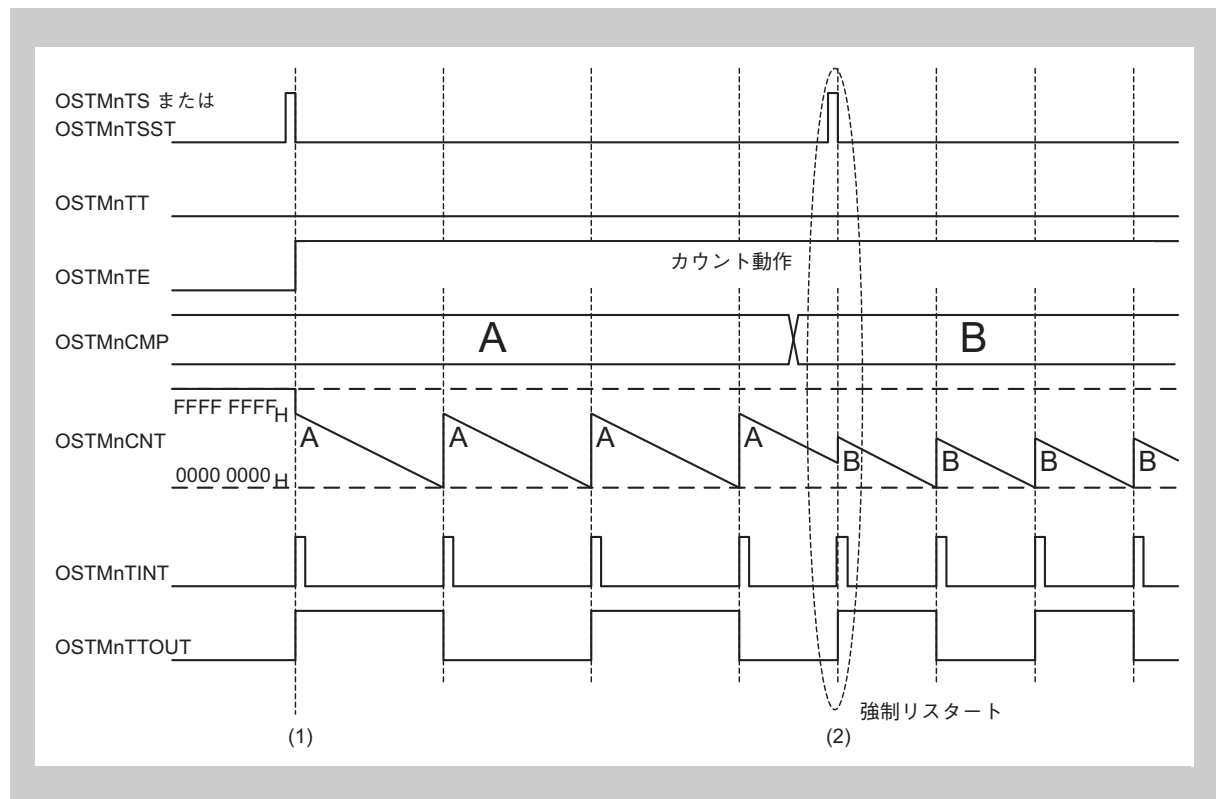


図 18-7 インターバル・タイマ・モードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは、1145 ページの図 18-6 「インターバル・タイマ・モードの OS タイマのタイミング図」に示し、説明されているように動作を開始します。
2. カウンタは、動作している間 (OSTMnTE.OSTMnTE = 1) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 にすると、リスタートします。

カウンタは、ただちに OSTMnCMP の現在値からカウント・ダウンを再開します。

OSTMnCTL.OSTMnMD0=1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT 出力がトグルします。

(2) OSTMnCMP = 0000 0000_H の場合の動作

OSTMnCMP = 0000 0000_H の場合に、OS タイマは次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMnTINT は常に 1 になります。
- OSTMnTTOUT 出力がタイマ出力トグル・モードの場合、OSTMnTTOUT はカウント・クロックごとにトグル出力します。

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタ・スタート割り込みが許可され (OSTMnCTL.OSTMnMD0 = 1)、OSTMnTTOUT がタイマ出力ト

グル・モードにある場合 (OSTMnTOE.OSTMnTOE = 1) の OS タイマの動作を示します。

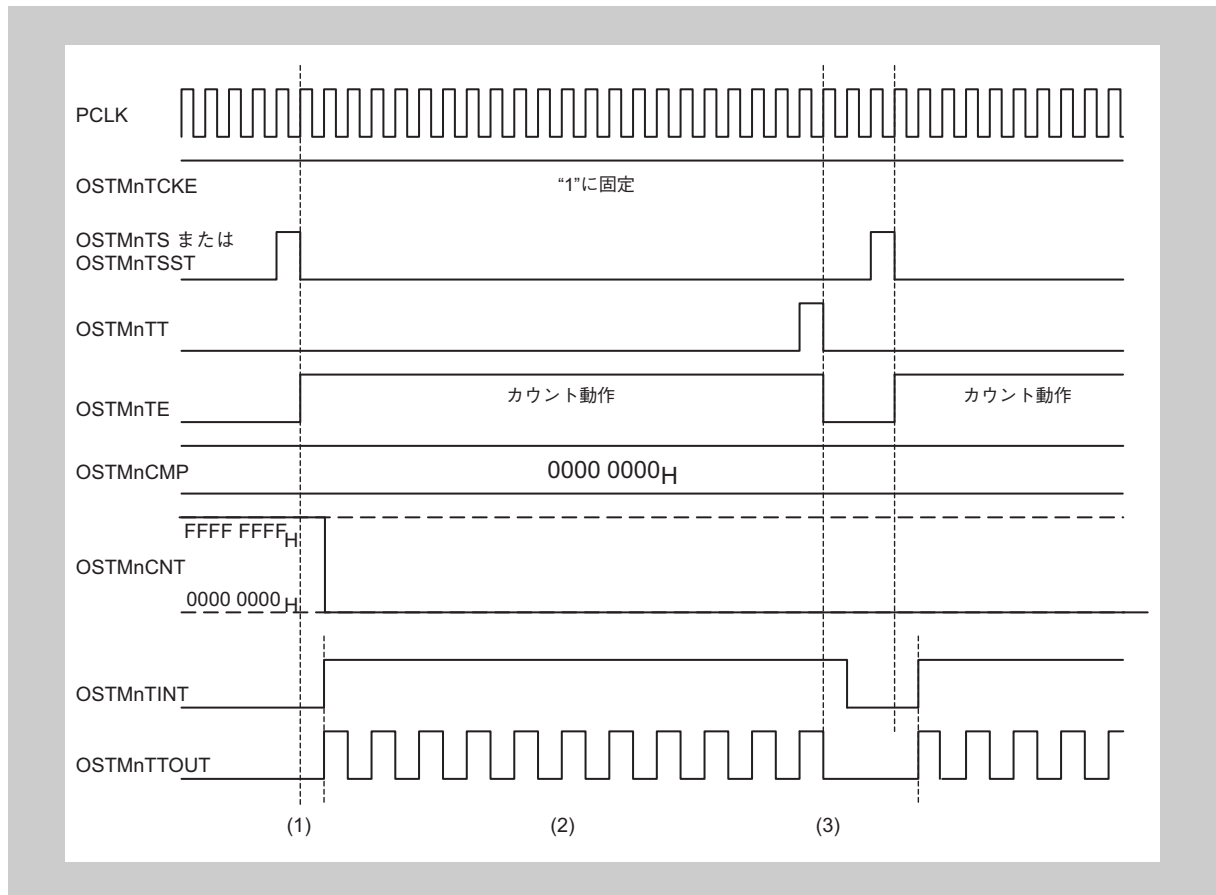


図 18-8 インターバル・タイマ・モードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

1. カウントを開始すると、カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_H のままです。
2. 割り込み要求 OSTMnTINT が継続的に発生し、OSTMnTTOUT がカウント・クロックでトグルを開始します。
3. カウンタが停止すると、割り込み要求 OSTMnTINT が停止し、OSTMnTTOUT がトグルを停止します。

(3) インターバル・タイマ・モードの初期化

リセット解除後のインターバル・タイマ・モードの設定手順を次に示します。

初期化

1. OSTMnCMP レジスタにダウン・カウンタの開始値を設定します。
2. OSTMnTTOUT 出力端子を使用する場合
 - ソフトウェア制御モードで、OSTMnTO を初期化します。
 - 出力モードを選択します (OSTMnTOE.OSTMnTOE)。
3. OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバル・タイマ・モードを選択します。
4. カウント開始時の割り込みモードを選択します (OSTMnCTL.OSTMnMD0)。

18.3.6 フリー・ランニング・コンペア・モード

(1) フリー・ランニング・コンペア・モードの基本動作

フリー・ランニング・コンペア・モードでは、カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウント・アップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。

フリー・ランニング・コンペア・モードは、OSTMnCTL.OSTMnMD1 = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリー・ランニング・コンペア・モードでカウント開始が許可され (OSTMnCTL.OSTMnMD0 = 1), OSTMnTTOUT がタイマ出力トグル・モードの場合 (OSTMnTOE.OSTMnTOE = 1) の OS タイマの基本動作を示します。

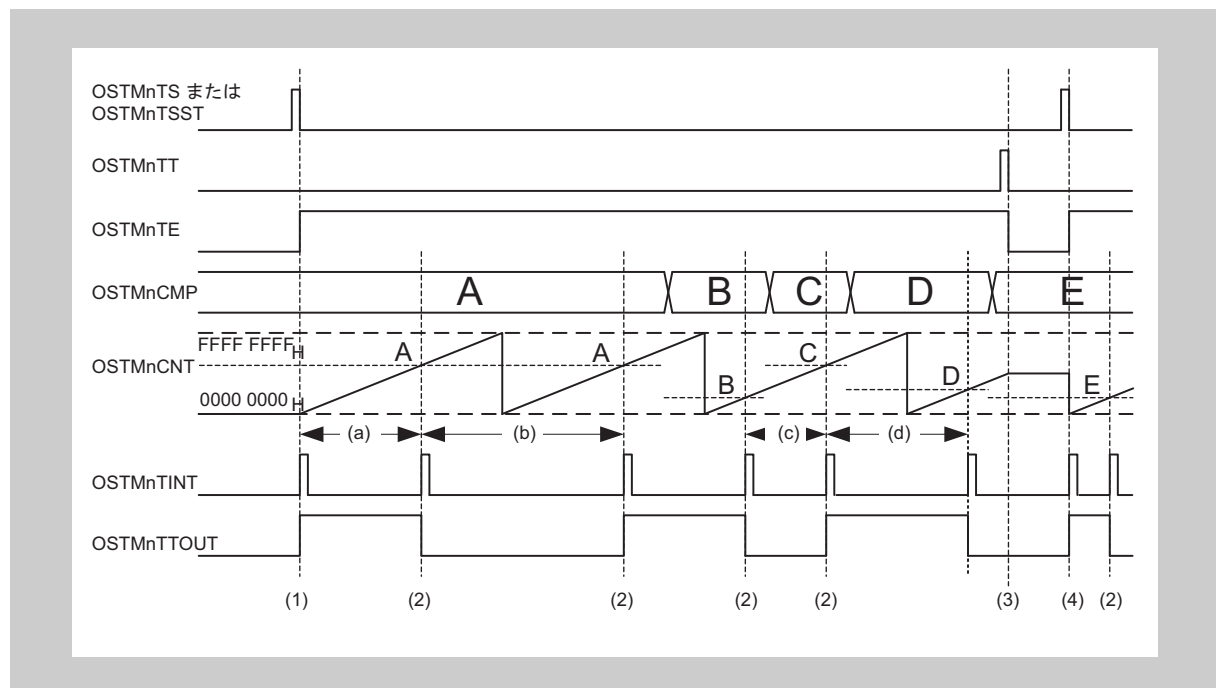


図 18-9 フリー・ランニング・コンペア・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

1. カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウント・アップします。カウンタ値はレジスタ OSTMnCNT で示されます。
2. OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMnTINT 割り込み要求が発生し、OSTMnTTOUT 出力がトグルします。
3. カウンタが停止すると (OSTMnTT.OSTMnTT = 1), OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。

カウンタは、カウントを再開するまでその時点での値を保持します。

4. OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは 0000 0000_H からカウントを開始します。

OSTMnTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 18-6 OSTMnTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMnTINT の発生期間	タイミング図のラベル
カウント開始			$(A + 1) \times \text{カウント} \cdot \text{クロック期間}$	(a)
A	A	書き換えなし	$(\text{FFFF FFFF}_H + 1) \times \text{カウント} \cdot \text{クロック期間}$	(b)
B	$C > B$	$B < \text{カウンタ値} < C$	$(C - B) \times \text{カウント} \cdot \text{クロック期間}$	(c)
C	$D < C$	カウンタ値 $> D, C$	$(\text{FFFF FFFF}_H - C + D + 1) \times \text{カウント} \cdot \text{クロック期間}$	(d)

強制リスタート カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = 1 の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

(2) OSTMnCMP = 0000 0000_H の場合の動作

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタ・スタート割り込みが許可され (OSTMnCTL.OSTMnMD0 = 1)、OSTMnTTOUT がタイマ出力トグル・モード (OSTMnTOE.OSTMnTOE = 1) の OS タイマの動作を示します。

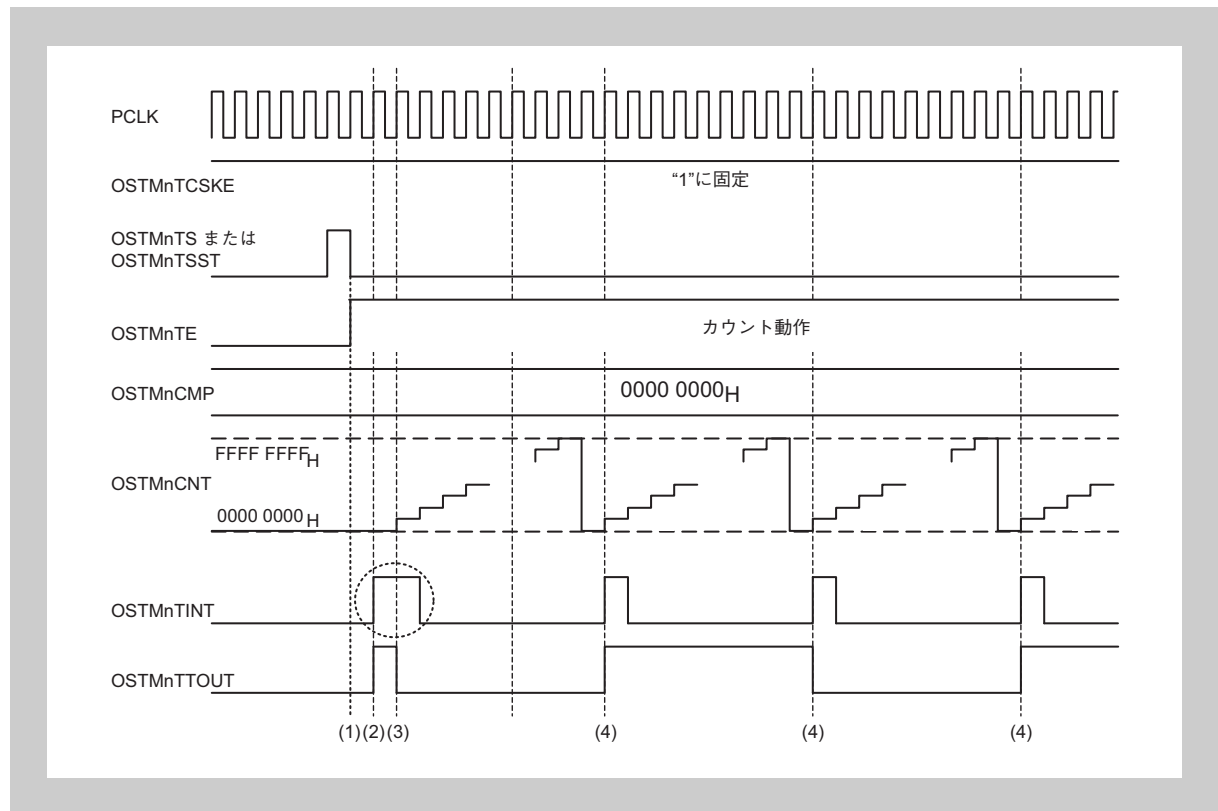


図 18-10 フリー・ランニング・コンペア・モードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

1. カウントを開始すると、カウンタは 0000 0000_H から FFFF FFFF_H までをカウントします。
2. カウント開始時に割り込み要求 OSTMnTINT が発生します。
3. 現在のカウンタ値が OSTMnCMP と一致する場合は、コンペア割り込みが発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMnTINT はカウント・クロック 2 クロック分発生します。
4. FFFF FFFF_H クロック・サイクルごとに、割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグルします。

(3) フリー・ランニング・コンペア・モードの初期化

リセット解除後のフリー・ランニング・コンペア・モードの設定手順を次に示します。

- 初期化**
1. OSTMnCMP レジスタに比較値を設定します。
 2. OSTMnTTOUT 出力端子を使用する場合：
 - ソフトウェア制御モードで、OSTMnTO を初期化します。
 - 出力モードを選択します (OSTMnTOE.OSTMnTOE)。
 3. OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリー・ランニング・コンペア・モードを選択します。
 4. OSTMnCTL.OSTMnMD0 ビットでカウント開始時の割り込みモードを選択します。

18.4 レジスタ

この節では、OS タイマのすべてのレジスタについて説明します。

18.4.1 OS タイマ・レジスタの概要

OS タイマは、次のレジスタで制御、動作します。

表 18-7 OS タイマ・レジスタの一覧

レジスタ名	略号	アドレス
OSTM コンペア・レジスタ	OSTMnCMP	<OSTMn_base>
OSTM カウンタ・レジスタ	OSTMnCNT	<OSTMn_base> + 04 _H
OSTM 出力レジスタ	OSTMnTO	<OSTMn_base> + 08 _H
OSTM 出カインェブル・レジスタ	OSTMnTOE	<OSTMn_base> + 0C _H
OSTM カウント・イネーブル・ステータス・レジスタ	OSTMnTE	<OSTMn_base> + 10 _H
OSTM カウント開始トリガ・レジスタ	OSTMnTS	<OSTMn_base> + 14 _H
OSTM カウント停止トリガ・レジスタ	OSTMnTT	<OSTMn_base> + 18 _H
OSTM 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20 _H

18.4.2 OS タイマ・レジスタの詳細

(1) OSTMnCMP - OSTM コンペア・レジスタ

このレジスタは、動作モードによってダウン・カウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <OSTMn_base>

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCMP[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCMP[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-8 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCMP[31:0]	<ul style="list-style-type: none"> インターバル・タイマ・モードの場合：ダウン・カウンタの開始値 フリー・ランニング・コンペア・モードの場合：比較値

(2) OSTMnCNT - OSTM カウンタ・レジスタ

このレジスタはタイマのカウント値を示します。

アクセス 32ビット単位でリード可能です。

アドレス <OSTMn_base> + 4_H

初期値 OSタイマの動作モードによって変わります。1152ページの表18-10「動作モード、カウント方向、初期値の関係」を参照してください。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCNT[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18-9 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCNT[31:0]	32ビット・カウンタの値

動作モード、カウント方向、初期値の関係を次に示します。初期値は、動作モードが変更されたあとにリードされる値です。

表 18-10 動作モード、カウント方向、初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウント方向	初期値
インターバル・タイマ・モード	0 ^a	ダウン	FFFF FFFF _H
フリー・ランニング・コンペア・モード	1	アップ	0000 0000 _H

^{a)} リセット後の値

(3) OSTMnTO - OSTM 出力レジスタ

このレジスタは、OSTMnTTOUT のレベルを指定／リードします。

アクセス 8ビット単位でリード／ライト可能です。ソフトウェア制御モードが有効時 (OSTMnTOE.OSTMnTOE = 0) にのみライト可能です。

アドレス <OSTMn_base> + 8_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTO
R	R	R	R	R	R	R	R/W

表 18-11 OSTMnTO レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTO	OSTMnTTOUT のレベルを指定し、リードします。 0: ロウ・レベル 1: ハイ・レベル

(4) OSTMnTOE - OSTM 出カインェブル・レジスタ

このレジスタは、OSTMnTTOUT 出力モードを指定します。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <OSTMn_base> + C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTOE
R	R	R	R	R	R	R	R/W

表 18-12 OSTMnTOE レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTOE	このレジスタは、OSTMnTTOUT 出力モードを指定します。 0: ソフトウェア制御モード : OSTMnTO.OSTMnTO に設定されたレベルを OSTMnTTOUT に出力 1: タイマ出力トグル・モード : 割り込み要求 OSTMnTINT が発生すると、OSTMnTTOUT がトグル

(5) OSTMnTE - OSTM カウント・イネーブル・ステータス・レジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <OSTMn_base> + 10_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTE
R	R	R	R	R	R	R	R

表 18-13 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTE	カウンタの状態を示します。 0: カウンタが停止中 1: カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備考 カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバル・タイマ・モードでは OSTMnCMP の設定値から再開します。
- フリー・ランニング・コンペア・モードでは、カウンタ値 0000 0000_H で動作を再開します。

(6) OSTMnTS - OSTM カウント開始トリガ・レジスタ

このレジスタは、カウントを開始します。

アクセス 8ビット単位でライト可能です。常に 00_H としてリードされます。

アドレス <OSTMn_base> + 14_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTS
R	R	R	R	R	R	R	W

表 18-14 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTS	カウントを開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 • インターバル・タイマ・モードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリー・ランニング・コンペア・モードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

(7) OSTMnTT - OSTM カウント停止トリガ・レジスタ

このレジスタは、カウンタを停止します。

アクセス 8ビット単位でライト可能です。常に00_Hとしてリードされます。

アドレス <OSTMn_base> + 18_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTT
R	R	R	R	R	R	R	W

表 18-15 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTT	カウンタを停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

(8) OSTMnCTL - OSTM 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMnTINT の生成を制御します。

アクセス 8ビット単位でリード/ライト可能です。カウンタが無効の場合 (OSTMnTOE.OSTMnTOE = 0) のみライト可能です。

アドレス <OSTMn_base> + 20_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OSTMnMD1	OSTMnMD0
R	R	R	R	R	R	R/W	R/W

表 18-16 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
1	OSTMnMD1	カウンタの動作モードを指定します。 0: インターバル・タイマ・モード 1: フリー・ランニング・コンペア・モード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み要求を制御します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可

第19章 アシクロナス・シリアル・インタフェースE (UARTE_n)

この章では、アシクロナス・シリアル・インタフェースE全般について説明します。

第1節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/MN4に固有のすべての特性について説明します。
それ以降の節では、すべての実装に共通の特徴について説明します。

19.1 V850E2/MN4のUARTE_nの機能

チャンネル この製品は6チャンネルのアシクロナス・シリアル・インタフェースE (UARTE_n) を搭載しています。

表 19-1 UARTE_nのチャンネル

アシクロナス・シリアル・インタフェースE	
チャンネル数	6
名称	UARTE0-UARTE5

nの意味 この章では、アシクロナス・シリアル・インタフェースEの各チャンネルを「n」で識別します (n = 0-5)。たとえば、UARTE_n 制御レジスタ0 (URTE_nCTL0) のように記述しています。

注意 V850E2/MN4のUARTEではLIN機能をサポートしてません。

レジスタ・アドレス UARTE_nのレジスタ・アドレスは、ベース・アドレス <URTE_n_base_OS> および <URTE_n_base_USER> からのオフセットで表されます。各 UARTE_n のレジスタ・ベース・アドレス <URTE_n_base_OS> および <URTE_n_base_USER> を次の表に示します。

UARTE _n のチャンネル	ベース・アドレス	アドレス
UARTE0	<URTE _n _base_OS>	FF60 0000 _H
	<URTE _n _base_USER>	FFFF EE00 _H
UARTE1	<URTE _n _base_OS>	FF61 0000 _H
	<URTE _n _base_USER>	FFFF EF00 _H
UARTE2	<URTE _n _base_OS>	FF62 0000 _H
	<URTE _n _base_USER>	FFFF F000 _H
UARTE3	<URTE _n _base_OS>	FF63 0000 _H
	<URTE _n _base_USER>	FFFF F100 _H
UARTE4	<URTE _n _base_OS>	FF64 0000 _H
	<URTE _n _base_USER>	FFFF F200 _H
UARTE5	<URTE _n _base_OS>	FF65 0000 _H
	<URTE _n _base_USER>	FFFF F300 _H

クロック供給 UARTE_nには次の1つのクロック入力があります。UARTE_nはPバス・クロック f_{PCLK} に接続しています。

表 19-2 UARTE_nのクロック供給

UARTE _n	クロック供給	接続先
UARTE0-UARTE5	PCLK	f_{PCLK}

入出力信号 UARTE_nの入出力信号を次の表に示します。

表 19-3 UARTE の入出力信号

UARTE _n 信号	機能	接続先
URTE _n TTXD	送信データ出力	ポート TXD _n
URTE _n TRXD	受信データ入力	ポート RXD _n

割り込み UARTE_n の割り込みを次の表に示します。

表 19-4 UARTE_n の割り込み

UARTE _n 信号	機能	接続先
UARTE0		
INTUAE0TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 161 (INTCSIG0IC) DMA コントローラ・トリガ 117
INTUAE0TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 160 (INTCSIG0IR) DMA コントローラ・トリガ 116
INTUAE0TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 159 (INTCSIG0IRE)
INTUAE0TRA	受信/ステータス割り込み	<ul style="list-style-type: none"> 使用しません。
UARTE1		
INTUAE1TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 164 (INTCSIG1IC) DMA コントローラ・トリガ 119
INTUAE1TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 163 (INTCSIG1IR) DMA コントローラ・トリガ 118
INTUAE1TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 162 (INTCSIG1IRE)
INTUAE1TRA	受信/ステータス割り込み	<ul style="list-style-type: none"> 使用しません。
UARTE2		
INTUAE2TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 167 (INTCSIG2IC) DMA コントローラ・トリガ 121
INTUAE2TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 166 (INTCSIG2IR) DMA コントローラ・トリガ 120
INTUAE2TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 165 (INTCSIG2IRE)
INTUAE2TRA	受信/ステータス割り込み	<ul style="list-style-type: none"> 使用しません。
UARTE3		
INTUAE3TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 170 (INTCSIG3IC) DMA コントローラ・トリガ 123
INTUAE3TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 169 (INTCSIG3IR) DMA コントローラ・トリガ 122
INTUAE3TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 168 (INTCSIG3IRE)
INTUAE3TRA	受信/ステータス割り込み	<ul style="list-style-type: none"> 使用しません。
UARTE4		
INTUAE4TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 173 (INTCSIG4IC) DMA コントローラ・トリガ 125
INTUAE4TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 172 (INTCSIG4IR) DMA コントローラ・トリガ 124
INTUAE4TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 171 (INTCSIG4IRE)
INTUAE4TRA	受信/ステータス割り込み	<ul style="list-style-type: none"> 使用しません。
UARTE5		
INTUAE5TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 176 (INTCSIG5IC) DMA コントローラ・トリガ 127
INTUAE5TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 175 (INTCSIG5IR) DMA コントローラ・トリガ 126
INTUAE5TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 174 (INTCSIG5IRE)
INTUAE5TRA	受信/ステータス割り込み	<ul style="list-style-type: none"> 使用しません。

19.2 機能の概要

- 全二重通信
 - UARTEn 受信データ・レジスタ n 内蔵 (URTEnRX)
 - UARTEn 送信データ・レジスタ n 内蔵 (URTEnTX)
- 2 端子構成 :
 - URTEnTTXD : 送信データ出力端子
 - URTEnTRXD : 受信データ入力端子
- 受信エラーとステータス出力機能
 - パリティ・エラー
 - フレーミング・エラー
 - オーバラン・エラー
 - データ一貫性エラー
- 割り込み要求 : 4 種類
 - 送信割り込み INTUAEnTIT
 - 受信割り込み INTUAEnTIR
 - ステータス割り込み INTUAEnTIS
 - 受信/ステータス割り込み INTUAEnTRA
- キャラクタ長 : 7, 8 ビット
- パリティ機能 : 奇数, 偶数, 0, なし
- 送信ストップ・ビット : 1, 2 ビット
- MSB ファースト / LSB ファーストを切り換え可能
- 送信 / 受信データの出力 / 入力の反転が可能
- LIN (Local Interconnect Network) 通信フォーマットの BF (ブレイク・フィールド) を 13-20 ビットに設定可能
 - LIN 通信フォーマットの BF 受信で 11 ビット以上を認識可能
 - BF 受信フラグあり
- データ通信中に BF 受信の検出が可能
- 送信データのデータ一貫性を保つバス・モニタ機能

19.4 UARTEn レジスタ

UARTEn は、次のレジスタで制御、動作します。

表 19-5 UARTEn レジスタ

レジスタ機能	名称	アドレス
制御レジスタ 0	URTEnCTL0	<URTEn_base_USER> + 00 _H
制御レジスタ 1	URTEnCTL1	<URTEn_base_OS> + 20 _H
制御レジスタ 2	URTEnCTL2	<URTEn_base_OS> + 24 _H
トリガ・レジスタ	URTEnTRG	<URTEn_base_USER> + 04 _H
ステータス・レジスタ 0	URTEnSTR0	<URTEn_base_USER> + 08 _H
ステータス・レジスタ 1	URTEnSTR1	<URTEn_base_USER> + 0C _H
ステータス・クリア・レジスタ	URTEnSTC	<URTEn_base_USER> + 10 _H
受信データ・レジスタ	URTEnRX	<URTEn_base_USER> + 14 _H
送信データ・レジスタ	URTEnTX	<URTEn_base_USER> + 18 _H

ベース・アドレス UARTEn のレジスタ・ベース・アドレス <URTEn_base_USER> および <URTEn_base_OS> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

(1) URTEnCTL0 - UARTEn 制御レジスタ 0

UARTEn のシリアル転送動作を制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <URTEn_base_USER> + 00_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTEn PW	URTEn TXE	URTEn RXE	0	0	0	0	URTEn SLDC
R/W	R/W	R/W	R	R	R	R	R/W

表 19-6 URTEnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	URTEnPW	UARTEn の動作許可 0: UARTEn の動作禁止 1: UARTEn の動作許可 このビットを変更すると、すべての送信ユニットと受信ユニットが初期化されます。
6	URTEnTXE	送信許可 0: 送信動作を禁止 1: 送信動作を許可 <ul style="list-style-type: none"> 送信を開始するには、URTEnPW をセット (1) したあと、URTEnTXE をセット (1) します。送信を停止するには、URTEnTXE をクリア (0) したあと、URTEnPW をクリア (0) します (URTEnTXE と URTEnPW ビットを同時にクリア (0) することも可能です)。 送信ユニットを初期化するには、URTEnTXE をクリア (0) し、プリスケラ・クロックの2周期分の時間を経過してから、再度 URTEnTXE をセット (1) します (プリスケラ・クロックについては (3) 「URTEnCTL2 - UARTEn 制御レジスタ 2」を参照してください)。
5	URTEnRXE	受信許可 0: 受信動作を禁止 1: 受信動作を許可 <ul style="list-style-type: none"> 受信を許可するには、URTEnPW をセット (1) したあと、URTEnRXE をセット (1) します。受信を停止するには、URTEnRXE をクリア (0) したあと、URTEnPW をクリア (0) します (URTEnRXE と URTEnPW ビットを同時にクリア (0) することも可能です)。 受信ユニットを初期化するには、URTEnRXE を0にクリア (0) し、プリスケラ・クロックの2周期分の時間を経過してから、再度 URTEnRXE をセット (1) します。URTEnRXE がセット (1) されてからプリスケラ・クロックの2周期分の時間を経過してから、受信が許可されます。URTEnRXE がセット (1) されてから4プリスケラ・クロック・サイクルが経過すると、URTEnTRXD 信号の立ち上がりエッジの検出が可能になります (プリスケラ・クロックについては (3) 「URTEnCTL2 - UARTEn 制御レジスタ 2」を参照してください)。
0	URTEnSLDC	データ一貫性チェックの有効/無効 0: 一貫性チェック無効 1: 一貫性チェック有効 データ送信時にデータ一貫性エラー・チェックを有効にするかどうかを選択します。 セット (1) した場合、送信データと受信データの比較を行います。比較の結果不一致が検出されると、URTEnSTR1.URTEnDCE がセット (1) され、ステータス割り込み要求 INTUAEnTIS が発生します。 このビットは送信開始時にのみ参照されます。したがって、このビットの値を送信処理中に変更しても、後続の送信処理は送信開始時の設定に応じて実行されます。

注意 1. UARTEn が次の状態をすべて満たす場合、送信を禁止してください。

- 送受信許可時 (URTEnCTL0.URTEnPW = URTEnRXE = URTEnTXE = 1)
- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- 送信中、または送信完了状態

受信許可状態に保つには、次の手順に従ってください。

- 保留されている送信がないことを確認します (URTEnSTR0.URTEnSSBT = URTEnSST = 0)。
- 保留されている受信がないことを確認します (URTEnSTR0.URTEnSSBR = URTEnSSR = 0)。
- URTEnCTL0.URTEnTXE を 0 に設定して送信を禁止します。

この手順を実行するのは、URTEnCTL0.URTEnTXE をクリア (0) するとデータ一貫性エラー・フラグ URTEnSTR1.URTEnDCE がクリア (0) されるためです。上記手順を実行することによって、データ転送中またはデータ転送完了後に送信を禁止した際にデータ一貫性エラーが発生しなくなります。

2. UARTEn が次の状態をすべて満たす場合、受信を禁止してください。

- 送受信許可時 (URTEnCTL0.URTEnPW = URTEnRXE = URTEnTXE = 1)
- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- 送信中または送信完了状態

送信許可状態に保つには、次の手順に従ってください。

- 保留されている送信がないことを確認します (URTEnSTR0.URTEnSSBT = URTEnSST = 0)。
- 保留されている受信がないことを確認します (URTEnSTR0.URTEnSSBR = URTEnSSR = 0)。
- URTEnCTL0.URTEnRXE を 0 に設定して受信を禁止します。

この手順を実行するのは、URTEnCTL0.URTEnTXE をクリア (0) するとデータ一貫性エラー・フラグ URTEnSTR1.URTEnDCE がクリア (0) されて無効になるためです。上記手順を実行することによって、すでに送信されたデータに対するデータ一貫性エラーは発生しなくなります。

3. 次の状態をすべて満たす場合、データの送信を開始しないでください。

- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- BF 受信許可時 (URTEnSTR0.URTEnSSBR = 1)
- 受信中の BF 検出禁止時 (URTEnCTL1.URTEnSLBM = 0)

上記の場合、BF の受信が完了したときにデータ一貫性エラーが発生します。このとき、ステータス割り込み INTUAE nTIS が発生し、BF の受信完了は発生しません (URTEnSTR1.URTEnBSF は 0 を保持)。したがって、BF の受信完了は認識されません。

(2) URTEnCTL1 - UARTEn 制御レジスタ 1

UARTEn シリアル・データ転送で使用するデータ・フレームの特性を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <URTEn_base_OS> + 20_H

初期値 5002_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTEnSLBM	URTEnBLG[2:0]			0	0	0	URTEnCLG
R/W	R/W	R/W	R/W	R	R	R	R/W
7	6	5	4	3	2	1	0
URTEnSLP[1:0]	URTEnTDL	URTEnRDL	0	URTEnSLG	URTEnSLD	URTEnSLIT	
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表 19-7 URTEnCTL1 レジスタの内容 (1/3)

ビット位置	ビット名	機能																																				
15	URTEnSLBM	BF 受信モード選択 0: データ受信中の BF の受信を禁止 1: データ受信中の BF の受信を許可 • このビットは、受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0) にのみ変更できます。																																				
14-12	URTEnBLG[2:0]	送信時の BF ビット長 <table border="1"> <thead> <tr> <th>URTEnBLG2</th> <th>URTEnBLG1</th> <th>URTEnBLG0</th> <th>BF 長</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>1</td> <td>13 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>14 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>15 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>17 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>18 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>19 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>20 ビット</td> </tr> </tbody> </table> これらのビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。	URTEnBLG2	URTEnBLG1	URTEnBLG0	BF 長	1	0	1	13 ビット	1	1	0	14 ビット	1	1	1	15 ビット	0	0	0	16 ビット	0	0	1	17 ビット	0	1	0	18 ビット	0	1	1	19 ビット	1	0	0	20 ビット
URTEnBLG2	URTEnBLG1	URTEnBLG0	BF 長																																			
1	0	1	13 ビット																																			
1	1	0	14 ビット																																			
1	1	1	15 ビット																																			
0	0	0	16 ビット																																			
0	0	1	17 ビット																																			
0	1	0	18 ビット																																			
0	1	1	19 ビット																																			
1	0	0	20 ビット																																			
8	URTEnCLG	送信／受信データ・ビット長 0: 7 ビット 1: 8 ビット • LIN フォーマットで送信／受信を行うときは、URTEnCLG をセット (1) してください。 • このビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0, URTEnCTL0.URTEnTXE = 0) にのみ変更できます。																																				

表 19-7 URTEnCTL1 レジスタの内容 (2/3)

ビット位置	ビット名	機能																							
7, 6	URTEnSLP[1:0]	パリティ・ビット選択 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th rowspan="2">URTEnSLP1</th> <th rowspan="2">URTEnSLP0</th> <th colspan="2">動作</th> </tr> <tr> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティ・ビットなしで出力</td> <td>パリティなしで受信</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティを出力 (0に固定)</td> <td>パリティを判定しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを出力</td> <td>奇数パリティとして判定を行う</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを出力</td> <td>偶数パリティとして判定を行う</td> </tr> </tbody> </table> <ul style="list-style-type: none"> • 受信中に「パリティを判定しない受信」を選択した場合、パリティ・チェックは行われません。したがって、URTEnSTR1.URTEnPE ビットがセット (1) されないため、エラー割り込みは出力されません。 • LIN フォーマットで送信／受信を行うときは、URTEnPE ビットがセット (1) されず、パリティ・エラーによるエラー割り込みも出力されません。 • これらのビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE, URTEnCTL0.URTEnTXE = 0) にのみ変更できます。 		URTEnSLP1	URTEnSLP0	動作		送信	受信	0	0	パリティ・ビットなしで出力	パリティなしで受信	0	1	0パリティを出力 (0に固定)	パリティを判定しない	1	0	奇数パリティを出力	奇数パリティとして判定を行う	1	1	偶数パリティを出力	偶数パリティとして判定を行う
URTEnSLP1	URTEnSLP0	動作																							
		送信	受信																						
0	0	パリティ・ビットなしで出力	パリティなしで受信																						
0	1	0パリティを出力 (0に固定)	パリティを判定しない																						
1	0	奇数パリティを出力	奇数パリティとして判定を行う																						
1	1	偶数パリティを出力	偶数パリティとして判定を行う																						
5	URTEnTDL	送信データ・レベル制御 0: 送信データ出力反転無効 1: 送信データ出力反転有効 <ul style="list-style-type: none"> • このビットを使って URTEnTTXD 信号の出力レベルを反転させることができます。このビットをセット (1) すると、URTEnCTL0.URTEnPW と URTEnCTL0.URTEnTXE の値に関係なく、ただちに URTEnTTXD の出力レベルを反転します。したがって、動作禁止時に URTEnTDL をセット (1) すると、URTEnTTXD はロウ・レベルを出力します。 • このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。 																							
4	URTEnRDL	受信データ・レベル制御 0: 受信データ入力反転無効 1: 受信データ入力反転有効 <ul style="list-style-type: none"> • このビットを使って URTEnTRXD 信号の入力レベルを反転させることができます。このビットをセット (1) すると、URTEnCTL0.URTEnPW と URTEnCTL0.URTEnRXE の値に関係なく、ただちに URTEnTRXD の入力レベルを反転します。したがって、動作禁止時に URTEnRDL をセット (1) すると、URTEnTRXD にはロウ・レベルが入力されます。 • このビットは、受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0) にのみ変更できます。 																							

表 19-7 URTEnCTL1 レジスタの内容 (3/3)

ビット位置	ビット名	機能
2	URTEnSLG	送信データのストップ・ビット数の選択 0: 1 ビット 1: 2 ビット <ul style="list-style-type: none"> データまたは BF の受信時、ストップ・ビット長は常に 1 として処理されます。 このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。
1	URTEnSLD	転送方向選択 0: MSB ファースト転送 1: LSB ファースト転送 <ul style="list-style-type: none"> LIN フォーマットで送信/受信を行うときは、URTEnSLD をセット (1) してください。 このビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE, URTEnCTL0.URTEnTXE = 0) にのみ変更できます。
0	URTEnSLIT	送信割り込み要求 (INTUAEnTIT) 発生タイミング選択 0: 送信データが送信シフト・レジスタに格納され、送信を開始する際に INTUAEnTIT を発生します。 1: 送信完了時に INTUAEnTIT を発生します。 <ul style="list-style-type: none"> このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。

(3) URTEnCTL2 - UARTEn 制御レジスタ 2

UARTEn シリアル・データ転送で使用するボー・レートを指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <URTEn_base_OS> + 24_H

初期値 EFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTEnPRS[2:0]			0	URTEnBRS[11:8]			
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
URTEnBRS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-8 URTEnCTL2 レジスタの内容

ビット位置	ビット名	機能																						
15-13	URTEn PRS[2:0]	プリスケラ・クロック (PRCLK) 分周値 0: PRCLK = PCLK / 2 ⁰ 1: PRCLK = PCLK / 2 ¹ 2: PRCLK = PCLK / 2 ² 3: PRCLK = PCLK / 2 ³ 4: PRCLK = PCLK / 2 ⁴ 5: PRCLK = PCLK / 2 ⁵ 6: PRCLK = PCLK / 2 ⁶ 7: PRCLK = PCLK / 2 ⁷																						
11-0	URTEn BRS[11:0]	ボー・レート・クロック (BRCLK) 分周値 <table border="1"> <thead> <tr> <th>URTEn BRS[11:0]</th><th>送信／受信 BRCLK</th><th>BF 受信クロック</th></tr> </thead> <tbody> <tr> <td>000_H</td><td rowspan="5">PRCLK / (2 x 4)</td><td rowspan="5">PRCLK / 4</td></tr> <tr><td>001_H</td></tr> <tr><td>002_H</td></tr> <tr><td>003_H</td></tr> <tr><td>004_H</td></tr> <tr> <td>005_H</td><td>PRCLK / (2 x 5)</td><td>PRCLK / 5</td></tr> <tr> <td>...</td><td>PRCLK / (2 x URTEnBRS[11:0])</td><td>PRCLK / URTEnBRS[11:0]</td></tr> <tr> <td>FFE_H</td><td>PRCLK / (2 x 4094)</td><td>PRCLK / 4094</td></tr> <tr> <td>FFF_H</td><td>PRCLK / (2 x 4095)</td><td>PRCLK / 4095</td></tr> </tbody> </table>	URTEn BRS[11:0]	送信／受信 BRCLK	BF 受信クロック	000 _H	PRCLK / (2 x 4)	PRCLK / 4	001 _H	002 _H	003 _H	004 _H	005 _H	PRCLK / (2 x 5)	PRCLK / 5	...	PRCLK / (2 x URTEnBRS[11:0])	PRCLK / URTEnBRS[11:0]	FFE _H	PRCLK / (2 x 4094)	PRCLK / 4094	FFF _H	PRCLK / (2 x 4095)	PRCLK / 4095
URTEn BRS[11:0]	送信／受信 BRCLK	BF 受信クロック																						
000 _H	PRCLK / (2 x 4)	PRCLK / 4																						
001 _H																								
002 _H																								
003 _H																								
004 _H																								
005 _H	PRCLK / (2 x 5)	PRCLK / 5																						
...	PRCLK / (2 x URTEnBRS[11:0])	PRCLK / URTEnBRS[11:0]																						
FFE _H	PRCLK / (2 x 4094)	PRCLK / 4094																						
FFF _H	PRCLK / (2 x 4095)	PRCLK / 4095																						

注意 このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) にも書き込み可能です。

PCLK UARTEn 入力クロックの値は、この章の最初の節内「クロック供給」で定義しています。

(4) URTEnTRG - UARTEn トリガ・レジスタ

BF の UARTEn 送信／受信トリガを制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <URTEn_base_USER> + 04_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	URTEn BRT	URTEn BTT	0	0	0	0	0
R	R/W	R/W	R	R	R	R	R

表 19-9 URTEnTRG レジスタの内容

ビット位置	ビット名	機能
6	URTEnBRT	<p>BF 受信トリガ</p> <p>0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。</p> <p>1: BF の受信トリガ</p> <ul style="list-style-type: none"> 受信許可時にこのビットをセット (1) することによって BF の受信を許可し (URTEnSTR0.URTEnSSBR = 1), 受信シリアル信号の立ち下がりがエッジ検出によって BF の受信処理を開始します。 受信処理中にこのビットをセット (1) すると、進行中の受信処理が終了します。このとき、受信データは格納されず、受信していたデータに基づいてフレーミング・エラー・ビット、パリティ・エラー・ビット、オーバフロー・エラー・ビットが更新されることもなく、割り込みも発生しません。この間 BF カウンタ値は継続的に使用されます。 BF 受信後は、URTEnCTL1.URTEnSLBM の設定に従って受信ステータスが設定されます。 このビットは、受信許可時 (URTEnCTL0.URTEnPW = URTEnCTL0.URTEnRXE = 1) にのみセット (1) できます。 <p>URTEnBRT がセット (1) されると、URTEnCTL1.URTEnSLBM の設定に応じて、次のいずれかの方法で BF の受信完了が発生します。</p> <ul style="list-style-type: none"> URTEnCTL1.URTEnSLBM = 0 の場合 BF の受信が完了すると、受信割り込み要求 INTUAEiTIR が発生します。 URTEnCTL1.URTEnSLBM = 1 の場合 BF の受信が完了すると、URTEnSTR1.URTEnBSF がセット (1) され、ステータス割り込み要求 INTUAEiTIS が発生します。
5	URTEnBTT	<p>BF 送信トリガ</p> <p>0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。</p> <p>1: BF の送信許可</p> <ul style="list-style-type: none"> URTEnSTR0.URTEnSSBT = 0 かつ送信許可時 (URTEnDCE = 0) にこのビットをセット (1) すると、BF 送信要求が設定され、URTEnSSBT がセット (1) されます。 データ送信中にこのビットをセット (1) すると、現在の送信処理が完了したあとで BF が送信されます。BF の送信が完了する前にこのビットをセット (1) しても、BF は 1 回しか送信されません。 送信許可時 (URTEnPW = URTEnTXE = 1) にこのビットをセット (1) すると、それまでに設定されていた未送信のデータ送信要求はすべてクリア (0) され、BF 送信要求だけが残ります。このビットをセット (1) したあとに URTEnTX7-URTEnTX0 ビットへの書き込みが行われた場合、BF が送信されたあとでデータが送信されます。 送信開始時に BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。 URTEnDCE = 1 の場合は、このビットに 1 を書き込んでも無視されます。 このビットは、送信許可時 (URTEnCTL0.URTEnPW = URTEnCTL0.URTEnTXE = 1) にのみセット (1) できます。

(5) URTEnSTR0 - UARTEn ステータス・レジスタ 0

シリアル・データ送信の現在の状態を示します。

アクセス 8/1 ビット単位でリード可能です。このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) に書き込み可能です。UARTEn の動作が許可 (URTEnCTL0.URTEnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス <URTEn_base_USER> + 08_H

初期値 00_H すべてのリセット要因および URTEnCTL0.URTEnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	URTEnSSBR ^a	URTEnSSBT ^b	0	0	0	URTEnSSR ^a	URTEnSST ^b
R	R	R	R	R	R	R	R

a) このビットは、URTEnCTL0.URTEnRXE = 0 によって受信が禁止されたときにも初期化されます。

b) これらのビットは、URTEnCTL0.URTEnTXE = 0 によって送信が禁止されたときにも初期化されます。

表 19-10 URTEnSTR0 レジスタの内容

ビット位置	ビット名	機能
6	URTEnSSBR	BF 受信許可／禁止状態表示 0: BF 受信禁止状態 1: URTEnTRG.URTEnBRT のセット (1) による BF 受信許可状態 (BF 受信スタンバイ・モードまたは BF 受信ビジー)
5	URTEnSSBT	BF 送信許可／禁止状態表示 0: BF 送信禁止状態 1: URTEnTRG.URTEnBTT のセット (1) による BF 送信許可状態 (BF 送信スタンバイ・モードまたは BF 送信ビジー)
1	URTEnSSR	データ受信状態 0: データ受信処理外 1: データ受信 (データ受信ビジー)
0	URTEnSST	データ送信状態 0: 進行中または保留中の送信なし 1: URTEnTX[7:0] 内データの送信を保留中、または進行中

(6) URTEnSTR1 - UARTEn ステータス・レジスタ 1

シリアル・データ送信の結果を示します。

アクセス 8/1 ビット単位でリード可能です。このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) に書き込み可能です。UARTEn の動作が許可 (URTEnCTL0.URTEnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス <URTEn_base_USER> + 0C_H

初期値 00_H すべてのリセット (1) 要因および URTEnCTL0.URTEnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTEnBSF ^a	URTEnDCE ^b	URTEnPE ^a	URTEnFE ^a	URTEnOVE ^a
R	R	R	R	R	R	R	R

a) これらのビットは、URTEnCTL0.URTEnRXE = 0 によって受信が禁止されたときも初期化されます。

b) このビットは、URTEnCTL0.URTEnTXE = 0 によって送信が禁止されたときも初期化されます。

表 19-11 URTEnSTR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
4	URTEnBSF	BF 受信成功フラグ 0: URTEnTRG.URTEnBTT のクリア (0) による BF 送信禁止状態 1: URTEnTRG.URTEnBTT のセット (1) による BF 送信許可状態 (BF 送信スタンバイ・モードまたは BF 送信ビジー) URTEnBSF ビットは、次の設定によりクリア (0) されます。 - URTEnCTL0.URTEnPW = 1 - URTEnCTL0.URTEnRXE = 0 - URTEnSTC.URTEnCLBS = 1
3	URTEnDCE	データ不整合エラー・フラグ 0: 送信データ/受信データ (送信 BF / 受信 BF) の不一致なし 1: 送信データ/受信データ (送信 BF / 受信 BF) の不一致検出 LIN 通信時に BF 受信モード選択ビットをセット (1) した場合、ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認する必要があります。 URTEnDCE ビットは、次の設定によってクリア (0) されます。 - URTEnCTL0.URTEnPW = 0 - URTEnCTL0.URTEnTXE = 0 - URTEnSTC.URTEnCLDC = 1
2	URTEnPE	パリティ・エラー・フラグ 0: 受信データ内にパリティ・エラーなし 1: 受信データ内にパリティ・エラー検出 URTEnPE の動作は URTEn.URTEnSLP[1:0] の設定によって制御されます。 URTEnPE ビットは、次の設定によってクリア (0) されます。 - URTEnCTL0.URTEnPW = 0 - URTEnCTL0.URTEnRXE = 0 - URTEnSTC.URTEnCLP = 1
1	URTEnFE	フレーミング・エラー・フラグ 0: 受信データ内にフレーミング・エラーなし 1: 受信データ内にフレーミング・エラー検出 URTEnFE ビットは、次の設定によってクリア (0) されます。 - URTEnCTL0.URTEnPW = 0 - URTEnCTL0.URTEnRXE = 0 - URTEnSTC.URTEnCLF = 1

表 19-11 URTEnSTR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	URTEnOVE	<p>オーバーラン・エラー・フラグ</p> <p>0: 受信データ内にオーバーラン・エラーなし</p> <p>1: 受信データ内にオーバーラン・エラー検出</p> <p>オーバーラン・エラーが発生した場合、そのデータは破棄され、次の受信データも受信データ・レジスタ URTEnRX に書き込まれません。</p> <p>URTEnOVE ビットは、次の設定によってクリア (0) されます。</p> <ul style="list-style-type: none"> - URTEnCTL0.URTEnPW = 0 - URTEnCTL0.URTEnRXE = 0 - URTEnSTC.URTEnCLOV = 1

備考 このレジスタのビットに対してセット (1) とクリア (0) が同時に起こった場合、セット (1) が優先されます。

エラー検出の詳細は、19.6.5「送信データ一貫性チェック」および19.6.9「受信エラー」を参照してください。

注意 送受信許可時に一貫性チェック・エラーが発生 (URTEnSTR1.URTEnDCE = 1) した場合、後続のデータを転送する前に次の手順を実行してください。

- URTEnCTL0.URTEnTXE を 0 に設定して送信を禁止します。
- URTEnCTL0.URTEnTXE を 1 に設定して送信を許可します。
- URTEnTRG.URTEnBTT (BT 送信トリガ) をセット (1) するか、URTEnTX に任意のデータを書き込んで送信を開始します。

これで新しい送信を開始できる状態になります。

(7) URTEEnSTC - URTEEn ステータス・クリア・レジスタ

URTEEnSTR1 (ステータス・レジスタ 1) のステータス・ビットをクリア (0) します。

アクセス 8/1 ビット単位でリード/ライト可能です。

このレジスタを読み出すと常に 00_H を返します。

アドレス <URTEEn_base_USER> +10_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTEEn CLBS	URTEEn CLDC	URTEEn CLP	URTEEn CLF	URTEEn CLOV
R	R	R	R/W	R/W	R/W	R/W	R/W

表 19-12 URTEEnSTC レジスタの内容

ビット位置	ビット名	機能
4	URTEEnCLBS	BF 受信成功フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEEnSTR1.URTEEnBSF がクリア (0) されます。
3	URTEEnCLDC	データー貫性エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEEnSTR1.URTEEnDCE がクリア (0) されます。 このビットをセット (1) することで URTEEnDCE をクリア (0) すると、保留中のデータや BF 送信要求はすべて無視されます。
2	URTEEnCLP	パリティ・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEEnSTR1.URTEEnPE がクリア (0) されます。
1	URTEEnCLF	フレーミング・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEEnSTR1.URTEEnFE がクリア (0) されます。
0	URTEEnCLOV	オーバラン・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEEnSTR1.URTEEnOVE がクリア (0) されます。

(8) URTEnRX - UARTEn 受信データ・レジスタ n

受信データを格納します。

1 バイトのデータ受信が完了すると、受信シフト・レジスタに格納されたデータが URTEnRX に転送されます。

7 ビット転送 データ長が 7 ビットに指定されている (URTEnCTL1.URTEnCLG = 0) 場合、このレジスタに格納された受信データは転送方向 (MSB ファースト / LSB ファースト) の指定に応じて次のように転送されます。

- LSB ファースト受信 (URTEnCTL1.URTEnSLD = 1) の場合、受信データは URTEnRX[6:0] に転送され、データの MSB である URTEnRX[7] は常に 0 になります。
- MSB ファースト受信 (URTEnCTL1.URTEnSLD = 0) の場合、受信データは URTEnRX[7:1] に転送され、データの LSB である URTEnRX[0] は常に 0 になります。

データ・フォーマットの詳細は、19.6.1 「データ・フォーマット」を参照してください。

オーバラン・エラー オーバラン・エラーが発生 (URTEnSTR1.URTEnOVE = 1) した場合、そのときの受信データは URTEnRX に転送されず、破棄されます。

受信処理が終了し、オーバラン・エラーが発生せずにデータが受信されたことを確認した場合、指定された格納フォーマットで受信データが URTEnRX に格納されます。

このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) に書き込み可能です。UARTEn の動作が許可 (URTEnCTL0.URTEnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アクセス 8 ビット単位でリード可能です。

アドレス <URTEn_base_USER> + 14_H

初期値 FF_H すべてのリセット要因および URTEnCTL0.URTEnPW ビットを 0 → 1 に設定し UARTEn の動作が許可されたときに初期化されます。

7	6	5	4	3	2	1	0
URTEnRX[7:0]							
R	R	R	R	R	R	R	R

表 19-13 URTEnRx レジスタの内容

ビット位置	ビット名	機能
7-0	URTEnRX[7:0]	UARTEn 受信データ

(9) URTEnTX - UARTEn 送信データ・レジスタ

送信するデータを格納します。

URTEnTX 内の送信データは、指定された送信データ・フォーマットで送信シフト・レジスタに格納されます。

7ビット転送 データ長が7ビットに指定されている (URTEnCTL1.URTEnCLG = 0) 場合、このレジスタに格納された送信データは転送方向 (MSB ファースト / LSB ファースト) の指定に応じて次のように転送されます。

- LSB ファースト送信 (URTEnCTL1.URTEnSLD = 1) の場合、URTEnTX[6:0] がシフト・レジスタへ転送されます。
- MSB ファースト送信 (URTEnCTL1.URTEnSLD = 0) の場合、データの LSB である URTEnTX[0] は常に 0 に設定され、URTEnTX[7:1] がシフト・レジスタへ転送されます。

データ・フォーマットの詳細は、19.6.1「データ・フォーマット」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <URTEn_base_USER> + 18_H

初期値 FF_H どのリセット要因でも初期化されます。

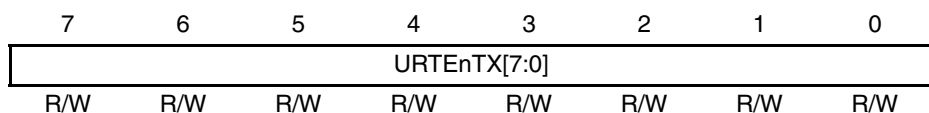


表 19-14 URTEnTx レジスタの内容

ビット位置	ビット名	機能
7-0	URTEnTX[7:0]	UARTEn 送信データ

送受信許可時 (URTEnCTL0.URTEnPW = URTEnTXE = 1) にこのレジスタへの書き込みを行うと、送信が起動されます。

備考 処理中のデータ送信が完了する前に次のデータをこのレジスタに書き込んだ場合、転送の完了を待って、次のデータを送信することで連続転送を行うことができます。

19.5 割り込み要求信号

UARTEnからは次の4種類の割り込み要求信号を発生します。

- 送信割り込み要求 INTUAEnTIT
- 受信割り込み要求 INTUAEnTIR
- ステータス割り込み要求 INTUAEnTIS
- 受信/ステータス割り込み要求 INTUAEnTRA

19.5.1 送信割り込み要求 INTUAEnTIT

送信許可状態で、URTEntXレジスタから送信シフトレジスタへ送信データが転送されると、送信割り込み要求 INTUAEnTIT を発生します。

送信割り込み要求の発生条件は、URTEntCTL1.URTEntSLIT の設定に依存します。

- 送信処理の開始時：URTEntCTL1.URTEntSLIT = 0
最初のビット（データ送信の最初のビット、またはBF送信の最初のBF）が送信されると、送信割り込み要求が発生します。
- 送信処理の終了時：URTEntCTL1.URTEntSLIT = 1
送信の最後のビット（ストップビット長が1の場合最初のストップビット、ストップビット長が2の場合2番目のストップビット）が送信されると、送信割り込み要求が発生します。

備考 データ一貫性チェック・エラーが検出されてもこの割り込みは発生しません。送信処理の開始時と終了時の送信割り込み要求の発生タイミングを、それぞれ次の図に示します。

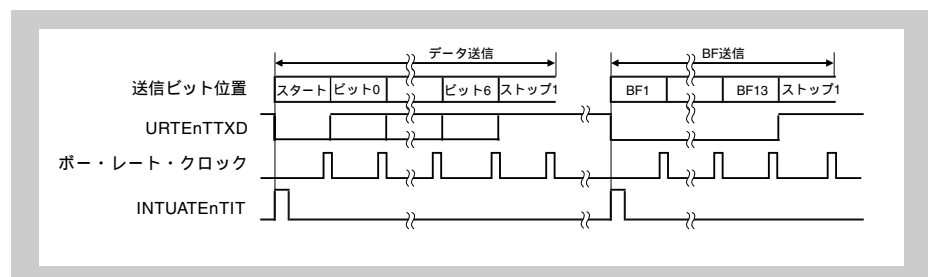


図 19-2 URTEntCTL1.URTEntSLIT = 0 のときの送信割り込み要求発生タイミング

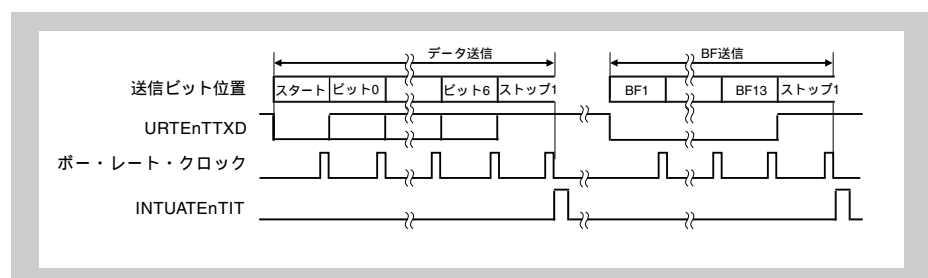


図 19-3 URTEntCTL1.URTEntSLIT = 1 のときの送信割り込み要求発生タイミング

19.5.2 受信割り込み要求 INTUAEnTIR

ストップ・ビットの最初のビットがサンプリングされると、受信割り込み要求が発生します。

受信時にエラーが生じた場合は、INTUAEnTIRではなくステータス割り込みINTUAEnTISが発生します。

受信禁止状態中は、受信割り込み要求INTUAEnTIRは発生しません。

データ／BF受信中の受信割り込み要求の発生タイミングを次の図に示します。

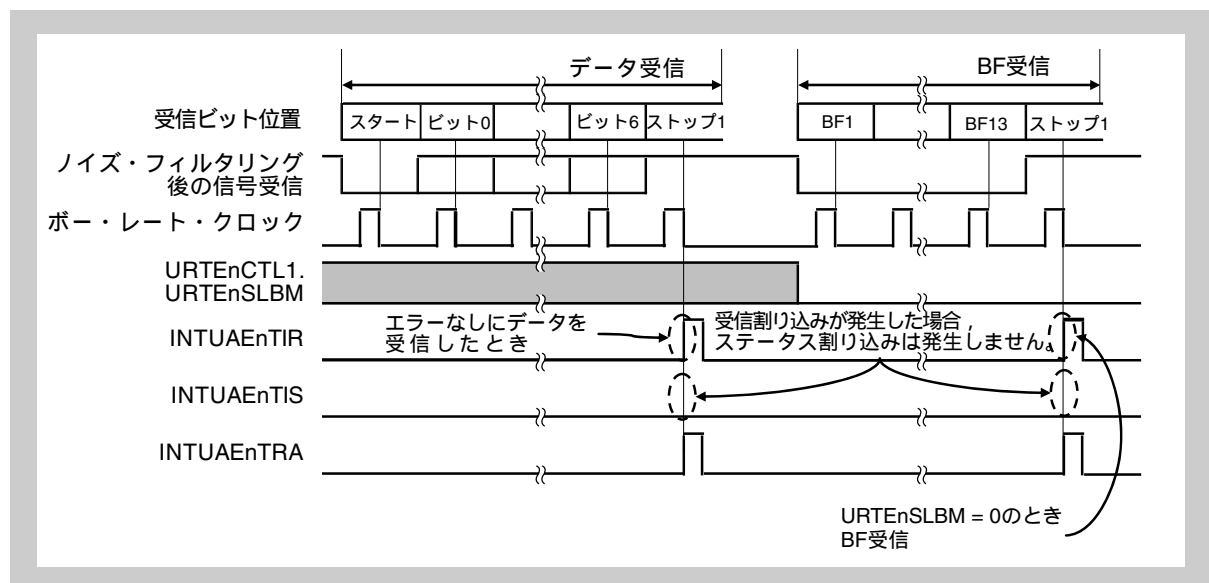


図 19-4 受信割り込み要求の発生タイミング

19.5.3 ステータス割り込み要求 INTUAEnTIS

受信中または送信中にエラー条件が発生すると、URTEnSTR1（ステータス・レジスタ1）の設定に応じてステータス割り込み要求が発生します。

LIN 通信時に BF 受信を許可（URTEnCTL1.URTEnSLBM = 1）にすると、11 ビット以上の連続的なロウ・レベル（BF）が受信された際にステータス割り込み要求信号が発生します。

19.5.4 受信／ステータス割り込み要求 INTUAEnTRA

受信割り込み要求またはステータス割り込み要求が発生した場合、受信／ステータス割り込み要求が発生します。すなわち、以下の関係となっています。

$$\text{INTUAEnTRA} = \text{INTUAEnTIR} \text{ または } \text{INTUAEnTIS}$$

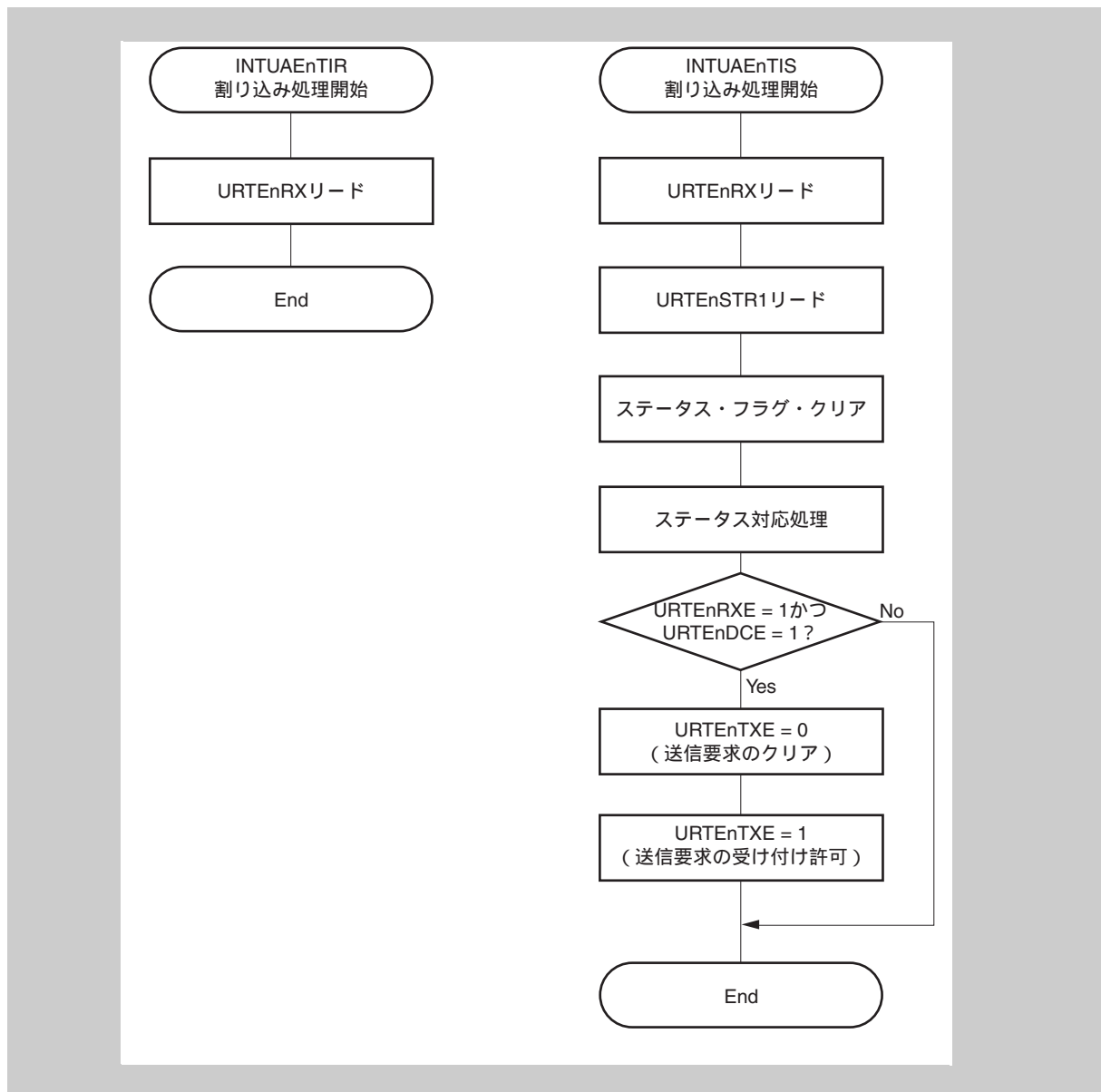


図 19-5 割り込み発生後処理フロー

19.6 動作

19.6.1 データ・フォーマット

全二重シリアル・データの受信と送信を行います。

送受信データのフォーマットは、次の図に示すようにスタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

URTEnCTL1 レジスタの制御ビットを使って送信／受信データ・フレームの複数の特性を指定することができます。

表 19-15 データ・フォーマットの仕様

項目	オプション	制御ビット
スタート・ビット	1ビット	固定
キャラクタ・ビット	7ビット／8ビット	URTEnCTL1.URTEnCLG
パリティ	偶数パリティ／奇数パリティ／0／なし	URTEnCTL1.URTEnSLP[1:0]
ストップ・ビット数	1ビット／2ビット	URTEnCTL1.URTEnSLG
データ順序	MSB ファースト／LSB ファースト	URTEnCTL1.URTEnSLD
送信データ・レベル	反転／非反転	URTEnCTL1.URTEnTDL
受信データ・レベル	反転／非反転	URTEnCTL1.URTEnRDL

(1) UARTEn の送信／受信データ・フォーマット

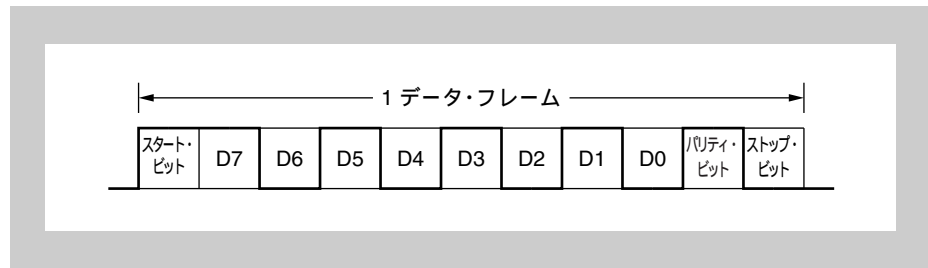
- (a) 8-ビット・データ長，LSB ファースト，偶数パリティ，1ストップ・ビット，転送データ：55_H



- (b) 8-ビット・データ長，MSB ファースト，偶数パリティ，1ストップ・ビット，転送データ：55_H



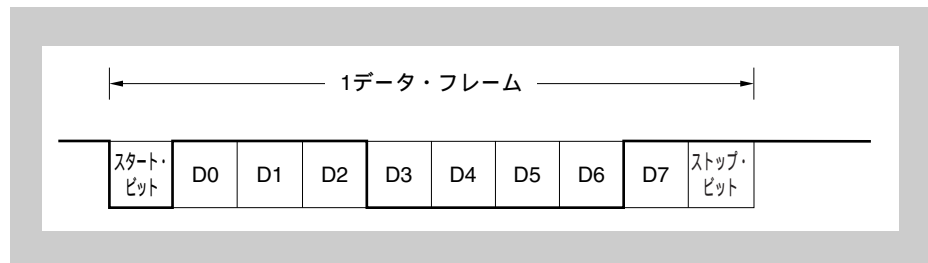
- (c) 8ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ: 55_H, URTEnTTXD 反転



- (d) 7ビット・データ長, LSB ファースト, 奇数パリティ, 2ストップ・ビット, 転送データ: 36_H



- (e) 8ビット・データ長, LSB ファースト, パリティなし, 1ストップ・ビット, 転送データ: 87_H



19.6.2 BF の送信／受信フォーマット

UARTEnにはLIN機能を使用するためにBF（ブレイク・フィールド）送信／受信制御機能があります。

LINについて LINはLocal Interconnect Network（ローカル相互接続ネットワーク）の略であり、車載ネットワークのコスト削減を図るために開発された低速（1～20 kbps）シリアル通信プロトコルです。

LIN通信はシングルマスタ通信で、1つのマスタに最大15個のスレーブを接続することができます。

LINスレーブは、スイッチ、アクチュエータ、センサの制御に使用され、LINネットワークを介してLINマスタに接続されます。

通常、LINマスタはCAN（Controller Area Network）などのネットワークに接続されます。

さらに、LIN バスはシングル・ワイヤ方式を使用し、ISO9141 に準拠したトランシーバを介してノードに接続されます。

LIN プロトコルでは、マスタがポー・レート情報とともにフレームを送信し、スレーブがそれを受信してポー・レート誤差を補正します。したがって、スレーブのポー・レート誤差が $\pm 14\%$ 以内であれば通信が可能です。

LIN の送信と受信の概要については、図 19-6 「LIN 送信の概要」および図 19-7 「LIN 受信の概要」を参照してください。

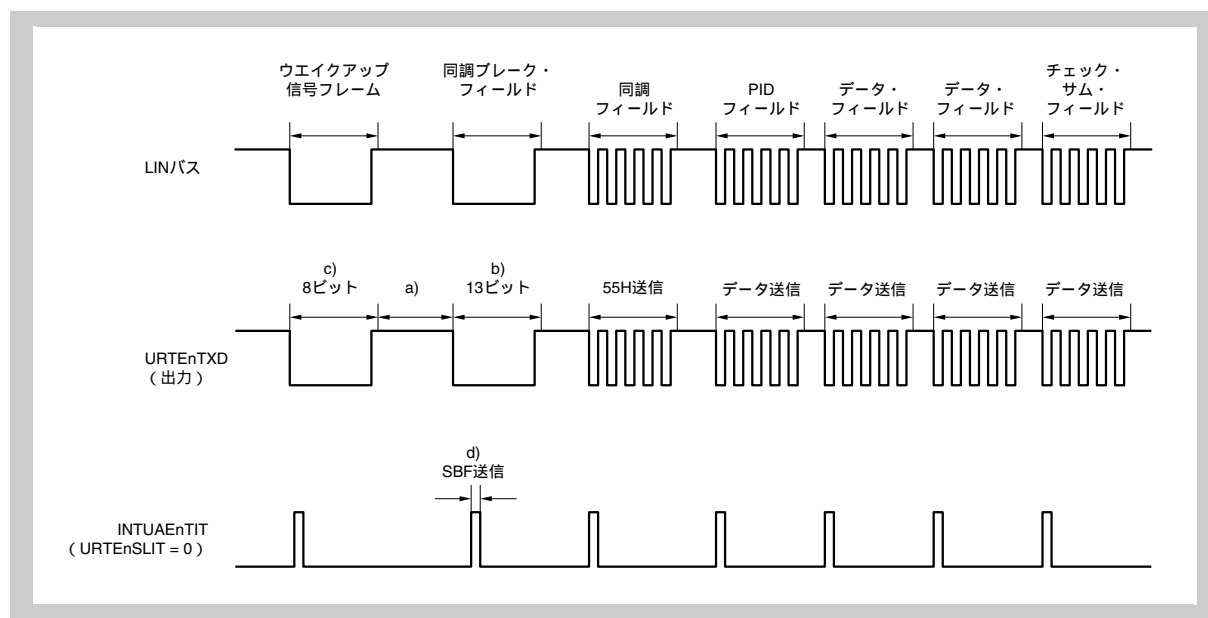


図 19-6 LIN 送信の概要

- a) フィールド間のインターバルはソフトウェアによって制御されます。
- b) BF の出力はハードウェアによって実行されます。出力幅は URTEnCTL1.URTEnBLG[2:0] によって設定されるビット長です。URTEnCTL2n.URTEnBRS[11:0] を設定することによって、出力幅をより細かく調整することができます。
- c) ウェイクアップ信号フレームの代わりに 8 ビット・モードで 80H が転送されます。
- d) 送信を開始するたびに送信許可割り込み INTUAEnTIT を発生します。INTUAEnTIT は、BF の送信開始時にも発生します。

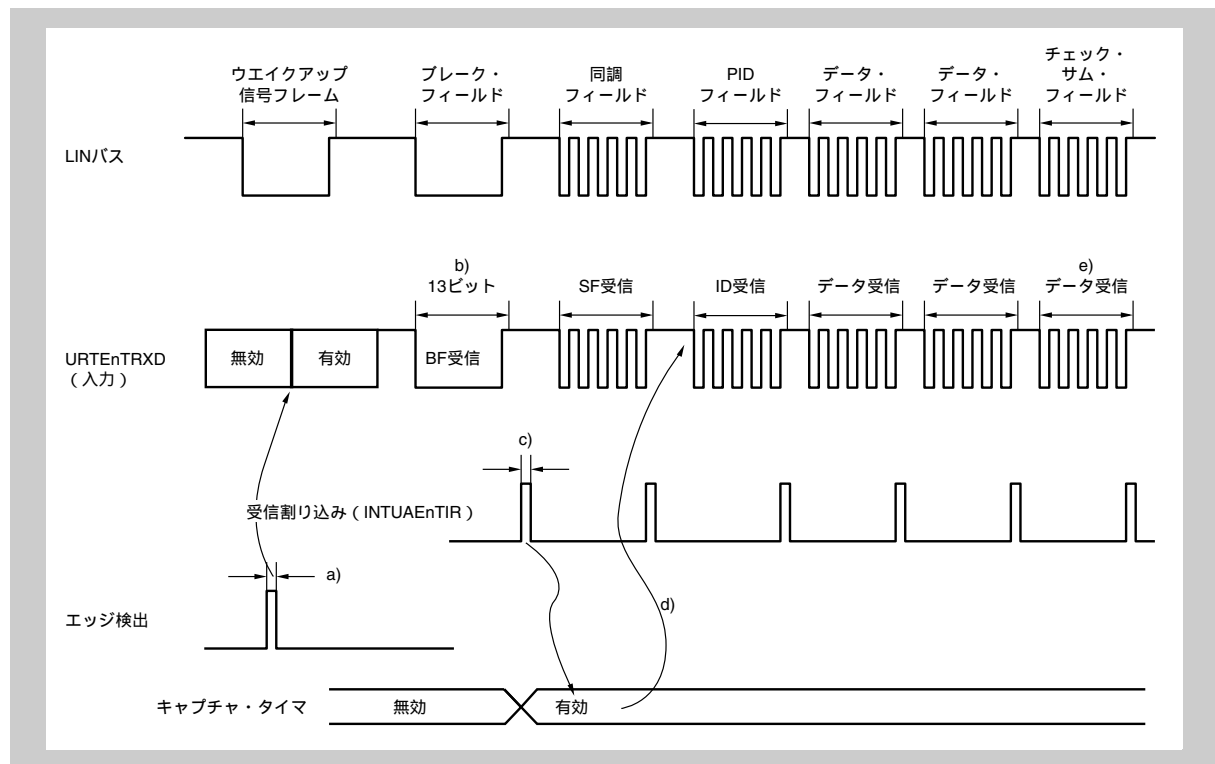


図 19-7 LIN 受信の概要

- a) ウェイクアップ信号は端子のエッジ検出器によって送信され、UARTEn を有効にして BF 受信モードを設定します。
- b) 11 ビット以上の BF 受信を検出した場合、正常 BF 受信終了と判断します。BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて、次の割り込みを発生します。URTEnSLBM, URTEnSSBR ビットの設定に応じて次の割り込みを発生します。

URTEnSLBM	URTEnSSBR	割り込み
1	×	INTUAEnTIS 割り込み
0	1	INTUAEnTIR 割り込み
0	0	フレーミング・エラーになり、INTUAEnTIS 割り込みが発生します。

- c) BF 受信が正常に終了した場合、BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて、次の割り込みを発生します。
 ・0 に設定されていた場合、受信割り込み INTUAEnTIR を発生します。
 ・1 に設定されていた場合、ステータス割り込み INTUAEnTIS を発生し、BF 受信成功フラグ URTEnSTR1.URTEnBSF をセット (1) します。
 BF 受信トリガ・ビット URTEnTRG.URTEnBRT が 1 の場合、BF 受信中はオーバーラン・エラー、パリティ・エラー、フレーミング・エラーの検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ URTEnRX へのデータ転送も行われません。このとき、URTEnRX は以前の値を保持します。
- d) ポー・レート・クロックを正しく調整するために、URTEnTRXD 信号をタイマのキャプチャ入力に接続する必要があります。URTEnTRXD のエッジ間の時間を測定することによって転送レートとポー・レート誤差を計算することができ、ポー・レート設定ビット URTEnCTL2.URTEnBRS[11:0] を設定することによって、ポー・レートを調整することができます。
- e) チェック・サム・フィールドの区別はソフトウェアで行います。チェック・サム・フィールドを受信すると UARTEn が初期化され、ソフトウェアによって BF 受信モードに再設定されます。URTEnCTL1.URTEnSLBM が 1 の場合、再度 BF 受信モードに設定することなく自動的に BF の受信を行います。

19.6.3 BF の送信

URTEEnCTL0 の URTEEnPW ビットと URTEEnTXE ビットを 1 に設定すると送信許可状態になり、BF 送信トリガ URTEEnTRG.URTEEnBTT をセット (1) することによって BF の送信を開始します。

以降、URTEEnSTR0.URTEEnSSBT がセット (1) され、URTEEnCTL1.URTEEnBLG[2:0] の指定に従って 13-20 ビットのロウ・レベル幅が出力されます。次の場合に送信割り込み INTUAEnTIT が発生します。

- BF 送信開始時、URTEEnCTL1.URTEEnSLIT = 0 の場合
- BF 送信終了時、URTEEnCTL1.URTEEnSLIT = 1 の場合

BF の送信が終了すると、URTEEnSTR0.URTEEnSSBT が自動的にクリア (0) されます。そのあと、UARTEn 送信モードに戻ります。

次に送信されるデータが URTEEnTX レジスタに書き込まれ、URTEEnSTR0.URTEEnSST が 1 に変化するか、BF 送信トリガ URTEEnTRG.URTEEnBTT がセット (1) され、URTEEnSTR0.URTEEnSSBT が 1 に変化するまで、送信は中断されます。

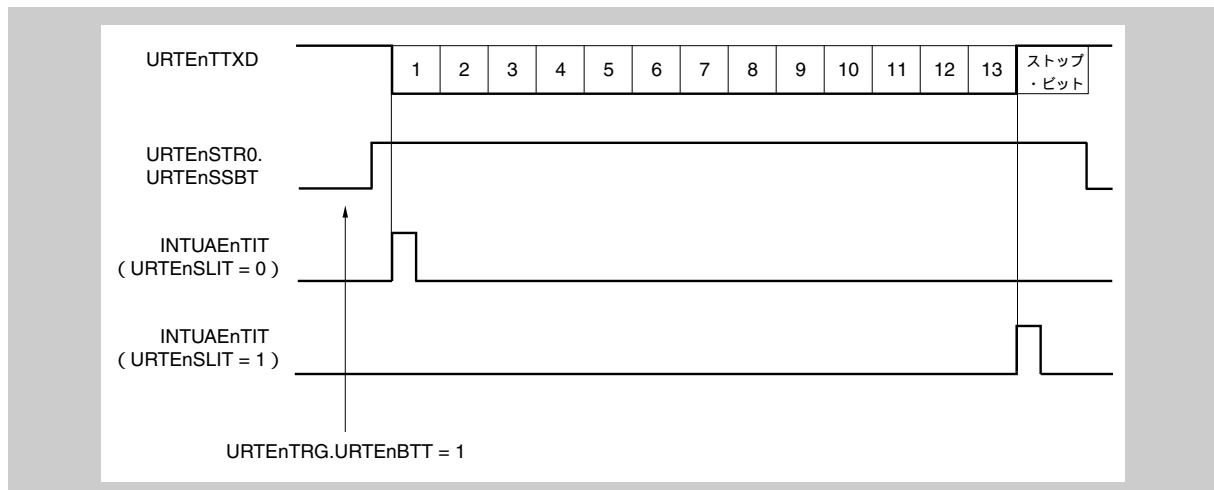


図 19-8 BF の送信

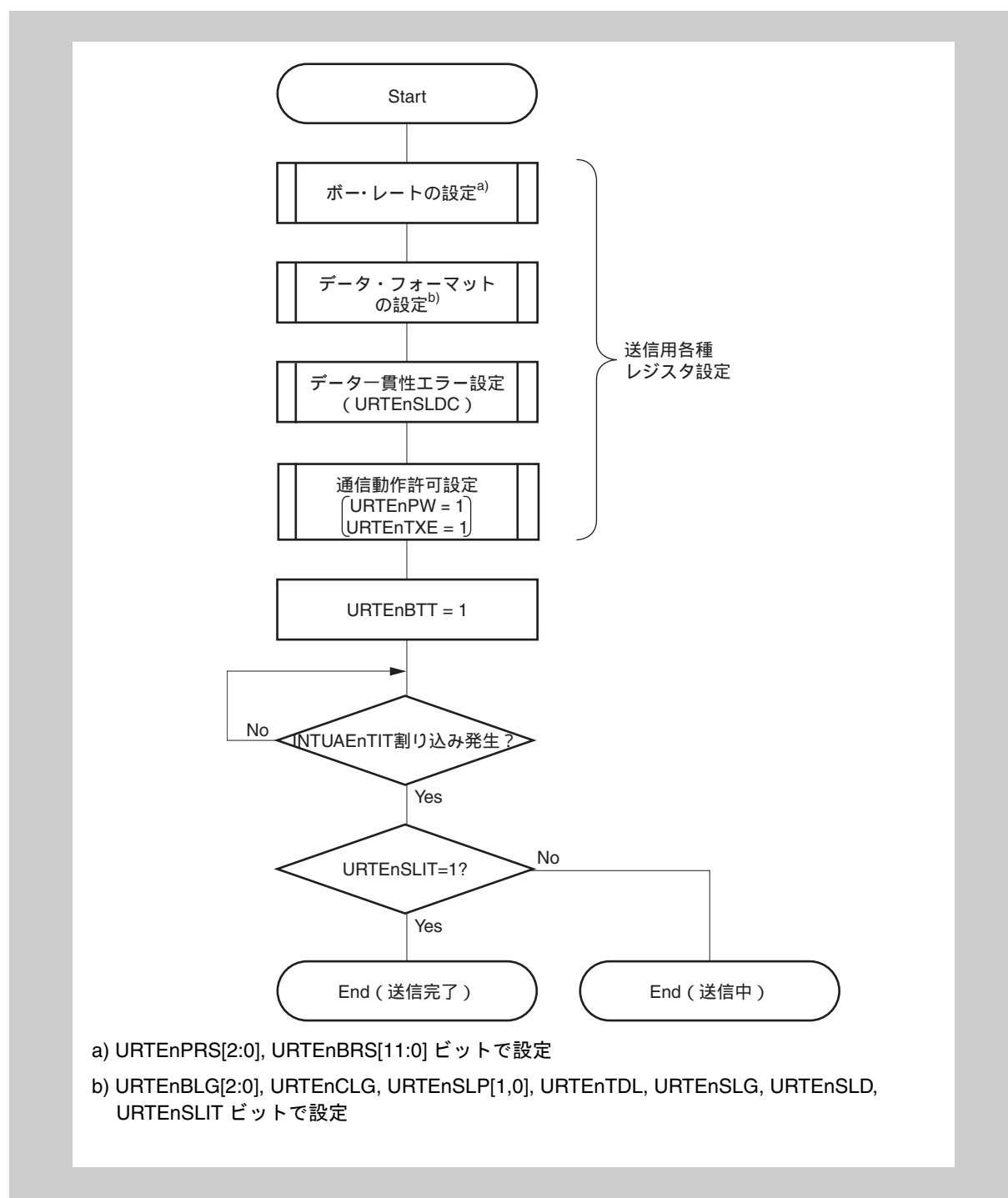


図 19-9 BF の送信のフロー図

19.6.4 BFの受信

URTEEnCTL0.URTEEnPW ビットをセット (1) したあと、URTEEnCTL0.URTEEnRXE ビットをセット (1) することによって受信許可状態になります。

BF 受信トリガ URTEEnTRG.URTEEnBRT をセット (1) することによって BF 受信待ち状態になります。

UARTEn 受信待ち状態と同様に、BF 受信待ち状態では URTEEnTRXD 端子信号をモニタし、スタート・ビットの検出を行います。

ロウ・レベルを検出したら、受信動作を開始し、設定されたボー・レートに従って内部カウンタをカウント・アップします。

ハイ・レベルを受信し、BF 幅が 11 ビット以上の場合、BF 受信モード選択ビット URTEEnCTL1.URTEEnSLBM の設定に応じて次のように処理を行います。

- 0 に設定されていた場合、受信割り込み INTUAEnTIR を発生します。
- 1 に設定されていた場合、ステータス割り込み INTUAEnTIS を発生し、同時に BF 受信成功フラグ URTEEnSTR1.URTEEnBSF をセット (1) します。

URTEEnSTR0.URTEEnSSBR ビットが自動的にクリア (0) され、BF の受信を終了します。

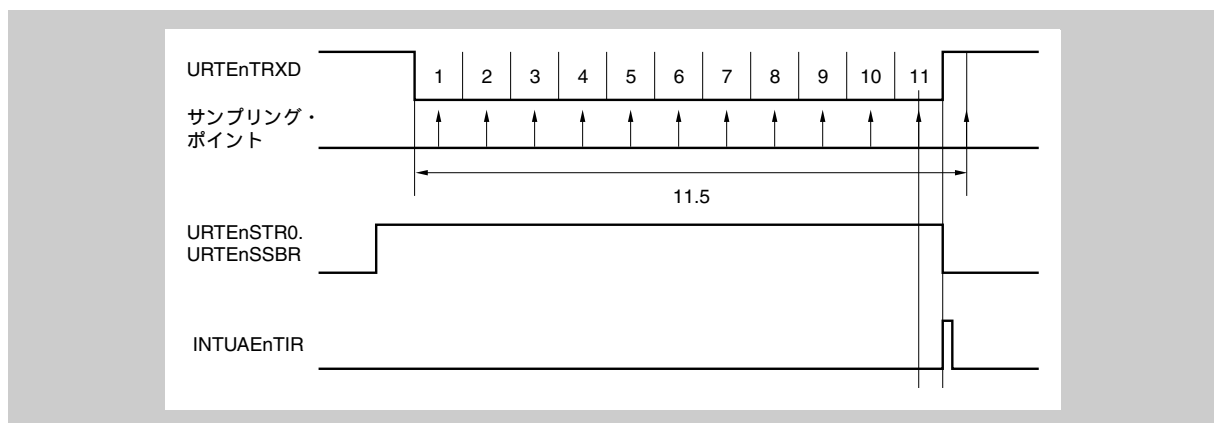


図 19-10 正常 BF 受信 (10.5 超のロウ・ビット受信後にストップ・ビットを検出)

URTEEnSTR1 エラー・フラグ URTEEnOVE, URTEEnPE, URTEEnFE によるエラー検出は抑制され、UARTEn 通信エラー検出処理は行われません。

エラーが含まれたデータは URTEEnRX に格納されず、URTEEnRX は初期値 FFH を保持します。

BF の幅が 10 ビット以下の場合、エラー処理として、割り込みを発生せずに受信を終了し、BF 受信モードに戻ります。このとき、URTEEnSTR0.URTEEnSSBR はクリア (0) されません。

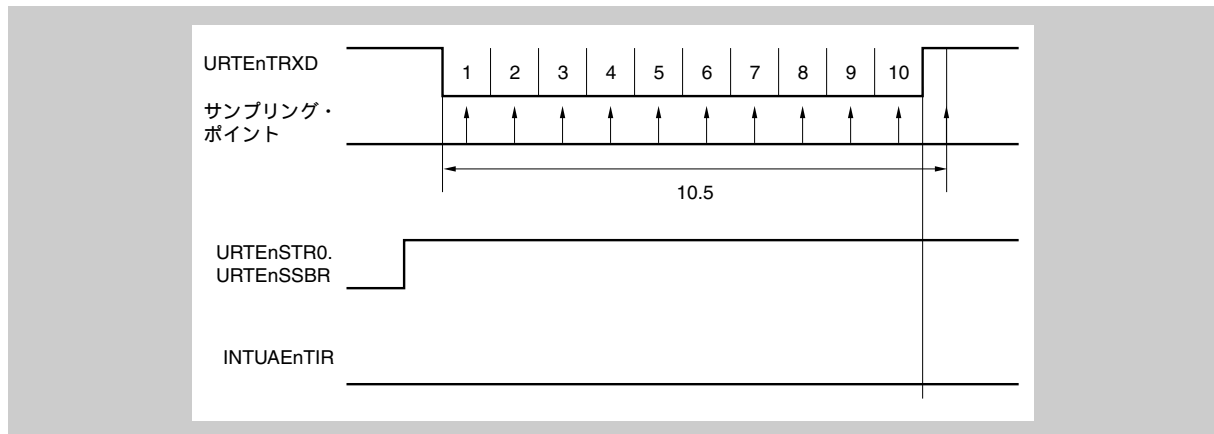


図 19-11 BF 受信エラー（10.5 以内のロウ・ビットでストップ・ビットを検出）

URTEnCTL1.URTEnSLBM を使って、シングル BF 受信モードと常時 BF 受信モード間で BF モードを切り換えることができます。BF 受信が成功したかどうかは URTEnSTR1.URTEnBSF で確認できます。

備考 URTEnSTR0.URTEnSSBR は次の場合にセット（1）されます。

- URTEnTRG.URTEnBRT をセット（1）したとき
- BF 正常受信によってエラーがクリア（0）されたとき

19.6.5 送信データ一貫性チェック

UARTEn は、デバイスがマスタ・モードで動作中に、送信レジスタ URTEnTX へ書き込まれた送信データとバス上のデータとの不一致を検出するデータ一貫性チェック機能を備えています。

データ一貫性チェックは URTEnCTL0.URTEnSLDC を 1 に設定することによって有効になります。

データ一貫性のチェックは、送信レジスタ URTEnTX 内の送信データと受信レジスタ URTEnRX 内の受信データとを比較して行います。データの不一致を検出すると、データ一貫性エラー・フラグ URTEnSTR1.URTEnDCE をセット（1）し、ステータス割り込み要求 INTUAEnTIS を発生します。

受信モード中はデータ一貫性チェックを実行しません。

送信中に受信が禁止されている場合でも、送信データと入力データ信号レベルの一貫性チェックは実行されます。この場合、受信完了割り込み要求信号 INTUAEnTIR とステータス割り込み要求信号 INTUAEnTIS は発生せず、また URTEnSTR1 のステータス・ビット（URTEnBSF、URTEnFE、および URTEnOVE）もセット（1）しません。また、受信データを読み出す必要はありません。

詳細は 1170 ページの「URTEnSTR1 - UARTEn ステータス・レジスタ 1」を参照してください。

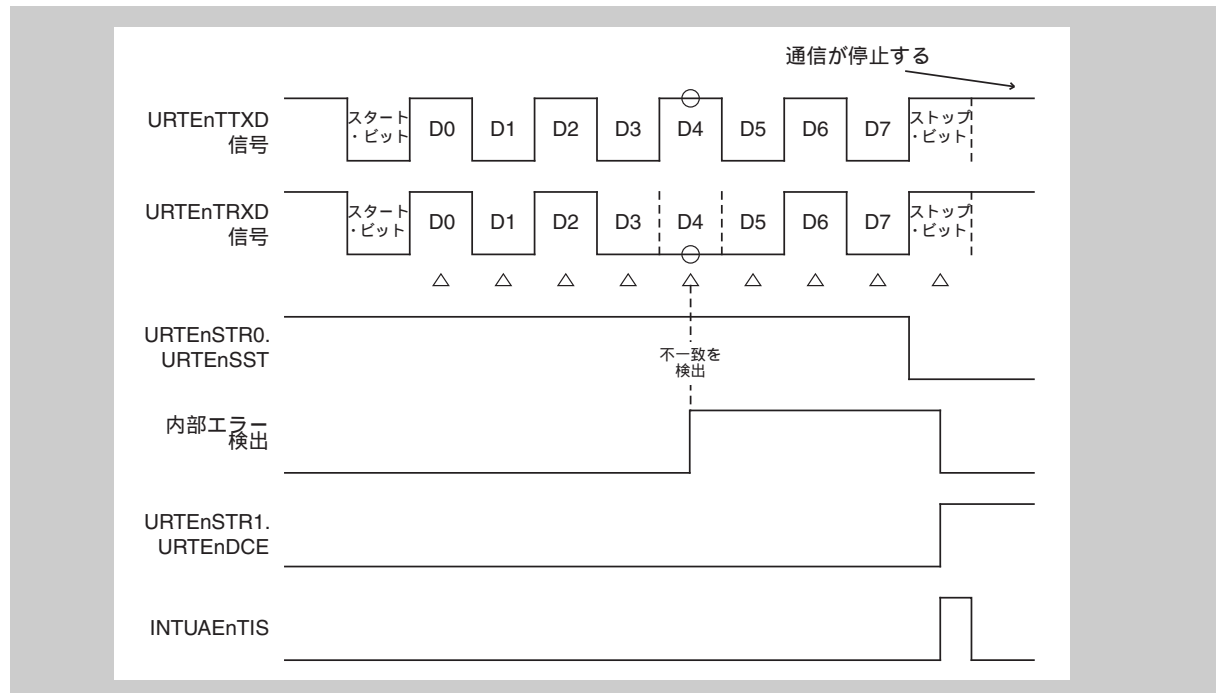


図 19-12 データ一貫性エラーのタイミング例 (URTEnSTR0.URTEnSSBR = 0 で BF 受信禁止時)

19.6.6 UARTEn 送信

送信の開始 次の手順に従って送信許可状態を設定します。

- UARTEn 制御レジスタ 2 の URTEnCTL2 でポー・レートを指定します。
- UARTEn 制御レジスタ 1 の URTEnCTL1 で、送信パリティ、データ・キャラクタ長、ストップ・ビット長、送信データ順序、送信割り込み要求タイミング、および出力論理レベルを指定します。
- URTEnCTL0.URTEnPW と URTEnCTL0.URTEnTXE をセット (1) して、UARTEn の動作と送信を許可します。

送信バッファ・レジスタ URTEnTX に送信データを書き込んで送信を開始します。URTEnTX 内に保存されたデータは送信シフト・レジスタ URTEnTXS へ転送されます。データ・フレームにスタート・ビット、パリティ・ビット、ストップ・ビットを追加し、URTEnTTXD を介してシリアル出力します。

送信の停止 URTEnCTL0.URTEnPW または URTEnCTL0.URTEnTXE が 0 に設定されると、送信処理中であっても、ただちに送信動作を停止します。

BF とデータの同時送信 BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。

データ一貫性チェック データ一貫性エラーを検出すると、URTEnCLDC = 1、URTEnPW = 0、または URTEnTXE = 0 が設定されるまで後続データは送信されません。

INTUAEnTIT の発生タイミング 送信割り込み INTUAEnTIT の発生タイミングは、URTEnCTL1.URTEnSLIT の設定に依存します。

- URTEnCTL1.URTEnSLIT = 0 の場合 :
INTUAEnTIT は送信開始時 (データ・レジスタ URTEnTX から送信シフト・レジスタへのデータ転送) に発生します。
- URTEnCTL1.URTEnSLIT = 1 の場合 :
INTUAEnTIT は全データの送信処理完了時 (データ・フレームの最終ビット送信時) に発生します。

INTUAEnTIT が発生すると、次のデータを URTEnTX に書き込むことができますようになります。

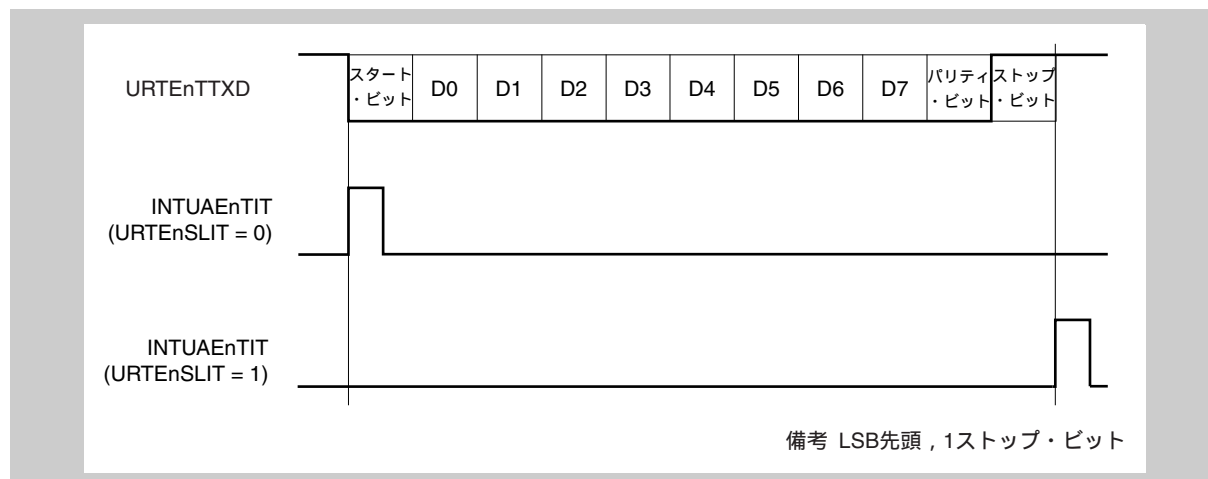


図 19-13 送信割り込み発生タイミング

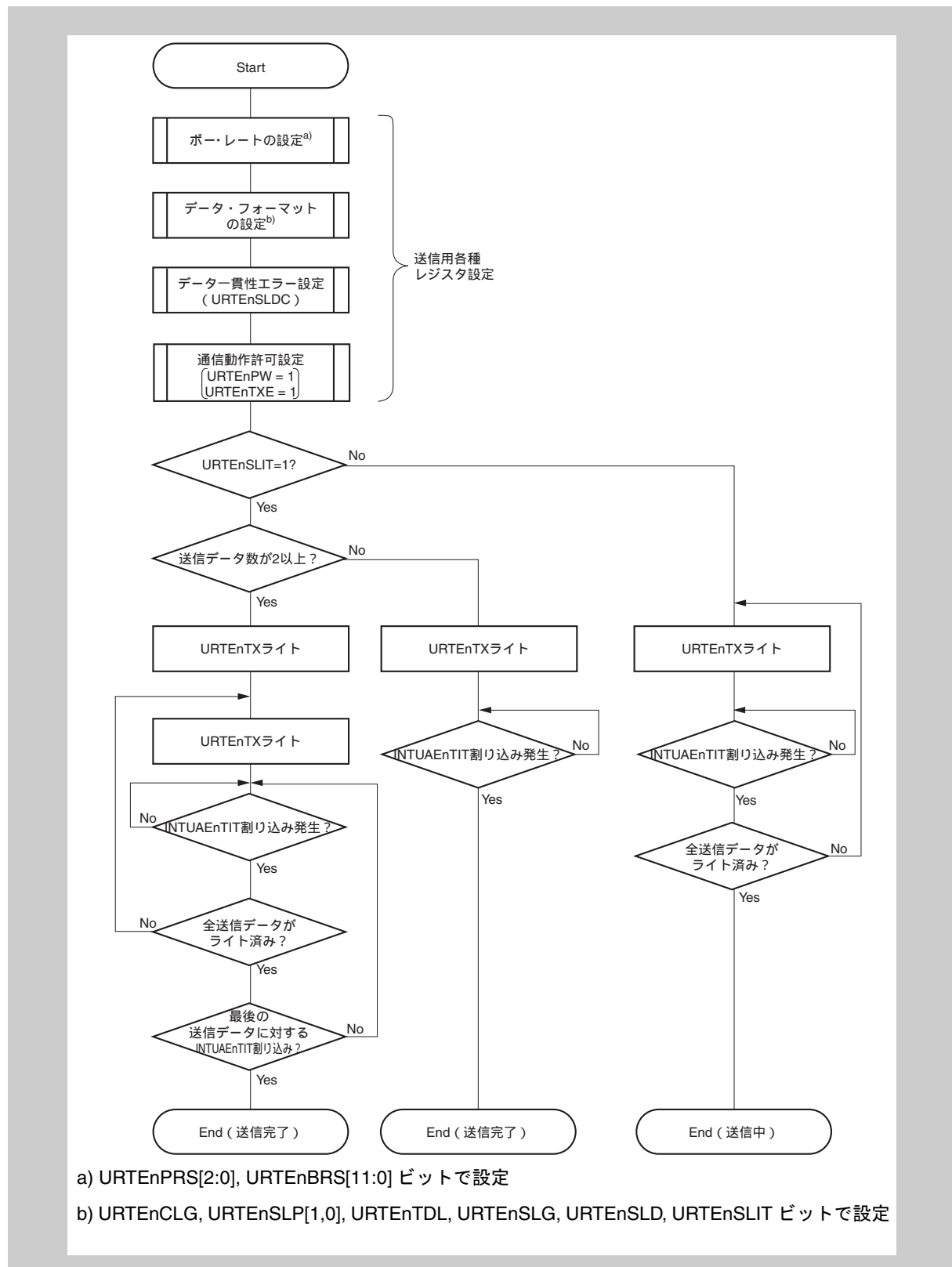


図 19-14 データ送信のフロー

19.6.7 連続送信の手順

送信シフト・レジスタからのデータ転送中に、次の送信データを送信データ・レジスタ URTE_nTX へ書き込むことで連続送信を実行できます。

備考 正しい書き込みタイミングを維持するため、それぞれの送信開始 (URTE_nCTL1.URTE_nSLIT = 0) 時に送信割り込み INTUAEnTIT を発生させる必要があります。

注意 INTUAEnTIT が発生する前に URTE_nTX レジスタへ値を書き込んだ場合、前に設定された送信データは新しい送信データによって上書きされます。送信ユニットを初期化する際には、送信中でない (URTE_nSTR0.URTE_nSSBT = URTE_nSST = 0) ことを確認してください。送信中に初期化が行なわれた場合、その送信は中止されます。

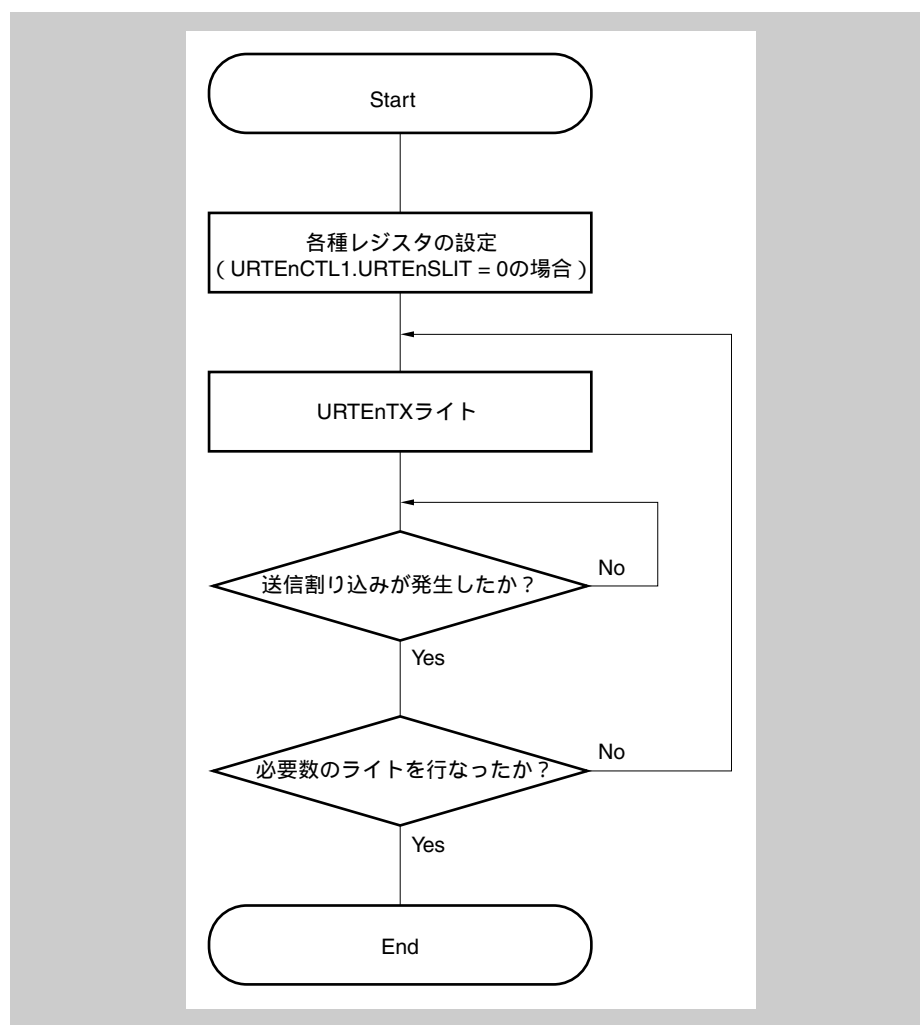


図 19-15 連続送信の手順フロー

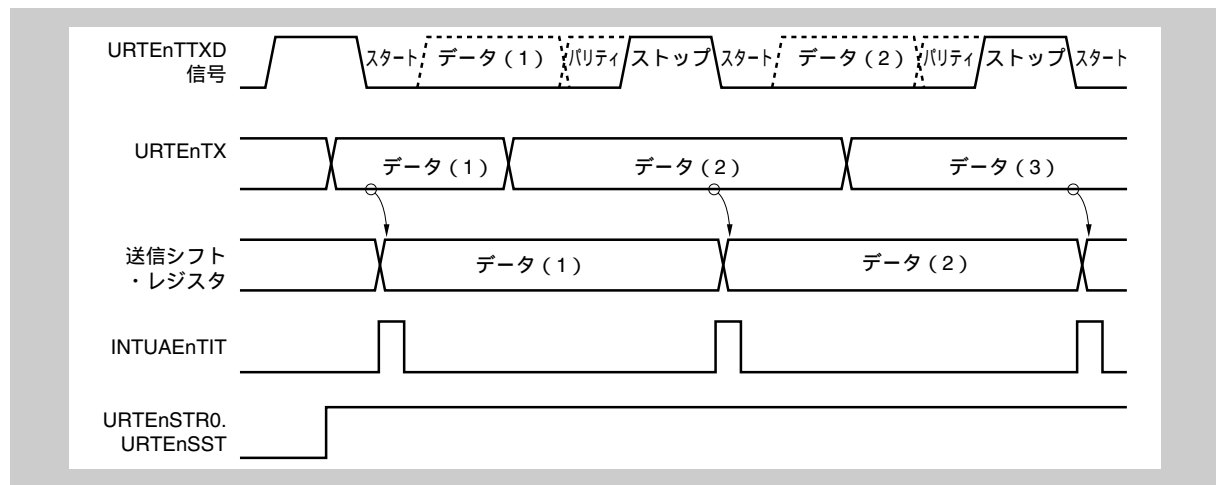


図 19-16 連続送信動作タイミング (送信開始時)

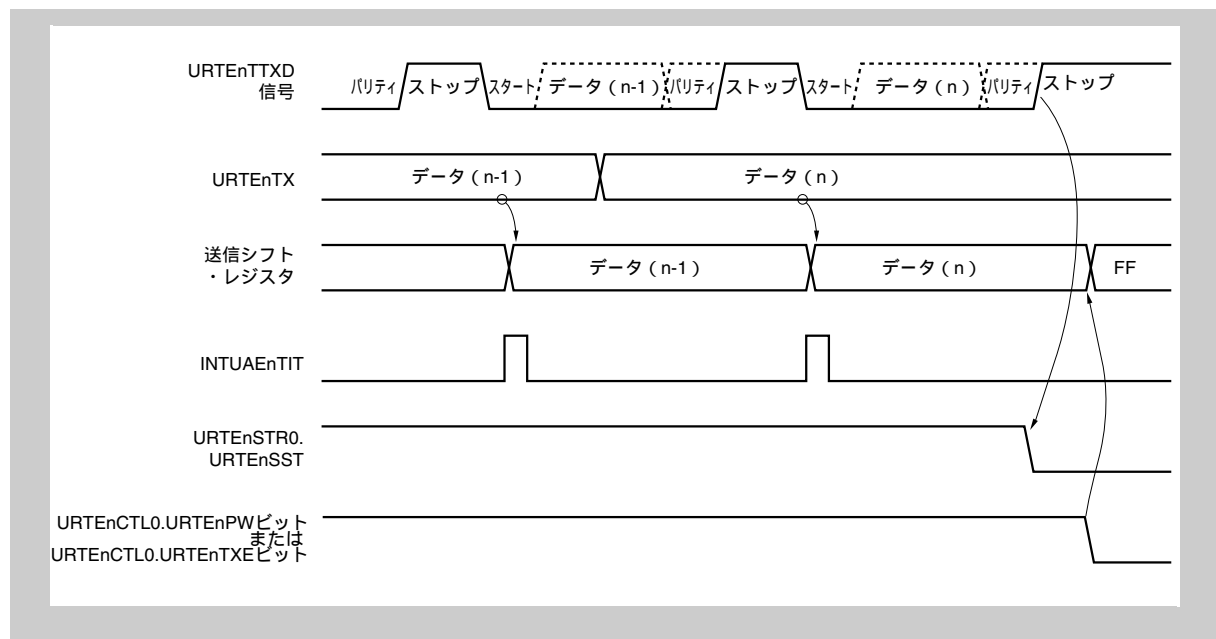


図 19-17 連続送信動作タイミング (送信終了時)

19.6.8 UARTEn 受信

受信の開始 次の手順に従って受信許可状態を設定します。

- URTEnCTL2 レジスタでボー・レートを指定します。
- URTEnCTL1 レジスタで、受信パリティ、データ・キャラクタ長、ストップ・ビット長、受信データ順序、および出力論理レベルを指定します。
- URTEnCTL0.URTEnPW と URTEnCTL0.URTEnRXE をセット (1) して、UARTEn の動作と受信を許可します。

URTEnTRXD 端子の入力レベルの立ち下がリエッジを検出すると URTEnTRXD 入力のデータをサンプリングします。立ち下がリエッジを検出してから半ビット分の時間が経過したあと、URTEnTRXD 信号がロウ・レベルになると、スタート・ビットが認識されます (次の図を参照)。スタート・ビットが認識されると、受信動作を開始し、設定されたボー・レートに従ってシリアル・データを受信シフト・レジスタに格納していきます。ストップ・ビットを受信したら、受信割り込み INTUAEnTIR を発生し、受信シフト・レジスタに格納されたデータを受信データ・レジスタ URTEnRX に書き込みます。

受信の停止 URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE が 0 に設定されると、受信処理中であっても、ただちに受信動作を停止します。

受信エラー オーバラン・エラーが発生 (URTEnSTR1.URTEnOVE = 1) した場合は、そのときの受信データは URTEnRX に転送されず、破棄されます。

受信中にパリティ・エラー (URTEnSTR1.URTEnPE = 1) またはフレーミング・エラー (URTEnSTR1.URTEnFE = 1) が発生しても、最初のストップビットまでは受信を継続し、受信データを URTEnRX へ転送します。

受信エラーが発生した場合、受信割り込み INTUAEnTIR ではなくステータス割り込み INTUAEnTIS および受信/ステータス割り込み INTUAEnTRA が発生します。

受信データ順序、パリティ、データ・キャラクタ長、またはストップ・ビット長を変更する場合は、パワー・ビットをクリア (URTEnCTL0.URTEnPW = 0) したあとに行います。

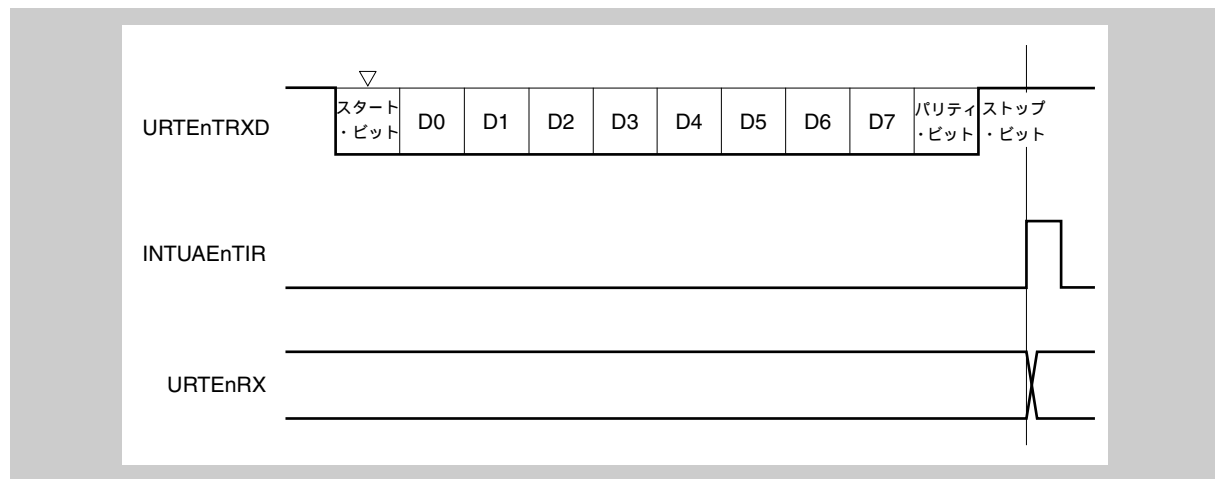


図 19-18 UARTEn の受信

- 注意**
1. 受信エラー発生時にも、URTEnRX レジスタは必ずを読み出してください。URTEnRX レジスタを読み出さないと、次のデータ受信中にオーバラン・エラーが発生します。
 2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2 ビット目のストップ・ビットは無視されます。
 3. 受信完了後は、受信割り込み INTUAEnTIR が発生したあとに URTEnRX レジスタを読み出し、URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE をクリア (0) してください。INTUAEnTIR が発生する前に URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE0 をクリア (0) した場合、URTEnRX レジスタからの読み出し値は保証されません。
 4. 受信完了処理 (INTUAEnTIR 割り込み発生) と URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE のクリア (0) が同時に起こった場合、URTEnRX レジスタにデータが格納されていないにもかかわらず INTUAEnTIR が発生することがあります。

- 備考**
1. URTEnTRXD 端子への入力が常にロウ・レベルの場合、その入力はスタート・ビットとして見なされません。
 2. 連続受信では、最初の受信ビットでストップ・ビットが検出 (受信割り込み発生) された直後に次のスタート・ビットが検出されることがあります。

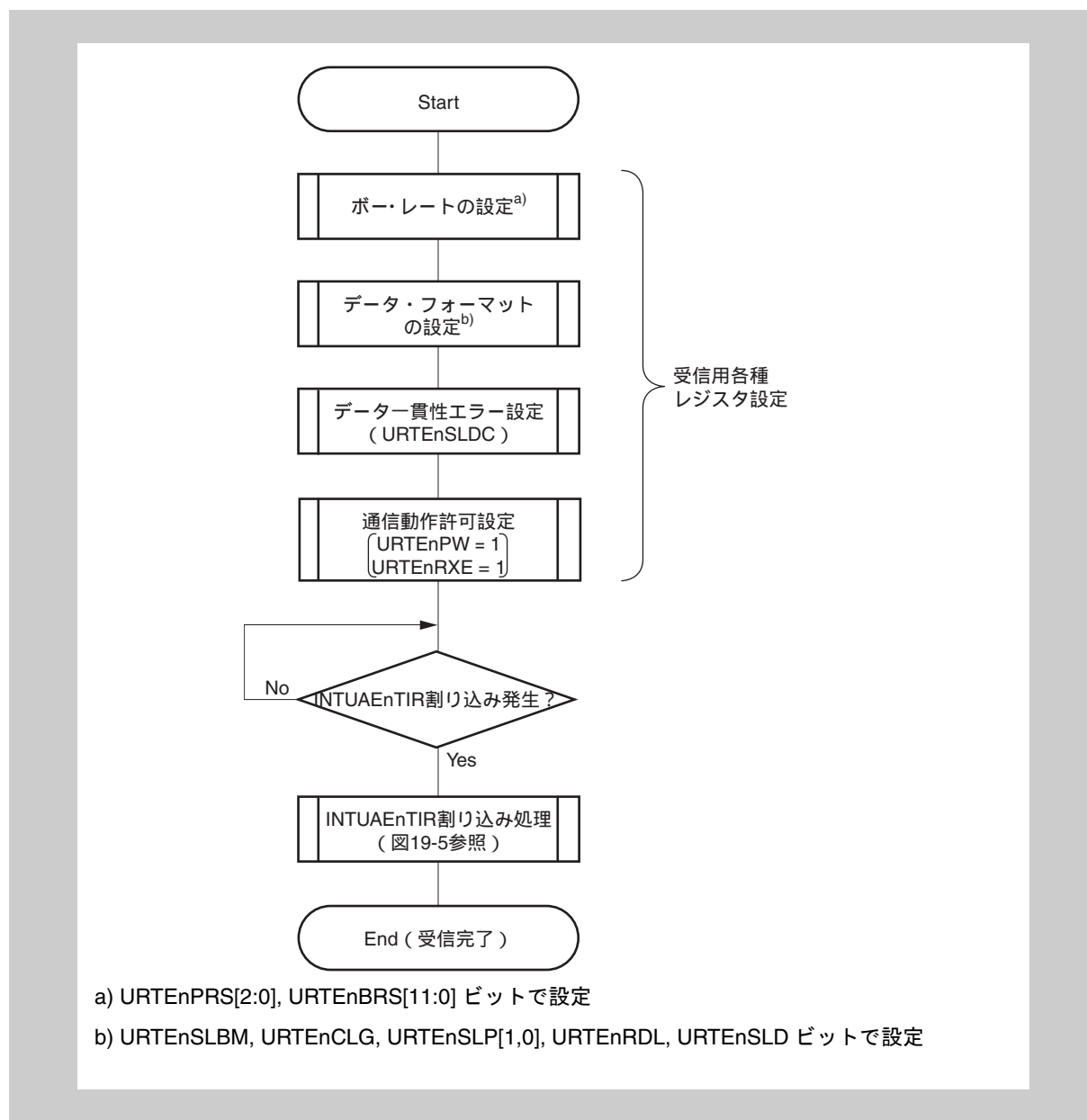


図 19-19 データ受信のフロー (URTEenSLBM = 0, URTEenSSBR = 0)

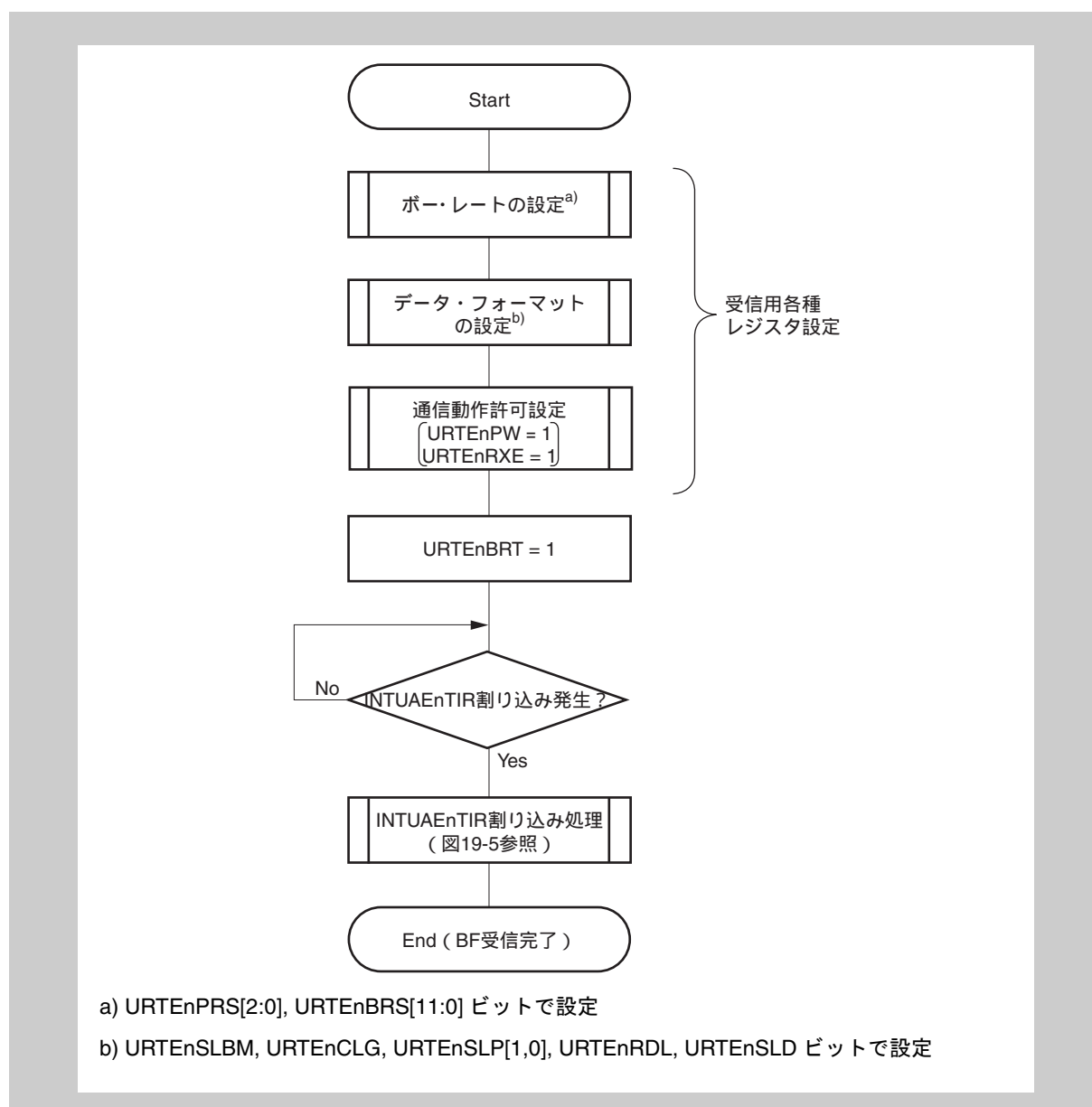


図 19-20 データ受信のフロー (URTEnSLBM = 0, URTEnSSBR = 1)

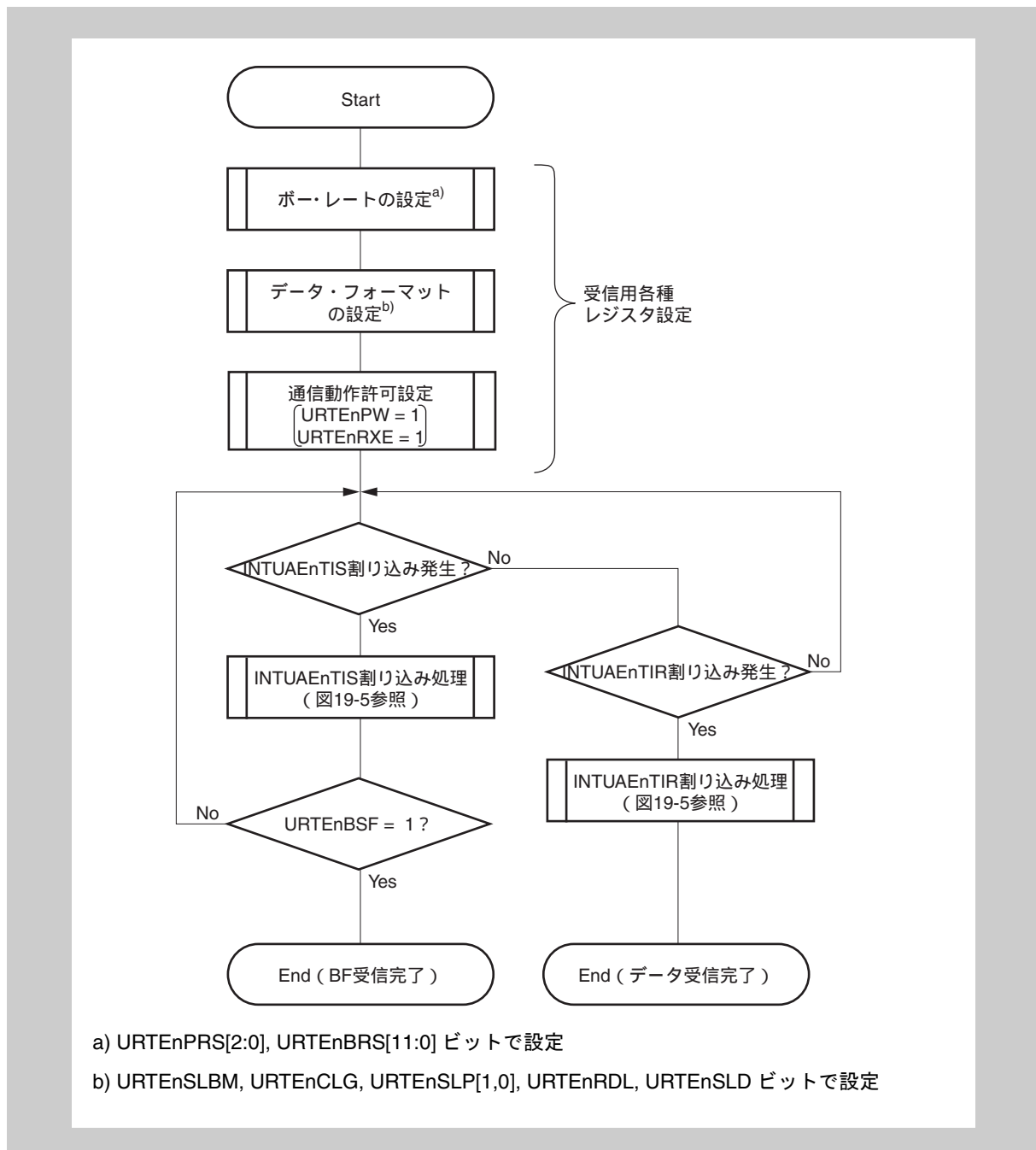


図 19-21 データ受信のフロー (URTEnSLBM = 1, URTEnSSBR = 0)

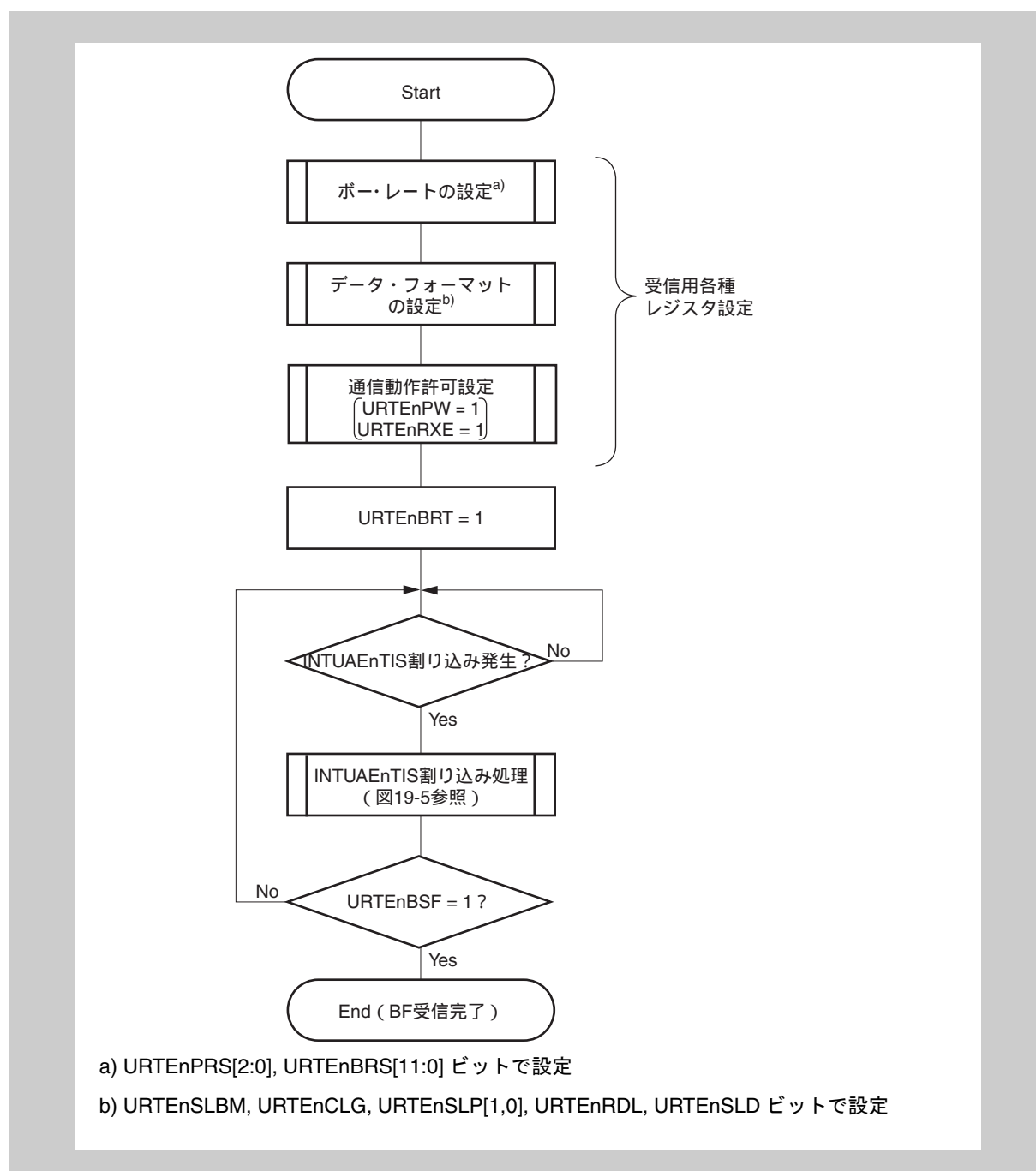


図 19-22 データ受信のフロー (URTEnSLBM = 1, URTEnSSBR = 1)

19.6.9 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。URTEnSTR1レジスタにはいくつかのデータ受信結果エラー・フラグが用意されており、エラーが発生するとステータス割り込み要求信号 INTUAE nTIS が発生します。

URTEnSTR1レジスタの内容を読み出すことによって、受信時にどのエラーが発生したのかを検出することができます。

受信エラー・フラグは、ステータス・クリア・レジスタ URTEnSTC 内の対応ビットをセット (1) することでクリア (0) できます。

表 19-16 受信エラーの要因

URTEnSTR1 内の エラー・フラグ	受信エラー	要因
URTE nPE	パリティ・エラー	受信パリティ・ビットが設定と一致しない
URTE nFE	フレーミング・エラー	ストップ・ビットが検出されない
URTE nOVE	オーバーラン・エラー	受信バッファからデータを読み出す前に次のデータの受信が完了した

備考 パリティ・エラーまたはフレーミング・エラーが発生した場合であっても、受信シフト・レジスタから受信データ・レジスタ URTE nRX へデータが転送されます。したがって、URTE nRX からデータを読み出す必要があります。読み出しを行わない場合、次のデータの受信時にオーバーラン・エラー (URTE nSTR1.URTE nOVE = 1) が発生します。

オーバーラン・エラーが発生した場合、受信シフト・レジスタのデータは URTE nRX へ転送されないため、前のデータは上書きされません。

19.6.10 パリティの種類と動作

注意 LIN機能を使用するときは、URTECTL1.URTEenSLP[1:0]を00_Bに固定してください。

パリティ・ビットは通信データ内のビット・エラーを検出するために使用されます。通常は、送信側と受信側で同じパリティが使用されます。

偶数パリティと奇数パリティの場合は、奇数カウント・ビット・エラーを検出することができます。0パリティとパリティなしの場合は、エラーを検出できません。

(1) 偶数パリティ

- 送信中：
パリティ・ビットを含めた送信データ中の、値が1のビット数が偶数個になるように制御します。パリティ・ビットの値は次のようになります。
 - 送信データ中に、値が1のビット数が奇数個：1
 - 送信データ中に、値が1のビット数が偶数個：0
- 受信中：
パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(2) 奇数パリティ

- 送信中：
偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が1のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。
 - 送信データ中に、値が1のビット数が奇数個：0
 - 送信データ中に、値が1のビット数が偶数個：1
- 受信中：
パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(3) 0パリティ

送信中、送信データに関係なくパリティ・ビットを常に0にします。

受信時にはパリティ・ビットのチェックを行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーが発生しません。

(4) パリティなし

送信データにパリティ・ビットを追加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

19.6.11 デジタル受信データ・ノイズ・フィルタ

受信データ信号入力 URTEnTRXD は、ノイズやヒゲを除去するデジタル・ノイズ・フィルタを備えています。

このフィルタはプリスケアラ出カクロック PRSCLK を使用して URTEnTRXD 端子信号をサンプリングします。

サンプリング値が同じ値を 2 回取ると、URTEnTRXD 信号は有効入力データと見なされます。

したがって、データ幅が 1 プリスケアラ出カクロック未満のデータはノイズと判断され、除去されます。

ノイズ・フィルタを使用すると、シリアル・データ URTEnTRXD をキャプチャするときに、キャプチャしたデータを有効と見なして転送するまで、プリスケアラ出カクロック PRSCLK の 4 サイクル分の遅延が発生します。

19.7 ボー・レート・ジェネレータ

送受信のボー・レート・クロック BRCLK は、プリスケアラとボー・レート・ジェネレータを使用して P バス・クロック PCLK から生成されます（次の図参照）。

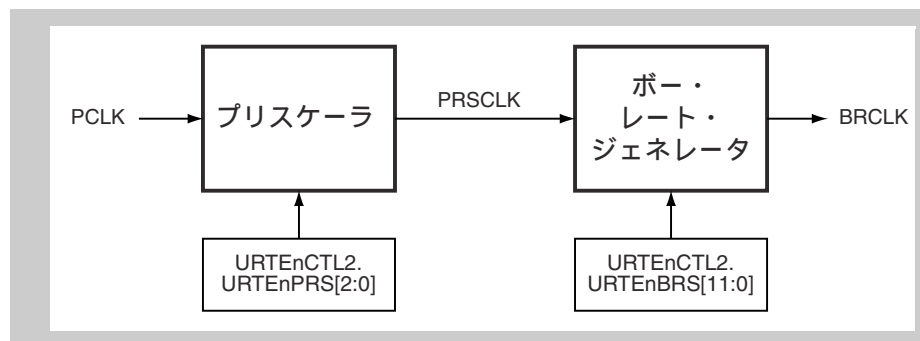


図 19-23 ボー・レート・ジェネレータの構成

プリスケアラ出力クロック PRSCLK は PCLK を分子とする分数であり、分母は URTEnCTL2.URTEnPRS[2:0] の設定によって決定されます。

$$\text{PRSCLK} = \text{PCLK} / 2^{\text{URTEnPRS}[2:0]}$$

ボー・レート・ジェネレータは、URTEnCTL2.URTEnBRS[11:0] の設定によって決定される値で PRSCLK をさらに分周します。

ボー・レート・ジェネレータは、データ・フレーム用のボー・レートと BF 受信のボー・レートを次の表のように区別します。BF 受信クロックは、ボー・レート・クロック BRCLK の 2 倍です。

表 19-17 ボー・レート・ジェネレータ・クロック出力

URTEnCTL2. URTEnBRS[11:0]	送受信用 BRCLK	BF 受信クロック
000 _H	PRSCLK / (2 x 4)	PRSCLK / 4
001 _H		
002 _H		
003 _H		
004 _H		
005 _H	PRSCLK / (2 x 5)	PRSCLK / 5
...	PRSCLK / (2 x URTEnBRS[11:0])	PRSCLK / URTEnBRS[11:0]
FFE _H	PRSCLK / (2 x 4094)	PRSCLK / 4094
FFF _H	PRSCLK / (2 x 4095)	PRSCLK / 4095

表 19-18 ポー・レート・ジェネレータ設定例

ポー・レート	$f_{XX} = 200 \text{ MHz}$			$f_{XX} = 192 \text{ MHz}$			$f_{XX} = 160 \text{ MHz}$			$f_{XX} = 144 \text{ MHz}$		
	$f_{PCLK} = 66.667 \text{ MHz}$			$f_{PCLK} = 64.000 \text{ MHz}$			$f_{PCLK} = 53.333 \text{ MHz}$			$f_{PCLK} = 48.000 \text{ MHz}$		
	URTE _n PRS [2:0]	URTE _n BRS [11:0]	ERR [%]	URTE _n PRS [2:0]	URTE _n BRS [11:0]	ERR [%]	URTE _n PRS [2:0]	URTE _n BRS [11:0]	ERR [%]	URTE _n PRS [2:0]	URTE _n BRS [11:0]	ERR [%]
300	5	3472	0.01	5	3333	0.01	5	2778	-0.01	5	2500	0.00
600	4	3472	0.01	4	3333	0.01	4	2778	-0.01	4	2500	0.00
1200	3	3472	0.01	3	3333	0.01	3	2778	-0.01	3	2500	0.00
2400	2	3472	0.01	2	3333	0.01	2	2778	-0.01	2	2500	0.00
4800	1	3472	0.01	1	3333	0.01	1	2778	-0.01	1	2500	0.00
9600	0	3472	0.01	0	3333	0.01	0	2778	-0.01	0	2500	0.00
14400	0	2315	-0.01	0	2222	0.01	0	1852	-0.01	0	1667	-0.02
19200	0	1736	0.01	0	1667	-0.02	0	1389	-0.01	0	1250	0.00
31250	0	1067	-0.03	0	1024	0.00	0	853	0.04	0	768	0.00
38400	0	868	0.01	0	833	0.04	0	694	0.06	0	625	0.00
57600	0	579	-0.05	0	556	-0.08	0	463	-0.01	0	417	-0.08
76800	0	434	0.01	0	417	-0.08	0	347	0.06	0	313	-0.16
115200	0	289	0.12	0	278	-0.08	0	231	0.21	0	208	0.16
153600	0	217	0.01	0	208	0.16	0	174	-0.22	0	156	0.16
312500	0	107	-0.31	0	102	0.39	0	85	0.39	0	77	-0.26
1000000	0	33	1.01	0	32	0.00	0	27	-1.23	0	24	0.00
2000000	0	17	-1.96	0	16	0.00	0	13	2.56	0	12	0.00
3000000	0	11	1.01	0	11	-3.03	0	9	-1.23	0	8	0.00
4000000	-	-	-	0	8	0.00	-	-	-	0	6	0.00
6000000	-	-	-	-	-	-	-	-	-	0	4	0.00
8000000	-	-	-	0	4	0.00	-	-	-	-	-	-
8333333	0	4	0.00	-	-	-	-	-	-	-	-	-

第20章 アシクロナス・シリアル・インタフェースJ (UARTJn)

この章では、アシクロナス・シリアル・インタフェースJ全般について説明します。

第1節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/MN4に固有のすべての特性について説明します。

それ以降の節では、すべての実装に共通の特徴について説明します。

20.1 V850E2/MN4 UARTJn の機能

チャンネル数 この製品は4チャンネルのアシクロナス・シリアル・インタフェースJ (UARTJn) を搭載しています。

表 20-1 UARTJn のチャンネル

アシクロナス・シリアル・インタフェースJ	
チャンネル数	4
名称	UARTJ0-UARTJ3

n の意味 この章では、アシクロナス・シリアル・インタフェースJの各チャンネルを「n」で識別します (n=0-3)。たとえば、UARTJn 制御レジスタ0 (URTJnCTL0) とのように記述しています。

注意 V850E2/MN4 の UARTJ では LIN 機能をサポートしてません。

レジスタ・アドレス UARTJn のレジスタ・アドレスは、ベース・アドレス <URTJn_base_OS> および <URTJn_base_USER> からのオフセットで表されます。各 UARTJn のレジスタ・ベース・アドレス <URTJn_base_OS> および <URTJn_base_USER> を次の表に示します。

表 20-2 レジスタ・ベース・アドレス

UARTJn のチャンネル	ベース・アドレス	アドレス
UARTJ0	<URTJn_base_OS>	FF5C 0000 _H
	<URTJn_base_USER>	FFFF EA00 _H
UARTJ1	<URTJn_base_OS>	FF5D0000 _H
	<URTJn_base_USER>	FFFF EB00 _H
UARTJ2	<URTJn_base_OS>	FF5E0000 _H
	<URTJn_base_USER>	FFFF EC00 _H
UARTJ3	<URTJn_base_OS>	FF5F0000 _H
	<URTJn_base_USER>	FFFF ED00 _H

クロック供給 UARTJnには次の1つのクロック入力があります。UARTJnはPバス・クロック f_{PCLK} に接続しています。

表 20-3 UARTJn のクロック供給

UARTJn のチャンネル	UARTJn のクロック	接続先
UARTJ0-UARTJ3	PCLK	f_{PCLK}

I/O 信号 UARTJ の入出力信号を以下の表に示します。

表 20-4 UARTJn の I/O 信号

UARTJn の信号	機能	接続先
URTJnTTXD	送信データ出力	ポート TXDnF
URTJnTRXD	受信データ入力	ポート RXDnF

割り込み UARTJ の割り込みを次の表に示します。

表 20-5 UARTJn の割り込み

UARTJn の信号	機能	接続先
UARTJ0		
INTUAJ0TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 145 (INTCSIH0IC) DTS コントローラ・トリガ 109
INTUAJ0TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 144 (INTCSIH0IR) DTS コントローラ・トリガ 108
INTUAJ0TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 143 (INTCSIH0IRE)
UARTJ1		
INTUAJ1TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 149 (INTCSIH1IC) DTS コントローラ・トリガ 112
INTUAJ1TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 148 (INTCSIH1IR) DTS コントローラ・トリガ 111
INTUAJ1TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 147 (INTCSIH1IRE)
UARTJ2		
INTUAJ2TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 153 (INTCSIH2IC) DTS コントローラ・トリガ 115
INTUAJ2TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 152 (INTCSIH2IR) DTS コントローラ・トリガ 114
INTUAJ2TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 151 (INTCSIH2IRE)
UARTJ3		
INTUAJ3TIT	送信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 157 (INTCSIH3IC) DTS コントローラ・トリガ 118
INTUAJ3TIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 156 (INTCSIH3IR) DTS コントローラ・トリガ 117
INTUAJ3TIS	ステータス割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 155 (INTCSIH3IRE)

20.2 機能の概要

- 内蔵の受信 FIFO と送信 FIFO を介した全二重通信
 - UARTJn 10 ビット×16 受信データ FIFO 内蔵 (URTJnFRX)
 - UARTJn 8 ビット×16 送信データ FIFO 内蔵 (URTJnFTX)
- 2 端子構成：
 - URTJnTTXD：送信データ出力端子
 - URTJnTRXD：受信データ入力端子
- 豊富なエラー検出機能
 - 受信パリティ・エラー
 - 受信フレーミング・エラー
 - 送信データ一貫性エラー
- 送信 FIFO オーバフロー・エラー
 - 受信 FIFO オーバラン・エラー
 - 受信タイムアウト・エラー
 - 受信 BF 受信エラー
- 豊富な FIFO ステータス情報
 - 受信 FIFO フル/エンプティ・ステータス
 - 送信 FIFO フル/エンプティ・ステータス
 - 受信 FIFO 格納データ数
 - 送信 FIFO 格納データ数
- 割り込み要求：3 種類
 - 送信割り込み INTUAJnTIT
 - 受信割り込み INTUAJnTIR
 - ステータス割り込み INTUAJnTIS
- キャラクタ長：7, 8 ビット
- パリティ機能：奇数, 偶数, 0, なし
- 送信ストップ・ビット：1, 2 ビット
- MSB ファースト/LSB ファーストを切り換え可能
- 送信/受信データの出力/入力の反転が可能
- LIN (Local Interconnect Network) 通信フォーマットの BF (ブレーク・フィールド) を 13 ~ 20 ビットに設定可能
 - LIN 通信フォーマットの BF 受信で 11 ビット以上を認識可能
 - BF 受信フラグあり
- データ通信中に BF 受信の検出が可能
- 送信データのデータ一貫性を保つバス・モニタ機能

20.3 構成

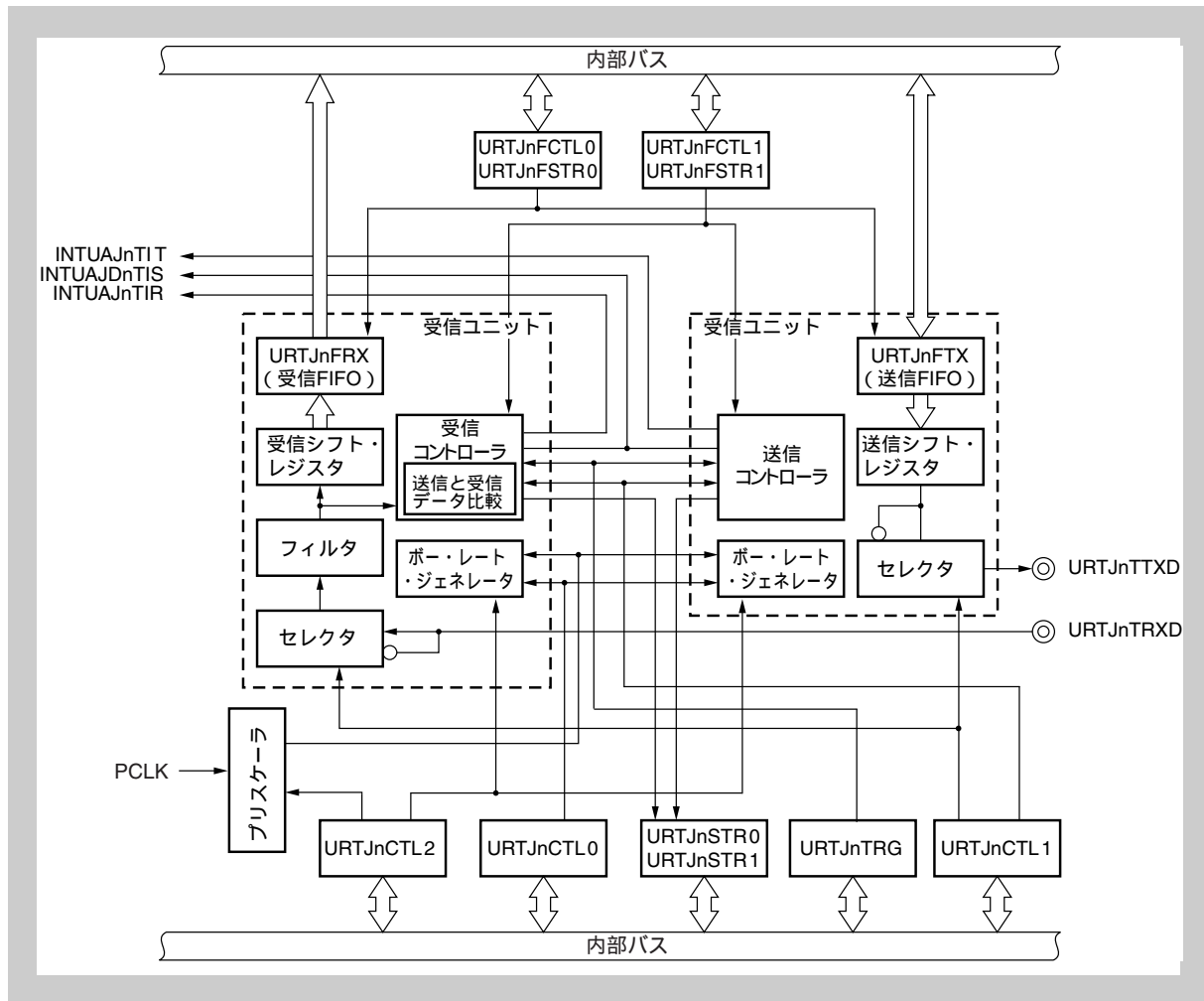


図 20-1 アシクロナス・シリアル・インタフェース UARTJn のブロック図

20.4 UARTJn レジスタ

UARTJn は、次のレジスタによって制御、動作します。

表 20-6 UARTJn レジスタ

レジスタの機能	名称	アドレス
制御レジスタ 0	URTJnCTL0	<URTJn_base_USER> + 00 _H
制御レジスタ 1	URTJnCTL1	<URTJn_base_OS> + 20 _H
制御レジスタ 2	URTJnCTL2	<URTJn_base_OS> + 24 _H
トリガ・レジスタ	URTJnTRG	<URTJn_base_USER> + 04 _H
ステータス・レジスタ 0	URTJnSTR0	<URTJn_base_USER> + 08 _H
ステータス・レジスタ 1	URTJnSTR1	<URTJn_base_USER> + 0C _H
ステータス・クリア・レジスタ	URTJnSTC	<URTJn_base_USER> + 10 _H
FIFO 制御レジスタ 0	URTJnFCTL0	<URTJn_base_USER> + 80 _H
FIFO 制御レジスタ 1	URTJnFCTL1	<URTJn_base_OS> + 1020 _H
FIFO ステータス・レジスタ 0	URTJnFSTR0	<URTJn_base_USER> + 84 _H
FIFO ステータス・レジスタ 1	URTJnFSTR1	<URTJn_base_USER> + 88 _H
FIFO ステータス・クリア・レジスタ	URTJnFSTC	<URTJn_base_USER> + 8C _H
FIFO 受信データ・レジスタ	URTJnFRX	<URTJn_base_USER> + 90 _H
FIFO 送信データ・レジスタ	URTJnFTX	<URTJn_base_USER> + 94 _H

ベース・アドレス UARTJn のレジスタ・ベース・アドレスは、この章の最初の節内「レジスタ・アドレス」で定義しています。

(1) URTJnCTL0 — UARTJn 制御レジスタ 0

UARTJn のシリアル転送動作を制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <URTJn_base_USER> + 00_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTJn PW	URTJn TXE	URTJn RXE	0	0	0	0	URTJn SLDC
R/W	R/W	R/W	R	R	R	R	R/W

表 20-7 URTJnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	URTJnPW	UARTJn イネーブル 0: UARTJn の動作を停止させます。 1: UARTJn の動作を許可します。 このビットを変更すると、すべての送信ユニットと受信ユニットが初期化されます。
6	URTJnTXE	送信動作イネーブル 0 送信動作を禁止します。 1 送信動作を許可します。 <ul style="list-style-type: none"> 送信を開始するには、URTJnPW をセット (1) したあと、URTJnTXE をセット (1) します。送信を停止するには、URTJnTXE をクリア (0) したあと、URTJnPW を 0 にクリア (0) します (URTJnTXE と URTJnPW ビットを同時にクリア (0) することも可能です)。 送信ユニットを初期化するには、URTJnTXE をクリア (0) し、プリスケラ・クロックの 2 周期分の時間を経過してから、再度 URTJnTXE をセット (1) します (プリスケラ・クロックについては (3) 「URTJnCTL2 — UARTJn 制御レジスタ 2」を参照してください)。
5	URTJnRXE	受信許可 0: 受信動作を禁止 1: 受信動作を許可 <ul style="list-style-type: none"> 受信を許可するには、URTJnPW をセット (1) したあと、URTJnRXE をセット (1) します。受信を停止するには、URTJnRXE をクリア (0) したあと、URTJnPW をクリア (0) します (URTJnRXE と URTJnPW ビットを同時にクリア (0) することも可能です)。 受信ユニットを初期化するには、URTJnRXE を 0 にクリア (0) し、プリスケラ・クロックの 2 周期分の時間を経過してから、再度 URTJnRXE をセット (1) します。URTJnRXE がセット (1) されてからプリスケラ・クロックの 2 周期分の時間を経過してから、受信が許可されます。URTJnRXE がセット (1) されてから 4 プリスケラ・クロック・サイクルが経過すると、URTJnTRXD 信号の立ち上がりエッジの検出が可能になります (プリスケラ・クロックについては (3) 「URTJnCTL2 — UARTJn 制御レジスタ 2」を参照してください)。
0	URTJnSLDC	データチェックの有効/無効 0: 一貫性チェック無効 1: 一貫性チェック有効 データ送信時にデータ一貫性エラー・チェックを有効にするかどうかを選択します。 セット (1) した場合、送信データと受信データの比較を行います。比較の結果不一致が検出されると、URTJnSTR1.URTJnDCE がセット (1) され、ステータス割り込み要求 INTUAJnTIS が発生します。 このビットは送信開始時にのみ参照されます。したがって、このビットの値を送信処理中に変更しても、後続の送信処理は送信開始時の設定に応じて実行されます。

- 注意**
- UARTJn が次の状態をすべて満たす場合、送信を禁止してください。
 - 送受信許可時 (URTJnCTL0.URTJnPW = URTJnRXE = URTJnTXE = 1)
 - データ一貫性チェックが有効 (URTJnCTL0.URTJnSLDC = 1)
 - 送信中、または送信完了状態受信許可状態に保つには、次の手順に従ってください。
 - 保留されている送信がないことを確認します (URTJnSTR0.URTJnSSBT = URTJnSST = 0)。
 - 保留されている受信がないことを確認します (URTJnSTR0.URTJnSSBR = URTJnSSR = 0)。
 - URTJnCTL0.URTJnTXE = 0 を設定して送信を禁止します。この手順を実行するのは、URTJnCTL0.URTJnTXE をクリア (0) することによってデータ一貫性エラー・フラグ URTJnSTR1.URTJnDCE がクリア (0) されるためです。上記手順を実行することによって、データ転送中またはデータ転送完了後に送信を禁止したときにデータ一貫性エラーが発生しなくなります。
 - UARTJn が次の状態をすべて満たす場合、受信を禁止してください。
 - 送受信許可時 (URTJnCTL0.URTJnPW = URTJnRXE = URTJnTXE = 1)
 - データ一貫性チェックが有効 (URTJnCTL0.URTJnSLDC = 1)
 - 送信中、または送信完了状態送信許可状態に保つには、次の手順に従ってください。
 - 保留されている送信がないことを確認します (URTJnSTR0.URTJnSSBT = URTJnSST = 0)。
 - 保留されている受信がないことを確認します (URTJnSTR0.URTJnSSBR = URTJnSSR = 0)。
 - URTJnCTL0.URTJnRXE を 0 に設定して受信を禁止します。この手順を実行するのは、URTJnCTL0.URTJnTXE をクリアするとデータ一貫性エラー・フラグ URTJnSTR1.URTJnDCE がクリアされて無効になるためです。上記手順を実行することによって、すでに送信されたデータに対するデータ一貫性エラーは報告されなくなります。
 - 次の状態をすべて満たす場合、データの送信を開始しないでください。
 - データ一貫性チェックが有効 (URTJnCTL0.URTJnSLDC = 1)
 - BF 受信許可時 (URTJnSTR0.URTJnSSBR = 1)
 - 受信中の BF 検出禁止時 (URTJnCTL1.URTJnSLBM = 0)上記の場合、BF の受信が完了したときにデータ一貫性エラーが発生します。このとき、ステータス割り込み INTUAJnTIS が発生し、BF の受信完了は報告されません (URTJnSTR1.URTJnBSF は 0 を保持)。したがって、BF の受信完了は認識されません。

(2) URTJnCTL1 — UARTJn 制御レジスタ 1

UARTJn シリアル・データ転送で使われるデータ・フレームの特性を指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <URTJn_base_OS> + 20_H

初期値 5002_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTJn SLBM	URTJn BLG[2:0]			0	0	0	URTJn CLG
R/W	R/W	R/W	R/W	R	R	R	R/W
7	6	5	4	3	2	1	0
URTJn SLP[1:0]	URTJn TDL	URTJn RDL	0	URTJn SLG	URTJn SLD	URTJn SLIT	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 20-8 URTJnCTL1 レジスタの内容 (1/3)

ビット位置	ビット名	機能																																				
15	URTJnSLBM	BF 受信モード選択 0: データ受信中の BF の受信を禁止します。 1: データ受信中の BF の受信を許可します。 • このビットは、受信禁止時 (URTJnCTL0.URTJnPW = 0 または URTEnCTL0.URTEnRXE = 0) にのみ変更できます。																																				
14 ~ 12	URTJn BLG[2:0]	送信中の BF ビット長 <table border="1"> <thead> <tr> <th>URTJnBLG2</th> <th>URTJnBLG1</th> <th>URTJnBLG0</th> <th>BF 長</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>1</td> <td>13 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>14 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>15 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>17 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>18 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>19 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>20 ビット</td> </tr> </tbody> </table> これらのビットは、送信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0) にのみ変更できます。	URTJnBLG2	URTJnBLG1	URTJnBLG0	BF 長	1	0	1	13 ビット	1	1	0	14 ビット	1	1	1	15 ビット	0	0	0	16 ビット	0	0	1	17 ビット	0	1	0	18 ビット	0	1	1	19 ビット	1	0	0	20 ビット
URTJnBLG2	URTJnBLG1	URTJnBLG0	BF 長																																			
1	0	1	13 ビット																																			
1	1	0	14 ビット																																			
1	1	1	15 ビット																																			
0	0	0	16 ビット																																			
0	0	1	17 ビット																																			
0	1	0	18 ビット																																			
0	1	1	19 ビット																																			
1	0	0	20 ビット																																			
8	URTJnCLG	受信／送信データ・ビット長 0: 7 ビット 1: 8 ビット • LIN フォーマットで送信／受信を行うときは、URTJnCLG をセット (1) してください。 • このビットは、送受信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE = 0, URTJnCTL0.URTJnTXE = 0) にのみ変更できます。																																				

表 20-8 URTJnCTL1 レジスタの内容 (2/3)

ビット位置	ビット名	機能																						
7, 6	URTJnSLP[1:0]	パリティ・ビット選択 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th rowspan="2">URTJnSLP1</th> <th rowspan="2">URTJnSLP0</th> <th colspan="2">動作</th> </tr> <tr> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティ・ビットなしで出力</td> <td>パリティなしで受信</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティを出力 (0に固定)</td> <td>パリティを判定しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを出力</td> <td>奇数パリティとして判定を行う</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを出力</td> <td>偶数パリティとして判定を行う</td> </tr> </tbody> </table> <ul style="list-style-type: none"> • 受信中に「パリティを判定しない」を選択すると、パリティ・チェックは行われません。したがって、URTJnSTR1.UTREnPE ビットがセット (1) されないため、エラー割り込みは出力されません。 • LIN フォーマットで送信／受信を行うときは、URTJnSLP[1:0] を 00_B にセットしてください。 • これらのビットは、送受信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE, URTJnCTL0.URTJnTXE = 0) にも変更できません。 	URTJnSLP1	URTJnSLP0	動作		送信	受信	0	0	パリティ・ビットなしで出力	パリティなしで受信	0	1	0パリティを出力 (0に固定)	パリティを判定しない	1	0	奇数パリティを出力	奇数パリティとして判定を行う	1	1	偶数パリティを出力	偶数パリティとして判定を行う
URTJnSLP1	URTJnSLP0	動作																						
		送信	受信																					
0	0	パリティ・ビットなしで出力	パリティなしで受信																					
0	1	0パリティを出力 (0に固定)	パリティを判定しない																					
1	0	奇数パリティを出力	奇数パリティとして判定を行う																					
1	1	偶数パリティを出力	偶数パリティとして判定を行う																					
5	URTJnTDL	送信データ・レベル制御 0: 送信データ出力反転無効 1: 送信データ出力反転有効 <ul style="list-style-type: none"> • このビットを使って URTJnTTXD 端子の出力レベルを反転させることができます。このビットをセット (1) すると、URTJnCTL0.URTJnPW と URTJnCTL0.URTJnTXE の値に関係なく、ただちに URTJnTTXD の出力レベルを反転します。したがって、動作禁止時に URTJnTDL をセット (1) すると、URTJnTTXD はロウ・レベルを出力します。 • このビットは、送信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0) にも変更できません。 																						
4	URTJnRDL	受信データ・レベル制御 0: 受信データ入力反転無効 1: 受信データ入力反転有効 <ul style="list-style-type: none"> • このビットを使って URTJnTRXD 端子の入力レベルを反転させることができます。このビットをセット (1) すると、URTJnCTL0.URTJnPW と URTJnCTL0.URTJnRXE の値に関係なく、ただちに URTJnTRXD の入力レベルを反転します。したがって、動作禁止時に URTJnRDL をセット (1) すると、URTJnTRXD にはロウ・レベルが入力されます。 • このビットは、受信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE = 0) にも変更できません。 																						

表 20-8 URTJnCTL1 レジスタの内容 (3/3)

ビット位置	ビット名	機能
2	URTJnSLG	送信データのストップ・ビット数の選択 0 1ビット 1 2ビット <ul style="list-style-type: none"> データまたはBFの受信時、ストップ・ビット長は常に1として処理されます。 このビットは、送信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0) にのみ変更できます。
1	URTJnSLD	転送方向選択 0: MSB ファースト転送 1: LSB ファースト転送 <ul style="list-style-type: none"> LIN フォーマットで送信/受信を行うときは、URTJnSLD をセット (1) してください。 このビットは、送受信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnRXE, URTJnCTL0.URTJnTXE = 0) にのみ変更できません。
0	URTJnSLIT	送信割り込み要求 (INTUAJnTIT) 発生タイミング選択 0: 送信データが送信シフト・レジスタに格納され、送信を開始する際に INTUAJnTIT を発生します。 1: 送信完了時に INTUAJnTIT を発生します。 <ul style="list-style-type: none"> このビットは、送信禁止時 (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0) にのみ変更できます。

(3) URTJnCTL2 — UARTJn 制御レジスタ 2

UARTJn シリアル・データ転送で使用されるポー・レートを指定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <URTJn_base_OS> + 24_H

初期値 EFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTJnPRS[2:0]			0	URTJnBRS[11:8]			
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
URTJnBRS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20-9 URTJnCTL2 レジスタの内容

ビット位置	ビット名	機能																						
15-13	URTJn PRS[2:0]	プリスケラ・クロック (PRCLK) 分周値 0: PRCLK = PCLK / 2 ⁰ 1: PRCLK = PCLK / 2 ¹ 2: PRCLK = PCLK / 2 ² 3: PRCLK = PCLK / 2 ³ 4: PRCLK = PCLK / 2 ⁴ 5: PRCLK = PCLK / 2 ⁵ 6: PRCLK = PCLK / 2 ⁶ 7: PRCLK = PCLK / 2 ⁷																						
11-0	URTJn BRS[11:0]	ポー・レート・クロック (BRCLK) 分周値 <table border="1"> <thead> <tr> <th>URTJn BRS[11:0]</th><th>送信／受信 BRCLK</th><th>BF 受信クロック</th></tr> </thead> <tbody> <tr> <td>000_H</td><td rowspan="5">PRCLK / (2 x 4)</td><td rowspan="5">PRCLK / 4</td></tr> <tr><td>001_H</td></tr> <tr><td>002_H</td></tr> <tr><td>003_H</td></tr> <tr><td>004_H</td></tr> <tr> <td>005_H</td><td>PRCLK / (2 x 5)</td><td>PRCLK / 5</td></tr> <tr> <td>...</td><td>PRCLK / (2 x URTJnBRS[11:0])</td><td>PRCLK / URTJnBRS[11:0]</td></tr> <tr> <td>FFE_H</td><td>PRCLK / (2 x 4094)</td><td>PRCLK / 4094</td></tr> <tr> <td>FFF_H</td><td>PRCLK / (2 x 4095)</td><td>PRCLK / 4095</td></tr> </tbody> </table>	URTJn BRS[11:0]	送信／受信 BRCLK	BF 受信クロック	000 _H	PRCLK / (2 x 4)	PRCLK / 4	001 _H	002 _H	003 _H	004 _H	005 _H	PRCLK / (2 x 5)	PRCLK / 5	...	PRCLK / (2 x URTJnBRS[11:0])	PRCLK / URTJnBRS[11:0]	FFE _H	PRCLK / (2 x 4094)	PRCLK / 4094	FFF _H	PRCLK / (2 x 4095)	PRCLK / 4095
URTJn BRS[11:0]	送信／受信 BRCLK	BF 受信クロック																						
000 _H	PRCLK / (2 x 4)	PRCLK / 4																						
001 _H																								
002 _H																								
003 _H																								
004 _H																								
005 _H	PRCLK / (2 x 5)	PRCLK / 5																						
...	PRCLK / (2 x URTJnBRS[11:0])	PRCLK / URTJnBRS[11:0]																						
FFE _H	PRCLK / (2 x 4094)	PRCLK / 4094																						
FFF _H	PRCLK / (2 x 4095)	PRCLK / 4095																						

注意 このレジスタは、UARTJn 動作禁止時 (URTJnCTL0.URTJnPW = 0) にのみ書き込み可能です。

PCLK UARTJn 入カクロックの値は、この章の最初の節内「クロック供給」で定義しています。

(4) URTJnTRG — UARTJn トリガ・レジスタ

BF の UARTJn 送信／受信トリガを制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <URTJn_base_USER> + 04_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	URTJn BRT	URTJn BTT	0	0	0	0	0
R	R/W	R/W	R	R	R	R	R

表 20-10 URTJnTRG レジスタの内容

ビット位置	ビット名	機能
6	URTJnBRT	<p>BF 受信トリガ</p> <p>0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。</p> <p>1: BF の受信トリガ</p> <ul style="list-style-type: none"> 受信許可時にこのビットをセット (1) することによって BF の受信を許可し (URTJnSTR0.URTJnSSBR = 1)、受信シリアル信号の立ち下がりエッジ検出によって BF の受信処理を開始します。 受信処理中にこのビットをセット (1) すると、進行中の受信処理が終了します。このとき、受信データは格納されず、受信していたデータに基づいてフレーミング・エラー・ビット、パリティ・エラー・ビット、オーバフロー・エラー・ビットが更新されることもなく、割り込みも発生しません。この間 BF カウンタ値は継続的に使用されます。 BF 受信後は、URTJnCTL1.URTJnSLBM の設定に従って受信ステータスが設定されます。 このビットは、受信許可時 (URTJnCTL0.URTJnPW = URTJnCTL0.URTJnRXE = 1) にのみセット (1) できます。 <p>URTJnBRT がセット (1) されると、URTJnCTL1.URTJnSLBM の設定に応じて、次のいずれかの方法で BF の受信完了が発生します。</p> <ul style="list-style-type: none"> URTJnCTL1.URTJnSLBM = 0 の場合 BF の受信が完了すると、受信割り込み要求 INTUAJnTIR が発生します。 URTJnCTL1.URTJnSLBM = 1 の場合 BF の受信が完了すると、URTJnSTR1.URTJnBSF がセット (1) され、ステータス割り込み要求 INTUAJnTIS が発生します。
5	URTJnBTT	<p>BF 送信トリガ</p> <p>0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。</p> <p>1: BF の送信許可</p> <ul style="list-style-type: none"> URTJnSTR0.URTJnSSBT = 0 かつ送信許可時 (URTJnDCE = 0) にこのビットをセット (1) すると、BF 送信要求が設定され、URTJnSSBT がセット (1) されます。 データ送信中にこのビットをセット (1) すると、現在の送信処理が完了したあとで BF が送信されます。BF の送信が完了する前にこのビットをセット (1) しても、BF は 1 回しか送信されません。 送信許可時 (URTJnPW = URTJnTXE = 1) にこのビットをセット (1) すると、それまでに設定されていた未送信のデータ送信要求はすべてクリア (0) され、BF 送信要求だけが残ります。このビットをセット (1) したあとに URTJnTX7-URTJnTX0 ビットへの書き込みが行われた場合、BF が送信されたあとでデータが送信されます。 送信開始時に BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。 URTJnDCE = 1 の場合は、このビットに 1 を書き込んでも無視されます。 このビットは、送信許可時 (URTJnCTL0.URTJnPW = URTJnCTL0.URTJnTXE = 1) にのみセット (1) できます。

(5) URTJnSTR0 — UARTJn ステータス・レジスタ 0

シリアル・データ送信の現在の状態を示します。

アクセス 8/1 ビット単位でリード可能です。このレジスタは、UARTJn 動作禁止時 (URTJnCTL0.URTJnPW = 0) に書き込み可能です。UARTJn の動作が許可 (URTJnCTL0.URTJnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス

<URTJn_base_USER> + 08_H

初期値 00_H すべてのリセット要因および URTJnCTL0.URTJnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	URTJnSSBR ^a	URTJnSSBT ^b	0	0	0	URTJnSSR ^b	URTJnSST ^b
R	R	R	R	R	R	R	R

a) このビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときにも初期化されます。

b) これらのビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときにも初期化されます

表 20-11 URTJnSTR0 レジスタの内容

ビット位置	ビット名	機能
6	URTJnSSBR	BF 受信許可／禁止状態表示 0: BF 受信禁止状態 1: URTJnTRG.URTJnBRT のセット (1) による BF 受信許可状態 (BF 受信スタンバイ・モードまたは BF 受信ビジー)
5	URTJnSSBT	BF 送信許可／禁止状態表示 0: BF 送信禁止状態 1: URTJnTRG.URTJnBTT のセット (1) による BF 送信許可状態 (BF 送信スタンバイ・モードまたは BF 送信ビジー)
1	URTJnSSR	データ受信状態 0: データ受信処理外 1: データ受信 (データ受信ビジー)
0	URTJnSST	データ送信状態 0: 進行中または保留中の送信なし 1: URTJnTX[7:0] 内データの送信を保留中、または進行中

(6) URTJnSTR1 — UARTJn ステータス・レジスタ 1

シリアル・データ送信の結果を示します。

アクセス 8/1 ビット単位でリード可能です。このレジスタは、UARTJn 動作禁止時 (URTJnCTL0.URTJnPW = 0) に書き込み可能です。UARTJn の動作が許可 (URTJnCTL0.URTJnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

アドレス <URTJn_base_USER> + 0C_H

初期値 00_H すべてのリセット (1) 要因および URTJnCTL0.URTJnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTJn BSF ^a	URTJn DCE ^b	URTJn PE ^a	URTJn FE ^a	0
R	R	R	R	R	R	R	R

a) これらのビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときも初期化されます。

b) このビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときも初期化されます。

表 20-12 URTJnSTR1 レジスタの内容

ビット位置	ビット名	機能
4	URTJnBSF	BF 受信成功フラグ 0: URTJnTRG.URTJnBTT のクリア (0) による BF 送信禁止状態 1: URTJnTRG.URTJnBTT のセット (1) による BF 送信許可状態 (BF 送信スタンバイ・モードまたは BF 送信ビジー) URTJnBSF ビットは、次の設定によりクリア (0) されます。 - URTJnCTL0.URTJnPW = 1 - URTJnCTL0.URTJnRXE = 0 - URTJnSTC.URTJnCLBS = 1
3	URTJnDCE	データ一貫性エラー・フラグ 0: 送信データ/受信データ (送信 BF / 受信 BF) の不一致なし 1: 送信データ/受信データ (送信 BF / 受信 BF) の不一致検出 LIN 通信時に BF 受信モード選択ビットをセット (1) した場合、ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認する必要があります。 URTJnDCE ビットは、次の設定によってクリア (0) されます。 - URTJnCTL0.URTJnPW = 0 - URTJnCTL0.URTJnTXE = 0 - URTJnSTC.URTJnCLDC = 1
2	URTJnPE	パリティ・エラー・フラグ 0: 受信データ内にパリティ・エラーなし 1: 受信データ内にパリティ・エラー検出 URTJnPE の動作は URTJn.URTJnSLP[1:0] の設定によって制御されます。 URTJnPE ビットは、次の設定によってクリア (0) されます。 - URTJnCTL0.URTJnPW = 0 - URTJnCTL0.URTJnRXE = 0 - URTJnSTC.URTJnCLP = 1
1	URTJnFE	フレーミング・エラー・フラグ 0: 受信データ内にフレーミング・エラーなし 1: 受信データ内にフレーミング・エラー検出 URTJnFE ビットは、次の設定によってクリア (0) されます。 - URTJnCTL0.URTJnPW = 0 - URTJnCTL0.URTJnRXE = 0 - URTJnSTC.URTJnCLF = 1

備考 これらのレジスタのビットがセットされる (1) と同時にクリアされた (0) 場合は、セットの方がクリアより優先されます。

エラー検出の詳細については、20.6.5「UARTJn送信」と20.6.7「受信エラー」を参照してください。

注意 送受信許可時に一貫性チェック・エラーが発生 (URTJnSTR1.URTJnDCE = 1) した場合は、後続のデータを転送する前に次の手順を実行してください。

- URTJnCTL0.URTJnTXE を 0 に設定して送信を禁止します。
- URTJnCTL0.URTJnTXE を 1 に設定して送信を許可します。
- URTJnTRG.URTJnBTT (BT 送信トリガ) をセット (1) するか、URTJnTX に任意のデータを書き込んで送信を開始します。

これで新しい送信を開始できる状態になります。

(7) URTJnSTC — UARTJn ステータス・クリア・レジスタ

URTJnSTR1 (ステータス・レジスタ 1) のステータス・ビットをクリア (0) します。

アクセス 8/1 ビット単位でリード/ライト可能です。
このレジスタを読み出すと、常に 00_H が返ります。

アドレス <URTJn_base_USER> +10_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTJn CLBS	URTJn CLDC	URTJn CLP	URTJn CLF	0
R	R	R	R/W	R/W	R/W	R/W	R/W

表 20-13 URTJnSTC レジスタの内容

ビット位置	ビット名	機能
4	URTJnCLBS	BF 受信成功フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTJnSTR1.URTJnBSF がクリア (0) されます。
3	URTJnCLDC	データー貫性エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTJnSTR1.URTJnDCE がクリア (0) されます。 このビットをセット (1) することで URTJnDCE をクリア (0) すると、保留されているデータや BF の送信要求はすべて無視されます。
2	URTJnCLP	パリティ・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTJnSTR1.URTJnPE がクリア (0) されます。
1	URTJnCLF	フレーミング・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTJnSTR1.URTJnFE がクリア (0) されます。

(8) URTJnFCTL0 — FIFO 制御レジスタ 0

受信割り込み要求 (INTUAJnTIR) と送信割り込み要求 (INTUAJnTIT) が発生したときの受信 FIFO と送信 FIFO の格納データ数を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <URTJn_base_USER> + 80_H

初期値 0F00_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	URTJnSLRP[3:0]				0	0	0	0	URTJnSLTP[3:0]			
R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 20-14 URTJnFCTL0 レジスタの内容

ビット位置	ビット名	機能
11-8	URTJnSLRP[3:0]	受信 FIFO レベル割り込み設定 URTJnSLRP[3:0] では、受信割り込み要求 INTUAJnTIR が発生するときの受信 FIFO ポインタのステータスを指定します。 URTJnFSTR0.URTJnSSRW[4:0] の値 = (10 _H - URTJnSLRP[3:0] の値) のとき、つまり、10 _H - URTJnSLRP[3:0] 個の読み出し可能なデータ・ワードが受信 FIFO に残っているとき INTUAJnTIR は発生します。
3 ~ 0	URTJnSLTP[3:0]	送信 FIFO レベル割り込み設定 URTJnSLTP[3:0] では、送信割り込み要求 INTUAJnTIT が発生するときの送信 FIFO ポインタのステータスを指定します。 INTUAJnTIT は以下の場合に発生します。 URTJnFSTR0.URTJnSSTW[4:0] の値 = (10 _H - URTJnSLTP[3:0] の値) のとき、つまり、10 _H - URTJnSLTP[3:0] 個の数の書き込み可能な空きワードが送信 FIFO に残ります。

(9) URTJnFCTL1 — FIFO 制御レジスタ 1

受信タイムアウトの検出を制御します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <URTJn_base_OS> + 1020_H

初期値 3F_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	URTJnSLRT[5:0]					
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 20-15 URTJnFCTL1 レジスタの内容

ビット位置	ビット名	機能
5-0	URTJnSLRT[5:0]	受信タイムアウト制御 00 _H : タイムアウトの検出を禁止します。 01 _H -3F _H : タイムアウト時間 = ボー・レート・クロック BRCLK の (URTJnSLRT[5:0] x 8) 周期

(10) URTJnFSTR0 — FIFO ステータス・レジスタ 0

受信 FIFO と送信 FIFO の格納状態を示します。

アクセス 16 ビット単位でリード可能です (URTE_nPW = 0 の場合のみライトも可能です)。

アドレス <URTJn_base_USER> + 84_H

初期値 0010_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	URTJnSSRW[4:0]				0	0	0	URTJnSSTW[4:0]						
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

表 20-16 URTJnFSTR0 レジスタの内容

ビット位置	ビット名	機能
12-8	URTJnSSRW[4:0]	受信 FIFO のステータス URTJnSSRW[4:0] は受信 FIFO に残っている読み出されていない受信データ・ワードの数を示します。 URTE _n PW = 0 のときのみ 00 _H -10 _H の範囲でライト可能です。ライト値に対して (10 _H - URTJnSSRW[4:0]) の値がリードできます。 例えば 01 _H をライトした場合、0F _H がリードできます。
4-0	URTJnSSTW[4:0]	送信 FIFO のステータス URTJnSSTW[4:0] は送信 FIFO の空きデータ数 (格納可能なデータ数) を示します。 URTE _n PW = 0 のときのみ 00 _H -10 _H の範囲でライト可能です。ライト値に対して (10 _H - URTJnSSTW[4:0]) の値がリードできます。 例えば 01 _H をライトした場合、0F _H がリードできます。

(11) URTJnFSTR1 — FIFO ステータス・レジスタ 1

本レジスタは受信タイムアウトの検出を制御します。

アクセス 8ビット単位でリード可能です (URTEnPW = 0 の場合のみライトも可能です)。

アドレス <URTJn_base_USER> + 88_H

初期値 05_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTJn TMOE	URTJn TOFE	URTJn ROVE	0	URTJn SSTF	URTJn SSTE	URTJn SSRF	URTJn SSRE
R	R	R	R	R	R	R	R

表 20-17 URTJnFSTR1 レジスタの内容

ビット位置	ビット名	機能
7	URTJnTMOE	タイムアウト・エラー検出 0: タイムアウト・エラーは検出されていません。 1: タイムアウト・エラーが検出されています。 タイムアウト・エラーが検出されたあとでこのビットをクリア (0) するには、URTJnFSTC.URTJnCLTM = 1 を設定します。このビットのクリア (0) とタイムアウト・エラーの検出が同時に行われた場合は、URTJnTMOE がセット (1) されたまま変わりません。 URTJnTMOE は URTEnPW = 0 の場合のみライト可能です。1 をライトすると 1 がリードできます。
6	URTJnTOFE	送信 FIFO オーバフロー・エラー検出 0: 送信 FIFO オーバフローは検出されていません。 1: 送信 FIFO オーバフローが検出されています。 送信 FIFO オーバフロー・エラーが検出されたあとでこのビットをクリア (0) するには、URTJnFSTC.URTJnCLTO = 1 を設定します。このビットのクリア (0) とオーバフロー・エラーの検出が同時に行われた場合は、URTJnROVE ビットがセット (1) されたまま変わりません。 URTJnTOFE は URTEnPW = 0 の場合のみライト可能です。1 をライトすると 1 がリードできます。
5	URTJnROVE	受信 FIFO オーバラン・エラー検出 0: 受信 FIFO のオーバランは検出されていません。 1: 受信 FIFO のオーバランが検出されています。 受信 FIFO オーバラン・エラーが検出されたあとでこのビットをクリア (0) するには、URTJnFSTC.URTJnCLOV = 1 を設定します。このビットのクリア (0) とオーバラン・エラーの検出が同時に行われた場合は、URTJnROVE がセット (1) されたまま変わりません。 URTJnROVE は URTEnPW = 0 の場合のみライト可能です。1 をライトすると 1 がリードできます。
3	URTJnSSTF	送信 FIFO フル・ステータス 0: 送信 FIFO がフルではありません。 1: 送信 FIFO がフルです。
2	URTJnSSTE	送信 FIFO エンプティ・ステータス 0: 送信 FIFO がエンプティではありません。 1: 送信 FIFO がエンプティです。
1	URTJnSSRF	受信 FIFO フル・ステータス 0: 受信 FIFO がフルではありません。 1: 受信 FIFO がフルです。
0	URTJnSSRE	受信 FIFO エンプティ・ステータス 0: 受信 FIFO がエンプティではありません。 1: 受信 FIFO がエンプティです。

(12) URTJnFSTC — FIFO ステータス・クリア・レジスタ

本レジスタを使って URTJnFSTR1 のエラー・フラグをクリアすることができます。さらに、受信 FIFO と送信 FIFO のポインタをクリアし、両方の FIFO が空であることを示すこともできます。

アクセス 8/1 ビット単位でリード/ライト可能です。
本レジスタを読み出すと、常に 00_H が返ります。

アドレス <URTJn_base_USER> + 8C_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTJn CLTM	URTJn CLTO	URTJn CLRO	0	0	0	URTJn CLTP	URTJn CLRP
R/W	R/W	R/W	R	R	R	R/W	R/W

表 20-18 URTJnFSTC0 レジスタの内容

ビット位置	ビット名	機能
7	URTJn CLTM	タイムアウト・エラー・フラグ・クリア 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: 1 を書き込むと URTJnFSTR1.URTJnTMOE = 0 に設定されます。
6	URTJn CLTO	送信 FIFO オーバフロー・エラー・フラグ・クリア 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: 1 を書き込むと URTJnFSTR1.URTJnTOFE = 0 に設定されます。
5	URTJn CLRO	受信 FIFO オーバラン・エラー・フラグ・クリア 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: 1 を書き込むと URTJnFSTR1.URTJnROVE = 0 に設定されます。
1	URTJn CLTP	送信 FIFO ポインタ・クリア 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: 1 を書き込むと送信 FIFO ポインタが 00 _H に設定され、以下の状態になります。 - URTJnFSTR0.URTJnSSTW[4:0] = 00 _H (送信 FIFO ポインタ) - URTJnFSTR1.URTJnTOFE = 0 (送信 FIFO オーバフロー・エラーなし) - URTJnFSTR1.URTJnSSTF = 0 (送信 FIFO フルではない) - URTJnFSTR1.URTJnSSTE = 1 (送信 FIFO エンプティ)
0	URTJn CLRP	受信 FIFO ポインタ・クリア 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: 1 を書き込むと受信 FIFO ポインタが 00 _H に設定され、以下の状態になります。 - URTJnFSTR0.URTJnSSRW[4:0] = 00 _H (受信 FIFO ポインタ) - URTJnFSTR1.URTJnROVE = 0 (受信 FIFO オーバラン・エラーなし) - URTJnFSTR1.URTJnSSRF = 0 (受信 FIFO フルではない) - URTJnFSTR1.URTJnSSRE = 1 (受信 FIFO エンプティ)

(13) URTJnFRX — FIFO 受信データ・レジスタ

受信 FIFO から受信データを読み出します。

個々の受信データには、受信中のパリティ・エラーとフレーミング・エラーを示すフラグが含まれます。

7 ビット転送 データ長が7ビットと指定されており (URTJnCTL1.URTJnCLG = 0)、かつ

- LSB ファースト受信 (URTJnCTL1.URTJnSLD = 1) の場合、
受信データは受信 FIFO である URTJnFRX.URTJnRX[6:0] に転送され、
データの MSB である URTJnFRX.URTJnRX[7] は常に 0 になります。
- MSB ファースト受信 (URTJnCTL1.URTJnSLD = 0) の場合、
受信データは受信 FIFO である URTJnFRX.URTJnRX[7:1] に転送され、
データの LSB である URTJnFRX.URTJnRX[0] は常に 0 になります。

データ・フォーマットの詳細については、20.6.1「データ・フォーマット」を参照してください。

アクセス 16ビット単位でリード可能です。

アドレス <URTJn_base_USER> + 90_H

初期値 00FF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTJn PE	URTJn FE	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
URTJn RX[7:0]							
R	R	R	R	R	R	R	R

表 20-19 URTJnFRX レジスタの内容

ビット位置	ビット名	機能
15	URTJn PE	パリティ・エラー・フラグ 0: URTJnRX[7:0] の受信中にパリティ・エラーは検出されていません。 1: URTJnRX[7:0] の受信中にパリティ・エラーが検出されています。
14	URTJn FE	フレーミング・エラー・フラグ 0: URTJnRX[7:0] の受信中にフレーミング・エラーは検出されていません。 1: URTJnRX[7:0] の受信中にフレーミング・エラーが検出されています。
7 ~ 0	URTJn RX[7:0]	受信データ

ポインタの変化 URTJnFRX からデータを読み出すたびに受信 FIFO 内の未読のデータ・ワード数が減り、それに従って URTJnFSTR0.URTJnSSRW[4:0] が減ります。

(14) URTJnFTX — FIFO 送信データ・レジスタ

送信データを送信 FIFO に書き込みます。

7 ビット転送 データ長が 7 ビットと指定されており (URTJnCTL1.URTJnCLG = 0), かつ

- LSB 先頭送信 (URTJnCTL1.URTJnSLD = 1) の場合,
送信 FIFO データ URTJnFTX.URTJnTX[6:0] がシフト・レジスタへ転送されます。
- MSB 先頭送信 (URTJnCTL1.URTJnSLD = 0) の場合,
送信 FIFO データ URTJnFTX.URTJnTX[7:1] がシフト・レジスタへ転送されます。

データ・フォーマットの詳細については、20.6.1 「データ・フォーマット」を参照してください。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <URTJn_base_USER> + 94_H

初期値 FF_H どのリセット要因でも初期化されます。

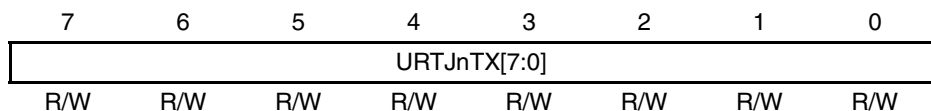


表 20-20 URTJnFTX レジスタの内容

ビット位置	ビット名	機能
7-0	URTJnTX[7:0]	送信データ

読み出しアクセス URTJnFTX を読み出すと、送信 FIFO に書き込まれた最新のデータが返ります。

ポインタの変化 URTJnFTX にデータを書き込むたびに送信 FIFO 内の空きワード数が減り、それに従って URTJnFSTR0.URTJnSSTW[4:0] が減ります。

オーバフロー・エラー 送信 FIFO がフルであるときに (URTJnFSTR1.URTJnSSTF = 1) URTJnFTX への書き込みを行った場合、書き込まれたデータは破棄され、オーバフロー・エラーが検出され (URTJnFSTR1.URTJnFOFE = 1), ステータス割り込み INTUAJnTIS が発生します。

20.5 割り込み要求信号

以下の3つの割り込み要求信号が UARTJn によって発生します。

- 送信割り込み要求 INTUAJnTIT
- 受信割り込み要求 INTUAJnTIR
- ステータス割り込み要求 INTUAJnTIS

20.5.1 送信割り込み要求 INTUAJnTIT

送信 FIFO の格納データ数が特定の値に達したときに送信割り込み要求 INTUAJnTIT が発生するように設定することができます。

送信割り込み要求が発生するときの送信 FIFO の格納データ数を URTJnFCTL0.URTJnSLTP[3:0] で設定することができます。以下の場合に割り込みが発生します。

$$\text{URTJnFSTR0.URTJnSSTW}[4:0] = (10\text{H} - \text{URTJnSLTP}[3:0])$$

INTUAJnTIT が発生するときの送信 FIFO 内の空きワード数は、選択されている送信割り込み要求のタイミングによって異なります。

- URTJnCTL1.URTJnSLIT = 0 の場合 : $10\text{H} - \text{URTJnSLTP}[3:0]$
- URTJnCTL1.URTJnSLIT = 1 の場合 : $0\text{FH} - \text{URTJnSLTP}[3:0]$

割り込みが発生した時点で、送信 FIFO に上記の数の書き込み可能な空きワードが残ります。

INTUAJnTIT の タイミング

送信割り込み INTUAJnTIT が発生するタイミング、つまり送信 FIFO 内の空きワード数が指定された値になったことを示すタイミングは、以下に示すように、URTJnCTL1.URTJnSLIT ビットの設定によって異なります。

- URTJnCTL1.URTJnSLIT = 0 の場合 : 送信の開始時点
最初のビットの送信が開始されるときに送信割り込み要求 INTUAJnTIT が発生します。
データ送信の場合、この割り込みは、格納データ数 URTJnFCTL0.URTJnSLTP[3:0] の FIFO データの送信開始を示します。
BF 送信の場合は、BF の送信が開始されるたびに INTUAJnTIT が発生します。
- URTJnCTL1.URTJnSLIT = 1 の場合 : 送信の終了時点
すべてのデータ送信プロセスが完了したとき、つまり、送信データの最後のビットが送信されたときに INTUAJnTIT が発生します。
最後のビットの送信が完了したときに送信割り込み要求 INTUAJnTIT が発生します。
データ送信の場合、この割り込みは、格納データ数 URTJnFCTL0.URTJnSLTP[3:0] の FIFO データの送信終了を示します。
BF 送信の場合は、BF の送信が完了するたびに INTUAJnTIT が発生します。

以下の図は、両方の場合について、データ送信中の送信割り込み要求 INTUAJnTIT のタイミングを示しています。

送信エラー発生時の INTUAJnTIT データ一貫性チェック中にエラーが検出されても割り込み INTUAJnTIT は発生しません。

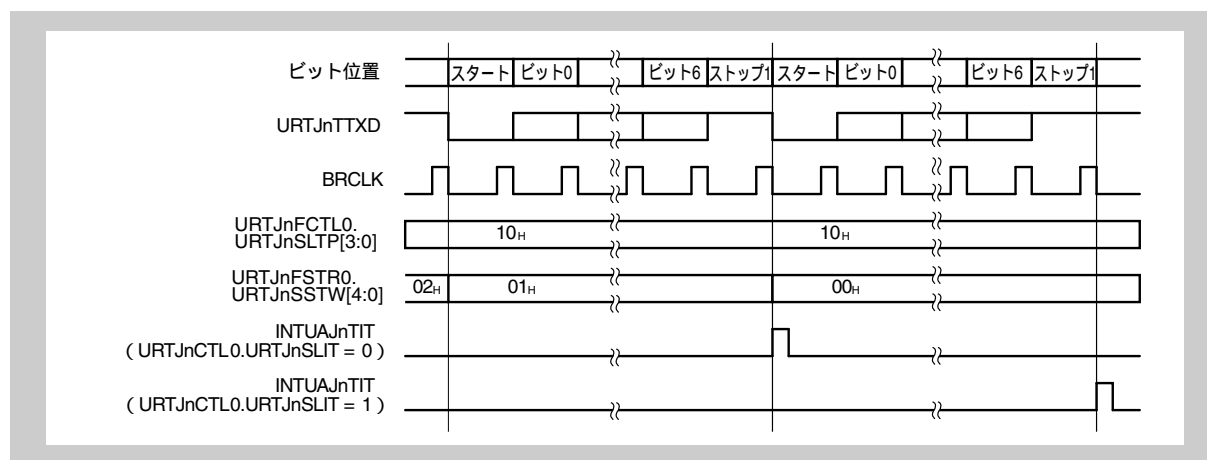


図 20-2 送信割り込み要求のタイミング

注意 送信割り込みが発生した後、FIFO が空の状態でも 1 フレーム分以上、送信を待つシステムでは、再び送信割り込みが発生している可能性があるため、割り込みルーチン内で割り込み要求フラグ (EICn.EIRFn) をクリア (0) してください。

20.5.2 受信割り込み要求 INTUAJnTIR

受信 FIFO の格納データ数が特定の値に達したときに受信割り込み要求 INTUAJnTIR が発生するように設定することができます。

受信割り込み要求が発生するときの受信 FIFO の格納データ数を URTJnFCTL0.URTJnSLRP[3:0] で設定することができます。以下の場合に割り込みが発生します。

$$\text{URTJnFSTR0.URTJnSSRW[4:0]} = (10\text{H} - \text{URTJnSLRP[3:0]})$$

受信エラー発生時の INTUAJnTIR

上記の受信 FIFO 格納条件が満たされていれば、パリティ・エラーまたはフレーミング・エラーが検出されたときにも INTUAJnTIR が発生します。受信 FIFO オーバラン・エラーが発生した場合、データは受信 FIFO に格納されず、INTUAJnTIR は発生しません。

注意 受信割り込みが発生した後、FIFO フル状態で 1 フレーム分以上、受信を待つシステムでは、再び受信割り込みが発生している可能性があるため、割り込みルーチン内で割り込み要求フラグ (EICn.EIRFn) をクリア (0) してください。

以下の図はデータ受信中の受信割り込み要求のタイミングを示しています。

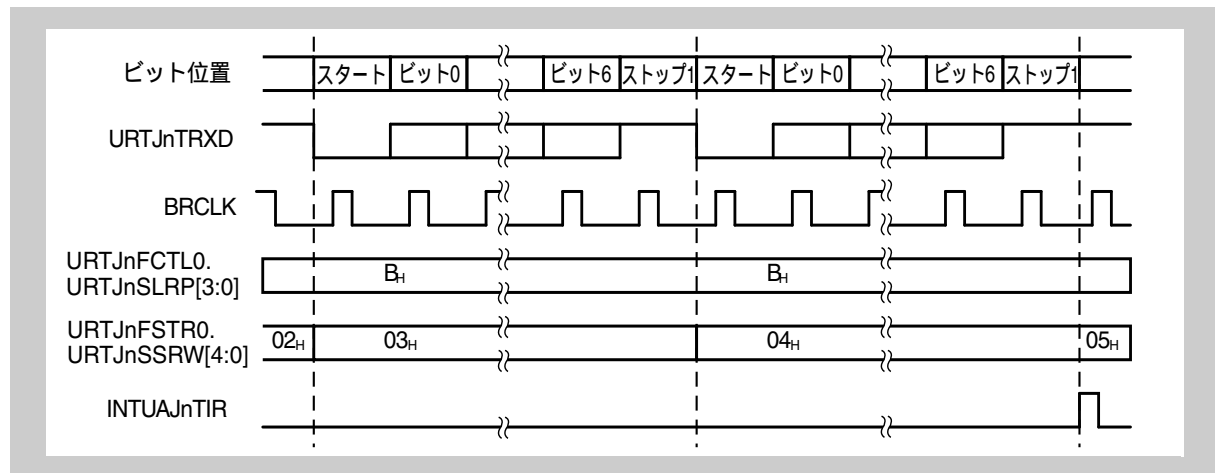


図 20-3 受信割り込み要求のタイミング

BF の受信 BF の受信の場合は、BF の受信が完了するたびに必ず INTUAJnTIR が発生します。

20.5.3 ステータス割り込み要求 INTUAJnTIS

受信中または送信中にエラー状態が発生すると、ステータス割り込み要求が発生します。

- 送信データ一貫性チェック・エラー (URTJnSTR1.URTJnDCE = 1)
- 受信データ・パリティ・エラー (URTJnSTR1.URTJnPE = 1)
- 受信データ・フレーミング・エラー (URTJnSTR1.URTJnFE = 1)
- タイムアウト・エラー (URTJnFSTR1.URTJnTMOE = 1)
- 送信 FIFO オーバフロー・エラー (URTJnFSTR1.URTJnTFOE = 1)
- 受信 FIFO オーバラン・エラー (URTJnFSTR1.URTJnROVE = 1)

BF の受信が許可されている状態で、データの受信中に 10 ビットを上回る長さの BF が検出された場合 (URTJnCTL1.URTJnSLBM = 1)

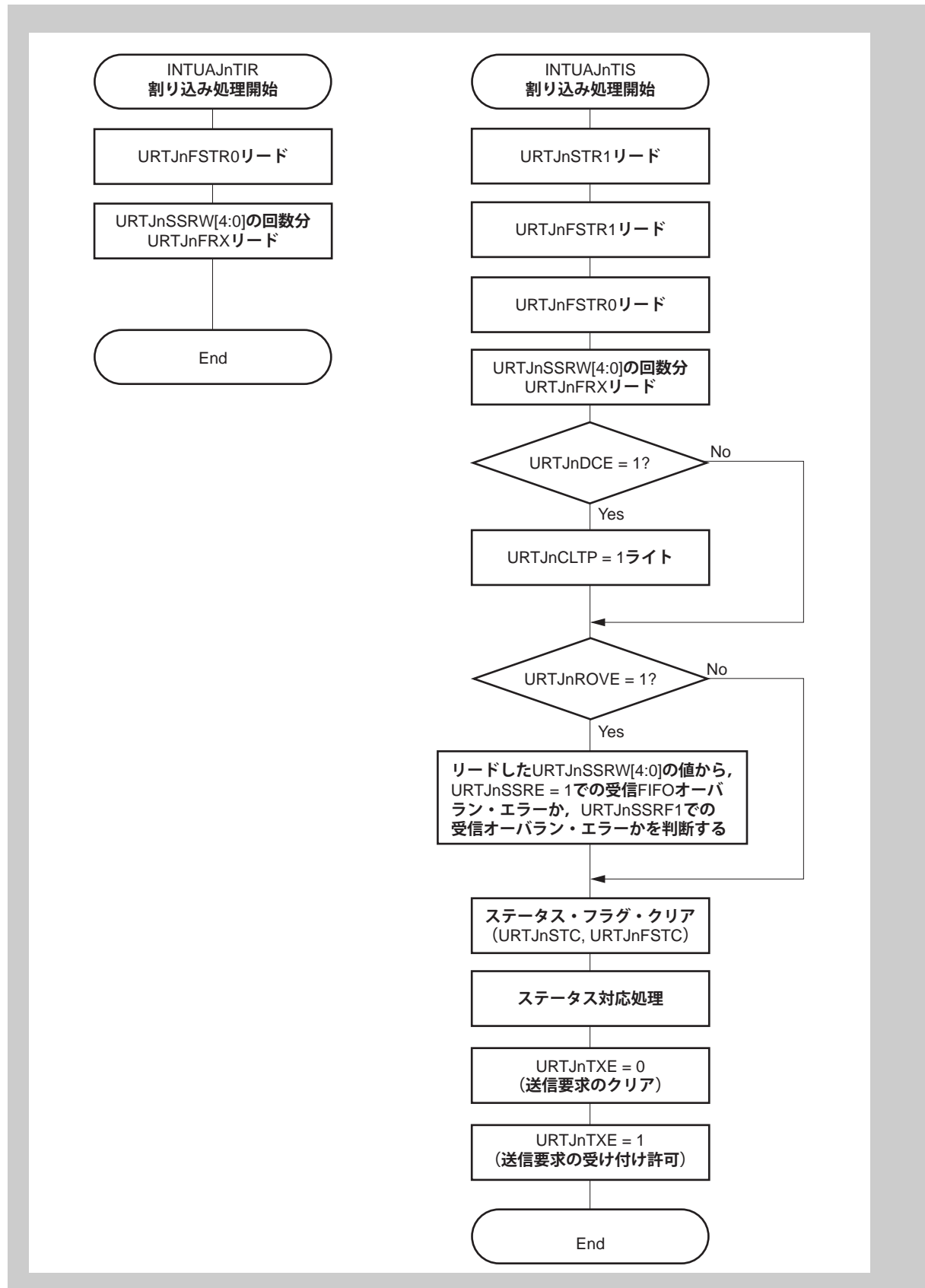


図 20-4 割り込み発生後処理フロー

20.6 動作

20.6.1 データ・フォーマット

全二重シリアル・データの受信と送信を行います。

送受信データのフォーマットは、次の図に示すようにスタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

URTJnCTL1レジスタの制御ビットを使って送信／受信データ・フレームの複数の特性を指定することができます。

表 20-21 データ・フォーマット仕様

項目	オプション	制御ビット
スタート・ビット	1ビット	固定
キャラクタ・ビット	7ビット／8ビット	URTJnCTL1.URTJnCLG
パリティ	偶数パリティ／奇数パリティ／0／なし	URTJnCTL1.URTJnSLP[1:0]
ストップ・ビット	1ビット／2ビット	URTJnCTL1.URTJnSLG
データ順	MSB ファースト／LSB ファースト	URTJnCTL1.URTJnSLD
送信データ・レベル	反転／非反転	URTJnCTL1.URTJnTDL
受信データ・レベル	反転／非反転	URTJnCTL1.URTJnRDL

(1) UARTJn の送信／受信データ・フォーマット

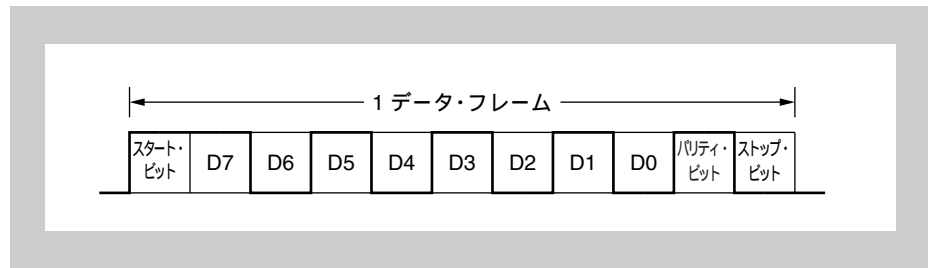
- (a) 8-ビット・データ長，LSB ファースト，偶数パリティ，1ストップ・ビット，転送データ：55_H



- (b) 8-ビット・データ長，MSB ファースト，偶数パリティ，1ストップ・ビット，転送データ：55_H



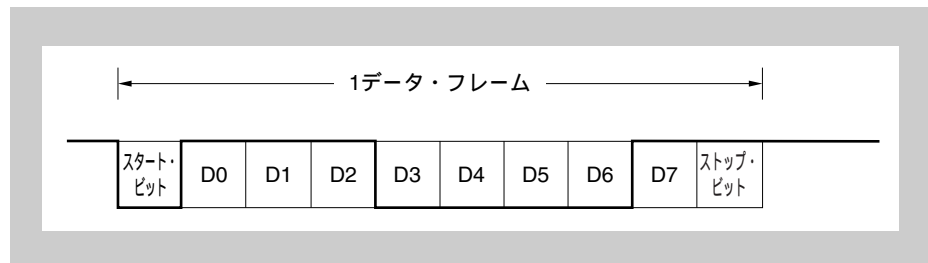
- (c) 8-ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ: 55_H, URTJnTTXD 反転



- (d) 7ビット・データ長, LSB ファースト, 奇数パリティ, 2ストップ・ビット, 転送データ: 36_H



- (e) 8ビット・データ長, LSB ファースト, パリティなし, 1ストップ・ビット, 転送データ: 87_H



20.6.2 BF の送信／受信フォーマット

UARTJn には LIN 機能を使用するために BF (ブレイク・フィールド) 送信／受信制御機能があります。

LIN について LIN は Local Interconnect Network (ローカル相互接続ネットワーク) の略であり, 車載ネットワークのコスト削減を図るために開発された低速 (1 ~ 20 kbps) シリアル通信プロトコルです。

LIN 通信はシングルマスタ通信で, 1つのマスタに最大 15 個のスレーブを接続することができます。

LIN スレーブは, スイッチ, アクチュエータ, センサの制御に使用され, LIN ネットワークを介して LIN マスタに接続されます。

通常, LIN マスタは CAN (Controller Area Network) などのネットワークに接続されます。

さらに、LIN バスはシングル・ワイヤ方式を使用し、ISO9141 に準拠したトランシーバを介してノードに接続されます。

LIN プロトコルでは、マスタがポー・レート情報とともにフレームを送信し、スレーブがそれを受信してポー・レート誤差を補正します。したがって、スレーブのポー・レート誤差が $\pm 14\%$ 以内であれば通信が可能です。

LIN の送信と受信の操作の概要については、図 20-5 「LIN の送信の概要」と図 20-6 「LIN の受信の概要」を参照してください。

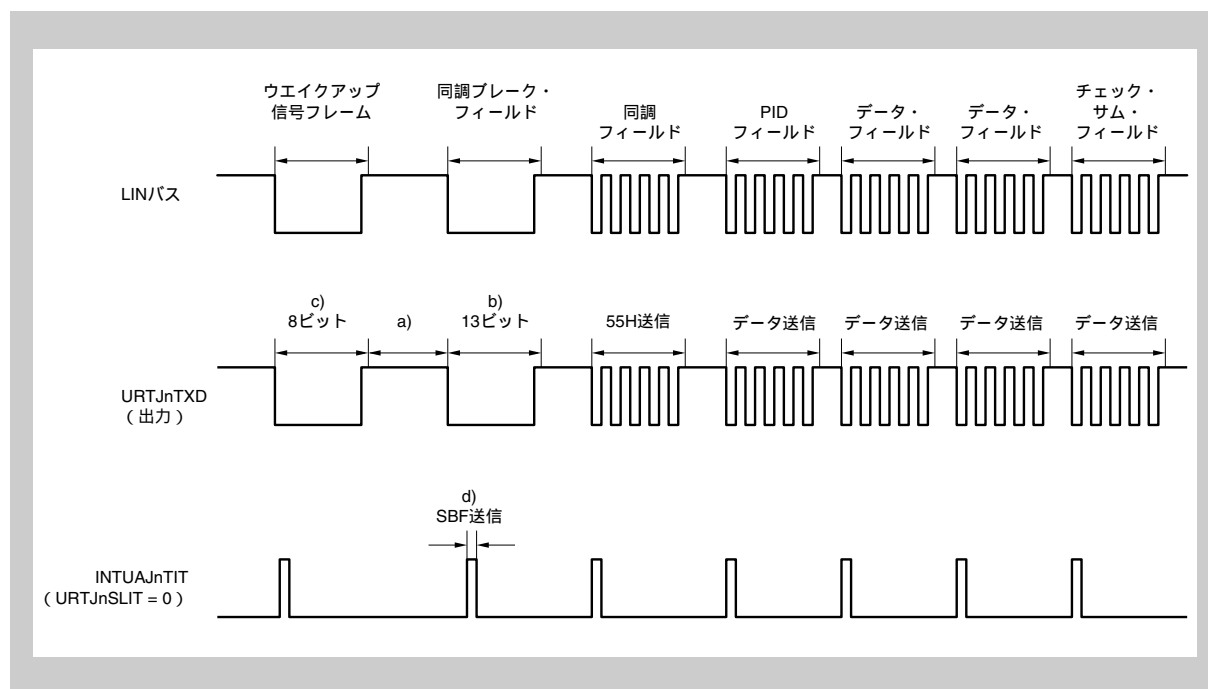


図 20-5 LIN の送信の概要

- フィールド間のインターバルはソフトウェアによって制御されます。
- BF の出力はハードウェアによって実行されます。出力幅は `URTJnCTL1.URTJnBLG[2:0]` によって設定されるビット長です。`URTJnCTL2n.URTJnBRS[11:0]` を設定することによって、出力幅をより細かく調整することができます。
- ウェイクアップ信号フレームの代わりに 8 ビット・モードで 80_H が転送されます。
- 送信を開始するたびに送信許可割り込み `INTUAJnTIT` を発生します。`INTUAJnTIT` は、BF の送信開始時にも発生します。

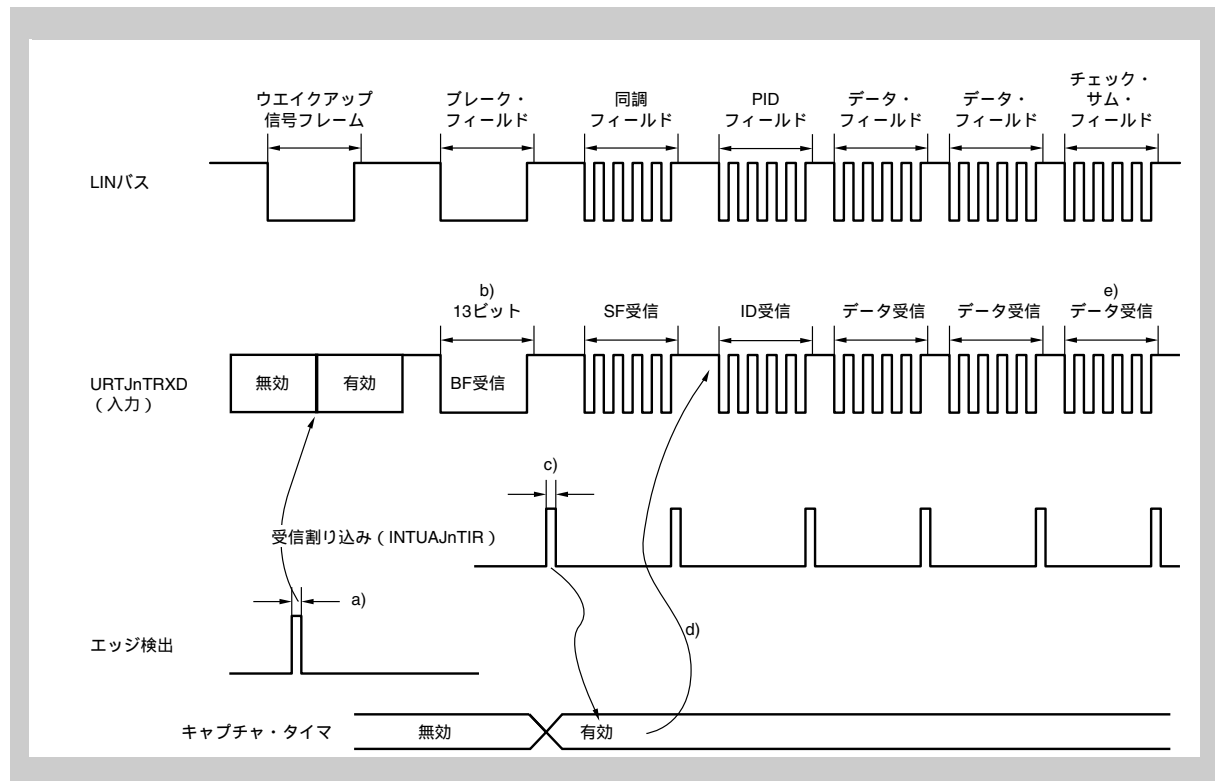


図 20-6 LIN の受信の概要

- a) ウェイクアップ信号は端子のエッジ検出によって送信され、UARTJn を有効にして BF 受信モードを設定します。
- b) 11 ビット以上の BF 受信を検出した場合、正常 BF 受信終了と判断します。BF 受信モード選択ビット URTJnCTL1.URTJnSLBM の設定に応じて、次の割り込みを発生します。URTJnSLBM, URTJnSSBR ビットの設定に応じて次の割り込みを発生します。

URTJnSLBM	URTJnSSBR	割り込み
1	×	INTUAJnTIS 割り込み
0	1	INTUAJnTIR 割り込み
0	0	フレーミング・エラーになり、INTUAJnTIS 割り込みが発生します。

- c) BF 受信が正常に終了した場合、BF 受信モード選択ビット URTJnCTL1.URTJnSLBM の設定に応じて、次の割り込みを発生します。
 ・0 に設定されていた場合、受信割り込み INTUAJnTIR を発生します。
 ・1 に設定されていた場合、ステータス割り込み INTUAJnTIS を発生し、BF 受信成功フラグ URTJnSTR1.URTJnBSF をセット (1) します。
 BF 受信トリガ・ビット URTJnTRG.URTJnBRT が 1 の場合、BF 受信中はオーバラン・エラー、パリティ・エラー、フレーミング・エラーの検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ URTJnRX へのデータ転送も行われません。このとき、URTJnRX は以前の値を保持します。
- d) ポー・レート・クロックを正しく調整するために、URTJnTRXD 信号をタイムのキャプチャ入力に接続する必要があります。URTJnTRXD のエッジ間の時間を測定することによって転送レートとポー・レート誤差を計算することができ、ポー・レート設定ビット URTJnCTL2.URTJnBRS[11:0] を設定することによって、ポー・レートを調整することができます。
- e) チェック・サム・フィールドの区別はソフトウェアで行います。チェック・サム・フィールドを受信すると UARTJn が初期化され、ソフトウェアによって BF 受信モードに再設定されます。URTJnCTL1.URTJnSLBM が 1 の場合、再度 BF 受信モードに設定することなく自動的に BF の受信を行います。

20.6.3 BF の送信

URTJnCTL0 の URTJnPW ビットと URTJnTXE ビットを 1 に設定すると送信許可状態になり、BF 送信トリガ URTJnTRG.URTJnBTT をセット (1) することによって BF の送信を開始します。

以降、URTJnSTR0.URTJnSSBT がセット (1) され、URTJnCTL1.URTJnBLG[2:0] の指定に従って 13-20 ビットのロウ・レベル幅が出力されます。次の場合に送信割り込み INTUAJnTIT が発生します。

- BF 送信開始時、URTJnCTL1.URTJnSLIT = 0 の場合
- BF 送信終了時、URTJnCTL1.URTJnSLIT = 1 の場合

BF の送信が終了すると、URTJnSTR0.URTJnSSBT が自動的にクリア (0) されます。そのあと、UARTJn 送信モードに戻ります。

次に送信されるデータが URTJnTX レジスタに書き込まれ、URTJnSTR0.URTJnSST が 1 に変化するか、BF 送信トリガ URTJnTRG.URTJnBTT がセット (1) され、URTJnSTR0.URTJnSSBT が 1 に変化するまで、送信は中断されます。

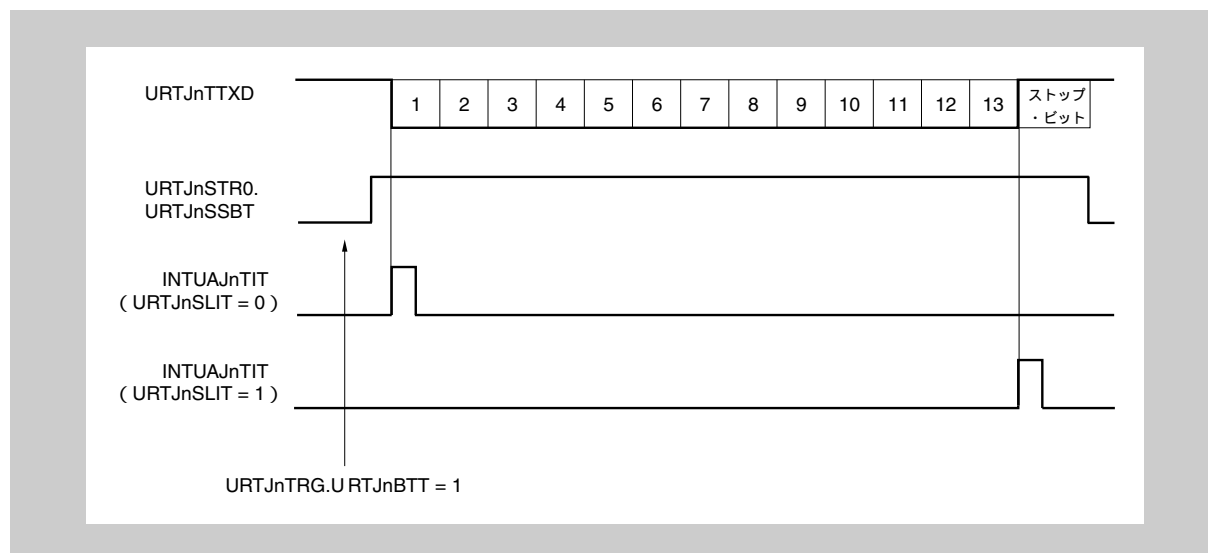


図 20-7 BF の送信

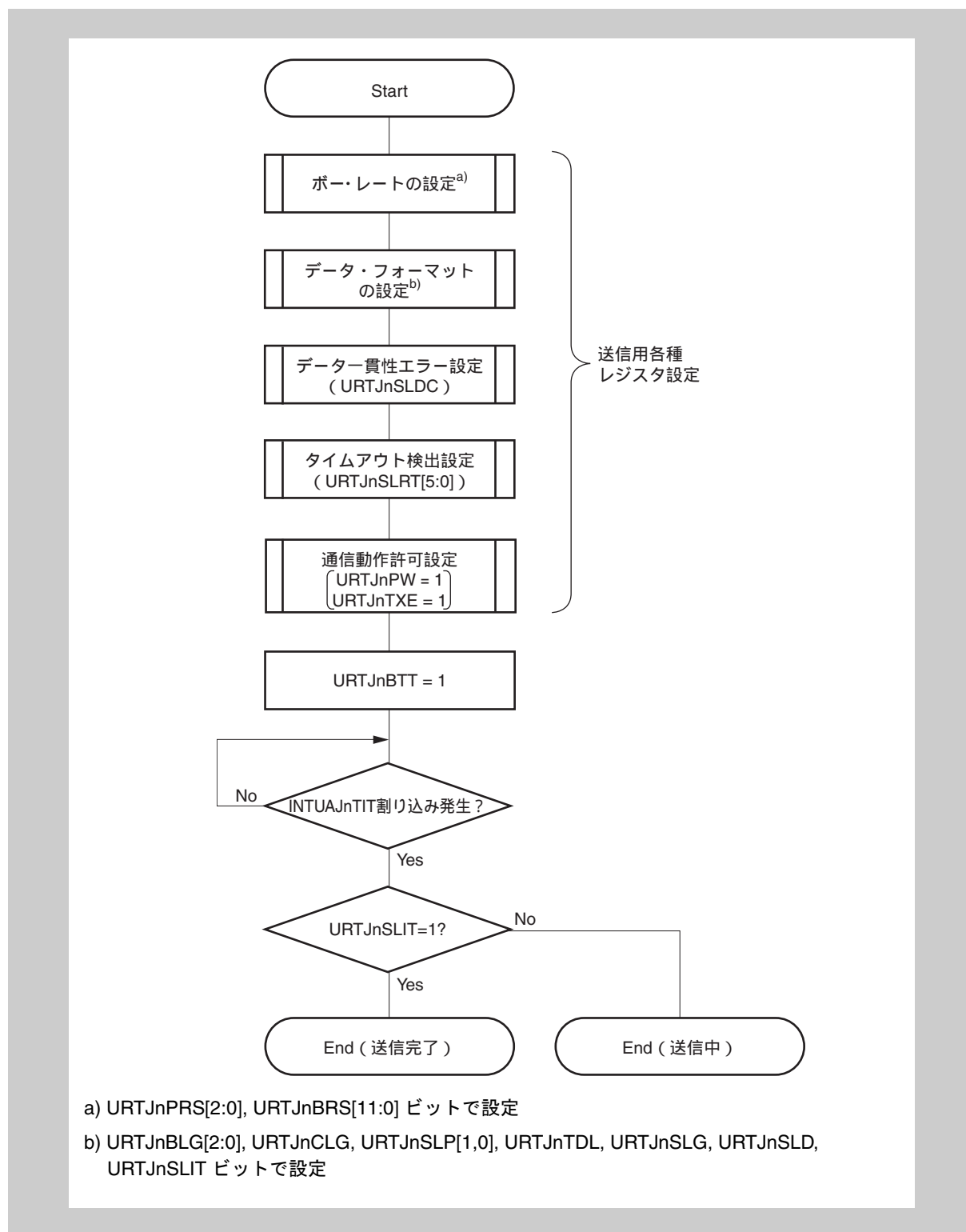


図 20-8 BF の送信のフロー図

20.6.4 BFの受信

URTJnCTL0.URTJnPW ビットをセット (1) したあと、URTJnCTL0.URTJnRXE ビットをセット (1) することによって受信許可状態になります。

BF 受信トリガ URTJnTRG.URTJnBRT をセット (1) することによって BF 受信待ち状態になります。

BF 受信待ち状態では URTJnTRXD 端子信号をモニタし、スタート・ビットの検出を行います。

ロウ・レベルを検出したら、受信動作を開始し、設定されたボー・レートに従って内部カウンタをカウント・アップします。

ハイ・レベルを受信し、BF 幅が 11 ビット以上の場合、BF 受信モード選択ビット URTJnCTL1.URTJnSLBM の設定に応じて次のように処理を行います。

- 0 に設定されていた場合、受信割り込み INTUAJnTIR を発生します。
- 1 に設定されていた場合、ステータス割り込み INTUAJnTIS を発生し、同時に BF 受信成功フラグ URTJnSTR1.URTJnBSF をセット (1) します。

URTJnSTR0.URTJnSSBR ビットが自動的にクリア (0) され、BF の受信を終了します。

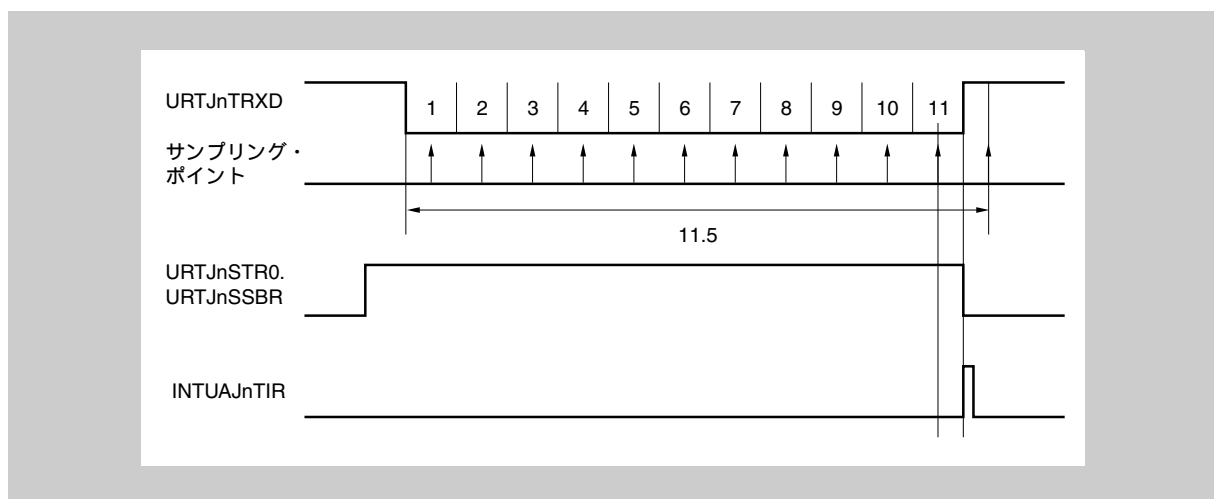


図 20-9 正常 BF 受信 (10.5 超のロウ・ビット受信後にストップ・ビットを検出)

URTJnSTR1 エラー・フラグ URTJnOVE, URTJnPE, URTJnFE によるエラー検出は抑制され、UARTJn 通信エラー検出処理は行われません。

エラーが含まれたデータは URTJnRX に格納されず、URTJnRX は初期値 FF_H を保持します。

BF の幅が 10 ビット以下の場合、エラー処理として、割り込みを発生せずに受信を終了し、BF 受信モードに戻ります。このとき、URTJnSTR0.URTJnSSBR はクリア (0) されません。

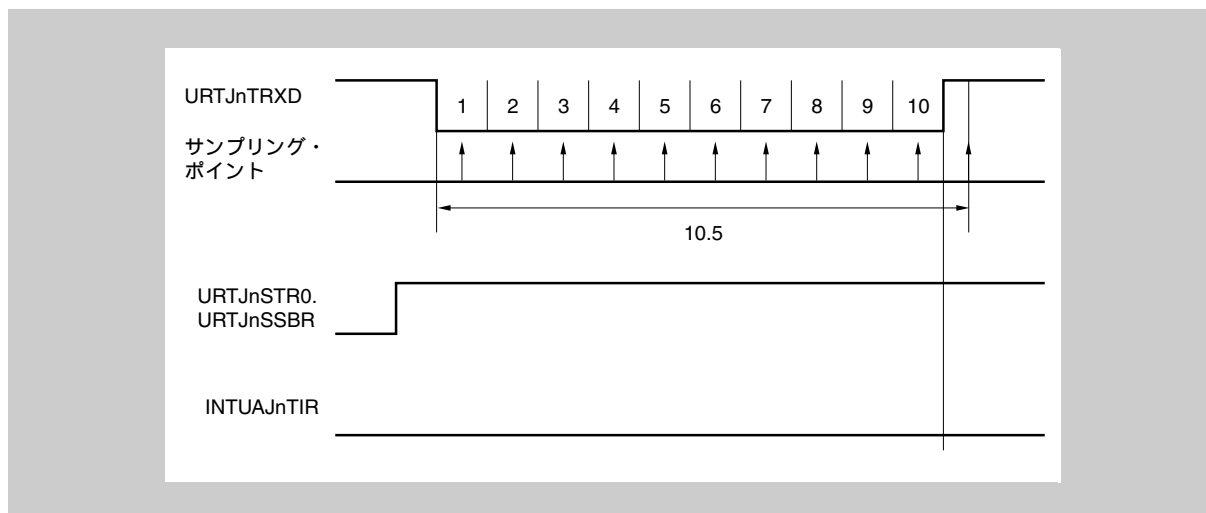


図 20-10 BF 受信エラー (10.5 以内のロウ・ビットでストップ・ビットを検出)

URTJnCTL1.URTJnSLBM を使って、シングル BF 受信モードと常時 BF 受信モードの間で BF モードを切り換えることができます。BF の受信が成功したかどうかは URTJnSTR1.URTJnBSF で確認できます。

備考 URTJnSTR0.URTJnSSBR は次の場合にセット (1) されます。

- URTJnTRG.URTJnBRT をセット (1) したとき
- 正常な BF の受信によってエラーがクリア (0) されたとき

20.6.5 UARTJn 送信

(1) 送信 FIFO

送信 FIFO は連続して送信される 8 ビット・データを格納する 8 ビット×16 段から構成されます。

URTJnFTX レジスタに書き込むことによって送信 FIFO にデータが格納されます。

送信 FIFO のステータス	送信 FIFO の格納データ数を確認するためのさまざまなステータス情報を取得できます。 <ul style="list-style-type: none"> • 送信 FIFO 内の空きワード数は、送信 FIFO ポインタ URTJnFSTR0.URTJnSSTW[4:0] を読み出すことによって確認できます。 • URTJnSTR1.URTJnSSTF (= 1 : フル) は FIFO フル／非フル・ステータスを示します。 • URTJnSTR1.URTJnSSTE (= 1 : エンプティ) は FIFO エンプティ／非エンプティ・ステータスを示します。
ポインタの変化	URTJnFTX にデータを書き込むたびに送信 FIFO 内の空きワード数が減り、それに従って URTJnFSTR0.URTJnSSTW[4:0] が減ります。
オーバーフロー・エラー	送信 FIFO がフルであるときに (URTJnFSTR1.URTJnSSTF = 1) URTJnFTX への書き込みを行った場合、書き込まれたデータは破棄され、オーバーフロー・エラーが検出され (URTJnFSTR1.URTJnTOFE = 1)、ステータス割り込み INTUAJnTIS がアサートされます。
URTJnFTX の読み出し	URTJnFTX を読み出すと、送信 FIFO に書き込まれた最新のデータが返ります。

(2) 送信の開始と停止

送信の開始	以下の手順に従って送信許可ステータスを設定します。 <ul style="list-style-type: none"> • URTJnCTL2 レジスタでボー・レートを指定します。 • URTJnCTL1 で、送信パリティ、データ・キャラクタ長、ストップ・ビット長、送信データ順、送信割り込み要求のタイミング、出力ロジック・レベルを指定します。 • URTJnCTL0.URTJnPW = URTJnCTL0.URTJnTXE = 1 に設定することによって UARTJn の動作と送信を許可します。 <p>URTJnFTX を介して送信 FIFO に送信データを書き込むことによって送信が開始されます。送信 FIFO に格納されたデータは送信シフト・レジスタへ転送されます。次に、スタート・ビット、パリティ・ビット、ストップ・ビットが追加され、URTJnTTXD を介してデータ・フレームがシリアルに出力されます。</p>
送信の停止	URTJnCTL0.URTJnPW または URTJnCTL0.URTJnTXE が 0 に設定されると、送信処理中であっても、ただちに送信動作が停止します。

BF とデータの同時送信 BF 送信要求とデータ送信要求の両方が設定された場合は、BF の送信が優先されます。

(3) 送信データ一貫性チェック

UARTJn は、UARTJn が送信モードで動作しているときに、URTJnTTXD 信号を介して出力された送信データと URTJnTRXD 信号を介して受信されたデータとの不一致を検出するデータ一貫性チェック機能を備えています。

備考 データ一貫性チェックを実行するには、URTJnTTXD 信号を外部から URTJnTRXD へフィード・バックする必要があります。

データ一貫性チェックは URTJnCTL0.URTJnSLDC = 1 に設定することによって有効になります。

URTJnTTXD 信号と URTJnTRXD 信号が一致しない場合は、データ一貫性エラー・フラグ URTJnSTR1.URTJnDCE がセットされ、ステータス割り込み要求 INTUAJnTIS が発生します。

データ一貫性チェックは、受信が許可されているかどうかに関係なく実行できます。

受信が禁止されている場合は (URTJnCTL0.URTJnRXE = 0)、受信完了割り込み要求 INTUAJnTIR、URTJnSTR1 ステータス・ビット URTJnBSF、URTJnFE、URTJnPE は処理されず、ステータス割り込み要求信号 INTUAJnTIS は発生しません。受信データは受信 FIFO に格納されません。

受信が許可されている場合 (URTJnCTL0.URTJnRXE = 1)、受信データは通常の受信モードと同様に処理されます。つまり、すべてのステータス・ビットと割り込みが処理され、データが受信 FIFO に格納されます。

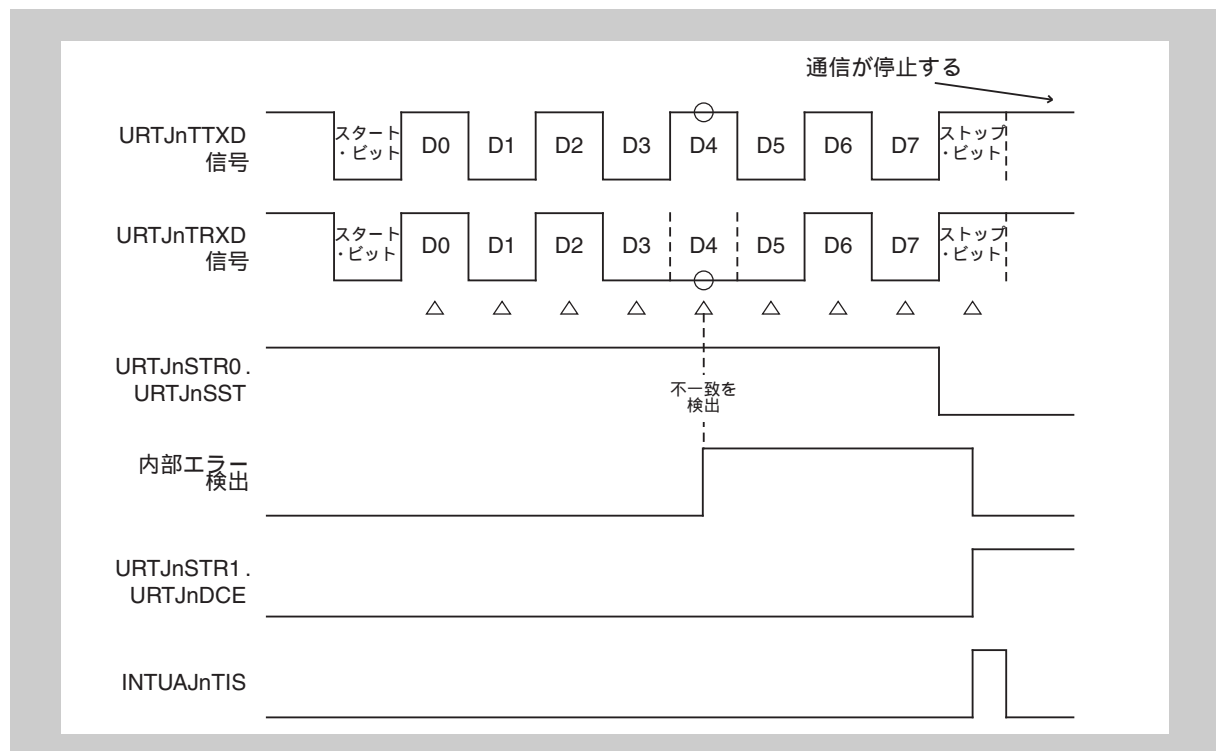


図 20-11 データ一貫性エラーのタイミングの例 (BF の受信がアクティブでないとき、つまり URTJnSTR0.URTJnSSBR = 0 のとき)

データ一貫性エラーが検出された場合は (URTJnSTR1.URTJnDCE = 1), データ一貫性エラー・フラグがクリアされるまで (URTJnSTC.URTJnCLDC = 1) それ以降のデータ送信が停止するか, 送信が禁止されます (URTJnCTL0.URTJnPW = 0 または URTJnCTL0.URTJnTXE = 0)。

(4) 連続送信の手順

連続送信は送信 FIFO の格納データ数を一定の値に保つことによって行われます。

つまり, 送信 FIFO レベル割り込み設定ビット URTJnFSLTP[3:0] を使って, 送信 FIFO 格納データ数を示す送信割り込み INTUAJnTIT が適切なタイミングで発生するように設定します。

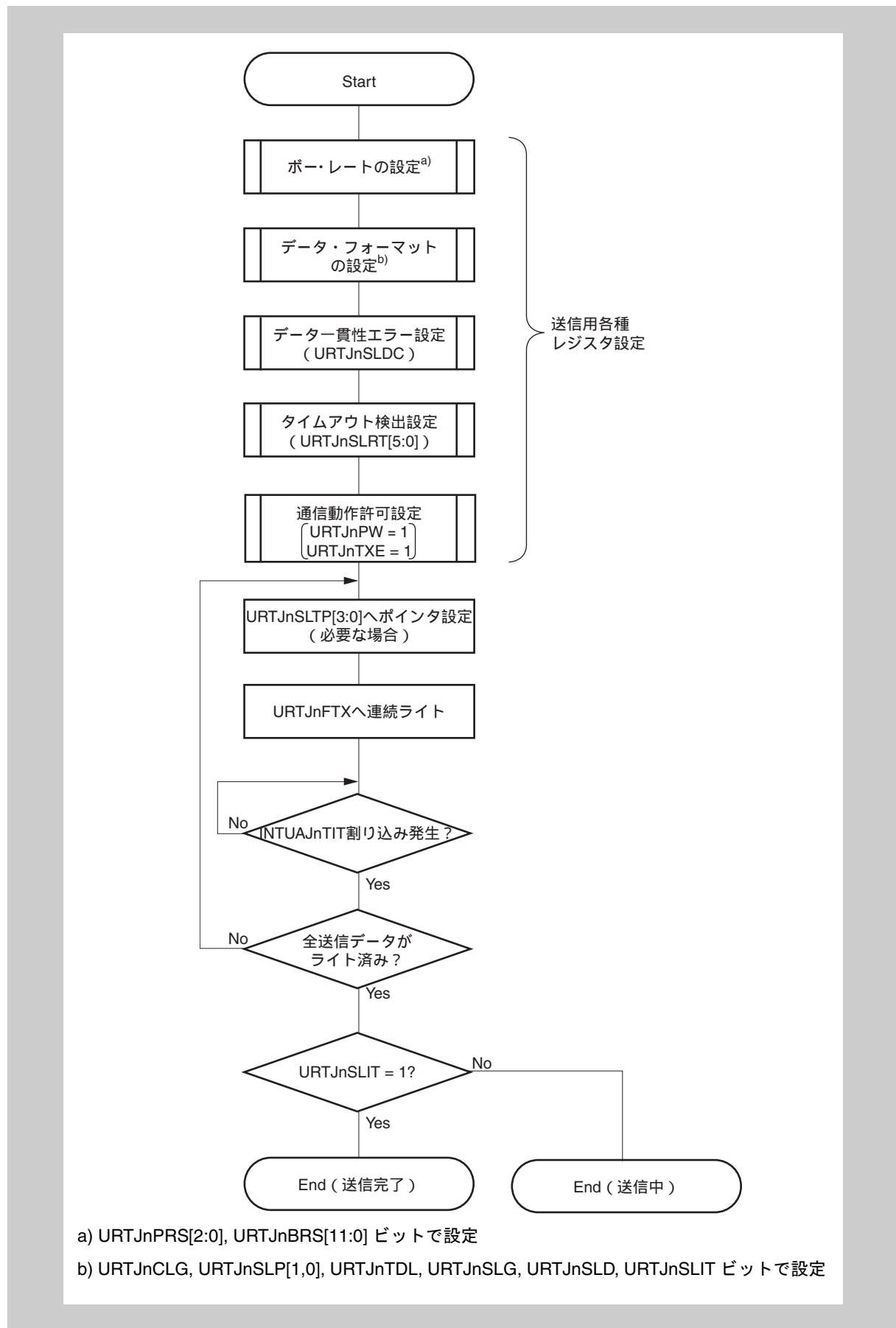


図 20-12 データ送信のフロー

20.6.6 UARTJn 受信

(1) 受信 FIFO

受信 FIFO は、受信した 8 ビット・データおよびパリティ・エラーとフレーミング・エラーを示す 2 つのエラー・フラグの格納に使われる 10 ビット×16 段から構成されます。

受信 FIFO は URTJnFRX レジスタを読み出すことによって空になります。

受信 FIFO のステータス 受信 FIFO の格納データ数を確認するためのさまざまなステータス情報を取得できます。

- 受信 FIFO 内の受信ワード数は、受信 FIFO ポインタ URTJnFSTR0.URTJnSSRW[4:0] を読み出すことによって確認できます。
- URTJnFSTR1.URTJnSSRF (= 1 : フル) は FIFO フル/非フル・ステータスを示します。
- URTJnSTR1.URTJnSSRE (= 1 : エンプティ) は FIFO エンプティ/非エンプティ・ステータスを示します。

ポインタの変化 受信するたびに受信 FIFO 内のデータ・ワード数が増え、それに従って URTJnFSTR0.URTJnSSRW[4:0] が増えます。

オーバラン・エラー 受信 FIFO がフルのときに (URTJnFSTR1.URTJnSSRF = 1) 新しいデータが受信されると、受信データは破棄され、オーバラン・エラーが検出され (URTJnFSTR1.URTJnFROVE = 1)、ステータス割り込み INTUAJnTIS がアサートされます。

(2) 受信の開始と停止

受信の開始 以下の手順に従って受信許可ステータスを設定します。

- UARTJn 制御レジスタ 2 の URTJnCTL2 でボー・レートを指定します。
- UARTJn 制御レジスタ 1 の URTJnCTL1 で、受信パリティ、データ・キャラクタ長、ストップ・ビット長、受信データ順、出力ロジック・レベルを指定します。
- URTJnCTL0.URTJnPW = URTJnCTL0.URTJnRXE = 1 に設定することによって UARTJn の動作と受信を許可します。

URTJnTRXD 端子の入力レベルのサンプリングが行われ、立ち下がりエッジが検出されると、URTJnTRXD 入力のデータ・サンプリングが開始されます。立ち下がりエッジの検出から半ビット分の時間が経過したあと、URTJnTRXD 端子がロウ・レベルになると、スタート・ビットが認識されます (以下の図を参照してください)。スタート・ビットが認識されると、受信動作が開始され、設定されているボー・レートに従ってシリアル・データが受信シフト・レジスタに格納されます。ストップ・ビットの受信によって受信割り込み INTUAJnTIR がアサートされると、受信シフト・レジスタに格納されたデータが受信 FIFO に書き込まれます。

受信の停止 URTJnCTL0.URTJnPW または URTJnCTL0.URTJnRXE が 0 に設定されると、受信処理中であっても、ただちに受信動作が停止します。

受信フォーマットの変更 受信データ順, パリティ, データ・キャラクタ長, ストップ・ビット長を変更する場合は, パワー・ビットをクリアするか (URTJnCTL0.URTJnPW = 0), 送信許可ビットと受信許可ビットの両方をクリアしたあと (URTJnTXE = 0, URTJnRXE = 0), 設定を変更します。

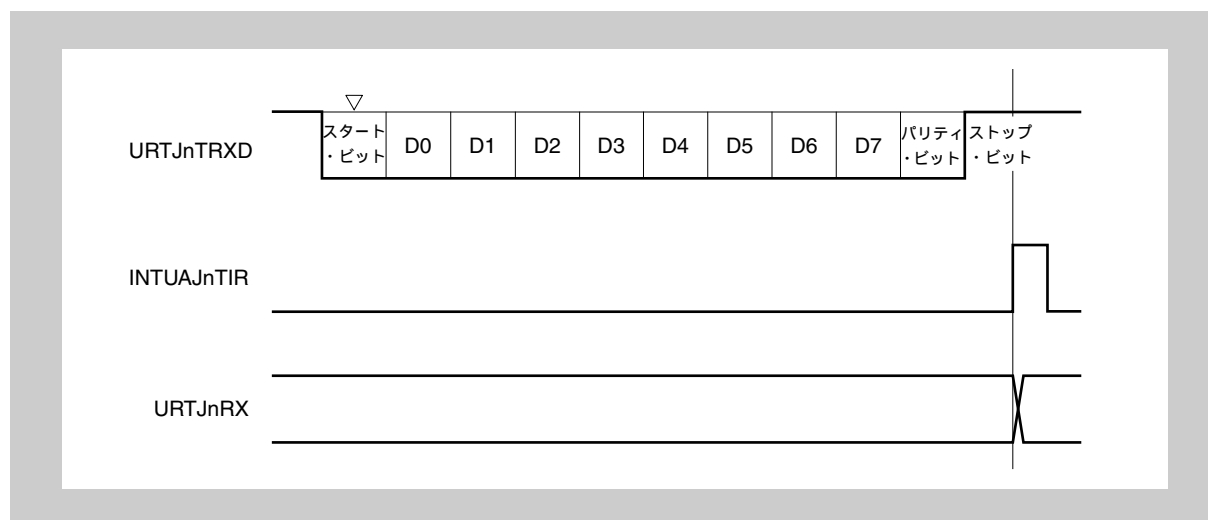


図 20-13 UARTJn の受信

注意 受信中は, ストップ・ビットが1つしかないという想定のもとに動作が実行されます。したがって, 2番目のストップ・ビットは無視されます。

- 備考**
1. URTJnTRXD 端子に常にロウ・レベルが入力されていると, その入力はスタート・ビットと見なされません。
 2. 連続受信では, 最初の受信ビットでストップ・ビットが検出された直後 (受信割り込みが発生したあと) に, 次のスタート・ビットが検出されることがあります。

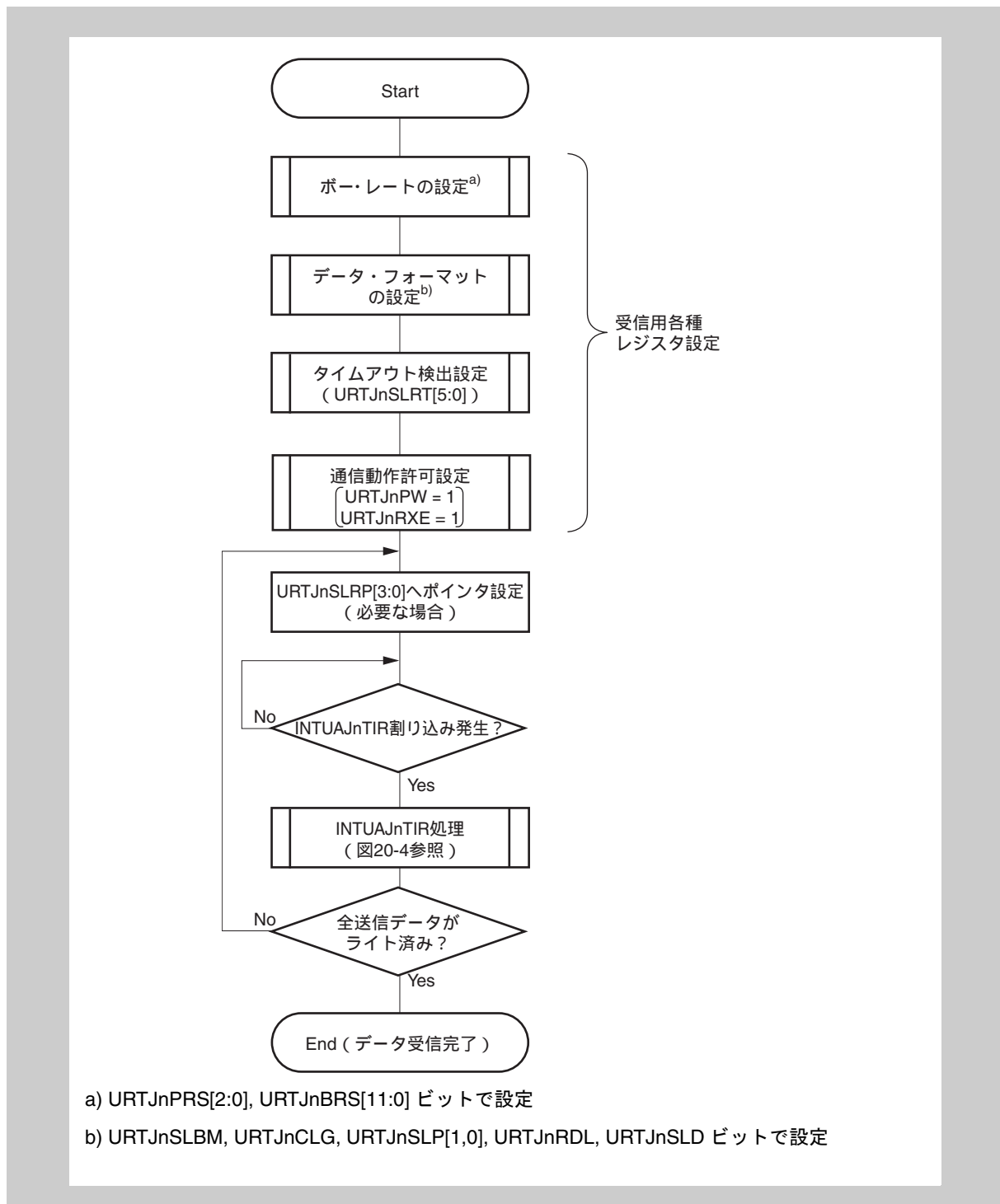


図 20-14 データ受信のフロー (URTJnSLBM = 0, URTJnSSBR = 0)

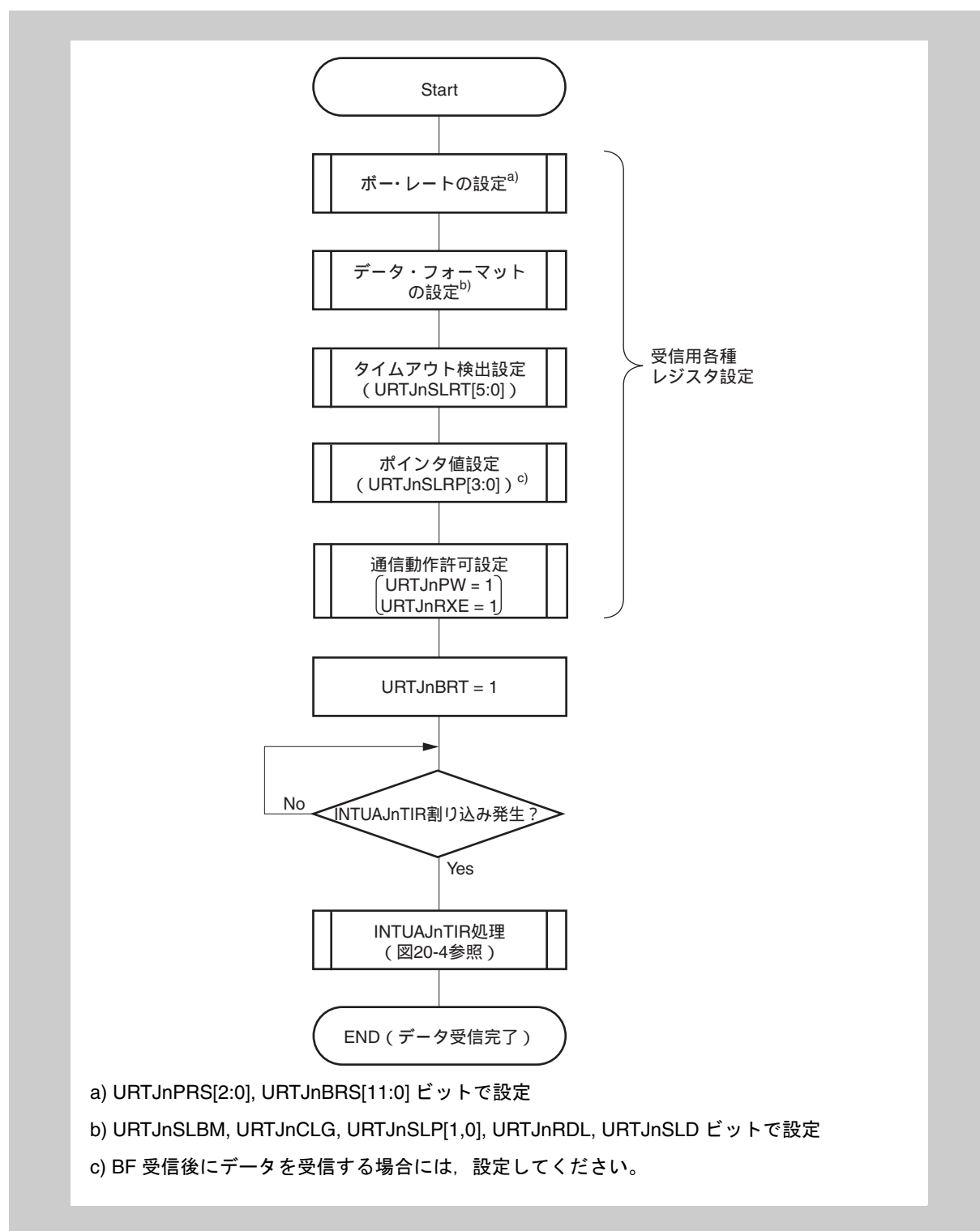


図 20-15 データ受信のフロー (URTJnSLBM = 0, URTJnSSBR = 1)

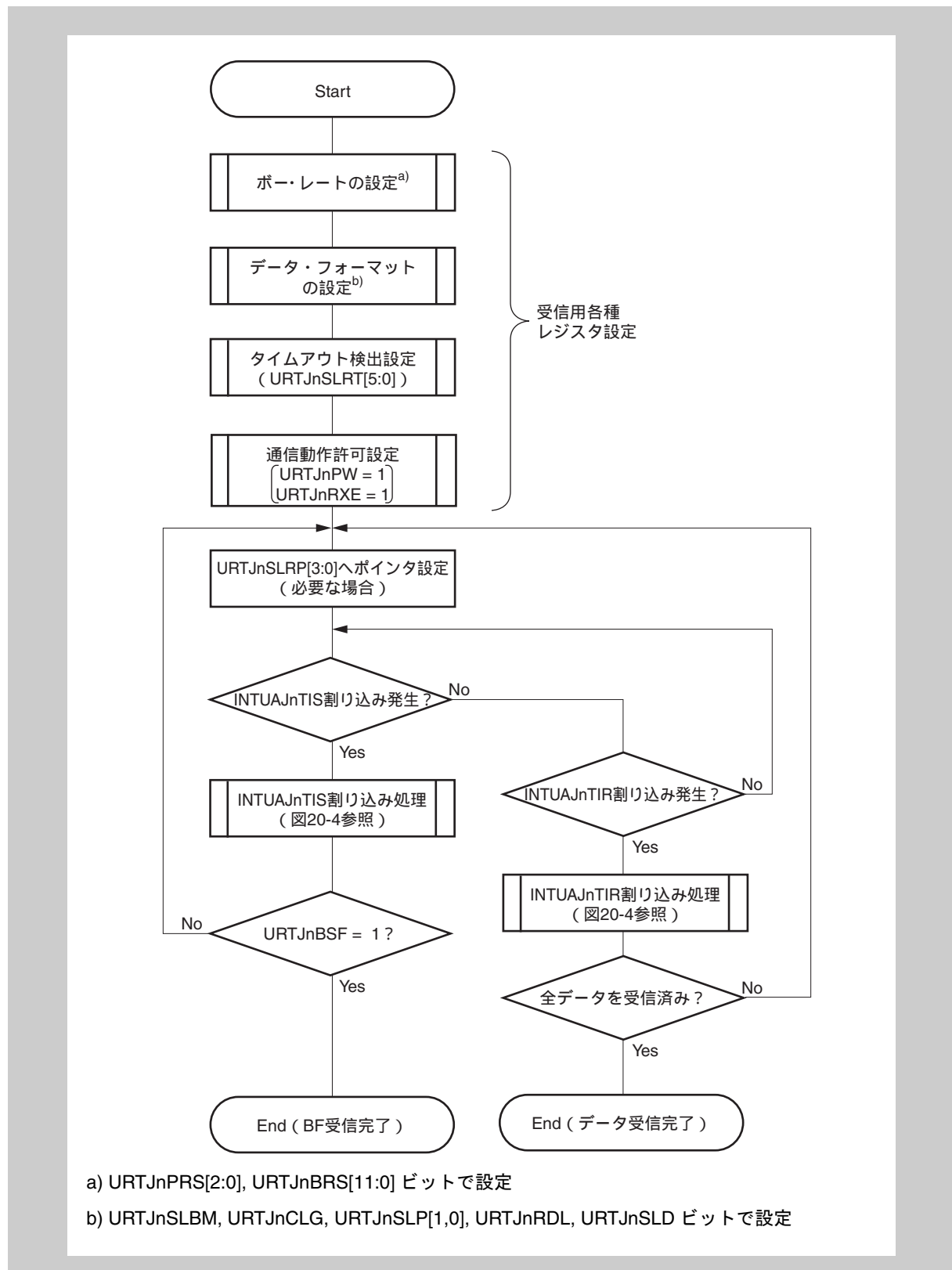


図 20-16 データ受信のフロー (URTJnSLBM = 1, URTJnSSBR = 0)

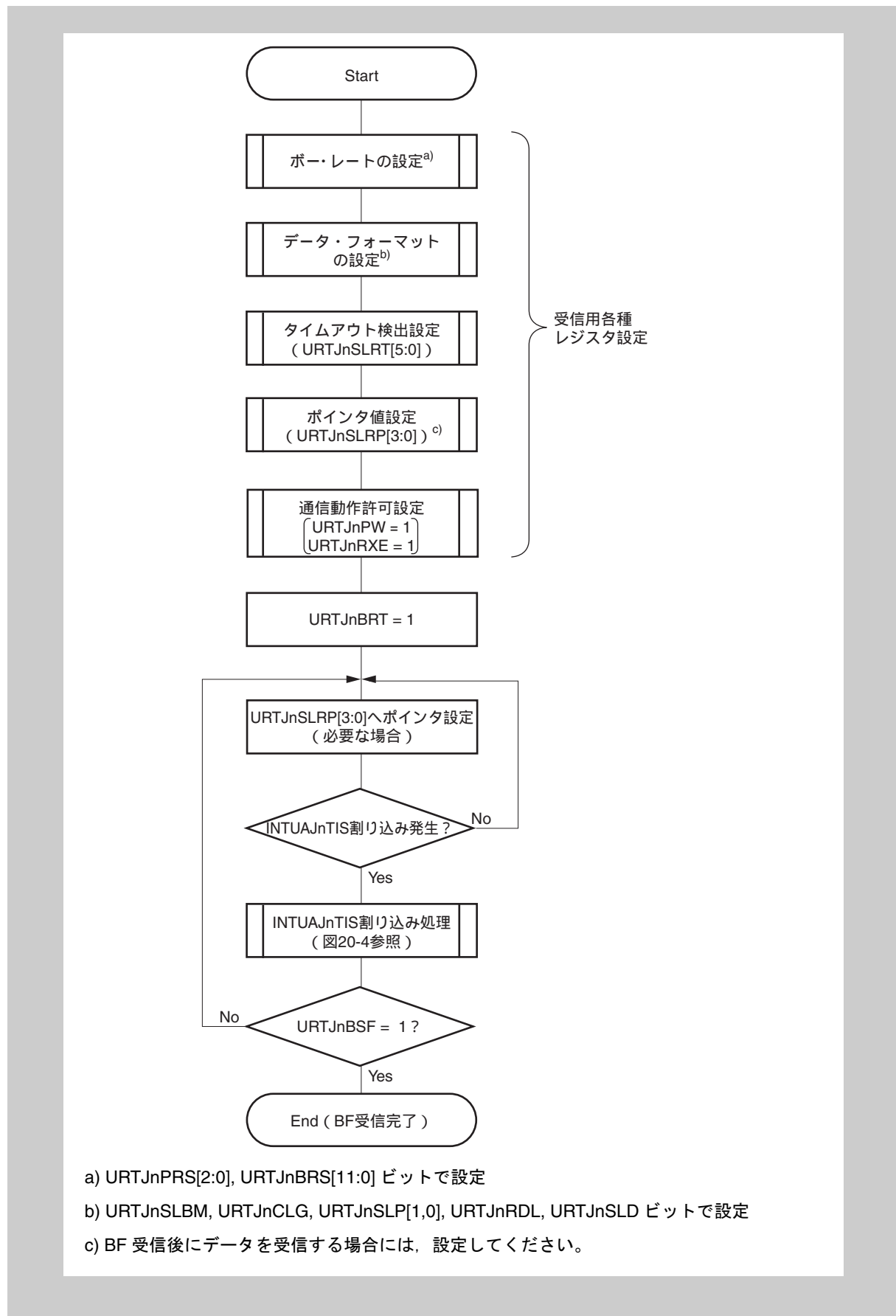


図 20-17 データ受信のフロー (URTJnSLBM = 1, URTJnSSBR = 1)

20.6.7 受信エラー

受信動作中のエラーには以下の4種類があります。

- パリティ・エラー
- フレーミング・エラー
- オーバラン・エラー
- タイムアウト・エラー

エラーの原因を特定するためのさまざまなデータ受信結果エラー・フラグが用意されており、エラーが発生するとステータス割り込み要求信号 INTUAJnTIS が発生します。

表 20-22 受信エラーの原因と指標

受信エラー	エラー・フラグ	原因
パリティ・エラー	最初のパリティ・エラーを検出したときに URTJnSTR1.URTJnPE = 1 受信 FIFO 内の各データについて URTJnFRX.URTJnPE = 1	受信パリティ・ビットが設定と一致しない
フレーミング・エラー	最初のフレーミング・エラーを検出したときに URTJnSTR1.URTJnFE = 1 受信 FIFO 内の各データについて URTJnFRX.URTJnFE = 1	ストップ・ビットが検出されない
オーバラン・エラー	URTJnFSTR1.URTJnROVE = 1	受信 FIFO がフルのときに次のデータの受信が完了した
タイムアウト・エラー	URTJnFSTR1.URTJnTMOE = 1	一定の時間内に受信 FIFO にアクセスできない

オーバラン・エラー 受信 FIFO がフルのときにデータを受信すると、オーバラン・エラー (URTJnFSTR1.URTJnROVE = 1) が発生します。その場合、受信データは受信 FIFO に転送されず、破棄されます。

パリティ・エラーとフレーミング・エラー 受信中にパリティ・エラーまたはフレーミング・エラーが発生すると、以下の動作が実行されます。

- 関連するエラー・ビットがセットされます。
 - パリティ・エラーの場合 : URTJnSTR1.URTJnPE = 1
 - フレーミング・エラーの場合 : URTJnSTR1.URTJnFE = 1
- 最初のストップ・ビットの受信位置まで受信が継続します。
- 受信データとエラー・フラグ URTJnFRX.URTJnPE または URTJnFRX.URTJnFE が受信 FIFO に転送されます。
- ステータス割り込み INTUAJnTIS が発生します。
- 受信 FIFO の格納データ数が URTJnFSTR0.URTJnSSRW[4:0] であらかじめ定義されたレベルに達すると、受信割り込み INTUAJnTIR が発生します。

備考 最初のパリティ・エラーまたはフレーミング・エラーが検出されると、エラー・フラグ URTJnFRX.URTJnPE または URTJnFRX.URTJnFE がセットされ、URTJnSTC.URTJnCLP = 1 または URTJnSTC.URTJnCLF = 1 によってフラグがクリアされるまで、1 にセットされたままになります。

タイムアウト・エラー タイムアウト・エラーは以下の場合に発生します。

- 受信 FIFO が空でない場合
- 一定の時間にわたって受信データが受信 FIFO に格納されていないか、受信 FIFO からデータが読み出されていない場合

タイムアウトの時間は URTJnFCTL1.URTJnSLRT[5:0] を設定することによってプログラミングすることができます。ポー・レート・クロック BRCLK の周期の倍数でタイムアウトの時間を指定します。

タイムアウト・エラーが発生すると、フラグ URTJnFSTR1.URTJnTMOE が 1 にセットされ、ステータス割り込み要求 INTUAJnTIS が発生します。

20.6.8 パリティの種類と動作

注意 LIN 機能を使用するときは、URTJnCTL1.URTJnSLP[1:0] を 00_B に固定してください。

パリティ・ビットは通信データ内のビット・エラーを検出するために使用されます。通常は、送信側と受信側で同じパリティが使用されます。

偶数パリティと奇数パリティの場合は、奇数カウント・ビット・エラーを検出することができます。0 パリティとパリティなしの場合は、エラーを検出できません。

(1) 偶数パリティ

- 送信中：
パリティ・ビットを含めた送信データ中の、値が 1 のビット数が偶数個になるように制御します。パリティ・ビットの値は次のようになります。
 - 送信データ中に、値が 1 のビット数が奇数個：1
 - 送信データ中に、値が 1 のビット数が偶数個：0
- 受信中：
パリティ・ビットを含めた受信データ中の、値が 1 のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(2) 奇数パリティ

- 偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が1のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。
 - 送信データ中に、値が1のビット数が奇数個：0
 - 送信データ中に、値が1のビット数が偶数個：1
- 受信時：
パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(3) 0パリティ

送信中、送信データに関係なくパリティ・ビットを常に0にします。

受信時にはパリティ・ビットのチェックを行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーが発生しません。

(4) パリティなし

送信データにパリティ・ビットを追加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

20.6.9 デジタル受信データ・ノイズ・フィルタ

受信データ信号入力 URTJnTRXD は、ノイズやヒゲを除去するデジタル・ノイズ・フィルタを備えています。

このフィルタはプリスケアラ出カクロック PRSCLK を使用して URTJnTRXD 端子信号をサンプリングします。

サンプリング値が同じ値を2回取ると、URTJnTRXD 端子信号は有効入力データと見なされます。

したがって、URTJnTRXD 端子信号幅が1プリスケアラ出カクロック未満のデータはノイズと判断され、除去されます。

ノイズ・フィルタにより、シリアル・データ URTJnTRXD をキャプチャするときに、キャプチャしたデータを有効と見なして転送するまで、プリスケアラ出カクロック PRSCLK の4サイクル分の遅延が発生します。

20.7 ボー・レート・ジェネレータ

送受信のボー・レート・クロック BRCLK は、プリスケアラとボー・レート・ジェネレータを使用して P バス・クロック PCLK から生成されます（次の図参照）。

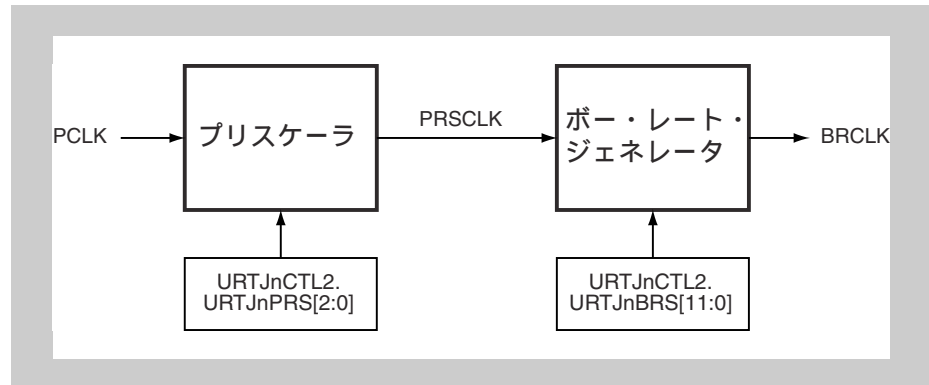


図 20-18 ボー・レート・ジェネレータの設定

プリスケアラ出力クロック PRSCLK は PCLK を分子とする分数であり、分母は値 URTJnCTL2.URTJnPRS[2:0] によって設定されます。

$$\text{PRSCLK} = \text{PCLK} / 2^{\text{URTJnPRS}[2:0]}$$

ボー・レート・ジェネレータは、URTJnCTL2.URTJnBRS[11:0] の設定によって決定される値で PRSCLK をさらに分周します。

ボー・レート・ジェネレータは、データ・フレーム用のボー・レートと BF 受信のボー・レートを次の表のように区別します。BF 受信クロックは、ボー・レート・クロック BRCLK の 2 倍です。

表 20-23 ボー・レート・ジェネレータ・クロック出力

URTJnCTL2. URTJnBRS[11:0]	送受信 BRCLK	BF 受信クロック
000 _H	PRSCLK / (2 x 4)	PRSCLK / 4
001 _H		
002 _H		
003 _H		
004 _H		
005 _H	PRSCLK / (2 x 5)	PRSCLK / 5
...	PRSCLK / (2 x URTJnBRS[11:0])	PRSCLK / URTJnBRS[11:0]
FFE _H	PRSCLK / (2 x 4094)	PRSCLK / 4094
FFF _H	PRSCLK / (2 x 4095)	PRSCLK / 4095

表 20-24 ボー・レート・ジェネレータ設定例

ボー・レート	$f_{XX} = 200 \text{ MHz}$			$f_{XX} = 192 \text{ MHz}$			$f_{XX} = 160 \text{ MHz}$			$f_{XX} = 144 \text{ MHz}$		
	$f_{PCLK} = 66.667 \text{ MHz}$			$f_{PCLK} = 64.000 \text{ MHz}$			$f_{PCLK} = 53.333 \text{ MHz}$			$f_{PCLK} = 48.000 \text{ MHz}$		
	URTJnP RS [2:0]	URTJnB RS [11:0]	ERR [%]	URTJnP RS [2:0]	URTJnB RS [11:0]	ERR [%]	URTJnP RS [2:0]	URTJnB RS [11:0]	ERR [%]	URTJnP RS [2:0]	URTJnB RS [11:0]	ERR [%]
300	5	3472	0.01	5	3333	0.01	5	2778	-0.01	5	2500	0.00
600	4	3472	0.01	4	3333	0.01	4	2778	-0.01	4	2500	0.00
1200	3	3472	0.01	3	3333	0.01	3	2778	-0.01	3	2500	0.00
2400	2	3472	0.01	2	3333	0.01	2	2778	-0.01	2	2500	0.00
4800	1	3472	0.01	1	3333	0.01	1	2778	-0.01	1	2500	0.00
9600	0	3472	0.01	0	3333	0.01	0	2778	-0.01	0	2500	0.00
14400	0	2315	-0.01	0	2222	0.01	0	1852	-0.01	0	1667	-0.02
19200	0	1736	0.01	0	1667	-0.02	0	1389	-0.01	0	1250	0.00
31250	0	1067	-0.03	0	1024	0.00	0	853	0.04	0	768	0.00
38400	0	868	0.01	0	833	0.04	0	694	0.06	0	625	0.00
57600	0	579	-0.05	0	556	-0.08	0	463	-0.01	0	417	-0.08
76800	0	434	0.01	0	417	-0.08	0	347	0.06	0	313	-0.16
115200	0	289	0.12	0	278	-0.08	0	231	0.21	0	208	0.16
153600	0	217	0.01	0	208	0.16	0	174	-0.22	0	156	0.16
312500	0	107	-0.31	0	102	0.39	0	85	0.39	0	77	-0.26
1000000	0	33	1.01	0	32	0.00	0	27	-1.23	0	24	0.00
2000000	0	17	-1.96	0	16	0.00	0	13	2.56	0	12	0.00
3000000	0	11	1.01	0	11	-3.03	0	9	-1.23	0	8	0.00
4000000	-	-	-	0	8	0.00	-	-	-	0	6	0.00
6000000	-	-	-	-	-	-	-	-	-	0	4	0.00
8000000	-	-	-	0	4	0.00	-	-	-	-	-	-
8333333	0	4	0.00	-	-	-	-	-	-	-	-	-

第 21 章 クロック同期シリアル・インタフェース G (CSIG)

本章では、クロック同期シリアル・インタフェース G (CSIG) 全般について説明します。

最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/MN4 に固有の特性について説明します。

それ以降のセクションでは、すべてのバージョンに共通の特徴について説明します。

21.1 V850E2/MN4 の CSIG の特徴

チャンネル数 チャンネル数 V850E2/MN4 は 6 チャンネルのクロック同期シリアル・インタフェース G を搭載しています。

表 21-1 CSIG のチャンネル

クロック同期シリアル・インタフェース G	
チャンネル数	6
名称	CSIG0 ~ CSIG5

n の意味 本章では、クロック同期シリアル・インタフェース G の各チャンネルを「n」(n = 0-5) で識別します。たとえば、CSIGn 制御レジスタ 0 は CSIGnCTL0 と記述します。

レジスタ・アドレス CSIGn のレジスタ・アドレスは、ベース・アドレス <CSIGn_base_OS> および <CSIGn_base_USER> からのオフセットで表されます。各 CSIGn のベース・アドレス <CSIGn_base_OS> および <CSIGn_base_USER> を以下の表に示します。

表 21-2 レジスタ・ベース・アドレス

CSIGn のチャンネル	CSIGn のチャンネル	アドレス
CSIG0	<CSIGn_base_USER>	FFFF E400 _H
	<CSIGn_base_OS>	FF70 0000 _H
CSIG1	<CSIGn_base_USER>	FFFF E500 _H
	<CSIGn_base_OS>	FF71 0000 _H
CSIG2	<CSIGn_base_USER>	FFFF E600 _H
	<CSIGn_base_OS>	FF72 0000 _H
CSIG3	<CSIGn_base_USER>	FFFF E700 _H
	<CSIGn_base_OS>	FF73 0000 _H
CSIG4	<CSIGn_base_USER>	FFFF E800 _H
	<CSIGn_base_OS>	FF74 0000 _H
CSIG5	<CSIGn_base_USER>	FFFF E900 _H
	<CSIGn_base_OS>	FF75 0000 _H

クロック供給 クロック同期シリアル・インタフェース G は次のクロック入力 that 供給されま
す。

表 21-3 CSIGn のクロック・ソース

CSIGn のチャンネル	CSIGn のクロック	接続先
CSIG0 ~ CSIG5	PCLK	f _{PCLK}

(ポー・レート) クロック同期シリアル・インタフェース G は以下の最大転送速度 (ポー・レート) での通信が可能です。

モード	最大転送速度 (ポー・レート)
マスタ・モード	8.33 Mbps (ターゲット)
スレーブ・モード	8.33 Mbps (ターゲット)

割り込みと DMA/DTS クロック同期シリアル・インタフェース G は以下の割り込み要求と DMA/DTS 要求を発生することができます。

表 21-4 CSIGn の割り込みと DMA/DTS の要求 (1/2)

CSTGn の信号	機能	接続先
CSIG0		
CSIGTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 161 (INTCSIG0IC) DMA コントローラ・トリガ 117
CSIGTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 160 (INTCSIG0IR) DMA コントローラ・トリガ 116
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 159 (INTCSIG0IRE)
CSIG1		
CSIGTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 164 (INTCSIG1IC) DMA コントローラ・トリガ 119
CSIGTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 163 (INTCSIG1IR) DMA コントローラ・トリガ 118
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 162 (INTCSIG1IRE)
CSIG2		
CSIGTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 167 (INTCSIG2IC) DMA コントローラ・トリガ 121
CSIGTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 166 (INTCSIG2IR) DMA コントローラ・トリガ 120
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 165 (INTCSIG2IRE)
CSIG3		
CSIGTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 170 (INTCSIG3IC) DMA コントローラ・トリガ 123
CSIGTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 169 (INTCSIG3IR) DMA コントローラ・トリガ 122
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 168 (INTCSIG3IRE)
CSIG4		
CSIGTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 173 (INTCSIG4IC) DMA コントローラ・トリガ 125
CSIGTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 172 (INTCSIG4IR) DMA コントローラ・トリガ 124
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 171 (INTCSIG4IRE)

表 21-4 CSIGn の割り込みと DMA/DTS の要求 (2/2)

CSTGn の信号	機能	接続先
CSIG5		
CSIGTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG5IC DMA コントローラ・トリガ 127
CSIGTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG5IR DMA コントローラ・トリガ 126
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ INTCSIG5IRE

I/O 信号 クロック同期シリアル・インタフェース G の I/O 信号を以下の表に示します。

表 21-5 CSIGn の I/O 信号 (1/2)

CSIGn の信号	機能	接続先
CSIG0		
CSIGTSCK	シリアル・クロック信号	ポート SCK0
CSIGTSI	シリアル・データ入力信号	ポート SI0
CSIGTSO	シリアル・データ出力信号	ポート SO0
CSIGTSSI	スレーブ選択入力信号	ポート CSI0_SSI
CSIGTRYO	レディ/ビジー出力信号	ポート CSI0_RYO
CSIGTRYI	レディ/ビジー入力信号	ポート CSI0_RYI
CSIG1		
CSIGTSCK	シリアル・クロック信号	ポート SCK1
CSIGTSI	シリアル・データ入力信号	ポート SI1
CSIGTSO	シリアル・データ出力信号	ポート SO1
CSIGTSSI	スレーブ選択入力信号	ポート CSI1_SSI
CSIGTRYO	レディ/ビジー出力信号	ポート CSI1_RYO
CSIGTRYI	レディ/ビジー入力信号	ポート CSI1_RYI
CSIG2		
CSIGTSCK	シリアル・クロック信号	ポート SCK2
CSIGTSI	シリアル・データ入力信号	ポート SI2
CSIGTSO	シリアル・データ出力信号	ポート SO2
CSIGTSSI	スレーブ選択入力信号	ポート CSI2_SSI
CSIGTRYO	レディ/ビジー出力信号	ポート CSI2_RYO
CSIGTRYI	レディ/ビジー入力信号	ポート CSI2_RYI
CSIG3		
CSIGTSCK	シリアル・クロック信号	ポート SCK3
CSIGTSI	シリアル・データ入力信号	ポート SI3
CSIGTSO	シリアル・データ出力信号	ポート SO3
CSIGTSSI	スレーブ選択入力信号	ポート CSI3_SSI
CSIGTRYO	レディ/ビジー出力信号	ポート CSI3_RYO
CSIGTRYI	レディ/ビジー入力信号	ポート CSI3_RYI

表 21-5 CSIGn の I/O 信号 (2/2)

CSIGn の信号	機能	接続先
CSIG4		
CSIGTSCK	シリアル・クロック信号	ポート SCK4
CSIGTSI	シリアル・データ入力信号	ポート SI4
CSIGTSO	シリアル・データ出力信号	ポート SO4
CSIGTSSI	スレーブ選択入力信号	ポート CSI4_SSI
CSIGTRYO	レディ/ビジー出力信号	ポート CSI4_RYO
CSIGTRYI	レディ/ビジー入力信号	ポート CSI4_RYI
CSIG5		
CSIGTSCK	シリアル・クロック信号	ポート SCK5
CSIGTSI	シリアル・データ入力信号	ポート SI5
CSIGTSO	シリアル・データ出力信号	ポート SO5
CSIGTSSI	スレーブ選択入力信号	ポート CSI5_SSI
CSIGTRYO	レディ/ビジー出力信号	ポート CSI5_RYO
CSIGTRYI	レディ/ビジー入力信号	ポート CSI5_RYI

21.2 機能の概要

- 機能の概要**
- 3 線式シリアル同期データ転送
 - マスタ・モードまたはスレーブ・モードを選択可能
 - スレーブ選択入力信号 (CSIGnTSSI)
 - ボー・レート・ジェネレータを内蔵
 - ボー・レートが調整可能。スレーブ・モードでは入力クロックによってボー・レートを決定
 - 最大転送速度：
 - マスタ・モード : PCLK/4
 - スレーブ・モード : PCLK/6

注意 製品によって実際に使用可能な最大ボー・レートの制限があります。各製品の最大ボー・レートを越えないようにボー・レート設定を行ってください。

- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 7 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL (Extended Data Length : 拡張データ長) 機能
- 以下の 3 つの転送モードを選択可能：
 - 送信モード
 - 受信モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ一貫性チェック, パリティ, オーバラン)
- 送信バッファと受信バッファが別々 (16 ビット・レジスタを 2 個搭載)
- 3 つの割り込み要求信号 (CSIGnTIC, CSIGnTIR, CSIGnTIRE)
- 自己テスト用の LBM (ループ・バック・モード) 機能

以下のブロック図は CSIG の主要なコンポーネントを示しています。

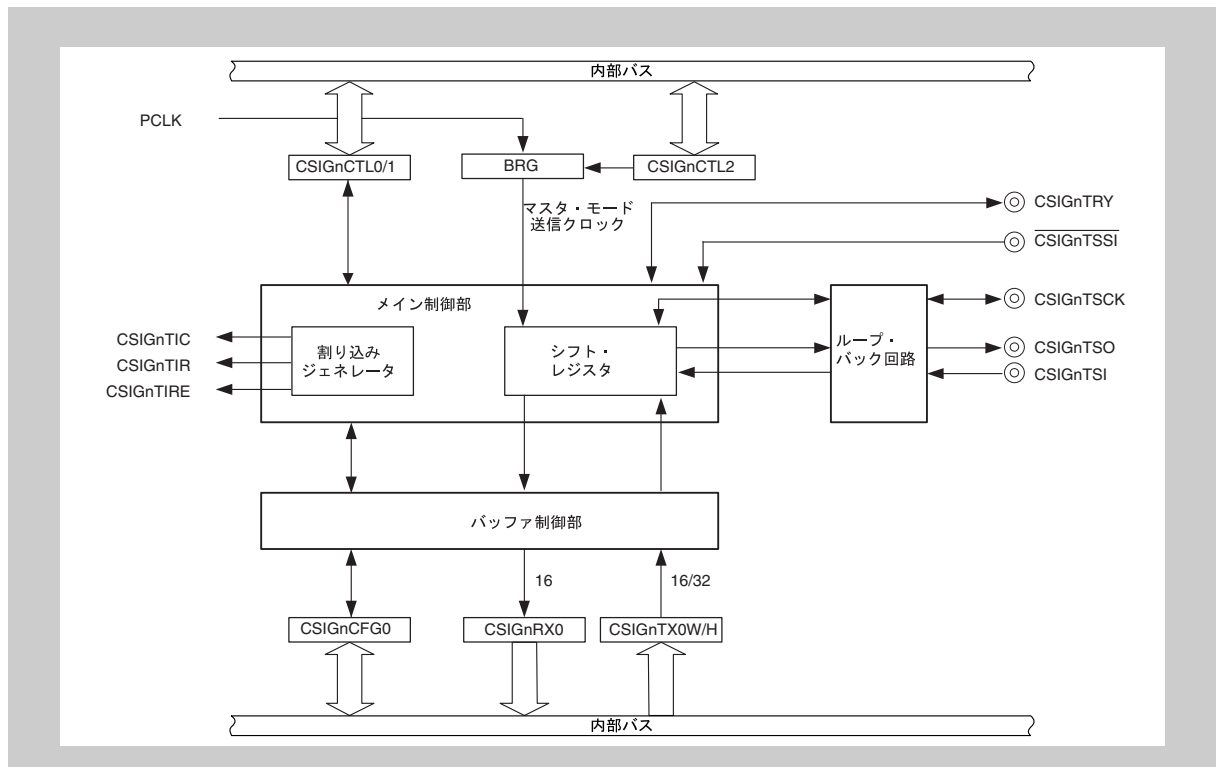


図 21-1 CSIG のブロック図

マスタ・モードでは、シリアル・クロック CSIGnTSCCK が内蔵のポー・レート・ジェネレータ (BRG) によって生成されます。スレーブ・モードでは、外部ソースからシリアル・クロックが供給されます。

21.3 機能の説明

クロック同期シリアル・インタフェースでは以下の3つの信号を通信に使用します。

- シリアル・クロック CSIGnTSCK (マスタ・モードでは出力, スレーブ・モードでは入力)
- データ出力信号 CSIGnTSO
- データ入力信号 CSIGnTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- CSIGnTSSI : スレーブ選択入力信号
- CSIGnTRY : ハンドシェイク信号 (マスタ・モードでは入力, スレーブ・モードでは出力)

CSIGnCTL2 レジスタによって、CSIG をマスタ・モードまたはスレーブ・モードのどちらで動作させるかを選択します。

データ送信は、1ビットずつシリアルに行われ、シリアル・クロックに同期します。

CSIG の設定で重要な役割を果たすレジスタを以下の表に示します。

レジスタ	機能
CSIGnCTL0	動作クロック (PCLK) を有効または無効にし、データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング、拡張データ長、データ一貫性チェック、ループ・バック・モード、ハンドシェイクなどのオプション機能を制御します。
CSIGnCTL2	マスタ・モードまたはスレーブ・モードを選択し、マスタ・モードでは内蔵ポー・レート・ジェネレータ (BRG) のポー・レートを選択します。
CSIGnCFG0	通信プロトコルを設定します。

21.3.1 動作モード (マスタ/スレーブ)

マスタ/スレーブの選択は CSIGnCTL2.CSIGnPRS[2:0] ビットで行い、マスタを選択した場合は、シリアル・クロックのソース・クロックも選択する必要があります。

(1) マスタ・モード

マスタ・モードでは、シリアル・クロックが内蔵のポー・レート・ジェネレータ (BRG) によって生成され、CSIGNTSCK 信号を介してスレーブに供給されます。

マスタ・モードは、CSIGNCTL2.CSIGNPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタ・モードでは、CSIGNCTL2.CSIGNPRS[2:0] ビットと CSIGNCTL2.CSIGNBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

クロックのデフォルト設定

CSIGNTSCK のデフォルト・レベルは、クロック位相選択ビットの状態によって異なります。CSIGNTSCK のデフォルト・レベルは、CSIGNCTL1.CSIGNCKR = 0 であればハイ・レベルであり、CSIGNCTL1.CSIGNCKR = 1 であればロウ・レベルです。

以下の例は、8 データ・ビット、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0、MSB ファーストのときのマスタ・モードの通信を示しています。

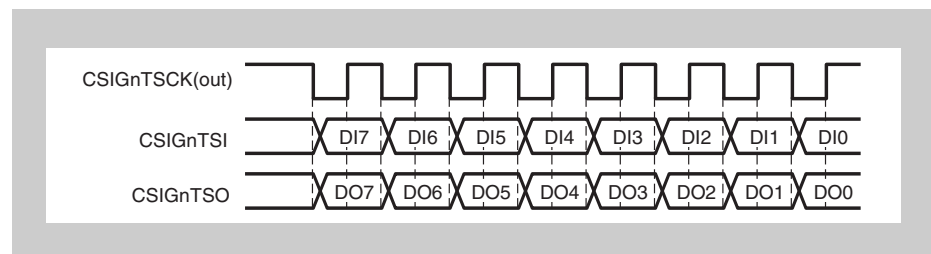


図 21-2 マスタ・モードでの送受信

(2) スレーブ・モード

スレーブ・モードでは、ほかのデバイスが通信マスタになります。外部クロックは CSIGNTSCK 信号を介して供給されます。クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブ・モードは、CSIGNCTL2.CSIGNPRS[2:0] を 111_B に設定することによって選択されます。

備考 スレーブ・モードを使用するときは、CSIGNCTL2.CSIGNBRS[11:0] ビットをクリアすることによってポー・レート・ジェネレータ (BRG) を無効にし、消費電量を削減できます。

以下の例は、8 データ・ビット、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0、MSB ファーストのときのスレーブ・モードの通信を示しています。

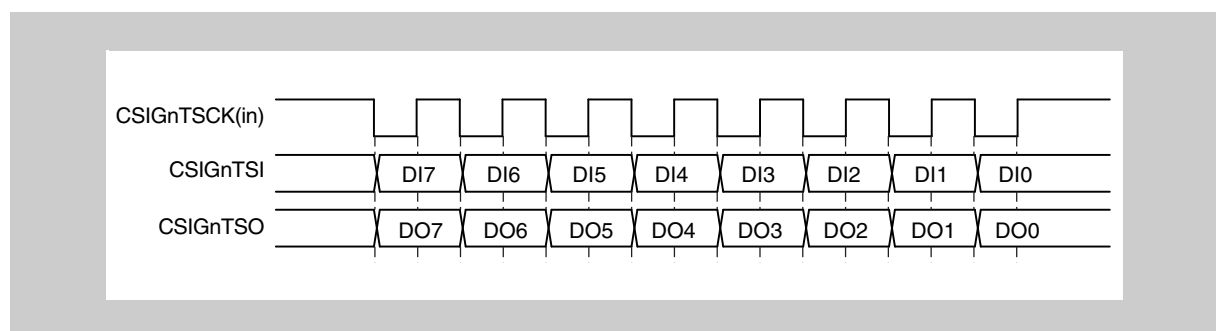


図 21-3 スレーブ・モードでの送受信

21.3.2 マスタ/スレーブの接続

(1) マスタ 1, スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

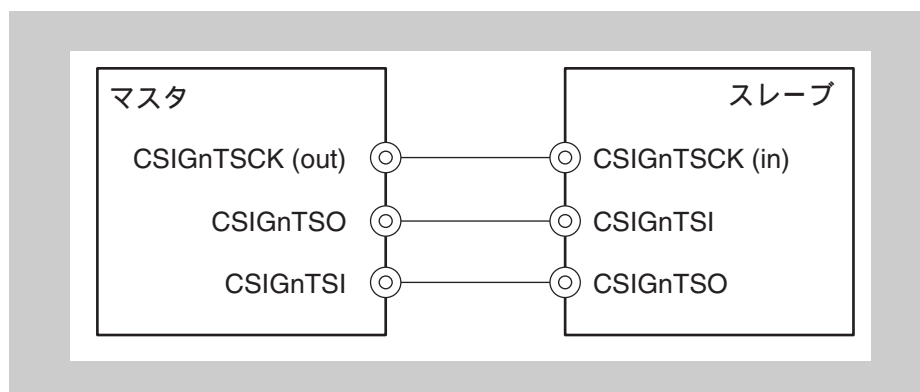


図 21-4 単純なマスタ/スレーブ間接続

(2) マスタ 1, スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタは各スレーブに1つずつスレーブ・セレクト (SS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 CSIGnTSSI に接続されます。

CSIGnTSSI 信号の認識機能は、ビット CSIGnCTL1.CSIGnSSE で有効または無効にすることができます。

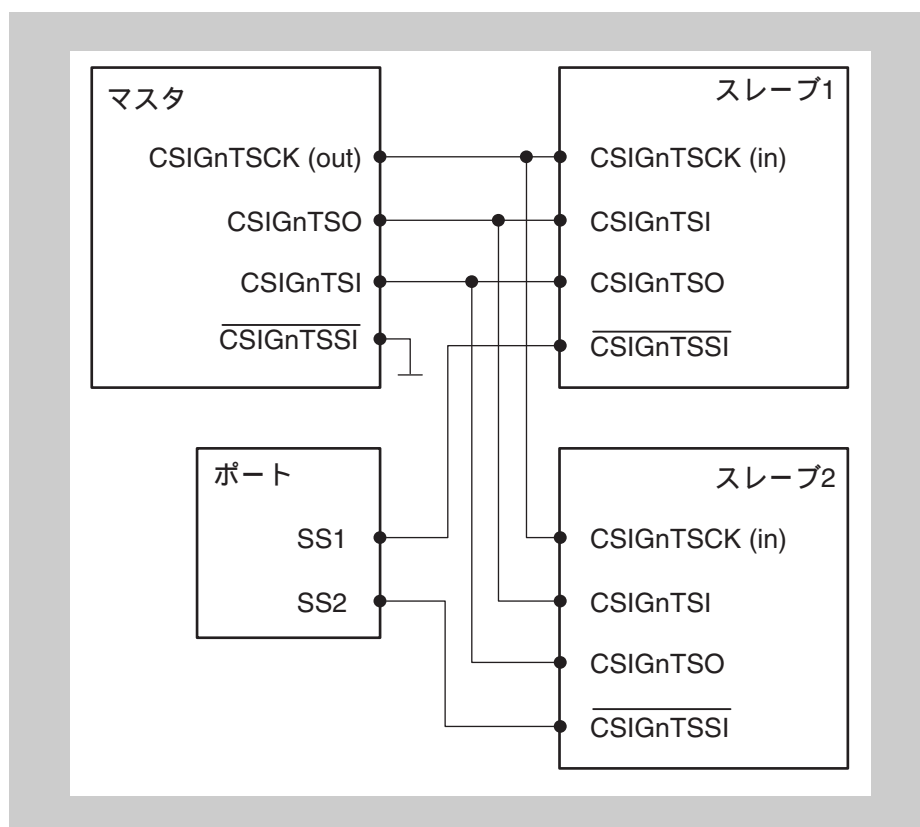


図 21-5 1つのマスタと複数のスレーブの間の接続

スレーブは、スレーブの $\overline{\text{CSIGnTSSI}}$ 信号がロウ・レベルのときに選択されます（有効になります）。

選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの CSIGnTSO 出力は、選択されているほかのスレーブの出力と干渉しないように、入力モードに設定されます。

(3) CSIGnTSO 出力制御

CSIG は、以下の条件が満たされたときに CSIGnTSO 出力が可能になります。

- CSIG が有効になっている（CSIGnCTL0.CSIGnPWR = 1）。
- CSIG が送信モードまたは送受信モードで動作している（CSIGnCTL0.CSIGnTXE = 1）。
- CSIG がスレーブ選択有効状態で動作している（CSIGnCTL1.CSIGnSSE = 1）。
- スレーブ・モード選択信号 $\overline{\text{CSIGnTSSI}}$ がインアクティブ、つまりハイ・レベルになっている。

この機能を利用して外部 CSIGnTSO 信号回線の輻輳を回避することができます。

21.3.3 シリアル・クロックの選択

マスタ・モードでは、CSIGnCTL2 レジスタの CSIGnPRS[2:0] ビットと CSIGnBRS[11:0] ビットを使用して送信ポー・レートを選択できます。

BRG のブロック図を以下に示します。

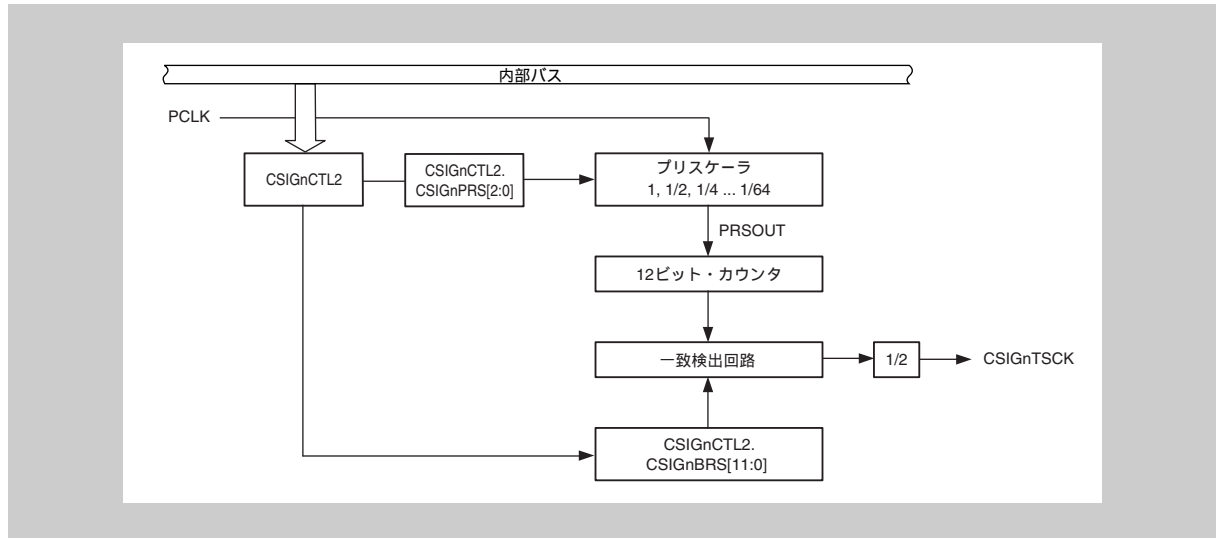


図 21-6 BRG のブロック図

CSIGnCTL2.CSIGnBRS[11:0] をクリアすると、BRG が無効になります。

ポー・レートの計算 ポー・レートの計算式は、 $PCLK / (2^m \times k \times 2)$ です。ただし、 m と k は以下の値であるとしてします。

$$m = CSIGnPRS[2:0] = 0 \sim 6$$

$$k = CSIGnBRS[11:0] = 1 \sim 4095$$

ポー・レートの上限と下限 ポー・レートを設定するときは、以下のことに注意してください。

- マスタ・モードで使用できる最大ポー・レートは $PCLK / 4$ です。
- スレーブ・モードで使用できる最大ポー・レートは $PCLK / 6$ です。
- いずれのモードでも最小ポー・レートは $PCLK / 524160$ です。

注意 製品によって実際に使用可能な最大ポー・レートの制限があります。各製品の最大ポー・レートを越えないようにポー・レート設定を行ってください。

例 $PCLK = 66.7 \text{ MHz}$ の場合、最大ポー・レートは以下のとおりです。

- マスタ・モードでは 16.667 Mbps ($PCLK / 4$)
- スレーブ・モードでは 11.111 Mbps ($PCLK / 6$)

最小ポー・レートは 127.188 bps ($PCLK / 524160$) です。

21.3.4 データ転送モード

(1) 送信モード

CSIGnCTL0.CSIGnTXE = 1, CSIGnCTL0.CSIGnRXE = 0 に設定すると、CSIG は送信モードになります。CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データがライトされると、送信が開始されます。

(2) 受信モード

CSIGnCTL0.CSIGnTXE = 0, CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は受信モードになります。

マスタ・モードでは、CSIGnRX0 レジスタのダミー・データをリードすると受信が開始されます。

CSIGnBCTL0.CSIGnSCE = 1 であれば、それ以降のすべての受信は受信データ・レジスタ CSIGnRX0 からのリードがトリガとなって通信が開始されます。

スレーブ・モードでは、マスタからシリアル・クロック CSIGnTSCK が供給されると、受信が開始されます。

備考 受信モードでは、データが上書きされないように、すでに受信しているデータを受信データ・レジスタ CSIGnRX0 からリードする必要があります。

さらに、最後に受信したデータを CSIGnRX0 からリードする前に、通信開始ビット CSIGnBCTL0.CSIGnSCE をセット (1) したあと、0 に戻す必要があります。

推奨されている手順を以下に示します。

1. CSIGnBCTL0.CSIGnSCE = 1 に設定します
2. CSIGnRX0 (ダミー・データ) をリードします。
3. 受信割り込み CSIGnTIR を待機します。
4. CSIGnRX0 (受信データ) をリードします。
手順3でデータの受信が続いた場合は、すべてのデータを受信するまでリードを続けます。
最後に受信したデータを CSIGnRX0 からリードする前に、CSIGnBCTL0.CSIGnSCE = 0 に設定します。

(3) 送受信モード

CSIGnCTL0.CSIGnTXE = 1 かつ CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は送受信モードになります。

CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データがライトされると、通信が開始されます。

21.3.5 データ長の選択

(1) 7～16 ビットのデータ長

CSIGnCFG0.CSIGnDLS[3:0] ビットを使用して、送信データ長を 7 ビットから 16 ビットの間に設定することができます。以下の例は、MSB ファースト (CSIGnCFG0.CSIGnDIR = 0) での通信を示しています。

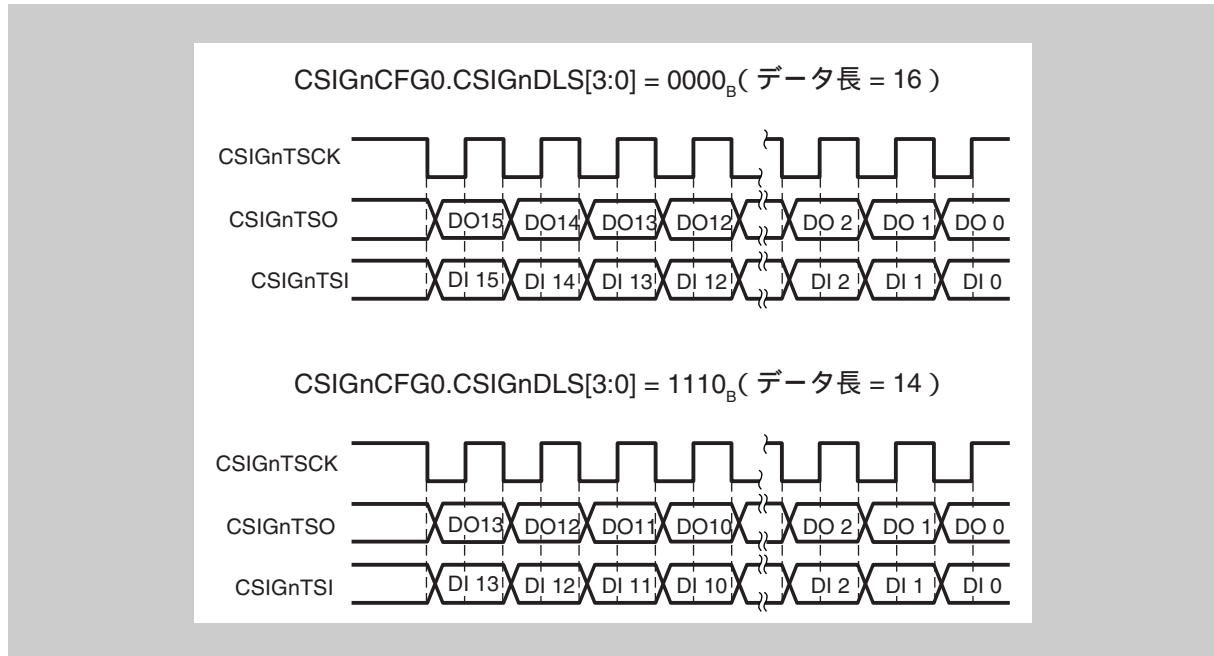


図 21-7 データ長選択機能

(2) 16 ビットを上回るデータ長

データ長が 16 ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL 機能は、CSIGnCTL1.CSIGnEDLE をセット (1) することで有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割します。たとえば、42 ビットの文字列は 2 つの 16 ビット・ブロックと 10 ビットに分割されます。
- 剰余部分は CSIGnCFG0.CSIGnDLS[3:0] ビットで指定するデータ長で設定します。
- 16 ビットのブロックを送信するときは、CSIGnTX0W.CSIGnEDL ビットをセット (1) してください。この場合、CSIGnTX0W レジスタにライトされるデータは、CSIGnCFG0.CSIGnDLS[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIGnTX0W.CSIGnEDL = 0 のときの剰余部分) のデータが送信されると転送が完了します。

例 40 ビットのデータ 123456789A_H を送信する例

40 ビットのデータを 16 ビットのデータ 2 つと 8 ビットのデータ 1 つに分割します。

- CSIGnCFG0.CSIGnDLS[3:0] = 8_D に初期化します。
- 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIGnTX0W にライトします。
 - 2000 1234_H (CSIGnTX0W.CSIGnEDL = 1)
 - 2000 5678_H (CSIGnTX0W.CSIGnEDL = 1)
 - 0000 009A_H (CSIGnTX0W.CSIGnEDL = 0)

以下の図にタイミングを示します。

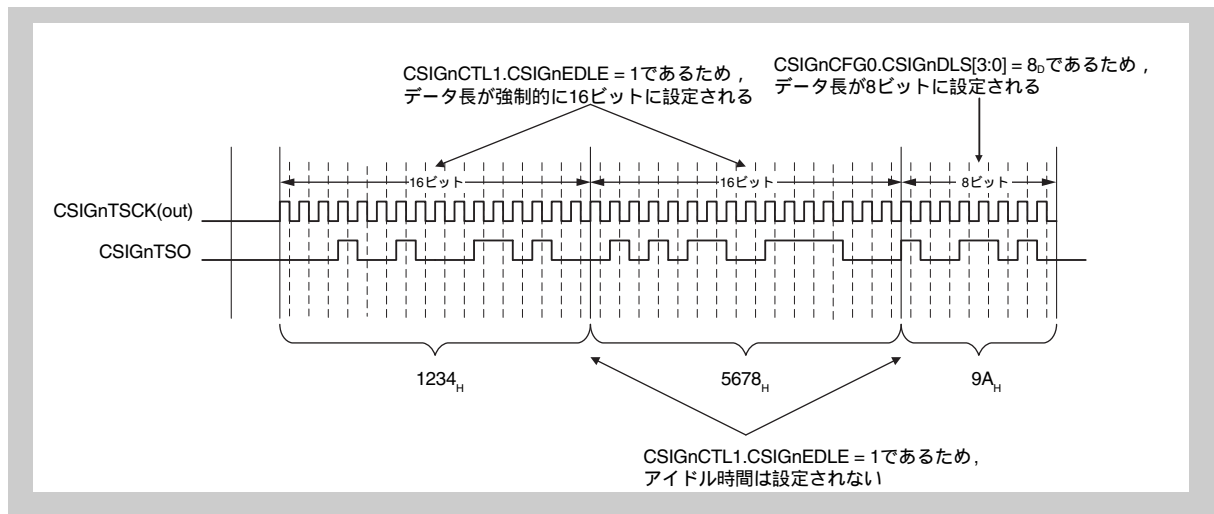


図 21-8 EDL のタイミング図

- 備考**
1. 7 ビット未満のデータ長は、EDL 機能を使用するときのみ設定できません。
 2. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
 3. パリティが有効になっていると、最後のビットの後ろにパリティ・ビットが追加されます。
 4. 送信されるデータが 123456_H の場合の例について説明します。
 - CSIGnCFG0.CSIGnDIR = 0 に設定 (MSB ファースト)
 CSIGnTX0W = 2000 1234_H をライト (CSIGnTX0W.CSIGnEDL = 1)
 CSIGnTX0W = 0000 0056_H をライト (CSIGnTX0W.CSIGnEDL = 0)
 - CSIGnCFG0.CSIGnDIR = 1 に設定 (LSB ファースト)
 CSIGnTX0W = 2000 3456_H をライト (CSIGnTX0W.CSIGnEDL = 1)
 CSIGnTX0W = 0000 0012_H をライト (CSIGnTX0W.CSIGnEDL = 0)
 5. EDL 機能は、スレーブ・モード (CSIGnCTL1.CSIGnPRS[2:0] = 111_B) で、受信モード (CSIGnCTL0.CSIGnTXE = 0, CSIGnCTL0.CSIGnRXE = 1) では使用できません。

21.3.6 シリアル・データ方向の選択

CSIGNCFG0 レジスタの CSIGNDIR ビットを使用してシリアル・データ方向を選択できます。

以下の例はデータ長 8 ビットの通信 (CSIGNCFG0.CSIGNDLS[3:0] = 1000_B) を示しています。

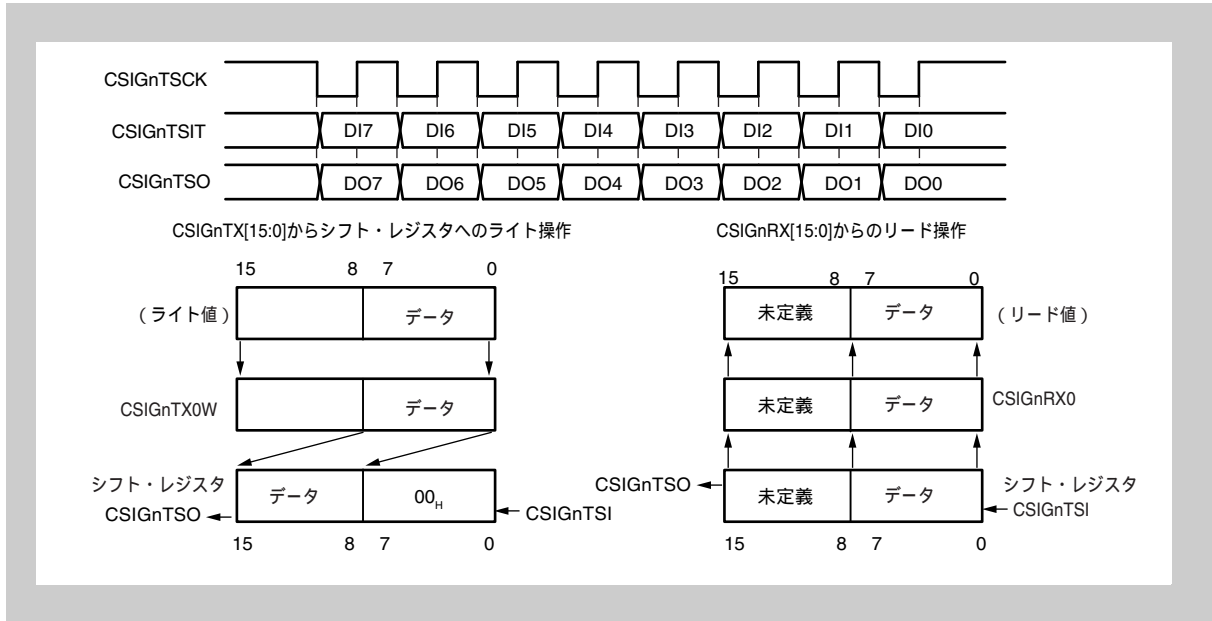


図 21-9 シリアル・データ方向選択機能 — MSB ファースト (CSIGNDIR = 0)

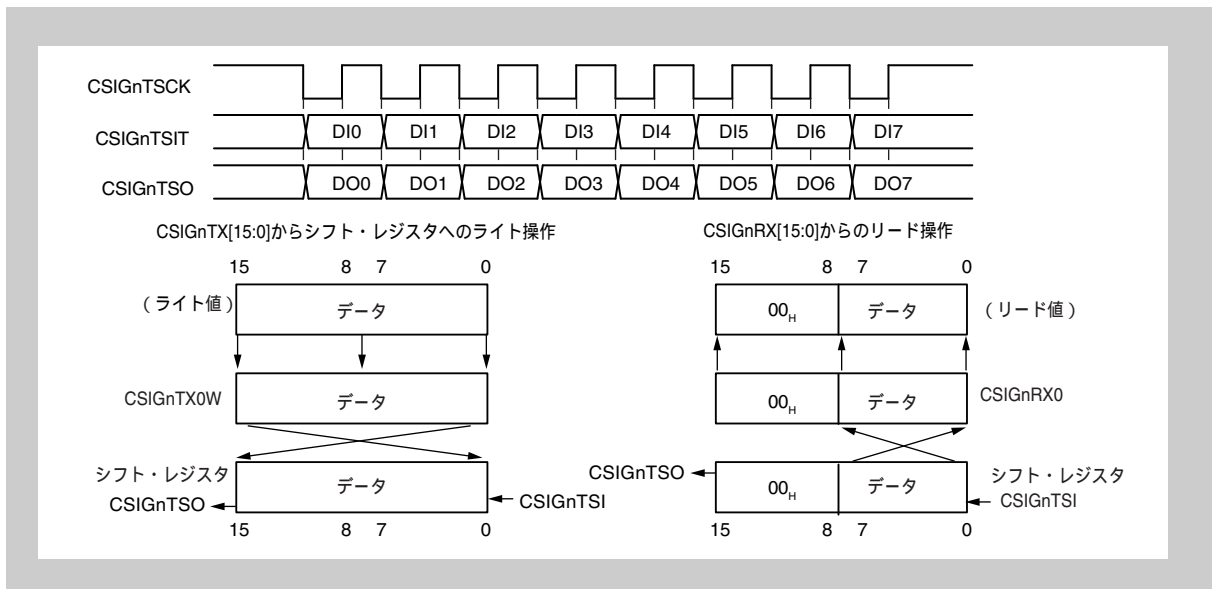


図 21-10 シリアル・データ方向選択機能 — LSB ファースト (CSIGNDIR = 1)

21.3.7 スレーブ・モードでの通信

以下の図は、スレーブ・モードでの通信の信号とタイミングを示しています。

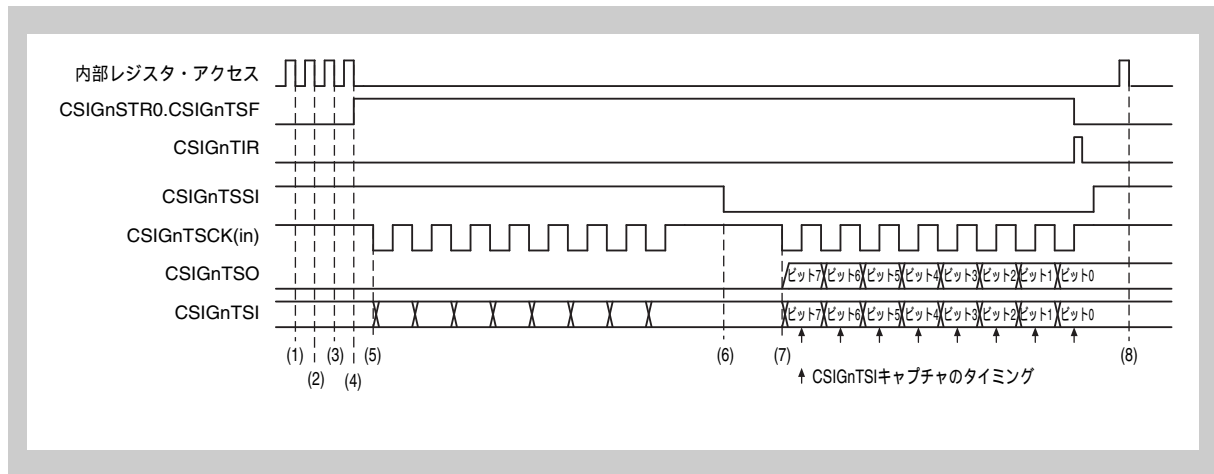


図 21-11 スレーブ・モードでの受信／送信の通信タイミング

- CSIGnCTL2.CSIGnPRS[2:0] = 111_B を設定することによって、CSIG はスレーブ・モードに入ります。
CSIGnTSSI 信号は有効 (CSIGnCTL1.CSIGnSSE = 1) です。
- CSIGnCTL1.CSIGnCKR と CSIGnCFG0.CSIGnDAP は 0、
データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)、
データ方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0) です。
- CSIG を送受信動作モードに設定 (CSIGnCTL0.CSIGnPWR = 1、
CSIGnCTL0.CSIGnTXE = 1, CSIGnCTL0.CSIGnRXE = 1)。通信の開始が許可されます。
- 転送データが送信データ・レジスタ CSIGnTX0W または CSIGnTX0H に
ライトされると、転送ステータス・フラグ CSIGnSTR0.CSIGnTSF が自
動的にセットされ、CSIGnTSSI 信号がロウ・レベルになるのを待ちま
す。
- CSIGnTSSI 信号がハイ・レベルである間は、外部シリアル・クロック
CSIGnTSCK が入力されても、送受信は開始されません。CSIGnTSO は
値を保持し、CSIGnTSI への入力は無視されます。
- CSIGnTSSI がロウ・レベルになると、CSIGnTSO が有効になったことを
示し、送信が可能になります。
- CSIGnTSSI がロウ・レベル時にシリアル・クロックが入力されると転送
データはシリアル・クロックに同期して CSIGnTSO から送信し、同時に
CSIGnTSI からデータを受信します。
- CSIGnRX0 レジスタをリードします。

21.3.8 CSIG の割り込み

CSIG は以下の割り込み要求を発生することができます。

- CSIGnTIC (通信割り込み)
- CSIGnTIR (受信割り込み)
- CSIGnTIRE (エラー割り込み)

(1) CSIGnTIC (通信割り込み)

この割り込みは、通常、データ転送が行われるたびに発生します。この割り込みを利用して、CSIGnTX0W レジスタまたは CSIGnTX0H レジスタへ新しい送信データをライトするための DMA を起動させることができます。

マスタ・モード、CSIGnCTL1.CSIGnSIT = 0 (割り込み遅延なし)、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0 (通常のクロック位相とデータ位相)、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B (データ長 8 ビット)、CSIGnCTL1.CSIGnSLIT = 0 (通常の割り込みタイミング) の設定で使用する例を以下の図に示します。

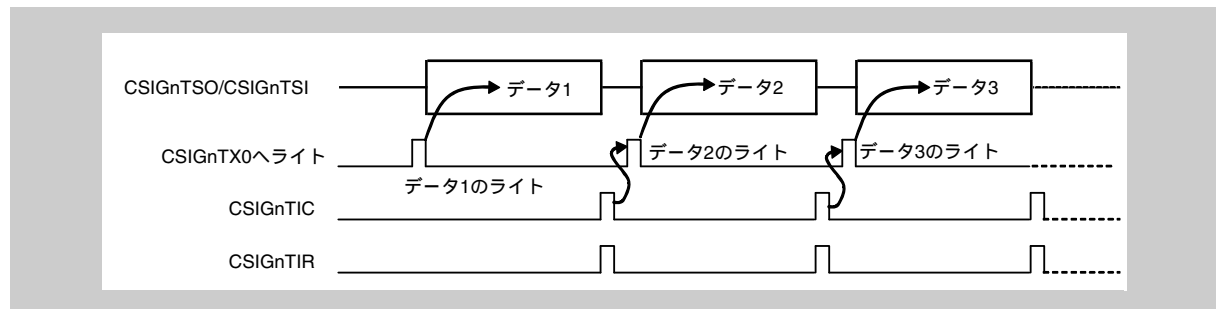


図 21-12 通信終了後の CSIGnTIC の発生 (CSIGnCTL1.CSIGnSLIT = 0)

ただし、CSIGnTX0 または CSIGnTX0H レジスタが空になり、次のデータの受け入れが可能になったときに CSIGnTIC 割り込み信号を発生するように設定することもできます。そうするには、CSIGnCTL1.CSIGnSLIT = 1 に設定します。

このモードを利用すれば、データ転送の効率を高めることができます。

以下の図にその効果を示します。

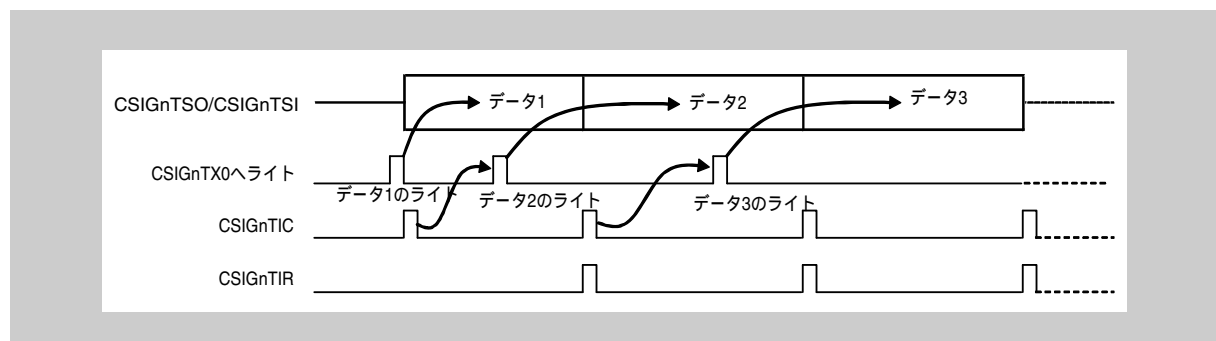


図 21-13 通信開始時の CSIGnTIC の発生

(2) CSIGNTIR (受信割り込み)

この割り込みは、受信モードまたは送受信モードで、データが受信され、そのデータが受信データ・レジスタで利用可能になると発生します。

マスタ・モード, CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし),
CSIGNCTL1.CSIGNCKR = 0, CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相), CSIGNCFG0.CSIGNDLS[3:0] = 1000_B (データ長 8 ビット) を想定しています。

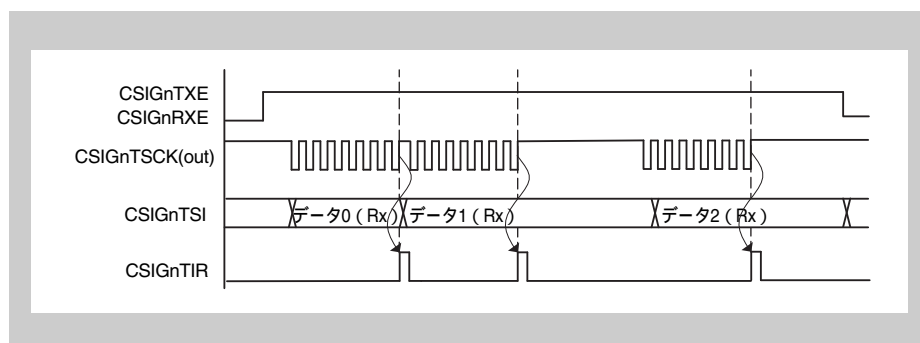


図 21-14 CSIGNTIR の発生

(3) CSIGNTIRE (受信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

表 21-6 データ・エラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス
パリティ・エラー	割り込みが発生しても通信は継続します。
データ貫性エラー	割り込みが発生しても通信は継続します。
オーバーラン・エラー	CSIGNCTL1.CSIGNHSE=0 (ハンドシェイクなし) の場合は、割り込みが発生したあと、通信は継続します (停止しません)。 CSIGNCTL1.CSIGNHSE=1 (ハンドシェイクあり) の場合は、ハンドシェイクにより通信が停止します。割り込みは発生せず、オーバーラン・エラーとなりません。

CSIGNTIRE が発生する原因となったエラーのタイプは、CSIGNSTR0 レジスタによって識別されます。

さまざまなエラー・タイプの詳細については、1274 ページの 21.3.10 「エラー検出」を参照してください。

(4) 割り込みの遅延

マスタ・モードでは、マスタが発生させるすべての割り込みをシリアル・クロック CSIGNTSCK の半周期だけ遅延させることができます。スレーブ・モードでこの機能を利用することはできません。

遅延を指定するには、ビット CSIGNCTL1.CSIGNSIT = 1 に設定します。

CSIGNCTL1.CSIGNSIT = 1 (割り込み遅延有効),

CSIGNCTL1.CSIGNCKR = 0,

CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相),

CSIGNCFG0.CSIGNDLS[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

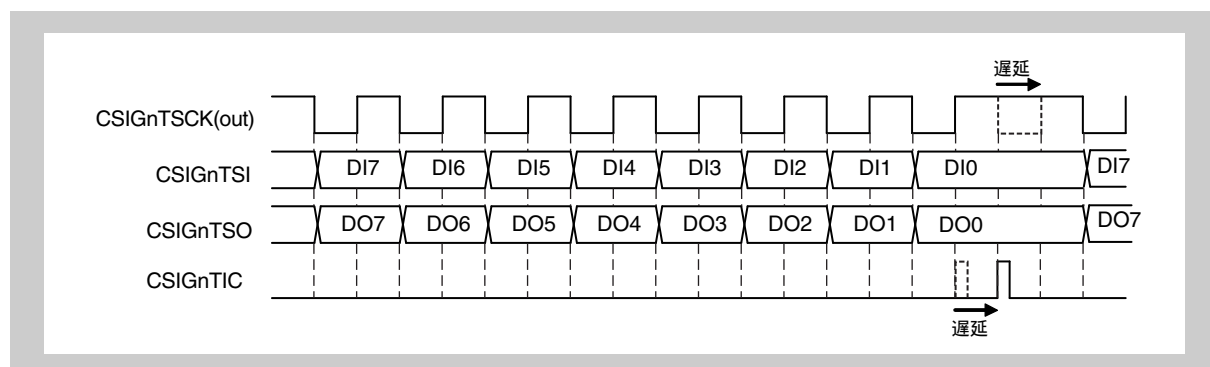


図 21-15 割り込み遅延機能 (CSIGNCTL1.CSIGNSIT = 1)

21.3.9 ハンドシェーク機能

CSIG はマスタ・デバイスとスレーブ・デバイスを同期させるハンドシェーク機能を備えています。この機能はビット CSIGnCTL1.CSIGnHSE で有効または無効にすることができます。ハンドシェークでは、CSIGnTRY 信号を使用します。また、ハンドシェーク機能が無効 (CSIGnCTL1.CSIGnHSE = 0) のときは、CSIGnTRY 信号はロウ・レベルを出力します。

タイミングはデータ位相選択ビット CSIGnCFG0.CSIGnDAP の設定によって異なります。

(1) スレーブ・モード

CSIGnCTL1.CSIGnHSE = 1 のとき、スレーブはビジー状態になると CSIGnTRY がロウ・レベルを出力します。すでに受信したデータがまだ CSIGnRX0 レジスタにあるため、シフト・レジスタから CSIGnRX0 へ新しいデータをコピーできないと、この状態になります (CSIGnRX0 フル状態)。

以下の例では、8 ビットのデータ長を想定しています。

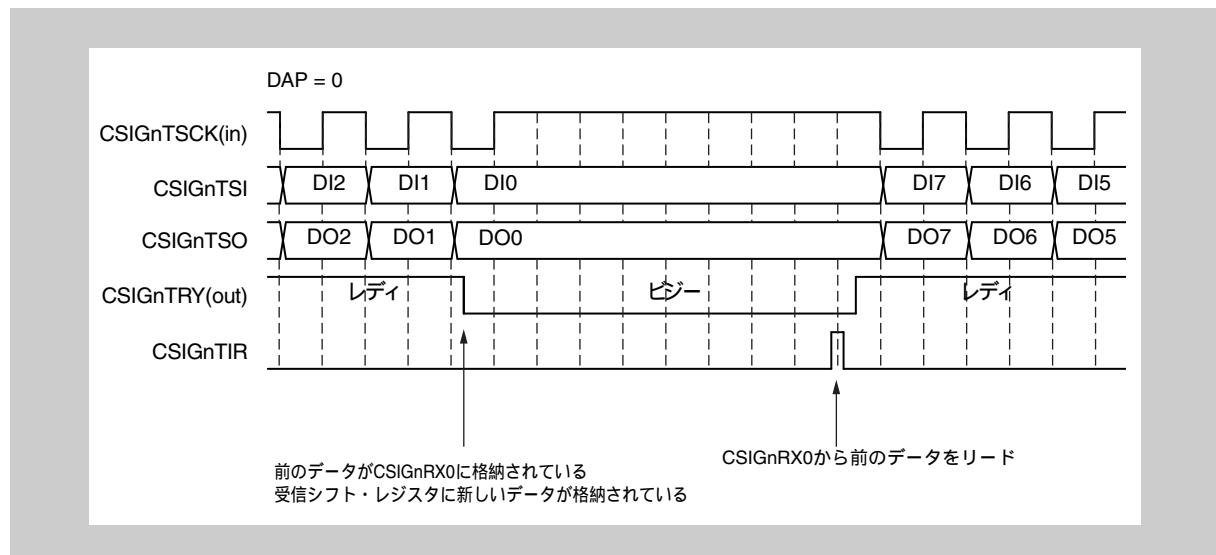


図 21-16 スレーブからのレディ/ビジー信号 (CSIGnCFG0.CSIGnDAP = 0)

スレーブがビジーである間、マスタは待機する (シリアル・クロックを停止させる) 必要があります。受信データ・レジスタ CSIGnRX0 からのリードが完了すると、ただちにスレーブは CSIGnTRY をハイ・レベル (「レディ」) に設定します。

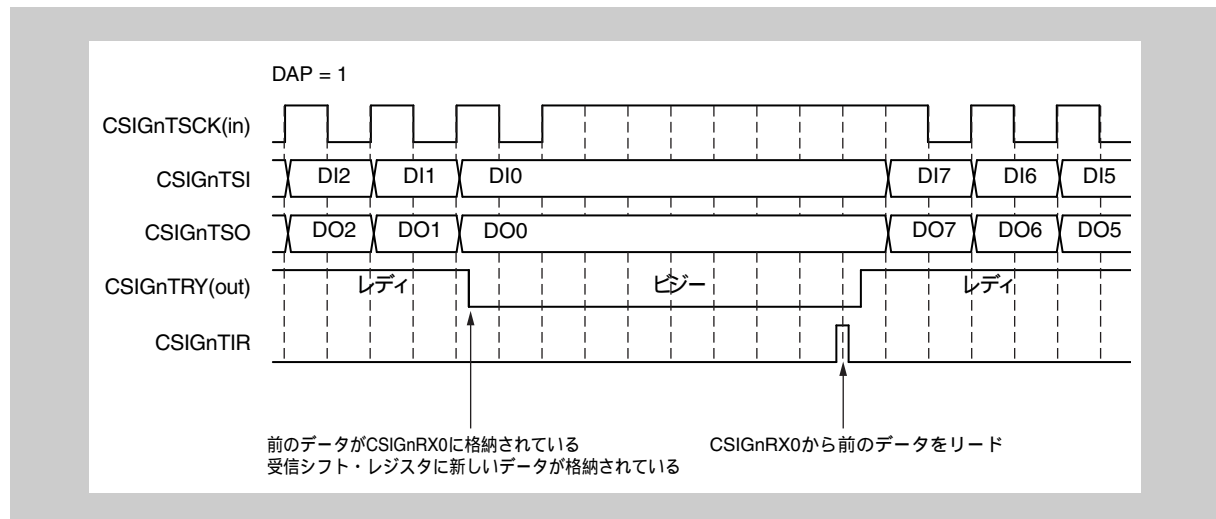


図 21-17 スレーブからのレディ/ビジー信号 (CSIGnCFG0.CSIGnDAP = 1)

(2) マスタ・モード

マスタが CSIGnTRY のロウ・レベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIGnTSCK を停止させます。

CSIGnTRY のレベルは、CSIGnTSCK の半クロック周期ごとにチェックされます。

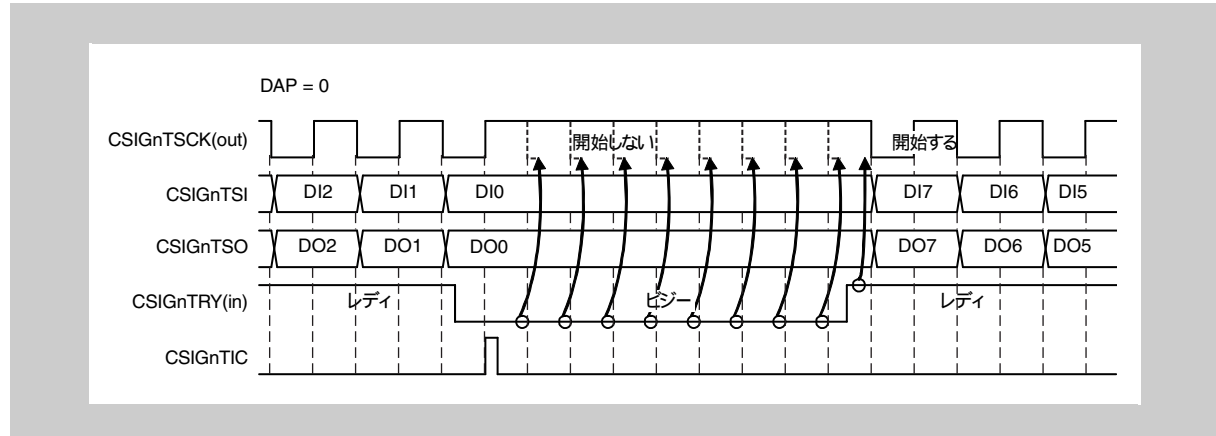


図 21-18 CSIGnTRY に対するマスタの反応 (CSIGnCFG0.CSIGnDAP = 0)

データの転送中に CSIGnTRY 信号がスレーブから送信されると、転送が完了したあと、シリアル・クロックが停止します。

マスタは CSIGnTRY がハイ・レベルになる (スレーブが「レディ」状態になる) と、ただちに通信を再開します。

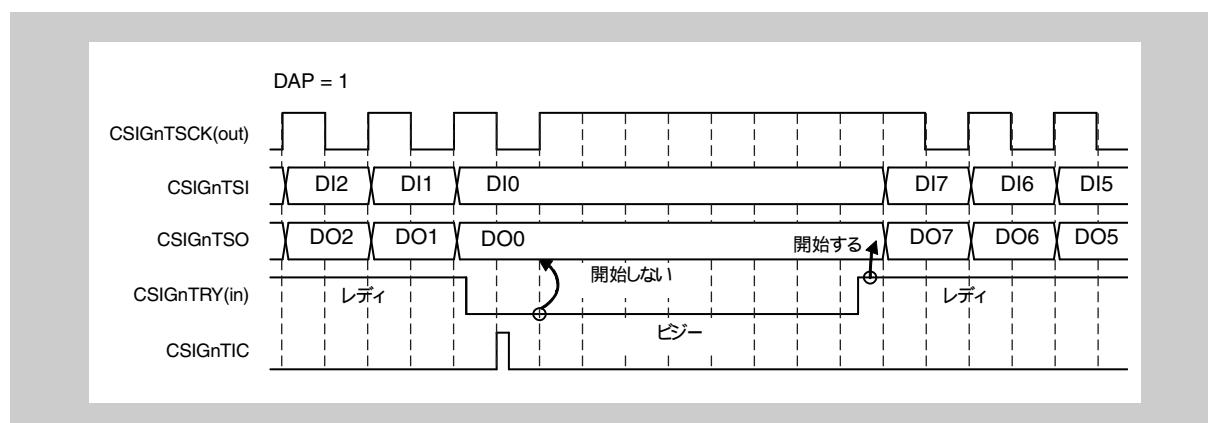


図 21-19 CSIGNTRY に対するマスタの反応 (CSIGNCFG0.CSIGNDAP = 1)

注意 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブだけの CSIGNTRY 信号を検出する必要があります。

次の転送が始まる前にスレーブは CSIGNTRY をロウ・レベルにする必要があります。転送中にスレーブがこの信号をロウ・レベルにしても、転送は完了するまで継続します。

21.3.10 エラー検出

CSIG は 3 つのエラー・タイプを検出することができます。

- データー貫性エラー (送信データ)
- パリティ・エラー (受信データ)
- オーバラン・エラー

データー貫性エラー, パリティ・エラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると, 割り込み要求 CSIGnTIRE が発生し, 検出されたエラーに対応するフラグがセットされます。

(1) データー貫性チェック

データー貫性チェックの目的は, 出力信号として物理的に送信されたデータがシフト・レジスタへコピーされた元のデータと同じかどうかを確認することです。

データー貫性チェックは CSIGnCTL1.CSIGnDCS ビットで有効または無効にすることができます。データ送信が禁止されていると (CSIGnCTL0.CSIGnTXE = 0), データー貫性チェックはアクティブになりません。

データー貫性チェックがアクティブになっていると, CSIGnTX0W または CSIGnTX0H からシフト・レジスタへ転送されたデータが別のレジスタへコピーされます。さらに, 出力信号 CSIGnTSO の物理的なレベルがキャプチャされ, その論理的な解釈が独自のシフト・レジスタにライトされます。

送信が完了すると, 送信されたデータと元の送信データとの比較が行われます。

データの不一致はデーター貫性エラーと見なされます。

- 割り込み CSIGnTIRE が発生します。
- CSIGnSTR0.CSIGnDCE ビットがセットされます。

データー貫性チェックの機能を以下のブロック図に示します。

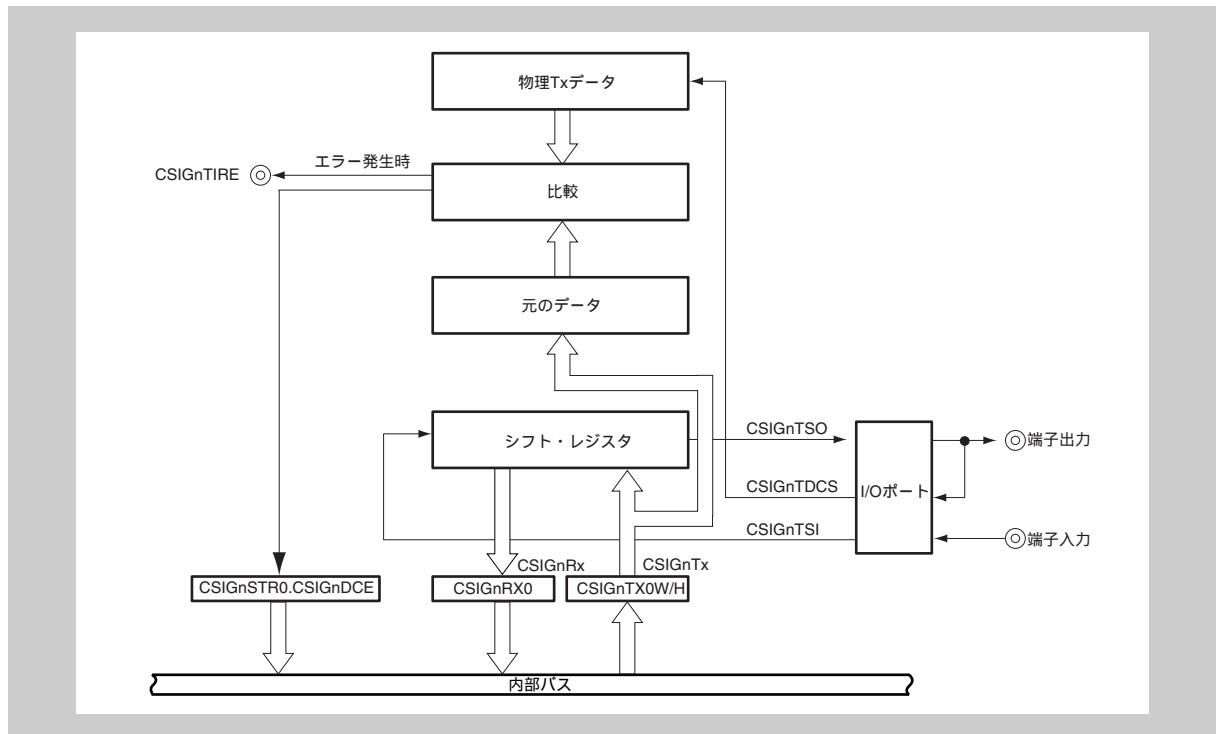


図 21-20 データ一貫性チェックの機能ブロック図

(2) パリティ・チェック

パリティはデータ送信中の単一ビット・エラーを検出する手段としてよく使われます。CSIG では、最後のデータ・ビットの後ろにパリティ・ビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIGnCFG0.CSIGnPS[1:0] で指定されます。

CSIGnCFG0.CSIGnPS[1] = 1 であれば、パリティ・チェックが有効になります。

パリティ・ビットは受信完了後にチェックされます。パリティ・エラーが発生すると、以下のことが行われます。

- 割り込み CSIGnTIRE が発生します。
- CSIGnSTR0.CSIGnPE がセット (1) されます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは 05_H と 35_H です。
- データ方向は LSB ファーストです。
- パリティ・タイプは奇数です。

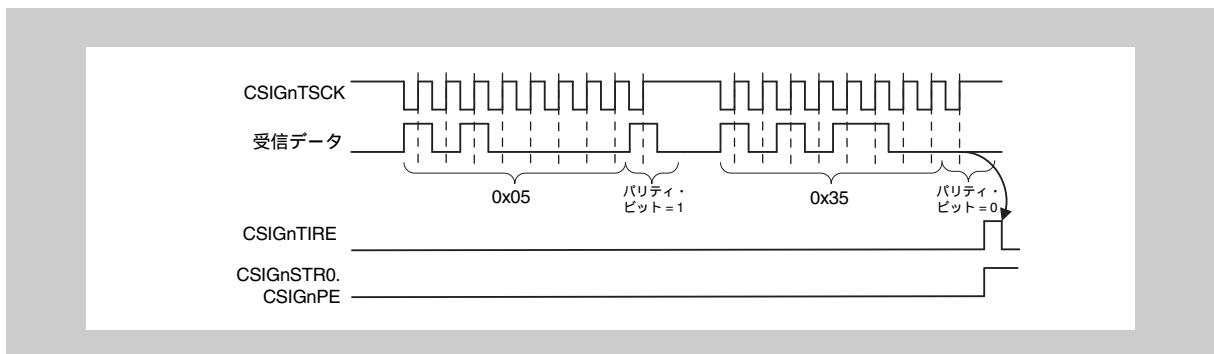


図 21-21 パリティ・チェックの例

先頭 8 ビットのパリティ・ビットは 1 です。1 の総数（パリティ・ビットを含む）が奇数であるため、パリティ・エラーは発生しません。

次の 8 ビットのパリティ・ビットは 0 です。1 の総数（パリティ・ビットを含む）が偶数であるため、これはパリティ・エラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティ・ビットは、データの最後のビットの後ろに追加されます。

(3) オーバラン・エラー

新たに受信したデータをシフト・レジスタから受信データ・レジスタ CSIGnRX0 へ転送できなくなると、このエラーが発生します。CSIGnRX0 がリードされていないため、前に受信したデータが CSIGnRX0 に残っていると、その状態になります。

マスタ・モードでは受信データの CPU リードが行われるまでシリアル・クロックを停止するため、このエラーは発生しません。スレーブ・モードではハンドシェイク機能で回避することができます。

オーバラン・エラーが発生すると、以下のことが行われます。

- CSIGnTIRE 割り込みが発生します。
- CSIGnSTR0.CSIGnOVE ビットがセット (1) されます。
- CSIGnRX0 レジスタは、受信データによって再度ライトされます。
- 通信は継続します。

以下の図にオーバラン・エラー検出機能の仕組みを示します。

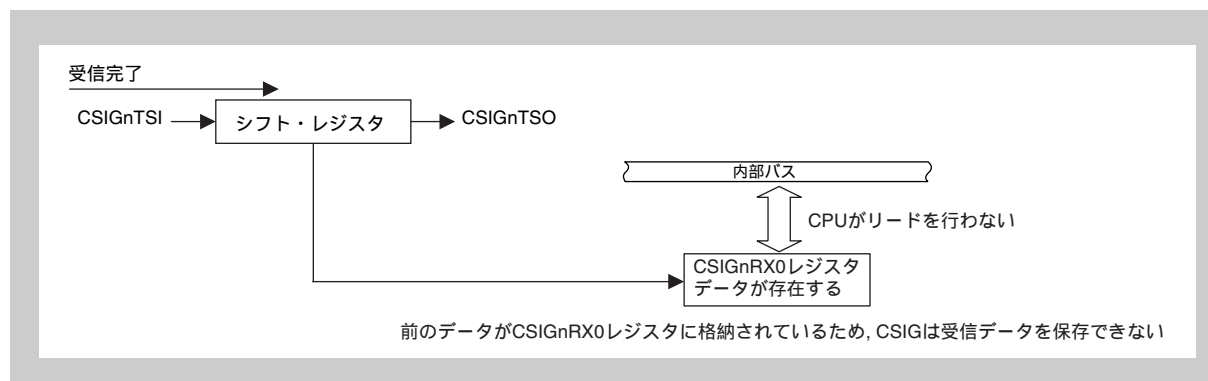


図 21-22 オーバラン・エラーの検出

以下の図に例を示します。

- 受信データ 3 はリードされていません。
- 受信データ 4 は受信されていますが、そのデータを保存することはできません。

したがって、オーバラン・エラーが発生します。

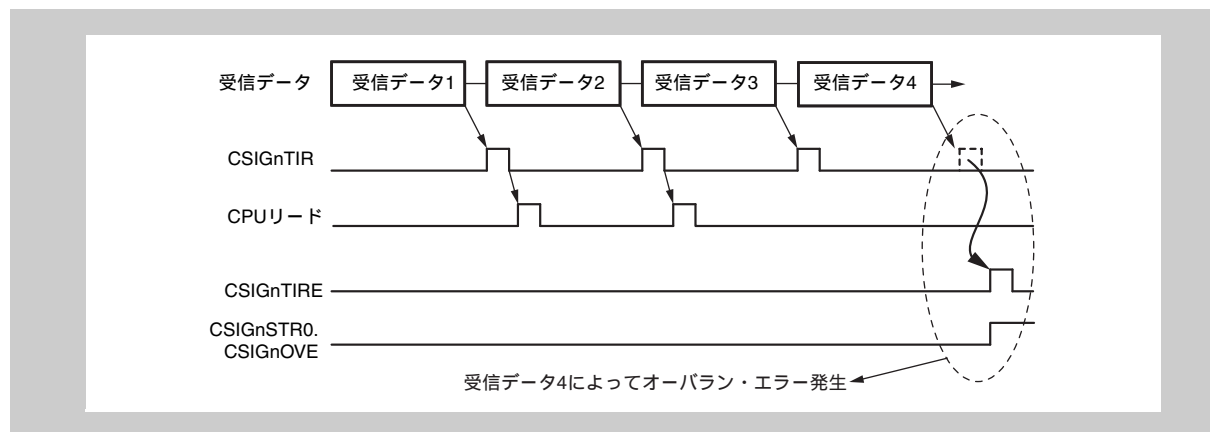


図 21-23 オーバラン・エラーの検出の例

備考 スレーブ・モードでは、ハンドシェイク機能を利用してオーバラン・エラーを回避することができます。スレーブ・モードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信データ・レジスタをリードし、再びレディ状態になるまで待機します。

詳細については、1271 ページの 21.3.9 「ハンドシェイク機能」を参照してください。

21.3.11 ループ・バック・モード

ループ・バック・モードは自己テスト用の特殊なモードです。この機能はマスタ・モードでのみ利用できます。

このモードがアクティブになっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIGnTSCK 信号、CSIGnTSO 信号、CSIGnTSI 信号はポートから切り離されます。さらに、CSIGnTSO の出力レベルがロウ・レベルに固定され、CSIGnTSCK はインアクティブになります。ハンドシェイク機能は使用できません。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG を自己テストするには、CSIGnCTL1.CSIGnLBM を 1 に設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

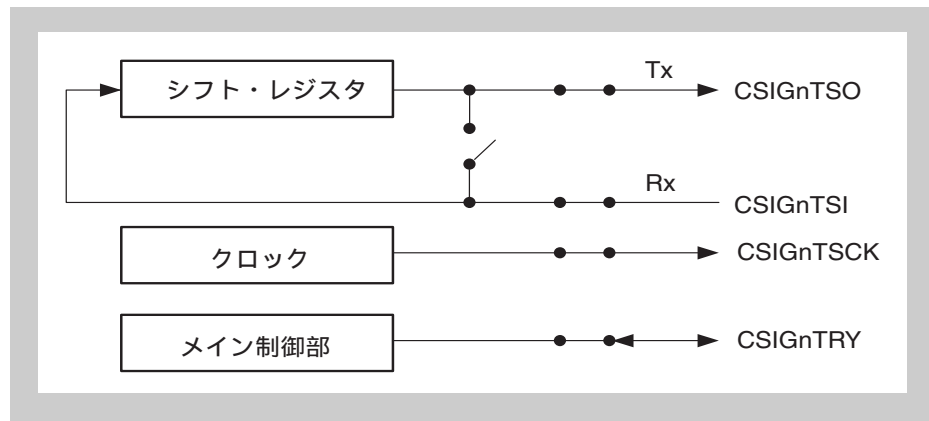


図 21-24 通常の動作 (CSIGnLBM = 0)

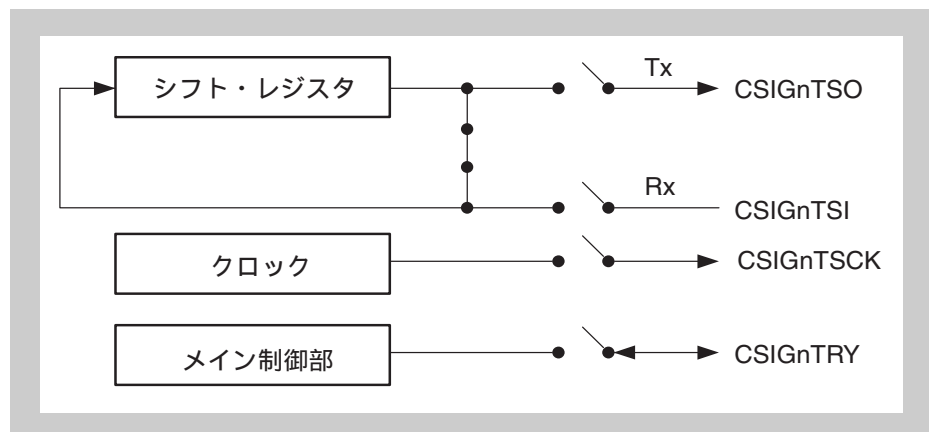


図 21-25 ループ・バック・モードでの動作 (CSIGnLBM = 1)

21.4 CSIG 制御レジスタ

CSIGn は、以下のレジスタによって制御され、操作されます。

表 21-7 CSIGn のレジスタ概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIGnCTL0	<CSIGn_base_USER> + 0000 _H
制御レジスタ 1	CSIGnCTL1	<CSIGn_base_OS> + 0010 _H
制御レジスタ 2	CSIGnCTL2	<CSIGn_base_OS> + 0014 _H
ステータス・レジスタ 0	CSIGnSTR0	<CSIGn_base_USER> + 0004 _H
ステータス・クリア・レジスタ 0	CSIGnSTCR0	<CSIGn_base_USER> + 0008 _H
受信モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base_USER> + 0080 _H
コンフィギュレーション・レジスタ 0	CSIGnCFG0	<CSIGn_base_OS> + 1010 _H
ワード・アクセス用送信データ・レジスタ 0	CSIGnTX0W	<CSIGn_base_USER> + 0084 _H
ハーフ・ワード・アクセス用送信データ・レジスタ 0	CSIGnTX0H	<CSIGn_base_USER> + 0088 _H
受信データ・レジスタ 0	CSIGnRX0	<CSIGn_base_USER> + 008C _H

<CSIGn_base> CSIGn のベース・アドレス <CSIGn_base> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

(1) CSIGNCTL0 — CSIG 制御レジスタ 0

本レジスタは、動作クロックの制御と送信／受信の許可／禁止に使用されます。

アクセス 8ビット単位または1ビット単位でリード／ライト可能です。

アドレス <CSIGN_base_USER> + 0000_H

初期値 00_H どのリセット要因でも初期化されます。

注意 ビット4-1には0を、ビット0には1を必ず設定してください。

7	6	5	4	3	2	1	0
CSIGN PWR	CSIGN TXE	CSIGN RXE	0	0	0	0	^a
R/W	R/W	R/W	R	R	R	R	R/W

a) 初期値は0ですが、必ず1を設定してください

表 21-8 CSIGNCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGNPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIGNPWR をクリア (0) すると、内部回路がリセットされ、動作が停止し、CSIG がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIGNPWR がクリア (0) されると、実行中の通信はただちに中止されます。その場合は、通信を最初からやり直す必要があります。
6	CSIGNTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIGNRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。

- 注意**
- CSIGNPWR = 0 のときは、CSIGNTXE ビット、CSIGNRXE ビットまたはビット0を変更しないでください。
ただし、CSIGNPWR ビットを0から1に変更すると同時に、CSIGNTXE、CSIGNRXE ビット、ビット0を変更することはできません。
 - データ送信が保留中または進行中、つまり CSIGNSTR0.CSIGNTSF = 1 のときに、CSIGNRXE または CSIGNTXE を変更しないでください。

(2) CSIGNCTL1 — CSIG 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。
本レジスタは、拡張データ長制御、データー貫性チェック、ループ・バック・モード、ハンドシェイク機能、スレーブ選択機能を有効または無効する機能も持っています。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGN_base_OS> + 0010_H

初期値 0000 0000H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIGNCKR	CSIGNSLIT
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGNEDLE	0	CSIGNDCS	0	CSIGNLBM	CSIGNSIT	CSIGNHSE	CSIGNSSE
R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

注意 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときにのみ変更することができます。

表 21-9 CSIGNCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
17	CSIGNCKR	CSIGNTSCK クロック位相を選択します。 0: CSIGNTSCK のデフォルト・レベルはハイ・レベル 1: CSIGNTSCK のデフォルト・レベルはロウ・レベル CSIGNCKR ビットは CSIGNCFG0.CSIGNDAP ビットと組み合わせて使用します。詳細については、1290 ページの(7)「CSIGNCFG0 — CSIG コンフィギュレーション・レジスタ0」を参照してください。
16	CSIGNSLIT	割り込み CSIGNTIC のタイミングを選択します。 0: 通常の割り込みのタイミング (転送後に割り込みを発生します)。 1: CSIGNTX0W,CSIGNTX0H レジスタの内容がシフト・レジスタに転送されると、ただちに割り込みが発生します。 詳細については、1268 ページの(1)「CSIGNTIC (通信割り込み)」を参照してください。
7	CSIGNEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については、1264 ページの(2)「16 ビットを上回るデータ長」を参照してください。
5	CSIGNDCS	データー貫性チェックを有効または無効にします。 0: データー貫性チェックを無効にします。 1: データー貫性チェックを有効にします。 詳細については、1274 ページの(1)「データー貫性チェック」を参照してください。
3	CSIGNLBM	ループ・バック・モード (LBM) を制御します。 0: ループ・バック・モードをインアクティブにします。 1: ループ・バック・モードをアクティブにします。 詳細については、1274 ページの21.3.10「エラー検出」を参照してください。 このビットはスレーブ・モードでは設定禁止です。

表 21-9 CSIGnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	CSIGnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタ・モードでのみ有効になります。スレーブ・モードでは遅延は生成されません。 詳細については、1268 ページの 21.3.8 「CSIG の割り込み」を参照してください。
1	CSIGnHSE	ハンドシェイク・モードを有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、1271 ページの 21.3.9 「ハンドシェイク機能」を参照してください。
0	CSIGnSSE	スレーブ選択機能を有効または無効にします。 0: 入力信号 CSIGnTSSI を無視します。 1: 入力信号 CSIGnTSSI を有効にします。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります (1260 ページの 21.3.2 「マスタ/スレーブの接続」も参照してください)。

CSIGnCTL1.CSIGnSSE の詳細を次に示します。

表 21-10 受信におけるのスレーブ選択機能の動作

CSIGnCTL0. CSIGnRXE	CSIGnCTL1. CSIGnSSE	CSIGn TSSI	受信動作
0	-	-	受信を禁止します。
1	0	-	可能
1	1	0	可能
1	1	1	不可能

表 21-11 送信におけるスレーブ選択機能の動作

CSIGnCTL0. CSIGnTXE	CSIGnCTL1. CSIGnSSE	CSIGn TSSI	送信動作
0	-	-	送信を禁止します。
1	0	-	可能
1	1	0	可能
1	1	1	不可能

(3) CSIGNCTL2 — CSIG 制御レジスタ 2

本レジスタでは動作モード、プリスケラを選択し、ポー・レートを指定します。

詳細については、1262 ページの 21.3.3 「シリアル・クロックの選択」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CSIGN_base_OS> + 0014_H

初期値 E000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGN PRS[2:0]			0	CSIGN BRS[11:0]											
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときのみ変更することができます。

表 21-12 CSIGNCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
15 ~ 13	CSIGNPRS [2:0]	動作モードと基本クロックの値を選択します。																																				
		<table border="1"> <thead> <tr> <th>CSIGN PRS2</th><th>CSIGN PRS1</th><th>CSIGN PRS0</th><th>基本クロック (PRSOUT) の選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>PCLK (マスタ・モード)</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>PCLK / 2 (マスタ・モード)</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>PCLK / 4 (マスタ・モード)</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>PCLK / 8 (マスタ・モード)</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>PCLK / 16 (マスタ・モード)</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>PCLK / 32 (マスタ・モード)</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>PCLK / 64 (マスタ・モード)</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>CSIGNTSCK(in) 経由の外部クロック (スレーブ・モード)</td></tr> </tbody> </table>	CSIGN PRS2	CSIGN PRS1	CSIGN PRS0	基本クロック (PRSOUT) の選択	0	0	0	PCLK (マスタ・モード)	0	0	1	PCLK / 2 (マスタ・モード)	0	1	0	PCLK / 4 (マスタ・モード)	0	1	1	PCLK / 8 (マスタ・モード)	1	0	0	PCLK / 16 (マスタ・モード)	1	0	1	PCLK / 32 (マスタ・モード)	1	1	0	PCLK / 64 (マスタ・モード)	1	1	1	CSIGNTSCK(in) 経由の外部クロック (スレーブ・モード)
CSIGN PRS2	CSIGN PRS1	CSIGN PRS0	基本クロック (PRSOUT) の選択																																			
0	0	0	PCLK (マスタ・モード)																																			
0	0	1	PCLK / 2 (マスタ・モード)																																			
0	1	0	PCLK / 4 (マスタ・モード)																																			
0	1	1	PCLK / 8 (マスタ・モード)																																			
1	0	0	PCLK / 16 (マスタ・モード)																																			
1	0	1	PCLK / 32 (マスタ・モード)																																			
1	1	0	PCLK / 64 (マスタ・モード)																																			
1	1	1	CSIGNTSCK(in) 経由の外部クロック (スレーブ・モード)																																			

表 21-12 CSIGNCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能																
11 ~ 0	CSIGNBRS [11:0]	<p>ポー・レートを選択します。 CSIGNBRS[11:0] ビットの設定はマスタ・モードでのみ有効となり、スレーブ・モードでは無視されます。</p> <table border="1"> <thead> <tr> <th>CSIGNBRS[11:0]</th> <th>CSIGNTSCK のポー・レート</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>BRG の停止</td> </tr> <tr> <td>1</td> <td>PCLK / (2^m×1×2)</td> </tr> <tr> <td>2</td> <td>PCLK / (2^m×2×2)</td> </tr> <tr> <td>3</td> <td>PCLK / (2^m×3×2)</td> </tr> <tr> <td>4</td> <td>PCLK / (2^m×4×2)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>4095</td> <td>PCLK / (2^m×4095×2)</td> </tr> </tbody> </table> <p>備考 m = 0-6 : CSIGNPRS[2:0] で設定した値</p>	CSIGNBRS[11:0]	CSIGNTSCK のポー・レート	0	BRG の停止	1	PCLK / (2 ^m ×1×2)	2	PCLK / (2 ^m ×2×2)	3	PCLK / (2 ^m ×3×2)	4	PCLK / (2 ^m ×4×2)	4095	PCLK / (2 ^m ×4095×2)
CSIGNBRS[11:0]	CSIGNTSCK のポー・レート																	
0	BRG の停止																	
1	PCLK / (2 ^m ×1×2)																	
2	PCLK / (2 ^m ×2×2)																	
3	PCLK / (2 ^m ×3×2)																	
4	PCLK / (2 ^m ×4×2)																	
...	...																	
4095	PCLK / (2 ^m ×4095×2)																	

(4) CSIGNSTR0 — CSIG ステータス・レジスタ 0

本レジスタは CSIG の状態を示します。

アクセス 32 ビット単位でリード可能です。

アドレス <CSIGN_base_USER> + 0004_H

初期値 0000 0010_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGN TSF	0	0	1	CSIGN DCE	0	CSIGN PE	CSIGN OVE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-13 CSIGNSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能										
7	CSIGNTSF	転送ステータス・フラグ 0: アイドル状態 1: 送信中または送信の準備中 このビットがセットまたはクリアされる条件を以下に示します。										
<table border="1"> <thead> <tr> <th>マスタ・モード</th> <th>セットされる条件</th> <th>クリアされる条件</th> </tr> </thead> <tbody> <tr> <td>送信モード</td> <td rowspan="2">送信データ・レジスタへの ライト</td> <td rowspan="2">最後の CSIGNTSCK エッジから 0.5 クロ ク以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信モード</td> <td>受信データ・レジスタの リード</td> <td></td> </tr> </tbody> </table>			マスタ・モード	セットされる条件	クリアされる条件	送信モード	送信データ・レジスタへの ライト	最後の CSIGNTSCK エッジから 0.5 クロ ク以内	送受信モード	受信モード	受信データ・レジスタの リード	
マスタ・モード	セットされる条件	クリアされる条件										
送信モード	送信データ・レジスタへの ライト	最後の CSIGNTSCK エッジから 0.5 クロ ク以内										
送受信モード												
受信モード	受信データ・レジスタの リード											
<table border="1"> <thead> <tr> <th>スレーブ・モード</th> <th>セットされる条件</th> <th>クリアされる条件</th> </tr> </thead> <tbody> <tr> <td>送信モード</td> <td rowspan="2">送信データ・レジスタへの ライト</td> <td rowspan="2">最後の CSIGNTSCK エッジから 0.5 クロ ク以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信モード</td> <td>CSIGNTSCK 入カタイミン グ</td> <td></td> </tr> </tbody> </table>			スレーブ・モード	セットされる条件	クリアされる条件	送信モード	送信データ・レジスタへの ライト	最後の CSIGNTSCK エッジから 0.5 クロ ク以内	送受信モード	受信モード	CSIGNTSCK 入カタイミン グ	
スレーブ・モード	セットされる条件	クリアされる条件										
送信モード	送信データ・レジスタへの ライト	最後の CSIGNTSCK エッジから 0.5 クロ ク以内										
送受信モード												
受信モード	CSIGNTSCK 入カタイミン グ											

表 21-13 CSIGnSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGnDCE	<p>データー貫性エラー・フラグ</p> <p>0: データー貫性エラーが検出されていません。</p> <p>1: データー貫性エラーが検出されています。</p> <p>このビットは CSIGnSTCR0.CSIGnDCEC に 1 をライトすることによってクリア (0) されます。</p> <p>このビットは CSIGnCTL0.CSIGnPWR = 0 のときにライト・アクセス可能です。</p> <p>このビットは CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>データー貫性エラーの検出によるセット (1) と CSIGnSTCR0.CSIGnDCEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p>
1	CSIGnPE	<p>パリティ・エラー・フラグ</p> <p>0: パリティ・エラーが検出されていません。</p> <p>1: パリティ・エラーが検出されています。</p> <p>このビットは CSIGnSTCR0.CSIGnPEC に 1 をライトすることによってクリア (0) されます。</p> <p>このビットは CSIGnCTL0.CSIGnPWR = 0 のときにライト・アクセス可能です。</p> <p>このビットは CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>パリティ・エラーの検出によるセット (1) と CSIGnSTCR0.CSIGnPEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p>
0	CSIGnOVE	<p>オーバラン・エラー・フラグ</p> <p>0: オーバラン・エラーが検出されていません。</p> <p>1: オーバラン・エラーが検出されています。</p> <p>このビットは CSIGnSTCR0.CSIGnOVEC に 1 をライトすることによってクリアされます。</p> <p>このビットは CSIGnCTL0.CSIGnPWR = 0 のときにライト・アクセス可能です。</p> <p>このビットは CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>このビットはデュアル・バッファ・モードでは 0 固定となります。</p> <p>オーバラン・エラーの検出によるセット (1) と CSIGnSTCR0.CSIGnOVEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p>

(5) CSIGNSTCR0 — CSIG ステータス・クリア・レジスタ 0

本レジスタは CSIGNSTR0 ステータス・レジスタのステータス・フラグをクリアします。

アクセス 16 ビット単位でライト可能です。

リードを行うと、常に値 0000_H が返されます。

アドレス <CSIGN_base_USER> + 0008_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	CSIGN DCEC	0	CSIGN PEC	CSIGN OVEC
R	R	R	R	R	R	R	R	R	R	R	R	W	R	W	W

表 21-14 CSIGNSTCR0 レジスタの内容

ビット位置	ビット名	機能
3	CSIGNDCEC	データー貫性エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: データー貫性エラー・フラグ (CSIGNSTR0.CSIGNDCE) をクリアします。
1	CSIGNPEC	パリティ・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: パリティ・エラー・フラグ (CSIGNSTR0.CSIGNPE) をクリアします。
0	CSIGNOVEC	オーバラン・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: オーバラン・エラー・フラグ (CSIGNSTR0.CSIGNOVE) をクリアします。

(6) CSIGNBCTL0 — CSIG 受信モード制御レジスタ 0

本レジスタは受信モードでのデータ転送を許可または禁止します。

アクセス 1ビット単位と8ビット単位でリード/ライト可能です。

アドレス <CSIGN_base_USER> + 0080_H

初期値 01_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CSIGNSCE
R	R	R	R	R	R	R	R/W

表 21-15 CSIGNBCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CSIGNSCE	CSIGNRX0 をリードすることで、次回のデータ受信の開始を許可または禁止します。 0: 次回の受信を禁止します。 1: 次回の受信を許可します。 詳細については、1263 ページの (2) 「受信モード」 および 1267 ページの 21.3.7 「スレーブ・モードでの通信」を参照してください。

- 注意**
- CSIGNTIR 割り込みが発生する 1 クロック前までに、CSIGNSCE ビットにライトしてください。
 - 動作モードが送信モードまたは送受信モードのときは、CSIGNSCE ビットは 1 に固定してください。

(7) CSIGNCFG0 — CSIG コンフィギュレーション・レジスタ 0

本レジスタでは、データ長、パリティ、転送方向、クロック位相、データ位相などの通信プロトコルを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGN_base_OS> + 1010_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGN PS[1:0]		CSIGN DLS[3:0]		0	0	0	0	0	0	CSIGN DIR	0	CSIGN DAP	
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 注意**
1. CSIGNCTL0.CSIGNPWR = 0 のときのみライト・アクセスが可能です（同じ値をライトするなら CSIGNCTL0.CSIGNPWR = 1 でも可能です）。
 2. ビット 31, 30, 23-19, 17, 15-0 には必ず 0 を設定してください。

表 21-16 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能			
29 ~ 28	CSIGNPS [1:0]	パリティを指定します。			
		CSIGN PS1	CSIGN PS0	送信	受信
		0	0	パリティを送信しません。	パリティの受信を期待しません。
		0	1	0に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を期待しますが、パリティの判定は行いません。
		1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を期待します。
		1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を期待します。

表 21-16 CSIGNCFG0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
27 ~ 24	CSIGN DLS[3:0]	<p>データ長を選択します。</p> <table border="1"> <thead> <tr> <th>CSIGN DLS[3:0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>16 ビット</td> </tr> <tr> <td>0001_B</td> <td>1 ビット</td> </tr> <tr> <td>0010_B</td> <td>2 ビット</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111_B</td> <td>15 ビット</td> </tr> </tbody> </table> <p>備考: CSIGNDLS[3:0] ビットの設定についての詳細は 21.3.5 「データ長の選択」を参照してください。 また、CSIGNDLS[3:0] ビットを 0001_B (1 ビット) ~ 0110_B (6 ビット) に設定するのは、ビット長が 16 ビット以上のときのみ可能です。</p>	CSIGN DLS[3:0]	データ長	0000 _B	16 ビット	0001 _B	1 ビット	0010 _B	2 ビット	1111 _B	15 ビット			
CSIGN DLS[3:0]	データ長																
0000 _B	16 ビット																
0001 _B	1 ビット																
0010 _B	2 ビット																
...	...																
1111 _B	15 ビット																
18	CSIGNDIR	<p>シリアル・データ方向を選択します。</p> <p>0: MSB ファーストでデータを送受信します。 1: LSB ファーストでデータを送受信します。</p>															
16	CSIGNDAP	<p>CKR : クロック位相選択ビット DAP : データ位相選択ビット</p> <table border="1"> <thead> <tr> <th>CSIGN CKR</th> <th>CSIGN DAP</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <p>CSIGNCKR ビットの詳細は、1282 ページの (2) 「CSIGNCTL1 — CSIG 制御レジスタ 1」を参照してください。</p>	CSIGN CKR	CSIGN DAP	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1	
CSIGN CKR	CSIGN DAP	クロック位相とデータ位相の選択															
0	0																
0	1																
1	0																
1	1																

(8) CSIGNTX0W — ワード・アクセス用送信データ・レジスタ 0

本レジスタは送信データを格納します。拡張データ長機能が有効になっている場合は (CSIGNCTL1.CSIGNEDLE = 1), 本レジスタを使用する必要があります。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIGN_base_USER> + 0084_H

初期値 不定

注意 CSIGNCTL0.CSIGNTXE=CSIGNCTL0.CSIGNRXE=0 のとき, CSIGNTX0W レジスタへのライト・アクセスは禁止です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGN EDL	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGNTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-17 CSIGNTX0W レジスタの内容

ビット位置	ビット名	機能
29	CSIGNEDL	<p>関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。</p> <p>0: 通常の動作。 1: 拡張データ長を有効にします。</p> <p>関連付けられたデータは 16 ビットのパケットとして送信されます。データ送信後にデータ間遅延時間またはアイドル時間は挿入されません。</p> <p>CSIGNCTL1.CSIGNEDLE = 1 かつ CSIGNTX0W.CSIGNEDL = 1 の場合は, 次のデータに対しても同じスレーブが選択しなければなりません。次のデータに対してスレーブを変更した場合, 正しい動作は保証されません。</p> <p>注意 このビットは CSIGNCTL1.CSIGNEDLE = 1 のときにのみ利用できます。</p>
15 ~ 0	CSIGNTX[15:0]	送信されるデータを保存します。

(9) CSIGNTX0H — ハーフ・ワード・アクセス用送信データ・レジスタ 0

本レジスタは送信データを保存します。本レジスタは、拡張データ長機能が無効 (CSIGNCTL1.CSIGNEDLE = 0) になっているときに使用できます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIGN_base_USER> + 0088_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 CSIGNCTL0.CSIGNTXE=CSIGNCTL0.CSIGNRXE=0 のとき、本レジスタへのライト・アクセスは禁止です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGNTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-18 CSIGNTX0H レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CSIGNTX[15:0]	送信されるデータを保存します。

(10) CSIGNRX0 — CSIG 受信データ・レジスタ 0

本レジスタは受信データを保存します。

アクセス 16 ビット単位でリード可能です。

アドレス <CSIGN_base_USER> + 008C_H

初期値 0000_H どのリセット要因でも初期化されます。

- 注意**
1. 本レジスタは、CSIGNCTL0.CSIGNPWR = 1 のとき、リード・アクセスでき、CSIGNCTL0.CSIGNPWR = 0 のとき、ライト・アクセスできます。
 2. 本レジスタは CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
 3. CSIGNCTL0.CSIGNTXE = CSIGNCTL0.CSIGNRXE = 0 のとき、本レジスタへのリード・アクセスは禁止です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGNRX[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21-19 CSIGNRX0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CSIGNRX[15:0]	受信データを保存します。

21.5 操作手順の例

(1) マスタ・モード, 送受信モードの場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
- 送信方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- 全割り込み遅延なし (CSIGnCTL1.CSIGnSIT = 0)
- 転送の最初に CSIGnTIC 割り込みが発生 (CSIGnCTL1.CSIGnSLIT = 1)

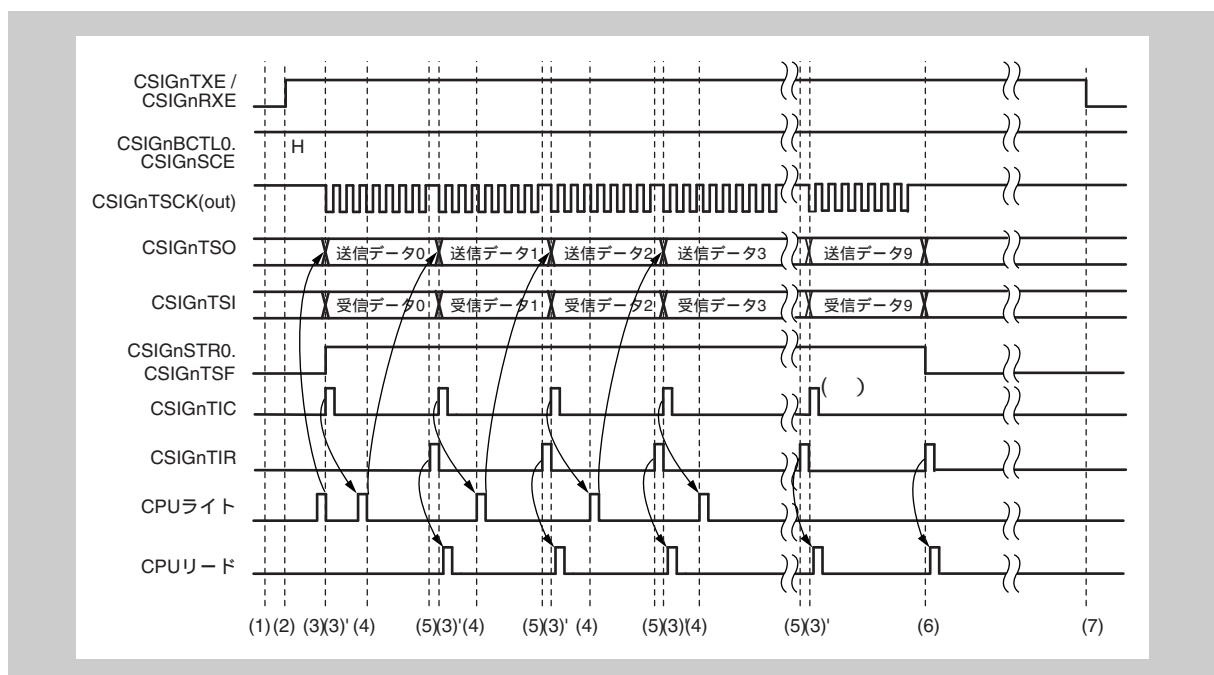


図 21-26 マスタ・モード, 送受信モードでの通信

手順 :

1. CSIGnCTL0.CSIGnPWR = 1 に設定する前に次のレジスタを設定してください。
CSIGnCTL1, CSIGnCTL2, CSIGnBCTL0, CSIGnCFG0 レジスタ。
2. CSIGnCTL0.CSIGnPWR = 1 (クロック有効),
CSIGnCTL0.CSIGnTXE = 1 (送信許可),
CSIGnCTL0.CSIGnRXE = 1 (受信許可),
CSIGnCTL0 のビット 0 = 1
3. 最初のデータを送信データ・レジスタ CSIGnTX0W にライトします。送信が自動的に開始されます。
- 3'. CSIGnCTL1.CSIGnSLIT = 1 により, CSIGnTSCK のスタート・エッジで CSIGnTIC が発生します。CSIGnTIC は次のデータを CSIGnTX0W にライト可能になったことを示します。

4. 次のデータを CSIGnTX0H にライトします。最初のデータをライトした直後に 2 番目のデータをライトすることで、データ間の不要な遅延を回避できます。
5. データが受信されるたびに CSIGnTIR 割り込みが発生します。
 - CSIGnTIR は、受信データ・レジスタ CSIGnRX0 をリードする必要があることを示します。
6. (※) の CSIGnTIC 割り込みが最後の CSIGnTIC 割り込みであれば、その CSIGnTIC 割り込みを基にした送信データ・レジスタ CSIGnTX0W へのライト動作は必要ありません。
7. 最後に、CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリア (0) して、送受信動作を禁止します。また CSIG の消費電力を抑えるために、CSIGnCTL0.CSIGnPWR = 0 に設定してください。

(2) マスタ・モード, 受信モードの場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
- 送信方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- 全割り込み遅延なし (CSIGnCTL1.CSIGnSIT = 0)
- 転送の最初に CSIGnTIC 割り込みが発生 (CSIGnCTL1.CSIGnSLIT = 1)

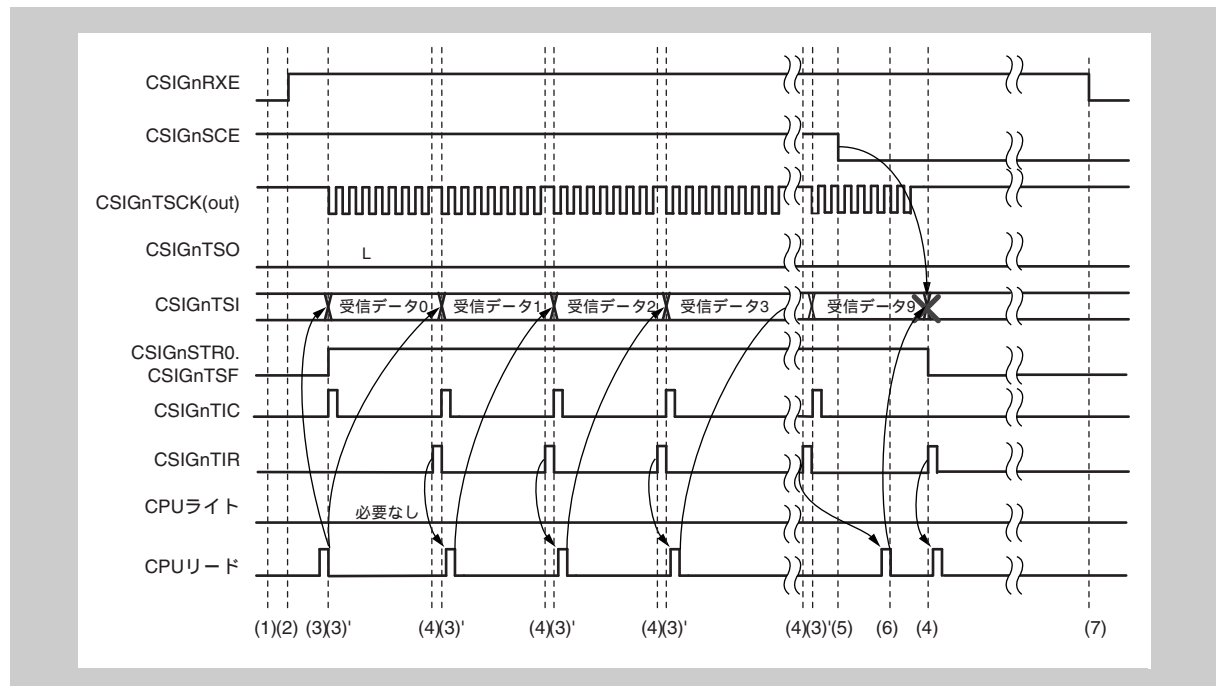


図 21-27 マスタ・モード, 受信モードでの通信

手順 :

1. CSIGnCTL0.CSIGnPWR = 1 に設定する前に次のレジスタを設定してください。
CSIGnCTL1, CSIGnCTL2, CSIGnBCTL0, CSIGnCFG0 レジスタ。
2. CSIGnCTL0.CSIGnPWR = 1 (クロック有効),
CSIGnCTL0.CSIGnTXE = 0 (送信禁止),
CSIGnCTL0.CSIGnRXE = 1 (受信許可),
CSIGnCTL0 のビット 0 = 1
3. 受信データ・レジスタ CSIGnRX0 からダミー・データをリードします。
受信が自動的に開始されます。
- 3'. CSIGnCTL1.CSIGnSLIT = 1 により, CSIGnTSCK のスタート・エッジで CSIGnTIC が発生します。
4. データが受信されるたびに CSIGnTIR 割り込みが発生します。
- CSIGnTIR は, 受信データ・レジスタ CSIGnRX0 をリードする必要があることを示します。

5. 連続受信動作を現在の受信受け付けで終了したいときは、CSIGnBCTL0.CSIGnSCE ビットをクリア (0) してください。
6. たとえ受け付けデータをリードしても、次の受信は開始しません。
7. 最後に、CSIGnCTL0.CSIGnRXE をクリア (0) して、受信動作を禁止します。また CSIG の消費電力を抑えるために、CSIGnCTL0.CSIGnPWR = 0 に設定してください。

(3) スレーブ・モード、送受信モードの場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は8ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
- 送信方向はMSBファースト (CSIGnCFG0.CSIGnDIR = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- 全割り込み遅延なし (CSIGnCTL1.CSIGnSIT = 0)
- 転送の最初にCSIGnTIC割り込みが発生 (CSIGnCTL1.CSIGnSLIT = 1)

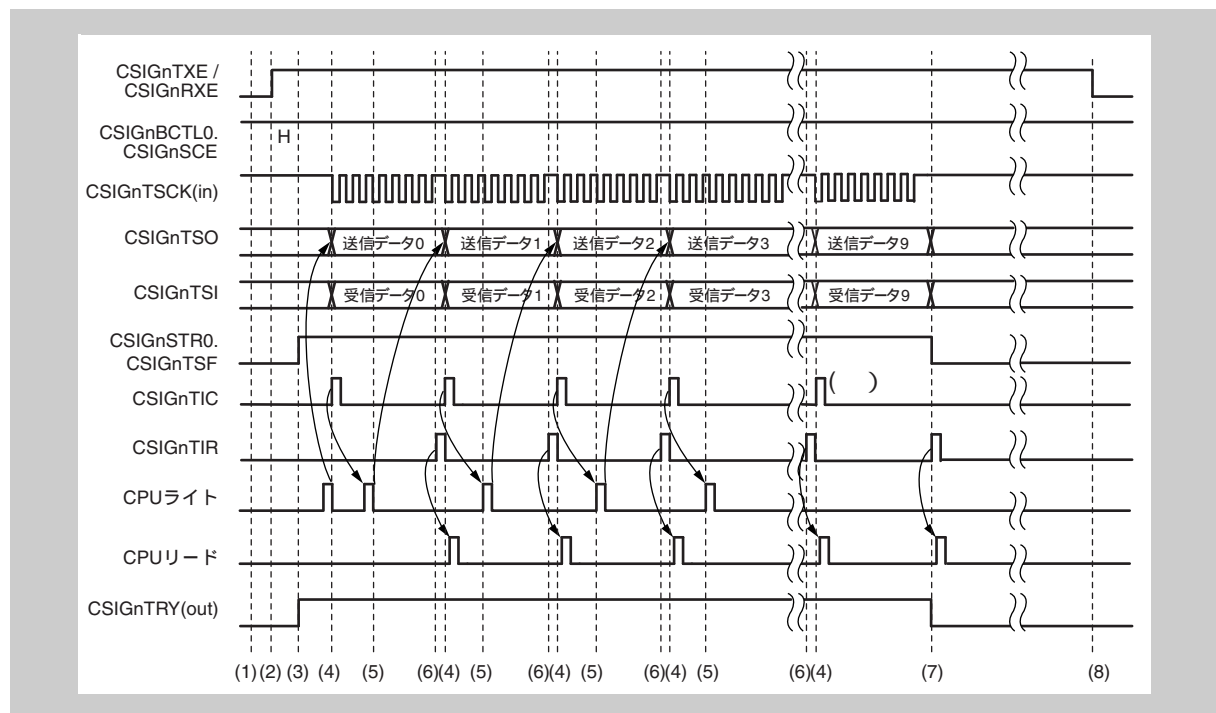


図 21-28 スレーブ・モード、送受信モードでの通信

手順：

1. CSIGnCTL0.CSIGnPWR = 1 に設定する前に次のレジスタを設定してください。
CSIGnCTL1, CSIGnCTL2, CSIGnBCTL0, CSIGnCFG0 レジスタ。
2. CSIGnCTL0.CSIGnPWR = 1 (クロック有効),
CSIGnCTL0.CSIGnTXE = 1 (送信許可),
CSIGnCTL0.CSIGnRXE = 1 (受信許可),
CSIGnCTL0 のビット 0 = 1
3. 最初のデータを送信データ・レジスタ CSIGnTX0W にライトします。
4. マスタよりシリアル・クロックが供給されると、送信が自動的に開始されます。
CSIGnCTL1.CSIGnSLIT = 1 により、CSIGnTSCK のスタート・エッジで CSIGnTIC が発生します。CSIGnTIC は次のデータを CSIGnTX0W にライト可能になったことを示します。

5. 次のデータを CSIGnTX0H にライトします。最初のデータをライトした直後に 2 番目のデータをライトすることで、データ間の不要な遅延を回避できます。
6. データが受信されるたびに CSIGnTIR 割り込みが発生します。
 - CSIGnTIR は、受信データ・レジスタ CSIGnRX0 をリードする必要があることを示します。
7. (※) の CSIGnTIC 割り込みが最後の CSIGnTIC 割り込みであれば、その CSIGnTIC 割り込みを基にした送信データ・レジスタ CSIGnTX0W へのライト動作は必要ありません。
8. 最後に、CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリアして、送受信動作を禁止します。また CSIG の消費電力を抑えるために、CSIGnCTL0.CSIGnPWR = 0 に設定してください。

(4) スレーブ・モード、受信モードの場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
- 送信方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- 全割り込み遅延なし (CSIGnCTL1.CSIGnSIT = 0)
- 転送の最初に CSIGnTIC 割り込みが発生 (CSIGnCTL1.CSIGnSLIT = 1)

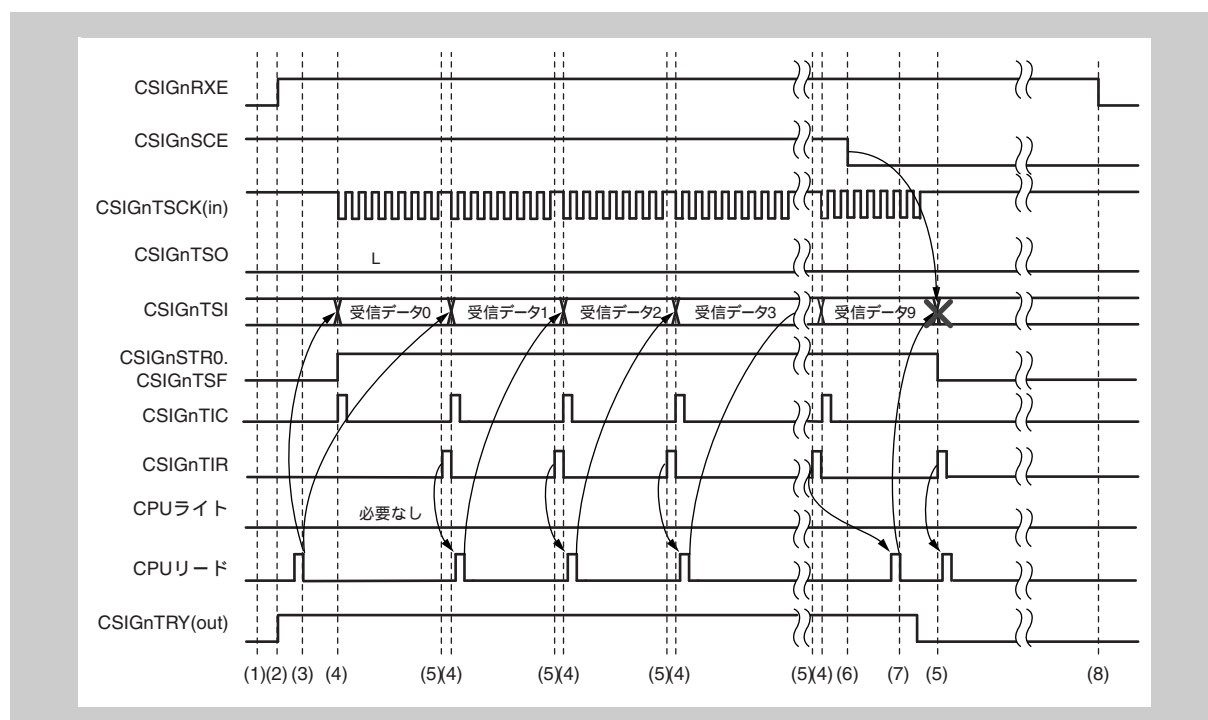


図 21-29 スレーブ・モード、受信モードでの通信

手順：

1. CSIGnCTL0.CSIGnPWR = 1 に設定する前に次のレジスタを設定してください。
CSIGnCTL1, CSIGnCTL2, CSIGnBCTL0, CSIGnCFG0 レジスタ。
2. CSIGnCTL0.CSIGnPWR = 1 (クロック有効),
CSIGnCTL0.CSIGnTXE = 0 (送信禁止),
CSIGnCTL0.CSIGnRXE = 1 (受信許可),
CSIGnCTL0 のビット 0 = 1
3. 受信データ・レジスタ CSIGnRX0 からダミー・データをリードします。
4. マスタよりシリアル・クロックが供給されると、受信が自動的に開始されます。
CSIGnCTL1.CSIGnSLIT = 1 により、CSIGnTSCK のスタート・エッジで CSIGnTIC が発生します。
5. データが受信されるたびに CSIGnTIR 割り込みが発生します。
- CSIGnTIR は、受信データ・レジスタ CSIGnRX0 をリードする必要があります。

あることを示します。

6. 連続受信動作を現在の受信受け付けで終了したいときは、CSIGnBCTL0.CSIGnSCE ビットをクリア (0) してください。
7. たとえ受け付けデータが読めたとしても、次の受信は開始しません。
8. 最後に、CSIGnCTL0.CSIGnRXE をクリアして、受信動作を禁止します。また CSIG の消費電力を抑えるために、CSIGnCTL0.CSIGnPWR = 0 に設定してください。

第 22 章 クロック同期シリアル・インタフェース H (CSIH)

本章では、クロック同期シリアル・インタフェース H (CSIH) 全般について説明します。

最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/MN4 に固有の特性について説明します。

それ以降のセクションでは、すべてのバージョンに共通の特徴について説明します。

22.1 V850E2/MN4 の CSIH の特徴

チャンネル数 V850E2/MN4 は以下のチャンネル数のクロック同期シリアル・インタフェースHを搭載しています。

表 22-1 CSIH のチャンネル

クロック同期シリアル・インタフェース H	
チャンネル数	4
名称	CSIH0 ~ CSIH3

n の意味 本章では、クロック同期シリアル・インタフェースHの各チャンネルを「n」(n = 0 ~ 3) で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。

x の意味 クロック同期シリアル・インタフェースHは8個のチップ・セレクト信号を備えています。本章では、各チップ・セレクト信号を「x」(x = 0 ~ 7) で識別します。たとえば、特定のチップ・セレクト信号はCSxと記述します。CSIHの各チャンネルのチップ・セレクト信号の数を以下の表に示します。

表 22-2 CSIH のチップ・セレクト数

CSIHn のチャンネル	チップ・セレクト信号数
CSIH0	CS0 ~ CS7
CSIH1	CS0 ~ CS7
CSIH2	CS0 ~ CS7
CSIH3	CS0 ~ CS7

レジスタ・アドレス CSIHn のレジスタ・アドレスは、ベース・アドレス <CSIHn_base_USER> および <CSIHn_base_OS> からのオフセットで表されます。各 CSIHn のベース・アドレス <CSIHn_base_USER> および <CSIHn_base_OS> を以下の表に示します。

表 22-3 レジスタ・ベース・アドレス

CSIHn のチャンネル	CSIHn のチャンネル	アドレス
CSIH0	<CSIHn_base_USER>	FFFF E000 _H
	<CSIHn_base_OS>	FF6C 0000 _H
CSIH1	<CSIHn_base_USER>	FFFF E100 _H
	<CSIHn_base_OS>	FF6D 0000 _H
CSIH2	<CSIHn_base_USER>	FFFF E200 _H
	<CSIHn_base_OS>	FF6E 0000 _H
CSIH3	<CSIHn_base_USER>	FFFF E300 _H
	<CSIHn_base_OS>	FF6F 0000 _H

クロック供給 クロック同期シリアル・インタフェースHは1つのクロック入力を提供します。

表 22-4 CSIHn のクロック・ソース

CSIHn のチャンネル	CSIHn のクロック	接続先
CSIH0 ~ CSIH3	PCLK	f _{PCLK}

最大転送速度 (ポー・レート) クロック同期シリアル・インタフェースHは以下の最大転送速度 (ポー・レート) での通信が可能です。

表 22-5 CSIHn の最大転送速度 (ポー・レート)

モード	最大転送速度 (ポー・レート)
マスタ・モード	5.625 Mbps (Max.)
スレーブ・モード	5.625 Mbps (Max.)

割り込み DMA/DTS クロック同期シリアル・インタフェースHは以下の割り込み要求と DMA/DTS 要求を発生できます。

表 22-6 CSIHn の割り込みと DMA/DTS の要求 (1/2)

CSTGn の信号	機能	接続先
CSIH0		
CSIHTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 145 (INTCSIH0IC) DTS コントローラ・トリガ 109
CSIHTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 144 (INTCSIH0IR) DTS コントローラ・トリガ 108
CSIHTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 143 (INTCSIH0IRE)
CSIHTIJC	ジョブ完了割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 146 (INTCSIH0IJC) DTS コントローラ・トリガ 110
CSIH1		
CSIHTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 149 (INTCSIH1IC) DTS コントローラ・トリガ 112
CSIHTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 148 (INTCSIH1IR) DTS コントローラ・トリガ 111
CSIHTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 147 (INTCSIH1IRE)
CSIHTIJC	ジョブ完了割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 150 (INTCSIH1IJC) DTS コントローラ・トリガ 113

表 22-6 CSIHn の割り込みと DMA/DTS の要求 (2/2)

CSTGn の信号	機能	接続先
CSIH2		
CSIHTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 153 (INTCSIH2IC) DTS コントローラ・トリガ 115
CSIHTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 152 (INTCSIH2IR) DTS コントローラ・トリガ 114
CSIHTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 151 (INTCSIH2IRE)
CSIHTIJC	ジョブ完了割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 154 (INTCSIH2IJC) DTS コントローラ・トリガ 116
CSIH3		
CSIHTIC	通信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 157 (INTCSIH3IC) DTS コントローラ・トリガ 118
CSIHTIR	受信割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 156 (INTCSIH3IR) DTS コントローラ・トリガ 117
CSIHTIRE	受信エラー割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 155 (INTCSIH3IRE)
CSIHTIJC	ジョブ完了割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 158 (INTCSIH3IJC) DTS コントローラ・トリガ 119

I/O 信号 クロック同期シリアル・インタフェースHの I/O 信号を以下の表に示します。

表 22-7 CSIHn の I/O 信号 (1/2)

CSIHn の信号	機能	接続先
CSIH0		
CSIHTSCK	シリアル・クロック信号	ポート SCK0F
CSIHTSI	シリアル・データ入力信号	ポート SI0F
CSIHTSO	シリアル・データ出力信号	ポート SO0F
CSIHTSSI	スレーブ選択入力信号	ポート CSI0F_SSI
CSIHTRYO	レディ/ビジー出力信号	ポート CSI0F_RYO
CSIHTRYI	レディ/ビジー入力信号	ポート CSI0F_RYI
CSIHTCSSn[7:0]	チップ・セレクト信号	ポート CSI0F_CS[7:0]
CSIH1		
CSIHTSCK	シリアル・クロック信号	ポート SCK1F
CSIHTSI	シリアル・データ入力信号	ポート SI1F
CSIHTSO	シリアル・データ出力信号	ポート SO1F
CSIHTSSI	スレーブ選択入力信号	ポート CSI1F_SSI
CSIHTRYO	レディ/ビジー出力信号	ポート CSI1F_RYO
CSIHTRYI	レディ/ビジー入力信号	ポート CSI1F_RYI
CSIHTCSSn[7:0]	チップ・セレクト信号	ポート CSI1F_CS[7:0]

表 22-7 CSIHn の I/O 信号 (2/2)

CSIHn の信号	機能	接続先
CSIH2		
CSIHTSCK	シリアル・クロック信号	ポート SCK2F
CSIHTSI	シリアル・データ入力信号	ポート SI2F
CSIHTSO	シリアル・データ出力信号	ポート SO2F
CSIHTSSI	スレーブ選択入力信号	ポート CSI2F_SSI
CSIHTRYO	レディ/ビジー出力信号	ポート CSI2F_RYO
CSIHTRYI	レディ/ビジー入力信号	ポート CSI2F_RYI
CSIHTCSSn[7:0]	チップ・セレクト信号	ポート CSI2F_CS[7:0]
CSIH3		
CSIHTSCK	シリアル・クロック信号	ポート SCK3F
CSIHTSI	シリアル・データ入力信号	ポート SI3F
CSIHTSO	シリアル・データ出力信号	ポート SO3F
CSIHTSSI	スレーブ選択入力信号	ポート CSI3F_SSI
CSIHTRYO	レディ/ビジー出力信号	ポート CSI3F_RYO
CSIHTRYI	レディ/ビジー入力信号	ポート CSI3F_RYI
CSIHTCSSn[7:0]	チップ・セレクト信号	ポート CSI3F_CS[7:0]

22.2 機能の概要

- 機能の概要**
- 3線式シリアル同期データ転送
 - マスタ・モードまたはスレーブ・モードを選択可能
 - 設定可能な8個のチップ・セレクト出力信号を備えているため、複数スレーブ構成とRCB (Recessive Configuration for Broadcasting) が可能
 - スレーブ選択入力信号 (CSIHnTSSI)
 - ボー・レート・ジェネレータを内蔵
 - ボー・レートが調整可能。スレーブ・モードでは入力クロックによってボー・レートを決定
 - 最大転送速度 :
 - マスタ・モード : PCLK/4
 - スレーブ・モード : PCLK/6

注意 製品によって実際に使用可能な最大ボー・レートの制限があります。各製品の最大ボー・レートを越えないようにボー・レート設定を行ってください。

- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 7ビットから16ビットまでの転送データ長を1ビット単位で選択可能
- 16ビットを上回るデータを転送するためのEDL (Extended Data Length : 拡張データ長) 機能
- 以下の3つの転送モードを選択可能 :
 - 送信モード
 - 受信モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ一貫性チェック, パリティ, タイムアウト, オーバフロー, オーバラン)
- ジョブ概念のフル・サポート
- 128ワードのI/Oバッファ・メモリ
- メモリ・モードを選択可能 (FIFO, デュアル・バッファ, 送信オンリー・バッファ, ダイレクト・アクセス)
- 4個の割り込み要求信号 (CSIHnTIC, CSIHnTIR, CSIHnTIRE, CSIHnTIJC)
- 自己テスト用のLBM (ループ・バック・モード) 機能

以下のブロック図は CSIH の主要なコンポーネントを示しています。

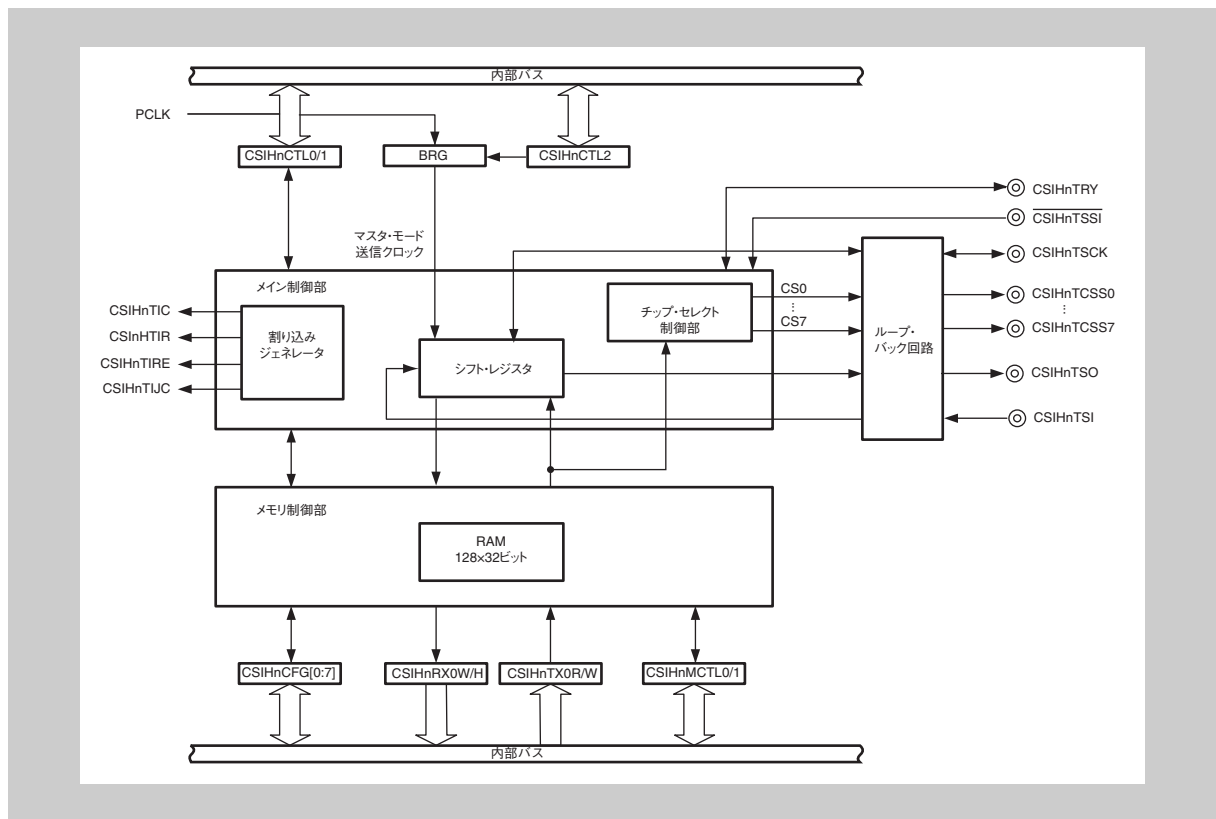


図 22-1 CSIH のブロック図

マスタ・モードでは、シリアル・クロック CSIHnTSCCK が内蔵のポー・レート・ジェネレータ (BRG) によって発生します。スレーブ・モードでは、外部ソースからシリアル・クロックが供給されます。

内蔵のメモリは FIFO, デュアル・バッファ (別々の送信バッファと受信バッファ) または送信オンリー・バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループ・バック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備考 本章では、以下のモードについて説明します。

- 「動作モード」はマスタ・モードとスレーブ・モードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます (詳細については、1311 ページの 22.3.1 「動作モード (マスタ/スレーブ)」を参照してください)。
- 「ジョブ・モード」は Autosar ジョブ概念に関連しています (詳細については、1319 ページの 22.3.5 「ジョブ概念」を参照してください)。
- 「メモリ・モード」では、関連付けられたバッファ・メモリのさまざまな設定に対応します (詳細については、1321 ページの 22.3.7 「CSIH のバッファ・メモリ」を参照してください)。
- 「データ転送モード」では、通信のモードを指定します。送信モード, 受信モード, 送受信モードがあります (詳細については、1323 ページの 22.3.8 「データ転送モード」を参照してください)。

22.3 機能の説明

クロック同期シリアル・インタフェースでは以下の3つの信号を通信に使用します。

- シリアル・クロック CSIHnTSCK (マスタ・モードでは出力, スレーブ・モードでは入力)
- データ出力信号 CSIHnTSO
- データ入力信号 CSIHnTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- CSIHnTSSI : スレーブ選択入力信号
- CSIHnTRY : ハンドシェイク信号 (マスタ・モードでは入力, スレーブ・モードでは出力)
- CSIHnTCSS[7:0] : チップ・セレクト信号

データ送信は、1ビットずつシリアルに行われ、シリアル・クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

レジスタ	機能
CSIHnCTL0	動作クロック (PCLK) を有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効 (バッファのバイパス) にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ一貫性チェック、ループ・バック・モード、ハンドシェイクなどのオプション機能を制御します。
CSIHnCTL2	マスタ・モードまたはスレーブ・モードを選択し、マスタ・モードでは内蔵ポー・レート・ジェネレータ (BRG) のポー・レートを選択します。
CSIHnMCTL0	メモリ・モードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでメモリを制御します。
CSIHnCFGx	各チップ・セレクト信号の通信プロトコルを設定するレジスタです。

22.3.1 動作モード（マスタ／スレーブ）

マスタ／スレーブの選択は CSIHnCTL2.CSIHnPRS[2:0] ビットで行い、マスタを選択した場合は、送信クロックのソース・クロックも選択する必要があります。

(1) マスタ・モード

マスタ・モードでは、シリアル・クロックが内蔵のポー・レート・ジェネレータ (BRG) によって生成され、CSIHnTSCK 信号を介してスレーブに供給されます。

マスタ・モードは、CSIHnCTL2.CSIHnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタ・モードでは、CSIHnCTL2.CSIHnPRS[2:0] ビットと CSIHnCTL2.CSIHnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

チップ・セレクト信号 マスタ・モードでは、1 つ以上のチップ・セレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップ・セレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップ・セレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、1314 ページの 22.3.3 「チップ・セレクト (CS) 機能」を参照してください。

クロックのデフォルト設定 CSIHnTSCK のデフォルト・レベルは、クロック位相選択ビットの状態によって異なります。CSIHnTSCK のデフォルト・レベルは、CSIHnCFGx.CSIHnCKPx = 0 であればハイ・レベルであり、CSIHnCFGx.CSIHnCKPx = 1 であればロウ・レベルです。

以下の例は、8 データ・ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnDAPx = 0、MSB ファーストのときのマスタ・モードの通信を示しています。

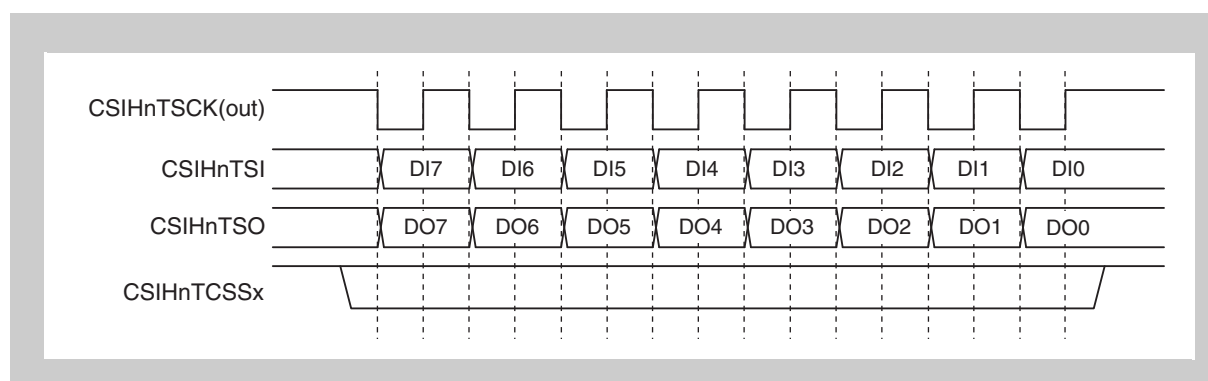


図 22-2 マスタ・モードでの送受信

(2) スレーブ・モード

スレーブ・モードでは、ほかのデバイスが通信マスタになります。シリアル・クロックは CSIHnTSCK 信号を介して供給されます。シリアル・クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブ・モードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111_B に設定することによって選択されます。

スレーブ・モードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります (CSIHnCFG1-CSIHnCFG7 レジスタの設定は無効となります)。

- CSIHnPS0[1:0] : パリティの使用法
- CSIHnDLS0[3:0] : データ長の選択
- CSIHnCFG0.CSIHnDIR0 : データ方向
- CSIHnCFG0.CSIHnCKP0, CSIHnCFG0.CSIHnDAP0 : クロック位相とデータ位相

備考 スレーブ・モードを使用するときは、CSIHnCTL2.CSIHnBRS[11:0] ビットをクリアすることによってポー・レート・ジェネレータ (BRG) を無効にし、消費電力を削減できます。ただし、タイムアウト・エラー機能を使用する場合は、BRG を "0" 以外に設定する必要があります。

以下の例は、8 データ・ビット、CSIHnCTL1.CSIHnCKR = 0, CSIHnCFGx.CSIHnDAPx = 0, MSB ファーストのときのスレーブ・モードの通信を示しています。

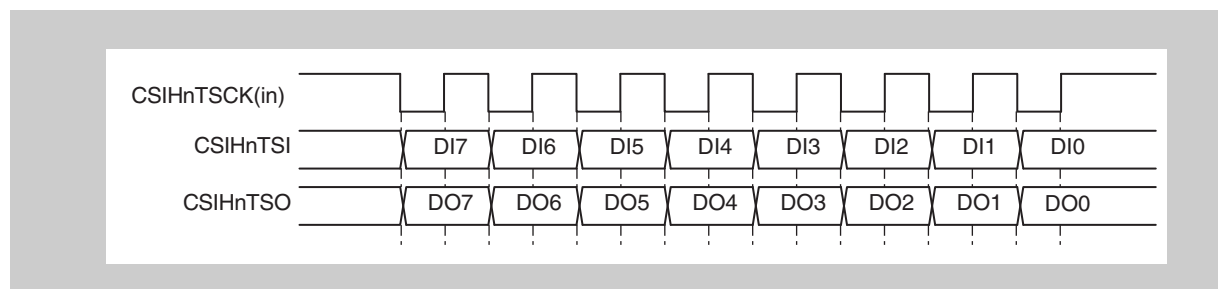


図 22-3 スレーブ・モードでの送受信

22.3.2 マスタ/スレーブの接続

(1) マスタ 1, スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

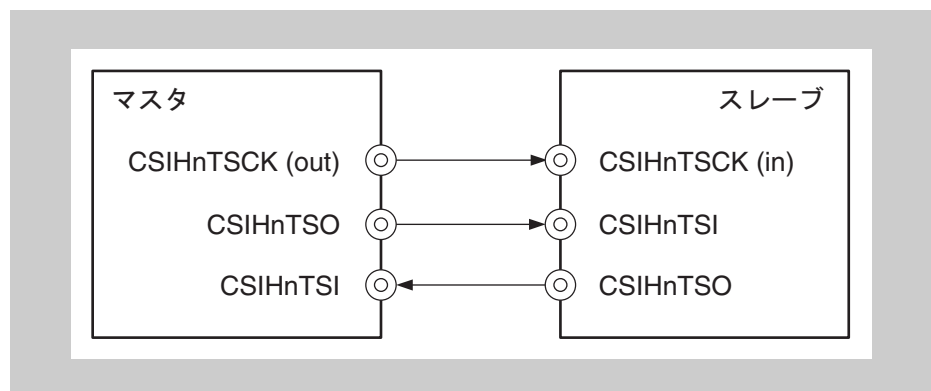


図 22-4 マスタ/スレーブ間の直接の接続

(2) マスタ 1, スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップ・セレクト (CS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 CSIHnTSSI に接続されます。

CSIHnTSSI 信号の認識機能は、ビット CSIHnCTL1.CSIHnSSE で有効または無効にすることができます。

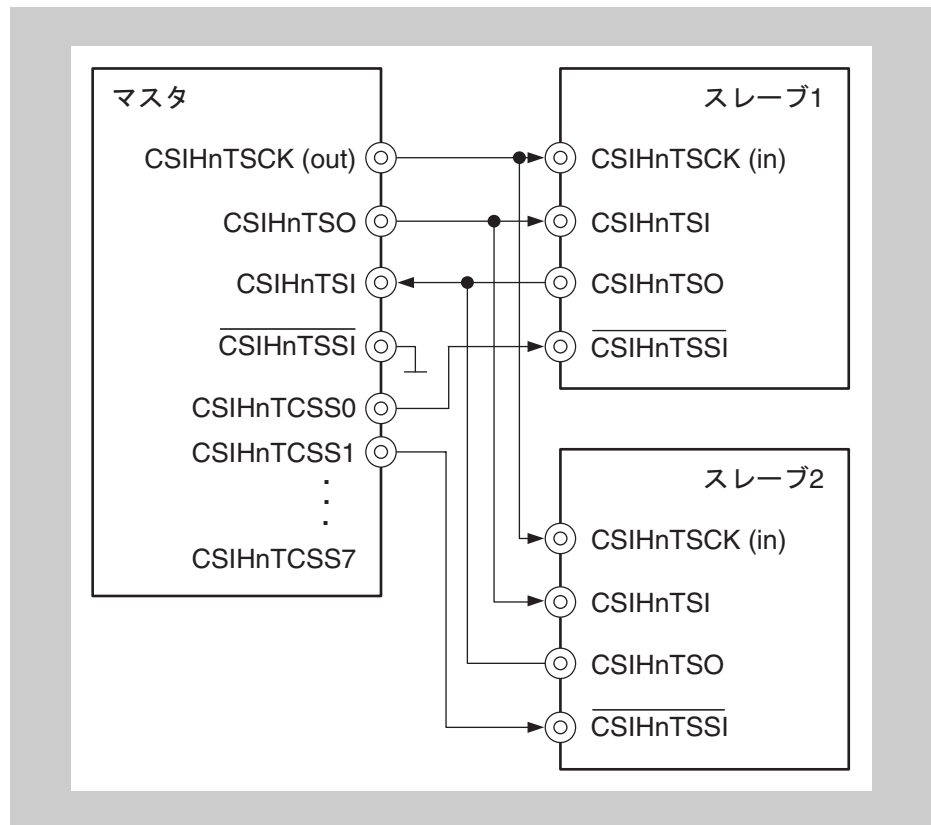


図 22-5 1つのマスタと複数のスレーブの間の接続

デフォルトのチップ・セレクト・レベルはアクティブ・ロウです。つまり、スレーブのスレーブ選択入力信号 (CSIHnTSSI) がロウ・レベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、チップ・セレクト信号 (CS) をほかのデバイスに適合させるために、チップ・セレクト信号の出力レベルがアクティブ・ハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 CSIHnTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

(3) CSIHnTSO 出力制御

CSIH は、以下のすべての条件が満たされたときに、CSIHnTSO 出力が可能になります。

- CSIH が有効になっている (CSIHnCTL0.CSIHnPWR = 1)。
- CSIH が送信モードまたは送受信モードで動作している (CSIHnCTL0.CSIHnTXE = 1)。
- CSIH がスレーブ選択有効状態で動作している (CSIHnCTL1.CSIHnSSE = 1)。
- スレーブ・モード選択信号 $\overline{\text{CSIHnTSSI}}$ がインアクティブ、つまりハイ・レベルになっている。

この機能を利用して外部 CSIHnTSO 信号回線の輻輳を回避することができます。

22.3.3 チップ・セレクト (CS) 機能

マスタはチップ・セレクト信号 CSIHnTCSSx を使用して 1 つ以上のスレーブを通信相手として選択することができます。

(1) コンフィギュレーション・レジスタ

各チップ・セレクト信号 CSIHnTCSSx のパラメータは、対応するコンフィギュレーション・レジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
- 転送方向：MSB ファーストまたは LSB ファースト。
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
- クロック位相とデータ位相。

マスタ・モードでのみ利用可能な各チップ・セレクト信号の付加的なパラメータを以下に示します。

- 各チップ・セレクト信号個別のポー・レート・ジェネレータのプリスケール選択。
- チップ・セレクト優先度：チップ・セレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップ・セレクト信号がメッセージ・ブロード・キャスト用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。

この原則は、「RCB (Recessive Configuration for Broadcasting)」とも呼ばれます。

注意 すべてのドミナント・チップ・セレクト信号の設定が同じである場合を除き、複数のチップ・セレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止です。

- チップ・セレクトのタイミング
 - セットアップ時間 T_{setup} : チップ・セレクト (CSx) 信号をアクティブに設定してからデータの出力が開始されるまでの時間。
 - データ間時間 T_{inter} : 同じチップ・セレクト (CSx) 信号がアクティブになっている間の1つのデータ・パケットと次のデータ・パケットの間の時間。
 - ホールド時間 T_{hold} : チップ・セレクト (CSx) 信号が切り替わるまでにCSのアクティブ・レベルが保持される時間。
 - アイドル時間 T_{idle} : チップ・セレクト (CSx) 信号が終了したあと、または同じCSxへの1回ごとのデータ転送が完了したあとのインアクティブ時間。

以下の図にチップ・セレクト (CSx) 信号のセットアップ時間, データ間時間, ホールド時間, アイドル時間のタイミングを示します。どのCSIHnCFGx.CSIHnIDLx ビットをセット (1) してもすべてのCS空間にアイドル時間が挿入されます

CS1 信号と CS2 信号がデフォルトのアクティブ・ロウ (CSIHnCTL1.CSIHnCSL1 = 0, CSHnCTL1.CSIHnCSL2 = 0) に設定した場合の例を図 22-6 に示します。アクティブ・レベルはCSごとに個別に指定することができます。

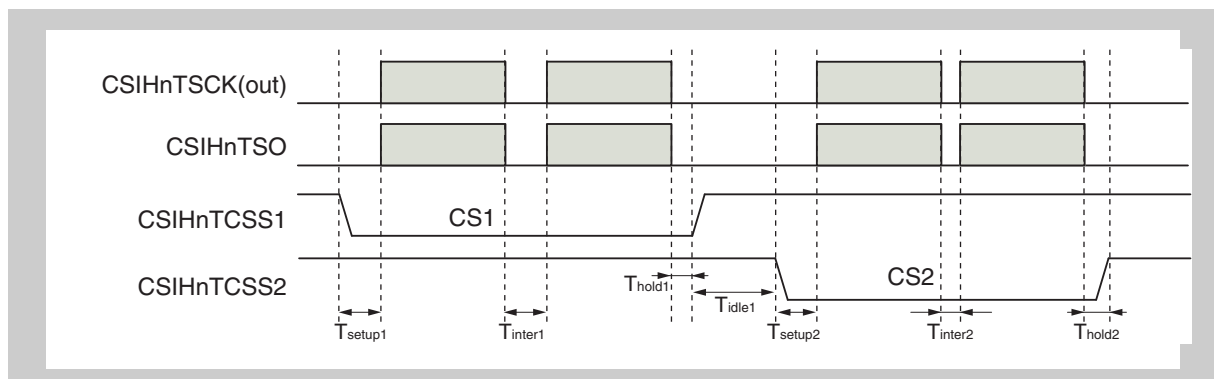


図 22-6 チップ・セレクトのタイミング

セットアップ時間, データ間時間, ホールド時間, アイドル時間をCS信号ごとに個別に設定できる点に注意してください。

特定のチップ・セレクト信号をアクティブにするには, 送信データ・レジスタ CSHnTX0W.CSIHnCS[7:0] の対応するビットをセットします。

受信データ・レジスタの CSHnRX0W.CSIHnCS[7:0] は, 送信データに関連付けられたチップ・セレクト信号を示します。

(2) CS の例

以下の図は2回続けてデータを送信する例を示しています。

最初の通信ではCS0を使用して1つのスレーブと通信しています。2番目の通信 (ドミナント側の通信設定で通信) ではCS0とCS1を有効にして2つのスレーブにメッセージをブロードキャストしています。CS0の優先度は「リセッシブ: 低優先度」に設定されており, CS1の優先度は「ドミナント: 高優先度」に設定されています。

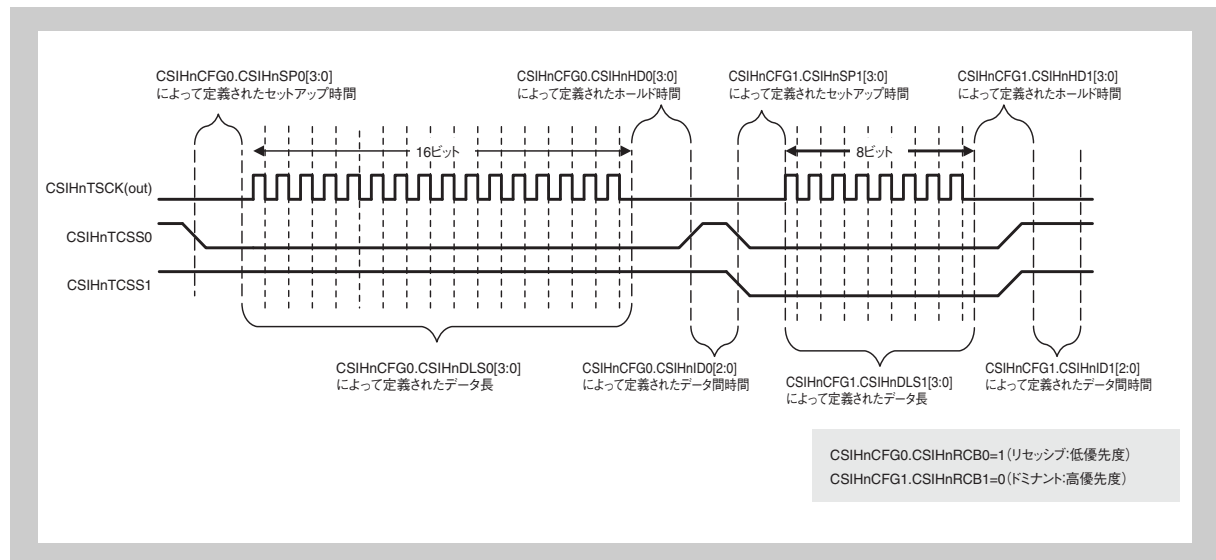


図 22-7 チップ・セレクトと RCB の例

22.3.4 チップ・セレクトのタイミングの詳細

(1) クロック位相の変更

シリアル・クロック・レベルは CSIHnCFGx.CSIHnCKPx によってチップ・セレクトごとに指定されます。チップ・セレクトの切り替え/シリアル・クロック・レベルの切り替えはアイドル時間中に行われます。アイドル時間の最小値はシリアル・クロック (CSIHnTSCK) の 1/2 周期 (0.5SCK) です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 シリアル・クロック周期に設定されている場合、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータ・パケットが連続して送信されると、アイドル時間が自動的に CSIHnTSCK の 1 周期に延長されます。

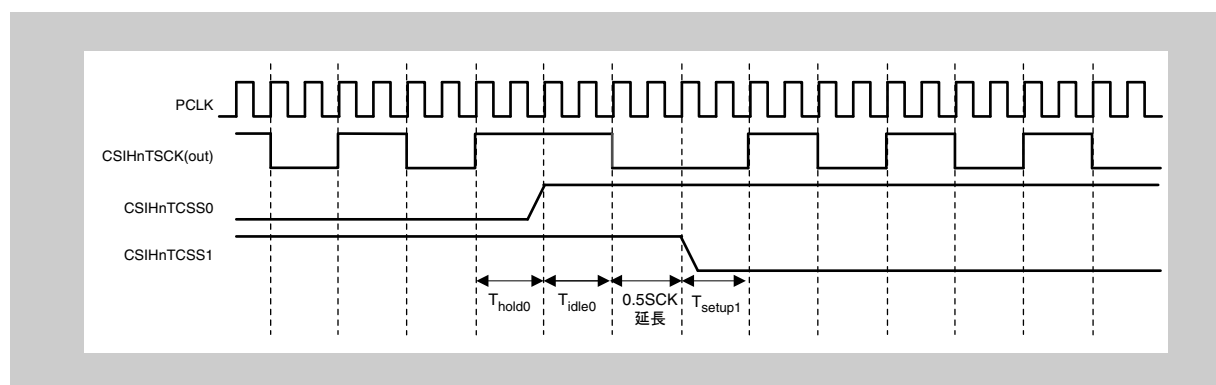


図 22-8 クロック位相のタイミング
($PCLK/4$, $T_{hold0} = T_{setup1} = 0.5SCK$, $T_{idle0} = 0.5SCK$,
 $CKP0 = 0$ (CSIHnTCSS0) \rightarrow $CKP1 = 1$ (CSIHnTCSS1) の場合)

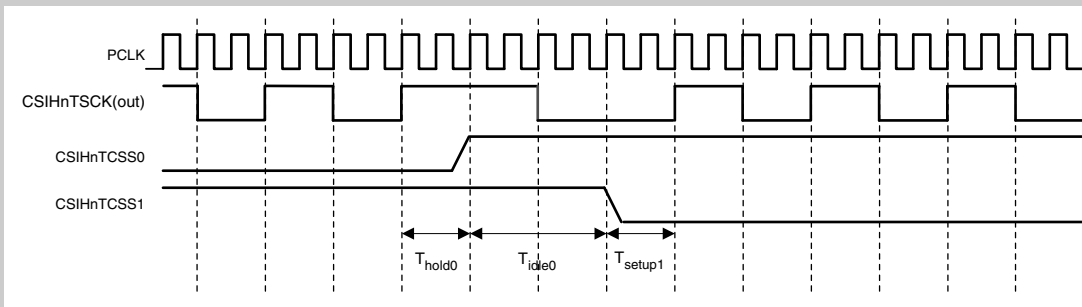


図 22-9 クロック位相のタイミング
 (PCLK/4, $T_{hold0} = T_{setup1} = 0.5SCK$, $T_{idle0} = 1.0SCK$,
 CKP0 = 0 (CSIHnTCSS0) → CKP1 = 1 (CSIHnTCSS1) の場合)

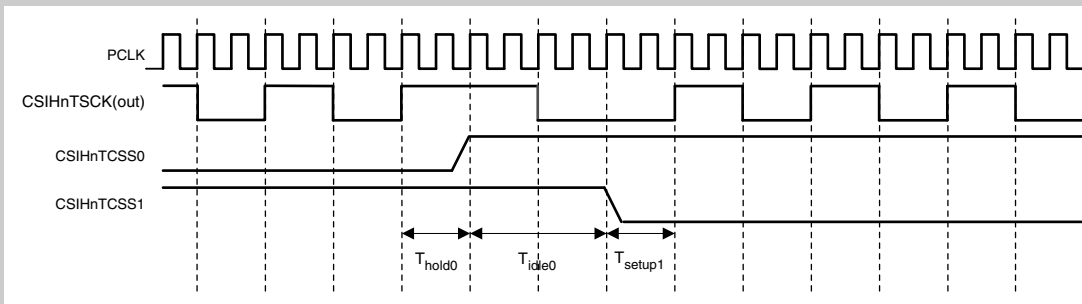


図 22-10 クロック位相のタイミング
 (PCLK/4, $T_{hold0} = T_{setup1} = 0.5SCK$, $T_{idle0} = 0.5SCK$,
 CKP0 = 0 (CSIHnTCSS0) → CKP1 = 0 (CSIHnTCSS1) の場合)

(2) データ位相の変更

ビット CSIHnCFGx.CSIHnDAPx では、クロックを基準とするデータ・ビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx = 0 であれば、シリアル・クロック CSIHnTSCK は、パケットの最後のビットが転送されたあと、クロックのレベルを保持します。

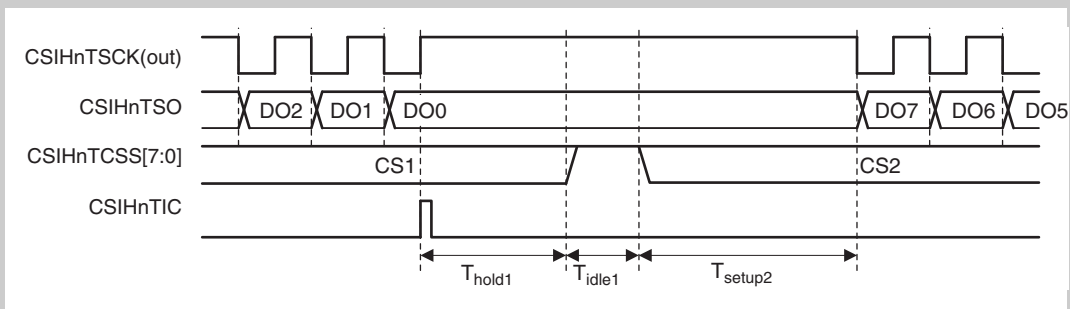


図 22-11 データ位相のタイミング
(CSIHnCFG1.CSIHnCKP1 = 0, CSIHnCFG1.CSIHnDAP1 = 0 かつ
CSIHnCFG2.CSIHnCKP2 = 0, CSIHnCFG2.CSIHnDAP2 = 0 の場合)

2つの連続するチップ・セレクト信号の間でデフォルトのクロック位相が変化する場合、シリアル・クロック CSIHnTSCK は、最初のデータの最後のビットが転送されたあと、クロックのレベルを変化させます。

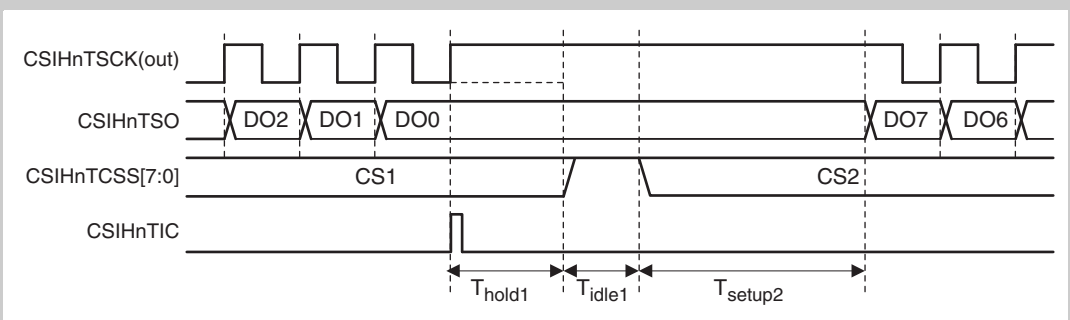


図 22-12 データ位相のタイミング
(CSIHnCFG1.CSIHnCKP1 = 0, CSIHnCFG1.CSIHnDAP1 = 1 かつ
CSIHnCFG2.CSIHnCKP2 = 0, CSIHnCFG2.CSIHnDAP2 = 1 の場合)

CSIHnCFGx.CSIHnIDx[2:0] = 0 ($T_{idle1} = 0.5$ シリアル・クロック周期) である場合は、CSIHnTSCK の 1 周期に相当する最小アイドル時間が自動的に挿入される点に注意してください。

22.3.5 ジョブ概念

CSIH というジョブは、転送の対象となる複数のデータから構成されます。

ジョブ・モードの有効化 ジョブ・モードはマスタ・モードでのみ有効になります。
CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブ・モードを有効または無効にします。

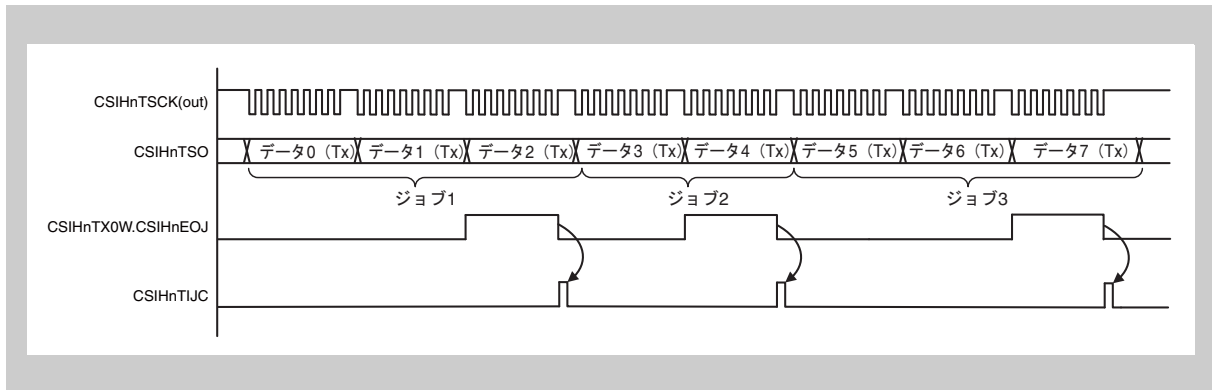


図 22-13 ジョブの例

エンド・オブ・ジョブ・ビットがセットされたデータ、つまり CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み CSIHnTIJC が発生します。

22.3.6 シリアル・クロックの選択

マスタ・モードでは、以下のビットを使って送信ポー・レートを選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnCTL2.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnPSCLx[1:0]

送信ベース・クロック CSIHnBPCLK は CSIHnCTL2 レジスタの設定によって決まりますが、CSIHnCFGx.CSIHnPSCLx[1:0] によって制御されるチップ・セレクト信号専用プリスケアラを利用して、チップ・セレクト信号ごとに異なるポー・レートを生成することができます。

ポー・レート・ジェネレータのブロック図を以下に示します。

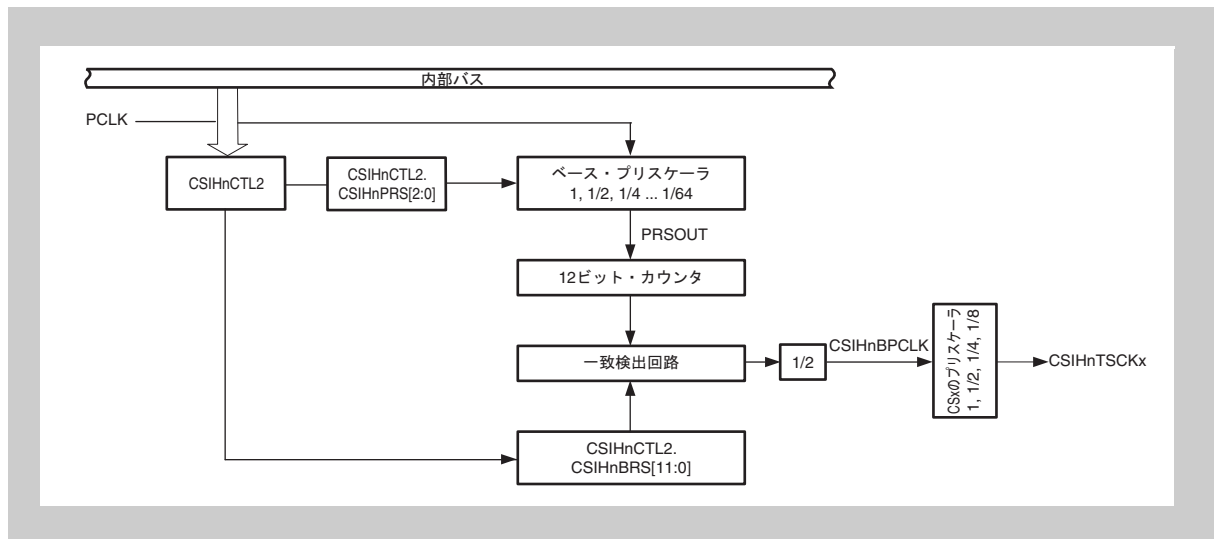


図 22-14 ポー・レート・ジェネレータのブロック図

CSIHnCTL2.CSIHnBRS[11:0] をクリアすると、ポー・レート・ジェネレータが無効になり、すべての CSIHnTSCKx が停止します。

ポー・レートの計算 ポー・レートは以下の式で計算します。

$$\text{CSIHnTSCKx} = \text{PCLK} / (2^m \times k \times 2^j)$$

ただし、

$$m = \text{CSIHnCTL2.CSIHnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIHnCTL2.CSIHnBRS}[11:0] = 1 \sim 4095$$

$$j = \text{CSIHnCFGx.CSIHnPSCLx}[1:0] = 0 \sim 3$$

ポー・レートの上限と下限 ポー・レートを設定するときは、以下のことに注意してください。

- マスタ・モードで使用できる最大ポー・レートは $\text{PCLK} / 4$ です。
- スレーブ・モードで使用できる最大ポー・レートは $\text{PCLK} / 6$ です（外部マスタのポー・レートがこの範囲に収まっていることを確認する必要があります）。
- いずれのモードでも最小ポー・レートは $\text{PCLK} / 524160$ です。

注意 製品によって実際に使用可能な最大ポー・レートの制限があります。各製品の最大ポー・レートを越えないようにポー・レート設定を行ってください。

例 $\text{PCLK} = 80 \text{ MHz}$ の場合、最大ポー・レートは以下のとおりです。

- マスタ・モードでは 20.0 Mbps ($\text{PCLK} / 4$)
- スレーブ・モードでは 13.3 Mbps ($\text{PCLK} / 6$)

最小ポー・レートは 152.625 bps ($\text{PCLK} / 524160$) です。

22.3.7 CSIH のバッファ・メモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータから構成されます。

以下の設定が可能です。

モード	CSIHnCTL0. CSIHnMBS	CSIHnMCTL0. CSIHnMMS[1:0]
FIFO モード	0	00 _B
デュアル・バッファ・モード		01 _B
送信オンリー・バッファ・モード		10 _B
ダイレクト・アクセス・モード	1	X

(1) FIFO モード

FIFO モードでは、FIFO がフルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータをライトしたり、受信後ただちに CSIHnRX0W レジスタをリードしなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 ビットが送信されると同時に 1 ビットが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データ・パケットが処理されたとき、送信されたとき、または受信されたときに、それぞれに対応する FIFO メモリ・ポインタを自動的に更新します。

ポインタの説明	制御ビット	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0 ~ 128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0 ~ 128
送信データのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
受信データのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 01FC _H

CSIH ステータス・レジスタには 2 つの FIFO ステータス・フラグが含まれています。

- CSIHnSTR0.CSIHnFLF : FIFO フル
- CSIHnSTR0.CSIHnEMF : FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、すべての FIFO ポインタと FIFO フラグがリセットされます。

(2) デュアル・バッファ・モード

このモードでは、サイズの等しい2つの部分にメモリが分割されます。つまり、64ワードが送信データに割り当てられ、64ワードが受信データに割り当てられます。デュアル・バッファ・モードでは、個々のバッファ・ポインタが以下の値を示します。

ポインタの説明	ポインタ ^{a)}	範囲
CSIHnTX0W/HにライトされるデータまたはCSIHnTX0W/Hからリードされるデータの送信先アドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 00FC _H
CSIHnRX0W/Hからリードされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 00FC _H
送信ポインタ	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 00FC _H

a) 1回のリード/ライトごとに各ポインタが自動的にインクリメントされます。

(3) 送信オンリー・バッファ・モード

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データはCSIHnRX0W/Hから直接リードする必要があります。

送信オンリー・バッファ・モードでは、個々のバッファ・ポインタが以下の値を示します。

ポインタの説明	ポインタ ^{a)}	範囲
CSIHnTX0W/HにライトされるデータまたはCSIHnTX0W/Hからリードされるデータの送信先アドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
送信ポインタ	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 01FC _H

a) 1回のリード/ライトごとに各ポインタが自動的にインクリメントされます。

(4) ダイレクト・アクセス・モード

ダイレクト・アクセス・モードでは、CSIHのメモリが完全にバイパスされます。

- CPUから送信データ・レジスタCSIHnTX0WまたはCSIHnTX0Hに供給される送信データはシフト・レジスタに直接コピーされます。
- 受信データはシフト・レジスタから受信データ・レジスタCSIHnRX0WまたはCSIHnRX0Hへ直接コピーされます。

22.3.8 データ転送モード

(1) 送信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信モードになります。送信が開始される条件はメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データがライトされると送信が開始されます。
- デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると送信が開始されます。

(2) 受信モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信モードになります。

マスタ・モードでは、受信を開始する条件がメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミー・データがライトされると受信が開始されます。
- デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると受信が開始されます。

スレーブ・モードでは、マスタからシリアル・クロック CSIHnTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータをライトする必要はありません。

(3) 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データがライトされると通信が開始されます。
- デュアル・バッファ・モードまたは送信オンリー・バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると通信が開始されます。

(4) まとめ

以下の表にこのセクションのまとめを記載します。この表は、さまざまなメモリ・モード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 22-8 データ転送の開始

メモリ・モード	転送モード	動作モード	データ転送を開始する条件
FIFO モード, ダイレクト・アクセス・モード	送信モード 送受信モード	マスタ, スレーブ	CSIHnTX0W または CSIHnTX0H レジスタへの送信データ・ライト
	受信モード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへのダミー・データ・ライト
		スレーブ	マスタからのシリアル・クロック CSIHnTSCK の受信
送信オンリー・バッファ・モード, デュアル・バッファ・モード	送信モード 送受信モード 受信モード	マスタ, スレーブ	CSIHnMCTL2.CSIHnBTST = 1 ライト

22.3.9 データ長の選択

(1) 7～16 ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を利用して、チップ・セレクト信号ごとに 7 ビットから 16 ビットの間のデータ・パケット長を選択できます。以下の例は、MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0) での通信を示しています。

データ長 = 16 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B)

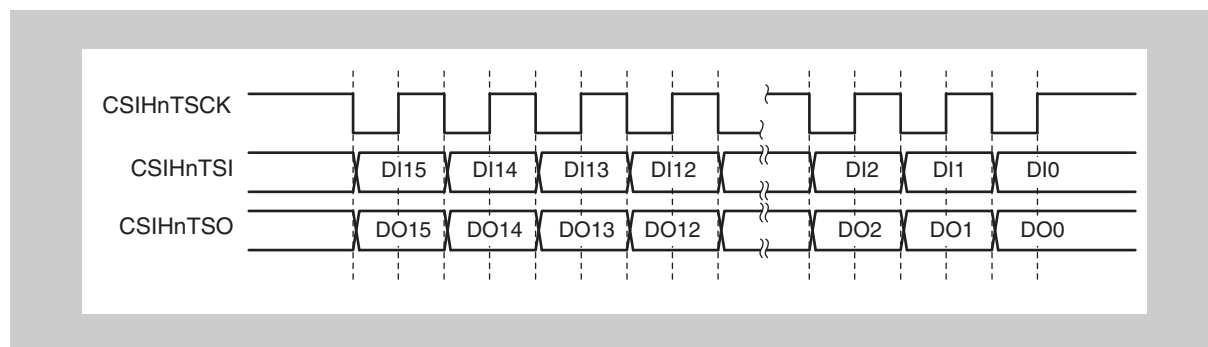


図 22-15 データ長 16 ビット, MSB ファースト

データ長 = 14 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B)

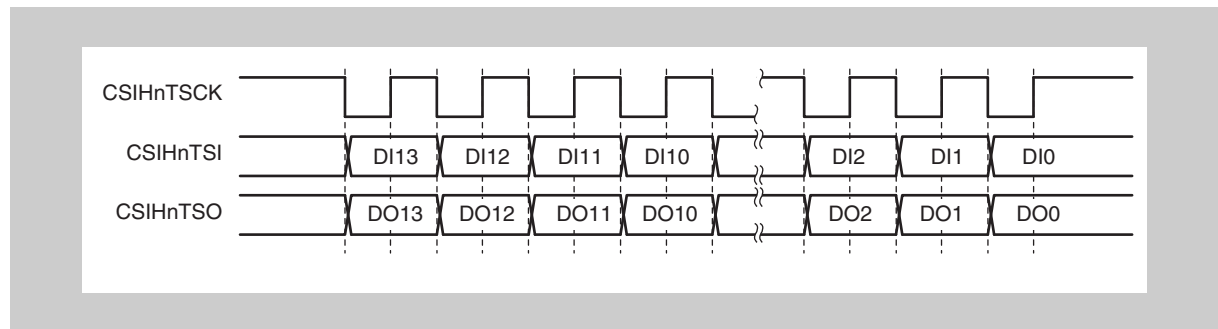


図 22-16 データ長 14 ビット, MSB ファースト

(2) 16 ビットを上回るデータ長

データ長が 16 ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL 機能は、CSIHnCTL1.CSIHnEDLE をセット (1) することで有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割されます。たとえば、42 ビットの文字列は 2 つの 16 ビット・ブロックと 10 ビットに分割されます。
- 剰余部分は CSIHnCFGx.CSIHnDLSx[3:0] ビット で指定する「データ長」で設定します。
- 16 ビットのブロックを送信するときは、CSIHnTX0W.CSIHnEDL ビット をセット (1) してください。この場合、CSIHnTX0W レジスタ にライトされるデータは、CSIHnCFGx.CSIHnDLSx[3:0] ビット の設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIHnTX0W.CSIHnEDL = 0 のときの剰余部分) のデータが送信されると転送が完了します。

例 40 ビットのデータ 123456789A_H を CS0 に送信する例

40 ビットのデータを 16 ビットのデータ 2 つと 8 ビットのデータ 1 つに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8_D に初期化します。
- 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W にライトします。
 - 20FE 1234_H (CSIHnTX0W.CSIHnEDL = 1)
 - 20FE 5678_H (CSIHnTX0W.CSIHnEDL = 1)
 - 00FE 009A_H (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

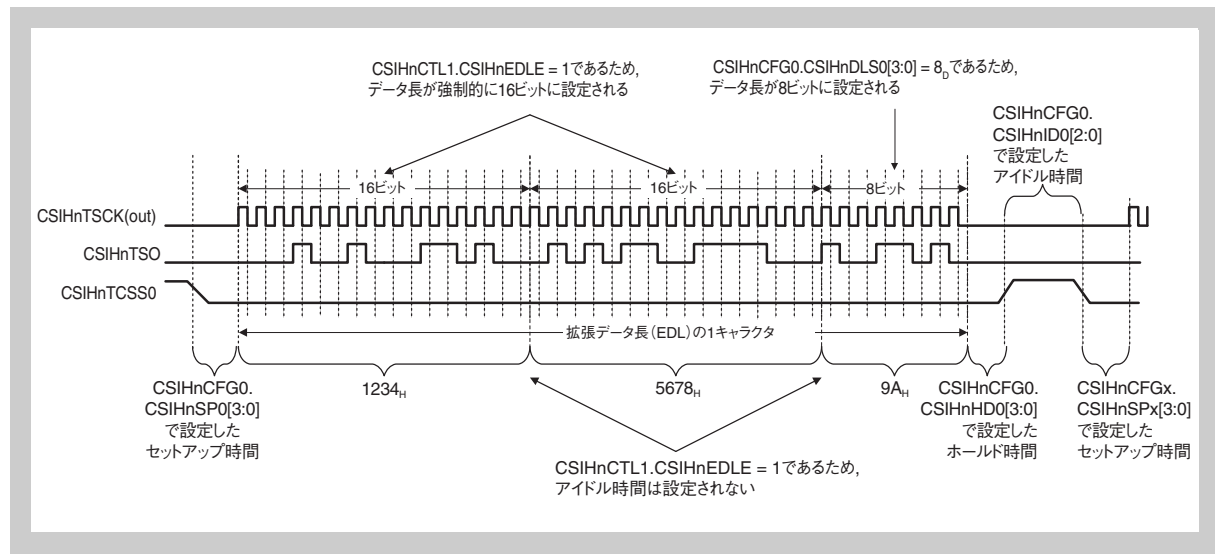


図 22-17 EDL のタイミング図

- 備考**
- 7 ビット未満のデータ長は、EDL 機能を使用するときのみ設定できません。
 - データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
 - パリティが有効になっていると、最後のビットの後ろにパリティ・ビットが追加されます。
 - 送信されるデータが 123456_H の場合の例について説明します。
 - CSIHnCFGx.CSIHnDIR = 0 に設定 (MSB ファースト)
 CSIHnTX0W = 2000 1234_H をライト (CSIHnTX0W.CSIHnEDL = 1)
 CSIHnTX0W = 0000 0056_H をライト (CSIHnTX0W.CSIHnEDL = 0)
 - CSIHnCFGx.CSIHnDIR = 1 に設定 (LSB ファースト)
 CSIHnTX0W = 2000 3456_H をライト (CSIHnTX0W.CSIHnEDL = 1)
 CSIHnTX0W = 0000 0012_H をライト (CSIHnTX0W.CSIHnEDL = 0)
 - EDL 機能は、スレーブ・モード (CSIHnCTL1.CSIHnPRS[2:0] = 111_B) で、受信モード (CSIHnCTL0.CSIHnTXE = 0, CSIHnCTL0.CSIHnRXE = 1) では使用できません。

22.3.10 シリアル・データ方向の選択

CSIHnCFGx レジスタの CSIHnDIRx ビットを利用して、チップ・セレクト信号ごとにシリアル・データ方向を選択することができます。

以下の例はデータ長 8 ビットの通信 (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B) を示しています。

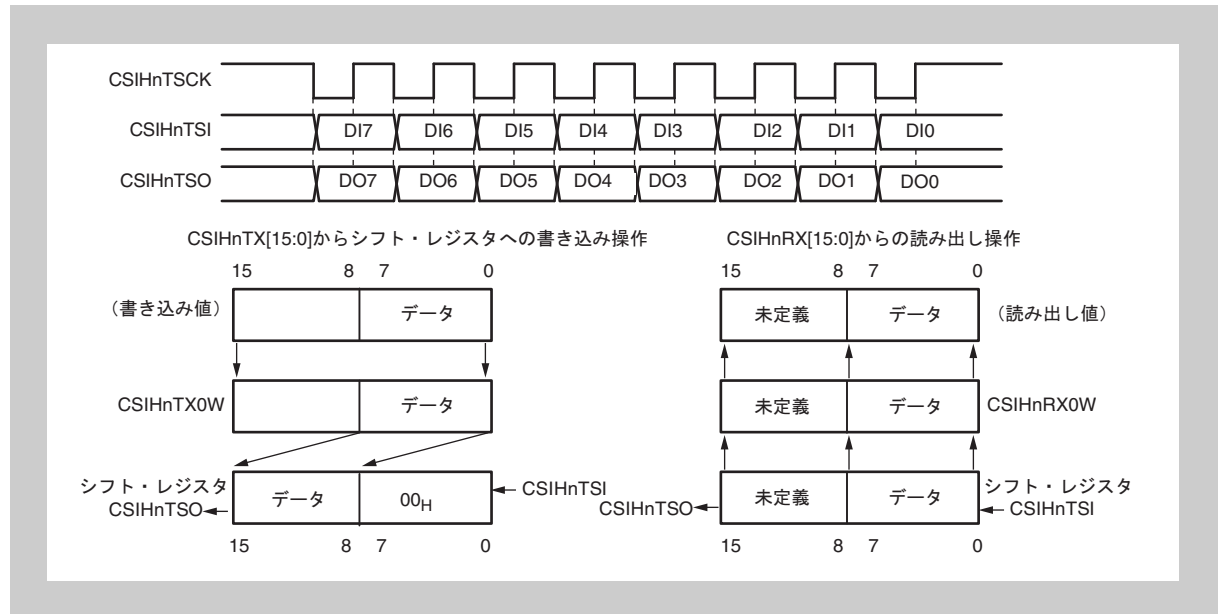


図 22-18 シリアル・データ方向選択機能 — MSB ファースト (CSIHnDIR = 0)

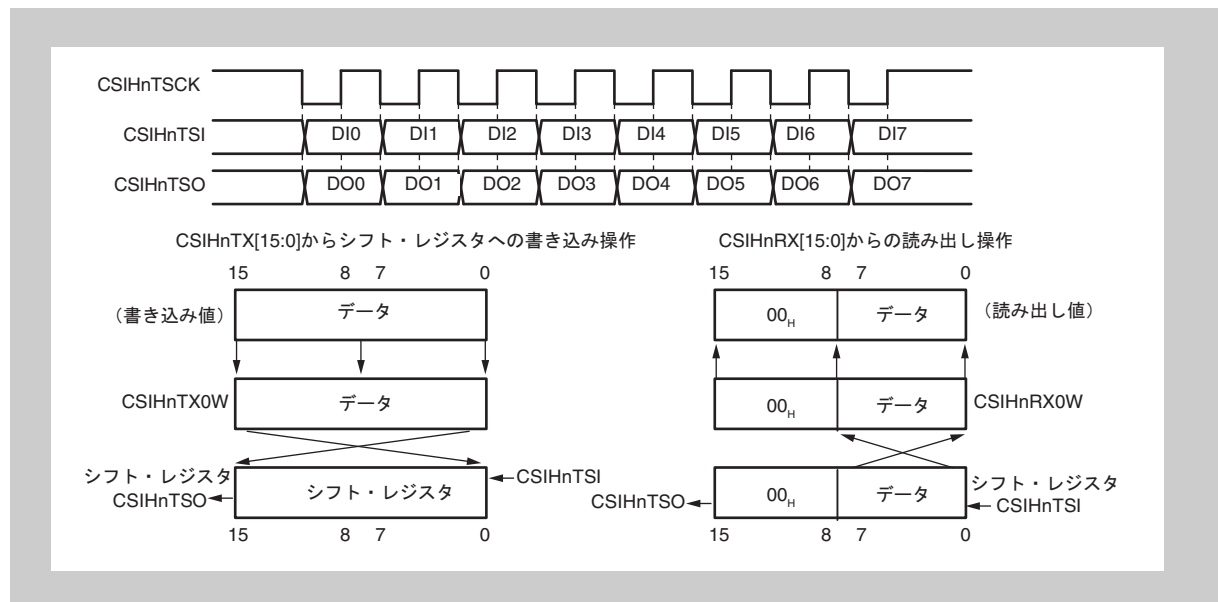


図 22-19 シリアル・データ方向選択機能 — LSB ファースト (CSIHnDIR = 1)

22.3.11 スレーブ・モードでの通信

以下の図は、スレーブ・モードでの通信の信号とタイミングを示しています。

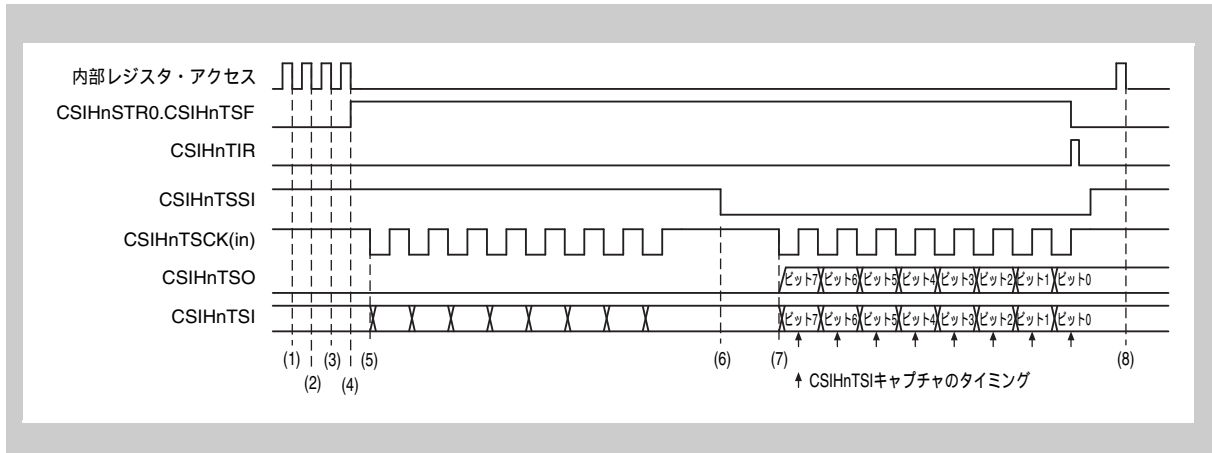


図 22-20 スレーブ・モードでの送受信のタイミング

1. CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブ・モードに入ります。
CSIHnTSSI 信号は有効 (CSIHnCTL1.CSIHnSSE = 1) です。
2. CSIHnCTL1.CSIHnCKR と CSIHnCFG0.CSIHnDAP0 は 0、
データ長は 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)、
データ方向は MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0) です。
3. CSIH を送受信動作モードに設定 (CSIHnCTL0.CSIHnPWR = 1、
CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1)。通信の開始が許可されます。
4. 転送データが送信データ・レジスタ CSIHnTX0W または CSIHnTX0H に
ライトされると、転送ステータス・フラグ CSIHnSTR0.CSIHnTSF が自
動的にセットされ、CSIHnTSSI 信号がロウ・レベルになるのを待ちま
す。
5. CSIHnTSSI 信号がハイ・レベルである間は、外部シリアル・クロック
CSIHnTSCK が入力されても、送受信は開始されません。CSIHnTSO は値
を保持し、CSIHnTSI への入力は無視されます。
6. CSIHnTSSI がロウ・レベルになると、CSIHnTSO が有効になったことを
示し、送信が可能になります。
7. CSIHnTSSI がロウ・レベル時にシリアル・クロックが入力されると転送
データはシリアル・クロックに同期して CSIHnTSO から送信し、同時に
CSIHnTSI からデータを受信します。
8. CSIHnRX0W または CSIHnRX0H レジスタをリードします。

備考 各動作モードのスレーブ・モードの手順は 22.5 「操作手順」を参照してくだ
さい。

22.3.12 CSIH の割り込み要求

CSIH は以下の割り込み要求を発生することができます。

- CSIHnTIC (通信割り込み)
- CSIHnTIR (受信割り込み)
- CSIHnTIRE (エラー割り込み)
- CSIHnTIJC (ジョブ完了割り込み)

(1) CSIHnTIC (通信割り込み)

この割り込みが発生する条件は、以下に示すように、メモリ・モードとジョブ・モードによって異なります。

表 22-9 CSIHnTIC 割り込みの発生

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなると CSIHnTIC が発生します。	
	ただし、ジョブ中断 ^a された場合は、割り込み CSIHnTIC は発生しません。	—
送信オンリー・バッファ・モード、デュアル・バッファ・モード	通信終了時 (CSIHnMCTL2.CSIHnND[7:0] ビットで指定) に発生します。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断 ^a が送信された場合は、CSIHnTIC の代わりに割り込み CSIHnTIJC が発生します。
ダイレクト・アクセス・モード	データ転送が 1 回行われるたびに発生します。ただし、ジョブ中断 ^a された場合は、割り込み CSIHnTIC は発生しません。	通信が中断された場合を除き、データ転送が 1 回行われるたびに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断 ^a が送信された場合は、CSIHnTIC の代わりに割り込み CSIHnTIJC が発生します。

a) ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

ダイレクト・アクセス・モードでの CSIHnTIC

以下の例はダイレクト・アクセス・モードでの CSIHnTIC の動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- ダイレクト・アクセス・モード
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の CSIHnTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

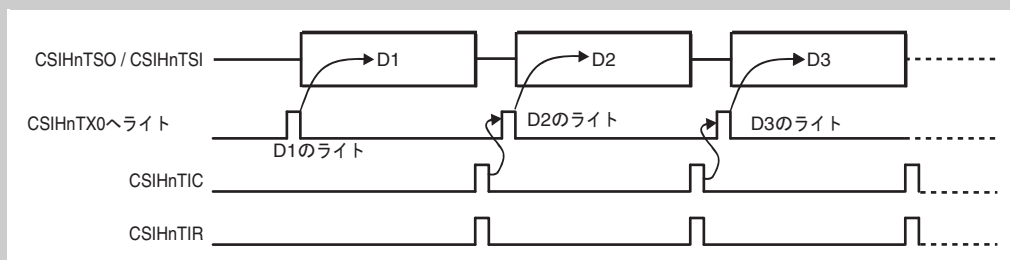


図 22-21 転送後の CSIHnTIC の発生 (CSIHnCTL1.CSIHnSLIT = 0)

ジョブ・モードが有効になっており (CSIHnCTL1.CSIHnJE = 1), CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている (CSIHnCTL0.CSIHnJOB = 1) 状態でジョブが終了した場合、CSIHnTIC はジョブ完了割り込み CSIHnTIJC に置き換えられます。

CSIHnTX0 レジスタが空になり、次のデータの受け入れが可能になったときに CSIHnTIC が発生するように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT = 1 に設定します。

備考 このモードではデータ転送が高速になりますが、このモードはダイレクト・アクセス・モードでしか利用できません。

以下の図にその効果を示します。

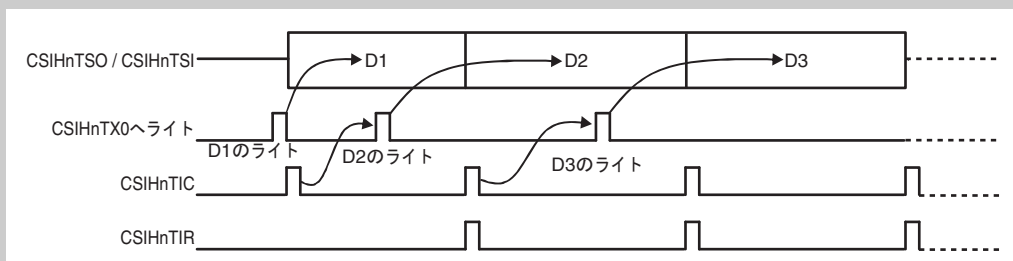


図 22-22 CSIHnTIC の即時の発生 (CSIHnCTL1.CSIHnSLIT = 1)

このように、新しいデータを先行してライトすることができます。

FIFO モードでの CSIHnTIC

以下の例は FIFO モードでの CSIHnTIC の動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- FIFO モード
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

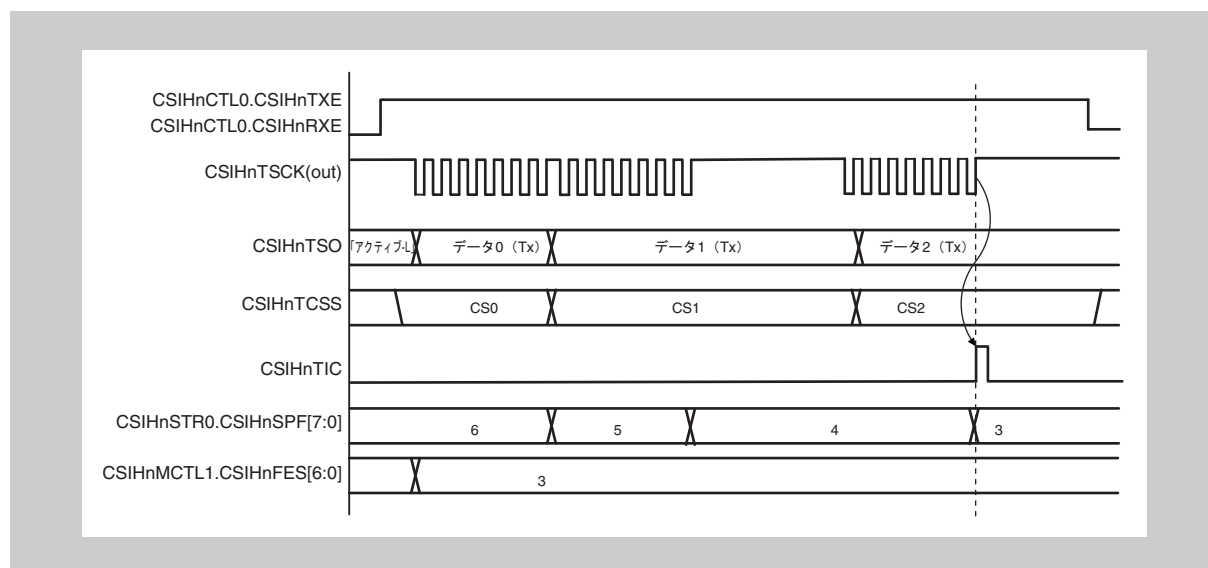


図 22-23 FIFO モードでの CSIHnTIC の発生

FIFO モードでの CSIHnTIC の発生条件 (受信データ・エンプティ) は CSIHnMCTL1.CSIHnFES[6:0] で指定します。上の図の例では、条件としてデータ数 3 が設定されています。CSIHnSTR0.CSIHnSPF[7:0] は FIFO に残っている未送信のデータの数を示しています。両方の数が一致すると、割り込み CSIHnTIC が発生します。

ジョブ・モードでの CSIHnTIC

以下の例はジョブ・モードでの CSIHnTIC の動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の CSIHnTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアル・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_H)

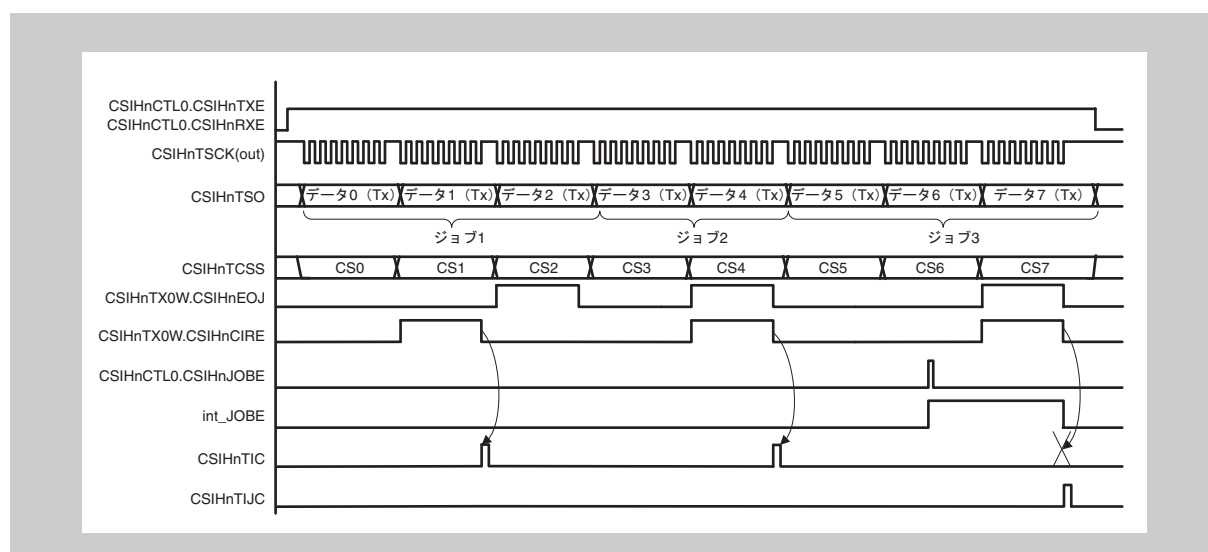


図 22-24 ジョブ・モードでの CSIHnTIC の発生

備考 上の図のタイミングの「int_JOBE」信号は、CSIHnJOBE ビットの内部信号です。

ジョブ・モードでの CSIHnTIC の発生に適用される規則を以下の表に示します。

表 22-10 ジョブ・モードでの CSIHnTIC の発生

メモリ・モード	CSIHnTX0W. CSIHnCIRE	CSIHnTX0W. CSIHnEOJ	CSIHnTIC
FIFO モード (CSIHnCTL1.C SIHnJE=1)	0 (FIFO empty ^a)	0	発生します。
		1	CSIHnCTL0.CSIHnJOBE = 0 の場合、発生します。 CSIHnCTL0.CSIHnJOBE = 1 の場合、発生せず、 割り込み CSIHnTIJC に置き換えられます。
	1 (FIFO empty ^a)	0	発生します。
		1	CSIHnCTL0.CSIHnJOBE = 0 の場合、発生します。 CSIHnCTL0.CSIHnJOBE = 1 の場合、発生せず、 割り込み CSIHnTIJC に置き換えられます。
	0 (FIFO あり)	0	発生しません。
		1	発生しません。 CSIHnCTL0.CSIHnJOBE = 1 の場合、割り込み CSIHnTIJC に置き換えられます。
1 (FIFO あり)	0	発生しません。	
	1	割り込み CSIHnTIJC に置き換えられます。	
デュアル・バッ ファ・モード、 送信オンリー・ モード (CSIHnCTL1.C SIHnJE=1)	0	0	発生しません。
		1	発生しません。 CSIHnCTL0.CSIHnJOBE = 1 の場合、割り込み CSIHnTIJC に置き換えられます。
	1	0	発生します。
ダイレクト・アク セス・モード (CSIHnCTL1.C SIHnJE=1)	—	0	発生します。
		1	
	—	0	発生します。
		1	CSIHnCTL0.CSIHnJOBE = 1 の場合、発生せず、 割り込み CSIHnTIJC に置き換えられます。

a) FIFO empty : CSIHnSTR0.CSIHnSPF7-0 と CSIHnMCTL1.CSIHnFE6-0 の値が一致。

(2) CSIHnTIR (受信割り込み)

この割り込みが発生する条件は、以下に示すように、メモリ・モードとジョブ・モードによって異なります。

表 22-11 CSIHnTIR 割り込みの発生

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、FIFO バッファが受信データでフルになる直前に発生し、FIFO をエンプティにする必要があることをアプリケーションに知らせます。 FIFOに残っている受信データの数 CSIHnSTR0.CSIHnSRP[7:0] が CSIHnMCTL1.CSIHnFFS[6:0] と等しくなると CSIHnTIR が発生します。	
デュアル・バッファ・モード	通信が終了し (CSIHnMCTL2.ND[7:0] ビットで指定)、かつ CSIHnCTL0.CSIHnRXE = 1 であれば発生します。	CSIHnCTL0.CSIHnRXE = 1 であれば、データ受信が 1 回行われるたびに発生します。
送信オンリー・バッファ・モード ダイレクト・アクセス・モード	CSIHnCTL0.CSIHnRXE = 1 であれば、データ受信が 1 回行われるたびに発生します。	

送信モードまたはデュアル・バッファ・モードの場合、この割り込みは、受信モードまたは送受信モードでデータが 1 つ受信されるたびに発生します。

ダイレクト・アクセス・モードでの CSIHnTIR

以下の例はダイレクト・アクセス・モードでの CSIHnTIR の動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- ダイレクト・アクセス・モード
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

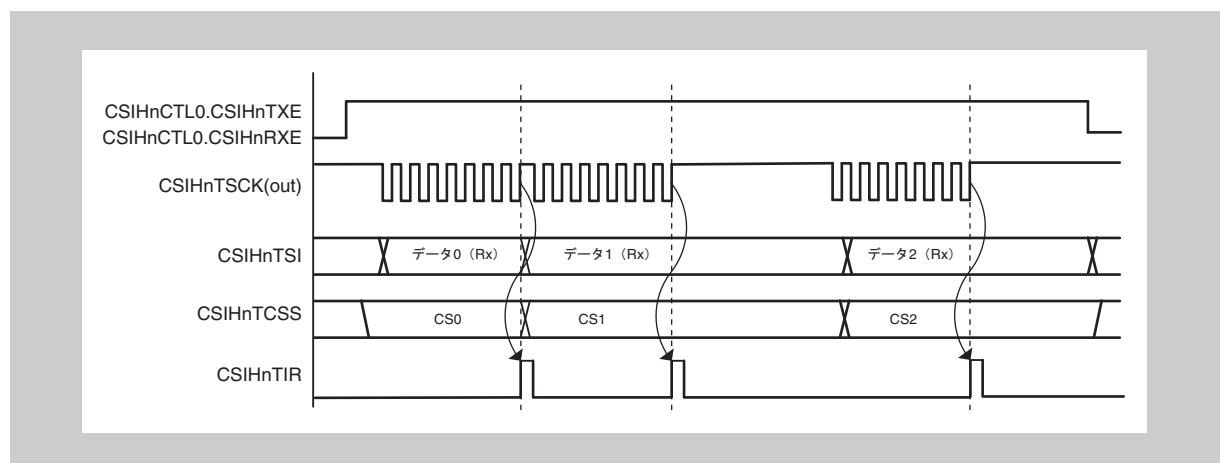


図 22-25 ダイレクト・アクセス・モードでの CSIHnTIR の発生

デュアル・バッファ・モードでのCSIHnTIR

以下の例はデュアル・バッファ・モードでのCSIHnTIRの動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- デュアル・バッファ・モード
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- デフォルトのクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 3 個のデータを送信 (CSIHnMCTL2.CSIHnND[7:0] = 03_H)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)

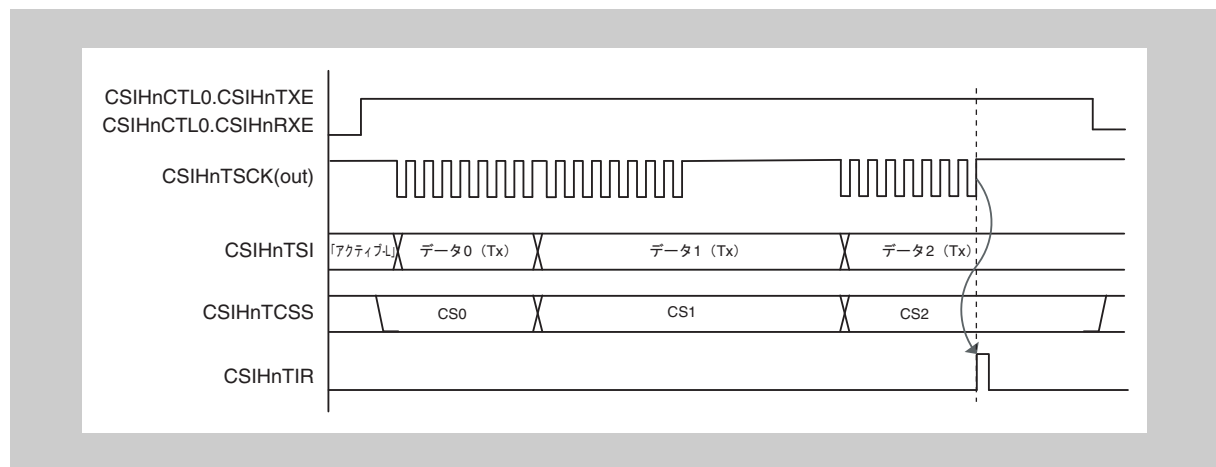


図 22-26 デュアル・バッファ・モードでのCSIHnTIRの発生

(3) CSIHnTIRE (受信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

表 22-12 データ・エラーのタイプ (1/2)

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバフロー・エラー	割り込みが発生しても通信は継続します。	FIFOにライトされたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティ・エラー	割り込みが発生しても通信は継続します。	-
データ一貫性エラー	割り込みが発生しても通信は継続します。	-
タイムアウト・エラー	割り込みが発生しても通信は継続します。	-

表 22-12 データ・エラーのタイプ (2/2)

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバラン・エラー	CSIHnCTL1.CSIHnHSE=0 (ハンドシェイクなし) の場合は、割り込みが発生したあと、通信は継続します (停止しません)。	受信データの数が 0 になった状態で CPU が受信データをリードすると、このエラーが発生します (FIFO モードのみで発生します)。
	CSIHnCTL1.CSIHnHSE=1 (ハンドシェイクあり) の場合は、ハンドシェイクにより通信が停止します。割り込みは発生せず、オーバラン・エラーとなりません。	このエラーは、下記の状態でデータ受信が完了した場合に発生します。 <ul style="list-style-type: none"> • FIFO モード: FIFO がフルになっている (上書きはされますがポインタはインクリメントしません) • 送信オンリー・バッファ・モードまたはダイレクト・アクセス・モード: 受信データが CSIHnRX0 レジスタに残っている

CSIHnTIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティ・エラー・フラグとデータ一貫性エラー・フラグが添付されます。

さまざまなエラー・タイプの詳細については、1342 ページの 22.3.14 「エラー検出」を参照してください。

(4) CSIHnTIJC (ジョブ完了割り込み)

この割り込みはジョブの処理に対応しています。1319 ページの 22.3.5 「ジョブ概念」を参照してください。この割り込みはマスタ・モードでのみ利用できます。

ジョブ・モードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。CSIHnCTL1.CSIHnJE = 0 の場合、CSIHnTIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリ・モードによって異なります。

表 22-13 CSIHnTIJC 割り込みの発生

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	適用不可	ジョブ中断 ^a がトリガされたあと、ジョブの終了時に通信が停止した。
送信オンリー・バッファ・モード		
デュアル・バッファ・モード		
ダイレクト・アクセス・モード		

a) ジョブ中断の条件: CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

(5) 全割り込み遅延

マスタ・モードでは、マスタから発生するすべての割り込みをシリアル・クロック CSIHnTSCK の半周期だけ遅延させることができます。スレーブ・モードでこの機能を利用することはできません。

遅延を指定するには、ビット CSIHnCTL1.CSIHnSIT = 1 に設定します。

CSIHnCTL1.CSIHnSIT = 1 (割り込み遅延有効),

CSIHnCFGx.CSIHnCKPx = 0,

CSIHnCFGx.CSIHnDAPx = 0 (クロック位相とデータ位相),

CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

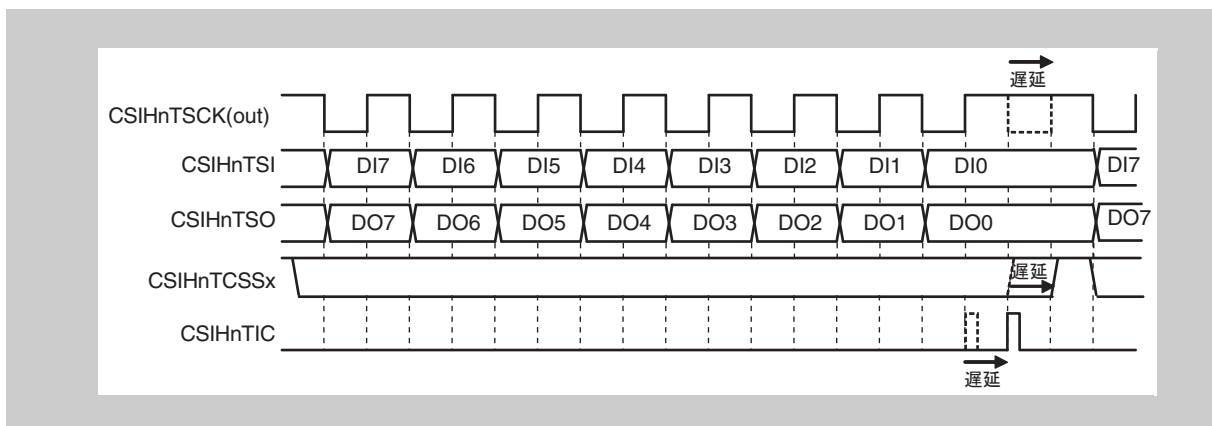


図 22-27 割り込み遅延機能 (CSIHnCTL1.CSIHnSIT = 1)

CSIHnCTL1.CSIHnSIT = 1 に設定すると、シリアル・クロックに半周期の遅延が追加されます。これによって現在のチップ・セレクト信号 (CSIHnTCSSx) の終了も遅延します。

22.3.13 ハンドシェーク機能

CSIH はマスタ・デバイスとスレーブ・デバイスを同期させるハンドシェーク機能を備えています。この機能はビット CSIHnCTL1.CSIHnHSE で有効または無効にすることができます。ハンドシェークでは、CSIHnTRY 信号を使用します。また、ハンドシェーク機能が無効 (CSIHnCTL1.CSIHnHSE = 0) のときは、CSIHnTRY 信号はロウ・レベルを出力します。

タイミングはデータ位相選択ビット CSIHnCFGx.CSIHnDAPx の設定によって異なります。

(1) スレーブ・モード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になると CSIHnTRY 信号がロウ・レベルを出力します。この状態になるのは以下の2つの場合です。

表 22-14 送信準備ができていない場合

メモリ・モード	操作
	CSIHnCTL0.CSIHnTXE = 1
FIFO モード	次の送信データは、エンプティです。 (CSIHnSTR0.CSIHnEMF=1)
ダイレクト・アクセス・モード	次の送信データは、エンプティです。
デュアル・バッファ・モード	CSIHnMCTL2.CSIHnBTST は 1 に設定されていません。
送信オンリー・バッファ・モード	

表 22-15 受信したデータが CSIHnRXW/H レジスタに残っている場合、シフト・レジスタから送信データが CSIHnRXW/H レジスタに転送できなかった場合

メモリ・モード	操作
	CSIHnCTL0.CSIHnRXE = 1
FIFO	FIFO バッファがフル状態 (CSIHnSTR0.CSIHnFLF=1)
ダイレクト・アクセス・モード	CSIHnRX0W/H レジスタがフル状態
デュアル・バッファ・モード	—
送信オンリー・バッファ・モード	CSIHnRX0W/H レジスタがフル状態

備考 マスタ・モード設定時に CSIHnTRY(in) 信号にロウ・レベルを検出した場合、次の送信は保留しウエイト状態となります。ウエイト状態中では、CSIHnTCSS0 の半クロックごとに CSIHnTRY(in) 信号のレベルをチェックします。ただし、チップ・セレクト信号 CSIHnTCSSx からの出力はウエイト状態に入るまえに行われチップ選択信号はウエイト状態中は保持されます。

- 注意
1. マスタ側は、CSIHnTCSSxによって選択されるスレーブからのCSIHnTRY端子のみ検出するようにしてください。
 2. 送信中にスレーブからマスタにアクティブ・レベルを検出しても送信動作が完了するまで次の送信を行いません。

以降にFIFOモードとダイレク・トアクセス・モードの2つを説明します。

1. メモリ・モードがFIFOモードの場合：
スレーブが送信モードまたは送受信モードに設定されている状態で、スレーブのバッファに送信データがない。CSIHnSTR0.CSIHnEMFフラグがこの状態を示します。

以下の例では、8ビットのデータ長を想定しています。

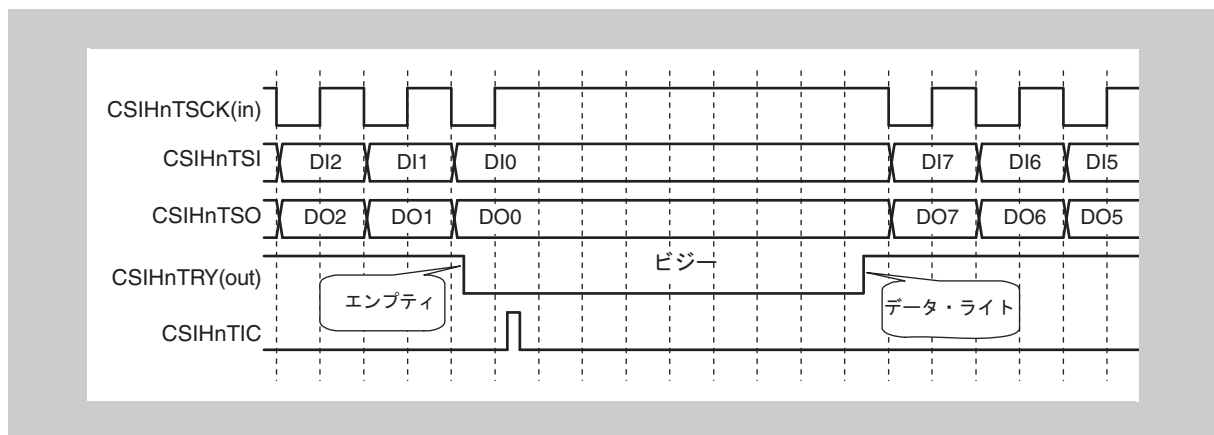


図 22-28 スレーブからのビジー信号 (FIFO モード, CSIHnCFGx.CSIHnDAPx = 0)

新しい送信データがFIFOにライトされると、ただちにスレーブはCSIHnTRYをハイ・レベル(「レディ」)に設定します。

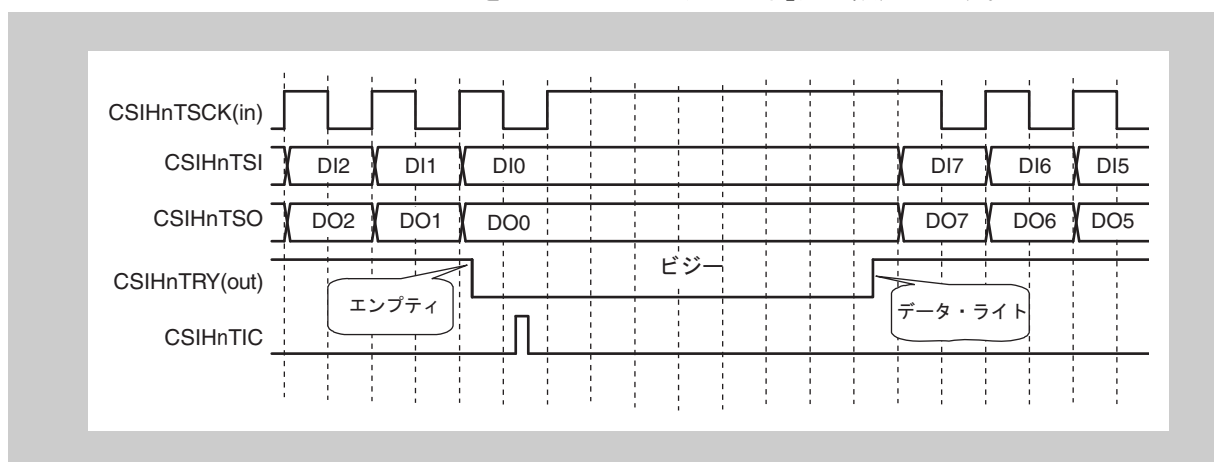


図 22-29 スレーブからのビジー信号 (FIFO モード, CSIHnCFGx.CSIHnDAPx = 1)

2. メモリ・モードがダイレクト・アクセス・モードの場合：

スレーブが受信モードまたは送受信モードに設定されてる状態で、前に受信したデータがまだ CSIHnRX0 レジスタにあるため、新しいデータをシフト・レジスタから CSIHnRX0 へコピーできない (CSIHnRX0 フル状態)。

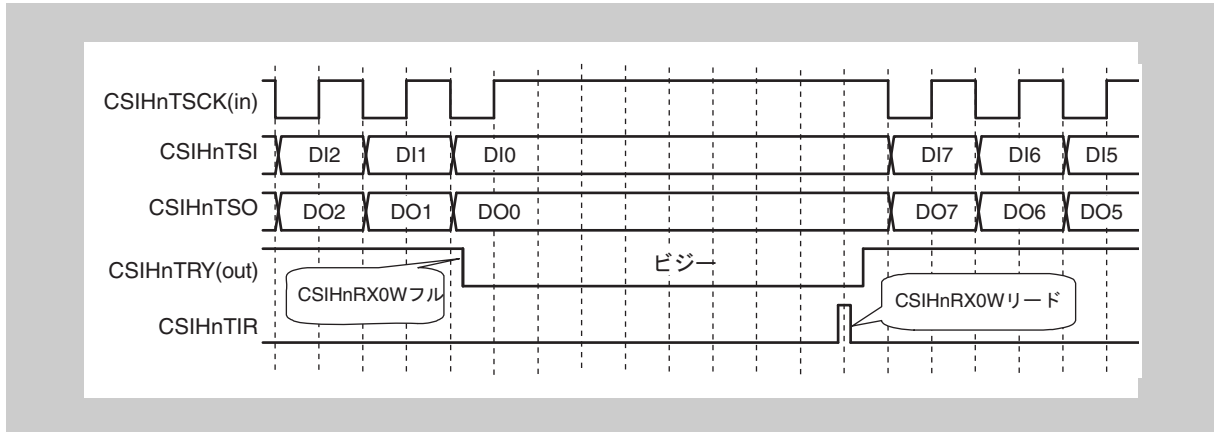


図 22-30 スレーブからのビジー信号 (ダイレクト・アクセス・モード, CSIHnCFGx.CSIHnDAPx = 0)

受信データ・レジスタ CSIHnRX0 からのリードが完了すると、ただちにスレーブは CSIHnTRY をハイ・レベル (「レディ」) に設定します。

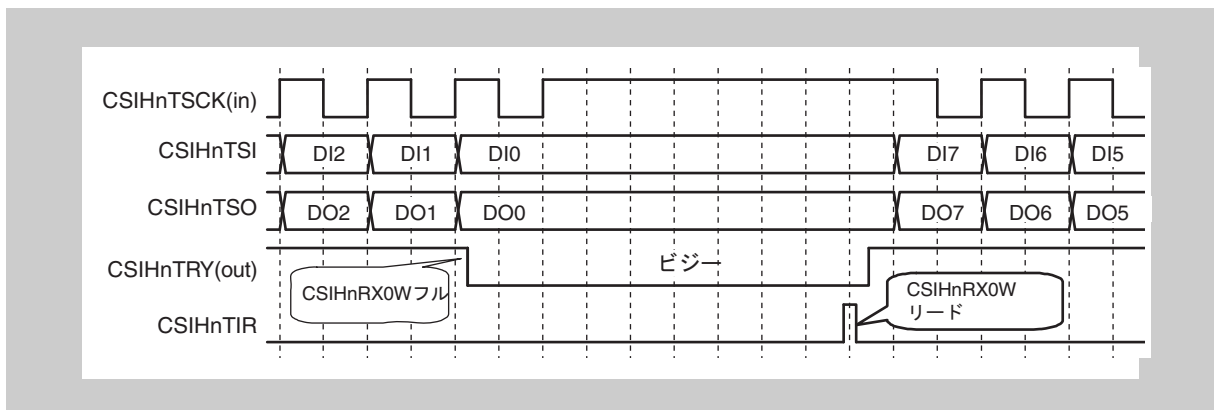


図 22-31 スレーブからのビジー信号 (ダイレクト・アクセス・モード, CSIHnCFGx.CSIHnDAPx = 1)

(2) マスタ・モード

マスタが CSIHnTRY のロウ・レベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHnTSCK を停止させます。

CSIHnTRY のレベルは、CSIHnTSCK の半クロック周期ごとにチェックされます。

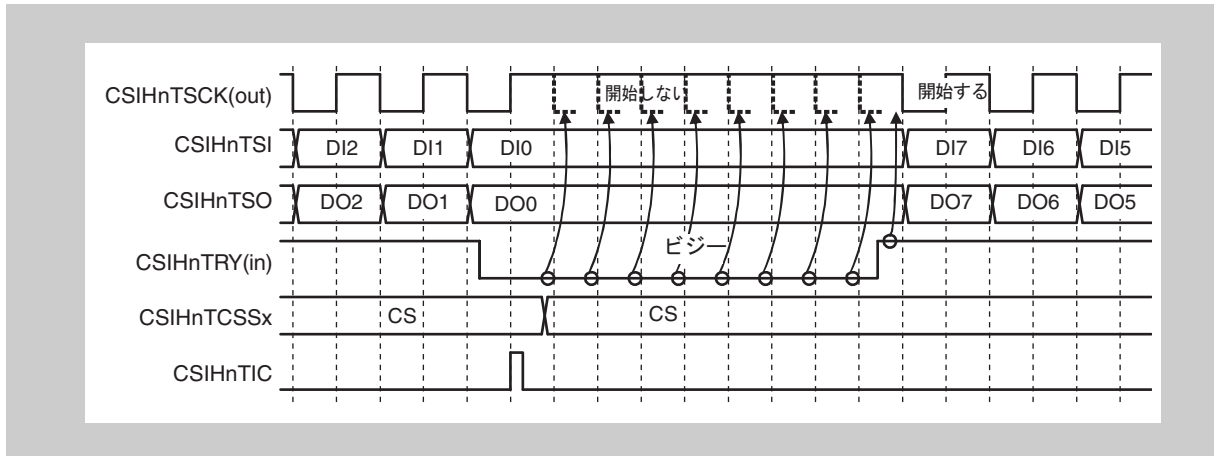


図 22-32 CSIHnTRY に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 0)

データ転送中に CSIHnTRY 信号のレベルが下がると、転送が完了したあと、シリアル・クロックが停止します。

マスタは CSIHnTRY がハイ・レベルになる (スレーブが「レディ」になると、ただちに通信を再開します。

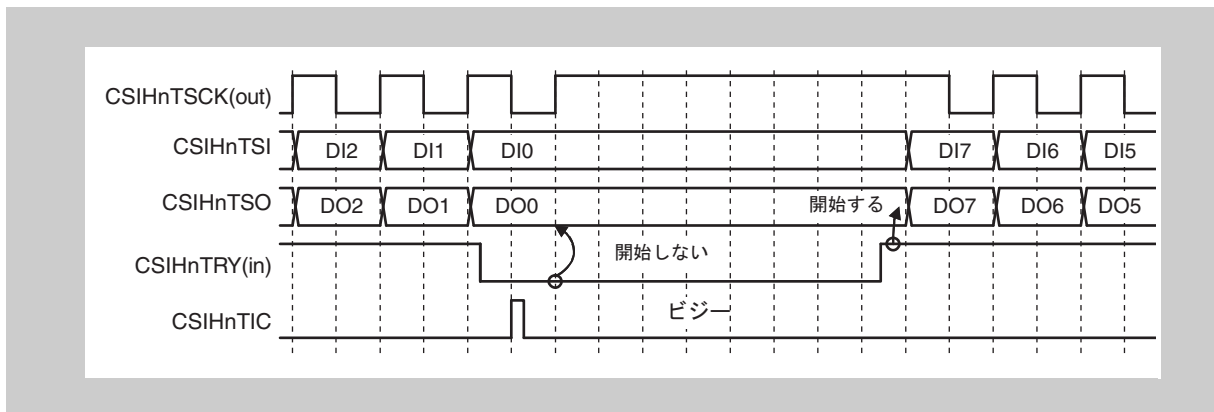


図 22-33 CSIHnTRY に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1)

注意 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブだけの CSIHnTRY 信号を検出する必要があります。次の転送が始まる前にスレーブは CSIHnTRY をロウ・レベルにする必要があります。転送中にスレーブがこの信号をロウ・レベルにしても、転送は完了するまで続きます。

22.3.14 エラー検出

CSIH は 5 種類のエラーを検出することができます。

- データー貫性エラー (送信データ)
- パリティ・エラー (受信データ)
- オーバラン・エラー (受信データ)
- タイムアウト・エラー (FIFO モード時)
- オーバフロー・エラー (FIFO モード時)

データー貫性エラー, パリティ・エラー, タイムアウト・エラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると, 割り込み要求 CSIHnTIRE が発生し, 検出されたエラーに対応するフラグがセットされます。

(1) データー貫性チェック

データー貫性チェックの目的は, 出力信号として物理的に送信されたデータがシフト・レジスタへコピーされた元のデータと同じかどうかを確認することです。

データー貫性チェックは CSIHnCTL1.CSIHnDCS ビットで有効または無効にすることができます。データ送信が禁止されていると (CSIHnCTL0.CSIHnTXE = 0), データー貫性チェックはアクティブになりません。

データー貫性チェックがアクティブになっていると, CSIHnTX0W または CSIHnTX0H からシフト・レジスタへ転送されたデータが別のレジスタへコピーされます。さらに, CSIHnTDCS 信号を介して CSIHnTSO の物理レベルが独自のシフト・レジスタにリードされます。

送信が完了すると, 送信されたデータと元の送信データとの比較が行われます。

データの不一致はデーター貫性エラーと見なされます。

- 割り込み CSIHnTIRE が発生します。
- ビット CSIHnSTR0.CSIHnDCE がセットされます。

さらに, エラーが発生したデータの CSIHnRX0W.CSIHnTDCE ビットがセットされます。

データ一貫性チェックの機能を以下のブロック図に示します。

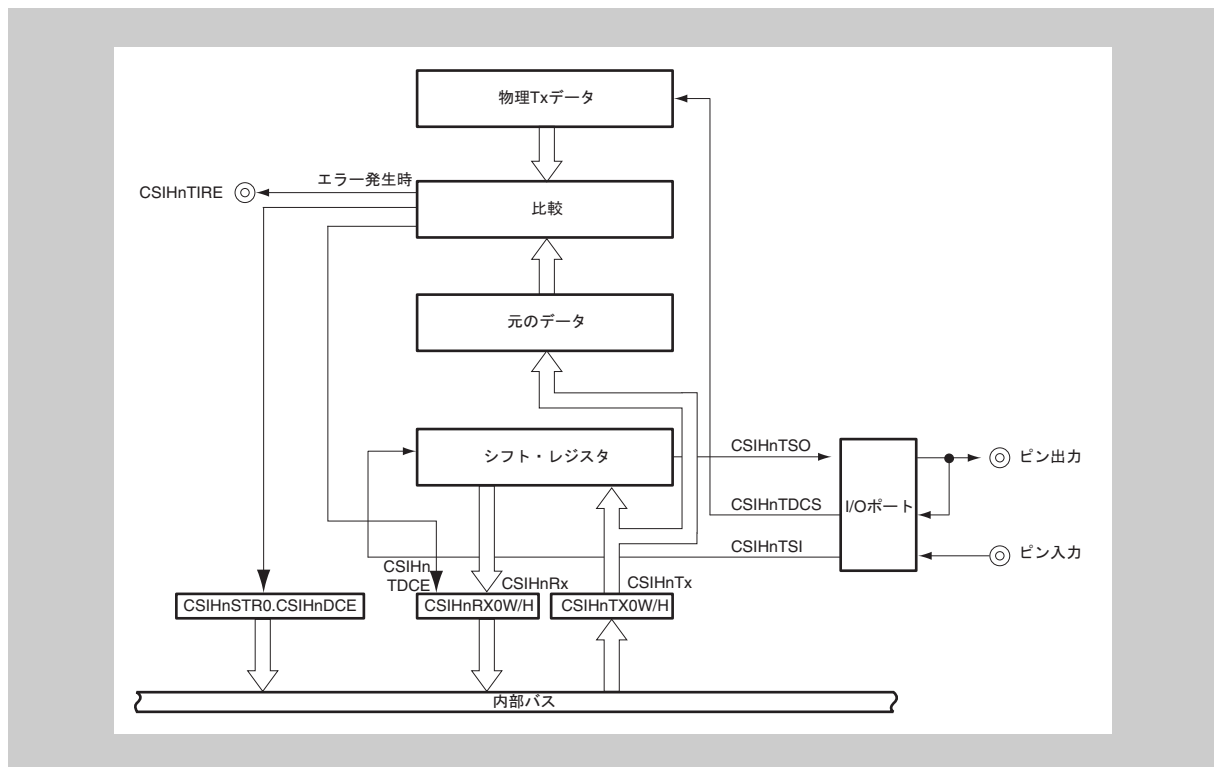


図 22-34 データ一貫性チェック機能のブロック図

(2) パリティ・チェック

パリティはデータ送信中の単一ビット・エラーを検出する手段としてよく使われます。CSIHでは、最後のデータ・ビットの後ろにパリティ・ビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプはCSIHnCFGx.CSIHnPSx[1:0]で指定されます。

CSIHnCFGx.CSIHnPSx[1] = 1であれば、パリティ・チェックが有効になります。

パリティ・ビットは受信完了後にチェックされます。パリティ・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHnTIRE が発生します。
- CSIHnSTR0.CSIHnPE ビットがセット (1) されます。

さらに、エラーが発生したデータのCSIHnRX0W.CSIHnRPEがセット (1) されます。

以下の図に例を示します。

- データ長は8ビットです。
- 送信されるデータは05_Hと35_Hです。
- データ方向はLSBファーストです。
- パリティ・タイプは奇数です。

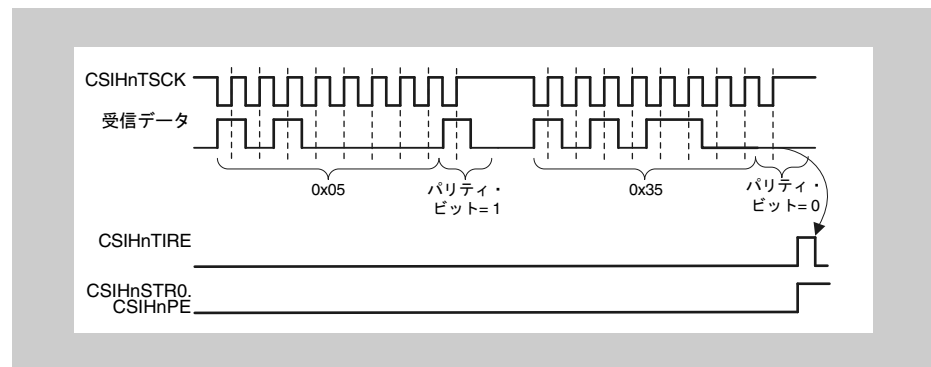


図 22-35 パリティ・チェックの例

1つめのデータのパリティ・ビットは1です。1の総数（パリティ・ビットを含む）が奇数であるため、パリティ・エラーは発生しません。

2つめのデータのパリティ・ビットは0です。1の総数（パリティ・ビットを含む）が偶数であるため、これはパリティ・エラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティ・ビットは、データの最後のビットの後ろに追加されます。

(3) タイムアウト・エラー

タイムアウト・エラー・チェックはスレーブの FIFO モードでのみ可能です。

タイムアウト・エラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データがリードされる
- FIFO が CSIHnTSl からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0] によってシリアル・クロック CSIHsCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウト・エラーが発生します (CSIHnMCTL0.CSIHnTO[4:0] = 00000_B に設定した場合タイムアウト時間は検出されません)。

専用のタイムアウト・カウンタで最後のリード操作から次のリード操作までの時間を測定します。

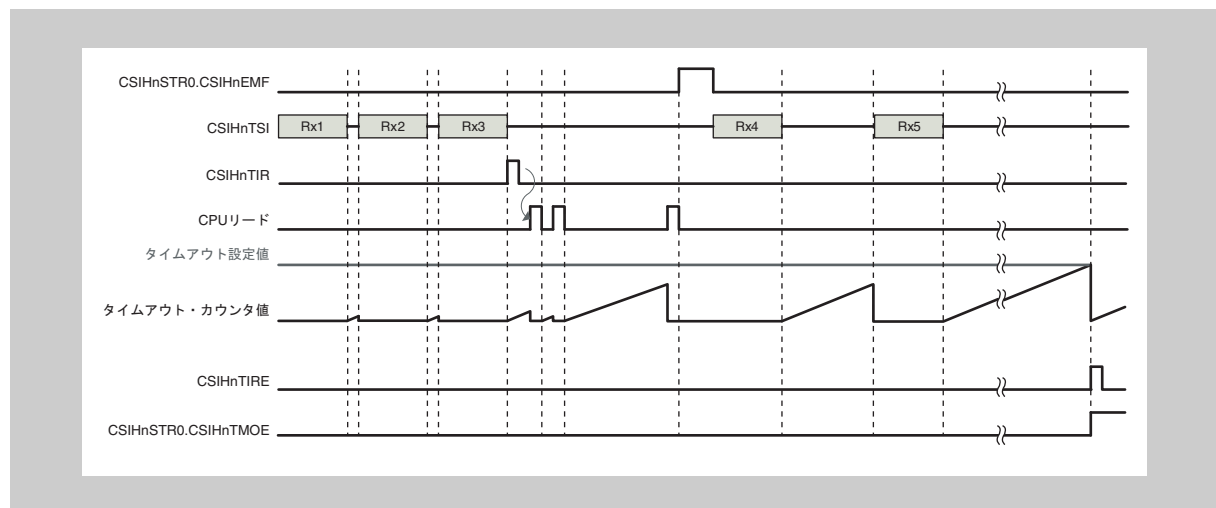


図 22-36 タイムアウト・チェック機能のタイミング図

タイムアウト・カウンタのスタート・タイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ・リードが完了したとき
(バッファがエンプティなら、カウンタはスタートしません)
- タイムアウト・エラーを検出したとき

タイムアウト・エラーが検出された後、そのままであれば、タイムアウト・カウンタは再起動します。

CSIHnMCTL0.CSIHnTO[4:0] ビットで設定した値まで再度来た場合は、CSIHnTIR 割り込みが再度出力されます。

タイムアウト・カウンタは受信データがリードされない限りはカウントし続けます。タイムアウト・カウンタを停止したい場合、すべての受信データをリードするか、CSIHnSTR0.CSIHnPCT をセット (1) してください。ただしその場合、ポインタがクリアされます。

タイムアウト・カウンタのリセット・タイミングを次に示します。

- リードが1回行われる
- 新しいデータが1つ受信
- タイムアウト・エラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット (1)

タイムアウト・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHnTIRE が発生します。
- ビット CSIHnSTR0.CSIHnTMOE がセットされます。

(4) オーバフロー・エラー

オーバフロー・エラーはFIFOモードで発生します。オーバフロー・エラーは、FIFOバッファが送信データと受信データでフルになっている状態でCSIHnTX0WレジスタまたはCSIHnTX0Hレジスタに送信データがライトされると発生します。

例 100個のデータ・パケットが送信されています。つまり、FIFOには100個の受信パケットが格納されています。アプリケーションが受信データのリードを開始します。

リード操作の進行中に、アプリケーションが新たに50個の送信データ・パケットをFIFOにライトしはじめます。しかし、現在までに10個の受信パケットしかリードされておらず、90個のパケットがまだFIFOに残っています。

この例では、新しい送信データを受け入れることができるバッファは38個しかありません。CPUが39個目のデータ・パケットをライトしようとする、オーバフロー・エラーが発生します。

以下の図はその様子を示しています。

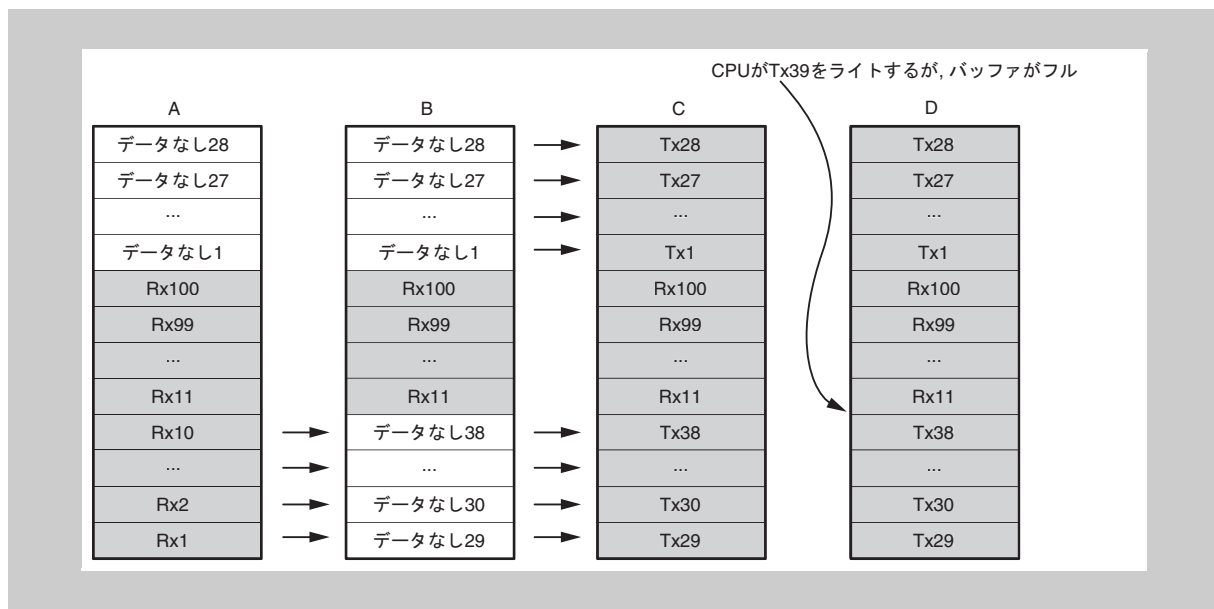


図 22-37 FIFO の概要

39個目以降のデータ・パケットは破棄されます。以下の図にオーバフローのタイミングを示します。

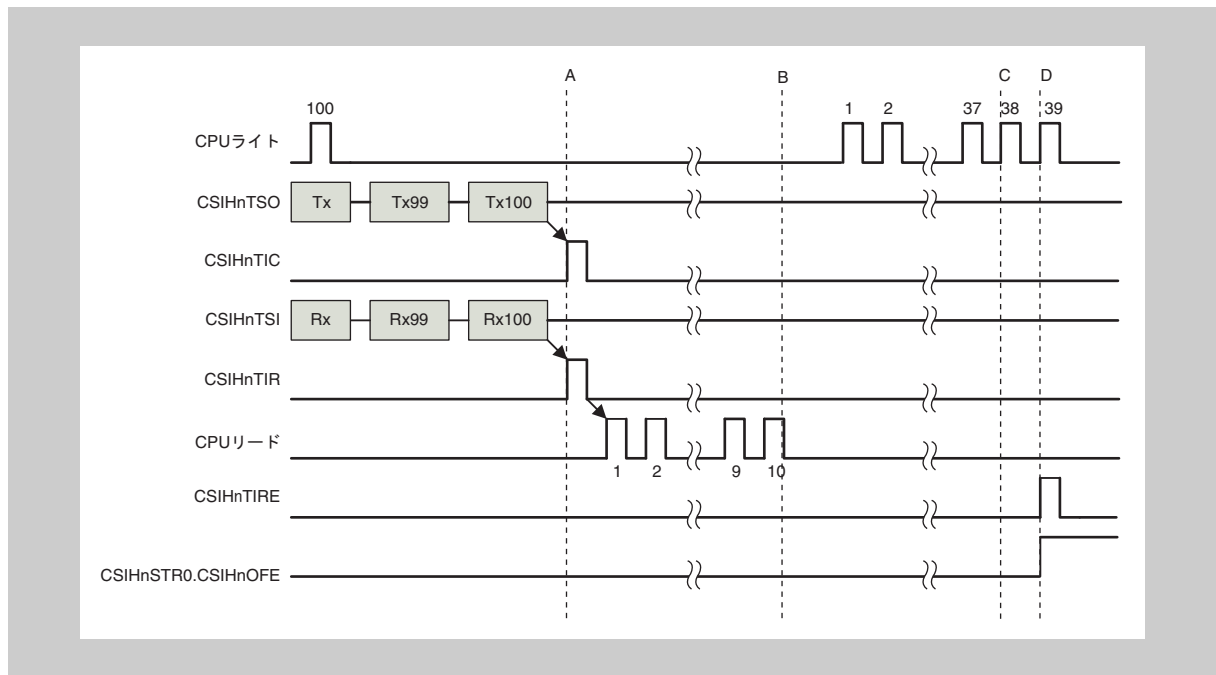


図 22-38 FIFO のオーバーフローのタイミング

オーバーフロー・エラーが発生すると、以下のことが行われます。

- CSIHnTIRE 割り込みが発生します。
- CSIHnSTR0.CSIHnOFE ビットがセットされます。

(5) オーバラン・エラー

オーバラン・エラーは、ダイレクト・アクセス・モード、送信オンリー・バッファ・モード、FIFOモードで発生します。デュアル・バッファ・モードの場合、オーバラン・エラーは発生しません。

ダイレクト・アクセス/送信オンリー・バッファ

ダイレクト・アクセス・モードと送信オンリー・バッファ・モードでは、新たに受信したデータをシフト・レジスタから受信データ・レジスタ CSIHnRX0 へ転送できなくなると、このエラーが発生します。CSIHnRX0 がリードされていないため、前に受信したデータが CSIHnRX0 に残っていると、その状態になります。

マスタ・モードでは受信データの CPU リードが行われるまでシリアル・クロックを停止するため、このエラーは発生しません。スレーブ・モードではハンドシェイク機能で回避することができます。

以下の図にオーバラン・エラー検出機能の仕組みを示します。

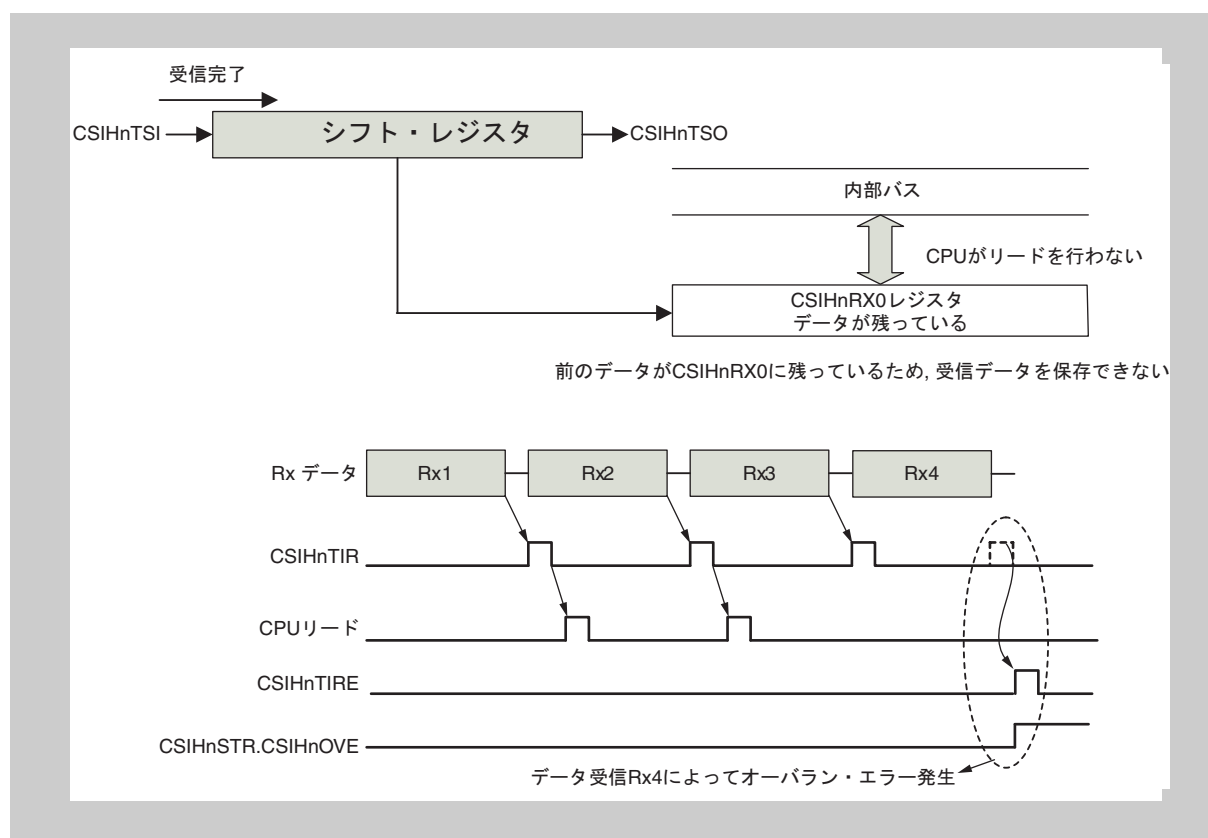


図 22-39 ダイレクト・アクセス・モードと送信オンリー・バッファ・モードでのオーバラン・エラーの検出

FIFO モード FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フル
FIFO がフルであるため、新たに受信したデータをシフト・レジスタから FIFO へ転送できない
2. データなし
CPU が存在しない受信データをリードしようとしている

備考 FIFO モードで CPU が、存在しない受信データをリードしようとした場合、データ受信が禁止されていても (CSIHnCTL0.CSIHnRXE = 0)、オーバーラン・エラーは発生します。

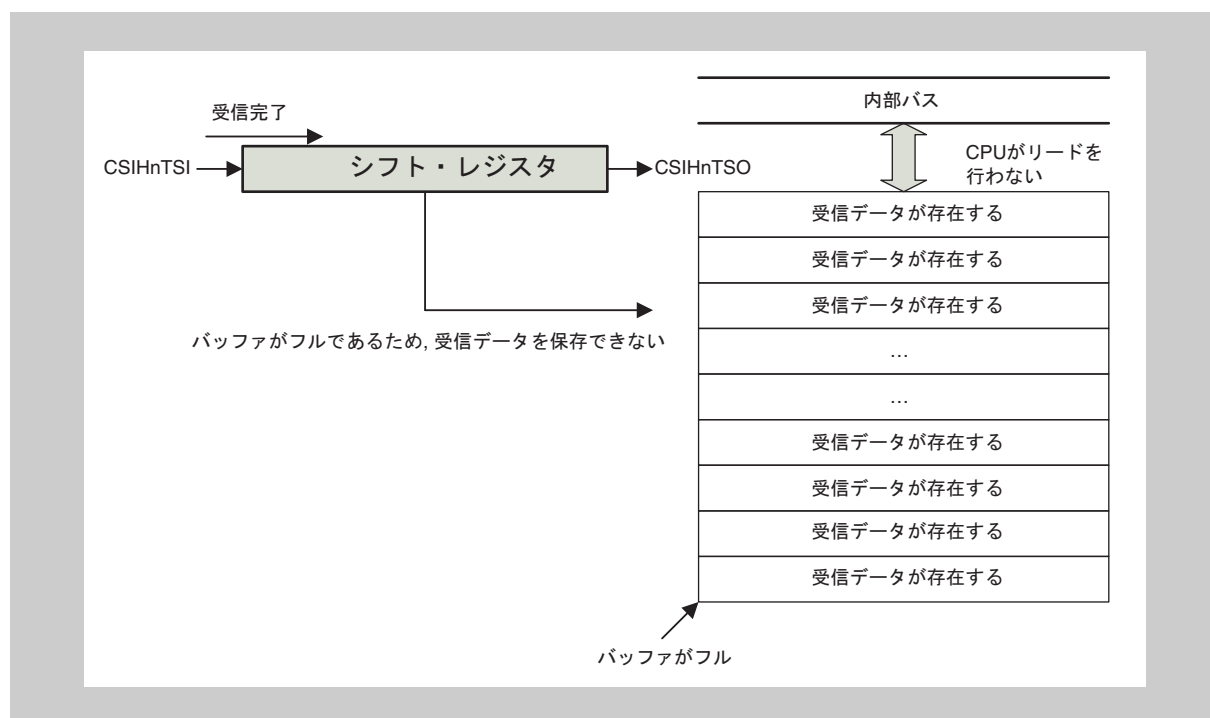


図 22-40 FIFO モードでのオーバーラン・エラーの検出 (FIFO フル)

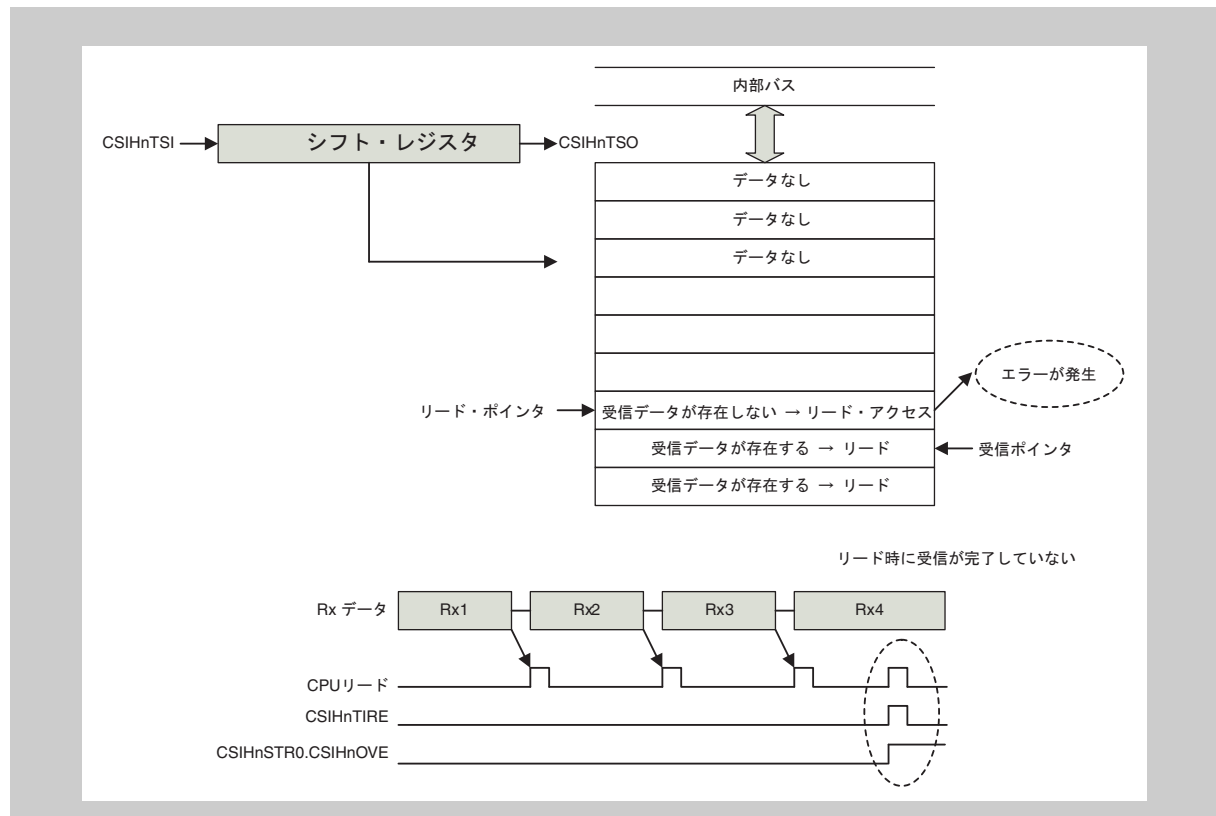


図 22-41 FIFO モードでのオーバラン・エラーの検出（データなし）

オーバラン・エラーが発生すると、以下のことが行われます。

- CSIHnTIRE 割り込みが発生します。
- CSIHnSTR0.CSIHnOVE ビットがセット（1）されます。
- CSIHnRX0W レジスタは、受信データによって再度ライトされます。
- 通信は継続します（CPU が存在しないデータをリードした場合を除く）。

備考 スレーブ・モードでは、ハンドシェイク機能を利用してオーバラン・エラーを回避することができます。

スレーブ・モードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信データ・レジスタをリードし、再びレディ状態になるまで待機します。

詳細については、1338 ページの 22.3.13 「ハンドシェイク機能」を参照してください。

22.3.15 ループ・バック・モード

ループ・バック・モードは自己テスト用の特殊なモードです。この機能はマスタ・モードでのみ利用できます。

このモードがアクティブになっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号はポートから切り離されます。さらに、CSIHnTSO の出力レベルがロウ・レベルに固定され、CSIHnCFGx.CSIHnCKPx の定義に従って CSIHnTSCK がインアクティブになります。ハンドシェイク機能は使用できません。CSIH のそれ以外の部分は通常どおりに動作します。

CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号、CSIHnTCSSn[7:0] 信号はポートから切り離されます。CSIHnTSO 信号の出力レベルはロウに固定され、CSIHnTSCK 信号および CSIHnTCSSn[7:0] 信号はインアクティブ・レベル (CSIHnTSCK 信号の場合は CSIHnCFGx.CSIHnCKPx ビットで設定したレベル、CSIHnTCSSn[7:0] 信号の場合は CSIHnCTL1.CSIHnCLS[7:0] ビットで設定したレベル) に設定されます。

CSIH を自己テストするには、CSIHnCTL1.CSIHnLBM を 1 に設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

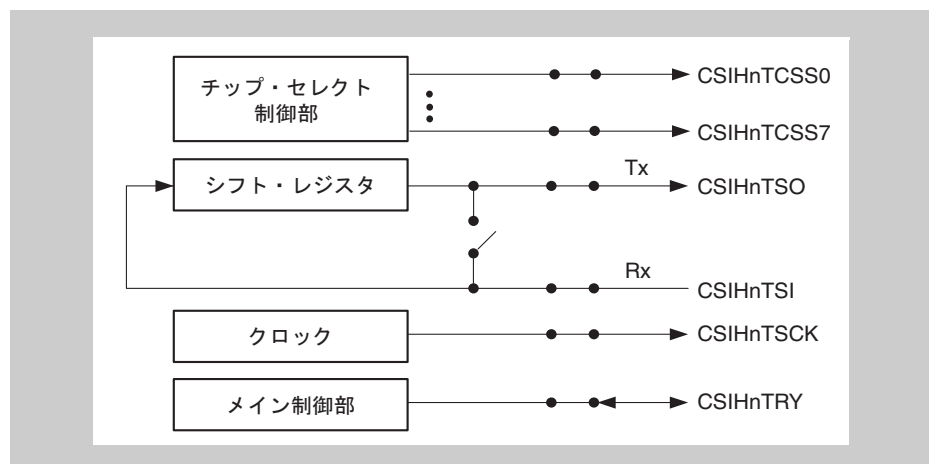


図 22-42 通常の動作 (CSIHnCTL1.CSIHnLBM = 0)

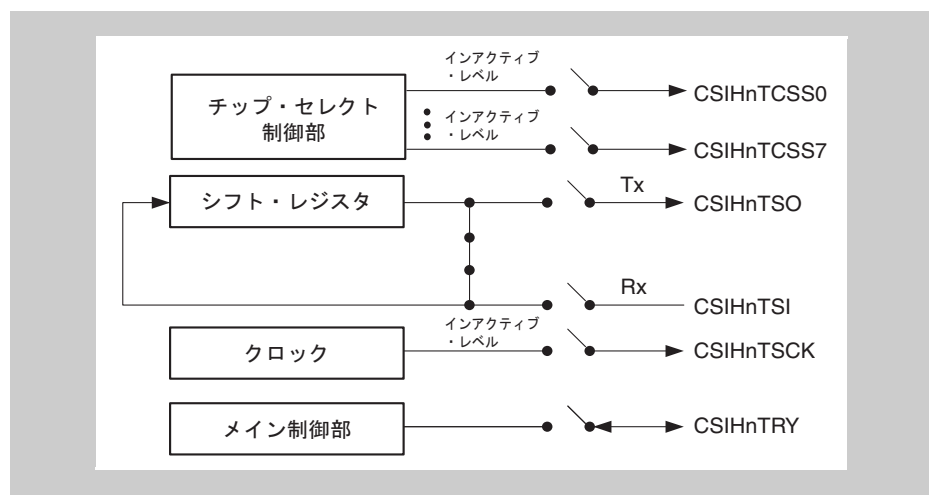


図 22-43 ループ・バック動作 (CSIHnCTL1.CSIHnLBM = 1)

22.4 CSIH 制御レジスタ

CSIHn は、以下のレジスタによって制御され、操作されます。

表 22-16 CSIH のレジスタ概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIHnCTL0	<CSIHn_base_USER> + 0000 _H
制御レジスタ 1	CSIHnCTL1	<CSIHn_base_OS> + 0010 _H
制御レジスタ 2	CSIHnCTL2	<CSIHn_base_OS> + 0014 _H
ステータス・レジスタ 0	CSIHnSTR0	<CSIHn_base_USER> + 0004 _H
ステータス・クリア・レジスタ 0	CSIHnSTCR0	<CSIHn_base_USER> + 0008 _H
メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base_OS> + 1040 _H
メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base_USER> + 0080 _H
メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base_USER> + 0084 _H
ワード・アクセス用送信データ・レジスタ 0	CSIHnTX0W	<CSIHn_base_USER> + 0088 _H
ハーフ・ワード・アクセス用送信データ・レジスタ 0	CSIHnTX0H	<CSIHn_base_USER> + 008C _H
ワード・アクセス用受信データ・レジスタ 0	CSIHnRX0W	<CSIHn_base_USER> + 0090 _H
ハーフ・ワード・アクセス用受信データ・レジスタ 0	CSIHnRX0H	<CSIHn_base_USER> + 0094 _H
メモリ・リード/ライト・ポインタ・レジスタ 0	CSIHnMRWP0	<CSIHn_base_USER> + 0098 _H
コンフィギュレーション・レジスタ 0	CSIHnCFG0	<CSIHn_base_OS> + 1044 _H
コンフィギュレーション・レジスタ 1	CSIHnCFG1	<CSIHn_base_OS> + 1048 _H
コンフィギュレーション・レジスタ 2	CSIHnCFG2	<CSIHn_base_OS> + 104C _H
コンフィギュレーション・レジスタ 3	CSIHnCFG3	<CSIHn_base_OS> + 1050 _H
コンフィギュレーション・レジスタ 4	CSIHnCFG4	<CSIHn_base_OS> + 1054 _H
コンフィギュレーション・レジスタ 5	CSIHnCFG5	<CSIHn_base_OS> + 1058 _H
コンフィギュレーション・レジスタ 6	CSIHnCFG6	<CSIHn_base_OS> + 105C _H
コンフィギュレーション・レジスタ 7	CSIHnCFG7	<CSIHn_base_OS> + 1060 _H

<CSIHn_base> CSIHn のベース・アドレス <CSIHn_base> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

22.4.1 CSIH レジスタの詳細

(1) CSIHnCTL0 — CSIH 制御レジスタ 0

本レジスタは、CSIHn を制御するレジスタです。おもに動作クロック、送受信の許可/禁止、送受信に割り当てられるメモリの有効/無効を設定します。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8ビット単位または1ビット単位でリード/ライト可能です。

アドレス <CSIHn_base_USER> + 0000_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
CSIHn PWR	CSIHn TXE	CSIHn RXE	0	0	0	CSIHn JOBE	CSIHn MBS
R/W	R/W	R/W	R	R	R	R/W	R/W

表 22-17 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIHnPWR をクリア (0) すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR がクリア (0) されると、実行中の通信はただちに中止されます。その場合は、通信を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します (CSIHnTX0W.CSIHnEOJ = 1 (ジョブ終了) 時に送信バッファにデータをライトされると通信が終了になります)。 0: 通信停止を要求しません。 1: 通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア (0) されます。このビットをセット (1) しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポインタをクリアしたあと、次の通信を開始する必要があります。 注意 このビットは、CSIHnCTL0.CSIHnPWR = 1, CSIHnCTL1.CSIHnJE = 1 で、転送動作中にのみ有効です。また、転送終了時に自動的にクリア (0) されます。このビットはスレーブ・モードでは設定禁止です。このビットは常に 0 がリードされます。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0: メモリ・モード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1: ダイレクト・アクセス・モード CSIH のメモリをバイパスします。 注意 スレーブ・モード時は、CSIHnCTL0.CSIHnPWR = 0 → 1 と同じタイミングで再度ライトしてください。

-
- 注意**
1. CSIHnPWR = 0 のときは、CSIHnTXE, CSIHnRXE, CSIHnJOB, CSIHnMBS ビットのいずれも変更しないでください。ただし CSIHnPWR ビットを 0 から 1 に変更すると同時に、CSIHnTXE, CSIHnRXE, CSIHnMBS ビットを変更することはできません。
 2. データ送信が保留中または進行中、つまり CSIHnSTR0.CSIHnTSF = 1 のときに、CSIHnTXE または CSIHnRXE または CSIHnMBS を変更しないでください。
-

(2) CSIHnCTL1 — CSIH 制御レジスタ 1

本レジスタは、CSIHn を制御するレジスタです。おもにクロックの位相、割り込みのタイミングと割り込み遅延モードの指定、拡張データ長制御、データ貫性チェック、ループ・バック・モード、ハンドシェイク機能、ジョブ・モードの有効/無効にする機能を持っています。また、各チップ・セレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップ・セレクト信号の動作の選択も行います。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base_OS> + 0010_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHn CKR	CSIHn SLIT
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnCSL[7:0]								CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意 本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 22-18 CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
17	CSIHnCKR	CSIHnTSCK のクロック位相を選択します。 0: CSIHnTSCK のデフォルト・レベルはハイ・レベル 1: CSIHnTSCK のデフォルト・レベルはロウ・レベル 注意 チップ・セレクト機能を使用せずこのビットを使用する場合は、CSIHnCFGx.CSIHnCKPx = 0 に設定してください。
16	CSIHnSLIT	割り込み CSIHnTIC のタイミングを選択します。 0: 通常の割り込みのタイミング (転送後に割り込みが発生します)。 1: CSIHnTX0W, CSIHnTX0H レジスタの内容がシフト・レジスタに転送されると、ただちに割り込みが発生します (ダイレクト・アクセス・モードでのみ機能します)。 詳細については、1329 ページの (1) 「CSIHnTIC (通信割り込み)」を参照してください。
15 ~ 8	CSIHnCSL[7:0]	チップ・セレクト信号 x (CSIHnTCSSx) のアクティブ出力レベルを選択します (n = 0-7)。 0: チップ・セレクト信号をアクティブ・ロウにします。 1: チップ・セレクト信号をアクティブ・ハイにします。 詳細については、1314 ページの 22.3.3 「チップ・セレクト (CS) 機能」を参照してください。
7	CSIHnEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については、1325 ページの (2) 「16 ビットを上回るデータ長」を参照してください。

表 22-18 CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	CSIHnJE	ジョブ・モードを有効または無効にします。 0: ジョブ・モードを無効にします。 1: ジョブ・モードを有効にします。 詳細については、1319 ページの 22.3.5 「ジョブ概念」を参照してください。 CSIHnCTL0.CSIHnJOBE, CSIHnTX0W.CSIHnEOJ, CSIHnTX0W. CSIHnCIRE ビットは CSIHnCTL1.CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブ・モードでは設定禁止です。
5	CSIHnDCS	データー貫性チェックを有効または無効にします。 0: データー貫性チェックを無効にします。 1: データー貫性チェックを有効にします。 詳細については、1342 ページの (1) 「データー貫性チェック」を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップ・セレクト信号の動作を定義します。 0: チップ・セレクト信号がアクティブ・レベルを保持します。 1: チップ・セレクト信号がインアクティブ・レベルに戻ります。 最後のデータの判定はダイレクト・アクセス・モード / FIFO モード時の割り込みタイミングで行います。CSIHnCTL1.CSIHnSLIT = 1 のときはダイレクト・アクセス・モードです。
3	CSIHnLBM	ループ・バック・モード (LBM) を制御します。 0: ループ・バック・モードをインアクティブにします。 1: ループ・バック・モードをアクティブにします。 詳細については、1352 ページの 22.3.15 「ループ・バック・モード」を参照してください。 このビットはスレーブ・モードでは設定禁止です。
2	CSIHnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタ・モードでのみ有効になります。スレーブ・モードでは遅延は生成されません。 詳細については、1337 ページの (5) 「全割り込み遅延」を参照してください。
1	CSIHnHSE	ハンドシェイク・モードを有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、1338 ページの 22.3.13 「ハンドシェイク機能」を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0: 入力信号 CSIHnTSSI を無視します。 1: 入力信号 CSIHnTSSI を認識します。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります (1312 ページの 22.3.2 「マスタ / スレーブの接続」も参照してください)。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 22-19 受信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	CSIHn TSSI	受信動作
0	-	-	受信を禁止します。
1	0	-	可能
1	1	0	可能
1	1	1	無効

表 22-20 送信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	CSIHn TSSI	送信動作
0	-	-	送信を禁止します。
1	0	-	可能
1	1	0	可能
1	1	1	無効

(3) CSIHnCTL2 — CSIH 制御レジスタ 2

本レジスタは、CSIHnを制御するレジスタです。動作モード、プリスケアラ選択し、ポー・レートを選択します。

詳細については、1319 ページの22.3.6「シリアル・クロックの選択」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base_OS> + 0014_H

初期値 E000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnPRS[2:0]			0	CSIHnBRS[11:0]											
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意 本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 22-21 CSIHnCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
15 ~ 13	CSIHnPRS [2:0]	動作モードと基本クロックの値を選択します。																																				
		<table border="1"> <thead> <tr> <th>CSIHn PRS2</th> <th>CSIHn PRS1</th> <th>CSIHn PRS0</th> <th>基本クロック (PRSOUT) の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PCLK (マスタ・モード)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>PCLK / 2 (マスタ・モード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>PCLK / 4 (マスタ・モード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>PCLK / 8 (マスタ・モード)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>PCLK / 16 (マスタ・モード)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>PCLK / 32 (マスタ・モード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>PCLK / 64 (マスタ・モード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>CSIHnTSCK(in) 経由の外部クロック (スレーブ・モード)</td> </tr> </tbody> </table>	CSIHn PRS2	CSIHn PRS1	CSIHn PRS0	基本クロック (PRSOUT) の選択	0	0	0	PCLK (マスタ・モード)	0	0	1	PCLK / 2 (マスタ・モード)	0	1	0	PCLK / 4 (マスタ・モード)	0	1	1	PCLK / 8 (マスタ・モード)	1	0	0	PCLK / 16 (マスタ・モード)	1	0	1	PCLK / 32 (マスタ・モード)	1	1	0	PCLK / 64 (マスタ・モード)	1	1	1	CSIHnTSCK(in) 経由の外部クロック (スレーブ・モード)
CSIHn PRS2	CSIHn PRS1	CSIHn PRS0	基本クロック (PRSOUT) の選択																																			
0	0	0	PCLK (マスタ・モード)																																			
0	0	1	PCLK / 2 (マスタ・モード)																																			
0	1	0	PCLK / 4 (マスタ・モード)																																			
0	1	1	PCLK / 8 (マスタ・モード)																																			
1	0	0	PCLK / 16 (マスタ・モード)																																			
1	0	1	PCLK / 32 (マスタ・モード)																																			
1	1	0	PCLK / 64 (マスタ・モード)																																			
1	1	1	CSIHnTSCK(in) 経由の外部クロック (スレーブ・モード)																																			

表 22-21 CSIHnCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能																
11 ~ 0	CSIHnBRS [11:0]	<p>ポー・レートを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnBRS[11:0]</th> <th>CSIHnTBLK クロックの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>BRG の停止</td> </tr> <tr> <td>1</td> <td>PCLK / ($2^m \times 1 \times 2$)</td> </tr> <tr> <td>2</td> <td>PCLK / ($2^m \times 2 \times 2$)</td> </tr> <tr> <td>3</td> <td>PCLK / ($2^m \times 3 \times 2$)</td> </tr> <tr> <td>4</td> <td>PCLK / ($2^m \times 4 \times 2$)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>4095</td> <td>PCLK / ($2^m \times 4095 \times 2$)</td> </tr> </tbody> </table> <p>備考 m = 0-6 : CSIHnPRS[2:0] で設定した値</p>	CSIHnBRS[11:0]	CSIHnTBLK クロックの選択	0	BRG の停止	1	PCLK / ($2^m \times 1 \times 2$)	2	PCLK / ($2^m \times 2 \times 2$)	3	PCLK / ($2^m \times 3 \times 2$)	4	PCLK / ($2^m \times 4 \times 2$)	4095	PCLK / ($2^m \times 4095 \times 2$)
CSIHnBRS[11:0]	CSIHnTBLK クロックの選択																	
0	BRG の停止																	
1	PCLK / ($2^m \times 1 \times 2$)																	
2	PCLK / ($2^m \times 2 \times 2$)																	
3	PCLK / ($2^m \times 3 \times 2$)																	
4	PCLK / ($2^m \times 4 \times 2$)																	
...	...																	
4095	PCLK / ($2^m \times 4095 \times 2$)																	

(4) CSIHnSTR0 — CSIH ステータス・レジスタ 0

本レジスタはCSIHの状態を示します。

アクセス 32ビット単位でリードのみ可能です。

アドレス <CSIHn_base_USER> + 0004_H

初期値 0000 0010_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHnSRP[7:0]								CSIHnSPF[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHn TMOE	CSIHn OFE	0	0	0	0	0	0	CSIHn TSF	0	CSIHn FLF	CSIHn EMF	CSIHn DCE	0	CSIHn PE	CSIHn OVE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22-22 CSIHnSTR0 レジスタの内容 (1/4)

ビット位置	ビット名	機能										
31 ~ 24	CSIHnSRP[7:0]	<p>FIFO モードで受信データ数を示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSRP[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>受信データ数 (0 ~ 128_D)</td> </tr> <tr> <td>:</td> <td></td> </tr> <tr> <td>80_H</td> <td></td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。デュアル・バッファ・モード、送信オンリー・バッファ・モードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、これらのビットは 00_H に固定されます。ダイレクト・アクセス・モードでは、ポインタをもたないため、これらのビットは 00_H に固定されます。</p>	CSIHnSRP[7:0]	説明	00 _H	受信データ数 (0 ~ 128 _D)	:		80 _H		上記以外	設定禁止
CSIHnSRP[7:0]	説明											
00 _H	受信データ数 (0 ~ 128 _D)											
:												
80 _H												
上記以外	設定禁止											
23 ~ 16	CSIHnSPF[7:0]	<p>FIFO モードで未送信データの数を示します。 (CPU によってライトされたデータの数は送信データ数です)</p> <table border="1"> <thead> <tr> <th>CSIHnSPF[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>未送信データ・パケットの数 (0 ~ 128_D)</td> </tr> <tr> <td>:</td> <td></td> </tr> <tr> <td>80_H</td> <td></td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。デュアル・バッファ・モード、送信オンリー・バッファ・モードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、これらのビットは 00_H に固定されます。ダイレクト・アクセス・モードでは、ポインタをもたないため、これらのビットは 00_H に固定されます。</p>	CSIHnSPF[7:0]	説明	00 _H	未送信データ・パケットの数 (0 ~ 128 _D)	:		80 _H		上記以外	設定禁止
CSIHnSPF[7:0]	説明											
00 _H	未送信データ・パケットの数 (0 ~ 128 _D)											
:												
80 _H												
上記以外	設定禁止											

表 22-22 CSIHnSTR0 レジスタの内容 (2/4)

ビット位置	ビット名	機能
15	CSIHnTMOE	<p>FIFO モード時のタイムアウト・エラー・フラグ FIFO モード時のタイムアウト・エラーが検出されたかどうかを示します。 0: FIFO モード時のタイムアウト・エラーが検出されていません。 1: FIFO モード時のタイムアウト・エラーが検出されています。 詳細については、1345 ページの (3) 「タイムアウト・エラー」を参照してください。</p> <p>このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア (0) されます。 このビットは CSIHnSTCR0.CSIHnPWR=0 のときのライト・アクセスできます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>タイムアウト・エラーの検出による セット (1) と CSIHnSTCR0.CSIHnTMOEC による クリア (0) が同時に発生した場合、タイムアウト・エラーの検出による セット (1) を優先します。</p>
14	CSIHnOFE	<p>FIFO モード時のオーバーフロー・エラー・フラグ FIFO モード時のオーバーフロー・エラーが検出されたかどうかを示します。 0: FIFO モード時のオーバーフロー・エラーが検出されていません。 1: FIFO モード時のオーバーフロー・エラーが検出されています。 詳細については、1347 ページの (4) 「オーバーフロー・エラー」を参照してください。</p> <p>このビットは CSIHnSTCR0.CSIHnOFEC によってクリア (0) されます。 このビットは CSIHnSTCR0.CSIHnPWR=0 のときのライト・アクセスできます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>CSIHnCTL0.CSIHnPWR = 0 のときに CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに 129 の送信データをライトすると、オーバーフロー・エラーが発生します。</p> <p>オーバーフロー・エラーの検出による セット (1) と CSIHnSTCR0.CSIHnOFEC による クリア (0) が同時に発生した場合、オーバーフロー・エラーの検出による セット (1) を優先します。</p>

表 22-22 CSIHnSTR0 レジスタの内容 (3/4)

ビット位置	ビット名	機能																										
7	CSIHnTSF	<p>転送ステータス・フラグ 0: アイドル状態 1: 転送中または転送の準備中 このビットがセットまたはクリアされる条件を以下に示します。</p> <table border="1"> <thead> <tr> <th rowspan="2">マスタ・モード</th> <th colspan="2">セットされる条件</th> <th rowspan="2">クリアされる条件</th> </tr> <tr> <th>ダイレクト・アクセス・モード, FIFO モード</th> <th>デュアル・バッファ・モード, 送信オンリー・バッファ・モード</th> </tr> </thead> <tbody> <tr> <td>送信モード</td> <td rowspan="3">送信データ・レジスタへのライト</td> <td rowspan="3">CSIHnMCTL2, CSIHnBTST のセット</td> <td rowspan="3">最後のCSIHnTSCKエッジから0.5クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信モード</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th rowspan="2">スレーブ・モード</th> <th colspan="2">セットされる条件</th> <th rowspan="2">クリアされる条件</th> </tr> <tr> <th>ダイレクト・アクセス・モード, FIFO モード</th> <th>デュアル・バッファ・モード, 送信オンリー・バッファ・モード</th> </tr> </thead> <tbody> <tr> <td>送信モード</td> <td rowspan="2">送信データ・レジスタへのライト</td> <td rowspan="2">CSIHnMCTL2, CSIHnBTST のセット</td> <td rowspan="3">最後のCSIHnTSCKエッジから0.5クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信モード</td> <td>CSIHnTSCK 入力タイミング</td> <td></td> </tr> </tbody> </table>	マスタ・モード	セットされる条件		クリアされる条件	ダイレクト・アクセス・モード, FIFO モード	デュアル・バッファ・モード, 送信オンリー・バッファ・モード	送信モード	送信データ・レジスタへのライト	CSIHnMCTL2, CSIHnBTST のセット	最後のCSIHnTSCKエッジから0.5クロック以内	送受信モード	受信モード	スレーブ・モード	セットされる条件		クリアされる条件	ダイレクト・アクセス・モード, FIFO モード	デュアル・バッファ・モード, 送信オンリー・バッファ・モード	送信モード	送信データ・レジスタへのライト	CSIHnMCTL2, CSIHnBTST のセット	最後のCSIHnTSCKエッジから0.5クロック以内	送受信モード	受信モード	CSIHnTSCK 入力タイミング	
マスタ・モード	セットされる条件			クリアされる条件																								
	ダイレクト・アクセス・モード, FIFO モード	デュアル・バッファ・モード, 送信オンリー・バッファ・モード																										
送信モード	送信データ・レジスタへのライト	CSIHnMCTL2, CSIHnBTST のセット	最後のCSIHnTSCKエッジから0.5クロック以内																									
送受信モード																												
受信モード																												
スレーブ・モード	セットされる条件		クリアされる条件																									
	ダイレクト・アクセス・モード, FIFO モード	デュアル・バッファ・モード, 送信オンリー・バッファ・モード																										
送信モード	送信データ・レジスタへのライト	CSIHnMCTL2, CSIHnBTST のセット	最後のCSIHnTSCKエッジから0.5クロック以内																									
送受信モード																												
受信モード	CSIHnTSCK 入力タイミング																											
5	CSIHnFLF	<p>FIFO モード時のバッファ・フルの状態を示すフラグです。 0: FIFO バッファがフル状態ではありません。 1: FIFO バッファがフル状態です。 このビットは, CSIHnSTR0.CSIHnSRP[7:0] ビットの値と CSIHnSTR0.CSIHnSPF[7:0] ビットの値との合計値が 80H に一致したときにセット (1) され, CSIHnSTR0.CSIHnSRP[7:0] ビットの値と CSIHnSTR0.CSIHnSPF[7:0] ビットの値との合計値が 80H に一致しないときにクリア (0) されます。 このビットは CSIHnSTCR0.CSIHnPCT によってクリア (0) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。</p>																										
4	CSIHnEMF	<p>FIFO モード時のバッファ・エンプティの状態を示すフラグです。 0: FIFO バッファがエンプティではありません。 1: FIFO バッファがエンプティです。 このビットは CSIHnSTCR0.CSIHnPCT によってセット (1) されます。 このビットは, CSIHnSTR0.CSIHnSRP[7:0] ビットの値と CSIHnSTR0.CSIHnSPF[7:0] ビットの値との合計値が 00H に一致したときにセット (1) され, このビットは, CSIHnSTR0.CSIHnSRP[7:0] ビットの値と CSIHnSTR0.CSIHnSPF[7:0] ビットの値との合計値が 00H に一致しないときにクリア (0) されます。 FIFO バッファは未送信データや受信データでエンプティになることがあります。</p>																										

表 22-22 CSIHnSTR0 レジスタの内容 (4/4)

ビット位置	ビット名	機能
3	CSIHnDCE	<p>データー貫性エラー・フラグ</p> <p>0: データー貫性エラーが検出されていません。</p> <p>1: データー貫性エラーが検出されています。</p> <p>このビットは CSIHnSTCR0.CSIHnDCEC に 1 をライトすることによってクリア (0) されます。</p> <p>このビットは CSIHnCTL0.CSIHnPWR = 0 のときにライト・アクセス可能です。</p> <p>このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>データー貫性エラーの検出によるセット (1) と CSIHnSTCR0.CSIHnDCEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p>
1	CSIHnPE	<p>パリティ・エラー・フラグ</p> <p>0: パリティ・エラーが検出されていません。</p> <p>1: パリティ・エラーが検出されています。</p> <p>このビットは CSIHnSTCR0.CSIHnPEC に 1 をライトすることによってクリア (0) されます。</p> <p>このビットは CSIHnCTL0.CSIHnPWR = 0 のときにライト・アクセス可能です。</p> <p>このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>パリティ・エラーの検出によるセット (1) と CSIHnSTCR0.CSIHnPEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p>
0	CSIHnOVE	<p>オーバラン・エラー・フラグ (デュアル・バッファ・モードでは 0 固定です)</p> <p>0: オーバラン・エラーが検出されていません。</p> <p>1: オーバラン・エラーが検出されています。</p> <p>このビットは CSIHnSTCR0.CSIHnOVEC に 1 をライトすることによってクリアされます。</p> <p>このビットは CSIHnCTL0.CSIHnPWR = 0 のときにライト・アクセス可能です。</p> <p>このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p> <p>このビットはデュアル・バッファ・モードでは 0 固定となります。</p> <p>オーバラン・エラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOVEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p>

表 22-23 メモリ・モードでの動作

ビット名	ビット位置	ダイレクト・アクセス・モード	FIFO モード	送信オンリー・バッファ・モード	デュアル・バッファ・モード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnTSF	7	0: アイドル・ステート 1: 送信中または送信の準備中			
CSIHnFLF	5	0 固定	0: フルでない 1: フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0: エンプティでない 1: エンプティ	1 固定	1 固定
CSIHnDCE	3	0: エラー未検出 1: エラー検出			
CSIHnPE	1	0: エラー未検出 1: エラー検出			
CSIHnOVE	0	0: エラー未検出 1: エラー検出			0 固定

(5) CSIHnSTCR0 — CSIH ステータス・クリア・レジスタ 0

本レジスタはCSIHnSTR0 ステータス・レジスタのステータス・フラグをクリアします。

アクセス 16 ビット単位でライト可能です。

リードすると、常に値 0000_H が返されます。

アドレス <CSIHn_base_USER> + 0008_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnTMOEC	CSIHnOFEC	0	0	0	0	0	CSIHnPCT	0	0	0	0	CSIHnDCEC	0	CSIHnPEC	CSIHnOVEC
W	W	R	R	R	R	R	W	R	R	R	R	W	R	W	W

表 22-24 CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15	CSIHnTMOEC	タイムアウト・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: タイムアウト・エラー・フラグ (CSIHnSTR0.CSIHnTMOE) をクリアします。
14	CSIHnOFEC	オーバフロー・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: オーバフロー・エラー・フラグ (CSIHnSTR0.CSIHnOFE) をクリアします。
8	CSIHnPCT	FIFO ポインタを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: デュアル・バッファ・モード, 送信オンリー・バッファ・モード, FIFO モードの場合, 以下のすべての FIFO バッファ・ポインタをクリアします。 - CSIHnMRWP0.CSIHnTRWA[6:0] - CSIHnMRWP0.CSIHnRRA[6:0] - CSIHnMCTL2.CSIHnSOP[6:0] FIFO モードの場合のみ, さらに以下のすべてのステータス・ビットをクリアします。 - CSIHnSTR0.CSIHnSPF[7:0] - CSIHnSTR0.CSIHnSRP[7:0] - CSIHnSTR0.CSIHnFLF - CSIHnSTR0.CSIHnTSF また, CSIHnSTR0.CSIHnEMF が 1 にセットされます (FIFO エンプティ)。 注意: 通信中にこのビットがセットされると, 実行中の通信は停止されます。
3	CSIHnDCEC	データー貫性エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: データー貫性エラー・フラグ (CSIHnSTR0.CSIHnDCE) をクリアします。
1	CSIHnPEC	パリティ・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: パリティ・エラー・フラグ (CSIHnSTR0.CSIHnPE) をクリアします。
0	CSIHnOVEC	オーバラン・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。リード値は常に 0 になります。 1: オーバラン・エラー・フラグ (CSIHnSTR0.CSIHnOVE) をクリアします。

(6) CSIHnMCTL0 — CSIH メモリ制御レジスタ 0

本レジスタではメモリ・モードとタイムアウトの設定を選択します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base_OS> + 1040_H

初期値 001F_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	CSIHn MMS[1:0]		0	0	0	CSIHnTO[4:0]				
R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 22-25 CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能															
9 ~ 8	CSIHn MMS[1:0]	<p>メモリ・モードを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn MMS1</th><th>CSIHn MMS0</th><th>説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>FIFO モード</td></tr> <tr> <td>0</td><td>1</td><td>デュアル・バッファ・モード</td></tr> <tr> <td>1</td><td>0</td><td>送信オンリー・バッファ・モード</td></tr> <tr> <td>1</td><td>1</td><td>禁止</td></tr> </tbody> </table> <p>メモリ・モードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット (1) し個々のバッファ・ポインタなどをクリアしてください。 注意： メモリ・モードは、CSIHnCTL0.CSIHnPWR = 0 かつ CSIHnCTL0.CSIHnMBS = 0 のときにのみ変更できます。</p>	CSIHn MMS1	CSIHn MMS0	説明	0	0	FIFO モード	0	1	デュアル・バッファ・モード	1	0	送信オンリー・バッファ・モード	1	1	禁止
CSIHn MMS1	CSIHn MMS0	説明															
0	0	FIFO モード															
0	1	デュアル・バッファ・モード															
1	0	送信オンリー・バッファ・モード															
1	1	禁止															
4 ~ 0	CSIHn TO[4:0]	<p>FIFO モードのタイムアウトの設定を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnTO[4:0]</th><th>説明</th></tr> </thead> <tbody> <tr> <td>00000_B</td><td>タイムアウトを検出しません。</td></tr> <tr> <td>00001_B</td><td>タイムアウトを (1×8×BRG 出力クロック) にします。</td></tr> <tr> <td>00010_B</td><td>タイムアウトを (2×8×BRG 出力クロック) にします。</td></tr> <tr> <td>...</td><td></td></tr> <tr> <td>11111_B</td><td>タイムアウトを (31×8×BRG 出力クロック) にします。</td></tr> </tbody> </table> <p>注意： タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。 マスタ・モードのとき、またはメモリ・モードが FIFO モード以外 (ダイレクト・アクセス・モード、デュアル・バッファ・モード、送信モード) のときは、このビットに 00000_B を設定してください。 タイムアウトの検出の詳細については、1345 ページの (3) 「タイムアウト・エラー」も参照してください。</p>	CSIHnTO[4:0]	説明	00000 _B	タイムアウトを検出しません。	00001 _B	タイムアウトを (1×8×BRG 出力クロック) にします。	00010 _B	タイムアウトを (2×8×BRG 出力クロック) にします。	...		11111 _B	タイムアウトを (31×8×BRG 出力クロック) にします。			
CSIHnTO[4:0]	説明																
00000 _B	タイムアウトを検出しません。																
00001 _B	タイムアウトを (1×8×BRG 出力クロック) にします。																
00010 _B	タイムアウトを (2×8×BRG 出力クロック) にします。																
...																	
11111 _B	タイムアウトを (31×8×BRG 出力クロック) にします。																

(7) CSIHnMCTL1 — CSIH メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 CSIHnTIC と CSIHnTIR が発生する条件を選択します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base_USER> + 0080_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	CSIHnFES[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	CSIHnFFS[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 通信中のレジスタへのライトが可能です。

表 22-26 CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
22 ~ 16	CSIHnFES[6:0]	FIFO モードで CSIHnTIC 割り込みが発生する条件（送信 データ・エンブティ）を選択します。 FIFO に残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0] ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0] と一致すると、CSIHnTIC 割り込み要求が発生します。
6 ~ 0	CSIHnFFS[6:0]	FIFO モードで CSIHnTIR 割り込みが発生する条件（受信 データ・フル）を選択します。 FIFO に残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0] ビットで確認）（128 - CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、CSIHnTIR 割り込み要求が発生します。

(8) CSIHnMCTL2 — CSIH メモリ制御レジスタ 2

本レジスタでは、デュアル・バッファ・モードまたは送信オンリー・バッファ・モードのときにメモリの動作を制御し、通信の開始のトリガを発生させます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base_USER> + 0084_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

- 注意**
1. CSIHnSTR0.CSIHnTSF = 1 のとき（転送中）の本レジスタへのライト・アクセスは禁止されています。
 2. CSIHnMCTL2 レジスタは次の場合、ライト・アクセスは禁止です。
 - CSIHnCTL0.CSIHnPWR = 0
 - CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE=0
 - ダイレクト・アクセス・モード、FIFO モード

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHnBTST	0	0	0	0	0	0	0	CSIHnND[7:0]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	CSIHnSOP[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-27 CSIHnMCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnBTST	<p>バッファ転送の開始トリガを発生させます。</p> <p>0: 何も操作を行いません。</p> <p>1: 転送開始コマンドを発行します。</p> <p>リード値は常に0になります。</p> <p>注意 このビットはデュアル・バッファ・モードおよび送信オンリー・バッファ・モードでのみ使用できます。ダイレクト・アクセス・モードとFIFO モードでは、このビットは無効になります。</p>

表 22-27 CSIHnMCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能				
23 ~ 16	CSIHnND[7:0]	データの数を指定します。 リード値は残りの通信データ数を表示します。				
		CSIHnND[7:0]	デュアル・バッファ・モード	送信オンリー・バッファ・モード	FIFO モード	ダイレクト・アクセス・モード
		00 _H	0 個のデータを送信	0 個のデータを送信	影響なし	影響なし
		01 _H	1 個のデータを送信	1 個のデータを送信	影響なし	影響なし
		影響なし	影響なし
		3F _H	63 個のデータを送信	63 個のデータを送信	影響なし	影響なし
		40 _H	64 個のデータを送信	64 個のデータを送信	影響なし	影響なし
		...	禁止	...	影響なし	影響なし
		7F _H	禁止	127 個のデータを送信	影響なし	影響なし
		80 _H	禁止	128 個のデータを送信	影響なし	影響なし
		上記以外	設定禁止			
このビットは、データ転送後、値は自動的にデクリメントされます。転送中に参照すると、残りのデータ数がリードできます。ダイレクト・アクセス・モード時は、デクリメントされません。						
6 ~ 0	CSIHnSOP[6:0]	送信データのポインタを選択します。				
		CSIHnSOP[6:0]	デュアル・バッファ・モード	送信オンリー・バッファ・モード	FIFO モード	ダイレクト・アクセス・モード
		00 _H	0000 _H	0000 _H	0000 _H	影響なし
		01 _H	0004 _H	0004 _H	0004 _H	影響なし
		影響なし
		3F _H	00FC _H	00FC _H	00FC _H	影響なし
		40 _H	禁止	0100 _H	0100 _H	影響なし
		...	禁止	影響なし
		7F _H	禁止	01FC _H	01FC _H	影響なし
CSIHnCTL0.PWR=0, または CSIHnSTR0.CSIHnPCT をセット (1) して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。 備考 FIFO モードでは、これらのビットは送信アドレスを示します。ダイレクト・アクセス・モードではこれらのビットはインクリメントされません。						

(9) CSIHnMRWP0 — CSIH メモリ・リード/ライト・ポインタ・レジスタ 0

本レジスタではデュアル・バッファまたは送信オンリー・バッファのリード・ポインタとライト・ポインタを設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base_USER> + 0098_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	CSIHnRRA[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	CSIHnTRWA[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意 通信中のライトは可能です。
 ダイレクト・アクセス・モード, FIFO モードでの本レジスタへのライト・アクセスは禁止です。

表 22-28 CSIHnMRWP0 レジスタの内容

ビット位置	ビット名	機能				
22 ~ 16	CSIHn RRA[6:0]	受信バッファのリード・ポインタを選択します。				
		CSIHn RRA[6:0]	デュアル・ バッファ・ モード	送信オンリー・ バッファ・モード	FIFO モード	ダイレクト・ アクセス・ モード
		00 _H	0000 _H	影響なし	0000 _H	影響なし
		01 _H	0004 _H	影響なし	0004 _H	影響なし
		影響なし	...	影響なし
		3F _H	00FC _H	影響なし	00FC _H	影響なし
		40 _H	禁止	影響なし	0100 _H	影響なし
		...	禁止	影響なし	...	影響なし
		7F _H	禁止	影響なし	01FC _H	影響なし
		<p>受信データをリードすると、これらのビットは自動的にインクリメントされません。</p> <p>CSIHnRX0W レジスタまたは CSIHnRX0H レジスタのリード中にオーバーラン・エラーが発生した場合（データがない状態の CSIHnRX0W レジスタまたは CSIHnRX0H レジスタを CPU がリードしたとき）、リード・ポインタはインクリメントされません。</p> <p>CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。</p> <p>ダイレクト・アクセス・モード、送信オンリー・バッファ・モードではこれらのビットはインクリメントされません。</p> <p>送信オンリー・バッファ・モードでライト・アクセスする場合、これらのビットには 0000_H を設定してください。</p> <p>FIFO モードでは、これらのビットは受信データのリード・アドレスを示します。</p>				
6 ~ 0	CSIHn TRWA[6:0]	送信バッファのリード/ライト・ポインタを選択します。				
		CSIHn TRWA[6:0]	デュアル・ バッファ・ モード	送信オンリー・ バッファ・モード	FIFO モード	ダイレクト・ アクセス・ モード
		00 _H	0000 _H	0000 _H	0000 _H	影響なし
		01 _H	0004 _H	0004 _H	0004 _H	影響なし
		影響なし
		3F _H	00FC _H	00FC _H	00FC _H	影響なし
		40 _H	禁止	0100 _H	0100 _H	影響なし
		...	禁止	影響なし
		7F _H	禁止	01FC _H	01FC _H	影響なし
		<p>CPU から送信データのリード/ライトを行うと、これらのビットは自動的にインクリメントされます。</p> <p>CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。</p> <p>ダイレクト・アクセス・モードではこれらのビットはインクリメントされません。</p> <p>FIFO モードでは、これらのビットは送信データのリード/ライト・アドレスを示します。</p>				

(10) CSIHnCFGx — CSIH コンフィギュレーション・レジスタ x

これら 8 個のレジスタでは、各チップ・セレクト信号 CSIHnTCSSx のプリスケアラ、パリティ、データ長、ブロードキャスティング用のリセッシブの設定、シリアル・データ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブ・モード スレーブ・モードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPS0 : パリティの使用法
- CSIHnDLS0 : データ長の選択
- CSIHnDIR0 : データ方向
- CSIHnDAP0 : クロック位相とデータ位相

スレーブ・モードでは、CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1 ~ CSIHnCFG7 レジスタには 0 を設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス CSIHnCFG0 : <CSIHn_base_OS> + 1044_H

CSIHnCFG1 : <CSIHn_base_OS> + 1048_H

CSIHnCFG2 : <CSIHn_base_OS> + 104C_H

CSIHnCFG3 : <CSIHn_base_OS> + 1050_H

CSIHnCFG4 : <CSIHn_base_OS> + 1054_H

CSIHnCFG5 : <CSIHn_base_OS> + 1058_H

CSIHnCFG6 : <CSIHn_base_OS> + 105C_H

CSIHnCFG7 : <CSIHn_base_OS> + 1060_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHn PSClx[1:0]	CSIHn PSx[1:0]	CSIHnDLSx[3:0]			0	0	0	0	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHn IDLx	CSIHnIDx[2:0]		CSIHnHDx[3:0]			CSIHnINx[3:0]			CSIHnSPx[3:0]						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注意 CSIHnCTL0.CSIHnPWR = 0 のときのみライト・アクセスが可能です (同じ値をライトするなら CSIHnCTL0.CSIHnPWR = 1 でも可能です)。

表 22-29 CSIHnCFGx レジスタの内容 (1/4)

ビット位置	ビット名	機能																				
31 ~ 30	CSIHn PSCLx[1:0]	<p>チップ・セレクト信号 x のプリスケアラを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSCLx1</th> <th>CSIHn PSCLx0</th> <th>プリスケアラの出力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CSIHnBCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>CSIHnBCLK / 2</td> </tr> <tr> <td>1</td> <td>0</td> <td>CSIHnBCLK / 4</td> </tr> <tr> <td>1</td> <td>1</td> <td>CSIHnBCLK / 8</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。 CSIHnBCLKについては 22.3.6 「シリアル・クロックの選択」を参照してください。</p>	CSIHn PSCLx1	CSIHn PSCLx0	プリスケアラの出力	0	0	CSIHnBCLK	0	1	CSIHnBCLK / 2	1	0	CSIHnBCLK / 4	1	1	CSIHnBCLK / 8					
CSIHn PSCLx1	CSIHn PSCLx0	プリスケアラの出力																				
0	0	CSIHnBCLK																				
0	1	CSIHnBCLK / 2																				
1	0	CSIHnBCLK / 4																				
1	1	CSIHnBCLK / 8																				
29 ~ 28	CSIHn PSx[1:0]	<p>チップ・セレクト信号 x の送信用と受信用のパリティを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSx1</th> <th>CSIHn PSx0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を期待しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0 に固定されたパリティ・ビットを追加します。</td> <td>パリティ・ビットの受信を期待しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティ・ビットの受信を期待します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティ・ビットの受信を期待します。</td> </tr> </tbody> </table>	CSIHn PSx1	CSIHn PSx0	送信	受信	0	0	パリティを送信しません。	パリティの受信を期待しません。	0	1	0 に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を期待しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を期待します。	1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を期待します。
CSIHn PSx1	CSIHn PSx0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を期待しません。																			
0	1	0 に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を期待しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を期待します。																			
1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を期待します。																			
27 ~ 24	CSIHn DLSx[3:0]	<p>チップ・セレクト信号 x のデータ長を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn DLSx[3:0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>16 ビット</td> </tr> <tr> <td>0001_B</td> <td>1 ビット</td> </tr> <tr> <td>0010_B</td> <td>2 ビット</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111_B</td> <td>15 ビット</td> </tr> </tbody> </table> <p>備考： CSIHnDLSx[3:0] ビットの設定についての詳細は 22.3.9 「データ長の選択」を参照してください。 また、CSIHnDLSx[3:0] ビットを 0001_B (1 ビット) ~ 0110_B (6 ビット) に設定するのは、ビット長が 16 ビット以上のときのみ可能です。</p>	CSIHn DLSx[3:0]	データ長	0000 _B	16 ビット	0001 _B	1 ビット	0010 _B	2 ビット	1111 _B	15 ビット								
CSIHn DLSx[3:0]	データ長																					
0000 _B	16 ビット																					
0001 _B	1 ビット																					
0010 _B	2 ビット																					
...	...																					
1111 _B	15 ビット																					
19	CSIHn RCBx	<p>チップ・セレクト信号 x のブロードカスティングの優先度の設定を選択します。</p> <p>0: ドミナント (高優先度) 1: リセシブ (低優先度)</p> <p>詳細については、1314 ページの (1) 「コンフィギュレーション・レジスタ」を参照してください。</p>																				

表 22-29 CSIHnCFGx レジスタの内容 (2/4)

ビット位置	ビット名	機能																											
18	CSIHn DIRx	チップ・セレクト信号 x のシリアル・データ方向を選択します。 0: MSB ファーストでデータを送受信します。 1: LSB ファーストでデータを送受信します。 詳細については、1327 ページの 22.3.10 「シリアル・データ方向の選択」を参照してください。																											
17, 16	CSIHn CKPx CSIHn DAPx	<p>CKP : クロック位相選択ビット DKP : データ位相選択ビット</p> <p>CSIHnCTL1.CSIHnCKR = 0</p> <table border="1"> <thead> <tr> <th>CSIHn CKPx</th> <th>CSIHn DAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <p>CSIHnCTL1.CSIHnCKR = 1</p> <table border="1"> <thead> <tr> <th>CSIHn CKPx</th> <th>CSIHn DAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>×</td> <td>設定禁止</td> </tr> </tbody> </table> <p>注意 チップ・セレクトを行わない場合、CSIHnCKPx ビットは 0 固定とし、CSIHnCTL.CSIHnCKR ビットにて CSIHnCKPx ビットの設定値を代用してください。</p>	CSIHn CKPx	CSIHn DAPx	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1		CSIHn CKPx	CSIHn DAPx	クロック位相とデータ位相の選択	0	0		0	1		1	×	設定禁止
CSIHn CKPx	CSIHn DAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	0																												
1	1																												
CSIHn CKPx	CSIHn DAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	×	設定禁止																											

表 22-29 CSIHnCFGx レジスタの内容 (3/4)

ビット位置	ビット名	機能												
15	CSIHn IDLx	<p>チップ・セレクト信号 x の強制アイドル状態の設定を選択します。</p> <p>0: チップ・セレクト値が変化しなかった場合、チップ・セレクト信号がアクティブな状態にとどまります。別のチップ・セレクト値が定義されると、チップ・セレクト信号 x はアイドル状態になります。</p> <p>1: チップ・セレクト信号 x に対応するスレーブヘータが 1 回転送されるたびにアイドル状態が挿入されます。</p> <p>このビットはマスタ・モードでのみ利用できます。 CSIHnCTL1.CSIHnJE=1 かつ CSIHnTX0W.CSIHnEOJ=1 のとき、たとえ CSIHnCFG0-7.CSIHnIDLn=0 に設定しても、アイドル状態は確実に挿入されます。アイドル状態については 1315 ページの「チップ・セレクトのタイミング」を参照してください</p>												
14 ~ 12	CSIHn IDx[2:0]	<p>チップ・セレクト信号 x のアイドル時間を選択します。</p> <table border="1" data-bbox="494 728 1385 1052"> <thead> <tr> <th>CSIHn IDx[2:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>0.5 シリアル・クロック周期</td> </tr> <tr> <td>001_B</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>010_B</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5)</td> </tr> <tr> <td>111_B</td> <td>8.5 シリアル・クロック周期</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHn IDx[2:0]	アイドル時間	000 _B	0.5 シリアル・クロック周期	001 _B	1.0 シリアル・クロック周期	010 _B	1.5 シリアル・クロック周期 (2.5, 3.5, 4.5, 6.5)	111 _B	8.5 シリアル・クロック周期
CSIHn IDx[2:0]	アイドル時間													
000 _B	0.5 シリアル・クロック周期													
001 _B	1.0 シリアル・クロック周期													
010 _B	1.5 シリアル・クロック周期													
...	... (2.5, 3.5, 4.5, 6.5)													
111 _B	8.5 シリアル・クロック周期													

表 22-29 CSIHnCFGx レジスタの内容 (4/4)

ビット位置	ビット名	機能																					
11 ~ 8	CSIHn HDx[3:0]	<p>チップ・セレクト信号 x のホールド時間をシリアル・クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHn HDx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>0.5 シリアル・クロック周期</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>0001_B</td> <td>1.0 シリアル・クロック周期</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr> <td>0010_B</td> <td>1.5 シリアル・クロック周期</td> <td>2.0 シリアル・クロック周期</td> </tr> <tr> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)</td> <td>... (3.0, 4.0, 5.0, 7.0, 9.0, 10.0, 11.0, 12.0, 13.0, 15.0, 17.0, 19.0)</td> </tr> <tr> <td>1111_B</td> <td>20.5 シリアル・クロック周期</td> <td>21.0 シリアル・クロック周期</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHn HDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間	0000 _B	0.5 シリアル・クロック周期	1.0 シリアル・クロック周期	0001 _B	1.0 シリアル・クロック周期	1.5 シリアル・クロック周期	0010 _B	1.5 シリアル・クロック周期	2.0 シリアル・クロック周期 (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	... (3.0, 4.0, 5.0, 7.0, 9.0, 10.0, 11.0, 12.0, 13.0, 15.0, 17.0, 19.0)	1111 _B	20.5 シリアル・クロック周期	21.0 シリアル・クロック周期			
CSIHn HDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間																					
0000 _B	0.5 シリアル・クロック周期	1.0 シリアル・クロック周期																					
0001 _B	1.0 シリアル・クロック周期	1.5 シリアル・クロック周期																					
0010 _B	1.5 シリアル・クロック周期	2.0 シリアル・クロック周期																					
...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	... (3.0, 4.0, 5.0, 7.0, 9.0, 10.0, 11.0, 12.0, 13.0, 15.0, 17.0, 19.0)																					
1111 _B	20.5 シリアル・クロック周期	21.0 シリアル・クロック周期																					
7 ~ 4	CSIHn INx[3:0]	<p>チップ・セレクト信号 x のデータ間時間をシリアル・クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHn INx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>0.0 シリアル・クロック周期</td> <td>0.5 シリアル・クロック周期</td> </tr> <tr> <td>0001_B</td> <td>0.5 シリアル・クロック周期</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>0010_B</td> <td>1.0 シリアル・クロック周期</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr> <td>0011_B</td> <td>2.0 シリアル・クロック周期</td> <td>2.5 シリアル・クロック周期</td> </tr> <tr> <td>...</td> <td>... (3.0, 4.0, 6.0, 8.0, 9.0, 10.0, 11.0, 12.0, 14.0, 16.0, 18.0)</td> <td>... (3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)</td> </tr> <tr> <td>1111_B</td> <td>20.0 シリアル・クロック周期</td> <td>20.5 シリアル・クロック周期</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHn INx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間	0000 _B	0.0 シリアル・クロック周期	0.5 シリアル・クロック周期	0001 _B	0.5 シリアル・クロック周期	1.0 シリアル・クロック周期	0010 _B	1.0 シリアル・クロック周期	1.5 シリアル・クロック周期	0011 _B	2.0 シリアル・クロック周期	2.5 シリアル・クロック周期 (3.0, 4.0, 6.0, 8.0, 9.0, 10.0, 11.0, 12.0, 14.0, 16.0, 18.0)	... (3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	1111 _B	20.0 シリアル・クロック周期	20.5 シリアル・クロック周期
CSIHn INx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間																					
0000 _B	0.0 シリアル・クロック周期	0.5 シリアル・クロック周期																					
0001 _B	0.5 シリアル・クロック周期	1.0 シリアル・クロック周期																					
0010 _B	1.0 シリアル・クロック周期	1.5 シリアル・クロック周期																					
0011 _B	2.0 シリアル・クロック周期	2.5 シリアル・クロック周期																					
...	... (3.0, 4.0, 6.0, 8.0, 9.0, 10.0, 11.0, 12.0, 14.0, 16.0, 18.0)	... (3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)																					
1111 _B	20.0 シリアル・クロック周期	20.5 シリアル・クロック周期																					
3 ~ 0	CSIHn SPx[3:0]	<p>チップ・セレクト信号 x のセットアップ時間をシリアル・クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHn SPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>0.5 シリアル・クロック周期</td> </tr> <tr> <td>0001_B</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>0010_B</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)</td> </tr> <tr> <td>1111_B</td> <td>20.5 シリアル・クロック周期</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHn SPx[3:0]	セットアップ時間	0000 _B	0.5 シリアル・クロック周期	0001 _B	1.0 シリアル・クロック周期	0010 _B	1.5 シリアル・クロック周期 (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	1111 _B	20.5 シリアル・クロック周期									
CSIHn SPx[3:0]	セットアップ時間																						
0000 _B	0.5 シリアル・クロック周期																						
0001 _B	1.0 シリアル・クロック周期																						
0010 _B	1.5 シリアル・クロック周期																						
...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)																						
1111 _B	20.5 シリアル・クロック周期																						

(11) CSIHnTX0W — CSIH ワード・アクセス用送信データ・レジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンド・オブ・ジョブ、拡張データ長、チップ・セレクトアクティブ化を指定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base_USER> + 0088_H

初期値 不定

- 注意**
1. FIFO モードで通信中に本レジスタへのリード・アクセスは禁止です。
 2. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、本レジスタへのリード／ライト・アクセスは禁止です。
 3. ダイレクト・アクセス・モードで CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、本レジスタへのライト・アクセスは禁止です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHn CIRE	CSIHn EOJ	CSIHn EDL	0	0	0	0	0	CSIHnCS[7:0]							
R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-30 CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnCIRE	デュアル・バッファ・モードまたは送信オンリー・バッファ・モードのときの通信割り込み要求 CSIHnTIC または FIFO モードのときのジョブ完了割り込み CSIHnTIJC を許可します。 0: 割り込みを要求しません。 1: 割り込みを要求します。送信後、割り込み CSIHnTIC または CSIHnTIJC が発生します。詳細については、1329 ページの (1) 「CSIHnTIC (通信割り込み)」と 1336 ページの (4) 「CSIHnTIJC (ジョブ完了割り込み)」を参照してください。 注意 このビットはジョブ・モードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0: エンド・オブ・ジョブ・データではないことを示します。ジョブを続行します。 1: エンド・オブ・ジョブ・データであることを示します。 注意 このビットはジョブ・モードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。 スレーブ・モードで使用するとき、このビットは必ず 0 に設定してください。

表 22-30 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
29	CSIHnEDL	<p>関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。</p> <p>0: 通常の動作。</p> <p>1: 拡張データ長を有効にします。</p> <p>関連付けられたデータは 16 ビットの packets として送信されます。データ送信後にデータ間遅延時間またはアイドル時間は挿入されません。</p> <p>CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS が選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。</p> <p>注意 このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。</p>
23 ~ 16	CSIHnCSx	<p>1 つ以上のチップ・セレクト信号をアクティブにします。</p> <p>0: 関連付けられた送信に対してチップ・セレクト信号 x をアクティブにします。</p> <p>1: 関連付けられた送信に対してチップ・セレクト信号 x をインアクティブにします。</p> <p>CSIHnTX0W.CSIHnCS[7:0] = FF_H は設定禁止です。</p> <p>注意 複数のチップ・セレクト信号がブロードキャスティングに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0 (ドミナント) に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップ・セレクト信号をまったく同じ値に設定する必要があります。</p> <p>スレーブ・モードで使用する場合には CSIHnCS[7:0] ビット = FE_H に設定してください。</p>
15 ~ 0	CSIHnTX[15:0]	送信データを保存します。

(12) CSIHnTX0H — CSIH ハーフ・ワード・アクセス用送信データ・レジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15 ~ 0 と同じです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base_USER> + 008C_H

初期値 不定

-
- 注意**
1. FIFO モードで通信中に本レジスタへのリード・アクセスは禁止です。
 2. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、本レジスタへのリード／ライト・アクセスは禁止です。
 3. ダイレクト・アクセス・モードで CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、本レジスタへのライト・アクセスは禁止です。
-

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-31 CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CSIHnTX[15:0]	送信データを保存します。

(13) CSIHnRX0W — CSIH ワード・アクセス用受信データ・レジスタ 0

本レジスタは受信データを保存します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <CSIHn_base_USER> + 0090_H

初期値 不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	CSIHnRPE	CSIHnTDCE	CSIHnCS[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnRX[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 注意**
1. 本レジスタは、CSIHnCTL0.CSIHnPWR = 1 のとき、リード・アクセスでき、CSIHnCTL0.CSIHnPWR = 0 のとき、ライト・アクセスできます。
 2. 本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
 3. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、リード/ライト・アクセスするのは禁止です。

表 22-32 CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
25	CSIHnRPE	受信データ・パリティ・エラーが検出されたかどうかを示します。 0: 受信データでパリティ・エラーが検出されていません。 1: 受信データでパリティ・エラーが検出されています。
24	CSIHnTDCE	送信データ一貫性エラーが検出されたかどうかを示します。 データ一貫性チェックは送信データに対して行われます。このビットには、CSIHnRX0W.CSIHnRX[15:0] に保存されている受信データと同時に送信されたデータに対してのチェック結果が反映されます。 0: 送信されたデータでデータ一貫性エラーが検出されていません。 1: 送信されたデータでデータ一貫性エラーが検出されています。
23 ~ 16	CSIHnCSx	チップ・セレクト信号がアクティブになっているかを示します。 マスタ・モードのとき、このビットには CSIHnRX0W.CSIHnRX[15:0] に保存されているデータを受信したときのチップ・セレクト信号の状態、すなわちどの CS に対する通信かが格納されます。 0: データ受信時のチップ・セレクト信号 x がアクティブ 1: データ受信時のチップ・セレクト信号 x がインアクティブ スレーブ・モードのとき、送信許可状態では通信相手先として CS0 を指定する (CSIHnTX0W.CSIHnCS[7:0] = FE _H) 必要があるため、送信モードまたは送受信モードならば FE _H が格納されます。受信モードのときは常に 00 _H となります。
15 ~ 0	CSIHnRX[15:0]	受信データを保存します。 割り込みが発生する 1 シリアル・クロック前までに、CSIHnRX0W レジスタまたは CSIHnRX0H レジスタの値をリードしてください。

(14) CSIHnRX0H — CSIH ハーフ・ワード・アクセス用受信データ・レジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15 ~ 0 と同じです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIHn_base_USER> + 0094_H

初期値 不定

- 注意**
1. 本レジスタは、CSIHnCTL0.CSIHnPWR = 1 のとき、リード・アクセスでき、CSIHnCTL0.CSIHnPWR = 0 のとき、ライト・アクセスできます。
 2. 本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
 3. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のとき、リード/ライト・アクセスするのは禁止です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnRX[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22-33 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CSIHnRX[15:0]	受信データを保存します。

22.5 操作手順

ここに示す例および手順は、以下のメモリ・モード順に記載されています。

- ダイレクト・アクセス・モード
- 送信オンリー・バッファ・モード
- デュアル・バッファ・モード
- FIFO モード

22.5.1 ダイレクト・アクセス・モードでの手順

(1) マスタ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- 転送開始時のタイミングで CSIHnTIC 割り込み発生 (CSIHnCTL1.CSIHnSLIT = 1)
- ダイレクト・アクセス・モード (CSIHnCTL0.CSIHnMBS = 1)

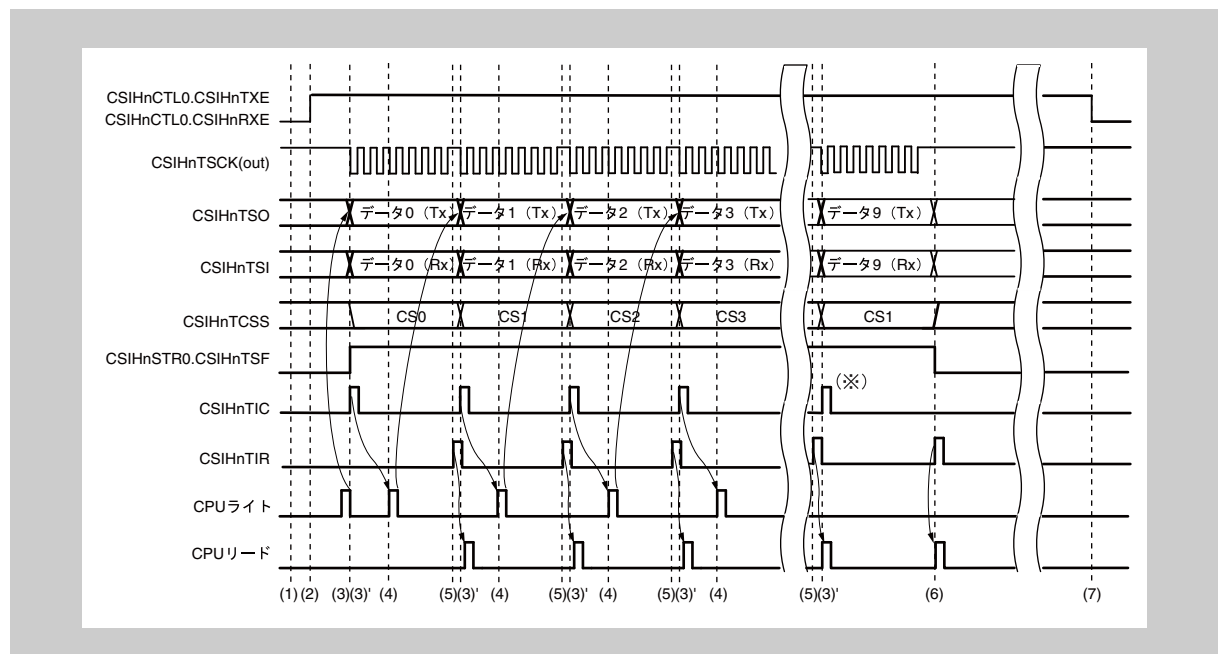


図 22-44 ダイレクト・アクセス・モード
(マスタ・モード, 送受信モード, ジョブ・モードが無効)

- 手順 :
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 1 (ダイレクト・アクセス・モード選択)
 3. 最初のデータを送信データ・レジスタ CSIHnTX0W にライトします。同じライト操作で CS0 をアクティブにし, 送信が自動的に開始されます。

- 3'. CSIHnCTL1.CSIHnSLIT = 1 設定時, CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。
4. 次のデータを CSIHnTX0W にライトします。必要に応じて, CS を変更し, 別のデバイスを通信相手にすることができます。最初のデータをライトした直後に次のデータをライトすることで, データ間の不要な遅延を回避できます。
5. データが受信されるたびに CSIHnTIR 割り込みが発生します。
 - CSIHnTIR は, 受信データ・レジスタ CSIHnRX0 をリードする必要があることを示します。
6. (※) の CSIHnTIC 割り込みが最後の CSIHnTIC 割り込みであれば, その CSIHnTIC 割り込みを基にした送信データ・レジスタ CSIHnTX0W へのライト動作は必要ありません。
7. 最後に, CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして, 送受信動作を禁止します。また CSIH の消費電力を抑えるために, CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2) マスタ・モード, 受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- 転送開始時のタイミングで CSIHnTIC 割り込み発生 (CSIHnCTL1.CSIHnSLIT = 1)
- ダイレクト・アクセス・モード (CSIHnCTL0.CSIHnMBS = 1)

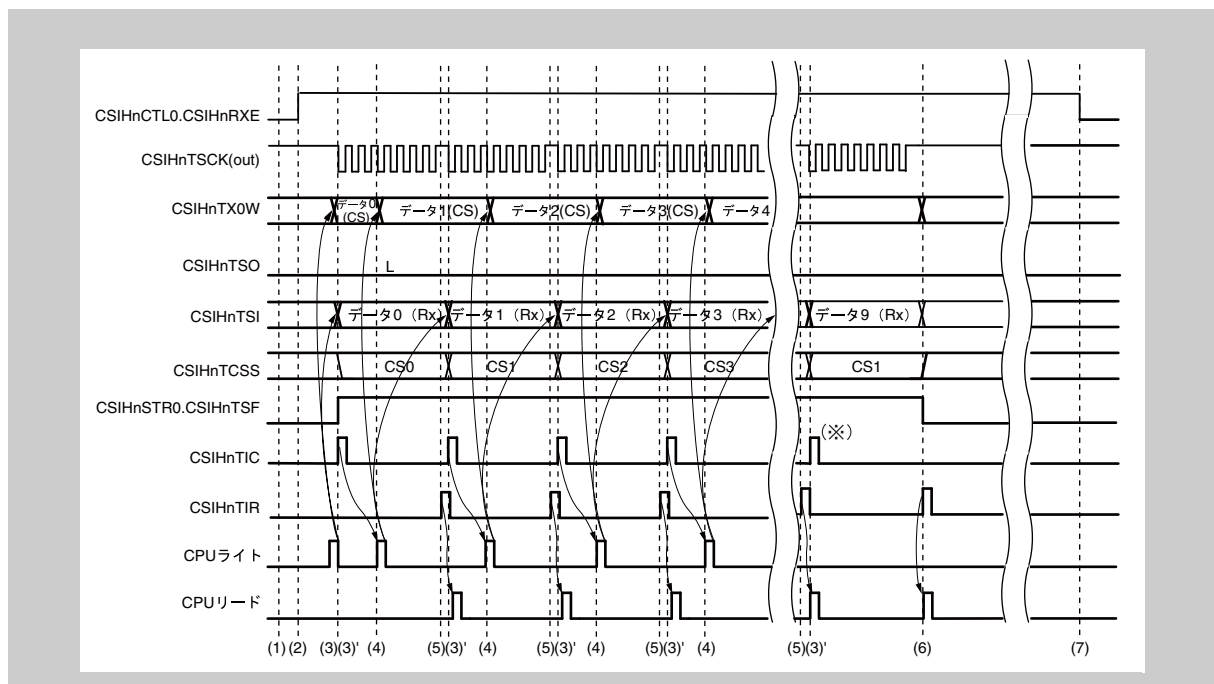


図 22-45 ダイレクト・アクセス・モード
(マスタ・モード, 受信モード, ジョブ・モードが無効)

- 手順 :
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 1 (ダイレクト・アクセス・モード選択)

3. 送信データ^aをCSデータのために送信データ・レジスタ CSIHnTX0W にライトします。書き込み操作でCS0をアクティブにし、受信は自動的に開始されます。
- 3'. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCKのスタート・エッジによりCSIHnTICが発生します。CSIHnTICは次のデータをCSIHnTX0Wにライト可能になったことを示します。
4. 次のデータをCSIHnTX0Wにライトします。必要に応じて、CSを変更し、別のデバイスを通信相手にすることができます。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。
5. データが受信されるたびにCSIHnTIR割り込みが発生します。
 - CSIHnTIRは、受信データ・レジスタCSIHnRX0Wをリードする必要があることを示します。
6. (※)のCSIHnTIC割り込みが最後のCSIHnTIC割り込みであれば、そのCSIHnTIC割り込みを基にした送信データ・レジスタCSIHnTX0Wへのライト動作は必要ありません。
7. 最後に、CSIHnCTL0.CSIHnTXEとCSIHnCTL0.CSIHnRXEをクリアして、送受信動作を禁止します。またCSIHの消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0に設定してください。

^{a)} 送信データは使用しませんが、チップ・セレクト機能は許可されます。

(3) スレーブ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- 転送開始時のタイミングで CSIHnTIC 割り込み発生 (CSIHnCTL1.CSIHnSLIT = 1)
- ダイレクト・アクセス・モード (CSIHnCTL0.CSIHnMBS = 1)

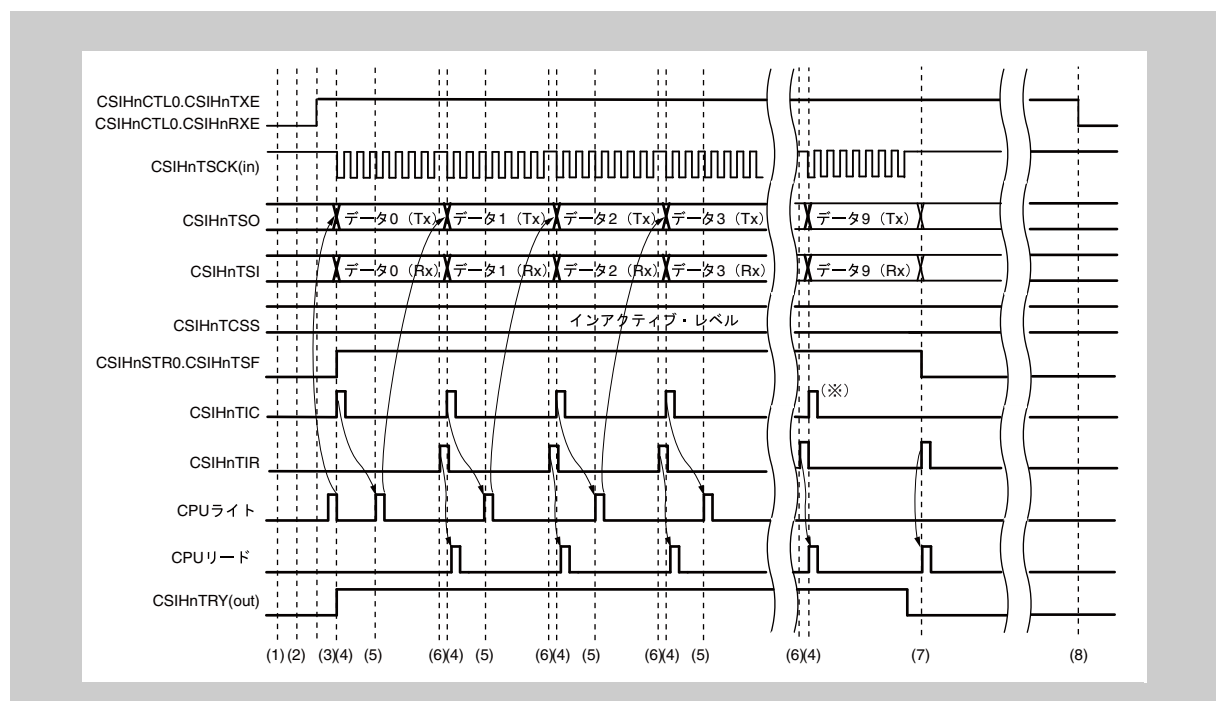


図 22-46 ダイレクト・アクセス・モード
(スレーブ・モード, 送受信モード, ジョブ・モードが無効)

- 手順 :
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnCFG0 レジスタ (通信プロトコル)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 1 (ダイレクト・アクセス・モード選択)
 3. 最初のデータを送信データ・レジスタ CSIHnTX0W にライトします。
CSIHnTRY 信号はデータをライトすることによって, BUSY (ロウ・レベル) から READY (ハイ・レベル) になります。マスタよりシリアル・クロックが供給されると, 通信は自動的に始まります。

4. CSIHnCTL1.CSIHnSLIT = 1 設定時, CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。
5. 次のデータを CSIHnTX0W にライトします。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。
6. データが受信されるたびに CSIHnTIR 割り込みが発生します。
 - CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
7. (※) の CSIHnTIC 割り込みが最後の CSIHnTIC 割り込みであれば、その CSIHnTIC 割り込みを基にした送信データ・レジスタ CSIHnTX0W へのライト動作は必要ありません。
8. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4) スレーブ・モード, 受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- 転送開始時のタイミングで CSHnTIC 割り込み発生 (CSIHnCTL1.CSIHnSLIT = 1)
- ダイレクト・アクセス・モード (CSIHnCTL0.CSIHnMBS = 1)

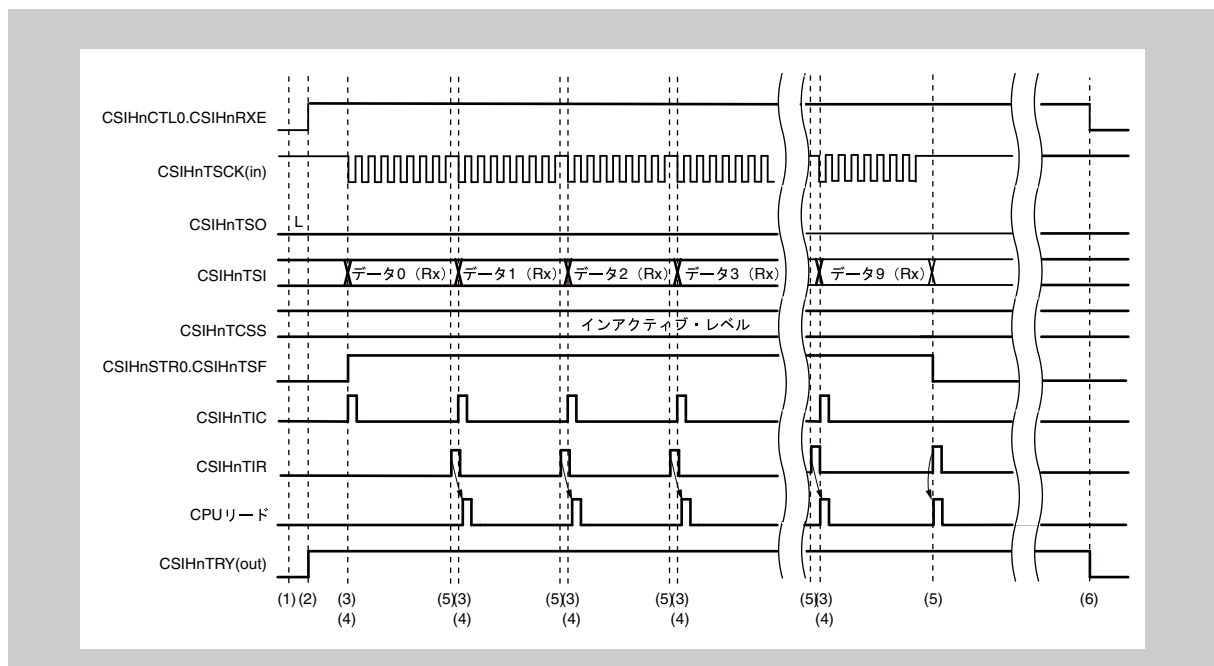


図 22-47 ダイレクト・アクセス・モード
(スレーブ・モード, 受信モード, ジョブ・モードが無効)

- 手順 :
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnCFG0 レジスタ (通信プロトコル)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 1 (ダイレクト・アクセス・モード選択)
 3. マスタよりシリアル・クロックが供給されると自動的に受信が始まります。
 4. CSIHnCTL1.CSIHnSLIT = 1 設定時, CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。

5. データが受信されるたびに CSIHnTIR 割り込みが発生します。
 - CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5) マスタ・モード, 送受信モード, ジョブ・モードが有効な場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- 転送開始時のタイミングで CSIHnTIC 割り込み発生 (CSIHnCTL1.CSIHnSLIT = 1)
- ダイレクト・アクセス・モード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータ・パケットを送信する 2 つのジョブ

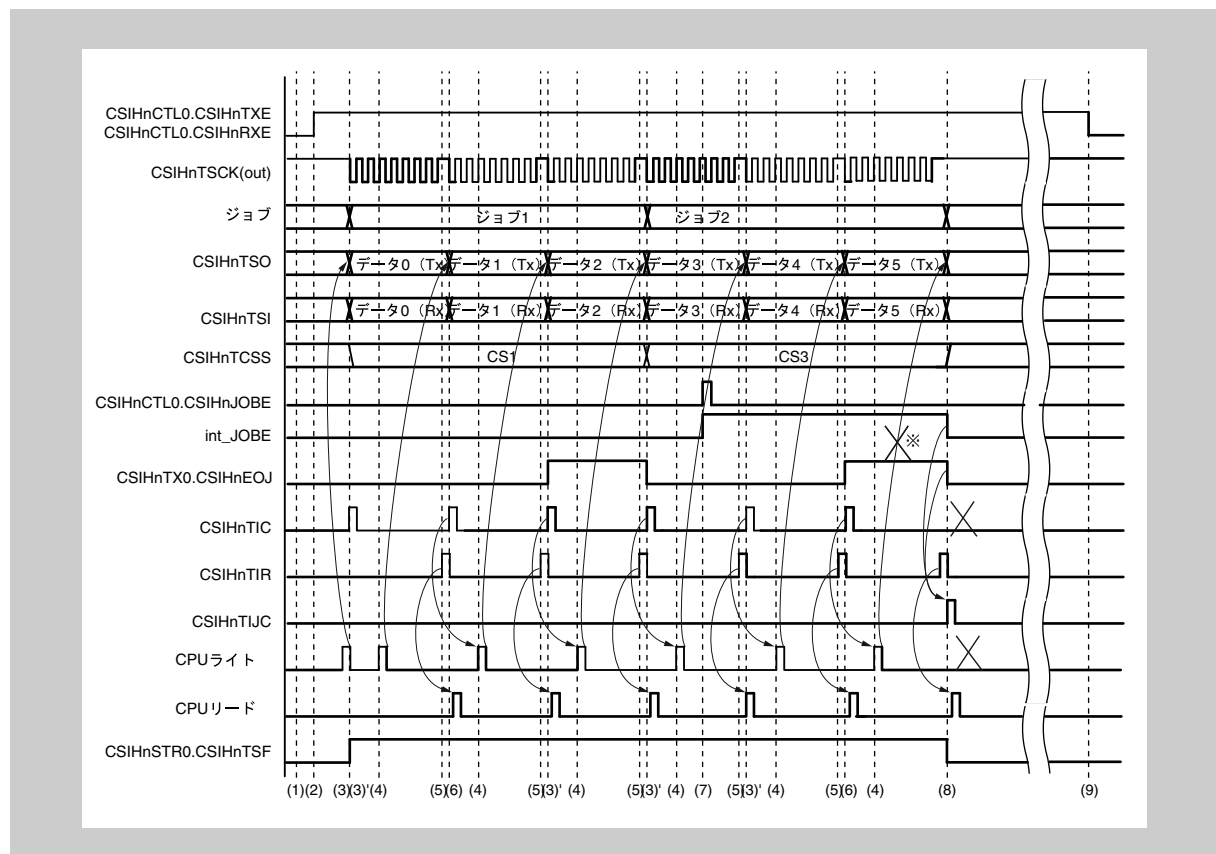


図 22-48 ダイレクト・アクセス・モード
(マスタ・モード, 送受信モード, ジョブ・モード有効)

備考 上のタイミング図の「int_JOBE」信号は, ビット CSIHnJOBE の内部信号です。

- 手順:**
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS1, CS3 を使用します)

2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 1 (ダイレクト・アクセス・モード選択)
3. 最初の送信データ・パケットを送信データ・レジスタ CSIHnTX0W にライトします。最初のデータが利用可能になると送信が自動的に開始され
ます。
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。
- 3'. CSIHnCTL1.CSIHnSLIT = 1 設定時, CSIHnTSCK のスタート・エッジに
より CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W
にライト可能になったことを示します。
4. 次のデータを CSIHnTX0W にライトします。最初のデータをライトした
直後に次のデータをライトすることで, データ間の不要な遅延を回避で
きます。
5. データが受信されるたびに割り込み要求 CSIHnTIR が発生します。
– CSIHnTIR は, 受信データ・レジスタ CSIHnRX0W をリードする必要
があることを示します。
6. CSIHnTX0W レジスタの転送データがジョブの最後のデータであるなら
ば, CSIHnTX0W.CSIHnEOJ = 1 になります。
7. CSIHnCTL0.CSIHnJOB = 1 に設定することで, 現在のジョブ (ジョブ
2) の終了時に通信を強制的に停止します。
8. 通信の強制停止後, 割り込み要求 CSIHnTIC が CSIHnTIJC に置き換えら
れます。CSIHnTIR は通常どおりに発生します。
割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止
されたことを示します。
割り込み要求 CSIHnTIC は発生しません。また, CSIHnTX0 レジスタ内の
利用可能な送信データ (※) は送信されません。
9. 最後に, CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアし
て, 送受信動作を禁止します。また CSIH の消費電力を抑えるために,
CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6) マスタ・モード, 受信モード, ジョブ・モードが有効な場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- 転送開始時のタイミングで CSIHnTIC 割り込み発生 (CSIHnCTL1.CSIHnSLIT = 1)
- ダイレクト・アクセス・モード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータ・パケットを送信する 2 つのジョブ

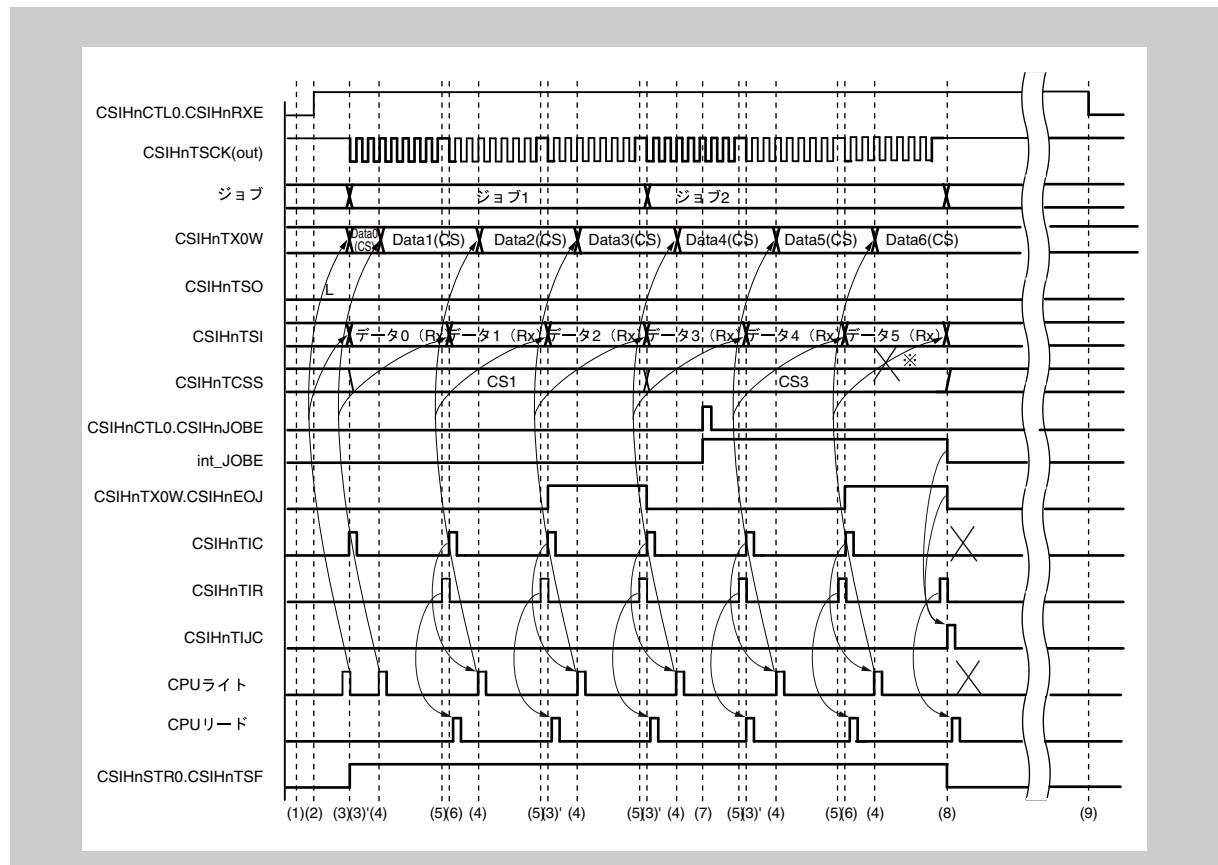


図 22-49 ダイレクト・アクセス・モード
(マスタ・モード, 受信モード, ジョブ・モード有効)

備考 上のタイミング図の「int_JOBE」信号は, ビット CSIHnJOBE の内部信号です。

- 手順:**
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS1, CS3 を使用します)

2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnMBS = 1 (ダイレクト・アクセス・モード選択)
3. 受信するために送信データ・レジスタ CSIHnTX0W に送信データをライトします。受信は自動的に開始されます。そして、CSIHnSTR0.CSIHnTSF ビットがセット (1) されます。
- 3'. CSIHnCTL1.CSIHnSLIT = 1 設定時、CSIHnTSCK のスタート・エッジにより CSIHnTIC が発生します。CSIHnTIC は次のデータを CSIHnTX0W にライト可能になったことを示します。
4. 次のデータを CSIHnTX0H にライトします。最初のデータをライトした直後に次のデータをライトすることで、データ間の不要な遅延を回避できます。
5. データが受信されるたびに割り込み要求 CSIHnTIR が発生します。
 - CSIHnTIR は、受信データ・レジスタ CSIHnRX0 をリードする必要があります。
6. CSIHnTX0W レジスタの転送データがジョブの最後のデータであるならば、CSIHnTX0W.CSIHnEOJ = 1 になります。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ (ジョブ 2) の終了時に通信を強制的に停止します。
8. int_JOBE がセット (1) され、ジョブ 2 の最後のデータ受信が完了すると、割り込み要求 CSIHnTIJC が CSIHnTIC の変わりに発生します。CSIHnTIR は通常どおりに発生します。割り込み要求 CSIHnTIJC は現在のジョブの終了時に受信が強制的に停止されたことを示します。

割り込み要求 CSIHnTIC は発生しません。また、図中のデータ (※) は転送されません。
9. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。また CSIH の消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

22.5.2 送信オンリー・バッファ・モードでの手順

マスタのジョブ・モードが無効になっている例とジョブ・モードが有効になっている例を示します。

(1) マスタ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- クロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- 送信オンリー・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10)
- 送信データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

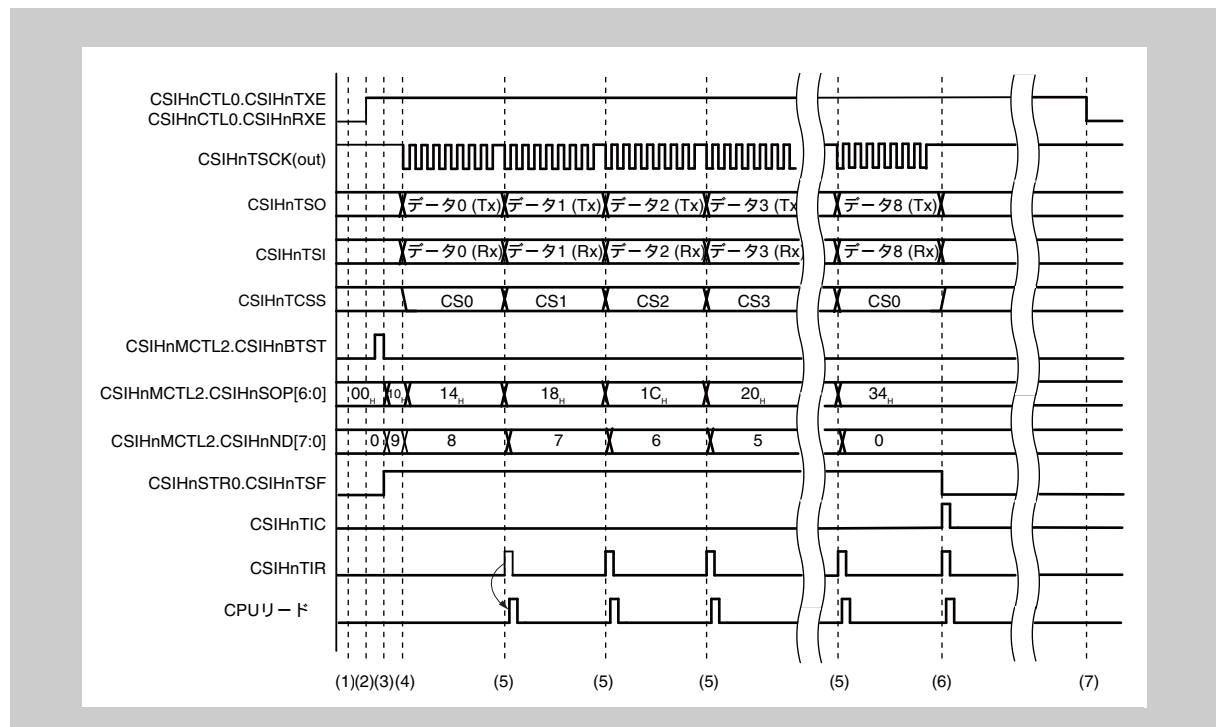


図 22-50 送信オンリー・バッファ・モード
(マスタ・モード, 送受信モード, ジョブ・モードが無効)

備考 ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトするたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。

- 手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (メモリ・モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)
 3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST をセット (1) することによって、通信が開始されます。
 4. 送受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
 5. すべてのデータを受信すると、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
 6. すべての送信が完了すると、割り込み要求 CSIHnTIC が発生します。
 7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2) マスタ・モード, 受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- クロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- 送信オンリー・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10)
- 送信データの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

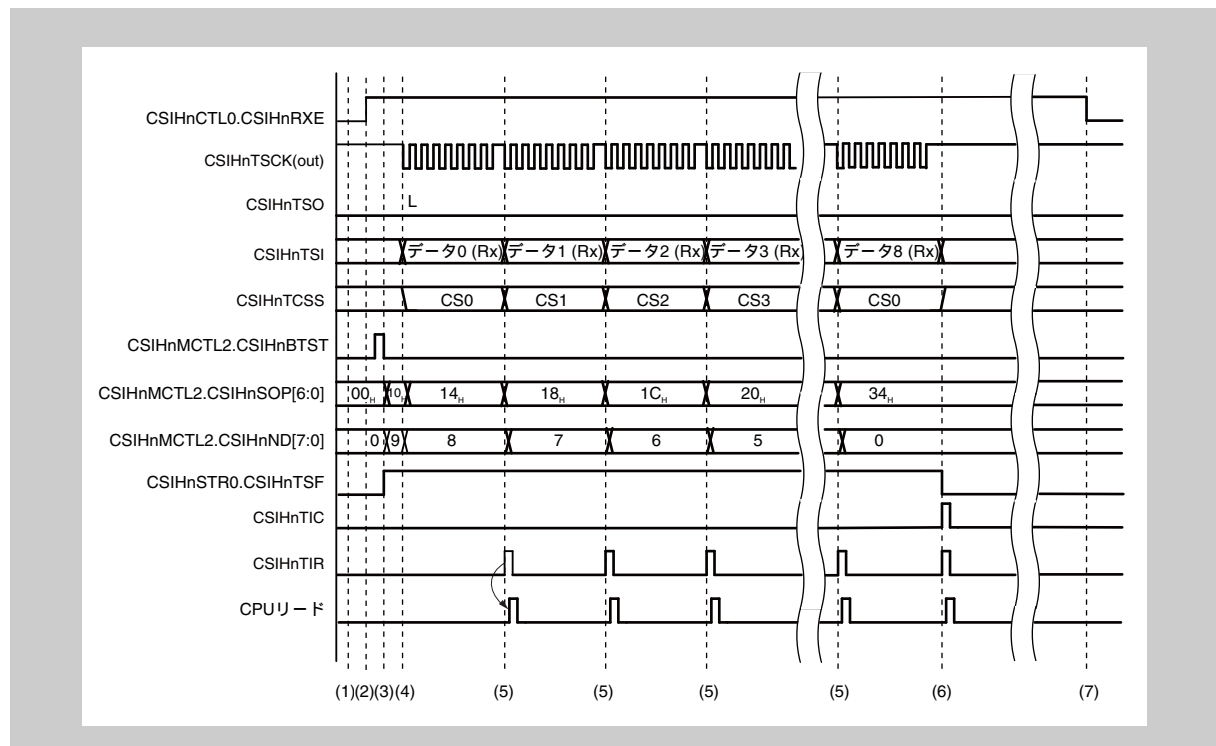


図 22-51 送信オンリー・バッファ・モード
(マスタ・モード, 受信モード, ジョブ・モードが無効)

備考 ここでは, バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し, CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。

- 手順:**
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (メモリ・モード)

CSIHnCFGx レジスタ (通信プロトコル)

(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)

2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0]
ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST をセット (1) することによって、通信が開始
されます。
4. 受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にイ
ンクリメントされ、データ・パケットが1つ送信されるたびに
CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. すべてのデータを受信すると、CSIHnTIR が発生します。CSIHnTIR 割り
込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があるこ
とを示します。
6. すべての受信が完了すると、割り込み要求 CSIHnTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
CSIH を使用しない間は消費電力を抑えるために、
CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(3) スレーブ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- クロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- 送信オンリー・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10)
- 送信データの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

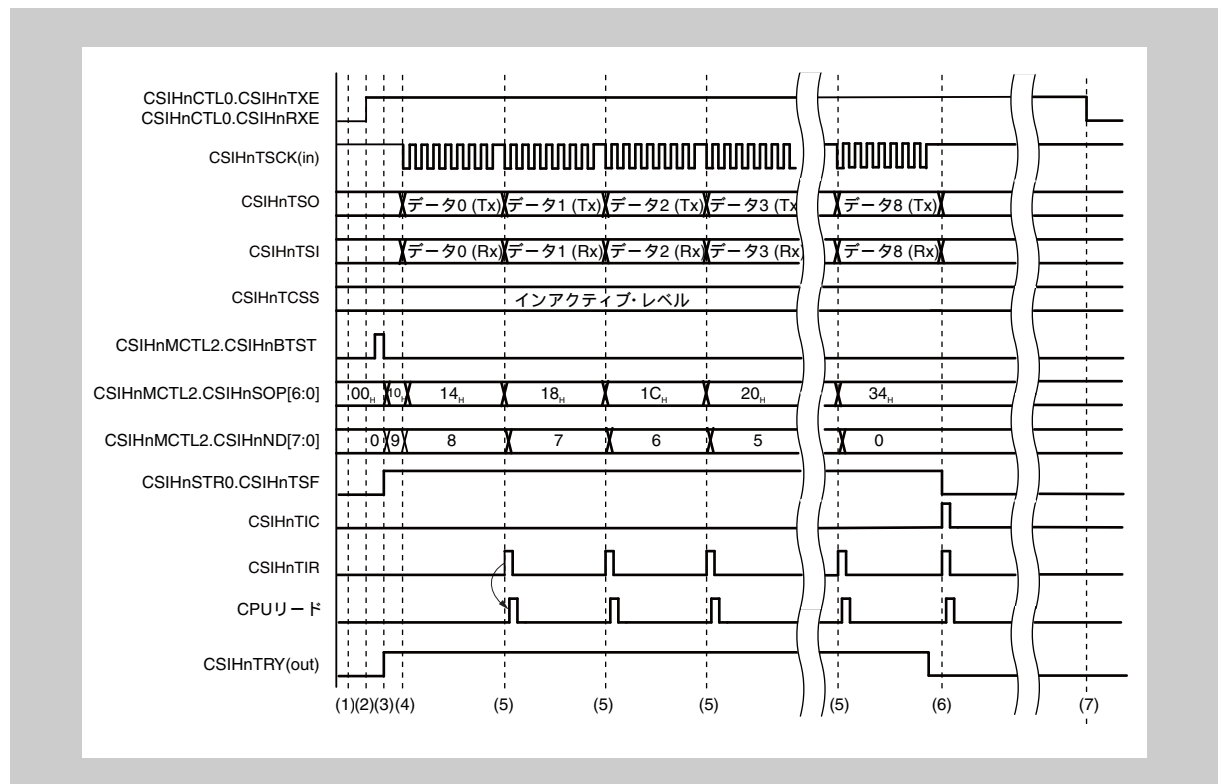


図 22-52 送信オンリー・バッファ・モード
(スレーブ・モード, 送受信モード, ジョブ・モードが無効)

備考 ここでは, バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し, CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。

- 手順 :**
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)

CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (メモリ・モード)

CSIHnCFG0 レジスタ (通信プロトコル)

2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST をセット (1) することによって、通信が開始されます。
4. マスタよりシリアル・クロックが供給されると通信が開始されます。
CSIHnMCTL2.CSIHnSOP[6:0] ビットは自動的にインクリメントされ、データ・パッケージが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 各データを受信するたびに、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. すべての受信が完了すると、割り込み要求 CSIHnTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4) スレーブ・モード, 受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- クロック位相とデータ位相 (CSIHnCFG0.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- 送信オンリー・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10)
- 送信データの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

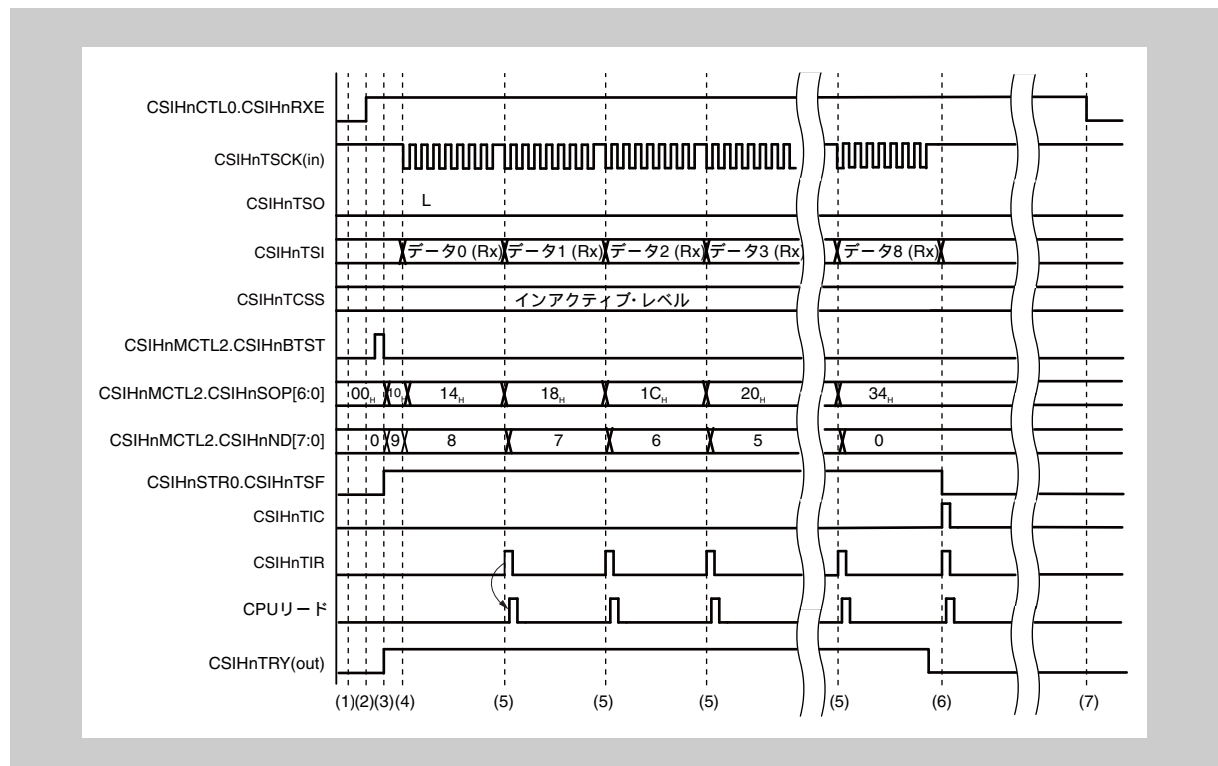


図 22-53 送信オンリー・バッファ・モード
(マスタ・モード, 受信モード, ジョブ・モードが無効)

- 手順 :
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (メモリ・モード)
CSIHnCFG0 レジスタ (通信プロトコル)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)

3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST をセット (1) することによって、受信が開始されます。
4. マスタよりシリアル・クロックが供給されると受信が開始されます。
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データ・パッケージが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 各データを受信たびに、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
6. すべての受信が完了すると、割り込み要求 CSIHnTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
CSIH を使用しない間は消費電力を抑えるために、
CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5) マスタ・モード, 送受信モード, ジョブ・モードが有効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- クロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- 送信オンリー・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10)
- 送信データの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

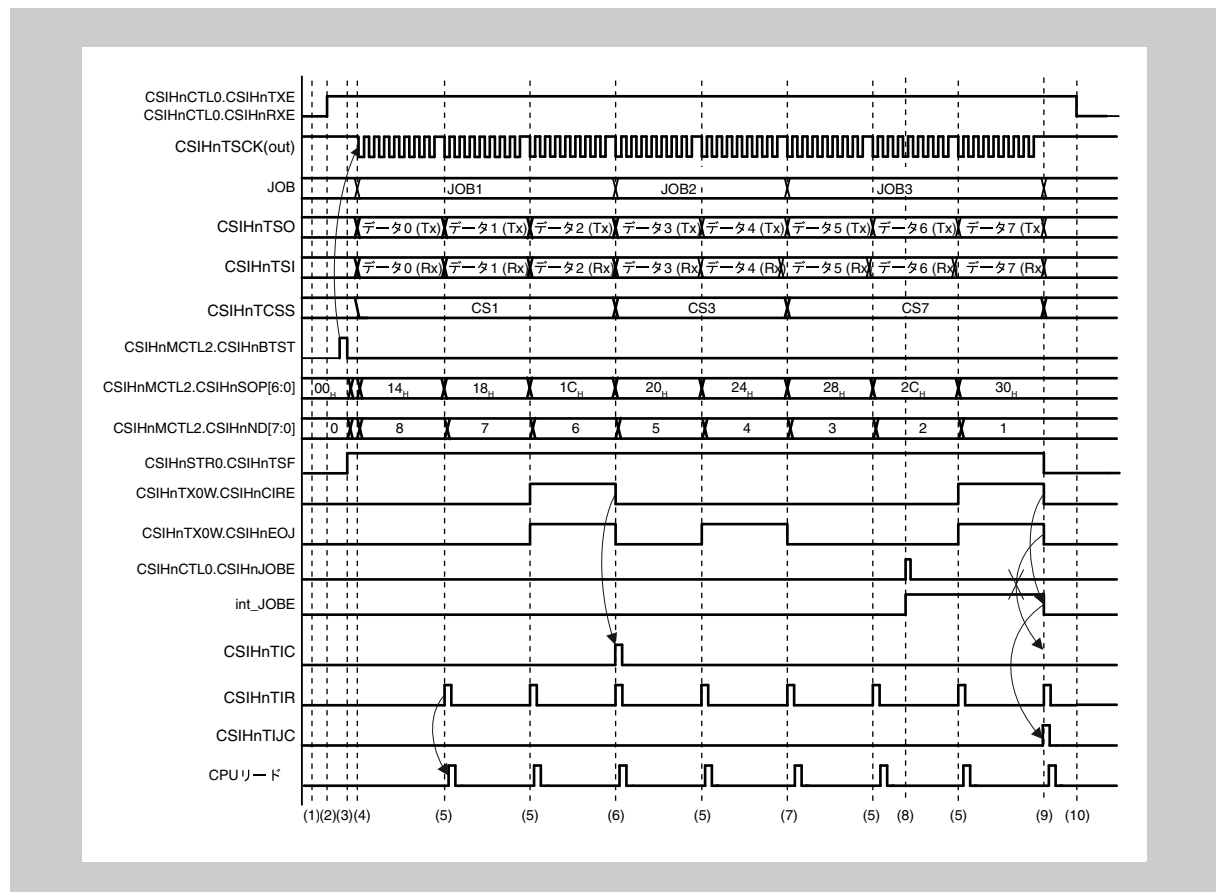


図 22-54 送信オンリー・バッファ・モード
(マスタ・モード, 送受信モード, ジョブ・モードが有効)

- 備考**
- ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。
 - 上のタイミング図の「int_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

- 手順:**
- CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (メモリ・モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS1, CS3, CS7 を使用します)
 - CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 - CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
 - 送信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます
 - データが1つ受信されるたびに割り込み要求 CSIHnTIR が発生します。CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要がありますを示します。
 - CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。CSIHnTIC は、現在のジョブの最後データ (CSIHnTX0W.CSIHnEOJ = 1) が送られたことを示します。
 - 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
 - CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
 - 通信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。

割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。
 - 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6) マスタ・モード, 受信モード, ジョブ・モードが有効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- クロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- 送信オンリー・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10)
- 送信データの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

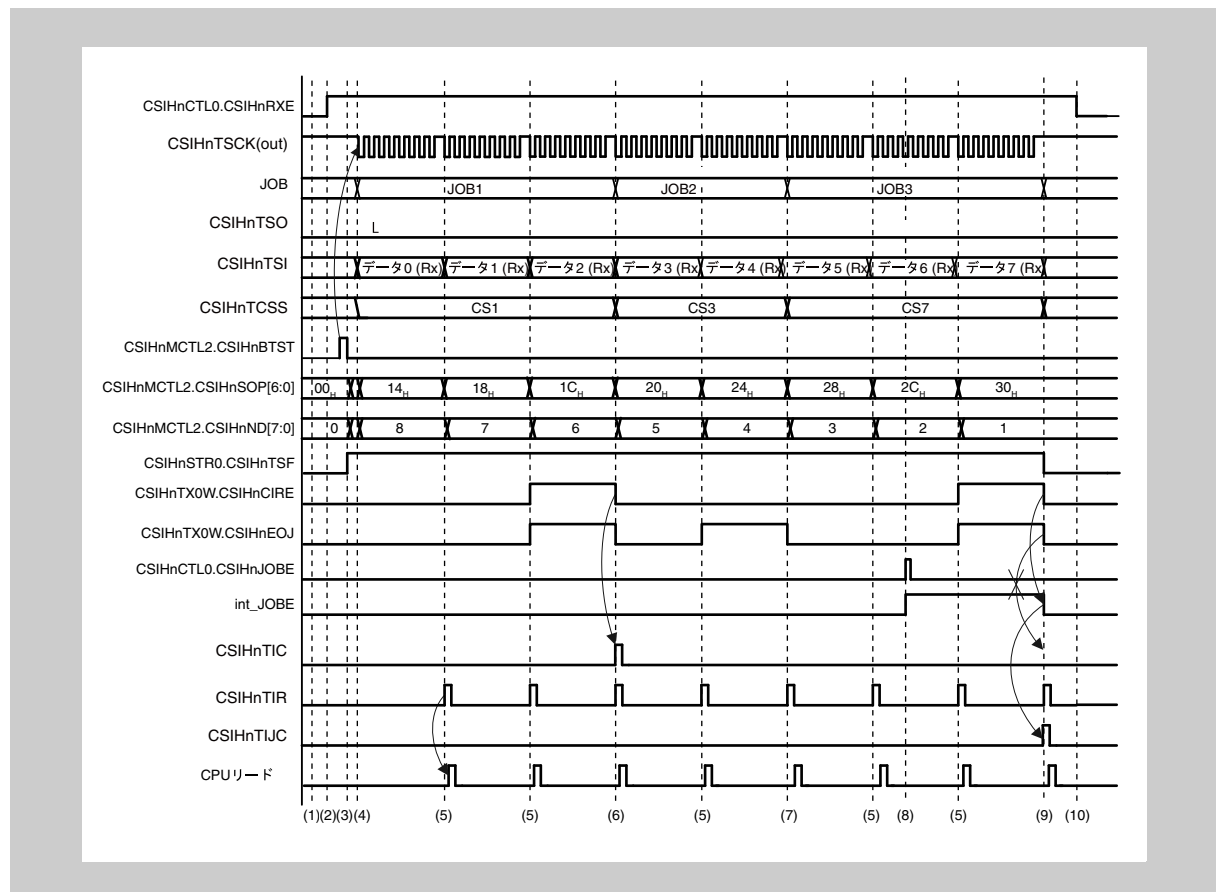


図 22-55 送信オンリー・バッファ・モード
(マスタ・モード, 受信モード, ジョブ・モードが有効)

- 備考**
- ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。
 - 上のタイミング図の「int_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

- 手順:**
- CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (メモリ・モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS1, CS3, CS7 を使用します)
 - CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 - CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
 - 受信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます
 - データが1つ受信されるたびに割り込み要求 CSIHnTIR が発生します。CSIHnTIR は、受信データ・レジスタ CSIHnRX0W をリードする必要がありますを示します。
 - CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。CSIHnTIC は、現在のジョブの最後データ (CSIHnTX0W.CSIHnEOJ = 1) が送られたことを示します。
 - 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
 - CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に受信を強制的に停止します。
 - 通信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。

割り込み要求 CSIHnTIJC は現在のジョブの終了時に受信が強制的に停止されたことを示します。
割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。
 - 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

22.5.3 デュアル・バッファ・モードでの手順

(1) マスタ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- クロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- デュアル・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- データ・パケットの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

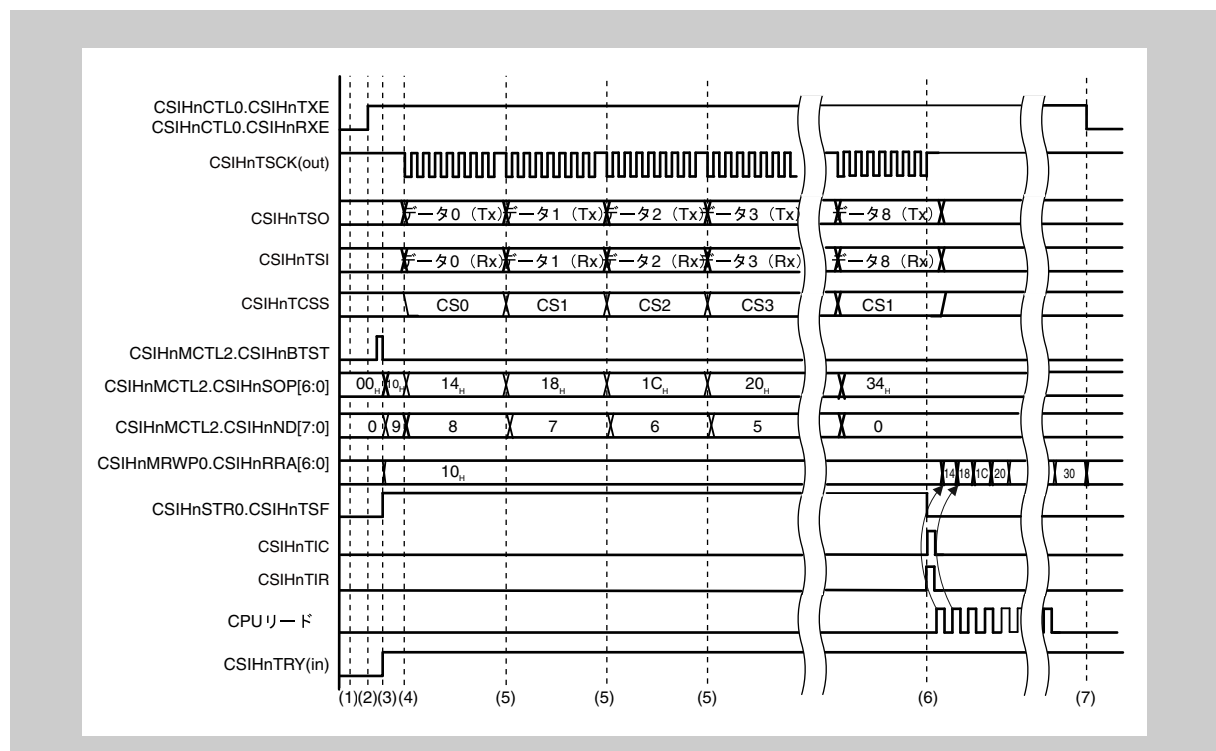


図 22-56 デュアル・バッファ・モード
(マスタ・モード, 送受信モード, ジョブ・モードが無効)

備考 ここでは, バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し, CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。

- 手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (メモリ・モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)
CSIHnSTCR0.CSIHnPCT = 1 (バッファ・ポインタのクリア)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
 4. 送信が開始されます。データが1つ送信されるたびに
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、
CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
 5. 最後のデータが送受信されるまで、<4> が繰り返し実行されます。
割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
 6. すべての通信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] ビットで指定されます。
CSIHnMRWP0.CSIHnRRA[6:0] ビットはデータが1つリードされるたびにインクリメントされます。
 7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2) マスタ・モード, 受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- クロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- デュアル・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- データ・パケットの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

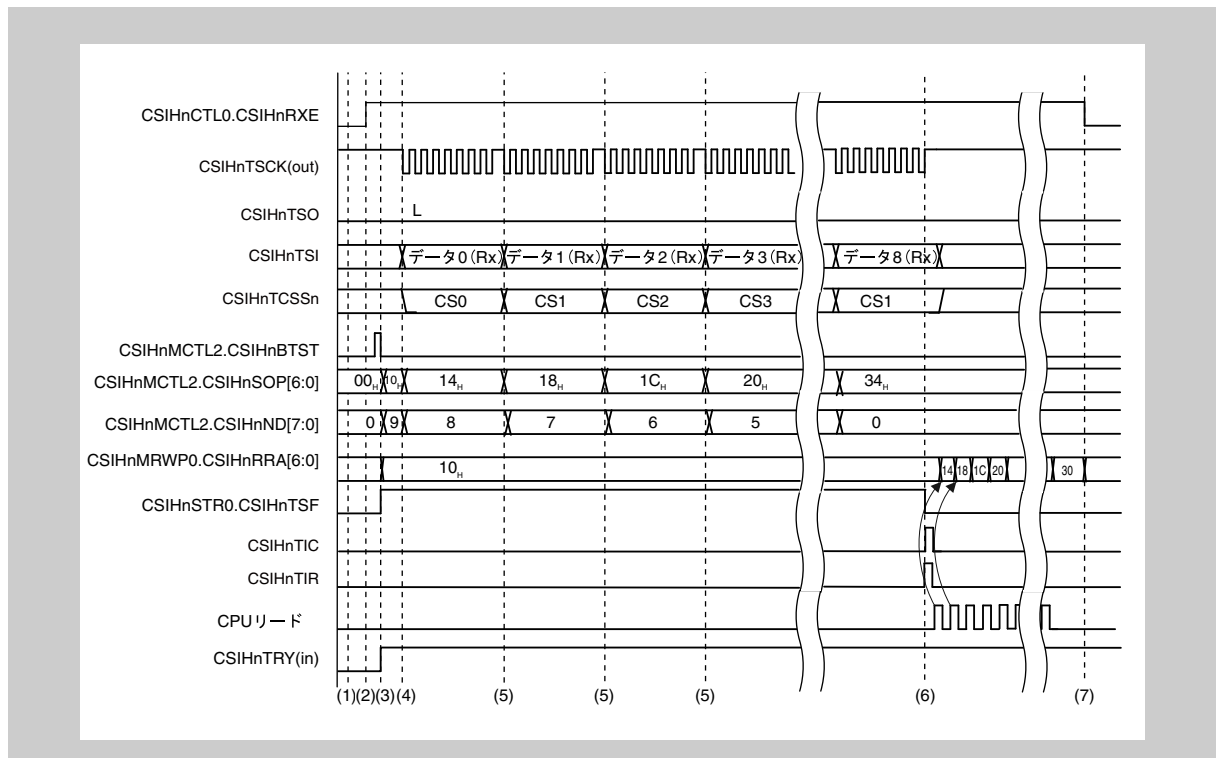


図 22-57 デュアル・バッファ・モード
(マスタ・モード, 受信モード, ジョブ・モードが無効)

備考 ここでは, バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し, CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。

- 手順:**
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (メモリ・モード)

CSIHnCFGx レジスタ (通信プロトコル)

(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)

CSIHnSTCR0.CSIHnPCT = 1 (バッファ・ポインタのクリア)

2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによって受信が開始されます。
4. 受信が開始されます。データが1つ受信されるたびに
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、
CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 最後のデータが受信されるまで、<4> が繰り返し実行されます。
割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
6. すべての受信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] ビットで指定されます。
CSIHnMRWP0.CSIHnRRA[6:0] ビットはデータが1つリードされるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
CSIH を使用しない間は消費電力を抑えるために、
CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(3) スレーブ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- デュアル・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- データ・パケットの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

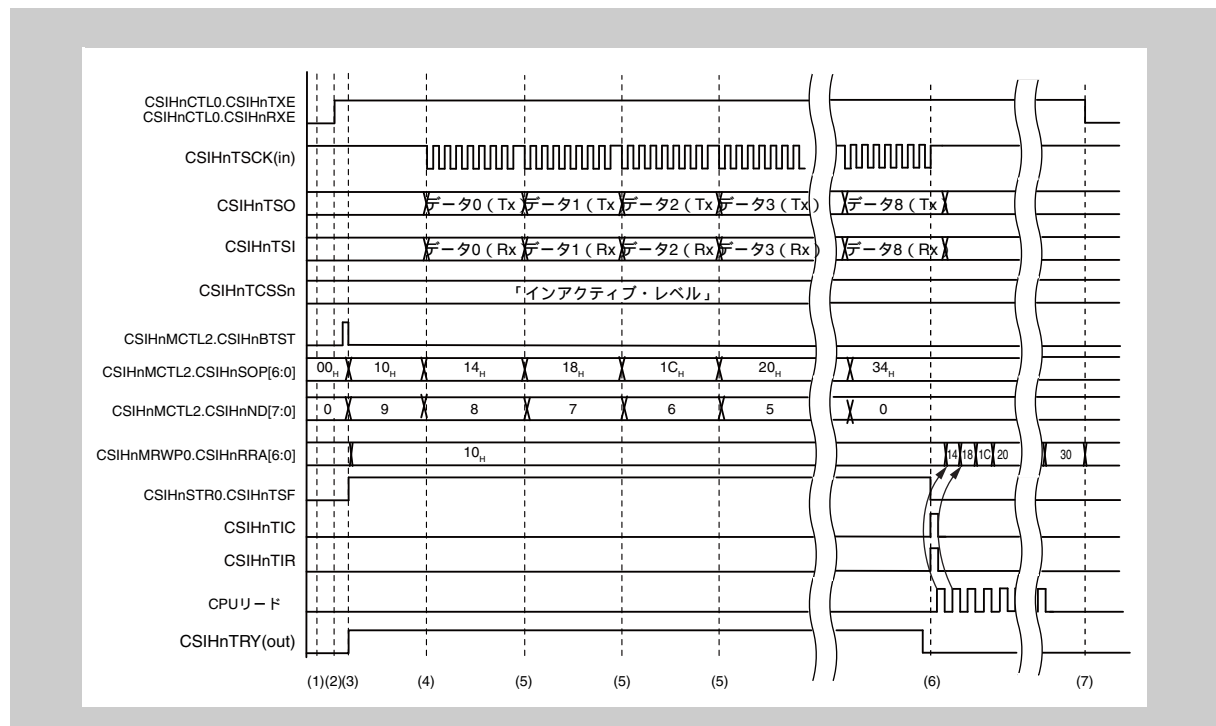


図 22-58 デュアル・バッファ・モード
(スレーブ・モード, 送受信モード, ジョブ・モードが無効)

備考 ここでは, バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し, CSIHnTXOW に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。

- 手順 :**
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)

- CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (メモリ・モード)
CSIHnCFG0 レジスタ (通信プロトコル)
CSIHnSTCR0.CSIHnPCT = 1 (バッファ・ポインタのクリア)
2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
 4. 送信が開始されます。データが1つ送信されるたびに
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、
CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
 5. 最後のデータが送受信されるまで、<4> が繰り返し実行されます。
割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
 6. すべての通信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] ビットで指定されます。
CSIHnMRWP0.CSIHnRRA[6:0] ビットはデータが1つリードされるたびにインクリメントされます。
 7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4) スレーブ・モード, 受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- デュアル・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- データ・パケットの数 : 9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス : 10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

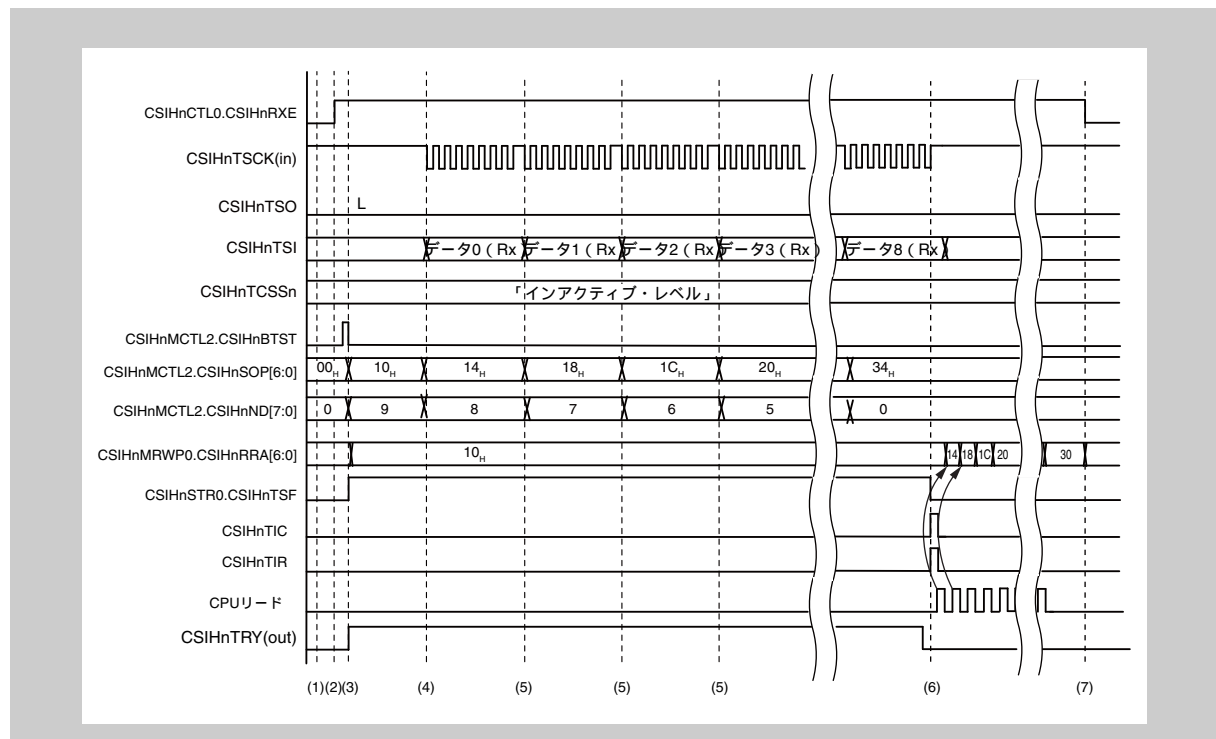


図 22-59 デュアル・バッファ・モード
(スレーブ・モード, 受信モード, ジョブ・モードが無効)

備考 ここでは, バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し, CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。

- 手順:**
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)

- CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (メモリ・モード)
CSIHnCFG0 レジスタ (通信プロトコル)
CSIHnSTCR0.CSIHnPCT = 1 (バッファ・ポインタのクリア)
2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによって受信が開始されます。
 4. 受信が開始されます。データが1つ受信されるたびに
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、
CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます
 5. 最後のデータが受信されるまで、<4> が繰り返し実行されます。
割り込み要求 CSIHnTIC と CSIHnTIR は発生しません。
 6. すべての受信が終了すると、割り込み要求 CSIHnTIC と CSIHnTIR が発生します。
CPU が受信バッファからの受信データのリードを開始します。リード開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] ビットで指定されます。
CSIHnMRWP0.CSIHnRRA[6:0] ビットはデータが1つリードされるたびにインクリメントされます。
 7. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
CSIH を使用しない間は消費電力を抑えるために、
CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5) マスタ・モード, 送受信モード, ジョブ・モードが有効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- デュアル・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- データ・パケットの数 : 12 (CSIHnMCTL2.CSIHnND[7:0] = 12_H)
- 転送開始アドレス : 00_H (CSIHnMCTL2.CSIHnSOP[6:0] = 00_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

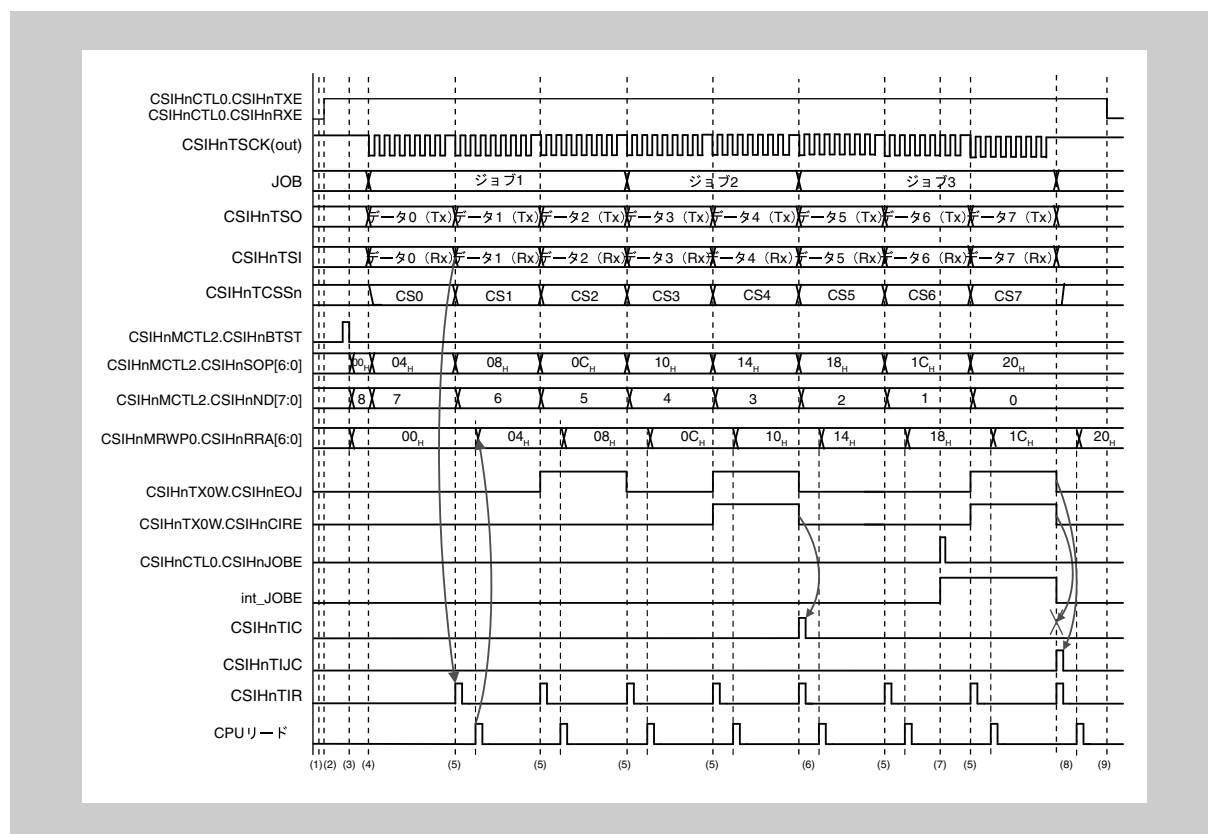


図 22-60 デュアル・バッファ・モード
(マスタ・モード, 送受信モード, ジョブ・モードが有効)

- 備考**
1. ここでは、バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し、CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。
 2. 上のタイミング図の「int_JOBE」信号は、CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

- 手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
 CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
 CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (メモリ・モード)
 CSIHnCFGx レジスタ (通信プロトコル)
 (この例ではチップ・セレクト信号 CS0 ~ CS7 を使用します)
 CSIHnSTCR0.CSIHnPCT = 1 (バッファ・ポインタのクリア)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
 CSIHnCTL0.CSIHnTXE = 1 (送信許可)
 CSIHnCTL0.CSIHnRXE = 1 (受信許可)
 CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
 CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
 4. 送信が開始されます。データが1つ送信されるたびに
 CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、
 CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
 5. すべてのデータを受信すると、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
 6. CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。
 CSIHnTIC は、現在のジョブの最後データ (CSIHnTX0W.CSIHnEOJ = 1) が送られたことを示します。
 7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
 8. 通信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。
 割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
 割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。また、CSIHnTX0W レジスタによる転送データは送られません。
 9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6) マスタ・モード, 受信モード, ジョブ・モードが有効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- デュアル・バッファ・モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- データ・パケットの数 : 12 (CSIHnMCTL2.CSIHnND[7:0] = 12_H)
- 転送開始アドレス : 00_H (CSIHnMCTL2.CSIHnSOP[6:0] = 00_H)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

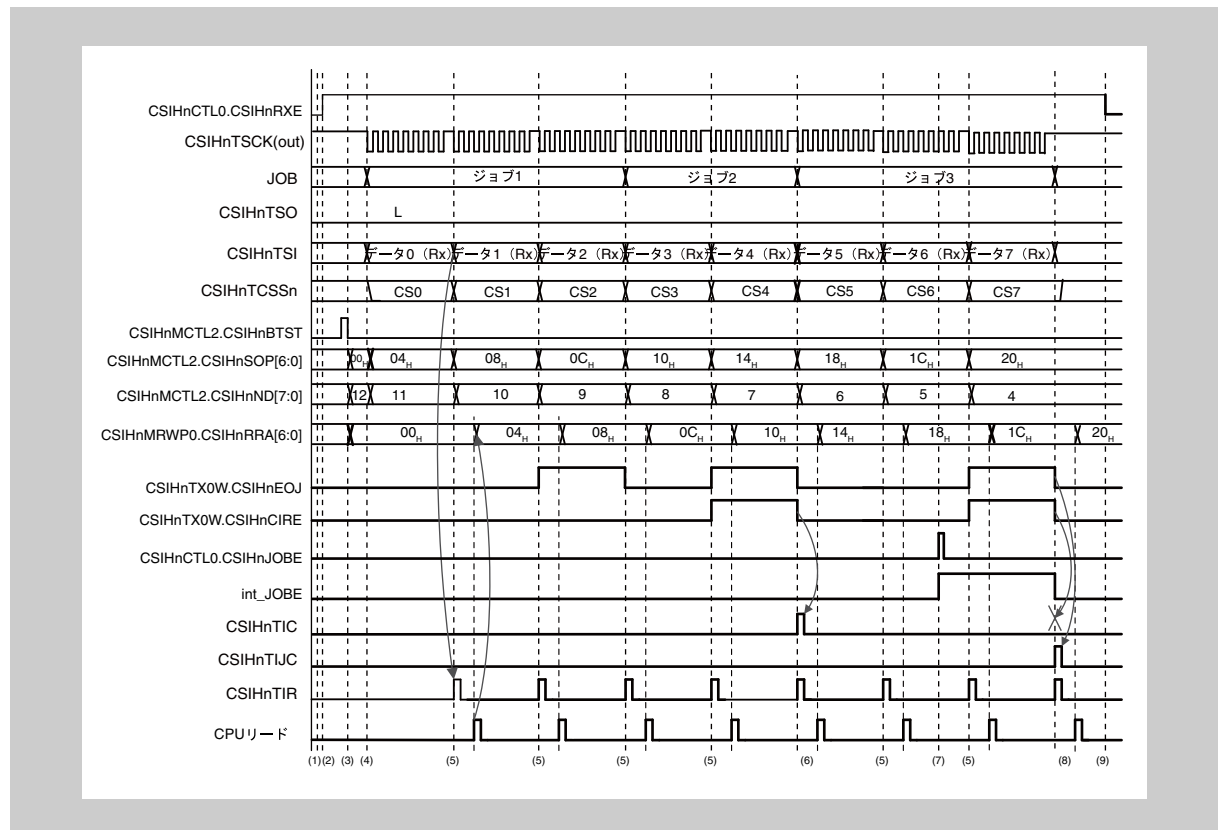


図 22-61 デュアル・バッファ・モード
(マスタ・モード, 受信モード, ジョブ・モードが有効)

- 備考**
1. ここでは, バッファにデータをライトする手順は説明しません。最初のデータ・アドレスを CSIHnMRWP0.CSIHnTRWA[6:0] で設定し, CSIHnTX0W に転送データがライトされます。転送データがライトされるたびに CSIHnMRWP0.CSIHnTRWA[6:0] の値はインクリメントされます。
 2. 上のタイミング図の「int_JOBE」信号は, CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

- 手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (メモリ・モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS0 ~ CS7 を使用します)
CSIHnSTCR0.CSIHnPCT = 1 (バッファ・ポインタのクリア)
 2. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットによって送信ポインタとデータの数を設定します。
CSIHnMCTL2.CSIHnBTST を設定することによって通信が開始されます。
 4. 受信が開始されます。データが1つ受信されるたびに
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、
CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
 5. 各データを受信するたびに、CSIHnTIR が発生します。CSIHnTIR 割り込みは、受信データ・レジスタ CSIHnRX0W をリードする必要があることを示します。
 6. CSIHnTX0W.CSIHnCIRE = 1 の設定で CSIHnTIC が発生します。
CSIHnTIC は、現在のジョブの最後データ (CSIHnTX0W.CSIHnEOJ = 1) が送られたことを示します。
 7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に受信を強制的に停止します。
 8. 受信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が発生します。

割り込み要求 CSIHnTIJC は現在のジョブの終了時に受信が強制的に停止されたことを示します。
割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が発生するため、割り込み要求 CSIHnTIC は発生しません。また、CSIHnTX0W レジスタによる転送データは送られません。
 9. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
CSIH を使用しない間は消費電力を抑えるために、
CSIHnCTL0.CSIHnPWR = 0 に設定してください。

22.5.4 FIFO モードでの手順

(1) マスタ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

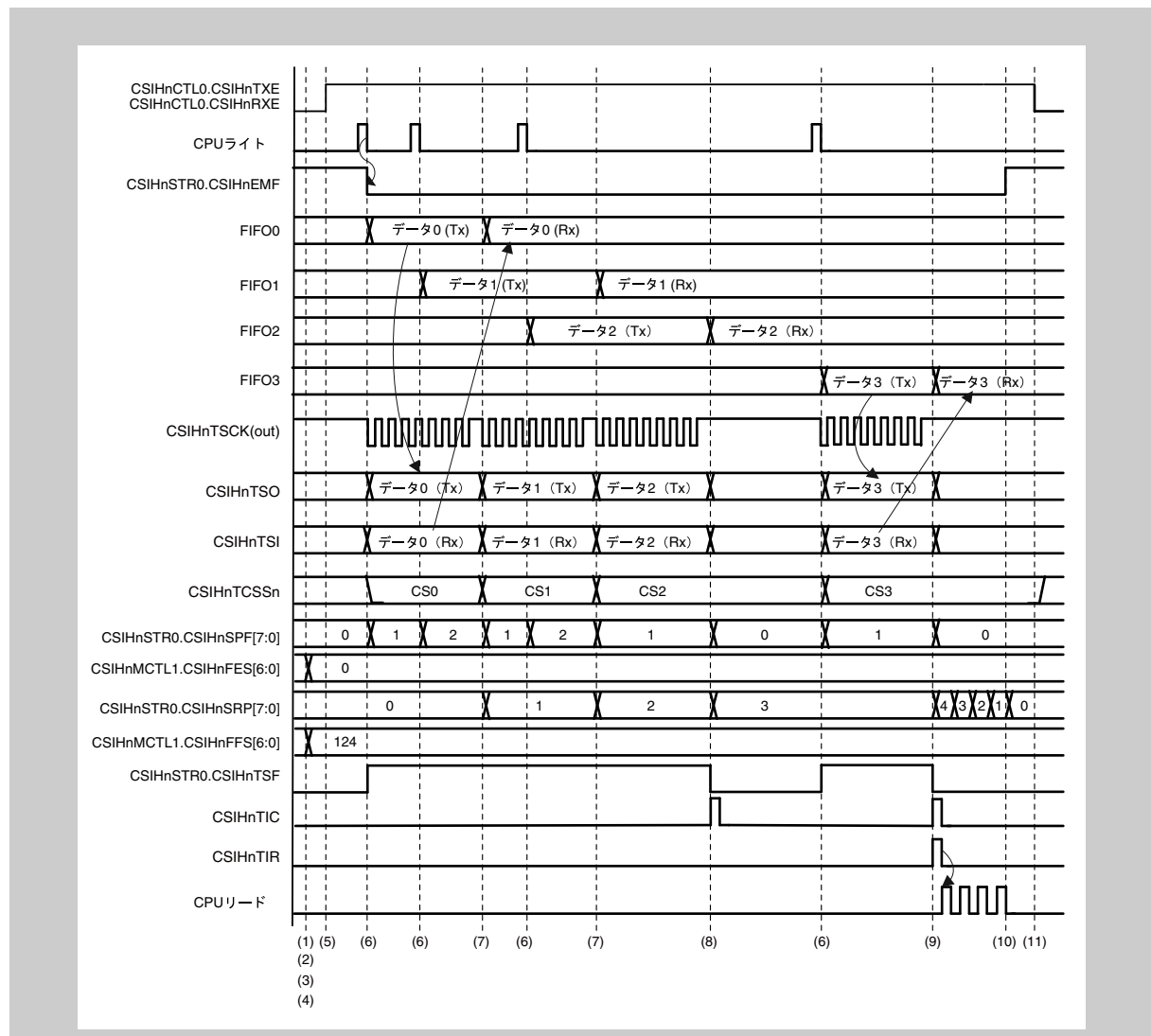


図 22-62 FIFO モード (マスタ・モード, 送受信モード, ジョブ・モードが無効)

- 手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 00_B (メモリ・モード)
CSIHnCFGx レジスタ (通信プロトコル)
(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)
 2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
 3. CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1,
CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
 4. CSIHnMCTL1.CSIHnFES[6:0] で CSIHnTIC 割り込みの条件を指定します。
CSIHnMCTL1.CSIHnFFS[6:0] で CSIHnTIR 割り込みの条件を指定します。
 5. CSIHnCTL0.CSIHnPWR = 1 (クロック許可)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます。
 7. 通信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致してないので、CSIHnTIC は発生しません。
 8. CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので、CSIHnTIC が発生します。
 9. CSIHnMCTL1.CSIHnFFS[6:0] の値と (128-CSIHnSTR0.CSIHnSRP [7:0] の値が一致したので割り込み要求 CSIHnTIR が発生します。
CSIHnSTR0.CSIHnSPF[7:0] の値と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので割り込み要求 CSIHnTIC が発生します。
CPU が受信バッファに格納された受信データのリードを開始します。
 10. CPU が受け付けたデータのリードを完了します。FIFO バッファがエンプティなので CSIHnSTR0.CSIHnEMF ビットがセット (1) されます。
 11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2) マスタ・モード, 受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

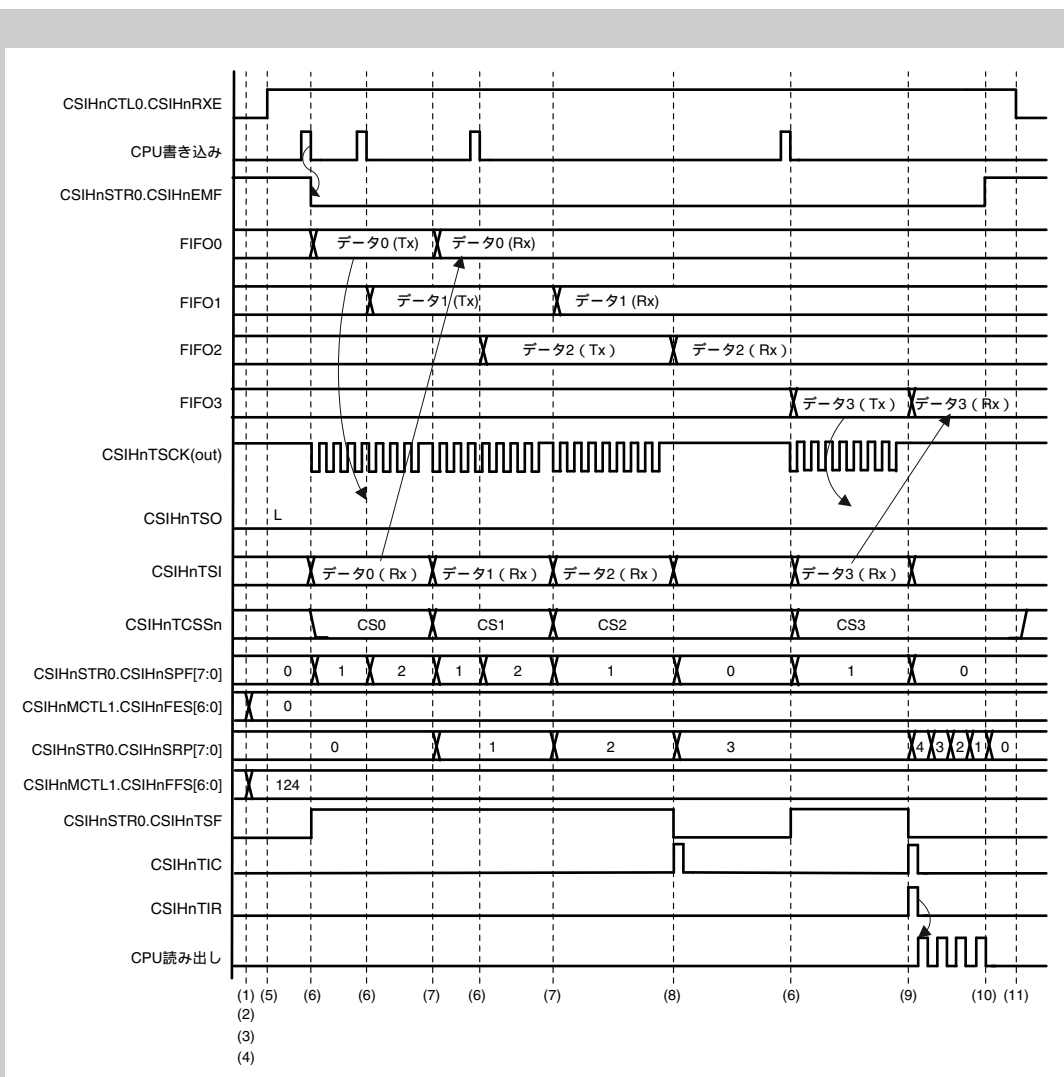


図 22-63 FIFO モード (マスタ・モード, 受信モード, ジョブ・モードが無効)

- 手順 : 1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)

CSIHnMCTL0.CSIHnMMS[1:0] = 00_B (メモリ・モード)

CSIHnCFGx レジスタ (通信プロトコル)

(この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します)

2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1,
CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で CSIHnTIC 割り込みの条件を指定します。
CSIHnMCTL1.CSIHnFFS[6:0] で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1 (クロック許可)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます (送信データは使用しませんが、チップ・セレクトが許可されます)。
7. 通信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致してないので、CSIHnTIC は発生しません。
8. CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので、CSIHnTIC が発生します。
9. CSIHnMCTL1.CSIHnFFS[6:0] の値と (128-CSIHnSTR0.CSIHnSRP [7:0] の値が一致したので割り込み要求 CSIHnTIR が発生します。
CSIHnSTR0.CSIHnSPF[7:0] の値と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので割り込み要求 CSIHnTIC が発生します。
CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受け付けたデータのリードを完了します。FIFO バッファがエンptyなので CSIHnSTR0.CSIHnEMF ビットがセット (1) されます。
11. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
CSIH を使用しない間は消費電力を抑えるために、
CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(3) スレーブ・モード, 送受信モード, ジョブ・モードが無効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

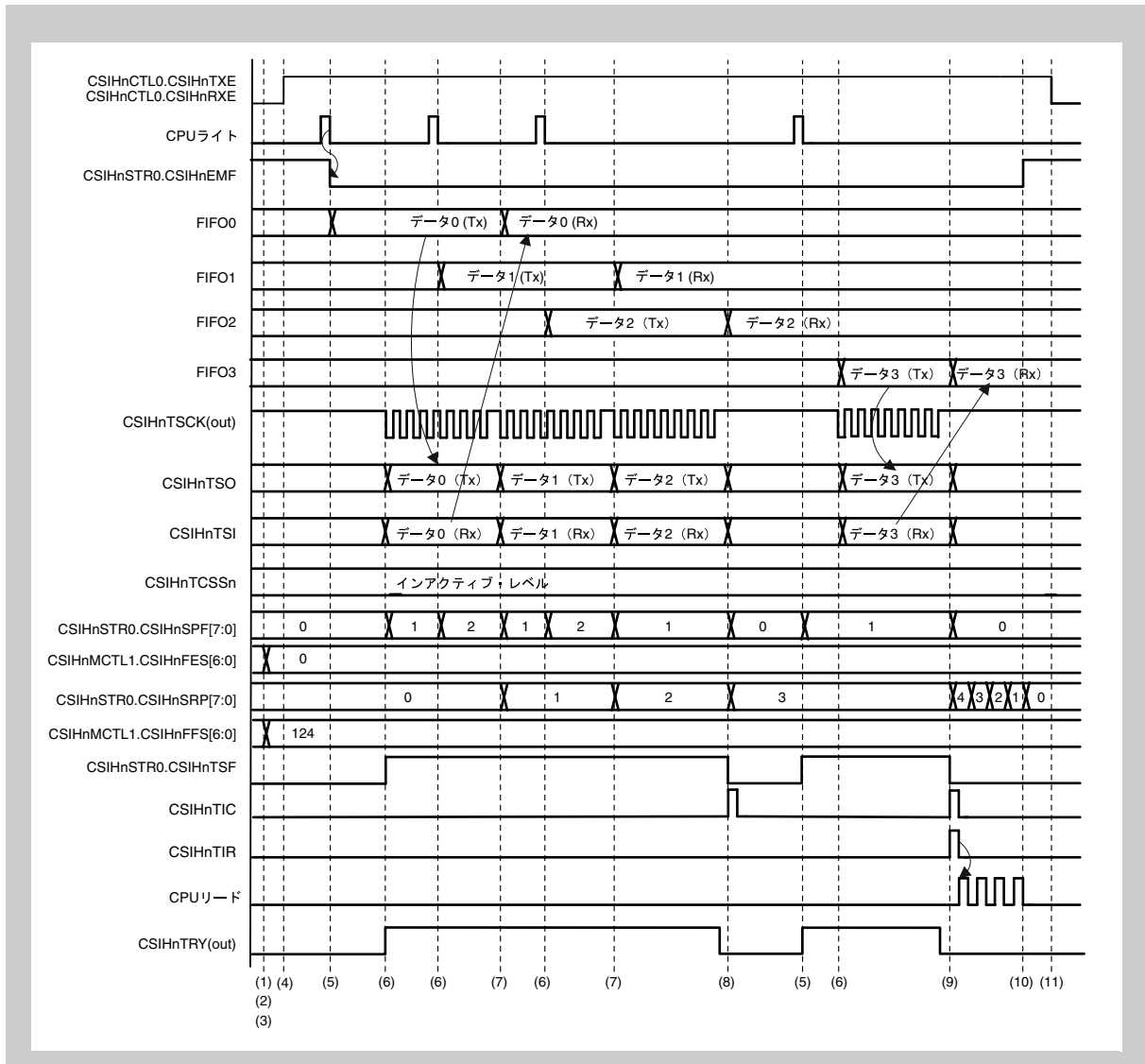


図 22-64 FIFO モード (スレーブ・モード, 送受信モード, ジョブ・モードが無効)

手順 : 1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。

- CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 00_B (メモリ・モード)
CSIHnCFG0 レジスタ (通信プロトコル)
- CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1,
CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
 - CSIHnMCTL1.CSIHnFES[6:0] で CSIHnTIC 割り込みの条件を指定します。
CSIHnMCTL1.CSIHnFFS[6:0] で CSIHnTIR 割り込みの条件を指定します。
 - CSIHnCTL0.CSIHnPWR = 1 (クロック許可)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
 - 転送データを送信データ・レジスタ CSIHnTX0W にライトします。
CSIHnTRY 信号はデータがライトされることによって, BUSY (ロウ・レベル) から READY (ハイ・レベル) になります。
 - マスタよりシリアル・クロックが供給されると, 通信は自動的に始まります。
 - 通信の一部は完了しましたが, CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致してないので, CSIHnTIC は発生しません。
 - CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので, CSIHnTIC が発生します。
 - CSIHnMCTL1.CSIHnFFS[6:0] の値と (128-CSIHnSTR0.CSIHnSRP[7:0]) の値が一致したので割り込み要求 CSIHnTIR が発生します。
CSIHnSTR0.CSIHnSPF[7:0] の値と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので割り込み要求 CSIHnTIC が発生します。
CPU が受信バッファに格納された受信データのリードを開始します。
 - CPU が受け付けたデータのリードを完了します。FIFO バッファがエンプティなので CSIHnSTR0.CSIHnEMF ビットがセット (1) されます。
 - 最後に, CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして, 送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために, CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(4) スレーブ・モード、受信モード、ジョブ・モードが無効の場合

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- ハンドシェイク有効 (CSIHnCTL1.CSIHnHSE = 1)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)

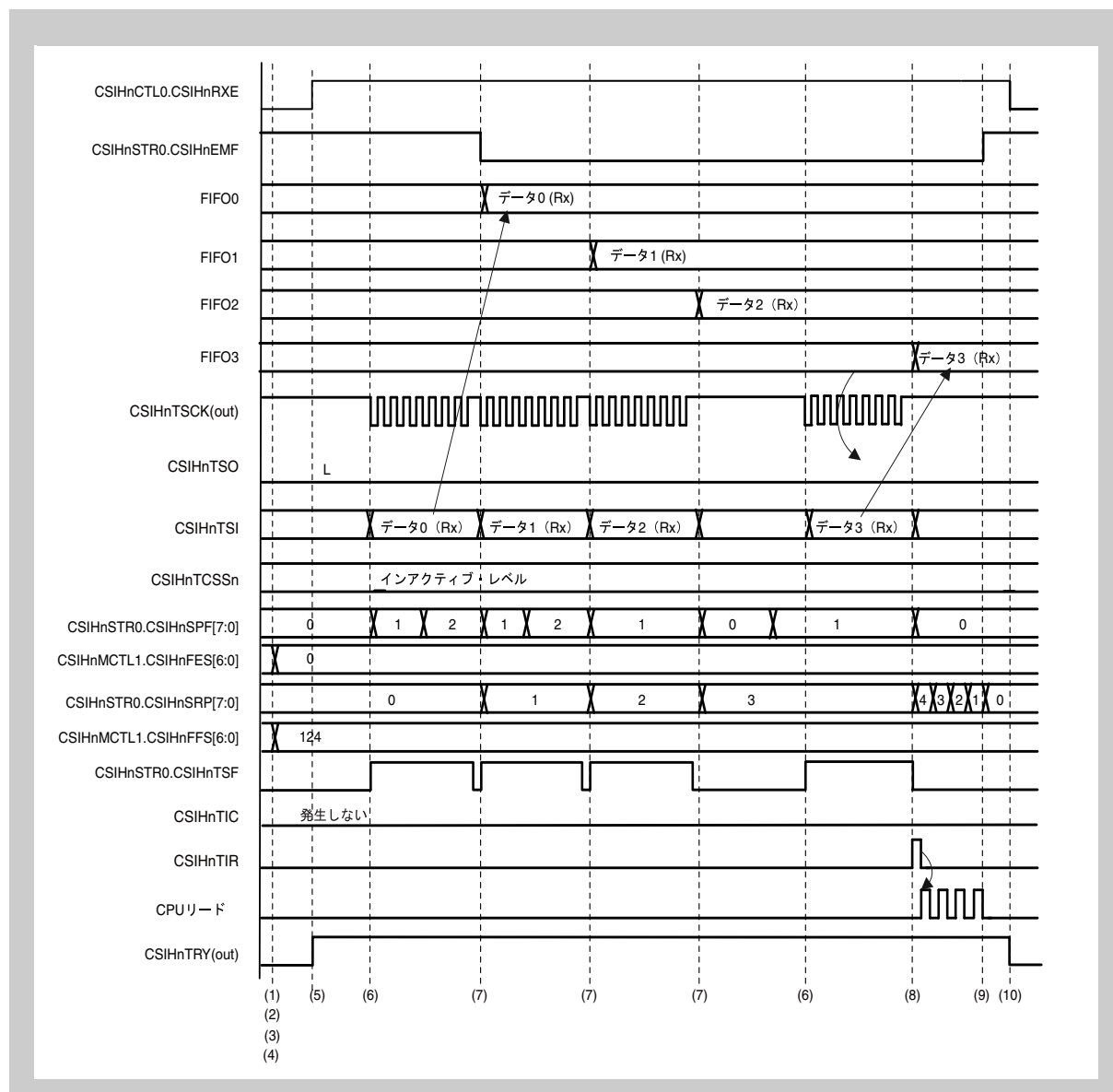


図 22-65 FIFO モード (スレーブ・モード、受信モード、ジョブ・モードが無効)

- 手順：
1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)
CSIHnMCTL0.CSIHnMMS[1:0] = 00_B (メモリ・モード)
CSIHnCFG0 レジスタ (通信プロトコル)
 2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
 3. CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1,
CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
 4. CSIHnMCTL1.CSIHnFFS[6:0] で CSIHnTIR 割り込みの条件を指定します。
 5. CSIHnCTL0.CSIHnPWR = 1 (クロック許可)
CSIHnCTL0.CSIHnTXE = 0 (送信禁止)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
CSIHnCTL0.CSIHPWR = 0, CSIHnCTL0.CSIHnRXE = 1 に設定することで、CSIHnTRY 信号が BUSY (ロウ・レベル) から READY (ハイ・レベル) になります。
 6. マスタよりシリアル・クロックが供給されると、受信は自動的に始まります。
 7. 受信の一部は完了しましたが、受信モードなので、CSIHnTIC は発生しません。
 8. CSIHnMCTL1.CSIHnFFS[6:0] の値と (128-CSIHnSTR0.CSIHnSRP [7:0] の値が一致したので割り込み要求 CSIHnTIR が発生します。CPU が受信バッファに格納された受信データのリードを開始します。
 9. CPU が受け付けたデータのリードを完了します。FIFO バッファがエンプティなので CSIHnSTR0.CSIHnEMF ビットがセット (1) されます。
 10. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(5) マスタ・モード, 送受信モード, ジョブ・モードが有効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ジョブ 1 = 4 データ, ジョブ 2 = 3 データ, ジョブ 3 = 5 データ

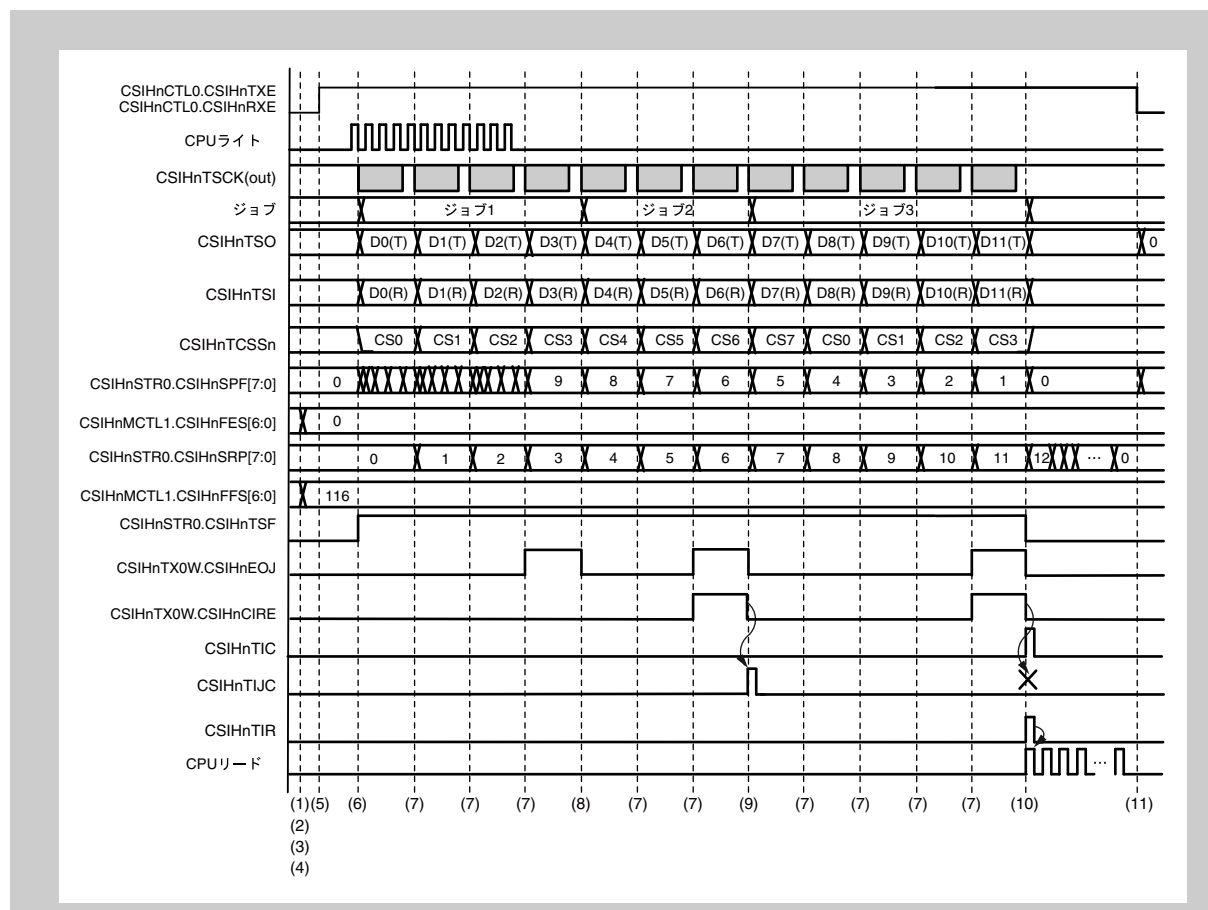


図 22-66 FIFO モード
(マスタ・モード, 送受信モード, ジョブ・モードが有効)

備考 上のタイミング図の「int_JOBE」信号は, CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

手順: 1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)

CSIHnMCTL0.CSIHnMMS[1:0] = 00_B (メモリ・モード)

CSIHnCFGx レジスタ (通信プロトコル)

(この例ではチップ・セレクト信号 CS0 ~ CS7 を使用します)

2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1,
CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で CSIHnTIC 割り込みの条件を指定します。
CSIHnMCTL1.CSIHnFFS[6:0] で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1 (クロック許可)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます。
7. 通信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致していないので、CSIHnTIC は発生しません。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
9. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 CSIHnTIC が発生します。
10. CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので、CSIHnTIC が発生します。CSIHnTIC が発生したので CSIHnTIJC は発生しません。
CSIHnMCTL1.CSIHnFFS[6:0] の値と (128-CSIHnSTR0.CSIHnSRP[7:0]) の値が一致したので割り込み要求 CSIHnTIR が発生します。
CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(6) マスタ・モード, 受信モード, ジョブ・モードが有効の場合

ここに示す手順では, 以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)
- 通常の CSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ジョブ 1 = 4 データ, ジョブ 2 = 3 データ, ジョブ 3 = 5 データ

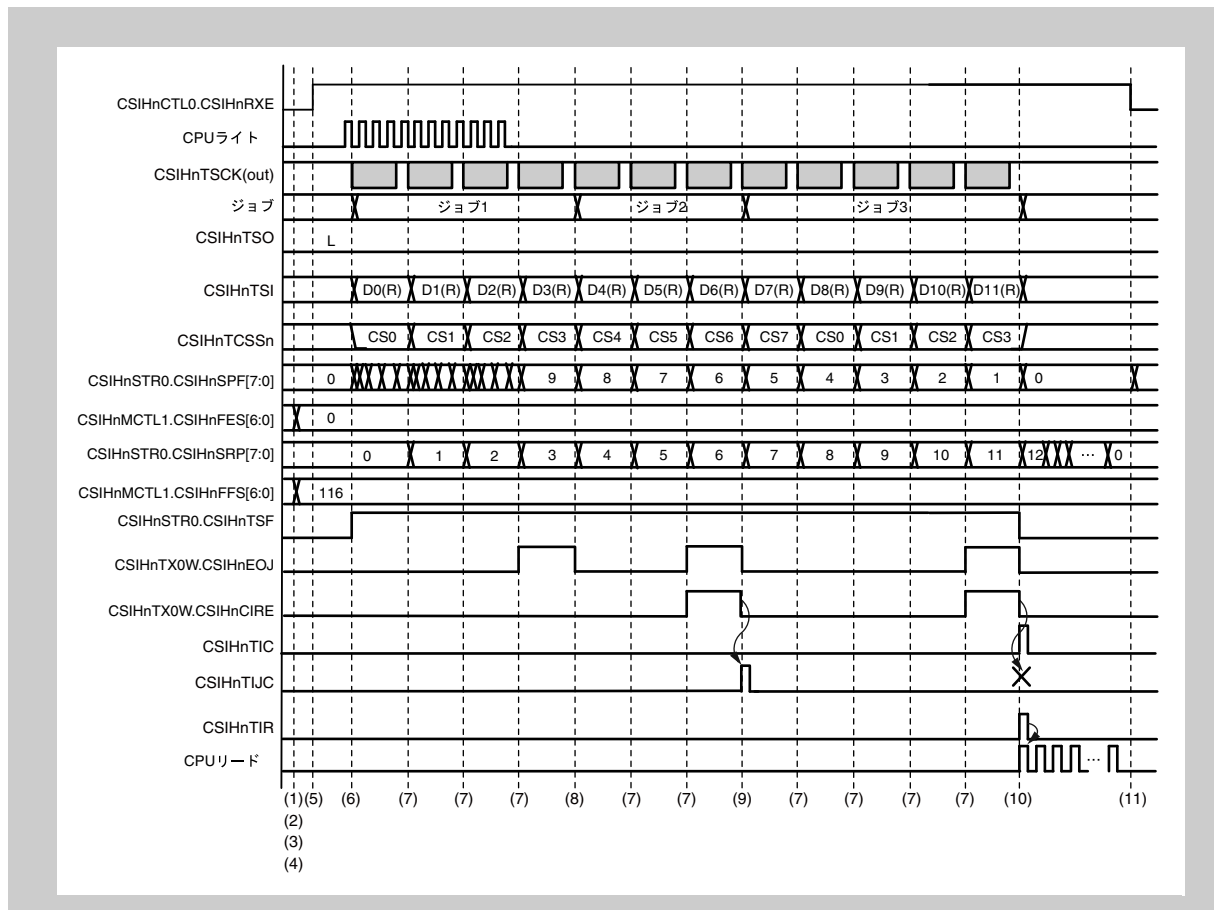


図 22-67 FIFO モード
(マスタ・モード, 受信モード, ジョブ・モードが有効)

備考 上のタイミング図の「int_JOBE」信号は, CSIHnCTL0.CSIHnJOBE ビットの内部信号です。

手順: 1. CSIHnCTL0.CSIHnPWR = 1 を設定する前に次のレジスタを設定してください。
CSIHnCTL1, CSIHnCTL2 (転送モード, 動作モード)

CSIHnMCTL0.CSIHnMMS[1:0] = 00_B (メモリ・モード)

CSIHnCFGx レジスタ (通信プロトコル)

(この例ではチップ・セレクト信号 CS0 ~ CS7 を使用します)

2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1,
CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で CSIHnTIC 割り込みの条件を指定します。
CSIHnMCTL1.CSIHnFFS[6:0] で CSIHnTIR 割り込みの条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1 (クロック許可)
CSIHnCTL0.CSIHnTXE = 1 (送信許可)
CSIHnCTL0.CSIHnRXE = 1 (受信許可)
CSIHnCTL0.CSIHnMBS = 0 (メモリ・モード)。
6. 送信データを送信データ・レジスタ CSIHnTX0W にライトすると、通信が開始されます (送信データは使用しませんが、チップ・セレクトは有効になります)。
7. 受信の一部は完了しましたが、CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致していないので、CSIHnTIC は発生しません。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は発生しません。
9. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 CSIHnTIC が発生します。
10. CSIHnSTR0.CSIHnSPF[7:0] と CSIHnMCTL1.CSIHnFES[6:0] の値が一致したので、CSIHnTIC が発生します。CSIHnTIC が発生したので CSIHnTIJC は発生しません。
CSIHnMCTL1.CSIHnFFS[6:0] の値と (128-CSIHnSTR0.CSIHnSRP[7:0]) の値が一致したので割り込み要求 CSIHnTIR が発生します。
CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnRXE をクリアして、受信動作を禁止します。
CSIH を使用しない間は消費電力を抑えるために、CSIHnCTL0.CSIHnPWR = 0 に設定してください。

第23章 I²Cバス (IICB)

注意 この機能を使用する場合は、SCLn, SDAn 端子を使用し、N-ch オープン・ドレーン出力に設定してください。

この章では、I²Cバス (I²CB) について説明します。

23.1 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/MN4 に固有の特徴について説明します。

23.2 節以降で、I²CB 搭載製品に共通の特徴について説明します。

23.1 V850E2/MN4 の IICB の特徴

チャンネル数 チャンネル数 V850E2/MN4 は 6 チャンネルの I²CB を搭載しています。

表 23-1 I²CB のチャンネル数

I ² CB	
チャンネル数	6
名称	I ² CB0 ~ I ² CB5

n の意味 この章では、I²CB のチャンネルを「n」(n = 0-5) で識別します。

たとえば IICBn データ・レジスタは、IICBnDAT のように記述しています。

レジスタ・アドレス I²CBn のレジスタ・アドレスは、ベース・アドレス <I²CBn_base> からのオフセットで表します。

各 I²CBn のレジスタ・ベース・アドレスを表 23-2 「I²CBn のレジスタ・ベース・アドレス」に示します。

表 23-2 I²CBn のレジスタ・ベース・アドレス

I ² CBn のチャンネル	ベース・アドレス	アドレス
I ² CB0	<I ² CBn_base_OS>	FF82 0000 _H
	<I ² CBn_base_USER>	FFFF F400 _H
I ² CB1	<I ² CBn_base_OS>	FF82 1000 _H
	<I ² CBn_base_USER>	FFFF F500 _H
I ² CB2	<I ² CBn_base_OS>	FF82 2000 _H
	<I ² CBn_base_USER>	FFFF F600 _H
I ² CB3	<I ² CBn_base_OS>	FF82 3000 _H
	<I ² CBn_base_USER>	FFFF F700 _H

表 23-2 I²CBn のレジスタ・ベース・アドレス

I ² CBn のチャンネル	ベース・アドレス	アドレス
I ² CB4	<I ² CBn_base_OS>	FF82 4000 _H
	<I ² CBn_base_USER>	FFFF F800 _H
I ² CB5	<I ² CBn_base_OS>	FF82 5000 _H
	<I ² CBn_base_USER>	FFFF F900 _H

クロック供給 I²CBn は、クロック入力として PCLK を使用します。PCLK は、f_{PCLK} に接続されています。

表 23-3 I²CBn のクロック

I ² CBn のチャンネル	I ² CBn クロック	接続先
I ² CB0-I ² CB5	PCLK	f _{PCLK}

割り込み要求信号 I²CBn は、割り込み要求信号として、データ送受信割り込み要求信号 (IICBTIA_n)、ステータス割り込み要求信号 (IICBTIS_n) があります。

表 23-4 I²CBn の割り込み要求信号

割り込み要求信号	機能	接続先
I²CB0		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 144 (INTCSIH0IR) DMA コントローラ・トリガ 108 DTS コントローラ・トリガ 108
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 143 (INTCSIH0IRE)
I²CB1		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 148 (INTCSIH1IR) DMA コントローラ・トリガ 110 DTS コントローラ・トリガ 111
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 147 (INTCSIH1IRE)
I²CB2		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 152 (INTCSIH2IR) DMA コントローラ・トリガ 112 DTS コントローラ・トリガ 114
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 151 (INTCSIH2IRE)
I²CB3		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 156 (INTCSIH3IR) DMA コントローラ・トリガ 114 DTS コントローラ・トリガ 117
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 155 (INTCSIH3IRE)
I²CB4		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 172 (INTCSIG4IR) DMA コントローラ・トリガ 124
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> 割り込みコントローラ 171 (INTCSIG4IRE)

表 23-4 I²CBn の割り込み要求信号

割り込み要求信号	機 能	接続先
I ² CB5		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none">• 割り込みコントローラ 175 (INTCSIG5IR)• DMA コントローラ・トリガ 126
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none">• 割り込みコントローラ 174 (INTCSIG5IRE)

23.2 機能概要

動作モード	標準モード (SCL クロック周波数 : Max. 100 kHz) 高速モード (SCL クロック周波数 : Max. 400 kHz)
転送モード	シングル転送モード 連続転送モード
端子構成	SCLn : シリアル・クロック端子 SDAn : シリアル送受信データ端子
割り込み要求信号	データ送受信割り込み要求信号 (IICBTIA _n) ステータス割り込み要求信号 (IICBTIS _n)
通信データ長	8 ビット
マルチマスタ対応	複数のマスタが同時にバスを制御することが可能
SCLn のレベル幅 変更可能	シリアル・クロック信号 (SCLn) のハイ・レベル幅/ロウ・レベル幅の設定 を変更可能
自動検出可能	スタート・コンディションおよびストップ・コンディションの自動検出が可能

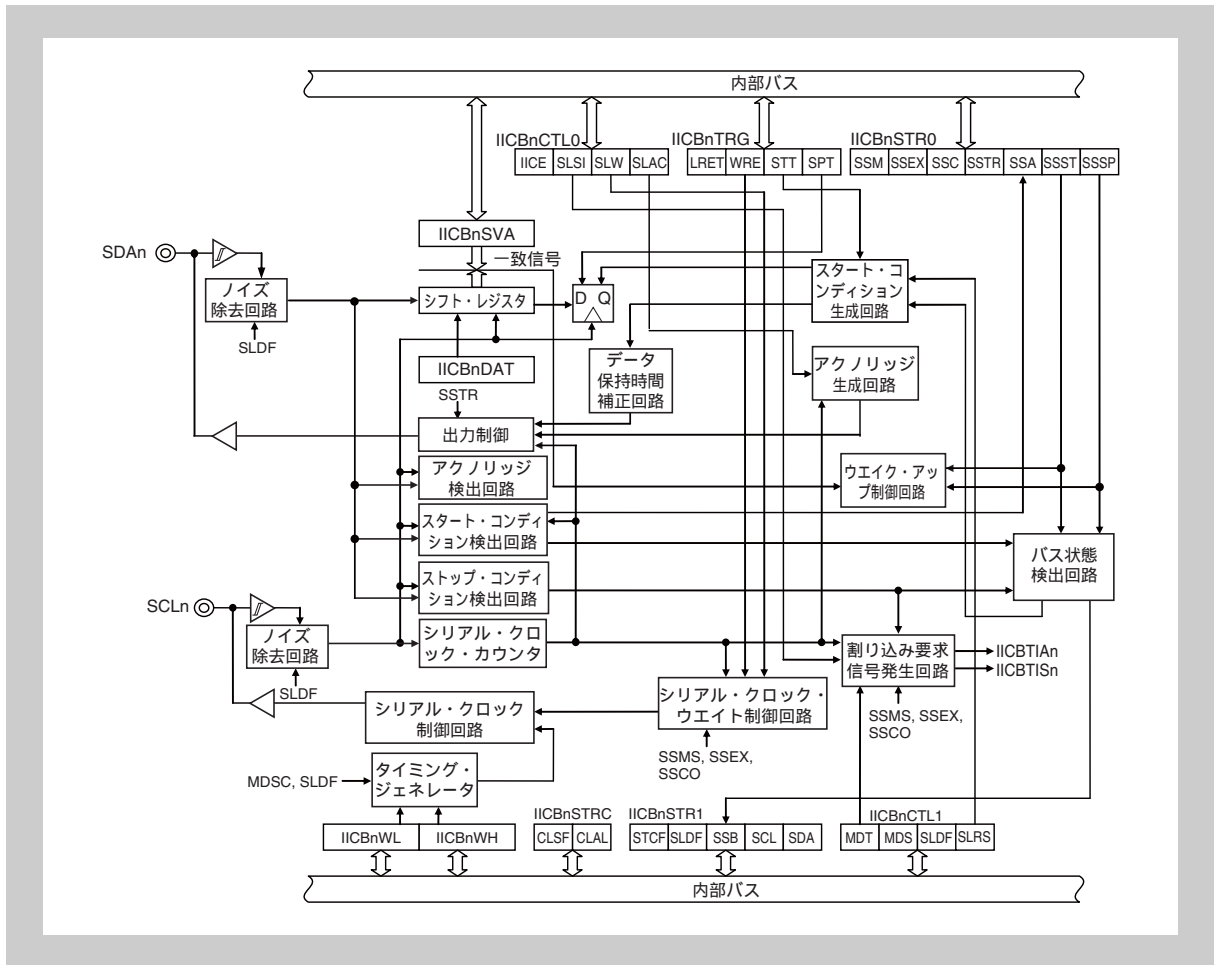


図 23-1 IICBn のブロック図

23.3 IICバス・モードの機能

23.3.1 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています。

SCLn ... シリアル・クロックを入出力するための端子。

マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。

SDAn ... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が N-ch オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

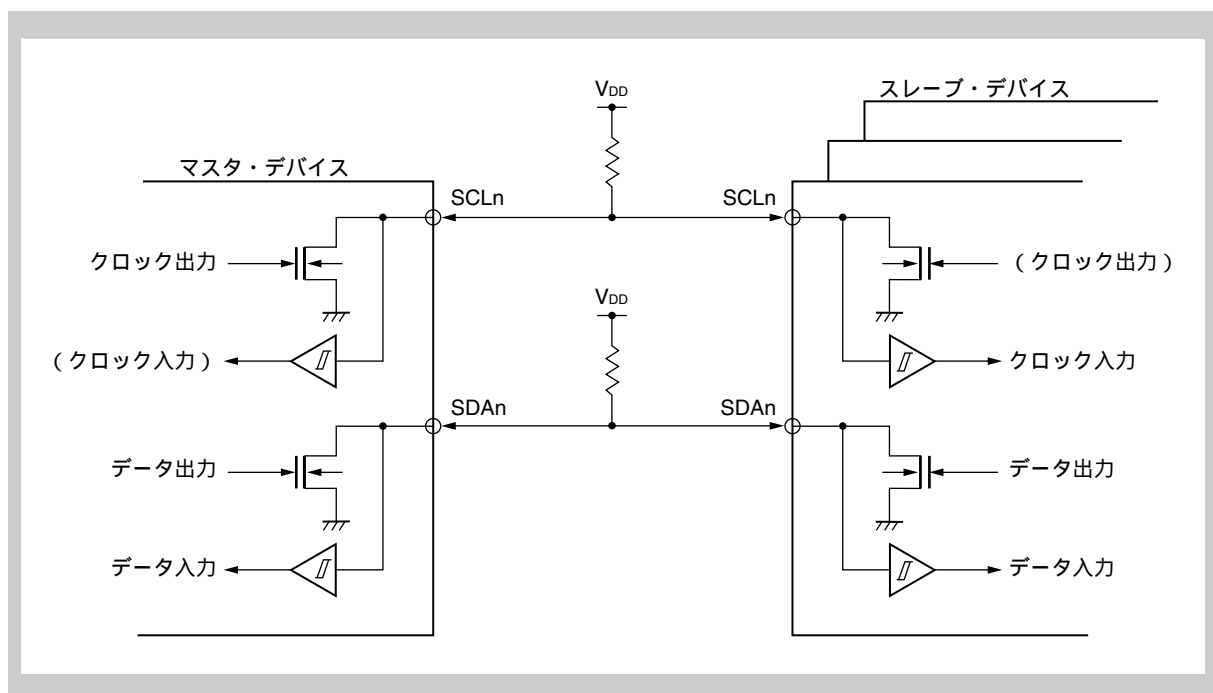


図 23-2 端子構成図

23.4 IIC バスの定義

IIC バスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

IIC バスのシリアル・データ・バス上に生成されている“スタート・コンディション”, “アドレス”, “転送方向指定”, “データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

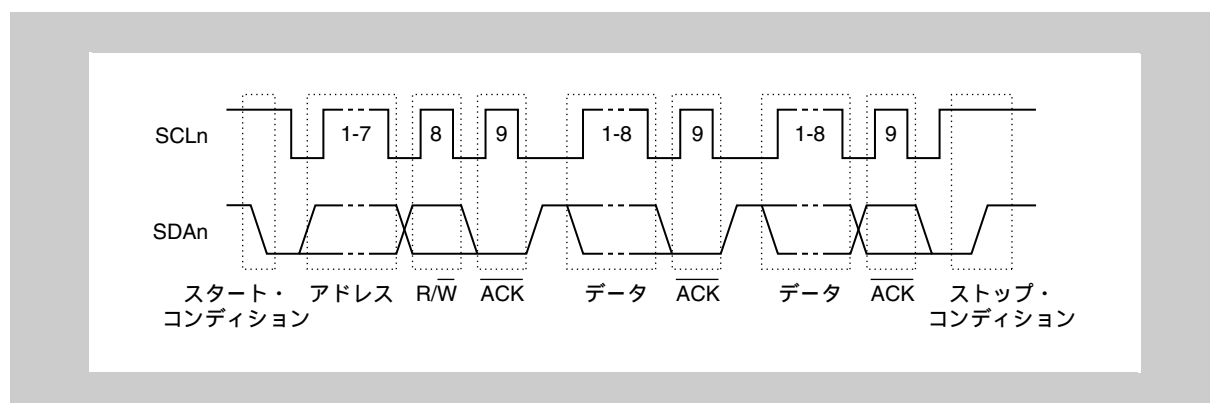


図 23-3 IIC バスのシリアル・データ転送タイミング

スタート・コンディション, スレーブ・アドレス, ストップ・コンディションはマスタが生成します。

アクノリッジ ($\overline{\text{ACK}}$) は, マスタ, スレーブのどちらでも生成できます (通常, 8 ビット・データの受信側が生成します)。

シリアル・クロック (SCLn) は, マスタが出力し続けます。ただし, スレーブは SCLn 端子のロウ・レベル期間を延長し, ウェイトを挿入できます。

23.4.1 スタート・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。スタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できません。

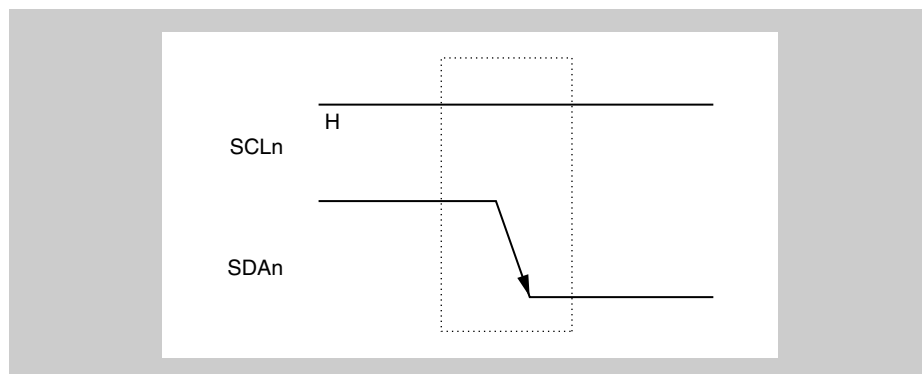


図 23-4 スタート・コンディション

23.4.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、7ビット・データが自身のアドレスと一致しているかを調べます。このとき、自身のアドレスと一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

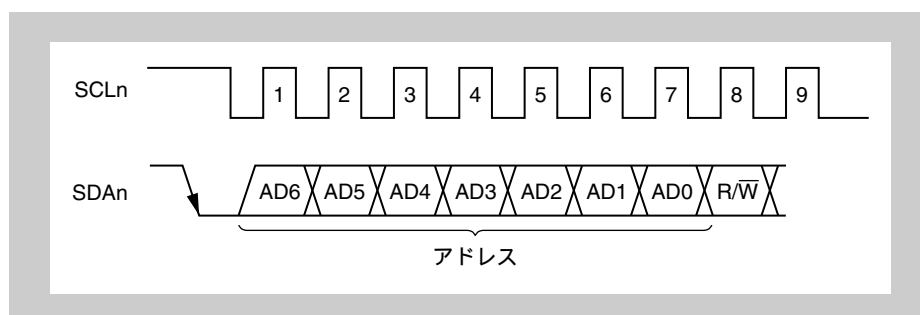


図 23-5 アドレス

23.4.3 拡張コード

アドレスの上位4ビットが“0000”と“1111”のとき、このビットのことを拡張コードと呼びます。表 23-5 に拡張コード時のビット定義を示します。

表 23-5 拡張コードのビット定義

スレーブ・アドレス	R/W ビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUS アドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
0000 011	x	将来の利用のために予約
0000 1xx	x	HS モード・マスタ・コード ^{a)}
1111 0xx	x	10 ビット・スレーブ・アドレス指定
1111 1xx	x	将来の利用のために予約

^{a)} IICB では、HS モードは使用できません。

23.4.4 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

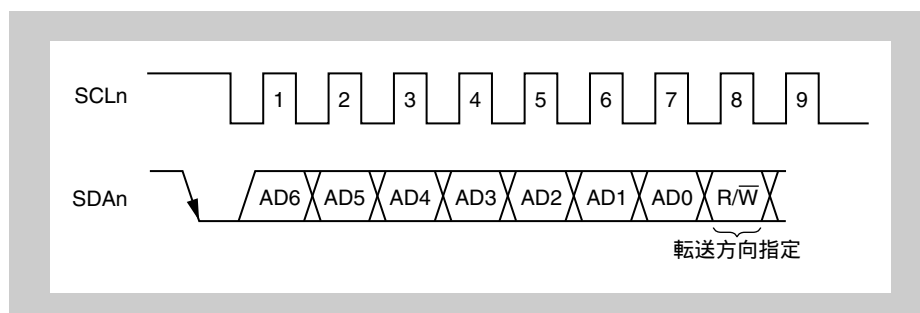


図 23-6 転送方向指定

23.4.5 アクノリッジ ($\overline{\text{ACK}}$)

アドレス転送時の転送方向ビット ($\overline{\text{R/W}}$) に続く 1 ビット・データおよび 8 ビット・データに続く 1 ビット・データはアクノリッジ ($\overline{\text{ACK}}$) と定義されています。

アクノリッジによって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ①受信が正しく行われていない。
- ②最終データの受信が終わっている。
- ③アドレス指定した受信側が存在しない。

アクノリッジ生成は、受信側が 9 クロック目に SDA_n ラインをロウ・レベルにすることによって行われます (正常受信)。

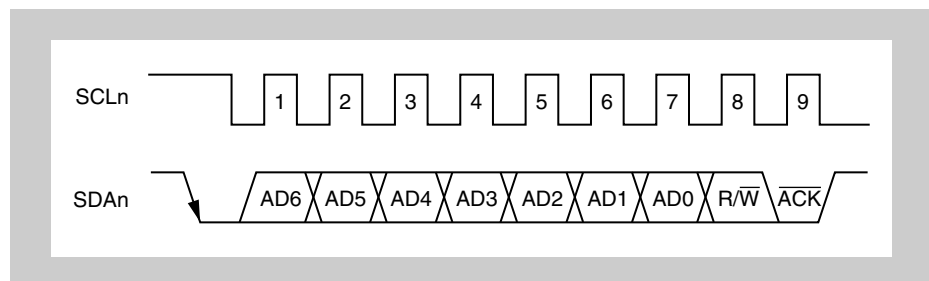


図 23-7 アクノリッジ ($\overline{\text{ACK}}$)

23.4.6 データ

スタート・コンディションに続く9ビット（アドレス（7ビット）、 $\overline{R/W}$ （1ビット）、アクノリッジ（ACK）（1ビット））とアクノリッジを除くビットはデータと定義されています。

拡張コードを使用した10ビット・アドレス指定時は、アドレス転送に続く8ビットのデータをアドレス（セカンド・アドレス）として利用します。

23.4.7 ストップ・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。

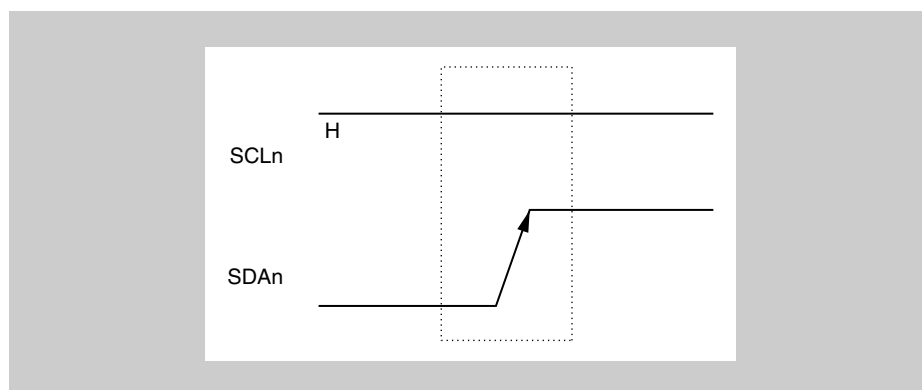


図 23-8 ストップ・コンディション

23.4.8 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCLn 端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

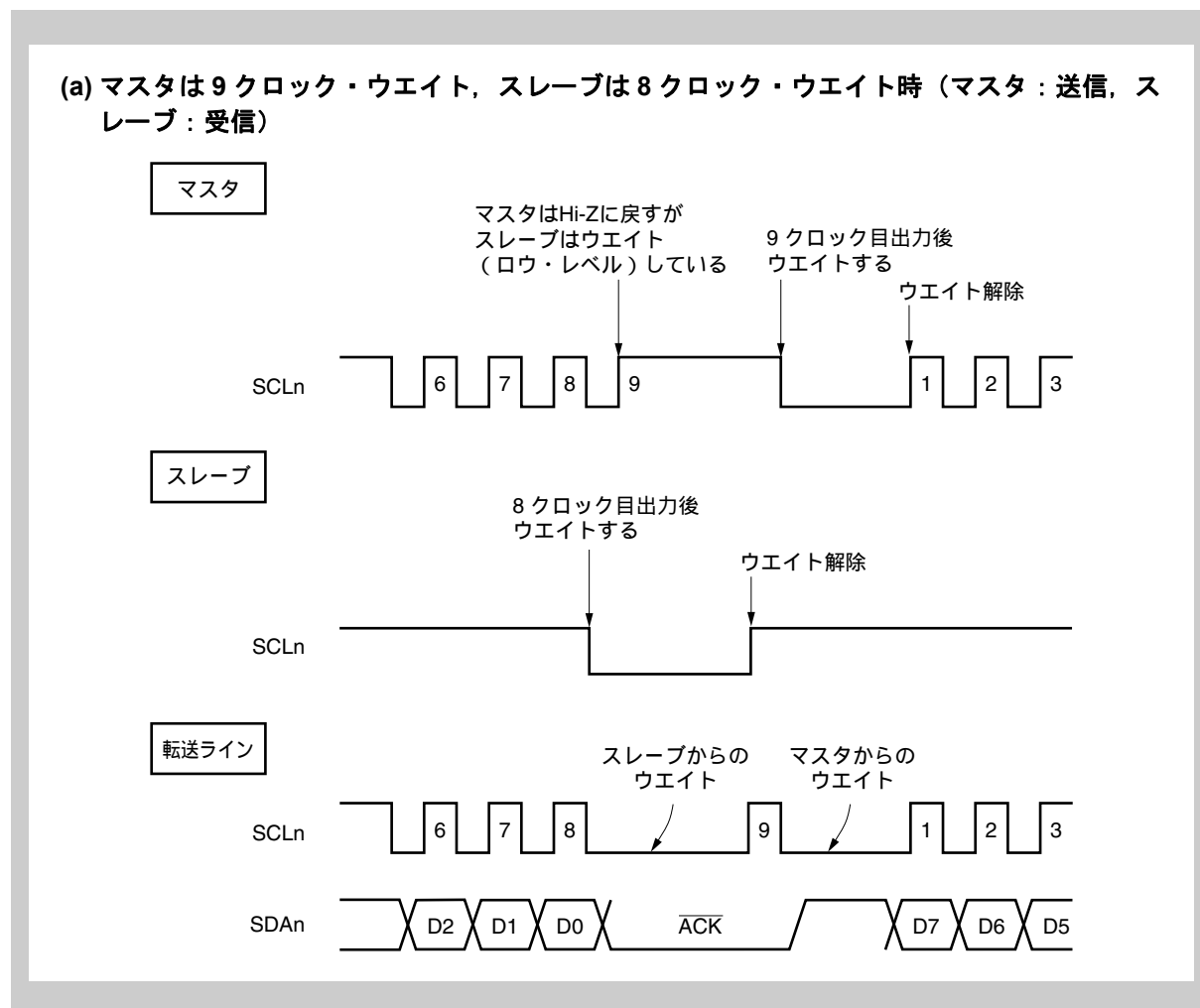


図 23-9 ウェイト (1/2)

(b) マスタ、スレーブとも9クロック・ウェイト時（マスタ：送信，スレーブ：受信）

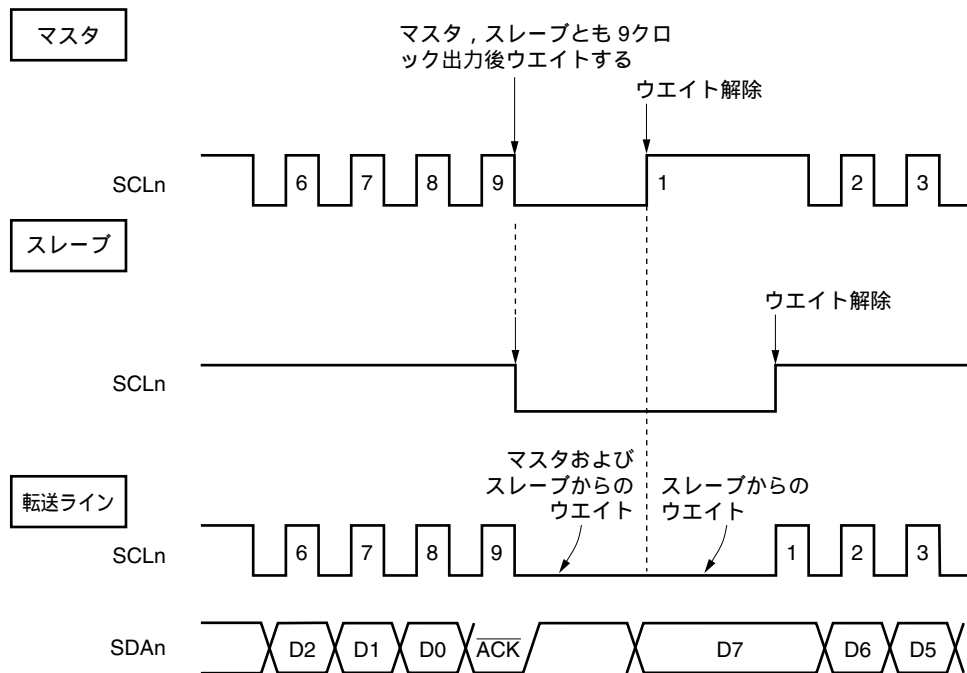


図 23-9 ウェイト (2/2)

23.4.9 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合、データが異なるまでクロックの調整をしながら、マスタ通信を行います。2つのマスタが同時にスタート・コンディションを生成し、アービトレーションが発生する例を次に示します。

ここで、SCLn ラインがロウ・レベルのとき、SDAn ラインにハイ・レベルを出力したマスタ（マスタ 1）と SDAn ラインにロウ・レベルを出力したマスタ（マスタ 2）が存在したとします。

この場合、SDAn ラインにロウ・レベルを出力したマスタの通信が優先され、SDAn ラインにハイ・レベルを出力したマスタには通信が許可されません。このような手順をアービトレーションと呼び、通信を許可されない状態をアービトレーション負けと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、SCLn、SDAn ラインともにハイ・インピーダンス状態にしてバスを解放します。

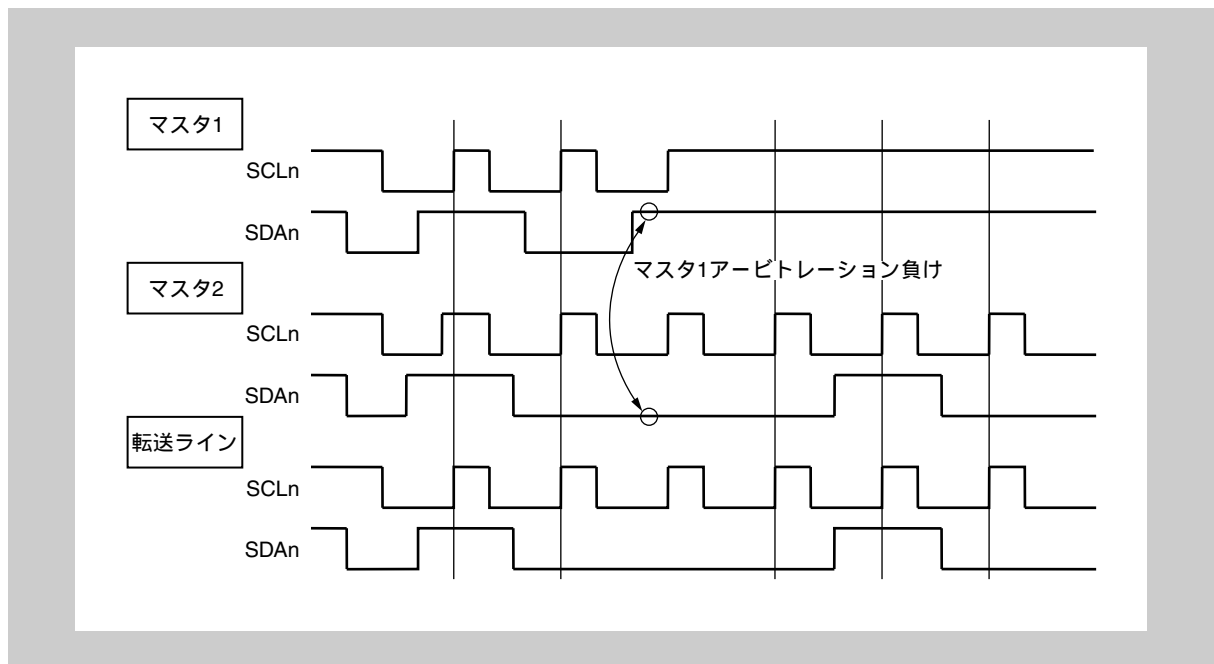


図 23-10 アービトレーション・タイミング例

23.5 レジスタ

注意 拡張コード受信時の動作は説明を省略しています。詳細は、23.6.5「拡張コード」を参照してください。

(1) IICBn データ・レジスタ (IICBnDAT)

IICBnDAT レジスタは、転送データを送受信するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <I²CBn_base_USER> + 0000H

初期値 00H

どのリセット要因でも初期化されます。また、IICBnCTL0.IICBnIICE ビット = 1 → 0, IICBnCTL0.IICBnIICE ビット = 0 → 1 によっても初期化されます。

- 注意**
1. シングル転送モードおよび連続転送モード時にマスタになる場合は、IICBnTRG.IICBnSTT ビット = 1 設定後、アドレスと通信方向を転送するため、IICBnDAT レジスタへ1回だけライトを許可します。
 2. シングル転送モード時にデータを転送する場合は、ウェイト期間を除く通信状態でのIICBnDAT レジスタへのライトは禁止します。
 3. 連続転送モード時にデータを転送する場合は、1度のIICBTIA_n 割り込み要求信号に対してIICBnDAT レジスタへ1回だけライトを許可します。
 4. 送信動作を行っているときにIICBnDAT レジスタをリードしないでください。
また同様に受信動作を行っているときにIICBnDAT レジスタへライトしないでください。

7	6	5	4	3	2	1	0
IICBn DAT7	IICBn DAT6	IICBn DAT5	IICBn DAT4	IICBn DAT3	IICBn DAT2	IICBn DAT1	IICBn DAT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
7-0	IICBn DAT[7-0]	<p>受信時には、受信データを保持します。 送信時には、送信データを書き込みます。</p> <p>IICBnDAT レジスタへのアクセス（リード、ライト）は、手順に従って行う必要があります。 設定手順については、23.9「設定手順」を参照してください。 IICBnDAT レジスタへのアクセスによりウェイト状態の解除を行います。</p> <p>○シングル転送モードの場合</p> <ul style="list-style-type: none"> • IICBnDAT レジスタへライトが行われたとき <p>○連続転送モードの場合</p> <ul style="list-style-type: none"> • IICBnDAT レジスタへライトが行われたとき • データ転送中のウェイト状態で NACK 受信によるウェイトでない場合に IICBnDAT レジスタへリードが行われたとき

(2) IICBn スレーブ・アドレス・レジスタ (IICBnSVA)

IICBnSVA レジスタは、IICBn バスのスレーブ・アドレスを格納するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <I²CBn_base_USER> + 0004H

初期値 00H どのリセット要因でも初期化されます。

注意 IICBnSVA レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

7	6	5	4	3	2	1	0
IICBn SVA7	IICBn SVA6	IICBn SVA5	IICBn SVA4	IICBn SVA3	IICBn SVA2	IICBn SVA1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット位置	ビット名	意味
7-1	IICBn SVA[7-1]	IICBn バスのスレーブ・アドレスを格納します。 受信したアドレスと IICBnSVA レジスタを比較することで、アドレス一致／アドレス不一致の判定を行います。 受信したアドレスが IICBnSVA レジスタと一致した場合は、IICBnSTR0.IICBnSSCO ビットがセット (1) されます。

(3) IICBn コントロール・レジスタ 0 (IICBnCTL0)

IICBnCTL0 レジスタは、IICBn の動作を制御するレジスタです。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base_USER> + 0008H

初期値 00H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
	IICBn IICE	0	0	IICBn MDTX1	IICBn MDTX0	IICBn SLSI	IICBn SLWT	IICBn SLAC
	R/W	R	R	R/W	R/W	R/W	R/W	R/W

(1/3)

ビット位置	ビット名	意味
7	IICBnIICE	<p>IICBn の動作許可/動作停止を指定します。</p> <p>0 : IICBn の動作停止 1 : IICBn の動作許可</p> <p>IICBnCTL0.IICBnIICE ビット = 1 → 0, または IICBnCTL0.IICBnIICE ビット = 0 → 1 の動作により次に示すレジスタの同期リセットを行います。</p> <ul style="list-style-type: none"> IICBnDAT, IICBnSTR0 レジスタ IICBnCTL0.IICBnIICE ビット = 0 のとき, SCLn, SDA_n 端子はハイ・インピーダンス状態になります。
4	IICBnMDTX1	<p>スレーブで拡張コード検出時の転送モードを指定します。</p> <p>0 : シングル転送モード 1 : 連続転送モード</p> <p>○シングル転送モード 転送ごとに IICBnCTL0.IICBnSLWT ビットの設定に従い, ウェイト状態となる転送です。</p> <p>○連続転送モード データ送受信割り込み要求信号 (IICBTIA_n) 発生ごとに IICBnDAT レジスタへリードまたはライトを行うことで, ウェイト状態とならずに連続して通信できる転送です。</p> <p>各モード時の動作については, 23.6 「動作」を参照ください。</p> <p>注意 IICBnCTL0.IICBnIICE ビット = 0 のときのみ書き換えを許可します。</p>
3	IICBnMDTX0	<p>マスタおよびスレーブでアドレス一致時の転送モードを指定します。</p> <p>0 : シングル転送モード 1 : 連続転送モード</p> <p>○シングル転送モード 転送ごとに IICBnCTL0.IICBnSLWT ビットの設定に従い, ウェイト状態となる転送です。</p> <p>○連続転送モード データ送受信割り込み要求信号 (IICBTIA_n) 発生ごとに IICBnDAT レジスタへリードまたはライトを行うことで, ウェイト状態とならずに連続して通信できる転送です。</p> <p>各モード時の動作については, 23.6 「動作」を参照ください。</p> <p>注意 IICBnCTL0.IICBnIICE ビット = 0 のときのみ書き換えを許可します。</p>

ビット位置	ビット名	意味
2	IICBnSLSI	<p>ストップ・コンディション検出時、ステータス割り込み要求信号 (IICBTISn) の発生許可/発生禁止を指定します。</p> <p>0 : ストップ・コンディション検出時の IICBTISn 信号発生禁止 1 : ストップ・コンディション検出時の IICBTISn 信号発生許可</p> <p>次に示す条件のいずれかで通信する場合は、IICBnCTL0.IICBnSLSI ビット = 1 に設定してください。</p> <ul style="list-style-type: none"> 通信予約機能許可状態でマスタとして通信を行うとき スレーブとして通信に参加するとき アービトラージ負けをする可能性があるとき (マルチマスタ環境でマスタとして動作させるとき)
1	IICBnSLWT	<p>ウェイトおよび割り込み要求発生タイミングを制御します。</p> <p>0 : シングル転送時の 8 クロック目の立ち下がりウェイト状態への遷移および割り込み要求発生 1 : シングル転送時の 9 クロック目の立ち下がりウェイト状態への遷移および割り込み要求発生</p> <p>IICBnCTL0.IICBnSLWT ビットは次に示すタイミングでのウェイトへの遷移および割り込み要求発生を制御するビットです。</p> <ul style="list-style-type: none"> データ転送中の 8 クロック目および 9 クロック目 <p>ウェイト状態への遷移条件については、23.6.4 「ウェイトとウェイト解除方法」を参照してください。</p> <p>なお、アドレス転送中は IICBnCTL0.IICBnSLWT ビットの設定によらず、ウェイトへの遷移および割り込み要求発生条件は次のようになります。</p> <p>○シングル転送モードの場合</p> <ul style="list-style-type: none"> マスタ時 : 9 クロック目の立ち下がり検出時にデータ送受信割り込み要求信号 (IICBTIAN) を発生し、ウェイト状態となります。 スレーブ時 : アドレス一致時は、9 クロック目の立ち下がり検出時に IICBTIAN 信号を発生しウェイト状態となります。 アドレス不一致時は、IICBTIAN 信号は発生せずウェイト状態にもなりません。 <p>○連続転送モードの場合</p> <p>連続転送モードの場合は、ウェイト・タイミングは IICBnCTL0.IICBnSLWT ビットの設定は影響しません。</p> <ul style="list-style-type: none"> 受信時 : 8 クロック目の立ち下がりウェイト状態 送信時 : 9 クロック目の立ち下がりウェイト状態 <p>注意 シングル転送モード時は、IICBnCTL0.IICBnIICE ビット = 0 時またはウェイト期間のみ書き換えを許可します。</p>

ビット位置	ビット名	意味
0	IICBnSLAC	<p>アクノリッジを制御します。</p> <p>0: アクノリッジ禁止 マスタ時: データ受信中のアクノリッジを生成しません (SDAn 端子はハイ・インピーダンス状態)。 スレーブ時: アドレスが一致したデータ転送中のアクノリッジを生成しません (SDAn 端子はハイ・インピーダンス状態)。</p> <p>1: アクノリッジ許可 マスタ時: データ受信中のアクノリッジを生成します (SDAn 端子をロウ・レベル)。 スレーブ時: アドレスが一致したデータ転送中のアクノリッジを生成します (SDAn 端子をロウ・レベル)。</p> <p>スレーブ時は、アドレス一致の場合、アドレス転送中のアクノリッジは IICBnCTL0.IICBnSLAC ビットの値に関係なく生成します (SDAn 端子をロウ・レベル)。 データを送信または通信不参加のときは、アクノリッジは常に生成しません (SDAn 端子はハイ・インピーダンス状態)。</p>

(4) IICBn コントロール・レジスタ 1 (IICBnCTL1)

IICBnCTL1 レジスタは、IICBn の動作を制御するレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base_OS> + 0020H

初期値 00H どのリセット要因でも初期化されます。

注意 IICBnCTL1 レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

7	6	5	4	3	2	1	0
IICBn MDSC	IICBn LGDF2	IICBn LGDF1	IICBn LGDF0	IICBn MDLB	0	IICBn SLSE	IICBn SLRS
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

(1/2)

ビット位置	ビット名	意味														
7	IICBnMDSC	IICBn の動作モードを指定します。 0 : 標準モード (SCL クロック周波数 : Max. 100 kHz) 1 : 高速モード (SCL クロック周波数 : Max. 400 kHz)														
6-4	IICBnLGDF [2-0]	デジタル・フィルタ・サンプリング周期を指定します。 デジタル・フィルタは、高速モード時のみ使用できます。 000 : デジタル・フィルタ未使用 IICBn 内部でデジタル・フィルタを通過しない SCLn および SDAn を使用します。 デジタル・フィルタ回路は動作を停止します。 上記以外 : デジタル・フィルタ使用 IICBn 内部でデジタル・フィルタを通過した SCLn および SDAn を使用します。 デジタル・フィルタを使用する場合、IICBnCTL1.IICBnLGDF[2:0] ビットの設定は次のようにしてください。 <table border="1" data-bbox="513 1368 1383 1666"> <thead> <tr> <th>IICBnCTL1.IICBnLGDF[2:0] ビット</th> <th>周波数</th> </tr> </thead> <tbody> <tr> <td>001</td> <td>最低周波数^a ≤ PCLK ≤ 20 MHz</td> </tr> <tr> <td>010</td> <td>20 MHz < PCLK ≤ 40 MHz</td> </tr> <tr> <td>011</td> <td>40 MHz < PCLK ≤ 60 MHz</td> </tr> <tr> <td>100</td> <td>60 MHz < PCLK ≤ 80 MHz</td> </tr> <tr> <td>101</td> <td>80 MHz < PCLK ≤ 100 MHz</td> </tr> <tr> <td>110, 111</td> <td>設定禁止</td> </tr> </tbody> </table>	IICBnCTL1.IICBnLGDF[2:0] ビット	周波数	001	最低周波数 ^a ≤ PCLK ≤ 20 MHz	010	20 MHz < PCLK ≤ 40 MHz	011	40 MHz < PCLK ≤ 60 MHz	100	60 MHz < PCLK ≤ 80 MHz	101	80 MHz < PCLK ≤ 100 MHz	110, 111	設定禁止
IICBnCTL1.IICBnLGDF[2:0] ビット	周波数															
001	最低周波数 ^a ≤ PCLK ≤ 20 MHz															
010	20 MHz < PCLK ≤ 40 MHz															
011	40 MHz < PCLK ≤ 60 MHz															
100	60 MHz < PCLK ≤ 80 MHz															
101	80 MHz < PCLK ≤ 100 MHz															
110, 111	設定禁止															
a) 設定別の最低周波数一覧を次に示します																
<table border="1" data-bbox="513 1711 1383 1897"> <thead> <tr> <th>動作モード (IICBnCTL1.IICBnMDSC ビット)</th> <th>フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)</th> <th>フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)</th> </tr> </thead> <tbody> <tr> <td>標準モード (0)</td> <td>1.0 MHz</td> <td>使用禁止</td> </tr> <tr> <td>高速モード (1)</td> <td>3.5 MHz</td> <td>4.0 MHz</td> </tr> </tbody> </table>			動作モード (IICBnCTL1.IICBnMDSC ビット)	フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)	フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)	標準モード (0)	1.0 MHz	使用禁止	高速モード (1)	3.5 MHz	4.0 MHz					
動作モード (IICBnCTL1.IICBnMDSC ビット)	フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)	フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)														
標準モード (0)	1.0 MHz	使用禁止														
高速モード (1)	3.5 MHz	4.0 MHz														

ビット位置	ビット名	意味
3	IICBnMDLB	<p>ループ・バック・モードを指定します。 0：ループ・バックしない 1：ループ・バックする</p> <p>IICBnCTL1.IICBnMDLB ビットをセット (1) することで、出力信号のシリアル・クロック信号 (SCLn) およびシリアル送受信データ信号 (SDAn) を折り返し、入力信号のシリアル・クロック信号 (SCLn) およびシリアル送受信データ信号 (SDAn) として使用します。 折り返すシリアル・クロック信号およびシリアル送受信データ信号は出力直前のシリアル・クロック信号およびシリアル送受信データ信号を使用します。 また、IICBnCTL1.IICBnMDLB ビット = 1 のときは、SCLn, SDAn はすべてハイ・レベルとなります。</p>
1	IICBnSLSE	<p>通信初期状態でのスタート・コンディション発行の許可/禁止を指定します。 0：通信初期状態でのスタート・コンディション発行を禁止 1：通信初期状態でのスタート・コンディション発行を許可</p> <p>IICBnCTL1.IICBnSLSE ビットをセット (1) することで、通信初期状態 (IICBnCTL0.IICBnIICE ビット = 1 設定後からストップ・コンディション検出まで) で IICBnTRG.IICBnSTT ビット = 1 の設定によりスタート・コンディションを発行できます。 IICBnCTL1.IICBnSLSE ビットはスタート・コンディションを検出した場合には自動的に (0 ライト動作を行わなくても) クリア (0) します。</p> <p>注意 他の通信に遅れて通信に参加する場合には、IICBnCTL1.IICBnSLSE ビットは“0”を設定してください。 他の通信が行われているときに、IICBnCTL1.IICBnSLSE ビットをセット (1) としてから IICBnTRG.IICBnSTT ビット = 1 の設定を行った場合、他の通信を破壊することがあります。</p>
0	IICBnSLRS	<p>通信予約機能の許可/禁止を指定します。 0：通信予約機能許可 1：通信予約機能禁止</p> <p>通信予約機能許可状態： IICBnCTL1.IICBnSLRS ビットがクリア (0) で、IICBn がマスタとして動作していない場合、バスが使用中に IICBnTRG.IICBnSTT ビット = 1 の設定をしたときは通信予約状態となります。 IICBnSTR0.IICBnSSRS ビットを確認することで、通信予約状態であるか判断ができます。</p> <p>通信予約機能禁止状態： IICBn がマスタとして通信に参加していない場合、バス使用中に IICBnTRG.IICBnSTT ビット = 1 を設定すると、IICBnSTR0.IICBnSTCF ビット = 1 となり、通信予約されません。</p>

(5) IICBn ロウ・レベル幅設定レジスタ (IICBnWL)

IICBnWL レジスタは、シリアル・クロック信号 (SCLn) のロウ・レベル幅を設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base_OS> + 0024H

初期値 03FFH どのリセット要因でも初期化されます。

注意 IICBnWL レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	IICBnWL9	IICBnWL8
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
IICBnWL7	IICBnWL6	IICBnWL5	IICBnWL4	IICBnWL3	IICBnWL2	IICBnWL1	IICBnWL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
9-0	IICBnWL [9-0]	I ² Cバス規格の t_{LOW} (SCLnクロックのロウ・レベル幅) 区間を指定します。IICBnWL レジスタの値を使用して、その他のI ² Cバス規格のシリアル出力タイミングを決定します。シリアル出力タイミング生成条件については、表 23-6 「シリアル出力タイミング生成条件」を参照してください。

(6) IICBn ハイ・レベル幅設定レジスタ (IICBnWH)

IICBnWH レジスタは、シリアル・クロック信号 (SCLn) のハイ・レベル幅を設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base_OS> + 0028H

初期値 03FFH どのリセット要因でも初期化されます。

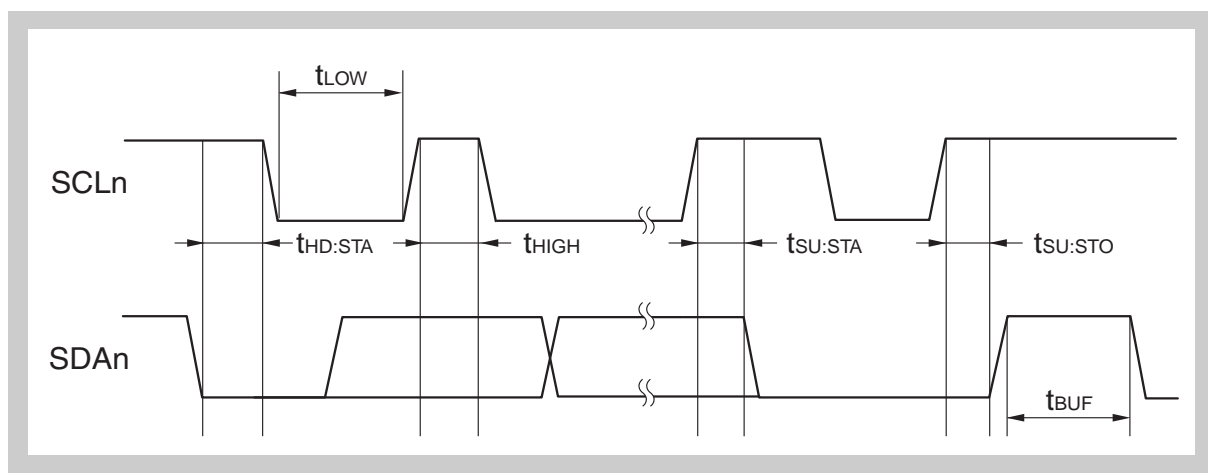
注意 IICBnWH レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	IICBnWH9	IICBnWH8
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
IICBnWH7	IICBnWH6	IICBnWH5	IICBnWH4	IICBnWH3	IICBnWH2	IICBnWH1	IICBnWH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意味
9-0	IICBnWH [9-0]	I ² Cバス規格の t _{HIGH} (SCLnクロックのハイ・レベル幅) 区間を指定します。IICBnWH レジスタの値を使用して、その他の I ² Cバス規格のシリアル出力タイミングを決定します。シリアル出力タイミング生成条件については、表 23-6 「シリアル出力タイミング生成条件」を参照してください。

表 23-6 シリアル出カタイミング生成条件

略号	内容	標準モード	高速モード
$t_{HD:STA}$	スタート・コンディション・ホールド時間	$\frac{IICB0WH}{PCLK}$	$\frac{IICB0WH}{PCLK}$
t_{LOW}	SCL ロウ・レベル幅期間	$\frac{IICB0WL}{PCLK}$	$\frac{IICB0WL}{PCLK}$
t_{HIGH}	SCL ハイ・レベル幅期間	$\frac{IICB0WH}{PCLK}$	$\frac{IICB0WH}{PCLK}$
$t_{SU:STA}$	スタート・コンディション・セットアップ時間	$\frac{IICB0WL}{PCLK}$	$\frac{IICB0WL}{PCLK}$
$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	$\frac{IICB0WH}{PCLK}$	$\frac{IICB0WH}{PCLK}$
t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	$\frac{IICB0WL}{PCLK}$	$\frac{IICB0WL}{PCLK}$
$t_{HD:DAT}$	データ・ホールド時間	$\frac{IICB0WL[9:2]}{PCLK}$	$\frac{IICB0WL[9:2]}{PCLK}$



(a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法

IICBnWL レジスタおよび IICBnWH レジスタの値より I²C バス規格における各種タイミングの生成を行います。

● マスタ側の転送クロック設定方法 -

$$\text{転送クロック (Hz)} = \frac{\text{PCLK}}{(\text{IICBnWL} + \text{IICBnWH}) + \text{PCLK} (t_R + t_F)}$$

このとき、最適な IICBnWL と IICBnWH の設定値は次のようになります。
(設定値はすべて小数点以下切り上げ)

• 高速モード時

$$\text{IICBnWL} = \frac{0.52}{\text{転送クロック}} \times \text{PCLK}$$

$$\text{IICBnWH} = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times \text{PCLK}$$

• 標準モード時

$$\text{IICBnWL} = \frac{0.47}{\text{転送クロック}} \times \text{PCLK}$$

$$\text{IICBnWH} = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times \text{PCLK}$$

注意 データ・ホールド時間は、高速モードで 0.9 [μs]、標準モードで 3.45 [μs] を越えないようにしてください。

備考 IICWL の設定により、データ・ホールド時間は、次のようになります。

$$\text{データ・ホールド時間} = \text{IICBnWL}[9:2] / \text{PCLK}$$

●スレーブ側の IICBnWL, IICBnWH 設定方法
(設定値はすべて小数点以下切り上げ)

• 高速モード時

$$\text{IICBnWL} = 1.3\mu\text{s} \times \text{PCLK}$$

$$\text{IICBnWH} = (1.2\mu\text{s} - t_R - t_F) \times \text{PCLK}$$

• 標準モード時

$$\text{IICBnWL} = 4.7\mu\text{s} \times \text{PCLK}$$

$$\text{IICBnWH} = (5.3\mu\text{s} - t_R - t_F) \times \text{PCLK}$$

備考	IICBnWL	: IICBn ロウ・レベル幅設定レジスタ
	IICBnWH	: IICBn ハイ・レベル幅設定レジスタ
	t_F	: SDA _n , SCL _n 信号の立ち下がり時間
	t_R	: SDA _n , SCL _n 信号の立ち上がり時間
	PCLK	: IICBn への供給クロック周波数
	f_{CLK}	: SCL クロック周波数

(7) IICBn トリガ・レジスタ (IICBnTRG)

IICBnTRG レジスタは、IICBn のトリガを設定するレジスタです。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base_USER> + 000CH

初期値 00H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	IICBn LRET	IICBn WRET	IICBn STT	IICBn SPT
R	R	R	R	R/W	R/W	R/W	R/W

(1/4)

ビット位置	ビット名	意味
3	IICBnLRET	<p>通信退避トリガ・ビット</p> <p>0: 読み出し値は常に0になり、0の書き込みは無視されます。</p> <p>1: 現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。</p> <p>IICBnTRG.IICBnLRET ビット = 1 時には、次のことを行います。</p> <ul style="list-style-type: none"> • SCLn, SDAn をそれぞれハイ・インピーダンス状態（通信待機状態）にする。 • IICBnSTR0 レジスタの IICBnSSMS, IICBnSSDR, IICBnSSWT, IICBnSSEX, IICBnSSC0, IICBnSSTR, IICBnSSAC, IICBnSSRS, IICBnSSST ビットがクリアされる。 • IICBnTRG.IICBnSTT ビット = 1（スタート・コンディション発行準備）または IICBnTRG.IICBnSPT ビット = 1（ストップ・コンディション発行準備）を設定していた場合、スタート・コンディションおよびストップ・コンディションの生成を中止する <p>通信予約状態で通信退避を行ったときは通信予約状態を解除するため、マスタとしたい場合には再度 IICBnTRG.IICBnSTT ビット = 1 に設定する必要があります。</p> <p>注意 マスタ動作（IICBnSTR0.IICBnSSMS ビット = 1）時に IICBnTRG.IICBnLRET ビット = 1 を設定した場合、バスを解放します。シリアル・クロックを出力しなくなるため、スレーブ側の通信で不整合を起こします。</p>
2	IICBnWRET	<p>ウェイト状態を解除するためのトリガ・ビット</p> <p>0: ウェイトを解除しない</p> <p>1: ウェイト解除し、通信を再開する。実行後、自動的にクリアされる。</p> <p>9クロック目のウェイト期間中で IICBnTRG.IICBnWRET ビット = 1 の設定によりウェイト解除した場合は、IICBnSTR0.IICBnSSTR ビット = 0 に設定し、SDAn = ハイ・インピーダンスとします（これにより外部マスタがストップ・コンディション、またはスタート・コンディションを発行できる状態になります）。ウェイト状態でない場合（IICBnSTR0.IICBnSSWT ビット = 0）のセット（1）は意味を持ちません。</p> <p>また、IICBnTRG.IICBnWRET ビット = 1 以外にもウェイト解除条件があります。詳細については 23.6.4 「ウェイトとウェイト解除方法」を参照してください。</p>

ビット位置	ビット名	意味
1	IICBnSTT	<p>スタート・コンディション・トリガ・ビット 0: スタート・コンディションを生成しない 1: スタート・コンディションを生成する (セット (1) 後、自動的にクリアされます)</p> <p>次の条件のとき IICBnTRG.IICBnSTT ビットをセット (1) できます。</p> <p>① マスタ状態 (IICBnSTR0.IICBnSSMS ビット = 1) ○ シングル転送モード</p> <ul style="list-style-type: none"> 9クロック目のウエイト期間 (アドレス転送およびデータ転送とも)。 データ受信時は IICBnCTL0.IICBnSLAC ビット = 0 に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能。 <p>○ 連続転送モード</p> <ul style="list-style-type: none"> アドレス転送の9クロック目のウエイト期間中。 データ送信中 データ受信時は IICBnCTL0.IICBnSLAC ビット = 0 に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能。 <p>9クロック目のウエイト期間中の場合はウエイトを解除後、それ以外の場合は9クロック目の立ち下がりを検出したときに、SCLn ロウ・レベル幅期間を確保後 SDA_n および SCLn をハイ・レベルとし、スタート・コンディション・セットアップ時間を待ってから SDA_n = ロウ・レベルにするとスタート・コンディションを生成します。 その後、スタート・コンディション・ホールド時間を確保し、SCLn = ロウ・レベルとします。 それぞれの時間については、表 23-6 「シリアル出力タイミング生成条件」を参照してください。</p> <p>② スレーブ状態または通信待機状態 (IICBnSTR0.IICBnSSMS ビット = 0)</p> <ul style="list-style-type: none"> IICBnSTR0.IICBnSSBS ビット = 0 (バス解放状態) バス・フリー時間経過後、SCLn = ハイ・レベルの状態では、SDA_n をハイ・レベルからロウ・レベルに変化させることでスタート・コンディションを生成します (このとき SCLn はハイ・レベルを出力しています)。 その後、スタート・コンディション・ホールド時間を確保し、SCLn = ロウ・レベルとします。 それぞれの時間については、表 23-6 「シリアル出力タイミング生成条件」を参照してください。 IICBnSTR0.IICBnSSBS ビット = 1 (バス通信状態) この状態は、IICBn がマスタではなく、バス上で通信が行われている場合を指します。 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時: バスが解放状態 (ストップ・コンディションを検出) となったあと、バス・フリー時間確保後、スタート・コンディションを生成します。 ただし、バス・フリー時間経過していない場合でも、スタート・コンディションを検出した場合は、バス・フリー時間を待たずただちに SDA_n をロウ・レベルとします。 それぞれの時間については、表 23-6 「シリアル出力タイミング生成条件」を参照してください。 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時: IICBnSTR0.IICBnSTCF ビットがセット (1) され、スタート・コンディションは生成しません。 <p>注意 ②は IICBnSTR0.IICBnSTT ビット = 0 設定時の IICBnSTR0.IICBnSSBS ビット値での動作です。 レジスタ・リードにより IICBnSTR0.IICBnSSBS ビット値を確認後に IICBnSTR0.IICBnSTT ビット = 1 に設定しても、IICBnSTR0.IICBnSSBS ビット値は確認したときの値とは異なる場合があります。</p>

ビット位置	ビット名	意味
1	IICBnSTT	<p>IICBnTRG.IICBnSTT ビット = 1 に設定することにより、スタート・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、スタート・コンディションの生成処理を中止し、スタート・コンディションの生成はしません。</p> <ul style="list-style-type: none"> • IICBnCTL0.IICBnIICE ビット = 0 ライト • IICBnTRG.IICBnLRET ビット = 1 ライト • アービトレーション負け検出 • 連続転送モードでマスタとして動作中の IICBnTRG.IICBnSTT ビット = 1 ライト後の IICBnTRG.IICBnSPT ビット = 1 ライト • 連続転送モードでマスタとして動作中の IICBnTRG.IICBnSTT ビット = 1 ライトと IICBnTRG.IICBnSPT ビット = 1 ライトが同一データ転送期間に行われた場合 (この場合、IICBnTRG.IICBnSTT ビット = 1 ライトが有効になります) <p>注意 1. 通信初期状態でのスタート許可 (IICBnCTL1.IICBnSLSE ビット = 1) 時、IICBnTRG.IICBnSTT ビットをセット (1) した場合は、バス状態に関係なくスタート・コンディションの生成を行います。このとき他の通信が行われていた場合は、その通信を破壊することがあります。</p> <p>2. IICBnTRG.IICBnSPT ビットとの同時セットは禁止です。</p>
0	IICBnSPT	<p>ストップ・コンディション・トリガ</p> <p>0 : ストップ・コンディションを生成しない 1 : ストップ・コンディションを生成する (セット (1) 後、自動的にクリア)</p> <p>IICBnTRG.IICBnSPT ビットはマスタとして通信中の次の条件のときにセット (1) できます。</p> <p>○シングル転送モード</p> <ul style="list-style-type: none"> • 9クロック目のウエイト期間 (アドレス転送およびデータ転送とも)。 • データ受信時は IICBnCTL0.IICBnSLAC ビット = 0 に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能。 <p>○連続転送モード</p> <p>次に示す状態のとき IICBnTRG.IICBnSPT ビットのセット (1) を許可します。</p> <ul style="list-style-type: none"> • アドレス転送の 9クロック目のウエイト期間中 • データ送信中 • データ受信の 9クロック目のウエイト期間中で、NACK (IICBnSTR0.IICBnSSAC ビット = 0) を受信した状態 <p>ストップ・コンディションは次の手順で生成できます。 (ウエイト状態の場合は、ウエイトを解除後、) SDA_n = ロウ・レベルを出力した状態で SCL_n を解放し、SCL_n = ハイ・レベル、SDA_n = ロウ・レベルとなるのを待ちます。その後、$t_{SU:STO}$ 時間が経過後 SDA_n = ハイ・レベルとすることで生成されます。</p>

ビット位置	ビット名	意味
0	IICBnSPT	<p>IICBnTRG.IICBnSPT ビット = 1 に設定することにより、ストップ・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、ストップ・コンディションの生成処理を中止し、ストップ・コンディションの生成はしません。</p> <ul style="list-style-type: none"> • IICBnCTL0.IICBnIICE ビット = 0 ライト • IICBnTRG.IICBnLRET ビット = 1 ライト • ストップ・コンディション検出 • アービトレーション負け検出 • 連続転送モードでマスタとして動作中の IICBnTRG.IICBnSPT ビット = 1 後の IICBnTRG.IICBnSTT ビット = 1 ライト <p>注意 1. IICBnTRG.IICBnSPT ビットはスレーブ時 (IICBnSTR0.IICBnSSMS ビット = 0) のセット (1) を禁止します。 2. IICBnTRG.IICBnSTT ビットとの同時セットは禁止です。</p>

(8) IICBn ステータス・レジスタ 0 (IICBnSTR0)

IICBnSTR0 レジスタは、IICBn の状態およびバスの状態を示すレジスタです。

アクセス 16 ビット単位でリードのみ可能です。ただし、IICBnCTL0.IICBnIICE ビット = 0 時はライト動作も可能です。

アドレス <I²CBn_base_USER> + 0010H

初期値 0000H

どのリセット要因でも初期化されます。また、IICBnCTL0.IICBnIICE ビット = 1 → 0, IICBnCTL0.IICBnIICE ビット = 0 → 1 によっても初期化されます。

15	14	13	12	11	10	9	8
IICBn SSMS	0	IICBn SSDR	IICBn SSWT	IICBn SSEX	IICBn SSCO	IICBn SSTR	IICBn SSAC
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
IICBn SSRS	IICBn SSBS	IICBn SSST	IICBn SSSP	0	0	IICBn STCF	IICBn ALDF
R	R	R	R	R	R	R	R

(1/6)

ビット位置	ビット名	意味
15	IICBnSSMS	<p>マスタ状態確認フラグ 1: マスタとして動作中</p> <p>セット条件: IICBnTRG.IICBnSTT ビット = 1 ライト後、スタート・コンディションを検出時。 クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • アービトレーション負け検出時。 セット条件とクリア条件が重なった場合は、クリア条件を優先します。</p>
13	IICBnSSDR	<p>IICBnDAT レジスタ・ステータス・フラグ 1: IICBnDAT レジスタに未処理のデータが残っている 受信動作時: 受信したデータが未読み出しのまま IICBnDAT レジスタに残っている。 送信動作時: IICBnDAT レジスタに書き込んだデータがシフト・レジスタへ転送されていない。</p> <p>セット条件:</p> <ul style="list-style-type: none"> アドレス転送中およびデータ転送中で IICBnSTR0.IICBnSSWT ビット = 0 の場合の IICBnDAT レジスタ・ライト時 (マスタ時、IICBnDAT レジスタにアドレスをデータ・ライトする際は、直接、シフト・レジスタへ転送されるため、IICBnSTR0.IICBnSSWT ビット = 0 の場合でもセット (1) されません)。 スレーブでアドレス一致した 9 クロック目の立ち下がり時。 IICBnCTL0.IICBnSLWT ビット = 0 かつシングルモード受信時は、データ受信中の 8 クロック目の立ち下がり時。

ビット位置	ビット名	意味
13	IICBnSSDR	<ul style="list-style-type: none"> 連続転送モード（受信）の場合は、IICBnCTL0.IICBnSLWT ビットの値にかかわらず、8クロック目の立ち下がり時。 IICBnCTL0.IICBnSLWT ビット = 1 時は、データ受信中の9クロック目の立ち下がり時。 <p>クリア条件：</p> <p>○セット条件よりも優先されるクリア条件</p> <ul style="list-style-type: none"> IICBnTRG.IICBnLRET ビット = 1 ライト時。 アービトレーション負け検出時。 マスタでアドレス転送中の9クロック目の立ち下がり時。 IICBnCTL0.IICBnSLWT ビット = 0 かつ連続送信時は、データ送信中の8クロック目の立ち下がり時。 IICBnCTL0.IICBnSLWT ビット = 1 かつ連続送信時は、データ送信中の9クロック目の立ち下がり時。 <p>○セット条件が優先されるクリア条件（連続転送モード（送信）時）</p> <ul style="list-style-type: none"> シフト・レジスタに IICBnDAT レジスタへの未格納受信データがない場合の IICBnDAT レジスタ・リード時。
12	IICBnSSWT	<p>ウェイト状態フラグ 1：ウェイト状態</p> <p>セット条件：</p> <p>■シングル転送モードの場合</p> <p><マスタ/スレーブ共通></p> <ul style="list-style-type: none"> データ転送中、IICBnCTL0.IICBnSLWT ビット = 0 で8クロック目の立ち下がり検出時。 データ転送中、IICBnCTL0.IICBnSLWT ビット = 1 で9クロック目の立ち下がり検出時。 <p><マスタ></p> <ul style="list-style-type: none"> IICBnTRG.IICBnSTT ビット = 1 ライト後にマスタ (IICBnSTR0.IICBnSSMS ビット = 1) となり、IICBnDAT レジスタへライト・アクセスが行われず、最初の SCLn の立ち下がり検出時。 アドレス転送中の9クロック目の立ち下がり検出時。 <p><スレーブ></p> <ul style="list-style-type: none"> アドレス一致したアドレス転送中の9クロック目の立ち下がり検出時。 <p>■連続転送モードの場合</p> <p><データ転送期間中、マスタ/スレーブ共通></p> <ul style="list-style-type: none"> データ送信中、次に送信するデータがライトされていないとき。 <ul style="list-style-type: none"> IICBnCTL0.IICBnSLWT ビット = 0 時は、データ送信中の8クロック目の立ち下がり、IICBnSTR0.IICBnSSDR ビット = 0 のとき。 IICBnCTL0.IICBnSLWT ビット = 1 時は、データ送信中の9クロック目の立ち下がり、IICBnSTR0.IICBnSSDR ビット = 0 のとき。 データ受信時、前の受信データがリードされていないとき。 <ul style="list-style-type: none"> IICBnCTL0.IICBnSLWT ビット = 0 時は、データ受信中の8クロック目の立ち下がり、IICBnCTL0.IICBnSSDR ビット = 1 のとき。 IICBnCTL0.IICBnSLWT ビット = 1 時は、データ受信中の9クロック目の立ち下がり、IICBnSTR0.IICBnSSDR ビット = 1 のとき。 NACK 検出時 (ただし、マスタ動作中に IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1 ライト がなかった場合)。

ビット位置	ビット名	意味
12	IICBnSSWT	<p><アドレス転送期間中, マスタ></p> <ul style="list-style-type: none"> • IICBnTRG.IICBnSTT ビット = 1 ライト後にマスタ (IICBnSTR0.IICBnSSMS ビット = 1) となり, IICBnDAT レジスタへライト・アクセスが行われず, SCLn の最初の立ち下がり検出時。 • NACK 検出時。 (ただし, IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1 ライトがなかった場合) <p><アドレス転送期間中, スレーブ></p> <ul style="list-style-type: none"> • アドレス一致したアドレス転送中で IICBnSTR0.IICBnSSTR ビット = 0 の 9 クロック目の立ち下がり検出時。 • NACK 検出時。 <p>クリア条件:</p> <p>○セット条件より優先されるクリア条件</p> <ul style="list-style-type: none"> • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • マスタ動作中で連続転送モードの場合の IICBnTRG.IICBnSTT ビット = 1 ライト時。 • マスタ動作中で連続転送モードの場合の IICBnTRG.IICBnSPT ビット = 1 ライト時。 • 連続転送モードで送信の場合の IICBnDAT レジスタ・ライト時。 • 8 クロック目のウェイト時, 連続転送モードで受信の場合の IICBnDAT レジスタ・リード時。 • 9 クロック目のウェイト時, 連続転送モードで受信およびアックノリッジ (ACK) を受信している場合の IICBnDAT レジスタ・リード時。 <p>○セット条件が優先されるクリア条件</p> <ul style="list-style-type: none"> • IICBnTRG.IICBnWRET ビット = 1 ライト時。 • マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSTT ビット = 1 ライト時。 • マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSPT ビット = 1 ライト時。 • シングル転送モードで受信の場合の IICBnDAT レジスタ・ライト時。 <p>注意 9 クロック目のウェイト期間中に IICBnTRG.IICBnWRET ビット = 1 ライトによるウェイト解除を行った場合は, IICBnSTR0.IICBnSSTR ビットをクリア (0) し, バスを解放 (SCLn, SDA_n をそれぞれハイ・インピーダンス状態にする) します。</p>

ビット位置	ビット名	意味
11	IICBnSSEX	<p>拡張コード受信検出フラグ 1: 拡張コードを受信している</p> <p>セット条件: 受信したアドレス・データの上位4ビットが“0000”または“1111”の場合のアドレス転送中の8クロック目の立ち下がり検出時。</p> <p>クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • スタート・コンディション検出時。</p> <p>注意 拡張コードが一致している場合の割り込み後の処理は、拡張コードに続くデータにより異なるため、ソフトウェア処理に依存します。</p>
10	IICBnSSCO	<p>アドレス一致検出フラグ 1: IICBnSVA レジスタと一致したアドレスを検出</p> <p>セット条件: 受信アドレスが IICBnSVA レジスタと一致したアドレス転送中の8クロック目の立ち下がり検出時。</p> <p>クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • スタート・コンディション検出時。</p>
9	IICBnSSTR	<p>送信状態検出フラグ 1: シリアル・データ・バスヘデータを送信中</p> <p>セット条件: <マスタ> • IICBnTRG.IICBnSTT ビット = 1 ライト後、スタート・コンディションを検出時。 <スレーブ> • アドレス一致したアドレス転送の $\overline{R/W}$ ビットに1を受信後の8クロック目の立ち下がり検出時。</p> <p>クリア条件: <マスタ/スレーブ共通> • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • 9クロック目のウエイト期間中で IICBnTRG.IICBnWRET ビット = 1 ライト時</p> <p><マスタ> • アドレス転送中の $\overline{R/W}$ ビットに1を受信後の8クロック目の立ち下がり検出時。 • アービトレーション負けを検出時。</p> <p><スレーブ> • スタート (リスタート)・コンディション検出時。</p>

ビット位置	ビット名	意味
8	IICBnSSAC	<p>アクノリッジ (ACK) 検出フラグ 1: アクノリッジを検出している</p> <p>セット条件: 通信に参加中で、ACK ビットにロウ・レベルを受信したときの SCL の立ち下がり検出時。</p> <p>クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • SCLn の立ち上がり検出時。</p> <p>注意 IICBnSTR0.IICBnSSAC ビットは割り込み発生の有無に関係なく値は変化します。</p>
7	IICBnSSRS	<p>通信予約状態フラグ 0: 通信予約状態でない 1: 通信予約状態である</p> <p>セット条件: 通信予約機能許可状態 (IICBnCTL1.IICBnSLRS ビット = 0) で、マスタとして動作していないバス通信中に IICBnTRG.IICBnSTT ビット = 1 ライト時。</p> <p>クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • IICBnSTR0.IICBnSSMS ビット = 1 時。</p>
6	IICBnSSBS	<p>IICBn バス状態フラグ 0: バス解放状態, または IICBnCTL1.IICBnSLSE ビット = 1 時の通信初期状態 1: バス通信状態, または IICBnCTL1.IICBnSLSE ビット = 0 時の通信初期状態</p> <p>セット条件: • スタート・コンディション検出時。 • IICBnCTL1.IICBnSLSE ビット = 0 で IICBnCTL0.IICBnIICE ビット = 1 ライト時。</p> <p>クリア条件: ストップ・コンディション検出時。</p> <p>備考 IICBnSTR0.IICBnSSBS ビットは、通信への参加、不参加に関係なく動作します。</p>
5	IICBnSSST	<p>スタート・コンディション検出フラグ 1: スタート・コンディションを検出している</p> <p>セット条件: スタート・コンディション検出時。</p> <p>クリア条件: • IICBnTRG. IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • アドレス転送終了後の SCLn の立ち上がり検出時。</p> <p>備考 IICBnSTR0.IICBnSSST ビットは、通信への参加、不参加に関係なく動作します。</p>
4	IICBnSSSP	<p>ストップ・コンディション検出フラグ 1: ストップ・コンディションを検出している</p> <p>セット条件: ストップ・コンディション検出時。</p> <p>クリア条件: スタート・コンディション検出後の最初の SCLn の立ち下がり検出時。</p> <p>備考 IICBnSTR0.IICBnSSSP ビットは、通信への参加、不参加に関係なく動作します。</p>

ビット位置	ビット名	意味
1	IICBnSTCF	<p>IICBnTRG.IICBnSTT ビット・クリア・フラグ 1: スタート・コンディション発行できず IICBnTRG.IICBnSTT ビット・クリア</p> <p>セット条件: 通信予約機能禁止状態 (IICBnCTL1.IICBnSLRS ビット = 1) で、マスタとして動作していないバス通信中に IICBnTRG.IICBnSTT ビット = 1 ライト時。</p> <p>注意 外部バス状態ではバスが解放されていても、IICBn がバス解放と認識していない状態 (IICBnSTR0.IICBnSSBS ビット = 1) では、通信予約機能禁止であれば IICBnTRG.IICBnSTT ビット = 1 ライト時に、IICBnSTR0.IICBnSTCF ビットがセット (1) されます。</p> <p>クリア条件: IICBnSTRC.IICBnCLSF ビット = 1 ライト時</p>
0	IICBnALDF	<p>アービトレーション負け検出フラグ 1: アービトレーションに負けた状態</p> <p>セット条件: アービトレーション負け検出時。 クリア条件: IICBnSTRC.IICBnCLAF ビット = 1 ライト時</p> <p>セット条件とクリア条件を同時に検出した場合は、セット条件を優先します。アービトレーション負けを検出した場合は、IICBnSTR0.IICBnSSMS ビットおよび IICBnSTR0.IICBnSSTR ビットをクリア (0) します (SCLn および SDA_n をハイ・インピーダンス状態とし、バスを解放します)。</p> <p>注意 アービトレーション負けにより、IICBnSTR0.IICBnALDF ビットがセット (1) された場合、IICBTIA_n 割り込み要求信号または IICBTIS_n 割り込み要求信号が発生します。 割り込み要求信号で IICBnSTR0.IICBnALDF ビット = 1 を確認したときは、IICBnSTRC.IICBnCLAF ビットで IICBnSTR0.IICBnALDF ビットのクリアを行ってください。IICBnSTR0.IICBnALDF ビットのクリアが行われず、IICBnSTR0.IICBnALDF ビットに 1 が残っている場合は、関係のない通信中でも割り込みタイミングとなったときは、IICBTIS_n 割り込み要求信号が発生します。</p>

(9) IICBn ステータス・レジスタ 1 (IICBnSTR1)

IICBnSTR1 レジスタは、シリアル・バスの状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <I²CBn_base_USER> + 0014H

初期値 00H どのリセット要因でも初期化されます。

注意 ループ・バック・モード (IICBnCTL1.IICBnMDLB ビット = 1) の場合も外部からのシリアル・クロック信号 (SCLn) およびシリアル送受信データ信号 (SDAn) がリードされます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	IICBn SSCL	IICBn SSDA
R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
1	IICBnSSCL	SCLn 端子 (入力) の端子レベルの状態を示します。 0 : SCLn 端子 (入力) はロウ・レベル 1 : SCLn 端子 (入力) はハイ・レベル
0	IICBnSSDA	SDAn 端子 (入力) の端子レベルの状態を示します。 0 : SDAn 端子 (入力) はロウ・レベル 1 : SDAn 端子 (入力) はハイ・レベル

(10) IICBn ステータス・クリア・レジスタ (IICBnSTRC)

IICBnSTRC レジスタは、IICBnSTR0 レジスタの IICBnSTCF, IICBnALDF ビットをクリアするレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <I²CBn_base_USER> + 0018H

初期値 00H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	IICBn CLSF	IICBn CLAF
R	R	R	R	R	R	R/W	R/W

ビット位置	ビット名	意味
1	IICBnCLSF	IICBnSTR0.IICBnSTCF ビットのクリア・ビット 1 : IICBnSTR0.IICBnSTCF ビットをクリアする 備考 IICBnSTRC.IICBnCLSF ビットは、データ設定後に読み出すと 0 になっています。
0	IICBnCLAF	IICBnSTR0.IICBnALDF ビットのクリア・ビット 1 : IICBnSTR0.IICBnALDF ビットをクリアする 注意 IICBnSTRC.IICBnCLAF ビットへの 1 ライトと IICBnSTR0.IICBnALDF ビットのセット条件が同時に発生した場合は、IICBnSTR0.IICBnALDF ビットのセット条件が有効となります。 備考 IICBnSTRC.IICBnCLAF ビットは、データ設定後に読み出すと 0 になっています。

23.6 動作

IICBn では転送モードとして、シングル転送モードと連続転送モードをサポートしております。

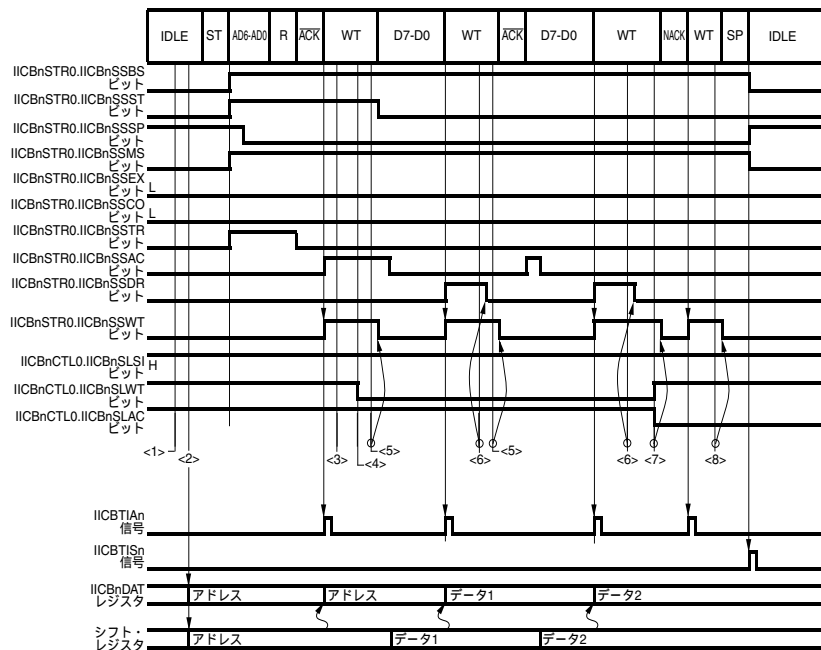
マスタおよびスレーブでアドレス一致したときの転送モードは IICBnCTL0.IICBnMDTX0 ビット、スレーブで拡張コードを検出したときの転送モードは IICBnCTL0.IICBnMDTX1 ビットで、選択します。

23.6.1 シングル転送モード

シングル転送モードは、IICBnCTL0.IICBnSLWT ビットで設定したタイミングで、データ送受信割り込み要求信号 (IICBTIA_n) を発生させウエイト状態とし、このウエイト期間中に送受信データ処理を行う転送モードです。

各処理の動作を以下に示します。

(1) シングル転送モード (マスタ受信) の通信例



<1> スタート・コンディション出力

IICBnTRG. IICBnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて8ビットとして IICBnDAT レジスタへ設定

<3> アクノリッジ結果確認

IICBTIA 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし確認

<4> ウェイト・タイミング設定

データ受信時は8クロック目の立ち下がりด้วยェイト状態とするため
IICBnCTL0.IICBnSLWT ビットをクリア (0)

<5> データ受信

ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除し受信開始

<6> 受信データ取り込み

IICBTIA 割り込みで IICBnDAT レジスタから受信データをリード

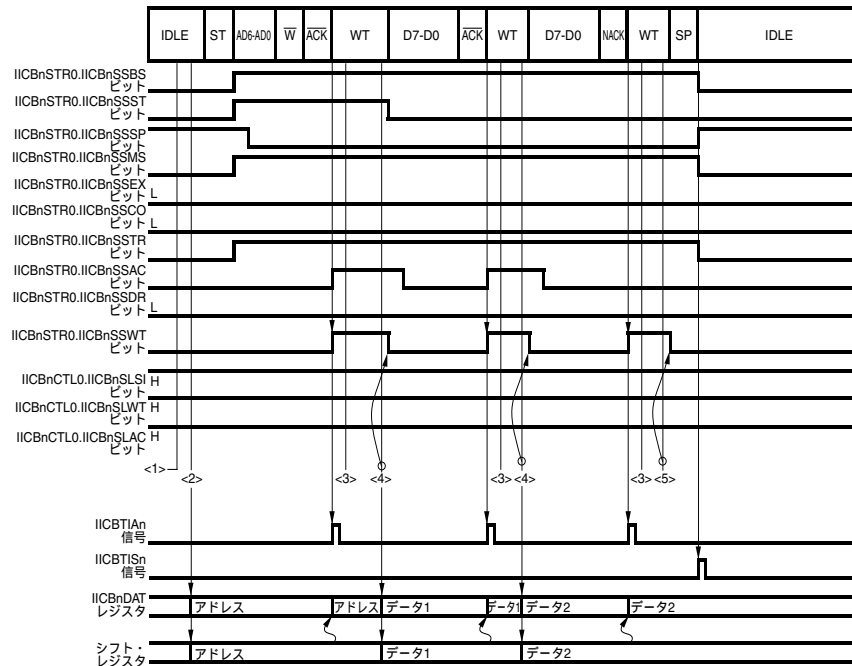
<7> データ受信完了処理

- ウェイト期間中に IICBnCTL0.IICBnSLWT ビット = 1, IICBnCTL0.IICBnSLAC ビット = 0 に設定
- その後, IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除し, アクノリッジが生成されず, 送信側にデータの終わりを通知

<8> ストップ・コンディション出力

IICBnTRG. IICBnSPT ビットをセット (1)

(2) シングル転送モード (マスタ送信) の通信例



備考 データ送信時は9クロック目の立ち下がりにてウェイト状態とするため、IICBnCTL0.IICBnSLWT ビットをセット (1) してください。

<1> スタート・コンディション出力

IICBnTRG. IICBnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて、8ビットとして IICBnDAT レジスタへ設定

<3> アクノリッジ結果確認

IICBTIA_n 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし, 確認

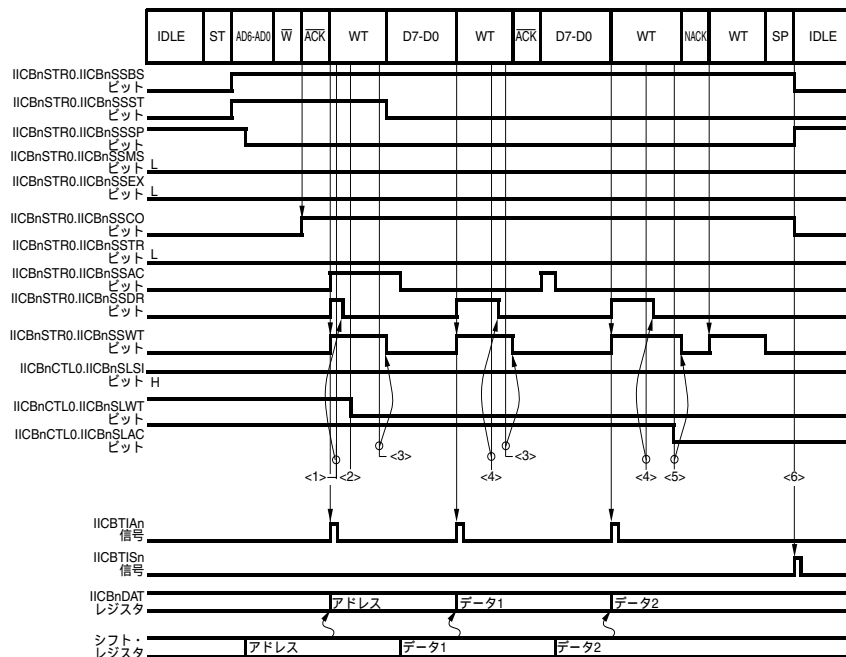
<4> データ送信

ウェイト期間中に IICBnDAT レジスタへ送信データを設定することでウェイト解除し, 送信開始

<5> ストップ・コンディション出力

IICBnTRG. IICBnSPT ビットをセット (1)

(3) シングル転送モード (スレーブ受信) の通信例



<1> スレーブ時の動作モード確認

- IICBTIAn 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSTR ビットでアドレス転送, アドレス一致, 受信動作であることを確認
- IICBnDAT レジスタをリード (空読み)

<2> ウェイト・タイミング設定

データ受信時は8クロック目の立ち下がりウェイト状態とするため、IICBnCTL0.IICBnSLWT ビットをクリア (0)

<3> データ受信

ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除し, 受信開始

<4> 受信データ取り込み

IICBTIAn 割り込みで IICBnDAT レジスタから受信データをリード

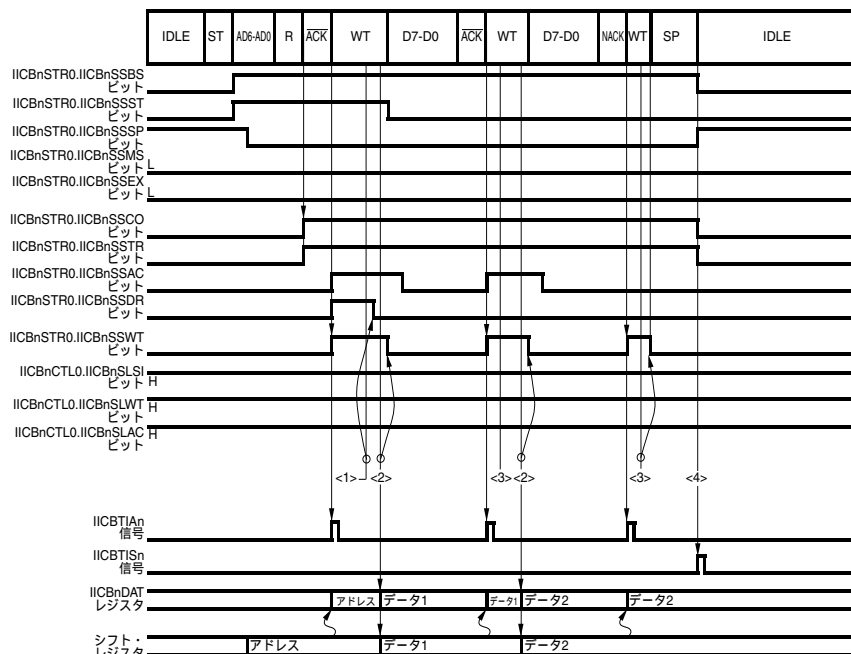
<5> データ受信完了処理

- ウェイト期間中に IICBnCTL0.IICBnSLWT ビット =1, IICBnCTL0.IICBnSLAC ビット =0 に設定
- その後, IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除しアクリッジが生成されず, 送信側にデータの終わりを通知

<6> ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出

(4) シングル転送モード (スレーブ送信) の通信例



備考 データ送信時は9クロック目の立ち下がりにてウェイト状態とするため、IICBnCTL0.IICBnSLWT ビットをセット (1) してください。

<1> スレーブ時の動作モード確認

- IICBTIAn 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSSTR ビットでアドレス転送, アドレス一致, 送信動作であることを確認
- IICBnDAT レジスタをリード (空読み)

<2> データ送信

ウェイト期間中に IICBnDAT レジスタへ送信データを設定することでウェイト解除し, 送信開始

<3> アクノリッジ結果確認

IICBTIAn 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし, 確認

アクノリッジが生成されなかった場合は送信完了と判断し, IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除

<4> ストップ・コンディション検出

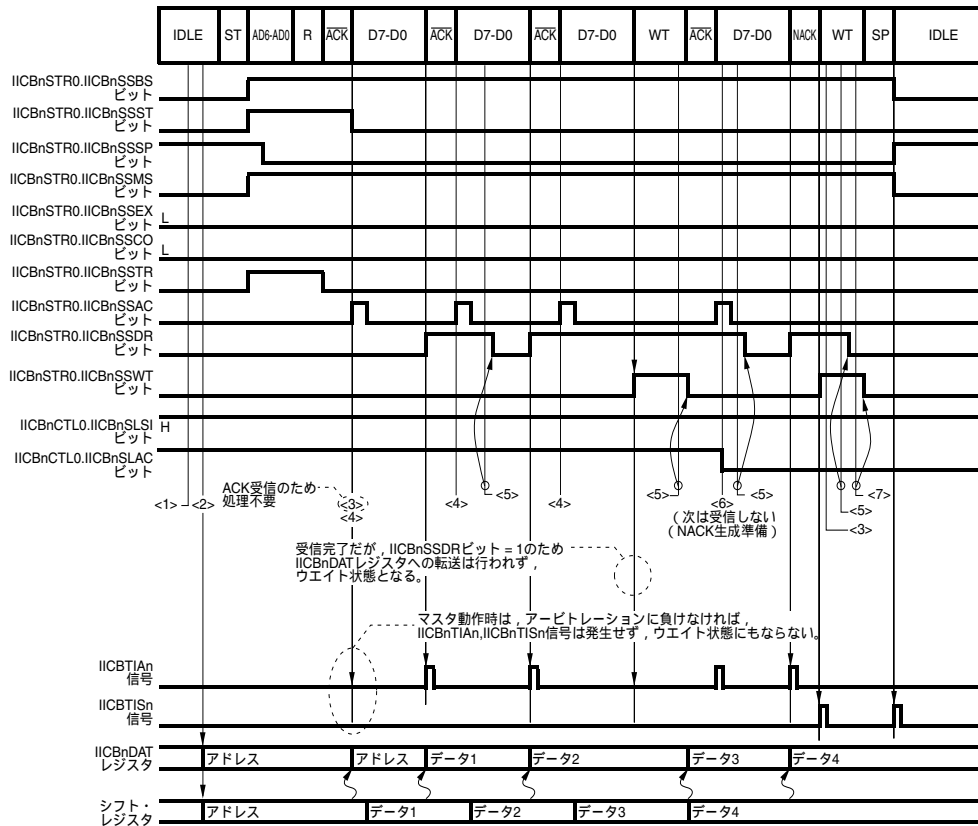
IICBTISn 割り込みでストップ・コンディションを検出

23.6.2 連続転送モード

連続転送モードは、データ送受信割り込み要求信号 (IICBTIA_n) の発生ごとに IICBnDAT レジスタへリードまたはライトすることで、ウェイト状態とならずに連続で通信できる転送モードです。

各処理の動作を以下に示します。

(1) 連続転送モード (マスタ受信) の通信例



<1> スタート・コンディション出力

IICBnTRG. IICBnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて, 8 ビットとして IICBnDAT レジスタへ設定

<3> アクノリッジ結果確認

スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnSTR0.IICBnSSAC ビットをリードし確認。

<4> アクノリッジ結果確認

受信開始タイミングまでに IICBnDAT レジスタに未読み出しデータがなければウェイト状態とならず受信開始

<5> 受信データ取り込み

IICBTIAAn 割り込みで IICBnDAT レジスタから受信データをリード

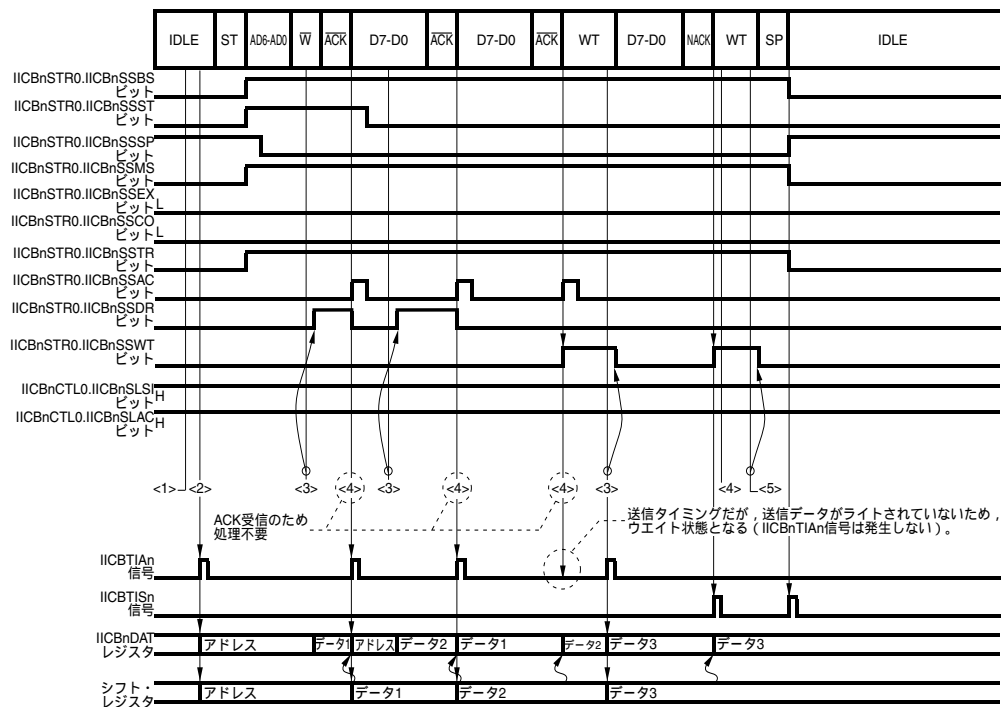
<6> データ受信完了処理

最終受信データの1つ前の受信データをリードする前に IICBnCTL0.IICBnSLAC ビットをクリア (0) することで次回アクノリッジが生成されず, 送信側にデータの終わりを通知

<7> ストップ・コンディション出力

IICBnTRG. IICBnSPT ビットをセット (1)

(2) 連続転送モード (マスタ送信) の通信例



<1> スタート・コンディション出力

IICBnTRG. IICBnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて, 8ビットとして IICBnDAT レジスタへ設定

<3> データ送信

IICBTIA_n 割り込みで IICBnDAT レジスタへ送信データを設定

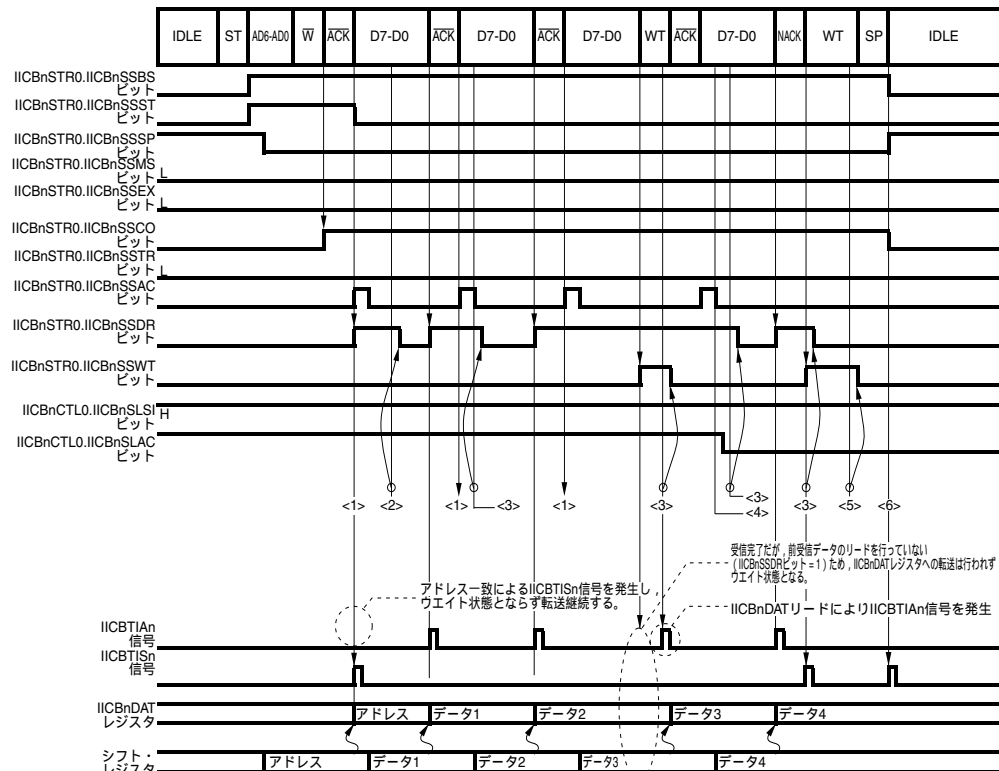
<4> アクノリッジ結果確認

スレーブがアクノリッジを返さないときだけ IICBTIS_n 割り込みが発生。
IICBnSTR0.IICBnSSAC ビットをリードし確認。

<5> ストップ・コンディション出力

IICBnTRG. IICBnSPT ビットをセット (1)

(3) 連続転送モード (スレーブ受信) の通信例



<1> データ受信

受信開始タイミングまでに IICBnDAT レジスタに未読み出しデータがなければウェイト状態とならず受信開始

<2> スレーブ時の動作モード確認

- IICBTISn 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSSTR ビットでアドレス転送, アドレス一致, 受信動作であることを確認
- IICBnDAT レジスタをリード (空読み)

<3> 受信データ取り込み

IICBTIAAn 割り込みで IICBnDAT レジスタから受信データをリード

<4> データ受信完了処理①

最終受信データの1つ前の受信データをリードする前に IICBnCTL0.IICBnSLAC ビットをクリア (0) することで次回アクリッジが生成されず, 送信側にデータの終わりを通知

<5> データ受信完了処理②

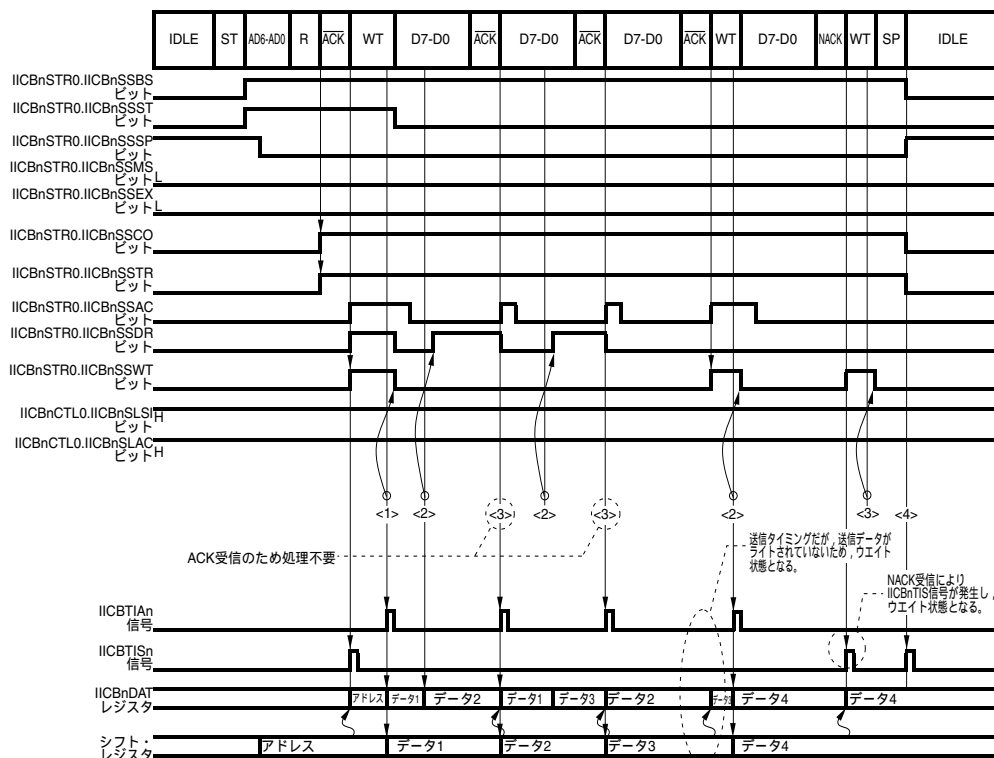
スレーブがアクリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除。

<6> ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出

(4) 連続転送モードでのスレーブ送信



<1> スレーブ時の動作モード確認

- IICBTISn 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSTR0.IICBnSSCO, IICBnSTR0.IICBnSSTR ビットでアドレス転送, アドレス一致, 送信動作であることを確認
- IICBnDAT レジスタをリード (空読み) 後に, IICBnDAT レジスタへ 1 回目の送信データを設定

<2> データ送信

IICBTISn 割り込みで IICBnDAT レジスタへ送信データを設定

<3> アクノリッジ結果確認

スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnSTR0.IICBnSSAC ビットをリードし確認。

アクノリッジが生成されなかった場合は送信完了と判断し, IICBnTRG.IICBnWRET ビットをセット (1) することでウエイト解除。

<4> ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出

23.6.3 アービトレーション

IICBnがマスタでアービトレーションに負けた場合は、アービトレーション負けを検出すると、SCLnおよびSDAnをそれぞれハイ・レベルにすることでスレーブ待機状態とし、その後のステータス割り込み要求信号 (IICBTISn) を発生するタイミングで、IICBnSTR0.IICBnALDF ビットをセット (1) します。

(1) アービトレーション発生時の状態

マスタ (IICBnSTR0.IICBnSSMS ビット = 1) 時のアービトレーションが発生する状態を次に示します。

- ①アドレス送信中。
- ②アドレス転送の $\overline{R/W}$ ビット送信中。
- ③拡張コード送信中。
- ④拡張コード転送の $\overline{R/W}$ ビット送信中。
- ⑤データ送信中。
- ⑥データ受信後の \overline{ACK} ビット送信中。
- ⑦アドレス転送中またはデータ転送中のスタート・コンディション検出。
- ⑧アドレス転送中またはデータ転送中のストップ・コンディション検出。
- ⑨リスタート・コンディションを生成しようとしたがSDAn端子がロウ・レベル。
- ⑩ストップ・コンディションを生成しようとしたがSDAn端子がロウ・レベルのまま。
- ⑪リスタート・コンディションを生成しようとしたがSCLn端子の立ち下がりを検出。

23.6.4 ウェイトとウェイト解除方法

IICBn は、次に示すタイミングでウェイト状態へ遷移できます。

表 23-7 ウェイト状態への遷移タイミング

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
	0			1	2	3

発生タイミング	説明	参照箇所
△0	マスタとしてスタート・コンディション検出後、最初の SCLn の立ち下がり検出時	(1) 「マスタとなった最初の SCLn 立ち下がりのウェイト」
△1	スタート・コンディション後のアドレス転送中における SCLn の 9 クロック目の立ち下がり検出時	(2) 「アドレス転送完了時のウェイト状態」
△2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	(3) 「データ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態」
△3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	(4) 「データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態」

備考 ST : スタート・コンディション
 AD6-AD0 : アドレス
 R/W: : 転送方向指定
 ACK: : アクノリッジ
 D7-D0 : データ
 SP : ストップ・コンディション

ウェイトの解除方法は、ウェイトしている状態により異なります。

(1) - (4) に記載した各ウェイト状態での解除条件に従って、解除してください。

(1) マスタとなった最初の SCLn 立ち下がりのウエイト

$\Delta 0$ は、IICBnTRG.IICBnSTT ビット = 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出したとき、転送すべきデータがライト (IICBnDAT レジスタへのライト) されていない場合のウエイト状態です。

(a) ウエイト遷移条件

IICBnTRG.IICBnSTT ビット = 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出時、IICBnTRG.IICBnSTT ビット = 1 ライト後から $\Delta 0$ タイミングまでに IICBnDAT レジスタへライト動作が行われていなければウエイト状態となります。

ただし、IICBnTRG.IICBnSTT ビット = 1 ライト後の IICBnDAT レジスタへの有効な (ウエイトとならない) ライトを行うことができるタイミングは通信予約機能許可時と通信予約機能禁止時で異なります。図 23-11 にそれぞれの設定で有効な IICBnDAT レジスタへのライト・タイミングを示します。

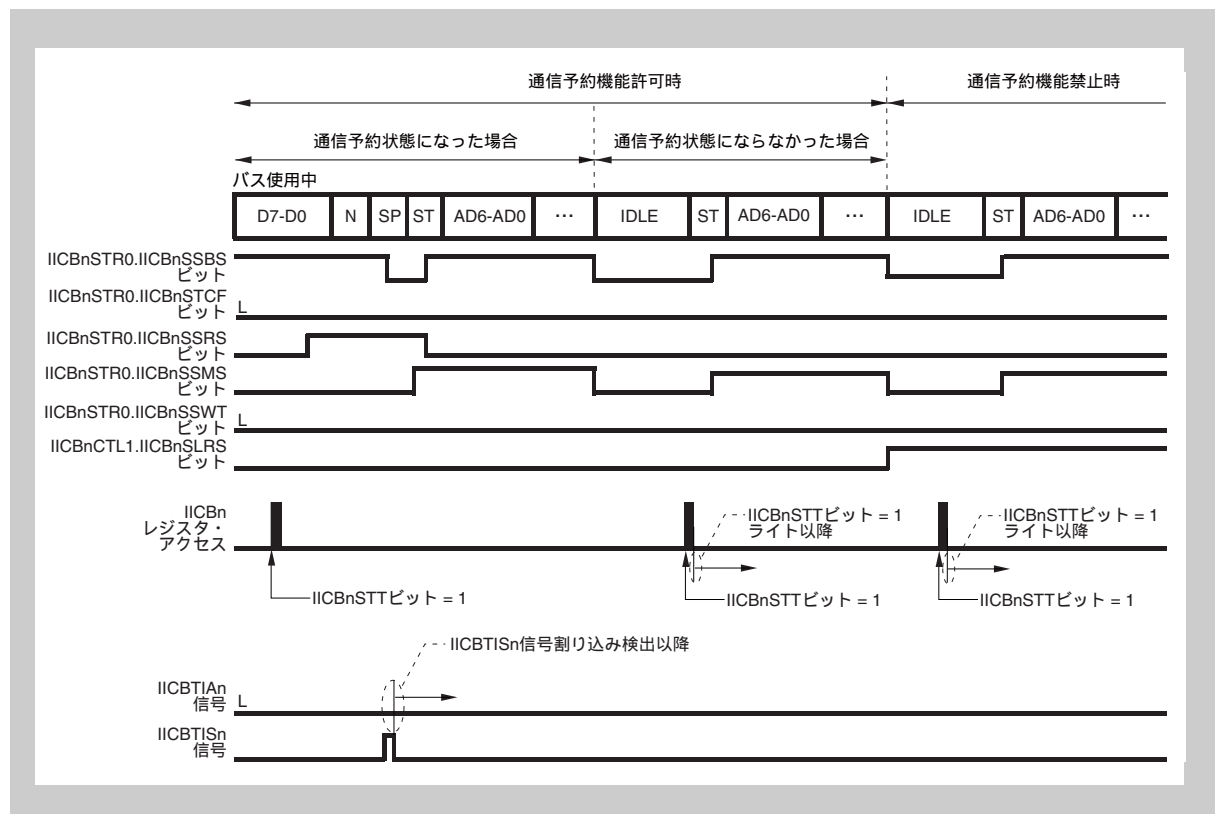


図 23-11 有効な IICBnDAT レジスタへのライト・タイミング

注意 図中の②通信予約機能禁止時は、IICBnSTR0.IICBnSTCF ビット = 0 の場合です。IICBnSTR0.IICBnSTCF ビット = 1 となった場合は、再度、IICBnSTR0.IICBnSTCF ビット = 1 ライトから設定が必要になります。

(b) ウエイト解除条件

IICBnDAT ライトでウエイト解除を行ってください。

(2) アドレス転送完了時のウェイト状態

△1は、アドレス転送完了したことによるウェイト状態です。

(a) ウェイト遷移条件**<シングル転送モード>**

シングル転送モード時は、マスタ時は必ずウェイト状態となります。

スレーブ時はアドレス一致、または拡張コード検出かつ
IICBnCTL0.IICBnSLWT ビット = 1 の場合にウェイト状態となります。

<連続転送モード>

連続転送モード時は、次に示す場合にウェイト状態となります。

- NACK 検出した場合
- マスタ送信時で、次に転送するデータをライトしていない場合
- スレーブ動作時で、前に受信したデータをリードしていない場合、または、送信時

(b) ウェイト解除条件**<シングル転送モード>**

送信動作時は IICBnDAT レジスタへのライト、受信動作時は
IICBnTRG.IICBnWRET ビット = 1 ライトによりウェイトを解除してください。マスタ動作時で、IICBnSTR0.IICBnSSAC ビット = 0 または送信であれば、IICBnTRG.IICBnSTT ビット = 1 ライトおよび IICBnTRG.IICBnSPT ビット = 1 ライトによるウェイト解除が可能です。

<連続転送モード>

送信動作時は IICBnDAT レジスタへのライト、受信動作時は IICBnDAT レジスタのリードによりウェイトを解除してください。マスタ動作時で、IICBnSTR0.IICBnSSAC ビット = 0 であれば、IICBnTRG.IICBnSTT ビット = 1 ライトおよび IICBnTRG.IICBnSPT ビット = 1 ライトによるウェイト解除が可能です。

(3) データ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態

△2はデータ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態です。

(a) ウェイト遷移条件**<シングル転送モード>**

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット = 0 で、SCLn の 8 回目の立ち下がり検出時にウェイト状態へ遷移します。

<連続転送モード>

通信に参加している状態での IICBnSTR0.IICBnSSTR ビット = 0 で、SCLn の 8 回目の立ち下がり時まで前データの処理 (IICBnDAT レジスタからのリード) が行われておらず、IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT = 1 ライトが行われていない場合にウェイト状態へ遷移します。

(b) ウェイト解除条件

<シングル転送モード>

受信動作時は IICBnTRG.IICBnWRET=1 ライト, 送信動作時は IICBnDAT レジスタへのライトによりウェイトを解除してください。

<連続転送モード>

IICBnDAT レジスタからのリードによりウェイトを解除してください。

(4) データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態

△3 は, データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態です。

連続転送モードの場合は, NACK 受信によるウェイト状態となります。

(a) ウェイト遷移条件

<シングル転送モード>

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット=1 で SCLn の 9 回目の立ち下がり検出時にウェイト状態へ遷移します。

<連続転送モード>

データ送信中で, 次の 3 状態のときウェイト状態へ遷移します (すべて通信に参加している場合)。

- IICBnCTL0.IICBnSLWT ビット=1 で ACK ビットに NACK を受信したとき
- 送信で, 送信データがデータレジスタにライトされていないとき
- 受信で, 前回受信したデータがリードされていないとき

(b) ウェイト解除条件

表 23-8 にモードごとのウェイト解除条件を示します。

表 23-8 ウェイト解除条件

マスタ/ スレーブ	転送モード	送信/ 受信	IICBnSTR0. IICBnSSAC ビット	解除動作
マスタ	シングル転送 モード	受信	0	IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1
			1	IICBnTRG.IICBnWRET = 1
		送信	0	IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1
			1	IICBnDAT レジスタへのライトまたは IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1
	連続転送モード	受信	0	IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1
			1	IICBnDAT レジスタからのリード ^a
		送信	0	IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1
			1	IICBnDAT レジスタへのライト ^b
スレーブ	シングル転送 モード	受信	—	IICBnTRG.IICBnWRET ビット = 1
		送信	0	IICBnTRG.IICBnWRET ビット = 1
			1	IICBnDAT レジスタへのライト ^a
	連続転送モード	受信	0	IICBnTRG.IICBnWRET ビット = 1
		送信	0	IICBnTRG.IICBnWRET ビット = 1
			1	IICBnDAT レジスタへのライト

a) 送信データがデータレジスタにライトされていないことによるウェイト状態の解除条件です。

b) 前回受信したデータがリードされていないことによるウェイト状態の解除条件です。

23.6.5 拡張コード

拡張コードを受信した場合の処理は、拡張コードに続くデータにより異なるため、ユーザのソフトウェア処理で行う必要があります。

そのため、通常のスレーブ・アドレス受信時と動作が異なります。違いは次のとおりです。

- (1) 受信アドレスの上位4ビットが“0000”または“1111”のとき、拡張コード受信として拡張コード受信フラグ (IICBnSTR0.IICBnSSEX ビット) をセットし、8クロック目の立ち下がりでステータス割り込み要求信号 (IICBTISn) を発生し、ウェイト状態 (IICBnTRG.IICBnSSWT = 1) となります。
また IICBnSTR0.IICBnSSDR ビットおよび IICBnSTR0.IICBnSSTR ビットがセット (1) されます。
- (2) アドレス転送中のアクノリッジ出力では、IICBnCTL0.IICBnSLAC ビットの設定により、アクノリッジを制御可能です (通常のスレーブ・アドレス受信時におけるアドレス転送中では、アドレス一致の場合、IICBnCTL0.IICBnSLAC の設定に関係なくアクノリッジを出力します)。
- (3) 拡張コード検出によるウェイトの解除方法を示します。
< IICBnCTL0.IICBnMDTX1 ビット = 0 の場合 >
IICBnCTL0.IICBnSLWT ビット = 0 で送信する場合は、IICBnDAT レジスタへのライトによりウェイト解除してください。IICBnCTL0.IICBnSLWT ビット = 1 で送信する場合、または、受信する場合は、IICBnTRG.IICBnWRET ビット = 1 ライトによりウェイト解除してください。
< IICBnCTL0.IICBnMDTX1 ビット = 1 の場合 >
送信の場合は IICBnDAT レジスタへのライト、受信の場合は IICBnDAT レジスタからのリードによりウェイト解除してください。
- (4) その後の9クロック目の立ち下がり時は、IICBnCTL0.IICBnSLWT ビット = 1 の場合は、割り込み要求信号 (IICBTIAN) を発生しウェイト状態 (IICBnTRG.IICBnSSWT ビット = 1)、IICBnCTL0.IICBnSLWT ビット = 0 の場合は、割り込み要求信号 (IICBTIAN) を発生せずウェイト状態にもなりません。
- (5) 拡張コードを受信した場合は、アドレス不一致でも通信に参加します。
たとえば、拡張コード受信後、スレーブとして動作したくない場合は、IICBnTRG.IICBnLRET ビット = 1 に設定してください。次の通信待機状態となります。

23.7 割り込み要求信号

注意 拡張コード受信時の動作は説明を省略しています。詳細は、23.6.5「拡張コード」を参照してください。

IICBnには、割り込み要求信号として、データ送受信割り込み要求信号 (IICBTIA_n)、ステータス割り込み要求信号 (IICBTIS_n) があります。いずれも PCLK で1クロック幅のパルスです。IICBnCTL0.IICBnMDTX1, IICBnCTL0.IICBnMDTX0 ビットで設定した転送モードにより割り込み要求信号発生タイミングがそれぞれ異なります。ここでは、それぞれの割り込み要求信号について転送モード別に説明します。

マスタおよびスレーブでアドレス一致した転送を行う場合は IICBnCTL0.IICBnMDTX0 ビット、スレーブで拡張コード検出した転送を行う場合は IICBnCTL0.IICBnMDTX1 ビットの値によりシングル転送モード/連続転送モードを選択します。

23.7.1 シングル転送モード

下表にシングル転送モード時の割り込み要求信号発生タイミングを示します。シングル転送モードの場合、IICBTIA_n 割り込み要求信号および IICBTIS_n 割り込み要求信号は、バス・サイクルの SCL_n 立ち下がり検出時の IICBn の状態により割り込み発生の判定を行います。ただし、 $\Delta 5$ タイミングの場合のみ、ストップ・コンディション検出時の IICBn の状態により割り込み発生の判定を行います。

表 23-9 割り込み要求信号発生タイミング (シングル転送モード)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2	3 4

発生タイミング	説明	参照箇所
$\Delta 1$	アドレス転送中における SCL _n の9クロック目の立ち下がり検出時	23.7.1 (1)
$\Delta 2$	データ転送中における SCL _n の8クロック目の立ち下がり検出時	23.7.1 (2)
$\Delta 3$	データ転送中における SCL _n の9クロック目の立ち下がり検出時	23.7.1 (2)
$\Delta 4$	ストップ・コンディション検出時	23.7.1 (3)

備考 ST : スタート・コンディション
 AD6-AD0 : アドレス
 R/W: : 転送方向指定
 ACK: : アクノリッジ
 D7-D0 : データ
 SP : ストップ・コンディション

(1) アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表 23-9 の $\Delta 1$ はアドレス転送中の割り込み要求信号発生タイミングです。表 23-10 に $\Delta 1$ での割り込み要求信号発生条件と発生する割り込み要求信号 (IICBTIA_n または IICBTIS_n) を示します。

表 23-10 アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)

IICBn SSMS	IICBn ALDF	IICBn SLWT	IICBn SSCO	$\Delta 1$		備 考
				割り込み	ウエイト	
1	0	×	×	IICBTIA _n	ウエイト	—
1	1	×	×	この状態は存在しません。		—
0	0	×	0	IICBTIS _n ^a	—	リスタート後, 通信不参加
0	0	×	1	IICBITA _n	ウエイト	—
0	1	×	0	IICBTIS _n	—	アービトレーション負け後, 通信不参加
0	1	×	1	IICBTIA _n	ウエイト	—

^{a)} リスタート・コンディション前, アドレス一致または拡張コード検出していた場合

備考 × : 任意

(2) データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表 23-9 の△ 2 および△ 3 はデータ転送中の割り込み要求信号発生タイミングです。△ 2 または△ 3 での割り込み要求信号発生タイミングは、IICBnCTL0.IICBnSLWT ビットの設定により決定されます。表 23-11 に△ 2 および△ 3 のタイミングでの割り込み要求信号発生条件と発生する割り込み要求信号 (IICBTIA_n または IICBTIS_n) を示します。

表 23-11 データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)

IICBn SSMS	IICBn ALDF	IICBn SLWT	IICBn SSCO	△ 2		△ 3		備 考
				割り込み	ウェイト	割り込み	ウェイト	
1	0	0	×	IICBTIA _n	ウェイト	—	—	—
1	0	1	×	—	—	IICBTIA _n	ウェイト	—
1	1	×	×	この状態は存在しません。				—
0	0	×	0	—	—	—	—	通信不参加
0	0	0	1	IICBTIA _n	ウェイト	—	—	—
0	0	1	1	—	—	IICBTIA _n	ウェイト	—
0	1	0	0	IICBTIS _n	—	—	—	アービトレーション負け後、 通信不参加
0	1	1	0	—	—	IICBTIS _n	—	アービトレーション負け後、 通信不参加
0	1	0	1	IICBTIA _n	ウェイト	—	—	—
0	1	1	1	—	—	IICBTIA _n	ウェイト	—

備考 × : 任意

(3) ストップ・コンディション検出時の割り込み要求信号発生

表 23-9 の△ 4 は、ストップ・コンディション検出時の割り込み要求信号発生タイミングです。

ストップ・コンディション検出時は、IICBnCTL0.IICBnSLSI ビットの設定により割り込み要求信号の発生制御を行い、IICBnCTL0.IICBnSLSI ビット = 1 の場合にストップ・コンディションを検出すると、ステータス割り込み要求信号 (IICBTIS_n) を発生します。

23.7.2 連続転送モード

(1) データ送受信割り込み要求信号 (IICBTIA_n)

次に連続転送モード時の IICBTIA_n 信号が発生する条件を示します。

- 受信時の割り込み要求信号発生条件

受信データをシフト・レジスタから IICBnDAT レジスタへデータの格納を行ったとき (図 23-12 の①のタイミング)。

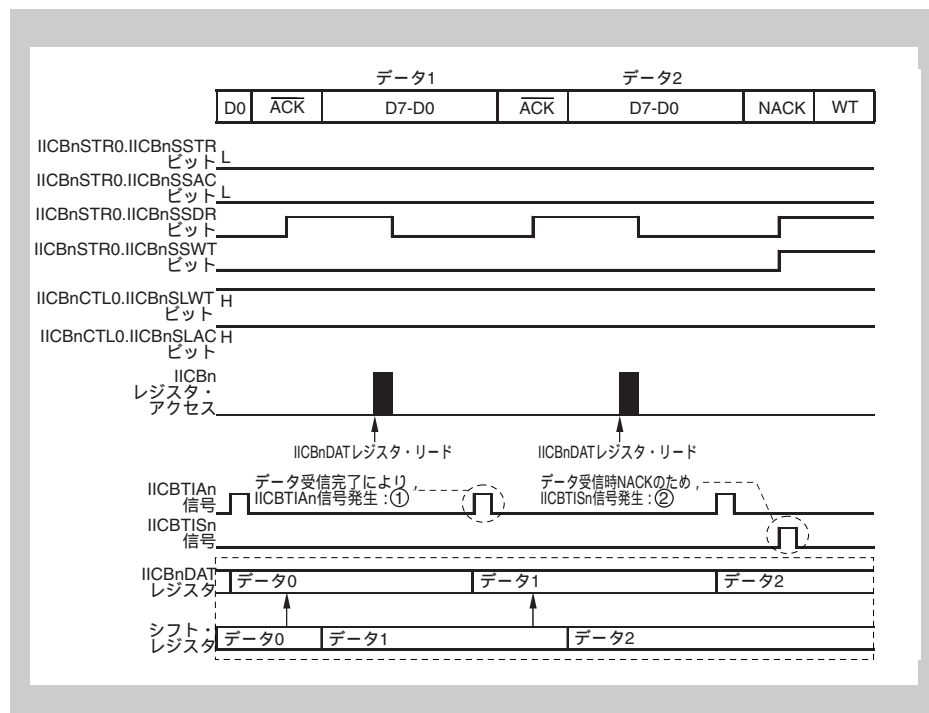


図 23-12 IICBTIA_n 信号発生タイミング (受信, 連続転送モード)

- 送信時の割り込み要求信号発生条件

シフト・レジスタおよび IICbNDAT レジスタに送信データがない状態で、IICbNDAT レジスタにデータをライトしたとき（図 23-13 の②のタイミング）。

IICbNDAT レジスタからシフト・レジスタにデータを格納したとき（図 23-13 の①のタイミング）。

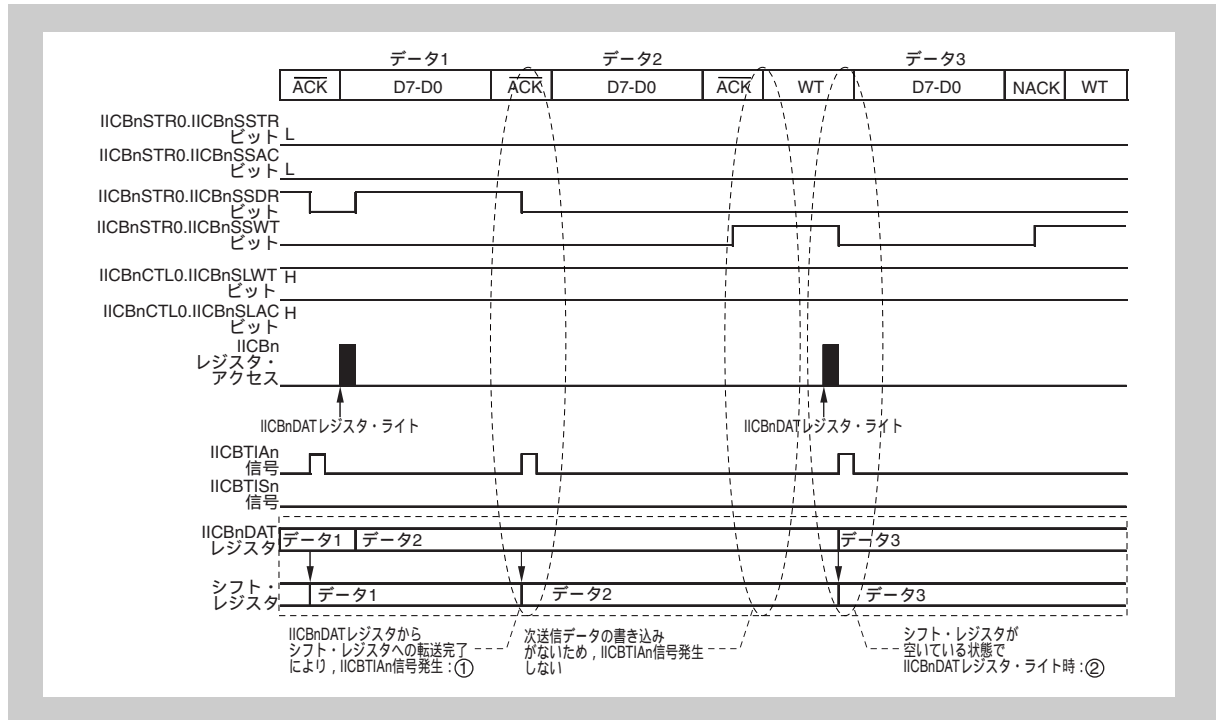
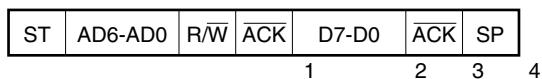


図 23-13 IICBTIAn 信号発生タイミング（送信，連続転送モード）

(2) ステータス割り込み要求信号 (IICBTISn)

連続転送モード時の IICBTISn 信号発生タイミングは、シングル転送モードと同じタイミングになります。

表 23-12 IICBTISn 信号発生タイミング



発生タイミング	説明	参照箇所
△ 1	スタート・コンディション後におけるアドレス転送中の SCLn の 9 クロック目の立ち下がり検出時	23. 7. 2 (2) (a)
△ 2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	23. 7. 2 (2) (b)
△ 3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	23. 7. 2 (2) (b)
△ 4	ストップ・コンディション検出時	23. 7. 2 (2) (c)

備考 ST : スタート・コンディション
 AD6-AD0 : アドレス
 R/W: : 転送方向指定
 ACK: : アクノリッジ
 D7-D0 : データ
 SP : ストップ・コンディション

(a) アドレス転送中の IICBTISn 信号発生条件

表 23-12 の△ 1 はアドレス転送中の IICBTISn 信号発生タイミングです。表 23-13 に△ 1 での IICBTISn 信号発生条件を示します。

表 23-13 アドレス転送中の IICBTISn 信号発生条件 (連続転送モード)

IICBn SSMS	IICBn SSCO	IICBn ALDF	転送 方向	IICBn SSDR	IICBn SSAC	△ 1	
						割り込み	ウエイト
1	×	0	送信	0	1	—	ウエイト
1	×	0	送信	0	0	IICBTISn	ウエイト
1	×	0	送信	1	1	—	—
1	×	0	送信	1	0	IICBTISn	ウエイト
1	×	0	受信	0	1	—	—
1	×	0	受信	0	0	IICBTISn	ウエイト
1	×	0	受信	1	1	IICBnDAT リード時 IICBTISn ^a	ウエイト
1	×	0	受信	1	0	IICBnDAT リード時 IICBTISn	ウエイト
1	×	1	×	×	×	この状態は存在しません。	
0	0	0	×	×	×	IICBTISn ^b	—
0	0	1	×	×	×	IICBTISn	—
0	1	×	送信	×	1	IICBTISn	ウエイト
0	1	×	受信	0	1	IICBTISn	—
0	1	×	受信	1	1	IICBnDAT リード時 IICBTISn	ウエイト

a) 受信完了後にリードせずにリスタートした場合の動作

b) リスタート・コンディション前、アドレス一致していた場合

注意 △ 1 の場合は、IICBnSTR0.IICBnSSAC ビットの値は必ず 0 になります。

備考 × : 任意

(b) データ転送中の IICBTISn 信号発生条件

表 23-12 の△ 2 および△ 3 はデータ転送中の IICBTISn 信号発生タイミングです。表 23-14 に△ 2 および△ 3 タイミングでの IICBTISn 信号発生条件を示します。

表 23-14 データ転送中の IICBTISn 信号発生条件 (連続転送モード)

IICBn SSMS	IICBn SSCO	IICBn SLWT	IICBn ALDF	転送 方向	IICBn SSDR	IICBn SSAC	IICBnSTT または IICBnSPT	△ 2		△ 3	
								割り込み	ウエイト	割り込み	ウエイト
1	x	0	x	送信	0	1	a	—	—	—	ウエイト
1	x	0	x	送信	0	0	a	—	—	IICBTISn	ウエイト
1	x	0	x	送信	1	1	a	—	—	—	—
1	x	0	x	送信	1	0	a	—	—	IICBTISn	ウエイト
1	x	0	x	受信	0	1	a	—	—	—	—
1	x	0	x	受信	0	0	a	—	—	IICBTISn	ウエイト
1	x	0	x	受信	1	1	a	—	—	—	—
1	x	0	x	受信	1	0	a	—	—	IICBnDAT リード後 IICBTISn	ウエイト
1	x	x	x	x	x	0	b	—	—	IICBTISn	—
1	x	x	x	x	x	1	b	—	—	—	—
0	0	x	0	x	x	x	x	—	—	—	—
0	0	0	1	受信	x	x	x	IICBTIS	—	—	—
0	0	1	1	送信	x	x	x	—	—	IICBTISn	—
0	1	0	x	送信	0	1	a	—	—	—	ウエイト
0	1	0	x	送信	0	0	a	—	—	IICBTISn	ウエイト
0	1	0	x	送信	1	1	a	—	—	—	—
0	1	0	x	送信	1	0	a	—	—	IICBTISn	ウエイト
0	1	0	x	受信	0	1	a	—	—	—	—
0	1	0	x	受信	0	0	a	—	—	IICBTISn	ウエイト
0	1	0	x	受信	1	1	a	—	—	—	—
0	1	0	x	受信	1	0	a	—	—	IICBnDAT リード時 IICBTISn	ウエイト

a) IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1 ライトされていない場合

b) IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1 ライトされた場合

備考 x : 任意

(c) ストップ・コンディション検出時の IICBTISn 信号発生

表 23-12 の $\Delta 5$ はストップ・コンディション検出時の IICBTISn 信号発生タイミングです。

IICBnCTL0.IICBnSLSI ビットの設定により IICBTISn 信号の発生制御を行い、IICBnCTL0.IICBnSLSI ビット = 1 の場合にストップ・コンディションを検出すると、IICBTISn 信号を発生します。

23.8 割り込み出力とステータス

次に、通信フロー別での割り込み出力発生時の IICBnSTR0 レジスタのステータス状態を示します。

図中で用いる略号の意味は次のとおりです。

ST : スタート・コンディション

AD6-AD0 : アドレス

R, \overline{W} , $\overline{R/W}$: 転送方向指定

\overline{ACK} : アクノリッジ

NACK : 非アクノリッジ

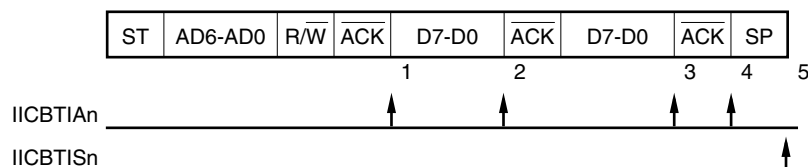
D7-D0 : データ

SP : ストップ・コンディション

23.8.1 シングル転送モード (マスタ動作)

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

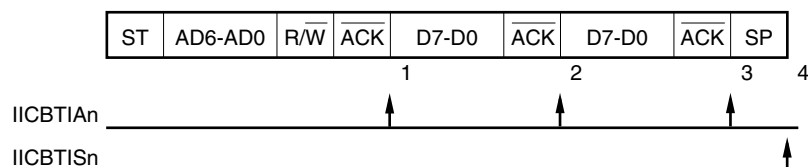
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B (IICBnCTL0.IICBnSLWT ビット = 1)
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnTRG.IICBnSPT ビット = 1)
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき

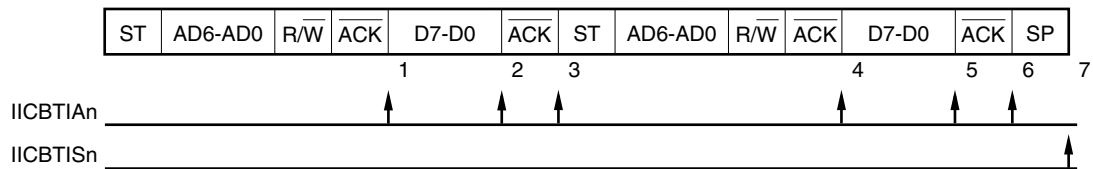


- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100X1 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnTRG.IICBnSPT ビット = 1)
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop
(リスタート)

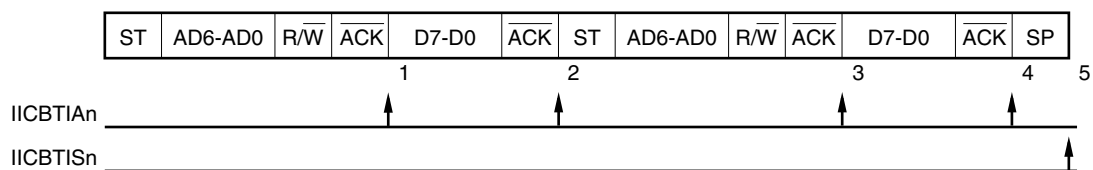
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B (IICBnCTL0.IICBnSLWT ビット = 1)
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnTRG.IICBnSTT ビット = 1, IICBnCTL0.IICBnSLWT ビット = 0)
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 5 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B (IICBnCTL0.IICBnSLWT ビット = 1)
- ▲ 6 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnTRG.IICBnSPT ビット = 1)
- △ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき

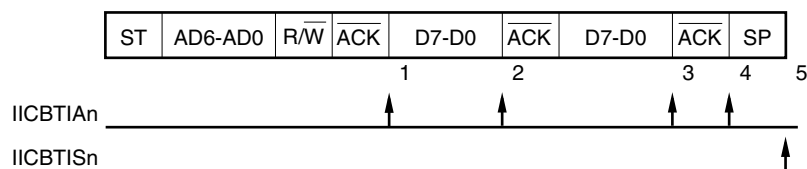


- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnTRG.IICBnSTT ビット = 1)
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnTRG.IICBnSPT ビット = 1)
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-0110X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-0110X0 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-0110X0 0100--00B (IICBnCTL0.IICBnSLWT
ビット = 1)▲ 4 : IICBnSTR0 レジスタ = 1-0110XX 0100--00B (IICBnTRG.IICBnSPT ビッ
ト = 1)

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

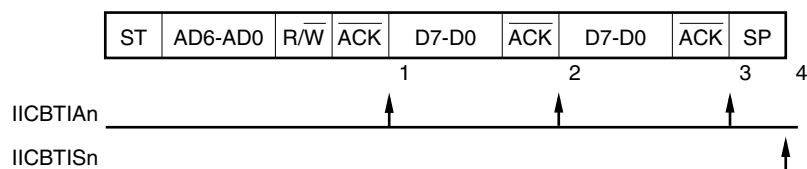
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-0110X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-0110X1 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-0110XX 0100--00B (IICBnTRG.IICBnSPT ビッ
ト = 1)

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

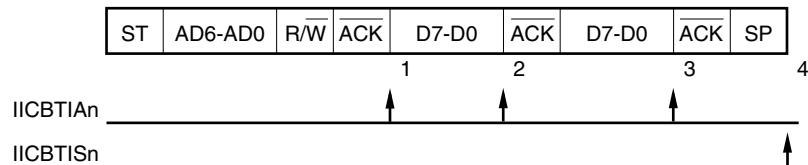
- 不定

X 任意

23.8.2 シングル転送モード (スレーブ動作: スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))

(1) Start ~ Address ~ Data ~ Data ~ Stop

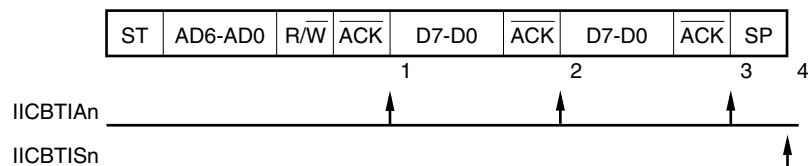
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき

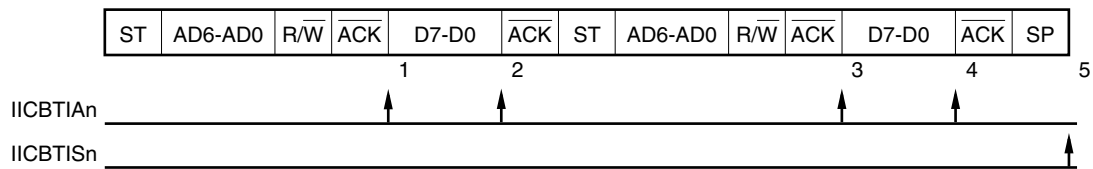


- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X1 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B

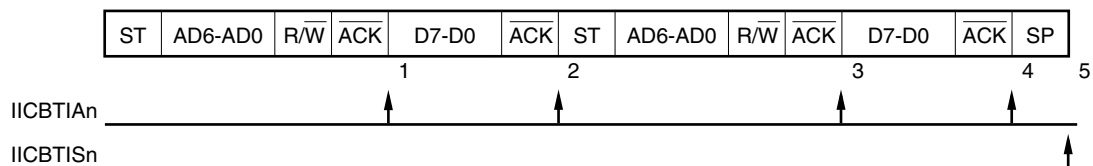
▲ 3 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

▲ 4 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

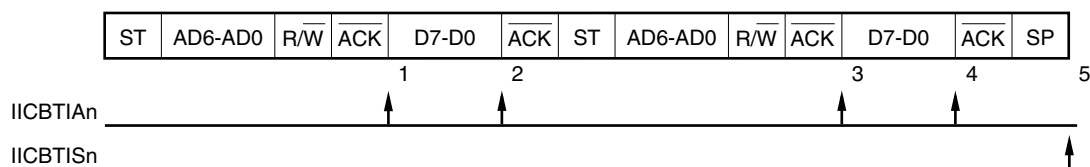
▲ 4 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B

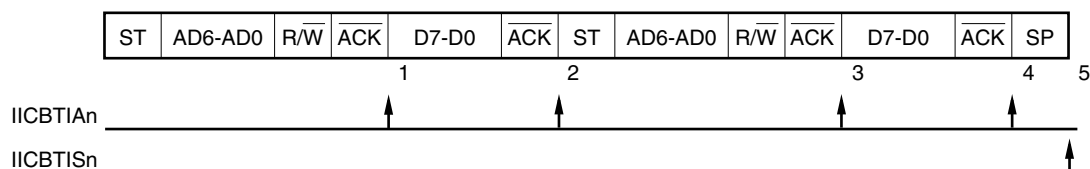
▲ 3 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B

▲ 4 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)



▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B

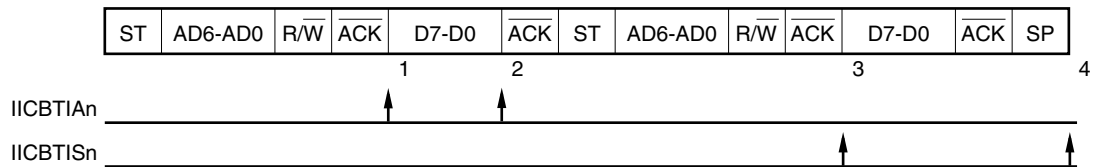
▲ 4 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

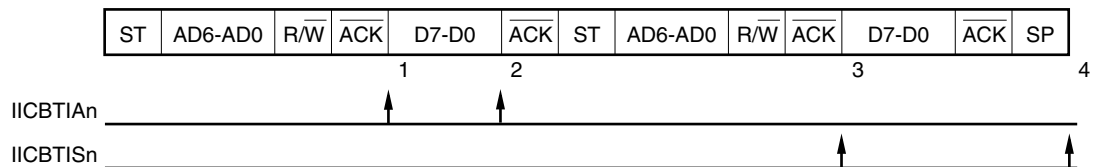
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後、アドレス不一致 (拡張コード不一致))



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後、アドレス不一致 (拡張コード不一致))



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

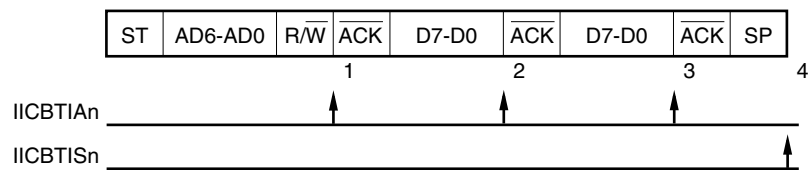
備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

23.8.3 シングル転送モード (スレーブ動作: 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

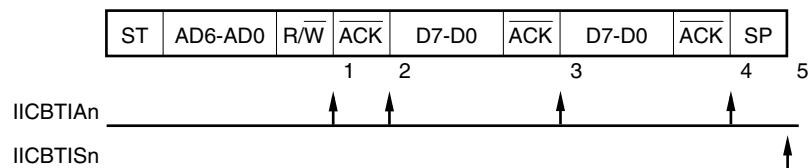
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき

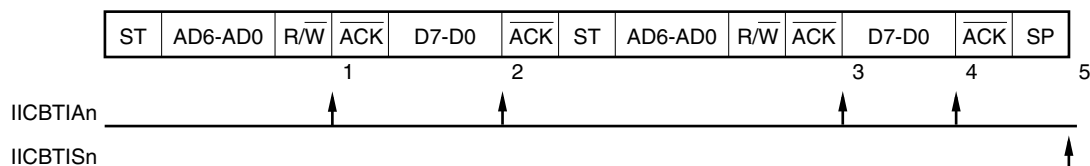


- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

▲ 4 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

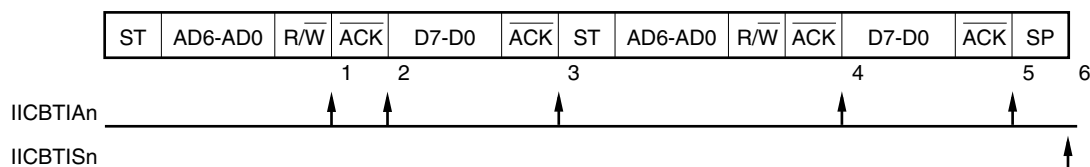
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B

▲ 5 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

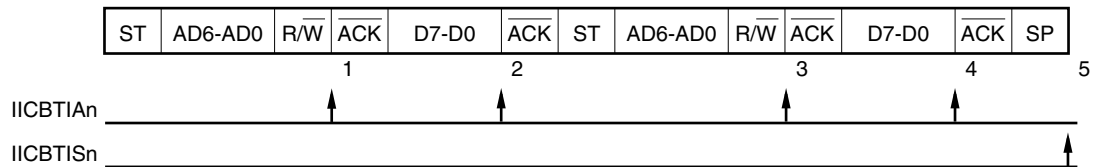
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

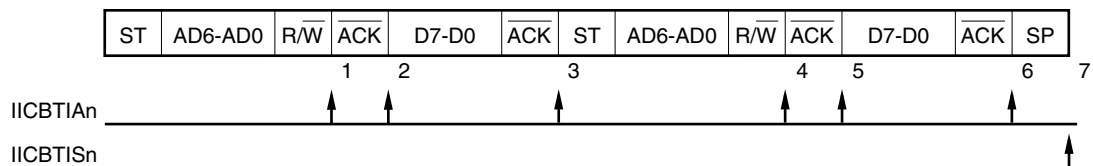
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)

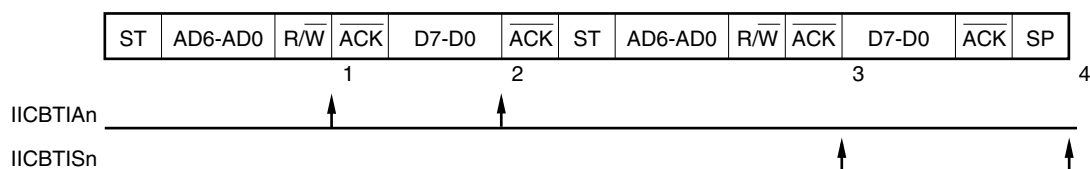


- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 5 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 6 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B
- △ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

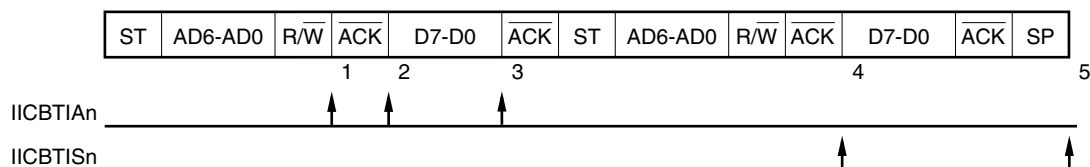
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後、アドレス不一致 (拡張コード不一致))



- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後、アドレス不一致 (拡張コード不一致))

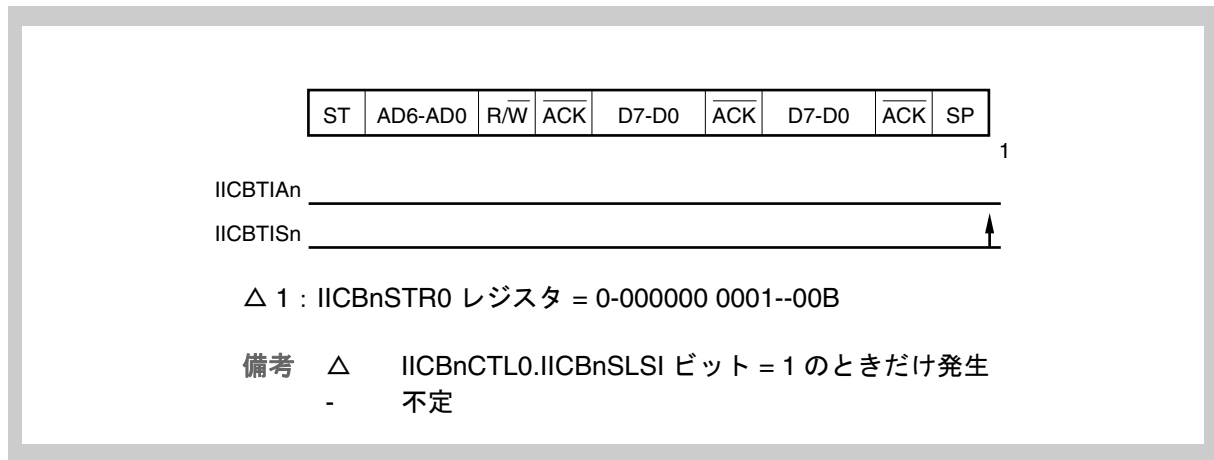


- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0100--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

23.8.4 シングル転送モード (通信不参加の動作)

(1) Start ~ Code ~ Data ~ Data ~ Stop

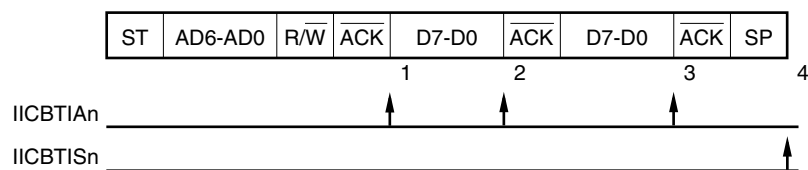


23.8.5 シングル転送モード（アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負け のあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) アービトレーションに負けたあと、アドレス一致の場合

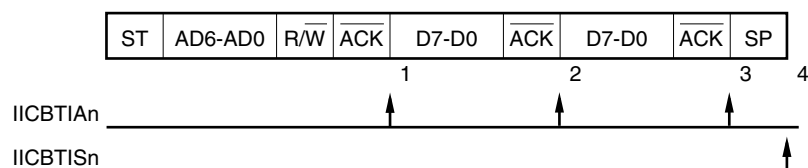
(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--01B
(IICBnSTRC.IICBnCLAF ビット = 1)
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
- 不定
X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき

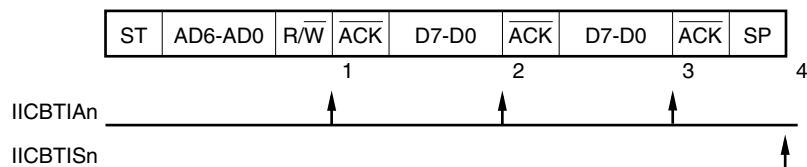


- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--01B (IICBnSTRC.IICBnCLAF
ビット = 1)
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X1 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
- 不定
X 任意

(2) アービトレーションに負けたあと、拡張コードを検出した場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--01B (IICBnSTRC.IICBnCLAF ビット = 1)

▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

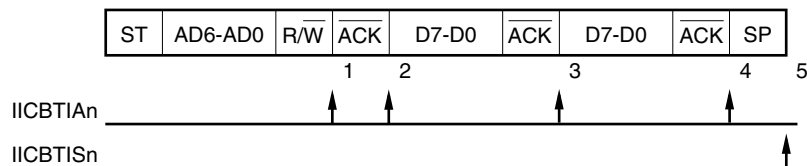
▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 1. ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

2.n = 0-5

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--01B (IICBnSTRC.IICBnCLAF ビット = 1)

▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B

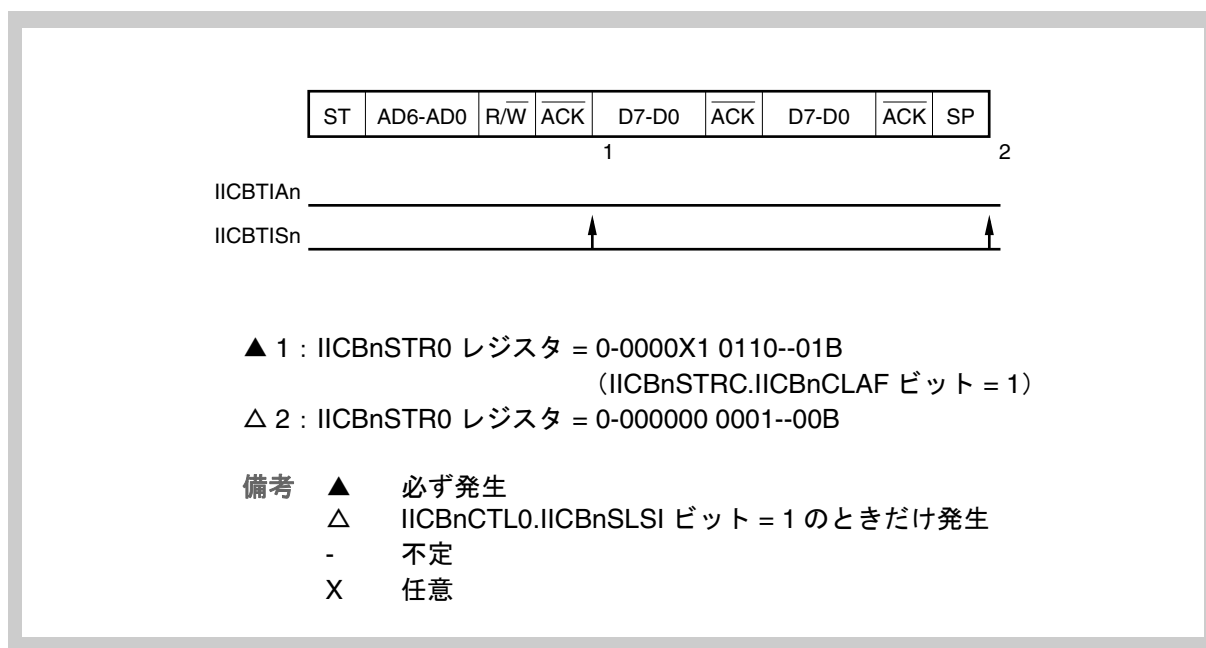
△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

23.8.6 シングル転送モード（アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負け のあと、不参加)

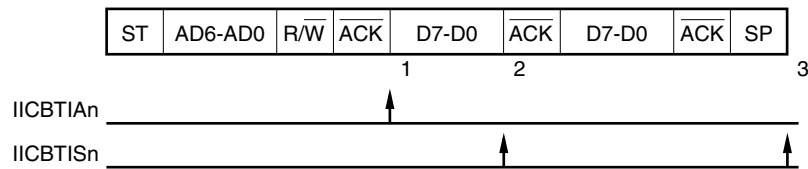
マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



(2) データ転送時にアービトレーションに負けた場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



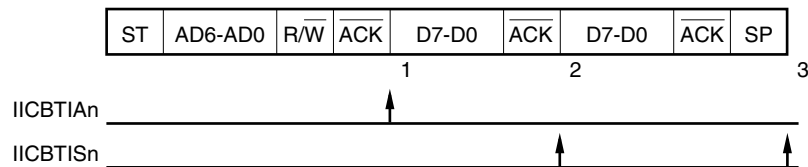
▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnSTRC.IICBnCLAF
ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

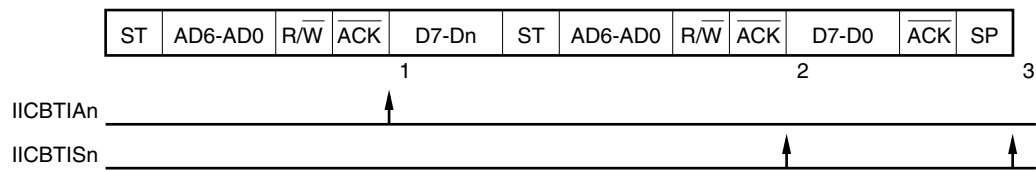
▲ 2 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnSTRC.IICBnCLAF
ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(3) データ転送時にリスタート・コンディションで負けた場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき (拡張コード不一致, アドレス不一致)



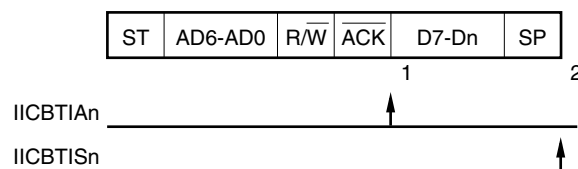
▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnSTRC.IICBnCLAF
ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(4) データ転送時にストップ・コンディションで負けた場合



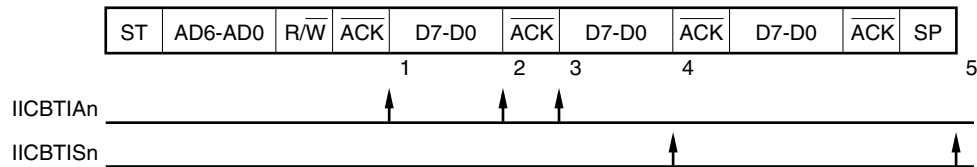
▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビットの設定とは関係なく発生
 - 不定
 X 任意

(5) リスタート・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

(a) ① IICbNCTL0.IICbNSLWT ビット = 0 のとき



▲ 1 : IICbNSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICbNSTR0 レジスタ = 1-1000X0 0100--00B (IICbNCTL0.IICbNSLWT ビット = 1)

▲ 3 : IICbNSTR0 レジスタ = 1-1000XX 0100--00B (IICbNCTL0.IICbNSLWT ビット = 0, IICbNTRG.IICbNSTT ビット = 1)

▲ 4 : IICbNSTR0 レジスタ = 0-0000X0 0100--01B (IICbNSTRC.IICbNCLAF ビット = 1)

△ 5 : IICbNSTR0 レジスタ = 0-000000 0001--00B

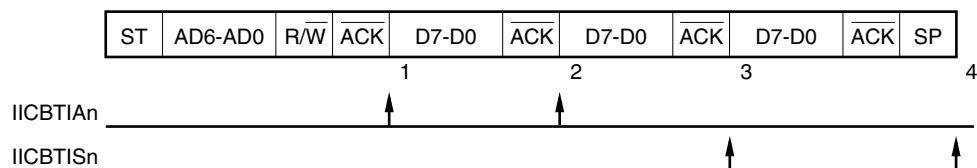
備考 ▲ 必ず発生

△ IICbNCTL0.IICbNSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(b) ② IICbNCTL0.IICbNSLWT ビット = 1 のとき



▲ 1 : IICbNSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICbNSTR0 レジスタ = 1-1000XX 0100--00B (IICbNCTL0.IICbNSLWT ビット = 0, IICbNTRG.IICbNSTT ビット = 1)

▲ 3 : IICbNSTR0 レジスタ = 0-0000X0 0100--01B (IICbNSTRC.IICbNCLAF ビット = 1)

△ 4 : IICbNSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

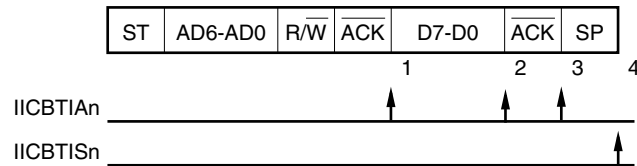
△ IICbNCTL0.IICbNSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(6) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-1000X0 0100--00B (IICBnCTL0.IICBnSLWT ビット = 0)

▲ 3 : IICBnSTR0 レジスタ = 1-0000XX 0100--00B (IICBnTRG.IICBnSTT ビット = 1)

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--01B

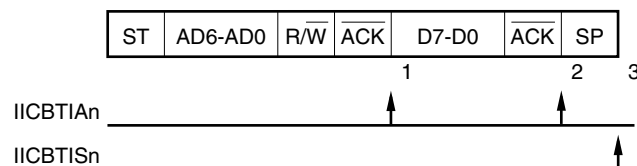
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビットの設定とは関係なく発生

- 不定

X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-0000XX 0100--00B (IICBnTRG.IICBnSTT ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生

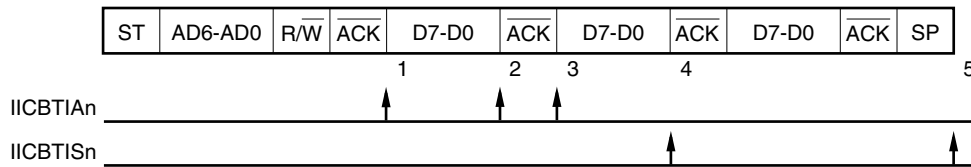
△ IICBnCTL0.IICBnSLSI ビットの設定とは関係なく発生

- 不定

X 任意

(7) ストップ・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-1000X0 0100--00B (IICBnCTL0.IICBnSLWT ビット = 1)

▲ 3 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B (IICBnCTL0.IICBnSLWT ビット = 0, IICBnTRG.IICBnSPT ビット = 1)

▲ 4 : IICBnSTR0 レジスタ = 0-0000XX 0100--01B (IICBnSTRC.IICBnCLAF ビット = 1)

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--01B

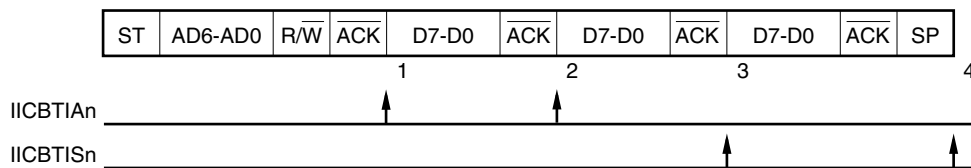
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(b) ② IICBnCTL0.IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B (IICBnTRG.IICBnSPT ビット = 1)

▲ 3 : IICBnSTR0 レジスタ = 0-0000XX 0100--01B (IICBnSTRC.IICBnCLAF ビット = 1)

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

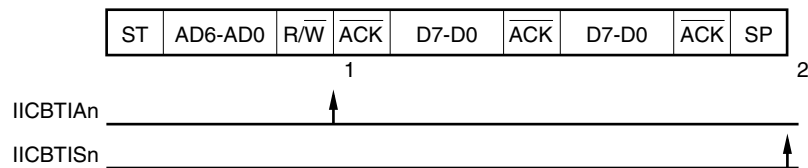
- 不定

X 任意

23.8.7 シングル転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）：アービトレーション負け のあと、不参加（拡張コード転送中の場合））

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) 拡張コード転送中にアービトレーションに負けた場合

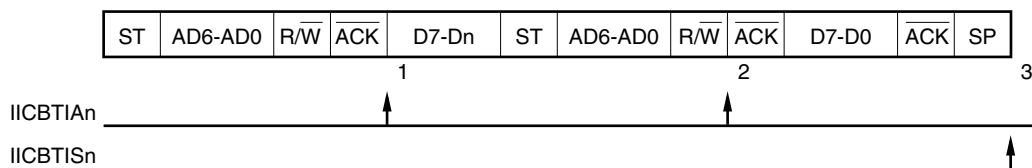


▲ 1 : IICBnSTR0 レジスタ = 0-1100X0 0110--01B (IICBnSTRC.IICBnCLAF
ビット = 1, IICBnTRG.IICBnLRET ビット = 1)

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
- 不定
X 任意

(2) データ転送時にリスタート・コンディションで負けた場合（拡張コード一致）



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-1100X0 0100--01B (IICBnSTRC.IICBnCLAF
ビット = 1, IICBnTRG.IICBnLRET ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--01B

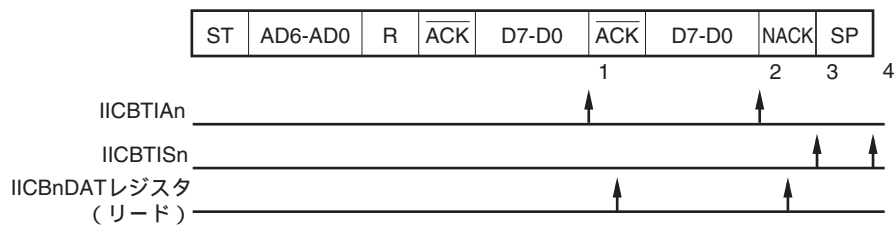
備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
- 不定
X 任意

23.8.8 連続転送モード (マスタ (受信))

備考 []で括られた割り込みは、ウエイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

(1) Start ~ Address ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



[▲ 1 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-000000 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-010000 0100--00B

→ IICBnTRG.IICBnSPT ビット = 1

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

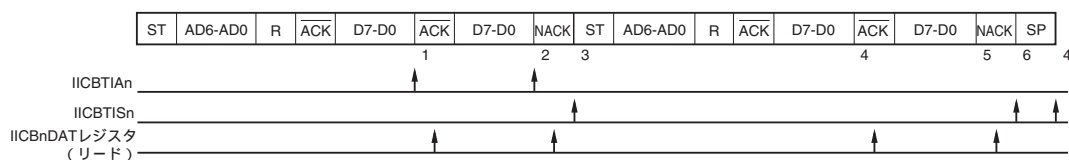
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(2) Start ~ Address ~ Data×2 ~ Start ~ Address ~ Data×2 ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



[▲ 1 : IICBnSTR0 レジスタ = 1-100001 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-010000 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-010000 0100--00B

→ IICBnTRG.IICBnSTT ビット = 1

[▲ 4 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnDAT レジスタ・リード

[▲ 5 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-000000 0100--00B

▲ 6 : IICBnSTR0 レジスタ = 1-010000 0100--00B

→ IICBnTRG.IICBnSTT ビット = 1

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

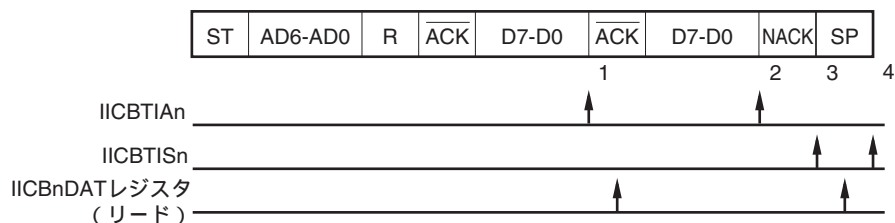
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(3) Start ~ Code ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



[▲ 1 : IICBnSTR0 レジスタ = 1-101001 0100--00B]

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-0010001 0100--00B

[▲ 2 : IICBnSTR0 レジスタ = 1-101000 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-011000 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-01000 0100--00B

→ IICBnTRG.IICBnSPT ビット = 1

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

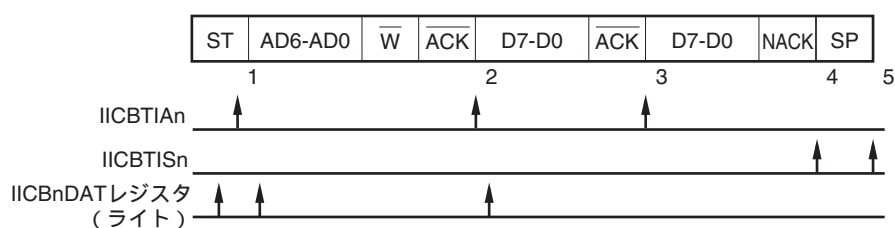
- 不定

23.8.9 連続転送モード (マスタ (送信))

備考 []で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

(1) Start ~ Address ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



IICBnDAT レジスタ・ライト (アドレス)

[▲ 1 : IICBnSTR0 レジスタ = X-0000X0 0X0X--00B]

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[▲ 3 : IICBnSTR0 レジスタ = 1-000011 0100--00B]

▲ 4 : IICBnSTR0 レジスタ = 1-010010 0100--00B

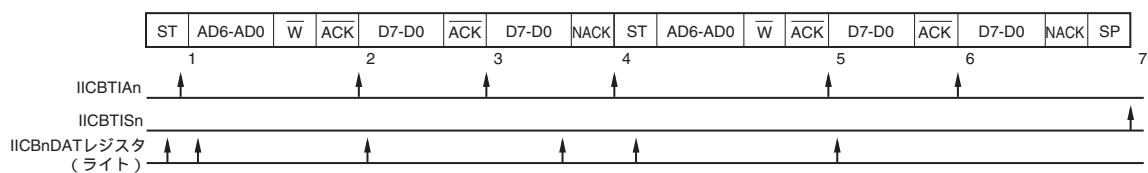
IICBnTRG.IICBnSPT ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(2) Start ~ Address ~ Data×2 ~ Start ~ Address ~ Data×2 ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



IICBnDAT レジスタ・ライト (アドレス)

[▲ 1 : IICBnSTR0 レジスタ = X-0000X0 0X0X--00B]

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[▲ 3 : IICBnSTR0 レジスタ = 1-000011 0100--00B]

IICBnTRG.IICBnSTT ビット = 1

IICBnDAT レジスタ・ライト (アドレス)

[▲ 4 : IICBnSTR0 レジスタ = 1-000010 010X--00B]

IICBnDAT レジスタ・ライト

[▲ 5 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[▲ 6 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnTRG.IICBnSPT ビット = 1

IICBnDAT レジスタ・ライト

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

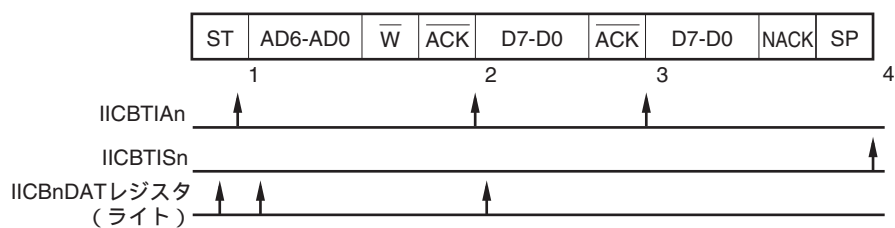
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



IICBnDAT レジスタ・ライト (アドレス)

[▲ 1 : IICBnSTR0 レジスタ = X-0000X0 0X0X--00B]

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[▲ 3 : IICBnSTR0 レジスタ = 1-000011 0100--00B]

IICBnTRG.IICBnSPT ビット = 1

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

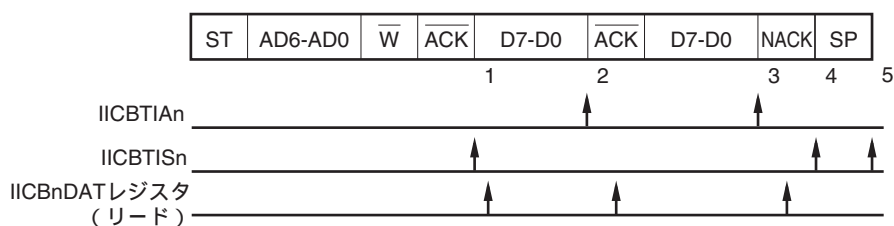
備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

23.8.10 連続転送モード (スレーブ (受信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))

備考 [] で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[] で括られた割り込みは発生しません。

(1) Start ~ Address ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



[▲ 1 : IICBnSTR0 レジスタ = 0-100101 0110--00B]

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 0-000100 0100--00B

[▲ 3 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 0-000100 0100-00B

▲ 4 : IICBnSTR0 レジスタ = 0-010100 0100-00B

IICBnTRG.IICBnWRET ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

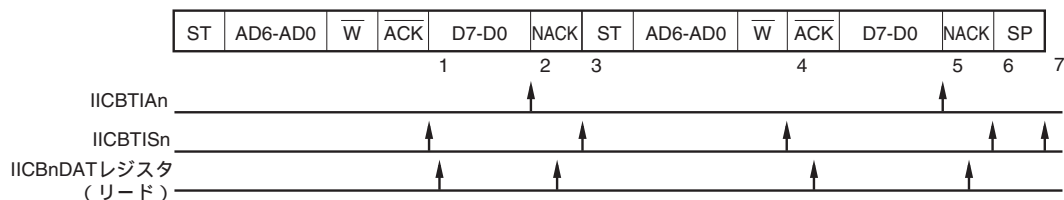
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



[▲ 1 : IICBnSTR0 レジスタ = 0-110101 0110--00B]

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-100101 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

▲ 3 : IICBnSTR0 レジスタ = 0-110101 0110--00B

IICBnTRG.IICBnWRET ビット = 1

[▲ 4 : IICBnSTR0 レジスタ = 0-100100 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 0-000100 0110--00B

[▲ 5 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

▲ 6 : IICBnSTR0 レジスタ = 0-010100 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

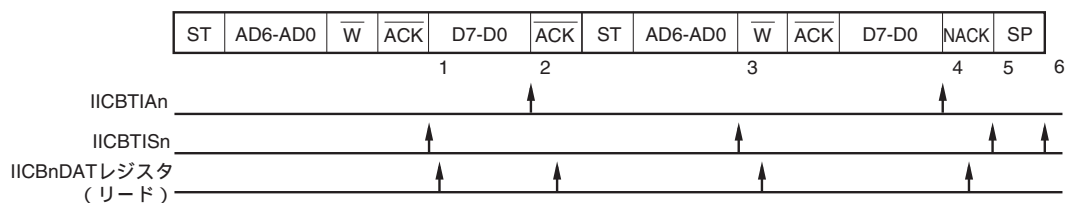
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



[▲ 1 : IICBnSTR0 レジスタ = 0-100101 0110--00B]

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

[▲ 3 : IICBnSTR0 レジスタ = 0-100100 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 4 : IICBnSTR0 レジスタ = 0-100100 0110--00B]

IICBnDAT レジスタ・リード

▲ 5 : IICBnSTR0 レジスタ = 0-111000 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

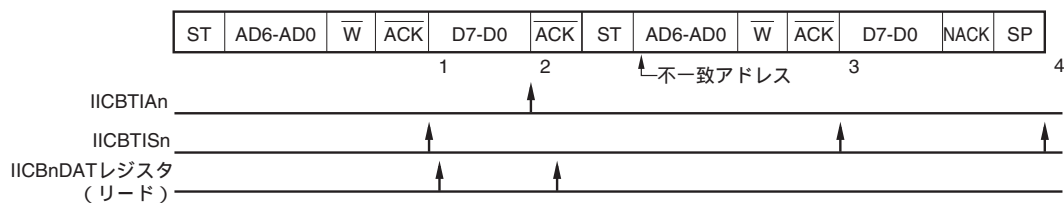
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後、アドレス不一致 (拡張コード不一致))



[▲ 1 : IICBnSTR0 レジスタ = 0-000101 0110--00B]

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

[▲ 3 : IICBnSTR0 レジスタ = 0-000000 0110--00B]

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

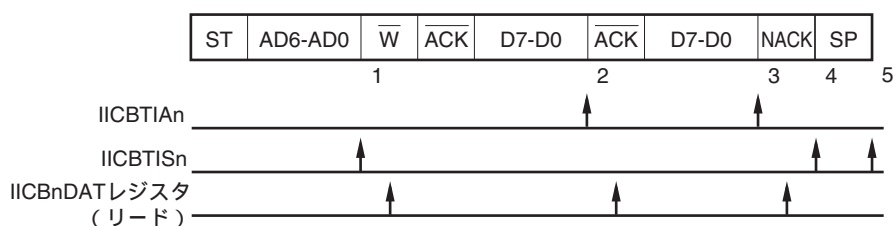
備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

23.8.11 連続転送モード (スレーブ (受信) : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))

備考 []で括られた割り込みは、ウエイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

(1) Start ~ Code ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



[▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-101001 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 3 : IICBnSTR0 レジスタ = 0-10001 0100--00B]

IICBnDAT レジスタ・リード

▲ 4 : IICBnSTR0 レジスタ = 0-111000 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

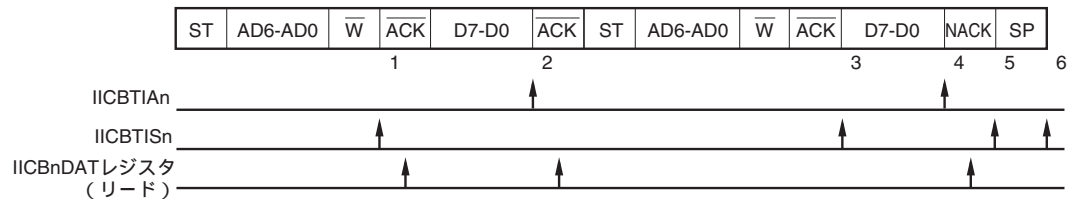
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



[▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-011000 0110--00B]

IICBnDAT レジスタ・リード

[▲ 3 : IICBnSTR0 レジスタ = 0-111001 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 4 : IICBnSTR0 レジスタ = 0-010100 0110--00B]

IICBnDAT レジスタ・リード

▲ 5 : IICBnSTR0 レジスタ = 0-110100 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

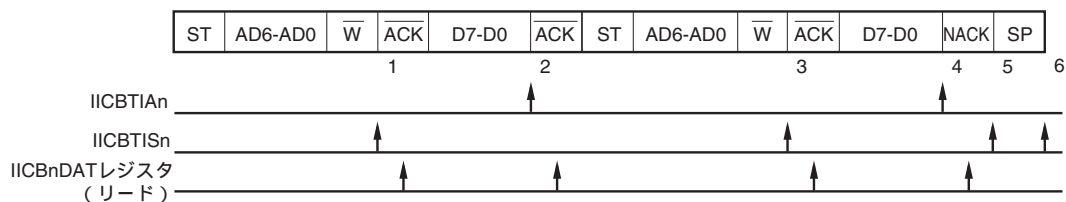
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



[▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

IICBnDAT レジスタ・リード

[▲ 3 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 4 : IICBnSTR0 レジスタ = 0-101001 0110--00B]

IICBnDAT レジスタ・リード

▲ 5 : IICBnSTR0 レジスタ = 0-011000 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

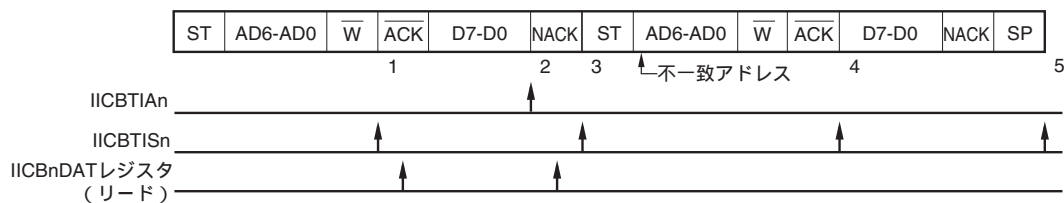
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



[▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-101001 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

▲ 3 : IICBnSTR0 レジスタ = 0-010000 0100--00B

IICBnTRG.IICBnWRET ビット = 1

[▲ 4 : IICBnSTR0 レジスタ = 0-000000 0110--00B]

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

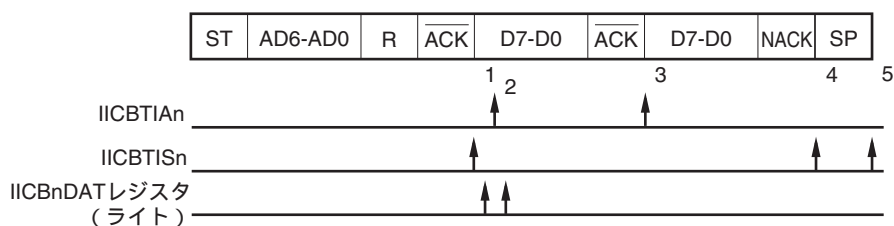
備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

23.8.12 連続転送モード (スレーブ (送信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))

備考 []で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

(1) Start ~ Address ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.ICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-110111 0110--00B

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 0-00011X 0100--00B]

IICBnDAT レジスタ・ライト

→ IICBnSTR0 レジスタ = 0-100011X 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 0-000111 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-010110 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

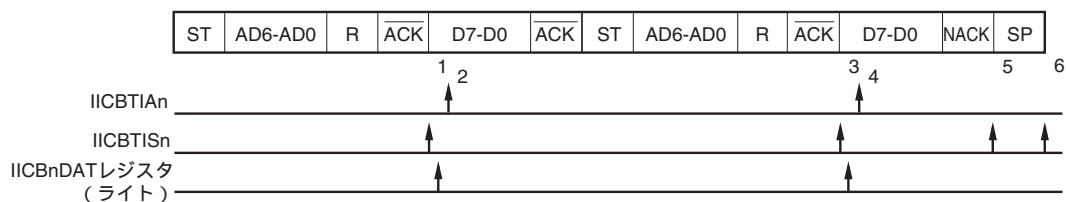
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-010111 0110--00B

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 0-00111X 01X0--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-010111 0110--00B

IICBnDAT レジスタ・ライト

[▲ 4 : IICBnSTR0 レジスタ = 0-100101 01X0--00B]

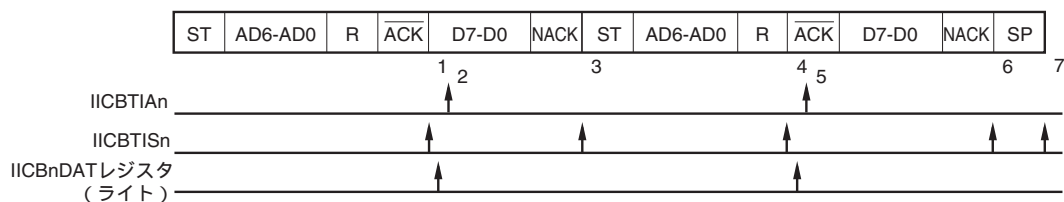
▲ 5 : IICBnSTR0 レジスタ = 0-110100 0100--00B

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)



▲ 1 : IICBnSTR0 レジスタ = 0-110111 0110--00B

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 0-100111 0100--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-111010 0110--00B

▲ 4 : IICBnSTR0 レジスタ = 0-111010 0110--00B

IICBnDAT レジスタ・ライト

[▲ 5 : IICBnSTR0 レジスタ = 0-111011 0110--00B]

▲ 6 : IICBnSTR0 レジスタ = 0-111010 0100--00B

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

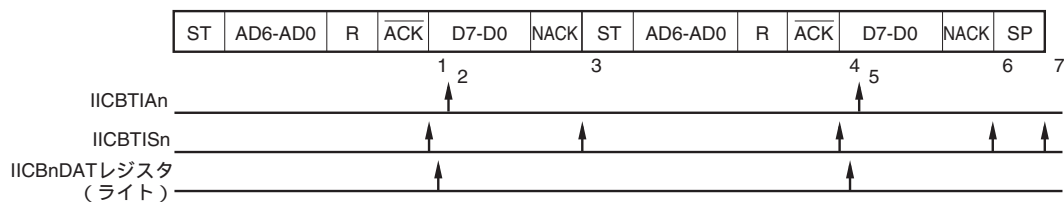
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後、アドレス不一致 (拡張コード不一致))



▲ 1 : IICBnSTR0 レジスタ = 0-110111 0110--00B

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 0-100111 0100--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-000010 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-000011 0110--00B

IICBnDAT レジスタ・ライト

[▲ 5 : IICBnSTR0 レジスタ = 0-00001X 0100--00B]

▲ 6 : IICBnSTR0 レジスタ = 0-000010 0100--00B

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

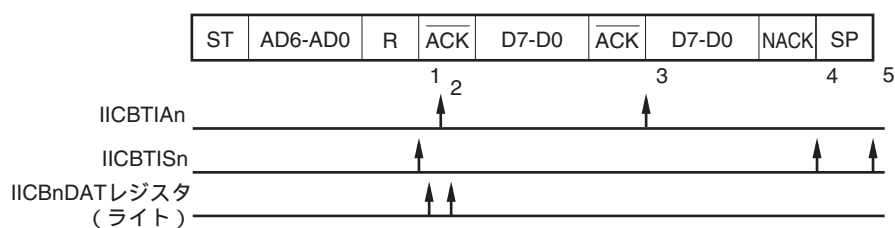
備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

23.8.13 連続転送モード (スレーブ (送信) : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))

備考 []で括られた割り込みは、ウエイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

(1) Start ~ Code ~ Data ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-011010 0110--00B

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 0-011011 0110--00B]

IICBnDAT レジスタ・ライト

[▲ 3 : IICBnSTR0 レジスタ = 0-011011 0100--00B]

▲ 4 : IICBnSTR0 レジスタ = 0-111010 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000010 0001--00B

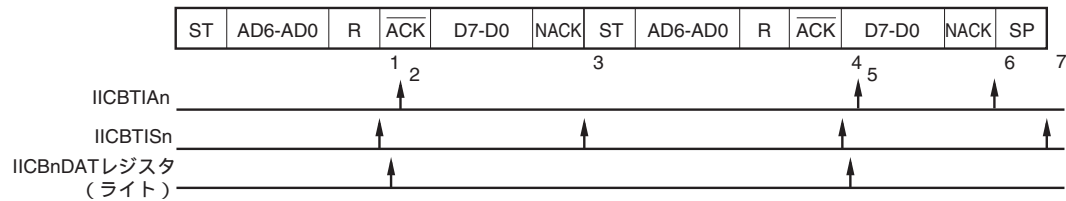
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-011000 0110--00B

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-011000 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-010101 0110--00B

IICBnDAT レジスタ・ライト

[▲ 5 : IICBnSTR0 レジスタ = 0-010101 0110--00B]

▲ 6 : IICBnSTR0 レジスタ = 0-010100 0100--00B

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

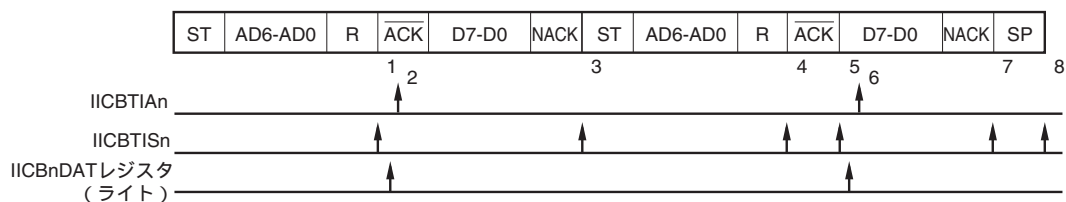
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)



▲ 1 : IICBnSTR0 レジスタ = 0-011000 0110--00B

IICBnDAT レジスタ・ライト

[▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-011000 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-011000 0110--00B

▲ 5 : IICBnSTR0 レジスタ = 0-011001 0110--00B

IICBnDAT レジスタ・ライト

[▲ 6 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

▲ 7 : IICBnSTR0 レジスタ = 0-011000 0100--00B

△ 8 : IICBnSTR0 レジスタ = 0-000000 0001--00B

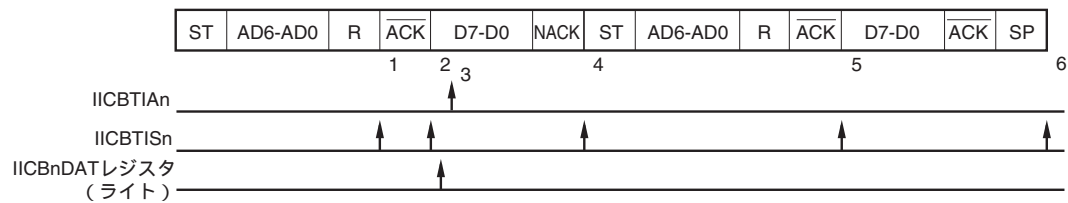
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき (リスタート後、アドレス不一致 (拡張コード不一致))



▲ 1 : IICBnSTR0 レジスタ = 0-011000 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B

IICBnDAT レジスタ・ライト

[▲ 3 : IICBnSTR0 レジスタ = 0-011010 0100--00B]

▲ 4 : IICBnSTR0 レジスタ = 0-000000 0100--00B

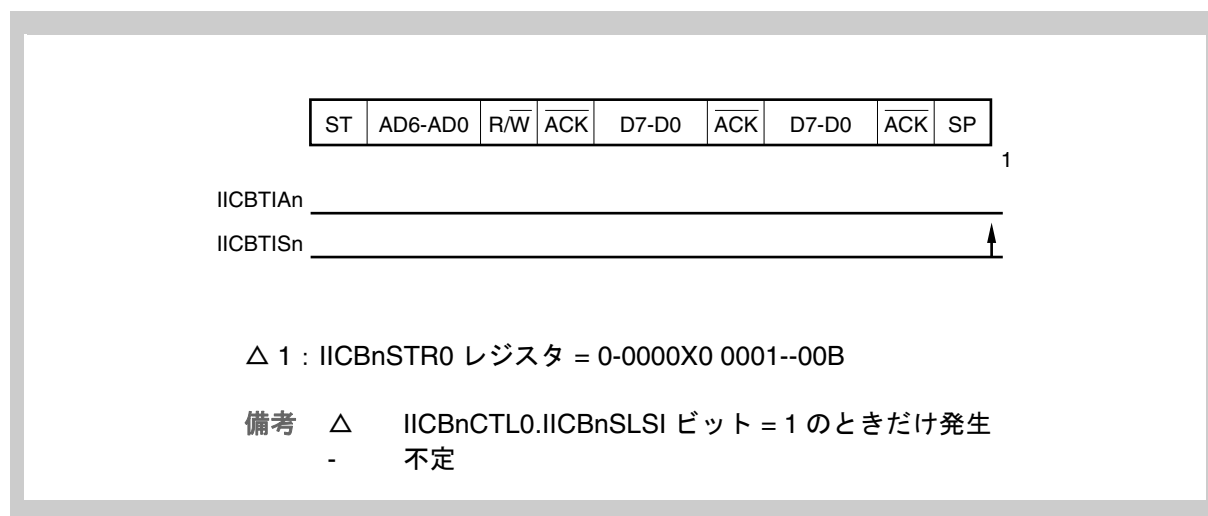
▲ 5 : IICBnSTR0 レジスタ = 0-000000 0110--00B

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定

23.8.14 連続転送モード（通信不参加の動作）

(1) Start ~ Code ~ Data ~ Data ~ Stop

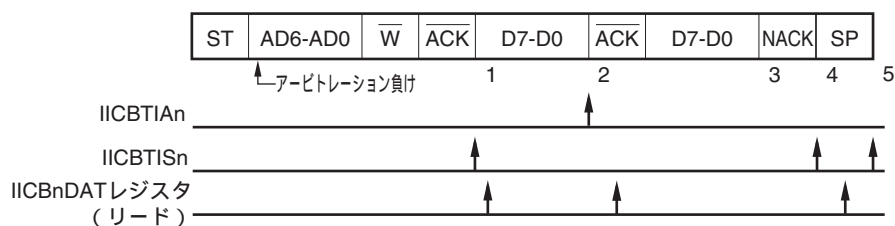


23.8.15 連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送した 場合）：アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) アービトレーションに負けたあと、アドレス一致の場合

(a) ① 受信, IICBnCTL0.IICBnSLWT ビット = 0 のとき



[▲ 1 : IICBnSTR0 レジスタ = 0-100101 0110--01B]

IICBnSTRC.IICBnCLAF ビット = 1

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-100101 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 3 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

▲ 4 : IICBnSTR0 レジスタ = 0-010100 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

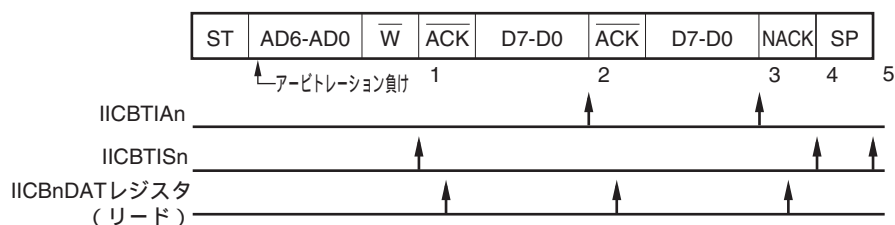
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

(2) アービトレーションに負けたあと、拡張コードを検出した場合

(a) ① 受信, IICBnCTL0.IICBnSLWT ビット = 0 のとき



[▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--01B]

IICBnSTRC.IICBnCLAF ビット = 1

IICBnDAT レジスタ・リード

[▲ 2 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[▲ 3 : IICBnSTR0 レジスタ = 0-101000 0100--00B]

IICBnDAT レジスタ・リード

▲ 4 : IICBnSTR0 レジスタ = 0-011000 0100--00B]

IICBnTRG.IICBnWRET ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

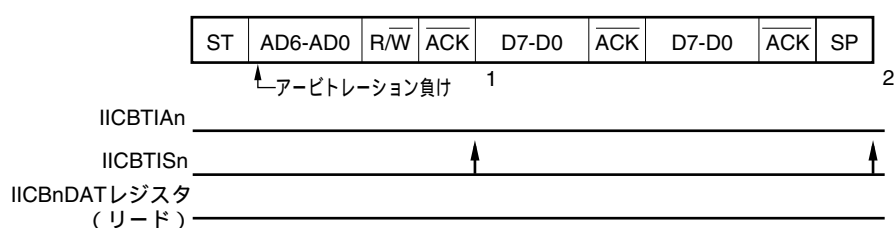
- 不定

23.8.16 連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送した 場合）：アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(a) ① 受信, IICBnCTL0.IICBnSLWT ビット = 0 のとき



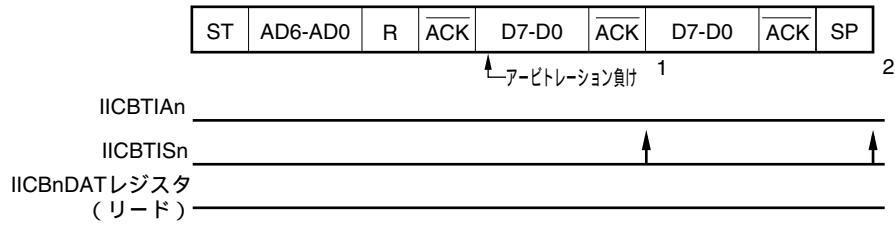
▲ 1 : IICBnSTR0 レジスタ = 0-000001 0110--01B (IICBnSTRC.IICBnCLAF
ビット = 1)

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
- 不定

(2) データ転送時にアービトレーションに負けた場合

(a) ① 受信, IICBnCTL0.IICBnSLWT ビット = 1 のとき



[▲ 1 : IICBnSTR0 レジスタ = 0-000000 0100--01B]

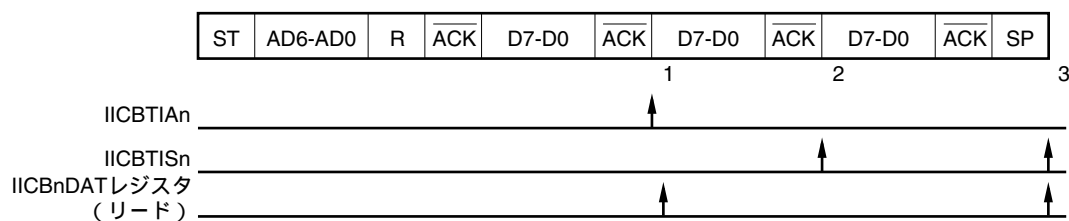
IICBnSTRC.IICBnCLAF ビット = 1

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定

- (5) リスタート・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



[▲ 1 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B]

IICBnDAT レジスタ・リード

IICBnTRG.IICBnSTT ビット = 1

▲ 2 : IICBnSTR0 レジスタ = 0-000000 0100--01B

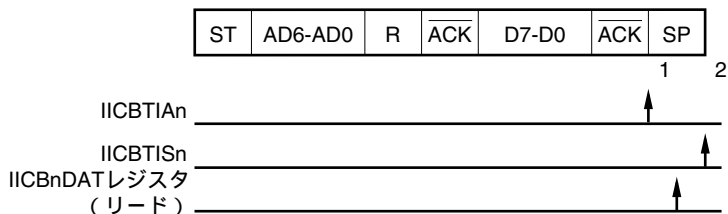
IICBnSTRC.IICBnCLAF ビット = 1

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

- (6) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



[▲ 1 : IICBnSTR0 レジスタ = 1-000001 0100--00B]

IICBnDAT レジスタ・リード

IICBnTRG.IICBnSTT ビット = 1

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--01B

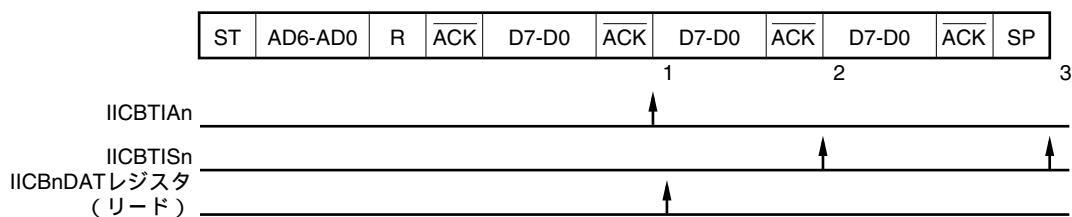
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

- (7) ストップ・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

(a) ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



[▲ 1 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B]

IICBnDAT レジスタ・リード

IICBnTRG.IICBnSPT ビット = 1

[▲ 2 : IICBnSTR0 レジスタ = 0-0000XX 0100--01B (IICBnSTRC.IICBnCLAF ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

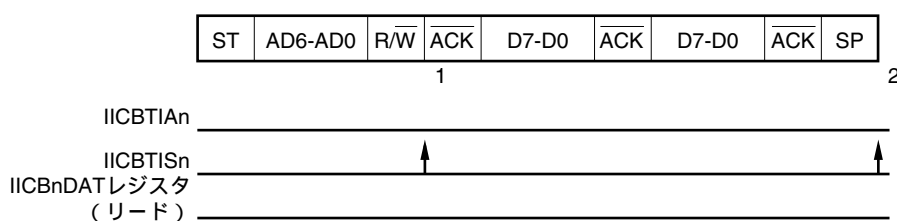
- 不定

X 任意

23.8.17 連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送した 場合）：アービトレーション負けのあと、不参加（拡張コード 転送中の場合））

マルチマスタ・システムでマスタとして使用する場合は IICBTISn 割り込み発生ごとに IICBnSTR0.IICBnALDF ビットをリードし、アービトレーション結果を確認してください。

(1) 拡張コード転送中にアービトレーションに負けた場合



[▲ 1 : IICBnSTR0 レジスタ = 0-1000X0 0110--01B]

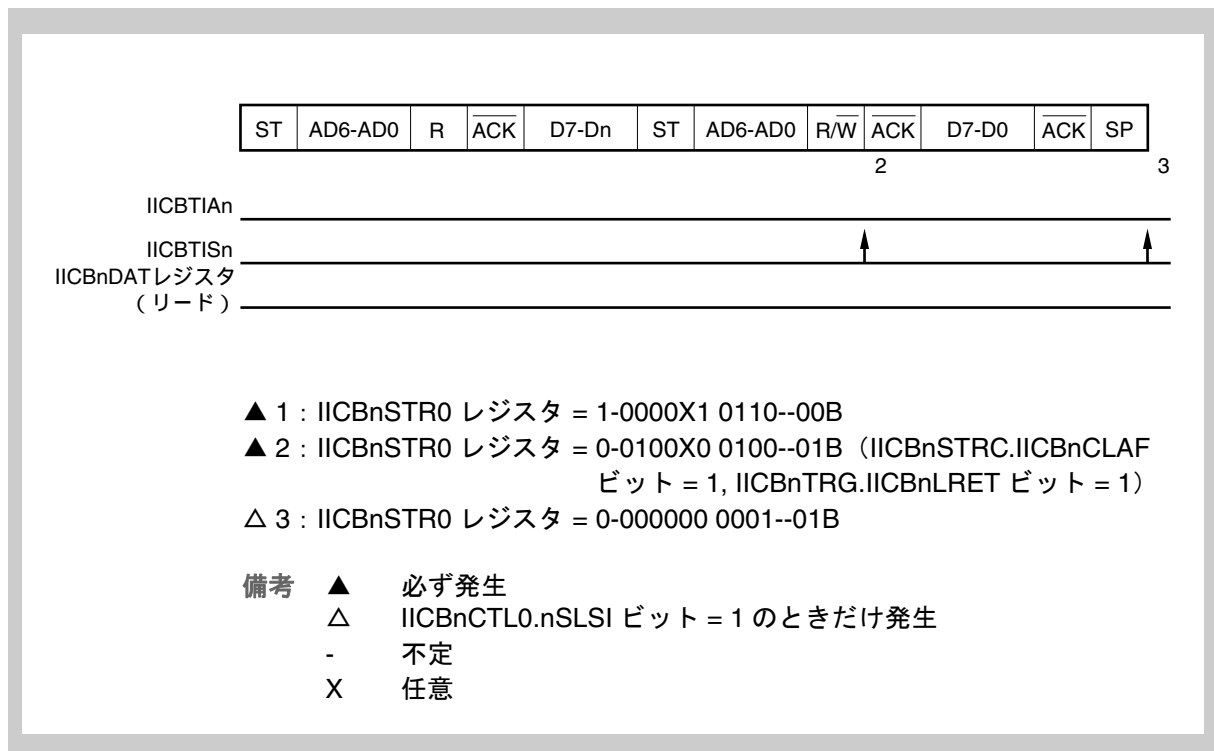
IICBnSTRC.IICBnCLAF ビット = 1

IICBnTRG.IICBnLRET ビット = 1

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--01B

- 備考 ▲ 必ず発生
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生
 - 不定
 X 任意

(2) データ転送時にリスタート・コンディションでアービトレーションに負けた場合 (拡張コード一致)



23.9 設定手順

23.9.1 シングルマスタ環境

(1) シングル転送モード時のマスタ動作設定手順

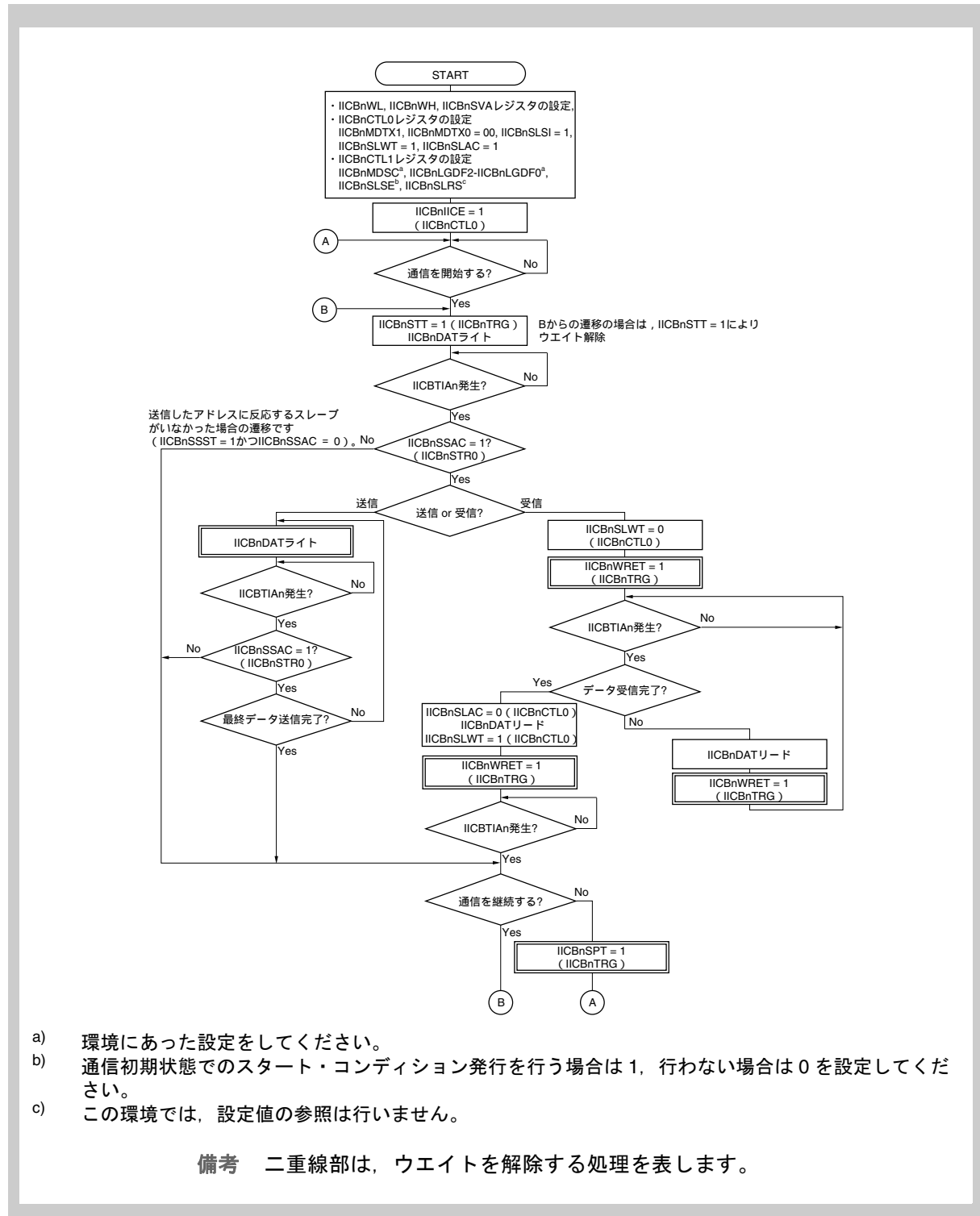


図 23-14 シングル転送モード時のマスタ動作設定手順 (シングルマスタ環境)

(2) シングル転送モード時のスレーブ動作設定手順

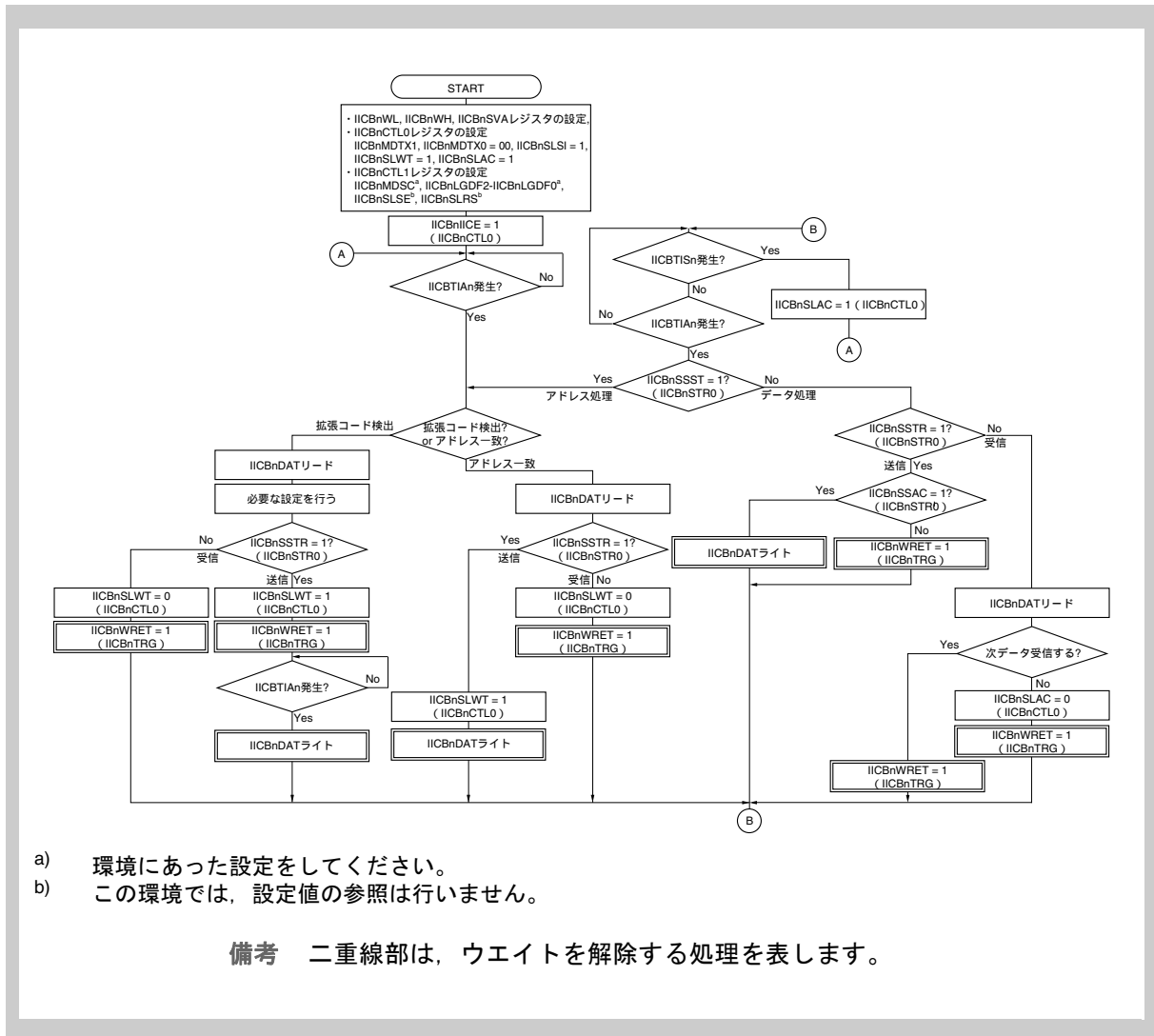


図 23-15 シングル転送モード時のスレーブ動作設定手順 (シングルマスタ環境)

(3) 連続転送モード時のマスタ動作設定手順

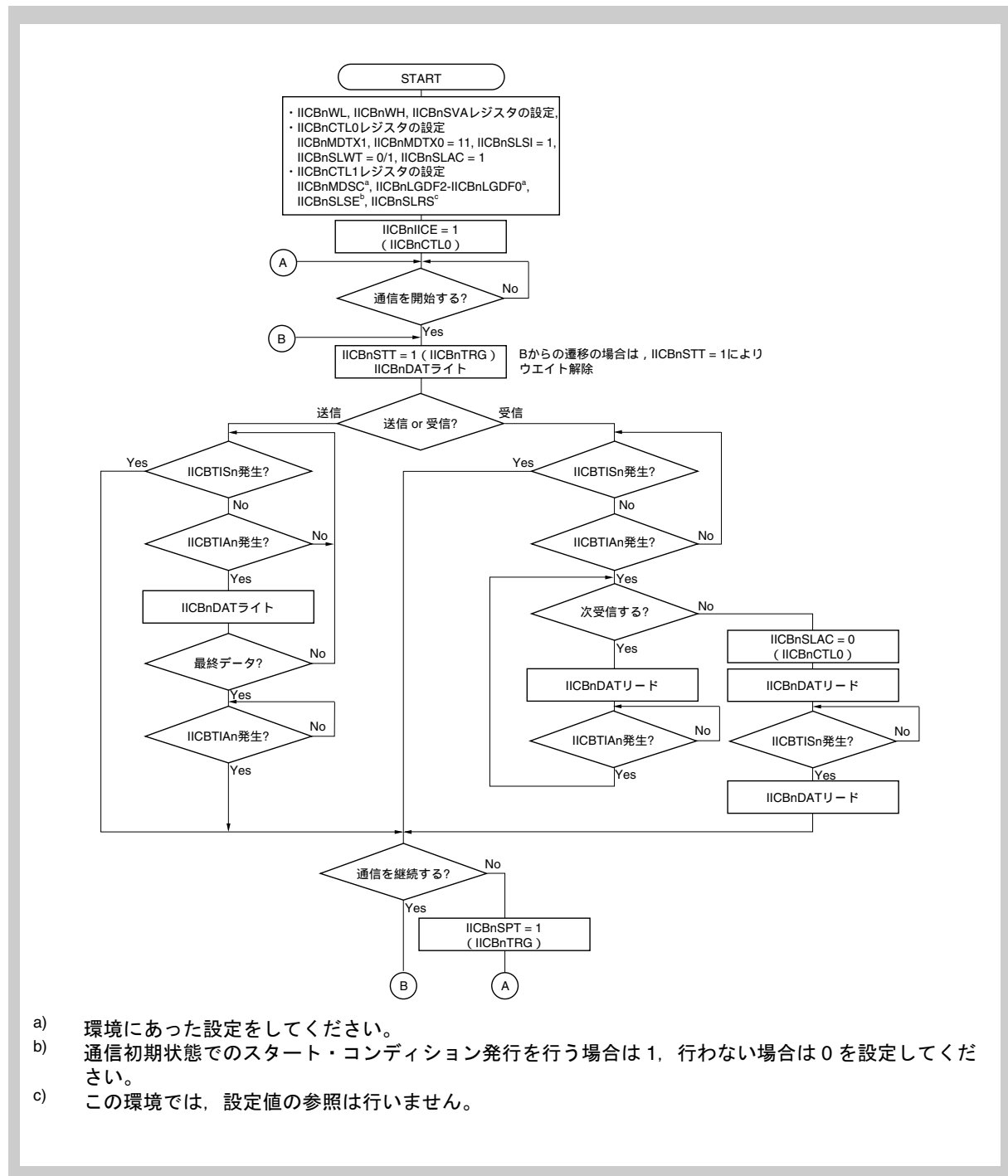


図 23-16 連続転送モード時のマスタ動作設定手順 (シングルマスタ環境)

(4) 連続転送モード時のスレーブ動作設定手順

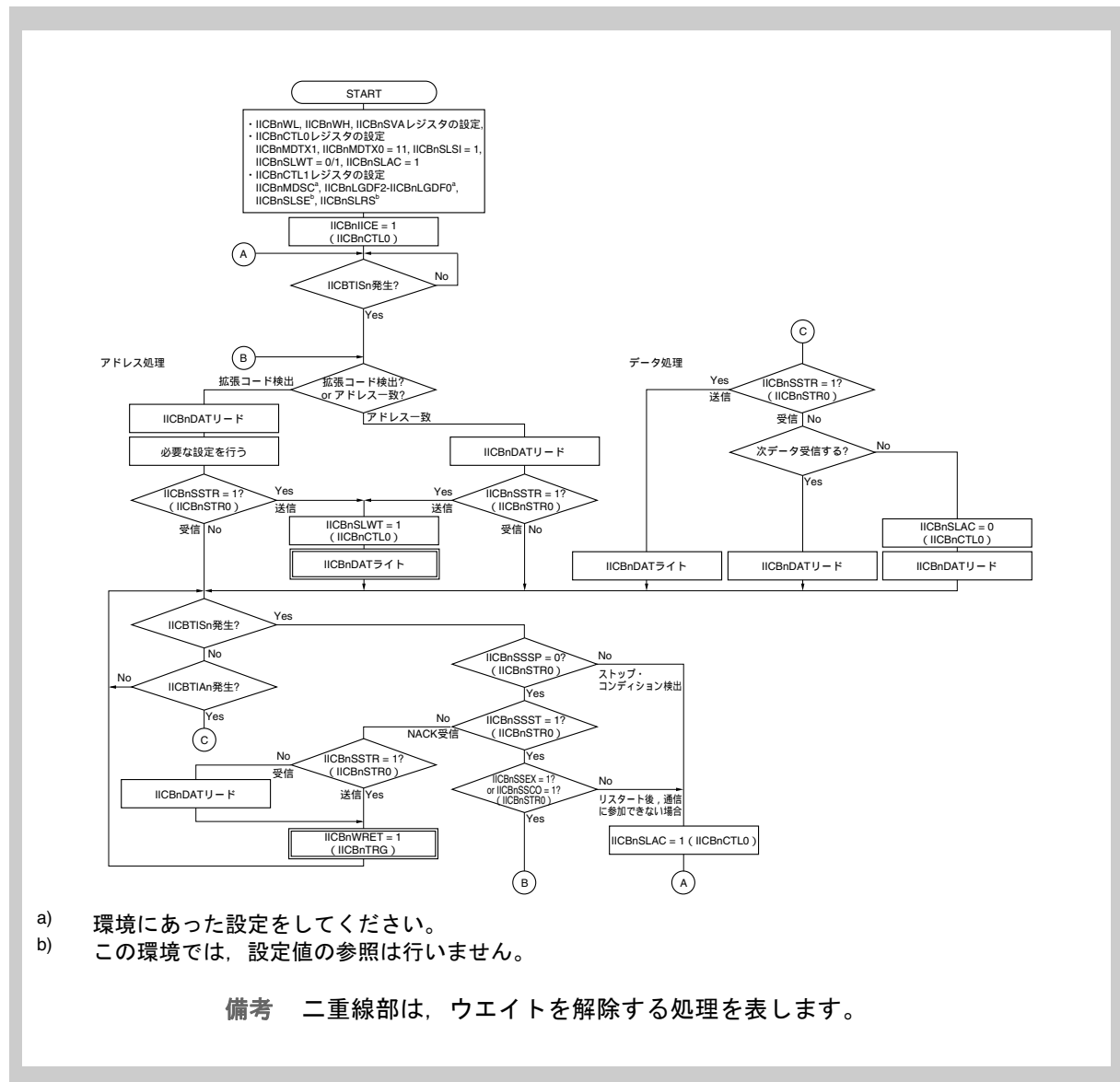
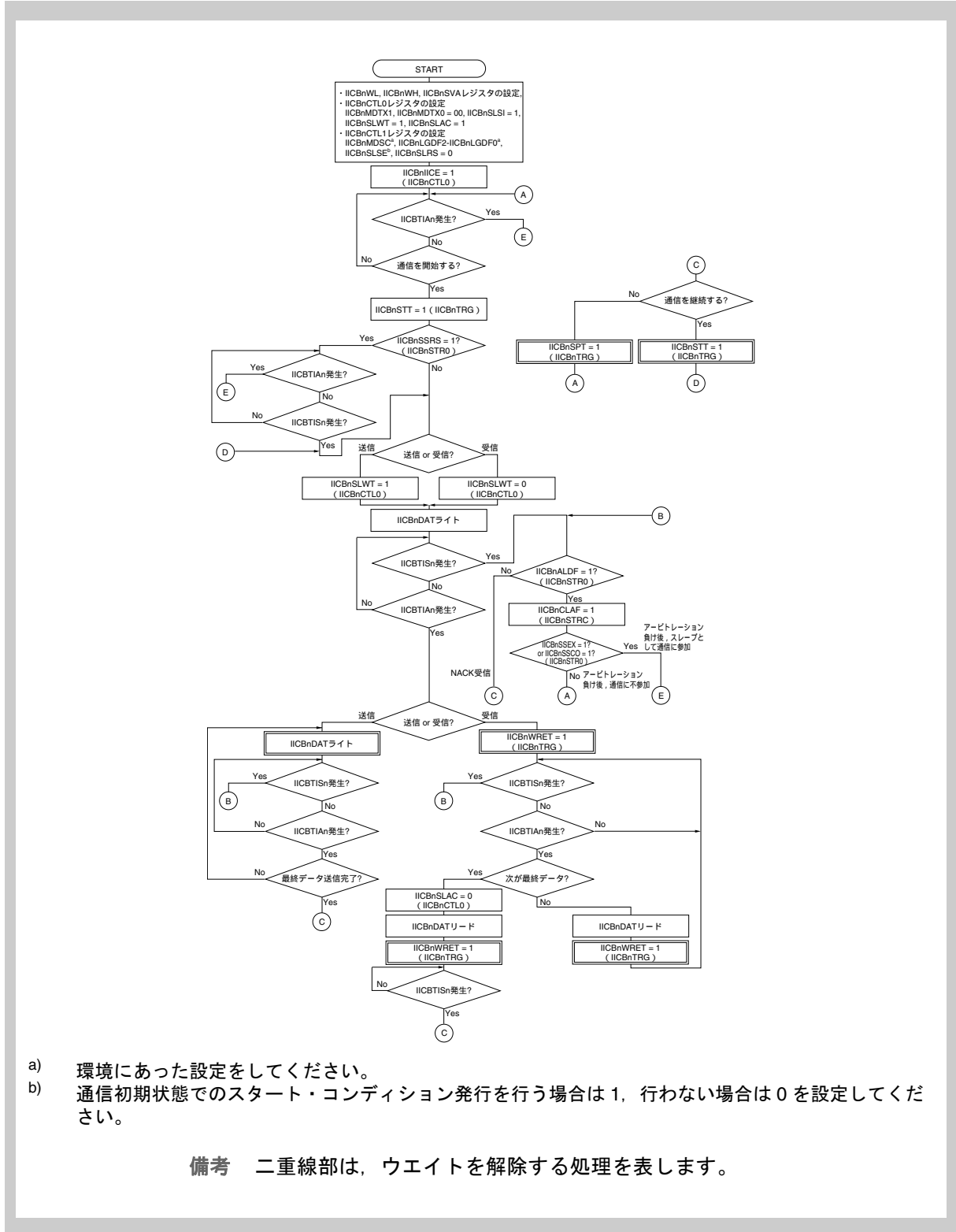


図 23-17 連続転送モード時のスレーブ動作設定手順 (シングルマスタ環境)

23.9.2 マルチマスタ環境

(1) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時のシングル転送モード設定手順



- a) 環境にあった設定をしてください。
- b) 通信初期状態でのスタート・コンディション発行を行う場合は1, 行わない場合は0を設定してください。

備考 二重線部は、ウェイトを解除する処理を表します。

図 23-18 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)

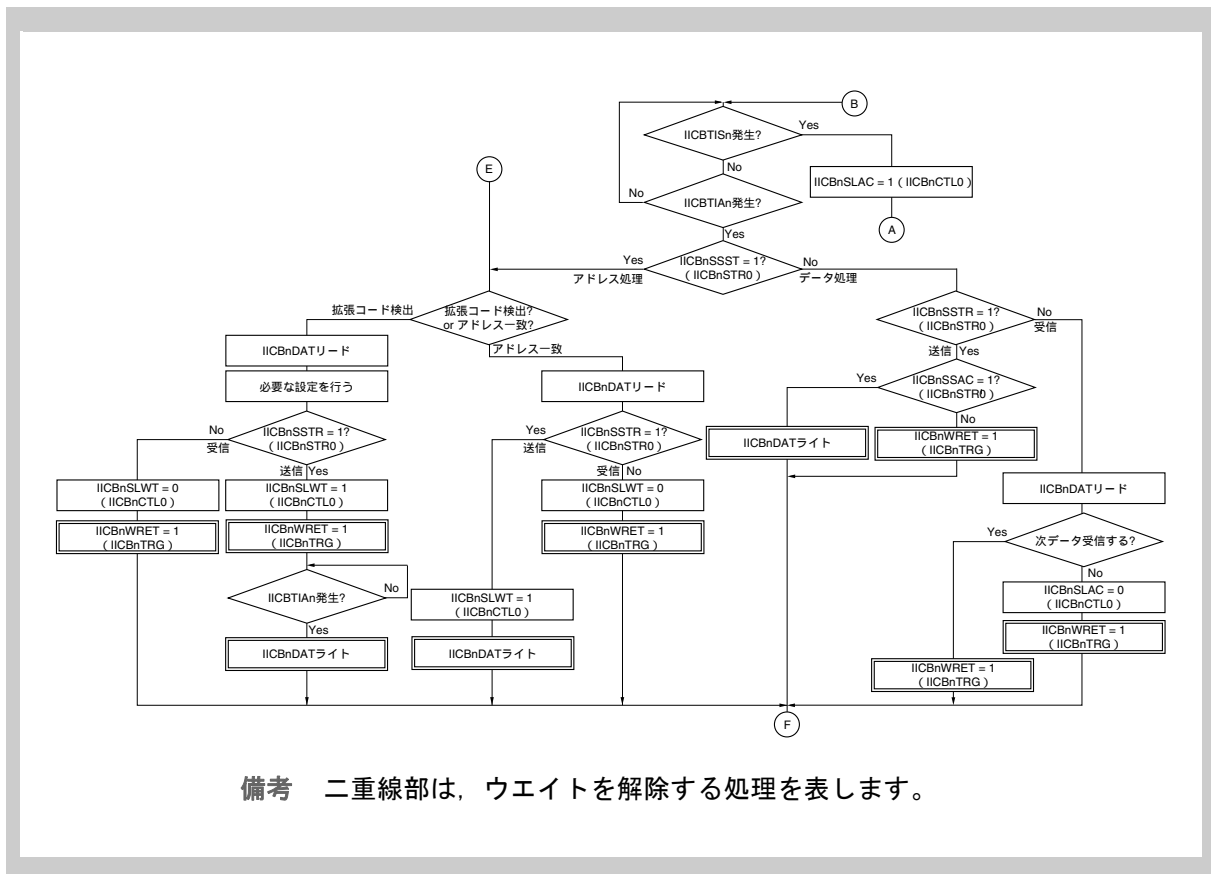


図 23-18 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (2/2)

(2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時のシングル転送モード設定手順

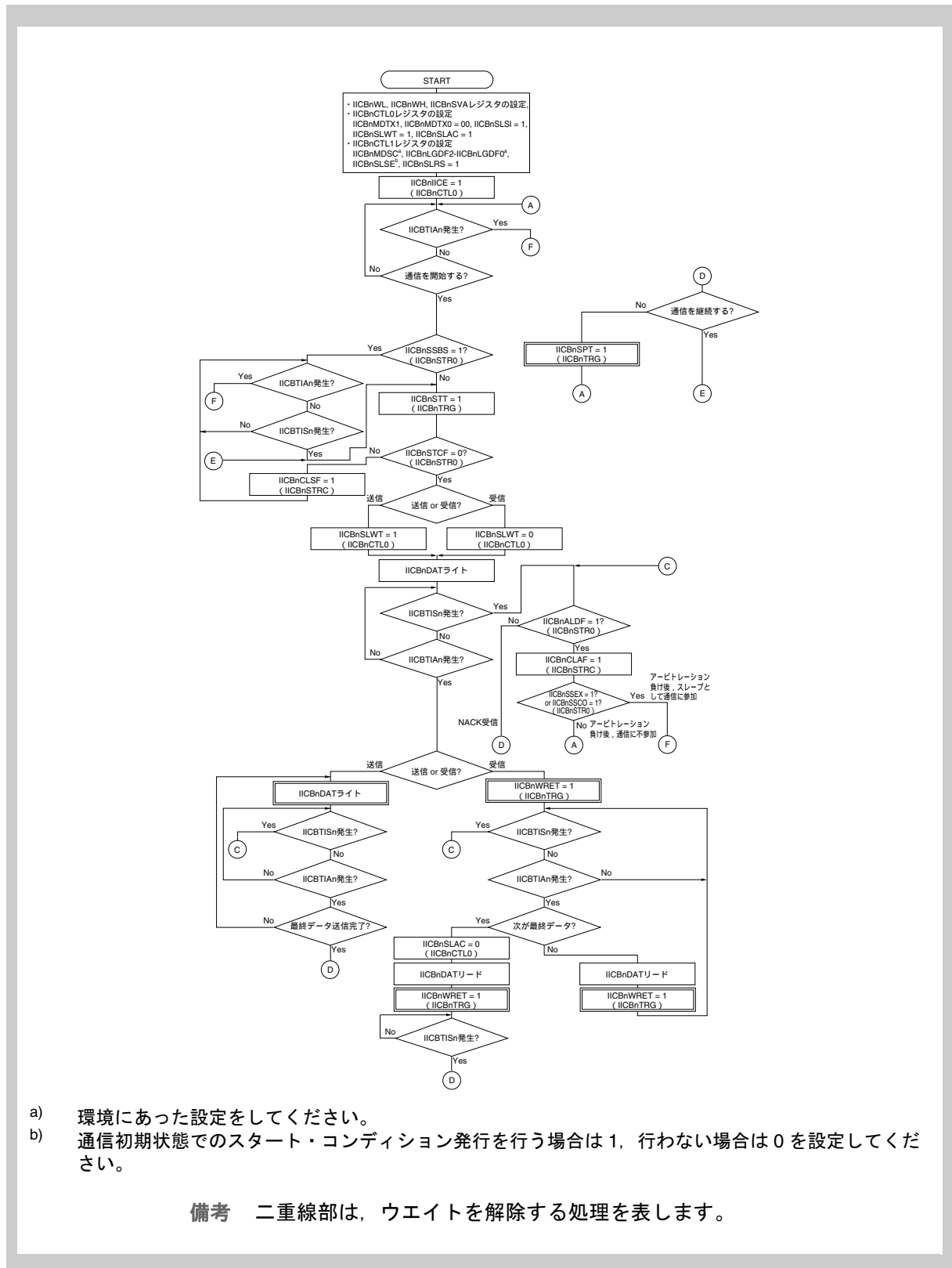


図 23-19 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)

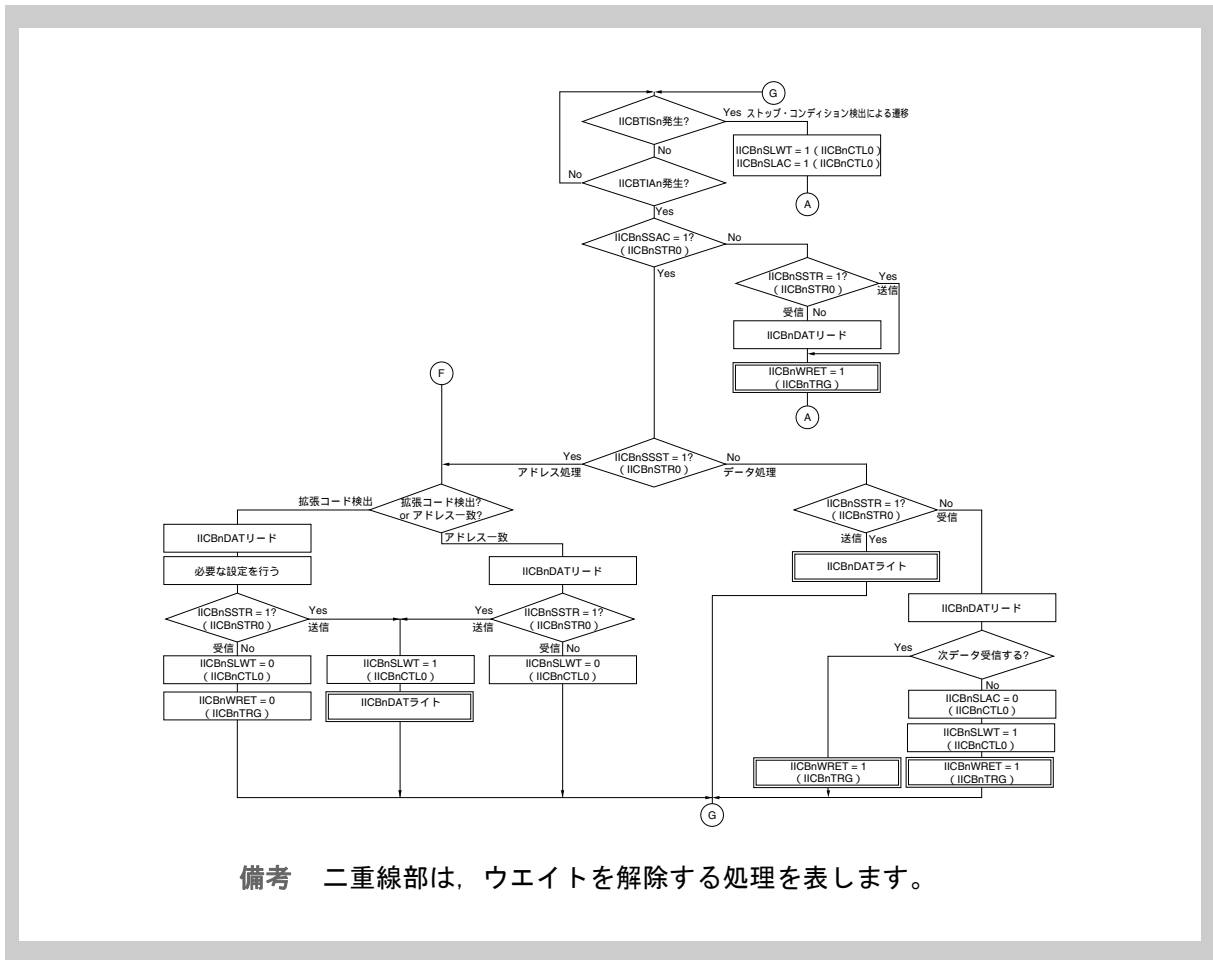
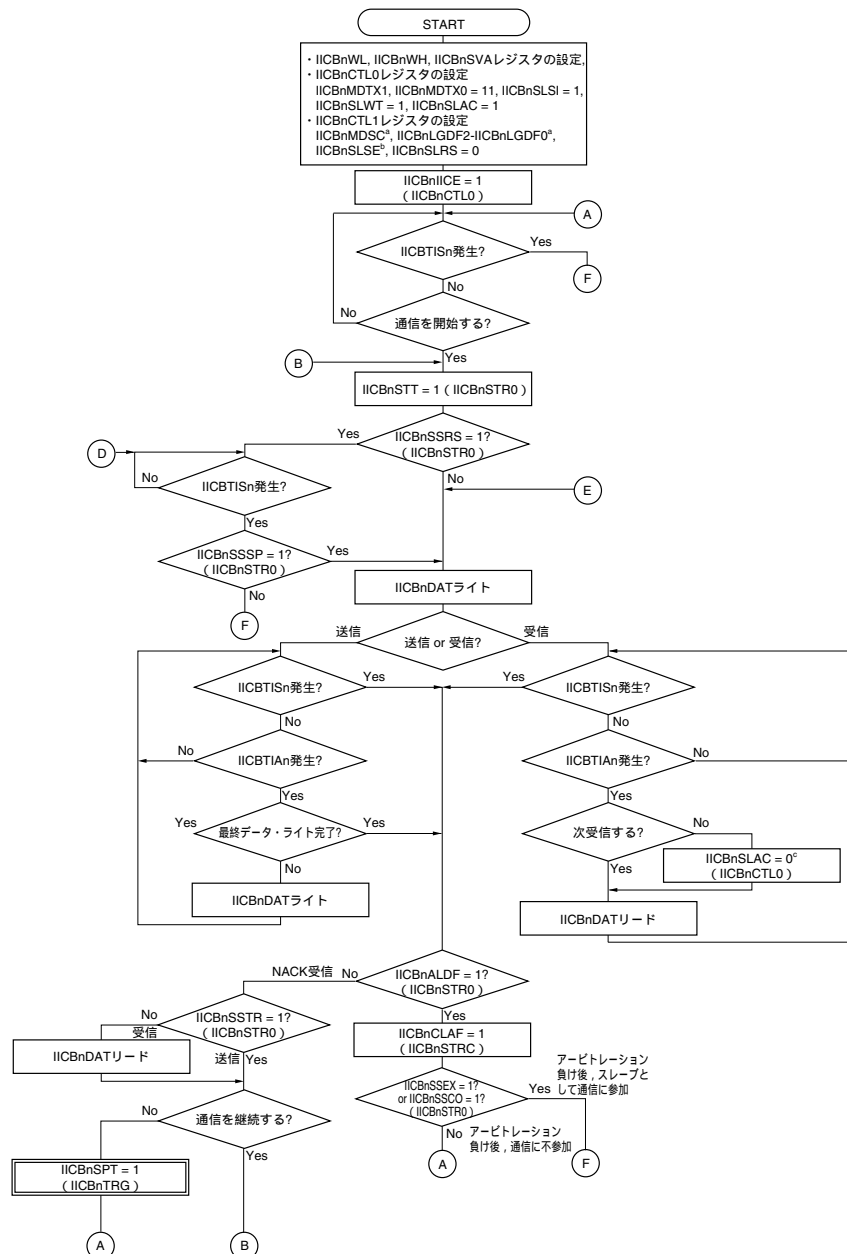


図 23-19 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時のシングル転送モード設定手順 (マルチマスタ環境) (2/2)

(3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時の連続転送モード設定手順



- a) 環境にあった設定をしてください。
 b) 通信初期状態でのスタート・コンディション発行を行う場合は1, 行わない場合は0を設定してください。
 c) IICBnCTL0.IICBnSLAC ビット = 0 は, 必ず SCLn の 8 クロック目までに設定してください。

備考 二重線部は, ウェイトを解除する処理を表します。

図 23-20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)

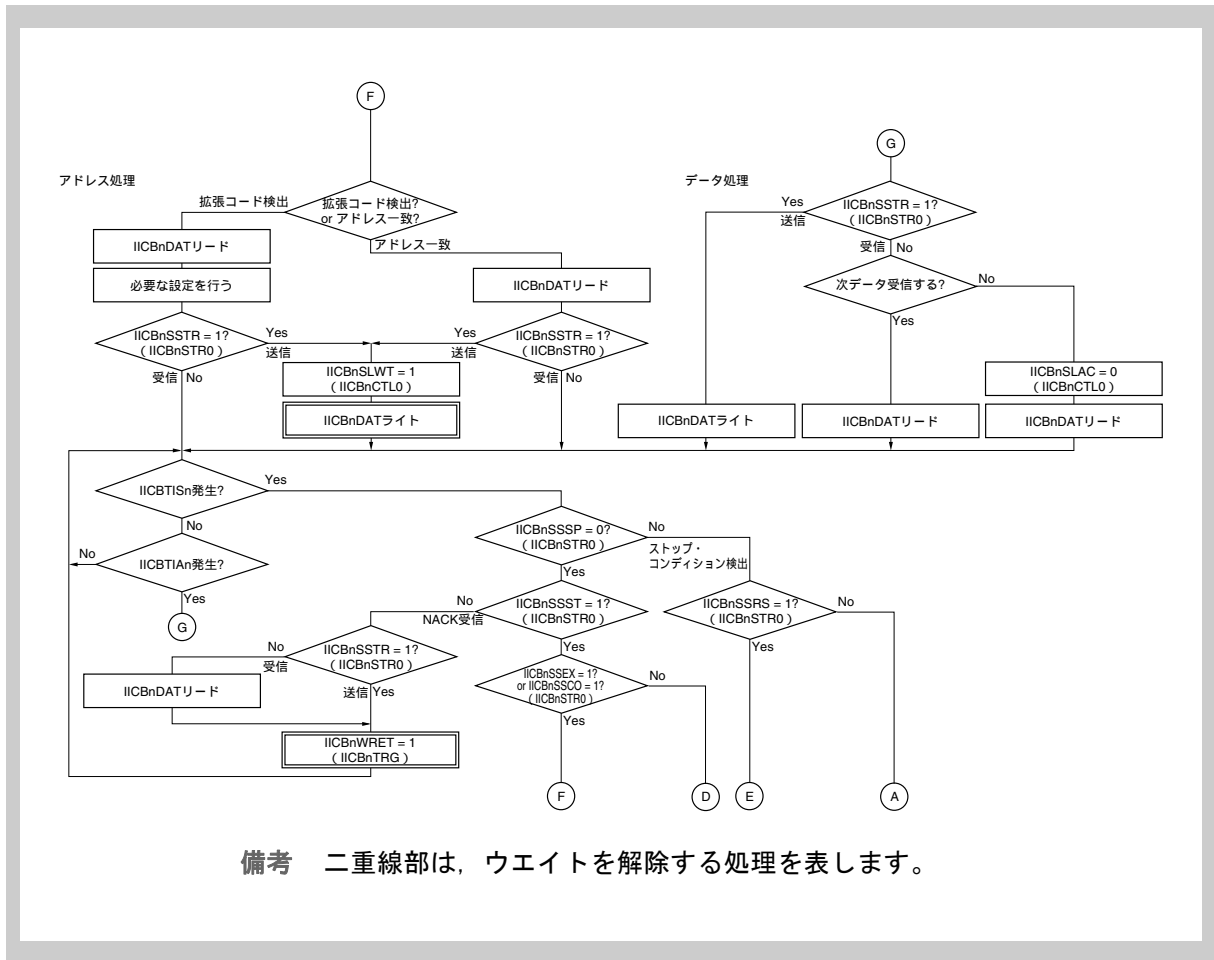
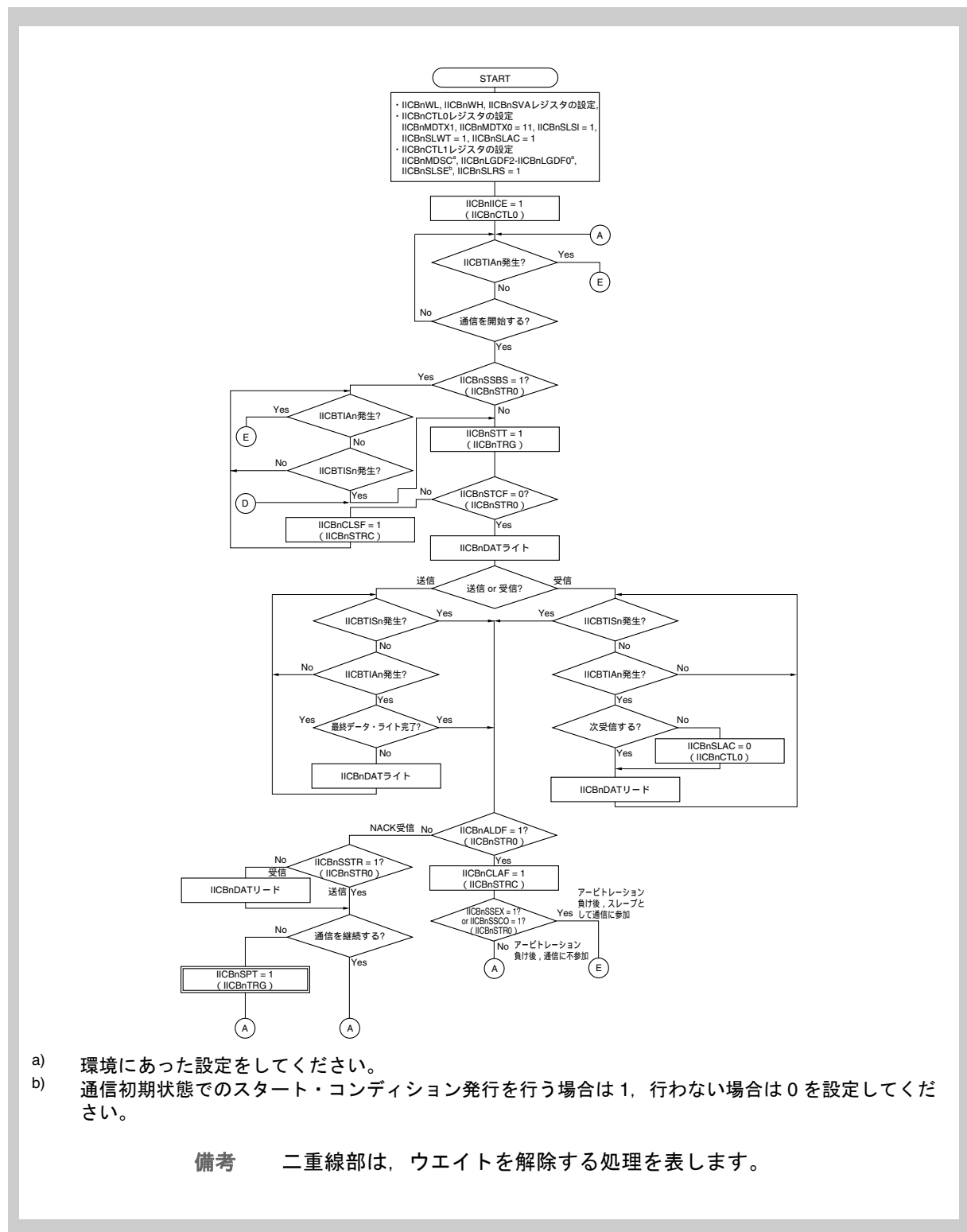


図 23-20 通信予約機能許可 (IICbCTL1.IICbSLRS ビット = 0) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)

(4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時の連続転送モード設定手順



- a) 環境にあった設定をしてください。
- b) 通信初期状態でのスタート・コンディション発行を行う場合は1, 行わない場合は0を設定してください。

備考 二重線部は、ウェイトを解除する処理を表します。

図 23-21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)

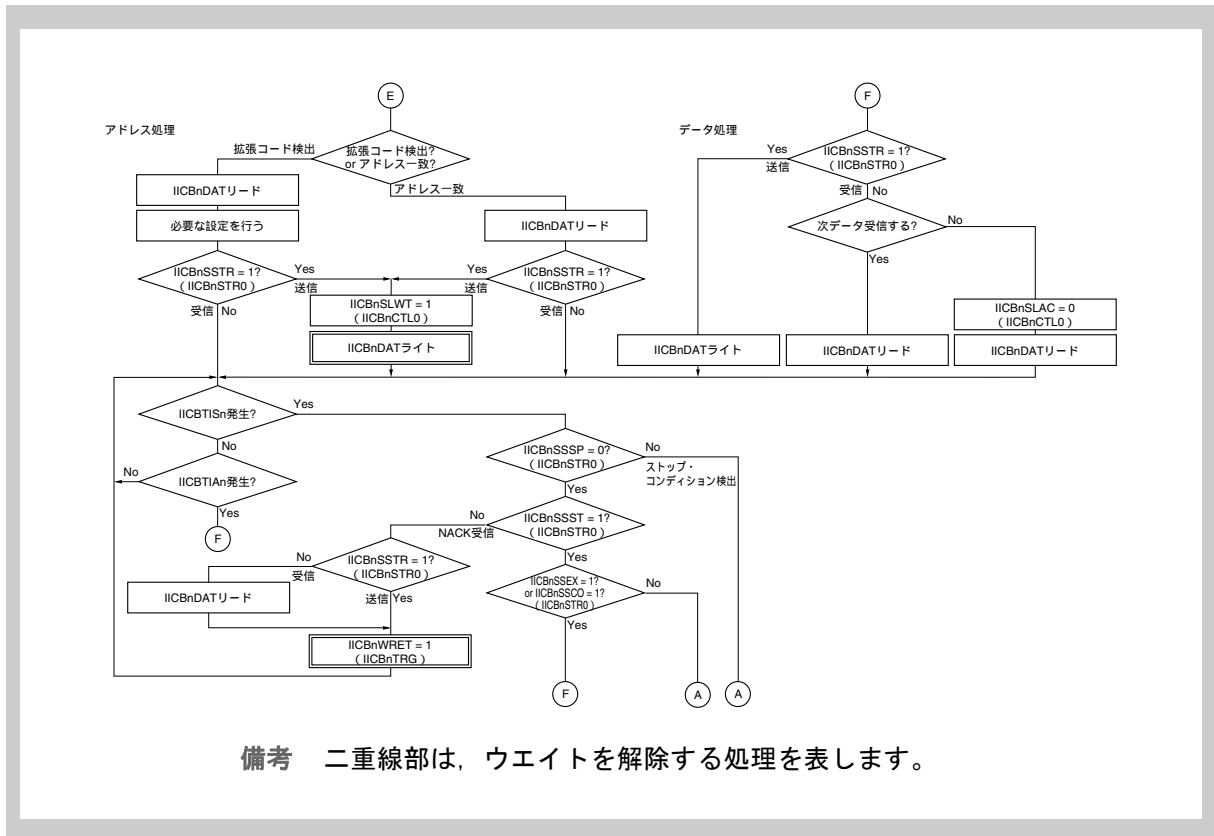


図 23-21 通信予約機能禁止 (IICbCTL1.IICbSLRS ビット = 1) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)

第24章 CANコントローラ (FCN)

この製品は ISO 11898 で標準化されている CAN プロトコルに準拠したオンチップの CAN (Controller Area Network) コントローラを搭載しています。

この章では、CAN コントローラ (FCN) 全般について説明します。

最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/MN4 に固有の特性について説明します。

24.1 V850E2/MN4 の FCN 機能

チャンネル この製品は次のチャンネル数の CAN コントローラを搭載しています。

表 24-1 FCN のチャンネル

CAN コントローラ	μ PD70F3510	μ PD70F3512, 70F3514, 70F3515
チャンネル数	非搭載	2
名称	—	FCN0, FCN1

n の意味 本章では、CAN コントローラの各チャンネルを「n」(n = 0, 1) で識別します。たとえば、FCNn コントロール・レジスタ (FCNnGMCLCTL) のように記述しています。

表 24-2 FCN チャンネルのメッセージ・バッファ

チャンネル	メッセージ・バッファの数 m
FCN0	64
FCN1	64

注意 本製品には、FCN0DNBMRX2, FCN0DNBMRX3 レジスタは、ありません。

m の意味 本章では、FCN メッセージ・バッファ・レジスタを「m」(m = 000 ~ 063) で識別します。たとえば、FCN チャンネル n, FCN メッセージ・バッファ・レジスタ m のメッセージ・データ・バイト 4 は、FCNnMmDAT4B と記述します。

レジスタ・アドレス CAN コントローラのレジスタ・アドレスは、FCNn のベース・アドレス <FCNn_base> からのオフセットで表されます。

FCNn の <FCNn_base> アドレスを表 24-3 に示します。

表 24-3 FCNn のレジスタ <FCNn_base> アドレス

チャンネル	<FCNn_base> アドレス
FCN0	FF48 0000 _H
FCN1	FF4A 0000 _H

クロック供給 CANコントローラは1つのクロック入力を使用します。CANコントローラはPバス・クロック f_{PCLK} に接続されています。

表 24-4 CANコントローラのクロック供給

チャンネル	クロック	接続先
FCN0, FCN1	CANCLK (f_{CAN})	f_{PCLK}

割り込み CANコントローラの割り込みを表 24-5 に示します。

表 24-5 CANコントローラの割り込み

FCNn の割り込み	機能	接続先
FCN0		
INTC0ERR	FCN0 エラー検出	• 割り込みコントローラ INTCSIH1IRE
INTC0REC	FCN0 受信完了	• 割り込みコントローラ INTCSIH1IR • DTS コントローラ・トリガ 111
INTC0TRX	FCN0 送信完了	• 割り込みコントローラ INTCSIH1IC • DTS コントローラ・トリガ 112
INTC0WUP	FCN0 スリープ・ウェイクアップ/送信中断	• 割り込みコントローラ INTFCNWUP
FCN1		
INTC1ERR	FCN1 エラー検出	• 割り込みコントローラ INTCSIG5IRE
INTC1REC	FCN1 受信完了	• 割り込みコントローラ INTCSIG5IR
INTC1TRX	FCN1 送信完了	• 割り込みコントローラ INTCSIG5IC
INTC1WUP	FCN1 スリープ・ウェイクアップ/送信中断	• 割り込みコントローラ INTFCNWUP

I/O 信号 CANコントローラの I/O 信号を表 24-6 に示します。

表 24-6 CANコントローラの I/O 信号

FNCn の信号	機能	接続先
FCN0		
CRXD0	FCN0 CAN バス受信入力	CAN0RXD
CTXD0	FCN0 CAN バス送信出力	CAN0TXD
FCN1		
CRXD1	FCN1 CAN バス受信入力	CAN1RXD
CTXD1	FCN1 CAN バス送信出力	CAN1TXD

24.2 特徴

- ISO 11898 に準拠
- 標準フレームと拡張フレームの送受信が可能
- 転送速度：最大 1 Mbps (FCN クロック入力が 16 MHz 以上の場合)
- 1 チャンネルにつき 64 個のメッセージ・バッファ
- 送受信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能)
- 自動ブロック送信機能
- マルチ・バッファ受信ブロック機能
- データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャンネルごとに設定可能
- FCN モジュール・ビット・レート・プリスケアラ・レジスタ (FCNnCMRPRS) およびビット・レート・レジスタ (FCNnCMBTCTL) により、データ・ビット・タイム、通信ポー・レート、サンプル・ポイントを制御可能
 - たとえば、以下のサンプル・ポイントを設定可能：
66.7%, 70.0%, 75.0%, 80.0%, 81.3%, 85.0%, 87.5%
 - 10 kbps ~ 1 Mbps のポー・レートを設定可能
- 拡張機能：
 - 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして動作するように設定可能
 - 対象となるメッセージ・バッファの送信要求フラグをクリアすることで送信要求を中断可能。中断が成功した場合の送信中断割り込みに対応
 - 自動ブロック送信動作モード (ABT)
 - タイマ・キャプチャ・チャンネルと連携する FCN チャンネル 0 ~ 2 のタイム・スタンプ機能
 - 一元管理されるグローバル・データ更新ビット・モニタ・レジスタの採用により、一箇所ですべてのデータ更新ビットを確認可能

24.2.1 機能の概要

CANコントローラの機能の概要を表 1-7 に示します。

表 24-7 機能の概要

機能	詳細
プロトコル	CAN プロトコル ISO 11898 (標準フレームおよび拡張フレームの送受信)
ポー・レート	最大 1 Mbps (最小 FCN クロック入力 = 16 MHz)
データの保存	FCN RAM にメッセージを保存
メッセージ数	<ul style="list-style-type: none"> 1 チャンネルにつき 64 個または 128 個のメッセージ・バッファ 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	<ul style="list-style-type: none"> 個々のメッセージ・バッファに固有の ID を設定可能 データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャンネルごとに設定可能 メッセージを受信し、メッセージ・バッファに保存するたびに受信完了割り込みを発生 (メッセージ・バッファごとに受信完了割り込みの許可/禁止が設定可能) 複数の受信メッセージ・バッファを 1 つの FIFO 受信バッファとして使用可能 (マルチ・バッファ受信ブロック機能) 受信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能) 一元管理されるグローバル・データ更新ビット・モニタ・レジスタ
メッセージ送信	<ul style="list-style-type: none"> 個々のメッセージ・バッファに固有の ID を設定可能 メッセージ・バッファごとに送信完了割り込みの許可/禁止が設定可能 メッセージ・バッファごとの送信中断割り込みおよび送信完了フラグ (いずれのバッファについても、同時に中断可能な送信は 1 つに限られる) 送信メッセージ・バッファとして指定されたメッセージ・バッファ番号 0 ~ 15/31 は、自動ブロック転送用として使用可能。メッセージ送信間隔をプログラマブルに変更可能 (自動ブロック送信機能 (以下、ABT と記述)) 送信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能)
リモート・フレーム処理	<ul style="list-style-type: none"> 送信メッセージ・バッファによるリモート・フレーム処理 受信メッセージ・バッファによるリモート・フレーム受信 (8 個のマスクの 1 つを適用可能)
タイム・スタンプ機能	<ul style="list-style-type: none"> 32 ビット・タイマと組み合わせて使用することで、メッセージ受信時のタイム・スタンプ機能を設定可能 タイム・スタンプ・キャプチャ・トリガを選択可能 (CAN メッセージ・フレーム内の SOF または EOF 検出に切り替え可能)
診断機能	<ul style="list-style-type: none"> 読み出し可能なエラー・カウンタ バス接続確認用の「有効プロトコル動作フラグ」 受信オンリー・モード シングル・ショット・モード CAN プロトコル・エラーの判別 セルフ・テスト・モード
バスオフ復帰機能	<ul style="list-style-type: none"> ソフトウェアによりバスオフからの強制復帰が可能 バスオフからの自動復帰不可 (ソフトウェアによる復帰要求が必要)
パワー・セーブ・モード	<ul style="list-style-type: none"> CAN スリープ・モード (CAN バスによりウエイク・アップ可能) CAN ストップ・モード (CAN バスによりウエイク・アップ不可)

24.2.2 構成

CANコントローラは以下の4つのブロックから構成されています。

- 内部バス・インタフェース
内部バス・インタフェースおよびFCNモジュールとホストCPUの間でメッセージを送受信するための機能ブロックです。
- MCM (Message Control Module)
FCNモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。
- CANプロトコル・レイヤ
CANプロトコルの動作とそれに関連する設定を行う機能ブロックです。
- CAN RAM
メッセージID、メッセージ・データなどの保存に使用されるCANメモリ機能ブロックです。

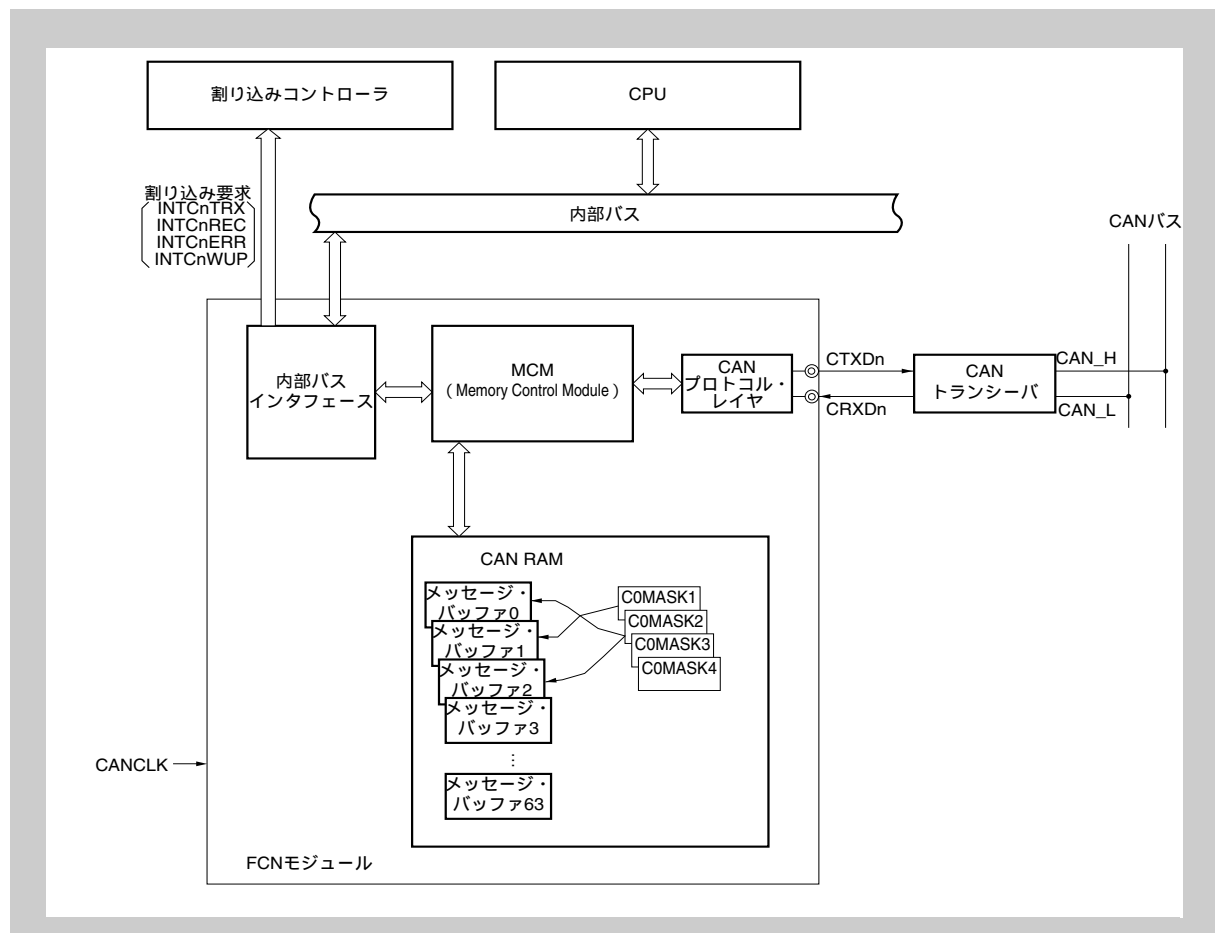


図 24-1 CANコントローラのブロック図

注意 CAN RAM CAN RAM はメモリ照合モジュールを内蔵しています。CAN RAM エラーがソフトウェア・リセット中に発生した場合、メッセージ・バッファ RAM 読み出しエラー検出ビット (FCNnGMCLCTL.FCNnGMCLECCF) がセットされます。そのような場合には、FCN 機能を確認してください。

24.3 FCN の内部レジスタ

24.3.1 CAN コントローラの構成

表 24-8 FCN レジスタ一覧 (1/2)

項目	レジスタ名
FCNn グローバル・レジスタ	FCNn グローバル制御レジスタ (FCNnGMCLCTL)
	FCNn グローバル・クロック選択レジスタ (FCNnGMCSPRE)
	FCNn グローバル自動ブロック送信制御レジスタ (FCNnGMABCTL)
	FCNn グローバル自動ブロック送信遅延設定レジスタ (FCNnGMADCTL)
	FCNn グローバル・データ更新ビット・モニタ・レジスタ (FCNnDNBMRX0 ~ FCNnDNBMRX3)
FCNn モジュール・レジスタ	FCNn モジュール・マスク 1 レジスタ (FCNnCMMKCTL01H, FCNnCMMKCTL02H, FCNnCMMKCTL01W)
	FCNn モジュール・マスク 2 レジスタ (FCNnCMMKCTL03H, FCNnCMMKCTL04H, FCNnCMMKCTL03W)
	FCNn モジュール・マスク 3 レジスタ (FCNnCMMKCTL05H, FCNnCMMKCTL06H, FCNnCMMKCTL05W)
	FCNn モジュール・マスク 4 レジスタ (FCNnCMMKCTL07H, FCNnCMMKCTL08H, FCNnCMMKCTL07W)
	FCNn モジュール・マスク 5 レジスタ (FCNnCMMKCTL09H, FCNnCMMKCTL10H, FCNnCMMKCTL09W)
	FCNn モジュール・マスク 6 レジスタ (FCNnCMMKCTL11H, FCNnCMMKCTL12H, FCNnCMMKCTL11W)
	FCNn モジュール・マスク 7 レジスタ (FCNnCMMKCTL13H, FCNnCMMKCTL14H, FCNnCMMKCTL13W)
	FCNn モジュール・マスク 8 レジスタ (FCNnCMMKCTL15H, FCNnCMMKCTL16H, FCNnCMMKCTL15W)
	FCNn モジュール制御レジスタ (FCNnCMCLCTL)
	FCNn モジュール最終エラー情報レジスタ (FCNnCMLCSTR)
	FCNn モジュール情報レジスタ (FCNnCMINSTR)
	FCNn モジュール・エラー・カウンタ・レジスタ (FCNnCMERCNT)
	FCNn モジュール割り込み許可レジスタ (FCNnCMIECTL)
	FCNn モジュール割り込みステータス・レジスタ (FCNnCMISCTL)
	FCNn モジュール・ビット・レート・プリスケラ・レジスタ (FCNnCMBRPRS)
	FCNn モジュール・ビット・レート・レジスタ (FCNnCMBTCTL)
	FCNn モジュール最終受信ポインタ・レジスタ (FCNnCMLISTR)
	FCNn モジュール受信履歴・リスト・レジスタ (FCNnCMRGRX)
	FCNn モジュール最終送信ポインタ・レジスタ (FCNnCMLOSTR)
	FCNn モジュール送信履歴・リスト・レジスタ (FCNnCMTGTX)
	FCNn モジュール・タイム・スタンプ・レジスタ (FCNnCMTSCTL)

表 24-8 FCN レジスタ一覧 (2/2)

項目	レジスタ名
FCN メッセージ・バッファ・レジスタ	FCNn メッセージ・データ・バイト 0 ~ 3 レジスタ m (FCNnMmDAT0W, FCNnMmDAT0H, FCNnMmDAT2H, FCNnMmDAT0B, FCNnMmDAT1B, FCNnMmDAT2B, FCNnMmDAT3B)
	FCNn メッセージ・データ・バイト 4 ~ 7 レジスタ m (FCNnMmDAT4W, FCNnMmDAT4H, FCNnMmDAT6H, FCNnMmDAT4B, FCNnMmDAT5B, FCNnMmDAT6B, FCNnMmDAT7B)
	FCNn メッセージ・データ長レジスタ m (FCNnMmDTLGB)
	FCNn メッセージ・コンフィギュレーション・レジスタ m (FCNnMmSTRB)
	FCNn メッセージ ID レジスタ m (FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W)
	FCNn メッセージ制御レジスタ m (FCNnMmCTL)

24.3.2 CAN コントローラ・レジスタの概要

備考 レジスタ・アドレスはベース・アドレス <FCNn_base> からのオフセットとして表されます。レジスタの <FCNn_base> アドレスは、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

(1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ

表 24-9 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (1/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 0008 _H	FCNn グローバル・クロック選択レジスタ	FCNnGMCSPRE	R/W	8	0F _H
0 0020 _H	FCNn グローバル自動ブロック送信遅延設定レジスタ	FCNnGMADCTL	R/W	8	00 _H
0 8000 _H	FCNn グローバル制御レジスタ	FCNnGMCLCTL	R/W	16	00X0 _H ^a
0 8018 _H	FCNn グローバル自動ブロック送信制御レジスタ	FCNnGMABCTL	R/W	16	0000 _H
1 00C0 _H	FCNn グローバル・データ更新ビット・モニタ・レジスタ 0	FCNnDNBMRX0	R	32	b
1 00D0 _H	FCNn グローバル・データ更新ビット・モニタ・レジスタ 1	FCNnDNBMRX1	R	32	b
1 00E0 _H	FCNn グローバル・データ更新ビット・モニタ・レジスタ 2	FCNnDNBMRX2	R	32	b
1 00F0 _H	FCNn グローバル・データ更新ビット・モニタ・レジスタ 3	FCNnDNBMRX3	R	32	b
0 8300 _H	FCNn モジュール・マスク 1 レジスタ	FCNnCMMKCTL01H	R/W	16	b
0 8308 _H		FCNnCMMKCTL02H			
1 0300 _H		FCNnCMMKCTL01W		32	
0 8310 _H	FCNn モジュール・マスク 2 レジスタ	FCNnCMMKCTL03H	R/W	16	b
0 8318 _H		FCNnCMMKCTL04H			
1 0310 _H		FCNnCMMKCTL03W		32	

表 24-9 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (2/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 8320 _H	FCNn モジュール・マスク 3 レジスタ	FCNnCMMKCTL05H	R/W	16	b
0 8328 _H		FCNnCMMKCTL06H			
1 0320 _H		FCNnCMMKCTL05W		32	
0 8330 _H	FCNn モジュール・マスク 4 レジスタ	FCNnCMMKCTL07H	R/W	16	b
0 8338 _H		FCNnCMMKCTL08H			
1 0330 _H		FCNnCMMKCTL07W		32	
0 8340 _H	FCNn モジュール・マスク 5 レジスタ	FCNnCMMKCTL09H	R/W	16	b
0 8348 _H		FCNnCMMKCTL10H			
1 0340 _H		FCNnCMMKCTL09W		32	
0 8350 _H	FCNn モジュール・マスク 6 レジスタ	FCNnCMMKCTL11H	R/W	16	b
0 8358 _H		FCNnCMMKCTL12H			
1 0350 _H		FCNnCMMKCTL11W		32	
0 8360 _H	FCNn モジュール・マスク 7 レジスタ	FCNnCMMKCTL13H	R/W	16	b
0 8368 _H		FCNnCMMKCTL14H			
1 0360 _H		FCNnCMMKCTL13W		32	
0 8370 _H	FCNn モジュール・マスク 8 レジスタ	FCNnCMMKCTL15H	R/W	16	b
0 8378 _H		FCNnCMMKCTL16H			
1 0370 _H		FCNnCMMKCTL15W		32	
0 0248 _H	FCNn モジュール最終エラー情報レジスタ	FCNnCMLCSTR	R/W	8	00 _H
0 024C _H	FCNn モジュール情報レジスタ	FCNnCMINSTR	R	8	00 _H
0 0268 _H	FCNn モジュール・ビット・レート・プリスケアラ・レジスタ	FCNnCMBRPRS	R/W	8	FF _H
0 0278 _H	FCNn モジュール最終受信ポインタ・レジスタ	FCNnCMLISTR	R	8	不定
0 0288 _H	FCNn モジュール最終送信ポインタ・レジスタ	FCNnCMLOSTR	R	8	不定
0 8240 _H	FCNn モジュール制御レジスタ	FCNnCMCLCTL	R/W	16	0000 _H
0 8250 _H	FCNn モジュール・エラー・カウンタ・レジスタ	FCNnCMERCNT	R	16	0000 _H
0 8258 _H	FCNn モジュール割り込み許可レジスタ	FCNnCMIECTL	R/W	16	0000 _H
0 8260 _H	FCNn モジュール割り込みステータス・レジスタ	FCNnCMISCTL	R/W	16	0000 _H
0 8270 _H	FCNn モジュール・ビット・レート・レジスタ	FCNnCBTCTL	R/W	16	370F _H
0 8280 _H	FCNn モジュール受信履歴・リスト・レジスタ	FCNnCMRGRX	R/W	16	xx02 _H
0 8290 _H	FCNn モジュール送信履歴・リスト・レジスタ	FCNnCMTGTX	R/W	16	xx02 _H
0 8298 _H	FCNn モジュール・タイム・スタンプ・レジスタ	FCNnCMTSCTL	R/W	16	0000 _H

a) 初期値は、メッセージ・バッファ RAM からの読み出しでエラーが検出されたかどうかを示す FCNnGMCLCTL.FCNnGMCLECCF によって異なります。詳細については、FCNnGMCLCTL レジスタの説明を参照してください。

b) リセット後の値は、0000_H または 00000000_H です。

24.3.3 レジスタのビット構成

表 24-10 FCN グローバル・レジスタのビット構成

アドレス・オフセット	略号	ビット 7/15/31/ 23	ビット 6/14/30/ 22	ビット 5/13/29/ 21	ビット 4/12/28/ 20	ビット 3/11/27/ 19	ビット 2/10/26/ 18	ビット 1/9/25/ 17	ビット 0/ 8/24/16
0 8000 _H	FCNnGMCLCTL (W)	0	0	FCNnGM CLCLMB		0	0	0	FCNnGMC LCLOM
		0	0	0	FCNnGM CLSESR	0	0	FCNnGM CLSEDE	FCNnGMC LSEOM
	FCNnGMCLCTL (R)	0	0	FCNnGM CLECCF	FCNnGM CLSORF	0	0	FCNnGM CLEUDE	FCNnGMC LPWOM
		FCNnGM CLSSMO	0	0	0	0	0	0	0
0 0008 _H	FCNnGMCSPRE	0	0	0	0	FCNnGMCSPRSC[3:0]			
0 8018 _H	FCNnGMABCTL (W)	0	0	0	0	0	0	0	FCNnGMA BCLAT
		0	0	0	0	0	0	FCNnGM ABSEAC	FCNnGMA BSEAT
	FCNnGMABCTL (R)	0	0	0	0	0	0	FCNnGM ABCLRF	FCNnGMA BABTT
		0	0	0	0	0	0	0	0
0 0020 _H	FCNnGMADCTL	0	0	0	0	FCNnGMADSSAD[3:0]			
1 00C0 _H	FCNnDNBMRX0 (R)	FCNnDNBMSSDN[7:0]							
		FCNnDNBMSSDN[15:8]							
		FCNnDNBMSSDN[23:16]							
		FCNnDNBMSSDN[31:24]							
1 00D0 _H	FCNnDNBMRX1 (R)	FCNnDNBMSSDN[39:32]							
		FCNnDNBMSSDN[47:40]							
		FCNnDNBMSSDN[55:48]							
		FCNnDNBMSSDN[63:56]							
1 00E0 _H	FCNnDNBMRX2 (R) ^a	FCNnDNBMSSDN[71:64]							
		FCNnDNBMSSDN[79:72]							
		FCNnDNBMSSDN[87:80]							
		FCNnDNBMSSDN[95:88]							
1 00F0 _H	FCNnDNBMRX3 (R) ^a	FCNnDNBMSSDN[103:96]							
		FCNnDNBMSSDN[111:104]							
		FCNnDNBMSSDN[119:112]							
		FCNnDNBMSSDN[127:120]							

a) 128 個のメッセージ・バッファ (m = 0 ~ 127) でのみ利用可能です。

表 24-11 FCN モジュール・マスク制御 16 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 15	ビット 14	ビット 13	ビット 12 ~ 0
0 8300 _H	FCNnCMMK CTL01H	FCNnCMMKSSID[15:0]			
0 8308 _H	FCNnCMMK CTL02H	0	0	0	FCNnCMMKSSID[28:16]
0 8310 _H	FCNnCMMK CTL03H	FCNnCMMKSSID[15:0]			
0 8318 _H	FCNnCMMK CTL04H	0	0	0	FCNnCMMKSSID[28:16]
0 8320 _H	FCNnCMMK CTL05H	FCNnCMMKSSID[15:0]			
0 8328 _H	FCNnCMMK CTL06H	0	0	0	FCNnCMMKSSID[28:16]
0 8330 _H	FCNnCMMK CTL07H	FCNnCMMKSSID[15:0]			
0 8338 _H	FCNnCMMK CTL08H	0	0	0	FCNnCMMKSSID[28:16]
0 8340 _H	FCNnCMMK CTL09H	FCNnCMMKSSID[15:0]			
0 8348 _H	FCNnCMMK CTL10H	0	0	0	FCNnCMMKSSID[28:16]
0 8350 _H	FCNnCMMK CTL11H	FCNnCMMKSSID[15:0]			
0 8358 _H	FCNnCMMK CTL12H	0	0	0	FCNnCMMKSSID[28:16]
0 8360 _H	FCNnCMMK CTL13H	FCNnCMMKSSID[15:0]			
0 8368 _H	FCNnCMMK CTL14H	0	0	0	FCNnCMMKSSID[28:16]
0 8370 _H	FCNnCMMK CTL15H	FCNnCMMKSSID[15:0]			
0 8378 _H	FCNnCMMK CTL16H	0	0	0	FCNnCMMKSSID[28:16]

表 24-12 FCN モジュール・マスク制御 32 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 31	ビット 30	ビット 29	ビット 28 ~ 0
1 0300 _H	FCNnCMMK CTL01W	0	0	0	FCNnCMMKSSID[28:0]
1 0310 _H	FCNnCMMK CTL03W	0	0	0	FCNnCMMKSSID[28:0]
1 0320 _H	FCNnCMMK CTL05W	0	0	0	FCNnCMMKSSID[28:0]
1 0330 _H	FCNnCMMK CTL07W	0	0	0	FCNnCMMKSSID[28:0]
1 0340 _H	FCNnCMMK CTL09W	0	0	0	FCNnCMMKSSID[28:0]
1 0350 _H	FCNnCMMK CTL11W	0	0	0	FCNnCMMKSSID[28:0]
1 0360 _H	FCNnCMMK CTL13W	0	0	0	FCNnCMMKSSID[28:0]
1 0370 _H	FCNnCMMK CTL15W	0	0	0	FCNnCMMKSSID[28:0]

表 24-13 FCN モジュール・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8240 _H	FCNnCM CLCTL (W)	0	FCNnCM CLCLAL	FCNnCM CLCLVL	FCNnCMCLCLPS[1:0]		FCNnCMCLCLOP[2:0]		
		FCNnCM CLSERC	FCNnCM CLSEAL	0	FCNnCMCLSEPS[1:0]		FCNnCMCLSEOP[2:0]		
	FCNnCM CLCTL (R)	FCNnCM CLERCF	FCNnCM CLALBF	FCNnCM CLVALF	FCNnCMCLMDPF[1:0]		FCNnCMCLMDOF[2:0]		
		0	0	0	0	0	0	FCNnCMC LSSRS	FCNnCMC LSSTS
0 00248 _H	FCNnCM LCSTR (W)	0	0	0	0	0	0	0	0
	FCNnCM LCSTR (R)	0	0	0	0	0	FCN0CMLCSSL[2:0]		
0 024C _H	FCNnCM INSTR	0	0	0	FCNnCM NBOFF	FCNnCMINSSTE[1:0]		FCNnCMINSRE[1:0]	
0 8250 _H	FCNnCM ERCNT	FCNnCMERTECF[7:0]							
		FCNnCM ERRPSF	FCNnCMERRECF[6:0]						
0 8258 _H	FCNnCM IECTL (W)	0	FCNnCMIECLIE[6:0]						
		0	FCNnCMIESEIE[6:0]						
	FCNnCM IECTL (R)	0	FCNnCMIEINTF[6:0]						
		0	0	0	0	0	0	0	0
0 8260 _H	FCNnCM ISCTL (W)	0	FCNnCMISCLTS[6:0]						
		0	0	0	0	0	0	0	0
	FCNnCM ISCTL (R)	0	FCNnCMISITSF[6:0]						
		0	0	0	0	0	0	0	0
0 0268 _H	FCNnCM BRPRS	FCNnCMBRPRS[7:0]							
0 8270 _H	FCNnCM BTCTL	0	0	0	0	FCNnCMBTS1LG[3:0]			
		0	0	FCNnCMBTJWLG[1:0]		0	FCNnCMBTS2LG[2:0]		
0 0278 _H	FCNnCM LISTR	FCNnCMLISSLR[7:0]							
0 8280 _H	FCNnCM RGRX (W)	0	0	0	0	0	0	0	FCNnCMR GCLR
		0	0	0	0	0	0	0	0
	FCNnCM RGRX (R)	0	0	0	0	0	0	FCNnCMR GSSPM	FCNnCMR GRVFF
		FCNnCMRDSSPT[7:0]							
0 0288 _H	FCNnCM LOSTR	FCNnCMLOSSLT[7:0]							
0 8290 _H	FCNnCM TGTX (W)	0	0	0	0	0	0	0	FCNnCMT GCLTV
		0	0	0	0	0	0	0	0
	FCNnCM TGTX (R)	0	0	0	0	0	0	FCNnCMT GSSPM	FCNnCMT GTVFF
		FCNnCMTGSSPT[7:0]							

表 24-13 FCN モジュール・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8298 _H	FCNnCM TSCTL (W)	0	0	0	0	0	FCNnCMT SCLK	FCNnCMT SCLSL	FCNnCMT SCLTS
		0	0	0	0	0	FCNnCMT SSELK	FCNnCMT SSESL	FCNnCMT SSETS
	FCNnCM TSCTL (R)	0	0	0	0	0	FCNnCMT SLOKE	FCNnCMT SSELE	FCNnCMT STSGE
		0	0	0	0	0	0	0	0

表 24-14 FCN メッセージ・バッファ・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15/31/ 23	ビット 6/14/30/ 22	ビット 5/13/29/ 21	ビット 4/12/28/ 20	ビット 3/11/27/ 19	ビット 2/10/26/ 18	ビット 1/9/25/ 17	ビット 0/8/24/ 16
1 1000 _H + m x 40 _H	FCNnMm DAT0W	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
		FCNnMmSSD[27:00]							
		FCNnMmSSD[37:30]							
0 9000 _H + m x 40 _H	FCNnMm DAT0H	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
0 1000 _H + m x 40 _H	FCNnMm DAT0B	FCNnMmSSD[07:00]							
0 1004 _H + m x 40 _H	FCNnMm DAT1B	FCNnMmSSD[17:10]							
0 9008 _H + m x 40 _H	FCNnMm DAT2H	FCNnMmSSD[27:20]							
		FCNnMmSSD[37:30]							
0 1008 _H + m x 40 _H	FCNnMm DAT2B	FCNnMmSSD[27:20]							
0 100C _H + m x 40 _H	FCNnMm DAT3B	FCNnMmSSD[37:30]							
1 1010 _H + m x 40 _H	FCNnMm DAT4W	FCNnMmSSD[47:40]							
		FCNnMmSSD[57:50]							
		FCNnMmSSD[67:60]							
		FCNnMmSSD[77:70]							
0 9010 _H + m x 40 _H	FCNnMm DAT4H	FCNnMmSSD[47:40]							
		FCNnMmSSD[57:50]							
0 1010 _H + m x 40 _H	FCNnMm DAT4B	FCNnMmSSD[47:40]							
0 1014 _H + m x 40 _H	FCNnMm DAT5B	FCNnMmSSD[57:50]							
0 9018 _H + m x 40 _H	FCNnMm DAT6H	FCNnMmSSD[67:60]							
		FCNnMmSSD[77:70]							
0 1018 _H + m x 40 _H	FCNnMm DAT6B	FCNnMmSSD[67:60]							
0 101C _H + m x 40 _H	FCNnMm DAT7B	FCNnMmSSD[77:70]							

表 24-14 FCN メッセージ・バッファ・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15/31/ 23	ビット 6/14/30/ 22	ビット 5/13/29/ 21	ビット 4/12/28/ 20	ビット 3/11/27/ 19	ビット 2/10/26/ 18	ビット 1/9/25/ 17	ビット 0/8/24/ 16	
0 1020 _H + m x 40 _H	FCNnMm DTLGB	0				FCNnMmDTLG[3:0]				
0 1024 _H + m x 40 _H	FCNnMm STRB	FCNnMm SSOW	FCNnMmSSMT[3:0]				FCNnMm SSRT	0	FCNnMm SSAM	
0 9028 _H + m x 40 _H	FCNnMm MID0H	FCNnMmSSID[7:0]								
		FCNnMmSSID[15:8]								
0 9030 _H + m x 40 _H	FCNnMm MID1H	FCNnMmSSID[23:16]								
		FCNnMm SSIE	0	0	FCNnMmSSID[28:24]					
1 1028 _H + m x 40 _H	FCNnMm MID0W	FCNnMmSSID[7:0]								
		FCNnMmSSID[15:8]								
		FCNnMmSSID[23:16]								
		FCNnMm SSIE	0	0	FCNnMmSSID[28:24]					
0 9038 _H + m x 40 _H	FCNnMmCTL (W)	0	FCNnMm CLNH	0	FCNnMm CLMW	FCNnMm CLIE	FCNnMm CLDN	FCNnMm CLTR	FCNnMm CLRY	
		0	FCNnMm SENH	0	0	FCNnMm SEIE	0	FCNnMm SETR	FCNnMm SERY	
	FCNnMmCTL (R)	0	FCNnMm NHMF	0	FCNnMm MOWF	FCNnMm IENF	FCNnMm DTNF	FCNnMm TRQF	FCNnMm RDYF	
		0	0	FCNnMm MUCF	0	0	0	FCNnMm TCPF	0	

24.4 ビットのセット／クリア機能

FCN 制御レジスタには、CPU および CAN コントローラを介してビットをセットまたはクリアできるレジスタが含まれています。これらのレジスタ・ビットを SET1, CLR1, NOT1 などのビット操作命令によって CPU が直接変更することはできません。レジスタ・ビットの変更には、特殊なビット・セット／ビット・クリア・メカニズムが使用されます。

ビット操作演算が禁止されているレジスタでは、CPU による変更が許可されているすべてのビットが下位バイト（下記のレジスタ・レイアウトの RWx）に配置されており、上位バイト（下記のレジスタ・レイアウトの ROx）には情報が配置されていないか、読み出し専用情報が配置されています。

レジスタの説明にあるように、現在設定されている 16 個のデータ・ビットすべてを取得する通常の方法でレジスタを読み出すことができます。下位 8 ビットのセットまたはクリアには、以下のメカニズムが使用されます。

レジスタ・アドレスに 16 ビット・データを書き込む場合

- ビット・クリア**
- 下位 8 データ・ビット（下記のレジスタ・レイアウトの CLx）を使用して、各ビット位置に対応するレジスタ・ビット RWx が次のいずれの状態になるかを示します。
 - クリアされる、つまり 0 にセットされる：CLx = 1 であれば、対応する RWx は 0 にクリアされます。
 - 変化しない：CLx = 0 であれば、対応する RWx は変化しません。
- ビット・セット**
- 上位 8 データ・ビット（下記のレジスタ・レイアウトの SEx）を使用して、各ビット位置に対応するレジスタ・ビットが次のいずれの状態になるかを示します。
 - セットされる、つまり 1 にセットされる：SEx = 1 であれば、対応する RWx が 1 にセットされます。
 - 変化しない：SEx = 0 であれば、対応する RWx は変化しません。

読み出しアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RO7	RO6	RO5	RO4	RO3	RO2	RO1	RO0	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0
CPU による変更が不可能								SE7 ~ SE0 および CL7 ~ CL0 を介した CPU によるビット操作が可能							

書き込みアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	CL7	CL6	CL5	CL4	CL3	CL2	CL1	CL0
SEx = 1 であれば、対応する RW7 ~ RW0 をセットします。								CLx = 1 であれば、対応する RW7 ~ RW0 をクリアします。							

RWx ビットに適用される操作を以下の表に示します。

表 24-15 ビットのセット/クリア操作

CLx	SEx	RWx に対する操作
0	0	RWx を変更しません。
0	1	RWx をセット (1) します。
1	0	RWx をクリア (0) します。
1	1	RWx を変更しません。

例 以下に例を示します。

内容が 1883_H であるレジスタを以下のように変更する場合

- ビット 3 を 1 に設定 : SE3 = 1
- ビット 1 をクリア (0) : CL1 = 1

ビット操作前のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	0	0	1	1
任意の値に設定することができます。この例では 18 _H です。								RW7 ~ RW0 : 83 _H							

レジスタ書き込みアクセス

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
SE3 = 1 : 08 _H								CL1 = 1 : 02 _H							

ビット操作後のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	1
任意の値にすることができます。この例では 18 _H です。								RW7 ~ RW0 : 89 _H							

24.5 制御レジスタ

24.5.1 FCN グローバル・レジスタ

(1) FCNnGMCLCTL — FCNn グローバル制御レジスタ

本レジスタはFCN モジュールの動作の制御に使用されます。

アクセス 16 ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0 8000_H

初期値 00x0_H^a。本レジスタは各種リセットにより初期化されます。

- a) ハード・リセット後、ソフト・リセットが自動的に開始されます。したがって、初期値は以下のようになります。
- ソフト・リセット後にエラーが検出されなければ 0000_H。
 - ソフト・リセット中にエラーが検出されなければ 0010_H。
 - ソフト・リセット後にエラーが検出されれば 0020_H。
 - ソフト・リセット中にエラーが検出されれば 0030_H。

(a) FCNnGMCLCTL の読み出し値

	15	14	13	12	11	10	9	8
FCNnGMCLSSMO	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	FCNnGM CLECCF	FCNnGM CLSORF	0	0	FCNnGM CLESDE	FCNnGM CLPWOM

FCNnGMCLSSMO	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・レジスタへのアクセス有効ビット
0	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは無効です。
1	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは有効です。

- 注意**
- FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されている間、ソフトウェアによる FCN メッセージ・バッファ・レジスタ (FCNnMm であるすべてのレジスタ) または送信ヒストリ、受信ヒストリに関連したレジスタ (FCNnCMLOSTR, FCNnCMTGTGX, FCNnCMLISTR, FCNnCMRGRX) へのアクセスは無効です。
 - FCNnGMCLCTL.FCNnGMCLSSMO はリード・オンリーです。本ビットが 0 の状態で 1 を書き込んでも、ビットの値は変わらず、FCN メッセージ・バッファ・レジスタまたは送信ヒストリ、受信ヒストリに関連したレジスタへのアクセスは無効のままです。

備考 FCN モジュールが FCN スリープ・モードまたは FCN ストップ・モードに移行した場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がクリア (0) された場合に、FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されます。

FCN スリープ・モードまたは FCN ストップ・モードが解除された場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がセット (1) された場合に、FCNnGMCLSSMO がセット (1) されます。

FCNnGMCLECCF	メッセージ・バッファ RAM 読み出しエラー検出ビット
0	メッセージ・バッファ RAM からの読み出しでエラーが検出されなかったことを示します。
1	メッセージ・バッファ RAM からの読み出しでエラーが検出されたことを示します。

- 備考**
- ソフト・リセットの実行中、メッセージ・バッファ RAM からの読み出しでメモリ・エラーが検出されると、FCNnGMCLCTL.FCNnGMCLECCF がセット (1) されます。FCNnGMCLECCF がセット (1) されると、クリア (0) されるまで、セット状態が保たれます。
 - 本ビットは、ソフト・リセット実行後にメモリ・エラーを確認する用途以外で使用しないでください。
 - FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されている間 (ソフト・リセットの実行中)、FCNnGMCLECCF をクリア (0) することはできません。

FCNnGMCLSORF	ソフト・リセット実行ステータス・ビット
0	ソフト・リセットを実行していないことを示します。
1	ソフト・リセットを実行中であることを示します。

- 備考**
- ソフト・リセットを実行中 (FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されている間)、FCNnGMCLCTL.FCNnGMCLPWOM および FCNnGMCLCTL.EFSD をセットすることはできません。FCNnGMCLCTL.FCNnGMCLPWOM がクリア (0) されている間は、FCNnGMCLCTL.FCNnGMCLSESR = 1 にすることで、ソフトウェア・リセットの開始を設定することができます。
 - FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されると、メッセージ・バッファ RAM の初期化が開始されます。FCNnGMCLSORF をセットする前に FCNnGMCLCTL.FCNnGMCLECCF がクリアされれば、メッセージ・バッファ RAM の初期化中にエラーを検出することができます。
 - すでにセット (1) されている FCNnGMCLCTL.FCNnGMCLSORF を再びセット (1) しても、ソフト・リセット処理は再開されず、処理が継続されるだけです。
 - ハードウェア・リセットの解除後、FCNnGMCLCTL.FCNnGMCLSORF が自動的にセット (1) され、メッセージ・バッファ RAM の初期化が開始されます。**
 - FCNnGMCLCTL.FCNnGMCLPWOM のクリア (0) と FCNnGMCLCTL.FCNnGMCLSORF のセット (1) を同時に行うことはできません。
 - FCNnGMCLCTL.FCNnGMCLSORF = 1 の間、ハードウェア・リセットが行われると、ソフト・リセット処理が中断され、ハードウェア・リセットが開始されます。

FCNnGMCLESDE	強制シャットダウン有効ビット
0	FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは無効です。
1	FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは有効です。

注意 強制シャットダウンを要求するには、FCNnGMCLCTL.FCNnGMCLESDE がセット (1) された直後に行われるアクセスで FCNnGMCLCTL.FCNnGMCLPWOM をクリア (0) する必要があります。FCNnGMCLESDE がセット (1) された直後に FCNnGMCLPWOM をクリア (0) することなく、ほかのレジスタへの何らかのアクセス (FCNnGMCLCTL レジスタの読み出しを含む) を実行すると、FCNnGMCLESDE は強制的にクリア (0) され、強制シャットダウン要求が無効になります。

FCNnGMCLPWOM	グローバル動作モード・ビット
0	FCN モジュールの動作を禁止します。
1	FCN モジュールの動作を許可します。

注意 FCNnGMCLCTL.FCNnGMCLPWOM は、初期化モード中、または FCNnGMCLCTL.FCNnGMCLESDE がセットされた (強制シャットダウン) 直後にだけクリアすることができます。

(b) FCNnGMCLCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	FCNnGMCLSESR	0	0	FCNnGMCLSESD	FCNnGMCLSEOM
7	6	5	4	3	2	1	0
0	0	FCNnGMCLCLMB	0	0	0	0	FCNnGMCLCLOM

FCNnGMCLSESR	ソフトウェア・リセット開始
0	変化しません。
1	ソフト・リセットを開始します。

FCNnGMCLSESD	FCNnGMCLSESD ビットの設定
0	FCNnGMCLESDE ビットを変更しません。
1	FCNnGMCLESDE ビットをセット (1) します。

FCNnGMCLSEOM	FCNnGMCLCLOM	FCNnGMCLPWOM ビットの設定
0	1	FCNnGMCLCTL.FCNnGMCLPWOM ビットをクリア (0) します。
1	0	FCNnGMCLCTL.FCNnGMCLPWOM ビットをセット (1) します。
上記以外の値		FCNnGMCLCTL.FCNnGMCLPWOM ビットを変更しません。

注意 FCNnGMCLCTL.FCNnGMCLPWOM ビットと FCNnGMCLCTL.FCNnGMCLSEDE ビットは必ず別々にセットしてください。

FCNnGMCLCLMB	FCNnGMCLCTL.FCNnGMCLSECCF ビットのクリア
0	FCNnGMCLCTL.FCNnGMCLSECCF ビットを変更しません。
1	FCNnGMCLCTL.FCNnGMCLSECCF ビットをクリア (0) します。

(2) FCNnGMCSPRE — FCNn グローバル・クロック選択レジスタ

本レジスタはFCN モジュール・システム・クロックの選択に使用されます。

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0008_H

初期値 0F_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMCSPRSC[3:0]			

FCNnGMCSPRSC[3:0]	プレ CAN プロトコル・レイヤ基本システム・クロック (f _{CANPRE})
0000 _B	f _{CAN} /1
0001 _B	f _{CAN} /2
0010 _B	f _{CAN} /3
0011 _B	f _{CAN} /4
0100 _B	f _{CAN} /5
0101 _B	f _{CAN} /6
0110 _B	f _{CAN} /7
0111 _B	f _{CAN} /8
1000 _B	f _{CAN} /9
1001 _B	f _{CAN} /10
1010 _B	f _{CAN} /11
1011 _B	f _{CAN} /12
1100 _B	f _{CAN} /13
1101 _B	f _{CAN} /14
1110 _B	f _{CAN} /15
1111 _B	f _{CAN} /16 (デフォルト値)

備考 f_{CAN} = システム・レベルで FCN に供給されるクロック (クロックの生成, 分配, 選択)

(3) FCNnGMABCTL — FCNn グローバル自動ブロック送信制御レジスタ

本レジスタは、自動ブロック送信 (ABT) 操作の制御に使用されます。

アクセス 16 ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0 8018_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnGMABCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnGM ABCLRF	FCNnGM ABABTT

FCNnGMABCLRF	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動送信エンジンのクリアが完了していることを示します。
1	自動送信エンジンをクリア中であることを示します。

備考 FCNnGMABCLRF は FCNnGMABABTT がクリア (0) されている状態でセット (1) してください。FCNnGMABABTT がセット (1) されている状態で、FCNnGMABCLRF をセット (1) した場合の動作は保証いたしません。

FCNnGMABABTT	自動ブロック送信ステータス・ビット
0	自動ブロック送信が停止していることを示します。
1	自動ブロック送信が実行されていることを示します。

(b) FCNnGMABCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnGM ABSEAC	FCNnGM ABSEAT
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnGM ABCLAT

備考 FCNnGMABCTL.FCNnGMABSEAC をセット (1) して自動ブロック送信エンジンをクリアすると、FCNnGMABCLRF が自動的にセットされ、要求されたクリア処理が完了すると同時に FCNnGMABCLRF が 0 にクリアされます。

- 注意**
1. ABT 付き通常動作モードから初期化モードへ変更する前に、必ず FCNnGMABCTL レジスタをデフォルト値 (0000_H) に設定し、FCNnGMABCTL レジスタがデフォルト値 (0000_H) に確実に初期化されたことを確認してください。
 2. 初期化モード中に自動ブロック送信を開始しないでください。初期化モード中に自動ブロック送信を開始した場合、CAN コントローラが ABT 付き通常動作モードに入ったときの動作は保証されません。
 3. FCNnCMCLCTL.FCNnCMCLSSTS が 1 にセットされている間 (送信中) に自動ブロック送信を開始しないでください。自動ブロック送信を開始する前に、あらかじめ FCNnCMCLSSTS = 0 になっていることを直接確認してください。

FCNnGMABSEAC	自動ブロック送信エンジン・クリア要求ビット
0	自動ブロック送信エンジンがアイドル状態または動作中であることを示します。
1	自動ブロック送信エンジンのクリアを要求します。自動ブロック送信エンジンがクリアされたあと、FCNnGMABCTL.FCNnGMABABTT = 1 にセットすることで、メッセージ・バッファ 0 からの自動ブロック送信が開始されます。

FCNnGMABSEAT	FCNnGMABCLAT	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求します。
1	0	自動ブロック送信の開始を要求します。
上記以外の値		FCNnGMABCTL.FCNnGMABABTT ビットを変更しません。

(4) FCNnGMADCTL — FCNn グローバル自動ブロック送信遅延設定レジスタ

本レジスタは、ABT 付き通常動作モード中に、ABT に割り当てられたメッセージ・バッファのデータを送信するインターバルの設定に使用されます。

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <FCNn_base> + 0020_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMADSSAD[3:0]			

FCNnGMADSSAD[3:0]	自動ブロック送信中のデータ・フレーム・インターバル (DBT 単位) ^a
0000 _B	0 DBT (デフォルト値)
0001 _B	2 ⁵ DBT
0010 _B	2 ⁶ DBT
0011 _B	2 ⁷ DBT
0100 _B	2 ⁸ DBT
0101 _B	2 ⁹ DBT
0110 _B	2 ¹⁰ DBT
0111 _B	2 ¹¹ DBT
1000 _B	2 ¹² DBT
上記以外の値	設定禁止

a) 単位：DBT (データ・ビット・タイム)

- 注意**
1. FCNnGMABCTL.FCNnGMABCLRF = 1 である間 (ABT のクリア中) に FCNnGMADCTL レジスタの内容を変更しないでください。
 2. ABT メッセージが実際に CAN バスに送信されるタイミングは、ほかのステーションからの送信の状態または ABT メッセージ以外のメッセージの送信要求が行われた方法によって異なります。

(5) FCNnDNBMRXk — FCNn グローバル・データ更新ビット・モニタ・レジスタ (k=0 ~ 3)

本レジスタは、同時に複数のメッセージ・バッファのデータ更新ビットをグローバルに読み出すために使用されます。

アクセス 32 ビット単位でリード可能です。

アドレス FCNnDNBMRX0: <FCNn_base> + 1 00C0_H
FCNnDNBMRX1: <FCNn_base> + 1 00D0_H

以下のレジスタは m = 128 メッセージ・バッファでのみ利用可能です。

FCNnDNBMRX2: <FCNn_base> + 1 00E0_H

FCNnDNBMRX3: <FCNn_base> + 1 00F0_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24
FCNnDNBMSSDN[31:24]							
23	22	21	20	19	18	17	16
FCNnDNBMSSDN[23:16]							
15	14	13	12	11	10	9	8
FCNnDNBMSSDN[15:8]							
7	6	5	4	3	2	1	0
FCNnDNBMSSDN[7:0]							

FCNnDNBMSSDN[31:0]	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

24.5.2 FCN モジュール・レジスタ

(1) FCNnCMMKCTLaH — FCNn モジュール・マスク制御レジスタ

これらのレジスタは、比較されるメッセージ識別子 (ID) の一部をマスクし、マスクされた部分の ID を無効にすることで、同じメッセージ・バッファに保存できるメッセージの数を増やすために使用されます。

レジスタ FCNnCMMKCTLaW (a = 01, 03, 05, 07, 09, 11, 13, 15) への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ FCNnCMMKCTLaH (a = 01 ~ 16) にアクセスすることもできます。

アクセス FCNnCMMKCTLaH レジスタは 16 ビット単位でリード/ライト可能です。
FCNnCMMKCTLaW レジスタは 32 ビット単位でリード/ライト可能です。

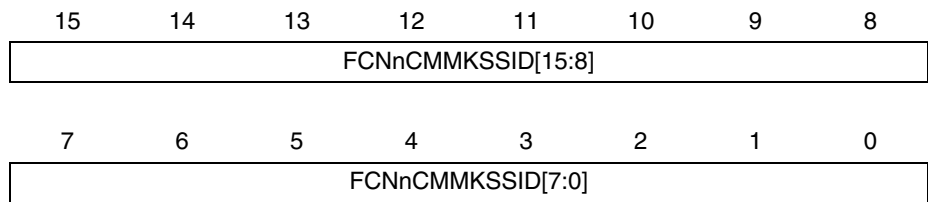
アドレス FCNnCMMKCTL01H: <FCNn_base> + 0 8300_H
FCNnCMMKCTL02H: <FCNn_base> + 0 8308_H
FCNnCMMKCTL03H: <FCNn_base> + 0 8310_H
FCNnCMMKCTL04H: <FCNn_base> + 0 8318_H
FCNnCMMKCTL05H: <FCNn_base> + 0 8320_H
FCNnCMMKCTL06H: <FCNn_base> + 0 8328_H
FCNnCMMKCTL07H: <FCNn_base> + 0 8330_H
FCNnCMMKCTL08H: <FCNn_base> + 0 8338_H
FCNnCMMKCTL09H: <FCNn_base> + 0 8340_H
FCNnCMMKCTL10H: <FCNn_base> + 0 8348_H
FCNnCMMKCTL11H: <FCNn_base> + 0 8350_H
FCNnCMMKCTL12H: <FCNn_base> + 0 8358_H
FCNnCMMKCTL13H: <FCNn_base> + 0 8360_H
FCNnCMMKCTL14H: <FCNn_base> + 0 8368_H
FCNnCMMKCTL15H: <FCNn_base> + 0 8370_H
FCNnCMMKCTL16H: <FCNn_base> + 0 8378_H

FCNnCMMKCTL01W: <FCNn_base> + 1 0300_H
FCNnCMMKCTL03W: <FCNn_base> + 1 0310_H
FCNnCMMKCTL05W: <FCNn_base> + 1 0320_H
FCNnCMMKCTL07W: <FCNn_base> + 1 0330_H
FCNnCMMKCTL09W: <FCNn_base> + 1 0340_H
FCNnCMMKCTL11W: <FCNn_base> + 1 0350_H
FCNnCMMKCTL13W: <FCNn_base> + 1 0360_H
FCNnCMMKCTL15W: <FCNn_base> + 1 0370_H

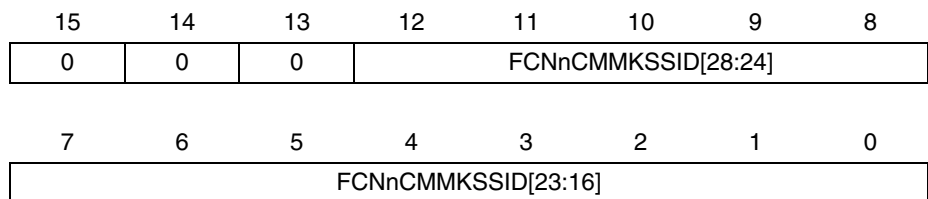
初期値 FCNnCMMKCTLaH は 0000_H 本レジスタは各種リセットにより初期化されません。

FCNnCMMKCTLaW は 0000 0000_H 本レジスタは各種リセットにより初期化されます。

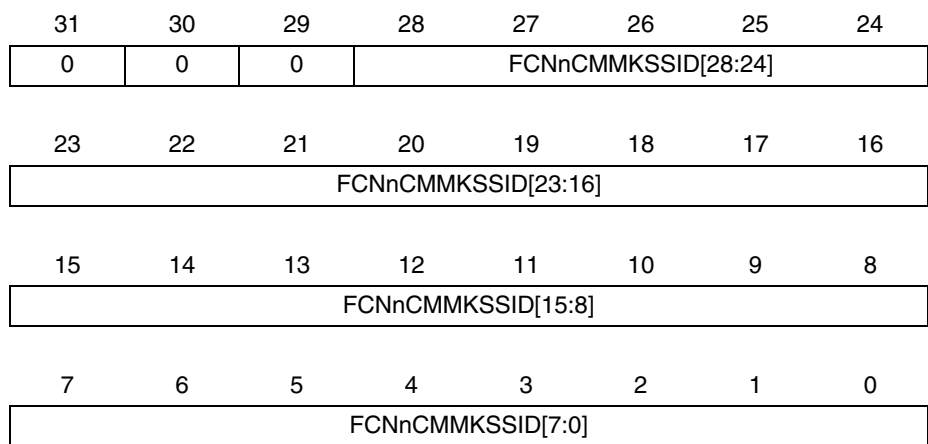
(a) FCNnCMMKCTLaH (a = 01, 03, 05, 07, 09, 11, 13, 15)



(b) FCNnCMMKCTLaH (a = 02, 04, 06, 08, 10, 12, 14, 16)



(c) FCNnCMMKCTLaW (a = 01, 03, 05, 07, 09, 11, 13, 15)



FCNnCMMKSSID[i] ^a	ID ビットのマスク・パターン設定
0	FCNnMmSSID[i] によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較します。
1	FCNnMmSSID[i] によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較しません (マスクします)。

a) i = [28:0]

備考 マスクは常に 29 ビットの ID 長で定義されます。マスクが標準 ID を持つメッセージに割り当てられている場合、FCNnCMMKSSID[17:0] は無視されます。したがって、受信 ID の FCNnCMMKSSID[28:18] のみがマスクされます。同じマスクを標準 ID と拡張 ID の両方に使用できます。

(2) FCNnCMCLCTL — FCNn モジュール制御レジスタ

本レジスタはFCN モジュールの動作モードの制御に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8240_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMCLCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnCM CLSSRS	FCNnCM CLSSTS
7	6	5	4	3	2	1	0
FCNnCM CLERCF	FCNnCM CLALBF	FCNnCM CLVALF	FCNnCM CLMDPF[1:0]		FCNnCM CLMDOF[2:0]		

FCNnCMCLSSRS	受信ステータス・ビット
0	受信が停止していることを示します。
1	受信中であることを示します。

- 備考**
- FCNnCMCLSSRS は以下の条件（タイミング）で1にセットされます。
 - 受信フレームの SOF ビットが検出されたとき
 - 送信フレームにアービトレーション・ロストが生じたとき
 - FCNnCMCLSSRS は以下の条件（タイミング）で0にクリアされます。
 - インターフレーム・スペースの第2ビットでレセシブ・レベルが検出されたとき
 - インターフレーム・スペースの第1ビットで初期化モードへ移行したとき

FCNnCMCLSSTS	送信ステータス・ビット
0	送信が停止していることを示します。
1	送信中であることを示します。

- 備考**
- FCNnCMCLSSTS は以下の条件（タイミング）で1にセットされます。
 - 送信フレームの SOF ビットが検出されたとき
 - FCNnCMCLSSTS は以下の条件（タイミング）で0にクリアされます。
 - バスオフ移行時
 - 送信フレームにアービトレーション・ロストが生じたとき
 - インターフレーム・スペースの第2ビットでレセシブ・レベルが検出されたとき
 - インターフレーム・スペースの第1ビットで初期化モードへ移行したとき

FCNnCMCLERCF	エラー・カウンタ・クリア・ビット
0	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアしません。
1	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアします。

注意 FCNnCMCLERCF ビットは、再初期化またはバスオフ状態から強制復帰のときにエラー・カウンタ FCNnCMERCNT と情報レジスタ FCNnCMINSTR をクリアするために使用されます。エラー・カウンタおよび情報レジスタは下記の条件でクリア (FCNnCMCLERCF セット) 可能です。

- バスオフ期間中の初期化モード状態時
- FCN モジュール起動 (FCNnGMCLPWOM=0 状態から FCNnGMCLPWOM をセット) 後の初期化モード状態時
- 動作モード中に図 24-24 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」に従った全ての送信要求クリア後の初期化モード状態時 (ABT 付き通常動作モード中は図 24-25 「ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中)」に従って全ての送信要求をクリアしてください。)

- 備考**
1. FCNnCMERCNT レジスタと FCNnCMINSTR レジスタがクリアされると、FCNnCMCLERCF も自動的に 0 にクリアされます。
 2. 初期化モードから動作モードへの移行要求が発行されると同時に、FCNnCMCLERCF をセット (1) することができます。
 3. FCN スリープ・モード中または FCN ストップ・モード中、FCNnCMCLERCF は読み出し専用になります。
 4. エラー・カウンタは CAN コントローラの通常シャットダウンまたは強制シャットダウンでもクリアされます。

FCNnCMCLALBF	アービトレーション・ロストが発生したときの動作を設定するビット
0	シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行しません。
1	シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行します。

備考 FCNnCMCLALBF はシングル・ショット・モード中にのみ有効です。

FCNnCMCLVALF	有効受信メッセージ・フレーム検出ビット
0	FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されていないことを示します。
1	FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されたことを示します。

- 備考**
1. 有効受信メッセージ・フレームの検出は、受信メッセージ・バッファ (データ・フレーム/リモート・フレーム) または送信メッセージ・バッファ (リモート・フレーム) にフレームが保存されているかどうかにかかわらず、行われます。
 2. 受信オンリー・モードでは確認応答が生成されないため、2つの CAN ノードのみが CAN バスに接続されていて、一方が通常モードでメッセージ・フレームを送信しており、もう一方が受信オンリー・モードになっている場合は、送信側ノードがエラー・パッシブ状態に入るまで FCNnCMCLVALF は 1 にセットされません。

3. FCNnCMCLVALF をクリアするには、まず FCNnCMCLLVL をセット (1) したあと、FCNnCMCLVALF がクリアされたかどうかを確認してください。FCNnCMCLVALF がクリアされていない場合は、クリア処理を再び実行してください。

FCNnCMCLMDPF[1:0]	パワー・セーブ・モード
00 _B	パワー・セーブ・モードが選択されていないことを示します。
01 _B	FCN スリープ・モード
10 _B	設定禁止
11 _B	FCN ストップ・モード

- 注意**
1. FCN ストップ・モードからほかのモードへ、またはほかのモードから FCN ストップ・モードへ移行するときは、FCN スリープ・モードを経由する必要があります。ほかのモードから FCN ストップ・モードへの直接の移行または FCN ストップ・モードからほかのモードへの直接の移行に対する要求は無視されます。
 2. パワー・セーブ・モードを解除した場合は、メッセージ・バッファへのアクセスを再開する前に、FCNnGMCLCTL の FCNnGMCLSSMO フラグをチェックする必要があります。
 3. FCN スリープ・モード要求は、ソフトウェアによって要求がキャンセルされるか、適切なバス状態 (バス・アイドル状態) に移行するまで保留されます。ソフトウェアで FCNnCMCLMDPF[1:0] を読み出すことで、実際のステータスを確認することができます。
 4. パワー・セーブ・モードは動作モード変更と組み合わせるはなりません。これらのアクセスはステップを分けて実行しなければなりません。

備考 初期化モードからいずれかの通信モードに遷移する場合、FCN モジュールは CAN バスのアイドル期間を確認した後で通信に参加します。アイドル期間確認前でもスリープ・モードに移行することは可能ですが、ウェイクアップ条件は常にレセシブ・レベルからドミナント・レベル方向への変化です。

FCNnCMCLMDOF[2:0]	動作モード
000 _B	いずれの動作モードも選択されていない (FCN モジュールが初期化モード中である) ことを示します。
001 _B	通常動作モード
010 _B	自動ブロック送信機能付き通常動作モード (ABT 付き通常動作モード)
011 _B	受信オンリー・モード
100 _B	シングル・ショット・モード
101 _B	セルフ・テスト・モード
上記以外の値	設定禁止

- 注意**
1. 初期化モードまたはパワー・セーブ・モードへの移行には時間がかかることがあります。次の処理を開始する前に、値を読み出すことによって、モードの変更が成功したかどうかを必ず確認してください。
 2. 動作モードで受信中に初期化モードを設定したとき、メッセージ・バッファの FCNnMmCTL.FCNnMmDTNF ビットをセットする最後の受信が発生する可能性があります。また、動作モードへ戻る遷移は受信履歴・リストもクリアします。従って、初期化モードに達したことを動作モードを読み込んで確認してください。また、動作モードを再開する前に、全ての有効な受信メッセージ・バッファの全てのセットされた FCNnMmCTL.FCNnMmDTNF ビットをクリアしてください。

備考 FCN スリープ・モード中または FCN ストップ・モード中、FCNnCM.FCNnCMCLMDOF[2:0] は読み出し専用になります。

(b) FCNnCMCLCTL の書き込み値

15	14	13	12	11	10	9	8
FCNnCM CLSERC	FCNnCM CLSEAL	0	FCNnCM CLSEPS[1:0]		FCNnCM CLSEOP[2:0]		
7	6	5	4	3	2	1	0
0	FCNnCM CLLAL	FCNnCM CLLVL	FCNnCM CLCLPS[1:0]		FCNnCM CLCLOP[2:0]		

FCNnCMCLSERC	FCNnCMCLERCF ビットの設定
1	FCNnCMCLERCF をセット (1) します。
上記以外の値	FCNnCMCLERCF を変更しません。

FCNnCMCLSEAL	FCNnCMCLLAL	FCNnCMCLALBF ビットの設定
0	1	FCNnCMCLALBF をクリア (0) します。
1	0	FCNnCMCLALBF をセット (1) します。
上記以外の値		FCNnCMCLALBF を変更しません。

FCNnCMCLLVL	FCNnCMCLVALF ビットの設定
0	FCNnCMCLVALF を変更しません。
1	FCNnCMCLVALF をクリア (0) します。

FCNnCMCLSEPS0	FCNnCMCLCLPS0	FCNnCMCLMDPF0 ビットの設定
0	1	FCNnCMCLMDPF0 をクリア (0) します。
1	0	FCNnCMCLMDPF0 をセット (1) します。
上記以外の値		FCNnCMCLMDPF0 を変更しません。

FCNnCMCLSEPS1	FCNnCMCLCLPS1	FCNnCMCLMDPF1 ビットの設定
0	1	FCNnCMCLMDPF1 をクリア (0) します。
1	0	FCNnCMCLMDPF1 をセット (1) します。
上記以外の値		FCNnCMCLMDPF1 を変更しません。

FCNnCMCLSEOP0	FCNnCMCLCLOP0	FCNnCMCLMDOF0 ビットの設定
0	1	FCNnCMCLMDOF0 をクリア (0) します。
1	0	FCNnCMCLMDOF0 をセット (1) します。
上記以外の値		FCNnCMCLMDOF0 を変更しません。

FCNnCMCLSEOP1	FCNnCMCLCLOP1	FCNnCMCLMDOF1 ビットの設定
0	1	FCNnCMCLMDOF1 をクリア (0) します。
1	0	FCNnCMCLMDOF1 をセット (1) します。
上記以外の値		FCNnCMCLMDOF1 を変更しません。

FCNnCMCLSEOP2	FCNnCMCLCLOP2	FCNnCMCLMDOF2 ビットの設定
0	1	FCNnCMCLMDOF2 をクリア (0) します。
1	0	FCNnCMCLMDOF2 をセット (1) します。
上記以外の値		FCNnCMCLMDOF2 を変更しません。

(3) FCNnCMCSTR — FCNn モジュール最終エラー情報レジスタ

本レジスタはCAN プロトコルのエラー情報を提供します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 0248_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMCSSL[2:0]		

- 備考**
1. FCN モジュールが動作モードから初期化モードへ移行しても FCNnCMCSTR レジスタの内容はクリアされません。
 2. ソフトウェアで 00_H 以外の値を FCNnCMCSTR レジスタに書き込もうとしても、そのアクセスは無視されます。

FCNnCMCSSL[2:0]	最終 CAN プロトコル・エラー情報
000 _B	エラーなし
001 _B	スタッフ・エラー
010 _B	フォーム・エラー
011 _B	ACK エラー
100 _B	ビット・エラー (FCN モジュールがレセシブ・レベルのビットを (アービトレーション・フィールド以外の) 送信メッセージの一部として送信しようとしたが、CAN バス上の値がドミナント・レベルのビットだった)
101 _B	ビット・エラー (FCN モジュールがドミナント・レベルのビットを送信メッセージ、ACK ビット、エラー・フレームまたはオーバーロード・フレームの一部として送信しようとしたが、CAN バス上の値がレセシブ・レベルのビットだった)
110 _B	CRC エラー
111 _B	不定

(4) FCNnCMINSTR — FCNn モジュール情報レジスタ

本レジスタはFCN モジュールの状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 024C_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	FCNnCM MINBOFF	FCNnCM INSSTE[1:0]	FCNnCM INSSRE[1:0]		

FCNnCMINBOFF	バスオフ状態ビット
0	バスオフ状態でないこと（送信エラー・カウンタが 255 以下）を示します（送信エラー・カウンタの値が 256 未満）。
1	バスオフ状態であること（送信エラー・カウンタが 255 を上回っている）を示します（送信エラー・カウンタの値が 256 以上）。

FCNnCMINSSTE[1:0]	送信エラー・カウンタ状態ビット
00 _B	送信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01 _B	送信エラー・カウンタの値が警告レベルの範囲内（96 ～ 127）であることを示します。
10 _B	不定
11 _B	送信エラー・カウンタの値がエラー・パッシブ状態またはバスオフ状態の範囲にあること（128 以上）を示します。

FCNnCMINSSRE[1:0]	受信エラー・カウンタ状態ビット
00 _B	受信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01 _B	受信エラー・カウンタの値が警告レベルの範囲内（96 ～ 127）であることを示します。
10 _B	不定
11 _B	受信エラー・カウンタの値がエラー・パッシブ状態の範囲にあること（128 以上）を示します。

(5) FCNnCMERCNT — FCNn モジュール・エラー・カウンタ・レジスタ

本レジスタは送受信エラー・カウンタのカウント値を示します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 8250_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

	15	14	13	12	11	10	9	8
FCNnCM ERRPSF	FCNnCM ERRECF[6:0]							
	7	6	5	4	3	2	1	0
	FCNnCM ERTECF[7:0]							

FCNnCMERRPSF	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタがエラー・パッシブ範囲にないこと (128 未満) を示します。
1	受信エラー・カウンタがエラー・パッシブ範囲にあること (128 以上) を示します。

FCNnCMERRECF[6:0]	受信エラー・カウンタ・ビット
0 ~ 127	受信エラー・カウント数を示します。これらのビットは受信エラー・カウンタの 状態 を反映します。 カウント 数は CAN プロトコルによって定義されています。

備考 受信エラー・パッシブ状態 (FCNnCMINSTR.FCNnCMINSSRE[1:0] = 11_B) では、FCNnCMERRECF[6:0] は無効です。

FCNnCMERTECF[7:0]	送信エラー・カウンタ・ビット
0 ~ 255	送信エラー・カウント数を示します。これらのビットは送信エラー・カウンタの 状態 を反映します。 カウント 数は CAN プロトコルによって定義されています。

備考 バスオフ状態 (FCNnCMINSTR.FCNnCMINBOFF = 1) では、FCNnCMERTECF[7:0] は無効です。

(6) FCNnCMIECTL — FCNn モジュール割り込み許可レジスタ

本レジスタはFCN モジュールの割り込みの許可または禁止に使用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + 0 8258_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMIECTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMIEINTF[6:0]						

FCNnCMIEINTF[6:0]	FCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を許可します。

(b) FCNnCMIECTL の書き込み値

15	14	13	12	11	10	9	8
0	FCNnCMIESEIE[6:0]						
7	6	5	4	3	2	1	0
0	FCNnCMIECLIE[6:0]						

FCNnCMIESEIE[6:0]	FCNnCMIECLIE[6:0]	FCNnCMIEINTF[6:0] ビットの設定
0	1	FCNnCMIEINTF[6:0] ビットをクリア (0) します。
1	0	FCNnCMIEINTF[6:0] ビットをセット (1) します。
上記以外の値		FCNnCMIEINTF[6:0] ビットを変更しません。

(7) FCNnCMISCTL — FCNn モジュール割り込みステータス・レジスタ

本レジスタはFCN モジュールの割り込みステータスを示します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <FCNn_base> + 0 8260_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMISCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMISITSF[6:0]						

FCNnCMISITSF[6:0]	FCN 割り込みステータス・ビット
0	関連する割り込みソース・イベントが保留中でないことを示します。
1	関連する割り込みソース・イベントが保留中であることを示します。

割り込みステータス・ビット	関連する割り込みソース・イベント
FCNnCMISITSF6	FCN モジュール送信中断割り込みステータス・ビット
FCNnCMISITSF5	FCN スリープ・モードからのウェイクアップ割り込み ^a
FCNnCMISITSF4	アービトラージ・ロスト割り込み
FCNnCMISITSF3	CAN プロトコル・エラー割り込み
FCNnCMISITSF2	CAN エラー・ステータス割り込み
FCNnCMISITSF1	メッセージ・バッファ m への有効なメッセージ・フレームの受信完了割り込み
FCNnCMISITSF0	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み

a) FCNnCMISITSF5 は、FCN モジュールが CAN バス上の動作によって FCN スリープ・モードからウェイクアップされたときのみセットされます。FCN スリープ・モードがソフトウェアによって解除された場合は、セットされません。

(b) FCNnCMISCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMISCLTS[6:0]						

FCNnCMISCLTS[6:0]	FCNnCMISITSF[6:0] のクリア
0	FCNnCMISITSF[6:0] ビットを変更しません。
1	FCNnCMISITSF[6:0] ビットをクリア (0) します。

注意 これらのビットは自動的にクリアされないため、割り込み処理で各ステータスの確認が必要な場合は、本レジスタのステータス・ビットをソフトウェアでクリアしてください。

(8) FCNnCMBRPRS — FCNn モジュール・ビット・レート・プリスケラ・レジスタ

本レジスタはCAN プロトコル・レイヤの基本システム・クロック (f_{TQ}) の選択に使用されます。通信ボ-・レートはFCNnCMBTCTL レジスタに合わせて設定されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 0268_H

初期値 FF_H 本レジスタは各種リセットにより初期化されます。



FCNnCMBRPRS[7:0]]	CAN プロトコル・レイヤの基本システム・クロック (f_{TQ})
0	$f_{CANPRE}/1$
1	$f_{CANPRE}/2$
n	$f_{CANPRE}/(n+1)$
:	:
255	$f_{CANPRE}/256$ (デフォルト値)

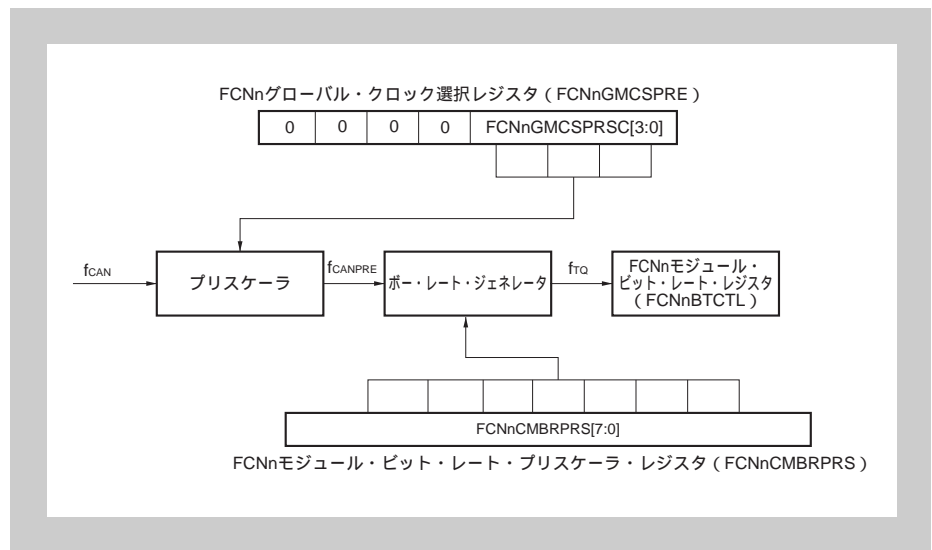


図 24-2 FCN モジュール・クロック

備考 f_{CAN} : FCN へ供給されるクロック

f_{CANPRE} : プレ CAN プロトコル・レイヤ基本システム・クロック

f_{TQ} : CAN プロトコル・レイヤ基本システム・クロック

注意 FCNnCMBRPRS へは、初期化モード中のみ書き込みアクセスが可能です。

(9) FCNnCMBTCTL — FCNn モジュール・ビット・レート・レジスタ

本レジスタは、通信ポー・レートのデータ・ビット・タイムの制御に使用されます。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8270_H

初期値 370F_H 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
0	0	FCNnCM BTJWL[1:0]		0	FCNnCM BTS2LG[2:0]		
7	6	5	4	3	2	1	0
0	0	0	0	FCNnCMBTS1LG[3:0]			

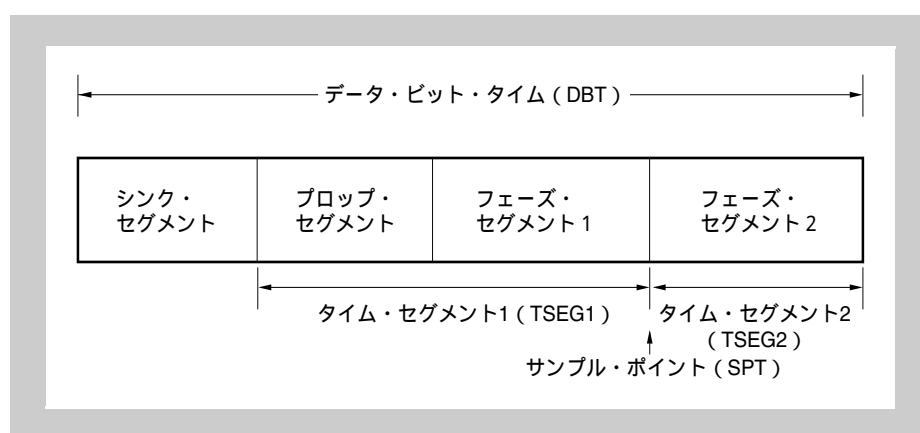


図 24-3 データ・ビット・タイム

FCNnCMBTJWL[1:0]	同期ジャンプ幅の長さ
00 _B	1T _Q
01 _B	2T _Q
10 _B	3T _Q
11 _B	4T _Q (デフォルト値)

FCNnCMBTS2LG[2:0]	タイム・セグメント2の長さ
000 _B	1T _Q
001 _B	2T _Q
010 _B	3T _Q
011 _B	4T _Q
100 _B	5T _Q
101 _B	6T _Q
110 _B	7T _Q
111 _B	8T _Q (デフォルト値)

FCNnCMBTS1LG[3:0]	タイム・セグメント1の長さ
0000 _B	設定禁止
0001 _B	2T _Q ^a
0010 _B	3T _Q ^a
0011 _B	4T _Q
0100 _B	5T _Q
0101 _B	6T _Q
0110 _B	7T _Q
0111 _B	8T _Q
1000 _B	9T _Q
1001 _B	10T _Q
1010 _B	11T _Q
1011 _B	12T _Q
1100 _B	13T _Q
1101 _B	14T _Q
1110 _B	15T _Q
1111 _B	16T _Q (デフォルト値)

a) FCNnCMBRPRS = 00_H のときにこの設定を行わないでください。

備考 $T_Q = 1/f_{TQ}$ (f_{TQ} : CAN プロトコル・レイヤの基本システム・クロック)

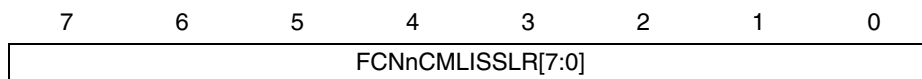
(10) FCNnCMLISTR — FCNn モジュール最終受信ポインタ・レジスタ

本レジスタは、データ・フレームまたはリモート・フレームが最後に保存されたメッセージ・バッファの番号を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 0278_H

初期値 不定



FCNnCMLISSLR[7:0]]	受信ヒストリ・リストの最終受信ポインタ
0 ~ 63 ^a 0 ~ 127 ^b	FCNnCMLISTR レジスタをリードすると、データ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

a) 64 メッセージ・バッファの FCN の場合

b) 128 メッセージ・バッファの FCN の場合

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、FCNnCMLISTR の読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後に FCNnCMRGRX.FCNnCMRGSSPM がセットされている場合には、FCNnCMLISTR の読み出し値は不定となります。

(11) FCNnCMRGRX — FCNn モジュール受信履歴・リスト・レジスタ

本レジスタは受信履歴・リスト (RHL) の読み出しに使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8280_H

初期値 xx02_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMRGRX の読み出し値

15	14	13	12	11	10	9	8
FCNnCMRGSSPT[7:0]							
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCM RGSSPM	FCNnCM RGRVFF

FCNnCMRGSSPT[7:0]	受信履歴・リスト読み出しポインタ
0 ~ 63 ^a 0 ~ 127 ^b	FCNnCMRGRX をリードすると、受信履歴・リストの読み出しポインタ (FCNnCMRGRX.FCNnCMRGSSPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

a) 64 メッセージ・バッファの FCN の場合

b) 128 メッセージ・バッファの FCN の場合

FCNnCMRGSSPM ^a	受信履歴・リストのポインタ一致
0	受信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

a) FCNnCMRGSSPM = 1 のとき、FCNnCMRGSSPT[7:0] の読み出し値は無効です。

FCNnCMRGRVFF ^a	受信履歴・リスト・オーバフロー・ビット ^b
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信履歴・リストに記録されます (受信履歴・リストに空きのエLEMENTが存在します)。
1	ホスト・プロセッサが受信履歴・リスト (RHL) を最後に使用 (たとえば, FCNnCMRGRX の読み込みなど) してから少なくとも (i) 個のエントリが格納されています。 FCNnCMRGRVFF がセットされていると, すべてのメッセージ・バッファ番号は位置 (i) に格納されるため, 最初の (i-1) 個のエントリは順番に格納されていますが, 最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって, 受信した順番を完全に回復することができません。

- a) FCNnCMRGRVFF がセット (1) されている状態で, FCNnCMRGRX レジスタによりすべての受信履歴が読み出されている場合, FCNnCMRGSSPM は新たな受信格納があってもクリア (0) されずセット (1) されたままになります。
- b) 64 メッセージ・バッファの FCN では $i = 47$
128 メッセージ・バッファの FCN では $i = 95$

(b) FCNnCMRGRX の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCMRGCLR

FCNnCMRGCLR	FCNnCMRGRVFF ビットのクリア
0	FCNnCMRGRVFF ビットを変更しません。
1	FCNnCMRGRVFF ビットをクリア (0) します。

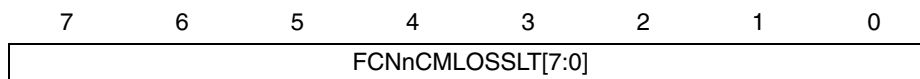
(12) FCNnCMLOSTR — FCNn モジュール最終送信ポインタ・レジスタ

本レジスタは、データ・フレームまたはリモート・フレームを最後に送信したメッセージ・バッファの番号を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <FCNn_base> + 0 0288_H

初期値 不定



FCNnCMLOSSLT[7:0]]	送信ヒストリ・リストの最終送信ポインタ
0 ~ 63 ^a 0 ~ 127 ^b	FCNnCMLOSTR をリードすると、データ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

a) 64 メッセージ・バッファの FCN の場合

b) 128 メッセージ・バッファの FCN の場合

注意 メッセージ・バッファからデータ・フレームまたはリモート・フレームが送信されることがない場合、FCNnCMLOSTR レジスタの読み出し値は不定になります。

(13) FCNnCMTGTX — FCNn モジュール送信履歴・リスト・レジスタ

本レジスタは送信履歴・リスト (THL) の読み出しに使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8290_H

初期値 xx02_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMTGTX の読み出し値

15	14	13	12	11	10	9	8
FCNnCMTGSSPT[7:0]							
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCM TGSSPM	FCNnCM TGTVFF

FCNnCMTGSSPT[7:0]	送信履歴・リスト読み出しポインタ
0 ~ 63 ^a 0 ~ 127 ^b	FCNnCMTGTX をリードすると、送信履歴・リストの読み出しポインタ (FCNnCMTGSSPT [7:0]) でインデックスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

a) 64 メッセージ・バッファの FCN の場合

b) 128 メッセージ・バッファの FCN の場合

FCNnCMTGSSPM ^a	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも 1 つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

a) FCNnCMTGSSPM = 1 のとき、FCNnCMTGSSPT[7:0] の読み出し値は無効です。

FCNnCMTGTVFF ^a	送信履歴・リスト・オーバフロー・ビット ^b
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエLEMENTが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば, FCNnCMTGTX の読み込みなど) してから少なくとも (i) 個のエントリが格納されています。FCNnCMTGTVFF がセットされていると、すべてのメッセージ・バッファ番号は位置 (i) に格納されるため、最初の (i-1) 個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

- a) FCNnCMTGTVFF がセットされていれば、FCNnCMTGSSPM はメッセージが送信されてもクリアされませんが、FCNnCMTGTX のすべてのエントリがソフトウェアで読み出されれば、FCNnCMTGSSPM はセットされます。
- b) 64 メッセージ・バッファの FCN では $i = 15$
128 メッセージ・バッファの FCN では $i = 31$

備考 以下のメッセージ・バッファからの送信は、ABT 付きの通常動作モード中には送信履歴・リストに記録されません。

- 0 ~ 16 (64 メッセージ・バッファの FCN の場合)
- 0 ~ 32 (128 メッセージ・バッファの FCN の場合)

(b) FCNnCMTGTX の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCM TGCLTV

FCNnCMTGCLTV	FCNnCMTGTVFF ビットの設定
0	FCNnCMTGTVFF ビットを変更しません。
1	FCNnCMTGTVFF ビットをクリア (0) します。

(14) FCNnCMTSCTL — FCNn モジュール・タイム・スタンプ・レジスタ

本レジスタはタイム・スタンプ機能の制御に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 8298_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMTSCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCM TSLOKE	FCNnCM TSSELE	FCNnCM TSTSGE

備考 FCN モジュールが ABT 付き通常動作モードを実行している間は、タイム・スタンプ機能のロック機能を使用しないでください。

FCNnCMTSLOKE	タイム・スタンプ・ロック機能許可ビット
0	タイム・スタンプ・ロック機能を停止させます。 TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。
1	タイム・スタンプ・ロック機能を許可します。 TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。 ただし、データ・フレームがメッセージ・バッファ 0 で正しく受信されれば、TSOUT 出力信号はロックされます。 ^{a)}

a) FCNnCMTTSTSGE は自動的に 0 にクリアされます。

FCNnCMTSSELE	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントは SOF です。
1	タイム・スタンプ・キャプチャ・イベントは EOF の最終ビットです。

FCNnCMTTSTSGE	TSOUT 動作設定ビット
0	TSOUT のトグル動作を禁止します。
1	TSOUT のトグル動作を許可します。

(b) FCNnCMTSCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	FCNnCM TSSELK	FCNnCM TSSESL	FCNnCM TSSETS
7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCM TSCLLK	FCNnCM TSCLSL	FCNnCM TSC LTS

FCNnCMTSSELK	FCNnCMTSCLLK	FCNnCMTSLOKE ビットの設定
0	1	FCNnCMTSLOKE をクリア (0) します。
1	0	FCNnCMTSLOKE をセット (1) します。
上記以外の値		FCNnCMTSLOKE を変更しません。

FCNnCMTSSESL	FCNnCMTSCLSL	FCNnCMTSSELE ビットの設定
0	1	FCNnCMTSSELE をクリア (0) します。
1	0	FCNnCMTSSELE をセット (1) します。
上記以外の値		FCNnCMTSSELE を変更しません。

FCNnCMTSSETS	FCNnCMTSCLTS	FCNnCMTSTSGE ビットの設定
0	1	FCNnCMTSTSGE をクリア (0) します。
1	0	FCNnCMTSTSGE をセット (1) します。
上記以外の値		FCNnCMTSTSGE を変更しません。

24.5.3 FCN メッセージ・バッファ・レジスタ

(1) FCNnMmDATxB/H/W — FCNn メッセージ・データ・バイト・レジスタ

これらのレジスタは送受信メッセージのデータの保存に使用されます。

アクセス FCNnMmDATxW レジスタは、32 ビット単位でリード/ライト可能です。
FCNnMmDATxH レジスタは、16 ビット単位でリード/ライト可能です。
FCNnMmDATxB レジスタは、8 ビット単位でリード/ライト可能です。

アドレス FCNnMmDAT0B: <FCNn_base> + 0 1000_H + m x 40_H
FCNnMmDAT1B: <FCNn_base> + 0 1004_H + m x 40_H
FCNnMmDAT2B: <FCNn_base> + 0 1008_H + m x 40_H
FCNnMmDAT3B: <FCNn_base> + 0 100C_H + m x 40_H
FCNnMmDAT4B: <FCNn_base> + 0 1010_H + m x 40_H
FCNnMmDAT5B: <FCNn_base> + 0 1014_H + m x 40_H
FCNnMmDAT6B: <FCNn_base> + 0 1018_H + m x 40_H
FCNnMmDAT7B: <FCNn_base> + 0 101C_H + m x 40_H

FCNnMmDAT0H: <FCNn_base> + 0 9000_H + m x 40_H
FCNnMmDAT2H: <FCNn_base> + 0 9008_H + m x 40_H
FCNnMmDAT4H: <FCNn_base> + 0 9010_H + m x 40_H
FCNnMmDAT6H: <FCNn_base> + 0 9018_H + m x 40_H

FCNnMmDAT0W: <FCNn_base> + 1 1000_H + m x 40_H
FCNnMmDAT4W: <FCNn_base> + 1 1010_H + m x 40_H

初期値 FCNnMmDATxW レジスタは 00000000_H 本レジスタは各種リセットにより初期化されます。

FCNnMmDATxH レジスタは 0000_H 本レジスタは各種リセットにより初期化されます。

FCNnMmDATxB レジスタは 00_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnCMmDATxB (x = 0 ~ 7)

7 6 5 4 3 2 1 0

FCNnMmSSD0, FCNnMmSSD1, FCNnMmSSD2, FCNnMmSSD3, FCNnMmSSD4, FCNnMmSSD5, FCNnMmSSD6, FCNnMmSSD7

(b) FCNnCMmDATxH (x = 0, 2, 4, 6)

15 14 13 12 11 10 9 8

FCNnMmSSD0, FCNnMmSSD2, FCNnMmSSD4, FCNnMmSSD6
--

7 6 5 4 3 2 1 0

FCNnMmSSD1, FCNnMmSSD3, FCNnMmSSD5, FCNnMmSSD7
--

(c) FCNnCMmDATxW (x = 0, 4)

31	30	29	28	27	26	25	24
FCNnMmSSD0, FCNnMmSSD4							
23	22	21	20	19	18	17	16
FCNnMmSSD1, FCNnMmSSD5							
15	14	13	12	11	10	9	8
FCNnMmSSD2, FCNnMmSSD6							
7	6	5	4	3	2	1	0
FCNnMmSSD3, FCNnMmSSD7							

(2) FCNnMmDTLGB — FCNn メッセージ・データ長レジスタ m

本レジスタはメッセージ・バッファのデータ・フィールドのバイト数 (DLC) の設定に使用されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 1020_H + m x 40_H

初期値 00_H 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnMmDTLG[3:0]			

FCNnMmDTLG[3:0]	送受信メッセージのデータ長
0000 _B	0 バイト
0001 _B	1 バイト
0010 _B	2 バイト
0011 _B	3 バイト
0100 _B	4 バイト
0101 _B	5 バイト
0110 _B	6 バイト
0111 _B	7 バイト
1000 _B	8 バイト
1001 _B	設定禁止 (送信時に設定した場合、データ・フレームが送信される ときに、FCNnMmDTLG [3 : 0] の設定値に関係なく、8 バイト・データが送信されます。しかし、実際に CAN バ スに送信される DLC は、このレジスタに対して設定され た値です)。備考
1010 _B	
1011 _B	
1100 _B	
1101 _B	
1110 _B	
1111 _B	

備考 データと DLC 値は、実際は以下のように CAN バスに送信されます。

送信フレームのタイプ	送信データ長	送信される DLC
データ・フレーム	FCNnMmDTLG [3 : 0] によって指定されたバイト数 (ただし、設定値が 8 以上のときは 8 バイト)	FCNnMmDTLGB.FC NnMmDTLG[3:0] ビットの設定値
リモート・フレーム	0 バイト	

- 注意**
1. ビット 7 ~ 4 を必ず 0000_B に設定してください。
 2. 受信データは、受信フレームの DLC に対応するバイト数と同じ数 (ただし、上限は 8 個) の FCNnMmDATxB レジスタに保存されます。データが保存されない FCNnMmDATxB レジスタは不定になります。
 3. 受信時、FCNnMmDTLGB は受信フレームに従って更新されます。

(3) FCNnMmSTRB — FCNn メッセージ・コンフィギュレーション・レジスタ m

本レジスタはメッセージ・バッファのタイプの指定およびマスクの設定に使用されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 1024_H + m×40_H

初期値 00_H。本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
FCNnMmSSOW	FCNnMmSSMT[3:0]			FCNnMmSSRT	0	FCNnMmSSAM	

FCNnMmSSOW	オーバーライト制御ビット
0	すでにデータ・フレームを受信しているメッセージ・バッファ ^a を新たに受信されたデータ・フレームによって上書きしません。新たに受信されたデータ・フレームは破棄されます。
1	すでにデータ・フレームを受信しているメッセージ・バッファ ^a を新たに受信されたデータ・フレームによって上書きします。

a) 「すでにデータ・フレームを受信しているメッセージ・バッファ」とは、FCNnMmCTL.FCNnMmDTNF ビットが1にセットされている受信メッセージ・バッファです。

備考 リモート・フレームの送信用メッセージ・バッファへの受信格納に際しては、FCNnMmCTL.FCNnMmSSOW および FCNnMmCTL.FCNnMmDTNF の設定には依存せず、その他の条件が合致 (ID が一致、FCNnMmSTRB.FCNnMmSSRT = 0, FCNnMmCTL.FCNnMmTRQF = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成, FCNnMmDTNF フラグのセット, FCNnMmDTLGB.FCNnMmDTLG[3:0] ビットの更新, および受信履歴・リストへの記録) されます。

FCNnMmSSRT	リモート・フレーム要求ビット
0	データ・フレームを送信または受信します。
1	リモート・フレームを送信または受信します。

FCNnMmSTRB.FCNnMmSSRT は、メッセージ・バッファで送信または受信するメッセージ・フレームのタイプを指定します。

備考

1. メッセージ・バッファが送信メッセージ・バッファとして定義されており、そのバッファでリモート・フレームを受信する場合は、FCNnMmSSRT ビットをクリアする必要があります。
2. 送信メッセージ・バッファが有効なリモート・フレームを受信した場合でも、フレームを受信した送信メッセージ・バッファの FCNnMmSSRT ビットは0にクリアされた状態にとどまります。
3. ID が一致するリモート・フレームを CAN バスから受信した場合でも、送信メッセージ・バッファの FCNnMmSSRT ビットが1にセットされていれば (リモート・フレームを送信するように設定されていれば)、そのリモート・フレームは、その送信メッセージ・バッファには保存されません。

4. メッセージ・バッファが受信メッセージ・バッファとして定義されている場合、そのメッセージ・バッファでデータ・フレームの代わりにリモート・フレームを受信するには、FCNnMmSSRT ビットをセットする必要があります。

FCNnMmSSMT[3:0]	メッセージ・バッファ・タイプ設定ビット
0000 _B	送信メッセージ・バッファ
0001 _B	受信メッセージ・バッファ (マスク設定なし)
0010 _B	受信メッセージ・バッファ (マスク 1 設定)
0011 _B	受信メッセージ・バッファ (マスク 2 設定)
0100 _B	受信メッセージ・バッファ (マスク 3 設定)
0101 _B	受信メッセージ・バッファ (マスク 4 設定)
0110 _B	受信メッセージ・バッファ (マスク 5 設定)
0111 _B	受信メッセージ・バッファ (マスク 6 設定)
1000 _B	受信メッセージ・バッファ (マスク 7 設定)
1001 _B	受信メッセージ・バッファ (マスク 8 設定)
上記以外の値	設定禁止

備考 FCNnMmSSMT を設定することで、リモート・フレームの受信と併せてマスクを選択することもできます。受信メッセージ・バッファでリモート・フレームを受信するには、メッセージ・バッファの FCNnMmSSRT フラグをセットする必要があります。

FCNnMmSSAM	メッセージ・バッファ割り当てビット
0	メッセージ・バッファを使用しません。
1	メッセージ・バッファを使用します。

注意 ビット 1 に必ず 0 を書き込んでください。

(4) FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W — FCNn メッセージ ID レジスタ m

これらのレジスタは識別子 (ID) の設定に使用されます。

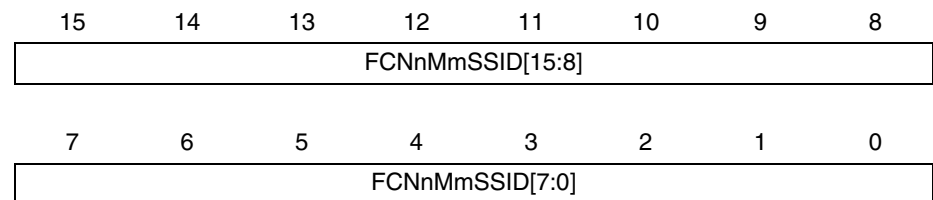
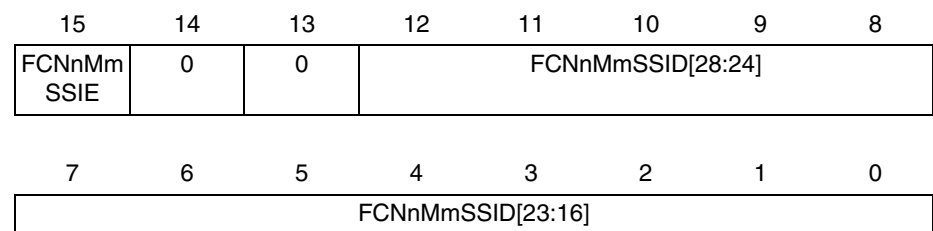
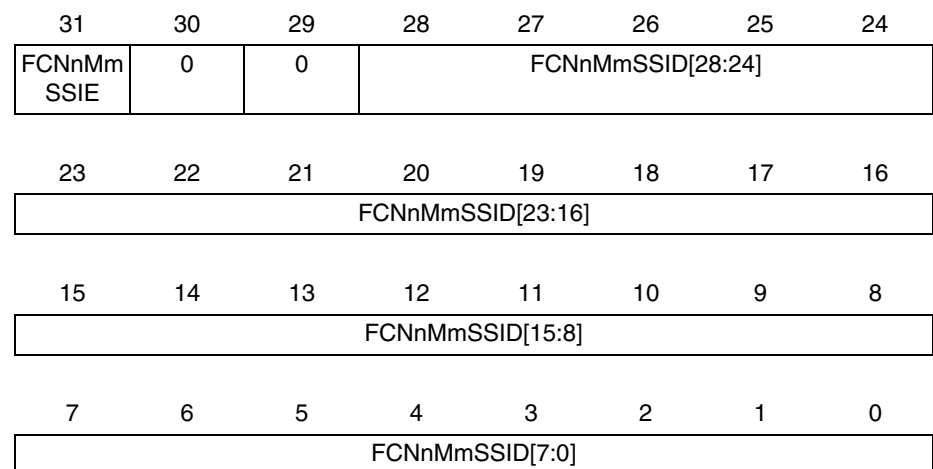
アクセス FCNnMmMID0H と FCNnMmMID1H は 16 ビット単位でリード/ライト可能です。

FCNnMmMID0W は 32 ビット単位でリード/ライト可能です。

アドレス FCNnMmMID0H: <FCNn_base> + 0 9028_H + m×40_H
 FCNnMmMID1H: <FCNn_base> + 0 9030_H + m×40_H
 FCNnMmMID0W: <FCNn_base> + 1 1028_H + m×40_H

初期値 FCNnMmMID0H, FCNnMmMID1H は 0000_H 本レジスタは各種リセットにより初期化されます。

FCNnMmMID0W は 0000 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnMmMID0H**(b) FCNnMmMID1H****(c) FCNnCMmMID0W**

FCNnMmSSIE	フォーマット・モード指定ビット
0	標準フォーマット・モード (FCNnMmSSID[28:18] : 11 ビット。FCNnMmSSID[17:0] は使用しません)
1	拡張フォーマット・モード (FCNnMmSSID[28:0] : 29 ビット)

FCNnMmSSID[28:0]	メッセージ ID
FCNnMmSSID[28:18]	11 ビットの標準 ID 値 (FCNnMmSSIE = 0 の場合)
FCNnMmSSID[28:0]	29 ビットの拡張 ID 値 (FCNnMmSSIE = 1 の場合)

- 注意**
1. FCNnMmMID1H のビット 14 とビット 13 および FCNnMmMID0W レジスタのビット 30 とビット 29 に必ず 0 を書き込んでください。
 2. このレジスタの指定されたビット位置に ID 値を合わせてください。標準 ID の場合、FCNnMmSSID[28:18] ビット位置に ID 値を合わせるには、ID 値をシフトする必要がある点に注意してください。

(5) FCNnMmCTL — FCNn メッセージ制御レジスタ m

本レジスタはメッセージ・バッファの動作の制御に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <FCNn_base> + 0 9038_H + m×40_H

初期値 0000_H 本レジスタは各種リセットにより初期化されます。

(a) FCNnMmCTL の読み出し値

15	14	13	12	11	10	9	8
0	0	FCNnMm MUCF	0	0	0	FCNnMm TCPF	0
7	6	5	4	3	2	1	0
0	FCNnMm NHMF	0	FCNnMm MOWF	FCNnMm IENF	FCNnMm DTNF	FCNnMm TRQF	FCNnMm RDYF

FCNnMmMUCF	メッセージ・バッファへのデータ更新中ビット
0	FCN モジュールがメッセージ・バッファを更新していない (受信と保存を行っていない) ことを示します。
1	FCN モジュールがメッセージ・バッファを更新している (受信と保存を行っている) ことを示します。

FCNnMmTCPF ^a	送信完了フラグ
0	送信が失敗したことを示します。 ^b
1	送信が完了したことを示します。

- a) FCNnMmRDYF が変更されるか、FCNnMmTRQF がセットされると、FCNnMmTCPF はクリアされます。
- b) アプリケーションが FCNnMmTRQF フラグをクリアすることで送信中断を要求した場合、0 は送信の中断が成功したことを示します。

FCNnMmNHMF	履歴マスク・フラグ ^a
0	受信/送信履歴・リスト・レジスタ FCNnCMRGRX/FCNnCMTGTX の更新をマスクしません。
1	受信/送信履歴・リスト・レジスタ FCNnCMRGRX/FCNnCMTGTX の更新をマスクします。

- a) 更新がマスクされると、対象となるメッセージ・バッファ上の受信動作または送信動作が完了しても送受信履歴・リストは更新されません。

FCNnMmMOWF	メッセージ・バッファ・オーバーライト・ステータス・ビット
0	新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていないことを示します。
1	新たに受信されたデータ・フレームまたはリモート・フレームによってメッセージ・バッファが上書きされていることを示します。

備考 FCNnMmDTNF = 1 の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、本ビットはセット (1) されません。

FCNnMmIENF	メッセージ・バッファ割り込み要求許可ビット
0	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを禁止します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを禁止します。
1	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを許可します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを許可します。

注意 FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。

FCNnMmDTNF	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていないことを示します。
1	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていることを示します。

注意 FCNnMmDTNF をソフトウェアで 1 にセットしないでください。ビット 10 には必ず 0 を書き込んでください。

FCNnMmTRQF	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

- 注意**
1. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
 2. 送信メッセージ・バッファ以外 (FCNnMmSSMT [3:0] ≠ 4'b0000 もしくは FCNnMmSSAM = 0 のバッファ) に対し、FCNnMmTRQF をセット (1) しないでください。

FCNnMmRDYF	メッセージ・バッファ準備ビット
0	ソフトウェアによるメッセージ・バッファへの書き込みが可能です。FCN モジュールがメッセージ・バッファへ書き込みむことはできません。
1	ソフトウェアによるメッセージ・バッファへの書き込みが無視されます (FCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNF, FCNnMmMOWF への書き込みアクセスを除く)。FCN モジュールはメッセージ・バッファへ書き込むことができます。

- 注意**
1. FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。
 2. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
 3. メッセージの送信中に FCNnMmRDYF をクリア (0) しないでください。メッセージ・バッファを再定義するために FCNnMmRDYF をクリアするには、送信中断処理を実行してください。
 4. CAN コントローラの動作状況によっては、FCNnMmRDYF のクリアに時間がかかることがあります。FCNnMmRDYF を読み出すことによってビットがクリアされたことを確認するまで、クリア・アクセスを繰り返してください。
 5. FCNnMmRDYF のステータスをチェックすることによって、FCNnMmRDYF がクリアされていることを確認するまで、ほかの FCN メッセージ・バッファ・レジスタには書き込まないでください。

(b) FCNnMmCTL の書き込み値

15	14	13	12	11	10	9	8
0	FCNnMm SENH	0	0	FCNnMm SEIE	0	FCNnMm SETR	FCNnMm SERY
7	6	5	4	3	2	1	0
0	FCNnMm CLNH	0	FCNnMm CLMW	FCNnMm CLIE	FCNnMm CLDN	FCNnMm CLTR	FCNnMm CLRY

FCNnMmSENH	FCNnMmCLNH	FCNnMmNHMF ビットの設定
0	1	FCNnMmNHMF をクリア (0) します。
1	0	FCNnMmNHMF をセット (1) します。
上記以外の値		FCNnMmNHMF を変更しません。

FCNnMmCLMW	FCNnMmMOWF ビットの設定
0	FCNnMmMOWF を変更しません。
1	FCNnMmMOWF をクリア (0) します。

FCNnMmSEIE	FCNnMmCLIE	FCNnMmIENF ビットの設定
0	1	FCNnMmIENF をクリア (0) します。
1	0	FCNnMmIENF をセット (1) します。
上記以外の値		FCNnMmIENF を変更しません。

FCNnMmCLDN	FCNnMmDTNF ビットの設定
0	FCNnMmDTNF を変更しません。
1	FCNnMmDTNF をクリア (0) します。

備考 ID フィールドの受信が完了した時点で FCNnMmDTNF がクリアされていた場合、そのメッセージ・バッファは受信中のフレームを保存する対象となります。

FCNnMmSETR	FCNnMmCLTR	FCNnMmTRQF ビットの設定
0	1	FCNnMmTRQF をクリア (0) します。
1	0	FCNnMmTRQF をセット (1) します。
上記以外の値		FCNnMmTRQF を変更しません。

FCNnMmSERY	FCNnMmCLRY	FCNnMmRDYF ビットの設定
0	1	FCNnMmRDYF をクリア (0) します。
1	0	FCNnMmRDYF をセット (1) します。
上記以外の値		FCNnMmRDYF を変更しません。

24.6 CANコントローラの初期化

24.6.1 FCNモジュールの初期化

FCNモジュールを動作可能状態にするには、ソフトウェアでFCNnGMCSPRE.FCNnGMCSPRSC[3:0]をセットすることによってFCNモジュールのシステム・クロックを決定する必要があります。FCNモジュールの動作が許可されたあとでFCNモジュールのシステム・クロックの設定を変更しないでください。

FCNモジュールの動作はFCNnGMCLCTL.FCNnGMCLPWOMをセットすることによって許可されます。

FCNモジュールを初期化する手順については、1665ページの24.14「CANコントローラの動作」を参照してください。

24.6.2 メッセージ・バッファの初期化

FCNモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります(ただし、ソフトウェア・リセット実行後を除く)。FCNモジュールを初期化モードからいずれかの動作モードへ切り換える前に、アプリケーションで使用されないものも含めて、すべてのメッセージ・バッファの最小限の初期化を行う必要があります。

- FCNnMmCTLレジスタのFCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNFをクリア(0)します。
- すべてのFCNnMmSTRB.FCNnMmSSAMをクリア(0)します。

24.6.3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージを受信中または送信中に、ほかの送信、受信の動作に影響を与えることなく、メッセージ・バッファのIDと制御情報を変更することです。

(1) 初期化モード中のメッセージ・バッファの再定義

FCNモジュールを初期化モードに設定したあと、初期化モード中にメッセージ・バッファのIDと制御情報を変更します。IDと制御情報を変更したあと、FCNモジュールを動作モードに設定します。

(2) 受信中のメッセージ・バッファの再定義

1669ページの図24-17「受信中のメッセージ・バッファの再定義」に従って再定義を実行します。

(3) 送信中のメッセージ・バッファの再定義

送信要求が設定されている送信メッセージ・バッファの内容を書き換えるには、送信中断処理を実行します(1642ページの(1)「自動ブロック送信(ABT)以外の送信中断処理」および1642ページの(2)「自動ブロック送信(ABT)の送信中断処理」を参照してください)。送信が中断されたか、完了したことを確認したあと、メッセージ・バッファを再定義します。送信メッ

セージ・バッファを再定義したあと、以下の手順に従って送信要求を設定します。

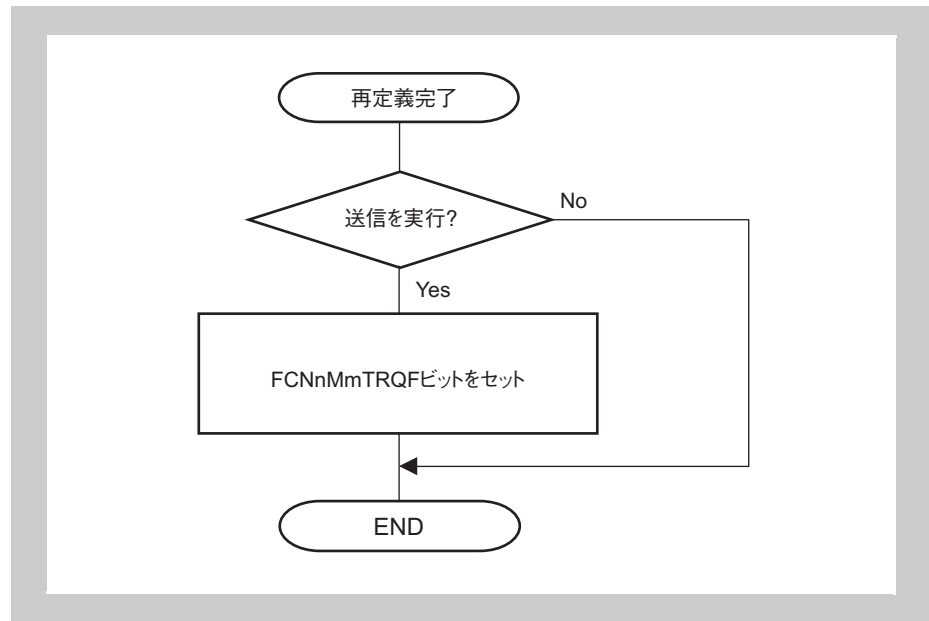


図 24-4 再定義後の送信メッセージ・バッファに対する送信要求の設定 (FCNnMmCTL.FCNnMmTRQF)

- 注意**
1. メッセージを受信すると、個々の受信メッセージ・バッファに対して設定されている ID とマスクに従って受信フィルタリングが行われます。1669 ページの図 24-17 「受信中のメッセージ・バッファの再定義」の手順を守らないと、メッセージ・バッファを再定義したあとのメッセージ・バッファの内容が受信の結果（受信フィルタリングの結果）と矛盾することがあります。その場合は、再定義後、はじめて受信され、メッセージ・バッファに保存された ID と IDE が、メッセージ・バッファが再定義されたあとで保存されたものであるかどうかを確認してください。再定義後、ID と IDE が保存されていない場合は、メッセージ・バッファを再び再定義してください。
 2. メッセージが送信されると、送信要求が設定された個々の送信メッセージ・バッファで設定されている ID, IDE および FCNnMmSTRB.FCNnMmSSRT に従って送信優先度をチェックします。優先度の最も高い送信メッセージ・バッファが選択され、送信に使用されます。図 24-4 「再定義後の送信メッセージ・バッファに対する送信要求の設定 (FCNnMmCTL.FCNnMmTRQF)」の手順を守らないと、優先度の最も高い ID を持つメッセージが再定義後に送信されないことがあります。

24.7 メッセージ受信

24.7.1 メッセージの受信

すべての動作モードで、新たに受信したメッセージの保存に適したバッファを見つけるために、メッセージ・バッファの全領域が解析されます。その評価 (RX 検索プロセス) の対象には、以下の条件を満たすすべてのメッセージ・バッファが含まれます。

- メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
- 受信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B to 1001_B)
- 受信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)

FCN モジュールの複数のメッセージ・バッファをメッセージの受信に使用できる場合は、以下で説明する優先度に従ってメッセージが保存されます。メッセージは常に優先度が最も高いメッセージ・バッファに保存され、優先度の低いメッセージ・バッファにメッセージが保存されることはありません。たとえば、同じ ID を持つマスクされていない受信メッセージ・バッファとマスク 1 にリンクされている受信メッセージ・バッファがある場合は、マスク 1 にリンクされているメッセージ・バッファがメッセージを受信したことがなく、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していても、受信メッセージはマスク 1 にリンクされているメッセージ・バッファには保存されません。つまり、異なる特性を持つ複数のメッセージ・バッファに同じ条件が設定されている場合は、優先度の最も高いメッセージ・バッファが常にメッセージを保存します。優先度の低いメッセージ・バッファにメッセージが保存されることはありません。この規則は、優先度の最も高いメッセージ・バッファがメッセージを保存できない場合 (つまり、FCNnMmCTL.FCNnMmDTNF = 1 になっていて、メッセージがすでに受信されていることを示しているのに、FCNnMmSTRB.FCNnMmSSOW = 0 であるため、書き換えが禁止されている場合) にも適用されます。その場合、メッセージは、実際に優先度の最も高いメッセージ・バッファ候補に保存されませんが、優先度の低いメッセージ・バッファにも保存されません。

表 24-16 MBRB の優先度

優先度	同じ ID が設定されている場合の保存条件	
1 (高い)	マスクされていないメッセージ・バッファ	FCNnMmDTNF = 0 FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
2	マスク 1 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0 FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
3	マスク 2 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0 FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
...
9 (低い)	マスク 8 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0 FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1

24.7.2 受信データの読み出し

FCN メッセージ・バッファを読み出すときのデータの整合性を保つために、1685 ページの図 24-31 「割り込みを利用した受信 (FCNnCMISTR レジスタを利用)」から 1689 ページの図 24-34 「ソフトウェア・ポーリングを利用した受信」の手順に従ってデータの読み出しを行ってください。

メッセージの受信中、FCN モジュールは、メッセージ・バッファへのデータの保存プロセスの開始時と保存プロセスの終了時の 2 回にわたって FCNnMmCTL.FCNnMmDTNF をセットします。保存プロセスの実行中は、メッセージ・バッファの FCNnMmCTL.FCNnMmMUCF がセットされます (図 24-6 「受信タイミング」を参照してください)。

保存プロセスの開始直前に受信履歴・リストも更新されます。さらに、保存プロセスの実行中 (FCNnMmCTL.FCNnMmMUCF = 1 である間)、CPU によるデータ書き込みが行われないように、メッセージ・バッファの FCNnMmCTL.FCNnMmRDYF がロックされます。CPU がメッセージ・バッファにアクセスすると、保存プロセスが妨害される (遅延する) 可能性がある点に注意してください。

注意 メッセージを確実にメッセージ・バッファに格納したい場合、バッファの FCNnMmCTL..FCNnMmDTNF ビットをメッセージ・サーチ処理が開始される前 (フレームの ID がバス上に出力される前) にクリアする必要があります。これは最短で前のフレームの EOF の後の 15CAN ビット目となります。CAN フレームがバス上に連続して現れ、確実に受信したい場合、フレーム受信用のメッセージ・バッファを 1 個より多く使用することを推奨します。

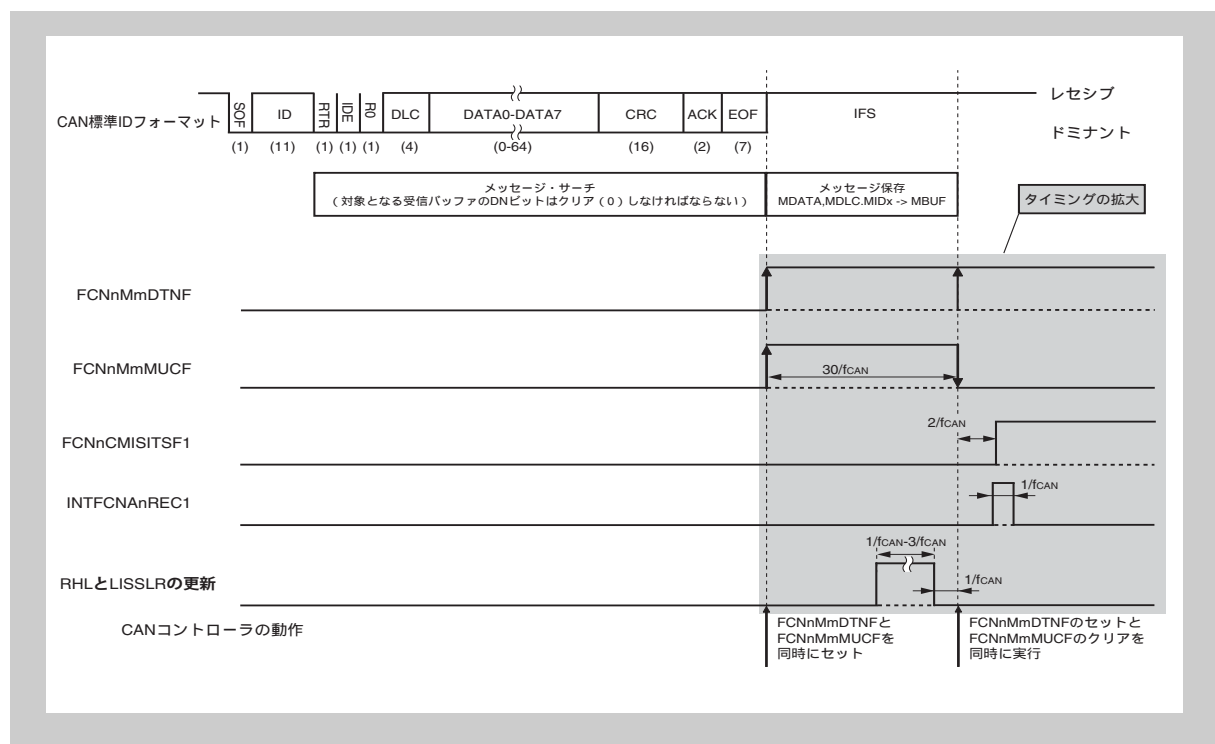


図 24-6 受信タイミング

24.7.3 受信履歴・リスト機能

受信履歴・リスト (RHL) 機能では、個々のデータ・フレームまたはリモート・フレームが受信され、保存された受信メッセージ・バッファの番号を受信履歴・リストに記録する機能です。RHL は、最大 47 個のメッセージ (64 メッセージ・バッファの FCN の場合) または最大 95 個のメッセージ (128 メッセージ・バッファの FCN の場合) に相当する保存要素、最終受信メッセージ・ポインタ FCNnCMLISSLR[7:0] とそれに対応する FCNnCMLISTR レジスタおよび受信履歴・リスト取得ポインタ FCNnCMRGSSPT とそれに対応する FCNnCMRGRX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の RHL は不定です。

FCNnCMLISTR レジスタには、FCNnCMLISTR.FCNnCMLISSLR[7:0] ポインタから 1 を引いた値が示す RHL 要素の内容が格納されています (図 24-7 参照)。したがって、FCNnCMLISTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号をチェックすることができます。FCNnCMLISSLR[7:0] ポインタは、RHL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが受信され、保存されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLISSLR[7:0] ポインタの示す RHL 要素に記録されます。RHL への記録が完了するたびに、FCNnCMLISSLR[7:0] ポインタは自動的にインクリメントされます。そうすることで、フレームを受信し、保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは受信履歴・リストに記録されません。

FCNnCMRGRX.FCNnCMRGSSPT は、記録されているメッセージ・バッファ番号を RHL から読み出すときの読み出しポインタとして利用されます。このポインタは、CPU がまだ読み出していない RHL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMRGRX レジスタを読み出すことによって、データ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号を読み出すことができます。FCNnCMRGRX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMRGSSPT ポインタが自動的にインクリメントされます。

FCNnCMRGRX.FCNnCMRGSSPT ポインタの値が FCNnCMLISTR.FCNnCMLISSLR[7:0] ポインタの値と一致すると、FCNnCMRGRX.FCNnCMRGSSPM (受信履歴・リスト・ポインタ・マッチ) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLISSLR[7:0] ポインタがインクリメントされ、その値が FCNnCMRGSSPT ポインタの値と一致しなくなるため、FCNnCMRGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に存在することを意味しています。

FCNnCMLISTR.FCNnCMLISSLR[7:0] ポインタがインクリメントされた結果、FCNnCMRGRX.FCNnCMRGSSPT ポインタから 1 を引いた値と一致すると、FCNnCMRGRX.FCNnCMRGRVFF (受信履歴・リスト・オーバーフロー) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって RHL が満杯になったことを示します。それ以降、メッセージの受信と保存が行われると、新たに受信されたメッセージを受信し、保存したメッセージ・バッファの番号によって最後に記録されたメッセージ・

バッファ番号が上書きされます。その場合、FCNnCMRGRVFF が (1 に) セットされたあとは、RHL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし、FCNnMmCTL.FCNnMmDTNF を利用した CPU によるメッセージ・バッファ・メモリ内の検索またはグローバル・レジスタ FCNnDNBMRX[3:0] の読み出しを実行できるため、メッセージ自体が失われることはなく、メッセージを見つけることは可能です。

注意 受信履歴・リストがオーバフロー状態になっても (FCNnCMRGRX.FCNnCMRGRVFF がセットされても)、受信履歴・リストが空になるまで (FCNnCMRGRX.FCNnCMRGSSPM フラグがセットされるまで)、受信履歴・リストの内容を読み出すことはできます。ただし、FCNnCMRGRVFF がソフトウェアによってクリアされるまで、受信履歴・リストはオーバフロー状態にとどまります。FCNnCMRGRVFF がクリアされないと、新たに受信されたフレームのメッセージが保存されても、FCNnCMRGSSPM フラグは更新 (クリア) されません。その場合は、受信履歴・リストがオーバフロー状態で受信が行われたときにもかかわらず、受信履歴・リストが空であることを FCNnCMRGSSPM が示す (FCNnCMRGRVFF と FCNnCMRGSSPM がセットされる) 可能性があります。

RHL に空のエントリがある限り、受信の順番は保たれます。ホスト・プロセッサが RHL を読み出さないうちに、さらに受信が行われると、受信の順番を完全に元に戻すことができなくなります。

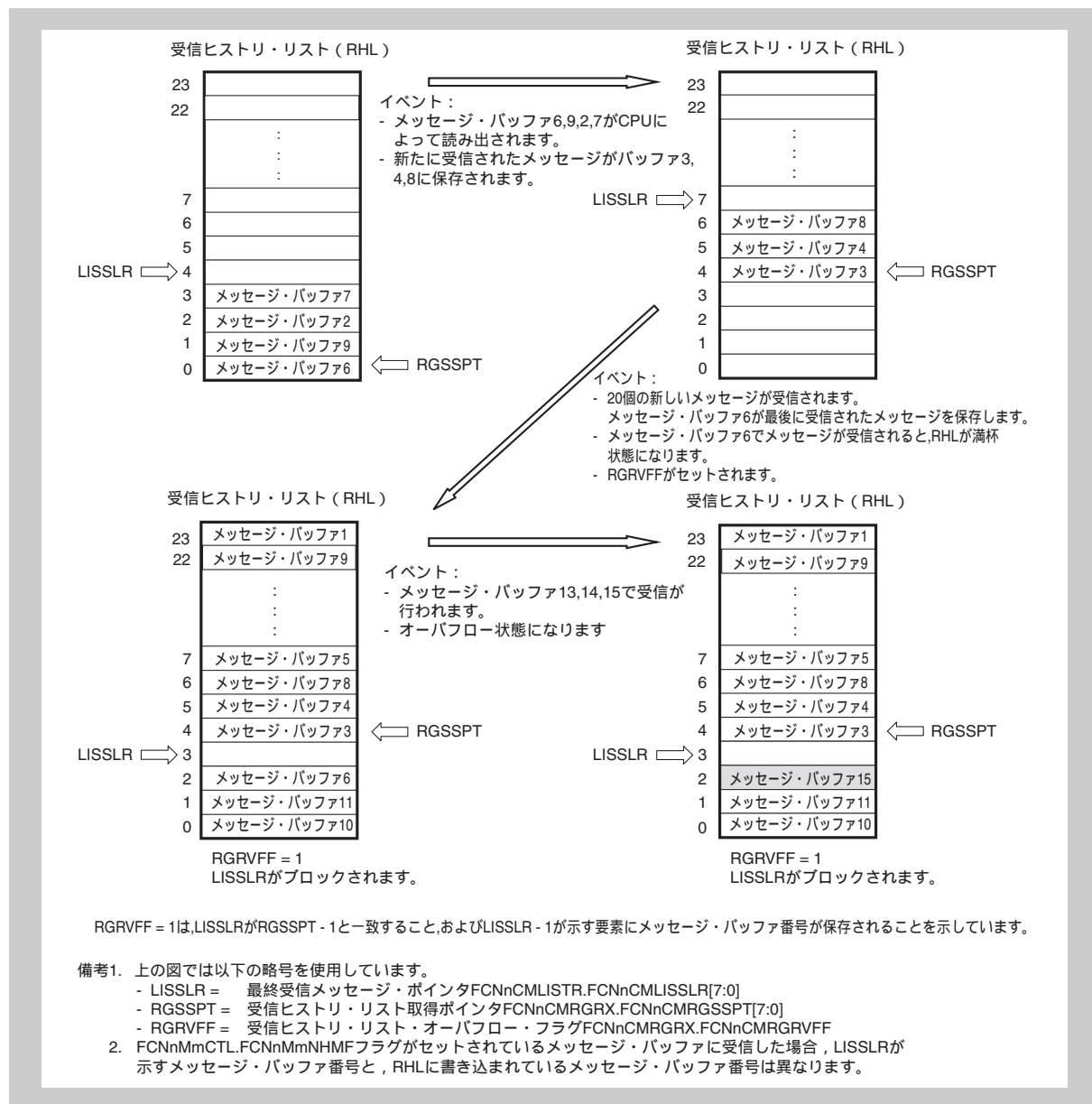


図 24-7 受信履歴・リスト

24.7.4 マスク機能

受信に使用される任意のメッセージ・バッファを8つのグローバル受信マスクの1つ（またはマスクなし）に割り当てることができます。

マスク機能を使用すると、マスクされるビットによってメッセージIDの比較対象となるビットが減るため、複数の異なるIDを1つのバッファで受信することができます。

マスク機能が有効になっていると、マスクによって1と定義されている受信メッセージ内の識別子ビットと、それに対応するメッセージ・バッファ内の識別子ビットとの比較が行われません。

しかし、マスクによって値が0と定義されているビットについては、比較が行われます。

たとえば、ID27～25のビットが0で、ID24とID22のビットが1の標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に保存する例を考えてみましょう。その場合は、以下のように設定します。

(1) メッセージ・バッファに保存される識別子

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

(2) メッセージ・バッファ14で設定する識別子 (例)

(FCN1M014MID0W レジスタを使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

- 備考
- ID27～25のビットが0にクリアされており、ID24とID22のビットが1にセットされているIDがメッセージ・バッファ14に登録（初期化）されます。
 - メッセージ・バッファ14は、マスク1にリンクされた標準フォーマット識別子として設定されます (FCN1M014STRB.FCN1M014SSMT[3:0] = 0010_B)。

(3) FCN モジュール1のマスク設定 (マスク1) (例)

(FCN1 モジュール・マスク1レジスタ FCN1CMMKCTL01W を使用)

FNC1CMMKSSID[.]

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
1	0	0	0	0	1	0	1	1	1	1
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
1	1	1	1	1	1	1	1	1	1	1
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
1	1	1	1	1	1	1				

1: 比較されない (マスクされる)

0: 比較される

FCN1CMMKSSID[27:24] と FCN1CMMKSSID[22] は 0 にクリアし、FCN1CMMKSSID[28], FCN1CMMKSSID[23], FCN1CMMKSSID[21:0] をセット (1) します。

24.7.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能の目的は、同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じ ID を設定することで、CPU の介入なしに、データのブロックを複数のメッセージ・バッファに順番に保存することです。保存に使用されるメッセージ・バッファは、メッセージ・バッファ・メモリ内の任意の場所に割り当てることができ、互いに隣接している必要もありません。

たとえば、メッセージ・バッファ 10 ~ 19 からなる 10 個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されており、それらのメッセージ・バッファで同じ ID が設定されているとします。メッセージ・バッファの ID と一致する ID を持つ最初のメッセージを受信すると、そのメッセージはメッセージ・バッファ 10 に保存されます。この時点で、メッセージ・バッファ 10 の FCNnMmCTL.FCNnMmDTNF がセットされるため、それ以降の受信メッセージでこのメッセージ・バッファを上書きすることは禁止されます。

ID の一致する次のメッセージを受信すると、そのメッセージはメッセージ・バッファ 11 で受信され、保存されます。ID の一致するメッセージを受信するたびに、メッセージはメッセージ・バッファ 12, 13... の順 (昇順) に保存されます。複数のメッセージから構成されるデータ・ブロックを受信した場合でも、以前に受信した ID の一致するデータを上書きすることなく、メッセージを保存し、受信することができます。

各メッセージ・バッファの FCNnMmCTL.FCNnMmIENF をセットすることによって、データ・ブロックが受信され、保存されたかどうかを確認することができます。たとえば、データ・ブロックが k 個のメッセージから構成される場合は、k 個のメッセージ・バッファをそのデータ・ブロックの受信用として初期化します。メッセージ・バッファ 0 ~ (k-2) の FCNnMmIENF をクリア (0) し (割り込み禁止)、メッセージ・バッファ k-1 の FCNnMmIENF をセット (1) します (割り込み許可)。その場合は、メッセージ・バッファ k-1 でメッセージが受信され、保存されると、受信完了割り込みが発生するので、MBRB が満杯になったことがわかります。あるいは、メッセージ・バッファ 0 ~ (k-3) の FCNnMmIENF をクリア (0) し、メッセージ・バッファ k-2 の FCNnMmIENF をセットすることで、MBRB がオーバフロー直前であるという警告を発することもできます。

MBRB で利用する個々のメッセージ・バッファに受信データを保存するための基本条件は、1 つのメッセージ・バッファにデータを保存するときの条件と同じです。

-
- 注意**
1. MBRB はメッセージ・バッファ・タイプごとに設定することができます。したがって、ID は一致するものの、メッセージ・バッファ・タイプが異なる別の MBRB のメッセージ・バッファが空いていても、受信メッセージはそのメッセージ・バッファには保存されず、破棄されます。
 2. MBRB はリング・バッファ構造を持っていません。したがって、MBRB 用として設定されているメッセージ・バッファのうち、番号が最大のメッセージ・バッファにメッセージが保存されたあとは、新たにメッセージを受信しても、そのメッセージはメッセージ・バッファ番号が最小のメッセージ・バッファには保存されません。
 3. MBRB は受信と保存の条件に基づいて動作します。機能許可ビットなど、MBRB 専用の設定はありません。複数のメッセージ・バッファで同じメッセージ・バッファ・タイプと ID を設定することで、MBRB は自動的に設定されます。
 4. MBRB でいう「一致する ID」とは、「マスクを適用したあと、一致する ID」です。メッセージ・バッファで設定されている ID が同じでなくても、マスク・レジスタによってマスクされた ID が一致すれば、ID が一致すると見なされ、その ID を持つバッファはメッセージの保存先として扱われます。
 5. MBRB 間の優先度については、表 24-16 「MBRB の優先度」を参照してください。
-

24.7.6 リモート・フレームの受信

すべての動作モードで、リモート・フレームを受信すると、以下の条件（条件1と2。条件1のほうが受信条件として優先される）を満たすすべてのメッセージ・バッファの中からリモート・フレームを保存するメッセージ・バッファを見つけるための検索が行われます。条件1が満たされない場合は、条件2を満たすものがあるかどうかを確認するために残りのメッセージ・バッファを検索します。

- 条件1：
 - 送信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)
 - メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
 - 受信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)
 - データ・フレーム・メッセージ・タイプ用に設定されている
(FCNnMmSTRB.FCNnMmSSRT = 0)
 - 送信要求が設定されていない
(FCNnMmCTL.FCNnMmTRQF = 0)
- 条件2：
 - 受信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B ... 1001_B)
 - メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
 - 受信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)
 - リモート・フレーム・メッセージ・タイプ用に設定されている
(FCNnMmSTRB.FCNnMmSSRT = 1)
 - バッファがメッセージを保存できる状態にある
(FCNnMmCTL.FCNnMmDTNF = 0, または
FCNnMmSTRB.FCNnMmSSOW = 1 かつ FCNnMmCTL.FCNnMmDTNF = 1)

リモート・フレームを受信し、受信したリモート・フレームのIDが上記の条件を満たすメッセージ・バッファのIDと一致すると、以下の処理が行われます。

- FCNnMmDTLGB レジスタの FCNnMmDTLG[3:0] ビット文字列が受信した DLC 値を保存します。
- 送信メッセージ・バッファへの受信の場合、データ領域の FCNnMmDAT0B ~ FCNnMmDAT7B レジスタは更新しません（受信前のデータを保存します）。
- FCNnMmCTL.FCNnMmDTNF をセット (1) します。
- FCNnCMISCTL.FCNnCMISITSF1 をセット (1) します（フレームを受信し、保存するメッセージ・バッファの FCNnMmCTL.FCNnMmIENF が 1 にセットされている場合）。
- 受信完了割り込み (INTCnREC) を出力します（フレームを受信し、保存するメッセージ・バッファの FCNnMmCTL.FCNnMmIENF が 1 にセットされており、かつ、FCNnCMIECTL.FCNnCMIEINTF1 が 1 にセットされている場合）。

- FCNnMmCTL.FCNnMmNHMF フラグがセットされていなければ、メッセージ・バッファ番号を受信ヒストリ・リストに記録します。

注意 リモート・フレームの受信、保存用のメッセージ・バッファとして送信メッセージ・バッファが見つかった場合、メッセージ・バッファの FCNnMmSTRB.FCNnMmSSOW による上書き制御および FCNnMmCTL.FCNnMmDTNF はチェックされません。FCNnMmSSOW の設定は無視され、FCNnMmDTNF はいずれの場合もセットされます。

- 備考**
1. 複数の送信メッセージ・バッファが同じ ID を持っていて、受信したリモート・フレームの ID がその ID と一致する場合、リモート・フレームはメッセージ・バッファ番号の最も小さい送信メッセージ・バッファに保存されます。
 2. リモート・フレームの ID と ID が一致し、リモート・フレームを受信可能な送信メッセージ・バッファと受信メッセージ・バッファが見つかった場合は、メッセージ・バッファがマスクされている場合も、マスクされていない場合も、リモート・フレームは送信メッセージ・バッファに保存されます。
 3. リモート・フレームの受信条件を満たす複数の受信メッセージ・バッファがあるときの受信優先度は、データ・フレームの受信優先度と同じです。
 4. リモート・フレームの受信に適した受信メッセージ・バッファが見つかり、保存用として選択されたにもかかわらず、FCNnMmDTNF がセットされていて、FCNnMmSSOW がセットされていないため、その受信メッセージ・バッファにフレームを保存できない場合、そのリモート・フレームはどこにも保存されません。

24.8 メッセージ送信

24.8.1 メッセージの送信

FCNnMmCTL.FCNnMmTRQF ビットが 1 にセットされたメッセージ・バッファは、以下の条件を満たしていれば、優先度の最も高いメッセージを送信するメッセージ・バッファを検索するときの対象になります。この処理はすべての動作モードで有効です。

- メッセージ・バッファとして使用されている
(FCNnMmSTRB.FCNnMmSSAM = 1)
- 送信メッセージ・バッファとして設定されている
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)
- 送信レディ状態である
(FCNnMmCTL.FCNnMmRDYF = 1)

CAN システムはマルチ・マスタ通信システムです。この種のシステムでは、メッセージ識別子 (ID) に基づいてメッセージ送信の優先度が決まります。送信を待機しているメッセージが複数ある場合にソフトウェアによる送信処理を容易にするために、FCN モジュールではハードウェアを使用して優先度の最も高いメッセージの ID をチェックし、そのメッセージを自動的に識別します。そうすることで、ソフトウェアを利用した優先度制御を行う必要がなくなります。

送信優先度は識別子 (ID) によって制御されます。

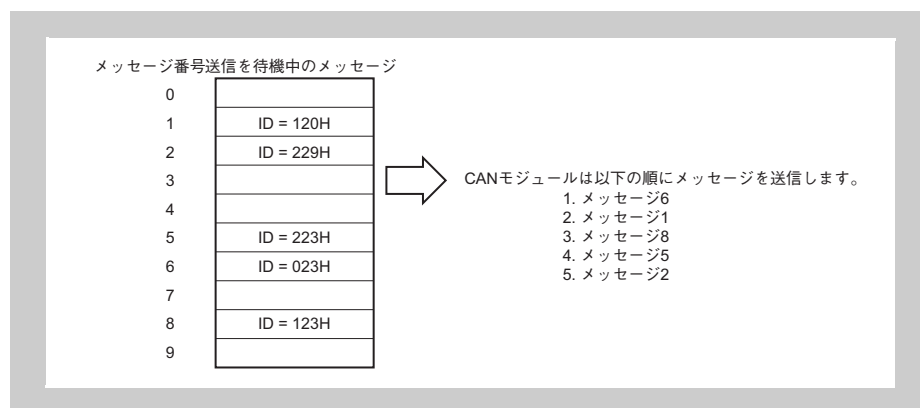


図 24-8 メッセージ処理の例

送信メッセージの検索が完了すると、送信要求を保留している（あらかじめ FCNnMmCTL.FCNnMmTRQF ビットが 1 にセットされている）送信メッセージ・バッファのうち、優先度の最も高い送信メッセージ・バッファを使用して送信メッセージが送信されます。

新しい送信要求が設定されると、新しい送信要求が設定された送信メッセージ・バッファと送信要求を保留している送信メッセージ・バッファとの比較が行われます。優先度の低いメッセージの送信がすでに開始されていない限り、新しい送信要求のほうが優先度が高ければ、新しい送信要求が送信されます。しかし、優先度の低いメッセージの送信がすでに開始されていれば、新しい送信要求はあとで送信されます。このように優先度が逆転する問題を解決するために、ソフトウェアで優先度の低いメッセージの送信中断要求を実行することができます。優先度の順位は以下の規則によって決まります。

優先度	条件	説明
1 (高い)	ID の上位 11 ビットの値 (ID28 ~ 18)	ID の上位 11 ビットが表す値が最も小さいメッセージ・フレームが最初に送信されます。11 ビット標準 ID の値が 29 ビット拡張 ID の上位 11 ビットの値以下である場合は、29 ビット拡張 ID を持つメッセージ・フレームより 11 ビット標準 ID のほうが優先度が高くなります。
2	フレーム・タイプ	11 ビット標準 ID を持つデータ・フレーム (FCNnMmSTRB.FCNnMmSSRT が 0 にクリアされている) のほうが標準 ID を持つリモート・フレームおよび拡張 ID を持つメッセージ・フレームより優先度が高くなります。
3	ID タイプ	標準 ID を持つメッセージ・フレーム (メッセージ・バッファ識別子レジスタ FCNnMmMID... のビット FCNnMmSSIE が 0 にクリアされている) のほうが拡張 ID を持つメッセージ・フレームより優先度が高くなります。
4	ID の下位 18 ビットの値 (ID17 ~ 0)	ID の上位 11 ビットが同じで、同じフレーム・タイプの (FCNnMmSTRB.FCNnMmSSRT ビット値が等しい) 送信保留中の拡張 ID メッセージ・フレームが複数ある場合は、拡張 ID の下位 18 ビットの値が最も小さいメッセージ・フレームが最初に送信されます。
5 (低い)	メッセージ・バッファ番号	複数のメッセージ・バッファが同じ ID を持つメッセージ・フレームの送信を要求した場合は、メッセージ・バッファ番号の最も小さいメッセージ・バッファのメッセージが最初に送信されます。

- 備考** 1. ABT 付き通常動作モードで、自動ブロック送信要求ビット FCNnGMABCTL.FCNnGMABABTT が 1 にセットされている場合は、ABT メッセージ・バッファ・グループ内の 1 つのメッセージ・バッファでのみ FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。

FCNnGMABCTL.FCNnGMABSEAT = 1 によって ABT モードがトリガされた場合は、ABT 領域内 (64 メッセージ・バッファの FCN : 0 ~ 15, 128 メッセージ・バッファの FCN : 0~31) の 1 つの FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。この送信要求以降、アプリケーションは、ABT 領域に属さないほかの送信メッセージ・バッファに対して送信を要求する (FCNnMmTRQF をセット (1) する) ことができます。その場合、インターバル調停プロセス (送信検索) は、FCNnMmTRQF が 1 にセットされているすべての送信メッセージ・バッファを評価し、優先度の最も高い識別子を持つメッセージ・バッファを次の送信用バッファとして選択します。優先度が最も高い識別子が複数ある (同じ識別子が複数ある) 場合は、番号の最も小さいメッセージ・バッファに格納されているメッセージが最初に送信されます。

メッセージ・フレームの送信が成功すると、以下の処理が実行されます。

- 対応する送信メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF フラグが自動的に 0 にクリアされます。
- 送信完了ステータス・ビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます (対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmiENF が 1 にセットされている場合)。
- 割り込み要求信号 INTCnTRX が出力されます (FCNnCMIECTL.FCNnCMIEINTF0 が 1 にセットされており、かつ、対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmiENF が 1 にセットされている場合)。

- 送信バッファの内容を変更するときは、内容を更新する前に、そのバッファの FCNnMmCTL.FCNnMmRDYF フラグをクリアする必要があります。内部転送動作中などに FCNnMmRDYF フラグが一時的にロックされることがあるため、FCNnMmRDYF を変更したときは、あとでフラグの状態をソフトウェアで確認する必要があります。

24.8.2 送信履歴・リスト機能

送信履歴・リスト (THL) 機能は、データ・フレームまたはリモート・フレームの送信元となった送信メッセージ・バッファの番号を送信履歴・リストに記録する機能です。THL は、最大 15 個のメッセージ (64 メッセージ・バッファの FCN の場合) または最大 31 個のメッセージ (128 メッセージ・バッファの FCN の場合) に相当する保存要素、最終送信メッセージ・ポインタ FCNnCMLOSTR[7:0] とそれに対応する FCNnCMLOSTR レジスタおよび送信履歴・リスト取得ポインタ FCNnCMTGSSPT[7:0] とそれに対応する FCNnCMTGTGX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の THL は不定です。

FCNnCMLOSTR レジスタには、FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタから 1 を引いた値が示す THL 要素の内容が格納されています。したがって、FCNnCMLOSTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを送信したメッセージ・バッファの番号をチェックすることができます。FCNnCMLOSTR[7:0] ポインタは、THL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが送信されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLOSTR[7:0] ポインタの示す THL 要素に記録されます。THL への記録が完了するたびに、FCNnCMLOSTR[7:0] ポインタは自動的にインクリメントされます。そうすることで、フレームを受信し、保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは送信履歴・リストに記録されません。

FCNnCMTGTGX.FCNnCMTGSSPT[7:0] ポインタは、記録されているメッセージ・バッファ番号を THL から読み出すときの読み出しポインタとして利用されます。このポインタは、CPU がまだ読み出していない THL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMTGTGX レジスタを読み出すことにより、送信を完了したメッセージ・バッファの番号を読み取ることができます。FCNnCMTGTGX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMTGSSPT[7:0] ポインタが自動的にインクリメントされます。

FCNnCMTGTGX.FCNnCMTGSSPT[7:0] ポインタの値が FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタの値と一致すると、FCNnCMTGTGX.FCNnCMTGSSPM (送信履歴・リスト・ポインタ・マッチ) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLOSTR[7:0] ポインタがインクリメントされ、その値が FCNnCMTGSSPT[7:0] ポインタの値と一致しなくなるため、FCNnCMTGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に存在することを意味しています。

FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタがインクリメントされた結果、FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタから 1 を引いた値と一致すると、FCNnCMTGTX.FCNnCMTGTVFF (送信履歴・リスト・オーバーフロー) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって THL が満杯になったことを示します。新しいメッセージが受信され、保存されると、そのメッセージをあとで送信したメッセージ・バッファ番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合、FCNnCMTGTVFF が (1 に) セットされたあとは、THL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし、その場合でも CPU はすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPU が送信再設定を行う前に実行)。

FCNnCMTGTX.FCNnCMTVFF に関わらず 14 個 (64 メッセージ・バッファ) または 30 個 (128 メッセージ・バッファ) の送信メッセージ・バッファ番号は THL に保存されます。

注意 送信履歴・リストがオーバーフロー状態になっても (FCNnCMTGTX.FCNnCMTGTVFF がセットされても)、送信履歴・リストが空になるまで (FCNnCMTGTX.FCNnCMTGSSPM フラグがセットされるまで)、送信履歴・リストの内容を読み出すことはできます。ただし、FCNnCMTGTVFF がソフトウェアによってクリアされるまで、送信履歴・リストはオーバーフロー状態にとどまります。FCNnCMTGTVFF がクリアされないと、新しいメッセージの送信が成功しても FCNnCMTGTX.FCNnCMTGSSPM フラグは更新 (クリア) されません。その場合は、送信履歴・リストがオーバーフローしている状態で送信が成功したにもかかわらず、送信履歴・リストが空であることを FCNnCMTGSSPM が示す (FCNnCMTGTVFF と FCNnCMTGSSPM がセットされる) 可能性があります。

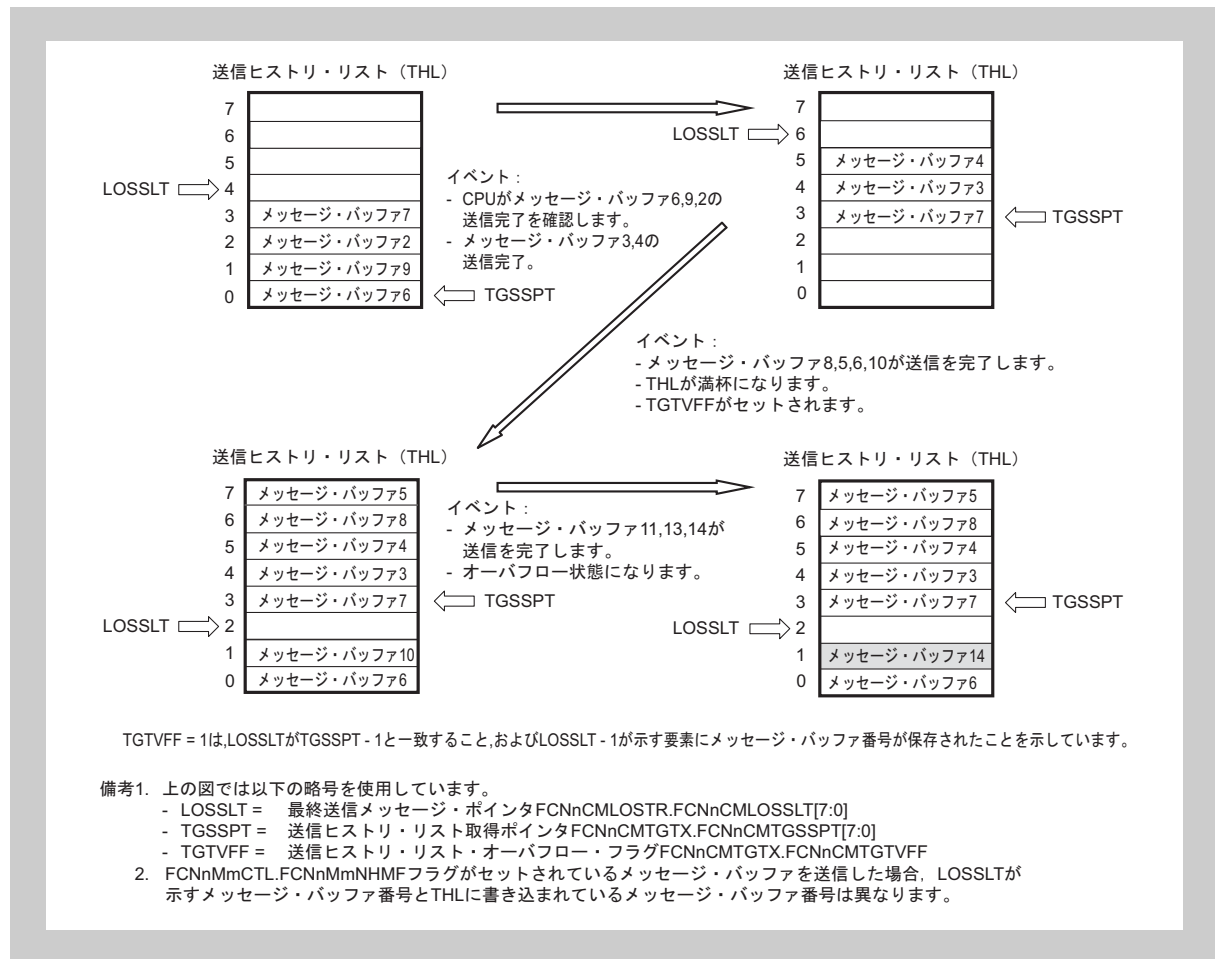


図 24-9 送信履歴・リスト

24.8.3 自動ブロック送信機能 (ABT)

自動ブロック送信 (ABT) 機能は、CPU の介入なしに、複数のデータ・フレームを連続的に送信する目的に使用されます。ABT 機能に割り当てられる送信メッセージ・バッファは、最大 16 個 (64 メッセージ・バッファの FCN の場合) または 32 個 (128 メッセージ・バッファの FCN の場合) であり、常に番号の最も小さいメッセージ・バッファから順に割り当てられます。

FCNnCMCLCTL.FCNnCMCLMDOF[2:0] を 010_B に設定することで、「自動ブロック送信機能付き通常動作モード」(これ以降 ABT モードと言う) を選択することができます。

ABT 送信要求を発行するには、まずソフトウェアでメッセージ・バッファを定義します。ABT に使用するすべてのメッセージ・バッファで FCNnMmSTRB.FCNnMmSSAM = 1 に設定し、FCNnMmSTRB.FCNnMmSSMT[3:0] ビットを 0000_B に設定することによって、それらすべてのバッファを送信メッセージ・バッファとして定義します。その ID がすべてのメッセージ・バッファで使用されている場合でも、ABT 用のメッセージ・バッファには必ず同じ ID を設定してください。複数の ID を使用するには、FCNnMmMID0H レジスタと FCNnMmMID1H レジスタまたは FCNnMmMID0W レジスタを使用して、各メッセージ・バッファの ID を設定します。ABT 機能を利用した送信要求を発行する前に、FCN メッセージ・データ・バイト・レジスタを設定します。

ABT 用のメッセージ・バッファの初期化が完了したあと、FCNnMmCTL.FCNnMmRDYF をセット (1) する必要があります。ABT モードでは、FCNnMmCTL.FCNnMmTRQF をソフトウェアで操作する必要はありません。

ABT メッセージ・バッファ用のデータを用意したあと、FCNnGMABCTL.FCNnGMABSEAT = 1 にセットします。そうすると、自動ブロック送信が開始されます。ABT が開始されると、最初のメッセージ・バッファ (メッセージ・バッファ 0) の FCNnMmCTL.FCNnMmTRQF が自動的に 1 にセットされます。メッセージ・バッファ 0 のデータの送信が完了すると、次のメッセージ・バッファであるメッセージ・バッファ 1 の FCNnMmTRQF が自動的にセットされます。このようにして、送信が連続的に実行されます。

送信が連続的に実行されている間、送信要求 FCNnMmCTL.FCNnMmTRQF が自動的にセットされるインターバルに、プログラムを利用して遅延時間を挿入することができます。挿入される遅延時間は FCNnGMADCTL レジスタによって定義されます。遅延時間の単位は DBT (データ・ビット・タイム) です。DBT は、FCNnCMBRPRS レジスタと FCNnCMBTCTL レジスタの設定によって決まります。

ABT 領域内の送信オブジェクトについては、送信 ID の優先度は評価されません。メッセージ・バッファ 0 からメッセージ番号順に送信されます。最後のメッセージ・バッファからのデータ・フレームの送信が完了すると、FCNnGMABCTL.FCNnGMABABTT が自動的に 0 にクリアされ、ABT 動作が完了します。

ABT の実行中に ABT メッセージ・バッファの中に FCNnMmCTL.FCNnMmRDYF がクリアされたメッセージ・バッファがあると、そのバッファからのデータ・フレームの送信は実行されず、ABT が中断され、FCNnGMABCTL.FCNnGMABABTT がクリアされます。その後、ソフトウェアで FCNnMmRDYF と FCNnGMABABTT をセット (1) することによって、ABT が中断されたメッセージ・バッファから送信を再開することが

できます。ABT が中断されたメッセージ・バッファから送信を再開したくない場合は、ABT モードが停止中であり、FCNnGMABABTT が 0 にクリアされている間に、FCNnGMABCTL.FCNnGMABCLRFB ビットをセット (1) することによって内部 ABT エンジンのリセットします。その場合は、FCNnGMABCTL.FCNnGMABSEAC が 0 にクリアされたあと、FFCNnGMABABTT が 1 にセットされていれば、メッセージ・バッファ 0 から送信が開始されます。

割り込みを利用して、ABT 用のすべてのメッセージ・バッファからデータ・フレームが送信されたかどうかを確認することができます。それには、最後のメッセージ・バッファを除くすべてのメッセージ・バッファの FCNnMmCTL.FCNnMmIENF を (0 に) クリアする必要があります。

ABT 機能が使用している送信メッセージ・バッファ以外のメッセージ・バッファが送信メッセージ・バッファに割り当てられている場合、次に送信されるメッセージは、現在送信を保留中の ABT メッセージ・バッファの送信 ID の優先度と ABT 機能によって使用されていないメッセージ・バッファの送信 ID の優先度を比較したうえで決定されます。

ABT メッセージ・バッファからのデータ・フレームの送信は送信履歴・リスト (THL) に記録されません。

-
- 注意**
1. バッファ No.0 から ABT 動作を再開するには、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされている間に FCNnGMABCTL.FCNnGMABSEAC = 1 にセットします。FCNnGMABABTT が 1 にセットされている間に FCNnGMABSEAC をセット (1) した場合、それ以降の動作は保証されません。
 2. FCNnGMABCTL.FCNnGMABSEAC = 1 に設定することによって自動ブロック送信エンジンをクリアすると、クリア要求の処理が完了した直後に FCNnGMABSEAC が自動的にクリアされます。
 3. 初期化モード中に自動ブロック送信をトリガしないでください。初期化モード中に FCNnGMABCTL.FCNnGMABSEAC をセットした場合、モードを初期化モードから ABT モードへ変更したあとの正しい動作は保証されません。
 4. ABT 付き通常動作モードの実行中に ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF をソフトウェアで 1 にセットしないでください。セットした場合の動作は保証されません。
 5. ABT モードで連続的に送信される ABT メッセージのメッセージ番号順に送信要求が設定されている場合、FCNnGMADCTL レジスタは、1 つの ABT メッセージの送信が完了してから次の ABT メッセージの FCNnMmCTL.FCNnMmTRQF がセットされるまでの間に挿入される遅延時間の設定に使用されます。メッセージが実際に CAN バス上で送信されるタイミングは、ほかのステーションからの送信の状態および ABT メッセージ以外のメッセージの送信要求の設定の状態によって異なります。
 6. ABT メッセージ以外のメッセージの送信要求が発行されており、ABT の送信要求が自動的に設定されるインターバルに遅延時間が挿入されていない場合は (FCNnGMADCTL = 00_H)、ABT メッセージ以外のメッセージが、ABT メッセージとの優先度の差異に関係なく送信される可能性があります。
 7. FCNnGMABCTL.FCNnGMABABTT = 1 のときに FCNnMmCTL.FCNnMmRDYF をクリア (0) しないでください。
-

24.8.4 送信中断処理

(1) 自動ブロック送信 (ABT) 以外の送信中断処理

ユーザは FCNnMmCTL.FCNnMmTRQF をクリア (0) することで送信要求を中断することができます。中断が成功すると、FCNnMmTRQF がただちにクリアされます。送信の中断が成功したかどうかは、CAN バス上の送信の状態を示す FCNnCMCLCTL.FCNnCMCLSSTS と FCNnCMGTGX レジスタまたは FCNnMmCTL.FCNnMmTCPF フラグを使用することで確認できます (詳細については、1678 ページの図 24-24 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順を参照してください)。

(2) 自動ブロック送信 (ABT) の送信中断処理

すでに開始されている ABT を中断するには、FCNnGMABCTL.FCNnGMABABTT をクリア (0) します。その場合、ABT メッセージを現在送信中であれば、その送信が完了するまで (送信の成功、失敗にかかわらず)、FCNnGMABCTL.FCNnGMABABTT は 1 にセットされたまま変わらず、送信が完了すると同時に 0 にクリアされます。それによって ABT が中断されます。

(ABT が中断される前の) 最後の送信が成功した場合、ABT 付き通常動作モードの内部 ABT ポインタは、次に送信されるメッセージ・バッファを指します。

送信が失敗した場合の内部 ABT ポインタの位置は、最後に送信されたメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態によって異なります。FCNnGMABCTL.FCNnGMABABTT のクリアを要求したときに FCNnMmTRQF が 0 にクリアされていれば、内部 ABT ポインタはインクリメント (+1) され、ABT 領域内の次のメッセージ・バッファを指します (詳細については、1680 ページの図 24-26 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」の手順を参照してください)。

注意 必ず FCNnGMABCTL.FCNnGMABABTT をクリア (0) することによって ABT を中断してください。FCNnMmCTL.FCNnMmRDYF をクリアすることで送信の中断を要求した場合の動作は保証されません。

ABT が中断されたあと、FCNnGMABCTL.FCNnGMABSEAT が 1 にセットされて、ABT 付き通常動作モードが再開されたとき、次に送信される ABT メッセージ・バッファは、以下の表に示す仕組みで決まります。

ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態	送信が成功したあと、ABT が中断された場合	送信が失敗したあと、ABT が中断された場合
セットされている (1)	ABT 領域内の次のメッセージ・バッファ ^a	ABT 領域内の同じメッセージ・バッファ
クリアされている (0)	ABT 領域内の次のメッセージ・バッファ ^a	ABT 領域内の次のメッセージ・バッファ ^a

^{a)} 上記の再開操作は、ABT を実行可能な状態のメッセージ・バッファが ABT 領域内に存在するときのみ実行できます。たとえば、番号が最大のメッセージ・バッファの ABT を実行中に中断要求を発行した結果、そのメッセージ・バッファの送信が成功した場合は、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされていても、ABT は中断されたとは見なされず、完了したと見なされます。ABT 領域内の次のメッセージ・バッファの FCNnMmCTL.FCNnMmRDYF が 0 にクリアされている場合は、内部 ABT ポインタは保持されますが、FCNnGMABABTT が 1 にセットされていても再開操作は実行されず、ABT はただちに終了します。

24.8.5 リモート・フレームの送信

リモート・フレームは送信メッセージ・バッファからのみ送信できます。FCNnMmSTRB.FCNnMmSSRT を使用してデータ・フレームまたはリモート・フレームのどちらを送信するかを設定します。FCNnMmSSRT = 1 にセットすれば、リモート・フレームの送信が設定されます。

24.9 パワー・セーブ・モード

24.9.1 FCN スリープ・モード

FCN スリープ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールはいずれの動作モードからも FCN スリープ・モードに入ることができます。FCN スリープ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入る前と同じ動作モードに戻ります。

FCN スリープ・モードでは、送信要求が発行されたり保留されたりしても、FCN モジュールはメッセージを送信しません。

(1) FCN スリープ・モードへの移行

FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B に設定することで、CPU は FCN スリープ・モードへの移行要求を発行します。

この移行要求は以下の条件が満たされている場合にのみ承認されます。

1. FCN モジュールがすでに以下のいずれかの動作モードに入っている
 - 通常動作モード
 - ABT 付き通常動作モード
 - 受信オンリー・モード
 - シングル・ショット・モード
 - セルフ・テスト・モード
 - 上記すべての動作モードでの FCN ストップ・モード
2. CAN バスの状態がバス・アイドル（インターフレーム・スペースの第 4 ビットがレセシブ）である。
CAN バスがドミナントに固定されていると、FCN スリープ・モードへの移行要求は保留されます。FCN ストップ・モードから FCN スリープ・モードへの移行は CAN バスの状態と関係なく行われます。
3. 保留中の送信要求がない。
4. パワー・セーブ・モードは動作モード変更と組み合わせるはなりません。これらのアクセスはステップを分けて実行しなければなりません。

備考 スリープ・モード要求が保留中であり、かつ、受信されたメッセージがメッセージ・ボックスにある場合、そのスリープ・モード要求はキャンセルされず、メッセージの保存が終了すると同時に実行されます。その結果、CPU が受信割り込みルーチンを実行中に FCN がスリープ・モードに入ることがあります。したがって、スリープ・モードが使用されている場合、割り込みルーチンは、FCNnGMCLSSMO フラグを利用して、メッセージ・バッファへのアクセスと同時に受信履歴・リスト・レジスタへのアクセスもチェックする必要があります。

上記の条件のうち 1 つでも満たされない場合、FCN モジュールは以下のように動作します。

- 初期化モードから FCN スリープ・モードが要求された場合、FCN スリープ・モードへの移行要求は無視され、FCN モジュールは初期化モードにとどまります。
- CAN バスの状態がバス・アイドルでないときに（CAN バスの状態が送信中または受信中に）いずれかの動作モードから FCN スリープ・モードへ

の移行要求を発行しても、ただちにFCNスリープ・モードへ移行することはできません。その場合は、CANバスの状態がバス・アイドルになる（インターフレーム・スペースの第4ビットがレセシブになる）までFCNスリープ・モードへの移行要求は保留されます。FCNスリープ・モードへの移行要求が発行されてから移行が成功するまでの間、FCNnCMCLCTL.FCNnCMCLMDPF[1:0]は00_Bにとどまります。モジュールがFCNスリープ・モードに入ると、FCNnCMCLMDPF[1:0]ビットは01_Bに設定されます。

- FCNモジュールがいずれかの動作モードを実行中に初期化モードへの移行要求とFCNスリープ・モードへの移行要求が同時に発行された場合は、初期化モードへの移行要求が許可されます。その場合、FCNモジュールは、あらかじめ決められたタイミングで初期化モードに入ります。FCNスリープ・モードへの移行要求は保留されず、無視されます。
- 初期化モードとスリープ・モードへの移行要求が同時に発行されなかった場合でも（最初の要求が承認されず、2回目の要求が発行された場合など）、初期化モードへの移行要求のほうがスリープ・モードへの移行要求より優先されます。初期化モードへの移行要求が発行されると、スリープ・モードへの移行要求はキャンセルされます。初期化モードへの移行要求が保留されている間に発行されたスリープ・モードへの移行要求は、要求が発行された時点でただちにキャンセルされます。

(2) FCNスリープ・モードの状態

FCNモジュールは、FCNスリープ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CANバスからFCNモジュールをウェイクアップできるように、FCN受信端子（CRXDn）の立ち下がりを検出する機能は有効な状態を保ちます。
- CPUからFCNモジュールをウェイクアップするためにFCNnCMCLCTL.FCNnCMCLMDPF[1:0]にデータを設定することはできませんが、ほかのFCNモジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMCLISTRレジスタ、FCNnCMRGRXレジスタ、FCNnCMLOSTRレジスタ、FCNnCMGTGXレジスタ以外のFCNモジュール・レジスタを読み出すことができます。
- FCNメッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMOはクリアされます。
- FCNnDNBMRXレジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

(3) FCN スリープ・モードの解除

FCN スリープ・モードは以下のイベントによって解除されます。

- CPU が FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 00_B に設定したとき
- FCN 受信端子 CRXDn の立ち下がり時 (CAN バス・レベルがレセシブからドミナントへ移行したとき)

注意 立ち下がりが受信メッセージの SOF に属していても、そのメッセージが受信され、保存されることはありません。FCN モジュールがスリープ・モードに入っている間、CPU が FCN モジュールへのクロック供給を停止した場合は、FCN モジュールへのクロック供給が再開されない限り、FCN スリープ・モードを解除することはできず、FCNnCMCLMDPF[1:0] の値は 01_B にとどまります。クロック供給を停止したあとは、受信メッセージも受信されなくなります。

スリープ・モードが解除されると、FCN モジュールは FCN スリープ・モードへの移行要求が発行されたときの動作モードに戻ります。その後、FCNnCMCLMDPF をソフトウェアで 00_B にリセットする必要があります。CAN バスの状態の変化によって FCN スリープ・モードが解除された場合は、FCNnCMIECTL.FCNnCMIEINTF[6:0] の値に関係なく、FCNnCMISCTL.FCNnCMISITSF5 は 1 にセットされます。FCN スリープ・モードから解除された FCN モジュールは、CAN バス上で 11 個の連続するレセシブ・レベルのビットを自動的に検出することにより、再び CAN バス通信に参加します。FCNnGMCLCTL.FCNnGMCLSSMO = 1 になるまで、ユーザ・アプリケーションはメッセージ・バッファへのアクセスを再開できません。

FCN モジュールが FCN スリープ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。初期化モードへ移行するには、まず FCN モジュールをソフトウェアでスリープ・モードから解除する必要があります。

- 注意**
1. スリープ・モードへの移行を要求した直後であっても、CAN バス・イベントが発生すれば、CAN バス・イベントによる FCN スリープ・モードの解除、つまりウェイクアップ割り込みがいつでも発生する可能性がある点に注意してください。
 2. FCN スリープ・モードからのウェイクアップが行われたときは、FCN モジュールのほかのレジスタにアクセスする前に、必ず FCNnCMCLCTL.FCNnCMCLMDPF[1:0] ビットを 00_B にリセットしてください。
 3. FCN スリープ・モードからのウェイクアップが行われたときは、必ず割り込みフラグ FCNnCMISCTL.FCNnCMISITSF5 をクリアしてください。

24.9.2 FCN ストップ・モード

FCN ストップ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールは FCN スリープ・モードからのみ FCN ストップ・モードに入ることができます。FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01_B に設定することによってのみ解除する (FCN スリープ・モードへ移行する) ことができます。CAN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。FCN ストップ・モードに入っている間は、送信要求が発行されたり保留されたりしても、メッセージは送信されません。

(1) FCN ストップ・モードへの移行

FCN ストップ・モードへの移行要求を発行するには、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 11_B に設定します。

FCN ストップ・モードへの移行要求は、FCN モジュールが FCN スリープ・モードに入っている間のみ承認されます。ほかのどのモードでも要求は無視されます。

注意 FCN モジュールを FCN ストップ・モードに設定するには、モジュールが FCN スリープ・モードに入っている必要があります。FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B であることチェックし、モジュールがスリープ・モードに入っていることを確認してから、FCN ストップ・モードへの移行要求を発行してください。この処理の実行中に FCN 受信端子 CRXDn でバス状態が変化した場合、FCN スリープ・モードは自動的に解除されます。その場合、FCN ストップ・モードへの移行要求は承認されません。

(2) FCN ストップ・モードの状態

FCN モジュールは、FCN ストップ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CPU から FCN モジュールをウェイクアップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0] にデータを設定することはできませんが、ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMCLISTR レジスタ、FCNnCMRGRX レジスタ、FCNnCMLOSTR レジスタ、FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

(3) FCN ストップ・モードの解除

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] に 01_B を書き込むことによるのみ解除することができます。FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN モジュールが FCN ストップ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。CPU が初期化モードに入るには、ストップ・モードを解除したあと、FCN スリープ・モードを解除する必要があります。FCN ストップ・モードから FCN スリープ・モードを経ずに別の動作モードへ直接移行することはできません。そのような移行要求は無視されます。

24.9.3 パワー・セーブ・モードの使用例

一部のアプリケーション・システムでは、消費電力を節約するために CPU をパワー・セーブ・モードにする必要が生じることがあります。FCN モジュール固有のパワー・セーブ・モードと CPU 固有のパワー・セーブ・モードを併用することで、CAN バスによって CPU をパワー・セーブ状態からウェイクアップすることができます。

パワー・セーブ・モードの使用例を以下に示します。

- まず、FCN モジュールを FCN スリープ・モードにします (FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01_B)。スリープ・モード状態を読み出すことで、スリープ・モード状態への移行を確認したら、CPU をパワー・セーブ・モードにします。FCN モジュールがスリープ・モードに入ったあと、残りのタスクを処理し、FCN ウェイクアップ割り込みが承認されないように、CPU への割り込みを禁止します。この状態で、FCN 受信端子 CRXDn でレセシブからドミナントへのエッジの立ち下がりが検出されると、FCN モジュールの FCNnCMISCTL.FCNnCMISITSF5 が 1 にセットされます。FCNnCNIECTL.FCNnCMIEINT5 が 1 にセットされると、ウェイクアップ割り込み (INTCnWUP) が発生します。FCN モジュールが FCN スリープ・モードから自動的に解除され (FCNnCMCLMDPF[1:0] = 00_B)、通常の動作モードに戻ります。
- CPU は、INTCnWUP に応答して、CPU のパワー・セーブ・モードを解除し、通常の動作モードに戻ることができます。FCN モジュールのクロックを含む内部クロックを停止させることで、CPU の消費電力をさらに節約することができます。その場合、FCN モジュールに供給される動作クロックは、FCN モジュールが FCN スリープ・モードに入ったあと、停止します。その後、CPU はパワー・セーブ・モードに入り、CPU に供給されるクロックも停止します。
- この状態で、FCN 受信端子 CRXDn でレセシブからドミナントへのエッジの立ち下がりが検出された場合、FCN モジュールは、クロックの供給を受けていなくても、FCNnCMISCTL.FCNnCMISITSF5 をセット (1) し、ウェイクアップ割り込み INTCnWUP を生成することができます。
- ただし、FCN モジュールへのクロックの供給が停止しているため、それ以外の機能は動作せず、モジュールは FCN スリープ・モード状態にとどまります。
- CPU は INTCnWUP に応答して以下の処理を行います。

- CPU のパワー・セーブ・モードを解除します。
- 発振安定時間の経過後、FCN モジュールへ供給されるクロックを含む内部クロックの供給を再開します。
- 命令の実行を開始します。
- クロックの供給が再開されると、FCN モジュールはただちに FCN スリープ・モードから解除され、通常の動作モードに戻ります (FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 00_B)。

24.10 割り込み機能

FCN モジュールは 6 個の異なる割り込みソースを持っています。

これらの割り込みソースの発生は、割り込みステータス・レジスタに保存されます。6 個の割り込みソースから 4 個の別々の割り込み要求信号が生成されます。複数の割り込みソースに対応する割り込み要求信号が生成されれば、割り込みステータス・レジスタを使用して、割り込みソースを識別することができます。割り込みソースが発生したあとは、それに対応する割り込みステータス・ビットをソフトウェアで 0 にクリアする必要があります。

表 24-17 FCN モジュール割り込みソースの一覧

番号	割り込みステータスビット FCNnCMISCTL.	割り込み許可ビット FCNnCMIECTL. ^a	割り込み要求信号	割り込みソースの説明
1	FCNnCMISITSF0	FCNnCMIESEIE0	INTCnTRX	メッセージ・バッファ m からのメッセージ・フレームの送信が成功したことを示します。
2	FCNnCMISITSF1	FCNnCMIESEIE1	INTCnREC	メッセージ・バッファ m が有効なメッセージ・フレームを受信したことを示します。
3	FCNnCMISITSF2	FCNnCMIESEIE2	INTCnERR	FCN モジュール・エラー状態割り込み <ul style="list-style-type: none"> この割り込みは、送信エラー・カウンタまたは受信エラー・カウンタが警告レベルに達しているか、エラー・バンプ状態またはバスオフ状態にあるときに生成されます。
4	FCNnCMISITSF3	FCNnCMIESEIE3		FCN モジュール・プロトコル・エラー割り込み <ul style="list-style-type: none"> この割り込みは、スタッフ・エラー、フォーム・エラー、ACK エラー、ビット・エラーまたは CRC エラーが発生すると生成されます。
5	FCNnCMISITSF4	FCNnCMIESEIE4		FCN モジュールアービトラージ・ロスト割り込み
6	FCNnCMISITSF5	FCNnCMIESEIE5	INTCnWUP	FCN スリープ・モードからの FCN モジュール・ウェイクアップ割り込み <ul style="list-style-type: none"> この割り込みは、FCN 受信端子で立ち下がり（レセプからドミナントへの CAN バスの変化）が検出されたために、FCN モジュールが FCN スリープ・モードからウェイクアップされると生成されます。
7	FCNnCMISITSF6	FCNnCMIESEIE6		FCN モジュール送信中断割り込みステータス <ul style="list-style-type: none"> この割り込みは、送信の中断が成功すると（送信を中断されたメッセージが送信されないと）生成されます。

a) メッセージ・バッファを割り込み生成プロセスに参加させるには、対象となるメッセージ・バッファのメッセージ・バッファ割り込み許可ビット FCNnMmCTL.FCNnMmiENF をセット (1) する必要があります。

24.11 診断機能と特殊な動作モード

FCN モジュールは、CAN バス診断機能または特殊な CAN 通信方式の利用に対応するために、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを備えています。

24.11.1 受信オンリー・モード

受信オンリー・モードは、CAN バスに干渉することなく、受信メッセージをモニタするために使用され、CAN バス解析ノードで利用することができます。

たとえば、このモードを自動ボー・レート検出に利用することができます。FCN モジュールのボー・レートは、モジュールの受信ボー・レートが送信ボー・レートと一致するように、「有効な受信」が検出されるまで CAN モジュールのボー・レートを変化させ、互いのボー・レートを合わせ込むことができます（「有効な受信」とは、CAN プロトコル・レイヤでエラーなしにメッセージ・フレームが受信され、CAN バスに接続されたノード間で適切な ACK が生成されたことを意味します）。メッセージ・フレームが受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）に保存されなくても有効な受信は成立します。有効な受信は、FCNnCMCLCTL.FCNnCMCLVALF がセット（1）されることで確認できます。

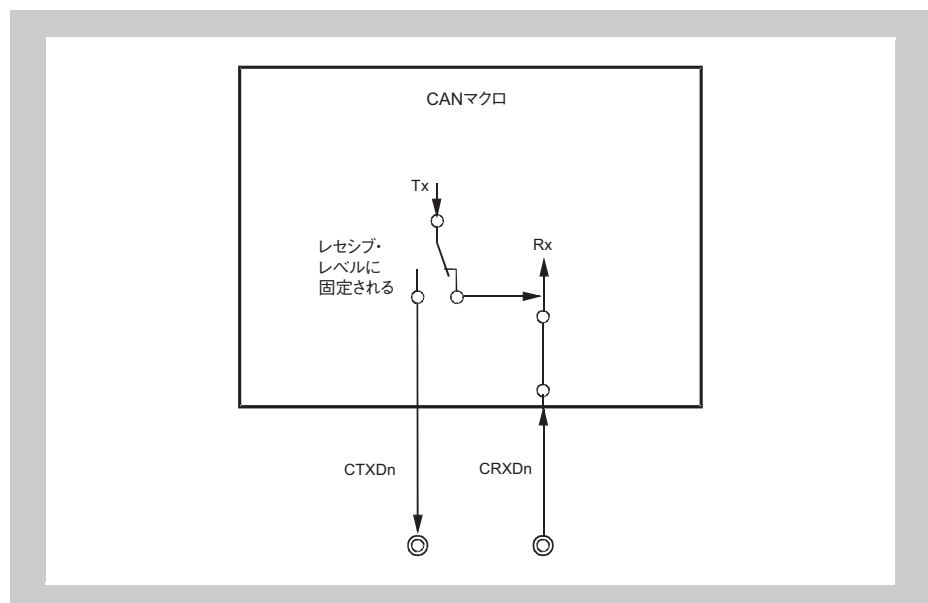


図 24-10 受信オンリー・モードでの FCN モジュール端子の接続

受信オンリー・モードの実行中に FCN モジュールから CAN バスへメッセージ・フレームを送信することはできません。送信メッセージ・バッファとして定義されたメッセージ・バッファに対して発行された送信要求は保留されます。

受信オンリー・モードでは、FCN モジュールの FCN 送信端子 CTXDn がレセプシブ・レベルに固定されます。したがって、メッセージ・フレームの受信中に CAN バス・エラーが検出されても、FCN モジュールから CAN バスへアクティブ・エラー・フラグを送信することはできません。FCN モジュールから何も送信することができないため、送信エラー・カウンタ

FCNnCMERCNT.FCNnCMERTECF[7:0] ビットが更新されることはありません。したがって、受信オンリー・モードを実行中の FCN モジュールがバスオフ状態に入ることはありません。

また、受信オンリー・モードでは、メッセージ・フレームの有効な受信が行われても、CAN バスへ ACK が返されることはありません。内部的には、ローカル・ノードは自分が ACK を送信したことを認識します。オーバーロード・フレームを CAN バスに送信することはできません。

注意 2つの CAN ノードのみが CAN バスに接続されている状態で、一方のノードが受信オンリー・モードで動作している場合、CAN バス上で ACK が送信されることはありません。ACK が検出されないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードはメッセージ・フレームを 16 回送信したあと、エラー・パッシブ状態になります（最初にエラー・カウンタが 0 になっていて、ほかのエラーが発生しなかった場合）。17 回目にメッセージ・フレームを送信したあと、送信ノードはパッシブ・エラー・フラグを生成します。受信オンリー・モードを実行中の受信ノードは、この時点で初めて有効なメッセージ・フレームを検出し、FCNnCMCLCTL.FCNnCMCLVALF ビットが初めて 1 にセットされます。

24.11.2 シングル・ショット・モード

シングル・ショット・モードでは、CAN プロトコルで定義されている自動再送信がオフになります（CAN プロトコルによれば、アービトレーション・ロストまたはエラーの発生によって中断されたメッセージ・フレームの送信は、ソフトウェアによる制御なしに、繰り返す必要があります）。シングル・ショット・モードのそれ以外のすべての動作は通常動作モードと同じです。シングル・ショット・モードの機能を ABT 付き通常動作モードと組み合わせることはできません。

シングル・ショット・モードでは、送信を中断されたメッセージ・フレームの再送信を FCNnCMCLCTL.FCNnCMCLALBF の設定に従って禁止します。FCNnCMCLALBF が 0 にクリアされていると、アービトレーション・ロストおよびエラーが発生したときの再送信が禁止されます。FCNnCMCLALBF が 1 にセットされていると、エラーが発生したときの再送信が禁止されますが、アービトレーション・ロストが発生したときの再送信は許可されます。したがって、送信メッセージ・バッファとして定義されているメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF は、以下のイベントが発生すると 0 にクリアされます。

- メッセージ・フレームの送信が成功したとき
- メッセージ・フレームの送信中にアービトレーション・ロストが発生したとき
- メッセージ・フレームの送信中にエラーが発生したとき

アービトレーション・ロスト・イベントとエラー発生イベントは、それぞれ FCNnCMISCTL.FCNnCMISITSF4 と FCNnCMISCTL.FCNnCMISITSF3 をチェックすることで識別でき、エラーのタイプは FCNnCMCLCSTR.FCNnCMCLCSSL[2:0] を読み出すことで識別できます。

メッセージ・フレームの送信が成功すると、送信完了割り込みビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます。そのとき、

FCNnCMIECTL.FCNnCMIEINTF0 が 1 にセットされていれば、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイムトリガ型通信方式 (TTCAN レベル 1) のエミュレートに利用できます。

注意 FCNnCMCLCTL.FCNnCMCLALBF はシングル・ショット・モードでのみ有効です。ほかの動作モードでアービトラージ・ロストが発生したときの再送信にこのビットが影響を及ぼすことはありません。

24.11.3 セルフ・テスト・モード

セルフ・テスト・モードでは、CAN バスに CAN ノードを接続することなく、または CAN バスに影響を与えることなく、メッセージ・フレームの送信と受信をテストすることができます。

セルフ・テスト・モードでは、FCN モジュールが CAN バスから完全に切り離され、送信と受信が内部でループバックします。FCN 送信端子 CTXDn はレセンプ・レベルに固定されます。

ただし、FCN モジュールがセルフ・テスト・モードから FCN スリープ・モードへ入ったあと、FCN 受信端子 CRXDn で立ち下がりが検出されれば、モジュールは、ほかの動作モードからスリープ・モードに入ったときと同様に、FCN スリープ・モードから解除されます。モジュールを FCN スリープ・モードの状態に保つには、FCN 受信端子 CRXDn をポート端子として使用します。

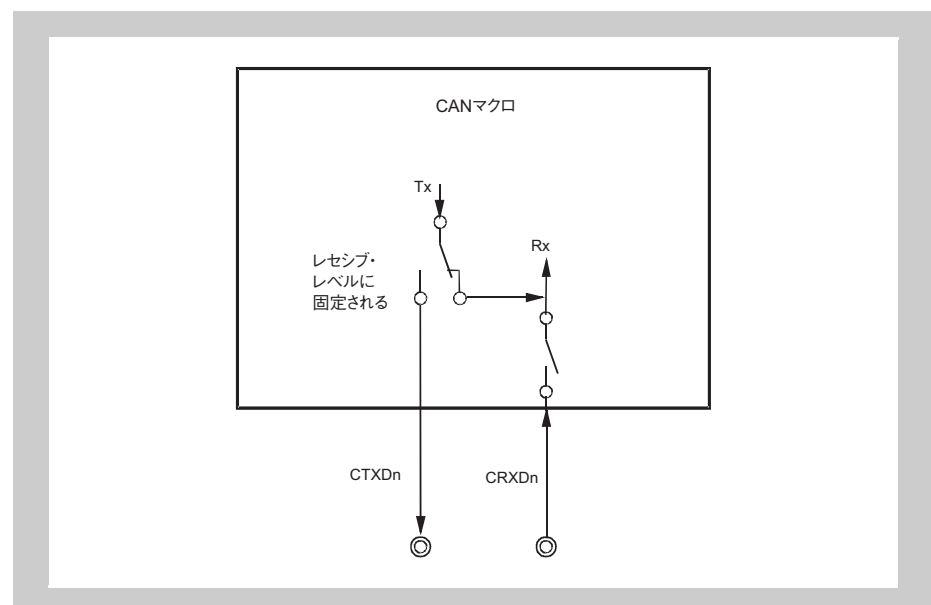


図 24-11 セルフ・テスト・モードでの FCN モジュール端子の接続

24.11.4 各動作モードでの送受信動作

各動作モードでの受信/送信動作の概要を以下の表に示します。

表 24-18 各動作モードでの受信/送信の概要

動作モード	データ・フレーム /リモート・フ レームの送信	ACK の 送信	エラー・フレーム /オーバーロード・ フレームの送信	送信の 再試行	自動 ブロック 送信 (ABT)	FCNnCMCLVA LF ビットの セット	メッセー ジ・バッ ファへの データの保 存
初期化モード	不可能	不可 能	不可能	不可能	不可能	不可能	不可能
通常動作モー ド	可能	可能	可能	可能	不可能	可能	可能
ABT 付き通常 動作モード	可能	可能	可能	可能	可能	可能	可能
受信オン リー・モード	不可能	不可 能	不可能	不可能	不可能	可能	可能
シングル・ ショット・ モード	可能	可能	可能	不可能 ^a	不可能	可能	可能
セルフ・ テスト・モー ド	可能 ^b	可能 ^b	可能 ^b	可能 ^b	不可能	可能 ^b	可能 ^b

a) アービトレーション・ロストが発生した場合は、FCNnCMCLCTL.FCNnCMCLALBF によって再送信を制御することができます。

b) 生成される信号は外部へ出力されず、FCN モジュール内にとどまります。

24.12 タイム・スタンプ機能

CAN は非同期のシリアル通信プロトコルです。CAN バスに接続されたすべてのノードは、それぞれが独自のローカルなクロックを使用しています。したがって、各ノードで使用しているクロックの間には何の相互関係もありません（つまり、ノードのクロックは非同期であり、ノードによってクロック周波数が異なる可能性があります）。

しかし、一部のアプリケーションは、ネットワークをまたがる共通のタイム・ベース（グローバル・タイム・ベース）を必要とします。グローバル・タイム・ベースを構築するためにタイム・スタンプ機能を利用します。タイム・スタンプ機能は、基本的に、CAN バス上の信号によってトリガされるタイム値をキャプチャすることによって動作します。

24.12.1 タイム・スタンプ機能

CAN コントローラは特定のフレームによってトリガされるタイム値のキャプチャに対応しています。マイクロコントローラ・システム内のオンチップの16ビット・キャプチャ・タイマ・ユニットをCAN コントローラと組み合わせて使用します。16ビット・キャプチャ・タイマ・ユニットは、CAN コントローラから送信されたデータ・フレームを受信したときに出力されるキャプチャ用のトリガ信号（TSOUT）に従ってタイム値をキャプチャします。CPUは、キャプチャされた値を読み出すことで、キャプチャ・イベントが発生した時刻、つまりCANバスから送信されたメッセージの受信時のタイム・スタンプを取り出すことができます。以下の2つのイベント・ソースからTSOUT信号を選択することができます。TSOUT信号はFCNnCMTSCTL.FCNnCMTSSELEによって指定します。

- SOF イベント（フレームの先頭）
(FCNnCMTSCTL.FCNnCMTSSELE = 0)
- EOF イベント（フレームの末尾の最下位ビット）
(FCNnCMTSCTL.FCNnCMTSSELE = 1)

TSOUT信号は、FCNnCMTSCTL.FCNnCMTSTSGE = 1 にセットすることによって許可されます。

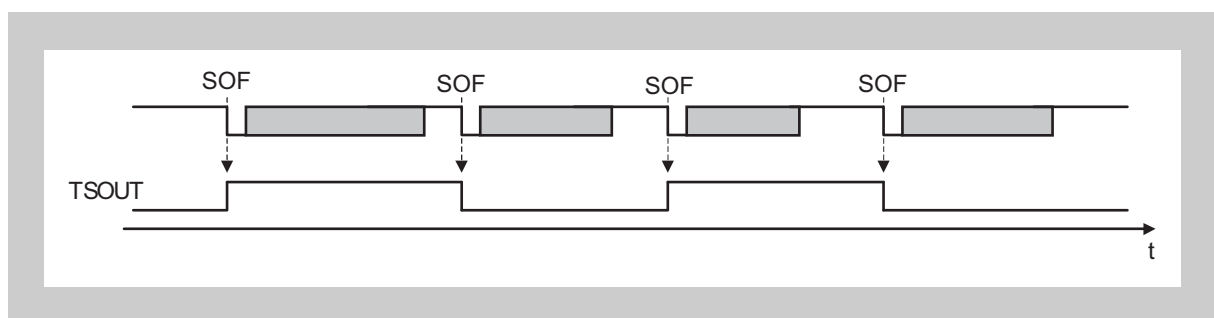


図 24-12 キャプチャ信号 TSOUT のタイミング図

データ・フレームの受信時、選択されているイベントが発生するたびに、TSOUT信号のレベルがトグルします（図24-12「キャプチャ信号TSOUTのタイミング図」では、SOFがトリガ・イベント・ソースとして使用されています）。TSOUT信号を利用してタイム値をキャプチャするには、キャプチャ・タイマ・ユニットがキャプチャ信号の立ち上がり立ち下りの両方を検出する必要があります。

このタイム・スタンプ機能は、FCNnCMTSCTL レジスタの FCNnCMTSLOKE ビットによって制御されます。FCNnCMTSLOKE が 0 にクリアされている場合、TSOUT 信号は、選択されているイベントが発生するたびにトグルします。FCNnCMTSLOKE が 1 にセットされている場合も、TSOUT 信号は選択されているイベントが発生するたびにトグルしますが、メッセージ・バッファ 0 へのメッセージの保存が始まると同時に FCNnCMTSCTL.FCNnCMTSTSGE が自動的に 0 にクリアされ、信号のトグルが停止します。そのため、それ以降は TSOUT 信号のトグルが停止し、最後に信号がトグルしたときの（最後にキャプチャされた）タイム・スタンプ値をメッセージ・バッファ 0 でデータ・フレームを受信したときのタイム・スタンプ値として保存することができます。

注意 FCNnCMTSLOKE ビットを使用するタイム・スタンプ機能では、メッセージ・バッファ 0 でデータ・フレームを受信したときに TSOUT 信号のトグルを停止させます。メッセージ・バッファ 0 以外のメッセージ・バッファでデータ・フレームを受信した場合、TSOUT 信号のトグルは停止しません。FCN モジュールが ABT 付き通常動作モードを実行中は、メッセージ・バッファ 0 を送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ 0 でデータ・フレームを受信することはできません。したがって、この動作モードでは、FCNnCMTSLOKE ビットを利用して TSOUT 信号のトグルを停止させる機能は利用できません。

24.13 ボー・レートの設定

24.13.1 ボー・レートの設定条件

CANコントローラが正しく動作するように、設定値が以下に示す制限値を超えないようにしてください。

- $5 TQ \leq SPT$ (サンプル・ポイント) $\leq 17 TQ$

$$SPT = FCNnCMBTS1LG[3:0] + 1$$

- $8 TQ \leq DBT$ (データ・ビット・タイム) $\leq 25 TQ$

$$DBT = FCNnCMBTS1LG[3:0] + FCNnCMBTS2LG[2:0] + 1 TQ = FCNnCMBTS2LG[2:0] + SPT$$

- $1 TQ \leq FCNnCMBTJWLG[1:0]$ (同期ジャンプ幅) $\leq 4 TQ$

$$FCNnCMBTJWLG[1:0] \leq DBT - SPT$$

★

- $4 TQ \leq TSEG1 \leq 16 TQ$ [$3 \leq FCNnCMBTS1LG[3:0] \leq 15$]

- $1 \leq FCNnCMBTS2LG[2:0] \leq 8$ [$0 \leq FCNnCMBTS2LG[2:0] \leq 7$]

- 備考
1. $TQ = 1/f_{TQ}$ (f_{TQ} : CAN プロトコル・レイヤの基本システム・クロック)
 2. $FCNnCMBTS1LG[3:0]$, $FCNnCMBTS2LG[2:0]$, $FCNnCMBTJWLG[1:0]$ の値は $FCNnCMBTCTL$ レジスタで指定されます。

上記の条件を満たすビット・レートの組み合わせを表 24-19 「設定可能なビット・レートの組み合わせ」に示します。

表 24-19 設定可能なビット・レートの組み合わせ (1/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1L G[3:0]	FCNnCMBTS2 LG[2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6

表 24-19 設定可能なビット・レートの組み合わせ (2/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1L G[3:0]	FCNnCMBTS2 LG[2:0]	
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0

表 24-19 設定可能なビット・レートの組み合わせ (3/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1L G[3:0]	FCNnCMBTS2 LG[2:0]	
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 ^a	1	2	2	2	0011	001	71.4
7 ^a	1	4	1	1	0100	000	85.7
6 ^a	1	1	2	2	0010	001	66.7
6 ^a	1	3	1	1	0011	000	83.3
5 ^a	1	2	1	1	0010	000	80.0
4 ^a	1	1	1	1	0001	000	75.0

a) 7以下のDBT値の設定は、FCNnCMBRPRSレジスタの値が00_H以外のときにのみ有効です。

注意 表 24-19 「設定可能なビット・レートの組み合わせ」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスとCANトランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

24.13.2 代表的なボー・レートの設定例

表 24-20 「代表的なボー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$)」と表 24-21 「代表的なボー・レートの設定例 ($f_{CANPRE} = 16 \text{ MHz}$)」は、代表的なボー・レートの設定例を示しています。

表 24-20 代表的なボー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$) (1/2)

ボー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBR PRS レジ スタの設 定値	有効なビット・レートの設定 (単位:TQ)					FCNnCMBTCTL レジ スタの設 定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメン ト	プロップ・ セグメン ト	フェーズ・ セグメン ト 1	フェーズ・ セグメン ト 2	FCNnCMB TS1LG[3:0]	FCNnCMB TS2LG[2:0]	
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0

表 24-20 代表的なボー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$) (2/2)

ボー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBR PRS レジス タの設定値	有効なビット・レートの設定 (単位:TQ)					FCNnCMBTCTL レジ スタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメン ト	プロップ・ セグメン ト	フェーズ・ セグメン ト 1	フェーズ・ セグメン ト 2	FCNnCMB TS1LG[3:0]	FCNnCMB TS2LG[2:0]	
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

- 注意
- 表 24-20 「代表的なボー・レートの設定例 ($f_{CANPRE} = 8 \text{ MHz}$)」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスとCANトランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。
 - $f_{CANPRE} \leq 8 \text{ MHz}$ のとき、500 kbit/s を上回るボー・レートは設定できません。

表 24-21 代表的なボー・レートの設定例 (fCANPRE = 16 MHz) (1/2)

ボー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBR PRS レジ スタの設 定値	有効なビット・レートの設定 (単位:TQ)					FCNnCMBTCTL レジ スタの設 定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメン ト	プロップ・ セグメン ト	フェーズ・ セグメン ト 1	フェーズ・ セグメン ト 2	FCNnCMB TS1LG[3:0]	FCNnCMB TS2LG[2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0

表 24-21 代表的なボー・レートの設定例 ($f_{CANPRE} = 16 \text{ MHz}$) (2/2)

ボー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBR PRS レジス タの設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジ スタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメン ト	プロップ・ セグメン ト	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG[3:0]	FCNnCMB TS2LG[2:0]	
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表 24-21 「代表的なボー・レートの設定例 ($f_{CANPRE} = 16 \text{ MHz}$)」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスとCANトランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

24.14 CANコントローラの動作

本章で示す処理手順は、FCNを運用するときの推奨処理手順です。

本章で推奨されている処理手順を参考にしてプログラムを開発してください。

24.14.1 初期化

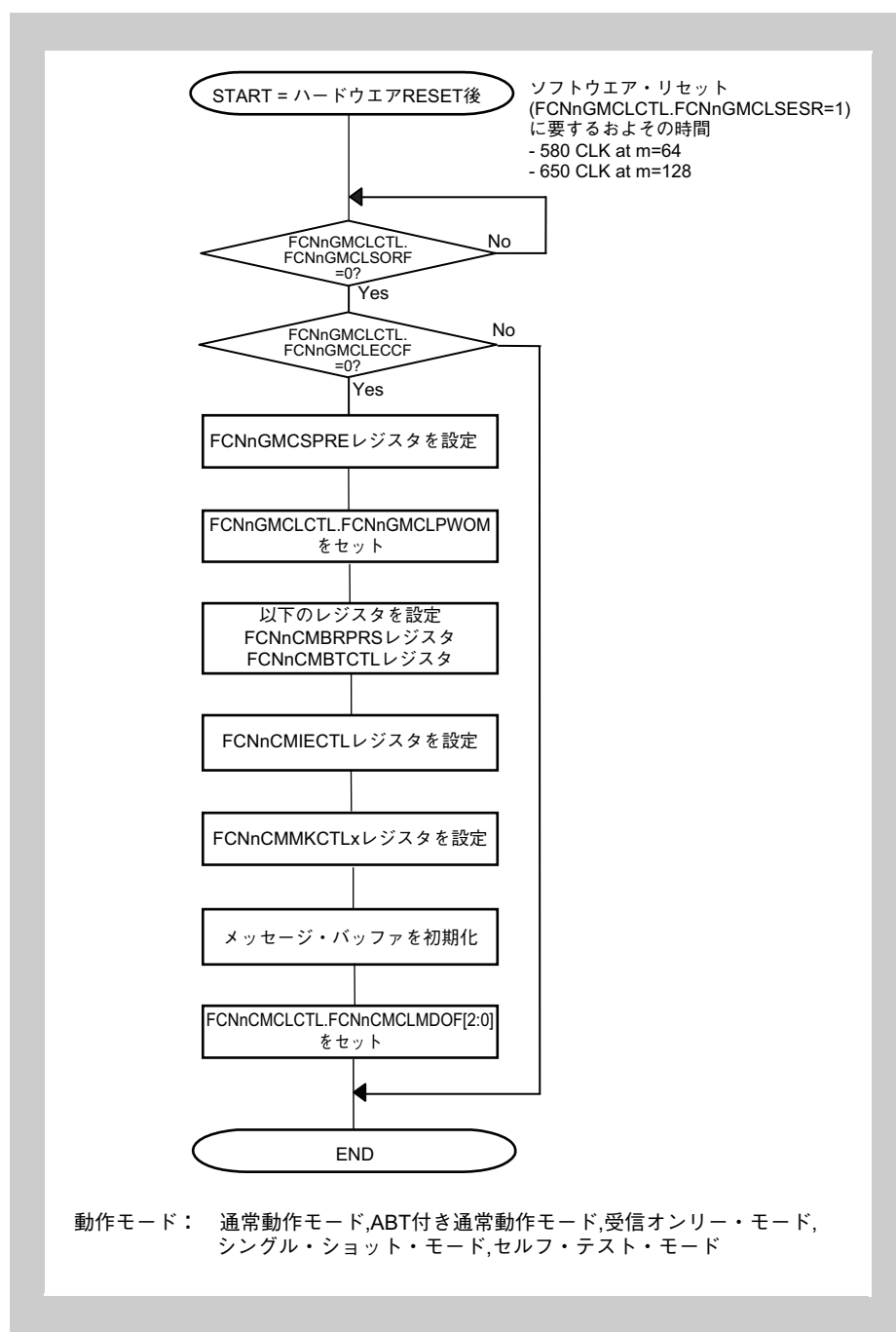


図 24-13 初期化

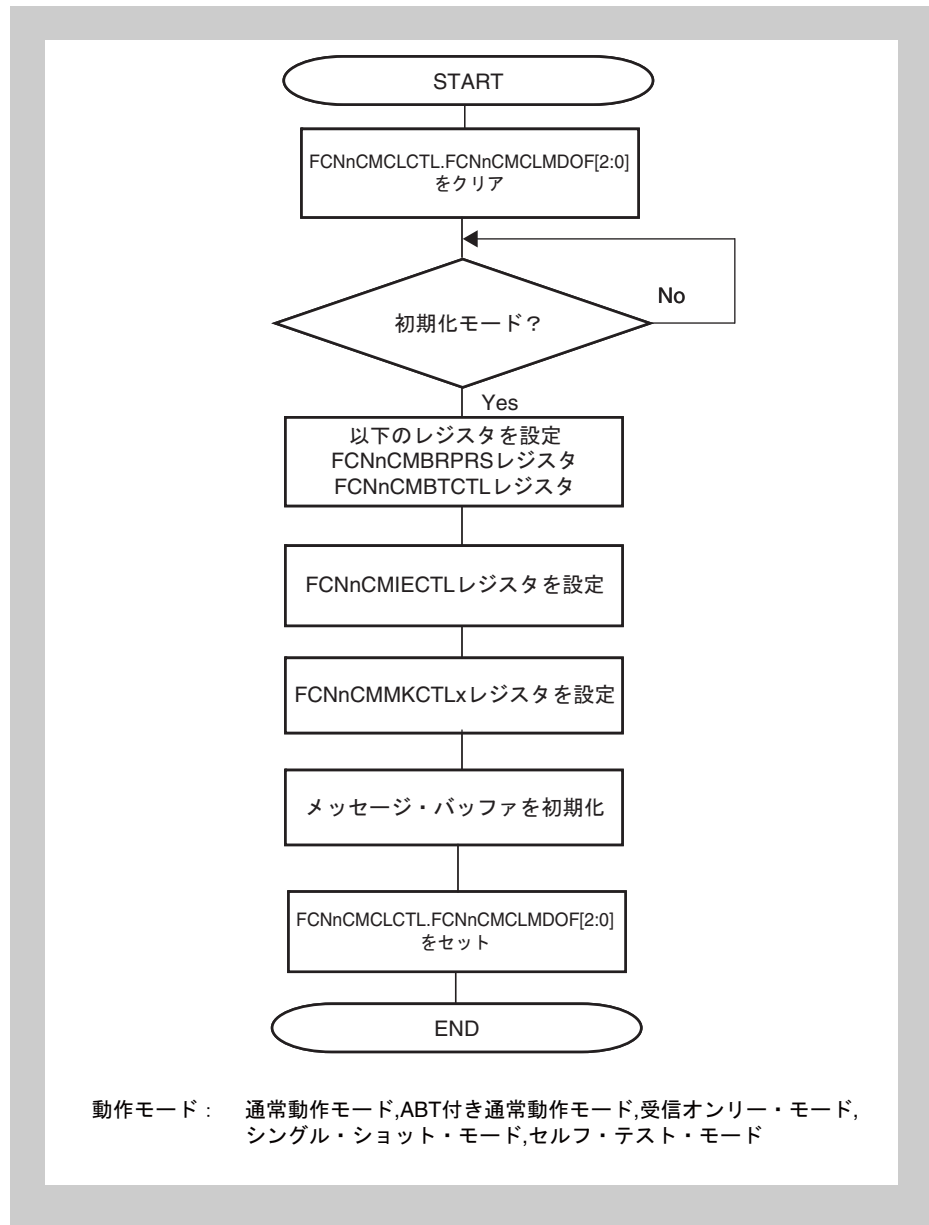


図 24-14 ソフトウェア・リセット機能を利用しない再初期化

注意 再初期化中にエラー・カウンタをクリア (FCNnCMCLERCFL をセット) する場合は、以下のいずれかの状態で行ってください。

- ・ FCN モジュール起動 (FCNnGMCLPWOM=0 状態から FCNnGMCLPWOM をセット) 後の初期化モード状態時
- ・ 動作モード中に図 24-24 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の送信中断処理に従った全ての送信要求クリア後の初期化モード状態時 (ABT 付き通常動作モード中は図 24-25 「ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中)」の送信中断処理に従って全ての送信要求をクリアしてください。)

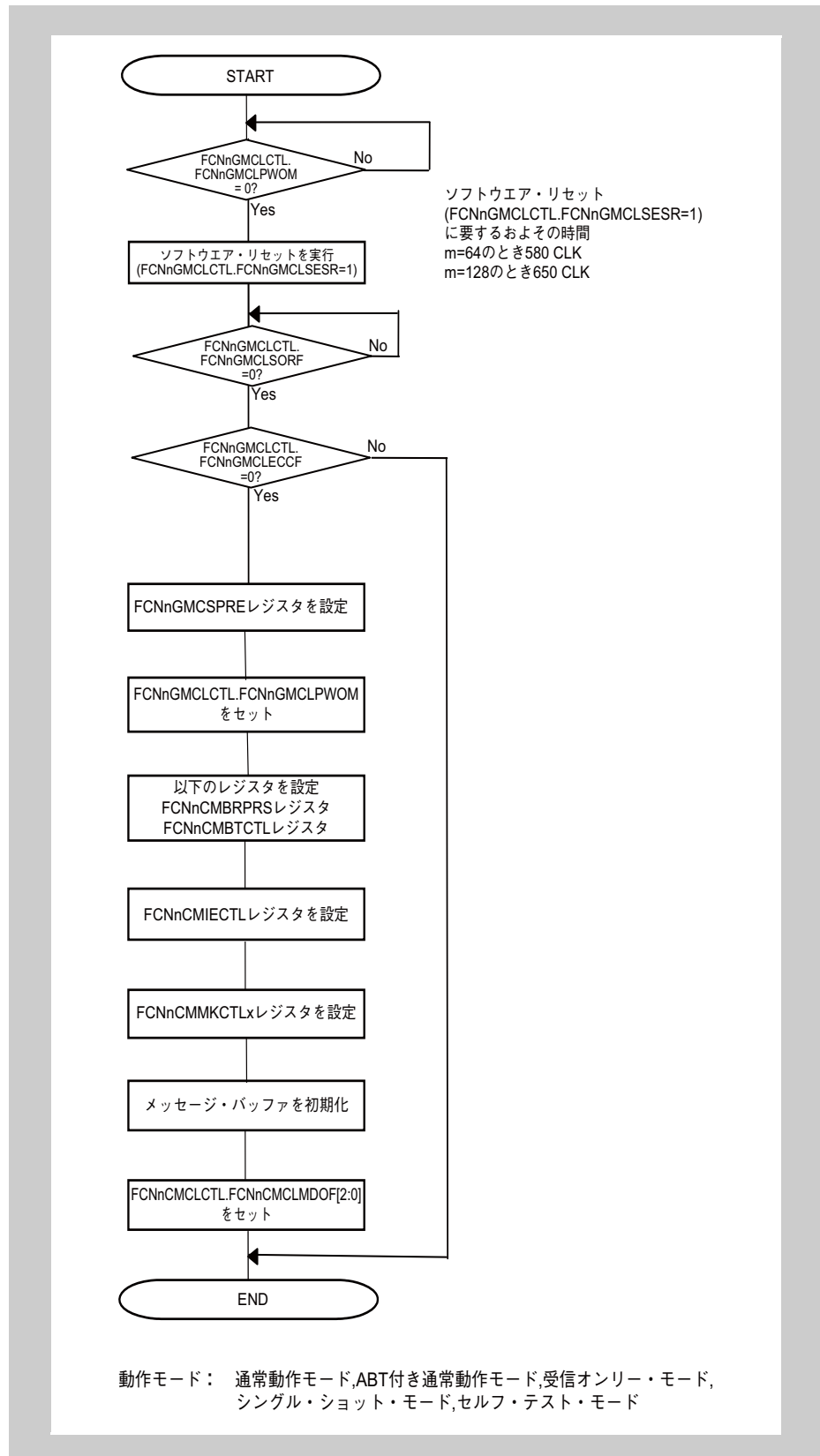


図 24-15 ソフトウェア・リセット機能を利用する再初期化

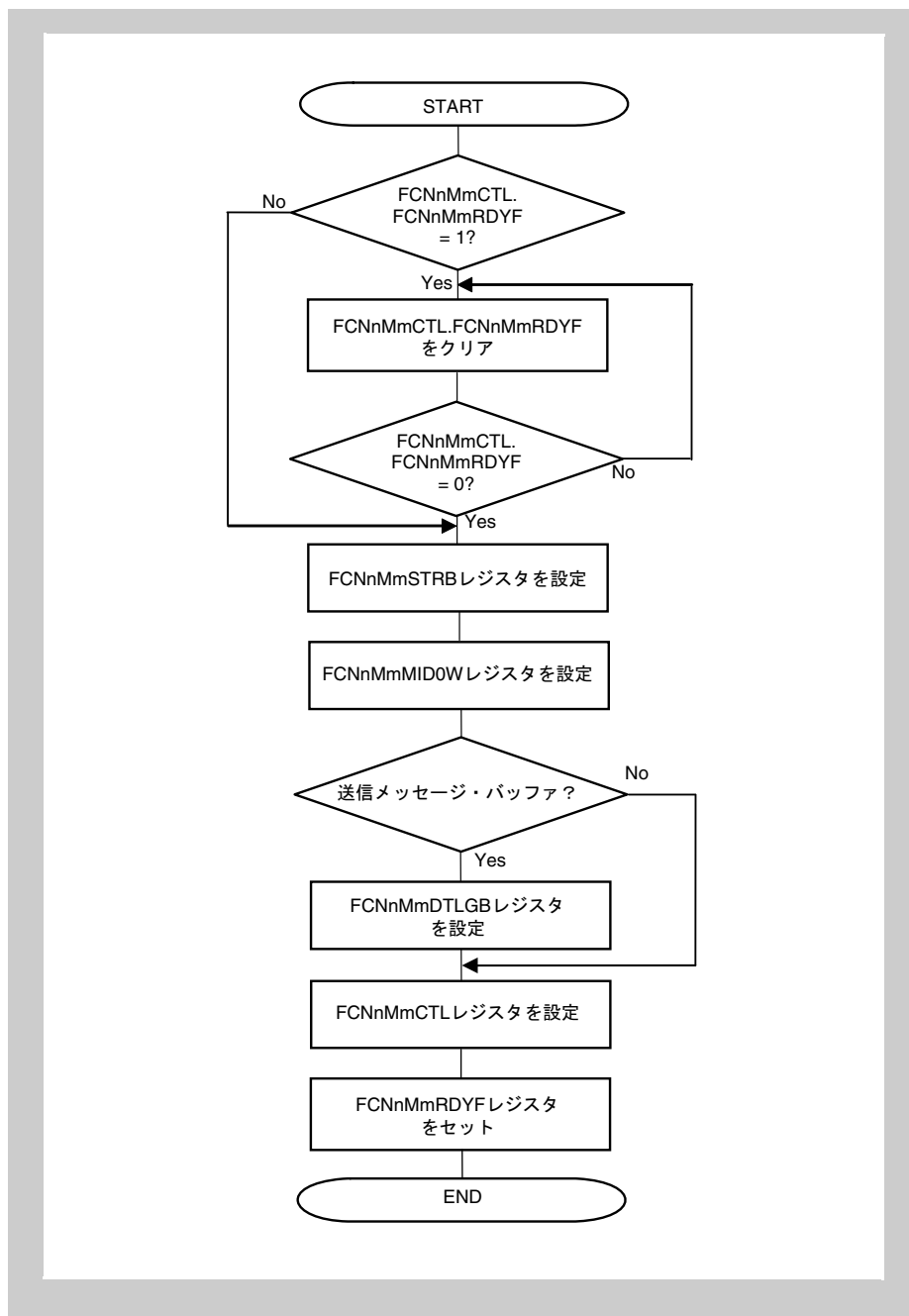


図 24-16 メッセージ・バッファの初期化

- 注意**
1. メッセージ・バッファを初期化する前に、FCNnMmCTL.FCNnMmRDYF をクリアする必要があります。
 2. アプリケーションが使用しないメッセージ・バッファは以下のように設定してください。
 - FCNnMmCTL レジスタの FCNnMmRDYF ビット, FCNnMmTRQF ビット, FCNnMmDTNF ビットをクリア (0) します。
 - FCNnMmSTRB.FCNnMmSSAM をクリア (0) します。

図 24-17 「受信中のメッセージ・バッファの再定義」は、受信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001_B ~ 1000_B)。

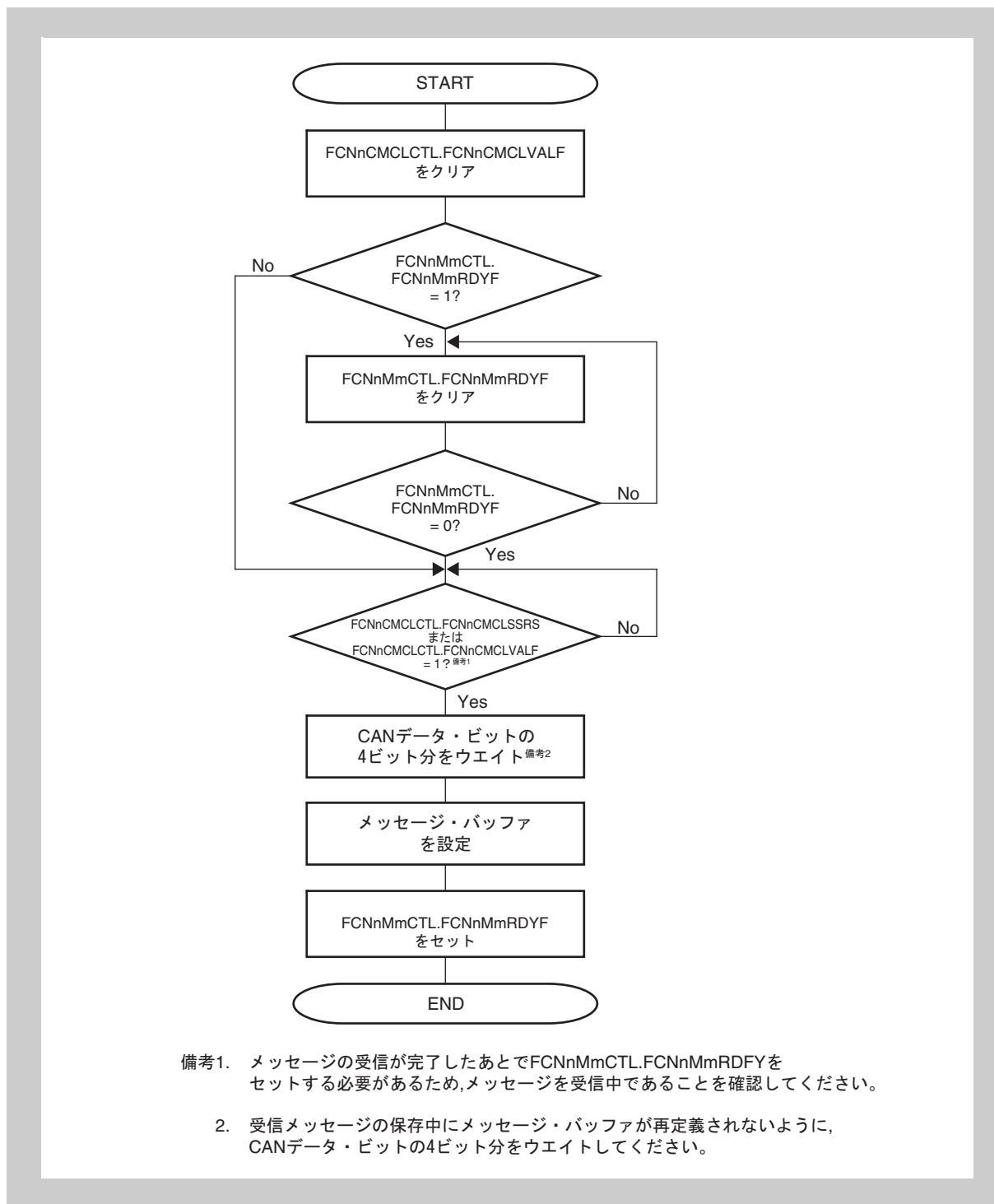


図 24-17 受信中のメッセージ・バッファの再定義

図 24-18 「送信中のメッセージ・バッファの再定義」は、送信中の送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)。

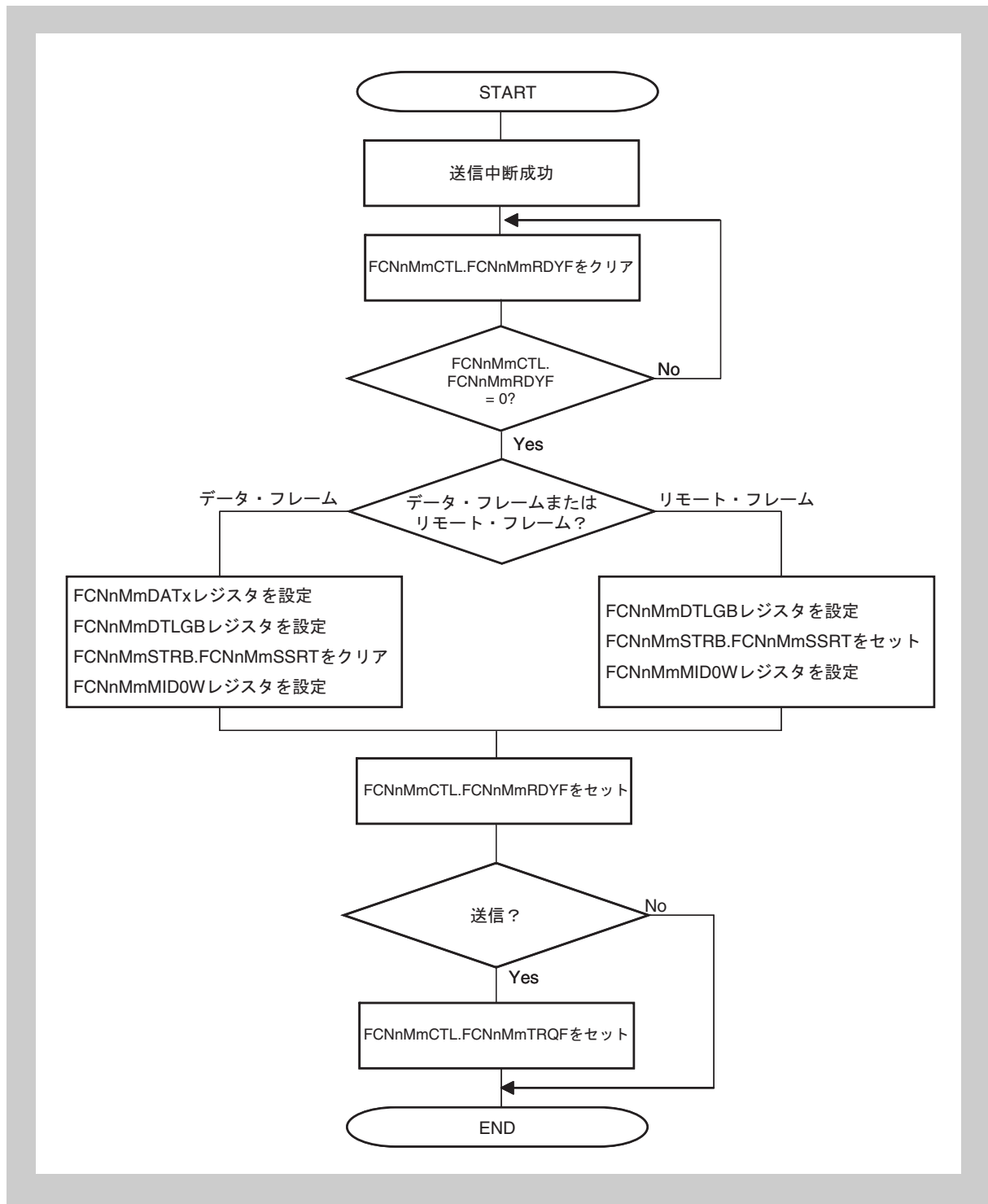


図 24-18 送信中のメッセージ・バッファの再定義

24.14.2 メッセージの送信

図 24-19 「メッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)。

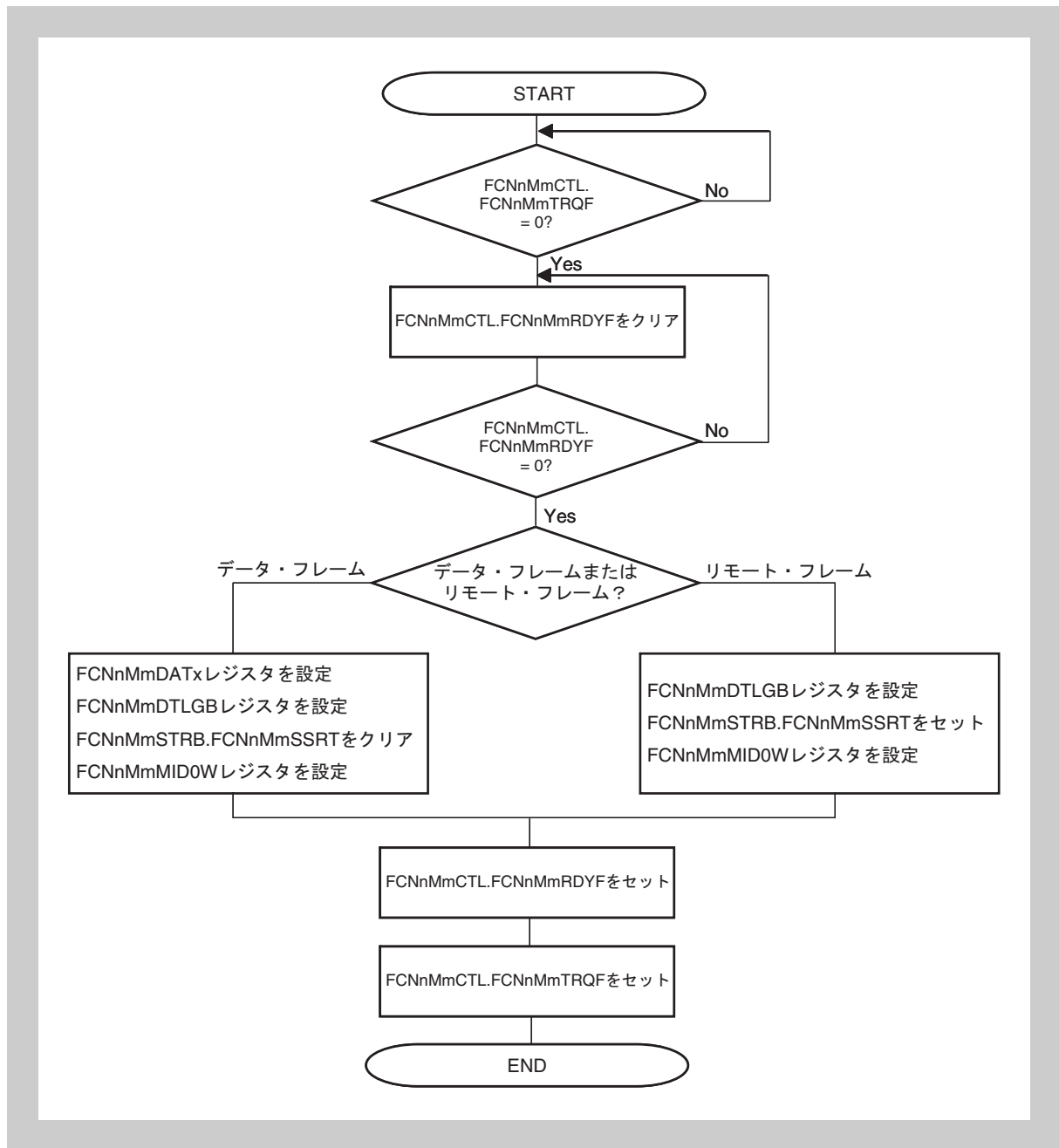


図 24-19 メッセージ送信処理

- 注意
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

図 24-20 「ABT メッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000_B)。

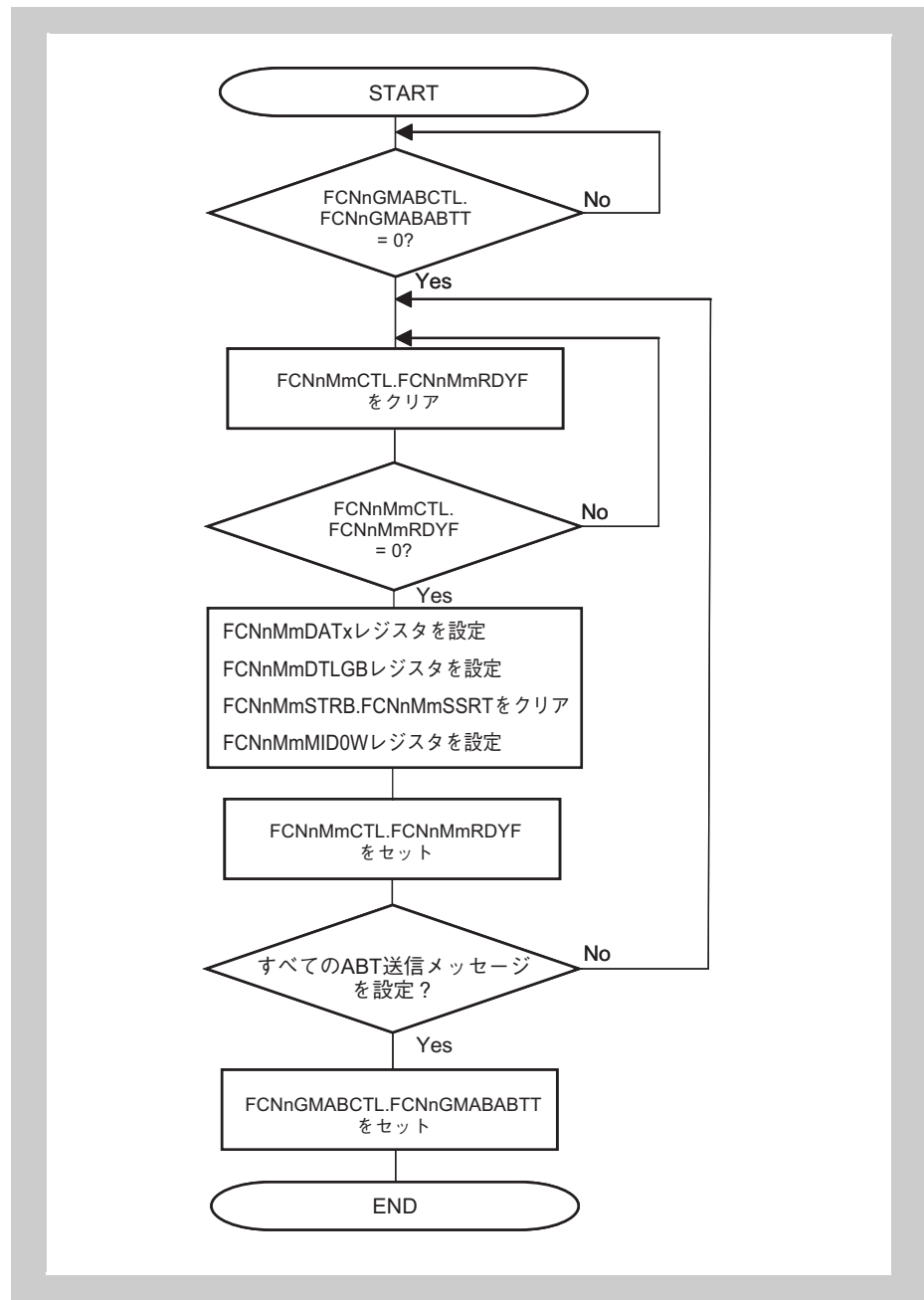


図 24-20 ABT メッセージ送信処理

備考 この処理 (ABT 付き通常動作モード) は、ABT モードで利用可能なメッセージ・バッファにのみ適用することができます。ABT メッセージ・バッファ以外のメッセージ・バッファについては、1671 ページの図 24-19 「メッセージ送信処理」を参照してください。

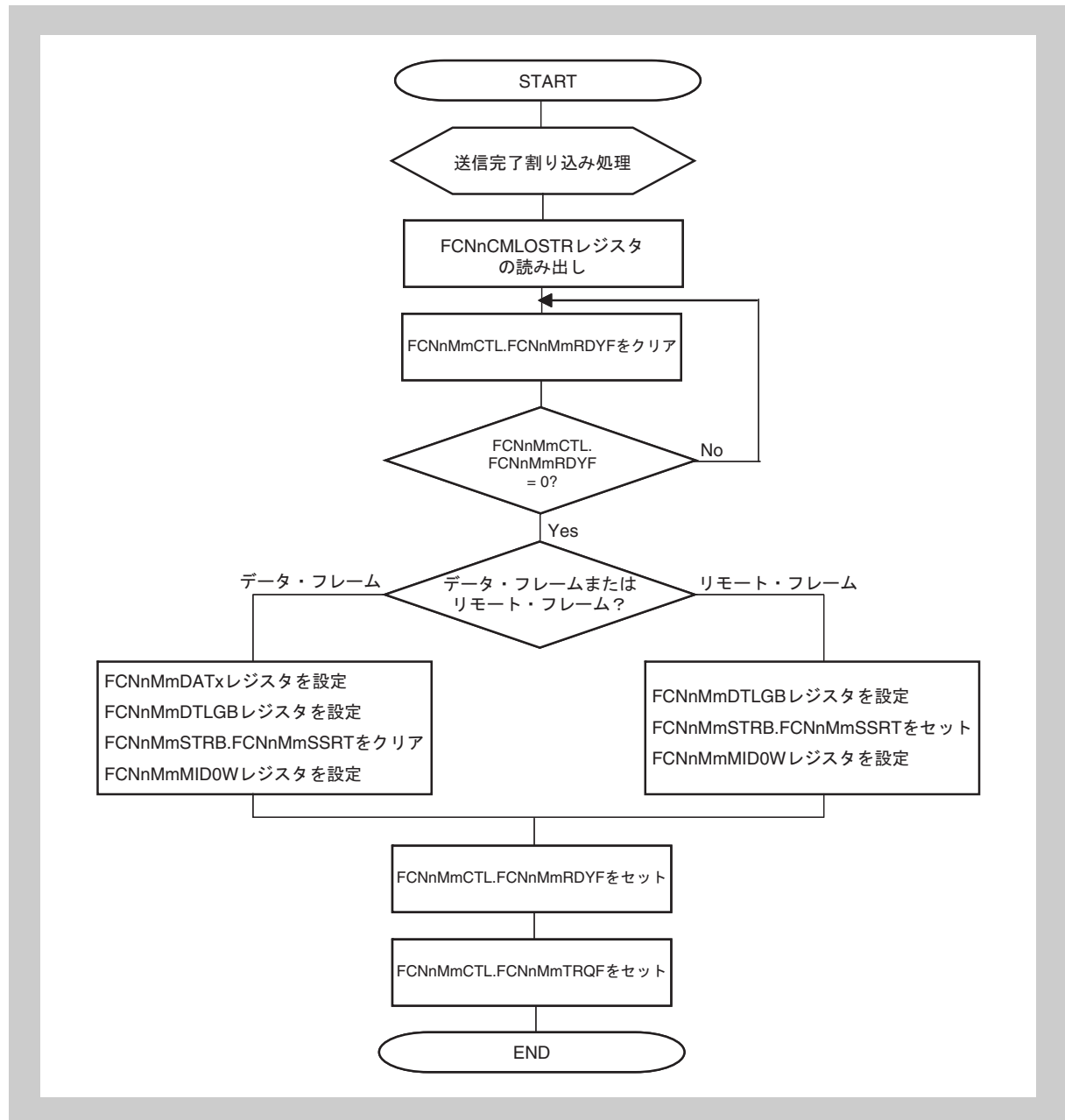


図 24-21 割り込みを利用した送信 (FCNnCMLOSTR レジスタを利用)

- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

備考 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされている

ことがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

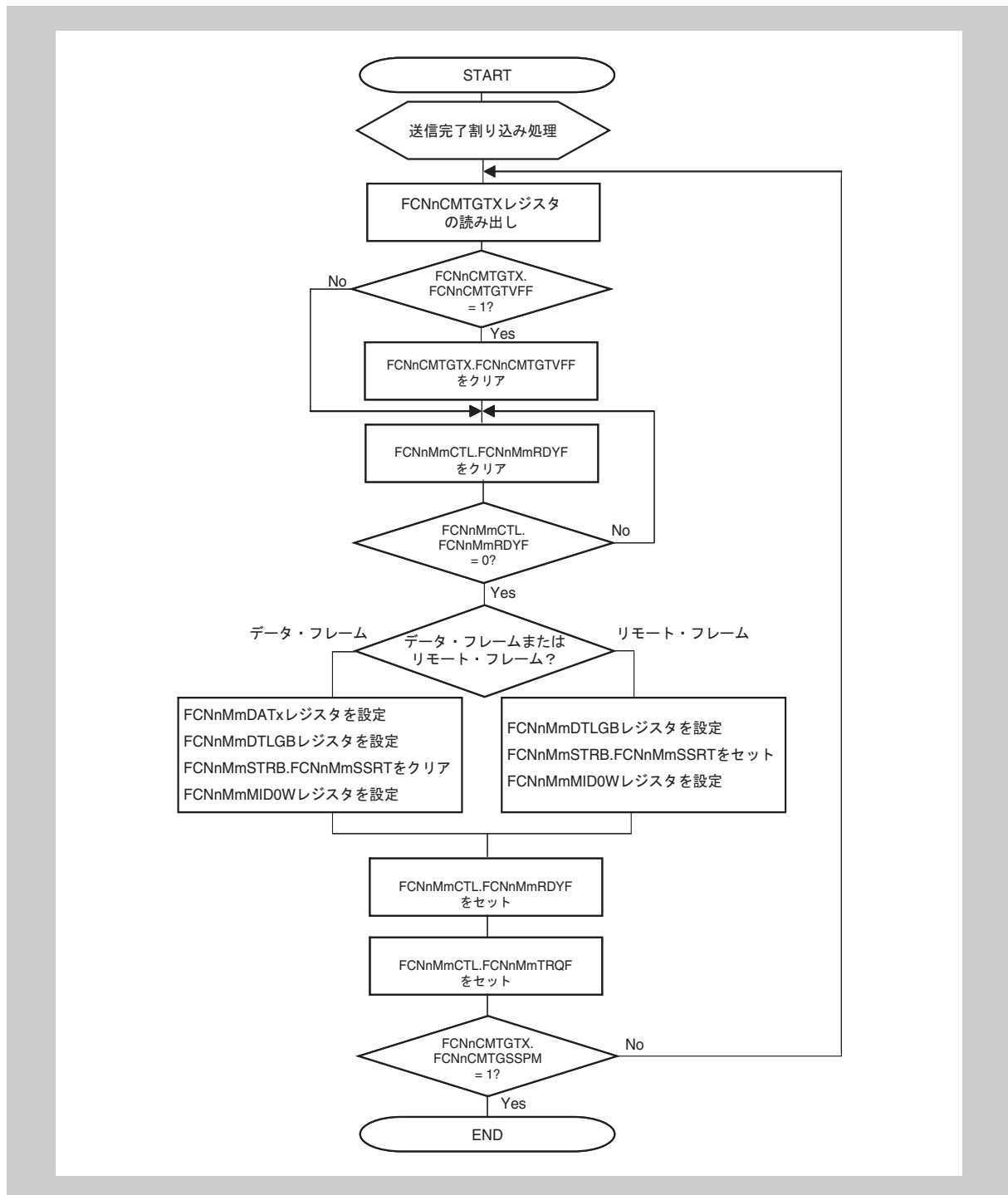


図 24-22 割り込みを利用した送信 (FCNnCMTGTX レジスタを利用)

-
- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。
-

- 備考**
1. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
 2. いったん FCNnCMTGTGX.FCNnCMTGTVFF をセットすると、送信履歴・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

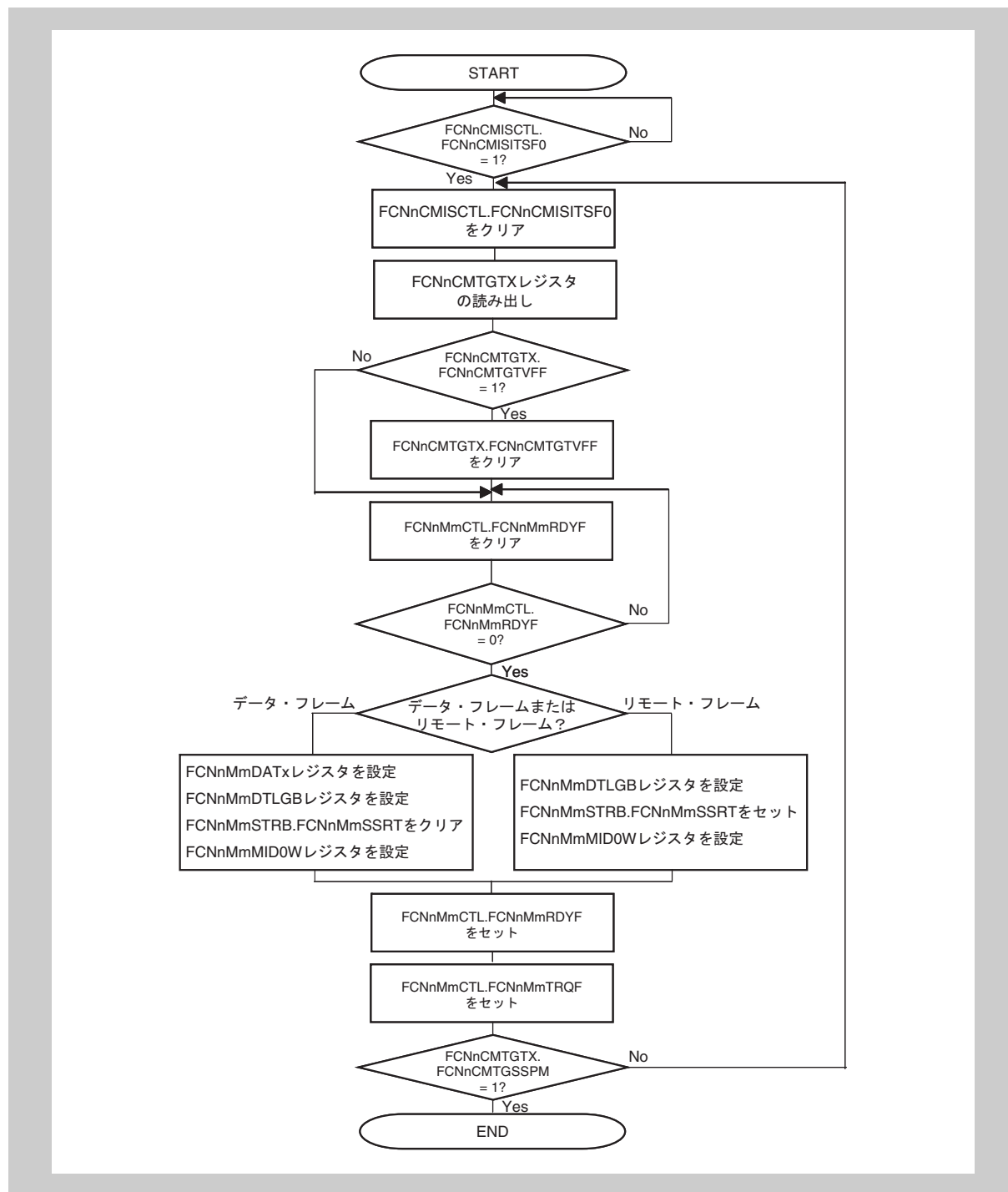


図 24-23 ソフトウェア・ポーリングを利用した送信

- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
 2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

- 備考**
1. 保留中のスリープ・モードが実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リストレジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
 2. いったん FCNnCMTGTX.FCNnCMTGTVFF をセットすると、送信履歴・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

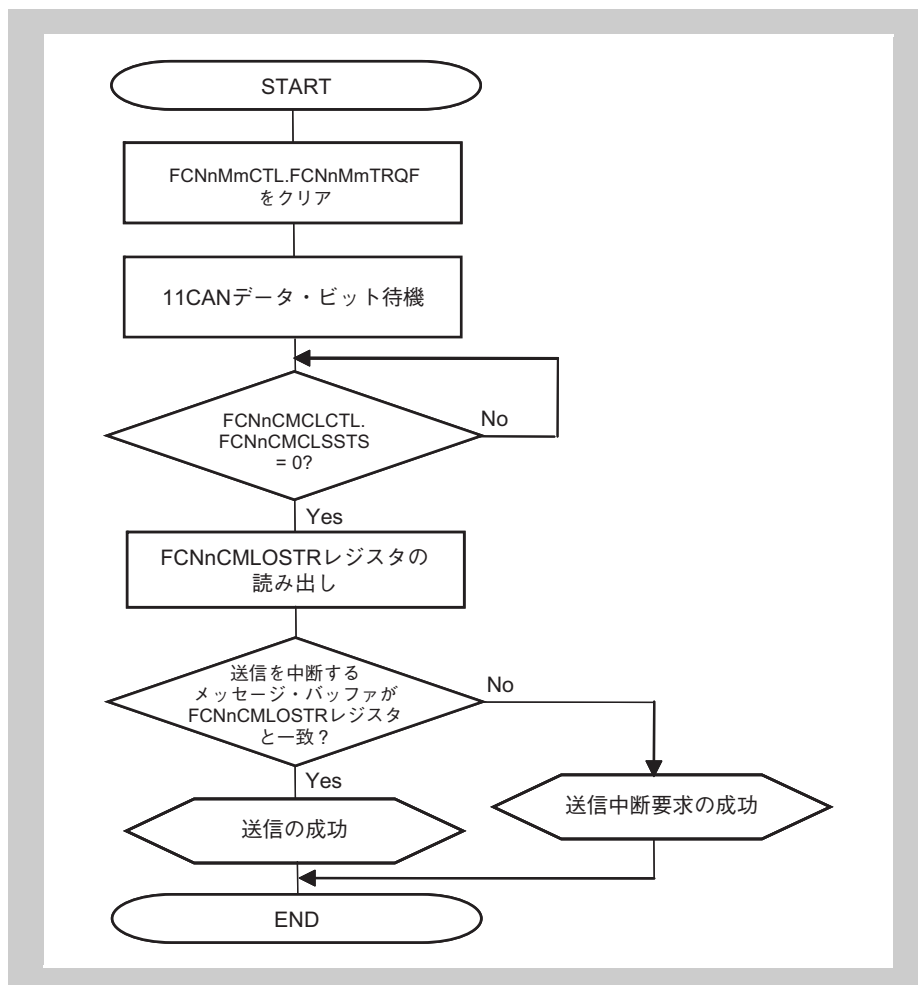


図 24-24 送信中断処理 (ABT 付き通常動作モードの実行中を除く)

- 注意
1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYFではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。
 2. スリープ・モードへの移行要求を発行する前に、この処理を利用する送信要求が残っていないことを確認してください。
 3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。
 4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

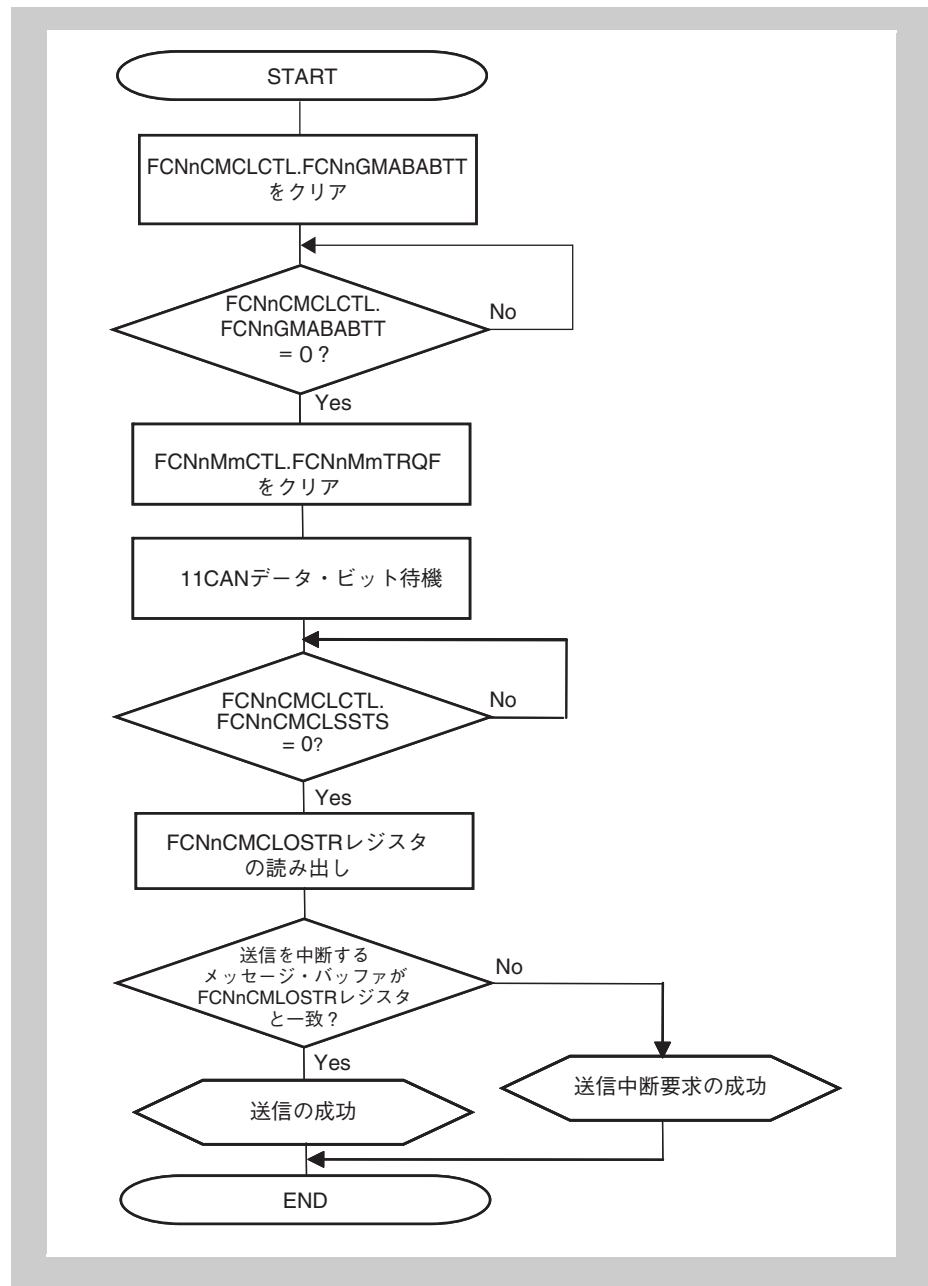


図 24-25 ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中)

- 注意**
1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYF ではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。
 2. スリープ・モードへの移行要求を発行する前に、この処理を利用する送信要求が残っていないことを確認してください。
 3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。
 4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

図 24-26 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」は ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップしない処理を示しています。

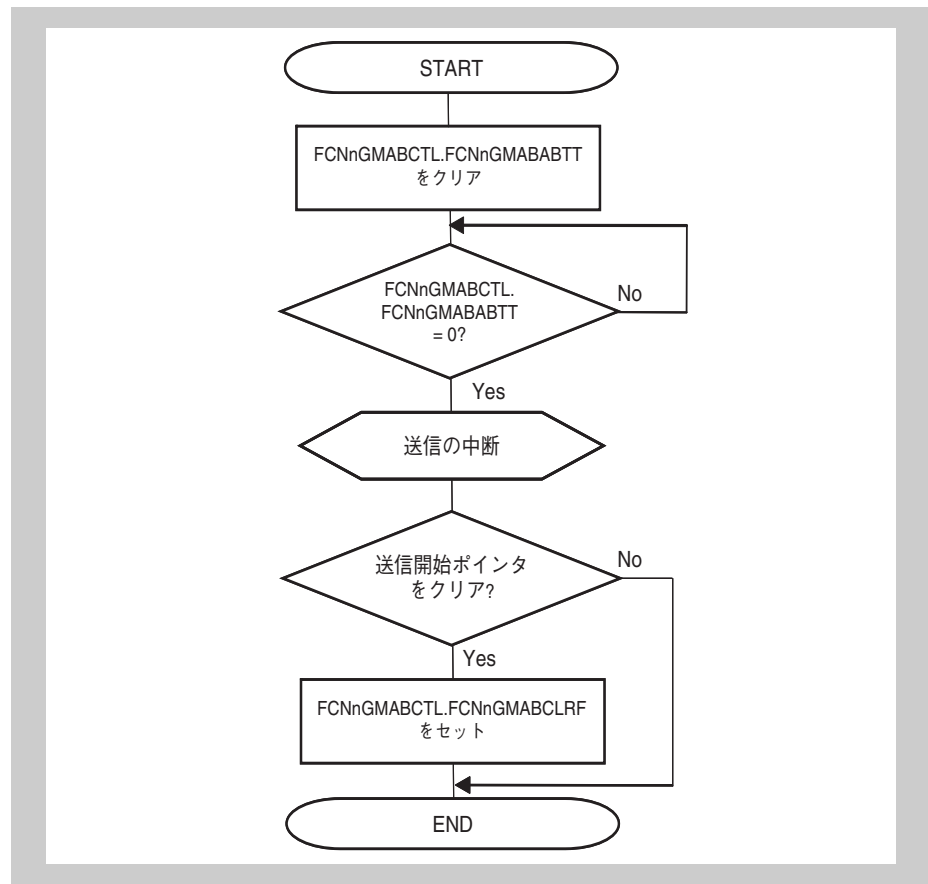


図 24-26 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)

- 注意**
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
 2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図 24-26 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図 24-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図 24-24 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

図 24-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」は ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップする処理を示しています。

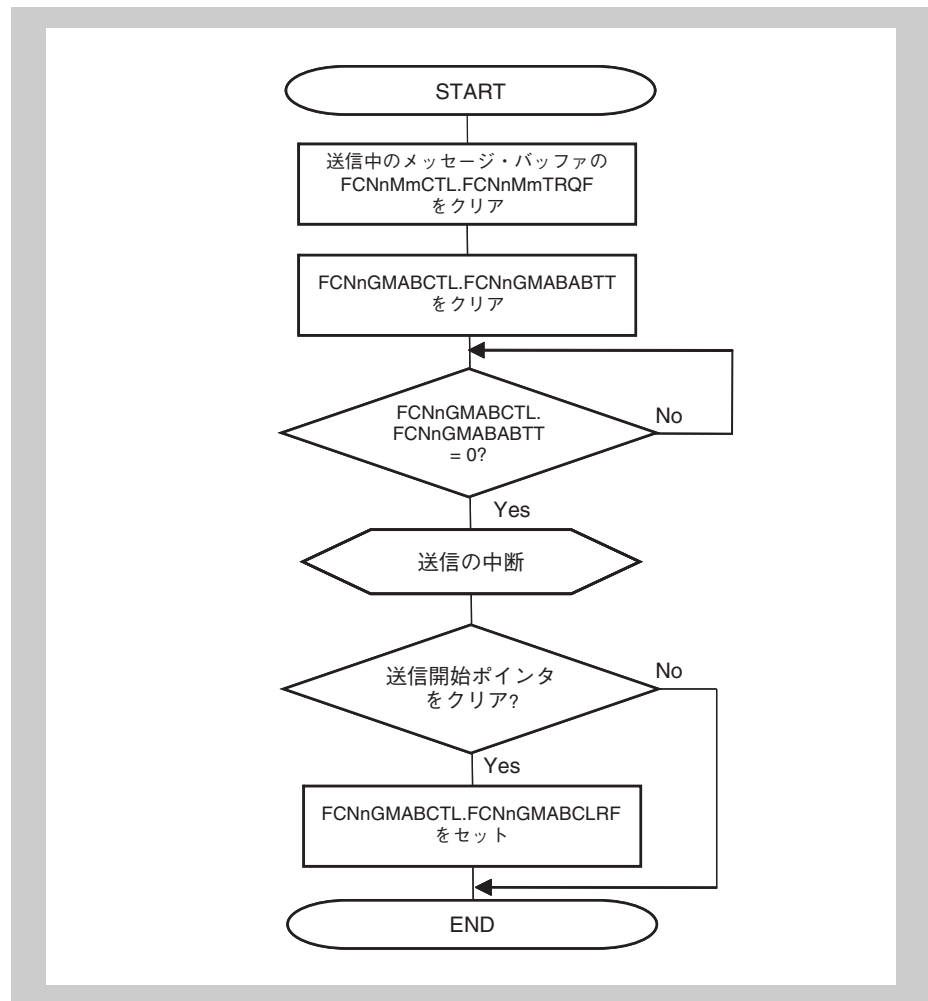


図 24-27 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)

- 注意
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
 2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図 24-26 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図 24-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL,FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図 24-24 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

図 24-28 「送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)」は、送信中断機能 (送信完了フラグ) を利用した ABT モードの処理を示しています。「送信中断の成功」というボックスは、ABT メッセージ・バッファ内の FCNnMmTCPF フラグをチェックすることによって送信中断が成功した状態を示しています。

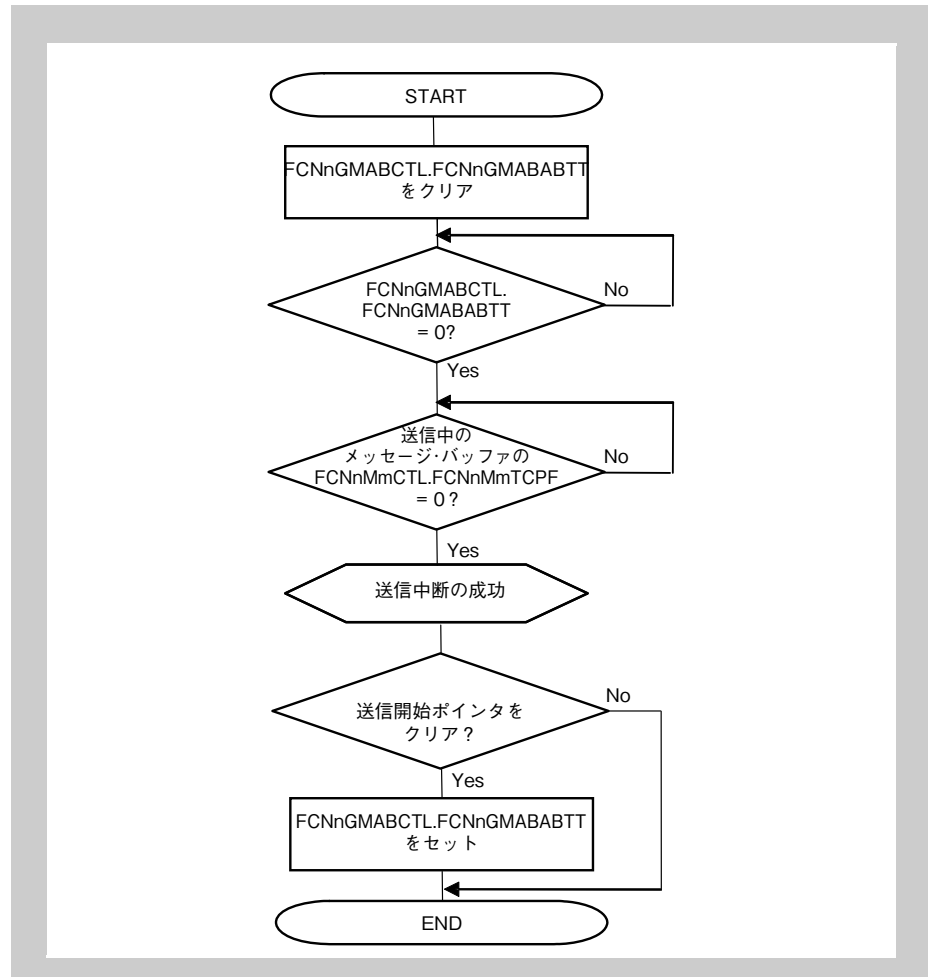


図 24-28 送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)

- 注意**
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
 2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図 24-26 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図 24-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図 24-24 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

備考 ABT 送信中断処理が成功したにもかかわらず、すべての ABT が完全に送信されることがあります。その場合は、どのメッセージの送信が完了したかを調べることができます。

図 24-29 「送信中断割り込みと送信完了フラグによる送信中断処理」は、送信中断機能（送信中断割り込み）を利用した処理を示しています。

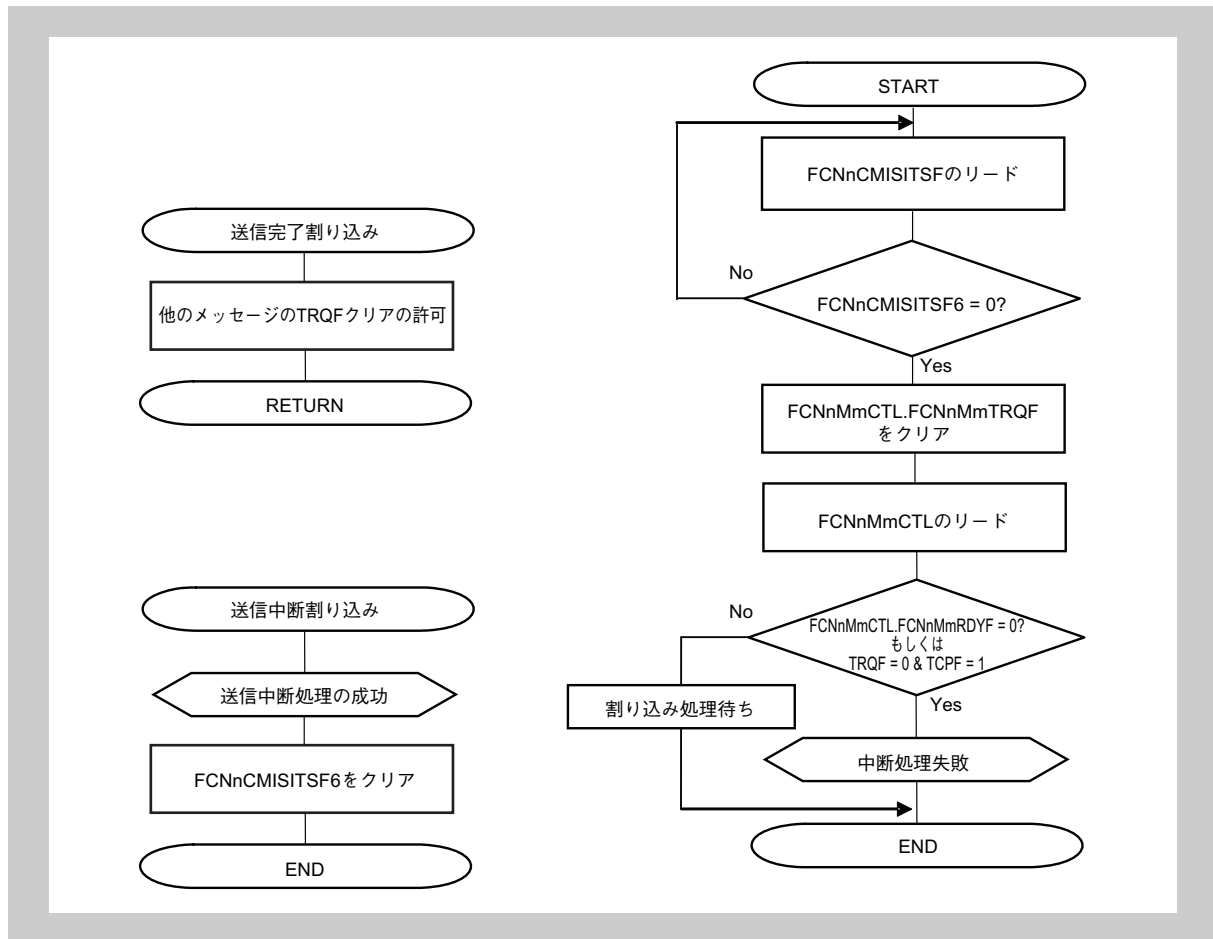


図 24-29 送信中断割り込みと送信完了フラグによる送信中断処理

備考 FCNnMmRDYF=0 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

- 注意**
1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。
 2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
 3. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF, FCNnMmTRQF セット) が行われないようにしてください。
 4. 送信中断処理を実行中に、他のメッセージ・バッファの FCNnMmTRQF のクリアを行わないでください。
 5. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから送信要求を行ってください。
 6. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

図 24-30 「送信完了フラグによる送信中断処理」は、送信中断機能（送信完了フラグ FCNnMmTCPF）を利用した処理を示しています。

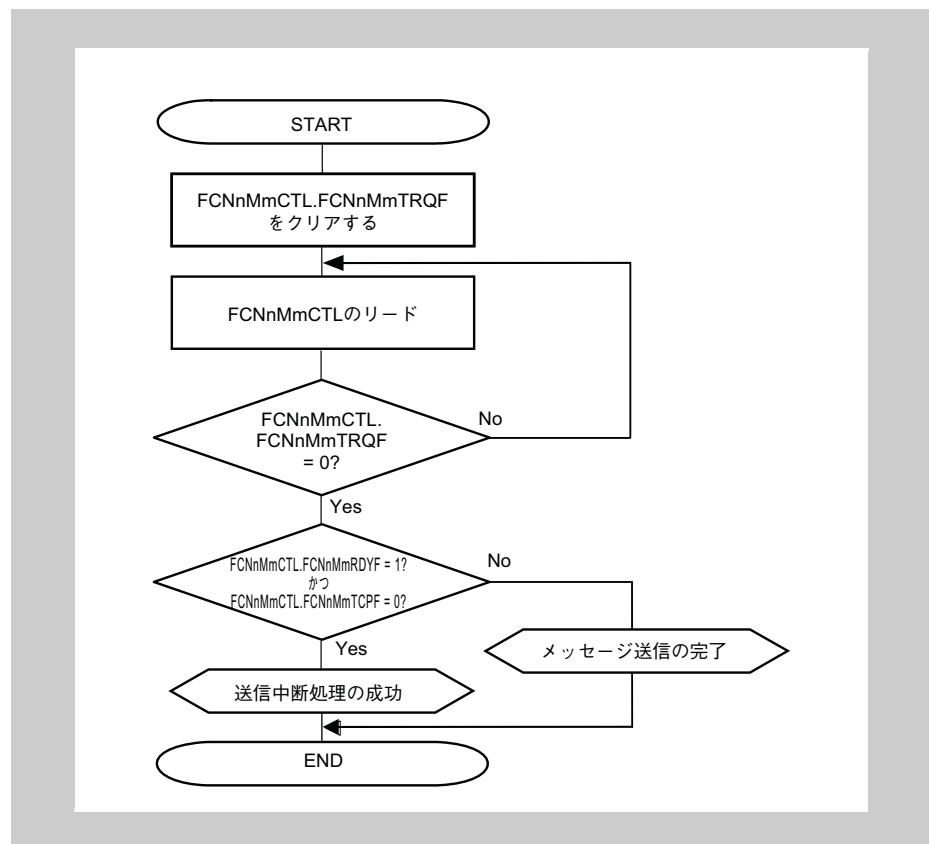


図 24-30 送信完了フラグによる送信中断処理

備考 FCNnMmRDYF=1 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

- 注意**
1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。
 2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
 3. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF, FCNnMmTRQF セット) が行われないようにしてください。
 4. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから送信要求を行ってください。
 5. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

24.14.3 メッセージの受信

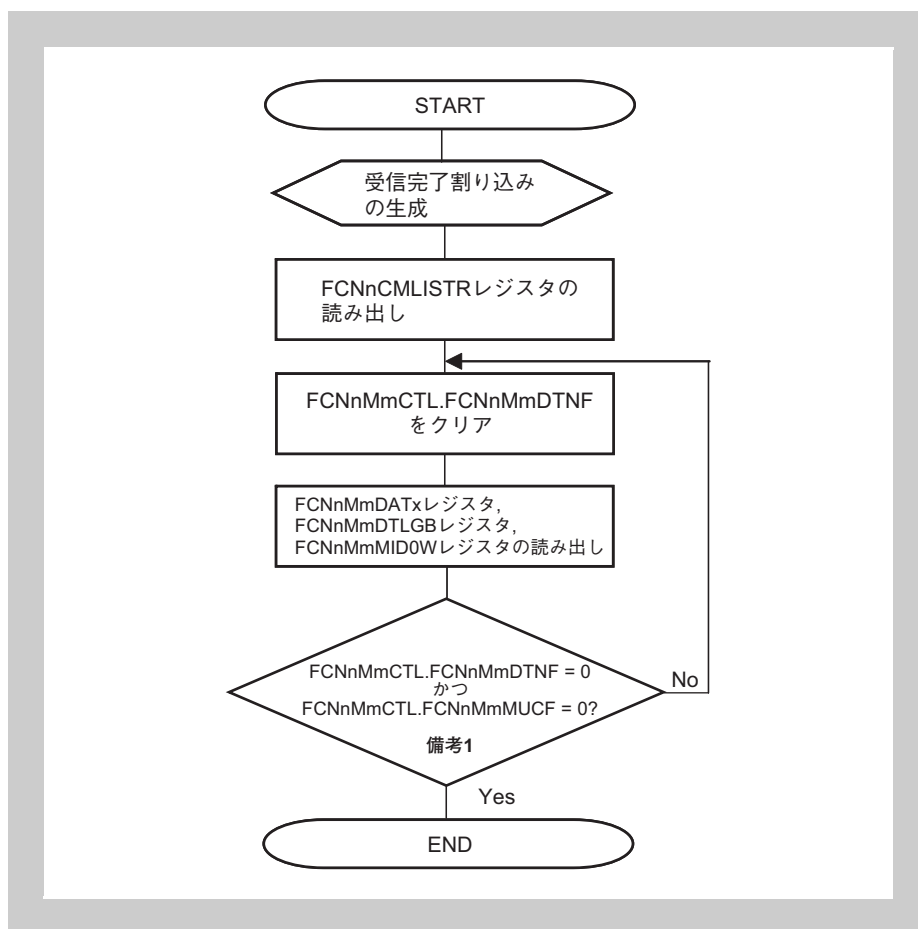


図 24-31 割り込みを利用した受信 (FCNnMMLISTR レジスタを利用)

- 備考**
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
 2. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

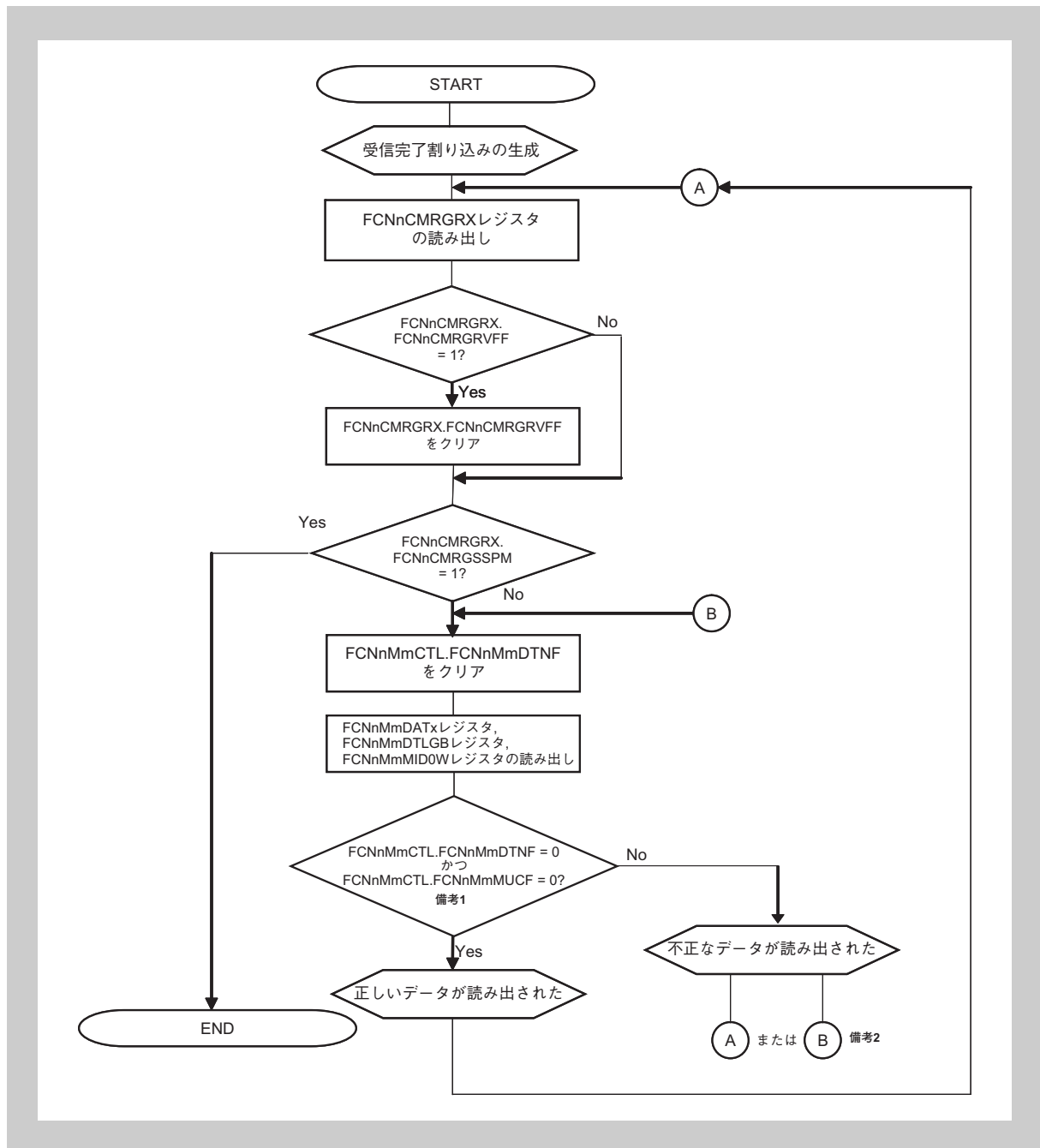


図 24-32 割り込みを利用した受信 (FCNnCMRGRX レジスタを利用)

- 備考
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
 2. アプリケーションの処理対象によって2つの方法があります。
 - 方法 A: 次の受信割り込みでメッセージが処理される最も遅いタイミングによっては、現在のパスではなく、次のパスでメッセージが処理されます。ほかのメッセージはその前に処理されます。
 - 方法 B: 現在のパスでメッセージが処理され、現在のメッセージでループが待機状態に入ります。ほかのメッセージは、あとで処理されます。
 3. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
 4. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。
 5. 図 24-32 「割り込みを利用した受信 (FCNnCMRGRX レジスタを利用)」の方法は、代わりに図 24-33 「割り込みを利用した受信 (FCNnCMRGRX レジスタを利用) の別の方法」の方法を利用することができます。

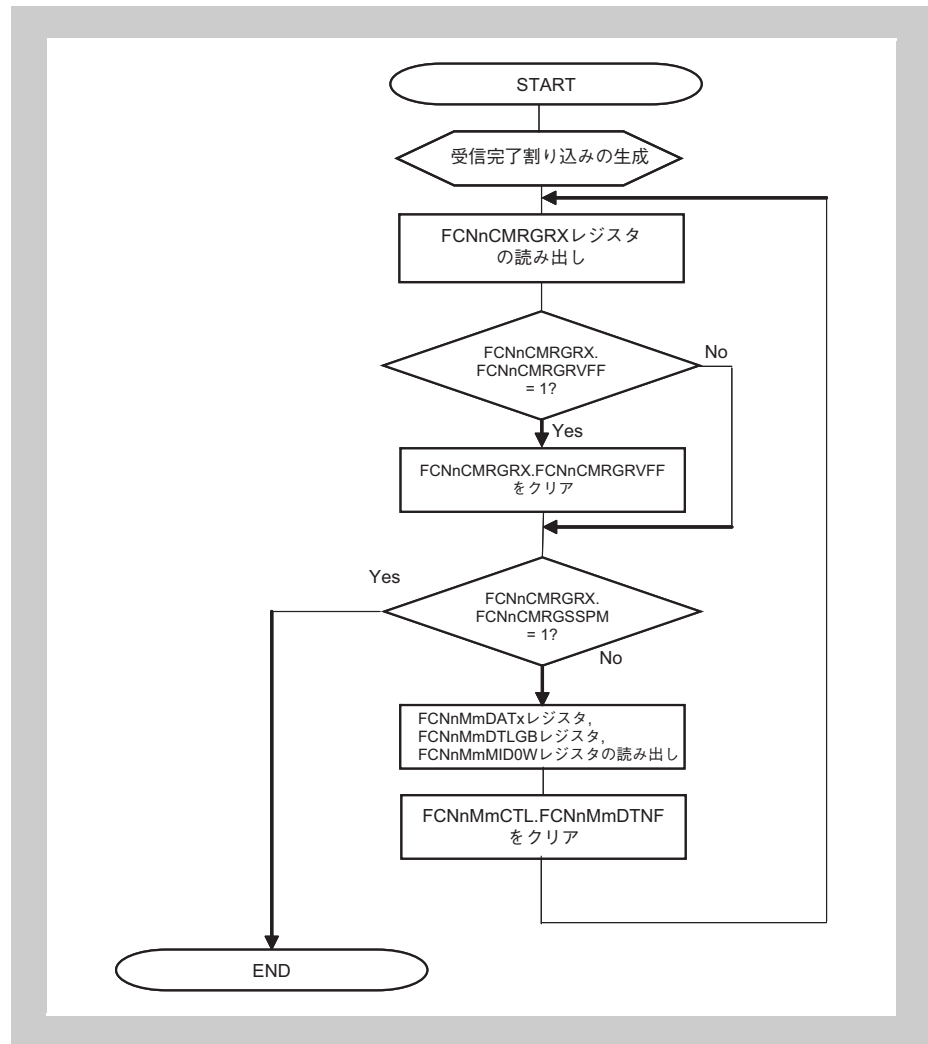


図 24-33 割り込みを利用した受信 (FCNnCMRGRX レジスタを利用) の別の方法

- 備考**
1. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
 2. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。
 3. このフローを利用する場合、アプリケーションは最新の受信データを取得できません。ただし、処理量が少ないため、割り込み負荷が軽減されます。
 4. このフローで上書き機能 (FCNnMmSTRB.FCNnMmSSOW=1) を使用しないでください。使用した場合は、データの整合性が失われる可能性があります。

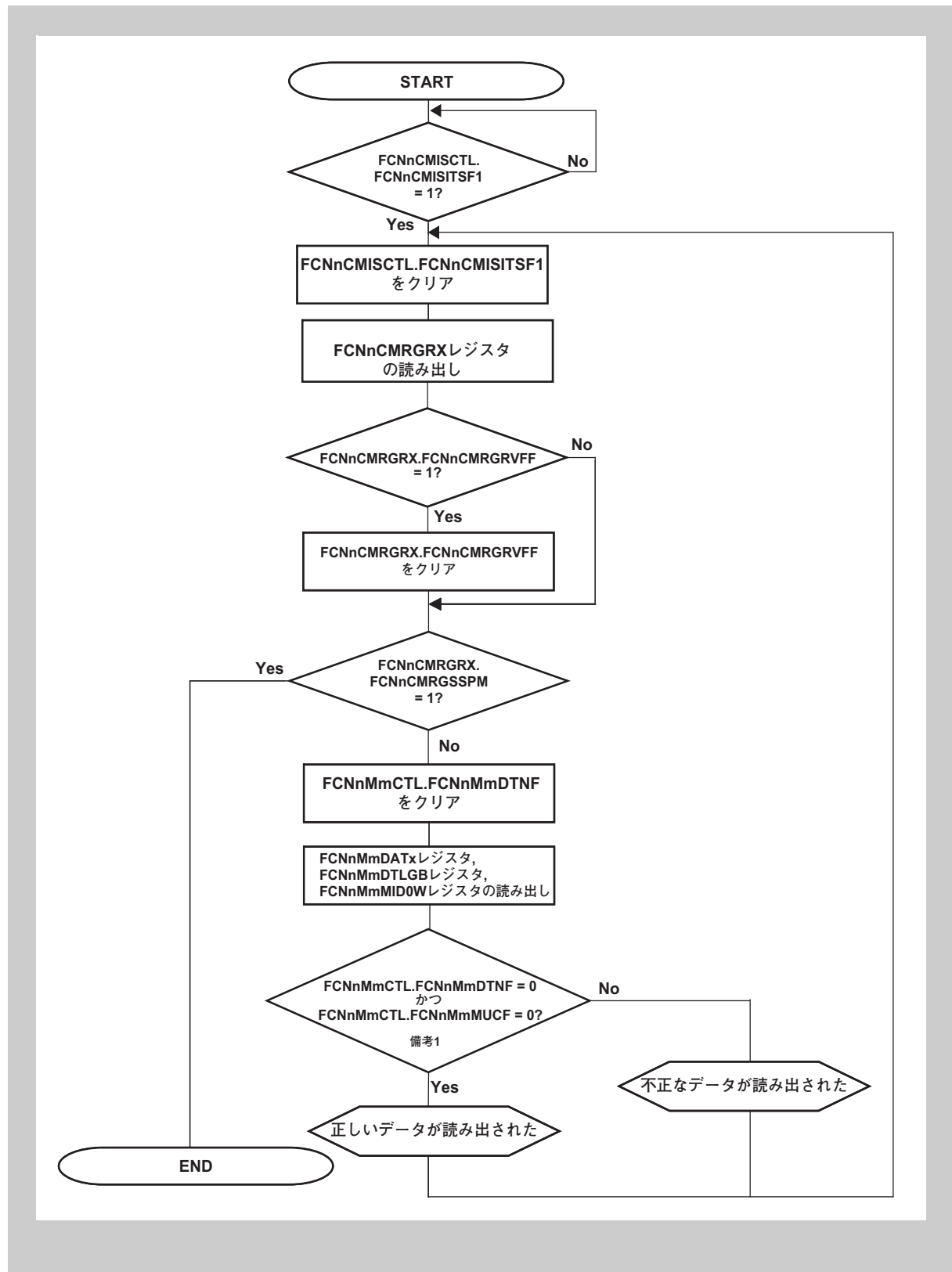


図 24-34 ソフトウェア・ポーリングを利用した受信

備考 1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。

2. 保留中のスリープ・モードが実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リストレジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
3. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。

24.14.4 パワー・セーブ・モード

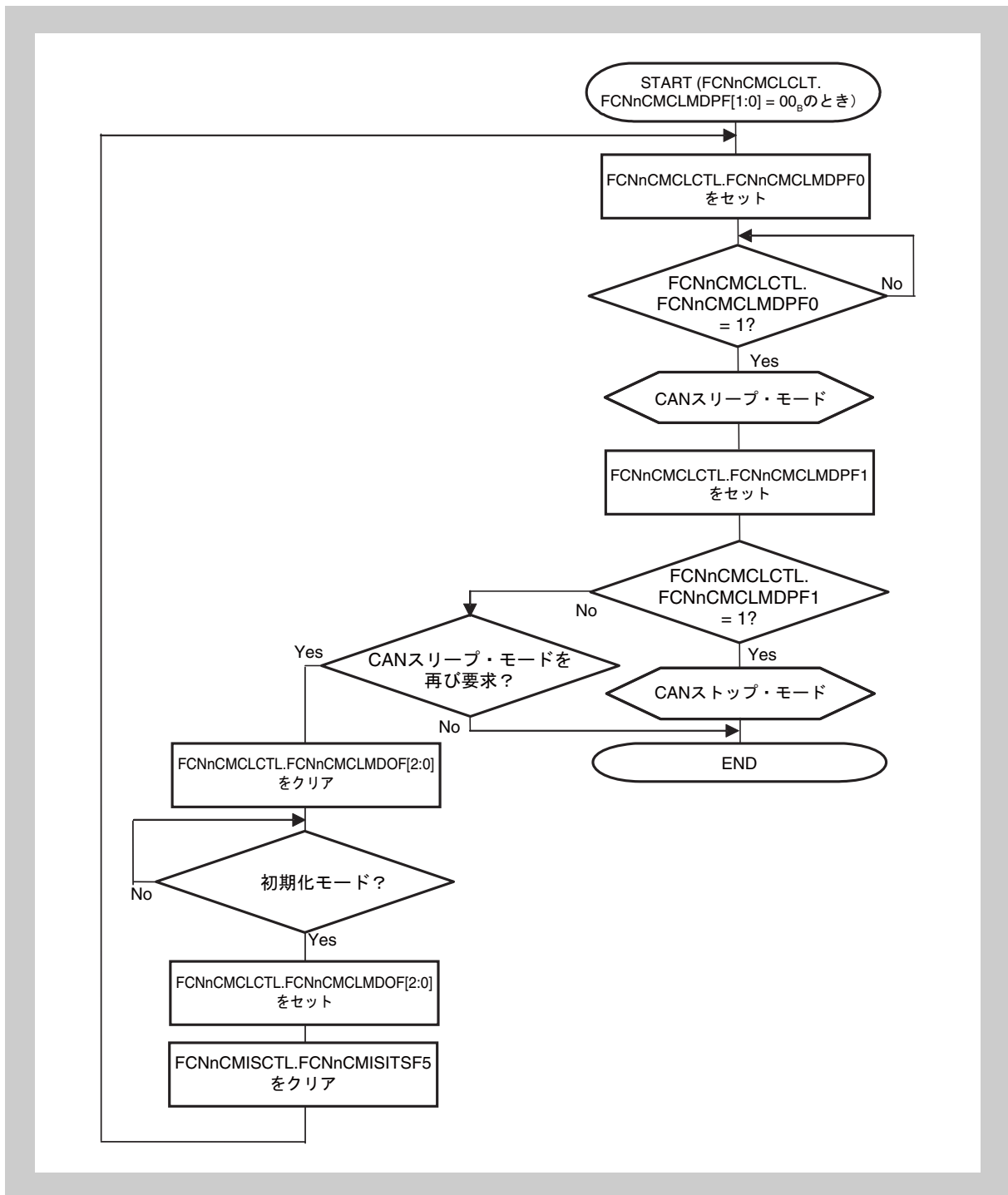


図 24-35 FCN スリープ・モード/ストップ・モードの設定

注意 FCN スリープ・モードへの移行要求を発行する前に送信を中断するには、前に示したフローチャートに従って送信中断処理を実行してください。

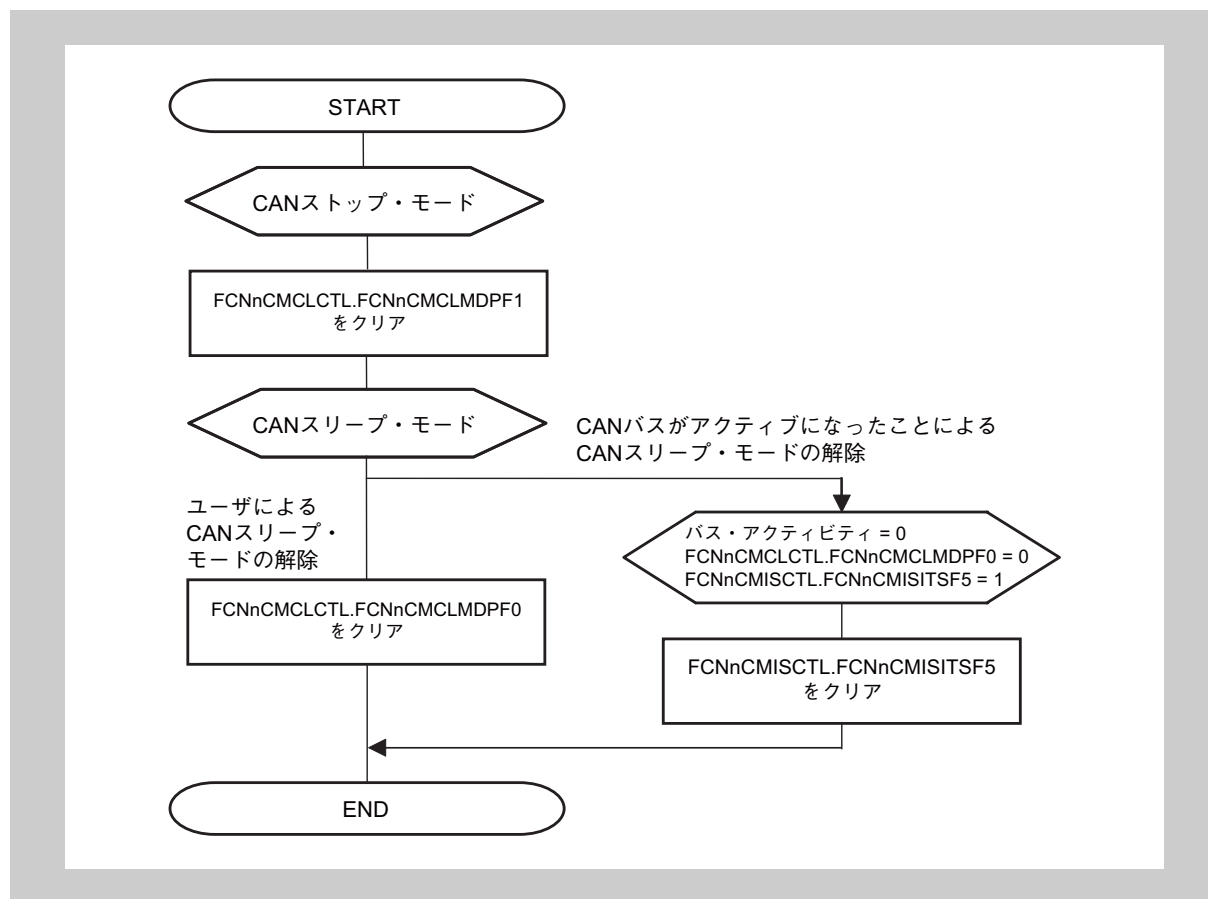


図 24-36 FCN スリープ/ストップ・モードの解除

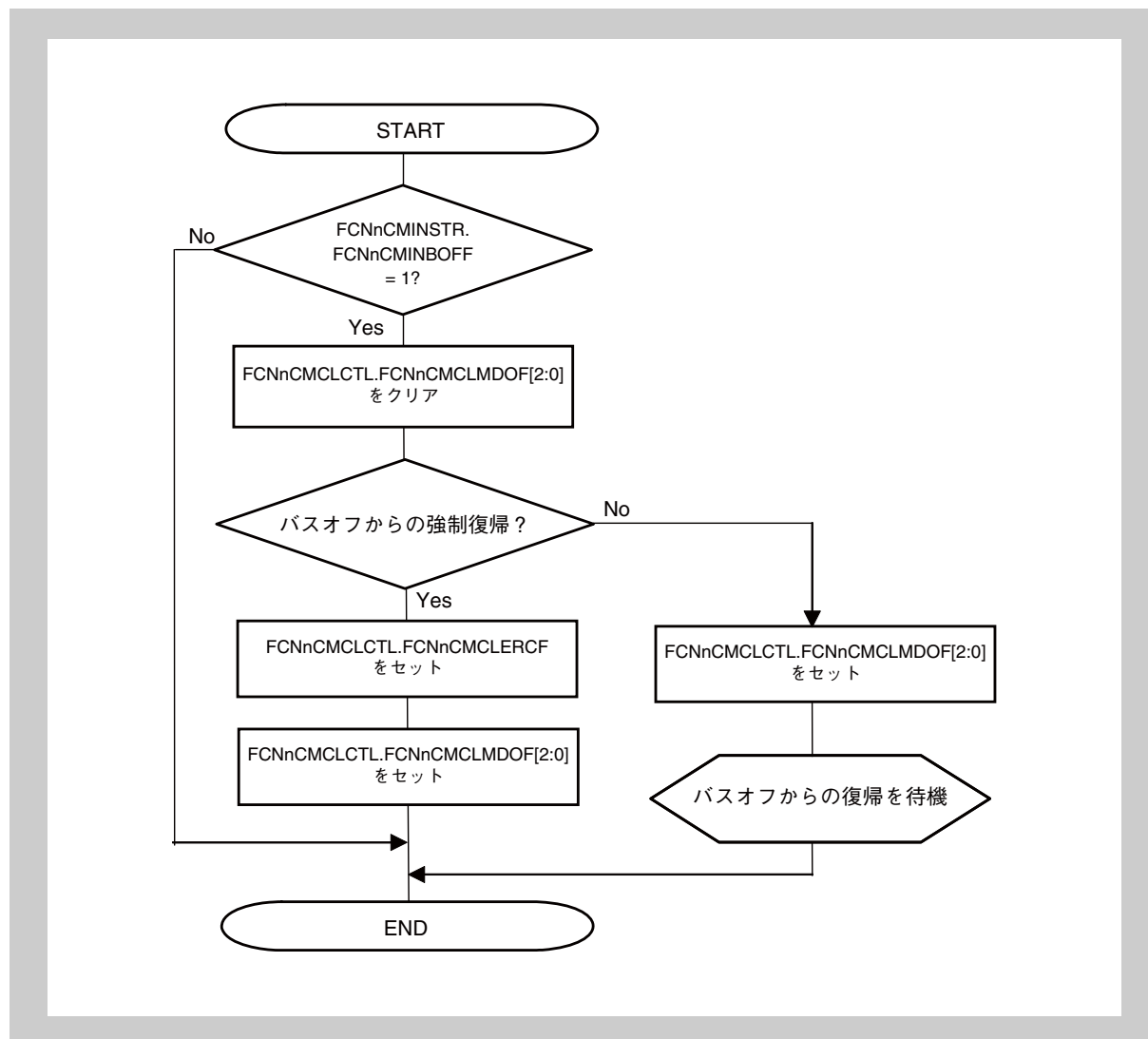


図 24-37 バスオフからの復帰

注意 バスオフ復帰シーケンス中に初期化モードからいずれかの動作モードへの移行要求が発行され、再びバスオフ復帰シーケンスが実行されると、受信エラー・カウンタがクリアされます。したがって、連続する 11 個のレセシブ・レベル・ビットを再びバス上で 128 回検出する必要があります。

備考 動作モード：通常動作モード、ABT 付き通常動作モード、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モード

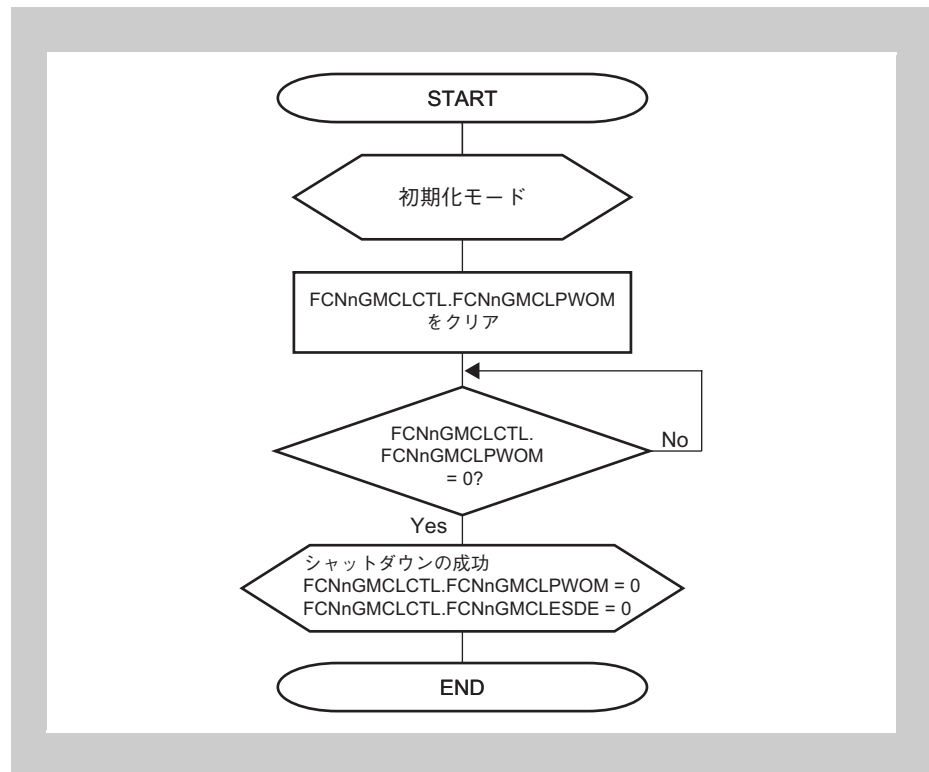


図 24-38 通常のシャットダウン処理

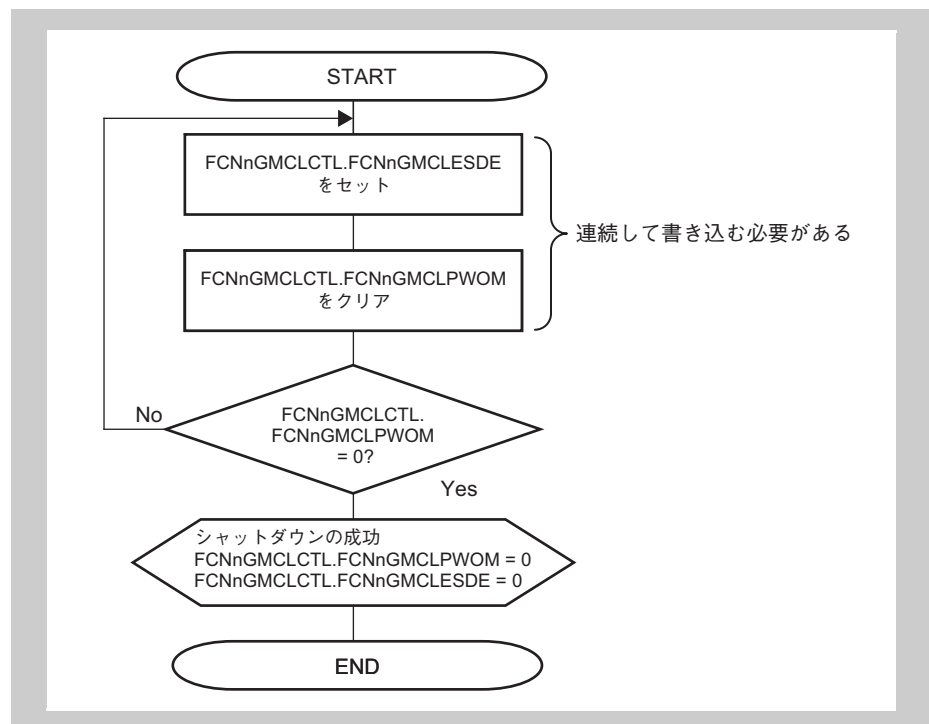


図 24-39 強制シャットダウン処理

注意 FCNnGMCLEUDE ビットをセットしてから FCNnGMCLPWOM ビットをクリアするまでの間は、いずれのレジスタへもソフトウェアによる読み出しアクセスまたは書き込みアクセスを行わないでください。

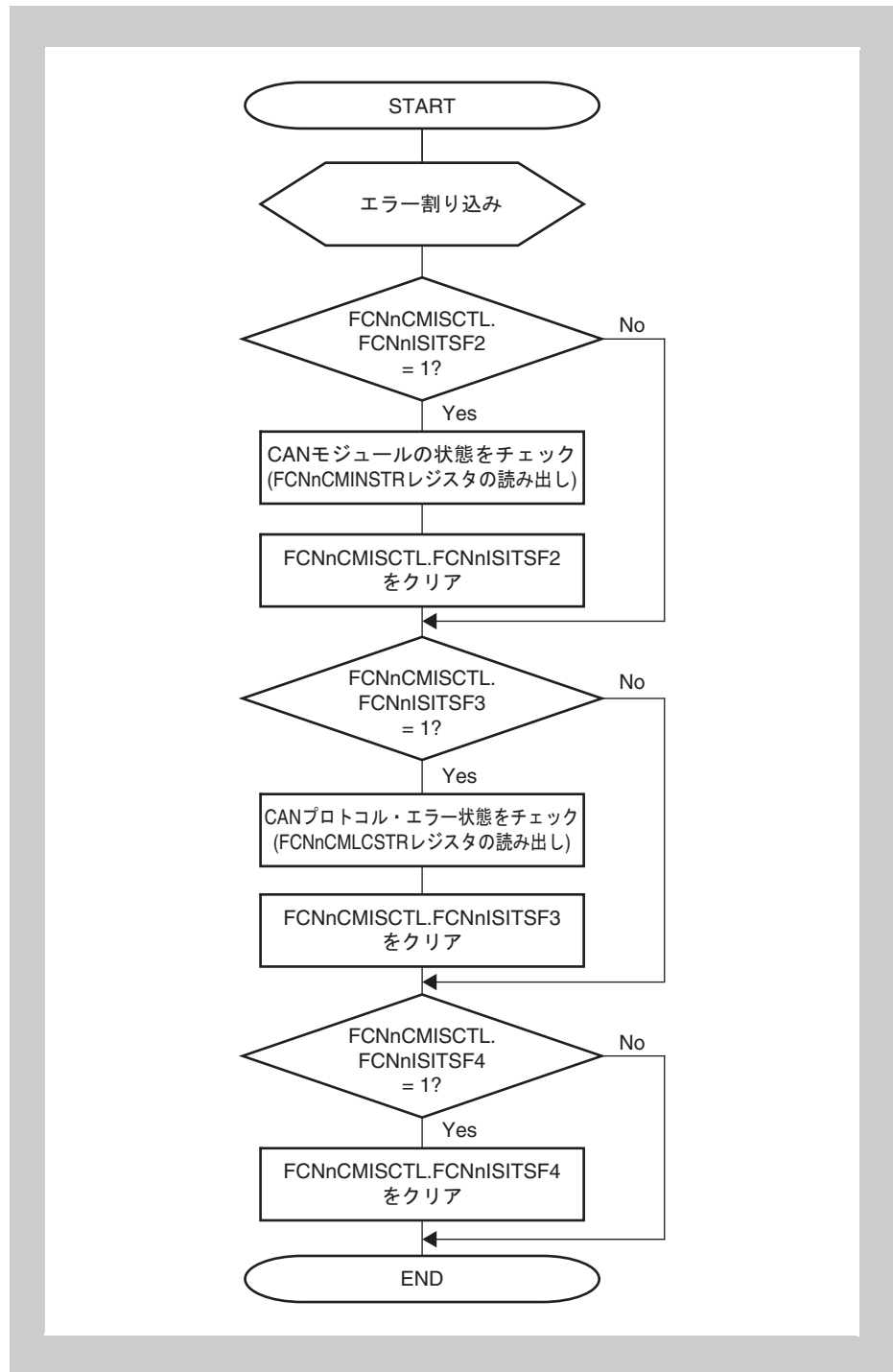


図 24-40 エラー処理

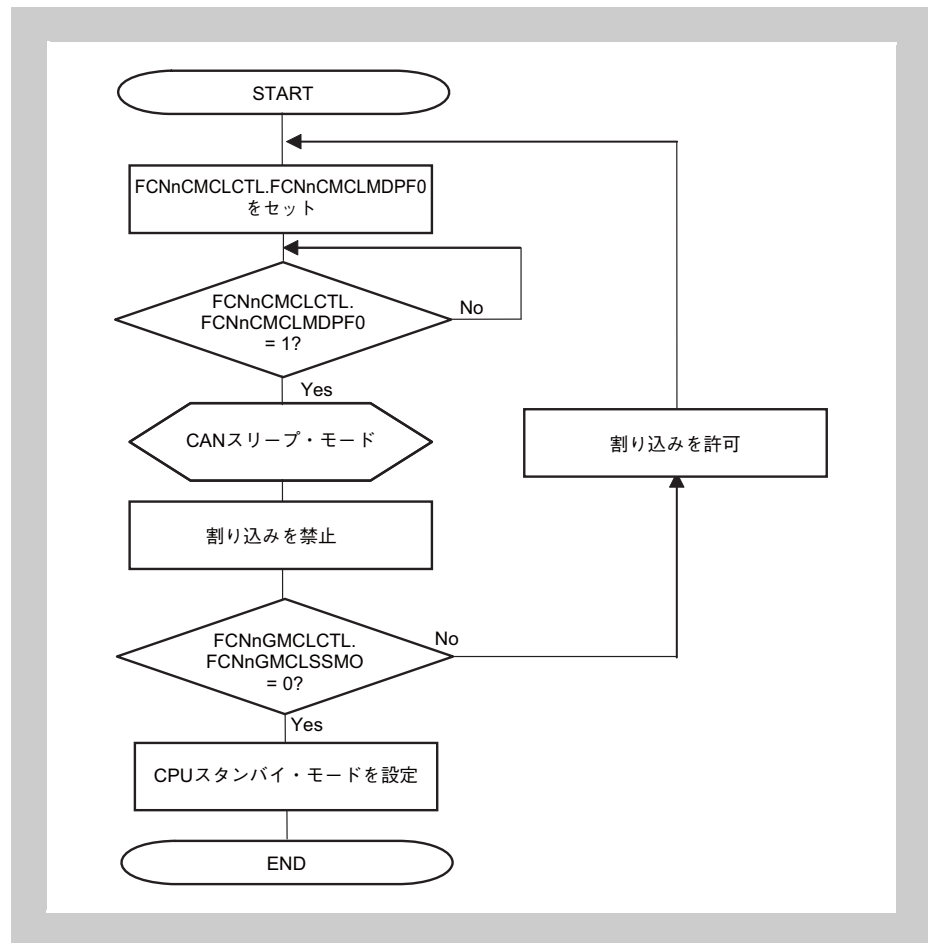


図 24-41 CPU スタンバイの設定 (FCN スリープ・モードから)

- 備考**
1. CPU を CPU スタンバイ・モードに設定する前に、FCN スリープ・モードに入っているかどうかをチェックしてください。ただし、FCN スリープ・モードをチェックすると、CPU が CPU スタンバイ・モードに設定されるまで、CAN バスからのウェイクアップによって FCN スリープ・モードがキャンセルされる可能性があります。
 2. FCNnGMCLSSMO = 0 をチェックしてから CPU スタンバイ・モードを設定するまでの間に、CAN バス上でウェイクアップ状態が発生する可能性があります。その場合は、CAN モジュールがスリープ・モードを解除し、FCNnCMISITSF5 ビットがセットされ、割り込みが許可されていればウェイクアップ割り込みが発生します。

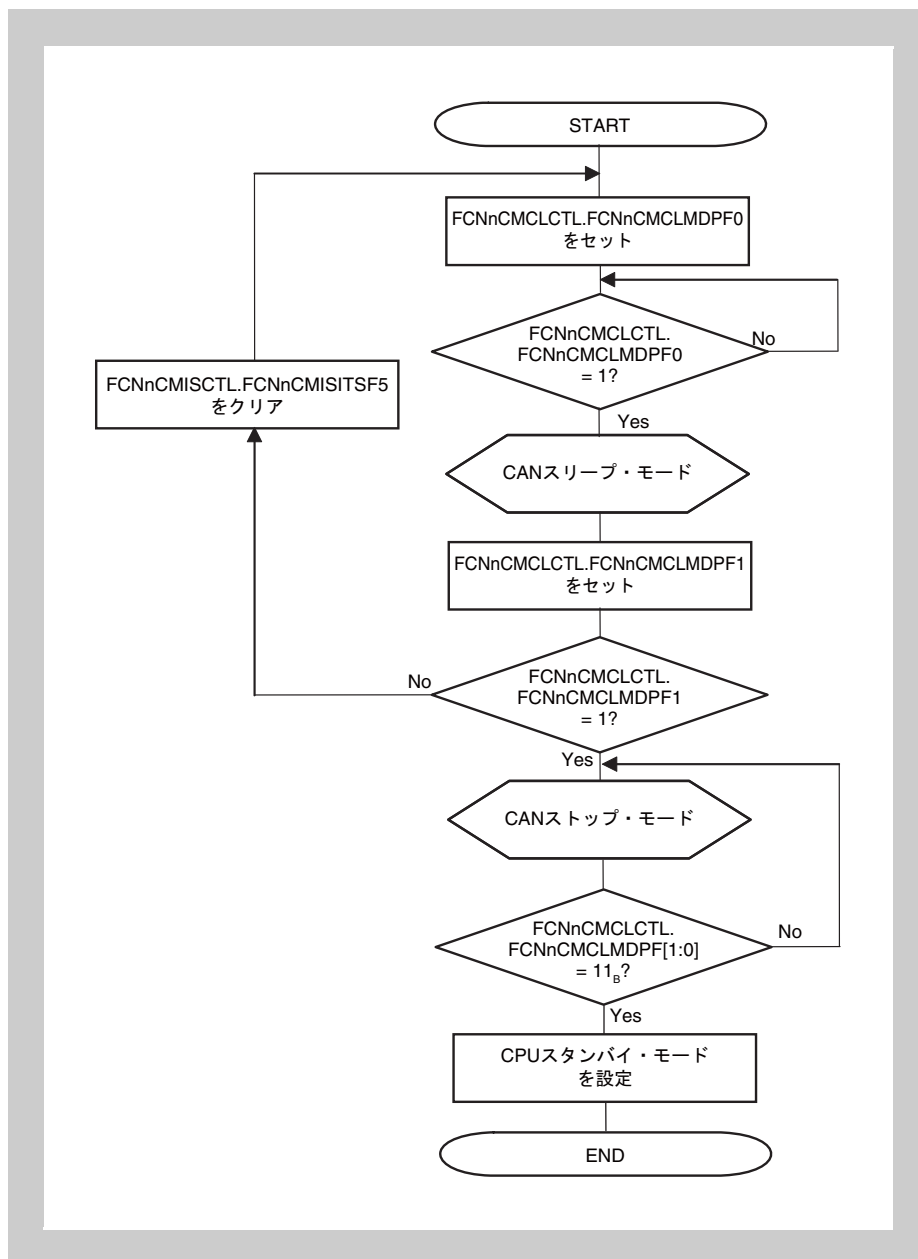


図 24-42 CPU スタンバイの設定 (FCN ストップ・モードから)

注意 FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01_B に設定することによってのみ解除することができます。FCN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。

第25章 A/Dコンバータ (ADCA)

この章では、A/Dコンバータ (ADCA) について説明します。

25.1 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/MN4 に固有の特徴について説明します。

25.2 節以降で、ADCA 搭載製品に共通の特徴について説明します。

25.1 V850E2/MN4 の特徴

V850E2/MN4 は、A/D コンバータ (ADCA) を搭載しています。

各製品により、チャンネル数等の仕様が異なります。次の表に V850E2/MN4 の仕様を示します。

製品		V850E2/MN4
ADC		
ADC 搭載ユニット (n で表示)		1 (n = 0)
アナログ入力端子 (m で表示)		12 (m = 0-11)
チャンネル・グループ (i で表示)		3 (i = 0-2)
レジスタのベース・アドレス	<ADCA _n _base_OS> ^a	FF81 D000 _H
	<ADCA _n _base_USER> ^a	FFFF DC00 _H
分解能		10/12 ^b ビット
ディスチャージ機能		なし
	ADCA _n CTL1.ADCA _n DISC	非対応 (必ず "0" をライトしてください)
ハードウェア・トリガ拡張機能		あり
チャンネル S/H 機能 (x で表示) ^c		x = 0-5
自己診断機能		なし
	ADCA _n CG0.ADCA _n DIAG	非対応 (必ず "0" をライトしてください)
	ADCA _n IOC0.ADCA _n IDG	
	ADCA _n DGCTL0 ADCA _n DGCTL1 ADCA _n PDCTL0 ADCA _n DGCR	アクセス禁止
供給クロック (PCLK)		f _{PCLK}
ADCA _n CNV _i 信号		あり (i=0-2)
製品のスタンバイ・モード		非対応
ADCHALT モード		非対応
	ADCA _n STR2.ADCA _n RQ3	0 固定
	ADCA _n STR2.ADCA _n ST3	0 固定
	ADCA _n TRG3	非対応
	ADCA _n TRG7	非対応
サンプリング時間と変換時間 / サンプリング・モード		A (表 25-3 「サンプリング時間と変換時間」参照)
ADCA _n CTL1 レジスタ ADCA _n TRM _i		あり
安定時間設定 (ADCA _n CNT)		1 [μs] (ターゲット)

- a) この章で説明する A/D コンバータに関連するすべてのレジスタのアドレスは、上記ベース・アドレスをオフセットとして定義しています。
- b) V850E2/MN4 で 12 ビット分解能を使用するためには、A/D コンバータ用電源に 5.0V を供給してください。
- c) チャンネル S/H 回路使用時は、必ずアンプ電流オンで使用してください。

次の表に各信号の接続先を示します。

表 25-1 ADCA 割り込みと DMA の要求

信号名	機能	接続先
INTADCA0T0	CG0 の A/D 変換終了割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 47 (INTADCA0I0) DMA コントローラ・トリガ 28 DTS コントローラ・トリガ 28
INTADCA0T1	CG1 の A/D 変換終了割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 48 (INTADCA0I1) DMA コントローラ・トリガ 29 DTS コントローラ・トリガ 29
INTADCA0T2	CG2 の A/D 変換終了割り込み	<ul style="list-style-type: none"> 割り込みコントローラ 49 (INTADCA0I2) DMA コントローラ・トリガ 30 DTS コントローラ・トリガ 30
INTADCA0TLLT	最新変換ラッチ・タイミング信号	非対応
INTADCA0TERR	エラー割り込み	割り込みコントローラ 46 (INTADCA0ERR)

この製品はハードウェア・トリガ機能を搭載しています。次の表に CGi のハードウェア・トリガ ADCA0TRGi の接続先を示します。

表 25-2 ハードウェア・トリガの接続先 (1/2)

ADCA _n チャンネル・ グループ	起動トリガ・ ビット (ADCA _n TSELi レジスタ)	トリガ入力信号			ADCA _n トリガ信号
		名称	接続先		
			ユニット	信号	
CG0	ADCA0T0SEL00	ADCA0TTIN000	PIC	ADOPA0ADCATTIN00	ADCA0TTRG0
	ADCA0T0SEL01	ADCA0TTIN001	PIC	ADOPA0ADCATTIN01	
	ADCA0T0SEL02	ADCA0TTIN002	TAPA2	TAPATADOUT0	
	ADCA0T0SEL03	ADCA0TTIN003	TAPA3	TAPATADOUT0	
	ADCA0T0SEL04	ADCA0TTIN004	ENCA0	ENCATINT1	
	ADCA0T0SEL05	ADCA0TTIN005	ENCA1	ENCATINT1	
	ADCA0T0SEL06	ADCA0TTIN006	端子	ADTRG00	
	ADCA0T0SEL07	ADCA0TTIN007	端子	ADTRG01	
	ADCA0T0SEL08	ADCA0TTIN008	接続なし	—	
	ADCA0T0SEL09	ADCA0TTIN009	接続なし	—	
	ADCA0T0SEL10	ADCA0TTIN010	接続なし	—	
	ADCA0T0SEL11	ADCA0TTIN011	接続なし	—	
	ADCA0T0SEL12	ADCA0TTIN012	接続なし	—	
	ADCA0T0SEL13	ADCA0TTIN013	接続なし	—	
	ADCA0T0SEL14	ADCA0TTIN014	接続なし	—	
ADCA0T0SEL15	ADCA0TTIN015	接続なし	—		
CG1	ADCA0T1SEL00	ADCA0TTIN100	PIC	ADOPA1ADCATTIN00	ADCA0TTRG1
	ADCA0T1SEL01	ADCA0TTIN101	PIC	ADOPA1ADCATTIN01	
	ADCA0T1SEL02	ADCA0TTIN102	TAPA0	TAPATADOUT0	
	ADCA0T1SEL03	ADCA0TTIN103	TAPA1	TAPATADOUT0	
	ADCA0T1SEL04	ADCA0TTIN104	ENCA0	ENCATINT1	
	ADCA0T1SEL05	ADCA0TTIN105	ENCA1	ENCATINT1	
	ADCA0T1SEL06	ADCA0TTIN106	端子	ADTRG00	
	ADCA0T1SEL07	ADCA0TTIN107	端子	ADTRG10	
	ADCA0T1SEL08	ADCA0TTIN108	端子	ADTRG11	
	ADCA0T1SEL09	ADCA0TTIN109	接続なし	—	
	ADCA0T1SEL10	ADCA0TTIN110	接続なし	—	
	ADCA0T1SEL11	ADCA0TTIN111	接続なし	—	
	ADCA0T1SEL12	ADCA0TTIN112	接続なし	—	
	ADCA0T1SEL13	ADCA0TTIN113	接続なし	—	
	ADCA0T1SEL14	ADCA0TTIN114	接続なし	—	
ADCA0T1SEL15	ADCA0TTIN115	接続なし	—		

表 25-2 ハードウェア・トリガの接続先 (2/2)

ADCA _n チャンネル・ グループ	起動トリガ・ ビット (ADCA _n TSELi レジスタ)	トリガ入力信号			ADCA _n トリガ信号
		名称	接続先		
			ユニット	信号	
CG2	ADCA0T2SEL00	ADCA0TTIN200	PIC	ADOPA2ADCATTIN00	ADCA0TTRG2
	ADCA0T2SEL01	ADCA0TTIN201	PIC	ADOPA2ADCATTIN01	
	ADCA0T2SEL02	ADCA0TTIN202	TAPA0	TAPATADOUT1	
	ADCA0T2SEL03	ADCA0TTIN203	TAPA1	TAPATADOUT1	
	ADCA0T2SEL04	ADCA0TTIN204	ENCA0	ENCATINT1	
	ADCA0T2SEL05	ADCA0TTIN205	ENCA1	ENCATINT1	
	ADCA0T2SEL06	ADCA0TTIN206	端子	ADTRG00	
	ADCA0T2SEL07	ADCA0TTIN207	端子	ADTRG20	
	ADCA0T2SEL08	ADCA0TTIN208	端子	ADTRG21	
	ADCA0T2SEL09	ADCA0TTIN209	接続なし	—	
	ADCA0T2SEL10	ADCA0TTIN210	接続なし	—	
	ADCA0T2SEL11	ADCA0TTIN211	接続なし	—	
	ADCA0T2SEL12	ADCA0TTIN212	接続なし	—	
	ADCA0T2SEL13	ADCA0TTIN213	接続なし	—	
	ADCA0T2SEL14	ADCA0TTIN214	接続なし	—	
	ADCA0T2SEL15	ADCA0TTIN215	接続なし	—	

25.1.1 スタンバイ・モードへの遷移条件

この製品はスタンバイ・モードには対応していません。

25.1.2 パワー・セーブ・モード時の動作

- HALT モード

A/D 変換動作を継続します。

25.2 機能概要

A/Dコンバータ A (ADCA_n) は、アナログ入力信号をデジタル値に変換します。

機能概要 ADCA_nには次の機能があります。

- 10ビット分解能と12ビット分解能をサポート
- 逐次比較変換方式
- 最大24本（製品依存）のアナログ入力信号
- 優先順位の異なる最大3つのチャンネル・グループ
- ワンショット変換モード、連続変換モード（チャンネル・グループ0のみ）
- 自動繰り返し機能（ワンショット変換モードを1-4回繰り返し）
- ソフトウェア・トリガ・モードとハードウェア・トリガ・モード
- ハードウェア・トリガ・ソースに複数の入力信号から選択可能
- A/D変換終了時のA/D変換終了割り込み発生チャンネルを設定可能
- 3種類の変換結果確認機能
- 新しいサンプリング値で変換する前にコンデンサを放電するディスチャージ機能
- バッファ・アンプのオン／オフ機能
- 自己診断機能

ADCA_nの主な構成要素を次の図に示します。

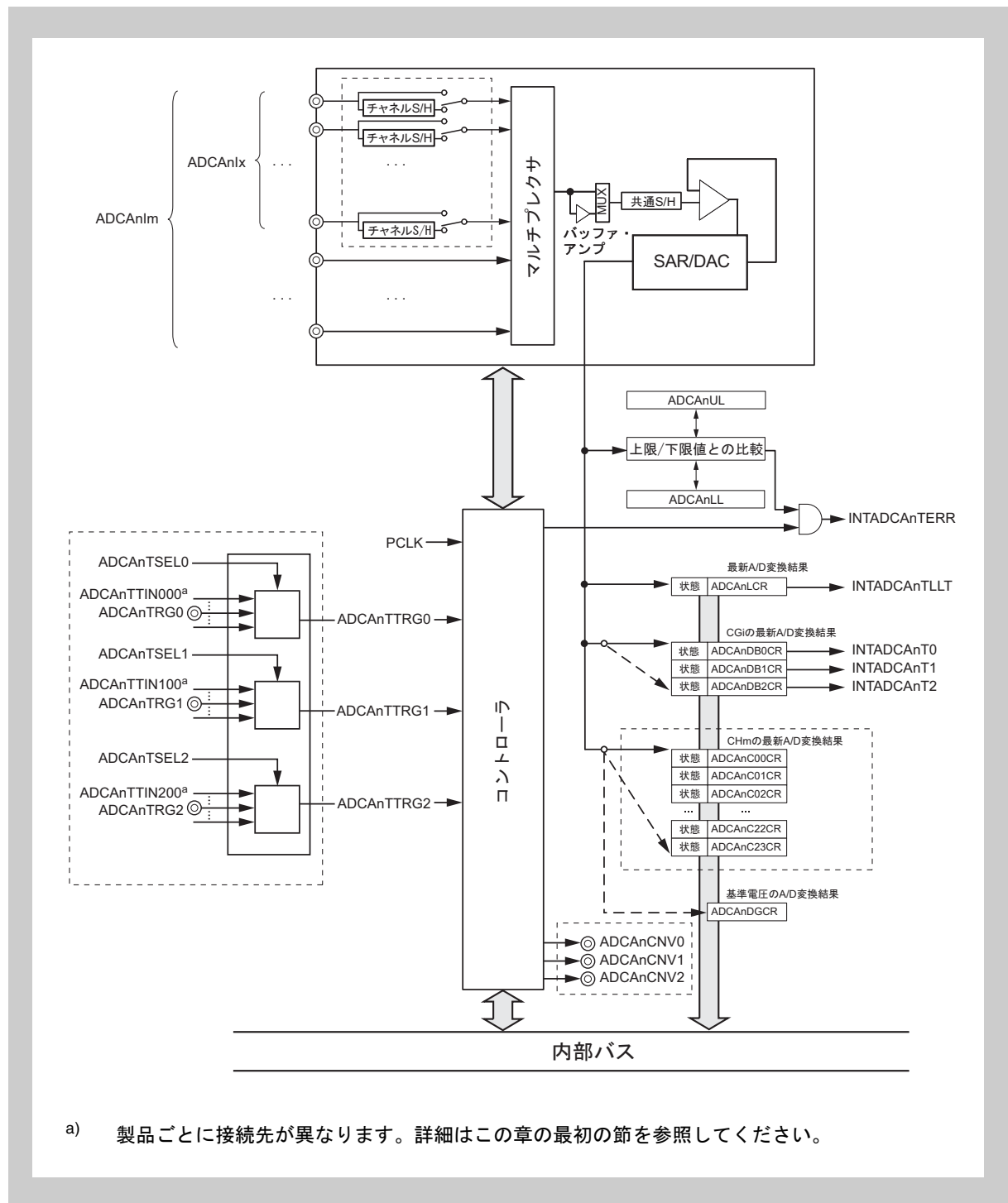


図 25-1 ADCAnのブロック図

備考 点線で囲まれた部分は製品依存の機能です。

25.3 機能説明

A/Dコンバータ A (ADCA_n) は、最大 24 本のアナログ入力信号をデジタル値に変換し、10 ビット分解能と 12 ビット分解能をサポートします (製品依存)。

備考 10 ビット /12 ビットの分解能の設定は、すべてのチャンネルで共通の設定です。チャンネルごとに分解能を変えることはできません。

チャンネルとチャンネル・グループ

各入力チャンネルは、3 種類のチャンネル・グループ (CG) にそれぞれ割り当てられます。各 CG に割り当てた入力チャンネルのリストをスキャン・リストと呼びます (CG0 の診断 A/D 変換を含む)。スキャン・リストは 1 つのレジスタで容易に設定できます。また、動作中スキャン・リストを再設定できます。なお、スキャン・リストすべての A/D 変換をスキャン・リスト変換と呼びます。

ADCA_n は、優先順位の異なる最大 3 つのチャンネル・グループと 2 つの変換モードをサポートしています。

- ワンショット変換モード：スキャン・リスト変換を一度だけ実行します。ワンショット変換モードでは、スキャン・リスト変換を、指定した回数 (1-4 回) 繰り返し実行できます。
- 連続変換モード：スキャン・リスト変換を繰り返し実行します。

A/D 変換

ソフトウェアまたはハードウェアを起動トリガとし変換を開始できます。

マルチプレクサで変換するチャンネルを選択し、共通 S/H 回路で入力電圧を保持します。

逐次変換レジスタ (SAR) は、アナログ入力の電圧値と比較する D/A コンバータの出力電圧の値を、10 ビットまたは 12 ビットのデジタル値として保持します。

変換が終了するごとに、INTADCA_nTLLT 割り込みを発生します。

A/D 変換結果レジスタ

A/D 変換が終了すると、SAR レジスタの内容が 3 つのレジスタに格納され、最新 A/D 変換結果、CG_i の最新 A/D 変換結果、チャンネル m の最新 A/D 変換結果をそれぞれ読み出すことができます。

ADCA_n は、特定チャンネルの A/D 変換終了後、またはチャンネル・グループに属するすべてのチャンネルの A/D 変換終了後に、設定に応じて変換終了割り込みを発生します。

変換結果確認機能 (製品依存)

ADCA_n では、次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

ディスチャージ機能 (製品依存)

必要に応じて、各変換前に共通 S/H 回路の内部コンデンサを放電できます。

- バッファ・アンプのオン/オフ機能** 外部アナログ信号源の負荷を軽減するために、信号を内部バッファ・アンプに接続できます。
バッファ・アンプにより、A/Dのサンプリング期間中に、内部サンプリング・コンデンサへのチャージを加速させます。
- 自己診断機能** ADCAnが正しく機能していることを確認したり、接続されていないアナログ入力端子を検出したりするために、4つ（製品依存）の自己診断機能を用意しています。
- ・ A/D 変換回路の診断
 - ・ チャネル・マルチプレクサの診断
 - ・ オープン端子の診断
 - ・ チャネル S/H の診断（製品依存）
- 設定可能な安定時間** 安定カウンタに任意の値を設定することで、パワー・オン後に最適な安定時間を確保できます。

25.3.1 基本動作

A/D変換の基本的な手順について説明します。詳細は後続の各節を参照してください。

1. パワーオン後とスタンバイ・モード解除後の起動時間を最適化する場合は、安定カウンタ ADCAnCNT レジスタを設定して安定時間を調整します。
2. A/Dコンバータを有効（ADCAnCTL0.ADCAnCE = 1 に設定）にする前に、次の各レジスタで、パワーオン、分解能、ADCAnクロック、トリガ・モード、変換モード、割り込み発生、チャネル・グループなどを設定してください。
 - ADCAnCTL1 レジスタ
 - ADCAnCGi レジスタ
 - ADCAnIOCi レジスタ
 - ADCAnTSELi レジスタ（製品依存）
3. A/D変換結果が特定の範囲内にあることを確認する場合は、該当するチャネルの変換結果上下限比較機能を有効にし（ADCAnCTL2.ADCAnRCKm）、ADCAnLL レジスタと ADCAnUL レジスタで下限値と上限値を指定します。
4. 変換前に共通 S/H 回路のコンデンサを放電する場合は、ADCAnCTL1.ADCAnDISC に 1 を設定してディスチャージ機能を有効にします。
5. バッファ・アンプ機能を有効または無効にするには、ADCAnCTL1.ADCAnBPC を設定します。

6. A/Dコンバータを有効にするには、ADCA_nCTL0.ADCA_nCE を 1 に設定します。
A/Dコンバータは、パワーオン後またはスタンバイ・モード解除後に安定時間が経過すると、A/D変換が可能な状態になります。
7. 設定したトリガ・モードに応じて、チャンネル・グループに関連する次のいずれかの起動トリガによってA/D変換が開始します。
 - ソフトウェア・トリガ (ADCA_nTRGi.ADCA_nSTTi に 1 を設定)
 - ハードウェア・トリガ (入力信号 ADCA_nTTRGi)複数のCGに対してA/D変換が起動した場合、変換の順序はCGの優先順位によって決まります。
8. ADCA_nIOCi レジスタで設定したチャンネルの変換が終了した時点でA/D変換終了割り込み INTADCA_nTiが発生します。
9. A/D変換結果レジスタ ADCA_nLCR, ADCA_nDBiCR, ADCA_nCmCR から結果を読み出します。
10. 次のレジスタをモニタします。
 - ADCA_nSTR1 : 用途に応じてA/D変換結果を読み出す前に上書きされていないかどうかを確認します。
 - ADCA_nSTR0 : A/D変換結果を設定した範囲内にあるかどうかを確認します (変換結果上下限比較機能が有効の場合のみ)。
11. A/Dコンバータを再設定する場合、ADCA_nCTL0.ADCA_nCE を 0 に設定してA/Dコンバータを無効にします。

備考 自己診断機能については、1725ページの25.3.13「自己診断機能 (製品依存)」で説明します。

25.3.2 クロックの使用

ADCA_nクロック ADCA_nTCLK はPCLKから生成します。分周比はADCA_nCTL1.ADCA_nFR[3:0]で指定します。

25.3.3 チャンネルとチャンネル・グループ

各入力チャンネルはチャンネル・グループ (CG) として構成されます。レジスタの設定により各CGのスキャン・リストを作成でき、また動作中の再設定も可能です。CGの変換設定はグループ内のすべてのチャンネルに適用されます。

ADCA_nは、最大3つのチャンネル・グループCG_i (i = 0-2) をサポートします。CG_iのチャンネルはADCA_nCG_iレジスタで指定します。

備考 ADCA_nはCGに対するA/D変換要求のみを処理します。CGに入力チャンネルを1つだけ割り当てることで単一チャンネルの変換ができます。

(1) A/D 変換の順序

CGの起動トリガが発生すると、スキャン・リストに設定したチャンネルを昇順に (CH00 から CH23 (製品依存) まで) 変換します。

複数のCGに対するA/D変換要求が保留された場合、CGは次の順序で変換されます。

CG2 (最高優先順位) > CG1 > CG0 (最低優先順位)

より優先順位の高いCGの起動トリガ、またはADCHALTモードのトリガを設定した場合、現在のA/D変換は中断されます。A/D変換の中断に関しては、ADCA_nCTL1.ADCA_nTRMiの設定に応じて、次の2つの方法が選択できます。

- CGのA/D変換をすぐに中断
(ADCA_nCTL1.ADCA_nTRMiに0を設定)
より優先順位の高いCGのA/D変換がすべて終了したあと、中断されたチャンネルからA/D変換を再開します。
- 現在のチャンネルのA/D変換を終了したあとで、より優先順位の高いCGの変換を開始 (ADCA_nCTL1.ADCA_nTRMiに1を設定)
より優先順位の高いCGのA/D変換がすべて終了したあと、次のチャンネルからA/D変換を再開します。

変換状態はADCA_nSTR2.ADCA_nST[2:0]で示されます。

例 A/D変換中断の例を次の図に示します。この例では、CH3、CH9、CH20がCG0に、CH5とCH9がCG2に割り当てられています。

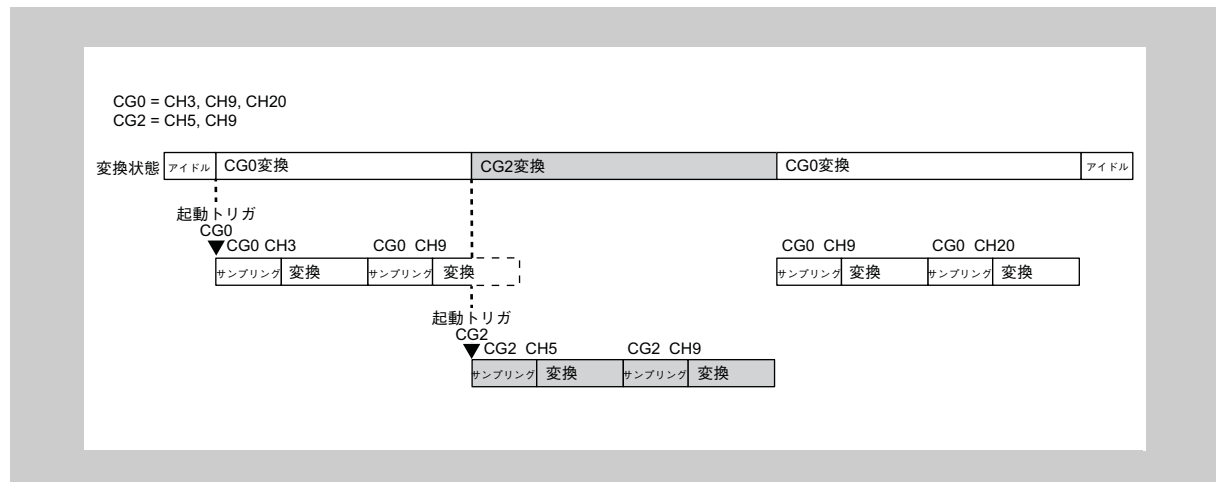


図 25-2 CG0のA/D変換をすぐに中断する場合 (ADCA_nCTL1.ADCA_nTRM0に0を設定)

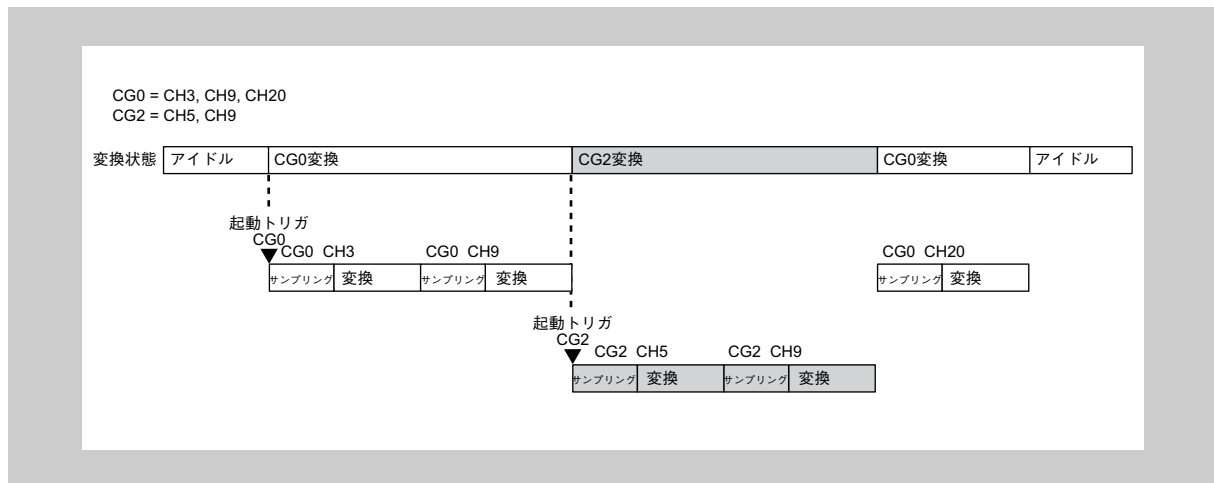


図 25-3 現在のチャンネルの A/D 変換が終了するまで待機する場合 (ADCA_nCTL1.ADCA_nTRM0 に 1 を設定)

25.3.4 A/D 変換モード

A/D コンバータには次の 2 つの変換モードがあります。

モード	動作	チャンネル・グループ
ワンショット変換モード	スキャン・リスト変換を一度だけ実行します。ワンショット変換モードでは、スキャン・リスト変換を、指定した回数 (1-4 回) 繰り返し実行できます。	CG0, CG1, CG2
連続変換モード	スキャン・リスト変換を繰り返し実行します。	CG0

- 備考**
- より優先順位の高い CG の A/D 変換要求によって、実行中の A/D 変換が中断された場合、優先順位の高い CG の要求がすべて終了したあと、自動的に元の変換を継続します (1708 ページの (1) 「A/D 変換の順序」を参照)。
 - CG1 と CG2 は、変換モードの設定にかかわらずワンショット変換モードで動作します。CG0 の A/D 変換モードは、ADCA_nCTL1.ADCA_nMD0 で設定できます。

(1) ワンショット変換モード

ワンショット変換モードでは、起動トリガによって CGi のスキャン・リスト変換を行います。スキャン・リスト変換の繰り返し回数は、CG ごとに ADCAnCTL0.ADCAnSCTi[1:0] で 1-4 回指定できます。

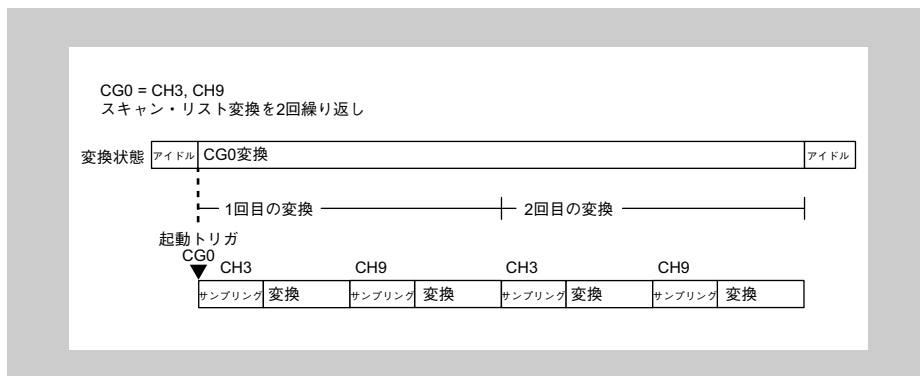


図 25-4 ワンショット変換モードでスキャン・リスト変換を2回繰り返し

変換終了前起動トリガ入力時の動作

A/Dコンバータは同一CGの変換終了前起動トリガを1つまで保持できます。したがって、最初の起動トリガによるCGiのA/D変換が終了するまでに、後続の起動トリガが1つ以上(2つ目以降は無視)入力された場合、連続してA/D変換を実行します。

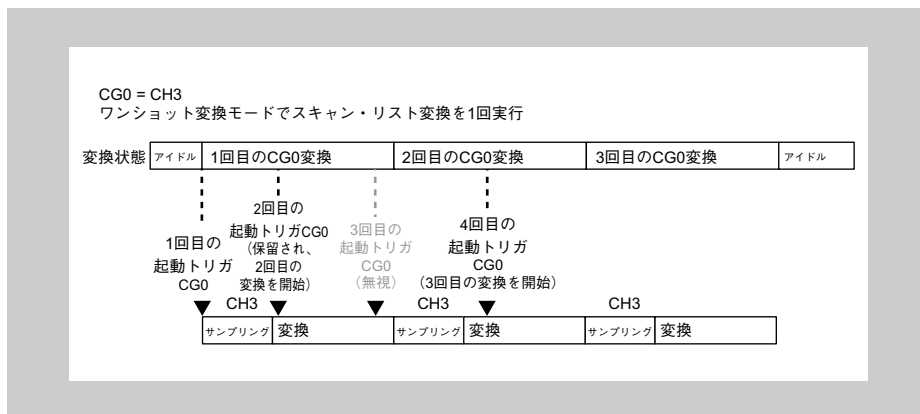


図 25-5 変換終了前起動トリガ入力時の動作

注意 高優先度 CG の変換期間中は、それよりも低優先度の CG の変換終了前起動トリガが無視されます。逆に高優先度 CG の変換開始前に入力した低優先度 CG の変換終了前起動トリガは保持されます。なお、起動トリガが発生していない時は高優先度 CG の変換期間中でも受け付けます。

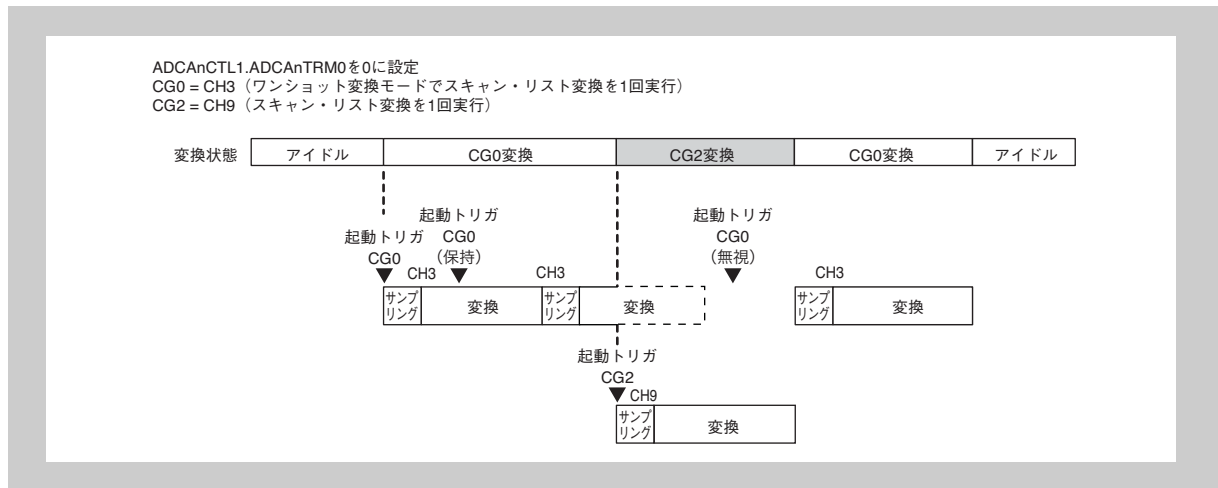


図 25-6 変換終了前起動トリガ入力時の動作 (高優先度 CG の起動トリガ発生時)

(2) 連続変換モード

連続変換モードは CG0 のみで使用可能です (ADCACTL1.ADCANMD0 に 1 を設定)。

連続変換モードで起動トリガが発生すると、チャンネル CG0 のサンプリングと変換を開始し、停止トリガが発生するか別の停止条件が発生するまで繰り返し実行します (1714 ページの 25.3.6 「A/D 変換の停止 (停止トリガ)」を参照)。

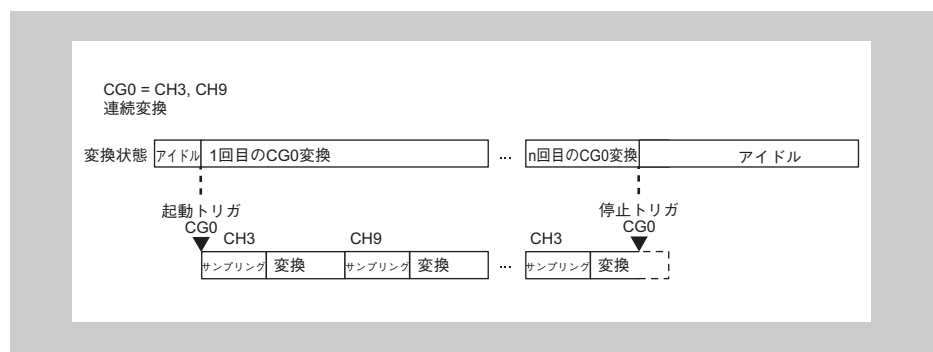


図 25-7 連続変換モード

注意 停止トリガ後はアイドルとなり、サンプリング／変換は行いません。

備考 連続変換モード中、CG0 への起動トリガは無視されます。

25.3.5 A/D 変換の開始 (起動トリガ)

A/D 変換は、ADCA_nCTL1.ADCA_nMD1 で指定したソフトウェア・トリガまたはハードウェア・トリガによって開始できます。

複数の CG に対して A/D 変換が起動された場合、変換の順序は CG の優先順位によって決まります (1708 ページの (1) 「A/D 変換の順序」を参照)。

備考 1. CG_i のスキャン・リストにチャンネルが割り当てられていない場合 (ADCA_nCG_i レジスタ = 0000 0000_H)、ADCA_n はその CG_i に対する起動トリガを無視します。

2. ワンショット変換モードでは、A/D コンバータは起動トリガを 1 つまで保持できます。

起動した CG_i の A/D 変換が終了するまでに、後続の起動トリガが 1 つ以上 (2 つ目以降は無視) 入力された場合、連続して A/D 変換を実行します (1710 ページの図 25-5 「変換終了前起動トリガ入力時の動作」を参照)。

3. 連続変換モードでは、停止トリガが発生する前に発生した後続の起動トリガは無視されます。

(1) ソフトウェア起動トリガ

A/D 変換が有効な場合 (ADCA_nCTL0.ADCA_nCE に 1 を設定)、ADCA_nTRG_i.ADCA_nSTT_i を 1 に設定すると CG_i の A/D 変換が起動されます。

ソフトウェア起動 トリガのタイミング 例

次の条件下でのソフトウェア起動トリガのタイミングを次の図に示します。

- ADCA_nTCLK クロック = PCLK/2 (ADCA_nCTL1.ADCA_nFR[3:0] = 0000_B)

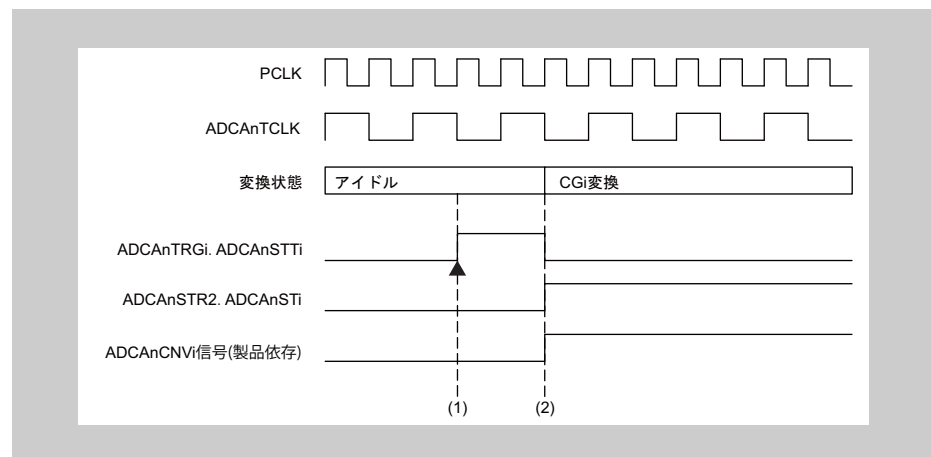


図 25-8 ソフトウェア起動トリガのタイミング例

(1) CG_i に対するソフトウェア起動トリガの書き込み

(2) ADCA_nTCLK クロックの次の立ち上がりエッジで A/D 変換を開始

状態信号 ADCA_nCNV_i がアクティブになり (製品依存)、ADCA_nSTR2.ADCA_nST_i がセットされ、CG_i の A/D 変換を処理していることを示します。

(2) ハードウェア起動トリガ

A/Dコンバータが有効であり (ADCA_nCTL0.ADCA_nCE に 1 を設定)、かつハードウェア・トリガ・モードを設定している場合 (ADCA_nCTL1.ADCA_nMD1 に 1 を設定)、ADCA_nTTRGi 信号の有効エッジ検出によって CGi の A/D 変換が起動されます。

有効エッジは、CG ごとに ADCA_nCTL1.ADCA_nTiETS[1:0] で指定します。

ハードウェア・トリガ拡張 (製品依存)

ハードウェア・トリガ拡張がサポートされている場合、最大 16 のハードウェア・トリガ・ソースを ADCA_nTTRGi 信号入力ごとに指定できます。ADCA_nTSELi レジスタは ADCA_nTTRGi 信号として使用する入力信号を指定します。

備考 ハードウェア起動トリガ機能の接続先は、表 25-2 「ハードウェア・トリガの接続先」を参照してください。

ハードウェア起動トリガのタイミング

A/Dコンバータは ADCA_nTTRGi 信号の有効エッジ検出によって A/D 変換を開始します。

次の条件下でのハードウェア起動トリガのタイミングを次の図に示します。

- ADCA_nTCLK クロック = PCLK/2 (ADCA_nCTL1.ADCA_nFR[3:0] = 0000_B)
- ADCA_nTTRGi 信号の有効エッジを立ち上がりに指定 (ADCA_nCTL1.ADCA_nTiETS[1:0] = 01_B)

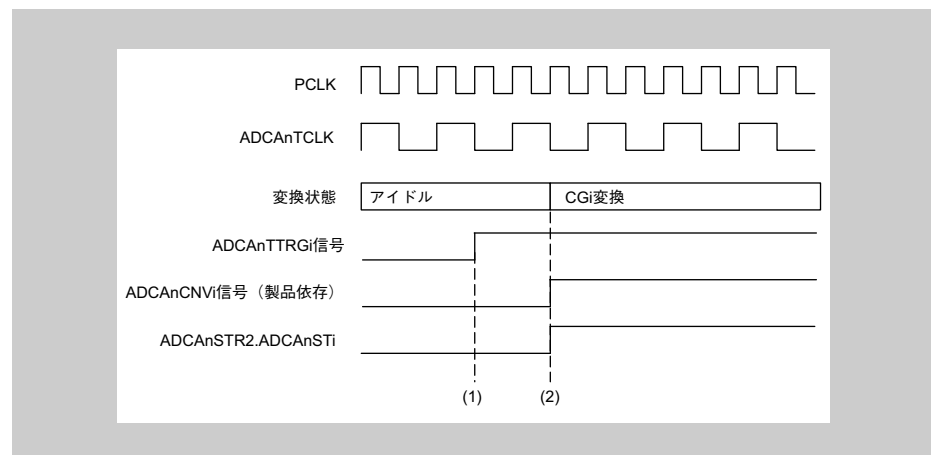


図 25-9 ハードウェア起動トリガのタイミング

(1) 入力信号 ADCA_nTTRGi の立ち上がり

(2) ADCA_nTCLK クロックの次の立ち下がりエッジで A/D 変換を開始

状態信号 ADCA_nCNVi がアクティブになり (製品依存)

ADCA_nSTR2.ADCA_nSTi がセットされ、CGi の A/D 変換を処理していることを示します。

25.3.6 A/D変換の停止 (停止トリガ)

(1) 停止トリガ

CGiの停止トリガ・ビットを1にセットすると (ADCA_nTRG4+i.ADCA_nSPiに1を設定), CGiのA/D変換が停止します。停止トリガがA/D変換完了より早いタイミングで発生した場合, A/D変換終了割り込みINTADCA_nTiは発生せず, A/D変換結果レジスタは更新されません。停止トリガによるA/D変換停止後, 再度起動トリガが入力された場合はスキャン・リスト変換を最初から行います。

ハードウェア起動トリガを使用している場合は, 以下の手順に従ってください。

1. ハードウェア起動トリガの発生を停止させる。
2. 停止トリガ・ビット (ADCA_nTRG4+i.ADCA_nSPi) を1に設定する。
3. ADCA_nSTR2.ADCA_nSTiの状態を確認する。

上記の手順を実行しない場合, ハードウェア起動トリガと, 停止トリガが競合し, 停止しない可能性があります。

停止トリガの タイミング

1. CGiに対する停止トリガを書き込み
2. ADCA_nTCLKクロックの次の立ち下がりエッジでCGiのA/D変換を停止
ADCA_nSTR2.ADCA_nSTiがクリアされ, CGiのA/D変換を停止していることを示します。
ADCA_nImのデジタル値がすでに使用可能な場合, 次のように動作します。
 - すべてのA/D変換結果レジスタを更新
 - ADCA_nIOCiレジスタの設定に従って変換終了割り込みINTADCA_nTiを発生 (1719ページの25.3.10「割り込み発生」を参照)
 - ADCA_nCTL2レジスタの設定に応じて, A/D変換結果が設定範囲内にあるかどうかを確認 (1723ページの25.3.12「変換結果確認機能」を参照)
 ほかのCGに対するA/D変換要求が保留されている場合, これを処理します。

次の条件下での停止トリガのタイミングを次の図に示します。

- ADCA_nTCLKクロック = PCLK/2 (ADCA_nCTL1.ADCA_nFR[3:0] = 0000_B)
- CGiのA/D変換終了時にA/D変換終了割り込みINTADCA_nTiが発生 (ADCA_nIOCiレジスタ = 0000 0000_H)

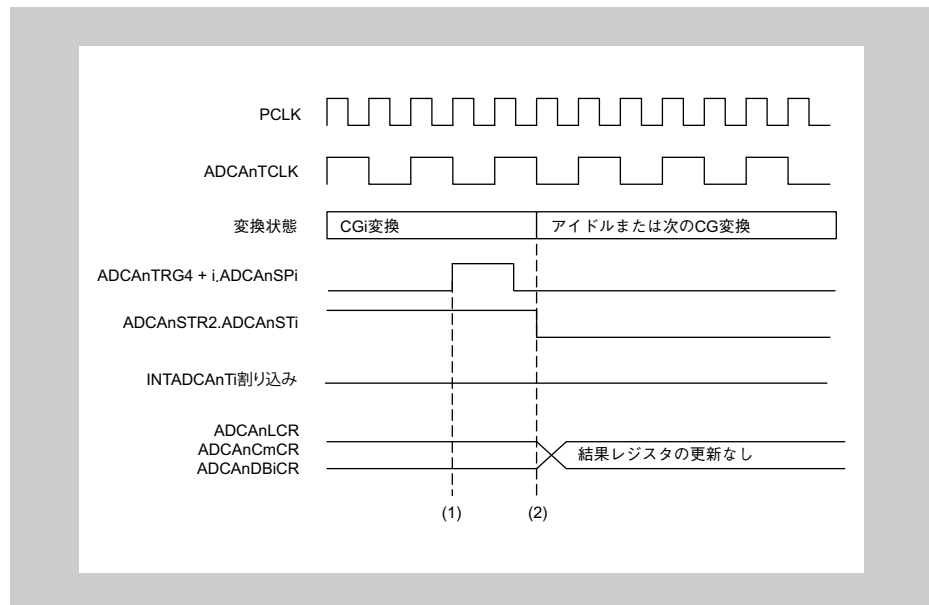


図 25-10 停止トリガのタイミング (A/D 変換完了より早い場合)

- (1) 停止トリガ・ビット (ADCA_nTRG4+i.ADCA_nSPi) を 1 にセット。
- (2) 状態ビット (ADCA_nSTR2.ADCA_nSTi) がクリア。

A/D 変換終了割り込み INTADCA_nTi は発生せず、A/D 変換結果レジスタは更新されません。

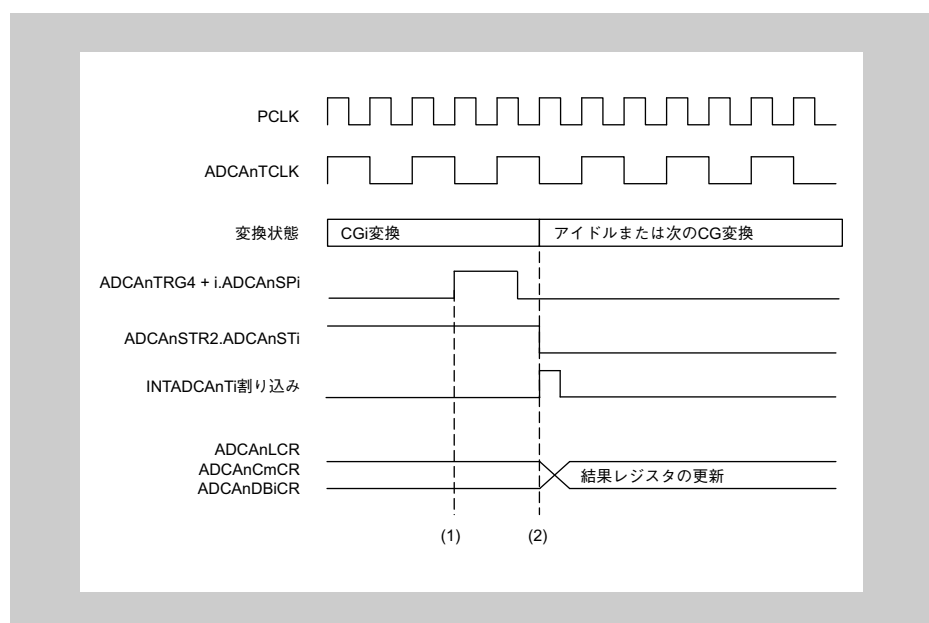


図 25-11 停止トリガのタイミング (A/D 変換完了より遅い場合)

- (1) 停止トリガ・ビット (ADCA_nTRG4+i.ADCA_nSPi) を 1 にセット。
- (2) 状態ビット (ADCA_nSTR2.ADCA_nSTi) がクリア。

A/D 変換終了割り込み INTADCA_nTi が発生し、A/D 変換結果レジスタも更新されます。

(2) その他の停止条件

ソフトウェア停止トリガとは別に、次の条件で A/D 変換が停止します。

- A/D コンバータ無効時 (ADCA_nCTL0.ADCAnCE に 0 を設定)

25.3.7 スタンバイ・モード (製品依存)

本章の冒頭に記載されている 25.1.1 「スタンバイ・モードへの遷移条件」に従ってスタンバイ・モードに入ります。

スタンバイ・モード時、A/D コンバータは自動的に無効になります (ADCA_nCTL0.ADCAnCE に 0 を設定)。

スタンバイ・モードを解除するには次の手順を行います。

1. 関連システムのスタンバイ・モードを解除
2. ADCA_nCTL0.ADCAnCE を 1 に設定して A/D コンバータを有効にする

備考 スタンバイ・モード解除後、起動トリガは受け付けますが、安定時間が経過する (安定カウンタ ADCAnCNT = 00_H) まで変換は開始されません。詳細は 1741 ページの 25.3.17 「安定制御」を参照してください。

25.3.8 A/D 変換の休止と再開 (ADCHALT モード) (製品依存)

A/D コンバータは、すべての CG に対する A/D 変換を休止/一時停止にできません (ADCHALT モード)。

手順：

1. ADCA_nTRG3.ADCAnSTT3 を 1 に設定して ADCHALT モードへ遷移させます (中断動作の詳細は 1708 ページの (1) 「A/D 変換の順序」を参照)。
 - ADCHALT モード中、起動トリガは無視されます。
 - サンプリング・クロック ADCAnTCLK をロウ・レベルにすることで、内部回路を停止し、消費電力を低減できます。
 - ADCHALT モード中はアナログ入力端子 ADCAnIm の兼用端子機能が使用可能です。
2. ADCA_nTRG7.ADCAnSP3 を 1 に設定して ADCHALT モードを解除し A/D 変換を再開します。

備考 ADCHALT モードは最高位の優先順位を持ち、すべての CG_i 変換より優先します。

25.3.9 分解能, サンプルング時間と変換時間

総変換時間はサンプルング時間と A/D 変換時間の合計です。

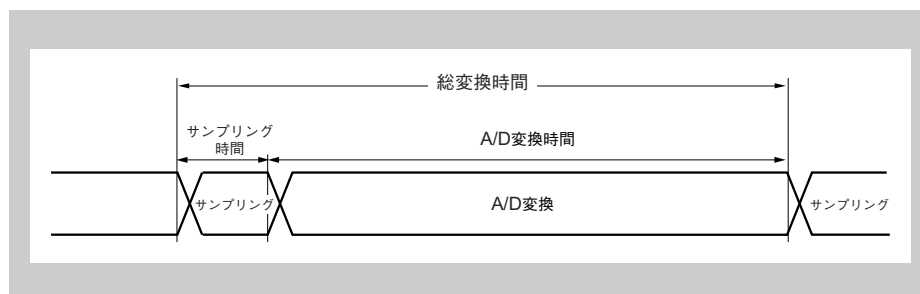


図 25-12 総変換時間

- サンプルング時間はアナログ入力電圧が共通 S/H 回路に接続されている時間です。A/D 変換時間はアナログ入力電圧から 1 つのデジタル値を取得するために必要な時間です。
A/D 変換時間と総変換時間は、変換分解能によって次のように変わります。

表 25-3 サンプルング時間と変換時間

サンプリング・モード (製品依存)	変換分解能	サンプリング時間	総変換時間
A	10 ビット (ADCACTL1.ADCANCTYP に 1 を設定)	6.5 クロック (ADCANCLK)	18 クロック (ADCANCLK)
	12 ビット (ADCACTL1.ADCANCTYP に 0 を設定)	6.5 クロック (ADCANCLK)	20 クロック (ADCANCLK)

- 備考**
1. ディスチャージ機能を有効 (ADCACTL1.ADCANDISC に 1 を設定) にすると、総変換時間が 1 クロック (ADCANCLK) 分長くなります。詳細は 1740 ページの 25.3.15 「ディスチャージ機能 (製品依存)」を参照してください。
 2. バッファ・アンプ機能を有効 (ADCACTL1.ADCANBPC に 1 を設定) にすると、総変換時間が 4 クロック (ADCANCLK) 分長くなります。詳細は 1741 ページの 25.3.16 「バッファ・アンプ機能」を参照してください。

表 25-4 分解能 12 ビット時の PCLK 設定と設定可能な分周と変換時間 (AV_{DD}=4.5V)

12 ビット設定時		PCLK<MHz> (製品依存)									
ADCA _n FR[3:0] ビット	分周	48.000 MHz					66.667 MHz				
		ADCLK [MHz]	アンプ電源 OFF		アンプ電源 ON		ADCLK [MHz]	アンプ電源 OFF		アンプ電源 ON	
			デイス チャージ OFF	デイス チャージ ON	デイス チャージ OFF	デイス チャージ ON		デイス チャージ OFF	デイス チャージ ON	デイス チャージ OFF	デイス チャージ ON
0000B	1/2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0001B	1/3	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0010B	1/4	12.000	1.667	設定禁止	2.000	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0011B	1/5	9.600	2.083	設定禁止	2.500	設定禁止	13.33	1.500	設定禁止	1.800	設定禁止
0100B	1/6	8.000	2.500	設定禁止	3.000	設定禁止	11.111	1.800	設定禁止	2.160	設定禁止
0110B	1/8	6.000	3.333	設定禁止	4.000	設定禁止	8.333	2.400	設定禁止	2.880	設定禁止
1000B	1/10	4.800	4.167	設定禁止	5.000	設定禁止	6.667	3.000	設定禁止	3.600	設定禁止
1010B	1/12	4.000	5.000	設定禁止	6.000	設定禁止	5.556	3.600	設定禁止	4.320	設定禁止
1100B	1/14	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	4.762	4.200	設定禁止	5.040	設定禁止
1110B	1/16	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	4.167	4.800	設定禁止	5.760	設定禁止

表 25-5 分解能 10 ビット時の PCLK 設定と設定可能な分周と変換時間
(AV_{DD}=3.3 V±0.3 V または 5.0 V±0.5 V)

10 ビット設定時		PCLK<MHz> (製品依存)									
ADCA _n FR[3:0] ビット	分周	48.000 MHz					66.667 MHz				
		ADCLK [MHz]	アンプ電源 OFF		アンプ電源 ON		ADCLK [MHz]	アンプ電源 OFF		アンプ電源 ON	
			デイス チャージ OFF	デイス チャージ ON	デイス チャージ OFF	デイス チャージ ON		デイス チャージ OFF	デイス チャージ ON	デイス チャージ OFF	デイス チャージ ON
0000B	1/2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0001B	1/3	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0010B	1/4	12.000	1.500	設定禁止	1.833	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0011B	1/5	9.600	1.875	設定禁止	2.292	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0100B	1/6	8.000	2.250	設定禁止	2.750	設定禁止	11.111	1.620	設定禁止	1.980	設定禁止
0110B	1/8	6.000	3.000	設定禁止	3.667	設定禁止	8.333	2.160	設定禁止	2.640	設定禁止
1000B	1/10	4.800	3.750	設定禁止	4.583	設定禁止	6.667	2.700	設定禁止	3.300	設定禁止
1010B	1/12	4.000	4.500	設定禁止	5.550	設定禁止	5.556	3.240	設定禁止	3.960	設定禁止
1100B	1/14	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	4.762	3.780	設定禁止	4.620	設定禁止
1110B	1/16	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	4.167	4.320	設定禁止	5.280	設定禁止

備考 上記変換時間には、A/D コントローラが処理するオーバーヘッド時間が含まれていません。オーバーヘッド時間として、下記時間が必要となります。

変換開始要求受付 1 クロック (ADCA_nTCLK)

変換開始前初期化 1 クロック (ADCA_nTCLK)

変換結果格納処理 1 クロック (ADCA_nTCLK)

連続で変換が続く場合は、2 回目以降の変換開始要求受付処理は不要です。

25.3.10 割り込み発生

(1) A/D変換終了割り込み INTADCA_nTi

INTADCA_nTi 割り込みは、新しい A/D 変換結果が変換結果レジスタに格納されたことを通知します。

ADCA_nIO_{Ci} レジスタで指定した CG_i の任意のチャンネルの A/D 変換が終了したとき、A/D 変換終了割り込みを発生します。

特定チャンネルなどの指定がない場合 (ADCA_nIO_{Ci} レジスタ = 0000 0000_H)、割り込み INTADCA_nTi は CG_i の A/D 変換終了時に発生します。

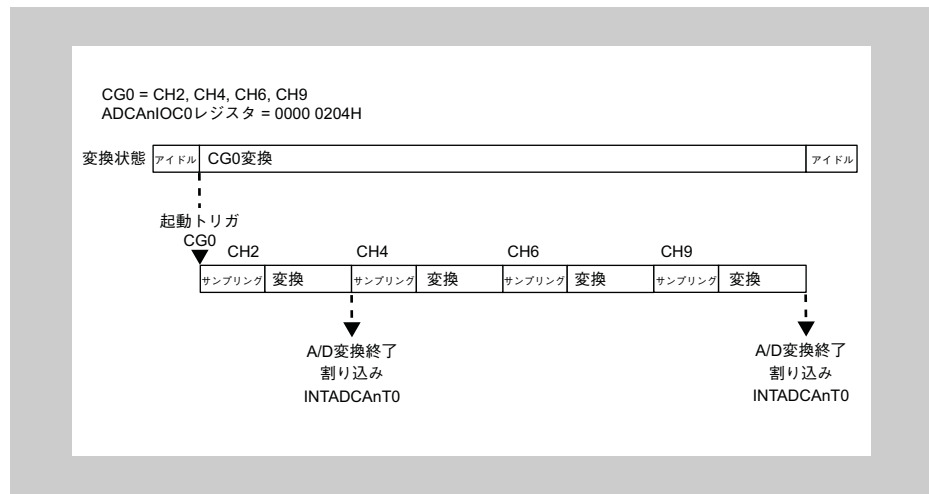


図 25-13 A/D 変換終了割り込み INTADCA_nTi の発生

- 備考**
1. A/D コンバータが有効 (ADCA_nCTL0.ADCA_nCE に 1 を設定) の場合でも、ADCA_nIO_{Ci} レジスタへの書き込みは任意のタイミングで行うことができます。新しく設定した値は、CG_i の現在の A/D 変換が終了したあとに有効になります。
 2. ADCA_nIO_{Ci} レジスタは ADCA_nCG_i レジスタに連動しているため、それぞれのバッファ・レジスタを更新する場合はまとめて行う必要があります。更新は ADCA_nCG_i レジスタが書き込まれた時点で行われるため、CG の割り込み発生を変更する場合は、必ず ADCA_nCG_i レジスタの前に ADCA_nIO_{Ci} レジスタの書き込みを行ってください。

(2) エラー割り込み INTADCA_nTERR

エラー割り込み INTADCA_nTERR は次の場合に発生します。

- 変換結果上下限比較機能が有効な状態で、指定チャンネルの A/D 変換結果が設定範囲を外れた場合
詳細は 1724 ページの (3) 「変換結果上下限比較機能」を参照してください。
- ADCA_nLCR レジスタ、ADCA_nDBiCR レジスタ、または ADCA_nCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合
レジスタへの上書きによるエラー割り込み INTADCA_nTERR の発生は、ADCA_nCTL0.ADCA_nOEM[4:0] を設定することによってレジスタごとに個別に制御できます。
詳細は 1723 ページの (1) 「変換結果上書きチェック機能」を参照してください。

25.3.11 A/D 変換結果の格納

(1) A/D 変換結果レジスタ

A/D 変換結果は、次のレジスタに格納されます。

- ADCAnLCR レジスタ
最新 A/D 変換結果を格納します。
- ADCAnDBiCR レジスタ
CGi の最新 A/D 変換結果を格納します。
- ADCAnCmCR レジスタ
チャンネル m の最新 A/D 変換結果を格納します。

これらレジスタのビット 15-00 に、サンプリングされたアナログ入力電圧のデジタル値が格納されます。また、各レジスタは、A/D 変換結果の状態フラグも格納します (1723 ページの 25.3.12 「変換結果確認機能」を参照)。

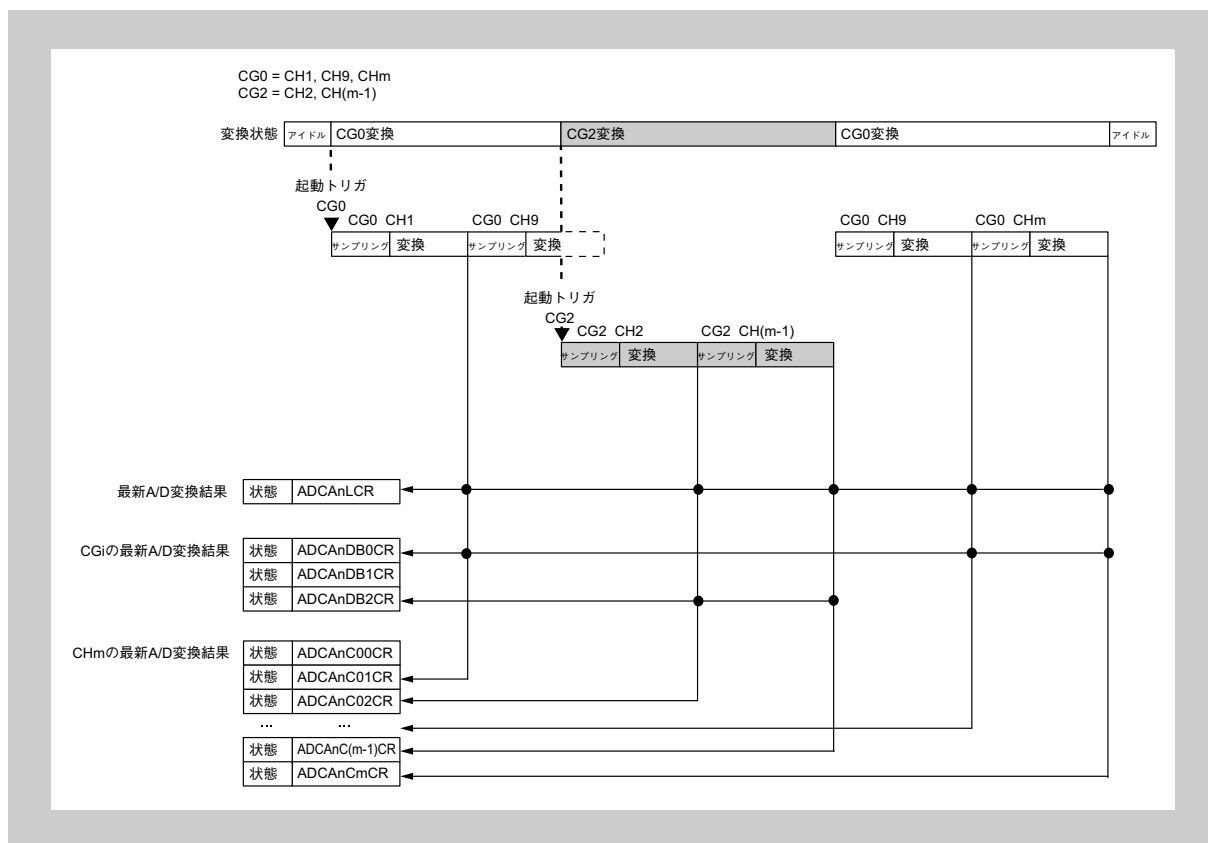


図 25-14 A/D 変換結果の格納

(2) 変換結果の格納に関する設定**(a) 変換結果 ビット位置指定機能**

ADCA_nCTL1.ADCA_nCRACによって、A/D変換結果（12ビットまたは10ビット）の揃え位置を右揃え（ADCA_nCRACビット=0）か左揃え（ADCA_nCRACビット=1）に指定できます。

(b) 変換結果リード&クリア機能

ADCA_nCTL1.ADCA_nRCLによって、A/D変換結果レジスタADCA_nCmCRを読み出したあとその値を保持するかクリアするかを指定できます。

(3) アナログ入力電圧とA/D変換結果の関係

アナログ入力端子（ADCA_nIm）に入力されたアナログ入力電圧とA/D変換結果値（ADCA_nLCR[15:00]ビット、ADCA_nCmCR[15:00]ビット、ADCA_nDBiCR[15:00]ビットの値）には次式に示す関係があります。

$$\text{A/D 変換結果値} = \text{INT} \left(\frac{V_{\text{IAN}} - AV_{\text{REFMn}}}{AV_{\text{REFPn}} - AV_{\text{REFMn}}} \times 2^k + 0.5 \right)$$

または

$$(\text{A/D 変換結果値} - 0.5) \times \frac{AV_{\text{REFPn}} - AV_{\text{REFMn}}}{2^k} \leq V_{\text{IAN}} - AV_{\text{REFMn}} < (\text{A/D 変換結果値} + 0.5) \times \frac{AV_{\text{REFPn}} - AV_{\text{REFMn}}}{2^k}$$

INT () : () 内の値の整数部を返す関数

V_{IAN} : アナログ入力電圧

AV_{REFPn} : AV_{REFPn} 端子電圧

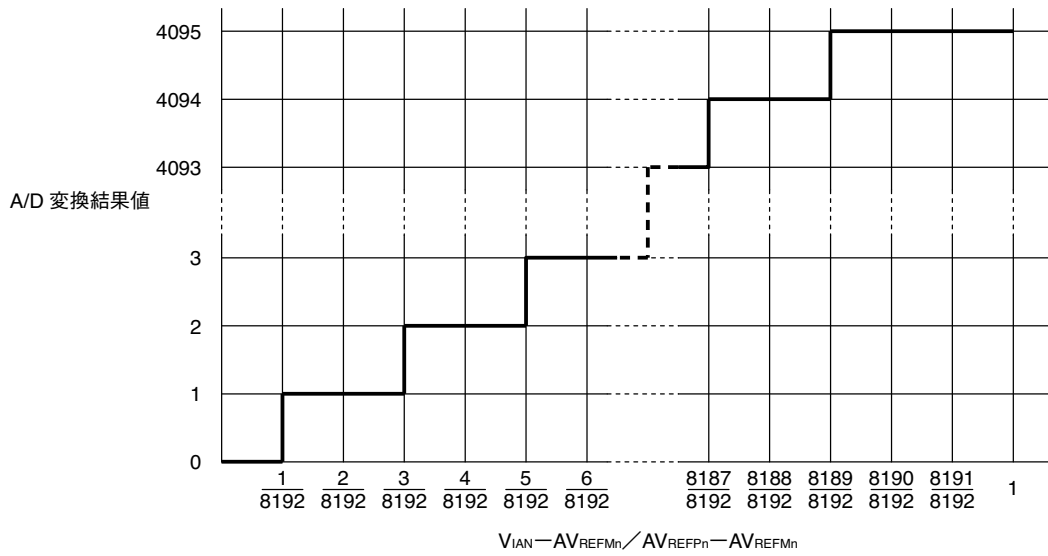
AV_{REFMn} : AV_{REFMn} 端子電圧

A/D 変換結果値 : ADCA_nLCR[15:00]ビット、ADCA_nCmCR[15:00]ビット、ADCA_nDBiCR[15:00]ビットの値

k : 分解能

図 25-15 にアナログ入力電圧と A/D 変換結果の関係を示します。

(i) 12ビット A/D コンバータの変換特性 (ADCA_nCTL1.ADCA_nCTYP に 0 を設定) の場合



(ii) 10ビット A/D コンバータの変換特性 (ADCA_nCTL1.ADCA_nCTYP に 1 を設定) の場合

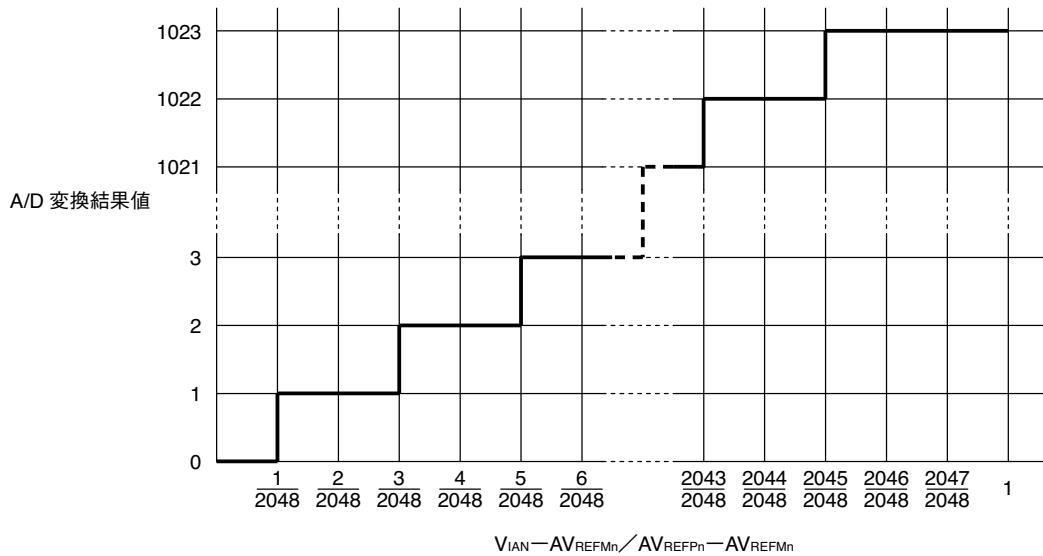


図 25-15 アナログ入力電圧と A/D 変換結果の関係

25.3.12 変換結果確認機能

ADCA_n では、次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

(1) 変換結果上書きチェック機能

A/D 変換結果を読み出す前に上書きされたかどうかを確認できます。

エラー・フラグ A/D 変換結果レジスタは、それぞれ下記の上書きエラー・フラグを持っています。

ADCA_nLCR.ADCA_nLER1

ADCA_nDBiCR.ADCA_nDBiER1

ADCA_nCmCR.ADCA_nCmER1

たとえば、ADCA_nCmCR レジスタに格納された A/D 変換結果を読み出す前に上書きされた場合、ADCA_nCmCR.ADCA_nCmER1 に 1 をセットします。

ADCA_nLCR レジスタと ADCA_nDBiCR レジスタについても同様です。

また、ADCA_nCmCR.ADCA_nCmER1 の値は ADCA_nSTR1.ADCA_nOWEm にも反映されます。

エラー割り込み ADCA_nLCR レジスタ、ADCA_nDBiCR レジスタ、ADCA_nCmCR レジスタの A/D 変換結果を読み出される前に上書きされると、エラー割り込み INTADCA_nTERR が発生します。

変換結果を読み出さない変換結果レジスタに対しては、ADCA_nCTL0.ADCA_nOEM[4:0] を設定することでマスク処理ができます。

例：

- CH7 を CG1 に割り当て
- ADCA_nCTL0.ADCA_nOEM[4:0] を 0000B に設定し、ADCA_nLCR レジスタ、ADCA_nDBiCR レジスタ、ADCA_nCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に必ずエラー割り込み INTADCA_nTERR を発生させるようにする

(2) 変換結果読み出しフラグ機能

A/D 変換結果をすでに読み出したか、それとも新規でありまだ読み出していないかを確認できます。

状態フラグ A/D 変換結果レジスタには下記の更新状態フラグが用意されています。

ADCA_nLCR.ADCA_nLUR

ADCA_nDBiCR.ADCA_nDBiUR

ADCA_nCmCR.ADCA_nCmUR

このフラグが 1 に設定されている場合、A/D 変換結果は新規です。更新状態フラグは、読み出し後 0 にクリアされます。

(3) 変換結果上下限比較機能

A/D 変換結果が設定可能な範囲内にあるかどうかを確認できます。

本機能の有効/無効は、ADCA_nCTL2 レジスタによってチャンネルごとに設定できます。

有効にしたチャンネルの変換結果を、あらかじめ設定した下限値 (ADCA_nLL レジスタ) および上限値 (ADCA_nUL レジスタ) と比較します。

- エラー・フラグ** 指定チャンネルの A/D 変換結果が下限値を下回るか上限値を上回った場合、そのチャンネルに対応するエラー・フラグ ADCAnSTR0.ADCAnRCE が 1 にセットされます。
- ADCA_nSTR0 レジスタは、各チャンネルの最新の A/D 変換結果上下限比較のエラー状態を示します。この ADCAnSTR0 レジスタによって、どの A/D 変換結果が設定範囲を外れているか確認できます。
- また、結果確認エラー・フラグ ADCAnSTR0.ADCAnRCE の値は ADCAnCmCR.ADCAnCmER0 にも反映されます。
- エラー割り込み** 指定チャンネルの A/D 変換結果が設定範囲を外れている場合、エラー割り込み INTADCA_nTERR が発生します。

25.3.13 自己診断機能（製品依存）

ADCA_nが機能しているかどうかを確認するために、次の自己診断機能が使用できます。

- (1) A/D変換回路の診断
- (2) チャンネル・マルチプレクサの診断
- (3) オープン端子の診断
- (4) チャンネルS/H回路の診断（製品依存）

自己診断機能の概要を次の図に示し、詳細を後続の項で説明します。

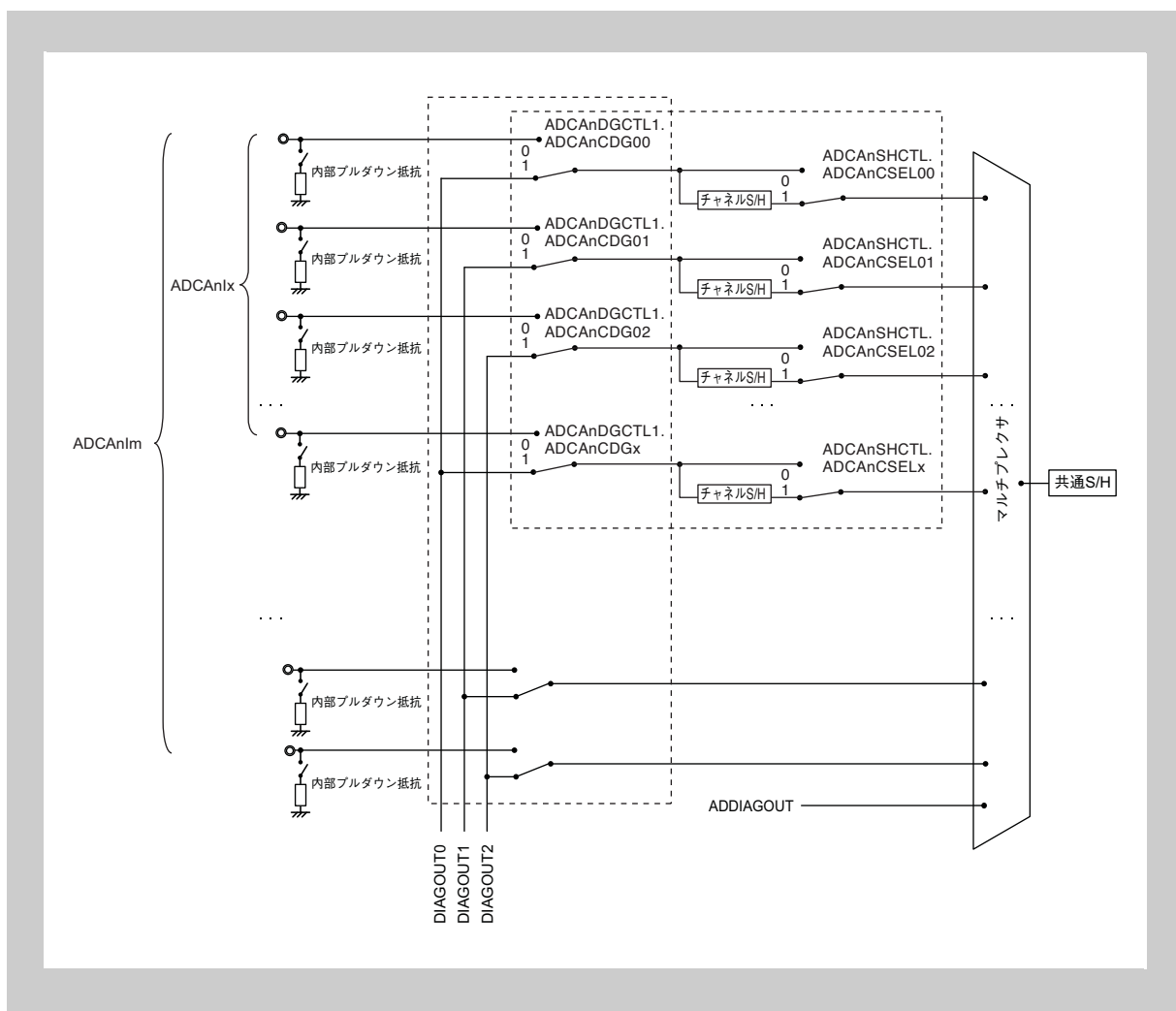


図 25-16 自己診断機能の概要

備考 点線で囲まれた部分は製品依存の機能です。

各診断機能の設定が可能な場合を次表に示します。

表 25-6 自己診断機能の設定

自己診断機能	ADCA _n CE ビット = 0	ADCA _n CE ビット = 1
A/D 変換回路の診断	○	○
チャンネル・マルチプレクサの診断	○	×
オープン端子の診断	○	×
チャンネル S/H 回路の診断 (製品依存)	○	○

○ : 設定可, × : 設定不可

(1) A/D 変換回路の診断

A/D 変換回路の動作を診断できます。

A/D 変換回路の診断は、通常の A/D 変換動作中に行うことができます。CG0 の A/D 変換終了後、続けて基準電圧 ADDIAGOUT 信号を変換します。この診断 A/D 変換の結果が期待値から大きくはずれた場合は、ハードウェアに異常が発生または誤動作した可能性があります。

診断 A/D 変換を有効にするには、ADCA_nCG0.ADCA_nDIAG を 1 に設定します。

備考 A/D 変換回路の診断は、CG0 にのみ使用できます。

診断 A/D 変換は、CG0 の最後のチャンネルの A/D 変換が終了したあとに開始されます。

- CG0 の A/D 変換結果は、通常の A/D 変換結果レジスタに格納されます (1720 ページの (1) 「A/D 変換結果レジスタ」を参照)。
- 診断 A/D 変換の結果は、ADCA_nDGCR レジスタに格納されます。

- 診断手順**
1. ADCA_nCTL1.ADCA_nGPS を 1 に設定し、ADCA_n のパワーをオンにします。
 2. 次の手順で、CG0 と A/D 変換モードを設定します。
 - ADCA_nCG0.ADCA_nDIAG を 1 に設定して、基準電圧の診断 A/D 変換を有効にしてください。
たとえば、8000 000E_H を設定して、最初に CH1, CH2, CH3 のアナログ入力電圧を変換し、続いて診断用に基準電圧 ADDIAGOUT 信号を変換するようにします。
 - ADCA_nIOC0.ADCA_nCG0IDG を 1 に設定して、診断 A/D 変換終了時に A/D 変換終了割り込み INTADCA_nT0 を発生するようにします。
 3. ADCA_nDGCTL0.ADCA_nPSEL[2:0] に基準電圧 ADDIAGOUT 信号を指定します。
たとえば、ADCA_nDGCTL0.ADCA_nPSEL[2:0] を 010_B に設定して、基準電圧 1/2 AV_{DD} を適用します。
 4. ADCA_nCTL0.ADCA_nCE を 1 に設定して ADCA_n を有効にします。
 5. ソフトウェア起動トリガまたはハードウェア起動トリガを発生させて、A/D 変換を開始します。
 6. A/D 変換終了割り込み INTADCA_nT0 が発生したら、ADCA_nDGCR レジスタから診断 A/D 変換結果を読み出します。

ADCA_nDGCTL0.ADCAnPSEL[2:0] は、A/D 変換中でも書き込み可能です。A/D 変換中に書き込みを行った場合の動作を下図に示します。

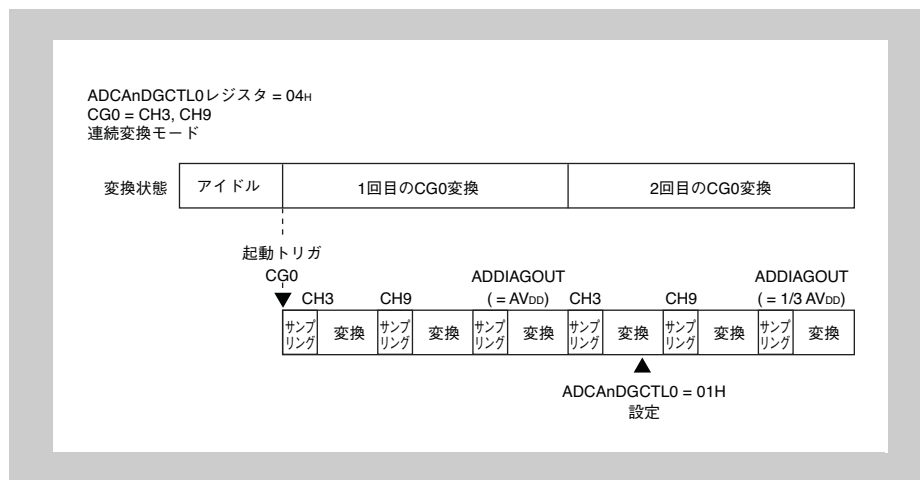


図 25-17 A/D 変換中の書き込み

備考 ADCAnDGCTL0.ADCAnPSEL[2:0] で設定した値は、現在のチャネルの変換終了後に反映されます。したがって、次の診断 A/D 変換の基準電圧は、その診断 A/D 変換が開始する前までに設定してください。

(2) チャネル・マルチプレクサの診断

チャネルの切り替えと選択を診断できます。

各チャネルには、3つの基準電圧のうち1つが割り当てられます。この基準電圧の値は、ADCAnDGCTL0.ADCAnPSEL[2:0] で変更できます。

表 25-7 基準電圧のチャネル割り当て

基準電圧	割り当てチャネル (製品依存)
DIAGOUT0	21, 18, 15, 12, 9, 6, 3, 0
DIAGOUT1	22, 19, 16, 13, 10, 7, 4, 1
DIAGOUT2	23, 20, 17, 14, 11, 8, 5, 2

チャネル・マルチプレクサを診断するために、各チャネルに異なる基準電圧を入力できます。

- 診断手順**
1. ADCAnCTL1.ADCAnGPS を 1 に設定し ADCAn のパワーをオンにします。
 2. ADCAnCG0 レジスタに CG0 のチャネルを指定します。
たとえば、0000 000E_H を設定して、CH1, CH2, CH3 を使用するようにします。
 3. ADCAnIOC0 レジスタを 0000 0000_H に設定して、CG0 のすべての A/D 変換終了時に A/D 変換終了割り込み INTADCA_nTi を発生するようにします。
 4. 必要に応じてほかの A/D 変換設定を行います。

5. ADCAnDGCTL0.ADCAnPSEL[2:0] に基準電圧を指定します。
たとえば、ADCAnDGCTL0.ADCAnPSEL[2:0] を 010_B に設定して、次の基準電圧を使用します。
 - DIAGOUT0 = 1/2 AV_{DD}
 - DIAGOUT1 = 2/3 AV_{DD}
 - DIAGOUT2 = 1/3 AV_{DD}
6. CG0 のどのチャンネルに（アナログ入力電圧 ADCAnIm でなく）基準電圧を適用するかを、ADCAnDGCTL1 レジスタに設定します。たとえば、ADCAnDGCTL1 レジスタを 0000 0006_H に設定すると次のようにチャンネルを適用します。
 - DIAGOUT1 (2/3 AV_{DD}) を CH1 に適用
 - DIAGOUT2 (1/3 AV_{DD}) を CH2 に適用
 - アナログ入力電圧を CH3 に適用
7. ADCAnCTL0.ADCAnCE を 1 に設定して ADCAn を有効にします。
8. ソフトウェア起動トリガまたはハードウェア起動トリガを発生させて、A/D 変換を開始します。
9. A/D 変換終了割り込み INTADCAnt0 を受信したら、CG0 の A/D 変換結果を読み出します。

注意 ADCAnCTL0.ADCAnCE が 1 のとき、ADCAnDGCTL1 レジスタの設定変更は禁止です。

(3) オープン端子の診断

入力端子がオープンになっていると、正しい A/D 変換結果が得られません。
内部プルダウン抵抗を接続してアナログ入力 ADCAnIm を診断できます。

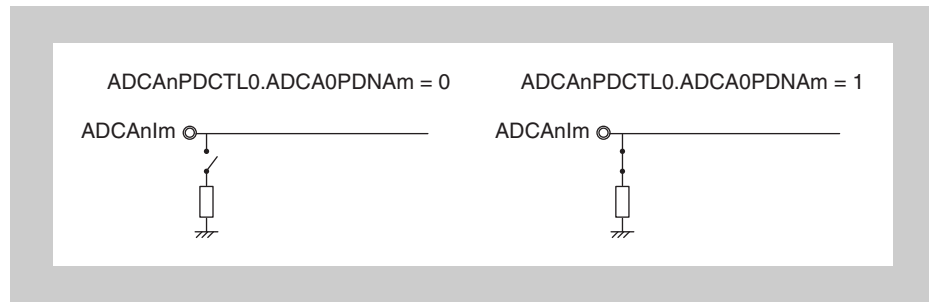


図 25-18 内部プルダウン抵抗

内部プルダウン抵抗をアナログ入力 ADCAnIm に接続
(ADCA0PDNA1 に 1 を設定), かつ ADCAnIm がオープン
の場合は, A/D 変換結果は 0 V に近づきます。

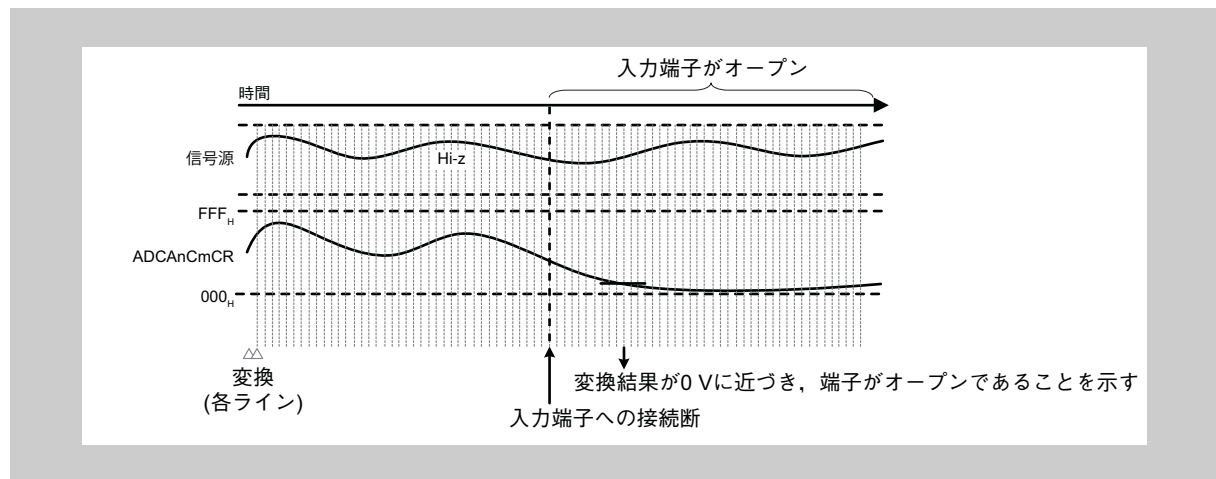


図 25-19 オープン入力端子の検出

- 備考**
1. アナログ入力 ADCAnIm が 0.2 V (ターゲット) より小さい場合, 端子オープンを判別できません (電気的特性 (ターゲット) を参照)。
 2. 通常の A/D 変換動作時には内部プルダウン抵抗を接続しないでください。内部プルダウン抵抗を接続することによって入力電圧降下が発生し, 正しい A/D 変換結果が得られないことがあります。

診断手順 オープン入力端子を診断する手順を次に示します。

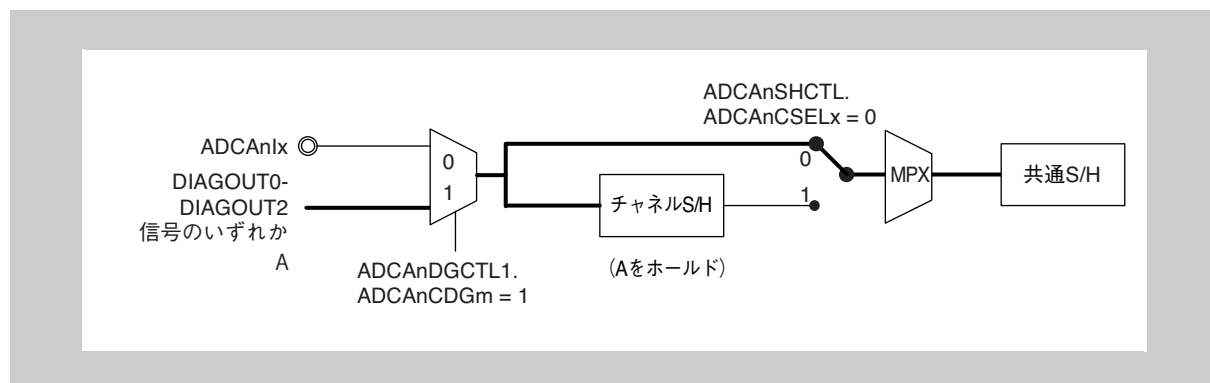
1. 通常どおり CG と A/D 変換の設定を行います。
2. ADCA0PDNA1 レジスタを設定して内部プルダウン抵抗を接続します。
3. A/D 変換を複数回 (ターゲット) 実行します。
4. チャンネルの A/D 変換結果をモニタし, 0 V 近くになっている結果がないか確認します。

(4) チャンネル S/H 回路の診断 (製品依存)

チャンネル S/H 機能は 25.3.14 チャンネル S/H 機能を参照してください。

チャンネル S/H 回路を診断できます。概要を以下に示します。

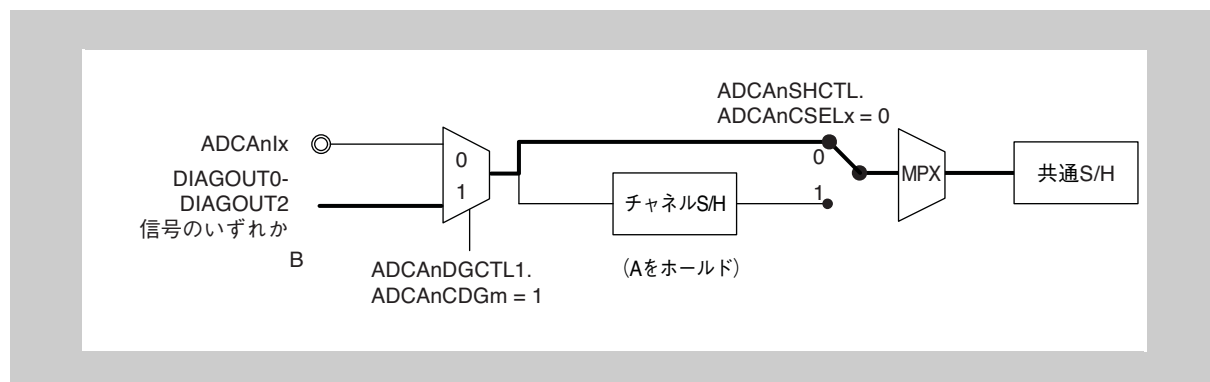
- (1) 基準電圧 DIAGOUT0-DIAGOUT2 信号のいずれかを使用します。
- (2) 基準電圧 DIAGOUT0-DIAGOUT2 信号のいずれかに電圧 "A" を設定します。チャンネル S/H 回路で "A" をホールドし、チャンネル S/H 回路を使用せずに変換を行います。



- (3) 基準電圧 DIAGOUT0-DIAGOUT2 信号のいずれかに電圧 "B" を設定します。

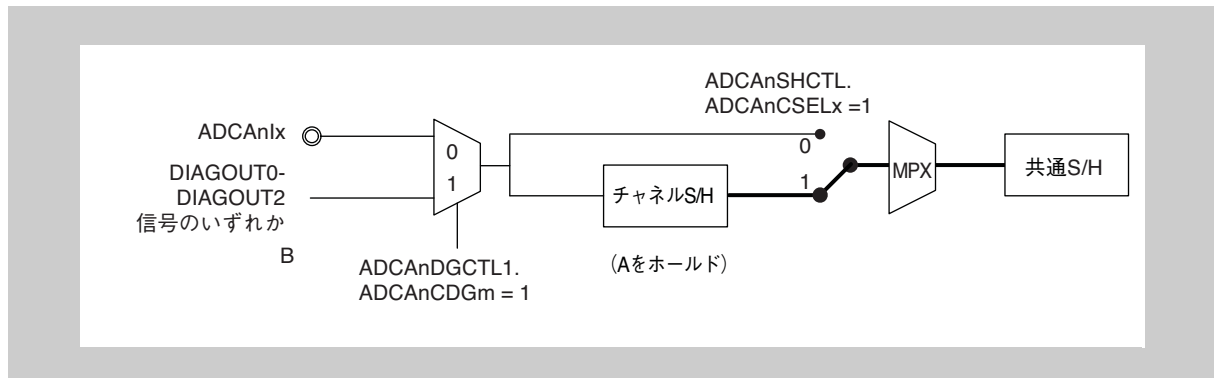
チャンネル S/H 回路を使用せずに変換を行います。変換結果は "B" となります。

チャンネル S/H 回路は "A" をホールドし続けます。



(4) チャンネル S/H 回路を使用し変換を行います。

チャンネル S/H 回路は“A”をホールドし続けます。変換結果は“A”となります。



(5) 結果は以下のようになります。

- 最初の変換結果 (3) の値が“B”。
- 2 番目の変換結果 (4) の値が“A”。

チャンネル S/H 回路の診断フローを以下に示します。

初期設定 ADCAn1 端子の例を説明します。

- ADCAnCTL1. ADCAnGPS を 1 に設定します。
- 起動トリガをソフトウェア・トリガに指定し、A/D 変換モードをワンショット変換モード (繰り返し回数: 1) に指定します。
- ADCAnCG0 レジスタ = 0000 0002_H を設定します (チャンネル S/H 回路を持つ ADCAn1 を選択)。
- ADCAnIOC0 レジスタ = 0000 0002_H を設定し、A/D 変換終了割り込み INTADCAnT0 を発生させます (変換終了時には割り込みを発生させる必要があります)。
- ADCAnDGCTL0. ADCAnPSEL[2:0] を 001_B に設定します (基準電圧 DIAGOUT1 に 1/3AV_{DD} を選択)。
- ADCAnDGCTL1. ADCAnCDG01 を 1 に設定します。
- ADCAnCTL0. ADCAnCE を 1 に設定します。

動作フロー [ステップ 1]

CG0 のソフトウェア起動トリガ (1 回目) を入力します (チャンネル S/H 回路に $1/3AV_{DD}$ がホールドされます)。

次に, $ADCA_{n}PSEL[2:0]$ ビットを 010_B に変更します (1 回目の A/D 変換終了後, 基準電圧 $DIAGOUT1$ に $2/3AV_{DD}$ が選択されます)。

CG0 のソフトウェア起動トリガ (2 回目) を入力します (起動トリガが保持されます)。

ここまでの手順を 1 回目の A/D 変換が終了する前までに行う必要があります。

[ステップ 2]

1 回目の A/D 変換が終了し, A/D 変換終了割り込み $INTADCA_{n}T0$ が発生します。

$ADCA_{n}CSEL01$ ビットを 1 に変更します (次回の A/D 変換でチャンネル S/H 回路にホールドされている電圧が変換されます)。

CG0 のソフトウェア起動トリガ (3 回目) を入力します (起動トリガが保持されます)。

ここまでの手順を 2 回目の A/D 変換が終了する前までに行う必要があります。

[ステップ 3]

2 回目の A/D 変換が終了し, A/D 変換終了割り込み $INTADCA_{n}T0$ が発生します。

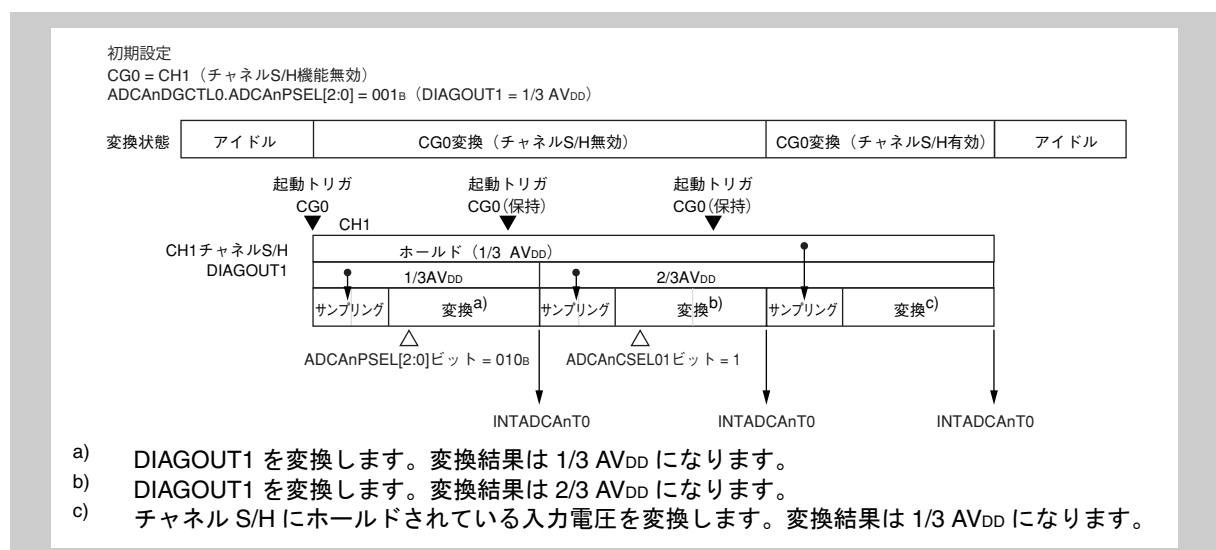
$ADCA_{n}C01CR$ レジスタを読み出し, 期待する値 ($2/3AV_{DD}$) が格納されているか確認します。

[ステップ 4]

3 回目の A/D 変換が終了し, A/D 変換終了割り込み $INTADCA_{n}T0$ が発生します。

$ADCA_{n}C01CR$ レジスタを読み出し, 期待する値 ($1/3AV_{DD}$) が格納されているか確認します。

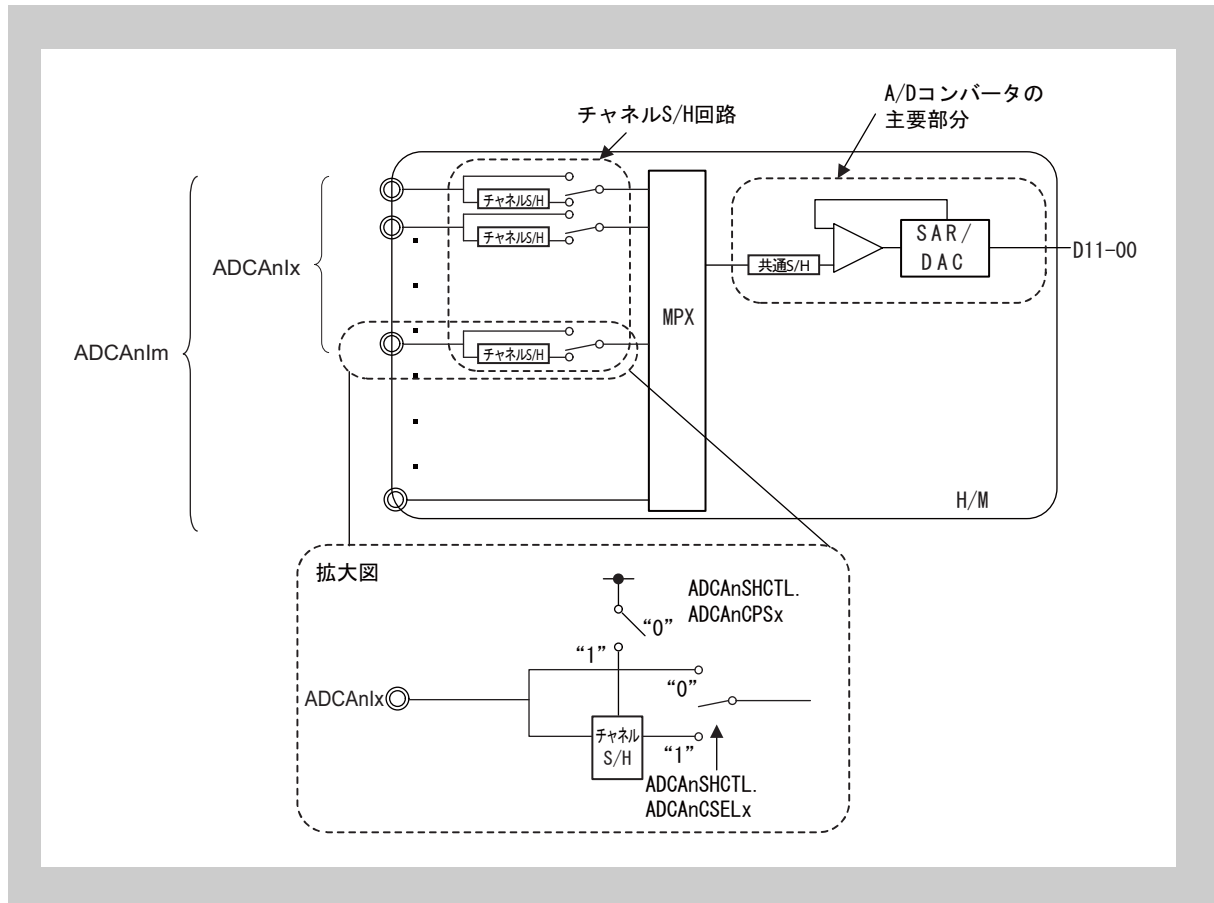
チャンネル S/H 回路診断のタイミング例を以下に示します。



25.3.14 チャンネル S/H 機能 (製品依存)

(1) チャンネル S/H 機能

チャンネル S/H 回路は次のようになります。



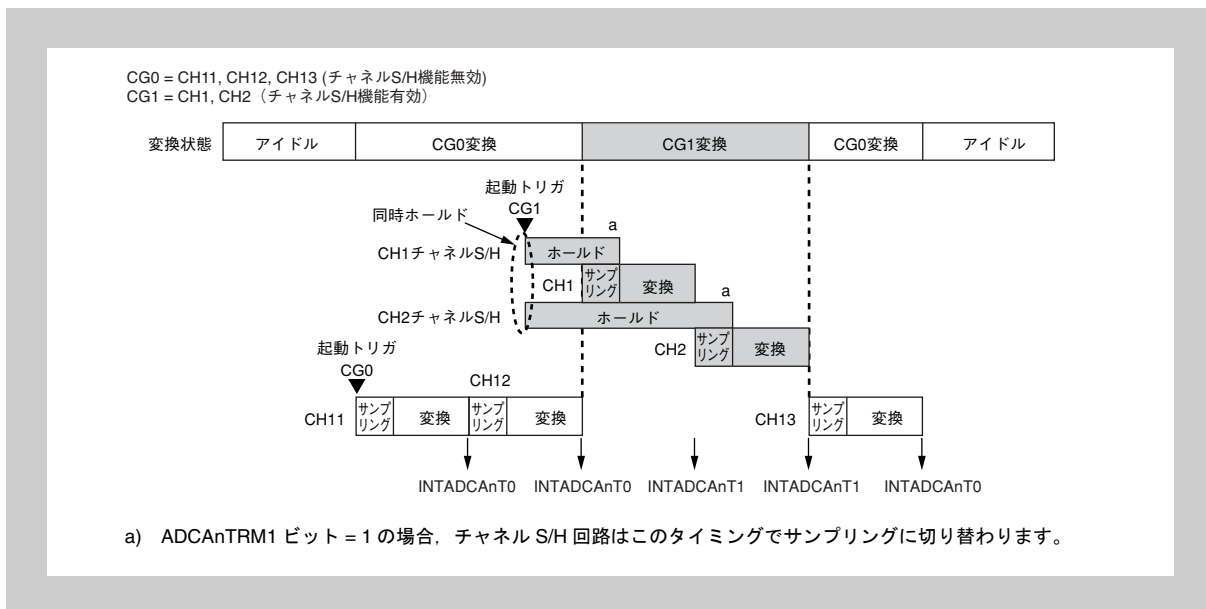
チャンネル S/H は、CG0 のワンショット変換モード (繰り返しなし) と CG1, 2 (繰り返しなし) で使用できます。

ADCAnSHCTL. ADCAnCPSx でチャンネル S/H 回路への電源供給を制御し、ADCAnSHCTL. ADCAnCSELx でチャンネル S/H 機能の有効/無効を設定します。

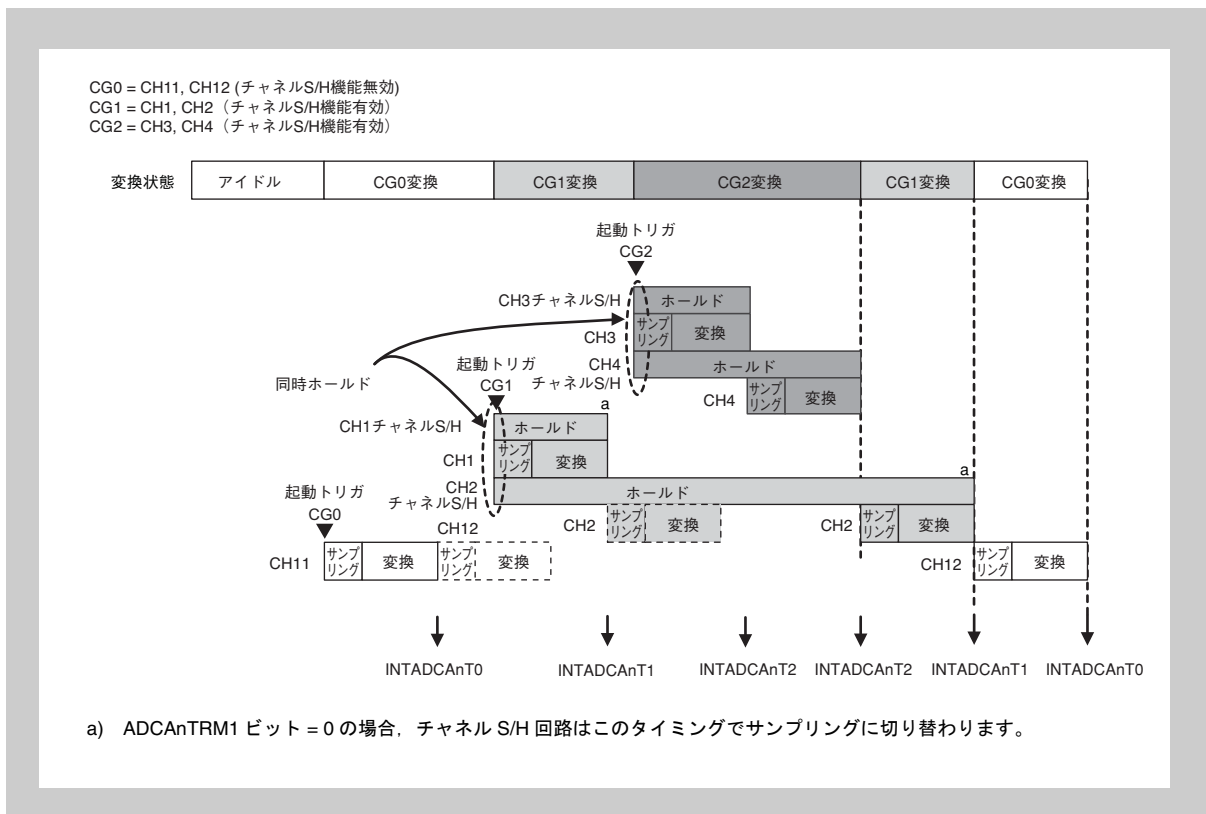
注意 チャンネル S/H 回路使用時は、必ずアンプ電流オンで使用してください。

ハードウェア起動トリガまたはソフトウェア起動トリガ発生時に、ADCA_nSHCTL.ADCA_nCSELx でチャンネル S/H 機能を有効にしたチャンネルのアナログ入力信号をチャンネル S/H 回路でホールドします。次に ADCA_nCTL1.ADCA_nTRMi の設定に従い、スキャン・リスト変換を開始します。

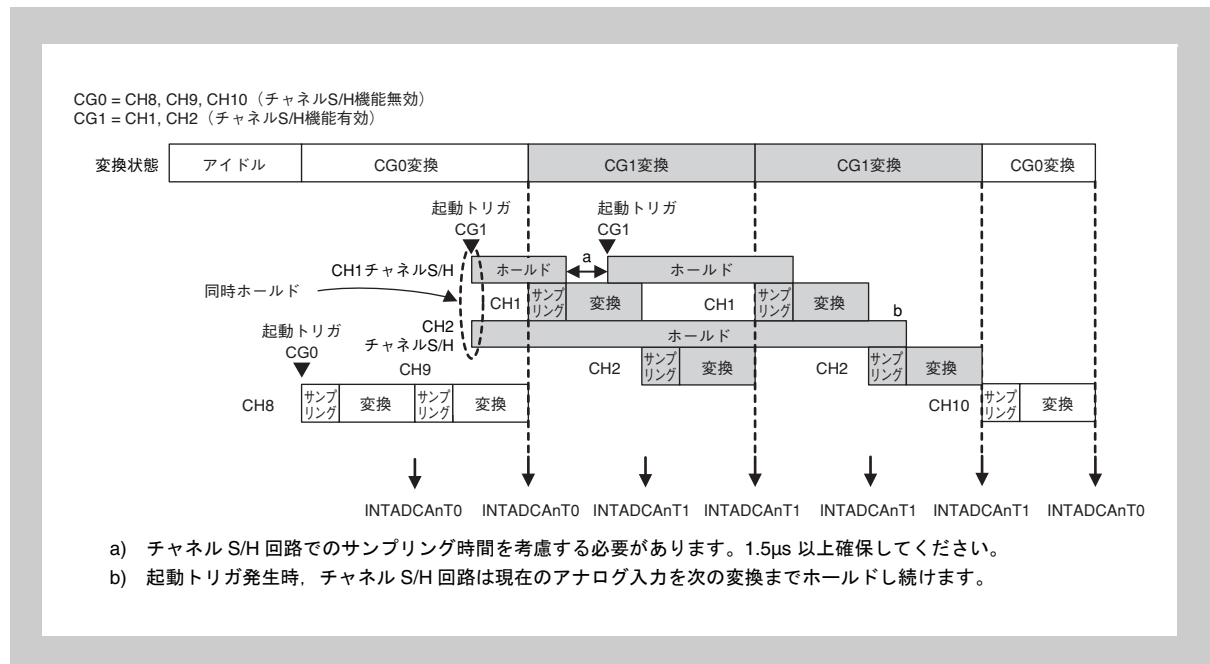
[例 1：優先順位の高い起動トリガが発生した場合 (ADCA_nTRM0 ビット = 1, ADCA_nTRM1 ビット = 1)]



[例 2：優先順位の高い起動トリガが発生した場合 (ADCA_nTRM0 ビット = 0, ADCA_nTRM1 ビット = 0)]

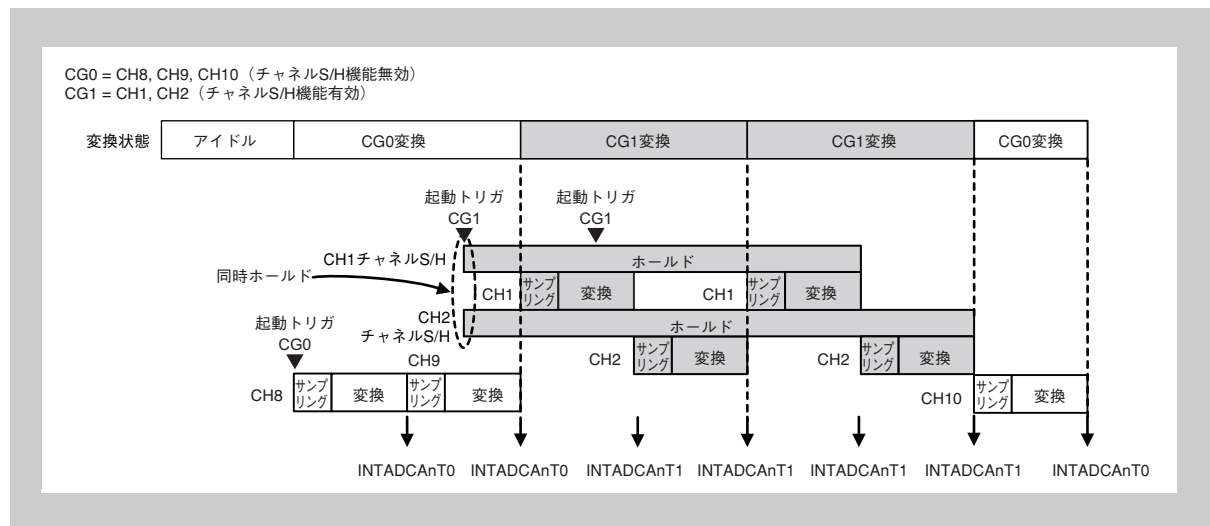


[例 3 : 後続の起動トリガが発生した場合 (ADCA_nTRM0 ビット = 1, ADCA_nTRM1 ビット = 1)]

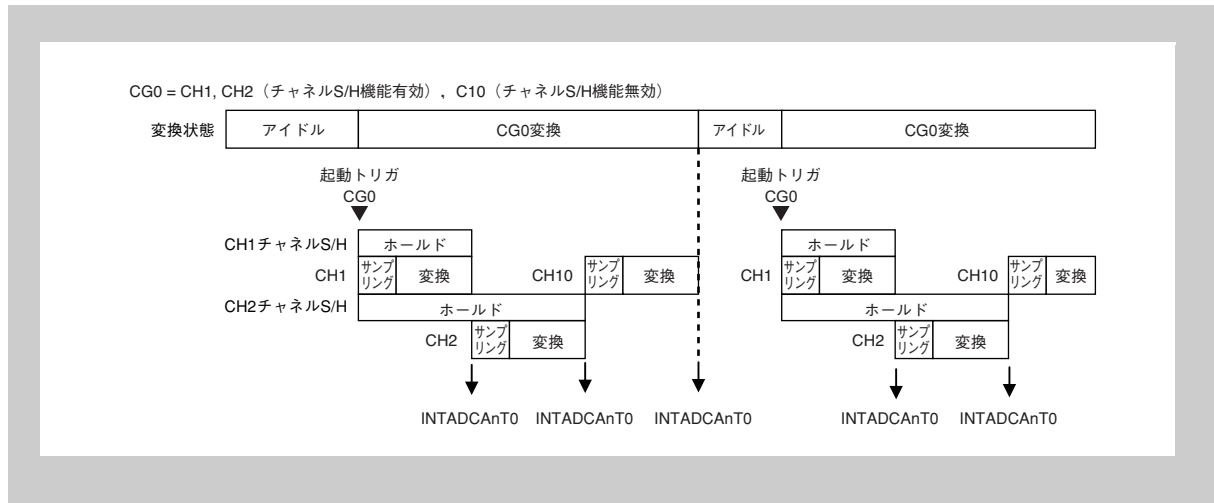


[例 4 : 後続の起動トリガが発生した場合 (ADCA_nTRM0 ビット = 1, ADCA_nTRM1 ビット = 0)]

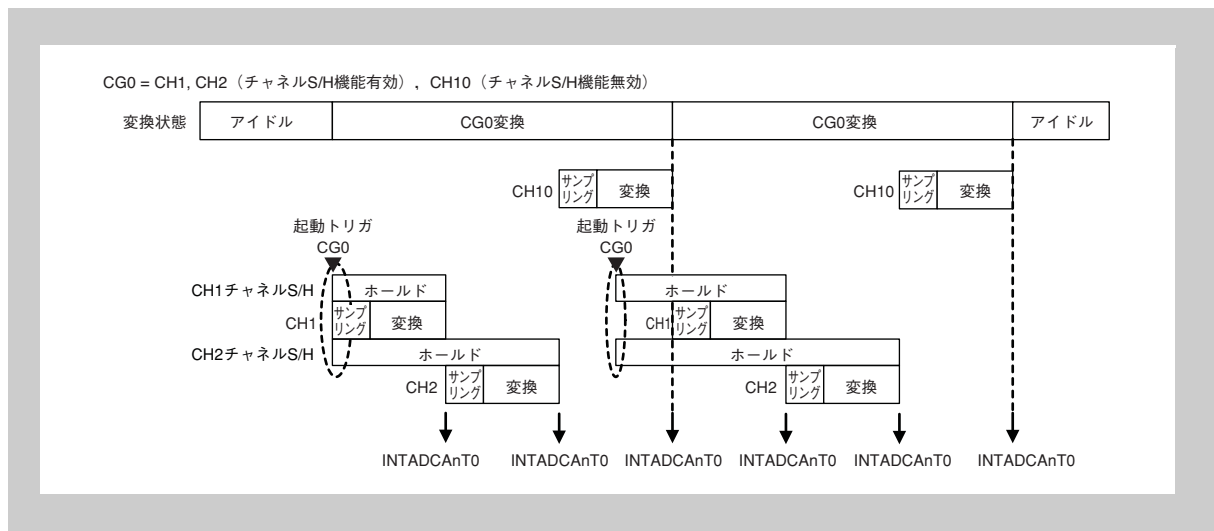
A/D 変換中に後続の起動トリガが発生した場合は、チャンネル S/H 回路は新たにサンプリングを行いません。



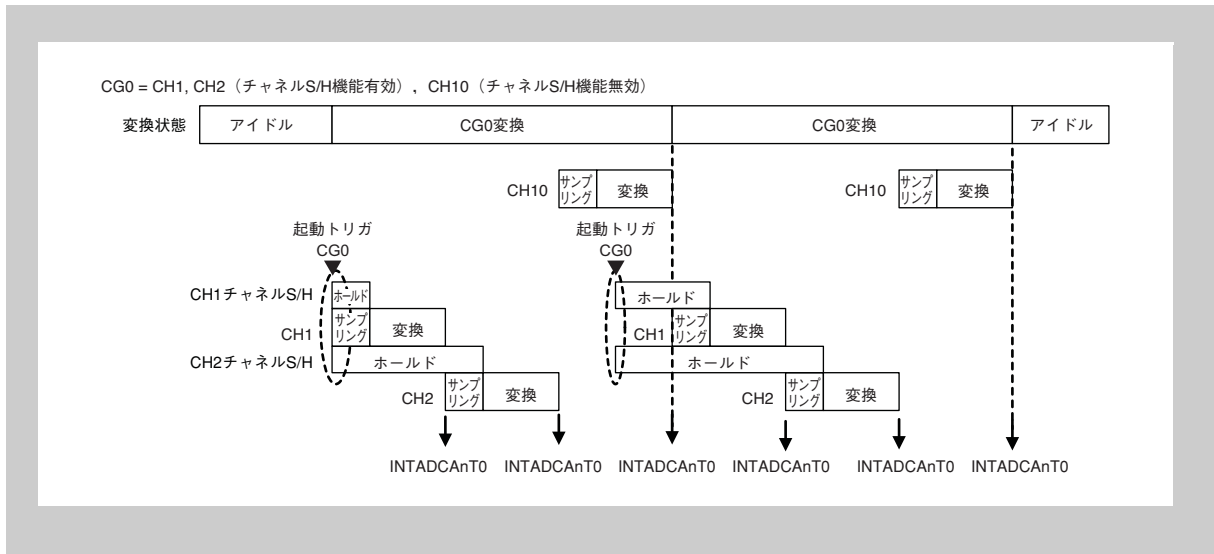
[例 5 : CG0 がワンショット変換モード (繰り返しなし) の場合
(ADCA_nTRM0 ビット = 0)]



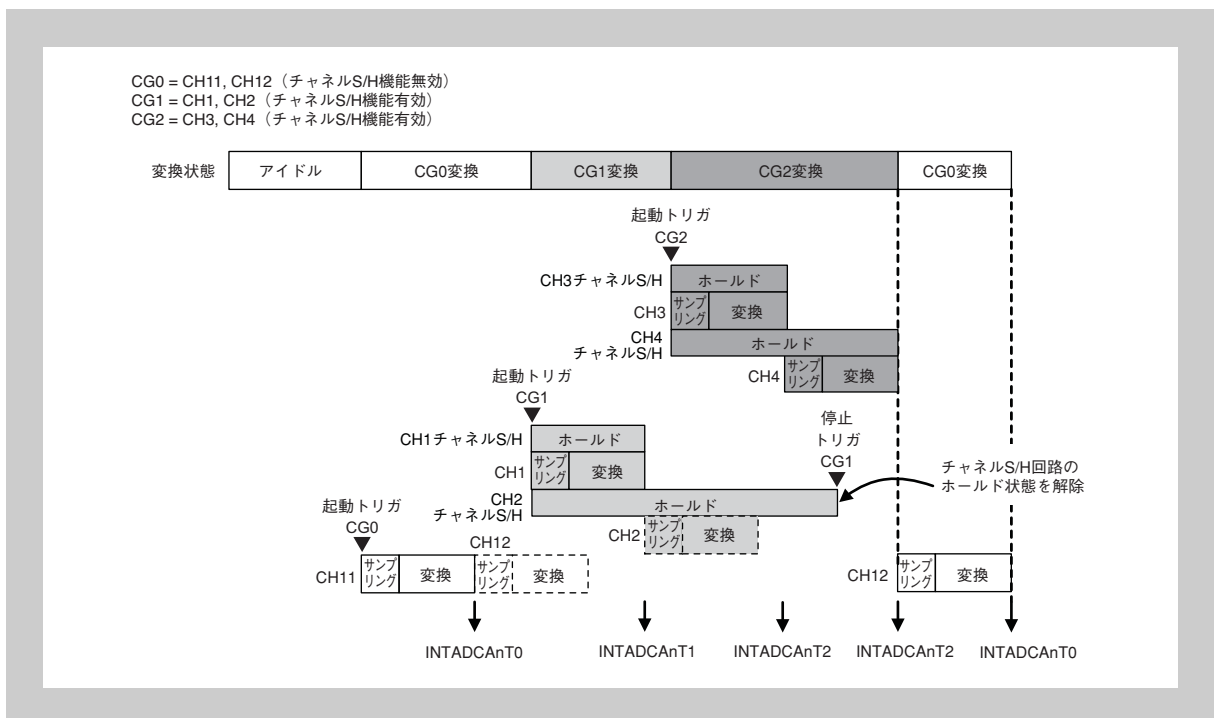
[例 6 : CG0 がワンショット変換モード (繰り返しなし) 時, 後続の起動トリガが発生した場合 (ADCA_nTRM0 ビット = 0)]



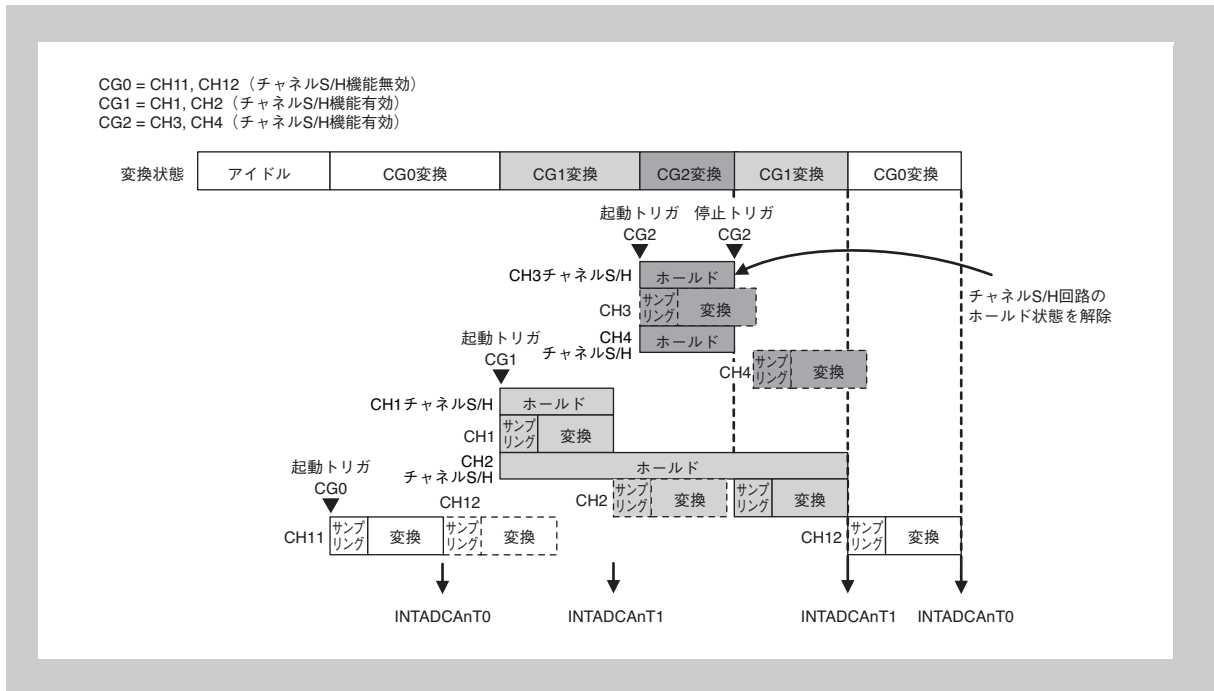
[例7：CG0がワンショット変換モード（繰り返しなし）時、後続の起動トリガが発生した場合（ADCA_nTRM0ビット = 1）]



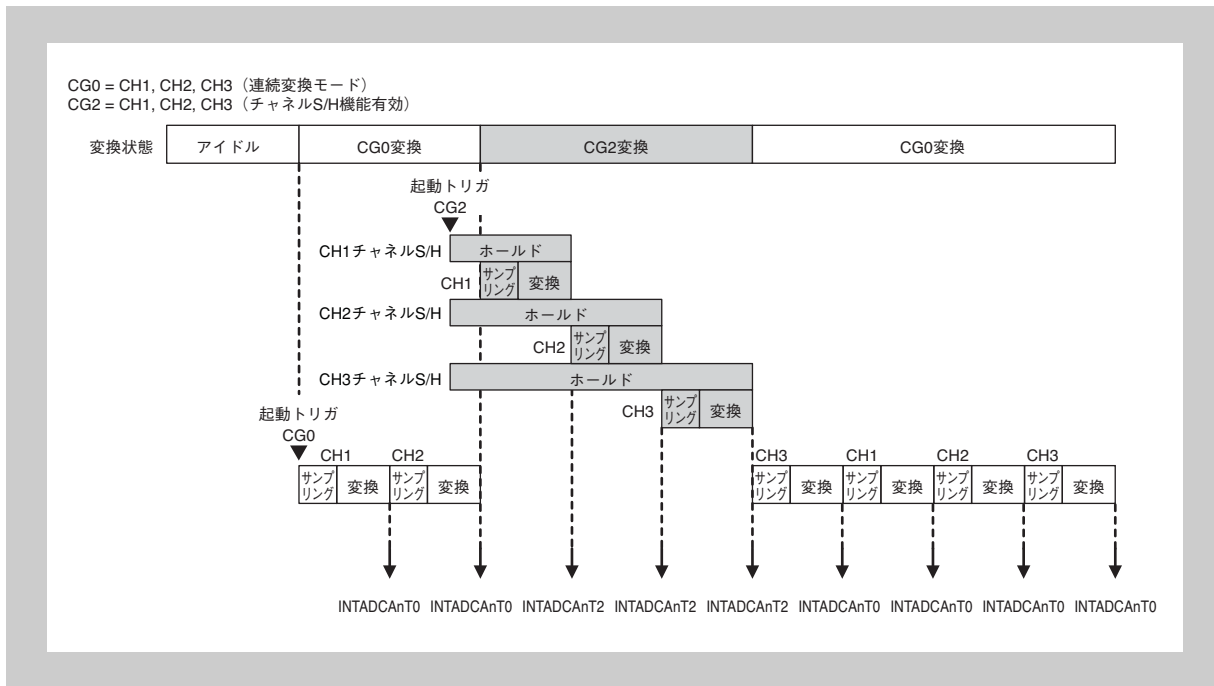
[例8：CG1とCG2に異なるチャンネルを設定し、CG1の停止トリガが発生した場合（ADCA_nTRM0ビット = 0, ADCA_nTRM1ビット = 0）]



[例 9 : CG1 と CG2 に異なるチャンネルを設定し、CG2 の停止トリガが発生した場合 (ADCA_nTRM0 ビット = 0, ADCA_nTRM1 ビット = 0)]



[例 10 : CG0 が連続変換モードで CG0 と CG2 に同じチャンネルを設定した場合 (ADCA_nTRM0 ビット = 1, ADCA_nTRM2 ビット = 0)]



(2) チャンネル S/H 機能使用時の制限事項

チャンネル S/H 機能使用時の制限事項を示します。

(1) チャンネル S/H 機能を使用するチャンネルを複数の CG に同時に設定しないでください。

例 1 : CG0, CG1, CG2 でチャンネル S/H 機能を使用する場合 (CG0 はワンショット変換モード)

以下の組み合わせは設定可能です。

– CG0 (CH1 を選択), CG1 (CH2 を選択), CG2 (CH3 を選択)

以下の組み合わせは設定禁止です。

– CG0 (CH1 を選択), CG1 (CH1 を選択), CG2 (CH2, 3 を選択)

例 2 : CG1, CG2 でチャンネル S/H 機能を使用する場合 (CG0 は連続変換モード)

以下の組み合わせは設定可能です。

– CG0 (CH1 を選択), CG1 (CH1, 2 を選択), CG2 (CH3 を選択)

– CG0 (CH1, 2, 3 を選択), CG1 (CH1 を選択), CG2 (CH2, 3 を選択)

以下の組み合わせは設定禁止です。

– CG0 (CH1, 2, 3 を選択), CG1 (CH1, 2 を選択), CG2 (CH2, 3 を選択)

- (2) チャンネル S/H 機能を使用している CGi に対して動作中にスキャン・リストを変更する場合、使用しているチャンネル S/H の対象チャンネルが変化しないように設定してください。

例：CH1, 2, 3 がチャンネル S/H 機能を使用している場合

以下の組み合わせは設定可能です。

- CG0 (CH1, 2, 3) を CG0 (CH1, 2, 3, 10, 11) に変更
- CG0 (CH1, 2, 3, 10, 11) を CG0 (CH1, 2, 3) に変更
- CG0 (CH7, 8, 9) を CG0 (CH10, 11, 12) に変更

以下の組み合わせは設定禁止です。

- CG0 (CH1, 2, 3) を CG0 (CH1, 2) に変更
- CG0 (CH1) を CG0 (CH1, 2, 3) に変更
- CG0 (CH7, 8, 9) を CG0 (CH1, 7, 8, 9) に変更
- CG0 (CH1, 2, 9) を CG0 (CH9, 10, 11) に変更

- (3) チャンネル S/H を使用している CG に対して、繰り返し機能は使用禁止です。CGi でチャンネル S/H を使用している場合は、その CG に対する繰り返し回数設定ビット (ADCA_nCTL0.ADCAnSCTi[1:0]) を 00_B に設定してください。

25.3.15 ディスチャージ機能 (製品依存)

必要に応じて、各変換の前に共通 S/H 回路の内部コンデンサを放電できます。

備考 ディスチャージ機能を有効にすると、総変換時間が 1 クロック (ADCA_nTCLK) 分長くなります (1717 ページの 25.3.9 「分解能, サンプリング時間と変換時間」を参照)。

設定 ディスチャージ機能を有効にするには、ADCA_nCTL1.DCAnDISC を 1 に設定します。

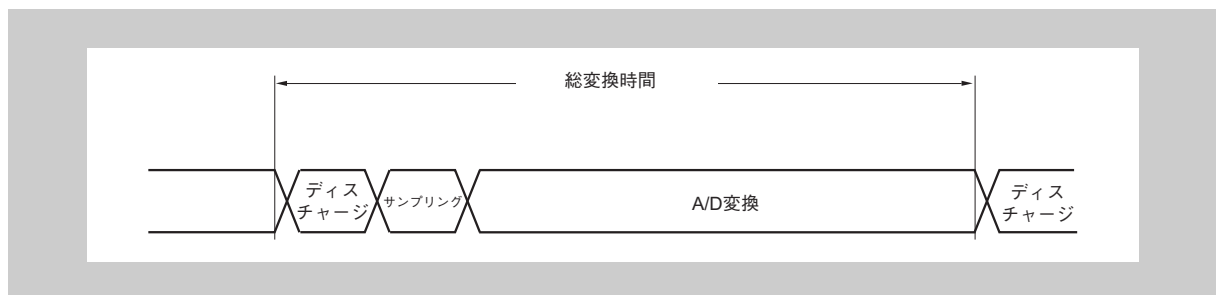


図 25-20 ディスチャージ機能有効時の変換タイミング

25.3.16 バッファ・アンプ機能

必要に応じて、アナログ入力信号を内部バッファ・アンプに接続できます。バッファ・アンプにより、A/Dのサンプリング期間中に、内部サンプリング・コンデンサへのチャージを加速させます。

バッファ・アンプ機能を有効にするには、ADCA_nCTL1.ADCA_nBPCを1に設定します。

備考 バッファ・アンプ機能を有効にすると、総変換時間が4クロック (ADCA_nTCLK) 分長くなります (1717ページの25.3.9「分解能, サンプリング時間と変換時間」を参照)。

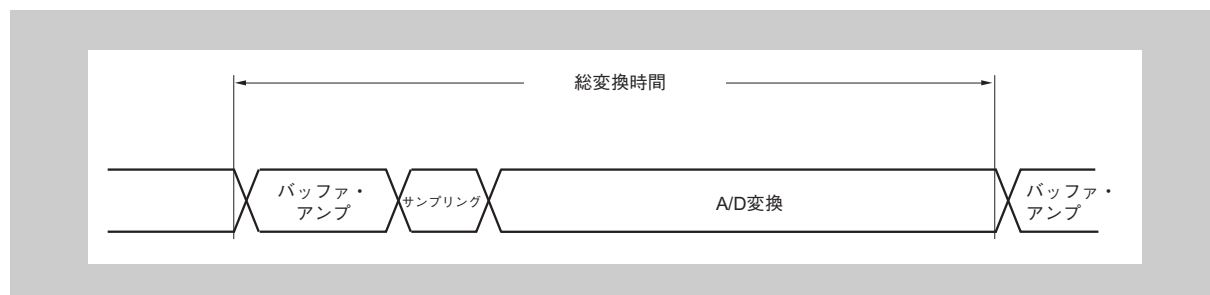


図 25-21 バッファ・アンプ機能有効時の変換タイミング

25.3.17 安定制御

A/Dコンバータには、次の場合に動作安定のための時間が必要です。

- A/Dコンバータ・オン時 (ADCA_nCTL1.ADCA_nGPSに1を設定)
- スタンバイ・モード終了時

安定時間の確保中でも起動トリガは受け付けますが、安定時間が経過するまでは変換は開始されません。

最小安定時間を確保するために、安定時間カウンタ ADCA_nCNTを設定する必要があります。

25.4 レジスタ

この節では、ADCA_nのすべてのレジスタについて説明します。

25.4.1 ADCA_n レジスタの概要

ADCA_nは、次の表に示すレジスタで制御、動作します。

- チャンネルごとに1つのレジスタが用意されている場合は、チャンネル番号を“m”で示します。
- CGごとに1つのレジスタが用意されている場合は、CG番号を“i” (i = 0-2) で示します。

表 25-8 ADCA_n レジスタ一覧 (1/2)(製品依存)

レジスタ名	略号	アドレス
制御レジスタ		
A/Dコンバータ・モード制御レジスタ 0	ADCA _n CTL0	<ADCA _n _base_OS> + 100 _H
A/Dコンバータ・モード制御レジスタ 1	ADCA _n CTL1	<ADCA _n _base_OS> + 104 _H
A/Dコンバータ CG レジスタ i	ADCA _n CGi	<ADCA _n _base_USER> + ix4 _H
A/Dコンバータ割り込み制御レジスタ i	ADCA _n IOCi	<ADCA _n _base_USER> + C _H + ix4 _H
A/Dコンバータ・トリガ選択制御レジスタ i	ADCA _n TSELi	<ADCA _n _base_OS> + 108 _H + ix4 _H
A/Dコンバータ安定カウンタ	ADCA _n CNT	<ADCA _n _base_OS> + 114 _H
変換状態レジスタ		
A/Dコンバータ上書きエラー・フラグ・レジスタ	ADCA _n STR1	<ADCA _n _base_USER> + 28 _H
ADCA _n STR1 フラグ・クリア・レジスタ	ADCA _n STC1	<ADCA _n _base_USER> + 34 _H
A/Dコンバータ状態フラグ・レジスタ 2	ADCA _n STR2	<ADCA _n _base_USER> + 2C _H
ADCA _n STR2 フラグ・クリア・レジスタ	ADCA _n STC2	<ADCA _n _base_USER> + 38 _H
ソフトウェア・トリガ・レジスタ		
A/Dコンバータ・ソフトウェア・トリガ・レジスタ i	ADCA _n TRGi	<ADCA _n _base_USER> + A4 _H + ix4 _H
A/Dコンバータ・ソフトウェア・トリガ・レジスタ 3	ADCA _n TRG3	<ADCA _n _base_USER> + B0 _H
A/Dコンバータ・ソフトウェア・トリガ・レジスタ 4+i	ADCA _n TRG4+i	<ADCA _n _base_USER> + B4 _H + ix4 _H
A/Dコンバータ・ソフトウェア・トリガ・レジスタ 7	ADCA _n TRG7	<ADCA _n _base_USER> + C0 _H
A/D変換結果レジスタ		
A/Dコンバータ最新変換結果レジスタ	ADCA _n LCR	<ADCA _n _base_USER> + A0 _H
A/Dコンバータ変換結果レジスタ m	ADCA _n CmCR	<ADCA _n _base_USER> + 3C _H + mx4 _H
A/Dコンバータ CGi バッファ結果レジスタ i	ADCA _n DBiCR	<ADCA _n _base_USER> + C4 _H + ix4 _H
CGi 変換 DMA バッファ・レジスタ (製品依存)	ADCA _n DBiCRL	<ADCA _n _base_USER> + D0 _H + ix4 _H
A/Dコンバータ診断変換結果レジスタ	ADCA _n DGCR	<ADCA _n _base_USER> + 9C _H
A/D上下限比較レジスタ		
A/Dコンバータ結果確認レジスタ	ADCA _n CTL2	<ADCA _n _base_USER> + 18 _H
A/Dコンバータ結果確認 (上限値)	ADCA _n UL	<ADCA _n _base_USER> + 1C _H
A/Dコンバータ結果確認 (下限値)	ADCA _n LL	<ADCA _n _base_USER> + 20 _H
A/Dコンバータ結果確認エラー・フラグ	ADCA _n STR0	<ADCA _n _base_USER> + 24 _H

表 25-8 ADCAn レジスタ一覧 (2/2)(製品依存)

レジスタ名	略号	アドレス
ADCAnSTR0 フラグ・クリア・レジスタ	ADCAnSTC0	<ADCAn_base_USER> + 30 _H
診断機能制御レジスタ (製品依存)		
A/D コンバータ自己診断機能制御レジスタ 0	ADCAnDGCTL0	<ADCAn_base_USER> + DC _H
A/D コンバータ自己診断機能制御レジスタ 1	ADCAnDGCTL1	<ADCAn_base_OS> + 11C _H
A/D コンバータ内部プルダウン抵抗値制御レジスタ 0	ADCAnPDCTL0	<ADCAn_base_OS> + 120 _H
チャンネル S/H 機能設定レジスタ (製品依存)		
A/D コンバータ・チャンネル S/H 制御レジスタ (製品依存)	ADCAnSHCTL	<ADCAn_base_OS> + 118 _H

25.4.2 制御レジスタ

(1) ADCAnCTL0 - A/D コンバータ・モード制御レジスタ 0

A/D コンバータの有効/無効を設定します。さらに、ワンショット変換モードの繰り返し回数と、A/D 変換結果を読み出す前に上書きされた場合にエラー割り込み要求を発生させるかどうかを指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCAn_base_OS> + 100_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	ADCAn OEM4	ADCAnOEM[3:1]	ADCAn OEM0	ADCAn CE	0	ADCAn SCT2[1:0]	ADCAn SCT1[1:0]	ADCAn SCT0[1:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-9 ADCAnCTL0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
12	ADCAn OEM4	ADCAnLCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR を発生 1: エラー割り込み INTADCAnTERR を発生しない 詳細は 1723 ページの (1) 「変換結果上書きチェック機能」を参照してください。
11-9	ADCAn OEM[3:1]	いずれかの ADCAnDBiCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR 発生 1: エラー割り込み INTADCAnTERR を発生しない CGi は ADCAnOEM(i+1) ビットによって制御されます。 詳細は 1723 ページの (1) 「変換結果上書きチェック機能」を参照してください。
8	ADCAn OEM0	ADCAnCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR を発生 1: エラー割り込み INTADCAnTERR を発生しない 詳細は 1723 ページの (1) 「変換結果上書きチェック機能」を参照してください。

表 25-9 ADCAnCTL0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
7	ADCAnCE	A/Dコンバータの有効/無効を設定します。 0: A/Dコンバータ無効 1: A/Dコンバータ有効 ADCAnCTL0.ADCAnCEを1に設定した場合、A/D変換はハードウェア・トリガまたはソフトウェア・トリガ (ADCAnTRGi.ADCAnSTTi) でのみ開始します。また、A/Dコンバータ有効後には安定するための時間が必要です。パワーオンの直後でも起動トリガは受け付けます。安定カウンタ ADCAnCNT=00 _H のあと、A/D変換を開始します。															
5-0	ADCAnSCTi[1:0]	CG1, CG2とワンショット変換モードのCG0のスキャンリスト変換繰り返し回数 <table border="1" data-bbox="550 609 1385 887"> <thead> <tr> <th>ADCAnSCTi1</th> <th>ADCAnSCTi0</th> <th>CGiのスキャンリスト変換繰り返し回数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>1</td> <td>1</td> <td>4</td> </tr> </tbody> </table>	ADCAnSCTi1	ADCAnSCTi0	CGiのスキャンリスト変換繰り返し回数	0	0	1	0	1	2	1	0	3	1	1	4
ADCAnSCTi1	ADCAnSCTi0	CGiのスキャンリスト変換繰り返し回数															
0	0	1															
0	1	2															
1	0	3															
1	1	4															

(2) ADCAnCTL1 - A/Dコンバータ・モード制御レジスタ 1

変換モードを指定し、変換動作を制御します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ADCAn_base_OS> + 104_H

初期値 0100 0008_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn T2ETS[1:0]	ADCAn T1ETS[1:0]	ADCAn T0ETS[1:0]	0	ADCAn CRAC	0	0	ADCAn MD1	ADCAn MD0	0	0	ADCAn DISC	ADCAn RCL			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAn CTYP	0	0	ADCAn STL	ADCAnFR[3:0]			0	ADCAnTRM[2:0]		ADCAn BPC	0	0	ADCAn GPS		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-10 ADCAnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
31-26	ADCAn TiETS[1:0]	ハードウェア・トリガ ADCAnTTRGi 信号の有効エッジを指定します。 <table border="1"> <thead> <tr> <th>ADCAn TiETS1</th><th>ADCAn TiETS0</th><th>有効エッジ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>エッジ検出なし (受け付けない)</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジ</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジ</td></tr> <tr> <td>1</td><td>1</td><td>立ち上がりエッジと立ち下がりエッジ</td></tr> </tbody> </table>	ADCAn TiETS1	ADCAn TiETS0	有効エッジ	0	0	エッジ検出なし (受け付けない)	0	1	立ち上がりエッジ	1	0	立ち下がりエッジ	1	1	立ち上がりエッジと立ち下がりエッジ
ADCAn TiETS1	ADCAn TiETS0	有効エッジ															
0	0	エッジ検出なし (受け付けない)															
0	1	立ち上がりエッジ															
1	0	立ち下がりエッジ															
1	1	立ち上がりエッジと立ち下がりエッジ															
24	ADCAn CRAC	A/D 変換結果および診断変換結果の揃え位置を指定します。 0: 右揃え 1: 左揃え															
21	ADCAn MD1	すべての CG の A/D 変換の起動トリガを指定します。 0: ソフトウェア・トリガ 1: ハードウェア・トリガとソフトウェア・トリガ この設定はすべての CG に対して有効です。 トリガは、A/D コンバータが有効な場合のみ検出されます。 詳細は 1712 ページの 25.3.5 「A/D 変換の開始 (起動トリガ)」を参照してください。															
20	ADCAn MD0	CG0 の A/D 変換モードを指定します。 0: ワンショット変換モード 繰返し回数は、CG ごとに ADCAnCTL0.ADCAnSCTi[1:0] で指定します。 1: 連続変換モード この設定は CG0 の A/D 変換のみに適用します。 CG1 と CG2 は、常にワンショット変換モードで動作します。 詳細は 1709 ページの 25.3.4 「A/D 変換モード」を参照してください。															
17	ADCAn DISC	ディスチャージ機能の有効/無効を設定します。 0: 無効 1: 有効 詳細は 1740 ページの 25.3.15 「ディスチャージ機能 (製品依存)」を参照してください。															

表 25-10 ADCAnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能																								
16	ADCAnRCL	A/D 変換結果 ADCAnCmCR と ADCAnDBiCR を読み出したあと、その値を保持するかどうかを指定します。 0: 次の A/D 変換結果によって上書きされるまで保持 1: 読み出し後にクリア																								
15	ADCAnCTYP	分解能モードを指定します。 0: 12 ビット分解能 (製品依存) 1: 10 ビット分解能																								
12	ADCAnSTL	ADCAnCNVi 信号のレベルを指定します。 0: ADCAnCNVi = L のとき、CGi は変換中ではない。 ADCAnCNVi = H のとき、CGi は変換中。 1: ADCAnCNVi = H のとき、CGi は変換中ではない。 ADCAnCNVi = L のとき、CGi は変換中。																								
11-8	ADCAnFR[3:0]	ADCAn クロック ADCAnTCLK を指定します。 <table border="1" data-bbox="550 750 1385 1361"> <thead> <tr> <th>ADCAnFR[3:0]</th> <th>ADCAn クロック</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>PCLK/2</td> </tr> <tr> <td>0001</td> <td>PCLK/3</td> </tr> <tr> <td>0010</td> <td>PCLK/4</td> </tr> <tr> <td>0011</td> <td>PCLK/5</td> </tr> <tr> <td>0100</td> <td>PCLK/6</td> </tr> <tr> <td>0110</td> <td>PCLK/8</td> </tr> <tr> <td>1000</td> <td>PCLK/10</td> </tr> <tr> <td>1010</td> <td>PCLK/12</td> </tr> <tr> <td>1100</td> <td>PCLK/14</td> </tr> <tr> <td>1110</td> <td>PCLK/16</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	ADCAnFR[3:0]	ADCAn クロック	0000	PCLK/2	0001	PCLK/3	0010	PCLK/4	0011	PCLK/5	0100	PCLK/6	0110	PCLK/8	1000	PCLK/10	1010	PCLK/12	1100	PCLK/14	1110	PCLK/16	上記以外	設定禁止
ADCAnFR[3:0]	ADCAn クロック																									
0000	PCLK/2																									
0001	PCLK/3																									
0010	PCLK/4																									
0011	PCLK/5																									
0100	PCLK/6																									
0110	PCLK/8																									
1000	PCLK/10																									
1010	PCLK/12																									
1100	PCLK/14																									
1110	PCLK/16																									
上記以外	設定禁止																									
6-4	ADCAnTRMi (製品依存)	より優先順位の高い CG の A/D 変換の起動トリガが入力された場合 (または ADCHALT モードへの遷移が要求された場合) の中断動作を指定します。 0: CGi の現在の A/D 変換はただちに中断し、より優先順位の高い CG の A/D 変換を開始する (または ADCHALT モードに入る)。 1: CGi の現在のチャンネルの変換を終了してから CG の A/D 変換を中断し、より優先順位の高い CG の A/D 変換を開始する (または ADCHALT モードに入る)。 より優先順位の高い CG の A/D 変換がすべて終了した (または ADCHALT モードから復帰した) あと、CGi の A/D 変換を継続します。 優先順位は、ADCHALT > CG2 > CG1 > CG0 です。 詳細は 1708 ページの (1) 「A/D 変換の順序」を参照してください。																								
3	ADCAnBPC	バッファ・アンプ機能の有効/無効を設定します。 0: 無効 1: 有効 詳細は 1741 ページの 25.3.16 「バッファ・アンプ機能」を参照してください。																								
0	ADCAnGPS	ADCAn のパワーオン/オフを切り替えます。 0: パワーオフ 1: パワーオン A/D コンバータは、パワーオンにしたあとで動作を安定させるための時間が必要です (1741 ページの 25.3.17 「安定制御」を参照)。																								

(3) ADCAnCGi - A/Dコンバータ・チャンネル・グループ・レジスタ i

各CGのスキャン・リストを作成します。スキャン・リストに設定したチャンネルは昇順に変換されます。詳細は1707ページの25.3.3「チャンネルとチャンネル・グループ」を参照してください。

また、ADCAnCG0.ADCAnDIAGを使用して、基準電圧ADDIAGOUT信号を用いたA/D変換の診断の有効・無効を選択することができます。詳細は1726ページの(1)「A/D変換回路の診断」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

本レジスタは、マスタ/スレーブ構成のレジスタのため、A/D変換動作中に新たなA/D変換チャンネルをマスタ・レジスタに設定できます。マスタ・レジスタの値がスレーブ・レジスタに転送されるタイミングは次のとおりです。

- CGiがA/D変換中でない場合は、マスタ・レジスタに書き込まれた1クロック(PCLK)後に転送されます。
- CGiがA/D変換中の場合は、現在実行されているCGiのスキャン・リスト変換が終了したときに転送されます。
- 本レジスタに書き込みを行ったあとでCGiの停止トリガビット(ADCAnSPiビット)をセットした場合は、A/D変換停止時に転送されません。

アドレス <ADCAn_base_USER> + ix4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn DIAG	0	0	0	0	0	0	0	ADCAnCGiS[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGiS[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-11 ADCAnCGi レジスタの内容

ビット位置	ビット名	機能
31	ADCAn DIAG	CG0のA/D変換終了時に行う基準電圧ADDIAGOUT信号の診断A/D変換の有効/無効を設定します。 0: ADDIAGOUT信号のA/D変換無効 1: ADDIAGOUT信号を変換 このビットはADCAnCG0のみ設定できます。ADCAnCG1とADCAnCG2は0としてください。
23-00	ADCAn CGiS[23:00]	変換対象のCGiのアナログ入力信号を指定します。 0: アナログ入力ADCAnImを変換しない 1: アナログ入力ADCAnImを変換する 備考 本製品に実装されていないチャンネルに対応するビットは0に設定してください。

(4) ADCAnIOCi - A/D コンバータ割り込み制御レジスタ i

特定のチャンネルの A/D 変換が終了したときに、A/D 変換終了割り込み INTADCAnti を発生させることができます。

このレジスタは、A/D 変換終了時に割り込み INTADCAnti を発生させるチャンネルを指定します。

ADCAnIOCi = 0000 0000_H を設定した場合、CGi の A/D 変換終了時に自動的に割り込み INTADCAnti が発生します。

アクセス 32 ビット単位でリード/ライト可能です。

A/D コンバータが有効 (ADCAnCTL0.ADCAnCE に 1 を設定) の場合でも、任意のタイミングで書き込むことができます。新しい値は CGi の現在の A/D 変換が終了したあとに有効になります。

アドレス <ADCAn_base_USER> + 0C_H + ix4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn CG0 IDG	0	0	0	0	0	0	0	ADCAnCGil[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGil[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-12 ADCAnIOCi レジスタの内容

ビット位置	ビット名	機能
31	ADCAn CG0IDG	CG0 の診断モードが有効な場合 (ADCAnCG0.ADCAnDIAG に 1 を設定)、基準電圧の A/D 変換終了時に割り込み INTADCAnti を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCAnti を発生しない 1: A/D 変換終了割り込み INTADCAnti を発生する このビットは ADCAnIOC0 レジスタのみ設定できます。ADCAnIOC1 レジスタと ADCAnIOC2 レジスタは 0 としてください。 詳細は 1726 ページの (1) 「A/D 変換回路の診断」を参照してください。
23-00	ADCAn CGil[23:00]	チャンネル m の A/D 変換終了時に割り込み INTADCAnti を発生させるかどうかを指定します。 0: A/D 変換終了割り込み INTADCAnti を発生しない 1: A/D 変換終了割り込み INTADCAnti を発生する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 ADCAnIOCi レジスタは ADCAnCGi レジスタに連動しているため、それぞれのバッファ・レジスタを更新する場合はあわせて行う必要があります。更新は ADCAnCGi レジスタが書き込まれた時点で行われるため、CG の割り込み発生を変更する場合は、必ず ADCAnCGi レジスタの前に ADCAnIOCi レジスタの書き込みを行ってください。

(5) ADCAnCNT - A/Dコンバータ安定カウンタ

安定時間を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCAn_base_OS> + 114_H

初期値 00_H どのリセット要因でも初期化されます。

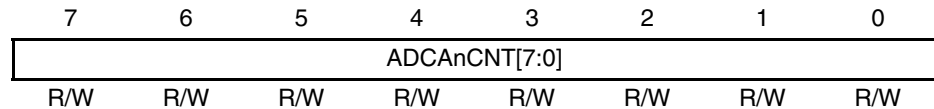


表 25-13 ADCAnCNT レジスタの内容

ビット位置	ビット名	機能
7-0	ADCAnCNT[7:0]	安定カウンタ値を指定します。 安定時間 = ADCAnCNT[7:0] × クロック (PCLK)

(6) ADCAnTSELi - A/Dコンバータ・トリガ選択制御レジスタ 0 (製品依存)

ハードウェア起動トリガ ADCAnTTRGi 信号と組み合わせて使用する入力信号を指定します。複数のトリガ・ソースを同時に使用できます。

アクセス 16ビット単位でリード/ライト可能です。

A/Dコンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base_OS> + 108_H + ix4_H

初期値 0000_H どのリセット要因でも初期化されます。

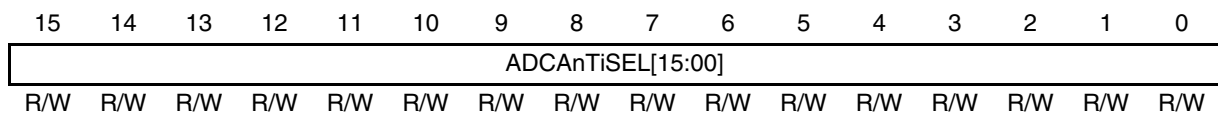


表 25-14 ADCAnTSELi レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAnTiSEL[15:00]	対応する入力信号をハードウェア起動トリガとして使用するかどうかを指定します。 0: ハードウェア起動トリガとして使用しない 1: ハードウェア起動トリガとして使用する 備考 本製品に実装されていないトリガに対するビットは 0 に設定してください。

備考 ハードウェア起動トリガの接続先は、表 25-2 「ハードウェア・トリガの接続先」を参照してください。

25.4.3 変換状態レジスタ

(1) ADCAnSTR1 - A/Dコンバータ上書きエラー・フラグ

ADCAnCmCR レジスタに対し、最新の A/D 変換結果を読み出す前に上書きされたかどうかを示します。

アクセス 32 ビット単位でリード可能です。

アドレス <ADCAn_base_USER> + 28_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-15 ADCAnSTR1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnOWE[23:00]	チャンネル m の A/D 変換結果を読み出す前に上書きされたかどうかを示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは、ADCAnSTC1.ADCAnOWECm を 1 に設定するとクリアされます。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 ADCAnSTR1.ADCAnOWEm の値は、次の上書きエラー・フラグに反映されます。

- チャンネル m の A/D コンバータ変換結果レジスタのエラー・フラグ (ADCAnCmCR.ADCAnCmER1)

(2) ADCAnSTC1 - ADCAnSTR1 フラグ・クリア・レジスタ

ADCAnSTR1 レジスタのクリア制御レジスタです。

アクセス 32 ビット単位でライト可能です。

読み出し値は常に 0000 0000_H です。

アドレス <ADCAn_base_USER> + 34_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWEC[23:16]							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25-16 ADCAnSTC1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnOWEC[23:00]	0: 機能なし 1: 対応する ADCAnSTR1.ADCAnOWEm をクリア 備考 本製品に実装されていないチャンネルに対応するビットは0に設定してください。

(3) ADCAnSTR2 - A/Dコンバータ状態フラグ2

現在の変換状態を示します。

アクセス 16ビット単位でリード可能です。

アドレス <ADCAn_base_USER> + 2C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	ADCAnRQ3	ADCAnRQ[2:0]			0	0	0	0	ADCAnST3	ADCAnST[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-17 ADCAnSTR2 レジスタの内容

ビット位置	ビット名	機能
11	ADCAnRQ3 (製品依存)	ADCHALT 要求が保留されているかどうかを示します。 0: 保留 ADCHALT 要求なし 1: 保留 ADCHALT 要求あり
10-8	ADCAnRQ[2:0]	CGi の A/D 変換要求が保留されているかどうかを示します。 0: 保留 A/D 変換要求なし 1: 保留 A/D 変換要求あり
3	ADCAnST3 (製品依存)	A/D 変換が、ソフトウェア・トリガ (ADCAnTRG3.ADCAnSTT3) によって現在 ADCHALT 状態であるかどうかを示します。 0: ADCHALT 状態ではない 1: ADCHALT 状態 A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合、このビットはクリアされています。
2-0	ADCAnST[2:0]	CGi の A/D 変換が現在実行中かどうかを示します。 0: A/D 変換実行中ではない (より優先順位の高い CG の A/D 変換による中断も含む) 1: A/D 変換実行中 A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合、このビットはクリアされています。

(4) ADCAnSTC2 - A/Dコンバータ状態フラグ・クリア・レジスタ 2

ADCAnLCR レジスタと ADCAnDBiCR レジスタの上書き状態フラグと結果確認状態フラグをクリアします。

アクセス 8ビット単位でライト可能です。

アドレス <ADCAn_base_USER> + 38_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
ADCAn LERC1	ADCAn LERC0	ADCAn DB2ERC1	ADCAn DB2ERC0	ADCAn DB1ERC1	ADCAn DB1ERC0	ADCAn DB0ERC1	ADCAn DB0ERC0
W	W	W	W	W	W	W	W

表 25-18 ADCAnSTC2 レジスタの内容

ビット位置	ビット名	機能
7	ADCAn LERC1	上書きフラグ ADCAnLCR.ADCAnLER1 をクリアします。 0: 機能なし 1: ADCAnLCR.ADCAnLER1 をクリア
6	ADCAn LERC0	結果確認エラー・フラグ ADCAnLCR.ADCAnLER0 をクリアします。 0: 機能なし 1: ADCAnLCR.ADCAnLER0 をクリア
5, 3, 1	ADCAn DBiERC1	上書きフラグ ADCAnDBiCR.ADCAnDBiER1 をクリアします。 0: 機能なし 1: ADCAnDBiCR.ADCAnDBiER1 をクリア
4, 2, 0	ADCAn DBiERC0	結果確認エラー・フラグ ADCAnDBiCR.ADCAnDBiER0 をクリアします。 0: 機能なし 1: ADCAnDBiCR.ADCAnDBiER0 をクリア

25.4.4 ソフトウェア・トリガ・レジスタ

(1) ADCAnTRGi - A/Dコンバータ・ソフトウェア・トリガ・レジスタ i

CGi の A/D 変換を開始するためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base_USER> + A4_H + ix4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAn STTi
W	W	W	W	W	W	W	W

表 25-19 ADCAnTRGi レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSTTi	CGi の A/D 変換を開始します。 0: 機能なし 1: CGi の A/D 変換を開始

詳細は 1712 ページの 25.3.5 「A/D 変換の開始 (起動トリガ)」を参照してください。

(2) ADCAnTRG3 - A/Dコンバータ・ソフトウェア・トリガ・レジスタ 3 (製品依存)

ADCHALT モードへ遷移させるためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base_USER> + B0_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAn STT3
W	W	W	W	W	W	W	W

表 25-20 ADCAnTRG3 レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSTT3	0: 機能なし 1: ADCHALT モードへ遷移

詳細は 1716 ページの 25.3.8 「A/D 変換の休止と再開 (ADCHALT モード) (製品依存)」を参照してください。

(3) ADCAnTRG4+i - A/Dコンバータ・ソフトウェア・トリガ・レジスタ 4+i

CGi の A/D 変換を停止するためのソフトウェア・トリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base_USER> + B4_H + ix4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAnSPi
W	W	W	W	W	W	W	W

表 25-21 ADCAnTRG4 + i レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSPi	0: 機能なし 1: CGi の A/D 変換を停止

詳細は 1714 ページの 25.3.6 「A/D 変換の停止 (停止トリガ)」を参照してください。

(4) ADCAnTRG7 - A/Dコンバータ・ソフトウェア・トリガ・レジスタ 7 (製品依存)

ADCHALT モードを解除し A/D 変換を再開するためのソフトウェア・トリガ・レジスタです。

アクセス 8ビット単位でライト可能です。
読み出し値は常に 00_H です。

アドレス <ADCAn_base_USER> + C0_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAnSP3
W	W	W	W	W	W	W	W

表 25-22 ADCAnTRG7 レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSP3	0: 機能なし 1: A/D 変換を再開

詳細は 1716 ページの 25.3.8 「A/D 変換の休止と再開 (ADCHALT モード) (製品依存)」を参照してください。

25.4.5 A/D 変換結果レジスタ

(1) ADCAnLCR - A/D コンバータ最新変換結果レジスタ

最新の A/D 変換の結果と状態を格納します。

最新の A/D 変換結果を、読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base_USER> + A0_H

初期値 0300 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn LCG[1:0]	ADCAn LER1	ADCAn LERO	ADCAn LUR	ADCAnLCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnLCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-23 ADCAnLCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCAn LCG[1:0]	ADCAnLCR[15:00] に格納されている変換結果の対象 CG を示します。 <table border="1"> <thead> <tr> <th>ADCAn LCG1</th><th>ADCAn LCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table>	ADCAn LCG1	ADCAn LCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCAn LCG1	ADCAn LCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCAn LER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTC2.ADCAnLERC1 を 1 に設定するとクリアされます。															
22	ADCAn LERO	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTC2.ADCAnLERC0 を 1 に設定するとクリアされます。															
21	ADCAn LUR	A/D 変換結果の更新状態を示します。 0: ADCAnLCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCAnLCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。															

表 25-23 ADCAnLCR レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
20-16	ADCAnLCN[4:0]	ADCAnLCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。 00001×m = CHm																				
15-0	ADCAnLCR[15:00]	A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。																				
		<table border="1"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnLCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnLCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnLCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnLCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnLCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnLCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]																			

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタには格納されません（1763 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照）。

(2) ADCAnCmCR - チャネル m の A/D コンバータ変換結果レジスタ

チャネル m の最新の A/D 変換の結果と状態を格納します。

指定チャネル (m) の A/D 変換結果を読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base_USER> + 3C_H + m×4_H

初期値 0300 0000_H + m×0001 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn CmCG[1:0]	ADCAn CmER1	ADCAn CmER0	ADCAn CmUR	ADCAnCmCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCmCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 備考**
1. 各ビットの機能は ADCAnLCR レジスタのビットと同じですが、ADCAnLCR レジスタの対象が全チャネルであるのに対し、このレジスタは指定チャネルの最新の A/D 変換結果を示します (1756 ページの表 25-23 「ADCAnLCR レジスタの内容」を参照)。
 2. リセット後、ADCAnCmCG[1:0] ビットは 11_B に設定されます。
 3. ADCAnCTL1.ADCAnRCL に 0 を設定の場合は、ADCAnCmCR[15:00] ビットの A/D 変換結果は次の A/D 変換結果によって上書きされるまで保持されます。
ADCAnCTL1.ADCAnRCL に 1 を設定の場合、ADCAnCmCR[15:00] ビットの A/D 変換結果は読み出し後クリアされます。

表 25-24 ADCAnCmCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCAn CmCG[1:0]	ADCAnCmCR[15:00] に格納されている変換結果の対象 CG を示します。															
		<table border="1"> <thead> <tr> <th>ADCAn CmCG1</th><th>ADCAn CmCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table>	ADCAn CmCG1	ADCAn CmCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCAn CmCG1	ADCAn CmCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															

表 25-24 ADCAnCmCR レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
23	ADCAnCmER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTR1.ADCAnOWEm の値を反映し ADCAnSTC1.ADCAnQWECm を 1 に設定するとクリアされます。																				
22	ADCAnCmER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTR0.ADCAnRCEm の値を反映し ADCAnSTC0.ADCAnRCECm を 1 に設定するとクリアされます。																				
21	ADCAnCmUR	A/D 変換結果の更新状態を示します。 0: ADCAnCmCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCAnCmCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。																				
20-16	ADCAnCmCN[4:0]	ADCAnCmCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。 00001×m = CHm																				
15-0	ADCAnCmCR [15:00]	A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。																				
		<table border="1"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnCmCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnCmCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnCmCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnCmCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnCmCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnCmCR[15:00] の [15:06]																			

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタには格納されません（1763 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照）。

(3) ADCAnDBiCR - CGi の DMA バッファ・レジスタ

CGi の最新の A/D 変換の結果と状態を格納します。CGi のすべてのチャンネルの A/D 変換結果を読み出すことができます。

アクセス 32 ビット単位でリード可能です。

- 上位 16 ビットは、A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

アドレス <ADCAn_base_USER> + C4_H + ix4_H

初期値 0000 0000_H + ix0100 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn DBiCG[1:0]	ADCAn DBiER1	ADCAn DBiER0	ADCAn DBiUR	ADCAnDBiCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

備考 各ビットの機能は ADCAnLCR レジスタのビットと同じですが、ADCAnLCR レジスタの対象が全 CG であるのに対し、このレジスタは CGi の最新の A/D 変換結果を示します（1756 ページの表 25-23 「ADCAnLCR レジスタの内容」を参照）。

表 25-25 ADCAnDBiCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCAn DBiCG[1:0]	ADCAnDBiCR[15:00] に格納されている変換結果の対象 CG を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCAn DBiCG1</th><th>ADCAn DBiCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table> 常に同じ CG の変換結果と状態を格納するため、このビットの値は固定されます。	ADCAn DBiCG1	ADCAn DBiCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCAn DBiCG1	ADCAn DBiCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCAn DBiER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTC2.ADCAnDBiERC1 を 1 に設定するとクリアされます。															
22	ADCAn DBiER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTC2.ADCAnDBiERC0 を 1 に設定するとクリアされます。															
21	ADCAn DBiUR	A/D 変換結果の更新状態を示します。 0: ADCAnDBiCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCAnDBiCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。															

表 25-25 ADCAnDBiCR レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
20-16	ADCAnDBiCN[4:0]	ADCAnDBiCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。 00001×m = CHm																				
15-0	ADCAnDBiCR [15:00]	A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。 <table border="1" data-bbox="497 490 1382 909"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]																			

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタ、ADCAnDBiCRL レジスタには格納されません (1763 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

(4) ADCAnDBiCRL - CGi 変換 DMA バッファ・レジスタ (製品依存)

CGi の最新の A/D 変換の結果を格納します。CGi のすべてのチャンネルの A/D 変換結果を読み出すことができます。このレジスタは、(3) 「ADCAnDBiCR - CGi の DMA バッファ・レジスタ」の下位 16 ビットのミラーとなっています。

アクセス 16 ビット単位でリード可能です。

アドレス <ADCAn_base_USER> + D0_H + ix4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-26 ADCAnDBiCRL レジスタの内容

ビット位置	ビット名	機能																				
15-0	ADCAnDBiCRL [15:00]	<p>A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。</p> <table border="1"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]																			

備考 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ, ADCAnCmCR レジスタ, ADCAnDBiCR レジスタ, ADCAnDBiCRL レジスタには格納されません (1763 ページの (5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

(5) ADCAnDGCR - 診断変換結果レジスタ

基準電圧 ADDIAGOUT 信号の A/D 変換結果を格納します
(ADCAnCG0.ADCAnDIAG に 1 を設定の場合)。

診断 A/D 変換は、CG0 の最後のチャンネルの A/D 変換が終了したあとに開始
されます。

アクセス 16 ビット単位でリード可能です。

アドレス <ADCAn_base_USER> + 9C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDGCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-27 ADCAnDGCR レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAn DGCR[15:00]	診断 A/D 変換の結果を示します。 分解能と揃え位置は、通常の A/D 変換結果レジスタと同様、 ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。

25.4.6 A/D 変換結果上下限比較レジスタ

(1) ADCAnCTL2 - A/D コンバータ結果確認レジスタ

変換結果上下限比較機能の有効/無効をチャンネルごとに設定できます。

詳細は 1723 ページの 25.3.12 「変換結果確認機能」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base_USER> + 18_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCK[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCK[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-28 ADCAnCTL2 レジスタの内容

ビット位置	ビット名	機能
23-00	ADCAnRCK[23:00]	CHm の結果上下限比較の有効/無効を設定します。 0: CHm の A/D 変換結果を上下限比較しない 1: CHm の A/D 変換結果を上下限比較する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 この設定は各 CG の A/D 変換に対して有効です。

(2) ADCAnUL - A/D コンバータ結果上下限比較 (上限値)

A/D 変換結果の上限値を指定します。

詳細は 1723 ページの 25.3.12 「変換結果確認機能」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base_USER> + 1C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnUL[11:00]												0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-29 ADCAnUL レジスタの内容

ビット位置	ビット名	機能
15-4	ADCAnUL[11:00]	A/D 変換結果の上限値を指定します。 10 ビット機能の場合は ADCAnUL[11:02] で設定してください。

(3) ADCAnLL - A/D コンバータ結果上下限比較 (下限値)

A/D 変換結果の下限値を指定します。

詳細は 1723 ページの 25.3.12 「変換結果確認機能」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

アドレス <ADCAn_base_USER> + 20_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnLL[11:00]												0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-30 ADCAnLL レジスタの内容

ビット位置	ビット名	機能
15-4	ADCAnLL[11:00]	A/D 変換結果の下限値を指定します。 10 ビット機能の場合は ADCAnLL[11:02] で設定してください。

(4) ADCAnSTR0 - A/D コンバータ結果上下限比較エラー・フラグ

ADCAnCTL2 レジスタに設定されたチャンネルの最新の A/D 変換結果上下限比較のエラー状態を示します。ADCAnSTR0 レジスタによって、どの A/D 変換結果が設定範囲を外れているか確認できます。

詳細は 1723 ページの 25.3.12 「変換結果確認機能」を参照してください。

アクセス 32 ビット単位でリード可能です。

アドレス <ADCAn_base_STR> + 24_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-31 ADCAnSTR0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnRCE[23:00]	A/D 変換結果が設定範囲内にあるかどうかを示します。 0: 変換結果は設定範囲内 1: 1 つ以上の変換結果が設定範囲外 このエラー・フラグは、ADCAnSTC0.ADCAnRCECm を 1 に設定するとクリアされます。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

備考 ADCAnSTR0.ADCAnRCEm の値は、次の A/D 変換結果エラー・フラグに反映されます。

- チャンネル m の A/D コンバータ変換結果レジスタのエラー・フラグ (ADCAnCmCR.ADCAnCmER0)

(5) ADCAnSTC0 - ADCAnSTR0 フラグ・クリア・レジスタ

ADCAnSTR0 のクリア制御レジスタです。

アクセス 32 ビット単位でライト可能です。
読み出し値は常に 0000 0000_H です。

アドレス <ADCAn_base_USER> + 30_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCEC[23:16]							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 25-32 ADCAnSTC0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnRCEC[23:00]	0: 機能なし 1: 対応する ADCAnSTR0.ADCAnRCEm をクリア 備考 本製品に実装されていないチャンネルに対応するビットは0に設定してください。

25.4.7 診断機能制御レジスタ (製品依存)

(1) ADCAnDGCTL0 - 自己診断機能制御レジスタ 0

A/D 変換回路の動作を診断するために適用する基準電圧を指定します。

このレジスタは、ADCAnCTL0.ADCAnCE に 1 を設定のときでも書き込み可能です。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCAn_base_USER> + DC_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	ADCAnPSEL[2:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-33 ADCAnDGCTL0 レジスタの内容

ビット位置	ビット名	機能																																																															
2-0	ADCAnPSEL[2:0]	基準電圧を指定します。 <table border="1"> <thead> <tr> <th>ADCAnPSEL2</th><th>ADCAnPSEL1</th><th>ADCAnPSEL0</th><th>ADDIAGOUT 信号</th><th>DIAGOUT2 信号</th><th>DIAGOUT1 信号</th><th>DIAGOUT0 信号</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>AV_{SS}</td><td>2/3 AV_{DD}</td><td>1/2 AV_{DD}</td><td>1/3 AV_{DD}</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>1/3 AV_{DD}</td><td>1/2 AV_{DD}</td><td>1/3 AV_{DD}</td><td>2/3 AV_{DD}</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>1/2 AV_{DD}</td><td>1/3 AV_{DD}</td><td>2/3 AV_{DD}</td><td>1/2 AV_{DD}</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>2/3 AV_{DD}</td><td>Hi-Z</td><td>Hi-Z</td><td>Hi-Z</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>AV_{DD}</td><td>2/3 AV_{DD}</td><td>1/2 AV_{DD}</td><td>1/3 AV_{DD}</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>AV_{DD}</td><td>1/2 AV_{DD}</td><td>1/3 AV_{DD}</td><td>2/3 AV_{DD}</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>AV_{DD}</td><td>1/3 AV_{DD}</td><td>2/3 AV_{DD}</td><td>1/2 AV_{DD}</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>AV_{DD}</td><td>Hi-Z</td><td>Hi-Z</td><td>Hi-Z</td></tr> </tbody> </table> <p>Hi-Z を選択して変換を行った場合、A/D 変換結果は不定です。</p>	ADCAnPSEL2	ADCAnPSEL1	ADCAnPSEL0	ADDIAGOUT 信号	DIAGOUT2 信号	DIAGOUT1 信号	DIAGOUT0 信号	0	0	0	AV _{SS}	2/3 AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}	0	0	1	1/3 AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}	0	1	0	1/2 AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}	1/2 AV _{DD}	0	1	1	2/3 AV _{DD}	Hi-Z	Hi-Z	Hi-Z	1	0	0	AV _{DD}	2/3 AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}	1	0	1	AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}	1	1	0	AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}	1/2 AV _{DD}	1	1	1	AV _{DD}	Hi-Z	Hi-Z	Hi-Z
ADCAnPSEL2	ADCAnPSEL1	ADCAnPSEL0	ADDIAGOUT 信号	DIAGOUT2 信号	DIAGOUT1 信号	DIAGOUT0 信号																																																											
0	0	0	AV _{SS}	2/3 AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}																																																											
0	0	1	1/3 AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}																																																											
0	1	0	1/2 AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}	1/2 AV _{DD}																																																											
0	1	1	2/3 AV _{DD}	Hi-Z	Hi-Z	Hi-Z																																																											
1	0	0	AV _{DD}	2/3 AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}																																																											
1	0	1	AV _{DD}	1/2 AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}																																																											
1	1	0	AV _{DD}	1/3 AV _{DD}	2/3 AV _{DD}	1/2 AV _{DD}																																																											
1	1	1	AV _{DD}	Hi-Z	Hi-Z	Hi-Z																																																											

詳細は 1726 ページの (1) 「A/D 変換回路の診断」を参照してください。

(2) ADCAnDGCTL1 - 自己診断機能制御レジスタ 1

どのチャンネルに（アナログ入力信号 ADCAnIm でなく）内部基準電圧を適用するかを指定します。

このレジスタは、ADCAnCTL0.ADCAnCE に 0 を設定のときのみ書き込み可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCAn_base_OS> + 11C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnCDG[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCDG[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-34 ADCAnDGCTL1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnCDG[23:00]	入力電圧を指定します。 0: アナログ入力電圧 ADCAnIm 端子を使用 1: 次の基準電圧を使用 DIAGOUT0 (m = 21, 18, 15, 12, 9, 6, 3, 0 の場合) DIAGOUT1 (m = 22, 19, 16, 13, 10, 7, 4, 1 の場合) DIAGOUT2 (m = 23, 20, 17, 14, 11, 8, 5, 2 の場合) 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

(3) ADCAnPDCTL0 - 内部プルダウン抵抗値制御レジスタ 0

ADCAnIm 端子内部のプルダウン抵抗を接続するチャンネルを指定します。詳細は 1729 ページの (3) 「オープン端子の診断」を参照してください。

このレジスタは、ADCAnCTL0.ADCAnCE に 0 を設定のときのみ書き込み可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCAn_base_OS> + 120_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnPDNA[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnPDNA[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-35 ADCAnPDCTL0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAn PDNA[23:00]	内部プルダウン抵抗を CHm に接続するかどうかを指定します。 0: 内部プルダウン抵抗を接続しない 1: 内部プルダウン抵抗を接続する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

25.4.8 チャンネル S/H 機能設定レジスタ (製品依存)

(1) ADCAnSHCTL - A/Dコンバータ・チャンネル S/H 制御レジスタ

チャンネル S/H 回路への電源のオン/オフとチャンネル S/H 機能の有効/無効を制御します。

A/Dコンバータが無効 (ADCAnCTL0. ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

ただし、チャンネル S/H 回路の診断を行う場合は、ADCAnCTL0. ADCAnCE に 1 を設定でも書き込み可能です。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ADCAn_base_OS> + 118_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	ADCAnCPS[12:00]												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	ADCAnCSEL[12:00]												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-36 ADCAnSHCTL レジスタの内容

ビット位置	ビット名	機能
28-16	ADCAnCPS[12:00]	チャンネル S/H への電源供給を制御します。 0 : チャンネル S/H への電源オフ 1 : チャンネル S/H への電源オン チャンネル S/H 回路による消費電力を低減するために、チャンネル S/H を使用していないときは電源をオフにしてください。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。
12-00	ADCAnCSEL[12:00]	チャンネル S/H 機能の有効/無効を設定します。 0 : チャンネル S/H 機能無効 1 : チャンネル S/H 機能有効 チャンネル S/H 回路の診断を行う場合は、ADCAnCE = 1 でも ADCAnSHCTL. ADCAnCSELx の変更が可能です。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

25.5 使用上の注意事項

25.5.1 チャネル入力電圧の範囲

注意 ADCAnIm 入力電圧は規格の範囲内で使用してください。チャネル入力電圧が AV_{DD} を上回るか AV_{SS} を下回ると、そのチャネルの変換値が飽和し、ほかのチャネルの電気的特性にも影響を与えることがあります。

25.5.2 変換動作の停止

変換動作中に ADCAnCTL0.ADCAnCE に "0" を書き込むと変換動作を停止し、ADCAnCmCR レジスタへの変換結果を格納しません。

25.5.3 チャネル S/H 機能使用時の制限事項

1739 ページの (2) 「チャネル S/H 機能使用時の制限事項」を参照してください。

25.5.4 アプリケーション設計上の注意事項

(1) アナログ入力端子 (ADCAnIm)

- (a) ADCAnIm 端子の入力電圧は規格の範囲内でご使用ください。 AV_{REFPn} 以上または AV_{REFMn} 以下の電圧が入力されることを避けるため、 V_F が 0.3 V (ターゲット) 以下のダイオードでクランプすることを推奨します。特に AV_{REFPn} 以上、 AV_{REFMn} 以下の電圧を入力すると、そのチャネルの変換値は不定となり、保証できません。また、ほかのチャネルの変換値にも影響を与えることがあります。
- (b) アナログ入力端子 (ADCAnIm) は、外部のアナログ信号入力源との間に抵抗 R_e を接続、 AV_{SSn} 端子間にコンデンサ C_e を接続しノイズを除去してください。
- (c) アナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによって A/D 変換特性が悪化する恐れがあります。
- (d) ADCAnIm 端子に近いポートは、入力、出力ともに、大きな電流駆動を避け、トグルによるスイッチングを極力控えることを推奨します。

(2) 電源の配線

デジタル回路のスイッチング・ノイズなどが、A/D コンバータ精度に及ぼす影響を最小限にするため、次の対策を推奨します。

- (a) 電源ラインは、片面ベタとするか、または、極力太いパターンで格子状に接続してください。

(b) 電源端子 (EV_{DD}, OSCV_{DD}, FV_{DD}, PLLV_{DD} (製品依存), CPUPLL_{DD} (製品依存), FRPLL_{DD} (一部製品のみ) (製品依存), CV_{DD} (製品依存), V_{DDM} (製品依存), V_{DDC} (製品依存), AV_{DDn}) とグランド端子 (EV_{SS}, OSCV_{SS}, FV_{SS}, PLLV_{SS} (製品依存), CPUPLL_{SS} (製品依存), FRPLL_{SS} (一部製品のみ) (製品依存), CV_{SS} (製品依存), V_{Ssm} (製品依存), V_{SSC} (製品依存), AV_{SSn}) 間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは、0.1 μF (ターゲット) 程度の積層セラミック・コンデンサ、および 4.7 μF (ターゲット) 以上のタンタル電解コンデンサを推奨します。

(c) アナログ電源 (AV_{DDn}) は、デジタル電源 (EV_{DD}, OSCV_{DD}, FV_{DD}, PLLV_{DD} (製品依存), CPUPLL_{DD} (製品依存), FRPLL_{DD} (一部製品のみ) (製品依存), CV_{DD} (製品依存), V_{DDM} (製品依存), V_{DDC} (製品依存)) から分離し、シリーズ・レギュレータより供給することを推奨します。デジタル電源と共通にする場合、電源供給元でアナログ電源、デジタル電源と電解コンデンサを1点ショートし、ボード上のパターンを別々に配線してください。

さらに、アナログ電源入口にチップ・インダクタの挿入を推奨します。また、アナログ・グランドも、電源グランド元でアナログ・グランド、デジタル・グランドと電解コンデンサを1点アースし、ボード上のパターンを別々に配線してください。

(3) アナログ基準電圧入力端子 (AV_{REFPn}, AV_{REFMn})

AV_{REFPn} 端子と AV_{REFMn} 端子間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは、0.1 μF (ターゲット) の積層セラミック・コンデンサと 4.7 μF (ターゲット) 以上のタンタル電解コンデンサを推奨します。

(4) A/D 変換結果のばらつきについて

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。また、アナログ入力端子 (ADCAn_{Im}) および基準電圧入力端子 (AV_{REFPn}, AV_{REFMn}) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

これらのばらつきや、不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理で軽減させてください。

次にソフトウェア処理の例を示します。

- 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

(5) A/D 変換のヒステリシス特性について

逐次比較型 A/D コンバータは、内部の共通 S/H 用コンデンサにアナログ入力電圧を保持し、そのあと、A/D 変換を行います。A/D 変換が終了したあとも、内部の共通 S/H 用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- (a) 同一チャンネルで A/D 変換を実行する場合、直前の A/D 変換時よりも高い電圧、または低い電圧に変化していると、変換結果が直前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があ

ります。参考に、アナログ入力端子の外部回路における信号源インピーダンスや抵抗 R_e の値が大きい場合、またはコンデンサ C_e の値が小さい場合に、ヒステリシス特性は大きくなる傾向があります。

- (b) アナログ入力チャンネルを切り換える場合、1つの A/D コンバータを用いて A/D 変換を行っているため、変換結果が直前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続 A/D 変換を行い、1回目の変換結果を廃棄してください。

25.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまりデジタル出力1あたりのアナログ入力電圧の比率を、1 LSB (Least Significant Bit) といいます。1 LSB のフルスケールに対する比率を %FSR (Full Scale Range) で表します。%FSR とは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので、分解能に関係なく次の式で表されます。

$$\begin{aligned} 1 \%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REFP} - AV_{REFM}) / 100 \end{aligned}$$

1 LSB は分解能 10 ビットのとき、次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} \\ &= 1/1024 \\ &= 0.098 \%FSR \end{aligned}$$

1 LSB は分解能 12 ビットのとき、次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{12} \\ &= 1/4096 \\ &= 0.024 \%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

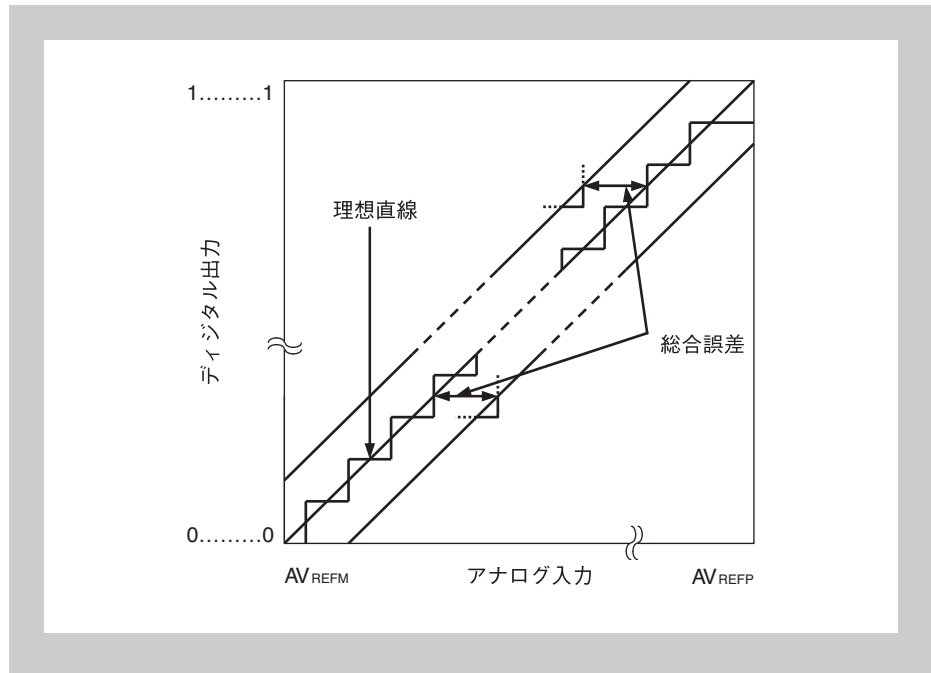


図 25-22 総合誤差

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSB の誤差です。A/Dコンバータでは、 $\pm 1/2$ LSB の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

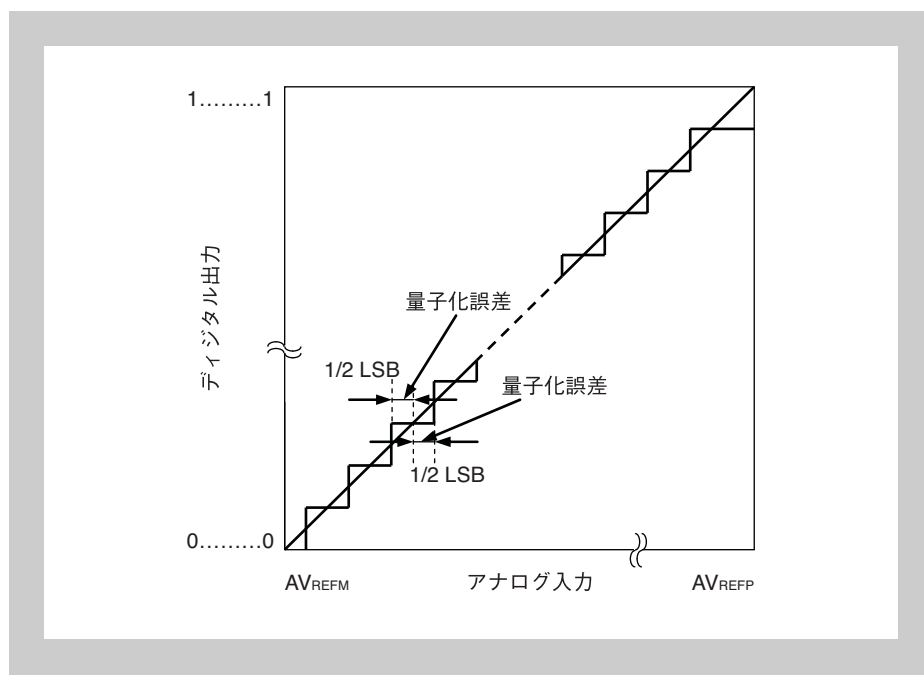


図 25-23 量子化誤差

(4) ゼロスケール誤差

デジタル出力が 0.....000 から 0.....001 に変化するときの、アナログ入力電圧の実測値と理論値 (1/2 LSB) との差を表します。

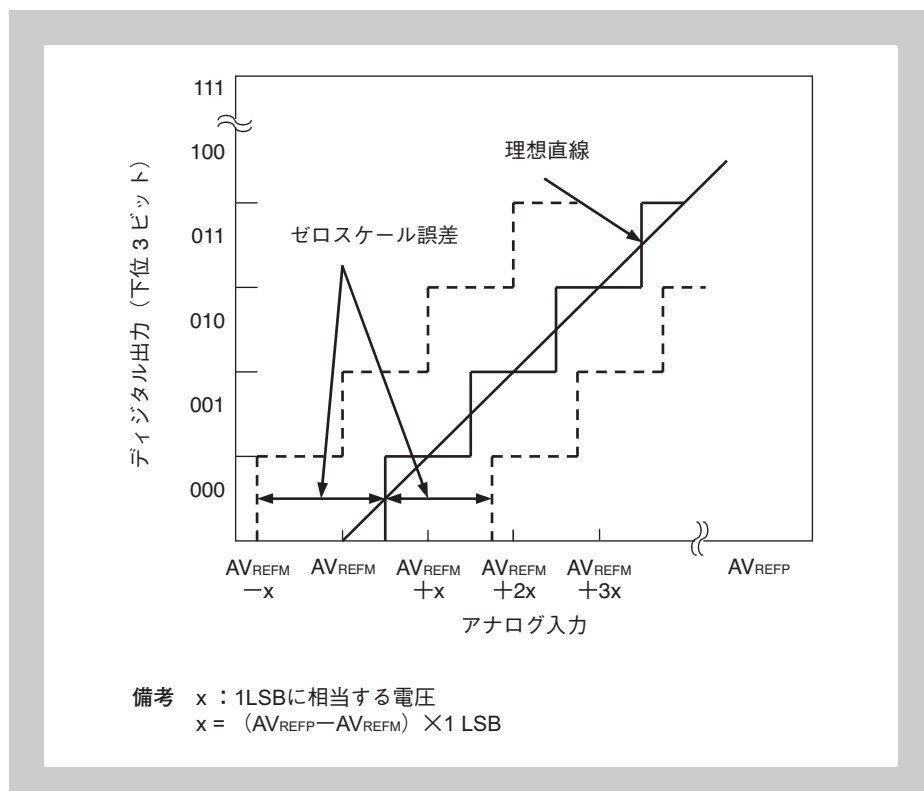


図 25-24 ゼロスケール誤差

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値

(フルスケールー 3/2 LSB) との差を表します。

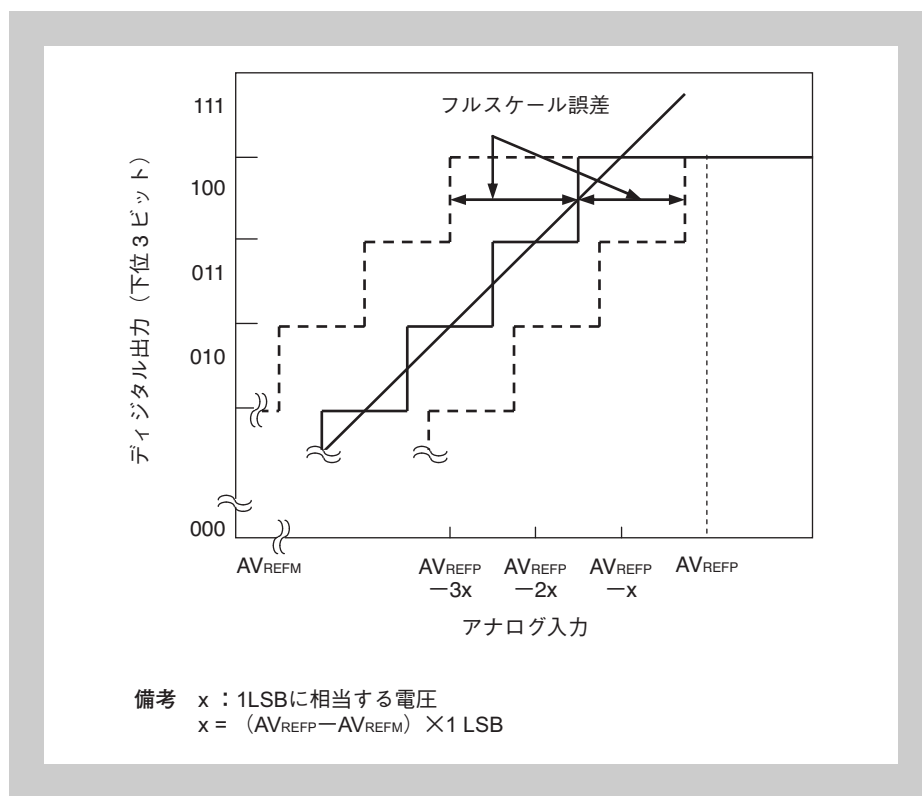


図 25-25 フルスケール誤差

(6) 微分直線性誤差

理想的には、あるコードを出力する幅は1 LSB ですが、あるコードを出力する幅の実測値と理想値との差を表します。

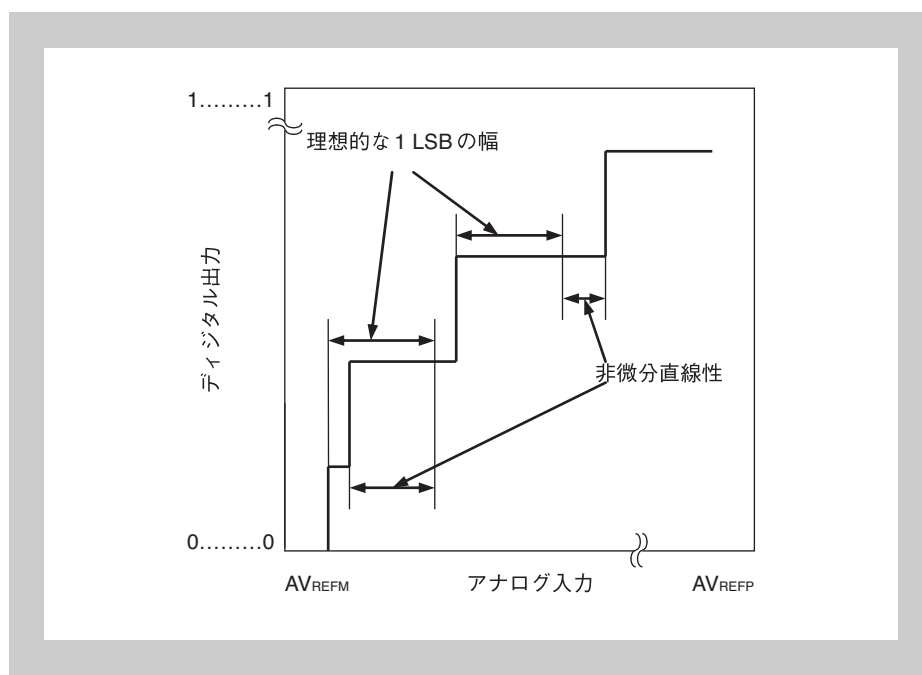


図 25-26 微分直線性誤差

(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

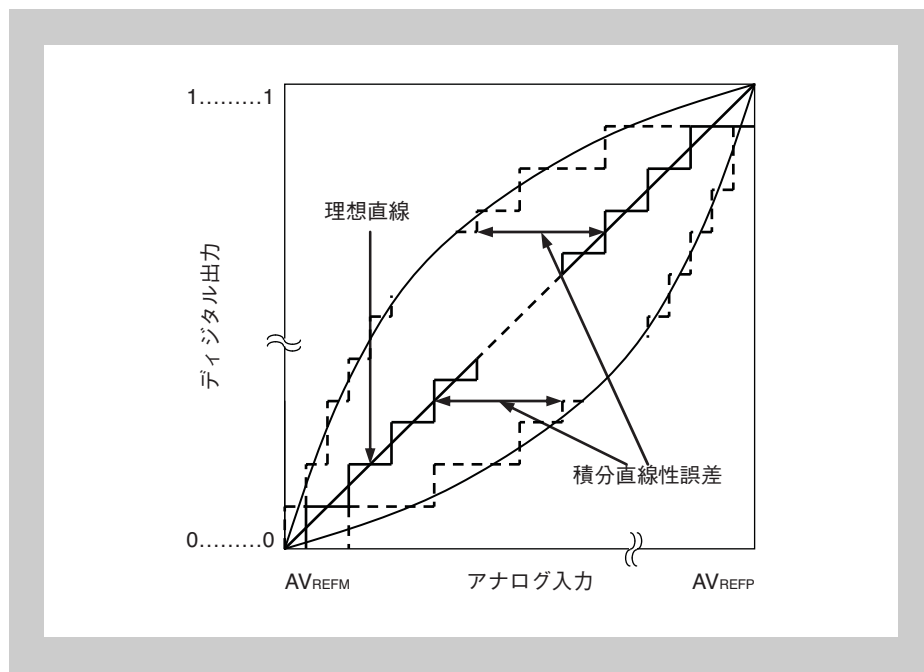


図 25-27 積分直線性誤差

(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧を共通 S/H 回路に取り込むため、アナログ・スイッチがオンしている時間です。

(10) A/D 起動時間

A/D 変換トリガから、A/D 変換開始までの時間です。

第26章 Hバス共有メモリ

26.1 特徴

- 64Kバイト
- バンク構成 (32 Kバイト×2)
- 内部システム・バスとHバスの双方からアクセス可能
- リード/ライトともに8ビット/16ビット/32ビット単位のアクセスが可能

26.2 構成

Hバス共有メモリは、内部システム・バスとHバスの双方からアクセス可能なRAMです。リード/ライトともに8ビット/16ビット/32ビット単位のアクセスが可能です。バンク構成 (32 Kバイト×2) を採用しており、内部システム・バスのバス・マスタとHバスのバス・マスタが異なるバンクに対して、同時にアクセスできます。なお、同一バンクへのアクセスが競合した場合は、アービトレーションが行われます。

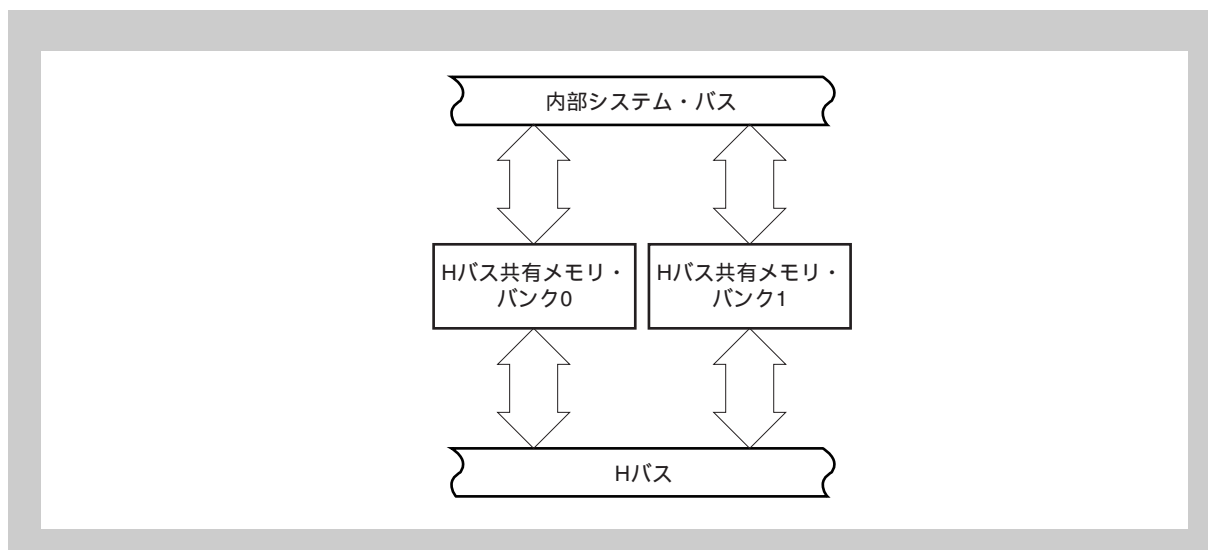


図 26-1 Hバス共有メモリ

それぞれのバンクのアドレス空間は次のようになっています。

表 26-1 Hバス共有メモリ

バンク	サイズ	アドレス
バンク 0	32 Kバイト	F9800000 _H - F9807FFF _H
バンク 1	32 Kバイト	F9808000 _H - F980FFFF _H

26.3 動作

26.3.1 並列動作

Hバス共有メモリは、内部システム・バスとHバスの双方からアクセス可能なRAMです。バンク構成（32 Kバイト×2）を採用しており、内部システム・バスのバス・マスタとHバスのバス・マスタが異なるバンクに対して、同時にアクセスできます。

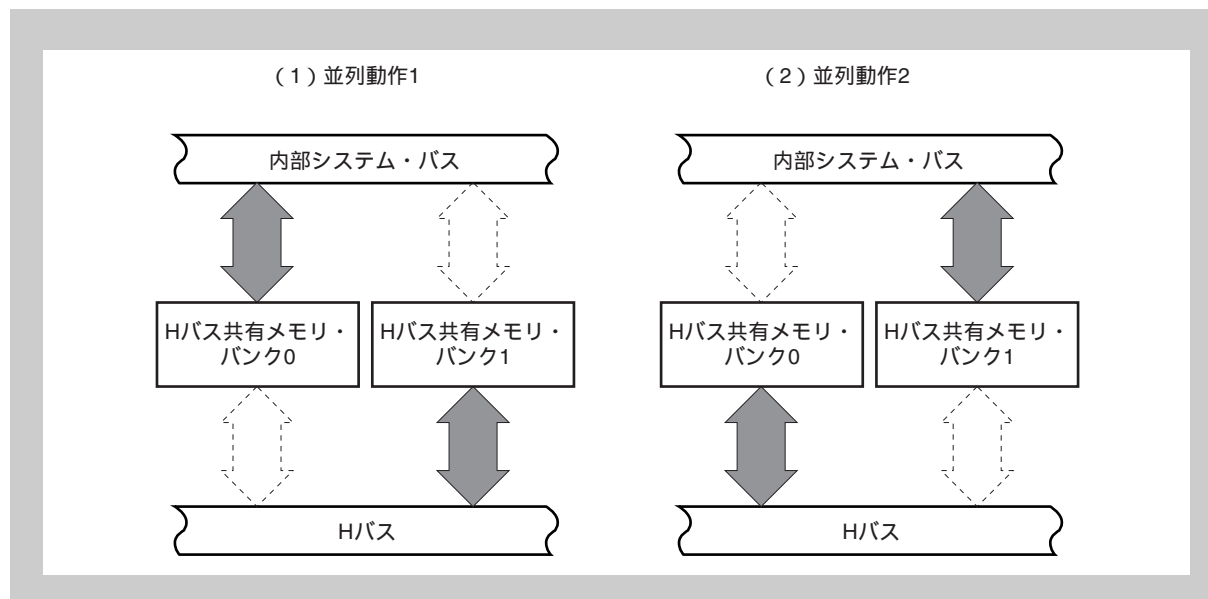


図 26-2 並列動作例

26.3.2 アービトレーション

内部システム・バスのバス・マスタとHバスのバス・マスタの両方から同一バンクへのアクセスが競合した場合は、いずれかのアクセス要求のみを伝えるアクセスの調停（アービトレーション）を行います。アービトレーションは、ラウンド・ロビン方式で行われます。

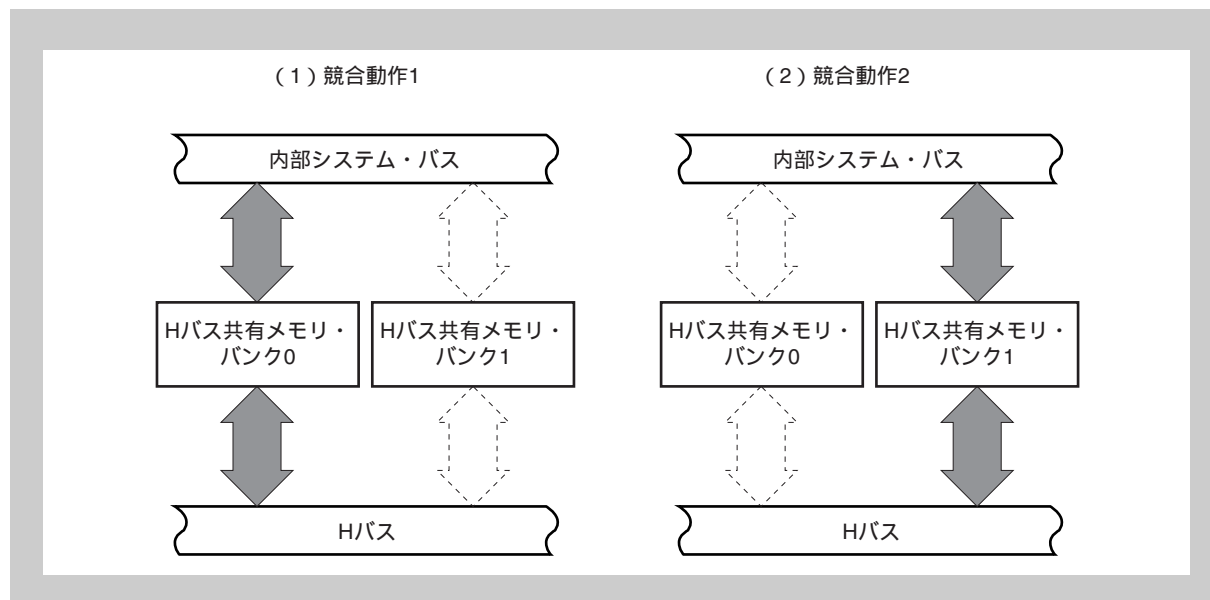


図 26-3 競合動作例

第27章 Hバス・メモリ・サイド・キャッシュ

27.1 特徴

- PE1/PE2/DMA からの Hバス外部メモリ領域アクセスに有効
- ユニファイド 16K バイト 4 ウエイ・セット・アソシアティブ
- シーケンシャル/クリティカルワード・ファースト・アクセス
- フラッシュ（クリア）機能
- 擬似 LRU アルゴリズム採用
- ライト・スルー動作

27.2 構成

命令とデータを区別せずに、同一のキャッシュで管理するユニファイドキャッシュ構成です。16 K バイト 4 ウエイ・セット・アソシアティブ・ユニファイド・キャッシュは、1 ラインが 4 ワードの 256 エントリのブロックで構成されたウエイが 4 枚で、合計 16 K バイトの容量です。キャッシュ・ミスが発生した場合は、1 ライン（16 バイト）単位のリフィルを行います。

27.3 制御レジスタ

27.3.1 ETA 設定レジスタ (ETACFG)

ETACFG レジスタは、Hバス・メモリ・サイド・キャッシュの各機能に対する動作の設定をするレジスタです。

アクセス 16ビット単位でリード／ライト可能です。

アドレス FFFF7100_H

初期値 0980_H どのリセット要因でも初期化されます。

注意 ビット 15-12,10,9,6-0 には必ず 0 を、ビット 11,8 には 1 を必ず設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	BFM	0	BPM1	BPM0
R	R	R	R	R/W	R	R/W	R/W
7	6	5	4	3	2	1	0
CFM	0	CWM1	CWM0	0	0	0	END
R/W	R	R/W	R/W	R	R	R	R/W

表 27-1 ETACFG レジスタの内容

ビット位置	ビット名	意味
11	BFM	バッファのフィル動作を設定します。 必ず 1 を設定してください。
9, 8	BPM[1:0]	バッファのプリフェッチ動作を設定するビットです。 必ず 01 を設定してください。
7	CFM	キャッシュのフィル動作を設定するビットです。 0: シーケンシャル 1: クリティカル・ワード・ファースト
5, 4	CWM	キャッシュのライト動作を設定するビットです。 00: ライト・スルー その他: 設定禁止
0	END	Hバスをリトル・エンディアンに設定するビットです 必ず 0 に設定してください。

27.3.2 ETA コマンド・レジスタ (ETACMD)

ETACMD レジスタは、キャッシュをフラッシュするためのレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。ただし、ETACMD レジスタの下位 8 ビットを ETACMDL レジスタとして使用する場合は 8/1 ビット単位でリード/ライト可能で、ETACMDCFL ビットはビット操作命令により参照/更新できます。

アドレス FFFF7102_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 15-1 には必ず 0 を設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	ETACMD BFL	ETACMD CFL
R	R	R	R	R	R	R/W	R/W

表 27-2 ETACMD レジスタの内容

ビット位置	ビット名	意味
1	ETACMDBFL	バッファをフラッシュするためのビットです。 必ず 0 を設定してください。
0	ETACMDCFL	キャッシュをフラッシュするためのビットです。セット (1) するとキャッシュのフラッシュ動作を開始します。フラッシュ動作完了後、ETACMDCFL ビットは自動的にクリア (0) されます。 0 : フラッシュ非動作中/停止中/フラッシュ動作完了 1 : フラッシュ動作中/フラッシュ動作開始

27.3.3 ETA 領域 n 設定レジスタ (ETARCFGn)

ETARCFGn レジスタは、領域 1- 領域 3 の有効／無効と動作モードの設定をするレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス ETARCFG1 : FFFF7142_H ETARCFG2 : FFFF7144_H

ETARCFG3 : FFFF7146_H

初期値 0000_H どのリセット要因でも初期化されます。

注意 ビット 15-6, 4-1 には 0 を、ビット 5 には 1 を必ず設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
MODE				0	0	0	EN
R/W	R/W	R/W	R/W	R	R	R	R/W

表 27-3 ETARCFGn レジスタの内容

ビット位置	ビット名	意味
7:4	MODE	領域 n の動作モードを設定します。 0010 を設定してください。それ以外の値は設定禁止です。
0	EN	領域 n の有効／無効を設定します。 0 : 無効 1 : 有効

27.3.4 ETA 領域 n アドレス・レジスタ (ETARADRSn)

ETARADRSn レジスタは、領域 1- 領域 3 を指定するベース・アドレスを設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。ただし、ETARADRSn レジスタの上位 16 ビットを ETARADRSnH レジスタ、下位 16 ビットを ETARADRSnL レジスタとして使用する場合は 16 ビット単位でリード／ライト可能です。

アドレス ETARADRS1 : FFFF7158_H,
 ETARADRS1L : FFFF7158_H, ETARADRS1H : FFFF715A_H,
 ETARADRS2 : FFFF7160_H,
 ETARADRS2L : FFFF7160_H, ETARADRS2H : FFFF7162_H,
 ETARADRS3 : FFFF7168_H,
 ETARADRS3L : FFFF7168_H, ETARADRS3H : FFFF716A_H

初期値 電源投入時 : 不定

リセット時 : 前置保持。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETARADRS[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETARADRS[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETARADRS[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETARADRS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27-4 ETARADRSn レジスタの内容

ビット位置	ビット名	意味
31:0	ETARADRS [31:0]	領域 n を指定するベース・アドレスを設定します。 ビット 31- ビット 29 は、ビット 28 を符号とみなし、符号拡張した値が格納されます。 ビット 11- ビット 0 には必ず 0 を設定してください。

27.3.5 ETA 領域 n マスク・レジスタ (ETARMASKn)

ETARMASKn レジスタは、領域 1- 領域 3 を指定するベース・アドレスに対するマスクを設定するレジスタです。

ETARMASKn レジスタには、必ず下位側から 1 が連続した値を設定してください。

アクセス 32 ビット単位でリード／ライト可能です。ただし、ETARMASKn レジスタの上位 16 ビットを ETARMASKnH レジスタ、下位 16 ビットを ETARMASKnL レジスタとして使用する場合は 16 ビット単位でリード／ライト可能です。

アドレス ETARMASK1 : FFFF715C_H,
 ETARMASK1L : FFFF715C_H, ETARMASK1H : FFFF715E_H,
 ETARMASK2 : FFFF7164_H,
 ETARMASK2L : FFFF7164_H, ETARMASK2H : FFFF7166_H,
 ETARMASK3 : FFFF716C_H,
 ETARMASK3L : FFFF716C_H, ETARMASK3H : FFFF716E_H

初期値 電源投入時 : 不定

リセット時 : 前置保持。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETARMASK[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETARMASK[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETARMASK[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETARMASK[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27-5 ETARMASKn レジスタの内容

ビット位置	ビット名	意味
31:0	ETARMASK [31:0]	領域 n を指定するベース・アドレスに対するマスクを設定します。 ビット 31- ビット 29 は、必ず 0 を設定してください。 ビット 11- ビット 0 には必ず 1 を設定してください

27.4 動作

27.4.1 動作対象

Hバス・メモリ・サイド・キャッシュは、次のバス・マスタからのキャッシュ有効領域に対するアクセスが対象となります。

- PE1
- PE2
- DMA

27.4.2 領域指定

Hバス・メモリ・サイド・キャッシュは、Hバス外部メモリ領域に対して有効です。最大で3つまでキャッシュを有効とする領域を指定することができます。領域指定をする際は、Hバス外部メモリ領域外となる設定は禁止です。

キャッシュを有効とする領域は、ETARADRS_n と ETARMASK_n レジスタ (n = 1-3) で、ベース・アドレスとマスクを用いて設定します。ベース・アドレスをマスクで操作することで、キャッシュ領域の下限アドレスと上限アドレスを設定します。

マスクで1に設定されているビットを0にしたアドレスが下限アドレスとなり、1にしたアドレスが上限アドレスとなります。

マスク値を指定する場合は、必ず下位側から1を連続させた値を設定してください (0005FFFF_H などのように、1/0 が交互に配置された場合の動作は保証しません)。図 27-1 「アドレス領域指定例」に、キャッシュ領域指定の例を示します。

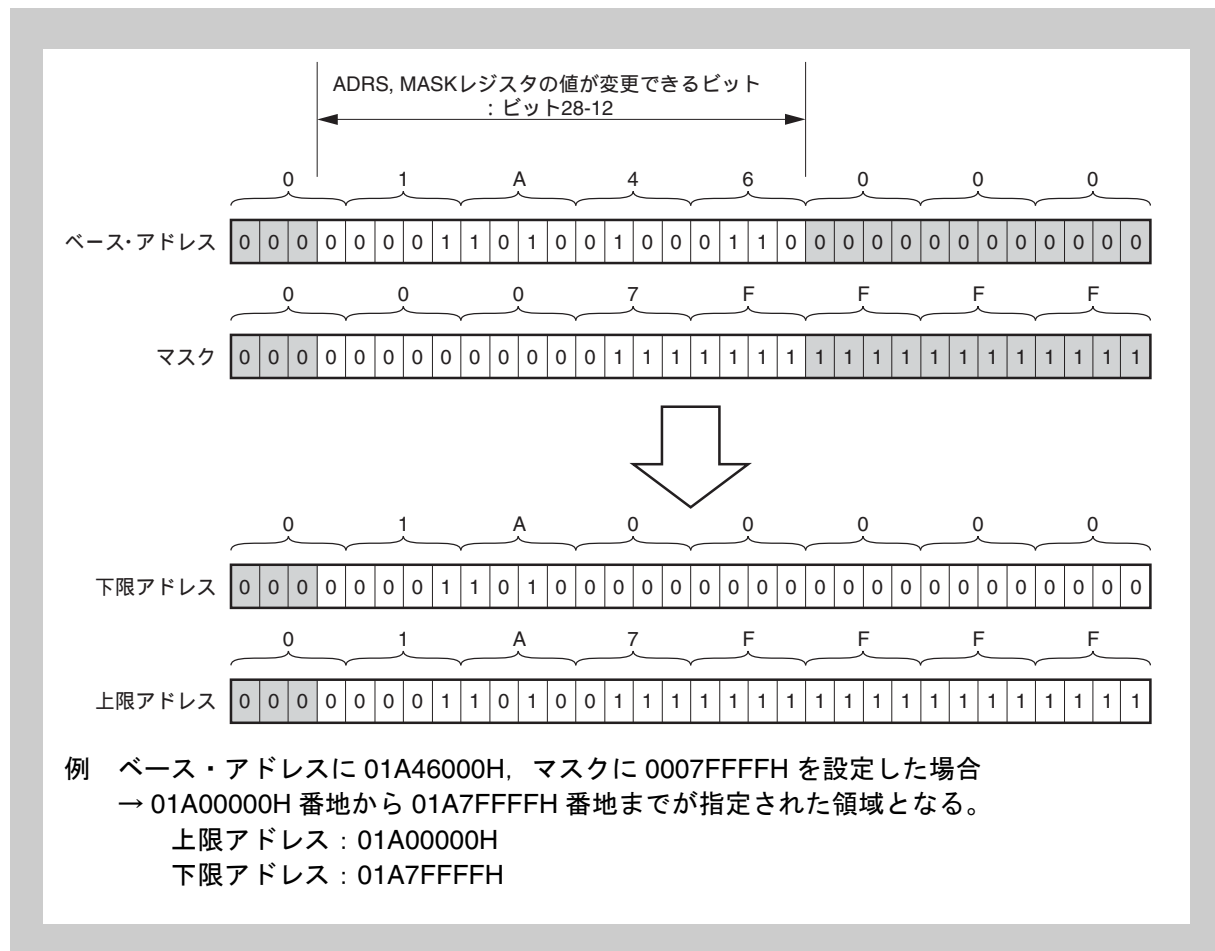


図 27-1 アドレス領域指定例

キャッシュ領域の設定は、各キャッシュ領域が重複しないように対象となるキャッシュ領域を設定してください

27.4.3 動作方式

(1) ライト・スルー

ライト時の動作として、ライト・スルー動作のみサポートしています。ライト・スルー動作は、データ転送をキャッシュと外部メモリの両方のラインに対して行います。そのため、外部メモリは、常に最新のデータを保持できます。なお、ライトにおけるキャッシュ・ミス・ヒット時は、キャッシングされません。

(2) フィル

リード・アクセスのミス・ヒット時にキャッシュへのフィルを行います。フィル動作は次の2種類のフィル・モードによって異なります。

- クリティカル・ワード・アクセス
リード要求の対象アドレスを先頭アドレスとしたバースト転送で、1ライ

ン分のデータをHバスからリードします。要求のあったデータのリードが完了すると、バースト転送の完了を待たずに内部システム・バスに要求されたデータを出力します。1ライン分のデータのリードが完了した時点で、キャッシュのデータを1ライン分まとめて更新します。

- シーケンシャル・アクセス
リード要求の対象アドレスの属するラインの0番目を先頭アドレスとしたバースト転送で、1ライン分のデータをHバスからリードします。要求のあったデータのリードが完了すると、バースト転送の完了を待たずに内部システム・バスに要求されたデータを出力します。1ライン分のデータのリードが完了した時点で、キャッシュのデータを1ライン分まとめて更新します。

27.4.4 リード

(1) キャッシュ・ヒット時

- <1> リード要求の対象アドレスが、キャッシュ対象のアドレスだった場合、キャッシュより該当インデックスの内容を読み出します。
- <2> 対象アドレスがキャッシュ内に存在し、ヒットすると内部システム・バスにデータを出力します。

(2) キャッシュ・ミス・ヒット時

- <1> リード要求の対象アドレスが、キャッシュ対象のアドレスだった場合、キャッシュより該当インデックスの内容を読み出します。
- <2> 対象アドレスがキャッシュ内に存在せず、ミス・ヒットの場合、Hバスを介して外部メモリに1ライン分のデータをバースト転送でフィルします。
- <3> 対象アドレスのデータのリードが完了すると、内部システム・バスにデータを出力します。
- <4> 1ライン分のデータのリードが完了したら、キャッシュのデータを1ライン分まとめて更新します。

27.4.5 ライト

(1) キャッシュ・ヒット時

- <1> ライト要求の対象アドレスが、キャッシュ対象のアドレスだった場合、キャッシュより該当インデックスの内容を読み出します。
- <2> ライト・スルー動作なので、Hバスを介して外部メモリにデータを書き込みます。
- <3> 対象アドレスがキャッシュ内に存在し、ヒットすると、キャッシュのデータを1ライン分まとめて更新します。

(2) キャッシュ・ミス・ヒット時

- <1> ライト要求の対象アドレスが、キャッシュ対象のアドレスだった場合、キャッシュより該当インデックスの内容を読み出します。
- <2> ライト・スルー動作なので、Hバスを介して外部メモリにデータを書き込みます。ミス・ヒットなので、キャッシュの更新は行いません。

(3) フラッシュ（クリア）機能

ETACMD.ETACMDCFL ビットに1を書き込むことによりクリアします。フラッシュ機能は、キャッシュ内部のデータを一括して無効化します。

(4) 擬似 LRU

初期状態でのウエイ順位は、上位側（リプレース対象）から「ウエイ0, ウエイ1, ウエイ2, ウエイ3」の順になります。

27.5 設定手順

Hバス・メモリ・サイド・キャッシュを有効にするには、システム・リセット直後にユーザ・プログラムの初期設定にて次の手順で設定してください。

<1>ETARCFGn レジスタで領域をキャッシュに設定する

- MODE ビット（ビット 7-4）を 0010（キャッシュ使用）に設定

<2>ETARADRSn レジスタで領域ベース・アドレスの設定

- ビット 28-12 に対象となる領域のベース・アドレスを設定

<3>ETARMASKn レジスタで領域のサイズの設定

- ビット 28-12 に対象となる領域のベース・アドレスに対するマスクを設定

<4>ETARCFGn レジスタで領域を有効にする。

- EN ビット（ビット 0）を 1（領域有効）に設定

第28章 セカンダリ・メモリ・コントローラ (SMEMC)

28.1 特徴

SRAM/SDRAM メモリ・コントローラを内蔵しています。

- セパレート・バス・モード (SRAM, SDRAM を接続可能)
- 5 空間 (SRAM 用 4 空間, SDRAM 用 1 空間) のチップ・セレクト出力機能
- バス・サイジング機能 : 16/32 ビットを選択可能
- リトル・エンディアン固定

28.1.1 接続可能なメモリ

(1) SRAM 接続機能

- 最小 4 サイクルのリード・サイクル
- 最小 5 サイクルのライト・サイクル
- レジスタ設定により, 最大 15 ステートのアドレス・セットアップ・ウエイトを挿入可能
- レジスタ設定により, 最大 15 ステートのデータ・ウエイトを挿入可能
- レジスタ設定により, 最大 15 ステートのライト・リカバリ・ウエイトを挿入可能
- レジスタ設定により, 最大 15 ステートのアイドル・ウエイトを挿入可能
- 外部端子入力により, データ・ウエイトを挿入可能

(2) SDRAM 接続機能

- シングル・アクセス (バースト長 = 1) だけ起動可能 (ただし, CPU コアなどのバス・マスタからバースト・アクセスが要求されると, リード/ライト・コマンドを1クロックごとに発行して擬似的なバースト・アクセスを実行)
- CAS レイテンシ = 2, 3 に対応
リード/ライト・コマンドを1クロック・ピッチで発行するタイミングは, DMA 転送 (128 ビット以上) の場合 (SCHCFGn レジスタの DDS ビット, SDS ビットで設定) です。
通常の CPU 動作の場合, リード, ライトともに, 1クロック・ピッチでのサイクルは, 発生しません。
セカンダリ空間の SDRAM に対し, DMA 転送を行う場合, セカンダリ側の DMA コントローラで 128 ビット以上の転送を行った場合のみ, バースト・サイクルが発生します。
- アドレス・マルチプレクス機能
- レジスタの設定により, アドレス・マルチプレクス幅 (8/9/10/11 ビット) を変更可能
- レジスタの設定により, 最大 3 ウェイト・ステートを挿入可能
- SDRAM イニシャライズ・サイクル (モード・レジスタ・セットサイクル) を起動
- ダイナミック・メモリ制御レジスタ (DMCn) に書き込み動作を行うと, SDRAM のイニシャライズを行います。イニシャライズが終了すると DMCn.IST ビットがセット (1) されます。
- CBR (CAS ビフォー RAS) リフレッシュ・コマンドを発行
ダイナミック・メモリ・リフレッシュ制御レジスタ (RFCn) で設定したリフレッシュ間隔がくると, リフレッシュ・コマンドを発行します。リフレッシュ・コマンドはメモリ・アクセスおよびバス・ホールドが完了した時点で発行されます。

28.1.2 端子説明

メモリ・コントローラに関する端子についてに示します。

表 28-1 メモリ・インタフェース端子一覧

端子名	入出力	機能
S_SDCKE	出力	SMEMC SDRAM クロック・イネーブル出力信号
S_BUSCLK	出力	SMEMC バス・クロック出力
S_SDCAS	出力	SMEMC SDRAM に対するカラム・アドレス・ストロープ信号出力
S_SDRAS	出力	SMEMC SDRAM に対するロウ・アドレス・ストロープ信号出力
S_LLDQM	出力	SMEMC SDRAM 用入出力マスク信号出力 (D0-D7)
S_LUDQM	出力	SMEMC SDRAM 用入出力マスク信号出力 (D8-D15)
S_ULDQM	出力	SMEMC SDRAM 用入出力マスク信号出力 (D16-D23)
S_UUDQM	出力	SMEMC SDRAM 用入出力マスク信号出力 (D0-D7)
S_LLWR	出力	SMEMC 外部データ・バスのライト・ストロープ信号出力 (D0-D7)
S_LUWR	出力	SMEMC 外部データ・バスのライト・ストロープ信号出力 (D8-D15)
S_ULWR	出力	SMEMC 外部データ・バスのライト・ストロープ信号出力 (D16-D23)
S_UUWR	出力	SMEMC 外部データ・バスのライト・ストロープ信号出力 (D24-D31)
S_RD	出力	SMEMC 外部データ・バスのリード・ストロープ信号出力
S_WR	出力	SMEMC 外部データ・バスのライト・ストロープ信号出力
S_LLBE	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D0-D7)
S_LUBE	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D8-D15)
S_ULBE	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D16-D23)
S_UUBE	出力	SMEMC 外部データ・バスのバイト・イネーブル信号出力 (D24-D31)
S_SDWE	出力	SMEMC SDRAM 用ライト・イネーブル信号出力
S_BCYST	出力	SMEMC バス・サイクルの開始を示すストロープ信号出力
S_CS0	出力	SMEMC 外部 SRAM に対するチップ・セレクト信号出力
S_CS1		
S_CS2		
S_CS3		
S_WAIT	入力	SMEMC 外部ウェイト要求入力
S_HLDAK	出力	SMEMC バス・ホールド・アクノリッジ出力
S_HLDRQ	入力	SMEMC バス・ホールド要求入力
S_REFRQ	出力	SMEMC SDRAM に対するリフレッシュ要求信号出力
S_SDCS	出力	SMEMC 外部 SDRAM に対するチップ・セレクト信号出力
S_A[1:26]	出力	SMEMC 外部メモリに対する 26 ビット・アドレス・バス
S_D[0:31]	入出力	SMEMC 外部メモリに対する 32 ビット・データ・バス

28.2 レジスタ

表 28-2 外部メモリ・アクセス制御レジスタ一覧

アドレス	レジスタ名称	略号	R/W	操作可能ビット			リセット値
				8	16	32	
F9900004 _H	バス・サイズ制御レジスタ	SBSC	R/W	—	—	○	0000FFFF _H
F9900008 _H	スタティック・メモリ制御レジスタ 0	SSMC0	R/W	—	—	○	0000FFFF _H
F990000C _H	スタティック・メモリ制御レジスタ 1	SSMC1	R/W	—	—	○	0000FFFF _H
F9900010 _H	スタティック・メモリ制御レジスタ 2	SSMC2	R/W	—	—	○	0000FFFF _H
F9900014 _H	スタティック・メモリ制御レジスタ 3	SSMC3	R/W	—	—	○	0000FFFF _H
F990001C _H	ダイナミック・メモリ制御レジスタ 0	SDMC0	R/W ^a	—	—	○	20C00000 _H
F990002C _H	ダイナミック・メモリ・リフレッシュ制御レジスタ 0	SRFC0	R/W	—	—	○	001F0000 _H

a) ビット 15 はリードのみ可能です。

28.2.1 バス・サイズ制御レジスタ (SBSC)

BSC レジスタは、アクセスを行うメモリに対するデータ・バス幅を設定します。SBS[3:0] ビットは SRAM インタフェースの外部デバイス用チップ・セレクト (S_CS[3:0])、DBS0 ビットは SDRAM 用チップ・セレクト (S_SDCS) にそれぞれ対応します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス F9900004_H

初期値 0000FFFF_H どのリセット要因でも初期化されます。

注意 ビット 31-16 には必ず 0 を設定してください。またビット 15-10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
1	1	1	1	1	1	DBS0	1
R	R	R	R	R	R	R/W	R
7	6	5	4	3	2	1	0
SBS3	1	SBS2	1	SBS1	1	SBS0	1
R/W	R	R/W	R	R/W	R	R/W	R

表 28-3 SBSC レジスタの内容

ビット位置	ビット名	意味
9	DBS0	SDRAM に対するデータ・バス幅を設定します。 0: 16 ビット 1: 32 ビット
7, 5, 3, 1	SBS[3:0]	SRAM に対するデータ・バス幅をチップ・セレクトごとに設定します。 0: 16 ビット 1: 32 ビット

28.2.2 スタティック・メモリ制御レジスタ n (SSMCn)

SSMCn レジスタは、SRAM インタフェースの外部デバイス用チップ・セレクト (S_CS[3:0]) ごとにウェイト・ステートを設定するレジスタです。

システム・リセット直後は全領域に対してウェイト・ステートの挿入状態になりますので、必要に応じて設定値を変更してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SSMC0 : F9900008_H, SSMC1 : F990000C_H,
SSMC2 : F9900010_H, SSMC3 : F9900014_H

初期値 0000FFFF_H どのリセット要因でも初期化されます。

注意 ビット 31-16 には必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
IWn3	IWn2	IWn1	IWn0	WWn3	WWn2	WWn1	WWn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DWn3	DWn2	DWn1	DWn0	ACn3	ACn2	ACn1	ACn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28-4 SSMCn レジスタの内容 (1/4)

ビット位置	ビット名	意味																																																																																					
15:12	IWn[3:0]	<p>S_CS[3:0] 領域ごとのリード時のアイドル・ウェイト・ステート数を設定します。アイドル・ウェイト・ステートとは、低速デバイスに対するインタフェースを容易に実現させることを目的とし、リード・サイクルでデータ・フロート遅延時間が長く、直後のライト・サイクルで、バスの競合が発生するケースなどに挿入するステートです。</p> <p>アイドル・ウェイト・ステート期間は、S_CS[3:0] 信号の立ち上がり（ロウ・レベル→ハイ・レベル）から次の S_BCYST 信号が立ち下がる（ハイ・レベル→ロウ・レベル）までの期間です。</p> <table border="1"> <thead> <tr> <th>IWn3</th> <th>IWn2</th> <th>IWn1</th> <th>IWn0</th> <th>アイドル・ウェイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15</td></tr> </tbody> </table>	IWn3	IWn2	IWn1	IWn0	アイドル・ウェイト・ステート数	0	0	0	0	0	0	0	0	1	1	0	0	1	0	2	0	0	1	1	3	0	1	0	0	4	0	1	0	1	5	0	1	1	0	6	0	1	1	1	7	1	0	0	0	8	1	0	0	1	9	1	0	1	0	10	1	0	1	1	11	1	1	0	0	12	1	1	0	1	13	1	1	1	0	14	1	1	1	1	15
IWn3	IWn2	IWn1	IWn0	アイドル・ウェイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1																																																																																			
0	0	1	0	2																																																																																			
0	0	1	1	3																																																																																			
0	1	0	0	4																																																																																			
0	1	0	1	5																																																																																			
0	1	1	0	6																																																																																			
0	1	1	1	7																																																																																			
1	0	0	0	8																																																																																			
1	0	0	1	9																																																																																			
1	0	1	0	10																																																																																			
1	0	1	1	11																																																																																			
1	1	0	0	12																																																																																			
1	1	0	1	13																																																																																			
1	1	1	0	14																																																																																			
1	1	1	1	15																																																																																			

表 28-4 SSMCn レジスタの内容 (2/4)

ビット位置	ビット名	意味																																																																																					
11:8	WWn[3:0]	<p>S_CS[3:0] 領域ごとにライト時のライト・リカバリ・ウエイト・ステート数を設定します。</p> <p>ライト・リカバリ・ウエイト・ステートとは、S_WR 信号の立ち上がり (ロウ・レベル→ハイ・レベル) から、S_CS[3:0] 信号が立ち上がる (ロウ・レベル→ハイ・レベル) までのステートです。</p> <p>低速デバイスなどで、ライトとライトの間隔が必要なデバイスに対応させる場合に挿入します。</p> <p>注意 ライト・リカバリ・ウエイト・ステート数は0ウエイトに設定することはできません。</p> <table border="1"> <thead> <tr> <th>WWn3</th> <th>WWn2</th> <th>WWn1</th> <th>WWn0</th> <th>ライト・リカバリ・ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15</td></tr> </tbody> </table>	WWn3	WWn2	WWn1	WWn0	ライト・リカバリ・ウエイト・ステート数	0	0	0	0	1	0	0	0	1	1	0	0	1	0	2	0	0	1	1	3	0	1	0	0	4	0	1	0	1	5	0	1	1	0	6	0	1	1	1	7	1	0	0	0	8	1	0	0	1	9	1	0	1	0	10	1	0	1	1	11	1	1	0	0	12	1	1	0	1	13	1	1	1	0	14	1	1	1	1	15
WWn3	WWn2	WWn1	WWn0	ライト・リカバリ・ウエイト・ステート数																																																																																			
0	0	0	0	1																																																																																			
0	0	0	1	1																																																																																			
0	0	1	0	2																																																																																			
0	0	1	1	3																																																																																			
0	1	0	0	4																																																																																			
0	1	0	1	5																																																																																			
0	1	1	0	6																																																																																			
0	1	1	1	7																																																																																			
1	0	0	0	8																																																																																			
1	0	0	1	9																																																																																			
1	0	1	0	10																																																																																			
1	0	1	1	11																																																																																			
1	1	0	0	12																																																																																			
1	1	0	1	13																																																																																			
1	1	1	0	14																																																																																			
1	1	1	1	15																																																																																			

表 28-4 SSMCn レジスタの内容 (3/4)

ビット位置	ビット名	意味																																																																																					
7:4	DWn[3:0]	<p>S_CS[3:0] 領域ごとにリード/ライト時のデータ・ウエイト・ステート数を設定します。</p> <p>S_RD/S_WR 端子のアクティブ期間を延長します。</p> <p>低速デバイスに対するインタフェースを容易に実現することを目的とし、各 CS 空間ごとに起動されるバス・サイクルに対し、最大 15 ステートのデータ・ウエイトを挿入可能です。</p> <p>注意 外部ウエイト挿入 (S_WAIT 端子) を使用する場合は、データ・ウエイト・ステート数を 1 以上に設定してください。</p> <table border="1"> <thead> <tr> <th>DWn3</th> <th>DWn2</th> <th>DWn1</th> <th>DWn0</th> <th>データ・ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>9</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>11</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>12</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>13</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>14</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>15</td></tr> </tbody> </table>	DWn3	DWn2	DWn1	DWn0	データ・ウエイト・ステート数	0	0	0	0	0	0	0	0	1	1	0	0	1	0	2	0	0	1	1	3	0	1	0	0	4	0	1	0	1	5	0	1	1	0	6	0	1	1	1	7	1	0	0	0	8	1	0	0	1	9	1	0	1	0	10	1	0	1	1	11	1	1	0	0	12	1	1	0	1	13	1	1	1	0	14	1	1	1	1	15
DWn3	DWn2	DWn1	DWn0	データ・ウエイト・ステート数																																																																																			
0	0	0	0	0																																																																																			
0	0	0	1	1																																																																																			
0	0	1	0	2																																																																																			
0	0	1	1	3																																																																																			
0	1	0	0	4																																																																																			
0	1	0	1	5																																																																																			
0	1	1	0	6																																																																																			
0	1	1	1	7																																																																																			
1	0	0	0	8																																																																																			
1	0	0	1	9																																																																																			
1	0	1	0	10																																																																																			
1	0	1	1	11																																																																																			
1	1	0	0	12																																																																																			
1	1	0	1	13																																																																																			
1	1	1	0	14																																																																																			
1	1	1	1	15																																																																																			

表 28-4 SSMCn レジスタの内容 (4/4)

ビット位置	ビット名	意味																																																																																					
3:0	ACn[3:0]	<p>S_CS[3:0] 領域ごとにリード/ライト時のアイドル設定ウエイト・ステート数を設定します。</p> <p>アドレス設定ウエイト・ステートとは、S_CS[3:0] 信号の立ち下がり (ハイ・レベル→ロウ・レベル) から、S_RD/S_WR 信号の立ち下がり (ハイ・レベル→ロウ・レベル) までのステートです。</p> <p>リード/ライト・ストロブに対するアドレスやチップ・セレクト信号のセットアップ時間を必要とするデバイスをアクセスする場合に挿入します。</p> <p>注意 アドレス設定ウエイト・ステート数はライト・アクセス時に 0 ウエイトは設定できません (1 以上になります)。</p> <table border="1"> <thead> <tr> <th>ACn3</th> <th>ACn2</th> <th>ACn1</th> <th>ACn0</th> <th>アドレス設定ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0 (リード・アクセス) 1 (ライト・アクセス)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>5</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>6</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>7</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>9</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>10</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>11</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>12</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>13</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>14</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>15</td> </tr> </tbody> </table>	ACn3	ACn2	ACn1	ACn0	アドレス設定ウエイト・ステート数	0	0	0	0	0 (リード・アクセス) 1 (ライト・アクセス)	0	0	0	1	1	0	0	1	0	2	0	0	1	1	3	0	1	0	0	4	0	1	0	1	5	0	1	1	0	6	0	1	1	1	7	1	0	0	0	8	1	0	0	1	9	1	0	1	0	10	1	0	1	1	11	1	1	0	0	12	1	1	0	1	13	1	1	1	0	14	1	1	1	1	15
ACn3	ACn2	ACn1	ACn0	アドレス設定ウエイト・ステート数																																																																																			
0	0	0	0	0 (リード・アクセス) 1 (ライト・アクセス)																																																																																			
0	0	0	1	1																																																																																			
0	0	1	0	2																																																																																			
0	0	1	1	3																																																																																			
0	1	0	0	4																																																																																			
0	1	0	1	5																																																																																			
0	1	1	0	6																																																																																			
0	1	1	1	7																																																																																			
1	0	0	0	8																																																																																			
1	0	0	1	9																																																																																			
1	0	1	0	10																																																																																			
1	0	1	1	11																																																																																			
1	1	0	0	12																																																																																			
1	1	0	1	13																																																																																			
1	1	1	0	14																																																																																			
1	1	1	1	15																																																																																			

28.2.3 ダイナミック・メモリ制御レジスタ 0 (SDMC0)

SDMC0 レジスタは SDRAM のチップ・セレクト (S_SDCCS) に接続する SDRAM のレイテンシ、ウエイト、ロウ・アドレス幅、マルチプレクス幅を設定します。

アクセス 32 ビット単位でリード/ライト可能です。ただし IST0 ビットはリードのみ可能で、書き込んだ値は無視されます。

アドレス F990001C_H

初期値 20C00000_H どのリセット要因でも初期化されます。

- 注意**
1. ビット 31, 30, 27-24, 21, 20, 14-0 には必ず 0 を設定してください。
 2. ST0 ビットがセット (1) されていることを確認してから、SDRAM にアクセスしてください。セット (1) される前に SDRAM にアクセスするとノー・レディ状態でアクセスが待たされます。SDMC0 レジスタへの設定はメモリ・コントローラの初期化を行うときにしてください。初期化後の変更はしないでください。
 3. SDMC0 レジスタへ再度書き込みをする場合は、モード・レジスタ・ライトが完了時 (IST0 ビット = 1) にしてください。

31	30	29	28	27	26	25	24
0	0	LTM01	LTM00	0	0	0	0
R	R	R/W	R/W	R	R	R	R
23	22	21	20	19	18	17	16
BCW01	BCW00	0	0	RAW01	RAW00	SAW01	SAW00
R/W	R/W	R	R	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
IST0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 28-5 SDMC0 レジスタの内容 (1/2)

ビット位置	ビット名	意味												
29:28	LTM[01:00]	SDRAM リード時の CAS レイテンシの値を設定します。 <table border="1"> <thead> <tr> <th>LTM01</th><th>LTM00</th><th>CAS レイテンシ</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>2</td></tr> <tr> <td>1</td><td>1</td><td>3</td></tr> <tr> <td colspan="2">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	LTM01	LTM00	CAS レイテンシ	1	0	2	1	1	3	上記以外		設定禁止
LTM01	LTM00	CAS レイテンシ												
1	0	2												
1	1	3												
上記以外		設定禁止												

表 28-5 SDMC0 レジスタの内容 (2/2)

ビット位置	ビット名	意味															
23:22	BCW[01:00]	<p>バンク・アクティブ・コマンドからリード/ライト・コマンド、またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでの発行間隔（ウエイト・ステート数）を設定します。</p> <table border="1"> <thead> <tr> <th>BCW01</th> <th>BCW00</th> <th>ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	BCW01	BCW00	ウエイト・ステート数	0	0	設定禁止	0	1	1	1	0	2	1	1	3
BCW01	BCW00	ウエイト・ステート数															
0	0	設定禁止															
0	1	1															
1	0	2															
1	1	3															
19:18	RAW[01:00]	<p>ロウ・アドレス幅を設定します。</p> <table border="1"> <thead> <tr> <th>RAW01</th> <th>RAW00</th> <th>ロウ・アドレス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>11 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>13 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RAW01	RAW00	ロウ・アドレス幅	0	0	11 ビット	0	1	12 ビット	1	0	13 ビット	1	1	設定禁止
RAW01	RAW00	ロウ・アドレス幅															
0	0	11 ビット															
0	1	12 ビット															
1	0	13 ビット															
1	1	設定禁止															
17:16	SAW[01:00]	<p>アドレス・マルチプレクス幅を設定します。</p> <table border="1"> <thead> <tr> <th>SAW01</th> <th>SAW00</th> <th>アドレス・マルチプレクス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>9 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>11 ビット</td> </tr> </tbody> </table>	SAW01	SAW00	アドレス・マルチプレクス幅	0	0	8 ビット	0	1	9 ビット	1	0	10 ビット	1	1	11 ビット
SAW01	SAW00	アドレス・マルチプレクス幅															
0	0	8 ビット															
0	1	9 ビット															
1	0	10 ビット															
1	1	11 ビット															
15	IST0	<p>モード・レジスタ・ライト・ステータス・ビットです。</p> <p>0：モード・レジスタ・ライト未完了 1：モード・レジスタ・ライト完了</p> <p>IST0 ビットをリードすることで、モード・レジスタ・ライト・サイクルの完了の有無が確認できます。SDMC0 レジスタへのライト後、再び SDMC0 レジスタへのライトを行う場合も、IST0 ビットをリードし、レジスタ・ライト・サイクルが完了したことを確認した後にライトしてください。このビットがセット（1）された状態で、SDMC0 レジスタへのライトを行うと、一度 IST0 ビットはクリア（0）され、モード・レジスタ・ライト・サイクル完了で再びセット（1）されます。</p> <p>IST0 ビットはリードのみ可能で、ライトされた値は無視されます。</p>															

28.2.4 ダイナミック・メモリ・リフレッシュ制御レジスタ 0 (SRFC0)

SRFC0 レジスタは、リフレッシュ許可とリフレッシュ間隔を設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス F990002C_H

初期値 001F0000_H どのリセット要因でも初期化されます。

- 注意**
- ビット 31-21, 14-10 は必ず 0 に設定してください。0 以外に設定した場合の動作は保証できません。
 - リフレッシュ発生要因は、内部インターバル・タイマのカウント値と、リフレッシュ間隔レジスタの設定値との一致によって発生しますが、実際のリフレッシュ実行は外部バスの状態（サイクル実行中もしくはバス・ホールド中）により待たされることがあります。従って、リフレッシュ間隔の設定は、システムのバス稼働率を考慮して、メモリの仕様よりも短い値を設定する必要があります。
 - リフレッシュ間隔 (RCCn, RIN) はモード・レジスタ設定サイクル時のリフレッシュ間隔 (RFP) よりも長い時間に設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	RFP04	RFP03	RFP02	RFP01	RFP00
R	R	R	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
REN	0	0	0	0	0	RCC01	RCC00
R/W	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
RIN07	RIN06	RIN05	RIN04	RIN03	RIN02	RIN01	RIN00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28-6 SFRC0 レジスタの内容 (1/2)

ビット位置	ビット名	意味																																																
20:16	RFP[04:00]	モード・レジスタ設定サイクル時のリフレッシュ・コマンド間隔を設定します。																																																
		<table border="1"> <thead> <tr> <th>RFP04</th><th>RFP03</th><th>RFP02</th><th>RFP01</th><th>RFP00</th><th>リフレッシュ間隔</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>設定禁止</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>2</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>3</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>4</td></tr> <tr> <td colspan="5">:</td><td>:</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>3</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>32</td></tr> </tbody> </table>	RFP04	RFP03	RFP02	RFP01	RFP00	リフレッシュ間隔	0	0	0	0	0	設定禁止	0	0	0	0	1	2	0	0	0	1	0	3	0	0	0	1	1	4	:					:	1	1	1	1	0	3	1	1	1	1	1	32
RFP04	RFP03	RFP02	RFP01	RFP00	リフレッシュ間隔																																													
0	0	0	0	0	設定禁止																																													
0	0	0	0	1	2																																													
0	0	0	1	0	3																																													
0	0	0	1	1	4																																													
:					:																																													
1	1	1	1	0	3																																													
1	1	1	1	1	32																																													

表 28-6 SFRC0 レジスタの内容 (2/2)

ビット位置	ビット名	意味																		
15	RENO	SDRAM のリフレッシュ・イネーブルを設定します。 0 : リフレッシュ禁止 1 : リフレッシュ許可																		
9:8	RCC[01:00]	リフレッシュ・インターバル・カウンタ用ソース・クロック・ファクタを設定します。 <table border="1" data-bbox="533 465 1386 678"> <thead> <tr> <th>RCC01</th> <th>RCC00</th> <th>カウント・ソース・クロック・ファクタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>32</td> </tr> <tr> <td>0</td> <td>1</td> <td>128</td> </tr> <tr> <td>1</td> <td>0</td> <td>256</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RCC01	RCC00	カウント・ソース・クロック・ファクタ	0	0	32	0	1	128	1	0	256	1	1	設定禁止			
RCC01	RCC00	カウント・ソース・クロック・ファクタ																		
0	0	32																		
0	1	128																		
1	0	256																		
1	1	設定禁止																		
7:0	RIN[07:00]	リフレッシュ・インターバル・ファクタを設定します。 <table border="1" data-bbox="533 763 1386 1144"> <thead> <tr> <th>RIN[07:00]</th> <th>インターバル・ファクタ</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>1</td> </tr> <tr> <td>00000001</td> <td>2</td> </tr> <tr> <td>00000010</td> <td>3</td> </tr> <tr> <td>00000011</td> <td>4</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>11111101</td> <td>254</td> </tr> <tr> <td>11111110</td> <td>255</td> </tr> <tr> <td>11111111</td> <td>256</td> </tr> </tbody> </table>	RIN[07:00]	インターバル・ファクタ	00000000	1	00000001	2	00000010	3	00000011	4	:	:	11111101	254	11111110	255	11111111	256
RIN[07:00]	インターバル・ファクタ																			
00000000	1																			
00000001	2																			
00000010	3																			
00000011	4																			
:	:																			
11111101	254																			
11111110	255																			
11111111	256																			

リフレッシュ間隔 (4096/64 ms の場合) の設定例を示します。リフレッシュ間隔の規定値に対して、使用する動作クロックに合わせて、ソース・クロック・ファクタとインターバル・ファクタを設定します。

表 28-7 SDRAM リフレッシュ間隔設定例

リフレッシュ間隔の規定値 (μs)	ソース・クロック・ファクタ (RCCn1-RCCn0)	インターバル・ファクタ (RINn7-RINn0)
		$f_{\text{SDCLK}} = 50\text{MHz}$ 時
64×1000 / 4096 \doteq 15.6	00	24 (15.4)
	01	6 (15.4)
	10	3 (15.4)

- 備考 1. () 内はリフレッシュ間隔の計算値 (μs) です。
2. f_{SDCLK} : 動作クロック (HCLK)

28.3 動作

28.3.1 チップ・セレクト

$\overline{S_CS3}$ と $\overline{S_SDCS}$ は端子 (P10_7/INTP26) を兼用しています。そのため、 $\overline{S_SDCS}$ を使用する場合は、端子 (P10_7/S_CS3/S_SDCS/INTP26) の $\overline{S_CS3}$ を使用することができません。

その際、 $\overline{S_CS3}$ を使用する場合は、端子 (P13_1/S_DMAAK0/ADTRG1/ $\overline{S_CS3}$ /INTP0) を使用してください。

28.3.2 バス・ホールド機能

ほかのバス・マスタからのバス獲得要求として $\overline{S_HLDRQ}$ 信号がアクティブになったことを受け付けると、メモリ・コントローラはバス・ホールド状態に移行します。バス・ホールド状態への移行が完了すると、 $\overline{S_HLDAK}$ 信号がアクティブとなります。バス・ホールド期間中は、 $\overline{S_HLDAK}$ 信号はアクティブ・レベルを保持します。

$\overline{S_HLDRQ}$ 信号がインアクティブになると、メモリ・コントローラはバス・ホールド状態を解除して $\overline{S_HLDAK}$ 信号がインアクティブになります。

外部メモリ・サイクルを実行中に、 $\overline{S_HLDRQ}$ 信号がアクティブになった場合には、バス・サイクル完了後、バス・ホールド状態へ移行し、 $\overline{S_HLDAK}$ 信号をアクティブ・レベルにします。

バス・ホールド中に SDRAM へのリフレッシュ要求が発生すると、メモリ・コントローラは $\overline{S_REFRQ}$ 信号をアクティブ・レベルにして、外部バス・マスタへ転送要求が発生したことを通知します。

注意 バス・ホールド時、外部バス・マスタが SDRAM へアクセスする場合には、必ず、バンク・プリチャージ・コマンドを実行してからアクセスして下さい。逆にバス・ホールド解除時は、外部バス・マスタは SDRAM に対し、特別にコマンドを実行する必要はありません。メモリ・コントローラは、バス・ホールドから復帰後、最初の SDRAM アクセスは、オール・バンク・プリチャージ・コマンドから実行します。

28.3.3 SRAM

(1) SRAM アクセス

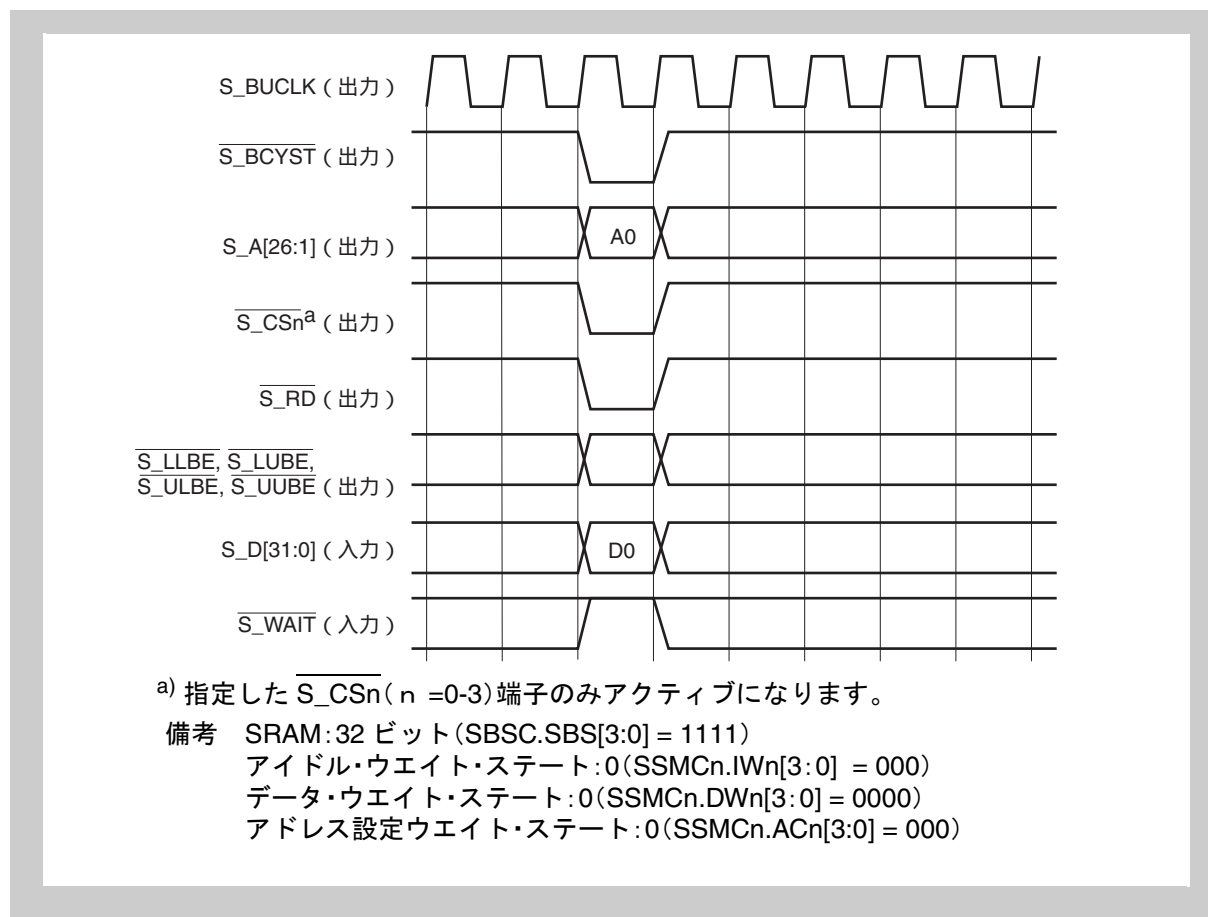


図 28-1 SRAM リード・サイクル (ウエイト設定なし)

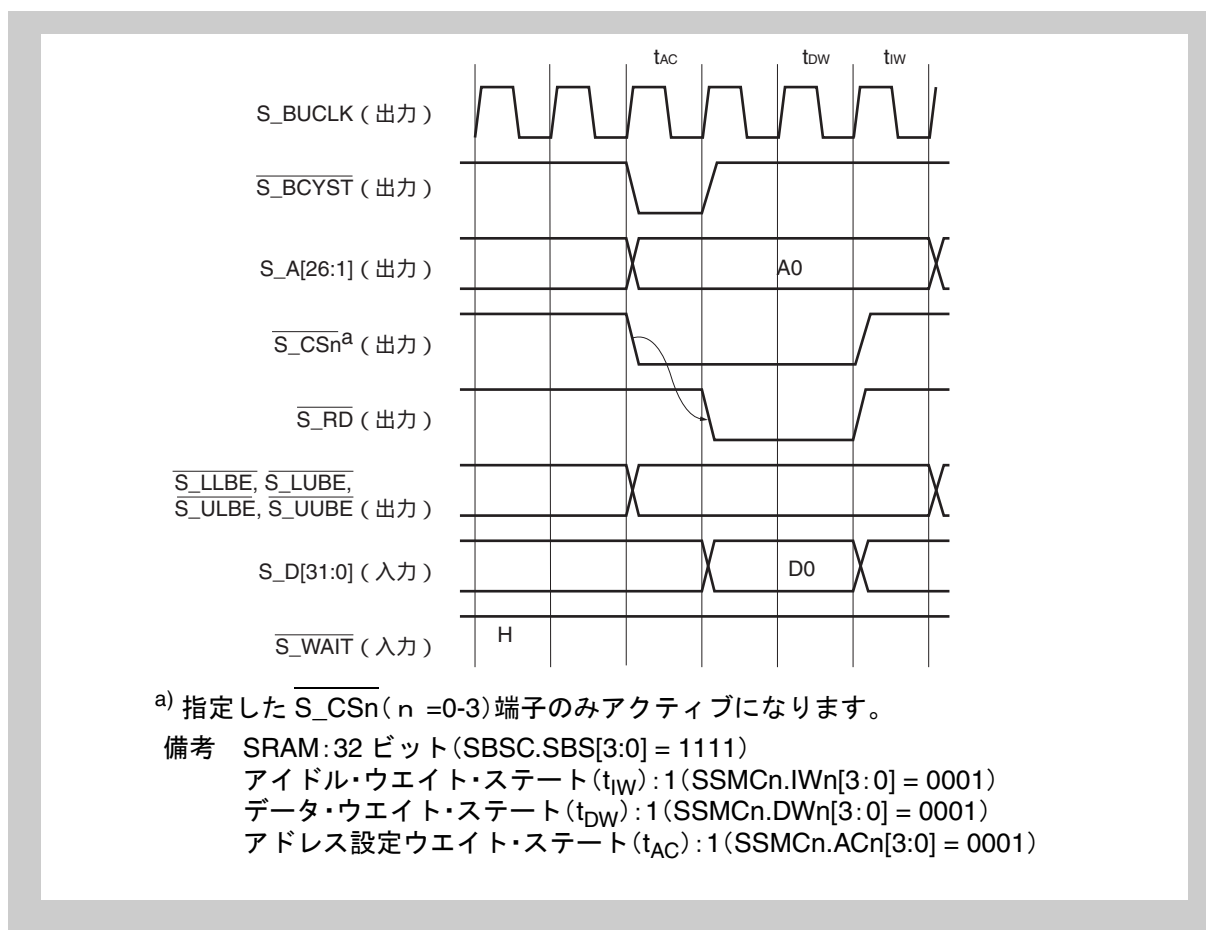


図 28-2 SRAM リード・サイクル (ウエイト設定あり)

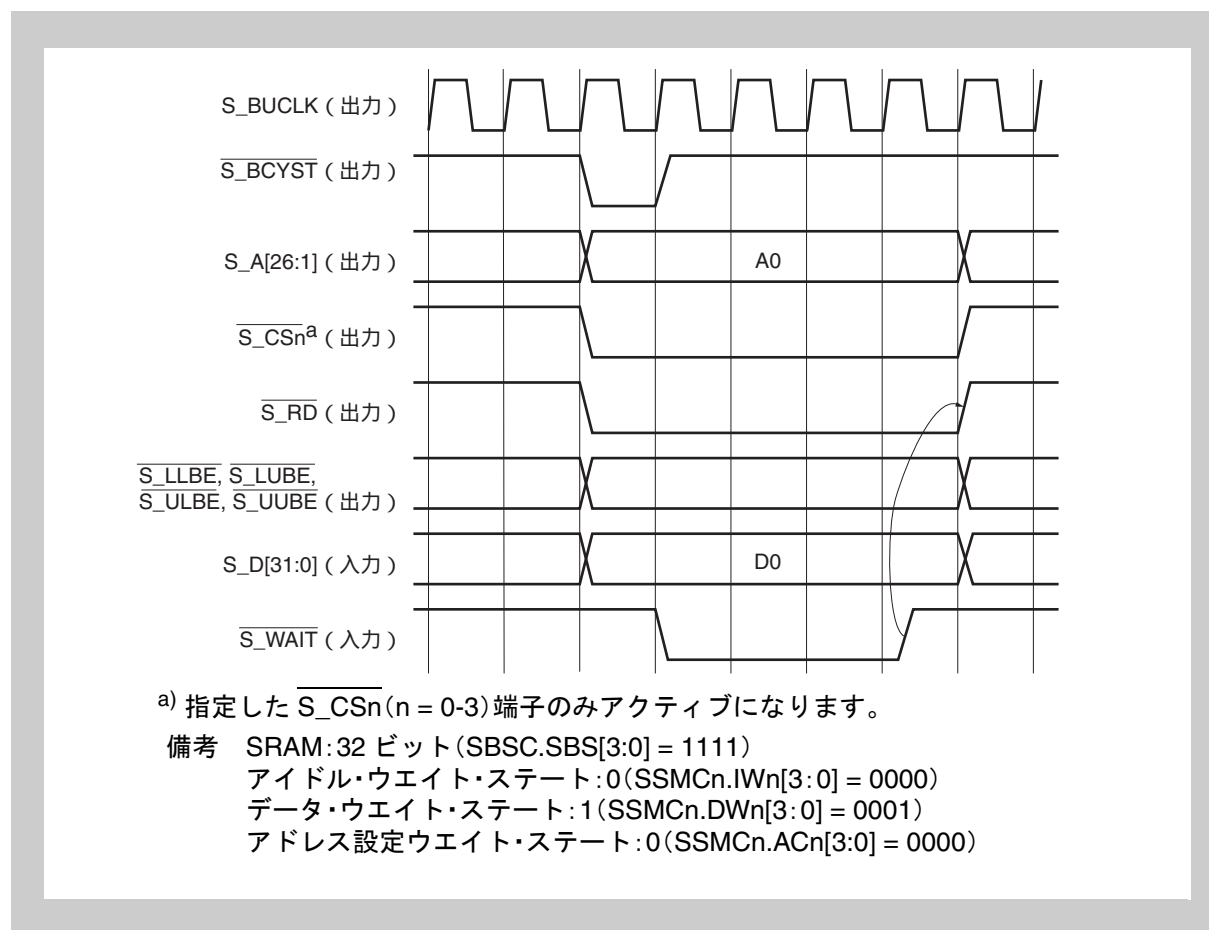


図 28-3 SRAM リード・サイクル (外部ウエイト挿入)

注意 外部ウエイト端子 ($\overline{S_WAIT}$) を有効にするには、データ・ウエイト・ステート数を 1 ウエイト (SSMCn.DWn[3:0] = 0001) 以上の設定を必ずしてください。

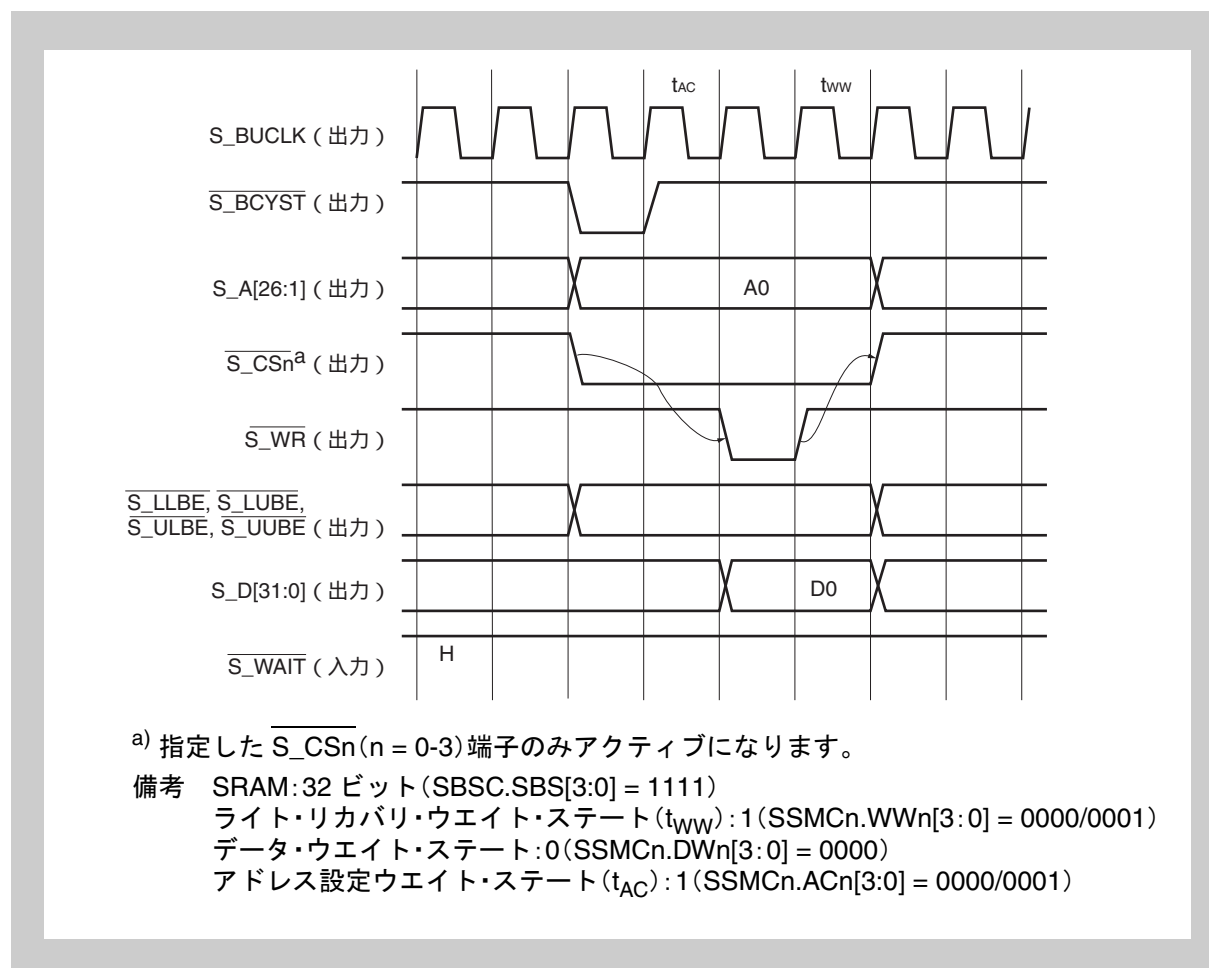


図 28-4 SRAM ライト・サイクル (ウエイトなし)

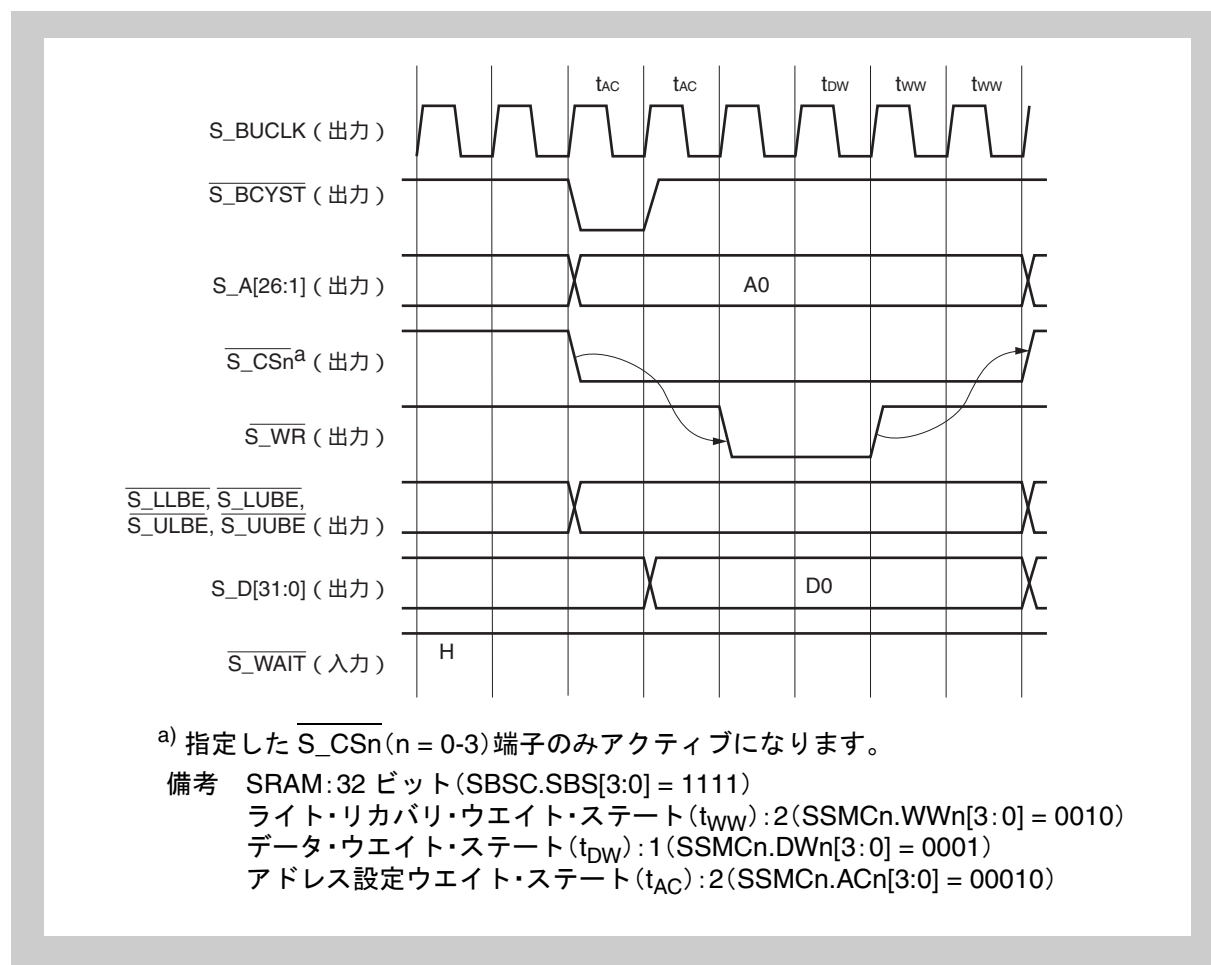


図 28-5 SRAM ライト・サイクル (ウエイトあり)

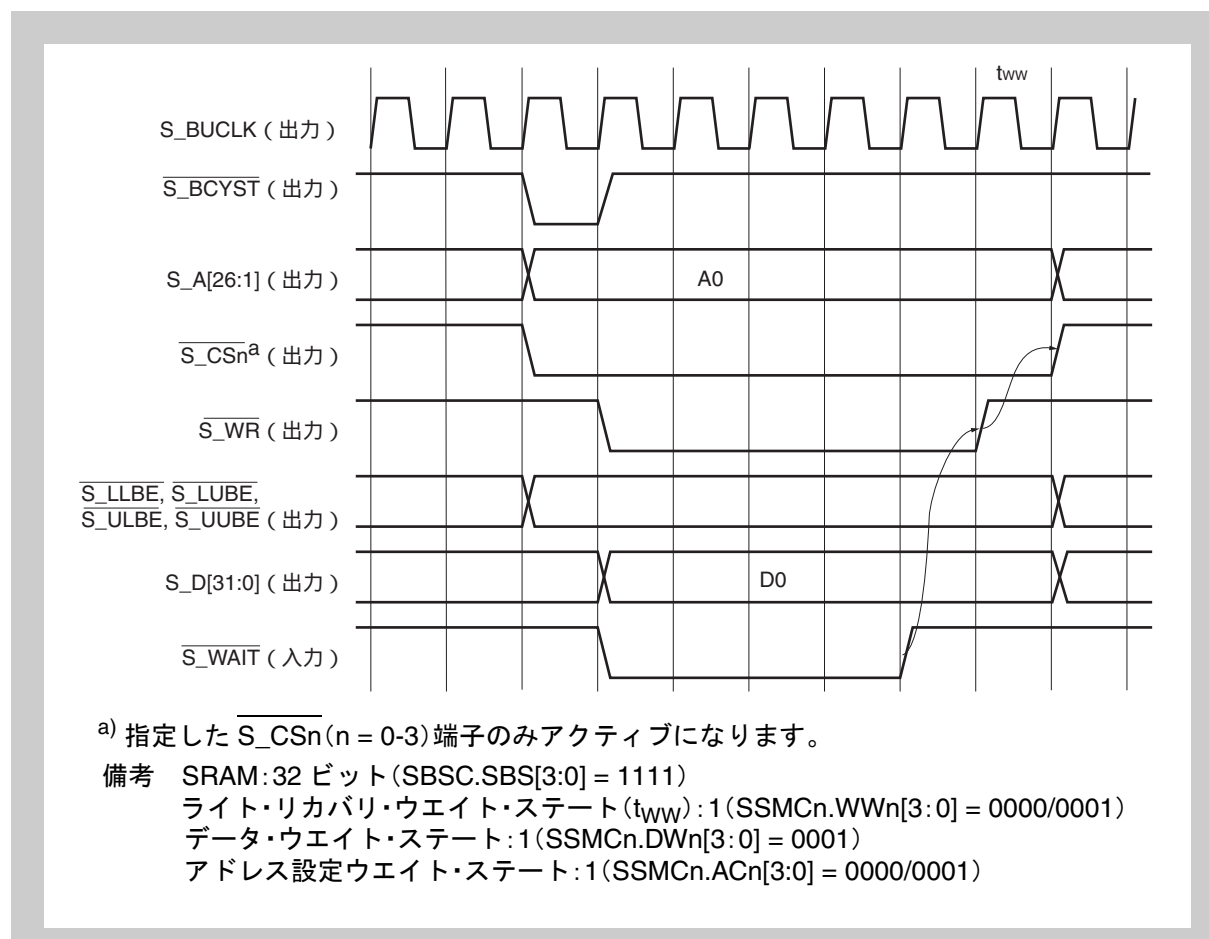


図 28-6 SRAM ライト・サイクル (外部ウエイト挿入)

注意 外部ウエイト端子 (S_WAIT) を有効にするには、データ・ウエイト・ステート数を 1 ウエイト (SSMCn.DWn[3:0] = 0001) 以上の設定を必ずしてください。

28.3.4 SDRAM

(1) SDRAM コントロール

SDRAM とのリード/ライト動作の制御を行います。SDRAM とのやりとりは、図 28-7「SDRAM アクセスの状態遷移図」に示す状態遷移で行われます。

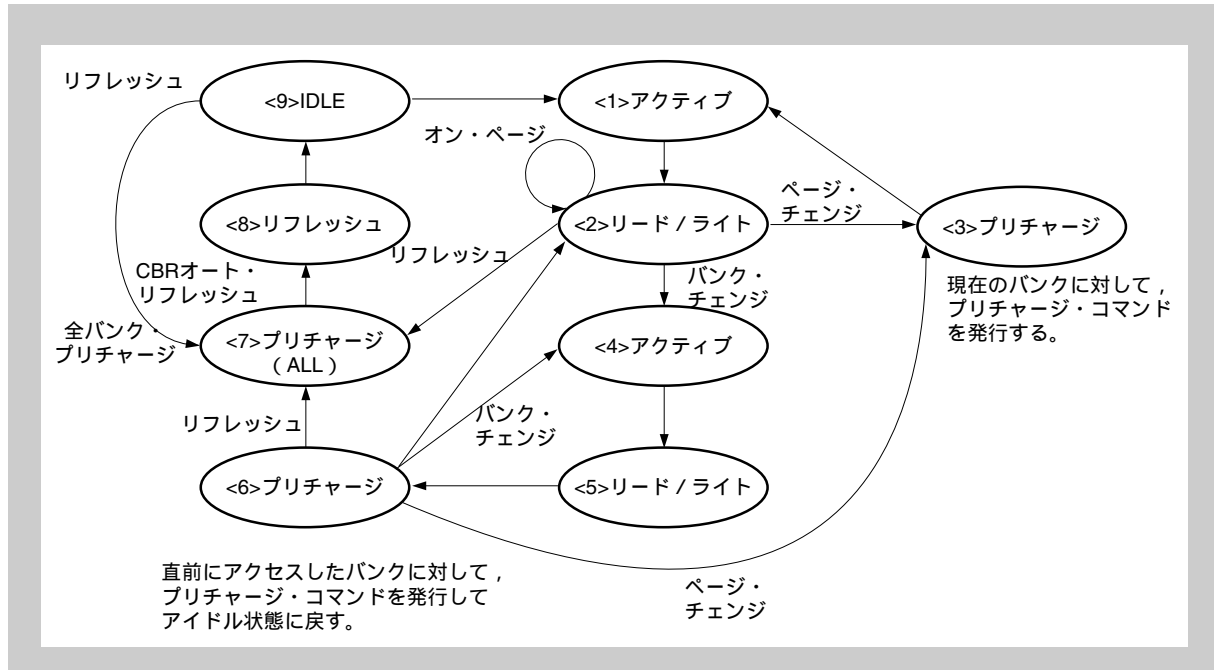


図 28-7 SDRAM アクセスの状態遷移図

V850E2/MN4 はダイナミック・メモリ制御レジスタ (SDMC0) とバス・サイズ制御レジスタ (SBSC) に設定された情報より、バンク・アドレス、ロウ・アドレス、カラム・アドレスを認識します。それぞれの設定値におけるアドレス・マップは、表 28-12「アドレス対応表」を参照してください。

V850E2/MN4 は直前にアクセスしたアドレスと現在アクセスするアドレスを比較して SDRAM へ発行するコマンドを選択します。同一チャンネルに接続された SDRAM に対しては、ロウ・アドレスが選択された状態が存在するのは 1 つのバンクのみになります。

(a) 初期化後、リフレッシュ後およびバス・ホールド解除後に、アクセスした場合

初期化時、およびリフレッシュ時は、必ずオールバンク・プリチャージ・コマンドが発行されますので、すべての SDRAM はアイドル状態になっています。よって、この後の最初のアクセスではアクティブ・コマンド、リード/ライト・コマンドが順に発行されアクセスを終了します (<9> → <1> → <2>)。

また、バス・ホールド解除後の最初のアクセスでは、アクセスするバンクに対してプリチャージ・コマンドが発行されてから、アクティブ・コマンド、リード/ライト・コマンドが順に発行されアクセスを終了します。

アクセス終了後、アクセスした SDRAM のバンクはロウ・アドレスが選択されている <2> の状態にあります。

ただし、この状態でリフレッシュ・タイミングになると、オールバンク・プリチャージ・コマンドを発行してからリフレッシュを行うため、すべてのSDRAMはアイドル状態に戻ります (<2> → <7> → <8> → <9>)。

(b) オンページ・アクセス

(a) のアクセス以外するとき、直前にアクセスしたアドレスと現在アクセスするアドレスにおいて、バンク・アドレスとロウ・アドレスが同じ場合は、オンページ・アクセスと判断します。アクセスするSDRAMのバンクはロウ・アドレスが選択された <2> の状態にいますので、ページがヒットしている間はリード/ライト・コマンドのみが発行されます (<2> → <2> → ~ → <2>)。

アクセス終了後、アクセスしたSDRAMのバンクはロウ・アドレスが選択されている <2> の状態にいます。

この状態でリフレッシュ・タイミングになると、<2> → <7> → <8> → <9> と遷移して、すべてのSDRAMはアイドル状態に戻ります。

(c) ページ・チェンジ・アクセス

(a) のアクセス以外するとき、直前にアクセスしたアドレスと現在アクセスするアドレスにおいて、バンク・アドレスが同じでロウ・アドレスが異なる場合は、ページ・チェンジ・アクセスと判断します。アクセスするSDRAMのバンクはロウ・アドレスが選択されている <2> の状態にいますので、アクセスするバンクに対して最初にプリチャージ・コマンドが発行されアイドル状態にします。続けて、アクティブ・コマンドで新たなロウ・アドレスを発行し、リード/ライト・コマンドが発行されアクセスを終了します (<2> → <3> → <1> → <2>)。

アクセス終了後、アクセスしたSDRAMのバンクはロウ・アドレスが選択されている <2> の状態にいます。

この状態でリフレッシュ・タイミングになると、<2> → <7> → <8> → <9> と遷移して、すべてのSDRAMはアイドル状態に戻ります。

(d) バンク・チェンジ・アクセス

(a) のアクセス以外するとき、直前にアクセスしたアドレスと現在アクセスするアドレスにおいて、バンク・アドレスが異なる場合は、バンク・チェンジ・アクセスと判断します。これからアクセスするSDRAMのバンクはアイドル状態にあるため、アクティブ・コマンド、リード/ライト・コマンドが順に発行されアクセスを終了します。さらに、直前にアクセスしたSDRAMのバンクはロウ・アドレスが選択されている状態にあるため、直前にアクセスしたバンクに対してプリチャージ・コマンドを発行しアイドル状態にします (<4> → <5> → <6>)。よって、ロウ・アドレスが選択された状態にあるSDRAMのバンクは、必ず1つになります。

アクセス終了後、アクセスしたSDRAMのバンクはロウ・アドレスが選択されている <6> (<5>) の状態にいます。次にオンページ・アクセスがあった場合は <6> → <2>、ページ・チェンジ・アクセスがあった場合は <6> → <3> → <1> → <2>、バンク・チェンジ・アクセスがあった場合は <6> → <4> → <5> → <6> と遷移します。また、リフレッシュ・タイミングになると、<2> → <7> → <8> → <9> と遷移して、すべてのSDRAMはアイドル状態に戻ります。

(2) アドレス制御

次に、ダイナミック・メモリ・サイクル時のアドレス制御について説明します。

表 28-8 アクティブ・コマンド時 (ロウ・アドレスを出力します)

ビット設定		アドレス端子																	
SAW1	SAW0	A27-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
0	0	a27-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
0	1	a28-a18	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
1	0	a28-a18	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
1	1	a28-a18	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12

表 28-9 オール・バンク・プリチャージ・コマンド時 (SDRAM の A10 = 1)

ビット設定		アドレス端子																	
DBSn	A27-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	
0	a27-a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	
1	a28-a18	a17	a16	a15	a14	a13	1	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	

表 28-10 レジスタ・ライト・コマンド時

ビット設定		アドレス端子																	
DBSn	A27-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	
0	0	0	0	0	0	0	0	0	0	0	0	LTMn2	LTMn1	LTMn0	0	0	0	0	
1	0	0	0	0	0	0	0	0	0	0	LTMn2	LTMn1	LTMn0	0	0	0	0	0	

表 28-11 リード/ライト・コマンド時 (カラム・アドレス出力, SDRAM の A10 = 0, オート・プリチャージ未発行)

ビット設定		アドレス端子																	
DBSn	A27-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	
0	a27-a18	a17	a16	a15	a14	a12	a11	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	
1	a28-a18	a17	a16	a15	a14	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	

(3) アドレス対応について

以下に示すレジスタの設定値よりアドレスを認識します。

- SDMC0 レジスタの RAWn[1:0] (ロウ・アドレス幅), SAWn[1:0] (アドレス・マルチプレクス幅)
- SBSC レジスタの DBS[3:0] (メモリのバス幅)
- 表 28-12 「アドレス対応表」にレジスタ設定値におけるアドレス・マップを示します。本メモリ・コントローラは直前のアドレスと現在アクセスするアドレスを比較して SDRAM へ発行するコマンドを選択します。
- バンク・アドレスとロウ・アドレスが同じ場合は、オンページ・アクセスと判断します。
- バンク・アドレスが同じで、ロウ・アドレスが異なる場合は、ページチェンジ・アクセスと判断します。
- バンク・アドレスが異なる場合は、バンク・チェンジ・アクセスと判断します。

表 28-12 アドレス対応表

RA 幅	CA 幅	メモリ・バス幅	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11	8	16	BA						RA (11 ビット)											CA (8 ビット)				—					
12	8	16	BA						RA (12 ビット)											CA (8 ビット)				—					
13	8	16	BA						RA (13 ビット)											CA (8 ビット)				—					
11	9	16	BA						RA (11 ビット)											CA (9 ビット)				—					
12	9	16	BA						RA (12 ビット)											CA (9 ビット)				—					
13	9	16	BA						RA (13 ビット)											CA (9 ビット)				—					
11	10	16	BA						RA (11 ビット)											CA (10 ビット)				—					
12	10	16	BA						RA (12 ビット)											CA (10 ビット)				—					
13	10	16	BA						RA (13 ビット)											CA (10 ビット)				—					
11	11	16	BA						RA (11 ビット)											CA (11 ビット)				—					
12	11	16	BA						RA (12 ビット)											CA (11 ビット)				—					
13	11	16	BA						RA (13 ビット)											CA (11 ビット)				—					
11	8	32	BA						RA (11 ビット)											CA (8 ビット)				—	—				
12	8	32	BA						RA (12 ビット)											CA (8 ビット)				—	—				
13	8	32	BA						RA (13 ビット)											CA (8 ビット)				—	—				
11	9	32	BA						RA (11 ビット)											CA (9 ビット)				—	—				
12	9	32	BA						RA (12 ビット)											CA (9 ビット)				—	—				
13	9	32	BA						RA (13 ビット)											CA (9 ビット)				—	—				
11	10	32	BA						RA (11 ビット)											CA (10 ビット)				—	—				
12	10	32	BA						RA (12 ビット)											CA (10 ビット)				—	—				
13	10	32	BA						RA (13 ビット)											CA (10 ビット)				—	—				
11	11	32	BA						RA (11 ビット)											CA (11 ビット)				—	—				
12	11	32	BA						RA (12 ビット)											CA (11 ビット)				—	—				

備考 BA : バンク・アドレス

RA : ロウ・アドレス

CA : カラム・アドレス

(4) SDRAM アクセス

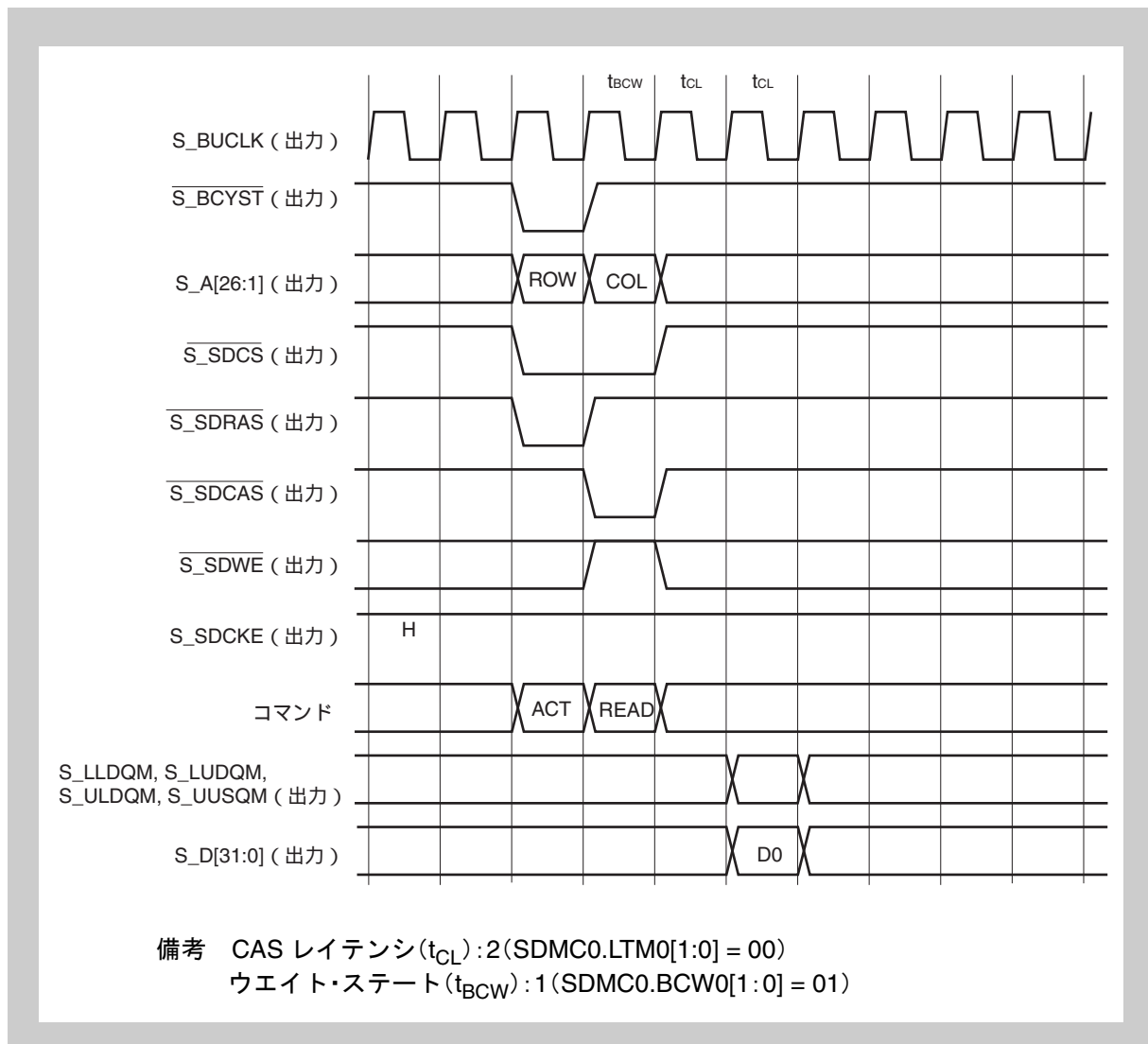


図 28-8 SDRAM リード・サイクル (シングル転送)

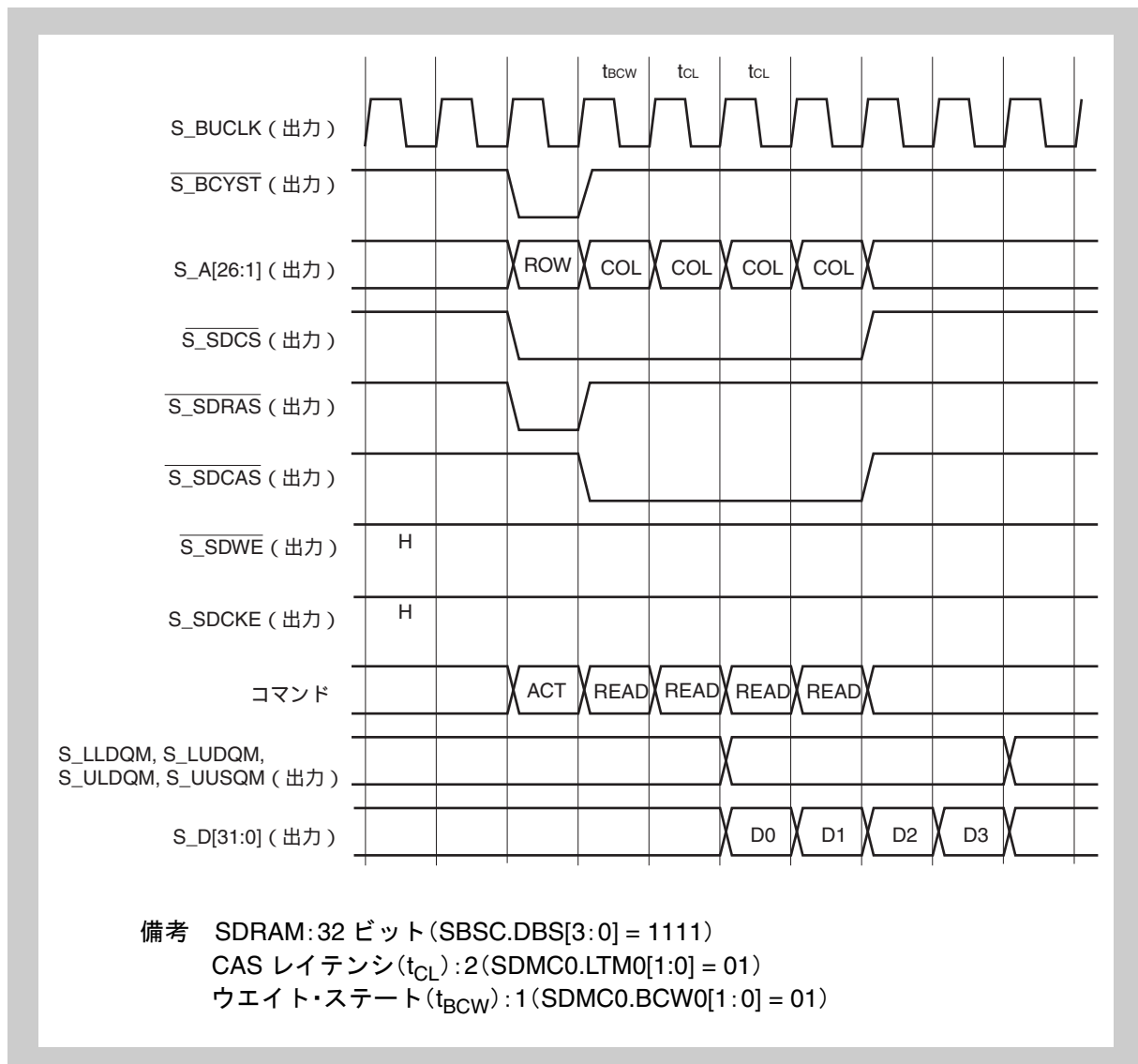


図 28-9 SDRAM リード・サイクル (4回の連続転送)

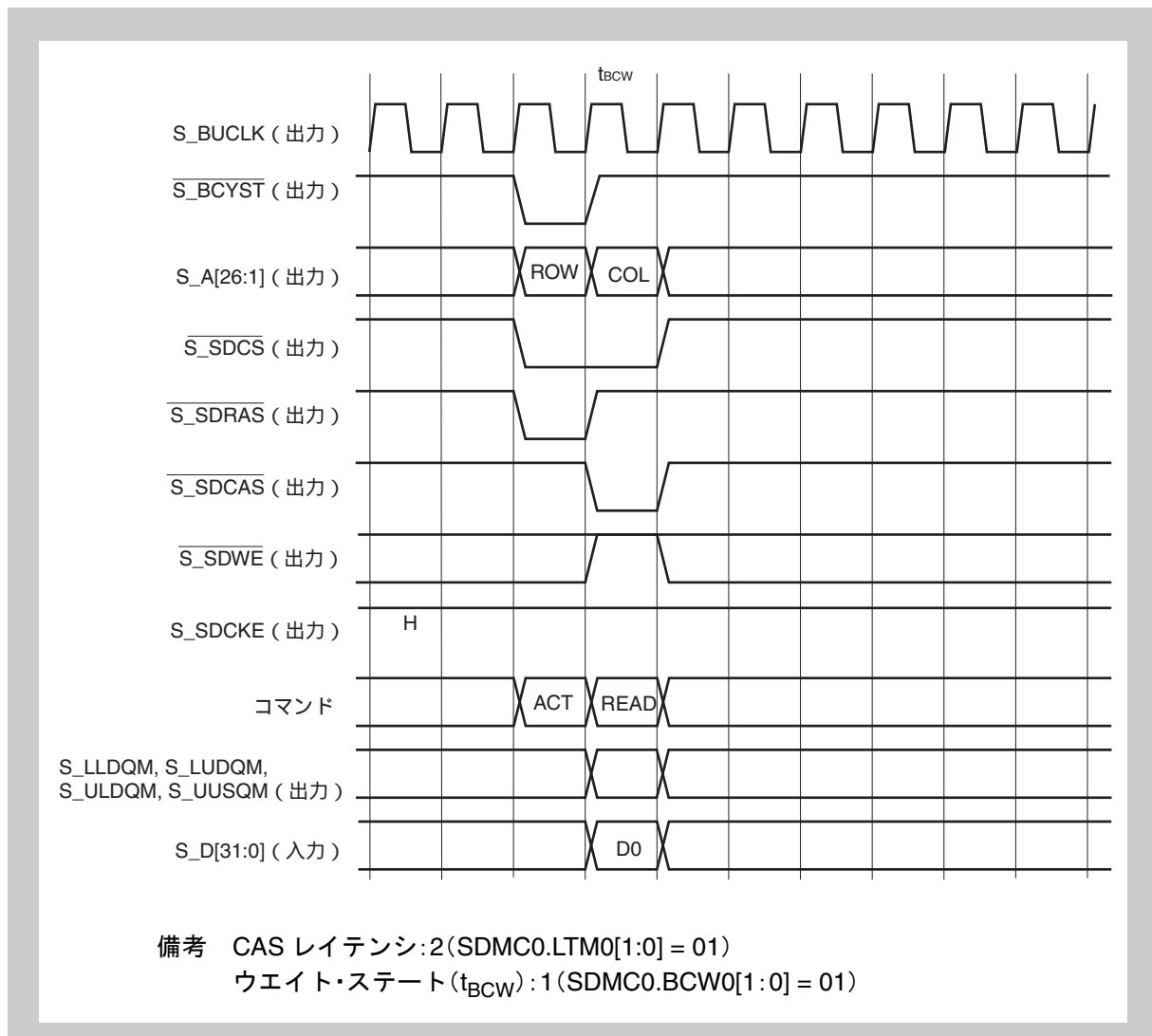


図 28-10 SDRAM ライト・サイクル (シングル転送)

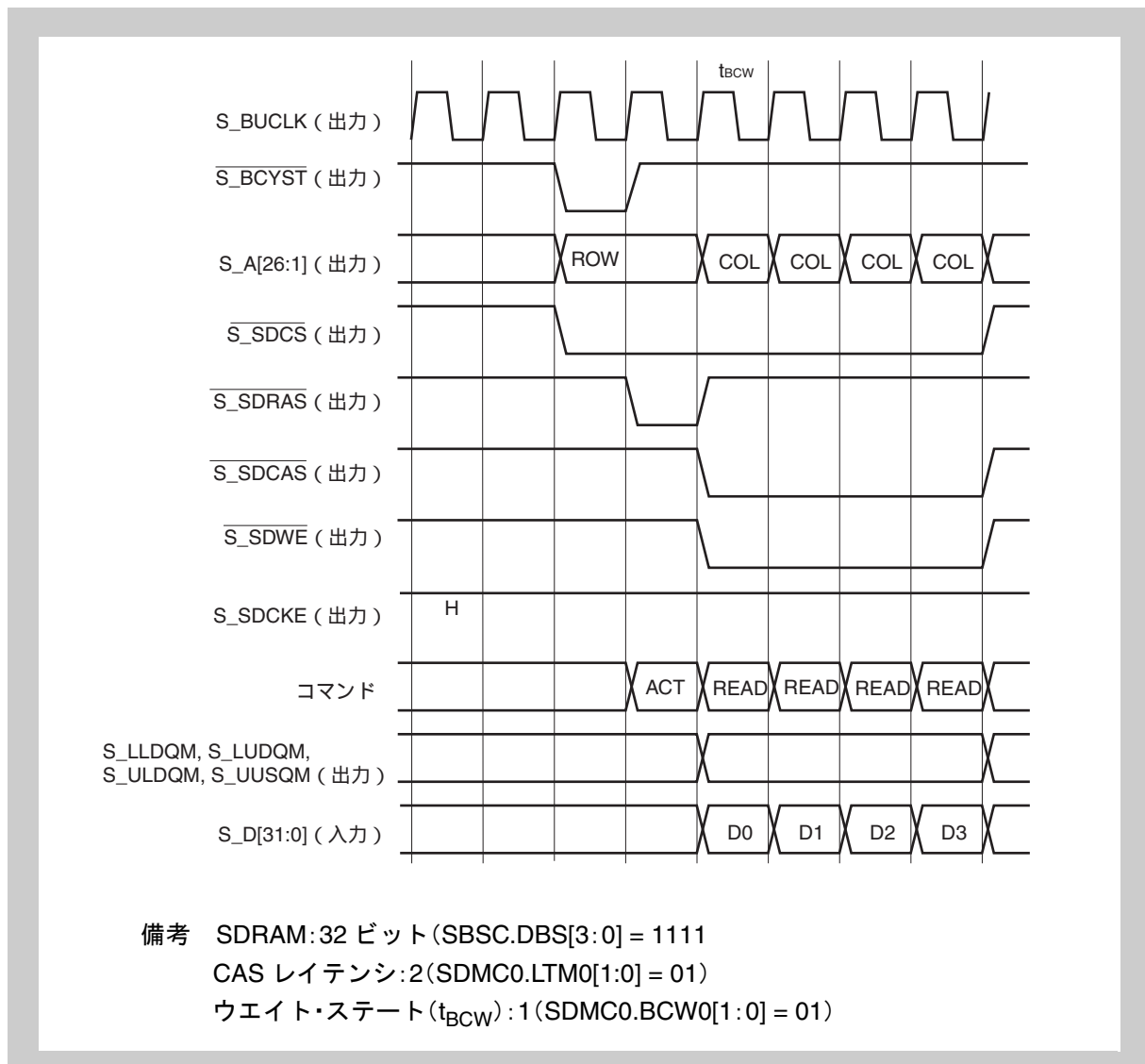


図 28-11 SDRAM ライト・サイクル (4 回の連続転送)

第 29 章 セカンダリ・メモリ・コントローラ専用 DMA

29.1 特徴

29.1.1 機能

以下にセカンダリ・メモリ・コントローラ専用 DMA の機能を示します。

(1) 転送設定値取り込み方式

DMA 転送に使用する設定データは、次の 2 種類の方法により、内部レジスタに設定されます。

レジスタ・モード CPU により、内蔵レジスタに設定値を書き込み、その設定値で DMA 転送を行うモードです。

リンク・モード CPU によって外部メモリ上に配置された設定データ（ディスクリプタ・データ）を、自動的に本 DMA が取り込み、その設定値を元に DMA 転送を行うモードです。ディスクリプタ中で、次の転送用のディスクリプタ・アドレスを指定し、複数の DMA 転送の設定値をメモリ上に設定しておき、順次実行することができます。

また、ディスクリプタのヘッダ（情報フィールド）にて、次の DMA 転送の継続、停止を指定することができます。

(2) トリガ方式

DMA 転送の起動は、次の 2 種類をサポートします。

ソフトウェア起動 ソフトウェアにて、内部レジスタを介して、DMA 転送を起動します。

ハードウェア起動 S_DMARQm 入力端子の状態ですべて起動します。検出モードは以下をサポートします。

- 立ち上がり検出
- 立ち下がり検出
- 変化点検出
- ハイ・レベル検出
- ロウ・レベル検出
- 検出マスク

また、ハードウェア起動の場合、ハンドシェイク信号として、S_DMAAKm 出力端子をアクティブにします。S_DMAAKm 出力のモードとして次の機能をサポートします。

- トランスファ開始時に 1 パルス・アクティブ
- S_DMARQm 入力端子レベルがインアクティブになるまでアクティブ
- バス・サイクル期間アクティブ
- アクティブ・マスク

設定サイズの転送後、制御レジスタで指定した総転送バイト数分の DMA 転送を終了すると、ターミナル・カウント端子 S_DMATCm をアクティブにします（マスクすることも可能です）。

また、1回のトリガで1回のリード/ライトを行うか、設定した総転送バイト数分転送を行うのかを切り替えることができます。

(3) 割り込み

転送完了時には、転送完了割り込み INTHDMA_n 出力を発生させます（マスクすることも可能です）。

バス・エラー時には、エラー割り込み INTHDMAERR 出力を発生させます。

(4) 転送

DMA トランスファ・サイズは、8-512 ビットの中から選択可能です。

転送アドレスは、転送ごとにインクリメントするモードと、常に固定のモードをサポートします。

(5) SKIP (Scatter/Gather)

DMA 転送でアクセスする領域に対し、連続アクセス・サイズと離散アクセス・サイズをそれぞれ設定可能です。設定サイズ分アクセスした後、次にアクセスするアドレスを設定サイズ分スキップすることができます。

(6) バッファ内データ出力

既にバッファに取り込んでいるデータを、強制的にディスティネーション領域へ出力することができます。

- 掃き出しモード : DMAC を強制停止した際、バッファ内データを出力して停止することができます。
- ソフトウェア強制排出要求 : ソフトウェアにより、バッファ内データを出力することができます。データ出力後、引き続き DMA 転送を継続します。

(7) サスペンド

DMA トランザクション中に、実行中の DMA トランザクションを一時停止（サスペンド）することができます。

(8) インターバル

バスの占有率を調整するため、DMA 転送の間隔を指定することが可能です。

29.2 用語定義

この章で使用する用語の定義を次に示します。

表 29-1 用語定義

用語	定義
バースト	一回のバス・サイクルを意味します。
DMA トランスファ	DMAC が 1 バースト分のリードまたはライト転送を実行することを指します。
DMA リード・トランスファ	DMAC が 1 バースト分のリード転送を実行することを指します。
DMA ライト・トランスファ	DMAC が 1 バースト分のライト転送を実行することを指します。
DMA トランザクション	DMAC に設定された総転送バイト数分の DMA トランスファを実行すること、すなわち一連の DMA トランスファが完了するまでの期間を指します。
レジスタ・セット	レジスタのグループを指します。
ディスクリプタ	DMAC がリンク・モード時にリードする DMA 転送設定が書かれたデータを意味します。
DMAC	本マクロを指します。
DMA トリガ	ハードウェア・リクエスト、ソフトウェア起動、ブロック・モード時に内部で生成されるトリガなどの DMA トランスファ を起動するためのトリガを指します。
アライン	指定するアドレスが、転送するサイズ境界の先頭を指している状態です。 具体的には、指定する先頭アドレスの bit $[(\log_2 \text{SIZE} - 1) : 0]$ が 0 である状態です。 (SIZE : 転送サイズ [Byte]) ビット・アライン : アドレスが、データ・サイズのアライン境界の先頭を指している状態を指します。 ワード・アライン : アドレスが、ワード境界の先頭を指している状態を指します。
アンアライン	指定するアドレスが、転送するサイズ境界の先頭を指していない状態です。 具体的には、指定する先頭アドレスの bit $[(\log_2 \text{SIZE} - 1) : 0]$ が 0 でない状態です。 (SIZE : 転送サイズ [Byte]) ビット・アンアライン : アドレスが、データ・サイズのアライン境界の先頭を指している状態を指します。
[SEL]	SCHCFGn.SEL[1:0] ビットで設定した、S_DMARQ[0:3], S_DMAAK[0:3], S_DMATC[0:3] 端子のビット位置を示します。
INTHDMA _n	チャンネル n に対応した、INTDMA 信号を示します。
n レジスタ	チャンネル n のレジスタを示します。
Reserved	将来の機能拡張のため設けてあります。本バージョンではサポートしません。
I/F	インタフェースの略です。

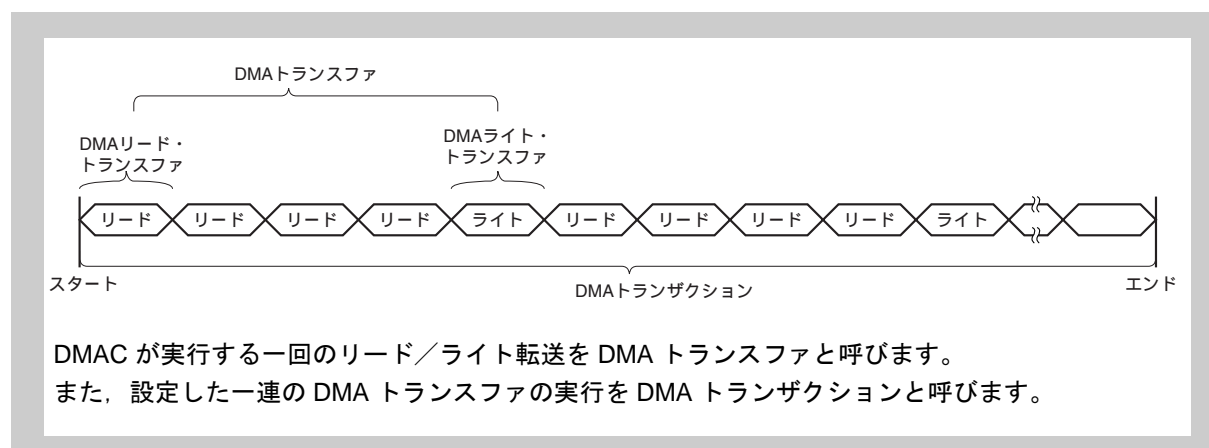


図 29-1 DMA 転送の呼称

表 29-2 DMA 端子一覧

端子名	入出力	機能
S_DMARQ[0:3]	入力	DMA トランザクション要求入力 DMAC に転送要求を行うユニットに接続して下さい。
S_DMAAK[0:3]	出力	DMA アクノリッジ出力 DMAC に転送要求を行うユニットに接続して下さい。
S_DMATC[0:3]	出力	DMA ターミナル・カウント出力 (パルス) DMAC に転送要求を行うユニットに接続して下さい。

表 29-3 割り込み信号一覧

INTHDMA[7:0]	<p>DMA トランザクション完了出力 SDCTRL.LVINT=0 の場合パルス出力 (1 クロック・サイクル・ハイ・レベル), LVINT=1 の場合レベル出力となります。 DMA トランザクションが終了したらアクティブになります。LVINT=1 の場合, いったんアクティブになると, SCHSTATn.END ビットをクリアするまでアクティブ・レベルを保持します。 また, リンク・モードにおいて, SCHCFGn.DRRP=0 の状態で, ディスクリプタ・リード時に, ヘッダの LV=0 だった場合もアクティブになります。LVINT=1 の場合, いったんアクティブになると, SCHSTATn.DER ビットをクリア (0) するまでアクティブ・レベルを保持します。 また, SCHSTATn.INTM ビットをセット (1) することで一時的にマスクすることができます。</p>
INTHDMAERR	<p>エラー応答 (ERROR) 割り込み出力 SDCTRL.LVINT=0 の場合パルス出力 (1 クロック・サイクル・ハイ・レベル) となり, LVINT=1 の場合レベル出力となります。 バスへのアクセス時, エラー・レスポンスを受け取るとアクティブになります。 LVINT=1 の場合, いったんアクティブになると, SCHSTATn.ER ビットをクリアするまでアクティブ・レベルを保持します。</p>

29.3 制御レジスタ

29.3.1 ネクスト・レジスタ・セット

(1) SN0SA0-SN0SA7 : ネクスト0 ソース・アドレス・レジスタ 0-7

DMA チャンネル n の DMA 転送元アドレスを設定します (n = 0-7)。

SN0SA_n はネクスト0 レジスタ・セット用です。

ライト・オンリー・モード (SCHCFGn.WONLY = 1) 時には、ライト・データ設定に使用します (30.5.1(3)「ライト・オンリー・モード」参照)。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SN0SA0 : F9900400_H, SN0SA1 : F9900440_H, SN0SA2 : F9900480_H,
SN0SA3 : F99004C0_H, SN0SA4 : F9900500_H, SN0SA5 : F9900540_H,
SN0SA6 : F9900580_H, SN0SA7 : F99005C0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

注意 SN0SA_n レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

(a) 通常モード時

31	30	29	28	27	26	25	24
SA031	SA030	SA029	SA028	SA027	SA026	SA025	SA0240
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
SA023	SA022	SA021	SA020	SA019	SA018	SA017	SA016
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
SA015	SA014	SA013	SA012	SA011	SA010	SA09	SA08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-4 SN0SA_n : ネクスト0 ソース・アドレス・レジスタ n の内容 (通常モード時)

ビット位置	ビット名	意味
31:0	SA0[31:0]	ソース・アドレス DMA 転送元の開始アドレスを設定します。

(b) ライト・オンリー・モード時

31	30	29	28	27	26	25	24
WD031	WD030	WD029	WD028	WD027	WD026	WD025	WD024
W	W	W	W	W	W	W	W
23	22	21	20	19	18	17	16
WD023	WD022	WD021	WD020	WD019	WD018	WD017	WD016
W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8
WD015	WD014	WD013	WD012	WD011	WD010	WD09	WD08
W	W	W	W	W	W	W	W
7	6	5	4	3	2	1	0
WD07	WD06	WD05	WD04	WD03	WD02	WD01	WD00
W	W	W	W	W	W	W	W

表 29-5 SN0SAn : ネクスト0 ソース・アドレス・レジスタ n の内容 (ライト・オンリー・モード時)

ビット位置	ビット名	意味
31:0	WD0[31:0]	ライト・データ ライト・オンリー・モード時のライト・データを設定します。

(2) SN0DA0-SN0DA7 : ネクスト0 デスティネーション・アドレス・レジスタ 0-7

DMA チャンネル n の DMA 転送元アドレスを設定します (n = 0-7)。

SN0DAn はネクスト0 レジスタ・セット用です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SN0DA0 : F9900404_H, SN0DA1 : F9900444_H, SN0DA2 : F9900484_H,
SN0DA3 : F99004C4_H, SN0DA4 : F9900504_H, SN0DA5 : F9900544_H,
SN0DA6 : F9900584_H, SN0DA7 : F99005C4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

注意 SNSAn レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

31	30	29	28	27	26	25	24
DA031	DA030	DA029	DA028	DA027	DA026	DA025	DA024
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
DA023	DA022	DA021	DA020	DA019	DA018	DA017	DA016
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
DA015	DA014	DA013	DA012	DA011	DA010	DA09	DA08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DA07	DA06	DA05	DA04	DA03	DA02	DA01	DA00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-6 SN0DAn : ネクスト0 デスティネーション・アドレス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	DA0[31:0]	デスティネーション・アドレス DMA 転送先の開始アドレスを設定します。

(3) SN0TB_0-SN0TB_7 : ネクスト0 トランザクション・バイト・レジスタ 0-7

DMA チャンネル n の総転送バイト数 (DMA トランザクション) を設定するレジスタです (n = 0-7)。

SN0TBn はネクスト0 レジスタ・セット用です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SN0TB0 : F9900408_H, SN0TB1 : F9900448_H, SN0TB2 : F9900488_H,
SN0TB3 : F99004C8_H, SN0TB4 : F9900508_H, SN0TB5 : F9900548_H,
SN0TB6 : F9900588_H, SN0TB7 : F99005C8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

注意 SN0TBn レジスタは、リンク・モード転送時には、ディスクリプタ・リード・データにより上書きされます。

31	30	29	28	27	26	25	24
TB031	TB030	TB029	TB028	TB027	TB026	TB025	TB024
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TB023	TB022	TB021	TB020	TB019	TB018	TB017	TB016
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TB015	TB014	TB013	TB012	TB011	TB010	TB09	TB08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TB07	TB06	TB05	TB04	TB03	TB02	TB01	TB00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-7 SN0TBn : ネクスト0 トランザクション・バイト・レジスタ n の内容

ビット位置	ビット名	意味
31:0	TB0[31:0]	トランザクション・バイト 総転送バイト数を設定します。

注意 0 を設定した状態で DMA トランザクションを開始しないでください。

29.3.2 カレント・レジスタ・セット

カレント・レジスタ・セットは、DMA 転送する転送元アドレス、転送先アドレス、総転送バイト数を表示します。

レジスタ・モード時はネクスト 0 レジスタ・セット、ネクスト 1 レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。

(1) SCRSA0-SCRSA7 : カレント・ソース・アドレス・レジスタ 0-7

DMA チャンネル n の DMA 転送元アドレスを表示します (n = 0-7)。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCRSA0 : F9900418_H, SCRSA1 : F9900458_H, SCRSA2 : F9900498_H,
SCRSA3 : F99004D8_H, SCRSA4 : F9900518_H, SCRSA5 : F9900558_H,
SCRSA6 : F9900598_H, SCRSA7 : F99005D8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
CRSA31	CRSA30	CRSA29	CRSA28	CRSA27	CRSA26	CRSA25	CRSA24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
CRSA23	CRSA22	CRSA21	CRSA20	CRSA19	CRSA18	CRSA17	CRSA16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
CRSA15	CRSA14	CRSA13	CRSA12	CRSA11	CRSA10	CRSA9	CRSA8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
CRSA7	CRSA6	CRSA5	CRSA4	CRSA3	CRSA2	CRSA1	CRSA0
R	R	R	R	R	R	R	R

表 29-8 SCRSAn : カレント・ソース・アドレス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	CRSA [31:0]	<p>カレント・ソース・アドレス・レジスタ 次の DMA トランザクションのリード・アドレスを表示します。DMA トランザクション中は、自動的にインクリメントします (SCHCFGn.SAD = 1 の場合は固定。SCHCFGn.WONLY = 1 の場合は不定)。 初期値は次のレジスタからロードします。</p> <p>レジスタ・モード : SN0SAn から転送元アドレスをロード</p> <p>リンク・モード : ディスクリプタから転送元アドレスをロード (ディスクリプタ・リード・データを SN0SAn レジスタに代入し、転送時に SCRSAn レジスタへ代入します)</p> <p>インクリメントはリード・トランスファ完了時に行います。 SCRSAn レジスタは、DMA が停止 (SCHSTATn.EN = 0) してからリードしてください (DMA 動作中の値は参考値として扱ってください)。</p>

(2) **SCRDA0-SCRDA7** : カレント・デスティネーション・アドレス・レジスタ **0-7**DMA チャンネル n の DMA 転送元アドレスを表示します ($n = 0-7$)。**アクセス** 32 ビット単位でリード/ライト可能です。**アドレス** SCRDA0 : F990041C_H, SCRDA1 : F990045C_H, SCRDA2 : F990049C_H,
SCRDA3 : F99004DC_H, SCRDA4 : F990051C_H, SCRDA5 : F990055C_H,
SCRDA6 : F990059C_H, SCRDA7 : F99005DC_H**初期値** 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
CRDA31	CRDA30	CRDA29	CRDA28	CRDA27	CRDA26	CRDA25	CRDA24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
CRDA23	CRDA22	CRDA21	CRDA20	CRDA19	CRDA18	CRDA17	CRDA16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
CRDA15	CRDA14	CRDA13	CRDA12	CRDA11	CRDA10	CRDA9	CRDA8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
CRDA7	CRDA6	CRDA5	CRDA4	CRDA3	CRDA2	CRDA1	CRDA0
R	R	R	R	R	R	R	R

表 29-9 SCRDA n : カレント・デスティネーション・アドレス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	CRDA [31:0]	<p>カレント・デスティネーション・アドレス・レジスタ 次の DMA トランザクションのリード・アドレスを表示します。DMA トランザクション中は、自動的にインクリメントします (SCHCFGn.DAD = 1 の場合は固定。SCHCFGn.WONLY = 1 の場合は不定)。 初期値は次のレジスタからロードします。</p> <p>レジスタ・モード : SN0DAn から転送元アドレスをロード</p> <p>リンク・モード : ディスクリプタから転送元アドレスをロード (ディスクリプタ・リード・データを SN0DAn レジスタに代入し、転送時に SCRDAn レジスタへ代入します)</p> <p>インクリメントはライト・トランスファ完了時に行います。 SCRDAn は、DMA が停止 (SCHSTATn.EN = 0) してからリードしてください (DMA 動作中の値は参考値として扱ってください)。</p>

(3) SCRTB0-SCRTB7 : カレント・トランザクション・バイト・レジスタ 0-7

DMA チャンネル n の総転送バイト数 (DMA トランザクション) を表示します ($n = 0-7$)。

転送終了時には 0 となります。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCRTB0 : F9900420_H, SCRTB1 : F9900460_H, SCRTB2 : F99004A0_H,
SCRTB3 : F99004E0_H, SCRTB4 : F9900520_H, SCRTB5 : F9900560_H,
SCRTB6 : F99005A0_H, SCRTB7 : F99005E0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
CRTB31	CRTB30	CRTB29	CRTB28	CRTB27	CRTB26	CRTB25	CRTB24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
CRTB23	CRTB22	CRTB21	CRTB20	CRTB19	CRTB18	CRTB17	CRTB16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
CRTB15	CRTB14	CRTB13	CRTB12	CRTB11	CRTB10	CRTB9	CRTB8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
CRTB7	CRTB6	CRTB5	CRTB4	CRTB3	CRTB2	CRTB1	CRTB0
R	R	R	R	R	R	R	R

表 29-10 SCRTB_n : カレント・デスティネーション・アドレス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	CRTB [31:0]	<p>カレント・トランザクション・バイト・レジスタ 現在実行している DMA トランザクションの、残りの転送バイト数を表示します。 DMA トランザクション中は、自動的にデクリメントします。 初期値は次のレジスタからロードします。</p> <p>レジスタ・モード : SN0TB_n レジスタから転送バイト数をロード</p> <p>リンク・モード : ディスクリプタから転送バイト数をロード (ディスクリプタ・リード・データを N0TB_n レジスタに 代入し、転送時に SCRTB_n レジスタへ代入します)</p> <p>インクリメントはライト・トランスファ完了時に行います。 SCRTB_n レジスタは、DMA が停止 (SCHSTAT_n.EN = 0) してからリードしてください (DMA 動作中の値は参考値として扱ってください)。</p>

29.3.3 チャンネル・レジスタ・セット

(1) SCHSTAT0-SCHSTAT7：チャンネル・ステータス・レジスタ 0-7

DMA チャンネル n の状態を表示するレジスタです (n = 0-7)。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCHSTAT0 : F9900424_H, SCHSTAT1 : F9900464_H, SCHSTAT2 : F99004A4_H,
SCHSTAT3 : F99004E4_H, SCHSTAT4 : F9900524_H, SCHSTAT5 : F9900564_H,
SCHSTAT6 : F99005A4_H, SCHSTAT7 : F99005E4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	INTMSK
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	MODE	DER	DW	DL
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	TC	END	CRSA4ER	CRSA3SUS	CRSA2TACT	CRSA1RQST	CRSA0EN
R	R	R	R	R	R	R	R

表 29-11 SCHSTATn：チャンネル・ステータス・レジスタ n の内容 (1/4)

ビット位置	ビット名	意味
16	INTMSK	INTHDMAI[n] 割り込み端子出力の一時マスク状態を表示します。 1：一時マスク状態 0：一時マスク解除状態 セット条件： ・SETINTMSK セット時 (1) リセット条件： ・CLRINTMSK セット時 (1) ・SWRST セット時 (1)
11	MODE	DMA モード DMA モードを示します。SCHCFGn.DMS ビットの設定値を表示します。 0：レジスタ・モード 1：リンク・モード
10	DER	ディスクリプタ・エラー リードしたディスクリプタが無効 (LV = 0) であったことを示します (SCHCFGn.DIM ビットのレベルには依存しません)。 0：ディスクリプタ・エラー未発生 1：ディスクリプタ・エラー発生 セット条件： ・SCHCFGn.DRRP = 0 の状態で、リンク・モードのディスクリプタ・ロードの LV が 0 リセット条件： ・SCHCTRLn.CLRDER ビットをセット (1) ・SCHCTRLn.SWRST ビットをセット (1)

表 29-11 SCHSTATn : チャネル・ステータス・レジスタ n の内容 (2/4)

ビット位置	ビット名	意味
9	DW	<p>ディスクリプタ・ライト・バック ディスクリプタ・ライト・バック状態であることを示します。また、ディスクリプタ・ライト・バック時にバス・エラーを受けた場合、1を保持します。</p> <p>0 : リンク・モードのヘッダをライト・バック以外 1 : ER = 0 時 リンク・モードのヘッダをライト・バック中 ER = 1 時 リンク・モードのヘッダをライト・バック中にバス・エラーが発生</p> <p>セット条件 : ・リンク・モードのヘッダをライト・バック開始時</p> <p>リセット条件 : ・リンク・モードのヘッダ・ライト・バックが OK レスポンスで終了 ・SCHCTRLn.SWRST ビットのセット (1)</p>
8	DL	<p>ディスクリプタ・ロード ディスクリプタ・ロード状態であることを示します。また、ディスクリプタ・ロード時にバス・エラーを受けた場合、1を保持します。</p> <p>0 : ディスクリプタ・ロード以外 1 : ER = 0 時 リンク・モードのディスクリプタ・ロード中 ER = 1 時 リンク・モードのディスクリプタ・ロード中にバス・エラーが発生</p> <p>セット条件 : ・リンク・モードのディスクリプタ・ロード開始時</p> <p>リセット条件 : ・リンク・モードのディスクリプタ・ロードが OK レスポンスで終了 ・SCHCTRLn.SWRST ビットのセット (1)</p>
6	TC	<p>ターミナル・カウント DMA トランザクションが完了したことを示すステータス・ビットです。 SCHCFGn.TCM = 0 の場合のみセットされます。</p> <p>0 : DMA 転送未了 1 : DMA 転送完了</p> <p>セット条件 : ・レジスタ・モードで、SCRTBn レジスタに設定された総転送バイト数分の転送が終了した場合 ・リンク・モード時かつディスクリプタのヘッダの WBD = 1 で、SCRTBn レジスタに設定された総転送バイト数分の転送が終了した場合 ・リンク・モード時かつディスクリプタのヘッダの WBD = 0 で、ディスクリプタ・ライト・バックが終了した場合</p> <p>クリア条件 : ・SCHCTRLn.CLRTC ビットのセット (1) ・SCHCTRLn.SWRST ビットのセット (1)</p>
5	END	<p>INTHDMA_n 割り込み DMA トランザクションが完了し、INTHDMA_n 割り込みが発生したことを示すビットです。</p> <p>0 : DMA 転送未了 1 : DMA 転送完了</p> <p>セット条件 : ・TC ビットのセット条件かつ SCHCFGn.DEM = 0 の場合 ・リンク・モードかつディスクリプタをリード時に、ヘッダの LV = 0 かつ SCHCFGn.DRRP = 0 かつ DIM = 0 の場合</p> <p>クリア条件 : ・SCHCTRLn.CLREND ビットのセット (1) ・SCHCTRLn.SWRST ビットのセット (1)</p>

表 29-11 SCHSTATn : チャネル・ステータス・レジスタ n の内容 (3/4)

ビット位置	ビット名	意味
4	ER	<p>エラー・ビット DMA 転送中に、エラー・レスポンスを受け、INTHDMAERR 割り込みが発生したことを示します。 0 : エラー・レスポンスを受けていない 1 : エラー・レスポンスを受けた</p> <p>セット条件 : ・バス・サイクルでエラー・レスポンスを受けた場合 クリア条件 : ・SCHCTRLn.SWRST ビットのセット (1)</p>
3	SUS	<p>サスペンド チャンネルが一時停止状態にあることを示すビットです。 0 : チャンネル n が一時停止状態でない 1 : チャンネル n が一時停止中</p> <p>セット条件 : ・チャンネル n の DMA 転送実行中に SETSUS をセット (1) し、内部が一時停止状態になった場合。 クリア条件 : ・SCHCTRLn.CLRSUS ビットをセット (1) ・SCHCTRLn.CLREN ビットをセット (1)</p>
2	TACT	<p>トランザクション・アクティブ DMAC が動作中であることを示すビットです。チャンネルが完全に停止していることを確認するためのビットです。 0 : チャンネル n の DMA が停止、またはトリガ待ち状態 1 : チャンネル n の DMA が動作中</p> <p>セット条件 : ・チャンネル n の DMA トランザクション開始時 クリア条件 : ・DMA トランザクション完了時</p>
1	RQST	<p>リクエスト 転送要求を受け付けていることを示すビットです。 0 : DMA 転送要求を受けていない 1 : DMA 転送要求を受けている</p> <p>セット条件 : ・SCHCTRLn.STG ビットをセット (1) ・SCHCFGn レジスタで設定した S_DMARQn 端子から、転送要求を受け付けた場合 クリア条件 : ・SCHCTRLn.SWRST ビットのセット (1) ・SCHCTRLn.CLRRQ ビットのセット (1) ・シングル転送 (TM = 0) モードで、SCHCFGn.REQD ビットで指定した側の転送が終わった時 ・レジスタ・モードで、DMA トランザクションが完了した場合 ・リンク・モードで、最後のディスクリプタ (LE = 1) の DMA 転送を終了した場合 ・リンク・モードで、ディスクリプタ読み込みで停止 (LV = 0 かつ DRRP = 0) した場合 ・リンク・モードで、DEM = 0 の状態で、DMA トランザクションを終了した場合 ・マスタ・インタフェースがバス・エラーを受けた場合</p>

表 29-11 SCHSTATn : チャネル・ステータス・レジスタ n の内容 (4/4)

ビット位置	ビット名	意味
0	EN	<p>イネーブル DMA チャンネル n の動作許可／停止状態を表示します。 0 : 動作停止状態 1 : 動作許可状態</p> <p>セット条件 : SCHCTRLn.SETEN ビットをセット (1)</p> <p>クリア条件 :</p> <ul style="list-style-type: none"> ・ SCHCTRLn.SWRST ビットのセット (1) ・ SCHCTRLn.CLREN ビットのセット (1) ・ 転送中にエラー・レスポンスを受けた場合 ・ レジスタ・モードで, DMA トランザクションが完了した場合 ・ リンク・モードで, 最後のディスクリプタ (LE = 1) の DMA 転送 (WBD = 0 の場合はライトバック) を終了した場合 ・ リンク・モードのディスクリプタ読み込みで停止 (LV = 0 かつ DRRP = 0) した場合

- 注意
1. ER ビットがセットされた転送は、その一連の転送が無効であるものとして処理してください。
 2. DMA トランザクションを中断する場合は、転送要求をマスクおよびクリアするか、イネーブルをクリアすることで行ってください（手順は 29.5.14 「転送中断機能」参照）。
 3. 同一のチャンネルに対して DMA 転送要求端子（S_DMARQm）入力による転送要求と、ソフトウェアによる転送要求（STG ビットのセット）を併用した場合、有効となった起動要因の特定はできません。システムでいずれかの転送要求のみ使用するようになしてください。
 4. ソフトウェアによる転送要求を行う場合、前回要求した DMA 転送動作が完了（カレント・レジスタなどで確認）してから、次の STG ビット操作を行ってください。
-

(2) SCHCTRL0-SCHCTRL7 : チャネル・コントロール・レジスタ 0-7

DMA チャネル n の DMA 転送動作を制御するレジスタです (n = 0-7)。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCHCTRL0 : F9900428_H, SCHCTRL1 : F9900468_H, SCHCTRL2 : F99004A8_H,
SCHCTRL3 : F99004E8_H, SCHCTRL4 : F9900528_H, SCHCTRL5 : F9900568_H,
SCHCTRL6 : F99005A8_H, SCHCTRL7 : F99005E8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	CLRINTMSK	SETINTMSK
R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	CLRSUS	SETSUS
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
CLRDER	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-12 SCHCTRLn : チャネル・コントロール・レジスタ n の内容 (1/2)

ビット位置	ビット名	意味
17	CLRINTMSK	CLRINTMSK ビットをセットすることで、INTHDMA _n 割り込みをマスクする状態を解除します。また、SCHSTAT _n .INTMSK ビットが 0 となります。DCTRL.LVINT = 1, SCHSTAT _n .END = 1 の状態でマスクを解除した場合、INTHDMA _n 割り込みが発生します (LVINT = 0 の場合は、発生しません)。CLRINTMSK ビットをリードすると 0 が読み出されます。 1 : SETINTMSK ビットでセットしたマスクを解除します。 0 : 動作に影響を与えません。
16	SETINTMSK	SETINTMSK ビットをセットすることで、INTHDMA _n 割り込みを一時的にマスクする状態となります。また、CHSTAT _n .INTMSK ビットが 1 となります。SETINTMSK ビットをリードすると 0 が読み出されます。 1 : INTHDMA _n 割り込みをマスクします。 0 : 動作に影響を与えません。DMA モード
9	CLRSUS	クリア・サスペンド 一時停止状態を解除します。SCHSTAT _n .SUS ビットが 1 のときに、CLRSUS ビットをセット (1) すると、一時停止状態を解除することができます。CLRSUS ビットをリードすると 0 が読み出されます。 1 : 実行中の DMA 転送の一時停止解除 0 : 動作に影響を与えません。
8	SETSUS	セット・サスペンド 実行中の DMA 転送を一時停止します。SCHSTAT _n .EN ビットが 1 のときに、SETSUS ビットをセット (1) すると、実行中の DMA 転送を一時停止させることができます。SETSUS ビットをリードすると 0 が読み出されます。 1 : 実行中の DMA 転送の一時停止 0 : 動作に影響を与えません。

表 29-12 SCHCTRLn : チャネル・コントロール・レジスタ n の内容 (2/2)

ビット位置	ビット名	意味
7	CLRDER	クリア DER ビット CLRDER ビットをセット (1) することで、SCHSTATn.DER ビットのクリア (0) を行うことができます。 また、INTHDMA 割り込み端子をロウ・レベルにクリアします。 CLRDER ビットをリードすると 0 が読み出されます。 1 : DER ビットのクリア 0 : 動作に影響を与えません。
6	CLRTC	クリア TC ビット CLRTC ビットをセット (1) することで、SCHSTATn.TC ビットのクリア (0) を行うことができます。 CLRTC ビットをリードすると 0 が読み出されます。 1 : TC ビットのクリア 0 : 動作に影響を与えません。
5	CLREND	クリア END ビット CLREND ビットをセットすることで、SCHSTATn.END ビットのクリア (0) を行うことができます。 また、INTHDMA 割り込み端子をロウ・レベルにクリアします。 CLREND ビットをリードすると 0 が読み出されます。 1 : END ビットのクリア 0 : 動作に影響を与えません。
4	CLRRQ	クリア RQST ビット CLRRQ ビットをセット (1) することで、SCHSTATn.RQST ビットのクリア (0) を行うことができます。 CLRRQ ビットをリードすると 0 が読み出されます。 1 : RQST ビットのクリア 0 : 動作に影響を与えません。
3	SWRST	ソフトウェア・リセット SWRST ビットをセット (1) することで、ステータス・レジスタをクリア (0) することができます。SWRST ビットのセットは、SCHSTATn.EN ビットが 0 かつ TACT ビットが 0 のときに行ってください。 SWRST ビットをリードすると 0 が読み出されます。 1 : チャネル・ステータス・レジスタのリセット 0 : 動作に影響を与えません。
2	STG	ソフトウェア・トリガ STG ビットをセット (1) することで、内部転送要求をセットします (ソフト起動)。SWRST ビットと同時にセットした場合には、SWRST ビットによるクリアが優先されます。 STG ビットをリードすると 0 が読み出されます。 1 : ソフトウェアによる転送要求のセット (RQST ビットをセット (1)) 0 : 動作に影響を与えません。
1	CLREN	クリア・イネーブル CLREN ビットをセット (1) することで、EN ビットのクリア (0) を行うことができます (詳細は 29.5.14 「転送中断機能」参照)。 CLREN ビットをリードすると 0 が読み出されます。 1 : DMA 転送の停止 (EN ビットをクリア (0)) 0 : 動作に影響を与えません。
0	SETEN	セット・イネーブル DMA チャネル n の DMA 転送の許可を設定します。SWRST ビットと同時にセットした場合には、SWRST ビットによるクリアが優先され、転送は開始しません。 SETEN ビットをリードすると 0 が読み出されます。 1 : DMA 転送の許可 (EN ビットをセット (1)) 0 : 動作に影響を与えません。

- (3) SCHCFG0-SCHCFG7 : チャネル・コンフィギュレーション・レジスタ 0-7
DMA チャネル n の DMA 転送動作を制御するレジスタです (n = 0-7)。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCHCFG0 : F990042C_H, SCHCFG1 : F990046C_H, SCHCFG2 : F99004AC_H,
SCHCFG3 : F99004EC_H, SCHCFG4 : F990052C_H, SCHCFG5 : F990056C_H,
SCHCFG6 : F99005AC_H, SCHCFG7 : F99005EC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
DMS	0	0	0	SBE	DIM	TCM	DEM
R/W	R	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
WONLY	TM	DAD	SAD	DDS3	DDS2	DDS1	DDS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
SDS3	SDS2	SDS1	SDS0	DRRP	AM2	AM1	AM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	LVL	LOEN	HIEN	REQD	0	SEL1	SEL0
R	R/W	R/W	R/W	R/W	R	R/W	R/W

表 29-13 SCHCFGn : チャネル・コンフィギュレーション・レジスタ n の内容 (1/4)

ビット位置	ビット名	意味
31	DMS	DMA モード・セレクト DMA モードを設定します。 0 : レジスタ・モード (初期値) 1 : リンク・モード
27	SBE	スweep・バッファ・イネーブル DMA トランザクション中にイネーブルを0にクリアした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して (ライトして) 停止するかしないかを選択します。 REQD = 0 の場合のみ、掃き出しモードを使用することができます。 0 : バッファの掃き出しをしないで転送中止 (初期値) 1 : バッファの掃き出しをして転送中止
26	DIM	ディスクリプタ・インターラプト・マスク ディスクリプタのヘッダをリード時に LV = 0 だった場合、INTHDMA _n (n : SEL[1:0] ビットにより選択した割り込み) のマスクの有無を設定します。 0 : INTHDMA _n をマスクしない。(初期値) 1 : INTHDMA _n をマスクする。
25	TCM	S_DMATC _n マスク S_DMATC _n 割り込みをマスクします。 S_DMATC _n 割り込みの出カタイミグでこのビットが1だった場合、S_DMATC _n 割り込みは無効になります。このとき、TCM ビットは自動的にクリア (0) されます ソフトウェアによる DMA 転送の制御を行う場合に使用してください。 0 : マスクしない (初期値) 1 : マスクする クリア条件 : TCM = 1 で DMA トランザクション完了時

表 29-13 SCHCFGn : チャネル・コンフィギュレーション・レジスタ n の内容 (2/4)

ビット位置	ビット名	意味																											
24	DEM	<p>INTHDMA_n マスク レジスタ・モードの転送時に INTHDMA_n (n: SEL[1:0] ビットにより選択した割り込み) 割り込み出力をマスクします。 INTHDMA_n 割り込みの出カタイミングでこのビットが 1 だった場合、INTHDMA_n 割り込みは無効になります。 このとき、DEM は自動的にクリア (0) されます。 0: マスクしない (初期値) 1: マスクする</p> <p>クリア条件: DEM = 1 で DMA トランザクション完了時</p>																											
23	WONLY	<p>ライト・オンリー・モード ライト・オンリー・モード (30.5.1(3)「ライト・オンリー・モード」参照) を設定します。 0: 通常動作 (初期値) 1: ライト・オンリー・モード</p>																											
22	TM	<p>転送モード DMA 転送モードを設定します。 0: シングル転送モード (初期値) 1: ブロック転送モード</p>																											
21	DAD	<p>DMA チャネル n の転送先アドレスのカウンタ方向を設定します。 0: インクリメント (初期値) 1: 固定</p> <p>デスティネーション側でスキップ・モードを使う場合、またはデスティネーション側がビート・アンアラインの場合、DAD = 1 (固定) は指定しないでください。</p>																											
20	SAD	<p>DMA チャネル n の転送元アドレスのカウンタ方向を設定します。 0: インクリメント (初期値) 1: 固定</p> <p>ソース側でスキップ・モードを使う場合、またはソース側がビート・アンアラインの場合、SAD = 1 (固定) は指定しないでください。</p>																											
19:16	DDS[3:0]	<p>デスティネーション・データ・サイズ DMA 転送サイズを設定します。 DDS3 で通常モードとスキップ・モードの切り替えを行います。 0: 通常モード (初期値) 1: スキップ・モード</p> <p>DDS[2:0] で転送サイズを設定します。(設定可能な値は、表 29-14「SDS, DDS の設定サイズの範囲」を参照してください)</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>DDS [2:0]</th> <th>転送サイズ</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>8 ビット</td> <td>(初期値)</td> </tr> <tr> <td>001</td> <td>16 ビット</td> <td></td> </tr> <tr> <td>010</td> <td>32 ビット</td> <td></td> </tr> <tr> <td>011</td> <td>設定禁止</td> <td></td> </tr> <tr> <td>100</td> <td>128 ビット</td> <td></td> </tr> <tr> <td>101</td> <td>256 ビット</td> <td></td> </tr> <tr> <td>110</td> <td>512 ビット</td> <td></td> </tr> <tr> <td>111</td> <td>設定禁止</td> <td></td> </tr> </tbody> </table>	DDS [2:0]	転送サイズ	備考	000	8 ビット	(初期値)	001	16 ビット		010	32 ビット		011	設定禁止		100	128 ビット		101	256 ビット		110	512 ビット		111	設定禁止	
DDS [2:0]	転送サイズ	備考																											
000	8 ビット	(初期値)																											
001	16 ビット																												
010	32 ビット																												
011	設定禁止																												
100	128 ビット																												
101	256 ビット																												
110	512 ビット																												
111	設定禁止																												

表 29-13 SCHCFGn : チャネル・コンフィギュレーション・レジスタ n の内容 (3/4)

ビット位置	ビット名	意味																											
15:12	SDS[3:0]	<p>ソース・データ・サイズ DMA 転送サイズを設定します。 SDS3 で通常モードとスキップ・モードの切り替えを行います。 0 : 通常モード (初期値) 1 : スキップ・モード</p> <p>SDS[2:0] で転送サイズを設定します。(設定可能な値は、表 29-14 「SDS, DDS の設定サイズの範囲」を参照してください)</p> <table border="1"> <thead> <tr> <th>SDS [2:0]</th> <th>転送サイズ</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>8 ビット</td> <td>(初期値)</td> </tr> <tr> <td>001</td> <td>16 ビット</td> <td></td> </tr> <tr> <td>010</td> <td>32 ビット</td> <td></td> </tr> <tr> <td>011</td> <td>設定禁止</td> <td></td> </tr> <tr> <td>100</td> <td>128 ビット</td> <td></td> </tr> <tr> <td>101</td> <td>256 ビット</td> <td></td> </tr> <tr> <td>110</td> <td>512 ビット</td> <td></td> </tr> <tr> <td>111</td> <td>設定禁止</td> <td></td> </tr> </tbody> </table>	SDS [2:0]	転送サイズ	備考	000	8 ビット	(初期値)	001	16 ビット		010	32 ビット		011	設定禁止		100	128 ビット		101	256 ビット		110	512 ビット		111	設定禁止	
SDS [2:0]	転送サイズ	備考																											
000	8 ビット	(初期値)																											
001	16 ビット																												
010	32 ビット																												
011	設定禁止																												
100	128 ビット																												
101	256 ビット																												
110	512 ビット																												
111	設定禁止																												
11	DRRP	<p>ディスクリプタ・リード・リピート ディスクリプタをリードした際、ヘッダの LV が 0 だった場合の動作を切り替えます (30.5.1 (2) (a) 「リンク・モードの動作フロー」参照)。 0 : SCHSTATn.DER ビットをセット (1) し、動作を停止します。(初期値) 1 : LV が 1 になるまで同じディスクリプタをリードし続け、LV が 1 になればそのディスクリプタ値を使った DMA 転送を開始します。ディスクリプタのリード間隔は、SDSCITVL レジスタにより制御します。</p>																											
10:8	AM[2:0]	<p><u>ACK モード</u> S_DMAACn 出力モードを設定します。</p> <table border="1"> <thead> <tr> <th>AM[2:0]</th> <th>S_DMAACn 出力モード</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>パルス・モード (1 クロック間アクティブ)</td> <td>(初期値)</td> </tr> <tr> <td>001</td> <td>レベル・モード (選択された S_DMARQn 入力がインアクティブになるまでアクティブ)</td> <td></td> </tr> <tr> <td>01x</td> <td>バス・サイクル・モード (DMA 転送がバス・サイクルの間アクティブ)</td> <td></td> </tr> <tr> <td>1xx</td> <td>S_DMAACn を出力しない</td> <td></td> </tr> </tbody> </table>	AM[2:0]	S_DMAACn 出力モード	備考	000	パルス・モード (1 クロック間アクティブ)	(初期値)	001	レベル・モード (選択された S_DMARQn 入力がインアクティブになるまでアクティブ)		01x	バス・サイクル・モード (DMA 転送がバス・サイクルの間アクティブ)		1xx	S_DMAACn を出力しない													
AM[2:0]	S_DMAACn 出力モード	備考																											
000	パルス・モード (1 クロック間アクティブ)	(初期値)																											
001	レベル・モード (選択された S_DMARQn 入力がインアクティブになるまでアクティブ)																												
01x	バス・サイクル・モード (DMA 転送がバス・サイクルの間アクティブ)																												
1xx	S_DMAACn を出力しない																												
6	LVL	<p>レベル DMA 要求を、信号のレベルで検出するかエッジで検出するかを選択します。 0 : エッジで検出します (初期値) 1 : レベルで検出します</p>																											

表 29-13 SCHCFGn : チャネル・コンフィギュレーション・レジスタ n の内容 (4/4)

ビット位置	ビット名	意味																		
5	LOEN	<p>ロウ・イネーブル DMA 要求を、信号のロウ・レベルか立ち下がりエッジで検出することを選択します。</p> <p>LVL = 0 の場合： 1：信号が立ち下がった場合要求があったと認識します 0：信号が立ち下がっても要求を認識しません（初期値）</p> <p>LVL = 1 の場合： 1：信号がロウの場合要求があったと認識します 0：信号がロウでも要求を認識しません（初期値）</p>																		
4	HIEN	<p>ハイ・イネーブル DMA 要求を、信号のハイ・レベルか立ち上がりエッジで検出することを選択します。</p> <p>LVL = 0 の場合： 1：信号が立ち上がった場合要求があったと認識します 0：信号が立ち上がっても要求を認識しません（初期値）</p> <p>LVL = 1 の場合： 1：信号がハイの場合要求があったと認識します 0：信号がハイでも要求を認識しません（初期値）</p>																		
3	REQD	<p>リクエスト・ディレクション SEL ビットで選択した S_DMARQm が、ソース側かデスティネーション側のどちらであるかを選択します。また、S_DMAACn がアクティブになるタイミングもこのビットで選択します。</p> <p>0：ソース側、S_DMAACn はリード時にアクティブ（初期値） 1：デスティネーション側、S_DMAACn はライト時にアクティブ</p>																		
1:0	SEL[1:0]	<p>ターミナル・セレクト 4 本の S_DMARQm, S_DMAACn, S_DMATCn 信号から、1 本を選択します。</p> <table border="1"> <thead> <tr> <th>SEL [1:0]</th> <th>選択信号</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>S_DMARQ0, S_DMAAC0, S_DMATC0</td> <td>(初期値)</td> </tr> <tr> <td>001</td> <td>S_DMARQ1, S_DMAAC1, S_DMATC1</td> <td></td> </tr> <tr> <td>010</td> <td>S_DMARQ2, S_DMAAC2, S_DMATC2</td> <td></td> </tr> <tr> <td>011</td> <td>S_DMARQ3, S_DMAAC3, S_DMATC3</td> <td></td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> <td></td> </tr> </tbody> </table>	SEL [1:0]	選択信号	備考	000	S_DMARQ0, S_DMAAC0, S_DMATC0	(初期値)	001	S_DMARQ1, S_DMAAC1, S_DMATC1		010	S_DMARQ2, S_DMAAC2, S_DMATC2		011	S_DMARQ3, S_DMAAC3, S_DMATC3		上記以外	設定禁止	
SEL [1:0]	選択信号	備考																		
000	S_DMARQ0, S_DMAAC0, S_DMATC0	(初期値)																		
001	S_DMARQ1, S_DMAAC1, S_DMATC1																			
010	S_DMARQ2, S_DMAAC2, S_DMATC2																			
011	S_DMARQ3, S_DMAAC3, S_DMATC3																			
上記以外	設定禁止																			

注意 クロックの異なるマクロが DMA 転送対象であり、かつ S_DMAACn を必要とする場合、同期クロックの関係で S_DMAACn をうまく受け取れない可能性があります。このような場合、AM[2:0] を 001 または 010 に設定し、S_DMAACn が長くアクティブになるモードを使用してください。

SDS, DDS 設定サイズは、データ・バス幅、およびインプリメントしてあるバッファ段数により決まります。

次に設定可能範囲を示します（本マクロが誤動作をしないための範囲です。実際に設定する値は、アクセス先マクロに応じた適切な値を設定してください）。

表 29-14 SDS, DDS の設定サイズの範囲

データ・バス幅 (ビット)	バッファ段数 (段)	転送アドレス	SDS[2:0], DDS[2:0] 設定可能値
32	16	ビット・アライン	8 ~ 32 ビット (000 ~ 010) 128 ~ 512 ビット (100 ~ 110)
	16	ビット・アンアライン	8 ~ 32 ビット (000 ~ 010) 128 ビット (100)

(4) SCHITVL0-SCHITVL7 : チャネル・インターバル・レジスタ 0-7

DMA チャネル n の転送間隔を設定します (n=0-7)。

詳細は、29.5.10 「インターバル・カウント機能」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCHITVL0 : F9900430_H, SCHITVL1 : F9900470_H, SCHITVL2 : F99004B0_H,
SCHITVL3 : F99004F0_H, SCHITVL4 : F9900530_H, SCHITVL5 : F9900570_H,
SCHITVL6 : F99005B0_H, SCHITVL7 : F99005F0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
ITVL15	ITVL14	ITVL13	ITVL12	ITVL11	ITVL10	ITVL09	ITVL08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ITVL7	ITVL6	ITVL5	ITVL4	ITVL3	ITVL2	ITVL1	ITVL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-15 CHITVL_n : チャネル・インターバル・レジスタ n の内容

ビット位置	ビット名	意味
16:0	ITVL[15:0]	チャネル転送間隔を設定します。

(5) SCHEXT0-SCHEXT7 : チャネル・エクステンション・レジスタ 0-7

DMA チャネル n の拡張用レジスタです (n = 0-7)。

バス・プロトコルに依存した情報を設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCHEXT0 : F9900434_H, SCHEXT1 : F9900474_H, SCHEXT2 : F99004B4_H,
SCHEXT3 : F99004F4_H, SCHEXT4 : F9900534_H, SCHEXT5 : F9900574_H,
SCHEXT6 : F99005B4_H, SCHEXT7 : F99005F4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	GPO3	GPO2	GPO1	GPO0
R	R	R	R	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	DPR3	DPR2	DPR1	DPR0
R	R	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	SPR3	SPR2	SPR1	SPR0
R	R	R	R	R/W	R/W	R/W	R/W

表 29-16 SCHEXTn : チャネル・エクステンション・レジスタ n の内容

ビット位置	ビット名	意味
19:16	GPO[7:0]	GPO です。ここに設定した値が、GPOCn (n = 0-7 (チャネル番号)) 端子から出力されます。
11:8	DPR[7:0]	デスティネーション PROT DMA ライト・トランスファの MHPROT[3:0] に出力する値を設定します。 初期値は 0H です。
3:0	SPR[7:0]	ソース PROT DMA リード・トランスファの MHPROT[3:0] に出力する値を設定します。 初期値は 0H です。

29.3.4 リンク・レジスタ・セット

リンク・モード時にリンク先を示すレジスタ・セットです。

(1) SNXLA0-SNXLA7 : ネクスト・リンク・アドレス・レジスタ 0-7

DMA チャネル n のリンク・アドレスを保持するレジスタです ($n=0-7$)。

リンク・モードについては、29.4.1(2)「リンク・モード」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SNXLA0 : F9900438_H, SNXLA1 : F9900478_H, SNXLA2 : F99004B8_H,
SNXLA3 : F99004F8_H, SNXLA4 : F9900538_H, SNXLA5 : F9900578_H,
SNXLA6 : F99005B8_H, SNXLA7 : F99005F8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
NXLA31	NXLA30	NXLA29	NXLA28	NXLA27	NXLA26	NXLA25	NXLA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
NXLA23	NXLA22	NXLA21	NXLA20	NXLA19	NXLA18	NXLA17	NXLA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
NXLA15	NXLA14	NXLA13	NXLA12	NXLA11	NXLA10	NXLA9	NXLA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NXLA7	NXLA6	NXLA5	NXLA4	NXLA3	NXLA2	NXLA1	NXLA0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 29-17 SNXLAn : ネクスト・リンク・アドレス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	NXLZ[31:0]	リンク先のアドレスを設定します。下位 2 ビットは 0 でマスクされます。ワード・アラインされたアドレスのみ設定可能です。

(2) SCRLA0-SCRLA7 : カレント・リンク・アドレス・レジスタ 0-7

DMA チャンネル n のリンク・アドレスを保持するレジスタです (n = 0-7)。

リンク・モードについては, 29.4.1(2) 「リンク・モード」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SCRLA0 : F990043C_H, SCRLA1 : F990047C_H, SCRLA2 : F99004BC_H,
SCRLA3 : F99004FC_H, SCRLA4 : F990053C_H, SCRLA5 : F990057C_H,
SCRLA6 : F99005BC_H, SCRLA7 : F99005FC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
CRLA31	CRLA30	CRLA29	CRLA28	CRLA27	CRLA26	CRLA25	CRLA24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
CRLA23	CRLA22	CRLA21	CRLA20	CRLA19	CRLA18	CRLA17	CRLA16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
CRLA15	CRLA14	CRLA13	CRLA12	CRLA11	CRLA10	CRLA9	CRLA8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
CRLA7	CRLA6	CRLA5	CRLA4	CRLA3	CRLA2	CRLA1	CRLA0
R	R	R	R	R	R	R	R

表 29-18 SNXLAn : ネクスト・リンク・アドレス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	CRLA[31:0]	現在実行しているディスクリプタのアドレスが表示されます。

(3) SSCNT0-SSCNT7 : ソース・コンティニユアス・レジスタ 0-7

DMA チャンネル n のソース・アドレス・アクセス時、連続アクセスする空間サイズを設定します (n = 0-7)。

SSCNTn レジスタは、SSSKPn レジスタとペアで使用します (図 29-2 「SSSKP と SSCNT の関係」参照)。

スキップ・モードを使う場合、SCHCFGn.SDS[3] ビットは 1 にセットしてください。

ソース側でスキップ転送を行う場合、SAD = 1 (固定) は指定しないでください。また、SCNTn = 0 でスキップ転送を行わないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SSCNT0 : F9900600_H, SSCNT1 : F9900620_H, SSCNT2 : F9900640_H,
SSCNT3 : F9900660_H, SSCNT4 : F9900680_H, SSCNT5 : F99006A0_H,
SSCNT6 : F99006C0_H, SSCNT7 : F99006E0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
SCNT31	SCNT30	SCNT29	SCNT28	SCNT27 S	CNT26 S	CNT25	SCNT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
SCNT23	SCNT22	SCNT21	SCNT20	SCNT19	SCNT18	SCNT17	SCNT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
SCNT15	SCNT14	SCNT13	SCNT12	SCNT11	SCNT10	SCNT9	SCNT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SCNT7	SCNT6	SCNT5	SCNT4	SCNT3	SCNT2	SCNT1	SCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-19 SSCNTn : ソース・コンティニユアス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	SCNT[31:0]	ソース・コンティニユアス ソース・アドレス・アクセス時の、連続アクセス空間サイズを設定します。(単位: バイト)

(4) SSSKP0-SSSKP7 : ソース・スキップ・レジスタ 0-7

DMA チャンネル n のソース・アドレス・アクセス時、SSCNT n レジスタで設定したデータ・サイズ・アクセス後、SSSKP n レジスタに設定したサイズ分、次のソース・アドレスをスキップします ($n=0-7$)。

SSSKP n レジスタは SSCNT n レジスタとペアで使います (図 29-2 「SSSKP と SSCNT の関係」参照)。

スキップ・モードを使う場合、SCHCFGn.SDS[3] ビットは 1 にセットしてください。

ソース側でスキップ転送を行う場合、SAD = 1 (固定) は指定しないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SSSKP0 : F9900604_H, SSSKP1 : F9900624_H, SSSKP2 : F9900644_H,
SSSKP3 : F9900664_H, SSSKP4 : F9900684_H, SSSKP5 : F99006A4_H,
SSSKP6 : F99006C4_H, SSSKP7 : F99006E4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
SSKP31	SSKP30	SSKP29	SSKP28	SSKP27	SSKP26	SSKP25	SSKP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
SSKP23	SSKP22	SSKP21	SSKP20	SSKP19	SSKP18	SSKP17	SSKP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
SSKP15	SSKP14	SSKP13	SSKP12	SSKP11	SSKP10	SSKP9	SSKP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SSKP7	SSKP6	SSKP5	SSKP4	SSKP3	SSKP2	SSKP1	SSKP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-20 SSSKP n : ソース・スキップ・レジスタ n の内容

ビット位置	ビット名	意味
31:0	SSKP[31:0]	ソース・スキップ ソース・アドレス・アクセス時のスキップ量を設定します。(単位: バイト)

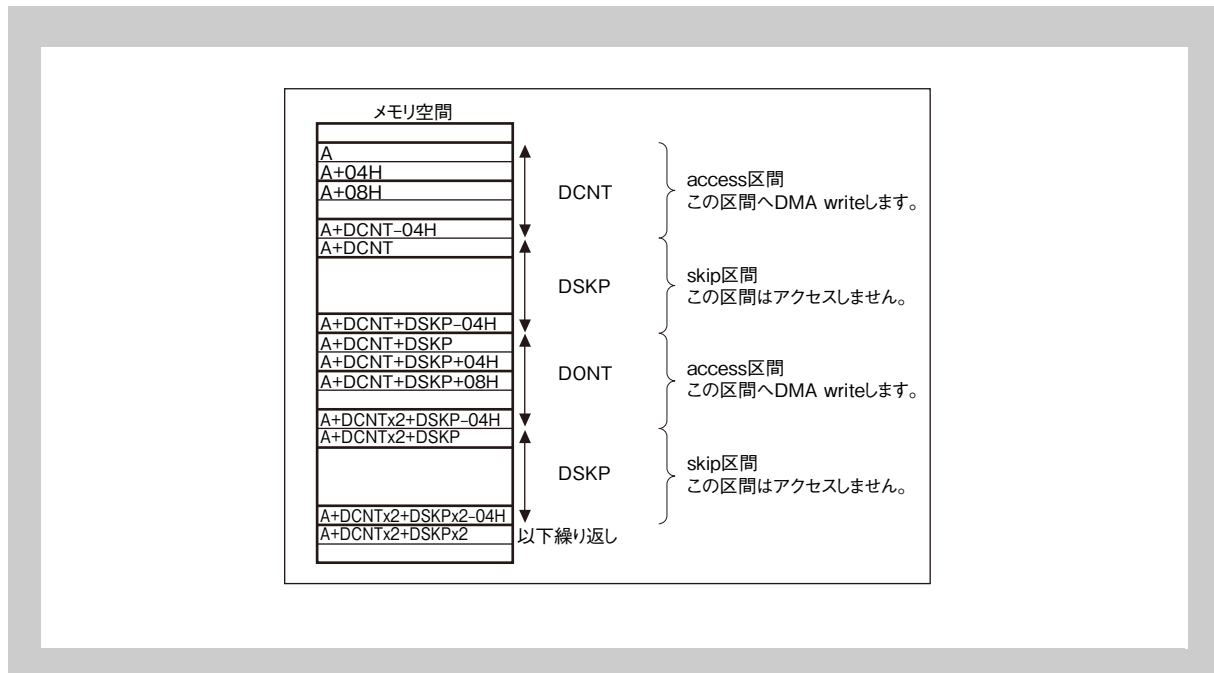


図 29-2 SSSKP と SSCNT の関係

SSCNT, SSSKP の値は、ソース・アドレスおよび SCHCFGn.SDS (Source Data Size) ビットの設定値に関係なく設定することができます。DMAC は、SDS 設定サイズでアクセスをし、有効なデータのみバッファに取り込みます。

(5) SDCNT0-SDCNT7 : ディステネーション・コンティニユアス・レジスタ 0-7

DMA チャンネル n のディステネーション・アドレス・アクセス時、連続アクセスする空間サイズを設定します (n = 0-7)。

SDCNTN レジスタは SDSKPN レジスタとペアで使用します (図 29-3 「SDSKP と SDCNT の関係」参照)。

スキップ・モードを使う場合、SCHCFGn.DDS[3] ビットは 1 にセットしてください。

ディステネーション側でスキップ転送を行う場合、DAD = 1 (固定) は指定しないでください。

また、SDCNTn = 0 でスキップ転送を行わないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SDCNT0 : F9900608_H, SDCNT1 : F9900628_H, SDCNT2 : F9900648_H,
SDCNT3 : F9900668_H, SDCNT4 : F9900688_H, SDCNT5 : F99006A8_H,
SDCNT6 : F99006C8_H, SDCNT7 : F99006E8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
DCNT31	DCNT30	DCNT29	DCNT28	DCNT27	DCNT26	DCNT25	DCNT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
DCNT23	DCNT22	DCNT21	DCNT20	DCNT19	DCNT18	DCNT17	DCNT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
DCNT15	DCNT14	DCNT13	DCNT12	DCNT11	DCNT10	DCNT9	DCNT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DCNT7	DCNT6	DCNT5	DCNT4	DCNT3	DCNT2	DCNT1	DCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-21 SDCNTn : ディステネーション・コンティニユアス・レジスタ n の内容

ビット位置	ビット名	意味
31:0	DCNT[31:0]	ディステネーション・コンティニユアス ディステネーション・アドレス・アクセス時の、連続アクセス空間サイズを設定 します。(単位: バイト)

(6) SDSKP0-SDSKP7 : ディステネーション・スキップ・レジスタ 0-7

DMA チャンネル n のディステネーションに対し、SDCNTn レジスタで設定したデータ・サイズ・アクセス後、SDSKPn レジスタに設定したサイズ分、次のディステネーション・アドレスをスキップします (n = 0-7)。

SDSKPn レジスタは SDCNTn レジスタとペアで使用します (図 29-3 「SDSKP と SDCNT の関係」参照)。

スキップ・モードを使う場合、SCHCFGn.DDS[3] ビットは 1 にセットしてください。

ディステネーション側でスキップ転送を行う場合、DAD = 1 (固定) は指定しないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス SDSKP0 : F990060C_H, SDSKP1 : F990062C_H, SDSKP2 : F990064C_H,
SDSKP3 : F990066C_H, SDSKP4 : F990068C_H, SDSKP5 : F99006AC_H,
SDSKP6 : F99006CC_H, SDSKP7 : F99006EC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
DSKP31	DSKP30	DSKP29	DSKP28	DSKP27	DSKP26	DSKP25	DSKP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
DSKP23	DSKP22	DSKP21	DSKP20	DSKP19	DSKP18	DSKP17	DSKP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
DSKP15	DSKP14	DSKP13	DSKP12	DSKP11	DSKP10	DSKP9	DSKP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DSKP7	DSKP6	DSKP5	DSKP4	DSKP3	DSKP2	DSKP1	DSKP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-22 DSKP_n : ディステネーション・スキップ・レジスタ n の内容

ビット位置	ビット名	意味
31:0	DSKP[31:0]	ディステネーション・スキップ ディステネーション・アドレス・アクセス時の、スキップ量を設定します。(単位: バイト)

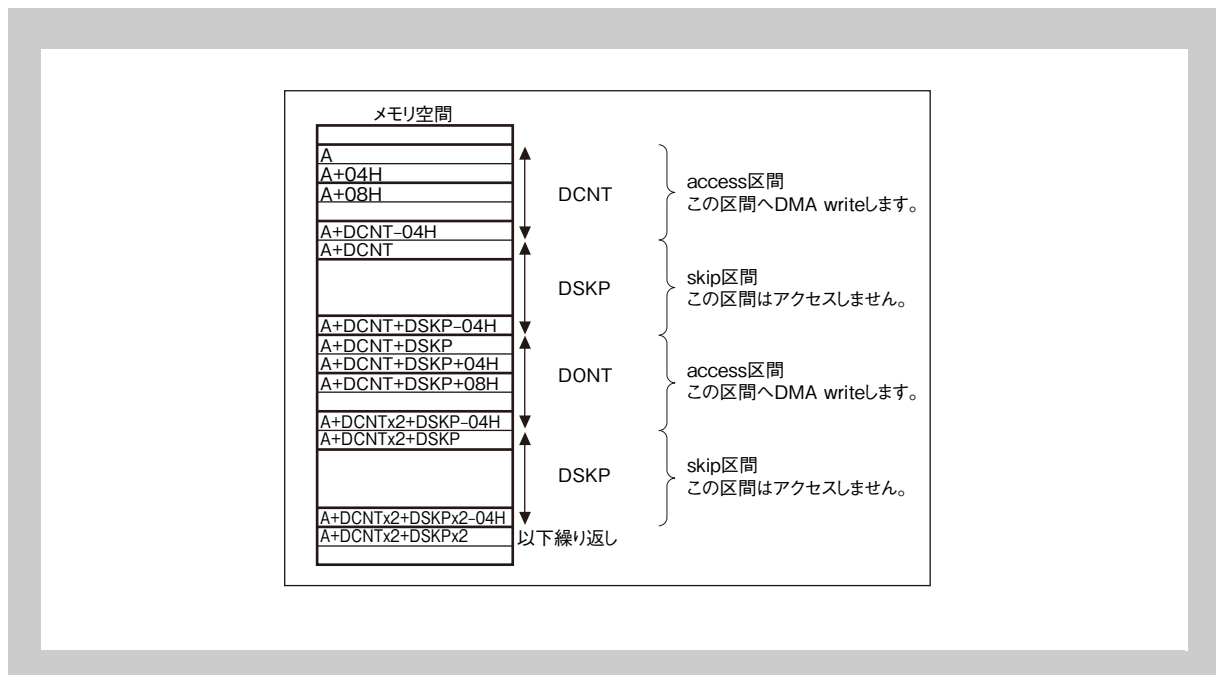


図 29-3 SDSKP と SDCNT の関係

SDCNT, SDSKP の値は、デスティネーション・アドレスおよび SCHCFGn.DDS (Destination Data Size) ビットの設定値に関係なく設定することができます。DMAC は、DDS 設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。

29.3.5 DMA レジスタ・セット

次のレジスタは、全チャンネル共通です。

(1) SDCTRL : DMA コントロール・レジスタ

ディスクリプタ・アクセス時の転送タイプ、およびチャンネル間のアービトレーションを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス F9900700_H

初期値 001F0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	LWPR3	LWPR2	LWPR1	LWPR0
R	R	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	LDPR3	LDPR2	LDPR1	LDPR0
R	R	R	R	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	LVINT	PR
R	R	R	R	R	R	R/W	R/W

表 29-23 SDCTRL : DMA コントロール・レジスタの内容

ビット位置	ビット名	意味
27-24	LWPR[3:0]	リンク・ライトバック・プロット リンク・モードのディスクリプタ・ライト・バック時に MHPROT[3:0] に出力する値を設定します。
19-16	LDPR[3:0]	リンク・ディスクリプタ・プロット リンク・モードのディスクリプタ・ロード時に MHPROT[3:0] に出力する値を設定します。
1	LVINT	INTHDMA[7:0], INTHDMAERR をパルスで出力するか、レベルで出力するかを設定します。 0 : パルス出力 1 : レベル出力
0	PR	転送優先順位制御モードを設定します (29.5.2 「DMA チャンネルの優先順位制御」参照)。 0 : 固定優先順位モード 1 : ラウンドロビン・モード

(2) SDSCITVL : ディスクリプタ・インターバル・レジスタ

SCHCFGn.DRRP ビットを 1 に設定した際、LV = 1 となるまでディスクリプタをリードし続けますが、そのリードの間隔を設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス F9900704_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
DIVTL7	DIVTL6	DIVTL5	DIVTL4	DIVTL3	DIVTL2	DIVTL1	DIVTL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 29-24 SDSCITVL : ディスクリプタ・インターバル・レジスタの内容

ビット位置	ビット名	意味
15-8	DIVTL[7:0]	ディスクリプタ・インターバル ディスクリプタのリード間隔を設定します。(DITVL×256) サイクルの間隔で、 ディスクリプタの再リードを行います。

(3) SDSTAT_EN : DMA ステータス EN レジスタ

全チャンネルの EN ビット状態を表示します。

このレジスタへライトを行っても、各ビットの値は変化しません。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス F9900710_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
R	R	R	R	R	R	R	R

表 29-25 SDSTAT_EN : DMA ステータス EN レジスタの内容

ビット位置	ビット名	意味
7	EN7	DMA チャンネル 7 の EN ビットの状態を表示します。
6	EN6	DMA チャンネル 6 の EN ビットの状態を表示します。
5	EN5	DMA チャンネル 5 の EN ビットの状態を表示します。
4	EN4	DMA チャンネル 4 の EN ビットの状態を表示します。
3	EN3	DMA チャンネル 3 の EN ビットの状態を表示します。
2	EN2	DMA チャンネル 2 の EN ビットの状態を表示します。
1	EN1	DMA チャンネル 1 の EN ビットの状態を表示します。
0	EN0	DMA チャンネル 0 の EN ビットの状態を表示します。

注意 チャンネルのコンフィギュレーション上存在しないチャンネルの状態は 0 になります。

(4) SDSTAT_ER : DMA ステータス ER レジスタ

全チャンネルの ER ビット状態を表示します。

このレジスタへライトを行っても、各ビットの値は変化しません。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス F9900714_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
R	R	R	R	R	R	R	R

表 29-26 SDSTAT_ER : DMA ステータス ER レジスタの内容

ビット位置	ビット名	意味
7	ER7	DMA チャンネル 7 の ER ビットの状態を表示します。
6	ER6	DMA チャンネル 6 の ER ビットの状態を表示します。
5	ER5	DMA チャンネル 5 の ER ビットの状態を表示します。
4	ER4	DMA チャンネル 4 の ER ビットの状態を表示します。
3	ER3	DMA チャンネル 3 の ER ビットの状態を表示します。
2	ER2	DMA チャンネル 2 の ER ビットの状態を表示します。
1	ER1	DMA チャンネル 1 の ER ビットの状態を表示します。
0	ER0	DMA チャンネル 0 の ER ビットの状態を表示します。

注意 チャンネルのコンフィギュレーション上存在しないチャンネルの状態は 0 になります。

(5) SDSTAT_END : DMA ステータス END レジスタ

全チャンネルの END ビット状態を表示します。

このレジスタへライトを行っても、各ビットの値は変化しません。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス F9900718_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
END7	END6	END5	END4	END3	END2	END1	END0
R	R	R	R	R	R	R	R

表 29-27 SDSTAT_END : DMA ステータス END レジスタの内容

ビット位置	ビット名	意味
7	END7	DMA チャンネル 7 の END ビットの状態を表示します。
6	END6	DMA チャンネル 6 の END ビットの状態を表示します。
5	END5	DMA チャンネル 5 の END ビットの状態を表示します。
4	END4	DMA チャンネル 4 の END ビットの状態を表示します。
3	END3	DMA チャンネル 3 の END ビットの状態を表示します。
2	END2	DMA チャンネル 2 の END ビットの状態を表示します。
1	END1	DMA チャンネル 1 の END ビットの状態を表示します。
0	END0	DMA チャンネル 0 の END ビットの状態を表示します。

注意 チャンネルのコンフィギュレーション上存在しないチャンネルの状態は 0 になります。

(6) SDSTAT_TC : DMA ステータス TC レジスタ

全チャンネルの TC ビット状態を表示します。

このレジスタへライトを行っても、各ビットの値は変化しません。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス F990071C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
R	R	R	R	R	R	R	R

表 29-28 SDSTAT_TC : DMA ステータス TC レジスタの内容

ビット位置	ビット名	意味
7	TC7	DMA チャンネル 7 の TC ビットの状態を表示します。
6	TC6	DMA チャンネル 6 の TC ビットの状態を表示します。
5	TC5	DMA チャンネル 5 の TC ビットの状態を表示します。
4	TC4	DMA チャンネル 4 の TC ビットの状態を表示します。
3	TC3	DMA チャンネル 3 の TC ビットの状態を表示します。
2	TC2	DMA チャンネル 2 の TC ビットの状態を表示します。
1	TC1	DMA チャンネル 1 の TC ビットの状態を表示します。
0	TC0	DMA チャンネル 0 の TC ビットの状態を表示します。

注意 チャンネルのコンフィギュレーション上存在しないチャンネルの状態は 0 になります。

(7) SDSTAT_SUS : DMA ステータス SUS レジスタ

全チャンネルの SUS ビット状態を表示します。

このレジスタへライトを行っても、各ビットの値は変化しません。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス F9900720_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
SUS7	SUS6	SUS5	SUS4	SUS3	SUS2	SUS1	SUS0
R	R	R	R	R	R	R	R

表 29-29 SDSTAT_SUS : DMA ステータス SUS レジスタの内容

ビット位置	ビット名	意味
7	SUS7	DMA チャンネル 7 の SUS ビットの状態を表示します。
6	SUS6	DMA チャンネル 6 の SUS ビットの状態を表示します。
5	SUS5	DMA チャンネル 5 の SUS ビットの状態を表示します。
4	SUS4	DMA チャンネル 4 の SUS ビットの状態を表示します。
3	SUS3	DMA チャンネル 3 の SUS ビットの状態を表示します。
2	SUS2	DMA チャンネル 2 の SUS ビットの状態を表示します。
1	SUS1	DMA チャンネル 1 の SUS ビットの状態を表示します。
0	SUS0	DMA チャンネル 0 の SUS ビットの状態を表示します。

注意 チャンネルのコンフィギュレーション上存在しないチャンネルの状態は 0 になります。

(8) DMA 転送インタフェース制御レジスタ : DMAIFCm (m=0-3)

DMA のアクノリッジ出力信号 (S_DMAAK[0:3]) のアクティブ幅や, DMA 転送要求入力信号 (S_DMARQ[0:3]) の内部でのマスク幅の設定を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス DMAIFC0 : F9900C00_H DMAIFC1 : F9900C04_H
DMAIFC2 : F9900C08_H DMAIFC3 : F9900C0C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
DIFENm	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	RQMKm4	RQMKm3	RQMKm2	RQMKm1	RQMKm0
R	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SUS7	SUS6	SUS5	AKWDm4	AKWDm3	AKWDm2	AKWDm1	AKWDm0
R	R	R	R/W	R/W	R/W	R/W	R/W

表 29-30 DMAIFCm レジスタの内容 (1/2)

ビット位置	ビット名	意味																																										
31	DIFENn	DMA 転送インタフェース信号制御機能の許可/禁止を選択します。 0 : 機能禁止 (初期値) 1 : 機能許可																																										
12:8	RQMKm[4:0]	DMA 要求信号 (S_DMARQm) のマスク幅 ^a を設定します。 <table border="1"> <thead> <tr> <th>RQMKm4</th><th>RQMKm3</th><th>RQMKm2</th><th>RQMKm1</th><th>RQMKm0</th><th>S_DMARQm 信号のマスク幅^a</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>マスクしない</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1/f_{SDCLK}</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>2/f_{SDCLK}</td></tr> <tr> <td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>30/f_{SDCLK}</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>31/f_{SDCLK}</td></tr> </tbody> </table>	RQMKm4	RQMKm3	RQMKm2	RQMKm1	RQMKm0	S_DMARQm 信号のマスク幅 ^a	0	0	0	0	0	マスクしない	0	0	0	0	1	1/f _{SDCLK}	0	0	0	1	0	2/f _{SDCLK}	:	:	:	:	:	:	1	1	1	1	0	30/f _{SDCLK}	1	1	1	1	1	31/f _{SDCLK}
RQMKm4	RQMKm3	RQMKm2	RQMKm1	RQMKm0	S_DMARQm 信号のマスク幅 ^a																																							
0	0	0	0	0	マスクしない																																							
0	0	0	0	1	1/f _{SDCLK}																																							
0	0	0	1	0	2/f _{SDCLK}																																							
:	:	:	:	:	:																																							
1	1	1	1	0	30/f _{SDCLK}																																							
1	1	1	1	1	31/f _{SDCLK}																																							

表 29-30 DMAIFCm レジスタの内容 (2/2)

ビット位置	ビット名	意味																																										
4:0	AKWDm[4:0]	DMA アクノリッジ信号 (S_DMACKm) のマスク幅を設定します。 <table border="1"> <thead> <tr> <th>RQMKm4</th> <th>RQMKm3</th> <th>RQMKm2</th> <th>RQMKm1</th> <th>RQMKm0</th> <th>S_DMACKm 信号の アクティブ・レベル幅^b</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1/f_{SDCLK}</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2/f_{SDCLK}</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>30/f_{SDCLK}</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>31/f_{SDCLK}</td> </tr> </tbody> </table>	RQMKm4	RQMKm3	RQMKm2	RQMKm1	RQMKm0	S_DMACKm 信号の アクティブ・レベル幅 ^b	0	0	0	0	0	0	0	0	0	0	1	1/f _{SDCLK}	0	0	0	1	0	2/f _{SDCLK}	:	:	:	:	:	:	1	1	1	1	0	30/f _{SDCLK}	1	1	1	1	1	31/f _{SDCLK}
RQMKm4	RQMKm3	RQMKm2	RQMKm1	RQMKm0	S_DMACKm 信号の アクティブ・レベル幅 ^b																																							
0	0	0	0	0	0																																							
0	0	0	0	1	1/f _{SDCLK}																																							
0	0	0	1	0	2/f _{SDCLK}																																							
:	:	:	:	:	:																																							
1	1	1	1	0	30/f _{SDCLK}																																							
1	1	1	1	1	31/f _{SDCLK}																																							

a) マスクは S_DMACKm の立ち上がり (インアクティブに変化) から開始されます。

b) S_DMACKm 信号のアクティブ幅は, SCHCFGn.AMn[2:0] ビットで指定したアクノリッジ信号が基準となります。詳細は 27.3.3(3) 「SCHCFG0-SCHCFG7: チャンネル・コンフィギュレーション・レジスタ 0-7」を参照してください。

29.4 動作

29.4.1 DMA モード

(1) レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を設定できます。

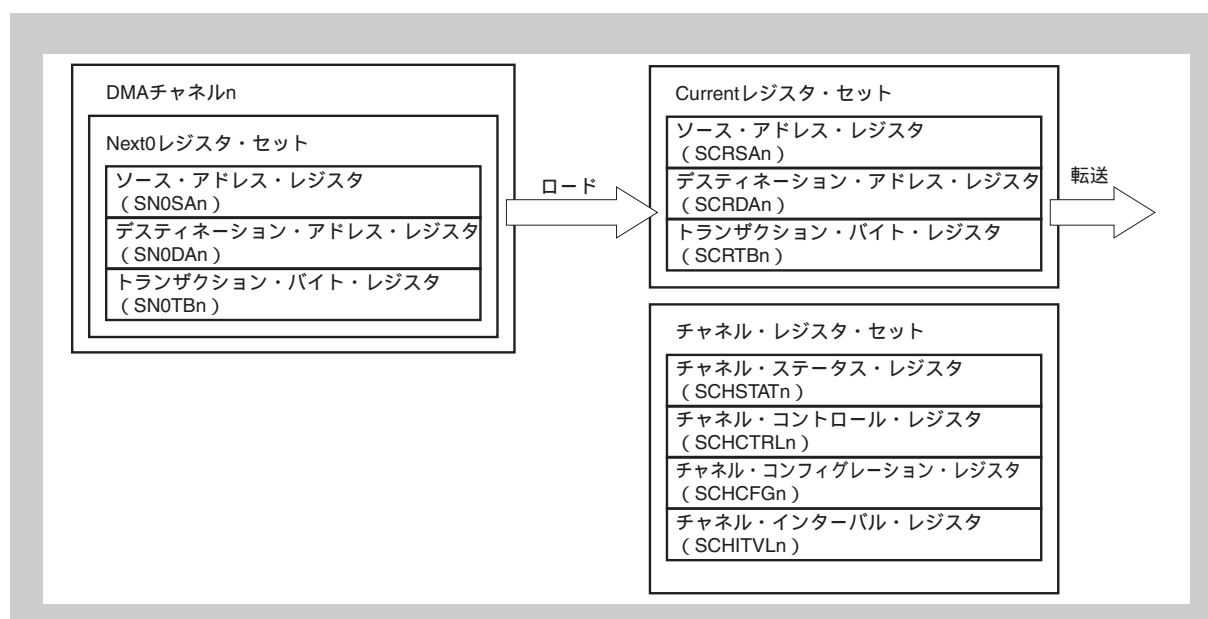


図 29-4 レジスタ・モードの動作概要

(a) レジスタ・モードの動作フロー

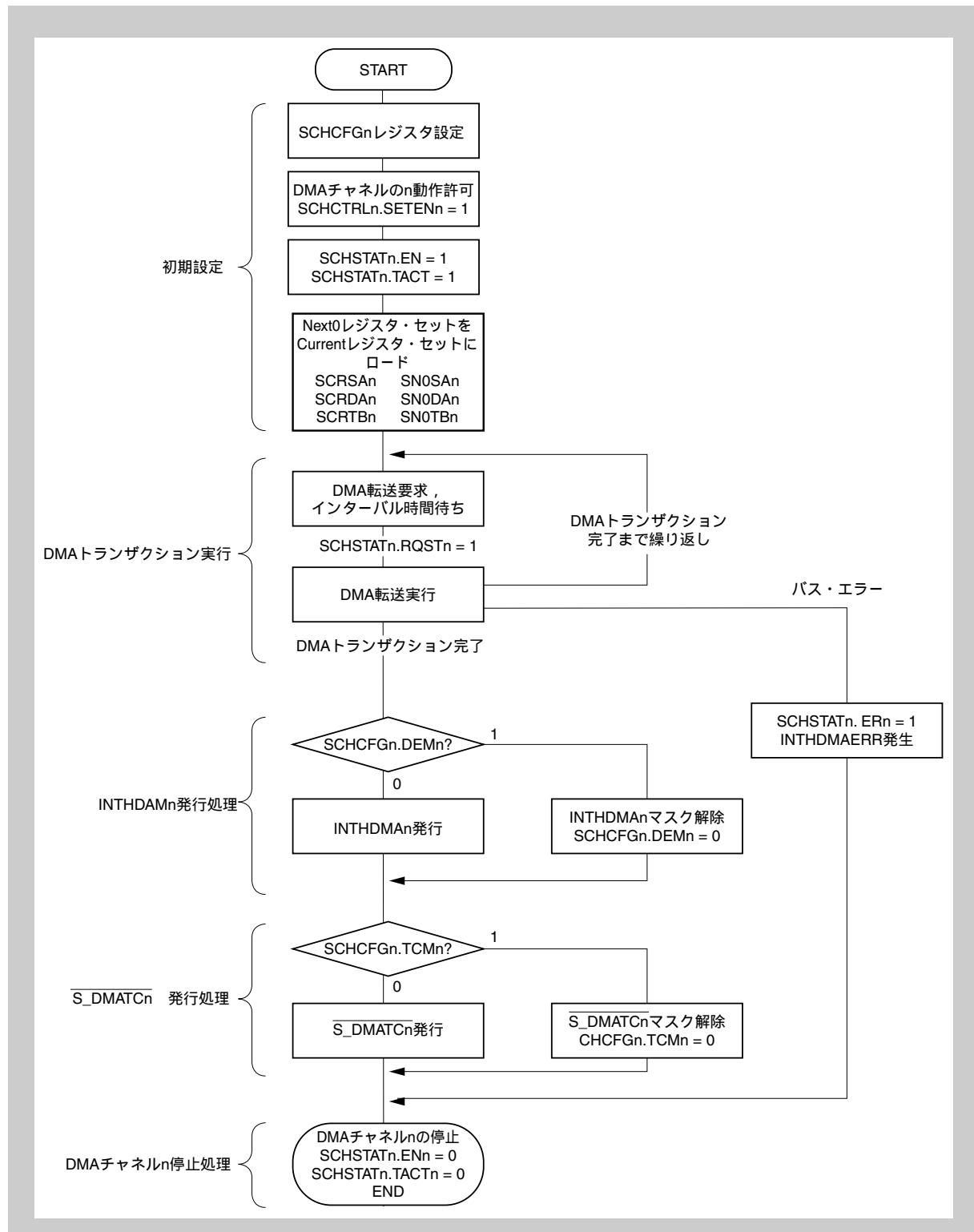


図 29-5 レジスタ・モードの動作フロー

初期設定	ネクスト0レジスタ・セット（転送先アドレス、転送元アドレス、総転送バイト数）を設定します。またチャンネル・レジスタ・セットにS_DMARQm端子、S_DMAAKm端子、転送量等を設定します（29.5「DMA転送」参照）。
DMA トランザクション	設定した値に従って、DMA トランザクションが行われます。転送の詳細については、29.5「DMA転送」を参照してください。
INTHDMA_n 発行処理	SCHCFGn.DEM ビットに設定した値に従って、INTHDMA _n 割り込みがマスクされます。DEM=1 だった場合、INTHDMA _n 割り込みはマスクされます。またその直後、自動的にDEMは0にクリアされます。
S_DMATC_n マスク	SCHCFGn.TCM ビットに設定した値に従って、S_DMATC _n 端子出力がマスクされます。TCM = 1 だった場合、S_DMATC _n 端子出力はマスクされます。またその直後、自動的にTCMはクリア（0）されます。

(b) レジスタ・モードのレジスタ設定

リンク・モード選択 (SCHCFGn.DMS)	SCHCFGn.DMS ビットで、リンク・モードを選択します。 ディスクプリタでは、DMS ビットは書き換えられません。
--------------------------------	---

表 29-31 リンク・モードの選択

SCHCFGn.DMS	動作
1 (リンク・モード)	リンク・モードで動作します。

INTHDMA_n 動作の選択 (SCHCFGn.DEM)	SCHCFGn.DEM ビットで、レジスタ・モード時の DMA トランザクション（一連の DMA 転送）完了時の INTHDMA _n の動作を選択します。
--	--

表 29-32 INTDMA 動作の選択

SCHCFGn.DEM	動作	
0	INTHDMA _n 出力許可 (INTHDMA _n をマスクしない)	DMA トランザクション（一連の DMA 転送）完了時に、INTHDMA _n を出力します。
1	INTHDMA _n 出力禁止 (INTHDMA _n をマスクする)	DMA トランザクション（一連の DMA 転送）完了時に、INTHDMA _n を出力しません。 その後、自動的にDEMビットはクリア（0）され、INTHDMA _n 出力は許可状態に戻ります。

ターミナル・
カウント出力
(S_DMATCm)
のマスク設定
(SCHCFGn.TCMn)

SCHCFGn.TCMn ビット (ビット 25) で、レジスタ・モード時の DMA トランザクション (一連の DMA 転送) 完了時のターミナル・カウント (S_DMATCn (n : SCHCFGn.SELn[1:0] ビットで選択)) 出力のマスク設定を行います。

表 29-33 ターミナル・カウント出力 (S_DMATCn) のマスク設定

SCHCFGn.DEM	動作	
0	ターミナル・カウント出力 (S_DMATCm) 出力許可 (S_DMATCm をマスクしない)	DMA トランザクション (一連の DMA 転送) 完了時に、S_DMATCm を出力します。
1	ターミナル・カウント出力 (S_DMATCm) 出力禁止 (S_DMATCm をマスクする)	DMA トランザクション (一連の DMA 転送) 完了時に、S_DMATCm を出力しません。 その後、自動的に TCMn ビットはクリア (0) され、S_DMATCm 出力は許可状態に戻ります。

(c) レジスタ・モードのレジスタ設定例

表 29-34 レジスタ設定例

SCHCFGn.DMS	SCHCFGn.DEM	SCHCFGn.TCMn
0	0	0
レジスタ・モード	INTHDMA _n マスクなし	S_DMATC _m マスクなし

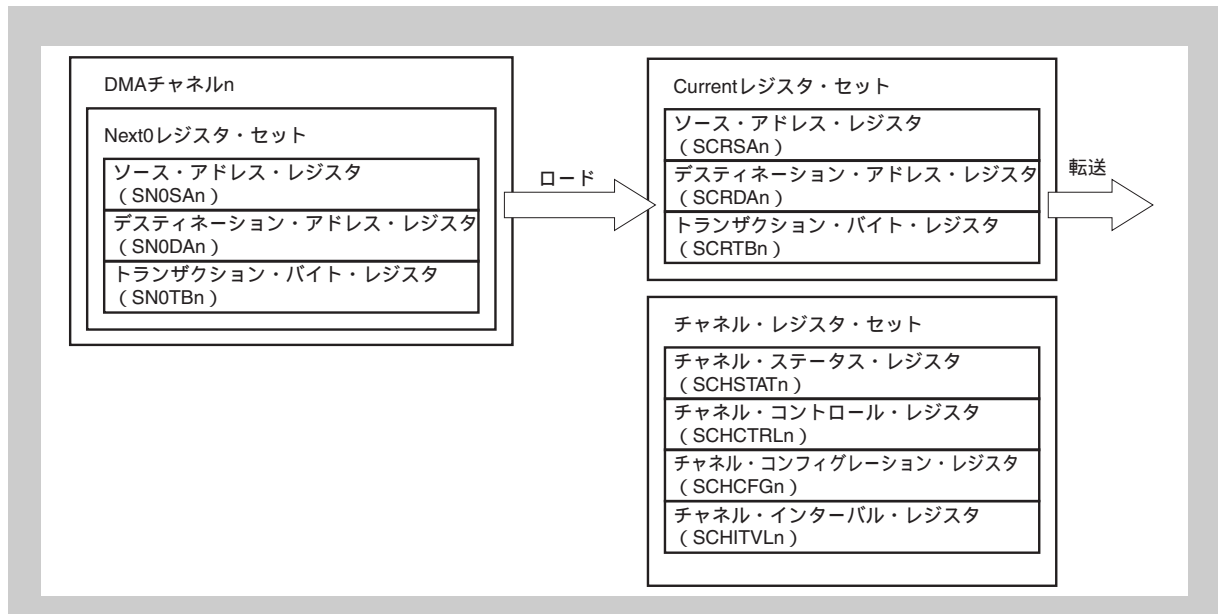


図 29-6 レジスタ・モード

- <1> SCHSTAT_n.EN = 1, SCHSTAT_n.TACT_n = 1 となると、Next0 レジスタ・セットが Current レジスタ・セットにロードされます。
- <2> Current レジスタ・セットとチャンネル・レジスタ・セットの値に従って、DMA トランザクション（一連の DMA 転送）が実行されます。
- <3> SCHCFG_n.DEM = 0 なので、DMA トランザクション（一連の DMA 転送）完了後に INTHDMA_n が発行されます。
- <4> SCHCFG_n.TCM_n = 0 なので、DMA トランザクション（一連の DMA 転送）完了後に S_DMATC_m が発行されます。

(2) リンク・モード

リンク・モードは、V850E2/MN4の内外に接続されたメモリに配置した「ディスクリプタ」を設定値としてロードして、DMA トランザクション（一連のDMA転送）を実行するモードです。

DMAC 内部にはチャンネルごとに Next リンク・アドレス・レジスタと Current リンク・アドレス・レジスタがあります。Next リンク・アドレス・レジスタは、次に実行するディスクリプタ・アドレスの設定に使用します。Current リンク・アドレス・レジスタは、現在実行中の DMA トランザクション（一連のDMA転送）の、ディスクリプタ・アドレスの表示に使用します。

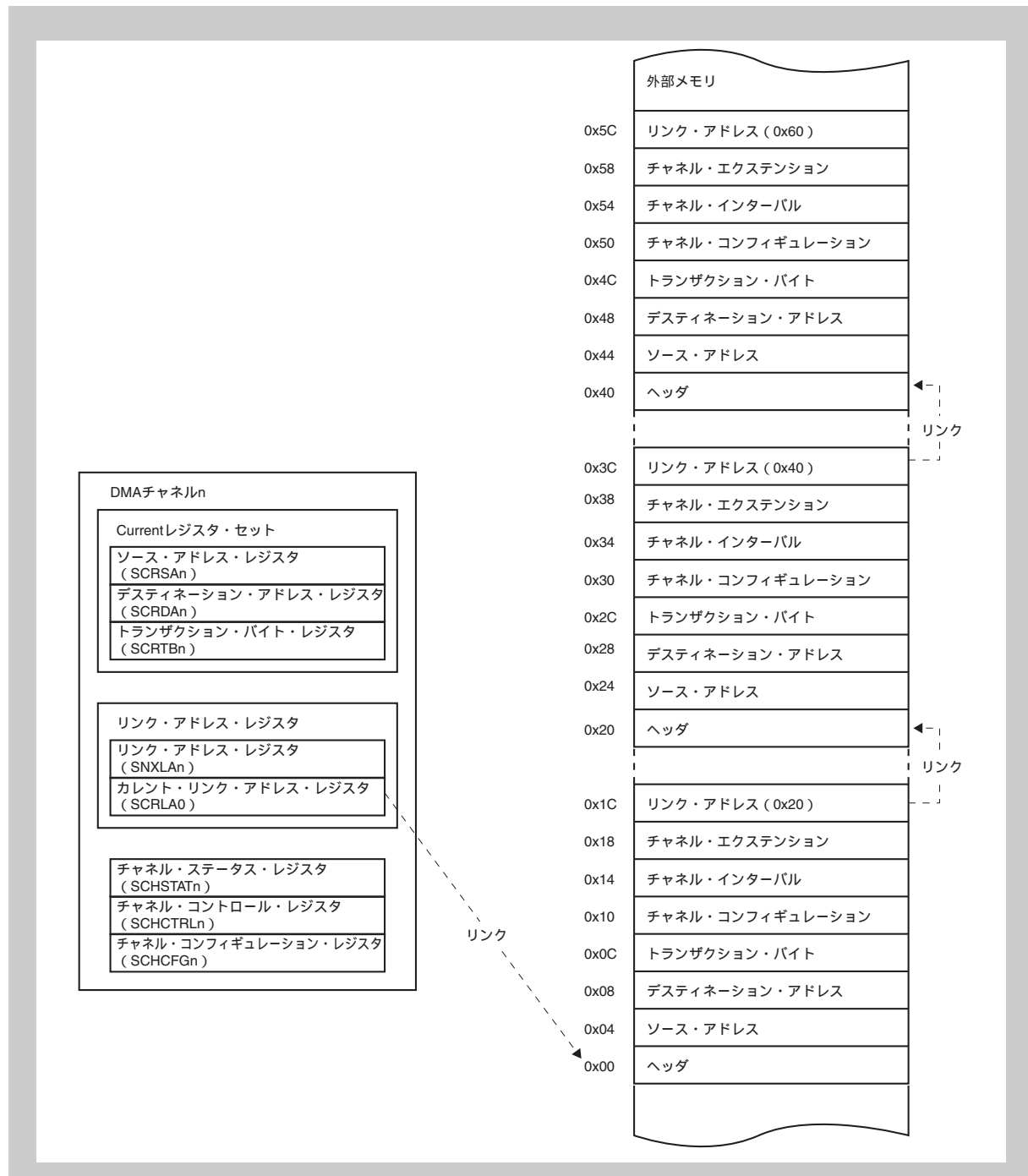


図 29-7 リンク・モード概要

(a) リンク・モードの動作フロー

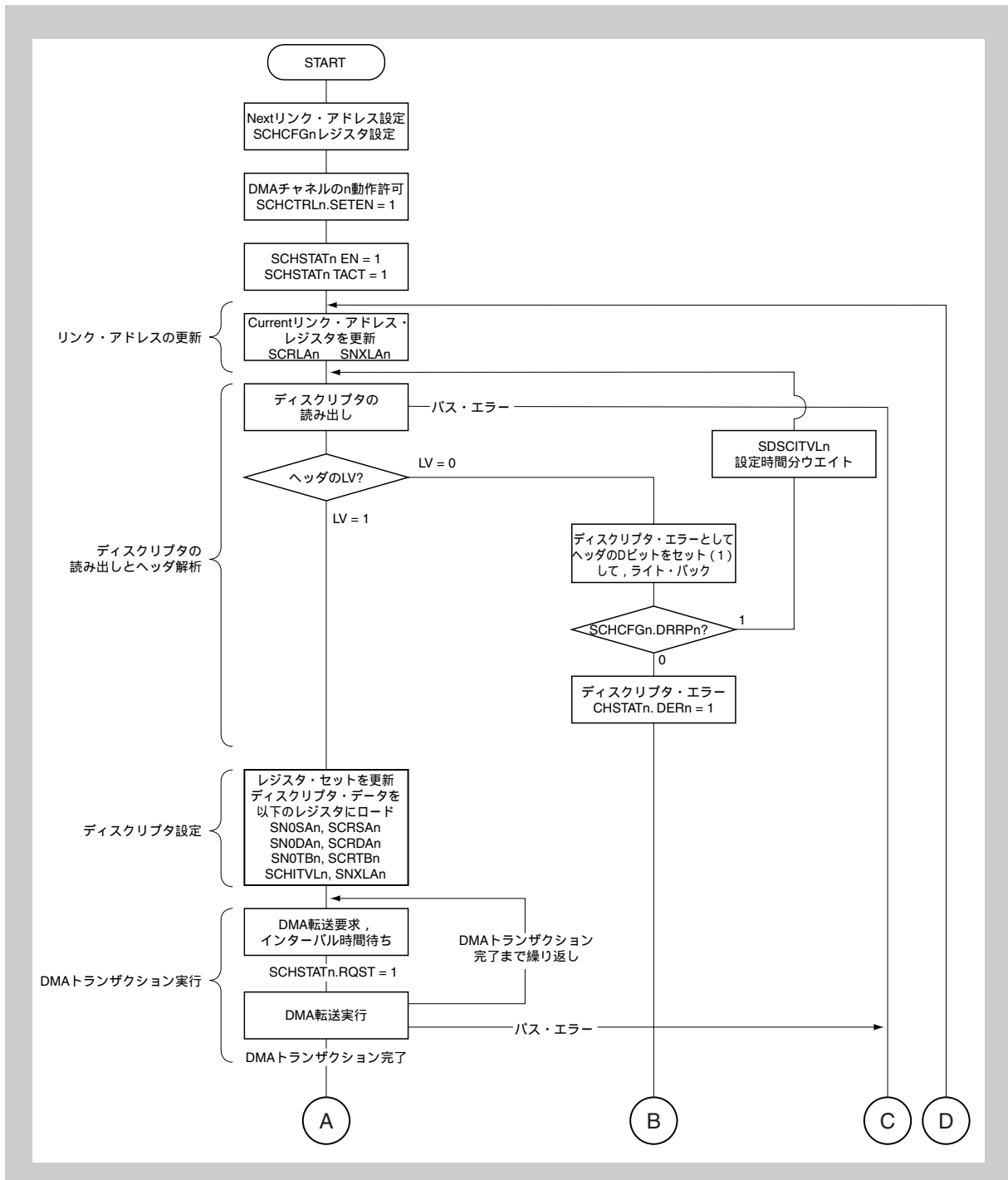


図 29-8 リンク・モードの動作フロー (1/2)

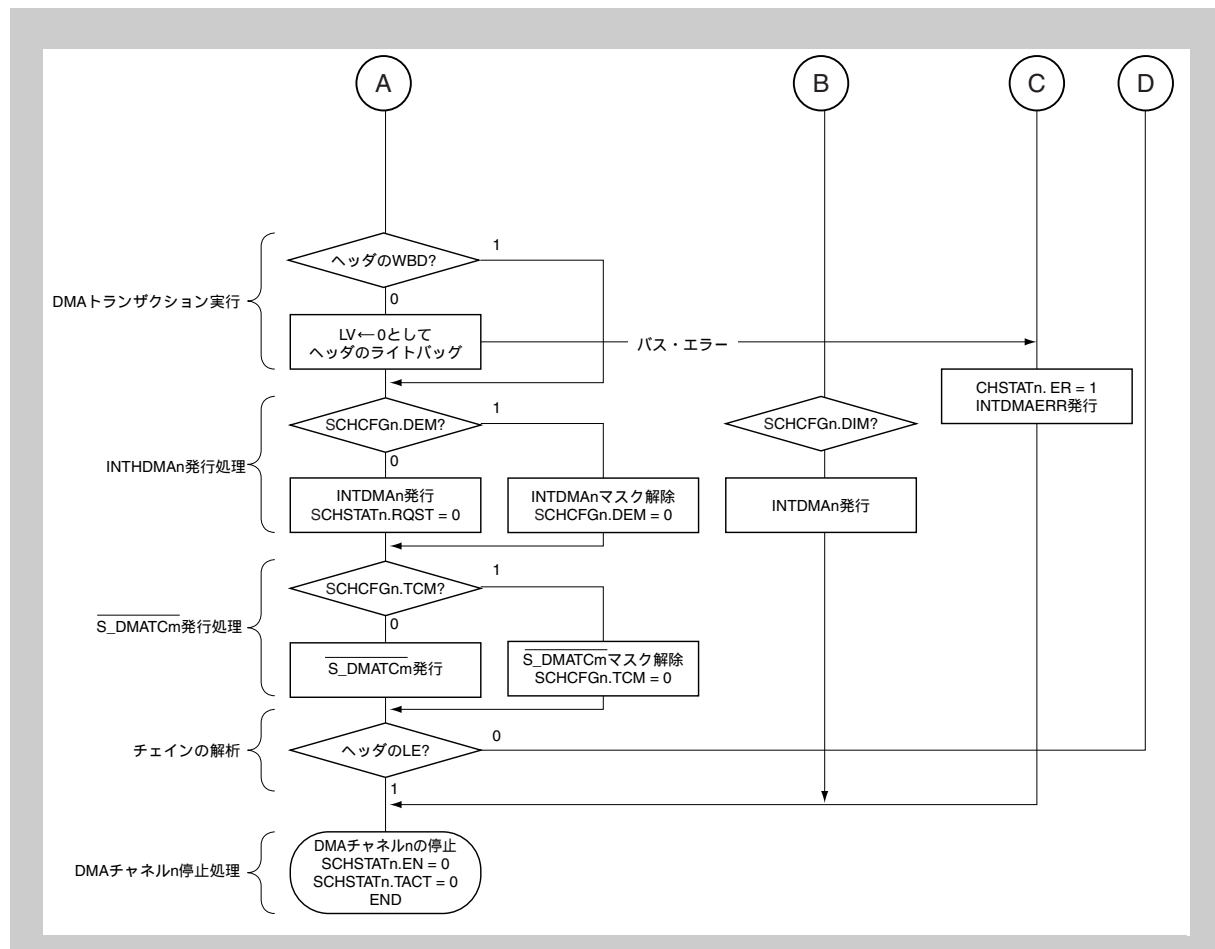


図 29-9 リンク・モードの動作フロー (2/2)

チャンネル設定 SNXLAnにリンク先の先頭アドレスを設定します。

リンク・アドレス更新 SCHCTRLn.SETEN ビットをセット (1) すると, SCHSTATn.EN = 1, SCHSTATn.TACT = 1 となり, SNXLAn レジスタに設定したリンク・アドレスが SCRLAn にロードされます。

ディスクリプタ読み出しとヘッダ判定 ディスクリプタ・ロードを開始し, DMACは「ヘッダ」の内容を確認します。LV = 0 の場合は, ヘッダの D ビットをセット (1) してライトバックされます。SCHCFGn.DRRP = 1 の場合は, SDSCITVL レジスタに設定された時間後, 再び同じディスクリプタをリードします。SCHCFGn.DRRP = 0 の場合は, SCHSTATn.DER = 1 になり終了状態 (EN = 0, TACT = 0) になります。このとき SCHCFGn.DIM = 0 の場合は, INTHDMAn が発行されます。

ディスクリプタ設定 ロードしたディスクリプタは Current レジスタ・セットと, チャンネル・レジスタ・セットに設定されます。また SNXLAn に次のリンク先を設定されます。

DMA トランザクション実行 設定された値に従って, DMA トランザクションが実行されます。この間に DMA 転送エラーが発生すると, INTHDMAERR が発行され, DMA 転送を終了します。

ヘッダ書き戻し (ライトバック) ヘッダの WBD = 0 の場合は, DMAC はヘッダの LV ビットをクリア (0) してヘッダを書き戻します。

- INTDMA 発行処理** SCHCFGn.DEM ビットに設定した値に従って、INTHDMA_n がマスクされま
す。
DEM = 1 の場合は、INTHDMA_n は発行されません。
- S_DMATCm
発行処理** SCHCFGn.TCM ビットに設定された値に従って、S_DMATC_m (m :
SCHCFGn.SEL[1:0] ビットで選択) 出力がマスクされます。
TCM_n = 1 の場合は、S_DMATC_m は出力されません。
- リンク終了判定** ヘッダの LE = 1 の場合、ディスクリプタ設定での DMA トランザクション後、
EN, TACT をクリア (0) して終了します。LE = 0 の場合は、Current レジス
タを更新し、次のディスクリプタ・ロードが開始されます。
- (b) リンク・モードのレジスタ設定**
- リンク・モード選択
(SCHCFGn.DMS)** SCHCFGn.DMS ビットで、リンク・モードを選択します。
ディスクリプタでは、DMS ビットは書き換えられません。

表 29-35 リンク・モードの選択

SCHCFGn.DMS	動作
1 (リンク・モード)	リンク・モードで動作します。

- リンク・アドレスの
設定 (SNXLAn)** リンク先を示すレジスタとして、Next リンク・アドレス・レジスタ n
(SNXLAn) と Current リンク・アドレス・レジスタ n (SCRLAn) がありま
す。
リンク・モードを開始する際には、SNXLAn レジスタにリンク先アドレスを
設定してください。
SNXLAn レジスタは、ディスクリプタのロード後には、次のリンク先を示し
ます。また、SCRLAn レジスタは、現在実行中のリンク・アドレスを示して
います。

表 29-36 リンク・アドレス・レジスタ・セット

SCHCFGn.DMS	動作
Next リンク・アドレス・レジスタ (SNXLAn)	次のリンク先の表示を行います。リンク・モード開始前に、このレジ スタにリンク先のアドレスを設定してください。
Current リンク・アドレス・レジスタ (SCRLAn)	現在実行中のリンク・アドレスを示します。このレジスタはリードの み可能です。

- 注意** リンク・モードでは、ディスクリプタ・リードにより設定を変更できますが、
設定の変更タイミングとハードウェアによる DMA 転送要求 (S_DMARQ_m
や割り込み信号) との同期が取れません。このため、ハードウェアによる
DMA 転送要求を利用する場合は、EN ビットをセット (1) する前に、
SCHCFGn.AM[2:0], LVL, HIEN, LOEN, SEL[1:0] を設定し、かつディスクリ
プタでは、これらのビットを変更しないようにしてください。

ディスクリプタの設定 DMACは、2種類のディスクリプタ・フォーマットをサポートしています。フォーマットの切り替えは、ディスクリプタの1ワード目（ヘッダ）のビット31-28のDSCFMフィールドで指定してください。以下に、DSCFMの値と、ディスクリプタ・フォーマットの関係を示します。

表 29-37 ディスクリプタ・フォーマット

DSCFM フィールドの値	0001 _b	0011 _b
ディスクリプタ・サイズ	8ワード	4ワード
リンク・アドレス	○	○
チャンネル・インターバル	○	－（リロード）
チャンネル・コンフィグレーション	○	－（リロード）
トランザクション・サイズ	○	－（リロード）
デスティネーション・サイズ	○	○
ソース・アドレス	○	○
ヘッダ	○	○（STS）

- 注意**
- 上記以外のDSCFMフィールドの値を設定しないでください。
 - ディスクリプタで、SCHCFGn.DMSビットの設定は変更できません（リンク・モード固定）。

表 29-38 ディスクリプタの各フィールドの説明

フィールド	記号	説明
リンク・アドレス	○	現在のディスクリプタによるDMA転送の後にリードする、次のディスクリプタ・アドレス（リンク・アドレス）を指定します。
チャンネル・インターバル, チャンネル・コンフィギュレーション	○	チャンネル・インターバル, チャンネル・コンフィギュレーションを指定します。
	— (リロード)	チャンネル・インターバル, チャンネル・コンフィギュレーションを省略し, 前回の設定値を引き続き使用します。
トランザクション・サイズ	○	トランザクション・バイト・サイズを指定します。
	— (リロード)	トランザクション・バイト・サイズを省略し, ヘッダのSTSフィールドの値を総転送バイト数として使用します。STSフィールドは16ビットのため, 最大設定サイズは65,536バイトです。
デスティネーション・アドレス	○	転送元アドレスを指定します
ソース・アドレス	○	転送元アドレスを指定します
ヘッダ	○ (非 STS)	ヘッダのビット15-0のSTSフィールドは無効です。総転送バイト数は, ディスクリプタのトランザクション・サイズが使用されます。
	○ (STS)	ヘッダのビット15-0のSTSフィールドは有効です。STSフィールドに設定した値が, 総転送バイト数になります。

ヘッダの設定 ヘッダは、ディスクリプタの状態などを示します。
ヘッダは、リンク・モードでの DMA 転送開始前にリードされます。また DMA トランザクション（一連の DMA 転送）終了後に、ライトバックされます。

注意 DMAC 動作中にディスクリプタを順次追加する場合、LV ビットのセット (1) は、バイト・アクセスでライトしてください。DMAC は D ビットのライトバックをバイト・アクセスでライトするため、この操作により LV ビットのソフトウェアによるセット (1) と、DMAC による D ビットのライトバックの競合を回避できます。

31	30	29	28	27	26	25	24
DSCFM				0	WBD	LE	LV
ヘッダ・リード時に WBD = 0 の場合、本ディスクリプタに従った DMA トランザクション（一連の DMA 転送）終了後、LV ビットのみクリア (0) してライトバックされます。							
23	22	21	20	19	18	17	16
D	0	0	0	0	0	0	0
ヘッダのリード時に LV = 0 の場合、ディスクリプタ・エラーとして、D ビットのみセット (1) してライトバックされます。							
15	14	13	12	11	10	9	8
STS							
7	6	5	4	3	2	1	0
STS							

表 29-39 ヘッダの内容 (1/2)

ビット位置	ビット名	意味
31:28	DSCFM	Descriptor Format 表 29-37 「ディスクリプタ・フォーマット」に示す、2種類のいずれかのディスクリプタのフォーマットを指定します。
26	WBD	Write Back Disable LV ビットのライトバック動作を設定します。 0: DMA トランザクション(一連の DMA 転送)完了後に LV ビットを 0 に書き戻す 1: DMA トランザクション(一連の DMA 転送)完了後に LV ビットを書き戻さない
25	LE	Link End このディスクリプタの DMA トランザクション（一連の DMA 転送）のリンク継続状態を示します。 リンクの最後では、このビットをセット (1) してください。 0: リンク継続 1: リンク終了
24	LV	Link Valid ディスクリプタの有効/無効を示します。 WBD = 0 の場合、ディスクリプタに従った DMA トランザクション（一連の DMA 転送）完了後に、LV ビットをクリア (0) してライトバックします。ヘッダ設定では 1 を設定してください。 0: ディスクリプタ無効 1: ディスクリプタ有効

表 29-39 ヘッダの内容 (2/2)

ビット位置	ビット名	意味
23	D	Link Valid ディスクリプタの有効/無効を示します。 WBD = 0 の場合、ディスクリプタに従った DMA トランザクション（一連の DMA 転送）完了後に、LV ビットをクリア (0) してライトバックします。ヘッダ設定では 1 を設定してください。 0 : ディスクリプタ無効 1 : ディスクリプタ有効
15:0	STS	Short Transaction Size DSCFM フィールドに 0011 _b を設定した場合、このフィールドで DMA 転送の総バイト数を設定します。設定可能な最大値は 65,536 バイトです。このとき、STS には 0 は設定できません。

注意 DMAC 動作中にディスクリプタを順次追加する場合、LV ビットのセット (1) は、バイト・アクセスでライトしてください。DMAC は D ビットのライトバックをバイト・アクセスでライトするため、この操作により LV ビットのソフトウェアによるセット (1) と、DMAC による D ビットのライトバックの競合を回避できます。

ヘッダ以外のディスクリプタの設定

ヘッダ以外のディスクリプタの各データは、DMAC 内部のレジスタと同じ仕様です。

それぞれ、表 29-40 「ヘッダ以外のディスクリプタと DMAC 内部レジスタの関係」のように対応しています。

表 29-40 ヘッダ以外のディスクリプタと DMAC 内部レジスタの関係

ディスクリプタのオフセット・アドレス	ディスクリプタ	DMAC 内部レジスタ
+04 _H	ソース・アドレス	ソース・アドレス・レジスタ (SCRSAn)
+08 _H	デスティネーション・アドレス	デスティネーション・アドレス・レジスタ (SCRDA _n)
+0C _H	トランザクション・バイト	トランザクション・バイト・レジスタ (SCRTB _n)
+10 _H	チャンネル・コンフィグレーション	チャンネル・コンフィグレーション・レジスタ (SCHCF _n)
+14 _H	チャンネル・インターバル	チャンネル・インターバル・レジスタ (SCHITV _{Ln})
+18 _H	必ず 0000 0000 _H を設定してください	—

注意 SCHCFG_n.DMS ビットはディスクリプタで書き換えることはできません。

(c) ディスクプリタ領域とDMA転送領域の概略

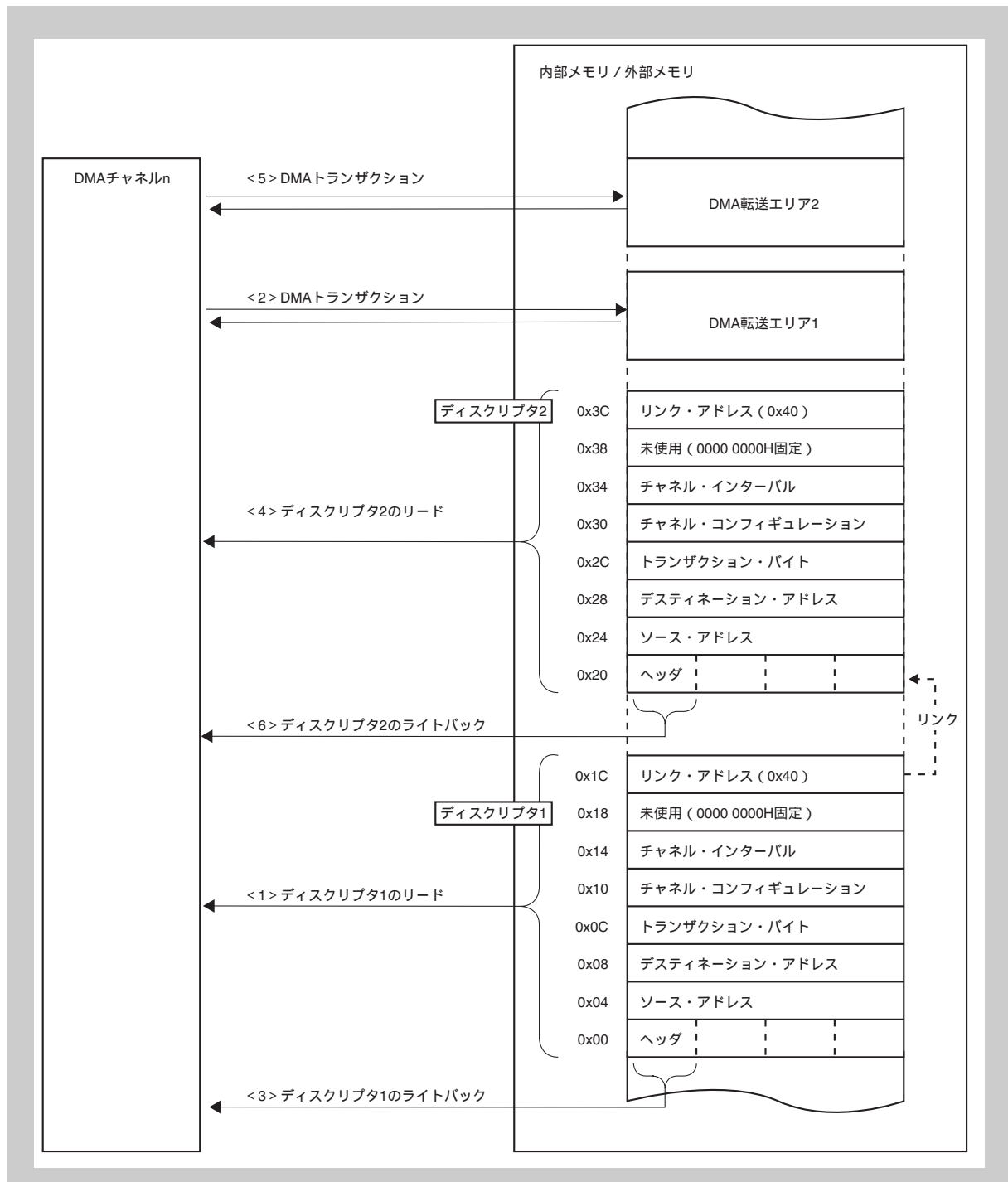


図 29-10 ディスクプリタ領域とDMA転送領域の概略

<1> ディスクリプタ・リード

DMAC 内の Next リンク・アドレス・レジスタ (SNXLAn) に設定した値を、Current リンク・アドレス・レジスタ (SCRLAn) にロードし、SCRLAn レジスタが示すメモリ空間上の「ディスクプリタ 1」から、ディスクリプタがリードされます。

<2> DMA 転送 (DMA トランザクション)

ディスクリプタのヘッダの LV = 1 の場合は、ディスクリプタ情報に従って DMA 転送が実行されます。

<3> ディスクリプタ・ライトバック

設定バイト数の DMA トランザクション終了後、ヘッダの WBD = 0 の場合は、ディスクプリタ 1 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック、その他のフィールドは <1> でリードした値をバイト・ライトでライトバックされます。

<4> ディスクリプタ・リード

<1> でリードしたディスクリプタのヘッダの LE = 0 の場合は、ディスクリプタ中の Next リンク・アドレスで示されるアドレス (ディスクプリタ 2) から、次のディスクリプタがリードされます。

<5> DMA 転送 (DMA トランザクション)

ディスクリプタのヘッダの LV = 1 の場合は、ディスクリプタ情報に従って DMA 転送が実行されます。

<6> ディスクリプタ・ライトバック

設定バイト数の DMA トランザクション終了後、ヘッダの WBD = 0 の場合は、ディスクプリタ 2 のヘッダのビット 31-24 に対し LV = 0 にしてライトバック、その他のフィールドは <4> でリードした値をライト・データとして、バイト・アクセスでライトバックされます。

以降 <4> ~ <6> の繰り返し

- 備考**
1. ヘッダの LE = 1, WBD = 0 の場合は、そのディスクリプタ設定で DMA トランザクションを実行し、LV = 0 としてライトバックして終了します。
 2. ヘッダの LE = 1, WBE = 1 の場合は、そのディスクプリタ設定で DMA トランザクションを実行して終了します。ライトバックは行われません。
 3. ヘッダの LV = 0 の場合は、ヘッダの D ビットに 1 をライトバック後、SCHCFGn.DRRP = 1 の場合は、SDSCITVLn.DITVL ビットの設定に従ったインターバル後に再度ディスクプリタのリードが行われます。SCHCFGn.DRRP = 0 の場合は、DMA を停止します。

(d) ディスクプリタに関する注意事項

- リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア転送要求との同期を取ることができません。このため、ハードウェア転送要求を用いる場合、SCHCTRLn.SETEN ビットをセット (1) する前に SCHCFGn.AM[2:0], LVLn, HEN, LEN, SEL[1:0] ビットを設定し、かつディスクリプタでは、これらのビットを変更しないようにしてください。
- ディスクリプタでは、SCHCFGn.DMS ビットは変更できません (常にリンク・モードとなります)。
- DMAC は、ヘッダの DSCFM ビットと LV ビットを参照して、そのディスクリプタの有効/無効を判断します。このため、ディスクリプタの DSCFM と LV ビットに相当するメモリ領域を、DMAC がアクセスする前に初期化 (DSCFM = 0001b or 0011b, LV = 0) してください。
- DMA 動作中に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 の書き込みは、ヘッダ以降のディスクリプタ (ソース・アドレス、デスティネーション・アドレス・・・ネクスト・リンク・アドレス) を設定したあとに行ってください。これは、ソフトウェアによるディスクリプタの設定と DMAC のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMAC のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値を使って DMA が実行されることを防ぐためです。
- ヘッダの D ビットへのライト・バック情報を残したい場合は、ヘッダの LV ビットへの 1 のライトはバイト・アクセスで行ってください。

(e) リンクの構成例

リンク・モードでは、ディスクプリタを以下のように「リスト構成」、「ループ構成」とすることができます。

- リスト構成** 最終ディスクリプタのヘッダの LE = 1 とすることで、リンクを終了します。リスト構成の場合は、最終ディスクプリタの LE ビットは 1 に設定してください。
- ループ構成** 最終ディスクリプタのリンク先を、先頭ディスクリプタのアドレスに設定すると、ディスクリプタはループ構成になります。ループを終了する場合は、DMAC がディスクリプタをリードする前に、ヘッダの LE ビットを 1 に書き換えるか、転送中断手順に従って DMAC を停止させてください。

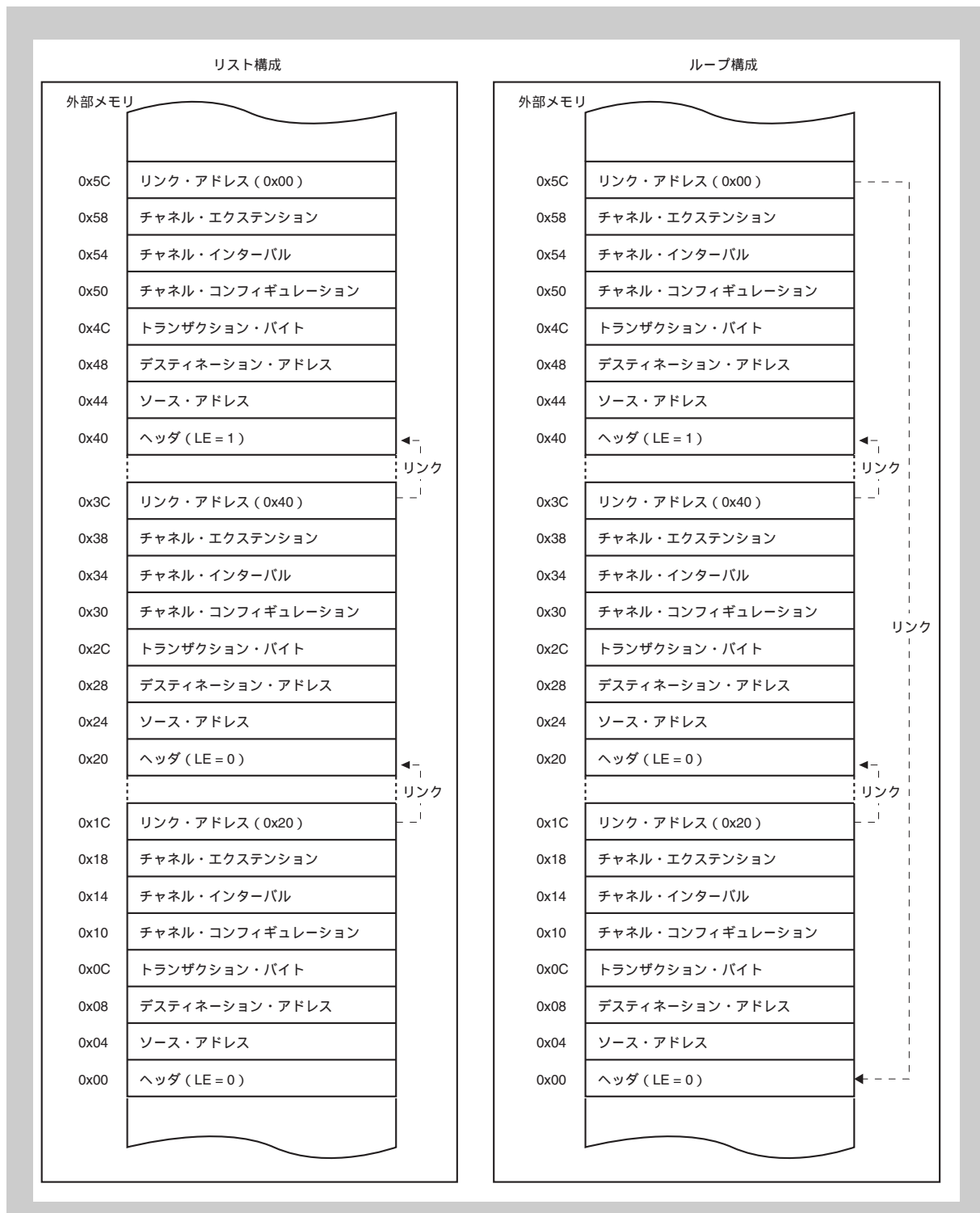


図 29-11 リンク・モードの構成例

(3) ライト・オンリー・モード

SCHCFGn.WONLY ビットをセット (1) すると、ライト・オンリー・モードになります。

ライト・オンリー・モードでは、DMA リード・トランスファを実行しません。ただしリンク・モードではディスクプリタのリードは行います。SN0SAn レジスタに設定した値をライト・データとして使用します。

ライト・オンリー・モードは、メモリ領域の初期化などに使用してください。

表 29-41 ライト・オンリー・モードの設定

SCHCFGn.WONLY	モード	動作
0	通常モード	Next レジスタ・セットに設定された値で DMA 転送を行います。
1	ライト・オンリー・モード	DMA リード・トランスファを行わず、DMA ライト・トランスファのみ行います。

29.5 DMA 転送

29.5.1 転送モード

DMAC は、シングル転送モードとブロック転送モードをサポートしています。

モードの選択は、チャンネルごとに SCHCFGn.TM ビットで設定してください。

シングル転送モードは、S_DMARQm 端子からの DMA 転送要求を用いた DMA 転送や、内蔵周辺機能から発生した割り込み要求による DMA 転送に用います。

ブロック転送モードは、ソフトウェア・トリガによる DMA 転送に用います。

表 29-42 DMA 転送モードの選択

SCHCFGn.TMn	モード	動作
0	シングル転送モード	1 回の S_DMARQm からの DMA 転送要求、または内蔵周辺機能から発生した割り込み要求に対して、1 回の DMA 転送を実行します。 S_DMARQm 入力を用いた DMA 転送、内蔵周辺機能から発生した割り込み要求による DMA 転送に使用します。
1	ブロック転送モード	1 回のソフトウェア・トリガに対して、DMA トランザクション（一連の DMA 転送）が完了するまで、転送を実行します。 ソフトウェア・トリガによる DMA 転送に使用します。

(1) シングル転送モード

S_DMARQm 入力を用いた DMA 転送に使用します。

DMA 転送要求を受け付けると、SCHCFGn.REQD ビットで示された側（転送元あるいは転送先）の DMA トランスファを 1 回実行し、SCHCFGn.AM[2:0] ビットで指定したタイミングで、S_DMAAKm がアクティブになります。

転送要求の受け付けごとに 1 回の転送を行い、この動作を Current トランザクション・バイト・レジスタ (SCRTBn) にロードされたバイト数分続けます（チャンネル間のアービトラーションは、DMA 転送ごとに行われます。）。

SCHCFGn.REQD ビットの設定やトランスファ・サイズ (DDSn, SDSn) の設定により、S_DMAAKm の出カタイミングや、SCRTBn レジスタのカウント・タイミングが異なります。詳細は、「29.5.11 「転送サイズによる動作の相違」」を参照してください。

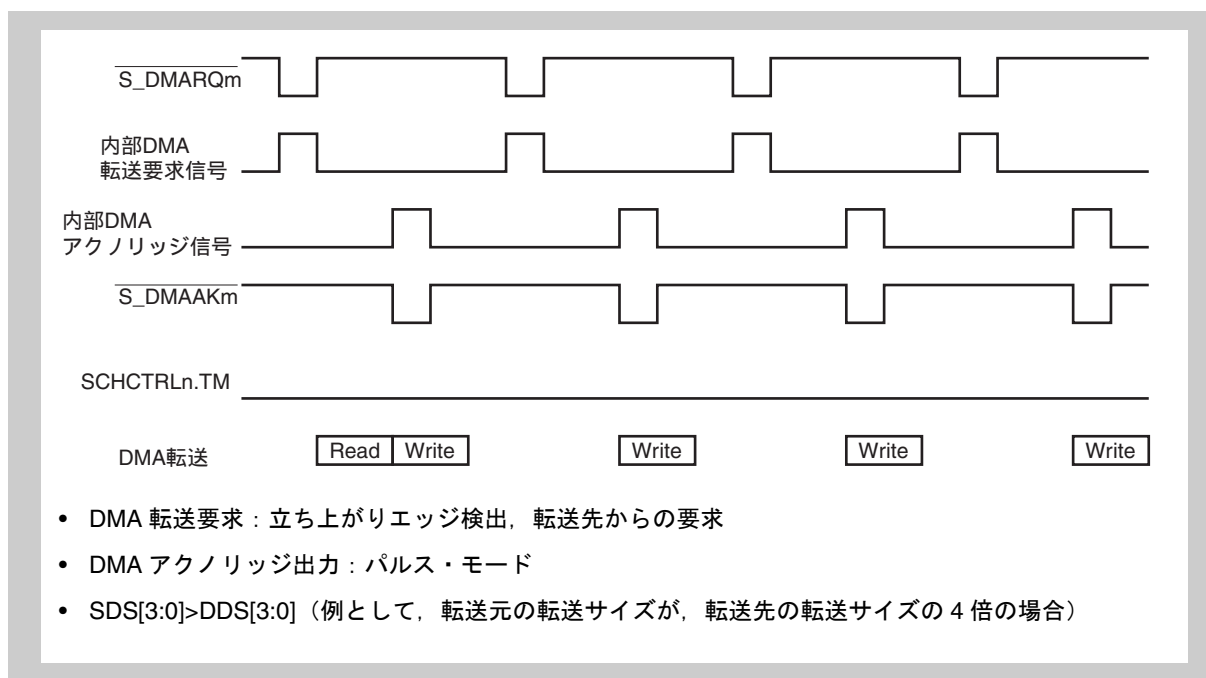


図 29-12 シングル転送モード例

備考 DMA インタフェース信号 (S_DMARQm, S_DMAAKm, S_DMATCm) は負論理です。内部で反転し正論理で DMAC と接続されています (m = 0-3)。

(2) ブロック転送モード

ソフトウェア・トリガによる DMA 転送に使用します。SCHCTRLn.STG ビットをセット (1) で起動します。

DMA 転送要求を 1 度受け付けると、SCRTBn レジスタにロードしたバイト数分の転送が完了する (DMA トランザクション完了) まで転送を続けます (チャンネル間のアービトレーションは、DMA 転送ごとに行われます。)

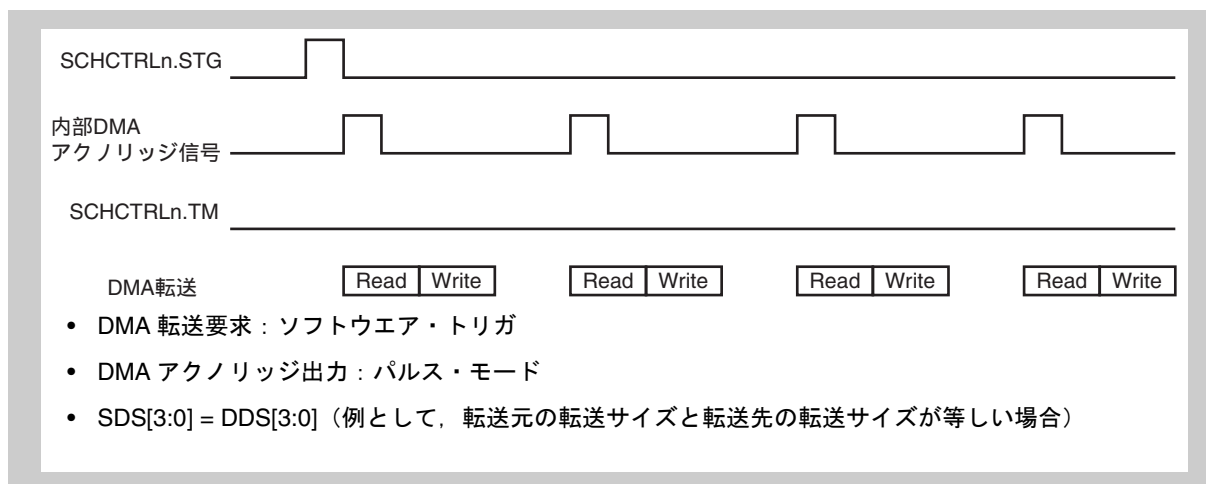


図 29-13 ブロック転送モード例

29.5.2 DMA チャンネルの優先順位制御

チャンネル間の優先順位制御は、固定優先順位モードとラウンドロビン・モードをサポートしています。

モードは、DMAC コントロール・レジスタ (DCTRL) の PR ビットで選択してください。

表 29-43 DMA チャンネルの優先順位制御の選択

SDCTRL.PR	モード	動作
0	固定優先順位	固定優先 (高 : CH0 > CH1 > CH2 ... CH5 > CH6 > CH7 : 低) 順位で制御します。 チャンネルに優先順位がある場合に使用してください。
1	ラウンドロビン	ラウンドロビンで制御します。 各チャンネルを、均等に DMA 転送を実行したい場合に使用してください。

(1) 固定優先順位モード

固定優先順位モードでは、各チャンネルの優先順位は固定となり次のようになります。

高優先 CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 低優先

DMA 転送要求が複数のチャンネルで同時に発生した場合は、番号の小さいチャンネルの DMA 転送要求を優先します。固定優先順位モードでの DMA 転送実行時に、優先順位の高いほかの DMA 転送要求が発生した場合の例を次に示します (下記の図では、便宜上 4 チャンネルで表現しています)。

注意 セントラル DMAC と異なり、転送元からのリード・サイクルと、転送先へのライト・サイクルの間でも、DMA チャンネル間の優先順位制御が行われます。

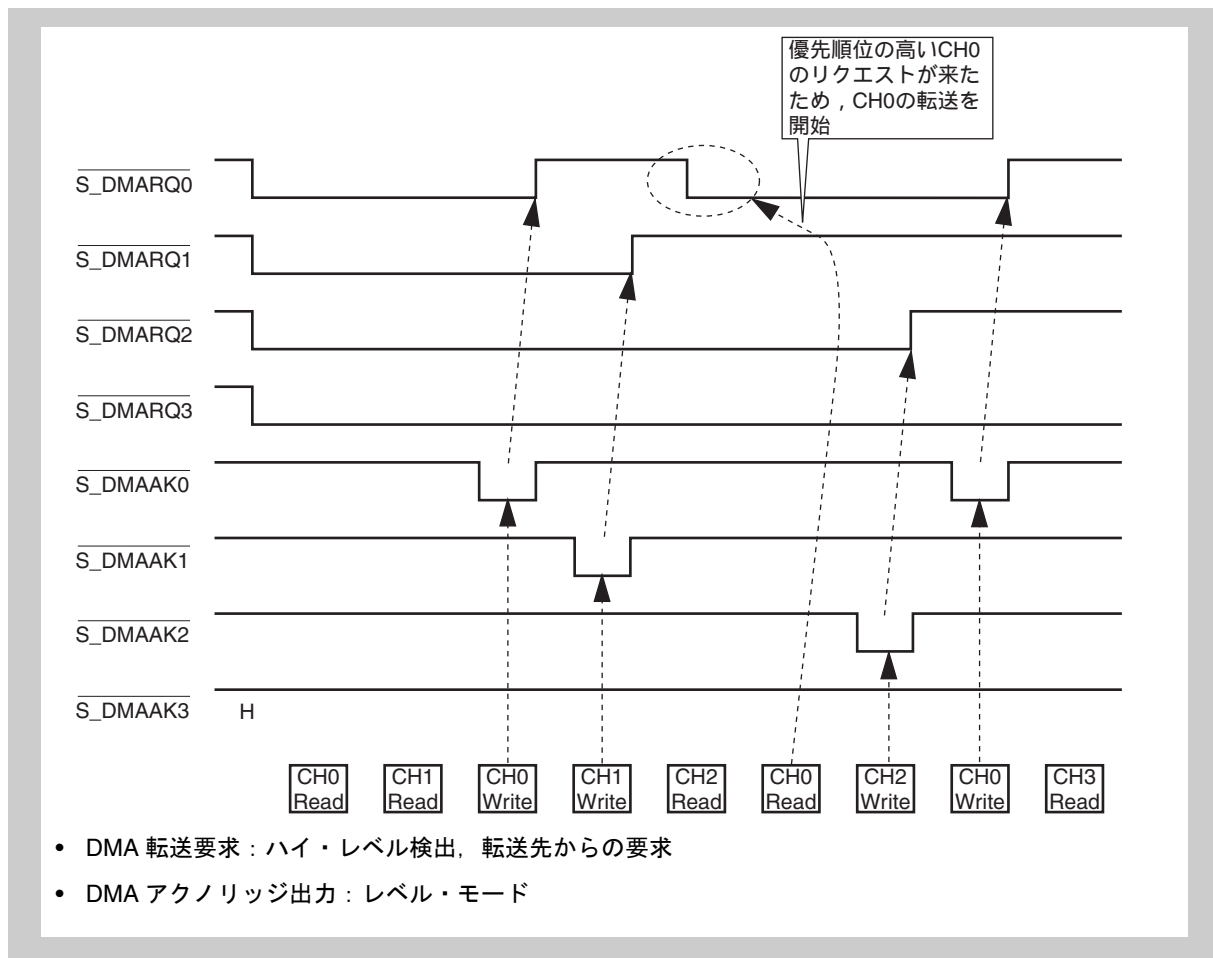


図 29-14 固定優先順位モードの例

(2) ラウンドロビン・モード

ラウンドロビン・モードでは、各チャンネルのDMA転送要求受け付けごとに、直前の転送を行ったチャンネルの優先順位が一番低くなるように優先順位を変更します。

リセット解除直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高優先 CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 低優先

この状態で、DMAチャンネル0の転送要求が無く、DMAチャンネル2の転送要求があった場合、DMAチャンネル2の転送を行い、転送終了後には以下のようになります。

高優先 CH3 > CH4 > CH5 > CH6 > CH7 > CH0 > CH1 > CH2 低優先

ラウンドロビン・モードでのDMA転送の例を次に示します（下記の図では、便宜上4チャンネルで表現しています。）。

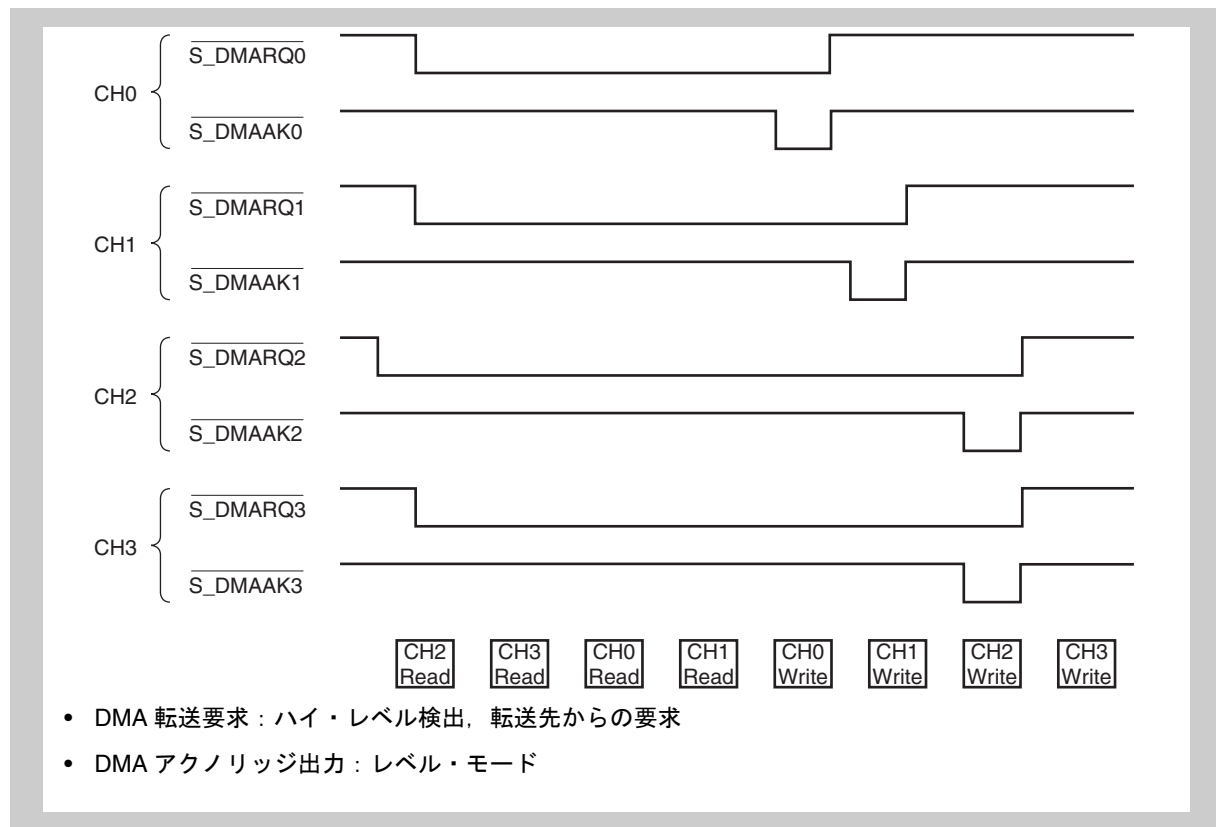


図 29-15 ラウンドロビン・モード

備考 リード・チャンネル間，ライト・チャンネル間で，それぞれアービトレーションを行います。

29.5.3 DMA 転送起動要因

DMA 転送の起動要因には、次の2種類があります。

(1) 外部端子 (S_DMARQm) による要求

S_DMARQm 端子からの要求は、CLKOUT 信号の立ち上がりごとにサンプリングされます。

S_DMARQm 端子からの要求は、対応する S_DMAAKm 信号がアクティブになるまで保持してください。

SCHCTRLn.EN ビット = 1 の状態に設定すると、TI ステートでの S_DMARQm 信号が有効となります。TI ステートで S_DMARQm 信号がアクティブになると、T0 ステートに移行して DMA 転送を開始します。

(2) ソフトウェアによる要求

SCHCTRLn.STG, EN ビットが次のように設定されると、DMA 転送を開始します。

- ・ STG ビット = 1
- ・ EN ビット = 1

29.5.4 DMA 転送要求

DMA 転送要求と、各チャネルの関係は、SCHCFGn.SEL[1:0] ビットで、割り当てを変更できます。

注意 内部の DMA インタフェースは正論理です。DMA インタフェース端子 (S_DMARQm, S_DMAAKm, S_DMATCm : m = 0-3) のみ負論理です。DMA インタフェース端子の信号は、反転して DMAC に接続されています。S_DMARQm の立ち下がり、このフィールドで立ち上がりに設定した場合に検出されます。同様に S_DMAAKm, S_DMATCm も、内部信号はハイ・アクティブです。これらの信号を反転して負論理に変換し、端子に出力しています。

(1) DMA チャンネルと DMA 転送要求の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、SCHCFGn.SEL[1:0] ビットで、チャンネルと端子名を同一に選択してください。たとえば、チャンネル2のDMAインタフェース信号に S_DMARQ2, S_DMAAK2, S_DMATC2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、SCHCFGn.SEL[1:0] ビットで DMA チャンネルと DMA インタフェース信号の関係を変更してください。

(2) DMA 転送要求の要因ごとの検出動作指定

DMA 転送要求は、要因によって検出方法が指定されているものがあります。

下記の表を元に、SCHCFGn レジスタの LVL, LEN, HEN ビットで正しい検出動作を指定してください。

表 29-44 DMA 転送要求信号の検出方法

LVL	HEN	LEN	DMA 転送要求信号の検出方法	
0	0	0	エッジ検出	検出無効
0	0	1		立ち下がり検出
0	1	0		立ち上がり検出
0	1	1		立ち上がり／立ち下がり検出
1	0	0	レベル検出	検出無効
1	0	1		ロウ・レベル検出
1	1	0		ハイ・レベル検出
1	1	1		DMA 転送要求の入力レベルに関係なく、SCHCTRLn.SETEN ビットをセット (1) すると DMA 転送を開始します。

(3) エッジ検出

SCHCFGn.LVL ビットを 0 に設定すると、エッジ検出が選択されます。

SCHCFGn.HEN ビットを 1 に設定すると立ち上がりエッジ検出、LEN ビットを 1 に設定すると立ち下がりエッジ検出を行います。

DMA 転送要求に、S_DMARQ0-S_DMARQ3 信号を用いる場合は、DMA アクノリッジ信号 (S_DMAAK0-S_DMAAK3) を検出してから次の DMA 転送要求 (S_DMARQ0-S_DMARQ3) を出すようにしてください。

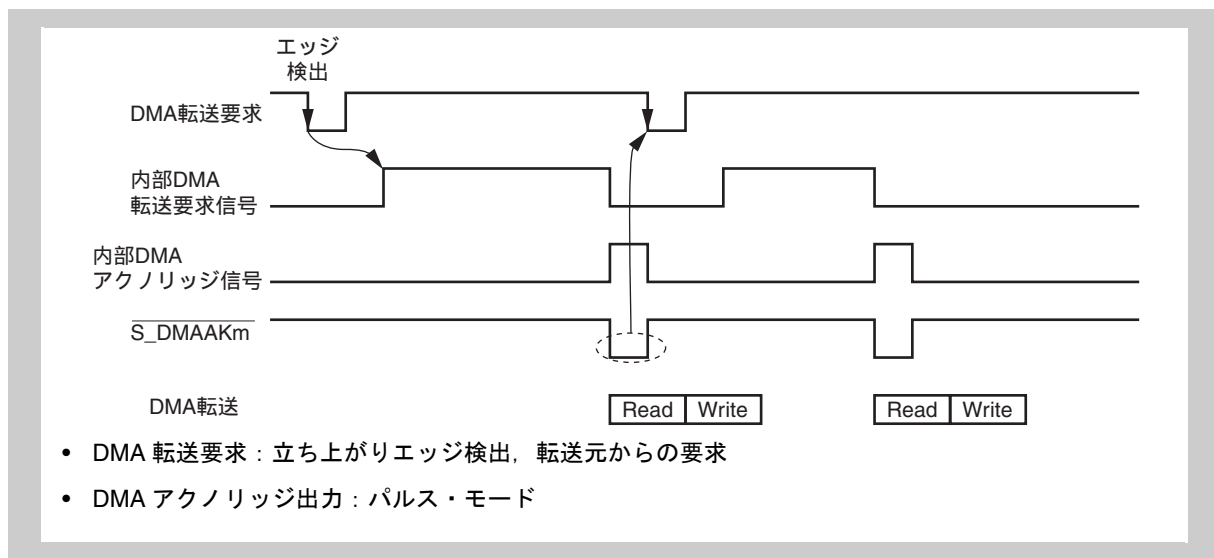


図 29-16 エッジ検出モードの動作例 1

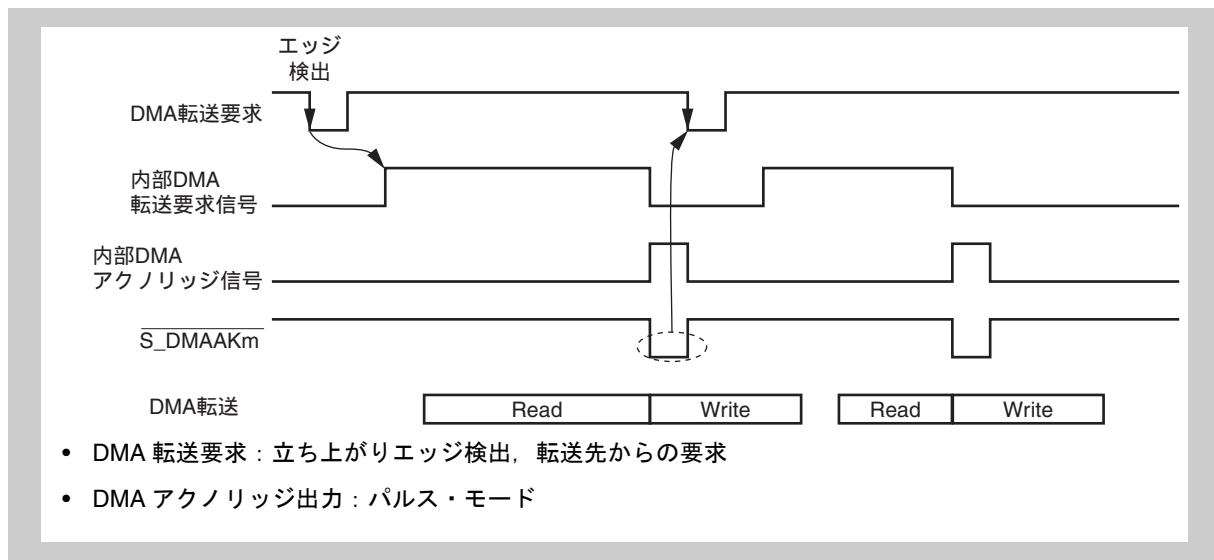


図 29-17 エッジ検出モードの動作例 2

(4) レベル検出

SCHCFGn.LVL ビットを 1 に設定すると、レベル検出が選択されます。

DMA 転送要求に、S_DMARQ0-S_DMARQ3 信号を用いる場合は、BUSCLK (SBUSCLK) ×2 の幅の有効レベル (SCHCFGn.HEN, LEN で指定) が入力されると DMA 転送要求として認識されます。

DMA アクノリッジ信号にレベル・モードを選択した場合は、S_DMAAKm は S_DMARQm がインアクティブになるまで、ロウ・レベルになります。パルス・モードを選択した場合は 1×BUSCLK (SBUSCLK) のパルスで S_DMAAKm が出力されます。

DMA 転送要求に、S_DMARQ0-S_DMARQ3 信号を用いる場合は、DMA アクノリッジ信号 (S_DMAAK0-S_DMAAK3) を検出してから次の DMA 転送要求 (S_DMARQ0-S_DMARQ3) を出すようにしてください。

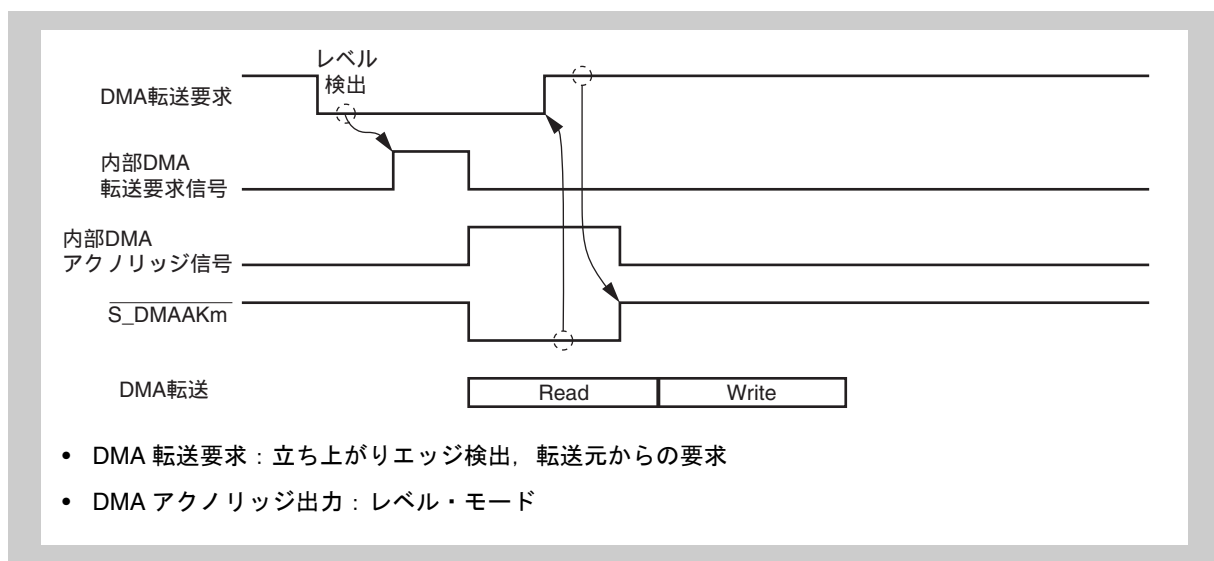


図 29-18 レベル検出モードの動作例 1

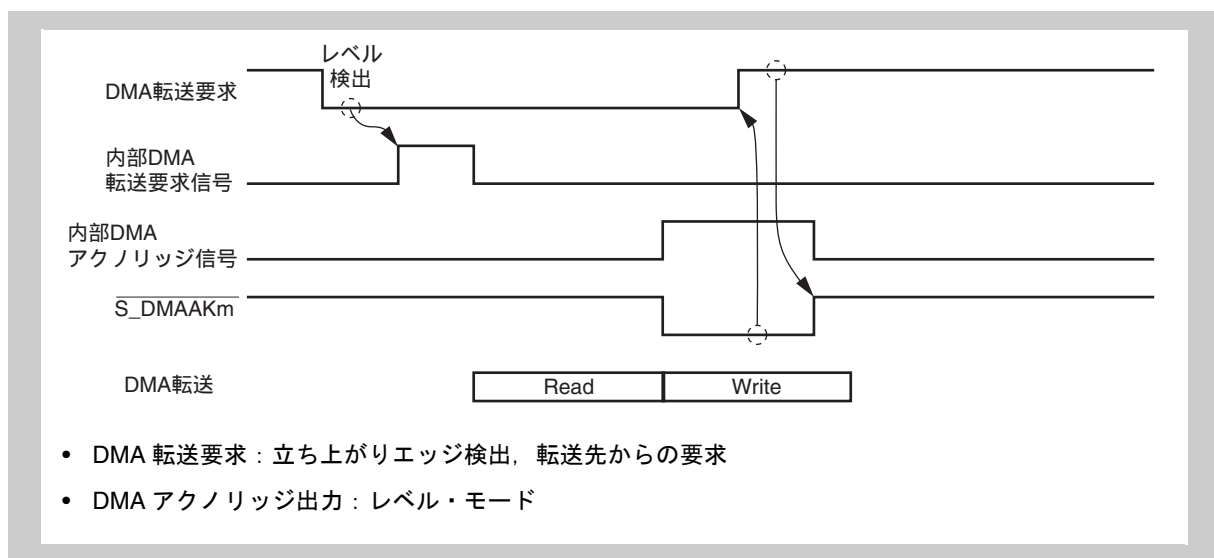


図 29-19 レベル検出モードの動作例 2

29.5.5 DMA アクノリッジ出力機能

DMA 転送要求に対する受け付け応答信号として、DMA アクノリッジ信号が出力されます。

DMA 転送要求に、S_DMARQ0-S_DMARQ3 信号を用いる場合は、DMA アクノリッジ信号として、S_DMAAK0-S_DMAAK3 を使用します。

なお、DMA 転送要求と、各チャンネルの関係は、SCHCFGn.SEL[1:0] ビットで、割り当てを変更できます。

(1) DMA チャンネルと DMA アクノリッジ信号の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、SCHCFGn.SEL[1:0] ビットで、チャンネルと端子名を同一に選択してください。たとえば、チャンネル2のDMA インタフェース信号に S_DMARQ2、S_DMAAK2、S_DMATC2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、SCHCFGn.SEL[1:0] ビットで DMA チャンネルと DMA インタフェース信号の関係を変更してください。

(2) DMA 転送要求の要因ごとのアクノリッジ信号モード指定

DMA アクノリッジ信号は、要因によって出力モードが指定されているものがあります。

下記の表を元に、SCHCFGn.AM[2:0] ビットで正しい検出動作を指定してください。

表 29-45 DMA アクノリッジ信号 (S_DMAAKm) 信号の出力モード

AM2	AM1	AM0	DMA アクノリッジ信号 (S_DMAAKm) 信号の出力モード
0	0	0	パルス・モード ^{a)} (初期値)
0	0	1	レベル・モード DMA 転送要求 (S_DMARQm) がインアクティブになるまで、アクティブ・レベルを保持します。
0	1	任意	バス・サイクル・モード DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。
1	任意	任意	DMA アクノリッジ信号 (S_DMAAKm) の出力禁止

a) 1xBUSCLK 周期のパルスが S_DMAAKm 信号として出力されます。

- 注意**
- DTFR レジスタで、内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合は、AM[2:0] の設定は動作に影響しません。
 - AM[2:0] の設定と、DMAIFCn レジスタは重複設定も可能ですが、一般的な利用方法では、AM[2:0] を用いて S_DMAAKm 信号の動作をレベル・モードに設定している場合は、DMAIFCn レジスタは初期値のまま使用してください。逆に DMAIFCn レジスタを用いて S_DMAAKm のパルス幅拡張や、S_DMARQm のマスク機能を利用している場合は、AM[2:0] はパルス・モードを選択してください。

(3) パルス出力

SCHCFGn.AM[2:0] ビットを 000b に設定すると、DMA アクノリッジ信号 (S_DMAAKm) は、パルス出力が選択されます。

1×BUSCLK (SBUSCLK) のロウ・レベルのパルスが出力されます。

DMA 転送要求元でパルス幅が不足する場合は、DMA 転送インタフェース信号制御レジスタ 0-3 (DMAIFC0-DMAIFC3) の AKWDn4-AKWDn0 ビットで、S_DMAAKm の幅を 1×BUSCLK (SBUSCLK) ~ 32×BUSCLK (SBUSCLK) まで設定できます。

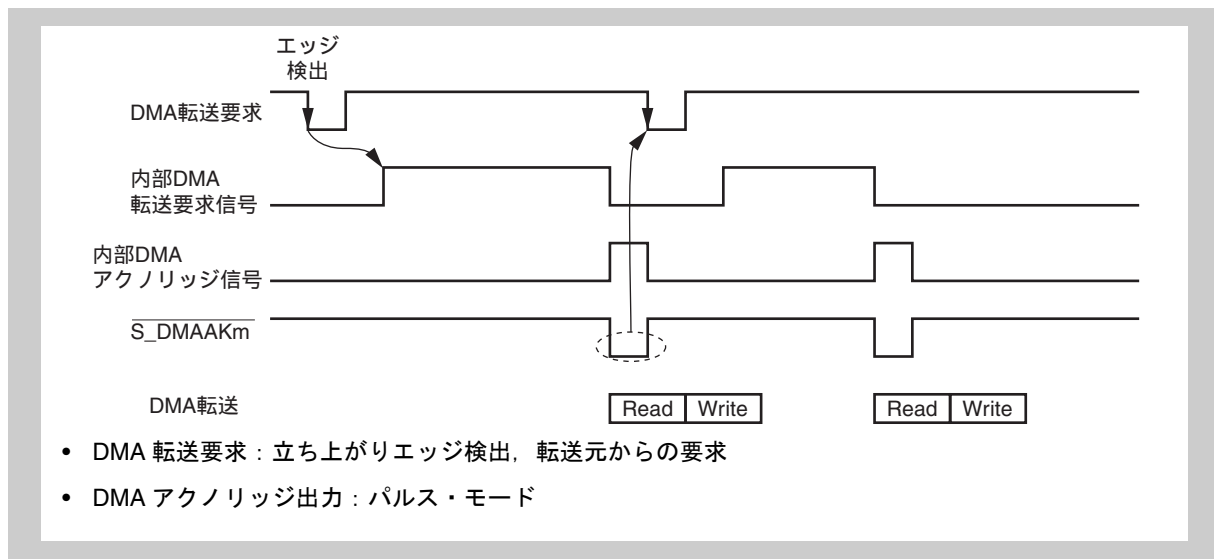


図 29-20 エッジ検出モードの動作例 1

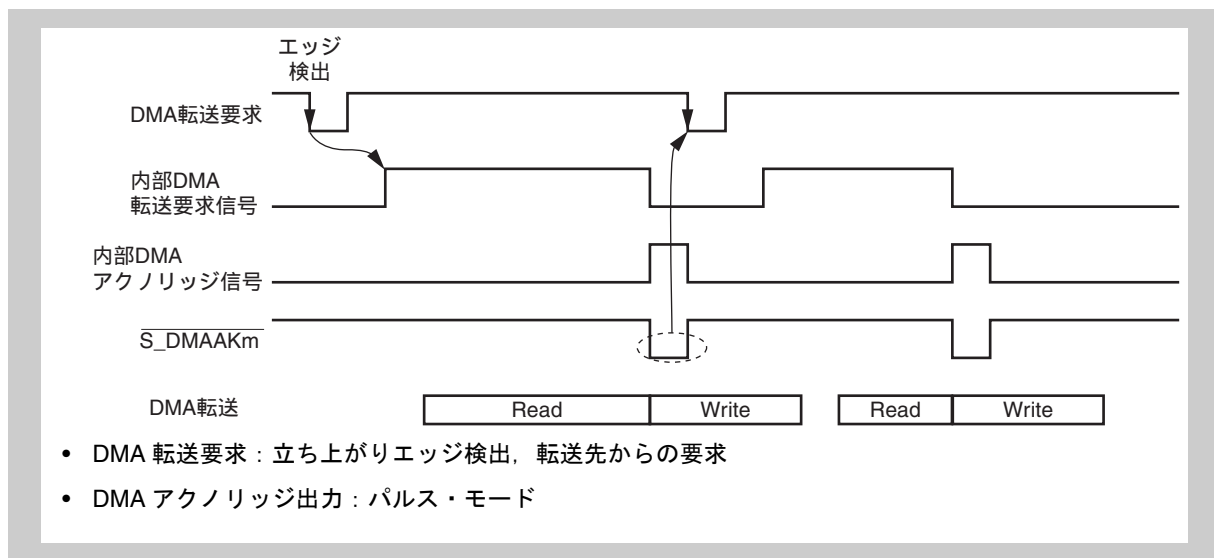


図 29-21 エッジ検出モードの動作例 2

(4) レベル出力

SCHCFGn.AM[2:0] ビットを 001_0 に設定すると、DMA アクノリッジ信号 (S_DMAAKm) は、レベル出力が選択されます。 S_DMAAKm 信号は、 S_DMARQm 信号がインアクティブになるまでアクティブ・レベルを保持します。

DMA アクノリッジ信号にレベル出力を選択している場合は、DMA 転送インタフェース信号制御レジスタ 0-3 (DMAIFC0-DMAIFC3) は初期値まま使用し、 S_DMAAKm 幅の拡張機能を利用しないでください。

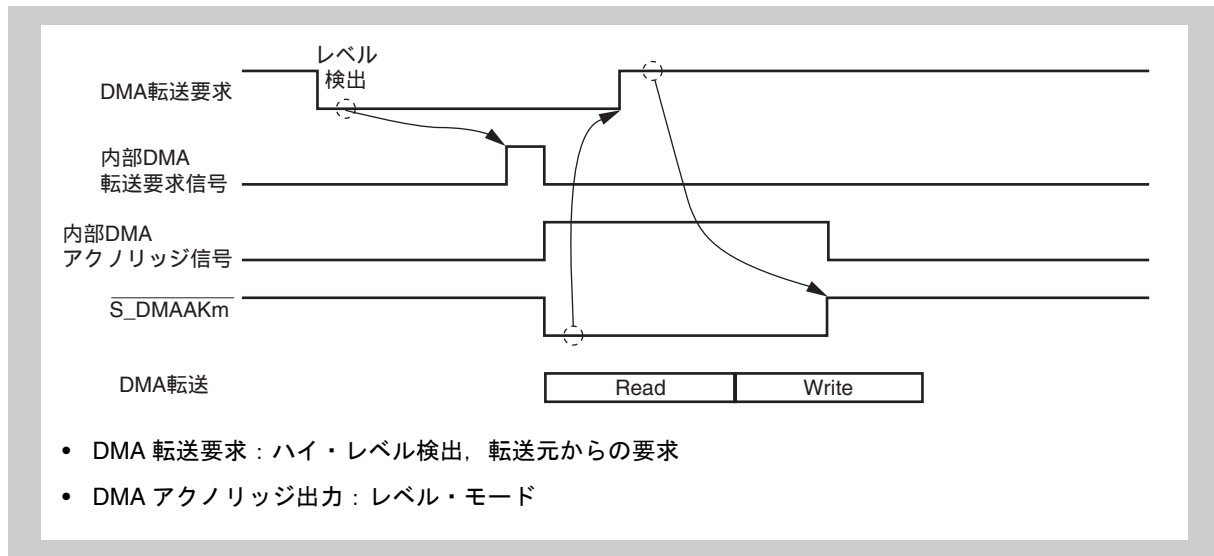


図 29-22 レベル検出モードの動作例 1

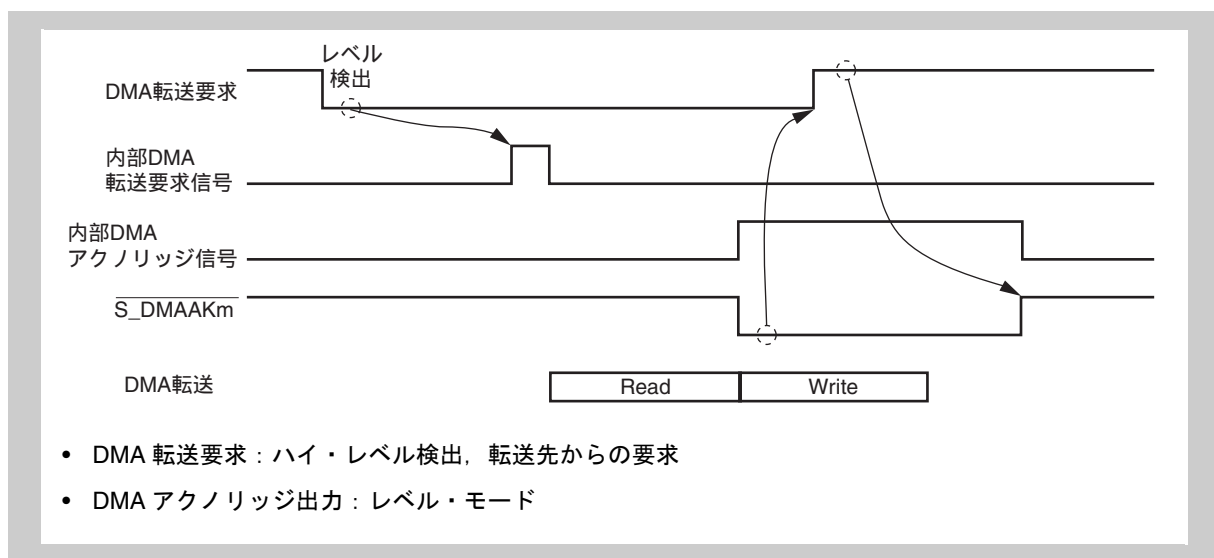


図 29-23 レベル検出モードの動作例 2

(5) バス・サイクル出力

SCHCFGn.AM[2:0] ビットを 010_b に設定すると、DMA アクノリッジ信号 (S_DMAAKm) は、バス・サイクル出力が選択されます。

S_DMAAKm 信号は、バス・サイクルの期間でアクティブ（ロー・レベル）になります。DMA 転送要求の要求元（転送元、転送先）に応じて、転送元の場合はリード・サイクル、転送先の場合はライト・サイクルに DMA アクノリッジ信号が出力されます。転送元と転送先のバス・サイズの違いなどで、1 回の DMA 転送（トランザクション）で複数回のリード/ライトが発生する場合は、その期間 S_DMAAKm はアクティブになります。

DMA アクノリッジ信号にバス・サイクル出力を選択している場合は、DMA 転送インタフェース信号制御レジスタ 0-3 (DMAIFC0-DMAIFC3) は初期値のまま使用し、S_DMAAKm 幅の拡張機能を利用しないでください。

注意 バス・サイクル出力モードでは、DMA 転送のバス・サイクル終了後 +1×BUSCLK (SBUSCLK) の期間は、S_DMARQm 信号を受け付けません。

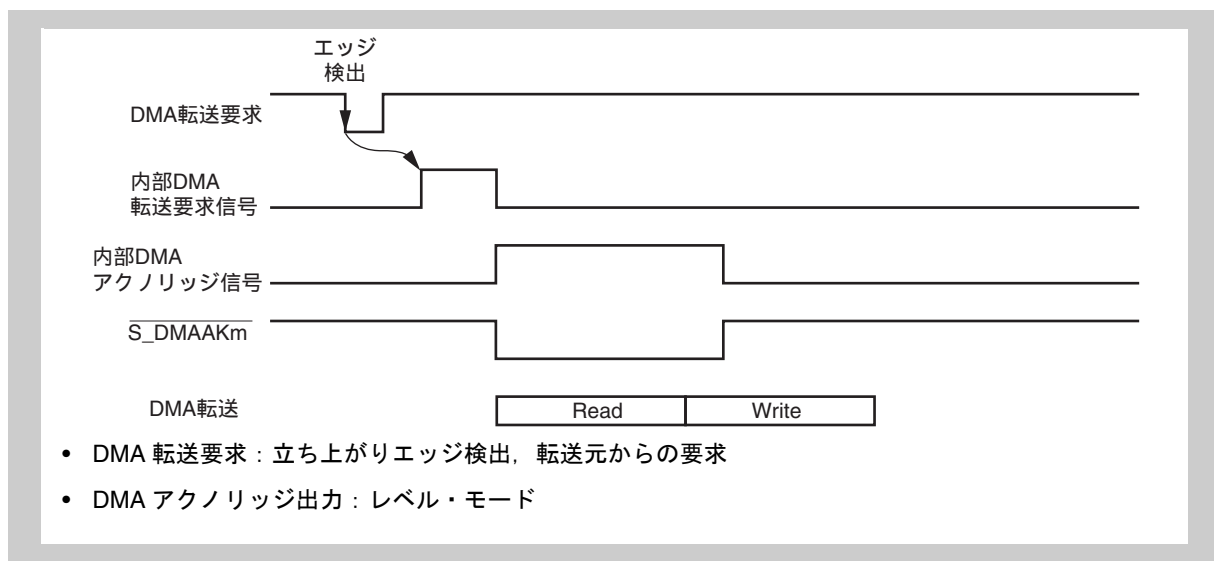


図 29-24 バス・サイクル出力モードの動作例 1

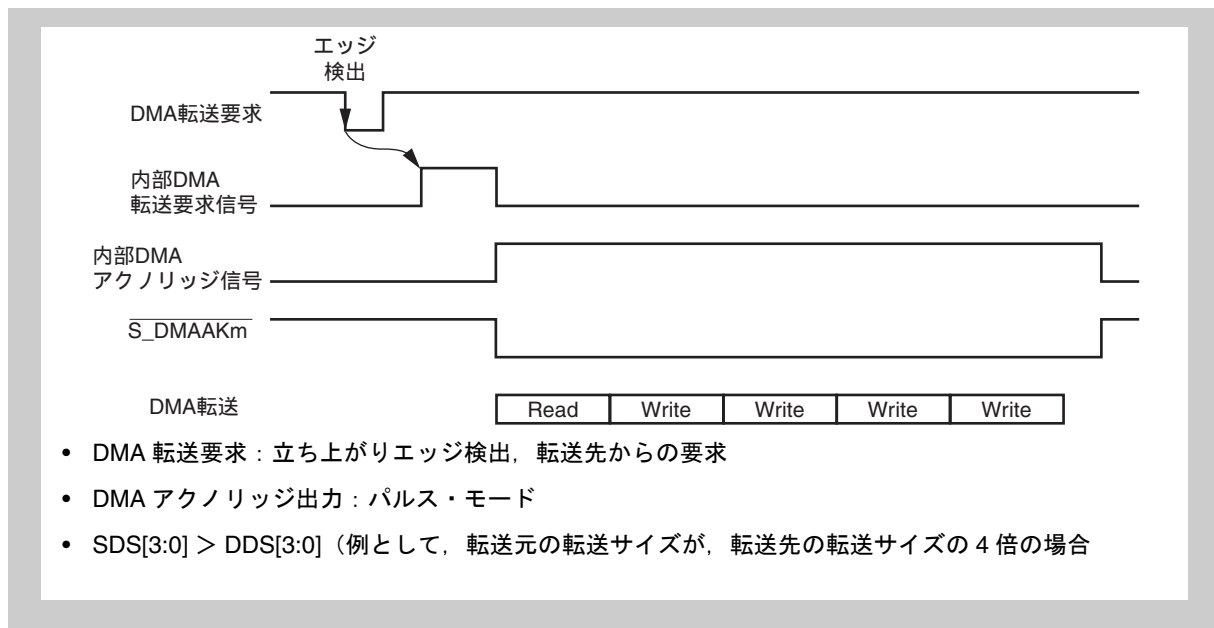


図 29-25 エッジ検出モードの動作例 2

29.5.6 DMA 転送完了割り込み

DMA トランザクション（一連の DMA 転送）が終了すると、INTHDMA0-INTHDMA7 が発生します。

INTHDMA n は、DMA チャンネル n に対応しています。

SCRTB n レジスタにロードされた、総転送バイト数分の転送が正常に終了すると、SCHSTAT n .END ビットがセット（1）されます。このとき、SCHCFG n .DEM ビットがクリア（0）されている場合に、INTHDMA n が発生します。

リンク・モードでライトバックを行う場合は、ライトバック後に INTHDMA n が発生します。またリンク・モードのディスクプリア・リードで、SCHCFG n .DRRP = 0 の状態で、リードしたディスクプリアのヘッダが LV = 0 の場合、SCHSTAT n .DER ビットがセット（1）されます。このとき、SCHCFG n .DIM = 0 の場合、INTHDMA n が発生します。

表 29-46 INTHDMA n アクティブ条件

要因	条件	INTHDMA n のマスク設定ビット
DMA トランザクション	SCRTB n レジスタにロードされた総転送バイト数分の転送が、正常終了したとき。 (リンク・モード時でライトバックを行う場合は、ライトバック後)	SCHCFG n .DEM
ディスクプリア無効 (ヘッダの LV = 0)	リンク・モードにおいて、SCHCFG n .DRRP = 0、DIM = 0 のときに、リードしたディスクプリアのヘッダが LV=0 のとき。	SCHCFG n .DIM

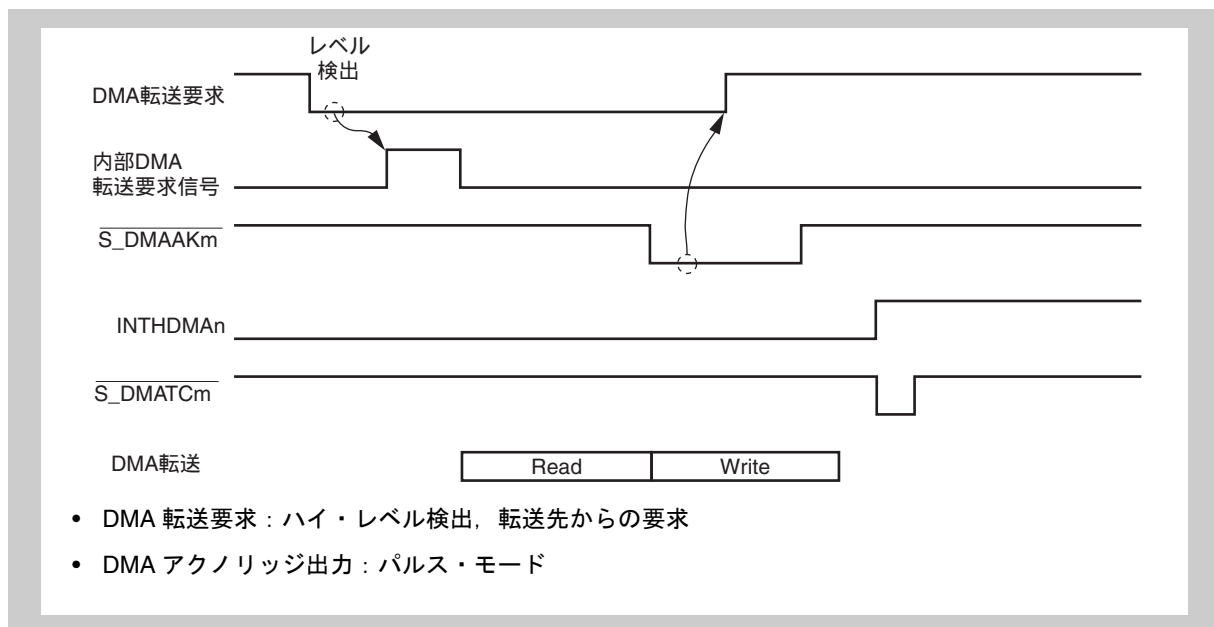


図 29-26 INTHDMA n 出力の動作例

29.5.7 DMA ターミナル・カウント出力機能

DMA トランザクション（一連の DMA 転送）完了信号として、DMA ターミナル・カウント信号が出力されます。

DMA 転送要求に、S_DMARQ0-S_DMARQ3 信号を用いる場合は、DMA ターミナル・カウント信号として、S_DMATC0-S_DMATC3 を使用します。

DMA 転送要求に、外部割り込み、内蔵周辺機能からの割り込み要求を用いる場合は、DMA ターミナル・カウント信号は利用しませんが、SCHCFGn.AM[2:0] ビットで指定した DMA ターミナル・カウント信号が出力されます。

SCRTBn レジスタにロードされた、総転送バイト数分のデータ転送が正常終了すると、SCHSTATn.TC ビットをセット（1）され、1xBUSCLK（SBUSCLK）の期間のロー・レベル信号として、DMA ターミナル・カウント信号（S_DMATCm）を出力されます。

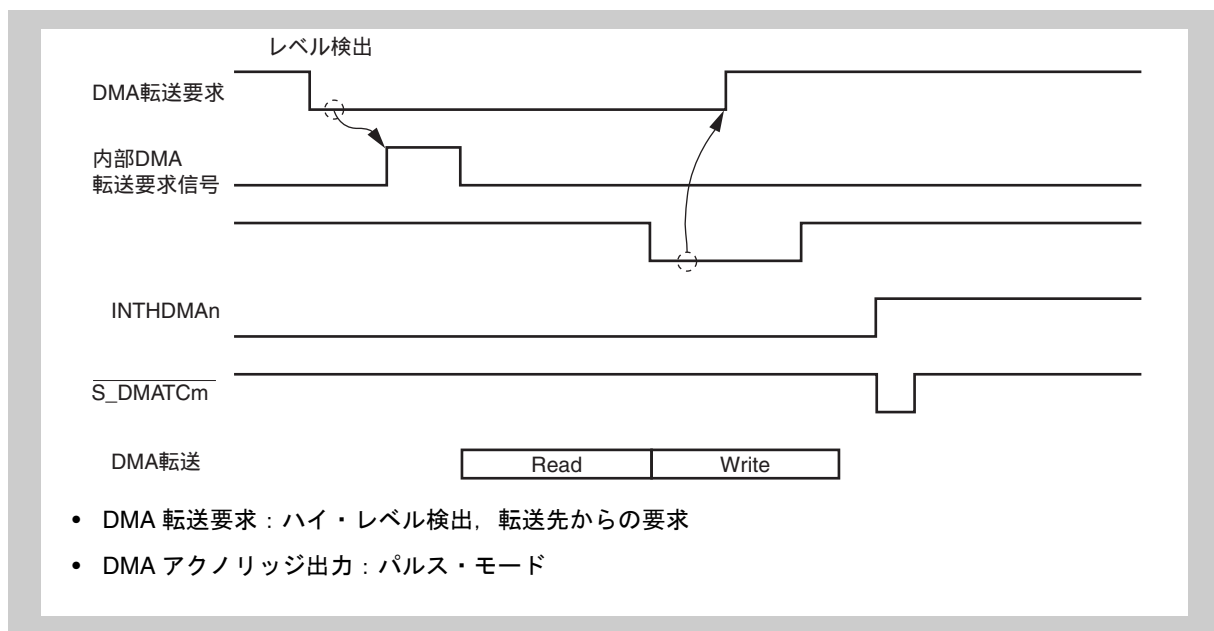


図 29-27 INTHDMA_n 出力の動作例

(1) DMA ターミナル・カウント信号のマスク機能

DMA ターミナル・カウント信号は、SCHCFGn.TCM ビットで、マスク可能です。一般的にはソフトウェア起動（SCHCTRLn.STG ビットのセット（1））では、DMA ターミナル・カウント信号をマスクして使用します。

なお、DMA 転送要求と、各チャンネルの関係は、SCHCFGn.SEL[2:0] ビットで、割り当てを変更できます。この選択に連動して、DMA ターミナル・カウント信号も出力されます。

表 29-47 DMA ターミナル・カウント出力の設定

SCHCFGn.TCMm	動作	用途
0	DMA ターミナル・カウント出力を許可	ハードウェアによる DMA 転送に使用してください。 <ul style="list-style-type: none"> • カウント終了 • リンク・モードの終了 を検出する場合に使用してください。
1	DMA ターミナル・カウント出力をマスク	ソフトウェアによる DMA 転送に使用してください。 なお、DMA トランザクション（一連の DMA 転送）後は、TCM はクリア（0）され、DMA ターミナル・カウント出力は許可状態に変化します。

(2) DMA チャンネルと DMA ターミナル・カウント出力信号の割り当て

DMA チャンネル間の優先制御が均等割り当てとなるラウンドロビン・モードでは、SCHCFGn.SEL[1:0] ビットで、チャンネルと端子名を同一に選択してください。たとえば、チャンネル 2 の DMA インタフェース信号に S_DMARQ2, S_DMAAK2, S_DMATC2 を選択してください。

一方固定優先順位モードでは、DMA 転送要求の優先度の必要に応じて、SCHCFGn.SEL[1:0] ビットで DMA チャンネルと DMA インタフェース信号の関係を変更してください。

29.5.8 強制掃き出し機能

SCHCTRLn.SETSSWPRQ ビットをセット（1）すると、DMAC は、バッファ内のデータを転送先に強制的に掃き出し（ライト）します。その後 DMA トランスファを継続します。

SCHCFGn.REQD ビットをセット（1）し、S_DMAAKm をライト時にアクティブとなる設定の場合は、強制掃き出し機能は利用できません。転送先が DMA 転送要求（S_DMARQm）をアクティブでない状態でデータ転送が行われることで、転送先で誤動作が発生する可能性があるためです。

SCHCFGn.SBE ビットのセット（1）でも掃き出しは行われますが、この場合は掃き出し後に SCHSTATn.EN ビットをクリア（0）して DMA の動作を停止します。SETSSWPRQm ビットによる強制掃き出しは、掃き出し後も DMA トランスファを継続します。

29.5.9 DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、エラーが発生すると DMA 転送を中止します。

エラーが発生すると SCHSTATn.EN ビットがクリア (0) され、ER ビットがセット (1) されます。また INTDMAERR が発生します。

エラーとなった一連の転送はそのデータを保証できません。DMA 転送を再起動する場合は、SCHCTRLn.SWRST ビットをセット (1) して、DMA チャンネル n をリセットし、各レジスタを再設定してください。

29.5.10 インターバル・カウント機能

SCHITVLn.ITVL[15:0] ビットの設定によって、DMA 転送の実行間隔を調整できます。システム・バス・クロック (HCLK) 周期 \times ITVL[15:0] 設定値の間隔を設定できます。これにより、DMAC のバス占有率を調整できます。一回のリードまたはライトが完了すると、SCHITVLn レジスタに設定された値からカウント・ダウンを始め、カウント値が 0 になるまで、次の内部 DMA 転送要求が保留されます。

29.5.11 転送サイズによる動作の相違

(1) 転送元の転送サイズが転送先より小さい場合

SCHCFGn.DDS[3:0] ビットに設定したデータ・サイズデータのリードが完了すると、転送先にライトします。ライト回数は、転送先サイズ / 転送元サイズです。

転送元が 16 ビット、転送先が 64 ビットの場合のタイミング図を以下の波形に示します。

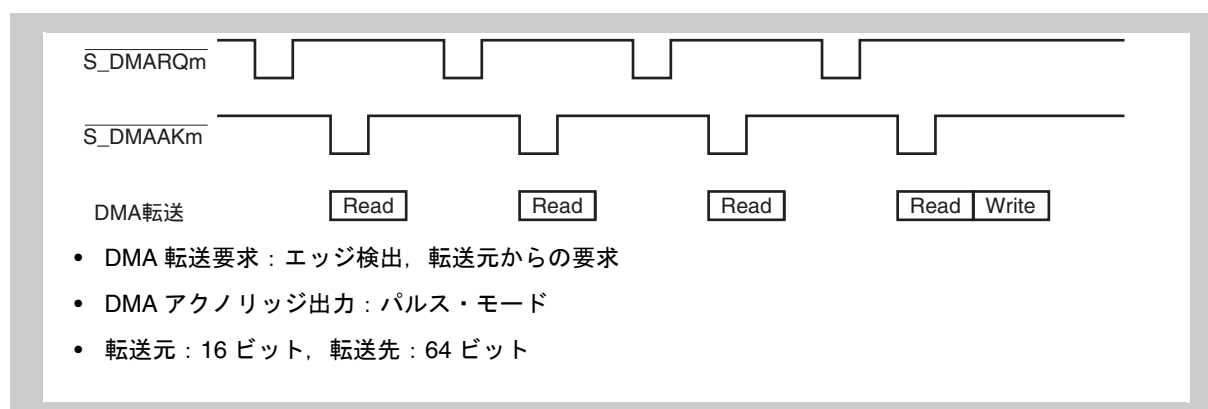


図 29-28 転送元の転送サイズが転送先より小さい場合

(2) 転送先の転送サイズが転送元より小さい場合

転送先のサイズが小さいため、転送元／転送先の回数のライトが発生します。
転送元が 64 ビット、転送先が 16 ビットの場合のタイミング図を以下の波形に示します。

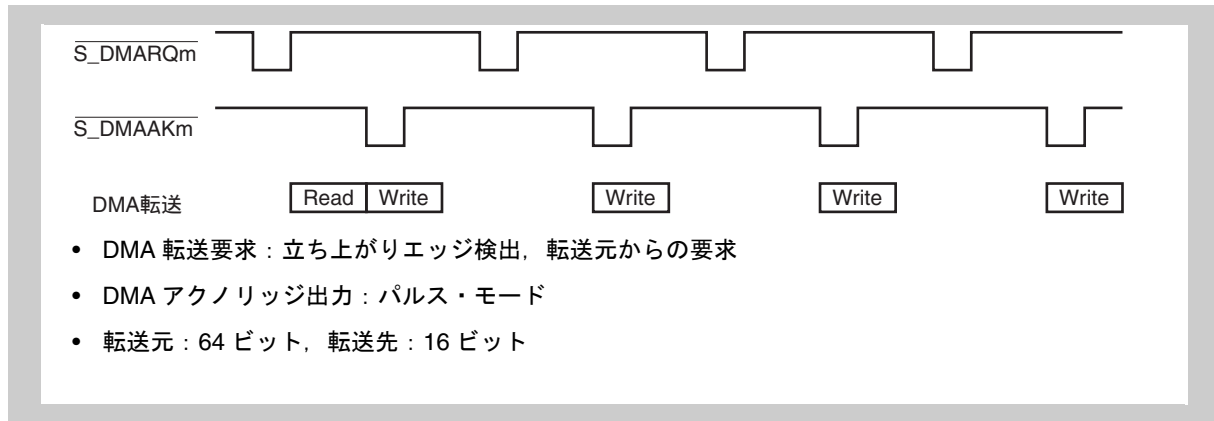


図 29-29 転送元の転送サイズと転送先の転送サイズが等しい場合

(3) 転送先の転送サイズと転送元の転送サイズが等しい場合

DMA 転送要求を検出すると同時に転送元からのリードと転送先へのライトを行います。

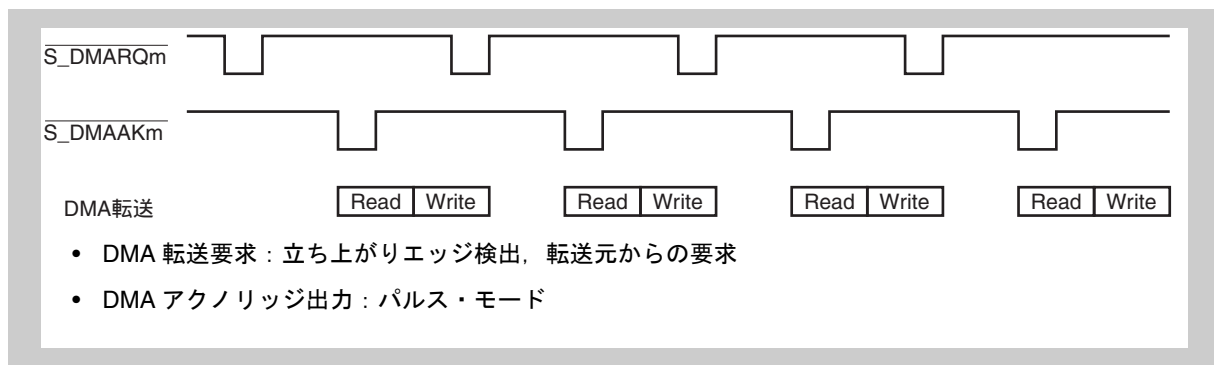


図 29-30 転送元の転送サイズと転送先の転送サイズが等しい場合

29.5.12 転送状態

SCHSTATn レジスタで、DMA チャンネル n の転送実行状態を確認できます。

SCHSTATn.TACT ビットは、チャンネル n が動作中であることを示します。SCHCTRLn.SETEN ビットのセット (1) で TACT ビットがセット (1) されます。TACT ビットはリンク・モードでのディスクプリタのアクセス中や、DMA 転送要求待ちの状態もセット (1) された状態です。

TACT ビットは、SCHSTAT.EN ビットのクリア条件が成立し、DMA 転送が終了した時点でクリア (0) されます。DMA トランザクションが終了しても、SCHSTAT.EN ビットのクリア条件が成立しない場合 (たとえば、リンク・モードで次のディスクプリタ・アクセスを行う場合) は、TACT ビットはクリア (0) されません。

転送状態は、DMA 転送 (トランスファ) 単位で更新されます。

29.5.13 一時停止機能

SCHCTRLn.SETSUS ビットをセット (1) すると、DMA 転送を一時停止 (サスペンド状態) できます。このとき、すでに実行されているバス・サイクルがあれば、そのバス・サイクルが完了してから一時停止状態になります。SCHCTRLn.CLRSUS ビットをセット (1) することで一時停止状態が解除されます。

一時停止状態を確認する場合は、SETSUS をセット (1) したあと、SCHSTATn レジスタまたは SDSTAT_SUS レジスタをリードして該当チャンネルの SUS ビットがセット (1) されていることを確認してください。

29.5.14 転送中断機能

DMA トランザクション（一連の DMA 転送）中に、SCHCTRLn.CLREN ビットをセット（1）すると、その DMA チャンネルの DMA トランザクション（一連の DMA 転送）を中断できます。

中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモード（SCHCFGn.SBE ビットをセット（1））と、掃き出しを行わないモード（SBE ビットをクリア（0））を選択できます。

掃き出しモードが有効で、CLREN = 1 で DMA トランザクション（一連の DMA 転送）が中断されたときに、DMAC のバッファにデータが残っていた場合、そのデータを掃き出して DMA トランザクションを完了します。

DMA 転送を中断した場合は、INTHDMA_n は発生しません。

中断後は、必ず SCHCTRLn.SWRST ビットをセット（1）し DMA チャンネルの内部状態をリセットしてから、次の転送設定を行ってください。

注意 SCHCTRLn.CLREN ビットをセット（1）して、EN ビットをクリア（0）しても、DMA 転送が実行中の場合があります。DMA チャンネルの停止を確認する場合は、SCHSTATn.EN = 0、TACT = 0 を確認してください。

(1) バッファ掃き出し無効（SBE = 0）の場合

DMA トランザクション（一連の DMA 転送）中に、CLREN をセット（1）すると、DMA 転送を中断して停止します。

SCHCFGn.REQD ビットの設定により、転送元からの DMA 転送要求の場合はリード・サイクル後、転送先からの DMA 転送要求の場合はライト・サイクル後に中断します。

(2) バッファ掃き出し有効（SBE = 1）の場合

DMA トランザクション（一連の DMA 転送）中に、CLREN をセット（1）すると、DMA 転送を中断して停止します。REQD_m = 0 の場合、すでにリードしたデータを掃き出し（ライト）して DMA 転送を停止します。REQD = 1 でハードウェアからの DMA 転送要求を使用している場合は、掃き出しモードを使用しないでください。

第30章 USBファンクション・コントローラ (USBF)

この製品は、Universal Serial Bus Specification に準拠した USB ファンクション・コントローラ (USBF) を内蔵しています。トークン・ベースのプロトコルにより、外部ホスト・デバイスとの間でポーリング方式のデータ通信を行います。

注意 USB ファンクション・コントローラのレジスタを読み出す場合は、以下の手順で行ってください。

- USBCLK 端子に外部クロックを接続する場合
 - ① EPC マクロ制御レジスタ (USFA0EPCCTL) の EPC_RST ビットを“0”に設定して、リセットを解除する。
 - ② USB ファンクション・コントローラの必要なレジスタをリードする。
- USBCLK 端子に外部クロックを接続しない場合
 - [1]SFRCTL3 レジスタが外部クロック設定である場合 (SFRCTL3 の USBDIV1,0 ビットが 00b の場合)
 - ① SFRCTL3 レジスタの USBDIV1,0 ビットを 11b に設定し、内部クロック fxx/4 に設定する。
 - ② EPC マクロ制御レジスタ (USFA0EPCCTL) の EPC_RST ビットを“0”に設定して、リセットを解除する。
 - ③ USB ファンクション・コントローラの必要なレジスタをリードする。
 - [2]SFRCTL3 レジスタが内部クロック設定である場合 (SFRCTL3 の bit1-0 が 10b か 11b の場合)
 - ① EPC マクロ制御レジスタ (USFA0EPCCTL) の EPC_RST を“0”に設定して、リセットを解除する。
 - ② USB ファンクション・コントローラの必要なレジスタをリードする。

30.1 V850E2/MN4 USBF の特徴

レジスタ・アドレス USBF のレジスタ・アドレスは、ベース・アドレス <USBF_base> からのオフセットで表されます。
各 USBF のベース・アドレス <USBF_base> を以下の表に示します。

表 30-1 レジスタ・ベース・アドレス <USBF_base>

USBF の機能	<USBF_base> アドレス
EPC 制御レジスタ	F993 1000 _H
EPC データ保持レジスタ	F993 1000 _H
EPC リクエスト・データ・レジスタ	F993 1000 _H
ブリッジ・レジスタ	F993 1000 _H

クロック供給 USBF は次のクロック入力を選択可能です。

表 30-2 USBF のクロック供給

USBF クロック (f_{USB})	
内部	外部 9.6 MHz × 内部 20 通倍 ÷ 4 分周 = 内部 48 MHz
	外部 7.2 MHz × 内部 20 通倍 ÷ 3 分周 = 内部 48 MHz
外部	UCLK 端子より外部クロック入力 ($f_{\text{USB}} = 48 \text{ MHz}$)

割り込み USBF は以下の割り込み要求を生成することができます。

表 30-3 USBF の割り込み要求

USBF の信号	機能	接続先
INTUSFA0I0	ブリッジ割り込み	割り込みコントローラ 187 (INTUSFA0I0)
INTUSFA0I1	EPC 割り込み	割り込みコントローラ 188 (INTUSFA0I1)
INTUSFA0I2	USB Resume 検出	割り込みコントローラ 189 (INTUSFA0I2)

I/O 信号 USBF の I/O 信号を以下の表に示します。

表 30-4 USBF の I/O 信号

USBF の信号	機能	接続先
UDMF	USBF データ入出力 (-)	UDMF 端子
UDPF	USBF データ入出力 (+)	UDPF 端子

30.1.1 V850E2/MN4 USBF 制御レジスタ

USB ファンクション・コントローラを使用する前に、次のレジスタの設定を行ってください。

(1) USBF バッファ・コントロール・レジスタ (USFBC)

USB ファンクション・コントローラの入力バッファの許可/禁止、フローティング制御を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス F9901004_H

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFBC	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	UBFIEN	UBFIOR
	R	R	R	R	R	R	R/W	R/W

表 30-5 USFBC レジスタの内容

ビット位置	ビット名	意味
1	UBFIEN	USB バッファの使用を制御します。 0 : バッファ無効 1 : バッファ有効 注意 USBF を使用しない場合は、UBFIEN ビットはクリア (0) してください。
0	UBFIOR	USB バッファのフローティング対策の使用を制御します。 0 : フローティング対策無効 1 : フローティング対策有効 ケーブル未接続時 (データ入力がフローティング時) に、不定値による Bus Reset, Suspend, Resume などの誤認識を防止します。UBFIOR ビットをセット (1) した場合は、フローティングに対する処置は VBUS 信号等 (ケーブル接続の認識) で制御してください。

30.2 概要

- Universal Serial Bus Specification に準拠
- 12 Mbps (フルスピード) 転送に対応
- 転送用のエンドポイントを内蔵

エンドポイント名	FIFO サイズ (バイト)	転送タイプ	備考
Endpoint0 Read	64	コントロール転送	—
Endpoint0 Write	64	コントロール転送	—
Endpoint1	64×2	バルク 1 転送 (IN)	2 バッファ構成
Endpoint2	64×2	バルク 1 転送 (OUT)	2 バッファ構成
Endpoint3	64×2	バルク 2 転送 (IN)	2 バッファ構成
Endpoint4	64×2	バルク 2 転送 (OUT)	2 バッファ構成
Endpoint7	64	インタラプト転送	—
Endpoint8	64	インタラプト転送	—

- バルク転送 (IN/OUT) は DMA 転送 (2 サイクル・シングル転送モード) 可能

注意 USB ファンクション・コントローラ・レジスタ一覧 (30.7.1 参照) に記載されているレジスタ群は、USB クロックを内部クロックもしくは外部クロックに設定し、USB ファンクション・コントローラにクロック供給された状態でアクセスしてください。

30.3 構成

30.3.1 ブロック図

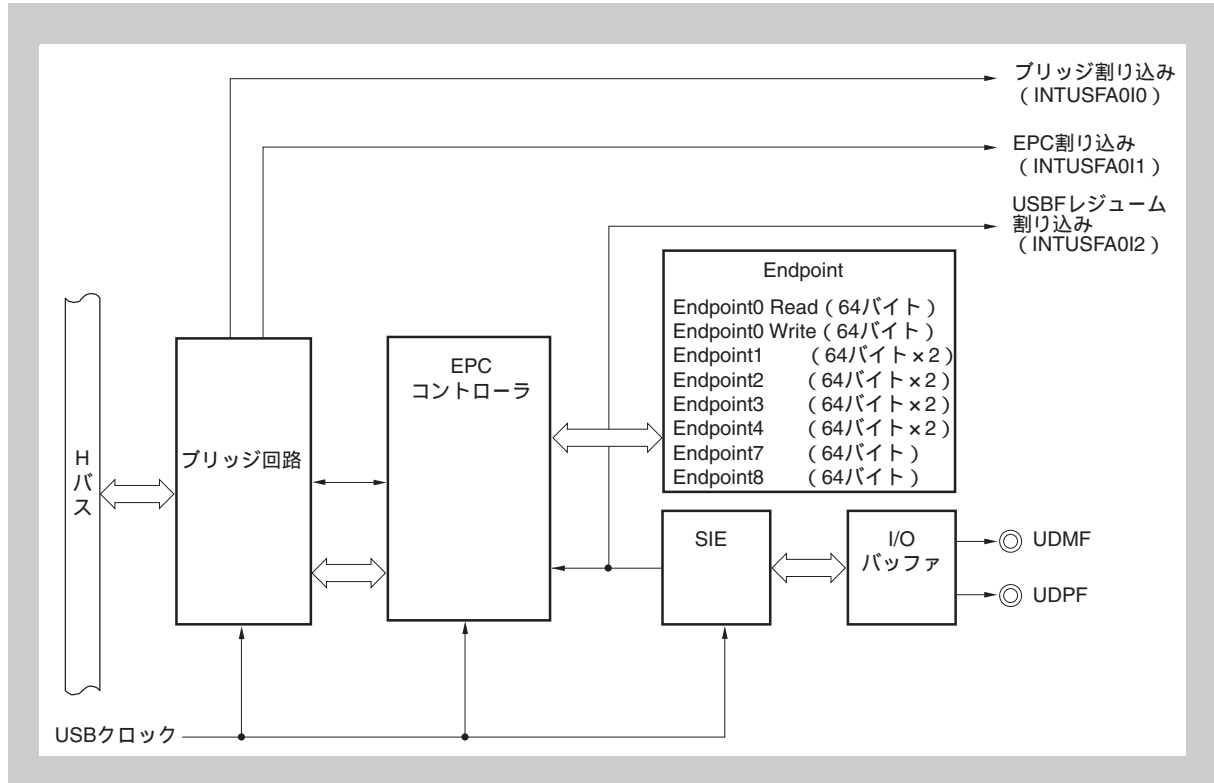


図 30-1 USB ファンクション・コントローラのブロック図

30.4 外部回路構成

30.4.1 概要

USB 伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB 信号 (D + / D -) にプルアップ、プルダウン抵抗を接続する必要があります。またこの製品では、直列抵抗を接続する必要もあります。

この製品はこれらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、この製品の外部で接続してください。

下記は USB 伝送路の構成概略図です。詳しい外付け構成については、各項にて説明します。

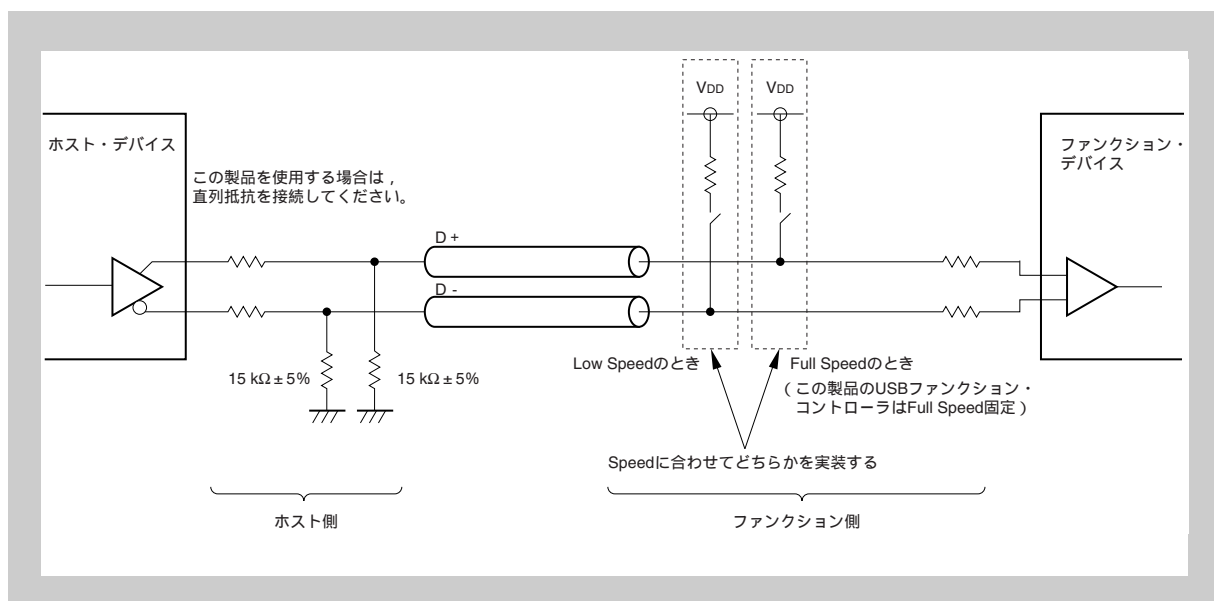


図 30-2 USB 伝送路のプルアップ、プルダウン、直列抵抗の概略構成

30.4.2 接続構成

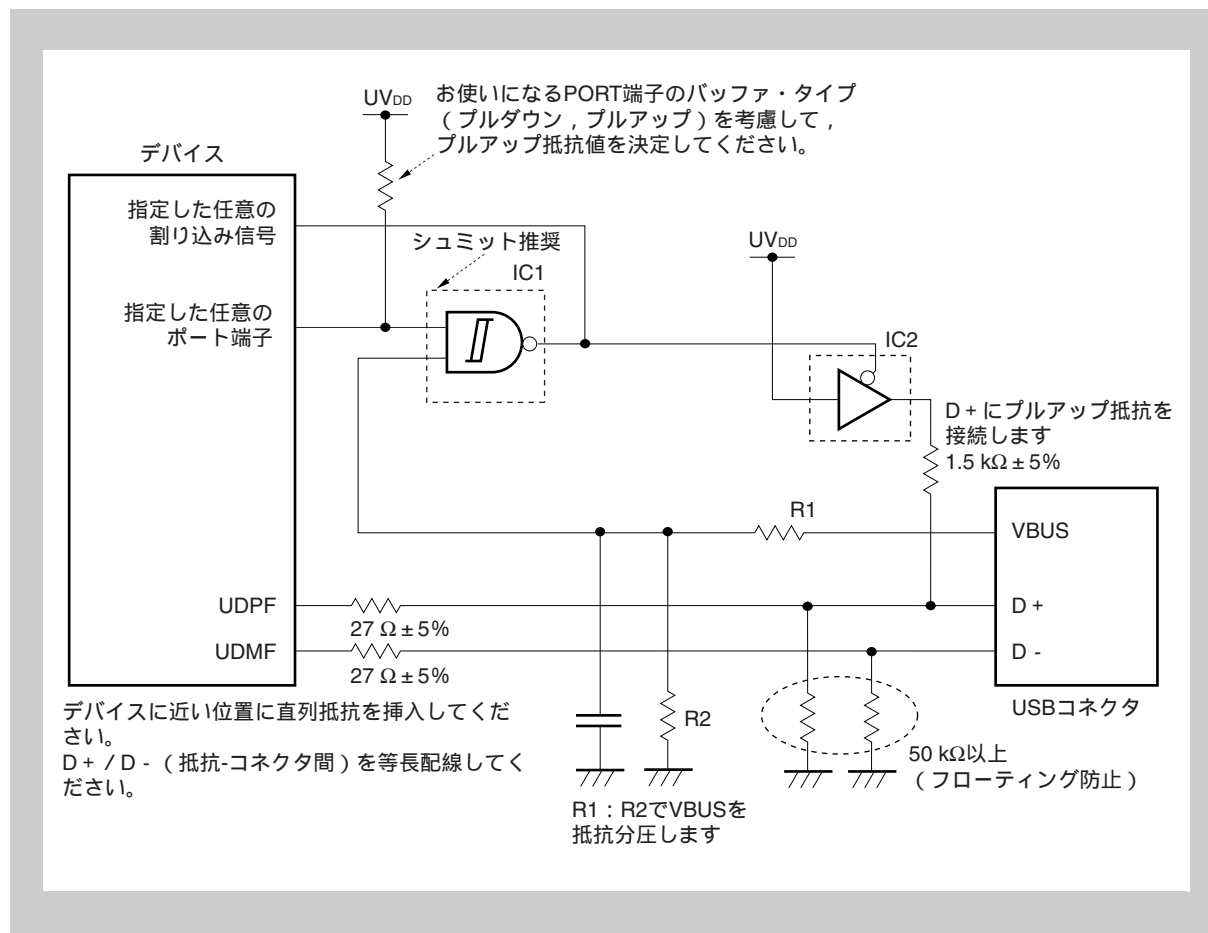


図 30-3 USB ファンクション・コントローラ接続例

(1) D+ / D-への直列抵抗の接続

この製品のUSBファンクション・コントローラのD+ / D-端子 (UDFP, UDMF) には、 $27\Omega \pm 5\%$ の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく、出力波形が乱れる原因となります。

直列抵抗は、なるべくこの製品に近い位置に配置し、直列抵抗からUSBコネクタまでは、D+ / D-のインピーダンスが等しくなるよう、なるべく等長配線してください (差動で $90\Omega \pm 5\%$ を推奨します)。

(2) D+のプルアップ制御

この製品のファンクション・コントローラはフルスピード (FS) ですので、D+端子 (UDFP) は $1.5\text{k}\Omega \pm 5\%$ でUVDDにプルアップしてください。

USBホスト / HUBへの接続通知 (D+プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中など)、システムではD+のプルアップを汎用ポートにより制御してください。図30-3の回路例のようにD+のプルアップ制御信号およびVBUS入力信号は、汎用ポートとUSBケーブルVBUSを使用して (AND回路)、制御してください。図30-3では、汎用ポートがロウ・レベルの場合、D+プルアップ禁止となります。また、図30-3のIC2には、システム電源オフ時に電圧印加が可能なICを使用してください。

(3) USB ケーブル接続／切断の検出

USB ファンクション・コントローラ (USBF) は、ハードウェアで USBF の状態などを管理しているため、接続／切断を認識する VBUS 入力信号が必要となります。VBUS 入力信号は、USBF が電源オフの場合に、USB ホスト／HUB に USB ケーブル VBUS が接続されると、USB ホスト／HUB から電圧 (5 V) が印加されます。そのため、図 30-3 の IC1 には、システム電源オフ時に電圧印加が可能な IC を使用してください。また、図 30-3 の回路において、切断する際、VBUS の電圧降下中に指定した任意の割り込みへの入力信号が不安定になる場合があります。このため、図 30-3 の IC1 にはシュミット・バッファを使用することを推奨します。

(4) 初期化時または未使用時のフローティング防止

初期化時または未使用時には、フローティング状態を避けるため、D + / D - 端子 (UFDP, UFDM) は 50 k Ω 以上でプルダウンしてください。

30.5 注意事項

★

(1) クロック精度

内部クロック使用時には、以下の精度を満たす発振子を使用してください。

192MHz 動作時 : 9.6MHz±500ppm

144MHz 動作時 : 7.2MHz±100ppm

また外部クロック使用時には、UCLK 端子に 48 MHz±500 ppm 以下の精度のクロックを供給してください。USB クロックの精度が低下すると、送信データが USB 規格を満足できなくなります。

(2) USB クロック停止

USB ファンクション・コントローラを停止させる場合。USB ファンクション・コントローラを停止させてから、クロック供給を停止 (SFRCTL3.USBCKE2 = 0) してください。

USB ファンクション・コントローラを停止させずに USB クロック (f_{USB}) を停止させた場合、クロック供給を復帰した際にクロックのヒゲがでることにより誤動作をする可能性があります。

30.6 リクエスト

USBには、ホスト・デバイスからの要求をファンクション・デバイスに伝え、応答処理させるための、リクエストと呼ばれるコマンドがあります。

リクエストは、コントロール転送のSETUPステージにて受信され、一部のリクエストを除いて、USBファンクション・コントローラ (USBF) のハードウェアにて自動処理することができます。

30.6.1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表 30-6 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表 30-7 リクエスト・デコード対応表

オフセット リクエスト	デコード値								応答			データ・ ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81 _H	0A _H	00 _H	00 _H	00 _H	0n _H	00 _H	01 _H	STALL	STALL	ACK NAK	○
GET_CONFIGURATION	80 _H	08 _H	00 _H	00 _H	00 _H	00 _H	00 _H	01 _H	ACK NAK	ACK NAK	ACK NAK	○
GET_DESCRIPTOR Device	80 _H	06 _H	01 _H	00 _H	00 _H	00 _H	XX _H	XX _H ^a	ACK NAK	ACK NAK	ACK NAK	○
GET_DESCRIPTOR Configuration	80 _H	06 _H	02 _H	00 _H	00 _H	00 _H	XX _H	XX _H ^a	ACK NAK	ACK NAK	ACK NAK	○
GET_STATUS Device	80 _H	00 _H	00 _H	00 _H	00 _H	00 _H	00 _H	02 _H	ACK NAK	ACK NAK	ACK NAK	○
GET_STATUS Endpoint 0	82 _H	00 _H	00 _H	00 _H	00 _H	00 _H	80 _H	02 _H	ACK NAK	ACK NAK	ACK NAK	○
GET_STATUS Endpoint X	82 _H	00 _H	00 _H	00 _H	00 _H	\$\$ _H	00 _H	02 _H	STALL	STALL	ACK NAK	○
CLEAR_FEATURE Device ^b	00 _H	01 _H	00 _H	01 _H	00 _H	00 _H	00 _H	00 _H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0 ^b	02 _H	01 _H	00 _H	00 _H	00 _H	00 _H	80 _H	00 _H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X ^b	02 _H	01 _H	00 _H	00 _H	00 _H	\$\$ _H	00 _H	00 _H	STALL	STALL	ACK NAK	×
SET_FEATURE Device ^c	00 _H	03 _H	00 _H	01 _H	00 _H	00 _H	00 _H	00 _H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0 ^c	02 _H	03 _H	00 _H	00 _H	00 _H	00 _H	80 _H	00 _H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X ^c	02 _H	03 _H	00 _H	00 _H	00 _H	\$\$ _H	00 _H	00 _H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01 _H	0B _H	00 _H	0# _H	00 _H	0? _H	00 _H	00 _H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION ^d	00 _H	09 _H	00 _H	00 _H 01 _H	00 _H	00 _H	00 _H	00 _H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00 _H	05 _H	XX _H	XX _H	00 _H	00 _H	00 _H	00 _H	ACK NAK	ACK NAK	ACK NAK	×

- a) wLength 値が準備している値未満の場合、wLength 値までを返信し、wLength 値が準備している値以上の場合、準備している値までを返信します。
- b) CLEAR_FEATURE リクエストは、ステータス・ステージで ACK を受信した場合にデバイス・ステータス・レジスタ (USFA0DST)、EPn ステータス・レジスタ (USFA0EnS) (n = 0-4, 7) をクリアします。
- c) SET_FEATURE リクエストは、ステータス・ステージで ACK を受信した場合にデバイス・ステータス・レジスタ (USFA0DST)、EPn ステータス・レジスタ (USFA0EnS) (n = 0-4, 7) をセットします。また、USFA0E0S レジスタの E0HALT ビットを設定した場合は、CLEAR_FEATURE Endpoint0 リクエストを受信するまで、GET_STATUS Endpoint0 リクエスト、SET_FEATURE Endpoint0 リクエスト、CPUDEC 割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージで STALL 応答します。なお、サポートしていないリクエストについての STALL 応答では、USFA0E0S レジスタの E0HALT ビットはセット (1) されず、次の SETUP トークンを受信した時点で STALL 応答はクリアされます。
- d) wValue 値が規定外の場合、自動 STALL 応答します。

備考 ○ : データ・ステージあり
 × : データ・ステージなし

-
- 注意
- 次に示す条件では、Universal Serial Bus Specification で規定されているコントロール転送のシーケンスを満しません。この場合の動作は保証できません。
 - SETUP ステージなしにいきなり IN/OUT トークンを受信する場合
 - SETUP ステージのデータ・フェーズで DATA PID1 を送ってくる場合
 - アドレス 128 以上のトークンを受信する場合
 - SETUP ステージで送信されるリクエスト・データが 8 バイト未満の場合
 - ステータス・ステージにおいて、ホストが Null パケット以外のデータを送信してきた場合でも、ACK 応答します。
 - FW 処理のコントロール転送（リード）では、wLength 値が 00_H であった場合、コントロール転送（データなし）として Null パケットを自動送じます。FW リクエストの場合は、Null パケットを自動送じしません。
-

- 備考
- Df : Default ステート, Ad : Addressed ステート, Cf : Configured ステート
 - : データ・ステージあり, × : データ・ステージなし
 - n = 0-4
 Interface 番号 1-4 のリクエストに対して正常応答するか、または STALL 応答するかは、アクティブ・インタフェース・ナンバー・レジスタ (USFA0AIFN) の設定により、対象の Interface 番号が有効かどうかで決定します。
 - \$\$: 転送方向を含んだ有効な Endpoint 番号
 有効な Endpoint は現在設定されている Alternate Setting 番号により決定します (20.6.3 (36) 「アクティブ・オルタナティブ・セッティング・レジスタ (USFA0AAS)」, (38) 「エンドポイント1インタフェース・マッピング・レジスタ (USFA0E1IM)」-(42) 「エンドポイント7インタフェース・マッピング・レジスタ (USFA0E7IM)」参照)。
 - ? と # : ホストから送信される値 (Interface 番号 0-4 の情報)
 各 Interface 番号に対応した Alternate Setting のリクエストに対して正常応答するか、STALL 応答するかは、アクティブ・インタフェース・ナンバー・レジスタ (USFA0AIFN) とアクティブ・オルタナティブ・セッティング・レジスタ (USFA0AAS) により、対象の Interface 番号と対象の Alternate Setting が有効かどうかによって決まります。

(2) 処理内容

次に自動リクエストの Default ステート, Addressed ステート, Configured ステートでの処理内容を示します。

備考 Default ステート : Default address で動作する状態

Addressed ステート : アドレスが割り当てられたあとの状態

Configured ステート : SET_CONFIGURATION wValue = 1 を正常受信したあとの状態

(a) CLEAR_FEATURE() リクエスト

CLEAR_FEATURE() リクエストが, クリアできない, 存在しない FEATURE である, 対象が Interface か, または存在しない Endpoint の場合には, ステータス・ステージで STALL 応答します。また, wLength 値が 0 以外の場合も STALL 応答します。

- Default ステート :
CLEAR_FEATURE() リクエストを受信したとき, 対象がデバイスか, または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- Addressed ステート :
CLEAR_FEATURE() リクエストを受信したとき, 対象がデバイスか, または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- Configured ステート :
CLEAR_FEATURE() リクエストを受信したとき, 対象がデバイスか, または存在する Endpoint に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。

CLEAR_FEATURE() リクエストを正常処理した場合には, CLR リクエスト・レジスタ (USFA0CLR) の対象ビットがセット (1) され, EPn ステータス・レジスタ (USFA0EnS) の EnHALT ビットがクリア (0) され, 割り込みが発行されます (n = 0-4, 7, 8)。なお, 対象が Endpoint のとき, CLEAR_FEATURE() リクエストを受信した場合には, 対象 Endpoint のトグル・ビット (DATA0/DATA1 の切り替え制御) は必ず DATA0 に再設定されません。

(b) GET_CONFIGURATION() リクエスト

wValue, wIndex, wLength のいずれかが表 30-7 「リクエスト・デコード対応表」に記載以外のもの場合は、データ・ステージで STALL 応答します。

- Default ステート :
GET_CONFIGURATION() リクエストを受信したとき、コンフィギュレーション・レジスタ (USFA0CNF) に格納されている値を返信します。
- Addressed ステート :
GET_CONFIGURATION() リクエストを受信したとき、USFA0CNF レジスタに格納されている値を返信します。
- Configured ステート :
GET_CONFIGURATION() リクエストを受信したとき、USFA0CNF レジスタに格納されている値を返信します。

(c) GET_DESCRIPTOR() リクエスト

対象ディスクリプタが wMaxPacketSize の倍数の長さを持つ場合には、データ・ステージの終わりを示すために Null パケットを送り返します。そのとき、対象ディスクリプタの長さが wLength 値未満の場合、対象ディスクリプタをすべて返信し、対象ディスクリプタの長さが wLength 値以上の場合、wLength 値まで返信します。

- Default ステート :
GET_DESCRIPTOR() リクエストを受信したとき、デバイス・ディスクリプタ・レジスタ n (USFA0DDn)、コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ m (USFA0CIEm) に格納されている値を返信します (n = 0-17, m = 0-255)。
- Addressed ステート :
GET_DESCRIPTOR() リクエストを受信したとき、USFA0DDn レジスタ、USFA0CIEm レジスタに格納されている値を返信します。
- Configured ステート :
GET_DESCRIPTOR() リクエストを受信したとき、USFA0DDn レジスタ、USFA0CIEm レジスタに格納されている値を返信します。

USFA0CIEm レジスタに格納できるディスクリプタは、総数 256 バイトまでです。256 バイト以上のディスクリプタを返信する場合には、USFA0MODC レジスタの CDCGDST ビットをセット (1) して、FW により GET_DESCRIPTOR() リクエストを処理してください。

USFA0CIEm レジスタで設定した全ディスクリプタのバイト数 - 1 の値をディスクリプタ・レングス・レジスタ (USFA0DSCL) に格納してください。このデータ + 1 の値と wLength により転送データを制御します。

(d) GET_INTERFACE() リクエスト

wValue, wLength のいずれかが表 30-7 「リクエスト・デコード対応表」に記載以外のもの場合、または wIndex がアクティブ・インタフェース・ナンバー・レジスタ (USFA0AIFN) の設定以外の場合、データ・ステージで STALL 応答します。

- Default ステート :
GET_INTERFACE() リクエストを受信したとき、データ・ステージで STALL 応答します。
- Addressed ステート :
GET_INTERFACE() リクエストを受信したとき、データ・ステージで STALL 応答します。
- Configured ステート :
GET_INTERFACE() リクエストを受信したとき、wIndex 値に対応したインタフェース n レジスタ (USFA0IFn) に格納されている値を返信します (n = 0-4)。

(e) GET_STATUS() リクエスト

wValue, wIndex, wLength のいずれかが表 30-7 「リクエスト・デコード対応表」に記載以外のもの場合、データ・ステージで STALL 応答します。また、対象が Interface か、または存在しない Endpoint の場合は、データ・ステージで STALL 応答します。

- Default ステート :
GET_STATUS() リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ対象ステータス・レジスタ^aに格納されている値を返信します。それ以外の場合は、データ・ステージで STALL 応答します。
- Addressed ステート :
GET_STATUS() リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ対象ステータス・レジスタ^aに格納されている値を返信します。それ以外の場合は、データ・ステージで STALL 応答します。
- Configured ステート :
GET_STATUS() リクエストを受信したとき、対象がデバイスか、または存在する Endpoint に対するリクエストの場合のみ対象ステータス・レジスタ^aに格納されている値を返信します。それ以外の場合は、データ・ステージで STALL 応答します。

a) 対象ステータス・レジスタを次に示します。

- 対象がデバイスの場合 : デバイス・ステータス・レジスタ (USFA0DST)
- 対象が Endpoint0 の場合 : EP0 ステータス・レジスタ (USFA0E0S)
- 対象が Endpoint n の場合 : EPn ステータス・レジスタ (USFA0EnS) (n = 1-4, 7, 8)

(f) SET_ADDRESS() リクエスト

wIndex, wLength のいずれかが表 30-7 「リクエスト・デコード対応表」に記載以外のもの場合は、ステータス・ステージで STALL 応答します。指定されたデバイス・アドレスが 127 より大きい場合は、STALL 応答になります。

- Default ステート :
SET_ADDRESS () リクエストを受信したとき、指定されたアドレスが 0 以外の場合には、デバイスは Addressed ステートに入り、SIE へ入力する USB Address 値を指定のアドレス値に変更します。指定されたアドレスが 0 の場合には、Default ステートのままです。
- Addressed ステート :
SET_ADDRESS () リクエストを受信したとき、指定されたアドレスが 0 の場合には、デバイスは Default ステートに入り、SIE へ入力する USB Address 値をデフォルト・アドレスに戻します。指定されたアドレスが 0 以外の場合には、Addressed ステートのままで、SIE へ入力する USB Address 値を指定の新しいアドレス値に変更します。
- Configured ステート :
SET_ADDRESS () リクエストを受信したとき、指定されたアドレスが 0 の場合には、デバイスは Configured ステートのままで、SIE へ入力する USB Address 値をデフォルト・アドレスに戻します。この場合、Endpoint0 以外の Endpoint も有効のままで、コントロール転送 (IN)、コントロール転送 (OUT)、Endpoint0 以外の Endpoint に対するバルク転送およびインタラプト転送にも応答します。指定されたアドレスが 0 以外の場合には、Configured ステートのままで、SIE へ入力する USB Address 値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION() リクエスト

wValue, wIndex, wLength のいずれかが表 30-7 「リクエスト・デコード対応表」に記載以外のもの場合は、ステータス・ステージで STALL 応答しません。

- Default ステート :
SET_CONFIGURATION() リクエストを受信したとき、指定されたコンフィギュレーション値が 1 の場合には、モード・ステータス・レジスタ (USFA0MODS) の CONF ビットとコンフィギュレーション・レジスタ (USFA0CNF) がセット (1) されます。指定されたコンフィギュレーション値が 0 の場合には、USFA0MODS レジスタの CONF ビットと USFA0CNF レジスタがクリア (0) されます。つまり、Addressed ステートをスキップして、Default address に応答する Configured ステートに移行します。
- Addressed ステート :
SET_CONFIGURATION() リクエストを受信したとき、指定されたコンフィギュレーション値が 1 の場合には、USFA0MODS レジスタの CONF ビットと USFA0CNF レジスタがセット (1) され、Configured ステートに入り、指定されたコンフィギュレーション値が 0 の場合には、Addressed ステートのままです。
- Configured ステート :
SET_CONFIGURATION() リクエストを受信したとき、指定されたコンフィギュレーション値が 0 の場合には、USFA0MODS レジスタの CONF ビットと USFA0CNF レジスタがクリア (0) され、Addressed ステートに戻り、指定されたコンフィギュレーション値が 1 の場合には、Configured ステートのままです。

SET_CONFIGURATION() リクエストを正常処理した場合には、SET リクエスト・レジスタ (USFA0SET) の対象ビットがセット (1) され、割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも、すべての Halt Feature は SET_CONFIGURATION() リクエストを完了したあとにクリアされます。また、SET_CONFIGURATION() リクエストを正常処理した場合には、必ずすべての Endpoint のデータ・トグルは DATA0 に再び初期化されます (SET_CONFIGURATION リクエストの受信から SET_INTERFACE リクエストを受信するまではデフォルト状態である Alternative Setting 0 に設定されているものと定義しています)。

(h) SET_FEATURE() リクエスト

SET_FEATURE() リクエストが、セットできない、存在しない Feature である、対象が Interface か、または存在しない Endpoint の場合には、ステータス・ステージで STALL 応答します。また、wLength 値が 0 以外の場合も STALL 応答します。

- Default ステート :
SET_FEATURE() リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- Addressed ステート :
SET_FEATURE() リクエストを受信したとき、対象がデバイスか、または Endpoint0 に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。
- Configured ステート :
SET_FEATURE() リクエストを受信したとき、対象がデバイスか、または存在する Endpoint に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージで STALL 応答します。

SET_FEATURE() リクエストを正常処理した場合には、SET リクエスト・レジスタ (USFA0SET) の対象ビットや EPn ステータス・レジスタ (USFA0EnS) の EnHALT ビットがセット (1) され、割り込みが発行されず (n = 0-4, 7, 8)。

(i) SET_INTERFACE() リクエスト

wLength が表 30-7 「リクエスト・デコード対応表」に記載以外のものの場合、wIndex がアクティブ・インタフェース・ナンバー・レジスタ (USFA0AIFN) の設定以外の場合、wValue がアクティブ・オルタナティブ・セッティング・レジスタ (USFA0AAS) 設定以外の場合のいずれかのときに、ステータス・ステージで STALL 応答します。

- Default ステート :
SET_INTERFACE() リクエストを受信したとき、ステータス・ステージで STALL 応答します。
- Addressed ステート :
SET_INTERFACE() リクエストを受信したとき、ステータス・ステージで STALL 応答します。
- Configured ステート :
SET_INTERFACE() リクエストを受信したとき、ステータス・ステージで Null パケットを送信します。

SET_INTERFACE() リクエストを正常処理した場合には、割り込みが発行されます。対象 Interface にリンクされた Endpoint のすべての Halt Feature は、SET_INTERFACE() リクエストを完了したあとにクリアされます。対象 Interface 番号に関連するすべての Endpoint のデータ・トグルは、必ず DATA0 に再び初期化されます。また、SET_INTERFACE() リクエストを正常処理して、現在選択されている Alternative Setting と異なる設定に変更する場合には、影響を受ける Endpoint の FIFO は完全にクリアされ、関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE() リクエスト完了時、対象 Interface にリンクされたすべての Endpoint の FIFO がクリアされます。また、同時に Halt Feature、Data PID が初期化され、関連する INT ステータス n レジスタ (USFA0ISn) がクリア (0) されます (n = 0-4) (SET_CONFIGURATION リクエスト完了時には、Halt Feature のクリアと Data PID の初期化のみです)。

DMA 転送中に SET_INTERFACE() リクエストにより、対象 Endpoint がサポートされなくなった場合は、DMA リクエスト信号はただちにインアクティブ状態になり、SET_INTERFACE() リクエスト完了時にリンクされた Endpoint の FIFO は完全にクリアされます。このため、FIFO のクリアにより、DMA のデータ転送は正常処理されなくなります。

30.6.2 その他のリクエスト

(1) 応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表 30-8 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC 割り込み要求発生
GET_STATUS Interface	自動 STALL 応答
CLEAR_FEATURE Interface	自動 STALL 応答
SET_FEATURE Interface	自動 STALL 応答
all SET_DESCRIPTOR	CPUDEC 割り込み要求発生
その他の全リクエスト	CPUDEC 割り込み要求発生

30.7 レジスタ構成

30.7.1 USBファンクション・コントローラ・レジスタ一覧

(1) EPC制御レジスタ

(1/2)

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
000 _H	EP0NAUSFA0K レジスタ	USFA0E0N	R/W				○	00000000 _H
004 _H	EP0NAKALL レジスタ	USFA0E0NA	R/W				○	00000000 _H
008 _H	EPNAK レジスタ	USFA0EN	R/W				○	00000000 _H
00C _H	EPNAK マスク・レジスタ	USFA0ENM	R/W				○	00000000 _H
010 _H	SNDSIE レジスタ	USFA0SDS	R/W				○	00000000 _H
014 _H	CLR リクエスト・レジスタ	USFA0CLR	R				○	00000000 _H
018 _H	SET リクエスト・レジスタ	USFA0SET	R				○	00000000 _H
01C _H	EP ステータス 0 レジスタ	USFA0EPS0	R				○	00000000 _H
020 _H	EP ステータス 1 レジスタ	USFA0EPS1	R				○	00000000 _H
024 _H	EP ステータス 2 レジスタ	USFA0EPS2	R				○	00000000 _H
040 _H	INT ステータス 0 レジスタ	USFA0IS0	R				○	00000000 _H
044 _H	INT ステータス 1 レジスタ	USFA0IS1	R				○	00000000 _H
048 _H	INT ステータス 2 レジスタ	USFA0IS2	R				○	00000000 _H
04C _H	INT ステータス 3 レジスタ	USFA0IS3	R				○	00000000 _H
050 _H	INT ステータス 4 レジスタ	USFA0IS4	R				○	00000000 _H
05C _H	INT マスク 0 レジスタ	USFA0IM0	R/W				○	00000000 _H
060 _H	INT マスク 1 レジスタ	USFA0IM1	R/W				○	00000000 _H
064 _H	INT マスク 2 レジスタ	USFA0IM2	R/W				○	00000000 _H
068 _H	INT マスク 3 レジスタ	USFA0IM3	R/W				○	00000000 _H
06C _H	INT マスク 4 レジスタ	USFA0IM4	R/W				○	00000000 _H
078 _H	INT クリア 0 レジスタ	USFA0IC0	W				○	FFFFFFFF _H
07C _H	INT クリア 1 レジスタ	USFA0IC1	W				○	FFFFFFFF _H
080 _H	INT クリア 2 レジスタ	USFA0IC2	W				○	FFFFFFFF _H
084 _H	INT クリア 3 レジスタ	USFA0IC3	W				○	FFFFFFFF _H
088 _H	INT クリア 4 レジスタ	USFA0IC4	W				○	FFFFFFFF _H
098 _H	INT & DMARQ レジスタ	USFA0IDR	R/W				○	00000000 _H
09C _H	DMA ステータス 0 レジスタ	USFA0DMS0	R				○	00000000 _H
0A0 _H	DMA ステータス 1 レジスタ	USFA0DMS1	R				○	00000000 _H
0C0 _H	FIFO クリア 0 レジスタ	USFA0FIC0	W				○	00000000 _H
0C4 _H	FIFO クリア 1 レジスタ	USFA0FIC1	W				○	00000000 _H
0D4 _H	データ・エンド・レジスタ	USFA0DEND	R/W				○	00000000 _H
0DC _H	GPR レジスタ	USFA0GPR	W				○	00000000 _H
0E8 _H	モード・コントロール・レジスタ	USFA0MODC	R/W				○	00000000 _H

(2/2)

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
0F0 _H	モード・ステータス・レジスタ	USFA0MODS	R				○	00000000 _H
100 _H	アクティブ・インタフェース・ナンバー・レジスタ	USFA0AIFN	R/W				○	00000000 _H
104 _H	アクティブ・オルタナティブ・セッティング・レジスタ	USFA0AAS	R/W				○	00000000 _H
108 _H	オルタナティブ・セッティング・ステータス・レジスタ	USFA0ASS	R				○	00000000 _H
10C _H	エンドポイント1インタフェース・マッピング・レジスタ	USFA0E1IM	R/W				○	00000000 _H
110 _H	エンドポイント2インタフェース・マッピング・レジスタ	USFA0E2IM	R/W				○	00000000 _H
114 _H	エンドポイント3インタフェース・マッピング・レジスタ	USFA0E3IM	R/W				○	00000000 _H
118 _H	エンドポイント4インタフェース・マッピング・レジスタ	USFA0E4IM	R/W				○	00000000 _H
124 _H	エンドポイント7インタフェース・マッピング・レジスタ	USFA0E7IM	R/W				○	00000000 _H
128 _H	エンドポイント8インタフェース・マッピング・レジスタ	USFA0E8IM	R/W				○	00000000 _H

(2) EPC データ保持レジスタ

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
200 _H	EP0 リード・レジスタ	USFA0E0R	R				○	不定
204 _H	EP0 レングス・レジスタ	USFA0E0L	R				○	00000000 _H
208 _H	EP0 セットアップ・レジスタ	USFA0E0ST	R				○	00000000 _H
20C _H	EP0 ライト・レジスタ	USFA0E0W	W				○	不定
210 _H	バルク・アウト1レジスタ	USFA0BO1	R				○	不定
214 _H	バルク・アウト1レングス・レジスタ	USFA0BO1L	R				○	00000000 _H
218 _H	バルク・アウト2レジスタ	USFA0BO2	R				○	不定
21C _H	バルク・アウト2レングス・レジスタ	USFA0BO2L	R				○	00000000 _H
220 _H	バルク・イン1レジスタ	USFA0BI1	W				○	不定
224 _H	バルク・イン2レジスタ	USFA0BI2	W				○	不定
228 _H	インタラプト1レジスタ	USFA0INT1	W				○	不定
22C _H	インタラプト2レジスタ	USFA0INT2	W				○	不定

(3) EPC リクエスト・データ・レジスタ

(1/12)

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
288 _H	デバイス・ステータス・レジスタ	USFA0DST	R/W				○	000000000 _H
298 _H	EP0 ステータス・レジスタ	USFA0E0S	R/W				○	000000000 _H
2A0 _H	EP1 ステータス・レジスタ	USFA0E1S	R/W				○	000000000 _H
2A8 _H	EP2 ステータス・レジスタ	USFA0E2S	R/W				○	000000000 _H
2B0 _H	EP3 ステータス・レジスタ	USFA0E3S	R/W				○	000000000 _H
2B8 _H	EP4 ステータス・レジスタ	USFA0E4S	R/W				○	000000000 _H
2D0 _H	EP7 ステータス・レジスタ	USFA0E7S	R/W				○	000000000 _H
2D8 _H	EP8 ステータス・レジスタ	USFA0E8S	R/W				○	000000000 _H
300 _H	アドレス・レジスタ	USFA0ADRS	R				○	000000000 _H
304 _H	コンフィギュレーション・レジスタ	USFA0CNF	R				○	000000000 _H
308 _H	インタフェース 0 レジスタ	USFA0IF0	R				○	000000000 _H
30C _H	インタフェース 1 レジスタ	USFA0IF1	R				○	000000000 _H
310 _H	インタフェース 2 レジスタ	USFA0IF2	R				○	000000000 _H
314 _H	インタフェース 3 レジスタ	USFA0IF3	R				○	000000000 _H
318 _H	インタフェース 4 レジスタ	USFA0IF4	R				○	000000000 _H
340 _H	ディスクリプタ・レンジス・レジスタ	USFA0DSCL	R/W				○	000000000 _H
344 _H	デバイス・ディスクリプタ・レジスタ 0	USFA0DD0	R/W				○	不定
348 _H	デバイス・ディスクリプタ・レジスタ 1	USFA0DD1	R/W				○	不定
34C _H	デバイス・ディスクリプタ・レジスタ 2	USFA0DD2	R/W				○	不定
350 _H	デバイス・ディスクリプタ・レジスタ 3	USFA0DD3	R/W				○	不定
354 _H	デバイス・ディスクリプタ・レジスタ 4	USFA0DD4	R/W				○	不定
358 _H	デバイス・ディスクリプタ・レジスタ 5	USFA0DD5	R/W				○	不定
35C _H	デバイス・ディスクリプタ・レジスタ 6	USFA0DD6	R/W				○	不定
360 _H	デバイス・ディスクリプタ・レジスタ 7	USFA0DD7	R/W				○	不定
364 _H	デバイス・ディスクリプタ・レジスタ 8	USFA0DD8	R/W				○	不定
368 _H	デバイス・ディスクリプタ・レジスタ 9	USFA0DD9	R/W				○	不定
36C _H	デバイス・ディスクリプタ・レジスタ 10	USFA0DD10	R/W				○	不定
370 _H	デバイス・ディスクリプタ・レジスタ 11	USFA0DD11	R/W				○	不定
374 _H	デバイス・ディスクリプタ・レジスタ 12	USFA0DD12	R/W				○	不定
378 _H	デバイス・ディスクリプタ・レジスタ 13	USFA0DD13	R/W				○	不定
37C _H	デバイス・ディスクリプタ・レジスタ 14	USFA0DD14	R/W				○	不定
380 _H	デバイス・ディスクリプタ・レジスタ 15	USFA0DD15	R/W				○	不定
384 _H	デバイス・ディスクリプタ・レジスタ 16	USFA0DD16	R/W				○	不定
388 _H	デバイス・ディスクリプタ・レジスタ 17	USFA0DD17	R/W				○	不定
38C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 0	USFA0CIE0	R/W				○	不定
390 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 1	USFA0CIE1	R/W				○	不定
394 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 2	USFA0CIE2	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
398 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 3	USFA0CIE3	R/W				○	不定
39C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 4	USFA0CIE4	R/W				○	不定
3A0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 5	USFA0CIE5	R/W				○	不定
3A4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 6	USFA0CIE6	R/W				○	不定
3A8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 7	USFA0CIE7	R/W				○	不定
3AC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 8	USFA0CIE8	R/W				○	不定
3B0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 9	USFA0CIE9	R/W				○	不定
3B4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 10	USFA0CIE10	R/W				○	不定
3B8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 11	USFA0CIE11	R/W				○	不定
3BC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 12	USFA0CIE12	R/W				○	不定
3C0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 13	USFA0CIE13	R/W				○	不定
3C4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 14	USFA0CIE14	R/W				○	不定
3C8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 15	USFA0CIE15	R/W				○	不定
3CC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 16	USFA0CIE16	R/W				○	不定
3D0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 17	USFA0CIE17	R/W				○	不定
3D4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 18	USFA0CIE18	R/W				○	不定
3D8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 19	USFA0CIE19	R/W				○	不定
3DC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 20	USFA0CIE20	R/W				○	不定
3E0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 21	USFA0CIE21	R/W				○	不定
3E4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 22	USFA0CIE22	R/W				○	不定
3E8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 23	USFA0CIE23	R/W				○	不定
3EC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 24	USFA0CIE24	R/W				○	不定
3F0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 25	USFA0CIE25	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
3F4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 26	USFA0CIE26	R/W				○	不定
3F8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 27	USFA0CIE27	R/W				○	不定
3FC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 28	USFA0CIE28	R/W				○	不定
400 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 29	USFA0CIE29	R/W				○	不定
404 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 30	USFA0CIE30	R/W				○	不定
408 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 31	USFA0CIE31	R/W				○	不定
40C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 32	USFA0CIE32	R/W				○	不定
410 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 33	USFA0CIE33	R/W				○	不定
414 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 34	USFA0CIE34	R/W				○	不定
418 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 35	USFA0CIE35	R/W				○	不定
41C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 36	USFA0CIE36	R/W				○	不定
420 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 37	USFA0CIE37	R/W				○	不定
424 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 38	USFA0CIE38	R/W				○	不定
428 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 39	USFA0CIE39	R/W				○	不定
42C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 40	USFA0CIE40	R/W				○	不定
430 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 41	USFA0CIE41	R/W				○	不定
434 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 42	USFA0CIE42	R/W				○	不定
438 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 43	USFA0CIE43	R/W				○	不定
43C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 44	USFA0CIE44	R/W				○	不定
440 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 45	USFA0CIE45	R/W				○	不定
444 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 46	USFA0CIE46	R/W				○	不定
448 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 47	USFA0CIE47	R/W				○	不定
44C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 48	USFA0CIE48	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
450 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 49	USFA0CIE49	R/W				○	不定
454 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 50	USFA0CIE50	R/W				○	不定
458 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 51	USFA0CIE51	R/W				○	不定
45C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 52	USFA0CIE52	R/W				○	不定
460 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 53	USFA0CIE53	R/W				○	不定
464 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 54	USFA0CIE54	R/W				○	不定
468 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 55	USFA0CIE55	R/W				○	不定
46C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 56	USFA0CIE56	R/W				○	不定
470 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 57	USFA0CIE57	R/W				○	不定
474 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 58	USFA0CIE58	R/W				○	不定
478 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 59	USFA0CIE59	R/W				○	不定
47C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 60	USFA0CIE60	R/W				○	不定
480 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 61	USFA0CIE61	R/W				○	不定
484 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 62	USFA0CIE62	R/W				○	不定
488 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 63	USFA0CIE63	R/W				○	不定
48C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 64	USFA0CIE64	R/W				○	不定
490 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 65	USFA0CIE65	R/W				○	不定
494 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 66	USFA0CIE66	R/W				○	不定
498 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 67	USFA0CIE67	R/W				○	不定
49C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 68	USFA0CIE68	R/W				○	不定
4A0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 69	USFA0CIE69	R/W				○	不定
4A4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 70	USFA0CIE70	R/W				○	不定
4A8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 71	USFA0CIE71	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
4AC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 72	USFA0CIE72	R/W				○	不定
4B0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 73	USFA0CIE73	R/W				○	不定
4B4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 74	USFA0CIE74	R/W				○	不定
4B8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 75	USFA0CIE75	R/W				○	不定
4BC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 76	USFA0CIE76	R/W				○	不定
4C0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 77	USFA0CIE77	R/W				○	不定
4C4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 78	USFA0CIE78	R/W				○	不定
4C8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 79	USFA0CIE79	R/W				○	不定
4CC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 80	USFA0CIE80	R/W				○	不定
4D0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 81	USFA0CIE81	R/W				○	不定
4D4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 82	USFA0CIE82	R/W				○	不定
4D8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 83	USFA0CIE83	R/W				○	不定
4DC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 84	USFA0CIE84	R/W				○	不定
4E0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 85	USFA0CIE85	R/W				○	不定
4E4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 86	USFA0CIE86	R/W				○	不定
4E8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 87	USFA0CIE87	R/W				○	不定
4EC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 88	USFA0CIE88	R/W				○	不定
4F0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 89	USFA0CIE89	R/W				○	不定
4F4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 90	USFA0CIE90	R/W				○	不定
4F8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 91	USFA0CIE91	R/W				○	不定
4FC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 92	USFA0CIE92	R/W				○	不定
500 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 93	USFA0CIE93	R/W				○	不定
504 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 94	USFA0CIE94	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
508 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 95	USFA0CIE95	R/W				○	不定
50C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 96	USFA0CIE96	R/W				○	不定
510 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 97	USFA0CIE97	R/W				○	不定
514 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 98	USFA0CIE98	R/W				○	不定
518 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 99	USFA0CIE99	R/W				○	不定
51C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 100	USFA0CIE100	R/W				○	不定
520 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 101	USFA0CIE101	R/W				○	不定
524 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 102	USFA0CIE102	R/W				○	不定
528 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 103	USFA0CIE103	R/W				○	不定
52C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 104	USFA0CIE104	R/W				○	不定
530 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 105	USFA0CIE105	R/W				○	不定
534 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 106	USFA0CIE106	R/W				○	不定
538 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 107	USFA0CIE107	R/W				○	不定
53C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 108	USFA0CIE108	R/W				○	不定
540 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 109	USFA0CIE109	R/W				○	不定
544 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 110	USFA0CIE110	R/W				○	不定
548 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 111	USFA0CIE111	R/W				○	不定
54C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 112	USFA0CIE112	R/W				○	不定
550 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 113	USFA0CIE113	R/W				○	不定
554 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 114	USFA0CIE114	R/W				○	不定
558 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 115	USFA0CIE115	R/W				○	不定
55C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 116	USFA0CIE116	R/W				○	不定
560 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 117	USFA0CIE117	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
564 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 118	USFA0CIE118	R/W				○	不定
568 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 119	USFA0CIE119	R/W				○	不定
56C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 120	USFA0CIE120	R/W				○	不定
570 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 121	USFA0CIE121	R/W				○	不定
574 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 122	USFA0CIE122	R/W				○	不定
578 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 123	USFA0CIE123	R/W				○	不定
57C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 124	USFA0CIE124	R/W				○	不定
580 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 125	USFA0CIE125	R/W				○	不定
584 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 126	USFA0CIE126	R/W				○	不定
588 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 127	USFA0CIE127	R/W				○	不定
58C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 128	USFA0CIE128	R/W				○	不定
590 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 129	USFA0CIE129	R/W				○	不定
594 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 130	USFA0CIE130	R/W				○	不定
598 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 131	USFA0CIE131	R/W				○	不定
59C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 132	USFA0CIE132	R/W				○	不定
5A0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 133	USFA0CIE133	R/W				○	不定
5A4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 134	USFA0CIE134	R/W				○	不定
5A8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 135	USFA0CIE135	R/W				○	不定
5AC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 136	USFA0CIE136	R/W				○	不定
5B0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 137	USFA0CIE137	R/W				○	不定
5B4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 138	USFA0CIE138	R/W				○	不定
5B8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 139	USFA0CIE139	R/W				○	不定
5BC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 140	USFA0CIE140	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
5C0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 141	USFA0CIE141	R/W				○	不定
5C4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 142	USFA0CIE142	R/W				○	不定
5C8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 143	USFA0CIE143	R/W				○	不定
5CC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 144	USFA0CIE144	R/W				○	不定
5D0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 145	USFA0CIE145	R/W				○	不定
5D4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 146	USFA0CIE146	R/W				○	不定
5D8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 147	USFA0CIE147	R/W				○	不定
5DC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 148	USFA0CIE148	R/W				○	不定
5E0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 149	USFA0CIE149	R/W				○	不定
5E4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 150	USFA0CIE150	R/W				○	不定
5E8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 151	USFA0CIE151	R/W				○	不定
5EC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 152	USFA0CIE152	R/W				○	不定
5F0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 153	USFA0CIE153	R/W				○	不定
5F4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 154	USFA0CIE154	R/W				○	不定
5F8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 155	USFA0CIE155	R/W				○	不定
5FC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 156	USFA0CIE156	R/W				○	不定
600 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 157	USFA0CIE157	R/W				○	不定
604 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 158	USFA0CIE158	R/W				○	不定
608 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 159	USFA0CIE159	R/W				○	不定
60C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 160	USFA0CIE160	R/W				○	不定
610 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 161	USFA0CIE161	R/W				○	不定
614 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 162	USFA0CIE162	R/W				○	不定
618 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 163	USFA0CIE163	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
61 _C H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 164	USFA0CIE164	R/W				○	不定
62 ₀ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 165	USFA0CIE165	R/W				○	不定
62 ₄ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 166	USFA0CIE166	R/W				○	不定
62 ₈ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 167	USFA0CIE167	R/W				○	不定
62 _C H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 168	USFA0CIE168	R/W				○	不定
63 ₀ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 169	USFA0CIE169	R/W				○	不定
63 ₄ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 170	USFA0CIE170	R/W				○	不定
63 ₈ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 171	USFA0CIE171	R/W				○	不定
63 _C H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 172	USFA0CIE172	R/W				○	不定
64 ₀ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 173	USFA0CIE173	R/W				○	不定
64 ₄ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 174	USFA0CIE174	R/W				○	不定
64 ₈ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 175	USFA0CIE175	R/W				○	不定
64 _C H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 176	USFA0CIE176	R/W				○	不定
65 ₀ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 177	USFA0CIE177	R/W				○	不定
65 ₄ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 178	USFA0CIE178	R/W				○	不定
65 ₈ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 179	USFA0CIE179	R/W				○	不定
65 _C H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 180	USFA0CIE180	R/W				○	不定
66 ₀ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 181	USFA0CIE181	R/W				○	不定
66 ₄ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 182	USFA0CIE182	R/W				○	不定
66 ₈ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 183	USFA0CIE183	R/W				○	不定
66 _C H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 184	USFA0CIE184	R/W				○	不定
67 ₀ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 185	USFA0CIE185	R/W				○	不定
67 ₄ H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 186	USFA0CIE186	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
678 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 187	USFA0CIE187	R/W				○	不定
67C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 188	USFA0CIE188	R/W				○	不定
680 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 189	USFA0CIE189	R/W				○	不定
684 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 190	USFA0CIE190	R/W				○	不定
688 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 191	USFA0CIE191	R/W				○	不定
68C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 192	USFA0CIE192	R/W				○	不定
690 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 193	USFA0CIE193	R/W				○	不定
694 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 194	USFA0CIE194	R/W				○	不定
698 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 195	USFA0CIE195	R/W				○	不定
69C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 196	USFA0CIE196	R/W				○	不定
6A0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 197	USFA0CIE197	R/W				○	不定
6A4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 198	USFA0CIE198	R/W				○	不定
6A8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 199	USFA0CIE199	R/W				○	不定
6AC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 200	USFA0CIE200	R/W				○	不定
6B0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 201	USFA0CIE201	R/W				○	不定
6B4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 202	USFA0CIE202	R/W				○	不定
6B8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 203	USFA0CIE203	R/W				○	不定
6BC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 204	USFA0CIE204	R/W				○	不定
6C0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 205	USFA0CIE205	R/W				○	不定
6C4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 206	USFA0CIE206	R/W				○	不定
6C8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 207	USFA0CIE207	R/W				○	不定
6CC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 208	USFA0CIE208	R/W				○	不定
6D0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 209	USFA0CIE209	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
6D4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 210	USFA0CIE210	R/W				○	不定
6D8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 211	USFA0CIE211	R/W				○	不定
6DC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 212	USFA0CIE212	R/W				○	不定
6E0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 213	USFA0CIE213	R/W				○	不定
6E4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 214	USFA0CIE214	R/W				○	不定
6E8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 215	USFA0CIE215	R/W				○	不定
6EC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 216	USFA0CIE216	R/W				○	不定
6F0 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 217	USFA0CIE217	R/W				○	不定
6F4 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 218	USFA0CIE218	R/W				○	不定
6F8 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 219	USFA0CIE219	R/W				○	不定
6FC _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 220	USFA0CIE220	R/W				○	不定
700 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 221	USFA0CIE221	R/W				○	不定
704 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 222	USFA0CIE222	R/W				○	不定
708 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 223	USFA0CIE223	R/W				○	不定
70C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 224	USFA0CIE224	R/W				○	不定
710 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 225	USFA0CIE225	R/W				○	不定
714 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 226	USFA0CIE226	R/W				○	不定
718 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 227	USFA0CIE227	R/W				○	不定
71C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 228	USFA0CIE228	R/W				○	不定
720 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 229	USFA0CIE229	R/W				○	不定
724 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 230	USFA0CIE230	R/W				○	不定
728 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 231	USFA0CIE231	R/W				○	不定
72C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 232	USFA0CIE232	R/W				○	不定

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
730 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 233	USFA0CIE233	R/W				○	不定
734 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 234	USFA0CIE234	R/W				○	不定
738 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 235	USFA0CIE235	R/W				○	不定
73C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 236	USFA0CIE236	R/W				○	不定
740 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 237	USFA0CIE237	R/W				○	不定
744 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 238	USFA0CIE238	R/W				○	不定
748 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 239	USFA0CIE239	R/W				○	不定
74C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 240	USFA0CIE240	R/W				○	不定
750 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 241	USFA0CIE241	R/W				○	不定
754 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 242	USFA0CIE242	R/W				○	不定
758 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 243	USFA0CIE243	R/W				○	不定
75C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 244	USFA0CIE244	R/W				○	不定
760 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 245	USFA0CIE245	R/W				○	不定
764 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 246	USFA0CIE246	R/W				○	不定
768 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 247	USFA0CIE247	R/W				○	不定
76C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 248	USFA0CIE248	R/W				○	不定
770 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 249	USFA0CIE249	R/W				○	不定
774 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 250	USFA0CIE250	R/W				○	不定
778 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 251	USFA0CIE251	R/W				○	不定
77C _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 252	USFA0CIE252	R/W				○	不定
780 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 253	USFA0CIE253	R/W				○	不定
784 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 254	USFA0CIE254	R/W				○	不定
788 _H	コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ 255	USFA0CIE255	R/W				○	不定

(4) ブリッジ・レジスタ

オフセット・アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
808 _H	Hバス・ブリッジ割り込みステータス・レジスタ	USFA0BRGINT	R/W				○	00000000 _H
80C _H	Hバス・ブリッジ割り込み許可レジスタ・レジスタ	USFA0BRGINTE	R/W				○	00000000 _H
810 _H	EPC 割り込みステータス・レジスタ・レジスタ	USFA0EPCINT	R				○	00000000 _H
814 _H	EPC 割り込み許可レジスタ・レジスタ	USFA0EPCINTE	R/W				○	00000000 _H
818 _H	EPC マクロ・コントロール・レジスタ	USFA0EPCCTL	R/W				○	00000001 _H
910 _H	Endpoint1DMA コントロール・レジスタ 1	USFA0E1DC1	R/W				○	00000000 _H
914 _H	Endpoint1DMA コントロール・レジスタ 2	USFA0E1DC2	R/W				○	00000000 _H
918 _H	Endpoint1DMA 転送アドレス・レジスタ	USFA0E1TAD	R/W				○	00000000 _H
920 _H	Endpoint2DMA コントロール・レジスタ 1	USFA0E2DC1	R/W				○	00000002 _H
928 _H	Endpoint2DMA 転送アドレス・レジスタ	USFA0E2TAD	R/W				○	00000000 _H
930 _H	Endpoint3DMA コントロール・レジスタ 1	USFA0E3DC1	R/W				○	00000000 _H
934 _H	Endpoint3DMA コントロール・レジスタ 2	USFA0E3DC2	R/W				○	00000000 _H
938 _H	Endpoint3DMA 転送アドレス・レジスタ	USFA0E3TAD	R/W				○	00000000 _H
940 _H	Endpoint4DMA コントロール・レジスタ 1	USFA0E4DC1	R/W				○	00000002 _H
944 _H	Endpoint4DMA コントロール・レジスタ 2	USFA0E4DC2	R/W				○	00000000 _H
948 _H	Endpoint4DMA 転送アドレス・レジスタ	USFA0E4TAD	R/W				○	00000000 _H

30.7.2 EPC 制御レジスタ

(1) EP0NAK レジスタ (USFA0E0N)

Endpoint0 の NAK を制御します (自動実行リクエストを除きます)。

USFA0FIC0, USFA0FIC1 レジスタをセットしてからこのレジスタにステータスが反映されるまでに 5USB クロックかかります。したがって、正確にステータスを読み出す必要がある場合は、USFA0FIC0, USFA0FIC1 レジスタに対するライト信号と USFA0EPS0, USFA0EPS1, USFA0EPS2 レジスタ, USFA0E0N レジスタ, USFA0EN レジスタに対するリード信号との間は 4USB クロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4 に対する NAK 送信中は、EP0NKR ビットに対する書き込みは無視されます。

アクセス 8 ビット単位でリード/ライト可能です (ただし、ビット 0 はリードだけ可能です)。

アドレス 000_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW
	R	R	R	R	R	R	R/W	R

表 30-9 USFA0E0N レジスタの内容

ビット位置	ビット名	意味
1	EP0NKR	Endpoint0 への OUT トークンに対する NAK を制御します (自動実行リクエストを除く)。Endpoint0 がデータを正常受信した際に、ハードウェアによって自動的にセット (1) されます。FW によって USFA0E0R レジスタのデータが読み出されたときに (カウンタ値 = 0)、ハードウェアによって自動的にクリア (0) されず。 1 : NAK を送信する 0 : NAK を送信しない (初期値) USBF がデータを受信できるにもかかわらず、なんらかの理由により USB バスからのデータを受信したくない場合には、このビットを FW によりセット (1) してください。なおこの場合には、FW でこのビットをクリア (0) するまで USBF は NAK を送出しつづけます。USFA0E0R レジスタをクリアした場合には同時にこのビットもクリア (0) されます。
0	EP0NKW	Endpoint0 への IN トークンに対する NAK 制御状況を示します (自動実行リクエストを除く)。Endpoint0 のデータが送信され、送信データをホストが正常受信した場合にハードウェアによって自動的にクリア (0) されます。USFA0E0W レジスタのデータはこのタイミングまで保持されます。したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ず USFA0DEND レジスタの E0DED ビットをセット (1) してください。FIFO フルの場合は自動的にセット (1) されます。USFA0DEND レジスタの E0DED ビットがセット (1) された場合、同時に EP0NKW ビットが自動的にセット (1) されます。 1 : NAK を送信しない 0 : NAK を送信する (初期値) なお、データ・ステージで ACK を正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合、USFA0E0W レジスタがクリアされると同時にこのビットもクリア (0) されます。FW により USFA0E0W をクリアした場合にも同時にこのビットもクリア (0) されます。

次に、IN/OUT トークンをともなう SETUP トランザクションの手順を示します。

(a) IN トークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FW は CPUDEC 割り込みを受け取ったあと、USFA0E0ST レジスタからデータを読み出す前に、USFA0IS1 レジスタの PROT ビットをクリア (0) してください。次に、リクエストに従った処理を行い、IN トークンでデータを返す必要がある場合は USFA0E0W レジスタにデータを書き込みます。書き込みが終了したあと、USFA0IS1 レジスタの PROT ビットが 0 であることを確認してから、USFA0DEND レジスタの E0DED ビットをセット (1) します。ハードウェアは EP0NKW ビットがセット (1) されてから最初の IN トークンでデータの送出手をします。USFA0IS1 レジスタの PROT ビットが 1 の場合、コントロール転送終了前に SETUP トランザクションが再度発生したことを示します。その場合は、USFA0IC1 レジスタの PROTC ビットをクリア (0) することで USFA0IS1 レジスタの PROT ビットをクリア (0) してから、再度 USFA0E0ST レジスタからデータを読み出してください。あとから受信したリクエストを読み出すことが可能になります。

(b) OUT トークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FW は CPUDEC 割り込みを受け取ったあと、USFA0E0ST レジスタからデータを読み出す前に、USFA0IS1 レジスタの PROT ビットをクリア (0) してください。USFA0E0R レジスタからデータを読み出す前に USFA0IS1 レジスタの PROT ビットが 0 であることを確認してください。もし PROT ビットが 1 であれば無効なデータを保持しているので、FW により FIFO をクリアしてください (EP0NKR ビットは自動的にクリア (0) されます)。USFA0IS1 レジスタの PROT ビットが 0 の場合は USFA0E0L レジスタのデータを読み出し、セットされている分だけのデータを USFA0E0R レジスタから読み出して、USFA0E0R レジスタからのデータの読み出しが完了すると (USFA0E0R レジスタのカウンタが 0 になったときに)、ハードウェアは自動的に EP0NKR ビットをクリア (0) します。

(2) EP0NAKALL レジスタ (USFA0E0NA)

Endpoint0 のすべてのリクエストの NAK を制御します。自動実行リクエストに対しても有効です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 004_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E0NA	0	0	0	0	0	0	0	EP0NKA
	R	R	R	R	R	R	R	R/W

表 30-10 USFA0E0NA レジスタの内容

ビット位置	ビット名	意味
0	EP0NKA	<p>Endpoint0 への SETUP トランザクション以外の NAK を制御します (自動実行リクエストを含む)。このビットの操作は FW によって行います。</p> <p>1 : NAK を送信する 0 : NAK を送信しない (初期値)</p> <p>このレジスタは、自動実行リクエストで使用するデータの変更を行う場合に、FW ライトと SIE からのリードの競合を防止するためのもので、SIE からのアクセスが行われている間は、FW からこのビットへの書き込みの反映を保留する機能を持っています。FW によりリクエスト・データ・レジスタの書き換えを行う際には、このビットのセット (1) が正しく行えたことを確認してから実行してください。</p> <p>このビットのセット (1) が反映されるのは、次の場合に限りです。</p> <ul style="list-style-type: none"> • USBF がリセットされた直後で SETUP トークンを一度も受信していない • Bus Reset の受信直後で SETUP トークンを一度も受信していない • SETUP トークンの PID を検出したとき • ステータス・ステージへ移行したとき <p>なお、クリア (0) は IN トークンの受信中で NAK 応答を行っている最中を除いてすぐに反映されます。</p> <p>Endpoint0 転送中の EP0NKA ビットのセット (1) 反映タイミングは上記の 4 つの場合となりますが、Endpoint0 の転送以外の場合は書き込み後すぐに反映されず。</p>

(3) EPNAK レジスタ (USFA0EN)

Endpoint0 以外の Endpoint の NAK 制御などを行います。

なお、BKO2NK ビットは USFA0ENM レジスタの BKO2NKM ビット = 1 のとき、BKO1NK ビットは USFA0ENM レジスタの BKO1NKM ビット = 1 のときだけライト可能です。

USFA0EnIM レジスタ (n = 1-4, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

USFA0FIC0, USFA0FIC1 レジスタを設定してからこのレジスタにステータスが反映されるまでに 5USB クロックかかります。したがって、正確にステータスを読み出す必要がある場合は、USFA0FIC0, USFA0FIC1 レジスタに対するライト信号と USFA0EPS0, USFA0EPS1, USFA0EPS2 レジスタ, USFA0E0N レジスタ, USFA0EN レジスタに対するリード信号との間は 4USB クロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4 に対する NAK 送信中は、BKO1NK, BKO2NK ビットに対する書き込みは無視されます。

アクセス 8 ビット単位でリード/ライト可能です (ただし、ビット 5, 4, 1, 0 はリードだけ可能です)。

アドレス 008_H

初期値 00_H どのリセット要因でも初期化されます。

注意 ビット 7, 6 には必ず 0 を設定してください。

	7	6	5	4	3	2	1	0
USFA0EN	0	0	IT2NK	IT1NK	BKO2NK	BKO1NK	BKI2NK	BKI1NK
	R	R	R	R	R/W	R/W	R	R

表 30-11 USFA0EN レジスタの内容 (1/4)

ビット位置	ビット名	意味
5	IT2NK	Endpoint8 (インタラプト 2 転送) に対する NAK を制御します。 データ書き込みにより USFA0INT2 レジスタがフルになるとこのビットは自動的にセット (1) され、送信が開始されます。FIFO がフルにならないショート・パケットを送る場合には、USFA0DEND レジスタの IT2DEND ビットをセット (1) してください。IT2DEND ビットがセット (1) されると、同時にこのビットが自動的にセット (1) されます。 1 : NAK を送信しない 0 : NAK を送信する (初期値) なお、USFA0INT2 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。
4	IT1NK	Endpoint7 (インタラプト 1 転送) に対する NAK を制御します。 データ書き込みにより USFA0INT1 レジスタがフルになるとこのビットは自動的にセット (1) され、送信が開始されます。FIFO がフルにならないショート・パケットを送る場合には、USFA0DEND レジスタの IT1DEND ビットをセット (1) してください。IT1DEND ビットがセット (1) されると、同時にこのビットが自動的にセット (1) されます。 1 : NAK を送信しない 0 : NAK を送信する (初期値) なお、USFA0INT1 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。

- 注意
1. PIO モードで USFA0BO2 レジスタからデータを読み込んでいる最中に DMA を許可すると、すぐに DMA リクエストが発行されます。
 2. DMA 転送モードで CPU 側 FIFO の最終データを読み出すと、DMA リクエスト信号はインアクティブになります。
 3. DMA 転送モードで TC 信号を受信すると、DMA リクエスト信号はインアクティブになります。

表 30-11 USFA0EN レジスタの内容 (2/4)

ビット位置	ビット名	意味
3	BKO2NK	<p>Endpoint4 (バルク 2 転送 (OUT)) に対する NAK を制御します。</p> <p>1 : NAK を送信する 0 : NAK を送信しない (初期値)</p> <p>USFA0BO2 レジスタ (バンク構成の 64 バイト FIFO) の SIE 側に接続されている FIFO がデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> • SIE 側に接続されている FIFO に正常受信されたデータを格納した • CPU 側に接続されている FIFO カウンタ値が 0 である (リード完了) <p>FW は BLKO2DT 割り込み要求を受け取った時点で USFA0BO2L レジスタのデータを読み出し、その値分のデータを USFA0BO2 レジスタから読み出してください。USBF がデータを受信できるにもかかわらず、なんらかの理由により USB バスからのデータを受信したくない場合には、このビットを FW によりセット (1) してください。なお、この場合には FW がこのビットをクリア (0) するまで USBF は NAK を送出し続けます。USFA0BO2 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>
2	BKO1NK	<p>Endpoint2 (バルク 1 転送 (OUT)) に対する NAK を制御します。</p> <p>1 : NAK を送信する 0 : NAK を送信しない (初期値)</p> <p>USFA0BO1 レジスタ (バンク構成の 64 バイト FIFO) の SIE 側に接続されている FIFO がデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> • SIE 側に接続されている FIFO に正常受信されたデータを格納した • CPU 側に接続されている FIFO カウンタ値が 0 である (リード完了) <p>FW は BLKO1DT 割り込み要求を受け取った時点で USFA0BO1L レジスタのデータを読み出し、その値分のデータを USFA0BO1 レジスタから読み出してください。USBF がデータを受信できるにもかかわらず、なんらかの理由により USB バスからのデータを受信したくない場合には、このビットを FW によりセット (1) してください。なお、この場合には FW がこのビットをクリア (0) するまで USBF は NAK を送出し続けます。USFA0BO1 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

- 注意
- PIO モードで USFA0BI2 レジスタにデータを書き込んでいる最中に DMA 許可を行うと、すぐに DMA リクエストが発行されます。
 - DMA 転送モードで 64 バイト書き込みを行った場合、DMA リクエスト信号はインアクティブになります。このあと BKI2NK ビットがセット (1) されている場合には、IN トークンに同期してデータ送信が行われます。FIFO のトグルが発生した時点で、DMA リクエストのマスクを行わないかぎり DMA リクエスト信号は再度アクティブになります。一方、BKI2NK ビットがセットされていない (0) 場合には、IN トークンを受け取ってもデータの送信は行われません。この場合には、USFA0DEND レジスタの BKI2DED ビットをセット (1) してください。
 - DMA 転送モードで TC 信号を受信すると、DMA リクエスト信号はインアクティブになります。同時に DMA リクエストもマスクされます。BKI2NK ビットがセット (1) されない場合には、IN トークンを受け取ってもデータの送信は行われません。FW で USFA0DEND レジスタの BKI2DED ビットをセット (1) すると、IN トークンに同期してデータ送信が行われます。再度 DMA 転送を行う場合は、DMA リクエストのマスクを解除してください。

表 30-11 USFA0EN レジスタの内容 (3/4)

ビット位置	ビット名	意味
1	BKI2NK	<p>Endpoint3 (バルク 2 転送 (IN)) に対する NAK を制御します。</p> <p>1 : NAK を送信しない 0 : NAK を送信する (初期値)</p> <p>USFA0BI2 レジスタ (バンク構成の 64 バイト FIFO) のデータ送信が正常に終了して SIE 側に接続されている FIFO にデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (USFA0BI2 レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> CPU バス側に接続されている FIFO に正常に書き込みが行われた (ライト完了、FIFO フルか USFA0DEND レジスタがセットされている) SIE 側に接続されている FIFO カウンタ値が 0 である <p>データ書き込みで CPU 側の FIFO がフルになり FIFO トグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。ただし、USFA0DEND レジスタの BKI2T ビットがクリア (0) されている状態での DMA による CPU 側の FIFO への書き込みで FIFO がフルになった場合は、USFA0DEND レジスタの BKI2DED ビットがセット (1) されるまでトグル動作の条件を満足しないため、トグル動作は発生しません。CPU 側の FIFO がフルにならないショート・パケットを送る場合には、データ書き込み完了後 BKI2DED ビットをセット (1) してください。BKI2DED ビットがセット (1) されると、トグル動作が行われるのと同時にこのビットも自動的にセット (1) されます。USFA0BI2 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

- 注意
- PIO モードで USFA0BI2 レジスタにデータを書き込んでいる最中に DMA 許可を行うと、すぐに DMA リクエストが発行されます。
 - DMA 転送モードで 64 バイト書き込みを行った場合、DMA リクエスト信号はインアクティブになります。このあと BKI2NK ビットがセット (1) されている場合には、IN トークンに同期してデータ送信が行われます。FIFO のトグルが発生した時点で、DMA リクエストのマスクを行わないかぎり DMA リクエスト信号は再度アクティブになります。一方、BKI2NK ビットがセットされていない (0) 場合には、IN トークンを受け取ってもデータの送信は行われません。この場合には、USFA0DEND レジスタの BKI2DED ビットをセット (1) してください。
 - DMA 転送モードで TC 信号を受信すると、DMA リクエスト信号はインアクティブになります。同時に DMA リクエストもマスクされます。BKI2NK ビットがセット (1) されない場合には、IN トークンを受け取ってもデータの送信は行われません。FW で USFA0DEND レジスタの BKI2DED ビットをセット (1) すると、IN トークンに同期してデータ送信が行われます。再度 DMA 転送を行う場合は、DMA リクエストのマスクを解除してください。

表 30-11 USFA0EN レジスタの内容 (4/4)

ビット位置	ビット名	意味
0	BKI1NK	<p>Endpoint1 (バルク 1 転送 (IN)) に対する NAK を制御します。</p> <p>1 : NAK を送信しない 0 : NAK を送信する (初期値)</p> <p>USFA0BI1 レジスタ (バンク構成の 64 バイト FIFO) のデータ送信が正常に終了して SIE 側に接続されている FIFO にデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (USFA0BI1 レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> CPU バス側に接続されている FIFO に正常に書き込みが行われた (ライト完了、FIFO フルか USFA0DEND レジスタがセットされている) SIE 側に接続されている FIFO カウンタ値が 0 である <p>データ書き込みで CPU 側の FIFO がフルになり FIFO トグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。ただし、USFA0DEND レジスタの BKI1T ビットがクリア (0) されている状態での DMA による CPU 側の FIFO への書き込みで FIFO がフルになった場合は、USFA0DEND レジスタの BKI1DED ビットがセット (1) されるまでトグル動作の条件を満足しないため、トグル動作は発生しません。CPU 側の FIFO がフルにならないショート・パケットを送る場合には、データ書き込み完了後 BKI1DED ビットをセット (1) してください。BKI1DED ビットがセット (1) されると、トグル動作が行われるのと同時にこのビットも自動的にセット (1) されます。USFA0BI1 レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

(4) EPNAK マスク・レジスタ (USFA0ENM)

USFA0EN レジスタに対する書き込みマスクを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 00C_H

初期値 00_H どのリセット要因でも初期化されます。

注意 ビット7-4, 1, 0には必ず0を設定してください。

	7	6	5	4	3	2	1	0
USFA0ENM	0	0	0	0	BKO2NKM	BKO1NKM1	0	0
	R	R	R	R	R/W	R/W	R	R

表 30-12 USFA0ENM レジスタの内容

ビット位置	ビット名	意味
3	BKO2NKM	USFA0EN レジスタのビット3 (BKO2NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)
2	BKO1NKM	USFA0EN レジスタのビット2 (BKO1NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)

(5) SNDSIE レジスタ (USFA0SDS)

ノー・ハンドシェークなどの操作を行います。SIE の端子を直接操作できません。

ビット2には必ず0を設定してください。1を設定した場合の動作は保証できません。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 010_H

初期値 00_H どのリセット要因でも初期化されます。

注意 ビット7-4, 2, 1には必ず0を設定してください。

	7	6	5	4	3	2	1	0
USFA0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN
	R	R	R	R	R/W	R	R	R/W

表 30-13 USFA0SDS レジスタの内容

ビット位置	ビット名	意味
3	SNDSTL	<p>Endpoint0 に対して STALL ハンドシェークを発行させるようにします。CPUDEC 処理のリクエストがシステムで対応していないものであるときにセット (1) することで、STALL ハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACE リクエストなどでサポートしていない wValue が送られてきた場合は、ハードウェアがこのビットをセット (1) します。自動リクエストでのオーバーラン等により Endpoint0 で問題が発生した場合もこのビットはセット (1) されます。ただし、USFA0E0S レジスタの E0HALT ビットへのセット (1) は行われません。</p> <p>1: STALL ハンドシェークで応答する 0: STALL ハンドシェークで応答しない (初期値)</p> <p>なお、次の SETUP トークンを受信したときにこのビットはクリア (0) され、バスへのハンドシェーク応答は STALL 以外になります。FW で SNDSTL ビットをセット (1) する場合には、USFA0E0W レジスタへの書き込みは行わないでください。また、セット (1) するタイミングによっては STALL 応答が間に合わず NAK 応答を行ったあとに次の転送に STALL 応答する場合があります。このビットの設定は、セット (1) されたときに実行中の FW 実行リクエストの間だけ有効です。次の SETUP トークン受信時に自動的にクリア (0) されます。</p> <p>備考 SNDSTL ビットは FW 実行リクエストに対してだけ有効です。</p>
0	RSUMIN	<p>USB バス上に Resume 信号を出力させます。USFA0DST レジスタの RMWK ビットがセット (1) されていないかぎり、このビットへの書き込みは無効となります。</p> <p>1: Resume 信号を発生させる 0: Resume 信号を発生させない (初期値)</p> <p>このビットがセット (1) されている間は Resume 信号を発生させ続けますので、一定時間経過したあと FW によりクリア (0) してください。内部でクロックによるサンプリングを行っているため、CLK が供給されている場合のみ動作を保証できます。システムとして CLK を停止する場合は注意してください。</p>

(6) CLR リクエスト・レジスタ (USFA0CLR)

受信された CLEAR_FEATURE リクエストが何を対象にしたものかを示します。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

USFA0EnIM レジスタ (n = 1-4, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 014_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0CLR	CLREP8	CLREP7	CLREP4	CLREP3	CLREP2	CLREP1	CLREP0	CLRDEV
	R	R	R	R	R	R	R	R

表 30-14 USFA0CLR レジスタの内容

ビット位置	ビット名	意味
7-1	CLREPN	CLEAR_FEATURE Endpoint n リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	CLRDEV	CLEAR_FEATURE Device リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

備考 n = 0-4, 7, 8

(7) SET リクエスト・レジスタ (USFA0SET)

自動処理を行った SET_XXXX リクエスト (SET_INTERFACE を除く) が何を対象にしたものかを示します。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

アクセス 8ビット単位でリードだけ可能です。

アドレス 018_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0SET	SETCON	0	0	0	0	SETEP	0	SETDEV
	R	R	R	R	R	R	R	R

表 30-15 USFA0SET レジスタの内容

ビット位置	ビット名	意味
7	SETCON	SET_CONFIGURATION リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
2	SETEP	SET_FEATURE Endpoint n リクエスト (n = 0-4, 7, 8) を受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	SETDEV	SET_FEATURE Device リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

(8) EP ステータス 0 レジスタ (USFA0EPS0)

USB バス状態、レジスタのデータの有無を示します。

USFA0EnIM レジスタ (n = 1-4, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

USFA0FIC0, USFA0FIC1 レジスタを設定してからこのレジスタにステータスが反映されるまでに 5USB クロックかかります。したがって、正確にステータスを読み出す必要がある場合は USFA0FIC0, USFA0FIC1 レジスタに対するライトと USFA0EPS0, USFA0EPS1, USFA0EPS2 レジスタ, USFA0E0N レジスタ, USFA0EN レジスタに対するリードとの間は 4USB クロック以上空けてください。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 01C_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0EPS0	IT2	IT1	BKOUT2	BKOUT1	BKIN2	BKIN1	EP0W	EP0R
	R	R	R	R	R	R	R	R

表 30-16 USFA0EPS0 レジスタの内容 (1/2)

ビット位置	ビット名	意味
7, 6	ITn	USFA0INTn レジスタ (FIFO) にデータがあることを示します。また、USFA0DEND レジスタの ITnDEND ビットをセット (1) することにより、USFA0INTn レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Null データ送信)。USFA0INTn レジスタのカウンタが 0 であっても、USFA0DEND レジスタの ITnDEND ビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
5, 4	BKOUTn	CPU 側に接続された USFA0BOn レジスタ (FIFO) にデータがあることを示します。USFA0BOn レジスタを構成している FIFO が切り替わったときに、ハードウェアにより自動的にセット (1) されます。CPU 側に接続された USFA0BOn レジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Null データを受信した場合はセット (1) されません (FIFO のトグルも発生しません)。 1: データがある 0: データがない (初期値)
3, 2	BKINn	CPU 側に接続された USFA0Bin レジスタ (FIFO) にデータがあることを示します。また、USFA0DEND レジスタの BKInDED ビットをセット (1) することにより、USFA0Bin レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Null データ送信)。USFA0Bin レジスタのカウンタが 0 であっても、USFA0DEND レジスタの BKInDED ビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。トグル動作時にクリア (0) されます。 1: データがある 0: データがない (初期値)

備考 n = 1, 2

表 30-16 USFA0EPS0 レジスタの内容 (2/2)

ビット位置	ビット名	意味
1	EP0W	USFA0E0W レジスタ (FIFO) にデータがあることを示します。また、USFA0DEND レジスタの E0DED ビットをセット (1) することにより、USFA0E0W レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Null データ送信)。USFA0E0W レジスタのカウンタが 0 であっても、USFA0DEND レジスタの E0DED ビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
0	EP0R	USFA0E0R レジスタ (FIFO) にデータがあることを示します。USFA0E0R レジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Null データを受信した場合はセット (1) されません。 1: データがある 0: データがない (初期値)

(9) EPステータス1レジスタ (USFA0EPS1)

USBバス状態、レジスタのデータの有無を示します。

アクセス 8ビット単位でリードだけ可能です。

アドレス 020_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0EPS1	RSUM	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R

表 30-17 USFA0EPS1 レジスタの内容

ビット位置	ビット名	意味
7	RSUM	<p>USBバスが Resume 状態にあることを示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。</p> <p>1 : Suspend 状態になった 0 : Resume 状態になった (初期値)</p> <p>内部でクロックによるサンプリングを行っているため、CLK が供給されている場合にのみ動作を保證できます。システムとして CLK を停止する場合は注意してください。SIE では CLK が停止した状態でも INTUSFA0I2 信号は動作します。したがって割り込み制御レジスタ (UFIC1) を有効にするか、USBF に対する CLK の周波数を下げることで対応が可能になります。</p> <p>このビットは読み出したときに自動的にクリア (0) されます。</p>

(10) EP ステータス 2 レジスタ (USFA0EPS2)

USB バス状態、レジスタのデータの有無を示します。

USFA0EnIM レジスタ (n = 1-4, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 024_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0EPS2	0	HALT8	HALT7	HALT4	HALT3	HALT2	HALT1	HALT0
	R	R	R	R	R	R	R	R

表 30-18 USFA0EPS2 レジスタの内容

ビット位置	ビット名	意味
6-0	HALTn	<p>現在 Endpoint n がストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット (1) されます。これらのビットはハードウェアにより自動的にセット (1) されます。</p> <p>1 : Endpoint がストールしている 0 : Endpoint はストールしていない (初期値)</p> <p>オーバラン発生/規定外リクエスト受信などにより HALT0 ビットがセット (1) されると、同時に SNDSTL ビットもセット (1) されます。この状態で次の SETUP トークンを受信すると、SNDSTL ビットがクリア (0) されるため、このビットもクリア (0) されます。なお、SET_FEATURE Endpoint0 リクエストにより Endpoint0 をストールさせた場合には、CLEAR_FEATURE Endpoint0 リクエストを受信するか FW で Halt Feature をクリアするまでこのビットはクリア (0) されません。Endpoint0 の Halt Feature をセットした状態で GET_STATUS Endpoint0, CLEAR_FEATURE Endpoint0, SET_FEATURE Endpoint0 リクエスト、または CPUDEC 割り込み要求により FW で処理を行うリクエストを受信した場合には、次の SETUP トークンを受信するまで HALT0 ビットはマスクされ 0 になります。</p> <p>Endpoint n が CLEAR_FEATURE Endpoint リクエストを受信するまでか Endpoint がリンクされた Interface に対する SET_INTERFACE, SET_CONFIGURATION リクエストで Halt Feature をクリアするまで、または FW で Halt Feature をクリアするまで、HALTn ビットはクリア (0) されません。SET_INTERFACE, SET_CONFIGURATION リクエストを正常処理した場合には、wValue 値が現行の設定値と同じであったとしても Endpoint0 を除いたすべての対象 Endpoint の Halt Feature はリクエストを処理したあとにクリアされ、これらのビットもクリア (0) されます。Endpoint0 の Halt Feature がセットされていると SET_INTERFACE, SET_CONFIGURATION リクエストは STALL 応答されるため、Endpoint0 の Halt Feature はクリアできません。</p>

備考 n = 0-4, 7, 8

(11) INTステータス0レジスタ (USFA0IS0)

割り込み要因を示します。このレジスタに変化があった場合は、USFA0EPCINT.EPC_INT0 ビットがセット (1) されます。

USBF から割り込み要求 (INTUSFA0I1) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、USFA0IC0 レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

アクセス 8ビット単位でリードだけ可能です。

アドレス 040_H

初期値 00_H どのリセット要因でも初期化されます。

注意 USBF では、Bus Reset, Resume, Short など複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSFA0I1) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されて INTUSFA0I1 割り込み要求を発行します。例えば、Bus Reset 割り込み要因と Resume 割り込み要因が発生している場合には、2つの要因が論理和 (OR) されて INTUSFA0I1 割り込み要求を発行します。この条件で、Bus Reset 割り込み要因だけをクリア (0) (USFA0IC0.BUSRSTC = 0) した場合、Resume 割り込み要因が残っているため、この製品内部の INTUSFA0I1 割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。この場合、INTUSFA0I1 割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めて USFA0IS0, USFA0IS1 レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

	7	6	5	4	3	2	1	0
USFA0IS0	BUSRST	RSUSPD	0	SHORT	DMAED	SETRQ	CLRRQ	EPHALT
	R	R	R	R	R	R	R	R

表 30-19 USFA0IS0 レジスタの内容 (1/2)

ビット位置	ビット名	意味
7	BUSRST	Bus Reset が行われたことを示します。 1 : Bus Reset が行われた (割り込み要求発生) 0 : Bus Reset 状態ではない (初期値)
6	RSUSPD	Resume または Suspend 状態が発生したことを示します。FW で USFA0EPS1 レジスタのビット7を参照してください。 1 : Resume または Suspend 状態が発生した (割り込み要求発生) 0 : Resume または Suspend 状態が発生していない (初期値)

表 30-19 USFA0IS0 レジスタの内容 (2/2)

ビット位置	ビット名	意味
4	SHORT	<p>USFA0BO1, USFA0BO2 レジスタのいずれかの FIFO からデータが読み出され、USBSPnB 信号 (n = 2, 4) のいずれかをアクティブにしたことを示します。DMA モードで FIFO がフルになっていないときにだけ有効です。</p> <p>1 : USBSPnB 信号をアクティブにした (割り込み要求発生) 0 : USBSPnB 信号をアクティブにしていない (初期値)</p> <p>実際にどの Endpoint に対する動作であるかは USFA0DMS1 レジスタで確認してください。ただし、FW により USFA0DMS1 レジスタを読み出しても、自動的にクリア (0) されません。</p>
3	DMAED	<p>Endpoint n 用 DMA 終了 (TC) 信号 (n = 1-4, 7) のいずれかがアクティブになったことを示します。</p> <p>1 : Endpoint n 用 DMA 終了信号が入力された (割り込み要求発生) 0 : Endpoint n 用 DMA 終了信号が入力されていない (初期値)</p> <p>このビットがセット (1) されると、Endpoint n 用 DMA 要求信号はインアクティブになります。FW により DMA 転送許可を行わないかぎり、Endpoint n 用 DMA 要求信号はアクティブになりません。</p> <p>実際にどの Endpoint に対する動作であるかは USFA0DMS0 レジスタで確認してください。ただし、FW により USFA0DMS0 レジスタを読み出しても、自動的にクリア (0) されません。</p>
2	SETRQ	<p>自動処理対象の SET_XXXX リクエストを受信し、自動処理を行ったことを示します (XXXX = CONFIGURATION, FEATURE)。</p> <p>1 : 自動処理対象の SET_XXXX リクエストを受信した (割り込み要求発生) 0 : 自動処理対象の SET_XXXX リクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。リクエストの対象が何かは USFA0SET レジスタを参照してください。FW により USFA0SET レジスタを読み出しても、自動的にクリア (0) されません。</p> <p>なお、SET_FEATURE Endpoint リクエストを受信したときは EPHALT ビットもセット (1) されます。</p>
1	CLRRQ	<p>CLEAR_FEATURE リクエストを受信し、自動処理を行ったことを示します。</p> <p>1 : CLEAR_FEATURE リクエストを受信した (割り込み要求発生) 0 : CLEAR_FEATURE リクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。</p> <p>CLEAR_FEATURE リクエストの対象が何かは USFA0CLR レジスタを参照してください。FW により USFA0CLR レジスタを読み出しても、自動的にクリア (0) されません。</p>
0	EPHALT	<p>Endpoint がストールしていることを示します。</p> <p>1 : Endpoint がストールしている (割り込み要求発生) 0 : Endpoint がストールしていない (初期値)</p> <p>なお、FW のセットにより Endpoint をストールさせた場合もこのビットがセット (1) されます。</p> <p>ストールしている Endpoint は、USFA0EPS2 レジスタを参照してください。</p> <p>CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATION リクエストを受信しても、自動的にクリア (0) されません。また Endpoint0 のオーバーラン発生の場合、次の SETUP トークンを受信しても、自動的にクリア (0) されません。</p> <p>注意 Endpoint0 の Halt Feature がセットされてこの割り込み要求が発生した場合でも、SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0 リクエストまたは FW 処理リクエストを受信してから次の前述以外の SETUP トークンを受信するまでは USFA0EPS2 レジスタのビット 0 はマスクされ 0 になります。</p>

(12) INT ステータス 1 レジスタ (USFA0IS1)

割り込み要因を示します。このレジスタに変化があった場合は、USFA0EPCINT.EPC_INT0 ビットがセット (1) されます。

USBF から割り込み要求 (INTUSFA0I1) が発生した場合、FW はこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、USFA0IC1 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されます。ただし、USFA0IS1 レジスタの SUCES, STG ビットは次の SETUP トークン受信で自動的にクリア (0) されます。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 044_H

初期値 00_H どのリセット要因でも初期化されます。

注意 USBF では、Bus Reset, Resume, Short など複数の割り込み要因が内部で論理和 (OR) され、1 つの割り込み要求 (INTUSFA0I1) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されて INTUSFA0I1 割り込み要求を発行します。

例えば、Bus Reset 割り込み要因と Resume 割り込み要因が発生している場合には、2 つの要因が論理和 (OR) されて INTUSFA0I1 割り込み要求を発行します。

この条件で、Bus Reset 割り込み要因だけをクリア (0)

(USFA0IC0.BUSRSTC = 0) した場合、Resume 割り込み要因が残っているため、この製品内部の INTUSFA0I1 割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSFA0I1 割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めて USFA0IS0, USFA0IS1 レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

また、USBF では、割り込みを検出すると EICn.EIRFn ビットとして割り込み要求がラッチされます (n = 187 ~ 189)。このため、CPU が割り込みを受け付けて、割り込み制御レジスタ (EIC187 ~ EIC189) の EIRFn ビットが自動的にクリア (0) されても、すぐに EICn.EIRFn ビットがセット (1) され、連続的に割り込みが発生します。この状態を回避するためには、割り込み処理ルーチン内で、次の処理を実施し、EICn.EIRFn ビットを強制的にクリア (0) してください。

• EIC187 (ブリッジ割り込み) の場合

- ① Hバス・ブリッジ割り込みステータス・レジスタ (USFA0BRGINT) の割り込み要因をクリア (0)
- ② EIC187.EIRF187 ビットをクリア (0)

• EIC188 (EPC 割り込み) の場合

- ① INT ステータス x レジスタ (USFA0ISx, x=0 ~ 4) の割り込み要因をクリア (0)
- ② EPC 割り込みステータス・レジスタ (USFA0EPCINT) の割り込み要因をクリア (0)
- ③ EIC188.EIRF188 ビットをクリア (0)

EIC189 (USB Resume 検出) の場合

- ① EIC189.EIRF189 ビットをクリア (0)

	7	6	5	4	3	2	1	0
USFA0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPUDEEC
	R	R	R	R	R	R	R	R

表 30-20 USFA0IS1 レジスタの内容 (1/2)

ビット位置	ビット名	意味
6	E0IN	Endpoint0 に対する IN トークンを受信して、ハードウェアが自動的に NAK を送信したことを示します。 1: IN トークンを受信し NAK を送出した (割り込み要求発生) 0: IN トークンを受信していない (初期値)
5	E0INDT	USFA0E0W レジスタからデータが正常に送信されたことを示します。 1: USFA0E0W レジスタから送信が完了した (割り込み要求発生) 0: USFA0E0W レジスタから送信を完了していない (初期値) データは USFA0E0N レジスタの EP0NKW ビットをセット (1) した次の IN トークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。Null パケットでもセット (1) されます。USFA0E0W レジスタに書き込みを行った最初のライト・アクセス時にハードウェアにより自動的にクリア (0) されます。
4	E0ODT	データが USFA0E0R レジスタに正常に受信されたことを示します。 1: USFA0E0R レジスタにデータがある (割り込み要求発生) 0: USFA0E0R レジスタにデータがない (初期値) 正常に受信するとハードウェアにより自動的にセット (1) され、同時に USFA0EPS0 レジスタの EP0R ビットもセット (1) されます。Null パケットを受信した場合はセット (1) されません。FW により USFA0E0R レジスタを読み出し、USFA0E0L レジスタの値が 0 になるとハードウェアにより自動的にクリア (0) されます。
3	SUCES	FW 処理またはハードウェア処理リクエストのどちらかを受信し、ステータス・ステージを正常に終了したことを示します。 1: コントロール転送を正常に処理し終わった (割り込み要求発生) 0: コントロール転送を正常に処理し終わっていない (初期値) このビットはステータス・ステージ終了後にセット (1) されます。また、次の SETUP トークンを受信したときにハードウェアにより自動的にクリア (0) されます。 なお、コントロール転送のステータス・ステージで Data PID が 0 のデータ (Null データ) を受信した場合も SUCES ビットがセット (1) されます。
2	STG	コントロール転送でステータス・ステージが変わったときにセット (1) されます。FW 処理またはハードウェア処理のいずれのリクエストでも有効です。また、コントロール転送 (データなし) でもステータス・ステージが変わったときにはセット (1) されます。 1: ステータス・ステージに入った (割り込み要求発生) 0: ステータス・ステージに入っていない (初期値) このビットは次の SETUP トークンを受信したときにハードウェアにより自動的にクリア (0) されます。 なお、データ・ステージで ACK を正常に受信できていない状態でコントロール転送がステータス・ステージが変わった場合でもセット (1) されます。この場合、FW でコントロール転送 (リード) を処理している場合には USFA0E0W レジスタと同時に USFA0E0N レジスタの EP0NKW ビットもクリア (0) されます。

表 30-20 USFA0IS1 レジスタの内容 (2/2)

ビット位置	ビット名	意味
1	PROT	<p>SETUP トークンを受信したことを示します。ハードウェア処理または FW 処理のいずれのリクエストでも有効です。</p> <p>1 : SETUP トークンを正常受信した (割り込み要求発生)</p> <p>0 : SETUP トークンを受信していない (初期値)</p> <p>このビットは、USFA0E0ST レジスタにデータを正常受信した際にセット (1) されます。USFA0E0ST レジスタを最初にリード・アクセスする際などに、FW によってクリア (0) してください。FW によりクリア (0) しなかった場合、次の SETUP トークンを正常に受け取ったことを認識できません。</p> <p>このビットは、コントロール転送中に再度 SETUP トランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度 SETUP トランザクションが行われ、2 番目のリクエストがハードウェア実行の場合 CPUDEC ビットはセット (1) されないため、このビットで確認することができます。</p>
0	CPUDEC	<p>USFA0E0ST レジスタに FW でデコードを行うリクエストがあることを示します。</p> <p>1 : USFA0E0ST レジスタにデータがある (割り込み要求発生)</p> <p>0 : USFA0E0ST レジスタにデータがない (初期値)</p> <p>USFA0E0ST レジスタのデータをすべてリードすると、ハードウェアにより自動的にクリア (0) されます。</p>

(13) INT ステータス 2 レジスタ (USFA0IS2)

割り込み要因を示します。このレジスタに変化があった場合は、USFA0EPCINT.EPC_INT1 ビットがセット (1) されます。

USBF から割り込み要求 (INTUSFA0I1) が発生した場合、FW はこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、USFA0IC2 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されます。

USFA0EnIM レジスタ (n = 1, 3, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 048_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IS2	BKI2IN	BKI2DT	BKI1IN	BKI1DT	0	0	IT2DT	IT1DT
	R	R	R	R	R	R	R	R

表 30-21 USFA0IS2 レジスタの内容

ビット位置	ビット名	意味
7, 5	BKInIN	USFA0BIn レジスタ (Endpoint m) に対する IN トークンを受信して NAK を返信したことを示します。 1: IN トークンを受信し NAK を送出した (割り込み要求発生) 0: IN トークンを受信していない (初期値)
6, 4	BKInDT	USFA0BIn レジスタ (Endpoint m) の FIFO のトグルが発生したことを示します。これは Endpoint m にデータを書き込めることを意味します。 1: FIFO のトグル動作が発生した (割り込み要求発生) 0: FIFO のトグル動作が発生していない (初期値) Endpoint m に書き込まれたデータは USFA0EN レジスタの BKInNK ビットがセット (1) された次の IN トークンに同期して送信されますが、FIFO のトグル動作が発生して CPU 側からデータを書き込めるようになると、このビットがハードウェアにより自動的にセット (1) されます。Null パケットの場合でも FIFO の切り替えが行われた場合はセット (1) されます。USFA0BIn レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。
1, 0	ITnDT	USFA0INTn レジスタ (Endpoint x) からデータが正常に送信されたことを示します。 1: 送信が完了した (割り込み要求発生) 0: 送信が完了していない (初期値) データは USFA0EN レジスタの ITnNK ビットをセット (1) した次の IN トークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。USFA0INTn レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。Null パケットでもセット (1) されます。

備考 n = 1, 2
n = 1 のとき m = 1, x = 7
n = 2 のとき m = 3, x = 8

(14) INT ステータス 3 レジスタ (USFA0IS3)

割り込み要因を示します。このレジスタに変化があった場合は、USFA0EPCINT.EPC_INT1 ビットがセット (1) されます。

USBF から割り込み要求 (INTUSFA0I1) が発生した場合、FW はこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、USFA0IC3 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されます。

USFA0EnIM レジスタ (n = 2, 4) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 04C_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IS3	BKO2FL	BKO2NL	BKO2NAK	BKO2DT	BKO1FL	BKO1NL	BKO1NAK	BKO1DT
	R	R	R	R	R	R	R	R

表 30-22 USFA0IS3 レジスタの内容 (1/2)

ビット位置	ビット名	意味
7, 3	BKOnFL	USFA0BOn レジスタ (Endpoint m) にデータが正常受信され、CPU/SIE の両方の FIFO にデータが保持されていることを示します。 1 : USFA0BOn レジスタの両方の FIFO に受信データが存在する (割り込み要求発生) 0 : USFA0BOn レジスタの少なくとも SIE 側 FIFO には受信データが存在しない (初期値) CPU/SIE の両方の FIFO にデータが保持されると、ハードウェアにより自動的にセット (1) されます。FIFO のトグル動作が起こるとハードウェアにより自動的にクリア (0) されます。
6, 2	BKOnNL	USFA0BOn レジスタ (Endpoint m) で Null パケット (0 長パケット) を受信したことを示します。 1 : Null パケットを受信した (割り込み要求発生) 0 : Null パケットは受信していない (初期値) FIFO が空の状態では Null パケットの受信により受信直後にこのビットがセット (1) されます。CPU 側 FIFO にデータが存在する状態では CPU 側 FIFO の読み出しが完了したあとにこのビットがセット (1) されます。
5, 1	BKOnNAK	USFA0BOn レジスタ (Endpoint m) に対する OUT トークンを受信して NAK を返信したことを示します。 1 : OUT トークンを受信し NAK を送出した (割り込み要求発生) 0 : OUT トークンを受信していない (初期値)

備考 n = 1, 2
n = 1 のとき m = 2
n = 2 のとき m = 4

表 30-22 USFA0IS3 レジスタの内容 (2/2)

ビット位置	ビット名	意味
4, 0	BKOnDT	<p>USFA0BOn レジスタ (Endpoint m) にデータが正常受信されたことを示します。</p> <p>1 : 正常に受信が完了した (割り込み要求発生)</p> <p>0 : 受信が完了していない (初期値)</p> <p>正常受信を行い FIFO が切り替わったときに、ハードウェアにより自動的にセット (1) され、同時に USFA0EPS0 レジスタの対応ビットもセット (1) されます。Null パケットの場合はセット (1) されません。FW による USFA0BOn レジスタ読み出しで USFA0BOnL レジスタの値が 0 になると、ハードウェアにより自動的にクリア (0) されます。</p> <p>このビットは CPU 側の FIFO をすべて読み出したときに自動的にクリア (0) されますが、このとき SIE 側にデータがあれば割り込み要求はクリアされず INTUSFA0I2 信号もインアクティブになりません。連続してデータを受信した場合は、アクティブのままになります。</p>

備考 n = 1, 2
n = 1 のとき m = 2
n = 2 のとき m = 4

(15) INT ステータス 4 レジスタ (USFA0IS4)

割り込み要因を示します。このレジスタに変化があった場合は、USFA0EPCINT.EPC_INT2 がセット (1) されます。

USBF から割り込み要求 (INTUSFA0I1) が発生した場合、FW はこのレジスタを読み出して割り込み要因を確認してください。

このレジスタのビットは、USFA0IC4 レジスタの対応ビットに 0 を書き込むと強制的にクリア (0) されます。

USFA0EnIM レジスタ (n = 1-4, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 050_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IS4	0	0	SETINT	0	0	0	0	0
	R	R	R	R	R	R	R	R

表 30-23 USFA0IS4 レジスタの内容

ビット位置	ビット名	意味
5	SETINT	SET_INTERFACE リクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った (割り込み要求発生) 0: 自動処理を行っていない (初期値) 現在の設定がどのようになっているかは USFA0ASS レジスタまたは USFA0IFn レジスタ (n = 0-4) を読み出すことで判断できます。

(16) INT マスク 0 レジスタ (USFA0IM0)

USFA0IS0 レジスタに示される割り込み要因のマスクを制御します。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSFA0I1) 発生をマスクします。マスクした場合もステータスは反映されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 05C_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IM0	BUSRSTM	RSUSPDM	0	SHORTM	DMAEDM	SETRQM	CLRRQM	EPHALTM
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 30-24 USFA0IM0 レジスタの内容

ビット位置	ビット名	意味
7	BUSRSTM	Bus Reset 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6	RSUSPDM	Resume/Suspend 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	SHORTM	Short 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	DMAEDM	DMA_END 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	SETRQM	SET_RQ 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	CLRRQM	CLR_RQ 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	EPHALTM	EP_Halt 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(17) INT マスク 1 レジスタ (USFA0IM1)

USFA0IS1 レジスタに示される割り込み要因のマスクを制御します。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSFA0I1) 発生をマスクします。マスクした場合もステータスは反映されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 060_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IM1	0	E0INM	E0INDTM	E0ODTM	SUCESM	STGM	PROTM	CPUDECM
	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-25 USFA0IM1 レジスタの内容

ビット位置	ビット名	意味
6	E0INM	EPOIN 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	E0INDTM	EPOINDT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	E0ODTM	EPOOUTDT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	SUCESM	Success 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	STGM	Stg 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	PROTM	Protect 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	CPUDECM	CPUDEEC 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(18) INT マスク 2 レジスタ (USFA0IM2)

USFA0IS2 レジスタに示される割り込み要因のマスクを制御します。

FW は、このレジスタの該当するビットに 1 を書き込むことで USBF からの割り込み要求 (INTUSFA0I1) 発生をマスクします。マスクを行った場合もステータスは反映されます。

USFA0EnIM レジスタ (n = 1, 3, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス 064_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IM2	BKI2INM	BKI2DTM	BKI1INM	BKI1DTM	0	0	IT2DTM	IT1DTM
	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 30-26 USFA0IM2 レジスタの内容

ビット位置	ビット名	意味
7, 5	BKInINM	BLKInIN 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 4	BKInDTM	BLKInDT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1, 0	ITnDTM	INTnDT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(19) INT マスク 3 レジスタ (USFA0IM3)

USFA0IS3 レジスタに示される割り込み要因のマスクを制御します。

FW は、このレジスタの該当するビットに 1 を書き込むことで USBF からの割り込み要求 (INTUSFA0I1) 発生をマスクします。マスクを行った場合もステータスは反映されます。

USFA0EnIM レジスタ (n = 2, 4) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス 068_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IM3	BKO2FLM	BKO2NLM	BKO2NAKM	BKO2DTM	BKO1FLM	BKO1NLM	BKO1NAKM	BKO1DTM
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-27 USFA0IM3 レジスタの内容

ビット位置	ビット名	意味
7, 3	BKOnFLM	BLKOnFL 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 2	BKOnNLM	BLKOnNL 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5, 1	BKOnNAKM	BLKOnNK 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4, 0	BKOnDTM	BLKOnDT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(20) INT マスク 4 レジスタ (USFA0IM4)

USFA0IS4 レジスタに示される割り込み要因のマスクを制御します。

FW は、このレジスタの該当するビットに 1 を書き込むことで USBF からの割り込み要求 (INTUSFA0I1) 発生をマスクします。マスクを行った場合もステータスは反映されます。

USFA0EnIM レジスタ (n = 1-4, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス 06C_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IM4	0	0	SETINTM	0	0	0	0	0
	R	R	R/W	R	R	R	R	R

表 30-28 USFA0IM4 レジスタの内容

ビット位置	ビット名	意味
5	SETINTM	SET_INT 割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(21) INT クリア 0 レジスタ (USFA0IC0)

USFA0IS0 レジスタに示される割り込み要因のクリアを制御します。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んでも無効となります。

アクセス 8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FF_Hが読み出せます。

アドレス 078_H

初期値 FF_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IC0	BUSRSTC	RSUSPDC	1	SHORTC	DMAEDC	SETRQC	CLRRQC	EPHALTC
	W	W	W	W	W	W	W	W

表 30-29 USFA0IC0 レジスタの内容

ビット位置	ビット名	意味
7	BUSRSTC	Bus Reset 割り込み要求をクリアします。 0 : クリアする
6	RSUSPDC	Resume/Suspend 割り込み要求をクリアします。 0 : クリアする
4	SHORTC	Short 割り込み要求をクリアします。 0 : クリアする
3	DMAEDC	DMA_END 割り込み要求をクリアします。 0 : クリアする
2	SETRQC	SET_RQ 割り込み要求をクリアします。 0 : クリアする
1	CLRRQC	CLR_RQ 割り込み要求をクリアします。 0 : クリアする
0	EPHALTC	EP_Halt 割り込み要求をクリアします。 0 : クリアする

(22) INT クリア 1 レジスタ (USFA0IC1)

USFA0IS1 レジスタに示される割り込み要因のクリアを制御します。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んでも無効となります。

アクセス 8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FF_Hが読み出せます。

アドレス 07C_H

初期値 FF_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IC1	1	E0INC	E0INDTC	E0ODTC	SUCESC	STGC	PROTC	CPUDECC
	W	W	W	W	W	W	W	W

表 30-30 USFA0IC1 レジスタの内容

ビット位置	ビット名	意味
6	E0INC	EPOIN 割り込み要求をクリアします。 0: クリアする
5	E0INDTC	EPOINDT 割り込み要求をクリアします。 0: クリアする
4	E0ODTC	EPOOUTDT 割り込み要求をクリアします。 0: クリアする
3	SUCESC	Success 割り込み要求をクリアします。 0: クリアする
2	STGC	Stg 割り込み要求をクリアします。 0: クリアする
1	PROTC	Protect 割り込み要求をクリアします。 0: クリアする
0	CPUDECC	CPUDEEC 割り込み要求をクリアします。 0: クリアする

(23) INT クリア 2 レジスタ (USFA0IC2)

USFA0IS2 レジスタに示される割り込み要因のクリアを制御します。

FW はこのレジスタの該当するビットに 0 を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前に FW によるクリア (0) が可能です。0 を書き込んだあとは自動的にセット (1) されます。1 を書き込んでも無効となります。

USFA0EnIM レジスタ (n = 1, 3, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、FF_H が読み出せます。

アドレス 080_H

初期値 FF_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IC2	BKl2INC	BKl2DTC	BKl1INC	BKl1DTC	1	1	IT2DTC	IT1DTC
	W	W	W	W	W	W	W	W

表 30-31 USFA0IC2 レジスタの内容

ビット位置	ビット名	意味
7, 5	BKl _n INC	BLKl _n IN 割り込み要求をクリアします。 0 : クリアする
6, 4	BKl _n DTC	BLKl _n DT 割り込み要求をクリアします。 0 : クリアする
1, 0	IT _n DTC	INT _n DT 割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(24) INT クリア 3 レジスタ (USFA0IC3)

USFA0IS3 レジスタに示される割り込み要因のクリアを制御します。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んでも無効となります。

USFA0EnIM レジスタ (n = 2, 4) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FF_Hが読み出せます。

アドレス 084_H

初期値 FF_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IC3	BKO2FLC	KO2NLC	BKO2NAKC	BKO2DTC	BKO1FLC	BKO1NLC	BKO1NAKC	BKO1DTC
	W	W	W	W	W	W	W	W

表 30-32 USFA0IC3 レジスタの内容

ビット位置	ビット名	意味
7, 3	BKOnFLC	BLKOnFL 割り込み要求をクリアします。 0: クリアする
6, 2	BKOnNLC	BLKOnNL 割り込み要求をクリアします。 0: クリアする
5, 1	BKOnNAKC	BLKOnNK 割り込み要求をクリアします。 0: クリアする
4, 0	BKOnDTC	BLKOnDT 割り込み要求をクリアします。 0: クリアする

備考 n = 1, 2

(25) INT クリア 4 レジスタ (USFA0IC4)

USFA0IS4 レジスタに示される割り込み要因のクリアを制御します。

FW はこのレジスタの該当するビットに 0 を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前に FW によるクリア (0) が可能です。0 を書き込んだあとは自動的にセット (1) されます。1 を書き込んでも無効となります。

USFA0EnIM レジスタ (n = 1-4, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、FF_H が読み出せます。

アドレス 088_H

初期値 FF_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0IC4	1	1	SETINTC	1	1	1	1	1
	W	W	W	W	W	W	W	W

表 30-33 USFA0IC4 レジスタの内容

ビット位置	ビット名	意味
5	SETINTC	SET_INT 割り込み要求をクリアします。 0 : クリアする

(26) INT & DMARQ レジスタ (USFA0IDR)

割り込み要求による通知または DMA 起動を選択するためのレジスタです。

USFA0BO1, USFA0BO2 レジスタのいずれかにデータが存在する場合、または USFA0BI1, USFA0BI2 レジスタにデータを書き込める場合に、FW に対して割り込み要求で通知するか DMA 起動を要求するかを選択します。また、DMA 起動を要求した場合は、ビット 0, 1 の設定により DMA 転送モードが選択できます。

USFA0EnIM レジスタ (n = 1-4) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

ビット 3, 2 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス 098_H

初期値 00_H どのリセット要因でも初期化されます。

注意 DMA 転送中の SET_INTERFACE リクエストで対象 Endpoint がサポートされなくなった場合は、DMA リクエスト信号はただちにインアクティブになり、該当するビットはハードウェアにより自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0
USFA0IDR	DQBI2MS	DQBI1MS	DQBO2MS	DQBO1MS	0	0	MODE1	MODE0
	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 30-34 USFA0IDR レジスタの内容 (1/2)

ビット位置	ビット名	意味
7, 3	DQBI _n MS	USFA0BI _n レジスタへの書き込み DMA 転送リクエスト (Endpoint m 用 DMA 要求信号) の許可 (マスク) を行います。このビットをセット (1) すると、データの書き込みを受け付けられるとき Endpoint m 用 DMA 要求信号がアクティブになります。Endpoint m 用 DMA 終了信号が入力された場合 (DMA コントローラが TC を発行したとき) に、このビットはハードウェアにより自動的にクリア (0) されます。DMA による転送を継続する場合は、FW で再セット (1) してください。 1 : Endpoint m 用 DMA 要求信号アクティブ許可 (BKInDT 割り込みをマスク) 0 : Endpoint m 用 DMA 要求信号アクティブ不許可 (初期値)
5, 1	DQBO _n MS	USFA0BO _n レジスタの読み出し DMA 転送リクエスト (Endpoint x 用 DMA 要求信号) の許可 (マスク) を行います。このビットをセット (1) すると、読み出すデータが USFA0BO _n レジスタに準備されると Endpoint x 用 DMA 要求信号がアクティブになります。Endpoint x 用 DMA 終了信号が入力された場合 (DMA コントローラが TC を発行したとき) に、このビットはハードウェアにより自動的にクリア (0) されます。USBSPxB 信号のアクティブ時にもクリア (0) されます。DMA による転送を継続する場合は、FW で再セット (1) してください。 1 : Endpoint x 用 DMA 要求信号アクティブ許可 (BKOnDT 割り込みをマスク) 0 : Endpoint x 用 DMA 要求信号アクティブ不許可 (初期値)

備考 n = 1, 2
n = 1 のとき m = 1, x = 2
n = 2 のとき m = 3, x = 4

表 30-34 USFA0IDR レジスタの内容 (2/2)

ビット位置	ビット名	意味			
1, 0	MODE1, MODE0	DMA 転送モードを選択します。			
		MODE1	MODE0	モード	備考
		1	0	デマンド・モード	データがあるかぎり DMA リクエスト信号はアクティブになります。データがなくなるとインアクティブになります。
		上記以外	設定禁止		

(27) DMA ステータス 0 レジスタ (USFA0DMS0)

Endpoint1-Endpoint4 の DMA のステータスを示します。

USFA0EnIM レジスタ (n = 1-4) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 09C_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0DMS0	0	0	DQE4	DQE3	DQE2	DQE1	0	0
	R	R	R	R	R	R	R	R

表 30-35 USFA0DMS0 レジスタの内容

ビット位置	ビット名	意味
5	DQE4	Endpoint4 からメモリへの DMA 読み出し要求を行っていることを示します。 1 : Endpoint4 に対する DMA 読み出し要求中 0 : Endpoint4 に対する DMA 読み出し要求をしていない (初期値)
4	DQE3	メモリから Endpoint3 への DMA 書き込み要求を行っていることを示します。 Endpoint3 にデータがある状態 (FIFO フル以外, BK12DED ビットのセット (1) 後) でも, USFA0IDR レジスタの DQB12MS ビットをセット (1) すると, すぐに DMA リクエスト信号がアクティブになり DMA 転送が開始されますのでご注意ください。 1 : Endpoint3 に対する DMA 書き込み要求中 0 : Endpoint3 に対する DMA 書き込み要求をしていない (初期値)
3	DQE2	Endpoint2 からメモリへの DMA 読み出し要求を行っていることを示します。 1 : Endpoint2 に対する DMA 読み出し要求中 0 : Endpoint2 に対する DMA 読み出し要求をしていない (初期値)
2	DQE1	メモリから Endpoint1 への DMA 書き込み要求を行っていることを示します。 Endpoint1 にデータがある状態 (FIFO フル以外, BK11DED ビットのセット (1) 後) でも, USFA0IDR レジスタの DQB11MS ビットをセット (1) すると, すぐに DMA リクエスト信号がアクティブになり DMA 転送が開始されますのでご注意ください。 1 : Endpoint1 に対する DMA 書き込み要求中 0 : Endpoint1 に対する DMA 書き込み要求をしていない (初期値)

(28) DMA ステータス 1 レジスタ (USFA0DMS1)

Endpoint1-Endpoint4 の DMA のステータスを示します。

USFA0EnIM レジスタ (n = 1-4) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

各ビットはこのレジスタを読み出したときに自動的にクリア (0) されます。ただし、このレジスタを読み出しても USFA0IS0 レジスタのビット 4, 3 はクリア (0) されません。SET_INTERFACE リクエストで対象 Endpoint がサポートされなくなった場合は、各ビットはハードウェアにより自動的にクリア (0) されます (ただし、DMA_END 割り込み要求, Short 割り込み要求はクリアされません)。

アクセス 8 ビット単位でリードだけ可能です。

アドレス 0A0_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0DMS1	DEDE4	DSPE4	DEDE3	DEDE2	DSPE2	DEDE1	0	0
	R	R	R	R	R	R	R	R

表 30-36 USFA0DMS1 レジスタの内容

ビット位置	ビット名	意味
7, 5, 4, 2	DEDEn	Endpoint n からメモリへの DMA 読み出し要求を行っている最中に Endpoint n 用 DMA 終了 (TC) 信号がアクティブになり DMA が停止したことを示します。 1 : Endpoint n 用 DMA 終了信号がアクティブ 0 : Endpoint n 用 DMA 終了信号がインアクティブ (初期値)
6, 3	DSPEm	Endpoint m からメモリへの DMA 読み出し要求を行っていたが、受信データがショート・パケットであり転送データがなくなったため、DMA が停止したことを示します。 1 : DMASTOP_EPm 信号がアクティブ 0 : DMASTOP_EPm 信号がインアクティブ (初期値)

備考 n = 1-4
m = 2, 4

(29) FIFO クリア 0 レジスタ (USFA0FIC0)

各 FIFO をクリアするためのレジスタです。

FW はこのレジスタの該当するビットに 1 を書き込むことで対象 FIFO をクリアできます。1 を書き込んだあとは自動的にクリア (0) されます。0 を書き込んででも無効となります。

USFA0EnIM レジスタ (n = 1, 3, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でライトだけ可能です。このレジスタをリードした場合は、00_H が読み出せます。

アドレス 0C0_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0FIC0	BKI2SC	BKI2CC	BKI1SC	BKI1CC	0	ITR1C	EP0WC	EP0RC
	W	W	W	W	W	W	W	W

表 30-37 USFA0FIC0 レジスタの内容

ビット位置	ビット名	意味
7, 5	BKInSC	USFA0BIn レジスタの SIE 側 FIFO のみをクリア (カウンタをリセット) します。 1 : クリアする BKInNK ビットがセット (1) されている状態で Endpoint m に対する IN トークンの処理中にこのビットの書き込みを行っても無効になります。なお、BKInNK ビットは FIFO をクリアすることで自動的にクリア (0) されます。このビットを使用するときには CPU 側 FIFO を必ず空にしておいてください。
6, 4	BKInCC	USFA0BIn レジスタの CPU 側 FIFO のみをクリア (カウンタをリセット) します。 1 : クリアする
2	ITR1C	FOINT1 レジスタをクリア (カウンタをリセット) します。 1 : クリアする IT1NK ビットがセット (1) されている状態で Endpoint 7 に対する IN トークンの処理中にこのビットの書き込みを行っても無効になります。なお、IT1NK ビットは FIFO をクリアすることで自動的にクリア (0) されます。
1	EP0WC	USFA0E0W レジスタをクリア (カウンタをリセット) します。 1 : クリアする EP0NKW ビットがセット (1) されている状態で Endpoint0 に対する IN トークンの処理中にこのビットの書き込みを行っても無効になります。なお、EP0NKW ビットは FIFO をクリアすることで自動的にクリア (0) されます。
0	EP0RC	USFA0E0R レジスタをクリア (カウンタをリセット) します。 1 : クリアする EP0NKR ビットがセット (1) されている場合 (ただし、FW でセット (1) した場合は除く) には、FIFO をクリアすることで EP0NKR ビットが自動的にクリア (0) されます。

備考 n = 1, 2
n = 1 のとき m = 1, x = 7
n = 2 のとき m = 3, x = 8

(30) FIFO クリア 1 レジスタ (USFA0FIC1)

各 FIFO をクリアするためのレジスタです。

FWはこのレジスタの該当するビットに1を書き込むことで対象 FIFO をクリアできます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んだりも無効となります。

USFA0EnIM レジスタ (n = 2, 4) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00_Hが読み出せます。

アドレス 0C4_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0FIC 1	0	0	0	0	BKO2C	BKO2CC	BKO1C	BKO1CC
	R	R	R	R	W	W	W	W

表 30-38 USFA0FIC1 レジスタの内容

ビット位置	ビット名	意味
3, 1	BKOnC	USFA0BOn レジスタの SIE 側 /CPU 側の両 FIFO をクリア (カウンタをリセット) します。 1: クリアする BKOnNK ビットがセット (1) されている場合 (ただし, FW でセット (1) した場合は除く) には, FIFO をクリアすることで BKOnNK ビットが自動的にクリア (0) されます。
2, 0	BKOnCC	USFA0BOn レジスタの CPU 側の FIFO だけをクリア (カウンタをリセット) します。 1: クリアする BKOnNK ビットがセット (1) されている場合 (ただし, FW でセット (1) した場合は除く) には, FIFO をクリアすることで BKOnNK ビットが自動的にクリア (0) されます。

備考 n = 1, 2

(31) データ・エンド・レジスタ (USFA0DEND)

送信系の FIFO のトグル設定、および書き込み終了を通知するためのレジスタです。

BKInT (n = 0,1) の各ビットに 1 を書き込むことで対象 Endpoint の FIFO がフルになった場合にトグル動作を自動的に実行することができます。

ITnDEND (n = 0,1), BKInDEND (n = 0, 1), E0DNED ビットに 1 を書き込むことで対象 Endpoint のデータ転送を開始させることができます。1 を書き込んだあとは自動的にクリア (0) されます。0 を書き込んでも無効となります。

USFA0EnIM レジスタ (n = 1, 3, 7, 8) の設定と現在の Interface の設定によって各 Endpoint がサポートされていないときは、関連ビットは無効となります。

アクセス 8 ビット単位でリード/ライト可能です (ただし、ビット 4-0 はライトのみ可能でリードすると常に 0 が読み出せます)。

アドレス 0D4_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0DEND	BKI2T	BKI1T	0	IT2DEND	IT1DEND	BKI2DED	BKI1DED	E0DED
	R/W	R/W	R	W	W	W	W	W

表 30-39 USFA0DEND レジスタの内容 (1/2)

ビット位置	ビット名	意味
7, 6	BKInT	DMA により USFA0BIn レジスタの CPU 側の FIFO がフルになった場合に、FIFO のトグル動作を自動的に実行するかを設定します。 1 : FIFO フルになった時点で FIFO のトグル動作を自動的に実行する 0 : FIFO フルになっても FIFO のトグル動作は自動実行しない (初期値)
4, 3	ITnDEND	USFA0INTn レジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると、ITnNK ビットがセット (1) されデータ転送が行われます。 1 : ショート・パケットを送信する 0 : ショート・パケットを送信しない (初期値) USFA0FIC0 レジスタの ITRnC ビットがセット (1) され、さらにこのビットがセット (1) された場合 (USFA0INTn レジスタのカウンタ = 0, USFA0EPS0 レジスタの対応ビット = 1), Null (データ長 0) パケットが送信されます。 USFA0INTn レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (USFA0INTn レジスタのカウンタ ≠ 0, USFA0EPS0 レジスタの対応ビット = 1), ショート・パケットが送信されます。 FIFO がフルの場合はこのビットに関連する制御はハードウェアによって自動的に行われます。

備考 n = 1, 2

表 30-39 USFA0DEND レジスタの内容 (2/2)

ビット位置	ビット名	意味
2, 1	BKInDED	<p>USFA0BIn レジスタへの送信データの書き込みが終了したときにセット (1) してください。このビットがセット (1) されると、FIFO のトグル動作が行えるようになったタイミングで FIFO トグル動作が起こり、BKInNK ビットがセット (1) されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値)</p> <p>このビットは CPU 側の FIFO を制御します。 USFA0FIC0 レジスタの BKInCC ビットがセット (1) され、さらにこのビットがセット (1) された場合 (USFA0BIn レジスタのカウンタ = 0)、Null (データ長 0) パケットが送信されます。 USFA0BIn レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (USFA0BIn レジスタのカウンタ ≠ 0)、FIFO がフルでなければショート・パケットが送信されます。 PIO か BKInT ビットをセット (1) した状態の DMA で USFA0BIn レジスタの CPU 側の FIFO をフルにした場合、このビットをセット (1) しなくてもハードウェアはデータ送信を開始します。 BKInT ビットをクリア (0) した状態の DMA で USFA0BIn レジスタの CPU 側の FIFO をフルにした場合、必ずこのビットをセット (1) してください (20.6.3 (3) 「EPNAK レジスタ (USFA0EN)」参照)。</p>
0	E0DED	<p>USFA0E0W レジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると、EPONKW ビットがセット (1) されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値)</p> <p>USFA0FIC0 レジスタの EP0WC ビットがセット (1) され、さらにこのビットがセット (1) された場合 (USFA0E0W レジスタのカウンタ = 0、USFA0EPS0 レジスタのビット 1 = 1)、Null (データ長 0) パケットが送信されます。 USFA0E0W レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (USFA0E0W レジスタのカウンタ ≠ 0、USFA0EPS0 レジスタのビット 1 = 1)、FIFO がフルでなければショート・パケットが送信されます。</p>

備考 n = 1, 2

(32) GPR レジスタ (USFA0GPR)

USBF と USB インタフェースを制御します。

FW はこのレジスタのビット 0 に 1 を書き込むことで USBF をリセットできます。1 を書き込んだあとは自動的にクリア (0) されます。0 を書き込んで無効となります。

アクセス 8 ビット単位でライトのみ可能です。このレジスタをリードした場合は、00_H が読み出せます。

アドレス 0DC_H

初期値 00_H どのリセット要因でも初期化されます。

注意 ビット 7-1 には、必ず 0 を設定してください。

	7	6	5	4	3	2	1	0
USFA0GPR	0	0	0	0	0	0	0	MRST
	R	R	R	R	R	R	R	W

表 30-40 USFA0GPR レジスタの内容

ビット位置	ビット名	意味
0	MRST	USBF をリセットするときにセット (1) してください。 1: リセットする このビットを FW によりセット (1) したあと実際にリセットされるのは、ライト信号のインアクティブから 2USB クロック後になります。 システム・クロックの動作中に MRST ビットによる USBF のリセットを行った場合、USBF については RESET 端子による制御 (ハードウェア・リセット) と同じになります (レジスタ値が初期値に戻ります)。

(33) モード・コントロール・レジスタ (USFA0MODC)

CPUDEC 処理の制御を行います。

このレジスタの各ビットを設定することにより、USFA0MODS レジスタの設定を変更できます。ハードウェア・リセット時と USFA0GRP レジスタの MRST ビットをセット (1) したときにだけ自動的にクリア (0) されます。

このレジスタのビットがハードウェアにより自動的にセット (1) されても、FW による設定が優先されます。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス 0E8_H

初期値 00_H どのリセット要因でも初期化されます。

- 注意**
1. このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外はこのレジスタは設定しないでください。
 2. ビット 7, 5-0 には必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0
USFA0MODC	0	CDCGDST	0	0	0	0	0	0
	R	R/W	R	R	R	R	R	R

表 30-41 USFA0MODC レジスタの内容

ビット位置	ビット名	意味
0	CDCGDST	GET_DESCRIPTOR Configuration リクエストを CPUDEC 処理に切り替えるときにセット (1) してください。このビットをセット (1) することにより USFA0MODS レジスタの CDCGD ビットを強制的にセット (1) できます。 1 : GET_DESCRIPTOR Configuration リクエストを強制的に CPUDEC 処理に変更 (USFA0MODS レジスタの CDCGD ビットをセット (1)) 0 : GET_DESCRIPTOR Configuration リクエストは自動処理のまま (初期値)

(34) モード・ステータス・レジスタ (USFA0MODS)

コンフィギュレーション状況を示します。

アクセス 8ビット単位でリードだけ可能です。

アドレス 0F0_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0
	R	R	R	R	R	R	R	R

表 30-42 USFA0MODS レジスタの内容

ビット位置	ビット名	意味
6	CDCGD	GET_DESCRIPTOR Configuration リクエストを CPUDEC 処理に切り替えるかを示します。 1: GET_DESCRIPTOR Configuration リクエストを強制的に CPUDEC 処理に変更 0: GET_DESCRIPTOR Configuration リクエストは自動処理のまま (初期値)
4	MPACK	Endpoint0 の送信パケット・サイズを示します。 1: 8 バイト以外で送信を行っている 0: 8 バイトで送信を行っている (初期値) このビットは GET_DESCRIPTOR Device リクエストを処理したあと (ステータス・ステージ正常終了時) に、ハードウェアにより自動的にセット (1) されます。なお、USBF がリセットされるまでこのビットはクリア (0) されません (Bus Reset ではクリア (0) されません)。 このビットがセット (1) されていない状態では、ハードウェアは自動実行リクエストのみ 8 バイト転送を行います。したがって、GET_DESCRIPTOR Device リクエストの完了前に FW 処理の OUT トークンで 8 バイト以上のデータが送られた場合でも、正常受信します。 なお、Endpoint0 のサイズを 8 バイト構成にした場合は無視されます。
3	DFLT	デフォルト状態 (DFLT ビット = 1) になっているかを示します。 1: 応答許可 0: 応答禁止 (常に無応答) (初期値) このビットは Bus Reset により自動的にセット (1) されます。このビットがセット (1) されるまですべての Endpoint に対するトランザクションに応答しません。
2	CONF	SET_CONFIGURATION リクエストが完了したかを示します。 1: SET_CONFIGURATION リクエストが完了した 0: SET_CONFIGURATION リクエストが完了していない (初期値) SET_CONFIGURATION リクエストで Configuration 値 = 1 を受信したときにセット (1) されます。 このビットがセット (1) されていないかぎり、Endpoint0 以外に対するアクセスは無視されます。 なお、SET_CONFIGURATION リクエストで Configuration 値 = 0 を受信したとき、このビットはクリア (0) されます。また、Bus Reset を検出したときもクリア (0) されます。

(35) アクティブ・インタフェース・ナンバー・レジスタ (USFA0AIFN)

GET/SET_INTERFACE リクエストに対して正常に応答する有効な Interface 番号を設定します。なお、Interface 0 は必ず有効となるため、Interface 1-4 までを選択できます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 100_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0
	R/W	R	R	R	R	R	R/W	R/W

表 30-43 USFA0AIFN レジスタの内容

ビット位置	ビット名	意味															
7	ADDIF	0 以外の Interface 番号が利用できるように設定します。 1 : IFNO1, IFNO0 ビットで指定される Interface 番号までサポート 0 : Interface 0 だけをサポート (初期値) このビットがセット (1) されていない状態ではこのレジスタのビット 1, 0 の設定は無効になります。															
1, 0	IFNO1, IFNO0	サポートする Interface 番号の範囲を設定します。 <table border="1" data-bbox="552 1010 1345 1227"> <thead> <tr> <th>IFNO1</th> <th>IFNO0</th> <th>有効な Interface 番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0, 1, 2, 3, 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0, 1, 2, 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0, 1, 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0, 1</td> </tr> </tbody> </table>	IFNO1	IFNO0	有効な Interface 番号	1	1	0, 1, 2, 3, 4	1	0	0, 1, 2, 3	0	1	0, 1, 2	0	0	0, 1
IFNO1	IFNO0	有効な Interface 番号															
1	1	0, 1, 2, 3, 4															
1	0	0, 1, 2, 3															
0	1	0, 1, 2															
0	0	0, 1															

(36) アクティブ・オルタナティブ・セッティング・レジスタ (USFA0AAS)

Interface 番号と Alternative Setting のリンクを設定します。

この製品の USBF では 5 連 Alternative Setting (Alternative Setting 0, 1, 2, 3, 4 を定義できる) と 2 連 Alternative Setting (Alternative Setting 0, 1 を定義できる) をそれぞれ 1 つの Interface に対して設定できます。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス 104_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-44 USFA0AAS レジスタの内容

ビット位置	ビット名	意味															
7, 3	ALTn	n 連 Alternative Setting を Interface 0 にリンクするかを設定します。このビットがセット (1) されると IFALn1, IFALn0 ビットの設定は無効になります。 1 : Interface 0 に n 連 Alternative Setting をリンクする 0 : Interface 0 には n 連 Alternative Setting はリンクしない (初期値)															
6, 5, 2, 1	IFALn1, IFALn0	n 連 Alternative Setting にリンクされる Interface 番号を設定します。リンクした Interface 番号が USFA0AIFN レジスタで設定された Interface 番号の範囲外のときは、n 連 Alternative Setting は無効になります (ALTnEN ビット = 0)。 <table border="1" data-bbox="550 1097 1343 1310"> <thead> <tr> <th>IFALn1</th> <th>IFALn0</th> <th>リンクする Interface 番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>Interface 4 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>Interface 3 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>Interface 2 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>Interface 1 とリンク</td> </tr> </tbody> </table> 5 連 Alternative Setting と 2 連 Alternative Setting を同じ Interface 番号にリンクさせないようにしてください。	IFALn1	IFALn0	リンクする Interface 番号	1	1	Interface 4 とリンク	1	0	Interface 3 とリンク	0	1	Interface 2 とリンク	0	0	Interface 1 とリンク
IFALn1	IFALn0	リンクする Interface 番号															
1	1	Interface 4 とリンク															
1	0	Interface 3 とリンク															
0	1	Interface 2 とリンク															
0	0	Interface 1 とリンク															
4, 0	ALTnEN	n 連 Alternative Setting を有効にします。このビットがセット (1) されていないと ALTn ビット, IFALn1, IFALn0 ビットの設定は無効になります。 1 : n 連 Alternative Setting を有効にする 0 : n 連 Alternative Setting を有効にしない (初期値)															

備考 n = 2, 5

たとえば、USFA0AIFN レジスタを 82_H に設定し、USFA0AAS レジスタを 15_H に設定した場合、Interface 0, 1, 2, 3 が有効になり Interface 0, 2 は Alternative Setting 0 のみ、Interface 1 は Alternative Setting 0, 1、Interface 3 は Alternative Setting 0, 1, 2, 3, 4 をサポートすることを示します。この設定では GET_INTERFACE wIndex = 0/1/2/3, SET_INTERFACE wValue = 0 & wIndex = 0/2, SET_INTERFACE wValue = 0/1 & wIndex = 1, SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3 のリクエストに対して自動応答し、それ以外の GET/SET_INTERFACE リクエストには STALL 応答します。

(37) オルタナティブ・セッティング・ステータス・レジスタ (USFA0ASS)

現在の Alternative Setting の設定状態を示します。

SET_INT 割り込み要求が発行されたときはこのレジスタを確認してください。なお、SET_INTERFACE リクエストで受信した値は同時に USFA0IFn レジスタ (n = 0-4) にも反映されます。

アクセス 8ビット単位でリードだけ可能です。

アドレス 108_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST
	R	R	R	R	R	R	R	R

表 30-45 USFA0ASS レジスタの内容

ビット位置	ビット名	意味																								
3-1	AL5ST3-AL5ST1	5連 Alternative Setting の現在の設定状況を示します。 <table border="1"> <thead> <tr> <th>AL5ST3</th> <th>AL5ST2</th> <th>AL5ST1</th> <th>設定されている Alternative Setting 番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Alternative Setting 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Alternative Setting 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Alternative Setting 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Alternative Setting 1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Alternative Setting 0</td> </tr> </tbody> </table>	AL5ST3	AL5ST2	AL5ST1	設定されている Alternative Setting 番号	1	0	0	Alternative Setting 4	0	1	1	Alternative Setting 3	0	1	0	Alternative Setting 2	0	0	1	Alternative Setting 1	0	0	0	Alternative Setting 0
AL5ST3	AL5ST2	AL5ST1	設定されている Alternative Setting 番号																							
1	0	0	Alternative Setting 4																							
0	1	1	Alternative Setting 3																							
0	1	0	Alternative Setting 2																							
0	0	1	Alternative Setting 1																							
0	0	0	Alternative Setting 0																							
0	AL2ST	2連 Alternative Setting の現在の設定状況 (設定されている Alternative Setting 番号) を示します。 1 : Alternative Setting 1 0 : Alternative Setting 0																								

(38) エンドポイント1 インタフェース・マッピング・レジスタ (USFA0E1IM)

Endpoint1 がどの Interface と Alternative Setting に対して有効になるかを設定します。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternative Setting によって Endpoint1 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1 リクエストと Endpoint1 への IN トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 10C_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-46 USFA0E1IM レジスタの内容

ビット位置	ビット名	意味																																			
7-5	E1EN2- E1EN0	Endpoint1 の対象 Interface と 2/5 連 Alternative Setting とのリンクを設定します。リンクされている設定のときは、Alternative Setting 0 とリンクされます。なお、Alternative Setting 0 にリンクされた Endpoint は Alternative Setting 1-4 で外すことはできません。 <table border="1"> <thead> <tr> <th>E1EN2</th> <th>E1EN1</th> <th>E1EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111 に設定されている場合は、E12AL1 ビットを 0 に設定しても無効となります。</p> <p>リンクされている設定であれば、USFA0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint1 が有効になることを示します。</p>	E1EN2	E1EN1	E1EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0 とリンク	1	0	0	Interface 3, Alternative Setting 0 とリンク	0	1	1	Interface 2, Alternative Setting 0 とリンク	0	1	0	Interface 1, Alternative Setting 0 とリンク	0	0	1	Interface 0, Alternative Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E1EN2	E1EN1	E1EN0	リンク状態																																		
1	1	1	Interface とリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0 とリンク																																		
1	0	0	Interface 3, Alternative Setting 0 とリンク																																		
0	1	1	Interface 2, Alternative Setting 0 とリンク																																		
0	1	0	Interface 1, Alternative Setting 0 とリンク																																		
0	0	1	Interface 0, Alternative Setting 0 とリンク																																		
0	0	0	Interface とリンクされていない (初期値)																																		
4	E12AL1	2 連 Alternative Setting とリンクされた Interface の Alternative Setting が 1 に設定されているときに Endpoint1 が有効になるようにします。 1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値) このビットは E15AL4-E15AL1 ビットが 0000 の場合に有効になります。																																			
3-0	E15ALn	5 連 Alternative Setting とリンクされた Interface の Alternative Setting が n に設定されているときに Endpoint1 が有効になるようにします。 1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)																																			

備考 n = 1-4

(39) エンドポイント 2 インタフェース・マッピング・レジスタ (USFA0E2IM)

Endpoint2 がどの Interface と Alternative Setting に対して有効になるかを設定します。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternative Setting によって Endpoint2 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2 リクエストと Endpoint2 への OUT トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 110_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-47 USFA0E2IM レジスタの内容

ビット位置	ビット名	意味																																			
7-5	E2EN2- E2EN0	Endpoint2 の対象 Interface と 2/5 連 Alternative Setting とのリンクを設定します。リンクされている設定のときは、Alternative Setting 0 とリンクされます。なお、Alternative Setting 0 にリンクされた Endpoint は Alternative Setting 1-4 で外すことはできません。 <table border="1"> <thead> <tr> <th>E2EN2</th> <th>E2EN1</th> <th>E2EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table>	E2EN2	E2EN1	E2EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0 とリンク	1	0	0	Interface 3, Alternative Setting 0 とリンク	0	1	1	Interface 2, Alternative Setting 0 とリンク	0	1	0	Interface 1, Alternative Setting 0 とリンク	0	0	1	Interface 0, Alternative Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E2EN2	E2EN1	E2EN0	リンク状態																																		
1	1	1	Interface とリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0 とリンク																																		
1	0	0	Interface 3, Alternative Setting 0 とリンク																																		
0	1	1	Interface 2, Alternative Setting 0 とリンク																																		
0	1	0	Interface 1, Alternative Setting 0 とリンク																																		
0	0	1	Interface 0, Alternative Setting 0 とリンク																																		
0	0	0	Interface とリンクされていない (初期値)																																		
		110, 111 に設定されている場合は、E22AL1 ビットを 0 に設定しても無効となります。																																			
		リンクされている設定であれば、USFA0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint2 が有効になることを示します。																																			
4	E22AL1	2 連 Alternative Setting とリンクされた Interface の Alternative Setting が 1 に設定されているときに Endpoint2 が有効になるようにします。 1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値) このビットは E25AL4-E25AL1 ビットが 0000 の場合に有効になります。																																			
3-0	E25ALn	5 連 Alternative Setting とリンクされた Interface の Alternative Setting が n に設定されているときに Endpoint2 が有効になるようにします。 1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)																																			

備考 n = 1-4

(40) エンドポイント3 インタフェース・マッピング・レジスタ (USFA0E3IM)

Endpoint3 がどの Interface と Alternative Setting に対して有効になるかを設定します。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternative Setting によって Endpoint3 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint3 リクエストと Endpoint3 への IN トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 114_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E3IM	E3EN2	E3EN1	E3EN0	E32AL1	E35AL4	E35AL3	E35AL2	E35AL1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-48 USFA0E3IM レジスタの内容

ビット位置	ビット名	意味																																			
7-5	E3EN2- E3EN0	<p>Endpoint3 の対象 Interface と 2/5 連 Alternative Setting とのリンクを設定します。リンクされている設定のときは、Alternative Setting 0 とリンクされます。なお、Alternative Setting 0 にリンクされた Endpoint は Alternative Setting 1-4 で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E3EN2</th> <th>E3EN1</th> <th>E3EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111 に設定されている場合は、E32AL1 ビットを 0 に設定しても無効となります。</p> <p>リンクされている設定であれば、USFA0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint3 が有効になることを示します。</p>	E3EN2	E3EN1	E3EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0 とリンク	1	0	0	Interface 3, Alternative Setting 0 とリンク	0	1	1	Interface 2, Alternative Setting 0 とリンク	0	1	0	Interface 1, Alternative Setting 0 とリンク	0	0	1	Interface 0, Alternative Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E3EN2	E3EN1	E3EN0	リンク状態																																		
1	1	1	Interface とリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0 とリンク																																		
1	0	0	Interface 3, Alternative Setting 0 とリンク																																		
0	1	1	Interface 2, Alternative Setting 0 とリンク																																		
0	1	0	Interface 1, Alternative Setting 0 とリンク																																		
0	0	1	Interface 0, Alternative Setting 0 とリンク																																		
0	0	0	Interface とリンクされていない (初期値)																																		
4	E32AL1	<p>2 連 Alternative Setting とリンクされた Interface の Alternative Setting が 1 に設定されているときに Endpoint3 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値)</p> <p>このビットは E35AL4-E35AL1 ビットが 0000 の場合に有効になります。</p>																																			
3-0	E35ALn	<p>5 連 Alternative Setting とリンクされた Interface の Alternative Setting が n に設定されているときに Endpoint3 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(41) エンドポイント4 インタフェース・マッピング・レジスタ (USFA0E4IM)

Endpoint4 がどの Interface と Alternative Setting に対して有効になるかを設定します。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternative Setting によって Endpoint4 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint4 リクエストと Endpoint4 への OUT トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 118_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E4IM	E4EN2	E4EN1	E4EN0	E42AL1	E45AL4	E45AL3	E45AL2	E45AL1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-49 USFA0E4IM レジスタの内容

ビット位置	ビット名	意味																																			
7-5	E4EN2- E4EN0	Endpoint4 の対象 Interface と 2/5 連 Alternative Setting とのリンクを設定します。リンクされている設定のときは、Alternative Setting 0 とリンクされます。なお、Alternative Setting 0 にリンクされた Endpoint は Alternative Setting 1-4 で外すことはできません。 <table border="1"> <thead> <tr> <th>E4EN2</th> <th>E4EN1</th> <th>E4EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table>	E4EN2	E4EN1	E4EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0 とリンク	1	0	0	Interface 3, Alternative Setting 0 とリンク	0	1	1	Interface 2, Alternative Setting 0 とリンク	0	1	0	Interface 1, Alternative Setting 0 とリンク	0	0	1	Interface 0, Alternative Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E4EN2	E4EN1	E4EN0	リンク状態																																		
1	1	1	Interface とリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0 とリンク																																		
1	0	0	Interface 3, Alternative Setting 0 とリンク																																		
0	1	1	Interface 2, Alternative Setting 0 とリンク																																		
0	1	0	Interface 1, Alternative Setting 0 とリンク																																		
0	0	1	Interface 0, Alternative Setting 0 とリンク																																		
0	0	0	Interface とリンクされていない (初期値)																																		
110, 111 に設定されている場合は、E42AL1 ビットを 0 に設定しても無効となります。																																					
4	E42AL1	2 連 Alternative Setting とリンクされた Interface の Alternative Setting が 1 に設定されているときに Endpoint4 が有効になるようにします。 1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値) このビットは E45AL4-E45AL1 ビットが 0000 の場合に有効になります。																																			
3-0	E45ALn	5 連 Alternative Setting とリンクされた Interface の Alternative Setting が n に設定されているときに Endpoint4 が有効になるようにします。 1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)																																			

備考 n = 1-4

(42) エンドポイント7インタフェース・マッピング・レジスタ (USFA0E7IM)

Endpoint7 がどの Interface と Alternative Setting に対して有効になるかを設定します。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternative Setting によって Endpoint7 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint7 リクエストと Endpoint7 への IN トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 124_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E7IM	E7EN2	E7EN1	E7EN0	E72AL1	E75AL4	E75AL3	E75AL2	E75AL1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-50 USFA0E7IM レジスタの内容

ビット位置	ビット名	意味																																			
7-5	E7EN2- E7EN0	<p>Endpoint7 の対象 Interface と 2/5 連 Alternative Setting とのリンクを設定します。リンクされている設定のときは、Alternative Setting 0 とリンクされます。なお、Alternative Setting 0 にリンクされた Endpoint は Alternative Setting 1-4 で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E7EN2</th> <th>E7EN1</th> <th>E7EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111 に設定されている場合は、E72AL1 ビットを 0 に設定しても無効となります。</p> <p>リンクされている設定であれば、USFA0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint7 が有効になることを示します。</p>	E7EN2	E7EN1	E7EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0 とリンク	1	0	0	Interface 3, Alternative Setting 0 とリンク	0	1	1	Interface 2, Alternative Setting 0 とリンク	0	1	0	Interface 1, Alternative Setting 0 とリンク	0	0	1	Interface 0, Alternative Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E7EN2	E7EN1	E7EN0	リンク状態																																		
1	1	1	Interface とリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0 とリンク																																		
1	0	0	Interface 3, Alternative Setting 0 とリンク																																		
0	1	1	Interface 2, Alternative Setting 0 とリンク																																		
0	1	0	Interface 1, Alternative Setting 0 とリンク																																		
0	0	1	Interface 0, Alternative Setting 0 とリンク																																		
0	0	0	Interface とリンクされていない (初期値)																																		
4	E72AL1	<p>2 連 Alternative Setting とリンクされた Interface の Alternative Setting が 1 に設定されているときに Endpoint7 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値)</p> <p>このビットは E75AL4-E75AL1 ビットが 0000 の場合に有効になります。</p>																																			
3-0	E75ALn	<p>5 連 Alternative Setting とリンクされた Interface の Alternative Setting が n に設定されているときに Endpoint7 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(43) エンドポイント 8 インタフェース・マッピング・レジスタ (USFA0E8IM)

Endpoint8 がどの Interface と Alternative Setting に対して有効になるかを設定します。

このレジスタの設定と SET_INTERFACE リクエストで設定された Alternative Setting によって Endpoint8 が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint8 リクエストと Endpoint8 への IN トランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 128_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E8IM	E8EN2	E8EN1	E8EN0	E82AL1	E85AL4	E85AL3	E85AL2	E85AL1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-51 USFA0E8IM レジスタの内容

ビット位置	ビット名	意味																																			
7-5	E8EN2- E8EN0	<p>Endpoint8 の対象 Interface と 2/5 連 Alternative Setting とのリンクを設定します。リンクされている設定のときは、Alternative Setting 0 とリンクされます。なお、Alternative Setting 0 にリンクされた Endpoint は Alternative Setting 1-4 で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E8EN2</th> <th>E8EN1</th> <th>E8EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interface とリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0 とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0 とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interface とリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111 に設定されている場合は、E82AL1 ビットを 0 に設定しても無効となります。</p> <p>リンクされている設定であれば、USFA0MODS レジスタの CONF ビットがセット (1) されたときに Endpoint8 が有効になることを示します。</p>	E8EN2	E8EN1	E8EN0	リンク状態	1	1	1	Interface とリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0 とリンク	1	0	0	Interface 3, Alternative Setting 0 とリンク	0	1	1	Interface 2, Alternative Setting 0 とリンク	0	1	0	Interface 1, Alternative Setting 0 とリンク	0	0	1	Interface 0, Alternative Setting 0 とリンク	0	0	0	Interface とリンクされていない (初期値)
E8EN2	E8EN1	E8EN0	リンク状態																																		
1	1	1	Interface とリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0 とリンク																																		
1	0	0	Interface 3, Alternative Setting 0 とリンク																																		
0	1	1	Interface 2, Alternative Setting 0 とリンク																																		
0	1	0	Interface 1, Alternative Setting 0 とリンク																																		
0	0	1	Interface 0, Alternative Setting 0 とリンク																																		
0	0	0	Interface とリンクされていない (初期値)																																		
4	E82AL1	<p>2 連 Alternative Setting とリンクされた Interface の Alternative Setting が 1 に設定されているときに Endpoint8 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting 1 に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting 1 に設定されても有効にならない (初期値)</p> <p>このビットは E85AL4-E85AL1 ビットが 0000 の場合に有効になります。</p>																																			
3-0	E85ALn	<p>5 連 Alternative Setting とリンクされた Interface の Alternative Setting が n に設定されているときに Endpoint8 が有効になるようにします。</p> <p>1 : CONF ビット = 1 で Alternate Setting n に設定されたとき有効になる 0 : CONF ビット = 1 で Alternate Setting n に設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

30.7.3 データ保持レジスタ

(1) EP0 リード・レジスタ (USFA0E0R)

USFA0E0R レジスタは、Endpoint0 に対するコントロール転送のデータ・ステージでホストから送られてくる OUT データを格納する 64 バイトの FIFO です。

ハードウェアはホストからのデータを受信すると USFA0E0R レジスタに自動的に転送を行います。データを正常受信すると USFA0E0R レジスタの E0ODT ビットをセット (1) し、USFA0E0L レジスタに受信したデータ量を保持して、割り込み要求 (INTUSFA0I1) を発行します。USFA0E0L レジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し、異常受信だった場合には USFA0E0L レジスタはクリア (0) され割り込み要求は発生しません。

USFA0E0R レジスタに保持しているデータは、USFA0E0L レジスタで読み出した値分のデータだけ FW において読み出してください。全データの読み出しが完了したかどうかは USFA0EPS0 レジスタの EP0R ビットで確認してください (全データの読み出し完了の場合: EP0R ビット = 0)。USFA0E0L レジスタ値が 0 のとき、USFA0E0N レジスタの EP0NKR ビットがクリア (0) され、USFA0E0R レジスタは受信可能状態になります。また、USFA0E0R レジスタは、次の SETUP トークン受信時にクリアされます。

アクセス 8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

アドレス 200_H

初期値 不定。

注意 格納されているデータは、すべて読み出してください。途中で廃棄する場合は、FIFO クリアを行ってください。

	7	6	5	4	3	2	1	0
USFA0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0
	R	R	R	R	R	R	R	R

表 30-52 USFA0E0R レジスタの内容

ビット位置	ビット名	意味
7-0	E0R7-E0R0	Endpoint0 に対するコントロール転送のデータ・ステージでホストから送られてくる OUT データが格納されます。

次に USFA0E0R レジスタの動作を示します。

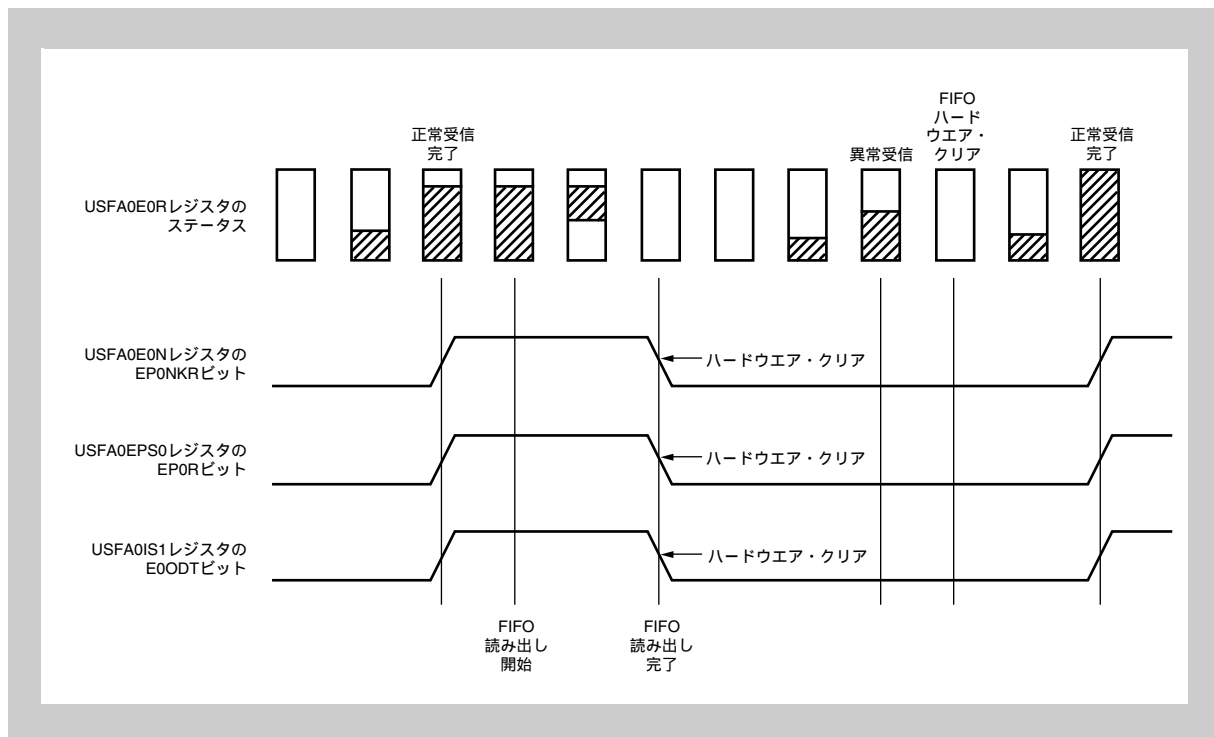


図 30-4 USFA0E0R レジスタの動作

(2) EP0 レンクス・レジスタ (USFA0E0L)

USFA0E0L レジスタは、USFA0E0R レジスタに保持されているデータ長を格納するレジスタです。

USFA0E0L レジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、USFA0E0L レジスタはクリア (0) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FW は USFA0E0L レジスタで読み出した値分のデータだけ USFA0E0R レジスタを読み出せます。USFA0E0L レジスタは USFA0E0R レジスタを読み出すごとに、ディクリメントされます。

アクセス 8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

アドレス 204_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0
	R	R	R	R	R	R	R	R

表 30-53 USFA0E0L レジスタの内容

ビット位置	ビット名	意味
7-0	E0L7-E0L0	USFA0E0R レジスタに保持されているデータ長が格納されます。

(3) EP0 セットアップ・レジスタ (USFA0E0ST)

USFA0E0ST レジスタは、ホストから送られてきた SETUP データを保持するためのレジスタです。

USFA0E0ST レジスタは、SETUP トランザクションを受信すると常にデータの書き込みを行います。ハードウェアは SETUP トランザクションを正常受信した場合、USFA0IS1 レジスタの PROT ビット、FW 処理のリクエスト時には USFA0IS1 レジスタの CPUDEC ビットをセット (1) し、割り込み要求 (INTUSFA0I1) を発行します。FW 処理の場合には、必ず 8 バイト・リードしてください。8 バイト・リードしなかった場合には、以降のリクエストを正常にデコードできません。USFA0E0ST レジスタのリード・カウンタは、Bus Reset の受信時にもクリアされないため、Bus Reset の受信にかかわらず常に 8 バイト・リードしてください。

USFA0E0ST レジスタは常に書き込みを許可しているため、データ・リード中に SETUP トランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。また、SETUP トランザクションを正常受信できなかった場合でも、CPUDEC 割り込み要求および Protect 割り込み要求は発生しませんが前のデータは破棄されます。ただし、8 バイト以下の SETUP トークンを受信した場合、受信した SETUP データは破棄され、前回受信した SETUP データが保持されます。したがって、1 回のコントロール転送中に複数回の SETUP トークンを受信した場合、次に示す条件のときには必ず USFA0IS1 レジスタの PROT ビットを確認してください。PROT ビット = 1 の場合には複数回 SETUP トランザクションを受信しているため、USFA0E0ST レジスタを再度読み出してください。

アクセス 8 ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

アドレス 208_H

初期値 00_H どのリセット要因でも初期化されます。

- ① FW よりリクエストのデコードを行い、USFA0E0R レジスタの読み出し、または USFA0E0W レジスタの書き込みを行ったとき
- ② デコード結果が対応していないリクエストのために STALL 応答の準備をするとき

注意 格納されているデータは、すべて読み出してください。USFA0E0ST レジスタは、常に SETUP トランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0
USFA0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0
	R	R	R	R	R	R	R	R

表 30-54 USFA0E0ST レジスタの内容

ビット位置	ビット名	意味
7-0	E0S7-E0S0	ホストから送られてきた SETUP データを保持します。

次に USFA0E0ST レジスタの動作を示します。

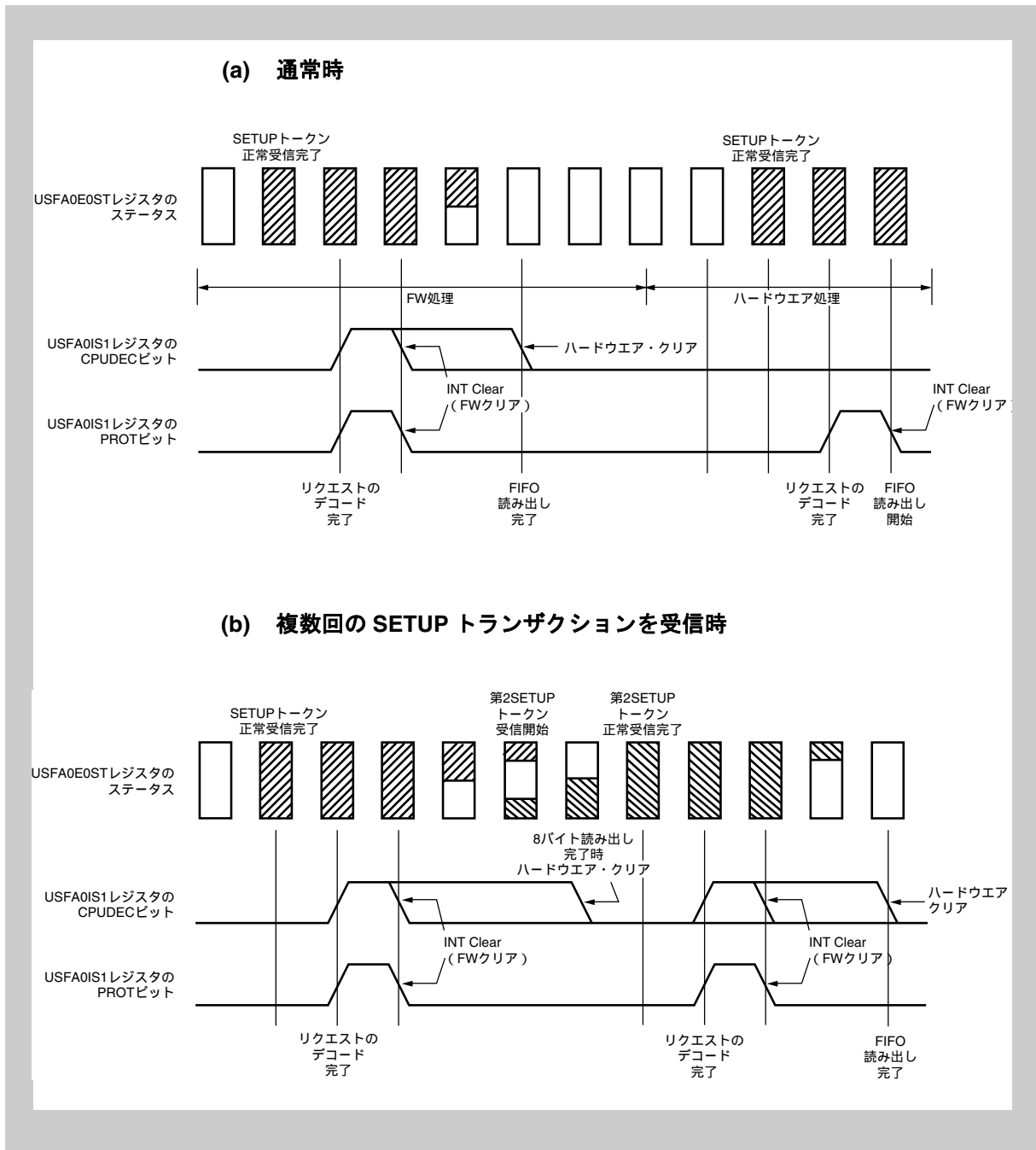


図 30-5 USFA0E0ST レジスタの動作

(4) EP0 ライト・レジスタ (USFA0E0W)

USFA0E0W レジスタは、Endpoint0 に対するデータ・ステージでホストに送る IN データを格納する (SIE に引き渡す) 64 バイトの FIFO です。

ハードウェアは USFA0E0N レジスタの EP0NKW ビットがセット (1) されている (NAK を送信しない) 場合のみ、IN トークンに同期して USB バスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、USFA0E0N レジスタの EP0NKW ビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、USFA0E0W レジスタにデータを書き込み、USFA0DEND レジスタの E0DED ビットをセット (1) すると送信が行われます (USFA0EPS0 レジスタの EP0W ビット = 1 (データがある))。Null パケットを送信する場合は、USFA0E0W レジスタのクリアを行い、USFA0DEND レジスタの E0DED ビットをセット (1) すると送信が行われます (USFA0EPS0 レジスタの EP0W ビット = 1 (データがある))。

USFA0E0W レジスタは、送信が完了していない状態で次の SETUP トークンを受信したときにクリア (0) されます。また、データ・ステージで ACK を正常に受信できていない状態でコントロール転送 (リード) がステータス・ステージに変わった場合、USFA0E0W レジスタは自動的にクリア (0) され、同時に USFA0E0N レジスタの EP0NKW ビット = 1 の場合にはクリア (0) されます。

データが空の状態では USFA0E0W レジスタを読み出した場合には、00_H が読み出せません。

アクセス 8 ビット単位でライトのみ可能です。なお、このレジスタをリードした場合は、00_H が読み出せません。

アドレス 20C_H

初期値 不定。

	7	6	5	4	3	2	1	0
USFA0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0
	W	W	W	W	W	W	W	W

表 30-55 USFA0E0W レジスタの内容

ビット位置	ビット名	意味
7-0	E0W7-E0W0	Endpoint0 に対するデータ・ステージでホストに送る IN データを格納します。

次に USFA0E0W レジスタの動作を示します。

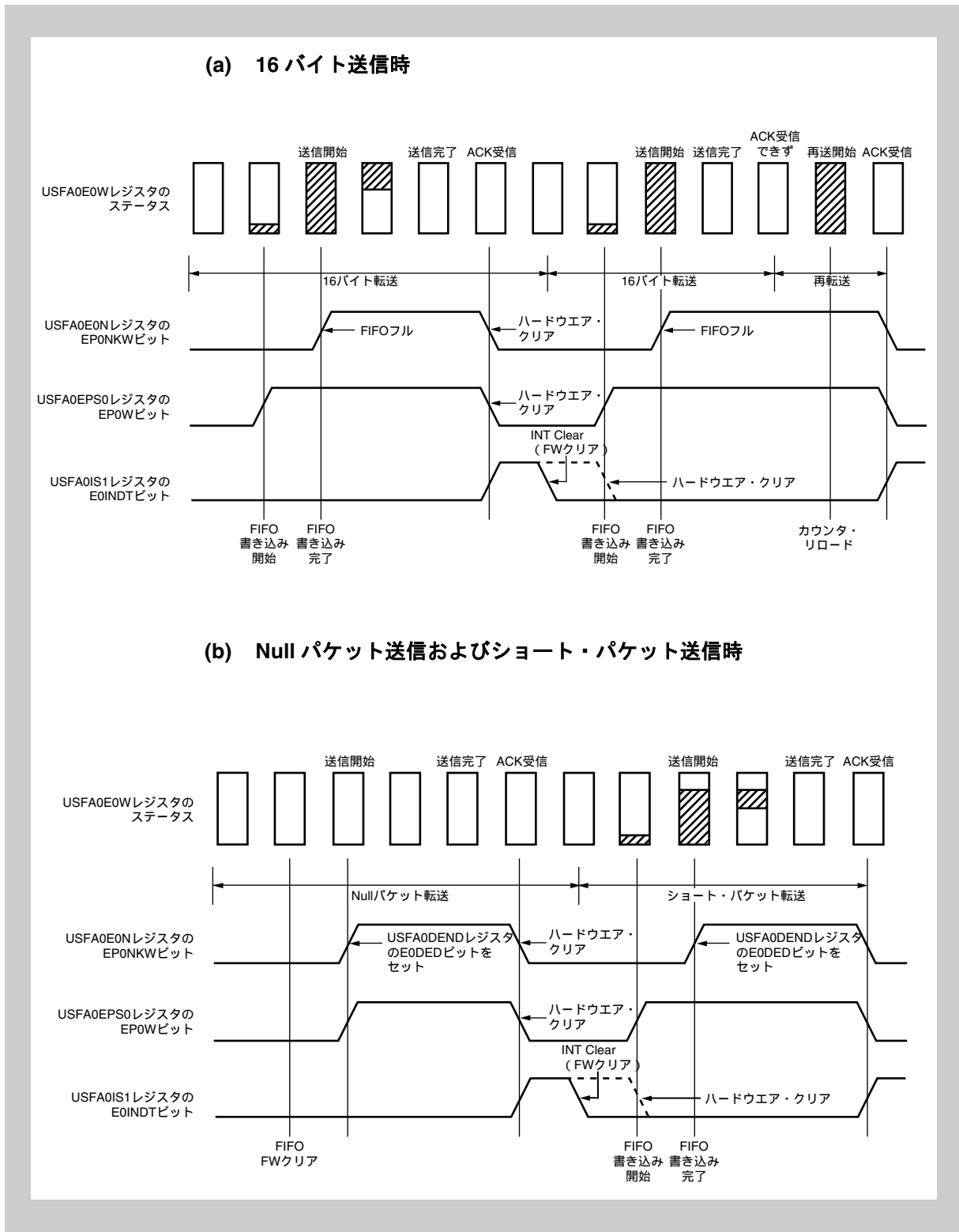


図 30-6 USFA0E0W レジスタの動作

(5) バルク・アウト1レジスタ (USFA0BO1)

USFA0BO1レジスタは、Endpoint2に対するデータを格納する64バイト×2のFIFOです。USFA0BO1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない（カウンタ値=0）ときです。

ハードウェアはEndpoint2に対するホストからのデータを受信するとUSFA0BO1レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、USFA0IS3レジスタのBKO1DTビットをセット（1）し、USFA0BO1Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは、USFA0IDRレジスタのDQBO1MSビットで選択できます。

USFA0BO1レジスタに保持しているデータは、USFA0BO1Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、USFA0BO1Lレジスタの値が0になるとFIFOのトグル動作が発生して、USFA0ENレジスタのBKO1NKビットが自動的にクリア（0）されます。なお、USFA0BO1Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint2がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態でもUSFA0BO1レジスタを読み出した場合には、不定値が読み出せます。

アクセス 8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

アドレス 210_H

初期値 不定。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0
USFA0BO1	BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10
	R	R	R	R	R	R	R	R

表 30-56 USFA0BO1レジスタの内容

ビット位置	ビット名	意味
7-0	BKO17-BKO10	Endpoint2に対するデータが格納されます。

次にUSFA0BO1レジスタの動作を示します。

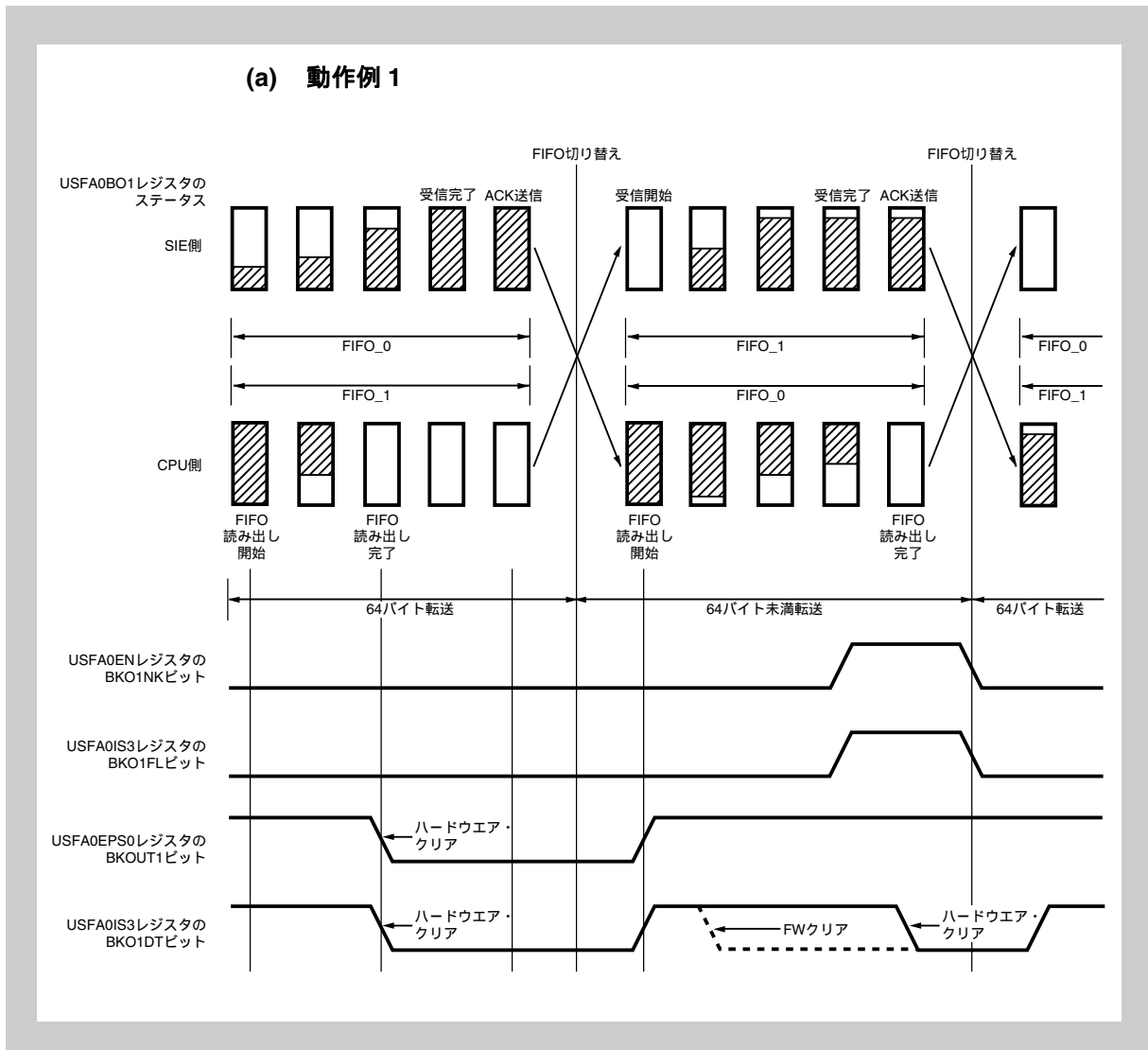


図 30-7 USFA0BO1 レジスタの動作 (1/2)

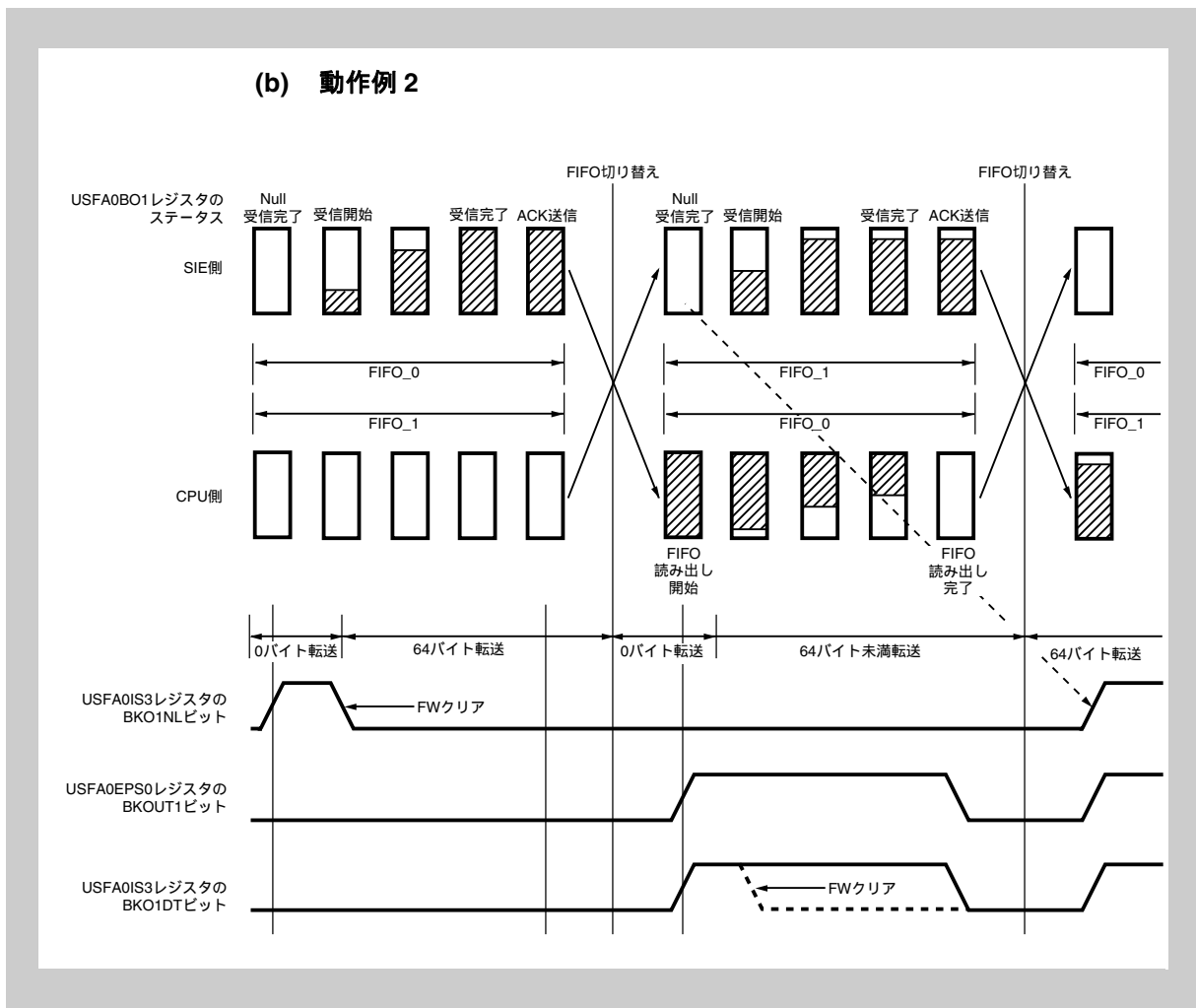


図 30-7 USFA0BO1 レジスタの動作 (2/2)

(6) パルク・アウト1 レンクス・レジスタ (USFA0BO1L)

USFA0BO1L レジスタは、USFA0BO1 レジスタに保持されているデータ長を格納するレジスタです。

USFA0BO1L レジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、USFA0BO1L レジスタはクリア (00_H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FW は USFA0BO1L レジスタで読み出した値分のデータだけ USFA0BO1 レジスタを読み出せます。USFA0BO1L レジスタは USFA0BO1 レジスタを読み出すごとに、デクリメントされます。

アクセス 8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

アドレス 214_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0BO1L	BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0
	R	R	R	R	R	R	R	R

表 30-57 USFA0BO1L レジスタの内容

ビット位置	ビット名	意味
7-0	BKO1L7- BKO1L0	USFA0BO1 レジスタに保持されているデータ長が格納されます。

(7) バルク・アウト2レジスタ (USFA0BO2)

USFA0BO2レジスタは、Endpoint4に対するデータを格納する64バイト×2のFIFOです。USFA0BO2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない（カウンタ値=0）ときです。

ハードウェアはEndpoint4に対するホストからのデータを受信するとUSFA0BO2レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、USFA0IS3レジスタのBKO2DTビットをセット（1）し、USFA0BO2Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは、USFA0IDRレジスタのDQBO2MSビットで選択できます。

USFA0BO2レジスタに保持しているデータは、USFA0BO2レジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、USFA0BO2Lレジスタの値が0になるとFIFOのトグル動作が発生して、USFA0ENレジスタのBKO2NKビットが自動的にクリア（0）されます。なお、USFA0BO2Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint4がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態でもUSFA0BO2レジスタを読み出した場合には、不定値が読み出せます。

アクセス 8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

アドレス 218_H

初期値 不定。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0
USFA0BO2	BKO27	BKO26	BKO25	BKO24	BKO23	BKO22	BKO21	BKO20
	R	R	R	R	R	R	R	R

表 30-58 USFA0BO2レジスタの内容

ビット位置	ビット名	意味
7-0	BKO27-BKO20	Endpoint4に対するデータが格納されます。

次にUSFA0BO2レジスタの動作を示します。

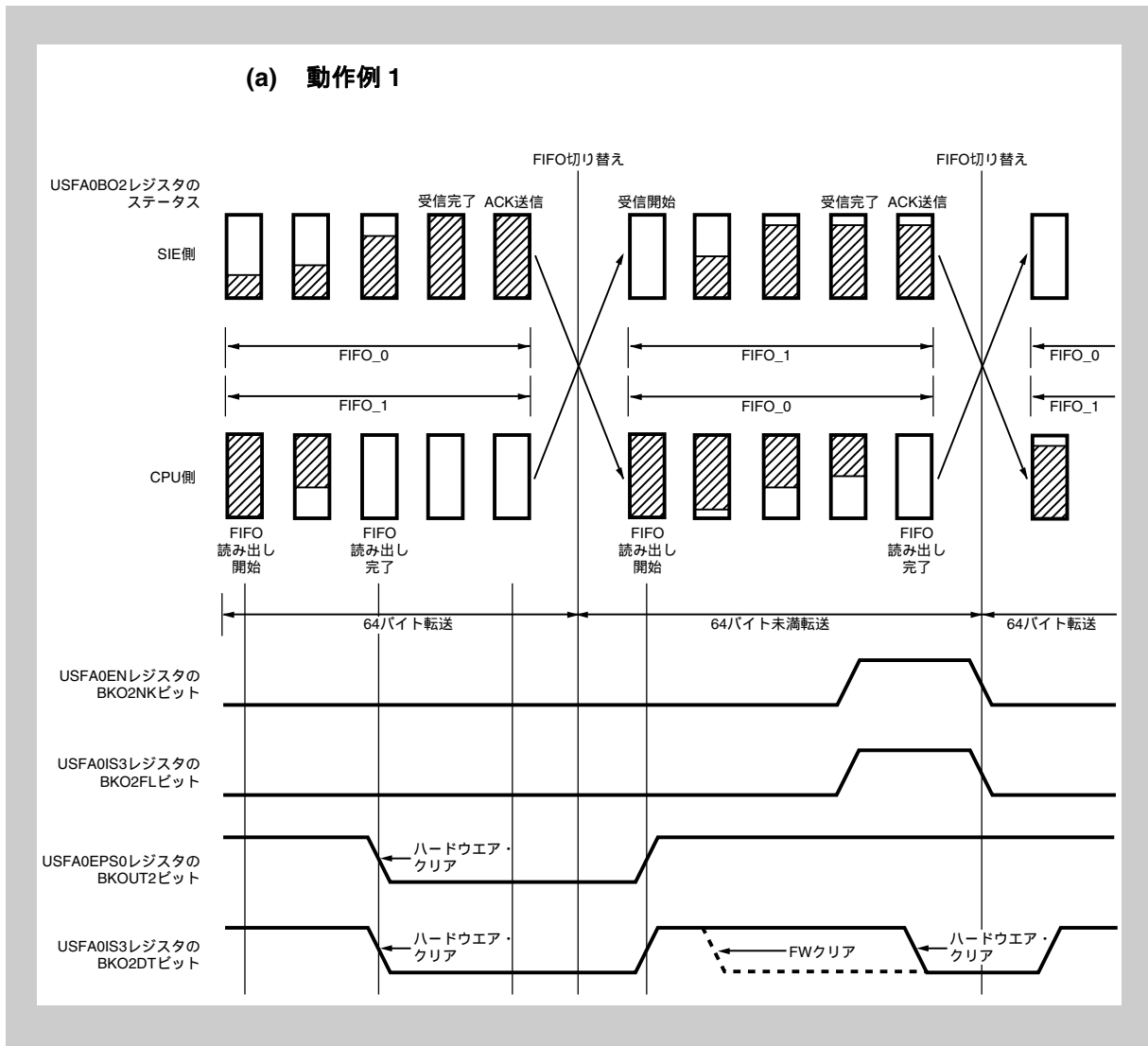


図 30-8 USFA0BO2 レジスタの動作 (1/2)

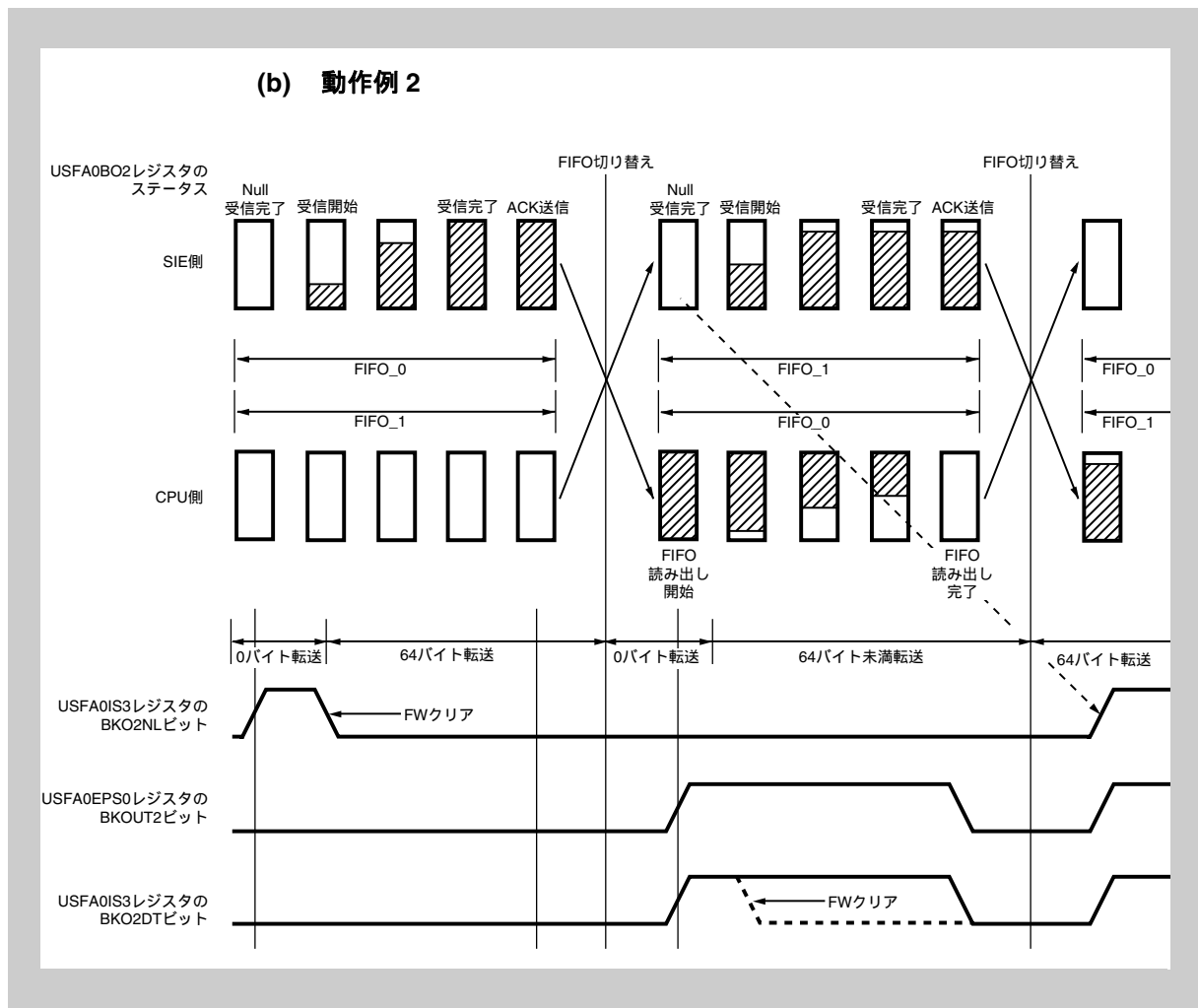


図 30-8 USFA0BO2 レジスタの動作 (2/2)

(8) パルク・アウト2 レングス・レジスタ (USFA0BO2L)

USFA0BO2L レジスタは、USFA0BO2 レジスタに保持されているデータ長を格納するレジスタです。

USFA0BO2L レジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、USFA0BO2L レジスタはクリア (00_H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FW は USFA0BO2L レジスタで読み出した値分のデータだけ USFA0BO2 レジスタを読み出せます。USFA0BO2L レジスタは USFA0BO2 レジスタを読み出すごとに、デクリメントされます。

アクセス 8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

アドレス 21C_H

初期値 00_H どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
USFA0BO2L	BKO2L7	BKO2L6	BKO2L5	BKO2L4	BKO2L3	BKO2L2	BKO2L1	BKO2L0
	R	R	R	R	R	R	R	R

表 30-59 USFA0BO2L レジスタの内容

ビット位置	ビット名	意味
7-0	BKO2L7- BKO2L0	USFA0BO2 レジスタに保持されているデータ長が格納されます。

(9) バルク・イン1レジスタ (USFA0BI1)

USFA0BI1 レジスタは、Endpoint1 に対するデータを格納する 64 バイト×2 の FIFO です。USFA0BI1 レジスタは、64 バイト FIFO がバンク構成になっており、互いにトグル動作を行い、SIE 側と CPU 側のバスとの接続を繰り返します。トグル条件は、SIE 側の FIFO にデータがない (カウンタ値 = 0)、かつ CPU 側の FIFO が正常に書き込まれていることです (FIFO フル、または BKI1DED ビット = 1)。

ハードウェアは、USFA0EN レジスタの BKI1NK ビットがセット (1) されている (NAK を送信しない) 場合のみ、Endpoint1 に対する IN トークンに同期して USB バスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FW は USFA0BI1 レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、USFA0BI1 レジスタにデータを書き込み、USFA0DEND レジスタの BKI1DED ビットをセット (1) すると送信が行われます (USFA0EPS0 レジスタの BKIN1 ビット = 1 (データがある))。Null パケットを送信する場合は、USFA0BI1 レジスタのクリアを行い、USFA0DEND レジスタの BKI1DED ビットをセット (1) すると送信が行われます (USFA0EPS0 レジスタの BKIN1 ビット = 1 (データがある))。データを正常送信すると FIFO トグル動作が起こり、USFA0IS2 レジスタの BKI1DT ビットをセット (1) し、CPU に対して割り込み要求を発生します。割り込み要求と DMA 要求の切り替えは、USFA0IDR レジスタの DQBI1MS ビットで選択できます。

アクセス 8 ビット単位でライトのみ可能です。このレジスタをリードした場合は、00_H が読み出せます。

アドレス 220_H

初期値 不定。

	7	6	5	4	3	2	1	0
USFA0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10
	W	W	W	W	W	W	W	W

表 30-60 USFA0BI1 レジスタの内容

ビット位置	ビット名	意味
7-0	BKI17- BKI10	Endpoint1 に対するデータを格納します。

次に USFA0BI1 レジスタの動作を示します。

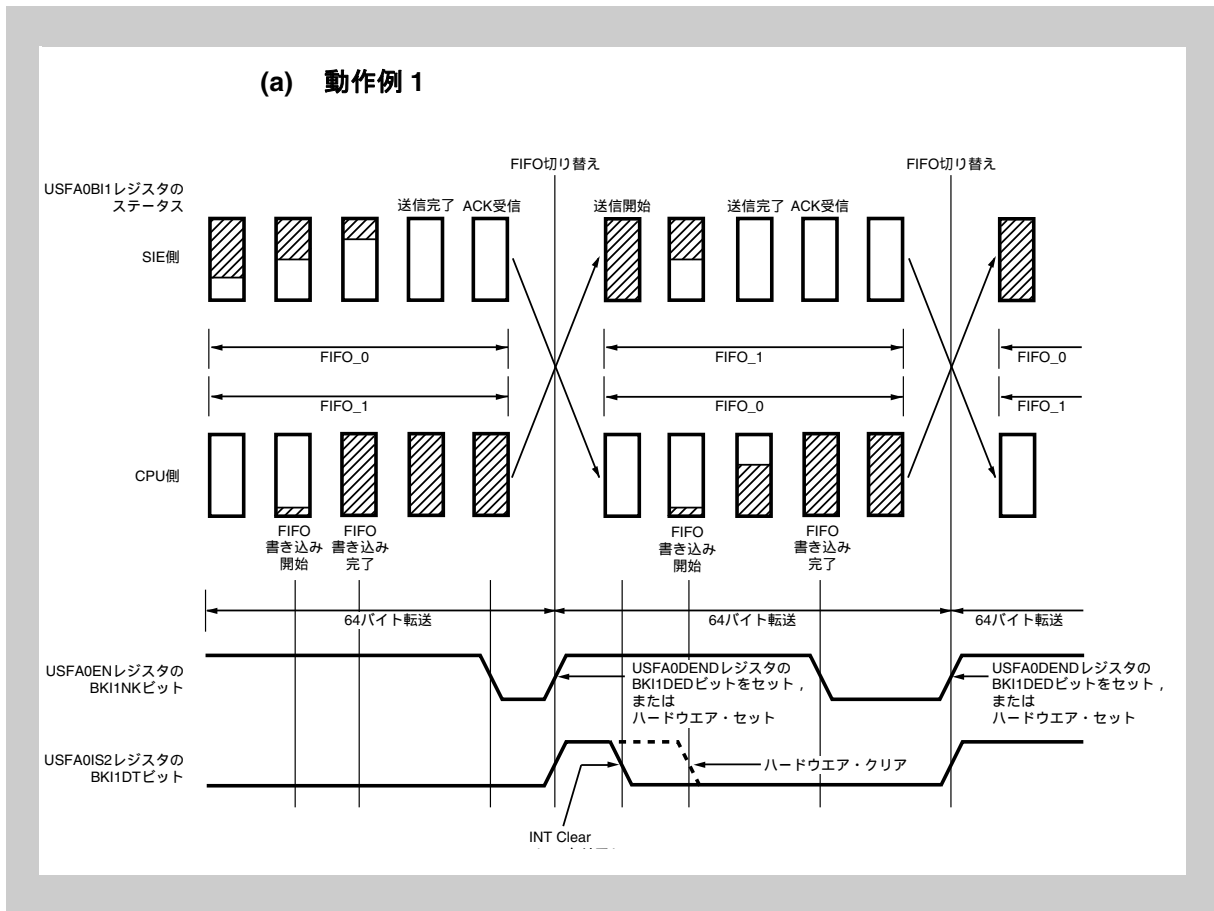


図 30-9 USFA0B11 レジスタの動作 (1/3)

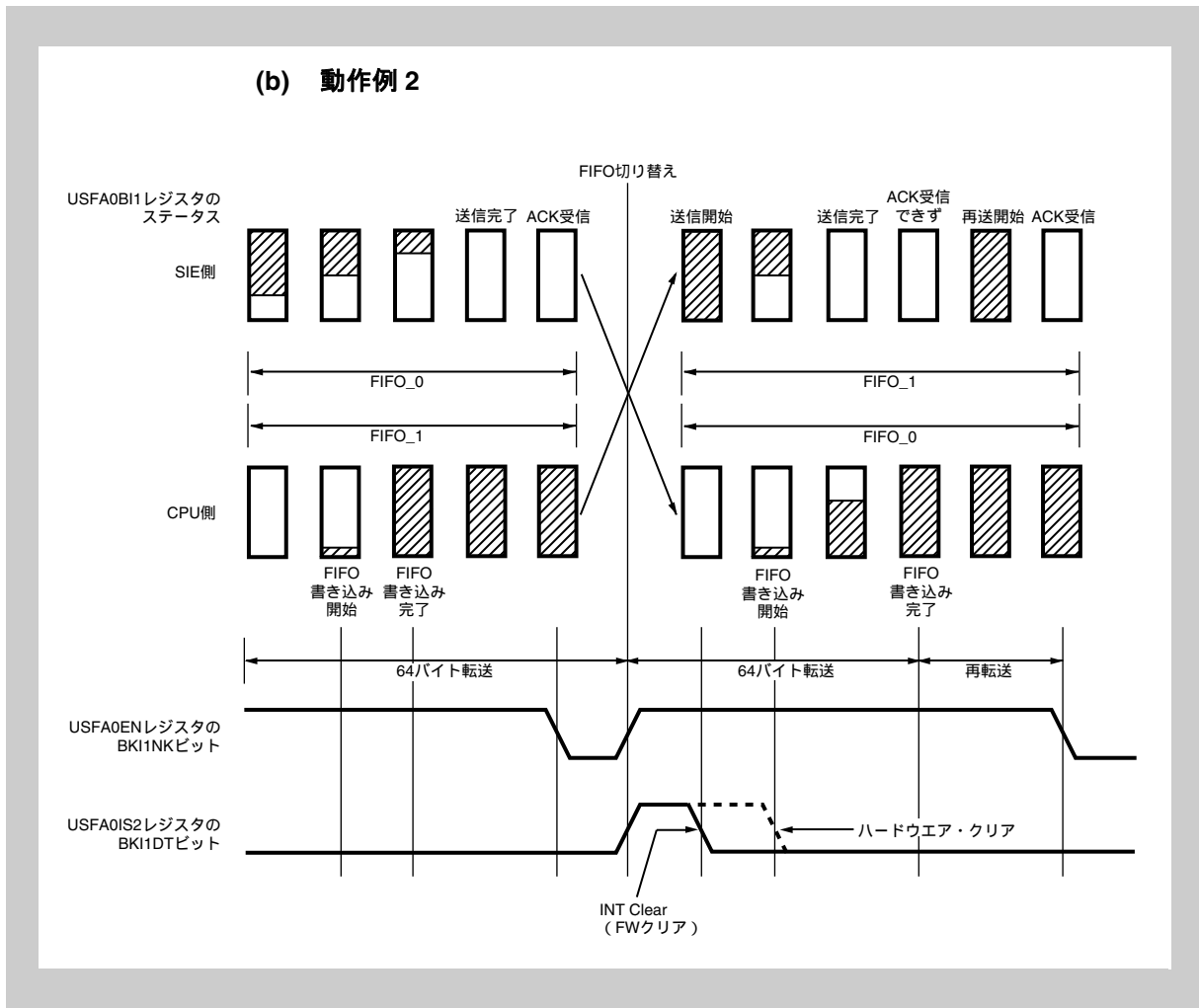


図 30-9 USFA0B11 レジスタの動作 (2/3)

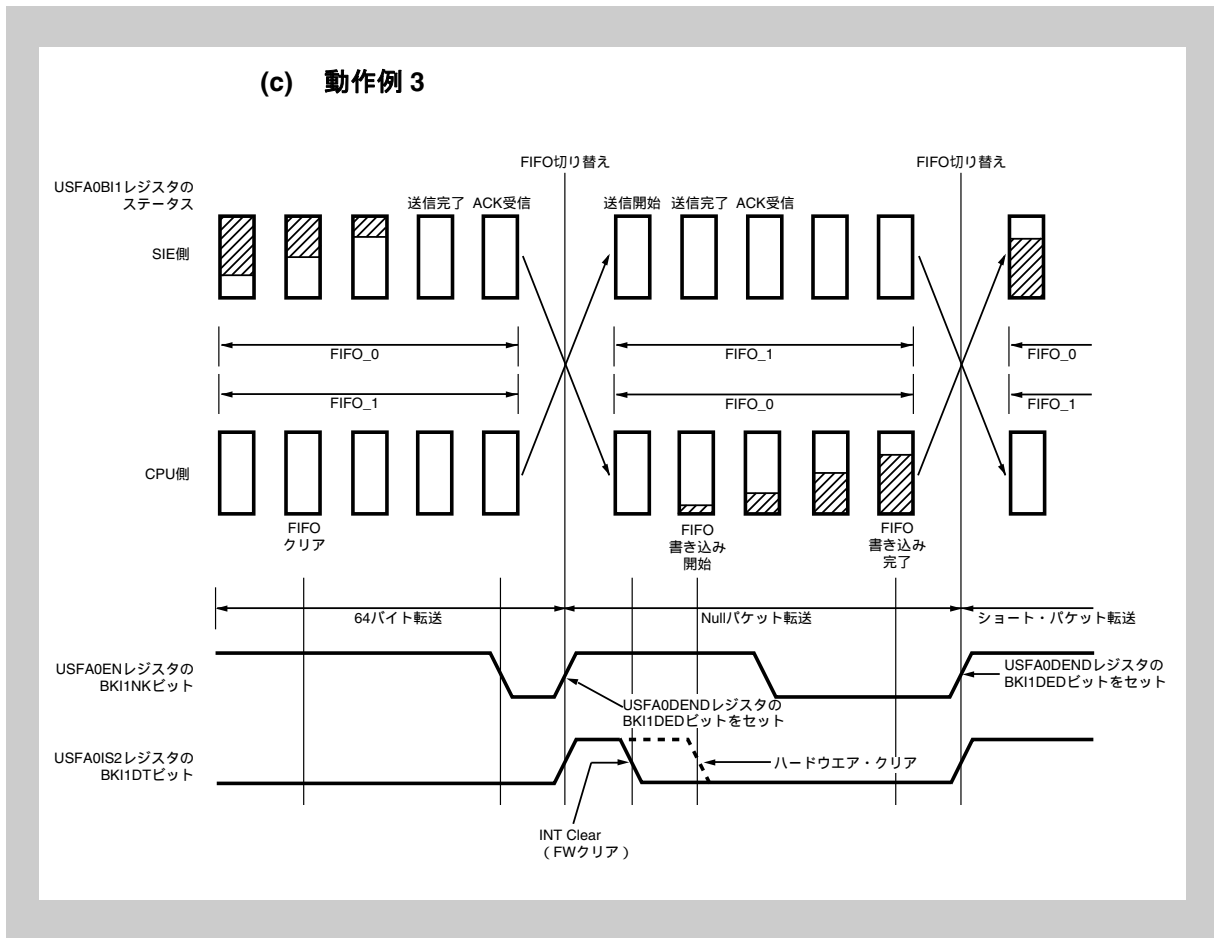


図 30-9 USFA0B11 レジスタの動作 (3/3)

(10) バルク・イン2 レジスタ (USFA0BI2)

USFA0BI2 レジスタは、Endpoint3 に対するデータを格納する 64 バイト×2 の FIFO です。USFA0BI2 レジスタは、64 バイト FIFO がバンク構成になっており、互いにトグル動作を行い、SIE 側と CPU 側のバスとの接続を繰り返します。トグル条件は、SIE 側の FIFO にデータがない (カウンタ値 = 0)、かつ CPU 側の FIFO が正常に書き込まれていることです (FIFO フル、または BKI2DED ビット = 1)。

ハードウェアは、USFA0EN レジスタの BKI2NK ビットがセット (1) されている (NAK を送信しない) 場合のみ、Endpoint3 に対する IN トークンに同期して USB バスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FW は USFA0BI2 レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、USFA0BI2 レジスタにデータを書き込み、USFA0DEND レジスタの BKI2DED ビットをセット (1) すると送信が行われます (USFA0EPS0 レジスタの BKIN2 ビット = 1 (データがある))。Null パケットを送信する場合は、USFA0BI2 レジスタのクリアを行い、USFA0DEND レジスタの BKI2DED ビットをセット (1) すると送信が行われます (USFA0EPS0 レジスタの BKIN2 ビット = 1 (データがある))。データを正常送信すると FIFO トグル動作が起こり、USFA0IS2 レジスタの BKI2DT ビットをセット (1) し、CPU に対して割り込み要求を発生します。割り込み要求と DMA 要求の切り替えは、USFA0IDR レジスタの DQBI2MS ビットで選択できます。

アクセス 8 ビット単位でライトのみ可能です。このレジスタをリードした場合は、00_H が読み出せます。

アドレス 224_H

初期値 不定。

	7	6	5	4	3	2	1	0
USFA0BI2	BKI27	BKI26	BKI25	BKI24	BKI23	BKI22	BKI21	BKI20
	W	W	W	W	W	W	W	W

表 30-61 USFA0BI2 レジスタの内容

ビット位置	ビット名	意味
7-0	BKI27- BKI20	Endpoint3 に対するデータを格納します。

次に USFA0BI2 レジスタの動作を示します。

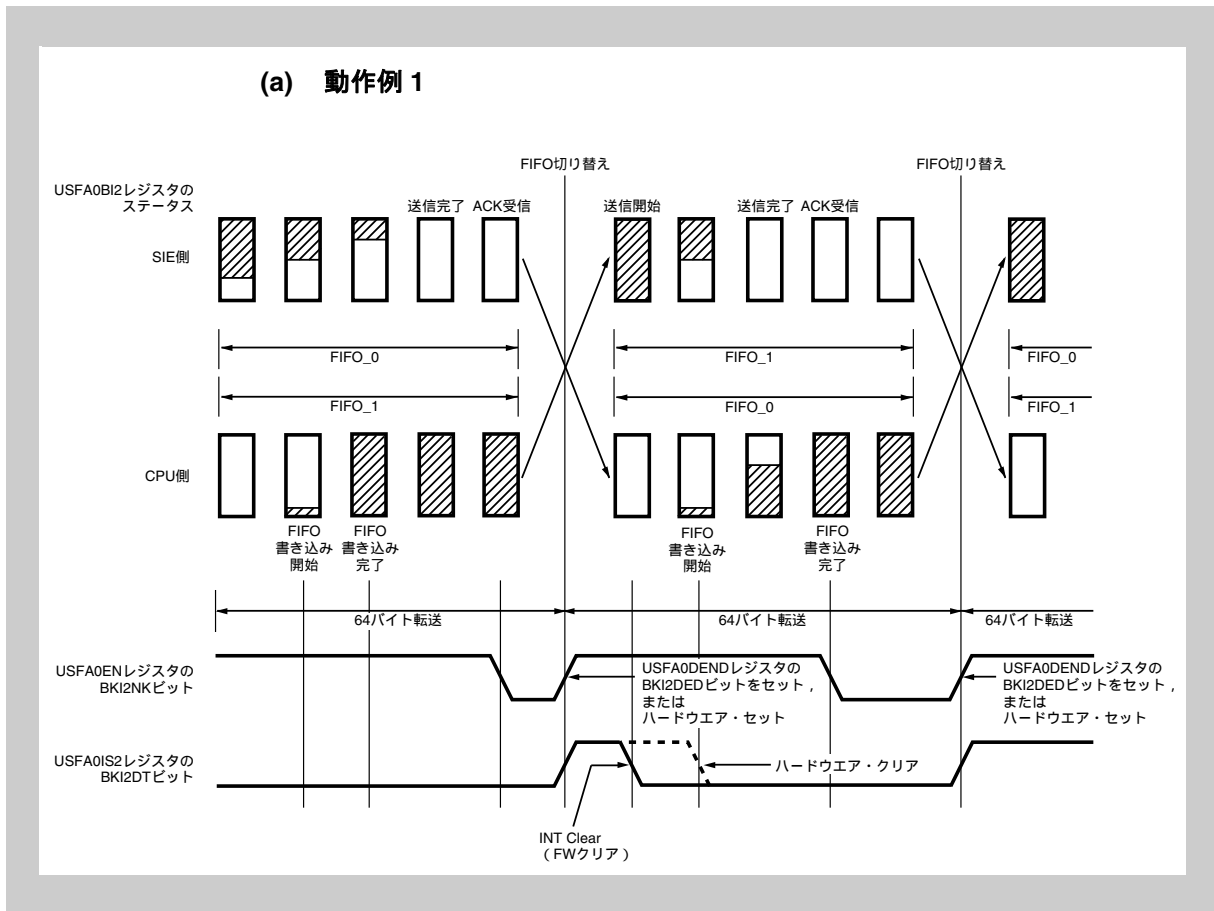


図 30-10 USFA0BI2 レジスタの動作 (1/3)

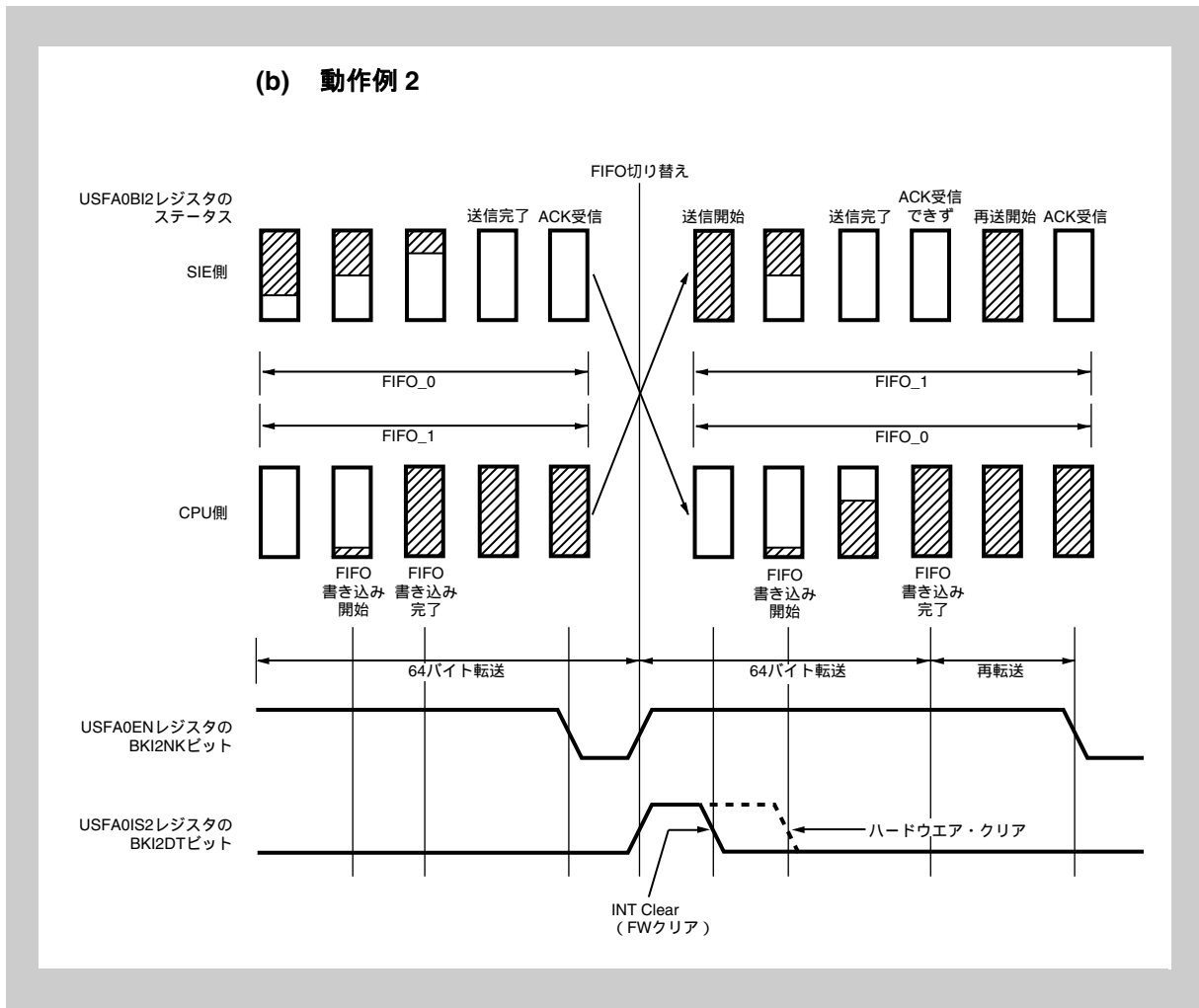


図 30-10 USFA0BI2 レジスタの動作 (2/3)

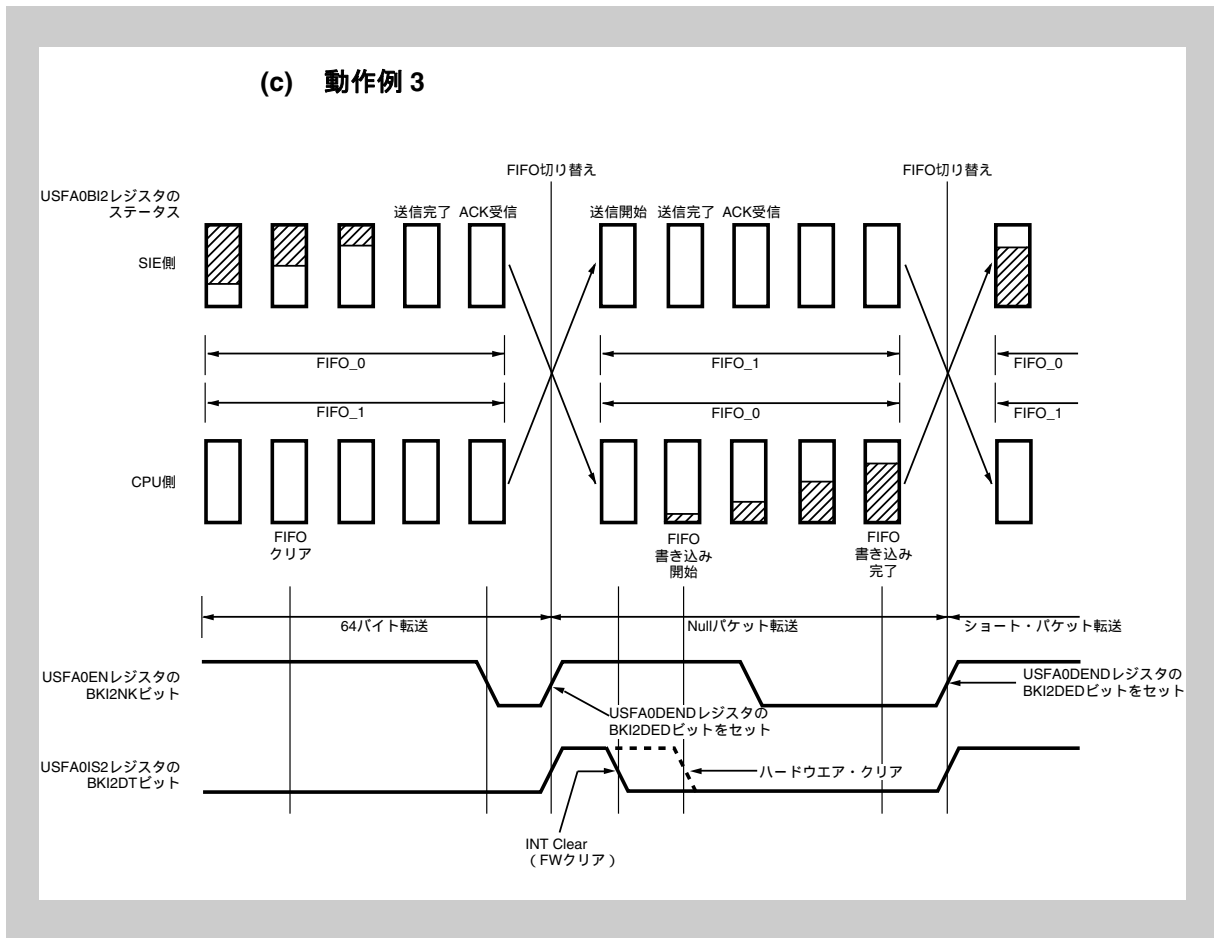


図 30-10 USFA0BI2 レジスタの動作 (3/3)

(11) インタラプト1レジスタ (USFA0INT1)

USFA0INT1レジスタは、Endpoint7に対するデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

ハードウェアはUSFA0ENレジスタのIT1NKビットがセット (1) されている (NAKを送信しない) 場合のみ、Endpoint7に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、USFA0ENレジスタのIT1NKビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、USFA0INT1レジスタにデータを書き込み、USFA0DENDレジスタのIT1DENDビットをセット (1) すると送信が行われます (USFA0EPS0レジスタのIT1ビット=1 (データがある))。Nullパケットを送信する場合は、USFA0INT1レジスタのクリアを行い、USFA0DENDレジスタのIT1DENDビットをセット (1) すると送信が行われます (USFA0EPS0レジスタのIT1ビット=1 (データがある))。

アクセス 8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00_Hが読み出せます。

アドレス 228_H

初期値 不定。

	7	6	5	4	3	2	1	0
USFA0INT1	IT17	IT16	IT15	IT14	IT13	IT12	IT11	IT10
	W	W	W	W	W	W	W	W

表 30-62 USFA0INT1 レジスタの内容

ビット位置	ビット名	意味
7-0	IT17-IT10	Endpoint7 に対するデータを格納します。

次に USFA0INT1 レジスタの動作を示します。

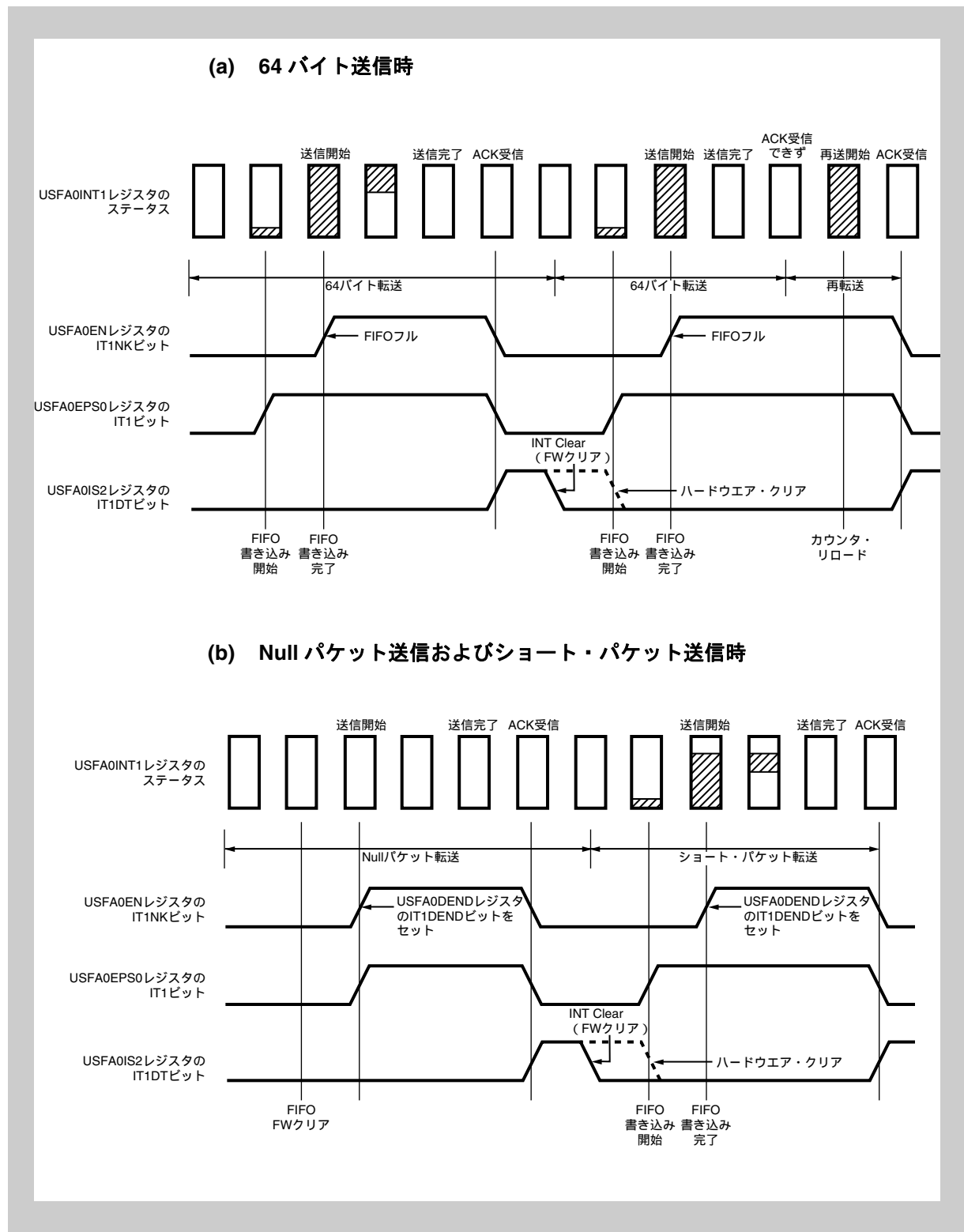


図 30-11 USFA0INT1 レジスタの動作

(12) インタラプト2レジスタ (USFA0INT2)

USFA0INT2レジスタは、Endpoint8に対するデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

ハードウェアはUSFA0ENレジスタのIT2NKビットがセット (1) されている (NAKを送信しない) 場合のみ、Endpoint8に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、USFA0ENレジスタのIT2NKビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、USFA0INT2レジスタにデータを書き込み、USFA0DENDレジスタのIT2DENDビットをセット (1) すると送信が行われます (USFA0EPS0レジスタのIT2ビット=1 (データがある))。Nullパケットを送信する場合は、USFA0INT2レジスタのクリアを行い、USFA0DENDレジスタのIT2DENDビットをセット (1) すると送信が行われます (USFA0EPS0レジスタのIT2ビット=1 (データがある))。

アクセス 8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00_Hが読み出せます。

アドレス 22C_H

初期値 不定。

	7	6	5	4	3	2	1	0
USFA0INT2	IT27	IT26	IT25	IT24	IT23	IT22	IT21	IT20
	W	W	W	W	W	W	W	W

表 30-63 USFA0INT2 レジスタの内容

ビット位置	ビット名	意味
7-0	IT27-IT20	Endpoint8に対するデータを格納します。

次に USFA0INT2 レジスタの動作を示します。

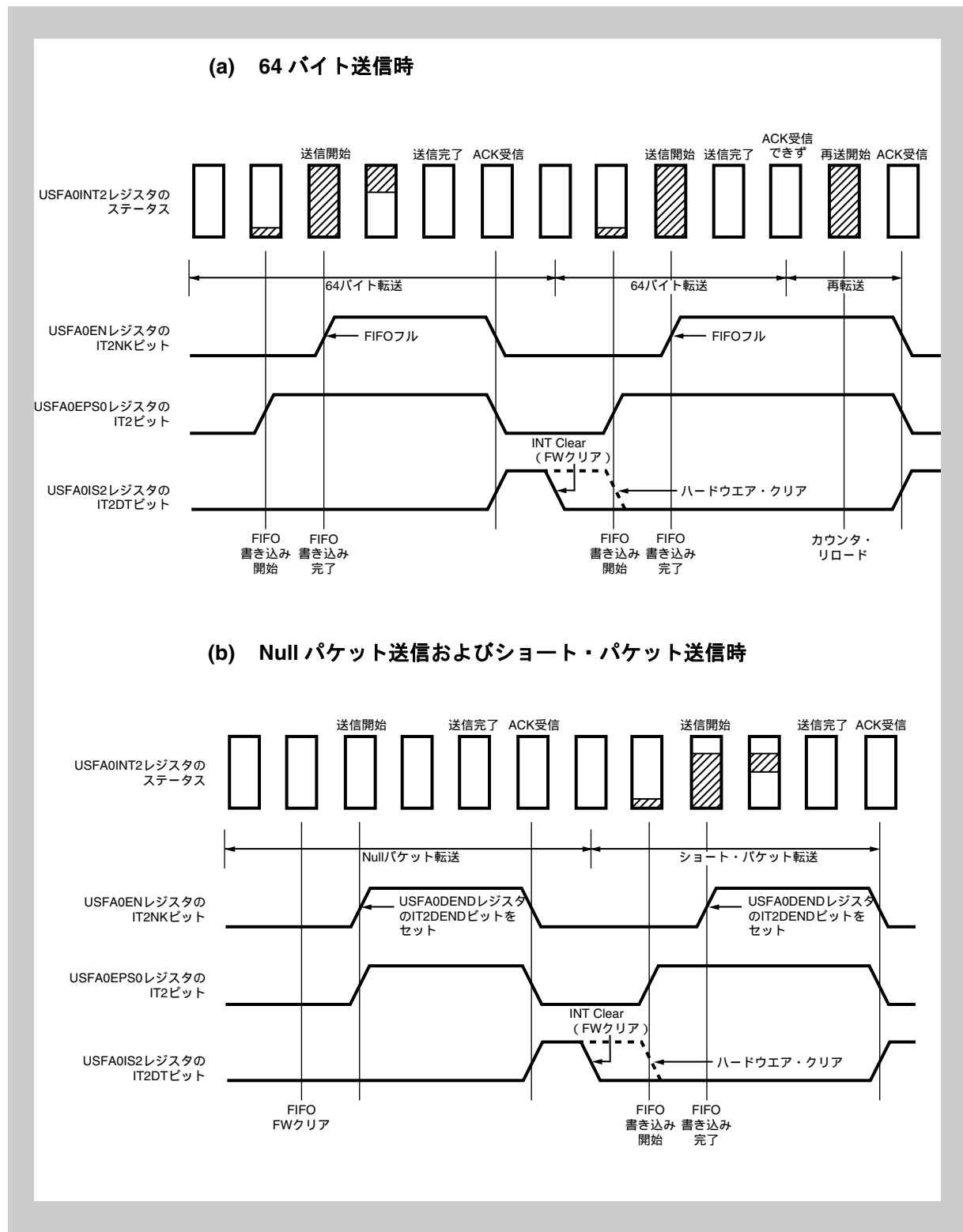


図 30-12 USFA0INT2 レジスタの動作

30.7.4 EPC リクエスト・データ・レジスタ

(1) デバイス・ステータス・レジスタ (USFA0DST)

GET_STATUS Device リクエストで返す値を格納するレジスタです。

ハードウェアは GET_STATUS Device リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス 288_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0DST	0	0	0	0	0	0	RMWK	SFPW
	R	R	R	R	R	R	R/W	R/W

表 30-64 USFA0DST レジスタの内容

ビット位置	ビット名	意味
1	RMWK	デバイスによるリモート・ウエイクアップ機能を使用するかどうかを設定します。 1: 許可 0: 禁止 デバイスがリモート・ウエイクアップをサポートする場合は、SET_FEATURE Device リクエストを受信したときハードウェアによりセット (1) され、CLEAR_FEATURE Device リクエストを受信したときハードウェアによりクリア (0) されます。リモート・ウエイクアップをサポートしない場合にはホストからSET_FEATURE Device リクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワードであるかバス・パワードであるかを示します。 1: セルフ・パワード 0: バス・パワード

(2) EP0 ステータス・レジスタ (USFA0E0S)

GET_STATUS Endpoint0 リクエストで返す値を格納するレジスタです。

USBF 自身でエラーが発生すると、E0HALT ビットが FW によってセット (1) されます。Endpoint0 への USB 側アクセスを受けている間の書き込みは無視されます。

FW で E0HALT ビットをセット (1) する場合、直前のコントロール転送が SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUA Endpoint0 リクエスト、または FW 処理のリクエストの場合には次の SETUP トークンを受信するまで反映されません。

ハードウェアは GET_STATUS Endpoint0 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint0 がストールした場合には USFA0E0W, USFA0E0R レジスタがクリアされ、USFA0E0N レジスタの EP0NKW, EP0NKR ビットがクリア (0) されます。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EP0NKA ビットがセット (1) されているときにだけ可能です。

アドレス 298_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0E0S	0	0	0	0	0	0	0	E0HALT
	R	R	R	R	R	R	R	R/W

表 30-65 USFA0E0S レジスタの内容

ビット位置	ビット名	意味
0	E0HALT	Endpoint0 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint0 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint0 リクエストを受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(3) EP1 ステータス・レジスタ (USFA0E1S)

GET_STATUS Endpoint1 リクエストで返す値を格納するレジスタです。

Endpoint1 でエラーが発生すると、E1HALT ビットがセット (1) されます。Endpoint1 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint1 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint1 がストールした場合には USFA0B1I レジスタがクリアされ、BK11NK ビットがクリア (0) されます。

コントロール転送でなく Endpoint1 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 2A0_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0E1S	0	0	0	0	0	0	0	E1HALT
	R	R	R	R	R	R	R	R/W

表 30-66 USFA0E1S レジスタの内容

ビット位置	ビット名	意味
0	E1HALT	Endpoint1 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint1 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint1 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint1 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(4) EP2 ステータス・レジスタ (USFA0E2S)

GET_STATUS Endpoint2 リクエストで返す値を格納するレジスタです。

Endpoint2 でエラーが発生すると、E2HALT ビットがセット (1) されます。Endpoint2 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint2 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint2 がストールした場合には USFA0B01 レジスタがクリアされ、BKO1NK ビットがクリア (0) されます。

コントロール転送でなく Endpoint2 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 2A8_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0E2S	0	0	0	0	0	0	0	E2HALT
	R	R	R	R	R	R	R	R/W

表 30-67 USFA0E2S レジスタの内容

ビット位置	ビット名	意味
0	E2HALT	Endpoint2 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint2 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint2 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint2 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(5) EP3 ステータス・レジスタ (USFA0E3S)

GET_STATUS Endpoint3 リクエストで返す値を格納するレジスタです。

Endpoint3 でエラーが発生すると、E3HALT ビットがセット (1) されます。Endpoint3 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint3 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint3 がストールした場合には USFA0B12 レジスタがクリアされ、BK12NK ビットがクリア (0) されます。

コントロール転送でなく Endpoint3 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 2B0_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0E3S	0	0	0	0	0	0	0	E3HALT
	R	R	R	R	R	R	R	R/W

表 30-68 USFA0E3S レジスタの内容

ビット位置	ビット名	意味
0	E3HALT	Endpoint3 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint3 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint3 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint3 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(6) EP4 ステータス・レジスタ (USFA0E4S)

GET_STATUS Endpoint4 リクエストで返す値を格納するレジスタです。

Endpoint4 でエラーが発生すると、E4HALT ビットがセット (1) されます。Endpoint4 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint4 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint4 がストールした場合には USFA0BO2 レジスタがクリアされ、BKO2NK ビットがクリア (0) されます。

コントロール転送でなく Endpoint4 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 2B8_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0E4S	0	0	0	0	0	0	0	E4HALT
	R	R	R	R	R	R	R	R/W

表 30-69 USFA0E4S レジスタの内容

ビット位置	ビット名	意味
0	E4HALT	Endpoint4 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint4 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint4 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint4 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(7) EP7 ステータス・レジスタ (USFA0E7S)

GET_STATUS Endpoint7 リクエストで返す値を格納するレジスタです。

Endpoint7 でエラーが発生すると、E7HALT ビットがセット (1) されます。Endpoint7 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint7 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint7 がストールした場合には USFA0INT1 レジスタがクリアされ、IT1NK ビットがクリア (0) されます。

コントロール転送でなく Endpoint7 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 2D0_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0E7S	0	0	0	0	0	0	0	E7HALT
	R	R	R	R	R	R	R	R/W

表 30-70 USFA0E7S レジスタの内容

ビット位置	ビット名	意味
0	E7HALT	Endpoint7 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint7 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint7 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint7 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(8) EP8 ステータス・レジスタ (USFA0E8S)

GET_STATUS Endpoint8 リクエストで返す値を格納するレジスタです。

Endpoint8 でエラーが発生すると、E8HALT ビットがセット (1) されます。Endpoint8 への USB 側アクセスを受けている間の書き込みは無視されます。

ハードウェアは GET_STATUS Endpoint8 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint8 がストールした場合には USFA0INT2 レジスタがクリアされ、IT2NK ビットがクリア (0) されます。

コントロール転送でなく Endpoint8 に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 2D8_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0E8S	0	0	0	0	0	0	0	E8HALT
	R	R	R	R	R	R	R	R/W

表 30-71 USFA0E8S レジスタの内容

ビット位置	ビット名	意味
0	E8HALT	Endpoint8 の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint8 リクエストを受信したときにハードウェアによりセット (1) され、CLEAR_FEATURE Endpoint8 リクエストを受信したとき、または SET_CONFIGURATION リクエスト、Endpoint8 がリンクされた Interface に対する SET_INTERFACE リクエストを正しく受信したときにハードウェアによりクリア (0) されます。また DATA PID は DATA0 に初期化されます。

(9) アドレス・レジスタ (USFA0ADRS)

デバイス・アドレスを格納するレジスタです。

このレジスタは、SET_ADDRESS リクエストにより送られてくるデバイス・アドレスを解析し、自動的にその値を書き込みます。SET_ADDRESS リクエストをFW 処理した場合、ステータス・ステージの SUCCESS 信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

アクセス 8ビット単位でリードのみ可能です。

アドレス 300_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0
USFA0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0
	R	R	R	R	R	R	R	R

表 30-72 USFA0ADRS レジスタの内容

ビット位置	ビット名	意味
6-0	ADRS6-ADRS0	SIE のデバイス・アドレスを保持します。

(10) コンフィギュレーション・レジスタ (USFA0CNF)

GET_CONFIGURATION リクエストで返す値を格納するレジスタです。

このレジスタは SET_CONFIGURATION リクエストを受信すると、自動的にその wValue を書き込みます。

このレジスタの値が 00_H から 00_H 以外に変化したタイミングを検出して、USFA0MODS レジスタの CONF ビットがセット (1) されます。また、SET_CONFIGURATION リクエストを FW で処理した場合、このレジスタにデータを書き込んだ時点ですぐに USFA0MODS レジスタに状態が反映されます (ステータス・ステージ終了前に CONF ビット = 1 になります)。

アクセス 8 ビット単位でリードのみ可能です。

アドレス 304_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0
USFA0CNF	0	0	0	0	0	0	CONF1	CONF0
	R	R	R	R	R	R	R	R

表 30-73 USFA0CNF レジスタの内容

ビット位置	ビット名	意味
1, 0	CONF1, CONF0	GET_CONFIGURATION リクエストに対して返信するデータを保持します。

(11) インタフェース 0 レジスタ (USFA0IF0)

GET_INTERFACE wIndex = 0 リクエストで返す値を格納するレジスタです。

このレジスタは SET_INTERFACE リクエストを受信すると、自動的にその wValue を書き込みます。

SET_INTERFACE リクエストを FW で処理した場合、wIndex, wValue をデコードして Endpoint の設定を自動的に変更します。このとき、設定に応じて対象 Endpoint の状態ビットと DPID を自動的にクリア (0) します。FIFO は自動的にクリアされません。

アクセス 8 ビット単位でリードのみ可能です。

アドレス 308_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0
USFA0IF0	0	0	0	0	0	IF02	IF01	IF00
	R	R	R	R	R	R	R	R

表 30-74 USFA0IF0 レジスタの内容

ビット位置	ビット名	意味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0 リクエストに対して返信するデータを保持します。

(12) インタフェース 1-4 レジスタ (USFA0IF1-USFA0IF4)

GET_INTERFACE wIndex = n リクエストで返す値を格納するレジスタです (n = 1-4)。

このレジスタは SET_INTERFACE リクエストを受信すると、自動的にその wValue を書き込みます。

このレジスタは USFA0AIFN レジスタと USFA0AAS レジスタの設定によっては無効になります。

SET_INTERFACE リクエストを FW で処理した場合、wIndex, wValue をデコードして Endpoint の設定を自動的に変更します。このとき、設定に応じて対象 Endpoint の状態ビットと DPID を自動的にクリア (0) します。FIFO は自動的にクリアされません。

アクセス 8 ビット単位でリードのみ可能です。

アドレス 30C_H: USFA0IF1

310_H: USFA0IF2

314_H: USFA0IF3

318_H: USFA0IF4

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0
USFA0IF1	0	0	0	0	0	IF12	IF11	IF10
	R	R	R	R	R	R	R	R
USFA0IF2	0	0	0	0	0	IF22	IF21	IF20
	R	R	R	R	R	R	R	R
USFA0IF3	0	0	0	0	0	IF32	IF31	IF30
	R	R	R	R	R	R	R	R
USFA0IF4	0	0	0	0	0	IF42	IF41	IF40
	R	R	R	R	R	R	R	R

表 30-75 USFA0IF1-USFA0IF4 レジスタの内容

ビット位置	ビット名	意味
2-0	IFn2-IFn0	GET_INTERFACE wIndex = n リクエストに対して返信するデータを保持します。

備考 n = 1-4

(13) ディスクリプタ・レングス・レジスタ (USFA0DSCL)

GET_DESCRIPTOR Configuration リクエストで返す値の長さを格納するレジスタです。このレジスタ値は USFA0CIEn レジスタで設定した全ディスクリプタのバイト数-1 の値になります (n = 0-255)。このレジスタ値により GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタ長が決定されます。

wLength の処理は自動的に制御されます。このレジスタに 00_H を設定すると、返信するディスクリプタ長は1バイトを意味し、FF_H を設定すると 256 バイトを意味します。なお、256 バイトを越えるディスクリプタを使用する場合には、USFA0MODC レジスタの CDCGDST ビットをセット (1) して FW により GET_DESCRIPTOR リクエストを処理してください (このとき USFA0MODS レジスタの CDCGD ビットもセット (1) されます)。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 340_H

初期値 00_H どのリセット要因でも初期化されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。

	7	6	5	4	3	2	1	0
USFA0DSCL	DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-76 USFA0DSCL レジスタの内容

ビット位置	ビット名	意味
7-0	DPL7-DPL0	GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタのバイト数-1 の値を設定します。

(14) デバイス・ディスクリプタ・レジスタ 0-17 (USFA0DD0-USFA0DD17)

GET_DESCRIPTOR Device リクエストで返す値を格納するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。ただし、ライトはEPONKAビットがセット(1)されているときにだけ可能です。

アドレス 表 30-77 参照

初期値 不定。

- 注意**
1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
 2. 設定する値には、USB Specification Ver2.0, および最新 Class Specification の値を使用してください。

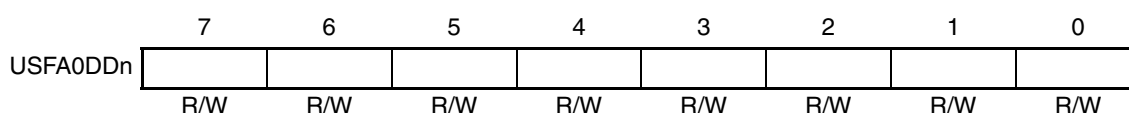


表 30-77 デバイス・ディスクリプタ・レジスタのマッピングとデータ

略号	アドレス	フィールド名	内容
USFA0DD0	344 _H	bLength	このディスクリプタのサイズ
USFA0DD1	348 _H	bDescriptorType	デバイス・ディスクリプタ・タイプ
USFA0DD2	34C _H	bcdUSB	USB仕様のRev.番号の小数点以下の値
USFA0DD3	350 _H		USB仕様のRev.番号の小数点以上の値
USFA0DD4	354 _H	bDeviceClass	クラス・コード
USFA0DD5	358 _H	bDeviceSubClass	サブクラス・コード
USFA0DD6	35C _H	bDeviceProtocol	プロトコル・コード
USFA0DD7	360 _H	bMaxPacketSize0	Endpoint0の最大パケット・サイズ
USFA0DD8	364 _H	idVendor	ベンダIDの下位側の値
USFA0DD9	368 _H		ベンダIDの上位側の値
USFA0DD10	36C _H	idProduct	製品IDの下位側の値
USFA0DD11	370 _H		製品IDの上位側の値
USFA0DD12	374 _H	bcdDevice	デバイス・リリース番号の下位側の値
USFA0DD13	378 _H		デバイス・リリース番号の上位側の値
USFA0DD14	37C _H	iManufacturer	メーカーを記述するストリング・ディスクリプタのインデクス
USFA0DD15	380 _H	iProduct	製品を記述するストリング・ディスクリプタのインデクス
USFA0DD16	384 _H	ISerialNumber	デバイス・シリアル番号を記述するストリング・ディスクリプタのインデクス
USFA0DD17	388 _H	BNumConfigurations	設定可能な Configuration の数

(15) コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ 0-255 (USFA0CIE0-USFA0CIE255)

GET_DESCRIPTOR Configuration リクエストで返す値を格納するレジスタです。

このレジスタには 256 バイトまでのディスクリプタ情報を格納できます。各ディスクリプタは Configuration, Interface, Endpoint の順に格納してください (表 30-78 参照)。Interface が複数ある場合は、Interface ディスクリプタ以降を繰り返し格納してください。

アクセス 8 ビット単位でリード/ライト可能です。ただし、ライトは EPONKA ビットがセット (1) されているときにだけ可能です。

アドレス 38C_H-788_H

初期値 不定。

表 30-78 USFA0CIE_n レジスタのマッピング

アドレス	レジスタ	格納するディスクリプタ
38C _H	USFA0CIE0	Configuration ディスクリプタ 0
:	:	:
3AC _H	USFA0CIE8	Configuration ディスクリプタ 8
3B0 _H	USFA0CIE9	Interface0 ディスクリプタ 0
:	:	:
3D0 _H	USFA0CIE17	Interface0 ディスクリプタ 0
3D4 _H	USFA0CIE18	Endpoint1 ディスクリプタ 0
:	:	:
3EC _H	USFA0CIE24	Endpoint1 ディスクリプタ 6
3F0 _H	USFA0CIE25	Endpoint2 ディスクリプタ 0
:	:	:
408 _H	USFA0CIE31	Endpoint2 ディスクリプタ 6
40C _H	USFA0CIE32	Endpoint3 ディスクリプタ 0
:	:	:
XXX _H	USFA0CIExxx	Interfacex ディスクリプタ 0 (Interface がサポートしている Endpoint に合わせてディスクリプタを作成する)
:	:	:
XXX _H + 20 _H	USFA0CIExxx + 8	Interfacex ディスクリプタ 8
XXX _H + 24 _H	USFA0CIExxx + 9	Endpoint1 ディスクリプタ 0
:	:	:
XXX _H + 3C _H	USFA0CIExxx + 15	Endpoint1 ディスクリプタ 6
XXX _H + 40 _H	USFA0CIExxx + 16	Endpoint2 ディスクリプタ 0
:	:	:
XXX _H + 58 _H	USFA0CIExxx + 22	Endpoint2 ディスクリプタ 6
XXX _H + 5C _H	USFA0CIExxx + 23	Interfacex ディスクリプタ 0
:	:	:

USFA0DSCL レジスタの設定により、このレジスタに設定できる有効なデータ範囲が変わります。なお、表 30-78 に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

すべての値が固定されていれば、ROM 化可能です。

- 注意**
1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EPONKA ビットをセット (1) したあと読み出し、セット (1) を確認してから行ってください。
 2. 設定する値には、USB Specification Ver2.0, および最新 Class Specification の値を使用してください。

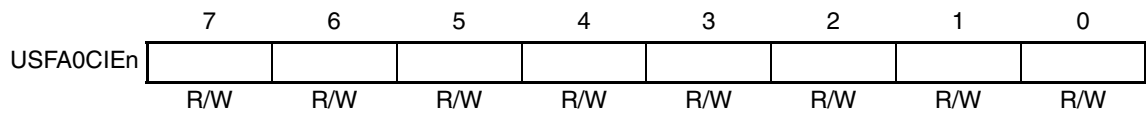


表 30-79 USFA0CIEn レジスタのデータ

(a) Configuration ディスクリプタ (9 バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration, 全 Interface, 全 Endpoint のディスクリプタが占める総バイト数の下位側の値
3		Configuration, 全 Interface, 全 Endpoint のディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interface の数
5	bConfigurationValue	この Configuration を選択するための値
6	iConfiguration	この Configuration を記述するストリング・ディスクリプタのインデクス
7	bmAttributes	Configuration の特徴 (セルフ・パワード, リモート・ウエイクアップなし)
8	MaxPower	この Configuration の最大消費電力 (単位 : mA) ^a

a) 2mA の単位で表されます。(例 : 50 = 100 mA)

(b) Interface ディスクリプタ (9 バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	この Interface の値
3	bAlternateSetting	Interface の代替セッティングを選択する値
4	bNumEndpoints	使用可能な Endpoint の数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	この Interface を記述するストリング・ディスクリプタのインデクス

(c) Endpoint ディスクリプタ (7 バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	この Endpoint のアドレス/転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	bInterval	転送周期

30.7.5 ブリッジ・レジスタ

(1) Hバス・ブリッジ割り込みステータス・レジスタ (USFA0BRGINT)

USFA0BRGINT レジスタは、Hバス・ブリッジで発生した割り込みの状態を示すレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 808_H

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFA0BRGINT	0	0	0	DMA_ERRINT[4:1]			0	
	R	R	R	R/W	R/W	R/W	R/W	R
	23	22	21	20	19	18	17	16
	0	0	0	DMA_ENDINT[4:1]			0	
	R	R	R	R/W	R/W	R/W	R/W	R
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	MBUS_ERRINT	SBUS_ERRINT1	SBUS_ERRINT0	ERR_MASTER[3:0]			
	R	R/W	R/W	R/W	R	R	R	R

表 30-80 USFA0BRGINT レジスタの内容

ビット位置	ビット名	意味
28-25	DMA_ERRINT [4:1]	EPC との DMA 転送において、バースト数が EPn_MPKT[8:0] で設定した最大パケット・サイズの値よりも早く epc_drqb 信号がインアクティブになったときに、DMA_ERRINT[4:1] ビットはセット (1) されます。 DMA_ERRINT[4:1] ビットは、1 を書き込むことでクリア (0) されます。
20-17	DMA_ENDINT [4:1]	DMA 転送が正常終了、もしくは DMA 転送中にエラー終了したときに、DMA_ENDINT[4:1] ビットはセット (1) されます。 DMA_ENDINT[4:1] ビットは、1 を書き込むことでクリア (0) されます。
6	MBUS_ERRINT	マスタ時に H バスへのアクセスでエラー応答を受信したときに、MBUS_ERRINT ビットはセット (1) されます。 MBUS_ERRINT ビットは、1 を書き込むことでクリア (0) されます。
5	SBUS_ERRINT1	NOT_RETRY_MASTER で設定されたマスタからのアクセスがあると、エラー応答が発生し、SBUS_ERRINT1 ビットがセット (1) されます。 SBUS_ERRINT1 ビットは、1 を書き込むことでクリア (0) されます。
4	SBUS_ERRINT0	32 ビット以上のバス幅でアクセスがあると、エラー応答が発生し、SBUS_ERRINT0 ビットがセット (1) されます。 SBUS_ERRINT0 ビットは、1 を書き込むことでクリア (0) されます。
3-0	ERR_MASTER [3:0]	SBUS_ERRINT1 ビットまたは SBUS_ERRINT0 ビットがセット (1) されたときのエラー応答したマスタ番号を格納します。 ERR_MASTER[3:0] ビットは、SBUS_ERRINT[1:0] をクリア (00) するまで、ほかの要因が発生しても現在の値を保持します。

(2) Hバス・ブリッジ割り込み許可レジスタ (USFA0BRGINTE)

USFA0BRGINTE レジスタは、Hバス・ブリッジで発生した割り込みを制御するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス 80C_H

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFA0BRGINTE	0	0	0	DMA_ERRINTEN[4:1]				0
	R	R	R	R/W	R/W	R/W	R/W	R
	23	22	21	20	19	18	17	16
	0	0	0	DMA_ENDINTEN[4:1]				0
	R	R	R	R/W	R/W	R/W	R/W	R
	15	14	13	12	11	10	9	8
	0	0	0	VBUS_INTEN	0	0	0	0
	R	R	R	R/W	R	R	R	R
	7	6	5	4	3	2	1	0
	0	MBUS_ERRINTEN	SBUS_ERRINT1EN	SBUS_ERRINT0EN	0	0	0	0
	R	R/W	R/W	R/W	R	R	R	R

表 30-81 USFA0BRGINTE レジスタの内容

ビット位置	ビット名	意味
28-25	DMA_ERRINTEN [4:1]	DMA_ERRINT[4:1] ビットの各ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する
20-17	DMA_ENDINTEN [4:1]	DMA_ENDINT[4:1] ビットの各ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する
12	VBUS_INTEN	VBUS_INT ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する
6	MBUS_ERRINT	MBUS_ERRINT ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する
5	SBUS_ERRINT1EN	SBUS_ERRINT1 ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する
4	SBUS_ERRINT0EN	SBUS_ERRINT0 ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する

(3) EPC 割り込みステータス・レジスタ (USFA0EPCINT)

USFA0EPCINT レジスタは、EPC で発生した割り込みの状態を示すレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス 810_H

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFA0EPCINT	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPC_INT2	EPC_INT1	EPC_INT0
	R	R	R	R	R	R	R	R

表 30-82 USFA0EPCINT レジスタの内容

ビット位置	ビット名	意味
2	EPC_INT2	INT ステータス 4 レジスタ (USFA0IS4) の割り込み要因を示します。USFA0IS4 レジスタに変化があった場合に、セット (1) されます。
1	EPC_INT1	INT ステータス 2 レジスタ (USFA0IS2) の割り込み要因を示します。USFA0IS2 レジスタに変化があった場合に、セット (1) されます。また、INT ステータス 3 レジスタ (USFA0IS3) の割り込み要因を示します。USFA0IS3 レジスタに変化があった場合にもセット (1) されます。
0	EPC_INT0	INT ステータス 0 レジスタ (USFA0IS0) の割り込み要因を示します。USFA0IS0 レジスタに変化があった場合に、セット (1) されます。また、INT ステータス 1 レジスタ (USFA0IS1) の割り込み要因を示します。USFA0IS レジスタに変化があった場合にも、セット (1) されます。

(4) EPC 割り込み許可レジスタ (USFA0EPCINTE)

EPCINT レジスタは、EPC で発生した割り込みを制御するレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス 814_H

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFA0EPCINTE	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPC_	EPC_	EPC_
	R	R	R	R	R	INT2EN	INT1EN	INT0EN
						R/W	R/W	R/W

表 30-83 USFA0EPCINTE レジスタの内容

ビット位置	ビット名	意味
2	EPC_	EPC_INT2 ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する
1	EPC_	EPC_INT1 ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する
0	EPC_	EPC_INT0 ビットがセット (1) されたときの割り込みの出力制御をします。 0: 割り込みを出力しない 1: 割り込みを出力する

(5) EPC マクロ制御レジスタ (USFA0EPCCTL)

USFA0EPCCTL レジスタは、EPC 回路へのリセット制御を行います。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス 818_H

初期値 00000001_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFA0EPCCTL	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	EPC_RST
	R	R	R	R	R	R	R	R/W

表 30-84 USFA0EPCCTL レジスタの内容

ビット位置	ビット名	意味
0	EPC_RST	EPC へのリセット信号を制御します。初期値は 1 (リセット状態) です。 0: リセット解除 1: リセット

(6) Endpoint n DMA コントロール・レジスタ 1 (USFA0EnDC1)

USFA0EnDC1 レジスタは、DMA 転送の制御について設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス 910_H (USFA0E1DC1)

920_H (USFA0E2DC1)

930_H (USFA0E3DC1)

940_H (USFA0E4DC1)

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFA0EnDC1	EPn_DSCNT[15:8]							
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	23	22	21	20	19	18	17	16
	EPn_DSCNT[7:0]							
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EPn_DIR0	EPn_REQEN
	R	R	R	R	R	R	R	R/W

表 30-85 USFA0EnDC1 レジスタの内容

ビット位置	ビット名	意味												
31-16	EPn_DSCNT [15:0]	<p>DMA 転送するパケット数を設定します (バイト数ではありません)。 1 パケット DMA 転送ごとに EPn_DSCNT[15:0] ビットの値が減算されます。</p> <table border="1"> <thead> <tr> <th>EPn_DSCNT[15:0]</th> <th>パケット数</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>65536</td> </tr> <tr> <td>0001_H</td> <td>65535</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFE_H</td> <td>1</td> </tr> <tr> <td>FFFF_H</td> <td>0</td> </tr> </tbody> </table> <p>EPnDSCNT[15:0] ビットは EPnREQEN ビット = 0 のときに設定してください。</p>	EPn_DSCNT[15:0]	パケット数	0000 _H	65536	0001 _H	65535	:	:	FFFE _H	1	FFFF _H	0
EPn_DSCNT[15:0]	パケット数													
0000 _H	65536													
0001 _H	65535													
:	:													
FFFE _H	1													
FFFF _H	0													
1	EPnDIR0	<p>EPC の方向を示します。</p> <p>0 : IN 転送 (USFA0E1DC1, EP3DCR3 レジスタ) 1 : OUT 転送 (EP2DCR1, EP4DCR3 レジスタ)</p>												
0	EPn_REQEN	<p>EPC からの DMA 要求の制御をします。</p> <p>0 : DMA 要求をマスク 1 : DMA 要求を許可</p> <p>備考 次の条件のどれか一つでも発生すると EPnREQEN ビットはクリア (0) されます。</p> <ul style="list-style-type: none"> EPnDSCNT[15:0] ビットで設定されたパケット数の転送が完了 EPC から終了信号 (epc_stopb) を受信 DMA_ERRINT が発生 												

(7) Endpoint n DMA コントロール・レジスタ 2 (USFA0EnDC2)

USFA0EnDC2 レジスタは、DMA 転送の制御について設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス 914_H (USFA0E1DC2)

924_H (USFA0E2.DC2)

934_H (USFA0E3DC2)

944_H (USFA0E4DC2)

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
EPnDCR2								EPn_LMPKT8
	R	R	R	R	R	R	R	R/W
	23	22	21	20	19	18	17	16
EPn_LMPKT[7:0]								
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	EPn_MPKT8
	R	R	R	R	R	R	R	R/W
	7	6	5	4	3	2	1	0
EPn_MPKT[7:0]								
	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 30-86 USFA0EnDC2 レジスタの内容

ビット位置	ビット名	意味
24-16	EPn_LMPKT[8:0]	<p>EPn の最終パケットの最大パケット・サイズを設定します。 IN 転送 (USFA0EnDC1.EPnDIR0 = 0), OUT 転送 (USFA0EnDC1.EPnDIR0 = 1) で動作が異なります。</p> <ul style="list-style-type: none"> IN 転送 (USFA0EnDC1.EPnDIR0 = 0) 時 最終パケットのバイト数を設定します。DMA 転送で設定されたバイト数を転送終了したとき、EPC に対して epc_endb を発生させ DMA 転送を終了させます。 OUT 転送 (USFA0EnDC1.EPnDIR0 = 1) 時 DMA 転送で設定した最終パケットのバイト数を示します。 <p>EPnLMPKT[8:0] ビットは EPnREQEN ビット = 0 のときに設定してください。</p>
8-0	EPn_MPKT[8:0]	<p>EPn の最大パケット・サイズを設定します。 下位 2 ビットは 00 固定となります。 EPnMPKT[8:0] ビットは EPnREQEN ビット = 0 のときに設定してください。 最大パケット・サイズが 64 バイトの場合は 040_H に設定してください。</p>

次にホスト切断／ホスト再接続時のプログラム、電源投入時のプログラムのフロー・チャートを示します。

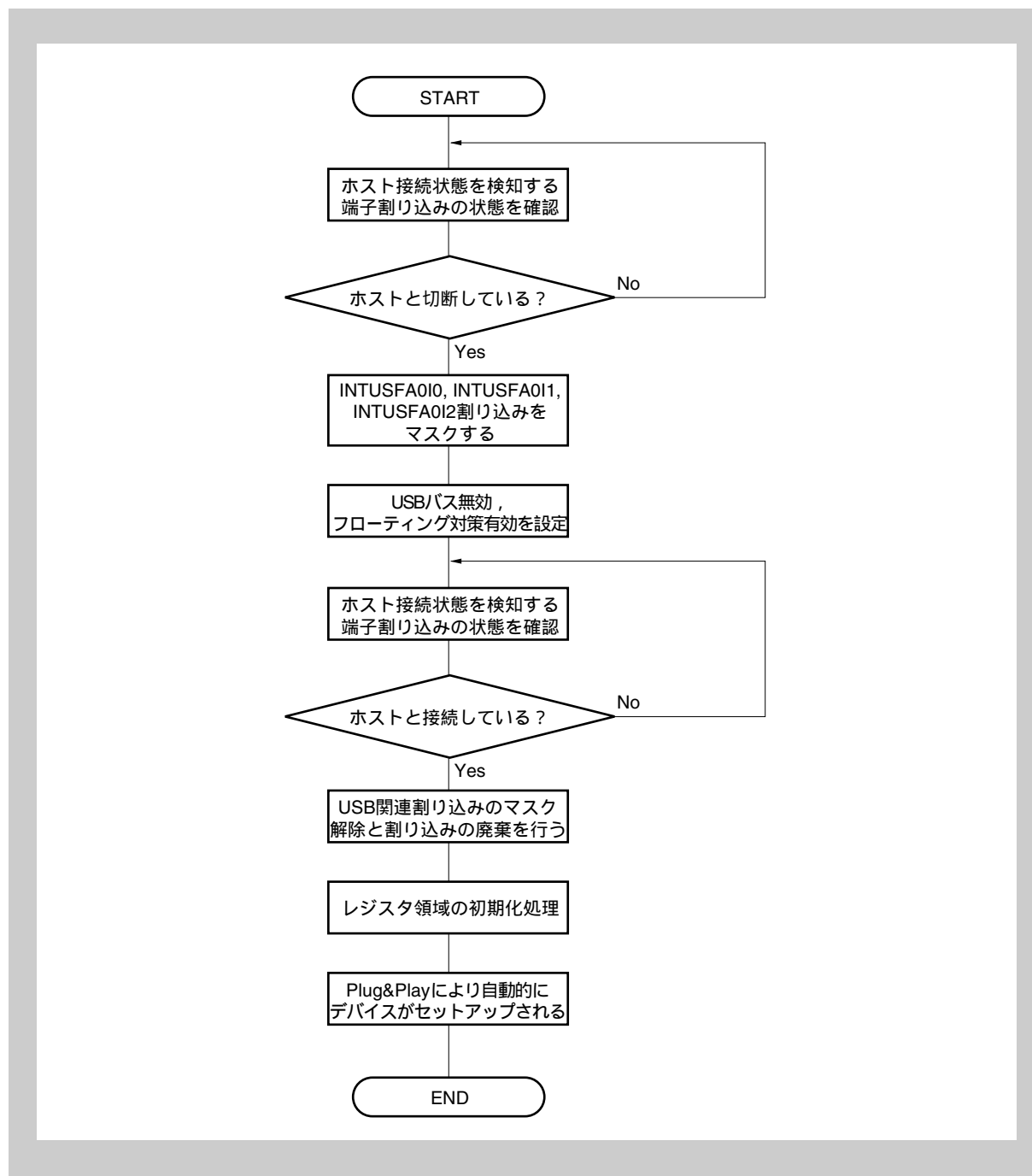


図 30-13 ホスト切断／ホスト再接続時のプログラムのフロー・チャート

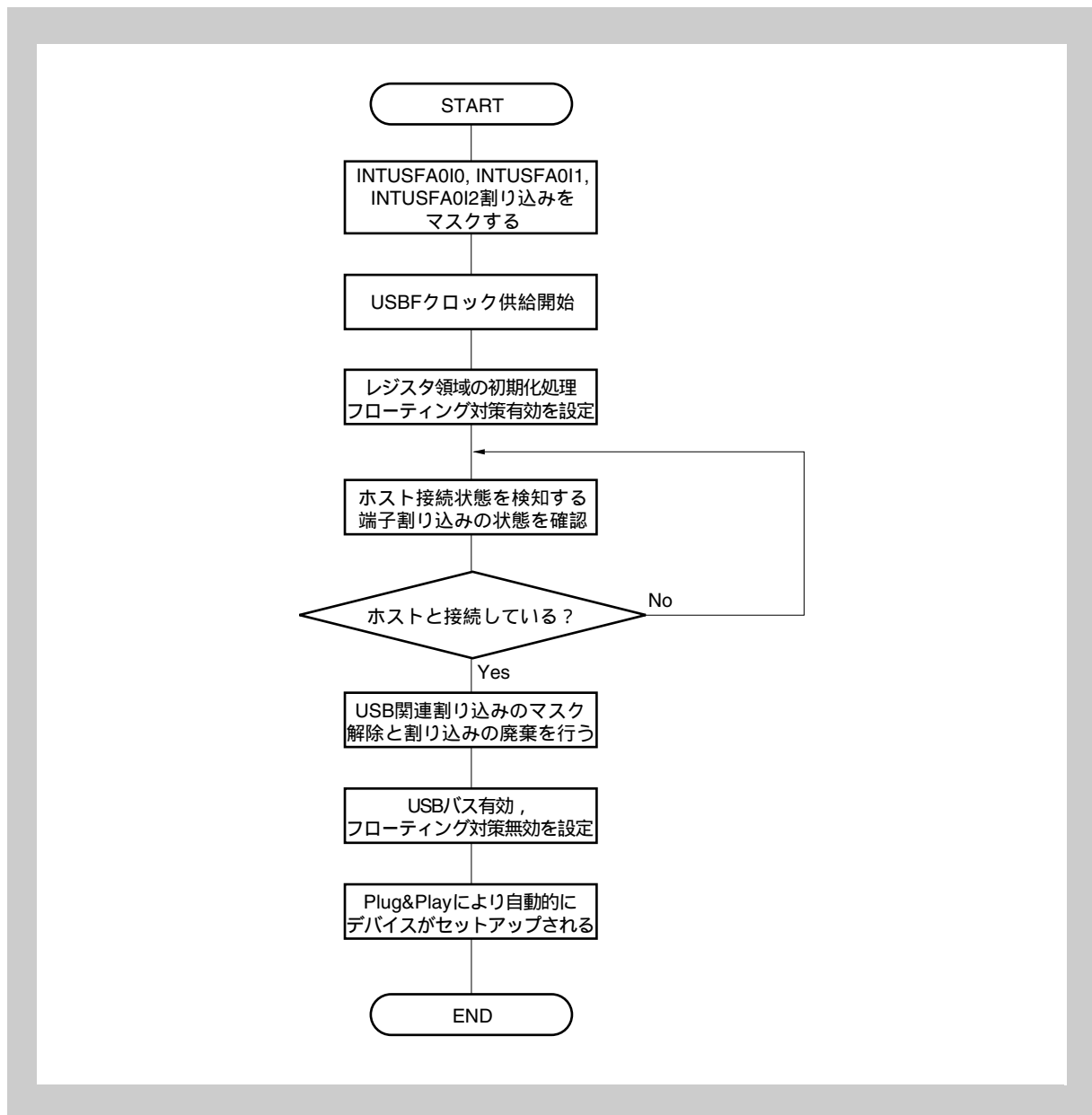


図 30-14 電源投入時のプログラムのフロー・チャート

30.8 STALL ハンドシェークまたはノー・ハンドシェーク

USBF のエラーの取り扱いは、次のように定義されています。

転送タイプ	トランザクション	対象 パケット	エラー種類	ファンクション 応答	処理内容
コントロール転送 ／バルク転送／イ ンタラプト転送	IN/OUT/SETUP	トークン	Endpoint 未対応	無応答	特になし
			Endpoint に対する 転送方向不一致	無応答	
			CRC エラー	無応答	
			ビット・スタッ ピング・エラー	無応答	
コントロール転送 ／バルク転送／	OUT/SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エ ラー	無応答	
			未対応 PID (Data PID 以外)	無応答	
			CRC エラー	無応答	
	ビット・スタッ ピング・エラー	無応答			
OUT	データ	Data PID 不一致	ACK		
コントロール転送 (SETUP ステ ージ)	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送 (データ・ステ ージ)	OUT	データ	オーバラン	無応答 ^{a)}	USFA0SDS レジス タの SNDSTL ビッ トをセット (1) し、 受信データを破棄
コントロール転送 (ステータス・ス テージ)	OUT	データ	オーバラン	ACK or 無応答 ^{b)}	
バルク転送	OUT	データ	オーバラン	無応答 ^{a)}	USFA0EnS レジス タの EnHALT ビッ トをセット (1) する (n = 0-4, 7)
コントロール転送 ／バルク転送／イ ンタラプト転送	IN	ハンド シェーク	PID チェック・エ ラー	—	送出したデータを保 持し、再転送 ^{c)}
			未対応 PID (ACK PID 以外)	—	
			タイムアウト	—	

a) ホストの再転送に対して STALL 応答します。

b) 転送データが MaxPacketSize 以下の場合には ACK 応答し、ステータス・ステージの受信データを破棄します。一方、MaxPacketSize を越える場合には無応答となり、USFA0SDS レジスタの SNDSTL ビットがセット (1) され、受信データは破棄されます。

c) コントロール転送で、データ・ステージからステータス・ステージへの変化を示す OUT トランザクションを受信した場合は対象外となり、正常受信完了と判断します。

- 注意**
1. 現在設定されている Alternate Setting の番号により対象 Endpoint が有効か無効かが判定されます。
 2. Endpoint0 へのコントロール転送に含まれるリクエストに対する応答は、30.6 「リクエスト」を参照してください。

30.9 特定状態でのレジスタ値

表 30-88 特定状態でのレジスタ値 (1/2)

レジスタ名	CPU リセット ($\overline{\text{RESET}}$) 時	Bus Reset 時
USFA0E0N レジスタ	00000000 _H	値を保持
USFA0E0NA レジスタ	00000000 _H	値を保持
USFA0EN レジスタ	00000000 _H	値を保持
USFA0ENM レジスタ	00000000 _H	値を保持
USFA0SDS レジスタ	00000000 _H	値を保持
USFA0CLR レジスタ	00000000 _H	値を保持
USFA0SET レジスタ	00000000 _H	値を保持
USFA0EPS0 レジスタ	00000000 _H	値を保持
USFA0EPS1 レジスタ	00000000 _H	値を保持
USFA0EPS2 レジスタ	00000000 _H	値を保持
USFA0IS0 レジスタ	00000000 _H	値を保持
USFA0IS1 レジスタ	00000000 _H	値を保持
USFA0IS2 レジスタ	00000000 _H	値を保持
USFA0IS3 レジスタ	00000000 _H	値を保持
USFA0IS4 レジスタ	00000000 _H	値を保持
USFA0IM0 レジスタ	00000000 _H	値を保持
USFA0IM1 レジスタ	00000000 _H	値を保持
USFA0IM2 レジスタ	00000000 _H	値を保持
USFA0IM3 レジスタ	00000000 _H	値を保持
USFA0IM4 レジスタ	00000000 _H	値を保持
USFA0IC0 レジスタ	FFFFFFFF _H	値を保持
USFA0IC1 レジスタ	FFFFFFFF _H	値を保持
USFA0IC2 レジスタ	FFFFFFFF _H	値を保持
USFA0IC3 レジスタ	FFFFFFFF _H	値を保持
USFA0IC4 レジスタ	FFFFFFFF _H	値を保持
USFA0IDR レジスタ	00000000 _H	値を保持
USFA0DMS0 レジスタ	00000000 _H	値を保持
USFA0DMS1 レジスタ	00000000 _H	値を保持
USFA0FIC0 レジスタ	00000000 _H	値を保持
USFA0FIC1 レジスタ	00000000 _H	値を保持
USFA0DEND レジスタ	00000000 _H	値を保持
USFA0GPR レジスタ	00000000 _H	値を保持
USFA0MODC レジスタ	00000000 _H	値を保持
USFA0MODS レジスタ	00000000 _H	ビット2 (CONF) : クリア (0), それ以外のビット : 値を保持
USFA0AIFN レジスタ	00000000 _H	値を保持
USFA0AAS レジスタ	00000000 _H	値を保持
USFA0ASS レジスタ	00000000 _H	00000000 _H

表 30-88 特定状態でのレジスタ値 (2/2)

レジスタ名	CPU リセット (RESET) 時	Bus Reset 時
USFA0E1IM レジスタ	00000000 _H	値を保持
USFA0E2IM レジスタ	00000000 _H	値を保持
USFA0E3IM レジスタ	00000000 _H	値を保持
USFA0E4IM レジスタ	00000000 _H	値を保持
USFA0E7IM レジスタ	00000000 _H	値を保持
USFA0E0R レジスタ	不定 ^a	値を保持
USFA0E0L レジスタ	00000000 _H	値を保持
USFA0E0ST レジスタ	00000000 _H	00000000 _H
USFA0E0W レジスタ	不定 ^a	値を保持
USFA0B01 レジスタ	不定 ^a	値を保持
USFA0B01L レジスタ	00000000 _H	値を保持
USFA0B02 レジスタ	不定 ^a	値を保持
USFA0B02L レジスタ	00000000 _H	値を保持
USFA0B11 レジスタ	不定 ^a	値を保持
USFA0B12 レジスタ	不定 ^a	値を保持
USFA0INT1 レジスタ	不定	値を保持
USFA0DST レジスタ	00000000 _H	00000000 _H
USFA0E0S レジスタ	00000000 _H	00000000 _H
USFA0E1S レジスタ	00000000 _H	00000000 _H
USFA0E2S レジスタ	00000000 _H	00000000 _H
USFA0E3S レジスタ	00000000 _H	00000000 _H
USFA0E4S レジスタ	00000000 _H	00000000 _H
USFA0E7S レジスタ	00000000 _H	00000000 _H
USFA0E8S レジスタ	00000000 _H	00000000 _H
USFA0ADRS レジスタ	00000000 _H	00000000 _H
USFA0CNF レジスタ	00000000 _H	00000000 _H
USFA0IF0 レジスタ	00000000 _H	00000000 _H
USFA0IF1 レジスタ	00000000 _H	00000000 _H
USFA0IF2 レジスタ	00000000 _H	00000000 _H
USFA0IF3 レジスタ	00000000 _H	00000000 _H
USFA0IF4 レジスタ	00000000 _H	00000000 _H
USFA0DSCL レジスタ	00000000 _H	値を保持
USFA0DDn レジスタ (n = 0-17)	b	b
USFA0CIEn レジスタ (n = 0-255)	b	b

- a) 該当のレジスタは、FIFO 制御のため、USFA0FICn レジスタでのクリア (0) と同様に RESET 信号がアクティブになると、ライト・ポインタ、カウンタ、リード・ポインタのすべてがクリア (0) されるので、RESET 信号によって、クリア (0) できます。
- b) 該当のレジスタは、クリア (0) できません。ただし、FW ライト可能なので、任意の値を書き込めます (その場合は、必ず USFA0E0NA レジスタの EP0NKA ビット = 1 にしてから行ってください)。

30.10 FW 処理

FW 処理は次に示すものに対して行います。

- エニメレーション処理中の SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE リクエストに対する装置側の設定処理
- 自動処理対象外の XXXXStandard リクエスト, XXXXClass リクエスト, XXXXVendor リクエストの解析とその処理
- バルク転送の OUT トークンに続くデータの受信バッファからの読み出し
- バルク転送の IN トークンに対して返信されるデータの書き込み
- インタラプト転送のトークンに対して返信されるデータの書き込み

次に FW 対応のリクエストを示します。

表 30-89 FW 対応の標準リクエスト

リクエスト	受信側	処理/頻度	説明
CLEAR_FEATURE	Interface	自動 STALL 応答	bmRequestType では予約しているが、機能セクタ値がないため、Interface にはこの要求は来ないと思われず。このリクエストを受けた場合、ハードウェアは自動 STALL 応答します。
SET_FEATURE	Interface	自動 STALL 応答	bmRequestType では予約しているが、機能セクタ値がないため、Interface にはこの要求はないと思われず。このリクエストを受けた場合、ハードウェアは自動 STALL 応答します。
GET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを返します。SETUP トークンでこのリクエストを受信すると、ハードウェアは FW に対して CPUDEC 割り込み要求を発生します。FW は CPUDEC 割り込み要求からリクエストの内容をデコードし、ホストに返すデータを USFA0E0W レジスタに書き込みます。
SET_DESCRIPTOR	Device	FW	デバイス・ディスクリプタを書き換えます。SETUP トークンでこのリクエストを受信すると、ハードウェアは FW に対して CPUDEC 割り込み要求を発生します。FW は CPUDEC 割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを USFA0DDn レジスタに書き込みます (n = 0-17)。
SET_DESCRIPTOR	Configuration	FW	コンフィギュレーション・ディスクリプタを書き換えます。SETUP トークンでこのリクエストを受信すると、ハードウェアは FW に対して CPUDEC 割り込み要求を発生します。FW は CPUDEC 割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを USFA0CIEn レジスタに書き込みます (n = 0-255)。
SET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを書き換えます。SETUP トークンでこのリクエストを受信すると、ハードウェアは FW に対して CPUDEC 割り込み要求を発生します。FW は CPUDEC 割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを取り込みます。
その他のリクエスト	NA	FW	SETUP トークンでその他のリクエストを受信すると、ハードウェアは FW に対して CPUDEC 割り込み要求を発生します。FW は CPUDEC 割り込み要求からリクエストの内容をデコードし、必要な処理を行ってください。

30.10.1 初期化処理

初期化処理には次の2つの設定があります。

- リクエスト・データ・レジスタの初期化
- 割り込みの設定

リクエスト・データ・レジスタの初期化では、自動返信処理を行う GET_XXXX リクエストに対するデータの書き込みと Endpoint の Interface に対する割り当てを行います。割り込みの設定では、確認する必要のない割り込み要因に対して、USFA0IMn レジスタにより割り込みのマスクを行います (n = 0-4)。

次にフローを示します。

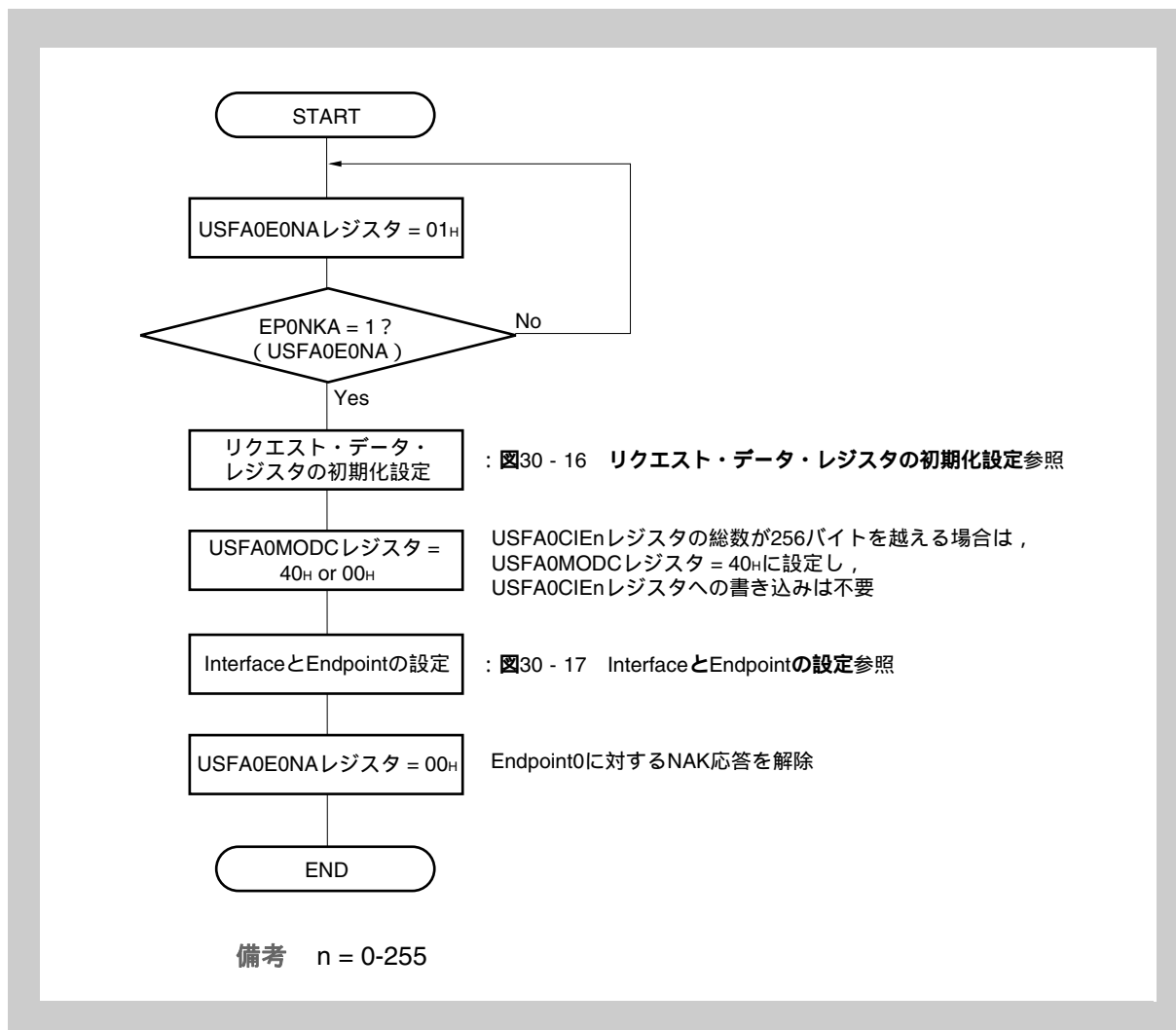


図 30-15 リクエスト・データ・レジスタの初期化

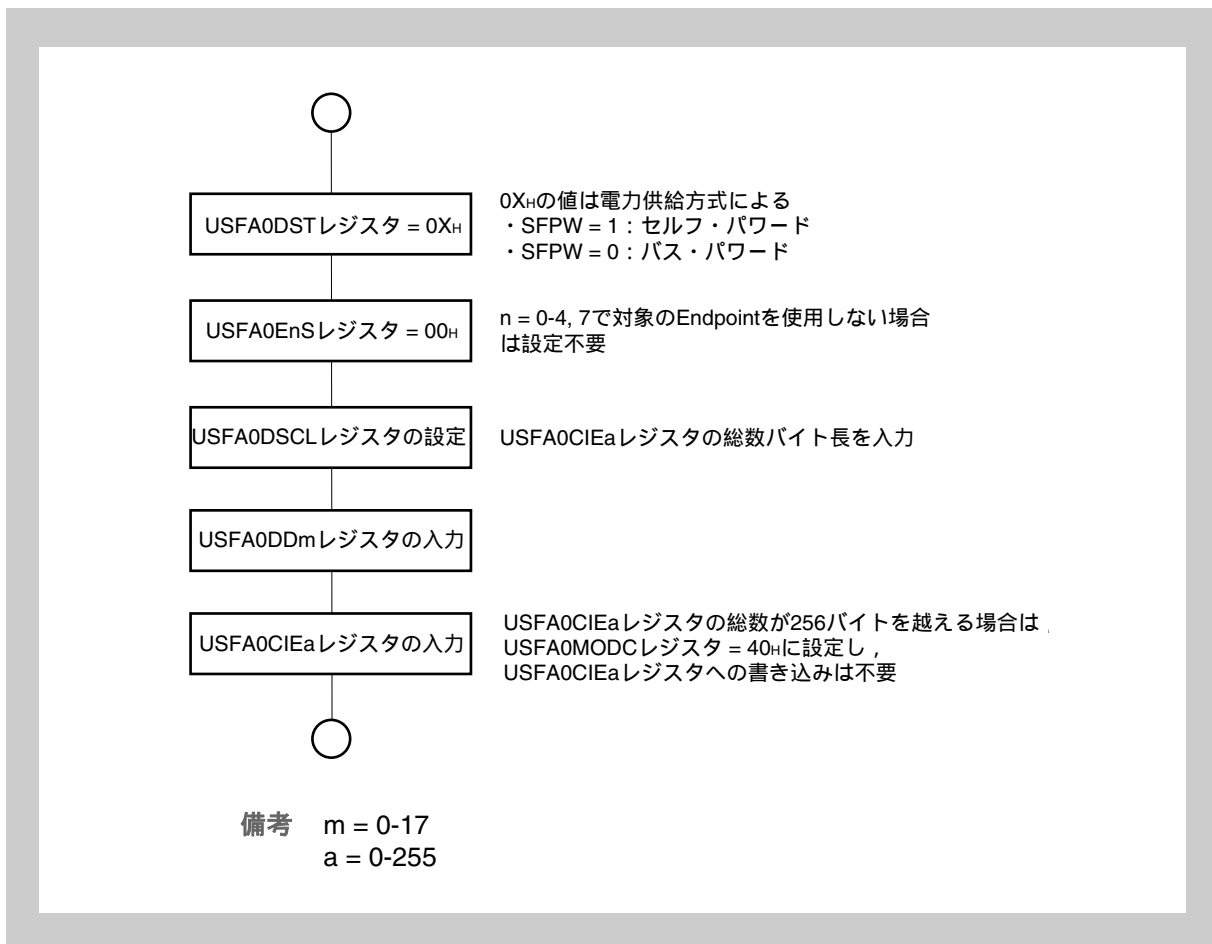


図 30-16 リクエスト・データ・レジスタの初期化設定

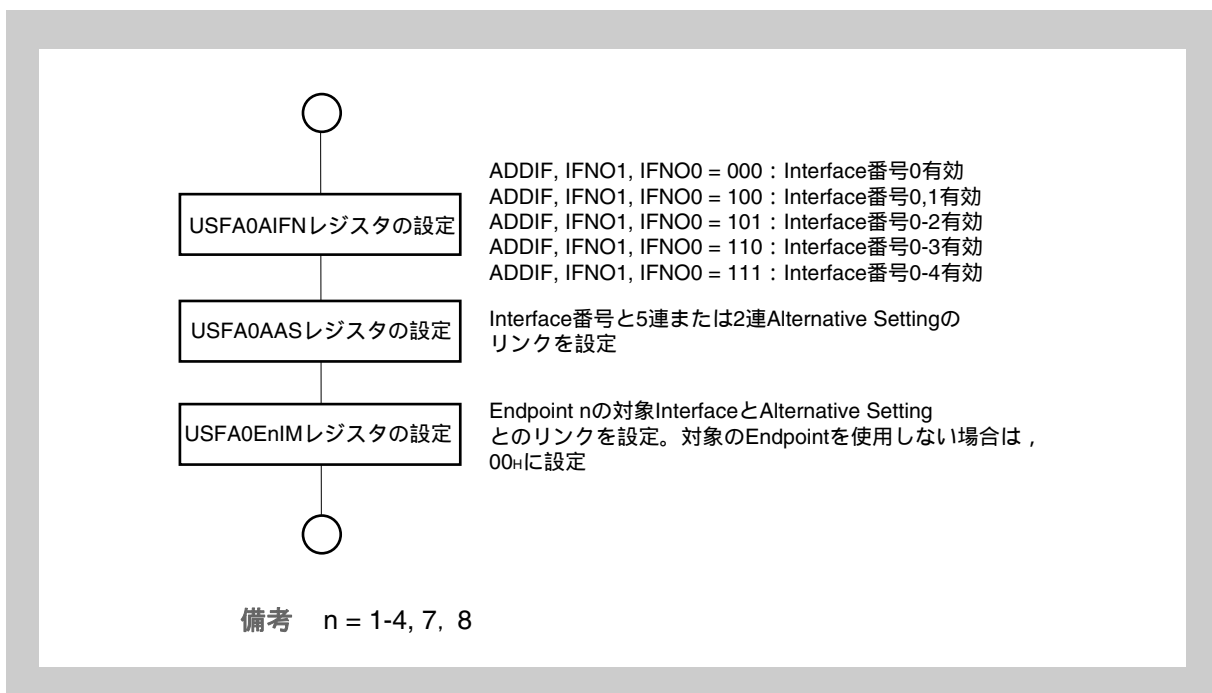


図 30-17 Interface と Endpoint の設定

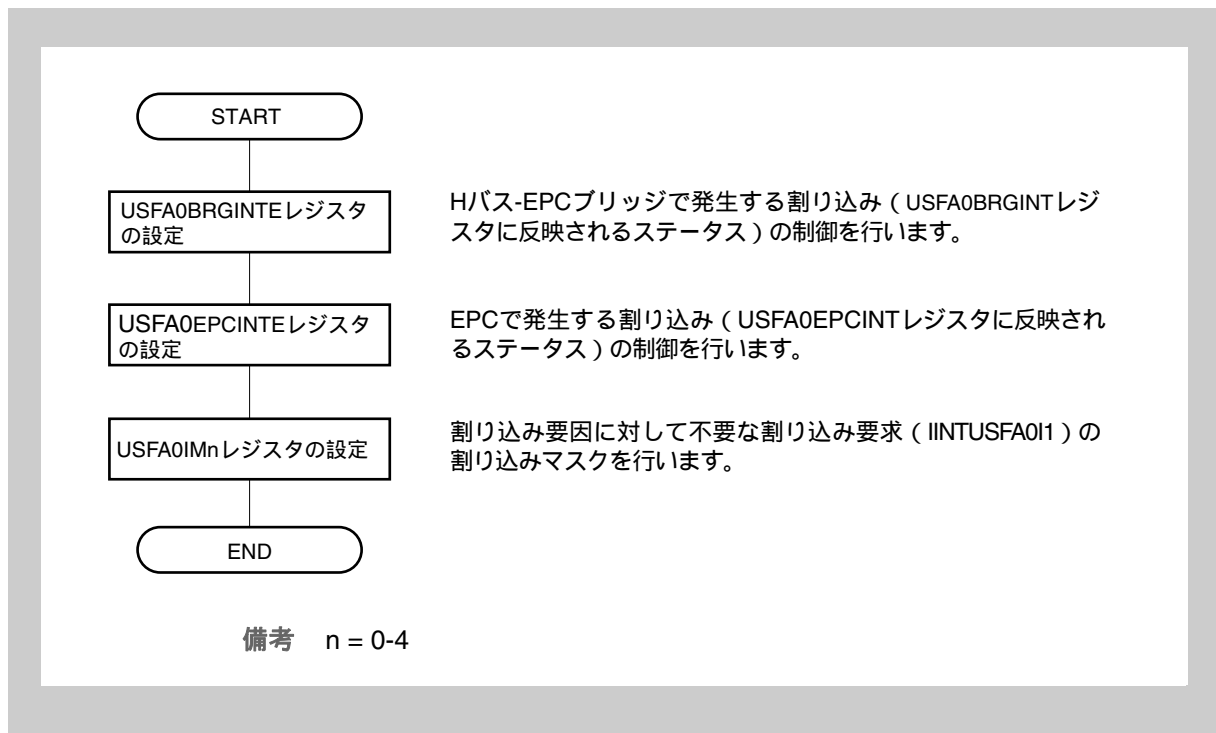


図 30-18 割り込みの設定

30.10.2 割り込み処理

次にフローを示します。

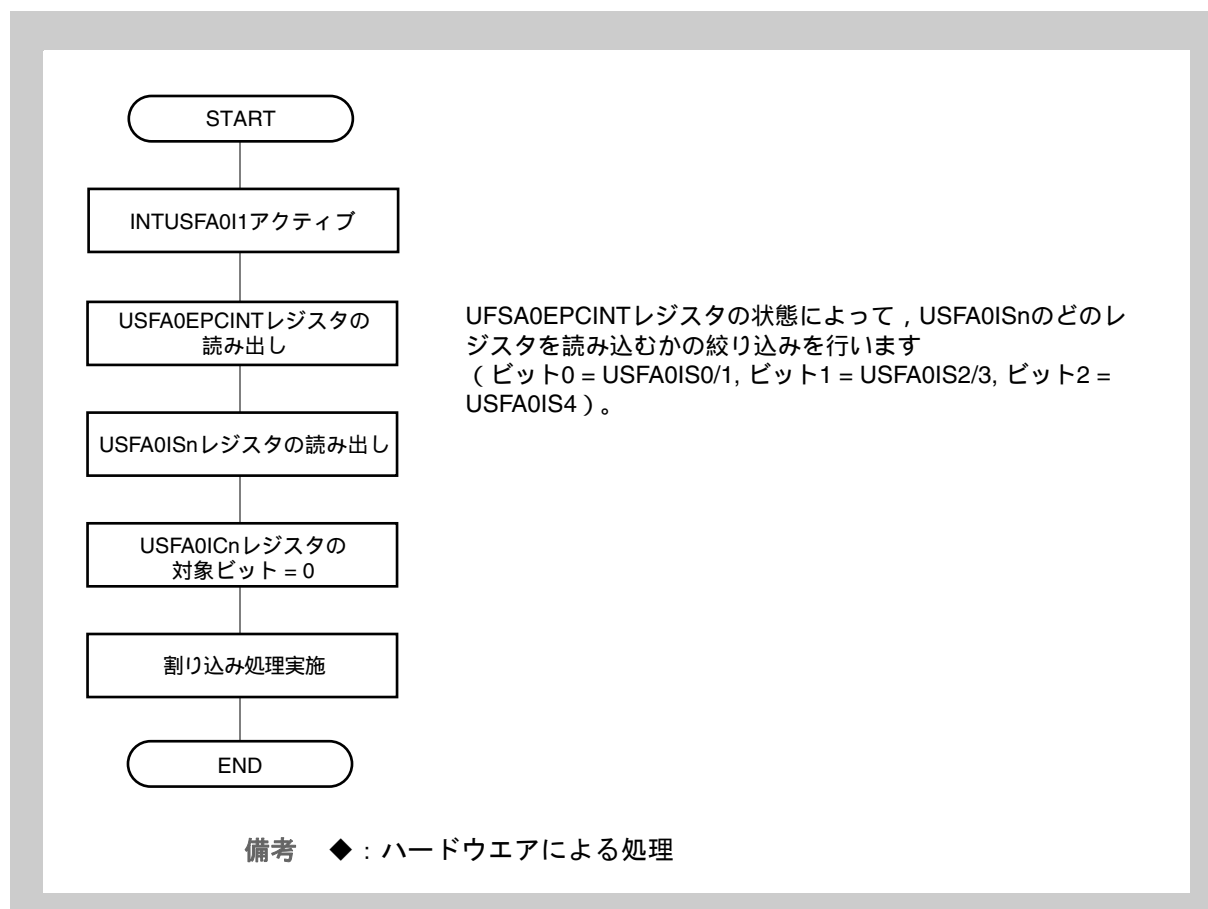


図 30-19 EPC 割り込み検出処理

次に示す USFA0ISn レジスタのビットは，条件を満たしたときにハードウェアにより，自動的にクリアされます (n = 0-4)。

- USFA0IS1 レジスタの E0INDT, E0ODT, SUCES, STG, CPUDEC ビット
- USFA0IS2 レジスタの BKI2DT, BKI1DT, IT1DT ビット
- USFA0IS3 レジスタの BKO2FL, BKO2DT, BKO1FL, BKO1DT ビット

なお，USFA0ICn レジスタでの割り込み要因のクリアは，対象となる割り込み要因のハードウェアによるセットより，優先順位は低いため，タイミングによってはクリアできない場合があります (n = 0-4)。

30.10.3 USB メイン処理

USB メイン処理では、USB トランザクションに対する処理を行います。対象となるトランザクションのタイプは次の通りです。

- コントロール転送に対する完全自動処理リクエスト
- コントロール転送に対する自動処理リクエスト (SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)
- コントロール転送に対する CPUDEC リクエスト
- バルク転送 (IN) に対する処理
- バルク転送 (OUT) に対する処理
- インタラプト転送 (IN) に対する処理

Endpoint n に対する処理は、データ転送の書き込みまたは読み出し処理です。なお、以降で示すフロー・チャートは PIO を対象にしたものです。

(1) コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは、ハードウェアで処理のすべてを実行するため、FW では参照できません。このため、FW で特別に処理する必要はありません。

(2) コントロール転送に対する自動処理リクエスト

(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE のコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウェアで自動的に実行されますが、装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は、この処理は無視してもかまいません。

次にフローを示します。

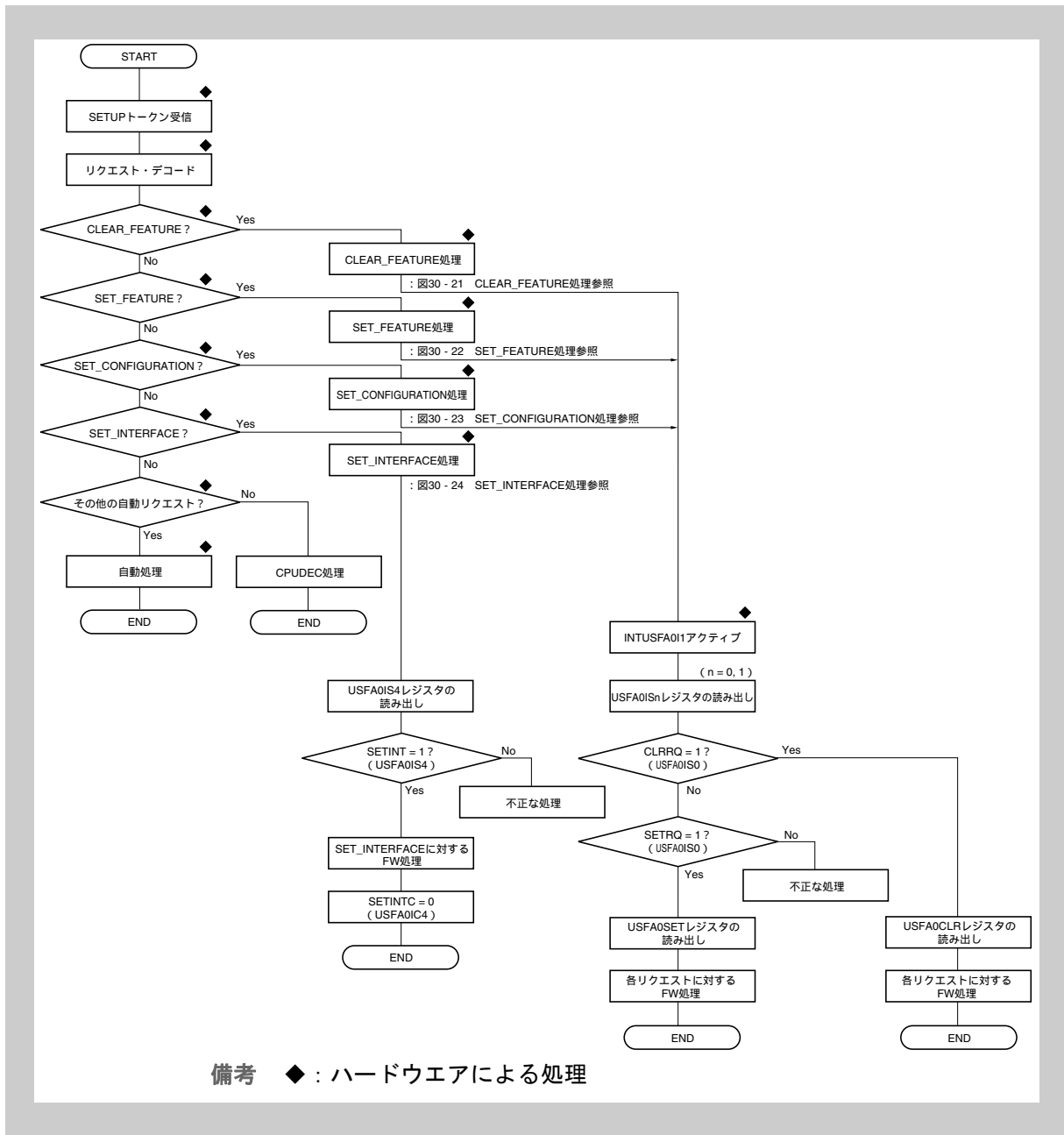


図 30-20 コントロール転送に対する自動処理リクエスト

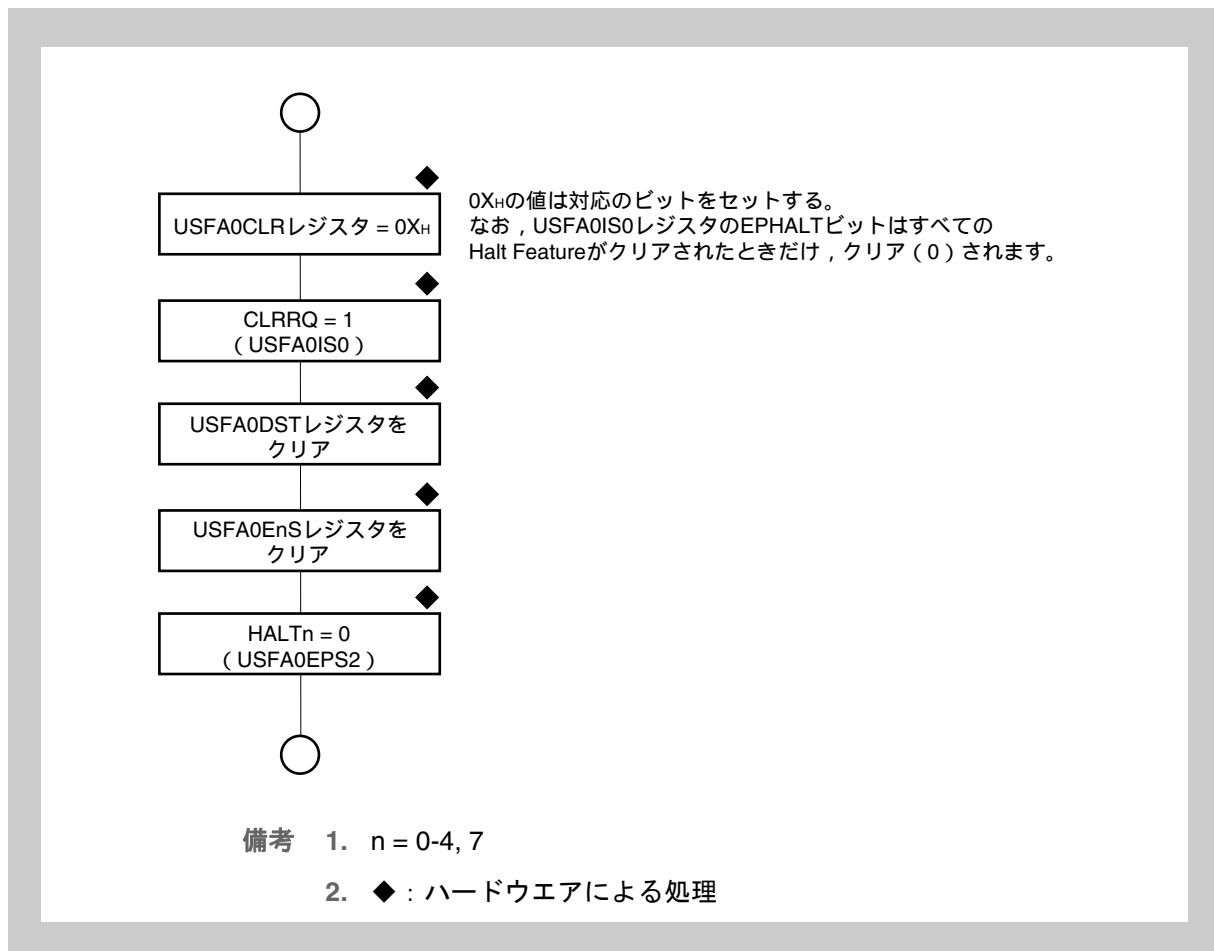


図 30-21 CLEAR_FEATURE 処理

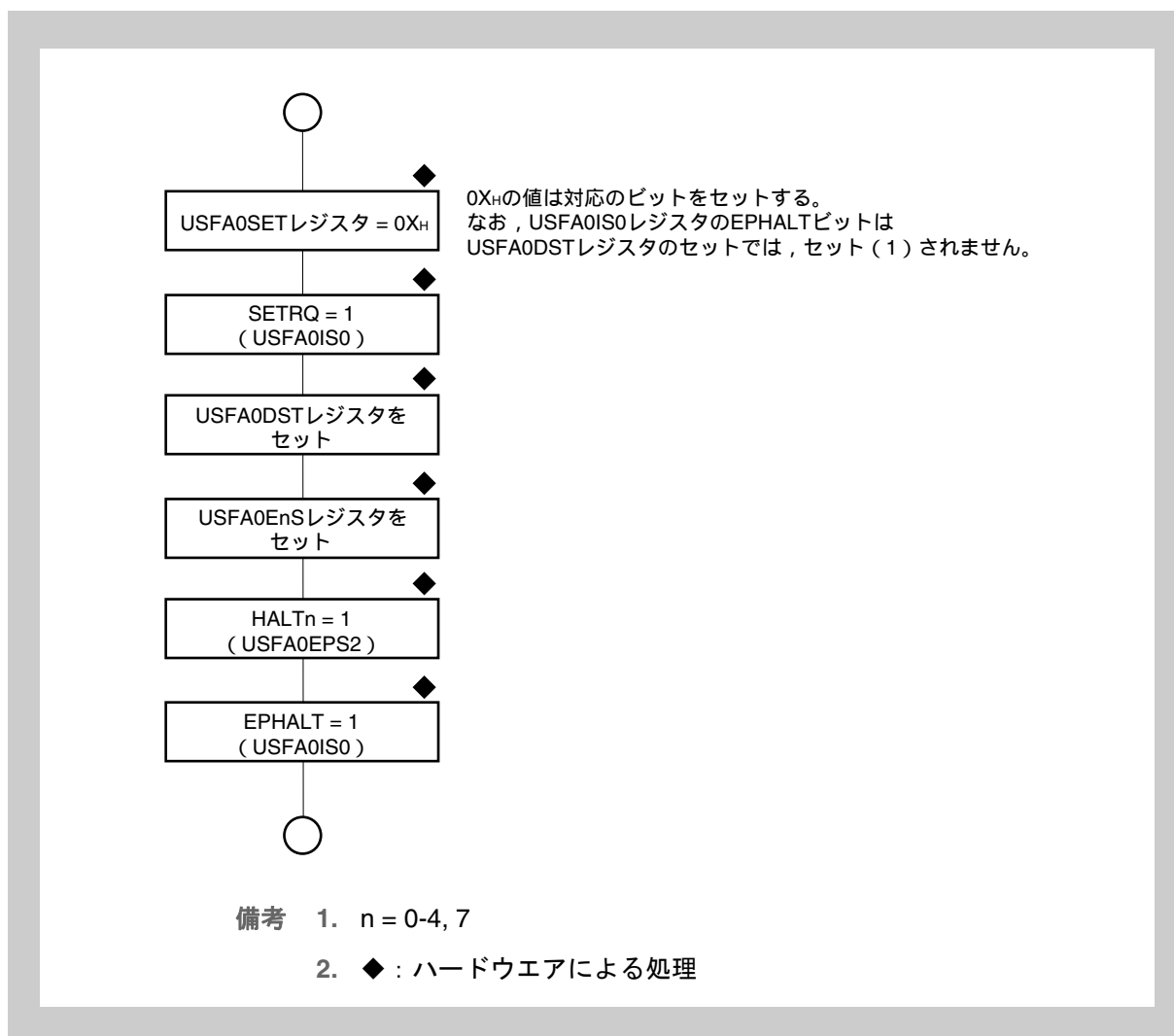


図 30-22 SET_FEATURE 処理

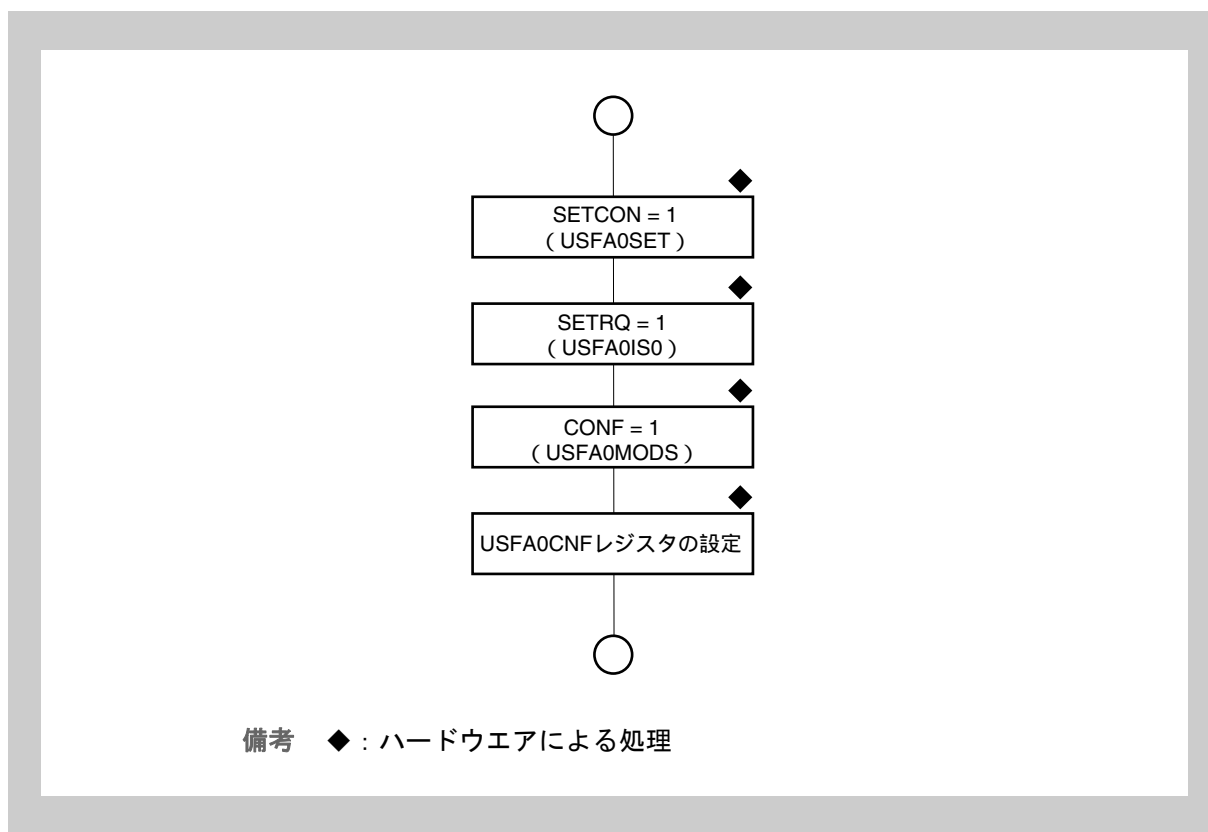


図 30-23 SET_CONFIGURATION 処理

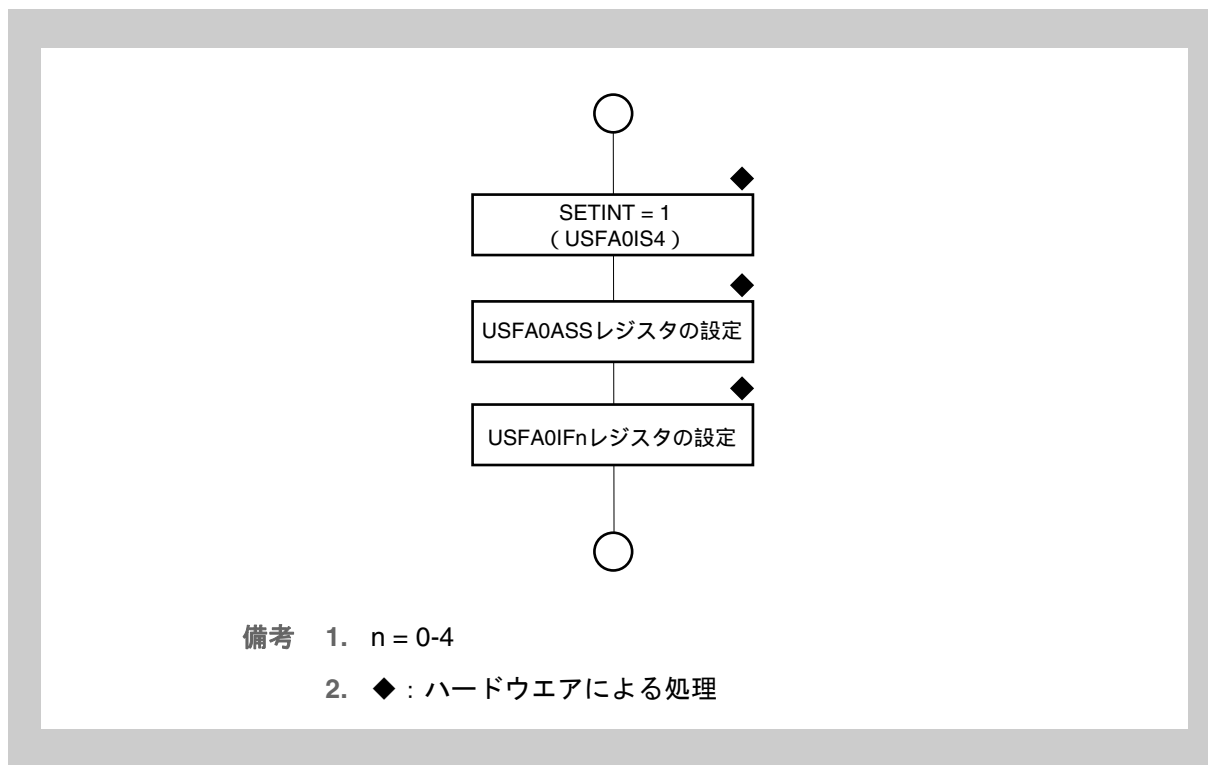


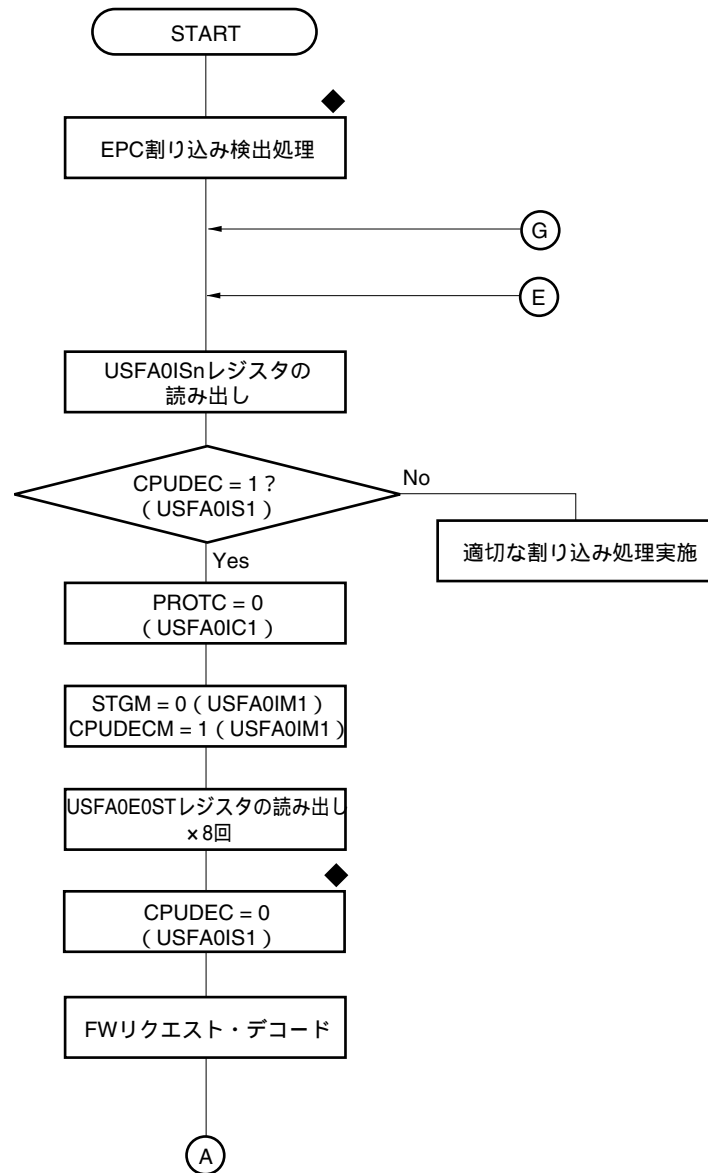
図 30-24 SET_INTERFACE 処理

(3) コントロール転送に対する CPUDEC リクエスト

CPUDEC リクエストは、コントロール転送（ライト）、コントロール転送（リード）、コントロール転送（データなし）の3つの処理に分類できます。コントロール転送（ライト）はデータ・ステージで OUT トランザクションを利用するリクエスト（例：SET_DESCRIPTOR）、コントロール転送（リード）はデータ・ステージで IN トランザクションを利用するリクエスト（例：GET_DESCRIPTOR）、コントロール転送（データなし）はデータ・ステージを持たないリクエスト（例：SET_CONFIGURATION）を示します。

次にフローを示します。

(a) トークン・フェーズ (1/2)



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (1/12)

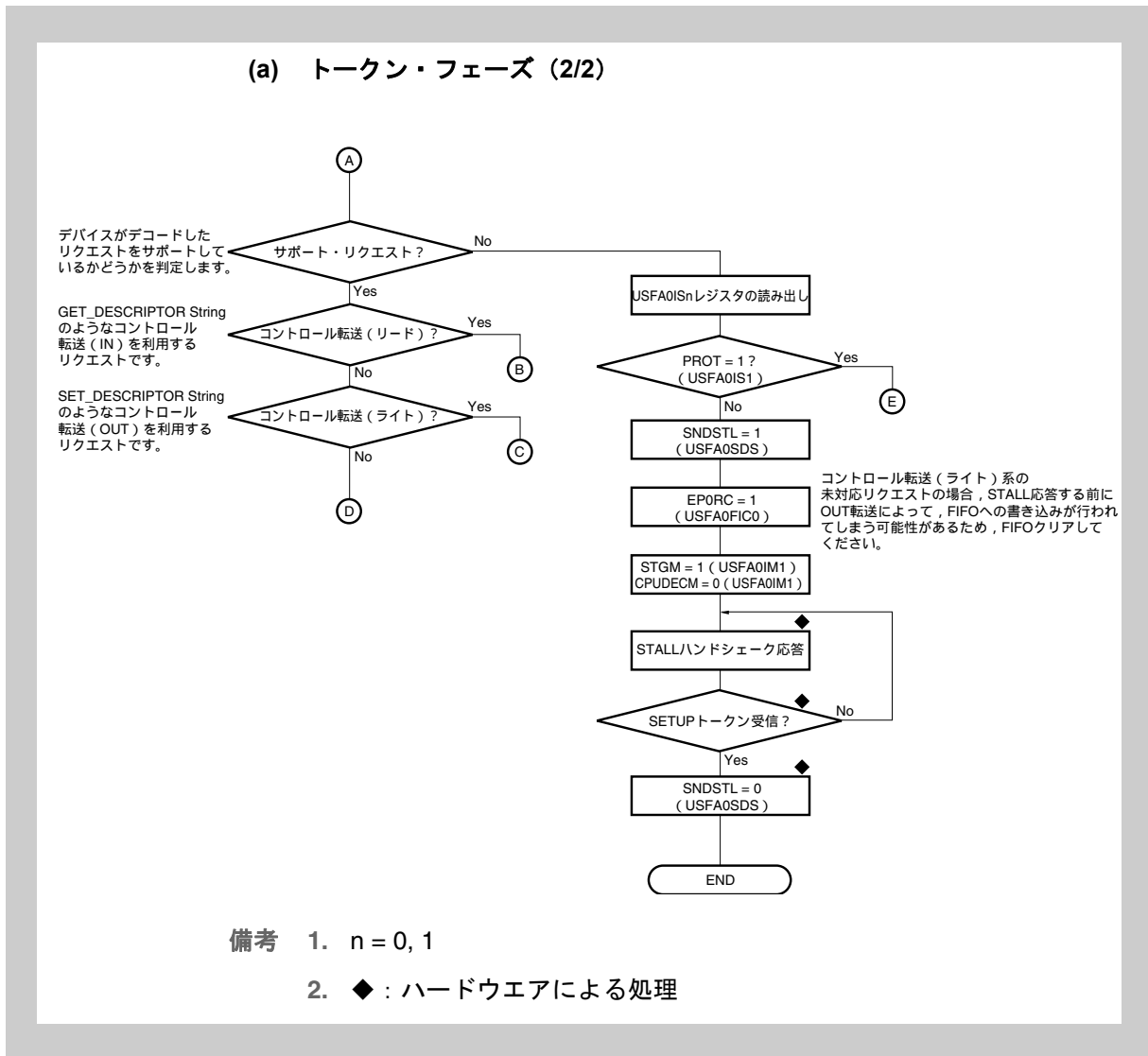


図 30-25 コントロール転送に対する CPUDEC リクエスト (2/12)

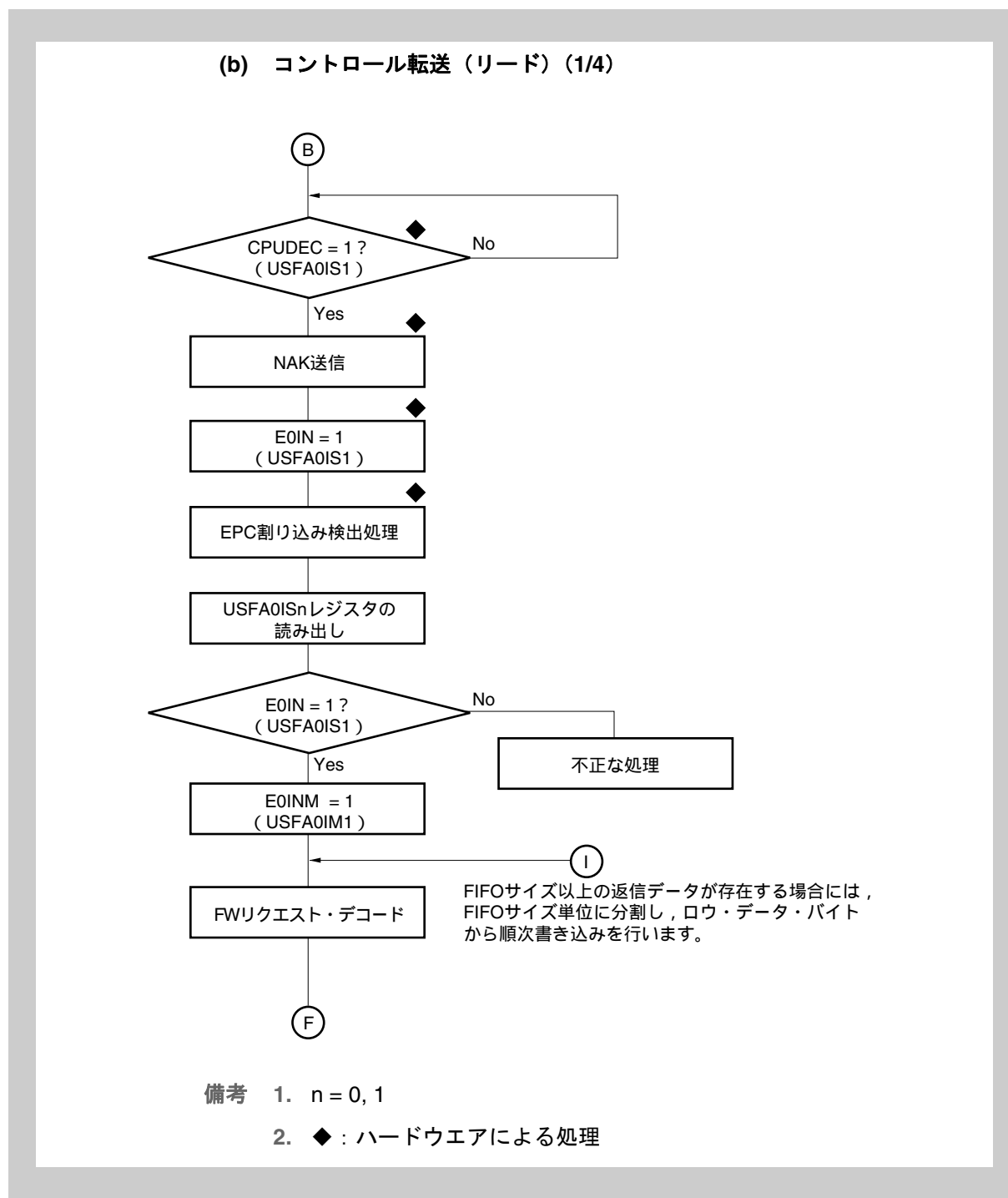
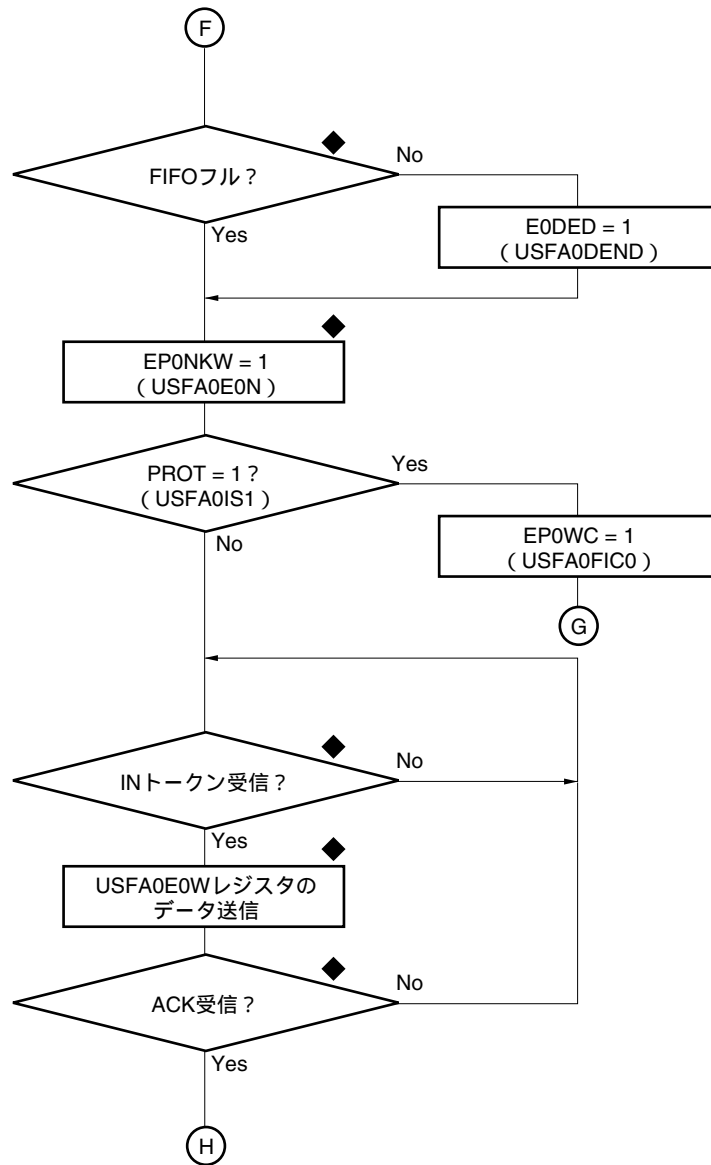


図 30-25 コントロール転送に対する CPUDEC リクエスト (3/12)

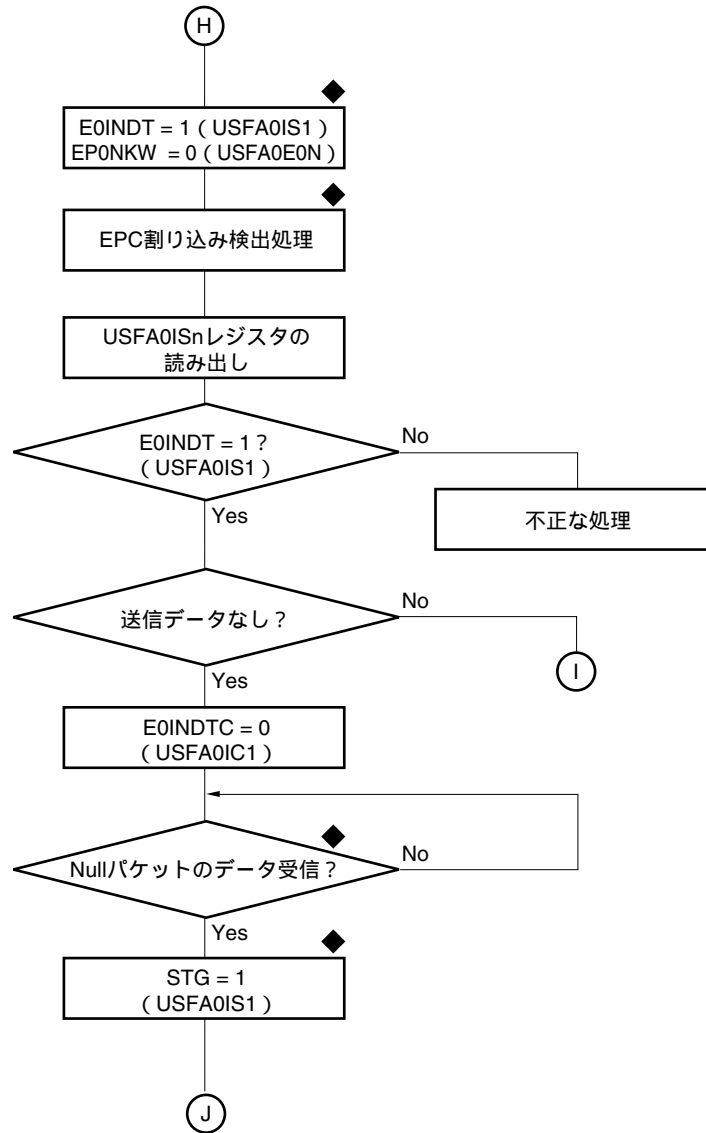
(b) コントロール転送 (リード) (2/4)



備考 ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (4/12)

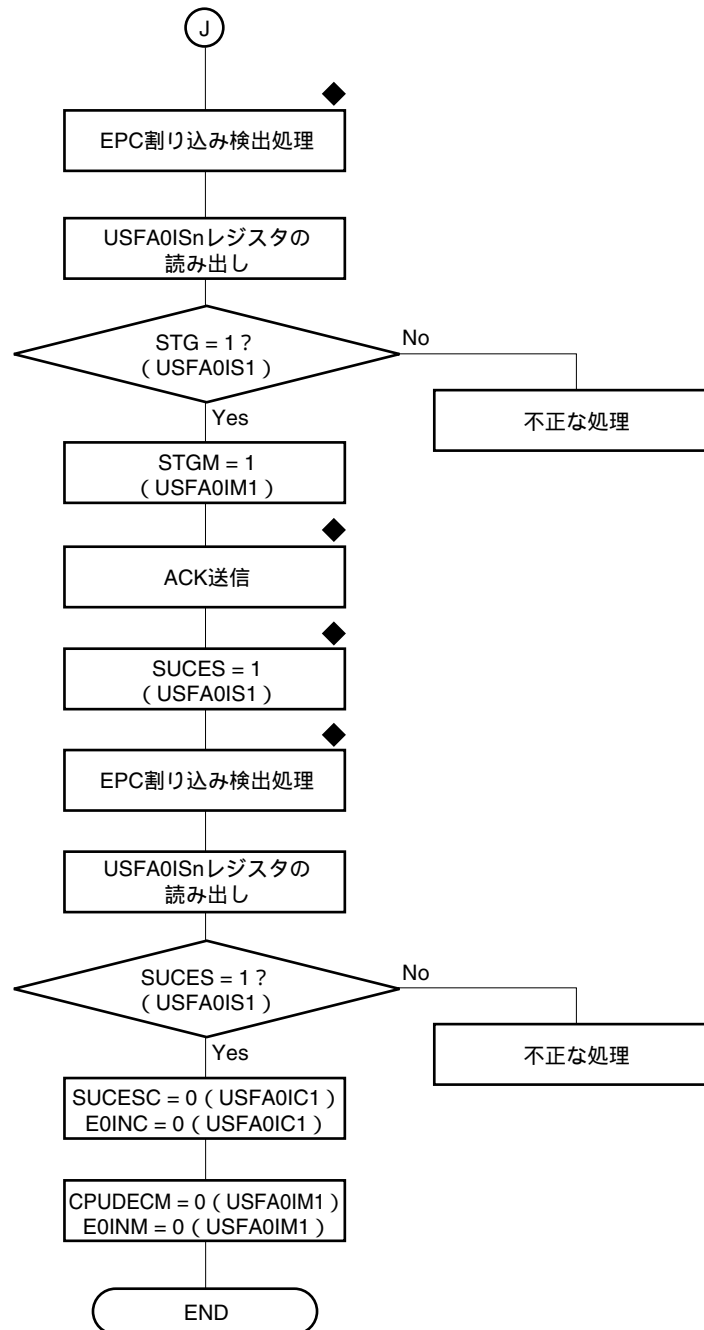
(b) コントロール転送 (リード) (3/4)



- 備考 1. n = 0, 1
2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (5/12)

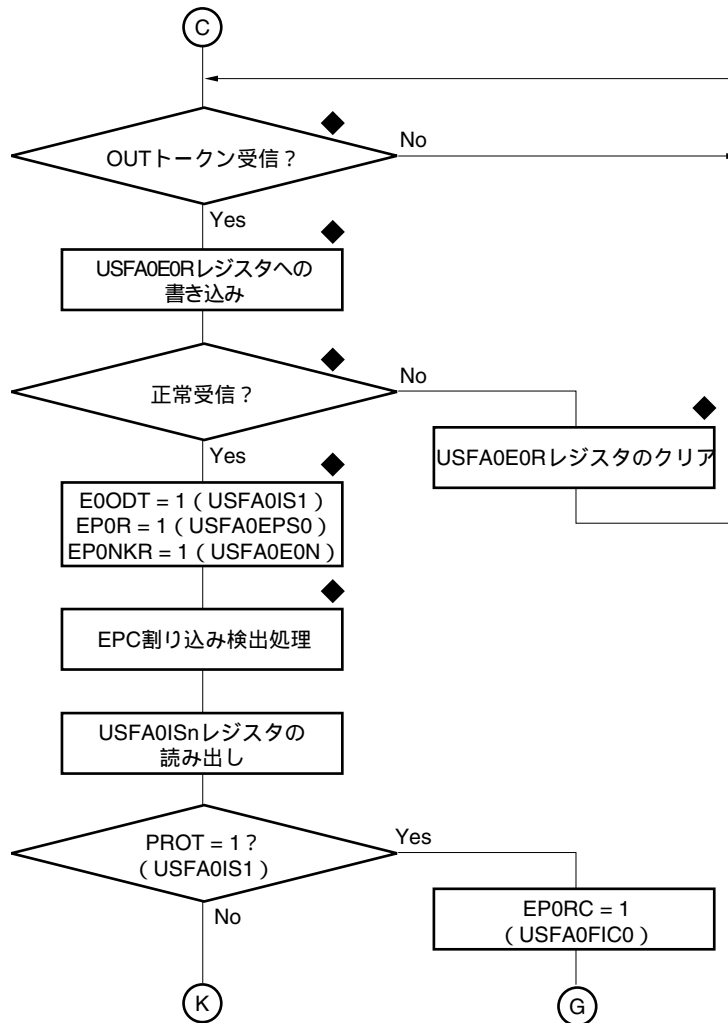
(b) コントロール転送 (リード) (4/4)



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (6/12)

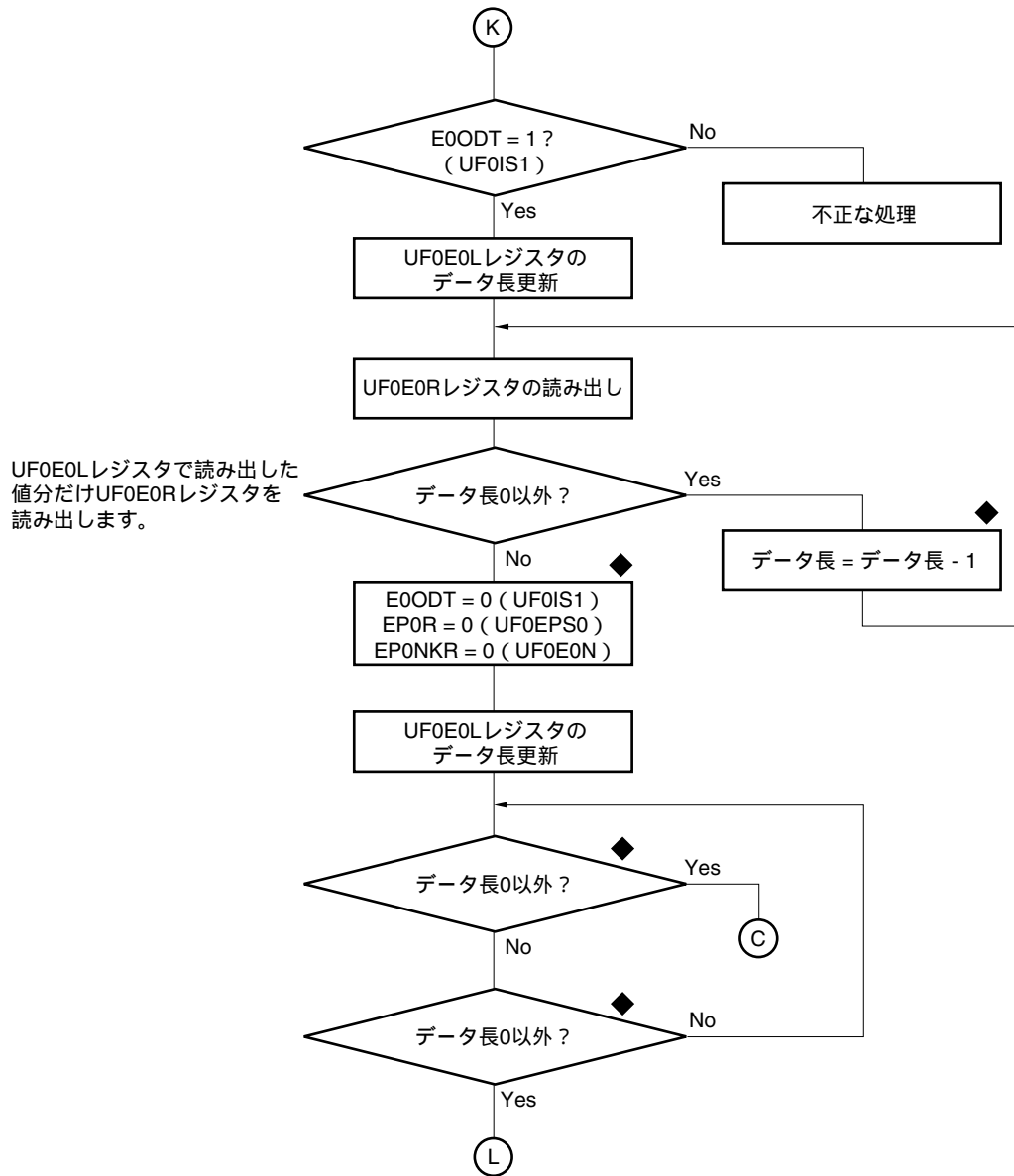
(c) コントロール転送 (ライト) (1/4)



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (7/12)

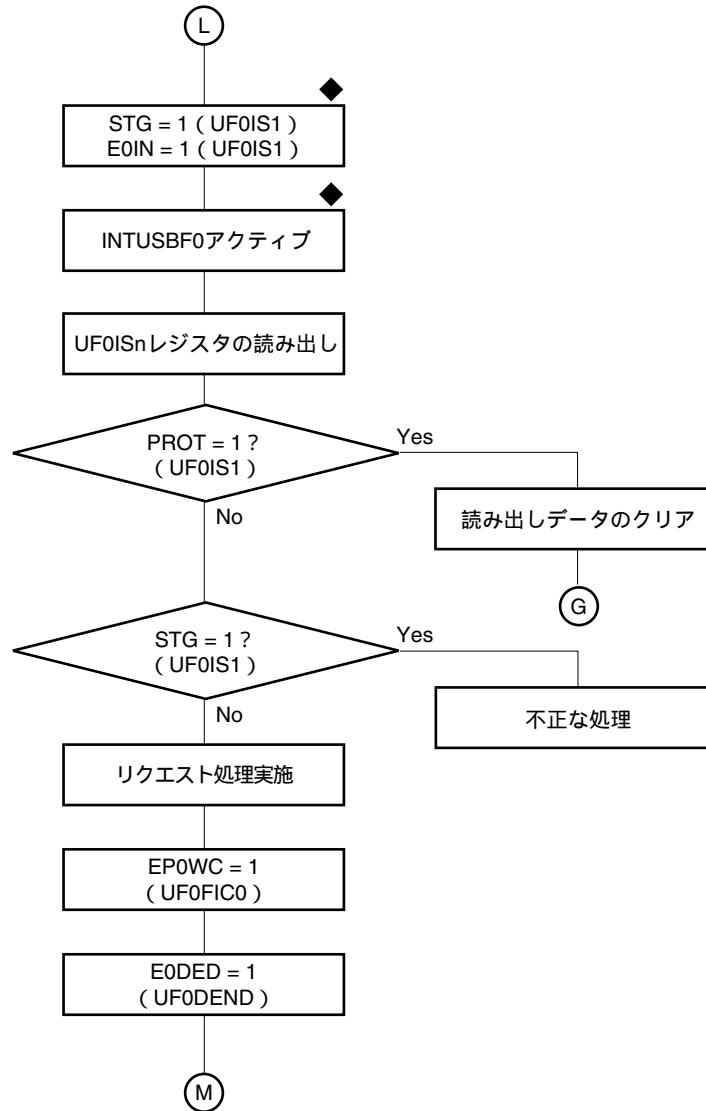
(c) コントロール転送 (ライト) (2/4)



備考 ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (8/12)

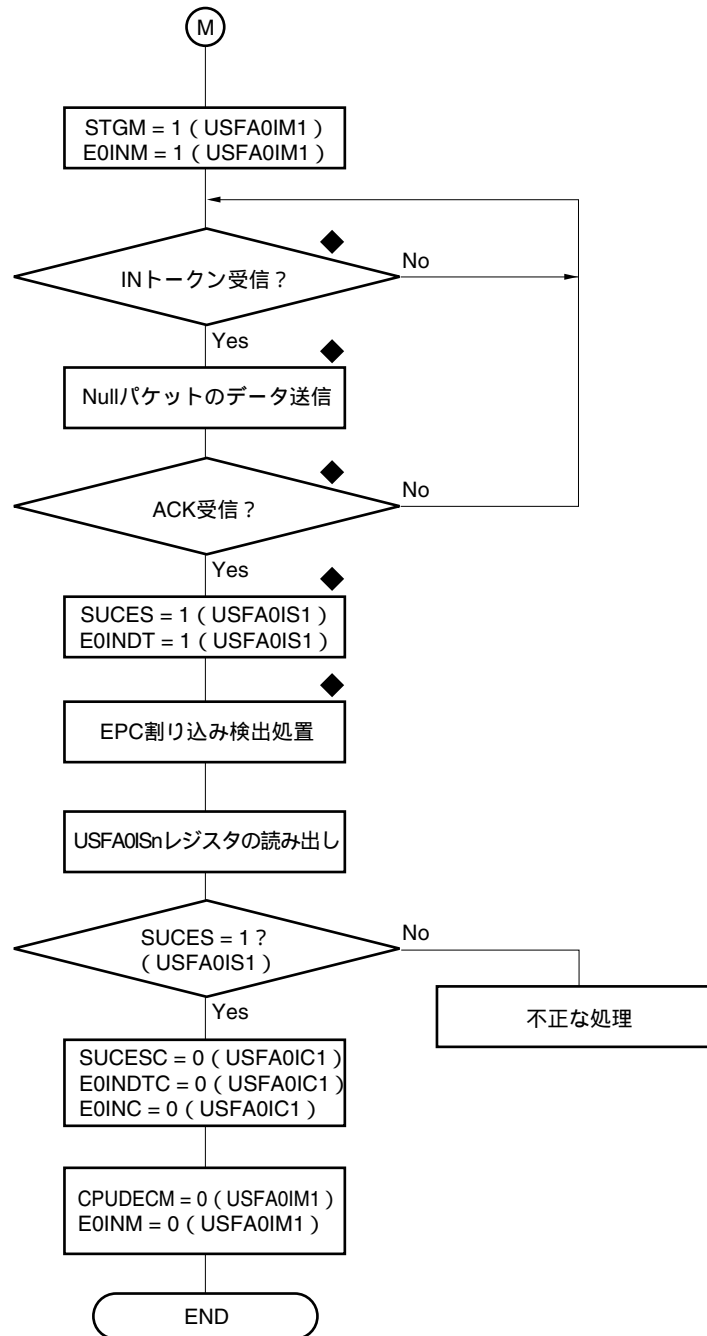
(c) コントロール転送 (ライト) (3/4)



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (9/12)

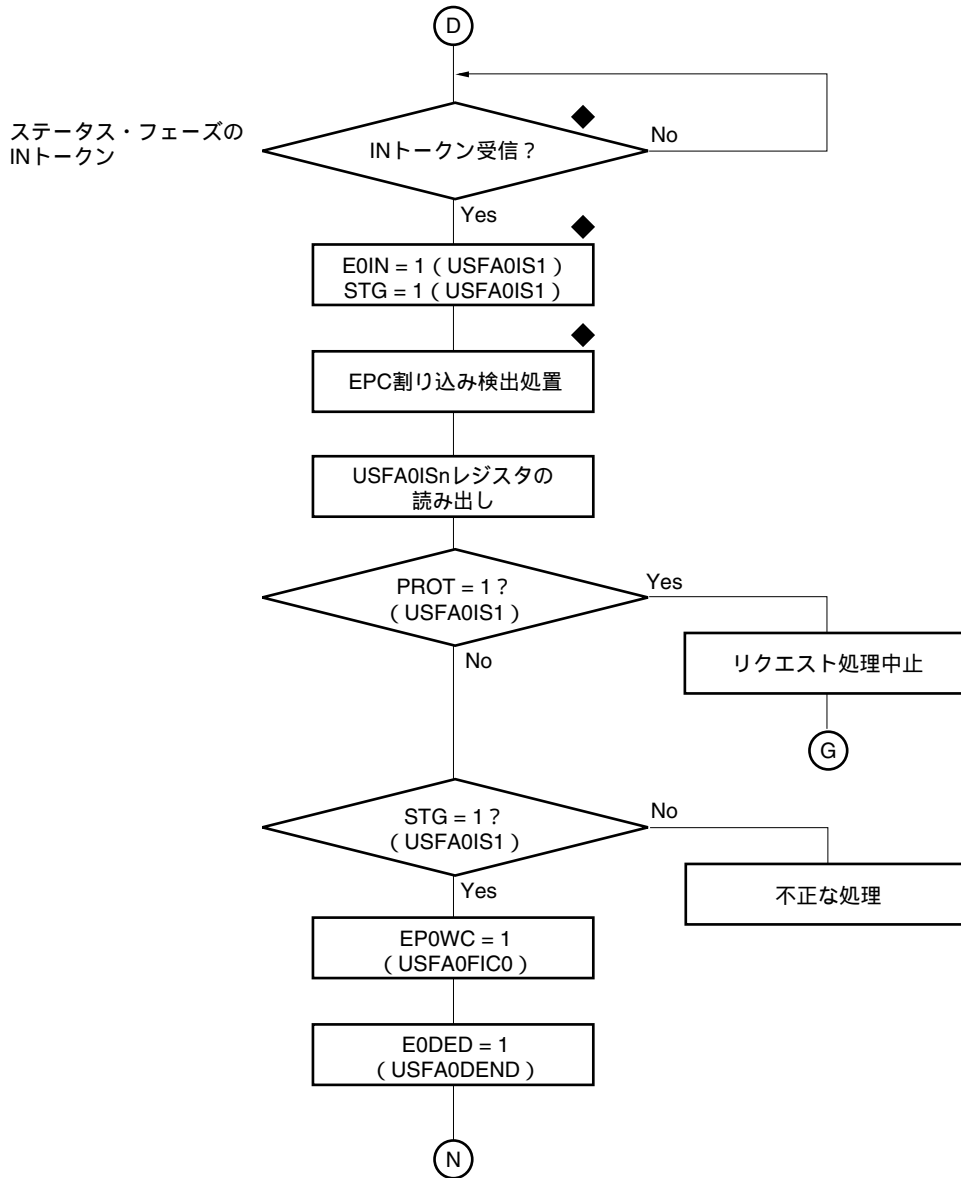
(c) コントロール転送 (ライト) (4/4)



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (10/12)

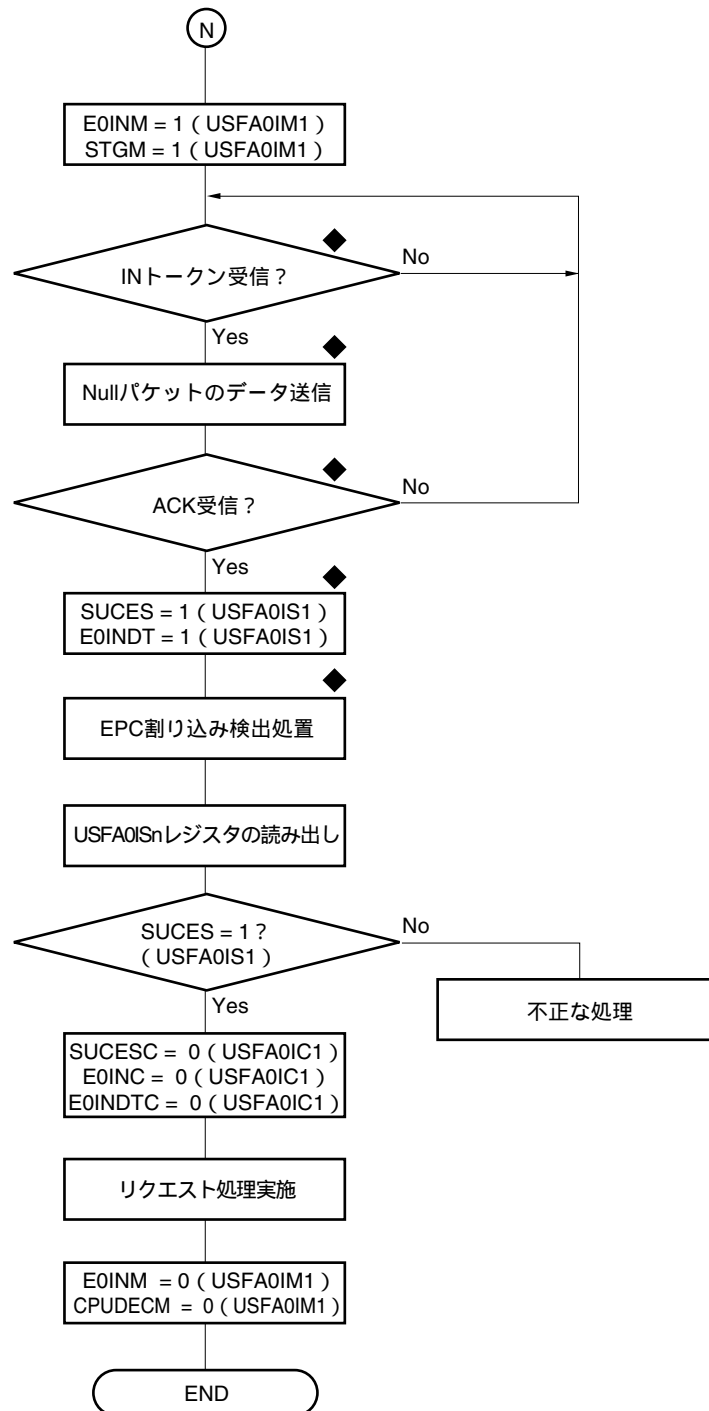
(d) コントロール転送 (データ・ステージなし) (1/2)



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (11/12)

(d) コントロール転送 (データ・ステージなし) (2/2)



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-25 コントロール転送に対する CPUDEC リクエスト (12/12)

(4) バルク転送 (IN) に対する処理

バルク転送 (IN) は、Endpoint1 および Endpoint3 に割り当てられています。次に示すフロー・チャートは、Endpoint1 に対する制御フローです。Endpoint3 についても、同じシーケンスで制御できます。したがって、Endpoint3 に対する制御フローとして使用する場合は、フロー中の Endpoint1 に対するビット名を Endpoint3 に対するビット名に読み替えてください。

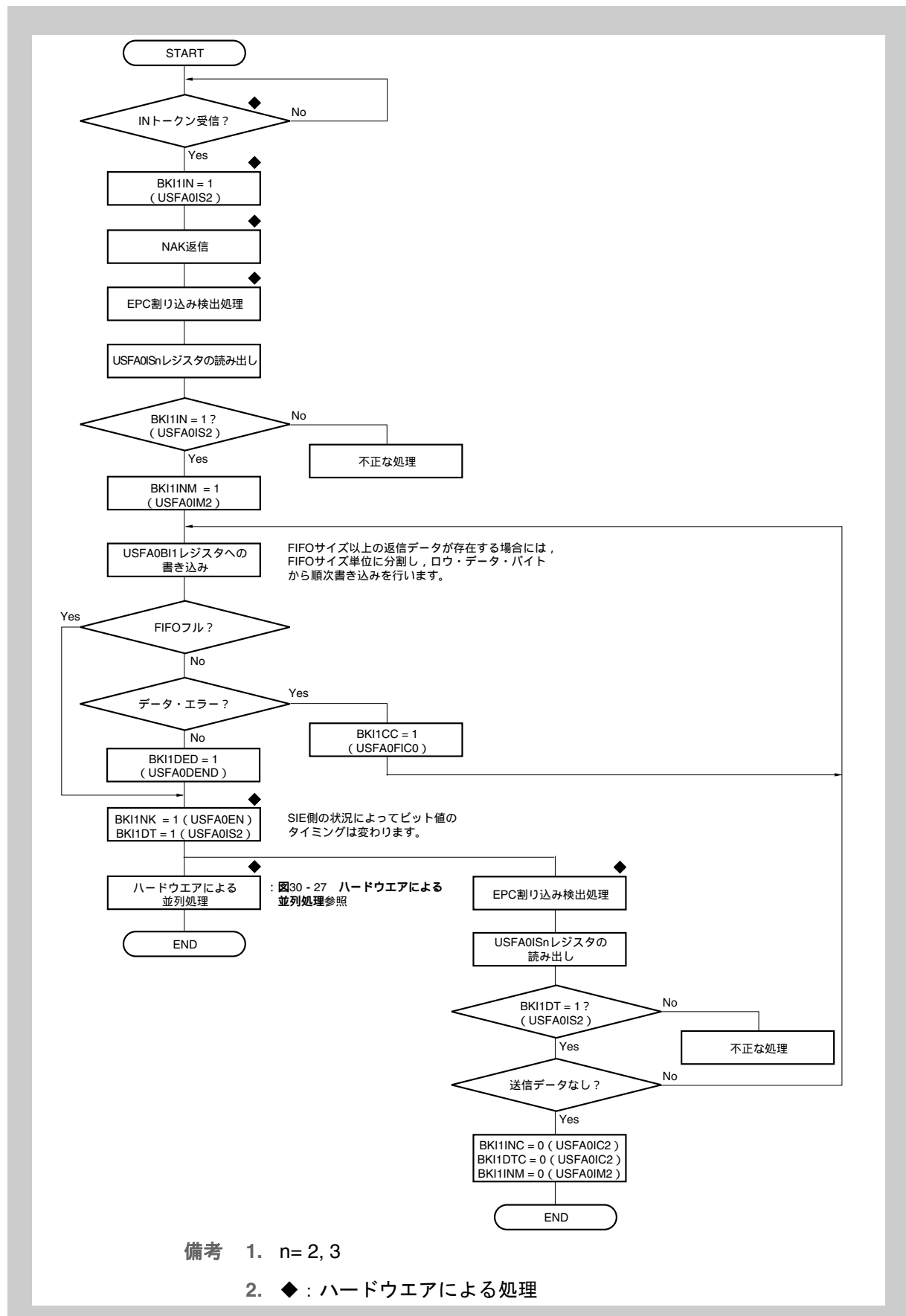


図 30-26 バルク転送 (IN) に対する処理 (Endpoint1 の場合)

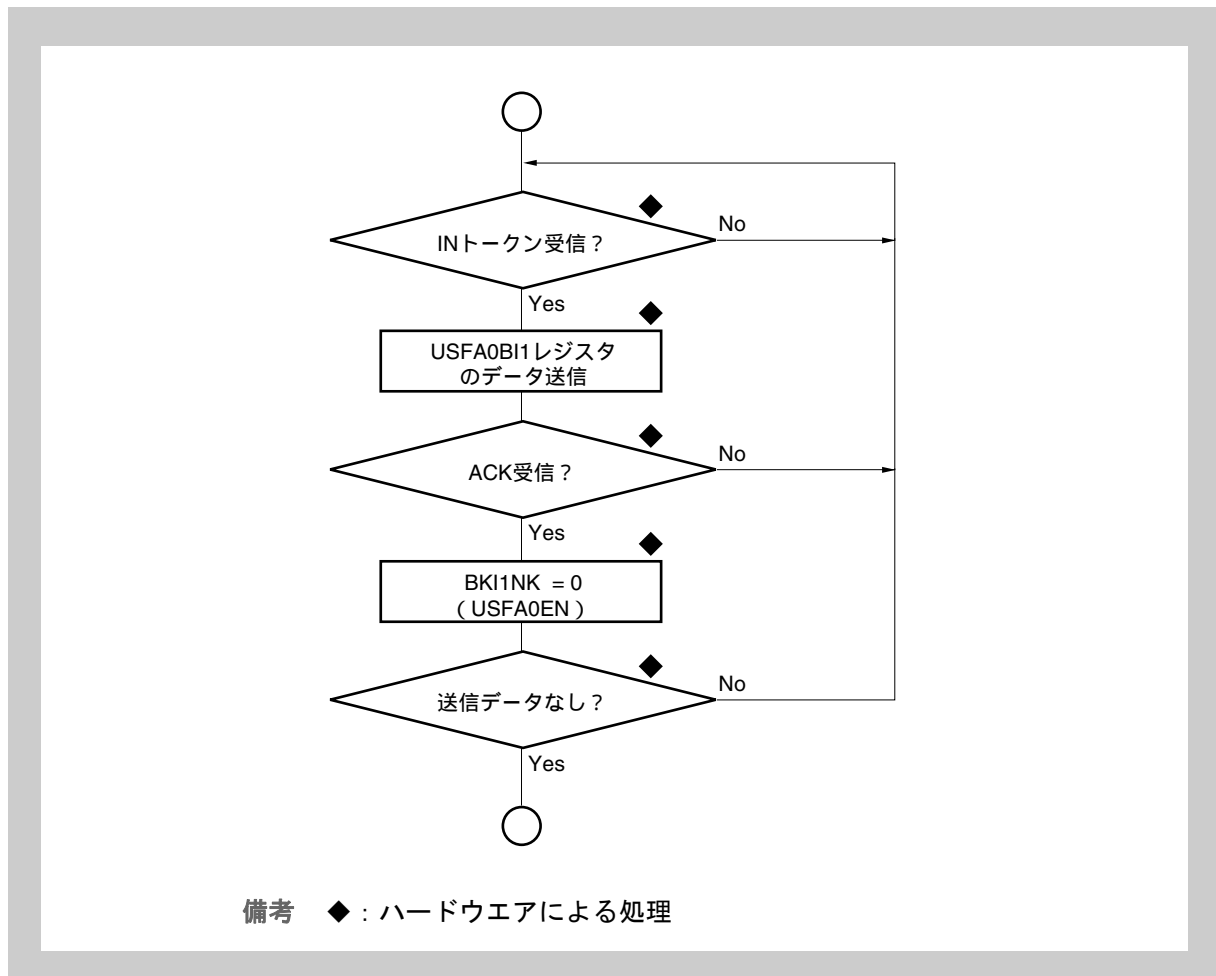
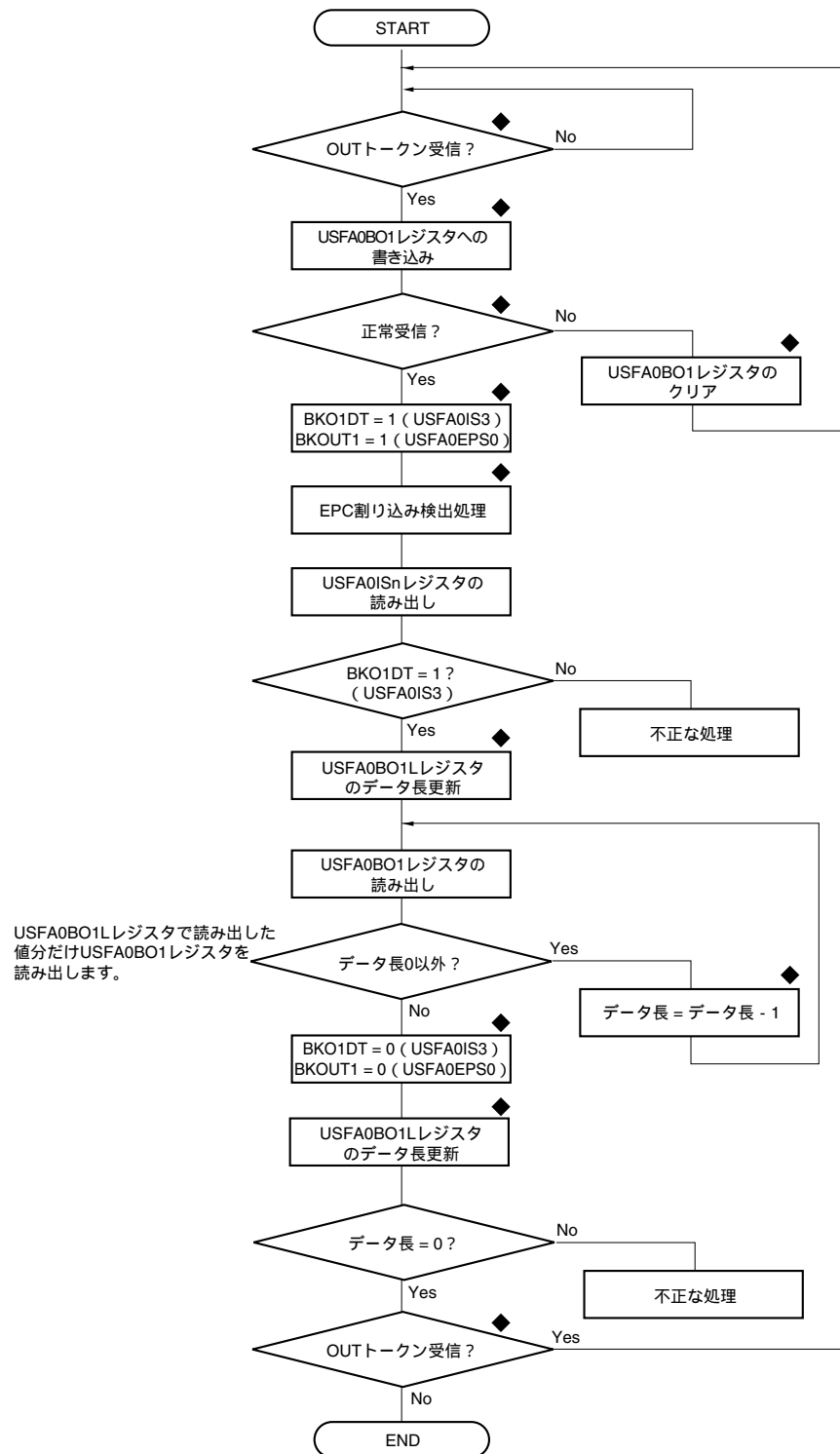


図 30-27 ハードウェアによる並列処理

(5) バルク転送 (OUT) に対する処理

バルク転送 (OUT) は、Endpoint2 および Endpoint4 に割り当てられています。次に示すフロー・チャートは、Endpoint2 に対する制御フローです。Endpoint4 についても、同じシーケンスで制御できます。したがって、Endpoint4 に対する制御フローとして使用する場合は、フロー中の Endpoint2 に対するビット名を Endpoint4 に対するビット名に読み替えてください。



- 備考 1. $n = 2, 3$
 2. ◆ : ハードウェアによる処理

図 30-28 バルク転送 (OUT) に対する通常処理 (Endpoint2 の場合)

なお、バルク転送 (OUT) に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。この製品では、USBバスの転送レートがアップし、できるかぎり NAK 応答しないようにバス側のアクセス中でも CPU 側からの読み出しができるようにバルク転送 (OUT) の Endpoint2 および Endpoint4 は、64 バイトのダブル・バッファ構成になっています。このため、ホストがシステムの期待するデータ量以上のデータを送ってくると、最悪 128 バイト分、余計に自動受信する可能性があります。この場合、システムの期待するデータ量が残り 2 パケット分になった時点で、Endpoint2 および Endpoint4 に対する通常処理から次に示す制御フローに切り替えてください。フロー・チャートは、Endpoint2 に対する制御フローです。Endpoint4 についても、同じシーケンスで制御できます。したがって、Endpoint4 に対する制御フローとして使用する場合は、フロー中の Endpoint2 に対するビット名を Endpoint4 に対するビット名に読み替えてください。

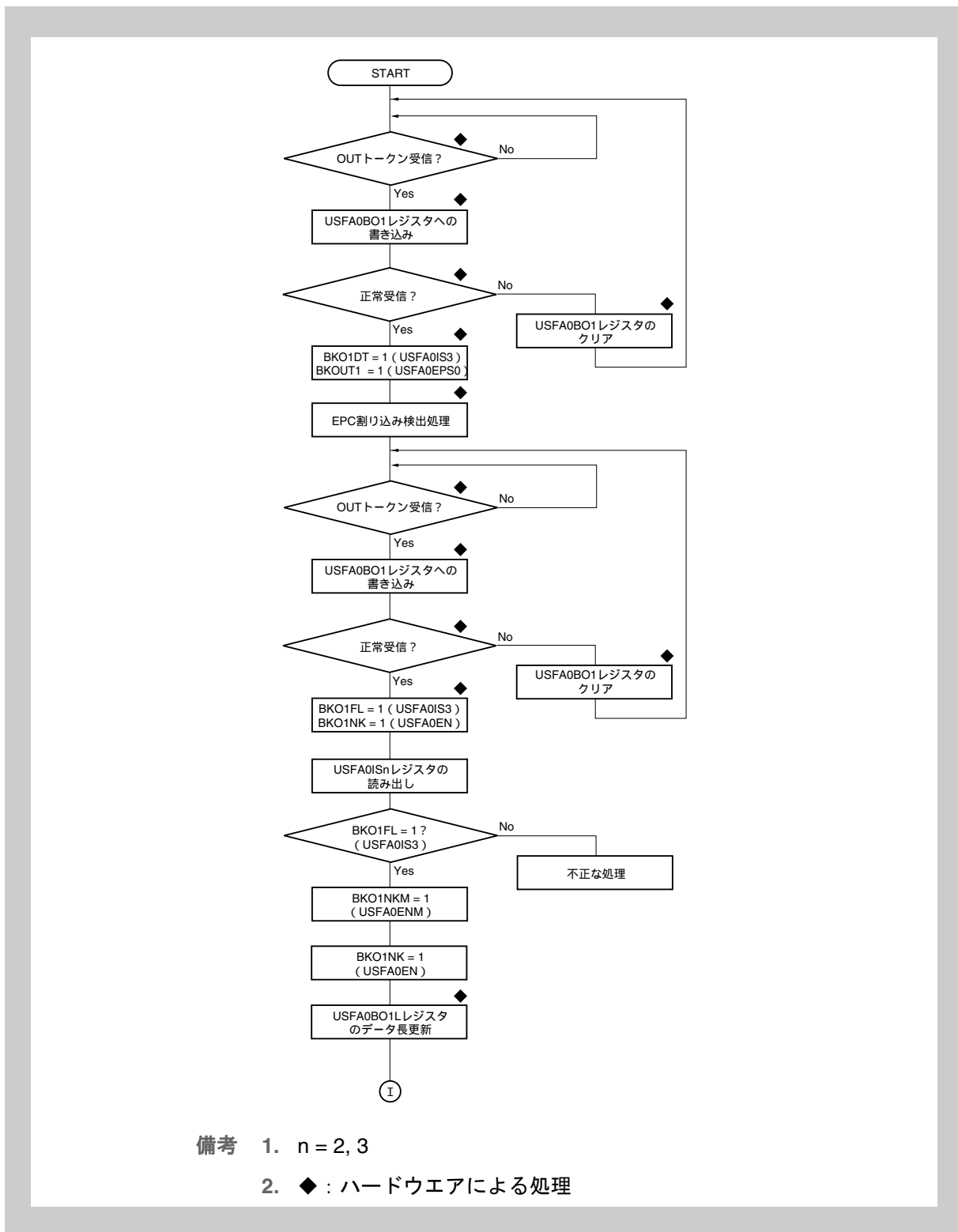


図 30-29 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2 の場合) (1/2)

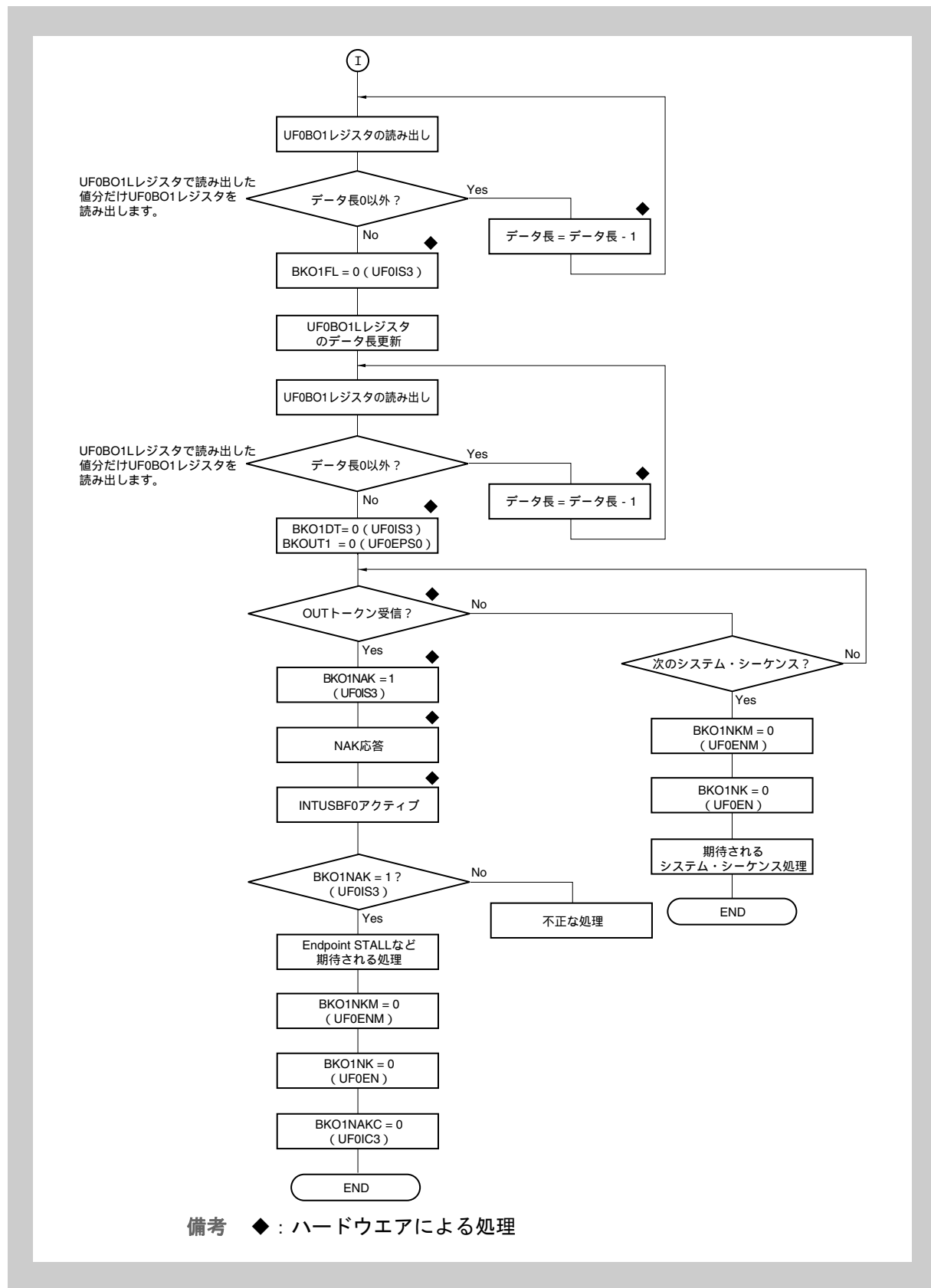


図 30-29 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2 の場合) (2/2)

(6) インタラプト転送 (IN) に対する処理

インタラプト転送 (IN) は、Endpoint7 に割り当てられています。図 30-30 にフロー・チャートを示します。

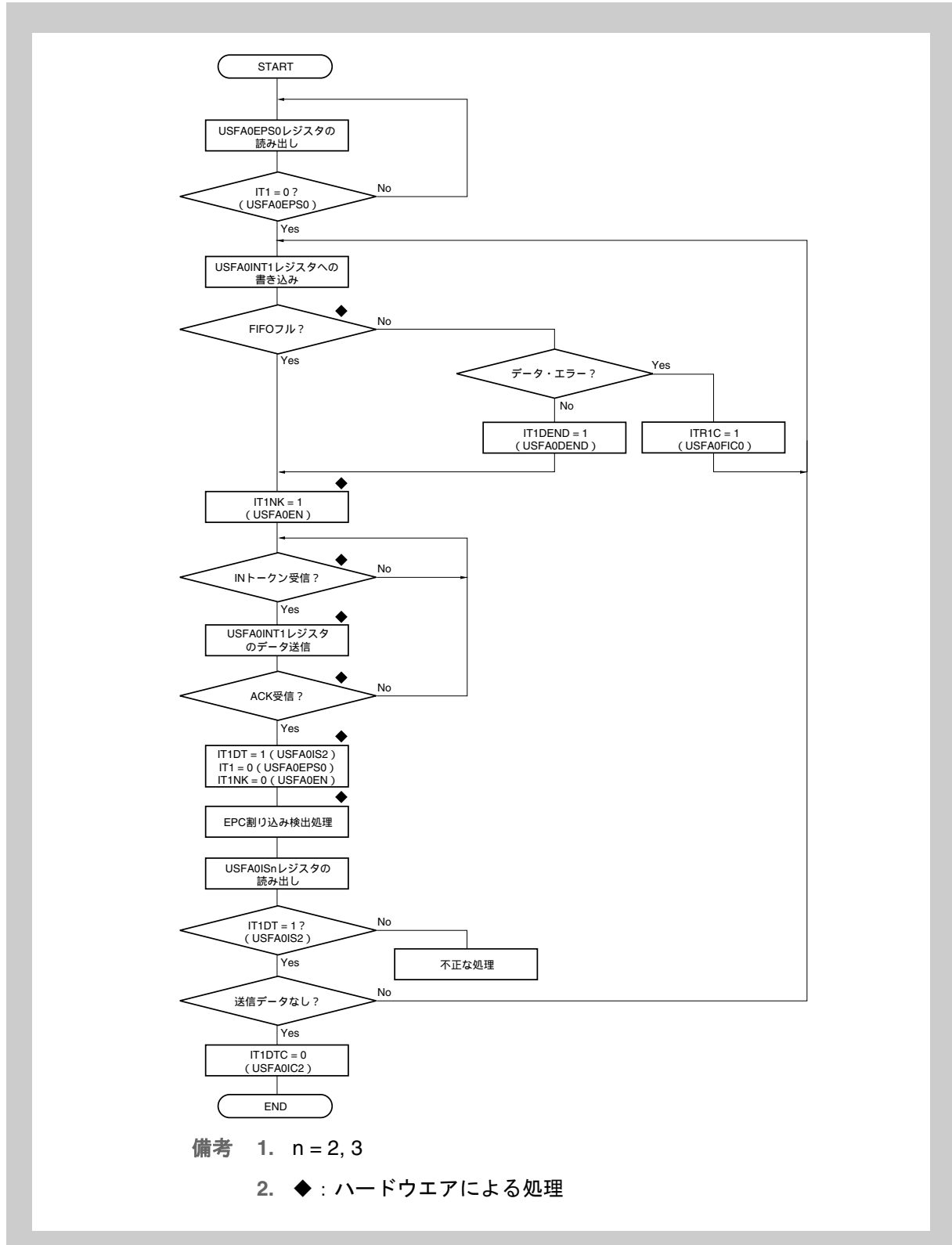
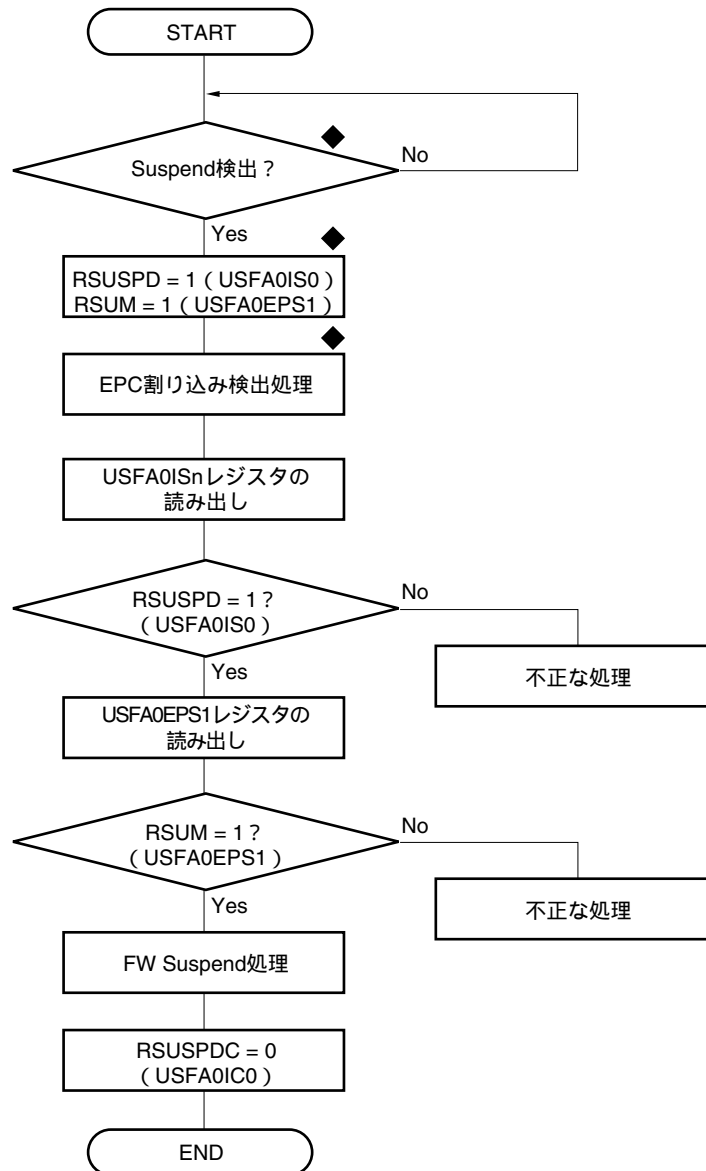


図 30-30 インタラプト転送 (IN) に対する処理 (Endpoint7)

30.10.4 Suspend/Resume 処理

Suspend/Resume 処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

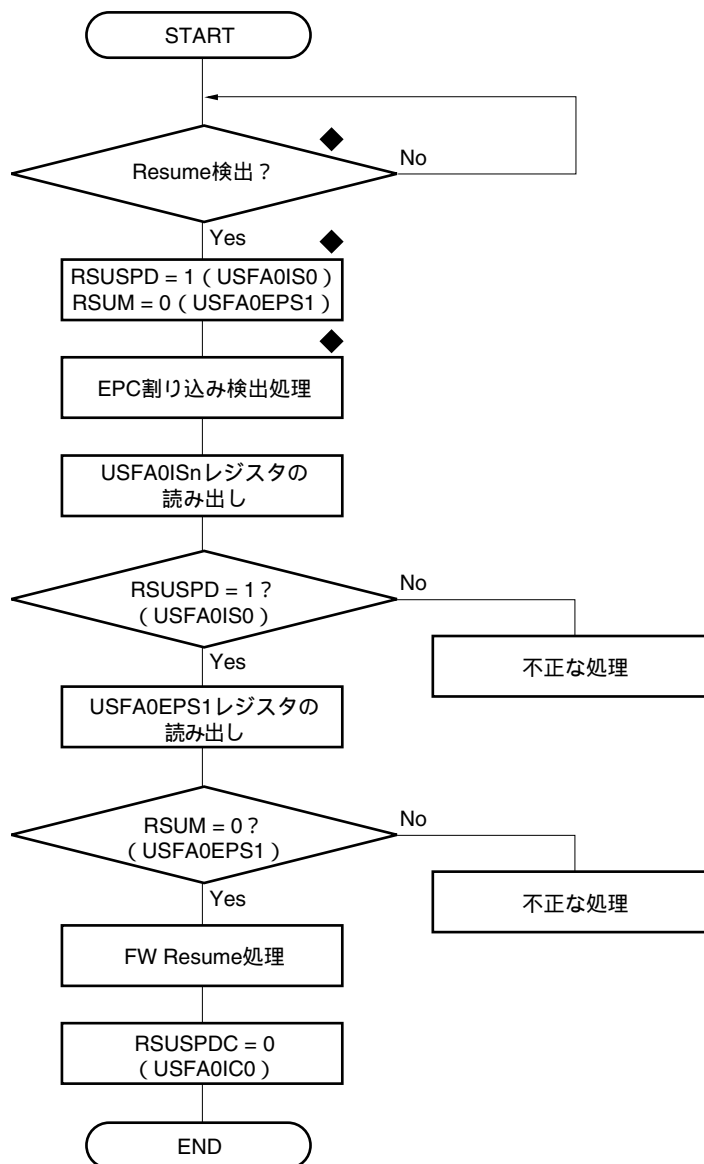
(a) Suspend 処理例



- 備考 1. $n = 0, 1$
2. ◆ : ハードウェアによる処理

図 30-31 Suspend/Resume 処理例 (1/3)

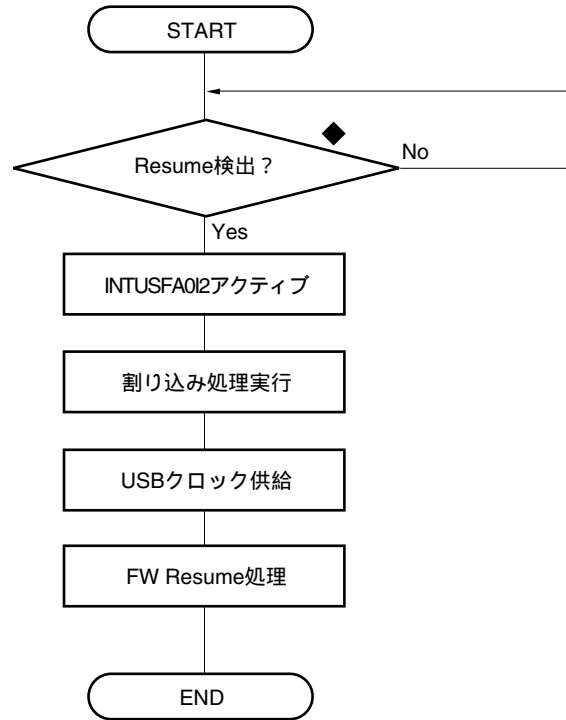
(b) Resume 処理例



- 備考 1. $n = 0, 1$
 2. ◆ : ハードウェアによる処理

図 30-31 Suspend/Resume 処理例 (2/3)

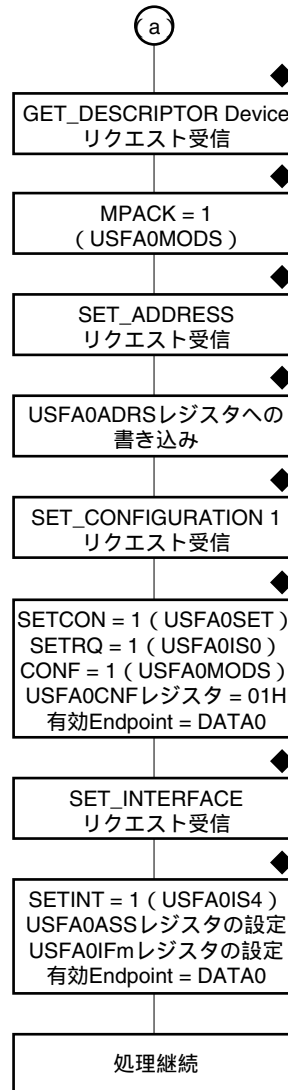
(c) Resume 処理例 (USBF への USB クロック供給停止時の場合)



備考 ◆ : ハードウェアによる処理

図 30-31 Suspend/Resume 処理例 (3/3)

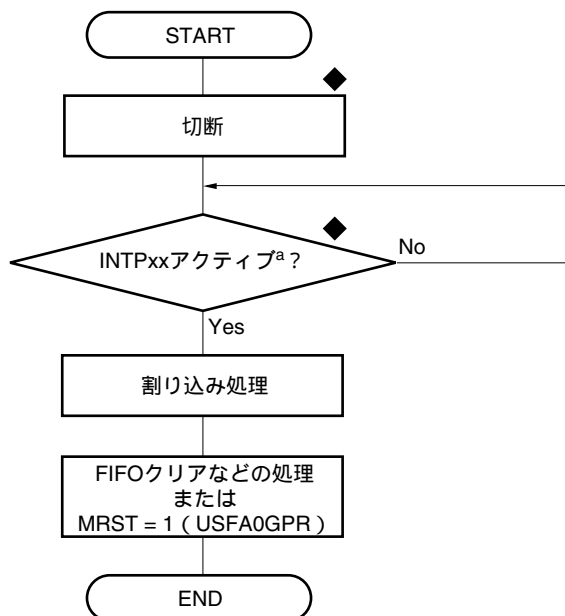
(a) 電源投入後の処理 (2/2)



- 備考 1. $m = 0-4$
 2. ◆ : ハードウェアによる処理

図 30-32 電源投入後の処理／電源切断の処理例 (2/3)

(b) 電源切断の処理



a) INTPxxとは、この製品の外部割り込み用端子 (INTP00-INTP27) のことです。次に示す用途の場合には、割り込み用外部端子を1本割り付けてください。

- セルフ・パワード (USFA0DST レジスタの SFPW ビット = 1) の場合に、コネクタが抜かれたことを検出します。この場合、USB コネクタの VDD ラインを監視し、その結果を割り込み用外部端子エッジ入力してください。ただし、ノイズ除去時間は、割り込み入力端子のノイズ除去時間、各タイマのノイズ除去時間に示すとおりになっていますので、注意してください。
- HUB チップなどと同一基板に実装する場合に、HUB から電源が遮断されていることを検出します。

備考 ◆ : ハードウェアによる処理

図 30-32 電源投入後の処理／電源切断の処理例 (3/3)

第31章 USBホスト・コントローラ (USBH)

この製品は、Universal Serial Bus Specification に準拠した USB ホスト・コントローラ (USBH) を内蔵しています。トークン・ベースのプロトコルにより、外部ファンクション・デバイスとの間でポーリング方式のデータ通信を行います。

注意 USBホスト・コントローラのレジスタを読み出す場合は、以下の手順で行ってください。

- USBCLK 端子に外部クロックを接続する場合
 - ① PCI コントロール・レジスタ_H (USHA0PCICTRL_H) の PCICRST ビットを “0” に設定して、リセットを解除する。
 - ② PCI コマンド・レジスタ (USHA0PCICMD) の BMASEN ビットを “1” に設定して、バス・マスタを動作させる。
 - ③ USB ホスト・コントローラの必要なレジスタをリードする。
- USBCLK 端子に外部クロックを接続しない場合
 - [1]SFRCTL3 レジスタが外部クロック設定である場合
(SFRCTL3 の USBDIV1,0 ビットが 00b の場合)
 - ① SFRCTL3 レジスタの USBDIV1,0 ビットを 11b に設定して内部クロック fxx/4 に設定する。
 - ② PCI コントロール・レジスタ -H (USHA0PCICTRL_H) の PCICRST ビットを “0” に設定して、リセットを解除する。
 - ③ PCI コマンド・レジスタ (USHA0PCICMD) の BMASEN ビットを “1” にしてバス・マスタを動作させる。
 - ④ USB ホスト・コントローラの必要なレジスタをリードする
 - [2]SFRCTL3 レジスタが内部クロック設定である場合
(SFRCTL3 の USBDIV1,0 ビットが 10b か 11b の場合)
 - ① PCI コントロール・レジスタ -H (USHA0PCICTRL_H) の PCICRST を “0” に設定して、リセットを解除する。
 - ② PCI コマンド・レジスタ (USHA0PCICMD) の BMASEN ビットを “1” に設定して、バス・マスタを動作させる。
 - ③ USB ホスト・コントローラの必要なレジスタをリードする。

31.1 V850E2/MN4 USBH の特徴

チャンネル この製品は次のチャンネル数の USB ホスト・コントローラを搭載しています。

表 31-1 USB ホスト・コントローラのチャンネル

USB ホスト・コントローラ	V850E2/MN4
チャンネル数	1

レジスタ・アドレス USBH のレジスタ・アドレスは、ベース・アドレス <USHA0_base_OHCI> または、<USHA0_base_PCI> からのオフセットで表されます。各 USBH のベース・アドレス <USHA0_base_OHCI> または、<USHA0_base_PCI> を以下の表に示します。

表 31-2 レジスタ・ベース・アドレス

USBH の機能	USBH の機能	<USBH_base> アドレス
OHCI Operational レジスタ	USHA0_base_OHCI	F993 0000 _H
PCI ブリッジ・レジスタ	USHA0_base_PCI	F993 0800 _H

クロック供給 USBH は次のクロック入力を選択可能です。

表 31-3 USBH のクロック供給

クロック	内部/外部	特 徴
USBH クロック	内部	外部 9.6 MHz × 内部 20 逡倍 ÷ 4 分周 = 内部 48 MHz
		外部 7.2 MHz × 内部 20 逡倍 ÷ 3 分周 = 内部 48 MHz
	外部	UCLK 端子より外部クロック入力 (f _{USB} = 48 MHz)
PCI クロック	内部	SFRCTL3.PCIDIV[2:0] ビットの設定により 25 MHz ~ 33.33 MHz の範囲に設定

割り込み USBH は次の割り込み要求を生成することができます。

表 31-4 USBH の割り込み要求

USBH の信号	機能
INTUSHA0I0	ブリッジ・エラー割り込み
INTUSHA0I1	USBH コア割り込み
INTUSHA0PME	USBH ウェイクアップ割り込み

I/O 信号 USBH の I/O 信号を以下の表に示します。

表 31-5 USBH の I/O 信号

USBH の信号	機能	接続先
UDMH	USBH データ入出力 (-)	ポート UDMH
UDPH	USBH データ入出力 (+)	ポート UDPH
OCI	オーバカレント検知入力	ポート OCI
PPON	USB 用電源供給出力	ポート PPON

**Host Controller
Communication
Area (HCCA)**

Host Controller Communication Area (HCCA) と呼ばれるシェアード・メモリには次の領域が使用可能です。

- Hバス共有メモリ
- セカンダリ・メモリ・コントローラに接続される外部メモリ

31.1.1 USBホスト・コントローラ・メモリ・マップ

USBホスト・コントローラは、次の領域に割り当てられています。

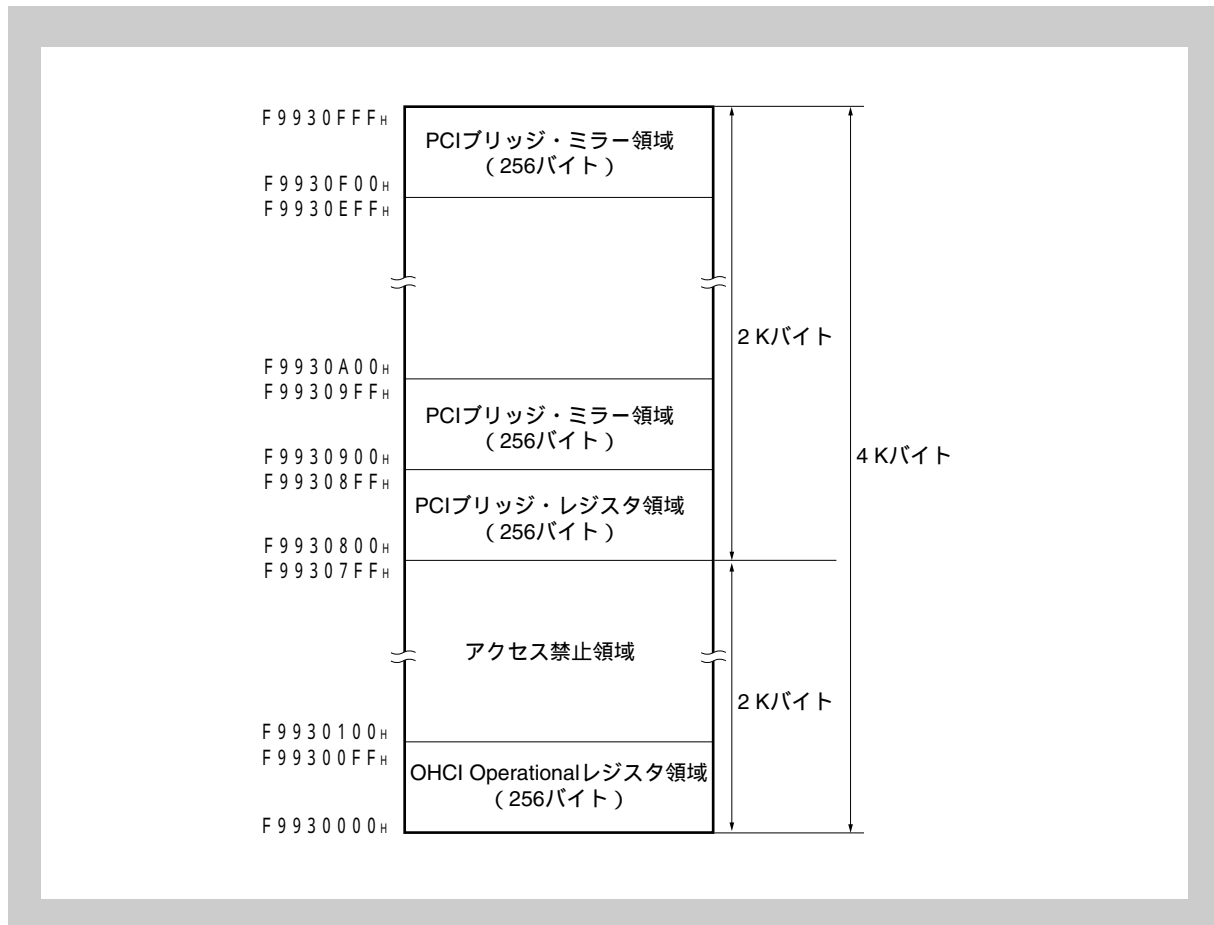


図 31-1 USBホスト・コントローラ・メモリ・マップ

31.1.2 V850E2/MN4 USBH 制御レジスタ

USB ホスト・コントローラを使用する前に、次のレジスタの設定を行ってください。

(1) USBH バッファ・コントロール・レジスタ (USHBC)

USB ホストの入力バッファの許可/禁止、フローティング制御を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス F9901000_H

初期値 00000000_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
USFBC	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	UBHIEN	UBHIOR
	R	R	R	R	R	R	R/W	R/W

表 31-6 USHBC レジスタの内容

ビット位置	ビット名	意味
1	UBHIEN	USB バッファの使用を制御します。 0 : バッファ無効 1 : バッファ有効 注意 USB を使用しない場合は、UBHIEN ビットはクリア (0) してください。
0	UBHIOR	USB バッファのフローティング対策の使用を制御します。 0 : フローティング対策無効 1 : フローティング対策有効 ケーブル未接続時 (データ入力がフローティング時) に、不定値による Bus Reset, Suspend, Resume などの誤認識を防止します。UBHIOR ビットをセット (1) した場合は、フローティングに対する処置はVBUS 信号等 (ケーブル接続の認識) で制御してください。

31.2 概要

- Universal Serial Bus Specification に準拠
- 12 Mbps (フルスピード) 転送に対応
- OHCI (Open Host Controller Interface) 1.0a をサポート
(ただし USB ポートを Disable から Enable へ遷移させる制御に制限あり)
- コントロール転送, バルク転送, インタラプト転送, アイソクロナス転送^a をサポート
- ルート・ハブ機能を内蔵し, 1 ch のダウン・ストリーム・ポートを搭載

a) アイソクロナス転送は, システム性能への負荷が大きい転送であり, 事前に対象システムで十分な性能評価を実施してください。

31.3 構成

31.3.1 ブロック図

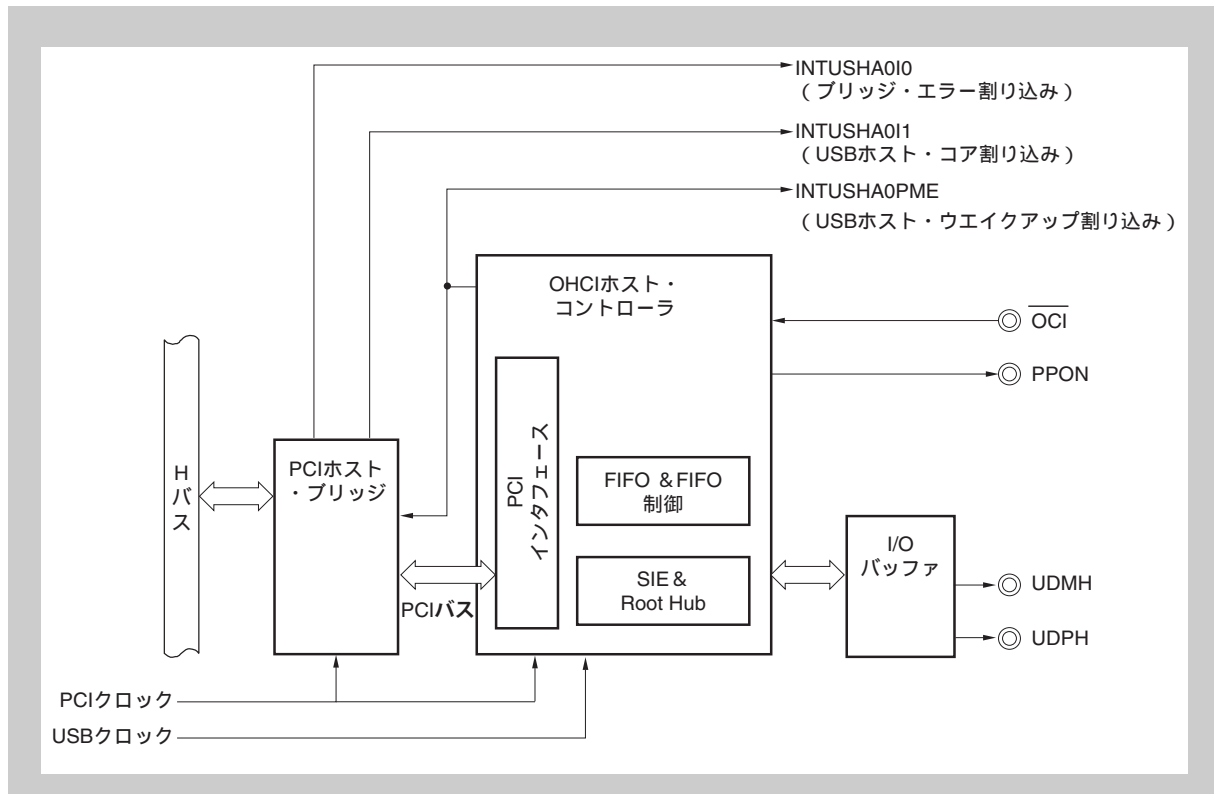


図 31-2 USB ホスト・コントローラのブロック図

31.4 外部回路構成

31.4.1 概要

USB 伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB 信号 (D + / D -) にプルアップ、プルダウン抵抗を接続する必要があります。またこの製品では、直列抵抗を接続する必要もあります。

この製品は、これらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、この製品の外部で接続してください。

図 31-3 は USB 伝送路の構成概略図です。詳しい外付け構成については、31.4.2 「接続構成」にて説明します。

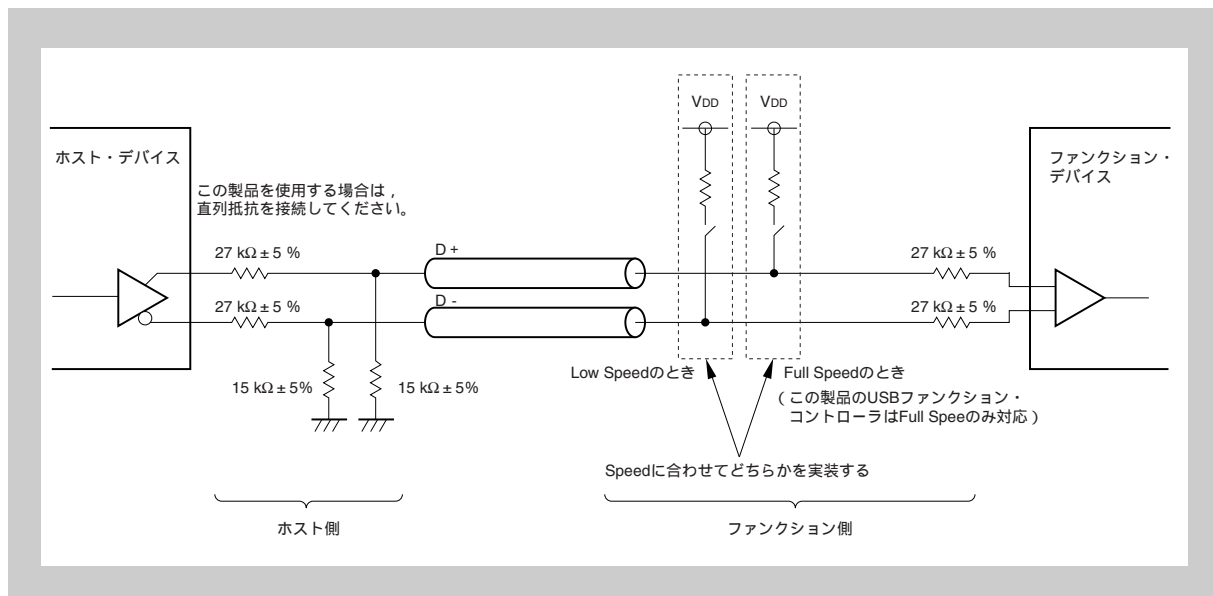


図 31-3 USB 伝送路のプルアップ／プルダウン／直列抵抗の概略構成

31.4.2 接続構成

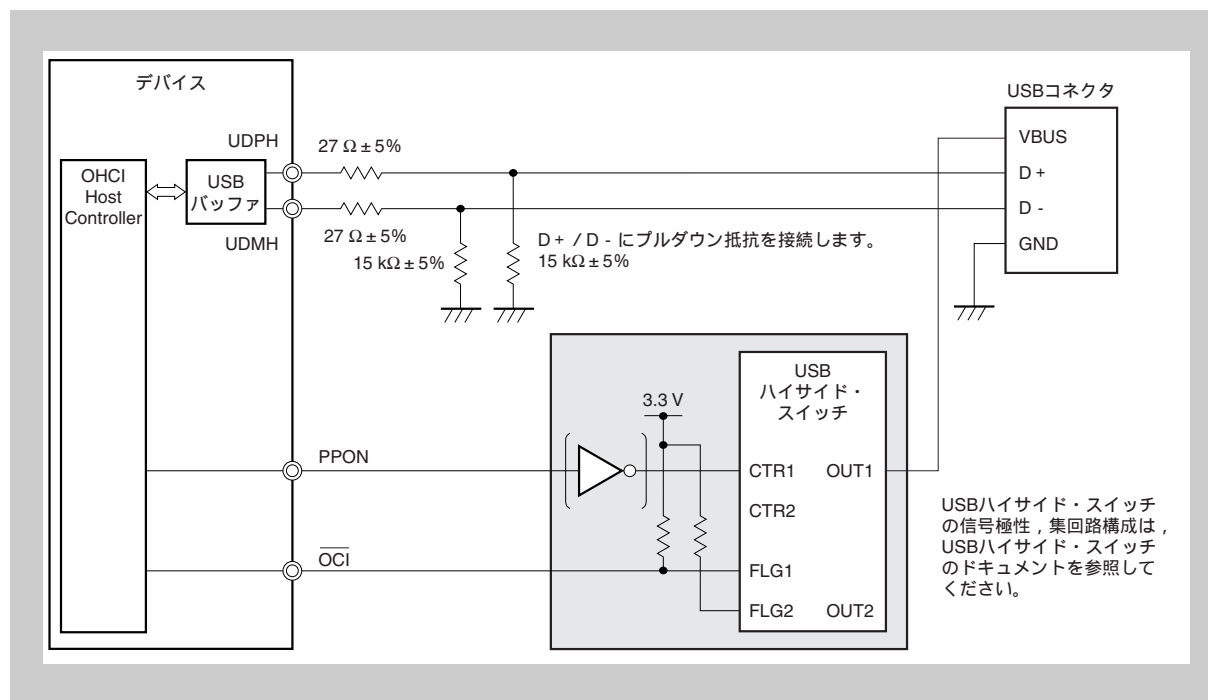


図 31-4 USB ホスト・コントローラの接続例

(1) D + / D - への直列抵抗の接続

この製品の USB ホスト・コントローラの D + / D - 端子 (UDPH, UDMH) には, $27\ \Omega \pm 5\%$ の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく, 出力波形が乱れる原因となります。

直列抵抗は, なるべくこの製品に近い位置に配置し, 直列抵抗から USB コネクタまでは, D + / D - のインピーダンスが等しくなるよう, なるべく等長配線してください (差動で $90\ \Omega \pm 5\%$ を推奨します)。

(2) D + / D - のプルダウン接続

D + / D - 端子 (UDPH, UDMH) は, $15\ \text{k}\Omega \pm 5\%$ で GND にプルダウンしてください。

この場合, ファンクション・デバイス未接続と同様の構成になります。

31.4.3 USB 電源について

(1) 過電流検出, 電源制御について

この製品には, USB ポートの過電流検出回路と電源制御回路は内蔵していません。これらの機能をシステムでサポートする場合には, USB ハイサイド・スイッチなど外部回路で構成し OCI, PPON 端子に接続してください。

USB ポートの過電流検出と電源制御を行うための外部回路制御に用いる OCI, PPON 信号に関する動作について次に示します。

表 31-7 OCI/PPON 信号の説明

端子	入出力	レベル	意味
OCI	入力	1	オーバ・カレントを検出していない
		0	オーバ・カレントを検出した
PPON	出力	1	VBUS への電源供給 ON
		0	VBUS への電源供給 OFF

図 31-4 は, 過電流検出, 電源 (VBUS) 制御のための接続例です。USB コネクタとの接続構成にもよりますが, これにより USB バス未使用時にそのポートの VBUS を停止させ電力を削減させることが可能になります。対向する USB ファンクション・デバイスが Bus-Powered タイプである場合は, この接続例のように, ハイサイド・スイッチを使用することを推奨します。

(2) ルート Hub レジスタ設定条件による VBUS の制御仕様

VBUS を制御するための PPS ビットの制御は HcRhDescriptorA, HcRhDescriptorB レジスタ (RootHub 制御系レジスタ) の設定により変化します。

ポートごとの VBUS 制御を行う場合, HcRhDescriptorA.NPS ビット = 1, HcRhDescriptorA.PSM ビット = 1 に設定する必要があります。

31.5 注意事項

(1) クロック精度

USB ホスト・コントローラを動作させるには、USB クロックとして、内部クロック（外部 9.6 MHz× 内部 20 通倍 ÷4 分周 = 内部 48 MHz、または外部 7.2 MHz× 内部 20 通倍 ÷3 分周 = 内部 48 MHz）あるいは外部クロック（UCLK 端子への外部クロック入力 ($f_{\text{USB}} = 48 \text{ MHz}$)）が必要です。外部クロック使用時には、UCLK 端子に 48 MHz±500 ppm（ターゲット）以下の精度のクロックを供給してください。USB クロックの精度が低下すると、送信データが USB 規格を満足できなくなります。

内部クロックを使用した場合、USB 規格のクロック精度を保証できません。USB 規格を満たすためには、必ず外部クロックを使用してください。

(2) HUB 接続

HUB 接続の場合には、外部クロック（水晶発振器）での使用を推奨します。内部クロックでは、マイコン内部回路でのクロック・ジッタの影響により、USB 規格を満たすことができない可能性があります。内部クロック使用時には、ホスト機器と 1 対 1 接続を推奨します。

31.6 PCI ホスト・ブリッジ

31.6.1 PCI ブリッジ・レジスタ

PCI ブリッジ・レジスタについて次に示します。ベース・アドレスについては、表 31-2 「レジスタ・ベース・アドレス」を参照してください。

アドレス	レジスタ名	略号	R/W	操作可能ビット		初期値
				16	32	
<USHA0_base_PCI> + 04 _H	PCI コマンド・レジスタ	USHA0PCICMD	R/W	○		0006 _H
<USHA0_base_PCI> + 06 _H	PCI ステータス・レジスタ	USHA0PCISTS	R/W	○		0280 _H
<USHA0_base_PCI> + 10 _H	PCI ベース・アドレス・レジスタ 0	USHA0BAR0	R/W		○	0000 0000 _H
<USHA0_base_PCI> + A0 _H	PCI アドレス・コントロール・レジスタ 0	USHA0ACR0	R/W		○	0000 0000 _H
<USHA0_base_PCI> + C0 _H	エラー・レジスタ 1	USHA0ERR1	R/W		○	0000 0000 _H
<USHA0_base_PCI> + CC _H	リード・バースト・タイプ・レジスタ	USHA0RBTYPE	R/W		○	0500 0000 _H
<USHA0_base_PCI> + E4 _H	PCI コントロール・レジスタ	USHA0PCICTRL_H	R/W		○	0000 0000 _H
<USHA0_base_PCI> + EC _H	PCI BAR イネーブル・レジスタ	USHA0PCIBARE	R/W		○	0000 DFFF _H
<USHA0_base_PCI> + F8 _H	PCI コンフィグ・アドレス・レジスタ	USHA0CNFIGADDR	R/W		○	0000 0000 _H
<USHA0_base_PCI> + FC _H	PCI コンフィグ・データ・レジスタ	USHA0CNFIGDATA	R/W		○	0000 0000 _H

(1) PCI コマンド・レジスタ (USHA0PCICMD)

PCIバスでの動作条件を設定するレジスタです。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <USHA0_base_PCI> + 04_H

初期値 0006_H どのリセット要因でも初期化されます。

注意 ビット 15-3, 0には必ず0を設定してください。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	BMASEN	MEMEN	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-8 USHA0PCICMD レジスタの内容

ビット位置	ビット名	意味
2	BMASEN	BUS Master Enable PCIバス・マスタとして動作を制御します。 0：バス・マスタ動作しない。 1：バス・マスタ動作する。
1	MEMEN	Memory Space Enable メモリ空間へのアクセスの制御をします。 0：メモリ空間へのアクセスを受け付けない。 1：メモリ空間へのアクセスを受け付ける。

(2) PCI ステータス・レジスタ (USHA0PCISTS)

PCI ステータス・レジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <USHA0_base_PCI> + 06_H

初期値 0280_H どのリセット要因でも初期化されます。

注意 ビット 15, 14, 11-0 には必ず 0 を設定してください。

15	14	13	12	11	10	9	8
0	0	RMA	RTA	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-9 USHA0PCISTS レジスタの内容

ビット位置	ビット名	意味
13	RMA	Received Master-Abort PCI マスタとしてマスタ・アボートを受信したか否かを示します。 RMA ビットに 1 をライトすることでクリア (0) されます。0 をライトしても変化しません。 1 マスタ・アボートを受信しました。 0 マスタ・アボートはクリアされています (リセット値)。
12	RTA	Received Target-Abort PCI マスタとしてターゲット・アボートを受信したか否かを示します。 RTA ビットに 1 をライトすることでクリア (0) されます。0 をライトしても変化しません。 1 ターゲット・アボートを受信しました。 0 ターゲット・アボートはクリアされています (リセット値)。

(3) PCI ベース・アドレス・レジスタ 0 (USHA0BAR0)

PCI スレーブとして動作する場合のアドレス・ウィンドウ 0 を設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <USHA0_base_PCI> + 10_H

初期値 00000000_H どのリセット要因でも初期化されます。

- 注意**
1. USHA0BAR0 レジスタに値を設定する前に、PCI アドレス・コントロール・レジスタ 0 (USHA0ACR0) にてアドレス空間サイズを設定してください。
 2. リセット時には、すべてのレジスタは 0 に初期化されますので、設定し直してから使用してください。
 3. 使用しない空間は USHA0ACR0.BARMASK ビットを 0000b に設定してください。
 4. PCI 側から USB ホスト・コントローラにメモリ・アクセスが行われているときに、USHA0BAR0 レジスタを変更した場合の動作は不定です。USHA0BAR0 レジスタはシステムの初期化時に設定してください。

31	30	29	28	27	26	25	24
BASEADD31	BASEADD30	BASEADD29	BASEADD28	BASEADD27	BASEADD26	BASEADD25	BASEADD24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
BASEADD23	BASEADD22	BASEADD21	BASEADD20	BASEADD19	BASEADD18	BASEADD17	BASEADD16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
BASEADD15	BASEADD14	BASEADD13	BASEADD12	BASEADD11	BASEADD10	BASEADD9	BASEADD8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
BASEADD7	BASEADD6	BASEADD5	BASEADD4	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-10 USHA0BAR0 レジスタの内容

ビット位置	ビット名	意味
31-4	BASEADD [31:4]	PCI ターゲットとしてのスタート・アドレスを設定します (リセット値 : 0000000 _H)。

(4) PCI アドレス・コントロール・レジスタ (USHA0ACR0)

USHA0BAR0 レジスタで設定するアドレスの空間サイズと H バス側への変換アドレスを設定します。

アドレス空間は 64 K バイトを設定します。空間を使用しない場合は BARMASK ビットを 0000_B に設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_PCI> + A0_H

初期値 00000000_H どのリセット要因でも初期化されます。

- 注意**
1. USHA0ACR0 レジスタには 0000 0100_H を設定してください。
 2. USHA0BAR0 レジスタに値を設定する前に、USHA0ACR0 にてアドレス空間サイズを設定してください。
 3. PCI 側から USB ホスト・コントローラにメモリ・アクセスが行われているときに、USHA0ACR0 レジスタを変更した場合の動作は不定です。USHA0ACR0 レジスタはシステムの初期化時に設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	BARMASK4
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
BARMASK3	BARMASK2	BARMASK1	BARMASK0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-11 USHA0ACR0 レジスタの内容

ビット位置	ビット名	意味
8-4	BARMASK [4:0]	Base Address Mask ベース・アドレス 0 の有効ウィンドウ・サイズを設定します。 10000 _B (64 K バイト) を設定してください。

(5) エラー・レジスタ 1 (USHA0ERR1)

USB ホストコントローラに対し、Hバス共有メモリ側からエラー・レスポンスを返した場合、そのエラー発生状況を表示します。また、エラー発生時にブリッジ・エラー割り込み (INTUSHA0I0) をアサートするための制御信号を持っています。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_PCI> + C0_H

初期値 00000000_H どのリセット要因でも初期化されます。

注意 ビット 31-10, 8-6, 4-0 には必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	AMEn	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	AMEr	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-12 USHA0ERR1 レジスタの内容

ビット位置	ビット名	意味
9	AMEn	H Bus Master Unit Error Enable PCI ホスト・ブリッジ内の H バス・マスタ・ユニットがエラー・レスポンスを受け取った場合 (H バス共有メモリがエラー・レスポンスを返した場合) に、ブリッジ・エラー割り込み (INTUSHA0I0) で通知するための許可ビットです。 0 : PCI ホスト・ブリッジ内の H バス・マスタ・ユニットが、エラー・レスポンスを受け取った場合でも、ブリッジ・エラー割り込み (INTUSHA0I0) をアサートしません。 1 : PCI ホスト・ブリッジ内の H バス・マスタ・ユニットが、エラー・レスポンスを受け取った場合、ブリッジ・エラー割り込み (INTUSHA0I0) をアサートします。
5	AMEr	H Bus Master Unit Error Enable PCI ホスト・ブリッジ内の H バス・マスタ・ユニットがエラー・レスポンスを受け取った場合にアサートされます。AMEr ビットに 1 をライトすることでクリア (0) されます。 0 : PCI ホスト・ブリッジ内の H バス・マスタ・ユニットはエラー・レスポンスを受け取っていません。 1 : PCI ホスト・ブリッジ内の H バス・マスタ・ユニットがエラー・レスポンスを受け取りました。

(6) リード・バースト・タイプ・レジスタ (USHA0RBTYPE)

リード時に他方のバスへ発行するバースト・タイプを設定します。
USHA0RBTYPE レジスタは初期化時に設定し、動作中は変更しないようにしてください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <USHA0_base_PCI> + CC_H

初期値 05000000_H どのリセット要因でも初期化されます。

注意 必ず 05000001_H を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0/1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(7) PCI コントロール・レジスタ (USHA0PCICTRL_H)

PCIバスの動作条件を設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_PCI> + E4_H

初期値 00000000_H どのリセット要因でも初期化されます。

- 注意**
1. PCI ホスト・ブリッジが、OHCI ホスト・コントローラ側の PCI マスタからのリード要求で、リード・データ (CPU 側からの書き込みデータ) を準備した際に、OHCI ホスト・コントローラ側の PCI マスタをリセットすると、PCI ホスト・ブリッジに対し再アクセスが行われず、PCI バスがロックする恐れがあります。このため、PCICRST を 0 から 1 にする場合は、OHCI ホスト・コントローラ側の PCI ユニットのアクセスが完了していることを確認し、OHCI ホスト・コントローラ側の PCI ユニットのアクセスを停止したのち、PCICRST ビットへ 1 をライトするか、PCI ホスト・ブリッジが、リード・データを処理中にリセットされることを避けるため、PCI 側からのコンフィグ・アクセスによって行ってください。また、PCI コンフィグ・アドレス・レジスタ (USHA0CNFIGADDR) と、PCI コンフィグ・データ・レジスタ (USHA0CNFIGDATA) を使用して、OHCI ホスト・コントローラ側の PCI ユニットへのコンフィグ・アクセスを発行して書き込むようにしてください。PCICRST ビットへの書き込み後、レジスタを読み出して PCICRST ビットがセットされたことを確認してください。PCICRST ビットへ 1 を書き込んで、PCI ホスト・ブリッジはリセットされません。
 2. ビット 30, 29, 27-0 は、必ず“0”を設定してください。

31	30	29	28	27	26	25	24
PCICRST	0	0	CNFG DONE	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-13 USHA0PCICTRL_H レジスタの内容

ビット位置	ビット名	意味
31	PCICRST	PCI Cold Reset OHCI ホスト・コントローラ側の PCI インタフェースの制御を行います。 1 をセットすることで、OHCI ホスト・コントローラ側の PCI インタフェースがリセットされます。
28	CNFGDONE	PCI Config Done OHCI ホスト・コントローラ側の PCI からのアクセスに対するレスポンスを指定します。 0 : OHCI ホスト・コントローラ側の PCI としてすべてのアクセスに対しリトライを発行し続けます。 1 : OHCI ホスト・コントローラ側の PCI としてアクセスを受け付けます。

(8) PCI BAR イネーブル・レジスタ (USHA0PCIBARE)

PCI ウィンドウのイネーブル・レジスタです。PCI アドレス・コントロール・レジスタ 0 (USHA0ACR0) によって設定したウィンドウを無効にすることが可能です。無効に設定した場合、その USHA0BAR0 空間にヒットするアクセスが来てもそのアクセスに反応しません。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_PCI> + EC_H

初期値 0000DFFF_H どのリセット要因でも初期化されます。

- 注意**
1. ビット 31-16 は必ず 0 を設定してください。ビット 11-1 の初期値は 1 ですが必ず 0 を設定してください。
 2. USHA0ACR0 レジスタで無効に設定した USHA0BAR0 空間を USHA0PCIBARE レジスタで有効にすることはできません。
 3. PCI 側から USB ホスト・コントローラにメモリ・アクセスが行われているときに、USHA0PCIBARE レジスタを変更した場合の動作は不定です。USHA0PCIBARE レジスタはシステムの初期化時に設定してください。
 4. ビット 15-12 は、必ず "1101" を設定してください。
 5. ビット 11-1 は、必ず "0" を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
1	1	0	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BAR0En
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-14 USHA0PCIBARE レジスタの内容

ビット位置	ビット名	意味
0	BAR0En	USHA0BAR0 Enable USHA0BAR0 レジスタで設定した Window0 のイネーブルです。使用する場合は、必ず 1 に設定してください。 0 : 無効 1 : 有効

(9) PCI コンフィグ・アドレス・レジスタ (USHA0CNFIGADDR)

OHCI ホスト・コントローラ側の PCI スレーブに対するコンフィギュレーション・アクセスのためのアドレス設定レジスタです。

USHA0CNFIGADDR レジスタの CNFEN ビットをセット (1) したあと、PCI コンフィグ・データ・レジスタ (USHA0CNFIGDATA) へアクセスすることで、PCI コンフィギュレーション・アクセスを発行します。

USHA0CNFIGADDR レジスタおよび、USHA0CNFIGDATA へのアクセスは、H バス側からのみ可能です。PCI 側からのアクセスは禁止です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_PCI> + F8_H

初期値 0000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
CNFEN	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
BUSNUM7	BUSNUM6	BUSNUM5	BUSNUM4	BUSNUM3	BUSNUM2	BUSNUM1	BUSNUM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
DEVNUM4	DEVNUM3	DEVNUM2	DEVNUM1	DEVNUM0	FNCNUM2	FNCNUM1	FNCNUM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
REGNUM5	REGNUM4	REGNUM3	REGNUM2	REGNUM1	REGNUM0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-15 USHA0CNFIGADDR レジスタの内容

ビット位置	ビット名	意味
31	CNFEN	Config Enable 許可ビットです。USHA0CNFIGDATA レジスタを使用してコンフィグレーション・アクセスをする前に、CNFEN ビットを1にセットしてください。 0 : USHA0CNFIGDATA レジスタへアクセスがあっても PCI 側へ PCI コンフィグレーション・アクセスを発行しません。 1 : USHA0CNFIGDATA レジスタへのアクセスで PCI 側へ PCI コンフィグレーション・アクセスを発行します。
23:16	BUSNUM [23:16]	Bus Numbe コンフィグレーション・アクセスのバス・ナンバをセットします。00000000b を設定してください。タイプ0 コンフィギュレーション・アクセスが発行されます。
15:11	DEVNUM [4:0]	Device Number デバイス・ナンバをセットします。 00000 : OHCI ホストコントローラのコンフィギュレーション 00001 : PCI ホストブリッジの内部レジスタ 上記以外 : 設定禁止 PCI ホストブリッジの内部レジスタへのアクセスを DEVNUM[4:0] ビットを使用して行う必要があるのは、USHA0PCICTRL_H の PCICRST による PCI リセットを発行する場合だけです。
10:8	FNCNUM [2:0]	Function Number ファンクション・ナンバをセットします。000 を設定してください。
7:2	REGNUM [5:0]	Register Number OHCI コンフィギュレーション・レジスタのレジスタ・ナンバをセットします。

(10) PCI コンフィグ・データ・レジスタ (USHA0CNFIGDATA)

OHCI ホスト・コントローラ側の PCI スレーブに対するコンフィグレーション・アクセス用データ・レジスタです。

PCI コンフィグ・アドレス・レジスタ (USHA0CNFIGADDR) の CNFE ビットをセットしたあと、USHA0CNFIGDATA レジスタへアクセスすることで、PCI コンフィギュレーション・アクセスを発行します。

ライト・アクセスの場合、USHA0CNFIGDATA レジスタへのライト・データがコンフィギュレーション・アクセスとして使用され、リード・アクセスの場合は、該当する外部 PCI コンフィギュレーション・レジスタからの値をリードできます。

USHA0CNFIGADDR レジスタおよび、USHA0CNFIGDATA へのアクセスは、Hバス側からのみ可能です。PCI 側からのアクセスは禁止です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_PCI> + FC_H

初期値 0000000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
CNFDATA31	CNFDATA30	CNFDATA29	CNFDATA28	CNFDATA27	CNFDATA26	CNFDATA25	CNFDATA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
CNFDATA23	CNFDATA22	CNFDATA21	CNFDATA20	CNFDATA19	CNFDATA18	CNFDATA17	CNFDATA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
CNFDATA15	CNFDATA14	CNFDATA13	CNFDATA12	CNFDATA11	CNFDATA10	CNFDATA9	CNFDATA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
CNFDATA7	CNFDATA6	CNFDATA5	CNFDATA4	CNFDATA3	CNFDATA2	CNFDATA1	CNFDATA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-16 USHA0CNFIGDATA レジスタの内容

ビット位置	ビット名	意味
31:0	CNFDATA [31:0]	Config Data コンフィギュレーション・アクセス・リード/ライト・データ・レジスタ

31.7 OHCI ホスト・コントローラ

31.7.1 OHCI ホスト・コントローラの機能

OHCI ホスト・コントローラは、次の機能を持っています。

- OpenHCI Specification Release 1.0a に準拠
- Universal Serial Bus Specification Revision 1.1 に準拠
Full-Speed (12 Mbps) の転送をサポート
- 1チャンネル・ルート・ハブを内蔵し、1つのダウン・ストリーム・ポートをサポート
- USB クロック : 48 MHz, PCI クロック : 25 ~ 33 MHz
- メモリ空間
256 バイトの PCI メモリ領域 (OHCI Operational レジスタ) を配置
Host Controller Communication Area (HCCA) を配置
- CPU との通信
OHCI ホスト・コントローラ内の Operational レジスタと、Host Controller Communication Area (HCCA) 経由で通信

CPU と OHCI ホスト・コントローラの間には、2つの通信チャンネルがあります。一つめの通信チャンネルは OHCI Operational レジスタであり、この通信に対しては OHCI ホスト・コントローラがターゲット (スレーブ) となります。PCI コンフィグレーション・レジスタ内の BASE_Address_Register (10_H) が、OHCI Operational レジスタへのポインタとなります。

また、OHCI Operational レジスタ内には、Host Controller Communication Area (HCCA) と呼ばれるシェアード・メモリへのポインタがあり、この HCCA が二つめの通信チャンネルとなります。この通信に対しては OHCI ホスト・コントローラがマスタとなります。

通信のためのディスクリプタ情報は、OHCI Operational レジスタと HCCA 領域で管理されます。

31.7.2 OHCI ホスト・コンフィグレーション・レジスタ

OHCI ホスト・コンフィグレーション・レジスタは、256 バイトのレジスタ空間であり、OHCI ホスト・コントローラに内蔵されています。CPU システムからは PCI ホスト・ブリッジ・レジスタ (USHA0CNFIGDATA, USHA0CNFIGADDR) 経由でアクセスされます。

表 31-17 OHCI ホスト・コンフィグレーション・レジスタ

ビット	31																24 23								16 15								8 7		0							
アドレス																																										
00 _H	Reserved																Reserved																									
04 _H	Status																Command																									
08 _H	Class Code																Revision ID																									
0C _H	BIST								Header Code								Latency Timer								Cache Line Size																	
10 _H	Base Address Register																																									
14 _H	Reserved																																									
18 _H																																										
1C _H																																										
20 _H																																										
24 _H																																										
28 _H	Reserved																																									
2C _H	Reserved																Reserved																									
30 _H	Reserved																																									
34 _H	Reserved																Cap_ptr																									
38 _H	Reserved																																									
3C _H	Max_lat								Min_GntL								Interrupt Pin								Interrupt Line																	
40 _H	PMC																Next_Item_Ptr								Cap_ID																	
44 _H	Data								DMCSR_BSE								PMCSR																									
E0 _H	Reserved																																									

(1) Command, Status (Offset 04_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス 04_H

初期値 0210 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing1	Devsel Timing0	Data Parity Detected
R/W	R/W	R/W	R/W	R/W	R	R	R/W
23	22	21	20	19	18	17	16
Fast Back to Back Capable	0	0	Capabilities	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	Fast Back to Back Enable	SERR Enable
R	R	R	R	R	R	R	R/W
7	6	5	4	3	2	1	0
Wait Cycle Control	Parity Error Response	VGA Pallet Snoop	Memory Write and Invalidate	Special Cycle	Bus Master	Memory Space	I/O Space
R	R/W	R	R	R	R/W	R/W	R

表 31-18 Command, Status レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	Detected Parity Error	パリティ・エラーのステータス・ビットです。アドレスまたはデータ・パリティ・エラーを検知した場合セット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
30	Signaled System Error	SERR のステータス・ビットです。システム・エラーが発生した場合セット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
29	Received Master Abort	マスタのマスタ・アボートのステータス・ビットです。マスタ動作がマスタ・アボートで終了した場合にセット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
28	Received Target Abort	マスタのターゲット・アボートのステータス・ビットです。マスタ動作がターゲット・アボートで終了した場合にセット (1) されます。PCIバスからの "1" 書き込みでクリア (0) されます。
27	Signaled Target Abort	スレーブのターゲット・アボートのステータス・ビットです。スレーブ動作がターゲットで終了した場合にセット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
26-25	Devsel Timing[1:0]	DEVSEL 応答速度を示すフィールドです。MediumMode のため "01" 固定となります。Devsel Timing[1:0] ビットは、リードのみ可能です。
24	Data Parity Detected	マスタ動作時にパリティ・エラーを検出した場合にセット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。Parity Error Response (Command Register) が Disable の場合は "0" 固定となります。
23	Fast Back to Back Capable	Fast Back to Back に対応しているかを示すビットです。Fast Back to Back に対応しないため "0" 固定となります。Fast Back to Back Capable ビットは、リードのみ可能です。
22-21	—	Reserved (必ず "0" を書き込んでください)

表 31-18 Command, Status レジスタの内容 (2/2)

ビット位置	ビット名	意味
20	Capabilities	Power Management Mode をサポートすることを示すビットです。"1" 固定となります。 Capabilities ビットは、リードのみ可能です。
19-10	—	Reserved (必ず "0" を書き込んでください)
9	Fast Back to Back Enable	Fast Back to Back のイネーブル・ビットです。Host Controller は Fast Back to Back に対応していないため "0" 固定となります。 Fast Back to Back Enable ビットは、リードのみ可能です。
8	SERR Enable	SERR のイネーブル・ビットです。システム・エラーを SERR 信号に伝達させる場合には "1" に設定してください
7	Wait Cycle Control	Wait Cycle Control のイネーブル・ビットです。Host Controller は Address/Data Stepping に対応しないため "0" 固定となります。 Wait Cycle Control ビットは、リードのみ可能です。
6	Parity Error Response	Parity Error 応答のイネーブル・ビットです。Parity Error チェックを行う場合には "1" に設定してください。
5	VGA Pallet Snoop	VGA Pallet Snoop のイネーブル・ビットです。Host Controller は VGA Pallet Snoop に対応しないため "0" 固定となります。 VGA Pallet Snoop ビットは、リードのみ可能です。
4	Memory Write and Invalidate	Memory Write and Invalidate のイネーブル・ビットです。Host Controller は Memory Write and Invalidate に対応しないため "0" 固定となります。 Memory Write and Invalidate ビットは、リードのみ可能です。
3	Special Cycle	Special Cycle のイネーブル・ビットです。Host Controller は Special Cycle に対応しないため "0" 固定となります。 Special Cycle ビットは、リードのみ可能です。
2	Bus Master	バス・マスタのイネーブル・ビットです。PCI バスに対しマスタ・アクセスを行うための Enable 信号であり、システム・バスの SRAM にアクセスする場合 "1" に設定する必要があります。Host Controller の初期化時に "1" を設定してください。
1	Memory Space	メモリ空間へのアクセス・イネーブル・ビットです。PCI 規格におけるメモリ・アクセスを行うための Enable 信号であり、レジスタ・アクセスを行う場合 "1" に設定する必要があります。Host Controller の初期化時に "1" を設定してください。
0	I/O Space	I/O 空間へのアクセス・イネーブル・ビットです。PCI 規格における I/O アクセスを行うための Enable 信号ですが、Host Controller は I/O アクセスを使用しないため "0" 固定となります。 I/O Space ビットは、リードのみ可能です。

(2) Revision ID, Class Code (Offset 08_H)

アクセス 32 ビット単位でリードのみ可能です。

アドレス 08_H

初期値 0C03 1042_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Base Class7	Base Class6	Base Class5	Base Class4	Base Class3	Base Class2	Base Class1	Base Class0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
Sub Class7	Sub Class6	Sub Class5	Sub Class4	Sub Class3	Sub Class2	Sub Class1	Sub Class0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
Program- ming I/F7	Program- ming I/F6	Program- ming I/F5	Program- ming I/F4	Program- ming I/F3	Program- ming I/F2	Program- ming I/F1	Program- ming I/F0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Revision ID7	Revision ID6	Revision ID5	Revision ID4	Revision ID3	Revision ID2	Revision ID1	Revision ID0
R	R	R	R	R	R	R	R

表 31-19 Revision ID, Class Code レジスタの内容

ビット位置	ビット名	意味
31-24	Base Class [7:0]	PCI 規格における基本クラスを示すフィールドです (Class Code)。シリアル周辺バスのコントローラであるため、0C _H 固定となります。
23-16	Sub Class [7:0]	PCI 規格におけるサブクラスを示すフィールドです (Class Code)。USB デバイスであるため、03 _H 固定となります。
15-8	Program- ming I/F [7:0]	PCI 規格におけるプログラム・インターフェースを示すフィールドです (Class Code)。OHCI 仕様 USB であるため、10 _H 固定となります。
7-0	Revision ID [7:0]	Host Controller のリビジョンを示すフィールドです (Class Code)。42 _H 固定となります。

(3) Cache Line Size, Latency Timer, Header Type, BIST (Offset 0C_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス 0C_H

初期値 0000 0800_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
BIST7	BIST6	BIST5	BIST4	BIST3	BIST2	BIST1	BIST0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
Header Type7	Header Type6	Header Type5	Header Type4	Header Type3	Header Type2	Header Type1	Header Type0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
Latency Timer7	Latency Timer6	Latency Timer5	Latency Timer4	Latency Timer3	Latency Timer2	Latency Timer1	Latency Timer0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Cache Line Size7	Cache Line Size6	Cache Line Size5	Cache Line Size4	Cache Line Size3	Cache Line Size2	Cache Line Size1	Cache Line Size0
R	R	R	R	R	R	R	R

表 31-20 Cache Line Size, Latency Timer, Header Type, BIST レジスタの内容

ビット位置	ビット名	意味
31-24	BIST[7:0]	セルフ・テスト用のフィールドです。 00 _H 固定となります。 BIST[7:0] ビットは、リードのみ可能です。
23-16	Header Type [7:0]	Header Type をシステムに通知するためのフィールドです。 PCI デバイスであるため 00 _H 固定となります。 特に、MultiFunction は非対応のためビット 23 は "0" 固定となります。 Header Type[7:0] ビットは、リードのみ可能です。
15-8	Latency Timer[7:0]	Latency Timer をシステムに通知するためのフィールドです。 下位 2 ビットは "00" 固定です。 Latency Timer[1:0] ビットは、リードのみ可能です。
7-0	Cache Line Size[7:0]	Cache Line Size をシステムに通知するためのフィールドです。 00 _H 固定となります。 Cache Line Size[7:0] ビットは、リードのみ可能です。

(4) OHCI Base Address (Offset 10_H)

アクセス 32 ビット単位でリードのみ可能です。

アドレス 10_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
OHCI Base Address27	OHCI Base Address26	OHCI Base Address25	OHCI Base Address24	OHCI Base Address23	OHCI Base Address22	OHCI Base Address21	OHCI Base Address20
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
OHCI Base Address19	OHCI Base Address18	OHCI Base Address17	OHCI Base Address16	OHCI Base Address15	OHCI Base Address14	OHCI Base Address13	OHCI Base Address12
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
OHCI Base Address11	OHCI Base Address10	OHCI Base Address9	OHCI Base Address8	OHCI Base Address7	OHCI Base Address6	OHCI Base Address5	OHCI Base Address4
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
OHCI Base Address3	OHCI Base Address2	OHCI Base Address1	OHCI Base Address0	Prefetchable	Type1	Type0	Memory Space Indicator
R	R	R	R	R	R	R	R

表 31-21 OHCI Base Address レジスタの内容

ビット位置	ビット名	意味
31-4	OHCI Base Address [27:0]	ビット 31-12 にて Operational Register のアドレスを指定します。初期化時にシステムにより決定された Operational Register の Base Address 値を設定してください。ビット 11-4 は 00 _H 固定となります。OHCI Base Address[27:0] ビットは、リードのみ可能です。
3	Prefetchable	Base Address で指定するフィールドがメモリ空間であることを示すフィールドです。 "0" 固定となります。フィールドがプリフェッチ禁止であることを示します。Prefetchable ビットは、リードのみ可能です。
2-1	Type[1:0]	Base Address Type を示すフィールドです。"00" 固定となります。OHCI Base Address が "32 ビット空間の任意の位置" であることを示します。Type[1:0] ビットは、リードのみ可能です。
0	Memory Space Indicator	Base Address で指定するフィールドがメモリ空間であることを示すフィールドです。 "0" 固定となります。Memory Space Indicator ビットは、リードのみ可能です。

(5) Capability Pointer (Offset 34_H)

アクセス 32ビット単位でリードのみ可能です。

アドレス 34_H

初期値 0000 0040_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Capability Pointer7	Capability Pointer6	Capability Pointer5	Capability Pointer4	Capability Pointer3	Capability Pointer2	Capability Pointer1	Capability Pointer0
R	R	R	R	R	R	R	R

表 31-22 Capability Pointer レジスタの内容

ビット位置	ビット名	意味
31-10	—	Reserved (必ず "0" を書き込んでください)
7-0	Capability Pointer[7:0]	40 _H 固定となります。

(6) Interrupt Line, Interrupt Pin, Min gnt, Max Latency (Offset 3C_H)

アクセス 32ビット単位でリードのみ可能です。

アドレス 3C_H

初期値 2A01 0100_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Max Latency7	Max Latency6	Max Latency5	Max Latency4	Max Latency3	Max Latency2	Max Latency1	Max Latency0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
Min Gnt7	Min Gnt6	Min Gnt5	Min Gnt4	Min Gnt3	Min Gnt2	Min Gnt1	Min Gnt0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
Interrupt Pin7	Interrupt Pin6	Interrupt Pin5	Interrupt Pin4	Interrupt Pin3	Interrupt Pin2	Interrupt Pin1	Interrupt Pin0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Interrupt Line7	Interrupt Line6	Interrupt Line5	Interrupt Line4	Interrupt Line3	Interrupt Line2	Interrupt Line1	Interrupt Line0
R	R	R	R	R	R	R	R

表 31-23 Interrupt Line, Interrupt Pin, Min gnt, Max Latency レジスタの内容

ビット位置	ビット名	意味
31-24	Max Latency [7:0]	最大レイテンシを示します。2A _H 固定となります。 Max Latency[7:0] ビットは、リードのみ可能です。
23-16	Min Gnt[7:0]	最小グラント時間を示します。01 _H 固定となります。 Min Gnt[7:0] ビットは、リードのみ可能です。
15-8	Interrupt Pin[7:0]	割り込み出力端子を示します。INTA であるため 01 _H 固定となります。 Interrupt Pin[7:0] ビットは、リードのみ可能です。
7-0	Interrupt Line[7:0]	割り込みラインを示します。00 _H 固定となります。

(7) Capability Identifier, Next Item Pointer, Power Management Capabilities (Offset 40_H)

アクセス 32ビット単位でリードのみ可能です。

アドレス 40_H

初期値 7E02 0001_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
PME Support4	PME Support3	PME Support2	PME Support1	PME Support0	D2 Support	D1 Support	Aux Current2
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
Aux Current1	Aux Current0	DSI	0	PME CLK	Version2	Version1	Version0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
Next Item Pointer7	Next Item Pointer6	Next Item Pointer5	Next Item Pointer4	Next Item Pointer3	Next Item Pointer2	Next Item Pointer1	Next Item Pointer0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Capability Identifier7	Capability Identifier6	Capability Identifier5	Capability Identifier4	Capability Identifier3	Capability Identifier2	Capability Identifier1	Capability Identifier0
R	R	R	R	R	R	R	R

表 31-24 Capability Identifier, Next Item Pointer, Power Management Capabilities レジスタの内容

ビット位置	ビット名	意味
31	PME Support [4:0]	D3 Cold 状態をサポートしているかを示します (Power Management Capabilities)。 D3 Cold 状態をサポートしないため "0" 固定となります。
30-27		PCI Power State のすべてのステート (D0-D3) で PME をサポートすることを示します (Power Management Capabilities)。 "1111" 固定となります。
26	D2 Support	PCI Power State の D2 に対応していることを示します (Power Management Capabilities)。 "1" 固定となります。
25	D1 Support	PCI Power State の D1 に対応していることを示します (Power Management Capabilities)。 "1" 固定となります。
24-22	Aux Current [2:0]	D3 cold ステートからの PME 割り込みアサートをサポートしていません (Power Management Capabilities)。 "000" 固定となります。
21	DSI	Power Management 使用の際に特殊な初期化が必要でないことを示します (Power Management Capabilities)。 "0" 固定となります。
19	PME CLK	PME 割り込み生成に PCLK が必要でないことを示します (Power Management Capabilities)。 "0" 固定となります。
18-16	Version[2:0]	Power Management のバージョンを示すフィールドです (Power Management Capabilities)。 Host Controller にインプリされた回路構成に従い "010" 固定となります。
15-8	Next Item Pointer[7:0]	Next Item が存在しないことを示すフィールドです。 00 _H 固定となります。
7-0	Capability Identifier [7:0]	Power Management Register ID を示すフィールドです。 01 _H 固定となります。

(8) Power Management Control/Status, PMCSR Bridge Support Extensions (Offset 44_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス 44_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Data7	Data6	Data5	Data4	Data3	Data2	Data1	Data0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
BPCC Enable	B2_B3	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
PME Status	Data Scale1	Data Scale0	Data Select3	Data Select2	Data Select1	Data Select0	PME Enable
R/W	R	R	R	R	R	R	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	Power State1	Power State0
R	R	R	R	R	R	R	R

表 31-25 Power Management Control/Status, PMCSR Bridge Support Extensions
レジスタの内容

ビット位置	ビット名	意味															
31-24	Data[7:0]	PCI 規格において Data フィールドはオプション・フィールドであり、Host Controller は未対応です (Data)。 "00" 固定となります。 Data[7:0] ビットは、リードのみ可能です。															
23	BPCC Enable	Bridge 用のビットであり Host Controller は未対応です (PMCSR Bridge Support Extensions)。 "0" 固定となります。 BPCC Enable ビットは、リードのみ可能です。															
22	B2_B3	Bridge 用のビットであり Host Controller は未対応です (PMCSR Bridge Support Extensions)。 "0" 固定となります。 B2_B3 ビットは、リードのみ可能です。															
15	PME Status	PME の割り込みステータスを示します (Power Management Control/Status)。 PME がアサートする条件となると "1" がセット (1) されます。 PCI バスから "1" を書き込むと "0" にクリア (0) されます。															
14-13	Data Scale [1:0]	PCI 規格において Data Scale フィールドはオプション・フィールドであり、Host Controller は未対応です (Power Management Control/Status)。 "00" 固定となります。 Data Scale[1:0] ビットは、リードのみ可能です。															
12-9	Data Select [3:0]	PCI 規格において Data Select フィールドはオプション・フィールドであり、Host Controller は未対応です (Power Management Control/Status)。 "0000" 固定となります。 Data Select[3:0] ビットは、リードのみ可能です。															
8	PME Enable	PME 割り込みの使用を設定するビットです (Power Management Control/Status)。 "1" に設定すると Power Management からの復帰時に PME 割り込みを発生します。															
1-0	Power State[1:0]	PCI の Power Status を示すフィールドです (Power Management Control/Status)。 [1:0] の状態により次の状態となります。															
		<table border="1"> <thead> <tr> <th>Power State1</th> <th>Power State0</th> <th>フィールド状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>D0 State</td> </tr> <tr> <td>0</td> <td>1</td> <td>D1 State</td> </tr> <tr> <td>1</td> <td>0</td> <td>D2 State</td> </tr> <tr> <td>1</td> <td>1</td> <td>D3 hot State</td> </tr> </tbody> </table>	Power State1	Power State0	フィールド状態	0	0	D0 State	0	1	D1 State	1	0	D2 State	1	1	D3 hot State
Power State1	Power State0	フィールド状態															
0	0	D0 State															
0	1	D1 State															
1	0	D2 State															
1	1	D3 hot State															

31.7.3 OHCI Operational レジスタ

OHCI Operational レジスタは OHCI ホスト・コントローラに内蔵されており、表 31-26 の項目で構成されています。詳細な情報につきましては、OpenHCI Specification Release 1.0a を参照してください。

OpenHCI Specification Release 1.0a では、Port 番号を [1 : Port 数] と定義しているため、ここではその記載に従って説明しています。例えば、Port [1] : ホスト・チャンネル 0, Port [2] : ホスト・チャンネル 1 に対応する説明となります。ベース・アドレスは表 31-2 「レジスタ・ベース・アドレス」を参照してください。

表 31-26 OHCI Operational レジスタ

ビット	31	24	23	16	15	8	7	0
アドレス								
00 _H	HcRevision							
04 _H	HcControl							
08 _H	HcCommandStatus							
0C _H	HcInterruptStatus							
10 _H	HcInterruptEnable							
14 _H	HcInterruptDisable							
18 _H	HcHCCA							
1C _H	HcPeriodCurrentED							
20 _H	HcControlHeadED							
24 _H	HcControlCurrentED							
28 _H	HcBulkHeadED							
2C _H	HcBulkCurrentED							
30 _H	HcDoneHead							
34 _H	HcFmInterval							
38 _H	HcFmRemaining							
3C _H	HcFmNumber							
40 _H	HcPeriodicStart							
44 _H	HcLSThreshold							
48 _H	HcRhDescriptorA							
4C _H	HcRhDescriptorB							
50 _H	HcRhStatus							
54 _H	HcRhPortStatus1							
5C _H ~ FF _H	Reserved							

備考 HC : HostController (OHCI ホスト・コントローラを示します)
HCD : HostControllerDriver
ED : EndPointDescriptor
TD : TransferDescriptor
EOP : EndOfPacket
SOF : StartOfFrame

(1) HcRevision Register (Offset 00_H)

アクセス 32ビット単位でリードのみ可能です。

アドレス <USHA0_base_OHCI> + 00_H

初期値 0000 0010_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	Legacy
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Revision							
R	R	R	R	R	R	R	R

表 31-27 HcRevision Register レジスタの内容

ビット位置	ビット名	意味
31-9	—	Reserved (必ず "0" を書き込んでください)
8	Legacy	レガシー・サポート・レジスタが Host Controller にインプリされているかを示すビットです。 Host Controller はレガシー機能をサポートしていないため "0" 固定となります。
7-0	Revision	Host Controller にインプリメントされた HCI 仕様のバージョンを示すフィールドです。 Host Controller は OHCI 規格 1.0a に準拠しているため 10 _H 固定となります。

(2) HcControl Register (Offset 04_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 04_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	RWE	RWC	IR
R	R	R	R	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
HCFS1	HCFS0	BLE	CLE	IE	PLE	CBSR1	CBSR0
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31-28 HcControl Register レジスタの内容 (1/2)

ビット位置	ビット名	意味										
31-11	—	Reserved (必ず "0" を書き込んでください)										
10	RWE	Remote WakeUp Enable RWE ビットはアップストリーム・レジューム信号の検出の設定をするビットです。 1 : Resume 信号を Remote Wake とする 0 : Resume 信号を Remote Wake としない										
9	RWC	Remote WakeUp Connect Host Controller が Remote WakeUp をサポートするかを示すビットです。 Remote WakeUp をシステムでサポートする場合には、初期化中に RWC ビットをセット (1) する必要があります。 1 : Remote WakeUp をサポートする 0 : Remote WakeUp をサポートしない										
8	IR	Interrupt Routing Host Controller の割り込み出力経路を示すビットです。 HcInterrupt Status に発生した割り込み要因のシステムへの通知方法を設定します。 1 : SMI 経由で割り込みが発生する 0 : INTA 経由で割り込みが発生する										
7-6	HCFS[1:0]	Host Controller Functional State Host Controller の動作状態を示すフィールドです。 <table border="1"> <thead> <tr> <th>HCFS</th><th>USB ステータス</th></tr> </thead> <tbody> <tr> <td>00</td><td>USB Reset</td></tr> <tr> <td>01</td><td>USB Resume</td></tr> <tr> <td>10</td><td>USB Operational</td></tr> <tr> <td>11</td><td>USB Suspend</td></tr> </tbody> </table> USB Operational に遷移すると 1 ms で区切られたフレームの管理を開始します。 この動作状態は USB Suspend 時の Remote WakeUp による USB Resume の遷移以外は常に Host Controller ドライバにより制御されます。 ハードウェア・リセット後、HCFS フィールドは USB Reset 状態となりますが、ソフトウェア・リセット後は USB Suspend に遷移します。	HCFS	USB ステータス	00	USB Reset	01	USB Resume	10	USB Operational	11	USB Suspend
HCFS	USB ステータス											
00	USB Reset											
01	USB Resume											
10	USB Operational											
11	USB Suspend											

表 31-28 HcControl Register レジスタの内容 (2/2)

ビット位置	ビット名	意味										
5	BLE	<p>Bulk List Enable バルク・リストの処理を行うかどうかを設定するビットです。 1 : バルク・リストの処理を行う 0 : バルク・リストの処理を行わない BLE ビットの設定値は次のフレームから有効になります。 なお、バルク・リストを修正する場合には、必ず BLE ビットが "0" でなければなりません。</p>										
4	CLE	<p>Control List Enable コントロール・リストの処理を行うかどうかを設定するビットです。 1 : コントロール・リストの処理を行う 0 : コントロール・リストの処理を行わない CLE ビットへの設定値は次のフレームから有効になります。 なお、コントロール・リストを修正する場合には、必ず CLE ビットが "0" でなければなりません。</p>										
3	IE	<p>Isochronouse Enable アイソクロナス ED の処理を行うかどうかを設定するビットです。 リスト処理中にアイソクロナス ED を発見した場合に、IE ビットをチェックしアイソクロナス ED の処理を行うかどうかを決定します。 1 : アイソクロナス転送の処理を行う 0 : アイソクロナス転送の処理を行わない IE ビットがイネーブル・ディセーブルとなると次のフレームからアイソクロナス処理に影響を与えます。</p>										
2	PLE	<p>Periodic List Enable ピリオディック・リストの処理を行うかどうかを設定するビットです。 1 : ピリオディック・リストの処理を行う 0 : ピリオディック・リストの処理を行わない PLE ビットがイネーブル・ディセーブルとなると次のフレームからピリオディック・リストの処理を開始・停止します</p>										
1-0	CBSR[1:0]	<p>Control Bulk Service Ratio Control 転送と Bulk 転送のサービス比を規定するフィールドです。 ピリオディック・リストの処理の際、CBSR フィールドで規定されるサービス比を維持し転送を行います。</p> <table border="1"> <thead> <tr> <th>CBSR</th> <th>バルク ED : コントロール ED / サービス比</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1 : 1</td> </tr> <tr> <td>01</td> <td>2 : 1</td> </tr> <tr> <td>10</td> <td>3 : 1</td> </tr> <tr> <td>11</td> <td>4 : 1</td> </tr> </tbody> </table>	CBSR	バルク ED : コントロール ED / サービス比	00	1 : 1	01	2 : 1	10	3 : 1	11	4 : 1
CBSR	バルク ED : コントロール ED / サービス比											
00	1 : 1											
01	2 : 1											
10	3 : 1											
11	4 : 1											

(3) HcCommandStatus Register (Offset 08_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 08_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	SOC1	SOC0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	OCR	BLF	CLF	HCR
R	R	R	R	R/W	R/W	R/W	R/W

表 31-29 HcCommandStatus Register レジスタの内容 (1/2)

ビット位置	ビット名	意味
31-18	—	Reserved (必ず "0" を書き込んでください)
17-16	SOC[1:0]	Scheduling Overrun Count スケジュール・オーバーラン数をカウントするためのフィールドです。 スケジュール・オーバーランのたびにカウント・アップします。 Interrupt Status レジスタの SO カウント・アップされた状態においてもカウント・アップは続けます。 SOC[1:0] ビットは、リードのみ可能です。
15-4	—	Reserved (必ず "0" を書き込んでください)
3	OCR	Ownership Change Request Host Controller の制御権の変更を要求するためのビットです。

表 31-29 HcCommandStatus Register レジスタの内容 (2/2)

ビット位置	ビット名	意味
2	BLF	<p>Bulk List Filled</p> <p>Bulk リストに TD が存在するかどうかを示すビットです。 Bulk リストの ED に TD を追加するときは、必ずドライバ (HCD) によって "1" にセットされます。 Host Controller は Bulk リスト・ヘッダの処理を始めるとき、BLF ビットをチェックします。 BLF ビットが "0" の場合は Bulk リストの処理を開始しません。"1" ならば "0" にセットし Bulk リストの処理を開始します。Bulk リストに TD を見つけた場合、再度 "1" にセットし Bulk リストの処理を継続します。 ドライバはリストを再構築し HcCommand レジスタの BLE ビットをセットしリスト処理を開始する前に BLF ビットをセットする必要があります。</p>
1	CLF	<p>Control List Filled</p> <p>Control リストが存在するかどうかを示すビットです。 Control リストの ED に TD を追加するときは、必ずドライバ (HCD) によって "1" にセットされます。 Host Controller は Control リスト・ヘッダの処理を始めるとき、CLF ビットをチェックします。 CLF ビットが "0" の場合は Control リストの処理を開始しません。"1" ならば "0" にセットし Control リストの処理を開始します。Control リストに TD を見つけた場合、再度 "1" にセットし Control リストの処理を継続します。 ドライバはリストを再構築し HcCommand レジスタの CLE ビットをセットしリスト処理を開始する前に CLF ビットをセットする必要があります。</p>
0	HCR	<p>Host Controller Reset</p> <p>Host Controller のソフトウェア・リセットを起動するためのビットです。 HCR ビットをセット (1) すると Host Controller の機能ステートに関わらず USB Suspend に移行します。 リセット作業の完了時に Host Controller によってクリア (0) されます。</p>

(4) HcInterruptStatus Register (Offset 0C_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 0C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

注意 USBホスト・コントローラは、割り込みを検出すると EICn.EIRFn ビットとして割り込み要求がラッチされます (n = 190 ~ 192)。このため、CPUが割り込みを受け付けて、割り込み制御レジスタ (INTUSHA0xxx) の EICn.EIRFn ビットが自動的にクリア (0) されても、すぐに EICn.EIRFn ビットがセット (1) され、連続的に割り込みが発生します。この状態を回避するためには、割り込み処理ルーチン内で、各割り込み要求のクリア処理 (ステータス・フラグのクリア) を実施したあと、EICn.EIRFn ビットを強制的にクリア (0) してください。

31	30	29	28	27	26	25	24
0	OC	0	0	0	0	0	0
R	R/W	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	RHSC	FNO	UE	RD	SF	WDH	SO
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-30 HcInterruptStatus Register レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	—	Reserved (必ず "0" を書き込んでください)
30	OC	Ownership Change Ownership Change 割り込みが発生したことを示す割り込みビットです。 HcCommand Status の Ownership Change Request フィールドをセットしたときにセット (1) されます。この割り込み要因がマスクされていなければ SMMI 割り込みを発生させます。 1 : OC 割り込みが発生している 0 : OC 割り込みは発生していない OC ビットに "1" を書き込むことで割り込みはクリア (0) されます。
29-7	—	Reserved (必ず "0" を書き込んでください)
6	RHSC	Root Hub Status Change HcRhPortStatus の状態が変化したことを示す割り込みビットです。 ハードウェア要因により HcRhPortStatus が変化した場合にセット (1) されます。 1 : RHSC 割り込みが発生している 0 : RHSC 割り込みは発生していない RHSC ビットに "1" を書き込むことで割り込みはクリア (0) されます。

表 31-30 HcInterruptStatus Register レジスタの内容 (2/2)

ビット位置	ビット名	意味
5	FNO	<p>Frame Number Overflow</p> <p>フレーム・ナンバーのMSBが変化したことを示す割り込みビットです。フレーム・ナンバーのMSBが0から1または1から0に変化するフレームにおいて Hcca Frame Number の更新後にセット (1) されます。</p> <p>1 : FNO 割り込みが発生している</p> <p>0 : FNO 割り込みは発生していない</p> <p>FNO ビットに "1" を書き込むことで割り込みはクリア (0) されます。</p>
4	UE	<p>Unrecoverable Error</p> <p>USB に関係のない PCI バス上のシステム・エラーを検出したことを示す割り込みビットです。</p> <p>1 : UE 割り込みが発生している</p> <p>0 : UE 割り込みは発生していない</p> <p>UE ビットに "1" を書き込むことで割り込みはクリア (0) されます。</p>
3	RD	<p>Resume Detected</p> <p>Resume を検出したことを示す割り込みビットです。USB バス上のデバイスがレジューム信号をアサートしていることを検出したときにセット (1) されます。ドライバにより USB Resume が発行された場合には、RD ビットはセット (1) されません。</p> <p>1 : RD 割り込みが発生している</p> <p>0 : RD 割り込みは発生していない</p> <p>RD ビットに "1" を書き込むことで割り込みはクリア (0) されます。</p>
2	SF	<p>StartOfFrame</p> <p>フレームの開始時に Hcca Frame Number をアップデートしたことを示す割り込みビットです。Host Controller は SOF パケットの送出と共に HccaFrameNumber の更新を行います。</p> <p>1 : SF 割り込みが発生している</p> <p>0 : SF 割り込みは発生していない</p> <p>SF ビットに "1" を書き込むことで割り込みはクリア (0) されます。</p>
1	WDH	<p>Writeback Done Head</p> <p>Host Controller が HccaDoneHead の内容をアップデートしたことを示す割り込みビットです。Host Controller は HccaDoneHead を更新した直後に WDH ビットをセット (1) し、WDH ビットをクリア (0) するまで HccaDoneHead の更新は行いません。</p> <p>1 : WDH 割り込みが発生している</p> <p>0 : WDH 割り込みは発生していない</p> <p>WDH ビットに "1" を書き込むことで割り込みはクリア (0) されます。</p>
0	SO	<p>Scheduling Overrun</p> <p>フレームにおける USB スケジュールがオーバーランしたことを示す割り込みビットです。USB スケジュールがオーバーランした場合に次のフレームの Frame Number Update 後にセット (1) されます。SO ビットがセット (1) される時には HcCommandStatus レジスタの SchedulingOverrun ビットもインクリメントされます。</p> <p>1 : SO 割り込みが発生している</p> <p>0 : SO 割り込みは発生していない</p> <p>SO ビットに "1" を書き込むことで割り込みはクリア (0) されます。</p>

(5) HcInterruptEnable Register (Offset 10_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 10_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
MIE	OCE	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-31 HcInterruptEnable Register レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	MIE	Master Interrupt Enable [30, 6:0]にて設定された割り込み要因設定を有効にするかを設定するビットです。 1: 設定されたすべての割り込みを有効にする 0: 無効 ("0" の書き込みは無視) MIE ビットをクリア (0) する場合は, HcInterruptDisable レジスタのみ該当ビットに "1" を書き込みます。
30	OCE	Ownership Change Enable OC を割り込み要因として有効にするか設定するためのビットです。 1: OC を割り込み要因として有効にする 0: 無効 ("0" の書き込みは無視) OCE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。
29-7	—	Reserved (必ず "0" を書き込んでください)
6	RHSCE	Root Hub Status Change Enable RHSC を割り込み要因として有効にするか設定するためのビットです。 1: RHSC を割り込み要因として有効にする 0: 無効 ("0" の書き込みは無視) RHSCE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。
5	FNOE	Frame Number Overflow Enable FNO を割り込み要因として有効にするか設定するためのビットです。 1: FNO を割り込み要因として有効にする 0: 無効 ("0" の書き込みは無視) FNOE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。

表 31-31 HcInterruptEnable Register レジスタの内容 (2/2)

ビット位置	ビット名	意味
4	UEE	Unrecoverable Error Enable UE を割り込み要因として有効にするか設定するためのビットです。 1 : UE を割り込み要因として有効にする 0 : 無効 ("0" の書き込みは無視) UEE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。
3	RDE	Resume Detected Enable RD を割り込み要因として有効にするか設定するためのビットです。 1 : RD を割り込み要因として有効にする 0 : 無効 ("0" の書き込みは無視) RDE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。
2	SFE	Stato Of Frame Enable SF を割り込み要因として有効にするか設定するためのビットです。 1 : SF を割り込み要因として有効にする 0 : 無効 ("0" の書き込みは無視) SFE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。
1	WDHE	Writeback Done Head Enable WDH を割り込み要因として有効にするか設定するためのビットです。 1 : WDH を割り込み要因として有効にする 0 : 無効 ("0" の書き込みは無視) WDHE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。
0	SOE	Scheduling Overrun Enable SO を割り込み要因として有効にするか設定するためのビットです。 1 : SO を割り込み要因として有効にする 0 : 無効 ("0" の書き込みは無視) SOE ビットに "1" を書き込むことでセット (1) することができます。 クリア (0) する場合は HcInterruptDisable レジスタの該当ビットに "1" を書き込みます。

(6) HcInterruptDisable Register (Offset 14_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 14_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
MID	OCD	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-32 HcInterruptDisable Register レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	MID	Master Interrupt Disable HcInterruptEnable レジスタのビット [30, 6:0] にて設定された割り込み要因を無効にする設定を行うビットです。 1: 設定されたすべての割り込みを無効にする 0: ("0" の書き込みは無視) この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。
30	OCD	Ownership Change Disable OC を割り込み要因から削除するための設定ビットです。 1: OC を割り込み要因として無効にする 0: ("0" の書き込みは無視) この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 OCD ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。
29-7	—	Reserved (必ず "0" を書き込んでください)
6	RHSCD	Root Hub Status Change Disable RHSC を割り込み要因から削除するための設定ビットです。 1: RHSC を割り込み要因として無効にする 0: ("0" の書き込みは無視) この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 RHSCD ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。

表 31-32 HcInterruptDisable Register レジスタの内容 (2/2)

ビット位置	ビット名	意味
5	FNOD	<p>Frame Number Overflow Disable FNO を割り込み要因から削除するための設定ビットです。 1 : FNO を割り込み要因として無効にする 0 : ("0" の書き込みは無視)</p> <p>この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 FNOD ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。</p>
4	UED	<p>Unrecoverable Error Disable UE を割り込み要因から削除するための設定ビットです。 0 : UE を割り込み要因として無効にする 1 : ("0" の書き込みは無視)</p> <p>この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 UED ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。</p>
3	RDD	<p>Resume Detected Disable RD を割り込み要因から削除するための設定ビットです。 0 : RD を割り込み要因として無効にする 1 : ("0" の書き込みは無視)</p> <p>この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 RDD ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。</p>
2	SFD	<p>StartOfFrame Disable SF を割り込み要因から削除するための設定ビットです。 0 : SF を割り込み要因として無効にする 1 : ("0" の書き込みは無視)</p> <p>この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 SFD ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。</p>
1	WDHD	<p>Writeback Done Head Disable WDH を割り込み要因から削除するための設定ビットです。 0 : WDH を割り込み要因として無効にする 1 : ("0" の書き込みは無視)</p> <p>この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 WDHD ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。</p>
0	SOD	<p>Scheduling Overrun Disable SO を割り込み要因から削除するための設定ビットです。 0 : SO を割り込み要因として無効にする 1 : ("0" の書き込みは無視)</p> <p>この HcInterruptDisable レジスタをリードした場合、HcInterruptEnable レジスタの内容が読み出されます。 SOD ビットに "1" を書き込むことでクリア (0) できます。 セット (1) する場合は HcInterruptEnable レジスタの該当ビットに "1" を書き込みます。</p>

(7) HcHCCA Register (Offset 18_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 18_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
HcHCCA23	HcHCCA22	HcHCCA21	HcHCCA20	HcHCCA19	HcHCCA18	HcHCCA17	HcHCCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
HcHCCA15	HcHCCA14	HcHCCA13	HcHCCA12	HcHCCA11	HcHCCA10	HcHCCA9	HcHCCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
HcHCCA7	HcHCCA6	HcHCCA5	HcHCCA4	HcHCCA3	HcHCCA2	HcHCCA1	HcHCCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 31-33 HcHCCA Register レジスタの内容

ビット位置	ビット名	意味
31-8	HcHCCA [23:0]	Host Controller Communication Area として割り当てられた RAM の Base Address を設定するためのフィールドです。 初期化時に設定する必要があります。Host Controller は HCCA として HcHCCA フィールドで指定する Base Address から 256 バイトの領域を要求します。

(8) HcPeriodCurrentED Register (Offset 1C_H)

アクセス 32 ビット単位でリードのみ可能です。

アドレス <USHA0_base_OHCI> + 1C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Period CurrentED27	Period CurrentED26	Period CurrentED25	Period CurrentED24	Period CurrentED23	Period CurrentED22	Period CurrentED21	Period CurrentED20
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
Period CurrentED19	Period CurrentED18	Period CurrentED17	Period CurrentED16	Period CurrentED15	Period CurrentED14	Period CurrentED13	Period CurrentED12
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
Period CurrentED11	Period CurrentED10	Period CurrentED9	Period CurrentED8	Period CurrentED7	Period CurrentED6	Period CurrentED5	Period CurrentED4
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Period CurrentED3	Period CurrentED2	Period CurrentED1	Period CurrentED0	0	0	0	0
R	R	R	R	R	R	R	R

表 31-34 HcPeriodCurrentED Register レジスタの内容

ビット位置	ビット名	意味
31-4	Period CurrentED [27:0]	ピリオディック・リストの処理アドレスを示すフィールドです。 ひとつのピリオディック・リストの処理が終了すると、Host Controller は PeriodCurrentED フィールドのポインタを更新します。

(9) HcControlHeadED Register (Offset 20_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 20_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Control HeadED27	Control HeadED26	Control HeadED25	Control HeadED24	Control HeadED23	Control HeadED22	Control HeadED21	Control HeadED20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
Control HeadED19	Control HeadED18	Control HeadED17	Control HeadED16	Control HeadED15	Control HeadED14	Control HeadED13	Control HeadED12
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
Control HeadED11	Control HeadED10	Control HeadED9	Control HeadED8	Control HeadED7	Control HeadED6	Control HeadED5	Control HeadED4
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
Control HeadED3	Control HeadED2	Control HeadED1	Control HeadED0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R

表 31-35 HcControlHeadED Register レジスタの内容

ビット位置	ビット名	意味
31-4	Control HeadED [27:0]	Control 転送用リスト ED の先頭アドレスを指定するためのフィールドです。Control 転送を行うため、HcControl レジスタの CLE ビットをセット (1) する前に設定する必要があります。

(10) HcControlCurrentED Register (Offset 24_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 24_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Control CurrentED27	Control CurrentED26	Control CurrentED25	Control CurrentED24	Control CurrentED23	Control CurrentED22	Control CurrentED21	Control CurrentED20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
Control CurrentED19	Control CurrentED18	Control CurrentED17	Control CurrentED16	Control CurrentED15	Control CurrentED14	Control CurrentED13	Control CurrentED12
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
Control CurrentED11	Control CurrentED10	Control CurrentED9	Control CurrentED8	Control CurrentED7	Control CurrentED6	Control CurrentED5	Control CurrentED4
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
Control CurrentED3	Control CurrentED2	Control CurrentED1	Control CurrentED0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R

表 31-36 HcControlCurrentED Register レジスタの内容

ビット位置	ビット名	意味
31-4	Control CurrentED [27:0]	Control リストの処理アドレスを示すフィールドです。 Control ED の処理が終わるたびに Host Controller が、ControlCurrentED フィールド値をアップデートします。新規でリストを構築する場合には、ControlCurrentED フィールドはリストの末尾を示す 00000000 _H に設定します。転送を一度中断し再開する際に、CCED のリンク・ポインタが示す ED が存在することを保証する必要があります。

(11) HcBulkHeadED Register (Offset 28_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 28_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
BulkHead ED27	BulkHead ED26	BulkHead ED25	BulkHead ED24	BulkHead ED23	BulkHead ED22	BulkHead ED21	BulkHead ED20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
BulkHead ED19	BulkHead ED18	BulkHead ED17	BulkHead ED16	BulkHead ED15	BulkHead ED14	BulkHead ED13	BulkHead ED12
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
BulkHead ED11	BulkHead ED10	BulkHead ED9	BulkHead ED8	BulkHead ED7	BulkHead ED6	BulkHead ED5	BulkHead ED4
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
BulkHead ED3	BulkHead ED2	BulkHead ED1	BulkHead ED0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R

表 31-37 HcBulkHeadED Register レジスタの内容

ビット位置	ビット名	意味
31-4	BulkHead ED[27:0]	Bulk 転送用リスト ED の先頭アドレスを指定するためのフィールドです。 Bulk 転送を行うため、HcControl レジスタの BLE ビットをセット (1) する前に設定する必要があります。

(12) HcBulkCurrentED Register (Offset 2C_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 2C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
BulkCurrent ED27	BulkCurrent ED26	BulkCurrent ED25	BulkCurrent ED24	BulkCurrent ED23	BulkCurrent ED22	BulkCurrent ED21	BulkCurrent ED20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
BulkCurrent ED19	BulkCurrent ED18	BulkCurrent ED17	BulkCurrent ED16	BulkCurrent ED15	BulkCurrent ED14	BulkCurrent ED13	BulkCurrent ED12
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
BulkCurrent ED11	BulkCurrent ED10	BulkCurrent ED9	BulkCurrent ED8	BulkCurrent ED7	BulkCurrent ED6	BulkCurrent ED5	BulkCurrent ED4
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
BulkCurrent ED3	BulkCurrent ED2	BulkCurrent ED1	BulkCurrent ED0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R

表 31-38 HcBulkCurrentED Register レジスタの内容

ビット位置	ビット名	意味
31-4	BulkCurrent ED[27:0]	Bulk リストの処理アドレスを示すフィールドです。 Bulk ED の処理が終わるたびに Host Controller が、BulkCurrentED フィールド値をアップデートします。 新規でリストを構築する場合には、BulkCurrentED フィールドはリストの末尾を示す 00000000 _H に設定します。 転送を一度中断し再開する際に BCED のリンク・ポインタが示す ED が存在することを保証する必要があります。

(13) HcDoneHead Register (Offset 30_H)

アクセス 32 ビット単位でリードのみ可能です。

アドレス <USHA0_base_OHCI> + 30_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
Done Head27	Done Head26	Done Head25	Done Head24	Done Head23	Done Head22	Done Head21	Done Head20
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
Done Head19	Done Head18	Done Head17	Done Head16	Done Head15	Done Head14	Done Head13	Done Head12
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
Done Head11	Done Head10	Done Head9	Done Head8	Done Head7	Done Head6	Done Head5	Done Head4
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Done Head3	Done Head2	Done Head1	Done Head0	0	0	0	0
R	R	R	R	R	R	R	R

表 31-39 HcDoneHead Register レジスタの内容

ビット位置	ビット名	意味
31-4	DoneHead [27:0]	Host Controller の HcDoneHead のアドレスを示すフィールドです。

(14) HcFmInterval Register (Offset 34_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 34_H

初期値 0000 2EDF_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
FIT	FSMPS14	FSMPS13	FSMPS12	FSMPS11	FSMPS10	FSMPS9	FSMPS8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
FSMPS7	FSMPS6	FSMPS5	FSMPS4	FSMPS3	FSMPS2	FSMPS1	FSMPS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	FI13	FI12	FI11	FI10	FI9	FI8
R	R	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
FI7	FI6	FI5	FI4	FI3	FI2	FI1	FI0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-40 HcFmInterval Register レジスタの内容

ビット位置	ビット名	意味
31	FIT	Frame Interval Toggle FIT ビットは HCD と HC 間のフレーム設定値の同期を取るために使用します。 HCD により FI フィールドを書き込む際は、FIT ビットをトグルさせてください。 HC は FI フィールドをロードするとき、HcFmRemaining.FRT ビットに FIT ビットの値を反映します。 HCD は FI フィールドを書き込む際に設定した FIT ビットの値と、読み出した FRT ビットの値を比較することで、新たに設定した FI フィールドが反映されたかを確認することができます。
30-16	FSMPS [14:0]	FSLargest Data Packet スケジュール・オーバーランを起こさずに送受信できる最大のデータ量を設定するフィールドです。現在のフレーム位置と設定値を比較し、フレームのどこまでが転送開始可能かどうか判断します。システム・バスの能力などにより異なるため、この値はドライバ (HCD) から設定します。
15-14	—	Reserved (必ず "0" を書き込んでください)
13-0	FI[13:0]	FrameInterval FI フィールドは Full-Speed において、2 つの連続する StartOfFrame の間隔をビット時間で設定するために使用します。 USB 規格の 1 フレーム (= 1 ms) を満たすため FI フィールドの値は 2EDF _H に設定します。

(15) HcFmRemaining Register (Offset 38_H)

アクセス 32ビット単位でリードのみ可能です。

アドレス <USHA0_base_OHCI> + 38_H

初期値 0000 2EDF_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
FRT	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	FR13	FR12	FR11	FR10	FR9	FR8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0
R	R	R	R	R	R	R	R

表 31-41 HcFmRemaining Register レジスタの内容

ビット位置	ビット名	意味
31	FRT	Frame Remaining Toggle FRT ビットは HCD と HC 間のフレーム設定値の同期を取るために使用します。 HC は FR フィールドが 0 _H となり、FI フィールド値を再ロードする時に FIT ビットの値を FRT ビットにコピーします。 HCD は FIT ビットと FRT ビットの値を比較することにより、FI フィールドへの設定値が FR ビットへ設定されたことを確認することができます。
13:0	FR [13:0]	Frame Remaining FR フィールドはフレームの現在の値を示します。 経過時刻と共に FR フィールドの値はカウント・ダウンしていきます。 0 _H となるとフレームの値を再ロードするため、FI[13:0] ビットの値を FR フィールドにコピーし、再びカウント・ダウンします。

(16) HcFmNumber Register (Offset 3C_H)

アクセス 32ビット単位でリードのみ可能です。

アドレス <USHA0_base_OHCI> + 3C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
Frame Number15	Frame Number14	Frame Number13	Frame Number12	Frame Number11	Frame Number10	Frame Number9	Frame Number8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
Frame Number7	Frame Number6	Frame Number5	Frame Number4	Frame Number3	Frame Number2	Frame Number1	Frame Number0
R	R	R	R	R	R	R	R

表 31-42 HcFmNumber Register レジスタの内容

ビット位置	ビット名	意味
15-0	Frame Number [15:0]	FrameNumber フィールドは経過したフレーム数を示します。 FR フィールドが 0 _H となると、FrameNumber フィールドはカウント・アップします。

(17) HcPeriodicStart Register (Offset 40_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 40_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	Periodic Start13	Periodic Start12	Periodic Start11	Periodic Start10	Periodic Start9	Periodic Start8
R	R	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
Periodic Start7	Periodic Start6	Periodic Start5	Periodic Start4	Periodic Start3	Periodic Start2	Periodic Start1	Periodic Start0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-43 HcPeriodicStart Register レジスタの内容

ビット位置	ビット名	意味
31-14	—	Reserved (必ず "0" を書き込んでください)
13-0	Periodic Start [13:0]	PeriodicStart フィールド・フレームにおける Periodic リストと Async リストの転送割り合を決定するために使用します。 Host Controller の初期化時に HCD により PeriodicStart フィールドの値を設定する必要があります。 設定した値よりも FmRemaining の値が大きいときは、Periodic リストに対し NonPeriodic リストが優先されます。 この設定値は FmInterva の 10%減程度に設定することが OHCI 規格で推奨されており、代表的な値は 3E67 _H です。

(18) HcLSThreshold Register (Offset 44_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 44_H

初期値 0000 0628_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	HcLSThres -hold11	HcLSThres -hold10	HcLSThres -hold9	HcLSThres -hold8
R	R	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
HcLSThres -hold7	HcLSThres -hold6	HcLSThres -hold5	HcLSThres -hold4	HcLSThres -hold3	HcLSThres -hold2	HcLSThres -hold1	HcLSThres -hold0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-44 HcLSThreshold Register レジスタの内容

ビット位置	ビット名	意味
31-12	—	Reserved (必ず "0" を書き込んでください)
11-0	HcLSThres -hold [11:0]	HcLSThreshold フィールドは LS 転送時フレームの残り時間に対して転送が可能かのスレッシュホルド値の作成に用いられます。 FmRemaining の値がこの設定値よりも大きい場合には、LS の転送を開始することができます。

(19) HRDA (HcRhDescriptorA) レジスタ (Offset 48_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 48_H

初期値 FF00 0902_H どのリセット要因でも初期化されます。

	31	30	29	28	27	26	25	24
HRDA	POTPGT7	POTPGT6	POTPGT5	POTPGT4	POTPGT3	POTPGT2	POTPGT1	POTPGT0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8
	0	0	0	NOCP	OCPM	DT	NPS	PSM
	R	R	R	R/W	R/W	R	R/W	R/W
	7	6	5	4	3	2	1	0
	NDP7	NDP6	NDP5	NDP4	NDP3	NDP2	NDP1	NDP0
	R	R	R	R	R	R	R	R

表 31-45 HRDA (HcRhDescriptorA) レジスタの内容

ビット位置	ビット名	意味
31-24	POTPGT [7:0]	Power On To Power Good Time パワー・オンされたルート・ハブに対し Host Controller ドライバがアクセスする前に待機する時間を規定するビットです。時間単位は 2 ms である待機時間は POTPGT[7:0] ビット × 2 ms となります。
23-13	—	Reserved (必ず "0" を書き込んでください)
12	NOCP	No Over Current Protection ルート・ハブの過電流保護機能をサポートするかを規定するビットです。 1: 過電流保護機能をサポートしない 0: 過電流保護機能をサポートする
11	OCPM	Over Current Protection Mode ルート・ハブの過電流状態をどのように報告するかを規定するビットです。OCPM ビットは PSM ビットと同じモードを反映している必要があります。 1: 過電流状態はポート単位で報告される 0: すべてのポートは同時に過電流報告される OCPM ビットは NOCP ビットがクリア (0) されている場合のみ有効となります。
10	DT	Device Type ルート・ハブが複合デバイスでないことを示します。 ルート・ハブは複合デバイスであることを認められていないため、DT フィールドは常に "0" を読み出します。 DT ビットは、リードのみ可能です。
9	NPS	No Power Switching パワー・スイッチがサポートされているか、もしくはポートは常時パワー・オンかを規定するために使用されるビットです。 1: Host Controller が動作中は常にパワー・オンされる 0: ポートはパワー・スイッチされる
8	PSM	Power Switching Mode ルート・ハブのポート・パワー・スイッチをどのように制御するかを規定するためのビットです。 1: ポートは個別に電源制御される 0: すべてのポートは同時に電源制御される PPCM[15:0] ビットがセット (1) されていたらポートは Set/ClearPortPower だけに応答します。クリア (0) されている場合は Set/ClearGlobalPower によって制御されます。PSM ビットは NPS ビットがクリア (0) されている場合のみ有効となります。
7-0	NDP [7:0]	Number Downstream Port HostController のルート・ハブによりサポートされるダウン・ストリーム・ポート数を規定するフィールドです。 HostController は、2つのダウン・ストリーム・ポートを配備しているため 02 _H 固定です。 NDP[7:0] ビットは、リードのみ可能です。

(20) HcRhDescriptorB Register (Offset 4C_H)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 4C_H

初期値 0006 0000_H どのリセット要因でも初期化されます。

31	PPCM [15:0]								16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	DR [15:0]								0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-46 HcRhDescriptorB Register レジスタの内容

ビット位置	ビット名	意味										
31-16	PPCM [15:0]	<p>Port Power Control Mask ポートが Set/Clear GlobalPower によって制御されるかを示すビットです。 PSM ビットがセット (1) されているときに有効となります。</p> <ul style="list-style-type: none"> Field <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Reserved</td> </tr> <tr> <td>1</td> <td>ポート 1 に接続されているデバイスの設定</td> </tr> <tr> <td>2</td> <td>ポート 2 に接続されているデバイスの設定</td> </tr> <tr> <td>15-3</td> <td>Reserved</td> </tr> </tbody> </table> Value <p>1 : ポートは Set/ClearPortPower によってのみ作用される 0 : ポートは Set/ClearGlobalPower によって制御される</p> 	ビット	説明	0	Reserved	1	ポート 1 に接続されているデバイスの設定	2	ポート 2 に接続されているデバイスの設定	15-3	Reserved
ビット	説明											
0	Reserved											
1	ポート 1 に接続されているデバイスの設定											
2	ポート 2 に接続されているデバイスの設定											
15-3	Reserved											
15-0	DR [15:0]	<p>Device Removable HostController のポートがリムーバブルであることを示すビットです。</p> <ul style="list-style-type: none"> Field <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Reserved</td> </tr> <tr> <td>1</td> <td>ポート 1 に接続されているデバイスの設定</td> </tr> <tr> <td>2</td> <td>ポート 2 に接続されているデバイスの設定</td> </tr> <tr> <td>15-3</td> <td>Reserved</td> </tr> </tbody> </table> Value <p>1 : 接続されているデバイスはリムーバブルでない 0 : 接続されているデバイスはリムーバブル</p> 	ビット	説明	0	Reserved	1	ポート 1 に接続されているデバイスの設定	2	ポート 2 に接続されているデバイスの設定	15-3	Reserved
ビット	説明											
0	Reserved											
1	ポート 1 に接続されているデバイスの設定											
2	ポート 2 に接続されているデバイスの設定											
15-3	Reserved											

(21) HcRhStatus Register (Offset 50_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 50_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

(a) リード時

31	30	29	28	27	26	25	24
CRWE	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	OCIC	LPSC
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
DRWE	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCI	LPS
R	R	R	R	R	R	R	R

(b) ライト時

31	30	29	28	27	26	25	24
CRWE	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	OCIC	SGP
W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8
SRWE	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCI	CGP
W	W	W	W	W	W	W	W

表 31-47 HcRhStatus Register レジスタの内容

ビット位置	R/W	ビット名	意味
31	—	CRWE	Clear Remote Wakeup Enable DRWE ビットをクリア (0) するためのビットです。 CRWE ビットをセット (1) すると DRWE ビットをクリア (0) することができます。"0" の書き込みは影響しません。 CRWE フィールドを読み出すと常に "0" が出力されます。 CRWE ビットは、ライトのみ可能です。
30-18	—	—	Reserved (必ず "0" を書き込んでください)
17	—	OCIC	Over Current Indicate Change ビット 1 の OCI フィールドに変化があったことを通知するためのビットです。OCI ビットに変化があった場合にセット (1) されます。 OCIC ビットがセット (1) されているときに "1" を書き込むと、OCIC ビットをクリア (0) することができます。 1 : OverCurrent 状態に変化があった 0 : OverCurrent 状態に変化はない
16	R	LPSC	Local Power Status Change Local Power Status をサポートしていないため、LPSC ビットは常に "0" として読み出されます。
	W	SGP	Set Global Power グローバル・パワー・モード時にすべてのポートのパワーをオンするためのビットです。SGP ビットをセット (1) するとすべてのポートがパワー・オンします。 ポートごとのパワー・モードにおいては、PPCM[15:0] ビットがクリア (0) されているポートだけポート・パワーをオンします。
15	R	DRWE	Device Remote Wakeup Enable RemoteWakeUp イベントとして Connect Status Change を含むかどうかを示すビットです。 1 : Connect Status Change は RemoteWakeup 要因 0 : Connect Status Change は RemoteWakeup 要因でない DRWE ビットがセット (1) されている場合に Connect Status Change イベントが発生した場合、USB Suspend から USB Resume ステートへの遷移を起こし、ResumeDetect 割り込みを発生させます。
	W	SRWE	Set Remote Wakeup Enable DRWE をセット (1) するためのビットです。 SRWE ビットをセット (1) すると DeviceRemoteWakeupEnable をセット (1) することができます。"0" の書き込みでは何も影響しません。
14-2	—	—	Reserved (必ず "0" を書き込んでください)
1	—	OCI	Over Current Indicator グローバル過電流検出モードにおいて、過電流状態を報告するビットです。 1 : ポートは過電流状態 0 : ポート状態は正常 ポート単位の過電流報告時には、OCI ビットは "0" 固定となります。 OCI ビットは、リードのみ可能です。
0	R	LPS	Local Power Status LocalPowerStatus をサポートしていないため、LPS ビットは常に "0" として読み出されます。
	W	CGP	Clear Global Power グローバル・パワー・モード時にすべてのポートのパワーをオフするためのビットです。CGP ビットをセット (1) するとすべてのポートがパワー・オフします。 ポートごとのパワー・モードにおいては、PPCM[15:0] ビットがクリア (0) されているポートだけのポート・パワーをオフします。

(22) HcRhPortStatus1 Register (Offset 54_H)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <USHA0_base_OHCI> + 54_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

(a) リード時

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	PRSC	OCIC	PSSC	PESC	CSC
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	LSDA	PPS
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	PRS	POCI	PSS	PES	CSC
R	R	R	R	R	R	R	R

(b) ライト時

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W
23	22	21	20	19	18	17	16
0	0	0	PRSC	OCIC	PSSC	PESC	CSC
W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	CPP	SPP
W	W	W	W	W	W	W	W
7	6	5	4	3	2	1	0
0	0	0	SPR	CSS	SPS	SPE	CPE
W	W	W	W	W	W	W	W

表 31-48 HcRhPortStatus1 Register レジスタの内容 (1/3)

ビット位置	R/W	ビット名	意味
30-21	—	—	Reserved (必ず "0" を書き込んでください)
20	—	PRSC	Port Reset Status Change ポート・リセットが完了したことを示すビットです。 1: ポート・リセットが完了した 0: Port Reset Status に変化はない 10 ms のハードウェア・リセットが終了した場合にセット (1) されます。 ドライバにより "1" がセットされると PRSC ビットはクリア (0) されます。
19	—	OCIC	Over Current Indicate Change ポートの過電流状態を検出した場合にセット (1) されるビットです。 1: OverCurrent 状態に変化があった 0: OverCurrent 状態に変化はない ドライバ (HCD) により "1" がセットされると OCIC ビットはクリア (0) されます。
18	—	PSSC	Port Suspend Status Change Resume シーケンスが終了したことを示すビットです。 1: Resume が完了した 0: Port Suspend Status に変化はない ハードウェアによるすべての Resume 処理が終了した場合にセット (1) されます。 ドライバ (HCD) により "1" がセットされると PSSC ビットはクリア (0) されます。
17	—	PESC	Port Enable Status Change PES ビットがクリア (0) されたことを示すビットです。 1: PES ビットに変化があった (PES ビットクリア) 0: PES ビットに変化はない 過電流状態、ディスコネクト、パワーオフ、バブル・エラーなどハードウェア・イベントによりポートが Enable から Disable に変化した場合に、PES ビットがクリア (0) されるため、これに連動してセット (1) されるビットです。ドライバ (HCD) により "1" がセットされると PESC ビットはクリア (0) されます。
16	—	CSC	Connect Status Change CCS ビットが変化したことを示すビットです。 1: CCS ビットに変化があった 0: CCS ビットに変化はない CCS ビットがコネクタ・ディスコネクタにより変化する時に CSC ビットをセット (1) します。 またディスコネクト中にポート・リセット、ポート・サスペンド、ポート・イネーブルの要求があった場合もドライバにデバイス接続確認の再評価を行わせるために CSC ビットをセット (1) します。 ドライバ (HCD) により "1" がセットされると CSC ビットはクリア (0) されます。
15-10	—	—	Reserved (必ず "0" を書き込んでください)
9	R	LSDA	Low Speed Device Attached ポートに接続されたデバイス・スピードを示すビットです。 1: Low-Speed デバイスが接続 0: Full-Speed デバイスが接続 このステータス・ビットは CCS ビットがセットされているときのみに有効となります。
	W	CPP	Clear Port Power ポート・パワーをオフするためのビットです。 "1" を書き込むとポートをオフします。"0" の書き込みは影響しません。

表 31-48 HcRhPortStatus1 Register レジスタの内容 (2/3)

ビット位置	R/W	ビット名	意味
8	R	PPS	Port Power Status ポートの電源ステータスを反映するビットです。 1: ポート・パワーオン 0: ポート・パワーオフ パワー・スイッチのタイムにより制御方法が異なります。
	W	SPP	Set Port Power ポートごとのパワー制御が行われている場合にポート・パワーをオンにするビットです。"1" を書き込むとポートをオンします。"0" の書き込みは影響しません。
7-5	—	—	Reserved (必ず "0" を書き込んでください)
4	R	PRS	Port Reset Status ダウン・ストリーム・ポートに対し Reset 発行中であることを示すビットです。 1: ポート・リセット中 0: ポート・リセット中でない 10 ms のポート・リセットが完了すると PRSC ビットのセットと共にクリア (0) されます。CSC ビットがクリア (0) されているデバイス未接続状態ではセットすることはできません。
	W	SPR	Set Port Reset ダウン・ストリーム・ポートに対しポート・リセットを発行するためのビットです。 SPR ビットに "1" を書き込むと 10 ms のポート・リセットが起動します。CCS ビットがクリア (0) されているときに SPR ビットへの書き込みを行うと CSC ビットをセットしドライバにディスコネクト・ポートをリセットしようとしたことを通知します。"0" の書き込みは影響しません。
3	R	POCI	Port Over Current Indicator ダウン・ストリーム・ポートが過電流状態となったことを示すビットです。 1: ポートは過電流状態 0: ポートは通常状態
	W	CPS	Clear Port Suspend Suspend を終了させ Resume シーケンスを起動させるためのビットです。"1" を書き込むと Resume シーケンスを起動します。"0" の書き込みは影響しません。PSS ビットがセットされているときのみ Resume が起動します。
2	R	PSS	Port Suspend Status Port 状態が Suspend か Resume シーケンス中であることを示すビットです。 1: ポートは Suspend 中 0: ポートは通常転送状態 ポート状態は CCS ビットがクリア (0) されているデバイス未接続状態ではセットすることができません。 ポートは SPS ビットの書き込みでセットされます。 Resume の終わり / PortReset の終わり / USB Resume ステートに移行した場合にはクリア (0) されます。
	W	SPS	Set Port Suspend Port 状態を Suspend に遷移させるためのビットです。 "1" を書き込むとポートを Suspend へ移行します。"0" の書き込みは影響しません。 SPS ビットに "1" を書き込むと Port は Suspend に遷移します。CCS ビットがクリア (0) されているときに SPS ビットへの書き込みを行うと CSC ビットをセットし、ドライバにディスコネクト・ポートをサスペンドしようとしたことを通知します

表 31-48 HcRhPortStatus1 Register レジスタの内容 (3/3)

ビット位置	R/W	ビット名	意味
1	R	PES	Port Enable Status Port 状態が Enable か Disable かを示すビットです。 1 : ポート状態は Enable 0 : ポート状態は Disable CCS ビットがクリア (0) されているデバイス未接続状態ではセットすることができません。 ポート状態はポート・リセットの終了時に Enable 状態へ移行します。 過電流状態, ディスコネクト, パワーオフ, バブル・エラーなどを検出すると, 自動的にハードウェアによりクリア (0) されます。
	W	SPE	Set Port Enable PES ビットをセット (1) するためのビットです。 "0" の書き込みは影響しません。 ポート状態の遷移は PortReset にて行ってください。OHCI 規格では SPE ビットによる Port の Enable への遷移をサポートしておりますが, USB 規格ではサポートしていないためこの製品の Host Controller においても対応しておりません。
0	R	CCS	Current Connect Status ダウン・ストリーム・ポートの現在の接続ステータスを反映するビットです。 1 : デバイスが接続されている 0 : デバイスが接続されていない
	W	CPE	Clear Port Enable PES ビットをクリア (0) するためのビットです。 "1" を書き込むとポートを Disable へ移行します。"0" の書き込みは影響しません。

31.7.4 USB ホスト・コントローラからの割り込み

USB ホスト・コントローラでは、OHCI ホスト・コントローラからの割り込みを統合し、3種類の割り込みとしてシステムへ通知します。

表 31-49 USB ホスト・コントローラからの割り込み

システムへの割り込み通知信号	OHCI ホスト・コントローラが発生する割り込み通知信号
INTUSBH0	USBH ステータス割り込み (INTA または SMMI または PME)
INTUSBH1	USBH PCI サイクル・エラー
INTUSBH2	USBH PME 割り込み

各割り込み内容については次のとおりです。

(1) USB ステータス割り込み (INTUSBH0)

(a) 割り込み通知経路

OHCI ホスト・コントローラは、OHCI Operational レジスタと HcControlI レジスタの IR ビット設定に従い、INTA または SMMI 割り込みをシステムに通知します。HcControlI.IR ビットの初期設定により、リセット直後は INTA 割り込みが通知経路として選択されています。

INTA と SMMI は、OwnershipChange を除き、割り込みの発生要因になりません。

表 31-50 INTA と SMMI 割り込み通知経路

HcControl レジスタ IR ビット	割り込み通知信号
0	INTA (初期値)
1	SMMI

また、INTA, SMMI 割り込みを使用するためには、PCI ホスト・ブリッジ・レジスタで PCI Interrupt Control Register の inta_en, int_smmi_en ビットをセット (1) しておく必要があります。

(b) 割り込み要因

OpenHCI 規格で定義されている割り込みをサポートしています。

システムに通知する割り込み要因は HcInterruptEnable レジスタに設定し、IR ビットにて決定された割り込み経路に通知されます。

次に割り込み要因を示します。

表 31-51 INTA と SMMI 割り込み要因

割り込み要因	内容	
Scheduling Overrun	フレームにおける USB スケジュールがオーバーランしたことを示す割り込み	
Writeback DoneHead	HostController が TD を終了し Writeback が発生したことを示す割り込み	
Start Of Frame	フレームの開始時点で HccaFmNumber が更新されたことを示す割り込み	
Resume Detected	USB 上のデバイスからのレジューム信号を検出したことを示す割り込み	
Unrecoverable Error	USB と関係ないエラー (PCI のアボート) を検出したことを示す割り込み	
Frame Number Overflow	HcFmNumber Register の FrameNumber15 ビットが 0 → 1 または 1 → 0 に変化したことを示す割り込み	
Root Hub Status Change	HcRhStatus/HcRhPortStatus の内容が変化したことを示す割り込み 次の詳細イベントに分類されます	
	OverCurrentIndicateChange	過電流状態が発生したことを示す。
	Connect Status Change	USB バスに接続・切断が発生したことを示す。
	Port EnableStatusChange	USB のエラーにより Port が Disable に遷移したことを示す。
	Port Suspend Status Change	Resume シーケンスが完了したことを示す。
Port Reset Status Change	USB Reset が完了したことを示す。	
Ownership Change	Ownership Request が発生したことを示す割り込み SMMI にのみ通知されます	

(2) PCI サイクル・エラー割り込み (INTUSBH1)

PCI サイクル・エラー割り込み (INTUSBH1) は、OHCI, PCI バス・ブリッジ・レジスタ領域 (32 ビット・アクセス) に対してエラーとなるデータ・アクセスをした場合に発生する割り込みです。デバッグ時に使用する割り込みで、通常動作には使用しません。

(3) PME 割り込み (INTUSBH2)

PME 割り込み (INTUSBH2) はパワー・マネージメント用の割り込み信号であり、USB バスの変化を PCLK が不在状態でシステムに通知するための割り込み信号です。

USB バスに発生するイベントと割り込みサポートの可否は次の通りです。

表 31-52 PME 割り込み要因

イベント	割り込み発生可否
Over Current Indicate	発生しない
Connect	発生する
Disconnect	発生する
Resume (RemoteWakeUp)	発生する

PME 割り込みを使用するためには、PCI コンフィグレーション・レジスタで、Power_Management_Control/Status.PME Enable ビットと、PCI ホスト・ブリッジ・レジスタで、PCI Interrupt Control Register の int_pme_en ビットをセット (1) しておく必要があります。

第 32 章 イーサネット・コントローラ

32.1 概 説

イーサネット・コントローラは、IEEE802.3 に準拠した 10/100 Mbps Ethernet Media Access Controller (MAC) と、フロー制御機能を持つ FIFO、および RFC1071 に準拠したチェックサム計算機能を持ちます。

32.1.1 V850E2/MN4 イーサネット・コントローラの特徴

チャンネル この製品は次のチャンネル数のイーサネット・コントローラを搭載しています。

表 32-1 イーサネット・コントローラのチャンネル

イーサネット・コントローラ	μ PD70F3510	μ PD70F3512, 70F3514, 70F3515
チャンネル数	非搭載	1

レジスタ・アドレス イーサネット・コントローラのレジスタ・アドレスは、ベース・アドレス <ETHA0_base> または、<ETHA0C_base> からのオフセットで表されます。各イーサネット・コントローラのベース・アドレス <ETHA0_base> または <ETHA0C_base> を以下の表に示します。

表 32-2 レジスタ・ベース・アドレス

イーサネットの機能	ベース・アドレス	アドレス
MAC 制御レジスタ	ETHA0_Base	F993 2000 _H
統計カウンタ	ETHA0_Base	F993 2000 _H
FIFO コントローラ制御レジスタ	ETHA0_Base	F993 2000 _H
イーサネット・コントローラ専用 DMAC 制御レジスタ	ETHA0_Base	F993 2000 _H
送信用チェックサム専用 DMAC 制御レジスタ	ETHA0C_Base	F993 3000 _H

割り込み イーサネット・コントローラは以下の割り込み要求を生成することができます。

表 32-3 イーサネット・コントローラの割り込み要求

イーサネット・コントローラの信号	機能	接続先
INTETMRQ	イーサネット受信データ・レディ割り込み	• 割り込みコントローラ INTETHA0SRX
INTETMRX	イーサネット・パケット受信割り込み	• 割り込みコントローラ INTETHA0SCRX • DTS コントローラ・トリガ 120
INTETMTX	イーサネット・パケット送信割り込み	• 割り込みコントローラ INTETHA0SCTX • DTS コントローラ・トリガ 121
INTETMFS	イーサネット FIFO ステータス割り込み	• 割り込みコントローラ INTETHA0FS
INTETMTS	イーサネット送信ステータス割り込み	• 割り込みコントローラ INTETHA0TS
INTETMRS	イーサネット受信ステータス割り込み	• 割り込みコントローラ INTETHA0RS
INTETMOV	イーサネット MAC 割り込み	• 割り込みコントローラ INTETHA0MAC
IRQSCTX_TCH	イーサネット送信データ計算終了割り込み	• 割り込みコントローラ INTETHA0SCRXTCH
IRQSCRX_TCH	イーサネット送信チェックサム割り込み	• 割り込みコントローラ INTETHA0SCTXTCH

注意 イーサネット・コントローラは、割り込みを検出すると EICn.EIRFn ビットとして割り込み要求がラッチされます (n = 178 ~ 186)。このため、CPU が割り込みを受け付けて、割り込み制御レジスタ (EICn) の EIRFn ビットが自動的にクリア (0) されても、すぐに EICn.EIRFn ビットがセット (1) され、連続的に割り込みが発生します。この状態を回避するためには、割り込み処理ルーチン内で、各割り込み要求のクリア処理 (ステータス・フラグのクリア) を実施したあと、EICn.EIRFn ビットを強制的にクリア (0) してください。また、イーサネット受信データ・レディ割り込みについては、受信パケットを読み出した後、EIC178.EIRF178 ビットを強制的にクリア (0) してください。

ディスクリプタ/ データ・バッファの 配置制限

ディスクリプタやデータ・バッファは次の領域に配置可能です。

- Hバス共有メモリ
- セカンダリ・メモリ・コントローラに接続される外部メモリ

32.1.2 機能

(1) MAC 機能

- IEEE802.3 に準拠した 10/100 Mbps 全二重通信、および半二重通信、フロー制御をサポート
- 物理層デバイス (PHY) インタフェースとして MII をサポート
- シリアル・マネジメントによる PHY レジスタへのアクセスをサポート
- RMON/SNMP (RFC2665, RFC2819) をサポートするための統計カウンタ機能内蔵
- アドレス・タイプによるパケット・フィルタリング機能内蔵
- VLAN 検出機能内蔵

(2) FIFO 機能

- 送受信 FIFO サイズ : 送信 FIFO (2 K バイト), 受信 FIFO (2 K バイト)
- FIFO ステータス・レジスタ内蔵
- 送受信ステータス, FIFO ステータスにより割り込みを発生

(3) イーサネット・コントローラ専用 DMAC 機能

- データ転送 (DMA) 機能
- 受信ステータス DMA 転送可能
- バッファ・ディスクリプタの読み込み (ポインタ・チェーン形式), 解析, ライト・バック機能
- パケット転送各種割り込み制御機能

(4) チェックサム計算機能

- RFC1071 に準拠した送信チェックサム計算機能内蔵

送信チェックサム専用 DMAC により, 複数のチェックサムを連続計算し, 任意のアドレスに保存可能。

- RFC1071 に準拠した受信チェックサム計算機能内蔵

受信パケットに対して, MAC ヘッダ, FCS を自動判別して, 疑似ヘッダを除く受信データの検証用チェックサムを生成。

32.2 構成

32.2.1 システム構成

イーサネット・コントローラとしてのデータの送受信処理は、すべて専用DMACで行います。また、IEEE802.3のMII (Media Independent Interface) に準拠し、MIIに対応したPHYデバイスを接続することで、10 Mbps, 100 Mbps イーサネット環境を実現することができます。また、モードを切り替えることにより、全二重/半二重動作によるデータ通信が可能です。

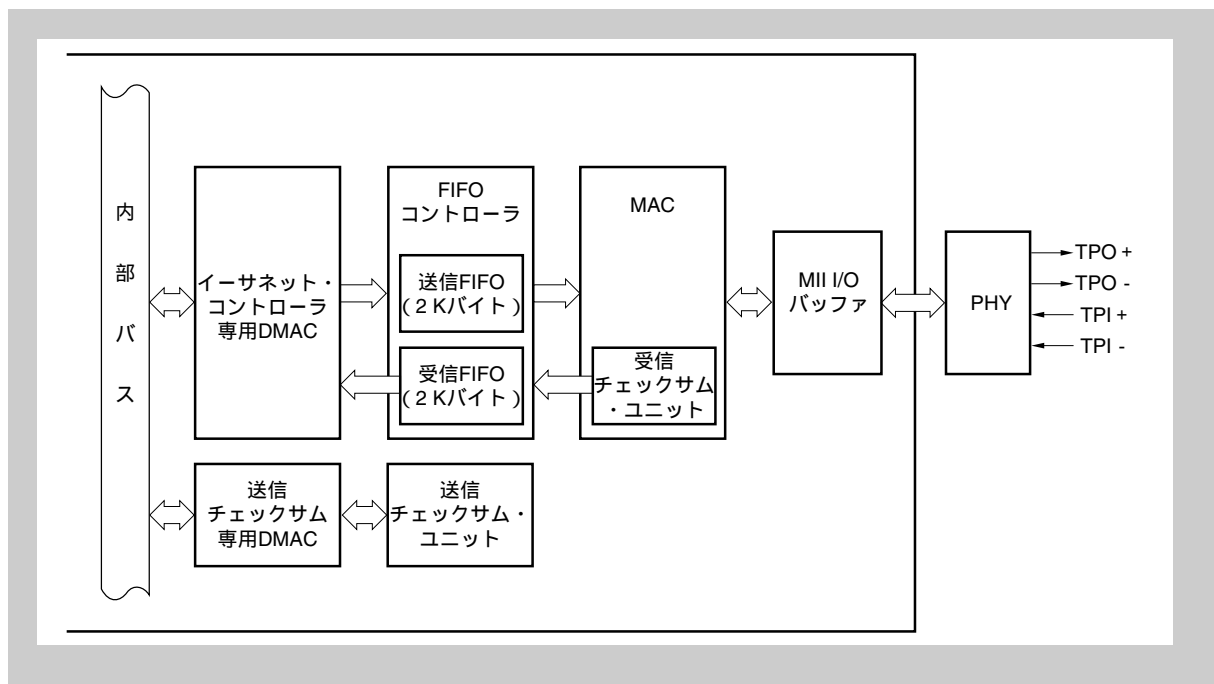


図 32-1 イーサネット・コントローラの構成

(1) MAC

MAC機能を内蔵し、外付けPHYデバイスとのMIIインタフェースをサポートしています。

- ・受信チェックサム・ユニット
受信チェックサム計算機能です。

(2) FIFOコントローラ

送受信のFIFOを制御しています。

送信用に2Kバイト、受信用に2KバイトのFIFOを内蔵しています。

(3) イーサネット・コントローラ専用DMAC

内部バスとのデータ送受信を行うための、DMAコントローラを内蔵しています。

注意 イーサネット・コントローラとしてのデータの送受信処理は、すべてイーサネット・コントローラ専用 DMAC で行います。レジスタのリード/ライトなどにより、パケット単位を任意に送受信する機能はありません。

(4) 送信チェックサム専用 DMAC

送信チェックサム機能のための、DMA コントローラを内蔵しています。

(5) 送信チェックサム・ユニット

送信チェックサムの計算機能のみを持つユニットです。送受信を行うインタフェースとは独立しており、送信データを送信チェックサム専用 DMA 機能とディスクリプタで計算、転送を行います。

32.2.2 割り込み名称

イーサネット・コントローラの割り込み要因を次に示します。

表 32-4 割り込み要求信号一覧

割り込み要求		割り込み要因
INTETHA0SRX	イーサネット受信データ・レディ割り込み	受信パケット読み出し要求
INTETHA0SCRX	イーサネット・パケット受信割り込み	パケット受信 (DMA) 完了の割り込み (RXI)
		受信 (DMA) エンド・オブ・チェーン割り込み (RECI)
		受信データ・バッファ・アクセス・エラー割り込み (RBEI)
INTETHA0SCTX	イーサネット・パケット送信割り込み	パケット送信 (DMA) 完了の割り込み (TXI)
		送信 (DMA) エンド・オブ・チェーン割り込み (TECI)
		送信データ・バッファ・アクセス・エラー割り込み (TBEI)
INTETHA0FS	イーサネット FIFO ステータス割り込み	FIFO ステータス (ETHA0FSTATUS) 割り込み
INTETHA0TS	イーサネット送信ステータス割り込み	送信ステータス (ETHA0TXSTATUS) 割り込み
INTETHA0RS	イーサネット受信ステータス割り込み	受信ステータス (ETHA0RXSTATUS) 割り込み
INTETHA0MAC	イーサネット MAC 割り込み	統計カウンタ・オーバフロー (CARRY ステータス)
INTETHA0SCTXTCH	イーサネット送信データ計算終了割り込み	1 送信チェックサム計算終了の割り込み (TCH_TXI)
		全送信チェックサム計算終了の割り込み (TCH_TECI)
		送信チェックサム・バッファ・アクセス・エラー割り込み (TCH_TBEI)
		送信チェックサム計算一時停止割り込み (TCH_RUPI)
INTETHA0SCRXTCH	イーサネット送信チェックサム割り込み	1 送信チェックサム書き込み完了の割り込み (TCH_RXI)
		全送信チェックサム書き込み完了の割り込み (TCH_RECI)
		データ書き込みエラー割り込み (TCH_RBEI)

- 各割り込み要因は、要因ごとに割り込みマスクを設定可能です。割り込みをマスクしている場合に割り込み要因が発生した場合、対応するステータス・レジスタはセットされますが、割り込み要求は発生しません。
- 同時にいくつかの要因が発生する場合には、割り込みレジスタを読み出すことを推奨します。

32.3 初期設定

V850E2/MN4 のイーサネット・コントローラを使用する際には、次の手順で初期化を行ってください。

1. イーサネット・コントローラの動作許可
2. Media Access Controller (MAC) の初期化
3. FIFO コントローラの初期化
4. DMA コントローラの初期化
5. 各種割り込みの設定

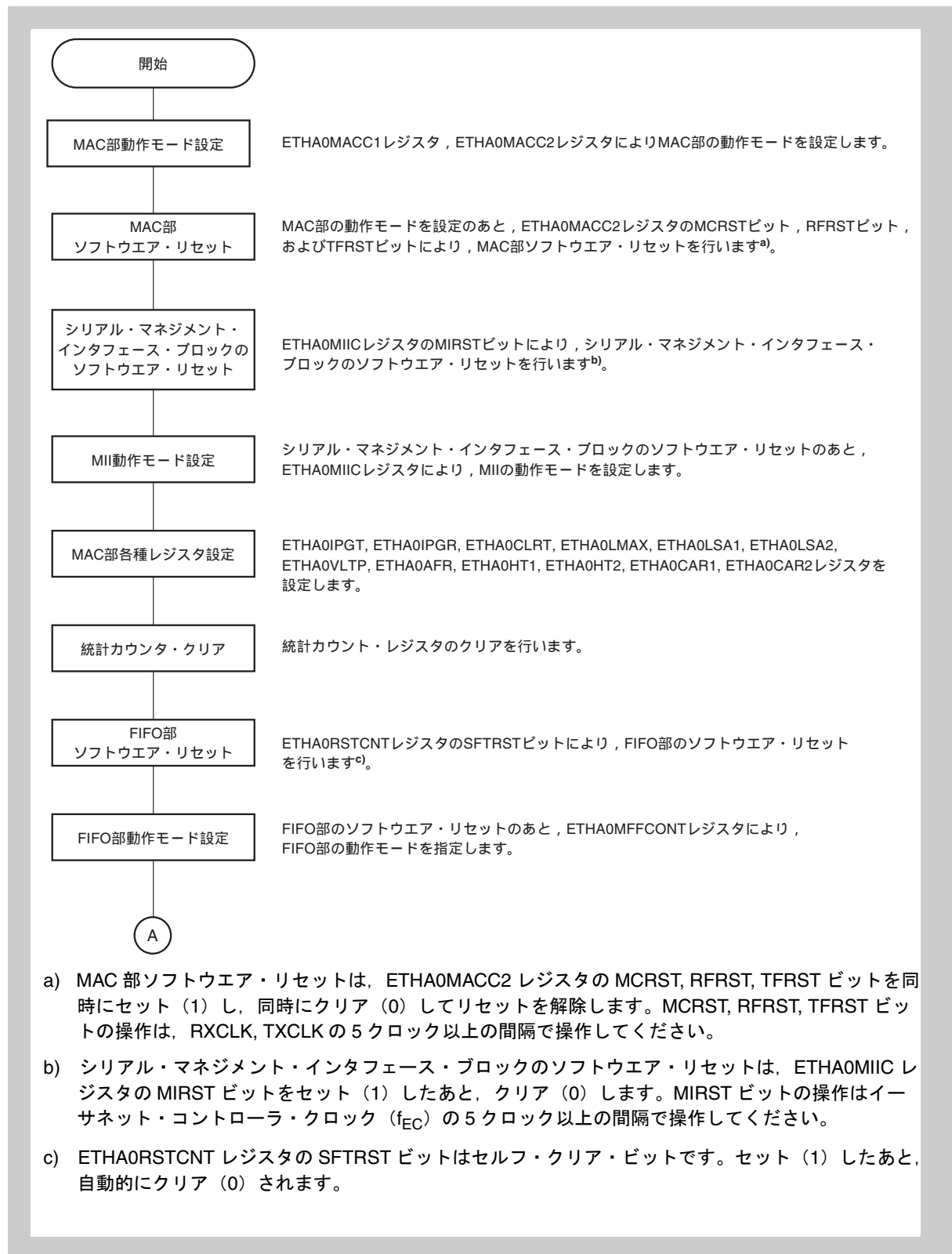


図 32-2 イーサネット・コントローラ初期化 (1/2)



図 32-3 イーサネット・コントローラ初期化 (2/2)

32.3.1 ソフトウェア・リセット

システムが不安定になった場合や、動作モードを変更したときに前モードの影響を受けるのを防ぐために、ソフトウェア・リセットによりイーサネット・コントローラを初期化することができます。

ソフトウェア・リセットの場合、MAC部分の制御レジスタは初期化されませんが、FIFOコントローラ、イーサネット・コントローラ専用DMACのレジスタは初期化されるので、動作モード/割り込みマスクの再設定が必要です。

ソフトウェア・リセット時は、FIFO中のパケットを破棄して下さい。

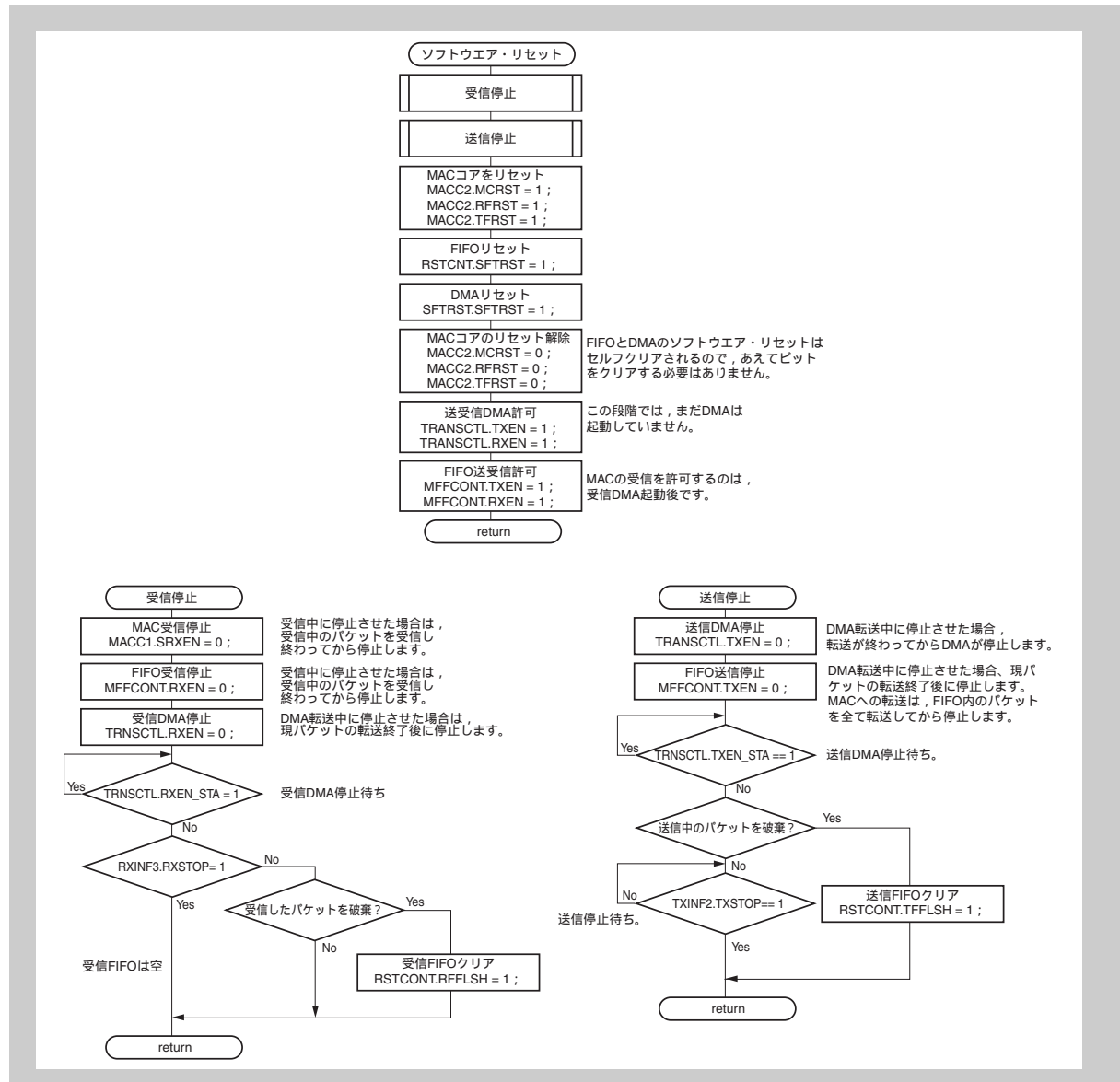


図 32-4 ソフトウェア・リセットと再起動フロー

32.4 イーサネット・コントローラ制御レジスタ

(1) レジスタ設定手順

制御レジスタの値を更新する場合、フレームの送受信／DMAが停止している状態で行ってください。

動作中にレジスタの更新を行った場合、動作は保証しません。

注意 イーサネットを使用する場合、最初に FIFO コントローラ・コントロール・レジスタ (ETHA0MFFCONT) を設定してください。詳細は 32.4.3(1) 「ETHA0MFFCONT : FIFO コントローラ・コントロール・レジスタ」を参照してください。

(2) レジスタ一覧

表 32-5 レジスタ一覧 (MAC 制御レジスタ)

オフセット・アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
0000 _H	ETHA0MACC1	MAC 設定レジスタ 1	R/W			○	不定
0004 _H	ETHA0MACC2	MAC 設定レジスタ 2	R/W			○	不定
0008 _H	ETHA0IPGT	Back-to-Back IPG レジスタ	R/W			○	不定
000C _H	ETHA0IPGR	NON Back-to-Back IPG レジスタ	R/W			○	不定
0010 _H	ETHA0CLRT	コリジョン・レジスタ	R/W			○	不定
0014 _H	ETHA0LMAX	最大パケット長レジスタ	R/W			○	不定
0054 _H	ETHA0LSA1	ステーション・アドレス・レジスタ 1	R/W			○	不定
0058 _H	ETHA0LSA2	ステーション・アドレス・レジスタ 2	R/W			○	00000000 _H
005C _H	ETHA0PTVR	ポーズ・タイマ値リード・レジスタ	R			○	不定
0064 _H	ETHA0VLTP	VLAN タイプ・レジスタ	R/W			○	不定
0080 _H	ETHA0MIIC	シリアル・マネジメント・インタフェース・ コンフィギュレーション・レジスタ	R/W			○	不定
0094 _H	ETHA0MCMD	MII コマンド・レジスタ	W			○	不定
0098 _H	ETHA0MADR	MII アドレス・レジスタ	R/W			○	不定
009C _H	ETHA0MWTD	MII ライト・データ・レジスタ	R/W			○	不定
00A0 _H	ETHA0MRDD	MII リード・データ・レジスタ	R			○	不定
00A4 _H	ETHA0MIND	MII インジケータ・レジスタ	R			○	不定
00C8 _H	ETHA0AFR	アドレス・フィルタ・レジスタ	R/W			○	不定
00CC _H	ETHA0HT1	HASH テーブル・レジスタ 1	R/W			○	00000000 _H
00D0 _H	ETHA0HT2	HASH テーブル・レジスタ 2	R/W			○	00000000 _H
00DC _H	ETHA0CAR1	キャリー・レジスタ 1	R/W			○	不定
00E0 _H	ETHA0CAR2	キャリー・レジスタ 2	R/W			○	不定
0130 _H	ETHA0CAM1	キャリー・マスク・レジスタ 1	R/W			○	不定
0134 _H	ETHA0CAM2	キャリー・マスク・レジスタ 2	R/W			○	不定

表 32-6 レジスタ一覧 (統計カウンタ)

オフセット・アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
0140 _H	ETHA0RBYT	受信バイト・カウンタ	R/W			○	00000000 _H
0144 _H	ETHA0RPKT	受信パケット・カウンタ	R/W			○	00000000 _H
0148 _H	ETHA0RFCS	受信 FCS エラー・フレーム・カウンタ	R/W			○	00000000 _H
014C _H	ETHA0RMCA	受信マルチキャスト・パケット・カウンタ	R/W			○	00000000 _H
0150 _H	ETHA0RBCA	受信ブロードキャスト・パケット・カウンタ	R/W			○	00000000 _H
0154 _H	ETHA0RXC	受信コントロール・フレーム・パケット・カウンタ	R/W			○	00000000 _H
0158 _H	ETHA0RXP	受信ポーズ・フレーム・パケット・カウンタ	R/W			○	00000000 _H
015C _H	ETHA0RXU	受信未定義コントロール・パケット・カウンタ	R/W			○	00000000 _H
0160 _H	ETHA0RALN	受信アライメント・エラー・カウンタ	R/W			○	00000000 _H
0164 _H	ETHA0RFLR	受信フレーム長エラー・カウンタ	R/W			○	00000000 _H
0168 _H	ETHA0RCDE	受信コード・エラー・カウンタ	R/W			○	00000000 _H
016C _H	ETHA0RFCR	受信 False Carrier カウンタ	R/W			○	00000000 _H
0170 _H	ETHA0RUND	受信アンダサイズ・パケット・カウンタ	R/W			○	00000000 _H
0174 _H	ETHA0ROVR	受信オーバサイズ・パケット・カウンタ	R/W			○	00000000 _H
0178 _H	ETHA0RFRG	受信フラグメント・カウンタ	R/W			○	00000000 _H
017C _H	ETHA0RJBR	受信ジャバー・カウンタ	R/W			○	00000000 _H
0180 _H	ETHA0R64	受信 64 バイト・フレーム・カウンタ	R/W			○	00000000 _H
0184 _H	ETHA0R127	受信 65-127 バイト・フレーム・カウンタ	R/W			○	00000000 _H
0188 _H	ETHA0R255	受信 128-255 バイト・フレーム・カウンタ	R/W			○	00000000 _H
018C _H	ETHA0R511	受信 256-511 バイト・フレーム・カウンタ	R/W			○	00000000 _H
0190 _H	ETHA0R1K	受信 512-1023 バイト・フレーム・カウンタ	R/W			○	00000000 _H
0194 _H	ETHA0RMAX	受信 1024-RMAX バイト・フレーム・カウンタ	R/W			○	00000000 _H
0198 _H	ETHA0RVBT	受信有効バイト・カウンタ	R/W			○	00000000 _H
01C0 _H	ETHA0TBYT	送信バイト・カウンタ	R/W			○	00000000 _H
01C4 _H	ETHA0TPKT	送信パケット・カウンタ	R/W			○	00000000 _H
01C8 _H	ETHA0TFCS	送信 FCS エラー・フレーム・カウンタ	R/W			○	00000000 _H
01CC _H	ETHA0TMCA	送信マルチキャスト・パケット・カウンタ	R/W			○	00000000 _H
01D0 _H	ETHA0TBCA	送信ブロードキャスト・パケット・カウンタ	R/W			○	00000000 _H
01D4 _H	ETHA0TUCA	送信ユニキャスト・パケット・カウンタ	R/W			○	00000000 _H
01D8 _H	ETHA0TXPF	送信ポーズ・コントロール・フレーム・カウンタ	R/W			○	00000000 _H
01DC _H	ETHA0TDFR	送信遅延パケット・カウンタ	R/W			○	00000000 _H
01E0 _H	ETHA0TXDF	送信過剰遅延パケット・カウンタ	R/W			○	00000000 _H
01E4 _H	ETHA0TSCL	送信シングル・コリジョン・パケット・カウンタ	R/W			○	00000000 _H
01E8 _H	ETHA0TMCL	送信マルチプル・コリジョン・パケット・カウンタ	R/W			○	00000000 _H
01EC _H	ETHA0TLCL	送信レイト・コリジョン・パケット・カウンタ	R/W			○	00000000 _H
01F0 _H	ETHA0TXCL	送信過剰コリジョン・パケット・カウンタ	R/W			○	00000000 _H
01F4 _H	ETHA0TNCL	送信トータル・コリジョン・カウンタ	R/W			○	00000000 _H
01F8 _H	ETHA0TCSE	送信キャリア・センス・エラー・カウンタ	R/W			○	00000000 _H
01FC _H	ETHA0TIME	MAC 内部エラー・カウンタ	R/W			○	00000000 _H

表 32-7 レジスタ一覧 (FIFO コントローラ制御)

オフセット・アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
0200 _H	ETHA0MFFCONT	FIFO コントローラ・コントロール・レジスタ	R/W			○	不定
0204 _H	ETHA0RSTCNT	ソフト・リセット制御 レジスタ	R/W			○	不定
0218 _H	ETHA0FLOWTH	フロー制御閾値レジスタ	R/W			○	不定
021C _H	ETHA0PAUSETM	ポーズ・タイマ値レジスタ	R/W			○	7FFFFFFF _H
0220 _H	ETHA0RXERSEL	受信エラー選択レジスタ	R/W			○	不定
0230 _H	ETHA0TXSTMONI1	送信ステータス・モニタ 1 レジスタ	R			○	不定
0234 _H	ETHA0TXSTMONI2	送信ステータス・モニタ 2 レジスタ	R			○	00000000 _H
0238 _H	ETHA0TXFINF1	送信ステータス 1 レジスタ	R			○	不定
023C _H	ETHA0TXFINF2	送信ステータス 2 レジスタ	R			○	不定
0240 _H	ETHA0RXSTMONI	受信ステータス・モニタ・レジスタ	R			○	00000000 _H
0244 _H	ETHA0RXFINF1	受信ステータス 1 レジスタ	R			○	不定
0248 _H	ETHA0RXFINF2	受信ステータス 2 レジスタ	R			○	不定
024C _H	ETHA0RXFINF3	受信ステータス 3 レジスタ	R			○	不定
0250 _H	ETHA0FSTATUS	FIFO ステータス割り込みレジスタ	R			○	不定
0254 _H	ETHA0FSTATMK	FIFO ステータス割り込みマスク・レジスタ	R/W			○	不定
0258 _H	ETHA0TXSTATUS	送信ステータス割り込みレジスタ	R			○	不定
025C _H	ETHA0TXSTATMK	送信ステータス割り込みマスク・レジスタ	R/W			○	不定
0260 _H	ETHA0RXSTATUS	受信ステータス割り込みレジスタ	R			○	不定
0264 _H	ETHA0RXSTATMK	受信ステータス割り込みマスク・レジスタ	R			○	不定
0270 _H	ETHA0TXABTCNT	送信アボート・カウンタ・レジスタ	R/W			○	不定
0274 _H	ETHA0RXABTCNT	受信アボート・カウンタ・レジスタ	R			○	不定

表 32-8 レジスタ一覧（イーサネット・コントローラ専用 DMAC）

オフセット・アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
0300 _H	ETHA0MODE	コア・ファンクション制御レジスタ	R/W			○	不定
0304 _H	ETHA0INTMS	割り込み制御レジスタ	R/W			○	不定
0308 _H	ETHA0TRANSCTL	転送制御レジスタ	R/W			○	不定
030C _H	ETHA0SFTRST	ソフトウェア・リセット制御レジスタ	R/W			○	不定
0310 _H	ETHA0DMACM	DMAC モード制御レジスタ	R/W			○	不定
0320 _H	ETHA0RXDP	受信ディスクリプタ・ポインタ・レジスタ	R/W			○	FFFFFFFF _{C_H}
0324 _H	ETHA0LSTRXDP	最終受信ディスクリプタ・ポインタ・レジスタ	R			○	FFFFFFFF _{C_H}
0328 _H	ETHA0TXDP	送信ディスクリプタ・ポインタ・レジスタ	R/W			○	FFFFFFFF _{C_H}
032C _H	ETHA0LSTTXDP	最終送信ディスクリプタ・ポインタ・レジスタ	R			○	FFFFFFFF _{C_H}

表 32-9 レジスタ一覧（送信チェックサム専用 DMAC 制御）

オフセット・アドレス	略号	レジスタ名称	R/W	操作可能ビット			初期値
				8	16	32	
0300 _H	ETHA0CMODE	送信チェックサム・ユニット・ファンクション設定レジスタ	R/W			○	不定
0304 _H	ETHA0CINTMS	送信チェックサム割り込みレジスタ	R/W			○	不定
0308 _H	ETHA0CTRANCTL	送信チェックサム転送制御レジスタ	R/W			○	不定
030C _H	ETHA0CSFTRST	送信チェックサム・ソフト・リセット・レジスタ	R/W			○	不定
0310 _H	ETHA0CDMACM	送信チェックサム DMA 制御モード設定レジスタ	R/W			○	不定
0320 _H	ETHA0CRXDP	送信チェックサム受信ディスクリプタ・ポインタ	R/W			○	FFFFFFFF _{C_H}
0324 _H	ETHA0CLSTRXDP	送信チェックサム・ラスト受信ディスクリプタ・ポインタ	R/W			○	FFFFFFFF _{C_H}
0328 _H	ETHA0CTXDP	送信チェックサム送信ディスクリプタ・ポインタ	R/W			○	FFFFFFFF _{C_H}
032C _H	ETHA0CLSTTXDP	送信チェックサム・ラスト送信ディスクリプタ・ポインタ	R/W			○	FFFFFFFF _{C_H}

32.4.1 MAC 制御レジスタ

(1) ETHA0MACC1 : MAC 設定レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0000_H

初期値 不定

- 注意**
- 動作モード設定後に、必ずソフトウェア・リセットを実行してください。ソフトウェア・リセットは、ETHA0MACC2.MCRST, RFRST, TFRST ビットを同時にセット (1) し、同時にクリア (0) してリセットを解除してください。
 - ビット 31-15, 13, 12, 4 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	MACLB	—	—	TXFC	RXFC	SRXEN	PARF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PUREP	FLCHT	NOBO	—	CRCEN	PADEN	FULLD	HUGEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-10 ETHA0MACC1 レジスタの内容 (1/2)

ビット位置	ビット名	意味
14	MACLB	MAC ループ・バック 0 : ループ・バック動作は無効です。 1 : MAC 内部で送信部から受信部へループ・バックします。 ループ・バックで動作させるときは、FULLD ビットを 1 にし、全二重動作をイネーブルにしてください。
11	TXFC	送信フロー・コントロール・イネーブル 0 : TPCF 信号入力によるポーズ・コントロール・フレームの送信を禁止します。 1 : TPCF 信号入力によるポーズ・コントロール・フレームの送信を許可します。
10	RXFC	受信フロー・コントロール・イネーブル 0 : ポーズ動作を実行しません。 1 : ポーズ・タイマに設定されているポーズ時間中、ポーズ動作を実行します。 ポーズ・タイマの値はこのビットの設定に関係なく、有効なポーズ・コントロール・フレームを受信すると更新されます。
9	SRXEN	受信イネーブル 0 : 受信禁止状態 1 : 受信データ・インタフェースの機能が有効になります。FULLD ビットの設定にかかわらず、CRS 信号がアサートされているときに、このビットの設定を変更した場合、CRS 信号がディアサートされてから設定変更が有効になります。

表 32-10 ETHA0MACC1 レジスタの内容 (2/2)

ビット位置	ビット名	意味
8	PARF	コントロール・パケット・パス 0: コントロール・フレームをコントロール・フレームとして判断します。 1: コントロール・フレームを含むすべての受信パケットに対し、コントロール・フレームではないと判断します。また、PARF ビット = 1 の場合には、RXFC ビットの設定にかかわらず、有効なポーズ・コントロール・フレームを受信してもポーズ・タイムの値は更新されません。
7	PUREP	ピュア・プリアンプル 0: プリアンプルのデータはチェックしません。 1: 不正なプリアンプルを選出すると、受信ステータス割り込みが発生します。
6	FLCHT	レングス・フィールド・チェック 0: レングス・フィールドのチェックを行いません。 1: レングス・フィールドの値とデータ・フィールド長をチェックし、ステータス割り込みが発生します。
5	NOBO	ノー・バックオフ 0: バックオフ・アルゴリズムによるパケット送信を行います 1: 常にバックオフせずにパケット送信を行います。
3	CRCEN	CRC 付加 0: CRC を付加しません。 送信パケットの最後は有効な FCS である必要があります。MAC は、FCS をチェックし、FCS の値が正しくない場合は、送信ステータス割り込み (ETHA0TXSTATUS) でエラーを通知します。 1: 自動的にパケット末尾に CRC を付加します。 送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス (FCS) を追加します。
2	PADEN	PAD 付加 0: PAD を付加しません。 1: パケット長が 64 バイトに満たないとき、パディングを行います。CRCEN ビットの設定にかかわらずパケットの末尾に自動的に CRC を付加します。
1	FULLD	全二重イネーブル 0: 半二重動作 1: 全二重動作
0	HUGEN	ヒュージ・パケット・イネーブル 0: 最大パケット長レジスタ (ETHA0LMAX) 値を越えたパケットの送受信を中断します。 1: 最大パケット長レジスタ (ETHA0LMAX) 値を越えたパケットの送受信を中断しません。

(2) ETHA0MACC2 : MAC 設定レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0004_H

初期値 不定

- 注意**
- 動作モード設定後に、必ずソフトウェア・リセットを実行してください。ソフトウェア・リセットは、ETHA0MACC2 レジスタの MCRST, RFRST, TFRST ビットを同時にセット (1) し、同時にクリア (0) してリセットを解除してください。これらのリセット・ビットは、RXCLK, TXCLK の 5 クロック以上の間隔で操作してください。
 - ビット 31-11, 7, 3-0 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	MCRST	RFRST	TFRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	BPNB	APD	VPD	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-11 ETHA0MACC2 レジスタの内容

ビット位置	ビット名	意味
10	MCRST	MAC 制御部ソフトウェア・リセット 0 : MAC 制御部のソフトウェア・リセットを解除します。 1 : MAC 制御部のソフトウェア・リセットをします。
9	RFRST	受信ブロック・ソフトウェア・リセット 0 : 受信ブロックのソフトウェア・リセットを解除します。 1 : 受信ブロックのソフトウェア・リセットをします。
8	TFRST	送信ブロック・ソフトウェア・リセット 0 : 送信ブロックのソフトウェア・リセットを解除します。 1 : 送信ブロックのソフトウェア・リセットをします。
6	BPNB	Back Pressure No Back Off 1 に設定すると、バック・プレッシャー後の送信にかぎり、バックオフしません。
5	APD	オート VLAN パッド ETHA0VLTP レジスタに登録された VLAN タイプと一致するパケットが送信された場合、VLAN パケットとして扱い、PAD を付加します。
4	VPD	VLAN パッド・モード 送信するパケットを必ず VLAN パケットとして扱い、PAD を付加します。

(3) ETHA0IPGT : Back-to-Back IPG レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0008_H

初期値 不定

注意 ビット 31-7 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	IPGT						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-12 ETHA0IPGT レジスタの内容

ビット位置	ビット名	意味
6:0	IPGT	Back-To-Back 時の IPG : Back-To-Back 時のパケット間ギャップ (IPG) を設定します。計算式は次のとおりです。 ・ IPG = (5 + IPGT) × 4 ビット・タイム (1 ビット・タイム = 10 Mbps 時 : 100 ns, 100 Mbps 時 : 10 ns) IEEE802.3 の規格を満たすためには、IPG ≥ 96 ビット・タイムとなるように設定してください (32.5.2(5) 「パケット間ギャップ (IPG)」参照)。

(4) ETHA0IPGR : Non Back-to-Back IPG レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 000C_H

初期値 不定

注意 ビット 31-15, 7 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	IPGR1						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	IPGR2						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-13 ETHA0IPGR レジスタの内容

ビット位置	ビット名	意味
14:8	IPGR1	キャリア・センス期間 Back-To-Back 時以外で、IPG 前半のキャリア・センス期間を設定します。計算式は次のとおりです。 ・キャリア・センス期間 = (2 + IPGR1) × 4 ビット・タイム IEEE802.3 の規格を満たすためには、キャリア・センス期間 = 2/3IPG となるように設定してください (32.5.2(5) 「パケット間ギャップ (IPG)」参照)。
6:0	IPGR2	Back-To-Back 時以外の IPG Back-To-Back 時以外における IPG を設定します。計算式は次のとおりです。 ・IPG = (5 + IPGR2) × 4 ビット・タイム IPGR1 で設定されるキャリア・センス期間は、IPGR2 設定される IPG の中に含まれます。 IEEE802.3 の規格を満たすためには、IPG ≥ 96 ビット・タイムとなるように設定してください (32.5.2(5) 「パケット間ギャップ (IPG)」参照)。

(5) ETHA0CLRT : コリジョン・レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0010_H

初期値 不定

注意 ビット 31-14, 7-4 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	LCOL					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	RETRY					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-14 ETHA0CLRT レジスタの内容

ビット位置	ビット名	意味
13:8	LCOL	コリジョン・ウインドウ コリジョン・ウインドウ幅を設定します。設定されるコリジョン・ウインドウの幅は次の式で与えられます。 ・コリジョン・ウインドウ幅 = (LCOL + 8) × 8 ビット・タイム IEEE 802.3 の規格では、コリジョン・ウインドウ幅 = 512 ビット・タイムとなっています。
3:0	RETRY	コリジョン発生時最大再送回数 コリジョンが発生した場合の最大再送信回数を設定します。この値以内で再送信が完了しない場合は、送信をアポートします。この値は最大衝突回数を示しています。 IEEE802.3 の規格では、最大衝突回数 = 15 回となっています。

(6) ETHA0LMAX : 最大パケット長レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0014_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
MAXF15	MAXF14	MAXF13	MAXF12	MAXF11	MAXF10	MAXF9	MAXF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
MAXF7	MAXF6	MAXF5	MAXF4	MAXF3	MAXF2	MAXF1	MAXF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-15 ETHA0LMAX レジスタの内容

ビット位置	ビット名	意味
15:0	MAXF[15:0]	最大パケット長 (バイト) ETHA0MACC1.HUGEN ビットが 0 のとき、送受信パケット長がこの値で制限されます。 受信時：受信フレーム長が MAXF の値を越えると、すぐに受信を終了します。 送信時：送信フレーム長が MAXF の値を越えると、すぐに送信アボートします。

(7) ETHA0LSA1 : ステーション・アドレス・レジスタ 1

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。ETHA0LSA2 レジスタと組み合わせて 48 ビットのレジスタとして使用します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0054_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
LSA115	LSA114	LSA113	LSA112	LSA111	LSA110	LSA109	LSA108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
LSA17	LSA16	LSA15	LSA14	LSA13	LSA12	LSA11	LSA10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-16 ETHA0LSA1 レジスタの内容

ビット位置	ビット名	意味
15:0	LSA1[15:0]	ステーション・アドレス SA (47 : 32) SA (47 : 0) は、ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用されます (32.5.7 (1) (a) 「ユニキャスト・アドレスのフィルタリング」参照)。

(8) ETHA0LSA2 : ステーション・アドレス・レジスタ 2

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。ETHA0LSA1 レジスタと組み合わせて48ビットのレジスタとして使用します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0058_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
LSA231	LSA230	LSA229	LSA228	LSA227	LSA226	LSA225	LSA224
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
LSA223	LSA222	LSA221	LSA220	LSA219	LSA218	LSA217	LSA216
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
LSA215	LSA214	LSA213	LSA212	LSA211	LSA210	LSA209	LSA208
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
LSA207	LSA206	LSA205	LSA204	LSA203	LSA202	LSA201	LSA200
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-17 ETHA0LSA2 レジスタの内容

ビット位置	ビット名	意味
31:0	LSA2[31:0]	ステーション・アドレス SA[31:0] SA[47:0] は、ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用されます (32.5.7 (1) (a) 「ユニキャスト・アドレスのフィルタリング」参照)。

(9) ETHA0PTVR : ポーズ・タイマ値リード・レジスタ

ポーズ・タイマ・カウンタの値を読み出すレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 005C_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
PTCT15	PTCT14	PTCT13	PTCT12	PTCT11	PTCT10	PTCT9	PTCT8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PTCT7	PTCT6	PTCT5	PTCT4	PTCT3	PTCT2	PTCT1	PTCT0
R	R	R	R	R	R	R	R

表 32-18 ETHA0PTVR レジスタの内容

ビット位置	ビット名	意味
15:0	PTCT[15:0]	ポーズ・タイマ・カウンタ 現在ポーズ・タイマに設定されている値を示します。受信フロー制御が許可されている間（ETHA0MACC1.RXFC ビット = 1 である間）のみ、このレジスタは有効な値を持ちます（32.5.4(1)「フロー制御」参照）

(10) ETHA0VLTP : VLAN タイプ・レジスタ

VLAN タイプを指定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 0064_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
VLTP15	VLTP14	VLTP13	VLTP12	VLTP11	VLTP10	VLTP9	VLTP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
VLTP7	VLTP6	VLTP5	VLTP4	VLTP3	VLTP2	VLTP1	VLTP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-19 ETHA0VLTP レジスタの内容

ビット位置	ビット名	意味
15:0	VLTP[15:0]	VLAN タイプ VLAN タイプを指定します (32.5.4(3) 「VLAN フレームに対する動作」参照)。 受信時: VLTP[15:0] の値と TPID フィールド (ソース・アドレスに続く 2 バイト) の値を比較し, VLAN フレームの検出をします。 送信時: ETHA0MACC2.APD ビットが 1 のとき, VLAN フィールドと VLTP[15:0] の値が一致すれば, VLAN フレームとして PAD の付加を行います。

(11) ETHA0MIIC : シリアル・マネジメント・インタフェース・コンフィギュレーション・レジスタ

シリアル・マネジメント・インタフェース・ブロックの動作モードを設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0080_H

初期値 不定

- 注意**
- MIRST ビットの操作はイーサネット・コントローラ・クロック (f_{EC}) の 5 クロック以上の間隔で操作してください。
 - ビット 31-16, 14-5, 0 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
MIRST	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	CLKS2	CLKS1	CLKS0	PHYSEL	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-20 ETHA0MIIC レジスタの内容 (1/2)

ビット位置	ビット名	意味																								
15	MIRST	シリアル・マネジメント・インタフェース・ブロック・ソフトウェア・リセット 0 : シリアル・マネジメント・インタフェース・ブロックのソフトウェア・リセットを解除します。 1 : シリアル・マネジメント・インタフェース・ブロックをソフトウェア・リセットします。																								
4:2	CLKS[2:0]	MDC の分周比設定 使用するイーサネット・コントローラ・クロック (f_{EC}) に合わせて、分周比を選択します (32.5.6 (1) (a) 「MDC クロック」参照)。 IEEE802.3 の規格を満たすには、MDC が 2.5 MHz 以下になるように分周比を設定してください。 <table border="1"> <thead> <tr> <th>CLKS2</th><th>CLKS1</th><th>CLKS0</th><th>f_{EC} の入力周波数</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>33 MHz 以下 (14 分周)</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>50 MHz 以下 (20 分周)</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>66 MHz 以下 (28 分周)</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>100 MHz 以下 (40 分周)</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	CLKS2	CLKS1	CLKS0	f_{EC} の入力周波数	0	0	1	33 MHz 以下 (14 分周)	0	1	0	50 MHz 以下 (20 分周)	0	1	1	66 MHz 以下 (28 分周)	1	0	0	100 MHz 以下 (40 分周)	上記以外			設定禁止
CLKS2	CLKS1	CLKS0	f_{EC} の入力周波数																							
0	0	1	33 MHz 以下 (14 分周)																							
0	1	0	50 MHz 以下 (20 分周)																							
0	1	1	66 MHz 以下 (28 分周)																							
1	0	0	100 MHz 以下 (40 分周)																							
上記以外			設定禁止																							

表 32-20 ETHA0MIIC レジスタの内容 (2/2)

ビット位置	ビット名	意味
1	PHYSEL	MDC の出力設定 MDC を停止させたときに、PHY との通信でデータが正常に渡されない場合、PHYSEL = 1 で使用してください。 1 : マネジメント・フレーム以外でも常時 MDC を出力 0 : マネジメント・フレーム以外での MDC を停止

(12) ETHA0MCMD : MII コマンド・レジスタ

SCAN コマンド, MII マネジメント・インタフェースによるリード・アクセスを実行するレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

ETHA0MCMD レジスタにライトした結果は, ETHA0MIND レジスタからリードしてください。

アドレス <ETHA0_base> + 0094_H

初期値 不定

注意 ビット 31-2 は必ず 0 を設定してください。ビット 1, 0 はライトのみ可能です。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
W	W	W	W	W	W	W	W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
W	W	W	W	W	W	W	W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	SCANC	RSTAT
W	W	W	W	W	W	W	W

表 32-21 ETHA0MCMD レジスタの内容

ビット位置	ビット名	意味
1	SCANC	SCAN コマンド 1 に設定すると SCAN コマンドを実行します。
0	RSTAT	MIJ マネジメント・リード 1 に設定すると MII マネジメント・インタフェースによるリード・アクセスを実行します。

(13) ETHA0MADR : MII アドレス・レジスタ

PHY アドレス, PHY レジスタ・アドレスを設定するレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0098_H

初期値 不定

注意 ビット 31-13, 7-5 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24	
—	—	—	—	—	—	—	—	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
23	22	21	20	19	18	17	16	
—	—	—	—	—	—	—	—	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	
—	—	—	FIAD					—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
7	6	5	4	3	2	1	0	
—	—	—	RGAD					—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 32-22 ETHA0MADR レジスタの内容

ビット位置	ビット名	意味
12:8	FIAD	PHY アドレス PHY アドレスを設定します。1つのイーサネット・コントローラは、最大 31 個の PHY デバイスを制御できます。
4:0	RGAD	PHY レジスタ・アドレス アクセスするレジスタのアドレスを設定します。イーサネット・コントローラは、1つの PHY デバイスに対して、32 個の 16 ビット・レジスタをアクセスできます。

(14) ETHA0MWTD : MII ライト・データ・レジスタ

MII マネジメント・インタフェースでライト・アクセスする際のライト・データを設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 009C_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
CTLD15	CTLD14	CTLD13	CTLD12	CTLD11	CTLD10	CTLD9	CTLD8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
CTLD7	CTLD6	CTLD5	CTLD4	CTLD3	CTLD2	CTLD1	CTLD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-23 ETHA0MWTD レジスタの内容

ビット位置	ビット名	意味
15:0	CTLD[15:0]	MII ライト・データ MII マネジメント・インタフェースにおいてライト・アクセスする際のリード・データ・フィールドです。

(15) ETHA0MRDD : MII リード・データ・レジスタ

MII マネジメント・インタフェースでリード・アクセスする際のリード・データです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 00A0_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
PRSD15	PRSD14	PRSD13	PRSD12	PRSD11	PRSD10	PRSD9	PRSD8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PRSD7	PRSD6	PRSD5	PRSD4	PRSD3	PRSD2	PRSD1	PRSD0
R	R	R	R	R	R	R	R

表 32-24 ETHA0MRDD レジスタの内容

ビット位置	ビット名	意味
15:0	PRSD[15:0]	MII リード・データ MII マネジメント・インタフェースにおいてリード・アクセスする際のリード・データ・フィールドです。

(16) ETHA0MIND : MII インジケータ・レジスタ

SCAN コマンド実行状態, MII マネジメント・インタフェースのアクセス状態を示すレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 00A4_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
—	—	—	—	—	INVALID	SCANA	BUSY
R	R	R	R	R	R	R	R

表 32-25 ETHA0MIND レジスタの内容

ビット位置	ビット名	意味
2	NVALID	SCAN コマンド開始ステータス 1 : SCAN コマンド実行中で, 最初のリード・アクセスが終了していません。 0 : 通常状態
1	SCANA	SCAN コマンド・アクティブ 1 : SCAN コマンド実行中 0 : 通常状態
0	BUSY	BUSY 1 : MII マネジメント・インタフェースが外部 PHY デバイスとのアクセスを実行中。 0 : MII マネジメント・インタフェースは外部 PHY デバイスをアクセスしていません。

(17) ETHA0AFR : アドレス・フィルタ・レジスタ

受信パケットの条件を設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 00C8_H

初期値 不定

注意 ビット31-4は必ず0を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	PRO	PRM	AMC	ABC
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-26 ETHA0AFR レジスタの内容

ビット位置	ビット名	意味
3	PRO	プロミスカス・モード すべてのパケットを有効とするモードです。
2	PRM	マルチキャスト受信 すべてのマルチキャスト・パケットを有効とし、他を破棄するモードです
1	AMC	条件付きマルチキャスト受信 条件に一致したマルチキャスト・パケットを有効とし、他を破棄するモードです。 ハッシュ・テーブルを用い、ハッシュ・テーブルと一致したマルチキャスト・パケットだけをアクセプトします ハッシュ・テーブルについては ETHA0HT1, ETHA0HT2 レジスタに設定します。
0	ABC	ブロードキャスト受信 ブロードキャスト・パケットを有効とし、他を破棄するモードです

ETHA0AFR レジスタの設定とフィルタリングの対象となるパケットは、表 32-114 「アドレス・フィルタリング設定と受信パケット」を参照してください。

(18) ETHA0HT1 : HASH テーブル・レジスタ 1

条件付きマルチキャスト・パケット検出で使用するハッシュ・テーブルの上位 32 ビットを設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 00CC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
HT131	HT130	HT129	HT128	HT127	HT126	HT125	HT124
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
HT123	HT122	HT121	HT120	HT119	HT118	HT117	HT116
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
HT115	HT114	HT113	HT112	HT111	HT110	HT109	HT108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
HT107	HT106	HT105	HT104	HT103	HT102	HT101	HT100
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-27 ETHA0HT1 レジスタの内容

ビット位置	ビット名	意味
31:0	HT1[31:0]	ハッシュ・テーブル 1 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの上位 32 ビットを示します。HT (63 : 32)

(19) ETHA0HT2 : HASH テーブル・レジスタ 2

条件付きマルチキャスト・パケット検出で使用するハッシュ・テーブルの下位 32 ビットを設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 00D0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
HT231	HT230	HT229	HT228	HT227	HT226	HT225	HT224
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
HT223	HT222	HT221	HT220	HT219	HT218	HT217	HT216
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
HT215	HT214	HT213	HT212	HT211	HT210	HT209	HT208
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
HT207	HT206	HT205	HT204	HT203	HT202	HT201	HT200
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-28 ETHA0HT2 レジスタの内容

ビット位置	ビット名	意味
31:0	HT2[31:0]	ハッシュ・テーブル 2 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの下位 32 ビットを示します。HT (31 : 0)

(20) ETHA0CAR1 : キャリー・レジスタ 1

統計カウンタがオーバフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバフローが発生すると、対応するビットに1が設定されます。

各ビットは、リードすることでクリアされます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 00DC_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
C1VT	C1UT	C1BT	C1MT	C1PT	C1TB	C1MX	C11K
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
C1FE	C1TF	C1OT	C1SF	C1BR	C1MR	C1PR	C1RB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-29 ETHA0CAR1 レジスタの内容 (1/2)

ビット位置	ビット名	意味
15	C1VT	ETHA0RVBT カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
14	C1UT	ETHA0TUCA カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
13	C1BT	ETHA0TBCA カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
12	C1MT	ETHA0TMCA カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
11	C1PT	TPCT カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
10	C1TB	ETHA0TBYT カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
9	C1MX	ETHA0RMAX カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした

表 32-29 ETHA0CAR1 レジスタの内容 (2/2)

ビット位置	ビット名	意味
8	C11K	ETHA0R1K カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
7	C1FE	ETHA0R511 カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
6	C1TF	ETHA0R255 カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
5	C1OT	ETHA0R127 カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
4	C1SF	Etha0r64 カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
3	C1BR	ETHA0RBCA カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
2	C1MR	ETHA0RMCA カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
1	C1PR	ETHA0RPKT カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
0	C1RB	ETHA0RBYT カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした

(21) ETHA0CAR2 : キャリー・レジスタ 2

統計カウンタがオーバフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバフローが発生すると、対応するビットに1が設定されます。

各ビットは、リードすることでクリアされます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 00E0_H

初期値 不定

注意 ビット 30-23 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
C2DV	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	C2IM	C2CS	C2NC	C2XC	C2LC	C2MC	C2SC
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
C2XD	C2DF	C2XF	C2TE	C2JB	C2FG	C2OV	C2UN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
C2FC	C2CD	C2FO	C2AL	C2UO	C2PF	C2CF	C2RE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-30 ETHA0CAR2 レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	C2DV	ステータス・ベクタ・オーバラン。 0 : オーバフローしていない 1 : オーバフローした
22	C2IM	ETHA0TIME カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
21	C2CS	ETHA0TCSE カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
20	C2NC	ETHA0TNCL カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
19	C2XC	ETHA0TXCL カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
18	C2LC	ETHA0TLCL カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした
17	C2MC	ETHA0TMCL カウンタ・オーバフロー。 0 : オーバフローしていない 1 : オーバフローした

表 32-30 ETHA0CAR2 レジスタの内容 (2/2)

ビット位置	ビット名	意味
16	C2SC	ETHA0TSCL カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
15	C2XD	ETHA0TXDF カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
14	C2DF	ETHA0TDFR カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
13	C2XF	ETHA0TXPF カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
12	C2TE	ETHA0TFCS カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
11	C2JB	RBJR カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
10	C2FG	ETHA0RFRG カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
9	C2OV	ETHA0ROVR カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
8	C2UN	ETHA0RUND カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
7	C2FC	ETHA0RFCR カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
6	C2CD	ETHA0RCDE カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
5	C2FO	ETHA0RFLR カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
4	C2AL	ETHA0RALN カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
3	C2UO	ETHA0RXUO カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
2	C2PF	ETHA0RXPf カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
1	C2CF	ETHA0RXCF カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした
0	C2RE	ETHA0RFCS カウンタ・オーバーフロー。 0 : オーバフローしていない 1 : オーバフローした

(22) ETHA0CAM1 : キャリー・マスク・レジスタ 1

統計カウンタのオーバフローによって、ETHA0CAR1 レジスタ内のビットに“1”が設定されたときに発生する INTETMOV 信号をマスクします。

1 ビットごとのマスクが可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0130_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
M1VT	M1UT	M1BT	M1MT	M1PT	M1TB	M1MX	M11K
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
M1FE	M1TF	M1OT	M1SF	M1BR	M1MR	M1PR	M1RB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-31 ETHA0CAM1 レジスタの内容 (1/2)

ビット位置	ビット名	意味
15	M1VT	ETHA0RVBT カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
14	M1UT	ETHA0TUCA カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
13	M1BT	ETHA0TBCA カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
12	M1MT	ETHA0TMCA カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
11	M1PT	ETHA0TPKT カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
10	M1TB	ETHA0TBYT カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
9	M1MX	ETHA0RMAX カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)

表 32-31 ETHA0CAM1 レジスタの内容 (2/2)

ビット位置	ビット名	意味
8	M11K	ETHA0R1K カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
7	M1FE	ETHA0R511 カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
6	M1TF	ETHA0R255 カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
5	M1OT	ETHA0R127 カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
4	M1SF	Etha0r64 カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
3	M1BR	ETHA0RBCA カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
2	M1MR	ETHA0RMCA カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
1	M1PR	ETHA0RPKT カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
0	M1RB	ETHA0RBYT カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

(23) ETHA0CAM2 : キャリー・マスク・レジスタ 2

統計カウンタのオーバフローによって、ETHA0CAR2 レジスタ内のビットに“1”が設定されたときに発生する CAINT 信号をマスクします。

1 ビットごとのマスクが可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0134_H

初期値 不定

注意 ビット 30-23 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
M2DV	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	M2IM	M2CS	M2NC	M2XC	M2LC	M2MC	M2SC
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
M2XD	M2DF	M2XF	M2TE	M2JB	M2FG	M2OV	M2UN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
M2FC	M2CD	M2FO	M2AL	M2UO	M2PF	M2CF	M2RE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-32 ETHA0CAM2 レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	M2DV	ステータス・ベクタ・オーバラン割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
22	M2IM	ETHA0TIME カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
21	M2CS	ETHA0TCSE カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
20	M2NC	ETHA0TNCL カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
19	M2XC	ETHA0TXCL カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
18	M2LC	ETHA0TLCL カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
17	M2MC	ETHA0TMCL カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)

表 32-32 ETHA0CAM2 レジスタの内容 (2/2)

ビット位置	ビット名	意味
16	M2SC	ETHA0TSCL カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
15	M2XD	ETHA0TXDF カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
14	M2DF	ETHA0TDFR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
13	M2XF	ETHA0TXPF カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
12	M2TE	ETHA0TFCS カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
11	M2JB	RBJR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
10	M2FG	ETHA0RFRG カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
9	M2OV	ETHA0ROVR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
8	M2UN	ETHA0RUND カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
7	M2FC	ETHA0RFCR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
6	M2CD	ETHA0RCDE カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
5	M2FO	ETHA0RFLR カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
4	M2AL	ETHA0RALN カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
3	M2UO	ETHA0RXUO カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
2	M2PF	ETHA0RXPf カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
1	M2CF	ETHA0RXCF カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
0	M2RE	ETHA0RFCS カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

32.4.2 統計カウンタ

(1) ETHA0RBYT : 受信バイト・カウンタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 0140_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RBYT31	RBYT30	RBYT29	RBYT28	RBYT27	RBYT26	RBYT25	RBYT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RBYT23	RBYT22	RBYT21	RBYT20	RBYT19	RBYT18	RBYT17	RBYT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RBYT15	RBYT14	RBYT13	RBYT12	RBYT11	RBYT10	RBYT9	RBYT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RBYT7	RBYT6	RBYT5	RBYT4	RBYT3	RBYT2	RBYT1	RBYT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-33 ETHA0RBYT レジスタの内容

ビット位置	ビット名	意味
31:0	RBYT[31:0]	受信パケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントし、エラーが発生した場合もカウントします。ETHA0MACC1.HUGEN ビットが 0 のとき、ETHA0LMAX レジスタで設定された長さを越えるパケットが受信された場合、ETHA0LMAX レジスタの値がパケット長としてカウントされます。

(2) ETHA0RPKT : 受信パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0144_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RPKT31	RPKT30	RPKT29	RPKT28	RPKT27	RPKT26	RPKT25	RPKT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RPKT23	RPKT22	RPKT21	RPKT20	RPKT19	RPKT18	RPKT17	RPKT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RPKT15	RPKT14	RPKT13	RPKT12	RPKT11	RPKT10	RPKT9	RPKT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RPKT7	RPKT6	RPKT5	RPKT4	RPKT3	RPKT2	RPKT1	RPKT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-34 ETHA0RPKT レジスタの内容

ビット位置	ビット名	意味
31:0	RPKT[31:0]	すべてのパケット受信ごとにカウントされます。エラーが発生したパケット, すべてのユニキャスト・パケット, すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。

(3) ETHA0RFCS : 受信 FCS エラー・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0148_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RFCS31	RFCS30	RFCS29	RFCS28	RFCS27	RFCS26	RFCS25	RFCS24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFCS23	RFCS22	RFCS21	RFCS20	RFCS19	RFCS18	RFCS17	RFCS16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFCS15	RFCS14	RFCS13	RFCS12	RFCS11	RFCS10	RFCS9	RFCS8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFCS7	RFCS6	RFCS5	RFCS4	RFCS3	RFCS2	RFCS1	RFCS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-35 ETHA0RFCS レジスタの内容

ビット位置	ビット名	意味
31:0	RFCS[31:0]	受信パケットにおいて、CRC エラーが発生した場合にカウントされます。 ETHA0MACC1.HUGEN ビットが 0 のとき、ETHA0LMAX レジスタで設定された長さを越えるパケットが受信された場合には、ETHA0LMAX レジスタの設定値に達した時点で CRC チェックを行いますので、CRC エラー受信としてカウントされることがあります。

(4) ETHA0RMCA : 受信マルチキャスト・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 014C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RMCA31	RMCA30	RMCA29	RMCA28	RMCA27	RMCA26	RMCA25	RMCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RMCA23	RMCA22	RMCA21	RMCA20	RMCA19	RMCA18	RMCA17	RMCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RMCA15	RMCA14	RMCA13	RMCA12	RMCA11	RMCA10	RMCA9	RMCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RMCA7	RMCA6	RMCA5	RMCA4	RMCA3	RMCA2	RMCA1	RMCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-36 ETHA0RMCA レジスタの内容

ビット位置	ビット名	意味
31:0	RMCA[31:0]	受信パケット長が 64 バイト以上でかつ 1518 バイト (VLAN フレーム時は 1522 バイト) 以下のマルチキャスト・パケットが受信された場合、カウントされます。ブロードキャスト・パケットは含まれません。また、CRC エラーが発生した受信パケットはカウントされません。

(5) ETHA0RBCA : 受信ブロードキャスト・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0150_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RBCA31	RBCA30	RBCA29	RBCA28	RBCA27	RBCA26	RBCA25	RBCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RBCA23	RBCA22	RBCA21	RBCA20	RBCA19	RBCA18	RBCA17	RBCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RBCA15	RBCA14	RBCA13	RBCA12	RBCA11	RBCA10	RBCA9	RBCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RBCA7	RBCA6	RBCA5	RBCA4	RBCA3	RBCA2	RBCA1	RBCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-37 ETHA0RBCA レジスタの内容

ビット位置	ビット名	意味
31:0	RBCA[31:0]	受信パケット長が 64 バイト以上でかつ 1518 バイト (VLAN フレーム時は 1522 バイト) 以下のブロードキャスト・パケットが受信された場合、カウントされません。マルチキャスト・パケットは含まれません。また、CRC エラーが発生した受信パケットはカウントされません。

(6) ETHA0RXCF : 受信コントロール・フレーム・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0154_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RXCF31	RXCF30	RXCF29	RXCF28	RXCF27	RXCF26	RXCF25	RXCF24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXCF23	RXCF22	RXCF21	RXCF20	RXCF19	RXCF18	RXCF17	RXCF16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXCF15	RXCF14	RXCF13	RXCF12	RXCF11	RXCF10	RXCF9	RXCF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXCF7	RXCF6	RXCF5	RXCF4	RXCF3	RXCF2	RXCF1	RXCF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-38 ETHA0RXCF レジスタの内容

ビット位置	ビット名	意味
31:0	RXCF[31:0]	コントロール・フレームが受信された場合、カウントされます。ポーズ・フレームおよびサポートされていないコントロール・フレームを含みません。CRC エラーが検出された場合はカウントされません。

(7) ETHA0RXPf : 受信ポーズ・フレーム・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0158_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RXPF31	RXPF30	RXPF29	RXPF28	RXPF27	RXPF26	RXPF25	RXPF24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXPF23	RXPF22	RXPF21	RXPF20	RXPF19	RXPF18	RXPF17	RXPF16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXPF15	RXPF14	RXPF13	RXPF12	RXPF11	RXPF10	RXPF9	RXPF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXPF7	RXPF6	RXPF5	RXPF4	RXPF3	RXPF2	RXPF1	RXPF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-39 ETHA0RXPf レジスタの内容

ビット位置	ビット名	意味
31:0	RXPF[31:0]	有効なポーズ・コントロール・フレームを受信した場合、カウントされます。

(8) ETHA0RXUO : 受信未定義コントロール・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 015C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RXUO31	RXUO30	RXUO29	RXUO28	RXUO27	RXUO26	RXUO25	RXUO24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXUO23	RXUO22	RXUO21	RXUO20	RXUO19	RXUO18	RXUO17	RXUO16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXUO15	RXUO14	RXUO13	RXUO12	RXUO11	RXUO10	RXUO9	RXUO8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXUO7	RXUO6	RXUO5	RXUO4	RXUO3	RXUO2	RXUO1	RXUO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-40 ETHA0RXUO レジスタの内容

ビット位置	ビット名	意味
31:0	RXUO[31:0]	PAUSE 以外の OP コードを含むコントロール・フレーム, または無効なデスティネーション・アドレスを持つポーズ・コントロール・フレームを受信した場合, カウントされます。CRC エラーが検出された場合はカウントされません。

(9) ETHA0RALN : 受信アラインメント・エラー・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0160_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RALN31	RALN30	RALN29	RALN28	RALN27	RALN26	RALN25	RALN24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RALN23	RALN22	RALN21	RALN20	RALN19	RALN18	RALN17	RALN16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RALN15	RALN14	RALN13	RALN12	RALN11	RALN10	RALN9	RALN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RALN7	RALN6	RALN5	RALN4	RALN3	RALN2	RALN1	RALN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-41 ETHA0RALN レジスタの内容

ビット位置	ビット名	意味
31:0	RALN[31:0]	受信パケットにおいて、CRC エラーが発生しかつドリブル・ニブルが発生した場合にカウントされます。 ETHA0MACC1.HUGEN ビットが0 のとき、ETHA0LMAX レジスタで設定された長さを越えるパケットが受信された場合には、ETHA0LMAX レジスタの設定値 (バイト単位) に達した時点でアラインメント・エラーのチェックが行われますので、このカウンタはカウントされません。

(10) ETHA0RFLR : 受信フレーム長エラー・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0164_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RFLR31	RFLR30	RFLR29	RFLR28	RFLR27	RFLR26	RFLR25	RFLR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFLR23	RFLR22	RFLR21	RFLR20	RFLR19	RFLR18	RFLR17	RFLR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFLR15	RFLR14	RFLR13	RFLR12	RFLR11	RFLR10	RFLR9	RFLR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFLR7	RFLR6	RFLR5	RFLR4	RFLR3	RFLR2	RFLR1	RFLR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-42 ETHA0RFLR レジスタの内容

ビット位置	ビット名	意味
31:0	RFLR[31:0]	受信パケットの長さ・フィールドの値が、実際に受信されたパケットのデータ・フィールド長と一致しない場合、カウントされます。長さ・フィールドの値が 1501 以上の場合（たとえば、長さ・フィールドに相当するバイトがイーサネット・タイプ・フィールドとして使用されている場合など）、このカウンタはインクリメントされません。

(11) ETHA0RCDE : 受信コード・エラー・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0168_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RCDE31	RCDE30	RCDE29	RCDE28	RCDE27	RCDE26	RCDE25	RCDE24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RCDE23	RCDE22	RCDE21	RCDE20	RCDE19	RCDE18	RCDE17	RCDE16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RCDE15	RCDE14	RCDE13	RCDE12	RCDE11	RCDE10	RCDE9	RCDE8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RCDE7	RCDE6	RCDE5	RCDE4	RCDE3	RCDE2	RCDE1	RCDE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-43 ETHA0RCDE レジスタの内容

ビット位置	ビット名	意味
31:0	RCDE[31:0]	キャリアが検出されている間、不正なデータ・シンボルが少なくとも1回検出された場合、カウントされます。

(12) ETHA0RFCR : 受信 False Carrier カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 016C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RFCR31	RFCR30	RFCR29	RFCR28	RFCR27	RFCR26	RFCR25	RFCR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFCR23	RFCR22	RFCR21	RFCR20	RFCR19	RFCR18	RFCR17	RFCR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFCR15	RFCR14	RFCR13	RFCR12	RFCR11	RFCR10	RFCR9	RFCR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFCR7	RFCR6	RFCR5	RFCR4	RFCR3	RFCR2	RFCR1	RFCR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-44 ETHA0RFCR レジスタの内容

ビット位置	ビット名	意味
31:0	RFCR[31:0]	アイドル中に False Carrier が発生した場合、次のパケット受信のあとでカウントされます。False Carrier は RXER がハイ・レベルで RXD からニブル・データとして 1110 _B が入力された場合に、False Carrier が発生したと見なされます。アイドルの間に複数回の False Carrier が発生した場合でも、カウントされるのは 1 回のみです。

(13) ETHA0RUND : 受信アンダサイズ・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0170_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RUND31	RUND30	RUND29	RUND28	RUND27	RUND26	RUND25	RUND24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RUND23	RUND22	RUND21	RUND20	RUND19	RUND18	RUND17	RUND16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RUND15	RUND14	RUND13	RUND12	RUND11	RUND10	RUND9	RUND8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RUND7	RUND6	RUND5	RUND4	RUND3	RUND2	RUND1	RUND0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-45 ETHA0RUND レジスタの内容

ビット位置	ビット名	意味
31:0	RUND[31:0]	受信パケット長が64バイト未満でかつ、有効なFCSフィールドを含んでいる場合、カウントされます。

(14) ETHA0ROVR : 受信オーバーサイズ・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0174_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ROVR31	ROVR30	ROVR29	ROVR28	ROVR27	ROVR26	ROVR25	ROVR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ROVR23	ROVR22	ROVR21	ROVR20	ROVR19	ROVR18	ROVR17	ROVR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ROVR15	ROVR14	ROVR13	ROVR12	ROVR11	ROVR10	ROVR9	ROVR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ROVR7	ROVR6	ROVR5	ROVR4	ROVR3	ROVR2	ROVR1	ROVR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-46 ETHA0ROVR レジスタの内容

ビット位置	ビット名	意味
31:0	ROVR[31:0]	受信パケット長が 1518 バイト (VLAN フレーム時は 1522 バイト) を越えていて、かつ有効な FCS フィールドを含んでいる場合、カウントされます。 ETHA0MACC1.HUGEN ビットが 0 のとき、ETHA0LMAX レジスタで設定された長さを越えるパケットが受信された場合には、ETHA0LMAX レジスタの設定値に達した時点で CRC チェックを行いますので、その時点で CRC エラーとみなされ、このカウンタがカウントされないことがあります。

(15) ETHA0RFRG : 受信フラグメント・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0178_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RFRG31	RFRG30	RFRG29	RFRG28	RFRG27	RFRG26	RFRG25	RFRG24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RFRG23	RFRG22	RFRG21	RFRG20	RFRG19	RFRG18	RFRG17	RFRG16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RFRG15	RFRG14	RFRG13	RFRG12	RFRG11	RFRG10	RFRG9	RFRG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFRG7	RFRG6	RFRG5	RFRG4	RFRG3	RFRG2	RFRG1	RFRG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-47 ETHA0RFRG レジスタの内容

ビット位置	ビット名	意味
31:0	RFRG[31:0]	受信パケット長が64バイト未満かつ、CRCエラーあるいはアライメント・エラーを含んでいる場合、カウントされます。

(16) ETHA0RJBR : 受信ジャバー・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 017C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RJBR31	RJBR30	RJBR29	RJBR28	RJBR27	RJBR26	RJBR25	RJBR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RJBR23	RJBR22	RJBR21	RJBR20	RJBR19	RJBR18	RJBR17	RJBR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RJBR15	RJBR14	RJBR13	RJBR12	RJBR11	RJBR10	RJBR9	RJBR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RJBR7	RJBR6	RJBR5	RJBR4	RJBR3	RJBR2	RJBR1	RJBR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-48 ETHA0RJBR レジスタの内容

ビット位置	ビット名	意味
31:0	RJBR[31:0]	受信パケット長が 1518 バイト (VLAN フレーム時は 1522 バイト) を越えていて、かつ CRC エラーあるいはアライメント・エラーを含んでいる場合、カウントされます。 ETHA0MACC1.HUGEN ビットが 0 のとき、ETHA0LMAX レジスタで設定された長さを越えるパケットが受信された場合には、ETHA0LMAX レジスタの設定値に達した時点で CRC チェックを行いますので、その時点で CRC エラーとみなされ、このカウンタがカウントされることがあります。

(17) ETHA0R64 : 受信 64 バイト・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0180_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
R6431	R6430	R6429	R6428	R6427	R6426	R6425	R6424
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R6423	R6422	R6421	R6420	R6419	R6418	R6417	R6416
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R6415	R6414	R6413	R6412	R6411	R6410	R649	R648
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R647	R646	R645	R644	R643	R642	R641	R640
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-49 ETHA0R64 レジスタの内容

ビット位置	ビット名	意味
31:0	R64[31:0]	受信パケット長が 64 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされません。

(18) ETHA0R127 : 受信 65-127 バイト・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0184_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
R12731	R12730	R12729	R12728	R12727	R12726	R12725	R12724
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R12723	R12722	R12721	R12720	R12719	R12718	R12717	R12716
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R12715	R12714	R12713	R12712	R12711	R12710	R1279	R1278
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R1277	R1276	R1275	R1274	R1273	R1272	R1271	R1270
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-50 ETHA0R127 レジスタの内容

ビット位置	ビット名	意味
31:0	R127[31:0]	受信パケット長が 64-127 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

(19) ETHA0R255 : 受信 128-255 バイト・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0188_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
R25531	R25530	R25529	R25528	R25527	R25526	R25525	R25524
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R25523	R25522	R25521	R25520	R25519	R25518	R25517	R25516
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R25515	R25514	R25513	R25512	R25511	R25510	R2559	R2558
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R2557	R2556	R2555	R2554	R2553	R2552	R2551	R2550
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-51 ETHA0R255 レジスタの内容

ビット位置	ビット名	意味
31:0	R255[31:0]	受信パケット長が 128-255 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

(20) ETHA0R511 : 受信 256-511 バイト・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 018C_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
R51131	R51130	R51129	R51128	R51127	R51126	R51125	R51124
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R51123	R51122	R51121	R51120	R51119	R51118	R51117	R51116
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R51115	R51114	R51113	R51112	R51111	R51110	R5119	R5118
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R5117	R5116	R5115	R5114	R5113	R5112	R5111	R5110
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-52 ETHA0R511 レジスタの内容

ビット位置	ビット名	意味
31:0	R511[31:0]	受信パケット長が 256-511 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

(21) ETHA0R1K : 受信 512-1023 バイト・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0190_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
R1K31	R1K30	R1K29	R1K28	R1K27	R1K26	R1K25	R1K24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
R1K23	R1K22	R1K21	R1K20	R1K19	R1K18	R1K17	R1K16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
R1K15	R1K14	R1K13	R1K12	R1K11	R1K10	R1K9	R1K8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R1K7	R1K6	R1K5	R1K4	R1K3	R1K2	R1K1	R1K0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-53 ETHA0R1K レジスタの内容

ビット位置	ビット名	意味
31:0	R1K[31:0]	受信パケット長が 512-1023 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

(22) ETHA0RMAX : 受信 1024-MAX バイト・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0194_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RMAX31	RMAX30	RMAX29	RMAX28	RMAX27	RMAX26	RMAX25	RMAX24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RMAX23	RMAX22	RMAX21	RMAX20	RMAX19	RMAX18	RMAX17	RMAX16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RMAX15	RMAX14	RMAX13	RMAX12	RMAX11	RMAX10	RMAX9	RMAX8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RMAX7	RMAX6	RMAX5	RMAX4	RMAX3	RMAX2	RMAX1	RMAX0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-54 ETHA0RMAX レジスタの内容

ビット位置	ビット名	意味
31:0	RMAX[31:0]	受信パケット長が 1024-1518 バイト (VLAN フレーム時は 1024-1522 バイト) である場合に、カウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。

(23) ETHA0RVBT : 受信有効バイト・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0198_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RVBT31	RVBT30	RVBT29	RVBT28	RVBT27	RVBT26	RVBT25	RVBT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RVBT23	RVBT22	RVBT21	RVBT20	RVBT19	RVBT18	RVBT17	RVBT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RVBT15	RVBT14	RVBT13	RVBT12	RVBT11	RVBT10	RVBT9	RVBT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RVBT7	RVBT6	RVBT5	RVBT4	RVBT3	RVBT2	RVBT1	RVBT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-55 ETHA0RVBT レジスタの内容

ビット位置	ビット名	意味
31:0	RVBT[31:0]	有効なパケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントします。

(24) ETHA0TBYT : 送信バイト・カウンタ

アクセス 32 ビット単位でリード/ライト可能です

アドレス <ETHA0_base> + 01C0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TBYT31	TBYT30	TBYT29	TBYT28	TBYT27	TBYT26	TBYT25	TBYT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TBYT23	TBYT22	TBYT21	TBYT20	TBYT19	TBYT18	TBYT17	TBYT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TBYT15	TBYT14	TBYT13	TBYT12	TBYT11	TBYT10	TBYT9	TBYT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TBYT7	TBYT6	TBYT5	TBYT4	TBYT3	TBYT2	TBYT1	TBYT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-56 ETHA0TBYT レジスタの内容

ビット位置	ビット名	意味
31:0	TBYT[31:0]	送信パケットのバイト・カウンタを示します。送信が完了あるいはアボートするまでの間にコリジョンが発生した場合には、コリジョンが発生したときの送信バイトもカウントされます。ただし、プリアンプル、SFD についてはカウントされません。

(25) ETHA0TPKT : 送信パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01C4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TPKT31	TPKT30	TPKT29	TPKT28	TPKT27	TPKT26	TPKT25	TPKT24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TPKT23	TPKT22	TPKT21	TPKT20	TPKT19	TPKT18	TPKT17	TPKT16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TPKT15	TPKT14	TPKT13	TPKT12	TPKT11	TPKT10	TPKT9	TPKT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TPKT7	TPKT6	TPKT5	TPKT4	TPKT3	TPKT2	TPKT1	TPKT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-57 ETHA0TPKT レジスタの内容

ビット位置	ビット名	意味
31:0	TPKT[31:0]	すべてのパケット送信ごとにカウントされます。エラーが発生したパケット, すべてのユニキャスト・パケット, すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。

(26) ETHA0TFCS : 送信 FCS エラー・フレーム・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01C8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TFCS31	TFCS30	TFCS29	TFCS28	TFCS27	TFCS26	TFCS25	TFCS24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TFCS23	TFCS22	TFCS21	TFCS20	TFCS19	TFCS18	TFCS17	TFCS16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TFCS15	TFCS14	TFCS13	TFCS12	TFCS11	TFCS10	TFCS9	TFCS8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TFCS7	TFCS6	TFCS5	TFCS4	TFCS3	TFCS2	TFCS1	TFCS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-58 ETHA0TFCS レジスタの内容

ビット位置	ビット名	意味
31:0	TFCS[31:0]	送信パケットに付加される FCS フィールドにおいて、CRC エラーが検出された場合にカウントされます。 送信がアボートした場合にはカウントされません。

(27) ETHA0TMCA : 送信マルチキャスト・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01CC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TMCA31	TMCA30	TMCA29	TMCA28	TMCA27	TMCA26	TMCA25	TMCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TMCA23	TMCA22	TMCA21	TMCA20	TMCA19	TMCA18	TMCA17	TMCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TMCA15	TMCA14	TMCA13	TMCA12	TMCA11	TMCA10	TMCA9	TMCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TMCA7	TMCA6	TMCA5	TMCA4	TMCA3	TMCA2	TMCA1	TMCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-59 ETHA0TMCA レジスタの内容

ビット位置	ビット名	意味
31:0	TMCA[31:0]	マルチキャスト・パケットを送信した場合、カウントされます。ブロードキャスト・パケットは含まれません。また、送信がアボートした場合、またはCRCエラーが検出された場合はカウントされません。

(28) ETHA0TBCA : 送信ブロードキャスト・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01D0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TBCA31	TBCA30	TBCA29	TBCA28	TBCA27	TBCA26	TBCA25	TBCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TBCA23	TBCA22	TBCA21	TBCA20	TBCA19	TBCA18	TBCA17	TBCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TBCA15	TBCA14	TBCA13	TBCA12	TBCA11	TBCA10	TBCA9	TBCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TBCA7	TBCA6	TBCA5	TBCA4	TBCA3	TBCA2	TBCA1	TBCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-60 ETHA0TBCA レジスタの内容

ビット位置	ビット名	意味
31:0	TBCA[31:0]	ブロードキャスト・パケットを送信した場合、カウントされます。マルチキャスト・パケットは含まれません。また、送信がアボートした場合、またはCRCエラーが検出された場合はカウントされません。

(29) ETHA0TUCA : 送信ユニキャスト・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01D4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TUCA31	TUCA30	TUCA29	TUCA28	TUCA27	TUCA26	TUCA25	TUCA24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TUCA23	TUCA22	TUCA21	TUCA20	TUCA19	TUCA18	TUCA17	TUCA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TUCA15	TUCA14	TUCA13	TUCA12	TUCA11	TUCA10	TUCA9	TUCA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TUCA7	TUCA6	TUCA5	TUCA4	TUCA3	TUCA2	TUCA1	TUCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-61 ETHA0TUCA レジスタの内容

ビット位置	ビット名	意味
31:0	TUCA[31:0]	ユニキャスト・パケットを送信した場合、カウントされます。 送信がアボートした場合、またはCRCエラーが検出された場合はカウントされません。

(30) ETHA0TXPF : 送信ポーズ・コントロール・フレーム・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01D8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TXPF31	TXPF30	TXPF29	TXPF28	TXPF27	TXPF26	TXPF25	TXPF24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXPF23	TXPF22	TXPF21	TXPF20	TXPF19	TXPF18	TXPF17	TXPF16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXPF15	TXPF14	TXPF13	TXPF12	TXPF11	TXPF10	TXPF9	TXPF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXPF7	TXPF6	TXPF5	TXPF4	TXPF3	TXPF2	TXPF1	TXPF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-62 ETHA0TXPF レジスタの内容

ビット位置	ビット名	意味
31:0	TXPF[31:0]	受信 FIFO 内にデータが溜ったことによって、ポーズ・コントロール・フレームを送信するたびにカウントされます。

(31) ETHA0TDFR : 送信遅延パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01DC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TDFR31	TDFR30	TDFR29	TDFR28	TDFR27	TDFR26	TDFR25	TDFR24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TDFR23	TDFR22	TDFR21	TDFR20	TDFR19	TDFR18	TDFR17	TDFR16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TDFR15	TDFR14	TDFR13	TDFR12	TDFR11	TDFR10	TDFR9	TDFR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TDFR7	TDFR6	TDFR5	TDFR4	TDFR3	TDFR2	TDFR1	TDFR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-63 ETHA0TDFR レジスタの内容

ビット位置	ビット名	意味
31:0	TDFR[31:0]	送信を開始しようとしたときにキャリア検出によって送信遅延が発生した場合、カウントされます。遅延発生後開始された送信中にコリジョンが発生した場合には、このカウンタはカウントされません。

(32) ETHA0TXDF : 送信過剰遅延パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01E0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TXDF31	TXDF30	TXDF29	TXDF28	TXDF27	TXDF26	TXDF25	TXDF24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXDF23	TXDF22	TXDF21	TXDF20	TXDF19	TXDF18	TXDF17	TXDF16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXDF15	TXDF14	TXDF13	TXDF12	TXDF11	TXDF10	TXDF9	TXDF8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXDF7	TXDF6	TXDF5	TXDF4	TXDF3	TXDF2	TXDF1	TXDF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-64 ETHA0TXDF レジスタの内容

ビット位置	ビット名	意味
31:0	TXDF[31:0]	過剰遅延によって送信がアボートされた場合、カウントされます。

(33) ETHA0TSCL : 送信シングル・コリジョン・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01E4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TSCL31	TSCL30	TSCL29	TSCL28	TSCL27	TSCL26	TSCL25	TSCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TSCL23	TSCL22	TSCL21	TSCL20	TSCL19	TSCL18	TSCL17	TSCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TSCL15	TSCL14	TSCL13	TSCL12	TSCL11	TSCL10	TSCL9	TSCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TSCL7	TSCL6	TSCL5	TSCL4	TSCL3	TSCL2	TSCL1	TSCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-65 ETHA0TSCL レジスタの内容

ビット位置	ビット名	意味
31:0	TSCL[31:0]	送信中に、1回のコリジョンが発生したあと送信が成功した場合、カウントされません。

(34) ETHA0TMCL : 送信マルチプル・コリジョン・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01E8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TMCL31	TMCL30	TMCL29	TMCL28	TMCL27	TMCL26	TMCL25	TMCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TMCL23	TMCL22	TMCL21	TMCL20	TMCL19	TMCL18	TMCL17	TMCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TMCL15	TMCL14	TMCL13	TMCL12	TMCL11	TMCL10	TMCL9	TMCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TMCL7	TMCL6	TMCL5	TMCL4	TMCL3	TMCL2	TMCL1	TMCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-66 ETHA0TMCL レジスタの内容

ビット位置	ビット名	意味
31:0	TMCL[31:0]	送信中に、複数回（2回以上で ETHA0CLRT.RETRY の設定値以下）のコリジョンが発生したあと送信が成功した場合、カウントされます。

(35) ETHA0TLCL : 送信レイト・コリジョン・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01EC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TLCL31	TLCL30	TLCL29	TLCL28	TLCL27	TLCL26	TLCL25	TLCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TLCL23	TLCL22	TLCL21	TLCL20	TLCL19	TLCL18	TLCL17	TLCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TLCL15	TLCL14	TLCL13	TLCL12	TLCL11	TLCL10	TLCL9	TLCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TLCL7	TLCL6	TLCL5	TLCL4	TLCL3	TLCL2	TLCL1	TLCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-67 ETHA0TLCL レジスタの内容

ビット位置	ビット名	意味
31:0	TLCL[31:0]	送信時にレイト・コリジョンが発生した場合、カウントされます。

(36) ETHA0TXCL : 送信過剰コリジョン・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01F0_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TXCL31	TXCL30	TXCL29	TXCL28	TXCL27	TXCL26	TXCL25	TXCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXCL23	TXCL22	TXCL21	TXCL20	TXCL19	TXCL18	TXCL17	TXCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXCL15	TXCL14	TXCL13	TXCL12	TXCL11	TXCL10	TXCL9	TXCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXCL7	TXCL6	TXCL5	TXCL4	TXCL3	TXCL2	TXCL1	TXCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-68 ETHA0TXCL レジスタの内容

ビット位置	ビット名	意味
31:0	TXCL[31:0]	1 回の送信動作で、ETHA0CLRT.RETRY に設定された値を越えてコリジョンが発生した場合、カウントされます。

(37) ETHA0TNCL : 送信トータル・コリジョン・カウンタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01F4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TNCL31	TNCL30	TNCL29	TNCL28	TNCL27	TNCL26	TNCL25	TNCL24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TNCL23	TNCL22	TNCL21	TNCL20	TNCL19	TNCL18	TNCL17	TNCL16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TNCL15	TNCL14	TNCL13	TNCL12	TNCL11	TNCL10	TNCL9	TNCL8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TNCL7	TNCL6	TNCL5	TNCL4	TNCL3	TNCL2	TNCL1	TNCL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-69 ETHA0TNCL レジスタの内容

ビット位置	ビット名	意味
31:0	TNCL[31:0]	発生したコリジョンのうち、コリジョン発生後送信が成功した場合のみのコリジョン回数をカウントします。

(38) ETHA0TCSE : 送信キャリア・センス・エラー・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01F8_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TCSE31	TCSE30	TCSE29	TCSE28	TCSE27	TCSE26	TCSE25	TCSE24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TCSE23	TCSE22	TCSE21	TCSE20	TCSE19	TCSE18	TCSE17	TCSE16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TCSE15	TCSE14	TCSE13	TCSE12	TCSE11	TCSE10	TCSE9	TCSE8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TCSE7	TCSE6	TCSE5	TCSE4	TCSE3	TCSE2	TCSE1	TCSE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-70 ETHA0TCSE レジスタの内容

ビット位置	ビット名	意味
31:0	TCSE[31:0]	送信中にキャリア・センス・エラーが発生した場合、カウントされます。

(39) ETHA0TIME : MAC 内部エラー・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 01FC_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TIME31	TIME30	TIME29	TIME28	TIME27	TIME26	TIME25	TIME24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TIME23	TIME22	TIME21	TIME20	TIME19	TIME18	TIME17	TIME16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TIME15	TIME14	TIME13	TIME12	TIME11	TIME10	TIME9	TIME8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TIME7	TIME6	TIME5	TIME4	TIME3	TIME2	TIME1	TIME0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-71 ETHA0TIME レジスタの内容

ビット位置	ビット名	意味
31:0	TIME[31:0]	送信中に MAC 内部でエラーあるいは ETHA0LMAX レジスタを越える送信が発生した場合、カウントされます。

32.4.3 FIFO コントローラ制御レジスタ

(1) ETHA0MFFCONT : FIFO コントローラ・コントロール・レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0200_H

初期値 不定

注意 1. 次のビットは必ず下記の値（固定）で使用してください。指定の値以外の設定では、正常な動作を保証できません。

- RXSDMA[1:0] = 10
- ASOE = 0
- APS = 1
- APL = 1
- RXTHRC = 0
- TXTHRC = 0

2. ビット 29, 28, 23-19, 13, 7-3 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
LOOPBACK	RCSEL	—	—	IMLP3	IMLP2	IMLP1	IMLP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	FLOWCNT	IVPAUSE	ZEROPAUSE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXSDMA1	RXSDMA0	—	ASOE	APS	APL	RXTHRC	RXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	TABT	TXTHRC	TXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-72 ETHA0MFFCONT レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	LOOPBACK	ループ・バック・モード 送信 FIFO と受信 FIFO 間でループ・バックします。 0 : 通常モード 1 : ループ・バック・モード
30	RCSEL	RXCLK セレクト 内部に接続される RXCLK を、TXCLK に切り換えます。 MAC のループ・バック・モード、FIFO コントローラのループ・バック・モード時に、RXCLK を TXCLK に切り換える必要がある場合に設定します。 0 : 通常モード 1 : クロック切換えモード (RXCLK ← TXCLK に切り換えます)。
27:24	IMLP[3:0]	“0000” を設定してください。

表 32-72 ETHA0MFFCONT レジスタの内容 (2/2)

ビット位置	ビット名	意味
18	FLOWCNT	フロー制御オン/オフ 0: フロー制御オフ 1: フロー制御オン
17	IVPAUSE	インターバル・ポーズ・パケット送信制御 ポーズ・パケットの再発行の方法を指定します。 0: FIFO のしきい値による再発行 内蔵ポーズ・タイマ (ETHA0PAUSETM.IPTIME) を使わない 1: 内蔵ポーズ・タイマによる再発行 内蔵ポーズ・タイマ (ETHA0PAUSETM.IPTIME) を使う
16	ZEROPAUSE	ゼロ・ポーズ・パケット出力オン/オフ 0: ゼロ・ポーズ・パケット送出オフ 1: ゼロ・ポーズ・パケット送出オン
15, 14	RXSDMA [1:0]	10 固定で使用してください。
12	ASOE	0 固定で使用してください。
11	APS	1 固定で使用してください。
10	APL	1 固定で使用してください。
9	RXTHRC	0 固定で使用してください。
8	RXEN	受信イネーブル 0: 受信停止 1: 受信許可 [受信停止の書き込みタイミングについて] MAC から受信 FIFO への書き込み中に、受信停止のレジスタ書き込みがあった場合は、そのパケットの受信 FIFO への書き込み終了を待って、受信 FIFO 書き込み回路を停止します。システム側の受信 FIFO の停止は、受信 FIFO に書き込まれたパケットをすべて読み出して停止となります。フロー制御回路は RXEN ビットでは停止しません。
2	TABT	送信アボート制御 MAC がアボートしたパケットを再送します。 0: パケット破棄 1: パケット再送
1	TXTHRC	0 固定で使用してください。
0	TXEN	送信イネーブル 0: 送信停止 1: 送信許可 [送信停止の書き込みタイミングについて] 送信 FIFO のパケット書き込み途中で、送信停止のレジスタ書き込みがあった場合は、パケットの書き込みを終了 (END フラグを書き込み) するまで待って、送信 FIFO 書き込み回路を停止して、次のパケットの書き込み要求は行いません。MAC へのパケット転送は送信 FIFO 内に存在するパケットをすべて転送して (エンプティまで読み出して) から停止となります。

(2) ETHA0RSTCNT : ソフト・リセット制御レジスタ

ソフトウェア・リセットを制御するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0204_H

初期値 不定

注意 ビット 31-17, 15-9, 7-1 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	RFFLSH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	TFFLSH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	SFTRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-73 ETHA0RSTCNT レジスタの内容

ビット位置	ビット名	意味
16	RFFLSH	受信 FIFO クリア (フラッシュ) 受信 FIFO, 受信制御回路, フロー制御回路, 受信ステータス・レジスタ, 受信系の割り込みレジスタをクリアします。1 をライトするとリセットを開始してセルフ・クリアします。 リードすると常に 0 が読み出されます。
8	TFFLSH	送信 FIFO クリア (フラッシュ) 送信 FIFO, 送信制御回路, 送信ステータス・レジスタ, 送信系の割り込みレジスタをクリアします。1 をライトするとリセットを開始してセルフ・クリアします。
0	SFTRST	ソフトウェア・リセット FIFO コントローラ (MFF) の全回路をリセットします。1 をライトするとリセット開始してセルフ・クリアします。

(3) ETHA0FLOWTH : フロー制御閾値レジスタ

フロー制御を開始する受信 FIFO のしきい値, ゼロ・ポーズ・コントロール・フレームを送信する受信 FIFO のしきい値を設定するレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0218_H

初期値 不定

注意 ビット 31-27, 15-11 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	FLOWTHR10	FLOWTHR9	FLOWTHR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
FLOWTHR7	FLOWTHR6	FLOWTHR5	FLOWTHR4	FLOWTHR3	FLOWTHR2	FLOWTHR1	FLOWTHR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	ZPTHR10	ZPTHR9	ZPTHR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ZPTHR7	ZPTHR6	ZPTHR5	ZPTHR4	ZPTHR3	ZPTHR2	ZPTHR1	ZPTHR0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-74 ETHA0FLOWTH レジスタの内容

ビット位置	ビット名	意味
26:16	FLOWTHR [10:0]	フロー制御を開始する受信 FIFO の閾値をバイト単位で設定します。 受信 FIFO の容量が設定値以上になったらフロー制御を開始します。 半二重ではバック・プレッシャー, 全二重ではポーズ・コントロール・パケット送信を行います。 受信 FIFO は 32 ビット (4 バイト) 単位なので, ビット 17, ビット 16 へのライトは無視されます。 ビット 17, ビット 16 をリードすると, 常に 0 がリードされます。
10:0	ZPTHR [10:0]	ゼロポーズ・コントロール・パケット送信の閾値をバイト単位で設定します。 ポーズ・コントロール・パケットによるフロー制御の時に, MFFCNT.ZEROPAUSE ビットにハイ・レベルを設定してゼロ・ポーズ・パケット送信をイネーブルにしている場合に, 設定スレッシュ以下になった場合に, ゼロ・ポーズ・パケットを送信するスレッシュを設定します。 受信 FIFO は 32 ビット (4 バイト) 単位なので, ビット 1, ビット 0 へのライトは無視されます。 ビット 1, ビット 0 をリードすると, 常に 0 がリードされます。

(4) ETHA0PAUSETM : ポーズ・タイム値レジスタ

ポーズ・タイムを設定するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 021C_H

初期値 7FFF FFFF_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
IPTIME15	IPTIME14	IPTIME13	IPTIME12	IPTIME11	IPTIME10	IPTIME9	IPTIME8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
IPTIME7	IPTIME6	IPTIME5	IPTIME4	IPTIME3	IPTIME2	IPTIME1	IPTIME0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_
MAX15	MAX14	MAX13	MAX12	MAX11	MAX10	MAX9	MAX8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_	PAUSETM_
MAX7	MAX6	MAX5	MAX4	MAX3	MAX2	MAX1	MAX0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-75 ETHA0PAUSETM レジスタの内容

ビット位置	ビット名	意味
31:16	IPTIME [15:0]	インターバル・ポーズ・パケット・タイム値 MFFCNT.IVPAUSE ビットでハイ・レベルを設定してインターバル・ポーズ・パケット送信をする場合の、ポーズ・パケット送信間隔を設定します。 1 単位時間 → 512 ビット時間 (回線側) → 128 TXCLK デフォルト値 : 100 Mbps 時 @ 約 168ms, 10 Mbps 時 @ 約 1.68 s
15:0	PAUSETM_ MAX[15:0]	MAX ポーズ・パケットのポーズ・コントロール・タイム値 MAC に対して、ポーズ・コントロール要求の時の TPTV[15:0] の値を設定します。 1 単位時間 → 512 ビット時間 (回線側) → 128 TXCLK デフォルト値 : 100 Mbps 時 @ 約 336 ms, 10Mbps 時 @ 約 3.36 s

(5) ETHA0RXERSEL : 受信エラー選択レジスタ

受信エラーが発生したときに、それぞれのパケット受信/破棄を選択するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0220_H

初期値 不定

注意 ビット 25-23, 15-2 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
RLENE	VLAN	USOP	RPCF	RCFR	DBNB	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	RLOR	RLER	RRCCE	RXER	CEPS	REPS	PAIG
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	TXRX	DVCF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-76 ETHA0RXERSEL レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	RLENE	受信パケット・レングス・エラー 0: 受信 1: 破棄
30	VLAN	VLAN パケット受信 0: 受信 1: 破棄
29	USOP	未定義オペコード・コントロール・パケット受信 0: 受信 1: 破棄
28	RPCF	ポーズ・コントロール・パケット受信 0: 受信 1: 破棄
27	RCFR	コントロール・パケット受信 0: 受信 1: 破棄
26	DBNB	ドリブル・ニブルを含むパケットの受信 0: 受信 1: 破棄
22	RLOR	レングス・フィールドが、1500 を越えるパケットの受信 0: 受信 1: 破棄

表 32-76 ETHA0RXERSEL レジスタの内容 (2/2)

ビット位置	ビット名	意味
21	RLER	レングス・フィールドが、データ・フィールド長と不一致 0: 受信 1: 破棄
20	RRCRE	CRC エラー 0: 受信 1: 破棄
19	RXER	RXER 検出 0: 受信 1: 破棄
18	CEPS	False Carrier 検出 0: 受信 1: 破棄
17	REPS	プリアンブル+SFD までのパケット、あるいはデータ部が 1 ニブル 0: 受信 1: 破棄
16	PAIG	前回の受信後、次のいずれかに当てはまる条件が発生した ・ 6072 ニブル (3036 バイト) を越えるキャリア長を検出した場合 ・ パケット受信後、IFG+プリアンブル+SFD が、80 ビット・タイム以下で次のパケットが受信された場合 ・ ピュア・プリアンブルが設定されているときに不正なプリアンブルまたは SFD を受信した場合 0: 受信 1: 破棄
1	TXRX	MAC が受信中のコリジョン発生を検出した場合 0: 受信 1: 破棄
0	DVCF	MAC が受信したパケットが有効なコントロール・パケットであると判断した場合 0: 受信 1: 破棄

(6) ETHA0TXSTMONI1 : 送信ステータス・モニタ 1 レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0230_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	CSE	TBP	TPP	TPCF	TCFR
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
TTBC15	TTBC14	TTBC13	TTBC12	TTBC11	TTBC10	TTBC9	TTBC8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TTBC7	TTBC6	TTBC5	TTBC4	TTBC3	TTBC2	TTBC1	TTBC0
R	R	R	R	R	R	R	R

表 32-77 ETHA0TXSTMONI1 レジスタの内容

ビット位置	ビット名	意味
20	CSE	送信中にキャリア・ロストを検出
19	TBP	前回の送信後、バック・プレッシャー機能によってコリジョンが発生 ^a
18	TPP	ポーズ中にリクエストされた送信パケットの送信終了 ^b
17	TPCF	ポーズ・コントロール・パケットを送信
16	TCFR	コントロール・パケットを送信
15:0	TTBC[15:0]	コリジョンが発生したパケットを含む総送信バイト数

a) 前回、送信ステータスが更新されてから今回、更新されるまでに条件が発生したことを示します。

b) ポーズ中にリクエストされたパケットがコントロール・フレームであった場合はセット (1) されません。

(7) ETHA0TXSTMONI2 : 送信ステータス・モニタ 2 レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0234_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TUDR	TGNT	LCOL	ECOL	TEDFR	TDFR	TBRO	TMUL
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
TDONE	TFLOR	TFLER	TCRCE	TCBC3	TCBC2	TCBC1	TCBC0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
TBYT15	TBYT14	TBYT13	TBYT12	TBYT11	TBYT10	TBYT9	TBYT8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TBYT7	TBYT6	TBYT5	TBYT4	TBYT3	TBYT2	TBYT1	TBYT0
R	R	R	R	R	R	R	R

表 32-78 ETHA0TXSTMONI2 レジスタの内容

ビット位置	ビット名	意味
31	TUDR	送信パケット・アンダランが検出された ^a
30	TGNT	ETHA0LMAX を越える長さのパケットを送信 ^b
29	LCOL	レイト・コリジョン
28	ECOL	最大衝突回数を超える衝突
27	TEDFR	過剰送信
26	TDFR	遅延送信
25	TBRO	ブロードキャスト・パケット送信
24	TMUL	マルチキャスト・パケット送信
23	TDONE	送信終了 ^c
22	TFLOR	レングス・フィールドが 1500 より大きい ^d
21	TFLER	レングス・フィールドがデータ・フィールド長と不一致 ^{d, e}
20	TCRCE	CRC 自動付加モードをオフした場合の CRC エラー
19:16	TCBC[3:0]	コリジョンによる再送回数 ^f
15:0	TBYT[15:0]	送信正常終了時の送信パケット長 (バイト数) ^f

- a) コリジョン発生がない場合のみセット (1) されます。
 b) ETHA0MACC1.HUGEN ビットが 0 に設定されている場合のみセット (1) されます。
 c) 送信がアボートされた場合はセット (1) されません。
 d) ETHA0MACC1.FLCHT ビットが 0 の場合はセット (1) されません。
 e) 1500 を越えるレングス・フィールドは TFLOR としてセット (1) され、TFLER にはセット (1) されません。
 f) 送信アボート時は正しい値となりません。

(8) ETHA0TXFINF1 : 送信ステータス1レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0238_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	TPCNT8
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
TPCNT7	TPCNT6	TPCNT5	TPCNT4	TPCNT3	TPCNT2	TPCNT1	TPCNT0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	TREMAIN11	TREMAIN10	TREMAIN9	TREMAIN8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TREMAIN7	TREMAIN6	TREMAIN5	TREMAIN4	TREMAIN3	TREMAIN2	TREMAIN1	TREMAIN0
R	R	R	R	R	R	R	R

表 32-79 ETHA0TXFINF1 レジスタの内容

ビット位置	ビット名	意味
24:16	TPCNT[8:0]	送信 FIFO に存在するパケット数を表示 送信 FIFO 内に存在するパケット（スタート・フラグ～エンド・フラグ）の数を表 示します。 システム側から、1パケットを書き込み完了するとインクリメントされます。 MACからの1パケットの読み出し完了（送信完了または、送信アボート）でデク リメントされます。
11:0	TREMAIN [11:0]	送信 FIFO 残量表示（バイト単位で表示） 送信 FIFO は32ビット（4バイト）なので、ビット1、ビット0は無視して常に 00が表示されます。

(9) ETHA0TXFINF2 : 送信ステータス2 レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 023C_H

初期値 不定

注意 送信系のモード・レジスタを書き換える場合は、必ず ETHA0TXFINF2.TXSTOP ビット = 1 になっていることを確認してから書き換えてください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	TXSTOP
R	R	R	R	R	R	R	R

表 32-80 ETHA0TXFINF2 レジスタの内容

ビット位置	ビット名	意味
0	TXSTOP	送信停止 (ETHA0MFFCONT.TXEN = 0) に設定している状態で、送信 FIFO にデータが存在していない状態で 1 が表示されます。 送信関係のモード設定レジスタを書き換える場合は、このビットが 1 の状態で行ってください。 0 : 送信 FIFO 動作中 1 : 送信 FIFO 停止

(10) ETHA0RXSTMONI : 受信ステータス・モニタ・レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0240_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RENE	VLAN	USOP	RPCF	RCFR	DBNB	RBRO	RMUL
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
RXOK	RLOR	RLER	RCRCE	RXER	CEPS	REPS	PAIG
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
RBYT15	RBYT14	RBYT13	RBYT12	RBYT11	RBYT10	RBYT9	RBYT8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RBYT7	RBYT6	RBYT5	RBYT4	RBYT3	RBYT2	RBYT1	RBYT0
R	R	R	R	R	R	R	R

表 32-81 ETHA0RXSTMONI レジスタの内容

ビット位置	ビット名	意味
31	RLENE	受信パケット・レングス・エラー 受信したパケットが 64 バイト未満または 1518 バイトより大きいことを示します (VLAN の場合は 64 バイト未満または 1522 バイトより大きい場合)。
30	VLAN	VLAN パケット TPID フィールドが ETHA0VLTP と一致したパケットの受信を示します ^a 。
29	USOP	未定義オペコード・コントロール・パケット受信 ^b
28	RPCF	ポーズ・コントロール・パケット受信 ^b
27	RCFR	コントロール・パケット受信 ^b
26	DBNB	ドリブル・ニブルを含むパケットの受信
25	RBRO	ブロードキャスト・パケット
24	RMUL	マルチキャスト・パケット
23	RXOK	受信終了 ^a
22	RLOR	レングス・フィールドが 1500 を越えるパケットの受信 ^c
21	RLER	レングス・フィールドがデータ・フィールド長と不一致 ^{c, d}
20	RCRCE	CRC エラー発生
19	RXER	RXER 検出
18	CEPS	False Carrier 検出 ^e
17	REPS	プリアンブル+SFD までのパケット、またはデータ部が 1 ニブルで終了したパケットの受信 ^{e, f}
16	PAIG	前回の受信後、次のいずれかに当てはまる条件が発生した ^e ・6072 ニブル (3036 バイト) を越えるキャリア長を検出した場合 ・パケット受信後 IFG + プリアンブル+SFD が 80 ビット・タイム以下で次のパケットが受信された場合 ^f ・ピュア・プリアンブルが設定されている時に不正なプリアンブルまたは SFD を受信した場合 ^f
15:0	RBYT[15:0]	受信バイト数

- a) CRC エラー、RXER が発生した場合はセット (1) されません。
- b) CRC エラーが発生した場合はセット (1) されません。
- c) ETHA0MACC1.FLCHT ビットが 0 の場合はセット (1) されません。
- d) レングス・フィールドが 1500 を越える場合は、RLOR としてセット (1) され RLER にはセット (1) されません。
- e) 前回、受信ステータスが更新されてから今回、更新されるまでに条件が発生したことを示します。
- f) これらの条件が発生したパケットは無視され上位システムへは転送されません。
RXSTMONI レジスタの更新タイミングは、受信パケットの DMA 転送終了時です。
(DMA 転送したパケットのステータスを示す)。ETHA0RXFINF1 レジスタも、同時期に更新されます。

ETHA0RXSTATUS レジスタは、受信パケットの DMA 転送終了時に更新されます。受信ステータス・レジスタ 1 (ETHA0RXFINF1) も同時に更新されません。

(11) ETHA0RXFINF1 : 受信ステータス1レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0244_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
RPLEN15	RPLEN14	RPLEN13	RPLEN12	RPLEN11	RPLEN10	RPLEN9	RPLEN8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RPLEN7	RPLEN6	RPLEN5	RPLEN4	RPLEN3	RPLEN2	RPLEN1	RPLEN0
R	R	R	R	R	R	R	R

表 32-82 ETHA0RXFINF1 レジスタの内容

ビット位置	ビット名	意味
15:0	RPLEN[15:0]	受信パケット・レングスをバイト単位で表示します。 イーサネット・コントローラは、受信ディスクリプタのライト・バック時に、RPLENの値をサイズ・フィールドに使用します。

(12) ETHA0RXFINF2 : 受信ステータス 2 レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0248_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	RPCNT8
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
RPCNT7	RPCNT6	RPCNT5	RPCNT4	RPCNT3	RPCNT2	RPCNT1	RPCNT0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	RREMAIN11	RREMAIN10	RREMAIN9	RREMAIN8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RREMAIN7	RREMAIN6	RREMAIN5	RREMAIN4	RREMAIN3	RREMAIN2	RREMAIN1	RREMAIN0
R	R	R	R	R	R	R	R

表 32-83 ETHA0RXFINF2 レジスタの内容

ビット位置	ビット名	意味
24:16	RPCNT[8:0]	受信 FIFO に存在するパケット数を表示 受信 FIFO 内に存在するパケット（スタート・フラグ～ エンド・フラグ）の数を 表示します。 MAC からの 1 パケットの書き込み完了でインクリメントされます（受信破棄され たパケットはカウントしません）。 イーサネット・コントローラ専用 DMAC からの読み出し完了または、パケット・ キャンセルされた場合は、内部でパケットのキャンセル動作が完了（パケット破 棄）した時にデクリメントされます。
11:0	RREMAIN [11:0]	受信 FIFO 残量表示（バイト単位で表示） 受信 FIFO は 32 ビット（4 バイト）なので、ビット 1、ビット 0 は無視され常に 00 が表示されます。

(13) ETHA0RXFINF3 : 受信ステータス 3 レジスタ

受信停止状態での受信 FIFO の状態を示すレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 024C_H

初期値 不定

注意 受信系とフロー制御系のモード・レジスタを書き換える場合は、必ず ETHA0RXFINF3.RXSTOP ビットがセット (1) されていることを確認してから書き換えてください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	RXSTOP
R	R	R	R	R	R	R	R

表 32-84 ETHA0RXFINF3 レジスタの内容

ビット位置	ビット名	意味
0	RXSTOP	受信停止状態 (ETHA0MFFCONT.RXEN = 0) に設定している状態で、受信 FIFO にデータが存在していない状態で 1 が表示されます。 RX 系とフロー制御系のモード設定レジスタを書き換える場合は、RXSTOP ビットが 1 の状態で行ってください。 0 : 受信 FIFO 動作中 1 : 受信 FIFO 停止

(14) ETHA0FSTATUS : FIFO ステータス割り込みレジスタ

ETHA0FSTATMK の設定で割り込みがマスクされていない場合、INTEMFMS 割り込みが発生します。INTEMFMS 割り込み信号はレジスタのビットがセットされている期間、アサートされ続けます。ETHA0FSTATMK でマスクされているビットでも、割り込み要因が発生すればレジスタはセットされます。ETHA0FSTATUS レジスタのすべてのビットは、レジスタのリードによってクリアされます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0250_H

初期値 不定

注意 FIFO ステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	TACOF
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	RACOF
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	—	—	TSUP	TFNRTY	TFWE	—	—
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RFFE	RSUP	—	RFWE	RFOF	—	RFFLW	RFZP
R	R	R	R	R	R	R	R

表 32-85 ETHA0FSTATUS レジスタの内容 (1/2)

ビット位置	ビット名	意味
24	TACOF	ETHA0TXABTCNT レジスタ (TX ABORT COUNT) がオーバフローするとセット (1) されます。
16	RACOF	ETHA0RXABTCNT レジスタ (RX ABORT COUNT) がオーバフローするとセット (1) されます。
12	TSUP	Tx Status Update ETHA0TXSTMONI1, ETHA0TXSTMONI2 レジスタに送信ステータスが更新されるとセット (1) されます
11	TFNRTY	送信 FIFO Abort (送信 FIFO Not Retry) 送信に失敗し、FIFO 内のデータを破棄したときにセット (1) されます。 ETHA0TXABTCNT がインクリメントされる条件が該当します。
10	TFWE	送信 FIFO 書き込みエラーが発生するとセット (1) されます。

表 32-85 ETHA0FSTATUS レジスタの内容 (2/2)

ビット位置	ビット名	意味
7	RFFE	受信 FIFO Flag Error MAC から受信 FIFO に受信データを書き込む際に、ハンドシェイクが正常に行われなかったことを示します。受信パケット、受信ステータスが無効ですが、受信はキャンセルされません。 ・すべての受信データを FIFO に格納する前に、受信ステータスが更新された場合、受信ステータスが更新された時点でパケットの終了とします。 ・すべての受信データを FIFO に格納したあとに、受信ステータスが更新されなかった場合、受信ステータスがオール 0 とみなされます。
6	RSUP	受信ステータス・モニタ・レジスタ (ETHA0RXSTMONI) が更新された場合にセット (1) されます。 ETHA0RXSTMONI レジスタまたは、ETHA0RXFINF1 レジスタから有効な値をリードすることが可能です。
4	RFWE	受信 FIFO Write Error 32 ビット (4 バイト) 未満のパケットを受信したので、受信 FIFO にライトできなかった場合にセット (1) されます。
3	RFOF	受信 FIFO がオーバフローした場合にセット (1) されます。
1	RFFLW	受信 FIFO の容量が、ETHA0FLOWTH.FLOWTHR の設定値以上になったことを示します。
0	RFZP	受信 FIFO の容量が、ETHA0FLOWTH.ZPTHR の設定値以上になったことを示します。

(15) ETHA0FSTATMK : FIFO ステータス割り込みマスク・レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0254_H

初期値 不定

注意 ビット 31-25, 23-17, 15-13, 9, 8, 5, 2 は必ず 1 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	TACOF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	RACOF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	TSUP	TFNRTY	TFWE	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RFFE	RSUP	—	RFWE	RFOF	—	RFFLW	RFZP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-86 ETHA0FSTATMK レジスタの内容

ビット位置	ビット名	意味
24	TACOF	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
16	RACOF	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
12	TSUP	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
11	TFNRTY	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
10	TFWE	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
7	RFFE	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
6	RSUP	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
4	RFWE	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
3	RFOF	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
1	RFFLW	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
0	RFZP	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)

(16) ETHA0TXSTATUS : 送信ステータス割り込みレジスタ

送信ステータスの累積結果が格納されます。ETHA0TXSTATMK の設定で割り込みがケアされていると、INTEMTS 割り込みが発生します。INTEMTS 割り込み信号はレジスタのビットがセットされている期間、アサートされ続けます。

ETHA0TXSTATMK でマスクされているビットでも、割り込み要因が発生すればレジスタはセットされます。TXSTAUS レジスタのすべてのビットは、レジスタのリードによってクリアされます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0258_H

初期値 不定

注意 送信ステータス割り込みレジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	TAB
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
TGNT	LCOL	ECOL	TEDFR	TDFR	TFLOR	TFLER	TCRCE
R	R	R	R	R	R	R	R

表 32-87 ETHA0TXSTATUS レジスタの内容 (1/2)

ビット位置	ビット名	意味
16	TAB	送信アボートが発生した
7	TGNT	ETHA0LMAX を越える長さの packets を送信した (TAB 要因) ETHA0MACC1.HUGEN = 1 の場合はセット (1) されません。
6	LCOL	レイト・コリジョンを検出した (TAB 要因)
5	ECOL	最大衝突回数を越える衝突が発生した (TAB 要因)
4	TEDFR	過剰送信遅延を検出した (TAB 要因)
3	TDFR	送信遅延が発生した
2	TFLOR	レンジ・フィールドが 1500 より大きい場合 VLAN パケット・ポーズ・コントロール・フレーム等の送信時にもセット (1) されます。 ETHA0MACC1.FLCHT = 0 の場合はセット (1) されません。
1	TFLER	レンジ・フィールドがデータ・フィールド長と不一致 ETHA0MACC1.FLCHT = 0 の場合はセット (1) されません。1500 を越えるレンジ・フィールドに対しては TFLOR にレポートされ、TFLER はセット (1) されません。

表 32-87 ETHA0TXSTATUS レジスタの内容 (2/2)

ビット位置	ビット名	意味
0	TCRCE	CRC エラー CRC 自動付加モードをオフに設定した場合 (ETHA0MACC1.PADEN = 0, かつ CRCEN = 0) の送信でセット (1) されます。

(17) ETHA0TXSTATMK : 送信ステータス割り込みマスク・レジスタ

送信ステータス割り込み (INTEMTS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると、INTCTS が発生します。INTCTS は、要因が発生している間、アサートされ続けます。ETHA0TXSTATMK レジスタでマスクされている割り込み要因が発生した場合は、ETHA0TXSTATUS レジスタの該当ビットがセット (1) されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 025C_H

初期値 不定

注意 ビット 31-17, 15-8 は必ず 1 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	TAB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TGNT	LCOL	ECOL	TEDFR	TDFR	TFLOR	TFLER	TCRCE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-88 ETHA0TXSTATMK レジスタの内容 (1/2)

ビット位置	ビット名	意味
16	TAB	0 : 割り込み許可 1 : 割り込みマスク
7	TGNT	0 : 割り込み許可 1 : 割り込みマスク
6	LCOL	0 : 割り込み許可 1 : 割り込みマスク
5	ECOL	0 : 割り込み許可 1 : 割り込みマスク
4	TEDFR	0 : 割り込み許可 1 : 割り込みマスク
3	TDFR	0 : 割り込み許可 1 : 割り込みマスク

表 32-88 ETHA0TXSTATMK レジスタの内容 (2/2)

ビット位置	ビット名	意味
2	TFLOR	0 : 割り込み許可 1 : 割り込みマスク
1	TFLER	0 : 割り込み許可 1 : 割り込みマスク
0	TCRCE	0 : 割り込み許可 1 : 割り込みマスク

(18) ETHA0RXSTATUS : 受信ステータス割り込みレジスタ

受信ステータスの累積結果が格納されます。ETHA0RXSTATMK の設定で割り込みがケアされていると、INTETMRS 割り込みが発生します。INTETMRS 割り込み信号はレジスタのビットがセット (1) されている期間、アサートされ続けます。

ETHA0RXSTATMK でマスクされているビットでも、割り込み要因が発生すればレジスタはセット (1) されます。

ETHA0RXERSEL (受信エラー・ステータス・レジスタ) の設定には影響されません。

ETHA0RXSTATUS レジスタのすべてのビットは、リードによってクリアされます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0260_H

初期値 不定

注意 受信ステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
—	RLENE	VLAN	USOP	RPCF	RCFR	DBNB	RLOR
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RLER	RCRCE	RXER	CEPS	REPS	PAIG	TXRX	DVCF
R	R	R	R	R	R	R	R

表 32-89 ETHA0RXSTATUS レジスタの内容

ビット位置	ビット名	意味
14	RLENE	受信パケット・レングス・エラー 受信したパケットが 64 バイト未満または 1518 バイトより大きいことを示します。 (VLAN パケットの場合は 64 バイト未満または 1522 バイトより大きい場合)
13	VLAN	VLAN パケット受信 TPID フィールドが ETHA0VLTP と一致したパケットの受信 ^a
12	USOP	未定義オペコード・コントロール・パケット受信 ^b
11	RPCF	ポーズ・コントロール・パケット受信 ^b
10	RCFR	コントロール・パケット受信 ^b
9	DBNB	ドリブル・ニブルを含むパケットの受信
8	RLOR	レングス・フィールドが、1500 を越えるパケットの受信 ^c
7	RLER	レングス・フィールドが、データ・フィールド長と不一致注 ^{c, d}
6	RRCCE	受信 CRC エラー
5	RXER	RXER を検出した
4	CEPS	False Carrier 検出 ^e
3	REPS	プリアンブル+SFD までのパケット、あるいはデータ部が 1 ニブル ^{e, f}
2	PAIG	前回の受信後、次のいずれかに当てはまる条件が発生した ^e ・ 6072 ニブル (3036 バイト) を越えるキャリア長を検出した場合 ・ パケット受信後 IFG + プリアンブル + SFD が 80 ビット・タイム以下で、次パケットが受信された場合 ・ ETHA0MACC1.PUREP ビットが設定されているときに不正なプリアンブルまたは SFD を受信した場合
1	TXRX	半二重受信中 (受信開始直後) に送信を開始 (コリジョン発生) した場合
0	DVCF	受信したパケットが有効 (エラーを含まない) コントロール・パケットであった場合

a) CRC エラー、RXER が発生した場合はセット (1) されません。

b) CRC エラーが発生した場合はセット (1) されません。

c) ETHA0MACC1.FLCHT ビットが 0 の場合はセット (1) されません。

d) レングス・フィールドが 1500 を越えている場合は RLOR としてセット (1) され、RLER はセット (1) されません。

e) 前回受信ステータスが更新されてから、今回受信ステータスが更新されるまでの間に条件が発生したことを示します。

f) これらの条件が発生したパケットは無視され、上位システムへは転送されません。

(19) ETHA0RXSTATMK : 受信ステータス割り込みマスク・レジスタ

受信ステータス割り込み (INTETMRS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると、INTETMRS が発生します。INTETMRS は、要因が発生している間、アサートされ続けます。ETHA0RXSTATMK レジスタでマスクされている割り込み要因が発生した場合は、RXSTATUS レジスタの該当ビットがセット (1) されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0264_H

初期値 不定

注意 ビット 31-15 は必ず 1 を設定してください。

—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	RLENE	VLAN	USOP	RPCF	RCFR	DBNB	RLOR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RLER	RRCCE	RXER	CEPS	REPS	PAIG	TXRX	DVCF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
—	—	—	—	—	—	—	—

表 32-90 ETHA0RXSTATMK レジスタの内容 (1/2)

ビット位置	ビット名	意味
14	RLENE	0 : 割り込み発生 1 : 割り込みマスク
13	VLAN	0 : 割り込み発生 1 : 割り込みマスク
12	USOP	0 : 割り込み発生 1 : 割り込みマスク
11	RPCF	0 : 割り込み発生 1 : 割り込みマスク
10	RCFR	0 : 割り込み発生 1 : 割り込みマスク
9	DBNB	0 : 割り込み発生 1 : 割り込みマスク
8	RLOR	0 : 割り込み発生 1 : 割り込みマスク
7	RLER	0 : 割り込み発生 1 : 割り込みマスク
6	RRCCE	0 : 割り込み発生 1 : 割り込みマスク

表 32-90 ETHA0RXSTATMK レジスタの内容 (2/2)

ビット位置	ビット名	意味
5	RXER	0 : 割り込み発生 1 : 割り込みマスク
4	CEPS	0 : 割り込み発生 1 : 割り込みマスク
3	REPS	0 : 割り込み発生 1 : 割り込みマスク
2	PAIG	0 : 割り込み発生 1 : 割り込みマスク
1	TXRX	0 : 割り込み発生 1 : 割り込みマスク
0	DVCF	0 : 割り込み発生 1 : 割り込みマスク

(20) ETHA0TXABTCNT : 送信アポート・カウンタ

送信アポート・カウンタです。MAC 送信エラーとなったパケット数をカウントします（アンダランも含む）。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 0270_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TABCNT15	TABCNT14	TABCNT13	TABCNT12	TABCNT11	TABCNT10	TABCNT9	TABCNT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TABCNT7	TABCNT6	TABCNT5	TABCNT4	TABCNT3	TABCNT2	TABCNT1	TABCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-91 ETHA0TXABTCNT レジスタの内容

ビット位置	ビット名	意味
15:0	TABCNT [15:0]	送信アポート・カウンタ MAC 送信エラーとなったパケット数をカウントします（アンダラン含む）。 ETHA0MFFCONT.TABT = 1 に設定して、送信アポート・パケットを再送する設定 にしている場合はカウントされません。 68 バイト転送以後のリトライ要求では再送しませんのでカウントされます（通常 は 64 バイト転送後に MAC がリトライ要求を出すことはありません） カウント値がオーバーフローした場合、値は 0 に戻り、ETHA0FSTATUS.TACOF ビットがセットされます。 送信回路リセット（TFRST, TFFLSH）ではクリアされません。

(21) ETHA0RXABTCNT : 受信アポート・カウンタ

受信アポート・カウントです。受信パケットのステータスや、受信 FIFO のステータス、MAC のアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 0274_H

初期値 不定

注意 ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TABCNT15	TABCNT14	TABCNT13	TABCNT12	TABCNT11	TABCNT10	TABCNT9	TABCNT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TABCNT7	TABCNT6	TABCNT5	TABCNT4	TABCNT3	TABCNT2	TABCNT1	TABCNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-92 ETHA0RXABTCNT レジスタの内容

ビット位置	ビット名	意味
15:0	TABCNT [15:0]	受信アポート・カウント 受信パケットのステータスや、受信 FIFO のステータス、MAC のアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。 カウント値がオーバーフローした場合、値は 0 に戻り、ETHA0FSTATUS.RACOF ビットがセットされます。 受信回路リセット (RFRST, RFFLSH) ではクリアされません。

32.4.4 イーサネット・コントローラ専用 DMAC 制御レジスタ

(1) ETHA0MODE : コア・ファンクション制御レジスタ

送受信の制御をするレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0300_H

初期値 不定

注意 ビット 31-19, 16-0 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	RXS	TXS	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-93 ETHA0MODE レジスタの内容

ビット位置	ビット名	意味
18	RXS	受信許可ビットです。RXS ビットの値は、1 がセットされたあと、自動的にクリアされます。
17	TXS	送信許可ビットです。TXS ビットの値は、1 がセットされたあと、自動的にクリアされます。

(2) ETHA0INTMS : 割り込み制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0304_H

初期値 不定

注意 ビット 31-28, 23-20, 15-11, 7-3 は必ず 0 を設定してください。

備考 ETHA0INTMS レジスタの RBEI, RECI, RXI, TBEI, TECI, TXI ビットはリードされるとクリアされます。

31	30	29	28	27	26	25	24
—	—	—	—	—	RBEMSK	RECMSK	RXMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	RBEI	RECI	RXI
R/W	R/W	R/W	R/W	R/W	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	—	TBEMSK	TECMSK	TXMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	TBEI	TECI	TXI
R/W	R/W	R/W	R/W	R/W	R	R	R

表 32-94 ETHA0INTMS レジスタの内容 (1/2)

ビット位置	ビット名	意味
26	RBEMSK	ビット 18 の RBEI 割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
25	RECMSK	ビット 17 の RECI 割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
24	RXMSK	ビット 16 の RXI 割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク
18	RBEI	受信データ・バッファ・アクセス・エラー割り込みです。リード・クリアされま す。 0 : 割り込みなし 1 : 割り込み発生
17	RECI	受信 (DMA) エンド・オブ・チェーン割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生
16	RXI	パケット受信 (DMA) 完了の割り込みです。リード・クリアされます。 0 : 割り込みなし 1 : 割り込み発生
10	TBEMSK	ビット 2 の TBEI 割り込みマスク 0 : 割り込み許可 1 : 割り込みマスク

表 32-94 ETHA0INTMS レジスタの内容 (2/2)

ビット位置	ビット名	意味
9	TECMSK	ビット1のTECI割り込みマスク 0: 割り込み許可 1: 割り込みマスク
8	TXMSK	ビット0のTXI割り込みマスク 0: 割り込み許可 1: 割り込みマスク
2	TBEI	送信データ・バッファ・アクセス・エラー割り込みです。リード・クリアされま す。 0: 割り込みなし 1: 割り込み発生
1	TECI	送信 (DMA) エンド・オブ・チェーン割り込みです。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生
0	TXI	パケット送信 (DMA) 完了の割り込みです。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生

(3) ETHA0TRANSCTL : 転送制御レジスタ

イーサネット・コントローラ専用 DMAC の転送制御を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 0308_H

初期値 不定

注意 ビット 31-26, 23-18, 15-1 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	RXEN_STA	TXEN_STA
R/W	R/W	R/W	R/W	R/W	R/W	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	RXEN	TXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	RXCHKSMEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-95 ETHA0TRANSCTL レジスタの内容

ビット位置	ビット名	意味
25	RXEN_STA	受信ステータス・ビットです。 0 : 受信動作は行われていない (IDLE 状態) 1 : 受信動作中 割り込みレジスタ (ETHA0INTMS) の RBEI, RECI 割り込みが発生した場合、受信動作は停止します。このときも、このビットはクリア (0) されます。
24	TXEN_STA	送信ステータス・ビットです。 0 : 送信動作は行われていない (IDLE 状態) 1 : 送信動作中 割り込みレジスタ (ETHA0INTMS) の TBEI, TECI 割り込みが発生した場合、送信動作は停止します。このときも、このビットはクリア (0) されます。
17	RXEN	受信イネーブル設定ビットです。 0 : 禁止 (受信 DMA 転送は停止します) 1 : 許可
16	TXEN	送信イネーブル設定ビットです。 0 : 禁止 (送信 DMA 転送は停止します) 1 : 許可
0	RXCHKSMEN	受信チェックサム付加機能のオン／オフを制御します。 0 : 禁止 1 : 許可

(4) ETHA0SFTRST : ソフトウェア・リセット制御レジスタ

送受信イーサネット・コントローラ専用 DMAC をソフトウェア・リセットするためのレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 030C_H

初期値 不定

注意 ビット 31-1 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	SFTRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-96 SFTRST レジスタの内容

ビット位置	ビット名	意味
0	SFTRST	ソフトウェア・リセット 1に設定するとイーサネット・コントローラ専用 DMAC の回路がリセットされま す。 また、受信チェックサム・ユニットの回路もリセットされます。 1を書き込んだあと、SFTRST ビットは自動的にクリア (0) されます。

(5) ETHA0DMACM : DMAC モード制御レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0310_H

初期値 不定

注意 ビット 31-11, 7-5, 3-0 は必ず 0 を, ビット 4 は必ず 1 を設定してください。

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	BURST2	BURST1	BURST0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-97 ETHA0DMACM レジスタの内容

ビット位置	ビット名	意味																														
10:8	BURST[2:0]	バースト転送のタイプを指定します。 <table border="1"> <thead> <tr> <th>BURST2</th><th>BURST1</th><th>BURST0</th><th>タイプ</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>SINGLE</td><td>シングル転送</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>INCR4</td><td>4 ビート・インクリメント・バースト</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>INCR8</td><td>8 ビート・インクリメント・バースト</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>INCR16</td><td>16 ビート・インクリメント・バースト</td></tr> <tr> <td colspan="3">上記以外</td><td colspan="2">設定禁止</td></tr> </tbody> </table>	BURST2	BURST1	BURST0	タイプ	動作	0	0	0	SINGLE	シングル転送	0	1	1	INCR4	4 ビート・インクリメント・バースト	1	0	1	INCR8	8 ビート・インクリメント・バースト	1	1	1	INCR16	16 ビート・インクリメント・バースト	上記以外			設定禁止	
BURST2	BURST1	BURST0	タイプ	動作																												
0	0	0	SINGLE	シングル転送																												
0	1	1	INCR4	4 ビート・インクリメント・バースト																												
1	0	1	INCR8	8 ビート・インクリメント・バースト																												
1	1	1	INCR16	16 ビート・インクリメント・バースト																												
上記以外			設定禁止																													

(6) ETHA0RXDP : 受信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用 DMAC の、受信ディスクリプタのポインタ位置を設定するレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0_base> + 0320_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
RXDP31	RXDP30	RXDP29	RXDP28	RXDP27	RXDP26	RXDP25	RXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
RXDP23	RXDP22	RXDP21	RXDP20	RXDP19	RXDP18	RXDP17	RXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
RXDP15	RXDP14	RXDP13	RXDP12	RXDP11	RXDP10	RXDP9	RXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RXDP7	RXDP6	RXDP5	RXDP4	RXDP3	RXDP2	RXDP1	RXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-98 ETHA0RXDP レジスタの内容

ビット位置	ビット名	意味
31:0	RXDP[31:0]	受信ディスクリプタのポインタ位置を設定します。受信ディスクリプタ・チェーンの先頭アドレスを指定してください。 ビット1, ビット0は00固定です。

(7) ETHA0LSTRXDP : 最終受信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用 DMAC の、最終受信ディスクリプタ・アドレスを示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 0324_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
LSTRXDP31	LSTRXDP30	LSTRXDP29	LSTRXDP28	LSTRXDP27	LSTRXDP26	LSTRXDP25	LSTRXDP24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
LSTRXDP23	LSTRXDP22	LSTRXDP21	LSTRXDP20	LSTRXDP19	LSTRXDP18	LSTRXDP17	LSTRXDP16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
LSTRXDP15	LSTRXDP14	LSTRXDP13	LSTRXDP12	LSTRXDP11	LSTRXDP10	LSTRXDP9	LSTRXDP8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
LSTRXDP7	LSTRXDP6	LSTRXDP5	LSTRXDP4	LSTRXDP3	LSTRXDP2	LSTRXDP1	LSTRXDP0
R	R	R	R	R	R	R	R

表 32-99 ETHA0LSTRXDP レジスタの内容

ビット位置	ビット名	意味
31:0	LSTRXDP [31:0]	最終受信ディスクリプタ・ポインタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。 ビット1, ビット0は00固定です。

(8) ETHA0TXDP : 送信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用 DMAC の、送信ディスクリプタのポインタ位置を設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0_base> + 0328_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TXDP31	TXDP30	TXDP29	TXDP28	TXDP27	TXDP26	TXDP25	TXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TXDP23	TXDP22	TXDP21	TXDP20	TXDP19	TXDP18	TXDP17	TXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TXDP15	TXDP14	TXDP13	TXDP12	TXDP11	TXDP10	TXDP9	TXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TXDP7	TXDP6	TXDP5	TXDP4	TXDP3	TXDP2	TXDP1	TXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-100 ETHA0TXDP レジスタの内容

ビット位置	ビット名	意味
31:0	TXDP[31:0]	送信ディスクリプタのポインタ位置を設定します。送信ディスクリプタ・チェーンの先頭アドレスを指定してください。 ビット1, ビット0は00固定です。

(9) ETHA0LSTTXDP : 最終送信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用 DMAC の最終送信ディスクリプタ・アドレスを示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHA0_base> + 032C_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
LSTTXDP31	LSTTXDP30	LSTTXDP29	LSTTXDP28	LSTTXDP27	LSTTXDP26	LSTTXDP25	LSTTXDP24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
LSTTXDP23	LSTTXDP22	LSTTXDP21	LSTTXDP20	LSTTXDP19	LSTTXDP18	LSTTXDP17	LSTTXDP16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
LSTTXDP15	LSTTXDP14	LSTTXDP13	LSTTXDP12	LSTTXDP11	LSTTXDP10	LSTTXDP9	LSTTXDP8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
LSTTXDP7	LSTTXDP6	LSTTXDP5	LSTTXDP4	LSTTXDP3	LSTTXDP2	LSTTXDP1	LSTTXDP0
R	R	R	R	R	R	R	R

表 32-101 ETHA0LSTTXDP レジスタの内容

ビット位置	ビット名	意味
31:0	LSTTXDP [31:0]	最終ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。 ビット1, ビット0は00固定です。

32.4.5 送信用チェックサム専用 DMAC 制御レジスタ

(1) ETHA0CMODE : 送信チェックサム・ユニット・ファンクション設定レジスタ

受信スタート・ディスクリプタ, 送信スタート・ディスクリプタの解析を指示するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ETHA0C_base> + 0300_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	TCH_RXS	TCH_TXS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-102 ETHA0CMODE レジスタの内容

ビット位置	ビット名	意味
17	TCH_RXS	受信スタート・ディスクリプタの解析を行います。 このビットの値は、セット (1) された直後にクリア (0) されます。
16	TCH_TXS	送信スタート・ディスクリプタの解析を行います。 このビットの値は、セット (1) された直後にクリア (0) されます。

(2) ETHA0CINTMS : 送信チェックサム割り込みレジスタ

送信チェックサム専用 DMAC の INTSCRXTCH, INTSCTXTCH 割り込みのステータス、割り込みマスク・レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。ビット 18-16, 2-0 はリードのみ可能です。

アドレス <ETHA0C_base> + 0304_H

初期値 不定

注意 送信チェックサム割り込みレジスタの TCH_RBEI, TCH_RECI, TCH_RXI, TCH_TB EI, TCH_TECI, TCH_TXI ビットは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

31	30	29	28	27	26	25	24
—	—	—	—	—	TCH_RBEMSK	TCH_RECMSK	TCH_RXMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	TCH_RBEI	TCH_RECI	TCH_RXI
R/W	R/W	R/W	R/W	R/W	R	R	R
15	14	13	12	11	10	9	8
—	—	—	—	—	TCH_TBEMSK	TCH_TECMSK	TCH_TXMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	TCH_TB EI	TCH_TECI	TCH_TXI
R/W	R/W	R/W	R/W	R/W	R	R	R

表 32-103 ETHA0CINTMS レジスタの内容

ビット位置	ビット名	意味
26	TCH_RBEMSK	ビット 18 の TCH_RBEI 割り込みのマスク・ビットです。 0 : マスクしない 1 : マスクする
25	TCH_RECMSK	ビット 17 の TCH_RECI 割り込みのマスク・ビットです。 0 : マスクしない 1 : マスクする
24	TCH_RXMSK	ビット 16 の TCH_RXI 割り込みのマスク・ビットです。 0 : マスクしない 1 : マスクする
18	TCH_RBEI	INTSCRXTCH の、受信データ・バッファ・アクセス・エラー割り込みです。 リードでクリア (0) されます。 0 : 割り込みは発生していない 1 : 割り込みが発生している。
17	TCH_RECI	INTSCRXTCH の、受信 DMA エンド・オブ・チェーン割り込みです。リードでクリア (0) されます。 0 : 割り込みは発生していない 1 : 割り込みが発生している。
16	TCH_RXI	INTSCRXTCH の、パケット受信 DMA 転送完了割り込みです。リードでクリア (0) されます。 0 : 割り込みは発生していない 1 : 割り込みが発生している。
10	TCH_TBEMSK	ビット 2 の TCH_TBEI 割り込みのマスク・ビットです。 0 : マスクしない 1 : マスクする
9	TCH_TECMSK	ビット 1 の TCH_TECI 割り込みのマスク・ビットです。 0 : マスクしない 1 : マスクする
8	TCH_TXMSK	ビット 0 の TCH_TXI 割り込みのマスク・ビットです。 0 : マスクしない 1 : マスクする
2	TCH_TBEI	INTSCTXTCH の、送信データ・バッファ・アクセス・エラー割り込みです。 リードでクリア (0) されます。 0 : 割り込みは発生していない 1 : 割り込みが発生している。
1	TCH_TECI	INTSCTXTCH の、送信 DMA エンド・オブ・チェーン割り込みです。リードでクリア (0) されます。 0 : 割り込みは発生していない 1 : 割り込みが発生している。
0	TCH_TXI	INTSCTXTCH の、パケット送信 DMA 転送完了割り込みです。リードでクリア (0) されます。 0 : 割り込みは発生していない 1 : 割り込みが発生している。

(3) ETHA0TRANSCTL : 送信チェックサム転送制御レジスタ

送信チェックサム専用 DMAC の送受信制御を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。ビット 25, 24 はリードのみ可能です。

アドレス <ETHA0C_base> + 0308_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	TCH_RXEN_ STA	TCH_TXEN_ STA
R/W	R/W	R/W	R/W	R/W	R/W	R	R
23	22	21	20	19	18	17	16
—	—	—	—	—	—	TCH_RXEN	TCH_TXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-104 ETHA0TRANSCTL レジスタの内容

ビット位置	ビット名	意味
25	TCH_RXEN_ STA	受信ステータス・ビットです。 0: 受信動作は行われていない (IDLE 状態) 1: 受信動作中 送信チェックサム割り込みレジスタ (ETHA0CINTMS) の TCH_RBEI, TCH_RECI 割り込みが発生した場合, 受信動作は停止します。このときも, このビットはク リア (0) されます。
24	TCH_TXEN_ STA	送信ステータス・ビットです。 0: 送信動作は行われていない (IDLE 状態) 1: 送信動作中 送信チェックサム割り込みレジスタ (ETHA0CINTMS) の TCH_TBEI, TCH_TECI 割り込みが発生した場合, 送信動作は停止します。このときも, このビットはク リア (0) されます。
17	TCH_RXEN	受信イネーブル・ビットです。 0: 禁止 (受信 DMA 転送は停止します) 1: 許可
16	TCH_TXEN	送信イネーブル・ビットです。 0: 禁止 (送信 DMA 転送は停止します) 1: 許可

(4) ETHA0CSFTRST : 送信チェックサム・ソフト・リセット・レジスタ

送信チェックサム専用 DMAC の送受信制御を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0C_base> + 030C_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	TCH_SFTRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-105 ETHA0CSFTRST レジスタの内容

ビット位置	ビット名	意味
0	TCH_SFTRST	送信チェックサム専用 DMAC のソフトウェア・リセット・ビットです。このビットをセット (1) すると、送信チェックサム用 DMA と送信チェックサム・ユニットがリセットされます。このビットは、リセット後、自動的にクリア (0) されます。

(5) ETHA0CDMACM : 送信チェックサム DMAC 制御モード設定レジスタ

送信チェックサム専用 DMAC の DMA の、バースト転送タイプを指定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETHA0C_base> + 0310_H

初期値 不定

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
—	—	—	—	—	BURST2	BURST1	BURST0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
—	—	—	1	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-106 ETHA0CDMACM レジスタの内容

ビット位置	ビット名	意味																								
10:8	BURST [2:0]	内部システム・バスに対するバースト転送のタイプを指定します。																								
		<table border="1"> <thead> <tr> <th>BURST2</th><th>BURST1</th><th>BURST0</th><th>転送タイプ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>シングル転送</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>4 ビット・インクリメント式バースト転送モード</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>8 ビット・インクリメント式バースト転送モード</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>16 ビット・インクリメント式バースト転送モード</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	BURST2	BURST1	BURST0	転送タイプ	0	0	0	シングル転送	0	1	1	4 ビット・インクリメント式バースト転送モード	1	0	0	8 ビット・インクリメント式バースト転送モード	1	1	1	16 ビット・インクリメント式バースト転送モード	上記以外			設定禁止
BURST2	BURST1	BURST0	転送タイプ																							
0	0	0	シングル転送																							
0	1	1	4 ビット・インクリメント式バースト転送モード																							
1	0	0	8 ビット・インクリメント式バースト転送モード																							
1	1	1	16 ビット・インクリメント式バースト転送モード																							
上記以外			設定禁止																							

(6) ETHA0CRXDP : 送信チェックサム受信ディスクリプタ・ポインタ・レジスタ

送信チェックサム専用 DMAC の、受信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00_B 固定です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0C_base> + 0320_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TCH_ RXDP31	TCH_ RXDP30	TCH_ RXDP29	TCH_ RXDP28	TCH_ RXDP27	TCH_ RXDP26	TCH_ RXDP25	TCH_ RXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TCH_ RXDP23	TCH_ RXDP22	TCH_ RXDP21	TCH_ RXDP20	TCH_ RXDP19	TCH_ RXDP18	TCH_ RXDP17	TCH_ RXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TCH_ RXDP15	TCH_ RXDP14	TCH_ RXDP13	TCH_ RXDP12	TCH_ RXDP11	TCH_ RXDP10	TCH_ RXDP9	TCH_ RXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TCH_ RXDP7	TCH_ RXDP6	TCH_ RXDP5	TCH_ RXDP4	TCH_ RXDP3	TCH_ RXDP2	TCH_ RXDP1	TCH_ RXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-107 ETHA0CRXDP レジスタの内容

ビット位置	ビット名	意味
31:0	TCH_RXDP [31:0]	受信ディスクリプタのポインタ位置を設定します。受信ディスクリプタ・チェーンの先頭アドレスを指定してください。ビット 1, 0 は 0 固定です。

(7) ETHA0CLSTRXDP : 送信チェックサム・ラスト受信ディスクリプタ・ポインタ・レジスタ

送信チェックサム専用 DMAC の、最終受信ディスクリプタ・アドレスを示します。下位 2 ビットは 00_B 固定です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0C_base> + 0324_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TCH_LST RXDP31	TCH_LST RXDP30	TCH_LST RXDP29	TCH_LST RXDP28	TCH_LST RXDP27	TCH_LST RXDP26	TCH_LST RXDP25	TCH_LST RXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TCH_LST RXDP23	TCH_LST RXDP22	TCH_LST RXDP21	TCH_LST RXDP20	TCH_LST RXDP19	TCH_LST RXDP18	TCH_LST RXDP17	TCH_LST RXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TCH_LST RXDP15	TCH_LST RXDP14	TCH_LST RXDP13	TCH_LST RXDP12	TCH_LST RXDP11	TCH_LST RXDP10	TCH_LST RXDP9	TCH_LST RXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TCH_LST RXDP7	TCH_LST RXDP6	TCH_LST RXDP5	TCH_LST RXDP4	TCH_LST RXDP3	TCH_LST RXDP2	TCH_LST RXDP1	TCH_LST RXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-108 ETHA0CLSTRXDP レジスタの内容

ビット位置	ビット名	意味
31:0	TCH_LSTR XDP[31:0]	最終受信ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。ビット 1, 0 は 0 固定です。

(8) ETHA0CTXDP : 送信チェックサム送信ディスクリプタ・ポインタ・レジスタ

送信チェックサム専用 DMAC の、送信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00_b 固定です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0C_base> + 0328_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TCH_ TXDP31	TCH_ TXDP30	TCH_ TXDP29	TCH_ TXDP28	TCH_ TXDP27	TCH_ TXDP26	TCH_ TXDP25	TCH_ TXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TCH_ TXDP23	TCH_ TXDP22	TCH_ TXDP21	TCH_ TXDP20	TCH_ TXDP19	TCH_ TXDP18	TCH_ TXDP17	TCH_ TXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TCH_ TXDP15	TCH_ TXDP14	TCH_ TXDP13	TCH_ TXDP12	TCH_ TXDP11	TCH_ TXDP10	TCH_ TXDP9	TCH_ TXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TCH_ TXDP7	TCH_ TXDP6	TCH_ TXDP5	TCH_ TXDP4	TCH_ TXDP3	TCH_ TXDP2	TCH_ TXDP1	TCH_ TXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-109 ETHA0CTXDP レジスタの内容

ビット位置	ビット名	意味
31:0	[31:0]	送信ディスクリプタのポインタ位置を設定します。送信ディスクリプタ・チェーンの先頭アドレスを指定してください。ビット 1, 0 は 0 固定です。

(9) ETHA0CLSTTXDP : 送信チェックサム・ラスト送信ディスクリプタ・ポインタ・レジスタ

送信チェックサム専用 DMAC の、最終送信ディスクリプタ・アドレスを示します。下位 2 ビットは 00_b 固定です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHA0C_base> + 032C_H

初期値 FFFF FFFC_H どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
TCH_LST TXDP31	TCH_LST TXDP30	TCH_LST TXDP29	TCH_LST TXDP28	TCH_LST TXDP27	TCH_LST TXDP26	TCH_LST TXDP25	TCH_LST TXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
TCH_LST TXDP23	TCH_LST TXDP22	TCH_LST TXDP21	TCH_LST TXDP20	TCH_LST TXDP19	TCH_LST TXDP18	TCH_LST TXDP17	TCH_LST TXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
TCH_LST TXDP15	TCH_LST TXDP14	TCH_LST TXDP13	TCH_LST TXDP12	TCH_LST TXDP11	TCH_LST TXDP10	TCH_LST TXDP9	TCH_LST TXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
TCH_LST TXDP7	TCH_LST TXDP6	TCH_LST TXDP5	TCH_LST TXDP4	TCH_LST TXDP3	TCH_LST TXDP2	TCH_LST TXDP1	TCH_LST TXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-110 ETHA0CLSTTXDP レジスタの内容

ビット位置	ビット名	意味
31:0	TCH_LST TXDP[31:0]	最終受信ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。ビット 1, 0 は 0 固定です。

32.5 MAC/FIFO/DMAC 機能

32.5.1 フレーム・フォーマット

イーサネット／IEEE 802.3においては、情報はパケットあるいはフレームと呼ばれる形式で送信および受信が行われます。

イーサネット・コントローラでは、次の3種類のフレーム・フォーマットをサポートします。

- ベーシック・フレーム
- VLAN フレーム
- ポーズ・コントロール・フレーム

(1) Basic フレーム

イーサネットで用いられる基本のフレーム・フォーマットは、プリアンブル (PA)、フレーム開始デリミタ (SFD)、デスティネーション・アドレス (DA)、ソース・アドレス (SA)、タイプ/レングス・フィールド (TYPE/LEN)、データ・フィールド (DATA) およびフレーム・チェック・シーケンス (FCS) から構成されます。

パケット・サイズは、プリアンブル (PA) およびフレーム開始デリミタ (SFD) を除き、最小で 64 バイト、最大で 1518 バイトと定義されています。

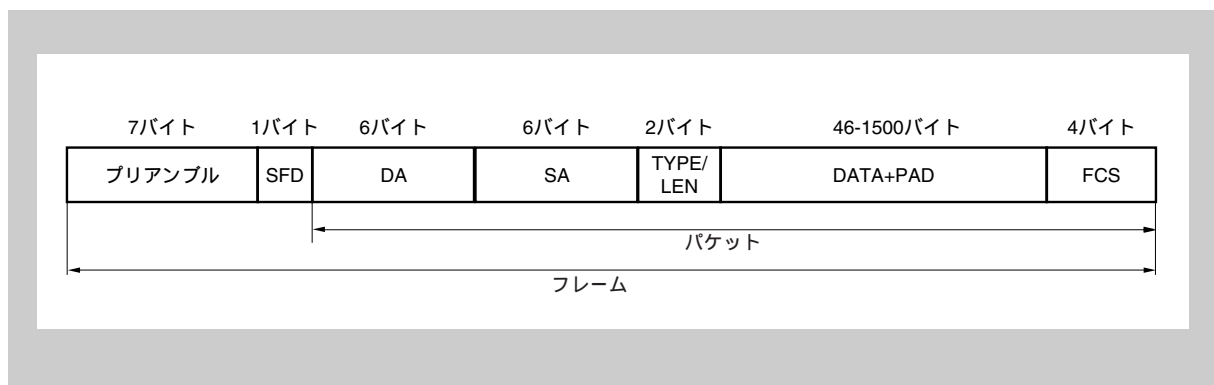


図 32-5 Basic フレーム構造

(a) プリアンブルおよび SFD

プリアンブルおよび SFD は 62 ビットの連続した 10 の繰り返しと 11 からなり、各フレームの先頭部を示します。

(b) デスティネーション・アドレス (DA)

デスティネーション・アドレス・フィールドは宛先の MAC アドレスを示しており、ユニキャスト・アドレス、マルチキャスト・アドレスあるいはブロードキャスト・アドレスが書き込まれます。

(c) ソース・アドレス (SA)

ソース・アドレス・フィールドには、送信元の MAC アドレスが書き込まれます。

(d) タイプ/レングス・フィールド

イーサネット・フレームではプロトコル・タイプを示すフィールドとして使われます。IEEE802.3 フレームではデータ・フィールドの長さを示すレングス・フィールドとして使われます。

(e) データ・フィールド

データ・フィールドは、46 バイトから 1500 バイトの間で設定されます。

通信プロトコルによっては、データ・フィールドを更に分割して、専用のヘッダ情報を挿入しますが、イーサネット・コントローラでは、データ・フィールド中のデータは FCS 用の CRC 計算に使用するだけで、内容の確認などはいりません。

(f) フレーム・チェック・シーケンス (FCS)

フレーム・チェック・シーケンス・フィールドは、転送データのチェックを行うために 32 ビット CRC (Cyclic Redundancy Check) の書き込みフィールドとして使われます。

イーサネット・コントローラは、送信フレームに CRC を自動で付加する機能があります。

(2) VLAN フレーム

VLAN フレーム (Qtag フレーム) の場合には、通常のフレーム構造とは多少異なります。

ソース・アドレス・フィールドの直後に 4 バイトの VLAN ヘッダが挿入されます。その結果、VLAN フレームの場合、最小パケット長は 64 バイト、最大パケット長は 1522 バイトになります。

イーサネット・コントローラでは VLAN フレーム検出機能をもっており、送信パケットあるいは受信パケットが VLAN フレームとして検出された場合、この受信パケット長を基準にパケット処理を行います。

7バイト	1バイト	6バイト	6バイト	2バイト	2バイト	2バイト	46-1500バイト	4バイト
プリアンブル	SFD	DA	SA	TPID	TCI	TYPE/ LEN	DATA+PAD	FCS

備考 TPID : Tag Protocol ID
 TCI : Tag Control Information
 TPID + TCI : VLAN ヘッダ

図 32-6 VLAN フレーム構造

注意 イーサネット・コントローラは、ETHA0VLTP.VLTP[15:0] ビットに設定した値を VLAN タイプ (TPID) として認識します。デフォルト値は 0000_H となっています。詳細は、32.4.1(10) 「ETHA0VLTP : VLAN タイプ・レジスタ」を参照してください。

(3) ポーズ・コントロール・フレーム

ポーズ・コントロール・フレームは、専用フォーマットの 64 バイトのパケットです。

デスティネーション・アドレス・フィールドは、01-80-C2-00-00-01_H に決まっています。

タイプ/レングス・フィールドはコントロール・フレームを示す 8808_H、オペコードはポーズ・コントロールを示す 0001_H が入ります。パラメータ・フィールドは ETHA0PAUSETM レジスタの値が入ります。パラメータ・フィールドの後ろの未使用領域は PAD データ "0" で埋められます。

7バイト	1バイト	6バイト	6バイト	2バイト	2バイト	2バイト	42バイト	4バイト
プリアンブル	SFD	DA	SA	TYPE	OP CODE	PARA METER	PAD (00H)	FCS

備考 DA : Fixed Address (01-80-C2-00-00-01H)
 TYPE/LEN : Type of MAC Control Frame (88-08H)
 OPCODE : Pause Op-code (00-01H)
 PARAMETER : Pause Command parameter (ETHA0PAUSETM レジスタで設定)
 PAD : All bits are filled zero (00H)

図 32-7 ポーズ・コントロール・フレーム構造

イーサネット・コントローラには、受信 FIFO 内に残っているデータ量によって、自動的にポーズ・コントロール・フレームを送信する機能があります。

受信時は、DA, TYPE, OPCODE によって、表 32-111 「受信オペレーション」に示すようにフレームを判断します。

表 32-111 受信オペレーション

DA	TYPE	OPCODE	フレームの判断
01-80-C2-00-00-01	8808 _H	0001 _H	ポーズ・フレーム
01-80-C2-00-00-01	8808 _H	0001 _H 以外	サポート対象外
01-80-C2-00-00-01	8808 _H 以外	xxxx	データ・フレーム
ユニキャスト (Stat. Adr.)	8808 _H	0001 _H	ポーズ・フレーム
ユニキャスト (Stat. Adr.)	8808 _H	0001 _H 以外	サポート対象外
ユニキャスト (Stat. Adr.)	8808 _H 以外	xxxx	データ・フレーム
マルチキャスト	8808 _H	xxxx	サポート対象外
マルチキャスト	8808 _H 以外	xxxx	データ・フレーム
ユニキャスト (Stat. Adr.)	8808 _H	xxxx	サポート対象外
ユニキャスト (Stat. Adr.)	8808 _H 以外	xxxx	データ・フレーム

(4) VLAN タグを含むポーズ・コントロール・フレーム

イーサネット・コントローラは、VLAN タグを含むポーズ・コントロール・フレームには対応しません。

そのまま通常の VLAN パケットとして受信動作を行います。受信ステータス・モニタ (ETHA0RXSTMONI) の RBRO フラグと RLOR フラグが立ちます (RPCF フラグと RCFR フラグは立ちません)。

(5) envelope フレーム

envelope フレームは、IEEE802.3as (2005 年) で拡張されたフレーム・フォーマットで、1000 Mbps 半二重通信用のフレームなのでイーサネット・コントローラは対応していません。EXTENSION フィールドを含む envelope フレームを受信した場合、CRC エラー、レンジス・フィールド不一致、あるいは受信 FIFO オーバフローとなりますので、受信ステータスを確認して破棄してください。

イーサネット・コントローラは、EXTENSION フィールドを含む envelope フレームは送信できません。

32.5.2 送信機能

イーサネット・コントローラの送信機能は、イーサネット・コントローラ専用 DMAC の DMA 転送により送信 FIFO に取り込んだ送信パケット・データから、IEEE 802.3 で定義される送信フレームを生成して PHY に出力します。衝突検出時にはランダム・バックオフ・アルゴリズムによる再送信を実行します。過剰送信遅延、最大衝突回数を越える衝突など、送信フレームごとのステータス情報は、ETHA0TXSTATUS レジスタに反映され、全送信フレームの項目別の発生回数が統計カウンタにカウントされます。

(1) 送信フレーム

IEEE 802.3 で定義されるフレーム・フォーマットは、次の 6 つで構成されます（図 32-5 「Basic フレーム構造」参照）。

- プリアンブル (PA)
- フレーム開始デリミタ (SFD)
- デスティネーション・アドレス (DA)
- ソース・アドレス (SA)
- レングス・フィールド (LEN)
- データおよびフレーム・チェック・シーケンス (FCS)

送信動作において、イーサネット・コントローラは、プリアンブル、フレーム開始デリミタおよび FCS データを生成します。

(2) 送信クロック

イーサネット・コントローラは、外部 (PHY) から供給される送信クロック (TXCLK) に同期して動作します。DMA 転送により送信 FIFO に取り込まれた送信パケット・データは、FIFO 内で TXCLK に同期化されて PHY に出力されます。IEEE 802.3 の規格により、TXCLK の周波数は、100 Mbps 動作時は 25 MHz±100 ppm、10 Mbps 動作時は 2.5 MHz±100 ppm と規定されています。

(3) キャリア・センス信号 (CRS)

半二重通信時、イーサネット・コントローラは、FIFO 内に送信データを格納し終わり、送信可能になったときに、キャリアが検出 (CRS = 1) されている場合、キャリアの終了 (CRS = 0) まで送信を延期します。キャリアの終了後、ETHA0IPGT レジスタによって設定されるパケット間ギャップ (IPG) カウントが満了したあとで送信を開始します。

送信可能になったときにキャリアが検出されず (CRS = 0)、かつ直前のキャリア終了後の IPG カウントが満了している場合、ただちに送信を開始します。

自局からのフレーム送信時は、キャリア・センス信号が PHY から折り返し送信 (受信) されますが、ユーザの構成するシステム (PHY) により、自局送信中のキャリア・センス信号がマスクされる場合、イーサネット・コント

ローラはキャリア・センス・エラーを検出しますが、送信動作自体に影響はありません。

(4) 衝突検出 (COL) と再送信

半二重通信時、イーサネット・コントローラは衝突を検出すると、ジャム・データ (エラー CRC) を送信したあと、送信を中止します。

最大衝突検出回数 (初期設定 : 15 回) 以内でコリジョン・ウインドウ内の衝突を検出した場合、ランダム・バックオフ・アルゴリズムによる送信の待機を実行後、送信 FIFO 内のデータを再送信します (再送信時は DMA によるデータの取り直しを行いません)。

なお、最大衝突検出回数を越える衝突を検出した場合や、レイト・コリジョン (コリジョン・ウインドウ外での衝突検出) が発生した場合には、その送信はアボートとなり、送信データは破棄されます。

(5) パケット間ギャップ (IPG)

自分が連続で送信する場合の IPG は ETHA0IPGT レジスタ、それ以外の場合の IPG は ETHA0IPGR レジスタで設定します。

イーサネット・コントローラでは、自分または他局の送信が終了した後に IPG のカウントを開始し、自分の送信後で、IPG カウントが ETHA0IPGT レジスタに達する前に、FIFO から次の送信要求を示された場合には、連続 (Back-To-Back) での送信とみなし、カウント終了後ただちに送信を開始します。

他局の送信後にパケット送信を行う場合、IPG カウントは ETHA0IPGR レジスタによって制御されます。ETHA0IPGR レジスタでは、IPG 全体の時間を IPGR2 フィールドに設定し、IPG 前半でキャリア・センスを行う時間を IPGR1 フィールドに設定します。IPGR1 フィールドで設定される期間中にキャリアが検出された場合は、キャリアの終了を待って IPG カウントを始めからやり直します。IPGR1 フィールドで設定される期間にキャリアが検出されなかった場合には、IPGR2 フィールドで設定された IPG カウントの終了後、送信を開始します。

FIFO から次の送信要求を受理してから、24288 ビット・タイム (10 Mbps : 2.43 ms, 100 Mbps : 243.88 μ s) 経過しても送信が開始されない場合、過剰送信遅延として、送信はアボートされその送信データは破棄されます。

ETHA0IPGT レジスタおよび ETHA0IPGR レジスタの設定値と、実際の IPG 期間は次の式で与えられます。

[100 Mbps 動作時]

Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{IPGT}) \times 40 \text{ ns (初期値 : 960 ns)}$$

Non Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{IPGR2}) \times 40 \text{ ns (初期値 : 960 ns)}$$

キャリア・センス時間 : $(2 + \text{IPGR1}) \times 40 \text{ ns (初期値 : 640 ns)}$

[10 Mbps 動作時]

Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{IPGT}) \times 400 \text{ ns (初期値 : 9.6 } \mu\text{s)}$$

Non Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{IPGR2}) \times 400 \text{ ns (初期値 : 9.6 } \mu\text{s)}$$

キャリア・センス時間 : $(2 + \text{IPGR1}) \times 400 \text{ ns (初期値 : 6.4 } \mu\text{s)}$

注意 IEEE 802.3 の規格により、IPG は 100 Mbps 動作時 960 ns 以上、10 Mbps 動作時 9.6 μs 以上になるように設定してください。
ETHA0IPGT, ETHA0IPGR レジスタの初期値は規格上の最低値となっているので、初期値のまま使用できます。

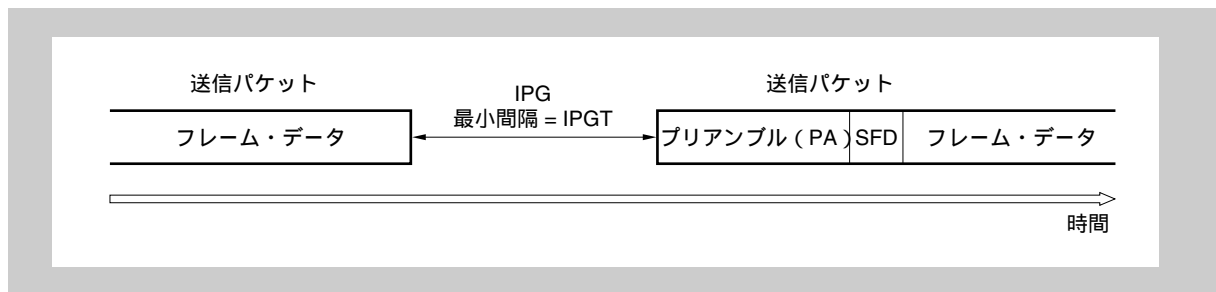


図 32-8 Back-To-Back 送信 IPG

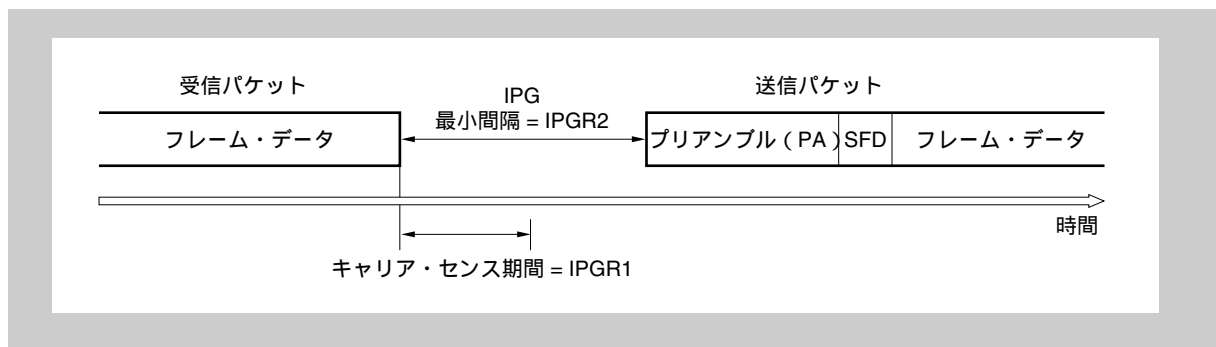


図 32-9 Non Back-To-Back 送信 IPG

(6) プリアンブル／CRC／パッド付加

7バイトのプリアンブルと1バイトのフレーム開始デリミッタ（SFD）を、FIFOより供給された送信パケットの前に付加します。

ETHA0MACC1.CRCEN	動作
0	送信パケットの最後は有効なFCSである必要があります。MACは、FCSをチェックし、FCSの値が正しくない場合は、送信ステータス割り込み（INTETMTS）でエラーを通知します。
1	送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス（FCS）を追加します。

ETHA0MACC1.CRCENビットに1が設定されている場合、送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス（FCS）を追加します。

ETHA0MACC1.CRCENビットに0を設定した場合、送信パケットの最後は有効なFCSである必要があります。イーサネット・コントローラは、FCSをチェックする機能を持っています。FCSの値が正しくない場合、イーサネット送信ステータス割り込みが発生します。

ETHA0MACC1.PADENビットに1が設定されている場合、64バイトより短い送信パケットに対しパッド（PAD）を付加します（パディング）。CRCENビットの設定にかかわらず、イーサネット・コントローラは正しいFCSをフレームの最後に付加します。

ETHA0MACC1.PADENビットが1に設定されている場合に、ETHA0MACC2.APDビットまたはVPDビットに1を設定すると、VLANフレームに対するパッド追加を行います。APDビットを1に設定すると、ETHA0VLTPレジスタに設定したVLANタイプに一致するパケットのみをVLANフレームとみなしてパッド追加を行います。VPDビットを1に設定すると、すべてのフレームをVLANフレームとみなしてパッド追加を行います。VLANフレームとみなされたパケットにパディングを行うときは、フレーム長が68バイトになるようにパッドを追加します。パッドとして追加されるデータは、すべて0になります。

(7) 送信アボート

次の条件が発生した場合、イーサネット・コントローラは送信をアボートします。

なお、イーサネット・コントローラでは、正常な使用範囲において、送信FIFOアンダランによるアボートは発生しません。

- 最大衝突回数を越える衝突（MAXコリジョン）
- コリジョン・ウインドウ外での衝突（レイト・コリジョン）
- 過剰送信遅延
- ETHA0LMAXレジスタに設定されるフレーム長を越えるパケットを送信しようとした場合

（ただし、ETHA0MACC1.HUGENビットに1が設定されている場合、送信フレーム長は制限されません）

(8) 全二重動作

ETHA0MACC1.FULLD ビットを 1 に設定すると、全二重動作を可能にします。IPG は、常に ETHA0IPGT レジスタで設定される値となります。

(9) フロー・コントロール機能・バック・プレッシャー機能

イーサネット・コントローラは、受信 FIFO と連動したフロー・コントロール機能 (32.5.4(1)「フロー制御」参照)、バック・プレッシャー機能 (32.5.4(2)「バック・プレッシャー」参照) を持っていますので、受信 FIFO の空き容量が少なくなると自動的に作動して、受信 FIFO オーバフローを極力防止します。

(10) 送信ステータス更新タイミング

次に示すタイミングで送信ステータスを更新します。

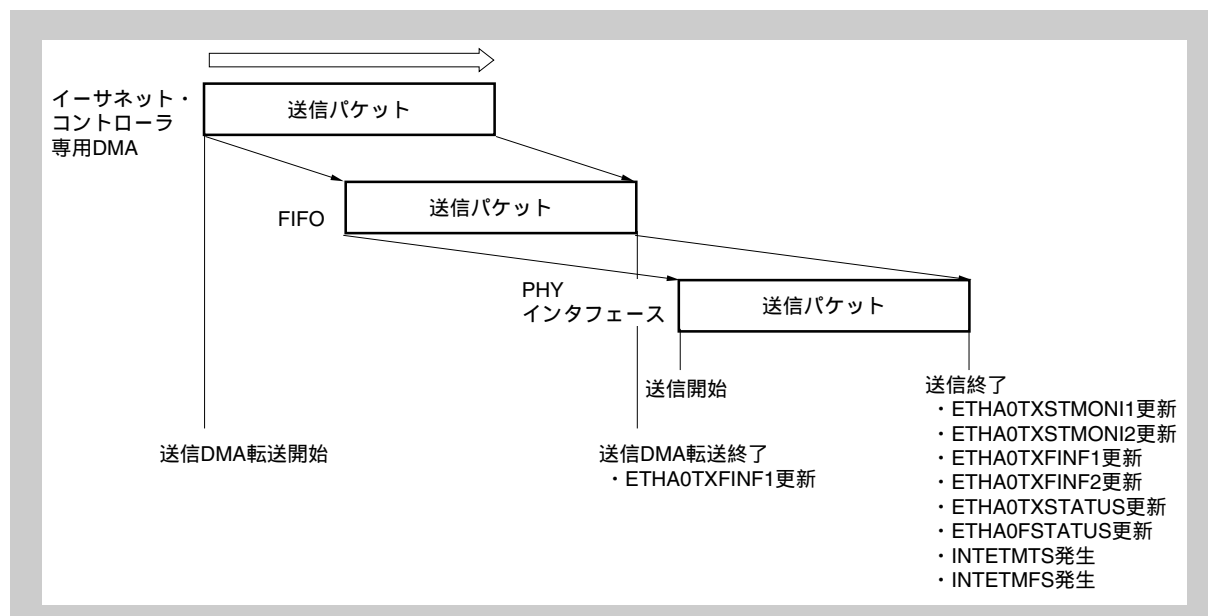


図 32-10 送信ステータス更新タイミング

32.5.3 受信機能

イーサネット・コントローラは、受信フレームから FIFO に対し受信パケットを生成し、SFD の検出、レンジス・フィールド・チェック、FCS チェック、VLAN フレームの検出などを行います。

イーサネット・コントローラは、受信パケットごとのステータス情報を受信ステータス・モニタ (ETHA0RXSTMONI) レジスタに設定し、全受信フレームの項目別の発生回数が統計カウンタにカウントされます。

(1) 受信クロック

イーサネット・コントローラは、外部 (PHY) から供給される受信クロック (RXCLK) に同期して、データを受信します。

IEEE 802.3 の規格により、RXCLK の周波数は、100 Mbps 動作時は 25 MHz \pm 100 ppm、10 Mbps 動作時は 2.5 MHz \pm 100 ppm と規定されています。

(2) MII データの受信

イーサネット・コントローラは、RXDV 信号がアサートされている期間、RXD[3:0] 信号上のデータを受信フレームとして認識し、RXDV 信号がデアサートされたときをフレームの終了とみなします。

(3) プリアンブルおよび SFD の検出

イーサネット・コントローラは、受信フレームの先頭においてプリアンブルと SFD を検出、これ以降を受信パケットとします。

(4) レンゲス・フィールドのチェック

イーサネット・コントローラは受信パケットの長さをカウントし、ソース・アドレスに続く 2 バイトをレンジス・フィールドとみなして、データ・フィールド長のチェックを行います。なお、チェックした結果は受信ステータスとして ETHA0RXSTMONI レジスタから読み出し可能です。また、チェックした結果が不一致の場合、割り込み信号の出力が可能です。

(5) CRC チェック

イーサネット・コントローラは、受信パケットから 4 バイトのフレーム・チェック・シーケンス (FCS) を計算し、受信パケットの最後に付加されている FCS データと比較します。比較した結果は ETHA0RXSTMONI レジスタから読み出し可能なほか、比較結果が不一致の場合、割り込み信号の出力が可能です。

(6) FIFO へのデータ送出

イーサネット・コントローラは、6 バイト以上のパケットを有効とし、6 バイト未満のパケットは破棄します。

(7) ヒュージ・パケットの検出

イーサネット・コントローラは、ETHA0MACC1.HUGEN ビットが0であるとき、ETHA0LMAX レジスタで設定される最大フレーム長（初期値：1536 バイト）以下のパケットのみを受信し、それを越えるパケットは途中で打ち切られます。

受信可能なパケット長は表 32-119 「受信 FIFO の制限」の制限を参照してください。

(8) VLAN フレーム検出

イーサネット・コントローラは、受信したパケットすべてに対して VLAN フレームであるかどうかチェックします。

受信したパケットの TPID フィールド（ソース・アドレスに続く 2 バイト）の値が ETHA0VLTP レジスタに設定された値と一致すると、VLAN パケットとして ETHA0RXSTMONI.VLAN フラグをセットします。なお、VLAN フレームとして認識されたパケットは、TPID フィールドを含む VLAN ヘッダ（ソース・アドレスに続く 4 バイト）の直後の 2 バイトを、レングス・フィールドとみなします。

(9) 受信ステータス更新タイミング

次に示すタイミングで受信ステータスを更新します。

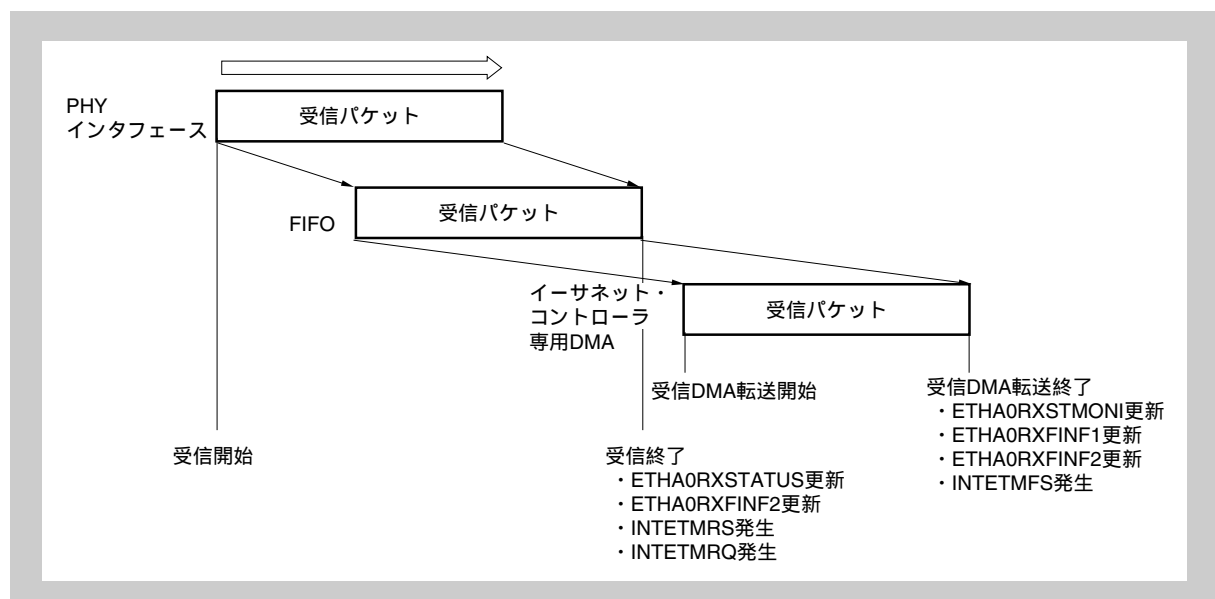


図 32-11 受信ステータス更新タイミング

32.5.4 MAC 制御機能

(1) フロー制御

イーサネット・コントローラでは「IEEE 802.3Annex31」で定義されたポーズ・コントロール・フレームの処理を行い、フロー制御を実現します。

フロー制御の目的は、全二重動作においてポイント・ツー・ポイントで接続されている他方の端末（リンク・パートナー）から送信されてくるフレームの送信頻度を下げることにあります。システムが受信データを処理できる量には限度があり、ある頻度以上でフレームが受信されると、システムの処理がそれに追従することができなくなり、受信 FIFO がオーバフローする可能性があります。このような状況を防ぐために、フロー制御は使われます。

イーサネット・コントローラは、ポーズ・コントロール・フレームを受信した場合、コントロール・フレーム内のパラメータ・フィールドの値を MAC 内のポーズ・タイマにロードします。ポーズ・タイマの値が 0 でない場合、ポーズ・タイマに設定されている時間を経過したあと、次の送信を開始します。

受信したポーズ・コントロール・フレーム内のパラメータ・フィールドの値が 0 の場合（ゼロポーズ・コントロール・フレーム）、ポーズ・タイマの値を 0 にして、ETHA0IPGR レジスタで設定されたパケット間隔を取って、送信を再開します。

一方、リンク・パートナーからのデータ送信を抑えたい場合には、予約されたマルチキャスト・アドレス（01-80-C2-00-00-01）、ポーズ・オペコード（00-01）および ETHA0PAUSETM レジスタのポーズ・タイマ値（PAUSETM_MAX）を、ポーズ・コントロール・フレームとして送信します。

ポーズ・フレーム送信の開始は、通常のフレーム送信の開始よりも優先されますが、通常のフレーム送信中にポーズ・フレーム送信条件が発生した場合は、送信中の通常フレームの送信終了後にポーズ・フレームが送信されます。

イーサネット・コントローラでは、ETHA0MFFCONT.FLOWCNT を 1 に設定することにより、フロー制御を行います。

ポーズ・コントロール・フレームの送信要求は受信 FIFO 内のデータ量によって、判断されます。

全二重通信モード時、ETHA0MFFCONT.IVPAUSE を 0 に設定した場合、イーサネット・コントローラは受信中に、受信 FIFO 内のデータ量を監視しています。（図 32-12 「フロー制御の流れ」(a) 参照）そして、受信 FIFO 内のデータ量が ETHA0FLOWTH.FLOWTHR の設定値を越えた時点で、ポーズ・コントロール・フレームを送信します。図 32-12 「フロー制御の流れ」(b) 参照）

また、ETHA0MFFCONT.IVPAUSE を 1 に設定した場合、受信 FIFO 内のデータ量が ETHA0FLOWTH.FLOWTHR の設定値を超えている間、ETHA0PAUSETM.IPTIME の設定値の間隔で、ポーズ・コントロール・フレームを再送し続けます。

DMA による受信データの転送中も、イーサネット・コントローラは受信 FIFO 内のデータ量を監視しています。（図 32-12 「フロー制御の流れ」(c) 参照）

ETHA0MFFCONT.ZEROPAUSE を 1 に設定した場合、ETHA0FLOWTH.ZPTHR の設定値により、受信 FIFO 内のデータ量がこの設

定値を下回った時点で、ゼロポーズ・コントロール・フレームを送信します。
 (図 32-12 「フロー制御の流れ」(d) 参照)

ETHA0MFFCONT.ZEROPAUSE を 0 に設定した場合、ゼロ・ポーズ・コントロール・フレームは送信しません。

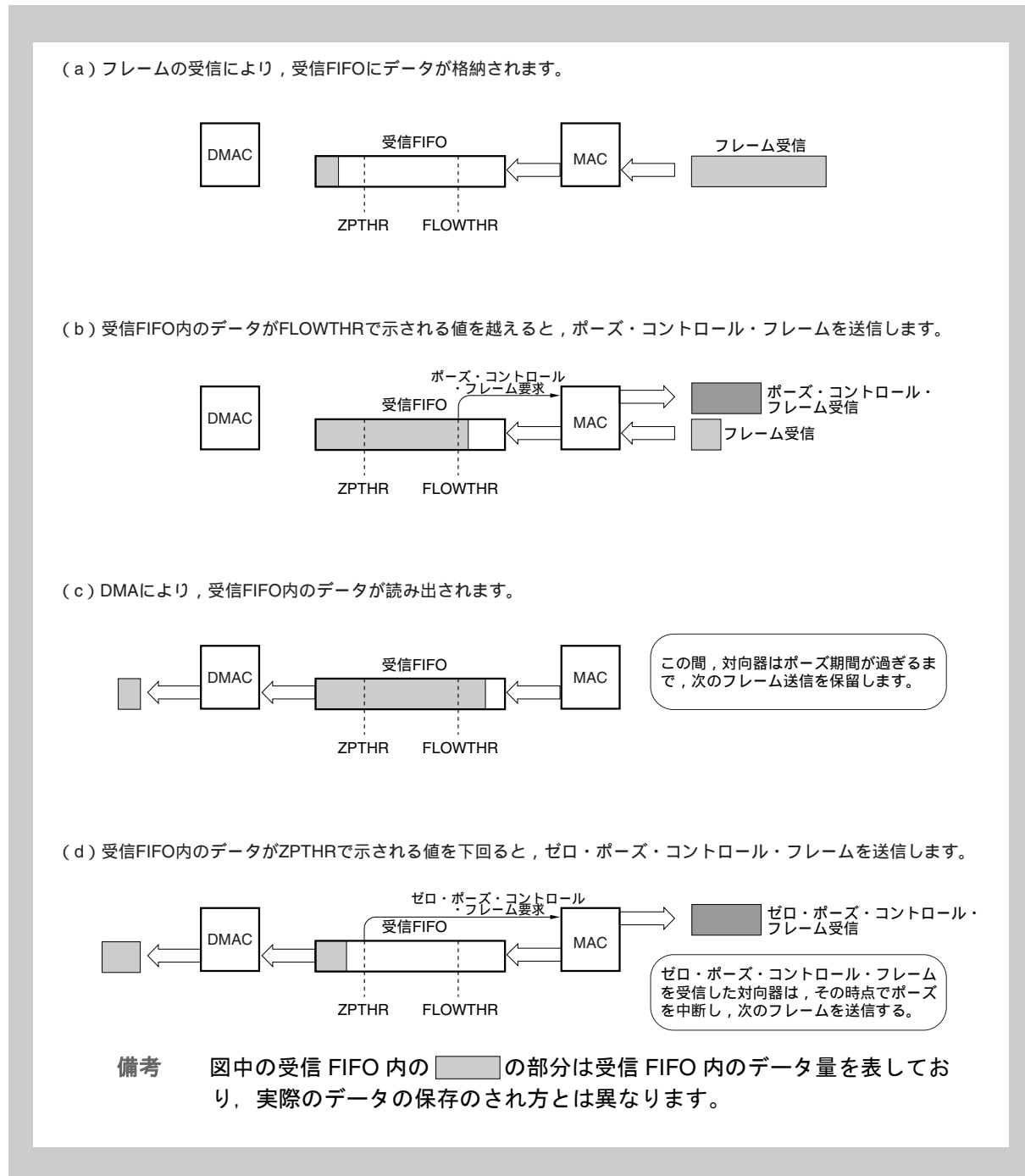


図 32-12 フロー制御の流れ

(2) バック・プレッシャー

この機能は半二重動作時にのみ有効な機能です。

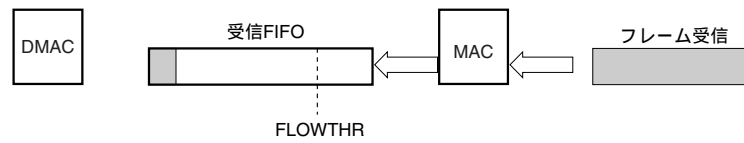
ETHA0MFFCONT.FLOWCNT が 1 に設定されていて、FULLD が 0 の場合、受信 FIFO の容量が ETHA0FLOWTH.FLOWTHR の設定値を越えると、バック・プレッシャー状態になります（図 32-13 「バック・プレッシャー制御の流れ」(b) 参照）。

この状態で次のフレームを受信すると、ダミー・パケットを送信し故意にコリジョンを発生させ、対向器に再送信を促します（図 32-13 「バック・プレッシャー制御の流れ」(c) 参照）。

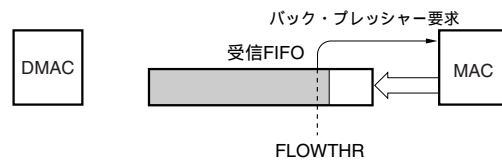
バック・プレッシャー時に発生したコリジョンは、コリジョン回数としてカウントされません。

受信 FIFO の容量が FLOWTHR を下回るとバック・プレッシャー状態を解除します。（図 32-13 「バック・プレッシャー制御の流れ」(d) 参照）

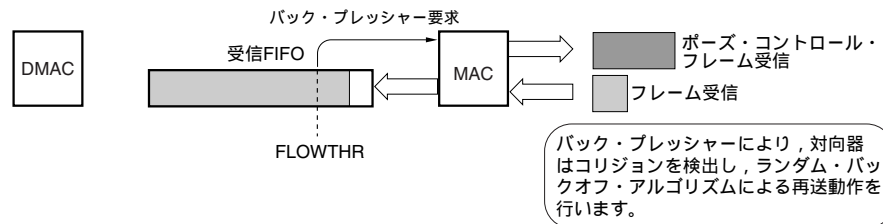
(a) フレームの受信により、受信FIFOにデータが格納されます。



(b) 受信FIFO内のデータがFLOWTHRで示される値を越えると、バック・プレッシャー要求を出します。



(c) この状態で、次のフレームを受信すると、バック・プレッシャーを行います。



(d) 受信FIFO内のデータがFLOWTHRで示される値を下回ると、バック・プレッシャー要求を解除します。

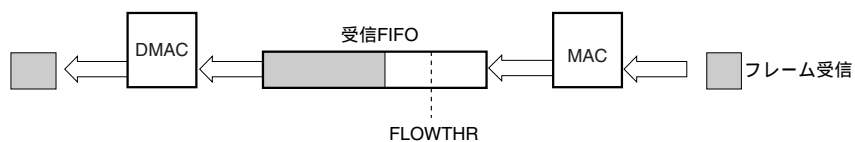


図 32-13 バック・プレッシャー制御の流れ

(3) VLAN フレームに対する動作

イーサネット・コントローラは、送受信パケット内の TPID フィールドを VLAN タイプ・レジスタ (ETHA0VLTP) と比較することにより、VLAN フレームを検出します。VLAN フレームに対する動作について次に示します。

(a) VLAN フレームの検出

イーサネット・コントローラでは、受信パケット内のソース・アドレスに続く 2 バイトの TPID フィールドの値を常に確認しています。

送信時は ETHA0MACC2.APD、または VPD ビットが“1”のとき、TPID フィールドの値を確認します。

TPID フィールドが VLAN タイプ・レジスタ (ETHA0VLTP) と一致したパケットを、イーサネット・コントローラ内では VLAN フレームとみなしません。

(b) VLAN フレームの受信

受信パケットにおいて TPID フィールドの値が VLAN タイプ・レジスタ (ETHA0VLTP) と一致した場合、受信フレーム・サイズに関する判定は、すべて VLAN フレーム・サイズ (MAX : 1522 バイト, MIN : 64 バイト) を基準に行われます。

(c) VLAN フレームの送信

ETHA0MACC2.APD ビットが“1”のとき、送信フレームとして上位層より与えられた TPID フィールドの値が VLAN タイプ・レジスタ (ETHA0VLTP) と一致するフレームの送信の場合、VLAN フレームと認識してフレーム長が 68 バイトになるようにパッドを付加します。

ETHA0MACC2.VPD ビットが“1”のとき、すべてのフレームを VLAN フレームとみなしてパッド追加を行います。VLAN フレームとみなされたパケットにパディングを行うときは、フレーム長が 68 バイトになるようにパッドを追加します。パッドとして追加されるデータは、すべて 0 になります。

32.5.5 DMAC 機能

専用 DMAC は、イーサネット・コントローラの内部システム・バスに対する DMA 機能です。

送受信用のイーサネット・コントローラ専用 DMAC となります。

送受信データの転送は、すべてこのイーサネット・コントローラ専用 DMAC で転送されます。

(1) DMA 転送モード

ETHA0DMACM レジスタにより、次のように設定が可能です。

転送モード

- シングル転送モード
- 4 ビート・インクリメント式バースト転送モード
- 8 ビート・インクリメント式バースト転送モード
- 16 ビート・インクリメント式バースト転送モード

転送モードはレジスタに設定した後、次の DMA 転送から新しい転送モードが適用されます。

-
- 注意**
1. 不定長バースト転送モードをレジスタに設定することはできません。不定長バースト転送は、イーサネット・コントローラが DMA 転送時、端数データ処理に対して内部で自動的に使用します。意図して全転送データを不定長バースト転送することはできません。
 2. 転送モードを設定するレジスタは、DMA 転送中のロック等を行っていません。このため、DMA 転送中に設定変更を行うと、転送中の DMA サイクルが不正となります。DMA 転送中 (RXEN_STA = 1 or TXEN_STA = 1) に設定値の変更をしないでください。
-

(2) DMA 転送でアクセス可能な対象

DMA 転送対象は次の二つです。

- H バス共有メモリ
- セカンダリ・メモリ・コントローラに接続される外部メモリ

(3) DMA アドレス境界

イーサネット・コントローラの DMA では、データ・バッファの開始アドレス／転送バイト数の設定に関して、アドレス境界を考慮する必要はありません。

バースト転送時に、端数データがある場合は、自動的に端数処理のデータ転送を行います。

ただし受信時は、受信データの終了を予測できないため、バースト転送を利用している場合には、最後の転送がダミー転送になる場合があります。

備考 4, 8, 16 ビート転送モードを使う場合には、最後の固定長に満たないデータは、自動的に不定長モードでの DMA 転送になります。
バイト・アライメントのためのバイト・アクセスは、常に SINGLE 転送となります。

(4) DMA Arbitration

イーサネット・コントローラは、全二重転送をサポートしていることから、送信と受信の DMA 転送が混在して行われる場合があります。同時に DMA 要求が出た場合には、受信を優先します。

32.5.6 シリアル・マネジメント・インタフェース機能

イーサネット・コントローラは、シリアル・マネジメント・インタフェースを一对内蔵しており、PHY デバイスの設定、ステータス読み出しやオート・ネゴシエーション使用時の PHY との通信に使用できます。

接続する PHY のアドレスをイーサネット・コントローラから設定する場合、シリアル・マネジメント・インタフェースを使用する前に、ETHA0MADR レジスタに PHY アドレスを設定してください。

(1) シリアル・マネジメント機能概要

(a) MDC クロック

イーサネット・コントロール・クロック (f_{EC}) を分周することによってマネジメント・データ・クロック (MDC) を生成します。

分周比については、ETHA0MIIC.CLKS ビットによって設定されます。

表 32-112 ETHA0MIIC レジスタ : CLKS ビットと f_{EC} の周波数

ETHA0MIIC.CLKS ビット			f_{EC} 入力の周波数範囲
ビット4	ビット3	ビット2	
0	0	0	設定禁止
0	0	1	33 MHz 以下
0	1	0	50 MHz 以下
0	1	1	66 MHz 以下
1	0	0	100 MHz 以下
1	0	1	設定禁止
1	1	0	設定禁止
1	1	1	設定禁止

ETHA0MIIC.PHYSEL を 0 に設定 (デフォルト値) すると、MDC は、マネジメント・フレームを送信あるいは受信しているときのみ出力されます。

ETHA0MIIC.PHYSEL ビット = 1 に設定すると、常に MDC を出力します。

ETHA0MIIC.PHYSEL ビット = 0 のときに PHY との通信に失敗した場合、ETHA0MIIC.PHYSEL ビット = 1 に設定して使用してください。

(b) シリアル・マネジメント・フレーム構造

イーサネット・コントローラは、ETHA0MCMD レジスタへの値の書き込みまたは ETHA0MWTD レジスタへの値の書き込みによって、次に示すシリアル・マネジメント・フレームを生成します。

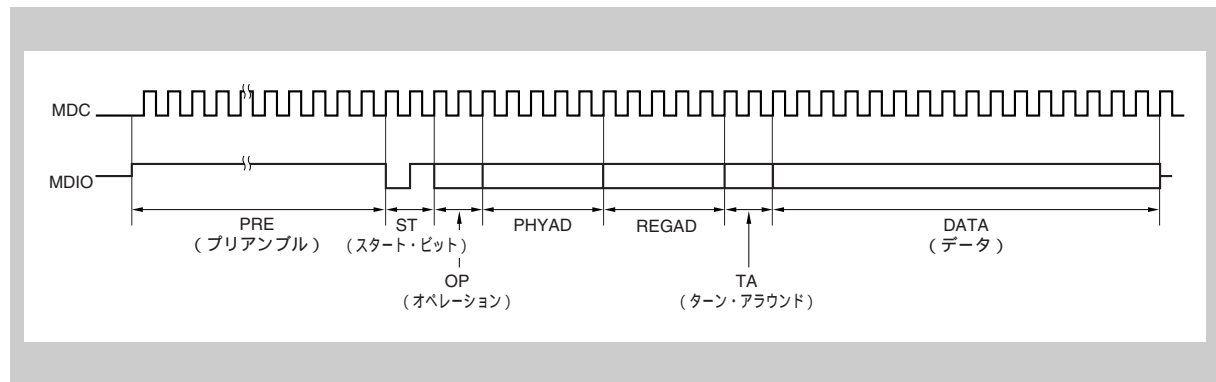


図 32-14 シリアル・マネジメント・フレーム構造

シリアル・マネジメント・フレームは、32ビットのプリアンブル、2ビットのスタート・ビット、PHYデバイス内のレジスタに対するリードあるいはライト動作に応じた、2ビットのオペコードが自動的に付加されます。PHYADとREGADは、外部に接続されるPHYデバイスのデバイス・アドレスと、そのPHYデバイス内にあるレジスタ・アドレスを示しており、それぞれETHA0MADR.FIADフィールドとRGADフィールドに設定された値が付加されます。

イーサネット・コントローラは、プリアンブルからREGADまでのデータをシリアル出力し、さらに2ビットのターン・アラウンド後、ライト・アクセスの場合はETHA0MWTDLCTLDFIELDに設定されたデータを出力します。リード・アクセスの場合にはMDI信号よりシリアル・データが入力され、ETHA0MRDD.PRSDフィールドに書き込まれます。

MDO信号出力中はMDOEN信号が1にアサートされます。

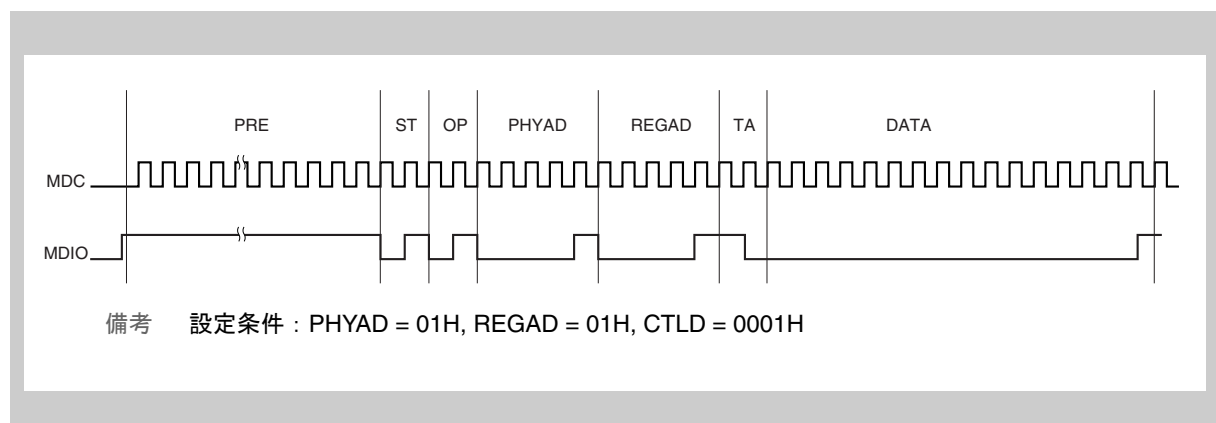


図 32-15 MII マネジメント・インタフェース信号の概略タイミング (ライト・アクセス)

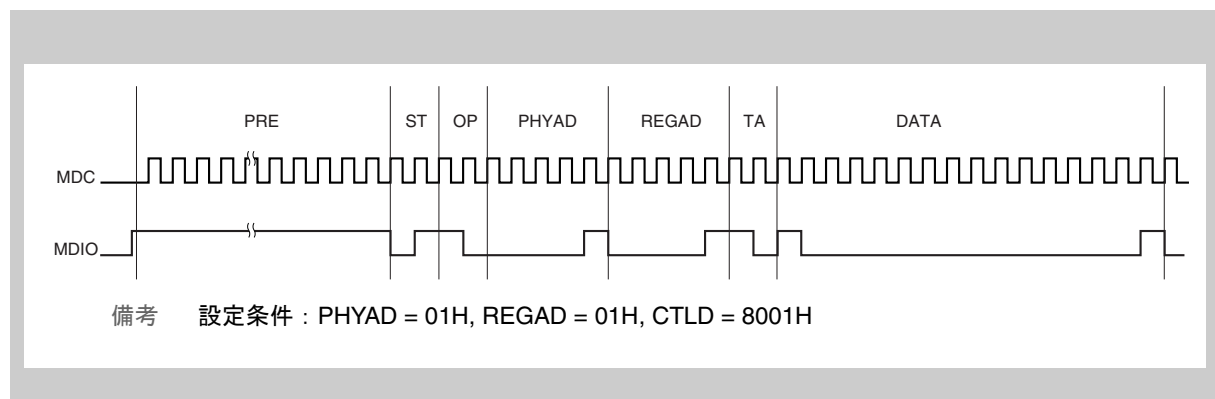


図 32-16 MII マネジメント・インタフェース信号の概略タイミング（リード・アクセス）

(c) SCAN コマンド

イーサネット・コントローラは、特定の PHY レジスタを連続して読み出すために SCAN コマンドを用意しています。ETHA0MCMD.SCANC ビットを 1 に設定することにより、連続的にリード・アクセスが発生し、ETHA0MRDD.PRSD フィールドを読み出すことで、特定の PHY レジスタのポーリングが可能になります。

(2) シリアル・マネジメンのアクセス手順

シリアル・マネジメン・フレームの送受信は次のように行います。

まず、ETHA0MIND.SCANA ビットにより SCAN 中であるかどうかを確認します。

SCAN 中でない場合は ETHA0MIND.BUSY ビットを確認し、現在シリアル・マネジメンのアクセス中であるかどうかを確認します。BUSY ビットが 1 の場合は、0 になるまで待ちます。一方 SCAN 中であった場合は ETHA0MCMD.SCANC ビットを 0 にした上で、BUSY ビットが 0 になるのを待ちます。

次に、ターゲットとなる外部 PHY デバイスのデバイス・アドレスおよび PHY デバイス内のレジスタ・アドレスを、それぞれ ETHA0MADR.FIAD フィールドと RGAD フィールドに設定します。

ライト・アクセスの場合は、ETHA0MWTD.CTLD フィールドにデータを書き込むことでアクセスが開始されます。

BUSY ビットは、ETHA0MWTD レジスタに書き込みが行われると 1 になり、ライト・アクセスが終了すると 0 になります。

リード・アクセスの場合は ETHA0MCMD.RSTAT ビットを 1 にすることで開始されます。RSTAT ビットに 1 が設定されると BUSY ビットが 1 となり、リード・アクセス終了後 BUSY ビットは 0 となります。ホスト・システムは BUSY ビットが 0 であることを確認したあと、ETHA0MRDD.PRSD フィールドを読み出すことで、PHY レジスタのデータを得ることができます。

SCAN コマンドを実行するには、ETHA0MCMD.SCANC ビットを 1 にします。SCANC ビットが 1 に設定されるとリード・アクセス動作が繰り返し実行されます。ETHA0MIND.SCANA ビットは SCAN コマンド実行中、1 が設

定されます。ETHA0MIND.NVALID ビットは SCAN コマンド実行後、最初のリード・アクセスが完了するまでの間、1 が設定されます。

ETHA0MIND.BUSY ビットは SCAN コマンドが実行されると 1 が設定され、SCAN コマンドをディセーブル (ETHA0MCMD.SCANC ビットを 0 にする) にすると、その時点でのリード・アクセスが完了したあとで 0 になります。

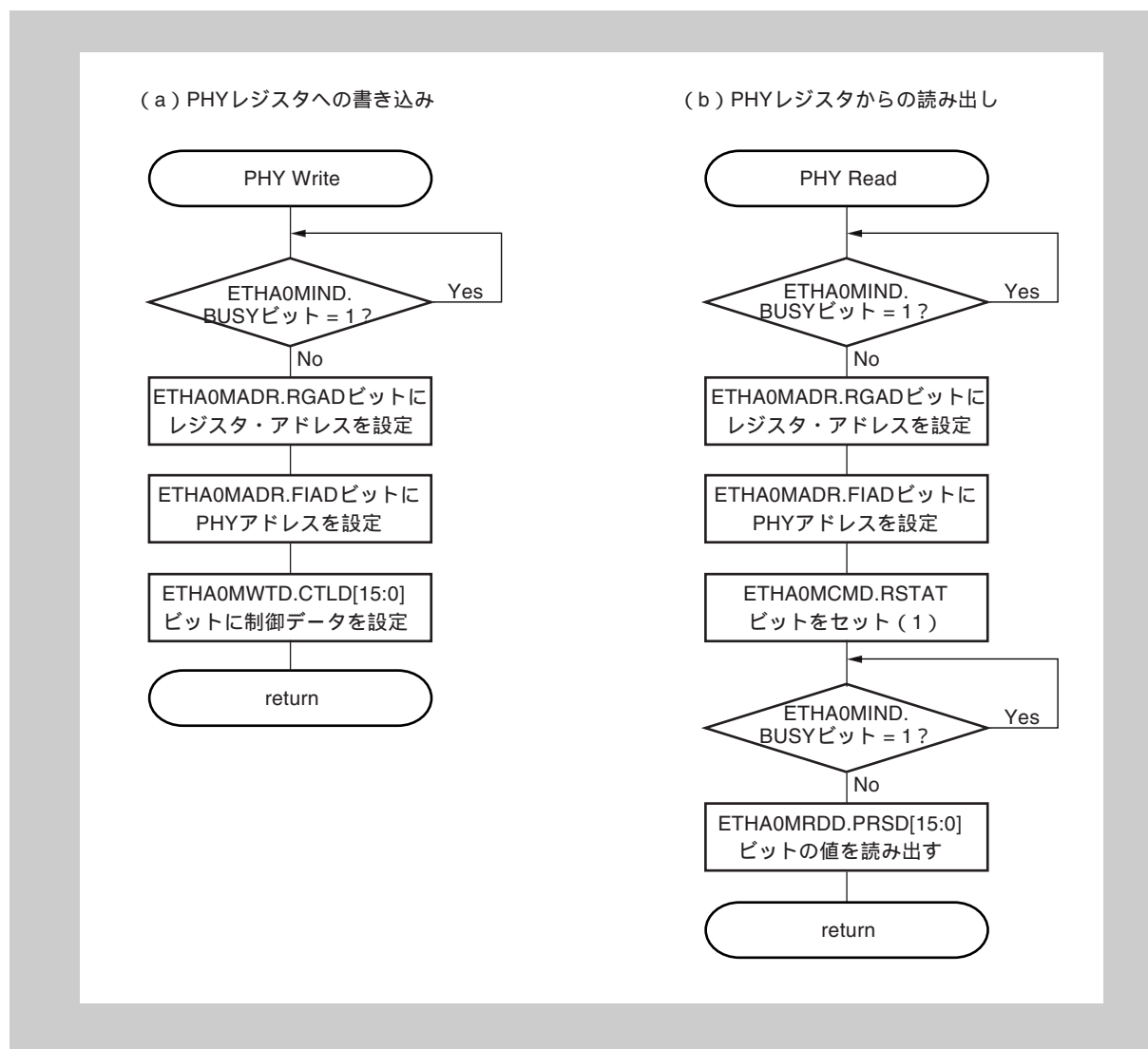


図 32-17 PHY レジスタへのアクセス・フロー

32.5.7 アドレス・フィルタリング

(1) アドレス・フィルタリング機能概要

イーサネット・コントローラは、受信パケットのデスティネーション・アドレスによるフィルタリングを行い、フィルタリング結果により受信パケットの受領／破棄を判断します。

フィルタリングの条件は ETHA0AFR レジスタで設定することが可能です。ユニキャスト・アドレス、マルチキャスト・アドレス、あるいはブロードキャスト・アドレスと個別に設定することが可能で、またこれらのフィルタリング条件を組み合わせることも可能です。

(a) ユニキャスト・アドレスのフィルタリング

ETHA0LSA1 レジスタおよび ETHA0LSA2 レジスタに設定されるアドレスをユニキャスト・アドレスとし、受信されたパケットのデスティネーション・アドレスと比較します。比較した結果、アドレスが一致したパケットを受信し、一致しない受信パケットは破棄されます。ユニキャスト・アドレスの一致検出は受信パケットごとに行われます。

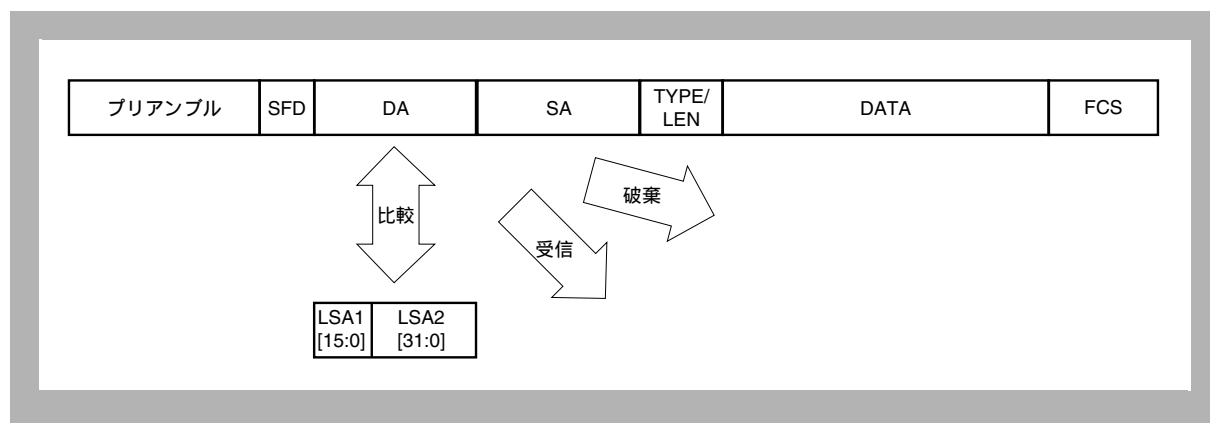


図 32-18 ユニキャスト・アドレスによるフィルタリングのイメージ受信

(b) マルチキャスト・アドレスのフィルタリング

マルチキャスト・アドレスのフィルタリングには2通りあります。
ETHA0AFR.PRM ビットに1を設定すると、すべてのマルチキャスト・アドレスをDAに持つパケットを受領します。

ETHA0AFR.AMC ビットに1を設定すると、ETHA0HT1 レジスタおよびETHA0HT2 レジスタに用意されるハッシュ・テーブルを用い、テーブルに一致したマルチキャスト・アドレスのパケットのみ受信パケットとして受領し、一致しないパケットは破棄します。

ハッシュ・テーブルによる一致検出の方法は次のとおりです。

ハッシュ・テーブルは受信されたマルチキャスト・アドレスのCRC 計算結果 32 ビットのうちビット [28:23] を用いて参照されます。CRC 計算には多項式として次の式を使用しています。

$$\text{CRC}(x) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$$

ETHA0HT1 レジスタおよびETHA0HT2 レジスタ上で、先の6ビットをデコードした値で示されるビット位置（表 32-113 「HASH テーブル (ETHA0HT1, ETHA0HT2) の参照」参照）に1が設定されている場合、そのマルチキャスト・アドレスに対して受領と判断します。ハッシュ・テーブルを設定するためには、あらかじめ限定するマルチキャスト・アドレスのCRC 計算を行い、対応するビットに1を設定しておく必要があります。

表 32-113 HASH テーブル (ETHA0HT1, ETHA0HT2) の参照

CRC [28:26]	CRC [25:23]							
	111b	110b	101b	100b	011b	010b	001b	000b
111b	HT1[31]	HT1[30]	HT1[29]	HT1[28]	HT1[27]	HT1[26]	HT1[25]	HT1[24]
110b	HT1[23]	HT1[22]	HT1[21]	HT1[20]	HT1[19]	HT1[18]	HT1[17]	HT1[16]
101b	HT1[15]	HT1[14]	HT1[13]	HT1[12]	HT1[11]	HT1[10]	HT1[9]	HT1[8]
100b	HT1[7]	HT1[6]	HT1[5]	HT1[4]	HT1[3]	HT1[2]	HT1[1]	HT1[0]
011b	HT2[31]	HT2[30]	HT2[29]	HT2[28]	HT2[27]	HT2[26]	HT2[25]	HT2[24]
010b	HT2[23]	HT2[22]	HT2[21]	HT2[20]	HT2[19]	HT2[18]	HT2[17]	HT2[16]
001b	HT2[15]	HT2[14]	HT2[13]	HT2[12]	HT2[11]	HT2[10]	HT2[9]	HT2[8]
000b	HT2[7]	HT2[6]	HT2[5]	HT2[4]	HT2[3]	HT2[2]	HT2[1]	HT2[0]

ハッシュ・テーブル計算を行うプログラム例を、次に示します。

たとえば、DA = 12 34 56 78 9A BC の場合、CRC = D4, E8, 80, 56, CRC[28:26] = 5, CRC[25:23] = 1 となり、表 32-113 「HASH テーブル (ETHA0HT1, ETHA0HT2) の参照」から、HT1 [9] をセットすれば、目的とするDAのマルチキャスト・パケットを受信します。なおETHA0HT1 レジスタおよびETHA0HT2 レジスタの値が、ともに00000000Hの場合、すべてのパケットを破棄します。

```

#include <stdio.h>

// CRC を計算する(Little endian)
unsigned long crc32( unsigned char *data, int size )
{
    const unsigned long poly = 0x04C11DB7ul; // MSB=X^31+X^30+X^29...
    unsigned long crc = 0xfffffffful;
    int i;
    unsigned char c;

    while( size-- != 0 ) {
        c = *data++;
        for ( i=0; i<8; i++, c >>= 1 ) {
            crc = (crc<<1)^(( (crc&0x80000000ul)?1:0)^(c&1)? poly : 0ul );
        }
    }
    return crc;
}

//=====
// ETHER-SS のMAC アドレスに対するCRC32 演算を利用したハッシュ・テーブル設定値
//=====
int main( void )
{
    unsigned char temp[6] = { 0x12,0x34,0x56,0x78,0x9A,0xBC };
    unsigned long crc;
    unsigned int lp;

    printf("-----\n");
    printf(" MAC=%02X:%02X:%02X:%02X:%02X:%02X\n",
           temp[0],temp[1],temp[2],temp[3],temp[4],temp[5] );
    printf("-----\n");

    // MAC アドレスのCRC 演算方式1
    crc = crc32( temp, sizeof(temp) );
    temp[5] = (char)(crc >> 26)&0x07;
    temp[4] = (char)(crc >> 23)&0x07;
    for( lp = 0; lp < 4; lp++, crc >>= 8 ) temp[lp] = (char)(crc & 0xff);
    printf(" CRC=%02X, %02X, %02X, %02X \n", temp[3], temp[2], temp[1], temp[0] );
    if( temp[5] > 4 ) printf(" HT1=%08X, HT2=00000000\n", (unsigned long)(1<<temp[4])<<(8*(temp[5]&0x03)) );
    else printf(" HT1=00000000, HT2=%08X\n", (unsigned long)(1<<temp[4])<<(8*(temp[5]&0x03)) );
    printf("-----\n");
    return 0;
}

```

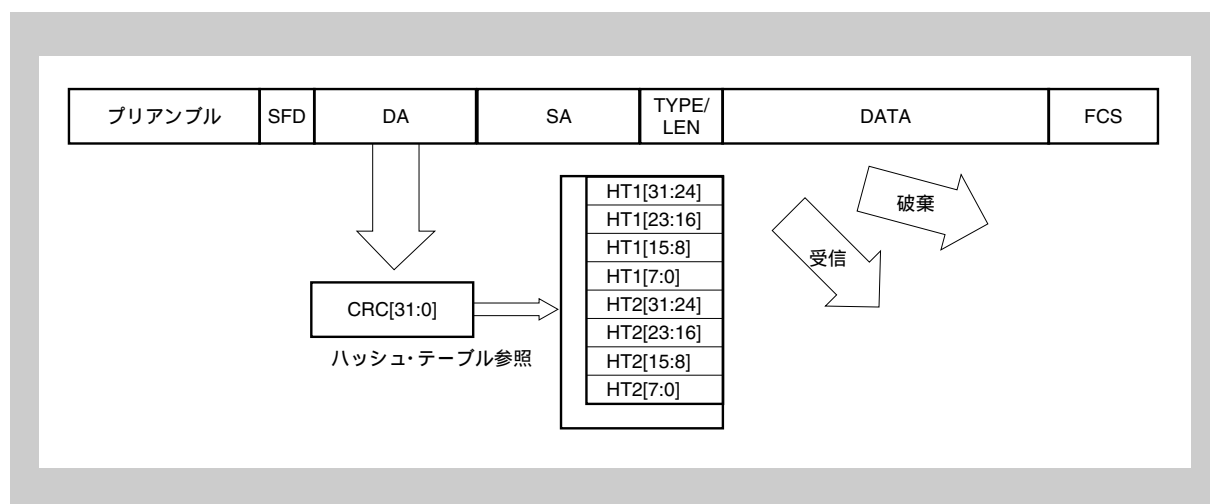


図 32-19 ハッシュ・テーブルによるフィルタリングのイメージ

(c) ブロードキャスト・アドレスのフィルタリング

ETHA0AFR.ABC ビットに 1 を設定すると、ブロードキャスト・アドレスを持ったパケットに対して受領します。

(d) プロミスカス・モード

ETHA0AFR.PRO ビットに 1 を設定すると、プロミスカス・モードとなりすべてのパケットを受領します。

上記、(a) ~ (d) の受領条件をいずれも満たさないとき、受信パケットは破棄されます。

各条件の組み合わせは、図 32-114 「アドレス・フィルタリング設定と受信パケット」参照

表 32-114 アドレス・フィルタリング設定と受信パケット

ETHA0AFR レジスタの設定				受信パケット				
PRO	PRM	AMC	ABC	LSA 不一致 ユニキャスト	LSA 一致 ユニキャスト	HT 不一致 マルチキャスト	HT 一致 マルチキャスト	ブロードキャスト・ パケット
1	—	—	—	受信	受信	受信	受信	受信
0	1	—	—	破棄		破棄		
0	0	1	1	破棄	破棄		破棄	破棄 ^{a)}
0	0	1	0					
0	0	0	1			破棄		
0	0	0	0	破棄	破棄	破棄	破棄	

a) ブロードキャスト・アドレスはマルチキャスト・アドレスに含まれるため、該当する HASH テーブルのビットをセット (1) している場合は受信されます。

備考 任意

(2) アドレス・フィルタリング条件の設定

パケット・フィルタリングの設定は次のように行います。

まず ETHA0MACC1.SRXEN ビットに 0 を設定します。SRXEN ビットが 0 であるとき、受信データ・インタフェースの機能がディセーブルされた状態となります。次に ETHA0LSA1 レジスタおよび ETHA0LSA2 レジスタにステーション・アドレスを設定します。ETHA0AFR レジスタには必要なフィルタリング条件の組み合わせを設定します。条件付マルチキャスト・パケット受信を行う場合には ETHA0HT1 レジスタおよび ETHA0HT2 レジスタによってハッシュ・テーブルの設定が必要になります。これらの設定が完了したあとで SRXEN ビットに 1 を設定することでパケット受信をイネーブルにします。

32.5.8 統計カウンタ

イーサネット・コントローラは、回線の通信品質その他を調べるために、39本の統計カウンタを持っています。

統計カウンタは、1フレームの通信が終了（アボートを含む）するごとに、通信ステータスを確認して該当するカウンタを更新しています。統計カウンタを停止することはできませんので、使用しない統計カウンタは、ETHA0CAM1, ETHA0CAM2 レジスタの該当するビットを“1”にして、割り込みをマスクしてください。

統計カウンタは、通信中も任意のタイミングで読み出し可能です。

各カウンタにおいてオーバフローが発生した場合には、ETHA0CAR1 レジスタおよび ETHA0CAR2 レジスタの対応するビットに1が設定され、ETHA0CAM1 レジスタおよび ETHA0CAM2 レジスタにより割り込みがマスクされていなければ、イーサネット MAC 割り込みが発生します。ETHA0CAM1 レジスタおよび ETHA0CAM2 レジスタは、個々のカウンタごとにマスクを設定することが可能です。

統計カウンタをクリアする場合は、カウンタに0を書き込んでください。この際、通信動作を停止させる必要はありません。統計カウンタの更新と書き込みが競合した場合は更新が優先され、更新後に書き込みが行われます。

なお、統計カウンタは停止できません。使用しない統計カウンタは、キャリア・マスク・レジスタ 1, 2 (ETHA0CAM1, ETHA0CAM2) で該当ビットをセット (1) することでマスクし、INTETMOV が発生しないようにしてください。

統計カウンタ・レジスタは、32ビット単位でリード/ライト可能です。

-
- 注意**
1. イーサネット・コントローラは、イーサネット・コントローラ・クロック (f_{EC}) で統計カウンタを更新しています。このため、イーサネット・コントローラ・クロック (f_{EC}) が通信クロック (TXCLK / RXCLK) と比較して極端に低速な場合は、統計情報をミスカウントする可能性があります。統計情報をミスカウントした場合、ステータス・ベクタ・オーバランが発生し、キャリア・レジスタ 2 (ETHA0CAR2) の C2DV ビットをセット (1) し、INTETMOV 割り込みが発生します。
 2. キャリア・レジスタ 1, 2 (ETHA0CAR1, ETHA0CAR2) は、リードでクリアされます。
-

備考 送受信のアボート回数は、統計カウンタとは別に、送信アボート・カウンタ (ETHA0TXABTCNT)、受信アボート・カウンタ (ETHA0RXABTCNT) があります。

32.6 データ転送

32.6.1 バッファの構造

V850E2/MN4 のイーサネット・コントローラのバッファはバッファ・ディスクリプタとデータ・バッファから構成されます。

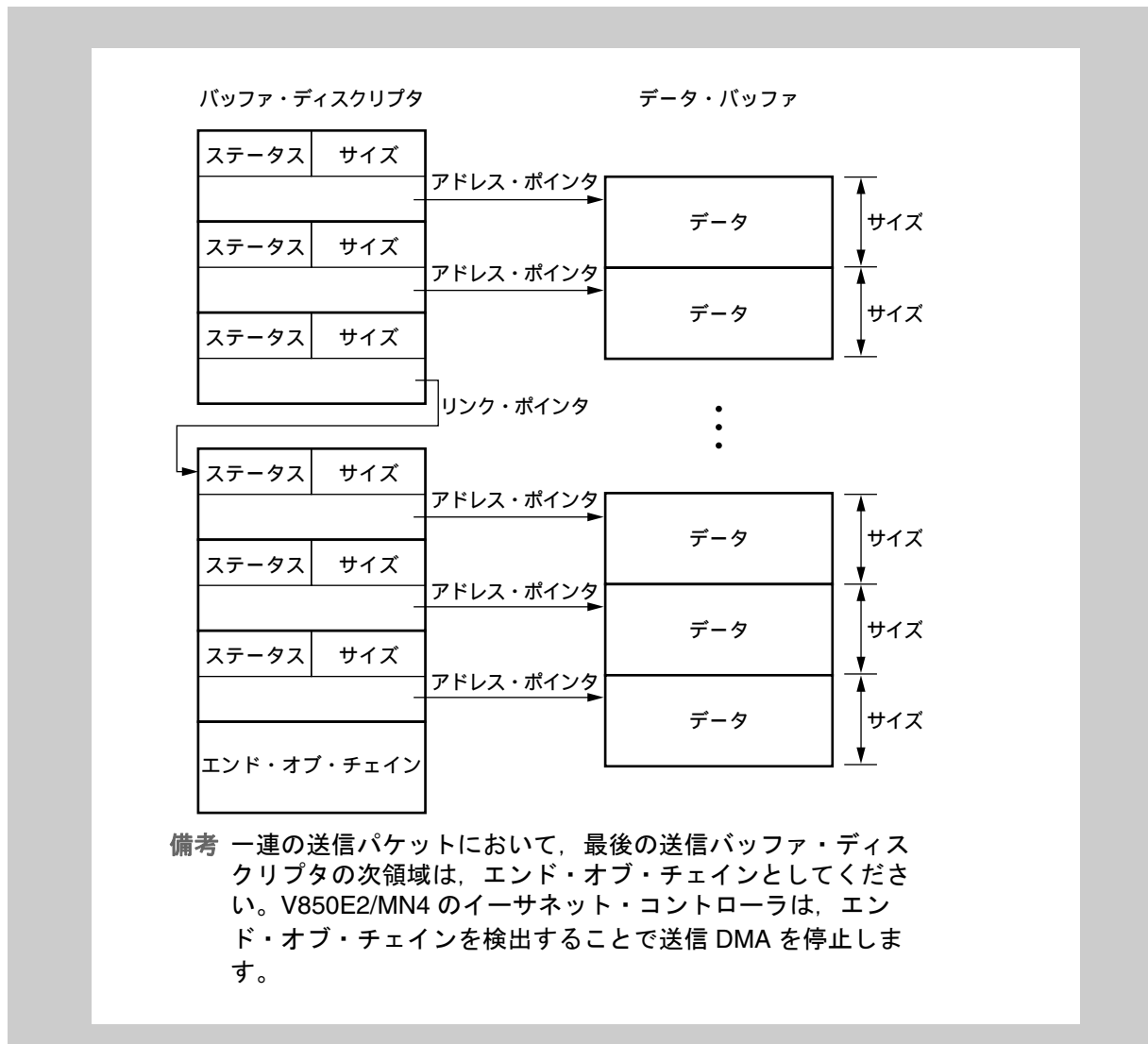


図 32-20 イーサネット・コントローラのバッファ構造（送信時）

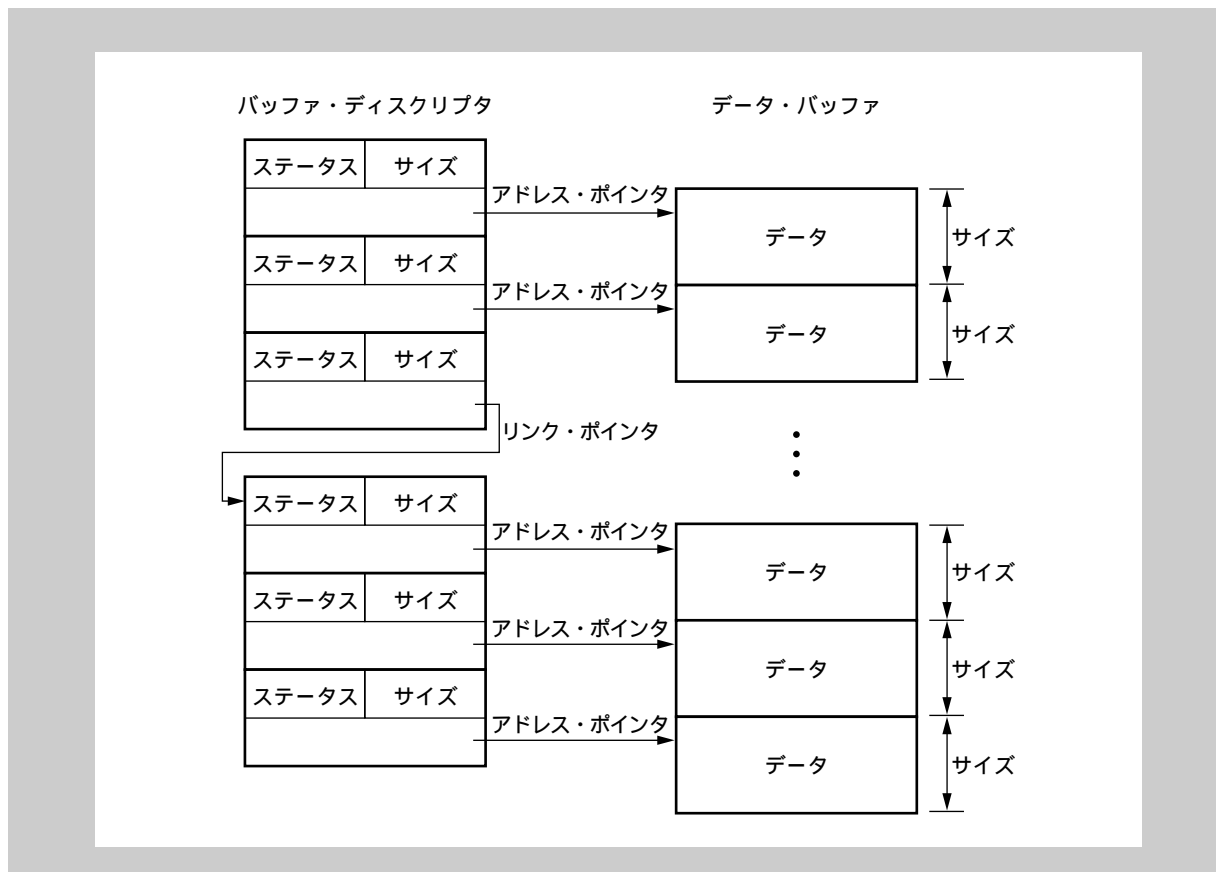


図 32-21 イーサネット・コントローラのバッファ構造 (受信時)

32.6.2 ディスクリプタ・メカニズム

イーサネット・コントローラを使用する上で、送信データ/受信データを格納するメモリ空間が連続していない場合をサポートするために、ディスクリプタ・メカニズムを導入しています。

イーサネット・コントローラが使用するディスクリプタには、次の3種類があります。

- バッファ・ディスクリプタ
- リンク・ポインタ
- エンド・オブ・チェイン

各ディスクリプタは、2ワード（64ビット）のワード・アラインされたデータで構成されます。

イーサネット・コントローラでは、1回のDMA転送の起動で複数のディスクリプタを逐次処理することが可能です。

ETHA0RXDPに受信ディスクリプタ・チェインの先頭アドレス、ETHA0TXDPに送信ディスクリプタ・チェインの先頭アドレスをセットし、ETHA0MODEレジスタのRXS, TXSビットをセットすることで、受信DMA転送、送信DMA転送がスタートします。

ディスクリプタ・チェインの最後はエンド・オブ・チェインのディスクリプタで終了しなければなりません。

(1) バッファ・ディスクリプタのフォーマット

バッファ・ディスクリプタのフォーマットは、2ワード（64ビット）で構成され、下位はコントロール・ビット、上位ワードは、このディスクリプタが指すデータ・バッファのスタート・アドレス値を示します。

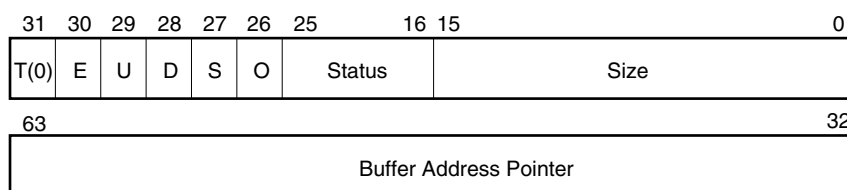


図 32-22 バッファ・ディスクリプタ・フォーマット

表 32-115 バッファ・ディスクリプタ・フォーマット (1/2)

ビット位置	ビット名	意味
63-32	BAP	データ・バッファのスタート・アドレスを現すアドレス・ポインタです。BAPはバイト・アライン指定可能です。
31	T	ディスクリプタ・タイプ ディスクリプタの種類を示します。 バッファ・ディスクリプタの場合、このビットは0で使います。
30	E	ラスト・バッファ・フラグ パケット・データの最後を現すコントロール・ビットです。 0: 通常のバッファ・データである (最終データではない) ことを示します。 1: 現在のパケットの最終データ・バッファであることを示します。 送信時にこのビットをセットしておく、該当データ・バッファのデータを転送し終わった時点で TXI 割り込みを発生し、次のディスクリプタの処理に移ります。 受信時はこのビットをクリアしておきます。フレーム・データの最後のデータが書き込まれると、ライト・バック時にこのビットがセットされます。その後、RXI 割り込みを発生し、次のディスクリプタの処理に移ります。
29	U	ユーズド・ビット DMA が転送済か未転送 (転送中を含む) かを示します。 0: 未転送 (転送中を含む) 1: 転送済 CPU は、バッファ・データ (ディスクリプタ) を作成/取得する際にこのビットをクリアしておきます。このディスクリプタが示すバッファ領域に対する DMA 転送が終了すると、U ビットはイーサネット・コントローラによりセットされます。イーサネット・コントローラは、ディスクリプタ・リード時に U ビットが立っているディスクリプタをリードすると、TECI, RECI 割り込みを発生して、DMA を中止します。 また、バス・エラーが発生した場合、および受信時オーバフローが発生した場合は、パケット先頭のディスクリプタ、オーバフローの起こったディスクリプタの U ビットがセットされます。
28	D	データ・バッファのアクセス・エラーを示すビットです。 0: エラーなし 1: データ・バッファのアクセス・エラーが発生した CPU は、バッファ・データ (ディスクリプタ) を作成/取得する際にこのビットをクリアしておきます。アクセス・エラーが起きると、イーサネット・コントローラは現在のパケットを示す先頭ディスクリプタのコントロール・ビット D と、アクセス・エラーを起こしたディスクリプタのコントロール・ビット D をセット (1) します。
27	S ^a	受信ステータス情報が Status フィールドに書き込まれていることを示します (受信時のパケット先頭のディスクリプタ内のコントロール・ビット S のみ有効です) 0: ステータス情報は含まれていません 1: 受信パケットのステータス情報を含みます CPU は、バッファ・データ (ディスクリプタ) を作成/取得する際にこのビットをクリアしておきます。受信パケットの DMA 転送時、イーサネット・コントローラは、1パケット転送終了ごとに現在のパケットの先頭ディスクリプタの Status フィールドに有効な値を書き込み、コントロール・ビット S をセット (1) します。

a) 送信時使用しません。0 を設定してください。

表 32-113 バッファ・ディスクリプタ・フォーマット (2/2)

ビット位置	ビット名	意味																	
26	O ^a	<p>受信時のオーバーフローを通知します。 0 : オーバーフローなし 1 : オーバーフローが発生した</p> <p>CPUは、バッファ・データ（ディスクリプタ）を作成／取得する際にこのビットをクリアしておきます。受信時にオーバーフロー・エラーが発生した場合、イーサネット・コントロールはパケットの先頭ディスクリプタのコントロール・ビット0に1を書き戻し、オーバーフロー・エラーが発生したディスクリプタにコントロール・ビットEをセットします。割り込みは発生しません。</p>																	
25-16	Status ^a	<p>受信時の Status 情報を示します。コントロール・ビット S が1である場合、Status フィールドの値が有効です。CPUは、バッファ・データ（ディスクリプタ）を作成／取得する際にこのビットをクリアしておきます。受信パケットの DMA 転送時、イーサネット・コントローラは、1パケット転送終了ごとに現在のパケットの先頭ディスクリプタの Status フィールドに有効な値を書き込み、コントロール・ビット S を1にセットします。</p> <table border="1" data-bbox="571 775 1385 1323"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td>16</td> <td>CEPS</td> </tr> <tr> <td>17</td> <td>RCV</td> </tr> <tr> <td>18</td> <td>RRCCE</td> </tr> <tr> <td>19</td> <td>RLOR</td> </tr> <tr> <td>20</td> <td>DBNB</td> </tr> <tr> <td>21</td> <td>RXOK</td> </tr> <tr> <td>23-25</td> <td>FTYP[0:2]</td> <td> 000 : RBRO 001 : RMUL 010 : USOP 011 : VLAN 100 : RPCF 101 : RCFR 110 : "Normal" 111 : "Reserved" </td> </tr> </tbody> </table>	ビット位置	ビット名	16	CEPS	17	RCV	18	RRCCE	19	RLOR	20	DBNB	21	RXOK	23-25	FTYP[0:2]	000 : RBRO 001 : RMUL 010 : USOP 011 : VLAN 100 : RPCF 101 : RCFR 110 : "Normal" 111 : "Reserved"
ビット位置	ビット名																		
16	CEPS																		
17	RCV																		
18	RRCCE																		
19	RLOR																		
20	DBNB																		
21	RXOK																		
23-25	FTYP[0:2]	000 : RBRO 001 : RMUL 010 : USOP 011 : VLAN 100 : RPCF 101 : RCFR 110 : "Normal" 111 : "Reserved"																	
15:0	Size	<p>このディスクリプタが示すバッファ・データのサイズ（バイト単位）を示します。受信パケットの DMA 転送時、イーサネット・コントローラは、1パケット転送終了ごとに、転送した1パケット分の長さを現在のパケットの最終ディスクリプタの Size フィールドに書き込みます。</p>																	

a) 送信時使用しません。0を設定してください。

備考 Size フィールドは 16 ビットです。0 の設定は禁止です。0 の設定をするとエラー割り込みが発生します。

FFFF_H を設定すると 64 K - 1 バイトの転送を行います。

(2) リンク・ポインタのフォーマット

リンク・ポインタのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは、次のディスクリプタのアドレス値を示します。

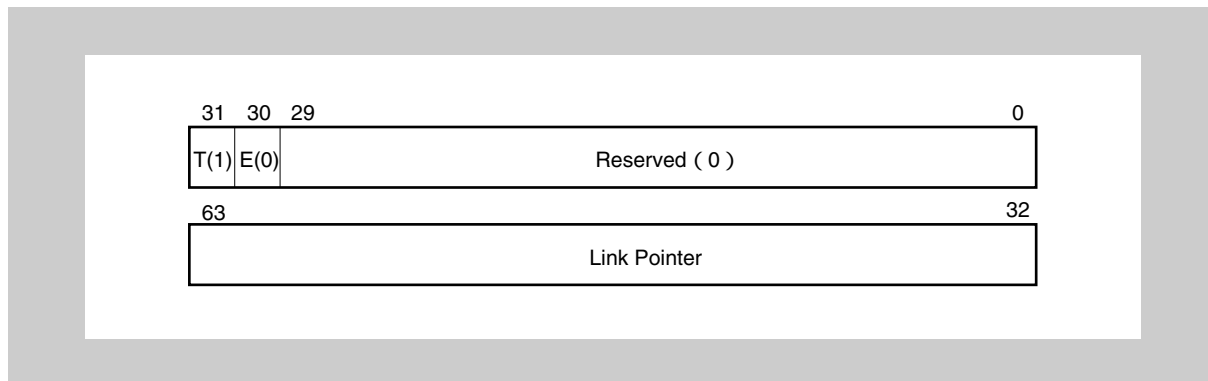


図 32-23 リンク・ポインタ・フォーマット

表 32-116 リンク・ポインタ・データ・フォーマット

ビット位置	ビット名	意味
63-32	Link Pointer	次のディスクリプタのアドレスを示します。下位 2 ビットは無視されます (ワード・アライン)。
31	T	リンク・ポインタの場合、このビットは 1 で使用します。
30	E	リンク・ポインタの場合、このビットは 0 で使用します。
29-0	Reserved	予約領域です。0 を設定してください。

(3) エンド・オブ・チェインのフォーマット

エンド・オブ・チェインのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは0を示します。

イーサネット・コントローラは、エンド・オブ・チェインを検出すると、DMA 転送を終了し RECI/TECI 割り込みを発生します。

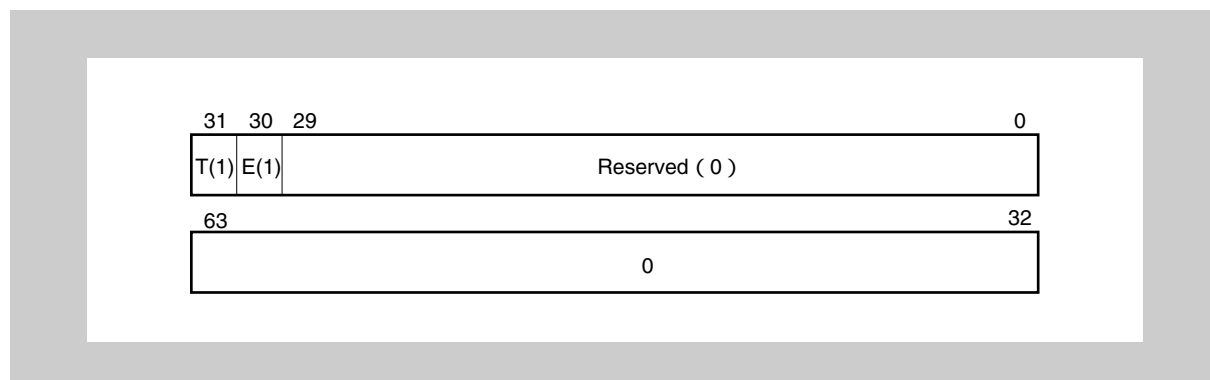


図 32-24 エンド・オブ・チェイン・フォーマット

表 32-117 エンド・オブ・チェイン・フォーマット

ビット位置	ビット名	意味
63-32	BAP	エンド・オブ・チェインの場合、NULL（オール・ゼロ）を設定します。
31	T	エンド・オブ・チェインの場合、このビットは1で使います。
30	E	エンド・オブ・チェインの場合、このビットは1で使います。
29-0	Reserved	予約領域です。0を設定してください。

(4) ステータスのライト・バック

受信の DMA 転送の場合には、受信ステータスをパケットの最初のディスクリプタへライト・バックし、DMA 転送したパケット長を最終のディスクリプタへライト・バックします。ステータスは次のようにライト・バックされます。ステータスは表 32-115 「バッファ・ディスクリプタ・フォーマット (1/2)」の Status フィールドに示すようにライト・バックされます。

(5) 最終ディスクリプタ・レポート

カレント・ディスクリプタをレポートする機能があります。ETHA0LSTRXDP, ETHA0LSTTXDP という 2 つのレジスタによりイーサネット・コントローラで処理したディスクリプタのアドレス情報を保存しています。ソフトウェアはこの 2 つのレジスタをリードすることで、直前に処理したディスクリプタのアドレス情報を知ることができます。

ETHA0LSTRXDP, ETHA0LSTTXDP へディスクリプタのアドレス情報が保存されるタイミングは次のとおりです。

リンク・ポインタを読み出した際には、次のディスクリプタ・アドレスを示しているリンク・ポインタのアドレスを ETHA0LSTRXDP または ETHA0LSTTXDP にコピーします。

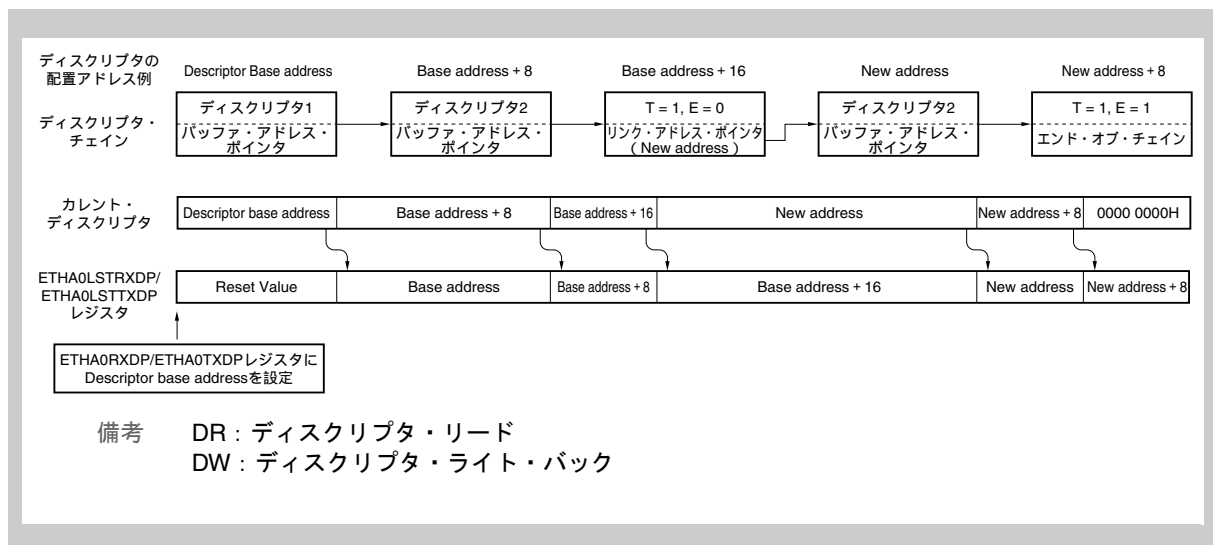


図 32-25 最終ディスクリプタ・コピー・タイミング

ディスクリプタ・チェーンをリング・バッファにしている場合は、INTSCTX 割り込みの TXI フラグ (INTSCRX 割り込みの RXI フラグ) をトリガにして ETHA0LSTRXDP, ETHA0LSTTXDP を読み出し、ディスクリプタを更新できます。

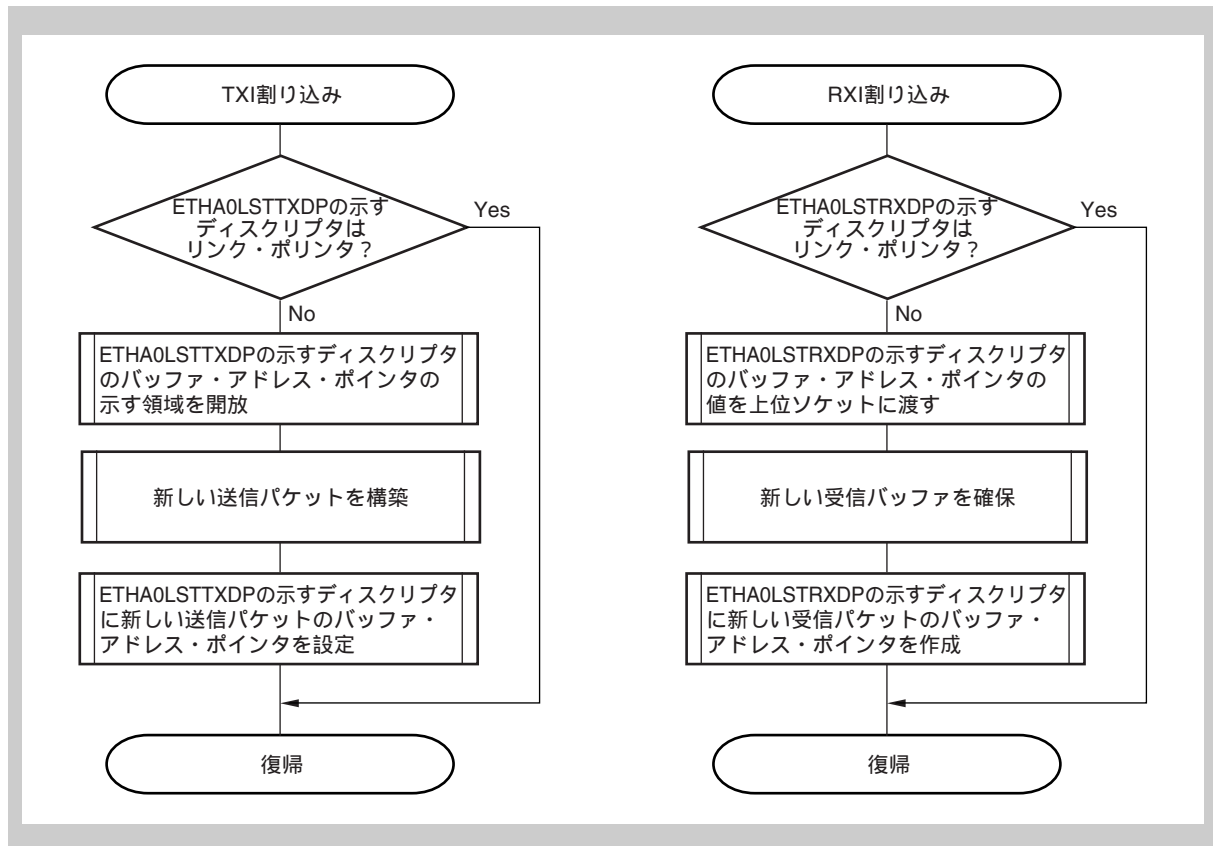


図 32-26 ETHA0LSTRXDP, ETHA0LSTTXDP を用いたディスクリプタ・チェーンの更新

(6) ディスクリプタ・チェーン

ディスクリプタはチェーン構造でデータ・バッファ（不定長）を指し示します。

イメージは下図のようになります。

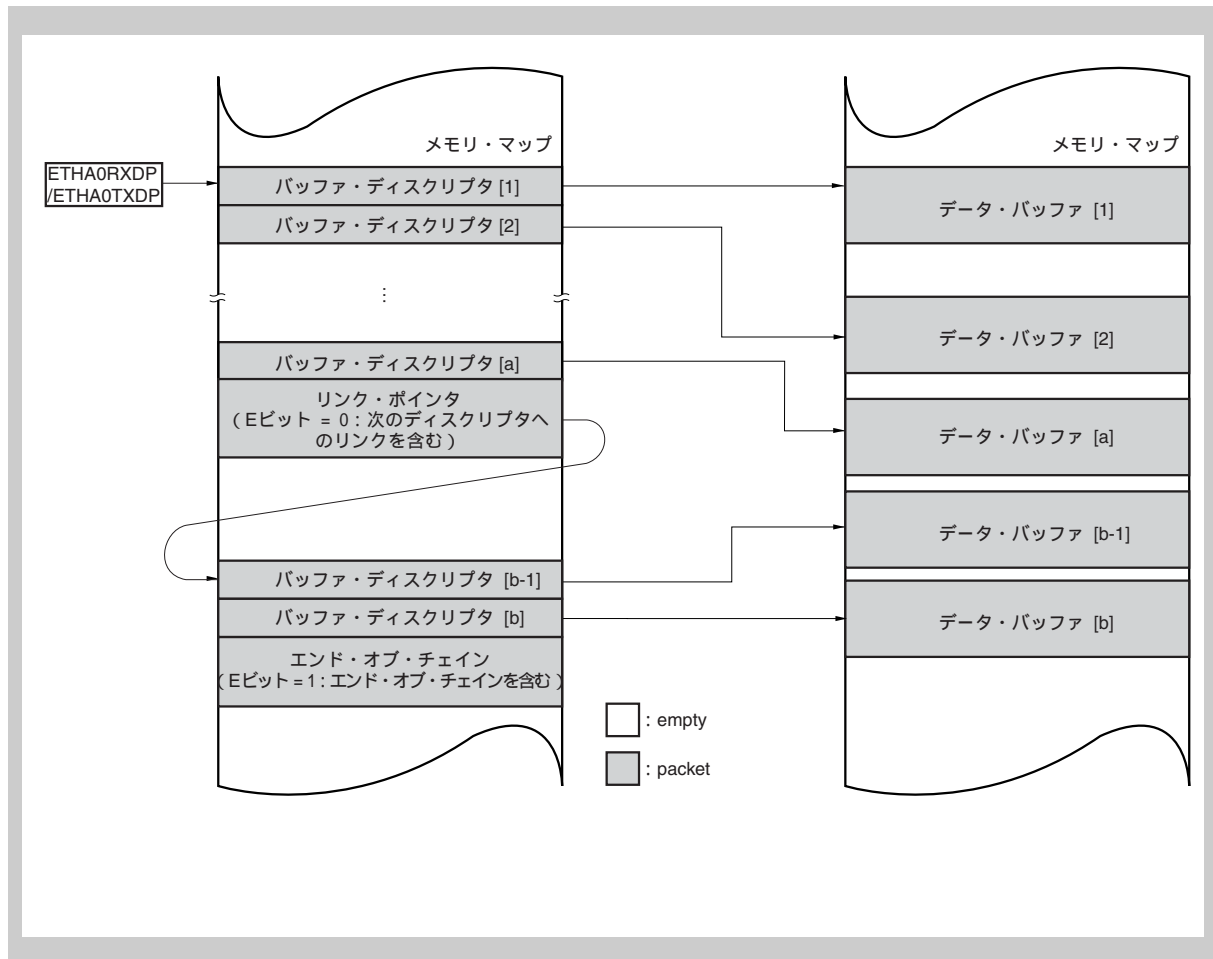


図 32-27 ディスクリプタ・チェーン概略図

ディスクリプタは、連続したメモリ領域に配置します。ただし、リンク・ポインタを使用した場合には、リンク・ポインタ内に次のバッファ・ディスクリプタの配置アドレスを示すことで、非連続の領域への配置も可能となります。また、エンド・オブ・チェーンを設定することで、ディスクリプタ・チェーンを終了します。

最後のリンク・ポインタで最初のバッファ・ディスクリプタのアドレスを指定することによって、リング状のディスクリプタ・チェーンを構成することも可能です。

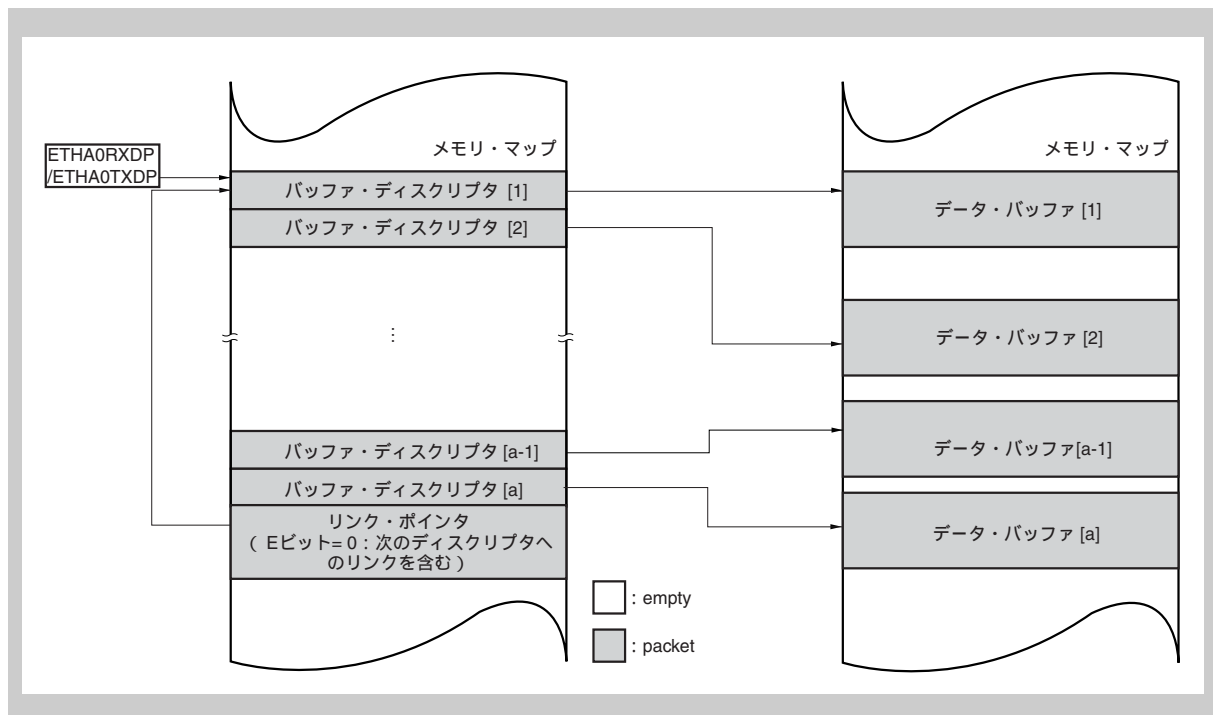


図 32-28 ディスクリプタ・チェーンによるリング・バッファの概略図

リンク・ポインタでディスクリプタ・チェーンの先頭を指定すると、リング・バッファになります。リング・バッファを構成した場合、Uビットがセットされたディスクリプタを読み込むと、イーサネット・コントローラはエンド・オブ・チェーンと同様に RECI/TECI 割り込みを発生して、DMA を停止します。

注意 Uビットの扱いについてUビットがセットされた送信ディスクリプタは、そのディスクリプタの処理が完了していますので、CPUはUビットをクリアして新しいディスクリプタを設定することができます。

しかし、受信ディスクリプタでは、Uビットがセットされていても、後で Status Write Back や Error Write Back によりディスクリプタが更新されることがありますので、パケット受信の完了を確認しないとディスクリプタを新しく設定することができません。ただし、Eビットがセットされていればパケットの受信が完了しているので、そのディスクリプタ・チェーンを新しいディスクリプタに設定することができます。

(7) バイト・アライメントとバウンダリ

ディスクリプタはワード・アライメントされている必要がありますが、データ・バッファはバイト・アライメントされたアドレスに設定することができます。

イーサネット・コントローラはアドレスを自動判別してワード境界までシングル転送、バースト境界まで不定長のワード転送を行い、その後、バースト転送を行います。

32.6.3 フレーム送信

CPUがイーサネット・コントローラ専用 DMAC の転送対象に、送信ディスクリプタ、および送信データを準備して、送信ディスクリプタ・レジスタ (ETHA0TXDP) を設定し、ETHA0MODEETHA0MODE レジスタの TXS ビットをセットすると、専用 DMAC は、ディスクリプタ・レジスタに設定されたアドレスから、送信バッファ・ディスクリプタをフェッチして、データ・バッファから送信データを読み出し、送信 FIFO に転送します。

FIFO に転送されたデータは、TXCLK に同期化され、プリアンプル、SFD、フレーム・データの順で PHY に出力されます。

ETHA0MACC1 レジスタの CRCEN ビットが設定されている場合、データの終わりに FCS を付加します。

ETHA0MACC1 レジスタの PADEN ビットが設定されている場合、ショート・フレーム送信時に自動的に OPAD が付加されます。

現在さしているディスクリプタがフレームの終端を含んでいない場合、次のディスクリプタを読み出し、このディスクリプタが指すデータ・バッファからデータを読み出します。

送信終了後、送信ステータスを最終ディスクリプタに書き込みます。このあと、次の送信バッファ・ディスクリプタをフェッチし、次のデータが送信可能な場合に同様の方法で送信を開始します。

また、各バッファ・ディスクリプタの DMA 処理が完了すると、送信 DMA が完了したことを示す割り込み (TXI) をそのつど発生します。

次の送信バッファ・ディスクリプタがエンド・オブ・チェイン・ディスクリプタの場合は、エンド・オブ・チェイン・ディスクリプタを示す割り込み (TECI) を発生させ送信 DMA が停止します。

送信 DMA を起動させるには、ETHA0TXDP レジスタとバッファ・ディスクリプタを再設定してください。

次に、送信手順の例を示します。

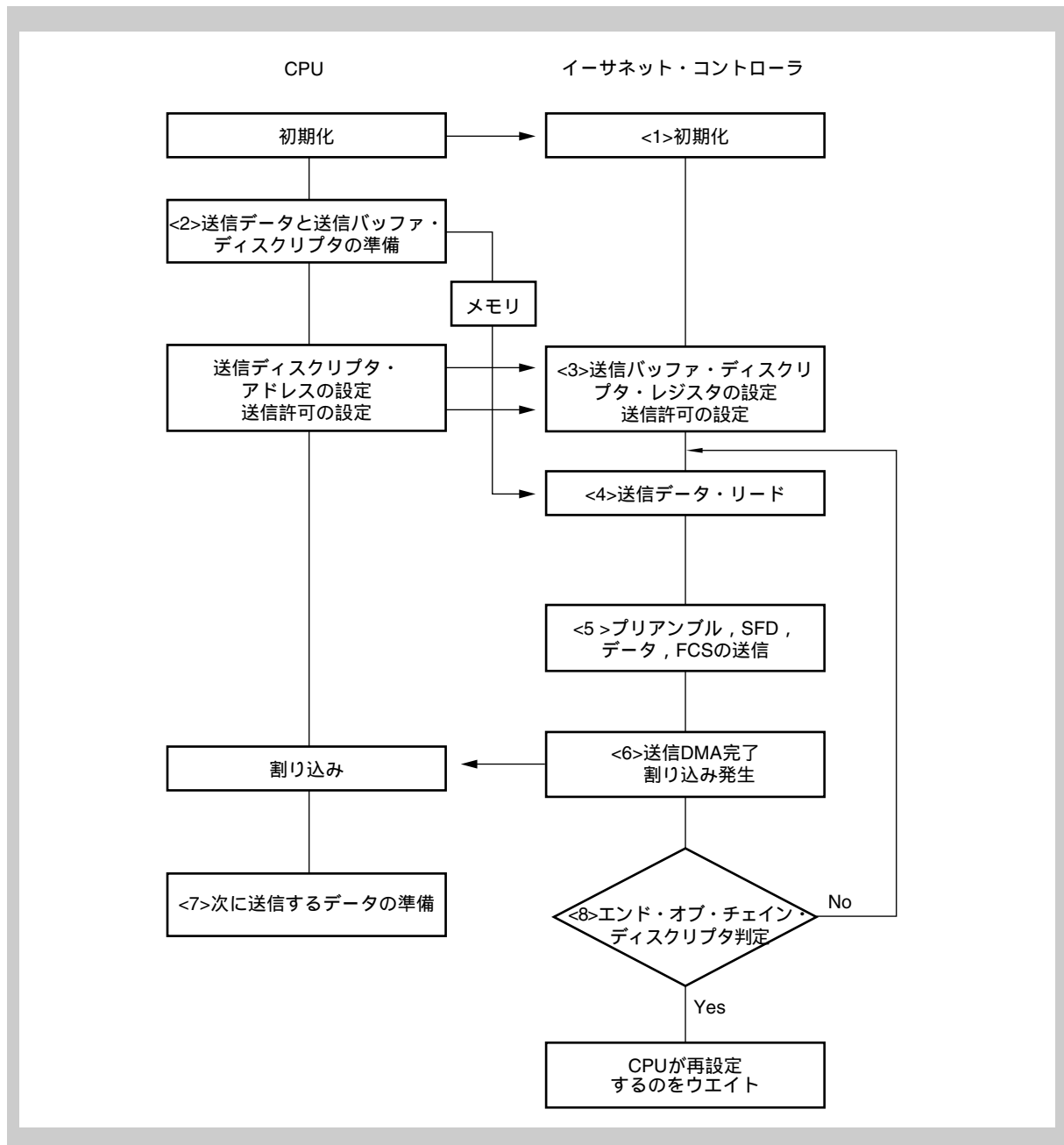


図 32-29 送信手順例

- <1> イーサネット・コントローラの初期化
イーサネット・コントローラの初期化を行ってください。初期化手順については、32.3「初期設定」を参照してください。

- <2> 送信データと送信バッファ・ディスクリプタの作成
データ専用 RAM に送信データと送信バッファ・ディスクリプタを作成してください。ディスクリプタ作成の際には送信バッファ・ディスクリプタの E ビットの設定（パケットのデータの最後を表すためには 1 を設定）、T ビットの設定（0 に設定）、U ビットの設定（0 に設定）、Size ビットの設定を行ってください。

- <3> 送信バッファ・ディスクリプタ・レジスタの設定と送信許可の設定
送信バッファ・ディスクリプタのアドレスを ETHA0TXDP レジスタに設定してください。ETHA0MODEETHA0MODE レジスタの TXS ビット（送信許可）を設定します。

- <4> 送信データの読み出し
DMA を介して送信データをメモリから読み込みます。
送信バッファ・ディスクリプタの E ビットが 0 であるとき、次のディスクリプタの読み込みを行います。

- <5> パケットの送信
プリアンプル、SFD、データ、FCS などを送信します。

- <6> DMA 送信完了の通知
TXI 割り込み要求を発生させ、送信が終了したことを CPU に通知します。

- <7> 次のデータの準備
CPU は送信ステータスをチェックし、次のデータを準備します。

- <8> エンド・オブ・チェイン・ディスクリプタ判定
TECI 割り込み要求を発生させ、エンド・オブ・チェイン・ディスクリプタに到達したことを CPU に通知します。

次に具体的なディスクリプタ・チェーンの例を用いて動作を説明します。

ソフトウェアで、コア・ファンクション設定レジスタ (ETHA0MODEETHA0MODE) の TXS ビットをセット (1) すると、送信ディスクリプタ・ポインタ (ETHA0TXDP) で示されるアドレス (0028 0000H) から先頭ディスクリプタを読み出し、送信ディスクリプタの解析を開始します。DMA 転送開始アドレスにバッファ・アドレス・ポインタ (0028 1000H) をセットし、バッファ内のデータを FIFO に転送します。

送信ディスクリプタの E ビットが 0 で、最終データではないことを示しているため、次のバッファ・ディスクリプタ (0028 0008H) を読み出し、バッファ・アドレス・ポインタ (0028 1800H) をセットし、バッファ内のデータを FIFO に転送します。

E ビットが 1 のバッファ・ディスクリプタが指すバッファ内のデータの送信を完了すると、U ビットをセットし、送信処理が完了します。また、割り込み要求 (TXI) が発生します。

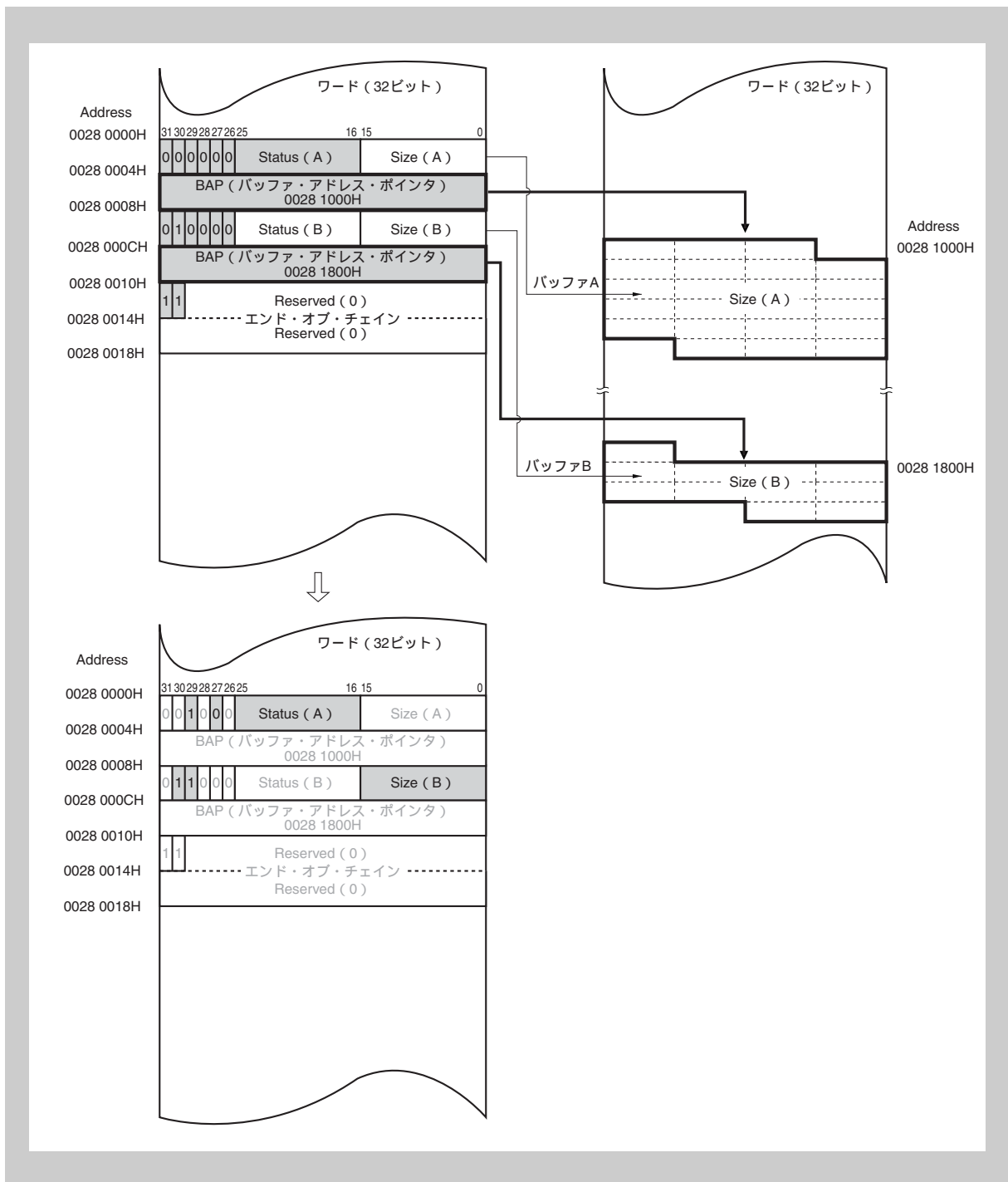


図 32-30 ディスクリプタ・チェーン構成例 (パケット送信時)

32.6.4 フレーム受信

MAC コンフィギュレーション・レジスタ (ETHA0MACC1) の SRXEN ビット (受信許可), ETHA0MODEETHA0MODE レジスタの RXS ビット (受信 DMA 許可), 受信ディスクリプタ・ポインタ・レジスタ ETHA0RXDP を設定し, MAC がデータを受信すればすぐに受信フレームの処理を開始します。

データを受信すると, プリアンブル, フレーム開始デリミタ (SFD) が有効かをチェックします。

プリアンブルと SFD が有効であると, 受信したフレームに対する処理が行われます。

有効なプリアンブルと SFD が見つからなかった場合, フレームは無視されません。

フレームが衝突を起こしたり, アドレス・フィルタリングによってフレームが破棄されたりした場合, 受信バッファにはデータが書き込まれません。

正常に受信され, アドレス・フィルタリングにより破棄されなかった受信フレームは, 受信バッファ・ディスクリプタが指定するデータ・バッファに転送します。

受信中, イーサネット・コントローラはフレームの長さが適切であるかをチェックしています。

フレームの終端になると FCS がチェックされ, バッファ・ディスクリプタに書き込まれます。

なお, 64 バイト以下のフレーム (ショート・パケット) は DMA 転送されません。

フレームの受信が完了すると, 最終ディスクリプタに対して E ビット, U ビットをセット (1) し, Size フィールドに転送したデータのバイト数をライト・バックします。

またパケット・データを全て転送したあと, 先頭ディスクリプタの U ビット, S ビットをセット (1) し, 受信ステータス情報を Status フィールドにライト・バックします。

また, 割り込み要求 (RXI) が発生します。

次に, 受信手順の例を示します。

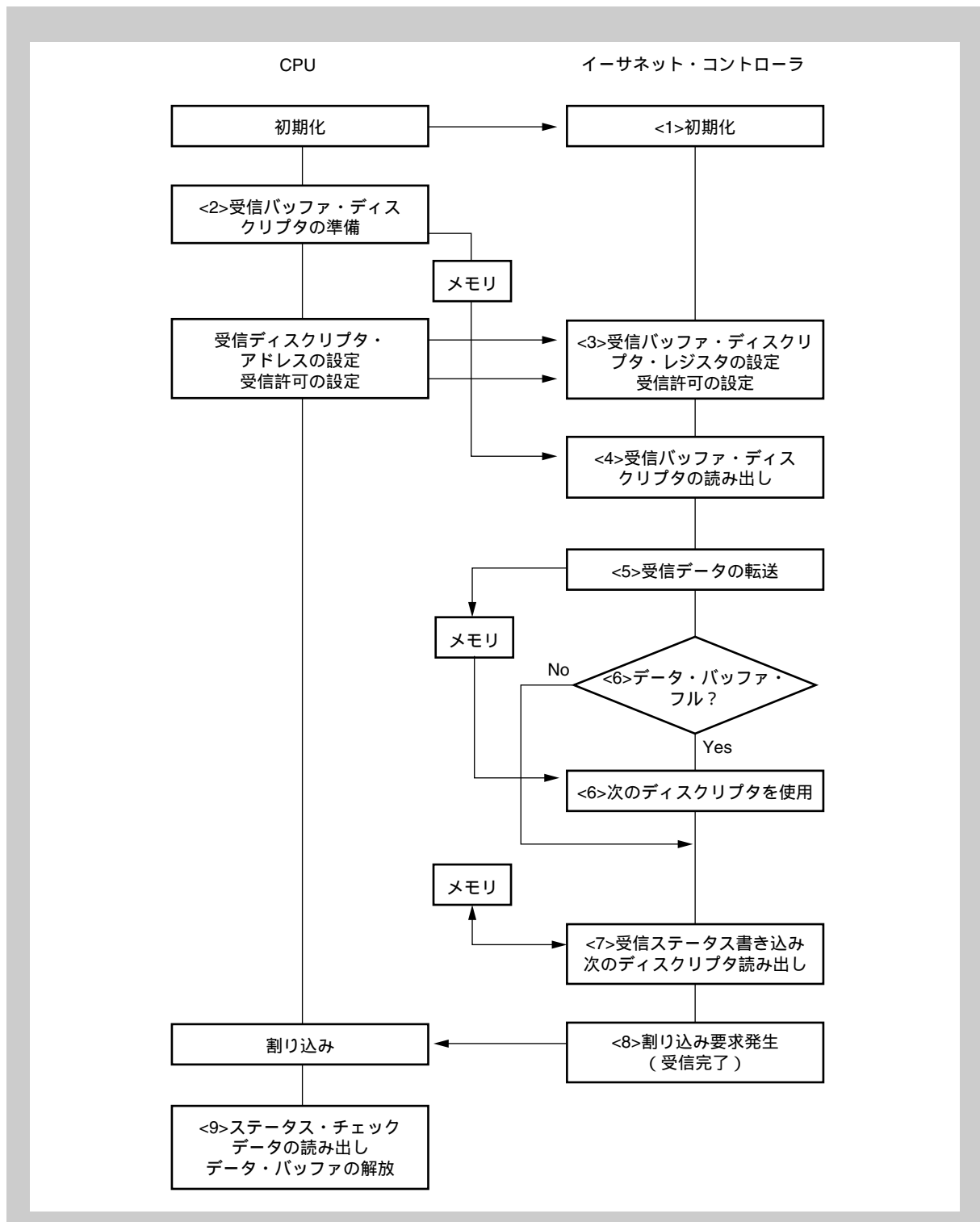


図 32-31 受信手順例

<1> イーサネット・コントローラの初期化

イーサネット・コントローラの初期化を行ってください。初期化手順については、32.3「初期設定」を参照してください。

<2> 受信バッファ・ディスクリプタの作成

メモリに受信バッファ・ディスクリプタを作成してください。ディスクリプタの作成の際には受信バッファ・ディスクリプタのTビットの設定（0に設定）、Uビットの設定（0に設定）、Size ビット（データ・バッファのサイズ）の設定を行ってください。

<3> 受信バッファ・ディスクリプタ・レジスタの設定と受信許可の設定

受信バッファ・ディスクリプタのアドレスを ETHA0RXDP レジスタに設定し、ETHA0MODE レジスタの RXS ビットを設定します。

<4> 受信バッファ・ディスクリプタの読み出し

DMA を介して受信バッファ・ディスクリプタを読み出します。

<5> 受信データの転送

DMA を介してデータをデータ専用 RAM に転送します。

<6> 受信データ・バッファ・フルの判定

現在のデータ・バッファがフルの場合、次のディスクリプタを読み込みます。

<7> パケットの受信

バッファ・ディスクリプタの読み込みとデータの転送を繰り返し行います。フレームの終端を受信した場合、最終受信バッファ・ディスクリプタのステータスの E ビットには 1、Size フィールドには転送したバイト数が書き込まれます。

<8> 受信完了の通知

割り込み要求 (RXI) を発生させ、受信が終了したことを CPU に通知します（割り込みがマスクされていない場合）。

<9> 次のデータの準備

CPU は受信ステータスのチェックとデータ・バッファの解放を行い、次のデータ・バッファを準備します。

次に具体的なディスクリプタ・チェーンの例を用いて、動作を説明します。

ソフトウェアで、コア・ファンクション設定レジスタ (ETHA0MODEETHA0MODE) の RXS ビットをセット (1) すると、受信ディスクリプタ・ポインタ (ETHA0RXDP) で示されるアドレス (0028 0000_H) から先頭ディスクリプタを読み出し、受信ディスクリプタの解析を開始します。

DMA 転送開始アドレスに先頭バッファ・アドレス・ポインタ (0028 1000_H) をセットし、FIFO 内の受信データをバッファ A に転送します。

その後の受信でバッファ A がフルになると次のディスクリプタ (0028 0008_H) を読み出し、バッファ・アドレス・ポインタ (0028 1800_H) を DMA 転送開始アドレスにセットし、FIFO 内の受信データをバッファ C に転送します。

最終ディスクリプタに対して、E ビット、U ビットをセット (1) し、Size フィールドに転送したデータのバイト数をライト・バックします。

またパケット・データをすべて転送したあと、先頭ディスクリプタの、U ビット、S ビットをセット (1) し、受信ステータス情報を Status (A) フィールドにライト・バックします。

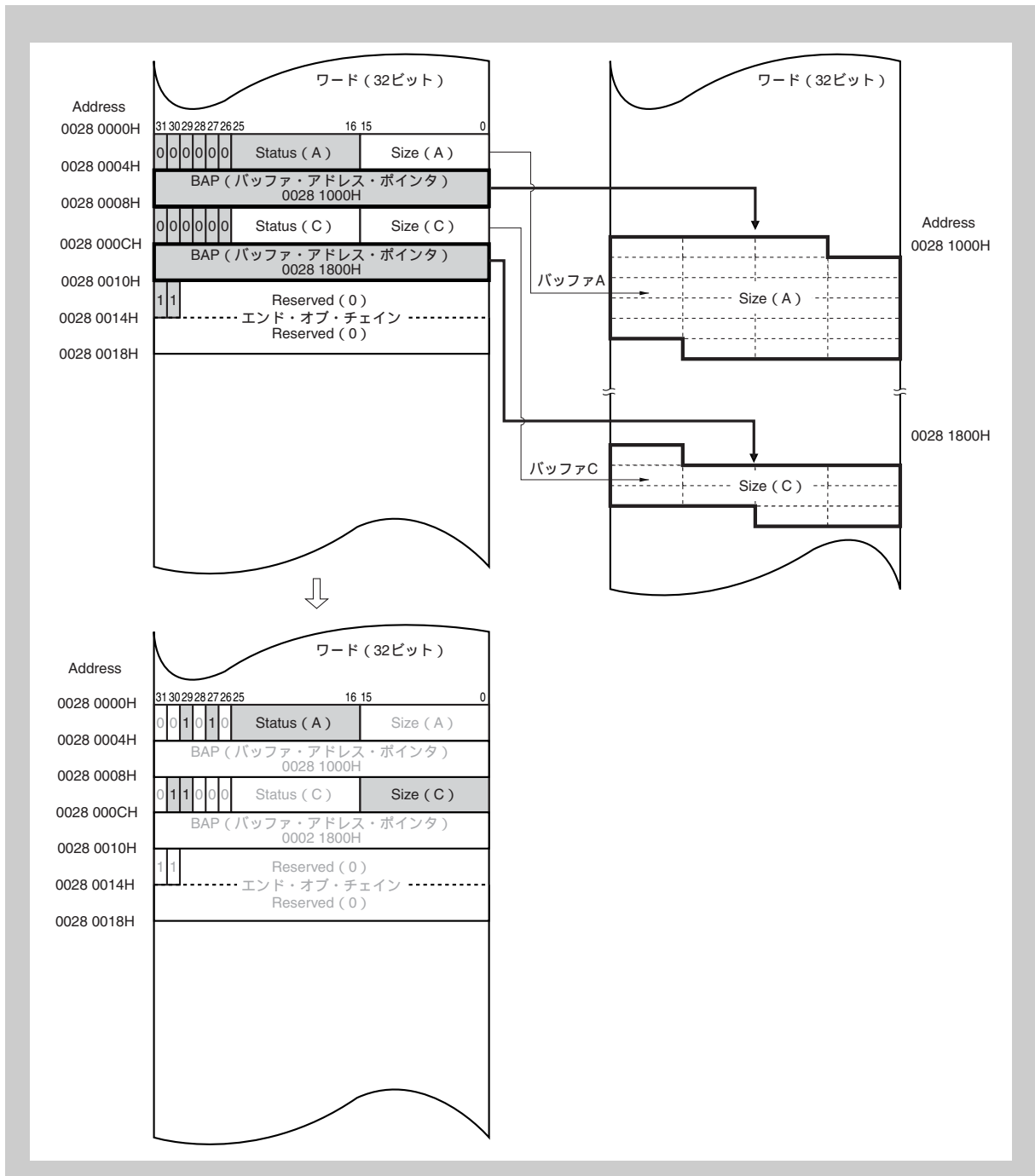


図 32-32 ディスクリプタ・チェーン構成例 (パケット受信時)

32.6.5 エラー処理

(1) Error Write Back

送信および受信時にデータ・バッファへアクセスするときにバス・エラーが発生した場合は、エラー割り込みをアサートし DMA を中止します。さらにパケット先頭のディスクリプタには、U ビット、D ビットをセット (1) します (U ビットはすでにセット (1) されている場合もあります)。また、エラーの起こったディスクリプタには、U ビット、D ビット、E ビットをセット (1) します。

受信時にオーバフローが発生した場合は、パケット先頭のディスクリプタには、U ビット、O ビットをセットします (U ビットはすでにセットされている場合もあります)。また、オーバフローの起こったディスクリプタには、U ビット、E ビットをセットします。

(2) エラー割り込み

エラー割り込みは、データ・バッファのアクセス・エラーだけでなく、ディスクリプタのアクセス・エラー発生によってもアサートされます。エラー割り込みの発生は、ETHA0INTMS.RBEI, TBEI ビットがセットされることで確認できます。

データ・バッファのアクセス・エラーやディスクリプタのアクセス・エラーが発生した場合は、エラーの発生したディスクリプタを含むディスクリプタ・チェーンを再構築する必要があります。

送信 ディスクリプタまたはデータ・バッファのアクセス・エラーが起こると、TBEI ビットをセット (1) し DMA を中止します。

次の TXS ビットをセット (1) するまで、送信処理はおこないません。

受信 ディスクリプタまたはデータ・バッファのアクセス・エラーが起こると、RBEI ビットをセットし DMA を中止します。

次の RXS ビットをセットするまで、受信処理は行いません。同時に、FIFO から転送中のパケットをキャンセルします。

なお、パケット転送が始まっていない場合には、パケットのキャンセルを行いません。受信オーバフローのライト・バックでバス・エラーが発生した場合も、ディスクリプタのアクセス・エラーと同じ処理を行います。

32.7 受信チェックサム機能

イーサネット・コントローラは、受信チェックサム・ユニットの機能により、受信チェックサム機能があります。

受信チェックサム機能のオン/オフは、制御レジスタから制御され、ETHA0TRANSCTL.RXCHKSMEN ビットにより制御されます。

チェックサムは受信データの最後に追加されます。受信データは、パケット長+2バイトとなりますので、十分な領域の確保をしてください。

チェックサム機能が有効な場合は、受信フレームの MAC ヘッダ（先頭 14 バイト）と CRC（末尾 4 バイト）を除いた、すべての部分（ペイロード）をチェックサム計算の対象とします。計算対象のバイト数が奇数の場合には、最後のバイトに 00H を追加してチェックサムの計算を行います。

チェックサム対象の最小受信パケット長は 19 バイト（ペイロード = 1 バイト）です。受信パケット長が 18 バイト（ペイロード = 0 バイト）以下の場合には、チェックサムは 0 を出力します。ただしレングス情報は 2 バイト増えます。

RXCHKSMEN ビットは受信フレーム転送停止を確認して変更してください。

32.7.1 ソフトウェア上の処理

チェックサム計算はパケットの先頭から 14 バイトは MAC ヘッダとしてあつかい、必ずチェックサム計算から除かれます。15 バイト目から計算が始まることとなります。VLAN やヒュージ・フレームなどのように MAC ヘッダが 14 バイトを越える場合は、ソフトウェアでの補正が必要です。

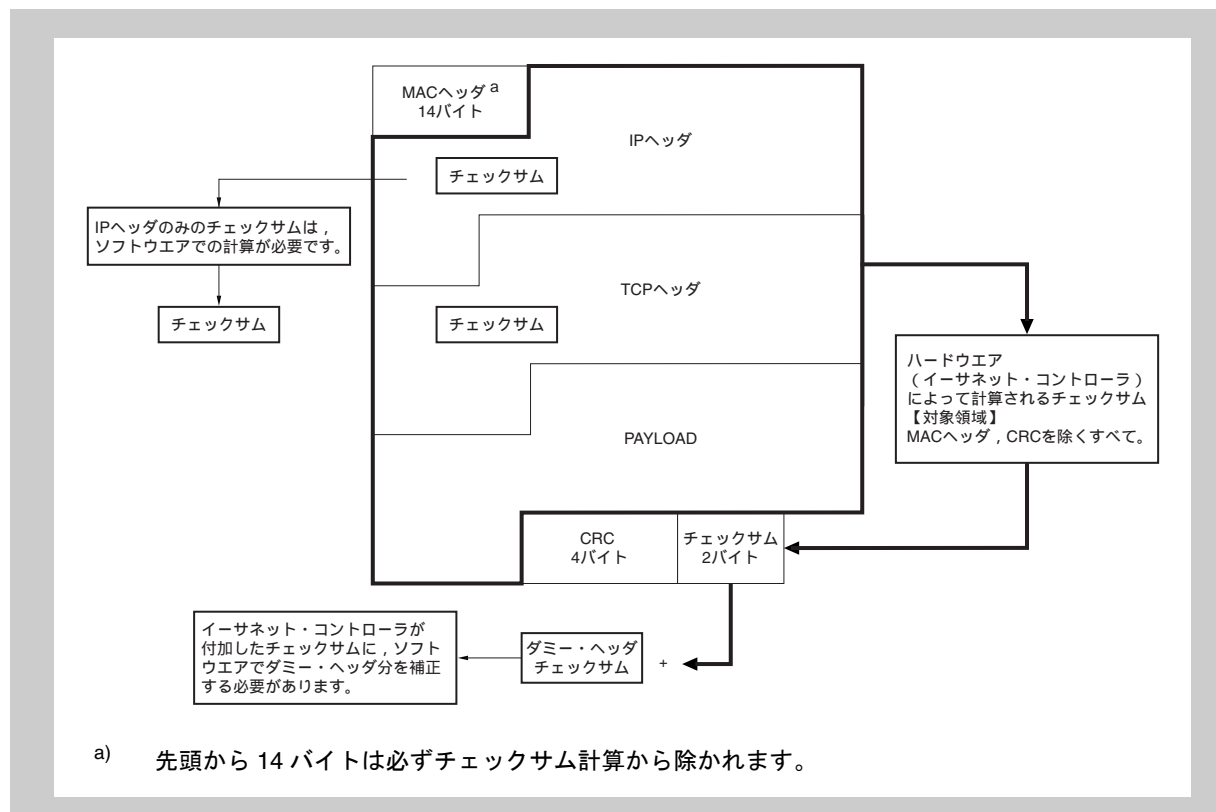


図 32-33 チェックサム対象

また、最小パケット長を 64 バイトとするために、不足分をパディングする場合、多くのシステムでは 00_H でパディングしますが、システムにより特定のコードでパディングされる場合があります。この場合は、パディング・データを含めてチェックサム計算が行われるため、計算結果とヘッダに含まれるチェックサムと一致しなくなります。この場合は、ソフトウェアによりパディング・データ分のチェックサムを補正する必要があります。

注意 RFC1071 より、チェックサムを計算する際にデータの並びがビッグ・エンディアンかリトル・エンディアンかに関わらず、チェックサム結果を同一のエンディアンで比較すれば結果の比較が可能です。

32.8 送信チェックサム機能

イーサネット・コントローラは、送信チェックサム機能を内蔵しています。この機能は、内部システム・バスに対して、イーサネット・コントローラ専用 DMAC とは別のバス・マスタとして機能します。

送信チェックサムのアルゴリズムは RFC1071 に従い、32 ビット幅でペイロードを加算して、最終に 2 バイトのチェックサムを出力します。

チェックサム対象の最小送信ペイロードは 1 バイトで、最大は IEEE802.3 に規制された 1500 バイトです。

チェックサムの計算、および結果はリトル・エンディアンになります。

32.8.1 送信チェックサム用ディスクリプタの構成

送信チェックサムの計算は、ディスクリプタにより制御します。

ディスクリプタの構成により、IPヘッダの計算とTCPヘッダの計算を別々に行うことも一度に行うことも可能です。

次に、IPヘッダの計算とTCPヘッダの計算を一度に行う場合の、ディスクリプタ構成を示します。

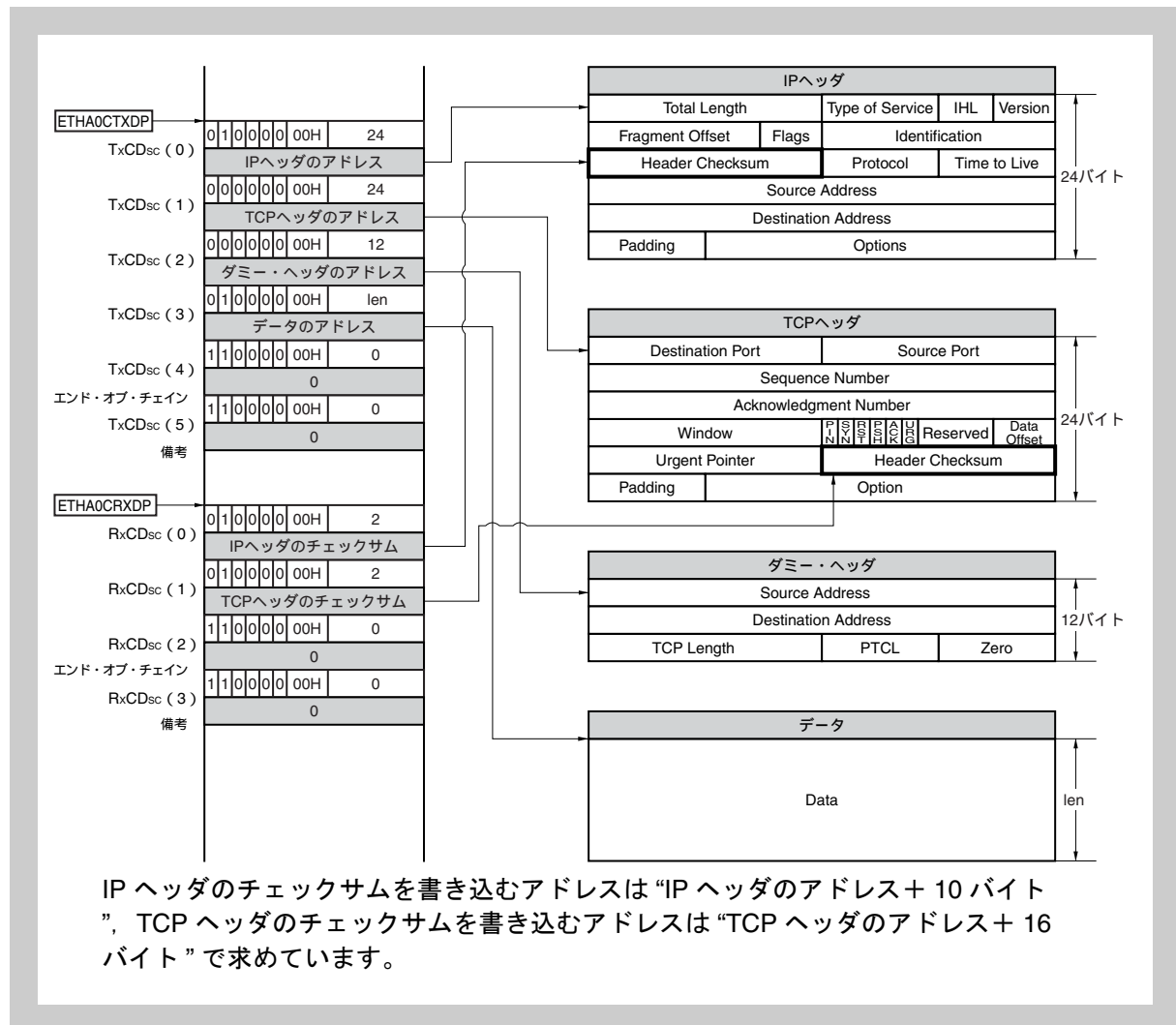


図 32-34 送信チェックサム用ディスクリプタの構成

32.9 注意事項

32.9.1 FIFO の注意事項

イーサネット・コントローラは、内部の FIFO により次の注意があります。

表 32-118 送信 FIFO の制限

最大 FIFO 内 保存容量	DMA 転送条件	リトライ/ アボート	PHY への送信条件	特徴	注意点
2044 バイト 以下	FIFO 内のデータ が 1536 バイト未 満 ^a	衝突検出時に、 自動で再送/ アボートを行 う	FIFO 内に 1 パケット 以上パケットが存在す る場合	アンダラン しない再送 が可能	送信パケット長は 1536 バイト以下の 制限がある

- a) FIFO 内には、容量が許す限り、複数のパケットを格納できますが、送信 FIFO 内のデータが 1536 バイトになると、送信 DMA が停止して送信 FIFO オーバフローを回避します。しかし、イーサネット・コントローラが送信を開始するのは、FIFO 内に 1 パケット分のデータを格納したあとです。そのため、1 パケットの長さが 1536 バイトを越えると、送信 FIFO がロックします。使用する 1 パケットのサイズは、必ず規格値（非 VLAN 時 1518 バイト以下、VLAN 時 1522 バイト以下）を守ってください。

表 32-119 受信 FIFO の制限

最大 FIFO 内 保存容量	DMA 転送条件	ポーズ・コントロール・フレームの送 信条件 ^a	特徴	注意点
2036 バイト 以下	FIFO 内に 1 パ ケット以上 パケットが存在 する場合	・ ポーズ・コントロール・フレームの 送信：FIFO 内のデータが FLOWTHR 以上 ・ 0 ポーズ・コントロール・フレーム の送信：FIFO 内のデータが ZPTHR 以下	すべてのエ ラー・パ ケットを破 棄可	受信パケット長に 2036 バイト以下の 制限がある

- a) ポーズ・コントロール・フレームによる制御は、受信オーバフローを完全に防止するものではありません。受信 FIFO がオーバフローすると、受信できなかったパケットは破棄されます。

第33章 スタンバイ機能

33.1 特徴

スタンバイ機能として、HALT モードがあります。

表 33-1 スタンバイ機能のモード一覧

モード	機能概要
HALT モード	CPU の動作クロックのみを停止させるモード

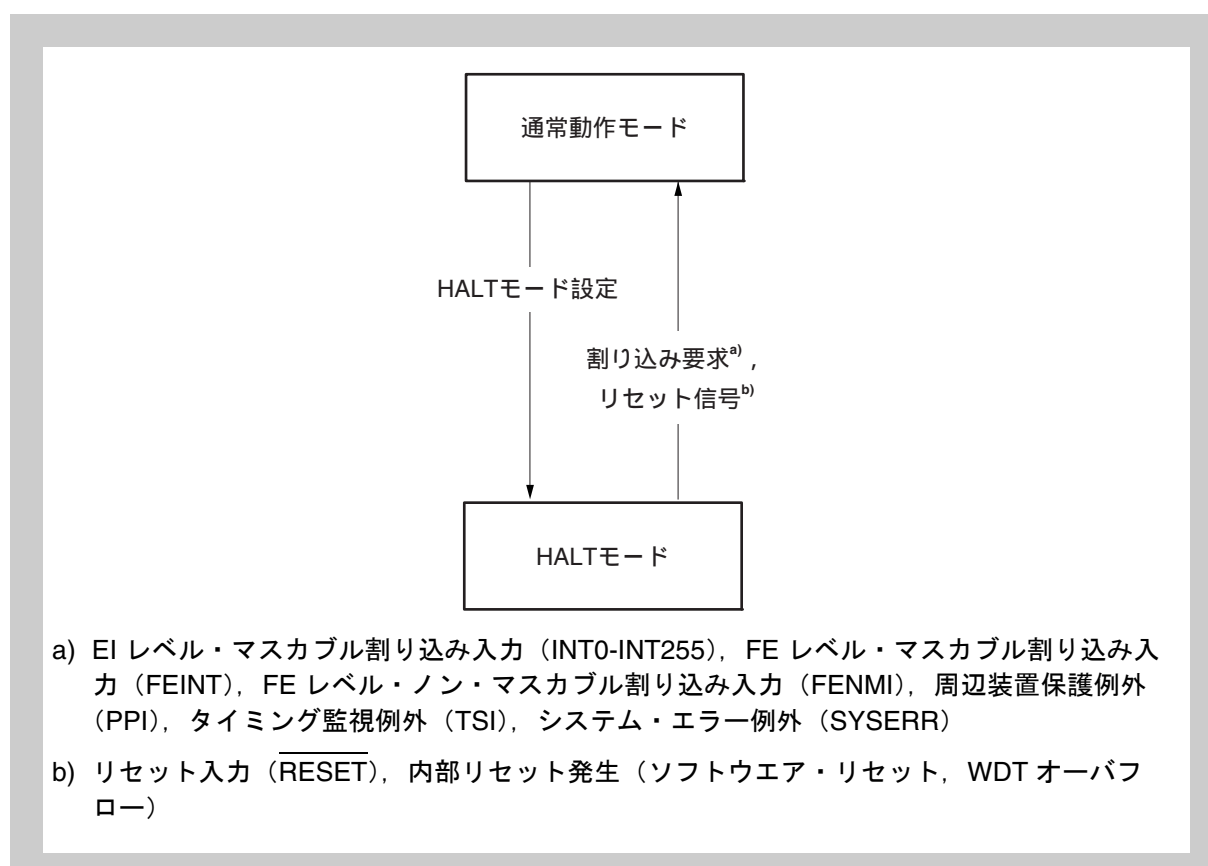


図 33-1 状態遷移図

33.2 HALT モード

33.2.1 設定および動作状態

通常動作モード時、専用命令（HALT 命令）を実行することにより、HALT モードに設定します。

HALT モードに設定すると、クロック・ジェネレータは動作を継続しますが、CPU へのクロック供給のみが停止し、その他の内蔵周辺機能へのクロック供給は継続します。

これによりプログラムの実行が停止し、内蔵 RAM（内蔵 RAM, Hバス共有メモリ）の内容は HALT モード設定前の状態を保持します。また、CPU の命令処理に依存しない内蔵周辺機能は動作を継続します。

HALT モードは、通常動作モードとの間欠動作によりシステム全体の平均消費電流を低減することができます。

表 33-2 HALT モードの動作状態

機能	動作状態
メイン・クロック	動作
PLL	動作
クロック・ジェネレータ	動作
CPU クロック (f_{CPU})	動作
P バス・クロック (f_{PCLK})	動作
H バス・クロック (f_{HCLK})	動作
イーサネット・コントローラ	動作
USB ファンクション	動作
CPU	停止
I/O	動作
P バス周辺機能	動作
WDT	動作
A/D コンバータ	動作
H バス周辺機能	動作
プライマリ・バス・インタフェース (P_MEMC)	動作
セカンダリ・バス・インタフェース (S_MEMC)	動作
内部データ	CPU のレジスタ, ステータス, データ, 内蔵 RAM (内蔵 RAM, H バス共有メモリ) の内容など, CPU が停止時には書き替えられない内部のデータは、すべて HALT モード設定前の状態を保持

33.2.2 HALT モードの解除

HALT モードから通常動作モードへの移行は、リセット入力、割り込み、および、例外の発生によって行われます。

なお、HALT モードで割り込み、および、例外を受け付けた場合、その例外の復帰 PC は、HALT 命令の次の命令の PC となります。(V850E2M アーキテクチャ編 ユーザーズ・マニュアル HALT 命令参照)

HALT モードの解除要求の入力は、次のリセット入力、割り込み、および、例外の各要求の発生時に行われます。

(1) リセット入力、割り込み、および例外

HALT モードの解除要因を次に示します。

- リセット入力 (RESET)
- 内部リセット発生 (ソフトウェア・リセット, WDT オーバフロー)
- EI レベル・マスカブル割り込み入力 (INT0-INT255)
- FE レベル・マスカブル割り込み入力 (FEINT)
- FE レベル・ノン・マスカブル割り込み入力 (FENMI)
- 周辺装置保護例外 (PPI)
- タイミング監視例外 (TSI)
- システム・エラー例外 (SYSERR)

また、上記の例外の受け付け条件 (ID および NP の値) を満たしていない場合であっても、要求が存在する場合には HALT 状態の解除が行われます (例: ID=1 であっても、INT0 が発生した段階で HALT 状態が解除されます)。

なお、例外処理ルーチン内で HALT モードに設定した場合、次のように動作が異なります。

- 現在処理中の例外要求よりも優先順位の低い、または同一レベルの例外要求が発生すると、HALT モードの解除のみを行ない、この例外要求は保留されます。
- 現在処理中の例外要求よりも優先順位の高い例外要求が発生すると、HALT モードの解除とともに、この例外要求を受け付けます。

割り込み入力 (INT0-INT255、FEINT、FENMI) が、割り込みコントローラの次に示すレジスタの機能によって、「割り込み処理を禁止」されている場合は、HALT モードは解除されません。

- EI レベル割り込み制御レジスタ (EIC0-EIC255)
- EI レベル割り込みマスクレジスタ (IMR0-IMR15)

備考 本製品の割り込み／例外要求については、第9章「割り込み機能」の章を参照してください。
リセット入力の種類については、第5章「リセット機能」の章を参照してください。

第 34 章 フラッシュ・メモリ

フラッシュ・メモリのタイプ V850E2/MN4 マイクロコントローラは, “Type05” タイプのフラッシュ・メモリを備えています。「セルフ・プログラミング」等, 別のドキュメントの“Type05”フラッシュ・メモリを参照してください。

本製品は, フラッシュ・メモリ内蔵品です。

表 34-1 フラッシュ・メモリ

品名	内蔵フラッシュ・メモリ
μPD70F3510F1-HN6-A	1 M バイト
μPD70F3512F1-HN6-A	
μPD70F3514F1-HN6-A	
μPD70F3515F1-HN6-A	2 M バイト

フラッシュ・メモリは次の方法で書き換えが可能です。

- 専用のプログラム・アダプタ (FA シリーズ) に実装し, 専用のフラッシュ・メモリ・プログラマとのシリアル・インタフェース通信を介しての書き換え (オフボード・プログラミング)
- ターゲット・システムに実装し, 専用のフラッシュ・メモリ・プログラマとのシリアル・インタフェース通信を介しての書き換え (オンボード・プログラミング)
- ユーザ・プログラム (アプリケーション) によるフラッシュ・メモリの書き換え (セルフ・プログラミング)

34.1 特徴

- ブロック単位消去が可能 (ブロック単位: 4KB)
- 専用フラッシュ・メモリ・プログラマからシリアル・インタフェースを介して通信 (オンボード・プログラミング)
- オンボード, オフボード・プログラミングが可能
- セルフ・プログラミングによるフラッシュ・メモリ・プログラミングが可能^{a)}
- 消去/書き込み禁止機能 (セキュリティ機能): 対応

^{a)} μPD70F3514, 70F3515 におけるセルフ・プログラミングは, PE1 でのみ実行可能です。PE2 では実行しないでください。

- ブート切り替え機能（ブートスワップ）：対応

表 34-2 フラッシュ・メモリ構成

	ブロック 511(4 KB)	001F FFFF _H 001F 0FFF _H	アドレス
	
	ブロック 384 (4 KB)	0018 0FFF _H 0018 0000 _H	
	ブロック 383 (4 KB)	0017 FFFF _H 0017 F000 _H	
	
	ブロック 256 (4 KB)	0010 0FFF _H 0010 0000 _H	
ブロック 255 (4 KB)	ブロック 255 (4 KB)	000F FFFF _H 000F F000 _H	
...	
ブロック 1 (4 KB)	ブロック 1 (4 KB)	0000 1FFF _H 0000 1000 _H	
ブロック 0 (4 KB)	ブロック 0 (4 KB)	0000 0FFF _H 0000 0000 _H	
1 MB	2 MB	フラッシュ・メモリのサイズ	
4/8/16/32/64/128/256 KB		ブート・スワップ・クラスタのサイズ	
μ PD70F3510 μ PD70F3512 μ PD70F3514	μ PD70F3515	製品	

34.2 専用フラッシュ・プログラマでの書き換え

専用フラッシュ・プログラマにて、ターゲット・システム上に V850E2/MN4 を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FA シリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

備考 FA シリーズは、(株)内藤電誠町田製作所の製品です。

34.2.1 通信方式

専用フラッシュ・プログラマと V850E2/MN4 との通信は、1-wired UART または 3-wired-HS CSI によるシリアル通信で行います。

- 1-wired UART

ピン番号	端子名	機能	兼用端子
W14	FLRXD	フラッシュ・プログラマ用端子	TDI/FLSI

注意 2 Mbps での通信はできません。

- 3-wired-HS CSI

ピン番号	端子名	機能	兼用端子
W13	FLSO	フラッシュ・プログラマ用端子	TDO
W14	FLSI	フラッシュ・プログラマ用端子	TDI/FLRXD
AB13	FLSCK	フラッシュ・プログラマ用端子	TCK

34.3 セルフ・プログラミングによる書き換え

34.3.1 概要

V850E2/MN4 は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵 RAM もしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

(1) ブート・スワップ

ブート・スワップ機能により、フラッシュ・メモリの安全なプログラム変更が可能になり、何らかの原因（たとえばパワー・フェイルの状態）でプログラム変更が失敗した際には、動作可能なソフトウェア・バージョンを維持するのに使用します。

(2) 保護

フラッシュ・メモリ・プログラミング時に、一連の保護フラグを指定し、リード、書き換え、消去の保護を含むさまざまな方法でフラッシュ・メモリへのアクセスを禁止することができます。これで、フラッシュ・メモリは権限のないユーザによるフラッシュ・メモリの内容のリードや書き換えから保護されます。

備考 ブート・スワップおよび保護の詳細は、2372 ページの「安全なセルフ・プログラミング (ブート・スワップ・クラスタ)」を参照してください。

34.3.2 フラッシュ・メモリの消去と書き換え

消去 フラッシュ・メモリは、そのブロック構造によって次の2通りのコマンドで消去できます。

- 全ブロックの一括消去 (チップ消去, シリアル・プログラミング・モードのみ)
すべてのブロックが一度に消去されます。
- ブロック消去
4 KB のフラッシュ・メモリ・ブロックが個別に消去されます。
セルフ・プログラミング・モードでは、連続する任意の数のフラッシュ・メモリ・ブロックを一度に消去できます。

ライト セルフ・プログラミング・モードとシリアル・プログラミング・モードでは、フラッシュ・メモリを1ブロックより小さい単位でライトすることができます。ブロック全体が消去されると、16 バイト単位でライトすることができます。ブロック全体が消去された後、16 バイト単位ごとに一度だけライト可能です。

消去/ライト 消去/ライト・コマンドでは、フラッシュ・メモリの 32 KB のブロックを消去し、別の 32 KB のブロックにライトすることができます。

34.4 フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング

専用フラッシュ・メモリ・プログラマを使用して、シリアル・プログラミング・モードでフラッシュ・メモリのライトを行うことができます。

シリアル・プログラミング シリアル・プログラミング時に、マイクロコントローラはコネクタを備えたターゲット・ボードに装着され、フラッシュ・メモリ・プログラマはターゲット・マイクロコントローラに接続されます。

マイクロコントローラは、完全な動作を提供する必要があります。

- すべての外部電源をアクティブにする必要があります。
- X1/X2 端子に外部発振子を接続する必要があります。

必要なすべてのマイクロコントローラ機能は、オンチップ・ファームウェアで設定/実行されます。

注意 フラッシュ・メモリ・プログラマをオンボード・マイクロコントローラに接続すると、ほかの信号との競合が発生する可能性があります。2365 ページの「オンボード信号接続との競合の可能性」のヒントに留意してください。

34.4.1 プログラミング環境

マイクロコントローラのフラッシュ・メモリにデータをライトするための推奨される環境を次に示します。

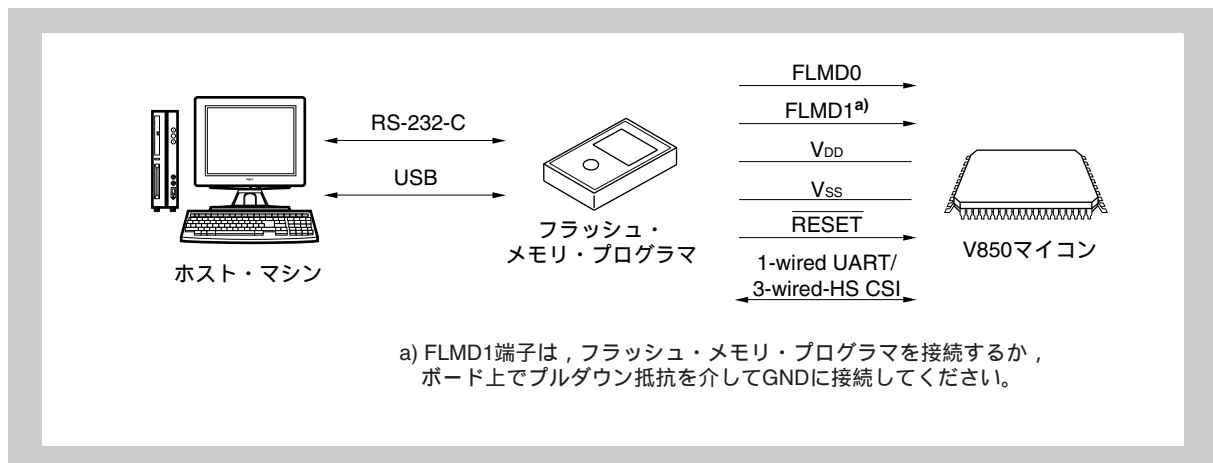


図 34-1 フラッシュ・メモリにプログラムをライトするための環境

フラッシュ・メモリ・プログラマの設定にはホスト・マシンが必要です。フラッシュ・メモリ・プログラマの使用はスタンドアロン・モードでも機能するため、ホスト・マシンは必要ありません。

以下の専用マイクロコントローラ・シリアル・インタフェースは、フラッシュ・メモリ・プログラマとマイクロコントローラ間のインタフェースとして使用できます。

- シングル・ワイヤ非同期シリアル・プログラミング・インタフェース : 1-wired UART
- 同期シリアル・プログラミング・インタフェース : 3-wired-HS CSI

備考 シリアル・インタフェース 1-wired UART と 3-wired-HS CSI はフラッシュ・プログラミング・モード専用です。通常動作モードでは使用できません。

34.4.2 通信モード

(1) シングル・ワイヤ非同期シリアル・プログラミング・インタフェース : 1-wired UART

シングル・ワイヤ非同期シリアル・プログラミング・インタフェース 1-wired UART は、次の端子を使用してフラッシュ・メモリ・プログラマに接続します。

- 受信/送信データ : FLRXD

外部フラッシュ・メモリ・プログラマでは、さまざまなボー・レートを選択できます。

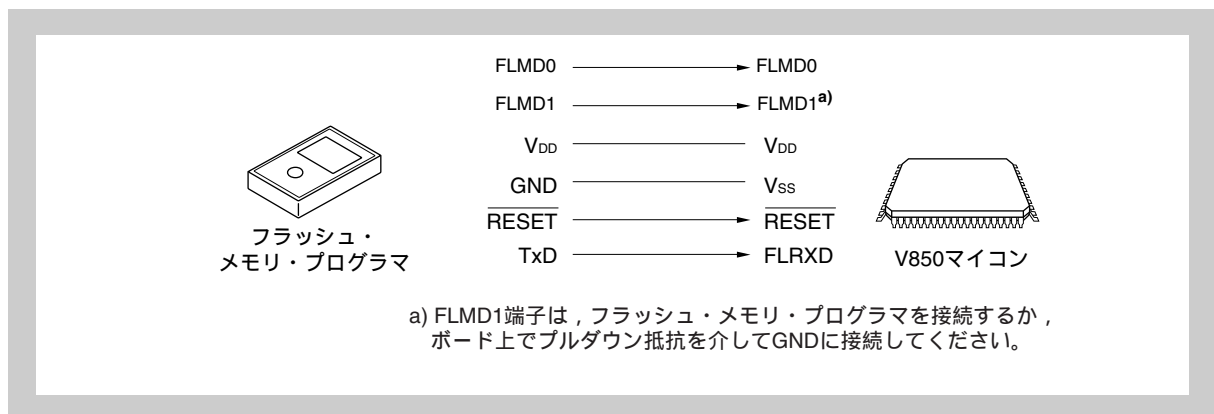


図 34-2 1-wired UART を使用したフラッシュ・メモリ・プログラマとの通信

注意 2 Mbps での通信はできません。

(2) 同期シリアル・プログラミング・インタフェース：3-wired-HS CSI

同期シリアル・プログラミング・インタフェース 3-wired-HS CSI は、次の端子を使用してフラッシュ・メモリ・プログラマに接続します。

- シリアル・データ入力：FLSI
- シリアル・データ出力：FLSO
- シリアル・データ・クロック入力：FLSCK

外部フラッシュ・メモリ・プログラマでは、さまざまなクロック速度を選択できます。

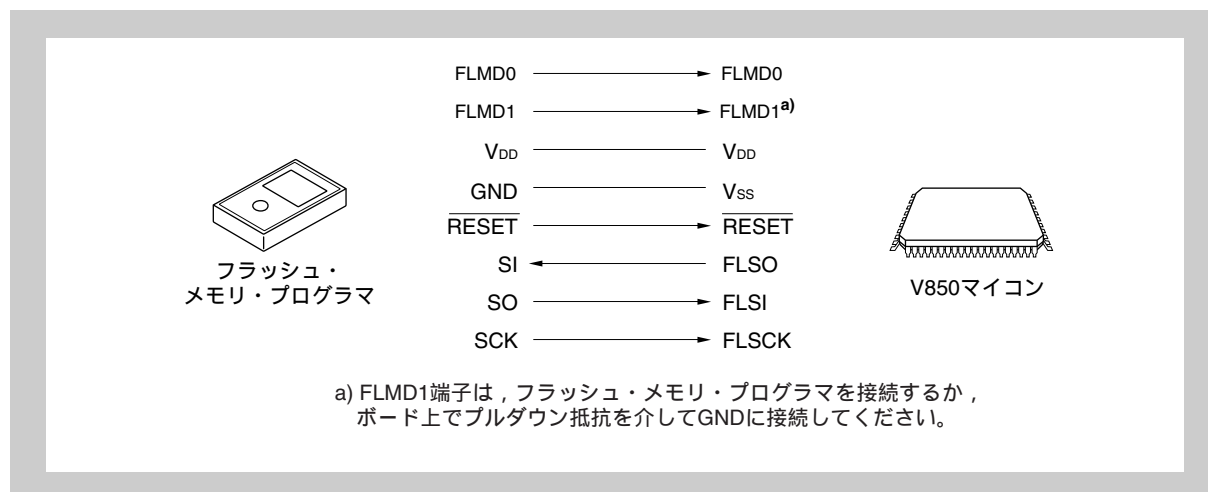


図 34-3 3-wired-HS CSI を介したフラッシュ・メモリ・プログラマとの通信

フラッシュ・メモリ・プログラマはシリアル・データ・クロック SCK を出力し、マイクロコントローラはスレーブとして動作します。

34.4.3 フラッシュ・メモリ・プログラマ PG-FP5 との端子接続

ターゲット・システムにコネクタを装着し、シリアル・プログラミング用のフラッシュ・メモリ・プログラマを接続する必要があります。さらに、通常動作モードとフラッシュ・メモリ・プログラミング・モードとを切り替え、マイクロコントローラの RESET 端子を制御する機能がボード上に提供される必要があります。

マイクロコントローラのフラッシュ・メモリ・プログラミング・モードが設定された場合、フラッシュ・メモリ・プログラミングに使用しない端子はすべてリセット直後と同じ状態にあります。

PG-FP5 をフラッシュ・メモリ・プログラマとして使用する場合は、次のように PG-FP5 のターゲット・インタフェース・コネクタをマイクロコントローラに接続します。

表 34-3 マイクロコントローラ・フラッシュ・メモリ・プログラマ PG-FP5 の接続

フラッシュ・メモリ・プログラマ PG-FP5 の接続端子			マイクロコントローラの信号 (兼用機能) 名			
信号名	I/O	機能	1-wired UART		3-wired-HS CSI	
			信号	ポート	信号	ポート
SO/TxD	O	<ul style="list-style-type: none"> 送受信データ 送信データ 	FLRXD	TDI/FLSI	FLSI	TDI/FLRXD
SI/RxD	I	受信データ	オープン		FLSO	TDO
SCK	O	転送クロック	オープン		FLSCK	TCK
CLK	O	マイクロコントローラへのクロック	オープン		オープン	
RESET	O	リセット信号	RESET	—	RESET	—
FLMD0	I	モード選択	FLMD0	—	FLMD0	—
FLMD1	I	モード選択	FLMD1 ^a	—	FLMD1 ^a	—
H/S	I	ハンドシェイク信号	オープン		オープン	
V _{DD}	O	電源供給	EV _{DD}		EV _{DD}	
V _{DD2}	O	電源供給	IV _{DD}		IV _{DD}	
V _{PP}	—	フラッシュ・プログラミング電圧	オープン		オープン	
GND	—	グラウンド	VSS		VSS	
VDE	—	予約	オープン		オープン	
RFU-1	—	予約	オープン		オープン	

^{a)} FLMD1 がターゲット・ボード上でロウ・レベルに固定されている場合、FLMD1 信号を接続する必要はありません。

詳細は、PG-FP5 ユーザーズ・マニュアル、資料番号 R20UT0008J 参照してください。

34.4.4 フラッシュ・メモリ・プログラミング制御

フラッシュ・メモリのプログラミング手順を次に示します。

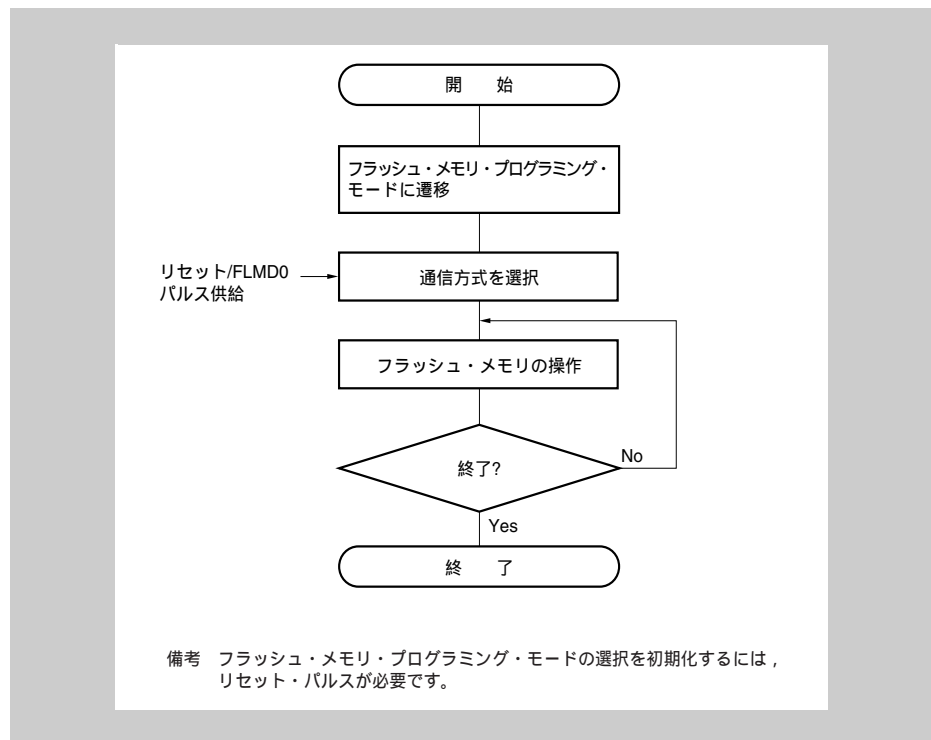


図 34-4 フラッシュ・メモリ・プログラミング手順

(1) 動作モード制御

フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるには、マイクロコントローラをフラッシュ・メモリ・プログラミング・モードに設定します。

このモードを設定するには、FLMD0 端子と FLMD1 端子を 2364 ページの表 34-4 「動作モードの選択」に示すように設定し、RESET 解除します。

通常動作モード時は、VSS は FLMD0 端子への入力です。フラッシュ・メモリ・プログラマが接続されていない場合は、FLMD0 端子のプルダウン抵抗によって通常動作モードが保証されます。

シリアル・フラッシュ・プログラミング・モード（外部フラッシュ・メモリ・プログラマによるオンボード・プログラミング）に入るには、RESET 解除時に FLMD0 端子に VDD が提供され、FLMD1 端子に VSS が提供される必要があります。

表 34-4 動作モードの選択

端子				動作モード
FLMD0	FLMD1	MODE2	MODE3	
L	L	L	L	通常動作モード
H	L	L	L	フラッシュ・プログラミング・モード
	H	L	L	バウンダリ・スキャン・モード
上記以外				設定禁止

FLMD0 端子と FLMD1 端子の接続の例を次に示します。FLMD1 は、抵抗を介してグラウンドに接続できます。また、FLMD1 端子はフラッシュ・メモリ・プログラマの FLMD1 信号に直接接続することもできます。

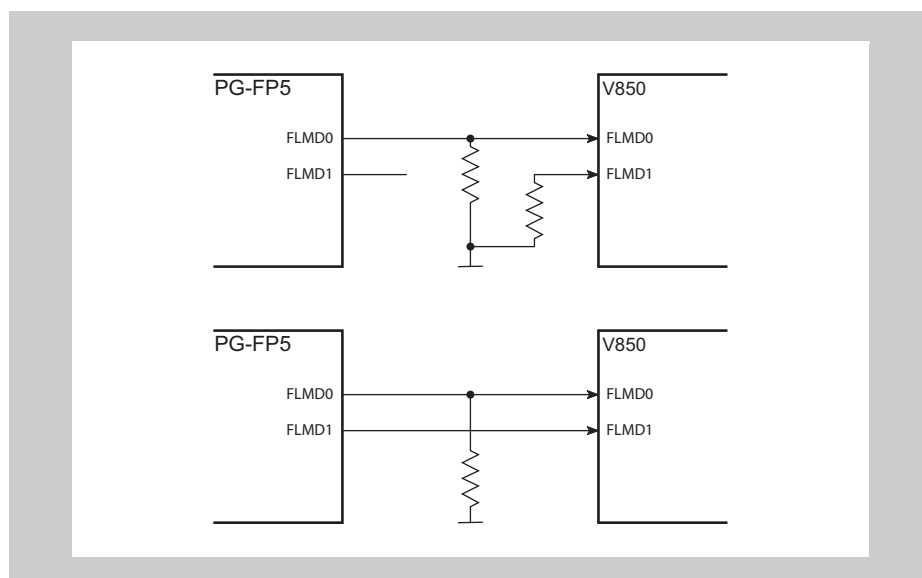


図 34-5 フラッシュ・メモリ・プログラマ PG-FP5 の接続例

通常動作モード（FLMD0 = 0）で開始すると、FLMD0 端子を使用してセルフ・プログラミングを有効にできます。2368 ページの 34.5 「フラッシュ・セルフ・プログラミング」も参照してください。

(2) オンボード信号接続との競合の可能性

シリアル入出力信号

シリアル・プログラミング・モードでフラッシュ・メモリ・プログラミングに使用するシリアル・インタフェース端子にほかのデバイスが接続されている場合は、関連の信号がフラッシュ・メモリ・プログラマおよびマイクロコントローラの信号と競合しないように注意してください。ほかのデバイスの出力端子をアイソレートするか、またはハイ・インピーダンスの状態に設定する必要があります。フラッシュ・メモリ・プログラマ信号によってほかのデバイスが誤動作しないようにしてください。

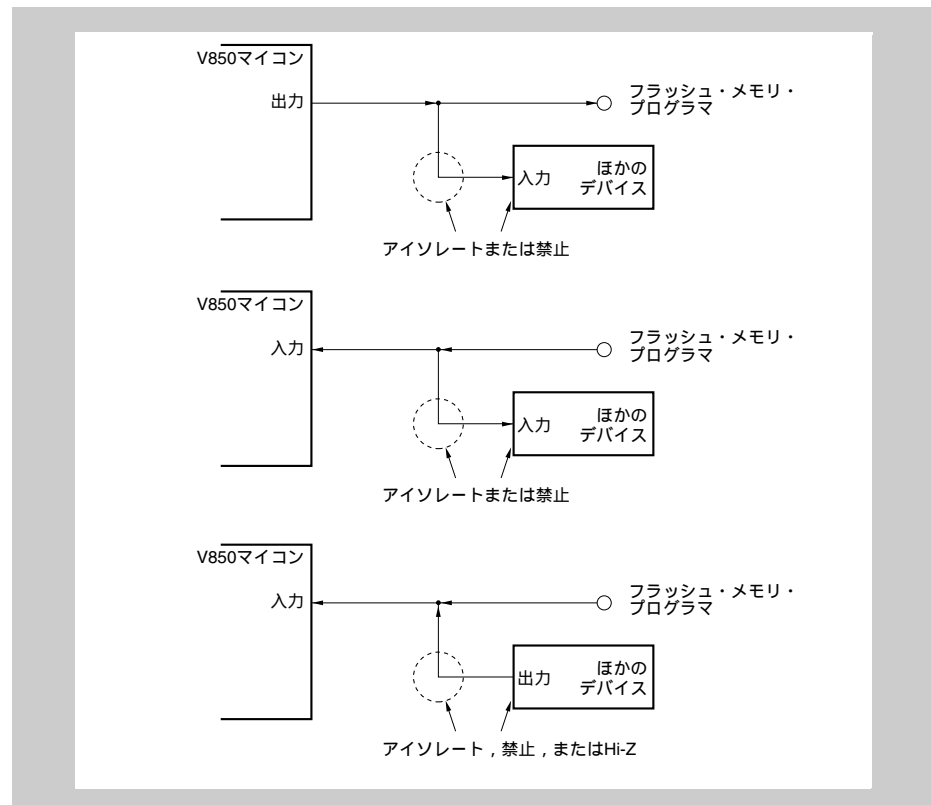


図 34-6 シリアル・インタフェース信号との競合の可能性

RESET

フラッシュ・メモリ・プログラマの $\overline{\text{RESET}}$ 信号をオンボード・リセット発生回路にも接続する場合は、特に注意が必要です。リセット発生回路のリセット出力はフラッシュ・プログラミングの処理を無駄にする可能性があるため、場合によってはアイソレートまたは無効化が必要になります。

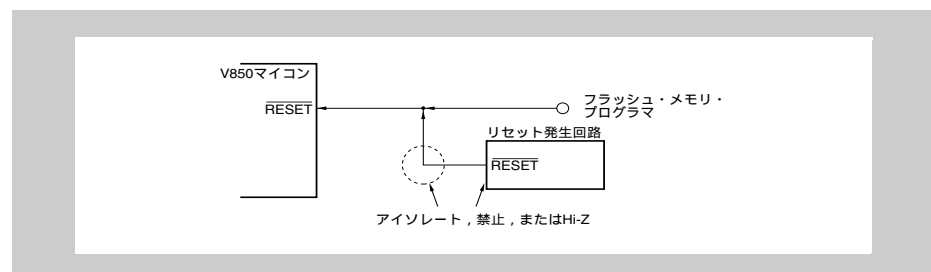


図 34-7 RESET との競合の可能性

ポート V850 ポート端子は、シリアル・プログラミング時に以下の状態になります。プログラミングに使用する端子は、それぞれ FLRXD 端子または FLSO/FLSI/FLSCK 端子として設定されます。

ほかのすべての端子は、リセット解除後もデフォルトの状態に維持されます。プログラミングに使用しない端子のリセット後のデフォルトの状態が入力ポートまたはハイ・インピーダンス出力ポートの場合は、これらの端子に接続するほかのデバイスに注意してください。これらのデバイスが端子で定義されたレベルを要求する場合は、抵抗を介してポートを VDD または VSS に接続する必要があります。

発振回路 すべての発振回路を通常動作モード時と同じ方法で接続します。

電源 基準電圧、電源レギュレータなどを含めて、すべての電源端子に通常動作モード時と同じ電源を供給してください。

(3) 通信モードの選択

リセット解除後に FLMD0 端子に指定された数のパルスを適用することによって通信インタフェースが選択されます。ただし、これはフラッシュ・メモリ・プログラマで処理します。

FLMD0 パルスを 9600 bps で受信した後に 1-wired UART が選択されると、フラッシュ・メモリ・プログラマのユーザ・インタフェースを使用したユーザの選択に従って、フラッシュ・メモリ・プログラマのポー・レートが変更されます。

(4) 通信コマンド

フラッシュ・メモリ・プログラマはマイクロコントローラにコマンドを送信します。コマンドによって、マイクロコントローラはステータス情報または要求されたデータを返します。

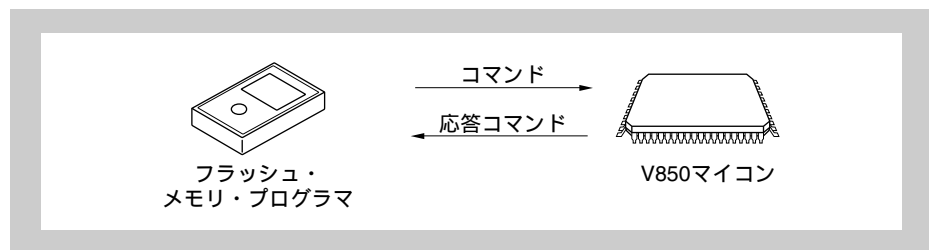


図 34-8 通信コマンドの交換

マイクロコントローラのフラッシュ・メモリ制御コマンドを次の表に示します。これらのコマンドはすべてフラッシュ・メモリ・プログラマから発行され、マイクロコントローラは対応する処理を実行します。

表 34-5 フラッシュ・メモリ制御コマンド

分類	コマンド名	サポート		機能
		1-wired UART	3-wired- HS CSI	
ブランク・ チェック	チップ・ブラン ク・チェック	√	√	フラッシュ・オプション ^a , コード・フラッシュ全 領域の消去状態をチェックします。
	ブロック・ブラン ク・チェック	√	√	コード・フラッシュの指定されたブロックの消去 状態をチェックします。
消去	チップ消去	√	√	フラッシュ・オプション, コード・フラッシュ全 領域を消去します。
	ブロック消去			コード・フラッシュの指定されたブロックを消去 します。
書き込み	書き込み	√	√	コード・フラッシュの指定されたブロックにデー タを書き込みます。
消去/ 書き込み	ブロック消去後, 書き込み	√	√	コード・フラッシュの指定されたブロックの消去 と書き込みを並列処理により高速に行います。
読み出し	読み出し	√	√	コード・フラッシュの指定されたブロックのデー タを読み出します。
ベリファイ	ブロック・ ベリファイ	√	√	コード・フラッシュの指定されたブロックの内容と プログラマから送信されたデータを比較します。
オンチップ・ デバッグ・セ キュリティ ID 設定	オンチップ・デ バッグ・セキュリ ティ ID 設定	√	√	オンチップ・デバッグ・セキュリティ ID をフラッ シュ・オプション ^a に設定します。
	オンチップ・デ バッグ・セキュリ ティ ID 設定の取得	√	√	オンチップ・デバッグ・セキュリティ ID をフラッ シュ・オプション ^a から取得します。
CRC チェック	チップ CRC チェック	√	√	フラッシュ・オプション ^a , コード・フラッシュ全 領域のチェック・サムを計算します。
	ブロック CRC チェック	√	√	コード・フラッシュの指定されたブロックの チェック・サムを計算します。
オプション・ バイト設定	オプション・パイ ト設定	√	√	オプション・バイト設定をフラッシュ・オプショ ン ^a に設定します。
	オプション・パイ ト設定の取得	√	√	オプション・バイト設定をフラッシュ・オプショ ン ^a から取得します。
セキュリティ 設定	セキュリティ設定	√	√	チップ消去禁止、ブロック消去禁止、書き込み禁 止、読み出し禁止、ブート領域の書き換え禁止、 フラッシュ・シールド・ウィンドウを設定します。
	セキュリティ設定 の取得	√	√	セキュリティ設定の内容を取得します。
システムの 設定と制御	リセット	√	√	通信の同期検出に使用します。
	発振周波数設定	√	√	発振周波数を設定します。
	ポー・レート設定	-	√	UART を使用する場合にポー・レートを設定しま す。
	シリコン・シグネ チャ	√	√	シグネチャ情報を取得します。

a) セキュリティ設定, 書き換え保護設定, リセット・ベクタ・ハンドリング機能設定, オプショ
ン・バイト設定, オンチップ・デバッグ・セキュリティ ID 設定の総称です。

備考 オンチップ・デバッグ ID に関しては, ご使用のソフトウェア・ツールのマ
ニュアルを参照してください。

34.5 フラッシュ・セルフ・プログラミング

この V850 マイクロコントローラは、ユーザ・プログラム自体による内蔵フラッシュ・メモリの書き換えを可能にするフラッシュ・マクロ・サービスをサポートします。

このフラッシュ・マクロ・サービスとセルフ・プログラミング・ライブラリ (FSL) をユーザのプログラムで使用するにより、あらかじめ内蔵 RAM または外部メモリに転送されたデータでフラッシュ・メモリを書き換えることができます。

したがって、ユーザ・プログラムのアップグレードと、定数データ・フィールドの書き換えが可能になります。

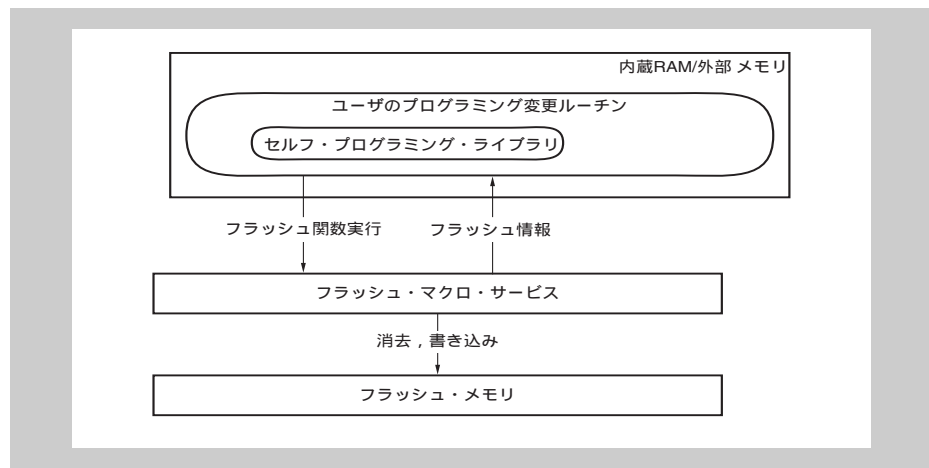


図 34-9 セルフ・プログラミングの概念

セルフ・プログラミング時にフラッシュ・メモリにアクセスできません。そのため、内蔵 RAM または外部メモリからの命令フェッチによってのみ、プログラムを実行することができます。

したがって、セルフ・プログラミングをアクティブにする前に、セルフ・プログラミング手順実行時に動作しているユーザのプログラム変更ソフトウェア・ルーチンの命令を、フラッシュ・メモリから内蔵 RAM または外部メモリにコピーする必要があります。フラッシュ・メモリ内の割り込みベクタによる割り込み処理もセルフ・プログラミング時には実行できないため、割り込みの受け付けを内蔵 RAM にルート変更する特殊な機能が提供されます (2376 ページの「フラッシュ・セルフ・プログラミング時の割り込み処理」を参照)。

注意 フラッシュ・セルフ・プログラミング・ライブラリには、割り込み処理に関する注意事項として、gp、ep レジスタを用いたデータ・アクセスに関する注意事項があります。本製品は、gp レジスタに関する注意事項は該当しますのでご注意ください。

フラッシュ・セルフ・プログラミングに関する包括的な情報は、「セルフ・プログラミング」のアプリケーション・ノートを参照してください。

34.5.1 セルフ・プログラミングの有効化

セルフ・プログラミング機能は、マイクロコントローラの通常のユーザ・モードから起動できます。

- 外部 FLMD0 端子をハイ・レベルに設定します。
これにはいくつかの外部構成要素または配線、たとえば出力ポートの FLMD0 への接続、FLMD0 のプルダウン（100 kΩ 推奨）が必要です。
- 内部レジスタ・ビット FLMDCNT.FLMDPUP を設定します。
この場合、FLMD0 をプルダウン（100 kΩ 推奨）してください。

次のレジスタを使用してソフトウェアによってセルフ・プログラミングを内部的に有効にします。

(1) FLMDCNT-FLMD 制御レジスタ

このレジスタは、FLMD0 端子に接続され、それぞれセルフ・プログラミングを有効または無効にする内部プルアップ・レジスタと内部プルダウン・レジスタを制御します。

保護 このレジスタへのライトは、保護コマンド・レジスタ FLMDPCMD を使用した特定の命令シーケンスによって保護されます。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス FF43 8000_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLMDPUP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34-6 FLMDCNT レジスタの内容

ビット位置	ビット名	機能
0	FLMDPUP	FLMD0 のプルアップ/プルダウン制御 0: FLMD0 でプルダウン・レジスタがアクティブ（セルフ・プログラミング・モード無効） 1: FLMD0 でプルアップ・レジスタがアクティブ（セルフ・プログラミング・モード有効）

(2) FLMDPCMD – FLMD 保護コマンド・レジスタ

FLMDCNT レジスタのための保護コマンド・レジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス FF438004_H

初期値 不定

7	6	5	4	3	2	1	0
FLMDPC[7:0]							
W	W	W	W	W	W	W	W

表 34-7 FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
7 to 0	FLMDPC[7:0]	FLMDCNT への書き込みを許可する保護コマンドです。

(3) FLMDPS – FLMD 保護エラー・ステータス・レジスタ

書き込み保護レジスタ (FLMDCNT) への書き込みが成功したかどうかを確認するレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス FF438008_H

初期値 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLMD PRERR
R	R	R	R	R	R	R	R

表 34-8 FLMDPS レジスタの内容

ビット位置	ビット名	機能
0	FLMDPRERR	書き込み保護レジスタ (FLMDCNT) への書き込みが成功したかどうかを示します 0: 書き込み動作成功 1: 書き込み動作失敗

34.5.2 セルフ・プログラミング・ライブラリの機能

ユーザ・プログラムによるフラッシュ・メモリのセルフ・プログラミングは、セルフ・プログラミング・ライブラリによってサポートされます。

このライブラリは、次のような基本機能を実行する C の関数呼び出しのセットを提供します。

- フラッシュのブランク・チェック／消去／書き換え／ベリファイ
- ブート・スワップ・クラスタ（ブート・クラスタの定義を含む）
- 保護フラグの設定
- フラッシュ・メモリに関するさまざまな情報の取得

ライブラリ機能の使い方の詳細は、「セルフ・プログラミング」のアプリケーション・ノートを参照してください。

34.5.3 セルフ・プログラミングの内蔵 RAM の占有

セルフ・プログラミング時には、内蔵 RAM の上位 3.5 KB（アドレス FEDFF200_H-FEDFFFFF_H）がセルフ・プログラミングによって占有されます。そのため、この 2 KB RAM の内容はセルフ・プログラミング時に変更され、ユーザ・プログラムによる回復が必要な場合があります。

備考 ほかに、セルフ・プログラミング時にフラッシュ・メモリから RAM にコピーする場合にユーザ・データおよびコードの中間記憶として RAM が必要になることもあります。

34.5.4 安全なセルフ・プログラミング（ブート・スワップ・クラスタ）

V850 フラッシュ・マイクロコントローラは、アドレス 0000 0000_H から始まるフラッシュ・メモリ・ブロックのクラスタを、前者のすぐ上位にある同じサイズの別のクラスタとスワップするメカニズムをサポートします。

ブート・スワップ・クラスタ スワップされるブート・ブロックのグループアドレス 0000 0000_H で始まるブロックのクラスタは、デフォルトのリセット・ベクタ 0000 0000_H にユーザ・プログラムのエントリ・ポイントが含まれるため、ブート・スワップ・クラスタと呼ばれています。

ブート・スワップ・フラグ 2つのクラスタのどちらがブート・スワップ・クラスタかは、フラッシュ・プログラミング時にセルフ・プログラミング・ライブラリを使用して定義されます。

2372 ページの図 34-10 「ブート・スワップ・クラスタのスワップ機能」に、クラスタ・サイズ 4 フラッシュ・メモリ・ブロックのブート・ブロック・スワップ機能の例を示します。boot_flag を反転すると、not(boot_flag) になり、ブロック 4-7 はアクティブなブート・クラスタになります。したがって、次のリセット解除後に、ユーザ・プログラムは新しいブート・スワップ・クラスタから開始されます。

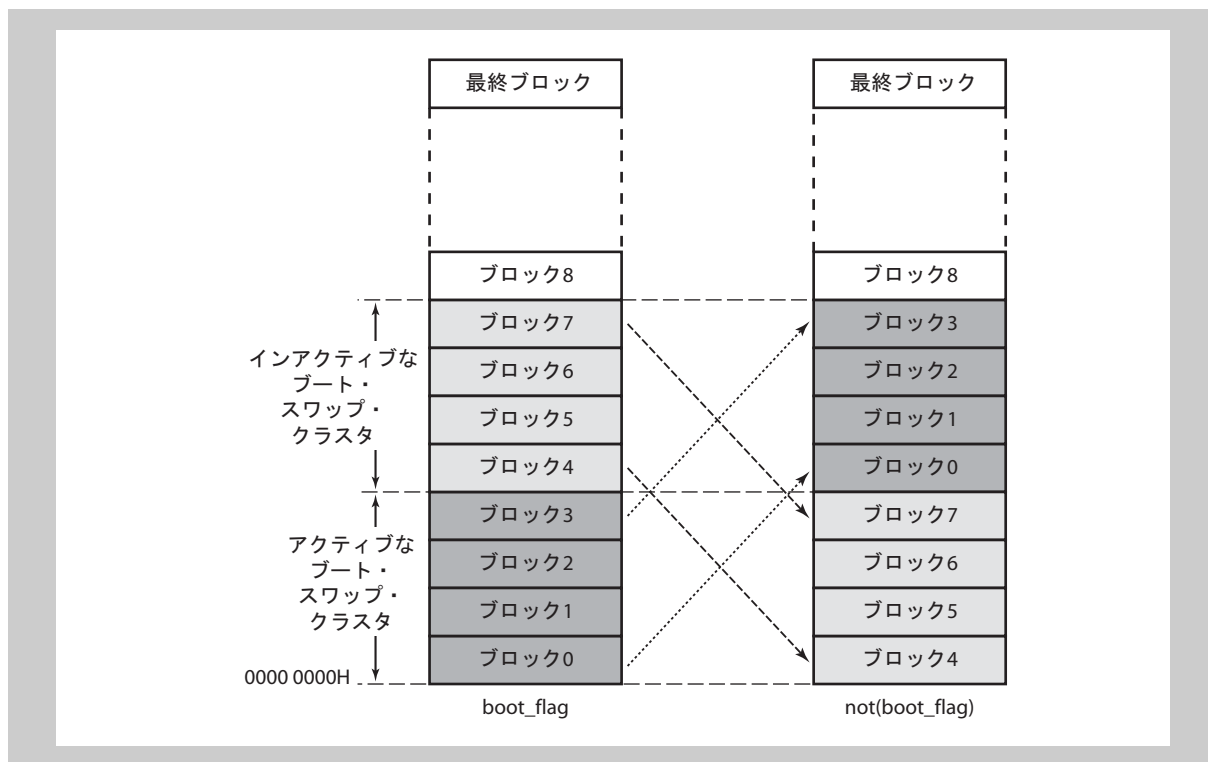


図 34-10 ブート・スワップ・クラスタのスワップ機能

安全なセルフ・プログラミング ブート・スワップ・クラスタ機能により、安全なセルフ・プログラミングが可能になります。ブート・コードが書き換えられると、新しいコードがブート・クラスタにライトされ、boot_flag は前の状態に維持されます。ブート・クラスタの書き換えが正常に終了すると、boot_flag が反転し、新しいブート・コードをアクティブにすることができます。新しいブート・コードの書き換えが何らかの原因（たとえばパワー・フェイルや予期しないリセット）で失敗すると、古いブート・コードはアクティブな状態に維持され、書き換えをやり直すことができます。

ブート・クラスタ ブート・コードのサイズ自体はブート・スワップ・クラスタのサイズより小さい場合があります。

ブート・コードの一部であるフラッシュ・メモリ・ブロックは、ブート・クラスタと呼ばれています。クラスタのメンバであるブート・ブロックの数は、セルフ・プログラミング時にセルフ・プログラミング・ライブラリを使用して定義できます。

ブート・クラスタのサイズによってブート・スワップ・クラスタのサイズが決まります。これは、セルフ・プログラミング時に定義されたブート・ブロックの数から自動的に決定されます。

2374 ページの表 34-9 「ブート・ブロックとブート・スワップ・クラスタの関係」に、ブート・ブロックの数、ブート・クラスタのサイズ、ブート・スワップ・クラスタ間の関係を示します。

ブート・ブロックの数 ブート・ブロックの数は、セルフ・プログラミング時にユーザが定義する必要があります。この値によって、ブート・ブロックを消去またはライト処理から保護するブート・クラスタ保護の対象となるブロックが決まります。

ブート・ブロックの保護 ブート・ブロックの書き換えを禁止するには、フラッシュ・メモリ・プログラミング時にセルフ・プログラミング・ライブラリを使用し、ブート・クラスタ保護を設定します。この設定により、アクティブなブート・クラスタのブロックは消去もライトもできなくなります。ブート・スワップ・クラスタもできません。

ただし、アクティブなブート・クラスタのブロックだけが保護されます。

2375 ページの図 34-11 「ブート・スワップ・クラスタ機能」の例では、たとえばブロック 0 と 1 の消去とライトは禁止されますが、ブロック 2 と 3 では許可されます。

注意 一度ブート・クラスタ保護がアクティブになると、再びインアクティブにすることはできません。

表 34-9 ブート・ブロックとブート・スワップ・クラスタの関係

ブート ブロック の最終番号	ブート・スワップ・クラスタ		ブート・スワップ・クラ スタ入れ替え対象領域	ブート・ブロック・クラスタ	
	サイズ	アドレス	アドレス	サイズ	アドレス
00 _H	4 KB	0000 0000 _H - 0000 0FFF _H	0000 1000 _H - 0000 1FFF _H	4 KB	0000 0000 _H - 0000 0FFF _H
01 _H	8 KB	0000 0000 _H - 0000 1FFF _H	0000 2000 _H - 0000 3FFF _H	8 KB	0000 000 _H - 0000 1FFF _H
02 _H	16 KB	0000 0000 _H - 0000 3FFF _H	0000 4000 _H - 0000 7FFF _H	12 KB	0000 0000 _H - 0000 2FFF _H
03 _H				16 KB	0000 0000 _H - 0000 3FFF _H
04 _H	32 KB	0000 0000 _H - 0000 7FFF _H	0000 8000 _H - 0000 FFFF _H	20 KB	0000 0000 _H - 0000 4FFF _H
...			
07 _H				32 KB	0000 0000 _H - 0000 7FFF _H
08 _H	64 KB	0000 0000 _H - 0000 FFFF _H	0001 0000 _H - 0001 FFFF _H	36 KB	0000 0000 _H - 0000 8FFF _H
...			
0F _H				64 KB	0000 0000 _H - 0000 FFFF _H
10 _H	128 KB	0000 0000 _H - 0001 FFFF _H	0002 0000 _H - 0003 FFFF _H	68 KB	0000 0000 _H - 0001 0FFF _H
...			
1F _H				128 KB	0000 0000 _H - 0001 FFFF _H
20 _H	256 KB	0000 0000 _H - 0003 FFFF _H	0004 0000 _H - 0007 FFFF _H	132 KB	0000 0000 _H - 0002 0FFF _H
...			
3F _H				256 KB	0000 0000 _H - 0003 FFFF _H
40 _H	ブート・スワップ不可			260 KB	0000 0000 _H - 0004 0FFF _H
...			
FF _H				1024 KB	0000 0000 _H - 000F FFFF _H

最大ブート・スワップ・クラスタ ブート・クラスタ・サイズの上限は 256 KB です。したがって、512 KB を超えるフラッシュ・メモリ領域はブート・スワップ・クラスタの対象にはなりません。

2375 ページの図 34-11 「ブート・スワップ・クラスタ機能」に、4つのフラッシュ・メモリ・ブロックから構成されるクラスタのブート・スワップ機能の一例です。boot_flag の反転後は not (boot_flag) になり、ブロック 4 から 7 がアクティブなブート・ブロック・クラスタになります。したがって、次のリセット解除後からユーザ・プログラムは新しいブート・スワップ・クラスタより起動されます。

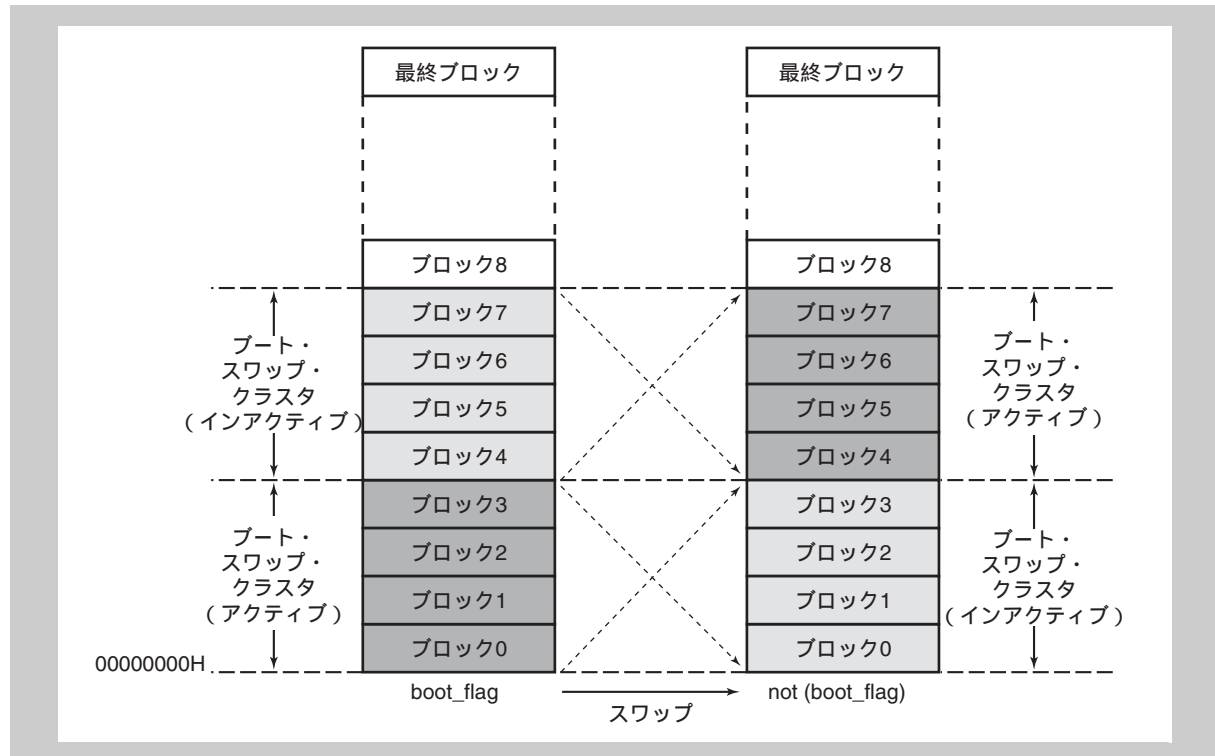


図 34-11 ブート・スワップ・クラスタ機能

- セキュア・セルフ・プログラミング** ブート・スワップ機能は、セキュア・セルフ・プログラミングを実現します。ブート・コードを書き換える場合、boot_flag は元の状態（ブロック 0-3 のクラスタがアクティブ）のまま、アクティブでないクラスタ（ブロック 4-7）に新しいコードを書き込みます。アクティブでないクラスタ（ブロック 4-7）の書き換えが正常に完了したあと、boot_flag を変更（ブート・スワップ）し、新しいブート・コード（ブロック 4-7 のクラスタ）をアクティブにします。たとえば、停電や不用意なリセットなどにより新しいブート・コードの書き換えに失敗した場合でも、元のブート・コードがアクティブなままとなっており、書き換えを再開できます。
- ブート・ブロック・クラスタ** アプリケーション・プログラムのブート領域であり、領域の選択が可能です。ブート・ブロック・クラスタに対しては、書き換えを禁止するセキュリティ設定が可能です。

注意 一度ブート・クラスタ保護がアクティブになると、再びインアクティブにすることはできません。

34.5.5 フラッシュ・セルフ・プログラミング時の割り込み処理

このマイクロコントローラは、セルフ・プログラミング処理中に割り込み処理を維持する機能を提供します。

セルフ・プログラミングがアクティブな場合、通常はフラッシュ・メモリ内に配置されている割り込みベクタ・テーブルにも割り込みハンドラ・ルーチンにもアクセスできないため、割り込みの受け付けを非フラッシュ・メモリ（たとえば内蔵 RAM）にルート変更する必要があります。

割り込みハンドラ・アドレスはソフトウェアにより切り替えることが可能です。

詳細は、**V850E2M ユーザーズ・マニュアル アーキテクチャ編 (R01US0001J)** の、第 2 編 6.4 例外ハンドラ・アドレス切り替え機能を参照してください。

フラッシュ・セルフ・プログラミングに関する包括的な情報は、「セルフ・プログラミング」のアプリケーション・ノートを参照してください。

第 35 章 オンチップ・デバッグ・ユニット (OCD)

このマイクロコントローラには、オンチップ・デバッグ機能があります。オンチップ・デバッグ・エミュレータの使用により、ターゲット・システムに搭載されたマイクロコントローラでプログラムをデバッグできます。

このマイクロコントローラに組み込まれたデバッグ機能は、Nexus デバッグ・インタフェース標準仕様 IEEE-ISTO 5001TM2003 Class1 に準拠しています。また、トレース系端子を使用した場合、Class3 に準拠します。

注意 この章で説明するデバッグ機能は、マイクロコントローラではサポートされませんが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズ・マニュアルを参照してください。

35.1 V850E2/MN4 オンチップ・デバッグ機能

35.1.1 ペリフェラル・ブレーク

ペリフェラル・ブレーク時にデバッガがマイクロコントローラの動作を停止した場合のモジュールの動作は次のようになります。

- 必ず停止する（無条件のペリフェラル・ブレーク）
- オプションで停止できる（ペリフェラル・ブレーク機能）
- 動作を継続する

ペリフェラル・ブレーク ペリフェラル・ブレークは、デバッグ・セッション中に以下を参照します。

- ブレークポイントのヒット
- 手動ブレーク

(1) 無条件のペリフェラル・ブレークのモジュール

ペリフェラル・ブレーク時に必ず停止するすべてのモジュールを次に示します。

表 35-1 無条件のペリフェラル・ブレークのモジュール

モジュール
ウインドウ・ウォッチドッグ・タイマ A (WDTAn)

(2) ペリフェラル・ブレイク時に動作を継続するモジュール

ペリフェラル・ブレイク時に動作を継続するすべてのモジュールを次に示します。

表 35-2 ペリフェラル・ブレイク時に動作を継続するモジュール

モジュール
タイマ (TAUA, TAUJ, ENCA, OSTM)
シリアル・インタフェース (UARTE, CSIH, I ² CB)
A/D コンバータ (ADCA)

35.1.2 信号マスク

以下の V850E2/MN4 外部信号はマスクできるため、影響はありません。マイクログントローラはオンチップ・デバッグ・ユニットで制御されます。

- $\overline{\text{RESET}}$
- $\overline{\text{P_HLDRQ}}$
- $\overline{\text{P_WAIT}}$

35.2 機能概要

オンチップ・デバッグ機能の概要を次に示します。

(1) デバッグ・インタフェース

このインタフェースは、信号 $\overline{\text{TRST}}$ 、TCK、TMS、TDI、TDO、 $\overline{\text{TRDY}}$ を使用してオンチップ・デバッグ・エミュレータ経由でホストと通信するために使用します。

(2) デバッグ・モニタ機能

メモリ空間内のモニタ・プログラムを実行し、ユーザ作成プログラムが実行休止中にデバッグすることにより、次の基本的なデバッグ機能を使用できます。

- ユーザ作成プログラムのダウンロード
- メモリとレジスタのリードとライト
- 任意のアドレスで始まるユーザ作成プログラムの実行

(3) ハードウェア・ブレーク機能

命令とデータに関する最大4つのブレークポイントを指定できます。命令に関するブレークポイントが指定された場合は、指定されたアドレスで実行を中断できます。データに関するブレークポイントが指定された場合は、指定されたアドレスのデータにアクセスしたときに実行を中断できます。

さらに、最大2レベルのシーケンスを使用してブレークの条件を組み合わせることができます。

(4) ソフトウェア・ブレーク機能

RAMに格納されたユーザ作成プログラムの実行は、指定されたアドレスで中断できます。

(5) 強制ブレーク機能

ユーザ作成プログラムの実行を強制的に中断できます。

(6) 強制リセット機能

マイクロコントローラを強制的にリセットできます。

(7) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリード・アクセスではデバッグ専用のDMAを使用するため、プログラム実行への影響は最小限に抑えられます。

(8) ダイナミック・メモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライト・アクセスではデバッグ専用のDMAを使用するため、プログラム実行への影響は最小限に抑えられます。

(9) タイマ機能

32ビット・カウンタを使用し、DCUTCK信号周波数を2で割ることによって取得したクロックに基づいて、ユーザ作成プログラムの実行時間を測定できます。

(10) マスク機能

いくつかの専用の外部信号はマスクできるため、影響はありません。マイクロコントローラはオンチップ・デバッグ・ユニットで制御されます。

この章の最初の節内「信号マスク」に、これらの信号の一覧を示します。

(11) ブレーク時の周辺モジュールの実行/停止の選択

ブレークポイントに達したときに、マイクロコントローラのモジュールは次のように動作します。

- ブレーク時に必ず動作を停止
- ブレーク時のモジュールの動作はユーザのオプション、モジュールのエミュレーション・レジスタを使用して指定可能
- ブレーク時に必ず動作を継続

このマイクロコントローラのモジュールの動作は、対応するモジュールのみです。

(12) ホット・アタッチ機能

オンチップ・デバッグ・エミュレータを接続すると、動作中の CPU をリセットせずにデバッグを開始することができます。

(13) セキュリティ機能

フラッシュ・メモリの内容が権限のないユーザにリードされないように、96ビットの ID コードをマイクロコントローラにライトすることができます。デバッグ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュ・メモリにアクセスできません。最後のビット（ビット 95）が 0 に設定された場合は、ID コードに一致してもフラッシュ・メモリにアクセスできません。

ID コードの設定方法の詳細は、ご使用のソフトウェア・ツールのマニュアルを参照してください。

35.3 オンチップ・デバッグ・エミュレータとの接続

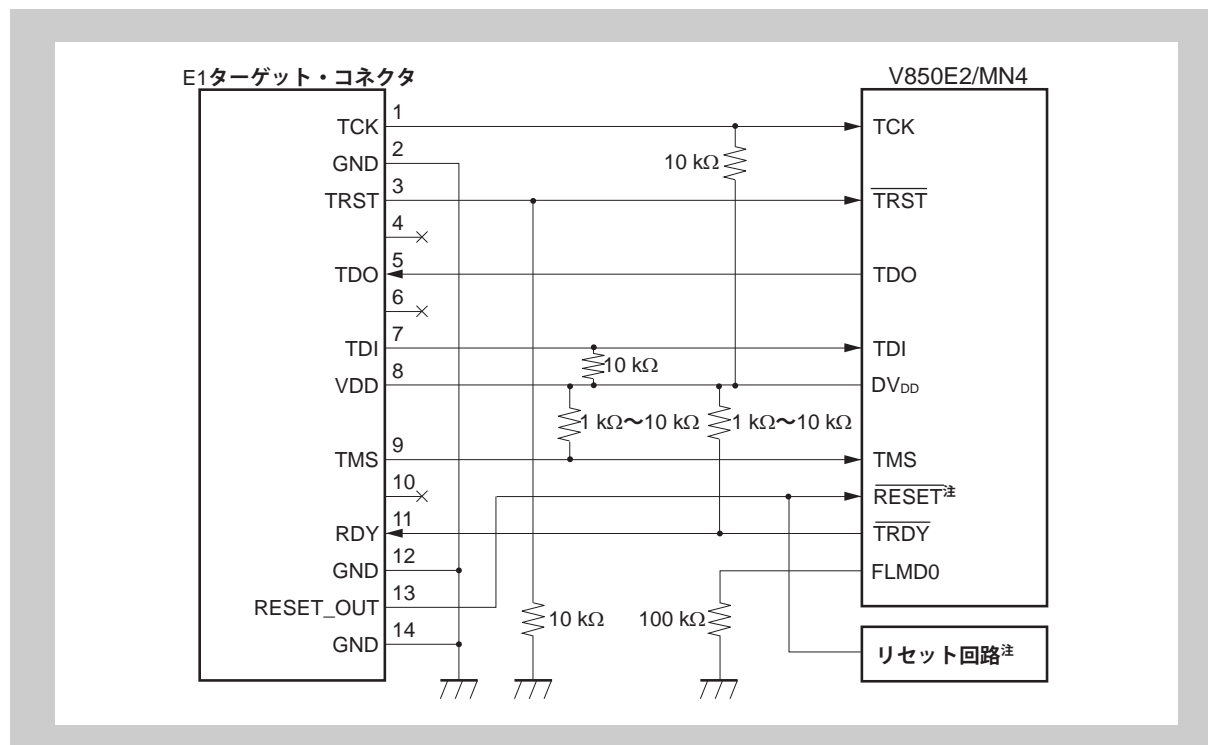


図 35-1 オンチップ・デバッグ・エミュレータとの接続

表 35-3 オンチップ・デバッグ・エミュレータの接続に使用する端子

端子名	説明
VDD	ターゲット・システムの電源またはオンチップ・デバッグ・エミュレータ内のバッファの電源を検出するための信号
TRST	マイクロコントローラのデバッグ機能を非同期でリセットする信号
TCK	デバッグに使用するクロック信号
TMS	データ通信の転送モードを選択するための信号
TDI	マイクロコントローラに入力するデータ信号
TDO	マイクロコントローラから出力するデータ信号
TRDY	データ通信の同期信号
RESET	マイクロコントローラのリセット信号。この端子を接続し、システムの電源が投入されてからデバッグが起動するまで、マイクロコントローラをリセットの状態に維持します。
FLMDO	マイクロコントローラのフラッシュ・メモリを書き換えるためのモード信号

35.4 オンチップ・デバッグ使用上の注意

(1) デバッグに使用したデバイスの処理

大量生産の製品のデバッグに使用したデバイスを搭載しないでください。デバッグ中にフラッシュ・メモリが書き換えられているため、フラッシュ・メモリの書き換え回数を保証できません。

第36章 バウンダリ・スキャン

36.1 特徴

バウンダリ・スキャンは、IEEE1149.1で規定されたテスト方法で、デバイスの外部入出力端子を順次走査するようにテスト・データの入出力を行う方法です。これにより、応用システム上に実装されたデバイス間の接続チェックを行うことができます。

36.2 バウンダリ・スキャン環境

TRST/TCK/TMS/TDI/TDO信号によりJTAGテスト・ツールを介して、ホスト・マシンとの通信を行います。

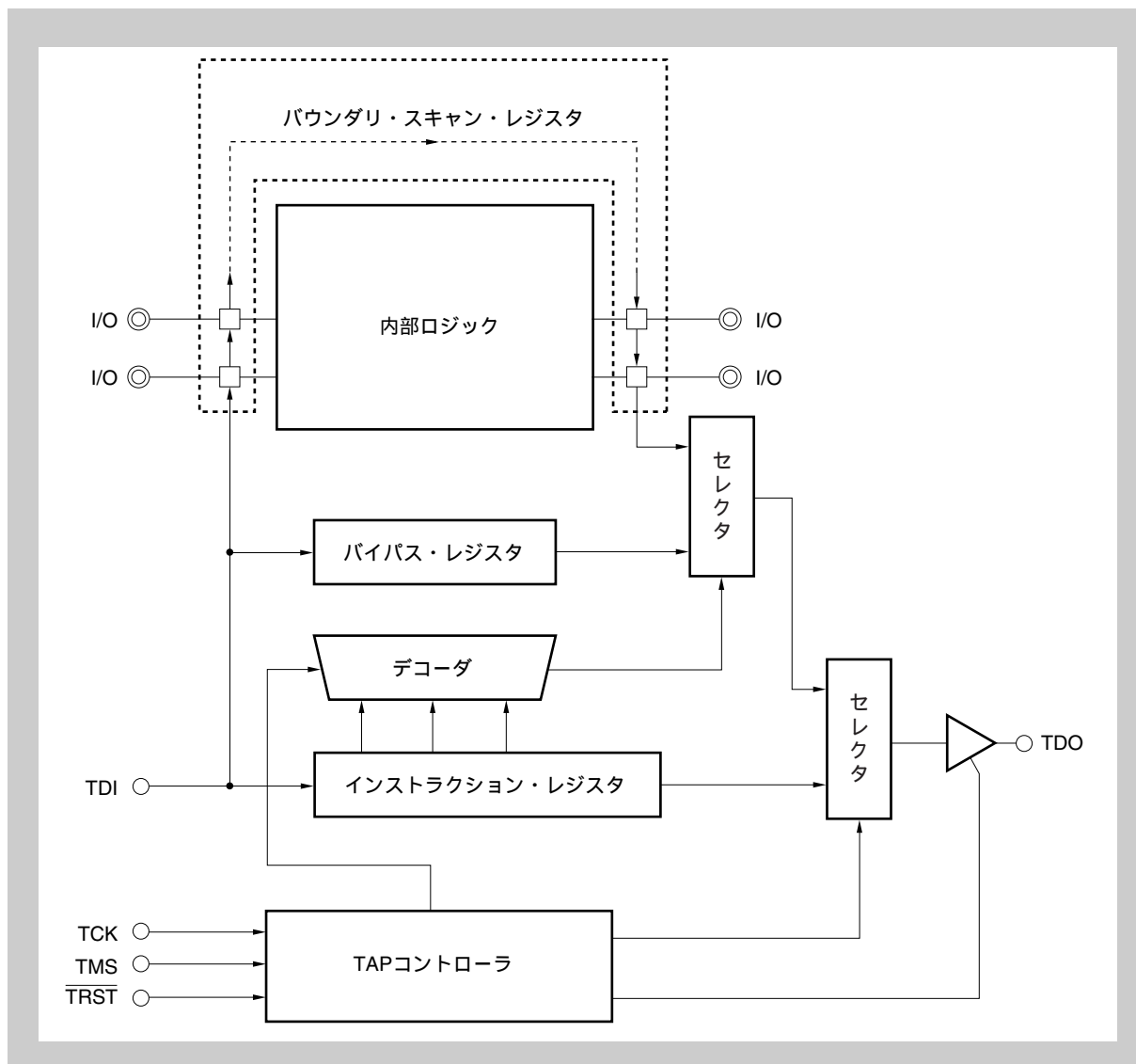


図 36-1 バウンダリ・スキャンのブロック図

36.3 バウンダリ・スキャン・モード

バウンダリ・スキャン機能を使用するときは、バウンダリ・スキャン・モードにしてください。

バウンダリ・スキャン・モードに遷移するには、FLMD0, FLMD1, MODE2, MODE3 端子を設定後、リセットを解除します。

表 36-1 バウンダリ・スキャン・モードの設定

FLMD0	FLMD1	MODE2	MODE3	動作モード
L	L	L	L	通常動作モード
H	L	L	L	フラッシュ・メモリ・プログラミング・モード
H	H	L	L	バウンダリ・スキャン・モード
上記以外				設定禁止

備考 L: ロウ・レベル
H: ハイ・レベル

36.4 TAP (Test Access Port)

バウンダリ・スキャン機能の入出力には、次の端子を使用します。

(1) **TRST**

テスト・リセット入力端子です。非同期で入力を受け付け、ロウ・レベル入力でバウンダリ・スキャン機能の回路をリセットします。

TRST 端子はチップ内部で抵抗を介してプルダウンされています。

(2) **TCK**

テスト・クロック入力端子です。TCK の立ち上がりエッジですべての入力信号が取り込まれ、TCK の立ち下がりエッジで出力が開始されます。

(3) **TMS**

テスト・モード選択端子です。TAP コントローラにコマンドを入力します。

(4) **TDI**

テスト・データ入力端子です。TDI と TDO の間に配列されるシリアル・レジスタの入力側です。

TDI と TDO の間に配列されるレジスタは、TAP コントローラの状態と、TAP コントローラに取り込まれた命令によって決定します。

(5) **TDO**

テスト・データ出力端子です。TDI と TDO の間に配列されるシリアル・レジスタの出力側です。

出力は TCK の立ち下がりエッジで変化します。

36.5 TAP コントローラ

36.5.1 対象端子

表 36-2 「バウンダリ・スキャン対象外端子一覧」を除くすべての端子がバウンダリ・スキャンの対象端子です。

表 36-2 バウンダリ・スキャン対象外端子一覧

分類	端子名
JTAG I/F	TRST, TCK, TMS, TDI, TDO, RDY
MODE 端子	FLMD0, FLMD1, MODE2, MODE3
アナログ入力端子	ANI01-ANI05
クロック端子	X1, X2
Flash テスト用端子	VPPTS2, VPPTS3
電源供給端子	IV _{DD} , EV _{DD} , DV _{DD} , OSCV _{DD} , PLLV _{DD} , UV _{DD} , AV _{DD} , AV _{REFP}
GND 端子	V _{SS} , EV _{SS} , DV _{SS} , OSCV _{SS} , PLLV _{SS} , UV _{SS} , AV _{SS} , AV _{REFM}
USB 端子	UDPF, UDMF, UDPH, UDMH

36.5.2 インストラクション

V850E2/MN4 では、BYPASS, EXTEST, SAMPLE, PRELOAD のインストラクションをサポートします。

表 36-3 インストラクション・コード

インストラクション	インストラクション・コード		備考
	20...16	15.....0	
BYPASS	1 1111	1111 1111 1111 1111	
EXTEST	1 1111	1111 1111 1110 1000	
SAMPLE	1 1111	1111 1111 1111 1000	PRELOAD と同一コード
PRELOAR	1 1111	1111 1111 1111 1000	SAMPLE と同一コード

(1) BYPASS

BYPASS 命令がインストラクション・レジスタに取り込まれると、TAP コントローラは shift-DR 状態において、バイパス・レジスタを TDI と TDO の間に配列します。

BYPASS 命令は基板レベルのスキャン・パスが、最短経路で他のデバイスのスキャン・パスをテストすることを容易にします。

(2) EXTEST

EXTEST 命令により、JTAG 回路から外部回路をテストできます。

出力端子側のバウンダリ・スキャン・レジスタ・セルにテスト・ベクタが設定され、入力端子側にテスト結果が取り込まれます。通常、EXTEST 命令を実行する前に PRELOAD 命令を実行して、バウンダリ・スキャン・レジスタ・セルに最初のテスト・ベクタを設定します。その結果、EXTEST 命令を実行中に TAP コントローラが Update-IR 状態になると、出力ドライバが有効になり、PRELOAD データが出力端子から出力されます。

(3) SAMPLE / PRELOAD

SAMPLE / PRELOAD 命令は IEEE 1149.1 で実行内容が規定されている一般的な命令です。

SAMPLE / PRELOAD 命令がインストラクション・レジスタに取り込まれていると、TAP コントローラは capture-DR 状態において、入出力端子に入力されているデータを、バウンダリ・スキャン・レジスタに取り込みます。

36.5.3 スキャン・レジスタ

(1) インストラクション・レジスタ

インストラクション・レジスタは、TAP コントローラが実行する命令を保持しています。

インストラクション・レジスタが TDI と TDO の間に配列されると、レジスタに命令が取り込まれます。

電源投入時、インストラクション・レジスタは IDCODE 命令を取り込みます。このとき、TAP コントローラは Test-Logic-Reset 状態にリセットされます。

(2) バイパス・レジスタ

バイパス・レジスタは、TDI と TDO の間に配列される 1 ビットのレジスタです。

バイパス・レジスタは、連続するテスト・データを、TAP コントローラを経由する最短経路で他のデバイスに伝送します。

(3) ID レジスタ

ID レジスタは 32 ビットのレジスタです。

インストラクション・レジスタが IDCODE 命令を取り込んだ状態で、TAP コントローラが capture-DR 状態になると、ID レジスタは 32 ビットのデバイス・コードと製造者コードを取り込みます。

TAP コントローラが shift-DR 状態になると、ID レジスタは TDI と TDO の間に配列されます。

表 36-4 ID レジスタ・コード

デバイス名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
μPD70F3510	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	1
μPD70F3512	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
μPD70F3514	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0	0	0	0	0	0	1	0	0	0	0	1
μPD70F3515	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	1

(4) バウンダリ・スキャン・レジスタ

バウンダリ・レジスタは TAP コントローラによって制御されます。

TAP コントローラが capture-DR 状態になると、バウンダリ・レジスタは RAM の I/O リングの内容を取り込みます。そして、TAP コントローラが shift-DR 状態になると、バウンダリ・レジスタは TDI と TDO の間に配列されます。いくつかの TAP 命令はバウンダリ・レジスタを使用します。

36.5.4 状態遷移

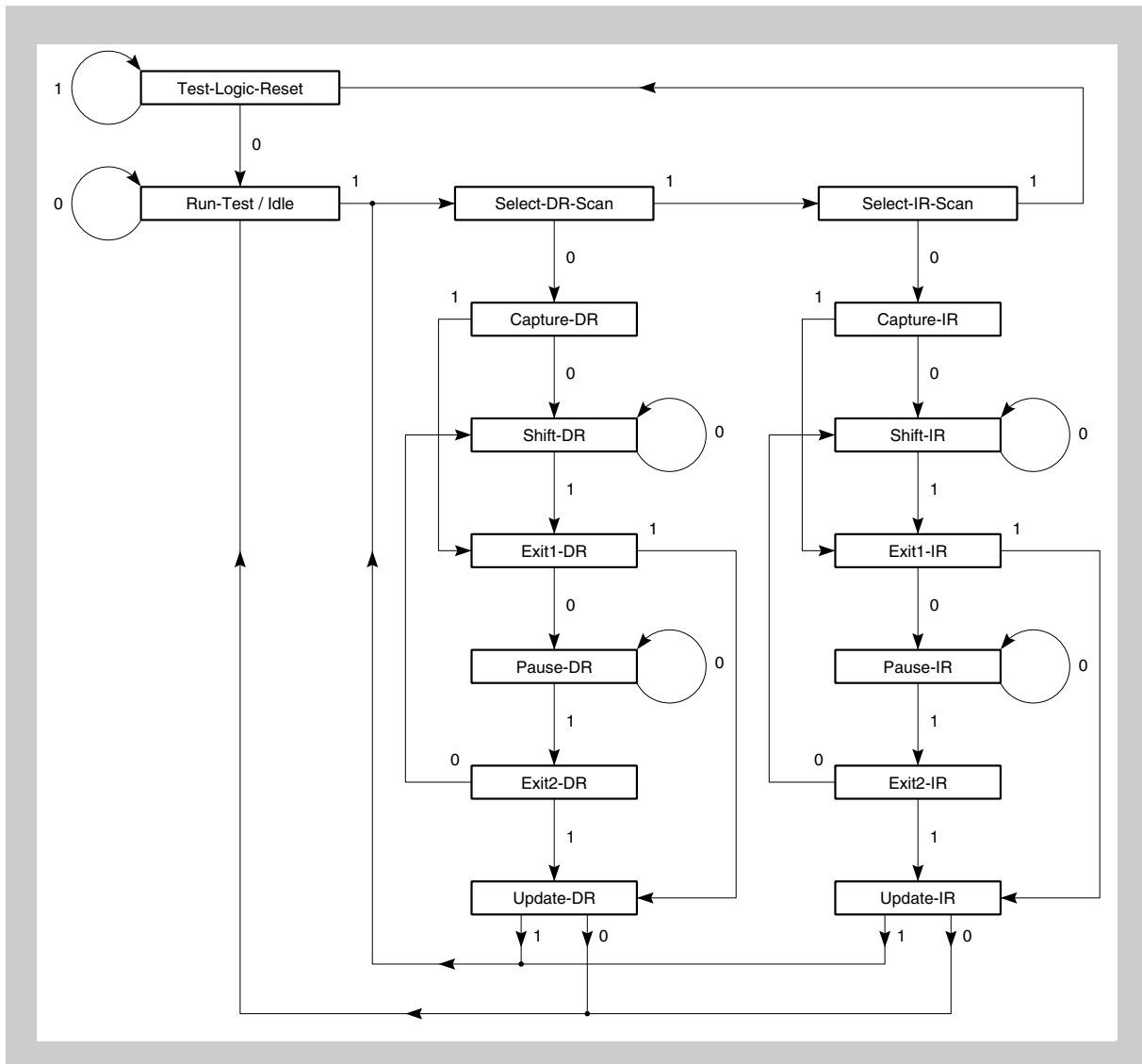


図 36-2 TAP コントローラの状態遷移図

第37章 電気的特性

37.1 絶対最大定格

T_A = 25 °C

項目	略号	条件	定格	単位
電源	IV _{DD}	IV _{DD} 端子	- 0.5 ~ + 1.6	V
	EV _{DD}	EV _{DD} 端子	- 0.5 ~ + 4.1	V
	OSCV _{DD}	OSCV _{DD} 端子	- 0.5 ~ + 4.1	V
	OSCV _{SS}	OSCV _{SS} 端子	- 0.5 ~ + 0.5	V
	PLL _V DD	PLL _V DD 端子	- 0.5 ~ + 1.6	V
	PLL _V SS	PLL _V SS 端子	- 0.5 ~ + 0.5	V
	AV _{DD}	AV _{DD} 端子	- 0.5 ~ + 6.0	V
	AV _{SS}	AV _{SS} 端子	- 0.5 ~ + 0.5	V
	UV _{DD}	UV _{DD} 端子	- 0.5 ~ + 4.1	V
	DV _{DD}	DV _{DD} 端子	- 0.5 ~ + 4.1	V
入力電圧	V _I	X1 端子, 5V トレラント端子 ^a , アナログ入力端子 ^b を除く	- 0.5 ~ + 4.1 ^c	V
		5V トレラント端子 ^a (出力時を除く)	- 0.5 ~ + 6.0	V
クロック入力電圧	V _K	X1 端子	- 0.5 ~ OSCV _{DD} + 0.5 ^d	V
ロウ・レベル出力電流	I _{OL}	1 端子	10.0	mA
		全端子合計	160	mA
ハイ・レベル出力電流	I _{OH}	1 端子	- 10.0	mA
		全端子合計	- 160	mA
出力電圧	V _O		- 0.5 ~ EV _{DD} + 0.5	V
アナログ入力電圧	V _{WASN}	アナログ入力端子 ^b AV _{REFP} ≤ AV _{DD} AV _{DD} +0.3V を越えないこと	- 0.3 ~ AV _{REFP} + 0.3	V
A/D コンバータ 基準入力電圧	AV _{REFP}	6.0 V を越えないこと	- 0.3 ~ AV _{DD} + 0.3	V
	AV _{REFM}		- 0.3 ~ + 0.3	V
パッケージ表面温度	T _t	通常動作時	- 40 ~ + 100	°C
		フラッシュ・メモリ書き換え時	- 40 ~ + 100	°C
保存温度	T _{stg}		- 65 ~ + 150	°C

a) 5 V トレラント端子は次のピン番号に割り当てられています (Y2, AA1, AA2, AB2)

b) アナログ入力端子は次のピン番号に割り当てられています (V5, V6, V7, V8, W5, W6, W7, W8, AA5, AA8, AB5, AB8)

c) EV_{DD} の絶対最大定格 (MAX 値) を越えないようにしてください。

d) OSCV_{DD} の絶対最大定格 (MAX 値) を越えないようにしてください。

- 注意**
1. IC 製品の出力（出力状態の入出力端子）をほかの出力端子（出力状態の入出力端子を含む）、および IV_{DD}, EV_{DD} などの電源端子や GND 端子に直線接続しないでください。ただし、入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。
 2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

37.2 容量

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = AV_{DD} = V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP	MAX.	単位
入力容量	C _I	fc = 1MHz 被測定ピン以外は 0V			15	pF
入出力容量	C _{IO}				15	pF
出力容量	C _O				15	pF

37.3 動作条件

内部動作周波数 (f _{XX})	パッケージ表面温度 (T _t)	電源電圧 (IV _{DD} , PLLV _{DD} , EV _{DD} , UV _{DD} , DV _{DD} , OSCV _{DD} , AV _{DD})
144 MHz ~ 200 MHz	-40 ~ +100 °C	IV _{DD} = PLLV _{DD} = 1.2 V ± 0.1 V EV _{DD} = UV _{DD} = OSCV _{DD} = DV _{DD} = 3.3 V ± 0.3 V AV _{DD} = 3.3 V ± 0.3 V または 5.0 V ± 0.5 V

37.4 発振回路特性

項目	略号	条件	MIN.	TYP	MAX.	単位
発振周波数	f_x		7.2		10	MHz

37.4.1 推奨発振子

(1) 京セラクリスタルデバイス株式会社：水晶振動子

タイプ	回路例	型名		発振周波数 (MHz)	水晶回路定数		水晶振動子の 負荷容量 (pF)
		民生用途	産業／高信頼性 用途		Cx1 (pF)	Cx2 (pF)	
表面 実装		CX1255GB CX8045GB	CX1255GA CX8045GA	7.2 MHz	10 pF	10 pF	8 pF
		CX1255GB CX8045GB CX5032GB	CX1255GA CX8045GA CX5032SA CX5032GA	7.2 MHz	10 pF	10 pF	8 pF
		CX1255GB CX8045GB CX5032GB	CX1255GA CX8045GA CX5032SA CX5032GA	9.0 MHz	10 pF	10 pF	8 pF
		CX1255GB CX8045GB CX5032GB	CX1255GA CX8045GA CX5032SA CX5032GA	9.6 MHz	10 pF	10 pF	8 pF
		CX1255GB CX8045GB CX5032SB CX5032GB CX3225GB	CX1255GA CX8045GA CX5032SA CX5032GA CX3225SA	10.0 MHz	10 pF	10 pF	8 pF

37.5 DC 特性

37.5.1 端子特性

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP	MAX.	単位	
ハイ・レベル 入力電圧	V_{IH1}	RESET	1.7		$EV_{DD} + 0.3$	V	
		TRST	1.7		$EV_{DD} + 0.3$	V	
		CMOS	a	$0.7EV_{DD}$		$EV_{DD} + 0.3$	V
		シュミット1	a	$0.7EV_{DD}$		$EV_{DD} + 0.3$	V
		シュミット2	a	$0.8EV_{DD}$		$EV_{DD} + 0.3$	V
		LVTTTL	a	2.0		$EV_{DD} + 0.3$	V
ハイ・レベル 入力電圧 (5Vトレラント端 子 ^{b)})	V_{IH2}	CMOS	a	$0.7EV_{DD}$	5.5	V	
		シュミット1	a	$0.7EV_{DD}$	5.5	V	
		シュミット2	a	$0.8EV_{DD}$	5.5	V	
ハイ・レベル入力 電圧 (ポート 14 ^{c)})	V_{IH3}			$0.7AV_{DD}$	$AV_{DD} + 0.3$	V	
ロウ・レベル 入力電圧	V_{IL1}	RESET	-0.5		0.7	V	
		TRST	-0.5		0.7	V	
		CMOS	a	-0.5		$0.3EV_{DD}$	V
		シュミット1	a	-0.5		$0.3EV_{DD}$	V
		シュミット2	a	-0.5		$0.2EV_{DD}$	V
		LVTTTL	a	-0.5		0.8	V
ロウ・レベル 入力電圧 (5Vトレラント端 子 ^{b)})	V_{IL2}	CMOS	a	-0.5	$0.3EV_{DD}$	V	
		シュミット1	a	-0.5	$0.3EV_{DD}$	V	
		シュミット2	a	-0.5	$0.2EV_{DD}$	V	
ロウ・レベル入力 電圧 (ポート 14 ^{c)})	V_{IL3}			-0.5	$0.3AV_{DD}$	V	
シュミット・ トリガ入力 ヒステリシス幅	$V_{T^+} - V_{T^-}$		d	0.3	0.6	V	

a) 使用する端子機能によって決ります。詳細は 2.6 「端子の入力回路タイプ」を参照してください。

b) 5Vトレラント端子は次のピン番号に割り当てられています (Y2, AA1, AA2, AB2)

c) ポート 14 端子は次のピン番号に割り当てられています (V5, V6, V7, V8, W5, W6, W7, W8, AA5, AA8, AB5, AB8)

d) MNI, INTP0, INTP1, INTP2, INTP3, INTP4, UCLK, OCl, RXD0, SI0, SCK0, RXD1, SI1, SCK1, RXD2, SI2, SCK2, RXD3, SI3, SCK3, RXD4, SI4, SCK4, RXD5, SI5, SCK5, RXD0F, SI0F, SCK0F, RXD1F, SI1F, SCK1F, RXD2F, SI2F, SCK2F, RXD3F, SI3F, SCK3F, FLSI, FLRXD, FLSCK

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $I_{V_{DD}} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP	MAX.	単位
ハイ・レベル出力電圧	V_{OH1}	$I_{OH} = -3 \text{ mA}$	$E_{V_{DD}} - 1.0$			V
	V_{OH2}	$I_{OH} = -100 \mu\text{A}$	$E_{V_{DD}} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 3 \text{ mA}$			0.4	V
ハイ・レベル入力リーク電流	I_{L1H}	$V_I = E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = AV_{DD}$			10	μA
ロウ・レベル入力リーク電流	I_{L1L}	$V_I = 0\text{V}$			-10	μA
アナログ端子入力リーク電流	I_{LIAN}				± 10	μA
内蔵プルダウン抵抗	R_L		20	40	100	$\text{k}\Omega$
内蔵プルアップ抵抗	R_H		20	40	100	$\text{k}\Omega$

37.5.2 電源電流

(1) $\mu\text{PD70F3510, 70F3512}$

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $I_{V_{DD}} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP	MAX.	単位
電源電流	I_{DD}	通常時	$I_{V_{DD}} + PLLV_{DD}$ 端子		680	mA
	$E_{I_{DD}}$		$E_{V_{DD}} + OSCV_{DD} + UV_{DD} + DV_{DD}$ 端子		^a	mA
	I_{DDH}	HALT 時	$I_{V_{DD}} + PLLV_{DD}$ 端子		490	mA

^{a)} 外部電源電流は、内部で消費される $E_{V_{DD}}$ 系電流 (40 mA ~ 70 mA) を含め、160 mA 以下にしてください。

備考 電源設計は、余裕をもって設計してください。

(2) $\mu\text{PD70F3514, 70F3515}$

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $I_{V_{DD}} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP	MAX.	単位
電源電流	I_{DD}	通常時	$I_{V_{DD}} + PLLV_{DD}$ 端子		950	mA
	$E_{I_{DD}}$		$E_{V_{DD}} + OSCV_{DD} + UV_{DD} + DV_{DD}$ 端子		^a	mA
	I_{DDH}	HALT 時	$I_{V_{DD}} + PLLV_{DD}$ 端子		540	mA

^{a)} 外部電源電流は、内部で消費される $E_{V_{DD}}$ 系電流 (40 mA ~ 70 mA) を含め、160 mA 以下にしてください。

備考 電源設計は、余裕をもって設計してください。

37.6 AC 特性

37.6.1 AC 測定点

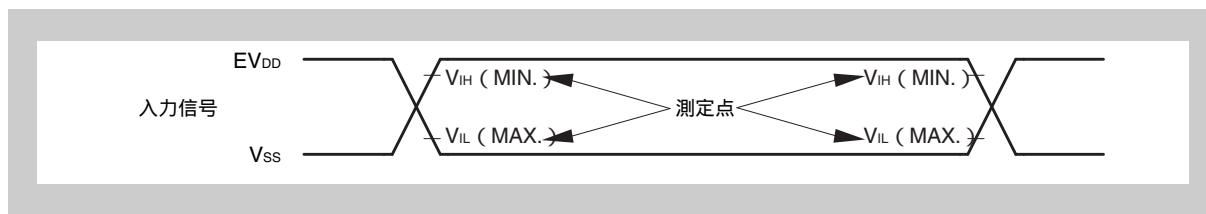


図 37-1 AC テスト入力測定点

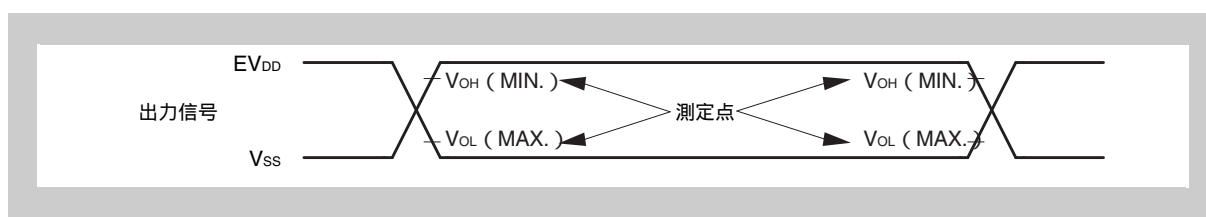


図 37-2 AC テスト出力測定点

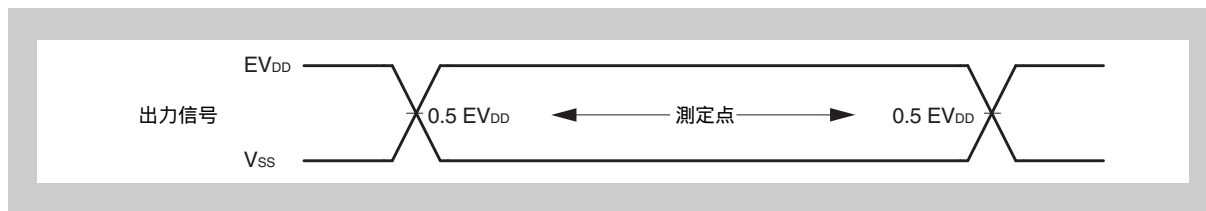


図 37-3 外部バス・アクセス AC テスト入出力測定点

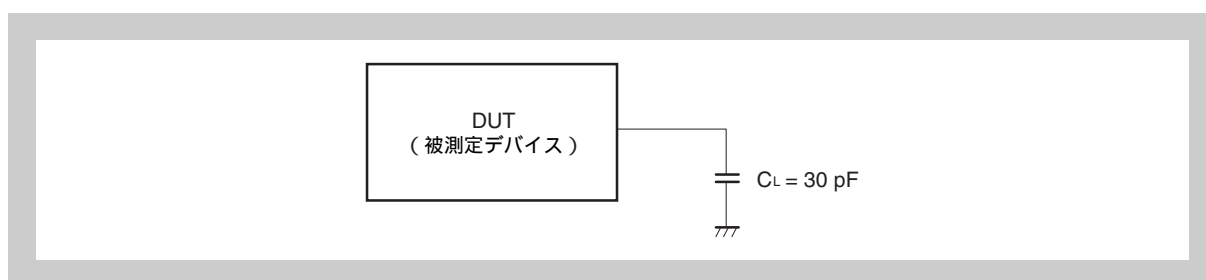


図 37-4 負荷条件

注意 回路構成により負荷容量が 30 pF を越える場合は、バッファを入れるなどして、このデバイスの負荷条件を 30 pF 以下にしてください

37.6.2 外部バス・インタフェース

(1) プライマリ・メモリ・コントローラ, SRAM リード・アクセス・タイミング

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$ 出力遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKA}	1.5	14	ns
アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$ 出力保持時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKA}	1.5	14	ns
$\overline{P_BCYST}$ ↓遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKBSL}	1.5	14	ns
$\overline{P_BCYST}$ ↑遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKBSH}	1.5	14	ns
$\overline{P_RD}$ ↓遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKRDL}	1.5	14	ns
$\overline{P_RD}$ ↑遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKRDH}	1.5	14	ns
データ出力遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKOD}	1.5	14	ns
データ・フロート遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKOD2}		14	ns
$\overline{P_WAIT}$ 設定時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{SWK}	$15 + 1.5f_{CLK}$		ns
$\overline{P_WAIT}$ 保持時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKW}	$2 - 1.5f_{CLK}$		ns
データ入力設定時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{SKID}	13		ns
データ入力保持時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKID}	0		ns
データ入力設定時間 (対アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$)	t_{SAID}		$(w + w_D + 2)$ $T - 27$	ns
データ入力設定時間 (対 $\overline{P_RD}$ ↓)	t_{SRDID}		$(w + w_D + 1)$ $T - 27$	ns
$\overline{P_RD}$ ロウ・レベル幅	t_{WRDL}	$(w + w_D + 1)$ $T - 10$		ns
アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE} \rightarrow \overline{P_RD}$ ↓遅延時間	t_{DARD}	$T - 10$		ns
$\overline{P_RD}$ ↑→アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$ 遅延時間	t_{DRDA}	-6		ns
データ入力保持時間 (対 $\overline{P_RD}$ ↑)	t_{HRDID}	0		ns
$\overline{P_RD}$ ↑→データ出力遅延時間	t_{DRDOD}	$iT - 14$		ns

- 備考
1. xx : LL, LU, UL, UU
 2. w : $\overline{P_WAIT}$ によるウェイト数
 3. w_D : DWCO レジスタによるウェイト数
 4. T : t_{BCYK} ($\overline{P_BUSCLK}$ 周期)
 5. i : アイドル・ステート数
 6. f_{CLK} : 内部システム・クロック

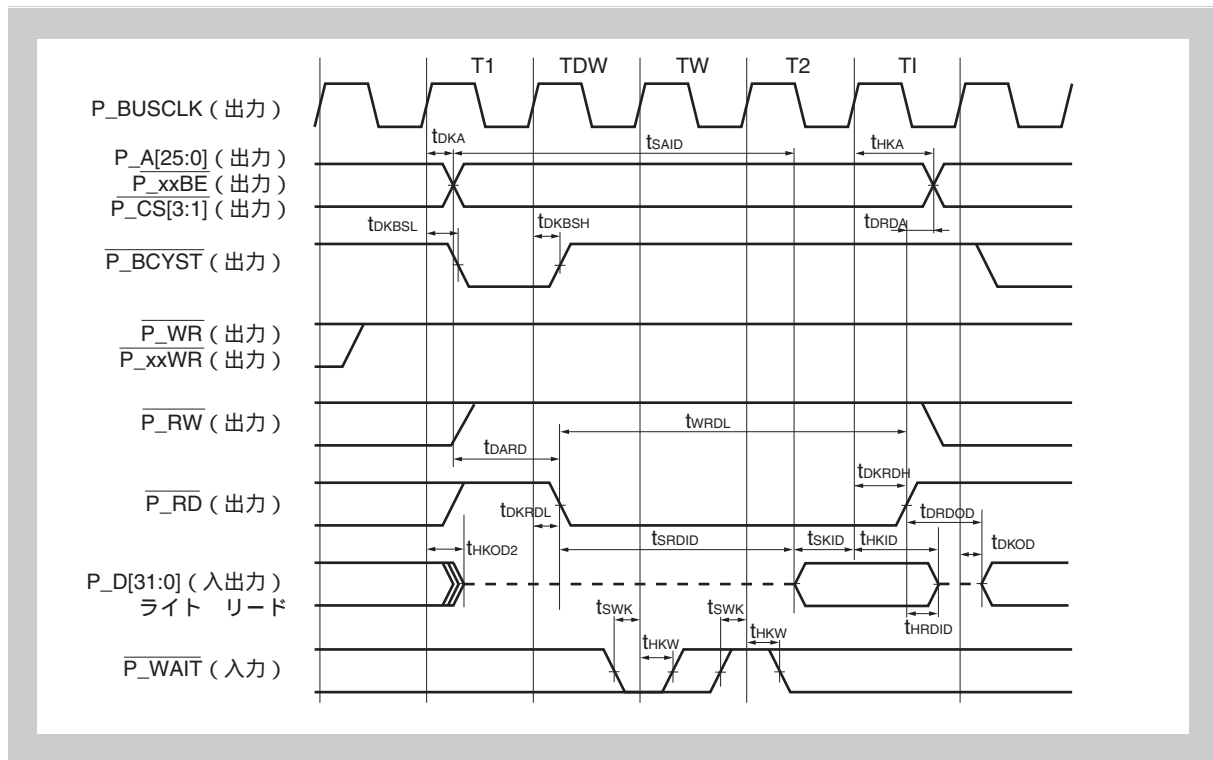


図 37-5 プライマリ・メモリ・コントローラ, SRAM リード・アクセス・タイミング

(2) プライマリ・メモリ・コントローラ, SRAM ライト・アクセス・タイミング

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス, $\overline{P_CS[3:1]}$, $\overline{P_xxBE}$ 遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKA}	1.5	14	ns
アドレス, $\overline{P_CS[3:1]}$, $\overline{P_xxBE}$ 保持時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKA}	1.5	14	ns
$\overline{P_BCYST}$ ↓ 遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKBSL}	1.5	14	ns
$\overline{P_BCYST}$ ↑ 遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKBSH}	1.5	14	ns
$\overline{P_xxWR}$, $\overline{P_WR}$ ↓ 遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKWRL}	1.5	14	ns
$\overline{P_xxWR}$, $\overline{P_WR}$ ↑ 遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKWRH}	1.5	14	ns
$\overline{P_RW}$ ↓ 遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKRWL}	1.5	14	ns
$\overline{P_RW}$ ↑ 遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKRWH}	1.5	14	ns
データ出力遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{DKOD}	1.5	14	ns
データ出力保持時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKOD1}	1.5		ns
データ・フロート遅延時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKOD2}		14	ns
$\overline{P_WAIT}$ 設定時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{SWK}	$15 + 1.5f_{CLK}$		ns
$\overline{P_WAIT}$ 保持時間 (対 $\overline{P_BUSCLK}$ ↑)	t_{HKW}	$2 - 1.5f_{CLK}$		ns
アドレス, $\overline{P_CS[3:1]}$, $\overline{P_xxBE}$ 遅延時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↓)	t_{DAWR}	$T - 10$		ns
アドレス, $\overline{P_CS[3:1]}$, $\overline{P_xxBE}$ 設定時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↑)	t_{SAWR}	$(w + w_D + 2)$ $T - 10$		ns
$\overline{P_xxWR}$, $\overline{P_WR}$ ↑ → アドレス, $\overline{P_CS[3:1]}$, $\overline{P_xxBE}$ 遅延時間	t_{DWRA}	$w_{DH}T - 10$		ns
$\overline{P_xxWR}$, $\overline{P_WR}$ ロウ・レベル幅	t_{WWRL}	$(w + w_D + 1)$ $T - 10$		ns
データ出力設定時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↑)	t_{SODWR}	$(w + w_D + 2)$ $T - 10$		ns
データ出力保持時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↑)	t_{HWROD}	$w_{DH}T - 10$		ns

備考 xx : LL, LU, UL, UU

1. w : $\overline{P_WAIT}$ によるウエイト数
2. w_D : $\overline{DWC0}$ レジスタによるウエイト数
3. w_{DH} : \overline{DHC} レジスタによるウエイト数
4. T : t_{BCYK} ($\overline{P_BUSCLK}$ 周期)
5. i : アイドル・ステート数
6. f_{CLK} : 内部システム・クロック

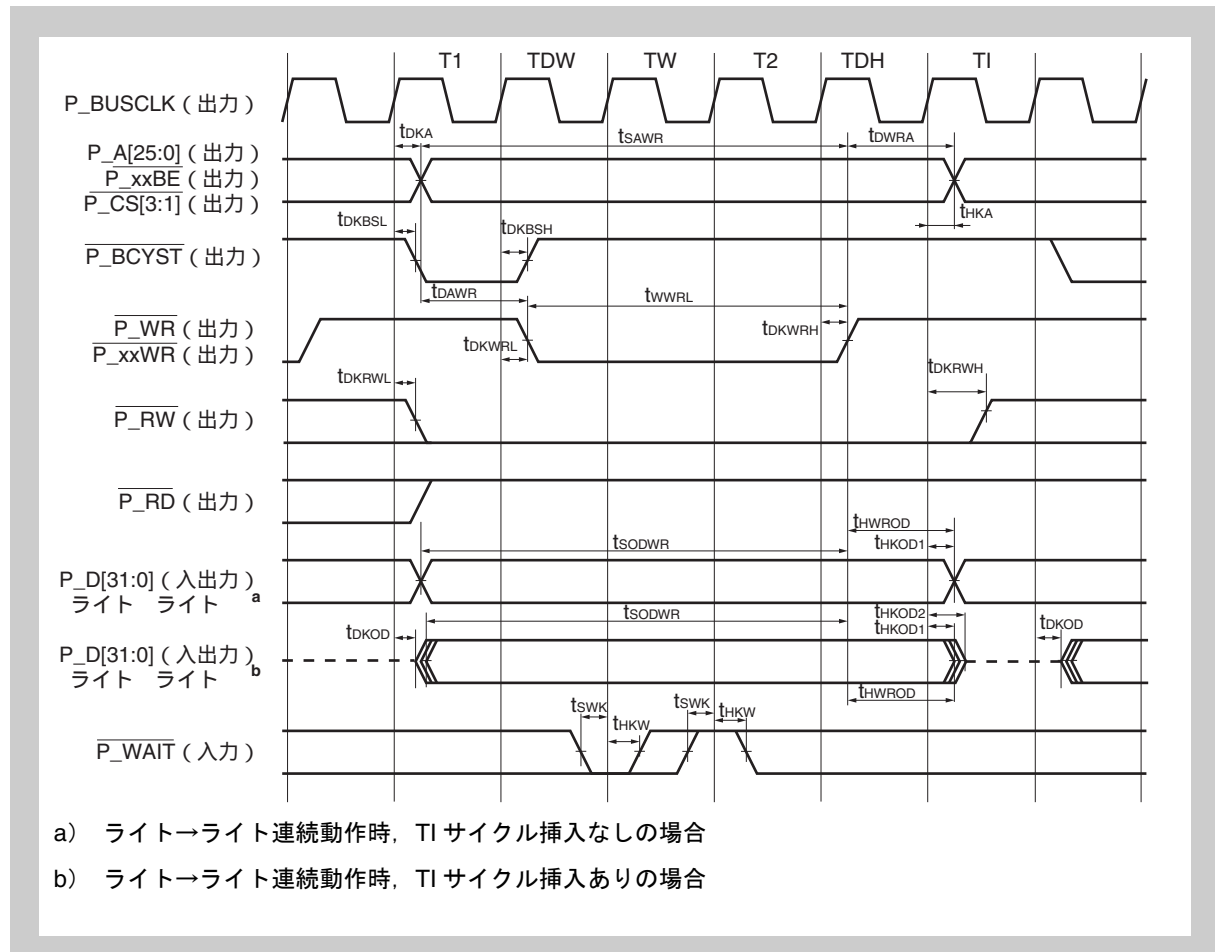


図 37-6 プライマリ・メモリ・コントローラ, SRAM ライト・アクセス・タイミング

(3) プライマリ・メモリ・コントローラ, SDRAM リード・タイミング

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス遅延時間 (対 P_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス保持時間 (対 P_BUSCLK ↑)	t_{HKA}	1.5	14	ns
P_CS4 遅延時間 (対 P_BUSCLK ↑)	t_{DKCS}	1.5	14	ns
P_SDRAS 遅延時間 (対 P_BUSCLK ↑)	t_{DKRAS}	1.5	14	ns
P_SDCAS 遅延時間 (対 P_BUSCLK ↑)	t_{DKCAS}	1.5	14	ns
P_xxDQM 遅延時間 (対 P_BUSCLK ↑)	t_{DKDQM}	1.5	14	ns
P_SDCKE 遅延時間 (対 P_BUSCLK ↑)	t_{DKCKE}	1.5	14	ns
P_WE 遅延時間 (対 P_BUSCLK ↑)	t_{DKWE}	1.5	14	ns
データ入力設定時間 (SDRAM リード時, 対 P_BUSCLK ↑)	t_{SDRMK}	13		ns
データ入力保持時間 (SDRAM リード時, 対 P_BUSCLK ↑)	t_{HKDRM}	0		ns
P_BUSCLK ↑ → データ出力遅延時間	t_{DSDOD}	(1 + i) T		ns

- 備考 1. xx : LL, LU, UL, UU
 2. T : t_{BCYK} (P_BUSCLK 周期)
 3. i : アイドル・ステート数

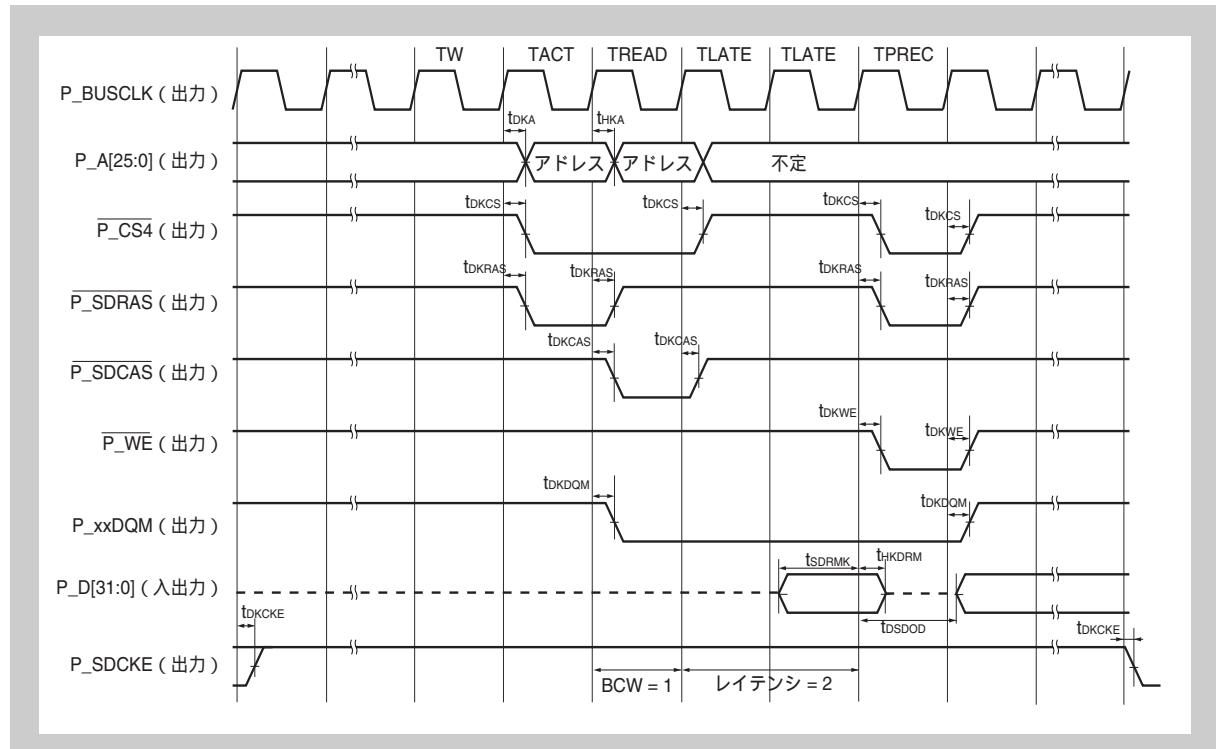


図 37-7 プライマリ・メモリ・コントローラ, SDRAM リード・タイミング

(4) プライマリ・メモリ・コントローラ, SDRAM ライト・タイミング

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス遅延時間 (対 P_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス保持時間 (対 P_BUSCLK ↑)	t_{HKA}	1.5	14	ns
P_CS4 遅延時間 (対 P_BUSCLK ↑)	t_{DKCS}	1.5	14	ns
P_SDRAS 遅延時間 (対 P_BUSCLK ↑)	t_{DKRAS}	1.5	14	ns
P_SDCAS 遅延時間 (対 P_BUSCLK ↑)	t_{DKCAS}	1.5	14	ns
P_xxDQM 遅延時間 (対 P_BUSCLK ↑)	t_{DKDQM}	1.5	14	ns
P_SDCKE 遅延時間 (対 P_BUSCLK ↑)	t_{DKCKE}	1.5	14	ns
P_WE 遅延時間 (対 P_BUSCLK ↑)	t_{DKWE}	1.5	14	ns
データ出力遅延時間 (対 P_BUSCLK ↑)	t_{DKDT}	1.5	14	ns
データ出力保持時間 (対 P_BUSCLK ↑)	t_{HZKDT1}	1.5		ns
データ・フロート遅延時間 (対 P_BUSCLK ↑)	t_{HZKDT2}		14	ns

備考 xx : LL, LU, UL, UU

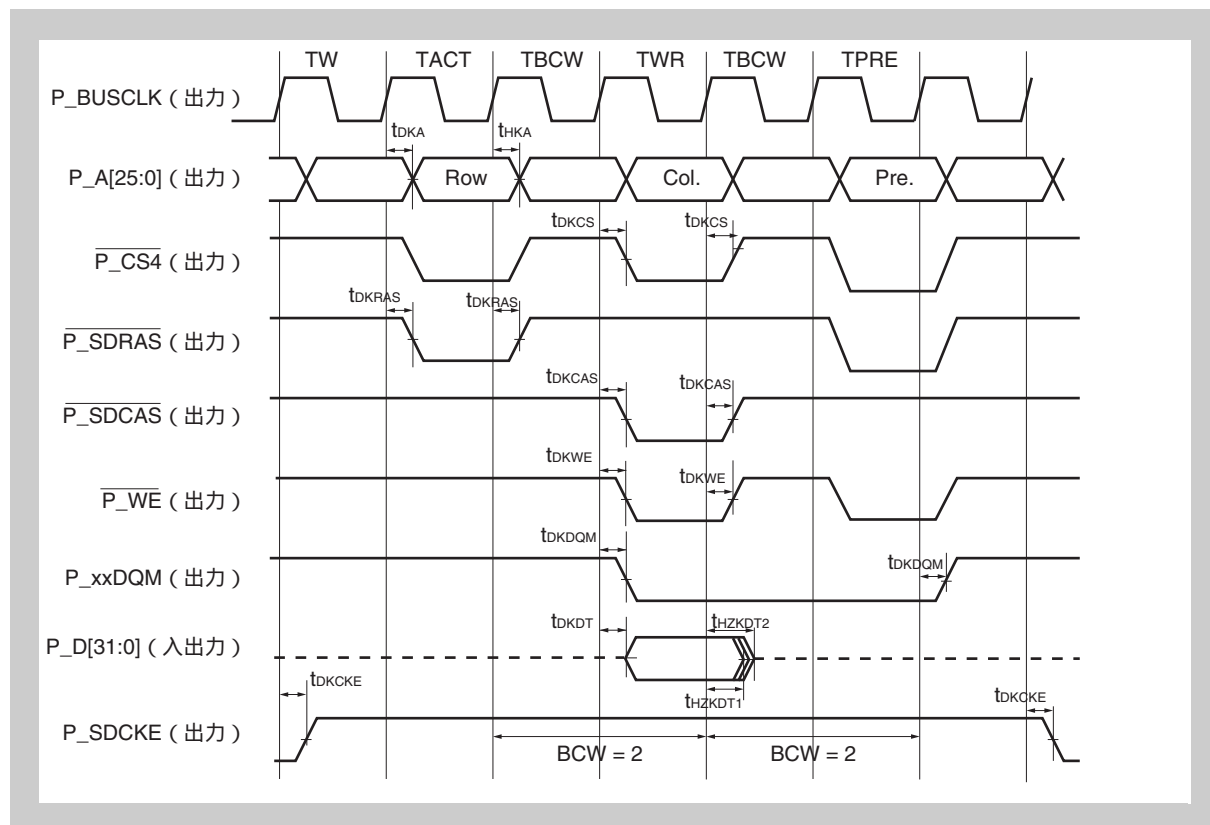


図 37-8 プライマリ・メモリ・コントローラ, SDRAM ライト・タイミング

(5) プライマリ・メモリ・コントローラ, SRAM DMA リード・アクセス・タイミング

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
DMAAK[5:0] 出力遅延時間 (対 P_BUSCLK ↑)	t_{DKDK}	1.5	14	ns
DMAAK[5:0] 出力保持時間 (対 P_BUSCLK ↑)	t_{HKDK}	1.5	14	ns
DMATC[5:0] 出力遅延時間 (対 P_BUSCLK ↑)	t_{DKTC}	1.5	14	ns
DMATC[5:0] 出力保持時間 (対 P_BUSCLK ↑)	t_{HKTC}	1.5	14	ns
アドレス, P_CS[3:1], P_xxBE 遅延時間 (対 P_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス, P_CS[3:1], P_xxBE 保持時間 (対 P_BUSCLK ↑)	t_{HKA}	1.5	14	ns
P_BCYST ↓ 遅延時間 (対 P_BUSCLK ↑)	t_{DKBSL}	1.5	14	ns
P_BCYST ↑ 遅延時間 (対 P_BUSCLK ↑)	t_{DKBSH}	1.5	14	ns
データ出力遅延時間 (対 P_BUSCLK ↑)	t_{DKOD}	1.5	14	ns
データ・フロート遅延時間 (対 P_BUSCLK ↑)	t_{HKOD2}		14	ns
P_WAIT 設定時間 (対 P_BUSCLK ↑)	t_{SWK}	$15 + 1.5f_{CLK}$		ns
P_WAIT 保持時間 (対 P_BUSCLK ↑)	t_{HKW}	$2 - 1.5f_{CLK}$		ns
P_RD ↓ 遅延時間 (対 P_BUSCLK ↑)	t_{DKRDL}	1.5	14	ns
P_RD ↑ 遅延時間 (対 P_BUSCLK ↑)	t_{DKRDH}	1.5	14	ns
データ入力設定時間 (対 P_BUSCLK ↑)	t_{SKID}	13		ns
データ入力保持時間 (対 P_BUSCLK ↑)	t_{HKID}	0		ns
データ入力設定時間 (対アドレス, P_CS[3:1], P_xxBE, P_DMATC[5:0], P_DMAAK[5:0])	t_{SAID}		$(w + w_D + 2)T - 27$	ns
データ入力設定時間 (P_RD ↓)	t_{SRDID}		$(w + w_D + 1)T - 27$	ns
P_RD ロウ・レベル幅	t_{WRDL}	$(w + w_D + 1)T - 10$		ns
アドレス, P_CS[3:1], P_xxBE, P_DMATC[5:0], P_DMAAK[5:0] → P_RD ↓ 遅延時間	t_{DARD}	$T - 10$		ns
P_RD ↑ → アドレス, P_CS[3:1], P_xxBE, P_DMATC[5:0], DMAAK[5:0] 遅延時間	t_{DRDA}	-6		ns
データ入力保持時間 (対 P_RD ↑)	t_{HRDID}	0		ns
P_RD ↑ → データ出力遅延時間	t_{DRDOD}	$iT - 14$		ns

- 備考
1. xx : LL, LU, UL, UU
 2. w : P_WAIT によるウェイト数
 3. w_D : DWC0 レジスタによるウェイト数
 4. T : t_{BCYK} (P_BUSCLK 周期)
 5. i : アイドル・ステート数
 6. f_{CLK} : 内部システム・クロック

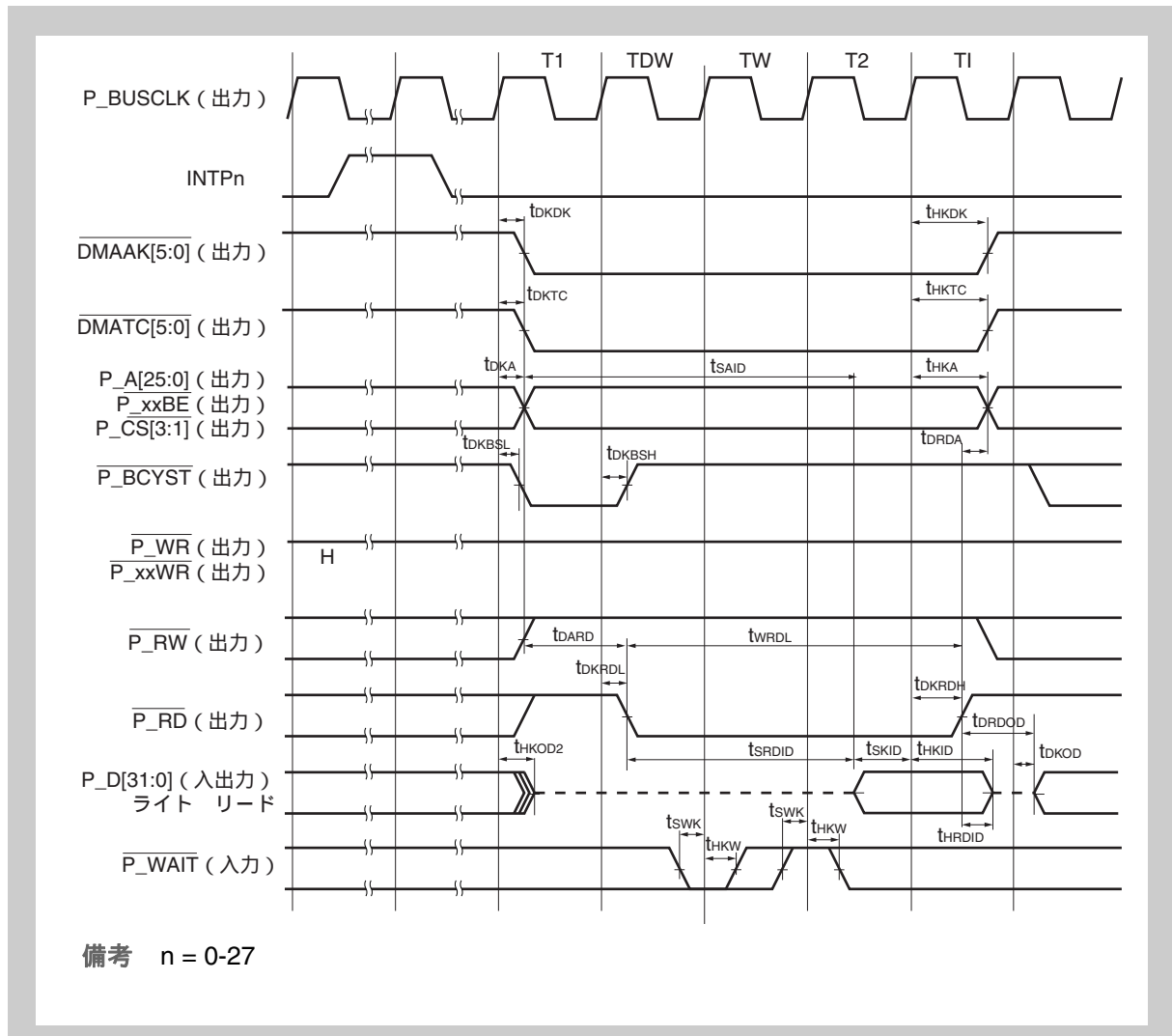


図 37-9 プライマリ・メモリ・コントローラ, DMA リード・アクセス・タイミング

(6) プライマリ・メモリ・コントローラ, DMA ライト・アクセス・タイミング
(TI サイクルなし)

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
DMAAK[5:0] 出力遅延時間 (対 P_BUSCLK ↑)	t_{DKDK}	1.5	14	ns
DMAAK[5:0] 出力保持時間 (対 P_BUSCLK ↑)	t_{HKDK}	1.5	14	ns
DMATC[5:0] 出力遅延時間 (対 P_BUSCLK ↑)	t_{DKTC}	1.5	14	ns
DMATC[5:0] 出力保持時間 (対 P_BUSCLK ↑)	t_{HKTC}	1.5	14	ns
アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$ 遅延時間 (対 P_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$ 保持時間 (対 P_BUSCLK ↑)	t_{HKA}	1.5	14	ns
$\overline{P_BCYST}$ ↓遅延時間 (対 P_BUSCLK ↑)	t_{DKBSL}	1.5	14	ns
$\overline{P_BCYST}$ ↑遅延時間 (対 P_BUSCLK ↑)	t_{DKBSH}	1.5	14	ns
$\overline{P_WR}$ ↓遅延時間 (対 P_BUSCLK ↑)	t_{DKWRL}	1.5	14	ns
$\overline{P_WR}$ ↑遅延時間 (対 P_BUSCLK ↑)	t_{DKWRH}	1.5	14	ns
$\overline{P_RW}$ ↓遅延時間 (対 P_BUSCLK ↑)	t_{DKRWL}	1.5	14	ns
$\overline{P_RW}$ ↑遅延時間 (対 P_BUSCLK ↑)	t_{DKRWH}	1.5	14	ns
データ出力遅延時間 (対 P_BUSCLK ↑)	t_{DKOD}	1.5	14	ns
データ出力保持時間 (対 P_BUSCLK ↑)	t_{HKOD1}	1.5		ns
$\overline{P_WAIT}$ 設定時間 (対 P_BUSCLK ↑)	t_{SWK}	$15 + 1.5f_{CLK}$		ns
$\overline{P_WAIT}$ 保持時間 (対 P_BUSCLK ↑)	t_{HKW}	$2 - 1.5f_{CLK}$		ns
アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$, $\overline{P_DMATC}$, $\overline{P_DMAAK}$ 遅延時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↓)	t_{DAWR}	$T - 10$		ns
アドレス, $\overline{P_CS}[3:1]$, $\overline{P_xxBE}$, $\overline{P_DMATC}$, $\overline{P_DMAAK}$ 設定時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↓)	t_{SAWR}	$(w + w_D + 2)$ $T - 10$		ns
$\overline{P_xxWR}$, $\overline{P_WR}$ ↑ → アドレス, $\overline{P_CS}[3:1]$	t_{DWRA}	$w_{DH}T - 10$		ns
$\overline{P_xxWR}$, $\overline{P_WR}$ ロウ・レベル幅	t_{WWRL}	$(w + w_D + 1)$ $T - 10$		ns
データ出力設定時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↑)	t_{SODWR}	$(w + w_D + 2)$ $T - 10$		ns
データ出力保持時間 (対 $\overline{P_xxWR}$, $\overline{P_WR}$ ↑)	t_{HWROD}	$w_{DH}T - 10$		ns

- 備考
1. xx : LL, LU, UL, UU
 2. w : $\overline{P_WAIT}$ によるウェイト数
 3. w_D : DWC0 レジスタによるウェイト数
 4. w_{DH} : DHC レジスタによるウェイト数
 5. T : t_{BCYK} ($\overline{P_BUSCLK}$ 周期)
 6. f_{CLK} : 内部システム・クロック)

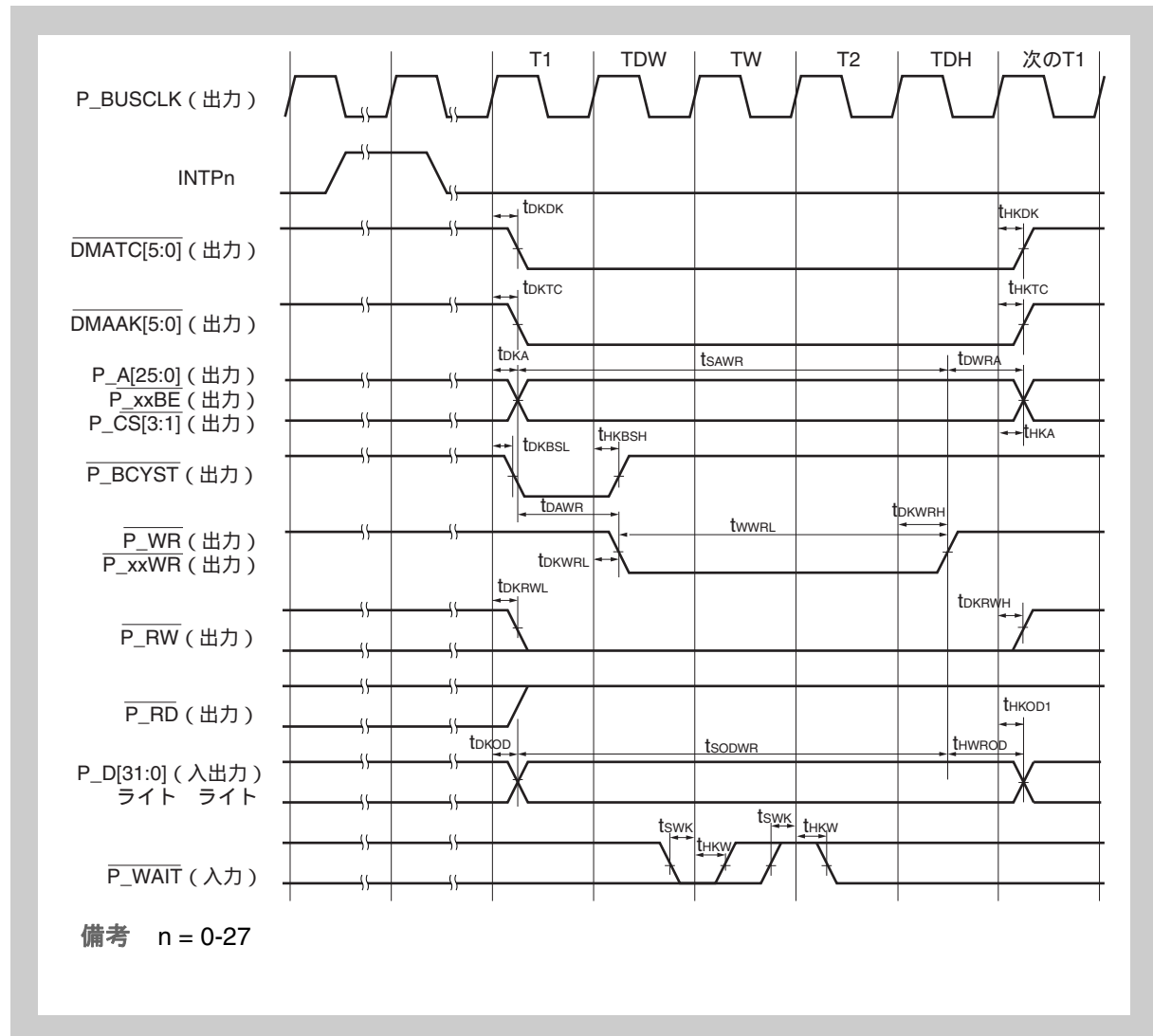


図 37-10 プライマリ・メモリ・コントローラ, SRAM DMA ライト・アクセス・タイミング (T1 サイクルなし)

(7) プライマリ・メモリ・コントローラ, SRAM DMA ライト・アクセス・タイミング (TI サイクルあり)

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
P_DMAAK[5:0] 出力遅延時間 (対 P_BUSCLK ↑)	t _{DKDK}	1.5	14	ns
P_DMAAK[5:0] 出力保持時間 (対 P_BUSCLK ↑)	t _{HKDK}	1.5	14	ns
P_DMATC[5:0] 出力遅延時間 (対 P_BUSCLK ↑)	t _{DKTC}	1.5	14	ns
P_DMATC[5:0] 出力保持時間 (対 P_BUSCLK ↑)	t _{HKTC}	1.5	14	ns
アドレス, P_CS[3:1], P_xxBE 出力遅延時間 (対 P_BUSCLK ↑)	t _{DKA}	1.5	14	ns
アドレス, P_CS[3:1], P_xxBE 出力保持時間 (対 P_BUSCLK ↑)	t _{HKA}	1.5	14	ns
P_BCYST ↓ 遅延時間 (対 P_BUSCLK ↑)	t _{DKBSL}	1.5	14	ns
P_BCYST ↑ 遅延時間 (対 P_BUSCLK ↑)	t _{DKBSH}	1.5	14	ns
P_WR ↓ 遅延時間 (対 P_BUSCLK ↑)	t _{DKWRL}	1.5	14	ns
P_WR ↑ 遅延時間 (対 P_BUSCLK ↑)	t _{DKWRH}	1.5	14	ns
P_RW ↓ 遅延時間 (対 P_BUSCLK ↑)	t _{DKRWL}	1.5	14	ns
P_RW ↑ 遅延時間 (対 P_BUSCLK ↑)	t _{DKRWH}	1.5	14	ns
データ出力遅延時間 (対 P_BUSCLK ↑)	t _{DKOD}	1.5	14	ns
データ出力保持時間 (対 P_BUSCLK ↑)	t _{HKOD1}	1.5		ns
データ・フロート遅延時間 (対 P_BUSCLK ↑)	t _{HKOD2}		14	ns
P_WAIT 設定時間 (対 P_BUSCLK ↑)	t _{SWK}	$15 + 1.5f_{CLK}$		ns
P_WAIT 保持時間 (対 P_BUSCLK ↑)	t _{HKW}	$2 - 1.5f_{CLK}$		ns
アドレス, P_CS[3:1], P_xxBE, P_DMATC, P_DMAAK 遅延時間 (対 P_xxWR, P_WR ↓)	t _{DAWR}	$T - 10$		ns
アドレス, P_CS[3:1], P_xxBE, P_DMATC, P_DMAAK 設定時間 (対 P_xxWR, P_WR ↓)	t _{SAWR}	$(w + w_D + 2)$ $T - 10$		ns
P_xxWR, P_WR ↑ → アドレス, P_CS[3:1]	t _{DWRA}	$w_{DHT} - 10$		ns
P_xxWR, P_WR ロウ・レベル幅	t _{WWRL}	$(w + w_D + 1)$ $T - 10$		ns
データ出力設定時間 (対 P_xxWR, P_WR ↑)	t _{SODWR}	$(w + w_D + 2)$ $T - 10$		ns
データ出力保持時間 (対 P_xxWR, P_WR ↑)	t _{HWROD}	$w_{DHT} - 10$		ns

- 備考
1. xx : LL, LU, UL, UU
 2. w : P_WAIT によるウェイト数
 3. w_D : DWC0 レジスタによるウェイト数
 4. w_{DH} : DHC レジスタによるウェイト数
 5. T : t_{BCYK} (P_BUSCLK 周期)
 6. f_{CLK} : 内部システム・クロック

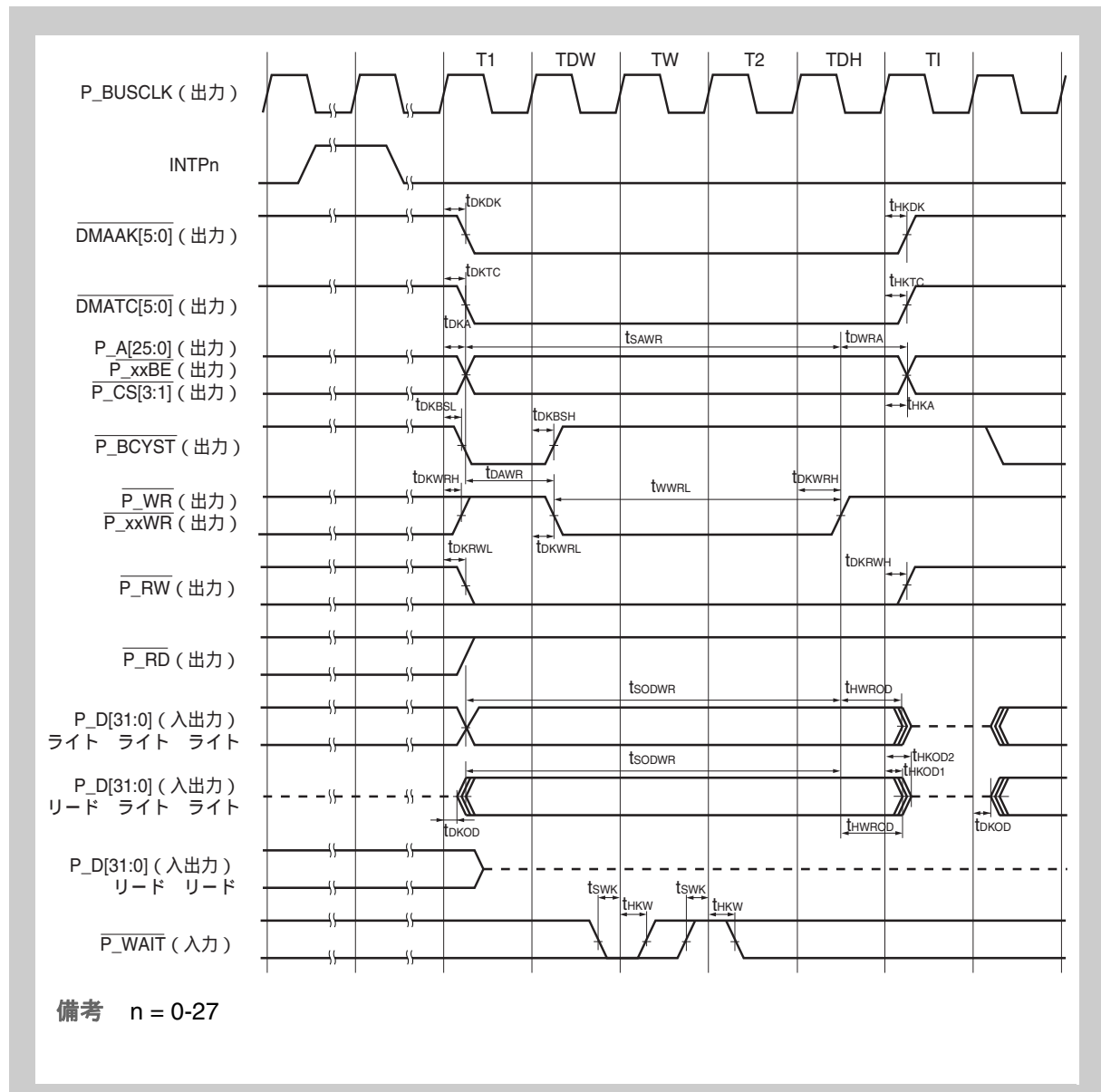


図 37-11 プライマリ・メモリ・コントローラ, SRAM DMA ライト・アクセス・タイミング (TI サイクルあり)

(8) プライマリ・メモリ・コントローラ, バス・ホールド・タイミング

($T_t = -40 \sim 100^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
P_HLDRQ 設定時間 (対 P_BUSCLK ↑)	t_{SHRK}	$15 + 1.5f_{CLK}$		ns
P_HLDRQ 保持時間 (対 P_BUSCLK ↑)	t_{HKHR}	$2 - 1.5f_{CLK}$		ns
P_HLDAK 遅延時間 (対 P_BUSCLK ↑)	t_{DKHA}	1.5	14	ns
P_HLDRQ ハイ・レベル保持時間	t_{HHQH}	P_HLDAK ↑ まで		ns
P_HLDAK ロウ・レベル幅	t_{WHAL}	$T - 10$		ns
バス・フロート遅延時間 (対 P_BUSCLK ↑)	t_{DKCF}		14	ns
バス出力遅延時間 (対 P_BUSCLK ↑)	t_{DKHAC}	1.5	14	ns
P_HLDRQ ↓ → P_HLDAK ↓ 遅延時間	t_{DHQHA1}	$2T + 1.5f_{CLK}$		ns
P_HLDRQ ↑ → P_HLDAK ↑ 遅延時間	t_{DHQHA2}	$1.5f_{CLK}$		ns

備考 f_{CLK} : 内部システム・クロック

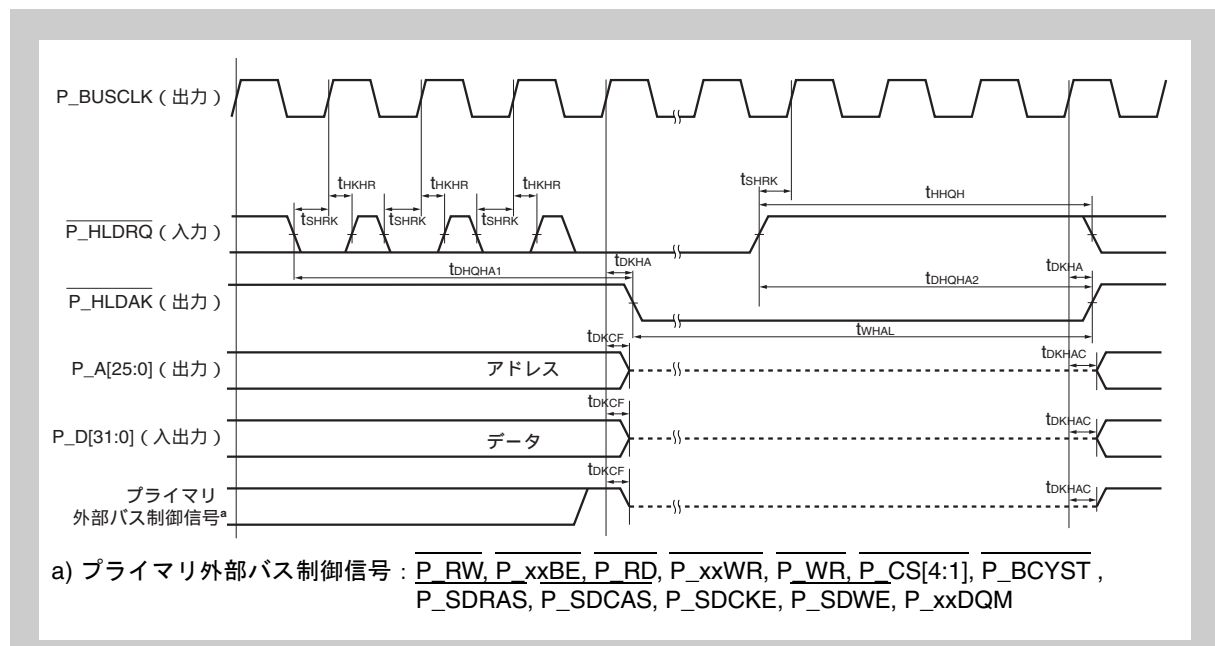


図 37-12 プライマリ・メモリ・コントローラ, バス・ホールド・タイミング

(9) セカンダリ・メモリ・コントローラ, SRAM リード・アクセス・タイミング

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $I_{V_{DD}} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス出力遅延時間 (対 S_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス出力保持時間 (対 S_BUSCLK ↑)	t_{HKA}	1.5	14	ns
S_CS[3:0], S_xxBE 遅延時間 (対 S_BUSCLK ↑)	t_{DKCS}	1.5	14	ns
S_CS[3:0], S_xxBE 保持時間 (対 S_BUSCLK ↑)	t_{HKCS}	1.5	14	ns
S_BCYST ↓ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSL}	1.5	14	ns
S_BCYST ↑ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSH}	1.5	14	ns
データ・フロート遅延時間 (対 S_BUSCLK ↑)	t_{HKOD2}		14	ns
S_WAIT 設定時間 (対 S_BUSCLK ↓)	t_{SWK}	15		ns
S_WAIT 保持時間 (対 S_BUSCLK ↓)	t_{HKW}	2		ns
S_RD ↓ 遅延時間 (対 S_BUSCLK ↑)	t_{DKRDL}	1.5	14	ns
S_RD ↑ 遅延時間 (対 S_BUSCLK ↑)	t_{DKRDH}	1.5	14	ns
データ入力設定時間 (対 S_BUSCLK ↑)	t_{SKID}	13		ns
データ入力保持時間 (対 S_BUSCLK ↑)	t_{HKID}	0		ns
データ入力設定時間 (対アドレス, S_CS[3:0], S_xxBE)	t_{SAID}		$(w + w_D + w_{AS} + 1) T - 27$	ns
データ入力設定時間 (対 S_RD ↓)	t_{SRDID}		$(w + w_D + 1) T - 27$	ns
S_RD ロウ・レベル幅	t_{WRDL}	$(w + w_D + 1) T - 10$		ns
アドレス, S_CS[3:0], S_xxBE → S_RD ↓ 遅延時間	t_{DARD}	$w_{AS} T - 10$		ns
S_RD ↑ → アドレス遅延時間	t_{DRDA}	$i T - 6$		ns
S_RD ↑ → S_CS[3:0], S_xxBE 遅延時間	t_{DADCS}	-6		ns
データ入力保持時間 (対 S_RD ↑)	t_{HRDID}	0		ns
S_RD ↑ → データ出力遅延時間	t_{DRDOD}	$i T - 14$		ns

- 備考
1. xx : LL, LU, UL, UU
 2. w : S_WAIT によるウェイト数
 3. w_D : SSMCn.DWn[3:0] ビットによるウェイト数
 4. w_{AS} : SSMCn.ACn[3:0] ビットによるウェイト数
 5. T : t_{SCYK} (S_BUSCLK 周期)
 6. i : アイドル・ステート数

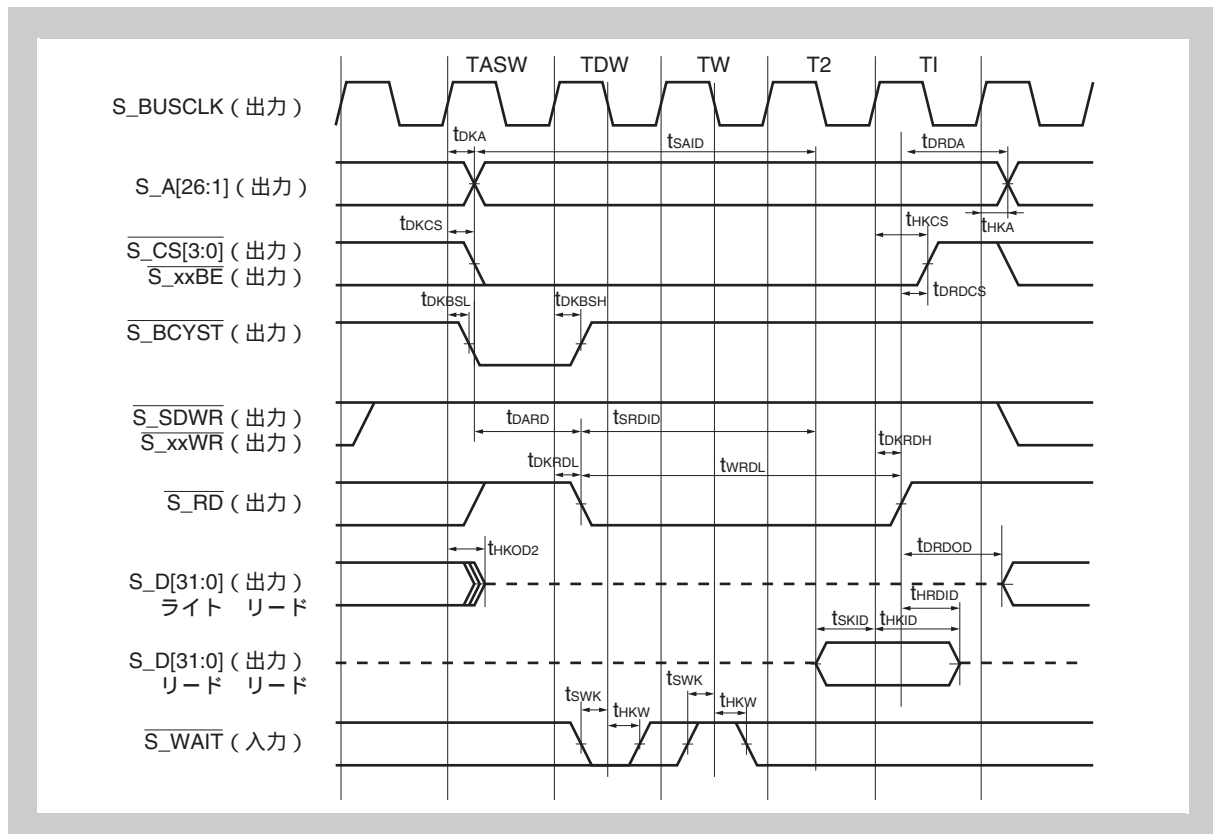


図 37-13 セカンダリ・メモリ・コントローラ, SRAM リード・アクセス・タイミング

(10) セカンダリ・メモリ・コントローラ, SRAM ライト・アクセス・タイミング

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス出力遅延時間 (対 S_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス出力保持時間 (対 S_BUSCLK ↑)	t_{HKA}	1.5	14	ns
S_CS[3:0], S_xxBE 遅延時間 (対 S_BUSCLK ↑)	t_{DKCS}	1.5	14	ns
S_CS[3:0], S_xxBE 保持時間 (対 S_BUSCLK ↑)	t_{HKCS}	1.5	14	ns
S_CS[3:0], S_xxBE 遅延時間 (対 S_xxWR, S_WR ↑)	t_{DWRCs}	1.5	14	ns
S_BCYST ↓ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSL}	1.5	14	ns
S_BCYST ↑ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSH}	1.5	14	ns
S_xxWR, S_WR ↓ 遅延時間 (対 S_BUSCLK ↑)	t_{DKWRL}	1.5	14	ns
S_xxWR, S_WR ↑ 遅延時間 (対 S_BUSCLK ↑)	t_{DKWRH}	1.5	14	ns
データ出力遅延時間 (対 S_BUSCLK ↑)	t_{DKOD}	1.5	14	ns
データ出力保持時間 (対 S_BUSCLK ↑)	t_{HKOD1}	1.5		ns
データ・フロート遅延時間 (対 S_BUSCLK ↑)	t_{HKOD2}		14	ns
S_WAIT 設定時間 (対 S_BUSCLK ↓)	t_{SWK}	15		ns
S_WAIT 保持時間 (対 S_BUSCLK ↓)	t_{HKW}	2		ns
アドレス, S_CS[3:0], S_xxBE 遅延時間 (対 S_xxWR, S_WR ↓)	t_{DAWR}	$w_{AS}T - 10$		ns
アドレス, S_CS[3:0], S_xxBE 設定時間 (対 S_xxWR, S_WR ↑)	t_{SAWR}	$(w + w_D + w_{AS} + 1)T - 10$		ns
S_xxWR, S_WR ↑ → アドレス遅延時間	t_{DWRA}	$(w_{DH} + i)T - 10$		ns
S_xxWR, S_WR ロウ・レベル幅	t_{WWRL}	$(w + w_{DH} + 1)T - 10$		ns
データ出力設定時間 (S_xxWR, S_WR ↑)	t_{SODWR}	$(w + w_{DH} + 1)T - 10$		ns
データ出力保持時間 (S_xxWR, S_WR ↑)	t_{HWROD}	$w_{DH}T - 10$		ns

- 備考
1. xx : LL, LU, UL, UU
 2. w : S_WAIT によるウェイト数
 3. w_D : SSMCn.DWn[3:0] ビットによるウェイト数
 4. w_{AS} : SSMCn.ACn[3:0] ビットによるウェイト数
 5. w_{DH} : SSMCn.WWn[3:0] ビットによるウェイト数
 6. T : t_{SCYK} (S_BUSCLK 周期)
 7. i : アイドル・ステート数

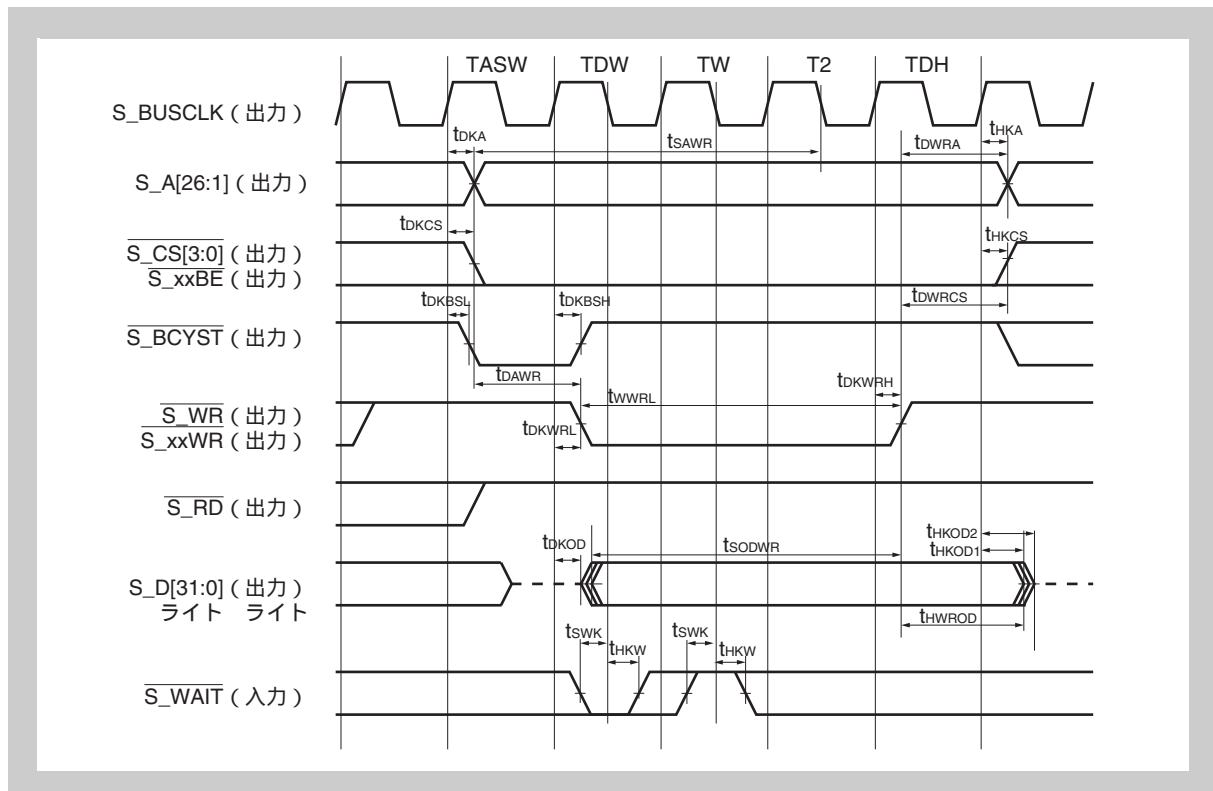


図 37-14 セカンダリ・メモリ・コントローラ, SRAM ライト・アクセス・タイミング

(11) セカンダリ・メモリ・コントローラ, SDRAM リード・タイミング

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス遅延時間 (対 S_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス保持時間 (対 S_BUSCLK ↑)	t_{HKA}	1.5	14	ns
S_BCYST ↓ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSL}	1.5	14	ns
S_BCYST ↑ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSH}	1.5	14	ns
S_SDCS 遅延時間 (対 S_BUSCLK ↑)	t_{DKCS}	1.5	14	ns
S_SDRAS 遅延時間 (対 S_BUSCLK ↑)	t_{DKRAS}	1.5	14	ns
S_SDCAS 遅延時間 (対 S_BUSCLK ↑)	t_{DKCAS}	1.5	14	ns
S_xxDQM 遅延時間 (対 S_BUSCLK ↑)	t_{DKDQM}	1.5	14	ns
S_SDCKE 遅延時間 (対 S_BUSCLK ↑)	t_{DKCKE}	1.5	14	ns
S_SDWE 遅延時間 (対 S_BUSCLK ↑)	t_{DKWE}	1.5	14	ns
データ入力設定時間 (SDRAM リード時, 対 S_BUSCLK ↑)	t_{SDRMK}	13		ns
データ入力保持時間 (SDRAM リード時, 対 S_BUSCLK ↑)	t_{HKDRM}	0		ns
S_BUSCLK ↑ → データ出力遅延時間	t_{DSDOD}	1T		ns

備考 xx : LL, LU, UL, UU

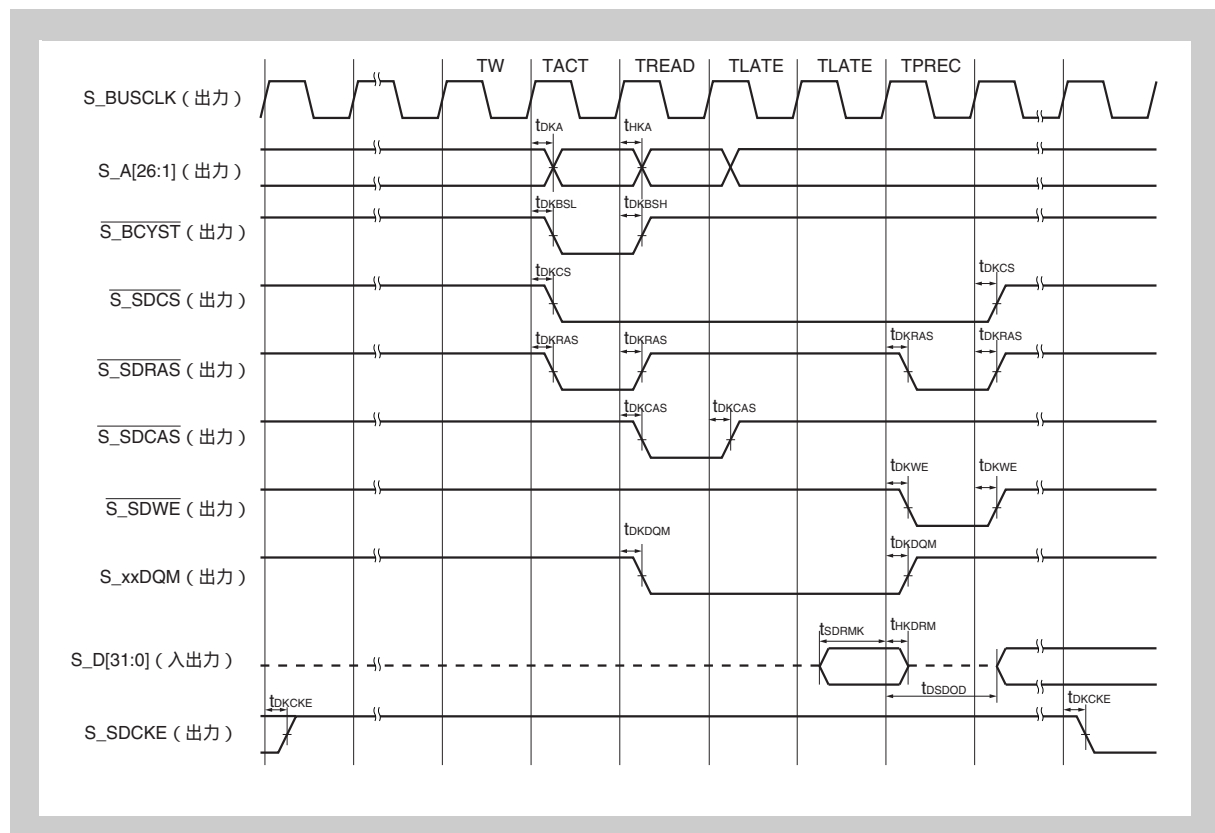


図 37-15 セカンダリ・メモリ・コントローラ, SDRAM リード・タイミング

(12) セカンダリ・メモリ・コントローラ, SDRAM ライト・タイミング

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $I_{V_{DD}} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
アドレス遅延時間 (対 S_BUSCLK ↑)	t_{DKA}	1.5	14	ns
アドレス保持時間 (対 S_BUSCLK ↑)	t_{HKA}	1.5	14	ns
S_BCYST ↓ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSL}	1.5	14	ns
S_BCYST ↑ 遅延時間 (対 S_BUSCLK ↑)	t_{DKBSH}	1.5	14	ns
S_SDCS 遅延時間 (対 S_BUSCLK ↑)	t_{DKCS}	1.5	14	ns
S_SDRAS 遅延時間 (対 S_BUSCLK ↑)	t_{DKRAS}	1.5	14	ns
S_SDCAS 遅延時間 (対 S_BUSCLK ↑)	t_{DKCAS}	1.5	14	ns
S_xxDQM 遅延時間 (対 S_BUSCLK ↑)	t_{DKDQM}	1.5	14	ns
S_SDCKE 遅延時間 (対 S_BUSCLK ↑)	t_{DKCKE}	1.5	14	ns
S_SDWE 遅延時間 (対 S_BUSCLK ↑)	t_{DKWE}	1.5	14	ns
データ出力遅延時間 (対 S_BUSCLK ↑)	t_{DKDT}	1.5	14	ns
データ出力保持時間 (対 S_BUSCLK ↑)	t_{HKDT1}	1.5		ns
データ・フロート遅延時間 (対 S_BUSCLK ↑)	t_{HKDT2}		14	ns

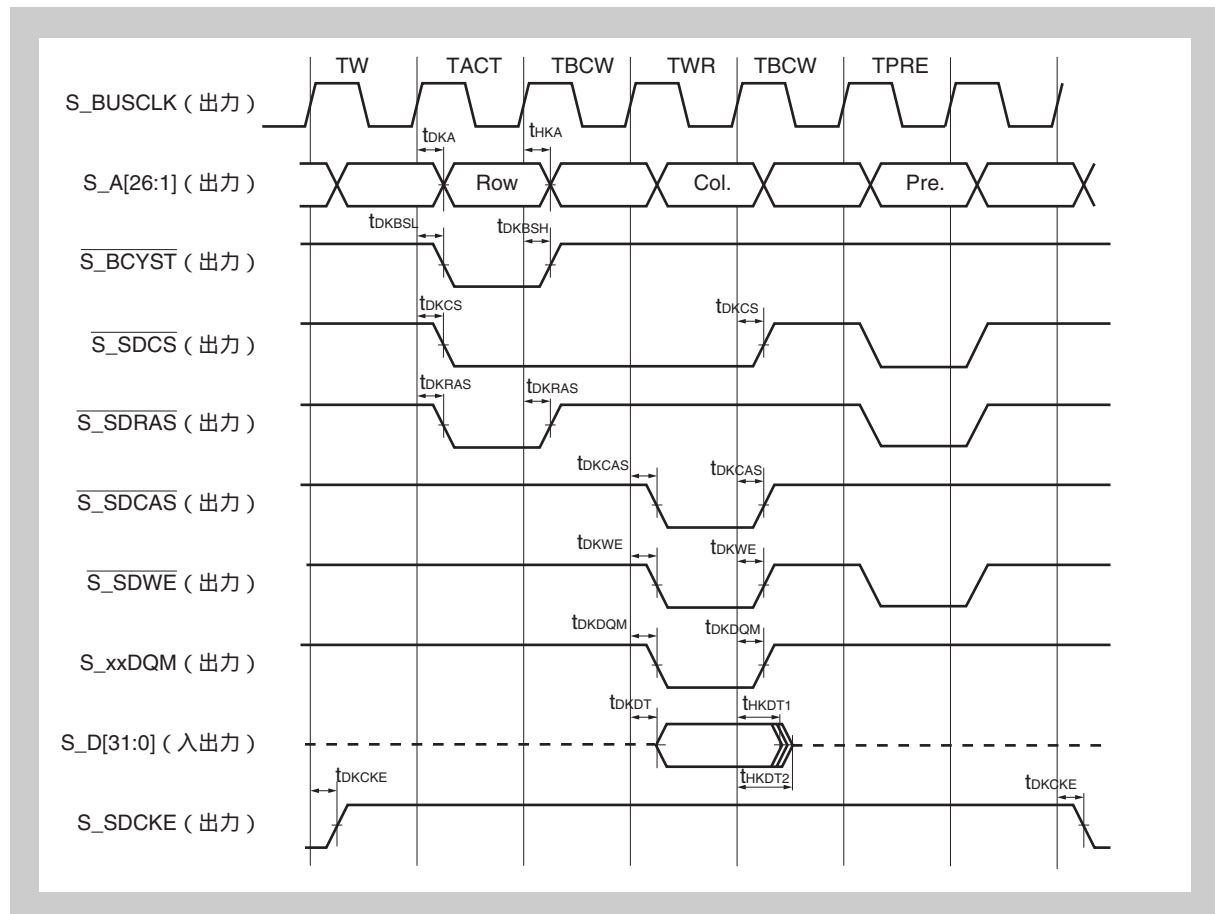


図 37-16 セカンダリ・メモリ・コントローラ, SDRAM ライト・タイミング

(13) セカンダリ・メモリ・コントローラ, SRAM S_DMA アクセス・タイミング

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $I_{V_{DD}} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
S_DMARQ[3:0] 入力設定時間 (対 S_BUSCLK ↑)	t_{SDRK}	13		ns
S_DMARQ[3:0] 入力保持時間	t_{HKDR1}	S_DMAAK[3:0] ↓まで		ns
S_DMARQ[3:0] 入力保持時間 (対 S_BUSCLK ↑)	t_{HKDR2}		$T \times m - 13$	ns
S_DMAAK[3:0] 出力遅延時間 (対 S_BUSCLK ↑)	t_{DKDA}	1.5	14	ns
S_DMAAK[3:0] ロウ・レベル幅	t_{WDAL}	$T - 10$		ns
S_DMAAK[3:0] ↑出力遅延時間 (対 S_BUSCLK ↑)	t_{HKDA}	1.5	14	ns
S_DMATC[3:0] ↓出力遅延時間 (対 S_BUSCLK ↑)	t_{DKTC}	1.5	14	ns
S_DMATC[3:0] ↑出力遅延時間 (対 S_BUSCLK ↑)	t_{HKTC}	1.5	14	ns
S_DMATC[3:0] ロウ・レベル幅	t_{WDTL}	$T - 10$		ns

備考 T : t_{SCYK} (S_BUSCLK 周期)

m : 1-16 (DMAIFC0-DMAIFC3 レジスタにて設定)

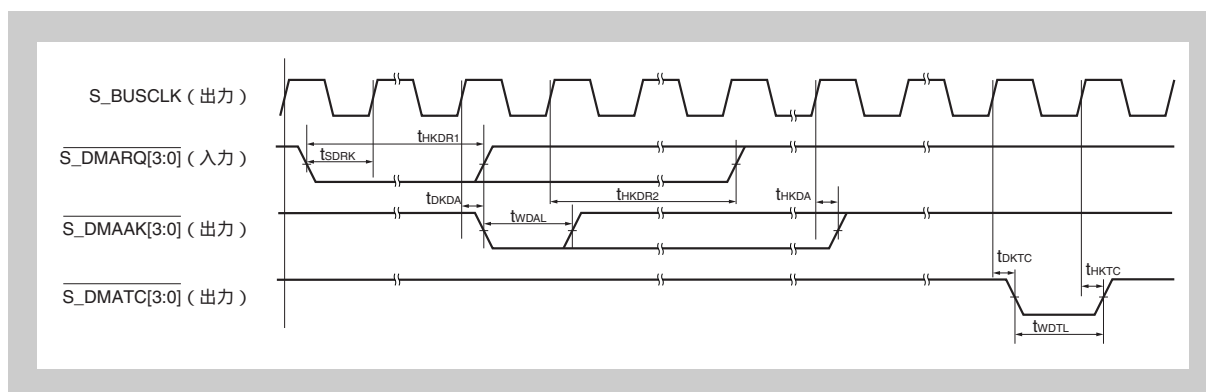


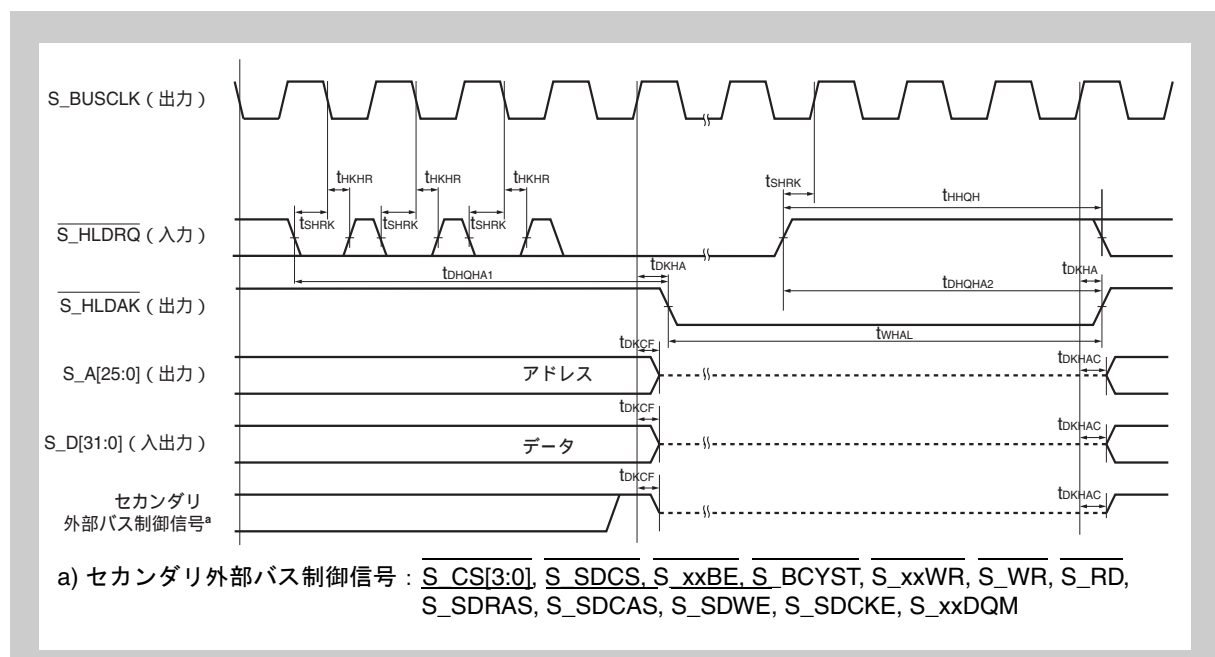
図 37-17 セカンダリ・メモリ・コントローラ, SRAM S_DMA アクセス・タイミング

(14) セカンダリ・メモリ・コントローラ、バス・ホールド・タイミング

($T_t = -40 \sim 100^\circ\text{C}$, $I_{V_{DD}} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	MIN.	MAX.	単位
S_HLDRQ 設定時間 (対 S_BUSCLK ↑)	t_{SHRK}	15		ns
S_HLDRQ 保持時間 (対 S_BUSCLK ↑)	t_{HKHR}	2		ns
S_HLDAK 遅延時間 (対 S_BUSCLK ↑)	t_{DKHA}	1.5	14	ns
S_HLDRQ ハイ・レベル幅	t_{HHQH}	S_HLDAK ↑ まで		ns
S_HLDAK ロウ・レベル幅	t_{WHAL}	T - 10		ns
バス・フロート遅延時間 (対 S_BUSCLK ↑)	t_{DKCF}		14	ns
バス出力遅延時間 (対 S_BUSCLK ↑)	t_{DKHAC}	1.5	14	ns
S_HLDRQ ↓ → S_HLDAK ↓ 遅延時間	t_{DHQHA1}	2.5T		ns
S_HLDRQ ↑ → S_HLDAK ↑ 遅延時間	t_{DHQHA2}	2.5T		ns

備考 T : t_{SCYK} (S_BUSCLK 周期)



37.6.3 クロック・タイミング

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
CPU 動作周波数			144	200	MHz
P_BUSCLK 出力周期	t_{BCYK}	SRAM モード	15		ns
		SDRAM モード	20		ns
P_BUSCLK ハイ・レベル幅	t_{BWKH}	$m = 3, 4, 6$ PLL 動作時 ^a	$m \times 1000 \times 0.4 / 200$	$m \times 1000 \times 0.6 / 144$	ns
P_BUSCLK ロウ・レベル幅	t_{BWKL}	$m = 3, 4, 6$ PLL 動作時 ^a	$m \times 1000 \times 0.4 / 200$	$m \times 1000 \times 0.6 / 144$	ns
P_BUSCLK 立ち上がり幅	t_{BKR}			5	ns
P_BUSCLK 立ち下がり幅	t_{BKF}			5	ns
S_BUSCLK 出力周期	t_{SCYK}	SRAM モード	15		ns
		SDRAM モード	20		ns
S_BUSCLK ハイ・レベル幅	t_{SWKH}	$m = 3, 4, 6$ PLL 動作時 ^a	$m \times 1000 \times 0.4 / 200$	$m \times 1000 \times 0.6 / 144$	ns
S_BUSCLK ロウ・レベル幅	t_{SWKL}	$m = 3, 4, 6$ PLL 動作時 ^a	$m \times 1000 \times 0.4 / 200$	$m \times 1000 \times 0.6 / 144$	ns
S_BUSCLK 立ち上がり幅	t_{SKR}			5	ns
S_BUSCLK 立ち下がり幅	t_{SKF}			5	ns

a) リセット期間中、P_BUSCLK 端子および S_BUSCLK 端子からは、メイン・クロック発振回路出力が出力されます。リセット期間中は、P_BUSCLK 端子および S_BUSCLK 端子のデューティに注意して下さい。

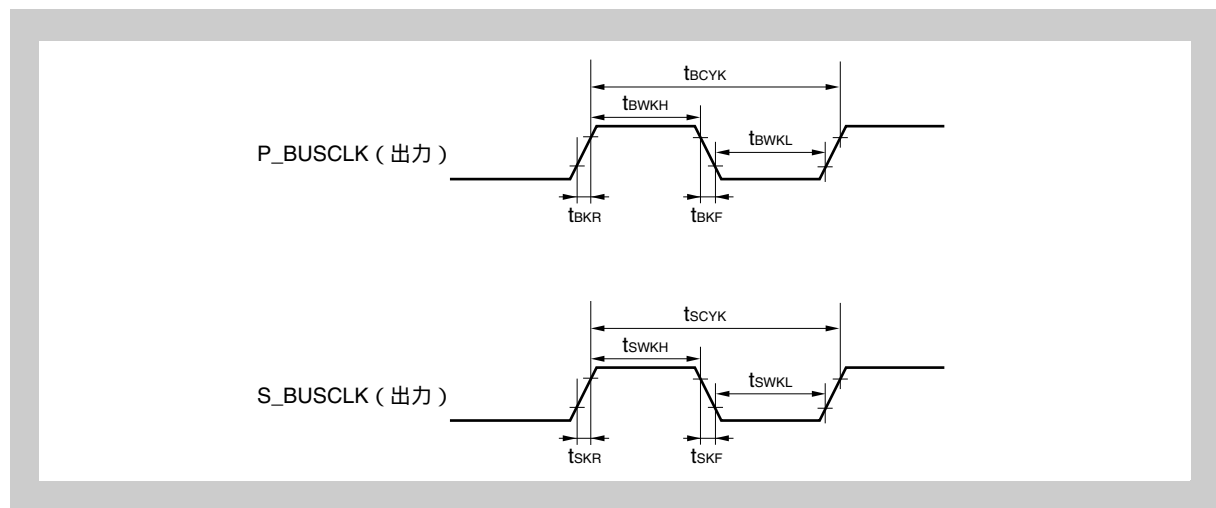


図 37-18 クロック・タイミング

37.6.4 リセット・タイミング

($T_i = -40 \sim 100 \text{ } ^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
RESET ハイ・レベル幅	t_{WRSH}		500		ns
RESET ロウ・レベル幅	t_{WRSL}	電源オン時	$500 + t_{OSC}$		ns
		電源オン時を除く	500		ns

備考 t_{OSC} : メイン・クロックの発振安定時間 (使用する発振子により異なります)

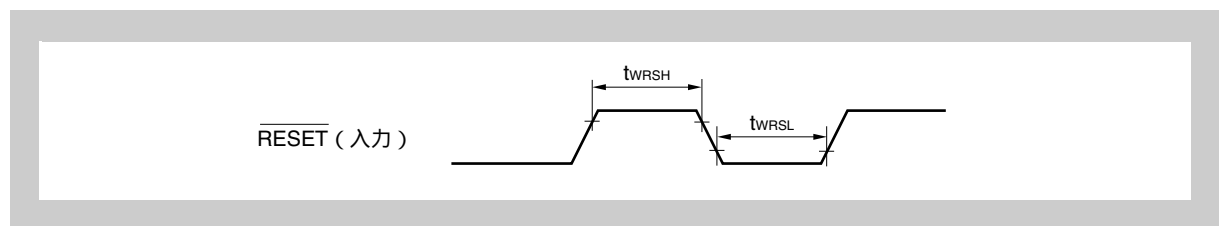


図 37-19 リセット・タイミング

37.6.5 割り込み

($T_t = -40 \sim 100 \text{ } ^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI ハイ・レベル幅	t_{WNIH}	NMI ハイ・レベル幅	500			ns
NMI ロウ・レベル幅	t_{WNIL}	NMI ロウ・レベル幅	500			ns
INTPm 端子ハイ・レベル幅	t_{WITACH}	アナログ・ノイズ除去設定時	500			ns
INTPm 端子ロウ・レベル幅	t_{WITACL}	アナログ・ノイズ除去設定時	500			ns
INTPn 端子ハイ・レベル幅	t_{WITDCH}	デジタル・ノイズ除去設定時	(設定除去クロック数 - 1) / (PCLK) + 10			ns
INTPn 端子ロウ・レベル幅	t_{WITDCL}	デジタル・ノイズ除去設定時	(設定除去クロック数 - 1) / (PCLK) + 10			ns
ES0x ハイ・レベル幅	t_{ESWTCH}	ノイズ除去設定時	500			ns
ES0x ロウ・レベル幅	t_{ESWTCL}	ノイズ除去設定時	500			ns

備考 m = 0-4, n = 5-27, x = 0-3

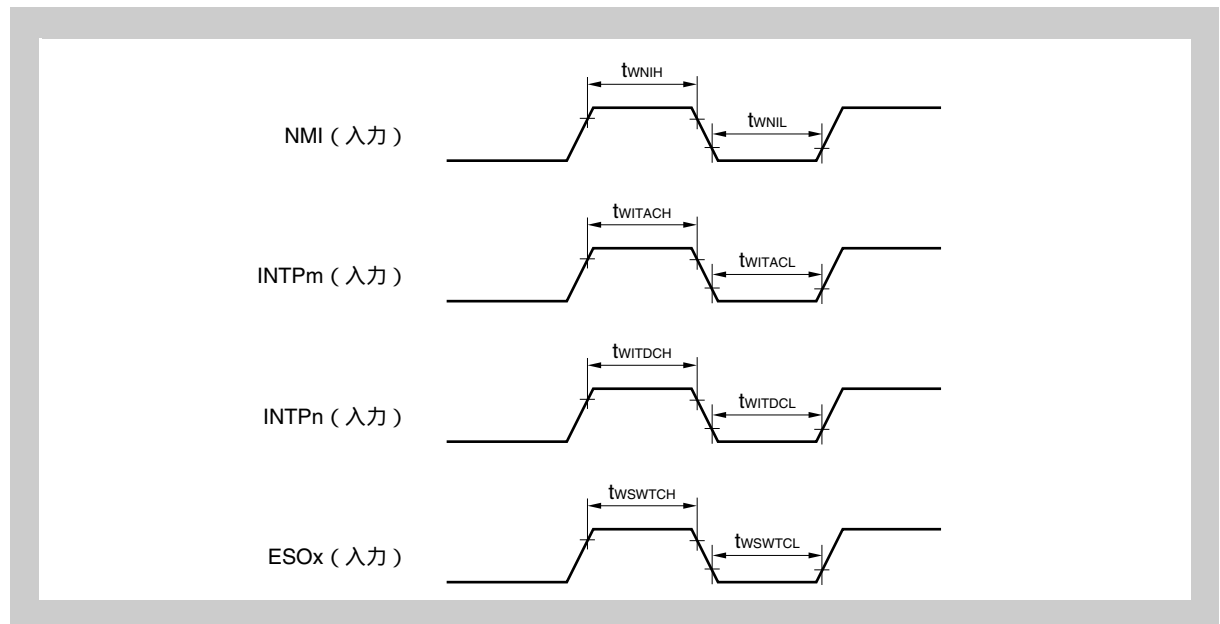


図 37-20 割り込みタイミング

37.6.6 TAU A

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAm_In ハイ・レベル幅	t_{AWTCH}	ノイズ除去設定時	(設定除去クロック数 - 1) / (PCLK) + 10			ns
TAm_In ロウ・レベル幅	t_{AWTCL}	ノイズ除去設定時	(設定除去クロック数 - 1) / (PCLK) + 10			ns

備考 $n = 0-15$, $m = 0-3$

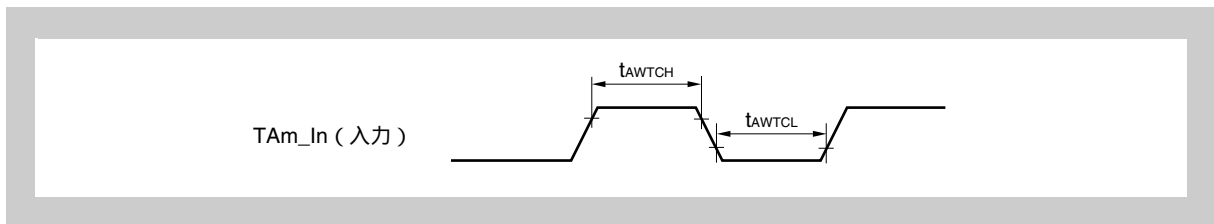


図 37-21 TAU A タイミング

37.6.7 TAU J

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TJ_In ハイ・レベル幅	t_{JWTCH}	ノイズ除去設定時	(設定除去クロック数 - 1) / (PCLK) + 10			ns
TJ_In ロウ・レベル幅	t_{JWTCL}	ノイズ除去設定時	(設定除去クロック数 - 1) / (PCLK) + 10			ns

備考 $n = 0-3$

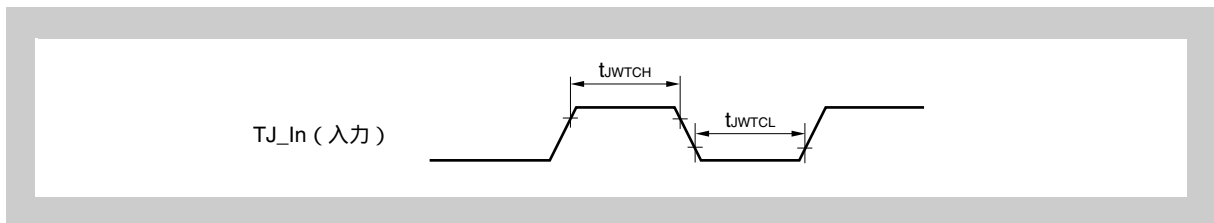


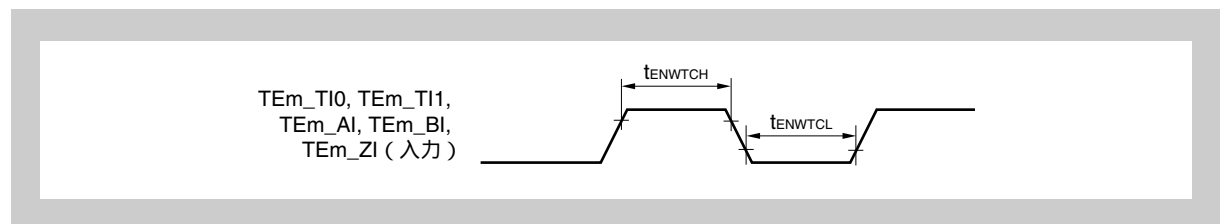
図 37-22 TAU J タイミング

37.6.8 ENCA

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TEm_TI0, TEm_TI1, TEm_AI, TEm_BI, TEm_ZI ハイ・レベル幅	tENWTCH	ノイズ除去設定時	(設定除去クロック 数 - 1) / (PCLK) + 10			ns
TEm_TI0, TEm_TI1, TEm_AI, TEm_BI, TEm_ZI ロウ・レベル幅	tENWTCL	ノイズ除去設定時	(設定除去クロック 数 - 1) / (PCLK) + 10			ns

備考 m = 0, 1



37.6.9 CSIH

(1) CSIH0, CSIH2, CSIH3 (8.33 Mbps [$f_{XX} = 200 \text{ MHz}$] : マスタ・モード時)

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{KCY}	入力	15		ns
SCKnF 周期	t_{KCYM}	出力	120		ns
SCKnF ハイ・レベル幅	t_{KWHM}	出力	$(t_{KCYM}/2) - 8.0$		ns
SCKnF ロウ・レベル幅	t_{KWLM}	出力	$(t_{KCYM}/2) - 8.0$		ns
SInF 設定時間 (対 SCKnF ↑)	t_{SSIM}	入力	26.0		ns
SInF 設定時間 (対 SCKnF ↓)			26.0		ns
SInF 保持時間 (対 SCKnF ↑)	t_{HSIM}	入力	26.0		ns
SInF 保持時間 (対 SCKnF ↓)			26.0		ns
SO nF 出力遅延時間 (対 SCKnF ↑)	t_{DSOM}	出力		26	ns
SO nF 出力遅延時間 (対 SCKnF ↓)				26	ns
SO nF 出力保持時間 (対 SCKnF ↑)	t_{HSOM}	出力	$(t_{KCYM}/2) - 10.0$		ns
SO nF 出力保持時間 (対 SCKnF ↓)			$(t_{KCYM}/2) - 10.0$		ns
CSInF_RYI 設定時間 (対 SCKnF ↑) : CSIHnCTL1.CSIHnSIT = x	t_{SRDYI}	入力	$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSInF_RYI 設定時間 (対 SCKnF ↓) : CSIHnCTL1.CSIHnSIT = x			$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSInF_RYI ハイ・レベル幅	t_{WRYI}	入力	$t_{KCY} + 10$		ns
CSInF_CS[7:0] 設定時間 (対 SCKnF ↑) : CSIHnCTL1.CSIHnDAP = 0	t_{SSCSB0}	出力	$(CSSETUP + 0.5) \times t_{KCYM} - 26$		ns
CSInF_CS[7:0] 設定時間 (対 SCKnF ↓) : CSIHnCTL1.CSIHnDAP = 0			$CSSETUP \times t_{KCYM} - 26$		ns
CSInF_CS[7:0] 設定時間 (対 SCKnF ↑) : CSIHnCTL1.CSIHnDAP = 1	t_{SSCSB1}	出力	$CSSETUP \times t_{KCYM} - 26$		ns
CSInF_CS[7:0] 設定時間 (対 SCKnF ↓) : CSIHnCTL1.CSIHnDAP = 1			$CSSETUP \times t_{KCYM} - 26$		ns
CSInF_CS[7:0] 保持時間 (対 SCKnF ↑) : CSIHnCTL1.CSIHnDAP = 0	t_{HSCSB0}	出力	$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns
CSInF_CS[7:0] 保持時間 (対 SCKnF ↓) : CSIHnCTL1.CSIHnDAP = 0			$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns
CSInF_CS[7:0] 保持時間 (対 SCKnF ↑) : CSIHnCTL1.CSIHnDAP = 1	t_{HSCSB1}	出力	$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns
CSInF_CS[7:0] 保持時間 (対 SCKnF ↓) : CSIHnCTL1.CSIHnDAP = 1			$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns

備考 n = 0, 2, 3

CSSETUP : CSIHnCFG0-7.CSIHnSP[3:0] の設定値

CSHOLD : CSIHnCFG0-7.CSIHnHD[3:0] の設定値

(2) CSIH0, CSIH2, CSIH3 (8.33 Mbps $[f_{XX} = 200 \text{ MHz}]$: スレーブ・モード時)

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{KCY}	入力	15		ns
SCKnF 周期	t_{KCYS}	入力	120		ns
SCKnF ハイ・レベル幅	t_{KWHS}	入力	$(t_{KCYS}/2) - 8.0$		ns
SCKnF ロウ・レベル幅	t_{KWLS}	入力	$(t_{KCYS}/2) - 8.0$		ns
SInF 設定時間 (対 SCKnF ↑)	t_{SSIS}	入力	26.0		ns
SInF 設定時間 (対 SCKnF ↓)			26.0		ns
SInF 保持時間 (対 SCKnF ↑)	t_{HSIS}	入力	$(t_{KCYS}/2) - 8.0$		ns
SInF 保持時間 (対 SCKnF ↓)			$(t_{KCYS}/2) - 8.0$		ns
SO nF 出力遅延時間 (対 SCKnF ↑)	t_{DSOS}	出力		26.0	ns
SO nF 出力遅延時間 (対 SCKnF ↓)				26.0	ns
SO nF 出力保持時間 (対 SCKnF ↑)	t_{HSOS}	出力	$(t_{KCYS}/2) - 10.0$		ns
SO nF 出力保持時間 (対 SCKnF ↓)			$(t_{KCYS}/2) - 10.0$		ns
CSInF_RYO 出力遅延時間 (対 SCKnF ↑)	t_{SRDYIO}	出力		26.0	ns
CSInF_RYO 出力遅延時間 (対 SCKnF ↓)				26.0	ns
CSInF_RYO 出力保持時間 (対 SCKnF ↑)	t_{HRDYIO}	出力	$(t_{KCYS}/2) - 10.0$		ns
CSInF_RYO 出力保持時間 (対 SCKnF ↓)			$(t_{KCYS}/2) - 10.0$		ns
CSInF_SSI 設定時間 (対 SCKnF ↑)	t_{SSSIS}	入力	26.0		ns
CSInF_SSI 設定時間 (対 SCKnF ↓)			26.0		ns
CSInF_SSI 保持時間 (対 SCKnF ↑)	t_{HSSIS}	入力	26.0		ns
CSInF_SSI 保持時間 (対 SCKnF ↓)			26.0		ns

備考 n = 0, 2, 3

(3) CSH1 (8.33 Mbps $[f_{XX} = 200 \text{ MHz}]$: マスタ・モード時)

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{KCY}	入力	15		ns
SCK1F 周期	t_{KCYM}	出力	120		ns
SCK1F ハイ・レベル幅	t_{KWHM}	出力	$(t_{KCYM}/2) - 13.0$		ns
SCK1F ロウ・レベル幅	t_{KWLM}	出力	$(t_{KCYM}/2) - 13.0$		ns
SI1F 設定時間 (対 SCK1F ↑)	t_{SSIM}	入力	26.0		ns
SI1F 設定時間 (対 SCK1F ↓)			26.0		ns
SI1F 保持時間 (対 SCK1F ↑)	t_{HSIM}	入力	26.0		ns
SI1F 保持時間 (対 SCK1F ↓)			26.0		ns
SO1F 出力遅延時間 (対 SCK1F ↑)	t_{DSOM}	出力		26	ns
SO1F 出力遅延時間 (対 SCK1F ↓)				26	ns
SO1F 出力保持時間 (対 SCK1F ↑)	t_{HSOM}	出力	$(t_{KCYM}/2) - 10.0$		ns
SO1F 出力保持時間 (対 SCK1F ↓)			$(t_{KCYM}/2) - 10.0$		ns
CSI1F_RYI 設定時間 (対 SCK1F ↑) : CSH0CTL1.CSIH0SIT = x	t_{SRDYI}	入力	$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSI1F_RYI 設定時間 (対 SCK1F ↓) : CSH0CTL1.CSIH0SIT = x			$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSI1F_RYI ハイ・レベル幅	t_{WRYI}	入力	$t_{KCY} + 10$		ns
CSI1F_CS[7:0] 設定時間 (対 SCK1F ↑) : CSH0CTL1.CSIH0DAP = 0	t_{SSCSB0}	出力	$(CSSETUP + 0.5) \times t_{KCYM} - 26$		ns
CSI1F_CS[7:0] 設定時間 (対 SCK1F ↓) : CSH0CTL1.CSIH0DAP = 0			$CSSETUP \times t_{KCYM} - 26$		ns
CSI1F_CS[7:0] 設定時間 (対 SCK1F ↑) : CSH0CTL1.CSIH0DAP = 1	t_{SSCSB1}	出力	$CSSETUP \times t_{KCYM} - 26$		ns
CSI1F_CS[7:0] 設定時間 (対 SCK1F ↓) : CSH0CTL1.CSIH0DAP = 1			$CSSETUP \times t_{KCYM} - 26$		ns
CSI1F_CS[7:0] 保持時間 (対 SCK1F ↑) : CSH0CTL1.CSIH0DAP = 0	t_{HSCSB0}	出力	$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns
CSI1F_CS[7:0] 保持時間 (対 SCK1F ↓) : CSH0CTL1.CSIH0DAP = 0			$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns
CSI1F_CS[7:0] 保持時間 (対 SCK1F ↑) : CSH0CTL1.CSIH0DAP = 1	t_{HSCSB1}	出力	$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns
CSI1F_CS[7:0] 保持時間 (対 SCK1F ↓) : CSH0CTL1.CSIH0DAP = 1			$(CSHOLD + 0.5) \times t_{KCYM} - 26$		ns

備考 CSSETUP : CSH1CFG0-7.CSH1SP[3:0] の設定値
 CSHOLD : CSH1CFG0-7.CSH1HD[3:0] の設定値

(4) CSH1 (8.33 Mbps [$f_{XX} = 200 \text{ MHz}$]: スレーブ・モード時)

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{kCY}	入力	15		ns
SCK1F 周期	t_{kCYS}	入力	120		ns
SCK1F ハイ・レベル幅	t_{kWHS}	入力	$(t_{kCYS}/2) - 8.0$		ns
SCK1F ロウ・レベル幅	t_{kWLS}	入力	$(t_{kCYS}/2) - 8.0$		ns
SI1F 設定時間 (対 SCK1F ↑)	t_{SSIS}	入力	26.0		ns
SI1F 設定時間 (対 SCK1F ↓)			26.0		ns
SI1F 保持時間 (対 SCK1F ↑)	t_{HSIS}	入力	$(t_{kCYS}/2) - 8.0$		ns
SI1F 保持時間 (対 SCK1F ↓)			$(t_{kCYS}/2) - 8.0$		ns
SO1F 出力遅延時間 (対 SCK1F ↑)	t_{DSOS}	出力		26.0	ns
SO1F 出力遅延時間 (対 SCK1F ↓)				26.0	ns
SO1F 出力保持時間 (対 SCK1F ↑)	t_{HSOS}	出力	$(t_{kCYS}/2) - 10.0$		ns
SO1F 出力保持時間 (対 SCK1F ↓)			$(t_{kCYS}/2) - 10.0$		ns
CSI1F_RYO 出力遅延時間 (対 SCK1F ↑)	t_{SRDYIO}	出力		26.0	ns
CSI1F_RYO 出力遅延時間 (対 SCK1F ↓)				26.0	ns
CSI1F_RYO 出力保持時間 (対 SCK1F ↑)	t_{HRDYIO}	出力	$(t_{kCYS}/2) - 10.0$		ns
CSI1F_RYO 出力保持時間 (対 SCK1F ↓)			$(t_{kCYS}/2) - 10.0$		ns
CSI1F_SSI 設定時間 (対 SCK1F ↑)	t_{SSIS}	入力	26.0		ns
CSI1F_SSI 設定時間 (対 SCK1F ↓)			26.0		ns
CSI1F_SSI 保持時間 (対 SCK1F ↑)	t_{HSSIS}	入力	26.0		ns
CSI1F_SSI 保持時間 (対 SCK1F ↓)			26.0		ns

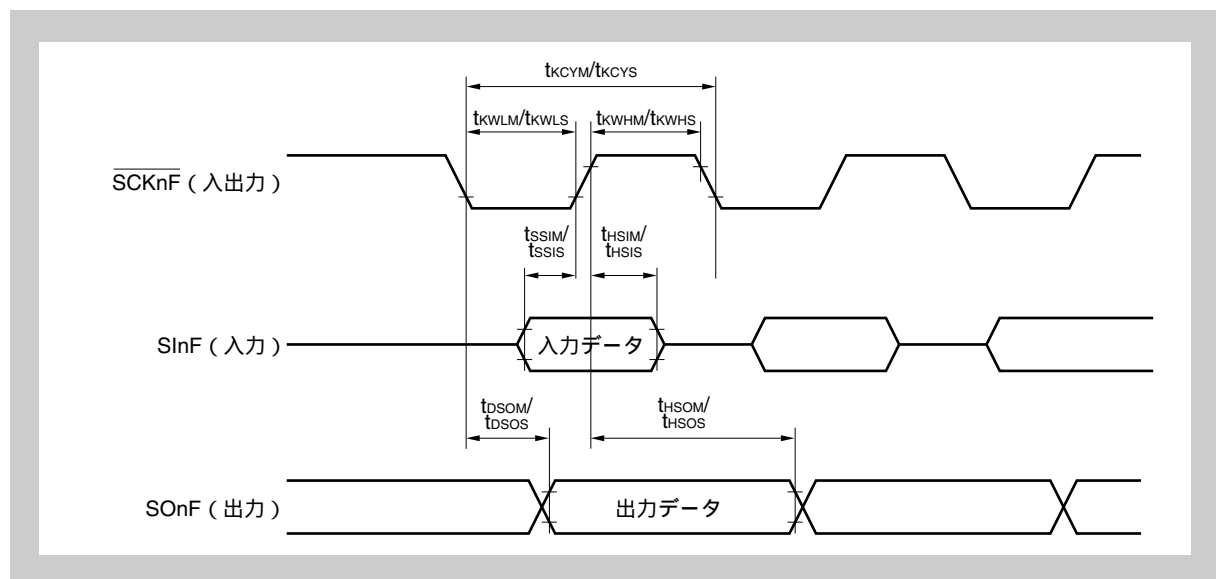


図 37-23 CSH1 タイミング

37.6.10 CSIG

(1) CSIG0-CSIG4 (8.33 Mbps [$f_{XX} = 200 \text{ MHz}$] : マスタ・モード時)

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{KCY}	入力	15		ns
SCKn 周期	t_{KCYM}	出力	120		ns
SCKn ハイ・レベル幅	t_{KWHM}	出力	$(t_{KCYM}/2) - 8.0$		ns
SCKn ロウ・レベル幅	t_{KWLM}	出力	$(t_{KCYM}/2) - 8.0$		ns
SIn 設定時間 (対 SCKn ↑)	t_{SSIM}	入力	26.0		ns
SIn 設定時間 (対 SCKn ↓)			26.0		ns
SIn 保持時間 (対 SCKn ↑)	t_{HSIM}	入力	26.0		ns
SIn 保持時間 (対 SCKn ↓)			26.0		ns
SOn 出力遅延時間 (対 SCKn ↑)	t_{DSOM}	出力		26	ns
SOn 出力遅延時間 (対 SCKn ↓)				26	ns
SOn 出力保持時間 (対 SCKn ↑)	t_{HSOM}	出力	$(t_{KCYM}/2) - 10.0$		ns
SOn 出力保持時間 (対 SCKn ↓)			$(t_{KCYM}/2) - 10.0$		ns
CSIn_RYI 設定時間 (対 SCKn ↑) : CSIGnCTL1.CSIGnSIT = x	t_{SRDYI}	入力	$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSIn_RYI 設定時間 (対 SCKn ↓) : CSIGnCTL1.CSIGnSIT = x			$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSIn_RYI ハイ・レベル幅	t_{WRYI}	入力	$t_{KCY} + 10$		ns

備考 n = 0-4

CSSETUP : CHBACFG0-7.CHBA0SP[3:0] の設定値

CSHOLD : CHBACFG0-7.CHBA0HD[3:0] の設定値

(2) CSIG0-CSIG4 (8.33 Mbps 【 $f_{XX} = 200 \text{ MHz}$ 】: スレーブ・モード時)

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{KCY}	入力	15		ns
SCKn 周期	t_{KCYS}	入力	120		ns
SCKn ハイ・レベル幅	t_{KWHS}	入力	$(t_{KCYS}/2) - 8.0$		ns
SCKn ロウ・レベル幅	t_{KWLS}	入力	$(t_{KCYS}/2) - 8.0$		ns
SIn 設定時間 (対 SCKn ↑)	t_{SSIS}	入力	26.0		ns
SIn 設定時間 (対 SCKn ↓)			26.0		ns
SIn 保持時間 (対 SCKn ↑)	t_{HSIS}	入力	$(t_{KCYS}/2) - 8.0$		ns
SIn 保持時間 (対 SCKn ↓)			$(t_{KCYS}/2) - 8.0$		ns
SOn 出力遅延時間 (対 SCKn ↑)	t_{DSOS}	出力		26.0	ns
SOn 出力遅延時間 (対 SCKn ↓)				26.0	ns
SOn 出力保持時間 (対 SCKn ↑)	t_{HSOS}	出力	$(t_{KCYS}/2) - 10.0$		ns
SOn 出力保持時間 (対 SCKn ↓)			$(t_{KCYS}/2) - 10.0$		ns
CSIn_RYO 出力遅延時間 (対 SCKn ↑)	t_{SRDYIO}	出力		26.0	ns
CSIn_RYO 出力遅延時間 (対 SCKn ↓)				26.0	ns
CSIn_RYO 出力保持時間 (対 SCKn ↑)	t_{HRDYIO}	出力	$(t_{KCYS}/2) - 10.0$		ns
CSIn_RYO 出力保持時間 (対 SCKn ↓)			$(t_{KCYS}/2) - 10.0$		ns
CSIn_SSI 設定時間 (対 SCKn ↑)	t_{SSIS}	入力	26.0		ns
CSIn_SSI 設定時間 (対 SCKn ↓)			26.0		ns
CSIn_SSI 保持時間 (対 SCKn ↑)	t_{HSSIS}	入力	26.0		ns
CSIn_SSI 保持時間 (対 SCKn ↓)			26.0		ns

備考 n = 0-4

(3) CSIG5 (8.33 Mbps [$f_{XX} = 200 \text{ MHz}$]: マスタ・モード時)

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{KCY}	入力	15		ns
SCK5 周期	t_{KCYM}	出力	120		ns
SCK5 ハイ・レベル幅	t_{KWHM}	出力	$(t_{KCYM}/2) - 13.0$		ns
SCK5 ロウ・レベル幅	t_{KWLM}	出力	$(t_{KCYM}/2) - 13.0$		ns
SI5 設定時間 (対 SCK5 ↑)	t_{SSIM}	入力	26.0		ns
SI5 設定時間 (対 SCK5 ↓)			26.0		ns
SI5 保持時間 (対 SCK5 ↑)	t_{HSIM}	入力	26.0		ns
SI5 保持時間 (対 SCK5 ↓)			26.0		ns
SO5 出力遅延時間 (対 SCK5 ↑)	t_{DSOM}	出力		26	ns
SO5 出力遅延時間 (対 SCK5 ↓)				26	ns
SO5 出力保持時間 (対 SCK5 ↑)	t_{HSOM}	出力	$(t_{KCYM}/2) - 10.0$		ns
SO5 出力保持時間 (対 SCK5 ↓)			$(t_{KCYM}/2) - 10.0$		ns
CSI5_RYI 設定時間 (対 SCK5 ↑) : CSIG0CTL1.CSIG0SIT = x	t_{SRDYI}	入力	$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSI5_RYI 設定時間 (対 SCK5 ↓) : CSIG0CTL1.CSIG0SIT = x			$((t_{KCYM}/2) / t_{KCY} - 2) \times t_{KCY}$	(Min. 値) + $(t_{KCYM}/2) - 26$	ns
CSI5_RYI ハイ・レベル幅	t_{WRYI}	入力	$t_{KCY} + 10$		ns

(4) CSIG5 (8.33 Mbps [$f_{XX} = 200 \text{ MHz}$] : スレーブ・モード時)

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
クロック・ソース	t_{kCY}	入力	15		ns
SCK5 周期	t_{kCYS}	入力	120		ns
SCK5 ハイ・レベル幅	t_{kWHs}	入力	$(t_{kCYS}/2) - 8.0$		ns
SCK5 ロウ・レベル幅	t_{kWLs}	入力	$(t_{kCYS}/2) - 8.0$		ns
SI5 設定時間 (対 SCK5 ↑)	t_{SSIS}	入力	26.0		ns
SI5 設定時間 (対 SCK5 ↓)			26.0		ns
SI5 保持時間 (対 SCK5 ↑)	t_{HSIS}	入力	$(t_{kCYS}/2) - 8.0$		ns
SI5 保持時間 (対 SCK5 ↓)			$(t_{kCYS}/2) - 8.0$		ns
SO5 出力遅延時間 (対 SCK5 ↑)	t_{DSOS}	出力		26.0	ns
SO5 出力遅延時間 (対 SCK5 ↓)				26.0	ns
SO5 出力保持時間 (対 SCK5 ↑)	t_{HSOS}	出力	$(t_{kCYS}/2) - 10.0$		ns
SO5 出力保持時間 (対 SCK5 ↓)			$(t_{kCYS}/2) - 10.0$		ns
CSI5_RYO 出力遅延時間 (対 SCK5 ↑)	t_{SRDYIO}	出力		26.0	ns
CSI5_RYO 出力遅延時間 (対 SCK5 ↓)				26.0	ns
CSI5_RYO 出力保持時間 (対 SCK5 ↑)	t_{HRDYIO}	出力	$(t_{kCYS}/2) - 10.0$		ns
CSI5_RYO 出力保持時間 (対 SCK5 ↓)			$(t_{kCYS}/2) - 10.0$		ns
CSI5_SSI 設定時間 (対 SCK5 ↑)	t_{SSSI}	入力	26.0		ns
CSI5_SSI 設定時間 (対 SCK5 ↓)			26.0		ns
CSI5_SSI 保持時間 (対 SCK5 ↑)	t_{HSSI}	入力	26.0		ns
CSI5_SSI 保持時間 (対 SCK5 ↓)			26.0		ns

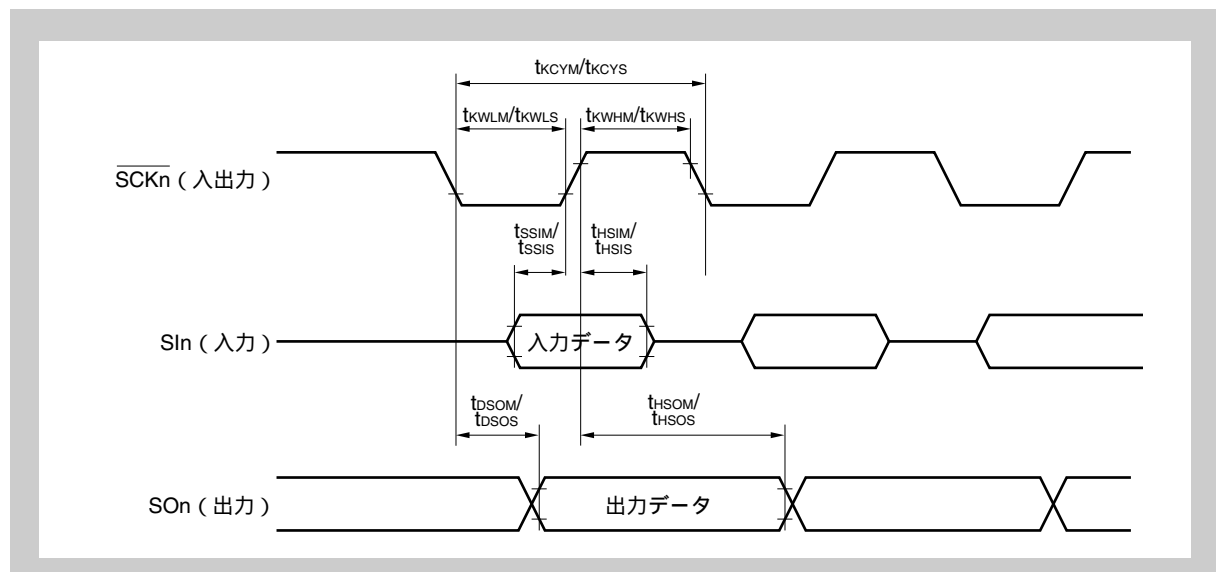
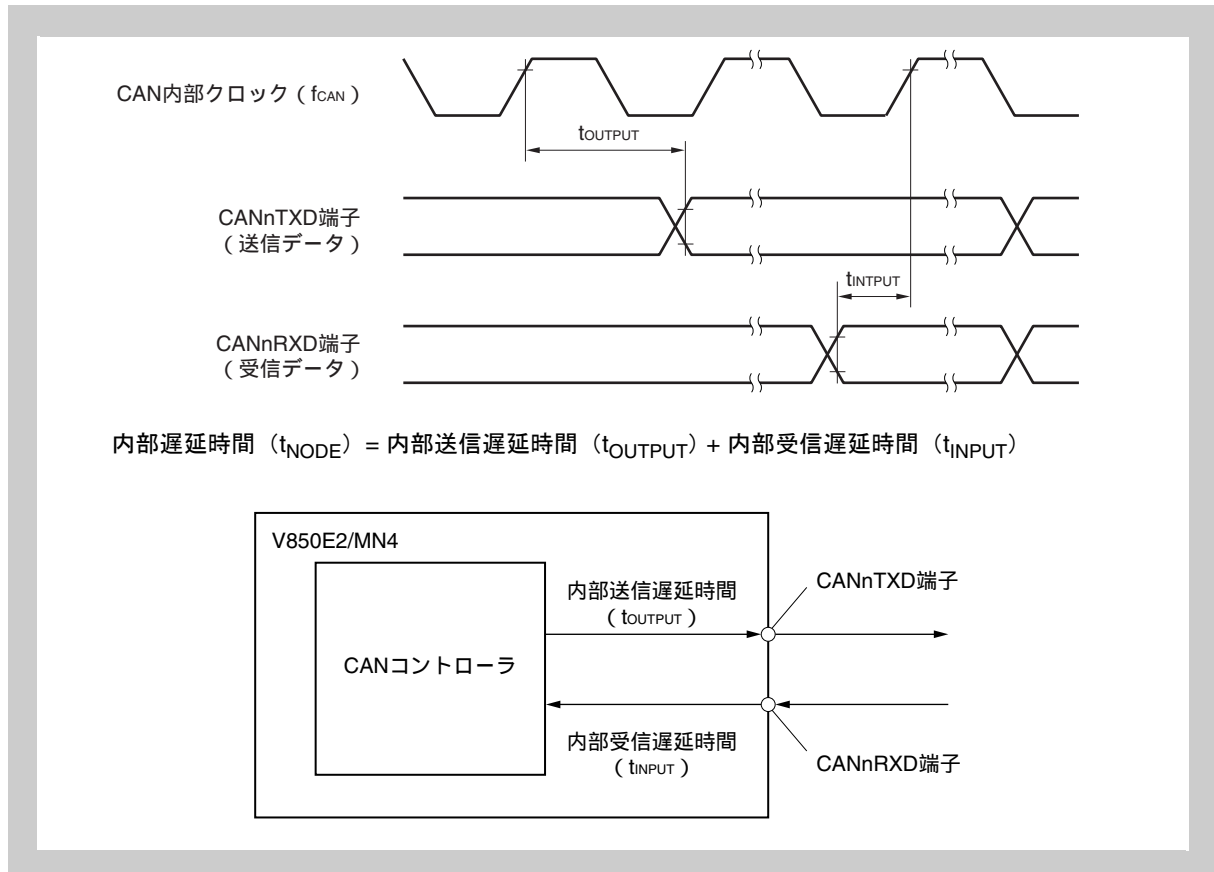


図 37-24 CSIG タイミング

37.6.11 CAN

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
内部遅延時間	t_{NODE}			75	ns



37.6.12 I²C

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL クロック周波数	f_{CLK}		0	100	0	400	kHz
ストップ・コンディションとスタート・コンディションの間のバス・フリー・タイム	t_{BUF}		4.7		1.3		μs
ホールド・タイム ^a	$t_{\text{HD:STA}}$		4.0		0.6		μs
SCL クロックのロウ・レベル幅	t_{LOW}		4.7		1.3		μs
SCL クロックのハイ・レベル幅	t_{HIGH}		4.0		0.6		μs
スタート・コンディションおよびリスタート・コンディションのセットアップ時間	$t_{\text{SU:STA}}$		4.7		0.6		μs
データ・ホールド・タイム	CBUS 互換マスタの場合	$t_{\text{HD:DAT}}$	5.0				μs
	IIC バスの場合		0		0	0.9	μs
データ・セットアップ時間	$t_{\text{SU:DAT}}$		250		100		ns
SDA および SCL 信号の立ち上がり時間	t_{R}			1000	$20+0.1C_b$	300	ns
SDA および SCL 信号の立ち下がり時間	t_{F}			300	$20+0.1C_b$	300	ns
ストップ・コンディションのセットアップ時間	$t_{\text{SU:STO}}$		4.0		0.6		μs
入力フィルタによって抑制されるスパイクのパルス幅	t_{SP}				0	50	ns
各バス・ラインの容量性負荷	C_b			400		400	pF

a) スタート・コンディション／リスタート・コンディション時この期間の後、最初のクロック・パルスが生成される（マスタ時）

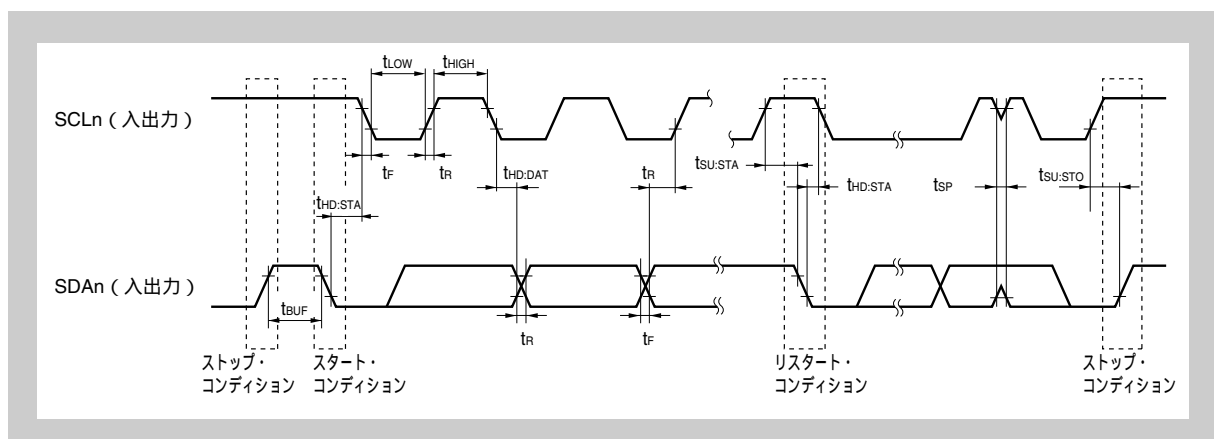


図 37-25 I²C タイミング

37.6.13 イーサネット・コントローラ

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$, 出力端子の負荷容量: $CL = 30 \text{ pF}$)

(1) 送信インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETH_TXD[3:0] 遅延時間 (対 ETH_TXCLK ↑)	t _{DTKTD}		0		25	ns
ETH_TXEN,ETH_TXER 遅延時間 (対 TXCLK ↑)	t _{DTKTE}		0		25	ns
ETH_TXCLK クロック周期	t _{CYTK}		40			ns
ETH_TXCLK ハイ・レベル幅	t _{TKH}		0.4t _{CYTK}		0.6t _{CYTK}	ns
ETH_TXCLK ロウ・レベル幅	t _{TKL}		0.4t _{CYTK}		0.6t _{CYTK}	ns
ETH_CRS 保持時間 (対 TXCLK ↑)	t _{HCRS}		5			ns
ETH_CRS 設定時間 (対 TXCLK ↑)	t _{SCRS}		5			ns
ETH_COL 保持時間 (対 TXCLK ↑)	t _{HCOL}		5			ns
ETH_COL 設定時間 (対 TXCLK ↑)	t _{SCOL}		5			ns

(2) 受信インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETH_RXD[3:0] 保持時間 (対 ETH_RXCLK ↑)	t _{HRKRD}		5			ns
ETH_RXD[3:0] 設定時間 (対 ETH_RXCLK ↑)	t _{SRDRK}		5			ns
ETH_RXDV,ETH_RXER 保持時間 (対 ETH_RXCLK ↑)	t _{HRKRV}		5			ns
ETH_RXDV,ETH_RXER 設定時間 (対 ETH_RXCLK ↑)	t _{SRVRK}		5			ns
ETH_RXCLK クロック周期	t _{CYKR}		40			ns
ETH_RXCLK ハイ・レベル幅	t _{RKH}		0.4t _{CYTK}		0.6t _{CYTK}	ns
ETH_RXCLK ロウ・レベル幅	t _{RKL}		0.4t _{CYTK}		0.6t _{CYTK}	ns

(3) マネジメント・インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETH_MDC クロック周期	t _{CYMDC}		400			ns
ETH_MDIO 遅延時間 (対 ETH_MDC ↑)	t _{DMCMD}		0		300	ns
MDI 設定時間 (対 ETH_MDC ↑)	t _{SMDMC}		50			ns
MDI 保持時間 (対 ETH_MDC ↑)	t _{HMCMD}		50			ns

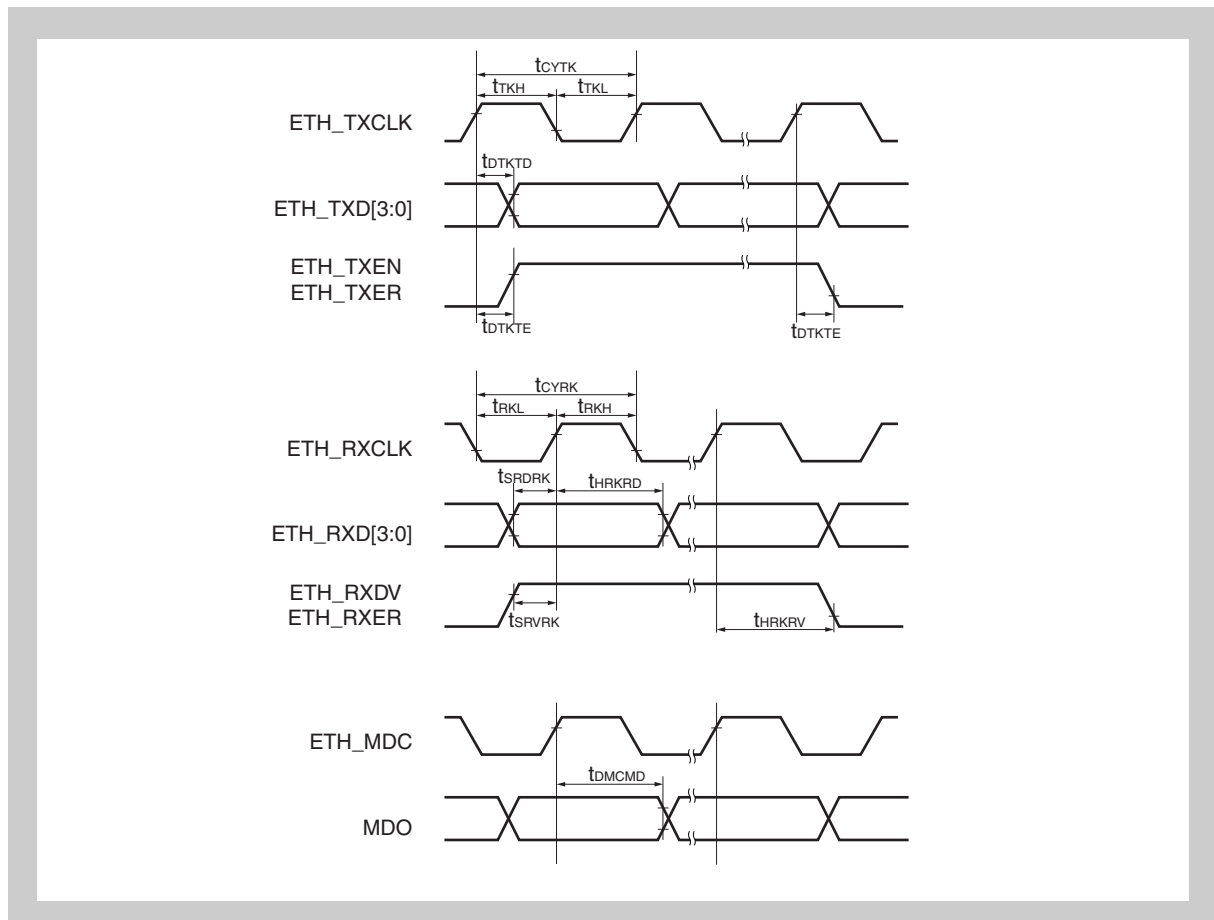


図 37-26 イーサネット・コントローラ・タイミング

37.6.14 A/D コンバータ (3.3 V, 10 ビット)

(1) 通常動作 [ANI00-ANI11]

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = AV_{REFP} = 3.0 \sim 3.6\text{V}$, $V_{SS} = AV_{SS} = AV_{REFM} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能				10		bit
総合誤差 ^a	TOE				±4	LSB
量子化誤差	—				1/2	LSB
変換時間 ^b	t_{CONV}	ADCLK : 12.00 MHz (PCLK = 48 MHz) アンプ電源 : オフ	1.5		5	μs
		ADCLK : 12.00 MHz (PCLK = 48 MHz) アンプ電源 : オン	1.833		5	μs
サンプリング時間	t_{SAMP}		6.5			AD クロック
積分非直線性誤差	INL				±3	LSB
微分非直線性誤差	DNL				±2.5	LSB
ゼロスケール誤差 ^a	ZSE				±3	LSB
フルスケール誤差 ^a	FSE				±3	LSB
AV_{DD} 電源電流	AI_{DD}	アンプ電源 : オフ		9.1	20	mA
		アンプ電源 : オン		9.9	20	mA
アナログ入力電圧	V_{AIN}	ANI00-ANI11	AV_{REFM}		AV_{REFP}	V
基準電源電流	AI_{REFPn}			500		μA
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIH1}	DNF 使用時	(設定除去クロック数 -1) / (PCLK) + 10			ns
	t_{WAIH2}	ANF 使用時	500			ns
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIL1}	DNF 使用時	(設定除去クロック数 -1) / (PCLK) + 10			ns
	t_{WAIL2}	ANF 使用時	500			ns

a) 量子化誤差 (±0.5LSB) は含みません。

b) アナログ部の変換時間です。ADCANCTL1.ADCANFR[3:0] ビットで設定する変換時間は、A/D コントローラ部への転送時間を加えた値です。

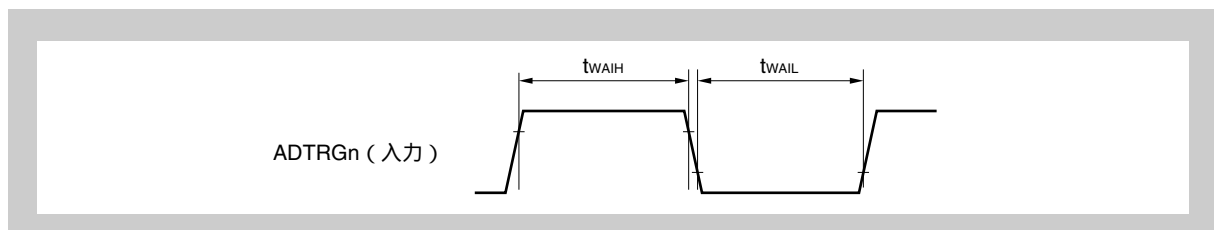


図 37-27 A/D コンバータ・タイミング (3.3 V, 10 ビット)

(2) チャネル S/H 回路使用時 [ANI00-ANI05]

(($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $V_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $E_{V_{DD}} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = AV_{REFP} = 3.0 \sim 3.6\text{V}$, $V_{SS} = AV_{SS} = AV_{REFM} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能				10		bit
総合誤差 ^a	TOE	$V_{AIN} = 0.2\text{V} \sim AV_{REFP}$ $- 0.2\text{V}$			± 7.5	LSB
量子化誤差	—				1/2	LSB
変換時間 ^b	t_{CONV}	ADCLK : 12.00 MHz (PCLK = 48 MHz) アンプ電源 : オン	1.833		5	μs
サンプル・ホールド機能保持特性	t_{SAMPH}				10	μs
サンプリング時間	t_{SAMP}		6.5			AD クロック
積分非直線性誤差	INL	$V_{AIN} = 0.2\text{V} \sim AV_{REFP}$ $- 0.2\text{V}$			± 6	LSB
微分非直線性誤差	DNL	$V_{AIN} = 0.2\text{V} \sim AV_{REFP}$ $- 0.2\text{V}$			± 4	LSB
AV_{DD} 電源電流	AI_{DD}	アンプ電源 : オン		9.9	20	mA
アナログ入力電圧	V_{AIN}	ANI00-ANI11	AV_{REFM}		AV_{REFP}	V
基準電源電流	AI_{REFPn}			650		μA
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIH1}	DNF 使用時	(設定除去クロック数 -1) / (PCLK) + 10			ns
	t_{WAIH2}	ANF 使用時	500			ns
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIL1}	DNF 使用時	(設定除去クロック数 -1) / (PCLK) + 10			ns
	t_{WAIL2}	ANF 使用時	500			ns

a) 量子化誤差 ($\pm 0.5\text{LSB}$) は含みません。

b) アナログ部の変換時間です。ADCAnCTL1.ADCAnFR[3:0] ビットで設定する変換時間は、A/D コントローラ部への転送時間を加えた値です。

注意 チャネル S/H 回路使用時は、必ずアンプ電流オンで使用してください。

37.6.15 A/D コンバータ (5.0 V, 12 ビット)

(1) 通常動作 [ANI00-ANI11]

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AV_{DD} = AV_{REFP} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = AV_{REFM} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能				12		bit
総合誤差 ^a	TOE				± 6.5	LSB
量子化誤差	—				1/2	LSB
変換時間 ^b	t_{CONV}	ADCLK : 13.33 MHz アンプ電源 : オフ	1.5		5	μs
		ADCLK : 13.33 MHz アンプ電源 : オン	1.8		5	μs
サンプリング時間	t_{SAMP}		6.5			ADクロック
積分非直線性誤差	INL				± 5	LSB
微分非直線性誤差	DNL				± 3	LSB
ゼロスケール誤差 ^a	ZSE				± 5.5	LSB
フルスケール誤差 ^a	FSE				± 5.5	LSB
AV _{DD} 電源電流	AI _{DD}	アンプ電源 : オフ		14.3	30	mA
		アンプ電源 : オン		14.8	30	mA
アナログ入力電圧	V _{IAN}	ANI00-ANI11	AV _{REFM}		AV _{REFP}	V
基準電源電流	AI _{REFPn}			650		μA
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIH1}	DNF 使用時	(設定除去クロック数 -1) / (PCLK) + 10			ns
	t_{WAIH2}	ANF 使用時	500			ns
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIL1}	DNF 使用時	(設定除去クロック数 -1) / (PCLK) + 10			ns
	t_{WAIL2}	ANF 使用時	500			ns

a) 量子化誤差 ($\pm 0.5\text{LSB}$) は含みません。

b) アナログ部のみの変換時間です。ADCANCTL1.ADCANFR[3:0] ビットで設定する変換時間は、A/D コントローラ部への転送時間を加えた値です。

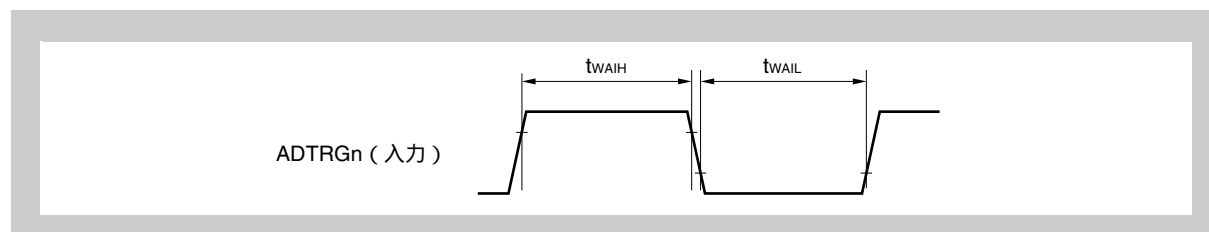


図 37-28 A/D コンバータ・タイミング (5.0 V, 12 ビット)

(2) チャネル S/H 回路使用時 [ANI00-ANI05]

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = AV_{REFP} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = AV_{REFM} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能				12		bit
総合誤差 ^a	TOE	$V_{AIN} = 0.2\text{V} \sim AV_{REFP}$ $- 0.2\text{V}$			± 7.5	LSB
量子化誤差	—				1/2	LSB
変換時間 ^b	t_{CONV}	ADCLK : 13.33 MHz アンプ電源 : オフ	1.8		5	μs
サンプル・ホールド機能保持特性	t_{SAMPH}				10	μs
サンプリング時間	t_{SAMP}		6.5			AD クロック
積分非直線性誤差	INL	$V_{AIN} = 0.2\text{V} \sim AV_{REFP}$ $- 0.2\text{V}$			± 6	LSB
微分非直線性誤差	DNL	$V_{AIN} = 0.2\text{V} \sim AV_{REFP}$ $- 0.2\text{V}$			± 4	LSB
AV_{DD} 電源電流	I_{DD}	アンプ電源 : オン		14.8	30	mA
アナログ入力電圧	V_{AIN}	ANI00-ANI11	AV_{REFM}		AV_{REFP}	V
基準電源電流	I_{REFPn}			650		μA
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIH1}	DNF 使用時		(設定除去クロック数 -1) / (PCLK) + 10		ns
	t_{WAIH2}	ANF 使用時	500			ns
ADTRGn ハイ・レベル幅 (n = 0, 1)	t_{WAIL1}	DNF 使用時		(設定除去クロック数 -1) / (PCLK) + 10		ns
	t_{WAIL2}	ANF 使用時	500			ns

a) 量子化誤差 ($\pm 0.5\text{LSB}$) は含みません。

b) アナログ部のみの変換時間です。ADCANCTL1.ADCANFR[3:0] ビットで設定する変換時間は、A/D コントローラ部への転送時間を加えた値です。

注意 チャネル S/H 回路使用時は、必ずアンプ電流オンで使用してください。

37.7 電源投入／遮断シーケンス

電源の投入および遮断シーケンスには推奨手順があります。

($T_i = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP	MAX	単位
内部用電源立ち上がり→外部用電源立ち上がり遅延時間	t_{DVIE}		0			s
外部用電源立ち上がり→ADC用電源立ち上がり遅延時間	t_{DVEA}		0			s
ADC電源立ち上がり→RESET ↑遅延時間	t_{DVAR}		$t_{OSC} + 500$			ns
RESET ↓→ADC電源立ち下がり遅延時間	t_{DVRA}		500			ns
ADC用電源立ち下がり→外部用電源立ち下がり遅延時間	t_{DVAE}		0			ns
外部用電源立ち下がり→内部用電源立ち下がり遅延時間	t_{DVEI}		0			ns

備考 t_{OSC} : メイン・クロックの発振安定時間 (使用する発振子により異なります)

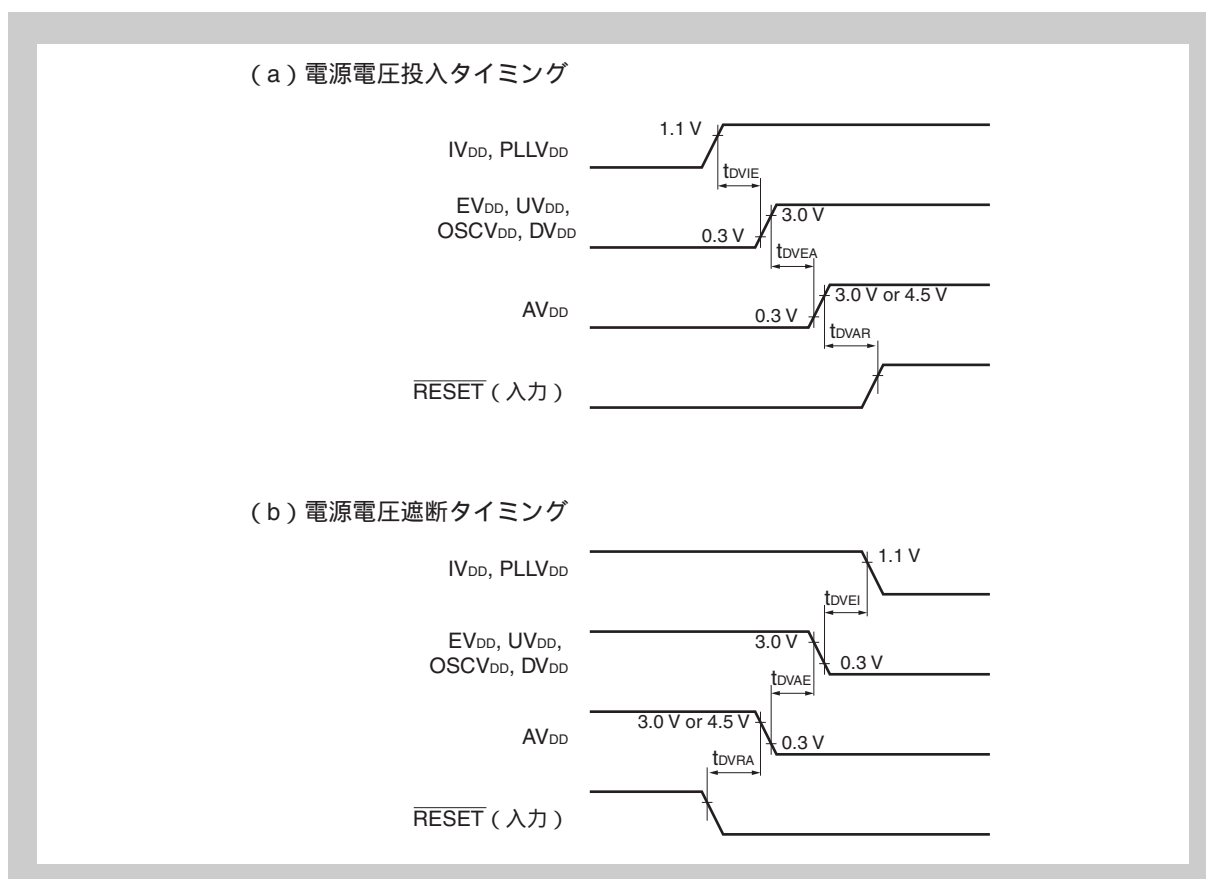


図 37-29 電源投入／遮断シーケンス・タイミング

注意 V850E2/MN4 は、内部ユニット用電源端子（ IV_{DD} ）と外部端子用電源端子（ EV_{DD} ）の2電源端子構成になっています。動作保証範囲以外では、端子の入出力状態が不定になる場合があります。

37.8 フラッシュ・メモリ・プログラミング・モード

(1) 基本特性

($T_t = -40 \sim 100 \text{ }^\circ\text{C}$, $IV_{DD} = PLLV_{DD} = 1.1 \sim 1.3\text{V}$, $EV_{DD} = UV_{DD} = OSCV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$,
 $AV_{DD} = 3.0 \sim 3.6\text{V}$ または $AV_{DD} = 4.5 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = OSCV_{SS} = PLLV_{SS} = DV_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP	MAX	単位
書き換え回数	C _{ERWR}	消去 1 回 + 消去後の書き込み 1 回 = 書き換え回数 1 回とする。 ^a	100	100	100	回 / ブロック

^{a)} 出荷品に対する初回書き込み時、「消去→書き込み」の場合も「書き込みのみ」の場合も書き換え 1 回となります。

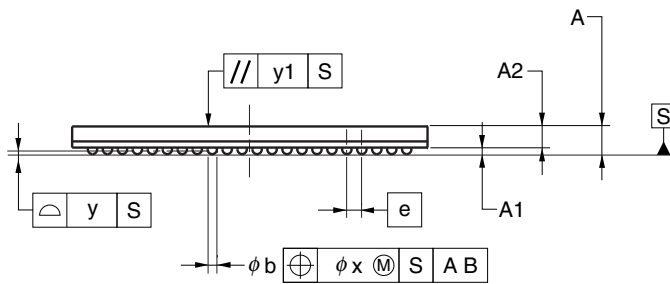
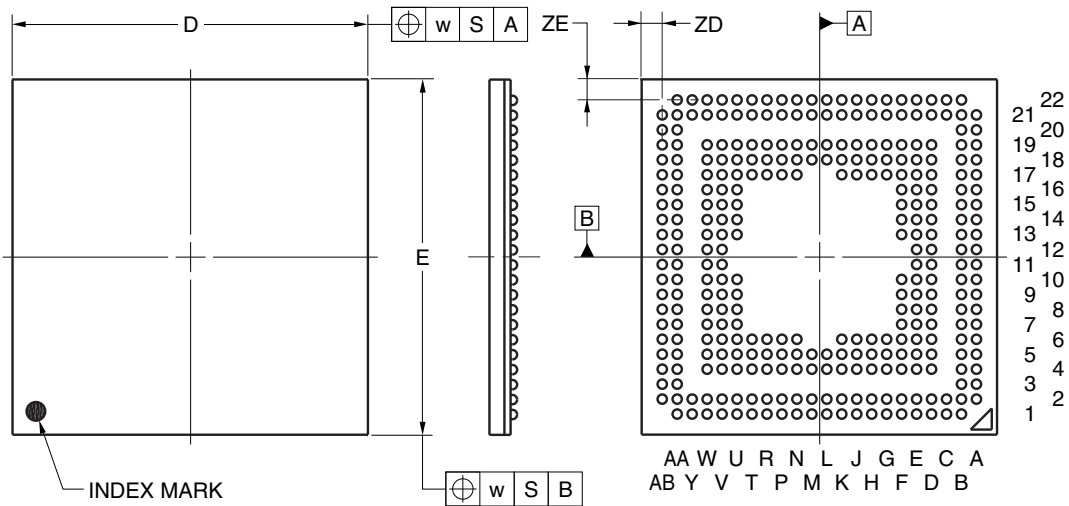
例 P : 書き込み、E : 消去

出荷品 → E → P → E → P → E → P : 書き換え回数 3 回

出荷品 → E → P → E → P → E → P : 書き換え回数 3 回

第 38 章 標準外形図

304-PIN PLASTIC FBGA (19x19)



(UNIT:mm)

ITEM	DIMENSIONS
D	19.00±0.10
E	19.00±0.10
w	0.20
e	0.80
A	1.46±0.10
A1	0.35±0.06
A2	1.11
b	0.50 ^{+0.05} _{-0.10}
x	0.08
y	0.10
y1	0.20
ZD	1.10
ZE	1.10

P304F1-80-HN6

第39章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。
 半田付け推奨条件の技術的内容については下記を参照してください。
 「半導体デバイス実装マニュアル」
 (<http://japan.renesas.com/products/package/manual/index.jsp>)

表 39-1 表面実装タイプの半田付け条件

- (1) μ PD70F3510F1-HN6-A
 μ PD70F3512F1-HN6-A
 μ PD70F3514F1-HN6-A
 μ PD70F3515F1-HN6-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：250℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 ^a （以降は125℃プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベークンクができません。	IR50-207-3

^{a)} ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください。

- 備考**
- V850E2/MN4は，鉛フリー製品です。
 - 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

改版履歴

(1/9)

Rev.	発効日	改定内容	
		ページ	ポイント
0.01	2010.05.26	—	初版発行
0.02	2010.06.30	p.111	4.4.4(a) 内蔵フラッシュ・メモリ (1Mバイト) 修正
		p.111	4.4.4(b) 内蔵フラッシュ・メモリ (2Mバイト) 修正
		p.114	表 4-1 CS 空間 (Eバス) 修正
		p.116	表 4-2 CS 空間 (Hバス) 修正
		p.116	図 4-15 外部メモリ領域 (Hバス) 修正
		p.210	8.3.2(7) PFCn- ポート機能コントロール・レジスタ 修正
		p.217	8.3.4(3) PDSCn- ポート・ドライブ強度コントロール・レジスタ 修正
		p.218	8.3.4(4) PUCcN- ポート・ユニバーサル・コントロール・レジスタ 修正
		p.219	8.3.4(5) PODCn- ポート・オープン・ドレイン・コントロール・レジスタ 修正
		p.223	8.3.4(9) PSBCn- ポート特殊バッファ・コントロール・レジスタ 修正
		p.233,234	表 8-34 V850E2/MN4 ポート制御レジスタ (グループ0~3) 修正
		p.235	表 8-35 V850E2/MN4 ポート制御レジスタ (グループ4~7) 修正
		p.237,238	表 8-36 V850E2/MN4 ポート制御レジスタ (グループ8~11) 修正
		p.239	表 8-37 V850E2/MN4 ポート制御レジスタ (グループ12~14) 修正
		p.457	10.11.14 DTS 転送要求の有効条件 修正
		p.457	表 10-55 DTS 転送要求の有効条件一覧 修正
		p.459	図 10-29 DTSFLS と DTS の接続 修正
		p.1712	25.1 特徴 修正
		p.1713	25.3.1 ETA 設定レジスタ (ETACFG) 注意 変更
		p.1718	25.4.1 動作対象 追加
		p.1747	表 26-12 アドレス対応表 修正
		p.2095	表 30-3 イーサネット・コントローラの割り込み要求 修正
		p.2233	図 30-10 送信ステータス更新タイミング 修正
		p.2240	30.5.4(3)(c) VLAN フレームの送信 修正
		p.2246	図 30-17 PHY レジスタへのアクセス・フロー 修正
		p.2315-2363	第 35 章 電気的特性 (ターゲット) 追加
0.03	2011.01.31	全般	端子名変更
		p.121	4.6.3 (d) Hバス・ウエイト挿入制限レジスタ (ETAWRL) 追加
		p.172	4.12.3(a) システム・エラー・コントロール・レジスタ (SEG_CONT) 変更
		p.173	4.12.3(b) システム・エラー・コントロール・レジスタ (SEG_FLAG) 変更
		p.195	8.1 特徴 注意 3 追加
		p.227-p.233	表 8-34, 表 8-35 ポート端子一覧 変更

Rev.	発効日	改定内容	
		ページ	ポイント
0.03	2011.01.31	p.234-p.241	8.4.3 V850E2/MN4 ポート制御レジスタ 変更
		p.242-p.289	8.4.4 V850E2/MN4 ポート制御レジスタ設定一覧 変更
		p.311-p.322	表 9-5 EI レベル・マスカブル割り込み要因一覧
		p.323	9.3.1 EICn (n=0-255) : EI レベル割り込み制御レジスタ 変更
		p.348,349	表 10-2, 表 10-3 DMA 起動要因 変更
		p.368	10.5.1 DTRCx (x = 0, 1) : DMA 転送要求コントロール・レジスタ 変更
		p.387	10.5.19 DTSn (n = 0-15) : DMA 転送ステータス・レジスタ 変更
		p.460-p.463	表 10-57 DTS 転送要因 変更
		p.469-p.470	表 11-1 プライマリ・メモリ・コントローラの入出力信号 変更
		p.480	11.2.6 外部ウエイト・エラー設定レジスタ (EWC) 注意 追加
		p.482	11.2.8 SDRAM コンフィグレーション・レジスタ (SDCR) 変更
		p.846	12.27.2 (2) TAUAnBRS - TAUAn プリスケラ・ポー・レート設定レジスタ 変更
		p.855	12.27.2 (4) TAUAnCMURm - TAUAn チャネル・モード・ユーザ・レジスタ 変更
		p.856	12.27.2 (5) TAUAnCSRm - TAUAn チャネル・ステータス・レジスタ 変更
		p.857	12.27.2 (6) TAUAnCSCm - TAUAn チャネル・ステータス・クリア・レジスタ 変更
		p.1059-p.1088	第 15 章 タイマ・オプション機能 (TAPA) 追加
		p.1089-p.1110	第 16 章 Peripheral Interconnection (PIC) 追加
		p.1113	17.1 (1) WDTANMI モニタ・レジスタ (WNMISTAT) 追加
		p.1195	表 19-18 ポー・レート・ジェネレータ設定例 変更
		p.1244	表 20-24 ポー・レート・ジェネレータ設定例 変更
		p.1274	表 21-7 CSIGn のレジスタ概要 変更
		p.1275	21.4 (1) CSIGnCTL0 - CSIG 制御レジスタ 0 変更
		p.1283	21.4 (6) CSIGnBCTL0 - CSIG 受信モード制御レジスタ 0 変更
		p.1286	21.4 (8) CSIGnTX0W - ワード・アクセス用送信データ・レジスタ 0 変更
		p.1287	21.4 (9) CSIGnTX0H - ハーフ・ワード・アクセス用送信データ・レジスタ 0 変更
		p.1288	21.4 (10) CSIGnRX0 - CSIG 受信データ・レジスタ 0 変更
		p.1347	表 22-15 CSIHn のレジスタ概要 変更
		p.1362	22.4.1 (7) CSIHnMCTL1 - CSIH 制メモリ御レジスタ 1 変更
		p.1363	22.4.1 (8) CSIHnMCTL2 - CSIH 制メモリ御レジスタ 2 変更
		p.1365	22.4.1 (9) CSIHnMRWP0 - CSIH メモリ・リード/ライト・ポインタ・レジスタ 0 変更

Rev.	発効日	改定内容	
		ページ	ポイント
0.03	2011.01.31	p.1372	22.4.1 (11) CSIHnTX0W – CSIH ワード・アクセス用送信データ・レジスタ0 変更
		p.1374	22.4.1 (12) CSIHnTX0H – CSIH ハーフ・ワード・アクセス用送信データ・レジスタ0 変更
		p.1375	22.4.1 (13) CSIHnRX0W – CSIH ワード・アクセス用受信データ・レジスタ0 変更
		p.1376	22.4.1 (14) CSIHnRX0H – CSIH ハーフワード・アクセス用受信データ・レジスタ0 変更
		p.1680	25.1 V850E2/MN4 の特徴 変更
		p.1699	表 25-4 分解能 12 ビット時の PCLK 設定と設定可能な分周と変換時間 (AV _{DD} =4.5V) 追加
		p.1743	25.4.5 (4) ADCAnDBiCRL - CGi 変換 DMA バッファ・レジスタ 追加
		p.1767	27.3.1 ETA 設定レジスタ (ETACFG) 変更
		p.1768	27.3.1 ETA コマンド・レジスタ (ETACMD) 変更
		p.1841	29.3.5 (3) SDSTAT_EN : DMA ステータス EN レジスタ 変更
		p.1842	29.3.5 (4) SDSTAT_ER : DMA ステータス ER レジスタ 変更
		p.1843	29.3.5 (5) SDSTAT_END : DMA ステータス END レジスタ 変更
		p.1844	29.3.5 (6) SDSTAT_TC : DMA ステータス TC レジスタ 変更
		p.1845	29.3.5 (7) SDSTAT_SUS : DMA ステータス SUS レジスタ 変更
		p.1908- p.1922	30.7.1 USB ファンクション・コントローラ・レジスタ一覧 変更
		p.2002	30.7.4 (1) デバイス・ステータス・レジスタ (USFA0DST) 変更
		p.2003	30.7.4 (2) EP0 ステータス・レジスタ (USFA0E0S) 変更
		p.2004	30.7.4 (3) EP1 ステータス・レジスタ (USFA0E1S) 変更
		p.2005	30.7.4 (4) EP2 ステータス・レジスタ (USFA0E2S) 変更
		p.2006	30.7.4 (5) EP3 ステータス・レジスタ (USFA0E3S) 変更
		p.2007	30.7.4 (6) EP4 ステータス・レジスタ (USFA0E4S) 変更
		p.2008	30.7.4 (7) EP7 ステータス・レジスタ (USFA0E7S) 変更
		p.2009	30.7.4 (8) EP8 ステータス・レジスタ (USFA0E8S) 変更
		p.2082	31.6.1 (2) PCI ステータス・レジスタ (USHA0PCISTS) 変更
		p.2089	31.6.1 (7) PCI コンフィグ・アドレス・レジスタ (USHA0CNFIGADDR) 変更
		p.2343	表 34-5 フラッシュ・メモリ制御コマンド 変更
		p.2345	34.5.1 (1) FLMDCNT-FLMD 制御レジスタ 追加
		p.2357	35.3 オンチップ・デバッグ・エミュレータとの接続 追加
		p.2365	37.1 絶対最大定格 変更
		p.2370- p.2390	37.6.2 外部バス・インタフェース 変更
		p.2404	37.6.11 CAN 変更
		p.2406	37.6.13 (2) 受信インタフェース 変更
p.2410	37.6.15 A/D コンバータ (5.0 V, 12 ビット) 追加		
p.2412	37.7 電源投入/遮断シーケンス 変更		

Rev.	発効日	改定内容	
		ページ	ポイント
1.00	2011.09.28	p.29	1.2 特徴 変更
		p.227-230	8.3.6 ポート設定のフロー例 追加
		p.302	8.5.2 (2) (a) デジタル・フィルタ機能 注意 変更
		p.486	11.2.8 SDRAM コンフィグレーション・レジスタ (SDCR) 注意 追加
		p.494	表 11-16 アドレス・バスの SDRAM への接続一覧 追加
		p.585	12.15.1 (2) 算出式 注意 追加
		p.909	13.14.1 (2) 算出式 注意 追加
		p.1224	20.5.1 送信割り込み要求 INTUAJnTIT 変更
		p.1225	図 20-2 送信割り込み要求のタイミング 変更
		p.1225	20.5.2 受信割り込み要求 INTUAJnTIR 変更
		p.1226	図 20-3 受信割り込み要求のタイミング 変更
		p.1262	21.3.3 シリアル・クロックの選択 ボー・レートの上限と下限 変更
		p.1568	24.2.2 構成 注意 追加
		p.1585	24.5.1 (3) FCNnGMABCTL — FCNn グローバル自動ブロック送信制御レジスタ 備考 変更
		p.1592	24.5.2 (2) FCNnCMCLCTL — FCNn モジュール制御レジスタ 注意、備考 変更
		p.1593	24.5.2 (2) FCNnCMCLCTL — FCNn モジュール制御レジスタ 備考 変更
		p.1667	図 24-14 ソフトウェア・リセット機能を利用しない再初期化 変更
		p.1667	図 24-14 ソフトウェア・リセット機能を利用しない再初期化 注意 追加
		p.1680	図 24-25 ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中) 変更
		p.1682	図 24-27 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2) 追加
		p.1682	図 24-27 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2) 注意 追加
		p.1683	図 24-28 送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード) 変更
		p.1814	図 28-3 SRAM リード・サイクル (外部ウエイト挿入) 変更
		p.1816	図 28-5 SRAM ライト・サイクル (ウエイトあり) 変更
		p.2102	31.6.1 PCI ブリッジ・レジスタ 変更
		p.2102	31.6.1 (1) PCI コマンド・レジスタ (USHA0PCICMD) 変更
		p.2112	31.7.1 OHCI ホスト・コントローラの機能 変更
		p.2365	34.5.1 (3) FLMDPS . FLMD 保護エラー・ステータス・レジスタ 変更
		p.2388	37.5.2 電源電流 変更
		p.2402	37.6.2 (8) プライマリ・メモリ・コントローラ, バス・ホールド・タイミング 変更
		p.2407	37.6.2 (11) セカンダリ・メモリ・コントローラ, SDRAM リード・タイミング 変更
		p.2409	37.6.2 (13) セカンダリ・メモリ・コントローラ, SRAM S_DMA アクセス・タイミング 変更

Rev.	発効日	改定内容	
		ページ	ポイント
1.00	2011.09.28	p.2410	37.6.2 (14) セカンダリ・メモリ・コントローラ, バス・ホールド・タイミング 変更
		p.2411	37.6.3 クロック・タイミング 変更
		p.2428	37.6.14 (1) 通常動作 [ANI00-ANI11] 変更
		p.2429	37.6.14 (2) チャネル S/H 回路使用時 [ANI00-ANI05] 変更
		p.2430	37.6.15 (1) 通常動作 [ANI00-ANI11] 変更
		p.2431	37.6.15 (2) チャネル S/H 回路使用時 [ANI00-ANI05] 変更
2.00	2012.05.31	p.74	2.3 端子機能の二重化 注意 追加
		p.200	8.2.3 端子データ入力/出力 注意 修正
		p.213	8.3.3 (1) PBDCn - ポート双方向コントロール・レジスタ 注意 修正
		p.487	表 11-10 SDCR レジスタの内容 修正
		p.498	11.4.4 SDRAM 設定手順 修正
		p.499	図 11-4 レジスタ初期設定 ~ レジスタ・ライト・オペレーション・フロー 修正
		p.525	図 11-18 バイト・アクセス時のデータ・フロー (リトル・エンディアン) 修正
		p.528	図 11-21 ハーフワード・アクセス時のデータ・フロー (リトル・エンディアン) 修正
		p.529	図 11-22 ハーフワード・アクセス時のデータ・フロー (ビッグ・エンディアン) 修正
		p.530	図 11-23 ワード・アクセス時のデータ・フロー (リトル・エンディアン) 修正
		p.534	図 11-27 ワード・アクセス時のデータ・フロー (ビッグ・エンディアン) 修正
		p.1121	図 17-1 WDTA のブロック図 修正
		p.1225	20.5.1 送信割り込み要求 INTUAJnTIT 注意 追加
		p.1225	20.5.2 受信割り込み要求 INTUAJnTIR 注意 修正
		p.1305	表 22-5 CSIHn の最大転送速度 (ポー・レート) 修正
		p.1333	表 22-10 ジョブ・モードでの CSIHnTIC の発生 修正
		p.1354	表 22-17 CSIHnCTL0 レジスタの内容 注意 修正
		p.1563	24.1 V850E2/MN4 の FCN 機能 注意 追加
		p.1565	24.2 特徴 修正
		p.1566	表 24-7 機能の概要 修正
		p.1699	25.1 V850E2/MN4 の特徴 修正
		p.1733	25.3.14 (1) チャネル S/H 機能 注意 追加
		p.1797	28.1.1 (2) SDRAM 接続機能 修正
		p.1907	第 30 章 USB ファンクション・コントローラ (USBF) 注意 追加
		p.1911	図 30-1 USB ファンクション・コントローラのブロック図 修正
		p.1959	30.7.2 (12) INT ステータス 1 レジスタ (USFA0IS1) 注意 修正
		p.1969	30.7.2 (19) INT マスク 3 レジスタ (USFA0IM3) アドレス 修正
		p.1986	30.7.2 (34) モード・ステータス・レジスタ (USFA0MODS) アドレス 修正

Rev.	発効日	改定内容	
		ページ	ポイント
2.00	2012.05.31	p.1992	30.7.2 (40) エンドポイント3 インタフェース・マッピング・レジスタ (USFA0E3IM) アドレス 修正
		p.2041	表 30-82 USFA0EPCINT レジスタの内容 修正
		p.2091	第31章 USB ホスト・コントローラ (USBH) 注意 追加
		p.2097	図 31-2 USB ホスト・コントローラのブロック図 修正
		p.2102	31.6.1 PCI ブリッジ・レジスタ 修正
		p.2107	31.6.1(5) エラー・レジスタ1 (USHA0ERR1) 追加
		p.2109	31.6.1(7) PCI コントロール・レジスタ (USHA0PCICTRL_H) 追加
		p.2111	31.6.1(8) PCI BAR イネーブル・レジスタ (USHA0PCIBARE) 変更
		p.2113	表 31-15 USHA0CNFIGADDR レジスタの内容 変更
		p.2121	31.7.2 (4) OHCI Base Address (Offset 10H) アクセス 変更
		p.2123	31.7.2 (6) Interrupt Line, Interrupt Pin, Min gnt, Max Latency (Offset 3CH) アクセス 変更
		p.2134	31.7.3 (4) HcInterruptStatus Register (Offset 0CH) 注意 追加
		p.2165	表 32-3 イーサネット・コントローラの割り込み要求 注意 追加
		p.2169	表 32-4 割り込み要求信号一覧 変更
		p.2173	32.3.1 ソフトウェア・リセット 追加
		p.2175	表 32-5 レジスタ一覧 (MAC 制御レジスタ) 変更
		p.2177	表 32-7 レジスタ一覧 (FIFO コントローラ制御) 変更
		p.2178	表 32-8 レジスタ一覧 (イーサネット・コントローラ専用 DMAC) 変更
		p.2178	表 32-9 レジスタ一覧 (送信チェックサム専用 DMAC 制御) 変更
		p.2179	32.4.1 (1) ETHA0MACC1 : MAC 設定レジスタ 初期値, 属性 変更
		p.2181	32.4.1 (2) ETHA0MACC2 : MAC 設定レジスタ 初期値, 属性 変更
		p.2182	32.4.1 (3) ETHA0IPGT : Back-to-Back IPG レジスタ 初期値, 属性 変更
		p.2183	32.4.1 (4) ETHA0IPGR : Non Back-to-Back IPG レジスタ 初期値, 属性 変更
		p.2184	32.4.1 (5) ETHA0CLRT : コリジョン・レジスタ 初期値, 属性 変更
		p.2185	32.4.1 (6) ETHA0LMAX : 最大パケット長レジスタ 初期値, 属性 変更
		p.2186	32.4.1 (7) ETHA0LSA1 : ステーション・アドレス・レジスタ1 初期値, 属性 変更
		p.2188	32.4.1 (9) ETHA0PTVR : ポーズ・タイマ値リード・レジスタ 初期値, 属性 変更
		p.2189	32.4.1 (10) ETHA0VLTP : VLAN タイプ・レジスタ 初期値, 属性 変更
		p.2190	32.4.1 (11) ETHA0MIIC : シリアル・マネジメント・インタフェース・コンフィギュレーション・レジスタ 初期値, 属性 変更
		p.2192	32.4.1 (12) ETHA0MCMD : MII コマンド・レジスタ 初期値, 属性 変更
		p.2193	32.4.1 (13) ETHA0MADR : MII アドレス・レジスタ 初期値, 属性 変更
		p.2194	32.4.1 (14) ETHA0MWTD : MII ライト・データ・レジスタ 初期値, 属性 変更
p.2195	32.4.1 (15) ETHA0MRDD : MII リード・データ・レジスタ 初期値, 属性 変更		
p.2196	32.4.1 (16) ETHA0MIND : MII インジケータ・レジスタ 初期値, 属性 変更		

Rev.	発効日	改定内容	
		ページ	ポイント
2.00	2012.05.31	p.2197	32.4.1 (17) ETHA0AFR : アドレス・フィルタ・レジスタ 初期値, 属性 変更
		p.2200	32.4.1 (20) ETHA0CAR1 : キャリー・レジスタ1 初期値, 属性 変更
		p.2202	32.4.1 (21) ETHA0CAR2 : キャリー・レジスタ2 初期値, 属性 変更
		p.2204	32.4.1 (22) ETHA0CAM1 : キャリー・マスク・レジスタ1 初期値, 属性 変更
		p.2206	32.4.1 (23) ETHA0CAM2 : キャリー・マスク・レジスタ2 初期値, 属性 変更
		p.2247	32.4.3 (1) ETHA0MFFCONT : FIFO コントローラ・コントロール・レジスタ 初期値, 属性 変更
		p.2249	32.4.3 (2) ETHA0RSTCNT : ソフト・リセット制御レジスタ 初期値, 属性 変更
		p.2250	32.4.3 (3) ETHA0FLOWTH : フロー制御閾値レジスタ 初期値, 属性 変更
		p.2252	32.4.3 (5) ETHA0RXERSEL : 受信エラー選択レジスタ 初期値, 属性 変更
		p.2254	32.4.3 (6) ETHA0TXSTMONI1 : 送信ステータス・モニタ1 レジスタ 初期値, 属性 変更
		p.2256	32.4.3 (8) ETHA0TXFINF1 : 送信ステータス1 レジスタ 初期値, 属性 変更
		p.2257	32.4.3 (9) ETHA0TXFINF2 : 送信ステータス2 レジスタ 初期値, 属性 変更
		p.2260	32.4.3 (11) ETHA0RXFINF1 : 受信ステータス1 レジスタ 初期値, 属性 変更
		p.2261	32.4.3 (12) ETHA0RXFINF2 : 受信ステータス2 レジスタ 初期値, 属性 変更
		p.2262	32.4.3 (13) ETHA0RXFINF3 : 受信ステータス3 レジスタ 初期値, 属性 変更
		p.2263	32.4.3 (14) ETHA0FSTATUS : FIFO ステータス割り込みレジスタ 初期値, 属性 変更
		p.2265	32.4.3 (15) ETHA0FSTATMK : FIFO ステータス割り込みマスク・レジスタ 注意, 初期値, 属性 変更
		p.2266	32.4.3 (16) ETHA0TXSTATUS : 送信ステータス割り込みレジスタ 初期値, 属性 変更
		p.2268	32.4.3 (17) ETHA0TXSTATMK : 送信ステータス割り込みマスク・レジスタ 初期値, 属性 変更
		p.2270	32.4.3 (18) ETHA0RXSTATUS : 受信ステータス割り込みレジスタ 初期値, 属性 変更
		p.2272	32.4.3 (19) ETHA0RXSTATMK : 受信ステータス割り込みマスク・レジスタ 初期値, 注意, 属性 変更
		p.2274	32.4.3 (20) ETHA0TXABTCNT : 送信アボート・カウンタ 初期値, 属性 変更
		p.2275	32.4.3 (21) ETHA0RXABTCNT : 受信アボート・カウンタ 初期値, 属性 変更
p.2276	32.4.4 (1) ETHA0MODE : コア・ファンクション制御レジスタ 初期値, 属性 変更		
p.2277	32.4.4 (2) ETHA0INTMS : 割り込み制御レジスタ 初期値, 属性 変更		

Rev.	発効日	改定内容			
		ページ	ポイント		
2.00	2012.05.31	p.2279	32.4.4 (3) ETHA0TRANSCTL : 転送制御レジスタ 初期値, 属性 変更		
		p.2280	32.4.4 (4) ETHA0SFTRST : ソフトウェア・リセット制御レジスタ 初期値, 属性 変更		
		p.2281	32.4.4 (5) ETHA0DMACM : DMAC モード制御レジスタ 初期値, 属性 変更		
		p.2286	32.4.5 (1) ETHA0CMODE : コア・ファンクション制御レジスタ 初期値, 属性 変更		
		p.2287	32.4.5 (2) ETHA0CINTMS : 送信チェックサム割り込みレジスタ 初期値, 属性 変更		
		p.2289	32.4.5 (3) ETHA0CTRANSCTL : 送信チェックサム転送制御レジスタ 初期値, 属性 変更		
		p.2290	32.4.5 (4) ETHA0CSFTRST : 送信チェックサム・ソフト・リセット・レジスタ 初期値, 属性 変更		
		p.2291	32.4.5 (5) ETHA0CDMACM : 送信チェックサム DMAC 制御モード設定レジスタ 初期値, 属性 変更		
		p.2320	32.5.7(1)(b) マルチキャスト・アドレスのフィルタリング 変更		
		p.2357	34.2.1 通信方式 注意 追加		
		p.2360	34.4.2 (1) シングル・ワイヤ非同期シリアル・プログラミング・インタフェース : 1-wired UART 注意 追加		
		p.2368	34.5 フラッシュ・セルフ・プログラミング 注意 追加		
		p.2391	37.4.1 推奨発振子 追加		
		p.2392	37.5.1 端子特性 変更		
		p.2416	37.6.3 クロック・タイミング 変更		
		p.2421	37.6.9 (1) CSIH0, CSIH2, CSIH3 (8.33 Mbps [$f_{XX} = 200$ MHz] : マスタ・モード時) 変更		
		p.2423	37.6.9 (3) CSIH1 (8.33 Mbps [$f_{XX} = 200$ MHz] : マスタ・モード時) 変更		
		p.2424	図 37-23 CSIH タイミング 変更		
		p.2428	図 37-24 CSIG タイミング 変更		
		p.2431	37.6.13 (2) 受信インタフェース 変更		
		p.2433	37.6.14 (1) 通常動作 [ANI00-ANI11] 変更		
		p.2434	37.6.14 (2) チャンネル S/H 回路使用時 [ANI00-ANI05] 追加		
		p.2436	37.6.15 (2) チャンネル S/H 回路使用時 [ANI00-ANI05] 変更		
		p.2441	第 39 章 半田付け推奨条件 追加		
		3.00	2013.02.22	全般	次の機能名を変更 <ul style="list-style-type: none"> • DRST → TRST • DCK → TCK • DDI → TDI • DDO → TDO • DMS → TMS
				p.301	図 8-7 デジタル・フィルタのブロック図 変更
p.306	8.5.1 (3) (a) FCLAnCTLm - フィルタ制御レジスタのデジタル・フィルタの制御 変更				
p.306	表 8-49 FCLAnCTLm レジスタの内容 (デジタル・フィルタ制御) 変更				
p.2433	37.6.14(2) チャンネル S/H 回路使用時 [ANI00-ANI05] 変更				
p.2434	34.6.15(1) 通常動作 [ANI00-ANI11] 変更				

Rev.	発効日	改定内容	
		ページ	ポイント
4.00	2014.09.15	p.108	4.4.1 CPU アドレス空間 変更
		p.109	4.4.2 (1) プログラム空間 変更
		p.109	プログラム空間のラップ・アラウンド 変更
		p.471	10.13.3 DTSSELM ($m = 0-15$) : DTS 転送完了割り込み選択レジスタ注意追加
		p.628	12.16.4(2) 算出式 注意追加
		p.698	12.20.3(2) 算出式 注意追加
		p.943	13.15.4(2) 算出式 注意追加
		p.953	13.16.1(2) 算出式 注意追加
		p.1227	図 20-4 割り込み発生後処理フロー 変更
		p.1657	24.13.1 ボー・レートの設定条件 変更
		p.1915	30.5 (1) クロック精度 変更

V850E2/MN4 ユーザーズ・マニュアル ハードウェア編

発行年月日 2014年 9月15日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

V850E2/MN4