お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

V850E/MS1™

32 ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD703100
μPD703100A
μPD703101
μPD703101A
μPD703102
μPD703102A
μPD70F3102
μPD70F3102A

資料番号　U12688JJ6V0UM00（第６版）
発行年月　July 2002 N　CP(K)

© NEC Corporation 1997

〔メ　モ〕

目次要約

第１章　イントロダクション　…　22

第２章　端子機能　…　35

第３章　CPU機能　…　64

第４章　バス制御機能　…　96

第５章　メモリ・アクセス制御機能　…　117

第６章　DMA機能（DMAコントローラ）　…　153

第７章　割り込み／例外処理機能　…　189

第８章　クロック発生機能　…　220

第９章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）　…　237

第10章　シリアル・インタフェース機能　…　274

第11章　A/Dコンバータ　…　306

第12章　ポート機能　…　342

第13章　リセット機能　…　405

第14章　フラッシュ・メモリ（μPD70F3102, 70F3102A）　…　409

付録Ａ　注意事項　…　418

付録Ｂ　レジスタ索引　…　420

付録Ｃ　命令セット一覧　…　426

付録Ｄ　総合索引　…　435

付録Ｅ　改版履歴　…　446

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意　MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，NECが出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意　CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり，CMOSデバイスの入力に何も接続しない状態で動作させると，ノイズなどに起因する中間レベル入力が生じ，内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また，未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③初期化以前の状態（MOS全般）

注意　電源投入時，MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため，初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

V850E/MS1, V850E/MS2, V850シリーズは日本電気株式会社の商標です。

Green Hills Softwareは，米国Green Hills Software, Inc.の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

本製品のうち，外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

非該当品　　：μPD703100, 703100A, 70F3102, 70F3102A

ユーザ判定品：μPD703101, 703101A, 703102, 703102A

- 本資料の内容は予告なく変更することがありますので，最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路，ソフトウエア，及びこれらに付随する情報は，半導体製品の動作例，応用例を説明するためのものです。従って，これら回路・ソフトウエア・情報をお客様の機器に使用される場合には，お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して，当社は一切その責を負いません。
- 当社は品質，信頼性の向上に努めていますが，半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として，人身事故，火災事故，社会的な損害等を生じさせない冗長設計，延焼対策設計，誤動作防止設計等安全設計に十分ご注意願います。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また，各品質水準は以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認の上ご使用願います。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で，特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は，必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7　98.8

本版で改訂された主な箇所

箇　所	内　　容
p.205	7.3.4　割り込み制御レジスタに注意を追加
p.207	7.3.5　インサービス・プライオリティ・レジスタ（ISPR）に注意を追加
p.210	7.3.8　エッジ検出機能を変更
p.307	11.2（10）AV_{DD}端子を追加
p.307	11.2（11）AV_{SS}端子を追加
p.311	11.3（2）A/Dコンバータ・モード・レジスタ1（ADM1）の備考を変更
p.317	図11－3　セレクト・モードの動作タイミング例：1バッファ・モード（ANI1）を変更
p.318	図11－4　セレクト・モードの動作タイミング例：4バッファ・モード（ANI6）を変更
p.319	図11－5　スキャン・モードの動作タイミング例：4チャネル・スキャン（ANI0-ANI3）を変更
p.332	11.7　外部トリガ・モード時の動作を変更
p.336	11.8.3（2）IDLEモード，ソフトウエアSTOPモードを変更
p.338	11.8.6　タイマ1トリガ・モード，外部トリガ・モード時の再変換動作を追加
p.339	11.8.7　A/D変換時間についての補足を追加
p.386	12.3.10　ポート9を変更
p.402	12.3.16　ポートXを変更
p.418	付録A　注意事項を変更
p.446	付録E　改版履歴を追加

本文欄外の★印は，本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者　このマニュアルは，V850E/MS1（μPD703100, 703100A, 703101, 703101A, 703102, 703102A, 70F3102, 70F3102A）の機能を理解し，それを用いた応用システムを設計するユーザを対象とします。

目　的　このマニュアルは，次の構成に示すV850E/MS1の持つハードウエア機能をユーザに理解していただくことを目的としています。

構　成　V850E/MS1のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）とアーキテクチャ編（V850E/MS1, V850E/MS2™　ユーザーズ・マニュアル　アーキテクチャ編）の２冊に分かれています。

ハードウエア編
- 端子機能
- CPU機能
- 内蔵周辺機能
- フラッシュ・メモリ・プログラミング

アーキテクチャ編
- データ・タイプ
- レジスタ・セット
- 命令形式と命令セット
- 割り込みと例外
- パイプラインの動作

読み方　このマニュアルの読者には，電気，論理回路，およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっていて，レジスタの詳細を確認するとき
　→**付録B　レジスタ索引**を利用してください。

機能名などが分かっていて，その詳細を確認するとき
　→**付録D　総合索引**を利用してください。

命令機能の詳細を理解しようとするとき
　→別冊の**V850E/MS1, V850E/MS2　ユーザーズ・マニュアル　アーキテクチャ編**を参照してください。

一通りV850E/MS1の機能を理解しようとするとき
　→目次に従ってお読みください。

凡　例

データ表記の重み　：左が上位桁，右が下位桁

アクティブ・ロウの表記　：$\overline{\times\times\times}$（端子，信号名称に上線）

メモリ・マップのアドレス：上部－上位，下部－下位

注　：本文中につけた注の説明

注意　：気をつけて読んでいただきたい内容

備考　：本文の補足説明

数の表記　：２進数…××××または××××B

10進数…××××

16進数…××××H

２のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）…$2^{10} = 1024$

M（メガ）…$2^{20} = 1024^2$

G（ギガ）…$2^{30} = 1024^3$

データ・タイプ　：ワード…32ビット

ハーフワード…16ビット

バイト…８ビット

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

○デバイスに関する資料

資　料　名	資料番号
μPD703100-33, 703100-40, 703101-33, 703102-33　データ・シート	U13995J
μPD703100A-33, 703100A-40, 703101A-33, 703102A-33　データ・シート	U14168J
μPD70F3102-33　データ・シート	U13844J
μPD70F3102A-33　データ・シート	U13845J
V850E/MS1　ユーザーズ・マニュアル　ハードウエア編	このマニュアル
V850E/MS1, V850E/MS2　ユーザーズ・マニュアル　アーキテクチャ編	U12197J
V850E/MS1　アプリケーション・ノート　ハードウエア編	U14214J

○開発ツールに関する資料（ユーザーズ・マニュアル）

資　料　名		資料番号
IE-703102-MC（インサーキット・エミュレータ）		U13875J
IE-703102-MC-EM1, IE-703102-MC-EM1-A（インサーキット・エミュレータ・オプション・ボード）		U13876J
CA850（Ver.2.30以上） （Cコンパイラ・パッケージ）	操作編	U14568J
	C言語編	U14566J
	プロジェクト・マネージャ編	U14569J
	アセンブリ言語編	U14567J
ID850（Ver.2.20以上） （統合ディバッガ）	操作編　Windows®ベース	U14580J
SM850（Ver.2.20以上） （システム・シミュレータ）	操作編　Windowsベース	U14782J
SM850（Ver.2.00以上） （システム・シミュレータ）	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850（Ver.3.13以上） （リアルタイムOS）	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro（Ver.3.13） （リアルタイムOS）	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850（Ver.3.01）（タスク・ディバッガ）		U13737J
RD850 Pro（Ver.3.01）（タスク・ディバッガ）		U13916J
AZ850（Ver.3.0）（システム・パフォーマンス・アナライザ）		U14410J
PG-FP3（フラッシュ・メモリ・プログラマ）		U13502J

目　　次

第１章　イントロダクション　…　22

1.1　概　　説　…　22
1.2　特　　徴　…　24
1.3　応用分野　…　26
1.4　オーダ情報　…　26
1.5　端子接続図（Top View）　…　27
1.6　機能ブロック構成　…　31
　1.6.1　内部ブロック図　…　31
　1.6.2　内部ユニット　…　32

第２章　端子機能　…　35

2.1　端子機能一覧　…　35
2.2　端子状態　…　43
2.3　端子機能の説明　…　45
2.4　各端子の入出力回路タイプと未使用時の処理　…　61
2.5　端子の入出力回路　…　63

第３章　CPU機能　…　64

3.1　特　　徴　…　64
3.2　CPUレジスタ・セット　…　65
　3.2.1　プログラム・レジスタ・セット　…　66
　3.2.2　システム・レジスタ・セット　…　67
3.3　動作モード　…　69
　3.3.1　動作モード　…　69
　3.3.2　動作モード指定　…　70
3.4　アドレス空間　…　71
　3.4.1　CPUアドレス空間　…　71
　3.4.2　イメージ　…　72
　3.4.3　CPUアドレス空間のラップ・アラウンド　…　73
　3.4.4　メモリ・マップ　…　74
　3.4.5　領　　域　…　75
　3.4.6　外部拡張モード　…　82
　3.4.7　アドレス空間の推奨使用方法　…　84
　3.4.8　周辺I/Oレジスタ　…　87
　3.4.9　特定レジスタ　…　93

第４章　バス制御機能　…　96

4.1　特　　徴　…　96
4.2　バス制御端子　…　96
4.3　メモリ・ブロック機能　…　97
4.4　バス・サイクル・タイプ制御機能　…　98
　4.4.1　バス・サイクル・タイプ・コンフィギュレーション・レジスタ（BCT）　…　98

4.5　バス・アクセス　…　100
4.5.1　アクセス・クロック数　…　100
4.5.2　バス・サイジング機能　…　101
4.5.3　バ ス 幅　…　102
4.6　ウエイト機能　…　106
4.6.1　プログラマブル・ウエイト機能　…　106
4.6.2　外部ウエイト機能　…　107
4.6.3　プログラマブル・ウエイトと外部ウエイトの関係　…　107
4.6.4　ウエイト機能が有効なバス・サイクル　…　108
4.7　アイドル・ステート挿入機能　…　110
4.8　バス・ホールド機能　…　112
4.8.1　機能概要　…　112
4.8.2　バス・ホールド手順　…　113
4.8.3　パワー・セーブ・モード時の動作　…　113
4.8.4　バス・ホールド・タイミング　…　114
4.9　バスの優先順位　…　115
4.10　境界動作条件　…　115
4.10.1　プログラム空間　…　115
4.10.2　データ空間　…　116

第５章　メモリ・アクセス制御機能　…　117

5.1　SRAM，外部ROM，外部I/Oインタフェース　…　117
5.1.1　SRAMの接続　…　117
5.1.2　SRAM，外部ROM，外部I/Oアクセス　…　118
5.2　ページROMコントローラ（ROMC）　…　122
5.2.1　特　　徴　…　122
5.2.2　ページROMの接続　…　122
5.2.3　オンページ／オフページの判断　…　124
5.2.4　ページROMコンフィギュレーション・レジスタ（PRC）　…　126
5.2.5　ページROMアクセス　…　127
5.3　DRAMコントローラ　…　128
5.3.1　特　　徴　…　128
5.3.2　DRAMの接続　…　129
5.3.3　アドレス・マルチプレクス機能　…　130
5.3.4　DRAMコンフィギュレーション・レジスタ０-３（DRC0-DRC3）　…　131
5.3.5　DRAMタイプ・コンフィギュレーション・レジスタ（DTC）　…　134
5.3.6　DRAMアクセス　…　135
5.3.7　DMAフライバイ転送時のDRAMアクセス　…　143
5.3.8　リフレッシュ制御機能　…　145
5.3.9　セルフ・リフレッシュ機能　…　150

第６章　DMA機能（DMAコントローラ）　…　153

6.1　特　　徴　…　153
6.2　構　　成　…　154
6.3　制御レジスタ　…　155
6.3.1　DMAソース・アドレス・レジスタ０-３（DSA0-DSA3）　…　155
6.3.2　DMAデスティネーション・アドレス・レジスタ０-３（DDA0-DDA3）　…　157
6.3.3　DMAバイト・カウント・レジスタ０-３（DBC0-DBC3）　…　159
6.3.4　DMAアドレシング・コントロール・レジスタ０-３（DADC0-DADC3）　…　160
6.3.5　DMAチャネル・コントロール・レジスタ０-３（DCHC0-DCHC3）　…　162

6.3.6　DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）　…　163
6.3.7　DMAディスエーブル・ステータス・レジスタ（DDIS）　…　164
6.3.8　DMAリスタート・レジスタ（DRST）　…　165
6.3.9　フライバイ転送データ・ウエイト・コントロール・レジスタ（FDW）　…　165
6.4　DMAバス・ステート　…　166
6.4.1　バス・ステートの種類　…　166
6.4.2　状態遷移　…　169
6.5　転送モード　…　170
6.5.1　シングル転送モード　…　170
6.5.2　シングルステップ転送モード　…　171
6.5.3　ブロック転送モード　…　171
6.6　転送タイプ　…　172
6.6.1　２サイクル転送　…　172
6.6.2　フライバイ転送　…　176
6.7　転送対象　…　180
6.7.1　転送の種類と転送対象　…　180
6.7.2　DMA転送時の外部バス・サイクル　…　180
6.8　DMAチャネルの優先順位　…　181
6.9　ネクスト・アドレス設定機能　…　181
6.10　DMA転送起動要因　…　182
6.11　DMA転送の中断　…　183
6.11.1　中断要因　…　183
6.11.2　強制中断　…　183
6.12　DMA転送の終了　…　183
6.12.1　DMA転送終了割り込み　…　183
6.12.2　ターミナル・カウント出力　…　183
6.12.3　強制終了　…　184
6.13　メモリ境界　…　185
6.14　ミス・アライン・データの転送　…　185
6.15　DMA転送に関する各種時間　…　185
6.16　DMA要求に対する応答時間の最大値　…　185
6.17　DMARQ0-DMARQ3信号によるシングル転送時の１回転送　…　187
6.18　CPUへのバス・アービトレーション　…　188
6.19　注意事項　…　188

第７章　割り込み／例外処理機能　…　189

7.1　特　　徴　…　189
7.2　ノンマスカブル割り込み　…　193
7.2.1　動　　作　…　194
7.2.2　復　　帰　…　196
7.2.3　ノンマスカブル割り込みステータス・フラグ（NP）　…　197
7.2.4　ノイズ除去　…　197
7.2.5　エッジ検出機能　…　197
7.3　マスカブル割り込み　…　198
7.3.1　動　　作　…　198
7.3.2　復　　帰　…　200
7.3.3　マスカブル割り込みの優先順位　…　201
7.3.4　割り込み制御レジスタ（xxICn）　…　205
7.3.5　インサービス・プライオリティ・レジスタ（ISPR）　…　207
7.3.6　マスカブル割り込みステータス・フラグ（ID）　…　208
7.3.7　ノイズ除去　…　209

7.3.8　エッジ検出機能　…　210
7.4　ソフトウエア例外　…　212
7.4.1　動　　作　…　212
7.4.2　復　　帰　…　213
7.4.3　例外ステータス・フラグ（EP）　…　214
7.5　例外トラップ　…　215
7.5.1　不正命令コード　…　215
7.5.2　動　　作　…　216
7.5.3　復　　帰　…　216
7.6　多重割り込み処理制御　…　217
7.7　割り込み応答時間　…　219
7.8　割り込みが受け付けられない期間　…　219

第８章　クロック発生機能　…　220

8.1　特　　徴　…　220
8.2　構　　成　…　221
8.3　入力クロック選択　…　222
8.3.1　ダイレクト・モード　…　222
8.3.2　PLLモード　…　222
8.3.3　クロック・コントロール・レジスタ（CKC）　…　223
8.4　PLLロックアップ　…　224
8.5　パワー・セーブ制御　…　225
8.5.1　概　　要　…　225
8.5.2　制御レジスタ　…　226
8.5.3　HALTモード　…　228
8.5.4　IDLEモード　…　230
8.5.5　ソフトウエアSTOPモード　…　232
8.5.6　クロック出力インヒビット・モード　…　233
8.6　発振安定時間の確保　…　234
8.6.1　発振安定時間の確保指定　…　234
8.6.2　タイム・ベース・カウンタ（TBC）　…　236

第９章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）　…　237

9.1　特　　徴　…　237
9.2　基本構成　…　238
9.2.1　タイマ１　…　241
9.2.2　タイマ４　…　244
9.3　制御レジスタ　…　245
9.4　タイマ１動作　…　253
9.4.1　カウント動作　…　253
9.4.2　カウント・クロック選択　…　254
9.4.3　オーバフロー　…　255
9.4.4　TCLR1n信号入力によるタイマのクリア／スタート　…　256
9.4.5　キャプチャ動作　…　257
9.4.6　コンペア動作　…　260
9.5　タイマ４動作　…　262
9.5.1　カウント動作　…　262
9.5.2　カウント・クロック選択　…　262
9.5.3　オーバフロー　…　262
9.5.4　コンペア動作　…　263

9.6　応 用 例　…　265
9.7　注意事項　…　272

第10章　シリアル・インタフェース機能　…　274

10.1　特　　徴　…　274
10.2　アシンクロナス・シリアル・インタフェース０，１（UART0, UART1）　…　275
10.2.1　特　　徴　…　275
10.2.2　構　　成　…　276
10.2.3　制御レジスタ　…　278
10.2.4　割り込み要求　…　285
10.2.5　動　　作　…　286
10.3　クロック同期式シリアル・インタフェース０-３（CSI0-CSI3）　…　290
10.3.1　特　　徴　…　290
10.3.2　構　　成　…　290
10.3.3　制御レジスタ　…　292
10.3.4　基本動作　…　295
10.3.5　CSI0-CSI3での送信　…　297
10.3.6　CSI0-CSI3での受信　…　298
10.3.7　CSI0-CSI3での送受信　…　299
10.3.8　システム構成例　…　300
10.4　専用ボー・レート・ジェネレータ０-２（BRG0-BRG2）　…　301
10.4.1　構成と機能　…　301
10.4.2　ボー・レート・ジェネレータ・コンペア・レジスタ０-２
（BRGC0-BRGC2）　…　304
10.4.3　ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ０-２
（BPRM0-BPRM2）　…　305

第11章　A/Dコンバータ　…　306

11.1　特　　徴　…　306
11.2　構　　成　…　306
11.3　制御レジスタ　…　309
11.4　A/Dコンバータ動作　…　314
11.4.1　A/Dコンバータ基本動作　…　314
11.4.2　動作モードとトリガ・モード　…　315
11.5　A/Dトリガ・モード時の動作　…　320
11.5.1　セレクト・モードの動作　…　320
11.5.2　スキャン・モードの動作　…　322
11.6　タイマ・トリガ・モード時の動作　…　323
11.6.1　セレクト・モードの動作　…　324
11.6.2　スキャン・モードの動作　…　328
11.7　外部トリガ・モード時の動作　…　332
11.7.1　セレクト・モードの動作（外部トリガ・セレクト）　…　332
11.7.2　スキャン・モードの動作（外部トリガ・スキャン）　…　334
11.8　動作上の注意事項　…　336
11.8.1　変換動作の停止　…　336
11.8.2　外部／タイマ・トリガの間隔　…　336
11.8.3　スタンバイ・モード時の動作　…　336
11.8.4　タイマ・トリガ・モード時のコンペア一致割り込み　…　336
11.8.5　外部トリガ・モード時のタイマ１の機能　…　337
★　11.8.6　タイマ１トリガ・モード，外部トリガ・モード時の再変換動作　…　338

★ 11.8.7 A/D変換時間についての補足 … 339

第12章 ポート機能 … 342

12.1 特 徴 … 342
12.2 ポートの基本構成 … 343
12.3 各ポートの端子機能 … 363
12.3.1 ポート0 … 363
12.3.2 ポート1 … 366
12.3.3 ポート2 … 369
12.3.4 ポート3 … 372
12.3.5 ポート4 … 375
12.3.6 ポート5 … 377
12.3.7 ポート6 … 379
12.3.8 ポート7 … 381
12.3.9 ポート8 … 382
12.3.10 ポート9 … 386
12.3.11 ポート10 … 389
12.3.12 ポート11 … 392
12.3.13 ポート12 … 396
12.3.14 ポートA … 398
12.3.15 ポートB … 400
12.3.16 ポートX … 402

第13章 リセット機能 … 405

13.1 特 徴 … 405
13.2 端子機能 … 405
13.3 イニシャライズ … 406

第14章 フラッシュ・メモリ（μPD70F3102, 70F3102A） … 409

14.1 特 徴 … 409
14.2 フラッシュ・ライタによる書き込み方法 … 409
14.3 プログラミング環境 … 410
14.4 通信方式 … 410
14.5 端子処理 … 411
14.5.1 MODE3/VPP端子 … 411
14.5.2 シリアル・インタフェース端子 … 411
14.5.3 $\overline{\text{RESET}}$端子 … 413
14.5.4 NMI端子 … 413
14.5.5 MODE0-MODE2端子 … 413
14.5.6 ポート端子 … 413
14.5.7 $\overline{\text{WAIT}}$端子 … 413
14.5.8 その他の信号端子 … 413
14.5.9 電 源 … 414
14.6 プログラミング方法 … 414
14.6.1 フラッシュ・メモリ制御 … 414
14.6.2 フラッシュ・メモリ・プログラミング・モード … 415
14.6.3 通信方式の選択 … 415
14.6.4 通信コマンド … 416

★ 付録A　注意事項　…　418

A.1　sld命令実行時の制限事項　…　418
A.1.1　内　　容　…　418
A.1.2　非該当条件　…　418
A.1.3　回 避 策　…　418
A.2　sst命令と分岐命令が連続した場合の制限事項　…　419
A.2.1　内　　容　…　419
A.2.2　回 避 策　…　419

付録B　レジスタ索引　…　420

付録C　命令セット一覧　…　426

C.1　凡　　例　…　426
C.2　インストラクション・セット（アルファベット順）　…　429

付録D　総合索引　…　435

D.1　50音で始まる語句の索引　…　435
D.2　アルファベットで始まる語句の索引　…　439

★ 付録E　改版履歴　…　446

図の目次（1/4）

図番号	タイトル，ページ
3－1	プログラム・カウンタ（PC） … 66
3－2	割り込み要因レジスタ（ECR） … 67
3－3	プログラム・ステータス・ワード（PSW） … 68
3－4	CPUアドレス空間 … 71
3－5	アドレス空間上のイメージ … 72
3－6	シングルチップ・モード１での内蔵ROM領域 … 79
3－7	推奨メモリ・マップ … 86
4－1	ウエイト挿入例 … 107
5－1	SRAMとの接続例 … 117
5－2	SRAM, 外部ROM, 外部I/Oアクセス・タイミング … 118
5－3	ページROMとの接続例 … 122
5－4	ページROM接続時のオンページ／オフページ判断 … 124
5－5	ページROMアクセス・タイミング … 127
5－6	DRAMとの接続例 … 129
5－7	ロウ・アドレス，カラム・アドレスの出力 … 130
5－8	高速ページDRAMアクセス・タイミング … 135
5－9	EDO DRAMアクセス・タイミング … 139
5－10	DMAフライバイ転送時のDRAMアクセス・タイミング … 143
5－11	CBRリフレッシュ・タイミング … 149
5－12	CBRセルフ・リフレッシュ・タイミング … 151
6－1	DMACバス・サイクルの状態遷移図 … 169
6－2	シングル転送例１ … 170
6－3	シングル転送例２ … 170
6－4	シングルステップ転送例１ … 171
6－5	シングルステップ転送例２ … 171
6－6	ブロック転送例 … 171
6－7	２サイクル転送のタイミング … 172
6－8	フライバイ転送のタイミング（DRAM→外部I/O） … 176
6－9	フライバイ転送のタイミング（内蔵周辺I/O→内蔵RAM） … 179
6－10	バッファ・レジスタの構成 … 181
6－11	DMA転送の強制終了の例 … 184
7－1	割り込み制御機能ブロック図 … 192
7－2	ノンマスカブル割り込みの処理形態 … 194
7－3	ノンマスカブル割り込み要求の受け付け動作 … 195
7－4	RETI命令の処理形態 … 196
7－5	マスカブル割り込みの処理形態 … 199

図の目次（2/4）

図番号	タイトル，ページ
７－６	RETI命令の処理形態　…　200
７－７	割り込み処理中にほかの割り込み要求が発生した場合の処理例　…　202
７－８	同時発生した割り込み要求の処理例　…　204
７－９	ノイズ除去タイミング例　…　209
７－10	ソフトウエア例外の処理形態　…　212
７－11	RETI命令の処理形態　…　213
７－12	例外トラップの処理形態　…　216
７－13	割り込み要求受け付け時のパイプライン動作（概略）　…　219
８－１	パワー・セーブ・モード状態遷移図　…　226
９－１	タイマ１の基本動作　…　253
９－２	オーバフロー後の動作（ECLR1n = 0，OSTn = 1の場合）　…　255
９－３	TCLR1n信号入力によるタイマのクリア／スタート動作（ECLR1n = 1，OSTn = 0の場合）　…　256
９－４	TCLR1n信号入力によるクリア／スタートとオーバフロー動作の関係（ECLR1n = 1，OSTn = 1の場合）　…　257
９－５	キャプチャ動作例　…　258
９－６	TM11キャプチャ動作例（両エッジ指定時）　…　259
９－７	コンペア動作例　…　260
９－８	TM11コンペア動作例（セット／リセット出力モード）　…　261
９－９	タイマ４の基本動作　…　262
９－10	TM40コンペア動作例　…　263
９－11	インターバル・タイマ動作のタイミング例　…　265
９－12	インターバル・タイマ動作の設定手順例　…　265
９－13	パルス幅測定のタイミング例　…　266
９－14	パルス幅測定の設定手順例　…　267
９－15	パルス幅を算出する割り込み要求処理ルーチン例　…　267
９－16	PWM出力のタイミング例　…　268
９－17	PWM出力の設定手順例　…　269
９－18	コンペア値を書き換える割り込み要求処理ルーチン例　…　269
９－19	周期測定のタイミング例　…　270
９－20	周期測定の設定手順例　…　271
９－21	周期を算出する割り込み要求処理ルーチン例　…　271
10－１	アシンクロナス・シリアル・インタフェースのブロック図　…　277
10－２	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット　…　286
10－３	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング　…　287
10－４	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング　…　289
10－５	受信エラー・タイミング　…　289
10－６	クロック同期式シリアル・インタフェースのブロック図　…　291
10－７	３線式シリアルI/Oモードのタイミング（送信）　…　297

図の目次（3/4）

図番号	タイトル，ページ
10－８	３線式シリアルI/Oモードのタイミング（受信） … 298
10－９	３線式シリアルI/Oモードのタイミング（送受信） … 300
10－10	CSIのシステム構成例 … 300
10－11	専用ボー・レート・ジェネレータのブロック図 … 301
11－１	A/Dコンバータのブロック図 … 308
11－２	アナログ入力電圧とA/D変換結果の関係 … 313
11－３	セレクト・モードの動作タイミング例：１バッファ・モード（ANI1） … 317
11－４	セレクト・モードの動作タイミング例：４バッファ・モード（ANI6） … 318
11－５	スキャン・モードの動作タイミング例：４チャネル・スキャン（ANI0-ANI3） … 319
11－６	１バッファ・モード（A/Dトリガ・セレクト・１バッファ）の動作例 … 320
11－７	４バッファ・モード（A/Dトリガ・セレクト・４バッファ）の動作例 … 321
11－８	スキャン・モード（A/Dトリガ・スキャン）の動作例 … 322
11－９	１トリガ・モード（タイマ・トリガ・セレクト・１バッファ・１トリガ）の動作例 … 324
11－10	４トリガ・モード（タイマ・トリガ・セレクト・１バッファ・４トリガ）の動作例 … 325
11－11	１トリガ・モード（タイマ・トリガ・セレクト・４バッファ・１トリガ）の動作例 … 326
11－12	４トリガ・モード（タイマ・トリガ・セレクト・４バッファ・４トリガ）の動作例 … 327
11－13	１トリガ・モード（タイマ・トリガ・スキャン・１トリガ）の動作例 … 329
11－14	４トリガ・モード（タイマ・トリガ・スキャン・４トリガ）の動作例 … 331
11－15	１バッファ・モード（外部トリガ・セレクト・１バッファ）の動作例 … 332
11－16	４バッファ・モード（外部トリガ・セレクト・４バッファ）の動作例 … 333
11－17	スキャン・モード（外部トリガ・スキャン）の動作例 … 335
11－18	A/Dコンバータとポート，INTC, RPUの関係 … 337
11－19	A/Dトリガ・モードのA/D変換時間：ADM1 = 02H設定時 … 339
11－20	タイマ・トリガ・モードのA/D変換時間（外部割り込み信号）：ADM1 = 22Hまたは32H設定時 … 339
11－21	タイマ・トリガ・モードのA/D変換時間（一致割り込み信号）：ADM1 = 22Hまたは32H設定時 … 340
11－22	外部トリガ・モードのA/D変換時間：ADM1 = 62H設定時 … 340
11－23	A/D変換概要：A/D変換１回，ADM1レジスタのFR0-FR2ビット = 010H設定（96クロック）時 … 341
12－１	タイプAのブロック図 … 348
12－２	タイプBのブロック図 … 349
12－３	タイプCのブロック図 … 350
12－４	タイプDのブロック図 … 351
12－５	タイプEのブロック図 … 352
12－６	タイプFのブロック図 … 353
12－７	タイプGのブロック図 … 353
12－８	タイプHのブロック図 … 354
12－９	タイプIのブロック図 … 354
12－10	タイプJのブロック図 … 355
12－11	タイプKのブロック図 … 356

図の目次（4/4）

図番号	タイトル，ページ
12－12	タイプLのブロック図 … 357
12－13	タイプMのブロック図 … 358
12－14	タイプNのブロック図 … 359
12－15	タイプOのブロック図 … 360
12－16	タイプPのブロック図 … 361
12－17	タイプQのブロック図 … 362

表の目次

表番号	タイトル，ページ
3－1	プログラム・レジスター覧 … 66
3－2	システム・レジスタ番号 … 67
3－3	割り込み／例外テーブル … 78
4－1	ウエイト機能が有効なバス・サイクル … 108
4－2	バスの優先順位 … 115
5－1	DRAMとアドレス・マルチプレクス幅の例 … 130
5－2	DRAMのリフレッシュ間隔の例 … 147
5－3	インターバル・ファクタの設定例 … 147
6－1	転送の種類と転送対象の関係 … 180
6－2	DMA転送時の外部バス・サイクル … 180
6－3	DMAサイクル中の最小実行クロック数 … 185
6－4	外部メモリに対するシングル転送時の$\overline{\text{DMAAK}n}$信号アクティブ→$\overline{\text{DMARQ}n}$信号インアクティブの時間 … 187
7－1	割り込み一覧 … 190
7－2	割り込み制御レジスタのアドレスとビット … 206
8－1	パワー・セーブ制御によるクロック・ジェネレータの動作 … 226
8－2	HALTモード時の動作状態 … 228
8－3	割り込み要求によるHALTモード解除後の動作 … 229
8－4	IDLEモード時の動作状態 … 230
8－5	ソフトウエアSTOPモード時の動作状態 … 232
8－6	カウント時間例（$\phi = 5 \times f_{XX}$） … 236
9－1	RPUの構成一覧 … 238
9－2	16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号（TM1n） … 257
9－3	16ビット・コンペア・レジスタからの割り込み要求信号（TM1n） … 260
10－1	発生する割り込みとディフォールト優先順位 … 285
10－2	専用ボー・レート・ジェネレータ設定データ … 303
13－1	リセット期間中の各端子の動作状態 … 405
13－2	CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 … 407
14－1	通信方式一覧 … 415

第１章　イントロダクション

V850E/MS1は，NECのシングルチップ・マイクロコンピュータ「V850シリーズ™」の１製品です。この章では，このV850E/MS1の概要を簡単に述べます。

1.1　概　　説

V850E/MS1は，V850シリーズの「V850E」CPUを使用し，ROM, RAM，および，各種メモリ・コントローラ，DMAコントローラ，リアルタイム・パルス・ユニット，シリアル・インタフェース，A/Dコンバータなどの周辺機能を内蔵し，大容量データ処理と高度なリアルタイム制御を実現した32ビット・シングルチップ・マイクロコンピュータです。

（1）「V850E」CPU搭載

「V850E」CPUは，RISC型命令セットをサポートしており，1命令を1クロックで実行する基本命令と，最適化されたパイプラインにより，命令実行速度を飛躍的に向上させています。さらに，ディジタル・サーボ制御の応用に最適な命令として，32ビットのハードウエア乗算器による乗算命令，飽和演算命令，ビット操作命令などもサポートしています。

また，２バイト長の基本命令，高級言語対応命令などにより，Cコンパイラでのオブジェクト・コード効率を高めており，プログラム・サイズのコンパクト化を実現します。

さらに，内蔵の割り込みコントローラでの処理を含む割り込み応答時間も高速なため，高度なリアルタイム制御分野に適しています。

（2）外部メモリ・インタフェース機能

外部メモリ・インタフェースとして，セパレート構成のアドレス・バス（24ビット），データ・バス（16ビット）とSRAM，ROM用インタフェースのほか，EDO DRAM，高速ページ DRAM，ページROMなどに直結できる各種メモリのコントローラを内蔵しているので，システム性能を上げるとともにアプリケーション・システムの部品点数を削減できます。

また，DMAコントローラにより，外部メモリ間の転送と並行してCPU内部の演算やデータ転送を行えるため，画像データや音声データなどの大容量データ処理が可能となるうえ，内蔵のROMとRAMを使用した高速な命令実行により，モータ制御，通信制御などのリアルタイム制御も同時に実現できます。

（3）フラッシュ・メモリ内蔵（μPD70F3102, 70F3102A）

フラッシュ・メモリ内蔵品（μPD70F3102, 70F3102A）は，高速アクセス可能なフラッシュ・メモリを内蔵しており，アプリケーション・システム上にV850E/MS1を実装したままプログラムの書き換えが行えるため，システムの開発期間の短縮を実現でき，また，システム出荷後のメンテナンス性を飛躍的に向上させることができます。

（4）充実したミドルウエア，開発環境製品群

V850E/MS1はJPEG，JBIG，MH/MR/MMRなどのミドルウエアを高速実行できます。また，音声認識，音声合成などの処理を実現するミドルウエアも用意されているので，これらのミドルウエアと組み合わせることによりマルチメディア・システムを容易に実現できます。

また，最適化Ｃコンパイラ，ディバッガ，インサーキット・エミュレータ，シミュレータ，システム・パフォーマンス・アナライザなどの統合化された開発環境も用意しています。

1.2　特　　徴

○命令数　81

○最小命令実行時間　25 ns（内部40 MHz動作時）…μPD703100-40, 703100A-40
30 ns（内部33 MHz動作時）…上記以外

○汎用レジスタ　32ビット×32本

○命令セット　V850 CPU上位互換
符号付き乗算（16ビット×16ビット→32ビット，または32ビット×32ビット→64ビット）
：１-２クロック
飽和演算命令（オーバフロー／アンダフロー検出機能付き）
32ビット・シフト命令：１クロック
ビット操作命令
ロング／ショート形式を持つロード／ストア命令
符号付きロード命令

○メモリ空間　32 Mバイト・リニア・アドレス空間（プログラム／データ共有）
チップ・セレクト出力機能：８空間
メモリ・ブロック分割機能：2 M, 4 M, 8 Mバイト／ブロック
プログラマブル・ウエイト機能
アイドル・ステート挿入機能

○外部バス・インタフェース
16ビット・データ・バス（アドレス／データ分離型バス）
16/８ビット・バス・サイジング機能
バス・ホールド機能
外部ウエイト機能

○内蔵メモリ

品　　名	内蔵ROM	内蔵RAM
μPD703100, 703100A	なし	４Kバイト
μPD703101, 703101A	96 Kバイト（マスクROM）	４Kバイト
μPD703102, 703102A	128 Kバイト（マスクROM）	４Kバイト
μPD70F3102, 70F3102A	128 Kバイト（フラッシュ・メモリ）	４Kバイト

○割り込み／例外　外部割り込み　25本（NMI含む）
内部割り込み　47要因
例外　１要因
８レベルの優先順位指定可能

○メモリ・アクセス制御

DRAMコントローラ（EDO DRAM，高速ページDRAMに対応）
ページROMコントローラ

○DMAコントローラ

４チャネル構成
転送単位：８ビット／16ビット
最大転送回数：65536（2^{16}）回
転送タイプ：フライバイ（１サイクル）転送／２サイクル転送
転送モード：シングル転送／シングルステップ転送／ブロック転送
DMA転送終了（ターミナル・カウント）出力信号

○I/Oライン　入力ポート　：９
入出力ポート　：114

○リアルタイム・パルス・ユニット

16ビット・タイマ／イベント・カウンタ：6 ch
　16ビット・タイマ：６本
　16ビット・キャプチャ／コンペア・レジスタ：24本
16ビット・インターバル・タイマ：2 ch

○シリアル・インタフェース

アシンクロナス・シリアル・インタフェース（UART）
クロック同期式シリアル・インタフェース（CSI）
　UART/CSI：2 ch
　CSI：2 ch
専用ボー・レート・ジェネレータ：3 ch

○A/Dコンバータ　10ビット分解能A/Dコンバータ：8 ch

○クロック・ジェネレータ

PLLクロック・シンセサイザによる５逓倍機能
外部クロック入力による２分周機能

○パワー・セーブ機能

HALT/IDLE/ソフトウエアSTOPモード
クロック出力停止機能

○パッケージ　144ピン・プラスチックLQFP：端子ピッチ　0.5 mm
157ピン・プラスチックFBGA

○CMOS構造　完全スタティック回路

1.3　応用分野

・OA機器（プリンタ，ファクシミリ，PPCなど）
・マルチメディア機器（ディジタル・スチル・カメラ，ビデオ・プリンタなど）
・民生機器（一眼レフ・カメラなど）
・産業機器（モータ制御，NC工作機など）

1.4　オーダ情報

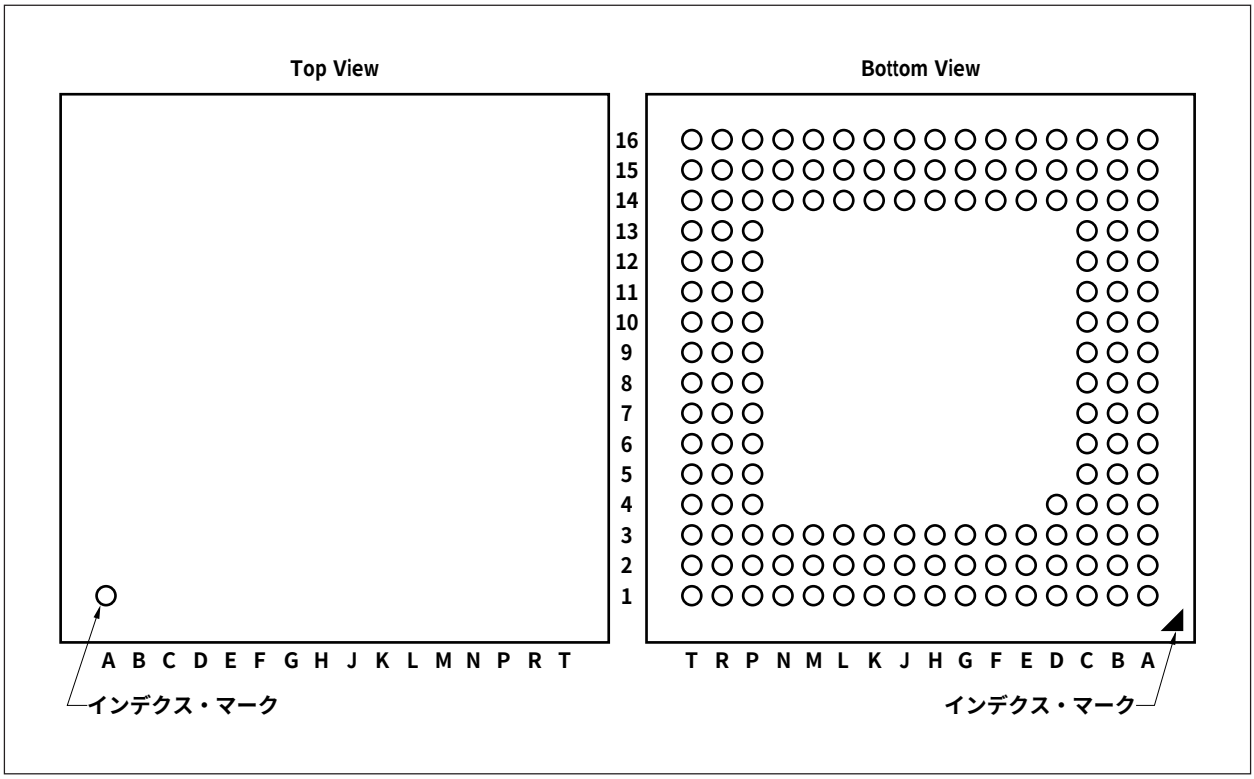
品　　名	パッケージ	最大動作周波数	内蔵ROM	HV_{DD}
μPD703100AGJ-40-UEN	144ピン・プラスチックLQFP（ファインピッチ）（20×20）	40 MHz	なし	3.0～3.6 V
μPD703100GJ-40-UEN	〃	〃	〃	4.5～5.5 V
μPD703100AF1-33-FA1	157ピン・プラスチックFBGA（14×14）	33 MHz	〃	3.0～3.6 V
μPD703100AGJ-33-UEN	144ピン・プラスチックLQFP（ファインピッチ）（20×20）	〃	〃	〃
μPD703100GJ-33-UEN	〃	〃	〃	4.5～5.5 V
μPD703101AF1-33-xxx-FA1	157ピン・プラスチックFBGA（14×14）	〃	マスクROM（96 Kバイト）	3.0～3.6 V
μPD703101AGJ-33-xxx-UEN	144ピン・プラスチックLQFP（ファインピッチ）（20×20）	〃	〃	〃
μPD703101GJ-33-xxx-UEN	〃	〃	〃	4.5～5.5 V
μPD703102AF1-33-xxx-FA1	157ピン・プラスチックFBGA（14×14）	〃	マスクROM（128 Kバイト）	3.0～3.6 V
μPD703102AGJ-33-xxx-UEN	144ピン・プラスチックLQFP（ファインピッチ）（20×20）	〃	〃	〃
μPD703102GJ-33-xxx-UEN	〃	〃	〃	4.5～5.5 V
μPD70F3102AF1-33-FA1	157ピン・プラスチックFBGA（14×14）	〃	フラッシュ・メモリ（128 Kバイト）	3.0～3.6 V
μPD70F3102AGJ-33-8EU	144ピン・プラスチックLQFP（ファインピッチ）（20×20）	〃	〃	〃
μPD70F3102GJ-33-8EU	〃	〃	〃	4.5～5.5 V

備考　xxxはROMコード番号です。

1.5　端子接続図（Top View）

157ピン・プラスチックFBGA（14×14）

- μPD703100AF1-33-FA1
- μPD703101AF1-33-xxx-FA1
- μPD703102AF1-33-xxx-FA1
- μPD70F3102AF1-33-FA1



(1/2)

ピン番号	名　　称	ピン番号	名　　称	ピン番号	名　　称
A1	—	B1	INTP103/$\overline{\text{DMARQ3}}$/P07	C1	INTP101/$\overline{\text{DMARQ1}}$/P05
A2	D0/P40	B2	D1/P41	C2	INTP102/$\overline{\text{DMARQ2}}$/P06
A3	D2/P42	B3	D3/P43	C3	V_{SS}
A4	D4/P44	B4	D5/P45	C4	V_{SS}
A5	D6/P46	B5	D7/P47	C5	HV_{DD}
A6	D8/P50	B6	D9/P51	C6	V_{SS}
A7	D10/P52	B7	D11/P53	C7	D12/P54
A8	D13/P55	B8	D14/P56	C8	D15/P57
A9	A0/PA0	B9	A1/PA1	C9	HV_{DD}
A10	A2/PA2	B10	A3/PA3	C10	A4/PA4
A11	A5/PA5	B11	A6/PA6	C11	A7/PA7
A12	A8/PB0	B12	A9/PB1	C12	V_{SS}
A13	A10/PB2	B13	A11/PB3	C13	A12/PB4
A14	A13/PB5	B14	A14/PB6	C14	A18/P62
A15	A15/PB7	B15	A17/P61	C15	A19/P63
A16	—	B16	A16/P60	C16	—

(2/2)

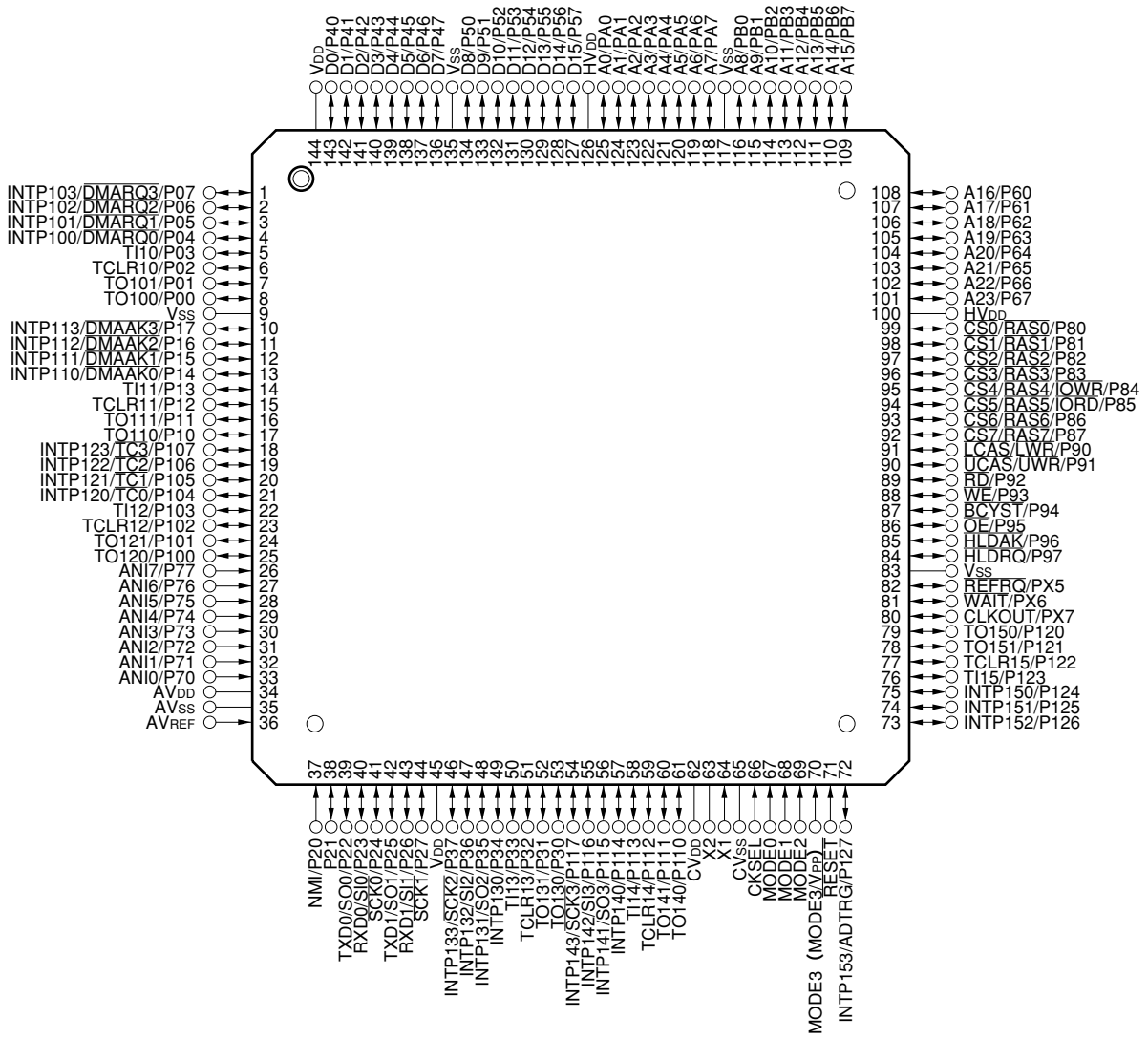
ピン番号	名　　称	ピン番号	名　　称	ピン番号	名　　称
D1	TI10/P03	K1	TI12/P103	P14	$\overline{\text{RESET}}$
D2	INTP100/$\overline{\text{DMARQ0}}$/P04	K2	INTP120/$\overline{\text{TC0}}$/P104	P15	INTP151/P125
D3	HV_{DD}	K3	INTP121/$\overline{\text{TC1}}$/P105	P16	INTP150/P124
D4	—	K14	$\overline{\text{HLDAK}}$/P96	R1	AV_{SS}
D14	V_{SS}	K15	$\overline{\text{OE}}$/P95	R2	ANI0/P70
D15	A21/P65	K16	$\overline{\text{BCYST}}$/P94	R3	P21
D16	A20/P64	L1	TO120/P100	R4	$\overline{\text{SCK0}}$/P24
E1	TO101/P01	L2	TO121/P101	R5	$\overline{\text{SCK1}}$/P27
E2	TCLR10/P02	L3	TCLR12/P102	R6	INTP132/SI2/P36
E3	V_{SS}	L14	V_{SS}	R7	TI13/P33
E14	HV_{DD}	L15	$\overline{\text{REFRQ}}$/PX5	R8	TO130/P30
E15	A23/P67	L16	$\overline{\text{HLDRQ}}$/P97	R9	INTP141/SO3/P115
E16	A22/P66	M1	ANI5/P75	R10	TCLR14/P112
F1	INTP113/$\overline{\text{DMAAK3}}$/P17	M2	ANI6/P76	R11	TO140/P110
F2	TO100/P00	M3	ANI7/P77	R12	MODE0
F3	V_{DD}	M14	TO150/P120	R13	MODE1
F14	$\overline{\text{CS2}}$/$\overline{\text{RAS2}}$/P82	M15	$\overline{\text{WAIT}}$/PX6	R14	MODE2
F15	$\overline{\text{CS1}}$/$\overline{\text{RAS1}}$/P81	M16	CLKOUT/PX7	R15	INTP153/ADTRG/P127
F16	$\overline{\text{CS0}}$/$\overline{\text{RAS0}}$/P80	N1	ANI2/P72	R16	INTP152/P126
G1	INTP110/$\overline{\text{DMAAK0}}$/P14	N2	ANI3/P73	T1	—
G2	INTP111/$\overline{\text{DMAAK1}}$/P15	N3	ANI4/P74	T2	AV_{REF}
G3	INTP112/$\overline{\text{DMAAK2}}$/P16	N14	TI15/P123	T3	NMI/P20
G14	$\overline{\text{CS5}}$/$\overline{\text{RAS5}}$/$\overline{\text{IORD}}$/P85	N15	TCLR15/P122	T4	RXD0/SI0/P23
G15	$\overline{\text{CS4}}$/$\overline{\text{RAS4}}$/$\overline{\text{IOWR}}$/P84	N16	TO151/P121	T5	RXD1/SI1/P26
G16	$\overline{\text{CS3}}$/$\overline{\text{RAS3}}$/P83	P1	AV_{DD}	T6	INTP131/SO2/P35
H1	TO111/P11	P2	ANI1/P71	T7	TCLR13/P32
H2	TCLR11/P12	P3	TXD0/SO0/P22	T8	INTP143/$\overline{\text{SCK3}}$/P117
H3	TI11/P13	P4	TXD1/SO1/P25	T9	INTP140/P114
H14	$\overline{\text{LCAS}}$/$\overline{\text{LWR}}$/P90	P5	V_{DD}	T10	CV_{DD}
H15	$\overline{\text{CS7}}$/$\overline{\text{RAS7}}$/P87	P6	INTP133/$\overline{\text{SCK2}}$/P37	T11	X2
H16	$\overline{\text{CS6}}$/$\overline{\text{RAS6}}$/P86	P7	INTP130/P34	T12	X1
J1	INTP122/$\overline{\text{TC2}}$/P106	P8	TO131/P31	T13	CV_{SS}
J2	INTP123/$\overline{\text{TC3}}$/P107	P9	INTP142/SI3/P116	T14	MODE3（MODE3/V_{PP}）
J3	TO110/P10	P10	TI14/P113	T15	—
J14	$\overline{\text{WE}}$/P93	P11	TO141/P111	T16	—
J15	$\overline{\text{RD}}$/P92	P12	CKSEL	—	—
J16	$\overline{\text{UCAS}}$/$\overline{\text{UWR}}$/P91	P13	HV_{DD}	—	—

備考１． A1, A16, C16, D4, T1, T15, T16の端子は，オープンにしてください。

２．（　）内はμPD70F3102, 70F3102Aでの端子名です。

144ピン・プラスチック LQFP（ファインピッチ）（20×20）

- μPD703100GJ-40-UEN, 703100AGJ-40-UEN
- μPD703100GJ-33-UEN, 703100AGJ-33-UEN
- μPD703101GJ-33-xxx-UEN, 703101AGJ-33-xxx-UEN
- μPD703102GJ-33-xxx-UEN, 703102AGJ-33-xxx-UEN
- μPD70F3102GJ-33-8EU, 70F3102AGJ-33-8EU



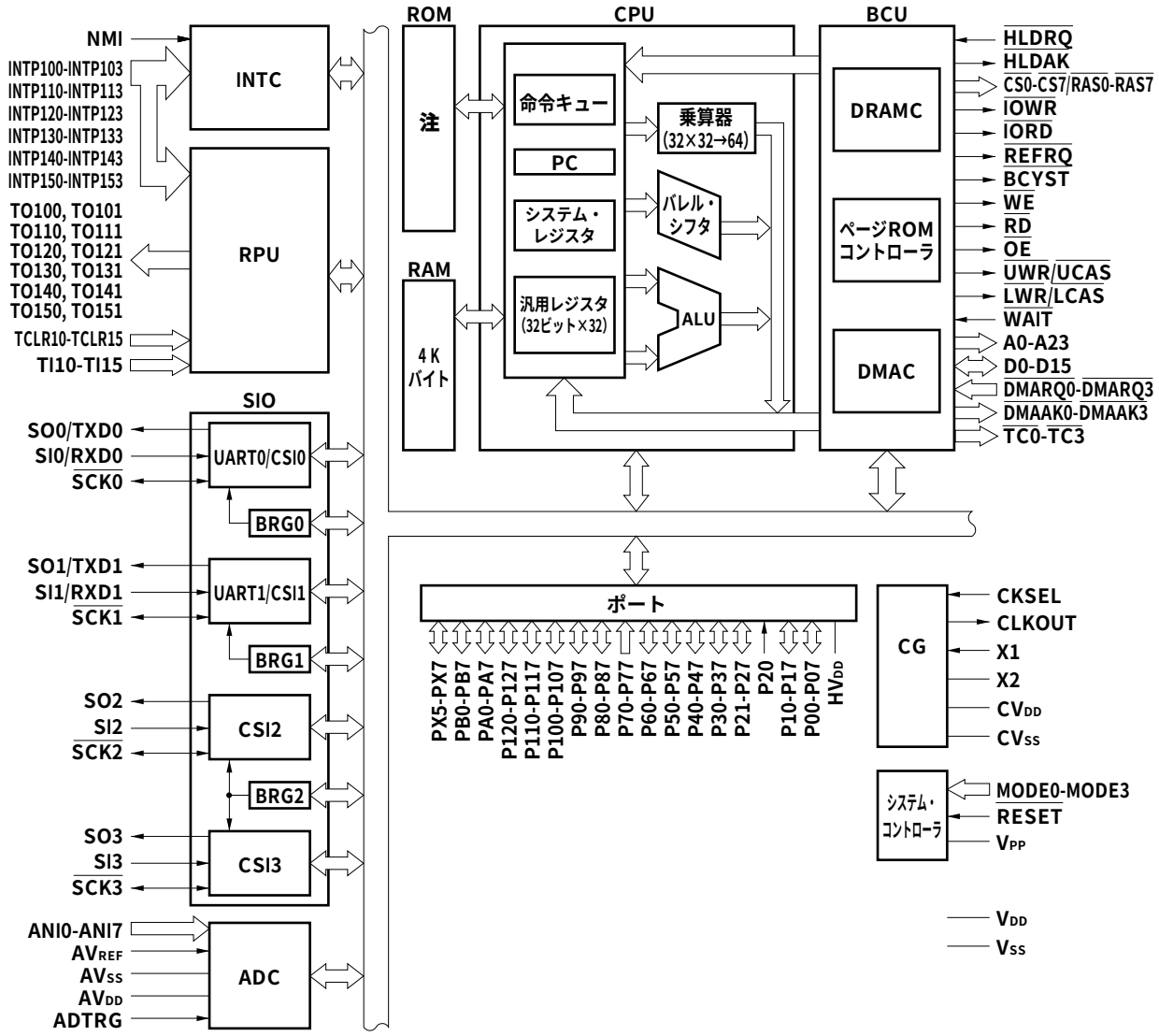
備考　（　）内はμPD70F3102, 70F3102Aでの端子名です。

端子名称

A0-A23	：Address Bus
ADTRG	：A/D Trigger Input
ANI0-ANI7	：Analog Input
AV_{DD}	：Analog Power Supply
AV_{REF}	：Analog Reference Voltage
AV_{SS}	：Analog Ground
$\overline{BCYST}$	：Bus Cycle Start Timing
CKSEL	：Clock Generator Operating Mode Select
CLKOUT	：Clock Output
$\overline{CS0}$-$\overline{CS7}$	：Chip Select
CV_{DD}	：Clock Generator Power Supply
CV_{SS}	：Clock Generator Ground
D0-D15	：Data Bus
$\overline{DMAAK0}$-$\overline{DMAAK3}$	：DMA Acknowledge
$\overline{DMARQ0}$-$\overline{DMARQ3}$	：DMA Request
$\overline{HLDAK}$	：Hold Acknowledge
$\overline{HLDRQ}$	：Hold Request
HV_{DD}	：Power Supply for External Pins
INTP100-INTP103, INTP110-INTP113, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143, INTP150-INTP153	：Interrupt Request from Peripherals
$\overline{IORD}$	：I/O Read Strobe
$\overline{IOWR}$	：I/O Write Strobe
$\overline{LCAS}$	：Lower Column Address Strobe
$\overline{LWR}$	：Lower Write Strobe
MODE0-MODE3	：Mode
NMI	：Non-Maskable Interrupt Request
$\overline{OE}$	：Output Enable
P00-P07	：Port 0
P10-P17	：Port 1
P20-P27	：Port 2
P30-P37	：Port 3
P40-P47	：Port 4
P50-P57	：Port 5
P60-P67	：Port 6
P70-P77	：Port 7
P80-P87	：Port 8
P90-P97	：Port 9
P100-P107	：Port 10
P110-P117	：Port 11
P120-P127	：Port 12
PA0-PA7	：Port A
PB0-PB7	：Port B
PX5-PX7	：Port X
$\overline{RAS0}$-$\overline{RAS7}$	：Row Address Strobe
$\overline{RD}$	：Read Strobe
$\overline{REFRQ}$	：Refresh Request
$\overline{RESET}$	：Reset
RXD0,RXD1	：Receive Data
$\overline{SCK0}$-$\overline{SCK3}$	：Serial Clock
SI0-SI3	：Serial Input
SO0-SO3	：Serial Output
$\overline{TC0}$-$\overline{TC3}$	：Terminal Count Signal
TCLR10-TCLR15	：Timer Clear
TI10-TI15	：Timer Input
TO100,TO101, TO110,TO111, TO120,TO121, TO130,TO131, TO140,TO141, TO150,TO151	：Timer Output
TXD0,TXD1	：Transmit Data
$\overline{UCAS}$	：Upper Column Address Strobe
$\overline{UWR}$	：Upper Write Strobe
V_{DD}	：Power Supply for Internal Unit
V_{PP}	：Programming Power Supply
V_{SS}	：Ground
$\overline{WAIT}$	：Wait
$\overline{WE}$	：Write Enable
X1, X2	：Crystal

1.6　機能ブロック構成

1.6.1　内部ブロック図



注　μPD703100, 703100A：なし

μPD703101, 703101A：96 Kバイト（マスクROM）

μPD703102, 703102A：128 Kバイト（マスクROM）

μPD70F3102, 70F3102A：128 Kバイト（フラッシュ・メモリ）

1.6.2　内部ユニット

（1）CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を５段パイプライン制御により１クロックで実行します。

乗算器（16ビット×16ビット→32ビット，または32ビット×32ビット→64ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な命令処理の高速化を図っています。

（2）バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードはCPU内部の命令キューに取り込まれます。

BCUは，DRAMコントローラ（DRAMC），ページROMコントローラ，DMAコントローラ（DMAC）を内蔵しています。

（a）DRAMコントローラ（DRAMC）

$\overline{\text{RAS}}$, $\overline{\text{UCAS}}$, $\overline{\text{LCAS}}$信号の生成（2CAS制御）とDRAMへのアクセス制御を行います。

高速ページDRAMとEDO DRAMに対応しており，DRAMへのアクセスには，通常アクセス（オフページ）とページ・アクセス（オンページ）の２種類のサイクルがあります。

また，CBRリフレッシュ・サイクルに対応したリフレッシュ機能を持っています。

（b）ページROMコントローラ

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとのアドレス比較を行い，通常アクセス（オフページ）／ページ・アクセス（オンページ）のウエイト制御を行います。８-64バイトのページ幅に対応できます。

（c）DMAコントローラ（DMAC）

CPUの代わりにメモリ，I/O間でのデータの転送を行います。

アドレス・モードには，フライバイ（１サイクル）転送，２サイクル転送があります。バス・モードには，シングル転送，シングルステップ転送，ブロック転送の３種類があります。

（3）ROM

μPD703101, 703101AではマスクROM（96 Kバイト），μPD703102, 703102AではマスクROM（128 Kバイト），μPD70F3102, 70F3102Aではフラッシュ・メモリ（128 Kバイト）を内蔵しています。μPD703100, 703100Aでは内蔵していません。

命令フェッチ時にCPUから1クロックでアクセスできます。

シングルチップ・モード０，フラッシュ・メモリ・プログラミング・モードに設定した場合は，00000000H番地から，シングルチップ・モード1に設定した場合は，00100000H番地からマッピングされます。ROMレス・モード０，１に設定した場合は，アクセスできません。

（４）RAM

FFFFE000H番地から4 Kバイトがマッピングされています。命令フェッチ時，データ・アクセス時にCPUから１クロックでアクセスできます。

（５）割り込みコントローラ（INTC）

内蔵周辺I/Oおよび，外部からのハードウエア割り込み要求（NMI, INTP100-INTP103, INTP110-INTP113, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143, INTP150-INTP153）を処理します。これらの割り込み要求は，８レベルの割り込み優先順位が指定でき，割り込み要因に対し多重処理制御を行うこともできます。

（６）クロック・ジェネレータ（CG）

入力クロック（fxx）の５倍（内蔵PLL使用），または1/2倍（内蔵PLL未使用）の周波数を内部システム・クロック（φ）として供給します。入力クロックとして外部発振子をＸ１，Ｘ２端子に接続するか（内蔵PLLシンセサイザ使用時だけ），外部クロックをＸ１端子から入力します。

（７）リアルタイム・パルス・ユニット（RPU）

16ビットのタイマ／イベント・カウンタを６チャネルと，16ビットのインターバル・タイマを２チャネル内蔵し，パルス間隔や周波数の計測，プログラマブルなパルスの出力が可能になっています。

（８）シリアル・インタフェース（SIO）

シリアル・インタフェースとして，アシンクロナス・シリアル・インタフェース（UART）とクロック同期式シリアル・インタフェース（CSI）をあわせて４チャネル備えています。このうち２チャネルはUARTとCSIの切り替えが可能で，２チャネルはCSI固定です。

UARTは，TXD, RXD端子によりデータ転送を行います。

CSIは，SO, SI, $\overline{\text{SCK}}$端子によりデータ転送を行います。

シリアル・クロック・ソースは専用ボー・レート・ジェネレータ出力と内部システム・クロックから選択できます。

（９）A/Dコンバータ（ADC）

８本のアナログ入力端子を持つ高速，高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(10) ポ ー ト

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	ポート機能	制御機能
ポート０	８ビット入出力	リアルタイム・パルス・ユニット入出力，外部割り込み入力，DMAコントローラ入力
ポート１	８ビット入出力	リアルタイム・パルス・ユニット入出力，外部割り込み入力，DMAコントローラ出力
ポート２	１ビット入力， ７ビット入出力	NMI入力，シリアル・インタフェース入出力
ポート３	８ビット入出力	リアルタイム・パルス・ユニット入出力，外部割り込み入力，シリアル・インタフェース入出力
ポート４	８ビット入出力	外部データ・バス
ポート５	８ビット入出力	外部データ・バス
ポート６	８ビット入出力	外部アドレス・バス
ポート７	８ビット入力	A/Dコンバータ入力
ポート８	８ビット入出力	外部バス・インタフェース制御信号出力
ポート９	８ビット入出力	外部バス・インタフェース制御信号入出力
ポート10	８ビット入出力	リアルタイム・パルス・ユニット入出力，外部割り込み入力，DMAコントローラ出力
ポート11	８ビット入出力	リアルタイム・パルス・ユニット入出力，外部割り込み入力，シリアル・インタフェース入出力
ポート12	８ビット入出力	リアルタイム・パルス・ユニット入出力，外部割り込み入力，A/Dコンバータ外部トリガ入力
ポートA	８ビット入出力	外部アドレス・バス
ポートB	８ビット入出力	外部アドレス・バス
ポートX	３ビット入出力	リフレッシュ要求信号出力，ウエイト挿入信号入力，内部システム・クロック出力

第２章　端子機能

V850E/MS1の端子の名称と機能を次に示します。これらの端子は，機能別にポート端子と，それ以外の端子に分けることができます。

2.1　端子機能一覧

（1）ポート端子

（1/4）

端子名称	入出力	機　　能	兼用端子
P00	入出力	ポート０	TO100
P01		８ビット入出力ポート	TO101
P02		１ビット単位で入出力の指定が可能	TCLR10
P03			TI10
P04			INTP100/$\overline{\text{DMARQ0}}$
P05			INTP101/$\overline{\text{DMARQ1}}$
P06			INTP102/$\overline{\text{DMARQ2}}$
P07			INTP103/$\overline{\text{DMARQ3}}$
P10	入出力	ポート１	TO110
P11		８ビット入出力ポート	TO111
P12		１ビット単位で入出力の指定が可能	TCLR11
P13			TI11
P14			INTP110/$\overline{\text{DMAAK0}}$
P15			INTP111/$\overline{\text{DMAAK1}}$
P16			INTP112/$\overline{\text{DMAAK2}}$
P17			INTP113/$\overline{\text{DMAAK3}}$
P20	入力	ポート２	NMI
P21	入出力	P20は入力専用ポート	－
P22		有効エッジが入力されるとNMI入力として動作します。また，P2レジスタ	TXD0/SO0
P23		のビット０でNMI入力の状態を示します。	RXD0/SI0
P24		P21-P27は７ビット入出力ポート	$\overline{\text{SCK0}}$
P25		１ビット単位で入出力の指定が可能	TXD1/SO1
P26			RXD1/SI1
P27			$\overline{\text{SCK1}}$

(2/4)

端子名称	入出力	機　　能	兼用端子
P30	入出力	ポート３	TO130
P31		８ビット入出力ポート	TO131
P32		１ビット単位で入出力の指定が可能	TCLR13
P33			TI13
P34			INTP130
P35			INTP131/SO2
P36			INTP132/SI2
P37			INTP133/$\overline{\text{SCK2}}$
P40-P47	入出力	ポート４ ８ビット入出力ポート １ビット単位で入出力の指定が可能	D0-D7
P50-P57	入出力	ポート５ ８ビット入出力ポート １ビット単位で入出力の指定が可能	D8-D15
P60-P67	入出力	ポート６ ８ビット入出力ポート １ビット単位で入出力の指定が可能	A16-A23
P70-P77	入力	ポート７ ８ビット入力専用ポート	ANI0-ANI7
P80	入出力	ポート８	$\overline{\text{CS0}}$/$\overline{\text{RAS0}}$
P81		８ビット入出力ポート	$\overline{\text{CS1}}$/$\overline{\text{RAS1}}$
P82		１ビット単位で入出力の指定が可能	$\overline{\text{CS2}}$/$\overline{\text{RAS2}}$
P83			$\overline{\text{CS3}}$/$\overline{\text{RAS3}}$
P84			$\overline{\text{CS4}}$/$\overline{\text{RAS4}}$/$\overline{\text{IOWR}}$
P85			$\overline{\text{CS5}}$/$\overline{\text{RAS5}}$/$\overline{\text{IORD}}$
P86			$\overline{\text{CS6}}$/$\overline{\text{RAS6}}$
P87			$\overline{\text{CS7}}$/$\overline{\text{RAS7}}$
P90	入出力	ポート９	$\overline{\text{LCAS}}$/$\overline{\text{LWR}}$
P91		８ビット入出力ポート	$\overline{\text{UCAS}}$/$\overline{\text{UWR}}$
P92		１ビット単位で入出力の指定が可能	$\overline{\text{RD}}$
P93			$\overline{\text{WE}}$
P94			$\overline{\text{BCYST}}$
P95			$\overline{\text{OE}}$
P96			$\overline{\text{HLDAK}}$
P97			$\overline{\text{HLDRQ}}$

(3/4)

端子名称	入出力	機　　能	兼用端子
P100	入出力	ポート10	TO120
P101		８ビット入出力ポート	TO121
P102		１ビット単位で入出力の指定が可能	TCLR12
P103			TI12
P104			INTP120/$\overline{\text{TC0}}$
P105			INTP121/$\overline{\text{TC1}}$
P106			INTP122/$\overline{\text{TC2}}$
P107			INTP123/$\overline{\text{TC3}}$
P110	入出力	ポート11	TO140
P111		８ビット入出力ポート	TO141
P112		１ビット単位で入出力の指定が可能	TCLR14
P113			TI14
P114			INTP140
P115			INTP141/SO3
P116			INTP142/SI3
P117			INTP143/$\overline{\text{SCK3}}$
P120	入出力	ポート12	TO150
P121		８ビット入出力ポート	TO151
P122		１ビット単位で入出力の指定が可能	TCLR15
P123			TI15
P124			INTP150
P125			INTP151
P126			INTP152
P127			INTP153/ADTRG
PA0	入出力	ポートA	A0
PA1		８ビット入出力ポート	A1
PA2		１ビット単位で入出力の指定が可能	A2
PA3			A3
PA4			A4
PA5			A5
PA6			A6
PA7			A7
PB0	入出力	ポートB	A8
PB1		８ビット入出力ポート	A9
PB2		１ビット単位で入出力の指定が可能	A10
PB3			A11
PB4			A12
PB5			A13
PB6			A14
PB7			A15

(4/4)

端子名称	入出力	機　　能	兼用端子
PX5	入出力	ポートX	$\overline{\text{REFRQ}}$
PX6		３ビット入出力ポート	$\overline{\text{WAIT}}$
PX7		１ビット単位で入出力の指定が可能	CLKOUT

（２）ポート以外の端子

（1/4）

端子名称	入出力	機　　能	兼用端子
TO100	出力	タイマ10-15のパルス信号出力	P00
TO101			P01
TO110			P10
TO111			P11
TO120			P100
TO121			P101
TO130			P30
TO131			P31
TO140			P110
TO141			P111
TO150			P120
TO151			P121
TCLR10	入力	タイマ10-15の外部クリア信号入力	P02
TCLR11			P12
TCLR12			P102
TCLR13			P32
TCLR14			P112
TCLR15			P122
TI10	入力	タイマ10-15の外部カウント・クロック入力	P03
TI11			P13
TI12			P103
TI13			P33
TI14			P113
TI15			P123
INTP100	入力	外部マスカブル割り込み要求入力兼 タイマ10の外部キャプチャ・トリガ入力	P04/$\overline{\text{DMARQ0}}$
INTP101			P05/$\overline{\text{DMARQ1}}$
INTP102			P06/$\overline{\text{DMARQ2}}$
INTP103			P07/$\overline{\text{DMARQ3}}$
INTP110	入力	外部マスカブル割り込み要求入力兼 タイマ11の外部キャプチャ・トリガ入力	P14/$\overline{\text{DMAAK0}}$
INTP111			P15/$\overline{\text{DMAAK1}}$
INTP112			P16/$\overline{\text{DMAAK2}}$
INTP113			P17/$\overline{\text{DMAAK3}}$
INTP120	入力	外部マスカブル割り込み要求入力兼 タイマ12の外部キャプチャ・トリガ入力	P104/$\overline{\text{TC0}}$
INTP121			P105/$\overline{\text{TC1}}$
INTP122			P106/$\overline{\text{TC2}}$
INTP123			P107/$\overline{\text{TC3}}$

(2/4)

端子名称	入出力	機　　能	兼用端子
INTP130	入力	外部マスカブル割り込み要求入力兼 タイマ13の外部キャプチャ・トリガ入力	P34
INTP131			P35/SO2
INTP132			P36/SI2
INTP133			P37/$\overline{\text{SCK2}}$
INTP140	入力	外部マスカブル割り込み要求入力兼 タイマ14の外部キャプチャ・トリガ入力	P114
INTP141			P115/SO3
INTP142			P116/SI3
INTP143			P117/$\overline{\text{SCK3}}$
INTP150	入力	外部マスカブル割り込み要求入力兼 タイマ15の外部キャプチャ・トリガ入力	P124
INTP151			P125
INTP152			P126
INTP153			P127/ADTRG
SO0	入力	CSI0-CSI3のシリアル送信データ出力（３線式）	P22/TXD0
SO1			P25/TXD1
SO2			P35/INTP131
SO3			P115/INTP141
SI0	入力	CSI0-CSI3のシリアル受信データ入力（３線式）	P23/RXD0
SI1			P26/RXD1
SI2			P36/INTP132
SI3			P116/INTP142
$\overline{\text{SCK0}}$	入出力	CSI0-CSI3のシリアル・クロック入出力（３線式）	P24
$\overline{\text{SCK1}}$			P27
$\overline{\text{SCK2}}$			P37/INTP133
$\overline{\text{SCK3}}$			P117/INTP143
TXD0	出力	UART0, UART1のシリアル送信データ出力	P22/SO0
TXD1			P25/SO1
RXD0	入力	UART0, UART1のシリアル受信データ入力	P23/SI0
RXD1			P26/SI1
D0-D7	入出力	外部メモリに対する16ビット・データ・バス	P40-P47
D8-D15			P50-P57
A0-A7	出力	外部メモリに対する24ビット・アドレス・バス	PA0-PA7
A8-A15			PB0-PB7
A16-A23			P60-P67
$\overline{\text{LWR}}$	出力	外部データ・バスの下位バイト・ライト・イネーブル信号出力	P90/$\overline{\text{LCAS}}$
$\overline{\text{UWR}}$	出力	外部データ・バスの上位バイト・ライト・イネーブル信号出力	P91/$\overline{\text{UCAS}}$
$\overline{\text{RD}}$	出力	外部データ・バスのリード・ストローブ信号出力	P92
$\overline{\text{WE}}$	出力	DRAMに対するライト・イネーブル信号出力	P93
$\overline{\text{OE}}$	出力	DRAMに対するアウトプット・イネーブル信号出力	P95
$\overline{\text{LCAS}}$	出力	DRAMの下位データに対するカラム・アドレス・ストローブ信号出力	P90/$\overline{\text{LWR}}$
$\overline{\text{UCAS}}$	出力	DRAMの上位データに対するカラム・アドレス・ストローブ信号出力	P91/$\overline{\text{UWR}}$

(3/4)

端子名称	入出力	機　　能	兼用端子
$\overline{RAS0}$-$\overline{RAS3}$	出力	DRAMに対するロウ・アドレス・ストローブ信号出力	P80/$\overline{CS0}$-P83/$\overline{CS3}$
$\overline{RAS4}$			P84/$\overline{CS4}$/$\overline{IOWR}$
$\overline{RAS5}$			P85/$\overline{CS5}$/$\overline{IORD}$
$\overline{RAS6}$			P86/$\overline{CS6}$
$\overline{RAS7}$			P87/$\overline{CS7}$
$\overline{BCYST}$	出力	バス・サイクルの開始を示すストローブ信号出力	P94
$\overline{CS0}$-$\overline{CS3}$	出力	チップ・セレクト信号出力	P80/$\overline{RAS0}$-P83/$\overline{RAS3}$
$\overline{CS4}$			P84/$\overline{RAS4}$/$\overline{IOWR}$
$\overline{CS5}$			P85/$\overline{RAS5}$/$\overline{IORD}$
$\overline{CS6}$			P86/$\overline{RAS6}$
$\overline{CS7}$			P87/$\overline{RAS7}$
$\overline{WAIT}$	入力	バス・サイクルにウエイトを挿入する制御信号入力	PX6
$\overline{REFRQ}$	出力	DRAMに対するリフレッシュ要求信号出力	PX5
$\overline{IOWR}$	出力	DMAライト・ストローブ信号出力	P84/$\overline{RAS4}$/$\overline{CS4}$
$\overline{IORD}$	出力	DMAリード・ストローブ信号出力	P85/$\overline{RAS5}$/$\overline{CS5}$
$\overline{DMARQ0}$-$\overline{DMARQ3}$	入力	DMA要求信号入力	P04/INTP100-P07/INTP103
$\overline{DMAAK0}$-$\overline{DMAAK3}$	出力	DMAアクノリッジ信号出力	P14/INTP110-P17/INTP113
$\overline{TC0}$-$\overline{TC3}$	出力	DMA終了（ターミナル・カウント）信号出力	P104/INTP120-P107/INTP123
$\overline{HLDAK}$	出力	バス・ホールド・アクノリッジ出力	P96
$\overline{HLDRQ}$	入力	バス・ホールド要求入力	P97
ANI0-ANI7	入力	A/Dコンバータへのアナログ入力	P70-P77
NMI	入力	ノンマスカブル割り込み要求入力	P20
CLKOUT	出力	システム・クロック出力	PX7
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	－
MODE0-MODE2	入力	動作モードを指定	－
MODE3			V_{PP}注
$\overline{RESET}$	入力	システム・リセット入力	－
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合はX1に入力します。	－
X2	－		－
ADTRG	入力	A/Dコンバータ外部トリガ入力	P127/INTP153
AV_{REF}	入力	A/Dコンバータ用基準電圧入力	－
AV_{DD}	－	A/Dコンバータ用正電源供給	－
AV_{SS}	－	A/Dコンバータ用グランド電位	－
CV_{DD}	－	専用クロック・ジェネレータ用正電源供給	－
CV_{SS}	－	専用クロック・ジェネレータ用グランド電位	－
V_{DD}	－	正電源供給（内部ユニット用電源）	－
HV_{DD}	－	正電源供給（外部端子用電源）	－

注　μPD70F3102, 70F3102Aだけ

(4/4)

端子名称	入出力	機　　能	兼用端子
V_{SS}	－	グランド電位	－
V_{PP}注	－	プログラム書き込み／ベリファイ時の高電圧印加端子	MODE3

注　μPD70F3102, 70F3102Aだけ

2.2　端子状態

リセット時，パワー・セーブ・モード（ソフトウエアSTOP，IDLE，HALT）時，バス・ホールド（TH）時，アイドル・ステート（TI）での各端子の状態を次に示します。

動作状態 端子	リセット	ソフトウエア STOPモード	IDLE モード	HALT モード	バス・ホールド （TH）	アイドル・ ステート（TI）
D0-D15	Hi-Z	Hi-Z（出力時） －（入力時）	Hi-Z（出力時） －（入力時）	動作	Hi-Z	Hi-Z
A0-A23	Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z	保持
$\overline{WE}$, $\overline{OE}$, $\overline{RD}$, $\overline{BCYST}$	Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z	H
$\overline{UWR}$, $\overline{LWR}$, $\overline{IORD}$, $\overline{IOWR}$, $\overline{CS0}$-$\overline{CS7}$	Hi-Z	H	H	動作	Hi-Z	H
$\overline{RAS0}$-$\overline{RAS7}$	Hi-Z	動作	動作	動作	Hi-Z	保持[注2]
$\overline{UCAS}$, $\overline{LCAS}$	Hi-Z	動作	動作	動作	Hi-Z	H
$\overline{REFRQ}$	Hi-Z	動作	動作	動作	動作	H
$\overline{HLDRQ}$	－	－	－	動作	動作	動作
$\overline{HLDAK}$	Hi-Z	Hi-Z	Hi-Z	動作	L	動作
$\overline{WAIT}$	－	－	－	動作	－	－
CLKOUT	注１	L	L	動作	動作	動作
$\overline{DMARQ0}$-$\overline{DMARQ3}$	－	－	－	動作	動作	動作
$\overline{DMAAK0}$-$\overline{DMAAK3}$	Hi-Z	H	H	動作	H	H
$\overline{TC0}$-$\overline{TC3}$	Hi-Z	H	H	動作	動作	動作
INTP100-INTP103, INTP110-INTP113, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143, INTP150-INTP153	－	－	－	動作	動作	動作
NMI	－	動作	動作	動作	動作	動作
P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P107, P110-P117, P120-P127, PA0-PA7, PB0-PB7, PX5-PX7	Hi-Z	保持（出力時） －（入力時）	保持（出力時） －（入力時）	動作	動作	動作
TCLR10-TCLR15	－	－	－	動作	動作	動作
TI10-TI15	－	－	－	動作	動作	動作
TO100, TO101, TO110, TO111, TO120, TO121, TO130, TO131, TO140, TO141, TO150, TO151	Hi-Z	保持	保持	動作	動作	動作

動作状態 端子	リセット	ソフトウエア STOPモード	IDLE モード	HALT モード	バス・ホールド （TH）	アイドル・ ステート（TI）
SI0-SI3	－	－	－	動作	動作	動作
SO0-SO3	Hi-Z	保持	保持	動作	動作	動作
$\overline{\text{SCK0}}$-$\overline{\text{SCK3}}$	Hi-Z	保持（出力時） －（入力時）	保持（出力時） －（入力時）	動作	動作	動作
RXD0, RXD1	－	－	－	動作	動作	動作
TXD0, TXD1	Hi-Z	保持	保持	動作	動作	動作
ANI0-ANI7, ADTRG	－	－	－	動作	動作	動作

注１．シングルチップ・モード0のとき：Hi-Z
　　上記以外：動作
　２．バス・ホールド直前，直後のアイドル・ステート（TI）ではH

備考　Hi-Z　：ハイ・インピーダンス
　　保持　：直前の外部バス・サイクルでの状態を保持
　　H　　：ハイ・レベル出力
　　L　　：ロウ・レベル出力
　　－　　：入力非サンプリング

電源投入／遮断時の注意事項

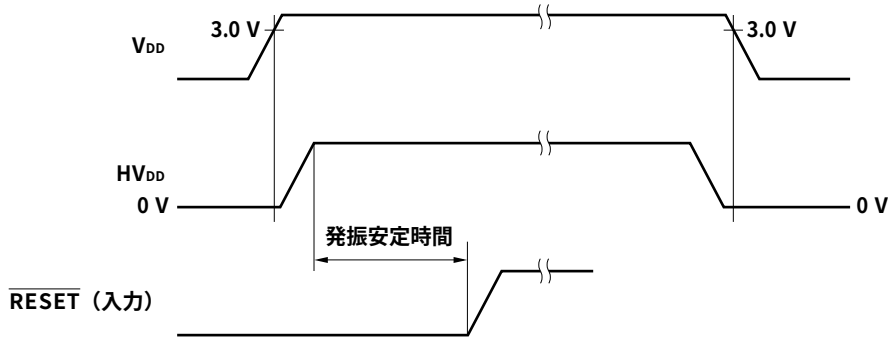
V850E/MS1は，内部ユニット用電源端子（V_{DD}）と外部端子用電源端子（HV_{DD}）の２電源端子構成になっています。動作保証範囲以外では，入出力兼用端子の入出力状態が不定になる場合があります。この入出力不定状態がシステムに影響を与える場合は，次に示す処置を行うことにより，端子状態をハイ・インピーダンス状態にすることができます。

・**電源投入時**

V_{DD}端子の電圧が動作保証範囲内（3.0～3.6 V）になるまで，HV_{DD}端子の電圧を０Vにしてください。

・**電源遮断時**

HV_{DD}端子の電圧が０Vになるまで，V_{DD}端子の電圧を動作保証範囲内（3.0～3.6 V）にしてください。



2.3　端子機能の説明

（1）P00-P07（Port 0）…３ステート入出力

ポート０は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，DMA要求入力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート０モード・コントロール・レジスタ（PMC0）で指定します。

（a）ポート・モード

P00-P07はポート０モード・レジスタ（PM0）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード

P00-P07はPMC0レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）TO100,TO101（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR10（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI10（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP100-INTP103（Interrupt Request from Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ⅴ）$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$（DMA Request）…入力

DMAサービスの要求信号です。それぞれDMAチャネル０-３に対応し互いに独立して動作します。優先順位は固定で，$\overline{\text{DMARQ0}}$＞$\overline{\text{DMARQ1}}$＞$\overline{\text{DMARQ2}}$＞$\overline{\text{DMARQ3}}$です。

この信号は，CLKOUT信号の立ち下がりでサンプリングされます。DMA要求が受け付けられるまでアクティブ・レベルを保持してください。

（２）P10-P17（Port 1）…３ステート入出力

ポート１は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，DMAアクノリッジ出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート１モード・コントロール・レジスタ（PMC1）で指定します。

（ａ）ポート・モード

P10-P17はポート１モード・レジスタ（PM1）により，ビット単位で入力または出力を設定できます。

（ｂ）コントロール・モード

P10-P17はPMC1レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）TO110, TO111（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR11（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI11（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP110-INTP113（Interrupt Request from Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ⅴ）$\overline{\text{DMAAK0}}$-$\overline{\text{DMAAK3}}$（DMA Acknowledge）…出力

DMAサービス要求が許可されたことを示す信号です。それぞれDMAチャネル０-３に対応し互いに独立して動作します。

外部メモリをアクセスしているときだけアクティブになります。内蔵RAMと内蔵周辺I/O間でDMA転送が実行されているときには，アクティブにはなりません。

この信号は，DMAサイクルのT0, T1R, T1FHステートのCLKOUT信号の立ち下がりでアクティブになり，DMA転送中はアクティブ・レベルを保持します。

（３）P20-P27（Port 2）…３ステート入出力

ポート２は，入力専用端子であるP20を除き，１ビット単位で入力または出力を設定できる入出力ポートです。

ポートとして機能するほか，コントロール・モードではシリアル・インタフェース（UART0/CSI0, UART1/CSI1）の入出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート２モード・コントロール・レジスタ（PMC2）で指定します。

（a）ポート・モード

P21-P27はポート２モード・レジスタ（PM2）により，ビット単位で入力または出力を設定できます。

P20は入力専用ポートで，有効エッジが入力されるとNMI入力として動作します。

（b）コントロール・モード

P22-P27はPMC2レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）NMI（Non-Maskable Interrupt Request）…入力

ノンマスカブル割り込み要求入力です。

（ⅱ）TXD0, TXD1（Transmit Data）…出力

UART0, UART1のシリアル送信データを出力します。

（ⅲ）RXD0, RXD1（Receive Data）…入力

UART0, UART1のシリアル受信データを入力します。

（ⅳ）SO0, SO1（Serial Output）…出力

CSI0, CSI1のシリアル送信データを出力します。

（ⅴ）SI0, SI1（Serial Input）…入力

CSI0, CSI1のシリアル受信データを入力します。

（ⅵ）$\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$（Serial Clock）…３ステート入出力

CSI0, CSI1のシリアル・クロック入出力端子です。

（４）P30-P37（Port 3）…３ステート入出力

ポート３は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，シリアル・インタフェース（CSI2）の入出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート３モード・コントロール・レジスタ（PMC3）で指定します。

（ａ）ポート・モード

P30-P37はポート３モード・レジスタ（PM3）により，ビット単位で入力または出力を設定できます。

（ｂ）コントロール・モード

P30-P37はPMC3レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）TO130, TO131（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR13（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI13（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP130-INTP133（Interrupt Request from Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ⅴ）SO2（Serial Output）…出力

CSI2のシリアル送信データを出力します。

（ⅵ）SI2（Serial Input）…入力

CSI2のシリアル受信データを入力します。

（ⅶ）$\overline{\text{SCK2}}$（Serial Clock）…３ステート入出力

CSI2のシリアル・クロック入出力端子です。

（５）P40-P47（Port 4）…３ステート入出力

ポート４は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のデータ・バス（D0-D7）として動作します。

動作モードはモード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM）で指定します。

（ａ）ポート・モード

P40-P47はポート４モード・レジスタ（PM4）により，ビット単位で入力または出力を設定できます。

（ｂ）コントロール・モード（外部拡張モード）

P40-P47はMODE0-MODE3端子とMMレジスタにより，D0-D7として使用できます。

（ｉ）D0-D7（Data）…３ステート入出力

外部アクセス時のデータ・バスです。16ビット・データの下位８ビット・データ入出力バス端子となります。

出力は，バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）ではハイ・インピーダンスになります。

（６）P50-P57（Port 5）…３ステート入出力

ポート５は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

入出力ポートとして機能するほか，コントロール・モード（外部拡張モード）では，メモリを外部に拡張する場合のデータ・バス（D8-D15）として動作します。

動作モードはモード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM）で指定します。

（ａ）ポート・モード

P50-P57はポート５モード・レジスタ（PM5）により，ビット単位で入力または出力を設定できます。

（ｂ）コントロール・モード（外部拡張モード）

P50-P57はMODE0-MODE3端子とMMレジスタにより，D8-D15として使用できます。

（ｉ）D8-D15（Data）…３ステート入出力

外部アクセス時のデータ・バスです。16ビット・データの上位８ビット・データ入出力バス端子となります。

出力は，バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）ではハイ・インピーダンスになります。

（７）P60-P67（Port 6）…３ステート入出力

ポート６は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モード（外部拡張モード）では，メモリを外部に拡張する場合のアドレス・バス（A16-A23）として動作します。

動作モードは２ビットごとにポート／コントロールの選択が可能で，モード指定端子（MODE0-MODE3）と，メモリ拡張モード・レジスタ（MM）で指定します。

（ａ）ポート・モード

P60-P67はポート６モード・レジスタ（PM6）により，ビット単位で入力または出力を設定できます。

（ｂ）コントロール・モード（外部拡張モード）

P60-P67はMODE0-MODE3端子とMMレジスタにより，A16-A23として使用できます。

（ｉ）A16-A23（Address）…出力

外部アクセス時のアドレス・バスで，24ビット・アドレスの上位８ビット・アドレス出力端子です。

出力は，バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

（８）P70-P77（Port7）…入力

ポート７は全端子が入力に固定の８ビット入力専用ポートです。

ポートとして機能するほか，コントロール・モードではA/Dコンバータのアナログ入力として動作します。ただし，入力ポートとアナログ入力端子は切り替えられません。

（ａ）ポート・モード

P70-P77は入力専用です。

（ｂ）コントロール・モード

P70-P77はANI0-ANI7端子と兼用になっていますが，切り替えはできません。

（ｉ）ANI0-ANI7（Analog Input）…入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため，AV_{SS}との間にコンデンサを接続してください。また，A/Dコンバータへの入力に使用している端子には，AV_{SS}-AV_{REF}の範囲外の電圧が加わらないようにしてください。AV_{REF}以上，AV_{SS}以下のノイズが入る可能性がある場合は，V_Fの小さいダイオードでクランプしてください。

（９）P80-P87（Port8）…３ステート入出力

ポート８は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードでは，メモリ，周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート８モード・コントロール・レジスタ（PMC8）で指定します。

（a）ポート・モード

P80-P87はポート８モード・レジスタ（PM8）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード

P80-P87はPMC8レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）$\overline{\text{CS0}}$-$\overline{\text{CS7}}$（Chip Select）…３ステート出力

SRAM，外部ROM，外部周辺I/O, ページROM, シンクロナス・フラッシュ・メモリ領域に対するチップ・セレクト信号です。

メモリ・ブロックnに対して$\overline{\text{CSn}}$信号が割り当てられています（n＝0-7）。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

アイドル・ステート（TI）では，インアクティブになります。

（ⅱ）$\overline{\text{RAS0}}$-$\overline{\text{RAS7}}$（Row Address Strobe）…３ステート出力

DRAM領域に対するロウ・アドレスのストローブ信号とCBRリフレッシュ・サイクルのストローブ信号です。

メモリ・ブロックnに対して$\overline{\text{RASn}}$信号が割り当てられています（n＝0-7）。

オンページ・ディスエーブル時は，DRAMアクセスのバス・サイクル終了後にインアクティブになります。

オンページ・イネーブル時は，DRAMアクセスのバス・サイクル終了後もアクティブの状態に保ちます。

リセット期間中とバス・ホールド期間中は，ハイ・インピーダンス状態になるので，抵抗を介してHV_{DD}に接続してください。

（ⅲ）$\overline{\text{IORD}}$（I/O Read）…３ステート出力

DMAフライバイ転送時の外部I/O用リード・ストローブ信号です。実行中のバス・サイクルがDMAフライバイ転送時の外部I/Oに対するリード・サイクルか，SRAM領域に対するリード・サイクルであることを示します。

DMAフライバイ転送時にメモリや外部I/Oを直結できるようにするために，$\overline{\text{IORD}}$の立ち上がりよりも先に$\overline{\text{UWR}}$，または$\overline{\text{LWR}}$が立ち上がります。

（ⅳ）$\overline{\text{IOWR}}$（I/O Write）…３ステート出力

DMAフライバイ転送時の外部I/O用ライト・ストローブ信号です。実行中のバス・サイクルがDMAフライバイ転送時の外部I/Oに対するライト・サイクルか，SRAM領域に対するライト・サイクルであることを示します。

DMAフライバイ転送時にメモリや外部I/Oを直結できるようにするために，$\overline{\text{RD}}$の立ち上がりよりも先に$\overline{\text{IOWR}}$が立ち上がります。

なお，この外部I/Oは，SRAM領域に割り当てたときもアクセス可能です。

（10）P90-P97（Port9）…３ステート入出力

ポート９は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではメモリを外部に拡張する場合の制御信号出力，バス・ホールド制御信号入出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート９モード・コントロール・レジスタ（PMC9）で指定します。

（ａ）ポート・モード

P90-P97はポート９モード・レジスタ（PM9）により，ビット単位で入力または出力を設定できます。

（ｂ）コントロール・モード

P90-P97はPMC9レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）$\overline{\text{LCAS}}$（Lower Column Address Strobe）…３ステート出力

DRAMに対するカラム・アドレスのストローブ信号とCBRリフレッシュ・サイクルのストローブ信号です。

データ・バスは下位バイトが有効になります。

（ⅱ）$\overline{\text{UCAS}}$（Upper Column Address Strobe）…３ステート出力

DRAMに対するカラム・アドレスのストローブ信号とCBRリフレッシュ・サイクルのストローブ信号です。

データ・バスは上位バイトが有効になります。

（ⅲ）$\overline{\text{LWR}}$（Lower Byte Write Strobe）…３ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O, ページROM領域に対するライト・サイクルであることを示すストローブ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば，T1ステートのCLKOUT信号の立ち上がりでアクティブになり，T2ステートのCLKOUT信号の立ち上がりでインアクティブになります。

（ⅳ）$\overline{\text{UWR}}$（Upper Byte Write Strobe）…３ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O, ページROM領域に対するライト・サイクルであることを示すストローブ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば，T1ステートのCLKOUT信号の立ち上がりでアクティブになり，T2ステートのCLKOUT信号の立ち上がりでインアクティブになります。

（ｖ）$\overline{\text{RD}}$（Read Strobe）…３ステート出力

実行中のバス・サイクルがSRAM，外部ROM，外部周辺I/O, ページROM, シンクロナス・フラッシュ・メモリ領域に対するリード・サイクルであることを示すストローブ信号です。

アイドル・ステート（TI）では，インアクティブになります。

（ⅵ）$\overline{\text{WE}}$（Write Enable）…３ステート出力

実行中のバス・サイクルが，DRAM領域に対するライト・サイクルであることを示す信号です。

アイドル・ステート（TI）では，インアクティブになります。

（ⅶ）$\overline{\text{BCYST}}$（Bus Cycle Start Timing）…３ステート出力

バス・サイクルの開始を示すステータス信号を出力します。各サイクルの開始から１クロック間，アクティブになります。

アイドル・ステート（TI）では，インアクティブになります。

（ⅷ）$\overline{\text{OE}}$（Output Enable）…３ステート出力

実行中のバス・サイクルが，DRAM領域に対するリード・サイクルであることを示す信号です。

アイドル・ステート（TI）では，インアクティブになります。

（ⅸ）$\overline{\text{HLDAK}}$（Hold Acknowledge）…出力

V850E/MS1がバス・ホールド要求を受けて，アドレス・バス，データ・バス，制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間，アドレス・バス，データ・バス，制御バスはハイ・インピーダンス状態になり，外部バス・マスタにバスの使用権を渡します。

（ⅹ）$\overline{\text{HLDRQ}}$（Hold Request）…入力

外部デバイスがV850E/MS1に対し，アドレス・バス，データ・バス，制御バスの解放を要求する入力端子です。この端子は，CLKOUT信号に対して非同期入力が可能です。この端子がアクティブになると，V850E/MS1は実行中のバス・サイクルがあればその終了後に，なければすぐにアドレス・バス，データ・バス，制御バスをハイ・インピーダンス状態にし，$\overline{\text{HLDAK}}$信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには，$\overline{\text{HLDAK}}$信号が出力されるまで，$\overline{\text{HLDRQ}}$信号をアクティブに保ってください。

（11）P100-P107（Port 10）…３ステート入出力

ポート10は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，DMAコントローラからのDMA終了信号（ターミナル・カウント）出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート10モード・コントロール・レジスタ（PMC10）で指定します。

（a）ポート・モード

P100-P107はポート10モード・レジスタ（PM10）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード

P100-P107はPMC10レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）TO120, TO121（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR12（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI12（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP120-INTP123（Interrupt Request from Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ⅴ）$\overline{\text{TC0}}$-$\overline{\text{TC3}}$（Terminal Count）…出力

DMAコントローラによるDMA転送が終了したことを示す信号です。

この信号は，CLKOUT信号の立ち下がりで１クロック間アクティブになります。

(12) P110-P117（Port 11）…３ステート入出力

ポート11は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，シリアル・インタフェース（CSI3）の入出力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート11モード・コントロール・レジスタ（PMC11）で指定します。

（a）ポート・モード

P110-P117はポート11モード・レジスタ（PM11）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード

P110-P117はPMC11レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（i）TO140, TO141（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ii）TCLR14（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（iii）TI14（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（iv）INTP140-INTP143（Interrupt Request from Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（v）SO3（Serial Output3）…出力

CSI3のシリアル送信データを出力します。

（vi）SI3（Serial Input3）…入力

CSI3のシリアル受信データを入力します。

（vii）$\overline{\text{SCK3}}$（Serial Clock3）…３ステート入出力

CSI3のシリアル・クロック入出力端子です。

（13）P120-P127（Port 12）…３ステート入出力

ポート12は，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，A/Dコンバータの外部トリガ入力として動作します。

動作モードは１ビットごとにポート／コントロールの選択が可能で，ポート12モード・コントロール・レジスタ（PMC12）で指定します。

（a）ポート・モード

P120-P127はポート12モード・レジスタ（PM12）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード

P120-P127はPMC12レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）TO150,TO151（Timer Output）…出力

タイマ１のパルス信号を出力します。

（ⅱ）TCLR15（Timer Clear）…入力

タイマ１の外部クリア信号入力端子です。

（ⅲ）TI15（Timer Input）…入力

タイマ１の外部カウンタ・クロック入力端子です。

（ⅳ）INTP150-INTP153（Interrupt Request from Peripherals）…入力

タイマ１の外部割り込み要求入力端子です。

（ⅴ）ADTRG（AD Trigger Input）…入力

A/Dコンバータの外部トリガ入力端子です。

(14) PA0-PA7（Port A）…３ステート入出力

ポートAは，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バス（A0-A7）として動作します。

動作モードはモード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM）で指定します。

（a）ポート・モード

PA0-PA7はポートAモード・レジスタ（PMA）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード（外部拡張モード）

PA0-PA7はMODE0-MODE3端子とMMレジスタにより，A0-A7として使用できます。

（ｉ）A0-A7（Address）…出力

外部アクセス時のアドレス・バスです。

出力は，バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

(15) PB0-PB7（Port B）…３ステート入出力

ポートBは，１ビット単位で入力または出力を設定できる８ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モード（外部拡張モード）では，メモリを外部に拡張する場合のアドレス・バス（A8-A15）として動作します。

動作モードは２ビット，または４ビット単位でポート／コントロールの選択が可能で，モード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM）で指定します。

（a）ポート・モード

PB0-PB7はポートBモード・レジスタ（PMB）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード（外部拡張モード）

PB0-PB7はMODE0-MODE3端子とMMレジスタにより，A8-A15として使用できます。

（ｉ）A8-A15（Address）…出力

外部アクセス時のアドレス・バスです。

出力は，バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

(16) PX5-PX7（Port X）…３ステート入出力

ポートXは，１ビット単位で入力または出力を設定できる３ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードでは，DRAMに対するリフレッシュ要求信号出力，ウエイト挿入信号入力，システム・クロック出力として動作します。

動作モードは１ビットごとにポート／コントールの選択が可能で，ポートＸモード・コントロール・レジスタ（PMCX）で指定します。

（a）ポート・モード

PX5-PX7はポートＸモード・レジスタ（PMX）により，ビット単位で入力または出力を設定できます。

（b）コントロール・モード

PX5-PX7はPMCXレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（ⅰ）$\overline{\text{REFRQ}}$（Refresh Request）…３ステート出力

DRAMに対するリフレッシュ要求信号です。

外部回路でアドレスをデコードして接続するDRAMを増やす場合や，外部にSIMMを接続する場合に，リフレッシュ・サイクル時の$\overline{\text{RAS}}$制御に使用します。

この信号は，リフレッシュ・サイクル期間中，アクティブになります。また，バス・ホールド時は，リフレッシュ要求が発生するとアクティブになり，外部バス・マスタに対し，リフレッシュ要求が発生したことを通知します。

（ⅱ）$\overline{\text{WAIT}}$（Wait）…入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で，CLKOUT信号に対する非同期入力が可能です。CLKOUT信号の立ち下がりでサンプリングします。サンプリング・タイミングにおける設定／保持時間を満たさないときはウエイト挿入が行われないことがあります。

（ⅲ）CLKOUT（Clock Output）…出力

内部システム・クロック出力端子です。シングルチップ・モード１とROMレス・モード０，１のときは，リセット期間中でもCLKOUT端子からの出力は行われます。

シングルチップ・モード０のときは，リセット期間中はポート・モードになっているため，CLKOUT端子からの出力は行われません。CLKOUT出力を行うためには，ポートXモード・コントロール・レジスタ（PMCX）でコントロール・モードに設定してください。

(17) CKSEL（Clock Generator Operating Mode Select）…入力

クロック・ジェネレータの動作モードを指定する入力端子です。

入力レベルは動作中に変化しないようにしてください。

(18) MODE0-MODE3（Mode）…入力

動作モードを指定する入力端子です。動作モードには，大きく分けて通常動作モードとフラッシュ・メモリ・プログラミング・モードがあります。さらに通常動作モードには，シングルチップ・モード０，１とROMレス・モード０，１があります（詳細は，**３.３　動作モード**を参照してください）。動作モードは，リセット時にMODE0-MODE3の各端子の状態がサンプリングされ決定します。

なお，入力レベルは動作中に変化しないよう固定してください。

（a）μPD703100, 703100A

MODE3	MODE2	MODE1	MODE0	動作モード	
L	L	L	L	通常動作モード	ROMレス・モード０
L	L	L	H		ROMレス・モード１
上記以外				設定禁止	

（b）μPD703101, 703101A, 703102, 703102A

MODE3	MODE2	MODE1	MODE0	動作モード	
L	L	L	L	通常動作モード	ROMレス・モード０
L	L	L	H		ROMレス・モード１
L	L	H	L		シングルチップ・モード０
L	L	H	H		シングルチップ・モード１
上記以外				設定禁止	

（c）μPD70F3102, 70F3102A

MODE3/V_{PP}	MODE2	MODE1	MODE0	動作モード	
0 V	L	L	L	通常動作モード	ROMレス・モード０
0 V	L	L	H		ROMレス・モード１
0 V	L	H	L		シングルチップ・モード０
0 V	L	H	H		シングルチップ・モード１
7.8 V	L	H	L	フラッシュ・メモリ・プログラミング・モード	
上記以外				設定禁止	

備考　L：ロウ・レベル入力
　　H：ハイ・レベル入力

(19) $\overline{\text{RESET}}$（Reset）…入力

$\overline{\text{RESET}}$入力は非同期入力であり，動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると，すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ／スタートのほかに，パワー・セーブ・モード（HALT,IDLE, ソフトウエアSTOP）の解除にも使用されます。

(20) X1,X2（Crystal）…入力

システム・クロック発生用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し，X2端子はオープンにしてください。

(21) CV_{DD}（Power Supply for Clock Generator）

クロック・ジェネレータ用の正電源供給端子です。

(22) CV_{SS}（Ground for Clock Generator）

クロック・ジェネレータ用のグランド端子です。

(23) V_{DD}（Power Supply for Internal Unit）

各内部ユニット用の正電源供給端子です。すべてのV_{DD}端子を正電源（3.3 V）に接続してください。

(24) HV_{DD}（Power Supply for External Pins）

外部端子用の正電源供給端子です。すべてのHV_{DD}端子を正電源（5 V-3.3 V）に接続してください。

(25) V_{SS}（Ground）

グランド端子です。すべてのV_{SS}端子をグランドに接続してください。

(26) AV_{DD}（Analog V_{DD}）

A/Dコンバータ用アナログ電源供給端子です。

(27) AV_{SS}（Analog V_{SS}）

A/Dコンバータ用のグランド端子です。

(28) AV_{REF}（Analog Reference Voltage）…入力

A/Dコンバータ用の基準電圧供給端子です。

(29) V_{PP}（Programming Power Supply）

フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。

μPD70F3102, 70F3102A用の端子です。

2.4　各端子の入出力回路タイプと未使用時の処理

抵抗を介してV_{DD}またはV_{SS}に接続する場合，1-10 kΩの抵抗を接続することをお勧めします。

端　　子	入出力回路タイプ	推奨接続方法
P00/TO100, P01/TO101	5	入力状態：個別に抵抗を介してHV_{DD}またはV_{SS}に接続してください。 出力状態：オープンにしてください。
P02/TCLR10, P03/TI10	5-K	
P04/INTP100/$\overline{\text{DMARQ0}}$- P07/INTP103/$\overline{\text{DMARQ3}}$		
P10/TO110, P11/TO111	5	
P12/TCLR11, P13/TI11	5-K	
P14/INTP110/$\overline{\text{DMAAK0}}$- P17/INTP113/$\overline{\text{DMAAK3}}$		
P20/NMI	2	V_{SS}に直接接続してください。
P21	5	入力状態：個別に抵抗を介してHV_{DD}またはV_{SS}に接続してください。 出力状態：オープンにしてください。
P22/TXD0/SO0		
P23/RXD0/SI0	5-K	
P24/$\overline{\text{SCK0}}$		
P25/TXD1/SO1	5	
P26/RXD1/SI1	5-K	
P27/$\overline{\text{SCK1}}$		
P30/TO130, P31/TO131	5	
P32/TCLR13, P33/TI13	5-K	
P34/INTP130		
P35/INTP131/SO2		
P36/INTP132/SI2		
P37/INTP133/$\overline{\text{SCK2}}$		
P40/D0 - P47/D7	5	
P50/D8 - P57/D15		
P60/A16 - P67/A23		
P70/ANI0 - P77/ANI7	9	V_{SS}に直接接続してください。
P80/$\overline{\text{CS0}}$/$\overline{\text{RAS0}}$-P83/$\overline{\text{CS3}}$/$\overline{\text{RAS3}}$	5	入力状態：個別に抵抗を介してHV_{DD}またはV_{SS}に接続してください。 出力状態：オープンにしてください。
P84/$\overline{\text{CS4}}$/$\overline{\text{RAS4}}$/$\overline{\text{IOWR}}$, P85/$\overline{\text{CS5}}$/$\overline{\text{RAS5}}$/$\overline{\text{IORD}}$		
P86/$\overline{\text{CS6}}$/$\overline{\text{RAS6}}$, P87/$\overline{\text{CS7}}$/$\overline{\text{RAS7}}$		
P90/$\overline{\text{LCAS}}$/$\overline{\text{LWR}}$		
P91/$\overline{\text{UCAS}}$/$\overline{\text{UWR}}$		
P92/$\overline{\text{RD}}$		
P93/$\overline{\text{WE}}$		
P94/$\overline{\text{BCYST}}$		
P95/$\overline{\text{OE}}$		

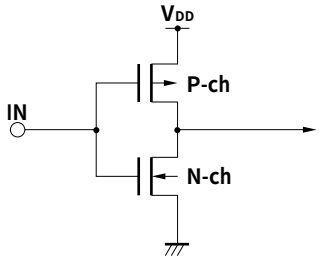
端　　子	入出力回路タイプ	推奨接続方法
P96/$\overline{\text{HLDAK}}$	5	入力状態：個別に抵抗を介してHV$_{DD}$またはV$_{SS}$に接続してください。 出力状態：オープンにしてください。
P97/$\overline{\text{HLDRQ}}$		
P100/TO120, P101/TO121		
P102/TCLR12, P103/TI12	5-K	
P104/INTP120/$\overline{\text{TC0}}$- P107/INTP123/$\overline{\text{TC3}}$		
P110/TO140, P111/TO141	5	
P112/TCLR14, P113/TI14	5-K	
P114/INTP140		
P115/INTP141/SO3		
P116/INTP142/SI3		
P117/INTP143/$\overline{\text{SCK3}}$		
P120/TO150, P121/TO151	5	
P122/TCLR15, P123/TI15	5-K	
P124/INTP150-P126/INTP152		
P127/INTP153/ADTRG		
PA0/A0-PA7/A7	5	
PB0/A8-PB7/A15		
PX5/$\overline{\text{REFRQ}}$		
PX6/$\overline{\text{WAIT}}$		
PX7/CLKOUT		
CKSEL	1	－
$\overline{\text{RESET}}$	2	－
MODE0-MODE2		
MODE3[注1]		抵抗（R$_{VPP}$）を介してV$_{SS}$に接続してください。
MODE3/V$_{PP}$[注2]		
AV$_{REF}$, AV$_{SS}$	－	V$_{SS}$に直接接続してください。
AV$_{DD}$	－	HV$_{DD}$に直接接続してください。

注１．μPD703100, 703100A, 703101, 703101A, 703102, 703102Aだけ。

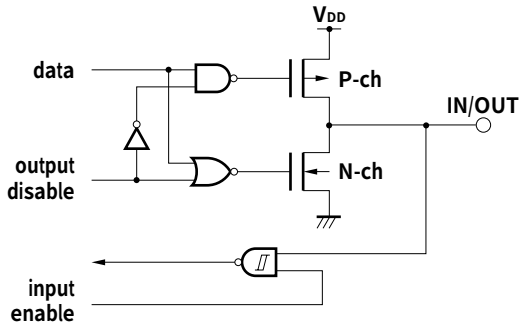
２．μPD70F3102, 70F3102Aだけ。

2.5　端子の入出力回路

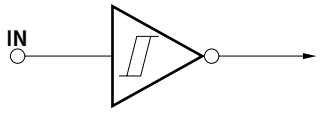
タイプ１



タイプ５-K

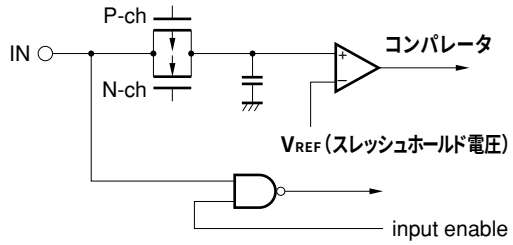


タイプ２

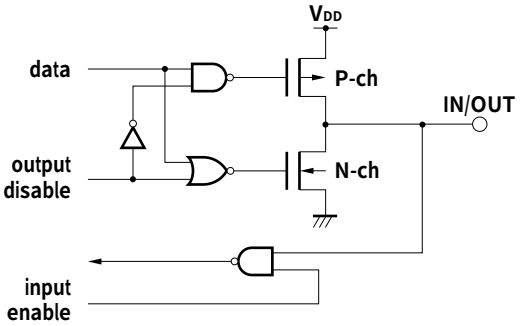


ヒステリシス特性を有するシュミット・トリガ入力となっています

タイプ９



タイプ５



注意　回路図中のVDDはHVDDに置き換えて参照してください。

第３章　CPU機能

V850E/MS1のCPUは，RISCアーキテクチャをベースとし，５段パイプラインの制御によりほとんどの命令を１クロックで実行します。

3.1　特　　徴

○最小命令実行時間　25 ns（内部40 MHz動作時）…μPD703100-40, 703100A-40
　　30 ns（内部33 MHz動作時）…上記以外
○メモリ空間　プログラム空間：64 Mバイト・リニア
　　データ空間　　：4 Gバイト・リニア
○汎用レジスタ　32ビット×32本
○内部32ビット・アーキテクチャ
○５段パイプライン制御
○乗除算命令
○飽和演算命令
○32ビット・シフト命令：１クロック
○ロング／ショート・フォーマット
○ビット操作命令４種
　・SET1
　・CLR1
　・NOT1
　・TST1

3.2　CPUレジスタ・セット

V850E/MS1のレジスタは，汎用のプログラム・レジスタ・セットと，専用のシステム・レジスタ・セットの２種類に分類できます。すべてのレジスタは，32ビット幅となっています。

詳細はV850E/MS1　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

（1）プログラム・レジスタ・セット

31　　0

r0	Zero Register
r1	Reserved for Address Generation
r2	
r3	Stack Pointer（SP）
r4	Global Pointer（GP）
r5	Text Pointer（TP）
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	Element Pointer（EP）
r31	Link Pointer（LP）

31　　0

PC	Program Counter

（2）システム・レジスタ・セット

31　　0

EIPC	Exception/Interrupt PC
EIPSW	Exception/Interrupt PSW

31　　0

FEPC	Fatal Error PC
FEPSW	Fatal Error PSW

31　　0

ECR	Exception Cause Register

31　　0

PSW	Program Status Word

31　　0

CTPC	CALLT Caller PC
CTPSW	CALLT Caller PSW

31　　0

DBPC	ILGOP Caller PC
DBPSW	ILGOP Caller PSW

31　　0

CTBP	CALLT Base Pointer

3.2.1　プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタとプログラム・カウンタがあります。

（1）汎用レジスタ

汎用レジスタとして，r0-r31の32本が用意されています。これらのレジスタは，どれでもデータ変数またはアドレス変数として利用できます。

ただし，r0とr30は命令により暗黙的に使用しますので，これらのレジスタを使用する際には注意が必要です。また，r1, r3-r5，r31は，アセンブラとＣコンパイラが暗黙的に使用しますので，これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し，使用後に元に戻す必要があります。r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，変数用レジスタとしてr2を使用できます。

表３－１　プログラム・レジスター覧

名　称	用　　途	動　　作
r0	ゼロ・レジスタ	常に０を保持
r1	アセンブラ予約レジスタ	32ビット・イミーディエト作成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするとき使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

（2）プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。下位の26ビットが有効でビット31-26は０に固定されています。ビット25からビット26へのキャリーがあっても無視します。

また，ビット０は０に固定されており，奇数番地への分岐はできません。

図３－１　プログラム・カウンタ（PC）

3.2.2　システム・レジスタ・セット

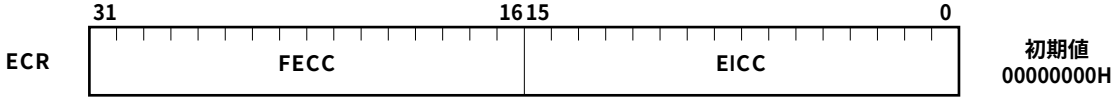
システム・レジスタは，CPUの状態制御，割り込み情報保持などを行います。

表３－２　システム・レジスタ番号

番号	システム・レジスタ名称	用　途	動　作
0	EIPC	割り込み時状態退避レジスタ	ソフトウエア例外または割り込みが発生した場合に，PCとPSWを退避するレジスタです。このレジスタは，１組しかないため多重割り込みを許す場合は，プログラムでこのレジスタを退避する必要があります。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に，PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外，マスカブル割り込み，NMIが発生した場合に，その要因を保持するレジスタです。このレジスタは，上位16ビットをFECCと呼び，NMIの例外コードがセットされます。下位16ビットはEICCと呼び，例外／割り込みの例外コードがセットされます（**図３－２**参照）。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは，プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です（**図３－３**参照）。
16	CTPC	CALLT実行時状態退避レジスタ	CALLT命令を実行した場合に，PCとPSWを退避するレジスタです。
17	CTPSW		
18	DBPC	例外トラップ時状態退避レジスタ	不正命令コードの検出により例外トラップが発生した場合に，PCとPSWを退避するレジスタです。
19	DBPSW		
20	CTBP	CALLTベース・ポインタ	テーブル・アドレスの指定，ターゲット・アドレスの生成に使用します。
6-15, 21-31	予約		

これらのシステム・レジスタへのリード／ライトは，システム・レジスタ・ロード／ストア命令（LDSR，STSR命令）で示すシステム・レジスタ番号を指定することで行います。

図３－２　割り込み要因レジスタ（ECR）



ビット位置	ビット名	意　　味
31-16	FECC	Fatal Error Cause Code NMIの例外コード（**表７－１　割り込み一覧**参照）
15-0	EICC	Exception/Interrupt Cause Code 例外／割り込みの例外コード（**表７－１　割り込み一覧**参照）

図３－３　プログラム・ステータス・ワード（PSW）

ビット位置	フラグ	意　　味
31-8	RFU	予約フィールドです（０に固定されています）。
7	NP	NMI Pending NMI処理中であることを示します。NMIが受け付けられるとセットされ，多重割り込みを禁止します。
6	EP	Exception Pending 例外処理中であることを示します。例外の発生でセットされます。なお，このビットがセットされても割り込み要求は受け付けます。
5	ID	Interrupt Disable マスカブル割り込み要求の受け付けの禁止を示します。
4	SAT	Saturated Math 飽和演算命令の演算結果がオーバフローした場合にセットされます（オーバフローしなかった場合，演算前の値が保持されます）。
3	CY	Carry 演算結果に，キャリーまたはボローが発生した場合にセットされます（発生しなかった場合リセットされます）。
2	OV	Overflow 演算中にオーバフローが発生した場合にセットされます（発生しなかった場合，リセットされます）。
1	S	Sign 演算の結果が負であった場合にセットされます。 正であった場合，リセットされます。
0	Z	Zero 演算の結果がゼロであった場合に，セットされます（ゼロでなかった場合，リセットされます）。

3.3　動作モード

3.3.1　動作モード

V850E/MS1は次の動作モードを備えます。モードの指定はMODE0-MODE3端子により行います。

（1）通常動作モード

（a）シングルチップ・モード０，１

内蔵ROMへのアクセスが可能になります。

シングルチップ・モード０ではシステム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。命令によりメモリ拡張モード・レジスタ（MM：**3.4.6（1）**を参照）を設定することにより，外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

シングルチップ・モード１では，システム・リセット解除後，バス・インタフェース関連の各端子はコントロール・モードになり，外部デバイス（メモリ）のリセット・エントリ・アドレスに分岐し，命令処理を開始します。内蔵ROM領域は100000H番地以降にマッピングされます。

（b）ROMレス・モード０，１

システム・リセット解除後，バス・インタフェース関連の各端子はコントロール・モードになり，外部デバイス（メモリ）のリセット・エントリ・アドレスに分岐し，命令処理を開始します。内蔵ROMへの命令フェッチ，データ・アクセスは不可になります。

ROMレス・モード０では，16ビット・データ・バスに，ROMレス・モード１では８ビット・データ・バスになります。

（2）フラッシュ・メモリ・プログラミング・モード（μPD70F3102, 70F3102Aだけ）

このモードを指定すると，フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

3.3.2　動作モード指定

MODE0-MODE3端子の状態により，動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし，動作中に変更しないでください。

動作中に変更した場合の動作は保証しません。

（a）μPD703100, 703100A

MODE3	MODE2	MODE1	MODE0	動作モード		外部データ・バス幅	備考
L	L	L	L	通常動作モード	ROMレス・モード０	16ビット	—
L	L	L	H		ROMレス・モード１	８ビット	
上記以外				設定禁止		—	

（b）μPD703101, 703101A, 703102, 703102A

MODE3	MODE2	MODE1	MODE0	動作モード		外部データ・バス幅	備考
L	L	L	L	通常動作モード	ROMレス・モード０	16ビット	—
L	L	L	H		ROMレス・モード１	８ビット	—
L	L	H	L		シングルチップ・モード０	—	内蔵ROM領域を000000H番地から配置
L	L	H	H		シングルチップ・モード１	16ビット	内蔵ROM領域を100000H番地から配置
上記以外				設定禁止		—	—

（c）μPD70F3102, 70F3102A

MODE3/V_{PP}	MODE2	MODE1	MODE0	動作モード		外部データ・バス幅	備考
0 V	L	L	L	通常動作モード	ROMレス・モード０	16ビット	—
0 V	L	L	H		ROMレス・モード１	８ビット	—
0 V	L	H	L		シングルチップ・モード０	—	内蔵ROM領域を000000H番地から配置
0 V	L	H	H		シングルチップ・モード１	16ビット	内蔵ROM領域を100000H番地から配置
7.8 V	L	H	L	フラッシュ・メモリ・プログラミング・モード		—	—
上記以外				設定禁止		—	—

備考　L：ロウ・レベル入力

H：ハイ・レベル入力

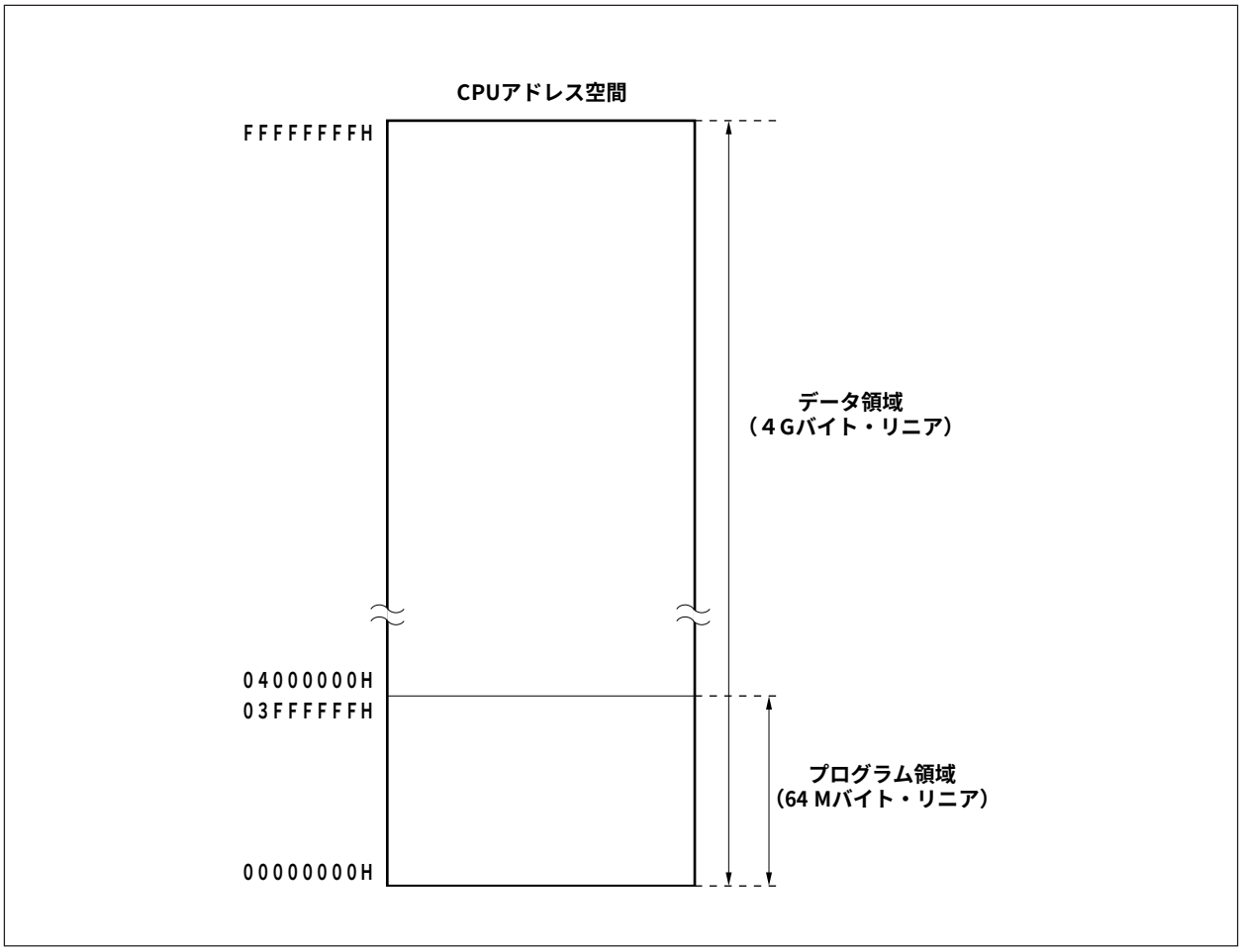
３.４　アドレス空間

３.４.１　CPUアドレス空間

V850E/MS1のCPUは32ビット・アーキテクチャであり，オペランド・アドレシング（データ・アクセス）においては，最大４Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また，命令アドレスのアドレシングにおいては，最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図３－４にCPUアドレス空間を示します。

図３－４　CPUアドレス空間

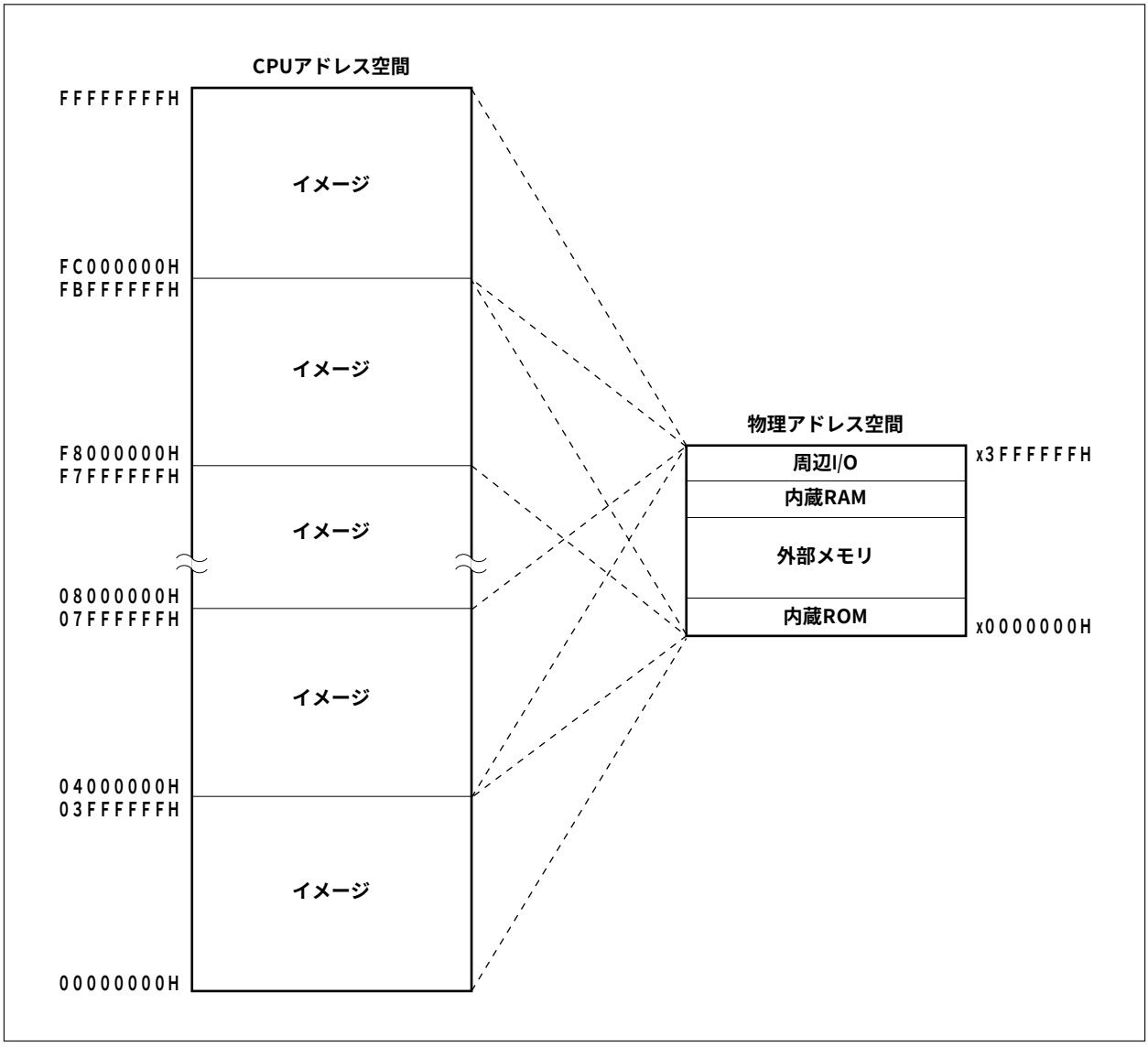


3.4.2　イメージ

４GバイトのCPUアドレス空間には，64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり，CPUアドレスのビット31-ビット26がどのような値でも，同じ64 Mバイトの物理アドレス空間をアクセスします。図３－５にアドレス空間上のイメージを示します。

これは，32ビットのCPUアドレスは上位６ビットを無視し，26ビットの物理アドレスとしてアクセスするため，物理アドレスのx0000000H番地が，CPUアドレスの00000000H番地のほかに04000000H番地，08000000H番地，…，F8000000H番地，FC000000H番地に見えます。

図３－５　アドレス空間上のイメージ



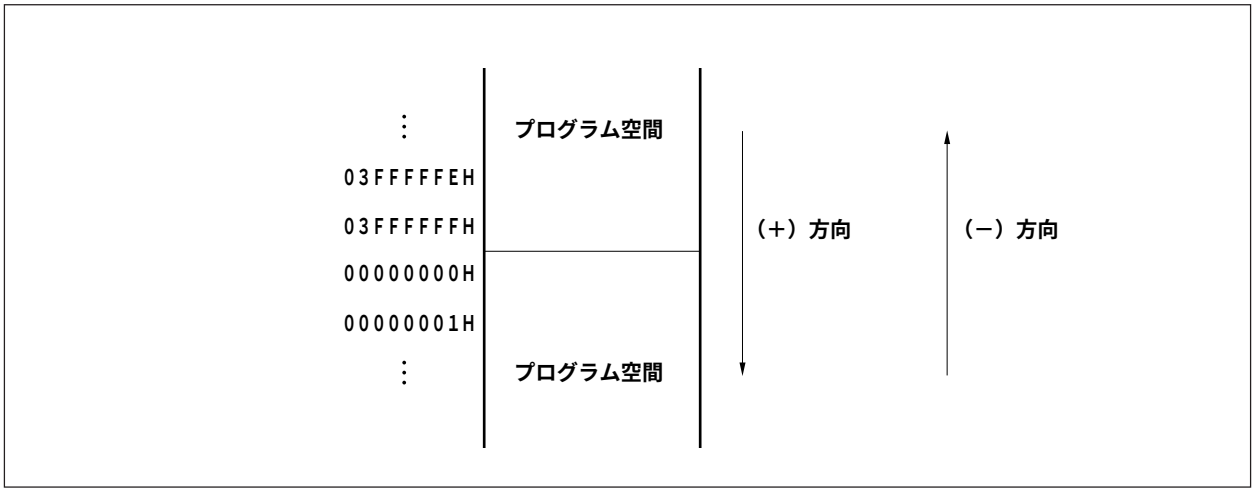
3.4.3　CPUアドレス空間のラップ・アラウンド

（1）プログラム空間

PC（プログラム・カウンタ）は，32ビットのうち上位６ビットが０に固定であり，下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位６ビットはこれを無視します。

したがって，プログラム空間の下限である00000000H番地と，上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

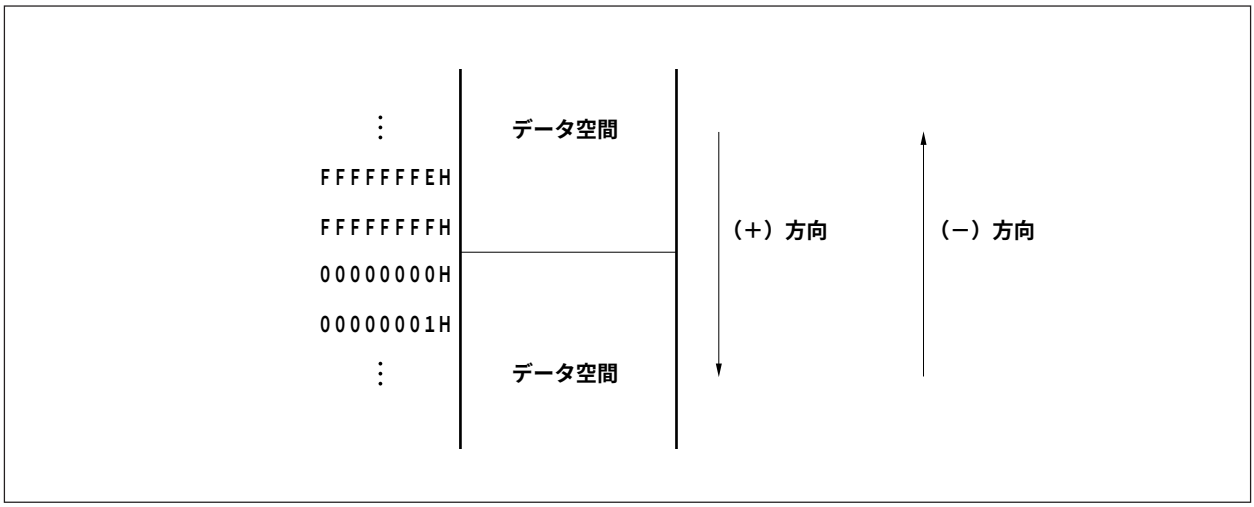
注意　03FFF000H-03FFFFFFHの４Kバイトの領域は，周辺I/O領域のため命令フェッチすることができません。したがって，分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



（2）データ空間

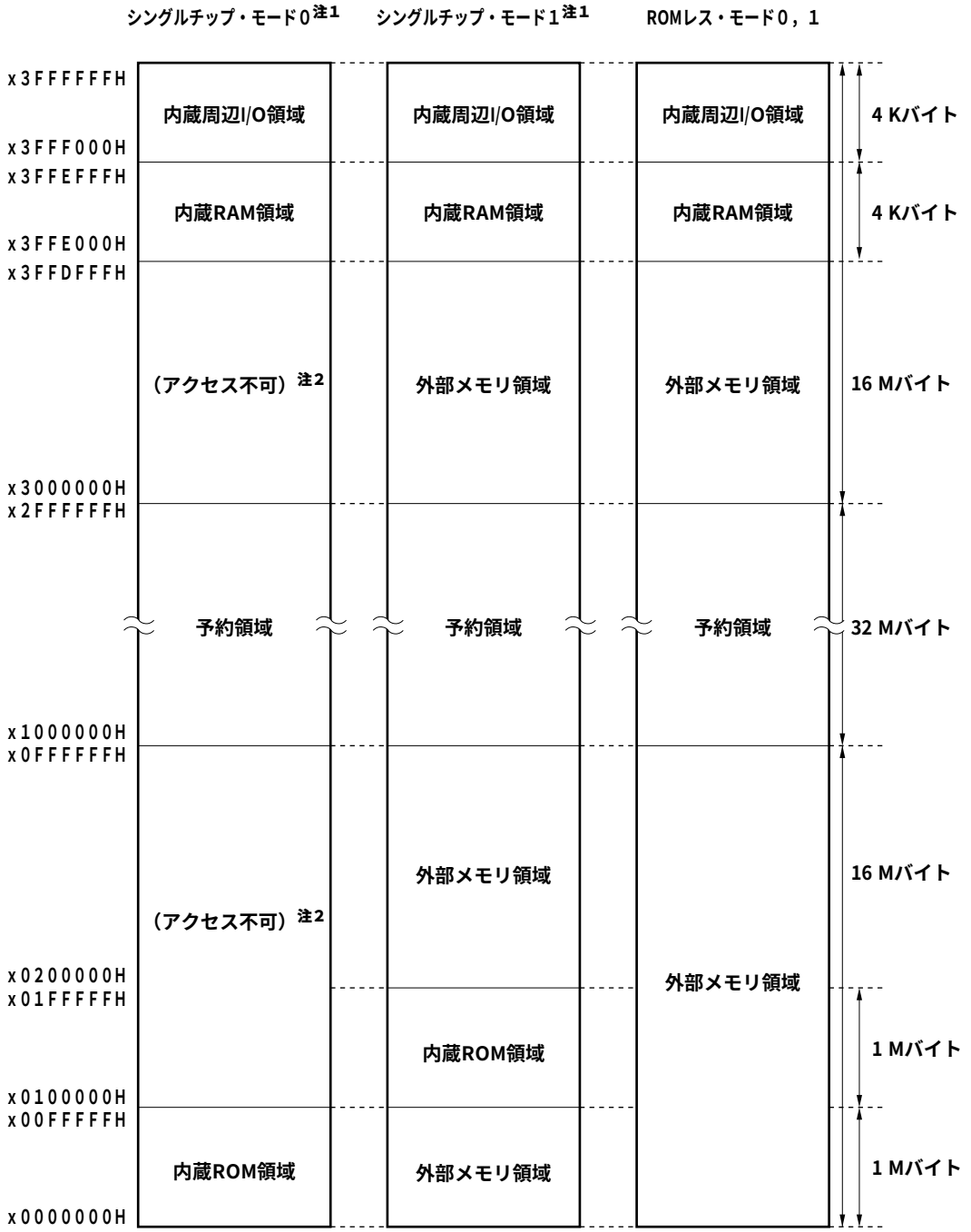
オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって，データ空間の下限である00000000H番地と，上限のFFFFFFFFH番地は連続したアドレスになり，この境界でラップ・アラウンドします。



3.4.4　メモリ・マップ

V850E/MS1では，次のように各領域を予約しています。各モードの指定はMMレジスタとMODE0-MODE3端子で行います。



注１．μPD703101, 703101A, 703102, 703102A, 70F3102, 70F3102Aだけ。

２．外部拡張モードに設定した場合は，外部メモリ領域としてアクセス可能。

3.4.5 領　　域

（1）内蔵ROM領域（μPD703101, 703101A, 703102, 703102A, 70F3102, 70F3102Aだけ）

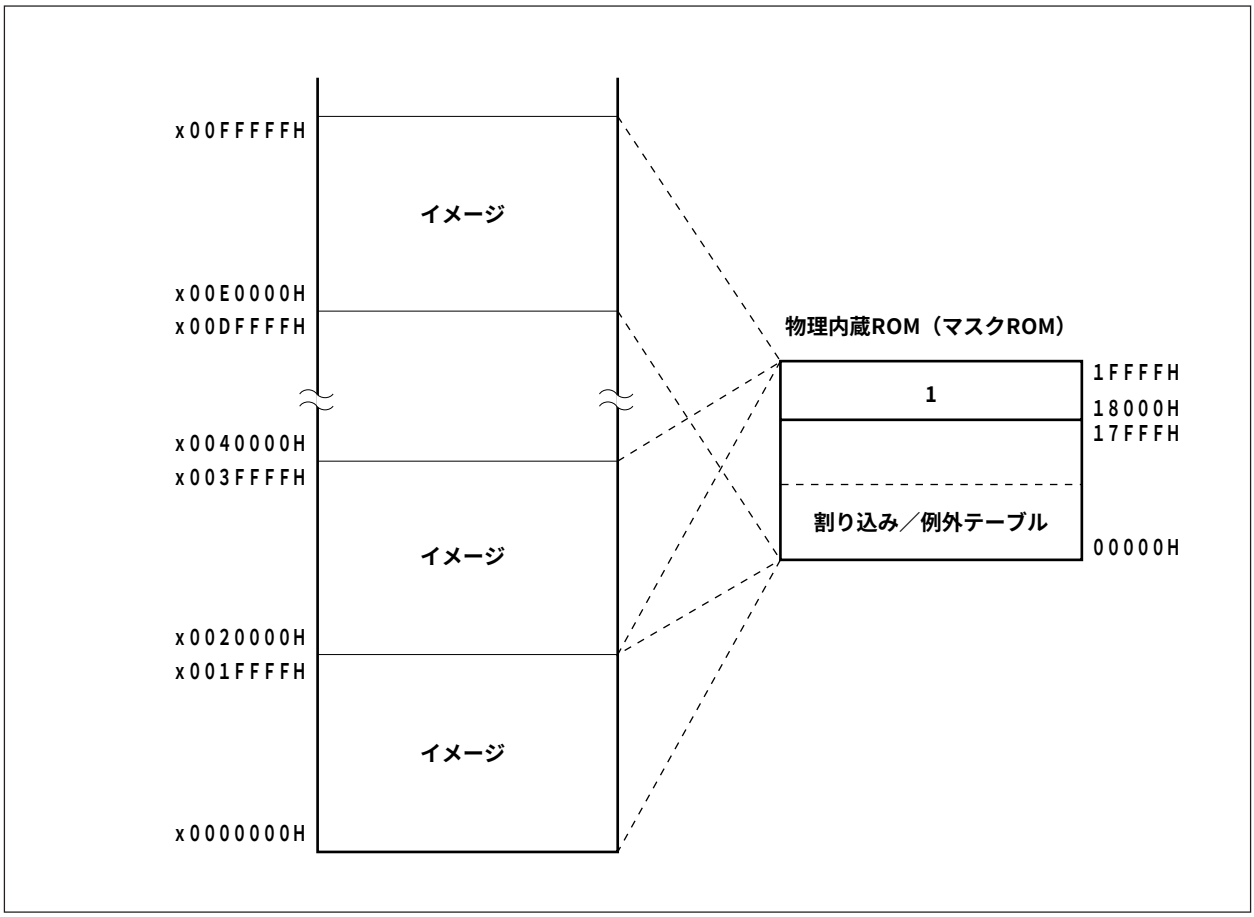
（a）メモリ・マップ

内蔵ROM領域は00000H-FFFFFH番地の１Mバイトが予約されています。

① μPD703101, 703101A

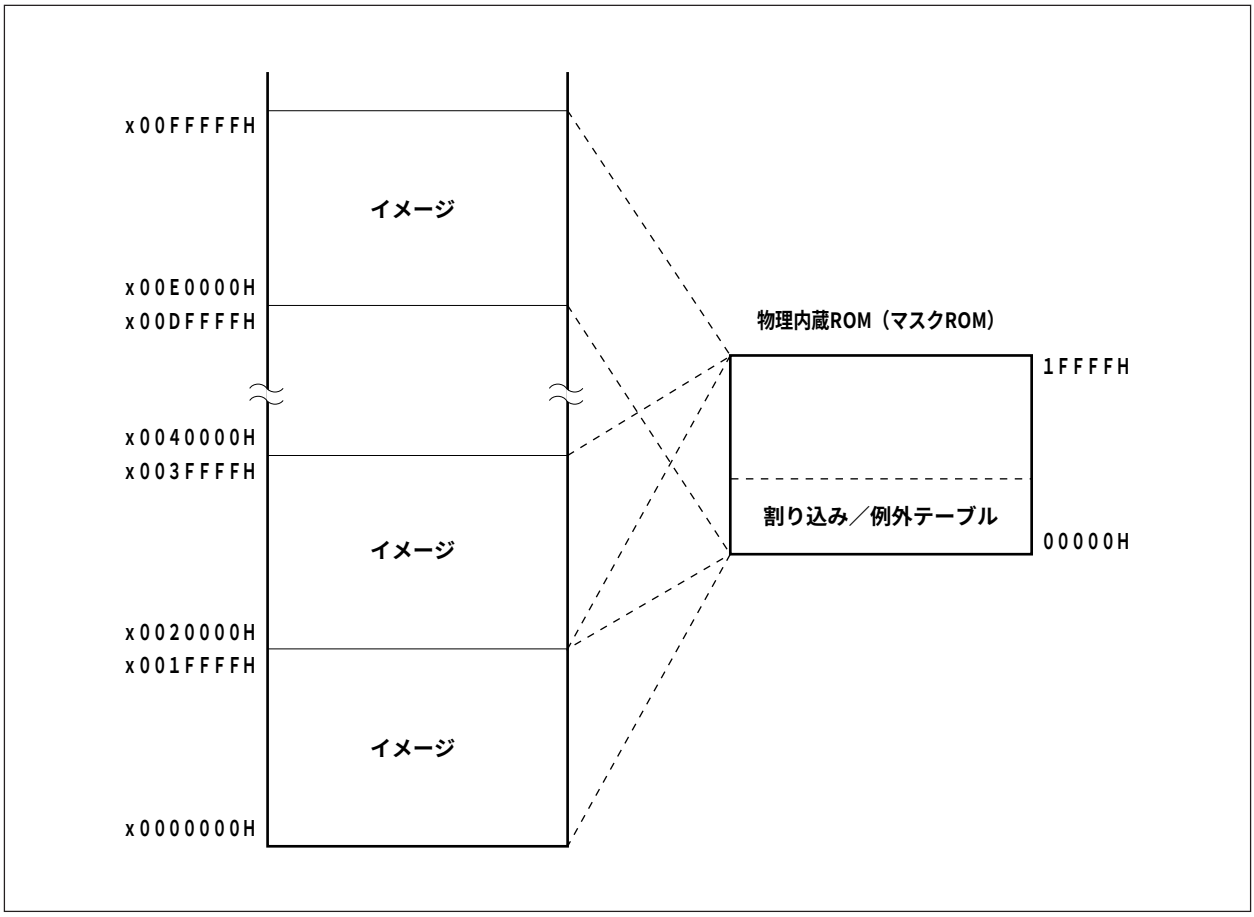
物理内蔵ROM（マスクROM）として00000H-17FFFH番地の96 Kバイトを実装しています。

また，残りの領域（20000H-FFFFFH）には，00000H-1FFFFHのイメージが見えます（ただし，18000H-1FFFFH番地は１固定です）。



② μPD703102, 703102A

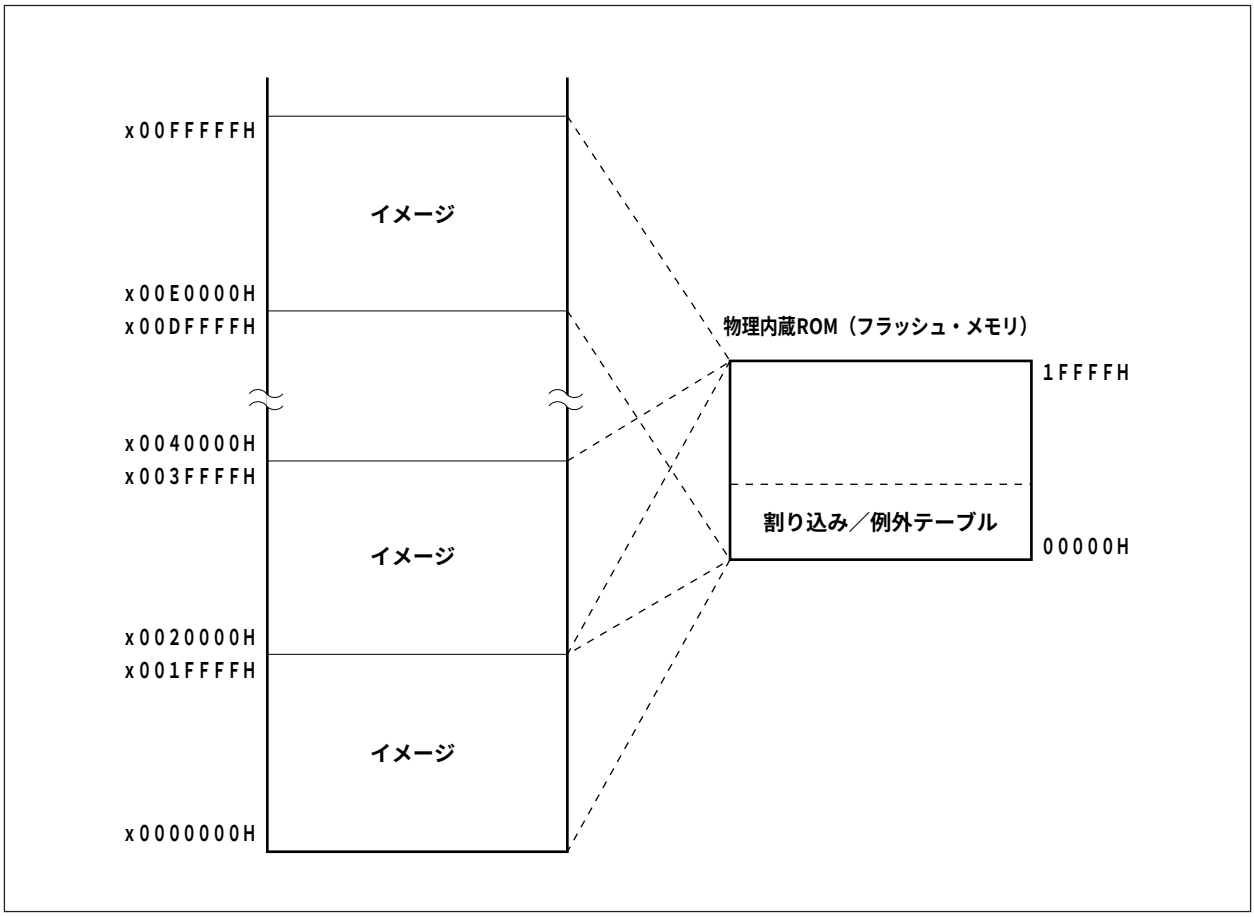
物理内蔵ROM（マスクROM）として00000H-1FFFFH番地の128 Kバイトを実装しています。
また，残りの領域（20000H-FFFFFH）には，00000H-1FFFFHのイメージが見えます。



③　μPD70F3102, 70F3102A

物理内蔵ROM（フラッシュ・メモリ）として00000H-1FFFFH番地の128 Kバイトを実装しています。

また，残りの領域（20000H-FFFFFH）には，00000H-1FFFFHのイメージが見えます。



（b）割り込み／例外テーブル

V850E/MS1では，割り込み／例外に対応した飛び先アドレスを固定化することにより，割り込み応答性を高速化しています。

この，飛び先アドレスの集合を割り込み／例外テーブルと呼び，内蔵ROM領域に置かれています。割り込み／例外要求が受け付けられると，飛び先アドレスにジャンプし，そのメモリに書かれているプログラムを実行します。表３－３に，割り込み／例外要因と，対応するアドレスを示します。

備考　ROMレス・モード０，１時，またはμPD703100, 703100Aでは，内蔵ROM領域は外部メモリ領域になります。リセット後に正しく動作させるために，リセット・ルーチンへの飛び先アドレスを外部メモリの０番地に用意してください。

表３－３　割り込み／例外テーブル（1/2）

割り込み／例外テーブルの先頭アドレス	割り込み／例外要因
00000000H	RESET
00000010H	NMI
00000040H	TRAP0n（n = 0-FH）
00000050H	TRAP1n（n = 0-FH）
00000060H	ILGOP
00000080H	INTOV10
00000090H	INTOV11
000000A0H	INTOV12
000000B0H	INTOV13
000000C0H	INTOV14
000000D0H	INTOV15
00000100H	INTP100/INTCC100
00000110H	INTP101/INTCC101
00000120H	INTP102/INTCC102
00000130H	INTP103/INTCC103
00000140H	INTP110/INTCC110
00000150H	INTP111/INTCC111
00000160H	INTP112/INTCC112
00000170H	INTP113/INTCC113
00000180H	INTP120/INTCC120
00000190H	INTP121/INTCC121
000001A0H	INTP122/INTCC122
000001B0H	INTP123/INTCC123
000001C0H	INTP130/INTCC130
000001D0H	INTP131/INTCC131
000001E0H	INTP132/INTCC132
000001F0H	INTP133/INTCC133
00000200H	INTP140/INTCC140
00000210H	INTP141/INTCC141
00000220H	INTP142/INTCC142
00000230H	INTP143/INTCC143
00000240H	INTP150/INTCC150
00000250H	INTP151/INTCC151
00000260H	INTP152/INTCC152
00000270H	INTP153/INTCC153
00000280H	INTCM40
00000290H	INTCM41
000002A0H	INTDMA0
000002B0H	INTDMA1
000002C0H	INTDMA2
000002D0H	INTDMA3

表３－３　割り込み／例外テーブル（2/2）

割り込み／例外テーブルの先頭アドレス	割り込み／例外要因
00000300H	INTCSI0
00000310H	INTSER0
00000320H	INTSR0
00000330H	INTST0
00000340H	INTCSI1
00000350H	INTSER1
00000360H	INTSR1
00000370H	INTST1
00000380H	INTCSI2
000003C0H	INTCSI3
00000400H	INTAD

（c）内蔵ROM領域リロケーション機能

シングルチップ・モード１に設定した場合は，内蔵ROM領域は100000H番地以降に配置されるため，外部メモリからのブートが可能となります。

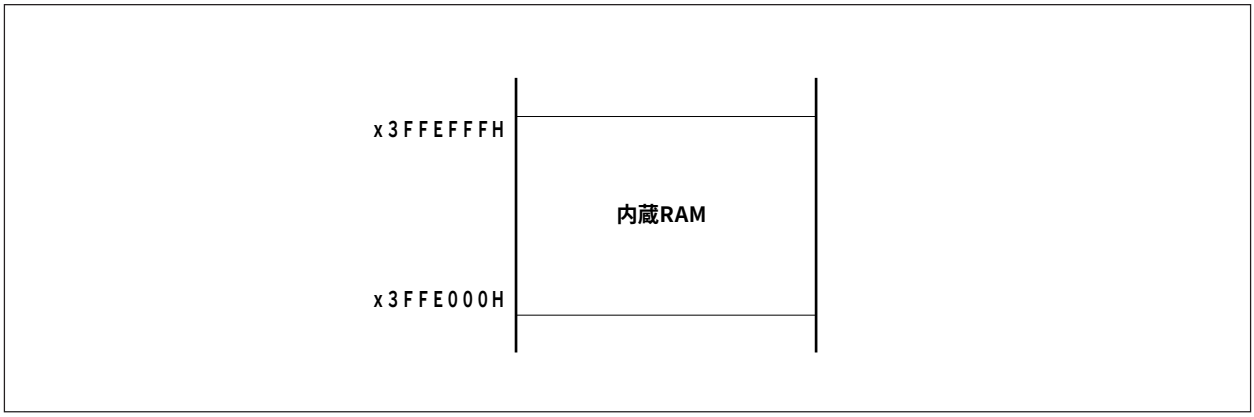
したがって，リセット後に正しく動作させるために，リセット・ルーチンへの飛び先アドレスを外部メモリの０番地に用意してください。

図３－６　シングルチップ・モード１での内蔵ROM領域

注　4.3　メモリ・ブロック機能参照

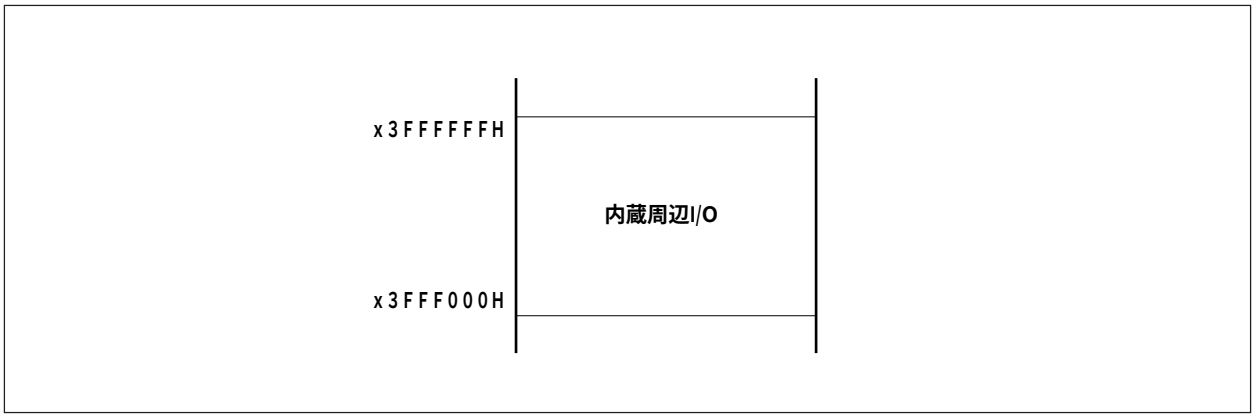
（２）内蔵RAM領域

物理内蔵RAMとして3FFE000H-3FFEFFFH番地の4 Kバイトを実装しています。



（３）内蔵周辺I/O領域

内蔵周辺I/O領域として，3FFF000H-3FFFFFFH番地の４Kバイトを実装しています。



内蔵周辺I/O領域には，内蔵周辺I/Oの動作モード指定，状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意１．アドレスの最下位ビットはデコードしていません。したがって，奇数アドレス（2n＋1番地）のレジスタにバイト・アクセスした場合は，ハードウエア上，偶数アドレス（2n）のレジスタへのアクセスが行われます。

２．V850E/MS1ではワード・アクセス可能なレジスタは存在しません。周辺I/Oレジスタはバイト・アクセスもしくはハーフワード・アクセスでアクセスしてください。

３．バイト・アクセス可能なレジスタに対して，ハーフワード・アクセスした場合はリード時は上位８ビットが不定となり，ライト時は下位８ビット・データがレジスタに書き込まれます。

４．レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。

（4）外部メモリ領域

外部メモリ領域として，次の領域が使用できます。ただし，x1000000H-x2FFFFFFHの予約領域を除きます。

（a）μPD703101, 703101A, 703102, 703102A, 70F3102, 70F3102A

・シングルチップ・モード0のとき　：x0100000H-x3FFDFFFH
・シングルチップ・モード1のとき　：x0000000H-x00FFFFFH，x0200000H-x3FFDFFFH
・ROMレス・モード0,1のとき　　：x0000000H-x3FFDFFFH

（b）μPD703100, 703100A

x0000000H-x3FFDFFFH

外部メモリ領域へのアクセスは，各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します（**4.4　バス・サイクル・タイプ制御機能**参照）。

なお，内蔵ROM，内蔵RAM，内蔵周辺I/Oの各領域に対しては，外部メモリ領域としてアクセスすることはできません。

3.4.6　外部拡張モード

外部拡張モードに設定することにより，ポート４，５，６，A，Bの各端子を用いて外部メモリ空間に外部デバイスを接続することができます。外部拡張モードの設定は，MMレジスタによりポート４，５，６，A，Bの各端子をコントロール・モードに選択することで行います。

なお，リセット時の状態は，MODE0-MODE3端子による動作モード指定により，次のように異なります（動作モードについては，**3.3　動作モード**を参照してください）。

（1）各動作モードのリセット時の状態

（a）ROMレス・モード０の場合

リセット時は，ポート４，５，６，A，Bの各端子がコントロール・モードになるため，MMレジスタの変更なしで外部拡張モードに設定されます（外部データ・バス幅は16ビットになります）。

（b）ROMレス・モード１の場合

リセット時は，ポート４，６，A，Bの各端子がコントロール・モードになるため，MMレジスタの設定変更なしで外部拡張モードに設定されます（外部データ・バス幅は８ビットになります）。

（c）シングルチップ・モード０の場合

リセット時は，内蔵ROM領域へのアクセスを行うため，ポート４，５，６，A，Bの各端子がポート・モードになり，外部デバイスは使用できません。

外部拡張モードにするためには，MMレジスタの設定を行ってください。

（d）シングルチップ・モード１の場合

内蔵ROM領域が100000H番地から配置されます（**3.4.5（1）（c）内蔵ROM領域リロケーション機能**参照）。そのため，リセット時は，ポート４，５，６，A，Bの各端子がコントロール・モードになるため，MMレジスタの設定変更なしで外部拡張モードに設定されます（外部データ・バス幅は16ビットになります）。

（2）メモリ拡張モード・レジスタ（MM）

ポート４，５，６，A，Bの各端子のモード設定を行います。外部拡張モードでは，最大32 Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし，内蔵RAM領域，内蔵周辺I/O領域およびシングルチップ・モード０，１のときの内蔵ROM領域の各領域に対しては外部デバイスを接続して使用することはできません（物理的に接続しても，アクセス対象にはなりません）。

MMレジスタは8/1ビット単位でリード／ライト可能です。ただし，ビット４-ビット７は０に固定です。

	7	6	5	4	3	2	1	0		
MM	0	0	0	0	MM3	MM2	MM1	MM0	アドレス FFFFF04CH	初期値 注

注　ROMレス・モード０のとき ：07H　　シングルチップ・モード０のとき ：00H
　　ROMレス・モード１のとき ：0FH　　シングルチップ・モード１のとき ：07H

ビット位置	ビット名	意　　味
3-0	MM3-MM0	Memory Expansion Mode ポート４，５，６，A，Bの機能を指定します。

MM3	MM2	MM1	MM0	ポート４	ポート５	ポートA	ポートB			ポート６			
0	0	0	0	P40-P47	P50-P57	PA0-PA7	PB0-PB3	PB4,	PB6,	P60,	P62,	P64,	P66,
0	0	0	1	D0-D7	D8-D15	A0-A7	A8-A11	PB5	PB7	P61	P63	P65	P67
0	0	1	0					A12,					
0	0	1	1					A13	A14,				
0	1	0	0						A15	A16,			
0	1	0	1							A17	A18,		
0	1	1	0								A19	A20,	
0	1	1	1									A21	A22,
													A23
1	0	0	0	P40-P47	P50-P57	PA0-PA7	PB0-PB3	PB4,	PB6,	P60,	P62,	P64,	P66,
1	0	0	1	D0-D7		A0-A7	A8-A11	PB5	PB7	P61	P63	P65	P67
1	0	1	0					A12,					
1	0	1	1					A13	A14,				
1	1	0	0						A15	A16,			
1	1	0	1							A17	A18,		
1	1	1	0								A19	A20,	
1	1	1	1									A21	A22,
													A23

注意　MMレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，MMレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考１．各ポート端子の動作の詳細については２.３　端子機能の説明を参照してください。

２．システム・リセット時，各ポートの機能は，次のようになります。

動作モード	MMレジスタ	ポート４	ポート５	ポートA	ポートB	ポート６
ROMレス・モード０	07H	D0-D7	D8-D15	A0-A7	A8-A15	A16-A23
ROMレス・モード１	0FH		P50-P57			
シングルチップ・モード０	00H	P40-P47	P50-P57	PA0-PA7	PB0-PB7	P60-P67
シングルチップ・モード１	07H	D0-D7	D8-D15	A0-A7	A8-A15	A16-A23

3.4.7　アドレス空間の推奨使用方法

V850E/MS1のアーキテクチャでは，データ空間のオペランド・データ・アクセスを行うときに，必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには命令から直接オペランド・データ・アクセスが行えます。しかし，ポインタ用レジスタとして使う汎用レジスタには限りがあるため，ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで変数用の汎用レジスタを最大限に確保し，かつプログラム・サイズを抑えることができます。

V850E/MS1のメモリ・マップに関連して，ポインタ運用の効率化を目的として，次の使用方法を推奨します。

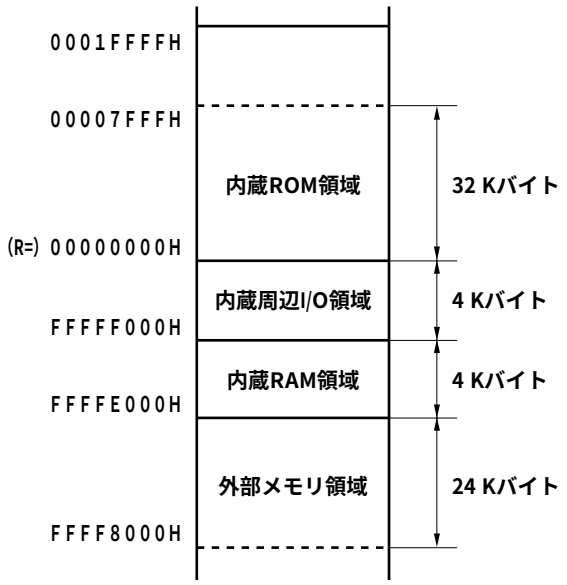
（1）プログラム空間

PC（プログラム・カウンタ）は，32ビットのうち上位６ビットは０に固定であり，下位26ビットだけ有効となります。したがって，プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

（2）データ空間

データ空間のラップ・アラウンドを利用したリソースの効率的な運用を行うため，４GバイトのCPUアドレス空間の00000000H-00FFFFFFH番地およびFF000000H-FFFFFFFFH番地のそれぞれ連続した16 Mバイトをデータ空間として使用します。V850E/MS1では，４GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため，この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

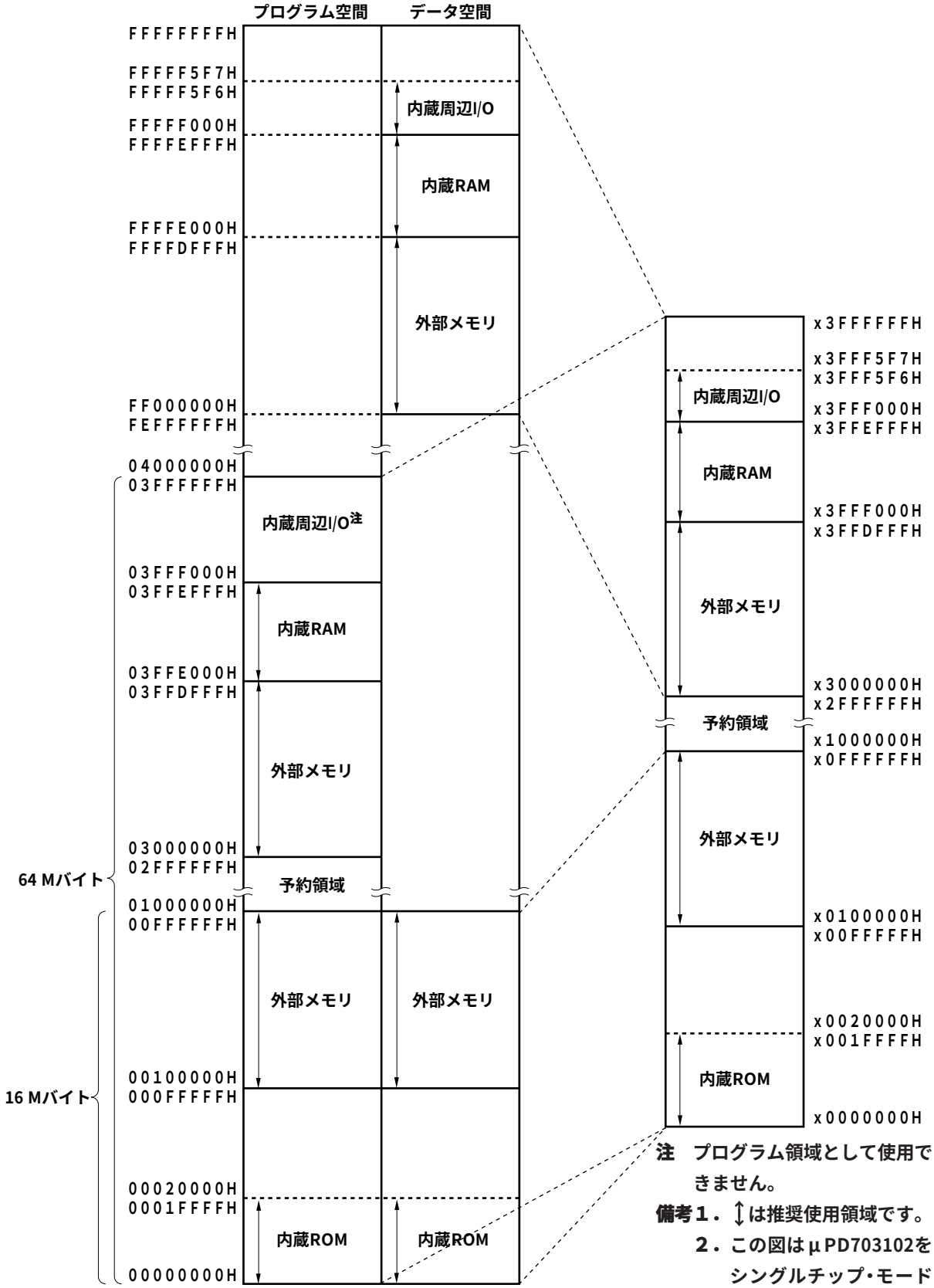
例　ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16［R］命令でR=r0（ゼロ・レジスタ）とした場合，符号拡張したdisp16により，00000000H番地±32 Kバイトの範囲がアドレシング可能です。外部メモリを上図の24 Kバイトの範囲にマッピングすれば，内蔵ハードウエアのすべてを含むすべてのリソースについて１つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウエアでゼロ固定のレジスタであり，ポインタ専用に費やすレジスタは実質不要となります。

図３－７　推奨メモリ・マップ



注　プログラム領域として使用できません。

備考１．↕は推奨使用領域です。

２．この図はμPD703102をシングルチップ・モード０に設定し，外部拡張モードで使用した場合の推奨メモリ・マップです。

3.4.8　周辺I/Oレジスタ

(1/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				１ビット	８ビット	16ビット	
FFFFF000H	ポート０	P0	R/W	○	○		不定
FFFFF002H	ポート１	P1	R/W	○	○		不定
FFFFF004H	ポート２	P2	R/W	○	○		不定
FFFFF006H	ポート３	P3	R/W	○	○		不定
FFFFF008H	ポート４	P4	R/W	○	○		不定
FFFFF00AH	ポート５	P5	R/W	○	○		不定
FFFFF00CH	ポート６	P6	R/W	○	○		不定
FFFFF00EH	ポート７	P7	R	○	○		不定
FFFFF010H	ポート８	P8	R/W	○	○		不定
FFFFF012H	ポート９	P9	R/W	○	○		不定
FFFFF014H	ポート10	P10	R/W	○	○		不定
FFFFF016H	ポート11	P11	R/W	○	○		不定
FFFFF018H	ポート12	P12	R/W	○	○		不定
FFFFF01CH	ポートA	PA	R/W	○	○		不定
FFFFF01EH	ポートB	PB	R/W	○	○		不定
FFFFF020H	ポート０モード・レジスタ	PM0	R/W	○	○		FFH
FFFFF022H	ポート１モード・レジスタ	PM1	R/W	○	○		FFH
FFFFF024H	ポート２モード・レジスタ	PM2	R/W	○	○		FFH
FFFFF026H	ポート３モード・レジスタ	PM3	R/W	○	○		FFH
FFFFF028H	ポート４モード・レジスタ	PM4	R/W	○	○		FFH
FFFFF02AH	ポート５モード・レジスタ	PM5	R/W	○	○		FFH
FFFFF02CH	ポート６モード・レジスタ	PM6	R/W	○	○		FFH
FFFFF030H	ポート８モード・レジスタ	PM8	R/W	○	○		FFH
FFFFF032H	ポート９モード・レジスタ	PM9	R/W	○	○		FFH
FFFFF034H	ポート10モード・レジスタ	PM10	R/W	○	○		FFH
FFFFF036H	ポート11モード・レジスタ	PM11	R/W	○	○		FFH
FFFFF038H	ポート12モード・レジスタ	PM12	R/W	○	○		FFH
FFFFF03CH	ポートAモード・レジスタ	PMA	R/W	○	○		FFH
FFFFF03EH	ポートBモード・レジスタ	PMB	R/W	○	○		FFH
FFFFF040H	ポート０モード・コントロール・レジスタ	PMC0	R/W	○	○		00H
FFFFF042H	ポート１モード・コントロール・レジスタ	PMC1	R/W	○	○		00H
FFFFF044H	ポート２モード・コントロール・レジスタ	PMC2	R/W	○	○		01H
FFFFF046H	ポート３モード・コントロール・レジスタ	PMC3	R/W	○	○		00H
FFFFF04CH	メモリ拡張モード・レジスタ	MM	R/W	○	○		00H/07H/0FH
FFFFF050H	ポート８モード・コントロール・レジスタ	PMC8	R/W	○	○		00H/FFH
FFFFF052H	ポート９モード・コントロール・レジスタ	PMC9	R/W	○	○		00H/FFH
FFFFF054H	ポート10モード・コントロール・レジスタ	PMC10	R/W	○	○		00H
FFFFF056H	ポート11モード・コントロール・レジスタ	PMC11	R/W	○	○		00H
FFFFF058H	ポート12モード・コントロール・レジスタ	PMC12	R/W	○	○		00H
FFFFF060H	データ・ウエイト・コントロール・レジスタ１	DWC1	R/W			○	FFFFH
FFFFF062H	バス・サイクル・コントロール・レジスタ	BCC	R/W			○	5555H
FFFFF064H	バス・サイクル・タイプ・コントロール・レジスタ	BCT	R/W			○	0000H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W			○	5555H/0000H

(2/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				１ビット	８ビット	16ビット	
FFFFF06AH	データ・ウエイト・コントロール・レジスタ２	DWC2	R/W	○	○		FFH
FFFFF06CH	フライバイ転送データ・ウエイト・コントロール・レジスタ	FDW	R/W	○	○		00H
FFFFF070H	パワー・セーブ・コントロール・レジスタ	PSC	R/W	○	○		00H
FFFFF072H	クロック・コントロール・レジスタ	CKC	R/W	○	○		00H
FFFFF078H	システム・ステータス・レジスタ	SYS	R/W	○	○		0000000xB
FFFFF084H	ボー・レート・ジェネレータ・コンペア・レジスタ０	BRGC0	R/W	○	○		不定
FFFFF086H	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ０	BPRM0	R/W	○	○		00H
FFFFF088H	クロック同期式シリアル・インタフェース・モード・レジスタ０	CSIM0	R/W	○	○		00H
FFFFF08AH	シリアルI/Oシフト・レジスタ０	SIO0	R/W	○	○		不定
FFFFF094H	ボー・レート・ジェネレータ・コンペア・レジスタ１	BRGC1	R/W	○	○		不定
FFFFF096H	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ１	BPRM1	R/W	○	○		00H
FFFFF098H	クロック同期式シリアル・インタフェース・モード・レジスタ１	CSIM1	R/W	○	○		00H
FFFFF09AH	シリアルI/Oシフト・レジスタ１	SIO1	R/W	○	○		不定
FFFFF0A4H	ボー・レート・ジェネレータ・コンペア・レジスタ２	BRGC2	R/W	○	○		不定
FFFFF0A6H	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ２	BPRM2	R/W	○	○		00H
FFFFF0A8H	クロック同期式シリアル・インタフェース・モード・レジスタ２	CSIM2	R/W	○	○		00H
FFFFF0AAH	シリアルI/Oシフト・レジスタ２	SIO2	R/W	○	○		不定
FFFFF0B8H	クロック同期式シリアル・インタフェース・モード・レジスタ３	CSIM3	R/W	○	○		00H
FFFFF0BAH	シリアルI/Oシフト・レジスタ３	SIO3	R/W	○	○		不定
FFFFF0C0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00	R/W	○	○		80H
FFFFF0C2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	ASIM01	R/W	○	○		00H
FFFFF0C4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０	ASIS0	R	○	○		00H
FFFFF0C8H	受信バッファ０（９ビット）	RXB0	R			○	不定
FFFFF0CAH	受信バッファ0L（下位８ビット）	RXB0L	R	○	○		不定
FFFFF0CCH	送信シフト・レジスタ０（９ビット）	TXS0	W			○	不定
FFFFF0CEH	送信シフト・レジスタ0L（下位８ビット）	TXS0L	W		○		不定
FFFFF0D0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	ASIM10	R/W	○	○		80H
FFFFF0D2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	ASIM11	R/W	○	○		00H
FFFFF0D4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ１	ASIS1	R	○	○		00H
FFFFF0D8H	受信バッファ１（９ビット）	RXB1	R			○	不定
FFFFF0DAH	受信バッファ1L（下位８ビット）	RXB1L	R	○	○		不定
FFFFF0DCH	送信シフト・レジスタ１（９ビット）	TXS1	W			○	不定
FFFFF0DEH	送信シフト・レジスタ1L（下位８ビット）	TXS1L	W		○		不定
FFFFF100H	割り込み制御レジスタ	OVIC10	R/W	○	○		47H
FFFFF102H	割り込み制御レジスタ	OVIC11	R/W	○	○		47H
FFFFF104H	割り込み制御レジスタ	OVIC12	R/W	○	○		47H
FFFFF106H	割り込み制御レジスタ	OVIC13	R/W	○	○		47H
FFFFF108H	割り込み制御レジスタ	OVIC14	R/W	○	○		47H
FFFFF10AH	割り込み制御レジスタ	OVIC15	R/W	○	○		47H
FFFFF10CH	割り込み制御レジスタ	CMIC40	R/W	○	○		47H
FFFFF10EH	割り込み制御レジスタ	CMIC41	R/W	○	○		47H
FFFFF110H	割り込み制御レジスタ	P10IC0	R/W	○	○		47H
FFFFF112H	割り込み制御レジスタ	P10IC1	R/W	○	○		47H
FFFFF114H	割り込み制御レジスタ	P10IC2	R/W	○	○		47H
FFFFF116H	割り込み制御レジスタ	P10IC3	R/W	○	○		47H

(3/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFF118H	割り込み制御レジスタ	P11IC0	R/W	○	○		47H
FFFFF11AH	割り込み制御レジスタ	P11IC1	R/W	○	○		47H
FFFFF11CH	割り込み制御レジスタ	P11IC2	R/W	○	○		47H
FFFFF11EH	割り込み制御レジスタ	P11IC3	R/W	○	○		47H
FFFFF120H	割り込み制御レジスタ	P12IC0	R/W	○	○		47H
FFFFF122H	割り込み制御レジスタ	P12IC1	R/W	○	○		47H
FFFFF124H	割り込み制御レジスタ	P12IC2	R/W	○	○		47H
FFFFF126H	割り込み制御レジスタ	P12IC3	R/W	○	○		47H
FFFFF128H	割り込み制御レジスタ	P13IC0	R/W	○	○		47H
FFFFF12AH	割り込み制御レジスタ	P13IC1	R/W	○	○		47H
FFFFF12CH	割り込み制御レジスタ	P13IC2	R/W	○	○		47H
FFFFF12EH	割り込み制御レジスタ	P13IC3	R/W	○	○		47H
FFFFF130H	割り込み制御レジスタ	P14IC0	R/W	○	○		47H
FFFFF132H	割り込み制御レジスタ	P14IC1	R/W	○	○		47H
FFFFF134H	割り込み制御レジスタ	P14IC2	R/W	○	○		47H
FFFFF136H	割り込み制御レジスタ	P14IC3	R/W	○	○		47H
FFFFF138H	割り込み制御レジスタ	P15IC0	R/W	○	○		47H
FFFFF13AH	割り込み制御レジスタ	P15IC1	R/W	○	○		47H
FFFFF13CH	割り込み制御レジスタ	P15IC2	R/W	○	○		47H
FFFFF13EH	割り込み制御レジスタ	P15IC3	R/W	○	○		47H
FFFFF140H	割り込み制御レジスタ	DMAIC0	R/W	○	○		47H
FFFFF142H	割り込み制御レジスタ	DMAIC1	R/W	○	○		47H
FFFFF144H	割り込み制御レジスタ	DMAIC2	R/W	○	○		47H
FFFFF146H	割り込み制御レジスタ	DMAIC3	R/W	○	○		47H
FFFFF148H	割り込み制御レジスタ	CSIC0	R/W	○	○		47H
FFFFF14AH	割り込み制御レジスタ	CSIC1	R/W	○	○		47H
FFFFF14CH	割り込み制御レジスタ	CSIC2	R/W	○	○		47H
FFFFF14EH	割り込み制御レジスタ	CSIC3	R/W	○	○		47H
FFFFF150H	割り込み制御レジスタ	SEIC0	R/W	○	○		47H
FFFFF152H	割り込み制御レジスタ	SRIC0	R/W	○	○		47H
FFFFF154H	割り込み制御レジスタ	STIC0	R/W	○	○		47H
FFFFF156H	割り込み制御レジスタ	SEIC1	R/W	○	○		47H
FFFFF158H	割り込み制御レジスタ	SRIC1	R/W	○	○		47H
FFFFF15AH	割り込み制御レジスタ	STIC1	R/W	○	○		47H
FFFFF15CH	割り込み制御レジスタ	ADIC	R/W	○	○		47H
FFFFF166H	インサービス・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF170H	コマンド・レジスタ	PRCMD	W		○		不定
FFFFF180H	外部割り込みモード・レジスタ０	INTM0	R/W	○	○		00H
FFFFF182H	外部割り込みモード・レジスタ１	INTM1	R/W	○	○		00H
FFFFF184H	外部割り込みモード・レジスタ２	INTM2	R/W	○	○		00H
FFFFF186H	外部割り込みモード・レジスタ３	INTM3	R/W	○	○		00H
FFFFF188H	外部割り込みモード・レジスタ４	INTM4	R/W	○	○		00H
FFFFF18AH	外部割り込みモード・レジスタ５	INTM5	R/W	○	○		00H
FFFFF18CH	外部割り込みモード・レジスタ６	INTM6	R/W	○	○		00H
FFFFF1A0H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W			○	不定

(4/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				１ビット	８ビット	16ビット	
FFFFF1A2H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W			○	不定
FFFFF1A4H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W			○	不定
FFFFF1A6H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W			○	不定
FFFFF1A8H	DMAソース・アドレス・レジスタ1H	DSA1H	R/W			○	不定
FFFFF1AAH	DMAソース・アドレス・レジスタ1L	DSA1L	R/W			○	不定
FFFFF1ACH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W			○	不定
FFFFF1AEH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W			○	不定
FFFFF1B0H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W			○	不定
FFFFF1B2H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W			○	不定
FFFFF1B4H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W			○	不定
FFFFF1B6H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W			○	不定
FFFFF1B8H	DMAソース・アドレス・レジスタ3H	DSA3H	R/W			○	不定
FFFFF1BAH	DMAソース・アドレス・レジスタ3L	DSA3L	R/W			○	不定
FFFFF1BCH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W			○	不定
FFFFF1BEH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W			○	不定
FFFFF1E0H	DMAバイト・カウント・レジスタ０	DBC0	R/W			○	不定
FFFFF1E2H	DMAバイト・カウント・レジスタ１	DBC1	R/W			○	不定
FFFFF1E4H	DMAバイト・カウント・レジスタ２	DBC2	R/W			○	不定
FFFFF1E6H	DMAバイト・カウント・レジスタ３	DBC3	R/W			○	不定
FFFFF1F0H	DMAアドレシング・コントロール・レジスタ０	DADC0	R/W			○	0000H
FFFFF1F2H	DMAアドレシング・コントロール・レジスタ１	DADC1	R/W			○	0000H
FFFFF1F4H	DMAアドレシング・コントロール・レジスタ２	DADC2	R/W			○	0000H
FFFFF1F6H	DMAアドレシング・コントロール・レジスタ３	DADC3	R/W			○	0000H
FFFFF200H	DRAMコンフィギュレーション・レジスタ０	DRC0	R/W			○	3FC1H
FFFFF202H	DRAMコンフィギュレーション・レジスタ１	DRC1	R/W			○	3FC1H
FFFFF204H	DRAMコンフィギュレーション・レジスタ２	DRC2	R/W			○	3FC1H
FFFFF206H	DRAMコンフィギュレーション・レジスタ３	DRC3	R/W			○	3FC1H
FFFFF210H	リフレッシュ・コントロール・レジスタ０	RFC0	R/W			○	0000H
FFFFF212H	リフレッシュ・コントロール・レジスタ１	RFC1	R/W			○	0000H
FFFFF214H	リフレッシュ・コントロール・レジスタ２	RFC2	R/W			○	0000H
FFFFF216H	リフレッシュ・コントロール・レジスタ３	RFC3	R/W			○	0000H
FFFFF218H	リフレッシュ・ウエイト・コントロール・レジスタ	RWC	R/W	○	○		00H
FFFFF220H	DRAMタイプ・コンフィギュレーション・レジスタ	DTC	R/W			○	0000H
FFFFF224H	ページROMコンフィギュレーション・レジスタ	PRC	R/W	○	○		E0H
FFFFF230H	タイマ・オーバフロー・ステータス・レジスタ	TOVS	R/W	○	○		00H
FFFFF240H	タイマ・ユニット・モード・レジスタ10	TUM10	R/W			○	0000H
FFFFF242H	タイマ・コントロール・レジスタ10	TMC10	R/W	○	○		00H
FFFFF244H	タイマ出力コントロール・レジスタ10	TOC10	R/W	○	○		00H
FFFFF250H	タイマ10	TM10	R			○	0000H
FFFFF252H	キャプチャ／コンペア・レジスタ100	CC100	R/W			○	不定
FFFFF254H	キャプチャ／コンペア・レジスタ101	CC101	R/W			○	不定
FFFFF256H	キャプチャ／コンペア・レジスタ102	CC102	R/W			○	不定
FFFFF258H	キャプチャ／コンペア・レジスタ103	CC103	R/W			○	不定
FFFFF260H	タイマ・ユニット・モード・レジスタ11	TUM11	R/W			○	0000H
FFFFF262H	タイマ・コントロール・レジスタ11	TMC11	R/W	○	○		00H

(5/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFF264H	タイマ出力コントロール・レジスタ11	TOC11	R/W	○	○		00H
FFFFF270H	タイマ11	TM11	R			○	0000H
FFFFF272H	キャプチャ／コンペア・レジスタ110	CC110	R/W			○	不定
FFFFF274H	キャプチャ／コンペア・レジスタ111	CC111	R/W			○	不定
FFFFF276H	キャプチャ／コンペア・レジスタ112	CC112	R/W			○	不定
FFFFF278H	キャプチャ／コンペア・レジスタ113	CC113	R/W			○	不定
FFFFF280H	タイマ・ユニット・モード・レジスタ12	TUM12	R/W			○	0000H
FFFFF282H	タイマ・コントロール・レジスタ12	TMC12	R/W	○	○		00H
FFFFF284H	タイマ出力コントロール・レジスタ12	TOC12	R/W	○	○		00H
FFFFF290H	タイマ12	TM12	R			○	0000H
FFFFF292H	キャプチャ／コンペア・レジスタ120	CC120	R/W			○	不定
FFFFF294H	キャプチャ／コンペア・レジスタ121	CC121	R/W			○	不定
FFFFF296H	キャプチャ／コンペア・レジスタ122	CC122	R/W			○	不定
FFFFF298H	キャプチャ／コンペア・レジスタ123	CC123	R/W			○	不定
FFFFF2A0H	タイマ・ユニット・モード・レジスタ13	TUM13	R/W			○	0000H
FFFFF2A2H	タイマ・コントロール・レジスタ13	TMC13	R/W	○	○		00H
FFFFF2A4H	タイマ出力コントロール・レジスタ13	TOC13	R/W	○	○		00H
FFFFF2B0H	タイマ13	TM13	R			○	0000H
FFFFF2B2H	キャプチャ／コンペア・レジスタ130	CC130	R/W			○	不定
FFFFF2B4H	キャプチャ／コンペア・レジスタ131	CC131	R/W			○	不定
FFFFF2B6H	キャプチャ／コンペア・レジスタ132	CC132	R/W			○	不定
FFFFF2B8H	キャプチャ／コンペア・レジスタ133	CC133	R/W			○	不定
FFFFF2C0H	タイマ・ユニット・モード・レジスタ14	TUM14	R/W			○	0000H
FFFFF2C2H	タイマ・コントロール・レジスタ14	TMC14	R/W	○	○		00H
FFFFF2C4H	タイマ出力コントロール・レジスタ14	TOC14	R/W	○	○		00H
FFFFF2D0H	タイマ14	TM14	R			○	0000H
FFFFF2D2H	キャプチャ／コンペア・レジスタ140	CC140	R/W			○	不定
FFFFF2D4H	キャプチャ／コンペア・レジスタ141	CC141	R/W			○	不定
FFFFF2D6H	キャプチャ／コンペア・レジスタ142	CC142	R/W			○	不定
FFFFF2D8H	キャプチャ／コンペア・レジスタ143	CC143	R/W			○	不定
FFFFF2E0H	タイマ・ユニット・モード・レジスタ15	TUM15	R/W			○	0000H
FFFFF2E2H	タイマ・コントロール・レジスタ15	TMC15	R/W	○	○		00H
FFFFF2E4H	タイマ出力コントロール・レジスタ15	TOC15	R/W	○	○		00H
FFFFF2F0H	タイマ15	TM15	R			○	0000H
FFFFF2F2H	キャプチャ／コンペア・レジスタ150	CC150	R/W			○	不定
FFFFF2F4H	キャプチャ／コンペア・レジスタ151	CC151	R/W			○	不定
FFFFF2F6H	キャプチャ／コンペア・レジスタ152	CC152	R/W			○	不定
FFFFF2F8H	キャプチャ／コンペア・レジスタ153	CC153	R/W			○	不定
FFFFF342H	タイマ・コントロール・レジスタ40	TMC40	R/W	○	○		00H
FFFFF346H	タイマ・コントロール・レジスタ41	TMC41	R/W	○	○		00H
FFFFF350H	タイマ40	TM40	R			○	0000H
FFFFF352H	コンペア・レジスタ40	CM40	R/W			○	不定
FFFFF354H	タイマ41	TM41	R			○	0000H
FFFFF356H	コンペア・レジスタ41	CM41	R/W			○	不定
FFFFF380H	A/Dコンバータ・モード・レジスタ０	ADM0	R/W	○	○		00H

(6/6)

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				１ビット	８ビット	16ビット	
FFFFF382H	A/Dコンバータ・モード・レジスタ１	ADM1	R/W	○	○		07H
FFFFF390H	A/D変換結果レジスタ０	ADCR0	R			○	不定
FFFFF392H	A/D変換結果レジスタ0H	ADCR0H	R	○	○		不定
FFFFF394H	A/D変換結果レジスタ１	ADCR1	R			○	不定
FFFFF396H	A/D変換結果レジスタ1H	ADCR1H	R	○	○		不定
FFFFF398H	A/D変換結果レジスタ２	ADCR2	R			○	不定
FFFFF39AH	A/D変換結果レジスタ2H	ADCR2H	R	○	○		不定
FFFFF39CH	A/D変換結果レジスタ３	ADCR3	R			○	不定
FFFFF39EH	A/D変換結果レジスタ3H	ADCR3H	R	○	○		不定
FFFFF3A0H	A/D変換結果レジスタ４	ADCR4	R			○	不定
FFFFF3A2H	A/D変換結果レジスタ4H	ADCR4H	R	○	○		不定
FFFFF3A4H	A/D変換結果レジスタ５	ADCR5	R			○	不定
FFFFF3A6H	A/D変換結果レジスタ5H	ADCR5H	R	○	○		不定
FFFFF3A8H	A/D変換結果レジスタ６	ADCR6	R			○	不定
FFFFF3AAH	A/D変換結果レジスタ6H	ADCR6H	R	○	○		不定
FFFFF3ACH	A/D変換結果レジスタ７	ADCR7	R			○	不定
FFFFF3AEH	A/D変換結果レジスタ7H	ADCR7H	R	○	○		不定
FFFFF41AH	ポートX	PX	R/W	○	○		不定
FFFFF43AH	ポートXモード・レジスタ	PMX	W		○		FFH
FFFFF45AH	ポートXモード・コントロール・レジスタ	PMCX	W		○		00H/E0H
FFFFF580H	ポート／コントロール選択レジスタ０	PCS0	R/W	○	○		00H
FFFFF582H	ポート／コントロール選択レジスタ１	PCS1	R/W	○	○		00H
FFFFF586H	ポート／コントロール選択レジスタ３	PCS3	R/W	○	○		00H
FFFFF590H	ポート／コントロール選択レジスタ８	PCS8	R/W	○	○		00H
FFFFF594H	ポート／コントロール選択レジスタ10	PCS10	R/W	○	○		00H
FFFFF596H	ポート／コントロール選択レジスタ11	PCS11	R/W	○	○		00H
FFFFF5D0H	DMAディスエーブル・ステータス・レジスタ	DDIS	R	○	○		00H
FFFFF5D2H	DMAリスタート・レジスタ	DRST	R/W	○	○		00H
FFFFF5E0H	DMAトリガ要因レジスタ０	DTFR0	R/W	○	○		00H
FFFFF5E2H	DMAトリガ要因レジスタ１	DTFR1	R/W	○	○		00H
FFFFF5E4H	DMAトリガ要因レジスタ２	DTFR2	R/W	○	○		00H
FFFFF5E6H	DMAトリガ要因レジスタ３	DTFR3	R/W	○	○		00H
FFFFF5F0H	DMAチャネル・コントロール・レジスタ０	DCHC0	R/W	○	○		00H
FFFFF5F2H	DMAチャネル・コントロール・レジスタ１	DCHC1	R/W	○	○		00H
FFFFF5F4H	DMAチャネル・コントロール・レジスタ２	DCHC2	R/W	○	○		00H
FFFFF5F6H	DMAチャネル・コントロール・レジスタ３	DCHC3	R/W	○	○		00H

3.4.9　特定レジスタ

特定レジスタは，プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作時はシステム・ステータス・レジスタ（SYS）に報告されます。V850E/MS1にはクロック・コントロール・レジスタ（CKC）とパワー・セーブ・コントロール・レジスタ（PSC）の２つの特定レジスタがあります。CKCレジスタについては8.3.3を，PSCレジスタについては8.5.2を参照してください。

次に特定レジスタへのアクセス・シーケンスを示します。

特定レジスタへのデータ設定は次のシーケンスで行います。

① 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。
② ①で用意した汎用レジスタをコマンド・レジスタ（PRCMD）に書き込む。
③ ①で用意した汎用レジスタを使って特定レジスタを書き込む（次の命令で行います）。
　・ストア命令（ST/SST命令）
　・ビット操作命令（SET1/CLR1/NOT1命令）
④ IDLE, ソフトウエアSTOPモードに移行する場合は，NOP命令を挿入する（１命令）。

例
```
①  MOV   0x04, r10
②  ST.B  r10, PRCMD [r0]
③  ST.B  r10, PSC [r0]
④  NOP
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意　DMA転送によるPRCMDレジスタや特定レジスタへの書き込みはしないでください。

備考１． コマンド・レジスタに対するストア命令では，割り込み受け付けを行いません。
これは，プログラムで上記①，②を連続したストア命令で行うことを前提としています。①，②間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があり，誤動作の要因となるので注意が必要です。

２． PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例の③）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（上記例の②）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

３． ソフトウエアSTOPモード，IDLEモードに設定するためのPSCレジスタに対するストア命令では，直後にNOP命令を１命令以上挿入する必要があります。各パワー・セーブ・モードの割り込みによる解除，割り込み処理を実行したあとの復帰時にはストア命令の直後の１命令は実行されず，その次の命令から実行を開始します。

［記述例］
```
ST reg_code, PRCMD ；PRCMD書き込み
                      （reg_code：レジストレーション・コード）
ST data, PSC       ；PSCレジスタ設定
NOP                ；ダミー命令（１命令）
（next instruction）；ソフトウエアSTOP/IDLEモード解除後の実行ルーチン
      ⋮                    ⋮
```

PSCレジスタの設定にビット操作命令を使用した場合も同様です。

（1）コマンド・レジスタ（PRCMD）

コマンド・レジスタ（PRCMD）は，プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。８ビット単位でライトが可能です。リード時は不定値になります。

不正なストア動作の発生は，SYSレジスタのPRERRビットでチェックできます。

	7	6	5	4	3	2	1	0		
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	アドレス FFFFF170H	初期値 不定

ビット位置	ビット名	意　　味
7-0	REG7-REG0	Registration Code レジストレーション・コード 特定レジスタ：CKC　レジストレーション・コード：任意の８ビット・データ 特定レジスタ：PSC　レジストレーション・コード：任意の８ビット・データ

（2）システム・ステータス・レジスタ（SYS）

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード，ライト可能です。

	7	6	5	4	3	2	1	0		
SYS	0	0	0	PRERR	0	0	0	LOCK	アドレス FFFFF078H	初期値 0000000xB

ビット位置	ビット名	意　　味
4	PRERR	Protection Error Flag 特定レジスタへの書き込みが正しいシーケンスで行われず，プロテクション・エラーが発生したことを示す累積フラグです注。 ０：プロテクション・エラーは発生していない。 １：プロテクション・エラーが発生した。
0	LOCK	Lock Status Flag 読み出し専用フラグです。PLLのロック状態を示します（詳細は，**8.4　PLLロックアップ**を参照）。 ０：ロック中である。 １：アンロック状態である。

注　PRERRフラグの動作条件は次のとおりです。

●セット条件：（PRERR = 1）
① 最も最近の内蔵周辺I/Oに対するストア命令動作がPRCMDレジスタへの書き込み動作のない状態で，特定レジスタへの書き込み動作を行ったとき。
② PRCMDレジスタへの書き込み動作後の最初のストア命令動作が，特定レジスタ以外の内蔵周辺I/Oレジスタに対するものであるとき。

●リセット条件：（PRERR = 0）
① SYSレジスタのPRERRフラグに０を書き込んだとき。
② システム・リセット時。

第４章　バス制御機能

V850E/MS1は，外部にROM, RAM等のメモリやI/O等を接続できる外部バス・インタフェース機能を内蔵しています。

4.1　特　　徴

○16ビット／８ビット・データ・バス・サイジング機能
○８空間のチップ・セレクト出力機能
○ウエイト機能
　・各メモリ・ブロックごとに最大７ステートのプログラマブル・ウエイト機能
　・$\overline{\text{WAIT}}$端子による外部ウエイト機能
○アイドル・ステート挿入機能
○バス使用権調停機能
○バス・ホールド機能
○ポートとの兼用端子で，外部デバイスとの接続が可能

4.2　バス制御端子

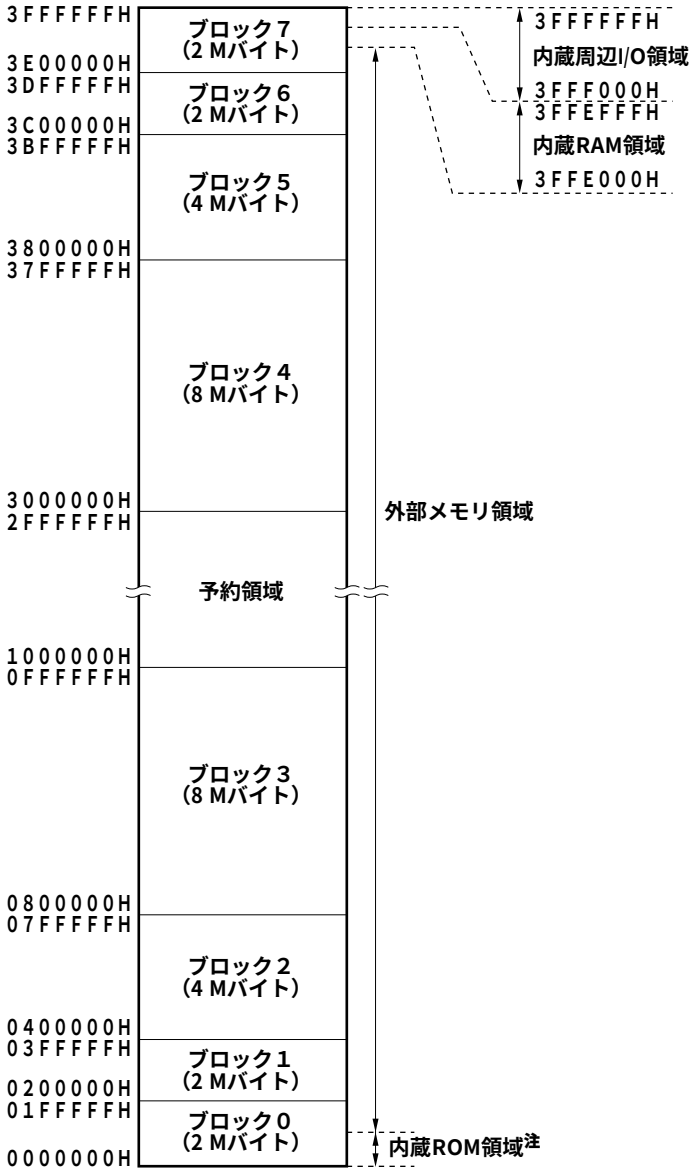
外部デバイスの接続には，次の端子を使用します。

バス制御端子 （コントロール・モード時の機能）	ポート・モード時の機能	ポート/コントロール・モードの 切り替えを行うレジスタ
データ・バス（D0-D7）	P40-P47（ポート4）	MM
データ・バス（D8-D15）	P50-P57（ポート5）	MM
アドレス・バス（A0-A7）	PA0-PA7（ポートA）	MM
アドレス・バス（A8-A15）	PB0-PB7（ポートB）	MM
アドレス・バス（A16-A23）	P60-P67（ポート6）	MM
チップ・セレクト（$\overline{\text{CS0}}$-$\overline{\text{CS7}}$, $\overline{\text{RAS0}}$-$\overline{\text{RAS7}}$, $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$）	P80-P87（ポート8）	PMC8
リード／ライト制御（$\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$, $\overline{\text{LWR}}$, $\overline{\text{UWR}}$, $\overline{\text{RD}}$, $\overline{\text{WE}}$, $\overline{\text{OE}}$）	P90-P93，P95（ポート9）	PMC9
バス・サイクル・スタート（$\overline{\text{BCYST}}$）	P94（ポート9）	PMC9
外部ウエイト制御（$\overline{\text{WAIT}}$）	PX6（ポートX）	PMCX
バス・ホールド制御（$\overline{\text{HLDAK}}$, $\overline{\text{HLDRQ}}$）	P96，P97（ポート9）	PMC9
DRAMリフレッシュ制御（$\overline{\text{REFRQ}}$）	PX5（ポートX）	PMCX
内部システム・クロック（CLKOUT）	PX7（ポートX）	PMCX

備考　シングルチップ・モード１，ROMレス・モード0,1の場合，システム・リセットにより各バス制御端子は無条件に有効になります（ただし，D8-D15はシングルチップ・モード１，ROMレス・モード0のときだけ有効）。
詳細は，**3.4.6　外部拡張モード**を参照してください。

4.3　メモリ・ブロック機能

64 Mバイトのメモリ空間は2 M, 4 M, 8 Mバイト単位のメモリ・ブロックに分割され，１ブロック単位にプログラマブル・ウエイト機能，バス・サイクル動作モードを独立に制御できます。



注　シングルチップ・モード１，ROMレス・モード０，１のときは，外部メモリ領域になります。
シングルチップ・モード１のときは，0100000H-01FFFFF番地が，内蔵ROM領域になります。

4.4　バス・サイクル・タイプ制御機能

V850E/MS1は，次のような外部デバイスを各メモリ・ブロックごとに直結できます。

- SRAM，外部ROM，外部I/O
- ページROM
- DRAM

接続する外部デバイスは，バス・サイクル・タイプ・コンフィギュレ―ション・レジスタ（BCT）で指定します。

4.4.1　バス・サイクル・タイプ・コンフィギュレーション・レジスタ（BCT）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCT	BT71	BT70	BT61	BT60	BT51	BT50	BT41	BT40	BT31	BT30	BT21	BT20	BT11	BT10	BT01	BT00	FFFFF064H	0000H
メモリ・ブロック	7		6		5		4		3		2		1		0			

ビット位置	ビット名	意　　味
15-0	BTn1, BTn0 （n = 7-0）	Bus Cycle Type メモリ・ブロックnに接続する外部デバイスを指定します。

BTn1	BTn0	メモリ・ブロックnに直結する外部デバイス
0	0	SRAM，外部ROM，外部I/O
0	1	ページROM
1	0	DRAM注
1	1	設定禁止

注　DTCレジスタにより，各メモリ・ブロックごとに，４種類のDRAMアクセス・タイプ設定から１種類を選択できます（5.3.5　DRAMタイプ・コンフィギュレーション・レジスタ（DTC）参照）。

注意　BCTレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCTレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

チップ・セレクト信号（$\overline{CS0}$/$\overline{RAS0}$-$\overline{CS7}$/$\overline{RAS7}$）は，ブロック0-7に対応して次のように出力します。

外部デバイス メモリ・ブロック	SRAM, 外部ROM, 外部I/O, ページROM	DRAM
ブロック0[注1]	$\overline{CS0}$	$\overline{RAS0}$
ブロック1	$\overline{CS1}$	$\overline{RAS1}$
ブロック2	$\overline{CS2}$	$\overline{RAS2}$
ブロック3	$\overline{CS3}$	$\overline{RAS3}$
ブロック4	$\overline{CS4}$	$\overline{RAS4}$
ブロック5	$\overline{CS5}$	$\overline{RAS5}$
ブロック6	$\overline{CS6}$	$\overline{RAS6}$
ブロック7[注2]	$\overline{CS7}$	$\overline{RAS7}$

注１． 内蔵ROM領域を除く。

２． 内蔵RAM領域，内蔵周辺I/O領域を除く。

4.5　バス・アクセス

4.5.1　アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数は次のとおりです。

バス・サイクル形態 ／ リソース（バス幅）				命令フェッチ		オペランド・データ・アクセス	
				通常アクセス	バースト・アクセス	通常アクセス	バースト・アクセス
内蔵ROM（32ビット）				1	－	3	－
内蔵RAM（32ビット）				1または2	－	1	－
内蔵周辺I/O（16ビット）				－	－	3＋n	－
外部デバイス	SRAM，外部ROM，外部I/O（16/8ビット）			2＋n	－	2＋n	－
		DMAフライバイ転送時		－	－	2＋n	－
	ページROM（16/8ビット）			2＋n	2＋n	2＋n	2＋n
	高速ページDRAM（16/8ビット）			3＋n	2＋n	3＋n	2＋n
		DMAフライバイ転送時	リード時	－	－	3＋n	2＋n
			ライト時	－	－	3＋n	3＋n
	EDO DRAM（16/8ビット）			3＋n	1＋n	3＋n	1＋n
		DMAフライバイ転送時	リード時	－	－	3＋n	2＋n
			ライト時	－	－	3＋n	3＋n

備考１． 単位はクロック／アクセスです。

２． n：ウエイト挿入数

（1）内蔵周辺I/Oインタフェース

内蔵周辺I/Oへのアクセス内容は外部バスに出力しません。したがって，命令フェッチ・アクセス時に，並行して内蔵周辺I/Oアクセスを行うことができます。

内蔵周辺I/Oアクセスは，基本的に３クロック・アクセスです。ただし，一部のタイマ／カウンタ機能の内蔵周辺I/Oレジスタへのアクセス時にウエイトが入ることがあります。

内蔵周辺I/Oレジスタ	アクセス	ウエイト数	サイクル数
CC1n0-CC1n3, TM1n（n = 0-5）	リード	1	4
	ライト	0/1	3/4
CM40, CM41	リード	0	3
	ライト	0/1	3/4
TM40, TM41	リード	0/1	3/4
	ライト	0	3
その他	リード	0	3
	ライト	0	3

4.5.2　バス・サイジング機能

バス・サイジング機能により，各メモリ・ブロックごとのデータ・バス幅を制御できます。データ・バス幅は，バス・サイズ・コンフィギュレーション・レジスタ（BSC）で設定します。

（1）バス・サイズ・コンフィギュレーション・レジスタ（BSC）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BSC	BS71	BS70	BS61	BS60	BS51	BS50	BS41	BS40	BS31	BS30	BS21	BS20	BS11	BS10	BS01	BS00	FFFFF066H	注
メモリ・ブロック	7		6		5		4		3		2		1		0			

注　シングルチップ・モード0，1のとき　：5555H
　　ROMレス・モード0のとき　：5555H
　　ROMレス・モード1のとき　：0000H

ビット位置	ビット名	意　　味
15-0	BSn1, BSn0 （n＝7-0）	Data Bus Width メモリ・ブロックnのデータ・バス幅を設定します。

BSn1	BSn0	メモリ・ブロックnのデータ・バス幅
0	0	８ビット
0	1	16ビット
1	任意	RFU（予約）

注意１．BSCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BSCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

２．V850E/MS1用インサーキット・エミュレータ（IE-703102-MC）は，８ビット幅の外部ROMエミュレーションには対応していません。

３．８ビットのデータ・バス幅を選択した場合には，ライト信号は$\overline{\text{LWR}}$のみアクティブになります。$\overline{\text{UWR}}$はアクティブになりません。

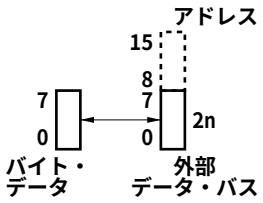
4.5.3　バ ス 幅

V850E/MS1が外部メモリ・アクセスを行う場合には，８，16，32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

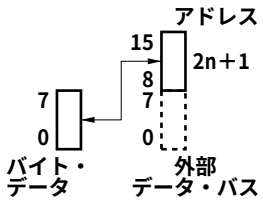
（1）バイト・アクセス（８ビット）

（a）16ビット・データ・バス幅時

① アドレス2n番地（偶数番地）へのアクセス



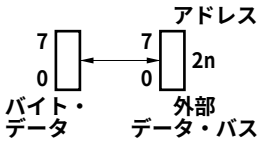
② アドレス2n＋1番地（奇数番地）へのアクセス



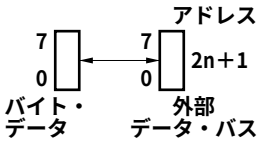
備考　n = 0, 1, 2, 3, …

（b）８ビット・データ・バス幅時

①アドレス2n番地（偶数番地）へのアクセス



②アドレス2n＋1番地（奇数番地）へのアクセス



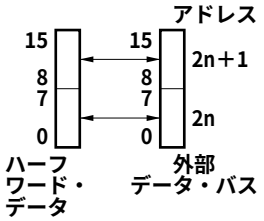
備考　n = 0, 1, 2, 3, …

（2）ハーフワード・アクセス（16ビット）

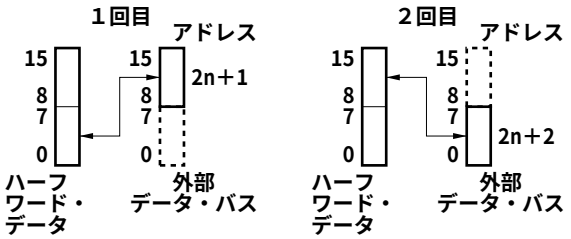
外部メモリへのハーフワード・アクセスでは，データをそのままやりとりするか，下位バイト，上位バイトの順でアクセスします。

（a）16ビット・データ・バス幅時

① アドレス2n番地（偶数番地）へのアクセス



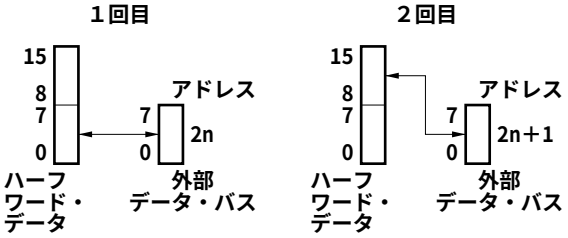
② アドレス2n＋1番地（奇数番地）へのアクセス



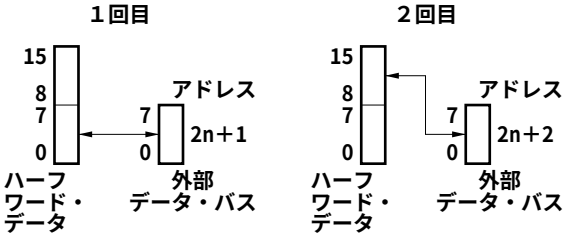
備考　n = 0, 1, 2, 3, …

（b）8ビット・データ・バス幅時

① アドレス2n番地（偶数番地）へのアクセス



② アドレス2n＋1番地（奇数番地）へのアクセス



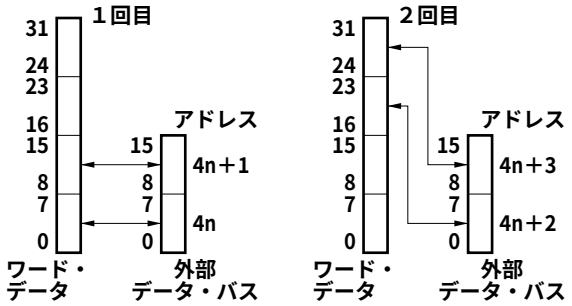
備考　n = 0, 1, 2, 3, …

（3）ワード・アクセス（32ビット）

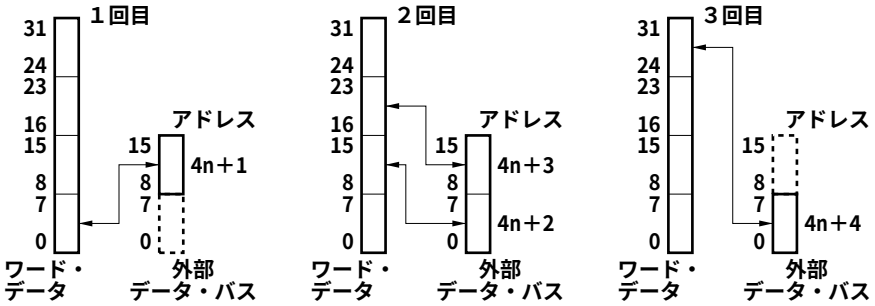
外部メモリへのワード・アクセスでは，下位ハーフワード，上位ハーフワードの順，または最下位バイトから最上位バイトの順でアクセスします。

（a）16ビット・データ・バス幅時

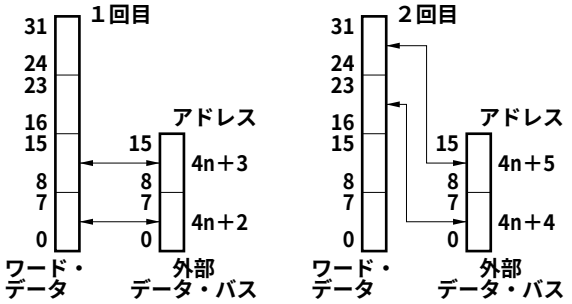
① アドレス4n番地へのアクセス



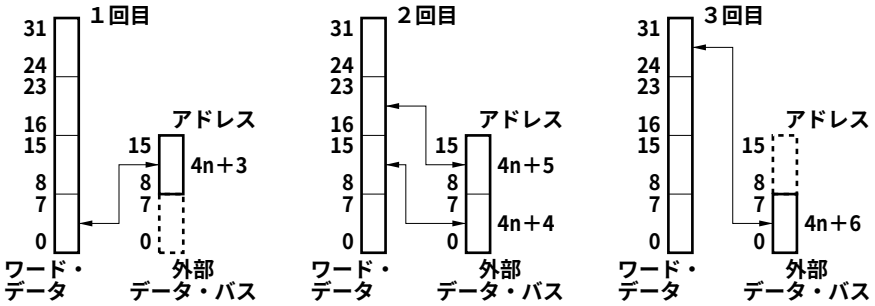
② アドレス4n＋1番地へのアクセス



③ アドレス4n＋2番地へのアクセス



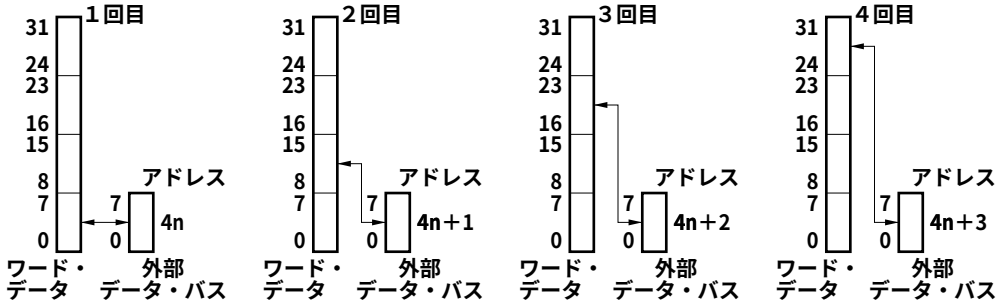
④ アドレス4n＋3番地へのアクセス



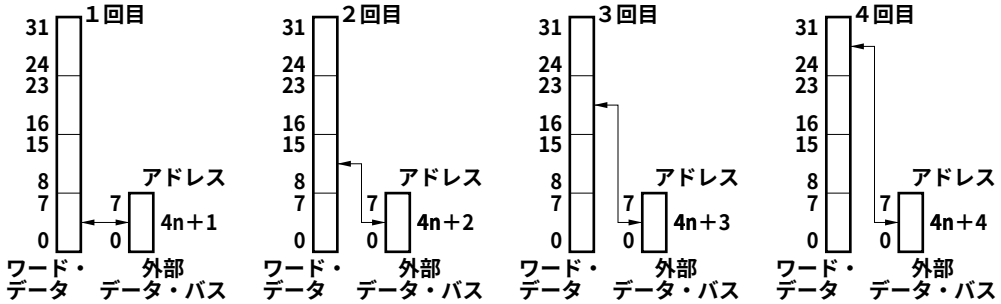
備考　n = 0, 1, 2, 3, …

（b）８ビット・データ・バス幅時

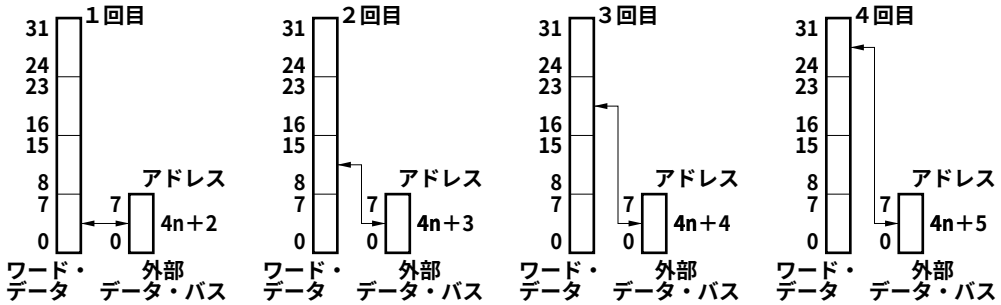
①　アドレス4n番地へのアクセス



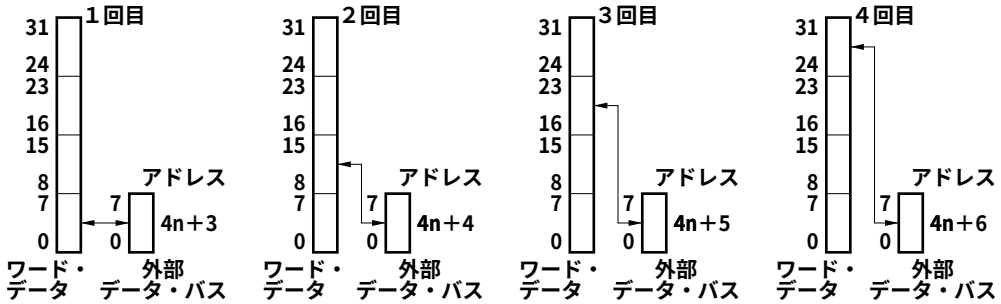
②　アドレス4n＋1番地へのアクセス



③　アドレス4n＋2番地へのアクセス



④　アドレス4n＋3番地へのアクセス



備考　n = 0, 1, 2, 3, …

4.6　ウエイト機能

4.6.1　プログラマブル・ウエイト機能

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，各メモリ・ブロックごとに，起動されるバス・サイクルに対し，最大７ステートのデータ・ウエイトを挿入可能です。

ウエイト数は，データ・ウエイト・コントロール・レジスタ１，２（DWC1, DWC2）の設定によりプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対して７データ・ウエイトの挿入状態になります。

（1）データ・ウエイト・コントロール・レジスタ１，２（DWC1, DWC2）

DWC1レジスタは16ビット単位で，DWC2レジスタは８/１ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DWC1	DW71	DW70	DW61	DW60	DW51	DW50	DW41	DW40	DW31	DW30	DW21	DW20	DW11	DW10	DW01	DW00	FFFFF060H	FFFFH
メモリ・ブロック	7		6		5		4		3		2		1		0			

	7	6	5	4	3	2	1	0	アドレス	初期値
DWC2	DW72	DW62	DW52	DW42	DW32	DW22	DW12	DW02	FFFFF06AH	FFH
メモリ・ブロック	7	6	5	4	3	2	1	0		

レジスタ名	ビット位置	ビット名	意　　味
DWC1	15-0	DWn1, DWn0 （n = 7-0）	Data Wait メモリ・ブロックｎに挿入するウエイトのステート数を指定します。 DWC1レジスタとDWC2レジスタを組み合わせて設定します。
DWC2	7-0	DWn2 （n = 7-0）	

DWn2	DWn1	DWn0	メモリ・ブロックｎの挿入ウエイト・ステート数
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注意１．内蔵ROM領域，内蔵RAM領域は，プログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。また，内蔵周辺I/O領域も，プログラマブル・ウエイトの対象外で，各周辺機能からのウエイト制御だけ行われます。

２．次の場合，DWC1, DWC2レジスタの設定は無効となります（ウエイト制御は各メモリ・コントローラごとに行います）。

・DRAMアクセス

・ページROMのオンページ・アクセス

３．DWC1, DWC2レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DWC1, DWC2レジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

4.6.2　外部ウエイト機能

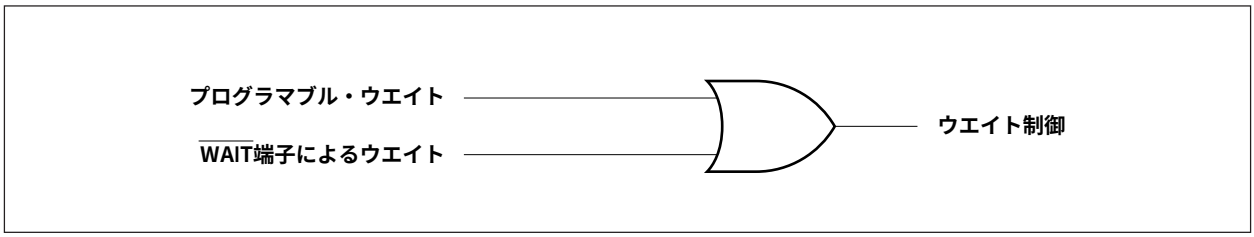
極端に遅いデバイスや，I/O，非同期システムに接続する場合など，外部デバイスに同期をとる目的で，外部ウエイト端子（$\overline{\text{WAIT}}$）によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM，内蔵RAM，内蔵周辺I/Oの各領域へのアクセスに対しては，プログラマブル・ウエイトと同様に，外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$入力は，CLKOUTに対する非同期入力が可能で，バス・サイクルのT1, TWステートのクロックの立ち下がりでサンプリングします。サンプル・タイミングにおける設定／保持時間を満たさないときは，次のステートでウエイトを挿入するか，挿入しないかのどちらかになります。

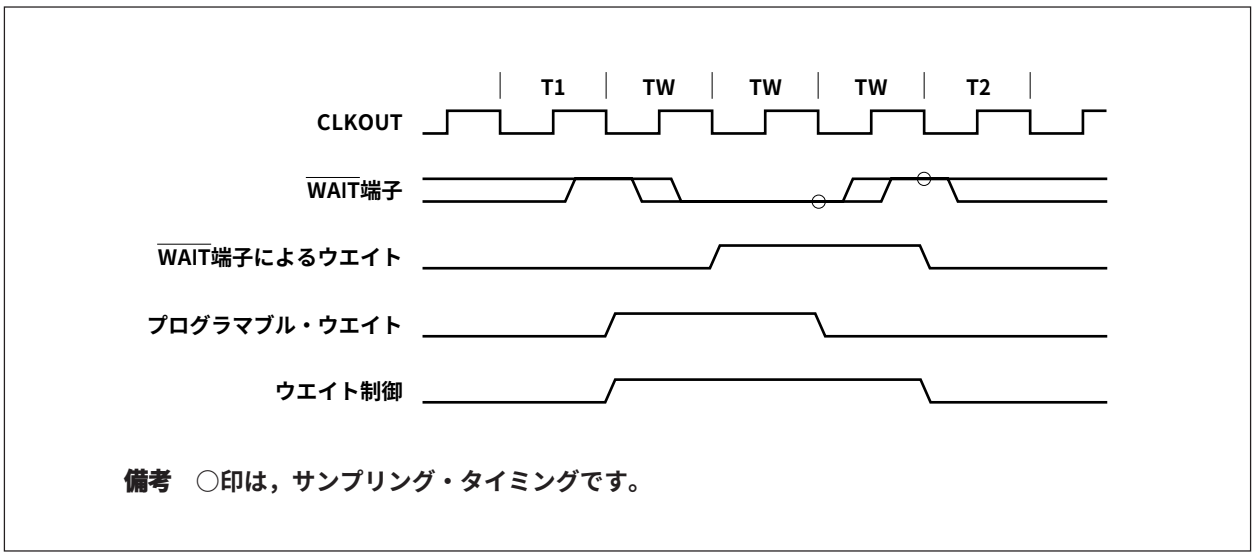
4.6.3　プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは，プログラマブル・ウエイトの設定値によるウエイト・サイクルと，$\overline{\text{WAIT}}$端子制御によるウエイト・サイクルの論理和（OR）として挿入され，どちらか多い方のウエイト・サイクル数だけ挿入されます。



たとえば，プログラマブル・ウエイトが２ウエイト，$\overline{\text{WAIT}}$端子が次のようなタイミングのとき，バス・サイクルは，３ウエイトになります。

図４－１　ウエイト挿入例



4.6.4　ウエイト機能が有効なバス・サイクル

V850E/MS1は，各メモリ・ブロックごとに指定した各種メモリのタイプに応じて，ウエイト数を指定できます。

ウエイト機能が有効なバス・サイクルとウエイト設定を行うレジスタを次に示します。

表４－１　ウエイト機能が有効なバス・サイクル（1/2）

バス・サイクル			ウエイトの種類	プログラマブル・ウエイトの設定 上段：レジスタ 下段：ビット	ウエイト数	$\overline{\text{WAIT}}$端子によるウエイト
SRAM, 外部ROM, 外部I/Oサイクル			データ・アクセス・ウエイト	DWC1, DWC2 DWxx	0-7	○
ページROMサイクル	オフページ		データ・アクセス・ウエイト	DWC1, DWC2 DWxx	0-7	○
	オンページ		データ・アクセス・ウエイト	PRC PRW0-PRW2	0-7	○
EDO DRAM, 高速ページDRAMサイクル	リード・アクセス	オフページ	RASプリチャージ	DRCn RPC0n, RPC1n	0-3	×
			ロウ・アドレス・ホールド	DRCn RHC0n, RHC1n	0-3	×
			データ・アクセス・ウエイト	DRCn DAC0n, DAC1n	0-3	注
		オンページ	CASプリチャージ	DRCn CPC0n, CPC1n	0-3	×
			データ・アクセス・ウエイト	DRCn DAC0n, DAC1n	0-3	×
	ライト・アクセス	オフページ	RASプリチャージ	DRCn RPC0n, RPC1n	0-3	×
			ロウ・アドレス・ホールド	DRCn RHC0n, RHC1n	0-3	注
			データ・アクセス・ウエイト	DRCn DAC0n, DAC1n	0-3	×
		オンページ	CASプリチャージ	DRCn CPC0n, CPC1n	0-3	×
			データ・アクセス・ウエイト	DRCn DAC0n, DAC1n	0-3	×
CBRリフレッシュ・サイクル			RASプリチャージ	RWC RRW0, RRW1	0-3	×
			RASアクティブ幅	RWC RCW0-RCW2	0-7	×

注　EDO DRAMサイクル　　：×
　　高速ページDRAMサイクル：○

備考１．○：有効　×：無効
　　２．n = 0-3
　　xx = 00-02, 10-12, 20-22, 30-32, 40-42, 50-52, 60-62, 70-72

表４－１　ウエイト機能が有効なバス・サイクル（2/2）

バス・サイクル			ウエイトの種類		プログラマブル・ウエイトの設定 上段：レジスタ 下段：ビット	ウエイト数	$\overline{\text{WAIT}}$端子によるウエイト
CBRセルフ・リフレッシュ・サイクル			RASプリチャージ		RWC RRW0, RRW1	0-3	×
			RASアクティブ幅		RWC RCW0-RCW2	0-7	×
			セルフ・リフレッシュ・リリース幅		RWC SRW0-SRW2	0-14	×
DMAフライバイ転送サイクル	外部I/O⟷SRAM		データ・アクセス・ウエイト	TW	DWC1, DWC2 DWxx	0-7	○
				TF	FDW FDWm	0, 1	×
	DRAM→外部I/O	オフページ	RASプリチャージ		DRCn RPC0n, RPC1n	0-3	×
			ロウ・アドレス・ホールド		DRCn RHC0n, RHC1n	0-3	×
			データ・アクセス・ウエイト	TW	DRCn DAC0n, DAC1n	0-3	○
				TF	FDW FDWm	0, 1	×
		オンページ	CASプリチャージ		DRCn CPC0n, CPC1n	0-3	×
			データ・アクセス・ウエイト	TW	DRCn DAC0n, DAC1n	0-3	○
				TF	FDW FDWm	0, 1	×
	外部I/O→DRAM	オフページ	RASプリチャージ		DRCn RPC0n, RPC1n	0-3	×
			ロウ・アドレス・ホールド		DRCn RHC0n, RHC1n	0-3	○
			データ・アクセス・ウエイト	TW	DRCn DAC0n, DAC1n	0-3	×
				TF	FDW FDWm	0, 1	×
		オンページ	CASプリチャージ		DRCn CPC0n, CPC1n	1-3	○
			データ・アクセス・ウエイト	TW	DRCn DAC0n, DAC1n	0-3	×
				TF	FDW FDWm	0, 1	×

備考１．○：有効　　×：無効

２． n = 0-3

m = 0-7

xx = 00-02, 10-12, 20-22, 30-32, 40-42, 50-52, 60-62, 70-72

4.7　アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし，各メモリ・ブロックごとに，リード・アクセス時のメモリのデータ出力フロート遅延時間（t_{DF}）を確保するために，起動されるバス・サイクルに対し，T2ステート後に１ステートのアイドル・ステート（TI）を挿入可能です。T2ステートの次のバス・サイクルは，挿入されたアイドル・ステートのあとから開始します。

アイドル・ステート挿入の指定は，バス・サイクル・コントロール・レジスタ（BCC）の設定によりプログラマブルに指定可能です。

システム・リセット直後は，全ブロックに対してアイドル・ステートの挿入状態になります。

リード・サイクル後にライト・サイクルが続く場合のみ，アイドル・ステートが挿入されます。

（1）バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCC	BC71	BC70	BC61	BC60	BC51	BC50	BC41	BC40	BC31	BC30	BC21	BC20	BC11	BC10	BC01	BC00	FFFFF062H	5555H
メモリ・ブロック	7		6		5		4		3		2		1		0			

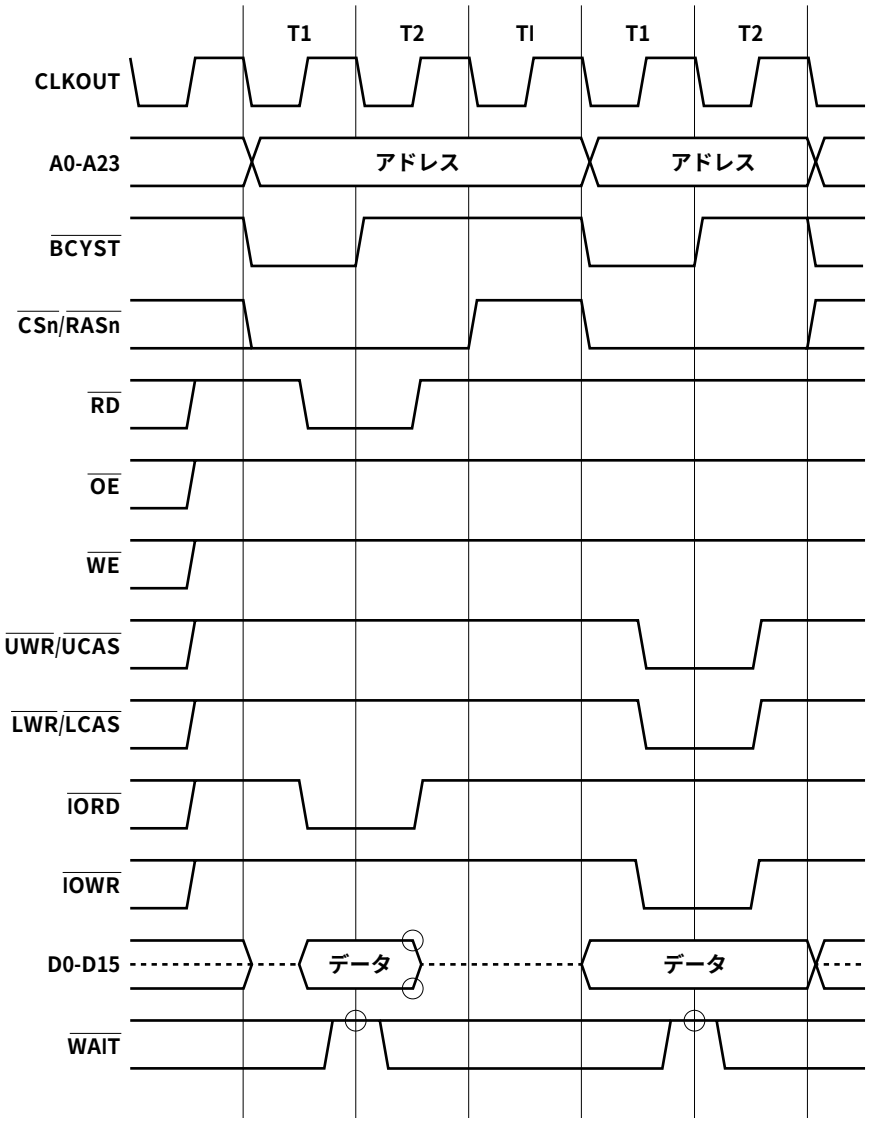
ビット位置	ビット名	意　　味
15-0	BCn1, BCn0 （n = 7-0）	Bus Cycle メモリ・ブロックnに対するアイドル・ステートの挿入を指定します。

BCn1	BCn0	メモリ・ブロックnに対するアイドル・ステート
0	0	挿入しない
0	1	挿入する
1	任意	RFU（予約）

注意１．内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。

２．BCCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

（2）アイドル・ステート挿入タイミング



備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-7

4.8　バス・ホールド機能

4.8.1　機能概要

P96, P97端子がコントロール・モードに指定されていれば，$\overline{\text{HLDAK}}$, $\overline{\text{HLDRQ}}$機能が有効になります。

ほかのバス・マスタからのバス獲得要求として$\overline{\text{HLDRQ}}$端子がアクティブ（ロウ・レベル）になったことを受け付けると，外部アドレス／データ・バス，各種ストローブ端子をハイ・インピーダンス状態にし，解放します（バス・ホールド状態）。$\overline{\text{HLDRQ}}$端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば，再びこれらの端子の駆動を開始します。

バス・ホールド期間中は，外部メモリ・アクセスがあるまでV850E/MS1の内部動作を継続します。

バス・ホールド状態は，$\overline{\text{HLDAK}}$端子がアクティブ（ロウ・レベル）になったことにより知ることができます。

マルチプロセッサ構成など，バス・マスタが複数存在するようなシステムを構成することができます。

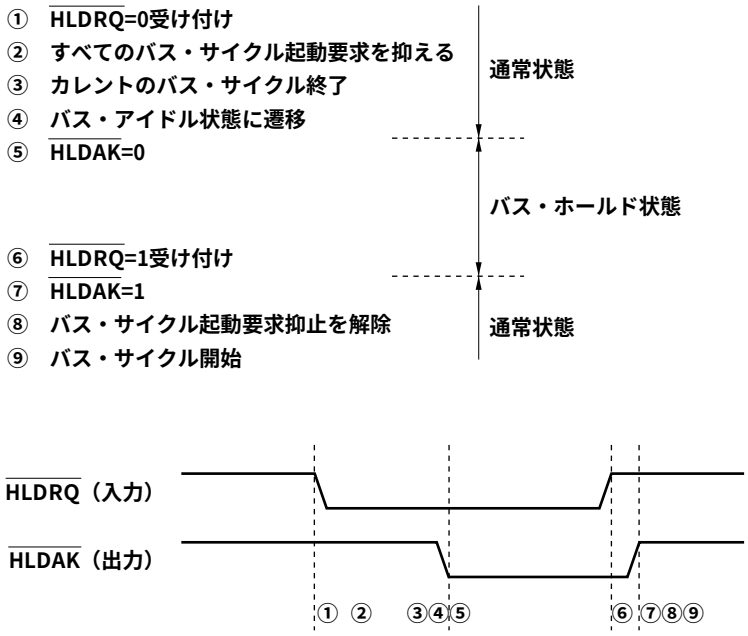
なお，次のタイミングでは，バス・ホールド要求を受け付けません。

注意　リセット期間中の$\overline{\text{HLDRQ}}$機能は無効です。$\overline{\text{RESET}}$端子と$\overline{\text{HLDRQ}}$端子を同時にアクティブにしたあと$\overline{\text{RESET}}$端子をインアクティブにすると，１クロック・アイドル・サイクルが挿入されてから$\overline{\text{HLDAK}}$端子がアクティブとなります。なお，パワーオン・リセット時に$\overline{\text{HLDRQ}}$端子を同時にアクティブとした場合には，$\overline{\text{RESET}}$端子をインアクティブにしても$\overline{\text{HLDAK}}$端子はアクティブとなりません。V850E/MS1以外のバス・マスタが外部接続されているときには，パワーオン時のアービトレーションを$\overline{\text{RESET}}$信号にて行ってください。

状　　態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	１回目と２回目の間
		奇数番地へのワード・アクセス	１回目と２回目の間
			２回目と３回目の間
		奇数番地へのハーフワード・アクセス	１回目と２回目の間
	８ビット	ワード・アクセス	１回目と２回目の間
			２回目と３回目の間
			３回目と４回目の間
		ハーフワード・アクセス	１回目と２回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	－	－	リード・アクセスとライト・アクセスの間

4.8.2　バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

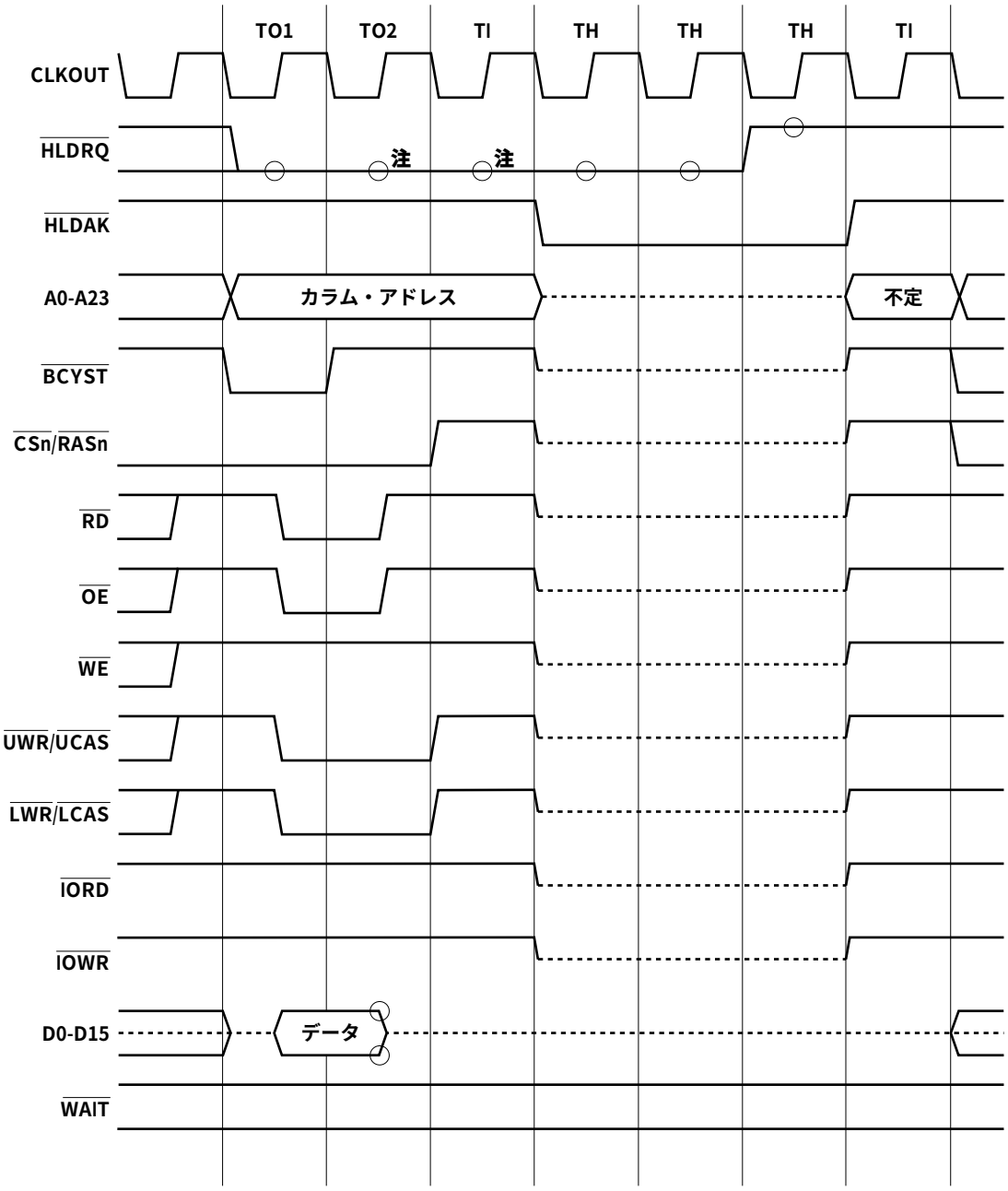


4.8.3　パワー・セーブ・モード時の動作

ソフトウエアSTOPモード期間中およびIDLEモード期間中は，内部システム・クロックが停止するため，HLDRQ端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは，HLDRQ端子がアクティブになると，ただちにHLDAK端子がアクティブになり，バス・ホールド状態になります。その後，HLDRQ端子がインアクティブになると，HLDAK端子もインアクティブになり，バス・ホールド状態は解除され，再びHALTモードに戻ります。

4.8.4　バス・ホールド・タイミング



注　このサンプリングで$\overline{\text{HLDRQ}}$がインアクティブ（ハイ・レベル）の場合，バス・ホールド状態には移行しません。

備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-7

４．DRAMアクセスからバス・ホールド状態のタイミングです。

４.９　バスの優先順位

外部バス・サイクルには，バス・ホールド，命令フェッチ，オペランド・データ・アクセス，DMAサイクル，リフレッシュ・サイクルの５つがあります。

優先順位は，バス・ホールドが最も高く，リフレッシュ・サイクル，DMAサイクル，命令フェッチ，オペランド・データ・アクセスの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には，命令フェッチが挿入されることがあります。

また，CPUバス・ロック時のバス・アクセスとバス・アクセスの間にも，命令フェッチが挿入されることがあります。

表４－２　バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い	バス・ホールド	外部デバイス
↑	リフレッシュ・サイクル	DRAMコントローラ
↕	DMAサイクル	DMAコントローラ
↓	命令フェッチ	CPU
低い	オペランド・データ・アクセス	CPU

４.10　境界動作条件

４.10.１　プログラム空間

（１）内蔵周辺I/O領域への分岐または内蔵RAM領域から内蔵周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合，NOP命令コードのフェッチを継続し，外部メモリからのフェッチなどは行いません。

（２）内蔵RAM領域の上限に分岐命令がある場合の，内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

（３）バースト・フェッチは，メモリ・ブロック間にまたがって命令フェッチを行った場合，メモリ・ブロックの上限でバースト・フェッチをいったん終了し，次のメモリ・ブロックの下限からスタートアップ・サイクルを開始します。

（４）バースト・フェッチは外部メモリ領域だけで有効です。メモリ・ブロック７では，内部アドレス・カウント値が外部メモリ領域の上限に達するとバースト・フェッチを終了します。

4.10.2　データ空間

V850E/MS1はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，バス・サイクルが最低２回は発生し，バス効率が低下します。

（1）ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが１のとき，バイト長のバス・サイクルを２回生成します。

（2）ワード長のデータ・アクセスの場合

（a）アドレスの最下位ビットが１のとき，バイト長のバス・サイクル，ハーフワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを生成します。

（b）アドレスの下位２ビットが10のとき，ハーフワード長のバス・サイクルを２回生成します。

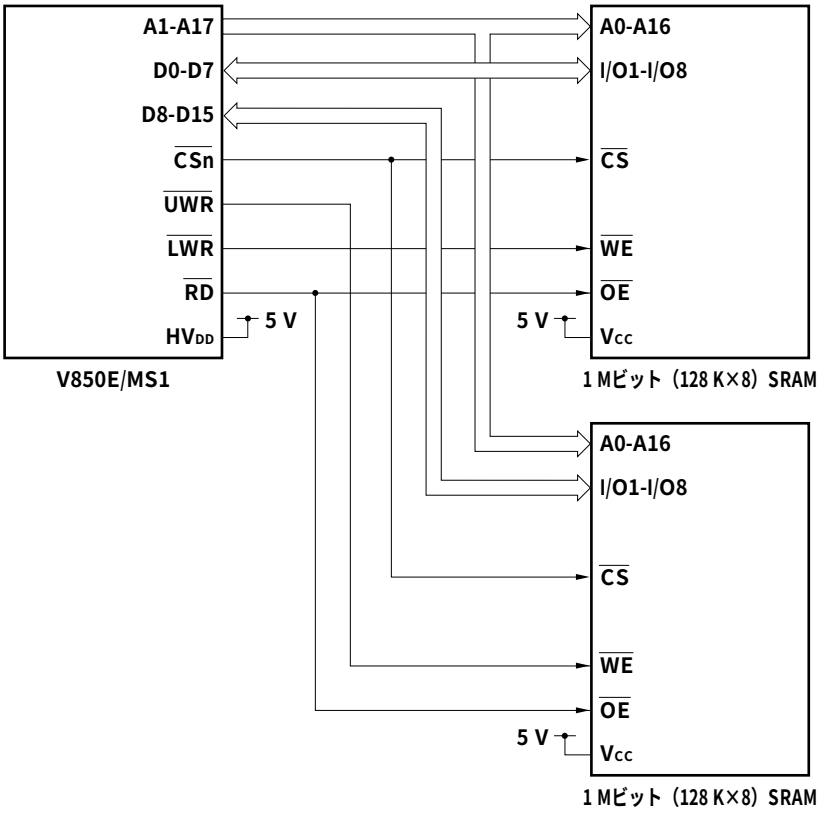
第５章　メモリ・アクセス制御機能

５．１　SRAM, 外部ROM, 外部I/Oインタフェース

５．１．１　SRAMの接続

SRAMとの接続例は次のようになります。

図５－１　SRAMとの接続例

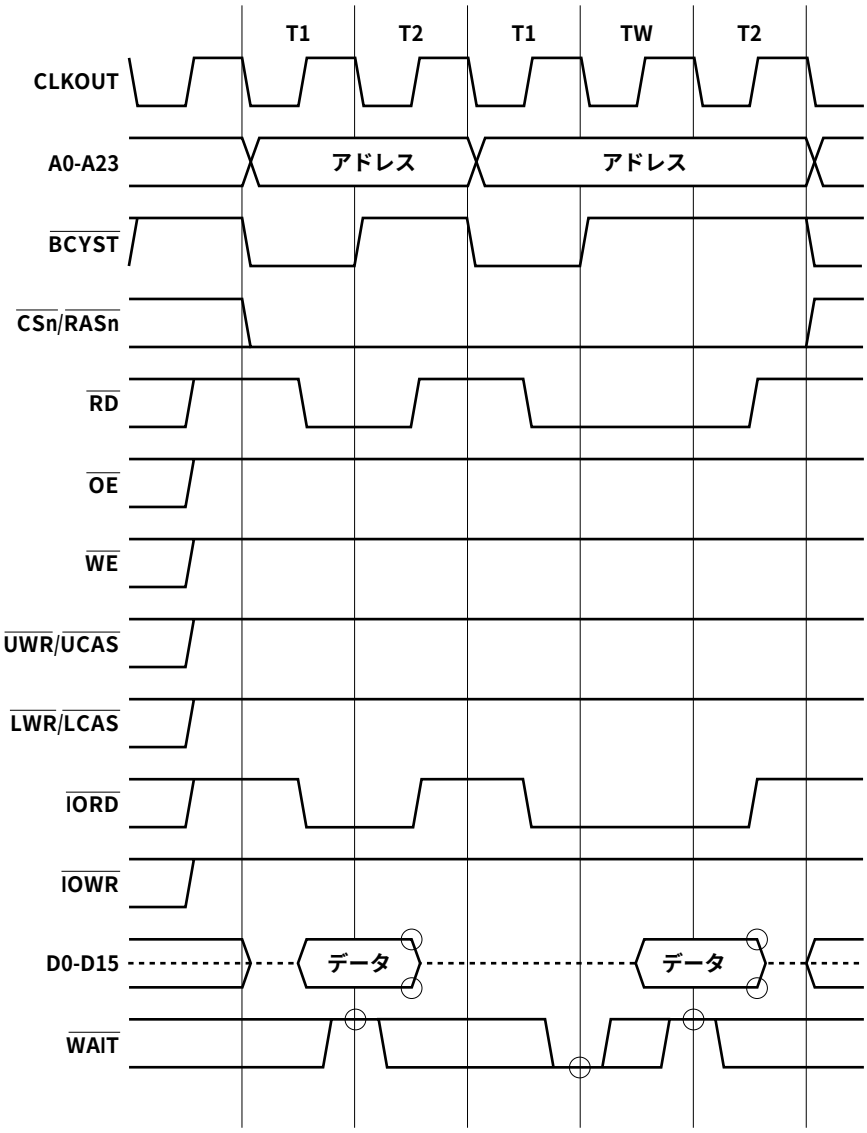


備考　n = 0-7

5.1.2　SRAM, 外部ROM, 外部I/Oアクセス

図５－２　SRAM, 外部ROM, 外部I/Oアクセス・タイミング（1/4）

（a）リード時



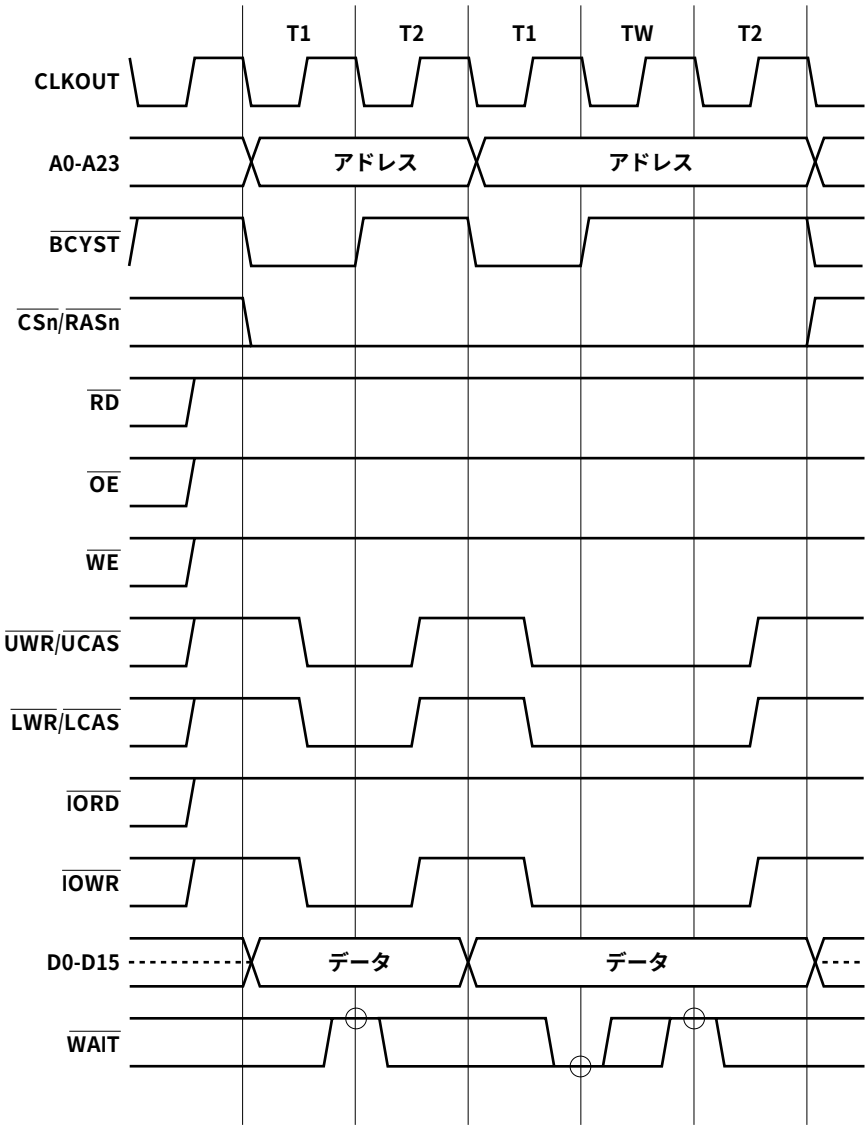
備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-7

図５－２　SRAM, 外部ROM, 外部I/Oアクセス・タイミング（2/4）

（b）ライト時



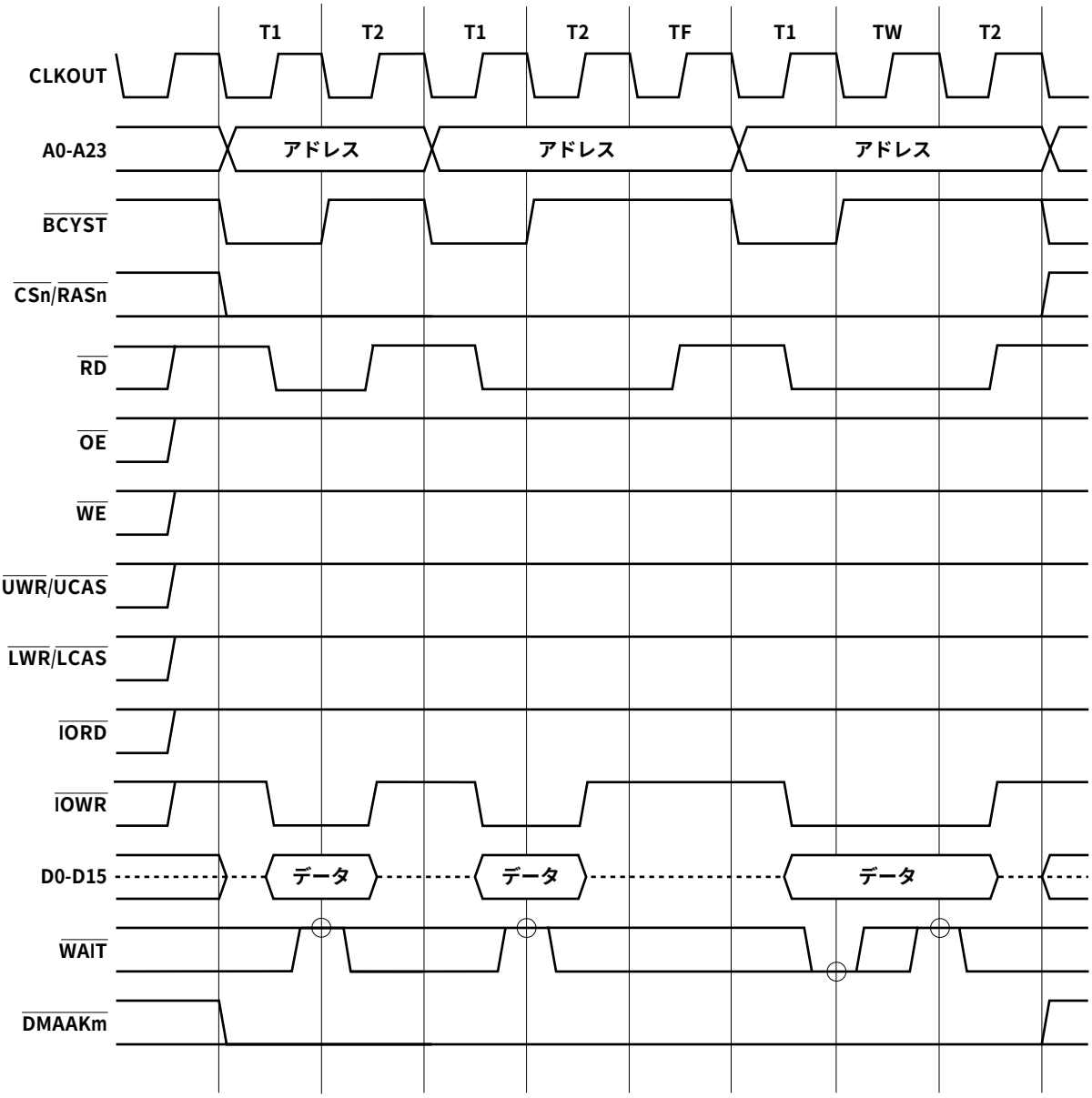
備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-7

図５－２　SRAM, 外部ROM, 外部I/Oアクセス・タイミング（3/4）

（ｃ）DMAフライバイ転送（SRAM→外部I/O）時



備考１．○印はサンプリング・タイミングです。

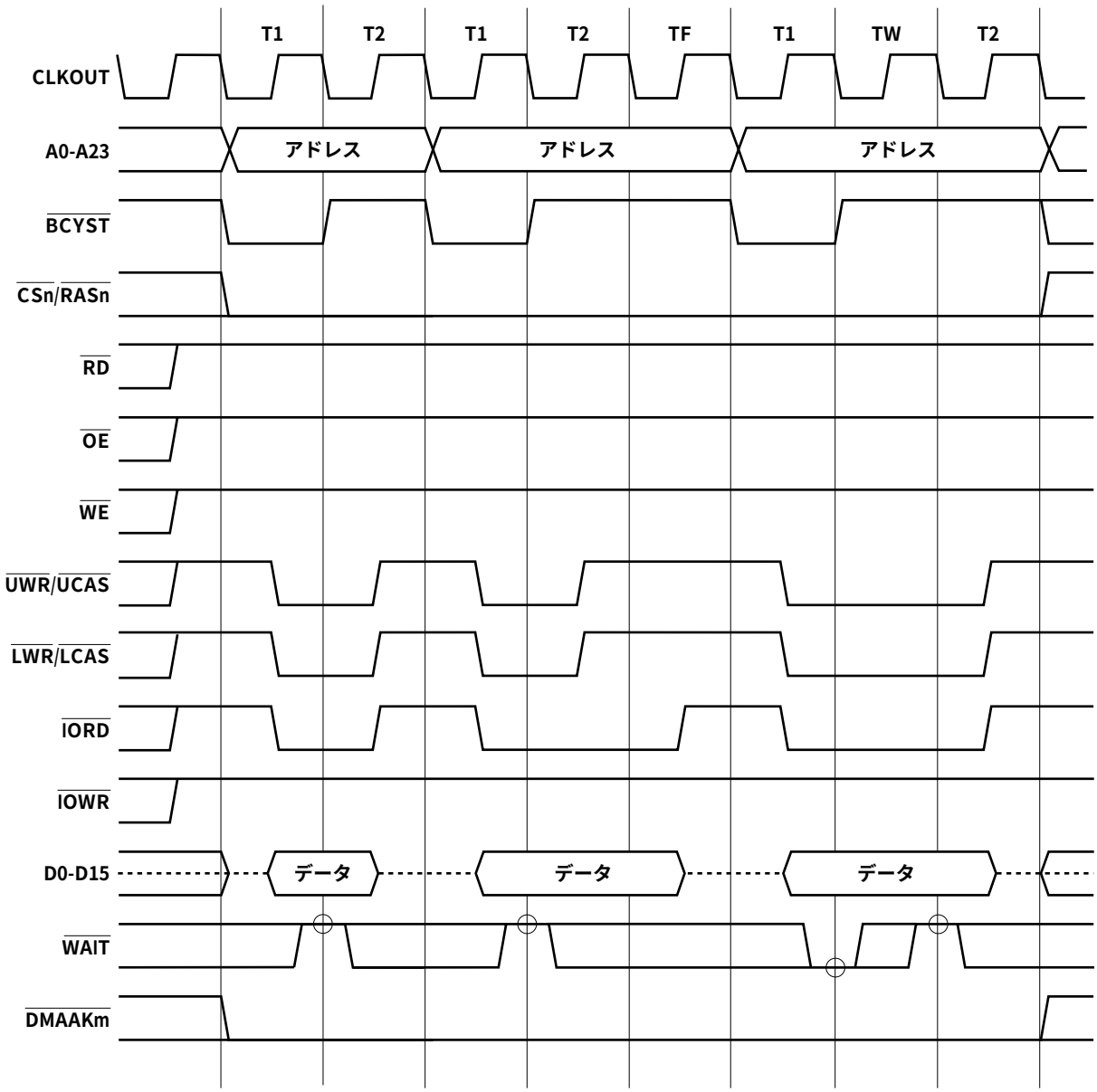
２．破線はハイ・インピーダンスを示します。

３．n = 0-7

m = 0-3

図５－２　SRAM, 外部ROM, 外部I/Oアクセス・タイミング（4/4）

（d）DMAフライバイ転送（外部I/O→SRAM）時



備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-7

m = 0-3

5.2　ページROMコントローラ（ROMC）

ページROMコントローラ（ROMC）は，ページ・アクセス機能付きROM（ページROM）へのアクセスに対応します。

直前のバス・サイクルとのアドレス比較を行い，通常アクセス（オフページ）とページ・アクセス（オンページ）のウエイト制御を行います。8-64バイトのページ幅に対応できます。

5.2.1　特　　徴

○８ビット/16ビット・ページROMと直接接続可能

○16ビット・バス幅時　：4/8/16/32ワード・ページ・アクセスに対応

　８ビット・バス幅時　：8/16/32/64ワード・ページ・アクセスに対応

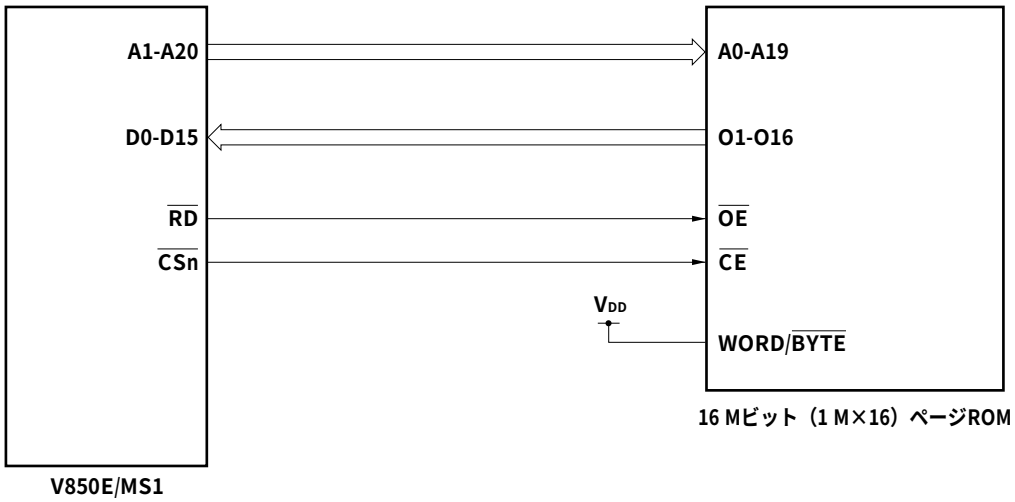
○オフページ／オンページ個別にウエイト設定（0-7ウエイト）可能

5.2.2　ページROMの接続

ページROMとの接続例は次のようになります。

図５－３　ページROMとの接続例（1/2）

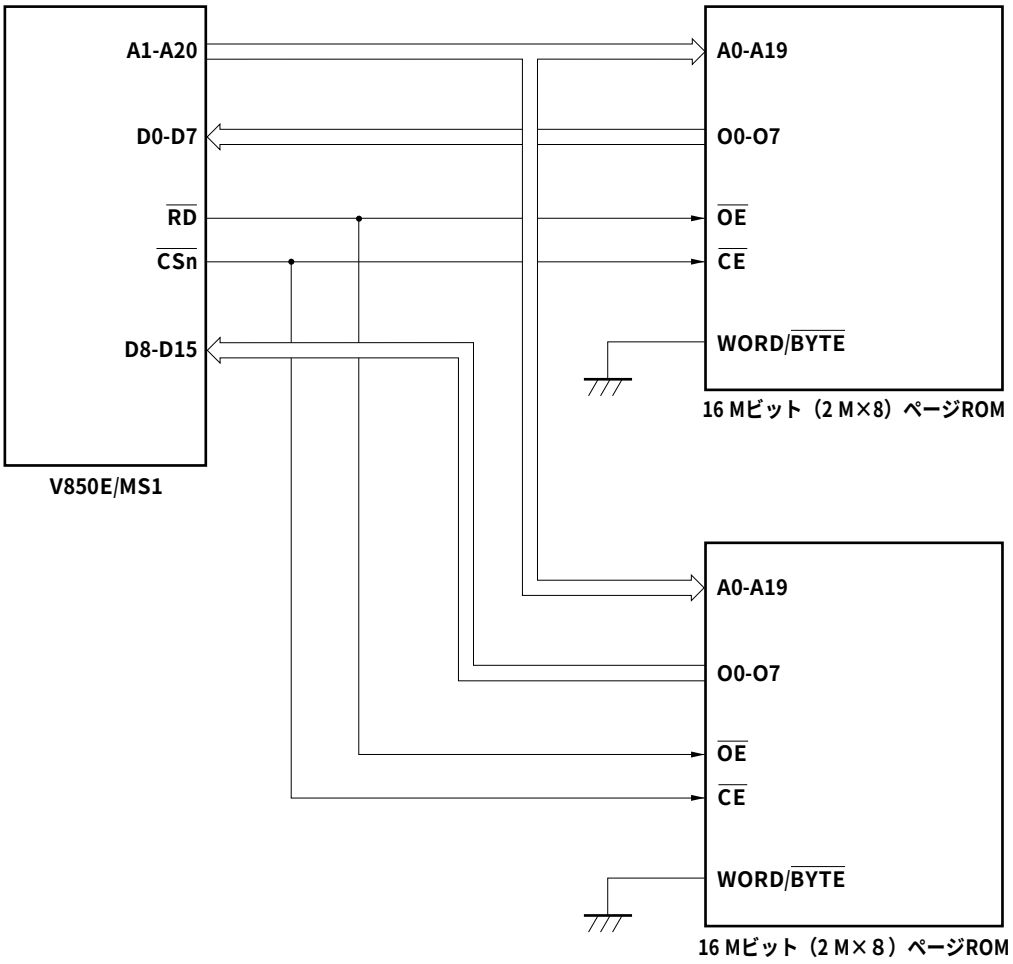
（a）16 Mビット（1 M×16）ページROMの場合



備考　n = 0-7

図５－３　ページROMとの接続例（2/2）

（b）16 Mビット（2 M×８）ページROMの場合



備考　n = 0-7

5.2.3　オンページ／オフページの判断

ページROMサイクルのオンページ／オフページは，前回のサイクルのアドレスをラッチして，現在のサイクルのアドレスと比較することにより判断します。

ページROMコンフィギュレーション・レジスタ（PRC）により接続するページROMの構成，連続する読み出し可能なビット数に応じて，アドレス（A3-A5）のうちマスクする（比較しない）アドレスを設定します。

図５－４　ページROM接続時のオンページ／オフページ判断（1/2）

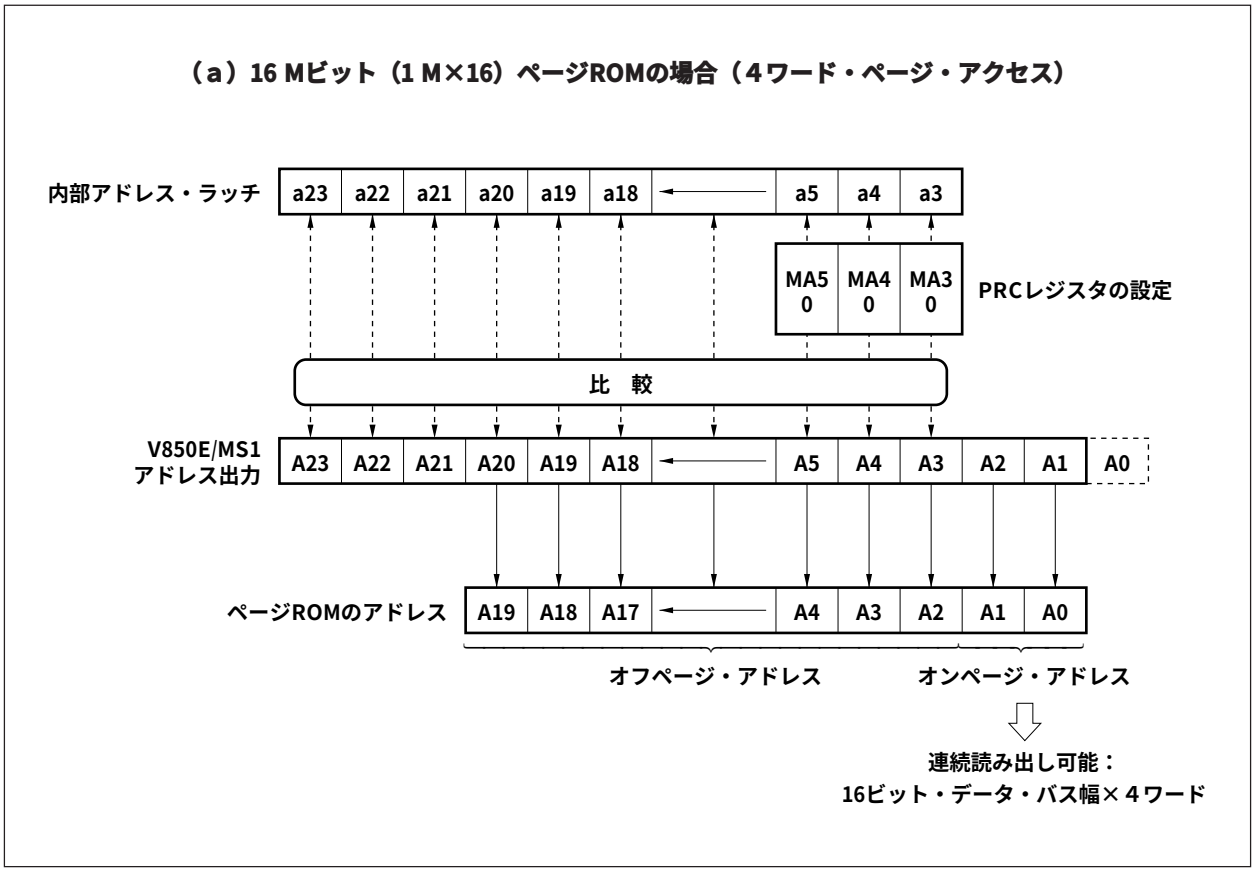
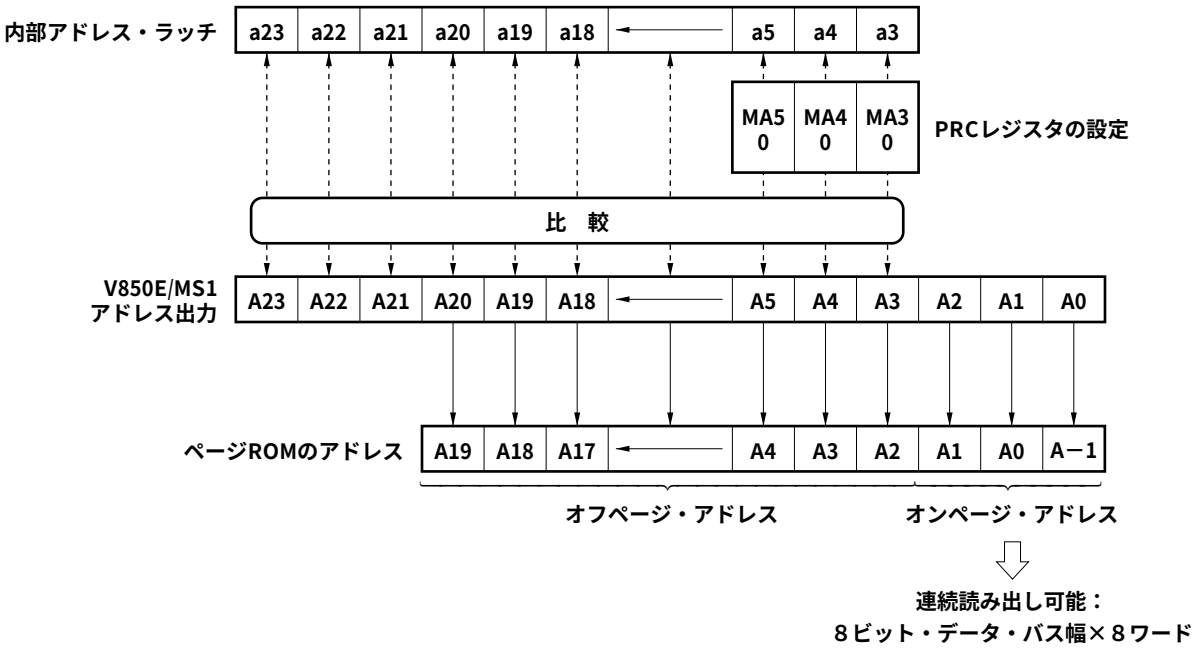
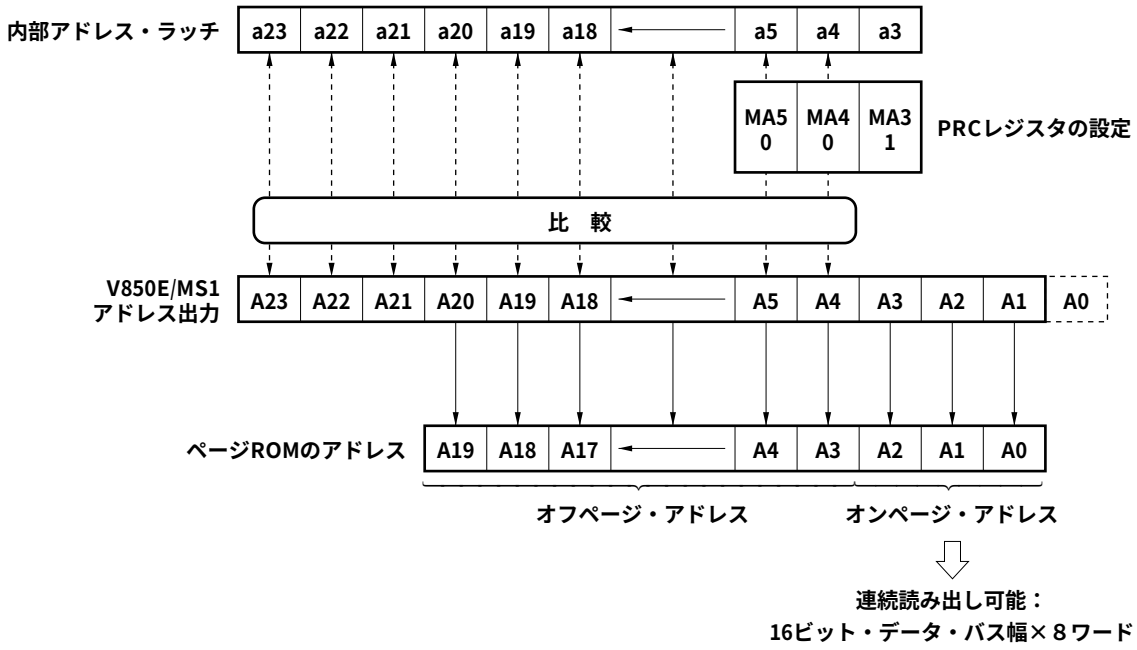


図５－４　ページROM接続時のオンページ／オフページ判断（2/2）

（b）16 Mビット（2 M×８）ページROMの場合（８ワード・ページ・アクセス）



（c）16 Mビット（1 M×16）ページROMの場合（８ワード・ページ・アクセス）



5.2.4　ページROMコンフィギュレーション・レジスタ（PRC）

ページROMのオンページ・アクセスの許可／禁止を指定します。また，オンページ・アクセスを許可した場合は，接続するページROMの構成，連続読み出し可能なビット数に応じて，アドレス（A3-A5）のうちマスクする（比較しない）アドレスや内部システム・クロックに応じたウエイト数を設定します。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PRC	PAE	PRW2	PRW1	PRW0	0	MA5	MA4	MA3	アドレス FFFFF224H	初期値 70H

ビット位置	ビット名	意　　味
7	PAE	Page-ROM On-page Access Enable ページROMのオンページ・アクセスの許可／禁止を指定します。 ０：禁止 １：許可
6-4	PRW2-PRW0	Page-ROM On-page Access Wait Control 内部システム・クロックに応じたウエイトを設定します。 オンページ時にだけ，このビットで設定するウエイトが挿入されます。オフページ時には，DWC1, DWC2レジスタで設定するウエイトが挿入されます（**4.6　ウエイト機能**参照）。
2-0	MA5-MA3	Mask Address MA5-MA3に対応してそれぞれアドレス（A5-A3）をマスクします（1でマスク）。マスクされたアドレスは，オン／オフページ判断の際の比較対象になりません。連続読み出し可能なビット数に応じて設定します。

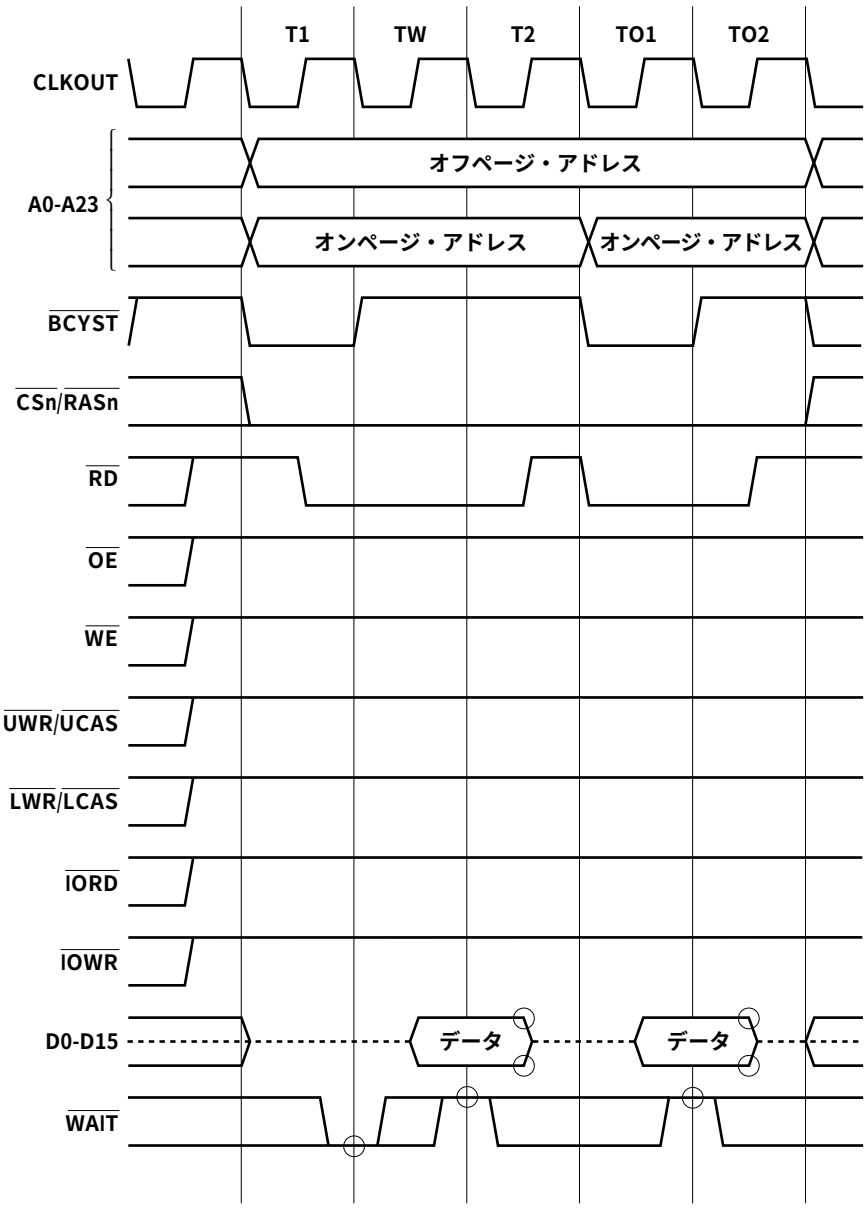
PRW2	PRW1	PRW0	挿入されるウエイト・サイクル数
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

MA5	MA4	MA3	連続読み出し可能なビット数
0	0	0	4ワード×16ビット（8ワード×8ビット）
0	0	1	8ワード×16ビット（16ワード×8ビット）
0	1	1	16ワード×16ビット（32ワード×8ビット）
1	1	1	32ワード×16ビット（64ワード×8ビット）

注意　PRCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，PRCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

5.2.5　ページROMアクセス

図５－５　ページROMアクセス・タイミング



備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-7

5.3　DRAMコントローラ

5.3.1　特　　徴

○$\overline{\text{RAS}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$信号生成

○高速ページDRAM, EDO DRAMと直接接続可能

○RASホールド・モードをサポート

○４種類のDRAMを８つのメモリ・ブロック空間に割り当て可能

○2CASタイプのDRAMに対応

○ロウ／カラム・アドレスのマルチプレクス幅の切り替え可能

○次の各タイミングでウエイト（0-3ウエイト）挿入可能

・ロウ・アドレス・プリチャージ・ウエイト

・ロウ・アドレス保持ウエイト

・データ・アクセス・ウエイト

・カラム・アドレス・プリチャージ・ウエイト

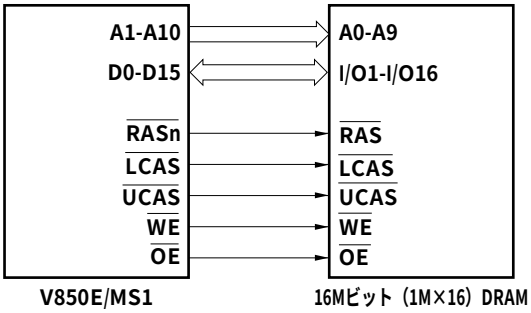
○CBRリフレッシュ，CBRセルフ・リフレッシュをサポート

5.3.2　DRAMの接続

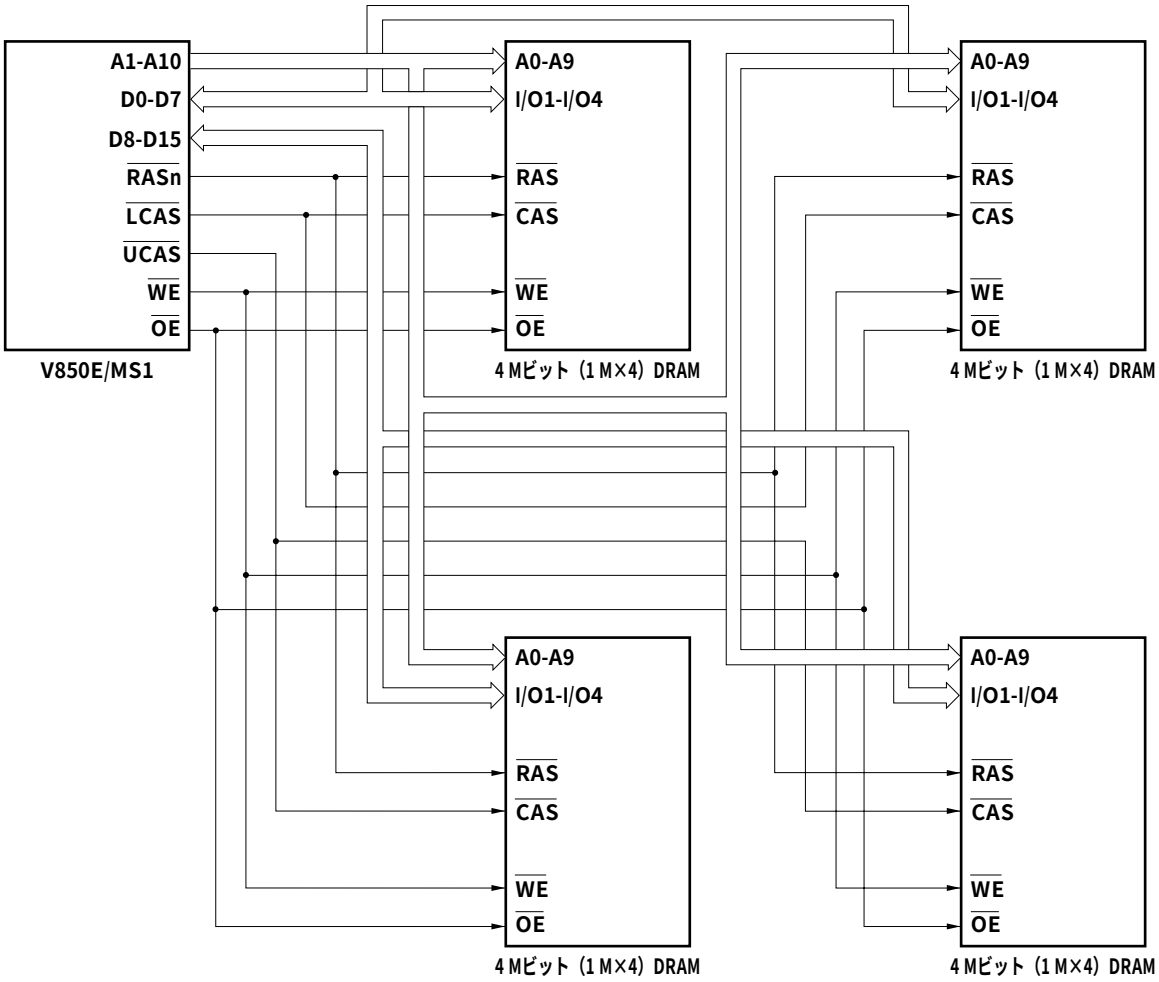
DRAMとの接続例は次のようになります。

図５－６　DRAMとの接続例

（a）16 Mビット（1 M×16）DRAMの場合



（b）4 Mビット（1 M×４）DRAMの場合



備考　n = 0-7

5.3.3　アドレス・マルチプレクス機能

DRAMコンフィギュレーション・レジスタｎ（DRCn）のDAW0n, DAW1nビットの値により，DRAMサイクルでのロウ・アドレス，カラム・アドレス出力は，図５－７のようにアドレスがマルチプレクスします（n = 0-3）。図５－７で，a0-a23はCPUから出力されたアドレスを，A0-A23はV850E/MS1のアドレス端子を示しています。たとえばDAW0n, DAW1n = 11のときは，アドレス端子（A1-A11）から，ロウ・アドレスとしてa12-a22が，カラム・アドレスとしてa1-a11が出力されることを表しています。

表５－１に接続可能なDRAMとアドレス・マルチプレクス幅との関係を示します。接続するDRAMにより，DRAM空間は128 K-8 Mバイトです。

図５－７　ロウ・アドレス，カラム・アドレスの出力

アドレス端子	A23-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ロウ・アドレス（DAW1n, DAW0n = 11）	a23-a18	a17	a16	a15	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
ロウ・アドレス（DAW1n, DAW0n = 10）	a23-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
ロウ・アドレス（DAW1n, DAW0n = 01）	a23-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
ロウ・アドレス（DAW1n, DAW0n = 00）	a23-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8
カラム・アドレス	a23-a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

表５－１　DRAMとアドレス・マルチプレクス幅の例

アドレス・マルチプレクス幅	DRAMの容量（ビット）と構成					DRAM空間（バイト）
	256 K	1 M	4 M	16 M	64 M	
8ビット	64 K×4	－	－	－	－	128 K
9ビット	－	256 K×4	256 K×16	－	－	512 K
	－	－	512 K×8	－	－	1 M
	－	－	－	－	4 M×16	8 M
10ビット	－	－	1 M×4	1 M×16	－	2 M
	－	－	－	2 M×8	－	4 M
	－	－	－	－	4 M×16	8 M
11ビット	－	－	－	4 M×4	－	8 M

5.3.4　DRAMコンフィギュレーション・レジスタ0-3（DRC0-DRC3）

接続するDRAMの種類を設定します。

16ビット単位でリード／ライト可能です。

注意　アクセス対象がDRAM領域の場合，DWC1, DWC2レジスタに設定されたウエイトは無効となります。
この場合，DRC0-DRC3レジスタによってウエイトが制御されます。

（1/3）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DRC0	PAE 10	PAE 00	RPC 10	RPC 00	RHC 10	RHC 00	DAC 10	DAC 00	CPC 10	CPC 00	0	RHD 0	0	0	DAW 10	DAW 00	FFFFF200H	3FC1H
DRC1	PAE 11	PAE 01	RPC 11	RPC 01	RHC 11	RHC 01	DAC 11	DAC 01	CPC 11	CPC 01	0	RHD 1	0	0	DAW 11	DAW 01	FFFFF202H	3FC1H
DRC2	PAE 12	PAE 02	RPC 12	RPC 02	RHC 12	RHC 02	DAC 12	DAC 02	CPC 12	CPC 02	0	RHD 2	0	0	DAW 12	DAW 02	FFFFF204H	3FC1H
DRC3	PAE 13	PAE 03	RPC 13	RPC 03	RHC 13	RHC 03	DAC 13	DAC 03	CPC 13	CPC 03	0	RHD 3	0	0	DAW 13	DAW 03	FFFFF206H	3FC1H

ビット位置	ビット名	意　　味
15, 14	PAE1n PAE0n	DRAM On-page Access Mode Control オンページ・アクセスのサイクルを制御します。
13, 12	RPC1n, RPC0n	Row Address Pre-charge Control ロウ・アドレスのプリチャージ時間として挿入するウエイト・ステート数を指定します。

PAE1n	PAE0n	アクセス・モード
0	0	オンページ・アクセス禁止
0	1	高速ページDRAM
1	0	EDO DRAM
1	1	設定禁止

RPC1n	RPC0n	挿入ウエイト・ステート数
0	0	0
0	1	1
1	0	2
1	1	3

備考　n = 0-3

(2/3)

ビット位置	ビット名	意　　味
11, 10	RHC1n RHC0n	Row Address Hold Wait Control ロウ・アドレスの保持時間として挿入するウエイト・ステート数を指定します。 RHC1n / RHC0n / 挿入ウエイト・ステート数 0 / 0 / 0 0 / 1 / 1 1 / 0 / 2 1 / 1 / 3
9, 8	DAC1n, DAC0n	Data Access Programmable Wait Control DRAMアクセスにおけるデータ・アクセス時間として挿入するウエイト・ステート数を指定します。 DAC1n / DAC0n / 挿入ウエイト・ステート数 0 / 0 / 0 0 / 1 / 1 1 / 0 / 2 1 / 1 / 3
7, 6	CPC1n, CPC0n	Column Address Pre-charge Control カラム・アドレスのプリチャージ時間として挿入するウエイト・ステート数を指定します。 CPC1n / CPC0n / 挿入ウエイト・ステート数 0 / 0 / 0注 0 / 1 / 1 1 / 0 / 2 1 / 1 / 3 注　DMAフライバイ転送でのDRAMライト・アクセス時は１ウエイト挿入されます。
4	RHDn	RAS Hold Disable RASホールド・モードを設定します。 オン・ページ動作時にDRAMへのアクセスが連続せず，途中に他空間へのアクセスが入ってしまう場合，RASホールド・モードの状態では，他空間にアクセスしている間も$\overline{\text{RASm}}$信号をアクティブ（ロウ・レベル）に保持します（m = 0-7）。これにより，他空間へのアクセスに続いてDRAMの同一ロウ・アドレスがアクセスされた場合，オン・ページ動作を続けることができます。 ０：RASホールド・モード許可 １：RASホールド・モード禁止

備考　n = 0-3

(3/3)

ビット位置	ビット名	意　　味
1, 0	DAW1n, DAW0n	DRAM Address Multiplex Width Control アドレス・マルチプレクス幅を設定します（**5.3.3　アドレス・マルチプレクス機能**参照）。

DAW1n	DAW0n	アドレス・マルチプレクス幅
0	0	８ビット
0	1	９ビット
1	0	10ビット
1	1	11ビット

注意　DRCnレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DRCnレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考　n = 0-3

5.3.5　DRAMタイプ・コンフィギュレーション・レジスタ（DTC）

DRAMコンフィギュレーション・レジスタｎ（DRCn）とメモリ・ブロックmの関係を制御します（n = 0-3, m = 0-7）。

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DTC	DC 71	DC 70	DC 61	DC 60	DC 51	DC 50	DC 41	DC 40	DC 31	DC 30	DC 21	DC 20	DC 11	DC 10	DC 01	DC 00	アドレス FFFFF220H	初期値 0000H
メモリ・ブロック	7		6		5		4		3		2		1		0			

ビット位置	ビット名	意　　味
15-0	DCm1, DCm0	DRAM Type Configuration メモリ・ブロックmに対応するDRAMコンフィギュレーション・レジスタｎ（DRCn）を指定します。 なお，メモリ・ブロックmがDRAM領域に指定されていない場合は，意味を持ちません。

DCm1	DCm0	メモリ・ブロックmに対応するDRAMコンフィギュレーション・レジスタｎ（DRCn）
0	0	DRC0
0	1	DRC1
1	0	DRC2
1	1	DRC3

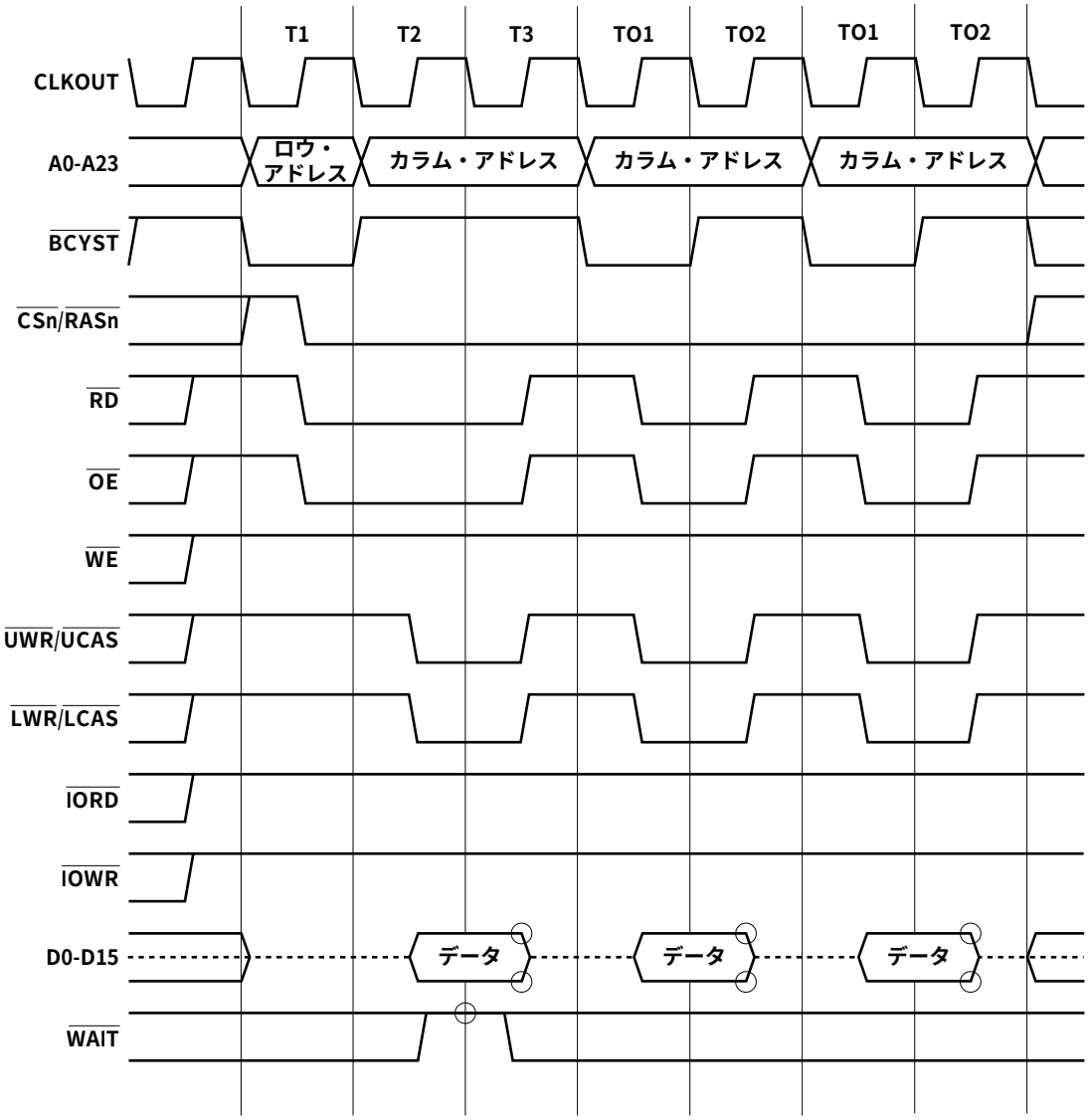
注意　DTCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DTCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考　n = 0-3
m = 0-7

5.3.6　DRAMアクセス

図５－８　高速ページDRAMアクセス・タイミング（1/4）

（a）リード・タイミング１



備考１．ノー・ウエイト時のタイミングです。

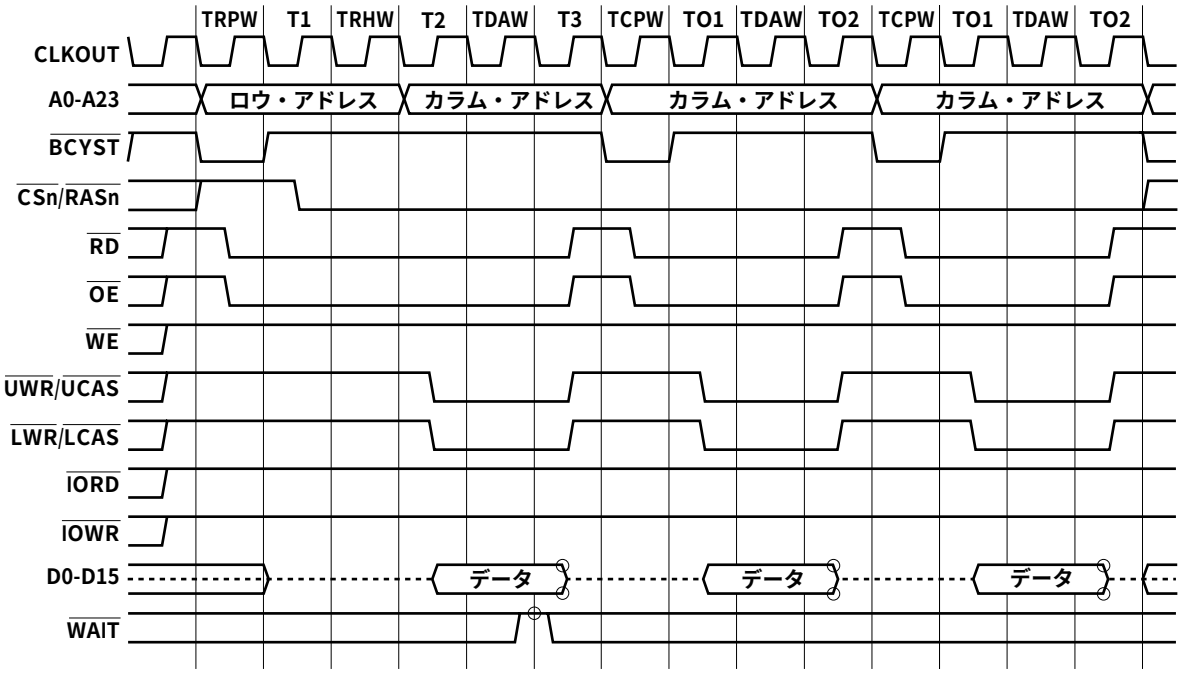
２．○印はサンプリング・タイミングです。

３．破線はハイ・インピーダンスを示します。

４．n = 0-7

図５－８　高速ページDRAMアクセス・タイミング（2/4）

（b）リード・タイミング２



備考１． 次の場合のタイミングです（xx = 00-03, 10-13）。

RPCxxビットによるウエイト数（TRPW）　：１

RHCxxビットによるウエイト数（TRHW）　：１

DACxxビットによるウエイト数（TDAW）　：１

CPCxxビットによるウエイト数（TCPW）　：１

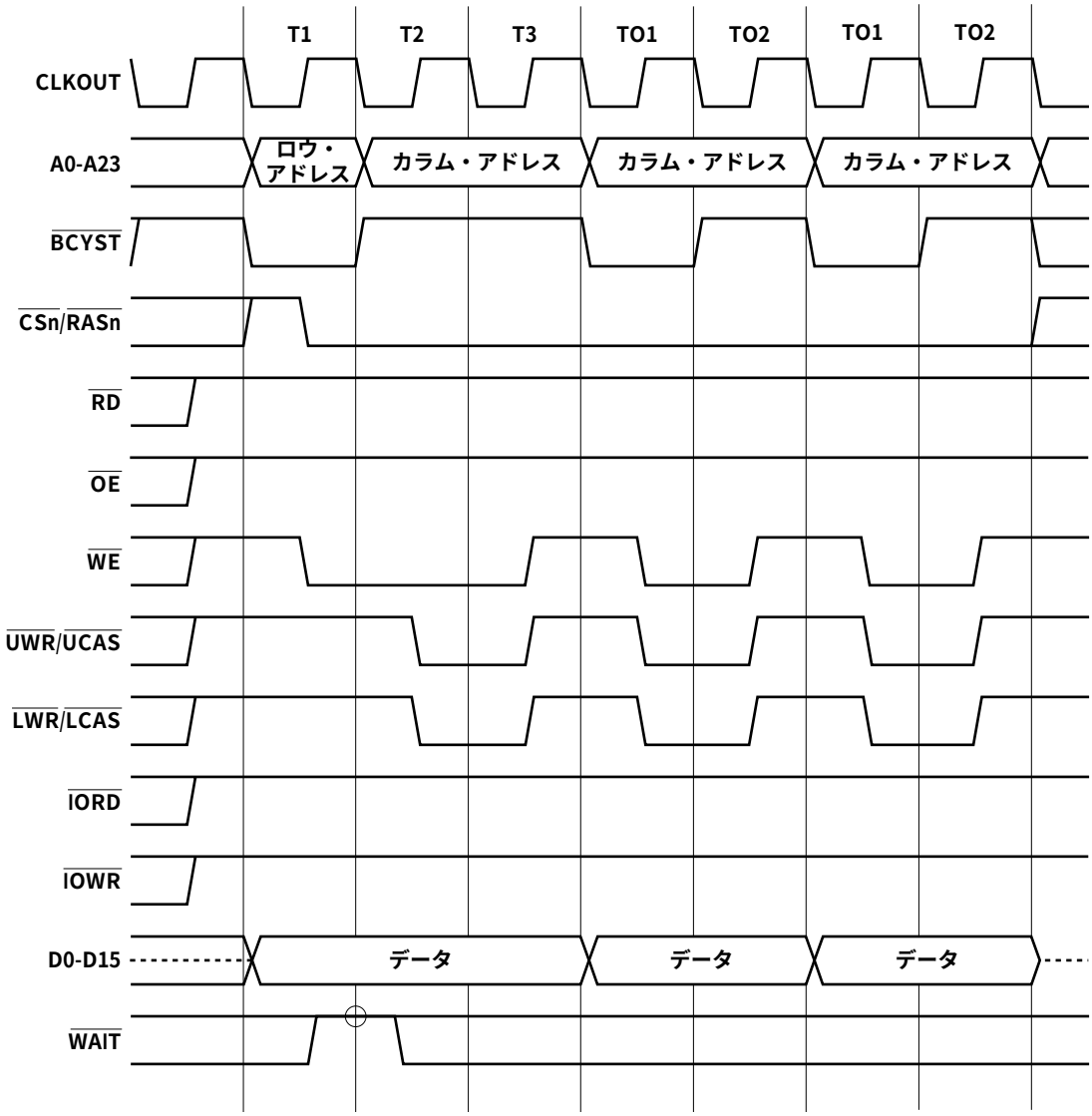
２． ○印はサンプリング・タイミングです。

３． 破線はハイ・インピーダンスを示します。

４． n = 0-7

図５－８　高速ページDRAMアクセス・タイミング（3/4）

（ｃ）ライト・タイミング１



備考１． ノー・ウエイト時のタイミングです。

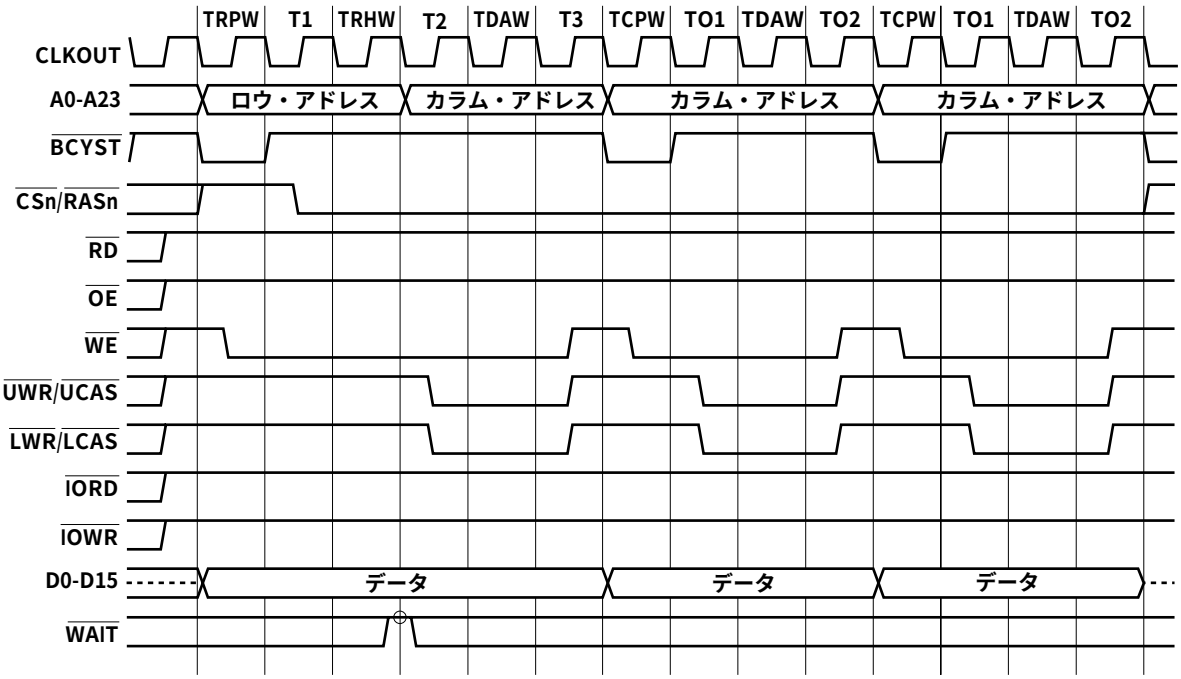
２． ○印はサンプリング・タイミングです。

３． 破線はハイ・インピーダンスを示します。

４． n = 0-7

図５－８　高速ページDRAMアクセス・タイミング（4/4）

（d）ライト・タイミング２



備考１． 次の場合のタイミングです（xx = 00-03, 10-13）。

RPCxxビットによるウエイト数（TRPW）　：１

RHCxxビットによるウエイト数（TRHW）　：１

DACxxビットによるウエイト数（TDAW）　：１

CPCxxビットによるウエイト数（TCPW）　：１

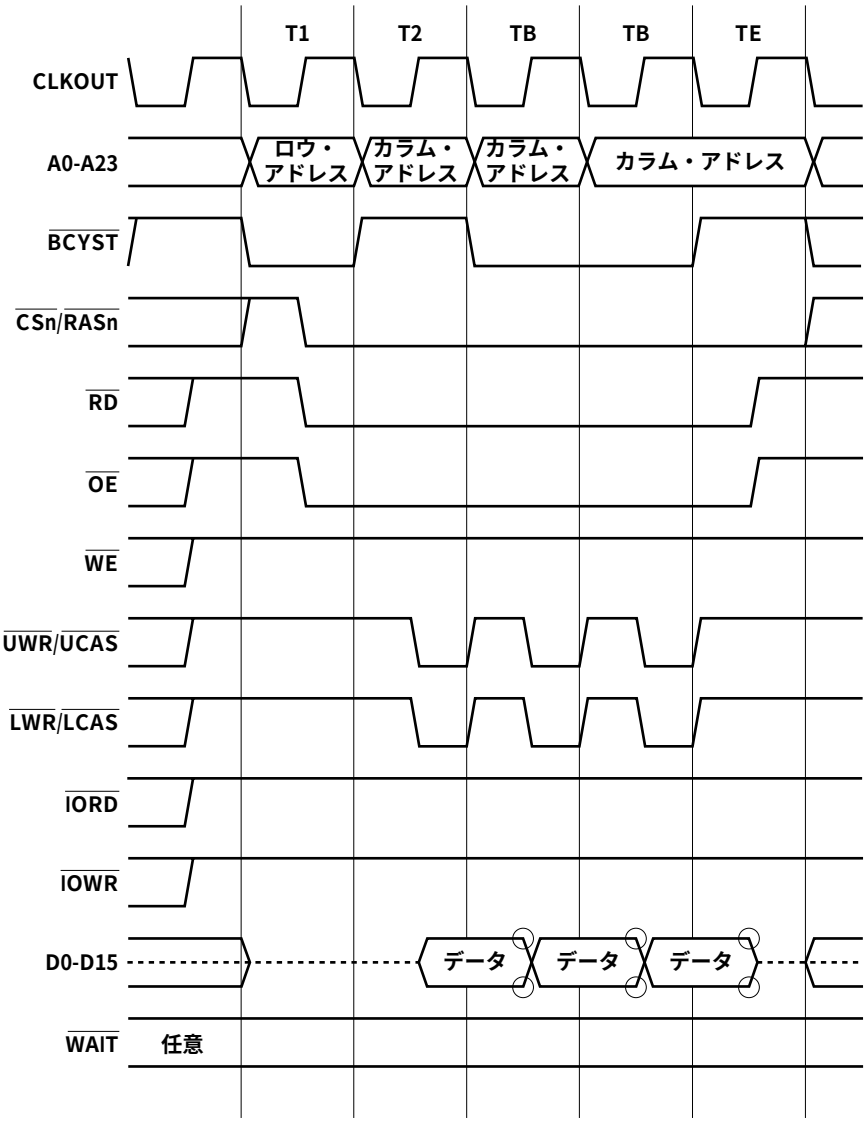
２． ○印はサンプリング・タイミングです。

３． 破線はハイ・インピーダンスを示します。

４． n = 0-7

図５－９　EDO DRAMアクセス・タイミング（1/4）

（a）リード・タイミング１



備考１． ノー・ウエイト時のタイミングです。

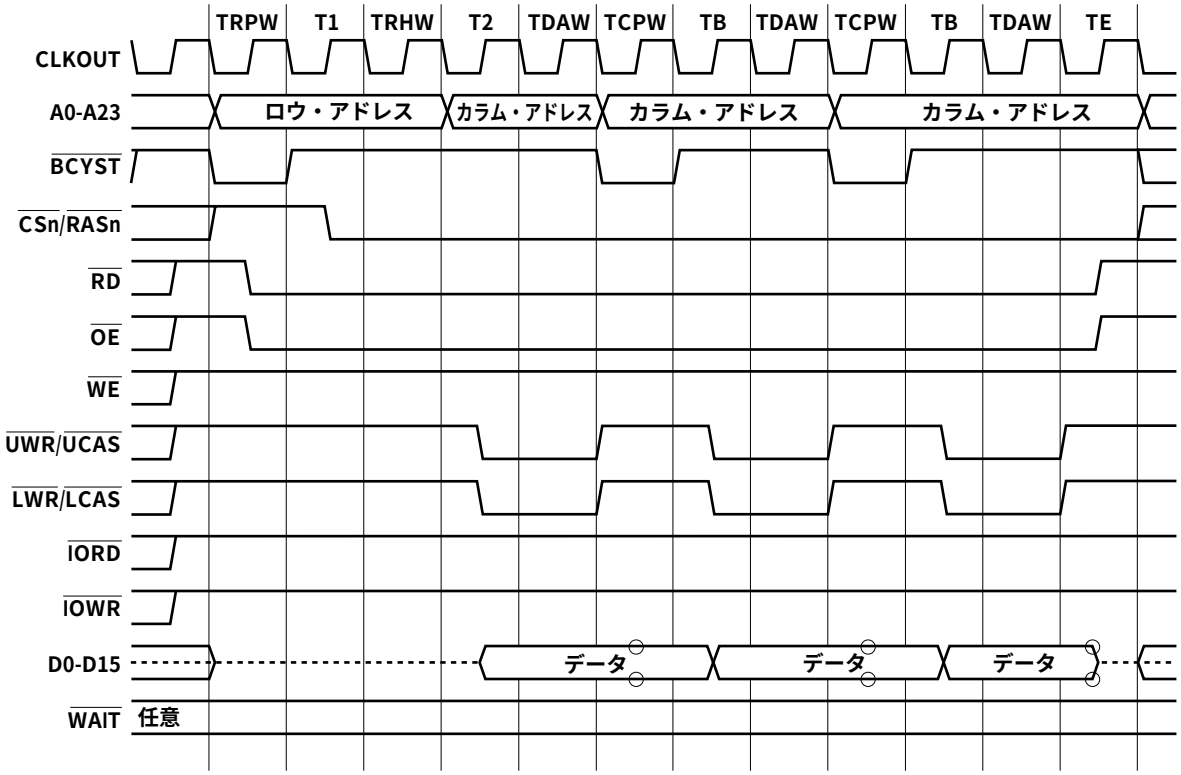
２． ○印はサンプリング・タイミングです。

３． 破線はハイ・インピーダンスを示します。

４． n = 0-7

図５－９　EDO DRAMアクセス・タイミング（2/4）

（b）リード・タイミング２



備考１． 次の場合のタイミングです（xx = 00-03, 10-13）。

RPCxxビットによるウエイト数（TRPW）　：１

RHCxxビットによるウエイト数（TRHW）　：１

DACxxビットによるウエイト数（TDAW）　：１

CPCxxビットによるウエイト数（TCPW）　：１

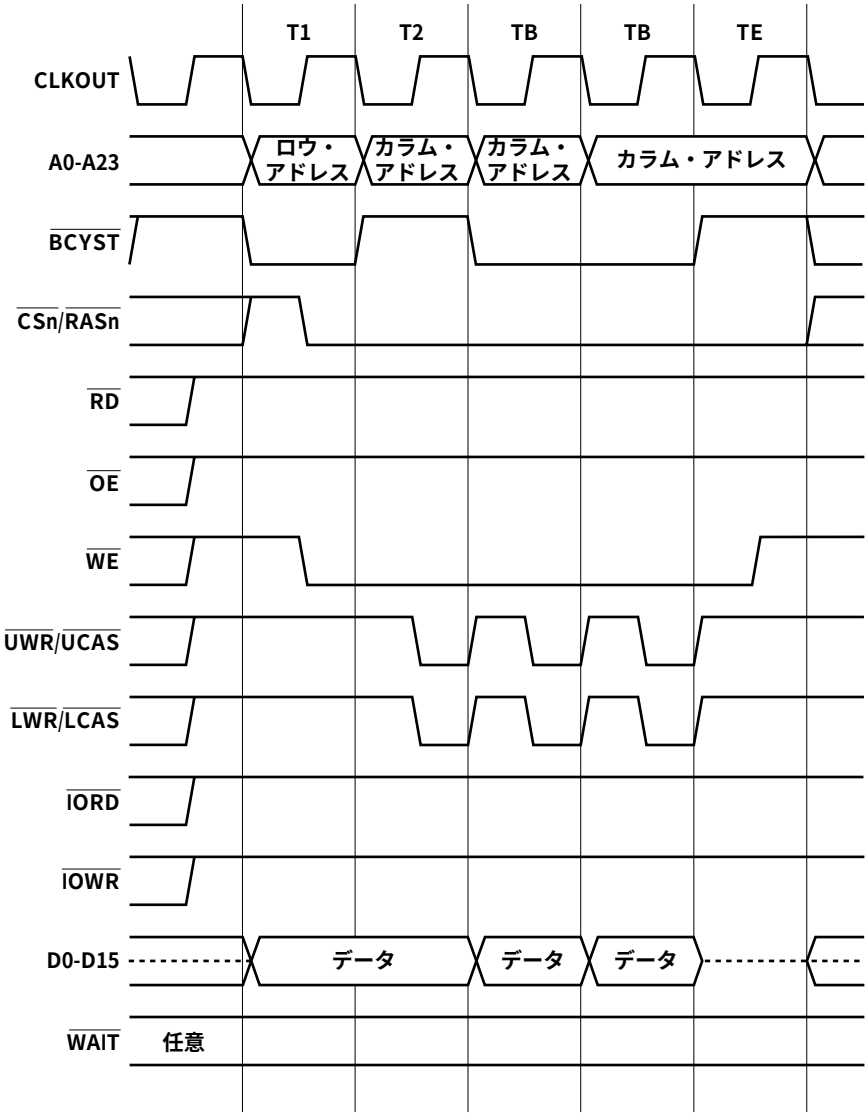
２． ○印はサンプリング・タイミングです。

３． 破線はハイ・インピーダンスを示します。

４． n = 0-7

図５－９　EDO DRAMアクセス・タイミング（3/4）

（ｃ）ライト・タイミング１



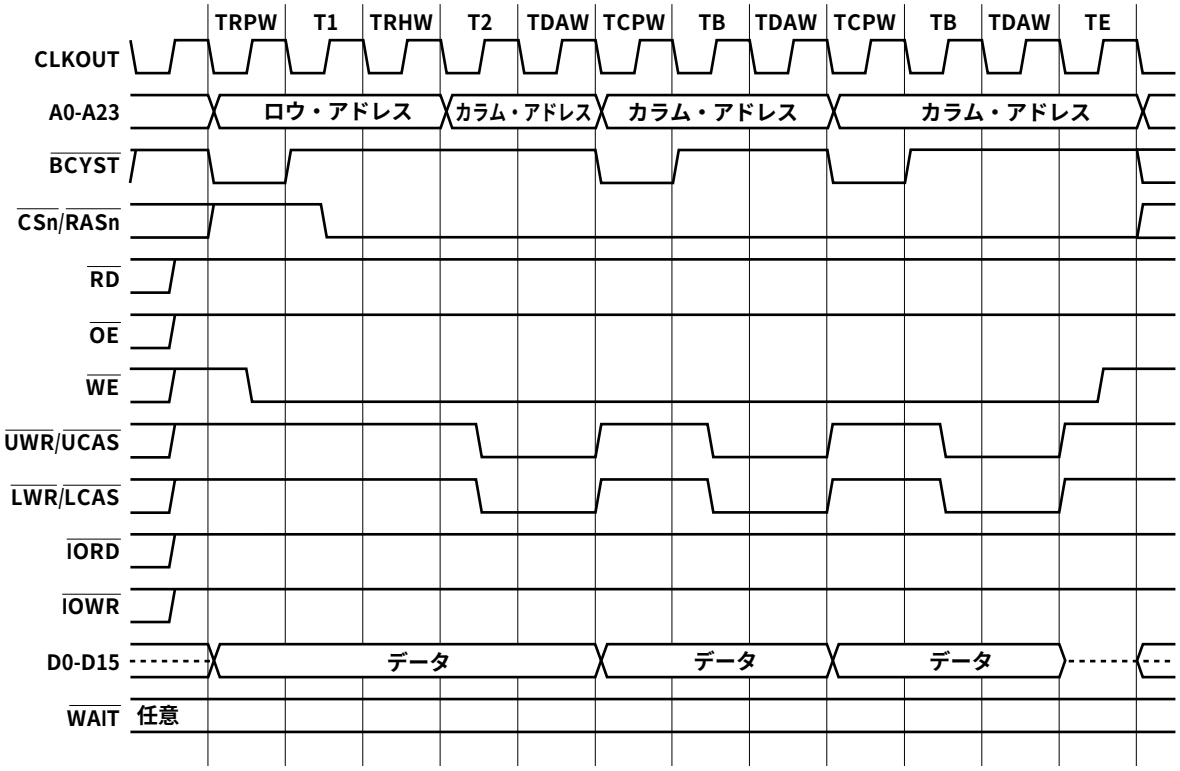
備考１． ノー・ウエイト時のタイミングです。

２． 破線はハイ・インピーダンスを示します。

３． n = 0-7

図５－９　EDO DRAMアクセス・タイミング（4/4）

（d）ライト・タイミング２



備考１． 次の場合のタイミングです（xx = 00-03, 10-13）。

RPCxxビットによるウエイト数（TRPW）　：１

RHCxxビットによるウエイト数（TRHW）　：１

DACxxビットによるウエイト数（TDAW）　：１

CPCxxビットによるウエイト数（TCPW）　：１

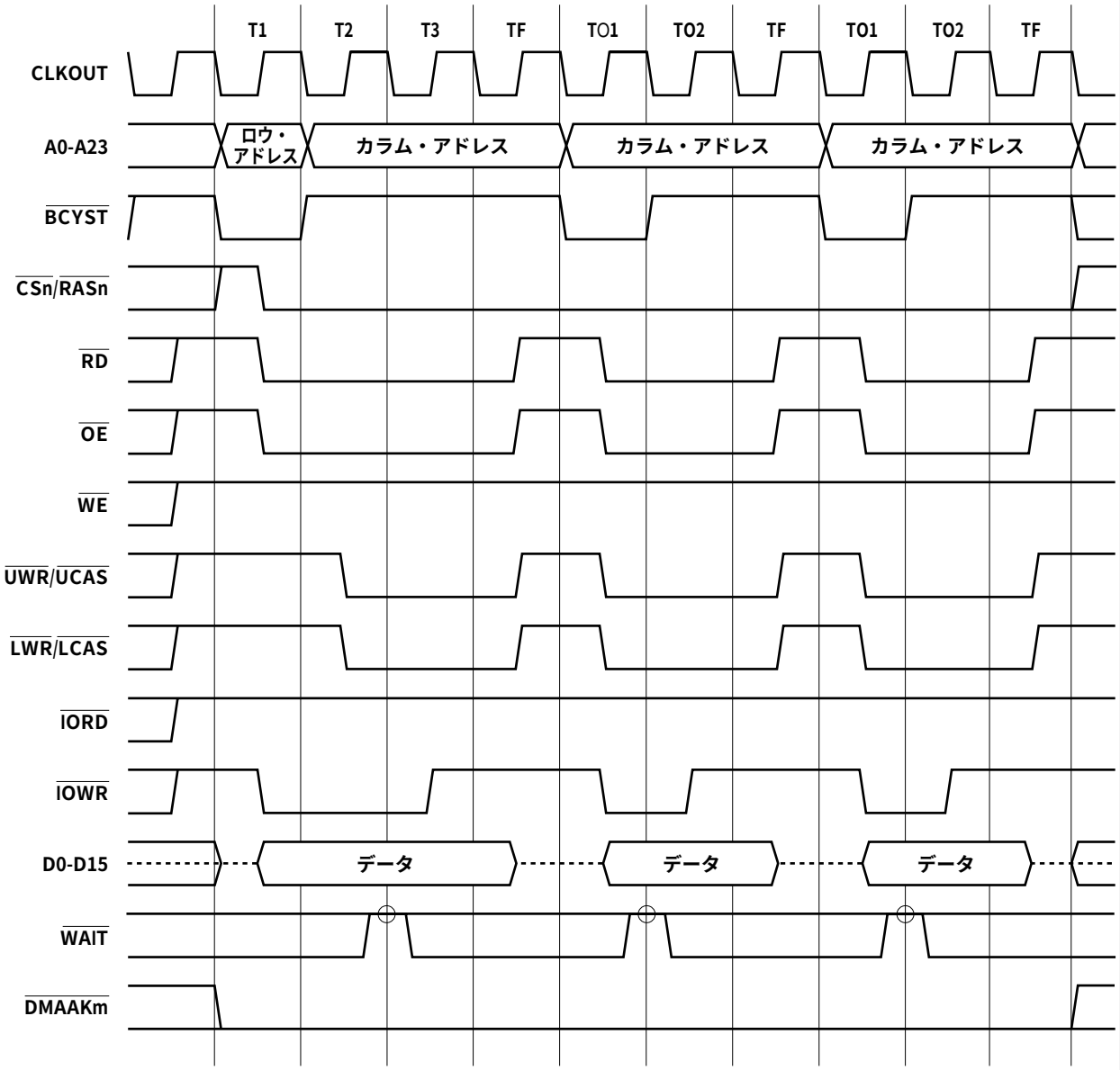
２． 破線はハイ・インピーダンスを示します。

３． n = 0-7

5.3.7　DMAフライバイ転送時のDRAMアクセス

図５－10　DMAフライバイ転送時のDRAMアクセス・タイミング（1/2）

（a）DRAM→外部I/Oの場合



備考１．FDWレジスタによりウエイト（TF）挿入の設定を行った場合のタイミングです。

２．○印はサンプリング・タイミングです。

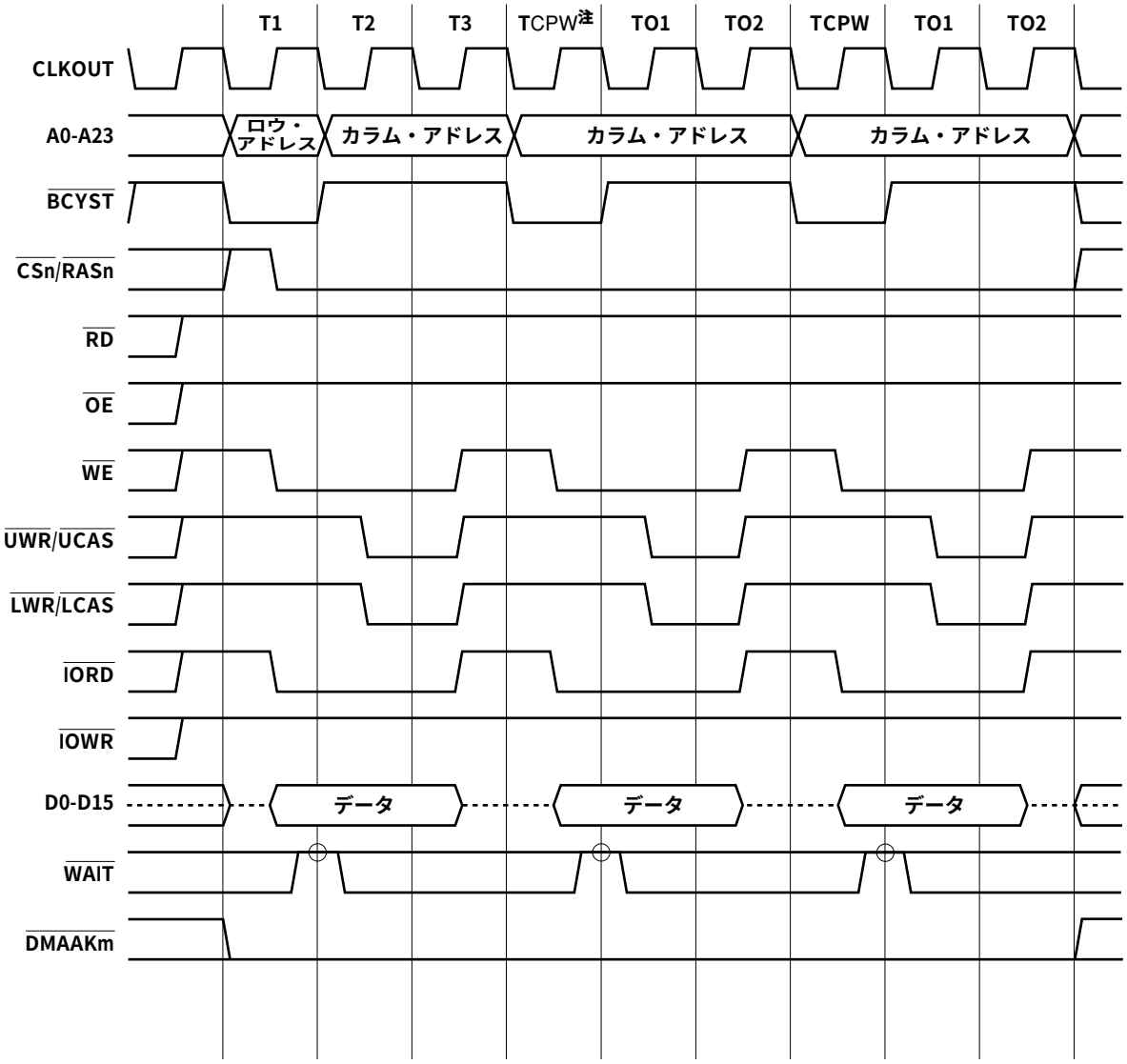
３．破線はハイ・インピーダンスを示します。

４．n = 0-7

m = 0-3

図５－10　DMAフライバイ転送時のDRAMアクセス・タイミング（2/2）

（b）外部I/O→DRAMの場合



注　DRCmレジスタのCPC0m, CPC1mビットの設定にかかわらず，TCPWサイクルは，最低１クロック・サイクル挿入されます。

備考１．CPCxxビットによるウエイト数（TCPW）が１の場合のタイミングです（xx = 00-03, 10-13）。

２．FDWレジスタの設定は，外部I/O→DRAMの場合は無効です。

３．○印はサンプリング・タイミングです。

４．破線はハイ・インピーダンスを示します。

５．n = 0-7
m = 0-3

5.3.8　リフレッシュ制御機能

V850E/MS1は，CBR（CASビフォーRAS）リフレッシュ・サイクルを生成できます。リフレッシュ・サイクルの設定は，リフレッシュ・コントロール・レジスタ（RFC）で行います。

ほかのバス・マスタが外部バスを占有している場合は，DRAMコントローラは，外部バスを占有できません。その場合，DRAMコントローラは，$\overline{\text{REFRQ}}$信号をアクティブ（ロウ・レベル）にして，バス・マスタにリフレッシュ要求を行います。

リフレッシュ期間中，アドレス・バスは，リフレッシュ・サイクルの直前の状態を保持します。

（1）リフレッシュ・コントロール・レジスタ0-3（RFC0-RFC3）

リフレッシュの許可／禁止，リフレッシュ間隔を設定します。リフレッシュ間隔は次の計算式により求められます。

リフレッシュ間隔（μs）= リフレッシュ・カウント・クロック（T_{RCY}）×インターバル・ファクタ

リフレッシュ・カウント・クロック，インターバル・ファクタはそれぞれRFCnレジスタのRENnビット，RInビットにより求めます。

なお，nは，DRAMコンフィギュレーション・レジスタ0-3（DRC0-DRC3）のレジスタ番号（0-3）に対応します。

16ビット単位でリード／ライト可能です。

（1/2）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RFC0	REN 0	0	0	0	0	0	RCC 01	RCC 00	0	0	RI 05	RI 04	RI 03	RI 02	RI 01	RI 00	FFFFF210H	0000H
RFC1	REN 1	0	0	0	0	0	RCC 11	RCC 10	0	0	RI 15	RI 14	RI 13	RI 12	RI 11	RI 10	FFFFF212H	0000H
RFC2	REN 2	0	0	0	0	0	RCC 21	RCC 20	0	0	RI 25	RI 24	RI 23	RI 22	RI 21	RI 20	FFFFF214H	0000H
RFC3	REN 3	0	0	0	0	0	RCC 31	RCC 30	0	0	RI 35	RI 34	RI 33	RI 32	RI 31	RI 30	FFFFF216H	0000H

ビット位置	ビット名	意　　味
15	RENn	Refresh Enable CBRリフレッシュの許可／禁止を指定します。 0：リフレッシュ禁止 1：リフレッシュ許可

備考　n = 0-3

(2/2)

ビット位置	ビット名	意　　味
9, 8	RCCn1, RCCn0	Refresh Count Clock リフレッシュ・カウント・クロック（T_{RCY}）を指定します。 RCCn1 / RCCn0 / リフレッシュ・カウント・クロック（T_{RCY}） 0 / 0 / 32/φ 0 / 1 / 128/φ 1 / 0 / 256/φ 1 / 1 / 設定禁止
5-0	RIn5-RIn0	Refresh Interval リフレッシュ・タイミング生成用インターバル・タイマのインターバル・ファクタを設定します。 RIn5 / RIn4 / RIn3 / RIn2 / RIn1 / RIn0 / インターバル・ファクタ 0 / 0 / 0 / 0 / 0 / 0 / 1 0 / 0 / 0 / 0 / 0 / 1 / 2 0 / 0 / 0 / 0 / 1 / 0 / 3 0 / 0 / 0 / 0 / 1 / 1 / 4 ⋮ / ⋮ / ⋮ / ⋮ / ⋮ / ⋮ / ⋮ 1 / 1 / 1 / 1 / 1 / 1 / 64

注意　リフレッシュ許可後，リフレッシュ・カウント・クロック，またはインターバル・ファクタを変更する場合には，一度RENnビットをクリア（0）（リフレッシュ禁止状態）してから再設定を行ってください。

備考　n = 0-3

φ：内部システム・クロック周波数

例　DRAMのリフレッシュ間隔の例とインターバル・ファクタの設定例を次に示します。

表５－２　DRAMのリフレッシュ間隔の例

DRAMの容量（ビット）	リフレッシュ・サイクル（サイクル／ms）	リフレッシュ間隔（μs）
256 K	256/4	15.6
1 M	512/8	15.6
	512/64	125
4 M	512/128	250
	1 K/16	15.6
	1 K/128	125
16 M	1 K/256	250
	2 K/256	125
	4 K/64	15.6
	4 K/256	62.5
64 M	4 K/64	15.6

表５－３　インターバル・ファクタの設定例

リフレッシュ間隔の規定値（μs）	リフレッシュ・カウント・クロック（T_{RCY}）	インターバル・ファクタの値注1，2			
		φ= 16 MHz時	φ= 20 MHz時	φ= 33 MHz時	φ= 40 MHz時注3
15.6	32/φ	7（14）	9（14.4）	15（14.5）	19（15.2）
	128/φ	1（8）	2（12.8）	3（11.6）	4（12.8）
	256/φ	－	1（12.8）	1（7.8）	2（12.8）
62.5	32/φ	30（60）	38（60.8）	63（61.1）	－
	128/φ	7（56）	9（57.6）	15（58.2）	19（60.8）
	256/φ	3（48）	4（51.2）	7（54.3）	9（57.6）
125	32/φ	－	－	－	－
	128/φ	15（120）	19（121.6）	32（124.1）	39（124.8）
	256/φ	7（112）	9（115.2）	16（124.1）	19（121.6）
250	32/φ	－	－	－	－
	128/φ	31（248）	38（243.2）	64（248.2）	－
	256/φ	15（240）	19（243.2）	32（248.2）	39（249.6）

注１．インターバル・ファクタは，RFCnレジスタのRIn0-RIn5ビットで設定します（n = 0-3）。

２．かっこ内はリフレッシュ間隔の計算値（μs）です。

リフレッシュ間隔（μs）＝リフレッシュ・カウント・クロック（T_{RCY}）×インターバル・ファクタ

３．μPD703100-40, 703100A-40のみ。

備考　φ：内部システム・クロック周波数

（２）リフレッシュ・ウエイト・コントロール・レジスタ（RWC）

リフレッシュ・サイクル時のウエイト・ステートの挿入を指定します。8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
RWC	RRW1	RRW0	RCW2	RCW1	RCW0	SRW2	SRW1	SRW0	アドレス FFFFF218H	初期値 00H

ビット位置	ビット名	意　　味
7, 6	RRW1, RRW0	Refresh RAS Wait Control CBRリフレッシュ時の$\overline{\text{RASm}}$信号のハイ・レベル幅を確保する時間として挿入するウエイト・ステート数を指定します。
5-3	RCW2- RCW0	Refresh Cycle Wait Control CBRリフレッシュ時の$\overline{\text{RASm}}$信号のロウ・レベル幅を確保する時間として挿入するウエイト・ステート数を指定します。
2-0	SRW2- SRW0	Self-refresh Release Wait Control CBRセルフ・リフレッシュを解除する時間として挿入するウエイト・ステート数を指定します。

RRW1	RRW0	挿入ウエイト・ステート数
0	0	0
0	1	1
1	0	2
1	1	3

RCW2	RCW1	RCW0	挿入ウエイト・ステート数
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

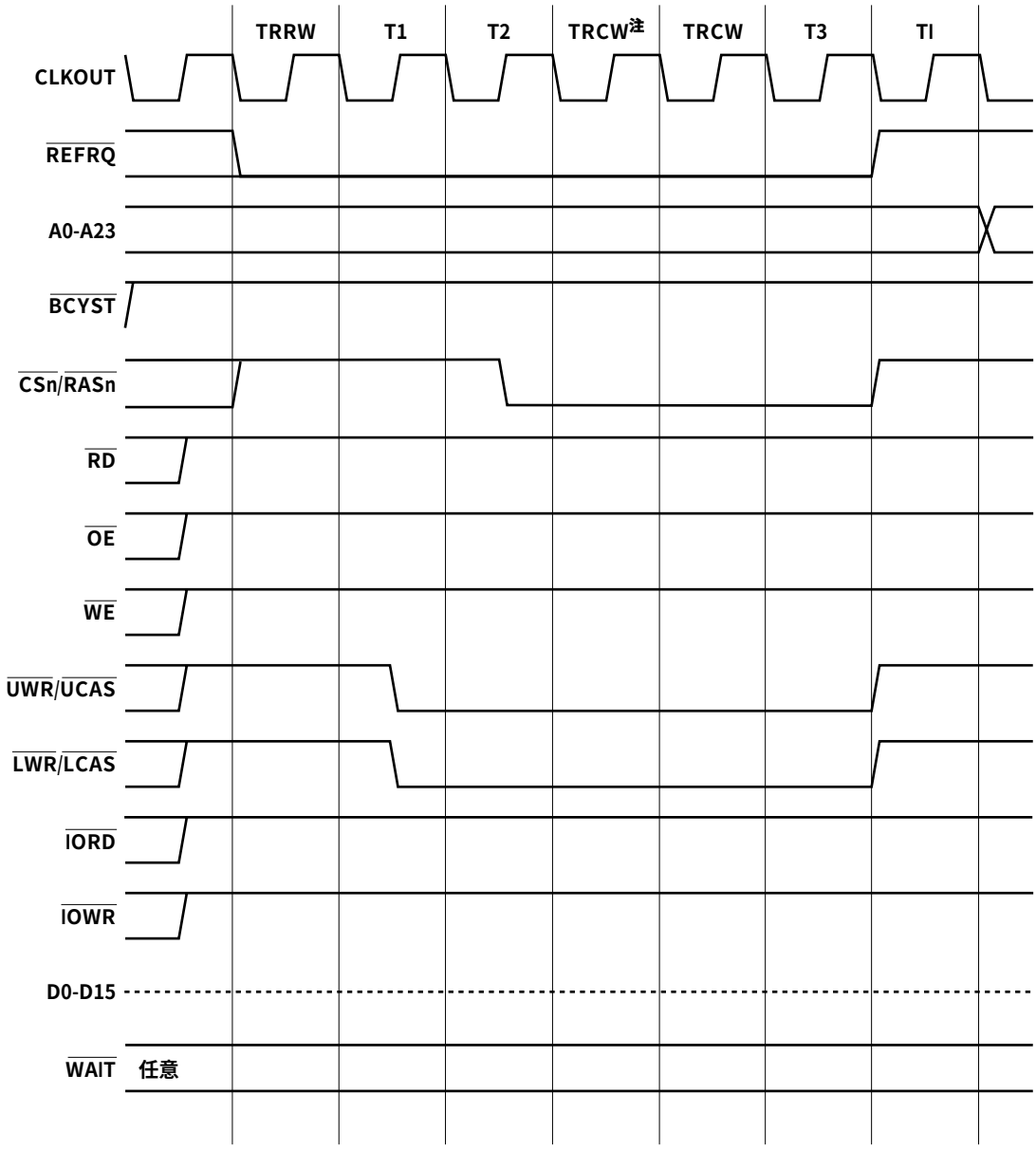
SRW2	SRW1	SRW0	挿入ウエイト・ステート数
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注意　RWCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，RWCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考　m = 0-7

（3）リフレッシュ・タイミング

図５－11　CBRリフレッシュ・タイミング



注　RWCレジスタのRCW0-RCW2ビットの設定にかかわらずTRCWサイクルは，最低１クロック挿入されます。

備考１． RCW0-RCW2ビットによるウエイト数（TRCW）が１の場合のタイミングです。

２． n = 0-7

5.3.9　セルフ・リフレッシュ機能

IDLEモード，ソフトウエアSTOPモードの場合，DRAMコントローラは，CBRセルフ・リフレッシュ・サイクルを生成します。

ただし，DRAMがセルフ・リフレッシュ動作に入るためには，DRAMの$\overline{\text{RASn}}$パルス幅が仕様を満たしていなければなりません（n = 0-7）。

セルフ・リフレッシュ・サイクルの解除は，次のどちらかの方法で行います。

（1）NMI入力による解除

（a）IDLEモードでのセルフ・リフレッシュ・サイクルの場合

ただちに$\overline{\text{RASn}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$信号をインアクティブ（ハイ・レベル）にして，セルフ・リフレッシュ・サイクルを解除します。

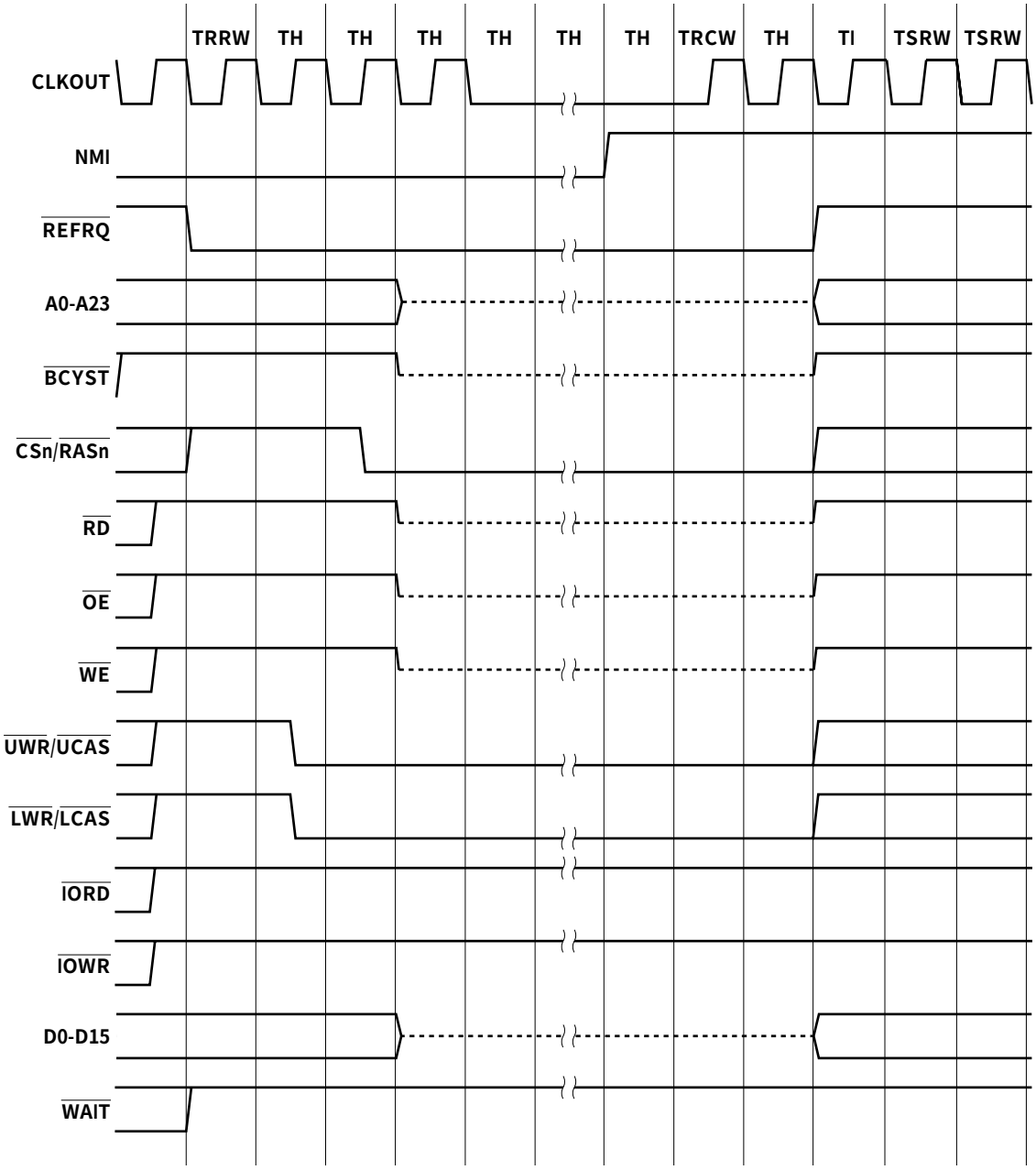
（b）ソフトウエアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから$\overline{\text{RASn}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$信号をインアクティブ（ハイ・レベル）にし，セルフ・リフレッシュ・サイクルを解除します。

（2）$\overline{\text{RESET}}$入力による解除

図５－12　CBRセルフ・リフレッシュ・タイミング（1/2）

（a）NMI入力による解除の場合（IDLEモード時）



備考１． 次の場合のタイミングです。

RRW0, RRW1ビットによるウエイト数（TRRW）　：１

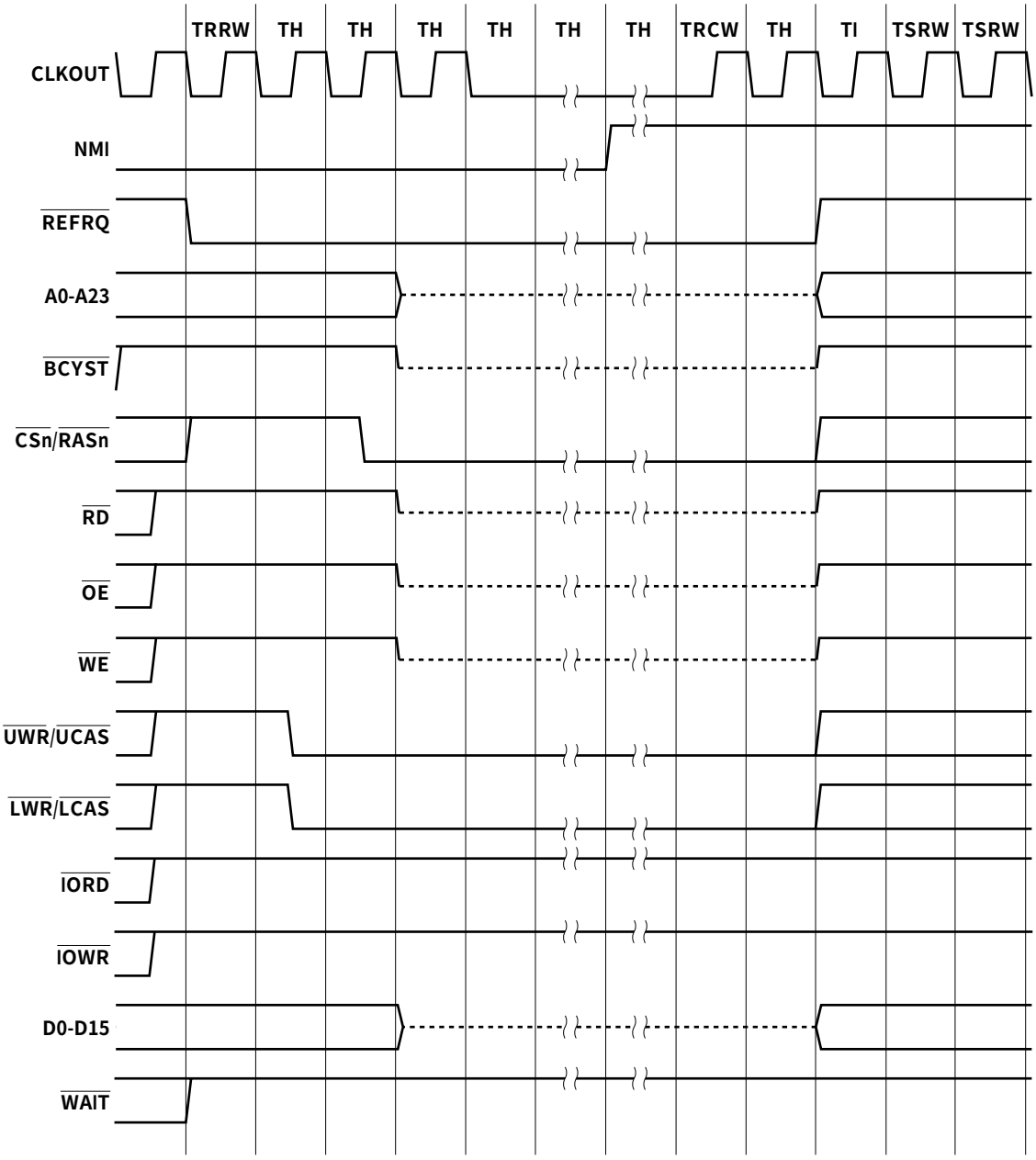
RCW0-RCW2ビットによるウエイト数（TRCW）　：１

SRW0-SRW2ビットによるウエイト数（TSRW）　：２

２． n = 0-7

図５－12　CBRセルフ・リフレッシュ・タイミング（2/2）

（b）NMI入力による解除の場合（ソフトウエアSTOPモード時）



備考１． 次の場合のタイミングです。

RRW0, RRW1ビットによるウエイト数（TRRW）　：１

RCW0-RCW2ビットによるウエイト数（TRCW）　：１

SRW0-SRW2ビットによるウエイト数（TSRW）　：２

２． n = 0-7

第６章　DMA機能（DMAコントローラ）

V850E/MS1は，DMA転送を実行制御するDMA（Direct Memory Access）コントローラ（DMAC）を備えています。

DMACは，内蔵周辺I/O（シリアル・インタフェース，リアルタイム・パルス・ユニット），$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$端子，またはソフトウエア・トリガによるDMA要求に基づいて，メモリ-I/O間またはメモリ-メモリ間でデータを転送します。

6.1　特　　徴

○４つの独立なDMAチャネル

○転送単位：８ビット／16ビット

○最大転送回数：65536（2^{16}）回

○２種類の転送タイプ

・フライバイ（１サイクル）転送

・２サイクル転送

○３種類の転送モード

・シングル転送モード

・シングルステップ転送モード

・ブロック転送モード

○転送要求

・$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$端子（４本）

・内蔵周辺I/O（シリアル・インタフェース，リアルタイム・パルス・ユニット）からの要求

・ソフトウエアによる要求

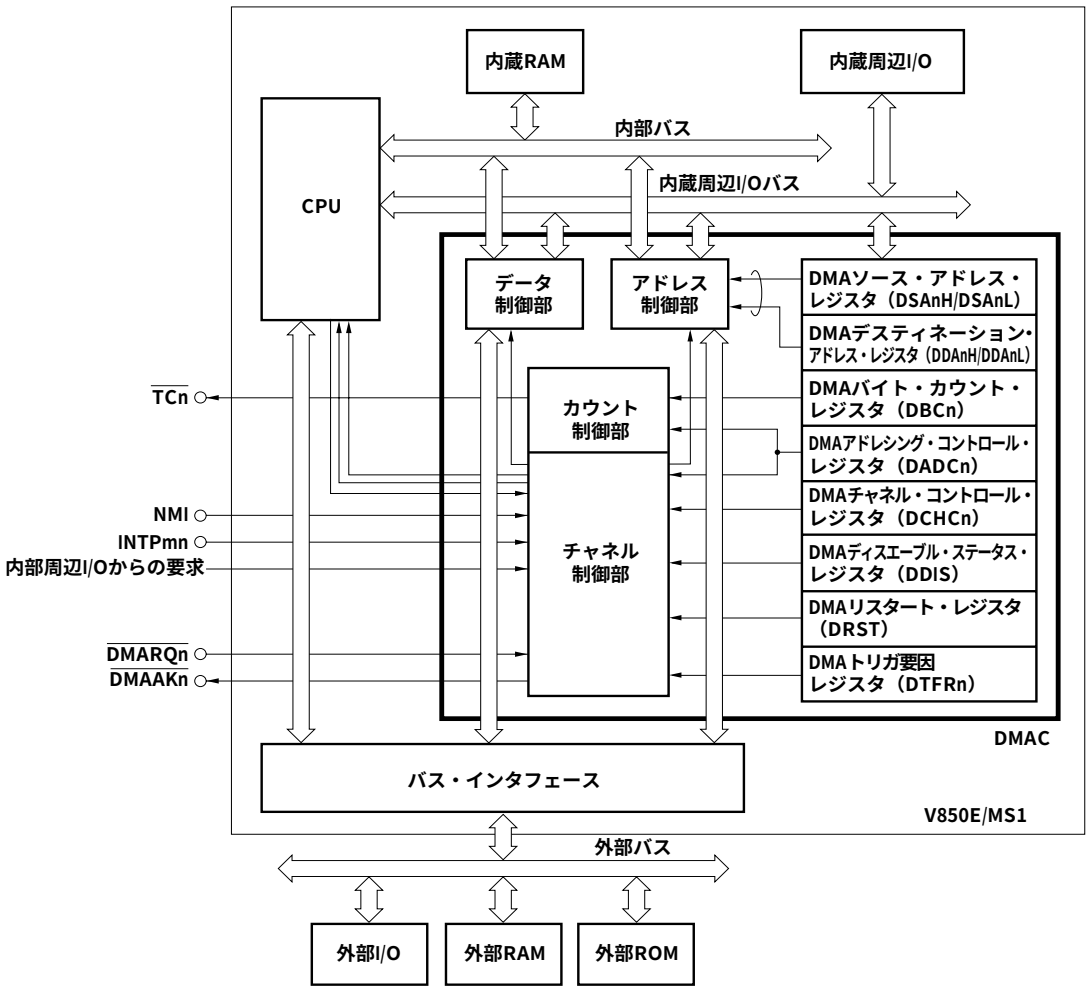
○転送対象

・メモリ⟷I/O

・メモリ⟷メモリ

○DMA転送終了出力信号（$\overline{\text{TC0}}$-$\overline{\text{TC3}}$）

6.2 構　　成



備考　m = 10-15

n = 0-3

6.3　制御レジスタ

6.3.1　DMAソース・アドレス・レジスタ０-３（DSA0-DSA3）

DMAチャネルnのDMA転送元アドレス（26ビット）を設定します（n = 0-3）。このレジスタは，DSAnH，DSAnLの２つの16ビット・レジスタに分かれます。

DMA転送中は，次のDMA転送元アドレスを保持します。

DMAアドレシング・コントロール・レジスタn（DADCn）のTTYPビットで，外部メモリ-外部I/O間のフライバイ転送に設定した場合，外部メモリのアドレスはDSAnレジスタで設定します。DMAデスティネーション・アドレス・レジスタn（DDAn）の設定は無視されます。

（1）DMAソース・アドレス・レジスタ0H-3H（DSA0H-DSA3H）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0H	0	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF1A0H	不定
DSA1H	0	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF1A8H	不定
DSA2H	0	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF1B0H	不定
DSA3H	0	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF1B8H	不定

ビット位置	ビット名	意　　味
9-0	SA25-SA16	Source Address DMA転送元のアドレス（A25-A16）を設定します。DMA転送中は，次のDMA転送元アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は，外部メモリのアドレスを保持します。

（2）DMAソース・アドレス・レジスタ0L-3L（DSA0L-DSA3L）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	FFFFF1A2H	不定
DSA1L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	FFFFF1AAH	不定
DSA2L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	FFFFF1B2H	不定
DSA3L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	FFFFF1BAH	不定

ビット位置	ビット名	意　　味
15-0	SA15-SA0	Source Address DMA転送元のアドレス（A15-A0）を設定します。DMA転送中は，次のDMA転送元アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は，外部メモリのアドレスを保持します。

6.3.2　DMAデスティネーション・アドレス・レジスタ０-３（DDA0-DDA3）

DMAチャネルnのDMA転送先アドレス（26ビット）を設定します（n = 0-3）。このレジスタは，DDAnH，DDAnLの２つの16ビット・レジスタに分かれます。

DMA転送中は，次のDMA転送先アドレスを保持します。

DMAアドレシング・コントロール・レジスタn（DADCn）のTTYPビットで外部メモリ-外部I/O間のフライバイ転送に設定した場合，このレジスタの設定は無視されます。なお，内蔵RAM-内蔵周辺I/O間のフライバイ転送に設定した場合は，このレジスタを必ず設定してください。

（1）DMAデスティネーション・アドレス・レジスタ0H-3H（DDA0H-DDA3H）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DDA0H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	アドレス FFFFF1A4H	初期値 不定
DDA1H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	FFFFF1ACH	不定
DDA2H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	FFFFF1B4H	不定
DDA3H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	FFFFF1BCH	不定

ビット位置	ビット名	意　　味
9-0	DA25-DA16	Destination Address DMA転送先のアドレス（A25-A16）を設定します。DMA転送中は，次のDMA転送先アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は無視されますが，内蔵RAM-内蔵周辺I/O間のフライバイ転送時は，このレジスタを必ず設定してください。

（２）DMAデスティネーション・アドレス・レジスタ0L-3L（DDA0L-DDA3L）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	FFFFF1A6H	不定
DDA1L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	FFFFF1AEH	不定
DDA2L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	FFFFF1B6H	不定
DDA3L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	FFFFF1BEH	不定

ビット位置	ビット名	意　　味
15-0	DA15-DA0	Destination Address DMA転送先のアドレス（A15-A0）を設定します。DMA転送中は，次のDMA転送先アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は無視されますが，内蔵RAM-内蔵周辺I/O間のフライバイ転送時は，このレジスタを必ず設定してください。

6.3.3　DMAバイト・カウント・レジスタ０-３（DBC0-DBC3）

DMAチャネルnのバイト転送数を設定する16ビット・レジスタです（n = 0-3）。

DMA転送中は，残り転送回数を保持します。

バイト転送の場合は１ずつデクリメント，16ビット転送の場合は２ずつデクリメントされ，ボローが発生すると転送を終了します。したがって，バイト転送の場合は「転送回数－１」を，16ビット転送の場合は「（転送回数－１）×２」を設定します。

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC0	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFF1E0H	不定
DBC1	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFF1E2H	不定
DBC2	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFF1E4H	不定
DBC3	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFF1E6H	不定

ビット位置	ビット名	意　　味
15-0	BC15-BC0	Byte Count バイト転送数を設定します。DMA転送中は残りバイト転送数を保持します。

DBCn	状　　態
0000H	1回のバイト転送または残りバイト転送数
0001H	2回のバイト転送または残りバイト転送数
⋮	⋮
FFFFH	65536（2^{16}）回のバイト転送または残りバイト転送数

備考　n = 0-3

6.3.4　DMAアドレシング・コントロール・レジスタ０-３（DADC0-DADC3）

DMAチャネルnのDMA転送動作モードを制御する16ビット・レジスタです（n = 0-3）。

16ビット単位でリード／ライト可能です。

注意　DMA転送中は，これらのレジスタへの書き込みは行わないでください。

（1/2）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC0	0	0	0	0	0	0	0	DS	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFF1F0H	0000H
DADC1	0	0	0	0	0	0	0	DS	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFF1F2H	0000H
DADC2	0	0	0	0	0	0	0	DS	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFF1F4H	0000H
DADC3	0	0	0	0	0	0	0	DS	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFF1F6H	0000H

ビット位置	ビット名	意　　味
8	DS	Data Size DMA転送での転送データ・サイズを設定します。 0：8ビット 1：16ビット
7, 6	SAD1, SAD0	Source Address count Direction DMAチャネルnの転送元アドレスのカウント方向を設定します。
5, 4	DAD1, DAD0	Destination Address count Direction DMAチャネルnの転送先アドレスのカウント方向を設定します。

SAD1	SAD0	カウント方向
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	カウント方向
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

備考　n = 0-3

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>3, 2</td><td>TM1, TM0</td><td>Transfer Mode
DMA転送時の転送モードを設定します。
<table>
<tr><th>TM1</th><th>TM0</th><th>転送モード</th></tr>
<tr><td>0</td><td>0</td><td>シングル転送モード</td></tr>
<tr><td>0</td><td>1</td><td>シングルステップ転送モード</td></tr>
<tr><td>1</td><td>0</td><td>ブロック転送モード</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>1</td><td>TTYP</td><td>Transfer Type
DMA転送タイプを設定します。
0：2サイクル転送
1：フライバイ転送</td></tr>
<tr><td>0</td><td>TDIR</td><td>Transfer Direction
I/O←→メモリ転送時の転送方向を設定します。設定はフライバイ転送時だけ有効で，2サイクル転送時は無視されます。
0：メモリ→I/O（リード）
1：I/O→メモリ（ライト）</td></tr>
</table>

備考　n = 0-3

6.3.5　DMAチャネル・コントロール・レジスタ０-３（DCHC0-DCHC3）

DMAチャネルnのDMA転送動作モードを制御する８ビット・レジスタです（n = 0-3）。

8/1ビット単位でリード／ライト可能です（ただしビット７はリードだけ，ビット２，ビット１はライトだけ可能です。ビット２，ビット１をリードした場合は０が読み出されます。）。

	7	6	5	4	3	2	1	0	アドレス	初期値
DCHC0	TC0	0	0	0	0	INIT0	STG0	EN0	FFFFF5F0H	00H
DCHC1	TC1	0	0	0	0	INIT1	STG1	EN1	FFFFF5F2H	00H
DCHC2	TC2	0	0	0	0	INIT2	STG2	EN2	FFFFF5F4H	00H
DCHC3	TC3	0	0	0	0	INIT3	STG3	EN3	FFFFF5F6H	00H

ビット位置	ビット名	意　　味
7	TCn	Terminal Count DMAチャネルnのDMA転送の終了／未終了を示すステータス・ビットです。 読み出しだけができます。ターミナル・カウントによりDMA転送が終了するとセット（1）され，読み出しによりリセット（0）されます。 0：DMA転送未終了 1：DMA転送終了
2	INITn	Initialize このビットをセット（1）すると，DMA転送を強制終了します。
1	STGn	Software Trigger DMA転送が許可の状態（TCnビット= 0，ENnビット= 1）で，このビットをセット（1）するとDMA転送を開始します。
0	ENn	Enable DMAチャネルnのDMA転送の許可／禁止を設定します。ターミナル・カウントによりDMA転送が終了するとリセット（0）されます。また，NMI入力や，INITnビットのセット（1）による強制終了時にもリセット（0）されます。 0：DMA転送の禁止 1：DMA転送の許可

備考　n = 0-3

6.3.6　DMAトリガ要因レジスタ０-３（DTFR0-DTFR3）

周辺I/Oからの割り込み要求によるDMA転送開始トリガを制御する８ビット・レジスタです。

このレジスタで設定した割り込み要求が，DMA転送の起動要因となります。

8/1ビット単位でリード／ライト可能です。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
DTFR0	0	0	IFC05	IFC04	IFC03	IFC02	IFC01	IFC00	FFFFF5E0H	00H
DTFR1	0	0	IFC15	IFC14	IFC13	IFC12	IFC11	IFC10	FFFFF5E2H	00H
DTFR2	0	0	IFC25	IFC24	IFC23	IFC22	IFC21	IFC20	FFFFF5E4H	00H
DTFR3	0	0	IFC35	IFC34	IFC33	IFC32	IFC31	IFC30	FFFFF5E6H	00H

ビット位置	ビット名	意　　味
5-0	IFCn5-IFCn0	Interrupt Factor Code DMA転送の起動要因を設定します。

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止
0	0	0	0	0	1	INTCM40
0	0	0	0	1	0	INTCM41
0	0	0	0	1	1	INTCSI0
0	0	0	1	0	0	INTSR0
0	0	0	1	0	1	INTST0
0	0	0	1	1	0	INTCSI1
0	0	0	1	1	1	INTSR1
0	0	1	0	0	0	INTST1
0	0	1	0	0	1	INTCSI2
0	0	1	0	1	0	INTCSI3
0	0	1	0	1	1	INTP100/INTCC100
0	0	1	1	0	0	INTP101/INTCC101
0	0	1	1	0	1	INTP102/INTCC102
0	0	1	1	1	0	INTP103/INTCC103
0	0	1	1	1	1	INTP110/INTCC110
0	1	0	0	0	0	INTP111/INTCC111
0	1	0	0	0	1	INTP112/INTCC112
0	1	0	0	1	0	INTP113/INTCC113
0	1	0	0	1	1	INTP120/INTCC120
0	1	0	1	0	0	INTP121/INTCC121
0	1	0	1	0	1	INTP122/INTCC122
0	1	0	1	1	0	INTP123/INTCC123
0	1	0	1	1	1	INTP130/INTCC130

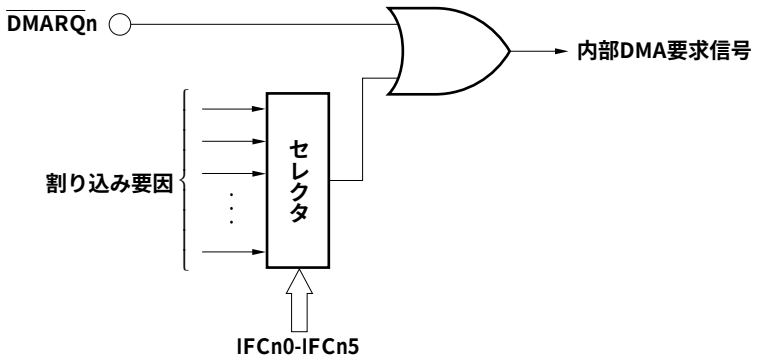
（2/2）

ビット位置	ビット名	意　　味
5-0	IFCn5-IFCn0	

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	1	1	0	0	0	INTP131/INTCC131
0	1	1	0	0	1	INTP132/INTCC132
0	1	1	0	1	0	INTP133/INTCC133
0	1	1	0	1	1	INTP140/INTCC140
0	1	1	1	0	0	INTP141/INTCC141
0	1	1	1	0	1	INTP142/INTCC142
0	1	1	1	1	0	INTP143/INTCC143
0	1	1	1	1	1	INTP150/INTCC150
1	0	0	0	0	0	INTP151/INTCC151
1	0	0	0	0	1	INTP152/INTCC152
1	0	0	0	1	0	INTP153/INTCC153
1	0	0	0	1	1	INTAD
上記以外						設定禁止

備考　n = 0-3

備考　$\overline{\text{DMARQn}}$信号とDMA転送開始トリガとなる割り込み要因の関係は次のようになります（n = 0-3）。



6.3.7　DMAディスエーブル・ステータス・レジスタ（DDIS）

NMI入力時にDCHCnレジスタのENnビットの内容を保持するレジスタです（n = 0-3）。8/1ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0		
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	アドレス FFFFF5D0H	初期値 00H

ビット位置	ビット名	意　　味
3-0	CHn （n = 3-0）	NMI Interruption Status NMI入力時にDCHCnレジスタのENnビットの内容が反映されます。このレジスタの内容は，次のNMI入力時，またはシステム・リセット時まで保持されます。

6.3.8　DMAリスタート・レジスタ（DRST）

NMI入力によって強制中断されたDMA転送を再開させるためのレジスタです。このレジスタのRENnビットは，DCHCnレジスタのENnビットとそれぞれ連結しています（n = 0-3）。NMI終了後，DDISレジスタを参照して中断されているDMAチャネルを確認し，対応するチャネルのRENnビットをセット（1）することにより，DMA転送を再開できます。8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
DRST	0	0	0	0	REN3	REN2	REN1	REN0	アドレス FFFFF5D2H	初期値 00H

ビット位置	ビット名	意　　味
3-0	RENn （n = 3-0）	Restart Enable DMAチャネルnのDMA転送の許可／禁止を設定します。ターミナル・カウントによりDMA転送が終了するとリセット（0）されます。また，NMI入力やDCHCnレジスタのINITnビットのセット（1）によるDMAの強制終了時にもリセット（0）されます。 0：DMA転送の禁止 1：DMA転送の許可

6.3.9　フライバイ転送データ・ウエイト・コントロール・レジスタ（FDW）

フライバイ転送時の不正書き込みを防ぐために，ライト信号（$\overline{\text{IOWR}}$, $\overline{\text{UWR}}$, $\overline{\text{LWR}}$, $\overline{\text{WE}}$）がインアクティブになってからリード信号（$\overline{\text{RD}}$, $\overline{\text{IORD}}$, $\overline{\text{OE}}$）がインアクティブになるまでの時間を確保するためのウエイト・ステート（TF）挿入を設定します。8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
FDW	FDW7	FDW6	FDW5	FDW4	FDW3	FDW2	FDW1	FDW0	アドレス FFFFF06CH	初期値 00H
メモリ・ブロック	7	6	5	4	3	2	1	0		

ビット位置	ビット名	意　　味
7-0	FDWn （n = 7-0）	Fly-by Data Wait メモリ・ブロックnに対するウエイト・ステート挿入を設定します。 0：ウエイト・ステートを挿入しない。 1：１ウエイト・ステートを挿入する。

注意　FDWレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，FDWレジスタの初期設定が終わるまでは外部メモリ領域をアクセスしないでください（ただし，0000000H-01FFFFFH領域は除く）。

備考　FDWレジスタの設定は，次に示すDMA転送時に有効です。

転送対象＼メモリの種類	SRAM, ページROM	DRAM
メモリ→I/O	有効	有効
I/O→メモリ	有効	無効

6.4　DMAバス・ステート

6.4.1　バス・ステートの種類

DMACのバス・サイクルは，次に示す25個のステートで構成されます。

（1）TIステート

アクセス要求がないアイドル状態のステートです。

CLKOUT信号の立ち下がりで$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$信号をサンプリングします。

（2）T0ステート

DMA転送準備状態（DMA転送要求があり，最初のDMA転送のためにバス使用権を獲得している状態）のステートです。

（3）T1Rステート

２サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1RステートのあとはT2Rステートに必ず遷移します。

（4）T1RIステート

外部メモリのリード・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1RIステートのあとはT2Rステートに必ず遷移します。

（5）T2Rステート

２サイクル転送のリードの最後またはウエイト状態のステートです。

最後のT2Rステートでリード・データをサンプリングします。そのあとは必ずT1Wステートに遷移します。

（6）T2RIステート

内蔵周辺I/Oまたは内蔵RAMへのDMA転送準備状態（内蔵周辺I/Oまたは内蔵RAMへのDMA転送のために，バスの使用権を獲得している状態）のステートです。

最後のT2RIステートのあとはT1Wステートに必ず遷移します。

（7）T1Wステート

２サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1WステートのあとはT2Wステートに必ず遷移します。

（8）T1WIステート

外部メモリのライト・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1WIステートのあとはT2Wステートに必ず遷移します。

（9）T2Wステート

２サイクル転送のライトの最後またはウエイト状態のステートです。

最後のT2Wステートでライト・ストローブ信号をインアクティブにします。

（10）T1Fステート

内蔵周辺I/Oから内蔵RAMへのフライバイ転送の最初に移行するステートです。

内蔵周辺I/Oからのリード・サイクルを開始します。T1FステートのあとはT2Fステートに必ず遷移します。

（11）T2Fステート

内蔵周辺I/Oから内蔵RAMへのフライバイ転送の中間の状態のステートです。

内蔵RAMへのライト・サイクルを開始します。

T2FステートのあとはT3Fステートに必ず遷移します。

（12）T3Fステート

内蔵周辺I/Oから内蔵RAMへのフライバイ転送の最後またはウエイト状態のステートです。

最後のT3Fステートでライト・ストローブ信号をインアクティブにします。

（13）T1FRステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送の最初に移行するステートです。

内蔵RAMからのリード・サイクルを開始します。

T1FRステートのあとはT2FRステートに必ず遷移します。

（14）T2FRステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送の中間の状態のステートです。

内蔵周辺I/Oへのライト・サイクルを開始します。

T2FRステートのあとはT3FRステートに必ず遷移します。

（15）T3FRステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送が続くかどうかを判断するステートです。

ブロック転送で次の転送を行う場合，T1FRBステートに移行します。その他の場合はT4ステートに移行します。

（16）T1FRBステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送の最初に移行するステートです。

内蔵RAMからのリード・サイクルを開始します。

（17）T1FRBIステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送を待っているステートです。

周辺ハードウエアから要求されたウエイトを行い，T2FRBステートに移行します。

（18）T2FRBステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送の中間の状態のステートです。

内蔵周辺I/Oへのライト・サイクルを開始します。

T2FRBステートのあとはT3FRBステートに必ず遷移します。

（19）T3FRBステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送が続くかどうかを判断するステートです。

ブロック転送で次の転送を行う場合，T1FRBステートに移行します。その他の場合はT4ステートに移行します。

（20）T4ステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送を待っているステートです。

周辺ハードウエアから要求されたウエイトを行い，T3ステートに移行します。

（21）T1FHステート

外部メモリと外部I/O間のフライバイ転送の基本のステートで，その転送の実行サイクルです。

T1FHステートのあとはT2FHステートに遷移します。

（22）T1FHIステート

外部メモリと外部I/O間のフライバイ転送の最後の状態で，DMAフライバイ転送の終了を待ちます。

T1FHIステートのあとはバスを解放し，TEステートに遷移します。

（23）T2FHステート

外部メモリと外部I/O間のフライバイ転送が続くかどうかを判断するステートです。

ブロック転送で次の転送を行う場合，T1FHステートに移行します。

その他の状態で，かつウエイトが発行されている場合はT1FHIステートに遷移します。ウエイトが発行されていなければバスを解放し，TEステートに遷移します。

（24）T3ステート

DMA転送が終了し，バス使用権を解放している状態のステートです。

T3ステートのあとは，TEステートに必ず遷移します。

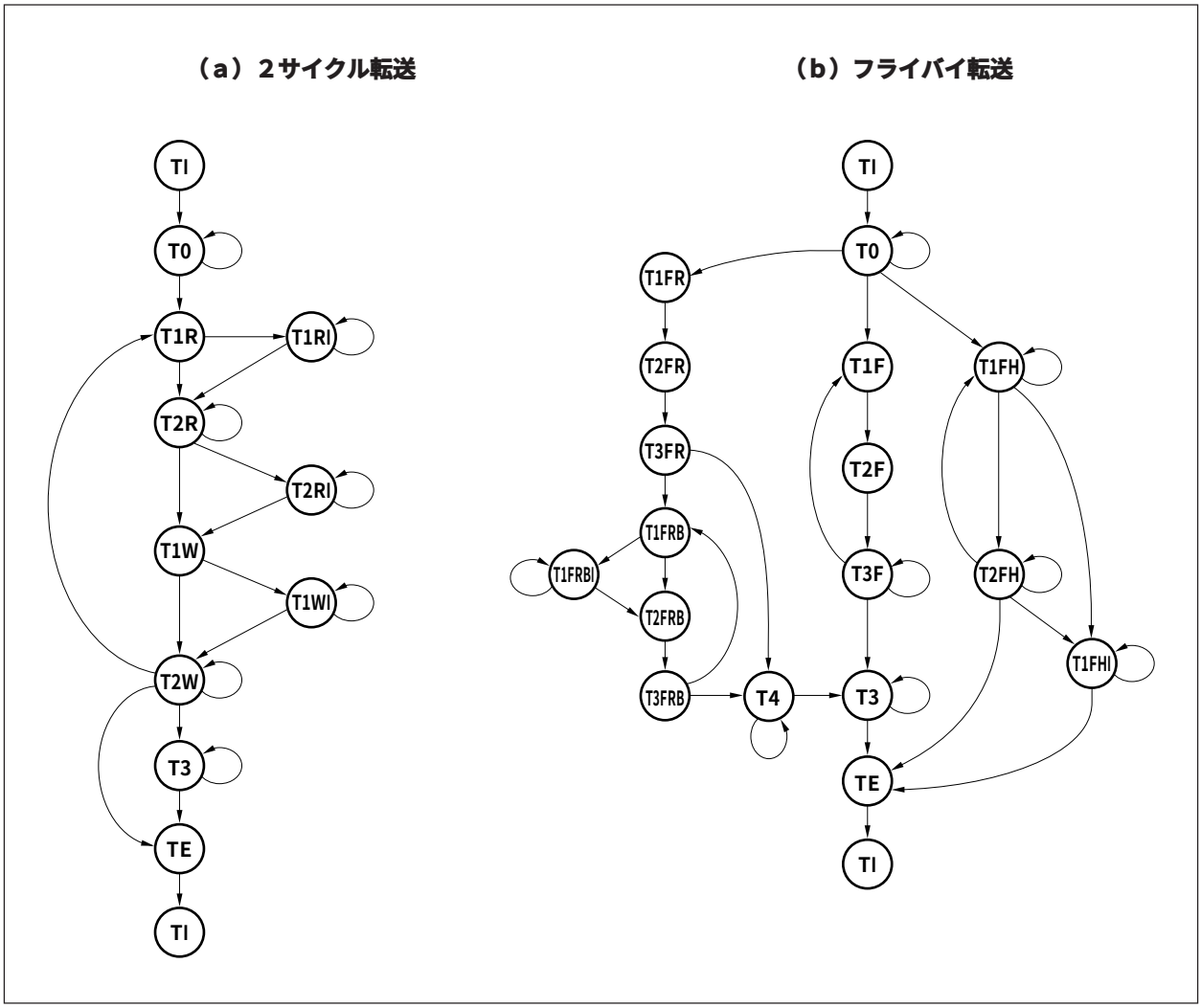
（25）TEステート

DMA転送終了のステートです。DMACはDMA転送終了信号（$\overline{TCn}$）の内部信号を生成し，ほかの各種内部信号を初期化します（n = 0-3）。TEステートのあとはTIステートに必ず遷移します。

6.4.2　状態遷移

ブロック転送モードを除き，１回のDMAサービス終了ごとにバスの使用権を解放します（バス・リリース・モードに該当します）。

図６－１　DMACバス・サイクルの状態遷移図



6.5　転送モード

6.5.1　シングル転送モード

シングル転送では，DMACは１回のバイト／ハーフワード転送ごとにバスを解放します。その後，DMA転送要求があると再度１回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

シングル転送では１回のDMAサイクルが終了するごとに内部DMA要求をクリアするため，DMAサイクル後にほかのDMAチャネルによる要求があった場合，DMAサイクルが終了したチャネル以外のDMA転送要求の中で最も優先順位の高いDMA転送が実行されます。

図６－２，６－３にシングル転送の例を示します。図６－３は，優先順位の高いDMA要求が発生した場合のシングル転送の例で，DMAチャネル０-２はブロック転送，チャネル３はシングル転送です。

図６－２　シングル転送例１

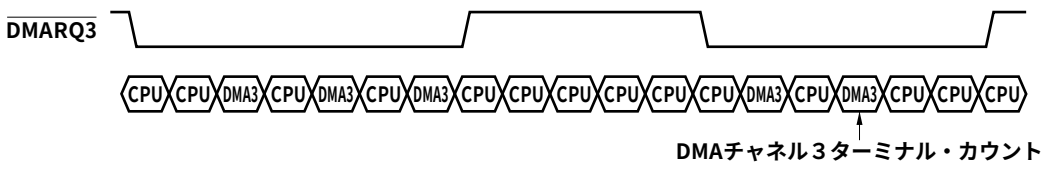
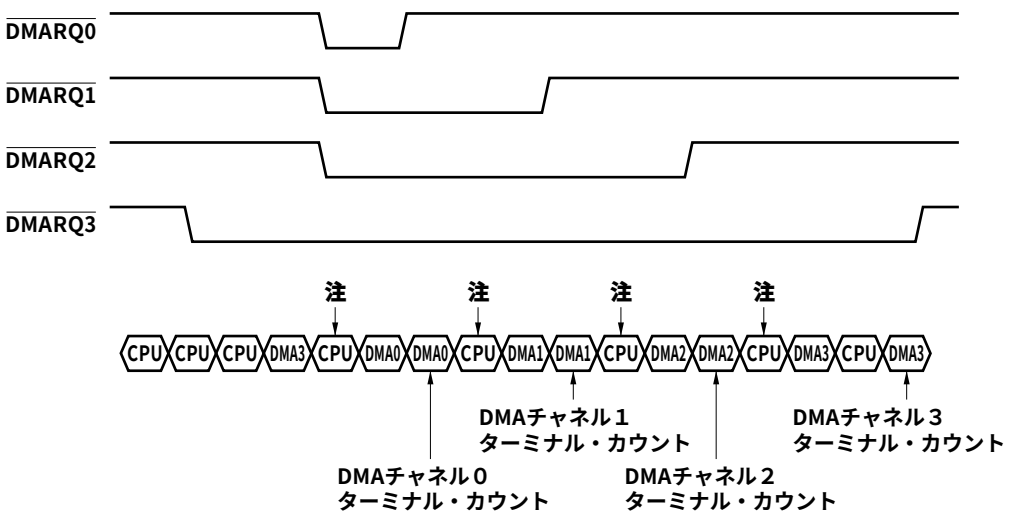


図６－３　シングル転送例２



注　必ずバスを解放します。

備考　DMAチャネル０-２はブロック転送，チャネル３はシングル転送です。

6.5.2　シングルステップ転送モード

シングルステップ転送では，DMACは１回のバイト／ハーフワード転送ごとにバスを解放します。一度リクエスト信号（$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$）を受けると，ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合，常に優先順位が高いDMA要求を優先させます。

図６－４，６－５にシングルステップ転送の例を示します。

図６－４　シングルステップ転送例１

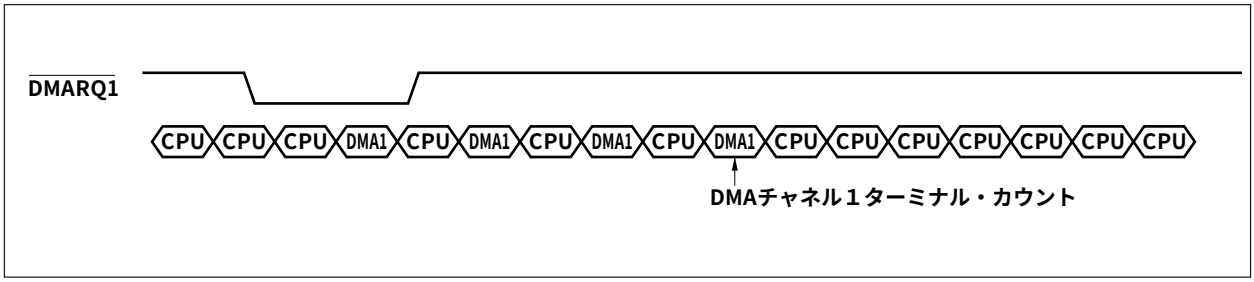
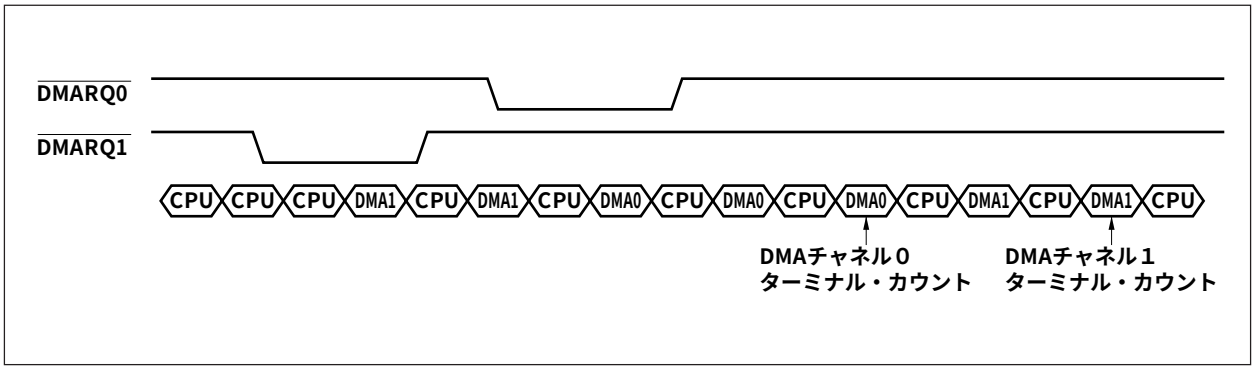


図６－５　シングルステップ転送例２



6.5.3　ブロック転送モード

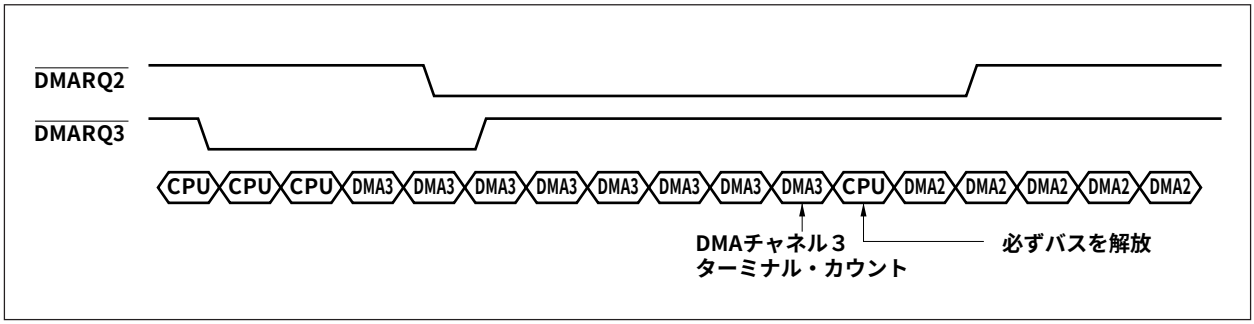
ブロック転送では，転送が開始されるとターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は，ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに，ほかのDMA転送を受け付けます。

図６－６にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で，DMAチャネル２，３はブロック転送です。

なお，ブロック転送モード使用時には注意事項があります。詳しくは，**6.19　注意事項**を参照してください。

図６－６　ブロック転送例



6.6　転送タイプ

6.6.1　２サイクル転送

２サイクル転送は，転送元→DMAC，DMAC→転送先と２回のサイクルでデータを転送します。

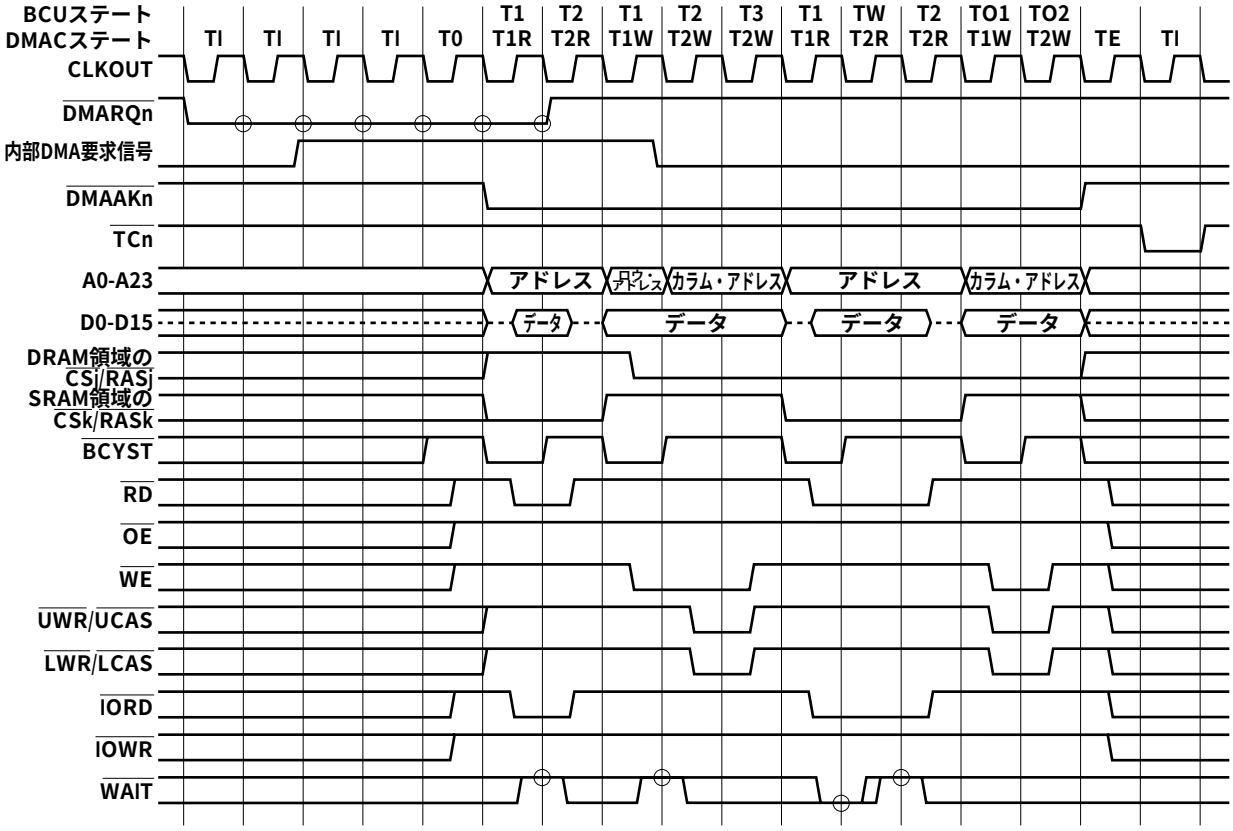
１回目のサイクルでは，転送元のアドレスを出力し転送元からDMACへのリードを行い，２回目のサイクルでは，転送先のアドレスを出力しDMACから転送先への書き込みを行います。

図６－７に２サイクル転送のタイミング例を示します。

なお，２サイクル転送使用時には注意事項があります。詳しくは，**6.19　注意事項**を参照してください。

図６－７　２サイクル転送のタイミング（1/4）

（ａ）ブロック転送モード時（SRAM→DRAM）



備考１．○印はサンプリング・タイミングです。

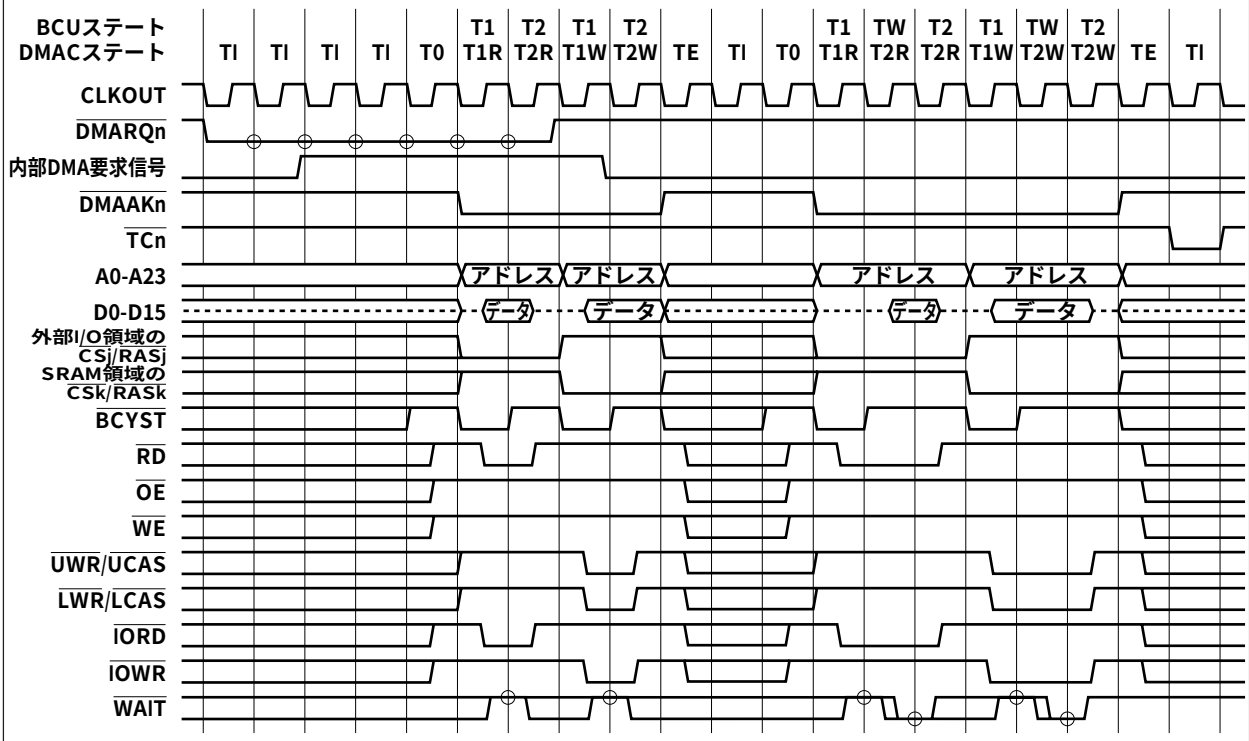
２．破線はハイ・インピーダンスを示します。

３．n = 0-3

j = 0-7, k = 0-7（ただしj ≠ k）

図６－７　２サイクル転送のタイミング（2/4）

（ｂ）シングルステップ転送モード時（外部I/O→SRAM）



備考１．○印はサンプリング・タイミングです。

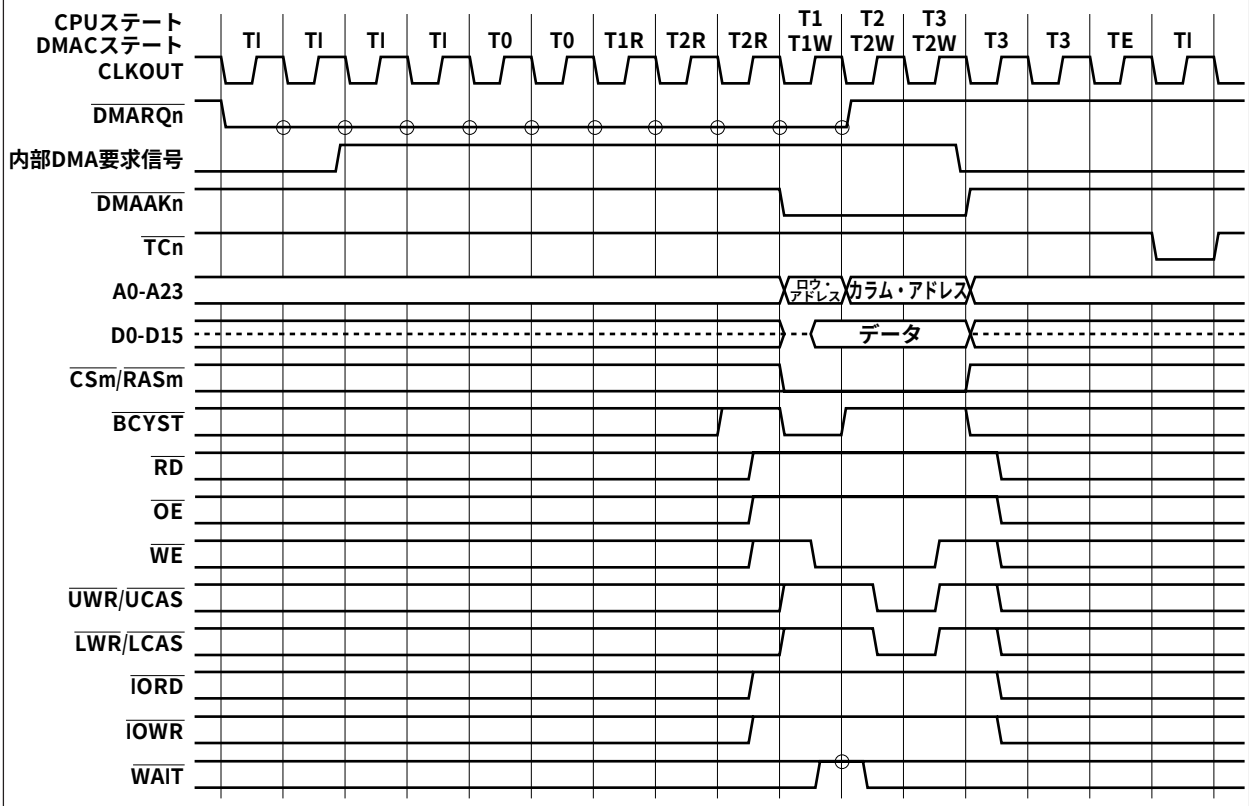
２．破線はハイ・インピーダンスを示します。

３．n = 0-3

j = 0-7, k = 0-7（ただしj ≠ k）

図６－７　２サイクル転送のタイミング（3/4）

（ｃ）シングル転送モード時（内蔵周辺I/O→DRAM）



備考１．○印はサンプリング・タイミングです。

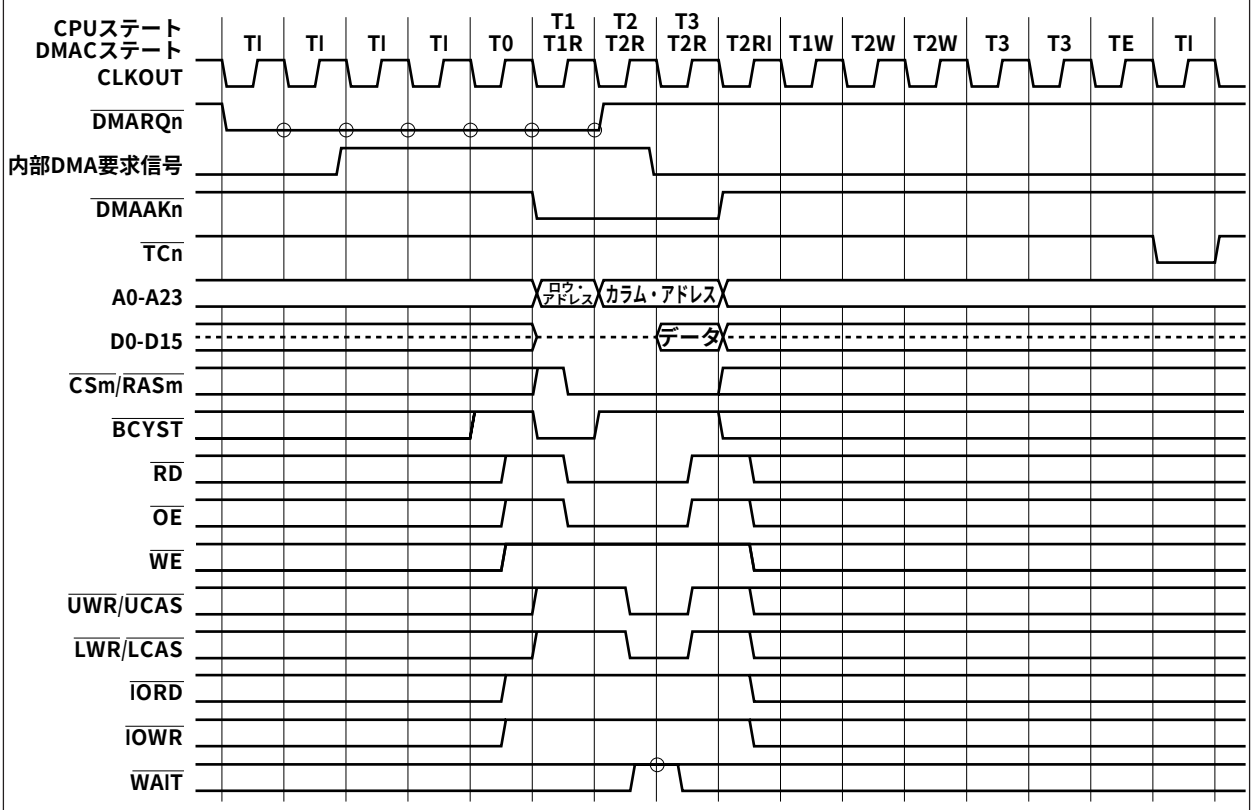
２．破線はハイ・インピーダンスを示します。

３．n = 0-3

m = 0-7

図６－７　２サイクル転送のタイミング（4/4）

（ｄ）シングル転送モード時（DRAM→内蔵周辺I/O）



備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-3

m = 0-7

6.6.2　フライバイ転送

フライバイ転送には，外部メモリ-外部I/O間の転送と内蔵RAM-内蔵周辺I/O間の転送の２種類があります。

（1）外部メモリ-外部I/O間の転送

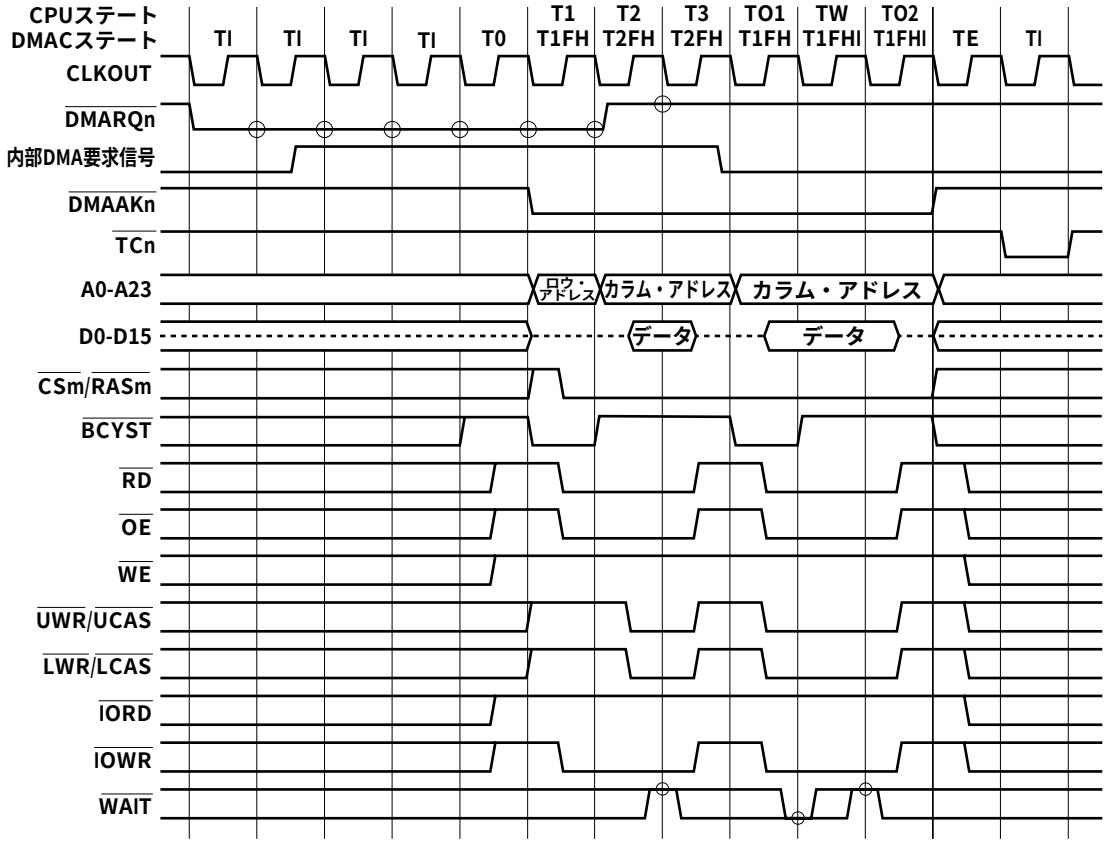
１サイクルで転送を行います。１サイクルで行うため，転送先，転送元にかかわらず，常にメモリのアドレスを出力し，メモリ，I/Oのリード／ライト信号を同時にアクティブにします。

外部I/Oは$\overline{\text{DMAAK0}}$-$\overline{\text{DMAAK3}}$信号で選択します。

図６－８にDRAM-外部I/O間のフライバイ転送のタイミング例を示します。

図６－８　フライバイ転送のタイミング（DRAM→外部I/O）（1/3）

（a）ブロック転送モード時



備考１．○印はサンプリング・タイミングです。

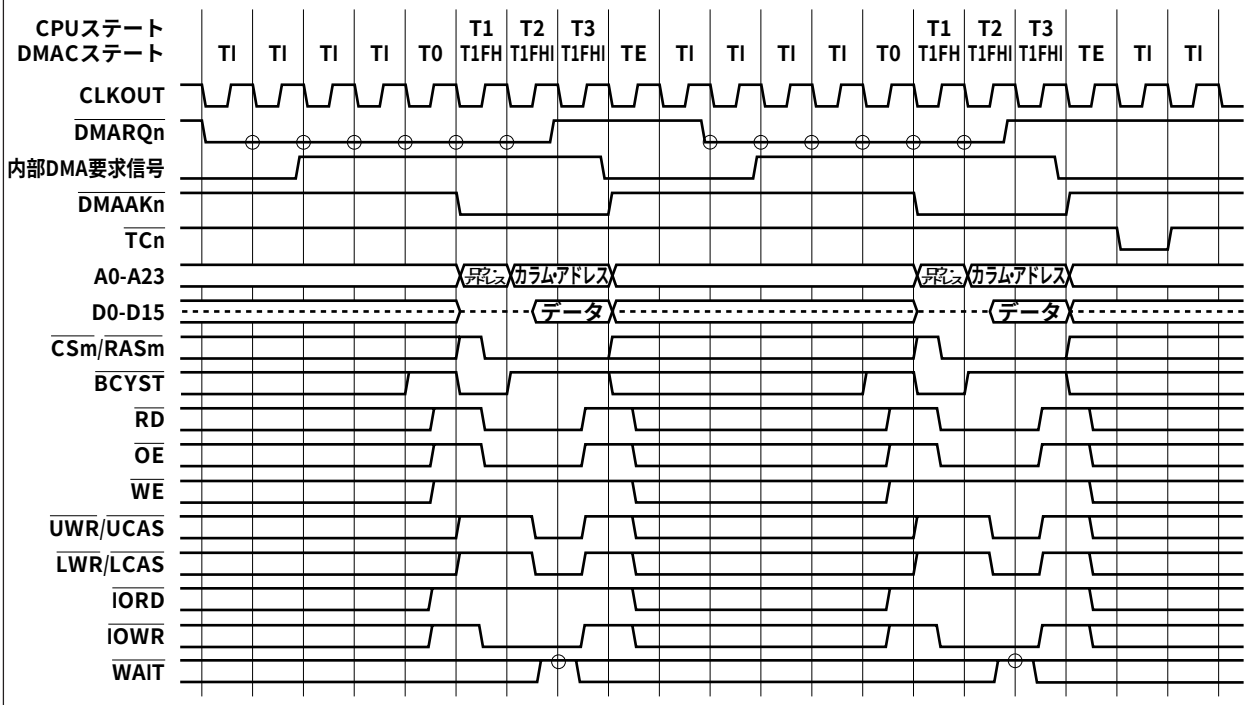
２．破線はハイ・インピーダンスを示します。

３．n = 0-3

m = 0-7

図６－８　フライバイ転送のタイミング（DRAM→外部I/O）（2/3）

（b）シングル転送モード時



備考１．○印はサンプリング・タイミングです。

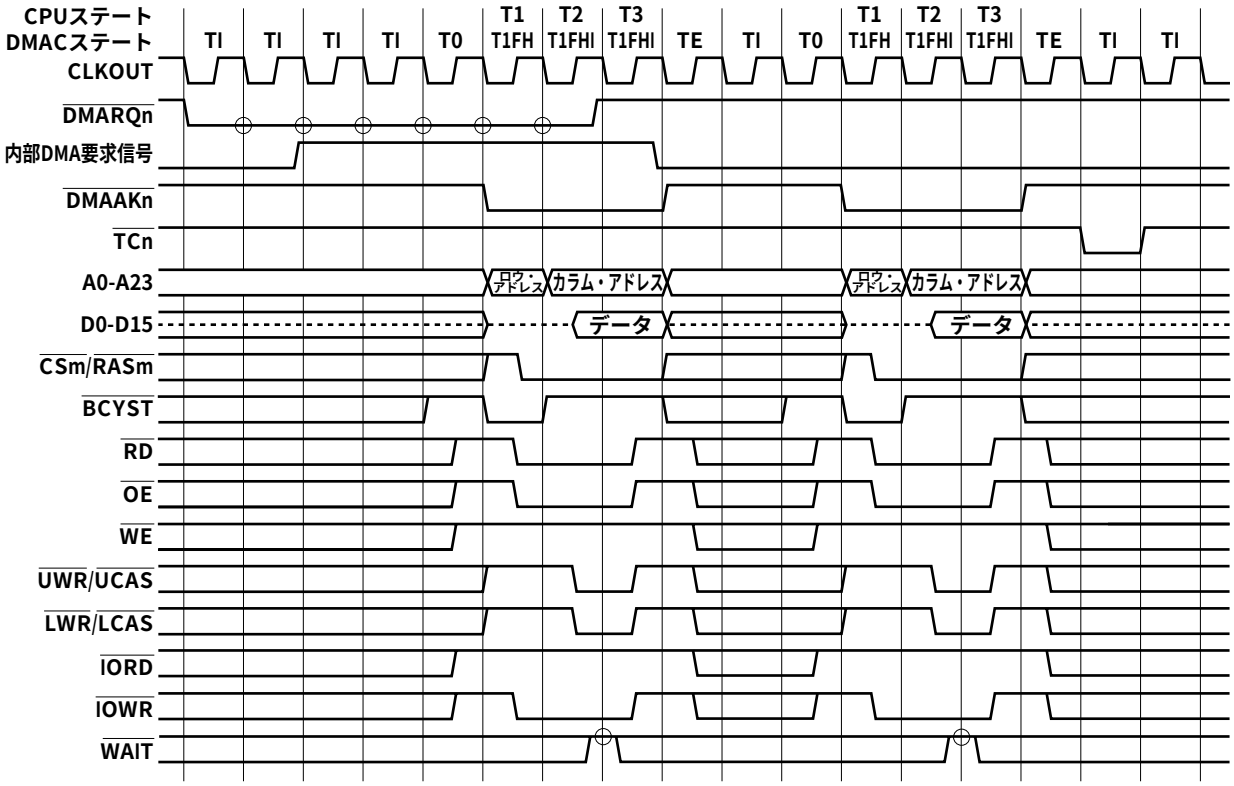
２．破線はハイ・インピーダンスを示します。

３．n = 0-3

m = 0-7

図６－８　フライバイ転送のタイミング（DRAM→外部I/O）（3/3）

（ｃ）シングルステップ転送モード時



備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．n = 0-3

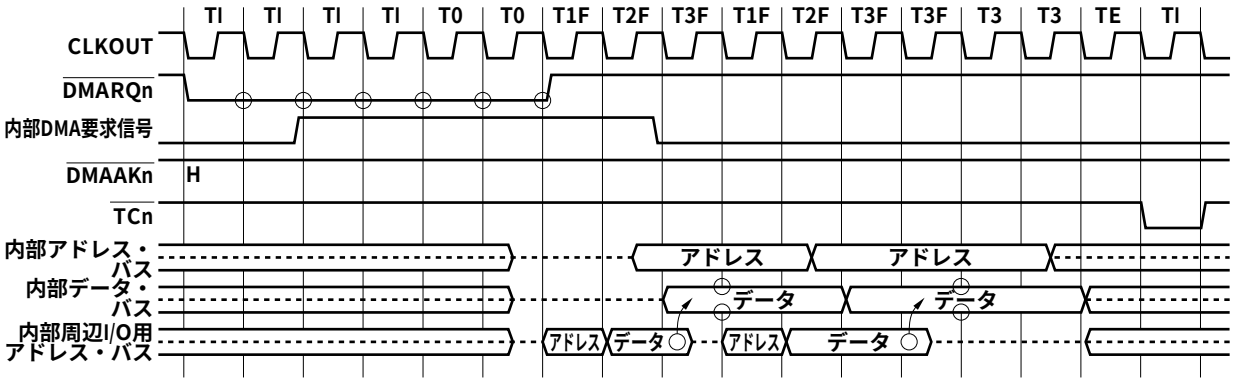
m = 0-7

（２）内蔵RAM-内蔵周辺I/O間の転送

内蔵RAMと内蔵周辺I/Oは，異なるアドレス空間にマッピングされるため，常に異なるアドレスを出力し，内蔵RAM，内蔵周辺I/Oのライト・ストローブ，またはリード・ストローブ信号を同時に制御します。

図６－９に内蔵RAM-内蔵周辺I/O間のフライバイ転送（ブロック転送モード）のタイミング例を示します。

図６－９　フライバイ転送のタイミング（内蔵周辺I/O→内蔵RAM）



備考１．○印はサンプリング・タイミングです。

２．破線はハイ・インピーダンスを示します。

３．ｎ= 0-3

４．このタイミングでは，外部バスは内部バスに独立して動作するので，外部バスへの影響はありません。

6.7　転送対象

6.7.1　転送の種類と転送対象

転送の種類と転送対象の関係を表６－１に示します。

注意１．表６－１に示す転送先と転送元で，「×」が表記されている組み合わせをしたときの動作は保証しません。

２．転送元と転送先のデータ・バス幅は同じにしてください（２サイクル転送，フライバイ転送の場合）。

表６－１　転送の種類と転送対象の関係

（a）２サイクル転送の場合

		転送先			
		内蔵周辺I/O	外部I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×	×	O	O
	外部 I/O	×	×	O	O
	内蔵RAM	O	O	O	O
	外部メモリ	O	O	O	O

（b）フライバイ転送の場合

		転送先			
		内蔵周辺I/O	外部I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×	×	O	×
	外部 I/O	×	×	×	O
	内蔵RAM	O	×	×	×
	外部メモリ	×	O	×	×

備考　○：転送可

×：転送不可

6.7.2　DMA転送時の外部バス・サイクル

DMA転送時の外部バス・サイクルは次のようになります。

表６－２　DMA転送時の外部バス・サイクル

転送の種類	転送対象	外部バス・サイクル	
2サイクル転送	内蔵周辺I/O, 内蔵RAM	なし注	－
	外部I/O	あり	SRAMサイクル
	外部メモリ	あり	BCTレジスタで設定されたメモリ・アクセス・サイクル
フライバイ転送	内蔵RAM-内蔵周辺I/O	なし注	－
	外部メモリ-外部I/O	あり	外部メモリとしてBCTレジスタで設定されたメモリ・アクセスのDMAフライバイ転送サイクル

注　CPUによるバス・サイクルなど，ほかの外部バス・サイクルを起動可能

６．８　DMAチャネルの優先順位

DMAチャネルの優先順位は固定で，次のようになります。

DMAチャネル０　＞　DMAチャネル１　＞　DMAチャネル２　＞　DMAチャネル３

この優先順位が有効となるのは，TIステートのときだけです。ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間（TI）中に，ほかの優先順位が高いDMA転送要求が発生した場合は，優先順位が高いDMA転送を行います。

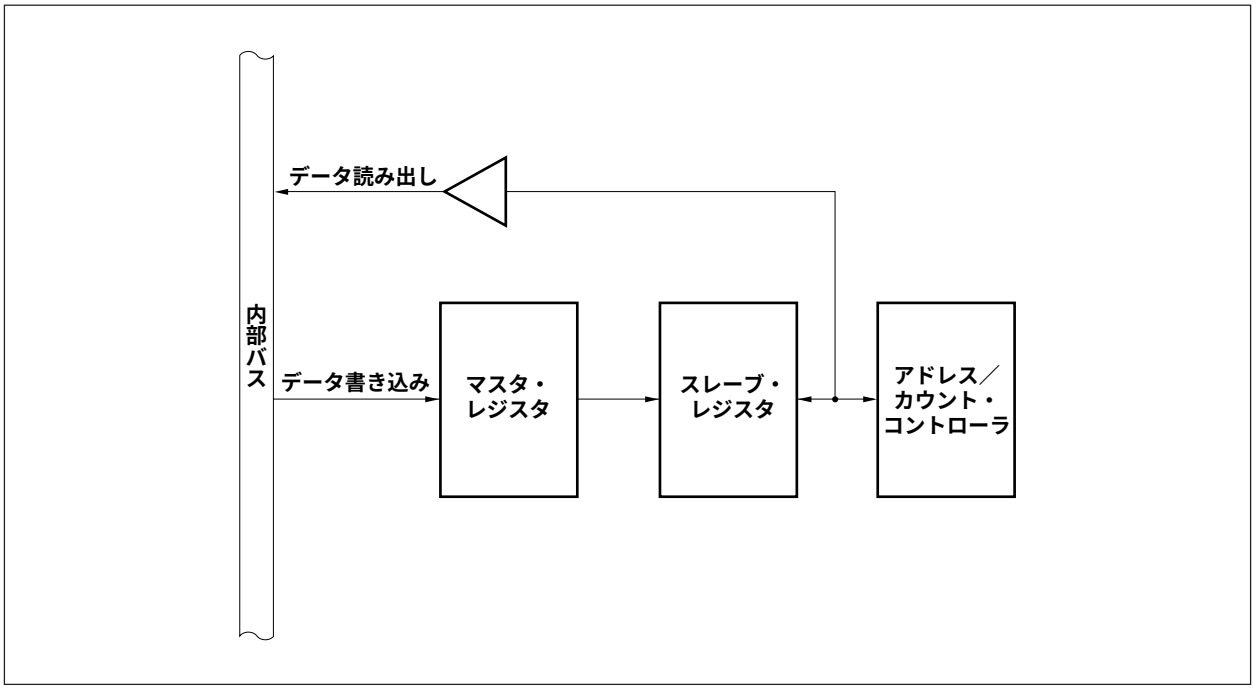
６．９　ネクスト・アドレス設定機能

DMAソース・アドレス・レジスタ（DSAnH，DSAnL），DMAデスティネーション・アドレス・レジスタ（DDAnH, DDAnL），DMAバイト・カウント・レジスタ（DBCn）は２段FIFO構成のバッファ・レジスタです（n = 0-3）。

ターミナル・カウントが発行されると，これらのレジスタは直前に設定された値に書き換えられます。したがって，DMA転送中に，これらのレジスタの内容を書き換えても有効にはなりません。書き換えた内容でDMA転送を開始させる場合は，DCHCnレジスタのENnビットをセット（１）してください。

図６－10にバッファ・レジスタの構成を示します。

図６－10　バッファ・レジスタの構成



6.10　DMA転送起動要因

DMA転送の起動要因には，次の３種類があります。

（1）外部端子（$\overline{\text{DMARQn}}$）からの要求

$\overline{\text{DMARQ}}$n端子からの要求は，CLKOUT信号の立ち下がりごとにサンプリングされますが，対応する$\overline{\text{DMAAKn}}$信号がアクティブになるまで行ってください（n = 0-3）。

DCHCnレジスタのENnビット=１,TCnビット=０の状態に設定すると，TIステートでの$\overline{\text{DMARQn}}$信号が有効となります。TIステートで$\overline{\text{DMARQn}}$信号がアクティブになると，T0ステートに移行してDMA転送を開始します。

（2）ソフトウエアからの要求

DCHCnレジスタのSTGn，ENn，TCnビットが次のように設定されると，DMA転送を開始します（n = 0-3）。

- STGnビット = 1
- ENnビット = 1
- TCnビット = 0

（3）内蔵周辺I/Oからの要求

DCHCnレジスタのENn，TCnビットが次のように設定されている状態で，DTFRnレジスタに設定してある内蔵周辺I/Oからの割り込み要求が発生すると，DMA転送を開始します（n = 0-3）。

- ENnビット = 1
- TCnビット = 0

6.11　DMA転送の中断

6.11.1　中断要因

DMA転送は，次の要因が発生すると中断されます。

・バス・ホールド
・リフレッシュ・サイクル

DMA転送を中断する要因がなくなると，引き続きDMA転送を再開します。

6.11.2　強制中断

DMA転送中のNMI入力により，DMA転送を強制的に中断できます。

このときDMACは，すべてのチャネルのDCHCnレジスタのENnビットをリセット（０）して，DMA転送禁止状態にし，NMI入力時に実行していたDMA転送を終了してから，NMI要求を受け付けます（n = 0-3）。

シングルステップ転送モード時，ブロック転送モード時は，DMA転送要求はDMACに保持されます。ENnビットをセット（１）するとDMA転送を中断した時点からDMA転送を再開します。

シングル転送モード時は，ENnビットをセット（１）すると次のDMA転送要求を受け付けて，DMA転送を開始します。

6.12　DMA転送の終了

6.12.1　DMA転送終了割り込み

DMA転送が終了し，DCHCnレジスタのTCnビットがセット（１）されると，割り込みコントローラ（INTC）に対して，DMA転送終了割り込み（INTDMAn）を発生します（n = 0-3）。

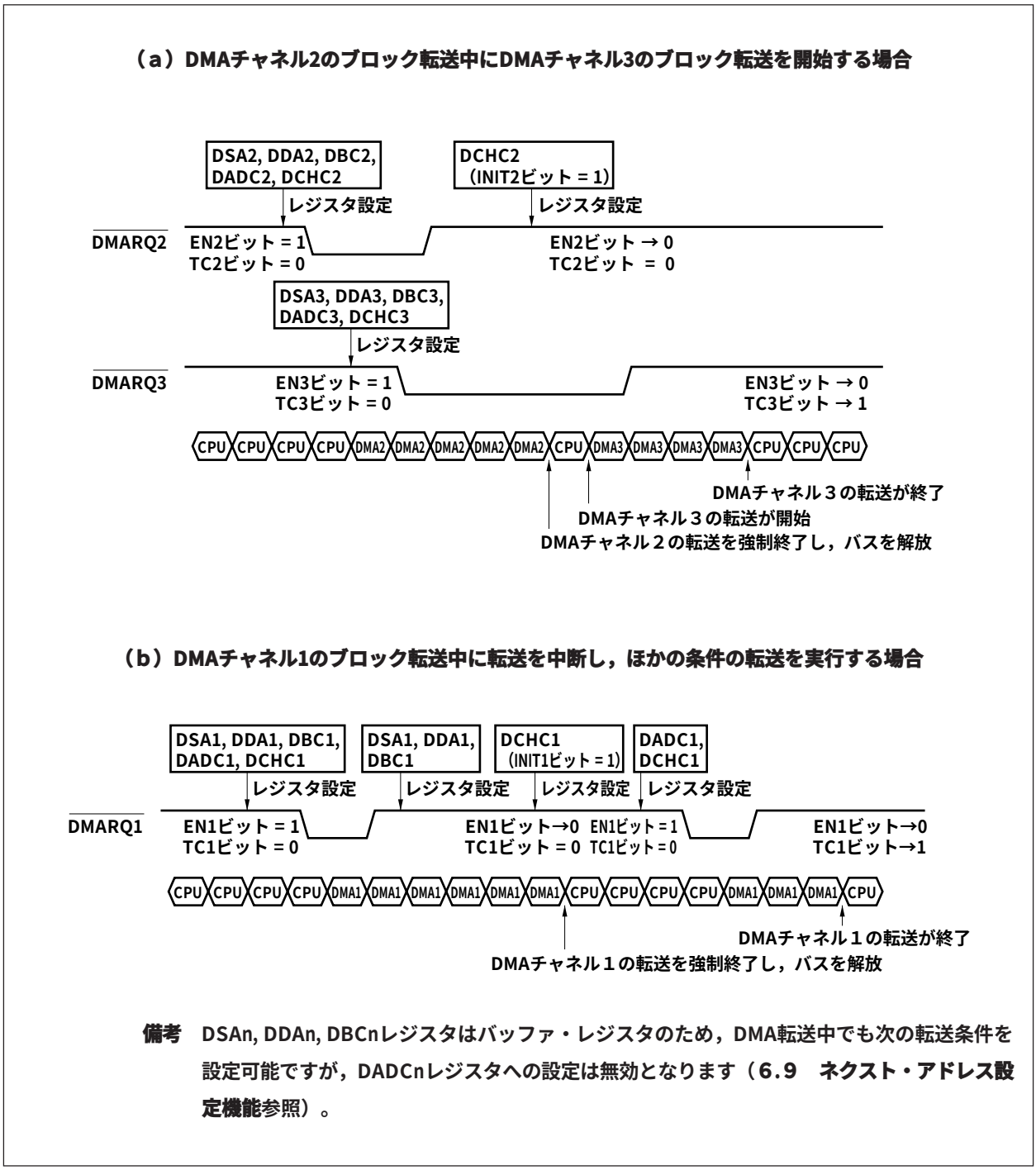
6.12.2　ターミナル・カウント出力

DMA転送が終了するサイクル（TEステート）直後のTIステートで$\overline{\text{TCn}}$信号出力が１クロック間アクティブになります。

6.12.3　強制終了

DMA転送は，NMI入力による強制中断のほかに，DCHCnレジスタのINITnビットによって強制終了することができます。強制終了動作の例を次に示します（n = 0-3）。

図６－11　DMA転送の強制終了の例



備考　DSAn, DDAn, DBCnレジスタはバッファ・レジスタのため，DMA転送中でも次の転送条件を設定可能ですが，DADCnレジスタへの設定は無効となります（**6.9　ネクスト・アドレス設定機能**参照）。

6.13　メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象（外部メモリ，内蔵RAM，外部I/O，内蔵周辺I/O）の領域を越えた場合の動作は保証しません。

6.14 ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

6.15　DMA転送に関する各種時間

DMA転送前後のオーバヘッド部分，DMA転送にかかる最小クロック数を表６－３に示します。

表６－３　DMAサイクル中の最小実行クロック数

$\overline{\text{DMARQ}}$n信号を受け付けてから $\overline{\text{DMAAK}}$n信号が立ち下がるまで	4クロック
外部メモリ・アクセス	各メモリ，I/Oサイクル参照
内蔵RAMアクセス	2クロック
内蔵周辺I/Oアクセス	3クロック
$\overline{\text{DMAAK}}$n信号が立ち上がってから $\overline{\text{TC}}$n信号が立ち下がるまで	1クロック

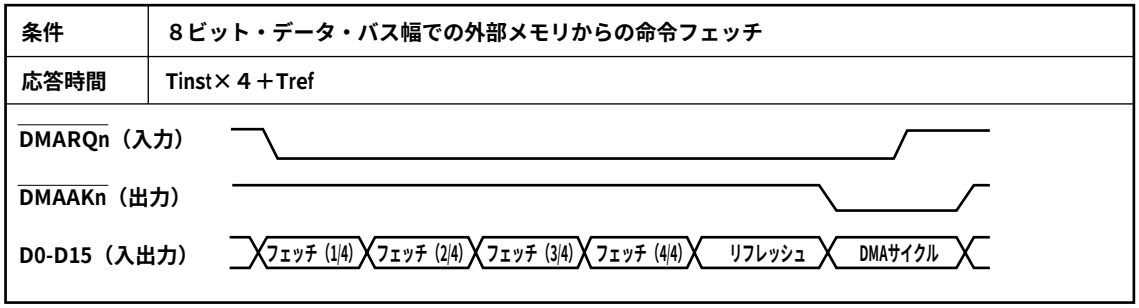
備考　n = 0-3

6.16　DMA要求に対する応答時間の最大値

DMA要求に対する応答時間は，次に示す条件で最も長くなります（すべて，DRAMリフレッシュ・サイクルが許可されている状態です）。

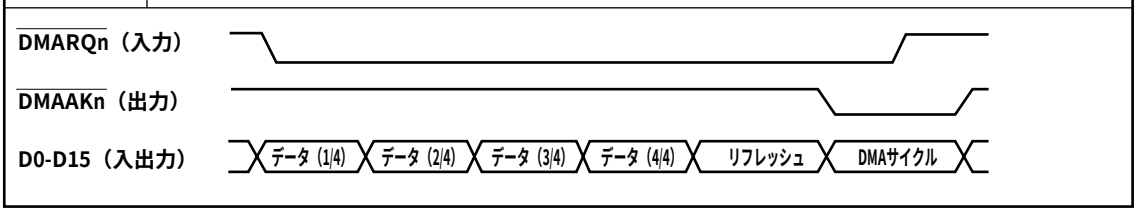
（1）条件１

条件	８ビット・データ・バス幅での外部メモリからの命令フェッチ
応答時間	Tinst× ４＋Tref



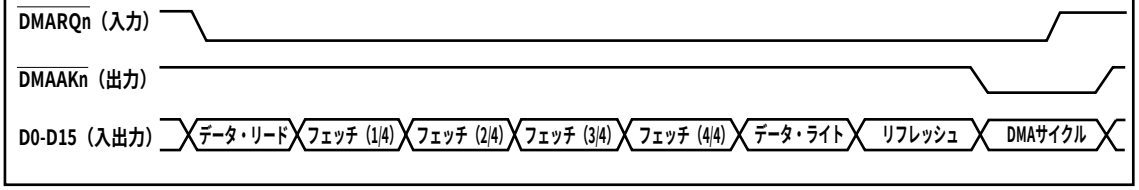
（２）条件２

条件	８ビット・データ・バス幅での外部メモリとのワード・データ・アクセス
応答時間	Tdata×４＋Tref



（３）条件３

条件	８ビット・データ・バス幅での外部メモリからの命令フェッチ ビット操作命令（SET1, CLR1, NOT1）の実行
応答時間	Tinst×４＋Tdata×２＋Tref



備考１． Tinst ：命令フェッチ時の１バス・サイクル当たりのクロック数
Tdata：データ・アクセス時の１バス・サイクル当たりのクロック数
Tref ：１リフレッシュ・サイクル当たりのクロック数

２． n = 0-3

６.17　$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$信号によるシングル転送時の１回転送

$\overline{\text{DMARQn}}$信号入力により，外部メモリに対してシングル転送を実行した場合，１回だけの転送を行うためには，$\overline{\text{DMAAKn}}$信号がアクティブになってから，表６－４に示す時間内に$\overline{\text{DMARQn}}$信号をインアクティブにする必要があります（n = 0-3）。表６－４に示す時間を越えた場合は，連続して転送することがあります。

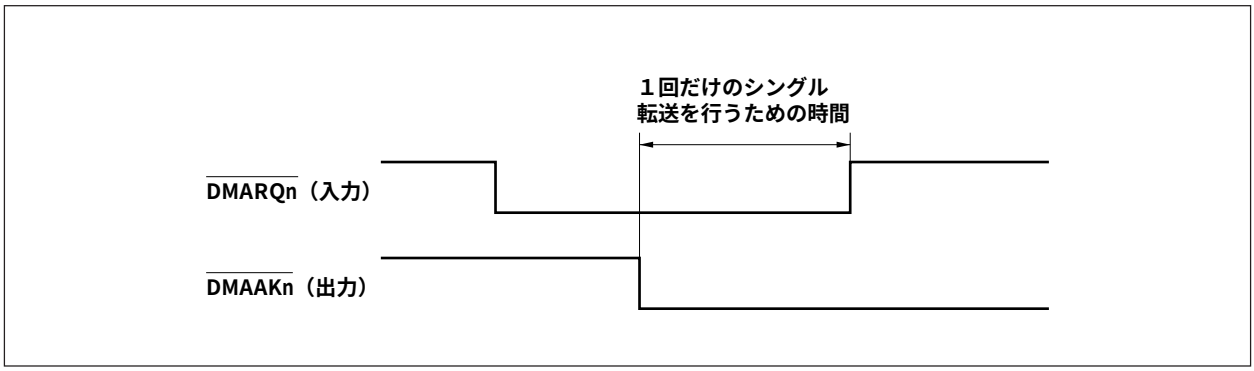


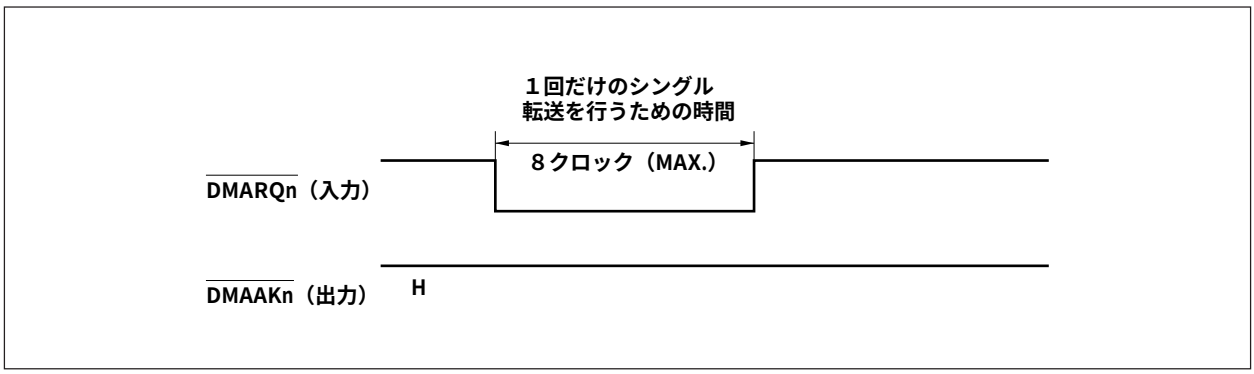
表６－４　外部メモリに対するシングル転送時の
$\overline{\text{DMAAKn}}$信号アクティブ→$\overline{\text{DMARQn}}$信号インアクティブの時間

転送の種類	転送元	転送先	$\overline{\text{DMAAKn}}$信号アクティブ→$\overline{\text{DMARQn}}$信号インアクティブ時間（MAX.）注
２サイクル転送	DRAM（オフページ）	すべて	５クロック
	DRAM（オンページ）	すべて	４クロック
	SRAM，外部I/O	すべて	４クロック
	内蔵RAM，内蔵周辺I/O	DRAM（オフページ）	７クロック
	内蔵RAM，内蔵周辺I/O	DRAM（オンページ）	６クロック
	内蔵RAM	SRAM，外部I/O	６クロック
	内蔵周辺I/O	SRAM	６クロック
フライバイ転送	DRAM（オフページ）←→外部I/O		３クロック
	DRAM（オンページ）←→外部I/O		２クロック
	SRAM←→外部I/O		２クロック

注　ウエイト挿入時はウエイト数を加算してください。

備考　n = 0-3

また，内蔵RAMと内蔵周辺I/O間でシングル転送を実行した場合，$\overline{\text{DMARQn}}$信号をアクティブにしてから，8クロック以内に，$\overline{\text{DMARQn}}$信号をインアクティブにする必要があります。8クロックを越えた場合は，連続して転送することがあります。なお，このとき，$\overline{\text{DMAAKn}}$信号はアクティブになりません。



6.18　CPUへのバス・アービトレーション

CPUは，DMA転送を行っていない外部メモリ，外部I/O，内蔵RAM，および内蔵周辺I/Oとのアクセスが可能です。

外部メモリ，外部I/O内でデータ転送が行われているときは，CPUは内蔵RAM，内蔵周辺I/Oとアクセスできます。

また，内蔵RAM-内蔵周辺I/O間でデータ転送が行われているときは，外部メモリ，外部I/Oとアクセスできます。

6.19　注意事項

次の条件をすべて満たすDMA転送をNMI入力により中断した場合，次のDMA転送まで$\overline{\text{DMAAKn}}$信号がアクティブになり続ける場合があります（n = 0-3）。

- ２サイクル転送
- ブロック転送モード
- 外部メモリから外部メモリへの転送，または外部I/Oから外部I/Oへの転送
- デスティネーション側がEDO DRAMでノー・ウエイトのオンページ・アクセス

なお，$\overline{\text{DMAAKn}}$信号以外のデバイス動作に影響はありません。

次に示すルーチンをNMIハンドラ内などで実行することにより$\overline{\text{DMAAKn}}$信号をインアクティブにしてください。

```
LD.B  DDIS[r0], reg    ；NMI入力により中断したDMAチャネルを確認します。
ST.B  reg, DRST[r0]    ；中断したチャネルの転送を再開させます。
ST.B  r0, DRST[r0]     ；すぐに再び中断することにより，１回だけDMA転送を行ったあと，DMAAKn信号がインアクティブになります。
```

第７章　割り込み／例外処理機能

V850E/MS1は，割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し，合計48要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお，割り込みをプログラムの実行とは独立して発生する事象とし，例外をプログラムの実行に依存して発生する事象とします。

V850E/MS1では，内蔵している周辺ハードウエアおよび外部からの各種割り込み要求を処理できます。さらに，TRAP命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

7.1　特　　徴

○割り込み

- ノンマスカブル割り込み　　１要因
- マスカブル割り込み　　47要因
- ８レベルのプログラマブル優先順位制御
- 優先順位に従った割り込み多重処理制御
- 個々のマスカブル割り込み要求に対するマスク指定
- 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

○例外

- ソフトウエア例外　　32要因
- 例外トラップ　　１要因（不正命令コード例外）

これらの割り込み／例外要因を表７－１に示します。

表７－１　割り込み一覧（1/2）

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	－	$\overline{\text{RESET}}$入力	端子	－	0000H	00000000H	不　定
ノンマスカブル	割り込み	NMI	－	NMI入力	端子	－	0010H	00000010H	nextPC
ソフトウエア例外	例外	TRAP0n注	－	TRAP命令	－	－	004n注H	00000040H	nextPC
	例外	TRAP1n注	－	TRAP命令	－	－	005n注H	00000050H	nextPC
例外トラップ	例外	ILGOP	－	不正命令コード	－	－	0060H	00000060H	nextPC
マスカブル	割り込み	INTOV10	OVIC10	タイマ10オーバフロー	RPU	0	0080H	00000080H	nextPC
	割り込み	INTOV11	OVIC11	タイマ11オーバフロー	RPU	1	0090H	00000090H	nextPC
	割り込み	INTOV12	OVIC12	タイマ12オーバフロー	RPU	2	00A0H	000000A0H	nextPC
	割り込み	INTOV13	OVIC13	タイマ13オーバフロー	RPU	3	00B0H	000000B0H	nextPC
	割り込み	INTOV14	OVIC14	タイマ14オーバフロー	RPU	4	00C0H	000000C0H	nextPC
	割り込み	INTOV15	OVIC15	タイマ15オーバフロー	RPU	5	00D0H	000000D0H	nextPC
	割り込み	INTP100/INTCC100	P10IC0	INTP100/CC100一致	端子／RPU	6	0100H	00000100H	nextPC
	割り込み	INTP101/INTCC101	P10IC1	INTP101/CC101一致	端子／RPU	7	0110H	00000110H	nextPC
	割り込み	INTP102/INTCC102	P10IC2	INTP102/CC102一致	端子／RPU	8	0120H	00000120H	nextPC
	割り込み	INTP103/INTCC103	P10IC3	INTP103/CC103一致	端子／RPU	9	0130H	00000130H	nextPC
	割り込み	INTP110/INTCC110	P11IC0	INTP110/CC110一致	端子／RPU	10	0140H	00000140H	nextPC
	割り込み	INTP111/INTCC111	P11IC1	INTP111/CC111一致	端子／RPU	11	0150H	00000150H	nextPC
	割り込み	INTP112/INTCC112	P11IC2	INTP112/CC112一致	端子／RPU	12	0160H	00000160H	nextPC
	割り込み	INTP113/INTCC113	P11IC3	INTP113/CC113一致	端子／RPU	13	0170H	00000170H	nextPC
	割り込み	INTP120/INTCC120	P12IC0	INTP120/CC120一致	端子／RPU	14	0180H	00000180H	nextPC
	割り込み	INTP121/INTCC121	P12IC1	INTP121/CC121一致	端子／RPU	15	0190H	00000190H	nextPC
	割り込み	INTP122/INTCC122	P12IC2	INTP122/CC122一致	端子／RPU	16	01A0H	000001A0H	nextPC
	割り込み	INTP123/INTCC123	P12IC3	INTP123/CC123一致	端子／RPU	17	01B0H	000001B0H	nextPC
	割り込み	INTP130/INTCC130	P13IC0	INTP130/CC130一致	端子／RPU	18	01C0H	000001C0H	nextPC
	割り込み	INTP131/INTCC131	P13IC1	INTP131/CC131一致	端子／RPU	19	01D0H	000001D0H	nextPC
	割り込み	INTP132/INTCC132	P13IC2	INTP132/CC132一致	端子／RPU	20	01E0H	000001E0H	nextPC
	割り込み	INTP133/INTCC133	P13IC3	INTP133/CC133一致	端子／RPU	21	01F0H	000001F0H	nextPC
	割り込み	INTP140/INTCC140	P14IC0	INTP140/CC140一致	端子／RPU	22	0200H	00000200H	nextPC
	割り込み	INTP141/INTCC141	P14IC1	INTP141/CC141一致	端子／RPU	23	0210H	00000210H	nextPC
	割り込み	INTP142/INTCC142	P14IC2	INTP142/CC142一致	端子／RPU	24	0220H	00000220H	nextPC
	割り込み	INTP143/INTCC143	P14IC3	INTP143/CC143一致	端子／RPU	25	0230H	00000230H	nextPC
	割り込み	INTP150/INTCC150	P15IC0	INTP150/CC150一致	端子／RPU	26	0240H	00000240H	nextPC
	割り込み	INTP151/INTCC151	P15IC1	INTP151/CC151一致	端子／RPU	27	0250H	00000250H	nextPC
	割り込み	INTP152/INTCC152	P15IC2	INTP152/CC152一致	端子／RPU	28	0260H	00000260H	nextPC
	割り込み	INTP153/INTCC153	P15IC3	INTP153/CC153一致	端子／RPU	29	0270H	00000270H	nextPC
	割り込み	INTCM40	CMIC40	CM40一致信号	RPU	30	0280H	00000280H	nextPC
	割り込み	INTCM41	CMIC41	CM41一致信号	RPU	31	0290H	00000290H	nextPC
	割り込み	INTDMA0	DMAIC0	DMAチャネル0転送終了	DMAC	32	02A0H	000002A0H	nextPC

注　nは0-FHの値

表７－１　割り込み一覧（2/2）

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
マスカブル	割り込み	INTDMA1	DMAIC1	DMAチャネル１転送終了	DMAC	33	02B0H	000002B0H	nextPC
	割り込み	INTDMA2	DMAIC2	DMAチャネル２転送終了	DMAC	34	02C0H	000002C0H	nextPC
	割り込み	INTDMA3	DMAIC3	DMAチャネル３転送終了	DMAC	35	02D0H	000002D0H	nextPC
	割り込み	INTCSI0	CSIC0	CSI0送受信完了	SIO	36	0300H	00000300H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	SIO	37	0310H	00000310H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	SIO	38	0320H	00000320H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	SIO	39	0330H	00000330H	nextPC
	割り込み	INTCSI1	CSIC1	CSI1送受信完了	SIO	40	0340H	00000340H	nextPC
	割り込み	INTSER1	SEIC1	UART1受信エラー	SIO	41	0350H	00000350H	nextPC
	割り込み	INTSR1	SRIC1	UART1受信完了	SIO	42	0360H	00000360H	nextPC
	割り込み	INTST1	STIC1	UART1送信完了	SIO	43	0370H	00000370H	nextPC
	割り込み	INTCSI2	CSIC2	CSI2送受信完了	SIO	44	0380H	00000380H	nextPC
	割り込み	INTCSI3	CSIC3	CSI3送受信完了	SIO	45	03C0H	000003C0H	nextPC
	割り込み	INTAD	ADIC	A/D変換終了	ADC	46	0400H	00000400H	nextPC

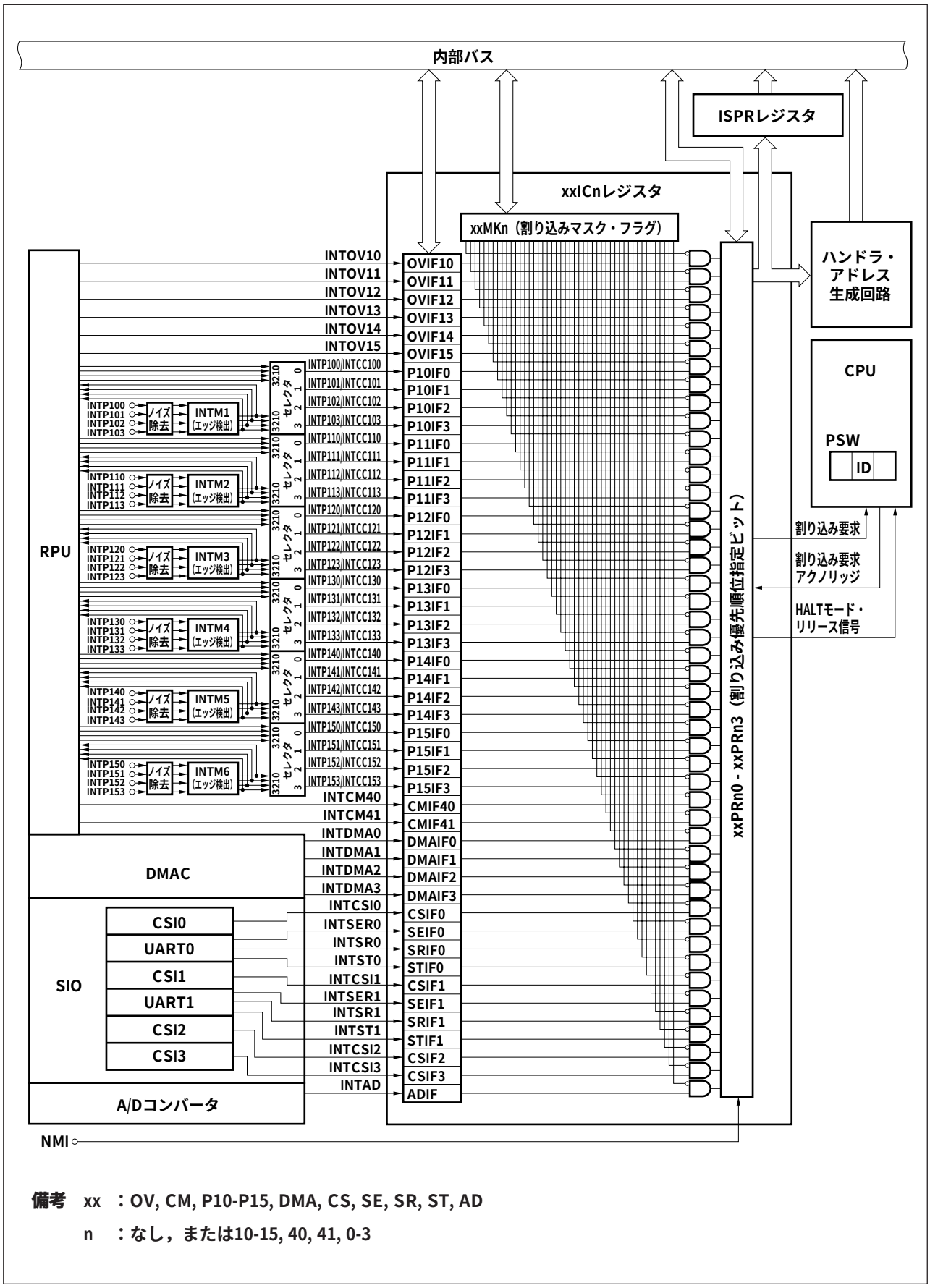
注意　INTP1mn（外部割り込み）とINTCC1mn（コンペア・レジスタの一致割り込み）は，制御レジスタを兼用しています（m = 0-5, n = 0-3）。タイマ・ユニット・モード・レジスタ10-15（TUM10-TUM15）のビット3-0（IMS1mn）で，INTP1mnとINTCC1mnのどちらかの割り込み要求を使用するかを設定してください（９.３（１）タイマ・ユニット・モード・レジスタ10-15（TUM10-TUM15）参照）。

備考１． ディフォールト・プライオリティ　：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。０が最高優先順位です。

復帰PC　：割り込み／例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。ただし，除算命令（DIV, DIVH, DIVU, DIVHU）実行中に割り込みを受け付けたときセーブされる復帰PC値は，カレントの命令（DIV, DIVH, DIVU, DIVHU）のPC値となります。

２． 不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

図７－１　割り込み制御機能ブロック図



備考　xx　：OV, CM, P10-P15, DMA, CS, SE, SR, ST, AD

n　：なし，または10-15, 40, 41, 0-3

7.2　ノンマスカブル割り込み

ノンマスカブル割り込み要求は，割り込み禁止（DI）状態であっても無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求はNMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ０（INTM0）のビット０（ESN0）で指定した有効エッジが検出されたとき，割り込みは発生します。

ノンマスカブル割り込みのサービス・プログラムを実行している（PSW. NP = 1）場合は，ノンマスカブル割り込み要求は，保留されます。保留されたノンマスカブル割り込みは，現在実行中のノンマスカブル割り込みサービス・プログラムの終了後（RETI命令実行後）または，LDSR命令によりPSW.NP=0にすると受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に，ノンマスカブル割り込み要求が２回以上発生しても，PSW.NP = 0後に受け付けられるノンマスカブル割り込みは１回だけになります。

備考　PSW. NP：PSWレジスタのNPビット

7.2.1　動　　作

NMI入力によりノンマスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（1）復帰PCをFEPCに退避します。
（2）現在のPSWをFEPSWへ退避します。
（3）ECRの上位ハーフワード（FECC）に例外コード（0010H）を書き込みます。
（4）PSWのNP, IDビットをセットし，EPビットをクリアします。
（5）PCにノンマスカブル割り込みに対するハンドラ・アドレス（00000010H）をセットし，制御を移します。

ノンマスカブル割り込みの処理形態を図７－２に示します。

図７－２　ノンマスカブル割り込みの処理形態

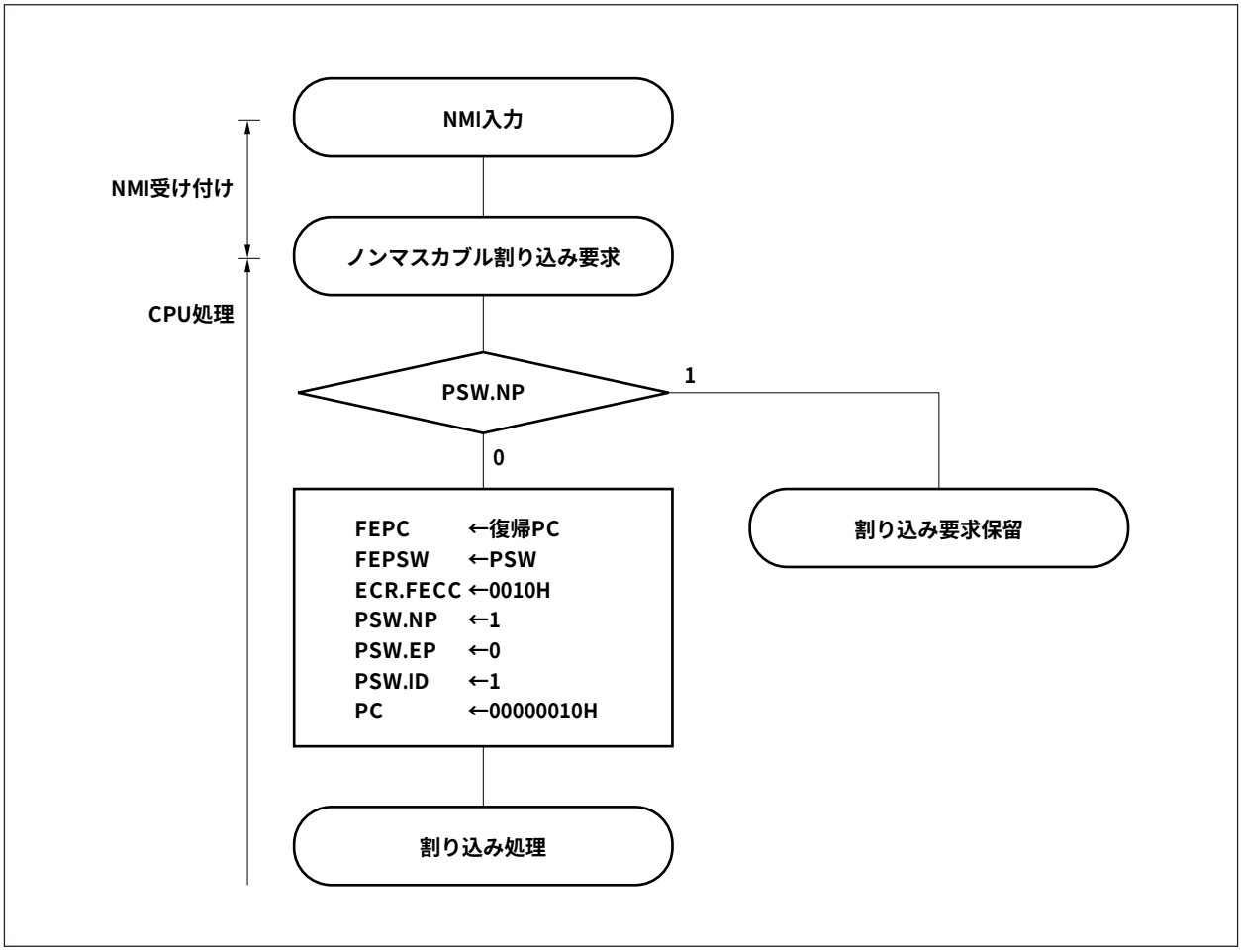
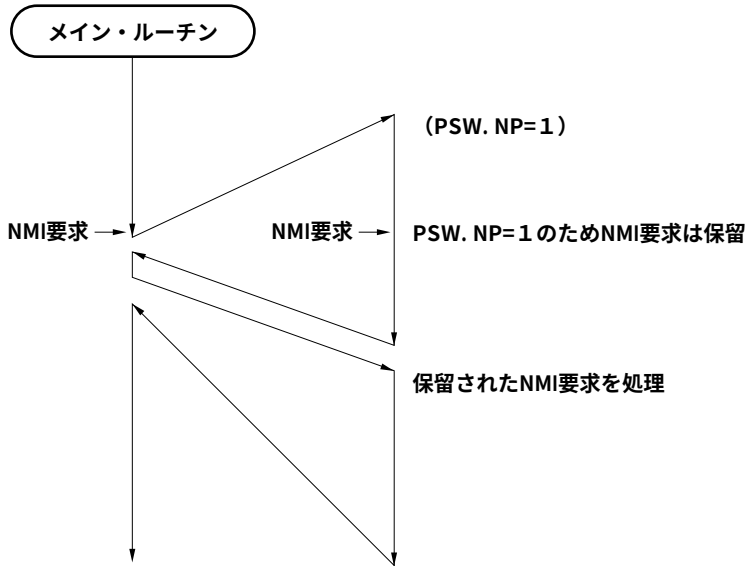
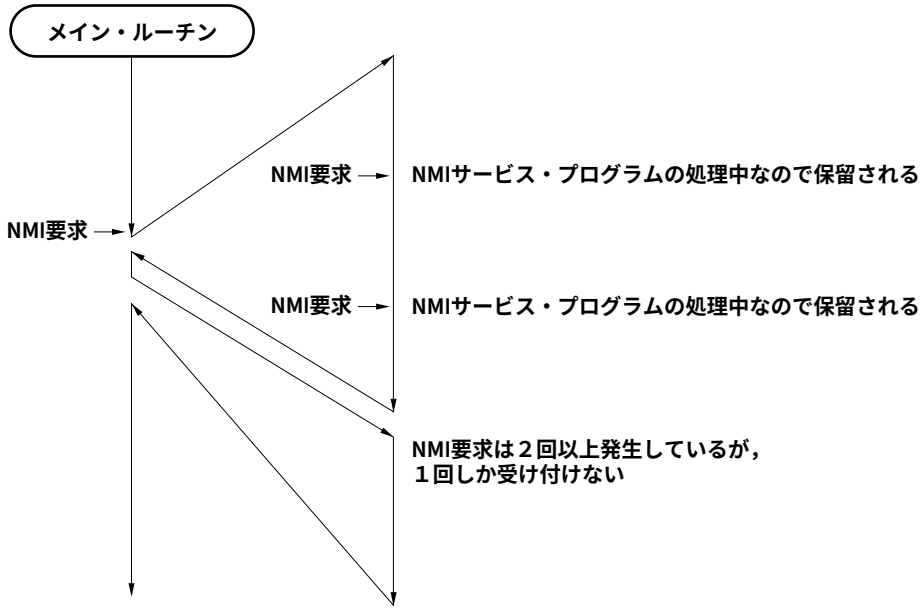


図７－３　ノンマスカブル割り込み要求の受け付け動作

（ａ）NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



（ｂ）NMIサービス・プログラム実行中に新たに２回のNMI要求が発生した場合



7.2.2　復　　帰

ノンマスカブル割り込み処理からの復帰は，RETI命令により行います。

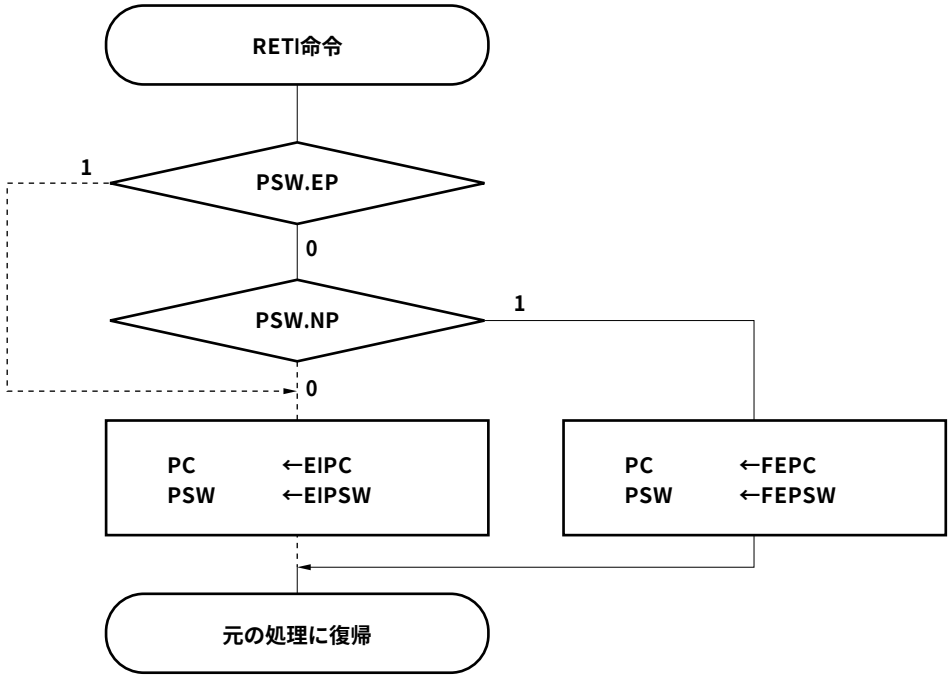
RETI命令の実行によりCPUは次の処理を行い，復帰PCのアドレスへ制御を移します。

（1）PSWのEPビットが０かつPSWのNPビットが１なので，FEPC, FEPSWから復帰PC, PSWを取り出します。

（2）取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図７－４に示します。

図７－４　RETI命令の処理形態



注意　ノンマスカブル割り込み処理中にLDSR命令によりPSW. EPビット，PSW. NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前でLDSR命令を使用してPSW. EP = 0, PSW. NP = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7.2.3　ノンマスカブル割り込みステータス・フラグ（NP）

NPフラグは，PSWのビット７です。

NPフラグは，ノンマスカブル割り込み（NMI）処理中であることを示すステータス・フラグです。

NMI割り込みが受け付けられるとセットされ，すべての割り込みと例外をマスクして多重割り込みを禁止します。

	31																															8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H

ビット位置	ビット名	意　　味
7	NP	NMI Pending NMI割り込み処理中であることを示します。 ０：NMI割り込み処理中でない。 １：NMI割り込み処理中。

7.2.4　ノイズ除去

NMI端子のノイズは，アナログ・ディレイによって除去します。ディレイ時間は60-220 nsです。この時間未満で変化する信号入力は，内部で受け付けられません。

なお，NMI端子はソフトウエアSTOPモードの解除に使用します。ソフトウエアSTOPモードでは，内部システム・クロックは停止しているため，内部システム・クロックを使用したノイズ除去を行っていません。

7.2.5　エッジ検出機能

INTM0は，ノンマスカブル割り込み（NMI）の有効エッジを指定するレジスタです。ESN0ビットによって，NMIの有効エッジを，立ち上がりエッジ，立ち下がりエッジのいずれかに指定できます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
INTM0	0	0	0	0	0	0	0	ESN0	アドレス FFFFF180H	初期値 00H

ビット位置	ビット名	意　　味
0	ESN0	Edge Select NMI NMI端子の有効エッジを指定します。 ０：立ち下がりエッジ １：立ち上がりエッジ

7.3　マスカブル割り込み

マスカブル割り込み要求は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求で，47種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は，ディフォールト優先順位によりその優先順位が決定します。また，ディフォールト優先順位とは別に，割り込み制御レジスタによって，８レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり，以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり，受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし，多重割り込みを行う場合，次の処理が必要です。

① EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避
② RETI命令を実行する前にDI命令を実行し，続いて①で退避させた値をEIPC, EIPSWに復帰

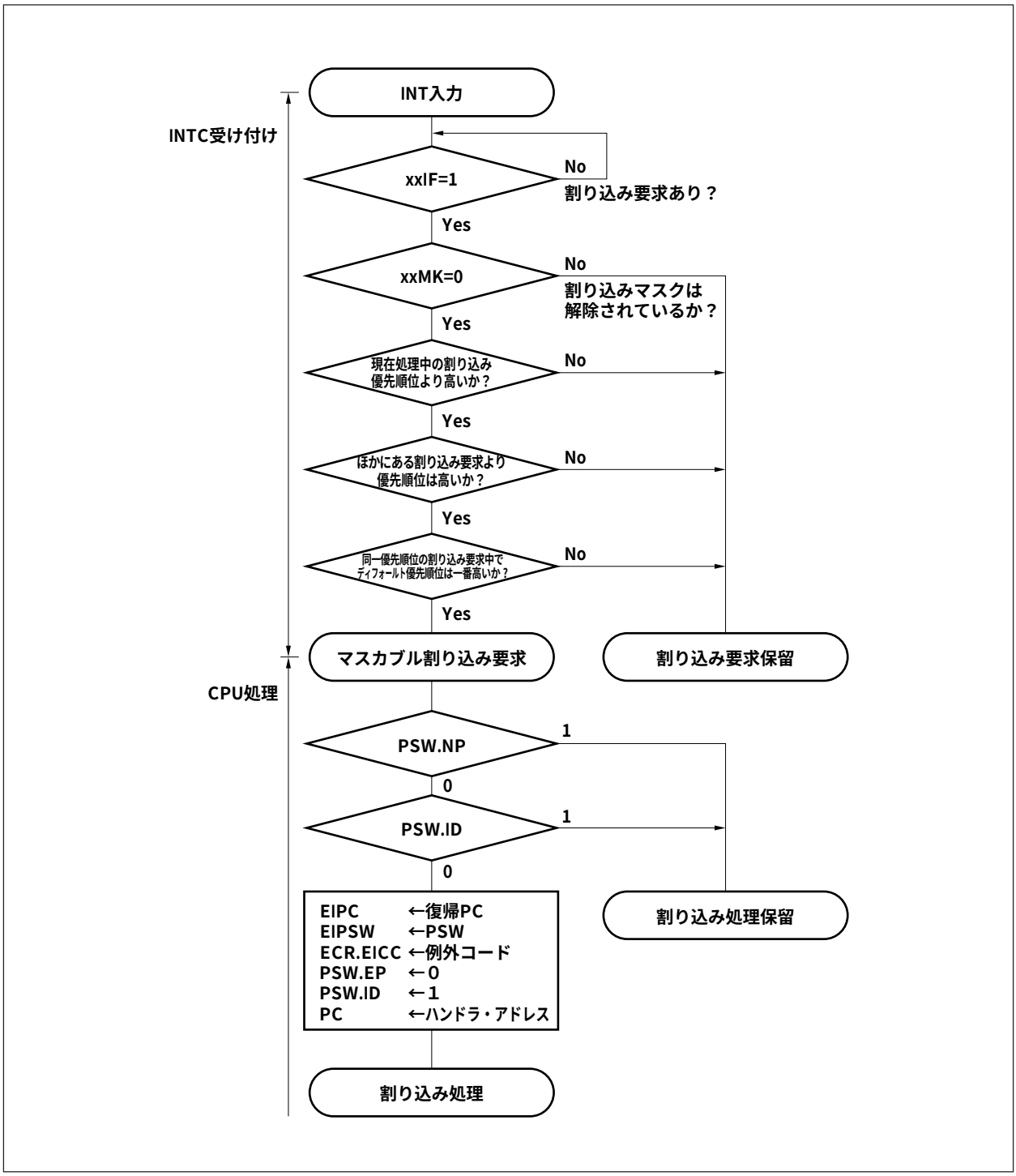
7.3.1　動　　作

INT入力によりマスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（１）復帰PCをEIPCに退避します。
（２）現在のPSWをEIPSWへ退避します。
（３）ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
（４）PSWのIDビットをセットし，EPビットをクリアします。
（５）PCに各割り込みに対するハンドラ・アドレスをセットし，制御を移します。

マスカブル割り込みの処理形態を図７－５に示します。

図７－５　マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と，ほかの割り込み処理中（PSW. NP=1またはPSW. ID=1）に発生したINT入力は，割り込みコントローラの内部で保留されます。この場合マスクを解除するか，またはRETI命令，LDSR命令を使用して，PSW. NP=0かつPSW. ID=0にすると，保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

7.3.2　復　　帰

マスカブル割り込み処理からの復帰は，RETI命令により行います。

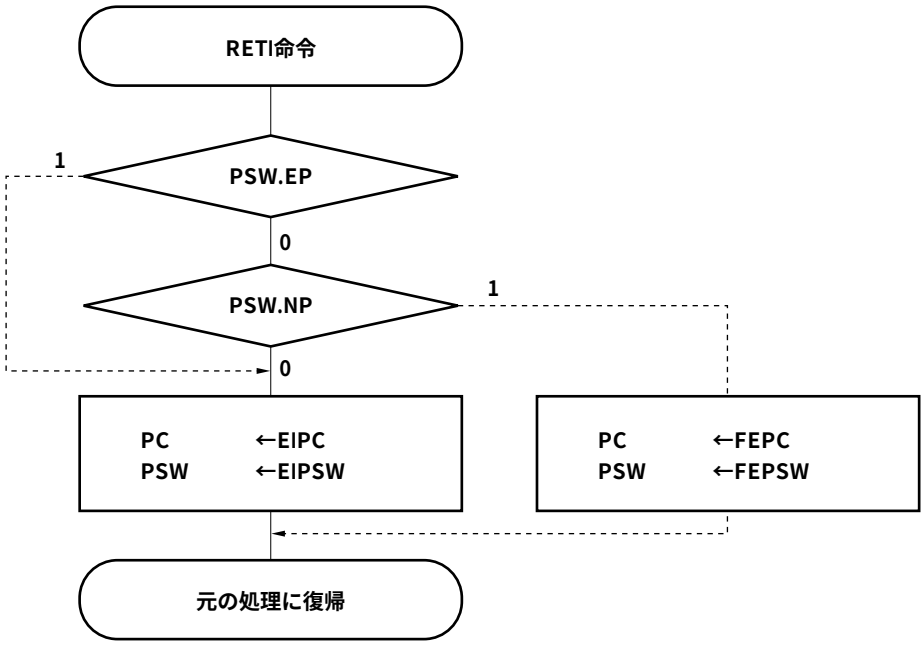
RETI命令の実行によりCPUは次の処理を行い，復帰PCのアドレスへ制御を移します。

（1）PSWのEPビットが０かつPSWのNPビットが０なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

（2）取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図７－６に示します。

図７－６　RETI命令の処理形態



注意　マスカブル割り込み処理中にLDSR命令によりPSW. EPビット，PSW. NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前でLDSR命令を使用してPSW. EP = 0, PSW. NP = 0に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

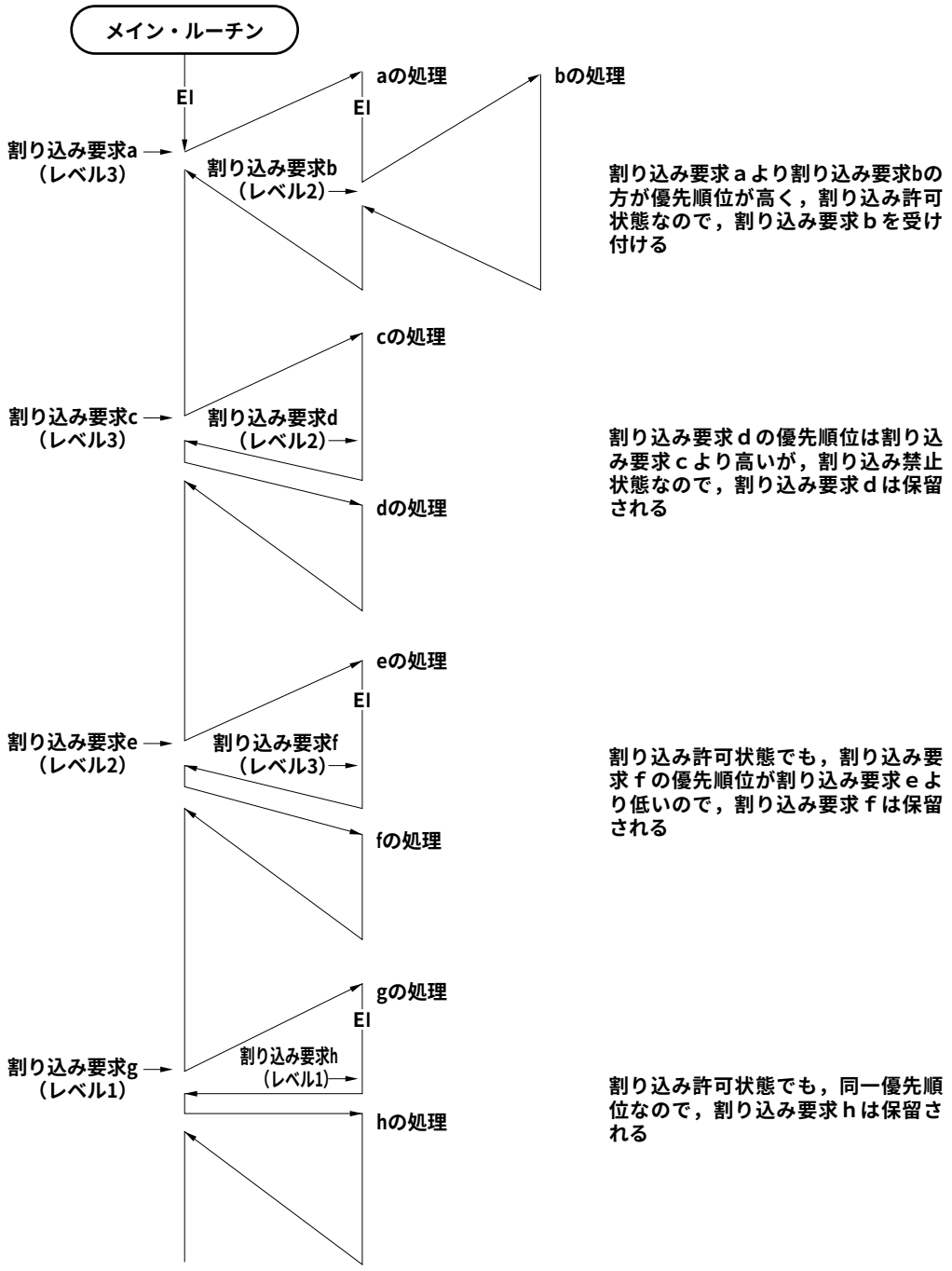
7.3.3　マスカブル割り込みの優先順位

INTCは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，割り込み制御レジスタ（xxICn）の割り込み優先順位指定ビット（xxPRn）によるプログラマブル優先順位制御があります。ディフォールト優先順位による優先順位制御は，xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込み処理を行います（**表７－１　割り込み一覧**参照）。プログラマブル優先順位制御は，各割り込み要求を優先順位指定フラグの設定によって８レベルに分けます。

なお，割り込みを受け付けるとPSWのIDフラグが自動的にセット（１）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（０）し，割り込み許可状態にしてください。

図７－７　割り込み処理中にほかの割り込み要求が発生した場合の処理例（1/2）

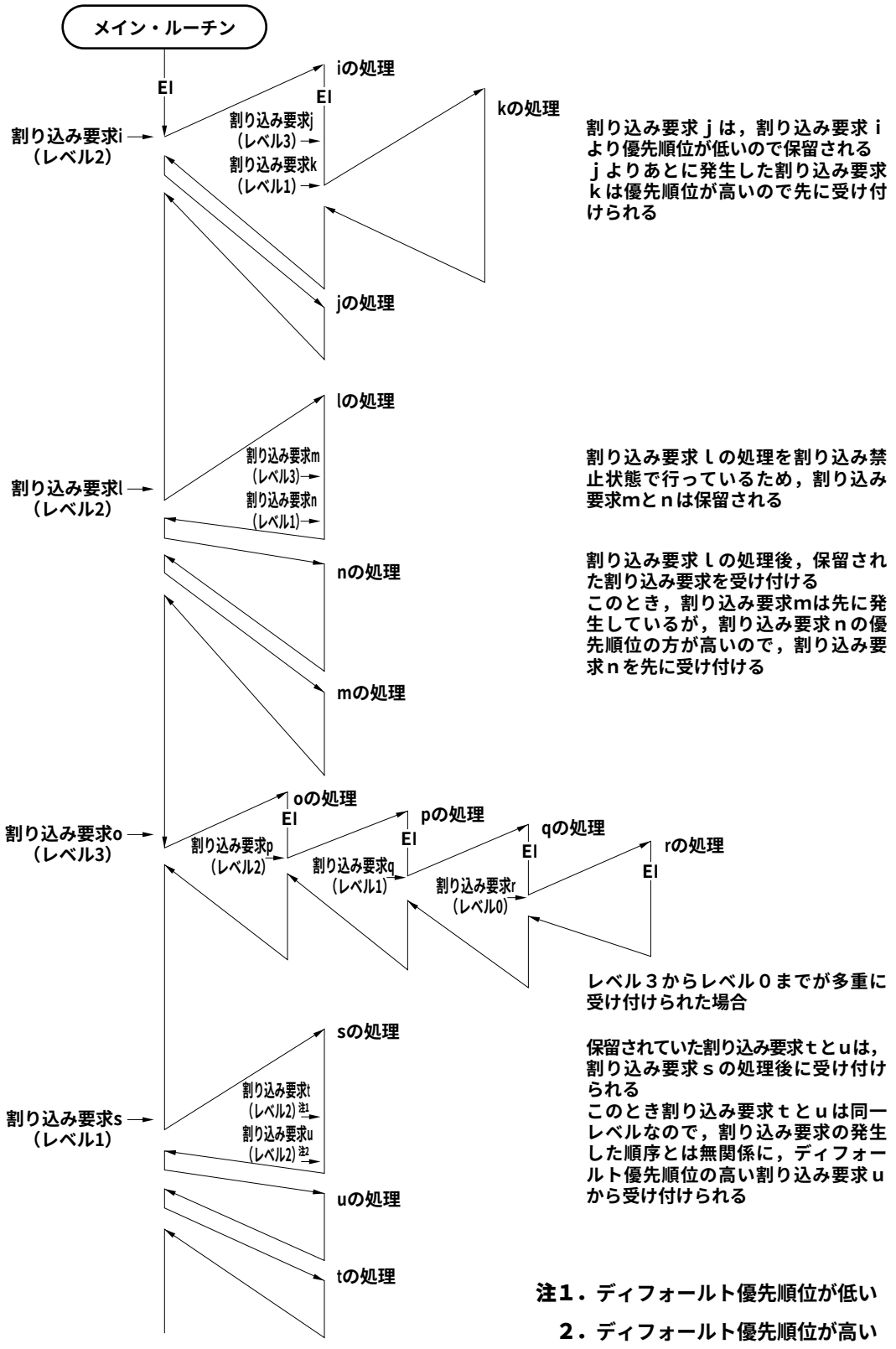


備考１． 図中のa-uは，割り込み要求を区別するためにつけた仮の名称です。

２． 図中のディフォールト優先順位の高い／低いは，２つの割り込み要求間の相対的な優先順位の高さを示します。

注意　多重割り込みを行うときはEIPC, EIPSWレジスタの内容を退避する必要があります。

図７－７　割り込み処理中にほかの割り込み要求が発生した場合の処理例（2/2）



割り込み要求ｊは，割り込み要求ｉより優先順位が低いので保留されるｊよりあとに発生した割り込み要求ｋは優先順位が高いので先に受け付けられる

割り込み要求ｌの処理を割り込み禁止状態で行っているため，割り込み要求mとｎは保留される

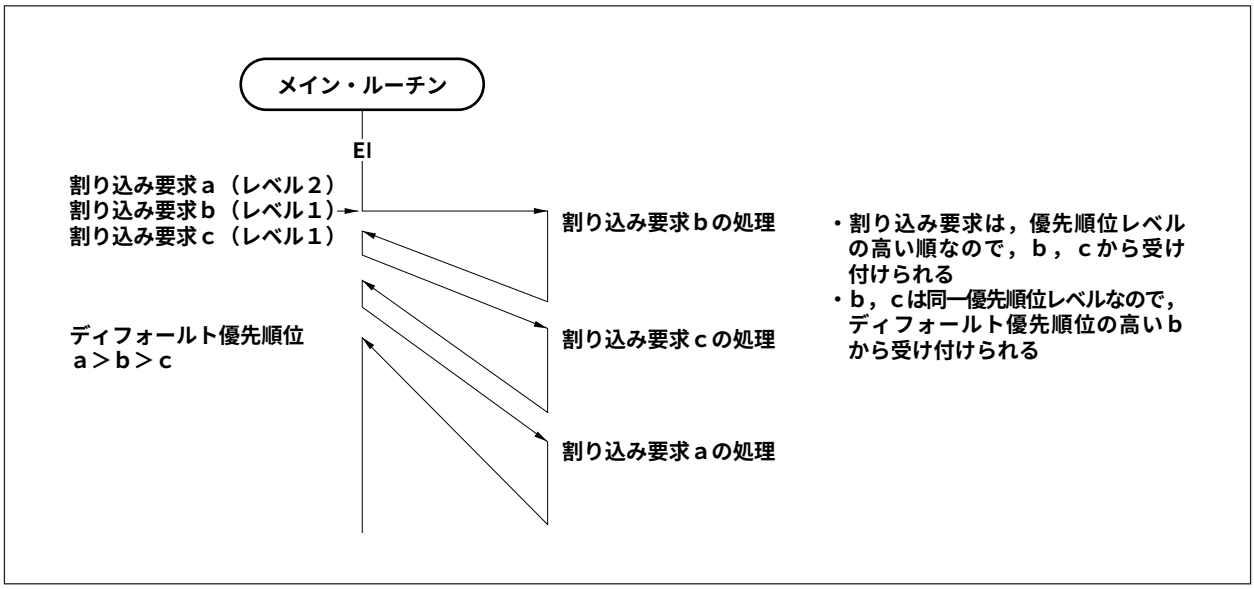
割り込み要求ｌの処理後，保留された割り込み要求を受け付ける
このとき，割り込み要求mは先に発生しているが，割り込み要求ｎの優先順位の方が高いので，割り込み要求ｎを先に受け付ける

レベル３からレベル０までが多重に受け付けられた場合

保留されていた割り込み要求ｔとuは，割り込み要求ｓの処理後に受け付けられる
このとき割り込み要求ｔとｕは同一レベルなので，割り込み要求の発生した順序とは無関係に，ディフォールト優先順位の高い割り込み要求ｕから受け付けられる

注１．ディフォールト優先順位が低い
２．ディフォールト優先順位が高い

図７－８　同時発生した割り込み要求の処理例



7.3.4　割り込み制御レジスタ（xxICn）

割り込み要求（マスカブル割り込み）ごとに割り当てられ，各割り込みに対する制御条件を設定します。
8/1ビット単位でリード／ライト可能です。

★　**注意**　xxICnレジスタのxxIFnビットを読み出す場合は，割り込み禁止状態で行ってください。割り込み許可状態でxxIFnビットを読み出すと，割り込みの受け付けとビットの読み出しのタイミングが競合した場合に，正常な値が読み出せないことがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0	FFFFF100H-FFFFF15CH	47H

ビット位置	ビット名	意　　味
7	xxIFn	Interrupt Request Flag 割り込み要求フラグです。 ０：割り込み要求なし １：割り込み要求あり xxIFnフラグは，割り込み要求が受け付けられるとハードウエアにより自動的にリセットされます。
6	xxMKn	Mask Flag 割り込みマスク・フラグです。 ０：割り込み処理を許可 １：割り込み処理を禁止（保留）
2-0	xxPRn2-xxPRn0	Priority 各割り込みごとに８レベルの優先順位を指定します。

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル０（最高位）を指定
0	0	1	レベル１を指定
0	1	0	レベル２を指定
0	1	1	レベル３を指定
1	0	0	レベル４を指定
1	0	1	レベル５を指定
1	1	0	レベル６を指定
1	1	1	レベル７（最低位）を指定

備考　xx　：各周辺ユニット識別名称（OV, P10-P15, CM, CS, SE, SR, ST, AD, DMA）
n　：周辺ユニット番号（なし，または0-3, 10-15, 40, 41）

各割り込み制御レジスタのアドレスとビットは次のようになります。

表７－２　割り込み制御レジスタのアドレスとビット（1/2）

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF100H	OVIC10	OVIF10	OVMK10	0	0	0	OVPR102	OVPR101	OVPR100
FFFFF102H	OVIC11	OVIF11	OVMK11	0	0	0	OVPR112	OVPR111	OVPR110
FFFFF104H	OVIC12	OVIF12	OVMK12	0	0	0	OVPR122	OVPR121	OVPR120
FFFFF106H	OVIC13	OVIF13	OVMK13	0	0	0	OVPR132	OVPR131	OVPR130
FFFFF108H	OVIC14	OVIF14	OVMK14	0	0	0	OVPR142	OVPR141	OVPR140
FFFFF10AH	OVIC15	OVIF15	OVMK15	0	0	0	OVPR152	OVPR151	OVPR150
FFFFF10CH	CMIC40	CMIF40	CMMK40	0	0	0	CMPR402	CMPR401	CMPR400
FFFFF10EH	CMIC41	CMIF41	CMMK41	0	0	0	CMPR412	CMPR411	CMPR410
FFFFF110H	P10IC0	P10IF0	P10MK0	0	0	0	P10PR02	P10PR01	P10PR00
FFFFF112H	P10IC1	P10IF1	P10MK1	0	0	0	P10PR12	P10PR11	P10PR10
FFFFF114H	P10IC2	P10IF2	P10MK2	0	0	0	P10PR22	P10PR21	P10PR20
FFFFF116H	P10IC3	P10IF3	P10MK3	0	0	0	P10PR32	P10PR31	P10PR30
FFFFF118H	P11IC0	P11IF0	P11MK0	0	0	0	P11PR02	P11PR01	P11PR00
FFFFF11AH	P11IC1	P11IF1	P11MK1	0	0	0	P11PR12	P11PR11	P11PR10
FFFFF11CH	P11IC2	P11IF2	P11MK2	0	0	0	P11PR22	P11PR21	P11PR20
FFFFF11EH	P11IC3	P11IF3	P11MK3	0	0	0	P11PR32	P11PR31	P11PR30
FFFFF120H	P12IC0	P12IF0	P12MK0	0	0	0	P12PR02	P12PR01	P12PR00
FFFFF122H	P12IC1	P12IF1	P12MK1	0	0	0	P12PR12	P12PR11	P12PR10
FFFFF124H	P12IC2	P12IF2	P12MK2	0	0	0	P12PR22	P12PR21	P12PR20
FFFFF126H	P12IC3	P12IF3	P12MK3	0	0	0	P12PR32	P12PR31	P12PR30
FFFFF128H	P13IC0	P13IF0	P13MK0	0	0	0	P13PR02	P13PR01	P13PR00
FFFFF12AH	P13IC1	P13IF1	P13MK1	0	0	0	P13PR12	P13PR11	P13PR10
FFFFF12CH	P13IC2	P13IF2	P13MK2	0	0	0	P13PR22	P13PR21	P13PR20
FFFFF12EH	P13IC3	P13IF3	P13MK3	0	0	0	P13PR32	P13PR31	P13PR30
FFFFF130H	P14IC0	P14IF0	P14MK0	0	0	0	P14PR02	P14PR01	P14PR00
FFFFF132H	P14IC1	P14IF1	P14MK1	0	0	0	P14PR12	P14PR11	P14PR10
FFFFF134H	P14IC2	P14IF2	P14MK2	0	0	0	P14PR22	P14PR21	P14PR20
FFFFF136H	P14IC3	P14IF3	P14MK3	0	0	0	P14PR32	P14PR31	P14PR30
FFFFF138H	P15IC0	P15IF0	P15MK0	0	0	0	P15PR02	P15PR01	P15PR00
FFFFF13AH	P15IC1	P15IF1	P15MK1	0	0	0	P15PR12	P15PR11	P15PR10
FFFFF13CH	P15IC2	P15IF2	P15MK2	0	0	0	P15PR22	P15PR21	P15PR20
FFFFF13EH	P15IC3	P15IF3	P15MK3	0	0	0	P15PR32	P15PR31	P15PR30
FFFFF140H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF142H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF144H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF146H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF148H	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFF14AH	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFF14CH	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20
FFFFF14EH	CSIC3	CSIF3	CSMK3	0	0	0	CSPR32	CSPR31	CSPR30
FFFFF150H	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFF152H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF154H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF156H	SEIC1	SEIF1	SEMK1	0	0	0	SEPR12	SEPR11	SEPR10

表７－２　割り込み制御レジスタのアドレスとビット（2/2）

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF158H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF15AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF15CH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

7.3.5　インサービス・プライオリティ・レジスタ（ISPR）

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると，その割り込み要求の優先順位レベルに対応するビットがセット（１）され，サービス中保持されます。

RETI命令の実行の際，ISPRレジスタ内でセット（１）されているビットのうち，最も優先順位の高い割り込み要求に対応するビットがハードウエアにより自動的にクリア（０）されます。ただし，ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア（０）されません。

8/1ビット単位でリードだけ可能です。

★　注意　ISPRレジスタを読み出す場合は，割り込み禁止状態で行ってください。割り込み許可状態でISPRレジスタを読み出すと，割り込みの受け付けとレジスタの読み出しのタイミングが競合した場合に，正常な値が読み出せないことがあります。

	7	6	5	4	3	2	1	0		
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	アドレス FFFFF166H	初期値 00H

ビット位置	ビット名	意　　味
7-0	ISPR7-ISPR0	In-Service Priority Flag 受け付け中の割り込みの優先順位を示します。 ０：優先順位ｎの割り込み要求を受け付けていない １：優先順位ｎの割り込み要求を受け付け中

備考　n = 0-7（優先順位のレベル）

7.3.6　マスカブル割り込みステータス・フラグ（ID）

IDフラグは，PSWのビット５です。

マスカブル割り込みの動作状態を制御し，割り込み要求受け付けの許可／禁止制御情報を記憶します。

	31																															8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H

ビット位置	ビット名	意　　味
5	ID	Interrupt Disable マスカブル割り込み処理の許可／禁止を示します。 ０：マスカブル割り込みの受け付け許可 １：マスカブル割り込みの受け付け禁止（保留） DI命令でセット（１），EI命令でリセット（０）されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。 ノンマスカブル割り込みおよび例外は，このフラグの状態に関係なく受け付けられます。 また，マスカブル割り込みを受け付けると，IDフラグはハードウエアで自動的にセット（１）されます。 受け付け禁止期間中（ID＝１）に発生した割り込み要求は，xxICnレジスタのxxIFnビットがセット（１）され，IDフラグがクリア（０）されると受け付けられます。

7.3.7　ノイズ除去

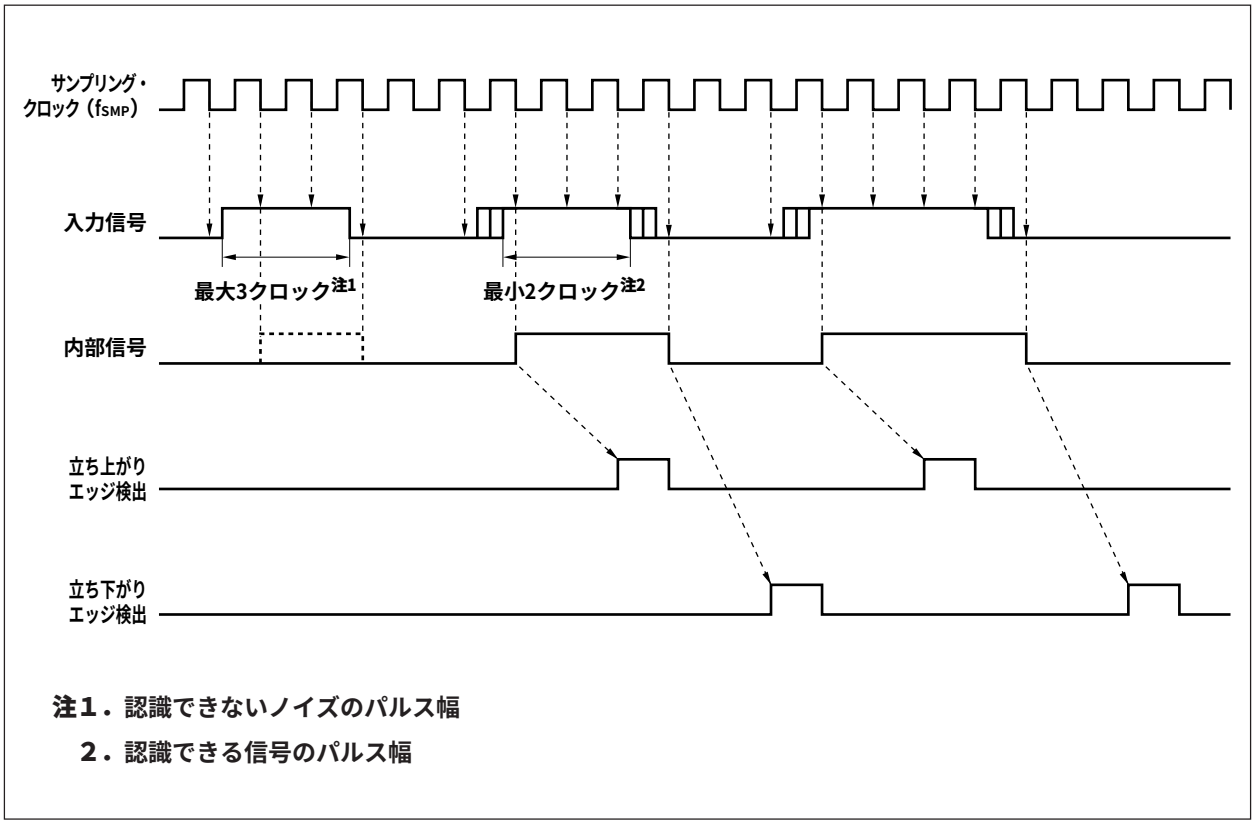
INTPn0-INTPn3, TIn, TCLRn, ADTRG端子には，それぞれディジタル・ノイズ除去回路を付加しています（n = 10-15）。これにより，これらの端子の入力レベルをサンプリング・クロック（f_{SMP}）ごとにサンプリングします。その結果，同じレベルを３回連続で検出できなかった場合，その入力パルスをノイズとして除去します。

次に，各端子のノイズ除去時間を示します。

端　子	サンプリング・クロック（f_{SMP}）	ノイズ除去時間
TCLR10-TCLR15	φ	2×φ ～ 3×φ
TI10-TI15	φ	
INTP100-INTP103, INTP110-INTP113, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143, INTP150-INTP152, INTP153/ADTRG	φ	

備考　φ：内部システム・クロック

図７－９　ノイズ除去タイミング例



注意１．入力パルス幅が２-３サンプリング・クロックの場合は，有効エッジとして検出するか，ノイズとして除去するかは不定です。

２．確実にパルスとして検出するには，３サンプリング・クロック以上同じレベルを入力してください。

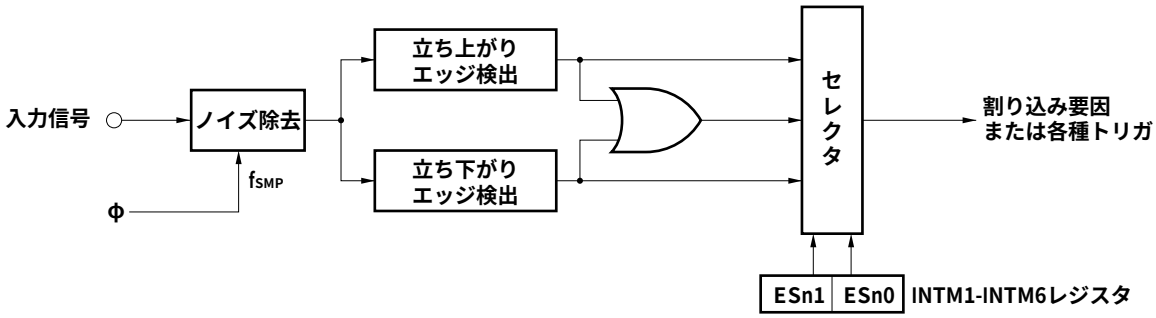
３．サンプリングに同期してノイズが発生している場合は，ノイズとして認められないことがあります。このような場合は，入力端子にフィルタを付けてノイズを除去してください。

★　7.3.8　エッジ検出機能

INTPn0-INTPn3端子は，有効エッジをプログラマブルに選択できます。選択できる有効エッジは次のどれかです（n = 10-15）。

・立ち上がりエッジ
・立ち下がりエッジ
・立ち上がり，立ち下がり両エッジ

エッジ検出されたINTPn0-INTPn3信号は，割り込み要因やキャプチャ・トリガになります。
次に，これらの端子のエッジ検出部のブロック図を示します。



備考　n = 00-03, 10-13, 20-23, 30-33, 40-43, 50-53
φ　：内部システム・クロック
f_{SMP}　：サンプリング・クロック

有効エッジは外部割り込みモード・レジスタ1-6（INTM1-INTM6）で指定します。

（1）外部割り込みモード・レジスタ1-6（INTM1-INTM6）

外部端子による外部割り込み要求（INTP100-INTP103, INTP110-INTP113, INTP120-INTP123, INTP130-INTP133, INTP140-INTP143, INTP150-INTP153）の有効エッジを指定するレジスタです。各レジスタと，そのレジスタが制御する外部割り込み要求との対応を次に示します。

・INTM1：INTP100-INTP103
・INTM2：INTP110-INTP113
・INTM3：INTP120-INTP123
・INTM4：INTP130-INTP133
・INTM5：INTP140-INTP143
・INTM6：INTP150-INTP153

INTP153はA/Dコンバータの外部トリガ入力（ADTRG）と端子が兼用になっています。外部トリガ入力（ADTRG）の有効エッジは立ち下がりエッジ固定です。したがって，INTM6のES531, ES530ビットは，A/Dコンバータ・モード・レジスタ１（ADM1）のTRG0-TRG2ビットにより外部トリガ・モードに設定されている場合は，INTP153の有効エッジ指定を立ち下がりエッジ（ES531, ES530ビット = 00）に設定してくださ

い。

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり，立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTM1	ES031	ES030	ES021	ES020	ES011	ES010	ES001	ES000	FFFFF182H	00H
制御端子	INTP103		INTP102		INTP101		INTP100			
INTM2	ES131	ES130	ES121	ES120	ES111	ES110	ES101	ES100	FFFFF184H	00H
制御端子	INTP113		INTP112		INTP111		INTP110			
INTM3	ES231	ES230	ES221	ES220	ES211	ES210	ES201	ES200	FFFFF186H	00H
制御端子	INTP123		INTP122		INTP121		INTP120			
INTM4	ES331	ES330	ES321	ES320	ES311	ES310	ES301	ES300	FFFFF188H	00H
制御端子	INTP133		INTP132		INTP131		INTP130			
INTM5	ES431	ES430	ES421	ES420	ES411	ES410	ES401	ES400	FFFFF18AH	00H
制御端子	INTP143		INTP142		INTP141		INTP140			
INTM6	ES531	ES530	ES521	ES520	ES511	ES510	ES501	ES500	FFFFF18CH	00H
制御端子	INTP153		INTP152		INTP151		INTP150			

ビット位置	ビット名	意　　味
7-0	ESmn1, ESmn0 （m = 5-0, n = 3-0）	Edge Select INTP1mn端子の有効エッジを指定します。

ESmn1	ESmn0	動　　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり，立ち下がり両エッジ

7.4　ソフトウエア例外

ソフトウエア例外は，CPUのTRAP命令の実行により発生する例外で，常に受け付けが可能です。

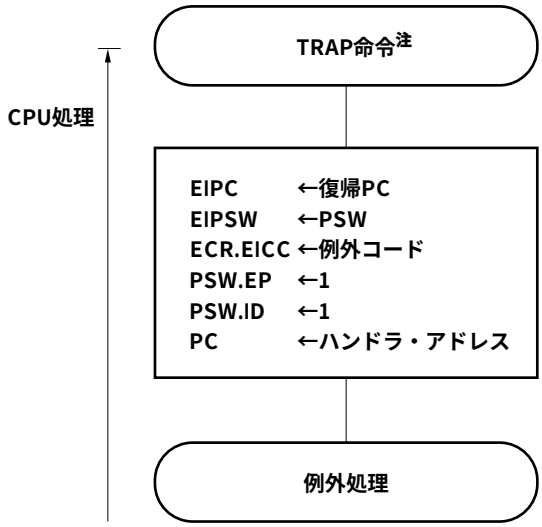
7.4.1　動　　作

ソフトウエア例外が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（1）復帰PCをEIPCに退避します。
（2）現在のPSWをEIPSWへ退避します。
（3）ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
（4）PSWのEP, IDビットをセットします。
（5）PCにソフトウエア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし，制御を移します。

ソフトウエア例外の処理形態を図７－10に示します。

図７－10　ソフトウエア例外の処理形態



注　TRAP命令フォーマット：TRAP vector（ただし，vectorは0-1FHの値）

ハンドラ・アドレスは，TRAP命令のオペランド（vector）によって決まります。vectorが0-0FHの場合は00000040Hとなり，10H-1FHの場合は00000050Hとなります。

7.4.2　復　　帰

ソフトウエア例外処理からの復帰は，RETI命令により行います。

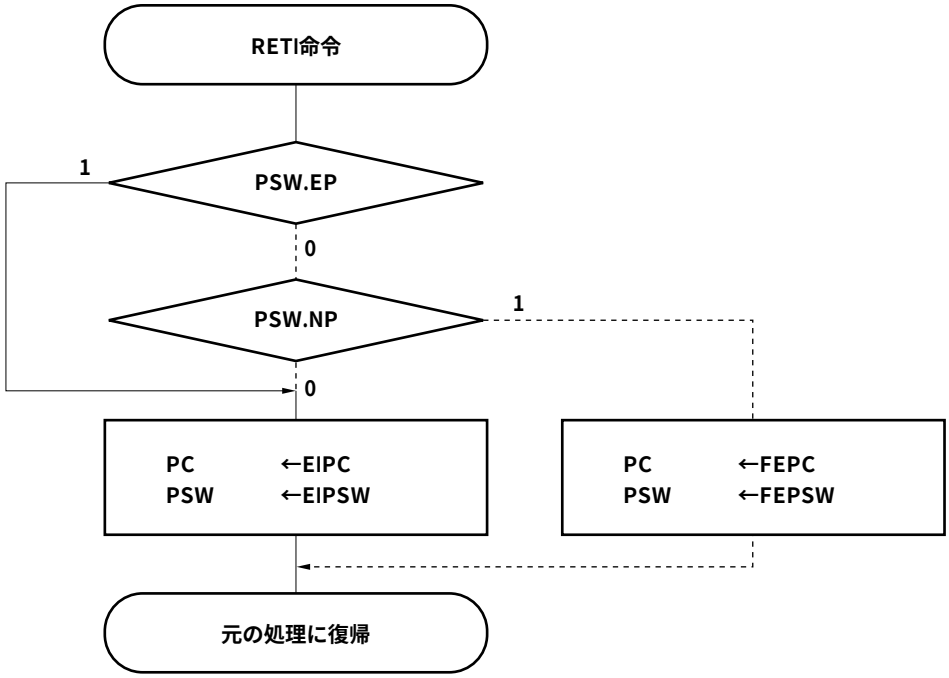
RETI命令の実行によりCPUは次の処理を行い，復帰PCのアドレスへ制御を移します。

（1）PSWのEPビットは１なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

（2）取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図７－11に示します。

図７－11　RETI命令の処理形態



注意　ソフトウエア例外処理中にLDSR命令によりPSW. EPビット，PSW. NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前でLDSR命令を使用してPSW.EP=1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7.4.3　例外ステータス・フラグ（EP）

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

	31																																8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z		初期値 00000020H

ビット位置	ビット名	意　　味
6	EP	Exception Pending 例外処理中であることを示します。 ０：例外処理中ではない。 １：例外処理中。

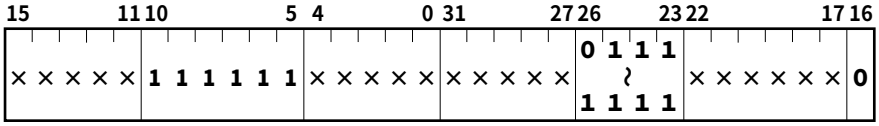
7.5　例外トラップ

例外トラップは，命令の不正実行が発生した場合に要求される割り込みです。V850E/MS1では，不正命令コード例外（ILGOP:ILleGal OPcode trap）が例外トラップに当たります。

不正命令コード例外は，次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生します。

7.5.1　不正命令コード

不正命令コードは，32ビット長命令形式であり，ビット10-5が111111Bであり，かつビット26-23が0111B-1111B, ビット16が0Bになる任意の命令コードとして定義します。



×：任意

注意　不正命令コードには，将来，新規に命令を割り当てる可能性があるため，使用しないことを推奨します。

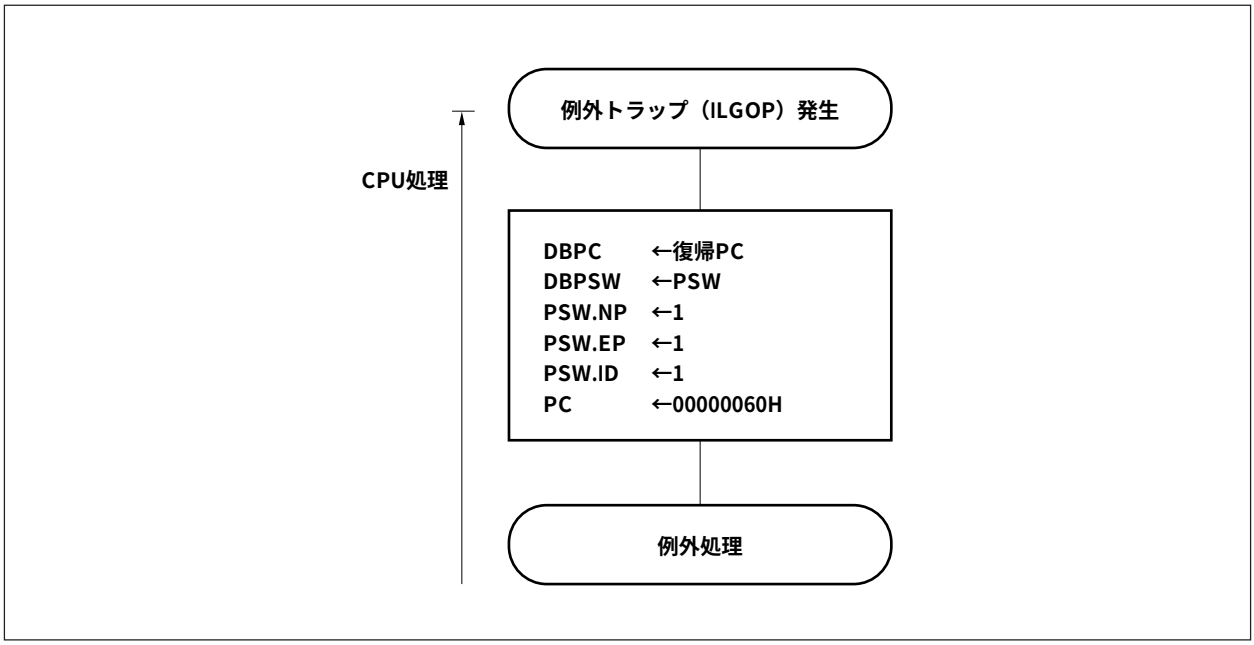
7.5.2　動　　作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（１）復帰PCをDBPCに退避します。
（２）現在のPSWをDBPSWへ退避します。
（３）PSWのNP, EP, IDビットをセットします。
（４）PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図７－12に示します。

図７－12　例外トラップの処理形態



7.5.3　復　　帰

例外トラップからの復帰はできません。$\overline{\text{RESET}}$入力により，システム・リセットを行ってください。

7.6　多重割り込み処理制御

多重割り込み処理制御は，現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合，現在処理中の割り込みを中断して，優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求であった場合は，その割り込み要求は保留されます。

マスカブル割り込みの多重処理制御は，割り込み許可状態（ID = 0）のときに行われます。したがって，多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態（ID = 0）にする必要があります。

マスカブル割り込みまたはソフトウエア例外のサービス・プログラム中に，マスカブル割り込みの許可またはソフトウエア例外を発生させる場合はEIPC, EIPSWを退避する必要があります。

次のような手順で行います。

（1）サービス・プログラム中にマスカブル割り込みを受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```
    …
    …
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
・EI命令（割り込み受け付け許可）
    …
    …                          ←マスカブル割り込み受け付け
    …
    …
・DI命令（割り込み受け付け禁止）
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令
```

（2）サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

…	
…	
・EIPCをメモリまたはレジスタへ退避	
・EIPSWをメモリまたはレジスタへ退避	
…	
・TRAP命令	←TRAP命令などの例外受け付け
…	
・退避していた値をEIPSWに復帰	
・退避していた値をEIPCに復帰	
・RETI命令	

多重割り込み処理制御のための優先順位は，各マスカブル割り込み要求ごとに0-7までの８レベル（０が最優先）が，ソフトウエアにより任意に設定可能です。優先順位レベルの設定は，マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には，xxMKnビットにより割り込み要求はマスクされ，xxPRn0-xxPRn2ビットにより優先順位はレベル７に設定されます。

マスカブル割り込みの優先順位は次のようになります。

（高）　レベル０＞レベル１＞レベル２＞レベル３＞レベル４＞レベル５＞レベル６＞レベル７　（低）

多重処理制御により中断された割り込み処理は，優先順位レベルの高い割り込み処理が終了し，RETI命令が実行されたあと，再開します。

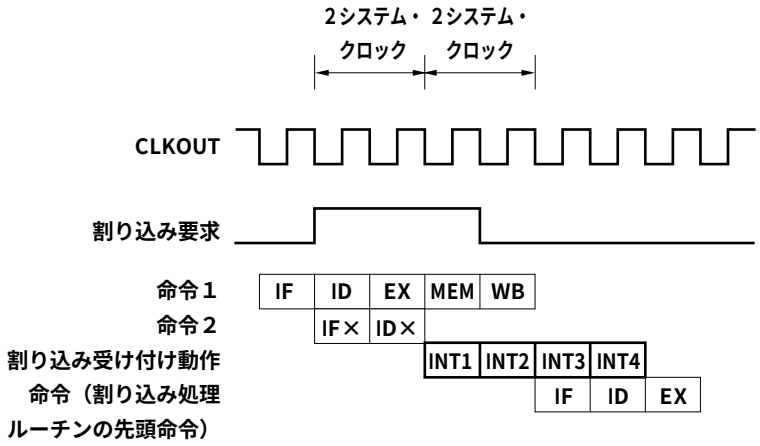
保留された割り込み要求は，実行中の割り込み処理が終了したあと，RETI命令の実行後に受け付けられます。

注意　ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では，マスカブル割り込みを受け付けず，保留します。

7.7　割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間は次のとおりです。

図７－13　割り込み要求受け付け時のパイプライン動作（概略）



備考　INT1-INT4：割り込み受け付け処理
IF×：無効となる命令フェッチ
ID×：無効となる命令デコード

割り込み応答時間（内部システム・クロック）			条　　件
	内部割り込み	外部割り込み	
最小	4	6	次の場合は除きます。 ・IDLE/ソフトウエアSTOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・割り込み制御レジスタへのアクセス時
最大	10	12	

7.8　割り込みが受け付けられない期間

割り込み受け付けは，命令の実行中に行います。ただし，割り込み要求非サンプル命令とその次の命令の間では，割り込みを受け付けません。

割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR　reg2, 0x5命令（対PSW）
- 割り込み制御レジスタ（xxICn），コマンド・レジスタ（PRCMD）に対するストア命令

第８章　クロック発生機能

クロック・ジェネレータ（CG）は，CPUをはじめとする内蔵の各ユニットに供給される内部システム・クロック（φ）を発生，制御します。

8.1　特　　徴

○PLL（Phase locked loop）シンセサイザによる逓倍機能

○クロック・ソース

・発振子接続による発振：f_{XX} =φ/５

・外部クロック：f_{XX} = 2×φ，φ/５

○パワー・セーブ制御

・HALTモード

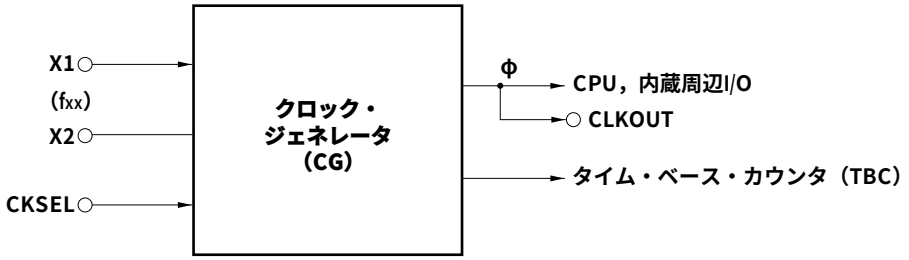
・IDLEモード

・ソフトウエアSTOPモード

・クロック出力インヒビット機能

○内部システム・クロック出力機能

8.2 構　　成



備考　φ　：内部システム・クロック周波数

fxx　：外部発振子または外部クロック周波数

8.3　入力クロック選択

クロック・ジェネレータは，発振回路とPLLシンセサイザから構成されており，たとえば，8 MHzのクリスタル振動子またはセラミック発振子をX1，X2端子に接続することにより，40 MHzの内部システム・クロック（φ）を生成できます（μPD703100-40, 703100A-40の場合）。

また，発振回路には外部クロックを直接入力することもできます。この場合，X1端子だけにクロック信号を入力し，X2端子はオープンにしてください。

クロック・ジェネレータは基本動作モードとして，PLLモードとダイレクト・モードの２種類を備えます。動作モードの選択は，CKSEL端子で行います。この端子の入力は，リセット時にラッチします。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

注意　CKSEL端子は入力レベルを固定して使用してください。
動作中に切り替えると誤動作する可能性があります。

8.3.1　ダイレクト・モード

ダイレクト・モードでは，内部システム・クロックの２倍の周波数の外部クロックを入力します。おもに，V850E/MS1を比較的低周波数で動作させる応用システムに使用します。EMI対策を考慮して，外部クロックの周波数（fxx）が40 MHz（内部システム・クロック（φ）= 20 MHz）以上の場合はPLLモードを推奨します。

注意　ダイレクト・モードでは必ず外部クロックを入力してください（外部発振子は接続しないでください）。

8.3.2　PLLモード

PLLモードでは，外部発振子を接続または外部クロックを入力することにより，これをPLLシンセサイザにより逓倍し，内部システム・クロック（φ）を生成します。

リセット時，入力クロックの周波数（fxx）に対して，５倍の周波数（５×fxx）の内部システム・クロック（φ）が生成されます。

PLLモードでは，外部発振子や外部クロック・ソースからのクロック供給が停止した場合に，クロック・ジェネレータ内部の電圧制御発振回路（VCO）の自走周波数に基づく内部システム・クロック（φ）は動作を継続します。この場合，φ = 約１MHz（ターゲット）になります。なお，この自走周波数になることを期待した使い方をしないでください。

例　PLLモード時の使用クロック

システム・クロック周波数（φ）［MHz］	外部発振子／外部クロック周波数（fxx）［MHz］
40.000注	8.0000
32.768	6.5536
25.000	5.0000
20.000	4.0000

注　μPD703100-40, 703100A-40のみ。

8.3.3　クロック・コントロール・レジスタ（CKC）

PLLモード時に，内部システム・クロック周波数（φ）を制御する８ビットのレジスタで，プログラムの暴走などによって誤って容易に書き換えられないように，特定の命令シーケンスの組み合わせによってだけ書き込みできます。

8/1ビット単位でリード／ライト可能です。

注意　ダイレクト・モード時は，このレジスタの設定を変更しないでください。

	7	6	5	4	3	2	1	0		
CKC	0	0	0	0	0	0	CKDIV1	CKDIV0	アドレス FFFFF072H	初期値 00H

ビット位置	ビット名	意　　味
1, 0	CKDIV1, CKDIV0	Clock Divide PLLモード時の内部システム・クロック周波数（φ）を設定します。

CKDIV1	CKDIV0	内部システム・クロック（φ）
0	0	5 ×fxx
0	1	設定禁止
1	0	fxx
1	1	fxx/2

このレジスタへのデータ設定のシーケンスはパワー・セーブ・コントロール・レジスタ（PSC）と同じです。ただし**3.4.9　特定レジスタの備考２**に示す制限事項は該当しません。詳細は**8.5.2　制御レジスタ**を参照してください。

例　クロック・ジェネレータの設定

動作モード	CKSEL端子	CKCレジスタ		入力クロック（fxx）	内部システム・クロック（φ）
		CKDIV1ビット	CKDIV0ビット		
ダイレクト・モード	ハイ・レベル入力	0	0	16 MHz	8 MHz
PLLモード	ロウ・レベル入力	0	0	8 MHz	40 MHz注
		1	0	8 MHz	8 MHz
		1	1	8 MHz	4 MHz
上記以外				設定禁止	

注　μPD703100-40, 703100A-40のみ。

８.４　PLLロックアップ

電源投入直後，ソフトウエアSTOPモード解除直後から所定の周波数でフェーズ・ロックし，安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をアンロック状態と呼び，安定した状態をロック状態と呼びます。

システム・ステータス・レジスタ（SYS）には，PLLの周波数の安定状態を反映するLOCKフラグと，プロテクション・エラーの発生を示すPRERRフラグがあります。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
SYS	0	0	0	PRERR	0	0	0	LOCK	FFFFF078H	0000000×B

ビット位置	ビット名	意　　味
0	LOCK	Lock Status Flag 読み出し専用フラグで，PLLのロック状態を示します。 ロックアップ状態を維持しているかぎり０を保持し，システム・リセットによっても初期化されません。 ０：ロック中であることを示します。 １：ロックしていない（アンロック）状態を示します。

備考　PRERRフラグの説明は**３.４.９（２）システム・ステータス・レジスタ（SYS）**を参照してください。

クロック停止，電源カットなど，いったんアンロック状態を発生させる要因が働いた場合に，リアルタイム処理など，ソフトウエアの実行速度に依存する制御の処理においては，動作開始直後にソフトウエアで必ずLOCKフラグを判定し，クロックの安定するのを待ってから処理を開始してください。

一方，内蔵の各ハードウエアの設定やレジスタ・データ，メモリ・データの初期化等の静的処理はLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振し，入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間＜PLLロックアップ時間

8.5　パワー・セーブ制御

8.5.1　概　　要

パワー・セーブ機能には，次のものがあります。

（1）HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され，動作を継続します。通常動作モードとの組み合わせによる間欠動作により，システムのトータルの消費電力を低下させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

（2）IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで，内部システム・クロックの供給を停止させることにより，システム全体を停止させるモードです。

IDLEモードからの解除時に，発振回路の発振安定時間などを確保する必要がないため，高速に通常動作に移行することができます。

PSCレジスタ（特定レジスタ）の設定によりIDLEモードに移行します。

IDLEモードは，クロックの安定時間と消費電流に関して，ソフトウエアSTOPとHALTモードの中間に位置するモードで，低消費電流モードを利用し，かつ解除時のクロックの安定時間を削除したい用途に利用します。

（3）ソフトウエアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ，システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSCレジスタ（特定レジスタ）の設定により，ソフトウエアSTOPモードに移行します。

（a）PLLモード時

ソフトウエアによるレジスタ設定により，ソフトウエアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウエアSTOPモードの解除後は，システム・クロックが安定するまでの間，発振回路の発振安定時間を確保する必要があります。また，プログラムによってはPLLのロックアップ時間が必要な場合があります。

（4）クロック出力インヒビット・モード

CLKOUT端子からの内部システム・クロック出力を禁止します。

通常動作，HALT，IDLE，ソフトウエアSTOPの各モードにおけるクロック・ジェネレータの動作を表８－１に示します。

各モードを組み合わせて，用途により切り替えて使用することにより，効果的な低消費電力システムを実現することができます。

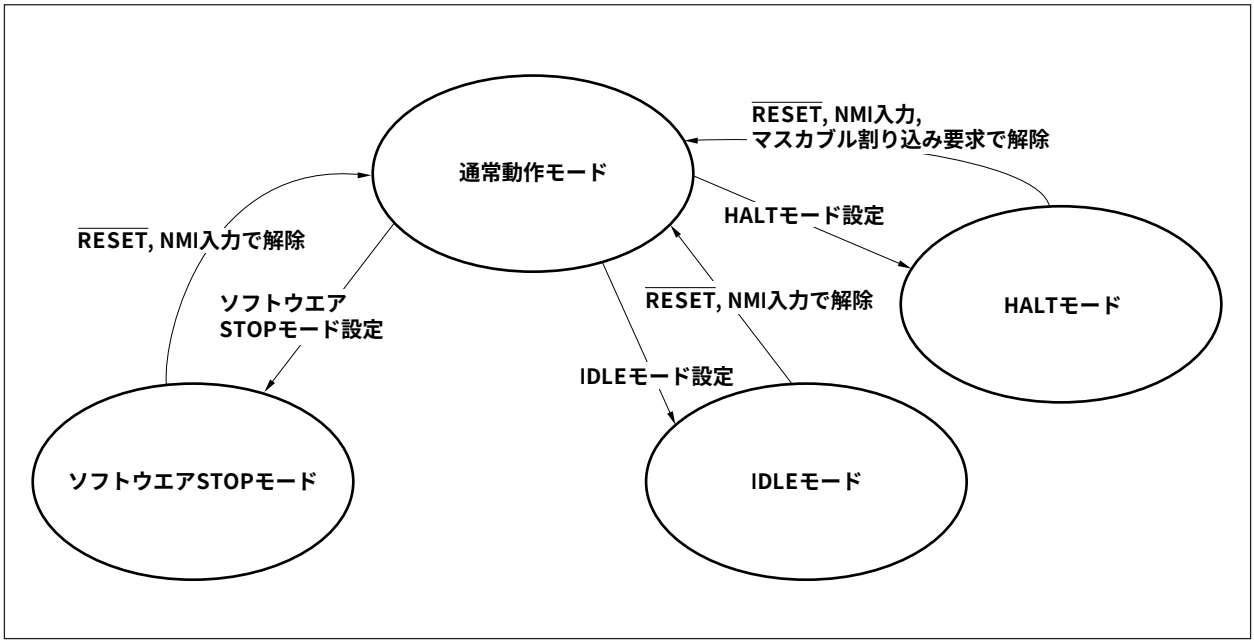
表８－１　パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		パワー･セーブ･モード	発振回路（OSC）	PLLシンセサイザ	内蔵周辺I/Oへのクロック供給	CPUへのクロック供給
PLLモード	発振子による発振	（通常動作時）	○	○	○	○
		HALTモード	○	○	○	×
		IDLEモード	○	○	×	×
		ソフトウエアSTOPモード	×	×	×	×
	外部クロック	（通常動作時）	×	○	○	○
		HALTモード	×	○	○	×
		IDLEモード	×	○	×	×
		ソフトウエアSTOPモード	×	×	×	×
ダイレクト・モード		（通常動作時）	×	×	○	○
		HALTモード	×	×	○	×
		IDLEモード	×	×	×	×
		ソフトウエアSTOPモード	×	×	×	×

○：動作

×：停止

図８－１　パワー・セーブ・モード状態遷移図



8.5.2　制御レジスタ

（1）パワー・セーブ・コントロール・レジスタ（PSC）

パワー・セーブ・モードを制御する８ビット・レジスタです。

このレジスタは特定レジスタの１つで，ライト動作時は特定シーケンスによるアクセスだけが有効です。

詳細は**3.4.9　特定レジスタ**を参照してください。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PSC	DCLK1	DCLK0	TBCS	CESEL	0	IDLE	STP	0	アドレス FFFFF070H	初期値 00H

ビット位置	ビット名	意　　味
7, 6	DCLK1, DCLK0	Disable CLKOUT CLKOUT端子の動作モードの指定を行います。 <table><tr><th>DCLK1</th><th>DCLK0</th><th>モード</th></tr><tr><td>0</td><td>0</td><td>通常出力モード</td></tr><tr><td>0</td><td>1</td><td>RFU（予約）</td></tr><tr><td>1</td><td>0</td><td>RFU（予約）</td></tr><tr><td>1</td><td>1</td><td>クロック出力インヒビット・モード</td></tr></table>
5	TBCS	Time Base Count Select タイム・ベース・カウンタのクロックを選択します。 0：$f_{XX}/2^8$ 1：$f_{XX}/2^9$ 詳細は**8.6.2　タイム・ベース・カウンタ（TBC）**に示します。
4	CESEL	Crystal/External Select X1, X2端子の機能を指定します。 0：X1, X2端子に発振子を接続 1：X1端子に外部クロックを接続 CESEL = 1の場合，発振回路のフィードバック・ループを切断し，ソフトウエアSTOPモード時の電流リークを防ぎます。また，ソフトウエアSTOPモード解除後のタイム・ベース・カウンタ（TBC）による発振安定時間のカウントを行いません。
2	IDLE注	IDLE Mode IDLEモードを指定します。 1を書き込むとIDLE状態に入ります。 IDLEモードが解除されると自動的にリセット（0）されます。
1	STP注	STOP Mode ソフトウエアSTOPモードを指定します。 1を書き込むとSTOP状態に入ります。 ソフトウエアSTOPモードが解除されると自動的にリセット（0）されます。

注　IDLEビット = 1, STPビット = 1に設定した場合は，ソフトウエアSTOPモードになります。

8.5.3　HALTモード

（1）設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺I/Oへのクロック供給は継続され，動作を継続します。CPUの空き時間にHALTモードに設定することにより，システムのトータルの消費電力を低下させることができます。

HALT命令によりHALTモードに移行します。

HALTモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAM，ポートの内容は保持されます。また，CPUの命令処理に依存しない内蔵周辺I/O（ポート以外）は動作を継続します。HALTモード時の各ハードウエアの状態は表８－２のようになります。

備考　HALT命令実行後も，内部の命令プリフェッチ・キューがフルになるまでの間は，命令フェッチ動作を継続します。フルになったあと，表８－２の状態で停止します。

表８－２　HALTモード時の動作状態

機　　能		動作状態
クロック・ジェネレータ		動作
内部システム・クロック		動作
CPU		停止
ポート		保持
内蔵周辺I/O（ポート以外）		動作
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてHALTモード設定前の状態を保持
外部拡張モード時	D0-D15	動作
	A0-A23	
	$\overline{RD}$, $\overline{WE}$, $\overline{OE}$, $\overline{BCYST}$	
	$\overline{LWR}$, $\overline{UWR}$, $\overline{IORD}$, $\overline{IOWR}$	
	$\overline{CS0}$-$\overline{CS7}$	
	$\overline{RAS0}$-$\overline{RAS7}$	
	$\overline{LCAS}$, $\overline{UCAS}$	
	$\overline{REFRQ}$	
	$\overline{HLDRQ}$	
	$\overline{HLDAK}$	
	$\overline{WAIT}$	
CLKOUT		クロック出力 （クロック出力インヒビットでないとき）

（２）HALTモードの解除

HALTモードは，NMI端子入力，マスクされていないマスカブル割り込み要求，および$\overline{\text{RESET}}$端子入力により解除されます。

（ａ）NMI端子入力，マスカブル割り込み要求による解除

NMI端子入力，マスクされていないマスカブル割り込み要求により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

（ｉ）現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけを行い，この割り込みは受け付けません。割り込み要求そのものは保持します。

（ii）現在処理中の割り込み要求よりも優先順位が高い割り込み要求（NMI要求を含む）が発生すると，HALTモードの解除とともにこの割り込み要求を受け付けます。

表８－３　割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
NMI要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

（ｂ）$\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

8.5.4　IDLEモード

（1）設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで，内部システム・クロックの供給が停止し，システム全体が停止するモードです。

このモードの解除時は，発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため，高速に通常動作に移行できます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でIDLEモードに移行します（**3.4.9　特定レジスタ**参照）。

IDLEモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAM，ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

IDLEモード時の各ハードウエアの状態は表８－４のようになります。

表８－４　IDLEモード時の動作状態

機　　能		動作状態
クロック・ジェネレータ		動作
内部システム・クロック		停止
CPU		停止
ポート		保持
内蔵周辺I/O（ポート以外）		停止
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてIDLEモード設定前の状態を保持
外部拡張モード時	D0-D15	ハイ・インピーダンス
	A0-A23	
	$\overline{RD}$, $\overline{WE}$, $\overline{OE}$, $\overline{BCYST}$	
	$\overline{LWR}$, $\overline{UWR}$, $\overline{IORD}$, $\overline{IOWR}$	ハイ・レベル出力
	$\overline{CS0}$-$\overline{CS7}$	
	$\overline{RAS0}$-$\overline{RAS7}$	動作
	$\overline{LCAS}$, $\overline{UCAS}$	
	$\overline{REFRQ}$	
	$\overline{HLDRQ}$	入力（サンプリングなし）
	$\overline{HLDAK}$	ハイ・インピーダンス
	$\overline{WAIT}$	入力（サンプリングなし）
CLKOUT		ロウ・レベル出力

（２）IDLEモードの解除

IDLEモードは，NMI端子入力，$\overline{\text{RESET}}$端子入力により解除されます。

（ａ）NMI端子入力による解除

IDLEモードの解除とともにNMI要求として受け付けます。

ただし，NMI処理ルーチン内でIDLEモードに設定した場合は，IDLEモードの解除だけを行い，この割り込みは受け付けません。割り込み要求そのものは保持します。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令またはビット操作命令によるPSCレジスタ設定の前に，ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

（ｂ）$\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

8.5.5　ソフトウエアSTOPモード

（1）設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ，デバイスのリーク電流だけの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でソフトウエアSTOPモードに移行します（**3.4.9　特定レジスタ**参照）。

PLLモードかつ発振子接続モード（PSCレジスタのCESELビット＝０）の場合で，ソフトウエアSTOPモード解除後には，発振回路の発振安定時間を確保する必要があります。

ソフトウエアSTOPモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAM，ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

ソフトウエアSTOPモード時の各ハードウエアの状態は表８－５のようになります。

注意　ダイレクト・モード（CKSEL端子＝1），または外部クロック接続モード（PSCレジスタのCESELビット＝1）の場合には，ソフトウエアSTOPモードは使用できません。

表８－５　ソフトウエアSTOPモード時の動作状態

機　　能		動作状態
クロック・ジェネレータ		停止
内部システム・クロック		停止
CPU		停止
ポート注		保持
内蔵周辺I/O（ポート以外）		停止
内部データ注		CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてソフトウエアSTOPモード設定前の状態を保持
外部拡張モード時	D0-D15	ハイ・インピーダンス
	A0-A23	
	$\overline{RD}$, $\overline{WE}$, $\overline{OE}$, $\overline{BCYST}$	
	$\overline{LWR}$, $\overline{UWR}$, $\overline{IORD}$, $\overline{IOWR}$	ハイ・レベル出力
	$\overline{CS0}$-$\overline{CS7}$	
	$\overline{RAS0}$-$\overline{RAS7}$	動作
	$\overline{LCAS}$, $\overline{UCAS}$	
	$\overline{REFRQ}$	
	$\overline{HLDRQ}$	入力（サンプリングなし）
	$\overline{HLDAK}$	ハイ・インピーダンス
	$\overline{WAIT}$	入力（サンプリングなし）
CLKOUT		ロウ・レベル出力

注　V_{DD}の値が動作可能範囲内にある場合。
ただし，動作可能最低電圧より下がった場合でも，データ保持電圧V_{DDDR}を維持すれば，内蔵RAMの内容だけは保持されます。

（２）ソフトウエアSTOPモードの解除

ソフトウエアSTOPモードは，NMI端子入力，$\overline{\text{RESET}}$端子入力により解除されます。

また，PLLモードかつ発振子接続モード（PSCレジスタのCESELビット= ０）におけるソフトウエアSTOPモード解除時には，発振回路の発振安定時間を確保する必要があります。

なお，プログラムによってはPLLのロックアップ時間が必要です。詳細は**８．４　PLLロックアップ**を参照してください。

（ａ）NMI端子入力による解除

ソフトウエアSTOPモードの解除とともにNMI要求として受け付けます。

ただし，NMI処理ルーチン内でソフトウエアSTOPモードに設定した場合は，ソフトウエアSTOPモードの解除だけを行い，この割り込みは受け付けません。割り込み要求そのものは保持します。

NMI端子入力によるSTOPモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令またはビット操作命令によるPSCレジスタ設定の前に，ステータス設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

（ｂ）$\overline{\text{RESET}}$端子入力による解除

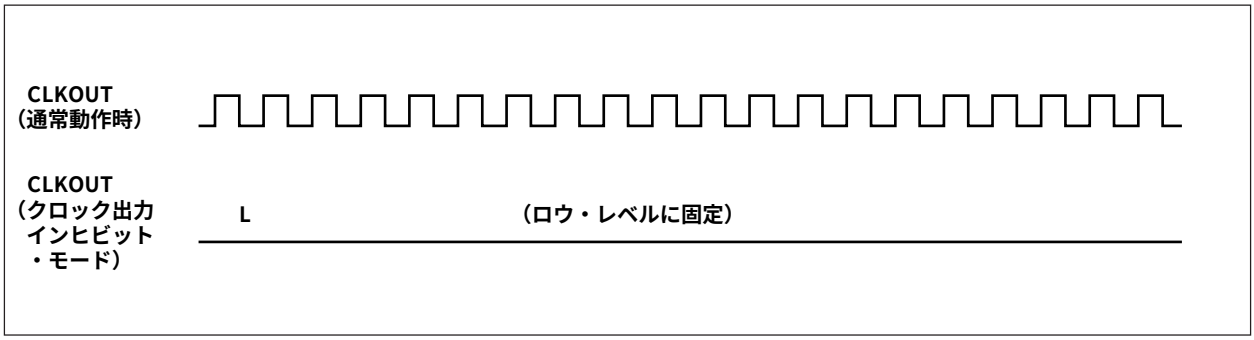
通常のリセット動作と同じです。

８．５．６　クロック出力インヒビット・モード

PSCレジスタのDCLK0ビット = 1, DCLK1ビット = 1に設定するとCLKOUT端子からのクロック出力を禁止するクロック出力インヒビット・モードになります。

シングルチップ・モード０，１のシステム，または外部拡張デバイスに対する命令フェッチやデータ・アクセスを非同期型アクセスで行うシステムに最適です。

このモードでは，CLKOUT信号出力の動作が完全に停止するため，一層の低消費電力化およびCLKOUT端子からの輻射ノイズ抑止が可能です。また，HALT，IDLE，ソフトウエアSTOPの各モードと組み合わせることにより，より効果的なパワー・セービングも可能となります（**８．５．２　制御レジスタ**参照）。



備考　フラッシュ・メモリ・プログラミング・モード時は，PSCレジスタの設定にかかわらず，CLKOUT信号は出力しません。

8.6　発振安定時間の確保

8.6.1　発振安定時間の確保指定

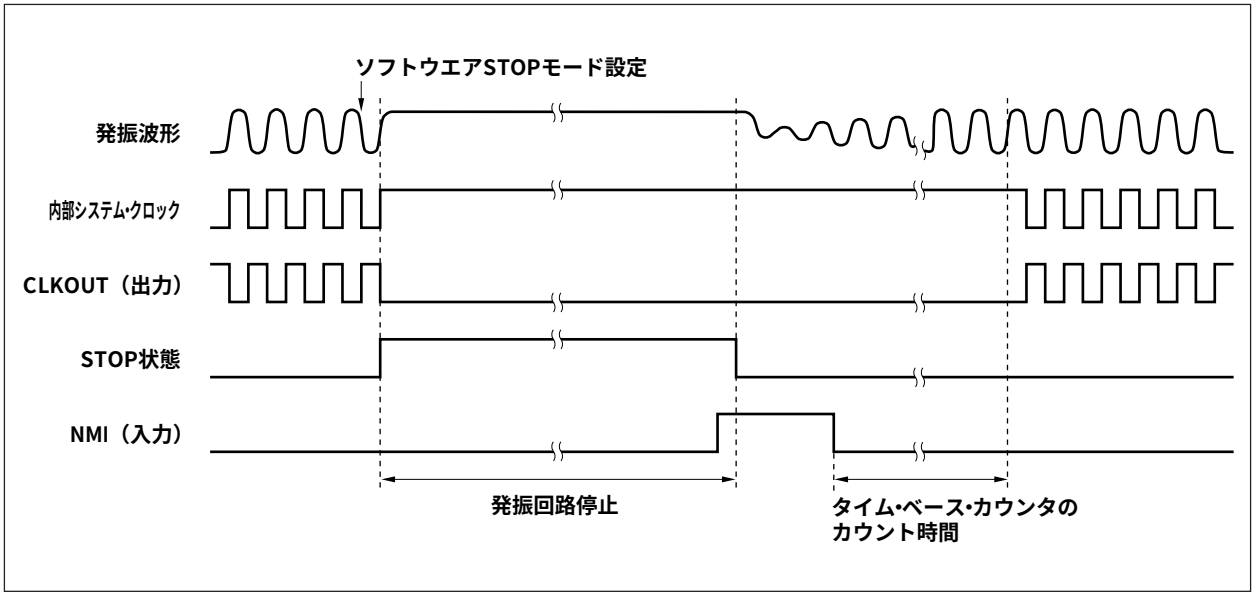
ソフトウエアSTOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には２通りの方法があります。

（1）内蔵タイム・ベース・カウンタで時間を確保する場合（NMI端子入力）

NMI端子に有効エッジが入力されると，ソフトウエアSTOPモードが解除されます。端子へのインアクティブ・エッジ入力でタイム・ベース・カウンタ（TBC）がカウントを開始し，そのカウント時間で，発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間≃（NMI入力の有効エッジ検出後のアクティブ・レベル幅）＋（TBCのカウント時間）

所定時間後，内部システム・クロック出力を開始し，NMI割り込みのハンドラ・アドレスに分岐します。



NMI端子は，通常はインアクティブ・レベル（たとえば有効エッジを立ち下がりに指定したときはハイ・レベル）にしておいてください。

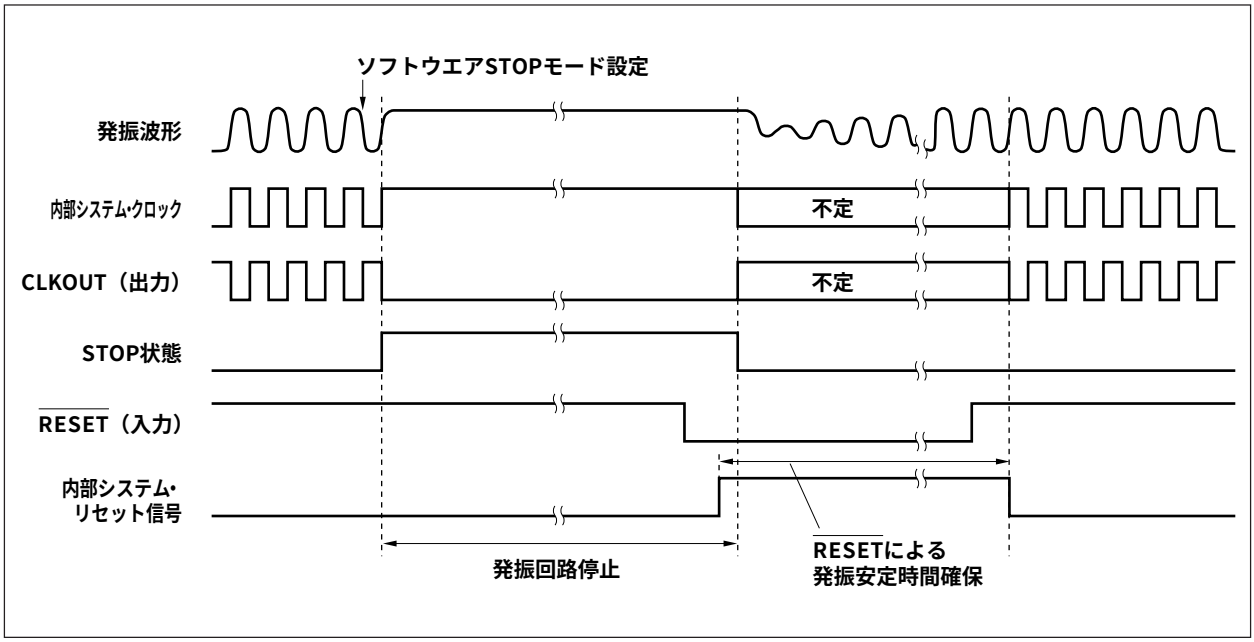
なお，NMIの有効エッジ入力タイミングからCPUで割り込みを受け付けるまでの期間にSTOPモードに設定する動作を行った場合，ソフトウエアSTOPモードはすぐに解除されます。PLLモードかつ発振子接続モード（PSCレジスタのCESELビット = 0）の場合は，NMI端子のインアクティブ・エッジ入力からタイム・ベース・カウンタによる発振安定時間確保後，プログラム実行を開始します。

（２）信号レベル幅で時間を確保する場合（$\overline{\text{RESET}}$端子入力）

$\overline{\text{RESET}}$端子への立ち下がりエッジ入力により，ソフトウエアSTOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で，発振回路からのクロック出力が安定するまでの時間を確保します。

$\overline{\text{RESET}}$端子への立ち上がりエッジ入力後，内部システム・クロックの供給が開始し，システム・リセット時のハンドラ・アドレスに分岐します。



8.6.2　タイム・ベース・カウンタ（TBC）

タイム・ベース・カウンタ（TBC）は，ソフトウエアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

- **発振子接続時（PLLモードかつPSCレジスタのCESELビット = 0）**
  ソフトウエアSTOPモード解除後，TBCで発振安定時間をカウントし，カウント終了後にプログラム実行を開始します。

PSCレジスタのTBCSビットによりTBCのカウント・クロックを選択し，次のカウント時間を設定可能です（8.5.2（1）パワー・セーブ・コントロール・レジスタ（PSC）参照）。

表８－６　カウント時間例（ϕ = ５×f_{XX}）

TBCS ビット	カウント・クロック	カウント時間			
		f_{XX} = 4.0000 MHz	f_{XX} = 5.0000 MHz	f_{XX} = 6.5536 MHz	f_{XX} = 8.0000 MHz
		ϕ= 20.000 MHz	ϕ= 25.000 MHz	ϕ= 32.768 MHz	ϕ= 40.000 MHz注
0	$f_{XX}/2^8$	16.4 ms	13.1 ms	10.0 ms	8.1 ms
1	$f_{XX}/2^9$	32.8 ms	26.2 ms	20.0 ms	16.3 ms

f_{XX}　：外部発振子周波数

ϕ　：内部システム・クロック周波数

注　μPD703100-40, 703100A-40のみ。

第９章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）

9.1　特　　徴

○パルス間隔や周波数の計測および，プログラマブルなパルスの出力

- 16ビット計測可能
- 多彩な形状のパルスを発生可能（インターバル・パルス，ワンショット・パルス）

○タイマ１

- 16ビット・タイマ／イベント・カウンタ
- カウント・クロックのソース：２種（内部システム・クロックの分周を選択，外部パルス入力）
- キャプチャ／コンペア共用レジスタ：24本
- カウント・クリア端子：TCLR10-TCLR15
- 割り込みソース：30種
- 外部パルス出力：12本

○タイマ４

- 16ビット・インターバル・タイマ
- カウント・クロックは，内部システム・クロックの分周から選択
- コンペア・レジスタ：２本
- 割り込みソース：２種

9.2　基本構成

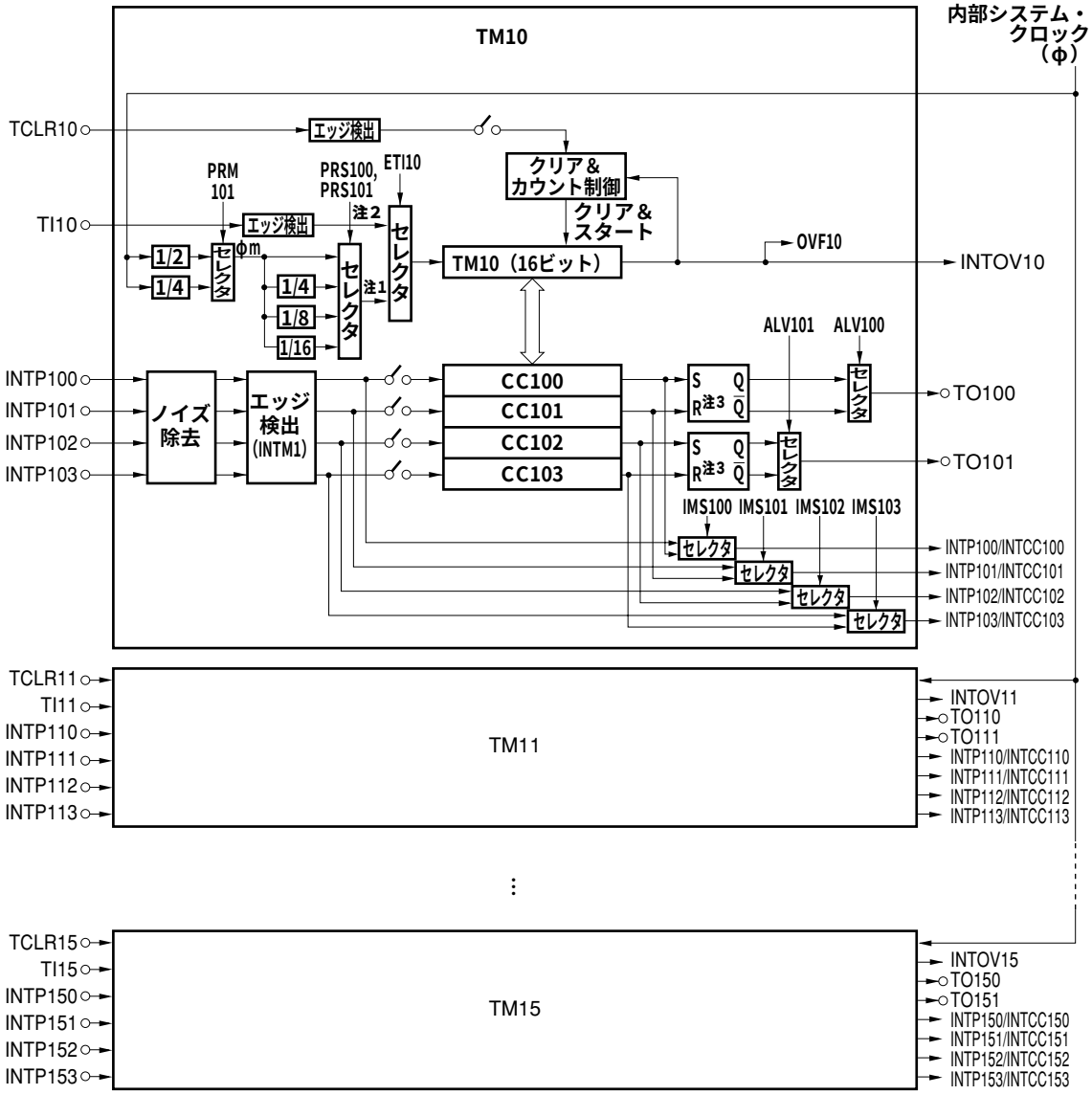
次に基本構成を示します。

表９－１　RPUの構成一覧

タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマ１	φ/2	TM10	リード	INTOV10	－	－	外部クリア
	φ/4	CC100	リード／ライト	INTCC100	INTP100	TO100（S）	－
	φ/8	CC101	リード／ライト	INTCC101	INTP101	TO100（R）	－
	φ/16	CC102	リード／ライト	INTCC102	INTP102	TO101（S）	－
	φ/32	CC103	リード／ライト	INTCC103	INTP103	TO101（R）	－
	φ/64	TM11	リード	INTOV11	－	－	外部クリア
	TI1n端子入力	CC110	リード／ライト	INTCC110	INTP110	TO110（S）	A/D変換開始トリガ
	（n = 0-5）	CC111	リード／ライト	INTCC111	INTP111	TO110（R）	A/D変換開始トリガ
		CC112	リード／ライト	INTCC112	INTP112	TO111（S）	A/D変換開始トリガ
		CC113	リード／ライト	INTCC113	INTP113	TO111（R）	A/D変換開始トリガ
		TM12	リード	INTOV12	－	－	外部クリア
		CC120	リード／ライト	INTCC120	INTP120	TO120（S）	－
		CC121	リード／ライト	INTCC121	INTP121	TO120（R）	－
		CC122	リード／ライト	INTCC122	INTP122	TO121（S）	－
		CC123	リード／ライト	INTCC123	INTP123	TO121（R）	－
		TM13	リード	INTOV13	－	－	外部クリア
		CC130	リード／ライト	INTCC130	INTP130	TO130（S）	－
		CC131	リード／ライト	INTCC131	INTP131	TO130（R）	－
		CC132	リード／ライト	INTCC132	INTP132	TO131（S）	－
		CC133	リード／ライト	INTCC133	INTP133	TO131（R）	－
		TM14	リード	INTOV14	－	－	外部クリア
		CC140	リード／ライト	INTCC140	INTP140	TO140（S）	－
		CC141	リード／ライト	INTCC141	INTP141	TO140（R）	－
		CC142	リード／ライト	INTCC142	INTP142	TO141（S）	－
		CC143	リード／ライト	INTCC143	INTP143	TO141（R）	－
		TM15	リード	INTOV15	－	－	外部クリア
		CC150	リード／ライト	INTCC150	INTP150	TO150（S）	－
		CC151	リード／ライト	INTCC151	INTP151	TO150（R）	－
		CC152	リード／ライト	INTCC152	INTP152	TO151（S）	－
		CC153	リード／ライト	INTCC153	INTP153	TO151（R）	－
タイマ４	φ/32	TM40	リード	－	－	－	－
	φ/64	CM40	リード／ライト	INTCM40	－	－	－
	φ/128	TM41	リード	－	－	－	－
	φ/256	CM41	リード／ライト	INTCM41	－	－	－

備考　φ　：内部システム・クロック
　　S/R ：セット／リセット

（1）タイマ１（16ビット・タイマ／イベント・カウンタ）

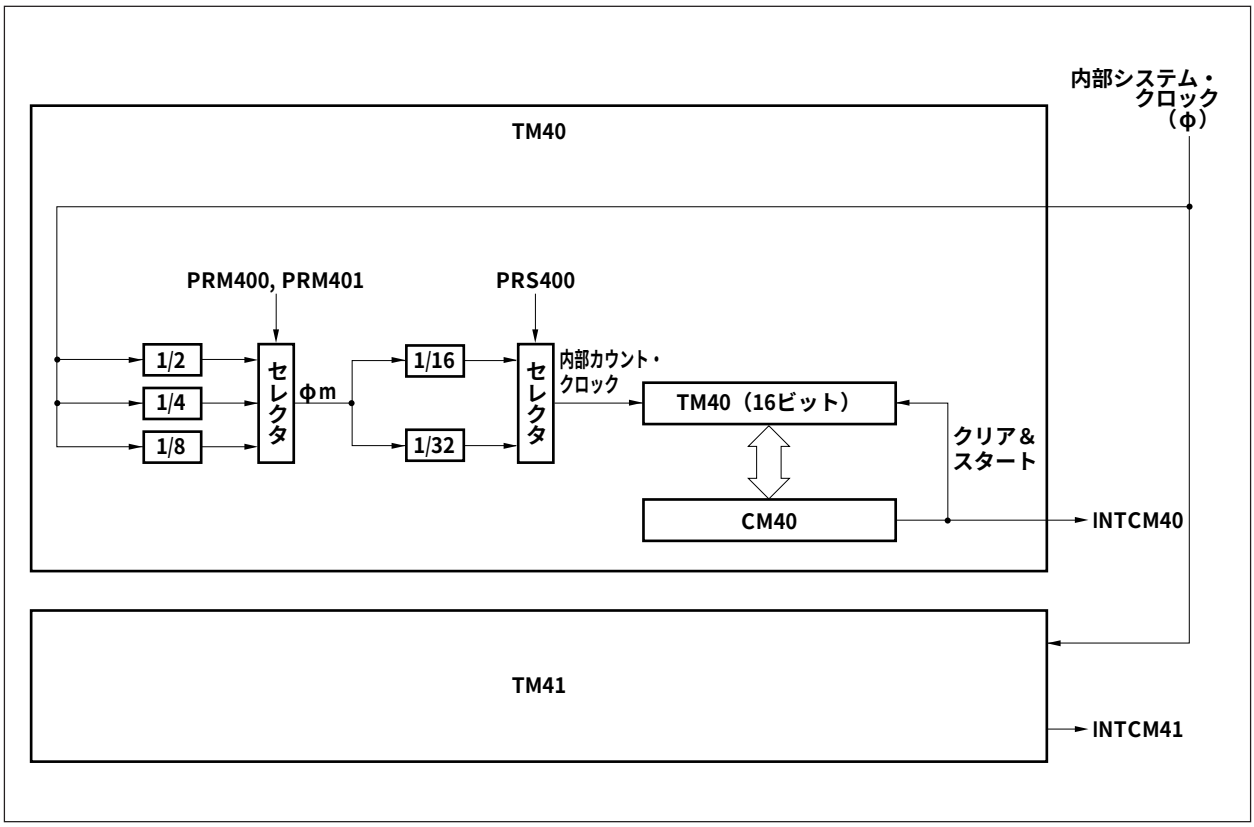


注１．内部カウント・クロック

２．外部カウント・クロック

３．リセット優先

（２）タイマ４（16ビット・インターバル・タイマ）

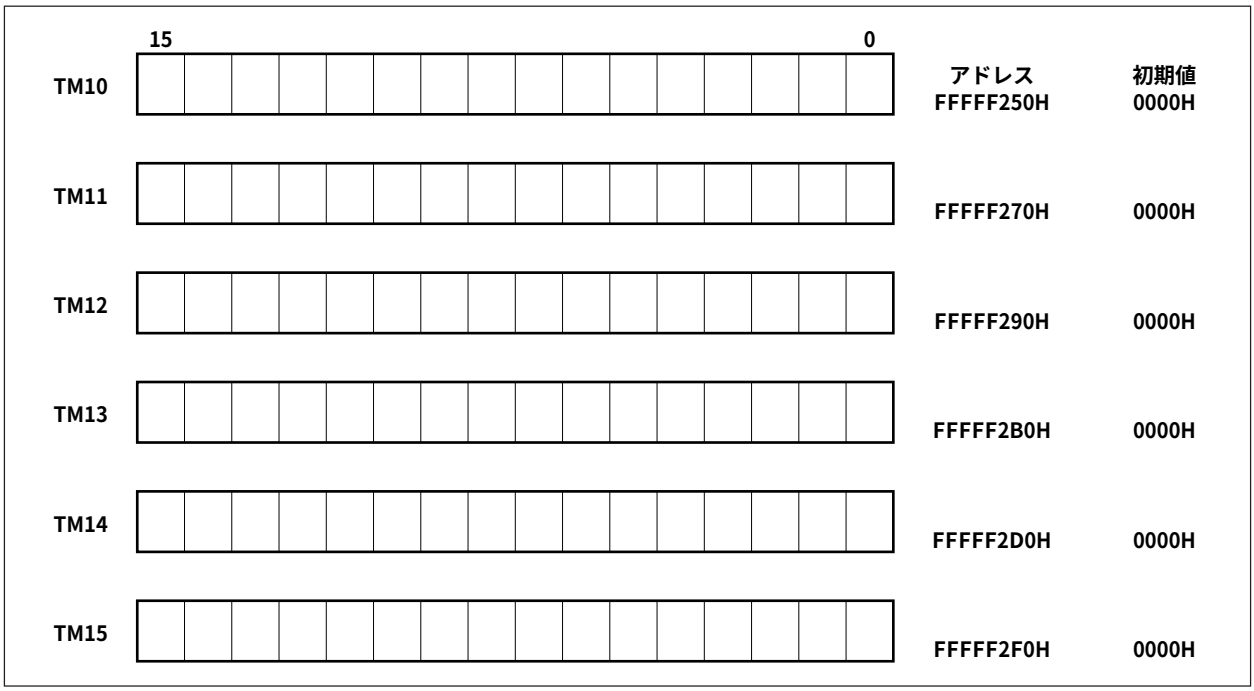


9.2.1　タイマ1

（1）タイマ10-15（TM10-TM15）

TM1nは，16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに，周期計測，または周波数計測のほか，パルス出力としても利用できます（n = 0-5）。

TM1nは16ビット単位でリードだけ可能です。



TM1nは内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは，タイマ・コントロール・レジスタ１n（TMC1n）のCE1nビットで制御します。

カウント・クロックの内部/外部の選択はTMC1nレジスタによって行います。

（a）外部カウント・クロックを選択

ＴＭ１ｎは，イベント・カウンタとして動作します。タイマ・ユニット・モード・レジスタ１n（TUM1n）によって有効エッジを指定し，TI1n端子入力によりTM1nをカウント・アップします。

（b）内部カウント・クロックを選択

TM1nは，フリー・ランニング・タイマとして動作します。カウント・クロックは，プリスケーラによる分周を，TMC1nレジスタによりφ/２，φ/４，φ/８，φ/16，φ/32，φ/64から選択できます。

タイマがオーバフローすると，オーバフロー割り込みを発生することができます。また，TUM1nレジスタの指定により，オーバフロー後タイマを停止することができます。

また，外部入力TCLR1nによってタイマをクリアし，スタートすることができます。このとき，プリスケーラも同時にクリアされるので，TCLR1n入力から最初のタイマ・カウント・アップまでの時間は，プリスケーラの分周比に応じて一定となります。動作の設定はTUM1nレジスタで行います。

注意　タイマ動作中はカウント・クロックを変更できません。

（2）キャプチャ／コンペア・レジスタ1n0-1n3（CC1n0-CC1n3）（n＝0-5）

キャプチャ／コンペア・レジスタは，16ビット・レジスタでTM1nに接続されています。タイマ・ユニット・モード・レジスタ１n（TUM1n）の指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード/ライト可能です。

	15															0		
CC100-CC103																	アドレス FFFFF252H-FFFFF258H	初期値 不定
CC110-CC113																	FFFFF272H-FFFFF278H	不定
CC120-CC123																	FFFFF292H-FFFFF298H	不定
CC130-CC133																	FFFFF2B2H-FFFFF2B8H	不定
CC140-CC143																	FFFFF2D2H-FFFFF2D8H	不定
CC150-CC153																	FFFFF2F2H-FFFFF2F8H	不定

（a）キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は，対応する外部割り込みINTP1n0-INTP1n3信号の有効エッジをキャプチャ・トリガとして検出します。タイマ１nはキャプチャ・トリガに同期して，カウント値をラッチします（キャプチャ動作）。キャプチャ動作は，カウント・クロックとは非同期に行われます。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

キャプチャ・レジスタへのキャプチャ（ラッチ）・タイミングと，命令によるレジスタへの書き込み動作が競合した場合は，後者が優先され，キャプチャ動作は無視されます。

また，外部割り込みの有効エッジ指定（立ち上がり，立ち下がり，両エッジ）は，外部割り込みモード・レジスタ（INTM1-INTM6）により選択することができます。

キャプチャ・レジスタに指定したときは，INTP1n0-INTP1n3信号の有効エッジ検出で割り込みを発生します。このとき，コンペア・レジスタの一致信号であるINTCC1n0-INTCC1n3によって割り込みを発生させることはできません。

（b）コンペア・レジスタに設定

コンペア・レジスタに設定した場合は，タイマのカウント・クロックごとにタイマとレジスタ値の比較動作を行い，一致による割り込みを発生します。

コンペア・レジスタはセット／リセット出力機能を備えています。一致信号発生に同期して，対応するタイマ出力（TO1n0, TO1n1）をセットまたはリセットします。

割り込みソースは選択したレジスタの機能で異なります。

コンペア・レジスタに指定した場合，TUM1nレジスタの指定により，一致信号であるINTCC1n0-INTCC1n3か，または，INTP1n0-INTP1n3信号の有効エッジ検出のいずれかを選択して割り込み信号とすることができます。

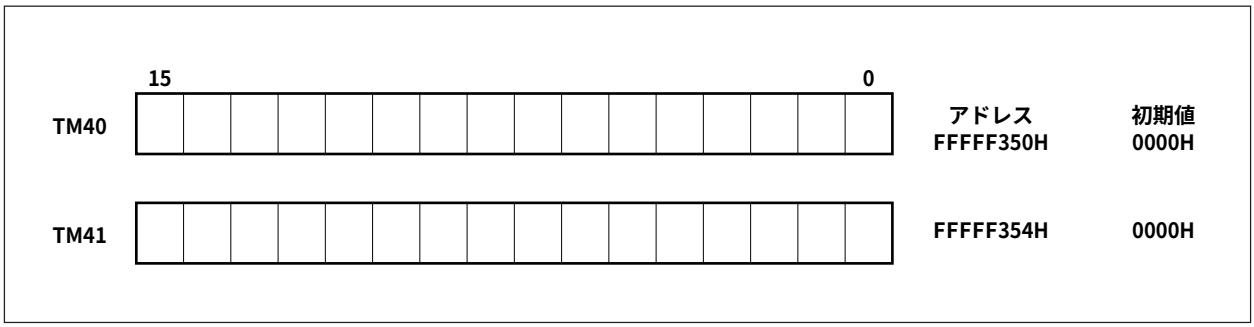
なお，INTP1n0-INTP1n3信号を選択した場合は，外部割り込み要求の受け付けと，コンペア・レジスタのセット／リセット出力機能によるタイマ出力を並行して行えます。

9.2.2　タイマ４

（1）タイマ40, 41（TM40, TM41）

TM4nは，16ビット・タイマです。おもに，ソフトウエアのためのインターバル・タイマとして利用できます（n = 0, 1）。

TM4nは，16ビット単位でリードだけ可能です。



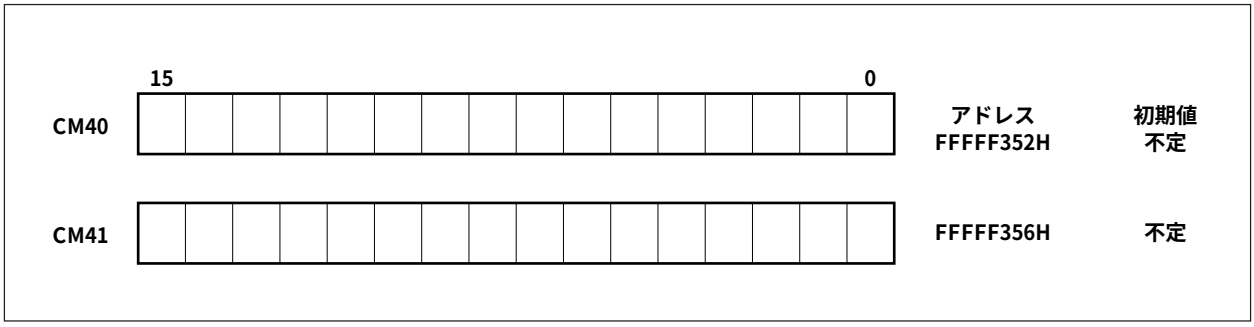
TM4nのスタートおよびストップは，タイマ・コントロール・レジスタ４n（TMC4n）のCE4nビットによって制御します。

カウント・クロックは，プリスケーラによる分周を，TMC4nレジスタによりφ/32，φ/64，φ/128，φ/256から選択できます。

注意　コンペア一致が発生したあと，タイマは次のカウント・クロックでクリアされるため，分周比が大きいときは，一致割り込み発生直後にタイマの値を読み出しても，タイマの値が０でない場合があります。
また，タイマ動作中はカウント・クロックを変更できません。

（2）コンペア・レジスタ40, 41（CM40, CM41）

CM4nは16ビット・レジスタであり，TM4nに接続されています。16ビット単位でリード／ライト可能です。



TM4nのカウント・クロックごとにTM4nとCM4nの比較を行い，一致による割り込み（INTCM4n）を発生します。この一致に同期してTM4nをクリアします。

9.3　制御レジスタ

（1）タイマ・ユニット・モード・レジスタ10-15（TUM10-TUM15）

TUM1nレジスタはタイマ１の動作を制御するレジスタで，キャプチャ／コンペア・レジスタの動作モードを指定します（n = 0-5）。

16ビット単位でリード／ライト可能です。

（1/2）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TUM10	0	0	OST0	ECLR 10	TES 101	TES 100	CES 101	CES 100	CMS 103	CMS 102	CMS 101	CMS 100	IMS 103	IMS 102	IMS 101	IMS 100	FFFFF240H	0000H
TUM11	0	0	OST1	ECLR 11	TES 111	TES 110	CES 111	CES 110	CMS 113	CMS 112	CMS 111	CMS 110	IMS 113	IMS 112	IMS 111	IMS 110	FFFFF260H	0000H
TUM12	0	0	OST2	ECLR 12	TES 121	TES 120	CES 121	CES 120	CMS 123	CMS 122	CMS 121	CMS 120	IMS 123	IMS 122	IMS 121	IMS 120	FFFFF280H	0000H
TUM13	0	0	OST3	ECLR 13	TES 131	TES 130	CES 131	CES 130	CMS 133	CMS 132	CMS 131	CMS 130	IMS 133	IMS 132	IMS 131	IMS 130	FFFFF2A0H	0000H
TUM14	0	0	OST4	ECLR 14	TES 141	TES 140	CES 141	CES 140	CMS 143	CMS 142	CMS 141	CMS 140	IMS 143	IMS 142	IMS 141	IMS 140	FFFFF2C0H	0000H
TUM15	0	0	OST5	ECLR 15	TES 151	TES 150	CES 151	CES 150	CMS 153	CMS 152	CMS 151	CMS 150	IMS 153	IMS 152	IMS 151	IMS 150	FFFFF2E0H	0000H

ビット位置	ビット名	意　　味
13	OSTn	Overflow Stop タイマのオーバフロー後の動作を指定します。このフラグが有効なのはTM1nだけです。 ０：タイマのオーバフロー後，タイマはカウント・アップを続けます。 １：タイマのオーバフロー後，タイマは0000Hを保持し停止状態となります。 このとき，TMC1nレジスタのCE1nビットは，１のままです。 次の動作によりカウント・アップを再開します。 ECLR1n = ０のとき：CE1nビットへの１ライト動作 ECLR1n = １のとき：タイマ・クリア端子（TCLR1n）へのトリガ入力
12	ECLR1n	External Input Timer Clear TM1nの外部クリア入力（TCLR1n）によるタイマのクリアを許可します。 ０：外部入力によるクリアはしません。 １：外部入力によりTM1nをクリアします。 クリア後，カウント・アップを開始します。

備考　n = 0-5

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>11,10</td><td>TES1n1,
TES1n0</td><td>TI1n Edge Select
外部クロック入力（TI1n）の有効エッジを指定します。
<table>
<tr><th>TES1n1</th><th>TES1n0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>RFU（予約）</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり，立ち下がり両エッジ</td></tr>
</table></td></tr>
<tr><td>9, 8</td><td>CES1n1,
CES1n0</td><td>TCLR1n Edge Select
外部クリア入力（TCLR1n）の有効エッジを指定します。
<table>
<tr><th>CES1n1</th><th>CES1n0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>RFU（予約）</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり，立ち下がり両エッジ</td></tr>
</table></td></tr>
<tr><td>7-4</td><td>CMS1nm
（m = 3-0）</td><td>Capture/Compare Mode Select
キャプチャ／コンペア・レジスタ（CC1nm）の動作モードを選択します。
０：キャプチャ・レジスタとして動作します。ただしキャプチャ・レジスタ指定時のキャプチャ動作は，TMC1nレジスタのCE1nビット = １のときだけ行います。
１：コンペア・レジスタとして動作します。</td></tr>
<tr><td>3-0</td><td>IMS1nm
（m = 3-0）</td><td>Interrupt Mode Select
割り込みソースとして，INTP1nmかINTCC1nmかを選択します。
０：コンペア・レジスタの一致信号INTCC1nmを割り込み要求信号にします。
１：外部からの入力信号INTP1nmを割り込み要求信号にします。</td></tr>
</table>

備考　n = 0-5

備考１．A/Dコンバータをタイマ・トリガ・モードに設定した場合，コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり，変換動作を開始します。このとき，コンペア・レジスタの一致割り込みは，CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには，割り込み制御レジスタ（P11IC0-P11IC3）の割り込みマスク・ビット（P11MK0-P11MK3）で割り込みを禁止してください。

２．A/Dコンバータを外部トリガ・モードに設定した場合，外部トリガ入力がA/D変換開始トリガとなり，変換動作を開始します。このとき，外部トリガ入力はタイマ１のキャプチャ・トリガ，外部割り込みとしても機能します。キャプチャ・トリガ，外部割り込みを発生させないためには，タイマ１をコンペア・レジスタに設定し，割り込み制御レジスタの割り込みマスク・ビットで割り込みを禁止してください。
タイマ１をコンペア・レジスタに設定し，割り込み制御レジスタで割り込みを禁止しない場合の動作は次のようになります。

（ａ）TUM15レジスタの割り込みマスク・ビット（IMS153）が０の場合
CPUに対するコンペア・レジスタの一致割り込みとしても機能します。

（ｂ）TUM15レジスタの割り込みマスク・ビット（IMS153）が１の場合
A/Dコンバータの外部トリガ入力がCPUに対する外部割り込みとしても機能します。

（2）タイマ・コントロール・レジスタ10-15（TMC10-TMC15）

TMC10-TMC15はそれぞれTM10-TM15の動作を制御します。

8/1ビット単位でリード／ライト可能です。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
TMC10	CE10	0	0	ETI10	PRS101	PRS100	PRM101	0	FFFFF242H	00H
TMC11	CE11	0	0	ETI11	PRS111	PRS110	PRM111	0	FFFFF262H	00H
TMC12	CE12	0	0	ETI12	PRS121	PRS120	PRM121	0	FFFFF282H	00H
TMC13	CE13	0	0	ETI13	PRS131	PRS130	PRM131	0	FFFFF2A2H	00H
TMC14	CE14	0	0	ETI14	PRS141	PRS140	PRM141	0	FFFFF2C2H	00H
TMC15	CE15	0	0	ETI15	PRS151	PRS150	PRM151	0	FFFFF2E2H	00H

ビット位置	ビット名	意　　味
7	CE1n	Count Enable タイマの動作を制御します。 ０：タイマは0000H状態で停止し，動作しません。 １：タイマはカウント動作を行います。ただし，TUM1nレジスタのECLR1nビット＝１のときは，TCLR1n入力があるまでタイマはカウント・アップを開始しません。 ECLR1nビット＝０のとき，CE1nビットへのセット（１）動作がタイマのカウント・スタート・トリガとなります。したがって，ECLR1nビット＝１の状態でCE1nビットをセット（１）したあとECLR1nビット＝０としても，タイマはスタートしません。
4	ETI1n	External TI1n Input カウント・クロックの外部と内部の切り替えを指定します。 ０：φ系（内部）を指定します。 １：TI1n（外部） を指定します。

注意　タイマ動作中にカウント・クロックを変更しないでください。

備考　n = 0-5

(2/2)

ビット位置	ビット名	意　　味
３，２	PRS1n1, PRS1n0	Prescaler Clock Select 内部カウント・クロックを選択します（φmは中間クロック）。 <table><tr><th>PRS1n1</th><th>PRS1n0</th><th>内部カウント・クロック</th></tr><tr><td>0</td><td>0</td><td>φm</td></tr><tr><td>0</td><td>1</td><td>φm/4</td></tr><tr><td>1</td><td>0</td><td>φm/8</td></tr><tr><td>1</td><td>1</td><td>φm/16</td></tr></table>
１	PRM1n1	Prescaler Clock Mode カウント・クロックの中間クロック（φm）を選択します（φは内部システム・クロック）。 ０：φ/2 １：φ/4

注意　タイマ動作中にカウント・クロックを変更しないでください。

備考　n = 0-5

（３）タイマ・コントロール・レジスタ40, 41（TMC40, TMC41）

TMC40, TMC41はそれぞれTM40, TM41の動作を制御します。

８/１ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TMC40	CE40	0	0	0	0	PRS400	PRM401	PRM400	FFFFF342H	00H
TMC41	CE41	0	0	0	0	PRS410	PRM411	PRM410	FFFFF346H	00H

ビット位置	ビット名	意　　味
7	CE4n	Count Enable タイマの動作を制御します。 ０：タイマは0000H状態で停止し，動作しません。 １：タイマはカウント動作を行います。
2	PRS4n0	Prescaler Clock Select 内部カウント・クロックを選択します（φmは中間クロック）。 ０：φm/16 １：φm/32
１，０	PRM4n1, PRM4n0	Prescaler Clock Mode カウント・クロックの中間クロック（φm）を選択します（φは内部システム・クロック）。

PRM4n1	PRM4n0	φm
0	0	φ/２
0	1	φ/４
1	0	φ/８
1	1	RFU（予約）

注意　タイマ動作中にカウント・クロックを変更しないでください。

備考　n = 0, 1

（４）タイマ出力コントロール・レジスタ10-15（TOC10-TOC15）

TOC1nレジスタはTO1n0, TO1n1端子からのタイマ出力を制御します（n = 0-5）。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TOC10	ENTO101	ALV101	ENTO100	ALV100	0	0	0	0	FFFFF244H	00H
TOC11	ENTO111	ALV111	ENTO110	ALV110	0	0	0	0	FFFFF264H	00H
TOC12	ENTO121	ALV121	ENTO120	ALV120	0	0	0	0	FFFFF284H	00H
TOC13	ENTO131	ALV131	ENTO130	ALV130	0	0	0	0	FFFFF2A4H	00H
TOC14	ENTO141	ALV141	ENTO140	ALV140	0	0	0	0	FFFFF2C4H	00H
TOC15	ENTO151	ALV151	ENTO150	ALV150	0	0	0	0	FFFFF2E4H	00H

ビット位置	ビット名	意　　味
７，５	ENTO1n1, ENTO1n0	Enable TO pin 対応する各タイマ出力（TO1n0, TO1n1）の許可を行います。 ０：タイマ出力は禁止状態です。対応するTO1n0, TO1n1端子からはALV1n0, ALV1n1ビットの逆相のレベル（インアクティブ・レベル）が出力されます。対応するコンペア・レジスタから一致信号が発生してもTO1n0, TO1n1端子のレベルは変化しません。 １：タイマ出力機能は許可状態です。対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは，ALV1n0, ALV1n1ビットの逆相のレベル（インアクティブ・レベル）が出力されます。
６，４	ALV1n1, ALV1n0	Active Level TO pin タイマ出力のアクティブ・レベルを指定します。 ０：アクティブ・レベルはロウ・レベル １：アクティブ・レベルはハイ・レベル

備考１． TO1n0, TO1n1出力のフリップフロップはリセット優先です。

２． n = 0-5

注意　TO1n0, TO1n1出力は外部割り込み信号（INTP1n0-INTP1n3）では変化しません。TO1n0, TO1n1信号を使用するときは，キャプチャ／コンペア・レジスタをコンペア・レジスタ（TUM1nレジスタのCMS1n0-CMS1n3ビット = 1）に指定してください。

（５）外部割り込みモード・レジスタ1-6（INTM1-INTM6）

TM1nのCC1n0-CC1n3をキャプチャ・レジスタとして使用する場合，外部割り込みINTP1n0-INTP1n3信号の有効エッジをキャプチャ・トリガとして検出します（詳細は，**第７章　割り込み／例外処理機能**を参照してください）（n = 0-5）。

（６）タイマ・オーバフロー・ステータス・レジスタ（TOVS）

TM10-TM15, TM40, TM41からのオーバフロー・フラグを割り当てています。

8/1ビット単位でリード／ライト可能です。

TOVSレジスタをソフトウエアでテスト＆リセットすることで，オーバフロー発生をポーリングすることができます。

	7	6	5	4	3	2	1	0	アドレス	初期値
TOVS	OVF41	OVF40	OVF15	OVF14	OVF13	OVF12	OVF11	OVF10	FFFFF230H	00H

ビット位置	ビット名	意　　味
7-0	OVF41, OVF40, OVF15- OVF10	Overflow Flag TM41, TM40, TM1nのオーバフロー・フラグです。 ０：オーバフロー発生なし １：オーバフローが発生 **注意　TM1nからはオーバフローに同期して，割り込みコントローラに対し，割り込み要求（INTOV1n）が発生しますが，割り込みの動作と，TOVSレジスタは独立しており，TM1nからのオーバフロー・フラグ（OVF1n）に対しても，ほかのオーバフロー・フラグと同様にソフトウエアで操作できます。** **このとき，INTOV1nに対応する割り込み要求フラグ（OVF1n）には影響を与えません。** CPUからのアクセス期間中はTOVSレジスタへの転送は行われません。したがって，TOVSレジスタの読み出し中にオーバフローが発生しても，フラグの値は変化せず，次の読み出し時に反映されます。

備考　n = 0-5

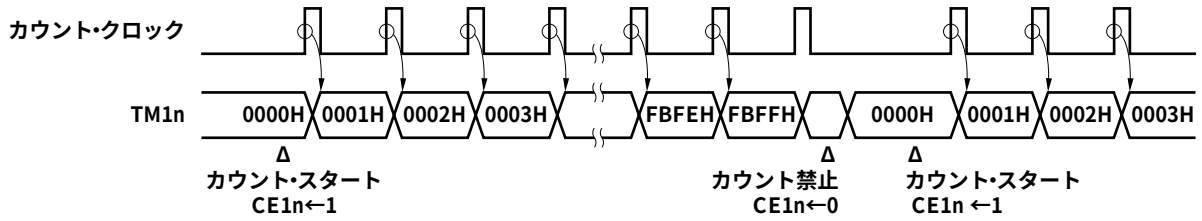
9.4　タイマ１動作

9.4.1　カウント動作

タイマ１は，16ビットのフリー・ランニング・タイマまたは，外部信号のイベント・カウンタとして機能します。動作の設定は，タイマ・コントロール・レジスタ１n（TMC1n）で指定します（n = 0-5）。

フリー・ランニング・タイマとして動作する場合，CC1n0-CC1n3レジスタとTM1nのカウント値が一致すると，割り込み信号を発生させるとともに，タイマ出力信号TO1n0, TO1n1をセット/リセットすることができます。また，外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して，TM1nのカウント値をCC1n0-CC1n3レジスタに保持するキャプチャ動作を行います。キャプチャの値は，次のキャプチャ・トリガが発生するまで保持されます。

図９－１　タイマ１の基本動作



備考　n = 0-5

9.4.2　カウント・クロック選択

タイマ１に入力されるカウント・クロックには内部と外部があり，TMC1nレジスタのETI1nビットで選択できます（n = 0-5）。

注意　タイマの動作中にカウント・クロックを変更しないでください。

（1）内部カウント・クロック（ETI1nビット=0）

TMC1nレジスタのPRS1n1, PRS1n0, PRM1n1ビットの設定によってφ/２，φ/４，φ/８，φ/16，φ/32，φ/64の６通りから内部カウント・クロックを選択します。

PRS1n1	PRS1n0	PRM1n1	内部カウント・クロック
0	0	0	φ/２
0	0	1	φ/４
0	1	0	φ/８
0	1	1	φ/16
1	0	0	φ/16
1	0	1	φ/32
1	1	0	φ/32
1	1	1	φ/64

備考　n = 0-5

（2）外部カウント・クロック（ETI1nビット＝1）

TI1n端子に入力される信号をカウントします。このとき，タイマ１はイベント・カウンタとして動作することもできます。

TI1nの有効エッジはTUM1nレジスタのTES1n1, TES1n0ビットによって指定します。

TES1n1	TES1n0	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり，立ち下がり両エッジ

備考　n = 0-5

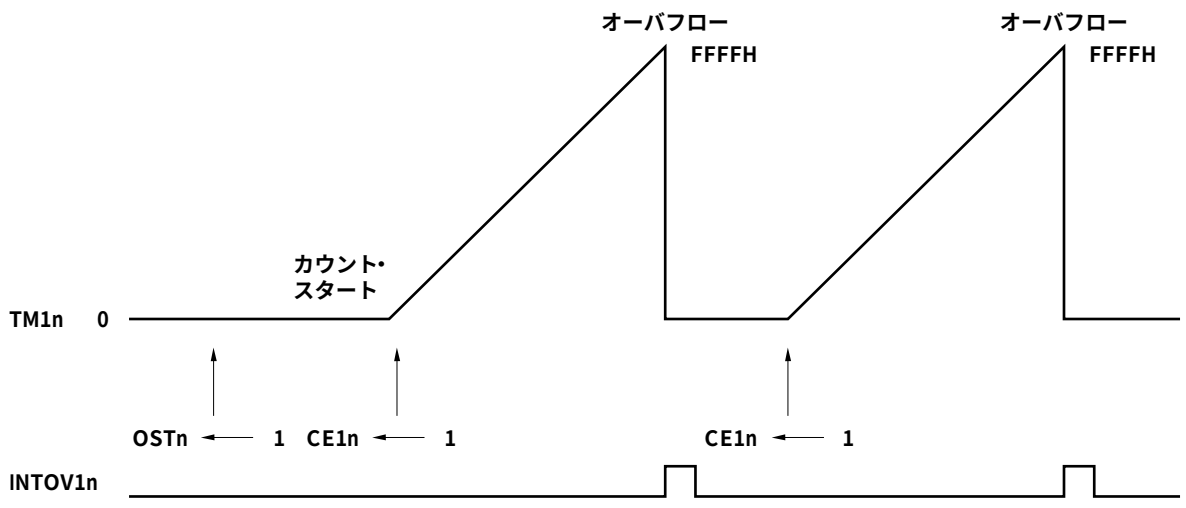
9.4.3　オーバフロー

TM1nレジスタがカウント・クロックをFFFFHまでカウントした結果オーバフローすると，TOVSレジスタのOVF1nビットにフラグをセットし，オーバフロー割り込み（INTOV1n）を発生します（n = 0-5）。

また，TUM1nレジスタのOSTnビットをセット（1）することで，オーバフロー後，タイマを停止させることができます。オーバフローによりタイマが停止した場合，TMC1nレジスタのCE1nビットをセット（1）するまでカウント動作を再開しません。

なお，カウント動作中にCE1nビットをセット（1）しても動作に影響はありません。

図９－２　オーバフロー後の動作（ECLR1n = 0，OSTn = 1の場合）



備考　n = 0-5

９．４．４　TCLR1n信号入力によるタイマのクリア／スタート

タイマ１は，通常TMC1nレジスタのCE1nビットをセット（１）するとカウント動作を開始しますが，TCLR1n信号入力によって，TM1nをクリアし，カウント動作を開始することができます（n = 0-5）。

TUM1nレジスタのECLR1nビット = 1，OSTnビット = 0に設定し，CE1nビットをセット（１）したあと，TCLR1n信号に有効エッジを入力すると，カウント動作を開始します。また，動作中にTCLR1n信号に有効エッジが入力されると，TM1nは値をクリアし，カウント動作を再開します（**図９－３**参照）。

TUM1nレジスタのECLR1nビット = 1，OSTnビット = 1に設定し，CE1nビットをセット（１）したあと，TCLR1n信号に有効エッジを入力すると，カウント動作を開始します。TM1nがオーバフローすると，カウント動作はいったん停止し，TCLR1n信号に有効エッジが入力されるまでカウント動作は再開しません。カウント動作中にTCLR1n信号の有効エッジが検出されると，TM1nはクリアされカウント動作を続けます（**図９－４**参照）。なお，オーバフロー後にCE1nビットをセット（１）しても，カウント動作は再開しません。

図９－３　TCLR1n信号入力によるタイマのクリア／スタート動作（ECLR1n = 1，OSTn = 0の場合）

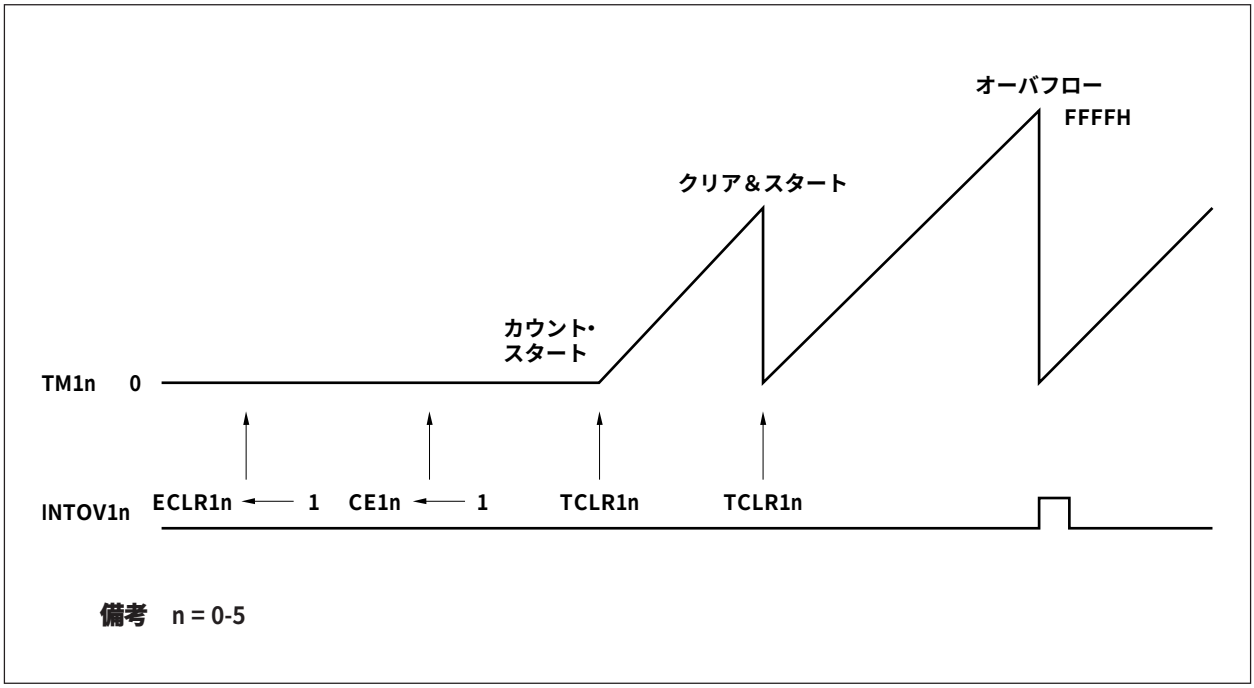
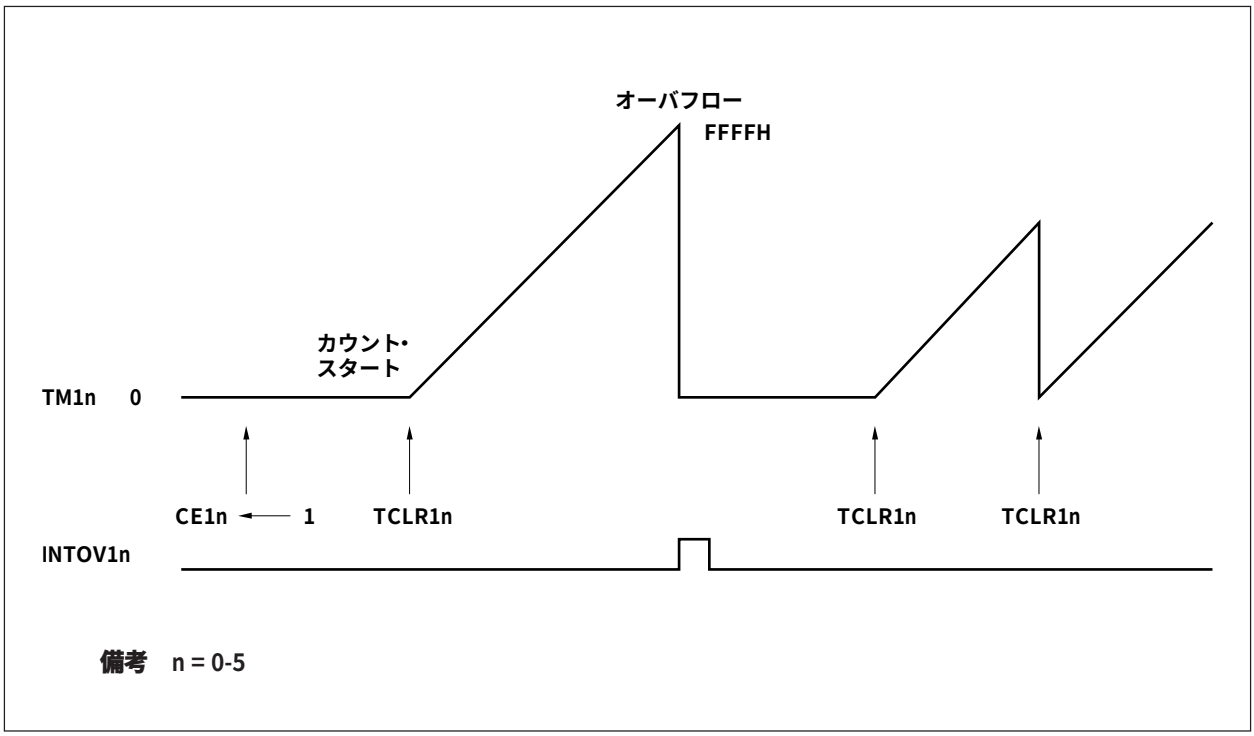


図９－４　TCLR1n信号入力によるクリア／スタートとオーバフロー動作の関係（ECLR1n = 1，OSTn = 1の場合）



9.4.5　キャプチャ動作

外部トリガに同期して，TM1nのカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います（n = 0-5）。外部トリガとして，外部割り込み要求入力端子INTP1n0-INTP1n3から検出された有効エッジを用います（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して，カウント中のTM1nのカウント値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は，次のキャプチャ・トリガが発生するまで保持されます。

また，INTP1n0-INTP1n3信号入力により割り込み要求（INTCC1n0-INTCC1n3）を発生します。

表９－２　16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号（TM1n）

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC1n0	INTP1n0
CC1n1	INTP1n1
CC1n2	INTP1n2
CC1n3	INTP1n3

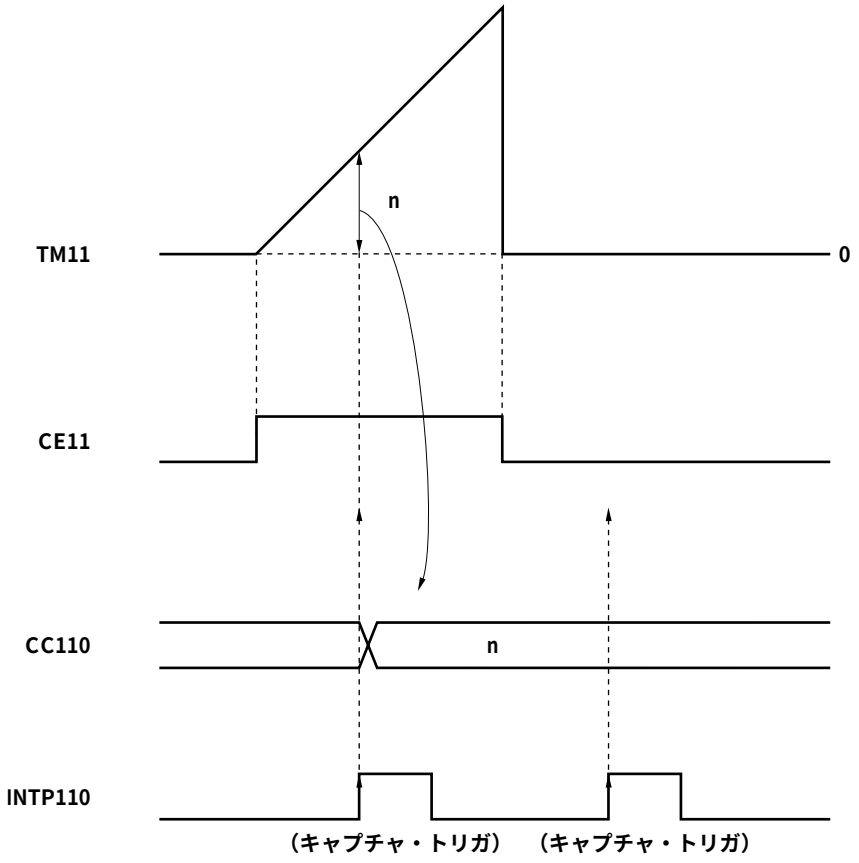
備考１． CC1n0-CC1n3はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは，タイマ・ユニット・モード・レジスタ１n（TUM1n）で指定します。

２． n = 0-5

キャプチャ・トリガの有効エッジは，外部割り込みモード・レジスタ（INTM1-INTM6）により設定します。

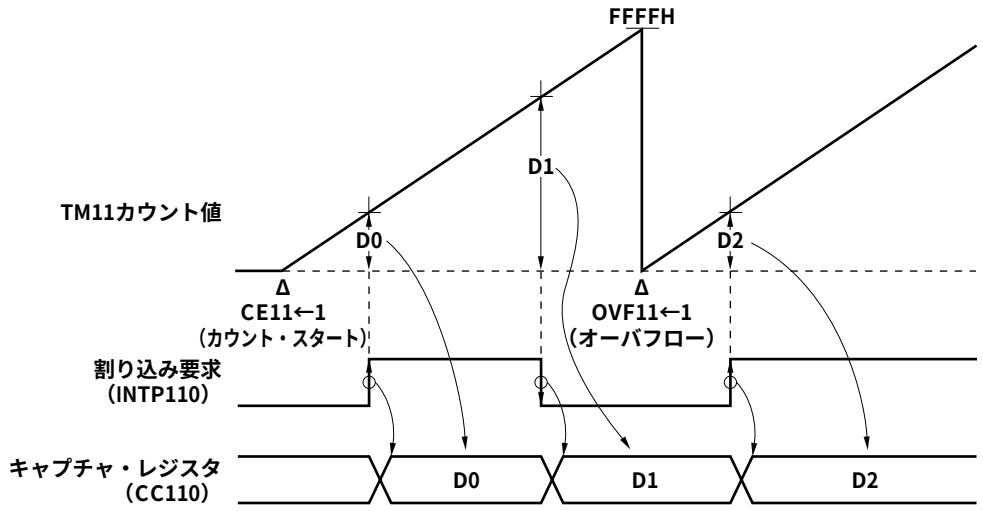
立ち上がり，立ち下がりの両エッジをキャプチャ・トリガとした場合は，外部からの入力パルス幅を測定できます。また，片側エッジをキャプチャ・トリガとした場合は，入力パルスの周期を測定できます。

図９－５　キャプチャ動作例



備考　CE11ビット＝０のとき，INTP110が入力されてもキャプチャ動作は行われません。

図９－６　TM11キャプチャ動作例（両エッジ指定時）



備考　D0-D2：TM11のカウント値

9.4.6　コンペア動作

コンペア・レジスタに設定した値とTM1nのカウント値を比較するコンペア動作を行います（n = 0-5）。

あらかじめ設定したコンペア・レジスタの値に，TM1nのカウント値が一致すると，出力制御回路に一致信号を送ります（図９－７参照）。一致信号によりタイマ出力端子（TO1n0, TO1n1）を変化させ，同時に割り込み要求信号を発生します。

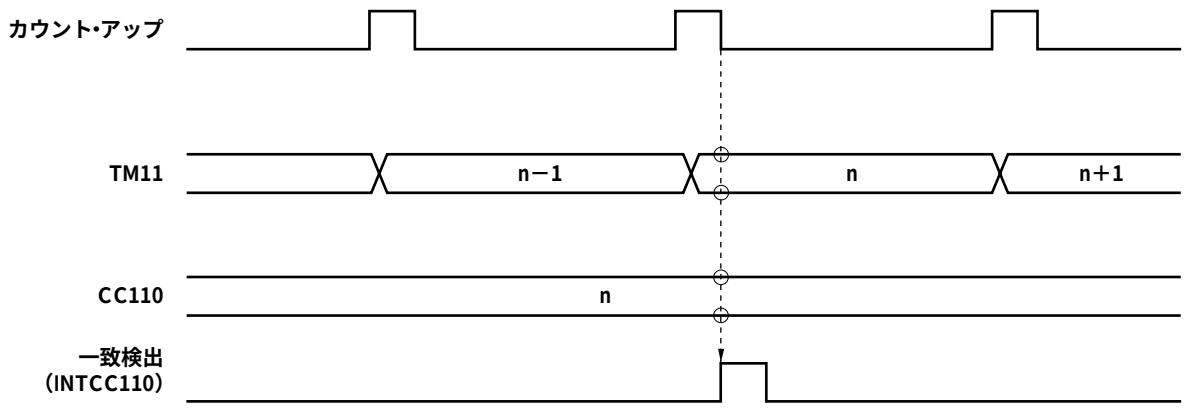
表９－３　16ビット・コンペア・レジスタからの割り込み要求信号（TM1n）

コンペア・レジスタ	割り込み要求信号
CC1n0	INTCC1n0
CC1n1	INTCC1n1
CC1n2	INTCC1n2
CC1n3	INTCC1n3

備考１．CC1n0-CC1n3はキャプチャ／コンペア・レジスタです。どちらのレジスタとして使用するかはタイマ・ユニット・モード・レジスタ１n（TUM1n）で指定します。

２．n = 0-5

図９－７　コンペア動作例



備考　一致はカウント・アップ直後に検出され，一致検出信号を発生します。

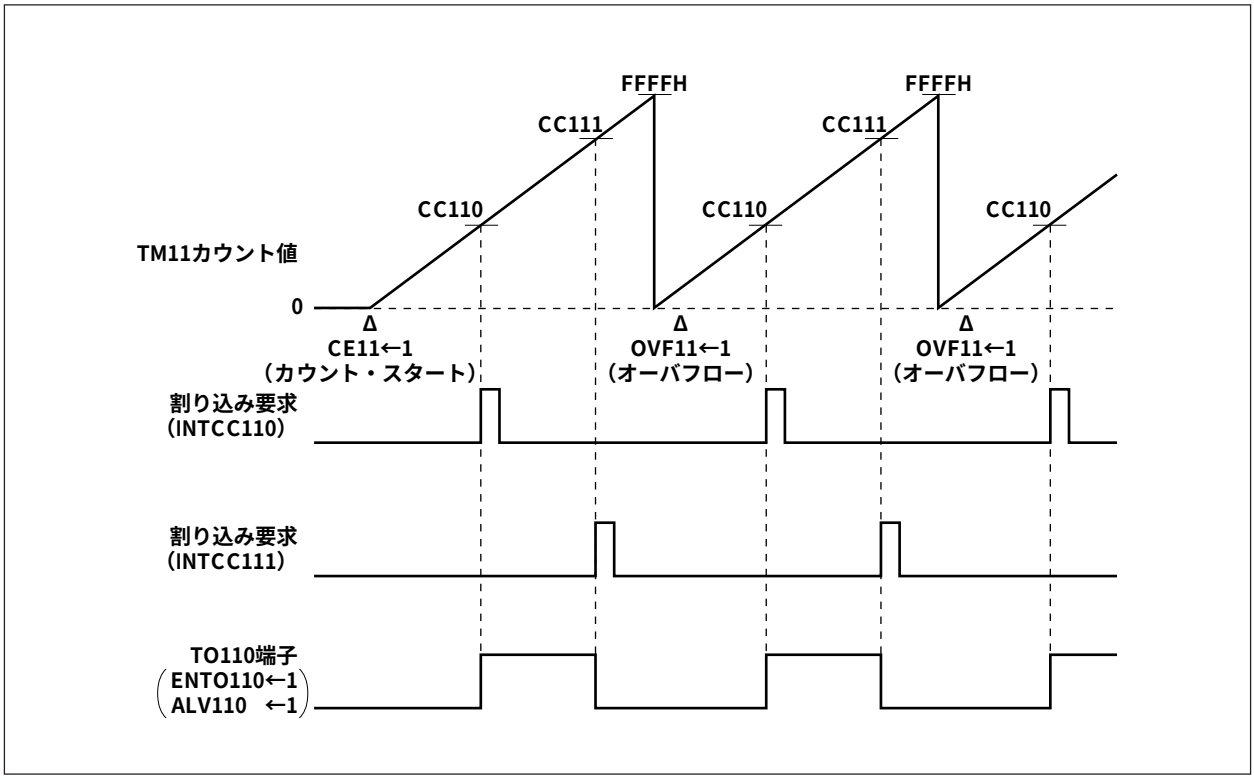
タイマ１は12本のタイマ出力端子（TO1n0, TO1n1）を持っています。

TM1nのカウント値とCC1n0の値を比較し，一致するとTO1n0端子の出力レベルをセットします。またTM1nのカウント値とCC1n1の値を比較し，一致するとTO1n0端子の出力レベルをリセットします。

同様に，TM1nのカウント値とCC1n2の値を比較し，一致するとTO1n1端子の出力レベルをセットします。また，TM1nのカウント値とCC1n3の値を比較し，一致するとTO1n1端子の出力レベルをリセットします。

TO1n0, TO1n1端子の出力レベルは，TOC1nレジスタによって指定できます。

図９－８　TM11コンペア動作例（セット／リセット出力モード）



9.5　タイマ４動作

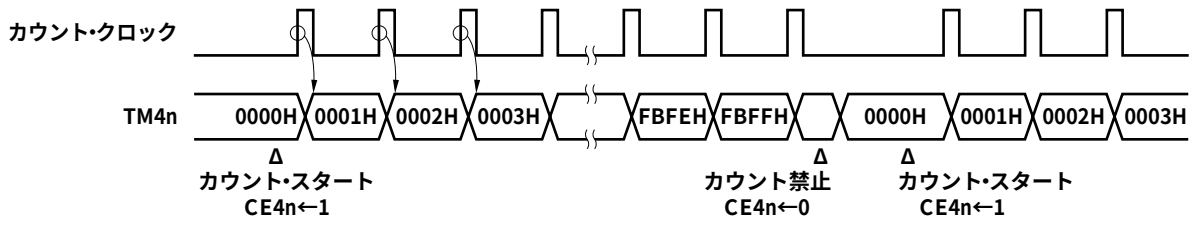
9.5.1　カウント動作

タイマ４は，16ビットのインターバル・タイマとして機能します。動作の設定は，タイマ・コントロール・レジスタ４n（TMC4n）で指定します（n = 0, 1）。

タイマ４のカウント動作は，TMC4nレジスタのPRS4n0,PRM4n1,PRM4n0ビットで指定される内部カウント・クロック（φ/32-φ/256）をカウント・アップします。

カウントの結果，TM4nの値がCM4nと一致すると，TM4nをクリアします。同時に一致割り込み（INTCM4n）を発生します。

図９－９　タイマ４の基本動作



備考　n = 0, 1

9.5.2　カウント・クロック選択

TMC4nレジスタのPRS4n0,PRM4n1,PRM4n0ビットの設定によってφ/32，φ/64，φ/128，φ/256の４通りから内部カウント・クロックを選択します（n = 0, 1）。

注意　タイマの動作中にカウント・クロックを変更しないでください。

PRS4n0	PRM4n1	PRM4n0	内部カウント・クロック
0	0	0	φ/32
0	0	1	φ/64
0	1	0	φ/128
0	1	1	RFU（予約）
1	0	0	φ/64
1	0	1	φ/128
1	1	0	φ/256
1	1	1	RFU（予約）

備考　n = 0, 1

9.5.3　オーバフロー

内部カウント・クロックをカウントした結果，TM4nがオーバフローすると，TOVSレジスタのOVF4nビットをセット（１）します（n = 0, 1）。

9.5.4 コンペア動作

タイマ４では，コンペア・レジスタ（CM4n）に設定した値とTM4nのカウント値を比較するコンペア動作を行います（n = 0, 1）。

コンペア動作で一致を検出すると割り込み（INTCM4n）を発生します。割り込み発生により，次のカウント・タイミングでTM4nはクリア（０）されます（**図９－10（ａ）**参照）。この機能により，タイマ４をインターバル・タイマとして使用します。

CM4nには０を設定することもできます。この場合はオーバフローしてTM4nが０になるとともに一致を検出しINTCM4nが発生します。次のカウント・タイミングでTM4nの値をクリア（０）しますが，この一致では，INTCM4nは発生しません（**図９－10（ｂ）**参照）。

図９－10　TM40コンペア動作例（1/2）

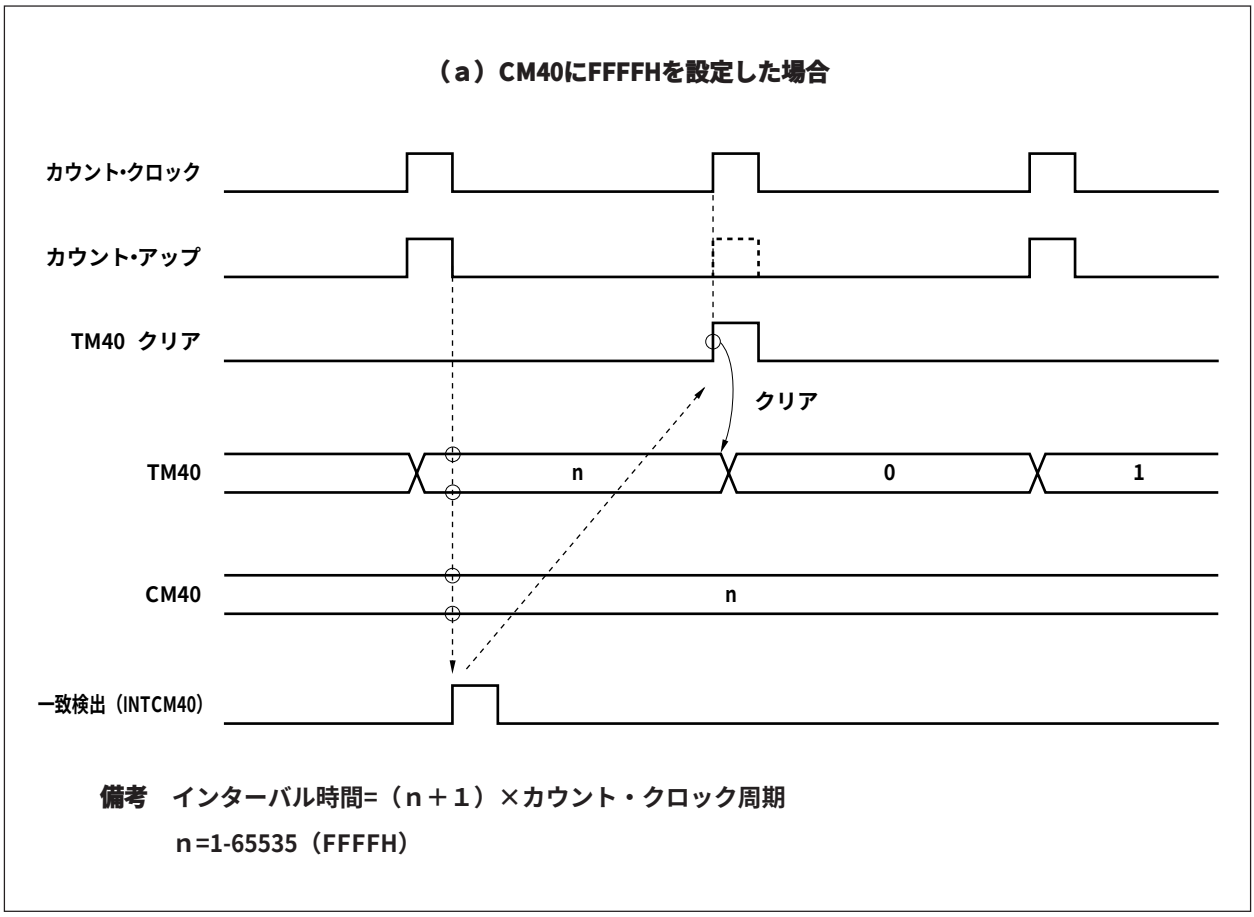
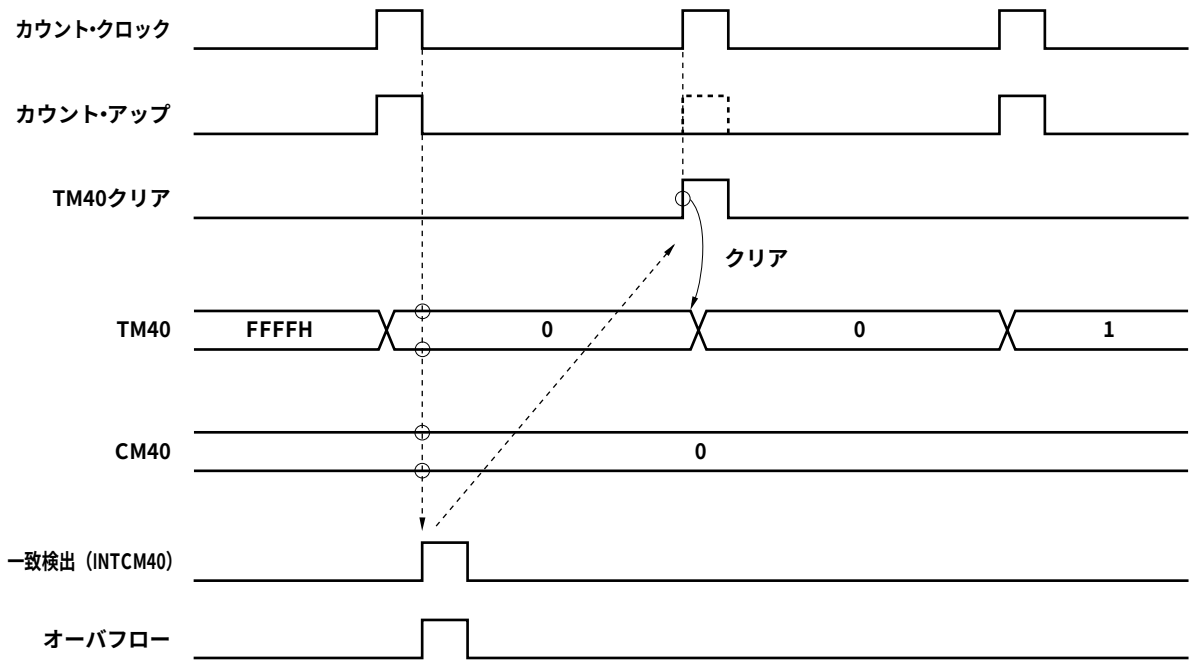


図９－10　TM40コンペア動作例（2/2）

（b）CM40に０を設定した場合



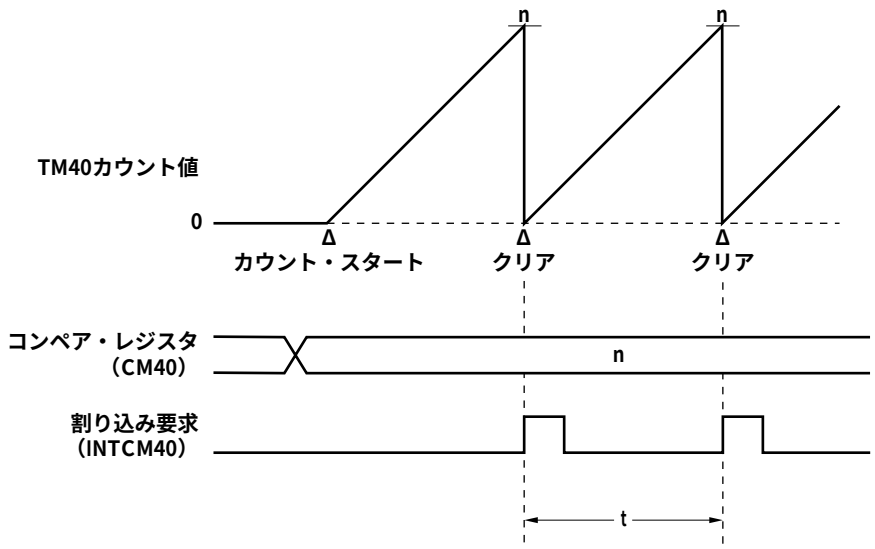
備考　インターバル時間=（FFFFH＋１）×カウント・クロック周期

9.6　応 用 例

（1）インターバル・タイマとしての動作（タイマ４）

タイマ４をコンペア・レジスタ（CM4n）にあらかじめ設定したカウント時間をインターバルとして繰り返し割り込み要求を発生するインターバル・タイマとして使用します（n = 0, 1）。

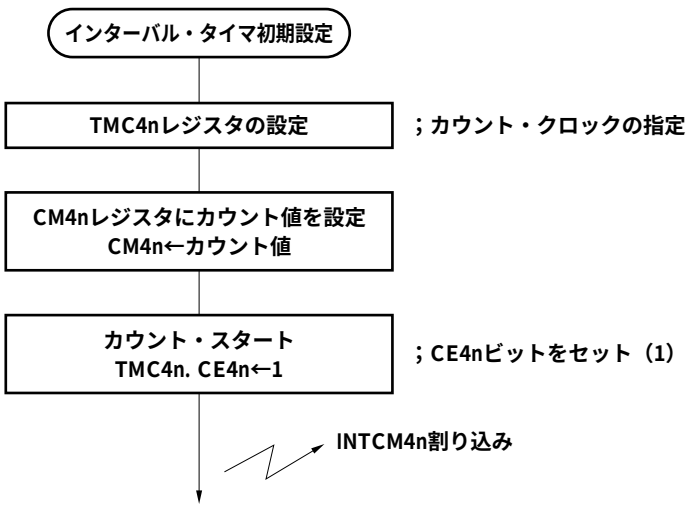
図９－11　インターバル・タイマ動作のタイミング例



備考　n：CM40レジスタの値

t：インターバル時間=（n＋1）×カウント・クロック周期

図９－12　インターバル・タイマ動作の設定手順例



備考　n = 0, 1

（２）パルス幅測定としての動作（タイマ１）

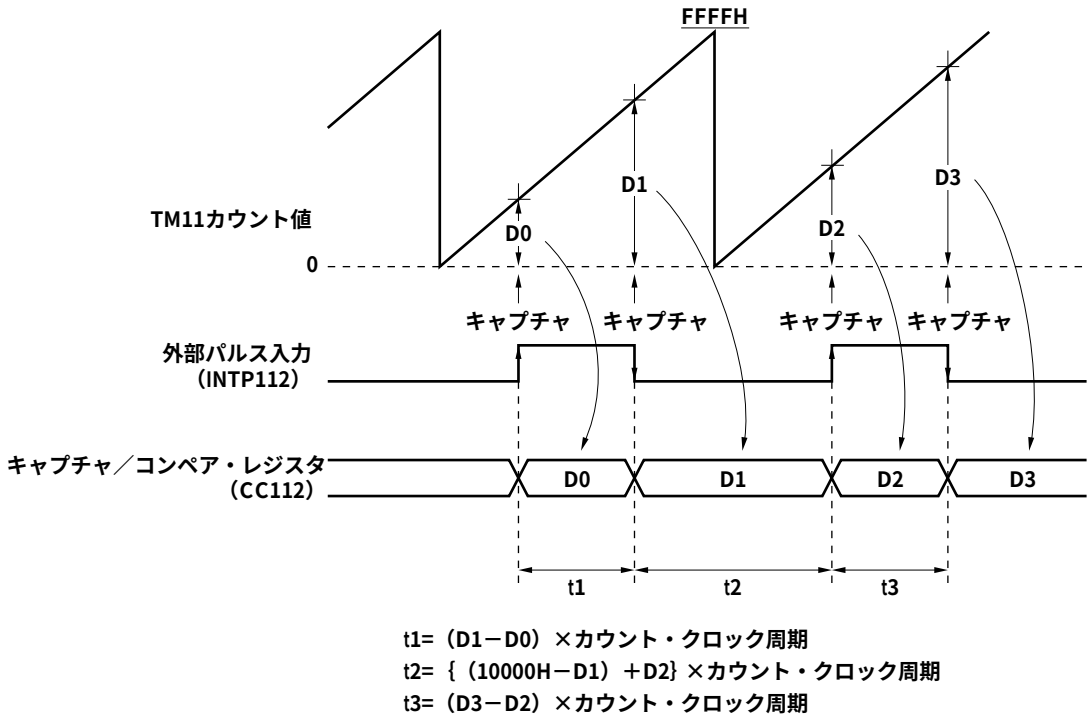
パルス幅測定には，タイマ１を使用します。

ここでは，INTP112端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定する例を示します。

図９－13に示すように，INTP112端子入力の有効エッジ（立ち上がり，立ち下がりの両エッジに指定）に同期して，カウント中のタイマ１（TM11）の値をキャプチャ／コンペア・レジスタ（CC112）に取り込み保持します。

パルス幅は，ｎ回目の有効エッジ検出によりCC112レジスタに取り込み保持されたTM11のカウント値（Dn）と（ｎ－１）回目の有効エッジ検出によるカウント値（Dn－１）との差を求め，この値と，カウント・クロックとの積から計算します。

図９－13　パルス幅測定のタイミング例



t1=（D1－D0）×カウント・クロック周期
t2=｛（10000H－D1）＋D2｝×カウント・クロック周期
t3=（D3－D2）×カウント・クロック周期

備考　D0-D3：TM11のカウント値

図９－14　パルス幅測定の設定手順例

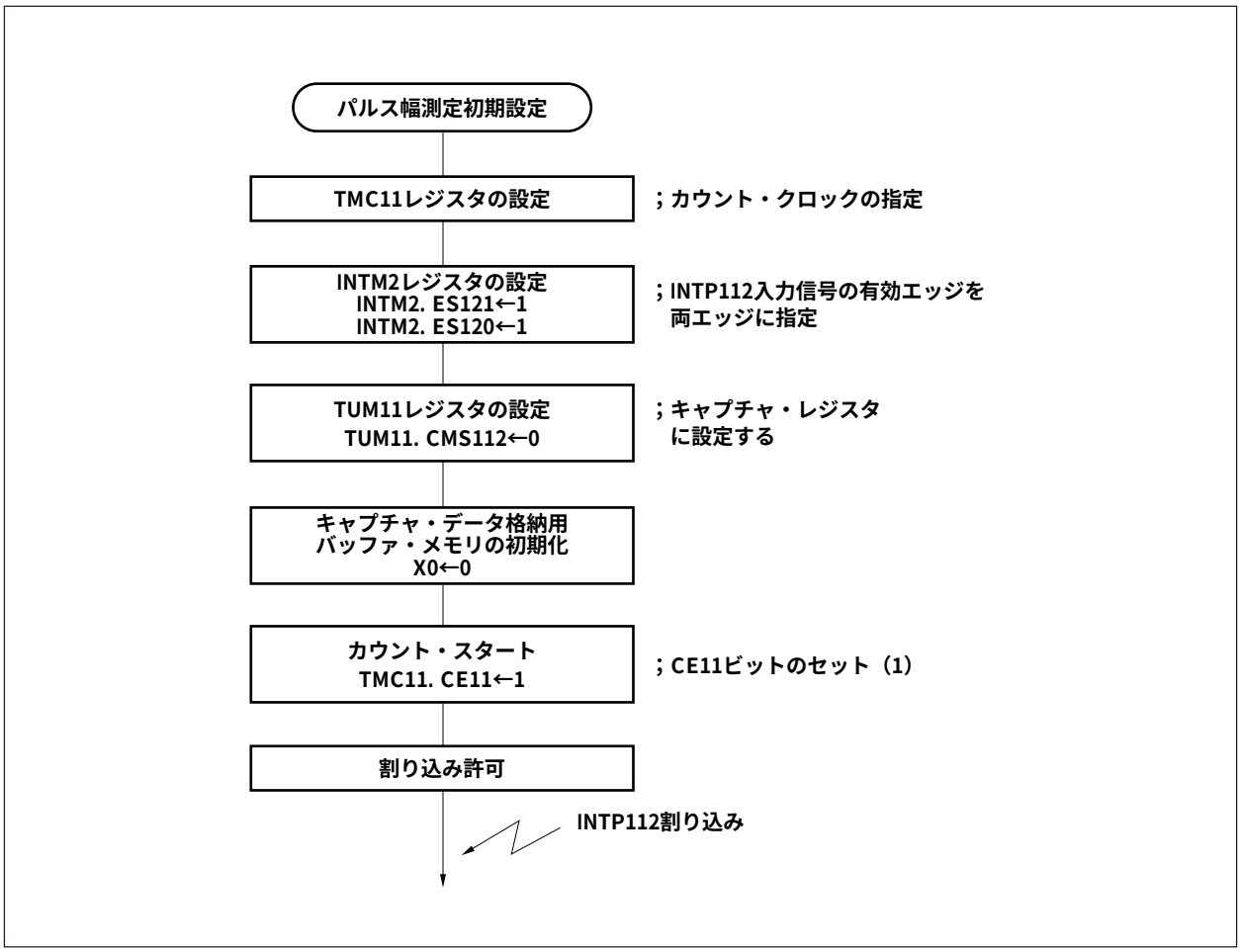
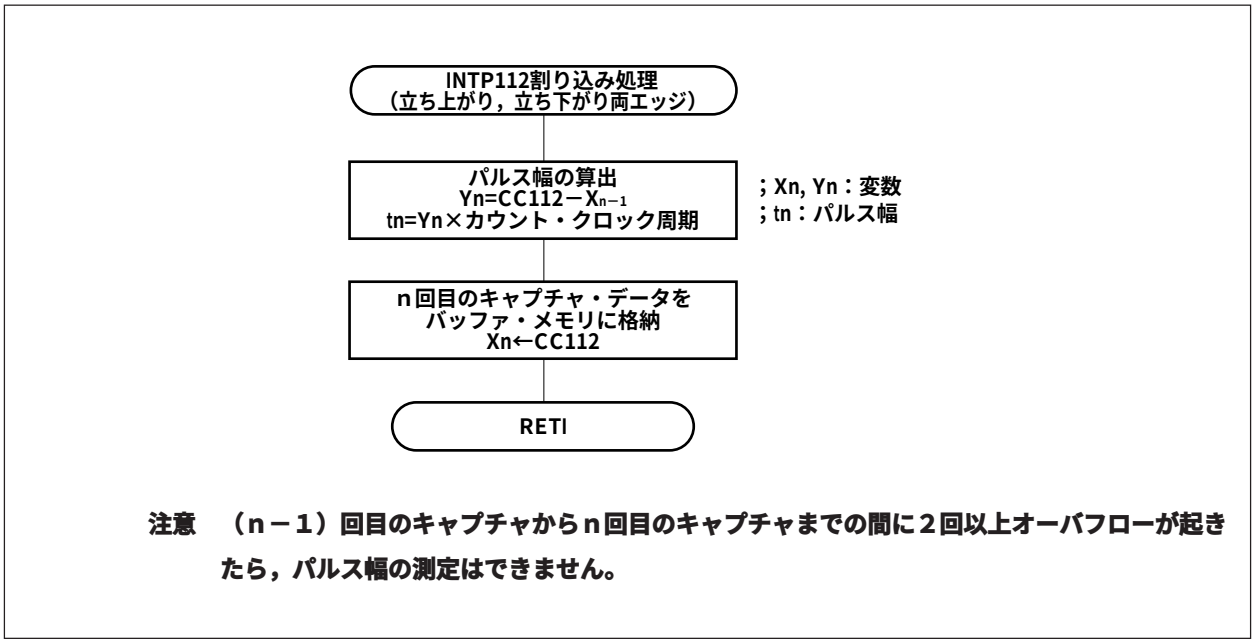


図９－15　パルス幅を算出する割り込み要求処理ルーチン例



注意　（n－1）回目のキャプチャからn回目のキャプチャまでの間に２回以上オーバフローが起きたら，パルス幅の測定はできません。

（３）PWM出力としての動作（タイマ１）

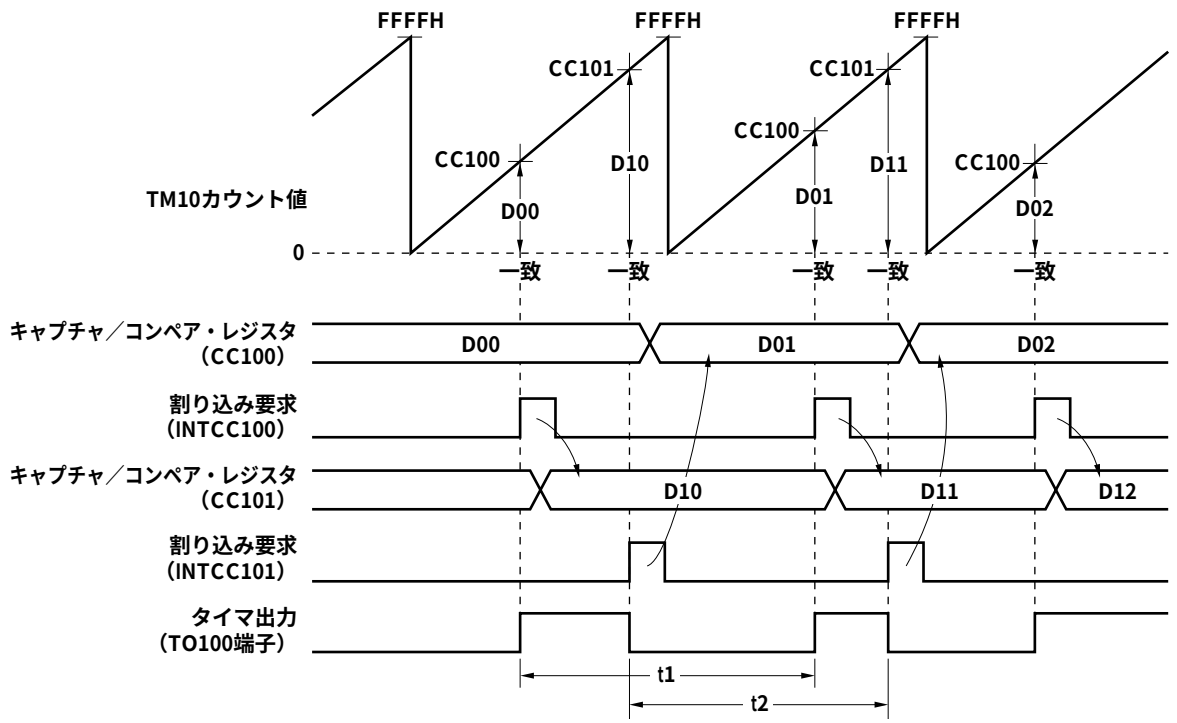
タイマ１とタイマ出力機能を組み合わせてタイマ出力端子（TO1n0, TO1n1）に任意の矩形波を出力し，PWM出力として使用することができます（n = 0-5）。

ここではキャプチャ／コンペア・レジスタCC100，CC101を使用する例を示します。

この場合，16ビット精度のPWM信号をTO100端子から出力することができます。図９－16にタイミングを示します。

16ビット・タイマとして使用した場合，図９－16に示すように，キャプチャ／コンペア・レジスタ（CC100）に設定する値でPWM出力の立ち上がりタイミングを決定し，キャプチャ／コンペア・レジスタ（CC101）に設定する値で，立ち下がりのタイミングを決定します。

図９－16　PWM出力のタイミング例



備考　D00-D02, D10-D12：コンペア・レジスタの設定値

t1 = ｛（10000H－D00）＋D01｝×カウント・クロック周期

t2 = ｛（10000H－D10）＋D11｝×カウント・クロック周期

図９－17　PWM出力の設定手順例

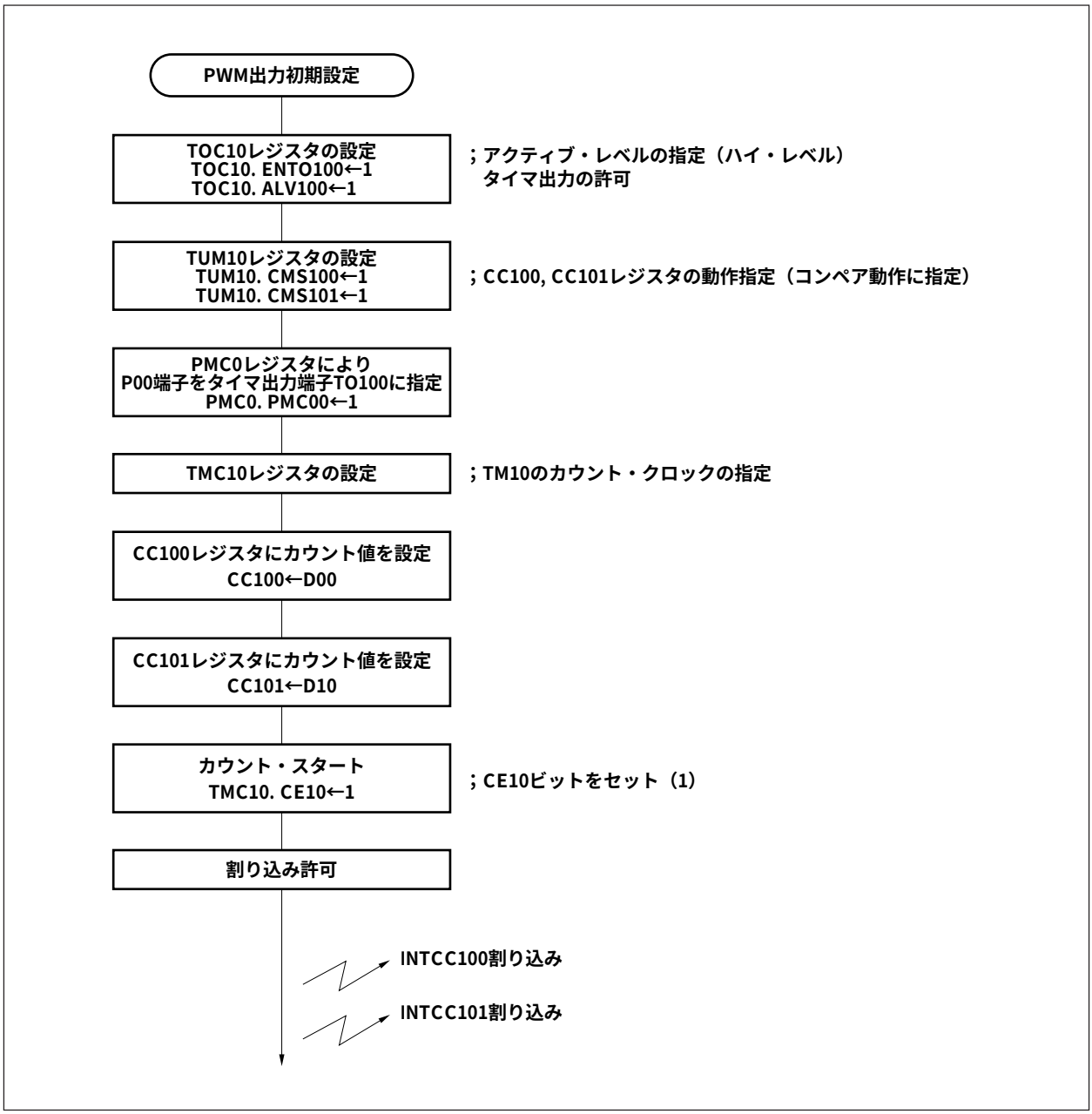
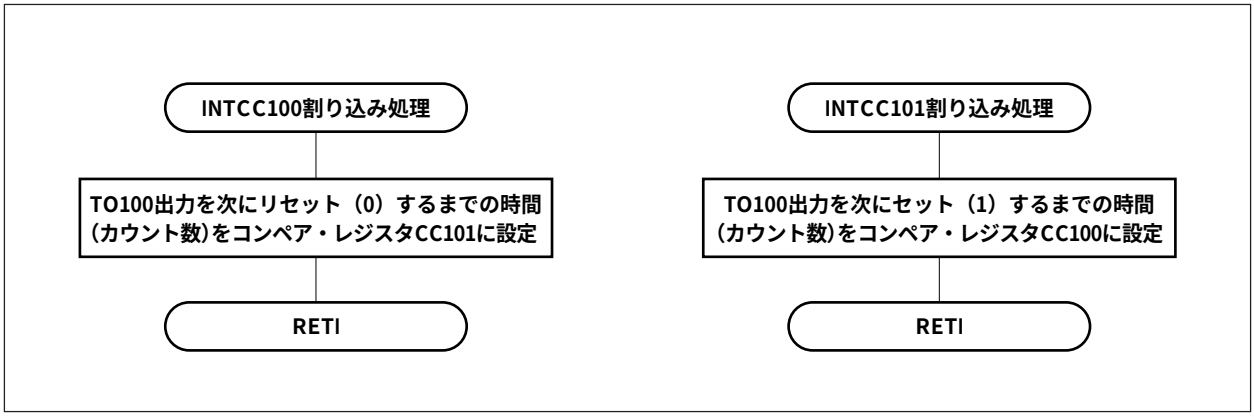


図９－18　コンペア値を書き換える割り込み要求処理ルーチン例



（４）周期測定としての動作（タイマ１）

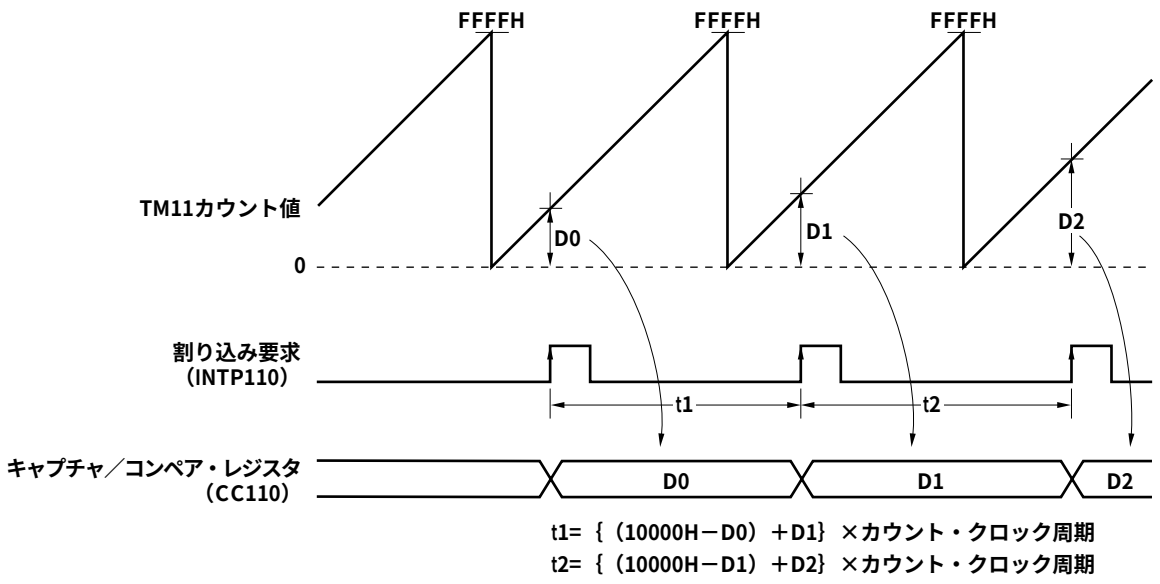
タイマ１はINTP1n0-INTP1n3端子に入力される外部パルスの周期を測定できます（n = 0-5）。

ここでは，タイマ１とキャプチャ／コンペア・レジスタCC110を組み合わせて，INTP110端子に入力される外部パルスの周期を16ビット精度で測定する例を示します。

INTP110入力信号の有効エッジをINTM2レジスタにより，立ち上がりエッジに指定します。

周期は，ｎ回目の立ち上がりエッジによりCC110レジスタに取り込み保持したTM11のカウント値（Dn）と，（ｎ－１）回目の立ち上がりエッジにより取り込んだカウント値（Dn－１）との差を求め，この値とカウント・クロックとの積から計算します。

図９－19　周期測定のタイミング例



備考　D0-D2：TM11のカウント値

図９－20　周期測定の設定手順例

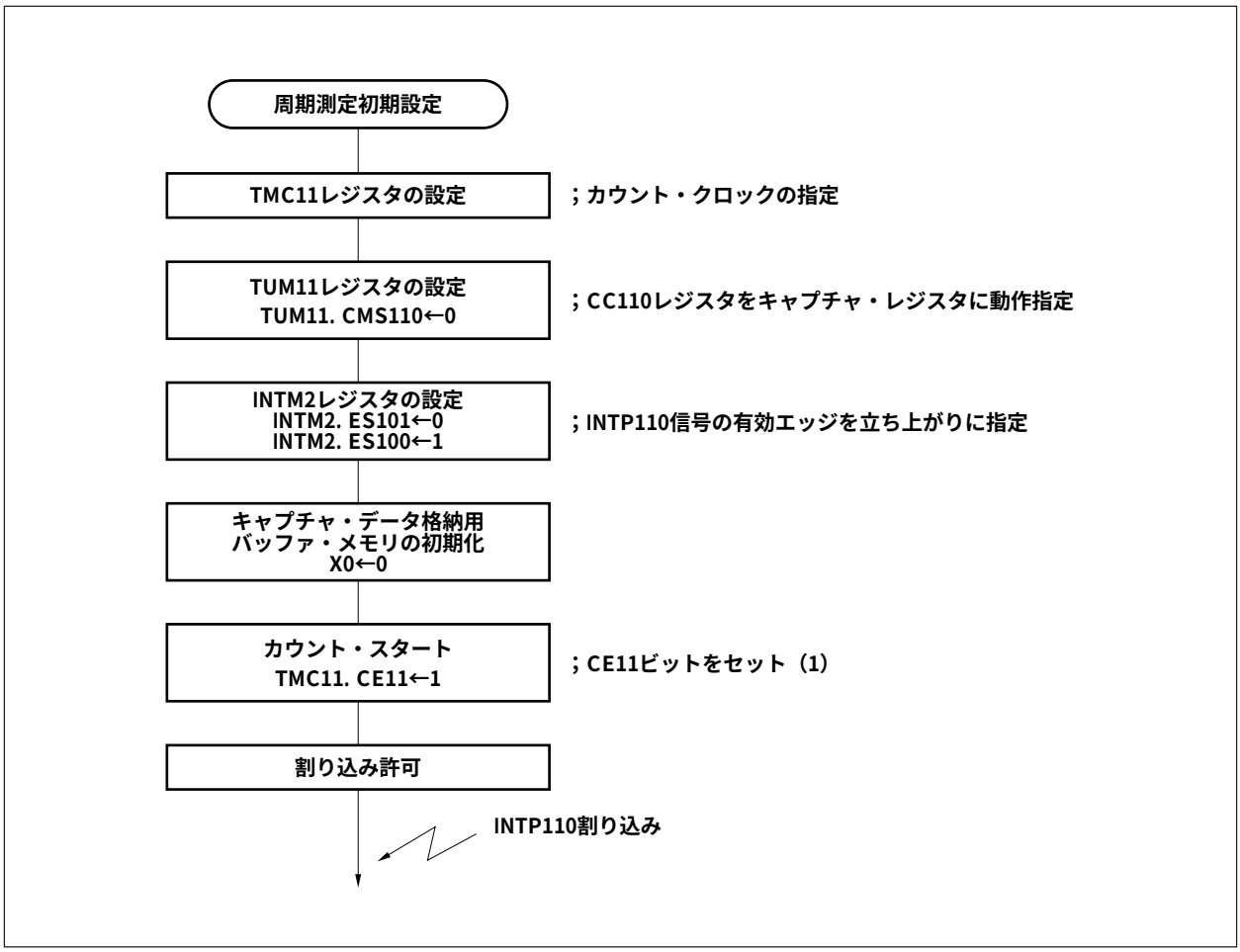
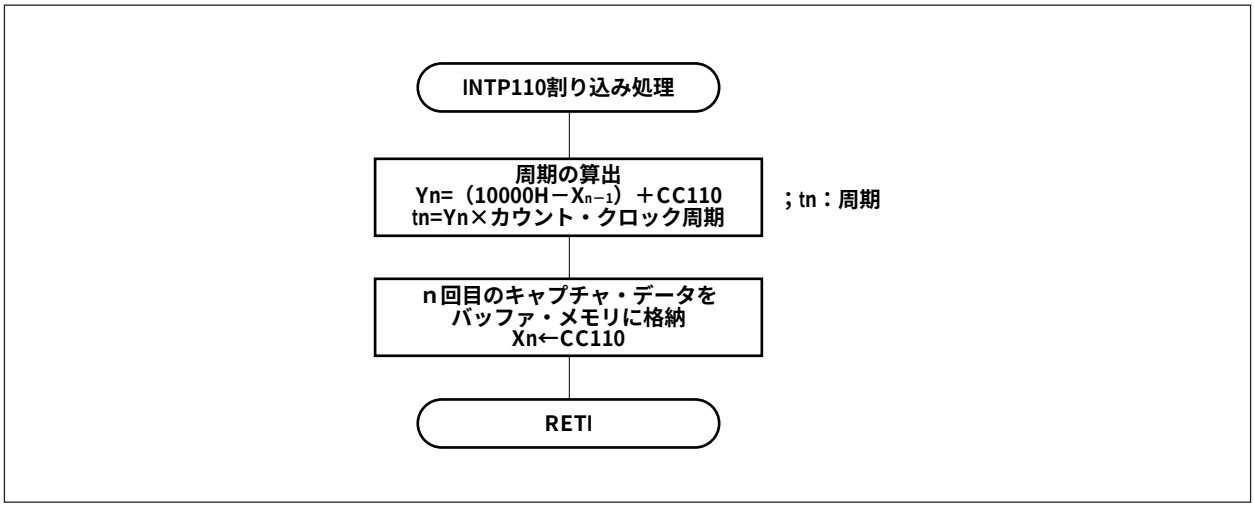


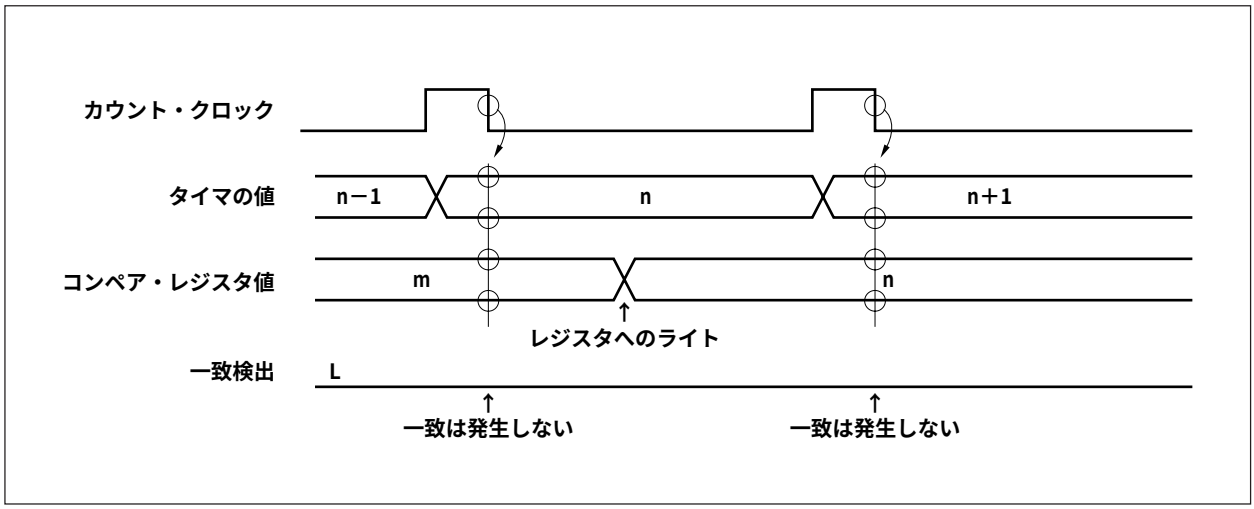
図９－21　周期を算出する割り込み要求処理ルーチン例



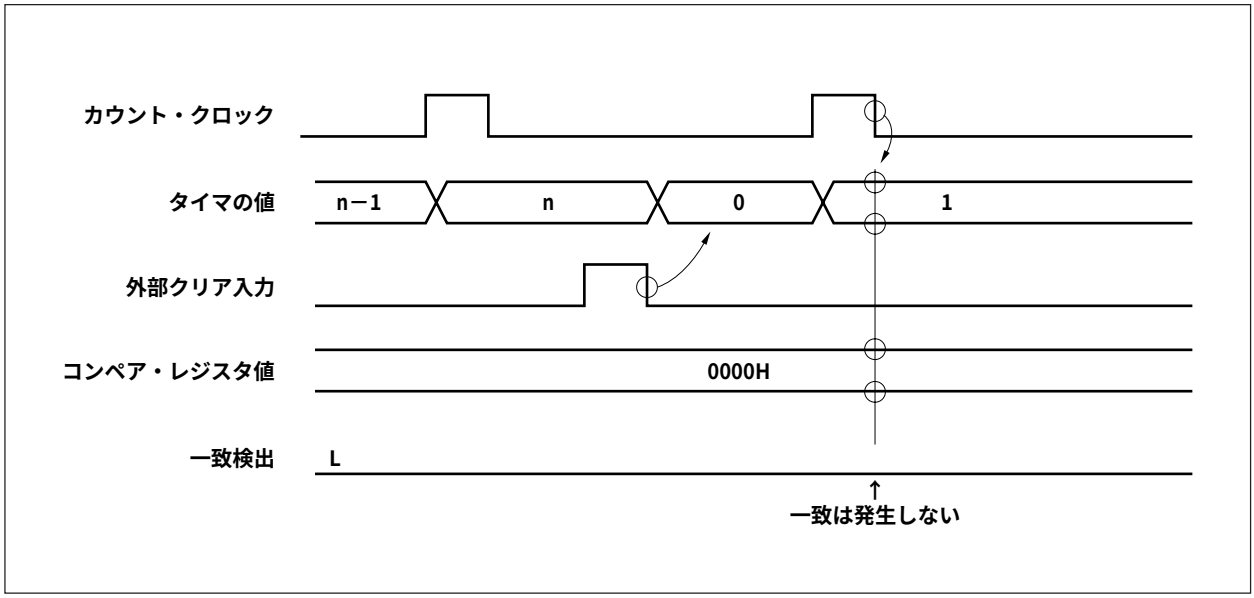
9.7　注意事項

コンペア・レジスタによる一致検出は，常にタイマのカウント・アップ直後のタイミングで行われます。次の場合，一致は発生しません。

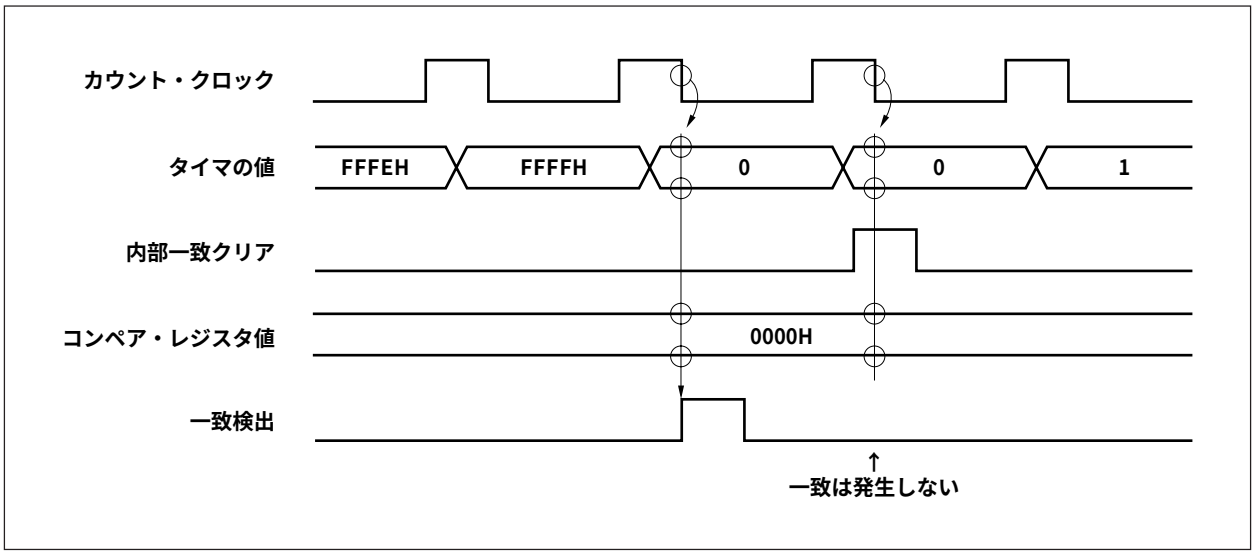
（1）コンペア・レジスタの書き換え時（TM10-TM15，TM40，TM41）



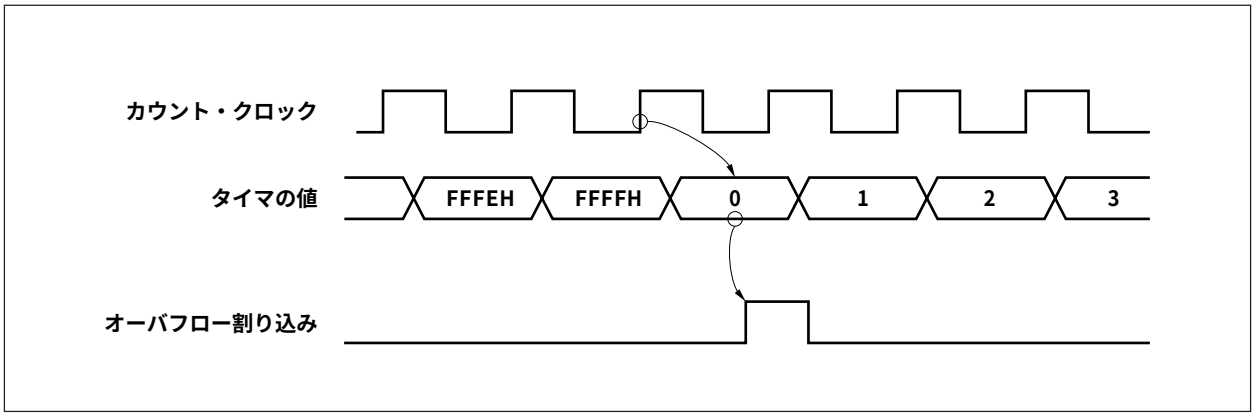
（2）外部クリア時（TM10-TM15）



（３）タイマ・クリア時（TM40，TM41）



備考　タイマ１をフリー・ランニング・タイマとして動作させるときには，タイマのオーバフローでタイマの値は，０になります。



第10章　シリアル・インタフェース機能

10.1　特　　徴

シリアル・インタフェース機能として，２種類６チャネルの送受信チャネルを備え，同時に４チャネルまで使用できます。

インタフェース形態としては次の２種類があります。

（１）アシンクロナス・シリアル・インタフェース（UART0, UART1）：２チャネル

（２）クロック同期式シリアル・インタフェース（CSI0-CSI3）：４チャネル

UART0, UART1は，スタート・ビットに続く１バイトのシリアル・データを送受信する方式をとり，全二重通信ができます。

CSI0-CSI3は，シリアル・クロック（$\overline{\text{SCK0}}$-$\overline{\text{SCK3}}$）とシリアル入力（SI0-SI3），シリアル出力（SO0-SO3）の３種類の信号線によるデータ転送を行います（３線式シリアルI/O）。

注意　UART0とCSI0，UART1とCSI1は端子が兼用になっており，ASIM00，ASIM10レジスタによりどちらか一方を選択して使用します。

10.2　アシンクロナス・シリアル・インタフェース０，１（UART0, UART1）

10.2.1　特　　徴

○転送速度　150 bps - 76800 bps（内部システム・クロック33 MHz時，専用ボー・レート・ジェネレータ使用）
　　最大4.125 Mbps（内部システム・クロック33 MHz時，φ/２クロック使用）

○全二重通信　受信バッファ（RXBn）内蔵

○２端子構成　TXDn：送信データの出力端子
　　RXDn：受信データの入力端子

○受信エラー検出機能
- パリティ・エラー
- フレーミング・エラー
- オーバラン・エラー

○割り込みソース：３種
- 受信エラー割り込み（INTSERn）
- 受信完了割り込み（INTSRn）
- 送信完了割り込み（INTSTn）

○送受信データのキャラクタ長はASIMn0, ASIMn1レジスタで指定

○キャラクタ長：７，８ビット
　　９ビット（拡張ビット付加時）

○パリティ機能：奇数，偶数，０，なし

○送信ストップ・ビット：１，２ビット

○専用ボー・レート・ジェネレータ内蔵

○シリアル・クロック（$\overline{\text{SCKn}}$）出力機能

備考　n = 0, 1

10.2.2　構　　成

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIMn0, ASIMn1），アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASISn）によって，UARTnを制御します（n = 0, 1）。受信データは受信バッファ（RXBn）に保持され，送信データは送信シフト・レジスタ（TXSn）に書き込みます。

アシンクロナス・シリアル・インタフェースは，図10－１のように構成されます。

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM00，ASIM01，ASIM10，ASIM11）

ASIMn0, ASIMn1レジスタは，アシンクロナス・シリアル・インタフェースの動作を指定する８ビット・レジスタです。

（2）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS0，ASIS1）

ASISnレジスタは，受信エラー発生時のエラー内容を示すフラグおよび送信ステータス・フラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット（１）され，受信バッファ（RXBn）からデータを読み出すか，新たに次のデータを受信することによってクリア（０）されます（次のデータにもエラーがあれば，そのエラー・フラグがクリア（０）されずセット（１）されたままになります）。

送信ステータス・フラグは送信開始タイミングにセット（１）され，送信が終了するとクリア（０）されます。

（3）受信制御パリティ・チェック

ASIMn0, ASIMn1レジスタに設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのエラー・チェックも行い，エラーが検出された場合は，エラー内容に応じた値をASISnレジスタにセットします。

（4）受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。１バイト分データを受信すると，受信データを受信バッファへ転送します。

このレジスタは直接操作することはできません。

（5）受信バッファ（RXB0，RXB0L，RXB1，RXB1L）

RXBnは，受信データを保持する９ビットのバッファ・レジスタで，７，８ビット/キャラクタの受信では上位ビットには０が格納されます。

このレジスタへの16ビット・アクセス時はRXB0，RXB1を，下位８ビット・アクセス時はRXB0L，RXB1Lを指定します。

受信許可状態中は，受信データは１フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また，受信バッファへの転送により，受信完了割り込み要求（INTSRn）が発生します。

（6）送信シフト・レジスタ（TXS0，TXS0L，TXS1，TXS1L）

TXSnは，９ビットの送信処理用シフト・レジスタで，このレジスタへのデータ書き込みにより，送信動作が開始されます。

TXSnのデータを含む１フレームの送出終了に同期して送信完了割り込み要求（INTSTn）を発生します。

このレジスタへの16ビット・アクセス時はTXS0，TXS1を，下位８ビット・アクセス時はTXS0L，TXS1Lを指定します。

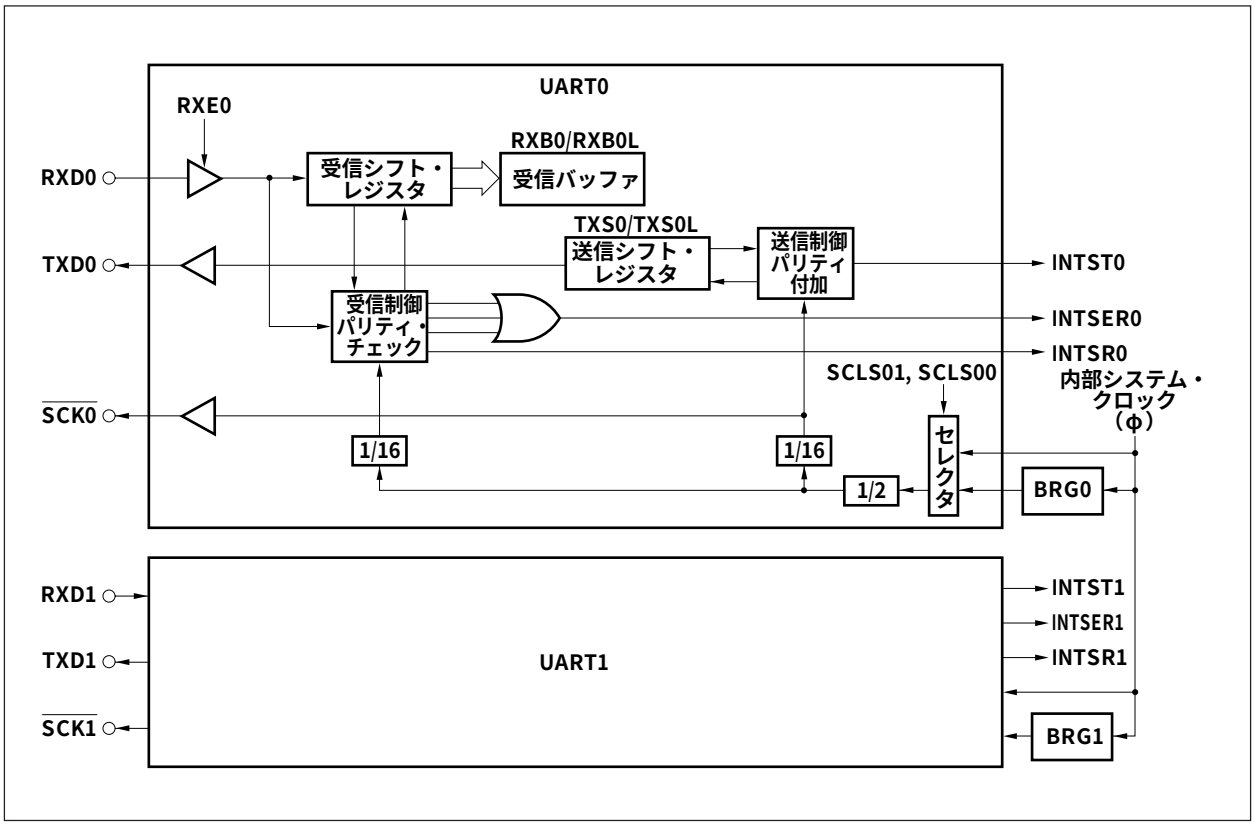
（7）送信制御パリティ付加

ASIMn0, ASIMn1レジスタに設定された内容に従って，TXSnまたはTXSnLレジスタに書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

（8）セレクタ

シリアル・クロックのソースを選択します。

図10－１　アシンクロナス・シリアル・インタフェースのブロック図



10.2.3　制御レジスタ

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ00，01，10，11（ASIM00，ASIM01，ASIM10，ASIM11）

UART0, UART1の転送モードを指定します。

8/1ビット単位でリード／ライト可能です。

（1/3）

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIM00	TXE0	RXE0	PS01	PS00	CL0	SL0	SCLS01	SCLS00	FFFFF0C0H	80H
ASIM10	TXE1	RXE1	PS11	PS10	CL1	SL1	SCLS11	SCLS10	FFFFF0D0H	80H

ビット位置	ビット名	意　　味
7，6	TXEn, RXEn	Transmit/Receive Enable 送受信許可状態／禁止状態を指定します。 TXEn　RXEn　動　作 0　0　送受信禁止（CSIn選択） 0　1　受信許可 1　0　送信許可 1　1　送受信許可 受信禁止時は，受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理，受信バッファへの転送処理は行わず，受信バッファの内容は保持されます。 受信許可状態中は，スタート・ビットの検出に同期して受信シフト動作を開始し，１フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。 また，受信バッファへの転送に同期して，受信完了割り込み（INTSRn）を発生します。 TXDn端子は，送信禁止時はハイ・インピーダンスになり，送信許可時に送信を行っていない場合は，ハイ・レベルを出力します。

備考　n = 0，1

(2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>５，４</td><td>PSn1, PSn0</td><td>Parity Select
パリティ・ビット長を指定します。
<table>
<tr><th>PSn1</th><th>PSn0</th><th>動　　作</th></tr>
<tr><td>０</td><td>０</td><td>パリティなし，拡張ビット動作</td></tr>
<tr><td>０</td><td>１</td><td>０パリティ指定
送信側→パリティ・ビットを０にして送信
受信側→受信時にパリティ・エラーを発生しない</td></tr>
<tr><td>１</td><td>０</td><td>奇数パリティ指定</td></tr>
<tr><td>１</td><td>１</td><td>偶数パリティ指定</td></tr>
</table>
・偶数パリティ
送信データ中の値が１のビットの数が奇数個の場合にパリティ・ビットをセット（１）します。値が１のビットの数が偶数個の場合にはパリティ・ビットをクリア（０）します。これにより，送信データとパリティ・ビットの中に含まれる値が１のビット数が偶数個になるよう制御します。受信時には，受信データとパリティ・ビットの中に含まれる値が１のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

・奇数パリティ
偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる値が１のビットを奇数個になるよう制御します。
受信時には，同様に受信データとパリティ・ビットの中に含まれる値が１のビットの数が偶数個であった場合にパリティ・エラーを発生します。

・０パリティ
送信時には，送信データによらずパリティ・ビットをクリア（０）します。
受信時には，パリティ・ビットの検査を行わないため，パリティ・エラーを発生しません。

・パリティなし
送信データにパリティ・ビットを付加しません。
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。
ASIMn1レジスタのEBSnビットにより，拡張ビット動作を指定できます。</td></tr>
<tr><td>３</td><td>CLn</td><td>Character Length
１フレームのキャラクタ長を指定します。
０：７ビット
１：８ビット</td></tr>
</table>

備考　n = 0，1

(3/3)

ビット位置	ビット名	意　　味
2	SLn	Stop Bit Length ストップ・ビット長を指定します。 0：1ビット 1：2ビット
1，0	SCLSn1, SCLSn0	Serial Clock Source シリアル・クロックを指定します。

SCLSn1	SCLSn0	シリアル・クロック
0	0	ボー・レート・ジェネレータ出力
0	1	φ/2（×16サンプリング・レート）
1	0	φ/2（×8サンプリング・レート）
1	1	φ/2（×4サンプリング・レート）

・SCLSn1, SCLSn0 = 00以外の場合

シリアル・クロック・ソースに，φ/2が選択されます（φ：内部システム・クロック）。非同期モードでは，×16，×8，×4のサンプリング・レートを使用しているので，ボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\phi/2}{\text{サンプリング・レート}}\ \text{bps}$$

上記の式に基づき，代表的クロックを使用した場合のボー・レートの値を次に示します。

内部システム・クロック（φ） ＼ サンプリング・レート[注1]	×16 (01)	×8 (10)	×4 (11)
40 MHz[注2]	1250 K	2500 K	—
33 MHz	1031 K	2062 K	4125 K
25 MHz	781 K	1562 K	3125 K
20 MHz	625 K	1250 K	2500 K
16 MHz	500 K	1000 K	2000 K
12.5 MHz	390 K	781 K	1562 K
10 MHz	312 K	625 K	1250 K
8 MHz	250 K	500 K	1000 K
5 MHz	156 K	312 K	625 K

注1．かっこ内は，SCLSn1, SCLSn0ビットの設定値。

2．μPD703100-40, 703100A-40のみ。

・SCLSn1, SCLSn0 = 00の場合

シリアル・クロック・ソースとして，ボー・レート・ジェネレータ出力が選択されます。ボー・レート・ジェネレータの詳細に関しては，**10.4　専用ボー・レート・ジェネレータ0-2（BRG0-BRG2）**を参照してください。

注意　UARTnが送受信中に，このレジスタを変更した場合のUARTnの動作は保証しません。
なお，UARTn送受信中にこのレジスタを変更した場合は，送信時は送信完了割り込み（INTSTn）が発生し，受信時は受信完了割り込み（INTSRn）が発生します。

備考　n = 0，1

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIM01	0	0	0	0	0	0	0	EBS0	FFFFF0C2H	00H
ASIM11	0	0	0	0	0	0	0	EBS1	FFFFF0D2H	00H

ビット位置	ビット名	意　　味
0	EBSn	Extended Bit Select パリティなし動作指定（PSn1, PSn0 = 00）時の送受信データの拡張ビット動作を指定します。 　0：拡張ビット動作禁止 　1：拡張ビット動作許可 拡張ビット指定時は，8ビットの送受信データの上位に1データ・ビットが付加され，9ビット・データによる通信が可能になります。 拡張ビット動作は，ASIMn0レジスタでパリティなし動作を指定した場合にだけ有効になります。0パリティ，奇数/偶数パリティ動作を指定した場合は，EBSnビットの指定は無効になり，拡張ビットの付加動作は行われません。

注意　UARTnが送受信中に，このレジスタを変更した場合のUARTnの動作は保証しません。

備考　n = 0，1

（2）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０，１（ASIS0，ASIS1）

UARTnの受信終了時のエラー・ステータスを示す３ビットのエラー・フラグ（PEn, FEn, OVEn）と送信ステータス・フラグ（SOTn）から構成されるレジスタです（n = 0, 1）。

受信エラーを示すステータス・フラグは，常に最も新しく発生したエラーの状態を示します。すなわち，受信データの読み出し前に複数回の同一エラーが発生した場合，最後に発生したエラーの状態だけ保持しています。

受信エラーが発生した場合は，ASISnレジスタを読み出したあと，受信バッファ（RXBnまたはRXBnL）を読み出し，エラー・フラグをクリアしてください。

8/1ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIS0	SOT0	0	0	0	0	PE0	FE0	OVE0	FFFFF0C4H	00H
ASIS1	SOT1	0	0	0	0	PE1	FE1	OVE1	FFFFF0D4H	00H

ビット位置	ビット名	意　　味
7	SOTn	Status Of Transmission 送信動作状態を示すステータス・フラグです。 セット（1）：送信開始タイミング（TXSnまたはTXSnLレジスタへの書き込み） クリア（0）：送信終了タイミング（INTSTn割り込み発生） シリアル・データ転送を開始しようとする際に，送信シフト・レジスタへの書き込みが可能か否かを判別するための手段として使用します。
2	PEn	Parity Error パリティ・エラーを示すステータス・フラグです。 セット（1）：送信パリティと受信パリティが一致しないとき クリア（0）：受信バッファからのデータ読み出し処理
1	FEn	Framing Error フレーミング・エラーを示すステータス・フラグです。 セット（1）：ストップ・ビットが検出されないとき クリア（0）：受信バッファからのデータ読み出し処理
0	OVEn	Overrun Error オーバラン・エラーを示すステータス・フラグです。 セット（1）：受信バッファから受信データを引き取る前に，UARTnが次の受信処理を完了したとき クリア（0）：受信バッファからの受信データ読み出し処理 なお，１フレームの受信ごとに受信シフト・レジスタの内容が受信バッファに転送される構成のため，オーバラン・エラーが発生したときには，受信バッファに次の受信データが上書きされ，１回前の受信データは棄却されます。

備考　n = 0，1

（3）受信バッファ0，0L，1，1L（RXB0，RXB0L，RXB1，RXB1L）

RXBnは，受信データを保持する９ビットのバッファ・レジスタで，７，８ビット／キャラクタの受信では上位ビットには０が格納されます（n = 0, 1）。

このレジスタへの16ビット・アクセス時はRXB0，RXB1を，下位８ビット・アクセス時はRXB0L，RXB1Lを指定します。

受信許可状態中は，受信データは１フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また，受信バッファへの転送により，受信完了割り込み要求（INTSRn）が発生します。

受信禁止状態中は，１フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず，受信バッファの内容は保持されます。

また，受信完了割り込み要求も発生しません。

RXB0，RXB1は16ビット単位で，RXB0L，RXB1Lは８/１ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RXB0	0	0	0	0	0	0	0	RXEB0	RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	アドレス FFFFF0C8H	初期値 不定

	7	6	5	4	3	2	1	0		
RXB0L	RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	アドレス FFFFF0CAH	初期値 不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RXB1	0	0	0	0	0	0	0	RXEB1	RXB17	RXB16	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	アドレス FFFFF0D8H	初期値 不定

	7	6	5	4	3	2	1	0		
RXB1L	RXB17	RXB16	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	アドレス FFFFF0DAH	初期値 不定

ビット位置	ビット名	意　　味
8	RXEBn	Receive Extended Buffer ９ビット／キャラクタ受信時の拡張ビットです。 ７，８ビット／キャラクタの受信では０が読めます。
7-0	RXBn7- RXBn0	Receive Buffer 受信データを格納しています。 RXBn7は７ビット／キャラクタの受信では０が読めます。

備考　n = 0, 1

（4）送信シフト・レジスタ0，0L，1，1L（TXS0，TXS0L，TXS1，TXS1L）

TXSnは，９ビットの送信処理用シフト・レジスタで，送信許可状態時にこのレジスタへのデータ書き込みにより，送信動作が開始されます（n = 0, 1）。

送信禁止状態時に書き込みを行っても，値は無視されます。

TXSのデータを含む１フレームの送出終了に同期して送信完了割り込み要求（INTSTn）を発生します。

このレジスタへの16ビット・アクセスはTXS0，TXS1を，下位８ビット・アクセス時はTXS0L，TXS1Lを指定します。

TXS0，TXS1は，16ビット単位で，TXS0L，TXS1Lは，８ビット単位でライトだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TXS0	0	0	0	0	0	0	0	TXED0	TXS07	TXS06	TXS05	TXS04	TXS03	TXS02	TXS01	TXS00	FFFFF0CCH	不定

	7	6	5	4	3	2	1	0	アドレス	初期値
TXS0L	TXS07	TXS06	TXS05	TXS04	TXS03	TXS02	TXS01	TXS00	FFFFF0CEH	不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TXS1	0	0	0	0	0	0	0	TXED1	TXS17	TXS16	TXS15	TXS14	TXS13	TXS12	TXS11	TXS10	FFFFF0DCH	不定

	7	6	5	4	3	2	1	0	アドレス	初期値
TXS1L	TXS17	TXS16	TXS15	TXS14	TXS13	TXS12	TXS11	TXS10	FFFFF0DEH	不定

ビット位置	ビット名	意　　味
8	TXEDn	Transmit Extended Data ９ビット／キャラクタ送信時の拡張ビットです。
7-0	TXSn7- TXSn0 （n=0, 1）	Transmit Shifter 送信データを書き込みます。

注意１．UARTnは送信バッファを持たないため，送信完了（バッファへの転送完了）による割り込み要求ではなく，１フレーム分のデータの送出完了に同期した割り込み要求（INTSTn）が発生します。

２．UARTnが送信中に，このレジスタを変更した場合のUARTnの動作は保証しません。

備考　n = 0, 1

10.2.4　割り込み要求

UARTnからは次の３種類の割り込み要求を発生します（n = 0, 1）。

・受信エラー割り込み（INTSERn）
・受信完了割り込み（INTSRn）
・送信完了割り込み（INTSTn）

これら３種類の割り込み要求のディフォールト優先順位は受信エラー割り込みが最も高く，受信完了割り込み，送信完了割り込みの順に低くなります。

表10－１　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

（1）受信エラー割り込み（INTSERn）

受信許可状態中で，ASISnレジスタで説明した３種類の受信エラーの論理和（OR）で受信エラー割り込みを発生します。

受信禁止状態中は，受信エラー割り込みは発生しません。

（2）受信完了割り込み（INTSRn）

受信許可状態中で，受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信完了割り込みを発生します。

受信完了割り込み要求は，受信エラーが起こった場合にも発生しますが，受信エラー割り込みの方が処理の優先順位が高くなっています。

受信禁止状態中は，受信完了割り込みは発生しません。

（3）送信完了割り込み（INTSTn）

UARTnは送信バッファを持たないため，送信シフト・レジスタから７ビット/８ビット/９ビットのキャラクタを含む１フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

送信完了割り込みは，送信データの最終ビットを送信開始時に出力されます。

10.2.5　動　　作

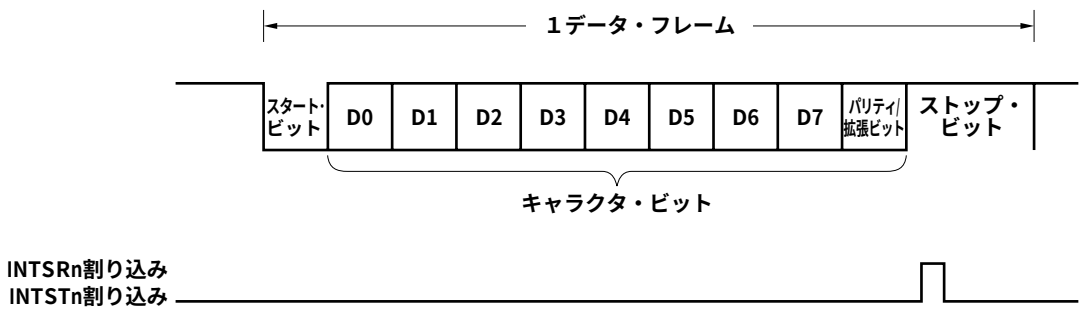
（1）データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図10－２に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで１データ・フレームを構成します。

１データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIMn0, ASIMn1）によって行います（n = 0, 1）。

図10－２　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



・スタート・ビット……１ビット
・キャラクタ・ビット……７ビット/８ビット
・パリティ／拡張ビット…偶数パリティ／奇数パリティ/０パリティ／パリティなし／拡張ビット
・ストップ・ビット……１ビット/２ビット

備考　n = 0, 1

（2）送　　信

送信シフト・レジスタ（TXSnまたはTXSnL）にデータを書き込むと送信が起動されます。送信完了割り込み（INTSTn）処理ルーチンで次のデータをTXSnまたはTXSnLレジスタに書き込みます（n = 0, 1）。

（a）送信許可状態

ASIMn0レジスタのTXEnビットで設定します。

TXEn = 1：送信許可状態
TXEn = 0：送信禁止状態

ただし，送信許可状態にする場合，使用するチャネルのクロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEn，CRXEnビットをともに０に設定してください。

なお，UARTnにはCTS（送信許可信号）入力端子がないので，相手側が受信許可状態かを確認するときはポートを使用してください。

（b）送信動作の起動

送信許可状態では，送信シフト・レジスタ（TXSnまたはTXSnL）にデータを書き込むと送信動作が起動します。送信データは，スタート・ビットからLSB先頭で転送されます。スタート・ビット，パリティ／拡張ビット，ストップ・ビットは自動的に付加されます。

送信禁止状態では送信シフト・レジスタにデータは書き込めません。書き込みを行っても，値は無視されます。

（c）送信割り込み要求

送信シフト・レジスタ（TXSnまたはTXSnL）が空になると送信完了割り込み要求（INTSTn）を発生させます。

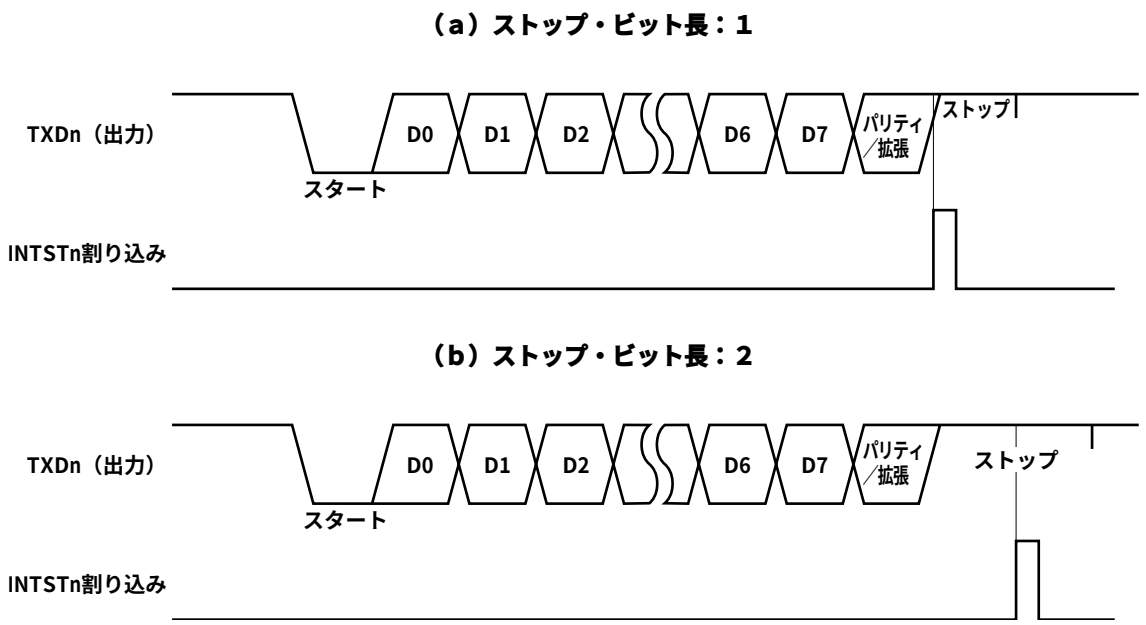
次に送信するデータをTXSnまたはTXSnLレジスタに書き込まなければ，送信動作は中断されます。

１つの送信が終了したあと，ただちに次の送信データをTXSnまたはTXSnLレジスタに書き込まなければ通信レートが低下します。

注意１．通常は送信シフト・レジスタ（TXSnまたはTXSnL）が空になった場合に送信完了割り込み（INTSTn）が発生します。しかし，$\overline{\text{RESET}}$入力により，送信シフト・レジスタ（TXSnまたはTXSnL）が空になった場合，送信完了割り込み（INTSTn）は発生しません。

２．INTSTnが発生するまでの送信動作中は，TXSnまたはTXSnLレジスタへ書き込んでも書き込みデータは無効となります。

図10－３　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング



備考　n = 0, 1

（3）受　　信

受信許可状態にするとRXDn端子のサンプリングを開始し，スタート・ビットを検出するとデータの受信を開始します。１フレームのデータ受信が終了するごとに受信完了割り込み（INTSRn）が発生します。通常，この割り込み処理で受信バッファ（RXBnまたはRXBnL）からメモリに受信データを転送します（n = 0, 1）。

（a）受信許可状態

受信動作はASIMn0レジスタのRXEnビットをセット（１）することにより許可状態となります。

RXEn = 1：受信許可状態
RXEn = 0：受信禁止状態

ただし，受信許可状態にする場合，使用するチャネルのクロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEn，CRXEnビットをともに０に設定してください。

なお，受信禁止状態では受信ハードウエアは初期状態で待機します。

このとき，受信完了割り込み/受信エラー割り込みは発生せず，受信バッファの内容は保持されます。

（b）受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn（BRGn）からのシリアル・クロックでRXDn端子をサンプリングします。RXDn端子のロウ・レベルを検出してから８シリアル・クロック後，再びRXDn端子をサンプリングします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り，以降16シリアル・クロック単位にRXDn端子入力をサンプリングします。

RXDn端子のロウ・レベルを検出してから８シリアル・クロック後のサンプリングでハイ・レベルを確認した場合，このロウ・レベルをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し，次のロウ・レベル入力を待ちます。

（c）受信完了割り込み要求

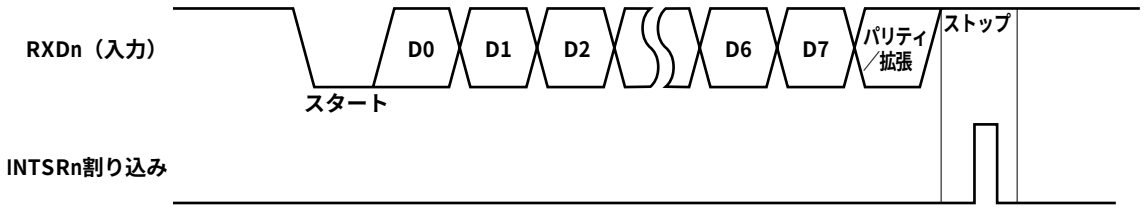
ASIMn0レジスタのRXEnビット = 1のとき，１フレーム分のデータの受信が完了すると，シフト・レジスタ内の受信データをRXBnまたはRXBnLに転送し，受信完了割り込み要求（INTSRn）を発生します。

また，エラーが発生した場合でも，受信バッファ（RXBnまたはRXBnL）にエラーの発生した受信データを転送し，受信完了割り込み（INTSRn），受信エラー割り込み（INTSERn）を同時に発生します。

なお，受信動作中にRXEnビットをリセット（０）すると，すぐに受信動作を停止します。このとき受信バッファ（RXBnまたはRXBnL）とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASISn）の内容は変化せず，受信完了割り込み（INTSRn），受信エラー割り込み（INTSERn）も発生しません。

RXEn = 0（受信禁止）では，受信完了割り込みは発生しません。

図10－４　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



備考　n = 0, 1

（d）受信エラー・フラグ

受信動作に同期して，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの３種類のエラー・フラグが影響を受けます。

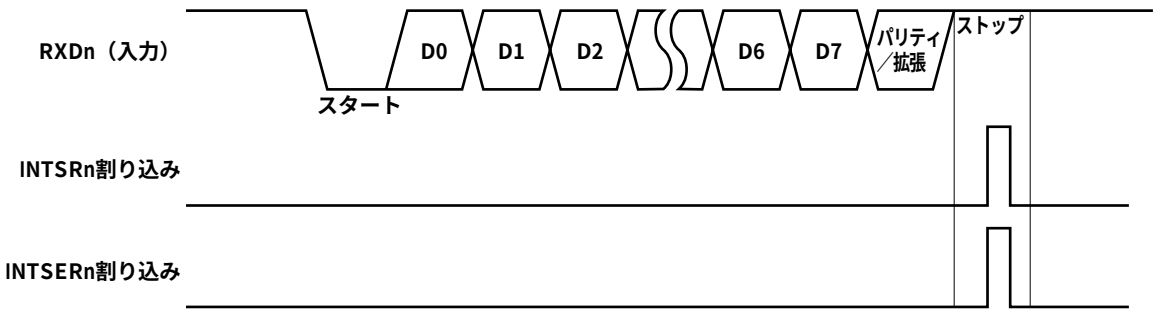
以上の３つの各エラー・フラグの論理和で，受信エラー割り込み要求が発生します。

受信エラー割り込み（INTSERn）内でASISnレジスタの内容を読み出すことによって，どのエラーが受信時に発生したかを検出することができます。

ASISnレジスタの内容は，受信バッファ（RXBnまたはRXBnL）を読み出すか，次のデータを受信することによってリセット（０）されます（次の受信データにエラーがあれば，そのエラー・フラグがセットされます）。

受信エラー	要　　因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図10－５　受信エラー・タイミング



備考　n = 0, 1

10.3　クロック同期式シリアル・インタフェース０-３（CSI0-CSI3）

10.3.1　特　　徴

○高速転送　最大10 Mbps　（内部システム・クロック40 MHz動作時）……μPD703100-40, 703100A-40
　　最大8.25 Mbps（内部システム・クロック33 MHz動作時）……上記以外
○半二重通信
○キャラクタ長：８ビット
○データのMSB先頭/LSB先頭を切り替え可能
○外部シリアル・クロック入力/内部シリアル・クロック出力選択
○３線式　SOn　：シリアル・データ出力
　　SIn　　：シリアル・データ入力
　　$\overline{\text{SCKn}}$：シリアル・クロック入出力
○割り込みソース１種
　・送受信完了割り込み（INTCSIn）

備考　n = 0-3

10.3.2　構　　成

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）によってCSInを制御します。送受信データはSIOnレジスタに読み出し／書き込みができます（n = 0-3）。

（1）クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM0-CSIM3）

CSIMnレジスタは，CSInの動作を指定する８ビット・レジスタです。

（2）シリアルI/Oシフト・レジスタ（SIO0-SIO3）

SIOnレジスタは，シリアル・データ⟷パラレル・データの変換を行う８ビット・レジスタです。SIOnは送信および受信の両方に使用されます。

データは，MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

SIOnに対する読み出し／書き込みにより，実際の送受信動作が制御されます。

（3）セレクタ

使用するシリアル・クロックを選択します。

（4）シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また，内部クロック使用時には$\overline{\text{SCKn}}$端子へ出力するクロックの制御も行います。

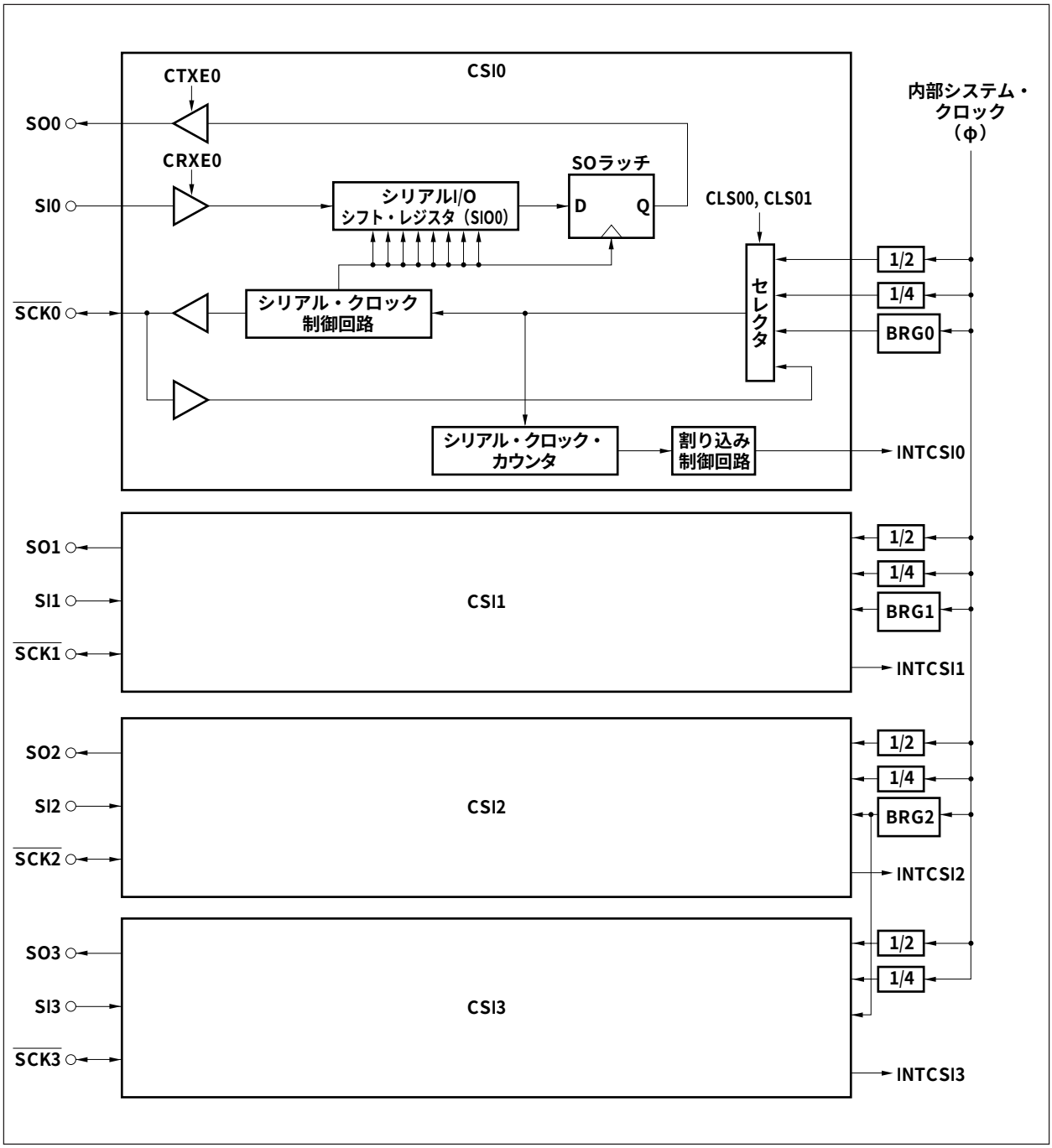
（5）シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

（6）割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに，割り込み要求を発生するかしないかを制御します。

図10－6　クロック同期式シリアル・インタフェースのブロック図



10.3.3　制御レジスタ

（1）クロック同期式シリアル・インタフェース・モード・レジスタ0-3（CSIM0-CSIM3）

CSI0-CSI3の基本動作モードを指定します。

8/1ビット単位でリード／ライト可能です（ただし，ビット５はリードだけ可能です）。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIM0	CTXE0	CRXE0	CSOT0	0	0	MOD0	CLS01	CLS00	FFFFF088H	00H
CSIM1	CTXE1	CRXE1	CSOT1	0	0	MOD1	CLS11	CLS10	FFFFF098H	00H
CSIM2	CTXE2	CRXE2	CSOT2	0	0	MOD2	CLS21	CLS20	FFFFF0A8H	00H
CSIM3	CTXE3	CRXE3	CSOT3	0	0	MOD3	CLS31	CLS30	FFFFF0B8H	00H

ビット位置	ビット名	意　　味
7	CTXEn	CSI Transmit Enable 送信許可状態／禁止状態を指定します。 ０：送信禁止状態 １：送信許可状態 CTXEn＝0のときには，SOn,SIn端子はともにハイ・インピーダンスになります。
6	CRXEn	CSI Receive Enable 受信許可状態／禁止状態を指定します。 ０：受信禁止状態 １：受信許可状態 送信許可（CTXEn＝1）かつ受信禁止のときに，シリアル・クロックが入力された場合には，シフト・レジスタには，０が入力されます。 受信中に受信禁止（CRXEn＝0）にした場合，SIOnレジスタの内容は不定になります。
5	CSOTn	CSI Status Of Transmission 転送動作中であることを示します。 セット（１）：送信開始タイミング（SIOnレジスタへの書き込み） クリア（０）：送信終了タイミング（INTCSIn発生） 送信許可状態（CTXEn＝1）にして，シリアル・データ転送を開始しようとする際に，シリアルI/Oシフト・レジスタn（SIOn）への書き込みが可能か否かを判別するための手段として使用します。

備考　n＝0-3

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>2</td><td>MODn</td><td>Mode
動作モードの指定を行います。
0：MSB先頭
1：LSB先頭</td></tr>
<tr><td>1，0</td><td>CLSn1,
CLSn0</td><td>Clock Source
シリアル・クロックを指定します。
<table>
<tr><th>CLSn1</th><th>CLSn0</th><th colspan="2">シリアル・クロックの指定</th><th>$\overline{\text{SCK}}$端子</th></tr>
<tr><td>0</td><td>0</td><td colspan="2">外部クロック</td><td>入力</td></tr>
<tr><td>0</td><td>1</td><td rowspan="3">内部クロック</td><td>BPRMmレジスタで指定注1</td><td>出力</td></tr>
<tr><td>1</td><td>0</td><td>φ/4注2</td><td>出力</td></tr>
<tr><td>1</td><td>1</td><td>φ/2注2</td><td>出力</td></tr>
</table>
注1．BPRMmレジスタへの設定については10.4　専用ボー・レート・ジェネレータ0-2（BRG0-BRG2）を参照してください（m = 0-2）。
2．φ/4，φ/2は，分周信号です（φ：内部システム・クロック）。</td></tr>
</table>

注意1．CLSn1, CLSn0ビットの設定は，送受信禁止（CTXEnビット = CRXEnビット = 0）の状態で行ってください。送受信禁止以外の状態でCLSn1, CLSn0ビットの設定を行うと，正常に動作しないことがあります。

2．CSInが送受信中に，このレジスタのビット0-2を変更した場合のCSInの動作は保証しません。

備考　n = 0-3

（2）シリアルI/Oシフト・レジスタ0-3（SIO0-SIO3）

８ビットのシリアル・データを８ビットのパラレル・データに，８ビットのパラレル・データを８ビットのシリアル・データに変換するレジスタです。SIOnレジスタに対するリード／ライトによって実際の送受信動作が制御されます。

CTXEn＝１またはCRXEn＝１のときにシフト動作を行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
SIO0	SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00	FFFFF08AH	不定
SIO1	SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	FFFFF09AH	不定
SIO2	SIO27	SIO26	SIO25	SIO24	SIO23	SIO22	SIO21	SIO20	FFFFF0AAH	不定
SIO3	SIO37	SIO36	SIO35	SIO34	SIO33	SIO32	SIO31	SIO30	FFFFF0BAH	不定

ビット位置	ビット名	意　　味
7 - 0	SIOn7- SIOn0 （n = 0-3）	Serial I/O データは，MSBまたはLSB側からシフト・イン（受信）またはシフト・アウト（送信）します。

注意　CSInが送受信中に，このレジスタを変更した場合のCSInの動作は保証しません。

10.3.4 基本動作

（1）転送フォーマット

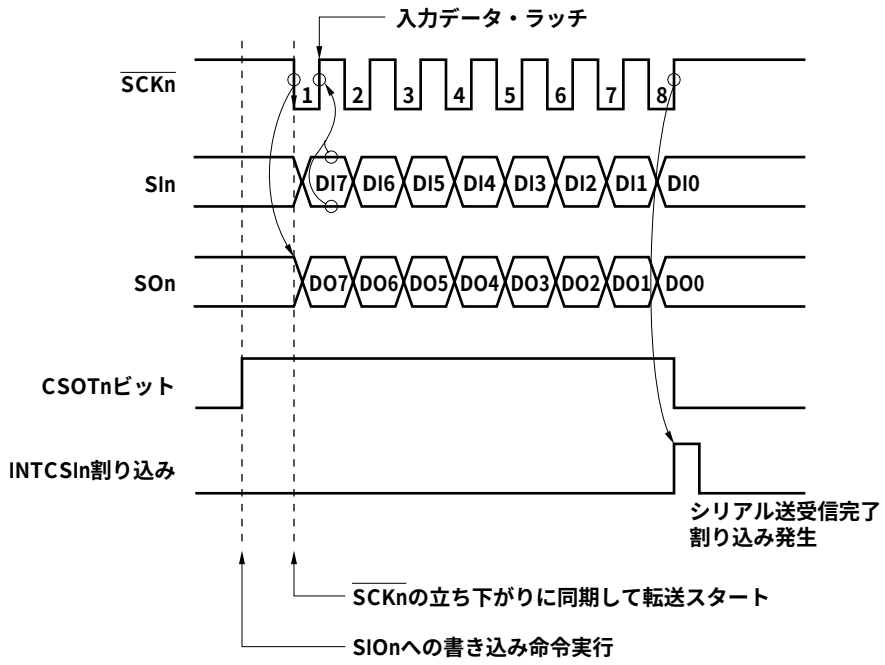
CSInは，それぞれ１本のクロック・ラインと２本のデータ・ラインの３線でデータの送受信を行います（n = 0-3）。

シリアル転送は，SIOnレジスタに対する転送データの書き込み命令を実行することによりスタートします。

送信の場合には$\overline{\text{SCKn}}$の立ち下がりに同期してSOn端子からデータが出力されます。

受信の場合には$\overline{\text{SCKn}}$の立ち上がりに同期してSIn端子の入力データをラッチします。シリアル・クロック・カウンタのオーバフロー（８カウント目の立ち上がり）で$\overline{\text{SCKn}}$は停止し，次のデータの送信または受信動作が起動されるまで$\overline{\text{SCKn}}$はハイ・レベルを保持します。同時に，送受信完了割り込み（INTCSIn）を発生します。

注意　SIOnレジスタに送信データをライトしておいてCSIMnレジスタのCTXEnビット = 0→1にしてもシリアル転送は行いません。



備考　n = 0-3

（2）送受信許可

CSInは，それぞれ８ビット・シフト・レジスタを１つしか持たず，バッファも持っていないため，基本的に送信および受信は同時に行います（n = 0-3）。

（a）送受信許可条件

CSInの送受信許可条件の指定は，CSIMnレジスタのCTXEn，CRXEnビットで行います。

ただし，CSI0の場合は，ASIM00レジスタのTXE0ビット = RXE0ビット = 0に，CSI1の場合は，ASIM10レジスタのTXE1ビット = RXE1ビット = 0に設定されている必要があります。

CTXEn	CRXEn	送受信動作
0	0	送受信禁止
0	1	受信許可
1	0	送信許可
1	1	送受信許可

備考　n = 0-3

備考１．CTXEnビット = 0の場合，CSInは次のようになります。

・CSI0，CSI1：シリアル出力はハイ・インピーダンスかUARTn出力（TXDn）になります。

・CSI2，CSI3：シリアル出力はハイ・インピーダンスになります。

CTXEnビット = 1の場合には，シフト・レジスタのデータが出力されます。

２．CRXEnビット = 0の場合には，シフト・レジスタ入力は０になります。

CRXEnビット = 1の場合には，シリアル入力がシフト・レジスタに入力されます。

３．送信データを自分自身で受信し，バスの競合が発生していないかチェックするためにはCTXEnビット = CRXEnビット = 1にします。

（3）送受信動作の起動

送受信動作の起動（スタート）はSIOnレジスタに対するリード／ライトによります。送信／受信のスタート制御はCSIMnレジスタのCTXEn, CRXEnビットを次のように設定することにより行います（n = 0-3）。

CTXEn	CRXEn	スタート条件
0	0	スタートしない
0	1	SIOnレジスタ読み出し
1	0	SIOnレジスタ書き込み
1	1	SIOnレジスタ書き込み
0	0→1	CRXEnビット書き換え

備考　n = 0-3

CTXEnビットが０のときにSIOnレジスタをリード／ライトし，その後セット（１）しても転送はスタートしません。

また，CTXEnビットが０のときにCRXEnビットを０→１にすると，シリアル・クロックが発生し，受信動作を開始します。

10.3.5　CSI0-CSI3での送信

クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）により送信許可に設定したあと，SIOnレジスタに書き込みを行うと，送信動作が起動します（n = 0-3）。

（1）送信動作を起動する

送信動作の起動は，クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）のCTXEnビットをセットして（CRXEnビットには0をセット），シフト・レジスタn（SIOn）へ送信データを書き込むことで行います。

なお，CTXEnビット = 0のときは，SOn端子はハイ・インピーダンス状態となります。

（2）シリアル・クロックに同期してデータを送信する

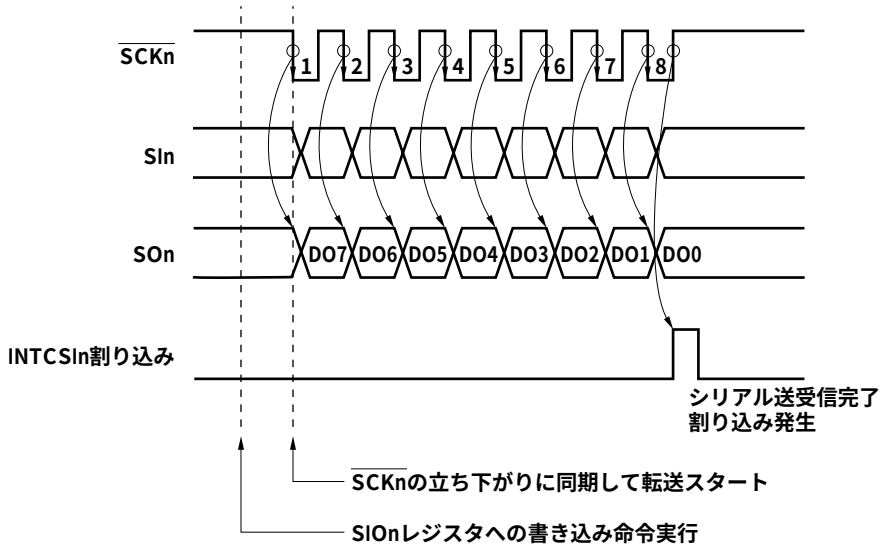
（a）シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{\text{SCKn}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOnレジスタからデータをSOn端子へ順次出力します。

（b）シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOnレジスタからデータをSOn端子へ順次出力します。送信が起動されていないときに，シリアル・クロックを$\overline{\text{SCKn}}$端子へ入力してもシフト動作は行われず，SOn端子の出力レベルは変化しません。

図10－7　3線式シリアルI/Oモードのタイミング（送信）



備考　n = 0-3

10.3.6　CSI0-CSI3での受信

クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）により，受信禁止から受信許可に状態を変える，または受信許可状態でSIOnレジスタを読み出すと受信動作は起動されます（n = 0-3）。

（1）受信動作を起動する

受信動作の起動には，次の２つの方法があります。

① CSIMnレジスタのCRXEnビットを受信禁止状態（0）から受信許可状態（1）へ変化させた場合

② CSIMnレジスタのCRXEnビットが受信許可状態（1）のときにシフト・レジスタn（SIOn）から受信データを読み出した場合

CSIMnレジスタのCRXEnビットをセット（1）した状態で，再び１を書き込んでも受信動作は起動されません。なお，CRXEnビット = 0のときは，シフト・レジスタ入力は０になります。

（2）シリアル・クロックに同期してデータを受信する

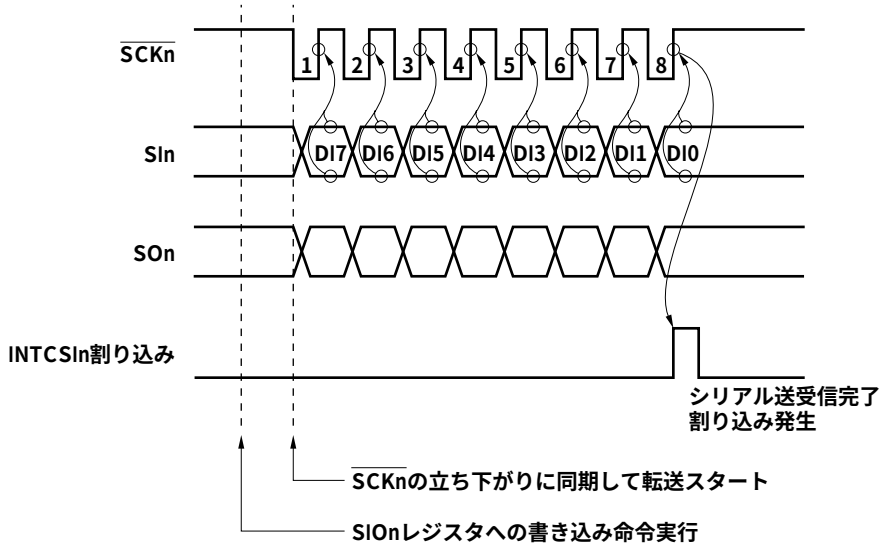
（a）シリアル・クロックとして内部クロックを選択した場合

受信が起動されると，シリアル・クロックを$\overline{\text{SCKn}}$端子から出力し，同時にシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。

（b）シリアル・クロックとして外部クロックを選択した場合

受信が起動されると，受信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。受信が起動されていないときに，シリアル・クロックを$\overline{\text{SCKn}}$端子へ入力してもシフト動作は行いません。

図10－８　３線式シリアルI/Oモードのタイミング（受信）



備考　n = 0-3

10.3.7　CSI0-CSI3での送受信

クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）により，送信と受信をともに許可状態にすると，送信動作と受信動作を同時に行うことができます（n = 0-3）。

（1）送受信動作を起動する

クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）のCTXEnビットとCRXEnビットが両方ともセット（1）されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。

送受信動作の起動は，CSIMnレジスタのCTXEn，CRXEnビットがともに送受信許可状態１のとき，シフト・レジスタn（SIOn）に送信データを書き込むことで行います。

CSIMnレジスタのCRXEnビットが１の状態で，再び１を書き込んでも送受信動作は起動されません。

（2）シリアル・クロックに同期してデータを送信する

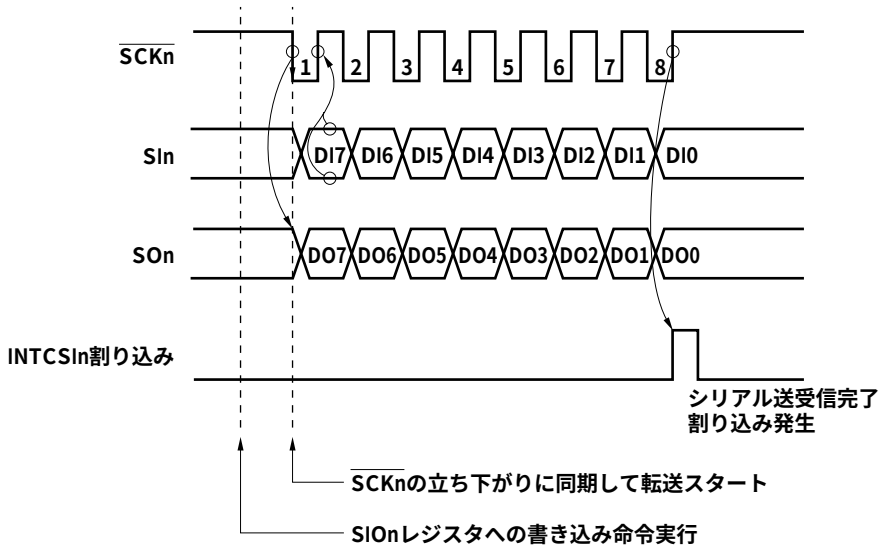
（a）シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると，シリアル・クロックを$\overline{\text{SCKn}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOnレジスタからデータをSOn端子へ順次出力します。また，シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。

（b）シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると，送受信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOnレジスタからSOn端子へデータが順次出力します。シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIOnレジスタへ順次取り込みます。送受信が起動されていないときに，シリアル・クロックを$\overline{\text{SCKn}}$端子へ入力してもシフト動作は行わず，SOn端子の出力レベルは変化しません。

図10－９　３線式シリアルI/Oモードのタイミング（送受信）



備考　n = 0-3

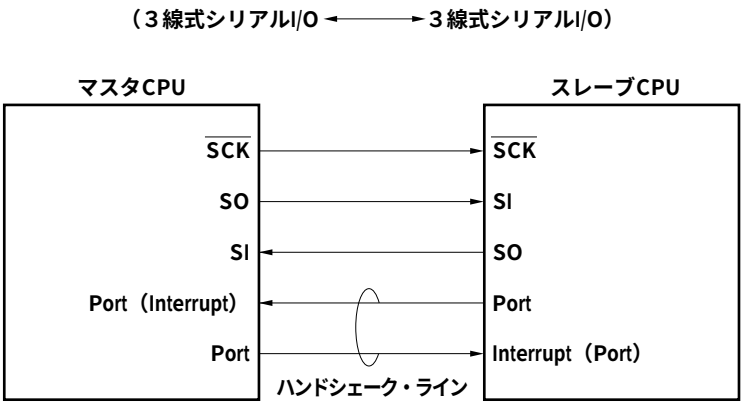
10.3.8　システム構成例

シリアル・クロック（$\overline{\text{SCKn}}$）と，シリアル入力（SIn），シリアル出力（SOn）の３種類の信号線によって，８ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です（n = 0-3）。

複数のデバイスと接続する場合は，ハンドシェーク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので，さまざまなデバイスと通信することができます。

図10－10　CSIのシステム構成例



10.4　専用ボー・レート・ジェネレータ０-２（BRG0-BRG2）

10.4.1　構成と機能

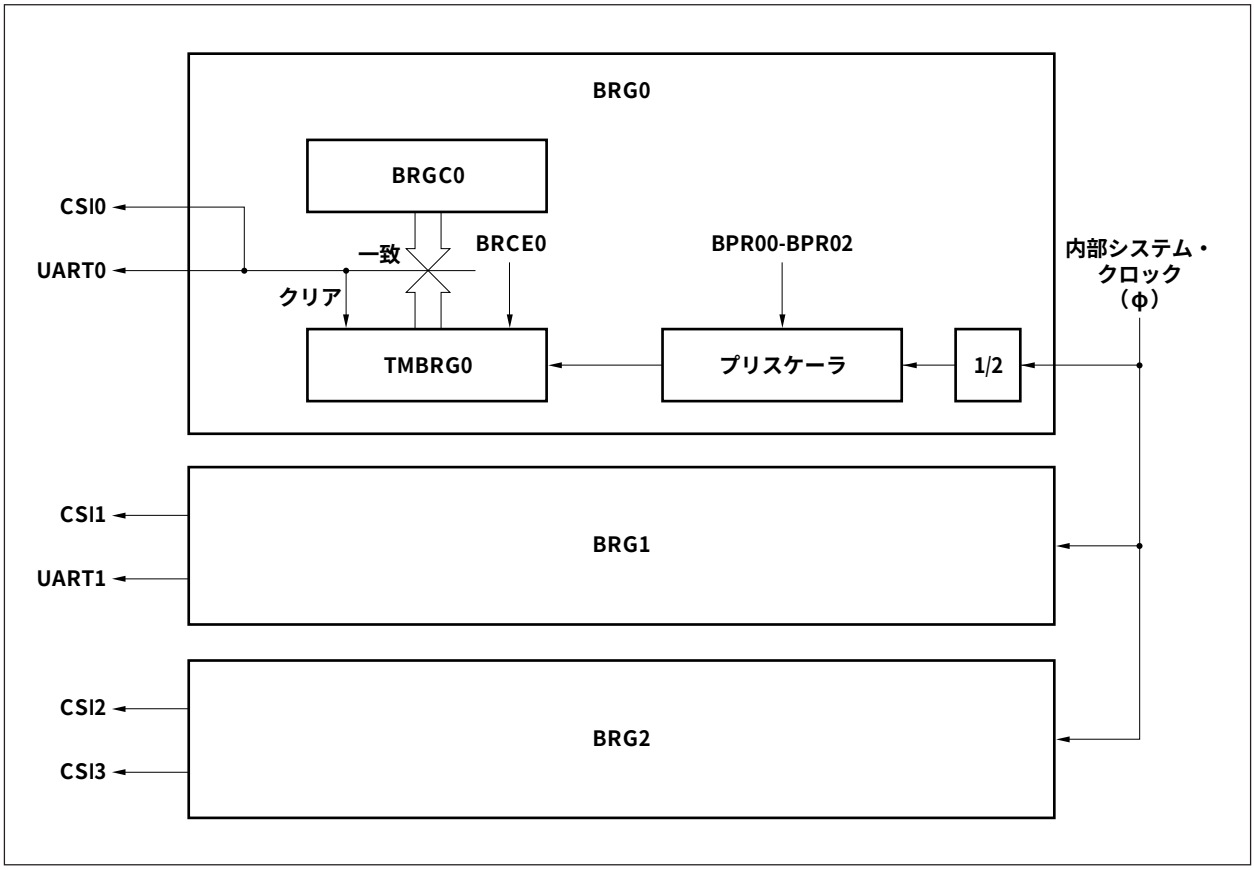
シリアル・インタフェースのシリアル・クロックは，チャネルごとに専用ボー・レート・ジェネレータ出力または内部システム・クロック（φ）から選択できます。

シリアル・クロック・ソースは，UART0, UART1の場合はASIM00, ASIM10レジスタで，CSI0-CSI3の場合はCSIM0-CSIM3レジスタで指定します。

「専用ボー・レート・ジェネレータ出力」を指定した場合は，クロック・ソースとしてBRG0-BRG2が選択されます。

１チャネル当たりの送受信のシリアル・クロックは１つで共用されるため，送受信のボー・レートは同一となります。

図10－11　専用ボー・レート・ジェネレータのブロック図



（1）専用ボー・レート・ジェネレータ0-2（BRG0-BRG2）

BRGnは，送受信のシフト・クロックを発生する専用の8ビット・タイマ（TMBRGn），コンペア・レジスタ（BRGCn）とプリスケーラから構成されます（n = 0-2）。

（a）入力クロック

BRGnへは，内部システム・クロック（φ）が入力されます。

（b）BRGnへの設定値

（i） UART0, UART1

UART0, UART1でシリアル・クロック・ソースとしてBRG0, BRG1を指定した場合，×16のサンプリング・レートを使用しているので，実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\phi}{2 \times j \times 2^k \times 16 \times 2} \ [\text{bps}]$$

φ= 内部システム・クロック周波数［Hz］
j = タイマ・カウント値 = BRGCnレジスタ設定値（1 ≦ j ≦256注）
k = プリスケーラ設定値 = BPRMnレジスタ設定値（k = 0, 1, 2, 3, 4）

注　j = 256の設定は，BRGCnレジスタへの0ライトで行います。

（ii） CSI0-CSI3

CSI0-CSI3でシリアル・クロック・ソースとしてBRG0-BRG2を指定した場合，実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\phi}{2 \times j \times 2^k \times 2} \ [\text{bps}]$$

φ= 内部システム・クロック周波数［Hz］
j = タイマ・カウント値 = BRGCnレジスタ設定値（1 ≦ j ≦256注）
k = プリスケーラ設定値 = BPRMnレジスタ設定値（k = 0, 1, 2, 3, 4）

注　j = 256の設定は，BRGCnレジスタへの0ライトで行います。

代表的クロックを使用したときのBRGnの設定値を次に示します。

表10－２　専用ボー・レート・ジェネレータ設定データ

ボー・レート［bps］		φ= 33 MHz			φ= 25 MHz			φ= 16 MHz			φ= 12.5 MHz		
UART0, UART1	CSI0-CSI3	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差
110	1760	－	－	－	4	222	0.02 %	4	142	0.03 %	3	222	0.02 %
150	2400	4	215	0.07 %	4	163	0.15 %	3	208	0.16 %	3	163	0.15 %
300	4800	3	215	0.07 %	3	163	0.15 %	2	208	0.16 %	2	163	0.15 %
600	9600	2	215	0.07 %	2	163	0.15 %	1	208	0.16 %	1	163	0.15 %
1200	19200	1	215	0.07 %	1	163	0.15 %	0	208	0.16 %	0	163	0.15 %
2400	38400	0	215	0.07 %	0	163	0.15 %	0	104	0.16 %	0	81	0.47 %
4800	76800	0	107	0.39 %	0	81	0.47 %	0	52	0.16 %	0	41	0.76 %
9600	153600	0	54	0.54 %	0	41	0.76 %	0	26	0.16 %	0	20	1.73 %
10400	166400	0	50	0.84 %	0	38	1.16 %	0	24	0.16 %	0	19	1.16 %
19200	307200	0	27	0.54 %	0	20	1.73 %	0	13	0.16 %	0	10	1.73 %
38400	614400	0	13	3.29 %	0	10	1.73 %	0	7	6.99 %注1	0	5	1.73 %
76800	1228800	0	7	4.09 %	0	5	1.73 %	－	－	－	0	3	15.2 %注1
153600	2457600	0	3	11.90 %注1	0	2	27.2 %注1	－	－	－	－	－	－

ボー・レート［bps］		φ= 40 MHz注2			φ= 20 MHz			φ= 14.746 MHz			φ= 12.288 MHz		
UART0, UART1	CSI0-CSI3	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差
110	1760	－	－	－	4	178	0.25 %	4	131	0.07 %	3	218	0.08 %
150	2400	－	－	－	4	130	0.16 %	3	192	0.0 %	3	160	0.0 %
300	4800	4	130	0.16 %	3	130	0.16 %	2	192	0.0 %	2	160	0.0 %
600	9600	4	65	0.16 %	2	130	0.16 %	1	192	0.0 %	1	160	0.0 %
1200	19200	3	65	0.16 %	1	130	0.16 %	0	192	0.0 %	0	160	0.0 %
2400	38400	2	65	0.16 %	0	130	0.16 %	0	96	0.0 %	0	80	0.0 %
4800	76800	1	65	0.16 %	0	65	0.16 %	0	48	0.0 %	0	40	0.0 %
9600	153600	0	65	0.16 %	0	33	1.36 %	0	24	0.0 %	0	20	0.0 %
10400	166400	0	60	0.16 %	0	30	0.16 %	0	22	0.7 %	0	18	2.6 %
19200	307200	0	32	1.73 %	0	16	1.73 %	0	12	0.0 %	0	10	0.0 %
38400	614400	0	16	1.73 %	0	8	1.73 %	0	6	0.0 %	0	5	0.0 %
76800	1228800	0	8	1.73 %	0	4	1.73 %	0	3	0.0 %	0	3	16.7 %注1
153600	2457600	0	4	1.73 %	0	2	1.73 %	0	2	25.0 %注1	－	－	－

注１． 誤差が大きく使用不可。

２． μPD703100-40, 703100A-40のみ。

備考　BPR：プリスケーラ設定値（BPRMnレジスタで設定（n = 0-2））

BRG：タイマ・カウント値（BRGCnレジスタで設定（n = 0-2））

φ：内部システム・クロック周波数

（c）ボー・レート誤差

ボー・レートの誤差は次のように表されます。

$$\text{誤差}\ [\%] = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1 \right) \times 100$$

例　（9520/9600－1）×100=－0.833［%］

（5000/4800－1）×100=＋4.167［%］

（2）ボー・レート誤差許容範囲

許容範囲は，１フレームのビット数に依存します。

16ビットでのボー・レート誤差：±５%，サンプル・タイミング：±4.5 %を基本的な許容限度とします。

ただし，実用上の許容限度は，送信側，受信側がともに誤差を含んでいる場合を想定して，ボー・レート誤差：±2.3 %です。

10.4.2　ボー・レート・ジェネレータ・コンペア・レジスタ0-2（BRGC0-BRGC2）

BRG0-BRG2のタイマ・カウント値を設定する８ビットのコンペア・レジスタです。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
BRGC0	BRG07	BRG06	BRG05	BRG04	BRG03	BRG02	BRG01	BRG00	アドレス FFFFF084H	リセット時 不定
BRGC1	BRG17	BRG16	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	FFFFF094H	不定
BRGC2	BRG27	BRG26	BRG25	BRG24	BRG23	BRG22	BRG21	BRG20	FFFFF0A4H	不定

注意　BRGCnレジスタへの書き込み動作により，内部タイマ（TMBRGn）がクリアされます。したがって，送受信動作中にソフトウエアでBRGCnレジスタを書き換えないでください（n = 0-2）。

10.4.3　ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ0-2（BPRM0-BPRM2）

BRG0-BRG2のタイマ・カウント動作制御とカウント・クロックの選択を行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
BPRM0	BRCE0	0	0	0	0	BPR02	BPR01	BPR00	FFFFF086H	00H
BPRM1	BRCE1	0	0	0	0	BPR12	BPR11	BPR10	FFFFF096H	00H
BPRM2	BRCE2	0	0	0	0	BPR22	BPR21	BPR20	FFFFF0A6H	00H

ビット位置	ビット名	意　　味
7	BRCEn	Baud Rate Generator Count Enable BRGnのカウント動作を制御します。 0：クリアされたままカウント動作を停止します。 1：カウント動作を許可します。
2-0	BPRn2- BPRn0	Baud Rate Generator Prescaler 内部タイマ（TMBRGn）へ入力するカウント・クロックを指定します。

BPRn2	BPRn1	BPRn0	カウント・クロック
0	0	0	φ/2（m=0）
0	0	1	φ/4（m=1）
0	1	0	φ/8（m=2）
0	1	1	φ/16（m=3）
1	任意	任意	φ/32（m=4）

m：プリスケーラ設定値　　φ：内部システム・クロック周波数

注意　送受信動作中にカウント・クロックを変更しないでください。

備考　n = 0-2

第11章　A/Dコンバータ

11.1　特　　徴

○アナログ入力：８チャネル
○10ビットA/Dコンバータ内蔵
○A/D変換結果レジスタ（ADCR0-ADCR7）内蔵
　10ビット×８本
○A/D変換トリガ・モード
　A/Dトリガ・モード
　タイマ・トリガ・モード
　外部トリガ・モード
○逐次変換方式

11.2　構　　成

A/Dコンバータは逐次変換方式を採用しており，A/Dコンバータ・モード・レジスタ（ADM0，ADM1），ADCRnレジスタを使用してA/D変換動作を行います（n = 0-7）。

（1）入力回路

ADM0，ADM1レジスタに設定したモードに従ってアナログ入力（ANI0-ANI7）を選択し，サンプル＆ホールド回路に送ります。

（2）サンプル＆ホールド回路

入力回路から順次送られてくるアナログ入力を１つ１つサンプリングし，コンパレータに送ります。なおA/D変換動作中は，サンプリングしたアナログ入力を保持します。

（3）電圧コンパレータ

入力されたアナログ入力と直列抵抗ストリングの電圧タップの出力電圧を比較します。

（4）直列抵抗ストリング

直列抵抗ストリングは，アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは，A/Dコンバータ用の基準電圧端子（AV_{REF}）とA/Dコンバータ用のGND端子（AV_{SS}）間に接続されています。２端子間を1024の等価な電圧ステップにするため，等価な抵抗1023個とその1/2の抵抗値の抵抗２個で構成されています。

直列抵抗ストリングの電圧タップは，逐次変換レジスタ（SAR）で制御されるタップ・セレクタによって選択します。

（5）逐次変換レジスタ（SAR：Successive Approximation Register）

SARは，直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを，最上位ビット（MSB）から１ビットずつ設定する10ビット・レジスタです。

SARの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARの内容（変換結果）は，A/D変換結果レジスタ（ADCRn）に保持されます。

（6）A/D変換結果レジスタ（ADCRn：A/D Conversion Result Register n）

ADCRは，A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。

$\overline{\text{RESET}}$入力により不定となります。

（7）コントローラ

ADM0, ADM1レジスタに設定したモードに従って，アナログ入力の選択，サンプル＆ホールド回路の動作タイミングの生成，変換トリガの制御を行います。

（8）ANI0-ANI7端子

A/Dコンバータへの８チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意　ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にV_{DD}以上，V_{SS}以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となり，またほかのチャネルの変換値にも影響を与えることがあります。

（9）AV_{REF}端子

A/Dコンバータの基準電圧を入力するための端子です。AV_{REF}-AV_{SS}間に加えられる電圧に基づいてANIn端子に入力される信号をディジタル信号に変換します。

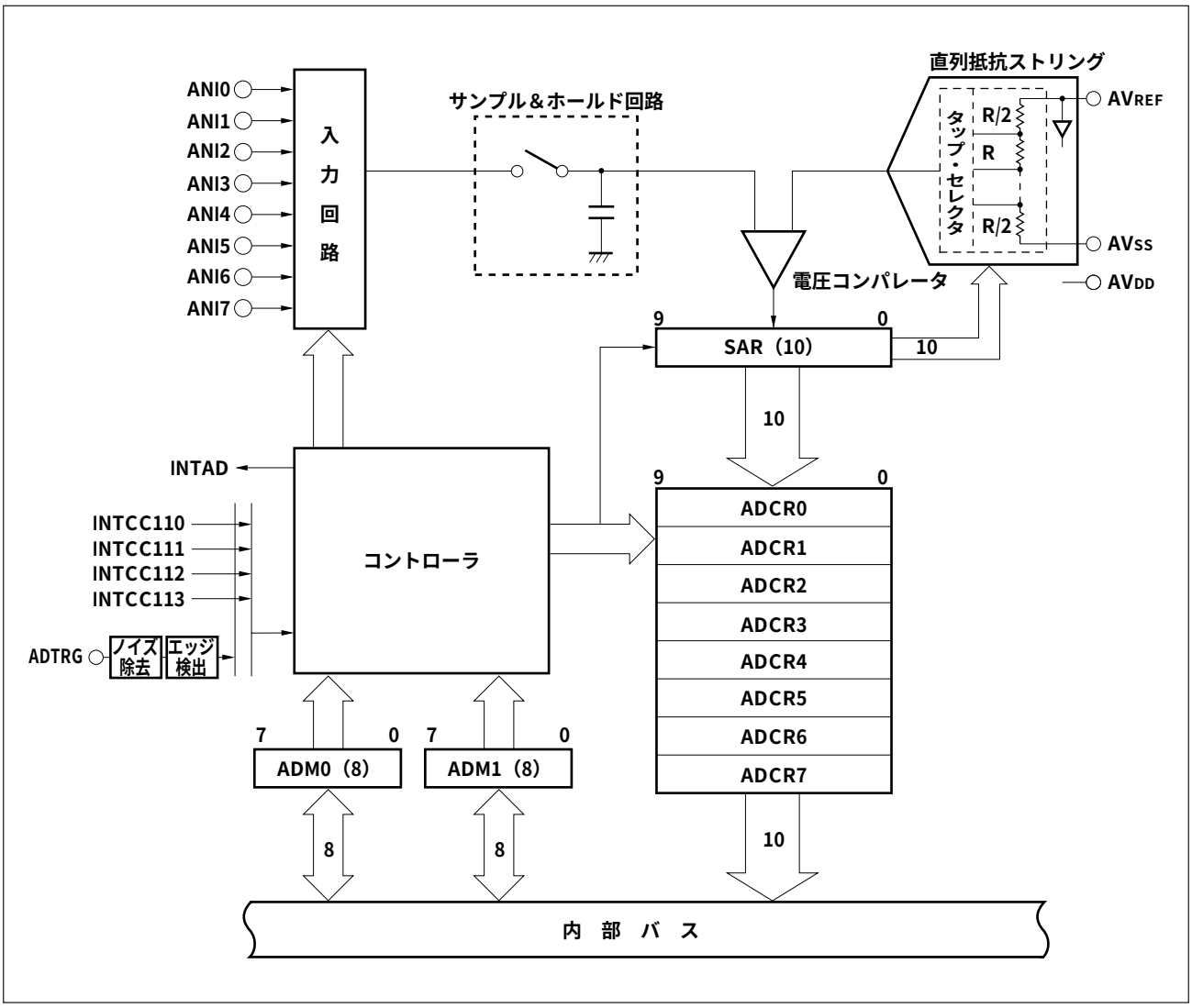
★　（10）AV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも，常にHV_{DD}と同電位で使用してください。

★　（11）AV_{SS}端子

A/Dコンバータのグランド端子です。A/Dコンバータを使用しないときでも，常にV_{SS}と同電位で使用してください。

図11－1　A/Dコンバータのブロック図



注意１．アナログ入力端子（ANI0-ANI7）および基準電圧入力端子（AV_{REF}）にノイズがのる場合は，ノイズにより不正な変換結果が生じることがあります。
この不正な変換結果により，システムに悪影響を与えることを避けるために，ソフトウエア処理が必要です。
次に，ソフトウエア処理の例を示します。

- 複数回のA/D変換結果の平均値を，A/D変換結果として使用する。
- 複数回のA/D変換を連続して行い，特異な変換結果が得られた場合，この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるようなA/D変換結果が得られた場合，ただちに異常処理を行わず，再度異常発生を確認した上で異常処理を行う。

２．A/Dコンバータの入力端子として使用している端子には，AV_{SS}-AV_{REF}の範囲外の電圧が加わらないようにしてください。

11.3　制御レジスタ

（1）A/Dコンバータ・モード・レジスタ０（ADM0）

ADM0レジスタは，アナログ入力端子の選択，動作モードの指定および変換動作の制御を行う８ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。ただしA/D変換動作中にADM0レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。また，ビット６には書き込みできません。書き込みは無視されます。

（1/2）

	7	6	5	4	3	2	1	0		
ADM0	CE	CS	BS	MS	0	ANIS2	ANIS1	ANIS0	アドレス FFFFF380H	初期値 00H

ビット位置	ビット名	意　　味
7	CE	Convert Enable A/D変換動作の許可／禁止を指定します。 ０：禁止 １：許可
6	CS	Converter Status A/Dコンバータの状態を示します。このビットは読み出し専用です。 ０：停止 １：動作中
5	BS	Buffer Select セレクト・モード時のバッファ・モードを指定します。 ０：１バッファ・モード １：４バッファ・モード
4	MS	Mode Select A/Dコンバータの動作モードを指定します。 ０：スキャン・モード １：セレクト・モード

(2/2)

ビット位置	ビット名	意　　味
2-0	ANIS2- ANIS0	Analog Input Select A/D変換するアナログ入力端子を指定します。

ANIS2	ANIS1	ANIS0	セレクト・モード		スキャン・モード	
			A/Dトリガ・モード	タイマ・トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード注
0	0	0	ANI0	ANI0	ANI0	１回
0	0	1	ANI1	ANI1	ANI0，ANI1	２回
0	1	0	ANI2	ANI2	ANI0-ANI2	３回
0	1	1	ANI3	ANI3	ANI0-ANI3	４回
1	0	0	ANI4	設定禁止	ANI0-ANI4	４回＋ANI4
1	0	1	ANI5	設定禁止	ANI0-ANI5	4回＋ANI4, ANI5
1	1	0	ANI6	設定禁止	ANI0-ANI6	4回＋ANI4-ANI6
1	1	1	ANI7	設定禁止	ANI0-ANI7	4回＋ANI4-ANI7

注　スキャン・モード時のタイマ・トリガ・モード（４トリガ・モード）では，ANI0-ANI3端子のスキャン順序はコンペア・レジスタの一致信号の発生順序により指定されるため，特定のアナログ入力端子を指定するのではなく，トリガ入力回数を指定します。ANIS2 = 1に設定した場合，トリガ４回カウントしたあとに，A/Dスキャン・モードに移行して変換を行います。

注意１．タイマ・トリガ・モード，外部トリガ・モード時でCEビットが１のときは，トリガ信号待機状態になります。CEビットをクリアするには，０を書き込むか，リセットしてください。
A/Dトリガ・モードでは，CEビットに１を書き込むことが変換のトリガになります。動作後，CEビットをクリアせずにタイマ・トリガ・モード，外部トリガ・モードに変更した場合，変更直後からトリガ入力の待機状態になります。

２．A/D変換を開始してからCSビット = 1になるまでに３クロックかかります。

（2）A/Dコンバータ・モード・レジスタ１（ADM1）

ADM1レジスタは，変換動作時間の指定，トリガ・モードの指定を行う８ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。ただし，A/D変換動作中にADM1レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM1	0	TRG2	TRG1	TRG0	0	FR2	FR1	FR0	FFFFF382H	07H

ビット位置	ビット名	意　　味
6-4	TRG2- TRG0	Trigger Mode トリガ・モードを指定します。

TRG2	TRG1	TRG0	トリガ・モード
0	0	任意	A/Dトリガ・モード
0	1	0	タイマ・トリガ・モード（１トリガ・モード）
0	1	1	タイマ・トリガ・モード（４トリガ・モード）
1	1	0	外部トリガ・モード
上記以外			設定禁止

★ **備考**　外部トリガ・モード時はADTRG端子と兼用になるINTP153の有効エッジを立ち下がりに設定してください。詳細は**7.3.8（1）外部割り込みモード・レジスタ1-6（INTM1-INTM6）**を参照してください。

ビット位置	ビット名	意　　味
2-0	FR2-FR0	Frequency 変換動作時間を指定します。発振周波数を変化させた場合でも，A/D変換時間を大きく変化させないようにするための制御ビットです。

FR2	FR1	FR0	変換クロック数	変換動作時間（μs）注1			
				φ= 40 MHz注2	φ= 33 MHz	φ= 25 MHz	φ= 16 MHz
0	0	0	48	－	－	－	－
0	0	1	72	－	－	－	－
0	1	0	96	－	－	－	6.00
0	1	1	120	－	－	－	7.50
1	0	0	168	－	5.09	6.72	－
1	0	1	192	－	5.82	7.68	－
1	1	0	240	6.00	7.27	9.60	－
1	1	1	336	8.40	－	－	－

注１．変換動作時間は目標値です。

２．μPD703100-40, 703100A-40のみ。

備考　φ：内部システム・クロック周波数

－：設定禁止

（3）A/D変換結果レジスタ（ADCR0-ADCR7，ADCR0H-ADCR7H）

ADCRnレジスタは，A/D変換の結果を保持する10ビット・レジスタです。８本の10ビット・レジスタを備えています（n = 0-7）。

16/8ビット単位でリードだけ可能です。このレジスタへの16ビット・アクセス時はADCRnレジスタを，上位８ビット・アクセス時はADCRnHレジスタを指定します。

ADCRnレジスタからA/D変換結果の10ビット・データを読み出す場合には，下位の10ビットだけが有効となり，上位６ビットは常に０が読み出されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCRn	0	0	0	0	0	0	ADn9	ADn8	ADn7	ADn6	ADn5	ADn4	ADn3	ADn2	ADn1	ADn0	FFFFF390H-FFFFF3ACH	不定

	7	6	5	4	3	2	1	0		
ADCRnH	ADn9	ADn8	ADn7	ADn6	ADn5	ADn4	ADn3	ADn2	FFFFF392H-FFFFF3AEH	不定

備考　n = 0-7

各アナログ入力端子とADCRnレジスタの対応（４バッファ・モードを除く）を次に示します。

アナログ入力端子	ADCRnレジスタ
ANI0	ADCR0, ADCR0H
ANI1	ADCR1, ADCR1H
ANI2	ADCR2, ADCR2H
ANI3	ADCR3, ADCR3H
ANI4	ADCR4, ADCR4H
ANI5	ADCR5, ADCR5H
ANI6	ADCR6, ADCR6H
ANI7	ADCR7, ADCR7H

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタ（ADCRn））には次式に示す関係があります。

$$ADCR = INT\left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5\right)$$

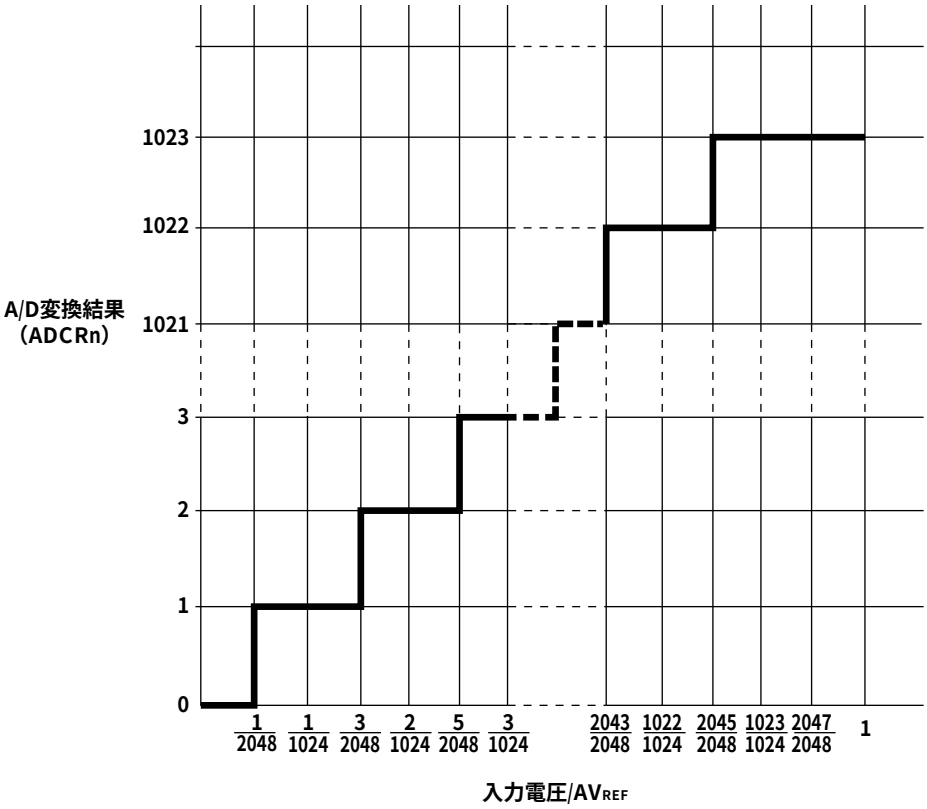
または，

$$(ADCR - 0.5) \times \frac{AV_{REF}}{1024} \leqq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
V_{IN}　：アナログ入力電圧
AV_{REF}　：AV_{REF}端子電圧
ADCR　：A/D変換結果レジスタ（ADCRn）の値

図11－２に，アナログ入力電圧とA/D変換結果の関係を示します。

図11－２　アナログ入力電圧とA/D変換結果の関係



備考　n = 0-7

11.4　A/Dコンバータ動作

11.4.1　A/Dコンバータ基本動作

A/D変換は次の手順で行います。

（1）アナログ入力の選択，動作モード，トリガ・モードなどの指定を，ADM0, ADM1レジスタに設定します[注1]。ADM0レジスタのCEビットをセット（1）すると，A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード，外部トリガ・モード時は，トリガ待機状態[注2]になります。

（2）直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力をコンパレータで比較します。

（3）10ビットの比較が終了したとき，ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき，A/D変換終了割り込み（INTAD）を発生します（n = 0-7）。

注1．A/D変換動作中にADM0, ADM1レジスタの内容を変更した場合，変更前のA/D変換動作は停止し，ADCRnレジスタへ変換結果を格納しません。

2．タイマ・トリガ・モード，外部トリガ・モードの場合，ADM0レジスタのCEビットを1にすると，トリガ待機状態に遷移します。またA/D変換動作は，トリガ信号によって起動され，A/D変換動作が終了するとトリガ待機状態に戻ります。

11.4.2　動作モードとトリガ・モード

A/Dコンバータは，動作モード，トリガ・モードの指定により多彩な変換動作を指定できます。動作モード，トリガ・モードは，ADM0, ADM1レジスタで設定します。

動作モード，トリガ・モードの関係を次に示します。

トリガ・モード		動作モード		設定値		アナログ入力
				ADM0レジスタ	ADM1レジスタ	
A/Dトリガ		セレクト	1バッファ	××010×××B	000×0×××B	ANI0-ANI7
			4バッファ	××110×××B	000×0×××B	
		スキャン		×××00×××B	000×0×××B	
タイマ・トリガ	1トリガ	セレクト	1バッファ	××010×××B	00100×××B	ANI0-ANI3
			4バッファ	××110×××B	00100×××B	
		スキャン		×××00×××B	00100×××B	
	4トリガ	セレクト	1バッファ	××010×××B	00110×××B	
			4バッファ	××110×××B	00110×××B	
		スキャン		×××00×××B	00110×××B	
外部トリガ		セレクト	1バッファ	××010×××B	01100×××B	
			4バッファ	××110×××B	01100×××B	
		スキャン		×××00×××B	01100×××B	

（1）トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには，A/Dトリガ・モード，タイマ・トリガ・モード，外部トリガ・モードの３通りがあります。ANI0-ANI3端子はすべてのモードを指定できますが，ANI4-ANI7端子はA/Dトリガ・モードだけ指定できます。またタイマ・トリガ・モードには，サブトリガ・モードとして，１トリガ・モードと４トリガ・モードがあります。これらのトリガ・モードは，ADM1レジスタで設定します。

（a）A/Dトリガ・モード

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを，A/Dコンバータ・ユニット内部で発生するモードです。ANI4-ANI7端子は常にこのモードになります。

（b）タイマ・トリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを，TM11のコンペア・レジスタに設定した値で規定するモードです。このモードはANI0-ANI3端子だけで指定できます。

16ビットのTM11に接続された４本のキャプチャ／コンペア・レジスタ（CC110-CC113）の一致割り込み発生により，アナログ入力変換タイミングを生成します。

タイマ・トリガ・モードには，１トリガ・モードと４トリガ・モードの２通りのサブトリガ・モードがあります。

・１トリガ・モード

タイマ11からの１つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

・４トリガ・モード

タイマ11からの４つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

（c）外部トリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを，ADTRG端子で指定するモードです。このモードは，ANI0-ANI3端子だけで指定できます。

（2）動作モード

動作モードには，ANI0-ANI7端子を設定するモードとして，セレクト・モード，スキャン・モードの２通りがあります。セレクト・モードには，サブモードとして１バッファ・モードと４バッファ・モードがあります。これらのモードは，ADM0レジスタで設定します。

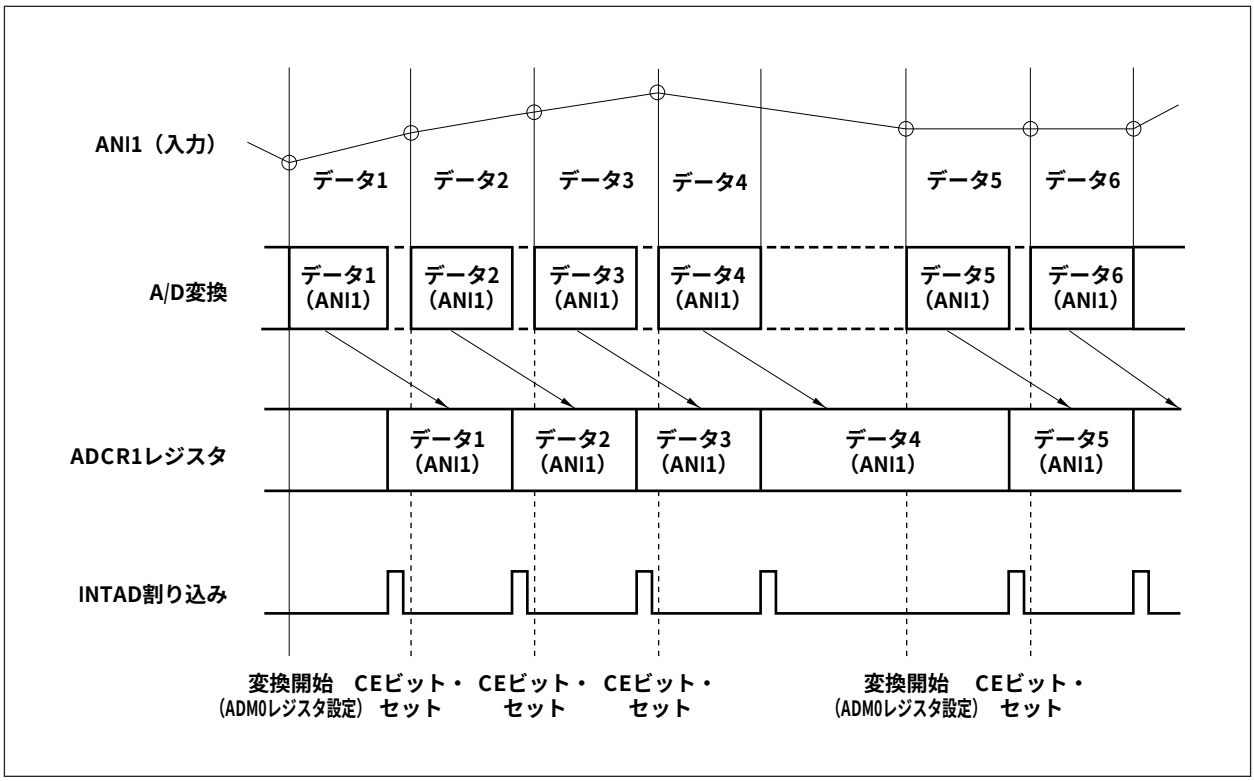
（a）セレクト・モード

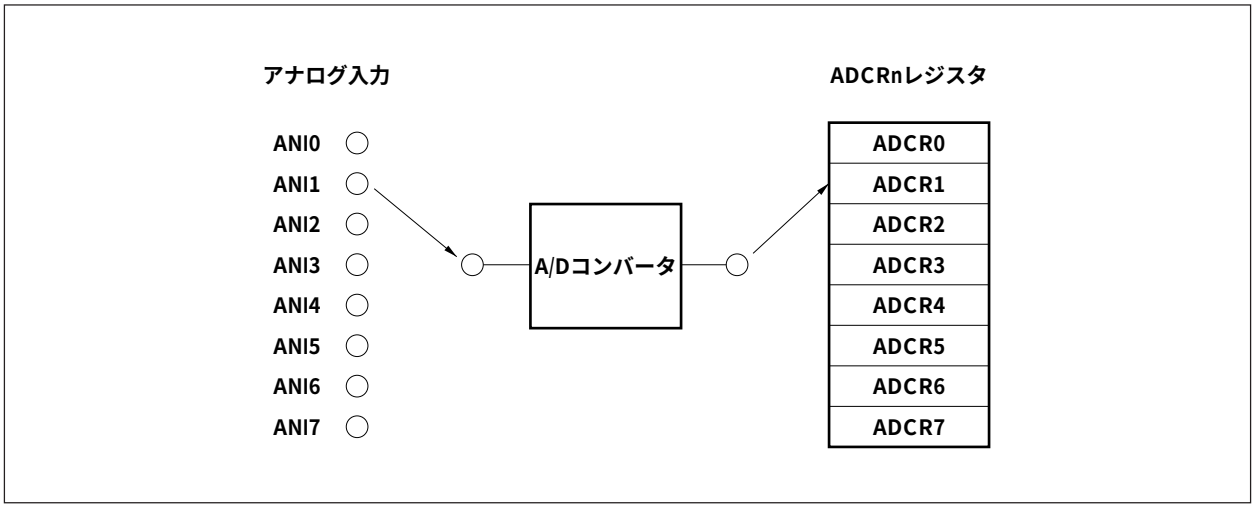
ADM0レジスタで指定される１つのアナログ入力をA/D変換します。変換結果は，アナログ入力（ANIn）に対応したADCRnレジスタに格納します。このモードでは，A/D変換結果の格納方法として１バッファ・モードと４バッファ・モードを備えています（n = 0-7）。

・１バッファ・モード

ADM0レジスタで指定される１つのアナログ入力をA/D変換します。変換結果は，アナログ入力（ANIn）に対応したADCRnレジスタに格納します。ANInとADCRnレジスタは１対１に対応しており，１回のA/D変換終了ごとにA/D変換終了割り込み（INTAD）が発生します。

★ 図11－３　セレクト・モードの動作タイミング例：１バッファ・モード（ANI1）

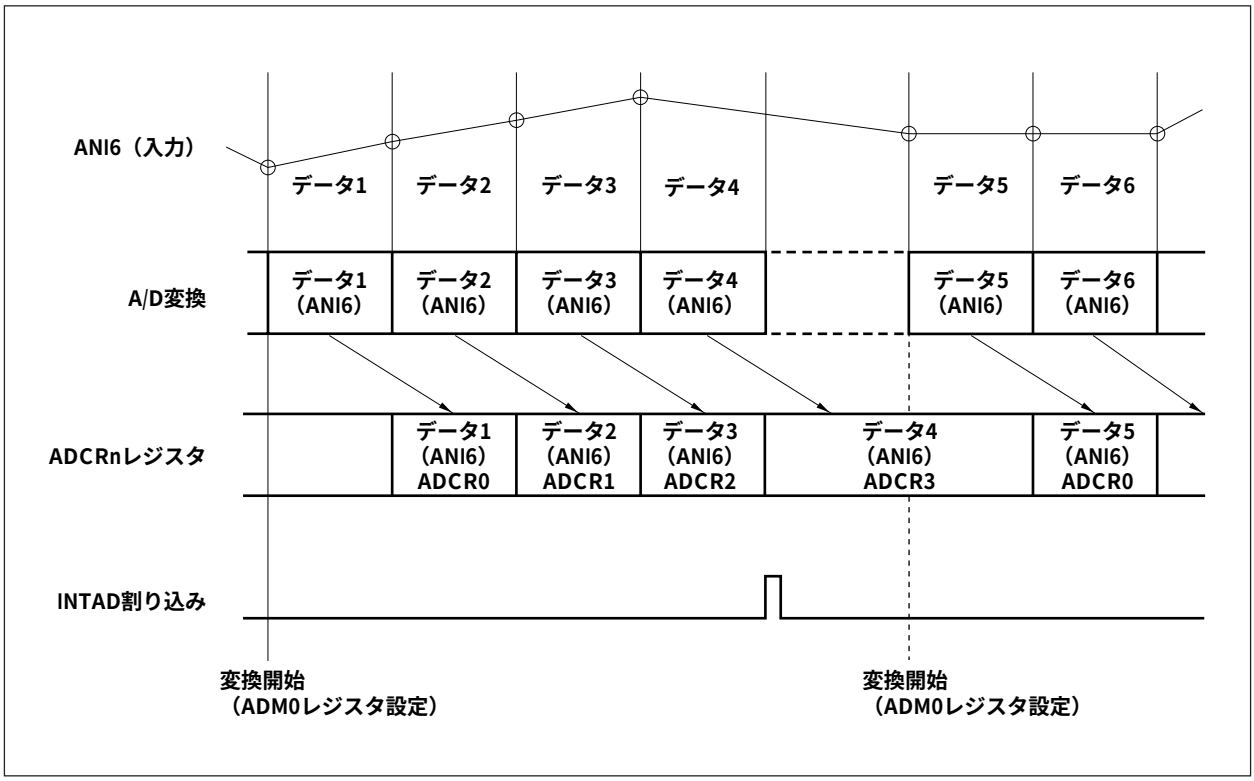


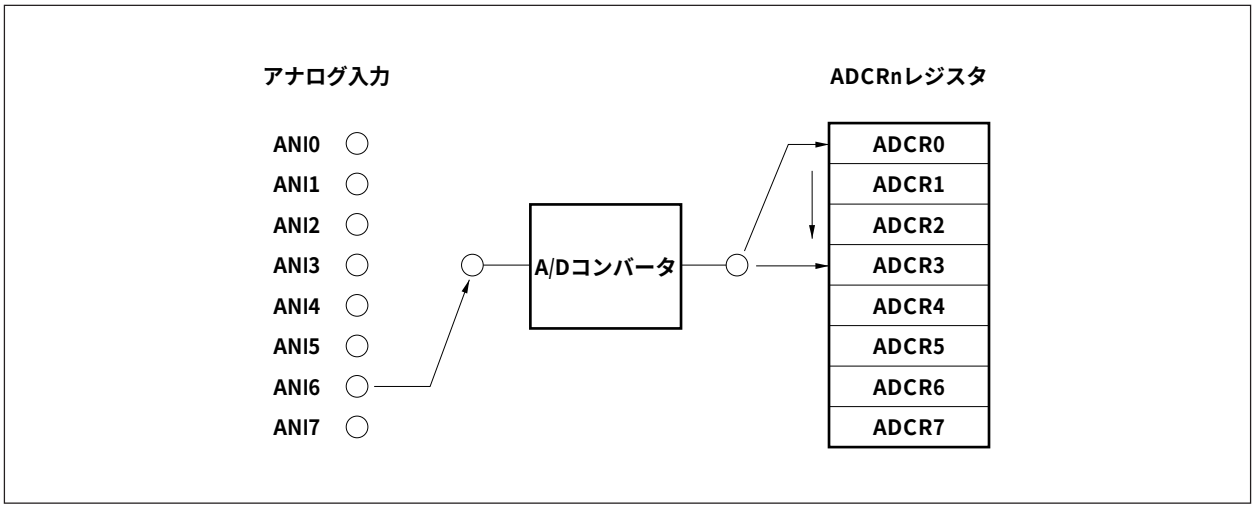


・４バッファ・モード

１つのアナログ入力を４回A/D変換し，その結果をADCR0-ADCR3レジスタに格納します。A/D変換終了割り込み（INTAD）は，４回のA/D変換が終了したときに発生します。

★ 図11－４　セレクト・モードの動作タイミング例：４バッファ・モード（ANI6）

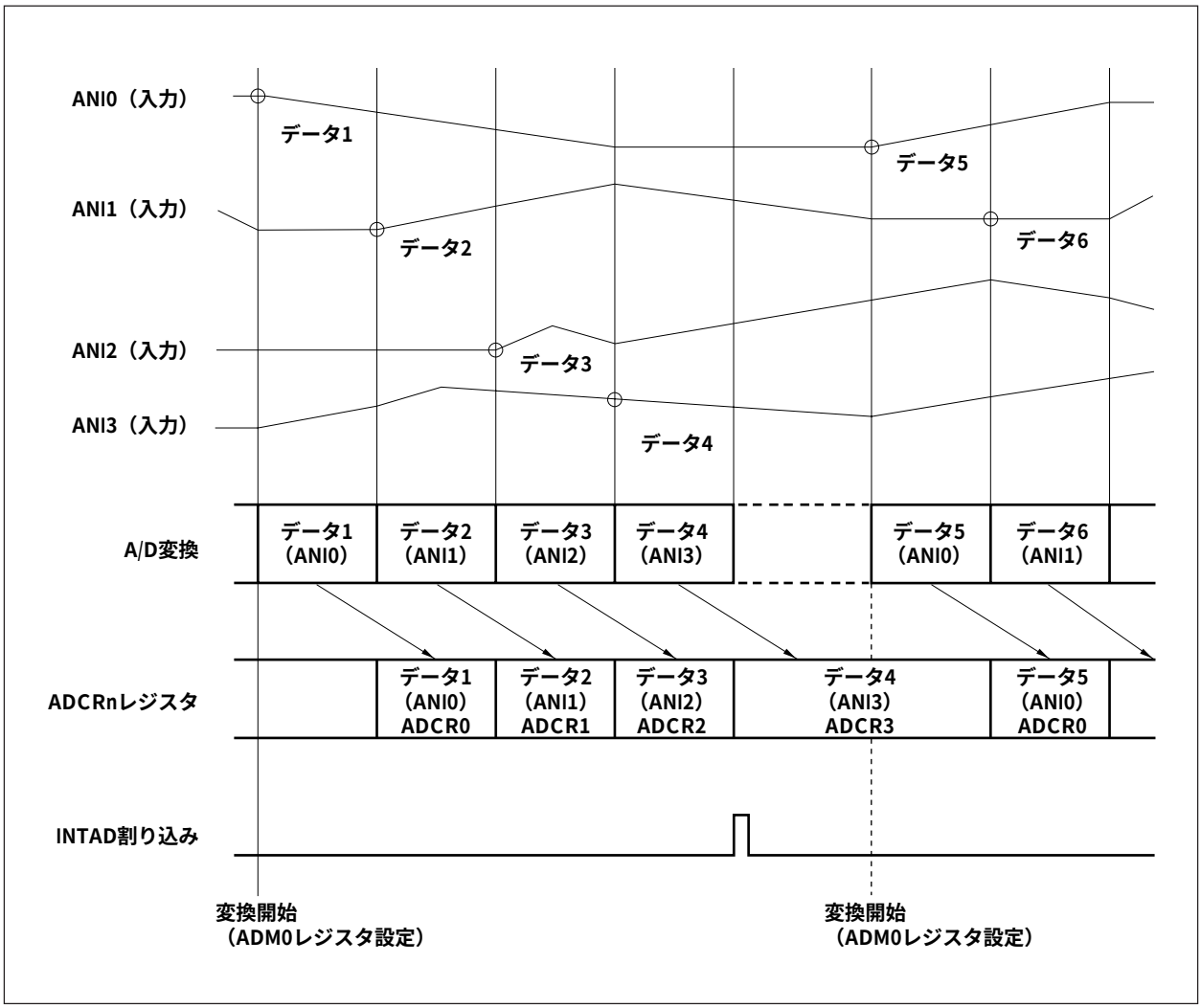


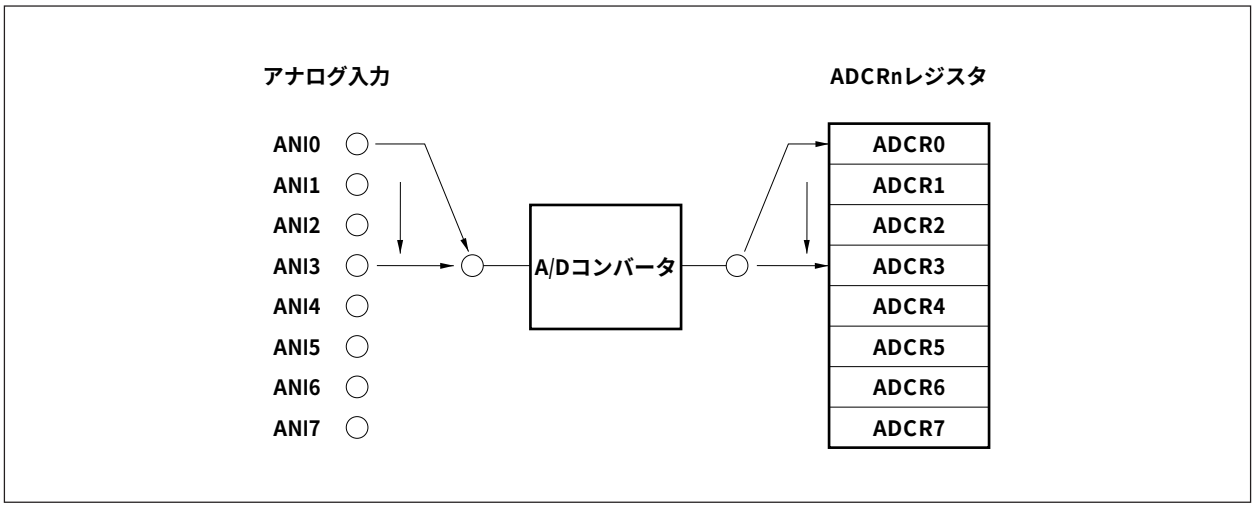


（b）スキャン・モード

ANI0端子から，ADM0レジスタで指定したアナログ入力までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。指定したアナログ入力の変換が終了すると，A/D変換終了割り込み（INTAD）が発生します。

★ **図11－5　スキャン・モードの動作タイミング例：４チャネル・スキャン（ANI0-ANI3）**





11.5　A/Dトリガ・モード時の動作

ADM0レジスタのCEビットを１に設定すると，A/D変換を開始します。

11.5.1　セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力をA/D変換します。変換結果は，ADCRnレジスタに格納します。セレクト・モードでは，A/D変換結果の格納法により１バッファ・モードと４バッファ・モードをサポートします（n = 0-7）。

（1）１バッファ・モード（A/Dトリガ・セレクト・１バッファ）

１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは，１対１に対応しています。

１回のA/D変換ごとにINTAD割り込みを発生し，A/D変換を終了します。

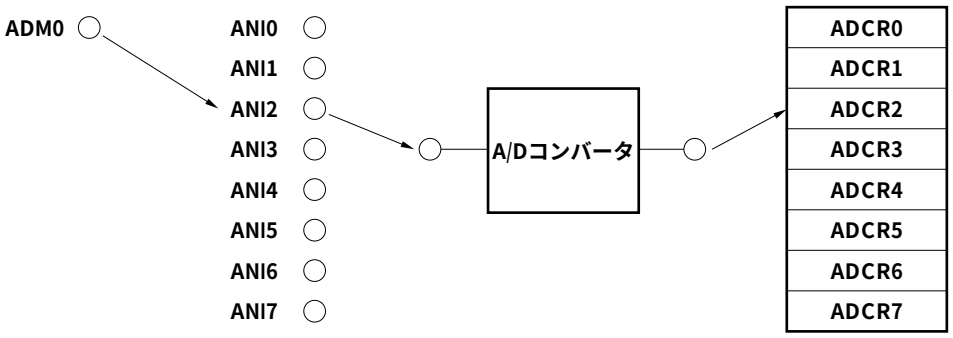
アナログ入力	A/D変換結果レジスタ
ANIn	ADCRn

（n = 0-7）

ADM0レジスタのCEビットに１を書き込むと，A/D変換を再起動できます。

１回目のA/D変換ごとに結果を読み出すような応用に最適です。

図11－６　１バッファ・モード（A/Dトリガ・セレクト・１バッファ）の動作例



（１）ADM0のCEビット = 1（許可）

（２）ANI2をA/D変換

（３）ADCR2に変換結果を格納

（４）INTAD割り込み発生

（2）４バッファ・モード（A/Dトリガ・セレクト・４バッファ）

１つのアナログ入力を４回A/D変換し，その結果をADCR0-ADCR3レジスタに格納します。４回のA/D変換が終了すると，INTAD割り込みを発生し，A/D変換を終了します。

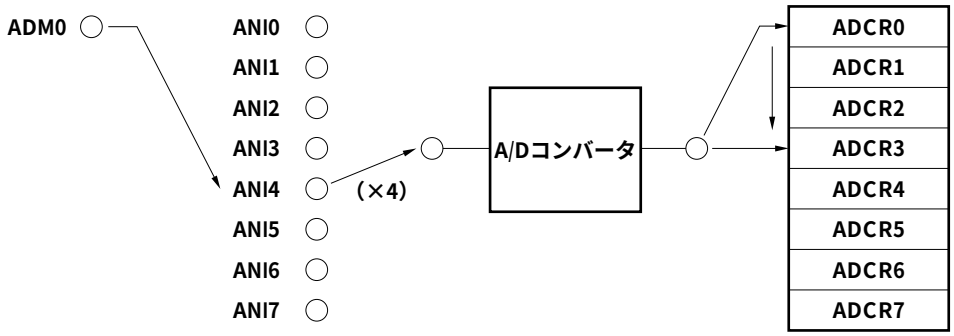
アナログ入力	A/D変換結果レジスタ
ANIn	ADCR0
ANIn	ADCR1
ANIn	ADCR2
ANIn	ADCR3

（n = 0-7）

ADM0レジスタのCEビットに１を書き込むと，A/D変換を再起動できます。

A/D変換結果の平均を求めるような応用に最適です。

図11－７　４バッファ・モード（A/Dトリガ・セレクト・４バッファ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）ANI4をA/D変換
（3）ADCR0に変換結果を格納
（4）ANI4をA/D変換
（5）ADCR1に変換結果を格納
（6）ANI4をA/D変換
（7）ADCR2に変換結果を格納
（8）ANI4をA/D変換
（9）ADCR3に変換結果を格納
（10）INTAD割り込み発生

11.5.2　スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し，A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。

指定したアナログ入力の変換をすべて終了すると，INTAD割り込みを発生し，A/D変換を終了します。

アナログ入力	A/D変換結果レジスタ
ANI0	ADCR0
：	：
ANIn注	ADCRn

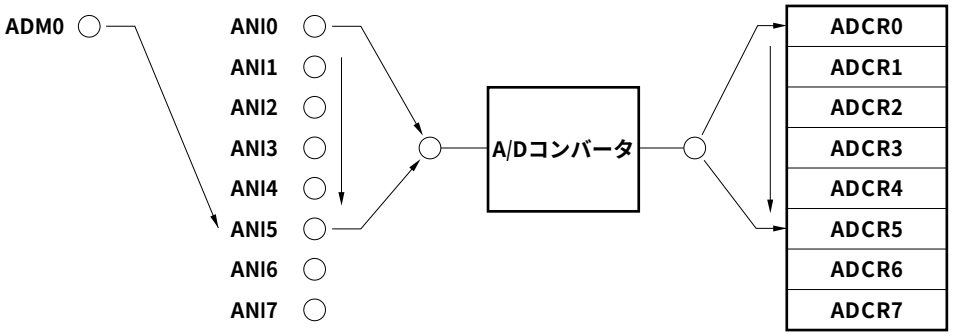
（n = 0-7）

注　ADM0レジスタのANIS0-ANIS2ビットで設定。

ADM0レジスタのCEビットに１を書き込むと，A/D変換を再起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図11－８　スキャン・モード（A/Dトリガ・スキャン）の動作例



（１）ADM0のCEビット = 1（許可）
（２）ANI0をA/D変換
（３）ADCR0に変換結果を格納
（４）ANI1をA/D変換
（５）ADCR1に変換結果を格納
（６）ANI2をA/D変換
（７）ADCR2に変換結果を格納
（８）ANI3をA/D変換
（９）ADCR3に変換結果を格納
（10）ANI4をA/D変換
（11）ADCR4に変換結果を格納
（12）ANI5をA/D変換
（13）ADCR5に変換結果を格納
（14）INTAD割り込み発生

11.6　タイマ・トリガ・モード時の動作

A/Dコンバータは，TM11のコンペア・レジスタの一致割り込み信号で，最大４チャネルのアナログ入力（ANI0-ANI3）に変換タイミングを設定できます。

アナログ変換のトリガ指定用タイマには，TM11と４本のキャプチャ／コンペア・レジスタ（CC110-CC113）を使用します。

TUM11レジスタの指定に応じて，次の２つのモードがあります。

（1）ワンショット・モード

ワンショット・モードを使用するには，TUM11レジスタのOSTビットに１（ワンショット・モード）を設定します。

A/D変換の周期がTM11の周期より長い場合，TM11はオーバフローを発生し，0000Hを保持して停止します。以降，TM11はコンペア・レジスタの一致割り込み信号（A/D変換トリガ）を出力せず，A/DコンバータもA/D変換待機状態となります。TM11のカウント動作は，TCLR11端子入力の有効エッジが検出されるか，またはTMC11レジスタのCE11ビットに１を書き込むと再開します。

（2）ループ・モード

ループ・モードを使用するには，TUM11レジスタのOSTビットに０（ノーマル・モード）を設定します。

TM11がオーバフローを発生するとTM11は再び0000Hからカウントを始めるため，コンペア・レジスタの一致割り込み信号（A/D変換トリガ）が繰り返し出力されて，A/D変換も繰り返し行われます。

11.6.1　セレクト・モードの動作

ADM0レジスタで指定される１つのアナログ入力（ANI0-ANI3）をA/D変換します。変換結果は，ADCRnレジスタに格納します。セレクト・モードではA/D変換結果の格納方法により，１バッファ・モードと４バッファ・モードの２通りがあります（n = 0-3）。

（1）１バッファ・モードの動作（タイマ・トリガ・セレクト・１バッファ）

１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。

１バッファ・モードでは，トリガの回数により１トリガ・モードと４トリガ・モードの２つのモードがあります。

（a）１トリガ・モード（タイマ・トリガ・セレクト・１バッファ・１トリガ）

一致割り込み信号（INTCC110）をトリガとして，１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。１回のA/D変換ごとにINTAD割り込みを発生し，A/D変換を終了します。

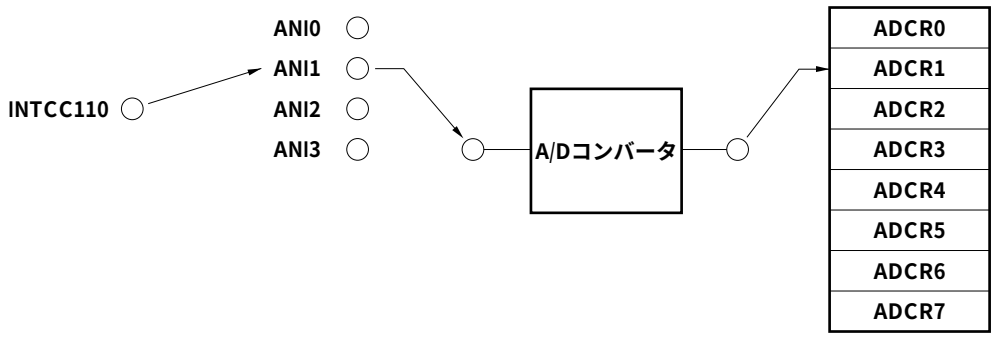
トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCRn

（n = 0-3）

TM11をワンショット・モードに設定している場合は，１回の変換でA/D変換を終了します。A/D変換を再起動するには，TCLR11端子に有効エッジを入力するか，またはTMC11レジスタのCE11ビットに１を書き込むことで，TM11を再起動してください。

ループ・モードに設定している場合は，ADM0レジスタのCEビットを0に設定しないかぎり，一致割り込みが発生するごとにA/D変換を繰り返します。

図11－９　１トリガ・モード（タイマ・トリガ・セレクト・１バッファ・１トリガ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）CC110コンペア発生
（3）ANI1をA/D変換
（4）ADCR1に変換結果を格納
（5）INTAD割り込み発生

（b）４トリガ・モード（タイマ・トリガ・セレクト・１バッファ・４トリガ）

４つの一致割り込み信号（INTCC110-INTCC113）をトリガとして，１つのアナログ入力を４回A/D変換し，その結果を１つのADCRnレジスタに格納します。１回のA/D変換ごとにINTAD割り込みを発生し，ADM0レジスタのCSビットがリセット（０）されます。１回のA/D変換結果は，次のA/D変換が終了するまでADCRnレジスタに保持されます。各A/D変換終了後のINTAD割り込みで，変換結果をメモリへ転送するなどの処理をしてください。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCRn
INTCC111割り込み	ANIn	ADCRn
INTCC112割り込み	ANIn	ADCRn
INTCC113割り込み	ANIn	ADCRn

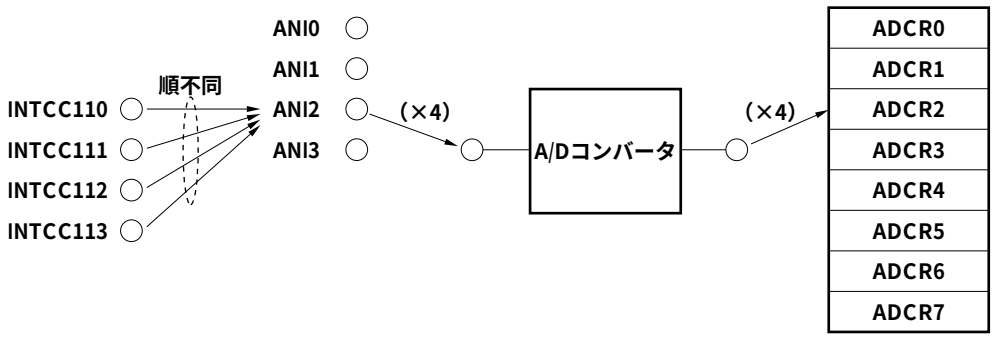
（n = 0-3）

TM11をワンショット・モードに設定している場合，A/D変換を４回で終了します。A/D変換を再起動するには，TCLR11端子に有効エッジを入力するか，またはTMC11レジスタのCE11ビットに１を書き込むことで，TM11を再起動してください。TM11再起動後の最初の一致割り込みが発生するとCSビットがセット（１）され，A/D変換を開始します。

ループ・モードに設定している場合は，ADM0レジスタのCEビットを0に設定しないかぎり，一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み（INTCC110-INTCC113）はどのような順番で発生しても問題ありません。また，同一トリガが連続して入った場合もトリガとして受け付けます。

図11－10　4トリガ・モード（タイマ・トリガ・セレクト・１バッファ・４トリガ）の動作例



（１）ADM0のCEビット = 1（許可）
（２）CC112コンペア発生（順不同）
（３）ANI2をA/D変換
（４）ADCR2に変換結果を格納
（５）INTAD割り込み発生
（６）CC111コンペア発生（順不同）
（７）ANI2をA/D変換
（８）ADCR2に変換結果を格納
（９）INTAD割り込み発生
（10）CC113コンペア発生（順不同）
（11）ANI2をA/D変換
（12）ADCR2に変換結果を格納
（13）INTAD割り込み発生
（14）CC110コンペア発生（順不同）
（15）ANI2をA/D変換
（16）ADCR2に変換結果を格納
（17）INTAD割り込み発生

（2）４バッファ・モードの動作（タイマ・トリガ・セレクト・４バッファ）

１つのアナログ入力を４回A/D変換し，その結果をADCR0-ADCR3レジスタに格納します。４バッファ・モードには，トリガの回数により１トリガ・モード，４トリガ・モードの２通りがあります。

A/D変換結果の平均を求めるような応用に最適です。

（a）１トリガ・モード

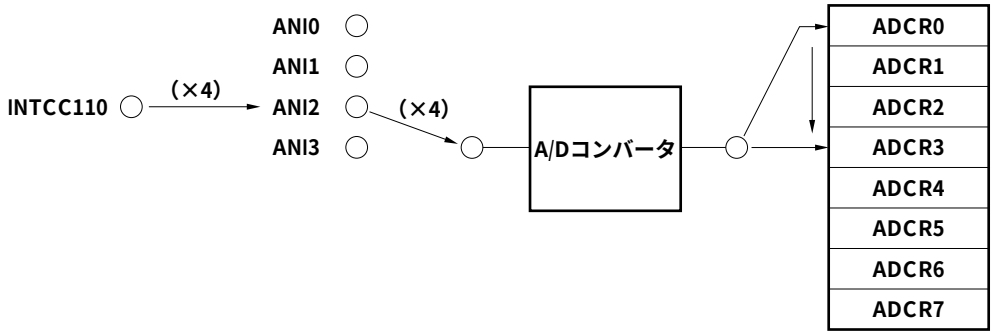
一致割り込み信号（INTCC110）をトリガとして，１つのアナログ入力を４回A/D変換し，その結果をADCR0-ADCR3レジスタに格納します。A/D変換が４回終了するとINTAD割り込みを発生し，A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCR0
INTCC110割り込み	ANIn	ADCR1
INTCC110割り込み	ANIn	ADCR2
INTCC110割り込み	ANIn	ADCR3

（n = 0-3）

TM11をワンショット・モードに設定しており，一致割り込みの発生が４回未満のときCEビットを０に設定すると，INTAD割り込みは発生せず待機状態となります。

図11－11　１トリガ・モード（タイマ・トリガ・セレクト・４バッファ・１トリガ）の動作例



（1）ADM0のCEビット＝1（許可）
（2）CC110コンペア発生
（3）ANI2をA/D変換
（4）ADCR0に変換結果を格納
（5）CC110コンペア発生
（6）ANI2をA/D変換
（7）ADCR1に変換結果を格納
（8）CC110コンペア発生
（9）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）CC110コンペア発生
（12）ANI2をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

（b）４トリガ・モード

４つの一致割り込み信号（INTCC110-INTCC113）をトリガとして，１つのアナログ入力を４回A/D変換し，その結果を入力されたトリガに対応したADCRnレジスタに格納します。A/D変換が４回終了するとINTAD割り込みを発生し，CSビットがリセット（０）され，A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCR0
INTCC111割り込み	ANIn	ADCR1
INTCC112割り込み	ANIn	ADCR2
INTCC113割り込み	ANIn	ADCR3

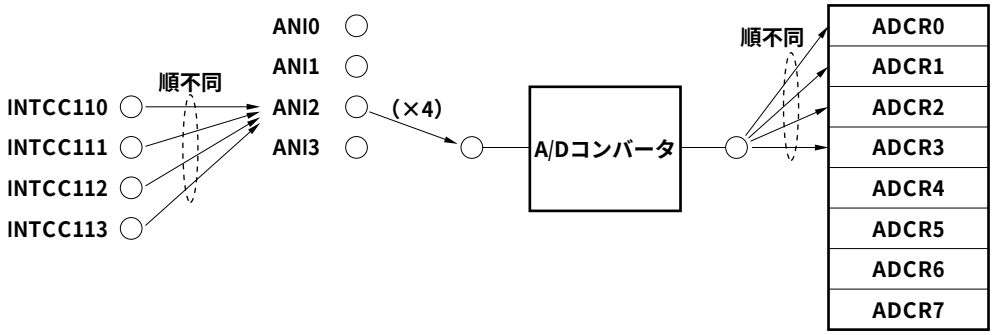
（n = 0-3）

TM11をワンショット・モードに設定している場合，A/D変換を４回で終了します。A/D変換を再起動するには，TCLR11端子に有効エッジを入力するか，またはTMC11レジスタのCE11ビットに１を書き込むことで，TM11を再起動してください。TM11再起動後の最初の一致割り込みが発生するとCSビットがセット（１）され，A/D変換を行います。

ループ・モードに設定している場合は，CEビットを0に設定しないかぎり，一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み（INTCC110-INTCC113）はどのような順番で発生しても問題ありません。変換結果は入力されたトリガに対応したADCRnレジスタに格納されます。また，同一のトリガが連続して入った場合もトリガとして受け付けます。

図11－12　４トリガ・モード（タイマ・トリガ・セレクト・４バッファ・４トリガ）の動作例



（１）ADM0のCEビット = 1（許可）
（２）CC111コンペア発生（順不同）
（３）ANI2をA/D変換
（４）ADCR1に変換結果を格納
（５）CC113コンペア発生（順不同）
（６）ANI2をA/D変換
（７）ADCR3に変換結果を格納
（８）CC112コンペア発生（順不同）
（９）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）CC110コンペア発生（順不同）
（12）ANI2をA/D変換
（13）ADCR0に変換結果を格納
（14）INTAD割り込み発生

11.6.2　スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し，一致割り込みトリガとして指定された回数のA/D変換を行います。

変換動作は，まずアナログ入力下位チャネル（ANI0-ANI3）を指定された回数分A/D変換します。ADM0レジスタで，アナログ入力の下位チャネル（ANI0-ANI3）までをスキャンするように設定した場合は，設定した回数のA/D変換が終了するとINTAD割り込みを発生し，A/D変換を終了します。

ADM0レジスタで，アナログ入力の上位チャネル（ANI4-ANI7）までをスキャンするように設定した場合は，下位４チャネルの変換が終了したあと，A/Dトリガ・モードに移行して残りのA/D変換を行います。変換結果はアナログ入力に対応したADCRnレジスタに格納します。指定したアナログ入力の変換がすべて終了すると，INTAD割り込みを発生して，A/D変換を終了します（n = 0-7）。

スキャン・モードにはトリガの回数により，１トリガ・モードと４トリガ・モードの２通りがあります。

複数のアナログ入力を常時監視するような応用に最適です。

（1）１トリガ・モード（タイマ・トリガ・スキャン・１トリガ）

一致割り込み信号（INTCC110）をトリガとして，指定された回数のアナログ入力をANI0端子から順にA/D変換します。アナログ入力とADCRnレジスタは１対１に対応します。指定されたすべてのA/D変換が終了すると，INTAD割り込みを発生し，A/D変換を終了します。

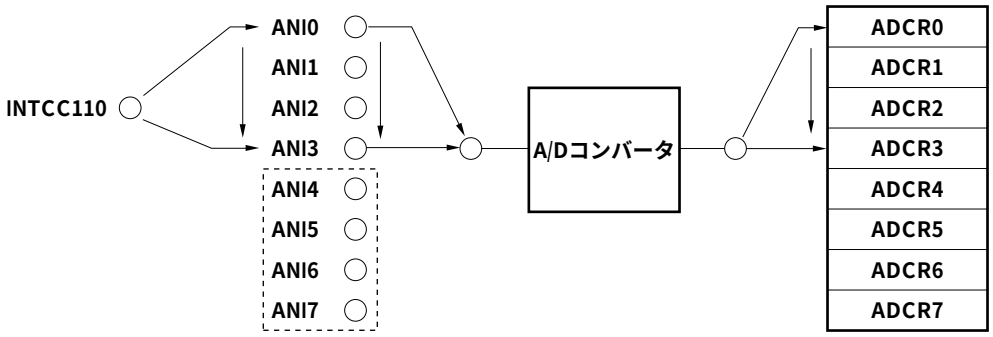
トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANI0	ADCR0
INTCC110割り込み	ANI1	ADCR1
INTCC110割り込み	ANI2	ADCR2
INTCC110割り込み	ANI3	ADCR3
（A/Dトリガ・モード）	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

指定されたすべてのA/D変換終了後に一致割り込みが発生すると，A/D変換を再起動します。

TM11がワンショット・モードに設定されており，一致割り込みの発生が指定された変換数未満のときに，INTAD割り込みは発生せずに待機状態になります。

図11－13　１トリガ・モード（タイマ・トリガ・スキャン・１トリガ）の動作例

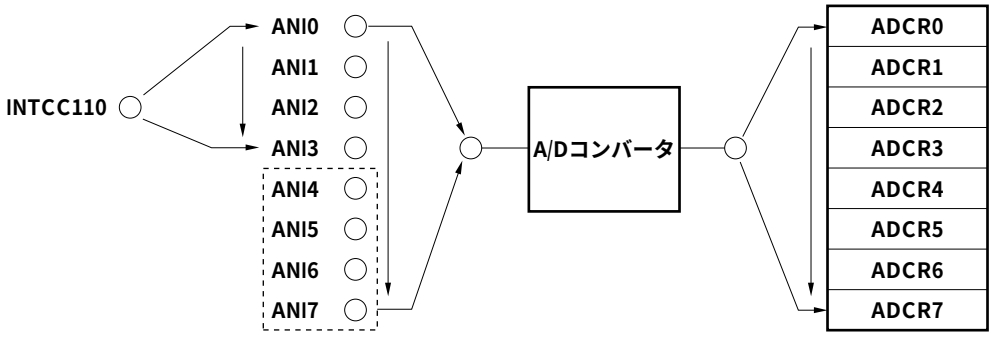
（a）ANI0-ANI3をスキャンする設定にした場合



（１）ADM0のCEビット＝1（許可）
（２）CC110コンペア発生
（３）ANI0をA/D変換
（４）ADCR0に変換結果を格納
（５）CC110コンペア発生
（６）ANI1をA/D変換
（７）ADCR1に変換結果を格納
（８）CC110コンペア発生
（９）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）CC110コンペア発生
（12）ANI3をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

注意　破線内のアナログ入力は，INTCC11nをトリガとして使用できません（n＝0-3）。
ANI0-ANI7までスキャンするように設定した場合は，ANI4-ANI7はA/Dトリガ・モードでの変換となります（（b）参照）。

（b）ANI0-ANI7をスキャンする設定にした場合



（１）-（13）（a）と同様
（14）ANI4をA/D変換
（15）ADCR4に変換結果を格納
（16）ANI5をA/D変換
（17）ADCR5に変換結果を格納
（18）ANI6をA/D変換
（19）ADCR6に変換結果を格納
（20）ANI7をA/D変換
（21）ADCR7に変換結果を格納
（22）INTAD割り込み発生

（2）4トリガ・モード

一致割り込み信号（INTCC110-INTCC113）をトリガとして，指定された回数のアナログ入力をA/D変換します。アナログ入力とADCRnレジスタは１対１に対応します。指定されたすべてのA/D変換が終了すると，INTAD割り込みを発生し，A/D変換を終了します。

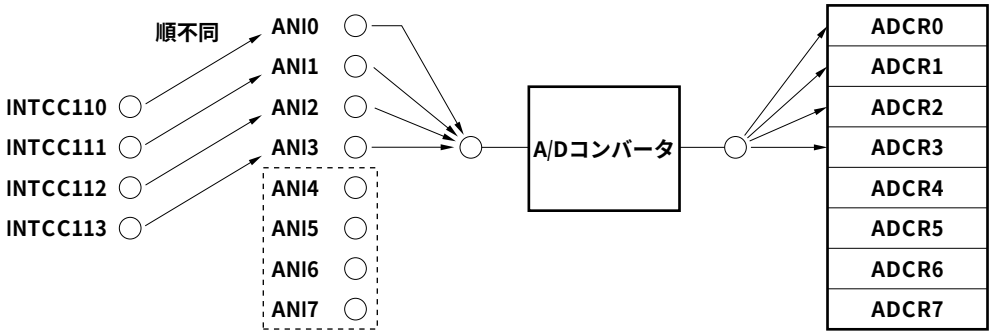
トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANI0	ADCR0
INTCC111割り込み	ANI1	ADCR1
INTCC112割り込み	ANI2	ADCR2
INTCC113割り込み	ANI3	ADCR3
（A/Dトリガ・モード）	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

TM11をワンショット・モードに設定している場合に変換を再起動するには，TM11を再起動してください。ループ・モードに設定していてCEビットが１の場合は，変換終了後に再び一致割り込みが発生するとA/D変換を再起動します。

一致割り込みはどのような順で発生しても問題ありません。ただし，トリガ信号とアナログ入力が１対１に対応しているため，コンペア・レジスタの一致信号の発生順でスキャンの順番が決定します。

図11－14　４トリガ・モード（タイマ・トリガ・スキャン・４トリガ）の動作例

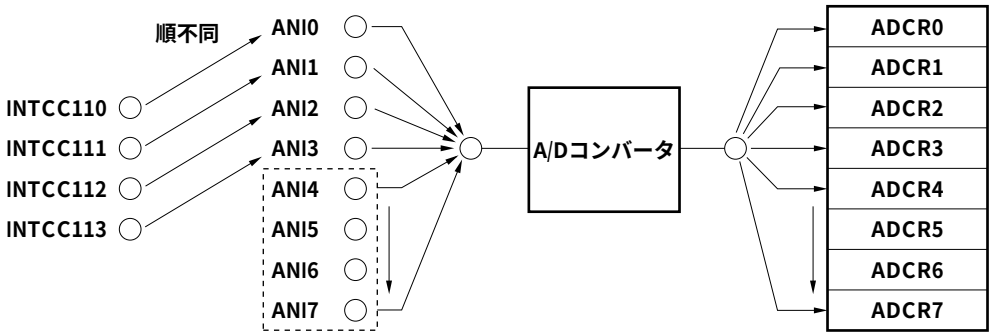
（ａ）ANI0-ANI3をスキャンする設定にした場合



（１）ADM0のCEビット＝1（許可）
（２）CC111コンペア発生（順不同）
（３）ANI1をA/D変換
（４）ADCR1に変換結果を格納
（５）CC113コンペア発生（順不同）
（６）ANI3をA/D変換
（７）ADCR3に変換結果を格納
（８）CC110コンペア発生（順不同）
（９）ANI0をA/D変換
（10）ADCR0に変換結果を格納
（11）CC112コンペア発生（順不同）
（12）ANI2をA/D変換
（13）ADCR2に変換結果を格納
（14）INTAD割り込み発生

注意　破線内のアナログ入力は，INTCC11nをトリガとして使用できません（n＝0-3）。
ANI0-ANI7までスキャンするように設定した場合は，ANI4-ANI7はA/Dトリガ・モードでの変換となります（（ｂ）参照）。

（ｂ）ANI0-ANI7をスキャンする設定にした場合



（１）-（13）（ａ）と同様
（14）ANI4をA/D変換
（15）ADCR4に変換結果を格納
（16）ANI5をA/D変換
（17）ADCR5に変換結果を格納
（18）ANI6をA/D変換
（19）ADCR6に変換結果を格納
（20）ANI7をA/D変換
（21）ADCR7に変換結果を格納
（22）INTAD割り込み発生

11.7　外部トリガ・モード時の動作

外部トリガ・モードでは，アナログ入力（ANI0-ANI3）をADTRG端子の入力タイミングでA/D変換します。

ADTRG端子はP127/INTP153端子と兼用になっています。外部トリガ・モードにするにはPMC12レジスタのPMC127ビットを１に，ADM1レジスタのTRG2-TRG0ビットを110にしてください。

★　外部トリガ・モード時の外部入力信号の有効エッジは，立ち下がりエッジ固定です。外部トリガ・モードで使用する場合は，INTP153の有効エッジ指定を立ち下がりエッジ（ES531, ES530ビット = 00）に設定してください。詳細は**7.3.8（1）外部割り込みモード・レジスタ1-6（INTM1-INTM6）**を参照してください。

11.7.1　セレクト・モードの動作（外部トリガ・セレクト）

ADM0レジスタで指定する１つのアナログ入力（ANI0-ANI3）をA/D変換します。変換結果は，ADCRnレジスタに格納します。セレクト・モードでは，変換結果の格納方法により１バッファ・モードと４バッファ・モードの２通りがあります（n = 0-3）。

（1）１バッファ・モード（外部トリガ・セレクト・１バッファ）

ADTRG信号をトリガとして１つのアナログ入力を１回A/D変換し，その結果を１つのADCRnレジスタに格納します。アナログ入力とA/D変換結果レジスタは１対１に対応しています。１回のA/D変換ごとにINTAD割り込みを発生し，A/D変換を終了します。

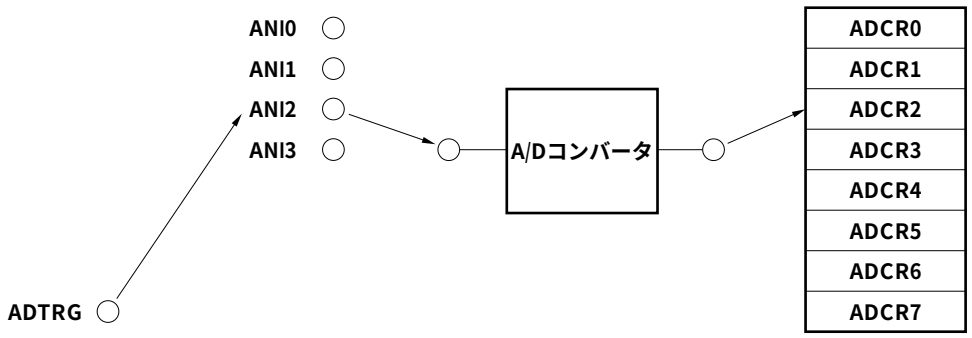
トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCRn

（n = 0-3）

ADM0レジスタのCEビットが１の間は，ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

１回のA/D変換ごとに結果を読み出すような応用に最適です。

図11－15　１バッファ・モード（外部トリガ・セレクト・１バッファ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）外部トリガ発生
（3）ANI2をA/D変換
（4）ADCR2に変換結果を格納
（5）INTAD割り込み発生

（2）４バッファ・モード（外部トリガ・セレクト・４バッファ）

ADTRG信号をトリガとして１つのアナログ入力を４回A/D変換し，その結果をADCR0-ADCR3レジスタに格納します。４回のA/D変換が終了すると，INTAD割り込みを発生して変換を終了します。

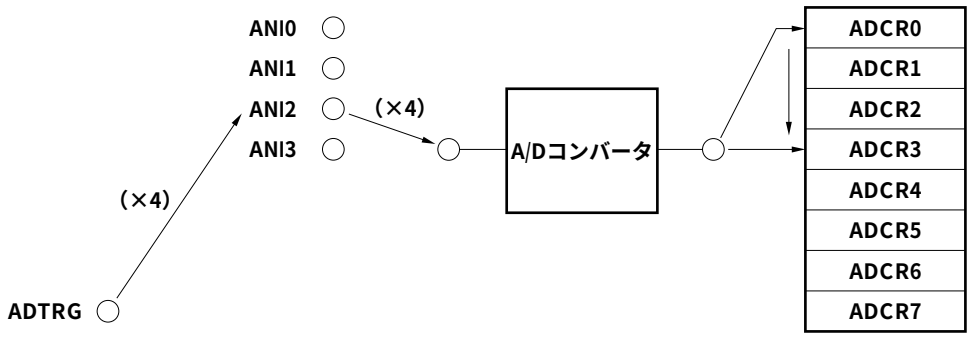
トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCR0
ADTRG信号	ANIn	ADCR1
ADTRG信号	ANIn	ADCR2
ADTRG信号	ANIn	ADCR3

（n = 0-3）

ADM0レジスタのCEビットが１の間は，ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

A/D変換結果の平均を求めるような応用に最適です。

図11－16　４バッファ・モード（外部トリガ・セレクト・４バッファ）の動作例



（1）ADM0のCEビット = 1（許可）
（2）外部トリガ発生
（3）ANI2をA/D変換
（4）ADCR0に変換結果を格納
（5）外部トリガ発生
（6）ANI2をA/D変換
（7）ADCR1に変換結果を格納
（8）外部トリガ発生
（9）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）外部トリガ発生
（12）ANI2をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

11.7.2　スキャン・モードの動作（外部トリガ・スキャン）

ADTRG信号をトリガとして，ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し，A/D変換します。A/D変換結果はアナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。

ADM0レジスタで，アナログ入力の下位４チャネル（ANI0-ANI3）までをスキャンするように設定した場合は，設定した回数のA/D変換が終了するとINTAD割り込みを発生し，A/D変換を終了します。

ADM0レジスタで，アナログ入力の上位４チャネル（ANI4-ANI7）までをスキャンするように設定した場合，下位４チャネルの変換が終了したあと，A/Dトリガ・モードに移行して残りのA/D変換を行います。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0	ADCR0
ADTRG信号	ANI1	ADCR1
ADTRG信号	ANI2	ADCR2
ADTRG信号	ANI3	ADCR3
（A/Dトリガ・モード）	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

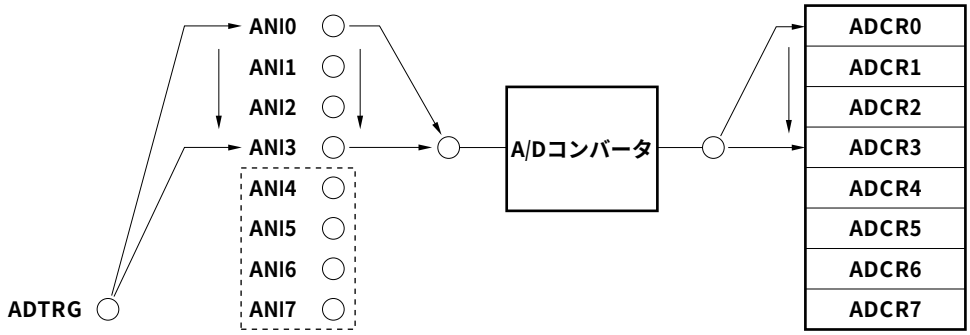
指定したアナログ入力の変換をすべて終了すると，INTAD割り込みを発生してA/D変換を終了します。

ADM0レジスタのCEビットが１の間にADTRG端子にトリガを入力すると，再度A/D変換を起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図11－17　スキャン・モード（外部トリガ・スキャン）の動作例

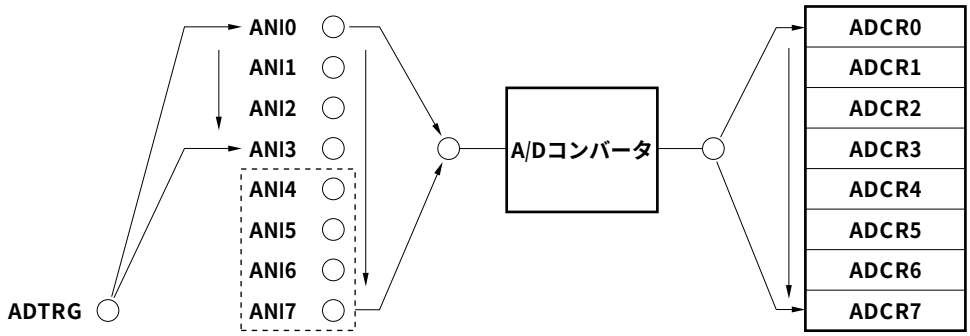
（a）ANI0-ANI3をスキャンする設定にした場合



（1）ADM0のCEビット＝1（許可）
（2）外部トリガ発生
（3）ANI0をA/D変換
（4）ADCR0に変換結果を格納
（5）外部トリガ発生
（6）ANI1をA/D変換
（7）ADCR1に変換結果を格納
（8）外部トリガ発生
（9）ANI2をA/D変換
（10）ADCR2に変換結果を格納
（11）外部トリガ発生
（12）ANI3をA/D変換
（13）ADCR3に変換結果を格納
（14）INTAD割り込み発生

注意　破線内のアナログ入力は，ADTRGをトリガとして使用できません。ANI0-ANI7までスキャンするように設定した場合は，ANI4-ANI7はA/Dトリガ・モードでの変換となります（（b）参照）。

（b）ANI0-ANI7をスキャンする設定にした場合



（1）-（13）（a）と同様
（14）ANI4をA/D変換
（15）ADCR4に変換結果を格納
（16）ANI5をA/D変換
（17）ADCR5に変換結果を格納
（18）ANI6をA/D変換
（19）ADCR6に変換結果を格納
（20）ANI7をA/D変換
（21）ADCR7に変換結果を格納
（22）INTAD割り込み発生

11.8　動作上の注意事項

11.8.1　変換動作の停止

変換動作中にADM0レジスタのCEビットに0を書き込むと変換動作を停止し，ADCRnレジスタへ変換結果を格納しません（n = 0-7）。

11.8.2　外部／タイマ・トリガの間隔

外部またはタイマ・トリガ・モード時のトリガのインターバル（入力時間の間隔）は，ADM1レジスタのFR2-FR0ビットで指定する変換動作時間より長くしてください。

（1）インターバル = 0の場合

複数のトリガが同時に入力された場合，ANIn端子番号が小さいアナログ入力を変換します。同時入力されたほかのトリガ信号は無視され，トリガ入力回数もカウントしません。したがって割り込みの発生，ADCRnレジスタへの結果の格納は異常となりますので注意してください（n = 0-7）。

（2）0＜インターバル≦変換動作時間の場合

変換動作中にタイマ・トリガが入力された場合，変換動作を中断し，最後に入力されたタイマ・トリガに従って変換を開始します。

変換動作を中断した場合，ADCRnレジスタに変換結果を格納しません。ただしトリガ入力回数はカウントし，割り込みが発生すると，変換が終了した値をADCRnレジスタへ格納します。

11.8.3　スタンバイ・モード時の動作

（1）HALTモード

A/D変換動作を継続します。NMI入力で解除した場合，ADM0, ADM1レジスタとADCRnレジスタは値を保持します（n = 0-7）。

（2）IDLEモード，ソフトウエアSTOPモード

A/Dコンバータへのクロック供給は止まるため，変換動作は行われません。

★　IDLEモード，ソフトウエアSTOPモードへ移行する際はA/Dコンバータの動作を停止（ADM0レジスタのCEビット = 0）してください。IDLEモード，ソフトウエアSTOPモード時，さらに消費電流を削減したい場合は，AV_{REF}端子の電圧をV_{SS}にしてください。

11.8.4　タイマ・トリガ・モード時のコンペア一致割り込み

コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり，変換動作を開始します。このとき，コンペア・レジスタの一致割り込みは，CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには，割り込み制御レジスタ（P11IC0-P11IC3）の割り込みマスク・ビット（P11MK0-P11MK3）で割り込みを禁止してください。

11.8.5　外部トリガ・モード時のタイマ１の機能

外部トリガ入力がA/D変換開始トリガとなり，変換動作を開始します。このとき，外部トリガ入力はタイマ15（TM15）のキャプチャ・トリガ，外部割り込みとしても機能します。キャプチャ・トリガ，外部割り込みを発生させないためには，TM15をコンペア・レジスタに設定し，割り込み制御レジスタの割り込みマスク・ビットで割り込みを禁止してください。

TM15をコンペア・レジスタに設定し，割り込み制御レジスタで割り込みを禁止しない場合の動作は次のようになります。

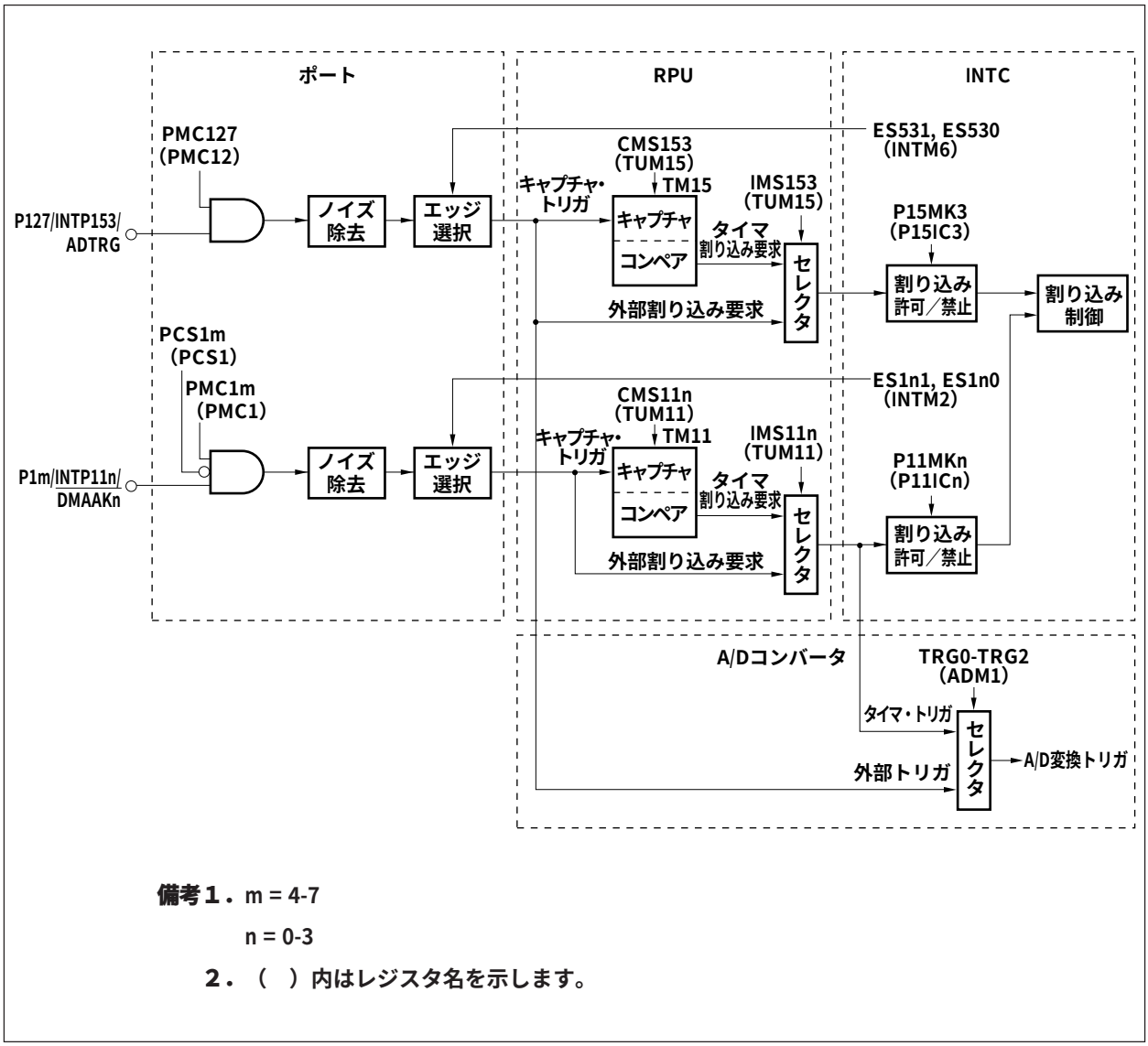
（a）TUM15レジスタの割り込みマスク・ビット（IMS153）が０の場合

CPUに対するコンペア・レジスタの一致割り込みとしても機能します。

（b）TUM15レジスタの割り込みマスク・ビット（IMS153）が１の場合

A/Dコンバータの外部トリガ入力がCPUに対する外部割り込みとしても機能します。

図11－18　A/Dコンバータとポート，INTC，RPUの関係



備考１． m = 4-7

n = 0-3

２．（　）内はレジスタ名を示します。

★ 11.8.6　タイマ１トリガ・モード，外部トリガ・モード時の再変換動作

タイマ１トリガ・モード時は，一致割り込み信号（INTCC110）をトリガとしてA/D変換が開始されます。また，外部トリガ・モード時は，外部端子入力（ADTRG端子）をトリガとしてA/D変換が開始されます。しかし，A/D変換中に起動要因でない割り込み要因(INTCC111, INTCC112, INTCC113, INTP111注, INTP112注, INTP113注)が発生すると変換中のA/D変換が正常に終了したあと，再度同じA/D変換を開始すること（再変換動作）があります。ただし，この条件下で起動要因でない割り込み要因が発生しなければ再変換動作は行いません。

注　タイマ１（TM11）の外部キャプチャ・トリガ入力と兼用になっている外部割り込み信号も再変換動作の要因となります。

（1）セレクト１バッファ・モード時の再変換動作

対象モード：タイマ・トリガ・セレクト１バッファ１トリガ・モード
外部トリガ・セレクト１バッファ・モード

起動要因でない割り込み要因がA/D変換中に発生すると，最初のA/D変換は正常に終了し，A/D変換終了割り込み（INTAD）を発生します。A/D変換結果はADCRnレジスタに格納されます。再起動したA/D変換は正常に変換動作を行い，A/D変換結果はADCRnレジスタに上書きされます。また，再変換動作中はADCRnレジスタの読み出しは可能です。A/D変換終了後，INTAD割り込みを発生し終了します。

（2）セレクト４バッファ・モード，スキャン・モード時の再変換動作

対象モード：タイマ・トリガ・セレクト４バッファ１トリガ・モード
タイマ・トリガ・スキャン１トリガ・モード
外部トリガ・セレクト４バッファ・モード
外部トリガ・スキャン・モード

起動要因でない割り込み要因がA/D変換中に発生すると，変換中のA/D変換は正常に終了し，A/D変換結果はADCRnレジスタに格納されます。そのあと再度同じA/D変換を行い，A/D変換結果はADCRnレジスタに上書きされます。

また，再変換動作中はADCRnレジスタの読み出しは可能です。そのあと，残りのA/D変換動作を正常に行い，A/D変換終了割り込み（INTAD）を発生し終了します。

注意　最後のA/D変換中に起動要因でない割り込み要因が発生した場合は，最後のA/D変換は正常に終了し，A/D変換終了割り込み（INTAD）を発生します。そのあと再度最後のA/D変換と同じ変換を行い，INTAD割り込みを発生し終了します。

再変換動作が発生した場合，変換結果は正常な値を示すので，最新の変換値を取得するような使用方法では，影響は最小限に抑えられます。しかし，再変換動作が不都合となる場合には，必ずA/Dトリガ・モードを使用し，タイマのコンペア一致割り込みの割り込み処理ルーチン内または，外部端子割り込み処理ルーチン内でADM0レジスタのCEビット= 1に設定することによりA/D変換を開始してください。

★ 11.8.7　A/D変換時間についての補足

トリガ入力からA/D変換終了までにかかる時間（t）は次のようになります。

・A/Dトリガ・モード時

t = 4クロック＋ADM1のFR2-FR0ビットで指定したクロック数－0.5クロック

・タイマ・トリガ・モード時（外部割り込み信号）

t = 5.5-6.5クロック＋ADM1のFR2-FR0ビットで指定したクロック数－0.5クロック

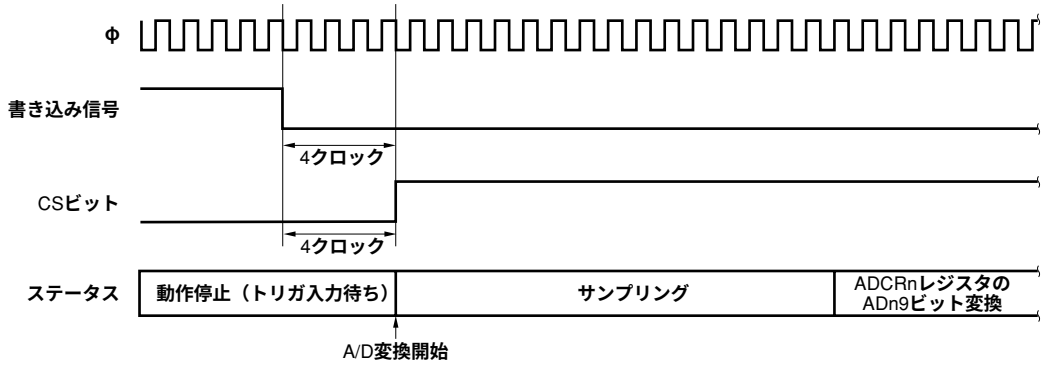
・タイマ・トリガ・モード時（一致割り込み信号）

t = 2.5クロック＋ADM1のFR2-FR0ビットで指定したクロック数－0.5クロック

・外部トリガ・モード時

t = 4.5-5.5クロック＋ADM1のFR2-FR0ビットで指定したクロック数－0.5クロック

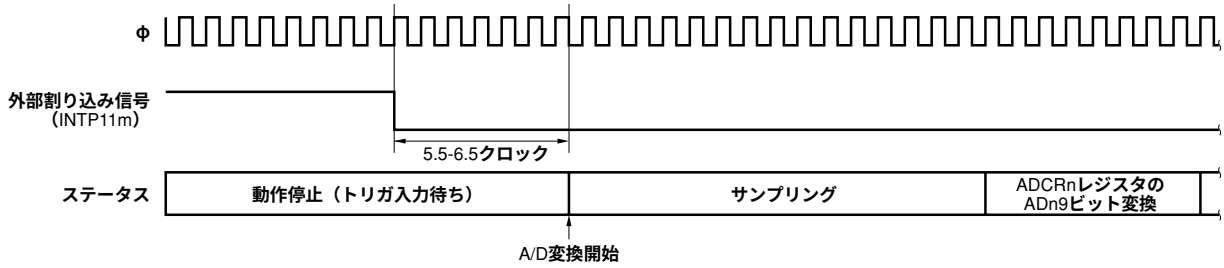
図11－19　A/Dトリガ・モードのA/D変換時間：ADM1 = 02H設定時



備考1．φ：内部システム・クロック

2．n = 0-7

図11－20　タイマ・トリガ・モードのA/D変換時間（外部割り込み信号）：ADM1 = 22Hまたは32H設定時

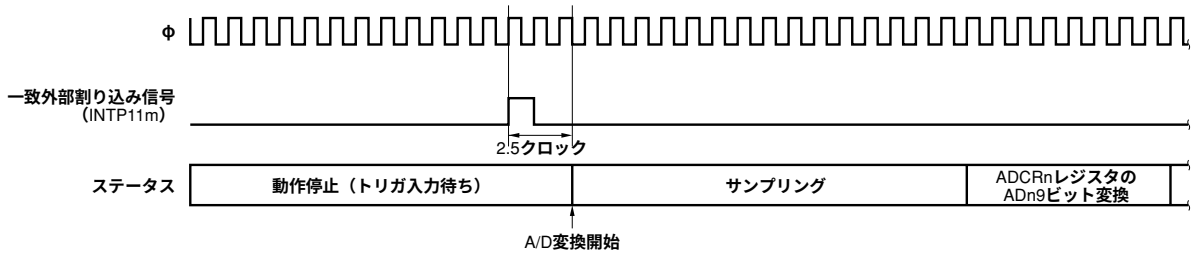


備考1．φ：内部システム・クロック

2．n = 0-3

m = 0（ADM1 = 22Hのとき）, m = 0-3（ADM1 = 32Hのとき）

図11－21　タイマ・トリガ・モードのA/D変換時間（一致割り込み信号）：ADM1 = 22Hまたは32H設定時

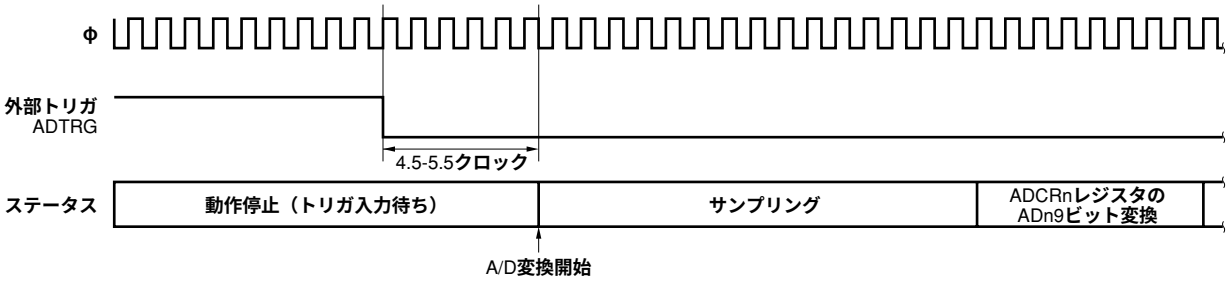


備考１．φ：内部システム・クロック

２．n = 0-3

m = 0（ADM1 = 22Hのとき）, m = 0-3（ADM1 = 32Hのとき）

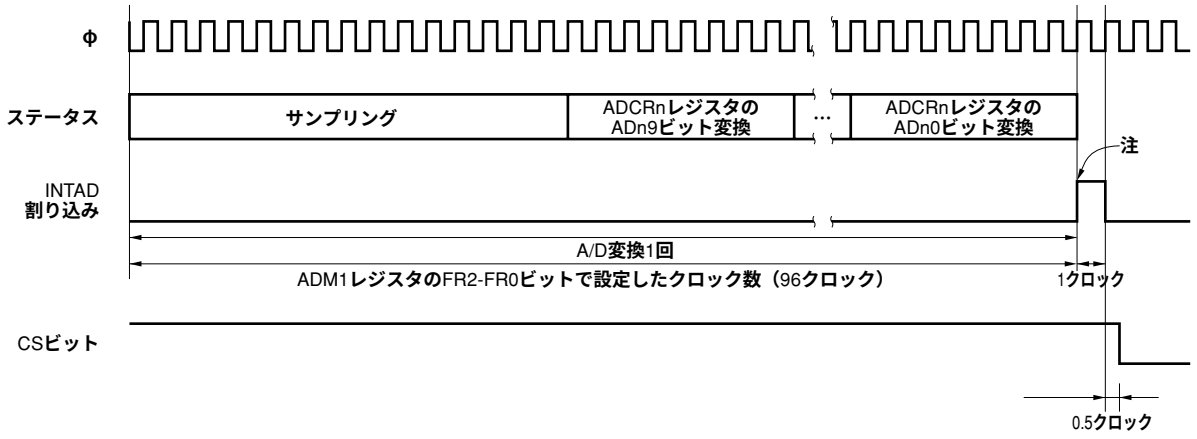
図11－22　外部トリガ・モードのA/D変換時間：ADM1 = 62H設定時



備考１．φ：内部システム・クロック

２．n = 0-3

図11－23　A/D変換概要：A/D変換１回，ADM1レジスタのFR0-FR2ビット＝010設定（96クロック）時



注　A/D変換結果（ADCRn）の読み出し可

備考１．φ：内部システム・クロック

２．n = 0-3

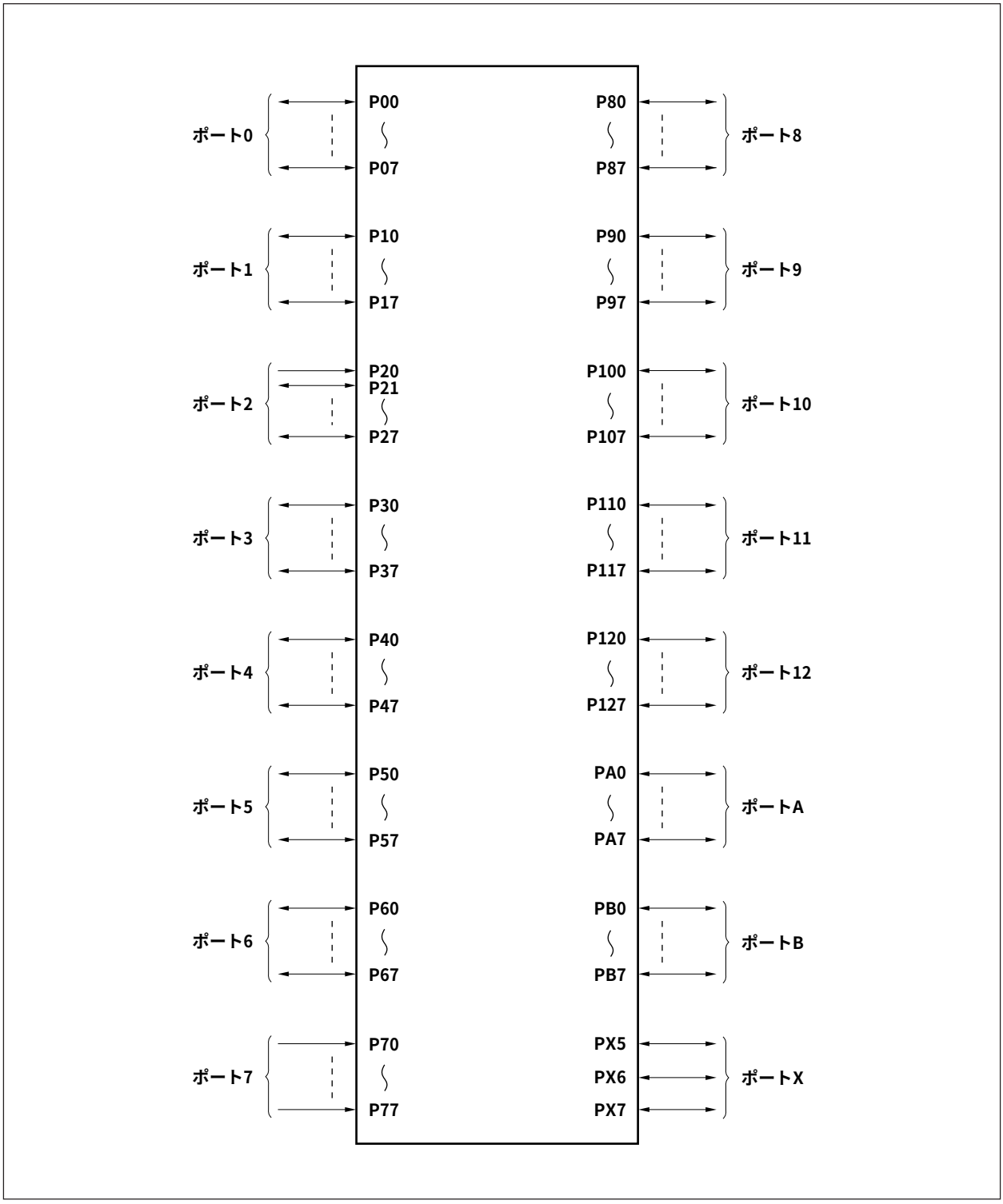
第12章　ポート機能

12.1　特　　徴

○本数　入力専用ポート　　９本
　　入出力ポート　　114本
○ほかの周辺機能の入出力端子と兼用
○ビット単位で入力/出力指定可能

12.2　ポートの基本構成

V850E/MS1は，ポート0-12, A, B, Xの合計123本の入力／出力ポート（うち９本は入力専用ポート）を内蔵しています。ポート構成を次に示します。



（1）各ポートの機能

V850E/MS1のポートには次に示すような種類があります。

どのポートも8/1ビット単位の操作が可能であり，多様な制御を行うことができます。また，ポートとしての機能のほかに，コントロール・モードとして内蔵周辺I/Oの入出力端子としての機能を持っています。

ポート名	端子名	ポート機能	コントロール・モード時の機能	ブロック・タイプ注
ポート0	P00-P07	8ビット入出力	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 DMAコントローラ（DMAC）入力	A, B, M
ポート1	P10-P17	8ビット入出力	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 DMAコントローラ（DMAC）出力	A, B, K
ポート2	P20-P27	1ビット入力， 7ビット入出力	NMI入力 シリアル・インタフェース（UART0/CSI0, UART1/CSI1）入出力	C, D, I, J, Q
ポート3	P30-P37	8ビット入出力	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 シリアル・インタフェース（CSI2）入出力	A, B, K, M, N
ポート4	P40-P47	8ビット入出力	外部データ・バス（D0-D7）	E
ポート5	P50-P57	8ビット入出力	外部データ・バス（D8-D15）	E
ポート6	P60-P67	8ビット入出力	外部アドレス・バス（A16-A23）	F
ポート7	P70-P77	8ビット入力	A/Dコンバータ（ADC）アナログ入力	G
ポート8	P80-P87	8ビット入出力	外部バス・インタフェース制御信号出力	O, P
ポート9	P90-P97	8ビット入出力	外部バス・インタフェース制御信号入出力	H, O
ポート10	P100-P107	8ビット入出力	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 DMAコントローラ（DMAC）出力	A, B, K
ポート11	P110-P117	8ビット入出力	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 シリアル・インタフェース（CSI3）入出力	A, B, K, M, N
ポート12	P120-P127	8ビット入出力	リアルタイム・パルス・ユニット（RPU）入出力 外部割り込み入力 A/Dコンバータ（ADC）外部トリガ入力	A, B
ポートA	PA0-PA7	8ビット入出力	外部アドレス・バス（A0-A7）	F
ポートB	PB0-PB7	8ビット入出力	外部アドレス・バス（A8-A15）	F
ポートX	PX5-PX7	3ビット入出力	リフレッシュ要求信号出力 ウエイト挿入信号入力 内部システム・クロック出力	A, L

注　12.2（3）ポートのブロック図を参照してください。

注意　コントロール・モード時に出力，または入出力端子として動作するポートをコントロール・モードに切り替える場合は，必ず次の手順で設定を行ってください。

① コントロール・モードで出力される信号のインアクティブ・レベルを，ポートn（Pn）の該当するビットに設定（n = 0-6, 8-12, A, B, X）。

② ポートnモード・コントロール・レジスタ（PMCn）により，コントロール・モードに切り替え。

上記①を行わない場合，ポート・モードからコントロール・モードに切り替える際に，ポートn（Pn）の内容が，一瞬出力されることがあります。

（2）各ポート端子のリセット時の機能とポート／コントロール・モードを設定するレジスタ

（1/3）

ポート名	端　子　名	リセット時の端子機能				モードを設定するレジスタ
		シングルチップ・モード0	シングルチップ・モード1	ROMレス・モード0	ROMレス・モード1	
ポート0	P00/TO100	P00（入力モード）				PMC0
	P01/TO101	P01（　〃　）				
	P02/TCLR10	P02（　〃　）				
	P03/TI10	P03（　〃　）				
	P04/INTP100/$\overline{\text{DMARQ0}}$	P04（　〃　）				PMC0, PCS0注
	P05/INTP101/$\overline{\text{DMARQ1}}$	P05（　〃　）				
	P06/INTP102/$\overline{\text{DMARQ2}}$	P06（　〃　）				
	P07/INTP103/$\overline{\text{DMARQ3}}$	P07（　〃　）				
ポート1	P10/TO110	P10（入力モード）				PMC1
	P11/TO111	P11（　〃　）				
	P12/TCLR11	P12（　〃　）				
	P13/TI11	P13（　〃　）				
	P14/INTP110/$\overline{\text{DMAAK0}}$	P14（　〃　）				PMC1, PCS1注
	P15/INTP111/$\overline{\text{DMAAK1}}$	P15（　〃　）				
	P16/INTP112/$\overline{\text{DMAAK2}}$	P16（　〃　）				
	P17/INTP113/$\overline{\text{DMAAK3}}$	P17（　〃　）				
ポート2	P20/NMI	NMI				—
	P21	P21（入力モード）				
	P22/TXD0/SO0	P22（　〃　）				PMC2, ASIM00
	P23/RXD0/SI0	P23（　〃　）				
	P24/$\overline{\text{SCK0}}$	P24（　〃　）				PMC2注
	P25/TXD1/SO1	P25（　〃　）				PMC2, ASIM10
	P26/RXD1/SI1	P26（　〃　）				
	P27/$\overline{\text{SCK1}}$	P27（　〃　）				PMC2注
ポート3	P30/TO130	P30（入力モード）				PMC3
	P31/TO131	P31（　〃　）				
	P32/TCLR13	P32（　〃　）				
	P33/TI13	P33（　〃　）				
	P34/INTP130	P34（　〃　）				
	P35/INTP131/SO2	P35（　〃　）				PMC3,PCS3
	P36/INTP132/SI2	P36（　〃　）				
	P37/INTP133/$\overline{\text{SCK2}}$	P37（　〃　）				

注　コントロール・モード時の端子機能の選択を行います。

(2/3)

ポート名	端　子　名	リセット時の端子機能				モードを設定するレジスタ
		シングルチップ・モード0	シングルチップ・モード1	ROMレス・モード0	ROMレス・モード1	
ポート4	P40/D0-P47/D7	P40-P47（入力モード）	D0-D7			MM
ポート5	P50/D8-P57/D15	P50-P57（入力モード）	D8-D15		P50-P57（入力モード）	MM
ポート6	P60/A16-P67/A23	P60-P67（入力モード）	A16-A23			MM
ポート7	P70/ANI0-P77/ANI7	P70/ANI0-P77/ANI7				—
ポート8	P80/$\overline{CS0}$/$\overline{RAS0}$	P80（入力モード）	$\overline{CS0}$/$\overline{RAS0}$			PMC8
	P81/$\overline{CS1}$/$\overline{RAS1}$	P81（　〃　）	$\overline{CS1}$/$\overline{RAS1}$			
	P82/$\overline{CS2}$/$\overline{RAS2}$	P82（　〃　）	$\overline{CS2}$/$\overline{RAS2}$			
	P83/$\overline{CS3}$/$\overline{RAS3}$	P83（　〃　）	$\overline{CS3}$/$\overline{RAS3}$			
	P84/$\overline{CS4}$/$\overline{RAS4}$/$\overline{IOWR}$	P84（　〃　）	$\overline{CS4}$/$\overline{RAS4}$			PMC8, PCS8[注]
	P85/$\overline{CS5}$/$\overline{RAS5}$/$\overline{IORD}$	P85（　〃　）	$\overline{CS5}$/$\overline{RAS5}$			
	P86/$\overline{CS6}$/$\overline{RAS6}$	P86（　〃　）	$\overline{CS6}$/$\overline{RAS6}$			PMC8
	P87/$\overline{CS7}$/$\overline{RAS7}$	P87（　〃　）	$\overline{CS7}$/$\overline{RAS7}$			
ポート9	P90/$\overline{LCAS}$/$\overline{LWR}$	P90（入力モード）	$\overline{LCAS}$/$\overline{LWR}$			PMC9
	P91/$\overline{UCAS}$/$\overline{UWR}$	P91（　〃　）	$\overline{UCAS}$/$\overline{UWR}$			
	P92/$\overline{RD}$	P92（　〃　）	$\overline{RD}$			
	P93/$\overline{WE}$	P93（　〃　）	$\overline{WE}$			
	P94/$\overline{BCYST}$	P94（　〃　）	$\overline{BCYST}$			PMC9
	P95/$\overline{OE}$	P95（　〃　）	$\overline{OE}$			PMC9
	P96/$\overline{HLDAK}$	P96（　〃　）	$\overline{HLDAK}$			
	P97/$\overline{HLDRQ}$	P97（　〃　）	$\overline{HLDRQ}$			
ポート10	P100/TO120	P100（入力モード）				PMC10
	P101/TO121	P101（　〃　）				
	P102/TCLR12	P102（　〃　）				
	P103/TI12	P103（　〃　）				
	P104/INTP120/$\overline{TC0}$	P104（　〃　）				PMC10, PCS10[注]
	P105/INTP121/$\overline{TC1}$	P105（　〃　）				
	P106/INTP122/$\overline{TC2}$	P106（　〃　）				
	P107/INTP123/$\overline{TC3}$	P107（　〃　）				
ポート11	P110/TO140	P110（入力モード）				PMC11
	P111/TO141	P111（　〃　）				
	P112/TCLR14	P112（　〃　）				
	P113/TI14	P113（　〃　）				
	P114/INTP140	P114（　〃　）				
	P115/INTP141/SO3	P115（　〃　）				PMC11, PCS11[注]
	P116/INTP142/SI3	P116（　〃　）				
	P117/INTP143/$\overline{SCK3}$	P117（　〃　）				

注　コントロール・モード時の端子機能の選択を行います。

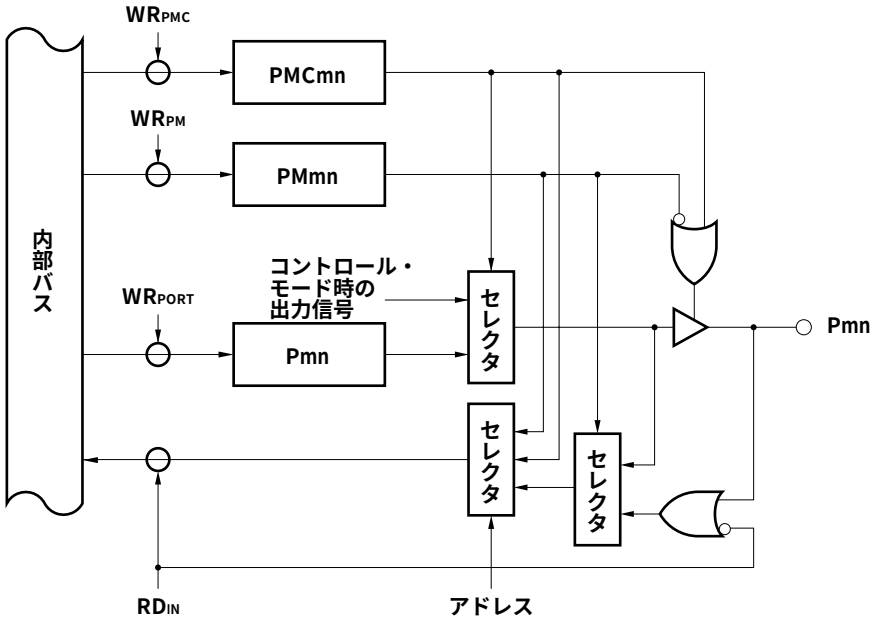
(3/3)

ポート名	端　子　名	リセット時の端子機能				モードを設定するレジスタ
		シングルチップ・モード0	シングルチップ・モード1	ROMレス・モード0	ROMレス・モード1	
ポート12	P120/TO150	P120（入力モード）				PMC12
	P121/TO151	P121（　〃　）				
	P122/TCLR15	P122（　〃　）				
	P123/TI15	P123（　〃　）				
	P124/INTP150	P124（　〃　）				
	P125/INTP151	P125（　〃　）				
	P126/INTP152	P126（　〃　）				
	P127/INTP153/ADTRG	P127（　〃　）				PMC12, ADM1注
ポートA	PA0/A0-PA7/A7	PA0-PA7（入力モード）	A0-A7			MM
ポートB	PB0/A8-PB7/A15	PB0-PB7（入力モード）	A8-A15			MM
ポートX	PX5/$\overline{\text{REFRQ}}$	PX5（入力モード）	$\overline{\text{REFRQ}}$			PMCX
	PX6/$\overline{\text{WAIT}}$	PX6（　〃　）	$\overline{\text{WAIT}}$			
	PX7/CLKOUT	PX7（　〃　）	CLKOUT			

注　コントロール・モード時の端子機能の選択を行います。

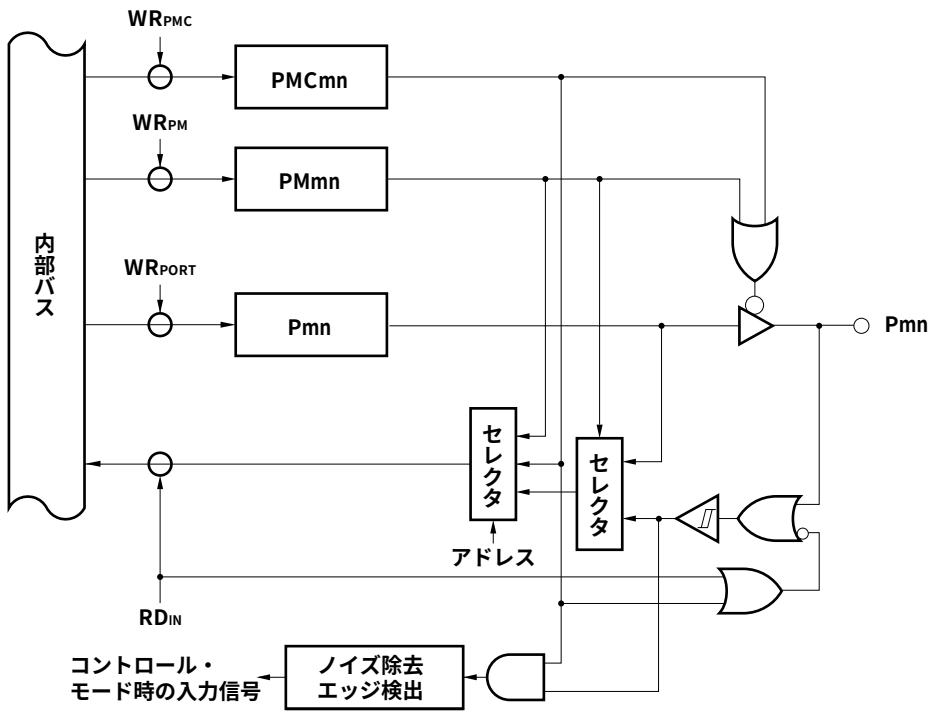
（3）ポートのブロック図

図12－1　タイプAのブロック図



備考　m：ポート番号
　　n：ビット番号

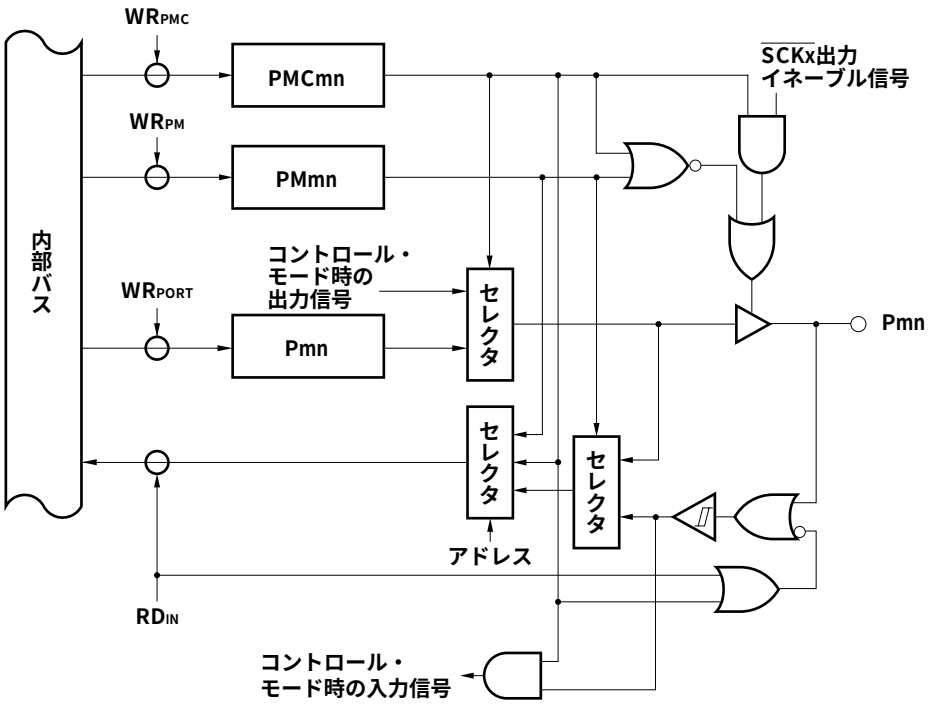
図12－2　タイプBのブロック図



備考　m：ポート番号

　　n：ビット番号

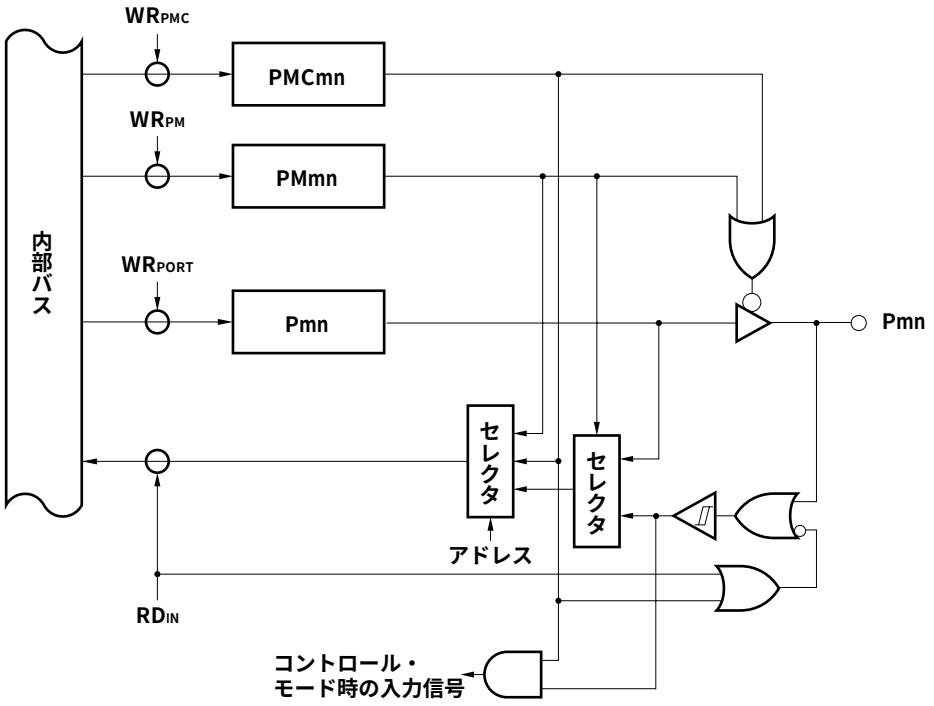
図12－3　タイプCのブロック図



備考　mn　：24, 27

x　：0（mn = 24のとき），1（mn = 27のとき）

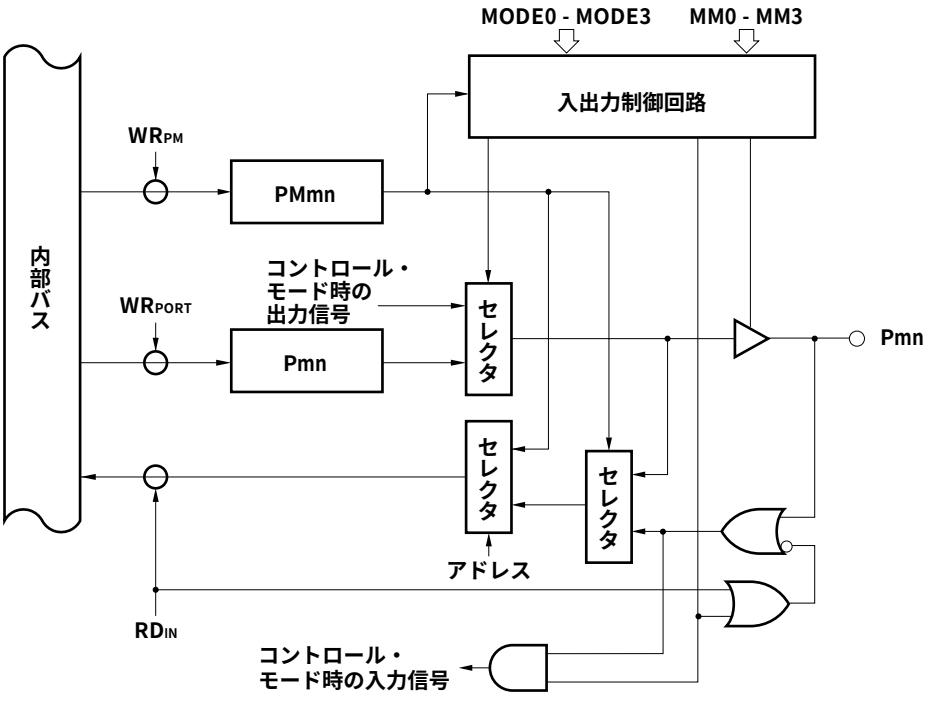
図12－4　タイプDのブロック図



備考　m　：ポート番号

　　n　：ビット番号

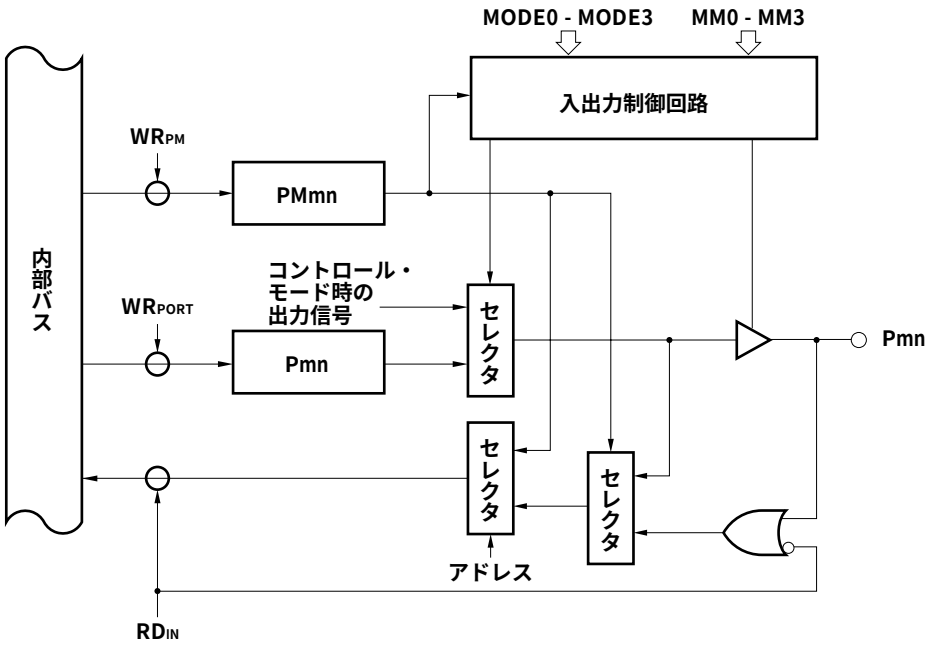
図12－5　タイプＥのブロック図



備考　m　：ポート番号

　　n　：ビット番号

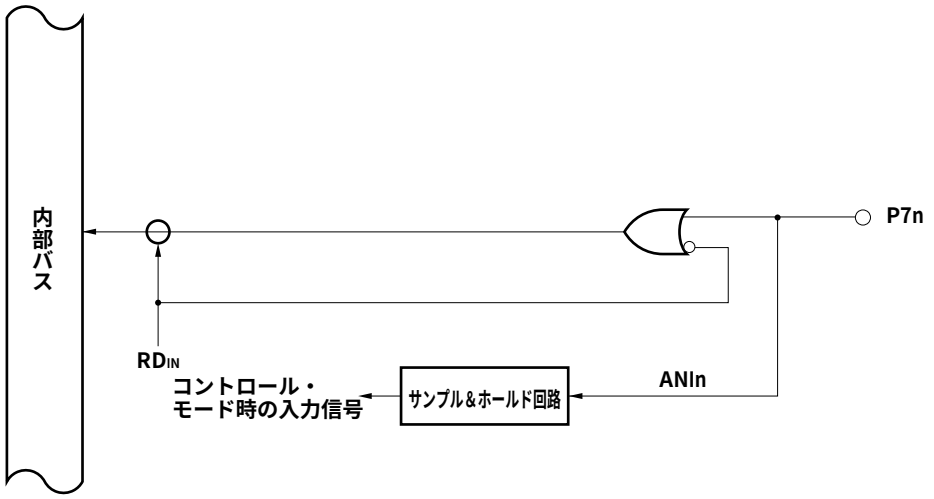
図12－6　タイプＦのブロック図



備考　m　：ポート番号

　　n　：ビット番号

図12－7　タイプＧのブロック図



備考　n = 0-7

図12－8　タイプHのブロック図

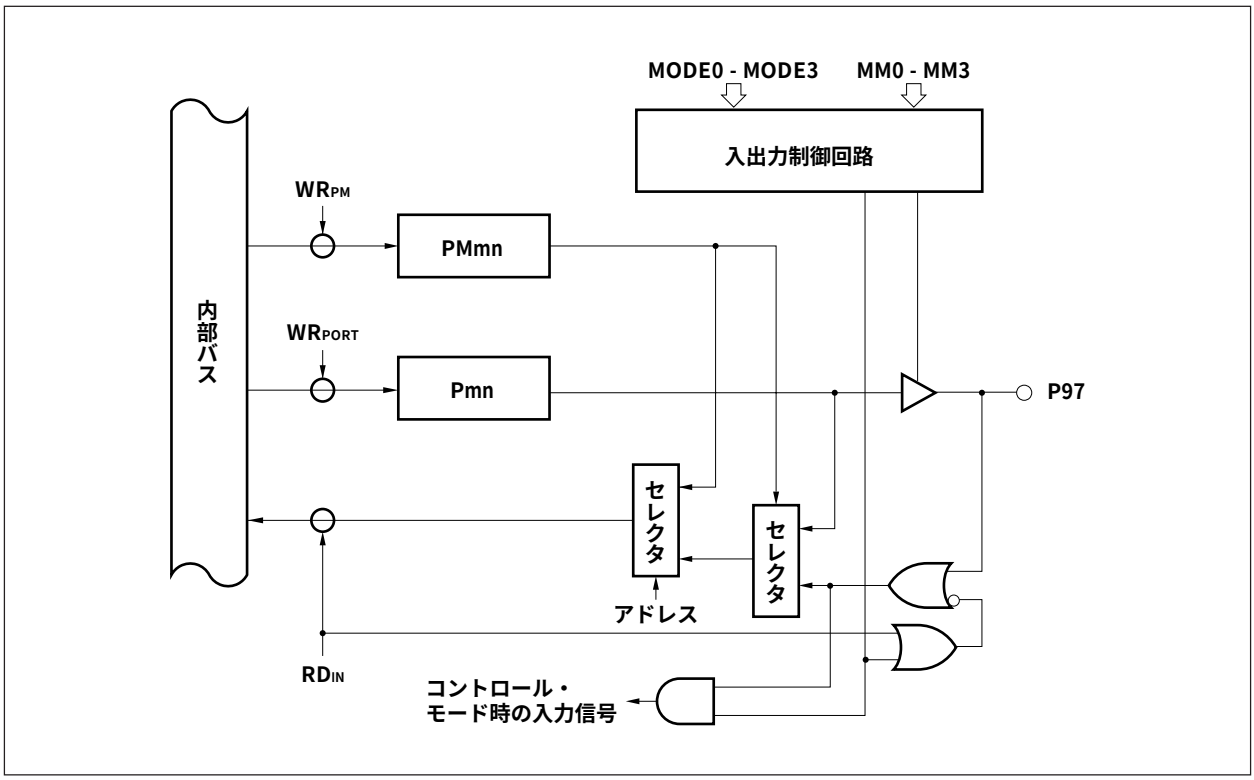


図12－9　タイプEのブロック図

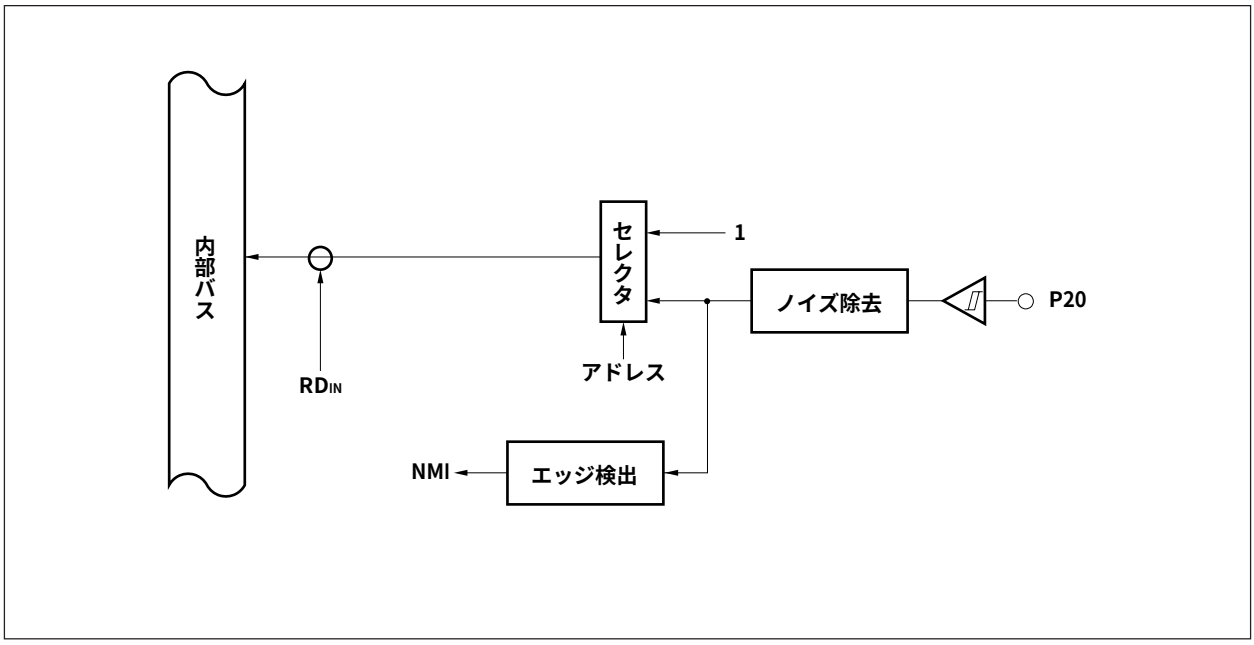
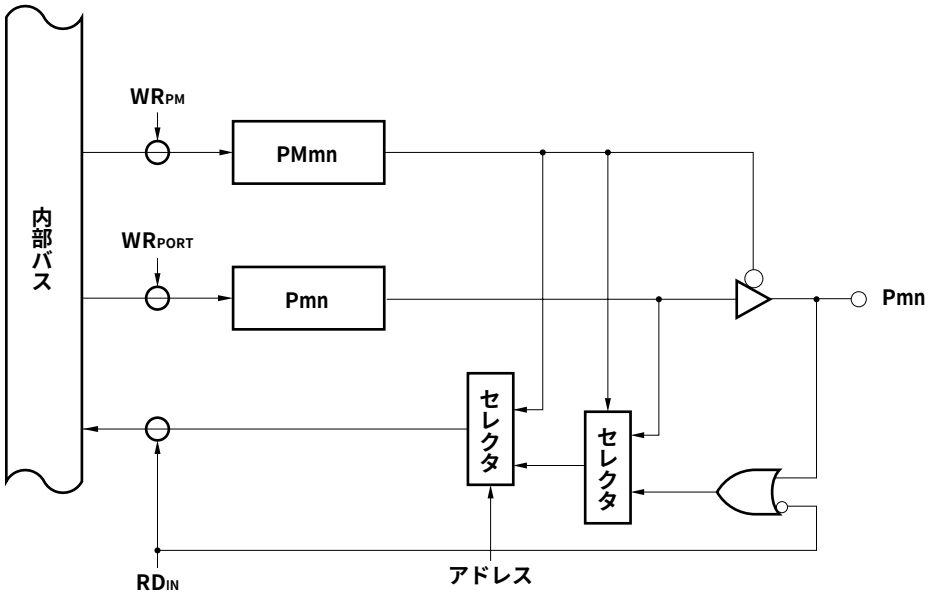
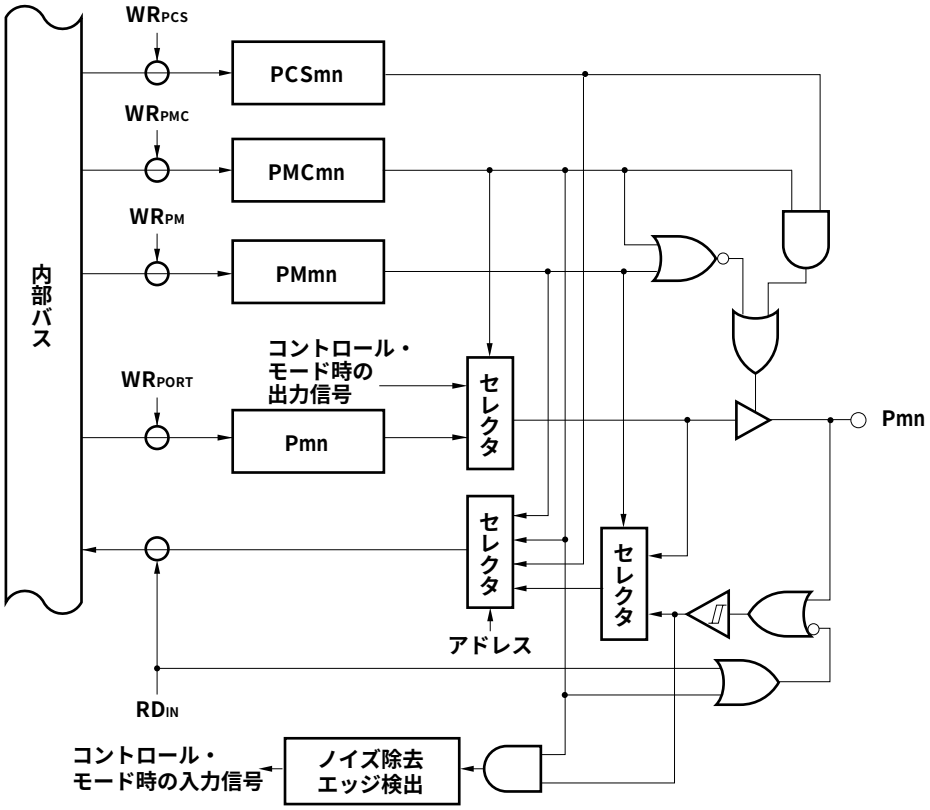


図12－10　タイプＪのブロック図



備考　m　：ポート番号
　　n　：ビット番号

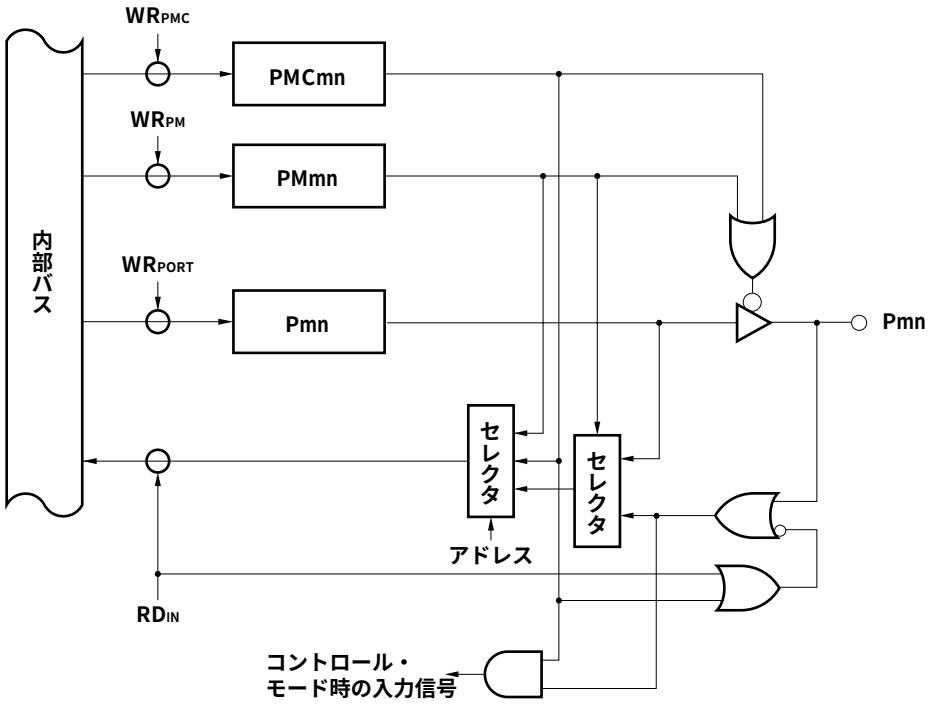
図12－11　タイプKのブロック図



備考　m　：ポート番号

　　n　：ビット番号

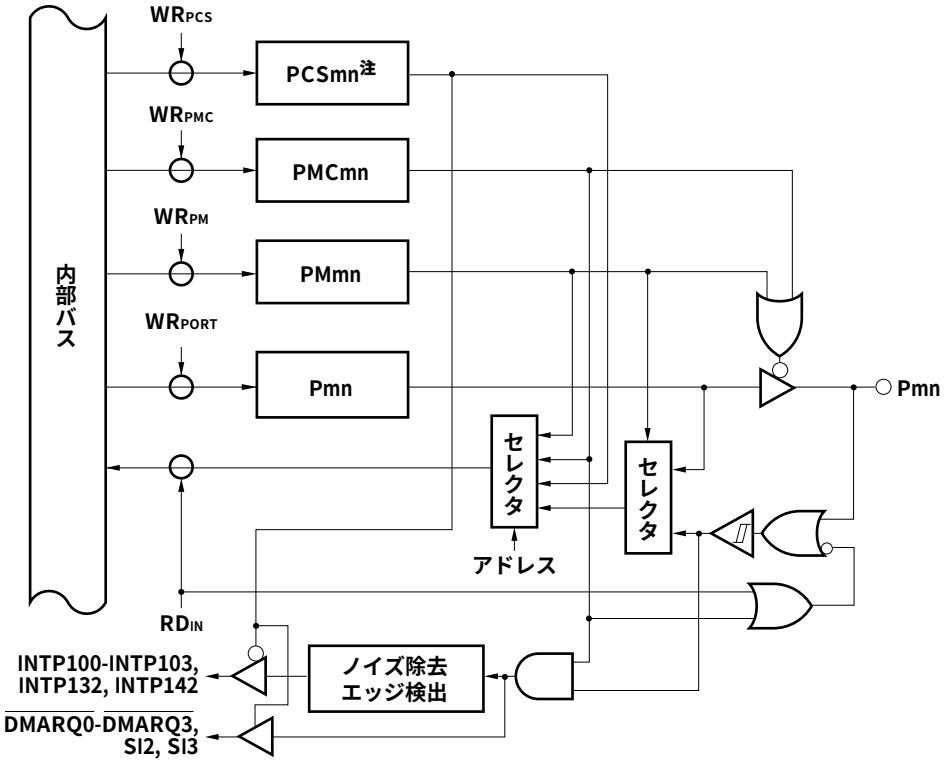
図12－12　タイプＬのブロック図



備考　m　：ポート番号

　　n　：ビット番号

図12－13　タイプMのブロック図

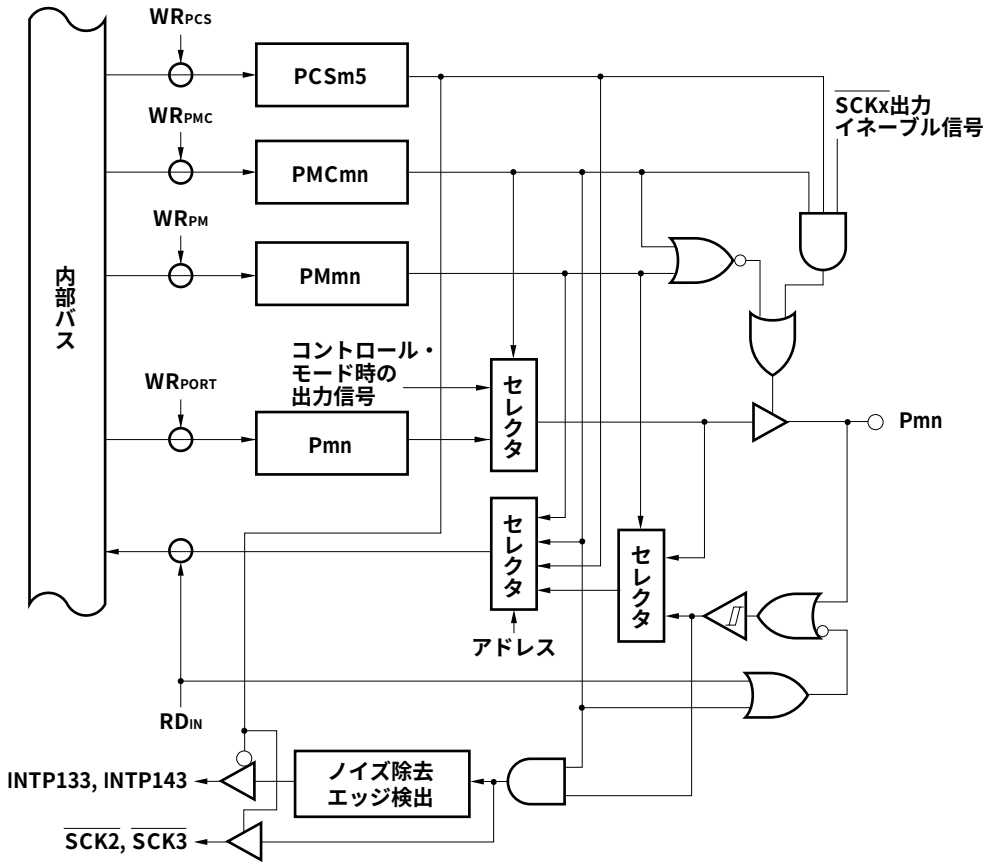


注　mn = 36のとき　：PCS35

　　mn = 116のとき　：PCS115

備考　mn ：04-07, 36, 116

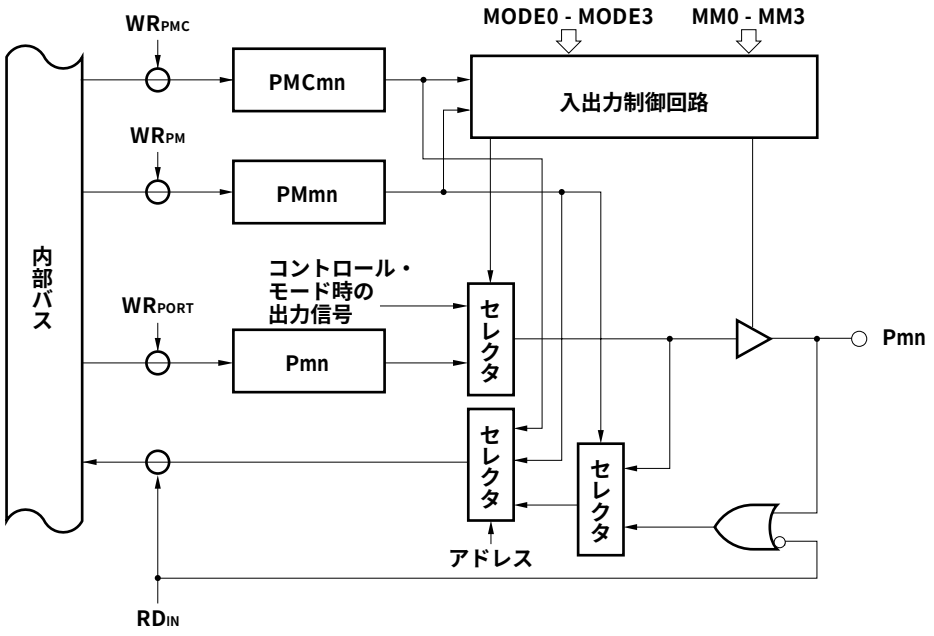
図12－14　タイプNのブロック図



備考　mn ：37, 117

x　：2（mn = 37のとき），3（mn = 117のとき）

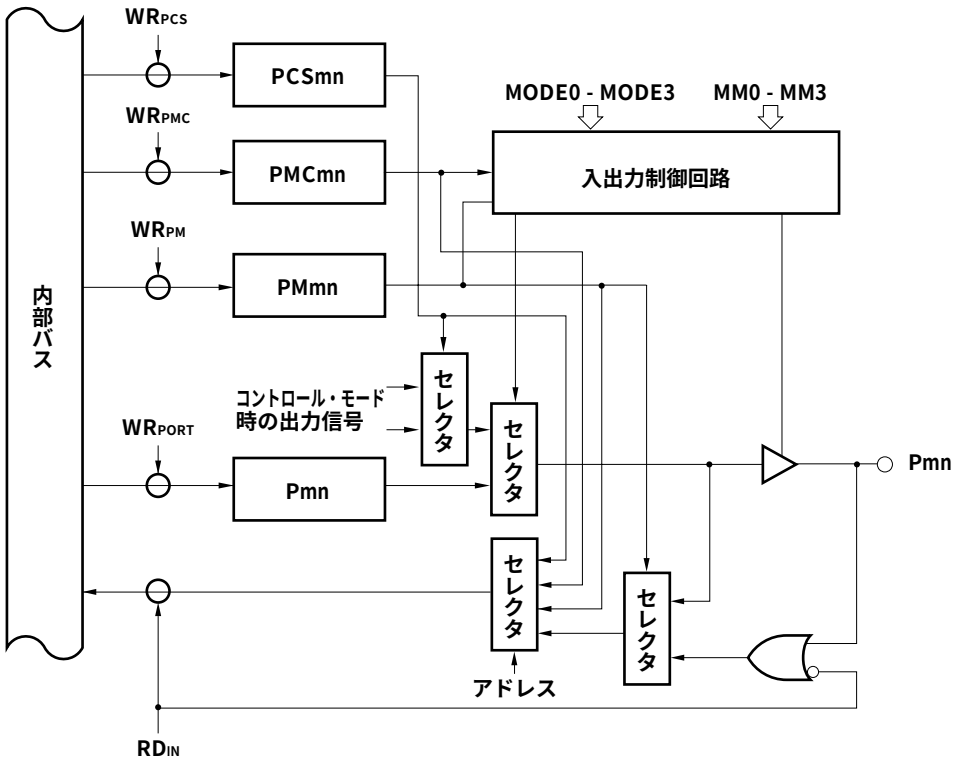
図12－15　タイプOのブロック図



備考　m　：ポート番号

　　n　：ビット番号

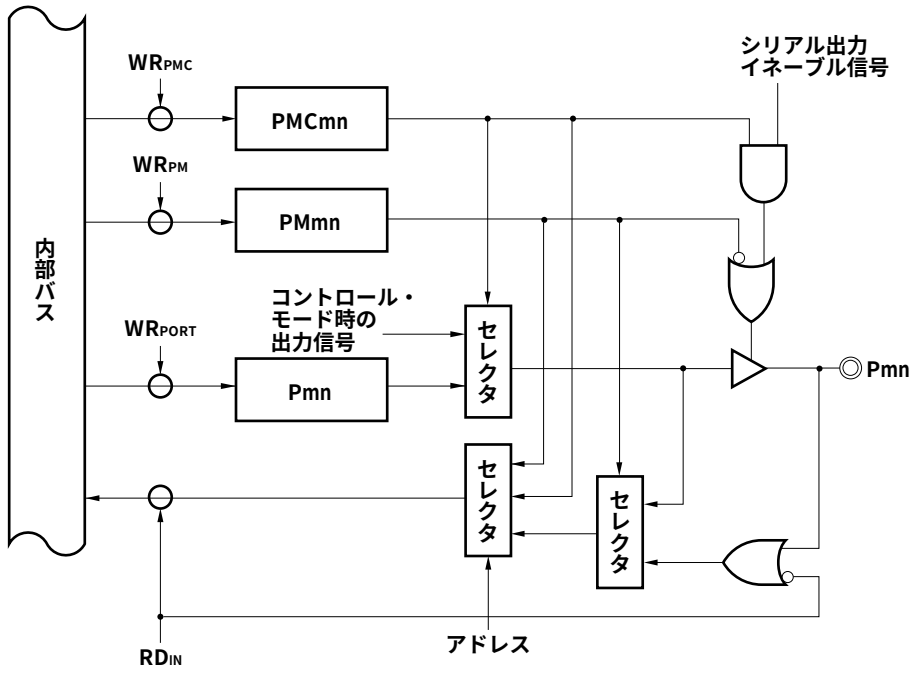
図12－16　タイプＰのブロック図



備考　m　：ポート番号

　　n　：ビット番号

図12－17　タイプQのブロック図



備考　m　：ポート番号

　　n　：ビット番号

12.3　各ポートの端子機能

12.3.1　ポート0

ポート0は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P0	P07	P06	P05	P04	P03	P02	P01	P00	アドレス FFFFF000H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P0n （n=7-0）	Port 0 入出力ポート

ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，DMA要求入力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート0	P00	TO100	リアルタイム・パルス・ユニット（RPU）出力	A
	P01	TO101		
	P02	TCLR10	リアルタイム・パルス・ユニット（RPU）入力	B
	P03	TI10		
	P04-P07	INTP100/$\overline{\text{DMARQ0}}$- INTP103/$\overline{\text{DMARQ3}}$	外部割り込み要求入力，DMA要求入力	M

（2）入出力モード／コントロール・モードの設定

ポート0の入出力モードの設定は，ポート0モード・レジスタ（PM0）で行います。また，コントロール・モードの設定は，ポート0モード・コントロール・レジスタ（PMC0）とポート／コントロール選択レジスタ0（PCS0）で行います。

（a）ポート0モード・レジスタ（PM0）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	アドレス FFFFF020H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM0n （n = 7-0）	Port Mode P0n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

（b）ポート0モード・コントロール・レジスタ（PMC0）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00	FFFFF040H	00H

ビット位置	ビット名	意　　味
7-4	PMC0n （n = 7-4）	Port Mode Control P0n端子の動作モードを指定します。PCS0レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（INTP103-INTP100）入力モード／ DMA要求（$\overline{\text{DMARQ3}}$-$\overline{\text{DMARQ0}}$）入力モード
3	PMC03	Port Mode Control P03端子の動作モードを指定します。 0：入出力ポート・モード 1：TI10入力モード
2	PMC02	Port Mode Control P02端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR10入力モード
1	PMC01	Port Mode Control P01端子の動作モードを指定します。 0：入出力ポート・モード 1：TO101出力モード
0	PMC00	Port Mode Control P00端子の動作モードを指定します。 0：入出力ポート・モード 1：TO100出力モード

（c）ポート／コントロール選択レジスタ０（PCS0）

8/1ビット単位でリード／ライト可能です。ただし，ビット３-ビット０は０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PCS0	PCS07	PCS06	PCS05	PCS04	0	0	0	0	アドレス FFFFF580H	初期値 00H

ビット位置	ビット名	意　　味
7	PCS07	Port Control Select P07端子のコントロール・モード時の動作モードを指定します。 ０：INTP103入力モード １：$\overline{\text{DMARQ3}}$入力モード
6	PCS06	Port Control Select P06端子のコントロール・モード時の動作モードを指定します。 ０：INTP102入力モード １：$\overline{\text{DMARQ2}}$入力モード
5	PCS05	Port Control Select P05端子のコントロール・モード時の動作モードを指定します。 ０：INTP101入力モード １：$\overline{\text{DMARQ1}}$入力モード
4	PCS04	Port Control Select P04端子のコントロール・モード時の動作モードを指定します。 ０：INTP100入力モード １：$\overline{\text{DMARQ0}}$入力モード

注意　PMC0レジスタでポート・モードを指定した場合，このレジスタの設定は無効です。

12.3.2　ポート１

ポート１は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P1	P17	P16	P15	P14	P13	P12	P11	P10	アドレス FFFFF002H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P1n （n=7-0）	Port１ 入出力ポート

ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み入力，DMAアクノリッジ出力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート１	P10	TO110	リアルタイム・パルス・ユニット（RPU）出力	A
	P11	TO111		
	P12	TCLR11	リアルタイム・パルス・ユニット（RPU）入力	B
	P13	TI11		
	P14-P17	INTP110/$\overline{\text{DMAAK0}}$- INTP113/$\overline{\text{DMAAK3}}$	外部割り込み入力，DMAアクノリッジ出力	K

（2）入出力モード／コントロール・モードの設定

ポート１の入力／出力モードの設定は，ポート１モード・レジスタ(PM1)で行います。また，コントロール・モードの設定は，ポート１モード・コントロール・レジスタ（PMC1）とポート／コントロール選択レジスタ１（PCS1）で行います。

（a）ポート１モード・レジスタ（PM1）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	アドレス FFFFF022H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM1n （n=7-0）	Port Mode P1n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

（b）ポート１モード・コントロール・レジスタ（PMC1）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMC1	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	アドレス FFFFF042H	初期値 00H

ビット位置	ビット名	意　　味
7-4	PMC1n （n = 7-4）	Port Mode Control P1n端子の動作モードを指定します。PCS1レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（INTP113-INTP110）入力モード／ DMAアクノリッジ（$\overline{\text{DMAAK3}}$-$\overline{\text{DMAAK0}}$）出力モード
3	PMC13	Port Mode Control P13端子の動作モードを指定します。 0：入出力ポート・モード 1：TI11入力モード
2	PMC12	Port Mode Control P12端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR11入力モード
1	PMC11	Port Mode Control P11端子の動作モードを指定します。 0：入出力ポート・モード 1：TO111出力モード
0	PMC10	Port Mode Control P10端子の動作モードを指定します。 0：入出力ポート・モード 1：TO110出力モード

（c）ポート／コントロール選択レジスタ１（PCS1）

8/1ビット単位でリード／ライト可能です。ただし，ビット３-ビット０は０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCS1	PCS17	PCS16	PCS15	PCS14	0	0	0	0	FFFFF582H	00H

ビット位置	ビット名	意　　味
7	PCS17	Port Control Select P17端子のコントロール・モード時の動作モードを指定します。 ０：INTP113入力モード １：$\overline{\text{DMAAK3}}$出力モード
6	PCS16	Port Control Select P16端子のコントロール・モード時の動作モードを指定します。 ０：INTP112入力モード １：$\overline{\text{DMAAK2}}$出力モード
5	PCS15	Port Control Select P15端子のコントロール・モード時の動作モードを指定します。 ０：INTP111入力モード １：$\overline{\text{DMAAK1}}$出力モード
4	PCS14	Port Control Select P14端子のコントロール・モード時の動作モードを指定します。 ０：INTP110入力モード １：$\overline{\text{DMAAK0}}$出力モード

注意　PMC1レジスタでポート・モードを指定した場合，このレジスタの設定は無効です。

12.3.3　ポート２

ポート２は，１ビット単位で入出力を指定できる８ビット入出力ポートです。ただし，P20はエッジが入力されると常にNMI入力として動作します。

	7	6	5	4	3	2	1	0		
P2	P27	P26	P25	P24	P23	P22	P21	P20	アドレス FFFFF004H	初期値 不定

ビット位置	ビット名	意　　味
7-1	P2n （n=7-1）	Port２ 入出力ポート
0	P20	NMI入力モードに固定

ポートとしての機能のほかに，コントロール・モードではシリアル・インタフェース（UART0/CSI0, UART1/CSI1）の入出力として動作可能です。なお，P21は兼用端子がなくポート・モードに固定です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート２	P20	NMI	ノンマスカブル割り込み要求入力	I
	P21	－	ポート・モードに固定	J
	P22	TXD0/SO0	シリアル・インタフェース （UART0/CSI0, UART1/CSI1）用入出力	Q
	P23	RXD0/SI0		D
	P24	$\overline{\text{SCK0}}$		C
	P25	TXD1/SO1		Q
	P26	RXD1/SI1		D
	P27	$\overline{\text{SCK1}}$		C

（2）入出力モード／コントロール・モードの設定

ポート２の入力／出力モードの設定は，ポート２モード・レジスタ（PM2）で行います。また，コントロール・モードの設定は，ポート２モード・コントロール・レジスタ（PMC2）で行います。

なお，P20はNMI入力モードに固定です。

（a）ポート２モード・レジスタ（PM2）

8/1ビット単位でリード／ライト可能です。ただし，ビット０はハードウエアで１に固定されており，０を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	1	アドレス FFFFF024H	初期値 FFH

ビット位置	ビット名	意　　味
7-1	PM2n （n=7-1）	Port Mode P2n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

注意　シリアル・インタフェースを使用する場合は，次に示すビットをセット（1）した状態（初期値）で使用してください。

UART0使用時：PM22
UART1使用時：PM25
CSI0使用時　：PM24-PM22
CSI1使用時　：PM27-PM25

（b）ポート２モード・コントロール・レジスタ（PMC2）

8/1ビット単位でリード／ライト可能です。ただし，ビット０はハードウエアで１に固定されており，０を書き込んでも無視され，ビット１は０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	0	1	アドレス FFFFF044H	初期値 01H

ビット位置	ビット名	意　　味
7	PMC27	Port Mode Control P27端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{SCK1}}$入出力モード
6	PMC26	Port Mode Control P26端子の動作モードを指定します。 ０：入出力ポート・モード １：RXD1/SI1入力モード
5	PMC25	Port Mode Control P25端子の動作モードを指定します。 ０：入出力ポート・モード １：TXD1/SO1出力モード
4	PMC24	Port Mode Control P24端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{SCK0}}$入出力モード
3	PMC23	Port Mode Control P23端子の動作モードを指定します。 ０：入出力ポート・モード １：RXD0/SI0入力モード
2	PMC22	Port Mode Control P22端子の動作モードを指定します。 ０：入出力ポート・モード １：TXD0/SO0出力モード

備考　UART0とCSI0, UART1とCSI1は端子が兼用になっており，ASIM00, ASIM10レジスタによりどちらか一方を選択して使用します（**10.2.3　制御レジスタ**参照）。

12.3.4　ポート3

ポート3は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P3	P37	P36	P35	P34	P33	P32	P31	P30	アドレス FFFFF006H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P3n （n=7-0）	Port 3 入出力ポート

ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み入力，シリアル・インタフェース（CSI2）の入出力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート3	P30	TO130	リアルタイム・パルス・ユニット（RPU）出力	A
	P31	TO131		
	P32	TCLR13	リアルタイム・パルス・ユニット（RPU）入力	B
	P33	TI13		
	P34	INTP130	外部割り込み入力	
	P35	INTP131/SO2	外部割り込み入力 シリアル・インタフェース（CSI2）入出力	K
	P36	INTP132/SI2		M
	P37	INTP133/$\overline{\text{SCK2}}$		N

（2）入出力モード／コントロール・モードの設定

ポート３の入力／出力モードの設定は，ポート３モード・レジスタ（PM3）で行います。また，コントロール・モードの設定は，ポート３モード・コントロール・レジスタ（PMC3）とポート／コントロール選択レジスタ３（PCS3）で行います。

（a）ポート３モード・レジスタ（PM3）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	アドレス FFFFF026H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM3n （n=7-0）	Port Mode P3n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

（b）ポート３モード・コントロール・レジスタ（PMC3）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	FFFFF046H	00H

ビット位置	ビット名	意　　味
7-5	PMC3n （n = 7-5）	Port Mode Control P3n端子の動作モードを指定します。PCS3レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（INTP133-INTP131）入力モード／ CSI2（$\overline{\text{SCK2}}$, SI2, SO2）入出力モード
4	PMC34	Port Mode Control P34端子の動作モードを指定します。 0：入出力ポート・モード 1：INTP130入力モード
3	PMC33	Port Mode Control P33端子の動作モードを指定します。 0：入出力ポート・モード 1：TI13入力モード
2	PMC32	Port Mode Control P32端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR13入力モード
1	PMC31	Port Mode Control P31端子の動作モードを指定します。 0：入出力ポート・モード 1：TO131出力モード
0	PMC30	Port Mode Control P30端子の動作モードを指定します。 0：入出力ポート・モード 1：TO130出力モード

（c）ポート／コントロール選択レジスタ３（PCS3）

8/1ビット単位でリード／ライト可能です。ただし，ビット５以外は０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PCS3	0	0	PCS35	0	0	0	0	0	アドレス FFFFF586H	初期値 00H

ビット位置	ビット名	意　　味
5	PCS35	Port Control Select P37-P35端子のコントロール・モード時の動作モードを指定します。 ０：INTP133入力モード（P37） INTP132入力モード（P36） INTP131入力モード（P35） １：$\overline{\text{SCK2}}$入出力モード（P37） SI2入力モード（P36） SO2出力モード（P35）

注意　PMC3レジスタでポート・モードを指定した場合，このレジスタの設定は無効です。

12.3.5　ポート４

ポート４は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P4	P47	P46	P45	P44	P43	P42	P41	P40	アドレス FFFFF008H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P4n （n=7-0）	Port４ 入出力ポート

ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のデータ・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート４	P40-P47	D0-D7	メモリ拡張時のデータ・バス	E

（2）入出力モード／コントロール・モードの設定

ポート４の入力／出力モードの設定は，ポート４モード・レジスタ（PM4）で行います。また，コントロール・モード（外部拡張モード）の設定は，モード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM：**3.4.6（1）**参照）で行います。

（a）ポート４モード・レジスタ（PM4）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	アドレス FFFFF028H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM4n （n=7-0）	Port Mode P4n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

（b）ポート４の動作モード

MMレジスタのビット				動作モード							
MM3	MM2	MM1	MM0	P40	P41	P42	P43	P44	P45	P46	P47
任意	0	0	0	ポート（P40-P47）							
	0	0	1	データ・バス（D0-D7）							
	0	1	0								
	0	1	1								
	1	0	0								
	1	0	1								
	1	1	0								
	1	1	1								

MODE0-MODE3端子による動作モード切り替えの詳細については，**3.3.2　動作モード指定**を参照してください。

ROMレス・モード０，１，シングルチップ・モード１のときは，システム・リセットにより，MM0-MM3 = 111x，すなわち外部拡張モード状態に初期化されますが，その後，プログラムによりMM0-MM3 = 000xに設定すると，ポート・モードに変更できます。ただし，以降の命令フェッチができなくなるので注意が必要です。

備考　x：任意

12.3.6　ポート５

ポート５は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P5	P57	P56	P55	P54	P53	P52	P51	P50	アドレス FFFFF00AH	初期値 不定

ビット位置	ビット名	意　　味
7-0	P5n （n=7-0）	Port５ 入出力ポート

ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のデータ・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート５	P50-P57	D8-D15	メモリ拡張時のデータ・バス	E

（2）入出力モード／コントロール・モードの設定

ポート５の入力／出力モードの設定は，ポート５モード・レジスタ（PM5）で行います。また，コントロール・モード（外部拡張モード）の設定は，モード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM：**3.4.6（1）**参照）で行います。

（a）ポート５モード・レジスタ（PM5）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	アドレス FFFFF02AH	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM5n （n=7-0）	Port Mode P5n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

（b）ポート５の動作モード

MMレジスタのビット				動作モード							
MM3	MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57
0	0	0	0	ポート（P50-P57）							
0	0	0	1	データ・バス（D8-D15）							
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	任意			ポート（P50-P57）							

MODE0-MODE3端子による動作モード切り替えの詳細については，**3.3.2　動作モード指定**を参照してください。

ROMレス・モード０，シングルチップ・モード１のときは，システム・リセットにより，MM0-MM3 = 1110，すなわち外部拡張モード状態に初期化されますが，その後，プログラムによりMM0-MM3 = xxx1，または0000に設定すると，ポート・モードに変更できます。ただし，以降の命令フェッチができなくなるので注意が必要です。

備考　x：任意

12.3.7　ポート6

ポート6は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P6	P67	P66	P65	P64	P63	P62	P61	P60	アドレス FFFFF00CH	初期値 不定

ビット位置	ビット名	意　　味
7-0	P6n （n = 7-0）	Port 6 入出力ポート

ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート6	P60-P67	A16-A23	メモリ拡張時のアドレス・バス	F

（2）入出力モード／コントロール・モードの設定

ポート６の入力／出力モードの設定は，ポート６モード・レジスタ（PM6）で行います。また，コントロール・モード（外部拡張モード）の設定は，モード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM：**3.4.6（1）**参照）で行います。

（a）ポート６モード・レジスタ（PM6）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	アドレス FFFFF02CH	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM6n （n = 7-0）	Port Mode P6n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

（b）ポート６の動作モード

MMレジスタのビット				動作モード							
MM3	MM2	MM1	MM0	P60	P61	P62	P63	P64	P65	P66	P67
任意	0	0	0	ポート（P60-P67）							
	0	0	1								
	0	1	0								
	0	1	1								
	1	0	0	A16	A17	P62	P63	P64	P65	P66	P67
	1	0	1			A18	A19				
	1	1	0					A20	A21		
	1	1	1							A22	A23

MODE0-MODE3端子による動作モード切り替えの詳細については，**3.3.2　動作モード指定**を参照してください。

ROMレス・モード０，１，シングルチップ・モード１のときは，システム・リセットにより，MM0-MM3 = 111x，すなわち外部拡張モード状態に初期化されますが，その後，プログラムによりポート・モードに変更できます。

備考　x：任意

12.3.8　ポート7

ポート7は，全端子が入力に固定の8ビット入力専用ポートです。

	7	6	5	4	3	2	1	0		
P7	P77	P76	P75	P74	P73	P72	P71	P70	アドレス FFFFF00EH	初期値 不定

入力ポートとしての機能のほかに，コントロール・モードではA/Dコンバータのアナログ入力として動作可能です。

このポートはアナログ入力端子（ANI0-ANI7）と兼用になっていますが，入力ポートとアナログ入力端子は切り替えられません。またポートの読み出しにより，各端子の状態を読み込めます。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート7	P70-P77	ANI0-ANI7	A/Dコンバータへのアナログ入力	G

12.3.9　ポート８

ポート８は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P8	P87	P86	P85	P84	P83	P82	P81	P80	アドレス FFFFF010H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P8n （n=7-0）	Port 8 入出力ポート

ポートとしての機能のほかに，コントロール・モードではチップ・セレクト信号出力，DRAMに対するロウ・アドレス・ストローブ信号出力，外部I/Oに対するリード／ライト・ストローブ信号出力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート８	P80-P83	$\overline{CS0}$/$\overline{RAS0}$-$\overline{CS3}$/$\overline{RAS3}$	チップ・セレクト信号出力 ロウ・アドレス信号出力	O
	P84	$\overline{CS4}$/$\overline{RAS4}$/$\overline{IOWR}$	チップ・セレクト信号出力 ロウ・アドレス信号出力 ライト・ストローブ信号出力	P
	P85	$\overline{CS5}$/$\overline{RAS5}$/$\overline{IORD}$	チップ・セレクト信号出力 ロウ・アドレス信号出力 リード・ストローブ信号出力	
	P86, P87	$\overline{CS6}$/$\overline{RAS6}$, $\overline{CS7}$/$\overline{RAS7}$	チップ・セレクト信号出力 ロウ・アドレス信号出力	O

（2）入出力モード／コントロール・モードの設定

ポート８の入力／出力モードの設定は，ポート８モード・レジスタ（PM8）で行います。また，コントロール・モード（外部拡張モード）の設定は，モード指定端子（MODE0-MODE3）とポート８モード・コントロール・レジスタ（PMC8）で行います。

（a）ポート８モード・レジスタ（PM8）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	アドレス FFFFF030H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM8n （n=7-0）	Port Mode P8n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

（b）ポート８モード・コントロール・レジスタ（PMC8）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMC8	PMC87	PMC86	PMC85	PMC84	PMC83	PCM82	PMC81	PMC80	アドレス FFFFF050H	初期値 注

注　シングルチップ・モード０のとき：00H
　　シングルチップ・モード１のとき：FFH
　　ROMレス・モード０，１のとき：FFH

ビット位置	ビット名	意　　味
7	PMC87	Port Mode Control P87端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{CS7}$/$\overline{RAS7}$出力モード
6	PMC86	Port Mode Control P86端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{CS6}$/$\overline{RAS6}$出力モード
5	PMC85	Port Mode Control P85端子の動作モードを指定します。PCS8レジスタと組み合わせて設定します。 ０：入出力ポート・モード １：$\overline{CS5}$/$\overline{RAS5}$出力モード/$\overline{IORD}$出力モード
4	PMC84	Port Mode Control P84端子の動作モードを指定します。PCS8レジスタと組み合わせて設定します。 ０：入出力ポート・モード １：$\overline{CS4}$/$\overline{RAS4}$出力モード/$\overline{IOWR}$出力モード
3	PMC83	Port Mode Control P83端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{CS3}$/$\overline{RAS3}$出力モード
2	PMC82	Port Mode Control P82端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{CS2}$/$\overline{RAS2}$出力モード
1	PMC81	Port Mode Control P81端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{CS1}$/$\overline{RAS1}$出力モード
0	PMC80	Port Mode Control P80端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{CS0}$/$\overline{RAS0}$出力モード

（c）ポート／コントロール選択レジスタ８（PCS8）

8/1ビット単位でリード／ライト可能です。ただし，ビット５，ビット４以外は０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCS8	0	0	PCS85	PCS84	0	0	0	0	FFFFF590H	00H

ビット位置	ビット名	意　　味
5	PCS85	Port Control Select P85端子のコントロール・モード時の動作モードを指定します。 ０：$\overline{CS5}$/$\overline{RAS5}$出力モード １：$\overline{IORD}$出力モード
4	PCS84	Port Control Select P84端子のコントロール・モード時の動作モードを指定します。 ０：$\overline{CS4}$/$\overline{RAS4}$出力モード １：$\overline{IOWR}$出力モード

注意　PMC8レジスタでポート・モードを指定した場合，このレジスタの設定は無効です。

12.3.10　ポート９

ポート９は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P9	P97	P96	P95	P94	P93	P92	P91	P90	アドレス FFFFF012H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P9n （n = 7-0）	Port９ 入出力ポート

ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の制御信号出力，バス・ホールド制御信号出力として動作可能です。

★　シングルチップ・モード１，ROMレス・モード０，１のとき，初期状態ではコントロール・モードになります。$\overline{\text{HLDRQ}}$端子は未使用時には抵抗を介してHV_{DD}に接続してください。また，ポート・モードで使用する場合は，ポート・モードに切り替えるまでの間はハイ・レベルに固定してください。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート９	P90	$\overline{\text{LWR}}$/$\overline{\text{LCAS}}$	メモリ拡張時の制御信号出力	O
	P91	$\overline{\text{UWR}}$/$\overline{\text{UCAS}}$		
	P92	$\overline{\text{RD}}$		
	P93	$\overline{\text{WE}}$		
	P94	$\overline{\text{BCYST}}$		
	P95	$\overline{\text{OE}}$		
	P96	$\overline{\text{HLDAK}}$	バス・ホールド・アクノリッジ信号出力	
	P97	$\overline{\text{HLDRQ}}$	バス・ホールド要求信号入力	H

（2）入出力モード／コントロール・モードの設定

ポート９の入力／出力モードの設定は，ポート９モード・レジスタ（PM9）で行います。また，コントロール・モード（外部拡張モード）の設定は，モード指定端子（MODE0-MODE3）とポート９モード・コントロール・レジスタ（PMC9）で行います。

（a）ポート９モード・レジスタ（PM9）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	アドレス FFFFF032H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM9n （n = 7-0）	Port Mode P9n端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

（b）ポート９モード・コントロール・レジスタ（PMC9）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC9	PMC97	PMC96	PMC95	PMC94	PMC93	PCM92	PMC91	PMC90	FFFFF052H	注

注　シングルチップ・モード０のとき：00H
シングルチップ・モード１のとき：FFH
ROMレス・モード０，１のとき：FFH

ビット位置	ビット名	意　　味
7	PMC97	Port Mode Control P97端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{HLDRQ}}$入力モード
6	PMC96	Port Mode Control P96端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{HLDAK}}$出力モード
5	PMC95	Port Mode Control P95端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{OE}}$出力モード
4	PMC94	Port Mode Control P94端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{BCYST}}$出力モード
3	PMC93	Port Mode Control P93端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{WE}}$出力モード
2	PMC92	Port Mode Control P92端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{RD}}$出力モード
1	PMC91	Port Mode Control P91端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{UWR}}$/$\overline{\text{UCAS}}$出力モード
0	PMC90	Port Mode Control P90端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{LWR}}$/$\overline{\text{LCAS}}$出力モード

12.3.11　ポート10

ポート10は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P10	P107	P106	P105	P104	P103	P102	P101	P100	アドレス FFFFF014H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P10n （n = 7-0）	Port10 入出力ポート

ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み入力，DMA終了信号（ターミナル・カウント）出力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート10	P100	TO120	リアルタイム・パルス・ユニット（RPU）出力	A
	P101	TO121		
	P102	TCLR12	リアルタイム・パルス・ユニット（RPU）入力	B
	P103	TI12		
	P104- P107	INTP120/$\overline{TC0}$-INTP123/$\overline{TC3}$	外部割り込み入力 DMA終了信号（ターミナル・カウント）出力	K

（2）入出力モードの設定

ポート10の入力／出力モードの設定は，ポート10モード・レジスタ（PM10）で行います。また，コントロール・モードの設定は，ポート10モード・コントロール・レジスタ（PMC10）とポート／コントロール選択レジスタ10（PCS10）で行います。

（a）ポート10モード・レジスタ（PM10）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100	アドレス FFFFF034H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM10n （n = 7-0）	Port Mode P10n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

（b）ポート10モード・コントロール・レジスタ（PMC10）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC10	PMC107	PMC106	PMC105	PMC104	PMC103	PMC102	PMC101	PMC100	FFFFF054H	00H

ビット位置	ビット名	意　　味
7-4	PMC10n （n = 7-4）	Port Mode Control P10n端子の動作モードを指定します。PCS10レジスタを組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（INTP123-INTP120）入力モード／ DMA終了信号（$\overline{TC3}$-$\overline{TC0}$）出力モード
3	PMC103	Port Mode Control P103端子の動作モードを指定します。 0：入出力ポート・モード 1：TI12入力モード
2	PMC102	Port Mode Control P102端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR12入力モード
1	PMC101	Port Mode Control P101端子の動作モードを指定します。 0：入出力ポート・モード 1：TO121出力モード
0	PMC100	Port Mode Control P100端子の動作モードを指定します。 0：入出力ポート・モード 1：TO120出力モード

（c）ポート／コントロール選択レジスタ10（PCS10）

8/1ビット単位でリード／ライト可能です。ただし，ビット３-ビット０は０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCS10	PCS107	PCS106	PCS105	PCS104	0	0	0	0	FFFFF594H	00H

ビット位置	ビット名	意　　味
7	PCS107	Port Control Select P107端子のコントロール・モード時の動作モードを指定します。 ０：INTP123入力モード １：$\overline{\text{TC3}}$出力モード
6	PCS106	Port Control Select P106端子のコントロール・モード時の動作モードを指定します。 ０：INTP122入力モード １：$\overline{\text{TC2}}$出力モード
5	PCS105	Port Control Select P105端子のコントロール・モード時の動作モードを指定します。 ０：INTP121入力モード １：$\overline{\text{TC1}}$出力モード
4	PCS104	Port Control Select P104端子のコントロール・モード時の動作モードを指定します。 ０：INTP120入力モード １：$\overline{\text{TC0}}$出力モード

注意　PMC10レジスタでポート・モードを指定した場合，このレジスタの設定は無効です。

12.3.12　ポート11

ポート11は，１ビット単位で入出力を指定できる８ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P11	P117	P116	P115	P114	P113	P112	P111	P110	アドレス FFFFF016H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P11n （n=7-0）	Port 11 入出力ポート

ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，シリアル・インタフェース（CSI3）の入出力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート11	P110	TO140	リアルタイム・パルス・ユニット（RPU）出力	A
	P111	TO141		
	P112	TCLR14	リアルタイム・パルス・ユニット（RPU）入力	B
	P113	TI14		
	P114	INTP140	外部割り込み入力	
	P115	INTP141/SO3	外部割り込み入力 シリアル・インタフェース（CSI3）入出力	K
	P116	INTP142/SI3		M
	P117	INTP143/$\overline{\text{SCK3}}$		N

（2）入出力モード／コントロール・モードの設定

ポート11の入力／出力モードの設定は，ポート11モード・レジスタ（PM11）で行います。また，コントロール・モードの設定は，ポート11モード・コントロール・レジスタ（PMC11）とポート／コントロール選択レジスタ11（PCS11）で行います。

（a）ポート11モード・レジスタ（PM11）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	アドレス FFFFF036H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM11n （n=7-0）	Port Mode P11n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

（b）ポート11モード・コントロール・レジスタ（PMC11）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMC11	PMC117	PMC116	PMC115	PMC114	PMC113	PMC112	PMC111	PMC110	アドレス FFFFF056H	初期値 00H

ビット位置	ビット名	意　　味
7-5	PMC11n （n = 7-5）	Port Mode Control P11n端子の動作モードを指定します。PCS11レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（INTP143-INTP141）入力モード／ CSI3（$\overline{\text{SCK3}}$, SI3, SO3）入出力モード
4	PMC114	Port Mode Control P114端子の動作モードを指定します。 0：入出力ポート・モード 1：INTP140入力モード
3	PMC113	Port Mode Control P113端子の動作モードを指定します。 0：入出力ポート・モード 1：TI14入力モード
2	PMC112	Port Mode Control P112端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR14入力モード
1	PMC111	Port Mode Control P111端子の動作モードを指定します。 0：入出力ポート・モード 1：TO141出力モード
0	PMC110	Port Mode Control P110端子の動作モードを指定します。 0：入出力ポート・モード 1：TO140出力モード

（c）ポート／コントロール選択レジスタ11（PCS11）

8/1ビット単位でリード／ライト可能です。ただし，ビット５以外は０に固定されており，１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PCS11	0	0	PCS115	0	0	0	0	0	アドレス FFFFF596H	初期値 00H

ビット位置	ビット名	意　　味
5	PCS115	Port Control Select P117-P115端子のコントロール・モード時の動作モードを指定します。 ０：INTP143入力モード（P117） INTP142入力モード（P116） INTP141入力モード（P115） １：$\overline{\text{SCK3}}$入出力モード（P117） SI3入力モード（P116） SO3出力モード（P115）

注意　PMC11レジスタでポート・モードを指定した場合，このレジスタの設定は無効です。

12.3.13　ポート12

ポート12は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P12	P127	P126	P125	P124	P123	P122	P121	P120	アドレス FFFFF018H	初期値 不定

ビット位置	ビット名	意　　味
7-0	P12n （n = 7-0）	Port12 入出力ポート

ポートとしての機能のほかに，コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力，外部割り込み要求入力，A/Dコンバータの外部トリガ入力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポート12	P120	TO150	リアルタイム・パルス・ユニット（RPU）出力	A
	P121	TO151		
	P122	TCLR15	リアルタイム・パルス・ユニット（RPU）入力	B
	P123	TI15		
	P124-P126	INTP150-INTP152	外部割り込み入力	
	P127	INTP153/ADTRG	外部割り込み入力，A/Dコンバータ外部トリガ入力	

（2）入出力モード／コントロール・モードの設定

ポート12の入出力モードの設定は，ポート12モード・レジスタ（PM12）で行います。また，コントロール・モードの設定は，ポート12モード・コントロール・レジスタ（PMC12）で行います。

（a）ポート12モード・レジスタ（PM12）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM12	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120	アドレス FFFFF038H	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PM12n （n = 7-0）	Port Mode P12n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

（b）ポート12モード・コントロール・レジスタ（PMC12）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMC12	PMC127	PMC126	PMC125	PMC124	PMC123	PMC122	PMC121	PMC120	アドレス FFFFF058H	初期値 00H

ビット位置	ビット名	意　　味
7	PMC127	Port Mode Control P127端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求（INTP153）入力モード／ A/Dコンバータ外部トリガ（ADTRG）入力モード注
6-4	PMC12n （n = 6-4）	Port Mode Control P12n端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求（INTP152-INTP150）入力モード
3	PMC123	Port Mode Control P123端子の動作モードを指定します。 0：入出力ポート・モード 1：TI15入力モード
2	PMC122	Port Mode Control P122端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR15入力モード
1	PMC121	Port Mode Control P121端子の動作モードを指定します。 0：入出力ポート・モード 1：TO151出力モード
0	PMC120	Port Mode Control P120端子の動作モードを指定します。 0：入出力ポート・モード 1：TO150出力モード

注　PMC127ビット = 1でA/Dコンバータ・モード・レジスタ（ADM1）のTRGビットが外部トリガ・モードに設定されている場合，A/Dコンバータ外部トリガ入力（ADTRG）として機能します。

12.3.14　ポートA

ポートAは，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	アドレス FFFFF01CH	初期値 不定

ビット位置	ビット名	意　　味
7-0	PAn （n = 7-0）	Port A 入出力ポート

ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポートA	PA0-PA7	A0-A7	メモリ拡張時のアドレス・バス	F

（2）入出力モード／コントロール・モードの設定

ポートAの入力／出力モードの設定は，ポートAモード・レジスタ（PMA）で行います。また，コントロール・モード（外部拡張モード）の設定は，モード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM：3.4.6（1）参照）で行います。

（a）ポートAモード・レジスタ（PMA）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMA	PMA7	PMA6	PMA5	PMA4	PMA3	PMA2	PMA1	PMA0	アドレス FFFFF03CH	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PMAn （n = 7-0）	Port Mode PAn端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

（b）ポートAの動作モード

MMレジスタのビット				動作モード							
MM3	MM2	MM1	MM0	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
任意	0	0	0	ポート（PA0-PA7）							
	0	0	1	アドレス・バス（A0-A7）							
	0	1	0								
	0	1	1								
	1	0	0								
	1	0	1								
	1	1	0								
	1	1	1								

MODE0-MODE3端子による動作モード切り替えについては，**3.3.2　動作モード指定**を参照してください。

ROMレス・モード０，１，シングルチップ・モード１のときは，システム・リセットにより，MM0-MM3 = 111x，すなわち外部拡張モード状態に初期化されますが，その後，プログラムにより，MM0-MM3 = 000xに設定すると，ポート・モードに変更できます。ただし，以降の命令フェッチができなくなるので注意が必要です。

備考　x：任意

12.3.15　ポートB

ポートBは，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	アドレス FFFFF01EH	初期値 不定

ビット位置	ビット名	意　　味
7-0	PBn （n = 7-0）	Port B 入出力ポート

ポートとしての機能のほかに，コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポートB	PB0-PB7	A8-A15	メモリ拡張時のアドレス・バス	F

（2）入出力モード／コントロール・モードの設定

ポートBの入力／出力モードの設定は，ポートBモード・レジスタ（PMB）で行います。また，コントロール・モード（外部拡張モード）の設定は，モード指定端子（MODE0-MODE3）とメモリ拡張モード・レジスタ（MM：3.4.6（1）参照）で行います。

（a）ポートBモード・レジスタ（PMB）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMB	PMB7	PMB6	PMB5	PMB4	PMB3	PMB2	PMB1	PMB0	アドレス FFFFF03EH	初期値 FFH

ビット位置	ビット名	意　　味
7-0	PMBn （n=7-0）	Port Mode PBn端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

（b）ポートBの動作モード

MMレジスタのビット				動作モード							
MM3	MM2	MM1	MM0	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
任意	0	0	0	ポート（PB0-PB7）							
	0	0	1	A8	A9	A10	A11	PB4	PB5	PB6	PB7
	0	1	0					A12	A13		
	0	1	1							A14	A15
	1	0	0								
	1	0	1								
	1	1	0								
	1	1	1								

MODE0-MODE3端子による動作モード切り替えの詳細については，**3.3.2　動作モード指定**を参照してください。

ROMレス・モード０，１，シングルチップ・モード１のときは，システム・リセットにより，MM0-MM3 = 111x，すなわち外部拡張モード状態に初期化されますが，その後，プログラムにより，MM0-MM3 = 000xに設定すると，ポート・モードに変更できます。ただし，以降の命令フェッチができなくなるので注意が必要です。

また，MM0-MM3 = 100xか010xに設定すると，以降の命令に対して，アドレス出力が不完全なものになるため注意してください。

備考　x：任意

12.3.16　ポートX

ポートXは，1ビット単位で入出力を指定できる3ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
PX	PX7	PX6	PX5	—	—	—	—	—	アドレス FFFFF41AH	初期値 不定

ビット位置	ビット名	意　　味
7-5	PXn （n = 7-5）	PortX 入出力ポート

ポートとしての機能のほかに，コントロール・モードではDRAMに対するリフレッシュ要求信号出力，ウエイト挿入信号入力，内部システム・クロック出力として動作可能です。8ビット・アクセスした場合の下位5ビットのデータは，不定です。

★　シングルチップ・モード1，ROMレス・モード0，1のとき，初期状態ではコントロール・モードになります。$\overline{\text{WAIT}}$端子は未使用時には抵抗を介してHV_{DD}に接続してください。また，ポート・モードで使用する場合は，ポート・モードに切り替えるまでの間はハイ・レベルに固定してください。

（1）コントロール・モード時の動作

ポート		コントロール・モード	備　　考	ブロック・タイプ
ポートX	PX5	$\overline{\text{REFRQ}}$	DRAMに対するリフレッシュ要求信号出力	A
	PX6	$\overline{\text{WAIT}}$	ウエイト挿入信号入力	L
	PX7	CLKOUT	内部システム・クロック出力	A

（2）入出力モード／コントロール・モードの設定

ポートＸの入力／出力モードの設定は，ポートＸモード・レジスタ（PMX）で行います。また，コントロール・モードの設定は，ポートＸモード・コントロール・レジスタ（PMCX）で行います。

（a）ポートＸモード・レジスタ（PMX）

８ビット単位でライトだけ可能です。ただし，下位５ビットのデータはハードウエアで１に固定されており，０を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMX	PMX7	PMX6	PMX5	1	1	1	1	1	アドレス FFFFF43AH	初期値 FFH

ビット位置	ビット名	意　　味
7-5	PMXn （n = 7-5）	Port Mode PXn端子の入力／出力モードを指定します。 ０：出力モード（出力バッファ・オン） １：入力モード（出力バッファ・オフ）

注意　ビット操作命令（CLR1, NOT1, SET1, TST1）による変更は行わないでください。

（b）ポートＸモード・コントロール・レジスタ（PMCX）

８ビット単位でライトだけ可能です。ただし，下位５ビットはハードウエアで０に固定されており１を書き込んでも無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCX	PMCX7	PMCX6	PMCX5	0	0	0	0	0	FFFFF45AH	注

注　シングルチップ・モード０のとき：00H
シングルチップ・モード１のとき：E0H
ROMレス・モード０，１のとき：E0H

ビット位置	ビット名	意　　味
7	PMCX7	Port Mode Control PX7端子の動作モードを指定します。 ０：入出力ポート・モード １：CLKOUT出力モード
6	PMCX6	Port Mode Control PX6端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{WAIT}}$入力モード
5	PMCX5	Port Mode Control PX5端子の動作モードを指定します。 ０：入出力ポート・モード １：$\overline{\text{REFRQ}}$出力モード

注意　ビット操作命令（CLR1, NOT1, SET1, TST1）による変更は行わないでください。

第13章　リセット機能

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるとシステム・リセットがかかり，オンチップの各ハードウエアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$信号がロウ・レベルからハイ・レベルになると，リセット状態が解除され，CPUはプログラムの実行を開始します。各種レジスタの内容は，プログラムの中で必要に応じてイニシャライズしてください。

13.1　特　　徴

○リセット端子（$\overline{\text{RESET}}$）にアナログ・ディレイ（　60 ns）によるノイズ除去回路を内蔵

13.2　端子機能

システム・リセット期間中は，ほとんどの端子出力（CLKOUT注, $\overline{\text{RESET}}$, X2, HV_{DD}, V_{DD}, V_{SS}, CV_{DD}, CV_{SS}, AV_{DD}, AV_{SS}, AV_{REF}端子を除く全端子）がハイ・インピーダンスになります。

したがって，たとえば外部にメモリを接続している場合は，ポート４，５，６，８，９，Ａ，Ｂ，Ｘの各端子にプルアップ（またはプルダウン）抵抗を付ける必要があります。抵抗がない場合，これらの端子がハイ・インピーダンスになると接続している外部メモリを破壊する可能性があります。

同様に，内蔵周辺I/Oの信号出力，出力ポートにおいても，影響がないよう，端子の処理を行ってください。

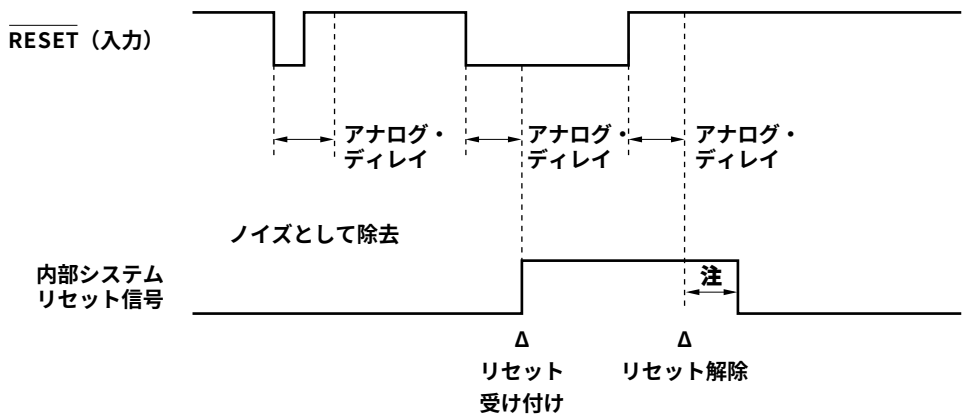
注　ROMレス・モード０，１，シングルチップ・モード１では，リセット期間中でもCLKOUT信号を出力します。シングルチップ・モード０では，PMCXレジスタを設定するまでCLKOUT信号を出力しません。

表13－１にリセット期間中の各出力，入出力端子の動作状態を示します。

表13－１　リセット期間中の各端子の動作状態

端　子　名		端子状態			
		シングルチップ・モード０のとき	シングルチップ・モード１のとき	ROMレス・モード０のとき	ROMレス・モード１のとき
D0-D7, A0-A23, $\overline{\text{CS0}}$-$\overline{\text{CS7}}$, $\overline{\text{RAS0}}$-$\overline{\text{RAS7}}$, $\overline{\text{LCAS}}$, $\overline{\text{LWR}}$, $\overline{\text{UCAS}}$, $\overline{\text{UWR}}$, $\overline{\text{RD}}$, $\overline{\text{WE}}$, $\overline{\text{BCYST}}$, $\overline{\text{OE}}$, $\overline{\text{HLDAK}}$, $\overline{\text{REFRQ}}$		（ポート・モード）	ハイ・インピーダンス		
D8-D15		（ポート・モード）	ハイ・インピーダンス		（ポート・モード）
$\overline{\text{WAIT}}$, $\overline{\text{HLDRQ}}$		（ポート・モード）	（入力）		
CLKOUT		（ポート・モード）	動作		
ポート端子	ポート0-3, 10-12	（入力）			
	ポート4, 6, 8, 9, A, B, X	（入力）	（コントロール・モード）		
	ポート５	（入力）	（コントロール・モード）		（入力）

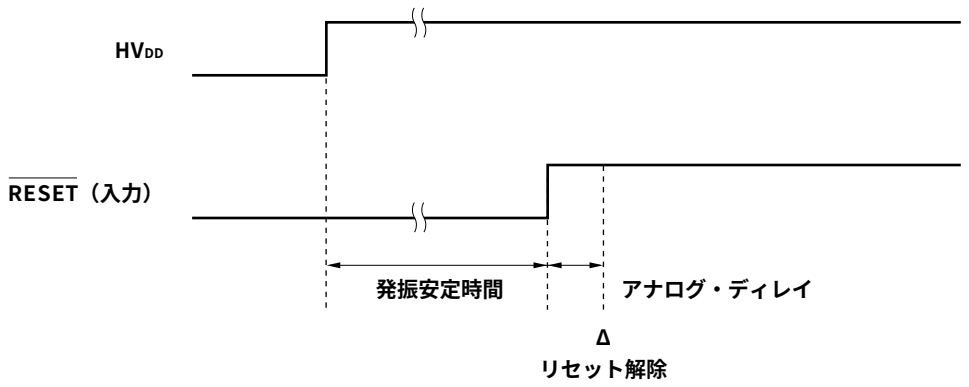
（1）リセット信号の受け付け



注　内部システム・リセット信号は，RESET信号によるリセット解除タイミング後，最小４システム・クロック期間，アクティブ状態を継続します。

（2）パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では，RESET信号のロウ・レベル幅により，電源の立ち上がりからリセット受け付けまで10 ms以上の発振安定時間を確保する必要があります。



13.3　イニシャライズ

CPU, 内蔵RAM，内蔵周辺I/Oのリセット後の初期値を表13－２に示します。

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。特に次に示すレジスタはシステム設定に関するレジスタなので必要に応じて設定してください。

○パワー・セーブ・コントロール・レジスタ（PSC）：X1，X2端子機能，CLKOUT端子動作などの設定
○データ・ウエイト・コントロール・レジスタ（DWC）：データ・ウエイト数の設定

表13－２　CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値（1/2）

内蔵ハードウエア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ（r0）	00000000H
		汎用レジスタ（r1-r31）	不定
		プログラム・カウンタ（PC）	00000000H
	システム・レジスタ	割り込み時状態退避レジスタ（EIPC, EIPSW）	不定
		NMI時状態退避レジスタ（FEPC, FEPSW）	不定
		割り込み要因レジスタ（ECR）	00000000H
		プログラム・ステータス・ワード（PSW）	00000020H
		CALLT実行時状態退避レジスタ（CTPC, CTPSW）	不定
		例外トラップ時状態退避レジスタ（DBPC, DBPSW）	不定
		CALLTベース・ポインタ（CTBP）	不定
内蔵RAM		－	不定
内蔵周辺I/O		コマンド・レジスタ（PRCMD）	不定
	バス制御機能	データ・ウエイト・コントロール・レジスタ（DWC1）	FFFFH
		データ・ウエイト・コントロール・レジスタ（DWC2）	FFH
		バス・サイクル・コントロール・レジスタ（BCC）	5555H
		バス・サイクル・タイプ・コントロール・レジスタ（BCT）	0000H
		バス・サイズ・コンフィギュレーション・レジスタ（BSC）	5555H/0000H
	メモリ制御機能	DRAMコンフィギュレーション・レジスタ（DRC0-DRC3）	3FC1H
		DRAMタイプ・コンフィギュレーション・レジスタ（DTC）	0000H
		ページROMコンフィギュレーション・レジスタ（PRC）	E0H
		リフレッシュ・コントロール・レジスタ（RFC0-RFC3）	0000H
		リフレッシュ・ウエイト・コントロール・レジスタ（RWC）	00H
	DMA機能	コントロール・レジスタ（DADC0-DADC3）	0000H
		ソース・アドレス・レジスタ（DSA0H-DSA3H, DSA0L-DSA3L）	不定
		チャネル・コントロール・レジスタ（DCHC0-DCHC3）	00H
		デスティネーション・アドレス・レジスタ（DDA0H-DDA3H, DDA0L-DDA3L）	不定
		トリガ要因レジスタ（DTFR0-DTFR3）	00H
		バイト・カウント・レジスタ（DBC0-DBC3）	不定
		フライバイ転送データ・ウエイト・コントロール・レジスタ（FDW）	00H
		DMAディスエーブル・ステータス・レジスタ（DDIS）	00H
		DMAリスタート・レジスタ（DRST）	00H
	割り込み／例外制御機能	インサービス・プライオリティ・レジスタ（ISPR）	00H
		外部割り込みモード・レジスタ（INTM0-INTM6）	00H
		割り込み制御レジスタ（OVIC10-OVIC15, CMIC40, CMIC41, P10IC0-P10IC3, P11IC0-P11IC3, P12IC0-P12IC3, P13IC0-P13IC3, P14IC0-P14IC3, P15IC0-P15IC3, DMAIC0-DMAIC3, CSIC0-CSIC3, SEIC0, STIC0, SRIC0, SRIC1, SEIC1, STIC1, ADIC）	47H
	クロック発生機能	システム・ステータス・レジスタ（SYS）	0000000xB
		クロック・コントロール・レジスタ（CKC）	00H
		パワー・セーブ・コントロール・レジスタ（PSC）	00H
	タイマ／カウンタ機能	キャプチャ／コンペア・レジスタ（CC100-CC103, CC110-CC113, CC120-CC123, CC130-CC133, CC140-CC143, CC150-CC153）	不定
		コンペア・レジスタ（CM40, CM41）	不定
		タイマ・オーバフロー・ステータス・レジスタ（TOVS）	00H
		タイマ・コントロール・レジスタ（TMC10-TMC15, TMC40, TMC41）	00H
		タイマ・ユニット・モード・レジスタ（TUM10-TUM15）	0000H

備考　x：不定

表13－２　CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値（2/2）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	タイマ／カウンタ機能	タイマ（TM10-TM15, TM40, TM41）	0000H
		タイマ出力コントロール・レジスタ（TOC10-TOC15）	00H
	シリアル・インタフェース機能	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS0, ASIS1）	00H
		アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM00, ASIM10）	80H
		アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM01, ASIM11）	00H
		受信バッファ（RXB0, RXB1, RXB0L, RXB1L）	不定
		送信シフト・レジスタ（TXS0, TXS1, TXS0L, TXS1L）	不定
		クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM0-CSIM3）	00H
		シリアルI/Oシフト・レジスタ（SIO0-SIO3）	不定
		ボー・レート・ジェネレータ・コンペア・レジスタ（BRGC0-BRGC2）	不定
		ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ（BPRM0-BPRM2）	00H
	A/Dコンバータ	モード・レジスタ（ADM0）	00H
		モード・レジスタ（ADM1）	07H
		A/D変換結果レジスタ（ADCR0-ADCR7, ADCR0H-ADCR7H）	不定
	ポート機能	ポート（P0-P12, PA, PB, PX）	不定
		ポート／コントロール選択レジスタ（PCS0, PCS1, PCS3, PCS8, PCS10, PCS11）	00H
		モード・レジスタ（PM0-PM12, PMA, PMB, PMX）	FFH
		モード・コントロール・レジスタ（PMC0, PMC1, PMC3, PMC10-PMC12）	00H
		モード・コントロール・レジスタ（PMC2）	01H
		モード・コントロール・レジスタ（PMC8, PMC9）	00H/FFH
		モード・コントロール・レジスタ（PMCX）	00H/E0H
		メモリ拡張モード・レジスタ（MM）	00H/07H/0FH

注意　上記の表における“不定”とは，パワーオン・リセット時の不定，または$\overline{\text{RESET}}$↓入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し，これ以外の$\overline{\text{RESET}}$↓ではデータは直前の状態に保持されます。

第14章　フラッシュ・メモリ（μPD70F3102, 70F3102A）

μPD70F3102, 70F3102AはV850E/MS1のフラッシュ・メモリ内蔵品で，128 Kバイトのフラッシュ・メモリを内蔵しています。このフラッシュ・メモリへの命令フェッチは，マスクROM内蔵品と同様に１クロックで４バイトをアクセスできます。

フラッシュ・メモリへの書き込みは，ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

○ターゲット・システムにV850E/MS1を半田実装後，ソフトウエアの変更可能
○ソフトウエアを区別することで，少量多品種生産が容易
○量産立ち上げ時のデータ調整が容易

14.1　特　　徴

- ４バイト/１クロック・アクセス（命令フェッチ・アクセス時）
- 全エリア一括消去
- ４Kバイト単位のブロックに対する消去
- 専用フラッシュ・ライタからシリアル・インタフェースを介して通信
- 消去／書き込み電圧：V_{PP} = 7.8 V
- オンボード・プログラミング
- 書き換え回数：100回（目標値）

14.2　フラッシュ・ライタによる書き込み方法

専用フラッシュ・ライタにより，オンボードまたはオフボードでの書き込みができます。

（1）オンボード・プログラミング

ターゲット・システム上にV850E/MS1を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・ライタを接続するためのコネクタなどを実装しておいてください。

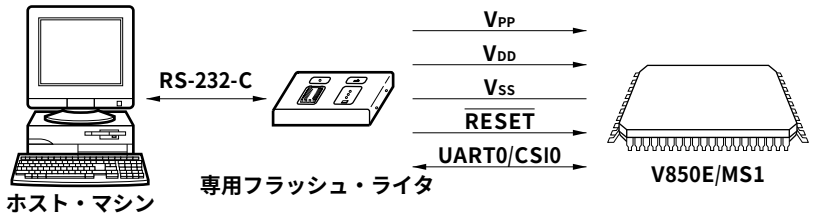
（2）オフボード・プログラミング

ターゲット・システム上にV850E/MS1を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FAシリーズは，㈱内藤電誠町田製作所の製品です。

14.3　プログラミング環境

V850E/MS1のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。



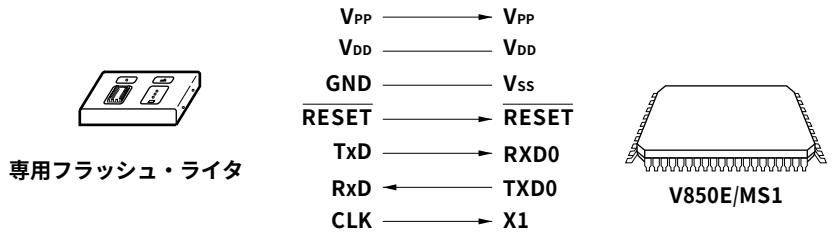
専用フラッシュ・ライタには，これを制御するホスト・マシンが必要です。

また，専用フラッシュ・ライタとV850E/MS1のインタフェースはUART0またはCSI0を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

14.4　通信方式

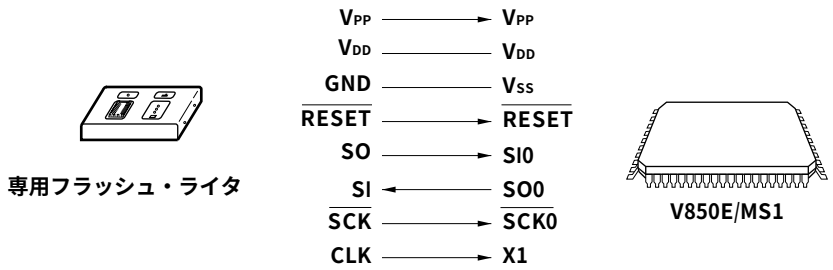
（1）UART0

転送レート：4800-76800 bps（LSBファースト）



（2）CSI0

転送レート：～10 Mbps（MSBファースト）



専用フラッシュ・ライタが転送クロックを出力し，V850E/MS1はスレーブとして動作します。

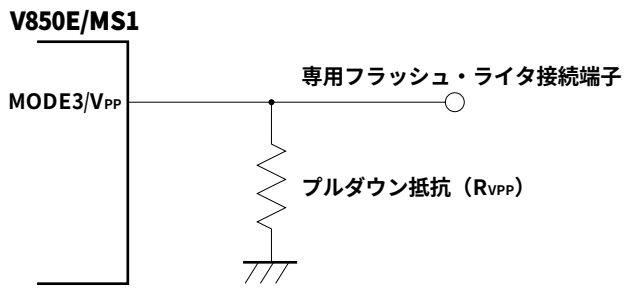
14.5　端子処理

オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また，オンボード上に通常動作モード（シングルチップ・モード０，１またはROMレス・モード０，１）からフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてシングルチップ・モード０のリセット直後と同じ状態になります。したがって，ポートはすべてハイ・インピーダンス状態になるため，外部デバイスがハイ・インピーダンス状態を認めない場合は端子処理が必要です。

14.5.1　MODE3/VPP端子

通常動作モード時は，MODE3/VPP端子に0 Vを入力します。また，フラッシュ・メモリ・プログラミング・モード時は，MODE3/VPP端子に7.8 Vの書き込み電圧を供給します。MODE3/VPP端子の接続例を次に示します。



14.5.2　シリアル・インタフェース端子

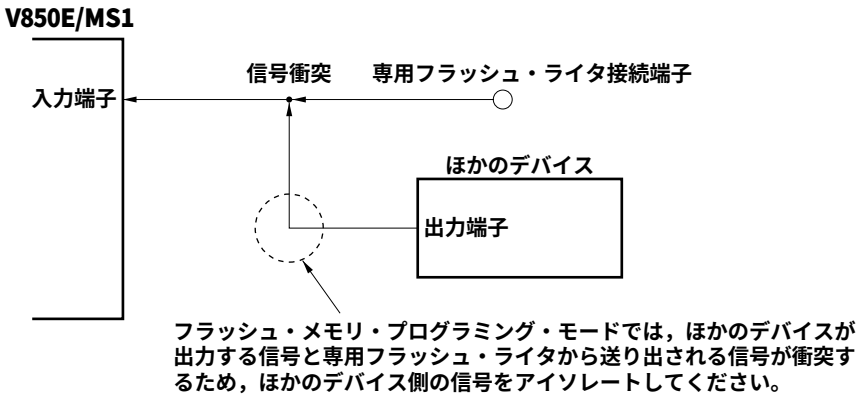
各シリアル・インタフェースが使用する端子は次のとおりです。

シリアル・インタフェース	使用端子
CSI0	SO0, SI0, $\overline{\text{SCK0}}$
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・ライタを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

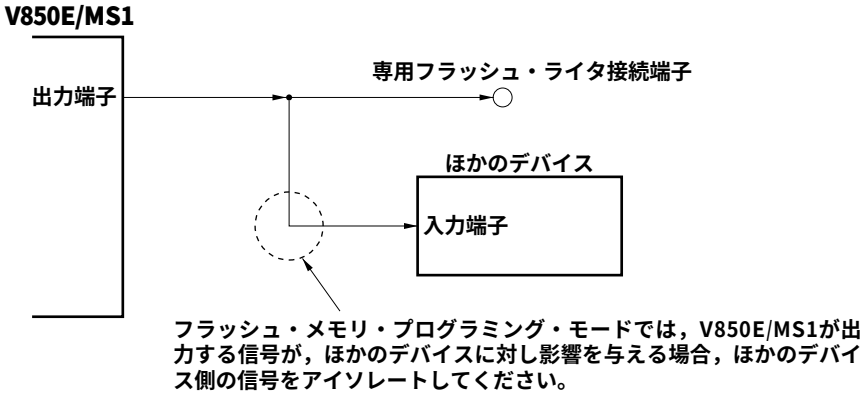
（1）信号の衝突

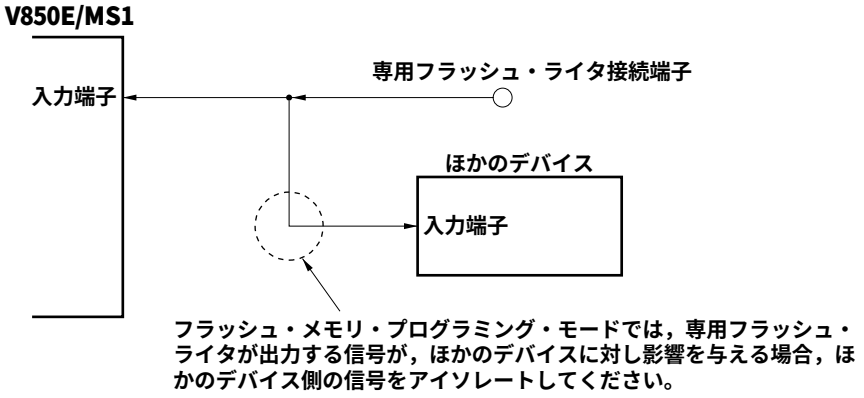
ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。



（2）ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

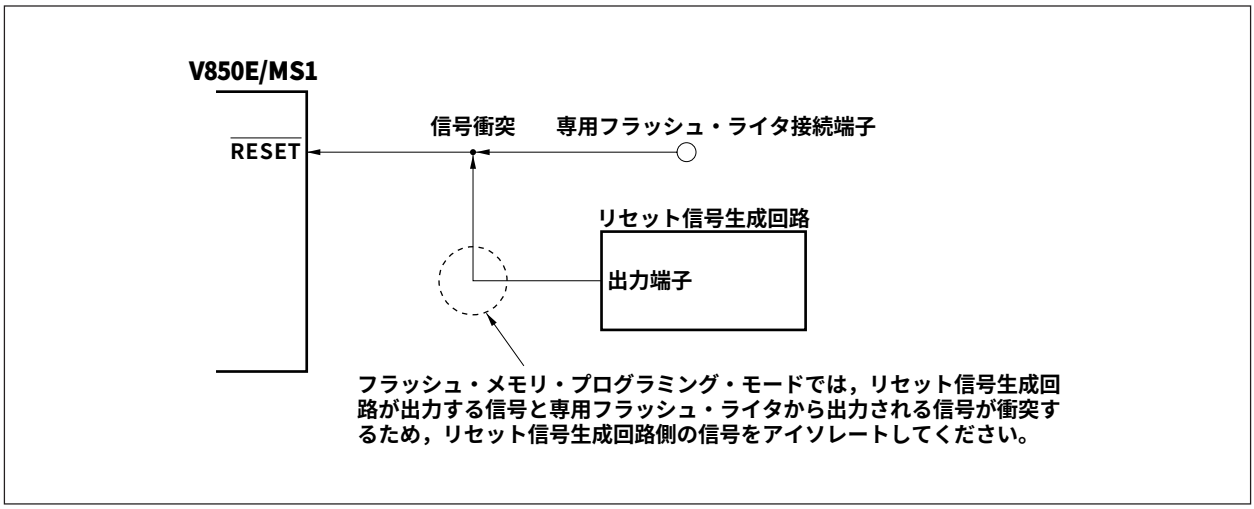




14.5.3　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・ライタのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・ライタからのリセット信号以外は入力しないでください。



14.5.4　NMI端子

フラッシュ・メモリ・プログラミング・モード期間中はNMI端子への入力信号を変化させないでください。変化させた場合，正常なプログラミングが行われないことがあります。

14.5.5　MODE0-MODE2端子

MODE0-MODE2を次のように設定し，MODE3/V_{PP}端子に書き込み電圧（7.8 V）を加え，リセットを解除するとフラッシュ・メモリ・プログラミング・モードに遷移します。

- MODE0：ロウ・レベル入力
- MODE1：ハイ・レベル入力
- MODE2：ロウ・レベル入力

14.5.6　ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると，専用フラッシュ・ライタと通信する端子を除くすべてのポート端子はハイ・インピーダンス状態になります。これらポート端子を処理する必要はありません。なお，ポートに接続されている外部デバイスにハイ・インピーダンス状態禁止などの問題が生じる場合には，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの処置をしてください。

14.5.7　$\overline{\text{WAIT}}$端子

$\overline{\text{WAIT}}$端子はHV_{DD}に対するハイ・レベル，またはロウ・レベルの信号を入力してください。

14.5.8　その他の信号端子

X1, X2, AV_{REF}は，通常動作モード時と同じ状態に接続してください。

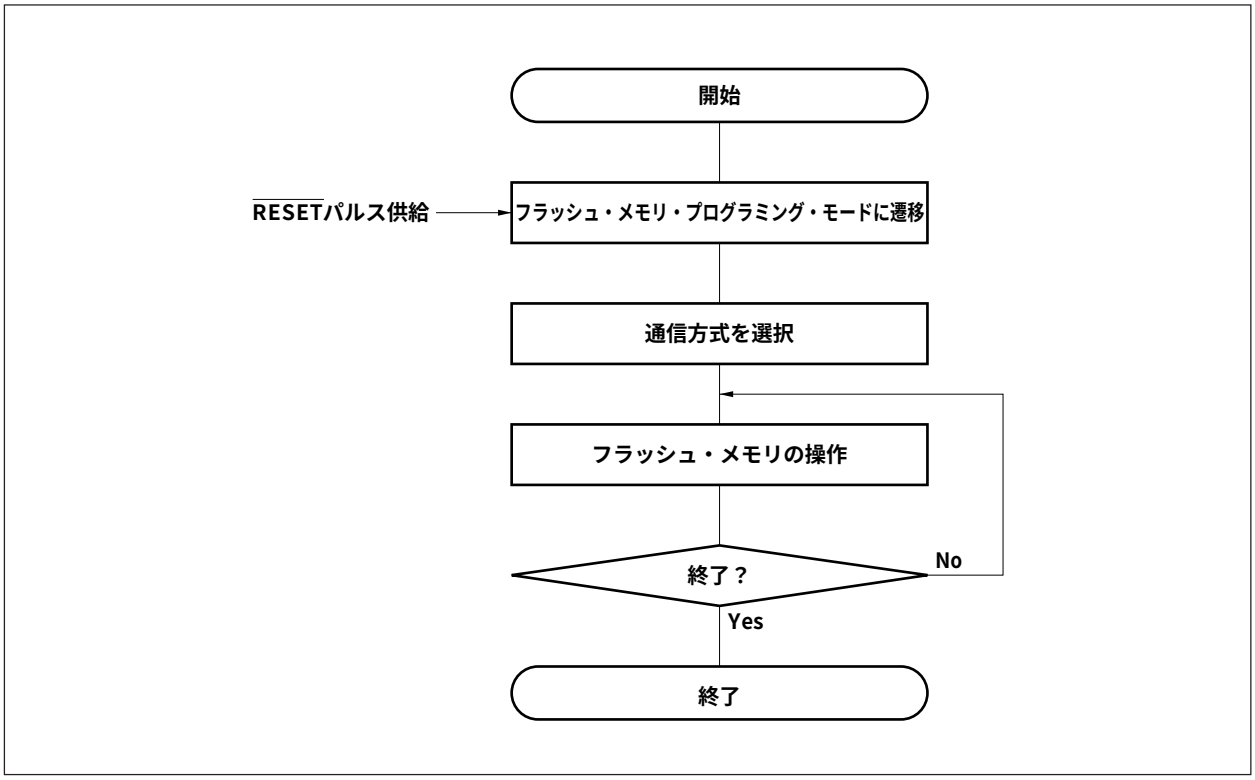
14.5.9　電　　源

電源（V_{DD}, HV_{DD}, V_{SS}, AV_{DD}, AV_{SS}, CV_{DD}, CV_{SS}）は，通常動作モード時と同じ電源を供給してください。また，V_{DD}, V_{SS}には，専用フラッシュ・ライタのV_{DD}, GNDを接続してください（専用フラッシュ・ライタのV_{DD}は，電源監視機能がついています）。

14.6　プログラミング方法

14.6.1　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。



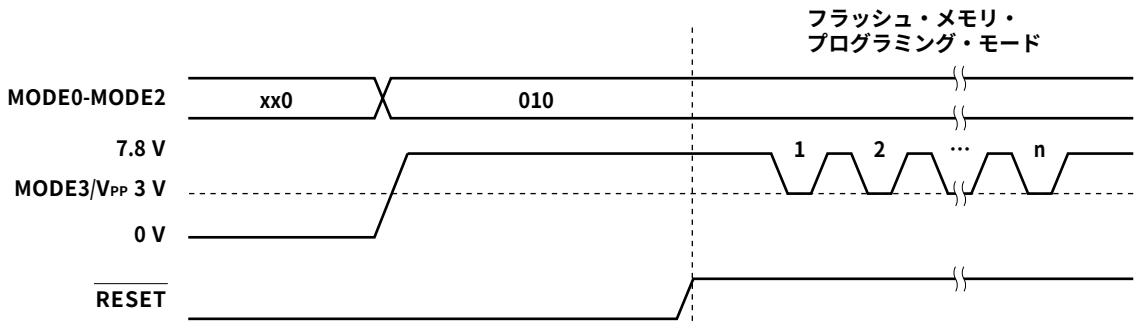
14.6.2　フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。

モードへ遷移するには，MODE0-MODE2, MODE3/V_{PP}端子を次のように設定後，リセットを解除します。

オンボード書き込みを行うときは，ジャンパ等でモードを切り替えてください。

- MODE0　　：ロウ・レベル入力
- MODE1　　：ハイ・レベル入力
- MODE2　　：ロウ・レベル入力
- MODE3/V_{PP}　：7.8 V



備考　x：任意

14.6.3　通信方式の選択

フラッシュ・メモリ・プログラミング・モードに遷移後，V_{PP}端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

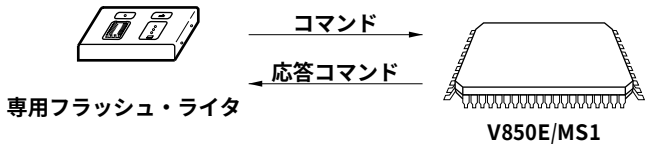
表14－1　通信方式一覧

V_{PP}パルス	通信方式	備　　考
0	CSI0	V850E/MS1はスレーブ動作，MSBファースト
8	UART0	通信レート：9600 bps（リセット時），LSBファースト
その他	RFU（予約）	設定禁止

注意　UART0選択時，受信クロックは，V_{PP}パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

14.6.4　通信コマンド

V850E/MS1と専用フラッシュ・ライタは，コマンドを介して通信します。専用フラッシュ・ライタからV850E/MS1へ送られるコマンドを「コマンド」と呼び，V850E/MS1から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。



V850E/MS1のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され，V850E/MS1がコマンドに対応した各処理を行います。

分　類	コマンド名称	機　能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータと比較
消去	一括消去コマンド	全メモリの内容を消去
	ライトバック・コマンド	過消去時の書き戻し
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス，書き込みバイト数の指定によりデータを書き込み，ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み，ベリファイ・チェックを実行
システム設定，制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	ボー・レート設定コマンド	UART0使用時のボー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また，専用フラッシュ・ライタから発行されたコマンドに対して，V850E/MS1は応答コマンドを返します。V850E/MS1が送出する応答コマンドは次のとおりです。

応答コマンド名称	機　　能
ACK（アクノリッジ）	コマンド／データなどのアクノリッジ
NAK（ノット・アクノリッジ）	不正なコマンド／データなどのアクノリッジ

★

付録A　注意事項

A.1　sld命令実行時の制限事項

A.1.1　内　　容

外部メモリ空間からリードを行うsld命令実行中に割り込み処理（NMIを含む）が発生すると，そのsld命令による指定とは異なるレジスタにリードした値を書き込んでしまう場合があります。

A.1.2　非該当条件

この制限事項は，次のどちらかの場合には非該当です。

（1）sld命令のロード対象が内蔵メモリ（内蔵RAMを含む）の場合
（2）sld命令の前後で割り込みが禁止されている，かつNMIを使用していない場合

A.1.3　回 避 策

この制限事項の回避策について次に示します。

（1）アセンブラについて

外部メモリにアクセスするすべてのsld命令をld命令に変更してください。

（2）NECコンパイラについて

tidataセクションへの割り当てを指定しているデータをセクションへ割り当てない，またはtidataセクションからsidataセクション等へ割り当てを変更してください（これらにより，sld命令を使用しないコードを生成）。

（3）GHSコンパイラについて

次の２つの対策を行うことにより，sld命令の連続実行を行わないため，不具合を回避できます。

（a）コンパイル時に「-Z1412」オプションを指定する。

「-OS」オプションを使う場合は，「-Z1412」と「-inline_prologue」オプションを使用してください。

（b）TDA（タイニ・データ領域）機能のpragmaを使用しない。

TDA領域を使用している場合は，TDA領域の定義を無効にする「-notda」オプションをコンパイル時に指定するか，TDA領域の定義をソース・コード上からすべて削除してください。

（4）OS（RX850, RX850PRO）について

次のどちらかの条件で使用してください。

・スタック領域を内蔵RAM領域のみに設定する。
・NMI割り込みを使用しない。

A.2　sst命令と分岐命令が連続した場合の制限事項

A.2.1　内　　容

次のようにsst/st命令（①）のアクセス対象が外部メモリであり，なおかつ，以降にsst命令（②）とbcond命令（③）が連続した場合，分岐先命令が正しく実行されない場合があります。

なお，この異常動作は，内蔵メモリ（RAMを含む）からの命令フェッチ，および外部メモリからの命令フェッチのいずれにおいても発生します。

① sst/st命令（外部メモリに対するアクセス）
　　：　sst/st命令以外の任意の命令列（０個以上）
② sst命令
③ bcond（bc, be, bge, bgt, bh, bl, ble, blt, bn, bnc, bne, bnh, bnl, bnv, bnz, bp, br, bsa, bv, bz）命令

A.2.2　回 避 策

この制限事項の回避策について次に示します。

（1）アセンブラについて

次のいずれかの方法により回避可能です。

・bcond命令の直前のsst命令をst命令に置き換え
・bcond命令と直前のsst命令の間に，nop命令を挿入

（2）NECコンパイラについて

V2.41以降のバージョンではコンパイル時に次のオプションを指定することにより，この制限事項を回避できます。

・ca850の回避オプション
　-Wa, -p
・as850の回避オプション
　-p

（3）GHSコンパイラについて

次の２つの対策を行うことにより，sst命令が出力されないため，この制限事項を回避できます。

① **コンパイル時に「-Z1412」オプションを指定する。**
　「-OS」オプションを使う場合は，「-Z1412」と「-inline_prologue」オプションを使用してください。

② **TDA（タイニ・データ領域）機能のpragmaを使用しない。**
　TDA領域を使用している場合は，TDA領域の定義を無効にする「-notda」オプションをコンパイル時に指定するか，TDA領域の定義をソース・コード上からすべて削除してください。

備考　GHSコンパイラでの回避方法は**A.1　sld命令実行時の制限事項**の制限事項回避方法と同一です。

付録B　レジスタ索引

(1/6)

略　号	名　　称	ユニット	ページ
ADCR0	A/D変換結果レジスタ０	ADC	312
ADCR0H	A/D変換結果レジスタ0H	ADC	312
ADCR1	A/D変換結果レジスタ１	ADC	312
ADCR1H	A/D変換結果レジスタ1H	ADC	312
ADCR2	A/D変換結果レジスタ２	ADC	312
ADCR2H	A/D変換結果レジスタ2H	ADC	312
ADCR3	A/D変換結果レジスタ３	ADC	312
ADCR3H	A/D変換結果レジスタ3H	ADC	312
ADCR4	A/D変換結果レジスタ４	ADC	312
ADCR4H	A/D変換結果レジスタ4H	ADC	312
ADCR5	A/D変換結果レジスタ５	ADC	312
ADCR5H	A/D変換結果レジスタ5H	ADC	312
ADCR6	A/D変換結果レジスタ６	ADC	312
ADCR6H	A/D変換結果レジスタ6H	ADC	312
ADCR7	A/D変換結果レジスタ７	ADC	312
ADCR7H	A/D変換結果レジスタ7H	ADC	312
ADIC	割り込み制御レジスタ	INTC	207
ADM0	A/Dコンバータ・モード・レジスタ０	ADC	309
ADM1	A/Dコンバータ・モード・レジスタ１	ADC	311
ASIM00	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	UART0	278
ASIM01	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	UART0	281
ASIM10	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	UART1	278
ASIM11	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	UART1	281
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０	UART0	282
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ１	UART1	282
BCC	バス・サイクル・コントロール・レジスタ	BCU	110
BCT	バス・サイクル・タイプ・コンフィギュレーション・レジスタ	BCU	98
BPRM0	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ０	BRG0	305
BPRM1	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ１	BRG1	305
BPRM2	ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ２	BRG2	305
BRGC0	ボー・レート・ジェネレータ・コンペア・レジスタ０	BRG0	304
BRGC1	ボー・レート・ジェネレータ・コンペア・レジスタ１	BRG1	304
BRGC2	ボー・レート・ジェネレータ・コンペア・レジスタ２	BRG2	304
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	101
CC100	キャプチャ／コンペア・レジスタ100	RPU	242
CC101	キャプチャ／コンペア・レジスタ101	RPU	242
CC102	キャプチャ／コンペア・レジスタ102	RPU	242
CC103	キャプチャ／コンペア・レジスタ103	RPU	242
CC110	キャプチャ／コンペア・レジスタ110	RPU	242
CC111	キャプチャ／コンペア・レジスタ111	RPU	242
CC112	キャプチャ／コンペア・レジスタ112	RPU	242
CC113	キャプチャ／コンペア・レジスタ113	RPU	242

(2/6)

略　号	名　称	ユニット	ページ
CC120	キャプチャ／コンペア・レジスタ120	RPU	242
CC121	キャプチャ／コンペア・レジスタ121	RPU	242
CC122	キャプチャ／コンペア・レジスタ122	RPU	242
CC123	キャプチャ／コンペア・レジスタ123	RPU	242
CC130	キャプチャ／コンペア・レジスタ130	RPU	242
CC131	キャプチャ／コンペア・レジスタ131	RPU	242
CC132	キャプチャ／コンペア・レジスタ132	RPU	242
CC133	キャプチャ／コンペア・レジスタ133	RPU	242
CC140	キャプチャ／コンペア・レジスタ140	RPU	242
CC141	キャプチャ／コンペア・レジスタ141	RPU	242
CC142	キャプチャ／コンペア・レジスタ142	RPU	242
CC143	キャプチャ／コンペア・レジスタ143	RPU	242
CC150	キャプチャ／コンペア・レジスタ150	RPU	242
CC151	キャプチャ／コンペア・レジスタ151	RPU	242
CC152	キャプチャ／コンペア・レジスタ152	RPU	242
CC153	キャプチャ／コンペア・レジスタ153	RPU	242
CKC	クロック・コントロール・レジスタ	CG	223
CM40	コンペア・レジスタ40	RPU	244
CM41	コンペア・レジスタ41	RPU	244
CMIC40	割り込み制御レジスタ	INTC	206
CMIC41	割り込み制御レジスタ	INTC	206
CSIC0	割り込み制御レジスタ	INTC	206
CSIC1	割り込み制御レジスタ	INTC	206
CSIC2	割り込み制御レジスタ	INTC	206
CSIC3	割り込み制御レジスタ	INTC	206
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ０	CSI0	292
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ１	CSI1	292
CSIM2	クロック同期式シリアル・インタフェース・モード・レジスタ２	CSI2	292
CSIM3	クロック同期式シリアル・インタフェース・モード・レジスタ３	CSI3	292
CTBP	CALLTベース・ポインタ	CPU	67
CTPC	CALLT実行時状態退避レジスタ	CPU	67
CTPSW	CALLT実行時状態退避レジスタ	CPU	67
DADC0	DMAアドレシング・コントロール・レジスタ０	DMAC	160
DADC1	DMAアドレシング・コントロール・レジスタ１	DMAC	160
DADC2	DMAアドレシング・コントロール・レジスタ２	DMAC	160
DADC3	DMAアドレシング・コントロール・レジスタ３	DMAC	160
DBC0	DMAバイト・カウント・レジスタ０	DMAC	159
DBC1	DMAバイト・カウント・レジスタ１	DMAC	159
DBC2	DMAバイト・カウント・レジスタ２	DMAC	159
DBC3	DMAバイト・カウント・レジスタ３	DMAC	159
DBPC	例外トラップ時状態退避レジスタ	CPU	67
DBPSW	例外トラップ時状態退避レジスタ	CPU	67
DCHC0	DMAチャネル・コントロール・レジスタ０	DMAC	162
DCHC1	DMAチャネル・コントロール・レジスタ１	DMAC	162
DCHC2	DMAチャネル・コントロール・レジスタ２	DMAC	162
DCHC3	DMAチャネル・コントロール・レジスタ３	DMAC	162

(3/6)

略　　号	名　　称	ユニット	ページ
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	157
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	158
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	157
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	158
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	157
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	158
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	157
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	158
DDIS	DMAディスエーブル・ステータス・レジスタ	BCU	164
DMAIC0	割り込み制御レジスタ	INTC	206
DMAIC1	割り込み制御レジスタ	INTC	206
DMAIC2	割り込み制御レジスタ	INTC	206
DMAIC3	割り込み制御レジスタ	INTC	206
DRC0	DRAMコンフィギュレーション・レジスタ０	BCU	131
DRC1	DRAMコンフィギュレーション・レジスタ１	BCU	131
DRC2	DRAMコンフィギュレーション・レジスタ２	BCU	131
DRC3	DRAMコンフィギュレーション・レジスタ３	BCU	131
DRST	DMAリスタート・レジスタ	BCU	165
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	155
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	156
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	155
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	156
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	155
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	156
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	155
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	156
DTC	DRAMタイプ・コンフィギュレーション・レジスタ	BCU	134
DTFR0	DMAトリガ要因レジスタ０	DMAC	163
DTFR1	DMAトリガ要因レジスタ１	DMAC	163
DTFR2	DMAトリガ要因レジスタ２	DMAC	163
DTFR3	DMAトリガ要因レジスタ３	DMAC	163
DWC1	データ・ウエイト・コントロール・レジスタ１	BCU	106
DWC2	データ・ウエイト・コントロール・レジスタ２	BCU	106
ECR	割り込み要因レジスタ	CPU	67
EIPC	割り込み時状態退避レジスタ	CPU	67
EIPSW	割り込み時状態退避レジスタ	CPU	67
FDW	フライバイ転送データ・ウエイト・コントロール・レジスタ	BCU	165
FEPC	NMI時状態退避レジスタ	CPU	67
FEPSW	NMI時状態退避レジスタ	CPU	67
INTM0	外部割り込みモード・レジスタ０	INTC	197
INTM1	外部割り込みモード・レジスタ１	INTC	210
INTM2	外部割り込みモード・レジスタ２	INTC	210
INTM3	外部割り込みモード・レジスタ３	INTC	210
INTM4	外部割り込みモード・レジスタ４	INTC	210
INTM5	外部割り込みモード・レジスタ５	INTC	210
INTM6	外部割り込みモード・レジスタ６	INTC	210

(4/6)

略　　号	名　　称	ユニット	ページ
ISPR	インサービス・プライオリティ・レジスタ	INTC	207
MM	メモリ拡張モード・レジスタ	ポート	82
OVIC10	割り込み制御レジスタ	INTC	206
OVIC11	割り込み制御レジスタ	INTC	206
OVIC12	割り込み制御レジスタ	INTC	206
OVIC13	割り込み制御レジスタ	INTC	206
OVIC14	割り込み制御レジスタ	INTC	206
OVIC15	割り込み制御レジスタ	INTC	206
P0	ポート０	ポート	363
P1	ポート１	ポート	366
P2	ポート２	ポート	369
P3	ポート３	ポート	372
P4	ポート４	ポート	375
P5	ポート５	ポート	377
P6	ポート６	ポート	379
P7	ポート７	ポート	381
P8	ポート８	ポート	382
P9	ポート９	ポート	386
P10	ポート10	ポート	389
P10IC0	割り込み制御レジスタ	INTC	206
P10IC1	割り込み制御レジスタ	INTC	206
P10IC2	割り込み制御レジスタ	INTC	206
P10IC3	割り込み制御レジスタ	INTC	206
P11	ポート11	ポート	392
P11IC0	割り込み制御レジスタ	INTC	206
P11IC1	割り込み制御レジスタ	INTC	206
P11IC2	割り込み制御レジスタ	INTC	206
P11IC3	割り込み制御レジスタ	INTC	206
P12	ポート12	ポート	396
P12IC0	割り込み制御レジスタ	INTC	206
P12IC1	割り込み制御レジスタ	INTC	206
P12IC2	割り込み制御レジスタ	INTC	206
P12IC3	割り込み制御レジスタ	INTC	206
P13IC0	割り込み制御レジスタ	INTC	206
P13IC1	割り込み制御レジスタ	INTC	206
P13IC2	割り込み制御レジスタ	INTC	206
P13IC3	割り込み制御レジスタ	INTC	206
P14IC0	割り込み制御レジスタ	INTC	206
P14IC1	割り込み制御レジスタ	INTC	206
P14IC2	割り込み制御レジスタ	INTC	206
P14IC3	割り込み制御レジスタ	INTC	206
P15IC0	割り込み制御レジスタ	INTC	206
P15IC1	割り込み制御レジスタ	INTC	206
P15IC2	割り込み制御レジスタ	INTC	206
P15IC3	割り込み制御レジスタ	INTC	206
PA	ポートA	ポート	398

(5/6)

略　　号	名　　称	ユニット	ページ
PB	ポートB	ポート	400
PC	プログラム・カウンタ	CPU	66
PCS0	ポート／コントロール選択レジスタ０	ポート	365
PCS1	ポート／コントロール選択レジスタ１	ポート	368
PCS3	ポート／コントロール選択レジスタ３	ポート	375
PCS8	ポート／コントロール選択レジスタ８	ポート	385
PCS10	ポート／コントロール選択レジスタ10	ポート	391
PCS11	ポート／コントロール選択レジスタ11	ポート	395
PM0	ポート０モード・レジスタ	ポート	363
PM1	ポート１モード・レジスタ	ポート	366
PM2	ポート２モード・レジスタ	ポート	370
PM3	ポート３モード・レジスタ	ポート	373
PM4	ポート４モード・レジスタ	ポート	376
PM5	ポート５モード・レジスタ	ポート	378
PM6	ポート６モード・レジスタ	ポート	380
PM8	ポート８モード・レジスタ	ポート	383
PM9	ポート９モード・レジスタ	ポート	387
PM10	ポート10モード・レジスタ	ポート	389
PM11	ポート11モード・レジスタ	ポート	393
PM12	ポート12モード・レジスタ	ポート	396
PMA	ポートAモード・レジスタ	ポート	398
PMB	ポートBモード・レジスタ	ポート	400
PMC0	ポート０モード・コントロール・レジスタ	ポート	364
PMC1	ポート１モード・コントロール・レジスタ	ポート	367
PMC2	ポート２モード・コントロール・レジスタ	ポート	371
PMC3	ポート３モード・コントロール・レジスタ	ポート	374
PMC8	ポート８モード・コントロール・レジスタ	ポート	384
PMC9	ポート９モード・コントロール・レジスタ	ポート	388
PMC10	ポート10モード・コントロール・レジスタ	ポート	390
PMC11	ポート11モード・コントロール・レジスタ	ポート	394
PMC12	ポート12モード・コントロール・レジスタ	ポート	397
PMCX	ポートXモード・コントロール・レジスタ	ポート	404
PMX	ポートXモード・レジスタ	ポート	403
PRC	ページROMコンフィギュレーション・レジスタ	BCU	126
PRCMD	コマンド・レジスタ	CPU	94
PSC	パワー・セーブ・コントロール・レジスタ	CPU	226
PSW	プログラム・ステータス・ワード	CPU	68
PX	ポートX	ポート	402
r0-r31	汎用レジスタ	CPU	66
RFC0	リフレッシュ・コントロール・レジスタ０	BCU	145
RFC1	リフレッシュ・コントロール・レジスタ１	BCU	145
RFC2	リフレッシュ・コントロール・レジスタ２	BCU	145
RFC3	リフレッシュ・コントロール・レジスタ３	BCU	145
RWC	リフレッシュ・ウエイト・コントロール・レジスタ	BCU	147
RXB0	受信バッファ０（９ビット）	UART0	283
RXB0L	受信バッファ0L（下位８ビット）	UART0	283

(6/6)

略　　号	名　　称	ユニット	ページ
RXB1	受信バッファ１（９ビット）	UART1	283
RXB1L	受信バッファ1L（下位８ビット）	UART1	283
SEIC0	割り込み制御レジスタ	INTC	206
SEIC1	割り込み制御レジスタ	INTC	206
SIO0	シリアルI/Oシフト・レジスタ０	CSI0	294
SIO1	シリアルI/Oシフト・レジスタ１	CSI1	294
SIO2	シリアルI/Oシフト・レジスタ２	CSI2	294
SIO3	シリアルI/Oシフト・レジスタ３	CSI3	294
SRIC0	割り込み制御レジスタ	INTC	206
SRIC1	割り込み制御レジスタ	INTC	207
STIC0	割り込み制御レジスタ	INTC	206
STIC1	割り込み制御レジスタ	INTC	207
SYS	システム・ステータス・レジスタ	CPU	95
TM10	タイマ10	RPU	241
TM11	タイマ11	RPU	241
TM12	タイマ12	RPU	241
TM13	タイマ13	RPU	241
TM14	タイマ14	RPU	241
TM15	タイマ15	RPU	241
TM40	タイマ40	RPU	244
TM41	タイマ41	RPU	244
TMC10	タイマ・コントロール・レジスタ10	RPU	248
TMC11	タイマ・コントロール・レジスタ11	RPU	248
TMC12	タイマ・コントロール・レジスタ12	RPU	248
TMC13	タイマ・コントロール・レジスタ13	RPU	248
TMC14	タイマ・コントロール・レジスタ14	RPU	248
TMC15	タイマ・コントロール・レジスタ15	RPU	248
TMC40	タイマ・コントロール・レジスタ40	RPU	250
TMC41	タイマ・コントロール・レジスタ41	RPU	250
TOC10	タイマ出力コントロール・レジスタ10	RPU	251
TOC11	タイマ出力コントロール・レジスタ11	RPU	251
TOC12	タイマ出力コントロール・レジスタ12	RPU	251
TOC13	タイマ出力コントロール・レジスタ13	RPU	251
TOC14	タイマ出力コントロール・レジスタ14	RPU	251
TOC15	タイマ出力コントロール・レジスタ15	RPU	251
TOVS	タイマ・オーバフロー・ステータス・レジスタ	RPU	252
TUM10	タイマ・ユニット・モード・レジスタ10	RPU	245
TUM11	タイマ・ユニット・モード・レジスタ11	RPU	245
TUM12	タイマ・ユニット・モード・レジスタ12	RPU	245
TUM13	タイマ・ユニット・モード・レジスタ13	RPU	245
TUM14	タイマ・ユニット・モード・レジスタ14	RPU	245
TUM15	タイマ・ユニット・モード・レジスタ15	RPU	245
TXS0	送信シフト・レジスタ０（９ビット）	UART0	284
TXS0L	送信シフト・レジスタ0L（下位８ビット）	UART0	284
TXS1	送信シフト・レジスタ１（９ビット）	UART1	284
TXS1L	送信シフト・レジスタ1L（下位８ビット）	UART1	284

付録C　命令セット一覧

C.1　凡　　例

（1）オペランド記述に使われる略号

略　　号	説　　明
reg1	汎用レジスタ（r0-r31）：ソース・レジスタとして使用する。
reg2	汎用レジスタ（r0-r31）：おもにデスティネーション・レジスタとして使用する。
reg3	汎用レジスタ（r0-r31）：おもに除算結果の余り，乗算結果の上位３ビットを格納する。
imm×	×ビット・イミーディエト
disp×	×ビット・ディスプレースメント
regID	システム・レジスタ番号
bit#3	ビット・ナンバ指定用３ビット・データ
ep	エレメント・ポインタ（r30）
cccc	条件コードを示す４ビット・データ
vector	トラップ・ベクタ（00H-1FH）を指定する５ビット・データ
list×	×個のレジスタ・リスト

（2）オペコード記述に使われる略号

略　　号	説　　明
R	reg1またはregIDを指定するコードの１ビット分データ
r	reg2を指定するコードの１ビット分データ
w	reg3を指定するコードの１ビット分データ
d	ディスプレースメントの１ビット分データ
i	イミーディエトの１ビット分データ
cccc	条件コードを示す４ビット・データ
bbb	ビット・ナンバ指定３ビット・データ
L	レジスタ・リストを指定する１ビット分データ

（3）オペレーションに使われる略号（1/2）

略　　号	説　　明
←	代入
GR［　］	汎用レジスタ
SR［　］	システム・レジスタ
zero-extend（n）	nをワード長までゼロ拡張する。
sign-extend（n）	nをワード長まで符号拡張する。
load-memory（a,b）	アドレスaから，サイズbのデータを読み出す。
store-memory（a,b,c）	アドレスaにデータbをサイズcで書き込む。
load-memory-bit（a,b）	アドレスaのビットbを読み出す。
store-memory-bit（a,b,c）	アドレスaのビットbにcを書き込む。
saturated（n）	nの飽和処理を行う（nは２の補数）。 nが計算の結果， n≧7FFFFFFFHとなった場合，7FFFFFFFHとする。 n≦80000000Hとなった場合，80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト（８ビット）
Half-word	ハーフワード（16ビット）

（3）オペレーションに使われる略号（2/2）

略　　号	説　　明
Word	ワード（32ビット）
＋	加算
－	減算
‖	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

（4）実行クロックに使われる略号

略　号	説　　明
i：issue	命令実行直後にほかの命令を実行する場合
r：repeat	命令実行直後に同一命令を繰り返す場合
l：latency	命令実行結果を直後の命令で引用する場合

（5）フラグの動作に使われる略号

識別子	説　　明
（ブランク）	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

（6）条件コード

条件名 （cond）	条件コード （cccc）	条件式	説　　明
V	００００	OV = 1	Overflow
NV	１０００	OV = 0	No overflow
C/L	０００１	CY = 1	Carry Lower（Less than）
NC/NL	１００１	CY = 0	No carry Not lower（Greater than or equal）
Z/E	００１０	Z = 1	Zero Equal
NZ/NE	１０１０	Z = 0	Not zero Not equal
NH	００１１	（CY or Z）= 1	Not higher（Less than or equal）
H	１０１１	（CY or Z）= 0	Higher（Greater than）
N	０１００	S = 1	Negative
P	１１００	S = 0	Positive
T	０１０１	－	Always（無条件）
SA	１１０１	SAT = 1	Saturated
LT	０１１０	（S xor OV）= 1	Less than signed
GE	１１１０	（S xor OV）= 0	Greater than or equal signed
LE	０１１１	（（S xor OV）or Z）= 1	Less than or equal signed
GT	１１１１	（（S xor OV）or Z）= 0	Greater than signed

C.2　インストラクション・セット（アルファベット順）

(1/5)

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
ADD	reg1,reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]＋GR[reg1]		1	1	1	×	×	×	×	
	imm5,reg2	rrrrr010010iiiiii	GR[reg2]←GR[reg2]＋sign-extend(imm5)		1	1	1	×	×	×	×	
ADDI	imm16,reg1,reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend(imm16)		1	1	1	×	×	×	×	
AND	reg1,reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2]AND GR[reg1]		1	1	1		0	×	×	
ANDI	imm16,reg1,reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]AND zero-extend(imm16)		1	1	1		0	0	×	
Bcond	disp9	ddddd1011dddcccc 注1	if conditions are satisfied then PC←PC＋sign-extend(disp9)	条件成立時	2 注2	2 注2	2 注2					
				条件不成立時	1	1	1					
BSH	reg2,reg3	rrrrr11111100000 wwwww01101000010	GR[reg3]←GR[reg2](23：16)‖GR[reg2](31：24)‖GR[reg2](7：0)‖GR[reg2](15：8)		1	1	1	×	0	×	×	
BSW	reg2,reg3	rrrrr11111100000 wwwww01101000000	GR[reg3]←GR[reg2](7：0)‖GR[reg2](15：8)‖GR[reg2](23：16)‖GR[reg2](31：24)		1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiiiii	CTPC←PC＋2(return PC) CTPSW←PSW adr←CTBP＋zero-extend(imm6 logically shift left by 1) PC←CTBP＋zero-extend(Load-memory(adr, Half-word))		4	4	4					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,0)		3 注3	3 注3	3 注3				×	
	reg2,[reg1]	rrrrr111111RRRRR 0000000011100100	adr←GR[reg1] Zフラグ←Not(Load-memory-bit(adr,reg2)) Store-memory-bit(adr,reg2,0)		3 注3	3 注3	3 注3				×	
CMOV	cccc,imm5,reg2,reg3	rrrrr111111iiiii wwwww011000cccc0	if conditions are satisfied then GR[reg3]←sign-extended(imm5) else GR[reg3]←GR[reg2]		1	1	1					
	cccc,reg1,reg2,reg3	rrrrr111111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3]←GR[reg1] else GR[reg3]←GR[reg2]		1	1	1					
CMP	reg1,reg2	rrrrr001111RRRRR	result←GR[reg2]－GR[reg1]		1	1	1	×	×	×	×	
	imm5,reg2	rrrrr010011iiiiii	result←GR[reg2]－sign-extend(imm5)		1	1	1	×	×	×	×	
CTRET		0000011111100000 0000000101000100	PC←CTPC PSW←CTPSW		3	3	3	R	R	R	R	R
DI		0000011111100000 0000000101100000	PSW.ID←1		1	1	1					
DISPOSE	imm5,list12	0000011001iiiiiL LLLLLLLLLLL00000	sp←sp＋zero-extend(imm5 logically shift left by 2) GR[reg in list12]←Load-memory(sp,Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded		N+1 注4	N+1 注4	N+1 注4					
	imm5, list12, [reg1]	0000011001iiiiiL LLLLLLLLLLLRRRRR 注5	sp←sp＋zero-extend(imm5 logically shift left by 2) GR[reg in list12]←Load-memory(sp,Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded PC←GR[reg1]		N+3 注4	N+3 注4	N+3 注4					
DIV	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]		35	35	35		×	×	×	

(2/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック i	実行クロック r	実行クロック l	フラグ CY	フラグ OV	フラグ S	フラグ Z	フラグ SAT
DIVH	reg1,reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1]注6	35	35	35		×	×	×	
	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01010000000	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVHU	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01010000010	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
DIVU	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01011000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2,reg3	rrrrr11111100000 wwwww01101000100	GR[reg3]←GR[reg2](15：0)‖GR[reg2](31：16)	1	1	1	×	0	×	×	
JARL	disp22,reg2	rrrrr11110ddddd dddddddddddddd0 注7	GR[reg2]←PC＋4 PC←PC＋sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]	3	3	3					
JR	disp22	0000011110ddddd dddddddddddddd0 注7	PC←PC＋sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1],reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←sign-extend(Load-memory(adr,Byte))	1	1	n 注9					
LD.BU	disp16[reg1],reg2	rrrrr11110bRRRRR dddddddddddddd1 注8，10	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←zero-extend(Load-memory(adr,Byte))	1	1	n 注11					
LD.H	disp16[reg1],reg2	rrrrr111001RRRRR dddddddddddddd0 注8	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←sign-extend(Load-memory(adr,Half-word))	1	1	n 注9					
LD.HU	disp16[reg1],reg2	rrrrr111111RRRRR dddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←zero-extend(Load-memory(adr,Half-word))	1	1	n 注11					
LD.W	disp16[reg1],reg2	rrrrr111001RRRRR dddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) GR[reg2]←Load-memory(adr,Word)	1	1	n 注9					
LDSR	reg2,regID	rrrrr111111RRRRR 0000000000100000 注12	SR[regID]←GR[reg2]　regID=PSW以外	1	1	1					
			SR[regID]←GR[reg2]　regID=PSW				×	×	×	×	×
MOV	reg1,reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5,reg2	rrrrr010000iiiii	GR[reg2]←sign-extend(imm5)	1	1	1					
	imm32,reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16,reg1,reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend(imm16)	1	1	1					
MOVHI	imm16,reg1,reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋(imm16‖0^{16})	1	1	1					
MUL	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01000100000	GR[reg3]‖GR[reg2]←GR[reg2]×GR[reg1]	1	2 注14	2					
	imm9,reg2,reg3	rrrrr111111iiiii wwwww01001IIII00	GR[reg3]‖GR[reg2]←GR[reg2]×sign-extend(imm9) 注13	1	2 注14	2					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック i	実行クロック r	実行クロック l	フラグ CY	フラグ OV	フラグ S	フラグ Z	フラグ SAT
MULH	reg1,reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2]注6×GR[reg1]注6	1	1	2					
	imm5,reg2	rrrrr010111iiiiii	GR[reg2]←GR[reg2]注6×sign-extend(imm5)	1	1	2					
MULHI	imm16,reg1,reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]注6×imm16	1	1	2					
MULU	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01000100010	GR[reg3]‖GR[reg2]←GR[reg2]×GR[reg1]	1	2 注14	2					
	imm9,reg2,reg3	rrrrr111111iiiiii wwwww01001IIII10	GR[reg3]‖GR[reg2]←GR[reg2]×zero-extend(imm9) 注13	1	2 注14	2					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1,reg2	rrrrr000001RRRRR	GR[reg2]←NOT(GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3,disp16[reg1]	01bbb111110RRRRR dddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,Zフラグ)	3 注3	3 注3	3 注3				×	
	reg2,[reg1]	rrrrr111111RRRRR 0000000011100010	adr←GR[reg1] Zフラグ←Not(Load-memory-bit(adr,reg2)) Store-memory-bit(adr, reg2,Zフラグ)	3 注3	3 注3	3 注3				×	
OR	reg1,reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2]OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16,reg1,reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]OR zero-extend(imm16)	1	1	1		0	×	×	
PREPARE	list12,imm5	0000011110iiiiiL LLLLLLLLLLL00001	Store-memory(sp－4,GR[reg in list12],Word) sp←sp－4 repeat 1 step above until all regs in list12 is stored sp←sp-zero-extend(imm5)	N+1 注4	N+1 注4	N+1 注4					
	list12,imm5,sp/imm注15	0000011110iiiiiL LLLLLLLLLLLff011 imm16/imm32 注16	Store-memory(sp－4,GR[reg in list12],Word) sp←sp－4 repeat 1 step above until all regs in list12 is stored sp←sp-zero-extend(imm5) ep←sp/imm	N+2 注4 注17	N+2 注4 注17	N+2 注4 注17					
RETI		0000011111100000 0000000101000000	if PSW.EP=1 then PC ←EIPC PSW ←EIPSW else if PSW.NP=1 then PC ←FEPC PSW←FEPSW else PC ←EIPC PSW←EIPSW	3	3	3	R	R	R	R	R
SAR	reg1,reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2]←GR[reg2]arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010101iiiiii	GR[reg2]←GR[reg2]arithmetically shift right by zero-extend(imm5)	1	1	1	×	0	×	×	
SASF	cccc,reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2]Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2]Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1,reg2	rrrrr000110RRRRR	GR[reg2]←saturated(GR[reg2]＋GR[reg1])	1	1	1	×	×	×	×	×
	imm5,reg2	rrrrr010001iiiiii	GR[reg2]←saturated(GR[reg2]＋sign-extend(imm5))	1	1	1	×	×	×	×	×

(4/5)

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SATSUB	reg1,reg2	rrrrr000101RRRRR	GR[reg2]←saturated(GR[reg2]－GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16,reg1,reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated(GR[reg1]－sign-extend(imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1,reg2	rrrrr000100RRRRR	GR[reg2]←saturated(GR[reg1]－GR[reg2]))	1	1	1	×	×	×	×	×
SETF	cccc,reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]←00000001H else GR[reg2]←00000000H	1	1	1					
SET1	bit#3,disp16[reg1]	00bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,1)	3 注3	3 注3	3 注3				×	
	reg2,[reg1]	rrrrr111111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not(Load-memory-bit(adr,reg2)) Store-memory-bit(adr,reg2,1)	3 注3	3 注3	3 注3				×	
SHL	reg1,reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010110iiiiii	GR[reg2]←GR[reg2] logically shift left by zero-extend(imm5)	1	1	1	×	0	×	×	
SHR	reg1,reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010100iiiiii	GR[reg2]←GR[reg2] logically shift right by zero-extend(imm5)	1	1	1	×	0	×	×	
SLD.B	disp7[ep],reg2	rrrrr0110ddddddd	adr←ep＋zero-extend(disp7) GR[reg2]←sign-extend(Load-memory(adr,Byte))	1	1	n 注9					
SLD.BU	disp4[ep],reg2 注18	rrrrr0000110dddd	adr←ep＋zero-extend(disp4) GR[reg2]←zero-extend(Load-memory(adr,Byte))	1	1	n 注9					
SLD.H	disp8[ep],reg2	rrrrr1000ddddddd 注19	adr←ep＋zero-extend(disp8) GR[reg2]←sign-extend(Load-memory(adr,Half-word))	1	1	n 注9					
SLD.HU	disp5[ep],reg2 注18, 20	rrrrr0000111dddd	adr←ep＋zero-extend(disp5) GR[reg2]←zero-extend(Load-memory(adr,Half-word))	1	1	n 注9					
SLD.W	disp8[ep],reg2	rrrrr1010ddddddd0 注21	adr←ep＋zero-extend(disp8) GR[reg2]←Load-memory(adr,Word)	1	1	n 注9					
SST.B	reg2,disp7[ep]	rrrrr0111ddddddd	adr←ep＋zero-extend(disp7) Store-memory(adr,GR[reg2],Byte)	1	1	1					
SST.H	reg2,disp8[ep]	rrrrr1001ddddddd 注19	adr←ep＋zero-extend(disp8) Store-memory(adr,GR[reg2],Half-word)	1	1	1					
SST.W	reg2,disp8[ep]	rrrrr1010ddddddd1 注21	adr←ep＋zero-extend(disp8) Store-memory(adr,GR[reg2],Word)	1	1	1					
ST.B	reg2,disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend(disp16) Store-memory(adr,GR[reg2],Byte)	1	1	1					
ST.H	reg2,disp16[reg1]	rrrrr111011RRRRR dddddddddddddd0 注8	adr←GR[reg1]＋sign-extend(disp16) Store-memory(adr,GR[reg2],Half-word)	1	1	1					
ST.W	reg2,disp16[reg1]	rrrrr111011RRRRR dddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) Store-memory(adr,GR[reg2],Word)	1	1	1					
STSR	regID,reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1,reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]－GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1,reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]－GR[reg2]	1	1	1	×	×	×	×	

(5/5)

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SWITCH	reg1	00000000010RRRRR	adr←（PC＋2）＋（GR［reg1］logically shift left by 1） PC←（PC＋2）＋（sign-extend （Load-memory（adr,Half-word）） logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR［reg1］←sign-extend （GR［reg1］（7：0））	1	1	1					
SXH	reg1	00000000111RRRRR	GR［reg1］←sign-extend （GR［reg1］（15：0））	1	1	1					
TRAP	vector	00000111111iiiiii 0000000100000000	EIPC　←PC＋4（復帰PC） EIPSW　←PSW ECR.EICC ←割り込みコード PSW.EP　←1 PSW.ID　←1 PC　←00000040H（vectorが00H-0FHのとき） 00000050H（vectorが10H-1FHのとき）	3	3	3					
TST	reg1,reg2	rrrrr001011RRRRR	result←GR［reg2］ AND GR［reg1］	1	1	1		0	×	×	
TST1	bit#3,disp16［reg1］	11bbb111110RRRRR ddddddddddddddd	adr←GR［reg1］＋sign-extend（disp16） Zフラグ←Not（Load-memory-bit（adr,bit#3））	3 注3	3 注3	3 注3				×	
	reg2,［reg1］	rrrrr111111RRRRR 0000000011100110	adr←GR［reg1］ Zフラグ←Not（Load-memory-bit（adr,reg2））	3 注3	3 注3	3 注3				×	
XOR	reg1,reg2	rrrrr001001RRRRR	GR［reg2］←GR［reg2］ XOR GR［reg1］	1	1	1		0	×	×	
XORI	imm16,reg1,reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiiii	GR［reg2］←GR［reg1］ XOR zero-extend（imm16）	1	1	1		0	×	×	
ZXB	reg1	00000000100RRRRR	GR［reg1］← zero-extend（GR［reg1］（7：0））	1	1	1					
ZXH	reg1	00000000110RRRRR	GR［reg1］← zero-extend（GR［reg1］（15：0））	1	1	1					

注１．ddddddddd：disp9の上位８ビット

２．最後の命令がPSWライト・アクセスを含む場合は３クロック

３．ウエイト・ステートがない場合（3＋リード・アクセス・ウエイト・ステート数）

４．Nはリスト12のリード・レジスタの合計数（ウエイト・ステート数による。また，ウエイト・ステートがない場合，Nはリスト12のレジスタ数）

５．RRRRR：00000以外

６．下位ハーフワード・データだけ有効

７．ddddddddddddddddddddddd：disp22の上位21ビット

８．ddddddddddddddd：disp16の上位15ビット

９．ウエイト・ステート数による（ウエイト・ステートがない場合は１）

10．b：disp16のビット０

11．ウエイト・ステート数による（ウエイト・ステートがない場合は２）

12．この命令では，ニモニックの記述の都合上，ソース・レジスタをreg2としていますが，オペコード上はreg1のフィールドを使用しています。したがって，ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr＝regID指定

RRRRR＝reg2指定

13．ｉｉｉｉｉ：imm9の下位５ビット

ＩＩＩＩ：imm9の下位４ビット

注14．r = w（結果の下位32ビットがレジスタに書き込まれない），またはw = r0（結果の上位32ビットがレジスタに書き込まれない）場合は１

15．sp/imm：サブオペコードのビット19，20で指定

16．ff = 00：spをepにロード

01：符号拡張した16ビット・イミーディエト・データ（ビット47-32）をepにロード

10：16ビット論理左シフトした16ビット・イミーディエト・データ（ビット47-32）をepにロード

11：32ビット・イミーディエト・データ（ビット63-32）をepにロード

17．imm = imm32の場合はN＋３クロック

18．rrrrr：00000以外

19．ddddddd：disp8の上位７ビット

20．dddd：disp５の上位４ビット

21．dddddd：disp8の上位６ビット

付録D　総合索引

D.1　50音で始まる語句の索引

【あ行】

アイドル・ステート挿入機能　…　110
アイドル・ステート挿入タイミング　…　111
アクセス・クロック数　…　100
アシンクロナス・シリアル・インタフェース0, 1
…　275
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ０，１　…　282
アシンクロナス・シリアル・インタフェース・モード・レジスタ00, 01, 10, 11　…　278
アセンブラ予約レジスタ　…　66
アドレス空間　…　71
アドレス・マルチプレクス機能　…　130
アナログ入力電圧とA/D変換結果の関係　…　313
イニシャライズ　…　406
イメージ　…　72
インサービス・プライオリティ・レジスタ　…　207
インターバル・タイマ　…　265
インターバル・ファクタの設定例　…　147
ウエイト機能　…　106
ウエイト機能が有効なバス・サイクル　…　108
エッジ検出機能　…　197, 210
エレメント・ポインタ　…　66
応用分野　…　26
オーダ情報　…　26
オーバフロー（タイマ１）　…　255
オーバフロー（タイマ４）　…　262
オンページ／オフページの判断　…　124

【か行】

外部I/Oインタフェース　…　117
外部ROMインタフェース　…　117
外部ウエイト機能　…　107
外部拡張モード　…　82
外部トリガ・モード　…　316
外部トリガ・モード時の動作　…　332
外部メモリ領域　…　81
外部割り込みモード・レジスタ1-6　…　210, 252
カウント・クロック選択（タイマ１）　…　254
カウント・クロック選択（タイマ４）　…　262
カウント動作（タイマ１）　…　253
カウント動作（タイマ４）　…　262
キャプチャ／コンペア・レジスタ1n0-1n3（n = 0-5）
…　242
キャプチャ動作（タイマ１）　…　257
境界動作条件　…　115
グローバル・ポインタ　…　66
クロック・コントロール・レジスタ　…　223
クロック・ジェネレータ　…　220
クロック出力インヒビット・モード　…　233
クロック選択　…　222
クロック同期式シリアル・インタフェース0-3
…　290
クロック同期式シリアル・インタフェース・モード・レジスタ0-3　…　292
クロック発生機能　…　220
高速ページDRAMアクセス・タイミング　…　135
コマンド・レジスタ　…　94
コンペア動作（タイマ１）　…　260
コンペア動作（タイマ４）　…　263
コンペア・レジスタ40, 41　…　244

【さ行】

システム・ステータス・レジスタ　…　95
システム・レジスタ・セット　…　67
周期測定　…　270
周辺I/Oレジスタ　…　87
受信エラー割り込み　…　285
受信完了割り込み　…　285
受信バッファ0, 0L, 1, 1L　…　283
シリアルI/Oシフト・レジスタ0-3　…　294

シリアル・インタフェース機能　…　274
シングルステップ転送モード　…　171
シングルチップ・モード０，１　…　69
シングル転送モード　…　170
スキャン・モード　…　319
スタック・ポインタ　…　66
制御レジスタ（CG）…　226
制御レジスタ（DMAC）…　155
制御レジスタ（RPU）…　245
セルフ・リフレッシュ機能　…　150
セレクト・モード　…　316
ゼロ・レジスタ　…　66
専用ボー・レート・ジェネレータ0-2　…　301
送信完了割り込み　…　285
送信シフト・レジスタ0, 0L, 1, 1L　…　284
ソフトウエアSTOPモード　…　232
ソフトウエア例外　…　212

【た行】

タイマ１　…　241
タイマ１動作　…　253
タイマ４　…　244
タイマ４動作　…　262
タイマ10-15　…　241
タイマ40, 41　…　244
タイマ・オーバフロー・ステータス・レジスタ
…　252
タイマ／カウンタ機能　…　237
タイマ・コントロール・レジスタ10-15　…　248
タイマ・コントロール・レジスタ40, 41　…　250
タイマ出力コントロール・レジスタ10-15　…　251
タイマ・トリガ・モード　…　315
タイマ・トリガ・モード時の動作　…　323
タイマのクリア／スタート（タイマ１）…　256
タイマ・ユニット・モード・レジスタ10-15　…　245
タイム・ベース・カウンタ　…　236
ダイレクト・モード　…　222
多重割り込み処理制御　…　217
端子機能　…　35
端子状態　…　43
端子接続図　…　27
端子の入出力回路　…　63
端子の入出力回路タイプ　…　61
端子の未使用時の処理　…　61
端子名称　…　30
注意事項（A/Dコンバータ）…　336
注意事項（RPU）…　272
通常動作モード　…　69
データ・ウエイト・コントロール・レジスタ１，２
…　106
テキスト・ポインタ　…　66
転送対象　…　180
転送の種類　…　180
転送モード　…　170
動作モード　…　69
特定レジスタ　…　93
トリガ・モード　…　315

【な行】

内蔵RAM領域　…　80
内蔵ROM領域　…　75
内蔵ROM領域リロケーション機能　…　79
内蔵周辺I/Oインタフェース　…　100
内蔵周辺I/O領域　…　80
内部ブロック図　…　31
ネクスト・アドレス設定機能　…　181
ノイズ除去　…　197, 209
ノンマスカブル割り込み　…　193

【は行】

ハーフワード・アクセス　…　103
バイト・アクセス　…　102
バス・アクセス　…　100
バス・サイクル・コントロール・レジスタ　…　110
バス・サイクル・タイプ・コンフィギュレーション・
レジスタ　…　98
バス・サイクル・タイプ制御機能　…　98
バス・サイジング機能　…　101
バス・サイズ・コンフィギュレーション・レジスタ
…　101
バス制御機能　…　96
バス制御端子　…　96
バスの優先順位　…　115

バス幅　…　102
バス・ホールド機能　…　112
バス・ホールド・タイミング　…　114
発振安定時間の確保　…　234
パルス幅測定　…　266
パワー・セーブ・コントロール・レジスタ　…　226
パワー・セーブ制御　…　225
汎用レジスタ　…　66
不正命令コード　…　215
フライバイ転送　…　176
フライバイ転送データ・ウエイト・コントロール・レジスタ　…　165
フラッシュ・メモリ　…　409
フラッシュ・メモリ・プログラミング・モード　…　69, 415
フラッシュ・ライタによる書き込み方法　…　409
プログラマブル・ウエイト機能　…　106
プログラマブル・ウエイトと外部ウエイトの関係　…　107
プログラミング環境　…　410
プログラミング方法　…　414
プログラム・カウンタ　…　66
プログラム・ステータス・ワード　…　68
プログラム・レジスタ・セット　…　66
ブロック転送モード　…　171
ページROMアクセス　…　127
ページROMコントローラ　…　122
ページROMコンフギュレーション・レジスタ　…　126
ポート０　…　363
ポート０モード・コントロール・レジスタ　…　364
ポート０モード・レジスタ　…　363
ポート１　…　366
ポート１モード・コントロール・レジスタ　…　367
ポート１モード・レジスタ　…　366
ポート２　…　369
ポート２モード・コントロール・レジスタ　…　371
ポート２モード・レジスタ　…　370
ポート３　…　372
ポート３モード・コントロール・レジスタ　…　374
ポート３モード・レジスタ　…　373
ポート４　…　375
ポート４モード・レジスタ　…　376
ポート５　…　377
ポート５モード・レジスタ　…　378
ポート６　…　379
ポート６モード・レジスタ　…　380
ポート７　…　381
ポート８　…　382
ポート８モード・コントロール・レジスタ　…　384
ポート８モード・レジスタ　…　383
ポート９　…　386
ポート９モード・コントロール・レジスタ　…　388
ポート９モード・レジスタ　…　387
ポート10　…　389
ポート10モード・コントロール・レジスタ　…　390
ポート10モード・レジスタ　…　389
ポート11　…　392
ポート11モード・コントロール・レジスタ　…　394
ポート11モード・レジスタ　…　393
ポート12　…　396
ポート12モード・コントロール・レジスタ　…　397
ポート12モード・レジスタ　…　396
ポートＡ　…　398
ポートＡモード・レジスタ　…　398
ポートＢ　…　400
ポートＢモード・レジスタ　…　400
ポートＸ　…　402
ポートＸモード・コントロール・レジスタ　…　404
ポートＸモード・レジスタ　…　403
ポート機能　…　342
ポート／コントロール選択レジスタ０　…　365
ポート／コントロール選択レジスタ１　…　368
ポート／コントロール選択レジスタ３　…　375
ポート／コントロール選択レジスタ８　…　385
ポート／コントロール選択レジスタ10　…　391
ポート／コントロール選択レジスタ11　…　395
ポートのブロック図　…　348
ボー・レート・ジェネレータ・コンペア・レジスタ0-2　…　304
ボー・レート・ジェネレータ・プリスケーラ・モード・レジスタ0-2　…　305

【ま行】

マスカブル割り込み　…　198

マスカブル割り込みの優先順位　…　201
ミス・アライン・データの転送　…　185
メモリ・アクセス制御機能　…　117
メモリ拡張モード・レジスタ　…　82
メモリ境界　…　185
メモリ・ブロック機能　…　97
メモリ・マップ　…　74

【ら行】

ラップ・アラウンド　…　73
リアルタイム・パルス・ユニット　…　237
リセット機能　…　405
リフレッシュ・ウエイト・コントロール・レジスタ
…　147
リフレッシュ・コントロール・レジスタ0-3　…　145
リフレッシュ制御機能　…　145
リフレッシュ・タイミング　…　149
リンク・ポインタ　…　66
例外トラップ　…　215
例外トラップ時状態退避レジスタ　…　67

【わ行】

ワード・アクセス　…　103
割り込み応答時間　…　219
割り込みが受け付けられない期間　…　219
割り込み時状態退避レジスタ　…　67
割り込み制御レジスタ　…　205
割り込み要因レジスタ　…　67
割り込み／例外処理機能　…　189
割り込み／例外テーブル　…　77

D.2　アルファベットで始まる語句の索引

【A】

A0-A7 … 57
A8-A15 … 57
A16-A23 … 50
ADn0-ADn9（n = 0-7） … 312
ADCR0-ADCR7 … 312
ADCR0H-ADCR7H … 312
ADIC … 207
ADIF … 207
ADM0 … 309
ADM1 … 311
ADMK … 207
ADPR0-ADPR2 … 207
ADTRG … 56
A/Dコンバータ … 306
A/Dコンバータ基本動作 … 314
A/Dコンバータ・モード・レジスタ0 … 309
A/Dコンバータ・モード・レジスタ1 … 311
A/Dトリガ・モード … 315
A/Dトリガ・モード時の動作 … 320
A/D変換結果レジスタ … 312
ALV1n0, ALV1n1（n = 0-5）… 251
ANI0-ANI7 … 50
ANIS0-ANIS2 … 309
ASIM00, ASIM01, ASIM10, ASIM11 … 278
ASIS0, ASIS1 … 282
AV_{DD} … 60
AV_{REF} … 60
AV_{SS} … 60

【B】

BC0-BC15 … 159
BCC … 110
BCn0, BCn1（n = 0-7）… 110
BCT … 98
$\overline{\text{BCYST}}$ … 53
BPRM0-BPRM2 … 305
BPRn0-BPRn2（n = 0-2）… 305
BRCE0-BRCE2 … 305
BRG0-BRG2 … 301
BRGC0-BRGC2 … 304
BRGn0-BRGn7（n = 0-2）… 304
BS … 309
BSC … 101
BSn0, BSn1（n = 0-7）… 101
BTn0, BTn1（n = 0-7）… 98

【C】

CALLT実行時状態退避レジスタ … 67
CALLTベース・ポインタ … 67
CBRセルフ・リフレッシュ・タイミング … 151
CBRリフレッシュ・タイミング … 149
CC1n0-CC1n3（n = 0-5）… 242
CE … 309
CE10-CE15 … 248
CE40, CE41 … 250
CES1n0, CES1n1（n = 0-5）… 246
CESEL … 227
CG … 220
CH0-CH3 … 164
CKC … 223
CKDIV0, CKDIV1 … 223
CKSEL … 58
CL0, CL1 … 279
CLKOUT … 58
CLSn0, CLSn1（n = 0-3）… 293
CM40, CM41 … 244
CMIC40, CMIC41 … 206
CMIF40, CMIF41 … 206
CMMK40, CMMK41 … 206
CMPR40n, CMPR41n（n = 0-2）… 206
CMS1n0-CMS1n3（n = 0-5）… 246
CPC0n, CPC1n（n = 0-3）… 132
CPUアドレス空間 … 71
CPU機能 … 64
CPUへのバス・アービトレーション … 188
CPUレジスタ・セット … 65
CRXE0-CRXE3 … 292
CS … 309

$\overline{CS0}$-$\overline{CS7}$ … 51
CSI0-CSI3 … 290
CSIC0-CSIC3 … 206
CSIF0-CSIF3 … 206
CSIM0-CSIM3 … 292
CSMK0-CSMK3 … 206
CSOT0-CSOT3 … 292
CSPRmn（m = 0-3, n = 0-2）… 206
CTBP … 67
CTPC … 67
CTPSW … 67
CTXE0-CTXE3 … 292
CV_{DD} … 60
CV_{SS} … 60
CY … 68

【D】

D0-D7 … 49
D8-D15 … 49
DA0-DA15 … 158
DA16-DA25 … 157
DAC0n, DAC1n（n = 0-3）… 132
DAD0, DAD1 … 160
DADC0-DADC3 … 160
DAW0n, DAW1n（n = 0-3）… 133
DBC0-DBC3 … 159
DBPC … 67
DBPSW … 67
DCHC0-DCHC3 … 162
DCLK0, DCLK1 … 227
DCm0, DCm1（m = 0-7）… 134
DDA0-DDA3 … 157
DDIS … 164
$\overline{DMAAK0}$-$\overline{DMAAK3}$ … 46
DMAC … 153
DMACバス・サイクルの状態遷移図 … 169
DMAIC0-DMAIC3 … 206
DMAIF0-DMAIF3 … 206
DMAMK0-DMAMK3 … 206
DMAPRmn-DMAPRmn（m = 0-3,　n = 0-2）… 206
$\overline{DMARQ0}$-$\overline{DMARQ3}$ … 45
$\overline{DMARQ0}$-$\overline{DMARQ3}$信号によるシングル転送時の1回転送 … 187
DMAアドレシング・コントロール・レジスタ0-3 … 160
DMA機能 … 153
DMAコントローラ … 153
DMAソース・アドレス・レジスタ0-3 … 155
DMAチャネル・コントロール・レジスタ0-3 … 162
DMAチャネルの優先順位 … 181
DMAディスエーブル・ステータス・レジスタ … 164
DMAデスティネーション・アドレス・レジスタ0-3 … 157
DMA転送起動要因 … 182
DMA転送時の外部バス・サイクル … 180
DMA転送に関する各種時間 … 185
DMA転送の終了 … 183
DMA転送の中断 … 183
DMAトリガ要因レジスタ0-3 … 163
DMAバイト・カウント・レジスタ0-3 … 159
DMAバス・ステート … 166
DMAフライバイ転送時のDRAMアクセス … 143
DMAリスタート・レジスタ … 165
DRAMアクセス … 135
DRAMコントローラ … 128
DRAMコンフィギュレーション・レジスタ0-3 … 131
DRAMタイプ・コンフィギュレーション・レジスタ … 134
DRAMの接続 … 129
DRAMのリフレッシュ間隔の例 … 147
DRC0-DRC3 … 131
DRST … 165
DS … 160
DSA0-DSA3 … 155
DTC … 134
DTFR0-DTFR3 … 163
DWC1, DWC2 … 106
DWn0-DWn2（n = 0-7）… 106

【E】

EBS0, EBS1 … 281
ECLR10-ECLR15 … 245

ECR … 67
EDO DRAMアクセス・タイミング … 139
EICC … 67
EIPC … 67
EIPSW … 67
EN0-EN3 … 162
ENTO1n0, ENTO1n1（n = 0-5）… 251
EP … 68
ESmn0, ESmn1（m = 0-5, n = 0-3）… 211
ETI10-ETI15 … 248

【F】

FDW … 165
FDW0-FDW7 … 165
FE0, FE1 … 282
FECC … 67
FEPC … 67
FEPSW … 67
FR0-FR2 … 311

【H】

HALTモード … 228
$\overline{\text{HLDAK}}$ … 53
$\overline{\text{HLDRQ}}$ … 53
HV_{DD} … 60

【I】

ID … 68
IDLE … 227
IDLEモード … 230
IFCn0-IFCn5（n = 0-3） … 163
IMS1n0-IMS1n3（n = 0-5）… 246
INIT0-INIT3 … 162
INTC … 189
INTM0 … 197
INTM1-INTM6 … 210, 252
INTP100-INTP103 … 45
INTP110-INTP113 … 46
INTP120-INTP123 … 54
INTP130-INTP133 … 48
INTP140-INTP143 … 55
INTP150-INTP153 … 56
INTSER0, INTSER1 … 285
INTSR0, INTSR1 … 285
INTST0, INTST1 … 285
$\overline{\text{IORD}}$ … 51
$\overline{\text{IOWR}}$ … 52
ISPR … 207
ISPR0-ISPR7 … 207

【L】

$\overline{\text{LCAS}}$ … 52
LOCK … 95
$\overline{\text{LWR}}$ … 52

【M】

MA3-MA5 … 126
MM … 82
MM0-MM3 … 83
MOD0-MOD3 … 293
MODE0-MODE3 … 59
MS … 309

【N】

NMI … 47
NMI時状態退避レジスタ … 67
NP … 68

【O】

$\overline{\text{OE}}$ … 53
OST0-OST5 … 245
OV … 68
OVE0, OVE1 … 282
OVFn（n = 10-15, 40, 41）… 252
OVIC10-OVIC15 … 206
OVIF10-OVIF15 … 206
OVMK10-OVMK15 … 206
OVPR1mn（m = 0-5, n = 0-2）… 206

【P】

P0 … 363
P00-P07 … 45, 363
P1 … 366
P2 … 369
P3 … 372
P4 … 375
P5 … 377
P6 … 379
P7 … 381
P8 … 382
P9 … 386
P10 … 389
P10-P17 … 46, 366
P10IC0-P10IC3 … 206
P10IF0-P10IF3 … 206
P10MK0-P10MK3 … 206
P10PRmn（m = 0-3, n = 0-2）… 206
P11 … 392
P11IC0-P11IC3 … 206
P11IF0-P11IF3 … 206
P11MK0-P11MK3 … 206
P11PRmn（m = 0-3, n = 0-2）… 206
P12 … 396
P12IC0-P12IC3 … 206
P12IF0-P12IF3 … 206
P12MK0-P12MK3 … 206
P12PRmn（m = 0-3, n = 0-2）… 206
P13IC0-P13IC3 … 206
P13IF0-P13IF3 … 206
P13MK0-P13MK3 … 206
P13PRmn（m = 0-3, n = 0-2）… 206
P14IC0-P14IC3 … 206
P14IF0-P14IF3 … 206
P14MK0-P14MK3 … 206
P14PRmn（m = 0-3, n = 0-2）… 206
P15IC0-P15IC3 … 206
P15IF0-P15IF3 … 206
P15MK0-P15MK3 … 206
P15PRmn（m = 0-3, n = 0-2）… 206
P20-P27 … 47, 369
P30-P37 … 48, 372
P40-P47 … 49, 375
P50-P57 … 49, 377
P60-P67 … 50, 379
P70-P77 … 50, 381
P80-P87 … 51, 382
P90-P97 … 52, 386
P100-P107 … 54, 389
P110-P117 … 55, 392
P120-P127 … 56, 396
PA … 398
PA0-PA7 … 57, 398
PAE … 126
PAE0n, PAE1n（n = 0-3）… 131
PB … 400
PB0-PB7 … 57, 400
PC … 66
PCS0 … 365
PCS04-PCS07 … 365
PCS1 … 368
PCS3 … 375
PCS8 … 385
PCS10 … 391
PCS11 … 395
PCS14-PCS17 … 368
PCS35 … 375
PCS84, PCS85 … 385
PCS104-PCS107 … 391
PCS115 … 395
PE0, PE1 … 282
PLLモード … 222
PLLロックアップ … 224
PM0 … 363
PM00-PM07 … 363
PM1 … 366
PM2 … 370
PM3 … 373
PM4 … 376
PM5 … 378
PM6 … 380
PM8 … 383
PM9 … 387
PM10（レジスタ）… 389
PM10-PM17（ビット）… 366

PM11 … 393
PM12 … 396
PM21-PM27 … 370
PM30-PM37 … 373
PM40-PM47 … 376
PM50-PM57 … 378
PM60-PM67 … 380
PM80-PM87 … 383
PM90-PM97 … 387
PM100-PM107 … 389
PM110-PM117 … 393
PM120-PM127 … 396
PMA … 398
PMA0-PMA7 … 398
PMB … 400
PMB0-PMB7 … 400
PMC0 … 364
PMC00-PMC07 … 364
PMC1 … 367
PMC2 … 371
PMC3 … 374
PMC8 … 384
PMC9 … 388
PMC10（レジスタ）… 390
PMC10-PMC17（ビット）… 367
PMC11 … 394
PMC12 … 397
PMC22-PMC27 … 371
PMC30-PMC37 … 374
PMC80-PMC87 … 384
PMC90-PMC97 … 388
PMC100-PMC107 … 390
PMC110-PMC117 … 394
PMC120-PMC127 … 397
PMCX … 404
PMCX5-PMCX7 … 404
PMX … 403
PMX5-PMX7 … 403
PRC … 126
PRCMD … 94
PRERR … 95
PRM1n1（n = 0-5）… 249
PRM4n0, PRM4n1（n = 0, 1）… 250
PRS1n0, PRS1n1（n = 0-5）… 249
PRS400, PRS410 … 250
PRW0-PRW2 … 126
PS00, PS01, PS10, PS11 … 279
PSC … 226
PSW … 68
PWM出力 … 268
PX … 402
PX5-PX7 … 58, 402

【R】

r0-r31 … 66
$\overline{\text{RAS0}}$-$\overline{\text{RAS7}}$ … 51
RCCn0, RCCn1（n = 0-3）… 146
RCW0-RCW2 … 148
$\overline{\text{RD}}$ … 53
$\overline{\text{REFRQ}}$ … 58
REG0-REG7 … 94
REN0-REN3（DRSTレジスタ）… 165
RENn（RFCnレジスタ）（n = 0-3）… 145
$\overline{\text{RESET}}$ … 60
RFC0-RFC3 … 145
RHC0n, RHC1n（n = 0-3）… 132
RHD0-RHD3 … 132
RIn0-RIn5（n = 0-3）… 146
ROMC … 122
ROMレス・モード0, 1 … 69
RPC0n, RPC1n（n = 0-3）… 131
RRW0, RRW1 … 148
RWC … 147
RXB0, RXB0L, RXB1, RXB1L … 283
RXBn0-RXBn7（n = 0, 1）… 283
RXD0, RXD1 … 47
RXE0, RXE1 … 278
RXEB0, RXEB1 … 283

【S】

S … 68
SA0-SA15 … 156
SA16-SA25 … 155
SAD0, SAD1 … 160

SAT … 68
$\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ … 47
$\overline{\text{SCK2}}$ … 48
$\overline{\text{SCK3}}$ … 55
SCLS00, SCLS01, SCLS10, SCLS11 … 280
SEIC0, SEIC1 … 206
SEIF0, SEIF1 … 206
SEMK0, SEMK1 … 206
SEPR0n, SEPR1n（n = 0-2）… 206
SI0, SI1 … 47
SI2 … 48
SI3 … 55
SIO0-SIO3 … 294
SIOn0-SIOn7（n = 0-3）… 294
SL0, SL1 … 280
SO0, SO1 … 47
SO2 … 48
SO3 … 55
SOT0, SOT1 … 282
SRAMインタフェース … 117
SRAMの接続 … 117
SRIC0 … 206
SRIC1 … 207
SRIF0 … 206
SRIF1 … 207
SRMK0 … 206
SRMK1 … 207
SRPR0n（n = 0-2）… 206
SRPR1n（n = 0-2）… 207
SRW0-SRW2 … 148
STG0-STG3 … 162
STIC0 … 206
STIC1 … 207
STIF0 … 206
STIF1 … 207
STMK0 … 206
STMK1 … 207
STP … 227
STPR0n（n = 0-2）… 206
STPR1n（n = 0-2）… 207
SYS … 95

【T】

TBC … 236
TBCS … 227
TC0-TC3 … 162
$\overline{\text{TC0}}$-$\overline{\text{TC3}}$ … 54
TCLR10 … 45
TCLR11 … 46
TCLR12 … 54
TCLR13 … 48
TCLR14 … 55
TCLR15 … 56
TDIR … 161
TES1n0, TES1n1（n = 0-5）… 246
TI10 … 45
TI11 … 46
TI12 … 54
TI13 … 48
TI14 … 55
TI15 … 56
TM0, TM1 … 161
TM10-TM15 … 241
TM40, TM41 … 244
TMC10-TMC15 … 248
TMC40, TMC41 … 250
TO100, TO101 … 45
TO110, TO111 … 46
TO120, TO121 … 54
TO130, TO131 … 48
TO140, TO141 … 55
TO150, TO151 … 56
TOC10-TOC15 … 251
TOVS … 252
TRG0-TRG2 … 311
TTYP … 161
TUM10-TUM15 … 245
TXD0, TXD1 … 47
TXE0, TXE1 … 278
TXED0, TXED1 … 284
TXS0, TXS0L, TXS1, TXS1L … 284
TXSn0-TXSn7（n = 0, 1）… 284

【U】

UART0, UART1　…　275
$\overline{\text{UCAS}}$　…　52
$\overline{\text{UWR}}$　…　52

【V】

V_{DD}　…　60
V_{PP}　…　60
V_{SS}　…　60

【W】

$\overline{\text{WAIT}}$　…　58
$\overline{\text{WE}}$　…　53

【X】

X1, X2　…　60

【Z】

Z　…　68

【その他】

2サイクル転送　…　172

★

付録Ｅ　改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

版　数	前版からの改訂内容	適用箇所
第５版	１.４　オーダ情報　変更	第１章　イントロダクション
	１.５　端子接続図（Top View）　変更	
	２.３（９）（ｂ）（ⅲ）$\overline{\text{IORD}}$（I/O Read）…３ステート出力　記述修正	第２章　端子機能
	３.２（１）プログラム・レジスタ・セット　修正	第３章　CPU機能
	３.２.１（１）汎用レジスタ　記述修正	
	表３－１　プログラム・レジスター覧　修正	
	６.５.１　シングル転送モード　記述修正	第６章　DMA機能
	７.７　割り込み応答時間　記述修正	第７章　割り込み／例外処理機能
	図７－13　割り込み要求受け付け時のパイプライン動作（概略）　修正	
	８.３　入力クロック選択　記述修正	第８章　クロック発生機能
	８.３.１　ダイレクト・モード　記述修正	
	表８－６　カウント時間例（ϕ = ５×f_{XX}）　修正	
	11.３（３）A/D変換結果レジスタ（ADCR0-ADCR7, ADCR0H-ADCR7H）　記述追加	第11章　A/Dコンバータ
	14.６.４　通信コマンド　記述修正	第14章　フラッシュ・メモリ
	付録Ａ　注意事項　追加	付録Ａ　注意事項
第６版	７.３.４　割り込み制御レジスタに注意を追加	第７章　割り込み／例外処理機能
	７.３.５　インサービス・プライオリティ・レジスタ（ISPR）に注意を追加	
	７.３.８　エッジ検出機能を変更	
	11.２（10）AV_{DD}端子を追加	第11章　A/Dコンバータ
	11.２（11）AV_{SS}端子を追加	
	11.３（２）A/Dコンバータ・モード・レジスタ１（ADM1）の備考を変更	
	図11－３　セレクト・モードの動作タイミング例：１バッファ・モード（ANI1）を変更	
	図11－４　セレクト・モードの動作タイミング例：４バッファ・モード（ANI6）を変更	
	図11－５　スキャン・モードの動作タイミング例：４チャネル・スキャン（ANI0-ANI3）を変更	
	11.７　外部トリガ・モード時の動作を変更	
	11.８.３（２）IDLEモード，ソフトウエアSTOPモードを変更	
	11.８.６　タイマ１トリガ・モード，外部トリガ・モード時の再変換動作を追加	
	11.８.７　A/D変換時間についての補足を追加	
	12.３.10　ポート９を変更	第12章　ポート機能
	12.３.16　ポートＸを変更	
	付録Ａ　注意事項を変更	付録Ａ　注意事項
	付録Ｅ　改版履歴を追加	付録Ｅ　改版履歴

〔メ　モ〕

お問い合わせ先

【技術的なお問い合わせ先】

ＮＥＣ半導体テクニカルホットライン
（電話：午前 9:00〜12:00，午後 1:00〜5:00）

電　話　：044−435−9494
FAX　：044−435−9608
E-mail　：info@lsi.nec.co.jp

【営業関係お問い合わせ先】

システムLSI第一営業事業部

東　京	(03)3798−6106, 6107, 6108, 6155
大　阪	(06)6945−3178, 3200, 3208
名古屋	(052)222−2375
仙　台	(022)267−8740
水　戸	(029)226−1702
広　島	(082)242−5504
鳥　取	(0857)27−5313
松　山	(089)945−4149

システムLSI第二営業事業部

東　京	(03)3798−6110, 6111, 6112, 6151, 6156
名古屋	(052)222−2170, 2190
松　本	(0263)35−1662
前　橋	(027)243−6060
立　川	(042)526−5981
静　岡	(054)254−4794
金　沢	(076)232−7303
福　岡	(092)261−2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロンデバイス　ホームページ】

NECエレクトロンデバイスの情報がインターネットでご覧になれます。　URL（アドレス）　http://www.ic.nec.co.jp/

アンケート記入のお願い

お手数ですが，このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

［ドキュメント名］V850E/MS1　ユーザーズ・マニュアル　ハードウエア編
（U12688JJ6V0UM00（第６版））

［お名前など］（さしつかえのない範囲で）

御社名（学校名，その他）　（　　）
ご住所　（　　）
お電話番号　（　　）
お仕事の内容　（　　）
お名前　（　　）

１．ご評価（各欄に○をご記入ください）

項　　目	大変良い	良　い	普　通	悪　い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
その他（　　）					
（　　）					

２．わかりやすい所（第　章，第　章，第　章，第　章，その他　　）

理由［　　］

３．わかりにくい所（第　章，第　章，第　章，第　章，その他　　）

理由［　　］

４．ご意見，ご要望

５．このドキュメントをお届けしたのは
NEC販売員，特約店販売員，その他（　　）

ご協力ありがとうございました。
下記あてにFAXで送信いただくか，最寄りの販売員にコピーをお渡しください。

日本電気（株）NECエレクトロンデバイス
半導体テクニカルホットライン
FAX：（044）435-9608

2000.6

キリトリ