

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# ユーザーズ・マニュアル

## V850/SA1

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

---

μPD703014A	μPD70F3015B
μPD703014AY	μPD70F3015BY
μPD703014B	μPD70F3017A
μPD703014BY	μPD70F3017AY
μPD703015A	
μPD703015AY	
μPD703015B	
μPD703015BY	
μPD703017A	
μPD703017AY	

(メモ)

## 目次要約

第1章	イントロダクション	...	28
第2章	端子機能	...	41
第3章	CPU機能	...	62
第4章	バス制御機能	...	92
第5章	割り込み/例外処理機能	...	109
第6章	クロック発生機能	...	141
第7章	タイマ/カウンタ機能	...	157
第8章	時計用タイマ機能	...	212
第9章	ウォッチドッグ・タイマ機能	...	217
第10章	シリアル・インタフェース機能	...	225
第11章	A/Dコンバータ	...	312
第12章	DMA機能	...	334
第13章	リアルタイム出力機能 (RTO)	...	344
第14章	ポート機能	...	352
第15章	リセット機能	...	400
第16章	フラッシュ・メモリ	...	401
第17章	電気的特性	...	438
第18章	外形図	...	466
第19章	半田付け推奨条件	...	468
付録A	ターゲット・システム設計上の注意	...	472
付録B	レジスタ索引	...	474
付録C	命令セット一覧	...	479
付録D	総合索引	...	486
付録E	改版履歴	...	495

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 :  $\mu$  PD70F3015B, 70F3015BY, 70F3017A, 70F3017AY

ユーザ判定品 :  $\mu$  PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AY

- 本資料に記載されている内容は2005年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

## 本版で改訂された主な箇所 (1/3)

箇 所	内 容
全般	$\mu$ PD703014B, 703014BY, 703015B, 703015BY, 70F3015B, 70F3015BYを追加 $\mu$ PD703014AGC, 703014AYGC, 703015AGC, 703015AYGCを削除
p.28	表1 - 1 V850/SA1の製品一覧 追加
p.29	1.2 特 徴 最小命令実行時間に記述追加
p.31	1.4 オータ情報 製品削除および追加
p.33	1.5 端子接続図 製品削除および追加
p.38	1.6.2(2) バス・コントロール・ユニット (BCU) 記述削除
p.41	表2 - 1 各端子の入出力バッファ電源 追加
p.46	表2 - 2 動作モードによる各端子の動作状態 記述変更
p.52	2.3(7) P60-P65 (Port 6) 記述変更
p.56	2.3(13) CLKOUT (Clock Out) 追加
p.58	2.4 端子の入出力回路タイプと未使用時の処理 記述追加および変更
p.61	2.5 端子の入出力回路 記述変更
p.62	3.1 特 徴 最小命令実行時間に記述追加
p.66	3.2.2(2) プログラム・ステータス・ワード 記述変更
p.83	図3 - 16 推奨メモリ・マップ 記述変更
p.86	3.4.8 周辺I/Oレジスタ 記述追加
p.89	3.4.9 特定レジスタ 記述追加および変更
p.116	5.2.4 外部割り込み要求入力端子のノイズ除去 記述追加
p.117	5.2.5 外部割り込み要求入力端子のエッジ検出機能 記述追加
p.125	5.3.4 割り込み制御レジスタ (xxICn) 注意追加
p.128	5.3.5 インサースビス・プライオリティ・レジスタ (ISPR) 注意追加
p.139	5.8.1 EI命令後の割り込み要求有効タイミング 追加
p.140	5.9 DMA転送時の割り込み制御レジスタのビット操作命令 追加
p.141	6.1(1) メイン・クロック発振回路 記述変更
p.141	6.1(2) サブクロック発振回路 記述変更
p.142	図6 - 1 クロック発生回路 記述変更
p.143	6.3.1(1) プロセッサ・クロック・コントロール・レジスタ (PCC) 注追加
p.144	6.3.1(1)(b) サブクロック動作 メイン・クロック動作の設定例 記述変更
p.145	6.3.1(2) パワー・セーブ・コントロール・レジスタ (PSC) 注および注意追加
p.152	6.4.4(1) 設定および動作状態 記述変更
p.155	6.6 パワー・セーブ機能に関する注意事項 追加
p.160	7.1.3(2) キャプチャ/コンペア・レジスタ00, 10 (CR00, CR10) 注意変更
p.161	7.1.3(3) キャプチャ/コンペア・レジスタ01, 11 (CR01, CR11) 注意変更
p.189	図7 - 27 キャプチャ・レジスタのデータ保持タイミング 変更
p.189	7.2.7(6)(C) ワンショット・パルス出力機能について 追加
p.193	7.3.1 概 要 追加
p.200	7.3.4(2) 8ビット・タイマ・モード・コントロール・レジスタ2-5 (TMC2-TMC5) 注意変更
p.246	10.3.2(3) IICクロック選択レジスタ (IICCL0), IIC機能拡張レジスタ0 (IICX0) 記述変更

## 本版で改訂された主な箇所 (2/3)

箇 所	内 容
p.299-303	図10 - 25 ~ 図10 - 29 追加
p.316	11.3 (1) A/Dコンバータ・モード・レジスタ (ADM) 記述変更
p.317	表11 - 2 A/D変換時間の選択 追加
p.329	11.6 A/Dコンバータ特性表の読み方 追加
p.334	12.1 機 能 記述変更
p.334	12.2 転送終了割り込み要求 削除, 12.2 特 徴 追加
p.335	12.3 構 成 追加
p.337	図12 - 2 DRAnの設定値と内蔵RAM (4 Kバイト) 領域の対応 追加
p.338	図12 - 3 DRAnの設定値と内蔵RAM (8 Kバイト) 領域の対応 追加
p.342	12.5 動 作 追加
p.343	12.6 注 意 追加
p.344	13.2 特 徴 追加
p.346	13.3 (2) 出力ラッチ 追加
p.349	13.5 使用方法 記述変更
p.351	13.7 注意事項 記述追加
p.352	表14 - 1 各端子の入出力バッファ電源 追加
p.384	14.2.8 (1) P9端子の機能 注意追加
p.399	14.4 ポートの動作 追加
p.401	第16章 フラッシュ・メモリ 注意追加
p.402	16.1.1 消去単位 記述変更
p.404	図16 - 1 V850/SA1フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線例 追加
p.405	表16 - 1 V850/SA1フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線表 追加
p.406	図16 - 2 V850/SA1フラッシュ書き込み用アダプタ (FA-121F1-EA6) の配線例 追加
p.407	表16 - 2 V850/SA1フラッシュ書き込み用アダプタ (FA-121F1-EA6) の配線表 追加
p.417	16.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング 追加
p.438	第17章 電気的特性 追加
p.466	第18章 外形図 追加
p.468	第19章 半田付け推奨条件 追加
p.472	付録A ターゲット・システム設計上の注意 追加
p.474	付録B レジスタ索引 記述追加
p.495	付録E 改版履歴 追加

## 本版で改訂された主な箇所 (3/3)

修正版 (U12768JJ4V1UD00) で改訂された主な箇所	
全般	<p><b>次の鉛フリー対応製品追加</b></p> <p>μ PD703014AF1-xxx-EA6-A, 703014AYF1-xxx-EA6-A, 703014BF1-xxx-EA6-A,                      703014BGC-xxx-8EU-A, 703014BYF1-xxx-EA6-A, 703014BYGC-xxx-8EU-A,                      703015AF1-xxx-EA6-A, 703015AYF1-xxx-EA6-A, 703015BF1-xxx-EA6-A, 703015BGC-xxx-8EU-A,                      703015BYF1-xxx-EA6-A, 703015BYGC-xxx-8EU-A, 703017AF1-xxx-EA6-A,                      703017AGC-xxx-8EU-A, 703017AYF1-xxx-EA6-A, 703017AYGC-xxx-8EU-A, 70F3015BF1-EA6-A,                      70F3015BGC-8EU-A, 70F3015BYF1-EA6-A, 70F3015BYGC-8EU-A, 70F3017AF1-EA6-A,                      70F3017AGC-8EU-A, 70F3017AYF1-EA6-A, 70F3017AYGC-8EU-A</p>
p.468	<p><b>第19章 半田付け推奨条件に鉛フリー対応品を追加</b></p>

本文欄外の★印は、本版で改訂された主な箇所を示しています。

# はじめに

**対象者** このマニュアルは、V850/SA1(μPD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AY, 70F3015B, 70F3015BY, 70F3017A, 70F3017AY)の機能を理解し、それをを用いた応用システムを設計するユーザを対象とします。

**目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。

**構成** V850/SA1のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850シリーズ ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

## ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

## アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

**読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

**付録B レジスタ索引**を利用してください。

機能名などが分かっている、その詳細を確認するとき

**付録D 総合索引**を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850シリーズ **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通りV850/SA1の機能を理解しようとするとき

目次に従ってお読みください。

V850/SA1の電気的特性を知りたいとき

**第17章 電気的特性**を参照してください。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁  
アクティブ・ロウの表記： $\overline{xxx}$ （端子，信号名称に上線）  
メモリ・マップのアドレス：上部 - 上位，下部 - 下位  
注：本文中に付けた注の説明  
注意：気を付けて読んでいただきたい内容  
備考：本文の補足説明  
数の表記：2進数 ... xxxxまたはxxxxB  
10進数 ... xxxx  
16進数 ... xxxxH  
2のべき数を示す接頭語（アドレス空間，メモリ容量）：  
K（キロ）... $2^{10} = 1024$   
M（メガ）... $2^{20} = 1024^2$   
G（ギガ）... $2^{30} = 1024^3$

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

**V850/SA1に関する資料**

資料名	資料番号
V850シリーズ ユーザーズ・マニュアル アーキテクチャ編	U10243J
V850/SA1 アプリケーション・ノート	U13851J
V850/SA1 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V850シリーズ ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング	U15673J

**開発ツールに関する資料 (ユーザーズ・マニュアル)**

資料名	資料番号	
IE-703002-MC (インサーキット・エミュレータ)	U11595J	
IE-703017-MC-EM1 (インサーキット・エミュレータ・オプション・ボード)	U12898J	
CA850 Ver.2.40以上 Cコンパイラ・パッケージ	操作編	U15024J
	C言語編	U15025J
	プロジェクト・マネージャ編	U15026J
	アセンブリ言語編	U15027J
ID850 Ver.2.40 統合ディバッガ	操作編 Windows®ベース	U15181J
SM850 Ver.2.40 システム・シミュレータ	操作編 Windowsベース	U15182J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.13以上 リアルタイムOS	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro Ver.3.13 リアルタイムOS	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850 Ver.3.01 タスク・ディバッガ		U13737J
RD850 Pro Ver.3.01 タスク・ディバッガ		U13916J
AZ850 Ver.3.0 システム・パフォーマンス・アナライザ		U14410J
PG-FP3 フラッシュ・メモリ・プログラマ		U13502J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J

# 目 次

<b>第1章</b>	<b>イントロダクション</b>	... 28
1.1	概 説	... 28
1.2	特 徴	... 29
1.3	応用分野	... 31
1.4	オーダ情報	... 31
1.5	端子接続図	... 33
1.6	機能ブロック構成	... 37
1.6.1	内部ブロック図	... 37
1.6.2	内部ユニット	... 38
<b>第2章</b>	<b>端子機能</b>	... 41
2.1	端子機能一覧	... 41
2.2	端子状態	... 46
2.3	端子機能の説明	... 47
2.4	端子の入出力回路タイプと未使用時の処理	... 58
2.5	端子の入出力回路	... 60
<b>第3章</b>	<b>CPU機能</b>	... 62
3.1	特 徴	... 62
3.2	CPUレジスタ・セット	... 63
3.2.1	プログラム・レジスタ・セット	... 64
3.2.2	システム・レジスタ・セット	... 65
3.3	動作モード	... 68
3.4	アドレス空間	... 69
3.4.1	CPUアドレス空間	... 69
3.4.2	イメージ	... 70
3.4.3	CPUアドレス空間のラップ・アラウンド	... 71
3.4.4	メモリ・マップ	... 72
3.4.5	領 域	... 73
3.4.6	外部拡張モード	... 80
3.4.7	アドレス空間の推奨使用方法	... 82
3.4.8	周辺I/Oレジスタ	... 84
3.4.9	特定レジスタ	... 89
<b>第4章</b>	<b>バス制御機能</b>	... 92
4.1	特 徴	... 92
4.2	バス制御端子と制御レジスタ	... 92
4.2.1	バス制御端子	... 92
4.2.2	制御レジスタ	... 93
4.3	バス・アクセス	... 93

4.3.1	アクセス・クロック数	...	93
4.3.2	バス幅	...	94
4.4	<b>メモリ・ブロック機能</b>	...	95
4.5	<b>ウェイト機能</b>	...	96
4.5.1	プログラマブル・ウェイト機能	...	96
4.5.2	外部ウェイト機能	...	97
4.5.3	プログラマブル・ウェイトと外部ウェイトの関係	...	97
4.6	<b>アイドル・ステート挿入機能</b>	...	98
4.7	<b>バス・ホールド機能</b>	...	99
4.7.1	機能概要	...	99
4.7.2	バス・ホールド手順	...	100
4.7.3	パワー・セーブ・モード時の動作	...	100
4.8	<b>バス・タイミング</b>	...	101
4.9	<b>バスの優先順位</b>	...	108
4.10	<b>境界動作条件</b>	...	108
4.10.1	プログラム空間	...	108
4.10.2	データ空間	...	108

## 第5章 割り込み/例外処理機能 ... 109

5.1	<b>概要</b>	...	109
5.1.1	特徴	...	109
5.2	<b>ノンマスクابل割り込み</b>	...	112
5.2.1	動作	...	113
5.2.2	復帰	...	115
5.2.3	NPフラグ	...	116
5.2.4	外部割り込み要求入力端子のノイズ除去	...	116
5.2.5	外部割り込み要求入力端子のエッジ検出機能	...	117
5.3	<b>マスクابل割り込み</b>	...	118
5.3.1	動作	...	118
5.3.2	復帰	...	120
5.3.3	マスクابل割り込みの優先順位	...	121
5.3.4	割り込み制御レジスタ (xxICn)	...	125
5.3.5	インサースビス・プライオリティ・レジスタ (ISPR)	...	128
5.3.6	IDフラグ	...	129
5.3.7	ウォッチドッグ・タイマ・モード・レジスタ (WDTM)	...	129
5.4	<b>ソフトウェア例外</b>	...	130
5.4.1	動作	...	130
5.4.2	復帰	...	131
5.4.3	EPフラグ	...	132
5.5	<b>例外トラップ</b>	...	132
5.5.1	不正命令コード	...	132
5.5.2	動作	...	133
5.5.3	復帰	...	134
5.6	<b>優先順位指定</b>	...	135
5.6.1	割り込みと例外の優先順位	...	135
5.6.2	多重割り込み	...	135
5.7	<b>応答時間</b>	...	137
5.8	<b>割り込みが受け付けられない期間</b>	...	138

- ★ 5. 8. 1 EI命令後の割り込み要求有効タイミング ... 139
- ★ 5. 9 DMA転送時の割り込み制御レジスタのビット操作命令 ... 140

## 第6章 クロック発生機能 ... 141

- 6. 1 概 要 ... 141
- 6. 2 構 成 ... 142
- 6. 3 クロック出力機能 ... 142
  - 6. 3. 1 制御レジスタ ... 143
- 6. 4 パワー・セーブ機能 ... 146
  - 6. 4. 1 概 要 ... 146
  - 6. 4. 2 HALTモード ... 147
  - 6. 4. 3 IDLEモード ... 150
  - 6. 4. 4 ソフトウェアSTOPモード ... 152
- 6. 5 発振安定時間の確保 ... 154
- ★ 6. 6 パワー・セーブ機能に関する注意事項 ... 155

## 第7章 タイマ/カウンタ機能 ... 157

- 7. 1 16ビット・タイマ (TM0, TM1) ... 157
  - 7. 1. 1 概 要 ... 157
  - 7. 1. 2 機 能 ... 157
  - 7. 1. 3 構 成 ... 159
  - 7. 1. 4 タイマ0, 1制御レジスタ ... 162
- 7. 2 16ビット・タイマの動作 ... 170
  - 7. 2. 1 インターバル・タイマ (16ビット) としての動作 ... 170
  - 7. 2. 2 PPG出力としての動作 ... 172
  - 7. 2. 3 パルス幅測定としての動作 ... 173
  - 7. 2. 4 外部イベント・カウンタとしての動作 ... 180
  - 7. 2. 5 方形波出力としての動作 ... 182
  - 7. 2. 6 ワンショット・パルス出力としての動作 ... 183
  - 7. 2. 7 注意事項 ... 188
- ★ 7. 3 8ビット・タイマ (TM2-TM5) ... 193
  - 7. 3. 1 概 要 ... 193
  - 7. 3. 2 機 能 ... 193
  - 7. 3. 3 構 成 ... 194
  - 7. 3. 4 タイマn制御レジスタ ... 196
- 7. 4 8ビット・タイマの動作 ... 201
  - 7. 4. 1 インターバル・タイマ (8ビット) としての動作 ... 201
  - 7. 4. 2 外部イベント・カウンタとしての動作 ... 204
  - 7. 4. 3 方形波出力 (8ビット分解能) としての動作 ... 205
  - 7. 4. 4 8ビットPWM出力としての動作 ... 206
  - 7. 4. 5 インターバル・タイマ (16ビット) としての動作 ... 209
  - 7. 4. 6 注意事項 ... 211

## 第8章 時計用タイマ機能 ... 212

- 8. 1 機 能 ... 212
- 8. 2 構 成 ... 213

- 8.3 時計用タイマ制御レジスタ ... 214
- 8.4 動作 ... 215
  - 8.4.1 時計用タイマとしての動作 ... 215
  - 8.4.2 インターバル・タイマとしての動作 ... 215
  - 8.4.3 注意事項 ... 216

## 第9章 ウォッチドッグ・タイマ機能 ... 217

- 9.1 機能 ... 217
- 9.2 構成 ... 219
- 9.3 ウォッチドッグ・タイマ制御レジスタ ... 219
- 9.4 動作 ... 222
  - 9.4.1 ウォッチドッグ・タイマとしての動作 ... 222
  - 9.4.2 インターバル・タイマとしての動作 ... 223
- 9.5 スタンバイ機能制御レジスタ ... 224

## 第10章 シリアル・インタフェース機能 ... 225

- 10.1 概要 ... 225
- 10.2 3線式シリアルI/O (CSI0-CSI2) ... 225
  - 10.2.1 構成 ... 226
  - 10.2.2 CSIn制御レジスタ ... 227
  - 10.2.3 動作 ... 229
- 10.3 I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C) ... 232
  - 10.3.1 構成 ... 235
  - 10.3.2 I<sup>2</sup>C制御レジスタ ... 237
  - 10.3.3 I<sup>2</sup>Cバス・モードの機能 ... 247
  - 10.3.4 I<sup>2</sup>Cバスの定義および制御方法 ... 248
  - 10.3.5 I<sup>2</sup>C割り込み要求 (INTIIC0) ... 255
  - 10.3.6 割り込み要求 (INTIIC0) 発生タイミングおよびウエイト制御 ... 273
  - 10.3.7 アドレスの一致検出方法 ... 274
  - 10.3.8 エラーの検出 ... 274
  - 10.3.9 拡張コード ... 274
  - 10.3.10 アービトレーション ... 275
  - 10.3.11 ウェイク・アップ機能 ... 276
  - 10.3.12 通信予約 ... 277
  - 10.3.13 注意事項 ... 280
  - 10.3.14 通信動作 ... 281
  - 10.3.15 データ通信のタイミング ... 283
- 10.4 アシクロナス・シリアル・インタフェース (UART0, UART1) ... 290
  - 10.4.1 構成 ... 290
  - 10.4.2 UARTn制御レジスタ ... 293
  - 10.4.3 動作 ... 299
  - 10.4.4 スタンバイ機能 ... 311

## 第11章 A/Dコンバータ ... 312

- 11.1 機能 ... 312
- 11.2 構成 ... 313

- 11.3 制御レジスタ ... 315
- 11.4 動作 ... 319
  - 11.4.1 基本動作 ... 319
  - 11.4.2 入力電圧と変換結果 ... 321
  - 11.4.3 A/Dコンバータの動作モード ... 322
- 11.5 注意事項 ... 325
- ★ 11.6 A/Dコンバータ特性表の読み方 ... 329

## 第12章 DMA機能 ... 334

- 12.1 機能 ... 334
- ★ 12.2 特徴 ... 334
- ★ 12.3 構成 ... 335
- 12.4 制御レジスタ ... 336
- ★ 12.5 動作 ... 342
- ★ 12.6 注意 ... 343

## 第13章 リアルタイム出力機能 (RTO) ... 344

- 13.1 機能 ... 344
- ★ 13.2 特徴 ... 344
- 13.3 構成 ... 345
- 13.4 制御レジスタ ... 347
- 13.5 使用方法 ... 349
- 13.6 動作 ... 350
- 13.7 注意事項 ... 351

## 第14章 ポート機能 ... 352

- 14.1 各ポートの構成 ... 352
- 14.2 各ポートの端子機能 ... 352
  - 14.2.1 ポート0 ... 352
  - 14.2.2 ポート1 ... 357
  - 14.2.3 ポート2 ... 363
  - 14.2.4 ポート3 ... 371
  - 14.2.5 ポート4, ポート5 ... 376
  - 14.2.6 ポート6 ... 379
  - 14.2.7 ポート7, ポート8 ... 381
  - 14.2.8 ポート9 ... 383
  - 14.2.9 ポート10 ... 387
  - 14.2.10 ポート11 ... 391
  - 14.2.11 ポート12 ... 394
- 14.3 ポート端子を兼用端子として使用する場合の設定 ... 397
- ★ 14.4 ポート機能の動作 ... 399
  - 14.4.1 入出力ポートへの書き込み ... 399
  - 14.4.2 入出力ポートからの読み出し ... 399

## 第15章 リセット機能 ... 400

- 15.1 概 要 ... 400
- 15.2 端子動作 ... 400

## 第16章 フラッシュ・メモリ ... 401

- 16.1 特 徴 ... 401
  - 16.1.1 消去単位 ... 402
- 16.2 フラッシュ・ライタによる書き込み方法 ... 403
- 16.3 プログラミング環境 ... 408
- 16.4 通信方式 ... 409
- 16.5 端子処理 ... 411
  - 16.5.1 V<sub>PP</sub>端子 ... 411
  - 16.5.2 シリアル・インタフェース端子 ... 411
  - 16.5.3  $\overline{\text{RESET}}$ 端子 ... 413
  - 16.5.4 ポート端子 (NMIを含む) ... 413
  - 16.5.5 その他の信号端子 ... 413
  - 16.5.6 電 源 ... 413
- 16.6 プログラミング方法 ... 414
  - 16.6.1 フラッシュ・メモリ制御 ... 414
  - 16.6.2 フラッシュ・メモリ・プログラミング・モード ... 414
  - 16.6.3 通信方式の選択 ... 415
  - 16.6.4 通信コマンド ... 415
  - 16.6.5 使用する資源 ... 416
- ★ 16.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 417
  - 16.7.1 セルフ・プログラミングの概要 ... 417
  - 16.7.2 セルフ・プログラミング機能 ... 418
  - 16.7.3 セルフ・プログラミング・インタフェースの概要 ... 419
  - 16.7.4 ハードウエア環境 ... 419
  - 16.7.5 ソフトウエア環境 ... 421
  - 16.7.6 セルフ・プログラミング機能番号 ... 422
  - 16.7.7 呼び出しパラメータ ... 423
  - 16.7.8 RAMパラメータの内容 ... 424
  - 16.7.9 セルフ・プログラミング時のエラー ... 425
  - 16.7.10 フラッシュ情報 ... 425
  - 16.7.11 エリア番号 ... 426
  - 16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)  
... 427
  - 16.7.13 デバイス内部処理の呼び出し ... 429
  - 16.7.14 フラッシュ・メモリの消去フロー ... 432
  - 16.7.15 連続書き込みフロー ... 433
  - 16.7.16 内部ベリファイ・フロー ... 434
  - 16.7.17 フラッシュ情報取得フロー ... 435
  - 16.7.18 セルフ・プログラミング・ライブラリ ... 436

## ★ 第17章 電気的特性 ... 438

## ★ 第18章 外形図 ... 466

- ★ 第19章 半田付け推奨条件 ... 468
- ★ 付録A ターゲット・システム設計上の注意 ... 472
- 付録B レジスタ索引 ... 474
- 付録C 命令セット一覧 ... 479
- 付録D 総合索引 ... 486
  - D.1 50音で始まる語句の索引 ... 486
  - D.2 数字, アルファベットで始まる語句の索引 ... 491
- ★ 付録E 改版履歴 ... 495

## 図の目次 (1/6)

図番号	タイトル, ページ
3 - 1	CPUレジスタ・セット ... 63
3 - 2	CPUアドレス空間 ... 69
3 - 3	アドレス空間上のイメージ ... 70
3 - 4	プログラム空間 ... 71
3 - 5	データ空間 ... 71
3 - 6	メモリ・マップ ... 72
3 - 7	内蔵ROM領域 (64 Kバイト) ... 73
3 - 8	内蔵ROM領域 (128 Kバイト) ... 73
3 - 9	内蔵ROM / 内蔵フラッシュ・メモリ領域 (256 Kバイト) ... 74
3 - 10	内蔵RAM領域 (4 Kバイト) ... 76
3 - 11	内蔵RAM領域 (8 Kバイト) ... 76
3 - 12	内蔵周辺I/O領域 ... 77
3 - 13	外部メモリ領域 (64 K, 256 K, 1 Mバイト拡張時) ... 78
3 - 14	外部メモリ領域 (4 Mバイト拡張時) ... 79
3 - 15	ラップ・アラウンドを利用した応用例 ... 82
3 - 16	推奨メモリ・マップ ... 83
4 - 1	バイト・アクセス (8ビット) ... 94
4 - 2	ハーフワード・アクセス (16ビット) ... 94
4 - 3	ワード・アクセス (32ビット) ... 94
4 - 4	メモリ空間 ... 95
4 - 5	ウェイト制御 ... 97
4 - 6	ウェイト挿入例 ... 97
4 - 7	バス・ホールド手順 ... 100
4 - 8	メモリ・リード ... 101
4 - 9	メモリ・ライト ... 105
4 - 10	バス・ホールド・タイミング ... 107
5 - 1	ノンマスカブル割り込みの処理形態 ... 113
5 - 2	ノンマスカブル割り込み要求の受け付け動作 ... 114
5 - 3	RETI命令の処理形態 ... 115
5 - 4	NPフラグ (NP) ... 116
5 - 5	マスカブル割り込みの処理形態 ... 119
5 - 6	RETI命令の処理形態 ... 120
5 - 7	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 122
5 - 8	同時発生した割り込み要求の処理例 ... 124
5 - 9	割り込み禁止フラグ (ID) ... 129
5 - 10	ソフトウェア例外の処理形態 ... 130
5 - 11	RETI命令の処理形態 ... 131

## 図の目次 (2/6)

図番号	タイトル, ページ
5 - 12	EPフラグ (EP) ... 132
5 - 13	不正命令コード ... 132
5 - 14	例外トラップの処理形態 ... 133
5 - 15	RETI命令の処理形態 ... 134
5 - 16	割り込み要求受け付け時のパイプライン動作 (概略) ... 137
5 - 17	パイプラインの流れと割り込み要求信号発生のタイミング ... 140
6 - 1	クロック発生回路 ... 142
6 - 2	発振安定時間 ... 154
7 - 1	TM0, TM1のブロック図 ... 158
7 - 2	インターバル・タイマ動作時の制御レジスタ設定内容 ... 170
7 - 3	インターバル・タイマの構成図 ... 171
7 - 4	インターバル・タイマ動作のタイミング ... 171
7 - 5	PPG出力動作時の制御レジスタ設定内容 ... 172
7 - 6	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 173
7 - 7	フリー・ランニング・カウンタによるパルス幅測定の構成図 ... 174
7 - 8	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) ... 174
7 - 9	フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 175
7 - 10	立ち上がりエッジ指定時のCRn1キャプチャ動作 ... 176
7 - 11	フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) ... 176
7 - 12	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 177
7 - 13	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 178
7 - 14	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 179
7 - 15	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 179
7 - 16	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 180
7 - 17	外部イベント・カウンタの構成図 ... 181
7 - 18	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 181
7 - 19	方形波出力モード時の制御レジスタ設定内容 ... 182
7 - 20	方形波出力動作のタイミング ... 183
7 - 21	ソフトウエア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 184
7 - 22	ソフトウエア・トリガによるワンショット・パルス出力動作のタイミング ... 185
7 - 23	外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 186
7 - 24	外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) ... 187
7 - 25	16ビット・タイマ・レジスタnのスタート・タイミング ... 188

## 図の目次 (3/6)

図番号	タイトル, ページ
7 - 26	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 188
7 - 27	キャプチャ・レジスタのデータ保持タイミング ... 189
7 - 28	OVFnフラグの動作タイミング ... 190
7 - 29	TM2-TM5のブロック図 ... 194
7 - 30	インターバル・タイマ動作のタイミング ... 201
7 - 31	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 204
7 - 32	方形波出力動作のタイミング ... 205
7 - 33	PWM出力動作のタイミング ... 207
7 - 34	CRn0変更による動作のタイミング ... 208
7 - 35	16ビット分解能カスケード接続モード ... 210
7 - 36	タイマnのスタート・タイミング ... 211
7 - 37	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 211
8 - 1	時計用タイマのブロック図 ... 212
8 - 2	時計用タイマ/インターバル・タイマの動作タイミング ... 216
8 - 3	時計用タイマ割り込み要求 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合) ... 216
9 - 1	ウォッチドッグ・タイマのブロック図 ... 217
10 - 1	3線式シリアルI/Oのブロック図 ... 226
10 - 2	CSIMnの設定 (動作停止モード) ... 229
10 - 3	CSIMnの設定 (3線式シリアルI/Oモード) ... 230
10 - 4	3線式シリアルI/Oモードのタイミング ... 231
10 - 5	I <sup>2</sup> Cのブロック図 ... 233
10 - 6	I <sup>2</sup> Cバスによるシリアル・バス構成例 ... 234
10 - 7	端子構成図 ... 247
10 - 8	I <sup>2</sup> Cバスのシリアル・データ転送タイミング ... 248
10 - 9	スタート・コンディション ... 248
10 - 10	アドレス ... 249
10 - 11	転送方向指定 ... 250
10 - 12	アクノリッジ信号 ... 251
10 - 13	ストップ・コンディション ... 252
10 - 14	ウェイト信号 ... 253
10 - 15	アービトレーション・タイミング例 ... 275
10 - 16	通信予約のタイミング ... 278
10 - 17	通信予約受け付けタイミング ... 278
10 - 18	通信予約の手順 ... 279
10 - 19	マスタ動作手順 ... 281
10 - 20	スレーブ動作手順 ... 282

## 図の目次 (4/6)

図番号	タイトル, ページ
10 - 21	マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 284
10 - 22	スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 287
10 - 23	UARTnのブロック図 ... 291
10 - 24	ASIMnの設定 (動作停止モード) ... 298
10 - 25	ASIMnの設定 (UARTモード) ... 299
10 - 26	ASISnの設定 (UARTモード) ... 300
10 - 27	BRGCnの設定 (UARTモード) ... 301
10 - 28	BRGMC0, BRGMC01の設定 (UARTモード) ... 302
10 - 29	BRGMC1の設定 (UARTモード) ... 303
10 - 30	サンプリング誤差を考慮したボー・レートの許容誤差 (k = 16の場合) ... 305
10 - 31	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 306
10 - 32	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 308
10 - 33	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 309
10 - 34	受信エラー・タイミング ... 310
11 - 1	A/Dコンバータのブロック図 ... 313
11 - 2	A/Dコンバータの基本動作 ... 320
11 - 3	アナログ入力電圧とA/D変換結果の関係 ... 321
11 - 4	ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時) ... 323
11 - 5	ソフトウェア・スタートによるA/D変換動作 ... 324
11 - 6	アナログ入力端子の処理 ... 326
11 - 7	A/D変換終了割り込み要求発生タイミング ... 327
11 - 8	AV <sub>DD</sub> 端子の処理 ... 328
11 - 9	総合誤差 ... 330
11 - 10	量子化誤差 ... 330
11 - 11	ゼロスケール誤差 ... 331
11 - 12	フルスケール誤差 ... 331
11 - 13	微分直線性誤差 ... 332
11 - 14	積分直線性誤差 ... 332
11 - 15	サンプリング時間 ... 333
12 - 1	DMACのブロック図 ... 335
12 - 2	DRAnの設定値と内蔵RAM (4 Kバイト) 領域の対応 ... 337
12 - 3	DRAnの設定値と内蔵RAM (8 Kバイト) 領域の対応 ... 338
12 - 4	DMA転送動作のタイミング図 ... 342
12 - 5	DMA0-DMA2転送要求が同時に発生した場合の処理 ... 343
13 - 1	RTOのブロック図 ... 345
13 - 2	リアルタイム出力バッファ・レジスタの構成 ... 346

## 図の目次 (5/6)

図番号	タイトル, ページ
13 - 3	RTOの動作タイミング例 (EXTR = 0, BYTE = 0の場合) ... 350
14 - 1	P00-P07のブロック図 ... 356
14 - 2	P10, P12, P15のブロック図 ... 360
14 - 3	P11, P14のブロック図 ... 361
14 - 4	P13のブロック図 ... 362
14 - 5	P20, P23, P25のブロック図 ... 366
14 - 6	P21のブロック図 ... 367
14 - 7	P22のブロック図 ... 368
14 - 8	P24のブロック図 ... 369
14 - 9	P26, P27のブロック図 ... 370
14 - 10	P30-P33のブロック図 ... 373
14 - 11	P34, P35のブロック図 ... 374
14 - 12	P36, P37のブロック図 ... 375
14 - 13	P40-P47, P50-P57のブロック図 ... 378
14 - 14	P60-P65のブロック図 ... 380
14 - 15	P70-P77, P80-P83のブロック図 ... 382
14 - 16	P90-P95のブロック図 ... 385
14 - 17	P96のブロック図 ... 386
14 - 18	P100-P107のブロック図 ... 390
14 - 19	P110-P113のブロック図 ... 393
14 - 20	P114のブロック図 ... 393
14 - 21	P120のブロック図 ... 396
15 - 1	システム・リセット・タイミング ... 400
16 - 1	V850/SA1フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線例 ... 404
16 - 2	V850/SA1フラッシュ書き込み用アダプタ (FA-121F1-EA6) の配線例 ... 406
16 - 3	フラッシュ・メモリにプログラムを書き込むための環境 ... 408
16 - 4	専用フラッシュ・ライタとの通信 (UART0) ... 409
16 - 5	専用フラッシュ・ライタとの通信 (CSI0) ... 409
16 - 6	専用フラッシュ・ライタとの通信 (CSI0 + HS) ... 410
16 - 7	V <sub>PP</sub> 端子の接続例 ... 411
16 - 8	信号の衝突 (シリアル・インタフェースの入力端子) ... 412
16 - 9	ほかのデバイスの異常動作 ... 412
16 - 10	信号の衝突 ( $\overline{\text{RESET}}$ 端子) ... 413
16 - 11	フラッシュ・メモリの操作手順 ... 414
16 - 12	フラッシュ・メモリ・プログラミング・モード ... 414
16 - 13	通信コマンド ... 415

## 図の目次 (6/6)

図番号	タイトル, ページ
16 - 14	セルフ・プログラミングの概要 ... 417
16 - 15	セルフ・プログラミング・インタフェースの概要 ... 419
16 - 16	セルフ書き込み回路構成例 ... 420
16 - 17	V <sub>PP</sub> 端子に電圧を印加するタイミング ... 420
16 - 18	エリア構成 ... 426
16 - 19	フラッシュ・メモリの消去フロー ... 432
16 - 20	連続書き込みフロー ... 433
16 - 21	内部ベリファイ・フロー ... 434
16 - 22	フラッシュ情報取得フロー ... 435
16 - 23	セルフ・プログラミング・ライブラリの機能概要 ... 436
16 - 24	セルフ・プログラミング・ライブラリの構成概要 ... 437
A - 1	100ピン・プラスチックLQFP (ファインピッチ) (14×14) の場合 ... 472
A - 2	121ピン・プラスチックFBGA (12×12) の場合 ... 473

## 表の目次 (1/3)

表番号	タイトル, ページ
1 - 1	V850/SA1の製品一覧 ... 28
2 - 1	各端子の入出力バッファ電源 ... 41
2 - 2	動作モードによる各端子の動作状態 ... 46
3 - 1	プログラム・レジスタ一覧 ... 64
3 - 2	システム・レジスタ番号 ... 65
3 - 3	割り込み / 例外テーブル ... 75
4 - 1	バス制御端子 ... 92
4 - 2	アクセス・クロック数 ... 93
4 - 3	バス優先順位 ... 108
5 - 1	割り込み要因一覧 ... 110
5 - 2	割り込み制御レジスタ (xxICn) ... 127
5 - 3	割り込みと例外の優先順位 ... 135
6 - 1	HALTモード時の動作状態 ... 148
6 - 2	IDLEモード時の動作状態 ... 151
6 - 3	ソフトウエアSTOPモード時の動作状態 ... 153
7 - 1	タイマ0, 1の構成 ... 159
7 - 2	TIn0端子の有効エッジとCRn0のキャプチャ・トリガ ... 160
7 - 3	TIn1端子の有効エッジとCRn0のキャプチャ・トリガ ... 160
7 - 4	TIn0端子の有効エッジとCRn1のキャプチャ・トリガ ... 161
7 - 5	タイマ2-5の構成 ... 194
8 - 1	インターバル・タイマのインターバル時間 ... 213
8 - 2	時計用タイマの構成 ... 213
8 - 3	インターバル・タイマのインターバル時間 ... 215
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 218
9 - 2	インターバル・タイマのインターバル時間 ... 218
9 - 3	ウォッチドッグ・タイマの構成 ... 219
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 222
9 - 5	インターバル・タイマのインターバル時間 ... 223
10 - 1	CSInの構成 ... 226
10 - 2	I <sup>2</sup> Cの構成 ... 235

## 表の目次 (2/3)

表番号	タイトル, ページ
10 - 3	INTIIC0発生タイミングおよびウェイト制御 ... 273
10 - 4	拡張コードのビットの定義 ... 274
10 - 5	アービトレーション発生時の状態と割り込み要求発生タイミング ... 276
10 - 6	ウェイト時間 ... 277
10 - 7	UARTnの構成 ... 290
10 - 8	メイン・クロックとポー・レートの関係 ... 305
10 - 9	受信エラーの要因 ... 310
11 - 1	A/Dコンバータの構成 ... 313
11 - 2	A/D変換時間の選択 ... 317
13 - 1	RTOの構成 ... 345
13 - 2	リアルタイム出力バッファ・レジスタに対する操作時の動作 ... 346
13 - 3	リアルタイム出力ポートの動作モードと出力トリガ ... 348
14 - 1	各端子の入出力バッファ電源 ... 352
14 - 2	ポート0の兼用端子 ... 353
14 - 3	ポート1の兼用端子 ... 357
14 - 4	ポート2の兼用端子 ... 363
14 - 5	ポート3の兼用端子 ... 371
14 - 6	ポート4, ポート5の兼用端子 ... 376
14 - 7	ポート6の兼用端子 ... 379
14 - 8	ポート7, ポート8の兼用端子 ... 381
14 - 9	ポート9の兼用端子 ... 383
14 - 10	ポート10の兼用端子 ... 387
14 - 11	ポート11の兼用端子 ... 391
14 - 12	ポート12の兼用端子 ... 394
14 - 13	ポート端子を兼用端子として使用する場合の設定 ... 397
16 - 1	V850/SA1フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線表 ... 405
16 - 2	V850/SA1フラッシュ書き込み用アダプタ (FA-121F1-EA6) の配線表 ... 407
16 - 3	専用フラッシュ・ライタ (PG-FP3またはPG-FP4) の信号生成 ... 410
16 - 4	各シリアル・インタフェースが使用する端子 ... 411
16 - 5	通信方式一覧 ... 415
16 - 6	フラッシュ・メモリ制御用コマンド ... 416
16 - 7	応答コマンド ... 416
16 - 8	機能一覧 ... 418
16 - 9	ソフトウエア環境の条件 ... 421
16 - 10	セルフ・プログラミング機能番号 ... 422

## 表の目次 (3/3)

表番号	タイトル, ページ
16 - 11	呼び出しパラメータ ... 423
16 - 12	RAMパラメータの内容 ... 424
16 - 13	セルフ・プログラミング時のエラー ... 425
16 - 14	フラッシュ情報 ... 425
19 - 1	表面実装タイプの半田付け条件 ... 468
C - 1	オペランド記述に使われる略号 ... 479
C - 2	オペコード欄に使われる略号 ... 480
C - 3	オペレーション欄に使われる略号 ... 480
C - 4	フラグの動作 ... 481
C - 5	条件コード ... 481

# 第1章 イントロダクション

V850/SA1は、NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコンピュータV850シリーズのロウ・パワー・シリーズの1製品です。

## 1.1 概 説

V850/SA1は、V850シリーズのCPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ、DMAコントローラなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。

V850/SA1は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、超低消費電力を必要とするカムコーダなどのAV機器、携帯電話、PHSなどの携帯通信機器への応用が、きわめて高いコスト・パフォーマンスで実現できます。

次にV850/SA1の製品一覧について示します。

★ 表1 - 1 V850/SA1の製品一覧

品名	I <sup>2</sup> C機能	ROM		RAMサイズ	パッケージ	
		種類	サイズ			
μPD703014A	なし	マスクROM	64 Kバイト	4 Kバイト	121ピンFBGA (12×12)	
μPD703014AY	あり				100ピンLQFP (14×14) / 121ピンFBGA (12×12)	
μPD703014B	なし		128 Kバイト		121ピンFBGA (12×12)	
μPD703014BY	あり				100ピンLQFP (14×14) / 121ピンFBGA (12×12)	
μPD703015A	なし		256 Kバイト		8 Kバイト	100ピンLQFP (14×14) / 121ピンFBGA (12×12)
μPD703015AY	あり					100ピンLQFP (14×14) / 121ピンFBGA (12×12)
μPD703015B	なし		128 Kバイト		4 Kバイト	100ピンLQFP (14×14) / 121ピンFBGA (12×12)
μPD703015BY	あり					100ピンLQFP (14×14) / 121ピンFBGA (12×12)
μPD703017A	なし	256 Kバイト	8 Kバイト	100ピンLQFP (14×14) / 121ピンFBGA (12×12)		
μPD703017AY	あり			100ピンLQFP (14×14) / 121ピンFBGA (12×12)		
μPD70F3015B	なし	フラッシュ・メモリ	128 Kバイト	4 Kバイト	100ピンLQFP (14×14) / 121ピンFBGA (12×12)	
μPD70F3015BY	あり				100ピンLQFP (14×14) / 121ピンFBGA (12×12)	
μPD70F3017A	なし		256 Kバイト		8 Kバイト	100ピンLQFP (14×14) / 121ピンFBGA (12×12)
μPD70F3017AY	あり					100ピンLQFP (14×14) / 121ピンFBGA (12×12)

## 1.2 特 徴

命令数 74

- ★ 最小命令実行時間 50 ns (メイン・クロック ( $f_{xx}$ ) = 20 MHz動作時)  
 58.8 ns (メイン・クロック ( $f_{xx}$ ) = 17 MHz動作時)  
 30.5  $\mu$ s (サブクロック ( $f_{XT}$ ) = 32.768 kHz動作時)
  - 汎用レジスタ 32ビット×32本
  - 命令セット 符号付き乗算 (16×16 32) : 100 ns (20 MHz動作時)  
 (レジスタ・ハザードが起きない後続の命令を並列に実行可能)  
 飽和演算 (オーバフロー/アンダフロー検出機能付き)  
 32ビット・シフト命令 : 1クロック  
 ビット操作命令  
 ロング/ショート形式を持つロード/ストア命令
  - メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム/データ共用)  
 外部拡張 : 4 Mバイトまで可能  
 メモリ・ブロック分割機能 : 2 Mバイト/ブロック  
 プログラマブル・ウエイト機能  
 アイドル・ステート挿入機能
  - 外部バス・インタフェース  
 16ビット・データ・バス (アドレス/データ・マルチプレクス)  
 アドレス・バス : セパレート出力可能  
 バス・ホールド機能  
 外部ウエイト機能
  - ★ 内蔵メモリ  $\mu$ PD703014A, 703014AY, 703014B, 703014BY  
 (マスクROM : 64 Kバイト/RAM : 4 Kバイト)  
 $\mu$ PD703015A, 703015AY, 703015B, 703015BY  
 (マスクROM : 128 Kバイト/RAM : 4 Kバイト)  
 $\mu$ PD703017A, 703017AY (マスクROM : 256 Kバイト/RAM : 8 Kバイト)  
 $\mu$ PD70F3015B, 70F3015BY (フラッシュ・メモリ : 128 Kバイト/RAM : 4 Kバイト)  
 $\mu$ PD70F3017A, 70F3017AY (フラッシュ・メモリ : 256 Kバイト/RAM : 8 Kバイト)
  - 割り込み/例外  
 外部割り込み : 8要因 (5要因<sup>注</sup>)  
 内部割り込み : 24要因  
 ソフトウエア例外 : 32要因  
 例外トラップ : 1要因  
 割り込み優先順位を任意に可変 (8レベル)
- 注 ソフトウエアSTOPモード解除可能な外部割り込み数
- I/Oライン 合計 : 85 (入力ポート : 13 入出力ポート : 72)

タイマ/カウンタ

16ビット・タイマ : 2 ch (PWM出力)

8ビット・タイマ : 4 ch (PWM出力, カスケード接続可能)

時計用タイマ サブクロック/メイン・クロック動作 : 1 ch

ウォッチドッグ・タイマ : 1 ch

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART)

クロック同期式シリアル・インタフェース (CSI)

I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C)

★ (μPD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ)

UART : 1 ch

CSI : 1 ch

UART/CSI : 1 ch

I<sup>2</sup>C/CSI : 1 ch

UART専用ポー・レート・ジェネレータ : 2 ch

A/Dコンバータ 10ビット分解能 : 12 ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間 : 3 ch

リアルタイム出力ポート 8ビット×1 ch または 4ビット×2 ch

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック5段階 (スルーレート, サブ動作含む)

パワー・セーブ機能 HALT/DLE/ソフトウェアSTOPモード

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

121ピン・プラスチックFBGA (12×12)

CMOS構造 完全スタティック回路

## 1.3 応用分野

カムコーダ（DVC含む）、メータなどバッテリー駆動機器全般

## ★ 1.4 オーダ情報

品 名	パッケージ	内蔵ROM
$\mu$ PD703014AF1-xxx-EA6	121ピン・プラスチックFBGA（12×12）	64 Kバイト（マスクROM）
$\mu$ PD703014AF1-xxx-EA6-A	"	"
$\mu$ PD703014AYF1-xxx-EA6	"	"
$\mu$ PD703014AYF1-xxx-EA6-A	"	"
$\mu$ PD703014BF1-xxx-EA6-A	"	"
$\mu$ PD703014BGC-xxx-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	"
$\mu$ PD703014BGC-xxx-8EU-A	"	"
$\mu$ PD703014BYF1-xxx-EA6-A	121ピン・プラスチックFBGA（12×12）	"
$\mu$ PD703014BYGC-xxx-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	"
$\mu$ PD703014BYGC-xxx-8EU-A	"	"
$\mu$ PD703015AF1-xxx-EA6	121ピン・プラスチックFBGA（12×12）	128 Kバイト（マスクROM）
$\mu$ PD703015AF1-xxx-EA6-A	"	"
$\mu$ PD703015AYF1-xxx-EA6	"	"
$\mu$ PD703015AYF1-xxx-EA6-A	"	"
$\mu$ PD703015BF1-xxx-EA6-A	"	"
$\mu$ PD703015BGC-xxx-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	"
$\mu$ PD703015BGC-xxx-8EU-A	"	"
$\mu$ PD703015BYF1-xxx-EA6-A	121ピン・プラスチックFBGA（12×12）	"
$\mu$ PD703015BYGC-xxx-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	"
$\mu$ PD703015BYGC-xxx-8EU-A	"	"
$\mu$ PD703017AF1-xxx-EA6	121ピン・プラスチックFBGA（12×12）	256 Kバイト（マスクROM）
$\mu$ PD703017AF1-xxx-EA6-A	"	"
$\mu$ PD703017AGC-xxx-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	"
$\mu$ PD703017AGC-xxx-8EU-A	"	"
$\mu$ PD703017AYF1-xxx-EA6	121ピン・プラスチックFBGA（12×12）	"
$\mu$ PD703017AYF1-xxx-EA6-A	"	"
$\mu$ PD703017AYGC-xxx-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	"
$\mu$ PD703017AYGC-xxx-8EU-A	"	"

備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

3. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

品 名	パッケージ	内蔵ROM
μ PD70F3015BF1-EA6-A	121ピン・プラスチックFBGA (12×12)	128 Kバイト (フラッシュ・メモリ)
μ PD70F3015BGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3015BGC-8EU-A	"	"
μ PD70F3015BYF1-EA6-A	121ピン・プラスチックFBGA (12×12)	"
μ PD70F3015BYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3015BYGC-8EU-A	"	"
μ PD70F3017AF1-EA6	121ピン・プラスチックFBGA (12×12)	256 Kバイト (フラッシュ・メモリ)
μ PD70F3017AF1-EA6-A	"	"
μ PD70F3017AGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3017AGC-8EU-A	"	"
μ PD70F3017AYF1-EA6	121ピン・プラスチックFBGA (12×12)	"
μ PD70F3017AYF1-EA6-A	"	"
μ PD70F3017AYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3017AYGC-8EU-A	"	"

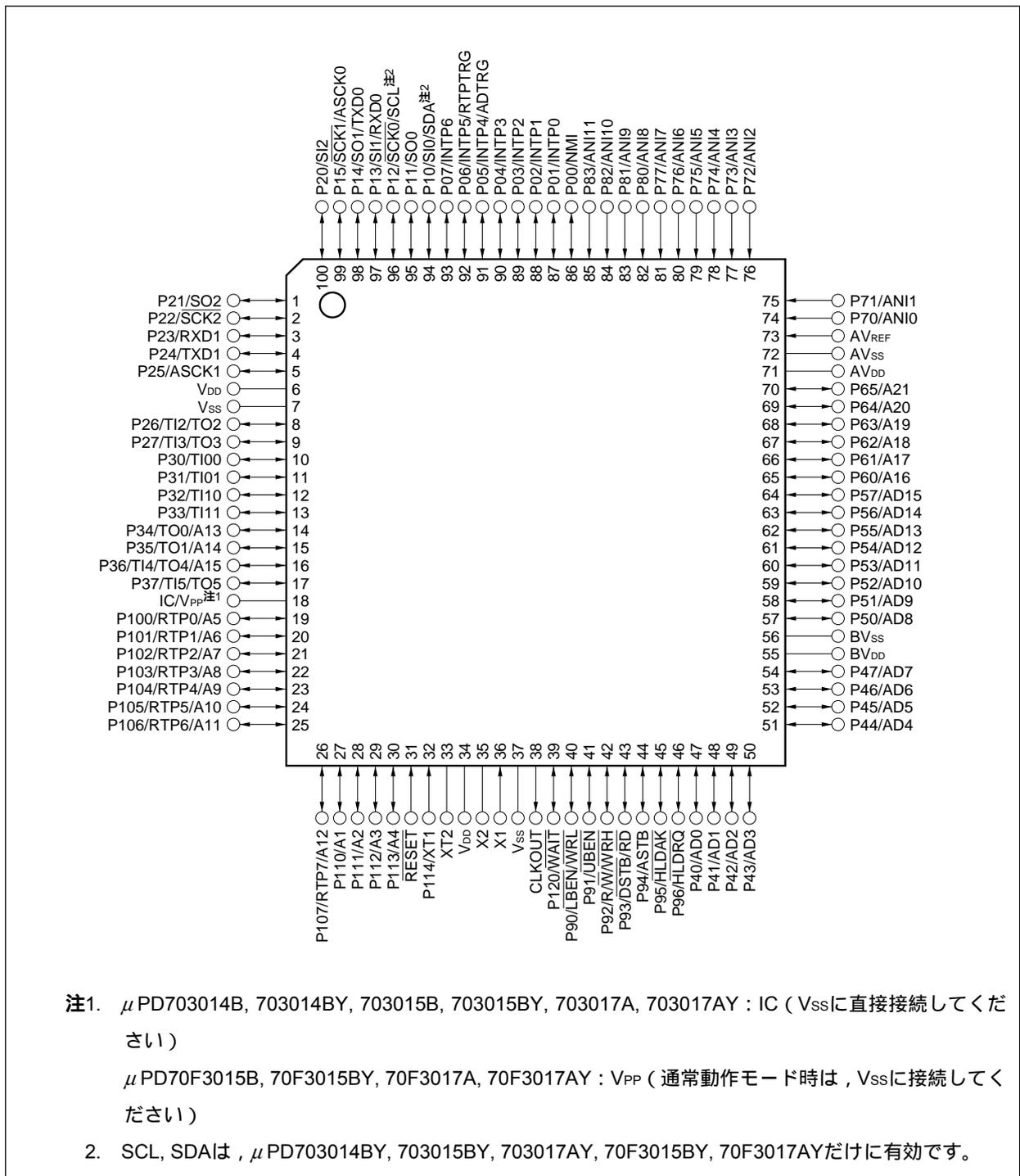
備考1. ROMレス品はありません。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

## 1.5 端子接続図

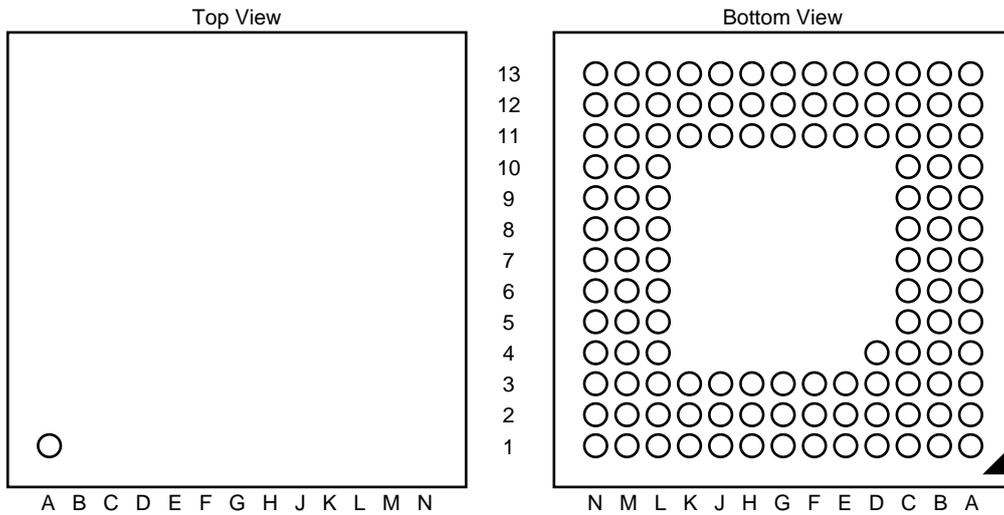
★ 100ピン・プラスチックLQFP（ファインピッチ）（14×14）

- μPD703014BGC-xxx-8EU      • μPD703015BYGC-xxx-8EU-A      • μPD70F3015BYGC-8EU
- μPD703014BGC-xxx-8EU-A      • μPD703017AGC-xxx-8EU      • μPD70F3015BYGC-8EU-A
- μPD703014BYGC-xxx-8EU      • μPD703017AGC-xxx-8EU-A      • μPD70F3017AGC-8EU
- μPD703014BYGC-xxx-8EU-A      • μPD703017AYGC-xxx-8EU      • μPD70F3017AGC-8EU-A
- μPD703015BGC-xxx-8EU      • μPD703017AYGC-xxx-8EU-A      • μPD70F3017AYGC-8EU
- μPD703015BGC-xxx-8EU-A      • μPD70F3015BGC-8EU      • μPD70F3017AYGC-8EU-A
- μPD703015BYGC-xxx-8EU      • μPD70F3015BGC-8EU-A



121ピン・プラスチックFBGA (12×12)

- ・  $\mu$  PD703014AF1-xxx-EA6
- ・  $\mu$  PD703014AF1-xxx-EA6-A
- ・  $\mu$  PD703014AYF1-xxx-EA6
- ・  $\mu$  PD703014AYF1-xxx-EA6-A
- ・  $\mu$  PD703014BF1-xxx-EA6-A
- ・  $\mu$  PD703014BYF1-xxx-EA6-A
- ・  $\mu$  PD703015AF1-xxx-EA6
- ・  $\mu$  PD703015AF1-xxx-EA6-A
- ・  $\mu$  PD703015AYF1-xxx-EA6
- ・  $\mu$  PD703015AYF1-xxx-EA6-A
- ・  $\mu$  PD703015BF1-xxx-EA6-A
- ・  $\mu$  PD703015BYF1-xxx-EA6-A
- ・  $\mu$  PD70F3015BF1-EA6-A
- ・  $\mu$  PD70F3015BYF1-EA6-A
- ・  $\mu$  PD70F3017AF1-EA6
- ・  $\mu$  PD70F3017AF1-EA6-A
- ・  $\mu$  PD70F3017AYF1-EA6
- ・  $\mu$  PD70F3017AYF1-EA6-A



ピン番号	名称	ピン番号	名称	ピン番号	名称	ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	P20	B8	P83	D2	V <sub>DD</sub>	G11	P60	K13	BV <sub>DD</sub>	M7	V <sub>SS</sub>
A2	P15	B9	P80	D3	V <sub>SS</sub>	G12	P56	L1	P104	M8	V <sub>SS</sub>
A3	V <sub>SS</sub>	B10	P75	D11	AV <sub>DD</sub>	G13	P57	L2	P105	M9	P92
A4	P13	B11	AV <sub>SS</sub>	D12	AV <sub>DD</sub>	H1	P34	L3	RESET	M10	P95
A5	P11	B12	AV <sub>SS</sub>	D13	AV <sub>DD</sub>	H2	P37	L4	V <sub>DD</sub>	M11	P41
A6	P06	B13	P71	E1	P25	H3	P35	L5	V <sub>SS</sub>	M12	P45
A7	P03	C1	P22	E2	V <sub>DD</sub>	H11	P55	L6	X2	M13	P44
A8	P00	C2	P23	E3	P30	H12	P53	L7	P90	N1	P107
A9	P81	C3	V <sub>SS</sub>	E11	AV <sub>DD</sub>	H13	P54	L8	P120	N2	P110
A10	P76	C4	P24	E12	P64	J1	IC/V <sub>PP</sub> <sup>注</sup>	L9	P93	N3	P112
A11	P73	C5	P07	E13	P65	J2	IC/V <sub>PP</sub> <sup>注</sup>	L10	P96	N4	V <sub>DD</sub>
A12	P72	C6	P04	F1	P26	J3	P100	L11	BV <sub>SS</sub>	N5	XT1
A13	AV <sub>SS</sub>	C7	P01	F2	P27	J11	P52	L12	BV <sub>SS</sub>	N6	V <sub>SS</sub>
B1	P21	C8	P82	F3	P33	J12	P50	L13	BV <sub>SS</sub>	N7	V <sub>SS</sub>
B2	P14	C9	P77	F11	P63	J13	P51	M1	P106	N8	CLKOUT
B3	V <sub>SS</sub>	C10	P74	F12	P61	K1	P101	M2	P111	N9	P91
B4	P12	C11	AV <sub>SS</sub>	F13	P62	K2	P102	M3	P113	N10	P94
B5	P10	C12	P70	G1	P31	K3	P103	M4	V <sub>DD</sub>	N11	P40
B6	P05	C13	AV <sub>REF</sub>	G2	P32	K11	P46	M5	XT2	N12	P42
B7	P02	D1	V <sub>DD</sub>	G3	P36	K12	P47	M6	X1	N13	P43

注  $\mu$  PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AY : IC (V<sub>SS</sub>に直接接続してください)

$\mu$  PD70F3015B, 70F3015BY, 70F3017A, 70F3017AY : V<sub>PP</sub>(通常動作モード時は, V<sub>SS</sub>に接続してください)

備考1. 兼用端子の名称は省略しています。兼用端子は100ピン・プラスチックLQFPと同一です。

ただし, SCL, SDA端子は,  $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 70F3015BY, 703017AY, 70F3017AYのみです。

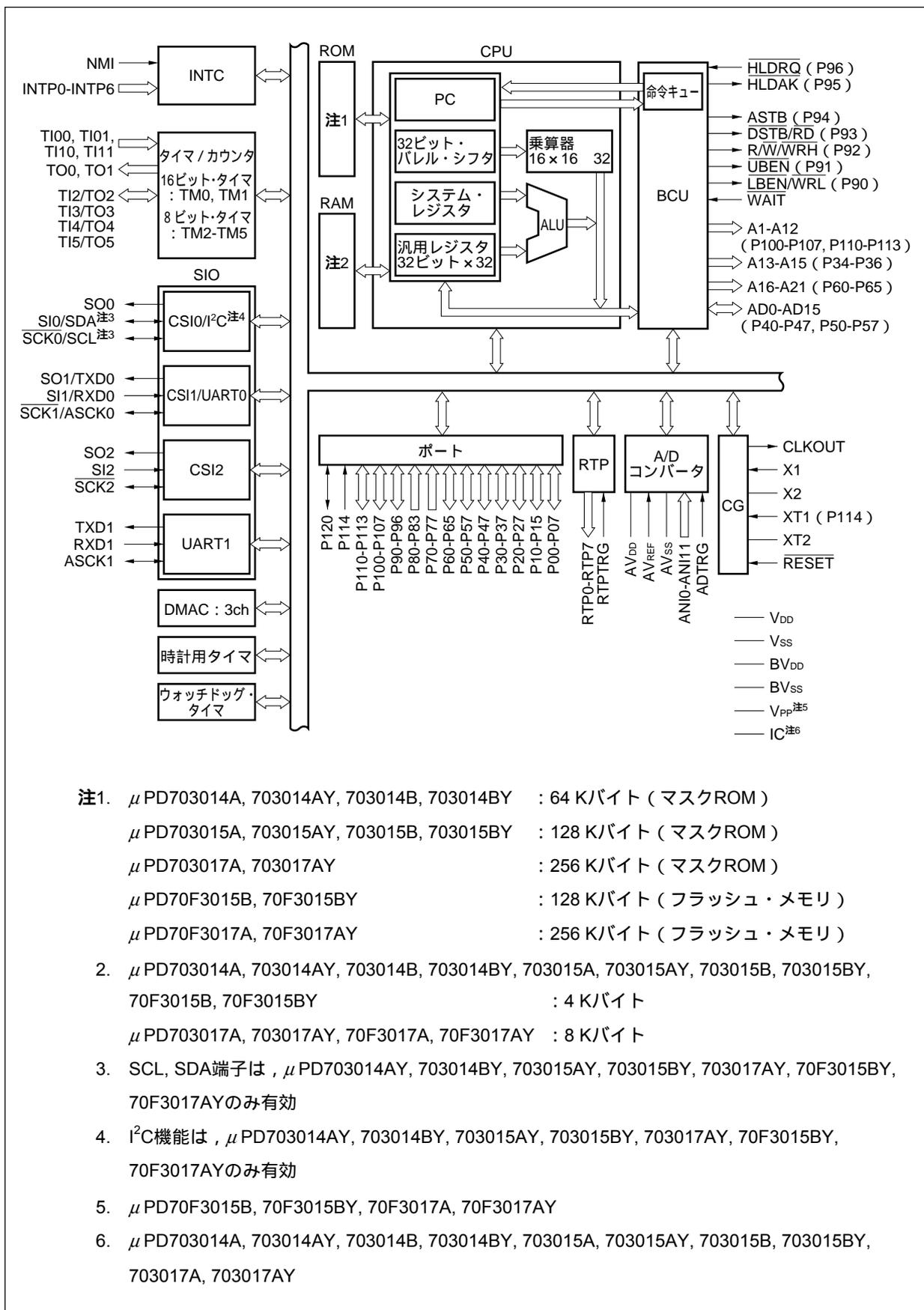
2. D4端子は, 直接V<sub>SS</sub>に接続してください。

端子名称

A1-A21	: Address Bus	P90-P96	: Port 9
AD0-AD15	: Address/Data Bus	P100-P107	: Port 10
ADTRG	: A/D Trigger Input	P110-P114	: Port 11
ANI0-ANI11	: Analog Input	P120	: Port 12
ASCK0, ASCK1	: Asynchronous Serial Clock	$\overline{RD}$	: Read Strobe
ASTB	: Address Strobe	RESET	: Reset
AV <sub>DD</sub>	: Power Supply for Analog	RTP0-RTP7	: Real-time Output Port
AV <sub>REF</sub>	: Analog Reference Voltage	RTPTRG	: RTP Trigger
AV <sub>SS</sub>	: Ground for Analog	R $\overline{W}$	: Read/Write Status
BV <sub>DD</sub>	: Power Supply for Bus Interface	RXD0, RXD1	: Receive Data
BV <sub>SS</sub>	: Ground for Bus Interface	$\overline{SCK0-SCK2}$	: Serial Clock
CLKOUT	: Clock Output	SCL	: Serial Clock
$\overline{DSTB}$	: Data Strobe	SDA	: Serial Data
$\overline{HLDAK}$	: Hold Acknowledge	SI0-SI2	: Serial Input
$\overline{HLDRQ}$	: Hold Request	SO0-SO2	: Serial Output
IC	: Internally Connected	TI00, TI01, TI10,	: Timer Input
INTP0-INTP6	: Interrupt Request From Peripherals	TI11, TI2-TI5	
$\overline{LBEN}$	: Lower Byte Enable	TO0-TO5	: Timer Output
NMI	: Non-maskable Interrupt Request	TXD0, TXD1	: Transmit Data
P00-P07	: Port 0	$\overline{UBEN}$	: Upper Byte Enable
P10-P15	: Port 1	V <sub>DD</sub>	: Power Supply
P20-P27	: Port 2	V <sub>PP</sub>	: Programming Power Supply
P30-P37	: Port 3	V <sub>SS</sub>	: Ground
P40-P47	: Port 4	$\overline{WAIT}$	: Wait
P50-P57	: Port 5	$\overline{WRH}$	: Write Strobe High Level Data
P60-P65	: Port 6	$\overline{WRL}$	: Write Strobe Low Level Data
P70-P77	: Port 7	X1, X2	: Crystal for Main Clock
P80-P83	: Port 8	XT1, XT2	: Crystal for Subclock

## 1.6 機能ブロック構成

### ★ 1.6.1 内部ブロック図



## 1.6.2 内部ユニット

### (1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），32ビット・バレル・シフトなどの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

### ★ (2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

### ★ (3) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵ROM容量	内蔵ROM領域
μ PD703014A, 703014AY, 703014B, 703014BY	64 Kバイト (マスクROM)	xx000000H - xx00FFFFH
μ PD703015A, 703015AY, 703015B, 703015BY	128 Kバイト (マスクROM)	xx000000H - xx01FFFFH
μ PD70F3015B, 70F3015BY	128 Kバイト (フラッシュ・メモリ)	
μ PD703017A, 703017AY	256 Kバイト (マスクROM)	xx000000H - xx03FFFFH
μ PD70F3017A, 70F3017AY	256 Kバイト (フラッシュ・メモリ)	

### ★ (4) RAM

製品によって内蔵RAM容量，内蔵RAM領域が次のように異なります。

データ・アクセス時にCPUから1クロックでアクセスできます。

製品名	内蔵RAM容量	内蔵RAM領域
μ PD703014A, 703014AY, 703014B, 703014BY	4 Kバイト	xxFFE000H - xxFFEFFFH
μ PD703015A, 703015AY, 703015B, 703015BY		
μ PD70F3015B, 70F3015BY		
μ PD703017A, 703017AY	8 Kバイト	xxFFD000H - xxFFEFFFH
μ PD70F3017A, 70F3017AY		

### (5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP6) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

**(6) クロック・ジェネレータ (CG)**

メイン・クロック ( $f_{xx}$ )用とサブクロック ( $f_{xT}$ )用の2種類の発振回路を内蔵しています。5種類 ( $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xT}$ ) のクロックを生成して、そのうちの1つをCPUの動作クロック ( $f_{CPU}$ )として供給します。

**(7) タイマ/カウンタ**

16ビットのタイマ/イベント・カウンタを2チャンネルと、8ビットのタイマ/イベント・カウンタを4チャンネル内蔵しています。パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタをカスケード接続し、16ビット・タイマとしても使用できます。

**(8) 時計用タイマ**

サブクロック (32.768 kHz)またはメイン・クロック (16.777 MHz)から時計カウント用の基準時間 (0.5秒)の割り込みを発生します。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

**(9) ウォッチドッグ・タイマ**

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求 (INTWDT)が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求 (INTWDTM)が発生します。

**(10) シリアル・インタフェース (SIO)**

V850/SA1には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART0, UART1) とクロック同期式シリアル・インタフェース (CSI0-CSI2), I<sup>2</sup>Cバス・インタフェースをあわせて4チャンネル備えています。このうち1チャンネルはUARTとCSIの切り替えが可能、別の1チャンネルはCSIとI<sup>2</sup>Cの切り替えが可能で、2チャンネルはUARTとCSIにそれぞれ固定になっています。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CSI2は、SO0-SO2, SI0-SI2,  $\overline{SCK0}$ -SCK2端子によりデータ転送を行います。

★ I<sup>2</sup>Cは、SDA, SCL端子によりデータ転送を行います。I<sup>2</sup>Cは、 $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ内蔵しています。

UARTだけ専用ポー・レート・ジェネレータを2チャンネル内蔵しています。

**(11) A/Dコンバータ**

12本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

**(12) DMAコントローラ**

3チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(13) リアルタイム出力ポート (RTP)

あらかじめ設定しておいた8ビット・データを、外部トリガ信号またはタイマのコンペア・レジスタの一致信号により出力ラッチに転送する、リアルタイム出力機能です。4ビット×2chとしても使用できます。

(14) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ, RTPトリガ
ポート1	6ビット入出力		シリアル・インタフェース
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		リアルタイム出力ポート, 外部アドレス・バス
ポート11	4ビット入出力, 1ビット入力		外部アドレス・バス, サブクロック入力
ポート12	1ビット入出力		ウェイト制御

## 第2章 端子機能

### 2.1 端子機能一覧

ここでは、V850/SA1の端子の名称と機能を、ポート端子とそれ以外の端子に分けて説明します。

端子の入出力バッファ電源には、AV<sub>DD</sub>、BV<sub>DD</sub>、V<sub>DD</sub>の3系統があります。それぞれの電源と端子の関係を次に示します。

★ 表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子	使用可能な電圧範囲
AV <sub>DD</sub>	ポート7, ポート8	2.7 V AV <sub>DD</sub> 3.6 V
BV <sub>DD</sub>	ポート4, ポート5, ポート6, ポート9, ポート12, CLKOUT	2.7 V BV <sub>DD</sub> 3.6 V
V <sub>DD</sub>	ポート0, ポート1, ポート2, ポート3, ポート10, ポート11, RESET	2.7 V V <sub>DD</sub> 3.6 V

#### (1) ポート端子

(1/3)

端子名称	入出力	PULL	機 能	兼用端子
P00	入出力	あり	ポート0 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	NMI
P01				INTP0
P02				INTP1
P03				INTP2
P04				INTP3
P05				INTP4/ADTRG
P06				INTP5/RTPTRG
P07				INTP6
P10	入出力	あり	ポート1 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SI0/SDA <sup>注</sup>
P11				SO0
P12				SCK0/SCL <sup>注</sup>
P13				SI1/RXD0
P14				SO1/TXD0
P15				SCK1/ASCK0
P20	入出力	あり	ポート2 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SI2
P21				SO2
P22				SCK2
P23				RXD1
P24				TXD1
P25				ASCK1
P26				TI2/TO2
P27				TI3/TO3

★ 注 μ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P30	入出力	あり	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	T100
P31				T101
P32				T110
P33				T111
P34				TO0/A13
P35				TO1/A14
P36				T14/TO4/A15
P37				T15/TO5
P40	入出力	なし	ポート4 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD0
P41				AD1
P42				AD2
P43				AD3
P44				AD4
P45				AD5
P46				AD6
P47				AD7
P50	入出力	なし	ポート5 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD8
P51				AD9
P52				AD10
P53				AD11
P54				AD12
P55				AD13
P56				AD14
P57				AD15
P60	入出力	なし	ポート6 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
P61				A17
P62				A18
P63				A19
P64				A20
P65				A21
P70	入力	なし	ポート7 8ビット入力ポート	ANI0
P71				ANI1
P72				ANI2
P73				ANI3
P74				ANI4
P75				ANI5
P76				ANI6
P77				ANI7
P80	入力	なし	ポート8 4ビット入力ポート	ANI8
P81				ANI9
P82				ANI10
P83				ANI11

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P90	入出力	なし	ポート9 7ビット入出力ポート 1ビット単位で入力/出力の指定が可能	LBEN/WRL
P91				UBEN
P92				R/W / WRH
P93				DSTB/RD
P94				ASTB
P95				HLDK
P96				HLDRQ
P100	入出力	あり	ポート10 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	RTP0/A5
P101				RTP1/A6
P102				RTP2/A7
P103				RTP3/A8
P104				RTP4/A9
P105				RTP5/A10
P106				RTP6/A11
P107	RTP7/A12			
P110	入出力	あり	ポート11 5ビット入出力ポート 1ビット単位で入力/出力の指定が可能 P114は入力モードに固定	A1
P111				A2
P112				A3
P113				A4
P114	入力	なし		XT1
P120	入出力	なし	ポート12 1ビット入出力ポート	WAIT

備考 PULL : 内蔵プルアップ抵抗

## (2) ポート以外の端子

(1/2)

端子名称	入出力	PULL	機能	兼用端子
A1-A4	出力	あり	外部にメモリを拡張する場合の下位アドレス・バス	P110-P113
A5-A12				P100/RTP0-P107/RTP7
A13				P34/TO0
A14				P35/TO1
A15				P36/TI4/TO4
A16-A21	出力	なし	外部にメモリを拡張する場合の上位アドレス・バス	P60-P65
AD0-AD7	入出力	なし	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15				P50-P57
ADTRG	入力	あり	A/Dコンバータ外部トリガ入力	P05/INTP4
ANI0-ANI7	入力	なし	A/Dコンバータへのアナログ入力	P70-P77
ANI8-ANI11	入力	なし		P80-P83
ASCK0	入力	あり	UART0, UART1のシリアル・ポー・レート・クロック入力	P15/SCK1
ASCK1				P25
ASTB	出力	なし	外部アドレス・ストロブ信号出力	P94
AV <sub>DD</sub>	-	-	A/Dコンバータ用正電源供給	-
AV <sub>REF</sub>	入力	-	A/Dコンバータ用基準電圧入力	-
AV <sub>SS</sub>	-	-	A/Dコンバータ用グランド電位	-
BV <sub>DD</sub>	-	-	バス・インタフェース用正電源供給	-
BV <sub>SS</sub>	-	-	バス・インタフェース用グランド電位	-
CLKOUT	出力	-	内部システム・クロック出力	-
DSTB	出力	なし	外部データ・ストロブ信号出力	P93/RD
HLD <sub>AK</sub>	出力	なし	バス・ホールド・アクノリッジ出力	P95
HLD <sub>RQ</sub>	入力	なし	バス・ホールド要求入力	P96
INTP0-INTP3	入力	あり	外部割り込み要求入力(アナログ・ノイズ除去)	P01-P04
INTP4				P05/ADTRG
INTP5			P06/RTPTRG	
INTP6			P07	
LBEN	出力	なし	外部データ・バスの下位バイト・イネーブル信号出力	P90/WRL
NMI	入力	あり	ノンマスク割込み要求入力(アナログ・ノイズ除去)	P00
R <sub>D</sub>	出力	なし	リード・ストロブ信号出力	P93/DSTB
RESET	入力	-	システム・リセット入力	-
RTP0-RTP7	出力	あり	リアルタイム出力ポート	P100/A5-P107/A12
RTPTRG	入力	あり	RTP外部トリガ入力	P06/INTP5
R/W	出力	なし	外部リード/ライト・ステータス出力	P92/WRH
RXD0	入力	あり	UART0, UART1のシリアル受信データ入力	P13/SI1
RXD1				P23
SCK0	入出力	あり	CSI0-CSI2のシリアル・クロック入出力(3線式)	P12/SCL <sup>注</sup>
SCK1				P15/ASCK0
SCK2				P22

★ 注 μPD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
SCL <sup>注1</sup>	入出力	あり	I <sup>2</sup> Cのシリアル・クロック入出力	P12/SCK0
SDA <sup>注1</sup>	入出力	あり	I <sup>2</sup> Cのシリアル送受信データ入出力	P10/SI0
SI0	入力	あり	CSI0-CSI2のシリアル受信データ入力(3線式)	P10/SDA <sup>注1</sup>
SI1				P13/RXD0
SI2				P20
SO0	出力	あり	CSI0-CSI2のシリアル送信データ出力(3線式)	P11
SO1				P14/TXD0
SO2				P21
TI00	入力	あり	TM0の外部カウント・クロック入力/外部キャプチャ・トリガ入力	P30
TI01			TM0の外部キャプチャ・トリガ入力	P31
TI10			TM1の外部カウント・クロック入力/外部キャプチャ・トリガ入力	P32
TI11			TM1の外部キャプチャ・トリガ入力	P33
TI2			TM2の外部カウント・クロック入力	P26/TO2
TI3			TM3の外部カウント・クロック入力	P27/TO3
TI4			TM4の外部カウント・クロック入力	P36/TO4/A15
TI5			TM5の外部カウント・クロック入力	P37/TO5
TO0, TO1			出力	あり
TO2	TM2のパルス信号出力	P26/TI2		
TO3	TM3のパルス信号出力	P27/TI3		
TO4	TM4のパルス信号出力	P36/TI4/A15		
TO5	TM5のパルス信号出力	P37/TI5		
TXD0	出力	あり	UART0, UART1のシリアル送信データ出力	P14/SO1
TXD1				P24
UBEN	出力	なし	外部データ・バスの上位バイト・イネーブル信号出力	P91
V <sub>DD</sub>	-	-	正電源供給端子	-
V <sub>PP</sub> <sup>注2</sup>	-	-	プログラム書き込み/ベリファイ時の高電圧印加端子	-
V <sub>SS</sub>	-	-	グランド電位	-
WAIT	入力	なし	バス・サイクルにウエイトを挿入する制御信号入力	P120
WRH	出力	なし	外部データ・バスの上位バイト・ライト・ストロープ信号出力	P92/R/W
WRL			外部データ・バスの下位バイト・ライト・ストロープ信号出力	P90/LBEN
X1	入力	なし	メイン・クロック用発振子接続	-
X2				-
XT1	入力	なし	サブクロック用発振子接続	P114
XT2				-
IC <sup>注3</sup>	-	-	内部接続	-

- ★ 注1.  $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ
- ★ 2.  $\mu$ PD70F3015B, 70F3015BY, 70F3017A, 70F3017AYのみ
- ★ 3.  $\mu$ PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AYのみ

備考 PULL : 内蔵プルアップ抵抗

## 2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

★

表2-2 動作モードによる各端子の動作状態

端子	動作状態	リセット <sup>注1</sup>	HALTモード/ アイドル・ステート	IDLEモード/ ソフトウェア STOPモード	バス・ホールド	バス・サイクル 非活性 <sup>注2</sup>
AD0-AD15		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
A1-A15		Hi-Z	保持	保持	保持	保持 <sup>注3</sup>
A16-A21		Hi-Z	保持	Hi-Z	Hi-Z	保持 <sup>注3</sup>
$\overline{\text{LBEN}}$ , $\overline{\text{UBEN}}$		Hi-Z	保持	Hi-Z	Hi-Z	保持 <sup>注3</sup>
$\overline{\text{R/W}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{DSTB}}$ , $\overline{\text{WRL}}$ , $\overline{\text{WRH}}$ , $\overline{\text{RD}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{ASTB}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{HLDRQ}}$		-	動作	-	動作	動作
$\overline{\text{HLDK}}$		Hi-Z	動作	Hi-Z	L	動作
$\overline{\text{WAIT}}$		-	-	-	-	-
$\overline{\text{CLKOUT}}$		Hi-Z	動作 <sup>注4</sup>	L	動作 <sup>注4</sup>	動作 <sup>注4</sup>

注1. リセット時、各端子（CLKOUT端子を除く）はポート端子（入力モード）

2. バス・サイクル非活性タイミングは、外部拡張モードにおいてプログラム・カウンタ（PC）が内部メモリ領域を指定している状態
3. ・リセット解除後に外部拡張モードに設定し、外部メモリ領域に1回もアクセスしていないとき：不定  
・外部メモリ領域にアクセスしたあとのバス・サイクル非活性時、または、外部拡張モード解除後に再び外部拡張モードに設定し、外部メモリ領域に1回もアクセスしていないとき：外部メモリ領域に最後にアクセスした外部バス・サイクルの状態を保持
4. クロック出力インビット・モード時はロウ・レベル（L）

備考 Hi-Z：ハイ・インピーダンス

保持：直前の外部バス・サイクルでの状態を保持

L：ロウ・レベル出力

H：ハイ・レベル出力

-：入力非サンプリング（受け付けない）

## 2.3 端子機能の説明

### (1) P00-P07 (Port 0) ...3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P00-P07は入出力ポートとして機能するほか、NMI入力、外部割り込み要求入力、A/Dコンバータの外部トリガ、リアルタイム出力ポートの外部トリガとして動作します。NMI、INTP0-INTP6端子の有効エッジは、EGP0レジスタとEGN0レジスタで指定します。

#### (a) ポート機能

P00-P07はポート0モード・レジスタ (PM0) により、1ビット単位に入力または出力を設定できます。

#### (b) 兼用機能

##### (i) NMI (Non-maskable Interrupt Request) ...入力

ノンマスカブル割り込み要求信号入力端子です。

##### (ii) INTP0-INTP6 (Interrupt Request From Peripherals) ...入力

外部割り込み要求入力端子です。

##### (iii) ADTRG (AD Trigger Input) ...入力

A/Dコンバータの外部トリガ入力端子です。A/Dコンバータ・モード・レジスタ (ADM) で制御します。

##### (iv) RTPTRG (Real-time Output Port Trigger Input) ...入力

リアルタイム出力ポートの外部トリガ入力端子です。リアルタイム出力ポート・コントロール・レジスタ (RTPC) で制御します。

**(2) P10-P15 (Port 1) ...3ステート入出力**

ポート1は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P10-P15は入出力ポートとして機能するほか、シリアル・インタフェースの入出力として動作します。

P10-P12, P14, P15は、通常出力とN-chオープン・ドレイン出力を選択できます。

**(a) ポート機能**

P10-P15はポート1モード・レジスタ (PM1) により、1ビット単位に入力または出力を設定できます。

**(b) 兼用機能****(i) SI0, SI1 (Serial Input 0, 1) ...入力**

CSI0, CSI1のシリアル受信データ入力端子です。

**(ii) SO0, SO1 (Serial Output 0, 1) ...出力**

CSI0, CSI1のシリアル送信データ出力端子です。

**(iii)  $\overline{\text{SCK0}}$ ,  $\overline{\text{SCK1}}$  (Serial Clock 0, 1) ...3ステート入出力**

CSI0, CSI1のシリアル・クロック入出力端子です。

**★ (iv) SDA (Serial Data) ...入出力**

I<sup>2</sup>Cのシリアル送受信データ入出力端子です ( $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ)。

**★ (v) SCL (Serial Clock) ...入出力**

I<sup>2</sup>Cのシリアル・クロック入出力端子です ( $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ)。

**(vi) RXD0 (Receive Data 0) ...入力**

UART0のシリアル受信データ入力端子です。

**(vii) TXD0 (Transmit Data 0) ...出力**

UART0のシリアル送信データ出力端子です。

**(viii) ASCK0 (Asynchronous Serial Clock 0) ...入力**

UART0のシリアル・ポー・レート・クロック入力端子です。

**(3) P20-P27 (Port 2) ...3ステート入出力**

ポート2は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P20-P27は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの入出力として動作します。

P21, P22は、通常出力とN-chオープン・ドレイン出力を選択できます。

**(a) ポート機能**

P20-P27はポート2モード・レジスタ (PM2) により、1ビット単位に入力または出力を設定できます。

**(b) 兼用機能****(i) SI2 (Serial Input 2) ...入力**

CSI2のシリアル受信データ入力端子です。

**(ii) SO2 (Serial Output 2) ...出力**

CSI2のシリアル送信データ出力端子です。

**(iii)  $\overline{\text{SCK2}}$  (Serial Clock 2) ...3ステート入出力**

CSI2のシリアル・クロック入出力端子です。

**(iv) RXD1 (Receive Data 1) ...入力**

UART1のシリアル受信データ入力端子です。

**(v) TXD1 (Transmit Data 1) ...出力**

UART1のシリアル送信データ出力端子です。

**(vi) ASCK1 (Asynchronous Serial Clock 1) ...入力**

UART1のシリアル・ポー・レート・クロック入力端子です。

**(vii) TI2, TI3 (Timer Input 2, 3) ...入力**

タイマ2, 3の外部カウント・クロック入力端子です。

**(viii) TO2, TO3 (Timer Output 2, 3) ...出力**

タイマ2, 3のパルス信号出力端子です。

**(4) P30-P37 (Port 3) ...3ステート入出力**

ポート3は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P30-P37は入出力ポートとして機能するほか、タイマ/カウンタの入出力、メモリを外部に拡張する場合のアドレス・バス (A13-A15) として動作します。

**(a) ポート機能**

P30-P37はポート3モード・レジスタ (PM3) により、1ビット単位に入力または出力を設定できます。

**(b) 兼用機能****(i) TI00, TI01, TI10, TI11, TI4, TI5 (Timer Input 00, 01, 10, 11, 4, 5) ...入力**

タイマ0, 1, 4, 5の外部カウント・クロック入力端子です。

**(ii) TO0, TO1, TO4, TO5 (Timer Output 0, 1, 4, 5) ...出力**

タイマ0, 1, 4, 5のパルス信号出力端子です。

**(iii) A13-A15 (Address 13-15) ...出力**

外部アクセス時のアドレス・バスで、22ビット・アドレスのA13-A15ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

**(5) P40-P47 (Port 4) ...3ステート入出力**

ポート4は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P40-P47は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD0-AD7) として動作します。

入出力信号レベルは、バス・インタフェース用電源 $BV_{DD}$ ,  $BV_{SS}$ を基準とします。

**(a) ポート機能**

P40-P47はポート4モード・レジスタ (PM4) により、1ビット単位に入力または出力を設定できます。

**(b) 兼用機能 (外部拡張機能)**

P40-P47は、メモリ拡張モード・レジスタ (MM) により、AD0-AD7に指定できます。

**(i) AD0-AD7 (Address/Data 0-7) ...3ステート入出力**

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では22ビット・アドレスのAD0-AD7出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの下位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

**(6) P50-P57 (Port 5) ...3ステート入出力**

ポート5は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P50-P57は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD8-AD15) として動作します。

入出力信号レベルは、バス・インタフェース用電源 $BV_{DD}$ ,  $BV_{SS}$ を基準とします。

**(a) ポート機能**

P50-P57はポート5モード・レジスタ (PM5) により、1ビット単位に入力または出力を設定できます。

**(b) 兼用機能 (外部拡張機能)**

P50-P57はメモリ拡張モード・レジスタ (MM) により、AD8-AD15に指定できます。

**(i) AD8-AD15 (Address/Data 8-15) ...3ステート入出力**

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では22ビット・アドレスのAD8-AD15出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの上位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

**(7) P60-P65 (Port 6) ...3ステート入出力**

ポート6は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

★ P60-P65は入出力ポートとして機能するほか、メモリを外部に拡張する場合のアドレス・バス(A16-A21)として動作します。ポート6に8ビット・アクセスした場合の上位2ビットは、ライト時は無視され、リード時は00が読み出されます。

入出力信号レベルは、バス・インタフェース用電源 $BV_{DD}$ 、 $BV_{SS}$ を基準とします。

**(a) ポート機能**

P60-P65はポート6モード・レジスタ (PM6) により、1ビット単位に入力または出力を設定できます。

**(b) 兼用機能 (外部拡張機能)**

P60-P65はメモリ拡張モード・レジスタ (MM) により、A16-A21に指定できます。

**(i) A16-A21 (Address 16-21) ...出力**

外部アクセス時のアドレス・バスで、22ビット・アドレスの上位6ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

**(8) P70-P77 (Port 7) , P80-P83 (Port 8) ...入力**

ポート7は、全端子が入力に固定の8ビットの入力専用ポートです。ポート8は、全端子が入力に固定の4ビットの入力専用ポートです。

P70-P77, P80-P83は入力ポートとして機能するほか、兼用機能ではA/Dコンバータのアナログ入力として動作します。

**(a) ポート機能**

P70-P77, P80-P83は入力専用です。

**(b) 兼用機能**

P70-P77はANI0-ANI7端子と、P80-P83はANI8-ANI11端子と兼用になっていますが、切り替えはできません。

**(i) ANI0-ANI11 (Analog Input 0-11) ...入力**

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、 $AV_{SS}$ との間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、 $AV_{SS}$ - $AV_{REF}$ の範囲外の電圧が加わらないようにしてください。 $AV_{REF}$ 以上、 $AV_{SS}$ 以下のノイズが入る可能性がある場合は、 $V_F$ の小さいダイオードでクランプしてください。

## (9) P90-P96 (Port 9) ...3ステート入出力

ポート9は、1ビット単位で入力または出力を設定できる7ビットの入出力ポートです。

P90-P96は入出力ポートとして機能するほか、メモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号出力として動作します。

ポート9に8ビット・アクセスした場合の上位1ビットは、ライト時は無視され、リード時は0が読み出されます。

入出力信号レベルは、バス・インタフェース用電源 $BV_{DD}$ 、 $BV_{SS}$ を基準とします。

## (a) ポート機能

P90-96はポート9モード・レジスタ(PM9)により、1ビット単位に入力または出力を設定できます。

## (b) 兼用機能 (外部拡張機能)

P90-P96はメモリ拡張モード・レジスタ(MM)により、メモリを外部に拡張する場合の制御信号出力として動作します。

(i)  $\overline{LBEN}$  (Lower Byte Enable) ...出力

外部16ビット・データ・バスの下位バイト・イネーブル信号出力端子です。奇数アドレスへのバイト・アクセス時はインアクティブ(ハイ・レベル)になります。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

(ii)  $\overline{UBEN}$  (Upper Byte Enable) ...出力

外部16ビット・データ・バスの上位バイト・イネーブル信号出力端子です。偶数アドレスへのバイト・アクセス時はインアクティブ(ハイ・レベル)になります。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

アクセス		$\overline{UBEN}$	$\overline{LBEN}$	A0
ワード・アクセス		0	0	0
ハーフワード・アクセス		0	0	0
バイト・アクセス	偶数アドレス	1	0	0
	奇数アドレス	0	1	1

(iii)  $R/\overline{W}$  (Read/Write Status) ...出力

外部アクセス時のバス・サイクルが、リード・サイクルかライト・サイクルかを示すステータス信号出力端子です。リード・サイクルではハイ・レベル、ライト・サイクルではロウ・レベルになります。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・レベルになります。

(iv)  $\overline{\text{DSTB}}$  (Data Strobe) ...出力

外部データ・バスのアクセス・ストロブ信号出力端子です。出力はバス・サイクルのT2, TWステートの期間中アクティブ(ロウ・レベル)になります。バス・サイクルが非活性のタイミングではインアクティブ(ハイ・レベル)になります。

(v)  $\text{ASTB}$  (Address Strobe) ...出力

外部アドレス・バスのラッチ・ストロブ信号出力端子です。出力は、バス・サイクルのT1ステートの立ち下がりに同期してアクティブ(ロウ・レベル)になり、T3ステートの立ち下がりに同期してインアクティブ(ハイ・レベル)になります。バス・サイクルが非活性のタイミングでは、インアクティブになります。

(vi)  $\overline{\text{HLDAK}}$  (Hold Acknowledge) ...出力

V850/SA1がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをそれぞれハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になります。

(vii)  $\overline{\text{HLDRQ}}$  (Hold Request) ...入力

外部デバイスがV850/SA1に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期に入力できます。この端子がアクティブになると、V850/SA1は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 $\overline{\text{HLDAK}}$ 信号をアクティブにしてバスを解放します。

(viii)  $\overline{\text{WRL}}$  (Write Strobe Low Level Data) ...出力

外部16ビット・データ・バスの下位データのライト・ストロブ信号出力端子です。 $\overline{\text{DSTB}}$ と同じ、ライト・サイクルで出力します。

(ix)  $\overline{\text{WRH}}$  (Write Strobe High Level Data) ...出力

外部16ビット・データ・バスの上位データのライト・ストロブ信号出力端子です。 $\overline{\text{DSTB}}$ と同じライト・サイクルで出力します。

(x)  $\overline{\text{RD}}$  (Read Strobe) ...出力

外部16ビット・データ・バスのリード・ストロブ信号出力端子です。 $\overline{\text{DSTB}}$ と同じリード・サイクルで出力します。

**(10) P100-P107 (Port 10) ...3ステート入出力**

ポート10は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P100-P107は入出力ポートとして機能するほか、リアルタイム出力ポート、メモリを外部に拡張する場合のアドレス・バス (A5-A12) として動作します。

P100-P107は、通常出力とN-chオープン・ドレーン出力を選択できます。

**(a) ポート機能**

P100-107はポート10モード・レジスタ (PM10) により、1ビット単位に入力または出力を設定できます。

**(b) 兼用機能****(i) RTP0-RTP7 (Real-time Output Port 0-7) ...出力**

リアルタイム出力ポートです。

**(ii) A5-A12 (Address 5-12) ...出力**

外部アクセス時のアドレス・バスで、22ビット・アドレスのA5-A12ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

**(11) P110-P114 (Port 11) ...3ステート入出力**

ポート11は、1ビット単位で入力または出力を設定できる5ビットの入出力ポートです。ただし、P114はXT1入力に固定です。

P110-P113は入出力ポートとして機能するほか、メモリを外部に拡張する場合のアドレス・バス (A1-A4) として動作します。

**(a) ポート機能**

P110-114はポート11モード・レジスタ (PM11) により、1ビット単位に入力または出力を設定できます。ただし、P114は入力に固定です。

**(b) 兼用機能****(i) A1-A4 (Address 1-4) ...出力**

外部アクセス時のアドレス・バスで、22ビット・アドレスの下位4ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

**(ii) XT1 (Crystal for Subclock) ...入力**

サブクロック発生用の発振子接続端子です。

外部クロックを入力することもできます。そのとき、XT1端子にクロック信号を入力し、XT2端子にはその反転した信号を入力してください。

**(12) P120 (Port 12) ...3ステート入出力**

ポート12は、入力または出力を設定できる1ビットの入出力ポートです。P120は入出力ポートとして機能するほか、バス・サイクルにウエイトを挿入する制御信号 ( $\overline{\text{WAIT}}$ ) として動作します。

**(a) ポート機能**

P120はポート12モード・レジスタ (PM12) により、入力または出力を設定できます。

**(b) 兼用機能****(i)  $\overline{\text{WAIT}}$  (Wait) ...入力**

バス・サイクルにウエイトを挿入する制御信号入力端子です。バス・サイクルのT2, TWステートのクロックの立ち下がりでサンプリングされます。

**★ (13) CLKOUT (Clock Out) ...出力**

内部で生成したバス・クロック出力端子です。

**(14)  $\overline{\text{RESET}}$  (Reset) ...入力**

$\overline{\text{RESET}}$ 入力は非同期入力で 動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, ソフトウェアSTOP) の解除にも使用します。

**(15) X1, X2 (Crystal)**

メイン・クロック発生用の発振子接続端子です。

外部クロックを入力することもできます。外部クロックを入力するときはX1端子に接続し、X2端子はオープンにしてください。

**(16) XT2 (Crystal for Subclock)**

サブクロック発生用の発振子接続端子です。

**(17) AV<sub>DD</sub> (Power Supply for Analog)**

A/Dコンバータ用のアナログ正電源供給端子です。必ずV<sub>DD</sub>端子と同電位にしてください。

**(18) AV<sub>SS</sub> (Ground for Analog)**

A/Dコンバータ用のグラウンド端子です。

**(19) AV<sub>REF</sub> (Analog Reference Voltage) ...入力**

A/Dコンバータ用の基準電圧供給端子です。必ずAV<sub>DD</sub>端子と同電位にしてください。

**(20) BV<sub>DD</sub> (Power Supply for Bus Interface)**

バス・インタフェースおよび兼用ポート用の正電源供給端子です。必ずV<sub>DD</sub>端子と同電位にしてください。

(21) BV<sub>SS</sub> (Ground for Bus Interface)

バス・インタフェースおよび兼用ポート用のグランド端子です。

(22) V<sub>DD</sub> (Power Supply)

正電源供給端子です。すべてのV<sub>DD</sub>端子を正電源に接続してください。

(23) V<sub>SS</sub> (Ground)

グランド端子です。すべてのV<sub>SS</sub>端子をグランドに接続してください。

★ (24) V<sub>PP</sub> (Programming Power Supply)

フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。

μPD70F3015B, 70F3015BY, 70F3017A, 70F3017AY用の端子です。通常動作モード時は、必ずV<sub>SS</sub>に接続してください。

★ (25) IC (Internally Connected)

内部接続端子です。μPD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AY用の端子です。必ずV<sub>SS</sub>に接続直接してください。

## ★ 2.4 端子の入出力回路タイプと未使用時の処理

(1/2)

端子	兼用端子名	入出力回路タイプ	推奨接続方法
P00	NMI	8-A	入力時：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P01-P04	INTP0-INTP3		
P05	INTP4/ADTRG		
P06	INTP5/RTPTRG		
P07	INTP6		
P10	SI0/SDA <sup>注</sup>		
P11	SO0	26	
P12	SCK0/SCL <sup>注</sup>	10-A	
P13	SI1/RXD0	8-A	
P14	SO1/TXD0	26	
P15	SCK1/ASCK0	10-A	
P20	SI2	8-A	
P21	SO2	26	
P22	SCK2	10-A	
P23	RXD1	8-A	
P24	TXD1	5-A	
P25	ASCK1	8-A	
P26, P27	TI2/TO2, TI3/TO3		
P30, P31	TI00, TI01		
P32, P33	TI10, TI11		
P34, P35	TO0/A13, TO1/A14	5-A	
P36	TI4/TO4/A15	8-A	
P37	TI5/TO5		
P40-P47	AD0-AD7	5	入力時：個別に抵抗を介してBV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P50-P57	AD8-AD15		
P60-P65	A16-A21		
P70-P77	ANI0-ANI7	9	AV <sub>SS</sub> またはAV <sub>DD</sub> に接続してください。
P80-P83	ANI8-ANI11		
P90	LBEN/WRL	5	入力時：個別に抵抗を介してBV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P91	UBEN		
P92	R/W/WRH		
P93	DSTB/RD		
P94	ASTB		
P95	HLDK		
P96	HLDRQ		
P100-P107	RTP0/A5-RTP7/A12	26	入力時：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P110-P113	A1-A4	5	
P114	XT1	16-A	V <sub>SS</sub> に接続してください。

注  $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ

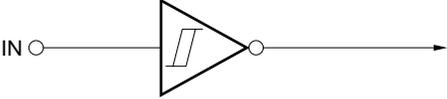
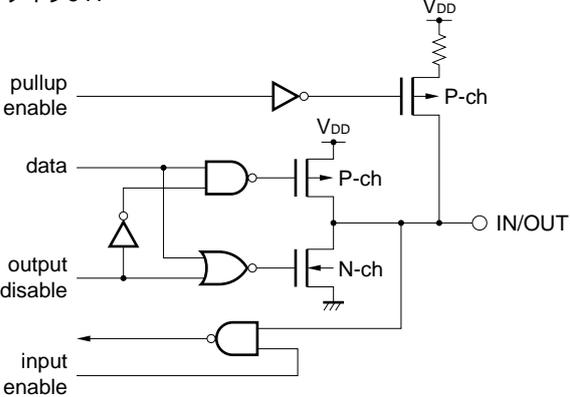
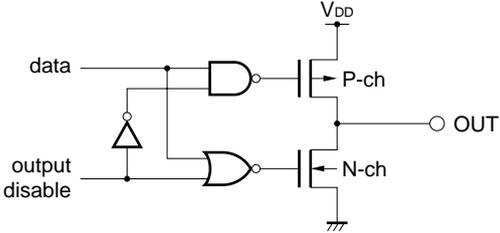
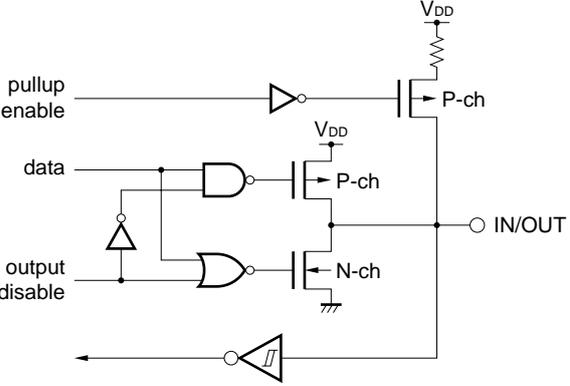
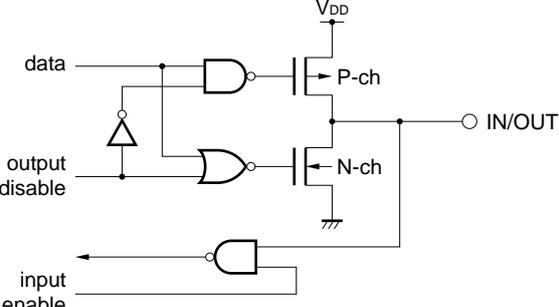
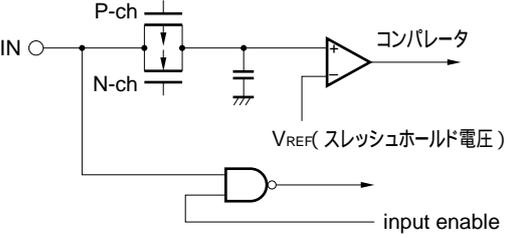
端子	兼用端子名	入出力回路タイプ	推奨接続方法
P120	WAIT	5	入力時：個別に抵抗を介してBV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
AV <sub>REF</sub>	-	-	AV <sub>SS</sub> に接続してください。
CLKOUT	-	4	オープンにしてください。
IC <sup>注1</sup>	-	-	V <sub>SS</sub> に直接接続してください。
RESET	-	2	-
V <sub>PP</sub> <sup>注2</sup>	-	-	V <sub>SS</sub> に接続してください。
X2	-	-	オープンにしてください(X1端子に外部クロック入力時)。
XT2	-	16-A	オープンにしてください。

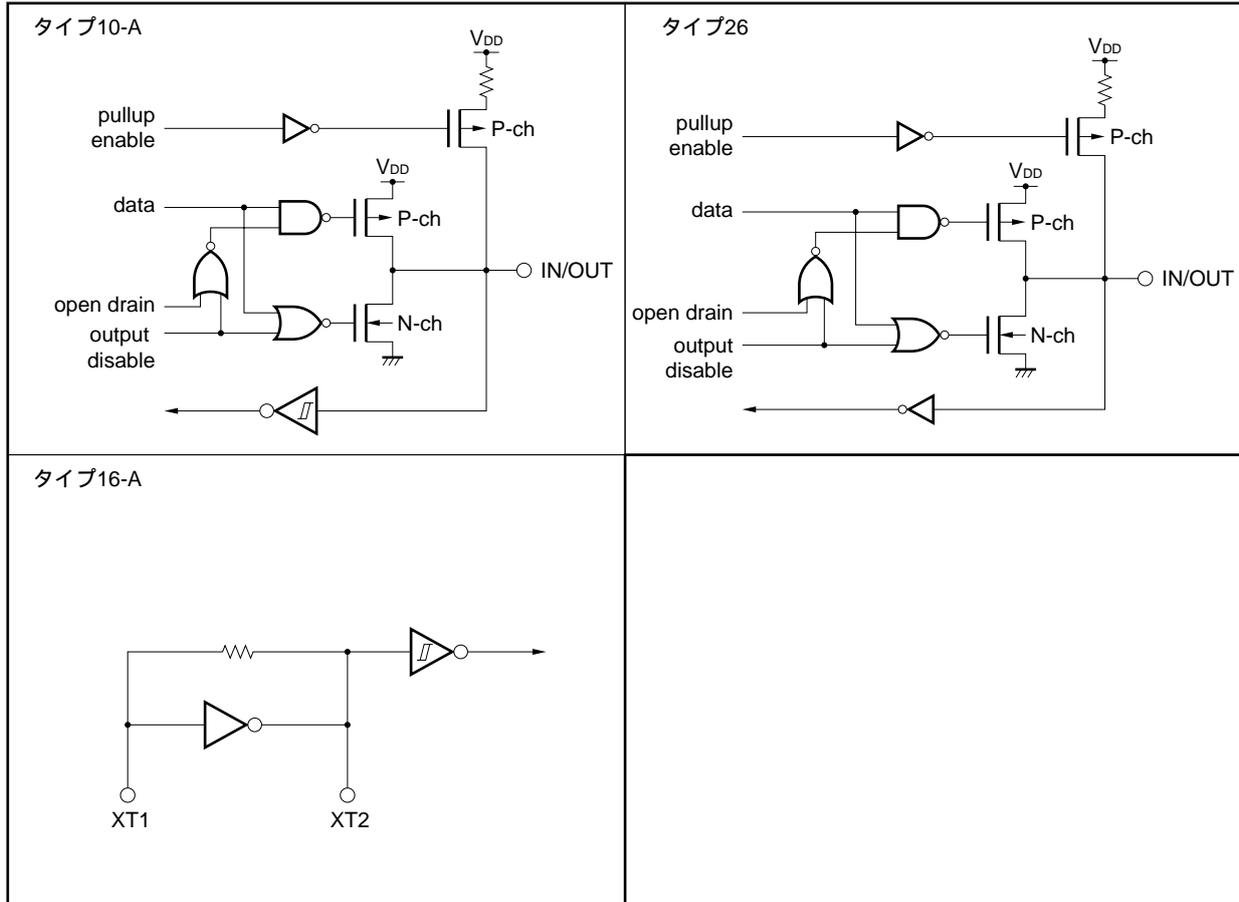
注1.  $\mu$  PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AYのみ

2.  $\mu$  PD70F3015B, 70F3015BY, 70F3017A, 70F3017AYのみ

## 2.5 端子の入出力回路

( 1/2 )

<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ5-A</p> 
<p>タイプ4</p>  <p>出力をハイ・インピーダンス (P-ch, N-chともにオフ) にできるプッシュプル出力です。</p>	<p>タイプ8-A</p> 
<p>タイプ5</p> 	<p>タイプ9</p> 



## 第3章 CPU機能

V850/SA1は、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

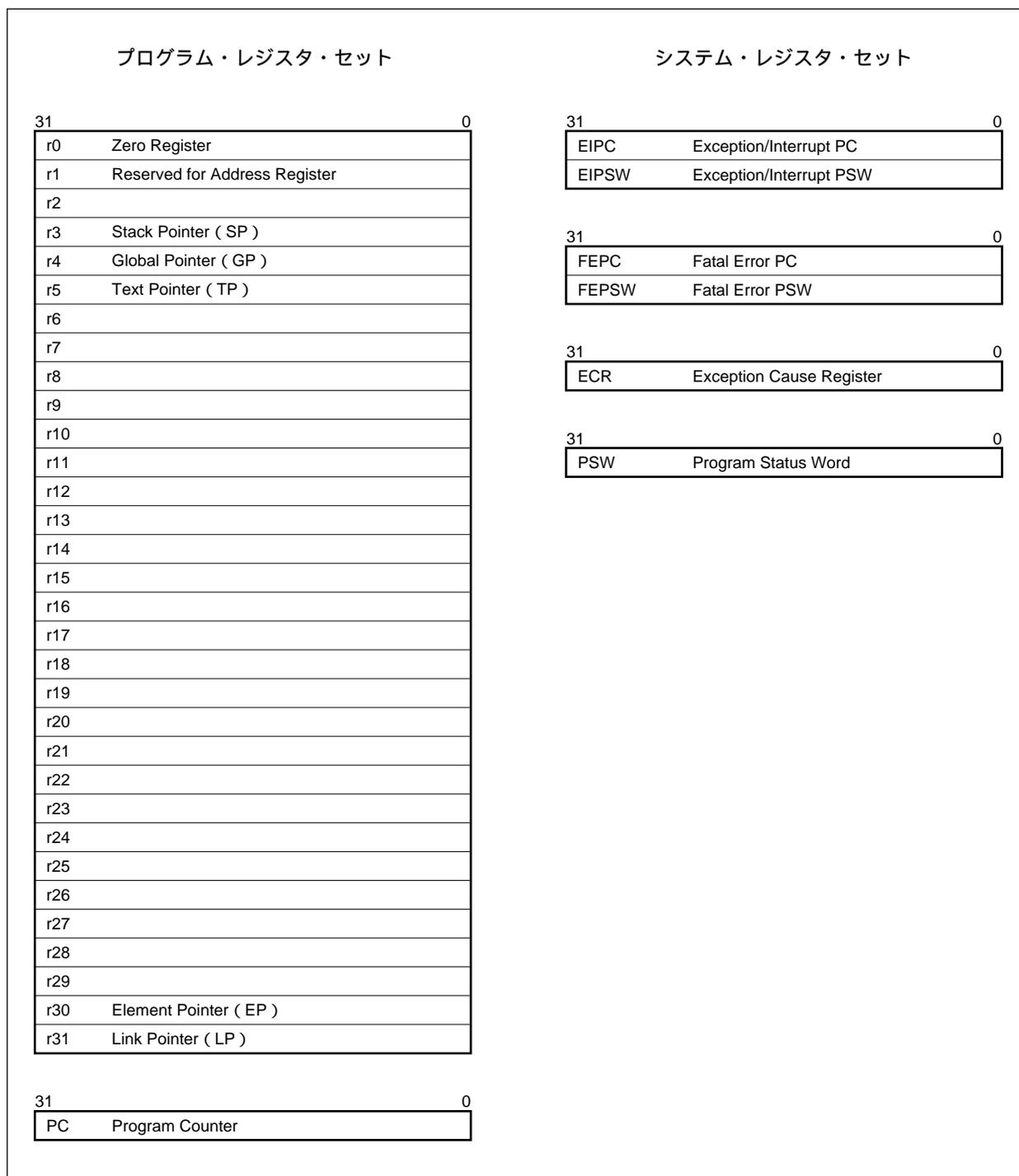
### 3.1 特 徴

- ★ 最小命令実行時間：50 ns（内部20 MHz動作時）
  - 58.8 ns（内部 17 MHz動作時）
  - 30.5  $\mu$ s（内部 32.768 kHz動作時）
- アドレス空間 : 16 Mバイト・リニア（物理アドレス空間：4 Mバイト）
- 汎用レジスタ : 32ビット×32本
- 内部32ビット・アーキテクチャ
- 5段パイプライン制御
- 乗除算命令
- 飽和演算命令
- 32ビット・シフト命令（1クロック）
- ロング/ショート形式を持つロード/ストア命令
- ビット操作命令4種
  - ・SET1
  - ・CLR1
  - ・NOT1
  - ・TST1

## 3.2 CPUレジスタ・セット

V850/SA1のCPUレジスタは、汎用のプログラム・レジスタ・セットと専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅です。詳細はV850シリーズ **ユーザーズ・マニュアル** **アーキテクチャ編**を参照してください。

図3 - 1 CPUレジスタ・セット



### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1、r3-r5、r31はアセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻してください。r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

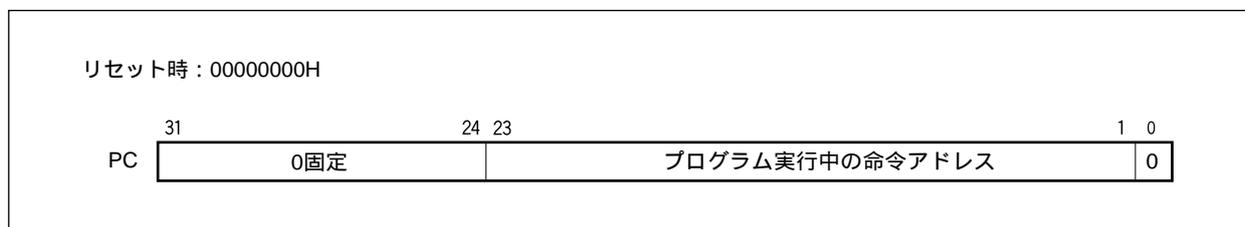
名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミューディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 <sup>注</sup> の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

注 プログラム・コードを配置する領域

#### (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位24ビットが有効で、ビット31-24は0に固定されます。ビット23からビット24へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・セット

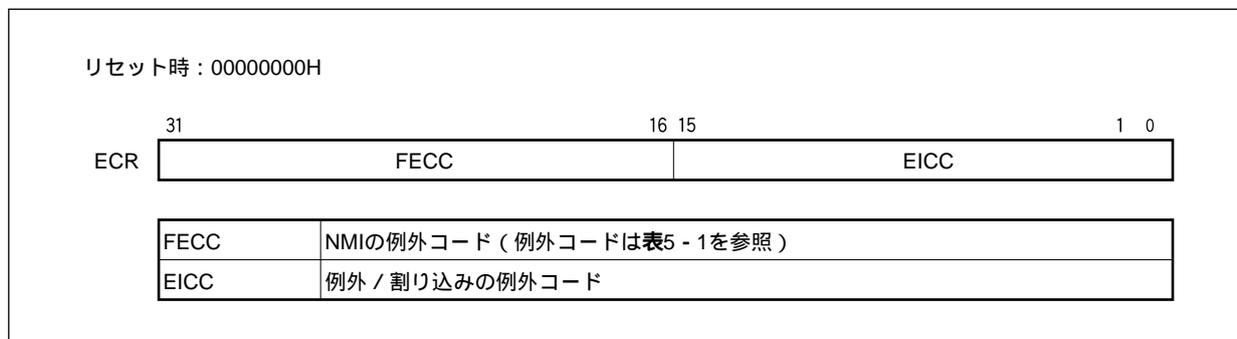
システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3-2 システム・レジスタ番号

番号	システム・レジスタ名称	用途	動作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは1組しかいないため、多重割り込みを許可する場合は、プログラムでこのレジスタを退避してください。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは上位16ビットを“FECC”と呼び、NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び、例外/割り込みの例外コードがセットされます。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です。
6-31	予約		

これらのシステム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR命令/STSR命令）で示すシステム・レジスタ番号を指定して行います。

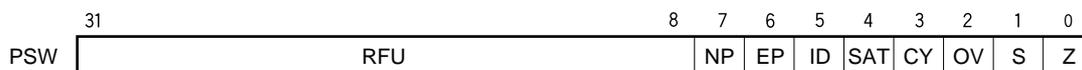
#### (1) 割り込み要因レジスタ（ECR）



★ (2) プログラム・ステータス・ワード (PSW)

(1/2)

リセット時：00000020H



RFU	予約フィールドです (0に固定されています)。
-----	-------------------------

NP	ノンマスクブル割り込み (NMI) 処理状態
0	NMI処理中ではない
1	NMI処理中 NMIが受け付けられるとセット (1) され, 多重割り込みを禁止します。詳細は, 5. 2. 3 NPフラグを参照してください。

EP	例外処理状態
0	例外処理中ではない
1	例外処理中 例外の発生でセット (1) されます。割り込み要求は受け付けます。詳細は, 5. 4. 3 EPフラグを参照してください。

ID	マスクブル割り込み処理の指定
0	マスクブル割り込みの受け付けを許可
1	マスクブル割り込みの受け付けを禁止 マスクブル割り込み要求を受け付けるとセット (1) されます。詳細は, 5. 3. 6 IDフラグを参照してください。

SAT <sup>注</sup>	飽和演算命令の演算結果の飽和検出
0	飽和していない セット(1)されているときに飽和演算命令を実行した結果が飽和しなくても、クリア(0)はされません。クリア(0)するには、PSWに直接書き込んでください。
1	飽和した

CY	演算結果のキャリーまたはボロー検出
0	キャリーまたはボローは発生していない
1	キャリーまたはボローが発生した

OV <sup>注</sup>	演算中のオーバーフロー検出
0	オーバーフローは発生していない
1	オーバーフローが発生した

S <sup>注</sup>	演算結果の正 / 負の検出
0	負ではない(正またはゼロであった)
1	負であった

Z	演算結果のゼロの検出
0	ゼロではなかった
1	ゼロであった

注 飽和演算時のOVビットとSビットの内容で、飽和处理した演算結果が決まります。また、飽和演算時にOVビットがセット(1)された場合だけ、SATビットはセット(1)されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の 値を保持	0	0	演算結果そのもの
負(最大値を越えない)			1	

### 3.3 動作モード

V850/SA1は次の動作モードを備えます。

#### (1) 通常動作モード (シングルチップ・モード)

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、内蔵ROMに書き込まれた命令の処理を開始します。命令によりメモリ拡張モード・レジスタ (MM) を設定すると、外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

#### ★ (2) フラッシュ・メモリ・プログラミング・モード

このモードは、 $\mu$  PD70F3015B, 70F3015BY, 70F3017A, 70F3017AYだけが備えています。V<sub>PP</sub>端子にV<sub>PP</sub>電圧を印加した場合に、内部フラッシュ・メモリの書き込み / 消去ができます。

V <sub>PP</sub>	動作モード
0	通常動作モード
7.8 V	フラッシュ・メモリ・プログラミング・モード
V <sub>DD</sub>	設定禁止

## 3.4 アドレス空間

### 3.4.1 CPUアドレス空間

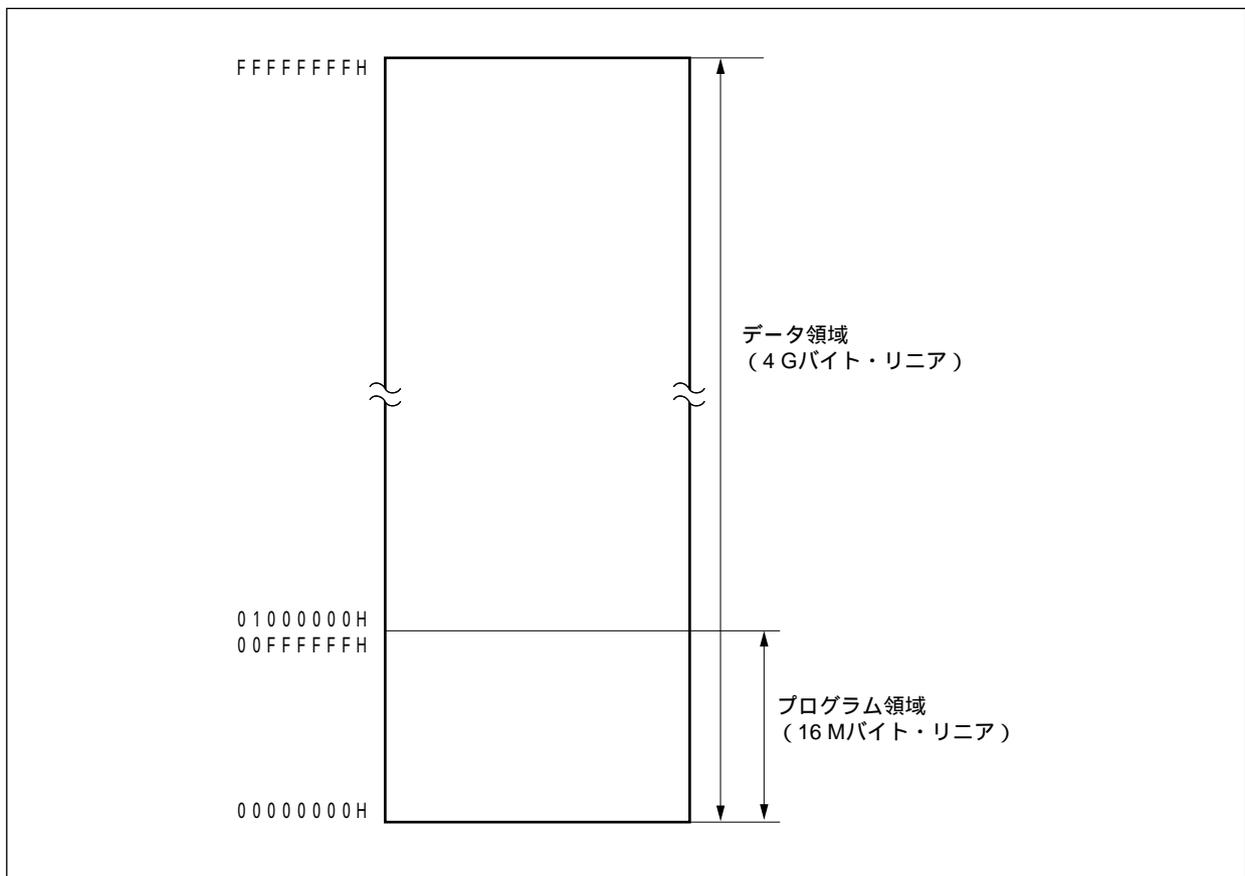
V850/SA1のCPUは、32ビット・アーキテクチャです。

オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。

命令アドレスのアドレッシングにおいては、最大16 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています（物理アドレス空間：4 Mバイト）。

次にCPUアドレス空間を示します。

図3 - 2 CPUアドレス空間

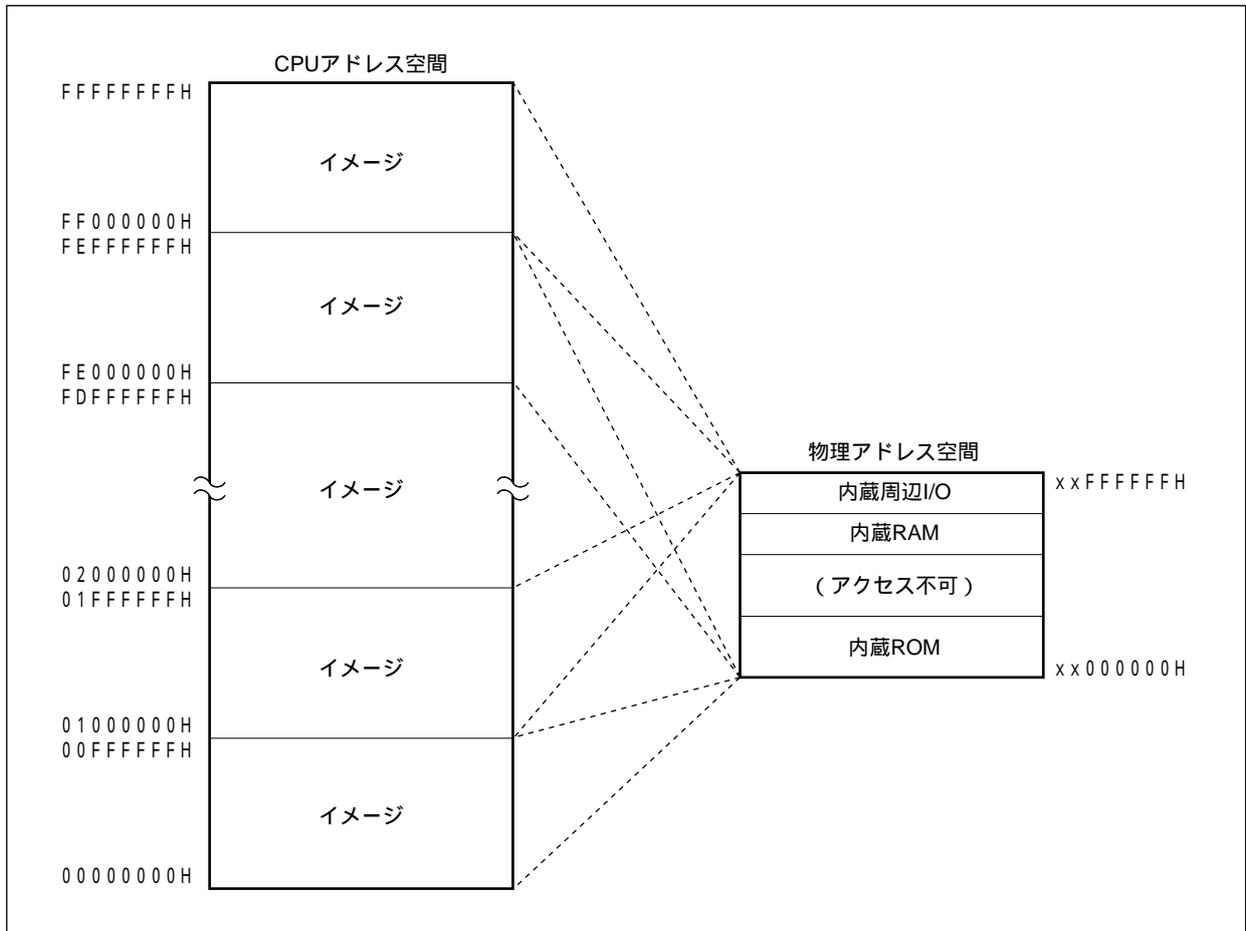


### 3.4.2 イメージ

4 GバイトのCPUアドレス空間には、16Mバイトの物理アドレス空間が256個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット24がどのような値でも、同じ16 Mバイトの物理アドレス空間をアクセスします。図3 - 3にアドレス空間上のイメージを示します。

物理アドレスのxx000000H番地が、CPUアドレスの00000000H番地のほかに、01000000H番地、02000000H番地、...、FE000000H番地、FF000000H番地に見えます。これは、32ビットのCPUアドレスが上位8ビットを無視し、24ビットの物理アドレスとしてアクセスするためです。

図3 - 3 アドレス空間上のイメージ



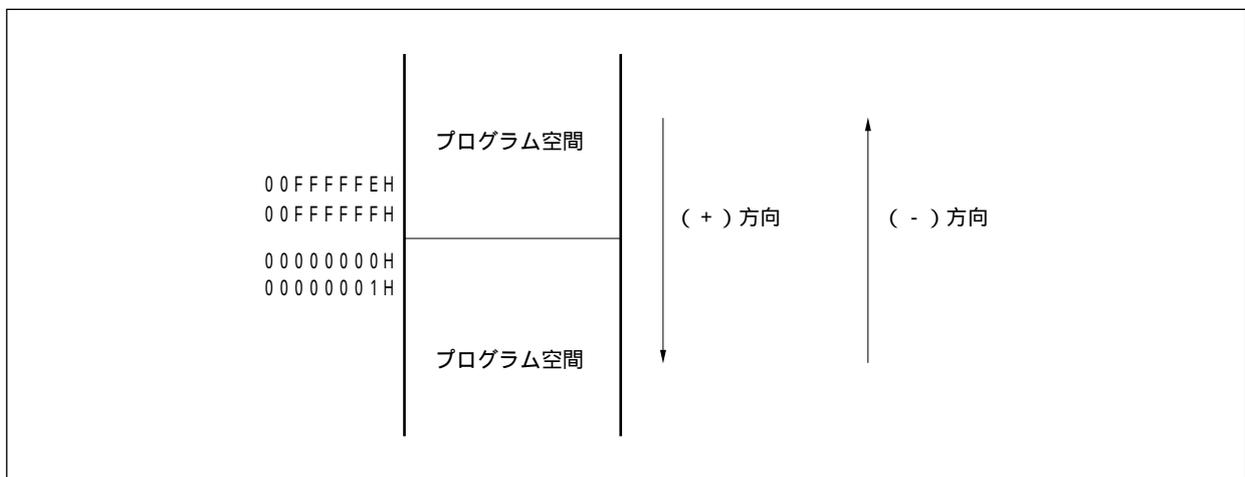
### 3.4.3 CPUアドレス空間のラップ・アラウンド

#### (1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位8ビットが0固定で、下位24ビットだけが有効です。分岐アドレス計算などでビット23からビット24に対するキャリーまたはボローがあっても上位8ビットはこれを無視します。したがって、プログラム空間の下限である00000000H番地と、上限の00FFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。

**注意** 00FFF000H-00FFFFFFHの4 Kバイトの領域は、周辺I/O領域のため命令フェッチができません。したがって、分岐アドレス計算結果が、この領域にかかるような操作は行わないでください。

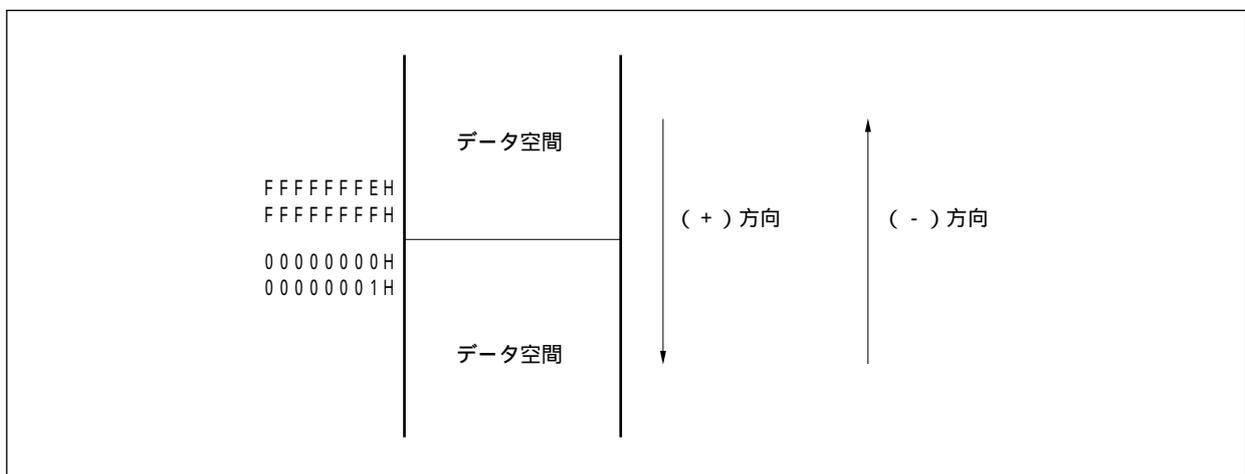
図3 - 4 プログラム空間



#### (2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFH番地は連続したアドレスとなり、この境界でラップ・アラウンドします。

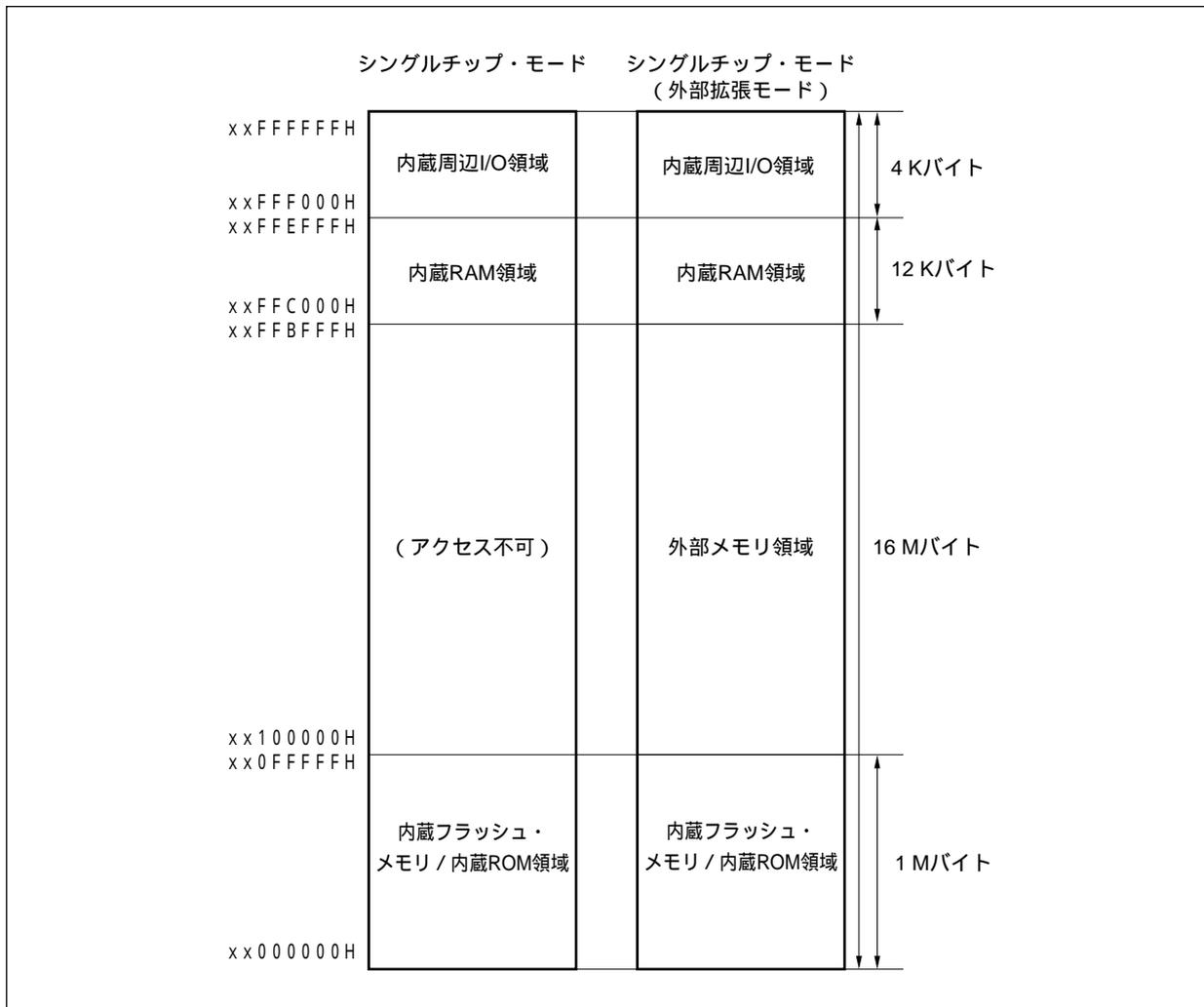
図3 - 5 データ空間



### 3.4.4 メモリ・マップ

V850/SA1では、次に示すように各領域を予約しています。

図3-6 メモリ・マップ



### 3.4.5 領域

★ (1) 内蔵ROM/内蔵フラッシュ・メモリ領域

内蔵ROM/内蔵フラッシュ・メモリ領域は、最大1 Mバイトが予約されています。

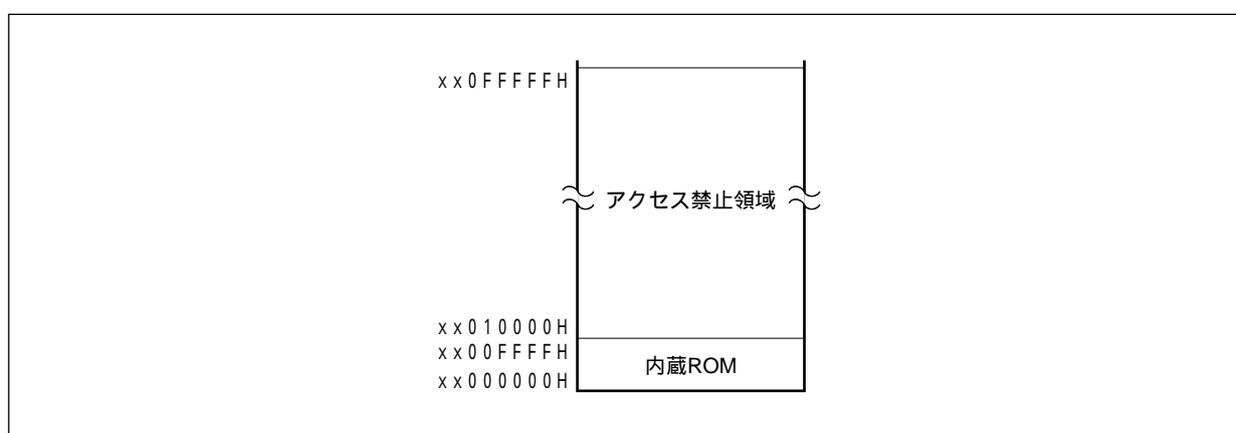
(a) メモリ・マップ

μ PD703014A, 703014AY, 703014B, 703014BY

xx000000H-xx00FFFFH番地に64 Kバイト実装しています。

xx010000H-xx0FFFFFFH番地はアクセス禁止領域です。

図3 - 7 内蔵ROM領域 (64 Kバイト)

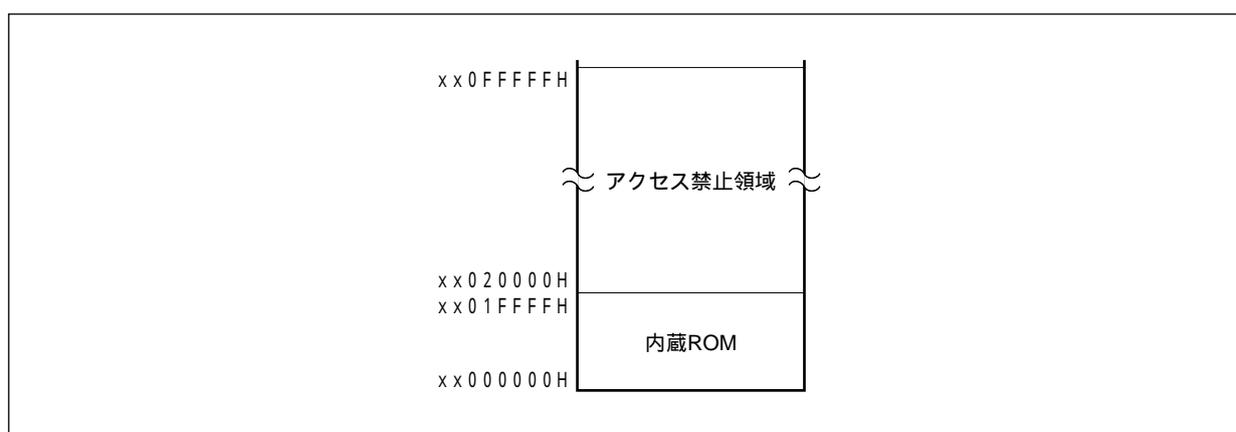


μ PD703015A, 703015AY, 703015B, 703015BY, 70F3015B, 70F3015BY

xx000000H-xx01FFFFH番地に128 Kバイト実装しています。

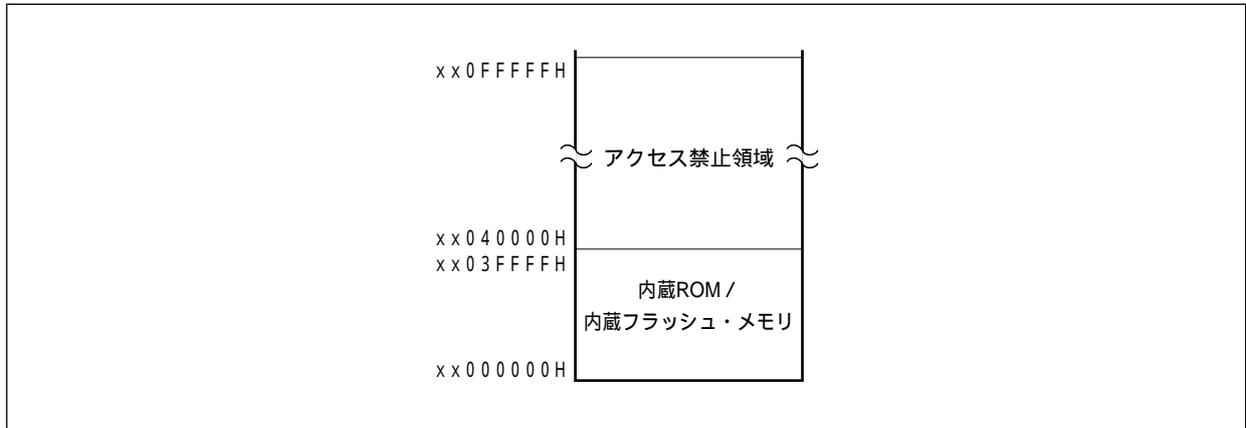
xx020000H-xx0FFFFFFH番地はアクセス禁止領域です。

図3 - 8 内蔵ROM領域 (128 Kバイト)



μPD703017A, 703017AY, 70F3017A, 70F3017AY  
 xx000000H-xx03FFFFH番地に256 Kバイト実装しています。  
 xx040000H-xx0FFFFFFH番地はアクセス禁止領域です。

図3 - 9 内蔵ROM/内蔵フラッシュ・メモリ領域 (256 Kバイト)



## (b) 割り込み / 例外テーブル

V850/SA1は、割り込み / 例外に対応したハンドラ・アドレスを固定化することで、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼び、内蔵ROM/内蔵フラッシュ・メモリ領域に置かれています。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。次に割り込み / 例外要因と対応するアドレスを示します。

表3 - 3 割り込み / 例外テーブル

割り込み / 例外テーブルの先頭 アドレス	割り込み / 例外要因	割り込み / 例外テーブルの先頭 アドレス	割り込み / 例外要因
00000000H	RESET	00000140H	INTTM11
00000010H	NMI	00000150H	INTTM2
00000020H	INTWDT	00000160H	INTTM3
00000040H	TRAP0n ( n = 0-F )	00000170H	INTTM4
00000050H	TRAP1n ( n = 0-F )	00000180H	INTTM5
00000060H	ILGOP	00000190H	INTIIC0 <sup>注</sup> /INTCSI0
00000080H	INTWDTM	000001A0H	INTSER0
00000090H	INTP0	000001B0H	INTSR0/INTCSI1
000000A0H	INTP1	000001C0H	INTST0
000000B0H	INTP2	000001D0H	INTCSI2
000000C0H	INTP3	000001E0H	INTSER1
000000D0H	INTP4	000001F0H	INTSR1
000000E0H	INTP5	00000200H	INTST1
000000F0H	INTP6	00000210H	INTAD
00000100H	INTWTI	00000220H	INTDMA0
00000110H	INTTM00	00000230H	INTDMA1
00000120H	INTTM01	00000240H	INTDMA2
00000130H	INTTM10	00000250H	INTWT

★ 注  $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ有効です。

★ (2) 内蔵RAM領域

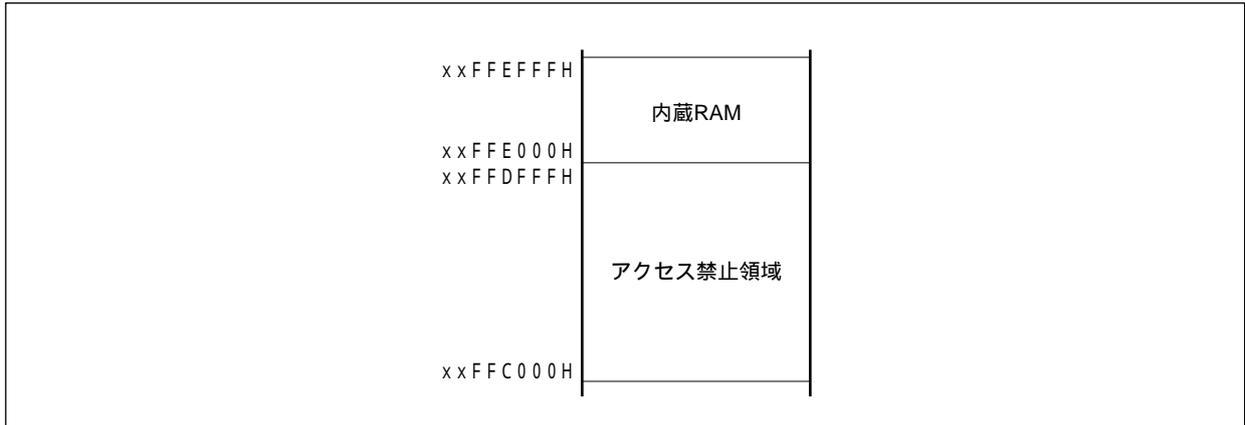
内蔵RAM領域は、最大12 Kバイトが予約されています。

(a)  $\mu$ PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 70F3015B, 70F3015BY

xxFFE000H-xxFFEFFFH番地に4 Kバイト実装しています。

xxFFC000H-xxFFDFFFH番地はアクセス禁止領域です。

図3 - 10 内蔵RAM領域 (4 Kバイト)

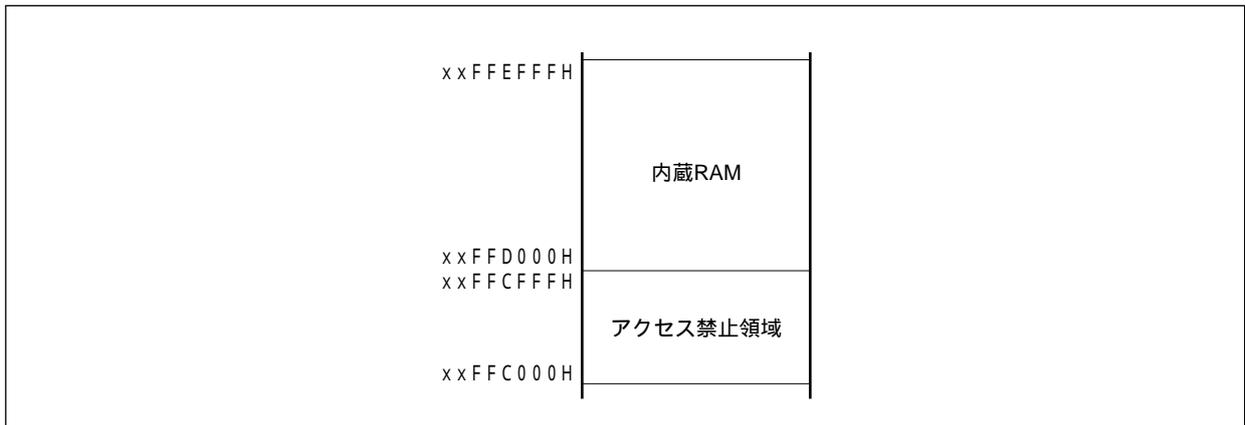


(b)  $\mu$ PD703017A, 703017AY, 70F3017A, 70F3017AY

xxFFD000H-xxFFEFFFH番地に8 Kバイト実装しています。

xxFFC000H-xxFFCFFFH番地はアクセス禁止領域です。

図3 - 11 内蔵RAM領域 (8 Kバイト)



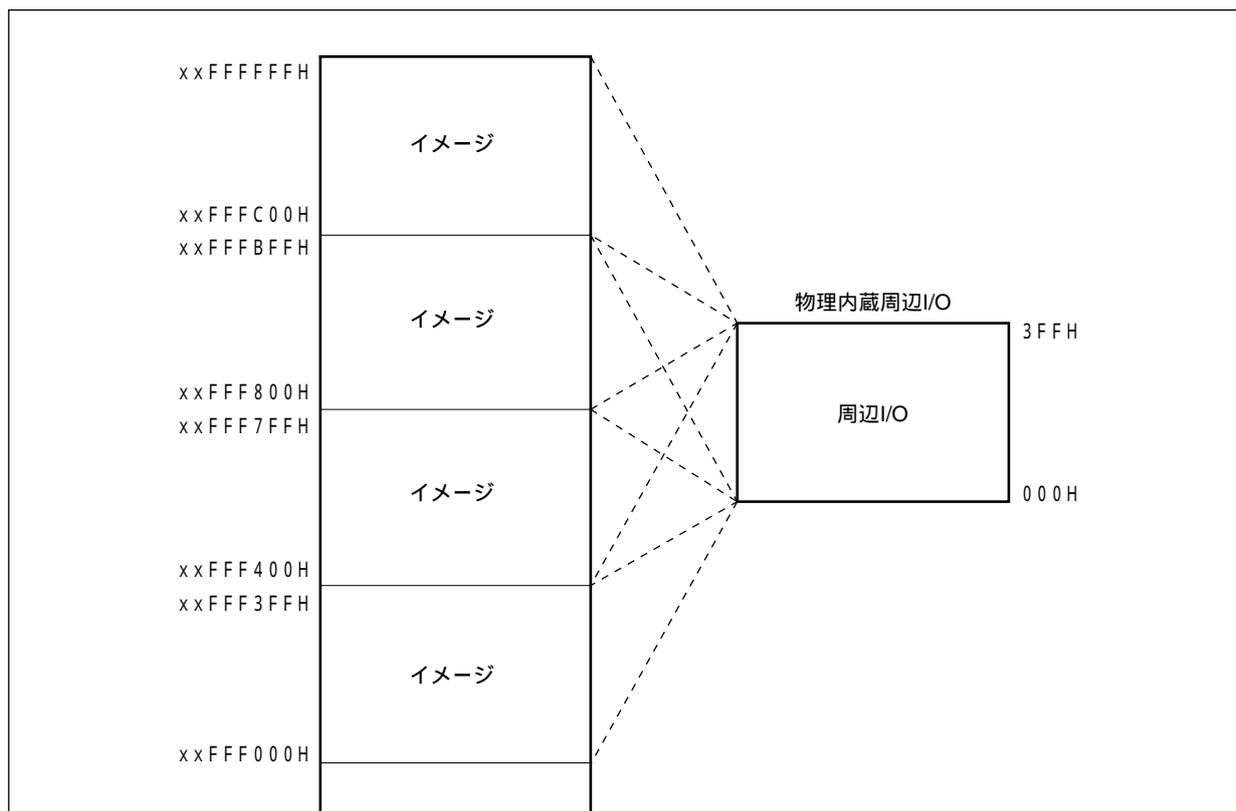
### (3) 内蔵周辺I/O領域

内蔵周辺I/O領域はFFF000H-FFFFFFH番地の4 Kバイトが予約されています。

V850/SA1は、物理内蔵周辺I/OとしてFFF000H-FFF3FFH番地の1 Kバイトに割り当てており、残りの領域(FFF400H-FFFFFFH)にはそのイメージが見えます。

内蔵周辺I/O領域には内蔵周辺ハードウェアの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

図3 - 12 内蔵周辺I/O領域



- 注意1. アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス( $2n+1$ 番地)のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス( $2n$ )のレジスタへアクセスします。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
  3. ハーフワード・アクセスだけ可能な $n$ 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は $n$ 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
  4. ワード・アクセス可能な $n$ 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は $n$ 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
  5. レジスタとして定義されていないレジスタは、将来の拡張用に予約されています。アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

V850/SA1は、最大16 Mバイト (xx100000H-xxFFBFFFH) の領域を外部メモリ領域として使用できます (シングルチップ・モード：外部拡張時)。

外部拡張モードを指定すると、64 K、256 K、1 M、4 Mバイトの物理外部メモリを割り当てることができます。物理外部メモリ以外の領域には、そのイメージが見えます。

ただし、内蔵RAM領域、内蔵周辺I/O領域に対しては、外部メモリのアクセス対象になりません。

図3 - 13 外部メモリ領域 (64 K、256 K、1 Mバイト拡張時)

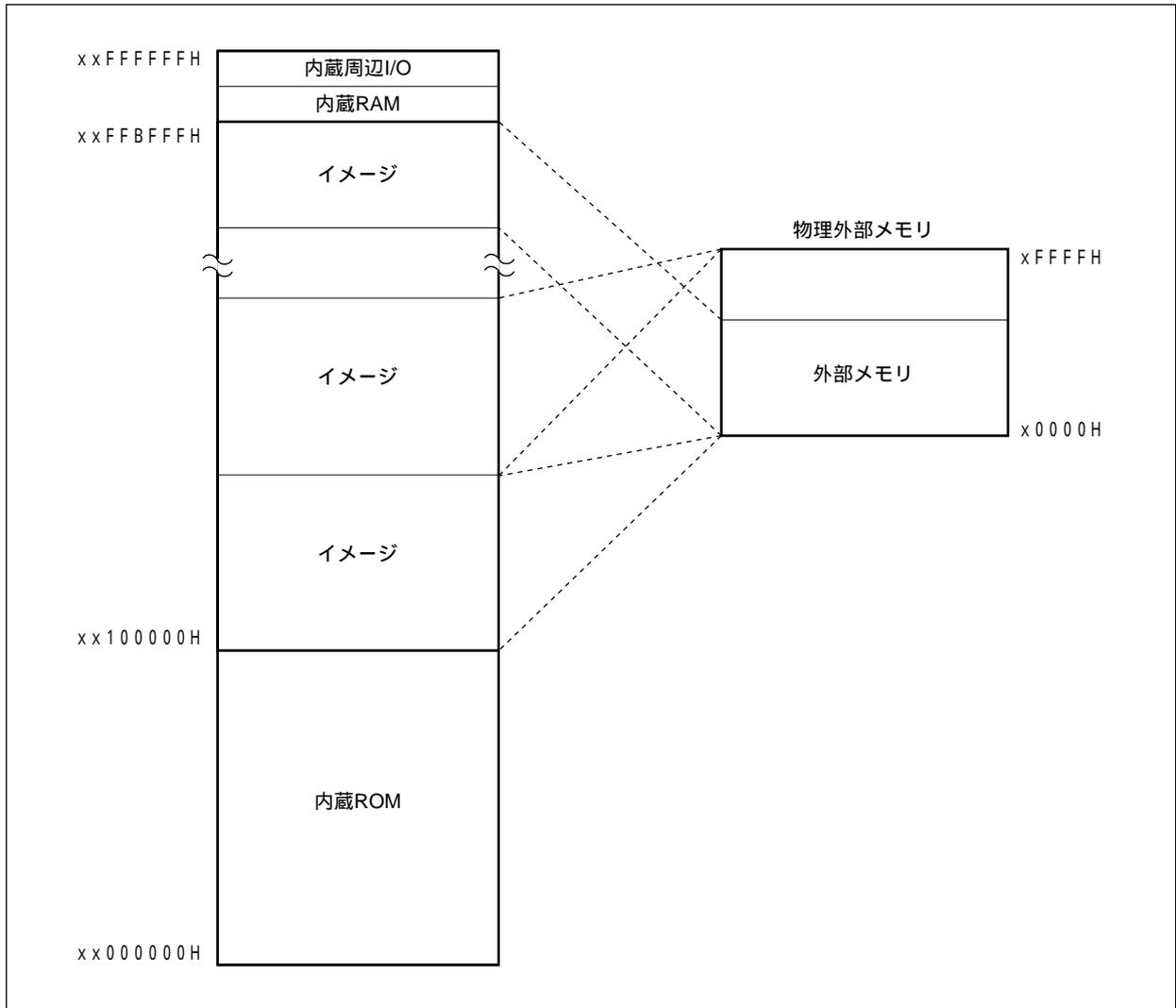
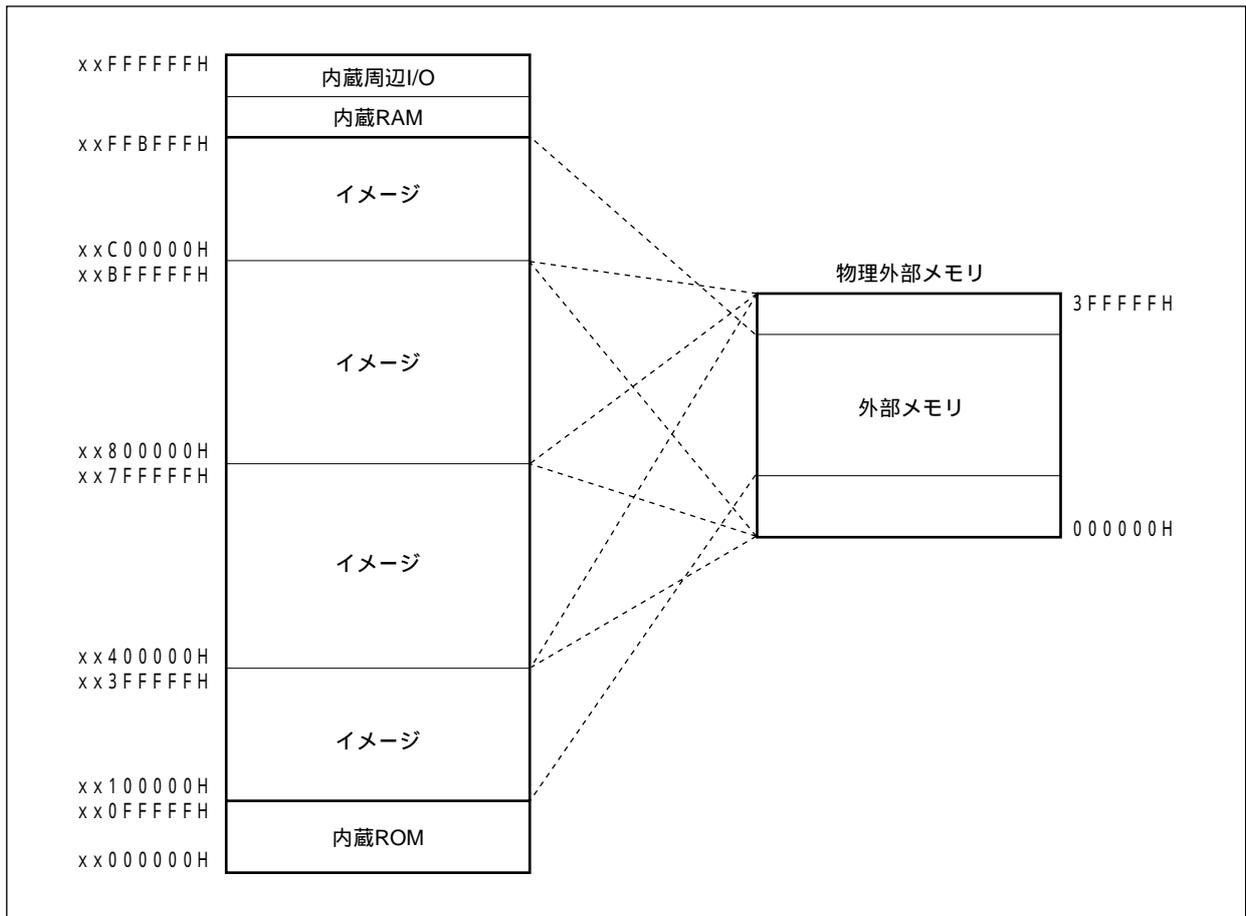


図3 - 14 外部メモリ領域 (4 Mバイト拡張時)



### 3.4.6 外部拡張モード

V850/SA1では、ポート4, 5, 6, 9の各端子を用いて外部メモリ空間に外部デバイスを接続できます。外部デバイスを接続するには、メモリ拡張モード・レジスタ (MM) を用いて、ポート端子を外部拡張モードに設定してください。また、アドレス・バス (A1-A15) はデータ・バス (D1-D15) とマルチプレクスト・バス出力になっていますが、メモリ・アドレス出力モード・レジスタ (MAM) の設定により、セパレート・バス出力もできます (セパレート・バス使用時のデバッグについては、IE-703017-MC-EM1 ユーザーズ・マニュアルを参照してください)。

V850/SA1の通常動作モード時は、シングルチップ・モードに固定されるため、リセット時の各ポート/コントロール・モード兼用端子はポート・モードになり、外部メモリは使用できません。外部メモリを使用する場合 (外部拡張モード) は、プログラムでMMレジスタまたはMAMレジスタを設定してください (メモリ領域はMMレジスタで設定します)。

#### (1) メモリ拡張モード・レジスタ (MM)

ポート4, 5, 6, 9の各端子のモードを設定します。外部拡張モードでは、最大4 Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし、内蔵RAM領域、内蔵周辺I/O領域、およびシングルチップ・モード時の内蔵ROM領域には外部デバイスを接続できません (物理的に接続しても、アクセス対象になりません)。

MMレジスタは8/1ビット単位でリード/ライト可能です。ただし、ビット4-ビット7は0に固定です。

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	③	②	①	④
MM	0	0	0	0	MM3	MM2	MM1	MM0

MM3	P95, P96動作モード設定
0	ポート・モード
1	外部拡張モード (HLDAK : P95, HLDRQ : P96)

MM2	MM1	MM0	アドレス空間	ポート4	ポート5	ポート6	ポート9
0	0	0	-	ポート・モード			
0	1	1	64 Kバイト 拡張モード	AD0- AD7	AD8- AD15	A16, A17	LBEN, UBEN, R/W, DSTB, ASTB, WRL, WRH, RD
1	0	0	256 Kバイト 拡張モード				A18, A19
1	0	1	1 Mバイト 拡張モード				A20, A21
1	1	x	4 Mバイト 拡張モード				
その他				RFU (予約)			

**注意** 外部拡張モードに切り替える場合、切り替える前に必ずポート9 (P9) のP93, P94ビットに“1”を設定してください。

**備考** 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

(2) メモリ・アドレス出力モード・レジスタ (MAM)

ポート3, 10, 11の各端子のモードを設定します。外部拡張モード時のアドレス・バス (A1-A15) のセパレート出力を設定できます。セパレート・バス出力は、P34-P36, P100-P107, P110-P113に出力します。セパレート・バス出力は、次に示す手順で設定してください。

- (i) セパレート出力に使用するポートmを0出力 (Pnビット = 0) に設定後, 出力モード (PMnビット = 0) に設定します。
- (ii) セパレート・バスとして使用するポートをセパレート・バス以外の兼用端子として使用している場合は, その機能をオフします。
- (iii) メモリ・アドレス出力レジスタ (MAM) を設定します。
- (iv) メモリ拡張モード・レジスタ (MM) を設定します (3. 4. 6(1)メモリ拡張モード・レジスタ (MM) 参照)。

MAMレジスタは8ビット単位でライトのみ可能です。読み出した場合は, 不定値が読み出されます。ビット3-ビット7は0に固定です。

**備考** m = 3の場合 : n = 34-36  
 m = 10の場合 : n = 100-107  
 m = 11の場合 : n = 110-113

リセット時 : 00H W アドレス : FFFFF068H

	7	6	5	4	3	2	1	0
MAM	0	0	0	0	0	MAM2	MAM1	MAM0

MAM2	MAM1	MAM0	アドレス空間	ポート11	ポート10	ポート3
0	0	0	-	ポート・モード		
0	1	0	32バイト	A1-A4	A5-A8	A15
0	1	1	512バイト			
1	0	0	8 Kバイト		A13	
1	0	1	16 Kバイト		A14	
1	1	0	32 Kバイト			
1	1	1	64 Kバイト			

**注意** メモリ・アドレス出力モード・レジスタ (MAM) のデバッグは, インサーキット・エミュレータではできません。また, ソフトウェアによるMAMレジスタの設定でセパレート・バスへの切り替えができません。詳細については, IE-703017-MC-EM1 ユーザーズ・マニュアルを参照してください。

**備考** 各ポート端子の動作の詳細については2. 3 端子機能の説明を参照してください。

### 3.4.7 アドレス空間の推奨使用方法

V850/SA1のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスを行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあり、ポインタの値を変更するときのアドレス計算にかかる性能低下を極力抑えることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えられます。

V850/SA1のメモリ・マップに関連して、ポインタ運用の効率化を目的として、次の使用方法を推奨します。

#### (1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位8ビットは“0”に固定されており、下位24ビットだけ有効です。したがって、プログラム空間に関しては無条件に00000000H番地から連続した16 Mバイト空間がそのままメモリ・マップに対応します。

#### (2) データ空間

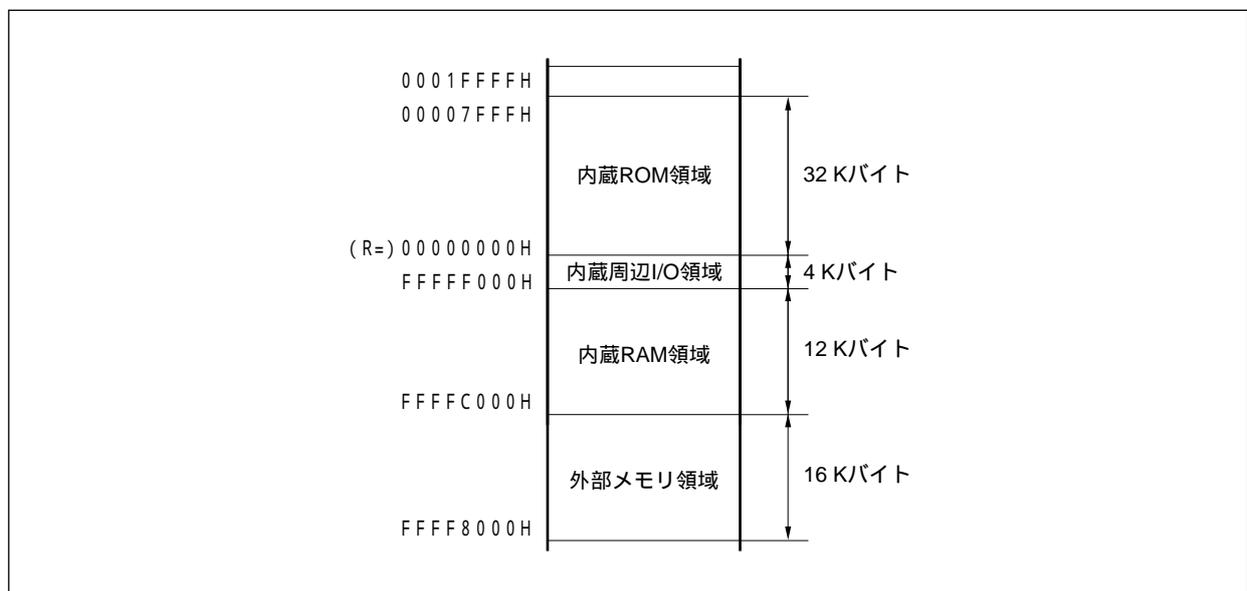
データ空間のラップ・アラウンドを利用したリソースを効率的に運用するため、4 GバイトのCPUアドレス空間の00000000H - 007FFFFFFH番地およびFF800000H - FFFFFFFFH番地のそれぞれ連続した8 Mバイトをデータ空間として使用します。V850/SA1では、4 GバイトのCPUアドレス空間に16 Mバイトの物理アドレス空間が256個のイメージとして見えるため、この24ビット・アドレスの最上位ビット(ビット23)を32ビット長まで符号拡張したアドレスとして割り当てています。

#### ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。外部メモリを図3 - 15の16 Kバイトの範囲にマッピングすれば、内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定できます。

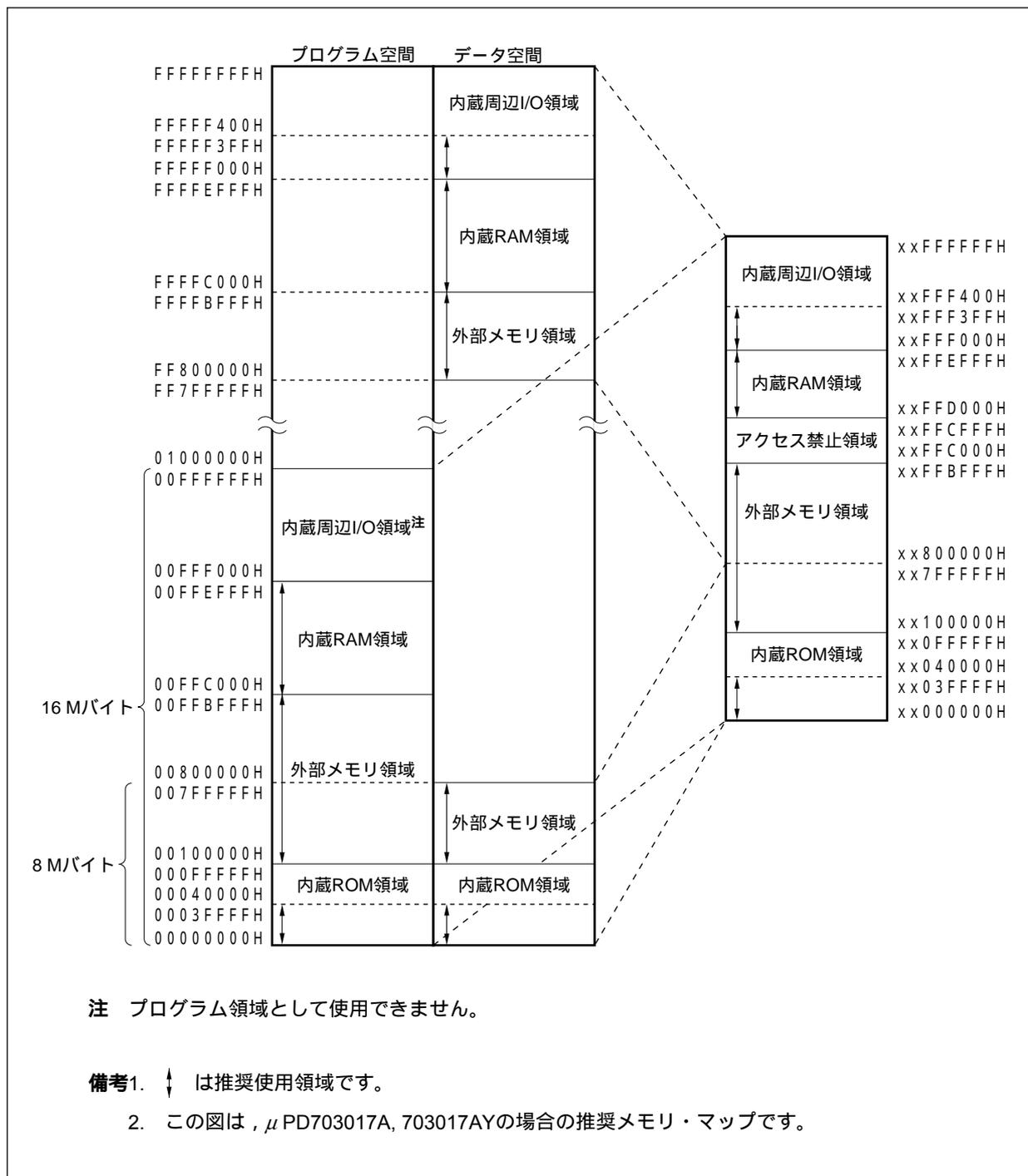
ゼロ・レジスタ(r0)はハードウェアで0固定のレジスタのため、ポインタ専用に費やすレジスタは実質不要になります。

図3 - 15 ラップ・アラウンドを利用した応用例



★

図3 - 16 推奨メモリ・マップ



## 3.4.8 周辺I/Oレジスタ

(1/5)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF00H	ポート0	P0	R/W				00H <sup>注</sup>
FFFFFF02H	ポート1	P1	R/W				00H <sup>注</sup>
FFFFFF04H	ポート2	P2	R/W				00H <sup>注</sup>
FFFFFF06H	ポート3	P3	R/W				00H <sup>注</sup>
FFFFFF08H	ポート4	P4	R/W				00H <sup>注</sup>
FFFFFF0AH	ポート5	P5	R/W				00H <sup>注</sup>
FFFFFF0CH	ポート6	P6	R/W				00H <sup>注</sup>
FFFFFF0EH	ポート7	P7	R				不定
FFFFFF10H	ポート8	P8	R				不定
FFFFFF12H	ポート9	P9	R/W				00H <sup>注</sup>
FFFFFF14H	ポート10	P10	R/W				00H <sup>注</sup>
FFFFFF16H	ポート11	P11	R/W				00H <sup>注</sup>
FFFFFF18H	ポート12	P12	R/W				00H <sup>注</sup>
FFFFFF20H	ポート0モード・レジスタ	PM0	R/W				FFH
FFFFFF22H	ポート1モード・レジスタ	PM1	R/W				3FH
FFFFFF24H	ポート2モード・レジスタ	PM2	R/W				FFH
FFFFFF26H	ポート3モード・レジスタ	PM3	R/W				FFH
FFFFFF28H	ポート4モード・レジスタ	PM4	R/W				FFH
FFFFFF2AH	ポート5モード・レジスタ	PM5	R/W				FFH
FFFFFF2CH	ポート6モード・レジスタ	PM6	R/W				3FH
FFFFFF32H	ポート9モード・レジスタ	PM9	R/W				7FH
FFFFFF34H	ポート10モード・レジスタ	PM10	R/W				FFH
FFFFFF36H	ポート11モード・レジスタ	PM11	R/W				1FH
FFFFFF38H	ポート12モード・レジスタ	PM12	R/W				01H
FFFFFF4CH	メモリ拡張モード・レジスタ	MM	R/W				00H
FFFFFF58H	ポート12モード・コントロール・レジスタ	PMC12	R/W				00H
FFFFFF60H	データ・ウェイト・コントロール・レジスタ	DWC	R/W				FFFFH
FFFFFF62H	バス・サイクル・コントロール・レジスタ	BCC	R/W				AAAAH
FFFFFF64H	システム制御レジスタ	SYC	R/W				00H
FFFFFF68H	メモリ・アドレス出力モード・レジスタ	MAM	W				00H
FFFFFF70H	パワー・セーブ・コントロール・レジスタ	PSC	R/W				C0H
FFFFFF74H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				03H
FFFFFF78H	システム・ステータス・レジスタ	SYS	R/W				00H
FFFFFF80H	プルアップ抵抗オプション・レジスタ0	PU0	R/W				00H
FFFFFF82H	プルアップ抵抗オプション・レジスタ1	PU1	R/W				00H
FFFFFF84H	プルアップ抵抗オプション・レジスタ2	PU2	R/W				00H
FFFFFF86H	プルアップ抵抗オプション・レジスタ3	PU3	R/W				00H
FFFFFF94H	プルアップ抵抗オプション・レジスタ10	PU10	R/W				00H
FFFFFF96H	プルアップ抵抗オプション・レジスタ11	PU11	R/W				00H
FFFFFFA2H	ポート1ファンクション・レジスタ	PF1	R/W				00H

注 リセットにより入力モードに初期化されるので、リード時は端子レベルを読み出します。00Hに初期化されるのは出力ラッチです。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF0A4H	ポート2ファンクション・レジスタ	PF2	R/W				00H
FFFFFF0B4H	ポート10ファンクション・レジスタ	PF10	R/W				00H
FFFFFF0C0H	立ち上がりエッジ指定レジスタ0	EGP0	R/W				00H
FFFFFF0C2H	立ち下がりエッジ指定レジスタ0	EGN0	R/W				00H
FFFFFF100H	割り込み制御レジスタ	WDTIC	R/W				47H
FFFFFF102H	割り込み制御レジスタ	PIC0	R/W				47H
FFFFFF104H	割り込み制御レジスタ	PIC1	R/W				47H
FFFFFF106H	割り込み制御レジスタ	PIC2	R/W				47H
FFFFFF108H	割り込み制御レジスタ	PIC3	R/W				47H
FFFFFF10AH	割り込み制御レジスタ	PIC4	R/W				47H
FFFFFF10CH	割り込み制御レジスタ	PIC5	R/W				47H
FFFFFF10EH	割り込み制御レジスタ	PIC6	R/W				47H
FFFFFF110H	割り込み制御レジスタ	WTIC	R/W				47H
FFFFFF112H	割り込み制御レジスタ	TMIC00	R/W				47H
FFFFFF114H	割り込み制御レジスタ	TMIC01	R/W				47H
FFFFFF116H	割り込み制御レジスタ	TMIC10	R/W				47H
FFFFFF118H	割り込み制御レジスタ	TMIC11	R/W				47H
FFFFFF11AH	割り込み制御レジスタ	TMIC2	R/W				47H
FFFFFF11CH	割り込み制御レジスタ	TMIC3	R/W				47H
FFFFFF11EH	割り込み制御レジスタ	TMIC4	R/W				47H
FFFFFF120H	割り込み制御レジスタ	TMIC5	R/W				47H
FFFFFF122H	割り込み制御レジスタ	CSIC0	R/W				47H
FFFFFF124H	割り込み制御レジスタ	SERIC0	R/W				47H
FFFFFF126H	割り込み制御レジスタ	CSIC1	R/W				47H
FFFFFF128H	割り込み制御レジスタ	STIC0	R/W				47H
FFFFFF12AH	割り込み制御レジスタ	CSIC2	R/W				47H
FFFFFF12CH	割り込み制御レジスタ	SERIC1	R/W				47H
FFFFFF12EH	割り込み制御レジスタ	SRIC1	R/W				47H
FFFFFF130H	割り込み制御レジスタ	STIC1	R/W				47H
FFFFFF132H	割り込み制御レジスタ	ADIC	R/W				47H
FFFFFF134H	割り込み制御レジスタ	DMAIC0	R/W				47H
FFFFFF136H	割り込み制御レジスタ	DMAIC1	R/W				47H
FFFFFF138H	割り込み制御レジスタ	DMAIC2	R/W				47H
FFFFFF13AH	割り込み制御レジスタ	WTIC	R/W				47H
FFFFFF166H	インサース・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF170H	コマンド・レジスタ	PRCMD	W				不定
FFFFFF180H	DMA周辺I/Oアドレス・レジスタ0	DIOA0	R/W				不定
FFFFFF182H	DMA内蔵RAMアドレス・レジスタ0	DRA0	R/W				不定
FFFFFF184H	DMAバイト・カウント・レジスタ0	DBC0	R/W				不定
FFFFFF186H	DMAチャネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFFF190H	DMA周辺I/Oアドレス・レジスタ1	DIOA1	R/W				不定
FFFFFF192H	DMA内蔵RAMアドレス・レジスタ1	DRA1	R/W				不定
FFFFFF194H	DMAバイト・カウント・レジスタ1	DBC1	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF196H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFFF1A0H	DMA周辺I/Oアドレス・レジスタ2	DIOA2	R/W				不定
FFFFFF1A2H	DMA内蔵RAMアドレス・レジスタ2	DRA2	R/W				不定
FFFFFF1A4H	DMAバイト・カウント・レジスタ2	DBC2	R/W				不定
FFFFFF1A6H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				00H
★ FFFFFFF1F4H	フラッシュ・プログラミング・モード・コントロール・レジスタ <sup>注1</sup>	FLPMC	R/W				注2
FFFFFF200H	16ビット・タイマ・レジスタ0	TM0	R				0000H
FFFFFF202H	16ビット・キャプチャ/コンペア・レジスタ00	CR00	注3				0000H
FFFFFF204H	16ビット・キャプチャ/コンペア・レジスタ01	CR01	注3				0000H
FFFFFF206H	プリスケラ・モード・レジスタ0	PRM0	R/W				00H
FFFFFF208H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0	R/W				00H
FFFFFF20AH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0	R/W				00H
FFFFFF20CH	タイマ出力コントロール・レジスタ0	TOC0	R/W				00H
FFFFFF20EH	プリスケラ・モード・レジスタ01	PRM01	R/W				00H
FFFFFF210H	16ビット・タイマ・レジスタ1	TM1	R				0000H
FFFFFF212H	16ビット・キャプチャ/コンペア・レジスタ10	CR10	注3				0000H
FFFFFF214H	16ビット・キャプチャ/コンペア・レジスタ11	CR11	注3				0000H
FFFFFF216H	プリスケラ・モード・レジスタ1	PRM1	R/W				00H
FFFFFF218H	16ビット・タイマ・モード・コントロール・レジスタ1	TMC1	R/W				00H
FFFFFF21AH	キャプチャ/コンペア・コントロール・レジスタ1	CRC1	R/W				00H
FFFFFF21CH	タイマ出力コントロール・レジスタ1	TOC1	R/W				00H
FFFFFF21EH	プリスケラ・モード・レジスタ11	PRM11	R/W				00H
FFFFFF240H	8ビット・カウンタ2	TM2	R				00H
FFFFFF242H	8ビット・コンペア・レジスタ2	CR20	R/W				00H
FFFFFF244H	タイマ・クロック選択レジスタ2	TCL2	R/W				00H
FFFFFF246H	8ビット・タイマ・モード・コントロール・レジスタ2	TMC2	R/W				04H <sup>注4</sup>
FFFFFF24AH	16ビット・カウンタ23 (カスケード接続時のみ)	TM23	R				0000H
FFFFFF24CH	16ビット・コンペア・レジスタ23 (カスケード接続時のみ)	CR23	R/W				0000H
FFFFFF24EH	タイマ・クロック選択レジスタ21	TCL21	R/W				00H
FFFFFF250H	8ビット・カウンタ3	TM3	R				00H
FFFFFF252H	8ビット・コンペア・レジスタ3	CR30	R/W				00H
FFFFFF254H	タイマ・クロック選択レジスタ3	TCL3	R/W				00H
FFFFFF256H	8ビット・タイマ・モード・コントロール・レジスタ3	TMC3	R/W				04H <sup>注4</sup>
FFFFFF25EH	タイマ・クロック選択レジスタ31	TCL31	R/W				00H
FFFFFF260H	8ビット・カウンタ4	TM4	R				00H
FFFFFF262H	8ビット・コンペア・レジスタ4	CR40	R/W				00H
FFFFFF264H	タイマ・クロック選択レジスタ4	TCL4	R/W				00H

★ 注1.  $\mu$  PD70F3015B, 70F3015BY, 70F3017A, 70F3017AYのみ有効です。

★ 2. シングルチップ・モード時 : 18Hまたは38H  
フラッシュ・メモリ・プログラミング・モード時 : 1CHまたは3CH

3. コンペア・モード時 : R/W  
キャプチャ・モード時 : R

4. ハードウェアの状態は04Hに初期化されますが, リードすると00Hが読み出されます。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF266H	8ビット・タイマ・モード・コントロール・レジスタ4	TMC4	R/W				04H <sup>注1</sup>
FFFFFF26AH	16ビット・カウンタ45 (カスケード接続時のみ)	TM45	R				0000H
FFFFFF26CH	16ビット・コンペア・レジスタ45 (カスケード接続時のみ)	CR45	R/W				0000H
FFFFFF26EH	タイマ・クロック選択レジスタ41	TCL41	R/W				00H
FFFFFF270H	8ビット・カウンタ5	TM5	R				00H
FFFFFF272H	8ビット・コンペア・レジスタ5	CR50	R/W				00H
FFFFFF274H	タイマ・クロック選択レジスタ5	TCL5	R/W				00H
FFFFFF276H	8ビット・タイマ・モード・コントロール・レジスタ5	TMC5	R/W				04H <sup>注1</sup>
FFFFFF27EH	タイマ・クロック選択レジスタ51	TCL51	R/W				00H
FFFFFF2A0H	シリアル/I/Oシフト・レジスタ0	SIO0	R/W				00H
FFFFFF2A2H	シリアル動作モード・レジスタ0	CSIM0	R/W				00H
FFFFFF2A4H	シリアル・クロック選択レジスタ0	CSIS0	R/W				00H
FFFFFF2B0H	シリアル/I/Oシフト・レジスタ1	SIO1	R/W				00H
FFFFFF2B2H	シリアル動作モード・レジスタ1	CSIM1	R/W				00H
FFFFFF2B4H	シリアル・クロック選択レジスタ1	CSIS1	R/W				00H
FFFFFF2C0H	シリアル/I/Oシフト・レジスタ2	SIO2	R/W				00H
FFFFFF2C2H	シリアル動作モード・レジスタ2	CSIM2	R/W				00H
FFFFFF2C4H	シリアル・クロック選択レジスタ2	CSIS2	R/W				00H
FFFFFF300H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W				00H
FFFFFF302H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R				00H
FFFFFF304H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W				00H
FFFFFF306H	送信シフト・レジスタ0	TXS0	W				FFH
FFFFFF308H	受信バッファ・レジスタ0	RXB0	R				FFH
FFFFFF30EH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ0	BRGMC0	R/W				00H
FFFFFF310H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W				00H
FFFFFF312H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R				00H
FFFFFF314H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W				00H
FFFFFF316H	送信シフト・レジスタ1	TXS1	W				FFH
FFFFFF318H	受信バッファ・レジスタ1	RXB1	R				FFH
FFFFFF31EH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ1	BRGMC1	R/W				00H
FFFFFF320H	ポー・レート・ジェネレータ・モード・コントロール・レジスタ01	BRGMC01	R/W				00H
FFFFFF340H	IICコントロール・レジスタ0 <sup>注2</sup>	IICC0	R/W				00H
FFFFFF342H	IIC状態レジスタ0 <sup>注2</sup>	IICS0	R				00H
FFFFFF344H	IICクロック選択レジスタ0 <sup>注2</sup>	IICCL0	R/W				00H

注1. ハードウェアの状態は04Hに初期化されますが、リードすると00Hが読み出されます。

- ★ 2.  $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ有効です。

( 5/5 )

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF346H	スレーブ・アドレス・レジスタ0 <sup>注</sup>	SVA0	R/W				00H
FFFFFF348H	IICシフト・レジスタ0 <sup>注</sup>	IIC0	R/W				00H
FFFFFF34AH	IIC機能拡張レジスタ0 <sup>注</sup>	IICX0	R/W				00H
FFFFFF360H	時計用タイマ・モード・レジスタ	WTM	R/W				00H
FFFFFF380H	発振安定時間選択レジスタ	OSTS	R/W				04H
FFFFFF382H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS	R/W				00H
FFFFFF384H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	R/W				00H
FFFFFF3A0H	リアルタイム出力バッファ・レジスタL	RTBL	R/W				00H
FFFFFF3A2H	リアルタイム出力バッファ・レジスタH	RTBH	R/W				00H
FFFFFF3A4H	リアルタイム出力ポート・モード・レジスタ	RTPM	R/W				00H
FFFFFF3A6H	リアルタイム出力ポート・コントロール・レジスタ	RTPC	R/W				00H
FFFFFF3C0H	A/Dコンバータ・モード・レジスタ	ADM	R/W				00H
FFFFFF3C2H	アナログ入力チャンネル指定レジスタ	ADS	R/W				00H
FFFFFF3C4H	A/D変換結果レジスタ	ADCR	R				0000H
FFFFFF3C6H	A/D変換結果レジスタH (上位8ビット)	ADCRH	R				00H

★ 注  $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ有効です。

### ★ 3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正な書き込み動作時はシステム・ステータス・レジスタ (SYS) のPRERRビットでチェックできます。V850/SA1にはパワー・セーブ・コントロール・レジスタ (PSC)、プロセッサ・クロック・コントロール・レジスタ (PCC)、およびフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) の3つの特定レジスタがあります。PSCレジスタについては6.3.1(2) **パワー・セーブ・コントロール・レジスタ (PSC)**、PCCレジスタについては6.3.1(1) **プロセッサ・クロック・コントロール・レジスタ (PCC)**、FLPMCレジスタについては16.7.12 **フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)** を参照してください。

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

割り込み禁止にする (PSWのNPビットを1に設定)。

コマンド・レジスタ (PRCMD) に任意の8ビット・データを書き込む。

特定レジスタに設定データを書き込む (次の命令で行います)。

- ・ストア命令 (ST/SST命令)

- ・ビット操作命令 (SET1/CLR1/NOT1命令)

割り込み禁止を解除する (PSWのNPビットを0に戻す)。

DMA動作が必要な場合、DMA動作を許可する。

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

**注意1.** PRCMD発行 ( ) と、その直後の特定レジスタ書き込み ( ) の間で割り込み要求 / DMA要求を受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (SYSレジスタのPRERRビットが "1") が発生することがあります。このため、PSWのNPビットを1に設定し ( )、INT/NMIの受け付け / DMA転送を禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様です。次に記述例を示します。

**[記述例] : PCCレジスタの場合**

```
LDSR  rX, 5           ;NPビット = 1
ST.B  r0, PRCMD[r0]  ;PRCMDへの書き込み
ST.B  rD, PCC[r0]    ;PCCレジスタ設定
LDSR  rY, 5           ;NPビット = 0
```

⋮

rX : PSWに書き込む値

rY : PSWに書き戻す値

rD : PCCにセットする値

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

- 注意2.** 特定レジスタをアクセスする前に、必ずDMAを停止させてください。
3. IDLEモード、ソフトウェアSTOPモードにするために、PSCレジスタにデータを設定する場合、IDLE/ソフトウェアSTOPモード解除後のルーチンが正しく実行されるように、ダミー命令を挿入する必要があります。詳細は6.6 パワー・セーブ機能に関する注意事項を参照してください。
  4. FLPMCレジスタのFLSPMビットを操作して、通常モードとフラッシュ・メモリ・セルフ・プログラミング・モードを切り替える場合、ダミー命令を挿入する必要があります。詳細は16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) を参照してください。

(1) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。8ビット単位でライトのみ可能です。リード時は不定値になります。

不正な書き込み動作の発生は、SYSレジスタのPRERRビットでチェックできます。

リセット時：不定 W アドレス：FFFFFF170H

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

REGn	レジストレーション・コード
0/1	任意の8ビット・データ

**備考** n = 0-7

(2) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF078H

	7	6	5	④	3	2	1	0
SYS	0	0	0	PRERR	0	0	0	0

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERR = 1)

最近の周辺I/Oに対するストア命令動作がPRCMDへの書き込み動作でない状態で、特定レジスタへの書き込み動作を行ったとき  
 PRCMDレジスタへの書き込み動作後の最初のストア命令動作が、特定レジスタ以外の周辺I/Oレジスタ (PRCMDレジスタ, SYSレジスタを含む) に対するとき

(b) リセット条件 (PRERR = 0)

SYSのPRERRフラグに“0”を書き込んだとき<sup>注</sup>  
 システム・リセット時

**注** PRCMDレジスタへの書き込み動作直後にPRERRフラグに“0”を書き込むと、PRERRフラグは“1”にセットされます (SYSレジスタは特定レジスタではないため)。

## 第4章 バス制御機能

V850/SA1は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

### 4.1 特 徴

アドレス・バス（セパレート出力可能）

16ビット・データ・バス

ポートとの兼用端子で外部デバイスに接続可能

ウエイト機能

・2ブロックごとに最大3ステートのプログラマブル・ウエイト機能

・WAIT端子による外部ウエイト機能

アイドル・ステート挿入機能

バス・ホールド機能

### 4.2 バス制御端子と制御レジスタ

#### 4.2.1 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表4-1 バス制御端子

外部バス・インタフェース機能使用時	対応するポート
アドレス/データ・バス (AD0-AD7)	ポート4 (P40-P47)
アドレス/データ・バス (AD8-AD15)	ポート5 (P50-P57)
アドレス・バス (A1-A4)	ポート11 (P110-P113)
アドレス・バス (A5-A12)	ポート10 (P100-P107)
アドレス・バス (A13-A15)	ポート3 (P34-P36)
アドレス・バス (A16-A21)	ポート6 (P60-P65)
リード/ライト制御 ( $\overline{\text{LBEN}}$ , $\overline{\text{UBEN}}$ , R/W, DSTB, $\overline{\text{WRL}}$ , WRH, RD)	ポート9 (P90-P93)
アドレス・ストロープ (ASTB)	ポート9 (P94)
バス・ホールド制御 ( $\overline{\text{HLDRQ}}$ , $\overline{\text{HLDK}}$ )	ポート9 (P95, P96)
外部ウエイト制御 ( $\overline{\text{WAIT}}$ )	ポート12 (P120)

各端子のバス・インタフェース機能は、メモリ拡張モード・レジスタ (MM) またはメモリ・アドレス出力モード・レジスタ (MAM) の設定により有効になります。外部インタフェースの動作モード指定に関する詳細は、3. 4. 6 (1) メモリ拡張モード・レジスタ (MM)、(2) メモリ・アドレス出力モード・レジスタ (MAM) を参照してください。

**注意** セパレート・バス使用時のデバッグについては、IE-703017-MC-EM1 ユーザーズ・マニュアルを参照してください。

## 4.2.2 制御レジスタ

### (1) システム制御レジスタ (SYC)

このレジスタは、バス・インタフェース用制御信号を切り替えます。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF064H

	7	6	5	4	3	2	1	①
SYC	0	0	0	0	0	0	0	BIC

BIC	バス・インタフェースの制御
0	$\overline{DSTB}$ , $R/\overline{W}$ , $\overline{LBEN}$ , $\overline{UBEN}$ 信号出力
1	$\overline{RD}$ , $\overline{WRL}$ , $\overline{WRH}$ , $\overline{UBEN}$ <sup>注</sup> 信号出力

注  $\overline{UBEN}$ 信号は、外部拡張モード（メモリ拡張モード・レジスタ（MM）による設定）時、BICビットの設定にかかわらず出力されます。

注意 ポート9を入出力ポートとして使用するときは、BICビットを“0”に設定してください。

## 4.3 バス・アクセス

### 4.3.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

表4-2 アクセス・クロック数

バス・サイクル形態	周辺I/O（バス幅）			
	内蔵ROM （32ビット）	内蔵RAM （32ビット）	周辺I/O （16ビット）	外部メモリ （16ビット）
命令フェッチ	1	3	不可	3 + n
オペランド・データ・アクセス	3	1	3	3 + n

備考1. 単位はクロック/アクセスです。

2. n：ウエイト挿入数

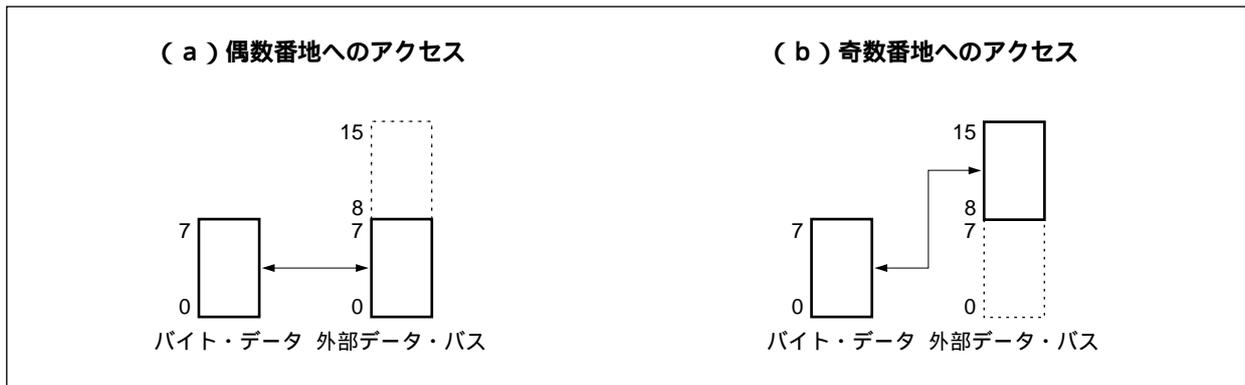
### 4.3.2 バス幅

CPUが周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。

#### (1) バイト・アクセス (8ビット)

バイト・アクセスには，偶数番地へのアクセスと奇数番地へのアクセスの2つの方法があります。

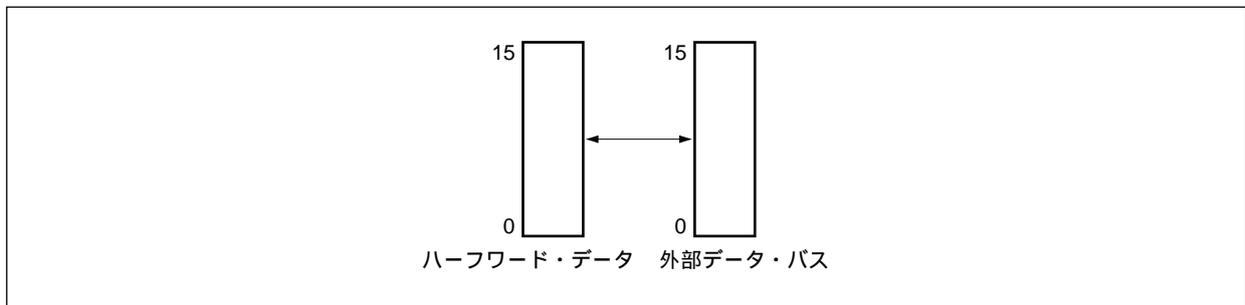
図4-1 バイト・アクセス (8ビット)



#### (2) ハーフワード・アクセス (16ビット)

データ・バスは16ビット固定なので，外部メモリへのハーフワード・アクセスでは，データをそのままやりとります。

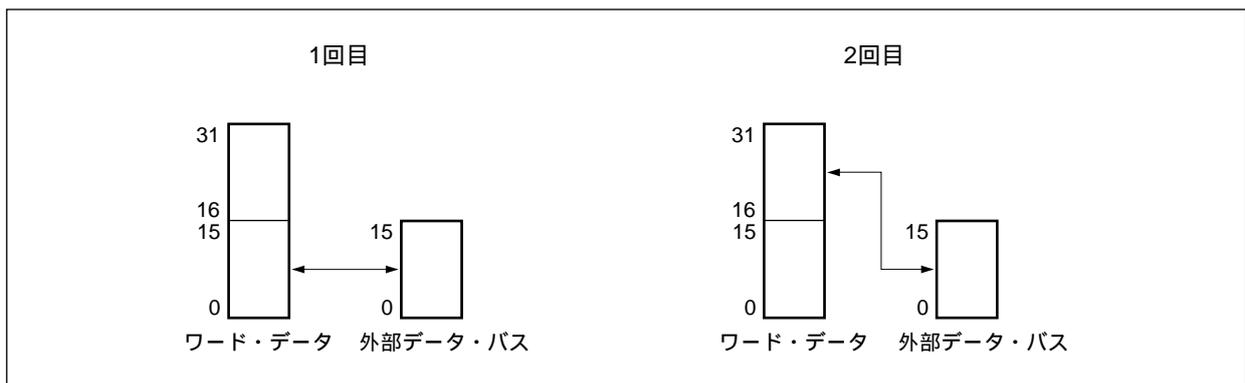
図4-2 ハーフワード・アクセス (16ビット)



#### (3) ワード・アクセス (32ビット)

外部メモリへのワード・アクセスでは，下位ハーフワード，上位ハーフワードの順でアクセスします。

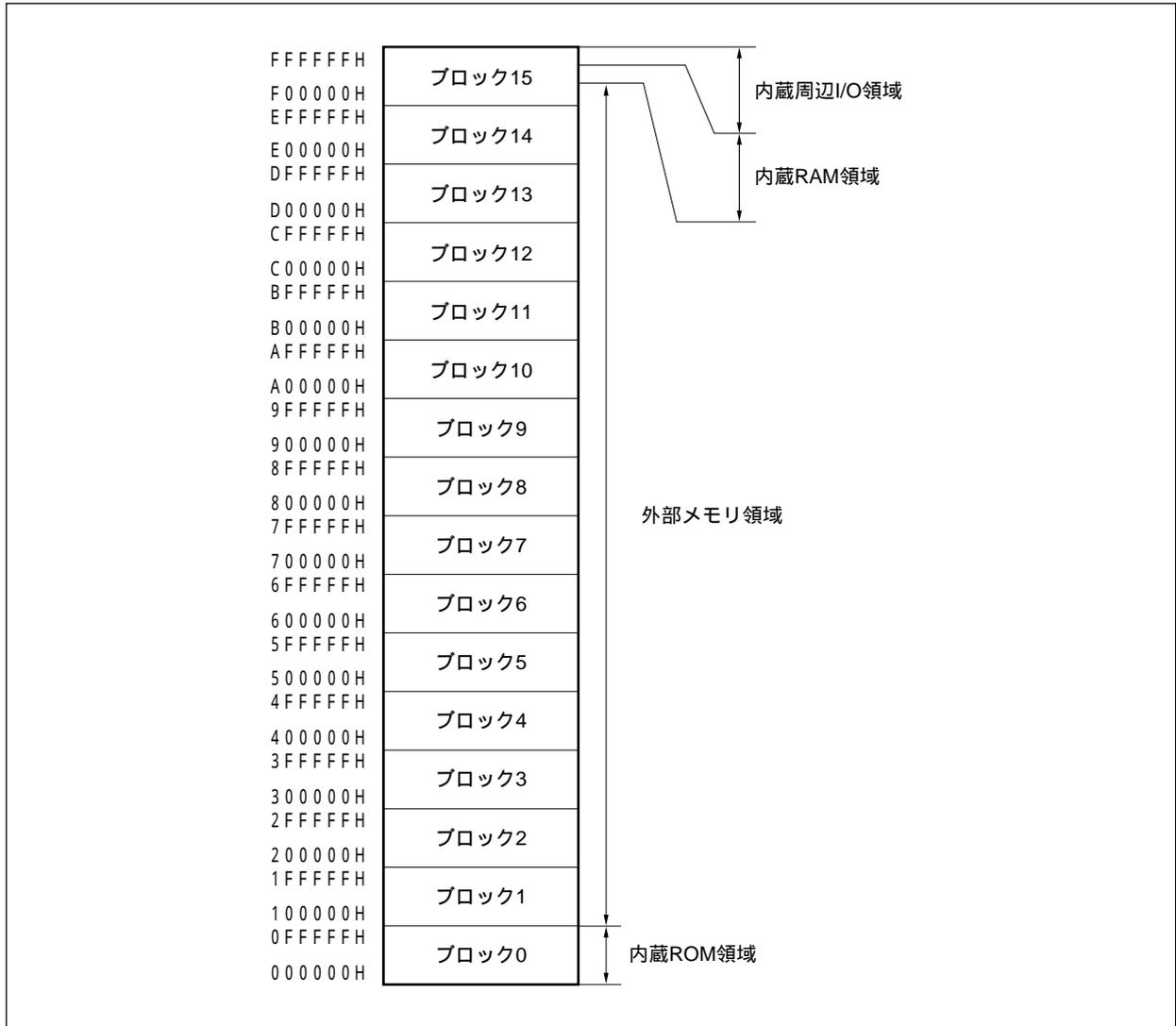
図4-3 ワード・アクセス (32ビット)



## 4.4 メモリ・ブロック機能

16 Mバイトのメモリ空間は1 Mバイト単位のメモリ・ブロックに分割され、2ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードなどを独立に制御できます。

図4 - 4 メモリ空間



## 4.5 ウェイト機能

### 4.5.1 プログラマブル・ウェイト機能

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、2ブロックごとに起動されるバス・サイクルに対し、最大3ステートのデータ・ウェイトを挿入できます。

ウェイト数は、データ・ウェイト・コントロール・レジスタ (DWC) でプログラマブルに設定できます。システム・リセット直後は、全ブロックに対して3データ・ウェイトの挿入状態になります。

#### (1) データ・ウェイト・コントロール・レジスタ (DWC)

16ビット単位でリード/ライト可能です。

リセット時：FFFFH    R/W    アドレス：FFFFFF060H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DWC	DW 71	DW 70	DW 61	DW 60	DW 51	DW 50	DW 41	DW 40	DW 31	DW 30	DW 21	DW 20	DW 11	DW 10	DW 01	DW 00
	DWn1		DWn0		挿入ウェイト・ステート数											
	0		0		0											
	0		1		1											
	1		0		2											
	1		1		3											
	n	ウェイト挿入されるブロック														
	0	ブロック0/1														
	1	ブロック2/3														
	2	ブロック4/5														
	3	ブロック6/7														
	4	ブロック8/9														
	5	ブロック10/11														
	6	ブロック12/13														
	7	ブロック14/15														

ブロック0は内蔵ROM領域に予約されており、DWCレジスタの設定にかかわらずプログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。

ブロック15の内蔵RAM領域はプログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、内蔵周辺I/O領域はプログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけを行います。

### 4.5.2 外部ウエイト機能

極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 (WAIT) によりバス・サイクルに任意のウエイト・ステートを挿入できます。

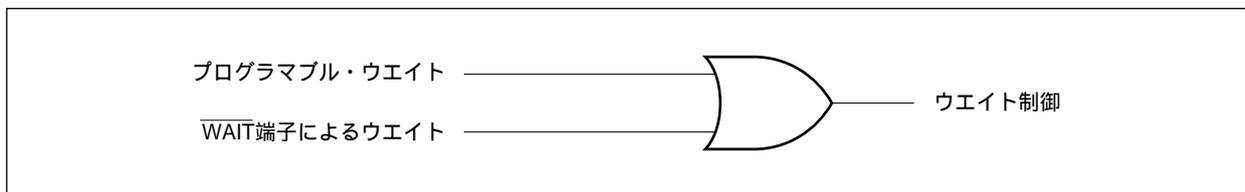
外部ウエイトの挿入はデータ・ウエイトだけ行われます。ただし、内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによって制御できません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2, TWステートのクロックの立ち下がりでもサンプリングします。サンプル・タイミングにおける設定 / 保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

### 4.5.3 プログラマブル・ウエイトと外部ウエイトの関係

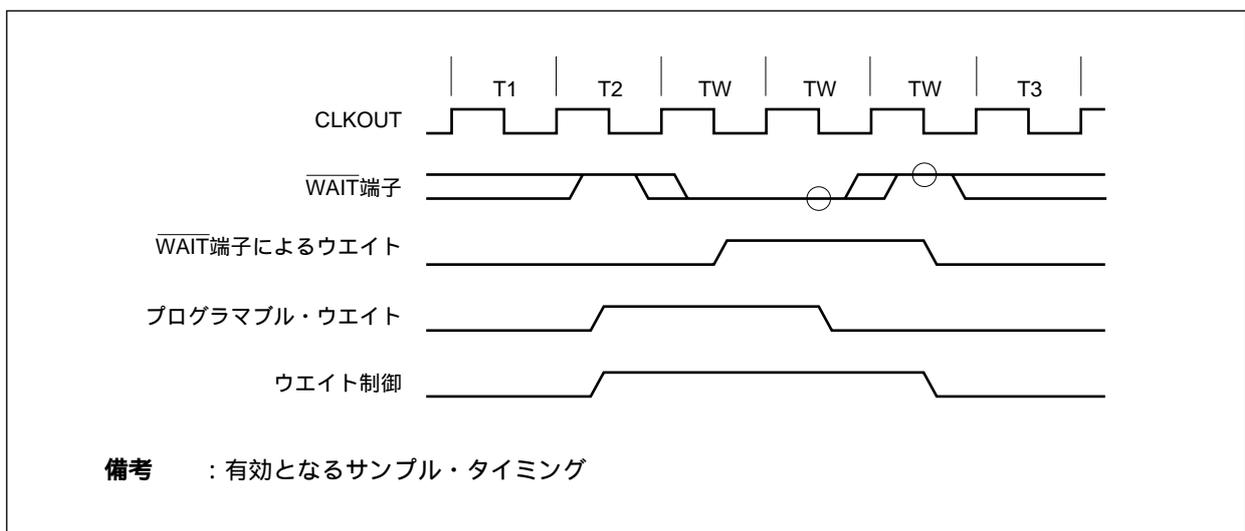
ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和として挿入され、どちらか多い方のウエイト・サイクル数だけ挿入されます。

図4-5 ウエイト制御



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4-6 ウエイト挿入例



## 4.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的として、2ブロックごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために、起動されるバス・サイクルに対し、T3ステート後に1ステートのアイドル・ステート（T1）を挿入できます。連続する次のバス・サイクルは、1アイドル・ステート後から開始します。

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ（BCC）でプログラマブルに設定できます。

システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

### （1）バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード/ライト可能です。

リセット時：AAAAH    R/W    アドレス：FFFFFF062H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCC	BC 71	0	BC 61	0	BC 51	0	BC 41	0	BC 31	0	BC 21	0	BC 11	0	BC 01	0
BCCn1	アイドル・ステート挿入指定															
0	挿入しない															
1	挿入する															
n	アイドル・ステートの挿入されるブロック															
0	ブロック0/1															
1	ブロック2/3															
2	ブロック4/5															
3	ブロック6/7															
4	ブロック8/9															
5	ブロック10/11															
6	ブロック12/13															
7	ブロック14/15															

ブロック0は内蔵ROM領域に予約されているため、ブロック0に対してアイドル・ステートの挿入は指定できません。

ブロック15における、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

このレジスタのビット0, 2, 4, 6, 8, 10, 12, 14には必ず“0”を設定してください。“1”を設定した場合の動作は保証できません。

## 4.7 バス・ホールド機能

### 4.7.1 機能概要

メモリ拡張モード・レジスタ (MM) のMM3ビットをセット (1) すると、P95, P96の $\overline{\text{HLDRQ}}$ 、 $\overline{\text{HLDAK}}$ 端子機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ (ロウ・レベル) になったことを受け付けると、外部アドレス/データ・バス、各種ストロープ端子をハイ・インピーダンス状態<sup>注</sup>にし、解放します (バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ (ハイ・レベル) になりバス獲得要求が解除されれば、再びこれらの端子の駆動を開始します。バス・ホールド期間中は、外部メモリ・アクセスがあるまで、内部の動作を継続します。

バス・ホールド状態は、 $\overline{\text{HLDAK}}$ 端子がアクティブ (ロウ・レベル) になったことで知ることができます。

マルチプロセッサ構成、DMAコントローラ接続時など、バス・マスタが複数存在するようなシステムを構成できます。

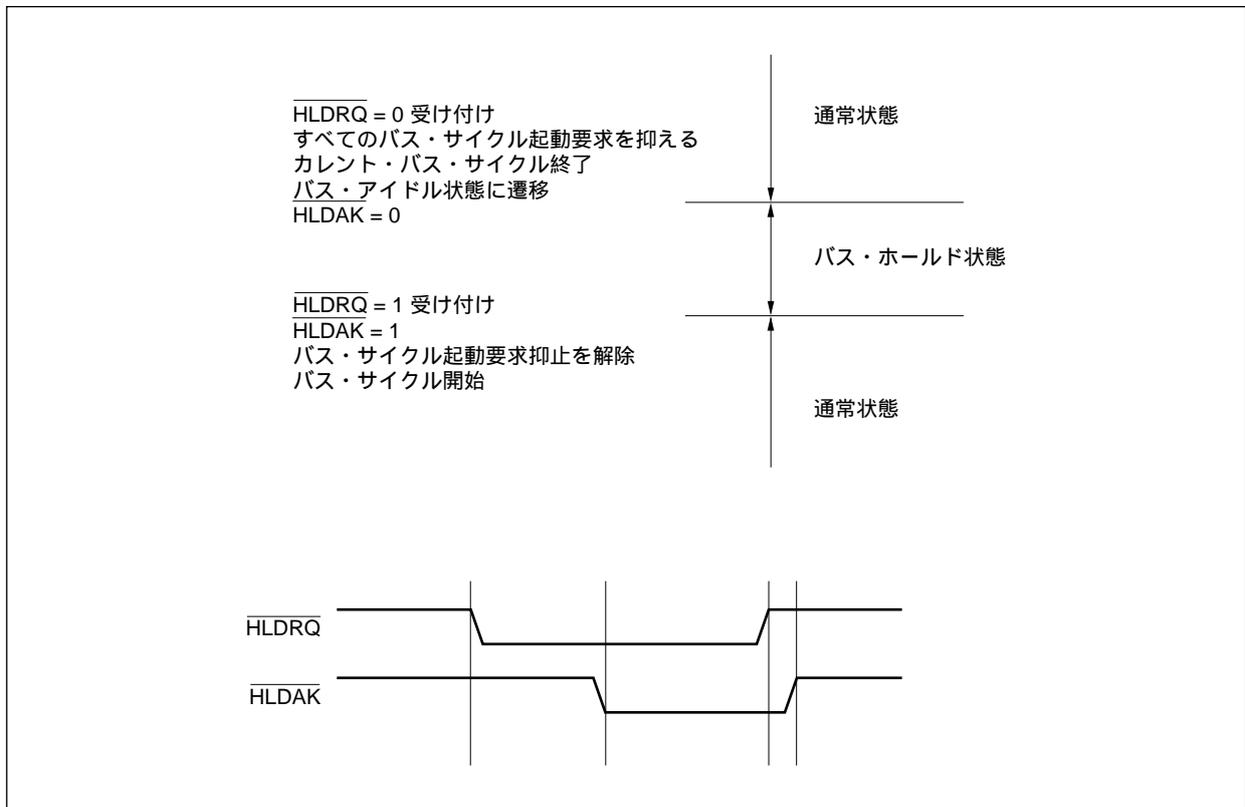
なお、ワード・アクセス時の1回目と2回目の間にはバス・ホールド要求は受け付けません。また、ビット操作命令のリード・モディファイ・ライト・アクセスにおけるリード・アクセスとライト・アクセスの間にもバス・ホールド要求は受け付けません。

**注** セパレート・バスを使用しているときのA1-A15端子は、保持状態になります。

### 4.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

図4-7 バス・ホールド手順



### 4.7.3 パワー・セーブ・モード時の動作

IDLEモード期間中およびソフトウェアSTOPモード期間中は、システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAK}}$ 端子がアクティブになり、バス・ホールド状態になります。同様に $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDAK}}$ 端子がインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

## 4.8 バス・タイミング

V850/SA1は、外部デバイスとのリード/ライト制御を次の2つのモードで実行できます。

- ・  $\overline{\text{DSTB}}$ ,  $\overline{\text{R/W}}$ ,  $\overline{\text{LBEN}}$ ,  $\overline{\text{UBEN}}$ ,  $\overline{\text{ASTB}}$ 信号を使用するモード
- ・  $\overline{\text{RD}}$ ,  $\overline{\text{WRL}}$ ,  $\overline{\text{WRH}}$ ,  $\overline{\text{ASTB}}$ 信号を使用するモード

これらのモードは、システム制御レジスタ (SYC) のBICビットで設定してください(4.2.2(1)システム制御レジスタ (SYC) 参照)。

図4-8 メモリ・リード (1/4)

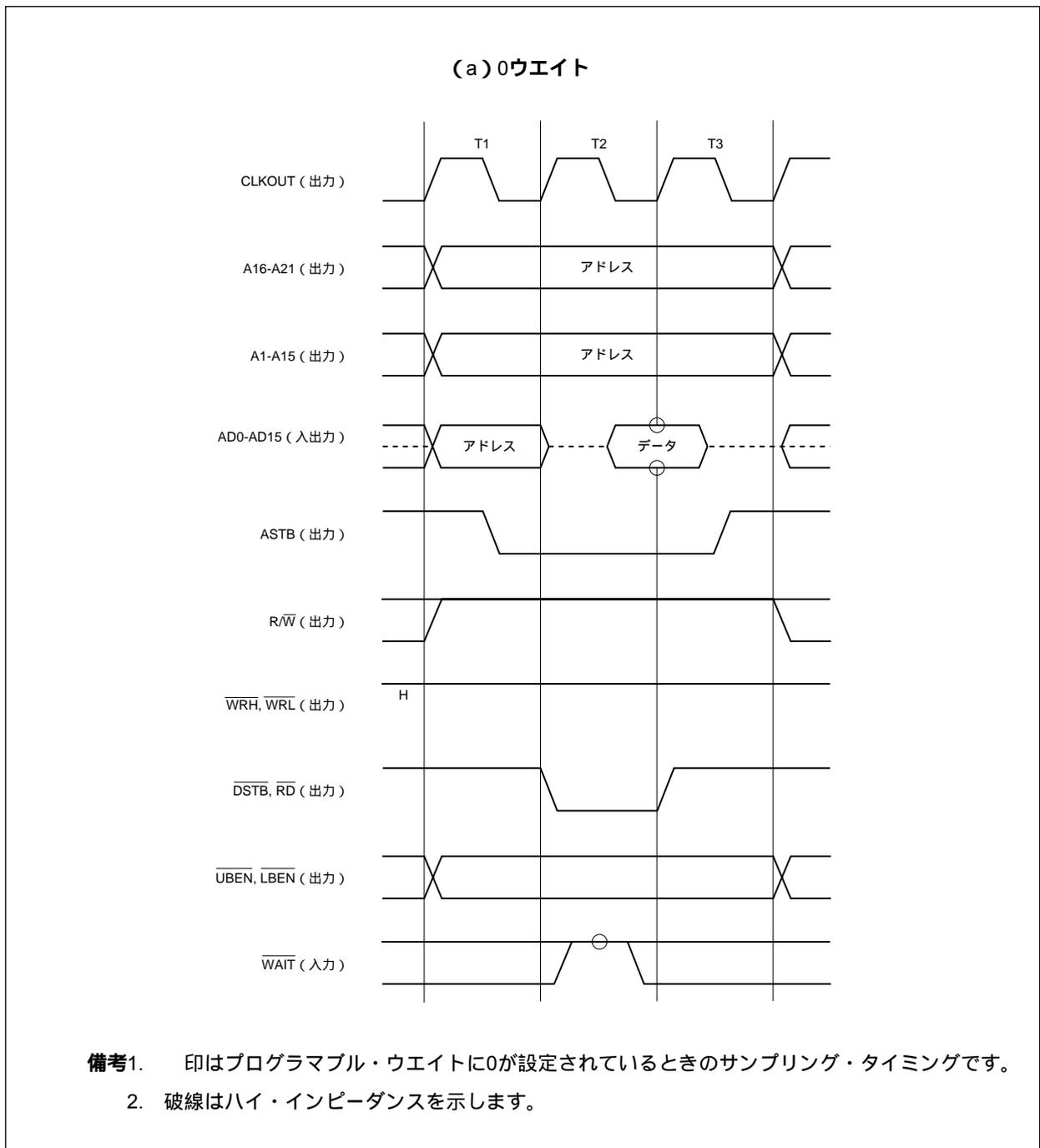


図4 - 8 メモリ・リード (2/4)

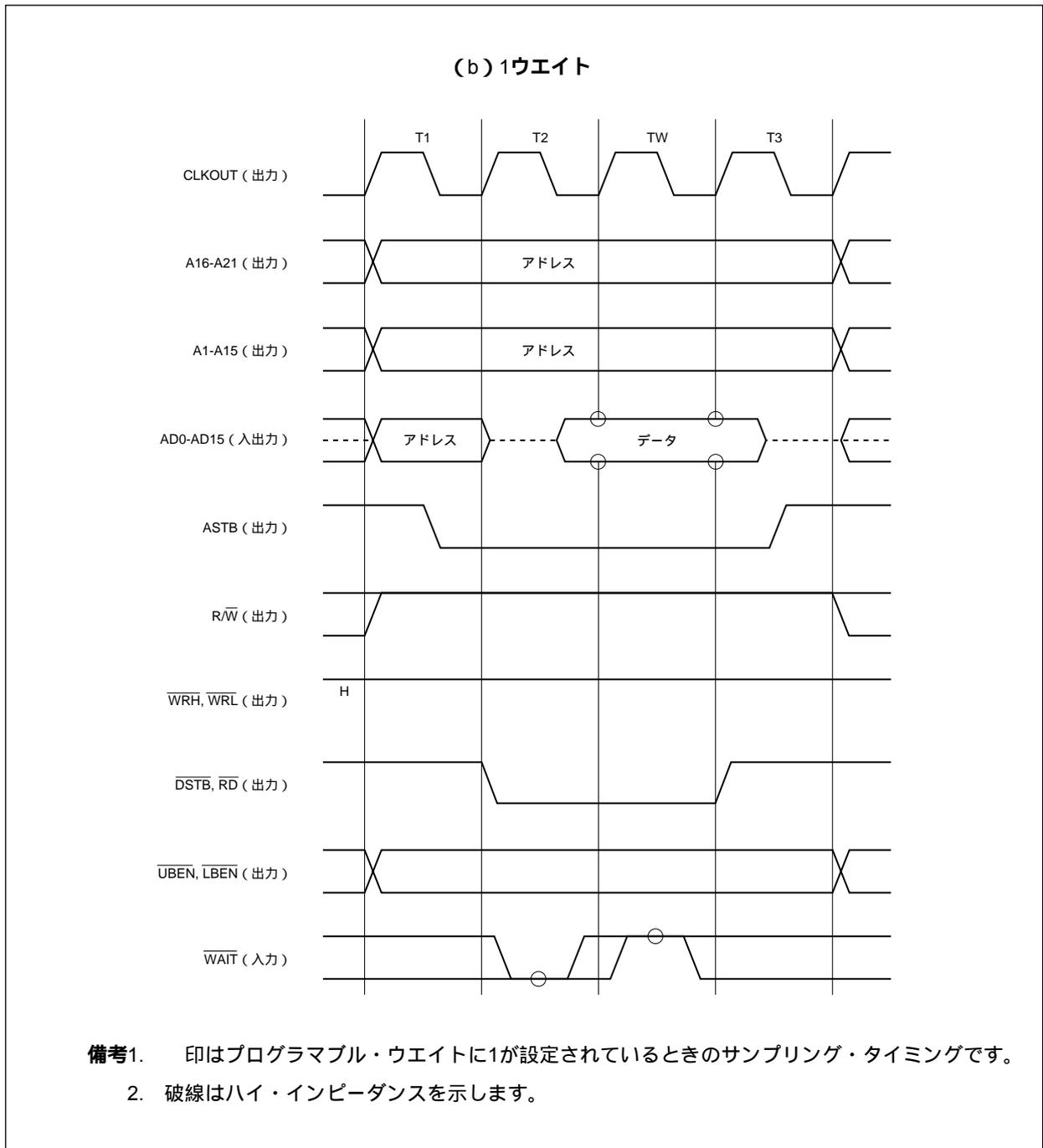


図4 - 8 メモリ・リード (3/4)

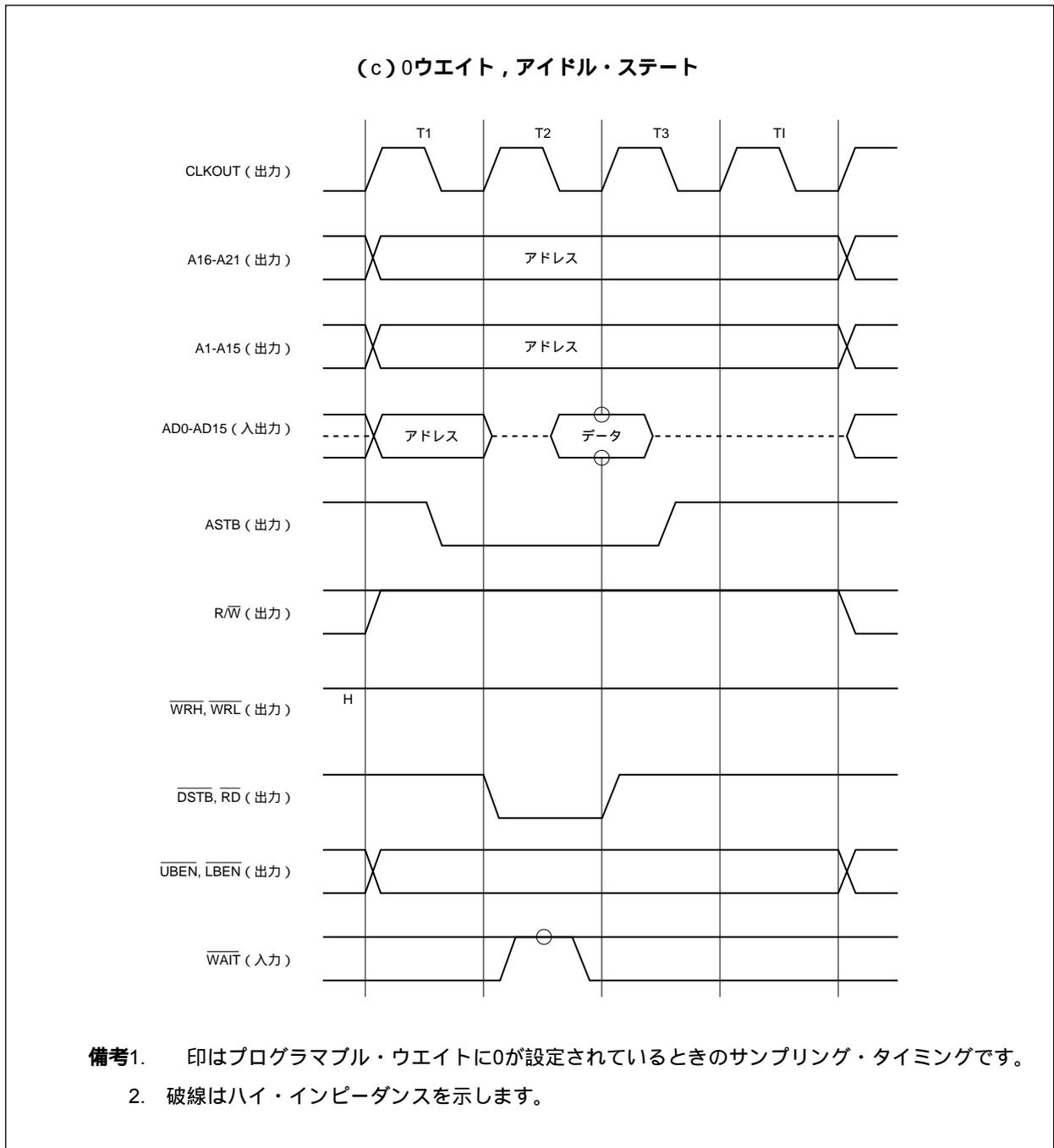


図4 - 8 メモリ・リード (4/4)

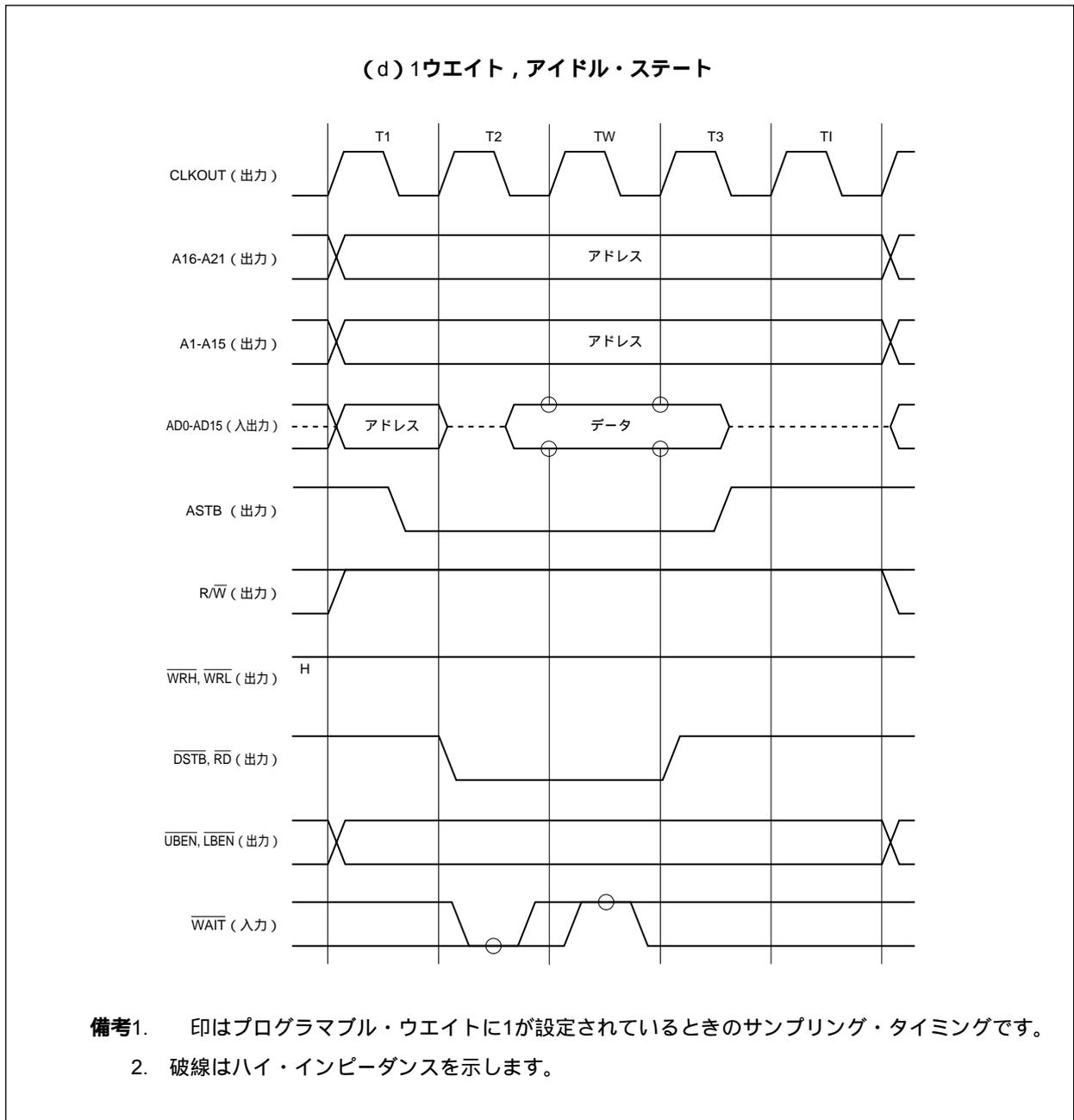


図4 - 9 メモリ・ライト (1/2)

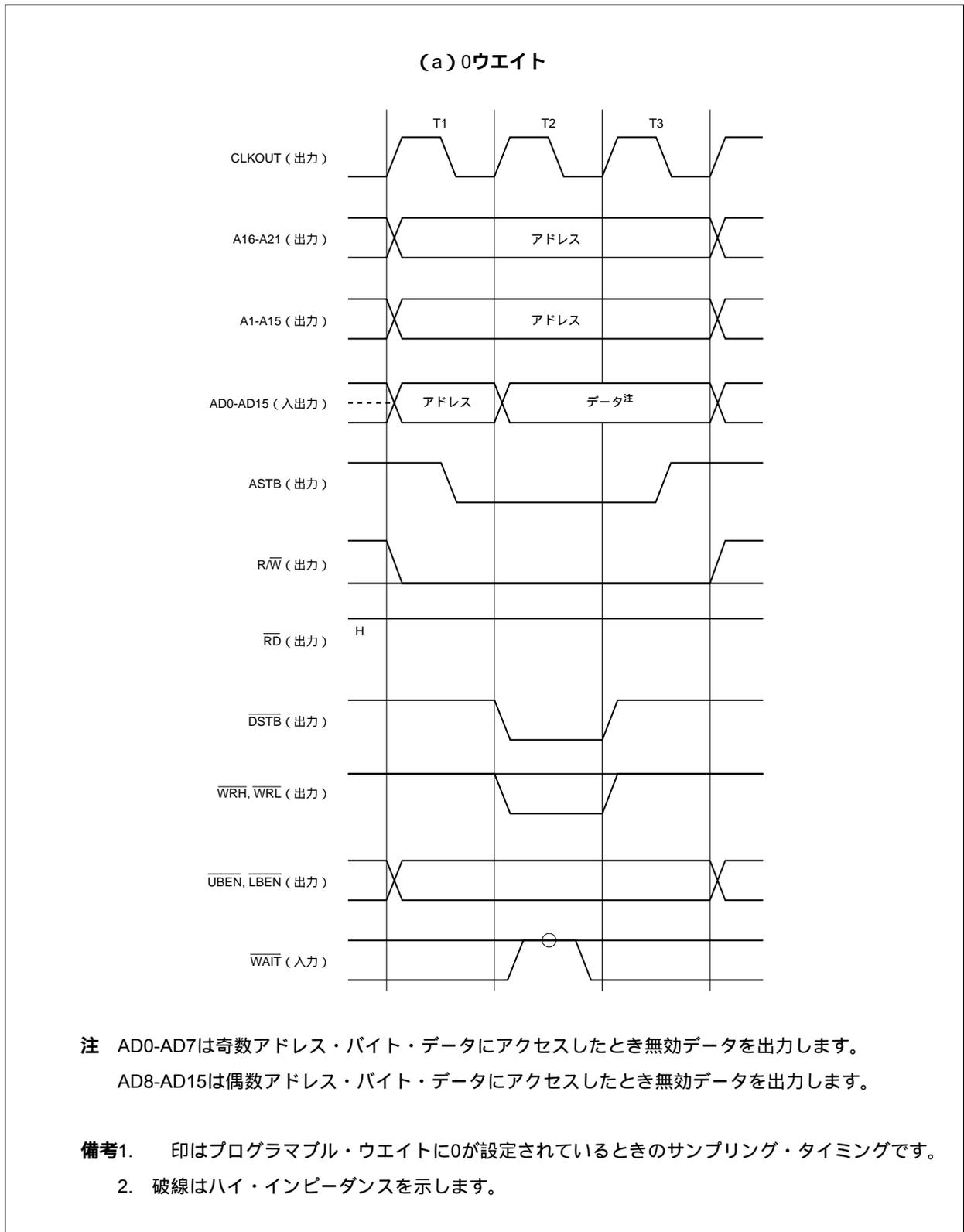


図4 - 9 メモリ・ライト (2/2)

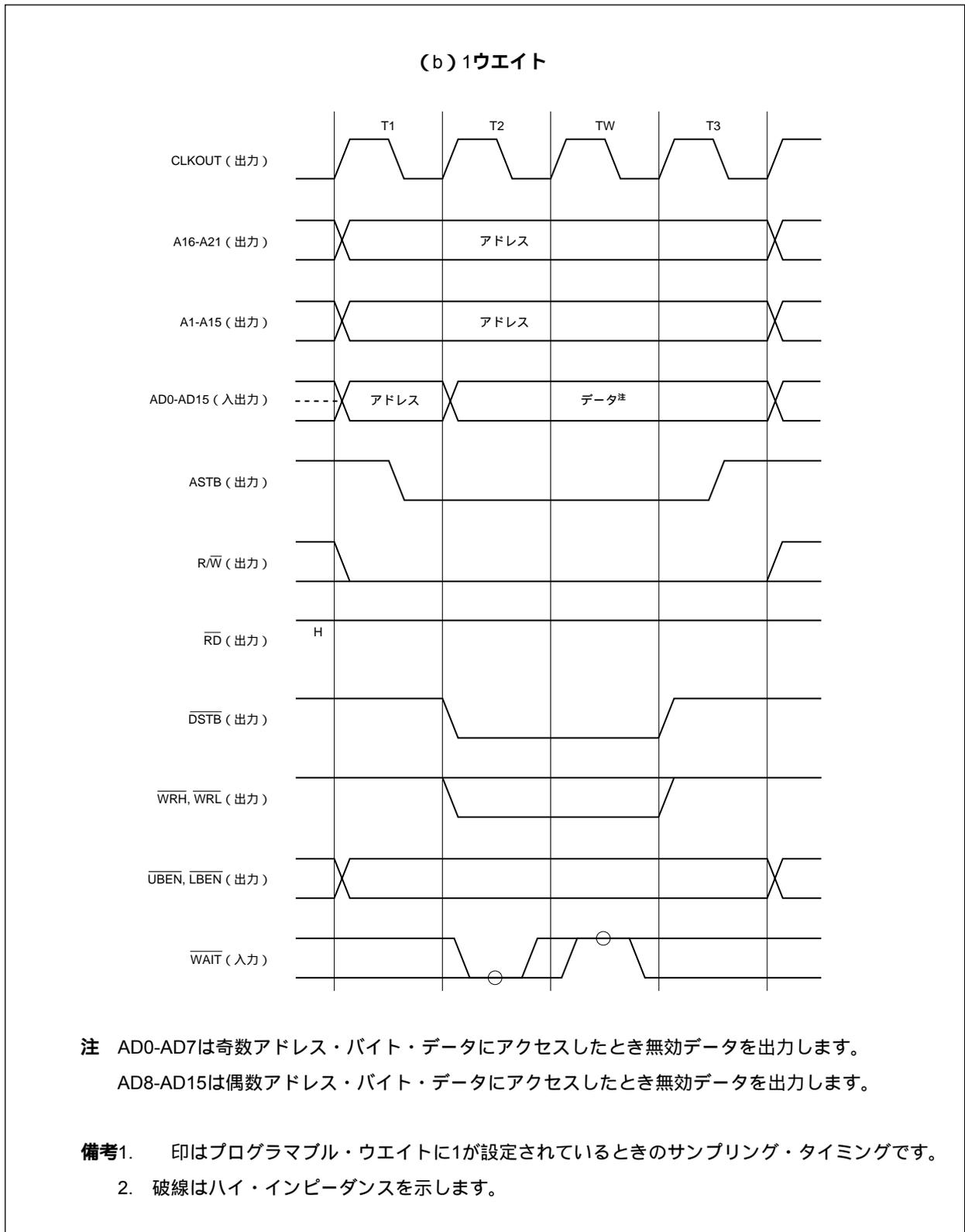
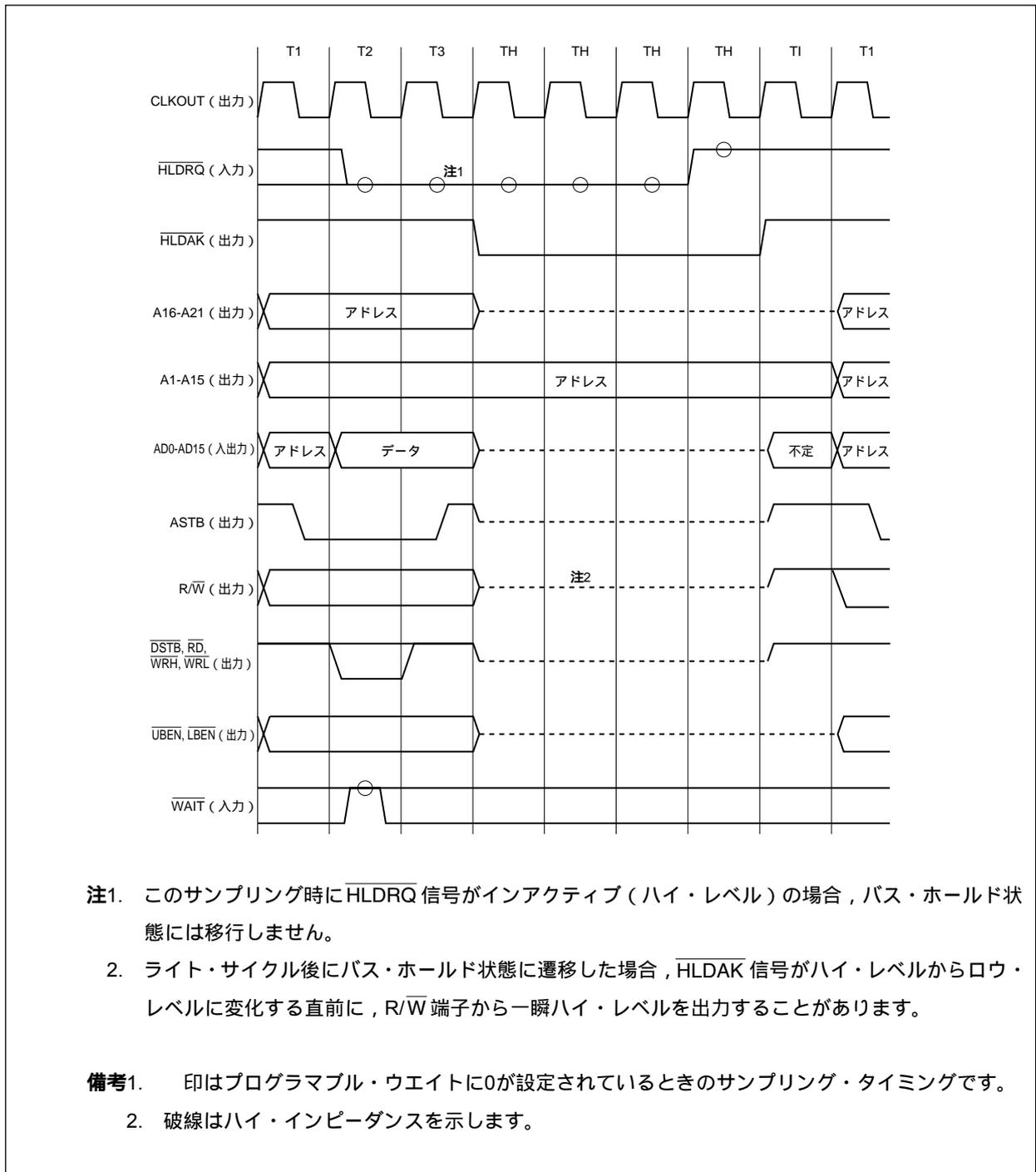


図4 - 10 バス・ホールド・タイミング



注1. このサンプリング時に  $\overline{\text{HLDQR}}$  信号がインアクティブ (ハイ・レベル) の場合、バス・ホールド状態には移行しません。

2. ライト・サイクル後にバス・ホールド状態に遷移した場合、 $\overline{\text{HLDAR}}$  信号がハイ・レベルからロウ・レベルに変化する直前に、 $\text{R}/\overline{\text{W}}$  端子から一瞬ハイ・レベルを出力することがあります。

備考1. 印はプログラマブル・ウエイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

## 4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、メモリ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の4つがあります。優先順位はバス・ホールドが最も高く、メモリ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、ワード・アクセスの下位ハーフワード・アクセスと上位ハーフワード・アクセスの間には、命令フェッチは挿入されません。

表4-3 バス優先順位

外部バス・サイクル	優先順位
バス・ホールド	1
メモリ・アクセス	2
命令フェッチ（分岐）	3
命令フェッチ（連続）	4

## 4.10 境界動作条件

### 4.10.1 プログラム空間

(1) 内蔵周辺I/O領域への分岐や内蔵RAM領域から周辺I/Oへの連続フェッチは行わないでください。分岐や命令フェッチを行った場合、NOP命令コードのフェッチを継続し、外部メモリからのフェッチなどは行いません。

(2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

### 4.10.2 データ空間

ハーフワード（16ビット）/ワード（32ビット）長のデータ・アクセスは、それぞれハーフワード境界（アドレスの最下位ビットが“0”）/ワード境界（アドレスの下位2ビットが“0”）にアラインされたアドレスに対してだけ行います。したがって、メモリまたはメモリ・ブロックの境界をまたぐようなアクセスは発生しません。詳細は、V850シリーズ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

## 第5章 割り込み / 例外処理機能

### 5.1 概 要

V850/SA1は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計30要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850/SA1では、内蔵している周辺ハードウェアと外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

#### 5.1.1 特 徴

割り込み

- ・外部割り込み：8要因（5要因<sup>注</sup>）
- ・内部割り込み：24要因
- ・8レベルのプログラマブル優先順位制御
- ・優先順位に従った割り込み要求に対するマスク指定
- ・個々のマスク可能割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

注 ソフトウェアSTOPモード解除可能な外部割り込み数

例外

- ・ソフトウェア例外 : 32要因
- ・例外トラップ : 1要因（不正命令コード例外）

割り込み / 例外要因を表5 - 1に示します。

表5 - 1 割り込み要因一覧 (1/2)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ア ドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	リセット入力	-	0000H	00000000H	不定	-
ノンマスク カブル	割り込み	-	NMI	NMI端子入力	端子	0010H	00000010H	nextPC	-
	割り込み	-	INTWDT	WDTOVF ノンマス カブル	WDT	0020H	00000020H	nextPC	-
ソフトウェア 例外	例外	-	TRAP0n	TRAP命令	-	004nH <sup>注1</sup>	00000040H	nextPC	-
例外トラップ	例外	-	TRAP1n	TRAP命令	-	005nH <sup>注1</sup>	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP	不正命令コード	-	0060H	00000060H	nextPC	-
マスクカブル	割り込み	0	INTWDTM	WDTOVFマスクカブル	WDT	0080H	00000080H	nextPC	WDTIC
		1	INTP0	INTP0端子	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	INTP3端子	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	INTP4端子	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	INTP5端子	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	INTP6端子	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTWTI	時計用タイマ・プリ スケーラ	WT	0100H	00000100H	nextPC	WTIIC
		9	INTTM00	INTTM00	TM0	0110H	00000110H	nextPC	TMIC00
		10	INTTM01	INTTM01	TM0	0120H	00000120H	nextPC	TMIC01
		11	INTTM10	INTTM10	TM1	0130H	00000130H	nextPC	TMIC10
		12	INTTM11	INTTM11	TM1	0140H	00000140H	nextPC	TMIC11
		13	INTTM2	TM2コンペアー致 / OVF	TM2	0150H	00000150H	nextPC	TMIC2
		14	INTTM3	TM3コンペアー致 / OVF	TM3	0160H	00000160H	nextPC	TMIC3
		15	INTTM4	TM4コンペアー致 / OVF	TM4	0170H	00000170H	nextPC	TMIC4
		16	INTTM5	TM5コンペアー致 / OVF	TM5	0180H	00000180H	nextPC	TMIC5
		17	INTIIC0 <sup>注2</sup> / INTCSI0	I <sup>2</sup> C割り込み / CSI0送信終了	I <sup>2</sup> C / CSI0	0190H	00000190H	nextPC	CSIC0
		18	INTSER0	UART0シリアル・エ ラー	UART0	01A0H	000001A0H	nextPC	SERIC0
		19	INTSR0 / INTCSI1	UART0受信終了 / CSI1送信終了	UART0 / CSI1	01B0H	000001B0H	nextPC	CSIC1
		20	INTST0	UART0送信終了	UART0	01C0H	000001C0H	nextPC	STIC0
		21	INTCSI2	CSI2送信終了	CSI2	01D0H	000001D0H	nextPC	CSIC2
		22	INTSER1	UART1シリアル・エ ラー	UART1	01E0H	000001E0H	nextPC	SERIC1
		23	INTSR1	UART1受信終了	UART1	01F0H	000001F0H	nextPC	SRIC1
24	INTST1	UART1送信終了	UART1	0200H	00000200H	nextPC	STIC1		

注1. nは0-FHの値

★ 2.  $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ有効です。

表5 - 1 割り込み要因一覧 (2/2)

種類	分類	デフォルト・プライオリティ	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
マスカブル	割り込み	25	INTAD	A/D変換終了	A/D	0210H	00000210H	nextPC	ADIC
		26	INTDMA0	DMA0転送終了	DMA0	0220H	00000220H	nextPC	DMAIC0
		27	INTDMA1	DMA1転送終了	DMA1	0230H	00000230H	nextPC	DMAIC1
		28	INTDMA2	DMA2転送終了	DMA2	0240H	00000240H	nextPC	DMAIC2
		29	INTWT	時計用タイマOVF	WT	0250H	00000250H	nextPC	WTIC

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み / 例外処理起動時に、EIPCまたはFEPCにセーブされるPC値のことです。ただし、DIVH（除算）命令実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令（DIVH命令）のPC値となります。

- 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。
- RESET以外の例外 / 割り込みの復帰PCは（事象発生したときのPCの値 + 1）となります。
- ノンマスカブル割り込み（INTWDT）とマスカブル割り込み（INTWDTM）は、ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のWDTM4ビットで設定します。

## 5.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先されます。

この製品のノンマスクابل割り込み要求には、次の2つがあります。

- ・ NMI端子入力 (NMI)
- ・ ノンマスクابل・ウォッチドッグ・タイマ割り込み要求 (INTWDT)

NMI端子に立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) で指定した有効エッジが検出されたとき、割り込みが発生します。

INTWDTについては、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のWDTM4ビットを“1”に設定した状態だけで、ノンマスクابل割り込み (INTWDT) として機能します。

ノンマスクابل割り込みのサービス・プログラムを実行している (PSW.NP = 1) 場合は、ノンマスクابل割り込み要求は保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後) PSW.NP = 0になると受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、ノンマスクابل割り込み要求が2回以上発生しても、PSW.NP = 0後に受け付けられるノンマスクابل割り込みは1回だけです。

**注意** ノンマスクابل割り込み処理中に、LDSR命令によりPSW.NP = 0にしないでください。PSW.NP = 0に変更した場合、以降の割り込み受け付けの判別が正常にできなくなります。

### 5.2.1 動作

ノンマスクブル割り込み要求が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSWのNP, IDビットをセットし, EPビットをクリアします。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

図5 - 1 ノンマスクブル割り込みの処理形態

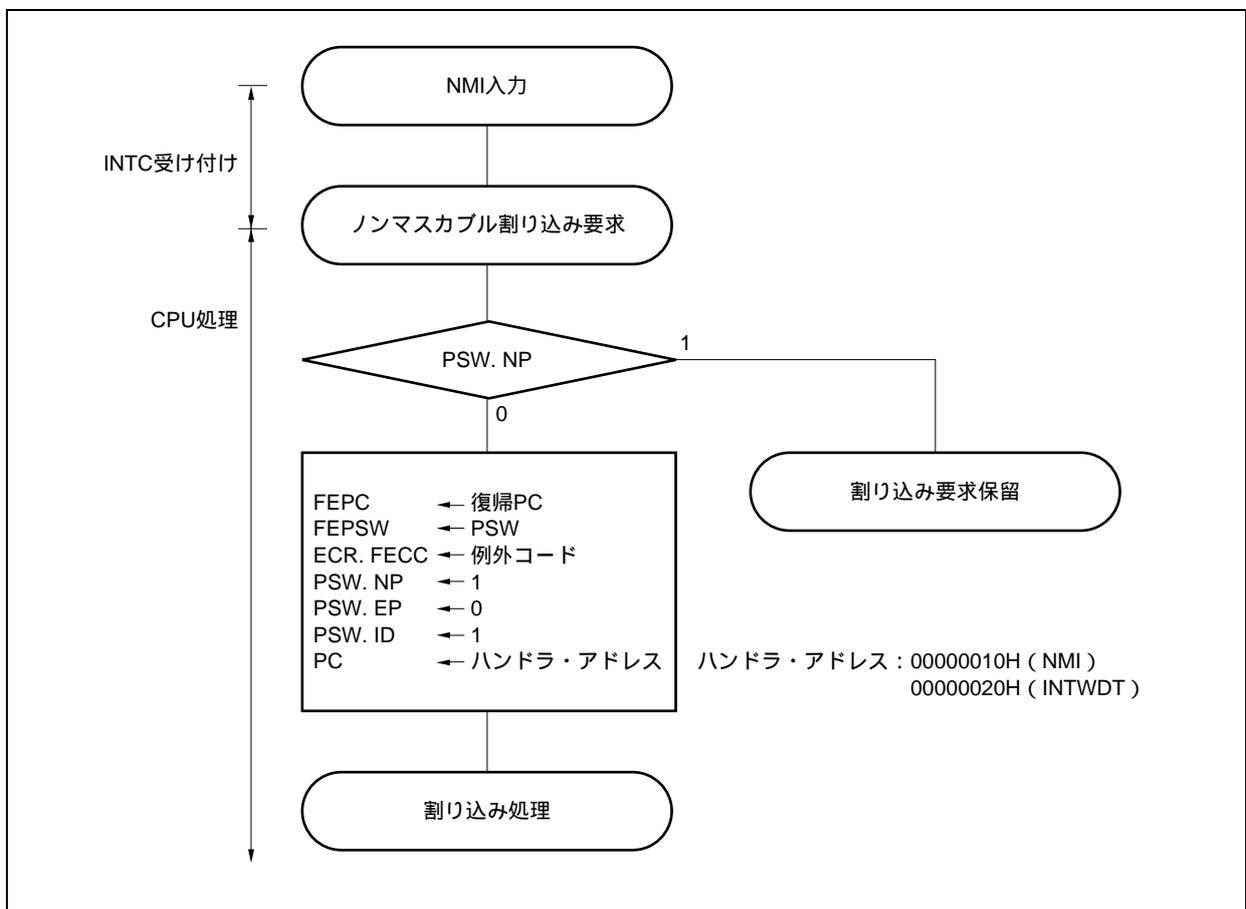
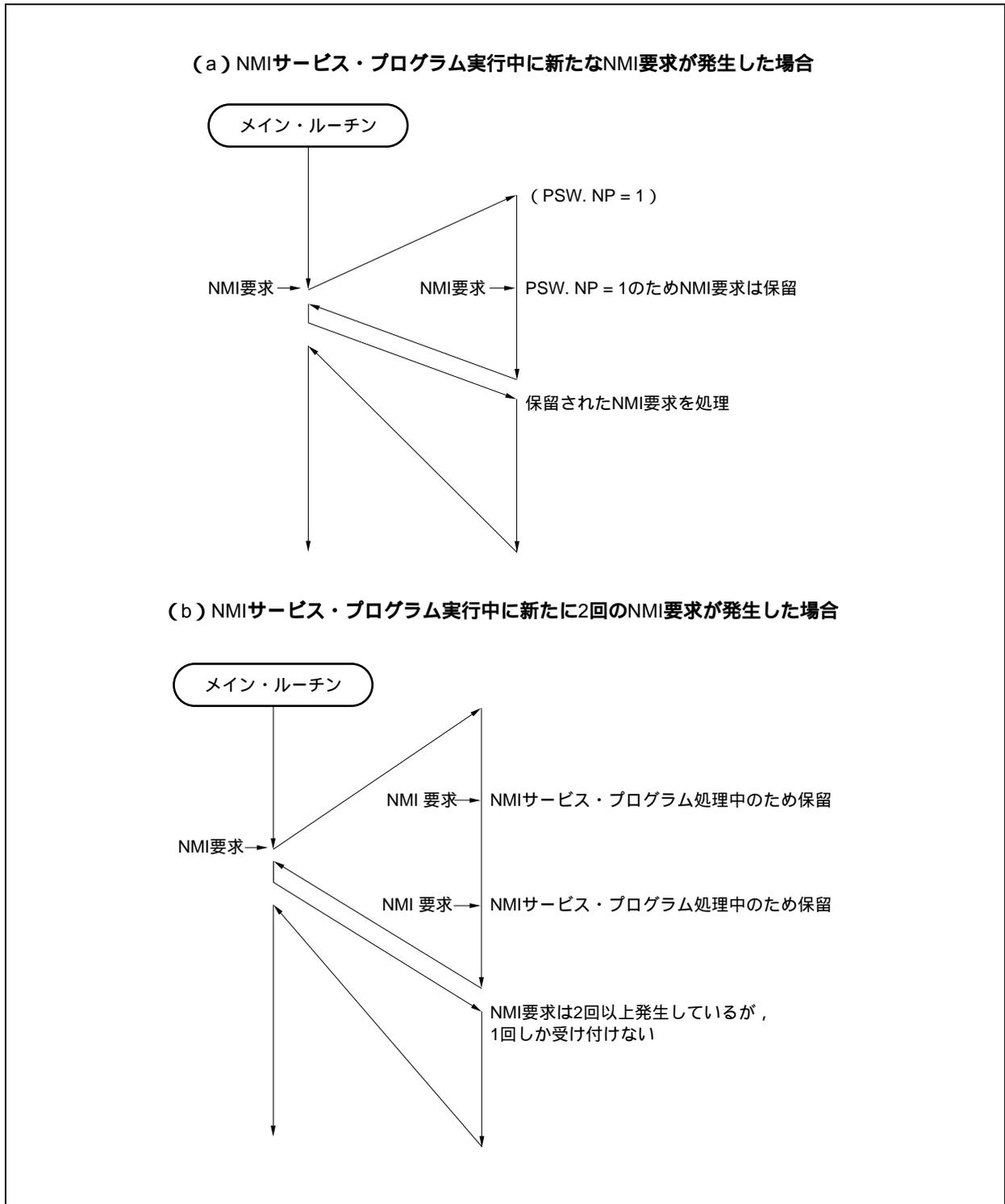


図5-2 ノンマスクブル割り込み要求の受け付け動作



## 5.2.2 復 帰

ノンマスクابل割り込み処理からは、RETI命令で復帰します。

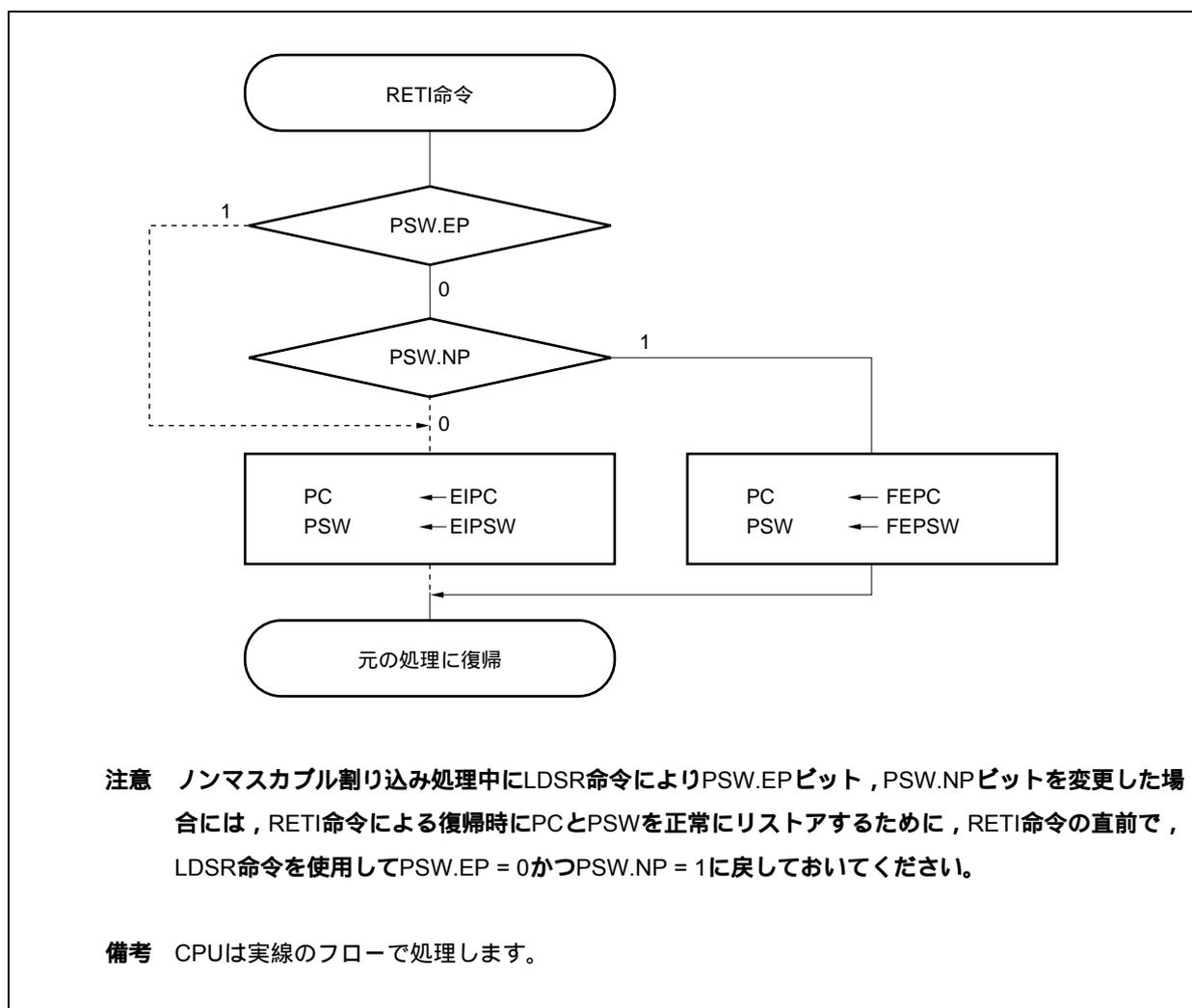
### RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC、FEPSWから復帰PC、PSWを取り出します。
- (2) 取り出した復帰PC、PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

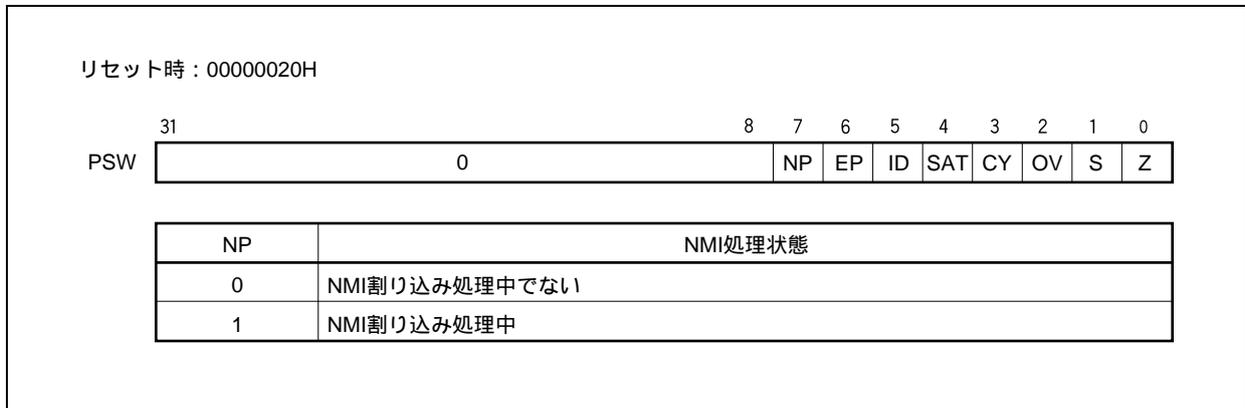
図5 - 3 RETI命令の処理形態



### 5.2.3 NPフラグ

NPフラグは、ノンマスカブル割り込み（NMI）の処理中であることを示すステータス・フラグです。NMI割り込み要求を受け付けるとセットされ、NMI要求をマスクして多重割り込みを禁止します。

図5 - 4 NPフラグ（NP）



### ★ 5.2.4 外部割り込み要求入力端子のノイズ除去

#### (1) NMI, INTP0-INTP3端子のノイズ除去

NMI, INTP0-INTP3端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI, INTP0-INTP3端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI, INTP0-INTP3端子はソフトウェアSTOPモードの解除に使用できます。ソフトウェアSTOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

#### (2) INTP4-INTP6端子のノイズ除去

INTP4-INTP6端子はデジタル・ノイズ除去回路を内蔵しています。

INTP端子の入力レベルをサンプリング・クロック（f<sub>xx</sub>）で検出し、同じレベルが3回連続で検出されなかった場合は、ノイズとして除去されます。なお、ソフトウェアSTOPモードでは内部システム・クロックが停止するため、INTP4-INTP6端子はソフトウェアSTOPモードの解除に使用できません。次に注意事項を示します。

- ・入力パルス幅が2, 3クロックの場合、有効エッジとして検出するかノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
- ・サンプリング・クロックに同期してノイズが発生している場合、ノイズとして認められないことがあります。この場合、入力端子にフィルタを付加してノイズを除去してください。

★ 5.2.5 外部割り込み要求入力端子のエッジ検出機能

外部割り込み要求入力端子の有効エッジは，“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“立ち上がり，立ち下がりエッジとも検出しない”の4種類から選択できます。

立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) で外部割り込みの有効エッジを指定します。8/1ビット単位でリード/ライト可能です。

リセット後の外部割り込み要求入力端子は“立ち上がり，立ち下がりエッジとも検出しない”になっていますので，EGP0, EGN0レジスタで有効エッジを許可しないと，割り込み要求を受け付けません（通常ポートとして機能します）。

P00端子を出力ポートとして使用する場合は，NMI端子の有効エッジを“立ち上がり，立ち下がりとも検出しない”に設定してください。P01-P07端子を出力ポートとして使用する場合は，INTP0-INTP6端子の有効エッジを“立ち上がり，立ち下がりとも検出しない”に設定するか，割り込み要求をマスクしてください。

(1) 立ち上がりエッジ指定レジスタ0 (EGP0)

リセット時：00H    R/W    アドレス：FFFFFF0C0H

⑦	⑥	⑤	④	③	②	①	①
EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0    : NMI端子の制御  
n = 1-7 : INTP0-INTP6端子の制御

(2) 立ち下がりエッジ指定レジスタ0 (EGN0)

リセット時：00H    R/W    アドレス：FFFFFF0C2H

⑦	⑥	⑤	④	③	②	①	①
EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0    : NMI端子の制御  
n = 1-7 : INTP0-INTP6端子の制御

## 5.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求です。V850/SA1には30種類のマスカブル割り込み要因があります（5.1.1 特徴参照）。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。またデフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC,EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のWDTM4ビットを“0”に設定すると、ウォッチドッグ・タイマ・オーバフロー割り込みは、マスカブル割り込み（INTWDTM）として機能します。

### 5.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

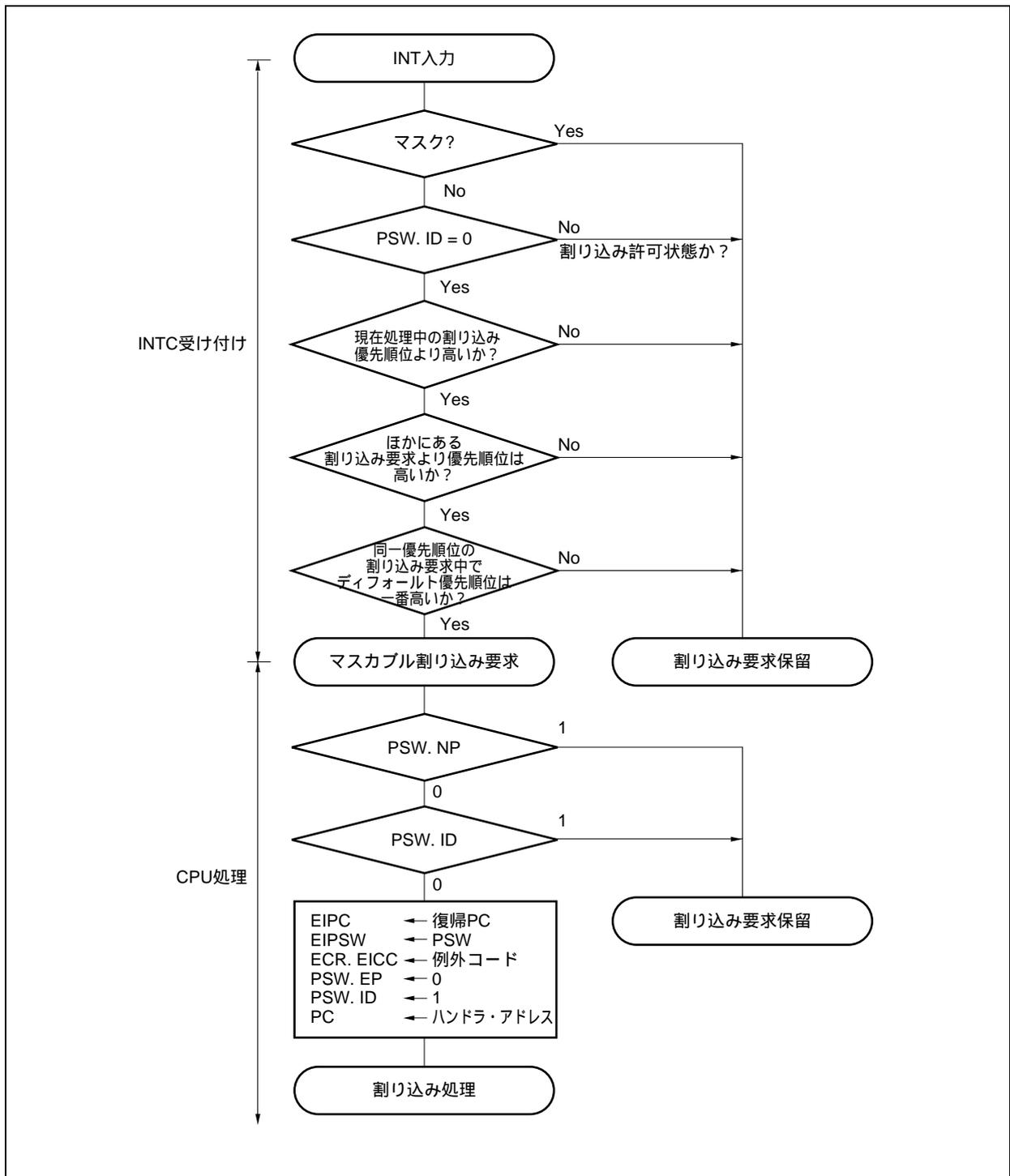
PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているINT入力と、ほかの割り込み処理中（PSW.NP = 1またはPSW.ID = 1）に発生したINT入力は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してPSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図5 - 5 マスカブル割り込みの処理形態



### 5.3.2 復 帰

マスクابل割り込み処理からは、RETI命令で復帰します。

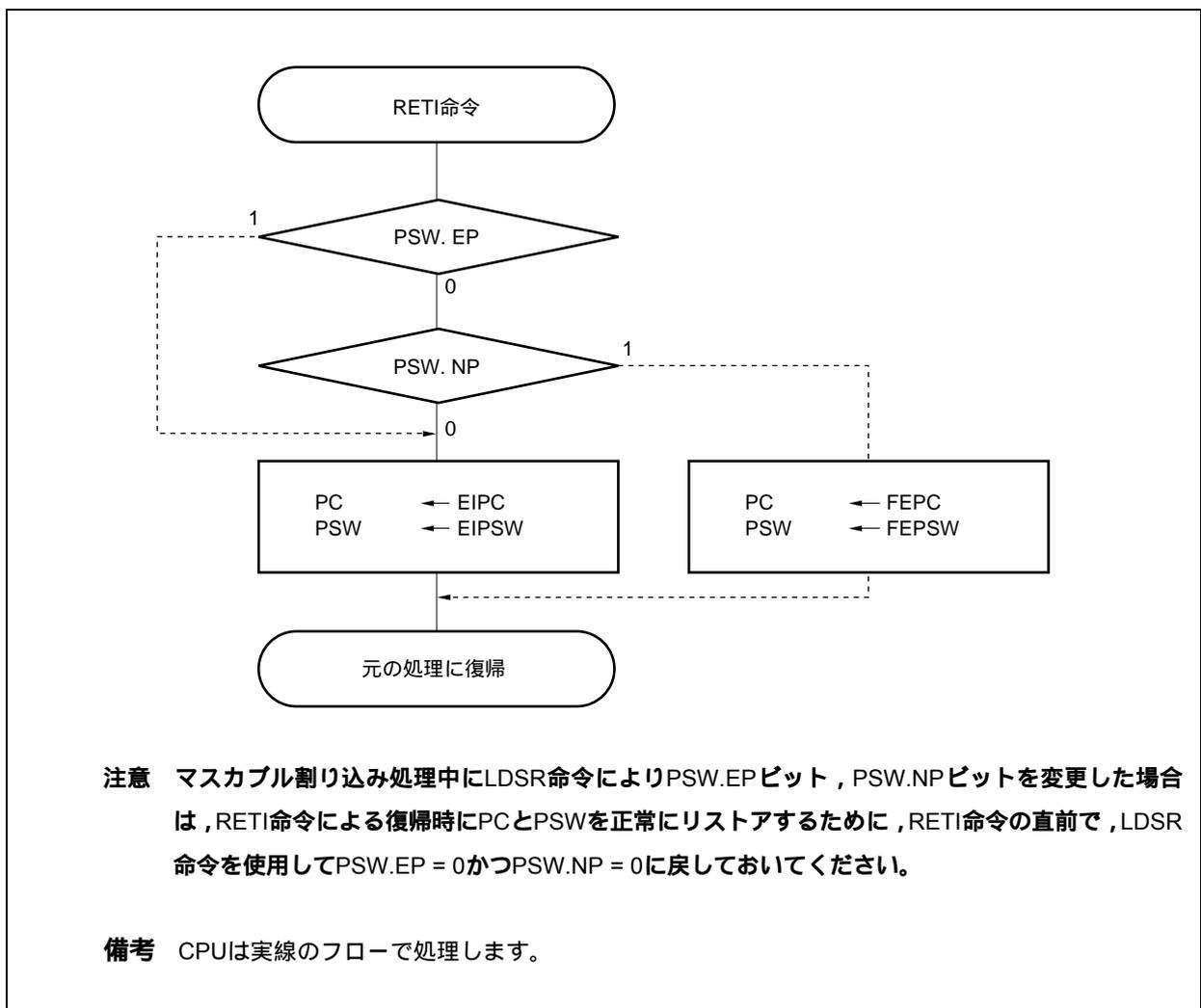
#### RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図5 - 6 RETI命令の処理形態



### 5.3.3 マスカブル割り込みの優先順位

V850/SA1は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位による制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表5 - 1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

**備考** xx : 各周辺ユニット識別名称 (表5 - 2参照)

n : 各周辺ユニット番号 (表5 - 2参照)

図5-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

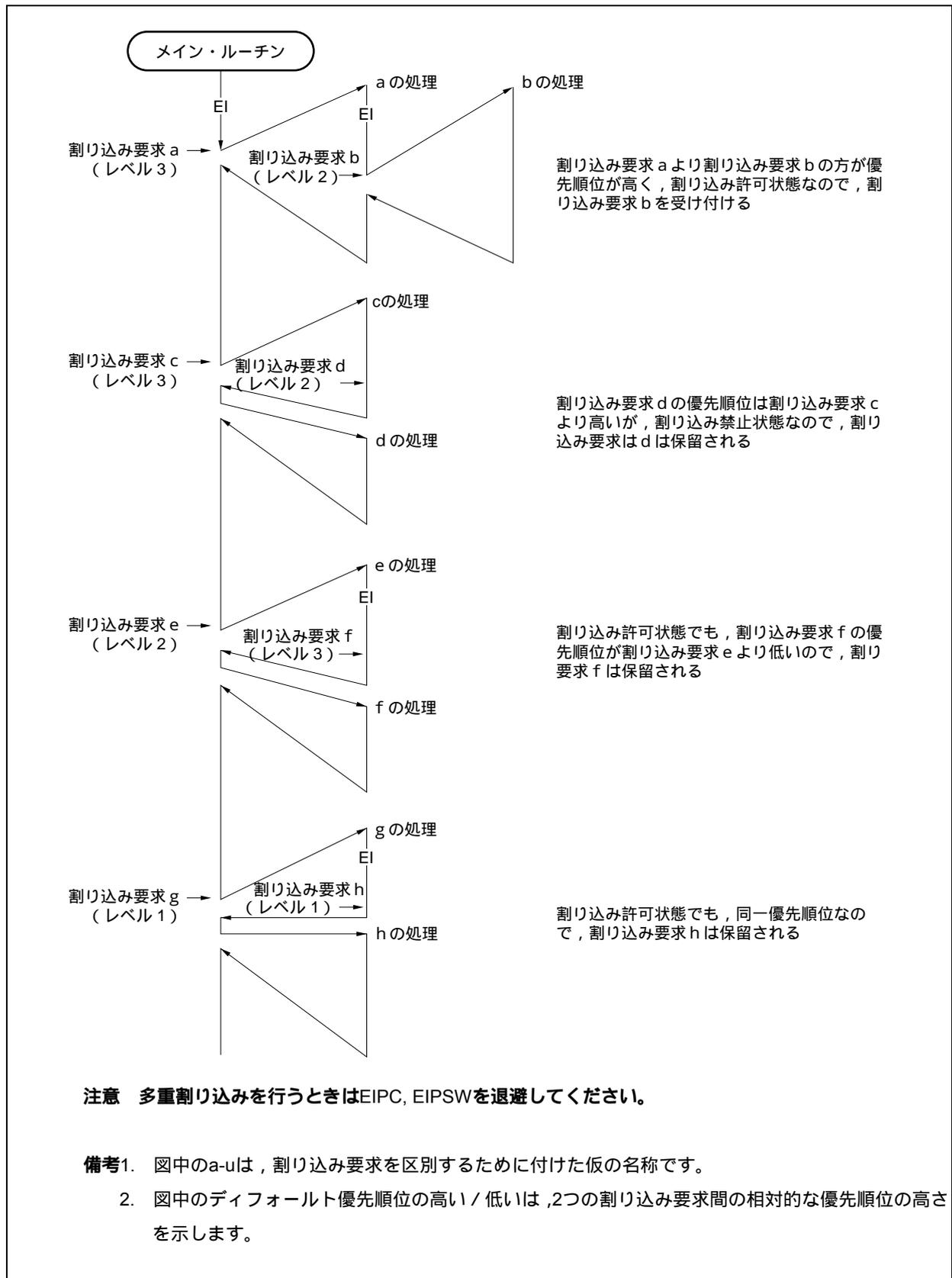


図5-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

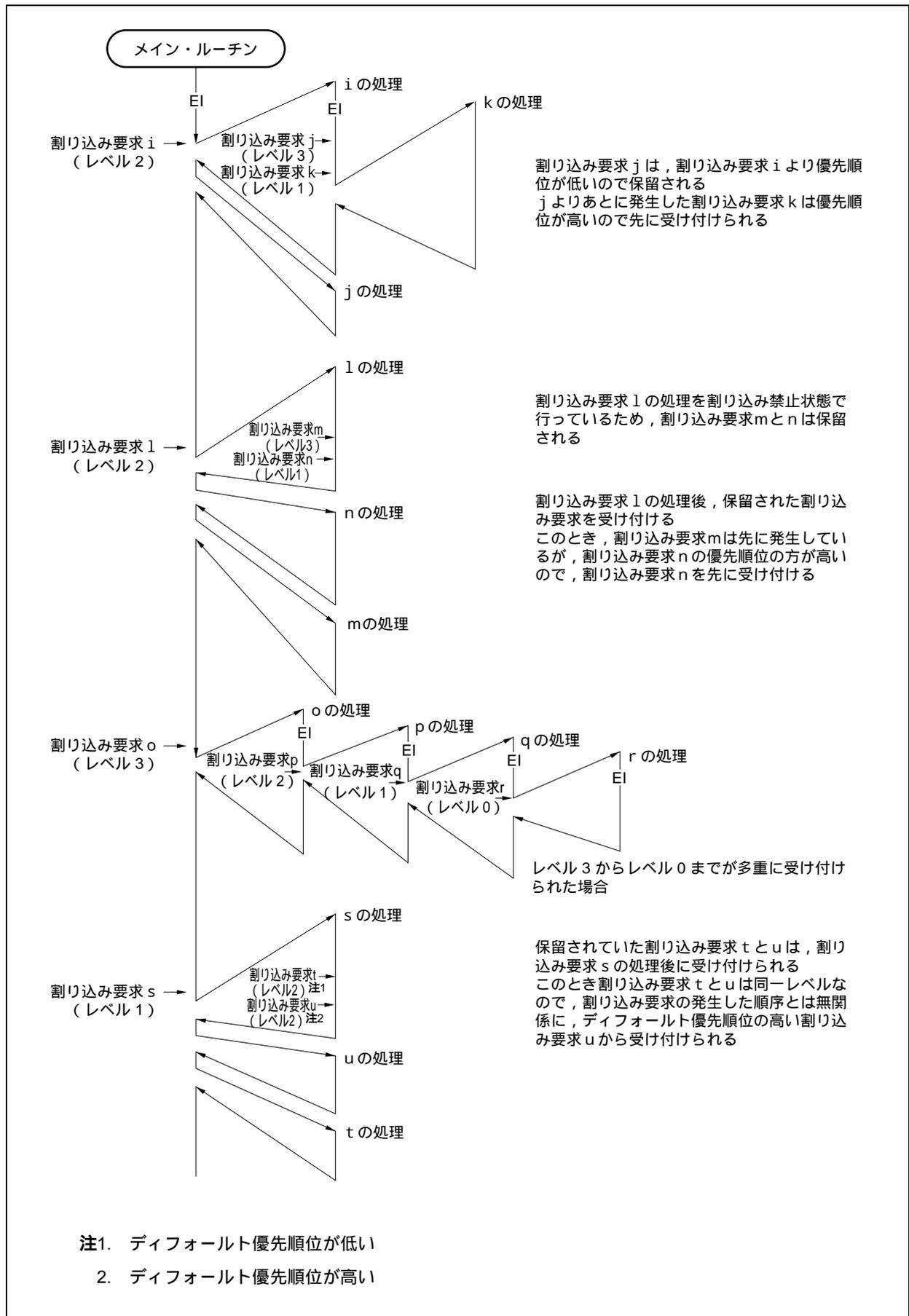
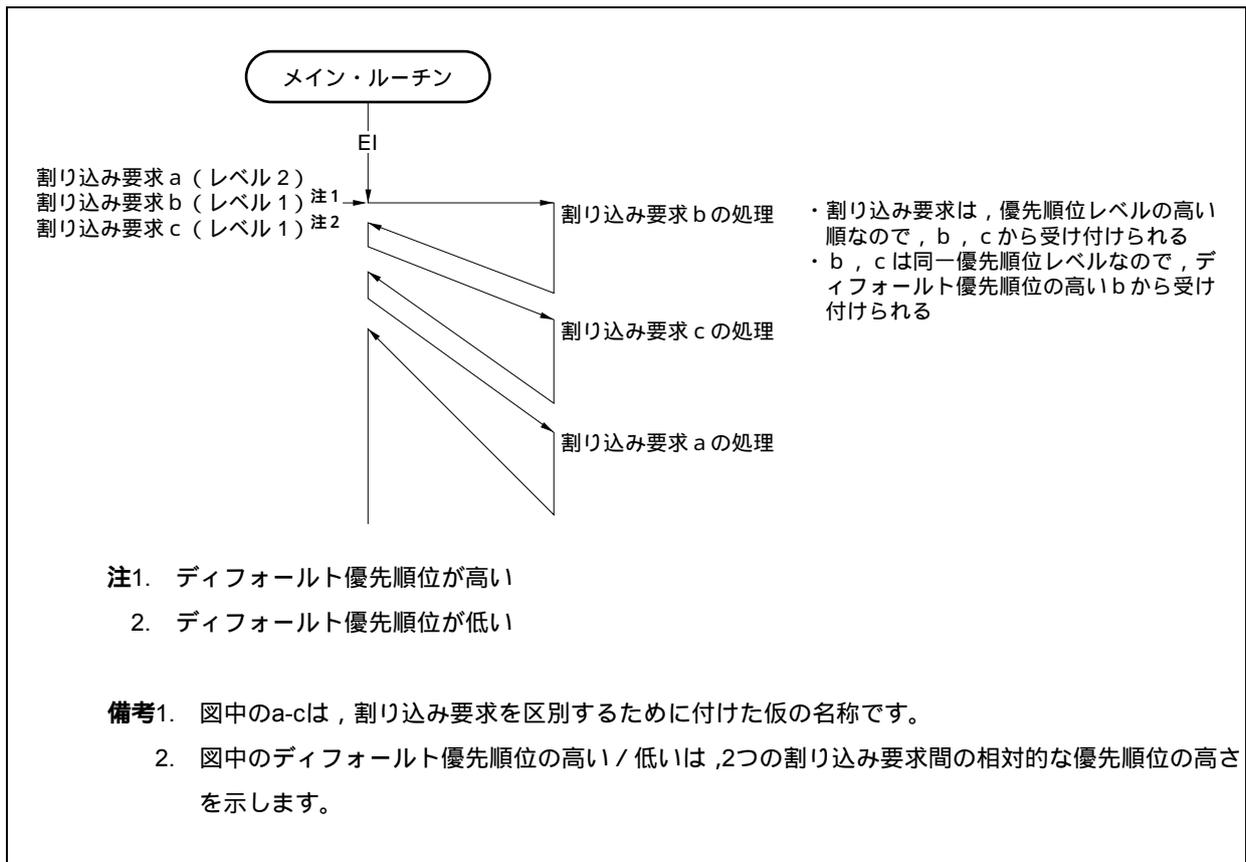


図5 - 8 同時発生した割り込み要求の処理例



### 5.3.4 割り込み制御レジスタ (xxlCn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。8/1 ビット単位でリード/ライト可能です。

注意1. 次に示す3つの条件が競合した場合, 割り込み処理が2度実行されます。ただし, DMAを使用していない場合, 割り込み処理が2度実行されることはありません。

- ・ 割り込み要求フラグ (xxlFn) に対するビット操作命令を実行
- ・ 割り込み要求フラグ (xxlFn) と同じ割り込み制御レジスタ (xxlCn) のハードウェアによる割り込み要求が発生
- ・ 割り込み要求フラグ (xxlFn) に対するビット操作命令を実行中にDMAが起動

ソフトウェアによる回避方法を次に2つ示します。

ソフトウェアによるビット操作命令の前にDI命令, あとにEI命令を挿入し, ビット操作命令実行直後に割り込みにジャンプしないようにしてください。

割り込み要求を受け付けた場合はハードウェアで割り込み禁止状態 (DI状態) になるので, 各割り込み処理ルーチンでEI命令を実行する前に, 割り込み要求フラグ (xxlFn) をクリアしてください。

- ★
2. xxlCnレジスタのxxlFnビットを読み出す場合は, 割り込み禁止状態で行ってください。割り込み許可状態でxxlFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

リセット時：47H R/W アドレス：FFFFFF100H-FFFFFF13AH

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ <sup>注</sup>
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

**注** 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

**備考** xx：各周辺ユニット識別名称（表5-2参照）

n：各周辺ユニット番号（表5-2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表5 - 2 割り込み制御レジスタ (xxICn)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF100H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFFF102H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFFF104H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFFF106H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFFF108H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFFF10AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFFF10CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFFF10EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFFF110H	WTIC	WTIF	WTMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFFF112H	TMIC00	TMIF00	TMMK00	0	0	0	TMPR002	TMPR001	TMPR000
FFFFFF114H	TMIC01	TMIF01	TMMK01	0	0	0	TMPR012	TMPR011	TMPR010
FFFFFF116H	TMIC10	TMIF10	TMMK10	0	0	0	TMPR102	TMPR101	TMPR100
FFFFFF118H	TMIC11	TMIF11	TMMK11	0	0	0	TMPR112	TMPR111	TMPR110
FFFFFF11AH	TMIC2	TMIF2	TMMK2	0	0	0	TMPR22	TMPR21	TMPR20
FFFFFF11CH	TMIC3	TMIF3	TMMK3	0	0	0	TMPR32	TMPR31	TMPR30
FFFFFF11EH	TMIC4	TMIF4	TMMK4	0	0	0	TMPR42	TMPR41	TMPR40
FFFFFF120H	TMIC5	TMIF5	TMMK5	0	0	0	TMPR52	TMPR51	TMPR50
FFFFFF122H	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFFF124H	SERIC0	SERIF0	SERMK0	0	0	0	SERPR02	SERPR01	SERPR00
FFFFFF126H	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFFF128H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF12AH	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20
FFFFFF12CH	SERIC1	SERIF1	SERMK1	0	0	0	SERPR12	SERPR11	SERPR10
FFFFFF12EH	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFFF130H	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFFF132H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFFF134H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFFF136H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFFF138H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFFF13AH	WTIC	WTIF	WTMK	0	0	0	WTIPR2	WTIPR1	WTIPR0

### 5.3.5 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

- ★ **注意** ISPRレジスタを読み出す場合は、割り込み禁止状態で行ってください。割り込み許可状態でISPRレジスタを読み出すと、割り込みの受け付けとレジスタの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時 : 00H R アドレス : FFFFF166H

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

**備考** n : 0-7 (優先順位のレベル)

### 5.3.6 IDフラグ

マスクابل割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) があり、PSWに割り付けられています。

図5 - 9 割り込み禁止フラグ (ID)

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクابل割り込み処理の指定 <sup>注</sup>
0	マスクابل割り込み要求の受け付けを許可
1	マスクابل割り込み要求の受け付けを禁止

**注** 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でリセット (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクابل割り込み要求および例外は、このフラグの状態に関係なく受け付けられます。また、マスクابل割り込み要求を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。受け付け禁止期間中 (ID = 1) に発生した割り込み要求は、xxICnのxxIFnビットがセット (1) され、IDフラグがリセット (0) されると受け付けられます。

**備考** xx : 各周辺ユニット識別名称 (表5 - 2参照)  
 n : 各周辺ユニット番号 (表5 - 2参照)

### 5.3.7 ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

8/1ビット単位でリード / ライト可能です (詳細は第9章 ウォッチドッグ・タイマ機能参照)。

リセット時 : 00H    R/W    アドレス : FFFFF384H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	0	0	0	0

RUN	ウォッチドッグ・タイマの動作制御
0	カウント動作停止
1	カウントをクリアしてカウント開始

WDTM4	タイマ・モード選択 / WDTによる割り込み制御
0	インターバル・タイマ・モード
1	WDTモード

**注意** RUN, WDTM4ビットに“1”を書き込むと、リセット入力以外ではクリアできません。

## 5.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

- ・ TRAP命令フォーマット：TRAP vector（ただし、vectorは0-1FHの値）

命令機能の詳細は、V850シリーズ **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

### 5.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

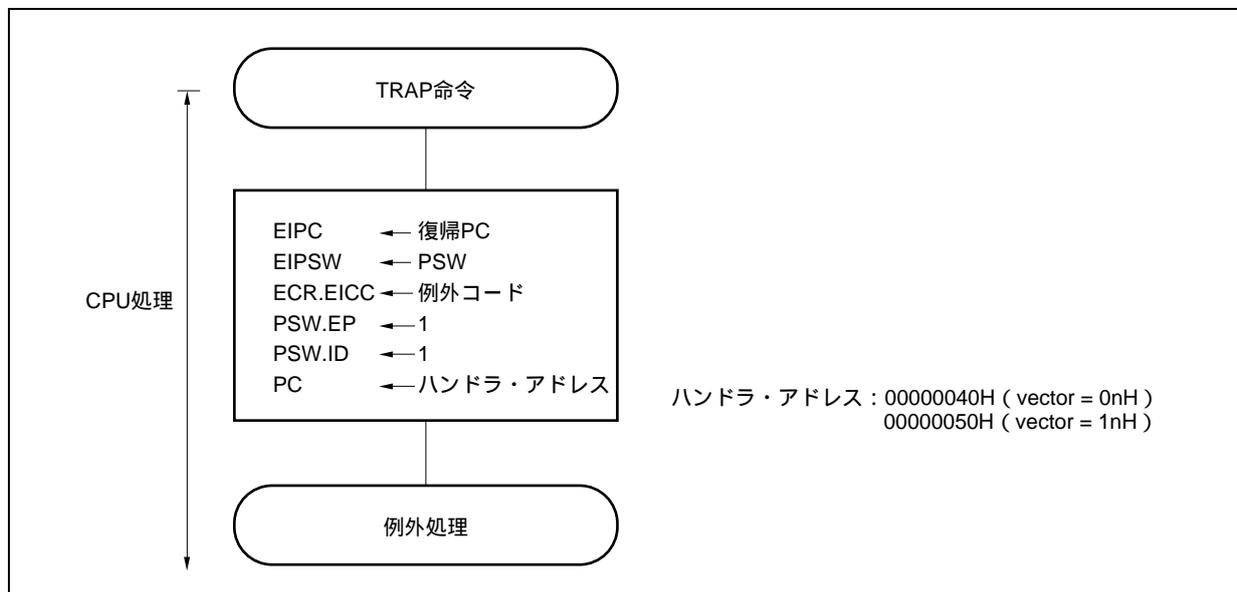
ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。

PSWのEP,IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス（00000040H, 00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を、次に示します。

図5 - 10 ソフトウェア例外の処理形態



### 5.4.2 復 帰

ソフトウェア例外処理からは、RETI命令で復帰します。

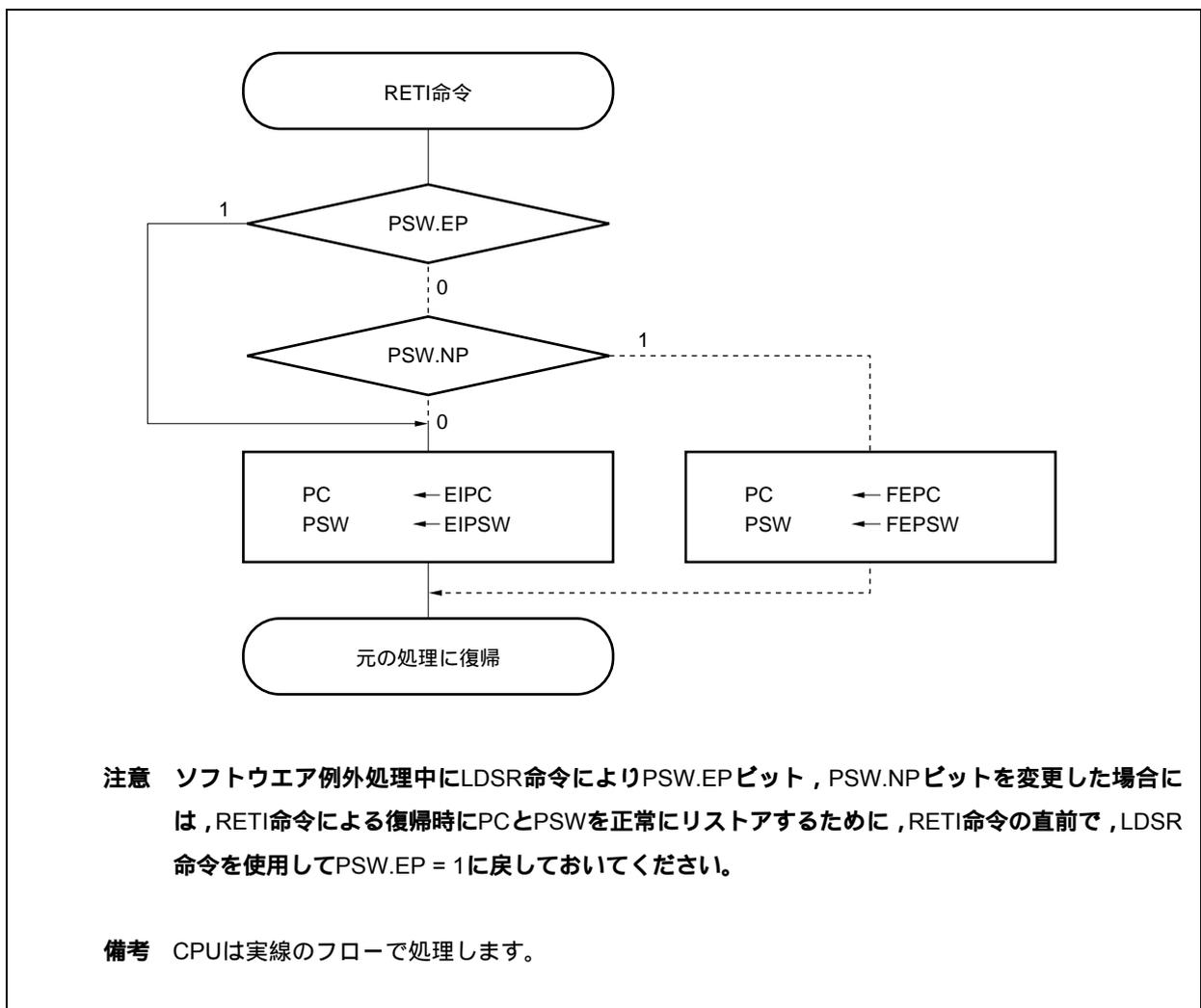
#### RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので、EIPC,EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図5 - 11 RETI命令の処理形態



### 5.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

図5 - 12 EPフラグ (EP)



## 5.5 例外トラップ

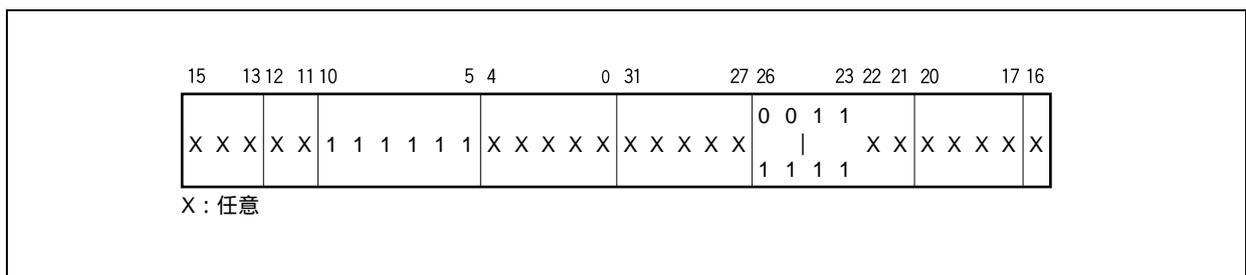
命令の不正実行が発生した場合に要求される割り込みです。V850/SA1では、不正命令コード例外( ILGOP: Illegal Opcode Trap ) が例外トラップに当たります。

- ・不正命令コード例外：次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生

### 5.5.1 不正命令コード

不正命令コードは、32ビット長命令形式で、ビット5-10が111111Bで、かつビット23-26が0011B-1111Bになる任意の命令コードとして定義します。

図5 - 13 不正命令コード



### 5.5.2 動作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

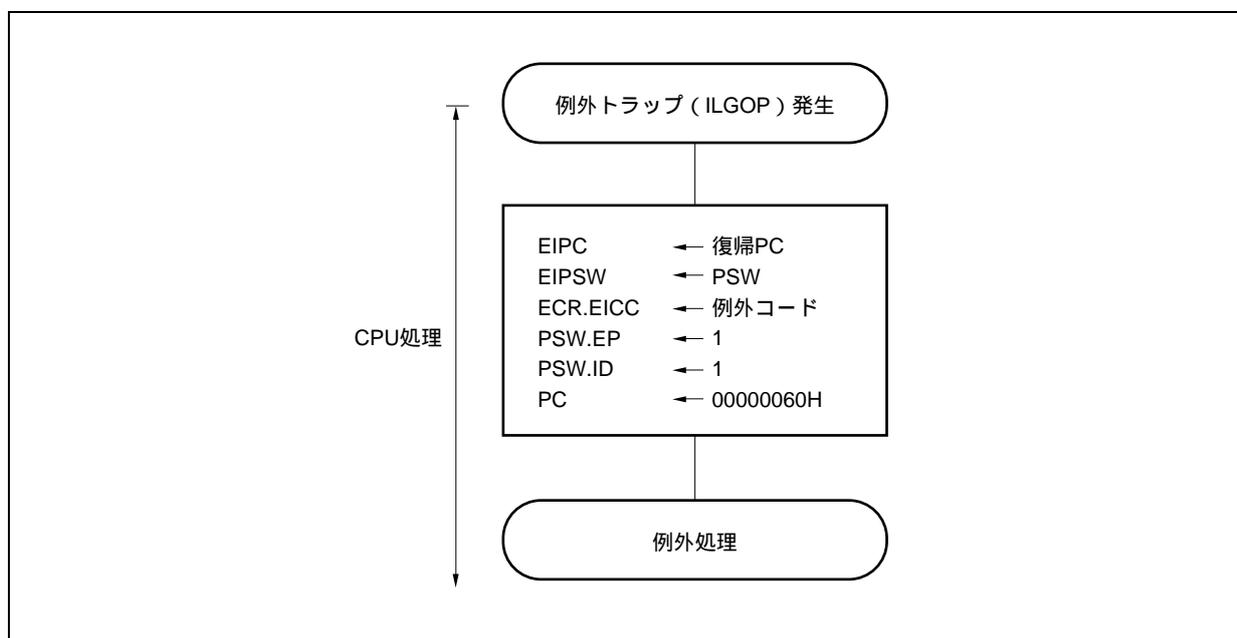
ECRの下位16ビット（EICC）に例外コード（0060H）を書き込みます。

PSWのEP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を次に示します。

図5 - 14 例外トラップの処理形態



### 5.5.3 復 帰

例外トラップからは、RETI命令で復帰します。

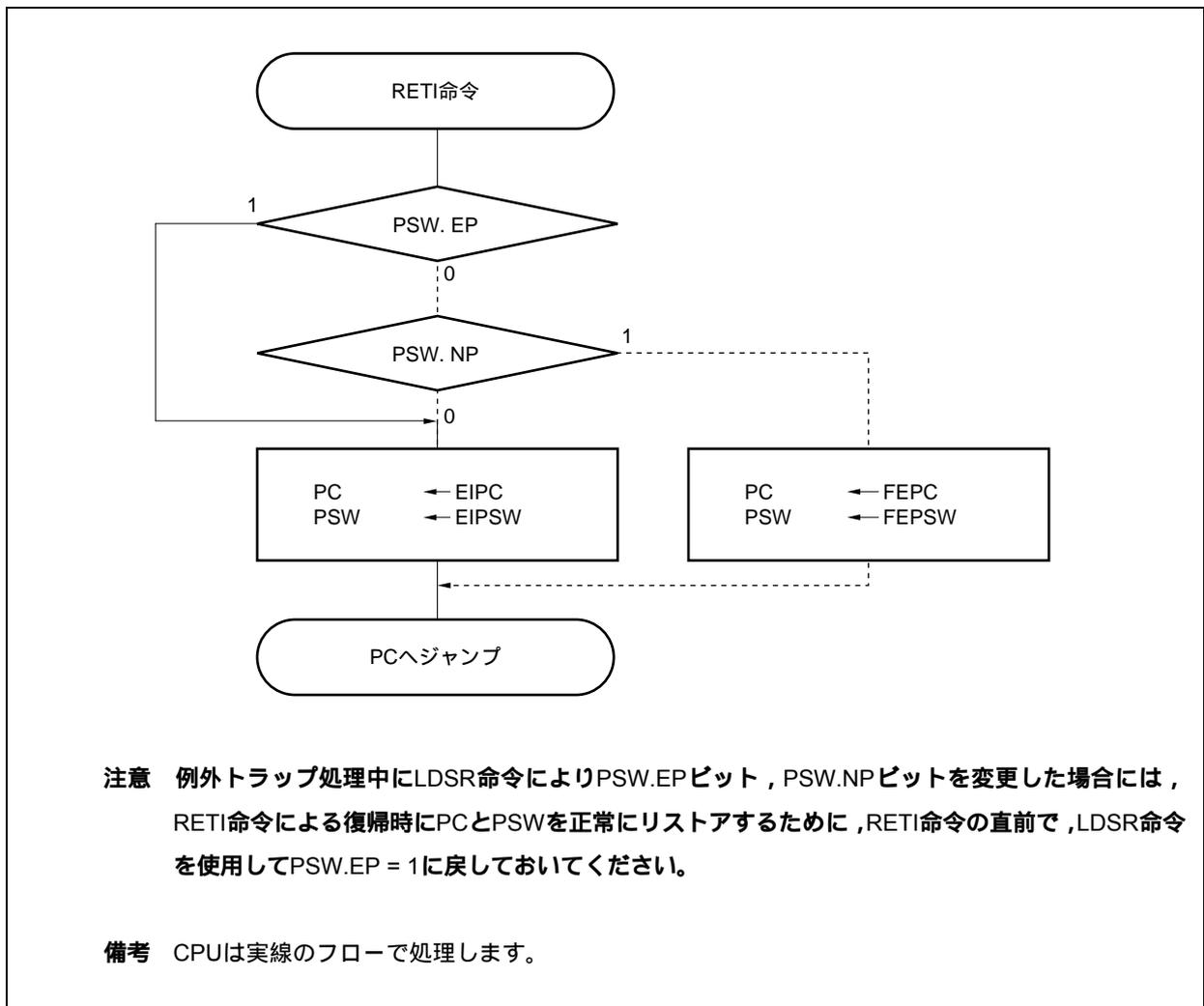
#### RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図5 - 15 RETI命令の処理形態



## 5.6 優先順位指定

### 5.6.1 割り込みと例外の優先順位

表5 - 3 割り込みと例外の優先順位

	RESET	NMI	INT	TRAP	ILGOP
RESET		*	*	*	*
NMI	X				
INT	X				
TRAP	X				
ILGOP	X				

RESET : リセット

NMI : ノンマスクابل割り込み

INT : マスクابل割り込み

TRAP : ソフトウェア例外

ILGOP : 不正命令コード例外

\* : 左部の項目は上部の項目を無視する

X : 左部の項目は上部の項目に無視される  
: 上部の項目は左部の項目より優先順位が高い  
: 左部の項目は上部の項目より優先順位が高い

### 5.6.2 多重割り込み

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付ける機能です。

現在処理している割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にしてください。

マスクابل割り込みまたは例外のサービス・プログラム中に、マスクابل割り込みの許可または例外を発生させる場合は、EIPC, EIPSWを退避してください。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

- ...
- ...
- ・ EIPCをメモリまたはレジスタへ退避
- ・ EIPSWをメモリまたはレジスタへ退避
- ・ EI命令 (割り込み要求受け付け許可)
- ...
- ...
- ...
- ...
- ・ DI命令 (割り込み要求受け付け禁止)
- ・ 退避していた値をEIPSWに復帰
- ・ 退避していた値をEIPCに復帰
- ・ RETI命令

INTP入力などの割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

- ...
- ...
- ・ EIPCをメモリまたはレジスタへ退避
- ・ EIPSWをメモリまたはレジスタへ退避
- ・ EI命令 (割り込み要求受け付け許可)
- ...
- ・ TRAP命令
- ・ 不正命令コード
- ...
- ・ 退避していた値をEIPSWに復帰
- ・ 退避していた値をEIPCに復帰
- ・ RETI命令

TRAP命令などの例外受け付け  
不正命令コード例外受け付け

多重割り込み処理制御のための優先順位は、各マスカブル割り込み要求ごとに0-7まで (0が最優先) の8レベルが、ソフトウェアで任意に設定できます。優先順位レベルの設定は、マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ (xxICn) のxxPRn0-xxPRn2ビットで行います。リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

**備考** xx : 各周辺ユニット識別名称 (表5 - 2参照)  
n : 各周辺ユニット番号 (表5 - 2参照)

### マスクابل割り込みの優先順位

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

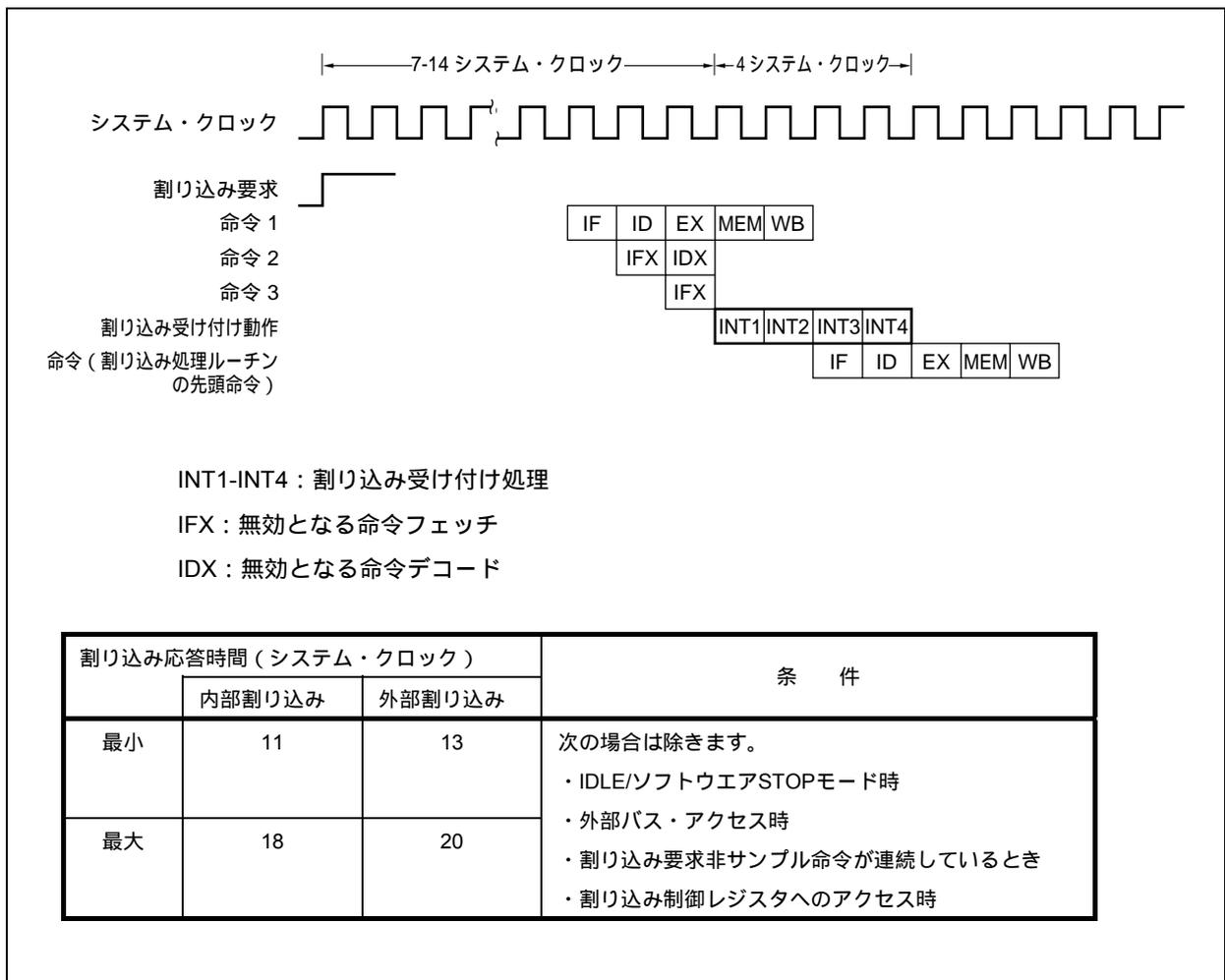
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

**注意** ノンマスクابل割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスクابل割り込みを受け付けず、保留します。

## 5.7 応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図5 - 16 割り込み要求受け付け時のパイプライン動作 (概略)



## 5.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません。

割り込み要求非サンプル命令

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2,0x5命令 (対PSW)

## ★ 5.8.1 EI命令後の割り込み要求有効タイミング

DI命令（割り込み禁止）かつ割り込みをマスクしていない（MKフラグ = 0）状態において、割り込み要求信号が発生（IFフラグ = 1）した場合、EI命令（割り込み許可）を実行するとCPUが割り込み要求を受け付けるまでに7システム・クロックが必要です。この7システム・クロック間にDI命令（割り込み禁止）を実行すると、CPUは割り込み要求を受け付けません。

したがって、EI命令（割り込み許可）実行後は、命令実行クロック数で7システム・クロック分の命令を挿入する必要があります。ただし、次の条件の場合、7システム・クロック分確保しても割り込み要求は受け付けられないので、次の場合による確保は禁止です。

- ・ IDLE/ソフトウェアSTOPモード
- ・ 割り込み要求非サンプリング命令（PSW.IDビットを操作する命令）
- ・ 割り込み要求制御レジスタ（xxICn）へのアクセス

次にプログラム処理例を示します。

## 【プログラム処理例】

```

DI
:           ; (MKフラグ=0)
:           ; 割り込み要求発生 (IFフラグ=1)
EI           ; EI命令実行
NOP         ; 1システム・クロック
NOP         ; 1システム・クロック
NOP         ; 1システム・クロック
NOP         ; 1システム・クロック
JR    LP1   ; 3システム・クロック (LP1ルーチンに分岐)
:
LP1:        ; LP1ルーチン
DI         ; EI命令実行後、NOP命令を4回実行し、JR命令により8クロック目に実行

```

注

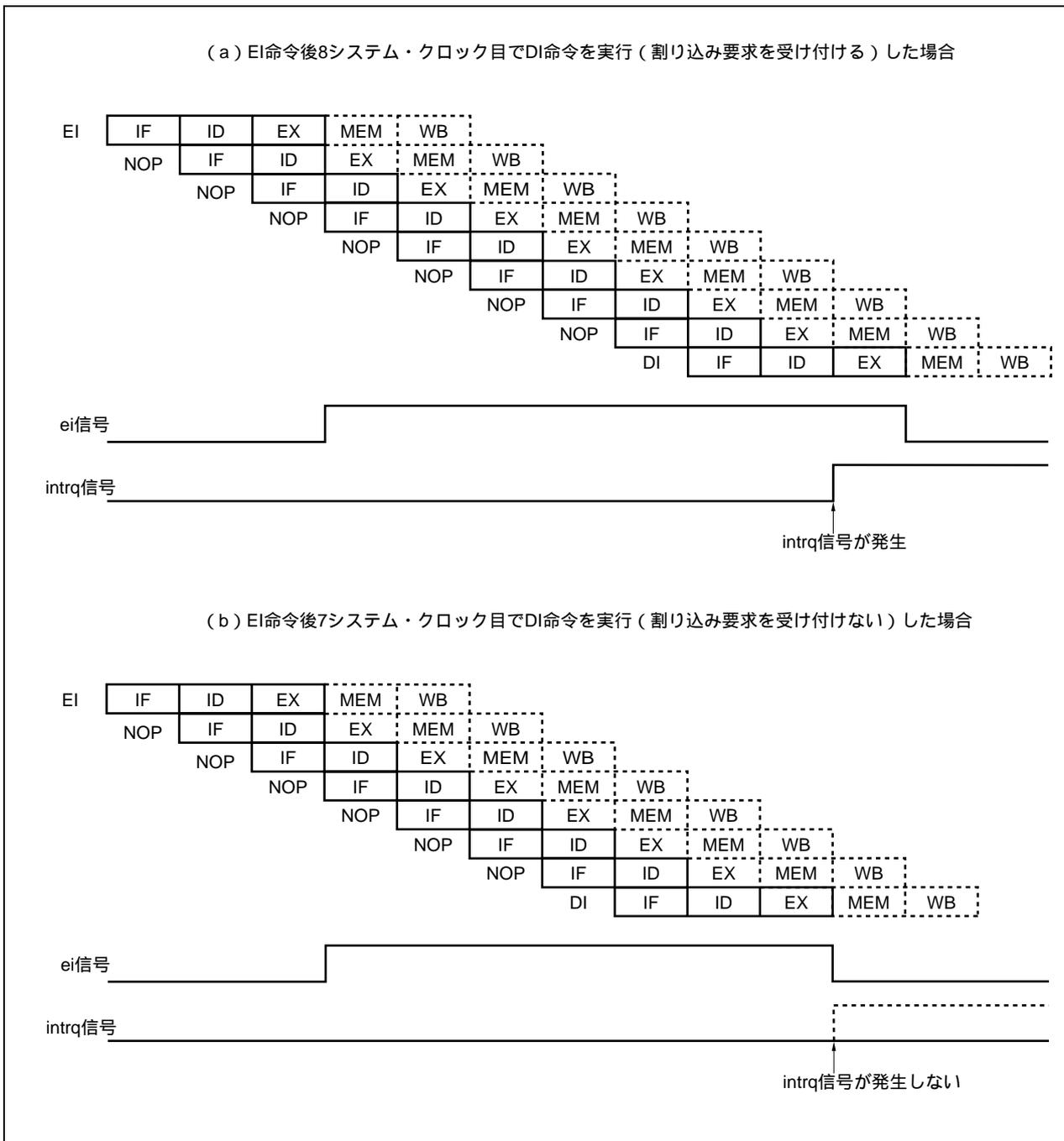
注 この期間にDI命令（PSW.ID = 1）を実行しないでください

**備考1.** この例の場合、DI命令はEI命令実行後、8システム・クロック目に実行されるので、CPUは割り込み要求信号を受け付け、割り込み処理を行います。

2. 割り込み処理ルーチンの命令がEI命令後の8システム・クロック目から実行するということではありません。割り込み処理ルーチンの命令を実行するのは、CPUが割り込み要求信号を受け付けてから4システム・クロック後です。

3. この例はEI命令実行前に割り込み要求信号が発生（IFフラグ = 1）した場合ですが、EI命令実行後に割り込み要求信号が発生した場合も、IFフラグがセット（1）されてから、7システム・クロック間は割り込み禁止（PSW.ID = 1）にすると、CPUは割り込み要求信号を受け付けません。

図5 - 17 パイプラインの流れと割り込み要求信号発生タイミング



## ★ 5.9 DMA転送時の割り込み制御レジスタのビット操作命令

DMA機能を使用している場合、EI状態で割り込み制御レジスタ（xxICn）をビット操作するとき、操作前にDI命令、操作後にEI命令を行ってください。または、割り込み処理ルーチンの先頭で、xxIFビットをクリア（0）してください。

なお、DMA機能を使用しない場合は、このような操作をする必要はありません。

**備考** xx：各周辺ユニット識別名称（表5 - 2参照）

n：各周辺ユニット番号（表5 - 2参照）

## 第6章 クロック発生機能

### 6.1 概要

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。クロック発振回路には、次の2種類があります。

#### (1) メイン・クロック発振回路

2-20 MHzの周波数を発振します。ソフトウェアSTOPモードの設定およびプロセッサ・クロック・コントロール・レジスタ (PCC) の設定により発振を停止できます。リセット期間中は発振を停止します。

- ★ 外部クロックを直接入力できます。このとき、X1端子のみクロック信号を入力し、X2端子はオープンにしてください。

**注意1.** リセット入力、ソフトウェアSTOPモードの設定によりメイン・クロック発振器が停止すると、その解除後に発振安定時間を確保します。発振安定時間は発振安定時間選択レジスタ (OSTS) で設定します。発振安定時間カウント用のタイマとしてウォッチドッグ・タイマを使用します。

2. PCCレジスタのMCKビットを1にセットしてメイン・クロックを停止したあとに、MCKビットを0にクリアしてメイン・クロック停止を解除した場合、発振安定時間は確保されません。

#### (2) サブクロック発振回路

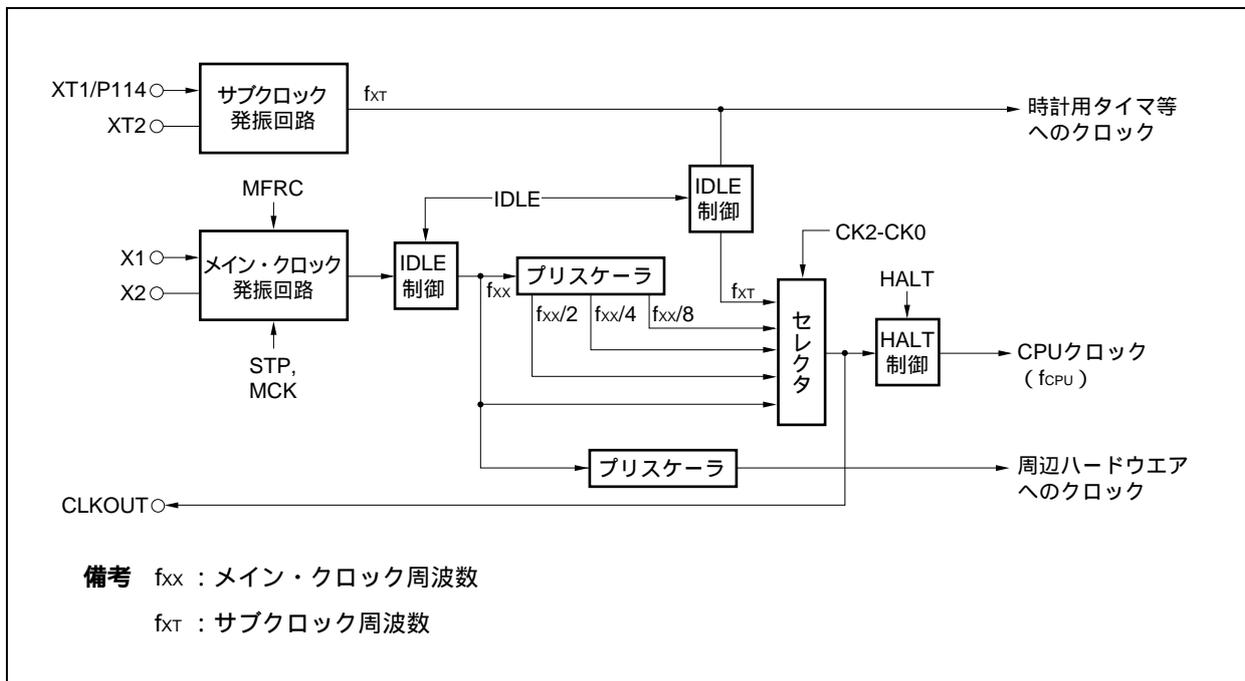
32.768 kHzの周波数を発振します。ソフトウェアSTOPモードに設定しても発振は停止しません。また、リセット入力では発振を停止しません。停止するときは、XT1端子をV<sub>SS</sub>に接続してください。

- ★ 外部クロックを直接入力できます。このとき、XT1端子にクロック信号を入力し、XT2端子にはその反転した信号を入力してください。

## 6.2 構成

★

図6 - 1 クロック発生回路



## 6.3 クロック出力機能

CPUクロックをCLKOUT端子に出力する機能です。

クロック出力許可の場合、CPUクロックをCLKOUT端子に出力します。禁止の場合は、ロウ・レベルをCLKOUT端子に出力します。

IDLE、ソフトウェアSTOPモード時は、出力を停止します（ロウ・レベル固定）。

PSCレジスタのDCLK1, DCLK0ビットで制御します。

リセット期間中はハイ・インピーダンス状態になります。リセット解除後はロウ・レベルを出力します。

**注意** CLKOUTを出力している間は、CPUクロック（PCCレジスタのCK2-CK0ビット）を変更しないでください。

## 6.3.1 制御レジスタ

## (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.9 特定レジスタ参照)。8/1ビット単位でリード/ライト可能です。

リセット時：03H R/W アドレス：FFFFFF074H

	7	⑥	⑤	4	3	②	1	0
PCC	0	MCK	MFRC	0	0	CK2	CK1	CK0

MCK	メイン・クロックの動作	
0	動作	
1	停止	

MFRC	メイン・クロックの内蔵帰還抵抗の選択	
0	使用する	
1	使用しない	

CK2 <sup>注1,2</sup>	CK1	CK0	CPUクロックの選択
0	0	0	f <sub>xx</sub>
0	0	1	f <sub>xx</sub> /2
0	1	0	f <sub>xx</sub> /4
0	1	1	f <sub>xx</sub> /8
1	X	X	f <sub>XT</sub> (サブクロック)

注1. CK2を操作する場合は、1ビット単位で操作してください。8ビット単位で操作する場合は、CK1, CK0の値は変更しないでください。

2. CPUがサブクロックで動作しているとき (CK2 = 1) は、ソフトウェアSTOPモードに設定しないでください。

注意1. CLKOUTを出力している間は、CPUクロック (PCCレジスタのCK2-CK0ビット) を変更しないでください。

2. CPUクロックがメイン・クロックで動作中にMCKビットを1にしてもメイン・クロックの動作は停止しません。CPUクロックがサブクロックに変更したあと停止します。

3. ビット3, 4, 7には必ず“0”を設定してください。

4. 外部クロック動作時にメイン・クロックの内蔵帰還抵抗を使用しない (MFRC = 1) ことでリーク電流をカットできます。ただし、発振安定時間中はカットできません。

備考 X : 任意

★

**(a) メイン・クロック動作 サブクロック動作の設定例**

- CK2 1 : ビット操作命令推奨。CK1, CK0は変更しない。
- サブクロック動作 : CK2ビットを設定したあと、サブクロック動作するまでに次に示す命令数が最大かかります。
- (設定前のCPUクロック周波数 / サブクロック周波数) × 2
- したがって、上記命令数分のウエイトをプログラムにより挿入してください。
- MCK 1 : メイン・クロックを停止するときのみ

**★ (b) サブクロック動作 メイン・クロック動作の設定例**

- MCK 0 : メイン・クロック発振開始
- プログラムによりウエイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。
- CK2 0 : ビット操作命令推奨。CK1, CK0は変更しない。
- メイン・クロック動作 : CK2ビットを設定したあと、メイン・クロック動作するまでに最大2命令かかります。

(2) パワー・セーブ・コントロール・レジスタ (PSC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込み可能です(3.4.

9 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセット時 : C0H R/W アドレス : FFFFF070H

	7	6	5	4	3	②	①	0
PSC	DCLK1	DCLK0	0	0	0	IDLE	STP	0

DCLK1	DCLK0	CLKOUT端子動作指定
0	0	出力許可
0	1	設定禁止
1	0	設定禁止
1	1	出力禁止(リセット時)

IDLE	IDLEモードの設定
0	通常モード
1	IDLEモード <sup>注1</sup>

STP	ソフトウェアSTOPモードの設定
0	通常モード
1	ソフトウェアSTOPモード <sup>注2,3</sup>

注1. IDLEモードが解除されると、自動的にリセット(0)されます。

2. ソフトウェアSTOPモードが解除されると、自動的にリセット(0)されます。

3. CPUがサブクロックで動作しているとき(CK2=1)は、STPビットを“1”にしないでください。

注意1. DCLK0, DCLK1ビットは、8ビット単位で操作してください。

2. IDLEビットとSTPビットを同時にセット(1)しないでください。同時にセットするとソフトウェアSTOPモードになります。

3. ビット3-5には必ず“0”を設定してください。

★

★

## (3) 発振安定時間選択レジスタ (OSTS)

8ビット単位でリード/ライト可能です。

リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS1	発振安定時間の選択 <sup>注</sup>
0	0	0	$2^{14}/f_{xx}$ (819.2 $\mu$ s)
0	0	1	$2^{16}/f_{xx}$ (3.3 ms)
0	1	0	$2^{17}/f_{xx}$ (6.6 ms)
0	1	1	$2^{18}/f_{xx}$ (13.1 ms)
1	0	0	$2^{19}/f_{xx}$ (26.2 ms)
上記以外			設定禁止

注 ( )の数字は $f_{xx} = 20$  MHz時の値です。

## 6.4 パワー・セーブ機能

### 6.4.1 概要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。パワー・セーブ機能には、次に示すものがあります。

#### (1) HALTモード

このモードでは、クロック発振回路は動作を継続しますが、CPUの動作クロックが停止します。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。システムのトータルの消費電力を低減できます。

専用命令 (HALT命令) により、HALTモードに移行します。

#### (2) IDLEモード

クロック発振回路の動作を継続したままでCPUの動作クロックと時計用タイマ以外の内蔵周辺機能の動作クロックを停止させることにより、システム全体を停止させるモードです。ただし、サブクロックは動作を継続し、サブクロックで動作している内蔵周辺機能にクロックを供給します。

このモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行できます。

パワー・セーブ・コントロール・レジスタ (PSC) のIDLEビットをセット (1) すると、IDLEモードに移行します。

### (3) ソフトウェアSTOPモード

メイン・クロック発振回路を停止させ、システム全体を停止させるモードです。サブクロックの供給は継続され、サブクロックで動作している内蔵周辺機能は動作を継続します。サブクロックを使用しない場合は、サブクロック発振回路の内蔵帰還抵抗を流れる電流とリーク電流だけの低消費電力状態になります。サブクロックでCPUを動作させている場合は、ソフトウェアSTOPモードの設定は禁止です。

PSCレジスタのSTPビットをセット(1)すると、ソフトウェアSTOPモードに移行します。

### (4) サブクロック動作

CPUクロックをサブクロック動作に設定し、PCCレジスタのMCKビットをセット(1)することにより、システム全体がサブクロックだけで動作する低消費電力モードになります。

IDLEモードに設定するとCPUの動作クロックと一部の周辺機能(DMAC, BCU)が停止するため、消費電力を低減できます。

## 6.4.2 HALTモード

### (1) 設定および動作状態

クロック発振回路は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定すると、システムのトータルの消費電力を低減できます。

HALTモードではプログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。

HALTモードは、HALT命令により移行します。CPUクロックがメイン・クロック、サブクロックのどちらでも設定できます。

表6-1にHALTモード時の動作状態を示します。

### (2) HALTモードの解除

HALTモードは、NMI要求、マスクされていないマスカブル割り込み要求、およびRESET端子入力により解除されます。

#### (a) 割り込み要求による解除

NMI要求、マスクされていないマスカブル割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求(NMI要求を含む)が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

#### (b) RESET端子入力による解除

通常のリセット動作と同じです。

表6 - 1 HALTモード時の動作状態

項目	HALTモードの 設定	CPUがメイン・クロックで動作中		CPUがサブクロックで動作中	
		サブクロックがない場合	サブクロックがある場合	メイン・クロック 発振継続時	メイン・クロック 発振停止時
CPU		停 止			
クロック発生回路		メイン・クロック，サブクロックとも発振 CPUへのクロック供給は停止			
16ビット・タイマ (TM0)		動 作		カウント・クロックに INTWTLi選択時に動作(時 計用タイマのカウン ト・クロックにはf <sub>XT</sub> を選 択)	
16ビット・タイマ (TM1)		動 作		停 止	
8ビット・タイマ (TM2)		動 作		停 止	
8ビット・タイマ (TM3)		動 作		停 止	
8ビット・タイマ (TM4)		動 作		カウント・クロックにf <sub>XT</sub> 選択時に動作	
8ビット・タイマ (TM5)		動 作		カウント・クロックにf <sub>XT</sub> 選択時に動作	
時計用タイマ		カウント・クロックに f <sub>xx</sub> /2 <sup>9</sup> を選択時に動作	動 作		カウント・クロックにf <sub>XT</sub> 選択時に動作
ウォッチドッグ・タイマ		動 作 (インターバル・タイマのみ)			
シリアル・ インタフェ ース	CSI0-CSI2	動 作		シリアル・クロックに外 部クロック選択時に動 作	
	I <sup>2</sup> C <sup>注1</sup>	動 作		停 止	
	UART0, UART1	動 作		ポー・レート・クロック に外部クロック選択時 に動作 (送信のみ)	
A/Dコンバータ		動 作		停 止	
DMA0-DMA2		動 作			
リアルタイム出力		動 作			
ポート機能		保 持			
外部バス・インタフェース		バス・ホールド機能のみ動作			
外部割り込 み要求	NMI	動 作			
	INTP0-INTP3	動 作			
	INTP4-INTP6	動 作		停 止	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス <sup>注2</sup>			
	A16-A21				
	LBEN, UBEN	保 持 <sup>注2</sup> (HLD $\overline{\text{AK}}$ = 0のときはハイ・インピーダンス)			
	R/W	ハイ・レベル出力 <sup>注2</sup> (HLD $\overline{\text{AK}}$ = 0のときはハイ・インピーダンス)			
	DSTB, WRL, WRH, RD				
	ASTB				
	HLD $\overline{\text{AK}}$	動 作			

- ★ 注1.  $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ
- 2. HALT命令実行後も、内部の命令プリフェッチ・キューがいっぱいになるまでの間は、命令フェッチ動作を継続します。いっぱいになったあと、表6 - 1の状態で停止します。

### 6.4.3 IDLEモード

#### (1) 設定および動作状態

クロック発振回路は動作を継続したままで、内部メイン・クロックの供給が停止し、システム全体（時計用タイマは除く）が停止するモードです。内部サブクロックの供給は継続されます。このモードからの解除時に、発振回路の発振安定時間を確保する必要がないため、高速に通常動作に移行できます。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します（サブクロック動作中の周辺機能は停止しません）。外部バス・ホールド要求（ $\overline{\text{HLDRQ}}$ ）は受け付けません。

パワー・セーブ・コントロール・レジスタ（PSC）のIDLEビットをセット（1）すると、このモードに移行します。

表6 - 2にIDLEモード時の動作状態を示します。

#### (2) IDLEモードの解除

ノンマスクブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスクブル割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

表6 - 2 IDLEモード時の動作状態

IDLEモードの 設定		サブクロックがある場合	サブクロックがない場合
項 目			
CPU		停 止	
クロック発生回路		メイン・クロック，サブクロックとも発振 CPU，内蔵周辺機能へのクロック供給は停止	
16ビット・タイマ (TM0)		カウント・クロックにINTWTI選択時に動作 (時計用タイマのカウント・クロックにはf <sub>XT</sub> を選 択)	停 止
16ビット・タイマ (TM1)		停 止	
8ビット・タイマ (TM2)		停 止	
8ビット・タイマ (TM3)		停 止	
8ビット・タイマ (TM4)		カウント・クロックにf <sub>XT</sub> 選択時に動作	停 止
8ビット・タイマ (TM5)		カウント・クロックにf <sub>XT</sub> 選択時に動作	停 止
時計用タイマ		カウント・クロックにf <sub>XT</sub> 選択時に動作	停 止
ウォッチドッグ・タイマ		停 止	
シリアル・ インタフェ ース	CSI0-CSI2	シリアル・クロックに外部クロック選択時に動作	
	I <sup>2</sup> C <sup>注</sup>	停 止	
	UART0, UART1	ボー・レート・クロックに外部クロック選択時に動作 (送信のみ)	
A/Dコンバータ		停 止	
DMA0-DMA2		停 止	
リアルタイム出力		INTTM4, INTTM5選択時に動作 (TM4, TM5動作 時)	停 止
ポート機能		保 持	
外部バス・インタフェース		停 止	
外部割り込 み要求	NMI	動 作	
	INTP0-INTP3	動 作	
	INTP4-INTP5	停 止	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス	
	A16-A21		
	LBEN, UBEN		
	R/W		
	DSTB, WRL, WRH, RD		
	ASTB		
	HLDK		

★ 注 μ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ

## 6.4.4 ソフトウェアSTOPモード

### ★ (1) 設定および動作状態

メイン・クロック発振回路を停止させ、内部メイン・クロックの供給が停止し、システム全体が停止するモードです。サブクロック発振回路は動作しており、内部サブクロックの供給は継続します。

サブクロックを使用しない場合は、内蔵帰還抵抗に流れる電流とリーク電流だけの低消費電力を実現します。

このモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します(サブクロック動作中の周辺機能は停止しません)。外部バス・ホールド要求(HLDRQ)は受け付けません。

設定時のCPUクロックがメイン・クロックの場合だけ設定できます。パワー・セーブ・コントロール・レジスタ(PSC)のSTPビットをセット(1)すると、このモードに移行します。

CPUクロックにサブクロックを選択しているときは、このモードに設定しないでください。

表6-3にソフトウェアSTOPモード時の動作状態を示します。

### (2) ソフトウェアSTOPモードの解除

ノンマスクブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスクブル割り込み要求、RESET端子入力により解除されます。

ソフトウェアSTOPモードを解除したときは、発振回路の発振安定時間を確保します。

表6-3 ソフトウェアSTOPモード時の動作状態

ソフトウェアSTOPモード の設定		サブクロックがある場合	サブクロックがない場合
項目			
CPU		停止	
クロック発生回路		メイン・クロック発振停止, サブクロック発振 CPU, 内蔵周辺機能へのクロック供給は停止	
16ビット・タイマ (TM0)		カウント・クロックにINTWTI選択時に動作 (時計用タイマのカウント・クロックにはf <sub>XT</sub> を選択) (時計用タイマのカウント・クロックにはf <sub>XT</sub> を選択)	停止
16ビット・タイマ (TM1)		停止	
8ビット・タイマ (TM2)		停止	
8ビット・タイマ (TM3)		停止	
8ビット・タイマ (TM4)		カウント・クロックにf <sub>XT</sub> 選択時に動作	停止
8ビット・タイマ (TM5)		カウント・クロックにf <sub>XT</sub> 選択時に動作	停止
時計用タイマ		カウント・クロックにf <sub>XT</sub> を選択時に動作	停止
ウォッチドッグ・タイマ		停止	
シリアル・ インタフェ ース	CSI0-CSI2	シリアル・クロックに外部クロック選択時に動作	
	I <sup>2</sup> C <sup>注</sup>	停止	
	UART0, UART1	ボー・レート・クロックに外部クロック選択時に動作 (送信のみ)	
A/Dコンバータ		停止	
DMA0-DMA2		停止	
リアルタイム出力		INTTM4, INTTM5選択時に動作 (TM4, TM5動作時)	停止
ポート機能		保持	
外部バス・インタフェース		停止	
外部割り込 み要求	NMI	動作	
	INTP0-INTP3	動作	
	INTP4-INTP6	停止	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス	
	A16-A21		
	$\overline{\text{LBEN}}, \overline{\text{UBEN}}$		
	$\overline{\text{R/W}}$		
	$\overline{\text{DSTB}}, \overline{\text{WRL}},$ $\overline{\text{WRH}}, \overline{\text{RD}}$		
	$\overline{\text{ASTB}}$		
	$\overline{\text{HLDK}}$		

★ 注 μPD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ

## 6.5 発振安定時間の確保

ソフトウェアSTOPモード解除後の停止状態の発振回路が安定するまでの時間の確保について次に示します。

### (1) ノンマスクابل割り込み、マスクされていないマスクابل割り込み要求で時間を確保する場合

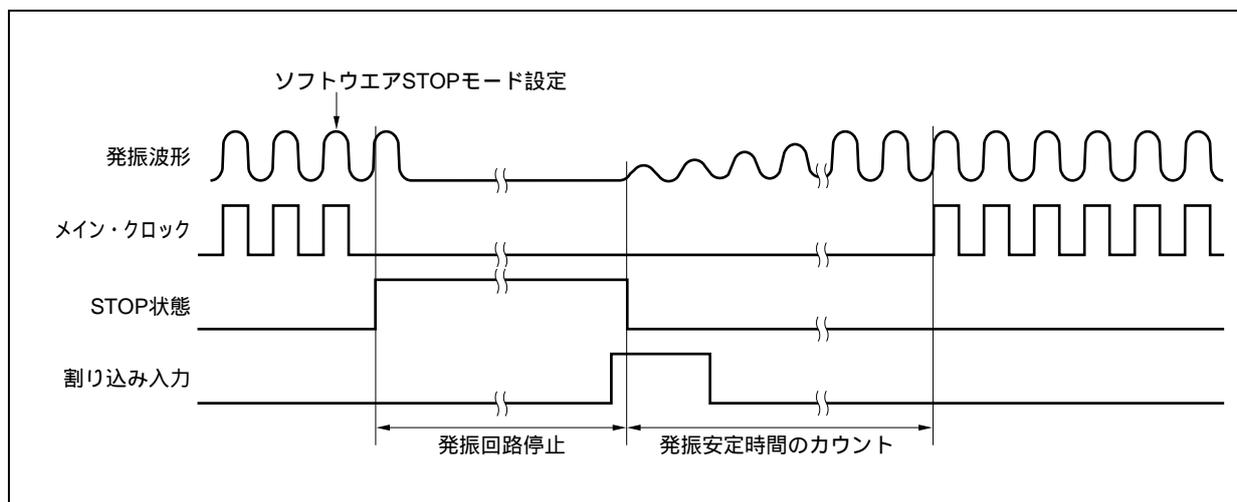
ノンマスクابل割り込み、マスクされていないマスクابل割り込み要求が入力されると、ソフトウェアSTOPモードが解除されます。割り込み入力でカウンタ（ウォッチドッグ・タイマ）がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間は、発振安定時間選択レジスタ（OSTS）により設定します。

発振安定時間      WDTカウント時間

所定時間後、システム・クロック出力が開始し、割り込みのハンドラ・アドレスに分岐します。

図6 - 2 発振安定時間



### (2) RESET端子で時間を確保する場合（RESET端子入力）

RESET端子で時間を確保する場合には、第15章 リセット機能を参照してください。

発振安定時間は、OSTSレジスタのリセット時の値により、 $2^{19}/f_{\text{fx}}$ になります。

## ★ 6.6 パワー・セーブ機能に関する注意事項

### (1) 内蔵ROM上で命令を実行しているとき

内蔵ROM上で命令を実行しているときに、パワー・セーブ・モード（IDLEモードまたはソフトウェアSTOPモード）に設定するときは、パワー・セーブ・モード解除後のルーチンが正しく実行されるように、ダミー命令としてNOP命令を挿入する必要があります。

パワー・セーブ・モード設定シーケンスを次に示します。

DMA動作を禁止する。

割り込み禁止にする（PSWのNPビットを1に設定）。

コマンド・レジスタ（PRCMD）に任意の8ビット・データを書き込む。

パワー・セーブ・コントロール・レジスタ（PSC）に設定データを書き込む（次の命令で行います）。

・ストア命令（ST/SST命令）

・ビット操作命令（SET1/CLR1/NOT1命令）

割り込み禁止を解除する（PSWのNPビットを0に戻す）。

NOP命令を挿入する（2命令または5命令）。

DMA動作が必要な場合、DMA動作を許可する。

**注意1.** NPビットを0に戻す（ ）命令の実行により、PSWのIDビットの値が変化しないときは、NOP命令を2つ、変化するときは5つ挿入してください。  
次に記述例を示します。

#### [記述例]：PSCレジスタの場合

```
LDSR  rX, 5           ;NPビット=1
ST.B  r0, PRCMD[r0] ;PRCMDへの書き込み
ST.B  rD, PSC[r0]    ;PSCレジスタ設定
LDSR  rY, 5           ;NPビット=0
NOP                    ;ダミー命令（2または5命令）
:
NOP
(next instruction)    ;IDLE/ソフトウェアSTOPモード解除後の実行ルーチン
:
```

rX：PSWに書き込む値

rY：PSWに書き戻す値

rD：PSCにセットする値

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

2. IDLEモード、ソフトウェアSTOPモードに設定するためのPSCレジスタに対するストア命令後の命令（割り込み禁止解除、NOP命令）は、各パワー・セーブ・モードに入る前に実行されます。

## (2) 外部ROM上で命令を実行しているとき

- (i) 外部ROM上で命令を実行しているときに、パワー・セーブ・モード (IDLEモードまたはソフトウェアSTOPモード) に設定しないでください。
- (ii) 外部ROM上で命令を実行しているときに、パワー・セーブ・モード (IDLEモードまたはソフトウェアSTOPモード) に設定するときは、次のように処理をしてください。

PSCレジスタに書き込みを行う命令の4バイト後から、NOP命令を6個挿入する。

NOP命令のあとに、プログラム・カウンタ (PC) のずれを解消するために、BR \$+2命令を挿入する。

## 【処理プログラム例】

```

LDSR rX, 5          ;NPビット=1
ST.B r0, PRCMD[r0] ;PRCMDへの書き込み
ST.B rD, PSC[r0]   ;PSCレジスタ設定
LDSR rY, 5          ;NPビット=0
NOP                 ;NOP命令 (6命令)
NOP
NOP
NOP
NOP
NOP
BR $+2              ;PCのずれを解消

```

rX : P<sub>SW</sub>に書き込む値

rY : P<sub>SW</sub>に書き戻す値

rD : PSCにセットする値

## 第7章 タイマ/カウンタ機能

### 7.1 16ビット・タイマ (TM0, TM1)

#### 7.1.1 概要

16ビット・キャプチャ/コンペア・レジスタ：各2本 (CRn0, CRn1)

独立したキャプチャ/トリガ入力：各2本 (TIn0, TIn1)

キャプチャ/一致割り込み要求信号 (INTTMn0, INTTMn1) 出力可能

イベント入力 (TIn0と兼用) はデジタル・ノイズ除去回路を介して入力, エッジ指定可能

一致検出により動作するタイマ出力：各1本 (TOn)

P34/TO0, P35/TO1端子をTO0, TO1端子 (タイマ出力) として使用する場合は, ポート3 (P3) の値を“0” (ロウ・レベル出力) に, ポート3モード・レジスタ (PM3) の値を“0” (ポート出力モード) にしてください。ポートとタイマの出力値の論理和 (OR) が出力されます。

備考 n = 0, 1

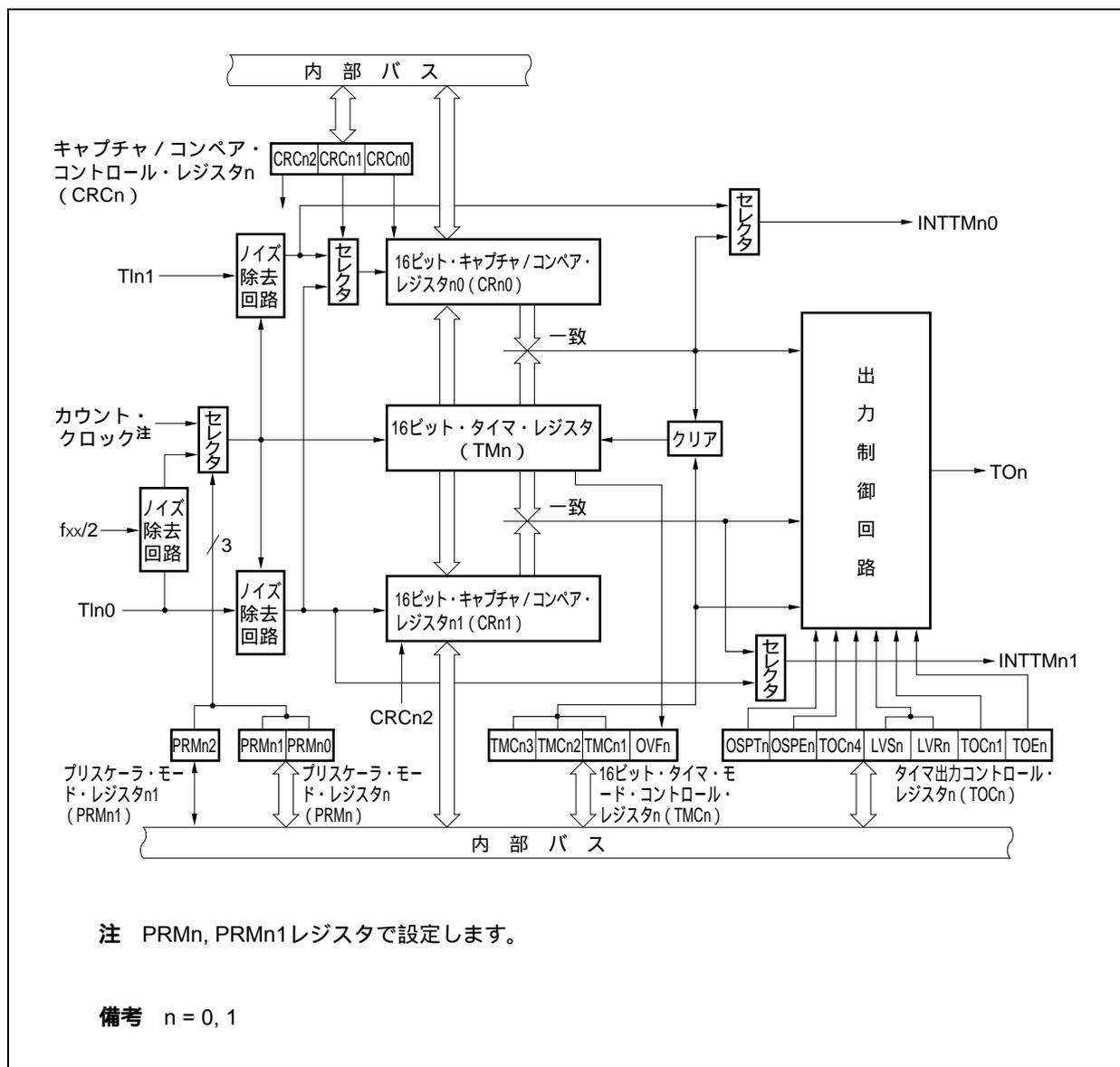
#### 7.1.2 機能

TM0, TM1には, 次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ ワンショット・パルス出力

次にブロック図を示します。

図7-1 TM0, TM1のブロック図



(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

## (6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

## 7.1.3 構成

タイマ0, 1は、次のハードウェアで構成されています。

表7-1 タイマ0,1の構成

項目	構成
タイマ・レジスタ	16ビット×2本 (TM0, TM1)
レジスタ	キャプチャ/コンペア・レジスタ: 16ビット×2本 (CRn0, CRn1)
タイマ出力	2本 (TO0, TO1)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1) プリスケアラ・モード・レジスタn, n1 (PRMn, PRMn1)

備考 n = 0, 1

## (1) 16ビット・タイマ・レジスタ0, 1 (TM0, TM1)

TMnは、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がり同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

RESET入力

TMCn3, TMCn2をクリア

TIn0有効エッジ入力でクリア&スタート・モード時のTIn0有効エッジが入力されたとき

CRn0の一致でクリア&スタート・モード時のTMnとCRn0の一致

ワンショット・パルス出力モードで、OSPTnのセットまたはTIn0有効エッジが入力されたとき

(2) キャプチャ/コンペア・レジスタ00, 10 (CR00, CR10)

CRn0は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

CRCnレジスタのビット0 (CRCn0) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

(a) CRn0をコンペア・レジスタとして使用するとき

CRn0に設定した値とTMnレジスタのカウント値を常に比較し、一致したときに割り込み要求 (INTTMn0) を発生します。TMnをインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

(b) CRn0をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTIn0端子またはTIn1端子の有効エッジが選択できます。TIn0またはTIn1の有効エッジの設定は、PRMnレジスタで行います。

キャプチャ・トリガをTIn0端子の有効エッジに指定したときは表7-2、キャプチャ・トリガをTIn1端子の有効エッジに指定したときは表7-3のようになります。

表7-2 TIn0端子の有効エッジとCRn0のキャプチャ・トリガ

ESn01	ESn00	TIn0端子の有効エッジ	CRn0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がり両エッジ	キャプチャ動作しない

備考 n = 0, 1

表7-3 TIn1端子の有効エッジとCRn0のキャプチャ・トリガ

ESn11	ESn10	TIn1端子の有効エッジ	CRn0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がり両エッジ	立ち上がり、立ち下がり両エッジ

備考 n = 0, 1

CRn0は、16ビット・メモリ操作命令で設定します。

コンペア・レジスタとして使用するときにはリード/ライト、キャプチャ・レジスタとして使用するときにはリードのみ可能です。

RESET入力により0000Hになります。

- ★ **注意** TMnとCRn0の一致でクリア&スタート・モードでは、CRn0レジスタには0000H以外の値を設定してください。フリー・ランニング・モードおよびTIn0の有効エッジのクリア・モードにおいて、CRn0に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTMn0) を発生します。

(3) キャプチャ/コンペア・レジスタ01, 11 (CR01, CR11)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。CRCnレジスタのビット2 (CRCn2) により, キャプチャ・レジスタとして使用するのか, コンペア・レジスタとして使用するのかを設定します。

(a) CRn1をコンペア・レジスタとして使用するとき

CRn1に設定した値とTMnのカウント値を常に比較し, 一致したときに割り込み要求 (INTTMn1) を発生します。

(b) CRn1をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTIn0端子の有効エッジが選択できます。TIn0の有効エッジの設定は, PRMnレジスタで行います。

表7 - 4 TIn0端子の有効エッジとCRn1のキャプチャ・トリガ

ESn01	ESn00	TIn0端子の有効エッジ	CRn1のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ	立ち上がり, 立ち下がりの両エッジ

備考 n = 0, 1

CRn1は, 16ビット・メモリ操作命令で設定します。

コンペア・レジスタとして使用するときにはリード/ライト, キャプチャ・レジスタとして使用するときにはリードのみ可能です。

RESET入力により0000Hになります。

- ★ **注意** TMnとCRn0の一致でクリア&スタート・モードでは, CRn1レジスタには0000H以外の値を設定してください。フリー・ランニング・モードおよびTIn0の有効エッジのクリア・モードにおいて, CRn0に0000Hを設定した場合は, オーバフロー (FFFFH) 後に割り込み要求 (INTTMn1) を発生します。

#### 7.1.4 タイマ0, 1制御レジスタ

タイマ0, 1を制御するレジスタには、次の4種類があります。

- ・ 16ビット・タイマ・モード・コントロール・レジスタn (TMCn)
- ・ キャプチャ/コンペア・コントロール・レジスタn (CRCn)
- ・ 16ビット・タイマ出力コントロール・レジスタn (TOCn)
- ・ プリスケアラ・モード・レジスタn, n1 (PRMn, PRMn1)

**備考** n = 0, 1

##### (1) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1)

16ビット・タイマの動作モード, 16ビット・タイマ・レジスタnのクリア・モード, 出力タイミングの設定およびオーバフローを検出するレジスタです。

TMCnは, 8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

**注意** 16ビット・タイマ・レジスタnは, TMCn2, TMCn3に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには, TMCn2, TMCn3に0, 0を設定してください。

リセット時：00H R/W アドレス：FFFFFF208H, FFFFFFF218H

	7	6	5	4	3	2	1	①
TMCn (n = 0, 1)	0	0	0	0	TMCn3	TMCn2	TMCn1	OVFn

TMCn3	TMCn2	TMCn1	動作モードおよび クリア・モードの選択	TOn出力タイミング の選択	割り込みの発生
0	0	0	動作停止 (TMnは0にクリア)	変化なし	発生しない
0	1	0	フリー・ランニング・ モード	TMnとCRn0の一致 または TMnとCRn1の一致	TMnとCRn0の一致 および TMnとCRn1の一致 で発生
0	1	1		TMnとCRn0の一致、 TMnとCRn1の一致 または TIn0の有効エッジ	
1	0	0	TIn0の有効エッジで クリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致	
1	0	1		TMnとCRn0の一致、 TMnとCRn1の一致 または TIn0の有効エッジ	
1	1	0	TMnとCRn0の一致 でクリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致	
1	1	1		TMnとCRn0の一致、 TMnとCRn1の一致 または TIn0の有効エッジ	

OVFn	16ビット・タイマ・レジスタnのオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

- 注意1. OVFnフラグ以外のビットには、タイマ動作を停止してから書き込んでください。
2. TIn0端子の有効エッジの設定は、プリスケアラ・モード・レジスタn (PRMn) で行います。
  3. TMnとCRn0の一致でクリア&スタートするモードを選択した場合、CRn0の設定値がFFFFHで、TMnの値がFFFFHから0000Hに変化するとき、OVFnフラグが1に設定されます。
  4. ビット4-7には必ず“0”を設定してください。

備考 TOn : タイマnの出力端子  
 TIn0 : タイマnの入力端子  
 TMn : 16ビット・タイマ・レジスタn  
 CRn0 : コンペア・レジスタn0  
 CRn1 : コンペア・レジスタn1

## (2) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1)

キャプチャ/コンペア・レジスタn (CRn0, CRn1) の動作を制御するレジスタです。

CRCnは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF20AH, FFFFFFF21AH

	7	6	5	4	3	2	1	0
CRCn	0	0	0	0	0	CRCn2	CRCn1	CRCn0

(n = 0, 1)

CRCn2	CRn1の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRCn1	CRn0のキャプチャ・トリガの選択
0	TIn1の有効エッジでキャプチャする
1	TIn0の有効エッジの逆相でキャプチャする

CRCn0	CRn0の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

**注意1.** CRCnの設定は、必ずタイマ動作を停止させてから行ってください。

- 16ビット・タイマ・モード・コントロール・レジスタn (TMCn) で、TMnとCRn0の一致でクリア&スタート・モードを選択したとき、CRn0をキャプチャ・レジスタに指定しないでください。
- TIn0の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合には、キャプチャは動作しません。
- キャプチャ・トリガは、TIn0, TIn1からの信号を確実にキャプチャ動作するために、プリスケアラ・モード・レジスタn, n1 (PRMn, PRMn1) で選択したカウント・クロックの2回分より長いパルスが必要とします。
- ビット3-7には必ず“0”を設定してください。

(3) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1)

タイマn出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ(LV0)のセット/リセット, 出力の反転許可/禁止, タイマnのタイマ出力許可/禁止, ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOCnは, 8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時: 00H R/W アドレス: FFFFFFF20CH, FFFFFFF21CH

	7	⑥	⑤	4	③	②	1	①
TOCn (n = 0, 1)	0	OSPn	OSPEn	TOCn4	LVSn	LVRn	TOCn1	TOEn
	ソフトウェアによるワンショット・パルスの出力トリガの制御							
	0	ワンショット・パルス・トリガなし						
	1	ワンショット・パルス・トリガあり						
	ワンショット・パルスの出力動作の制御							
	0	連続パルス出力						
	1	ワンショット・パルス出力 <sup>注</sup>						
	CRn1とTMnの一致によるタイマ出力F/Fの制御							
	0	反転動作禁止						
	1	反転動作許可						
	LVSn	LVRn	タイマnのタイマ出力F/Fの状態の設定					
	0	0	変化しない					
	0	1	タイマ出力F/Fをリセット(0)					
	1	0	タイマ出力F/Fをセット(1)					
	1	1	設定禁止					
	CRn0とTMnの一致によるタイマ出力F/Fの制御							
	0	反転動作禁止						
	1	反転動作許可						
	タイマnの出力の制御							
	0	出力禁止(出力は0レベルに固定)						
	1	出力許可						

**注** ワンショット・パルス出力はフリー・ランニング・モード, Tln0の有効エッジでクリア&スタート・モードで正常動作します。

- 注意**
- TOCnの設定は, 必ずタイマ動作を停止させてから行ってください。
  - データ設定後にLVSn, LVRnを読み出すと, 0になっています。
  - OSPnはデータ設定後に自動的にクリアされるので, 読み出すと0になっています。
  - ワンショット・パルス出力以外の場合は, OSPnをセットしないでください。

(4) プリスケアラ・モード・レジスタ0, 01 (PRM0, PRM01)

16ビット・タイマ(TM0)のカウント・クロックおよびTI0n入力の有効エッジを設定するレジスタです。PRM0, PRM01は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

備考 n = 0, 1

リセット時 : 00H R/W アドレス : FFFFF20EH

	7	6	5	4	3	2	1	0
PRM01	0	0	0	0	0	0	0	PRM02

リセット時 : 00H R/W アドレス : FFFFF206H

	7	6	5	4	3	2	1	0
PRM0	ES011	ES010	ES001	ES000	0	0	PRM01	PRM00

ES011	ES010	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES001	ES000	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM02	PRM01	PRM00	カウント・クロックの選択				
			カウント・クロック	f <sub>xx</sub>			
				20 MHz	17 MHz	10 MHz	2 MHz
0	0	0	f <sub>xx</sub> /2	100 ns	118 ns	200 ns	1 μs
0	0	1	f <sub>xx</sub> /16	800 ns	941 ns	1.6 μs	8 μs
0	1	0	INTWTI	-	-	-	-
0	1	1	TI00有効エッジ <sup>注</sup>	-	-	-	-
1	0	0	f <sub>xx</sub> /4	200 ns	235 ns	400 ns	2 μs
1	0	1	f <sub>xx</sub> /64	3.2 μs	3.8 μs	6.4 μs	32 μs
1	1	0	f <sub>xx</sub> /256	12.8 μs	15.1 μs	25.6 μs	128 μs
1	1	1	設定禁止	-	-	-	-

注 外部クロックは内部クロック (f<sub>xx</sub>/2) の2回分より長いパルスが必要とします。

- 注意1. カウント・クロックにTI00の有効エッジを設定する場合, TI00の有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRM0, PRM01レジスタは, 必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTI0n端子がハイ・レベルの場合, TI0n端子の有効エッジを立ち上がり, または両エッジに指定して, 16ビット・タイマ(TM0)の動作を許可すると, その直後に立ち上がりエッジを検出します。TI0n端子をプルアップしている場合などは注意してください。ただし, いったん動作を停止させたあとの再動作許可時には, 立ち上がりエッジは検出されません。

(5) プリスケアラ・モード・レジスタ1, 11 (PRM1, PRM11)

16ビット・タイマ(TM1)のカウンタ・クロックおよびTI1n入力の有効エッジを設定するレジスタです。  
PRM1, PRM11は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

備考 n = 0, 1

リセット時：00H R/W アドレス：FFFFF21EH

	7	6	5	4	3	2	1	0
PRM11	0	0	0	0	0	0	0	PRM12

リセット時：00H R/W アドレス：FFFFF216H

	7	6	5	4	3	2	1	0
PRM1	ES111	ES110	ES101	ES100	0	0	PRM11	PRM10

ES111	ES110	TI11有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES101	ES100	TI10有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM12	PRM11	PRM10	カウンタ・クロックの選択				
			カウント・クロック	f <sub>xx</sub>			
				20 MHz	17 MHz	10 MHz	2 MHz
0	0	0	f <sub>xx</sub> /2	100 ns	118 ns	200 ns	1 μs
0	0	1	f <sub>xx</sub> /4	200 ns	235 ns	400 ns	2 μs
0	1	0	f <sub>xx</sub> /16	800 ns	941 ns	1.6 μs	8 μs
0	1	1	TI10有効エッジ <sup>注</sup>	-	-	-	-
1	0	0	f <sub>xx</sub> /32	1.6 μs	1.9 μs	3.2 μs	16 μs
1	0	1	f <sub>xx</sub> /128	6.4 μs	7.5 μs	12.8 μs	64 μs
1	1	0	f <sub>xx</sub> /256	12.8 μs	15.1 μs	25.6 μs	128 μs
1	1	1	設定禁止	-	-	-	-

注 外部クロックは内部クロック (f<sub>xx</sub>/2) の2回分より長いパルスを必要とします。

- 注意1. カウント・クロックにTI10の有効エッジを設定する場合, TI10の有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRM1, PRM11レジスタは, 必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTI1n端子がハイ・レベルの場合, TI1n端子の有効エッジを立ち上がり, または両エッジに指定して, 16ビット・タイマ(TM1)の動作を許可すると, その直後に立ち上がりエッジを検出します。TI1n端子をプルアップしている場合などは注意してください。ただし, いったん動作を停止させたあとの再動作許可時には, 立ち上がりエッジは検出されません。

## 7.2 16ビット・タイマの動作

### 7.2.1 インターバル・タイマ (16ビット) としての動作

16ビット・タイマ・モード・コントロール・レジスタ $n$  (TMC $n$ ) と、キャプチャ/コンペア・コントロール・レジスタ $n$  (CRC $n$ ) を図7-2のように設定することにより、インターバル・タイマとして動作します。

16ビット・キャプチャ/コンペア・レジスタ $n0$  (CR $n0$ ) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生します。

16ビット・タイマ・レジスタ $n$  (TM $n$ ) のカウント値がCR $n0$ に設定した値と一致したとき、TM $n$ の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM $n0$ ) が発生します。

プリスケアラ・モード・レジスタ $n$  (PRM $n$ ) のビット0, 1 (PRM $n0$ , PRM $n1$ ) とプリスケアラ・モード・レジスタ $n1$  (PRM $n1$ ) のビット0 (PRM $n2$ ) で、16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

備考  $n = 0, 1$

図7-2 インターバル・タイマ動作時の制御レジスタ設定内容

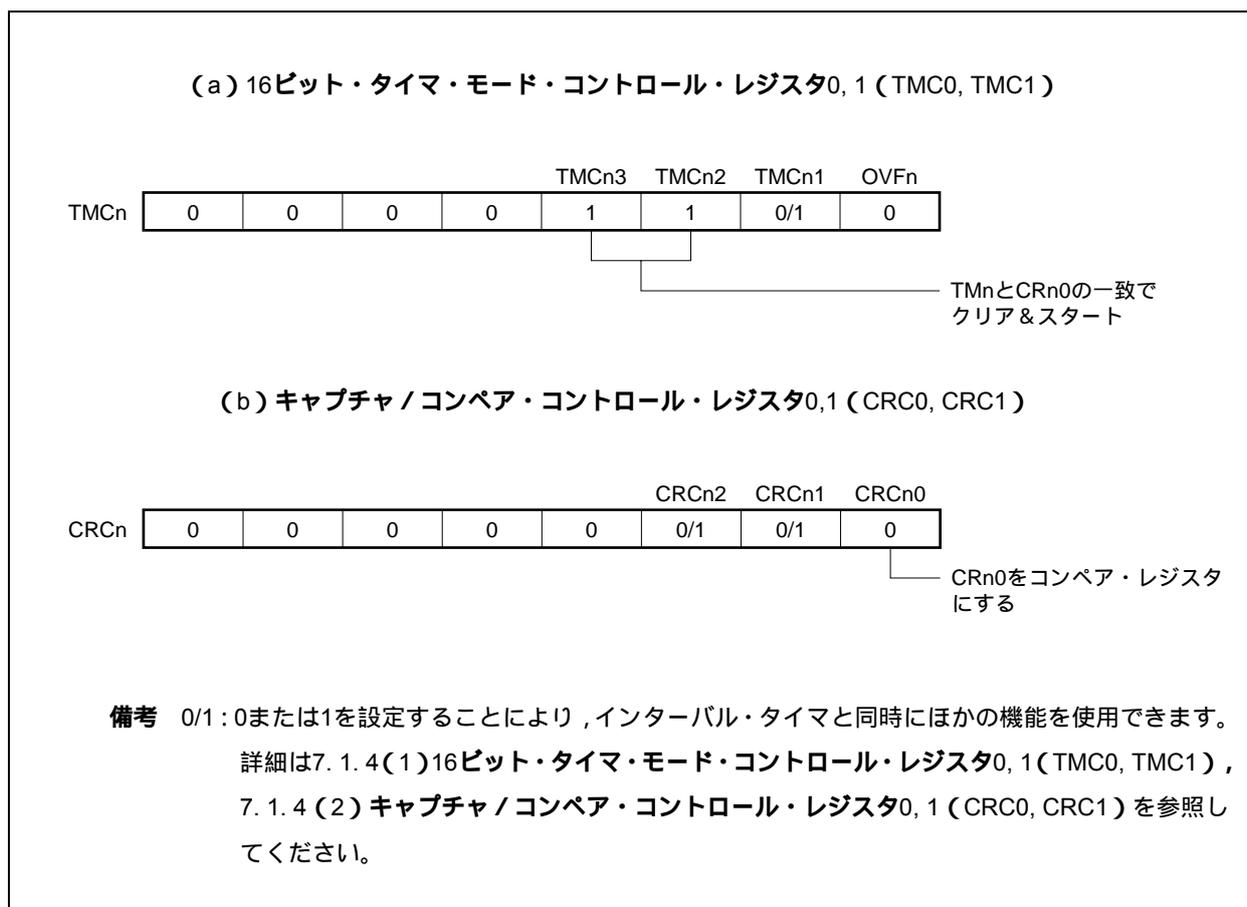


図7-3 インターバル・タイマの構成図

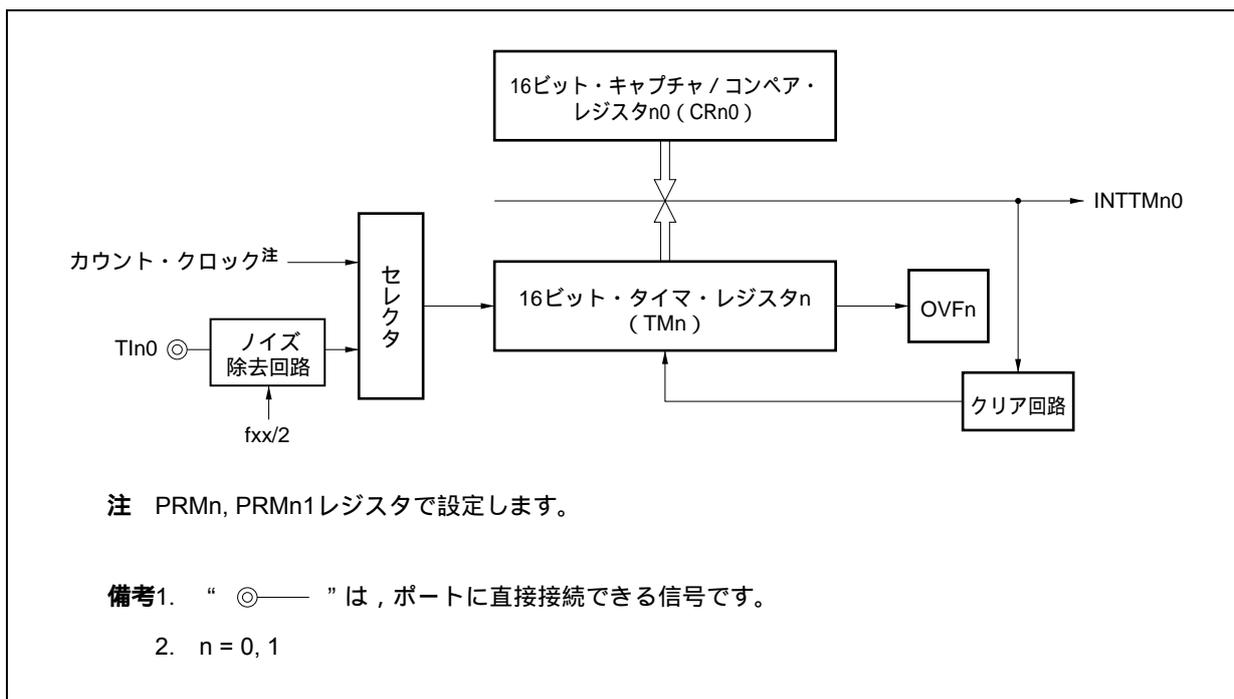
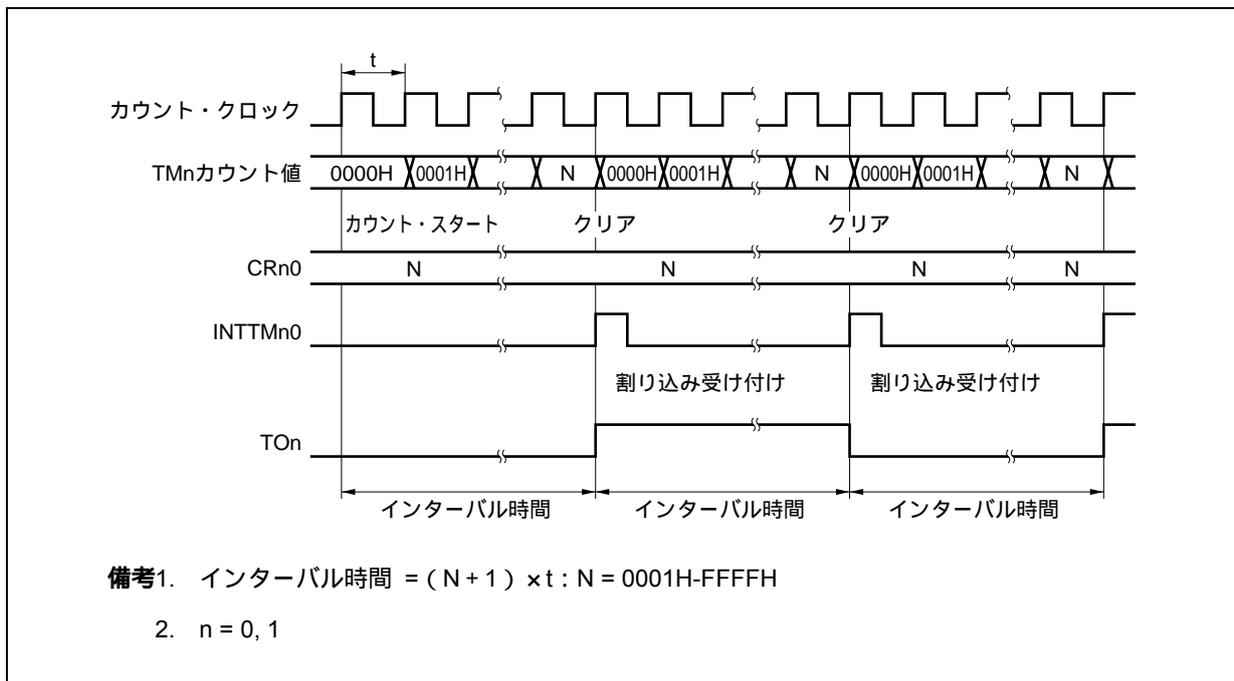


図7-4 インターバル・タイマ動作のタイミング



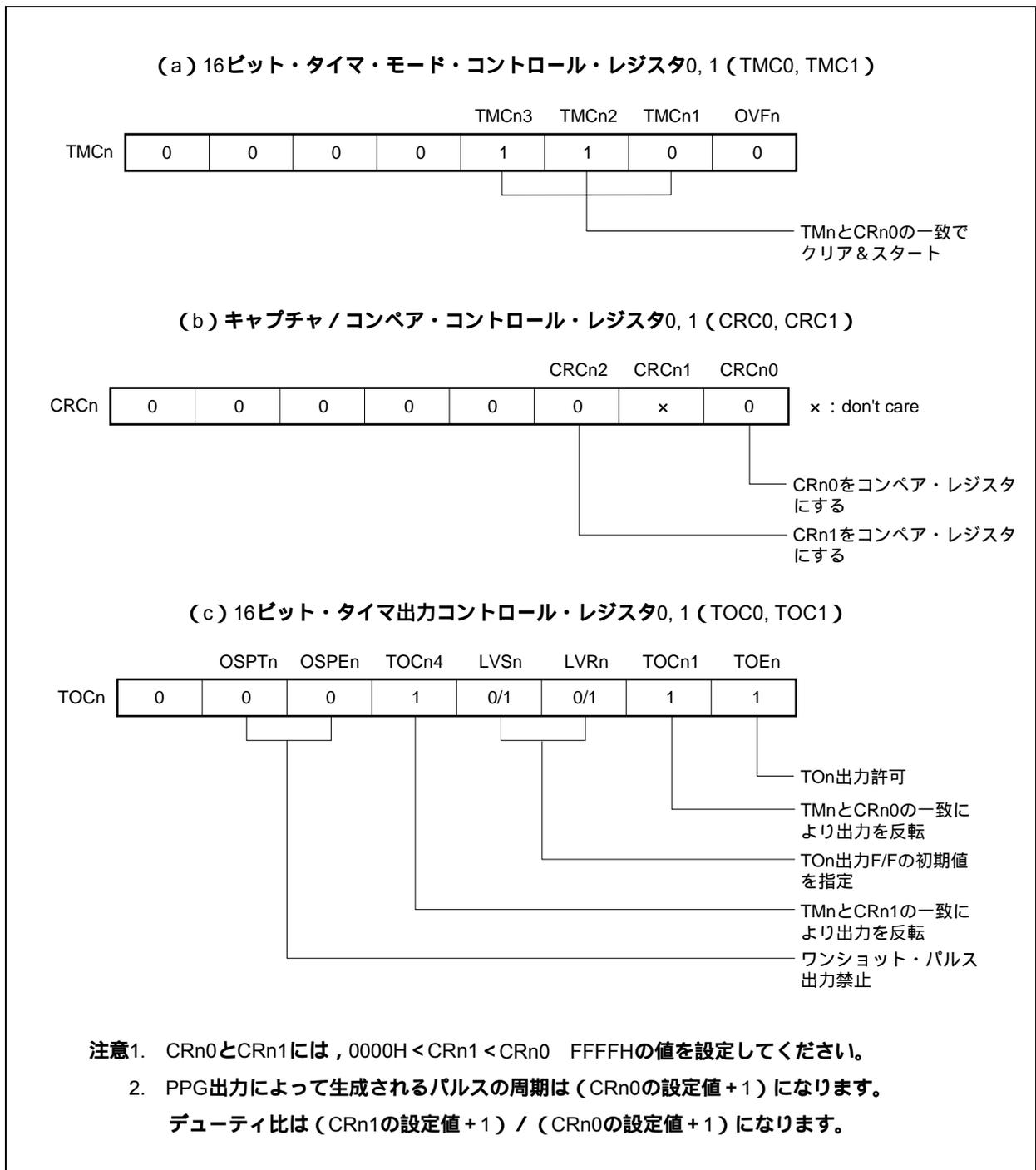
### 7.2.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) と、キャプチャ/コンペア・コントロール・レジスタn (CRCn) を図7-5のように設定すると、PPG (Programmable Pulse Generator) 出力として動作します。

PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値をパルス幅とする矩形波をTON端子から出力します。

備考 n = 0, 1

図7-5 PPG出力動作時の制御レジスタ設定内容



### 7.2.3 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TMn) を使用し, TIn0端子およびTin1端子に入力される信号のパルス幅を測定できます。

測定方法には, TMnをフリー・ランニングさせて測定する方法と, TIn0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

#### (1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図7-6参照), TIn0端子にプリスケアラ・モード・レジスタn (PRMn) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込み, 外部割り込み要求信号 (INTTMn1) をセットします。

エッジ指定は, プリスケアラ・モード・レジスタn (PRMn) のビット6, 7 (ESn10, ESn11) で行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

有効エッジの検出は, プリスケアラ・モード・レジスタn, n1 (PRMn, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

備考 n = 0, 1

図7-6 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

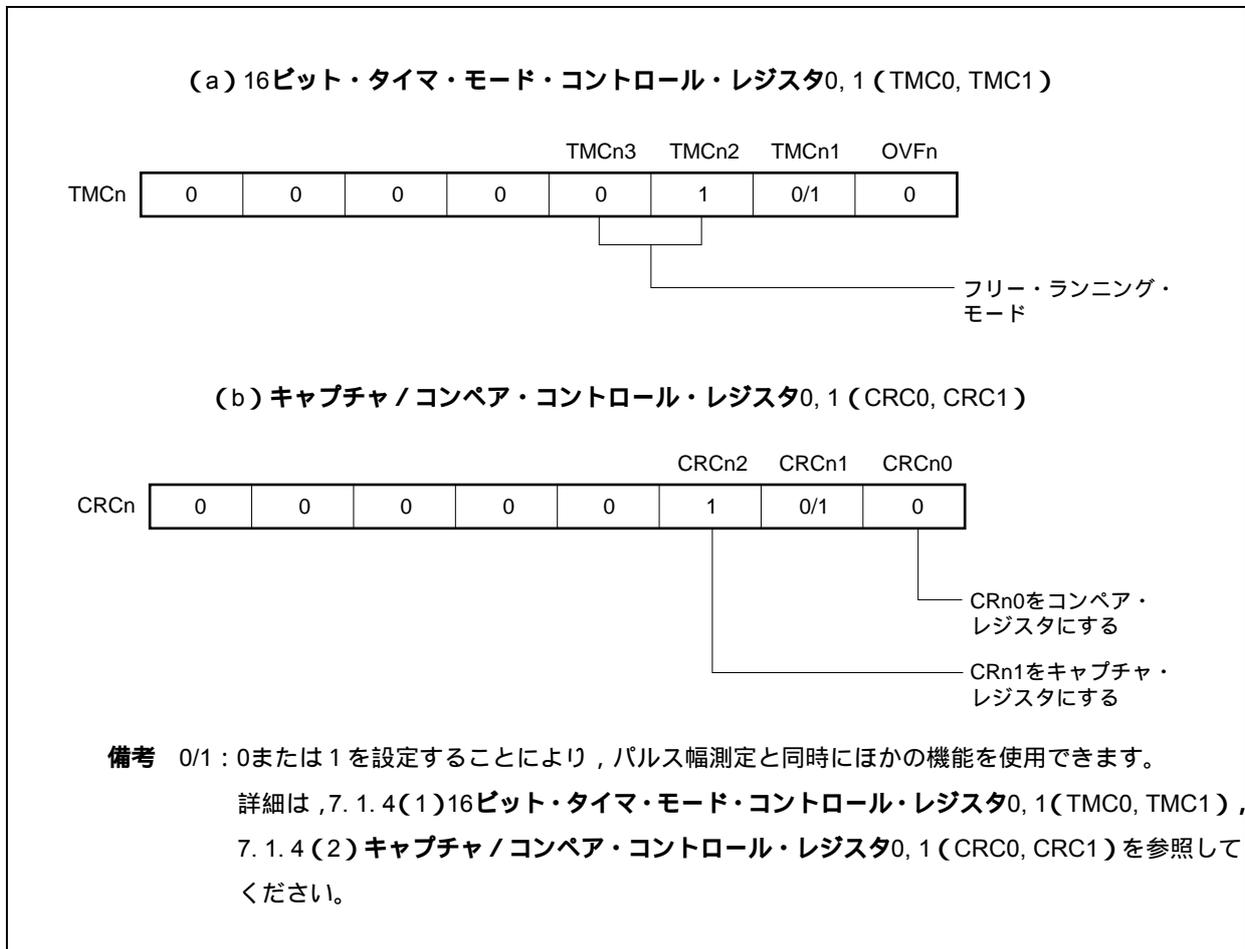


図7-7 フリー・ランニング・カウンタによるパルス幅測定の構成図

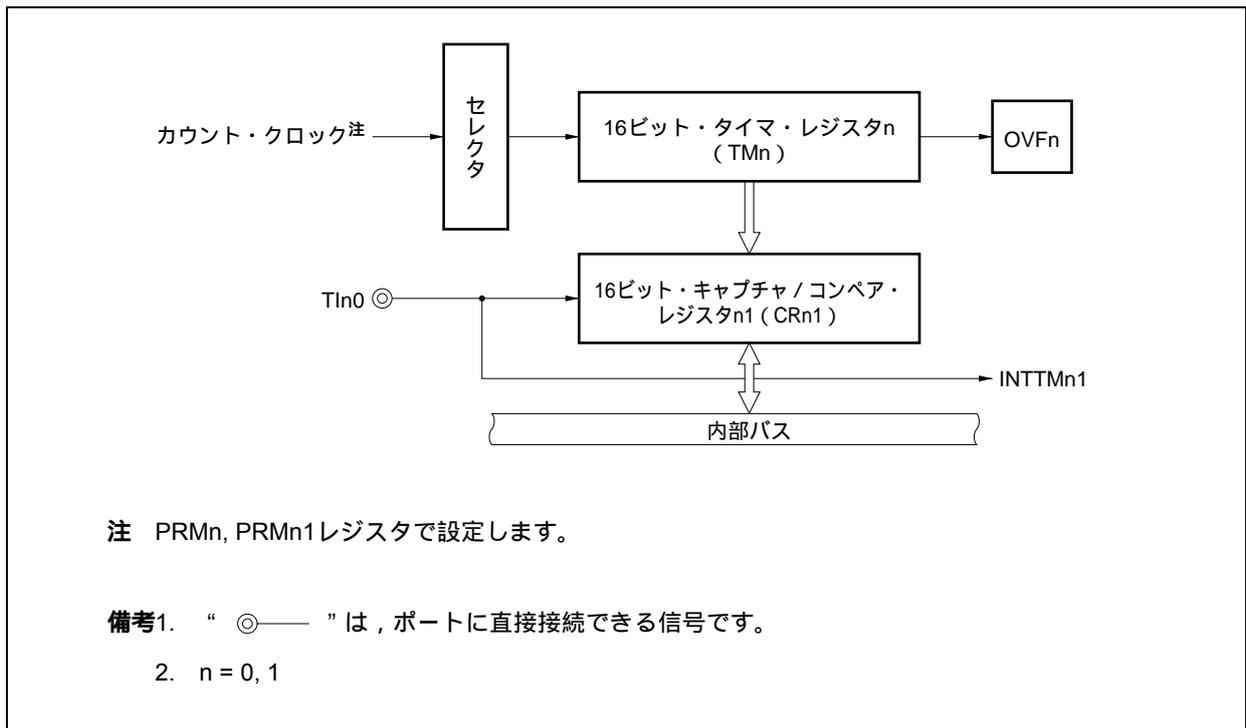
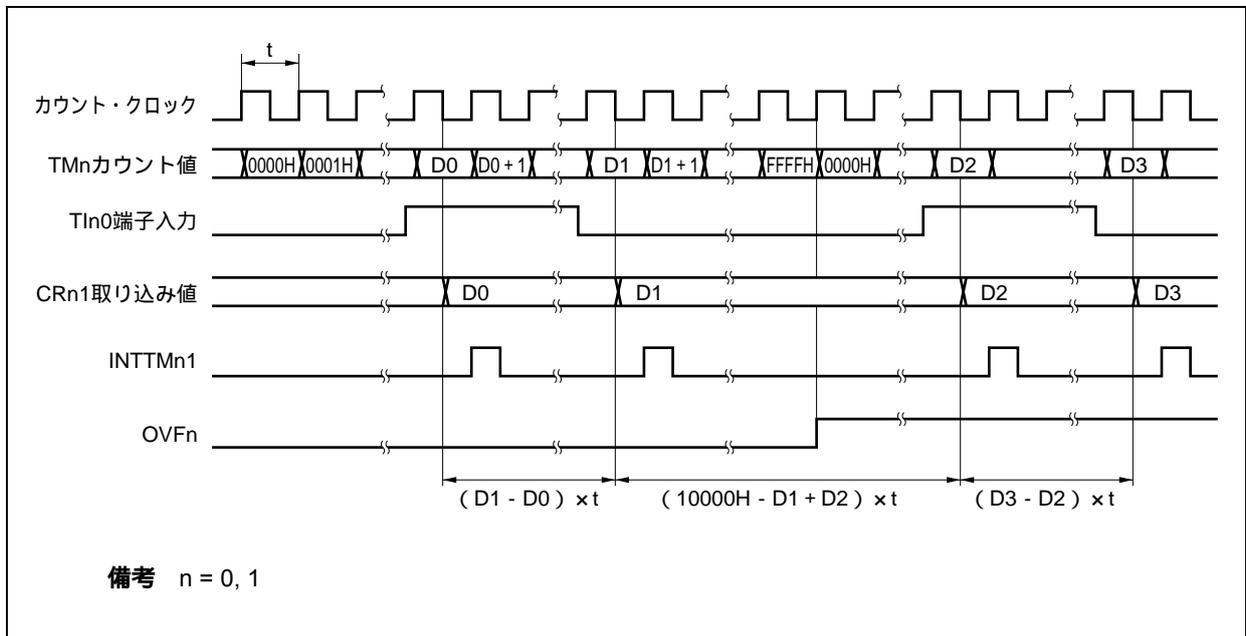


図7-8 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタ $n$  (TM $n$ ) をフリー・ランニングで動作させているとき (図7-9参照) , TIn0端子およびTIn1端子に入力される2つの信号のパルス幅を同時に測定できます。

TIn0端子にプリスケアラ・モード・レジスタ $n$  (PRM $n$ ) のビット4, 5 (ESn00, ESn01) で指定したエッジが入力されると, TM $n$ の値を16ビット・キャプチャ/コンペア・レジスタ $n1$  (CR $n1$ ) に取り込み, 外部割り込み要求信号 (INTTM $n1$ ) をセットします。

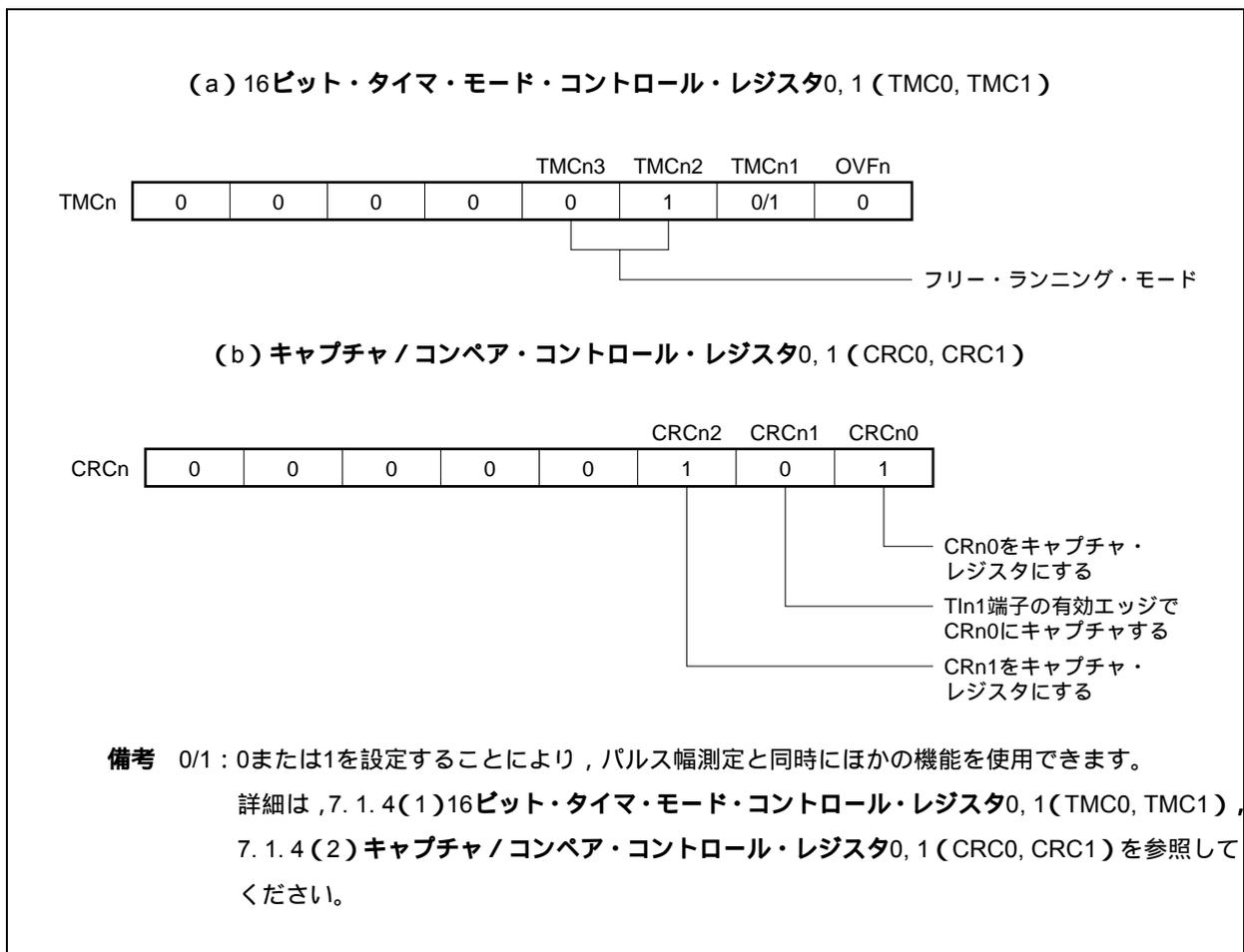
また, TIn1端子にPRM $n$ のビット6, 7 (ESn10, ESn11) で指定したエッジが入力されると, TM $n$ の値を16ビット・キャプチャ/コンペア・レジスタ $n0$  (CR $n0$ ) に取り込み, 外部割り込み要求信号 (INTTM $n0$ ) をセットします。

TIn0端子とTIn1端子のエッジ指定は, PRM $n$ のビット4, 5 (ESn00, ESn01) およびビット6, 7 (ESn10, ESn11) でそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

TIn0端子の有効エッジの検出は, プリスケアラ・モード・レジスタ $n, n1$  (PRM $n, PRMn1$ ) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

備考  $n = 0, 1$

図7-9 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容



・キャプチャ動作について (フリー・ランニング・モード)

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図7 - 10 立ち上がりエッジ指定時のCRn1キャプチャ動作

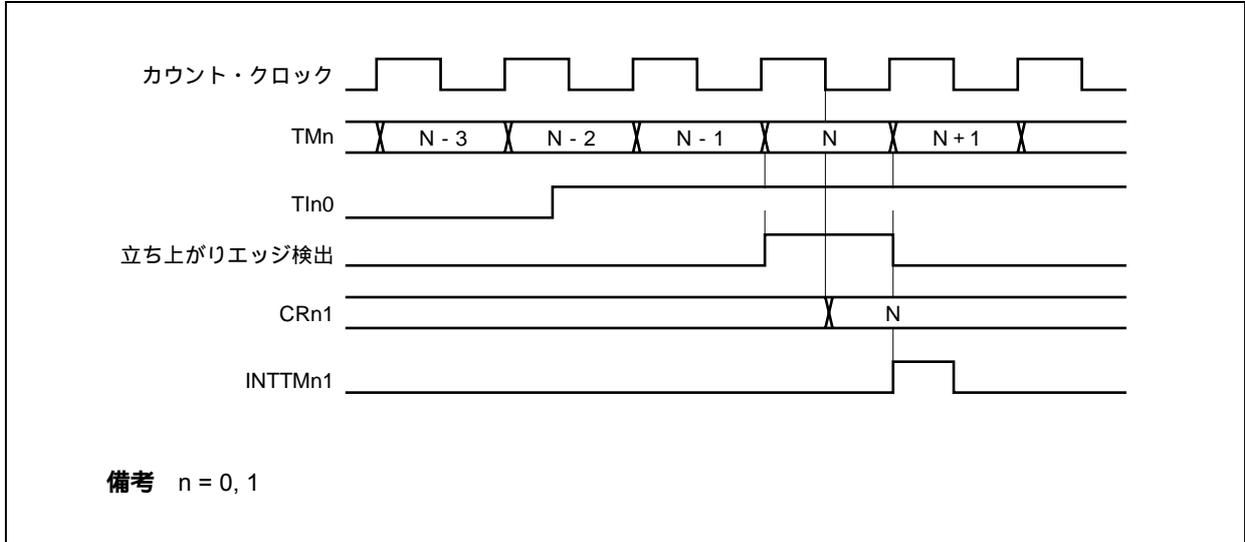
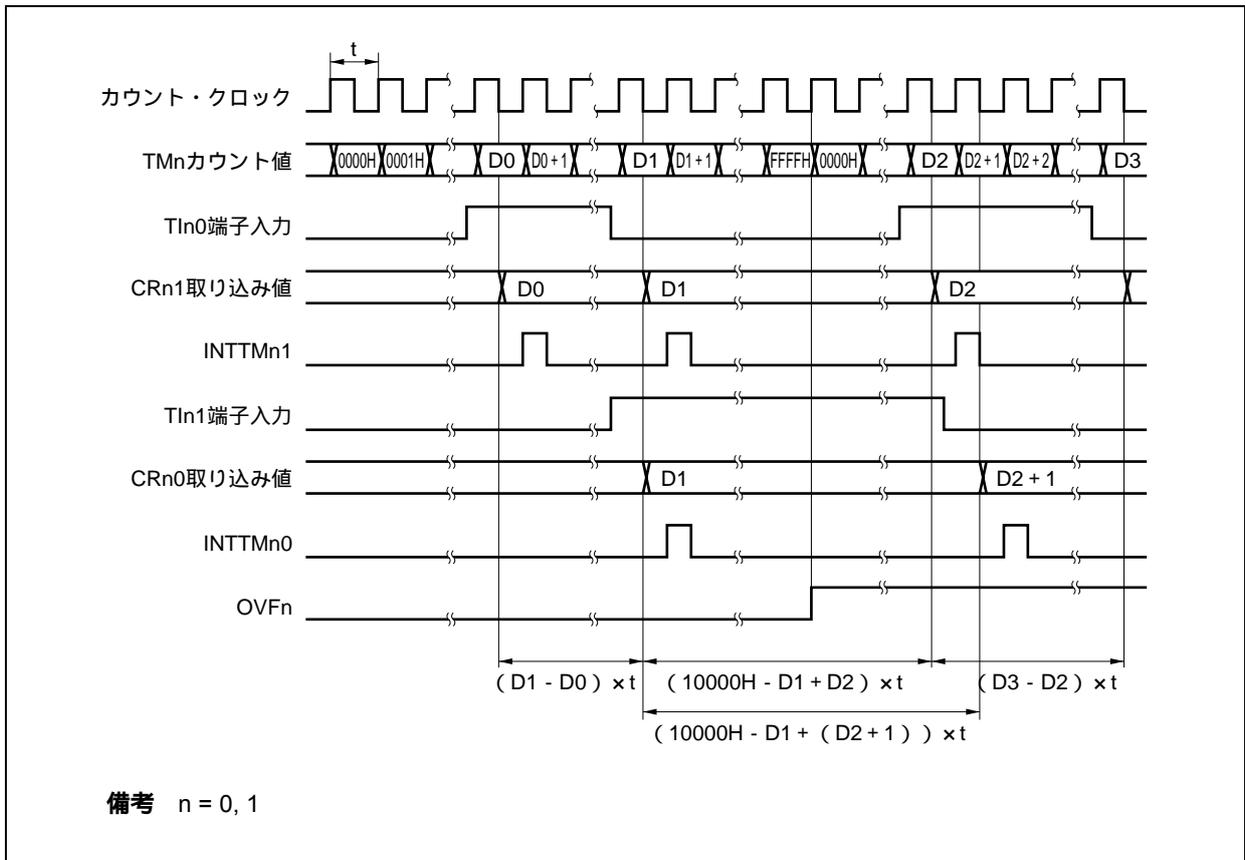


図7 - 11 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・レジスタ $n$  (TM $n$ ) をフリー・ランニングで動作させているとき (図7 - 12参照) , TIn0端子に入力する信号のパルス幅を測定できます。

TIn0端子にプリスケアラ・モード・レジスタ $n$  (PRM $n$ ) のビット4, 5 (ESn00, ESn01) で指定したエッジが入力されると, TM $n$ の値を16ビット・キャプチャ/コンペア・レジスタ $n1$  (CR $n1$ ) に取り込み, 外部割り込み要求信号 (INTTM $n1$ ) をセットします。

また, CR $n1$ へのキャプチャ動作と逆のエッジ入力で, TM $n$ の値を16ビット・キャプチャ/コンペア・レジスタ $n0$  (CR $n0$ ) に取り込みます。

TIn0端子のエッジ指定は, プリスケアラ・モード・レジスタ $n$  (PRM $n$ ) のビット4,5 (ESn00, ESn01) で行い, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

TIn0端子の有効エッジの検出は, プリスケアラ・モード・レジスタ $n, n1$  (PRM $n, PRMn1$ ) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

**注意** TIn0端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, キャプチャ/コンペア・レジスタ $n0$  (CR $n0$ ) はキャプチャ動作を行えません。

**備考**  $n = 0, 1$

図7 - 12 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

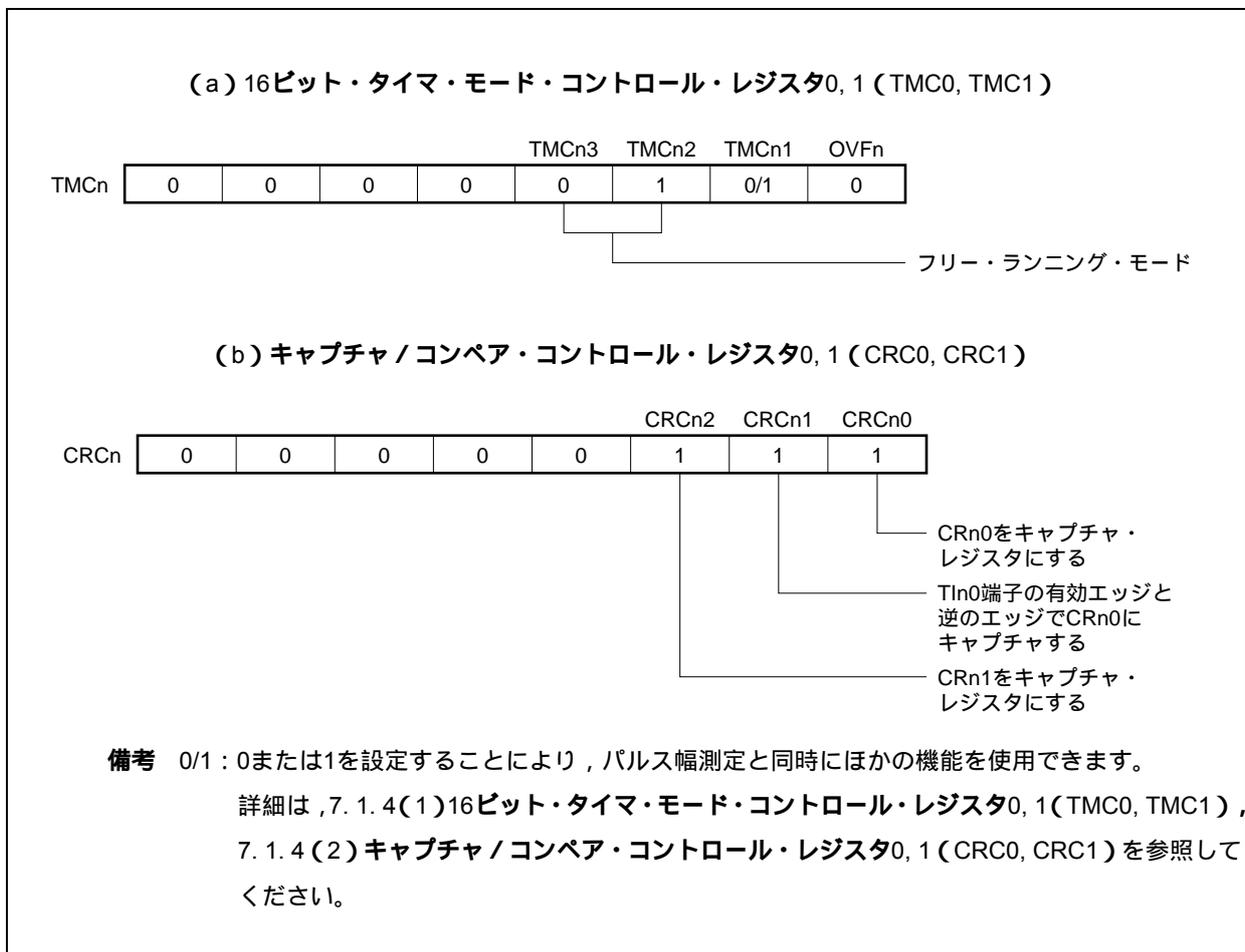
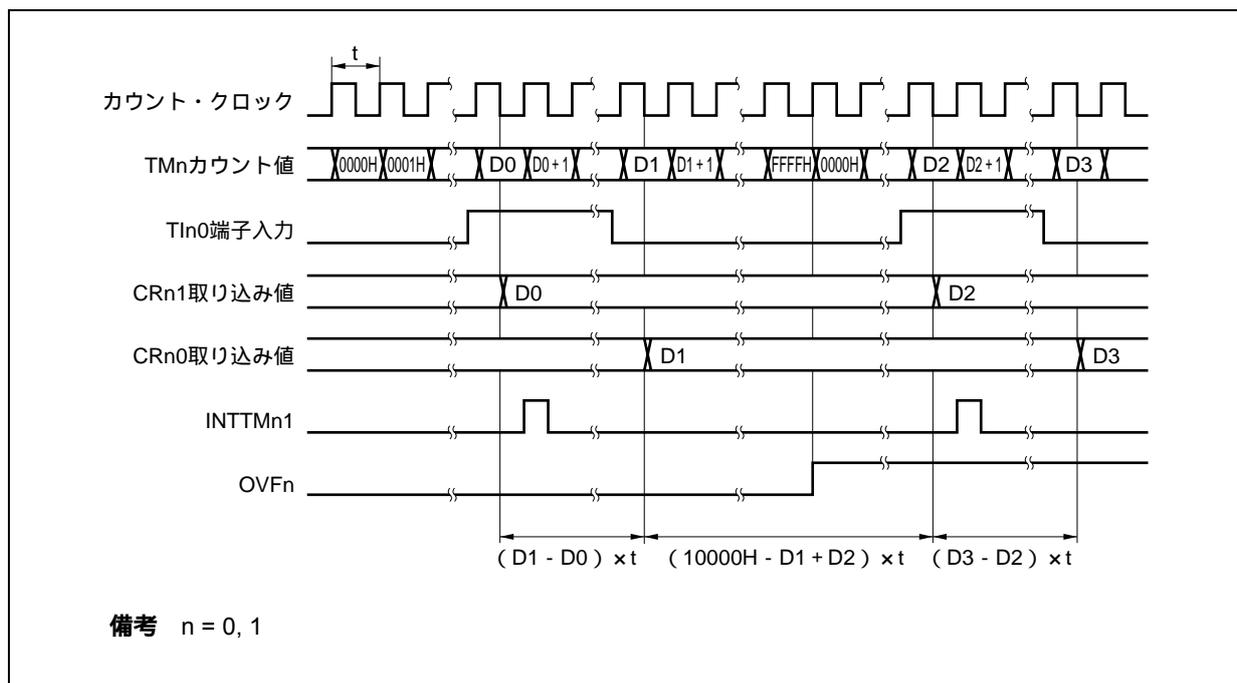


図7 - 13 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング  
(立ち上がりエッジ指定時)



#### (4) リスタートによるパルス幅測定

TIn0端子への有効エッジを検出したとき、16ビット・タイマ・レジスタn (TMn) のカウント値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込んだあと、TMnをクリアしてカウントを再開することにより、TIn0端子に入力された信号のパルス幅を測定します(図7 - 13参照)。

エッジ指定は、プリスケラ・モード・レジスタn (PRMn) のビット4, 5 (ESn00, ESn01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

有効エッジの検出は、プリスケラ・モード・レジスタn, n1 (PRMn, PRMn1) で選択したカウント・クロック周期でサンプリングを行い、2回有効レベルを検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

**注意** TIn0端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、キャプチャ/コンペア・レジスタn0 (CRn0) はキャプチャ動作を行えません。

備考 n = 0, 1

図7 - 14 リスタートによるパルス幅測定時の制御レジスタ設定内容

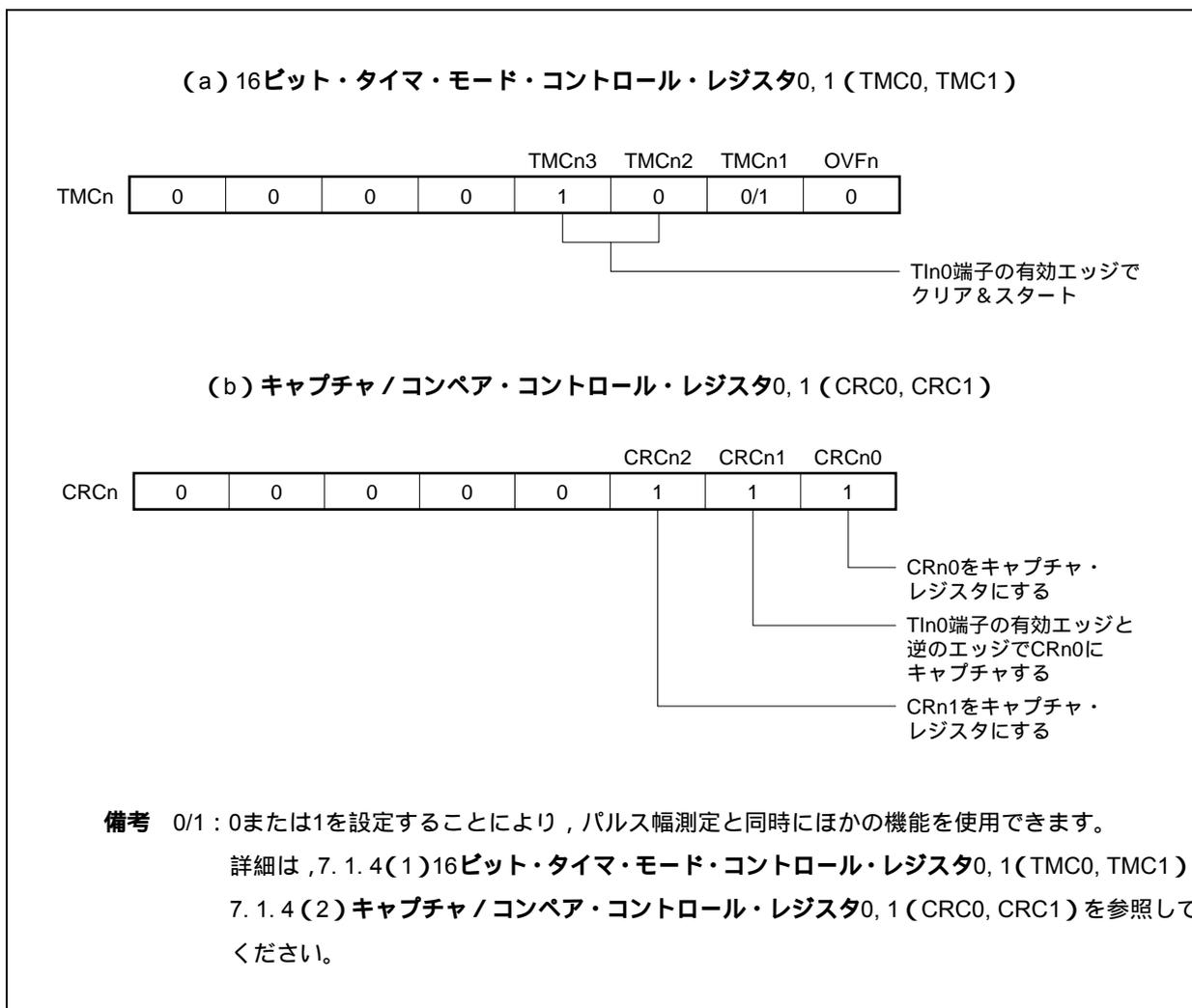
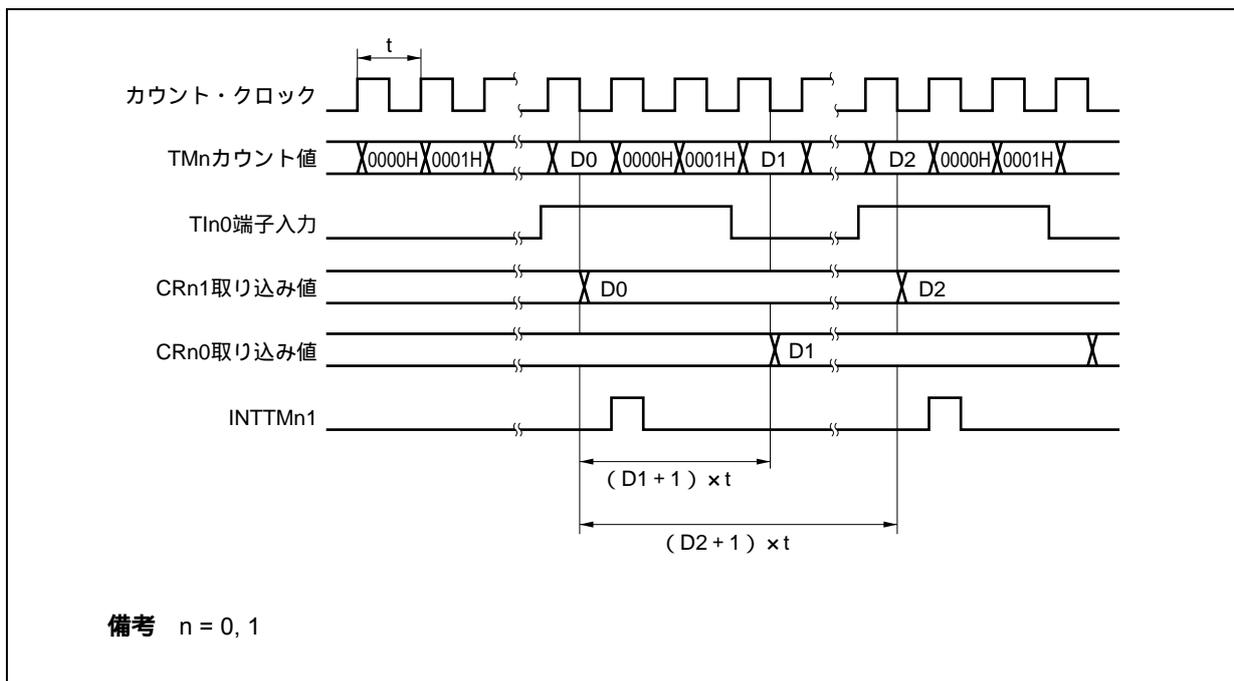


図7 - 15 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



### 7.2.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TIn0端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタn (TMn) でカウントするものです。

プリスケアラ・モード・レジスタn (PRMn) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。

TMnの計数値が16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTMn0) が発生します。

エッジ指定は、プリスケアラ・モード・レジスタn (PRMn) のビット4, 5 (ESn00, ESn01) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

有効エッジの検出は、 $f_{xx}/2$ のクロック周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

備考 n = 0, 1

図7 - 16 外部イベント・カウンタ・モード時の制御レジスタ設定内容

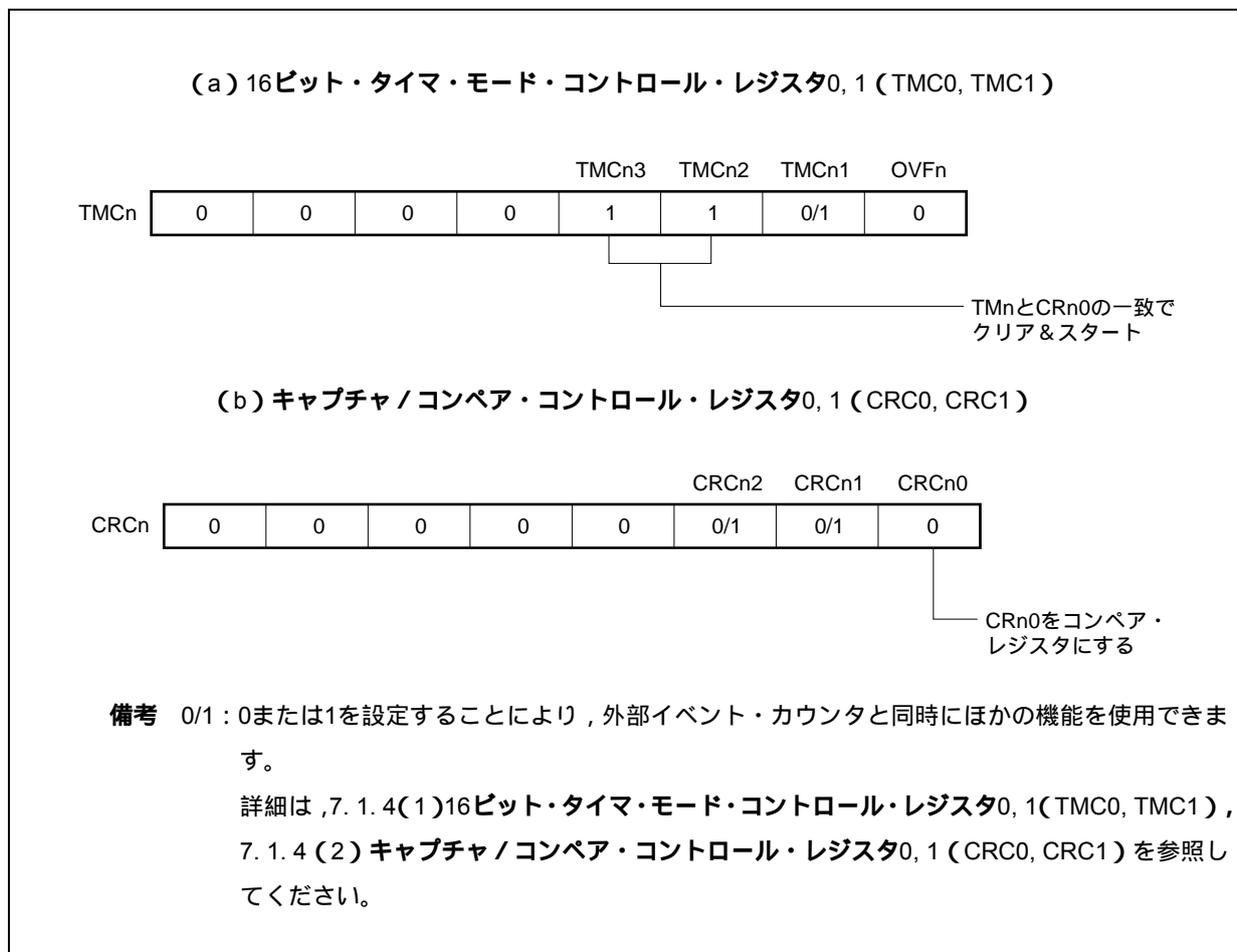


図7 - 17 外部イベント・カウンタの構成図

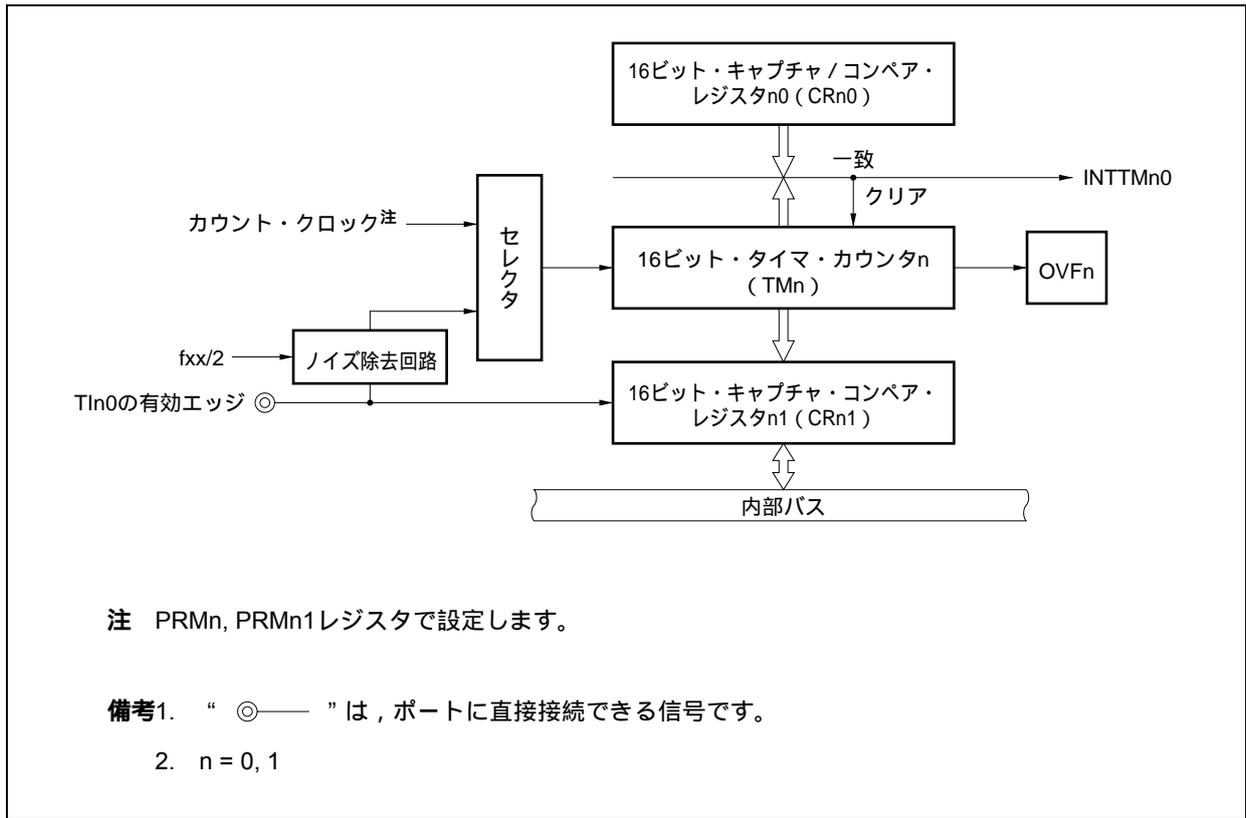
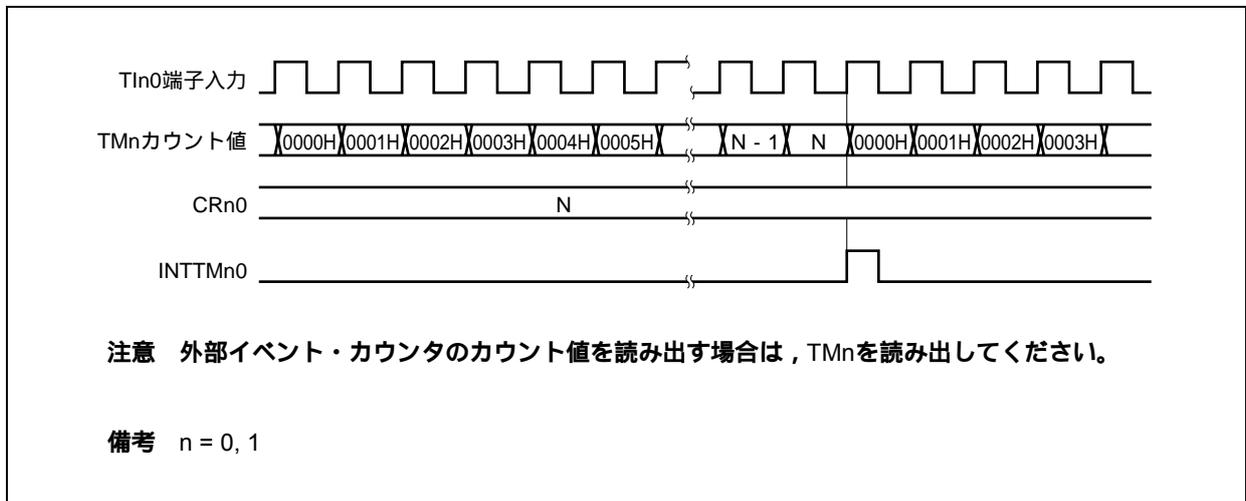


図7 - 18 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



### 7.2.5 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値をインターバルとする, 任意の周波数の方形波出力です。

16ビット・タイマ出力コントロール・レジスタn (TOCn) のビット0 (TOEn) とビット1 (TOCn1) に1を設定することにより, CRn1にあらかじめ設定したカウント値をインターバルとしてTON端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

備考 n = 0, 1

図7 - 19 方形波出力モード時の制御レジスタ設定内容

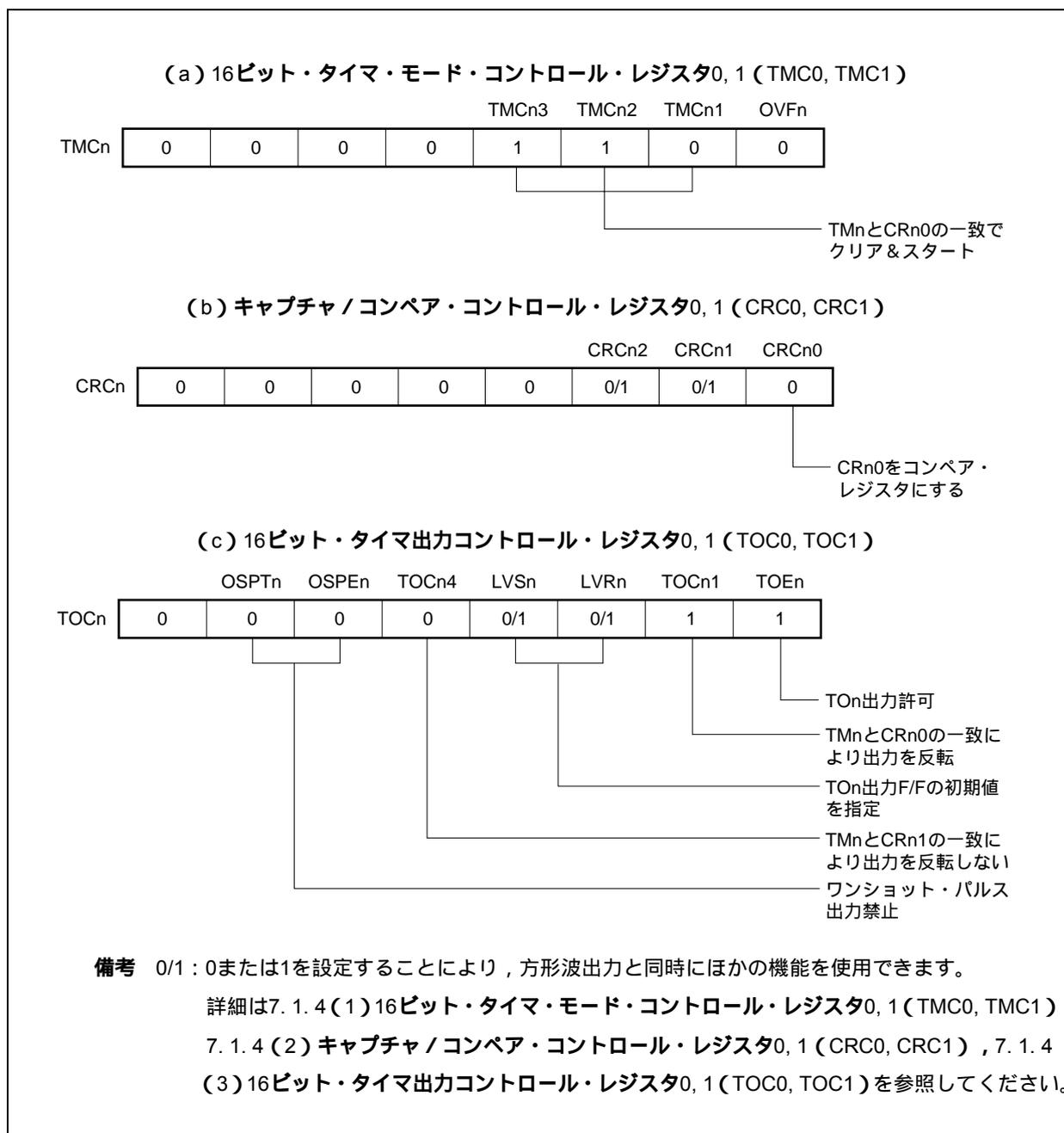
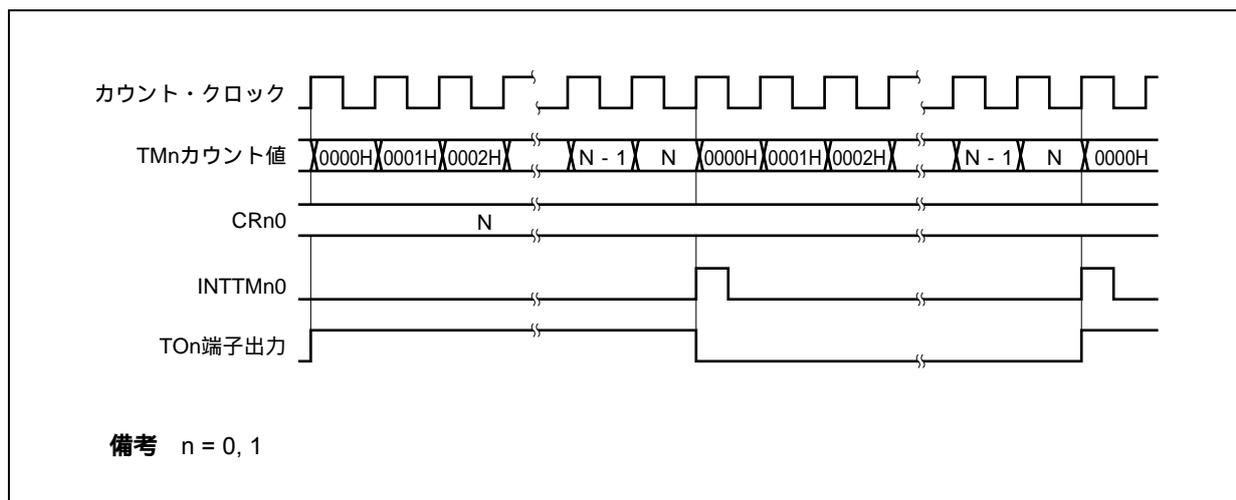


図7 - 20 方形波出力動作のタイミング



### 7.2.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ (Tin0端子入力) に同期したワンショット・パルスを出力できます。

#### (1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタn (TMCn)、キャプチャ/コンペア・コントロール・レジスタn (CRCn) および16ビット・タイマ出力コントロール・レジスタn (TOCn) を図7 - 21のように設定し、ソフトウェアでTOCnのビット6 (OSPTn) を1にセットすることにより、ワンショット・パルスをTOn端子から出力します。

OSPTnを1にセットすることにより、16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります<sup>注</sup>。

ワンショット・パルス出力後も、TMnは動作を継続しています。TMnを停止させるためには、TMCnに00Hを設定する必要があります。

**注** ここでは  $N < M$  の場合の例です。  $N > M$  のときはCRn0で出力がアクティブになり、CRn1でインアクティブになります。

- 注意1.** ワンショット・パルスを出力しているときは、OSPTnを1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。
- 2.** ソフトウェア・トリガによるワンショット・パルス出力動作時、Tin0端子は汎用ポートとして使用できません。

備考  $n = 0, 1$

図7 - 21 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

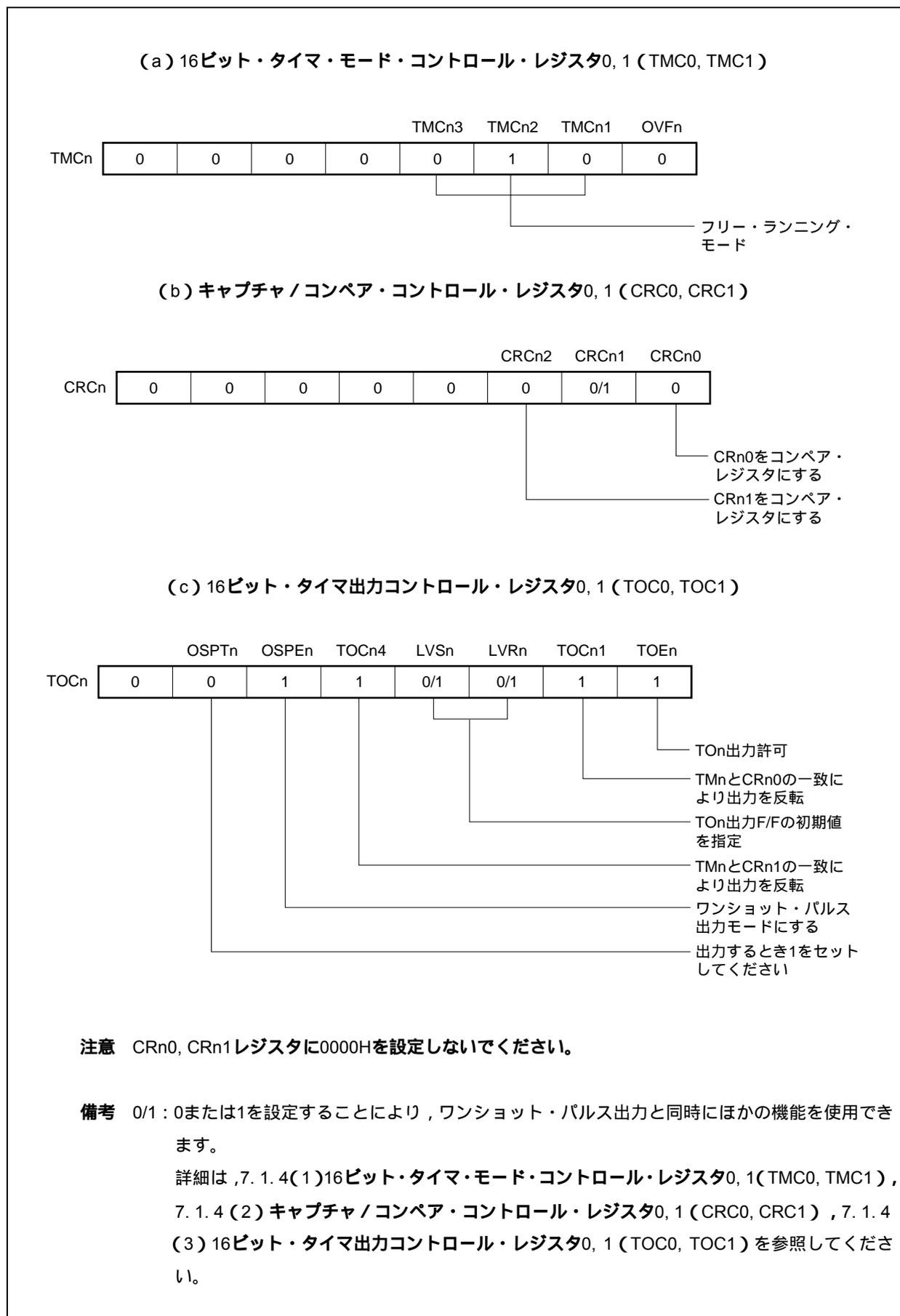
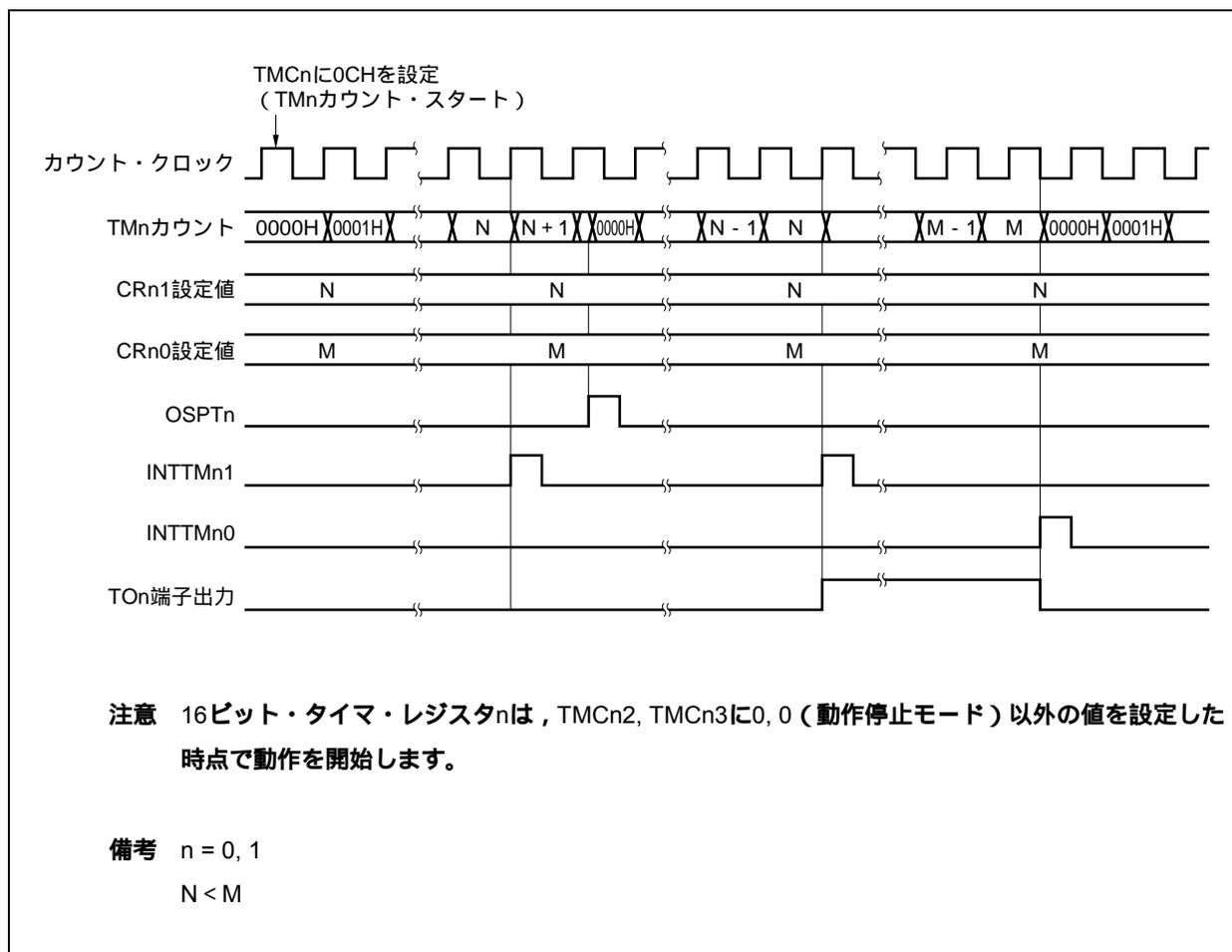


図7-22 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ $n$  (TMCn) , キャプチャ/コンペア・コントロール・レジスタ $n$  (CRCn) および16ビット・タイマ出力コントロール・レジスタ $n$  (TOCn) を図7-23のように設定し、TIn0端子の有効エッジを外部トリガとしてワンショット・パルスをTOn端子から出力します。

TIn0端子の有効エッジ指定は、プリスケアラ・モード・レジスタ $n$ (PRMn)のビット4,5 (ESn00, ESn01)で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

TIn0端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ $n1$  (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ $n0$  (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります<sup>注</sup>。

注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCRn0で出力がアクティブになり、CRn1でインアクティブになります。

注意 ワンショット・パルスを出力しているときに、再度外部トリガが発生しても無視されます。

備考  $n = 0, 1$

図7 - 23 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

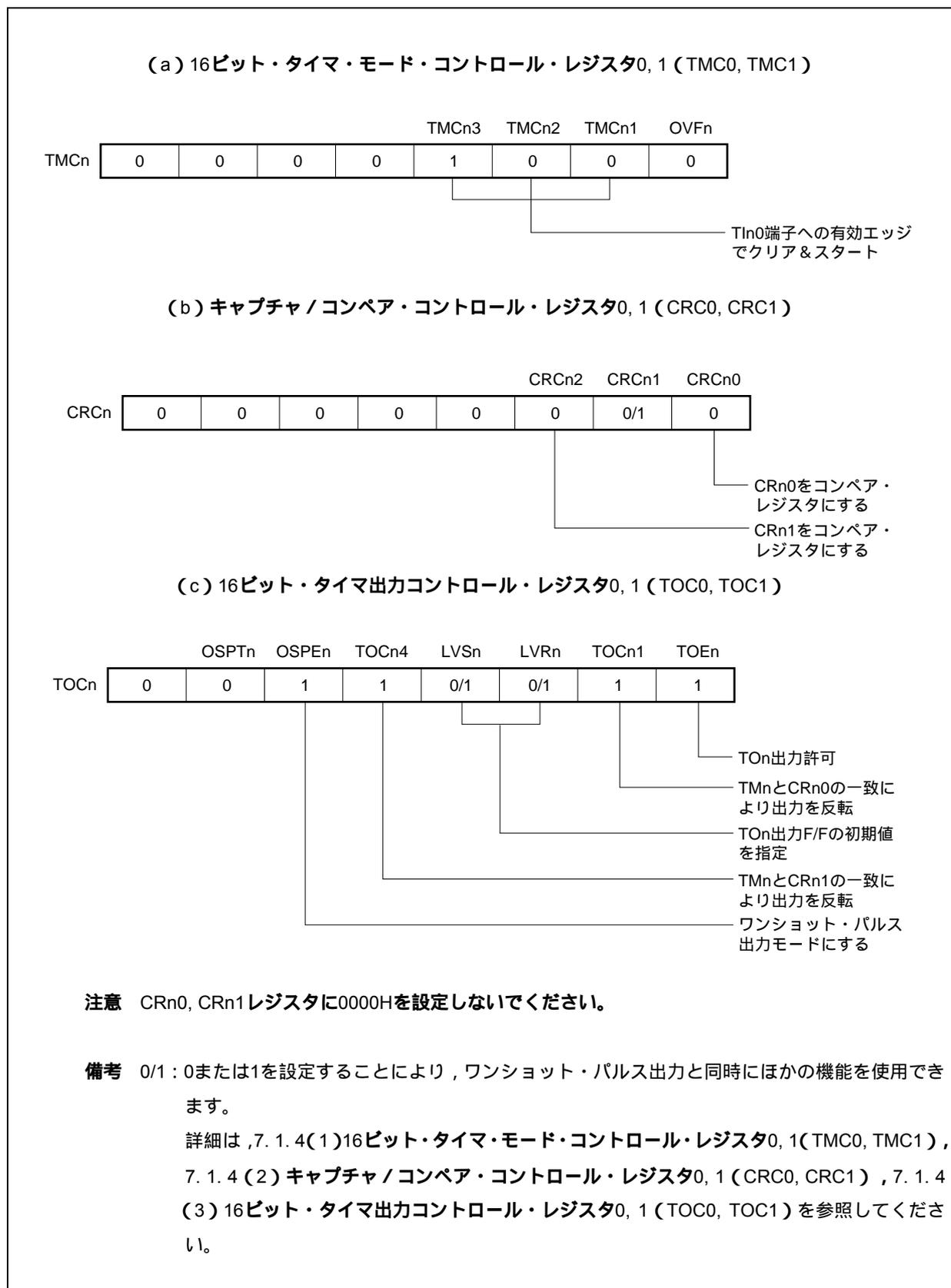
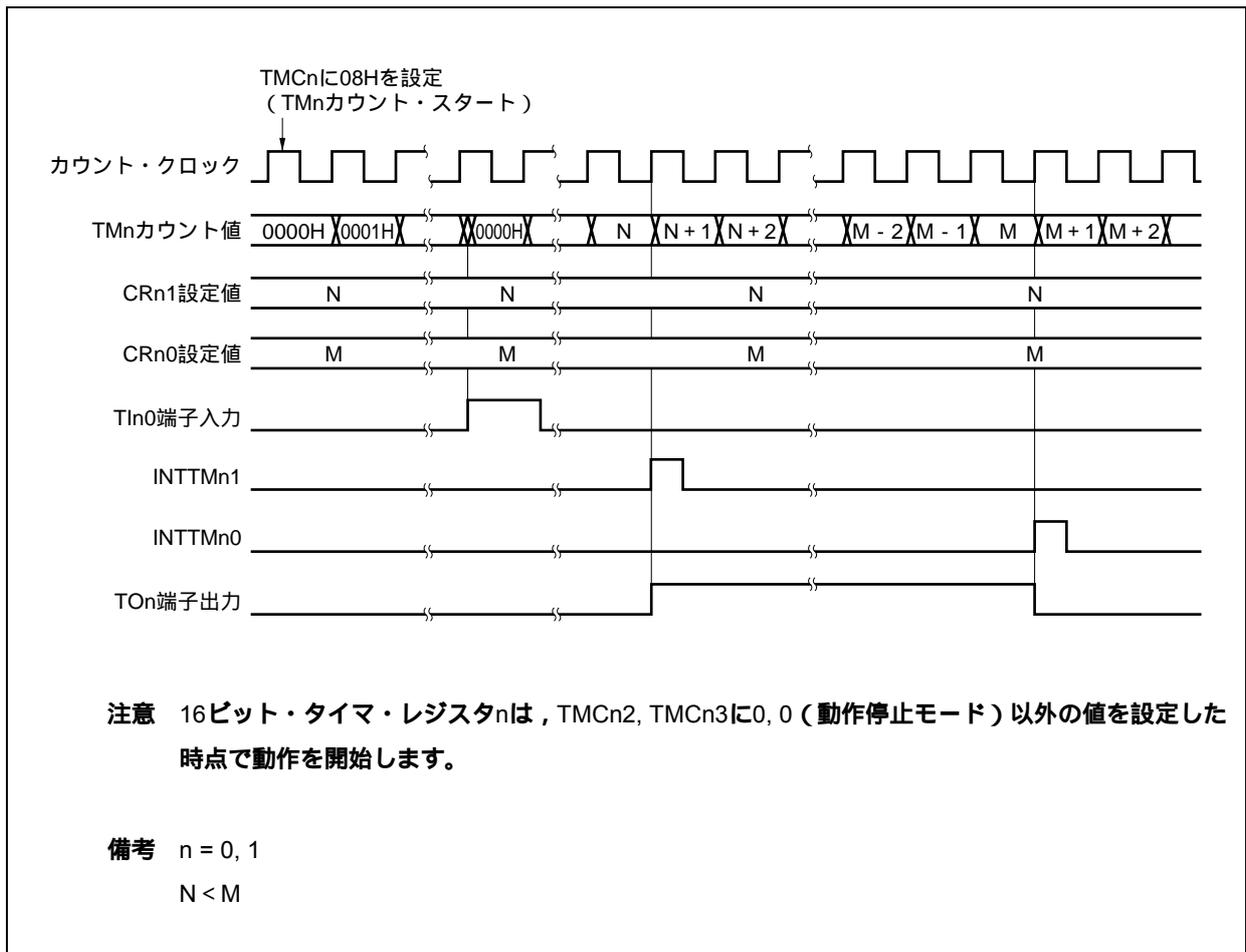


図7-24 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)

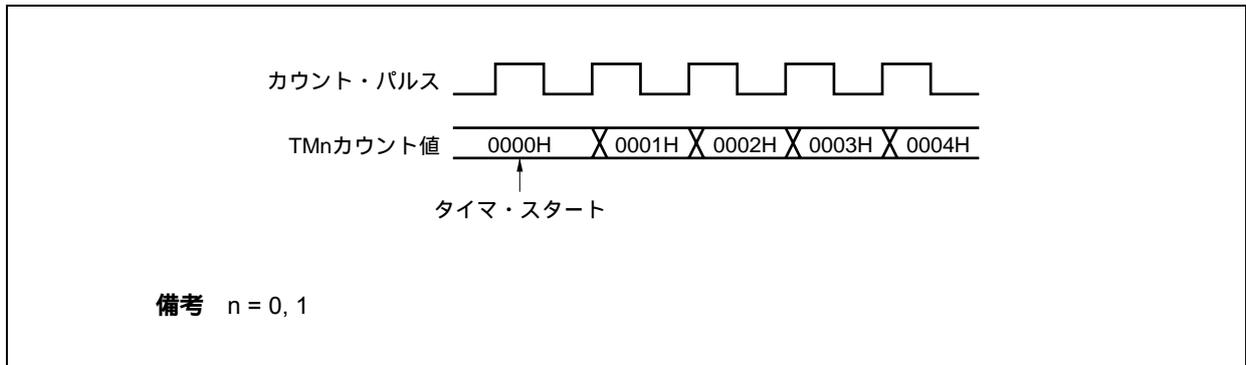


### 7.2.7 注意事項

#### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対して16ビット・タイマ・レジスタn (TMn)のスタートが非同期で行われるためです。

図7 - 25 16ビット・タイマ・レジスタnのスタート・タイミング



#### (2) 16ビット・キャプチャ/コンペア・レジスタの設定 (TMnとCRn0の一致でクリア&スタート・モードの場合)

16ビット・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1)には、0000H以外の値を設定してください。イベント・カウンタとして使用する場合、1パルスのカウント動作はできません。

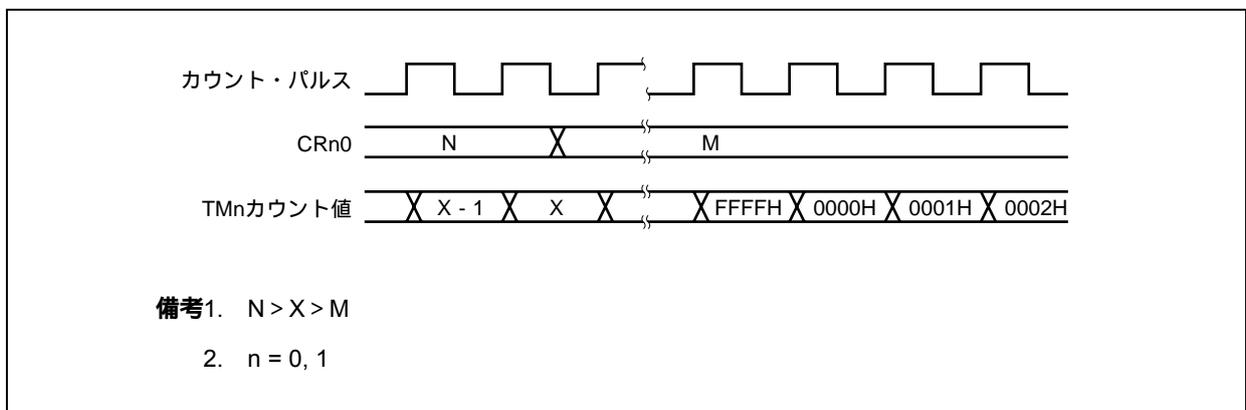
備考 n = 0, 1

#### (3) タイマ・カウント動作中のコンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0)の変更後の値が、16ビット・タイマ・レジスタn (TMn)の値よりも小さいとき、TMnはカウントを継続し、オーバフローして0から再カウントします。

したがって、CRn0変更後の値 (M) が、変更前の値 (N) より小さいときは、CRn0を変更したあと、タイマをリセットし再スタートさせる必要があります。

図7 - 26 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

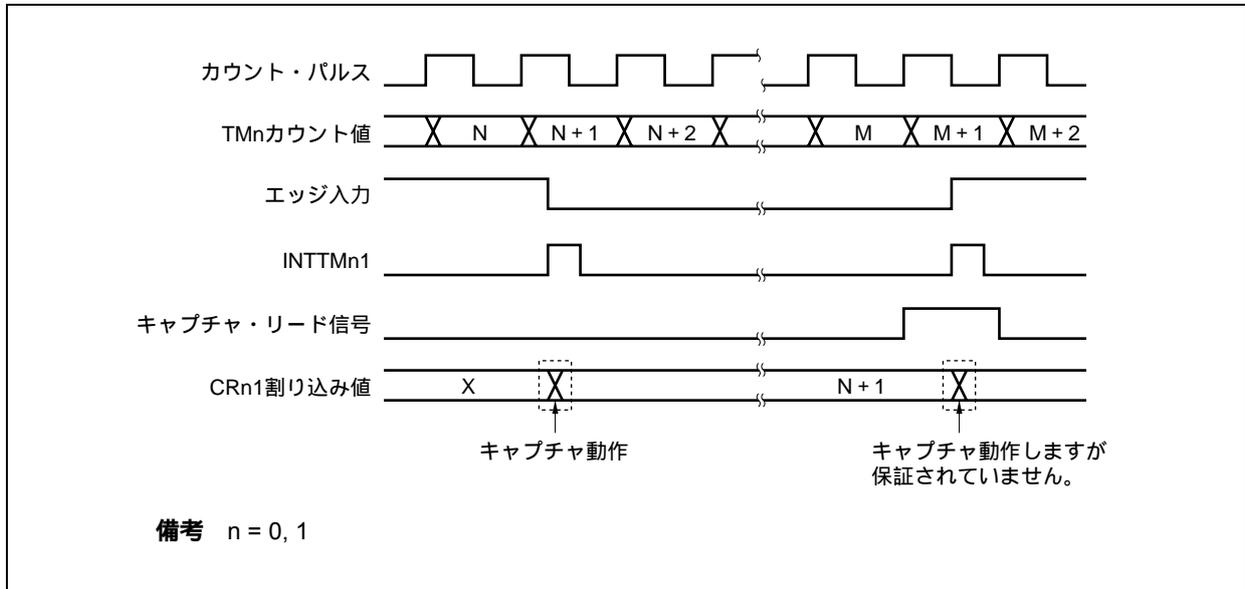


(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ $n$  (CR $n$ 1) の読み出し中にTIn0端子の有効エッジが入力したとき、CR $n$ 1はキャプチャ動作を行います。このときのキャプチャ値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (INTTM $n$ 1) はセットされます。

★

図7-27 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TIn0端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタ $n$ のビット2, 3 (TMCn2, TMCn3)に0, 0を設定し、タイマ動作を停止させたあとに行ってください。有効エッジの設定は、プリスケアラ・モード・レジスタ $n$  (PRM $n$ ) のビット4, 5 (ESn00, ESn01) で行います。

備考 n = 0, 1

(6) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPT $n$ を1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとに行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再度、外部トリガが発生しても無視されます。

★

(c) ワンショット・パルス出力機能について

タイマ0, 1のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TIn0端子は汎用ポートとして使用できません。

備考 n = 0, 1

(7) OVF<sub>n</sub>フラグの動作

(a) OVF<sub>n</sub>フラグのセット

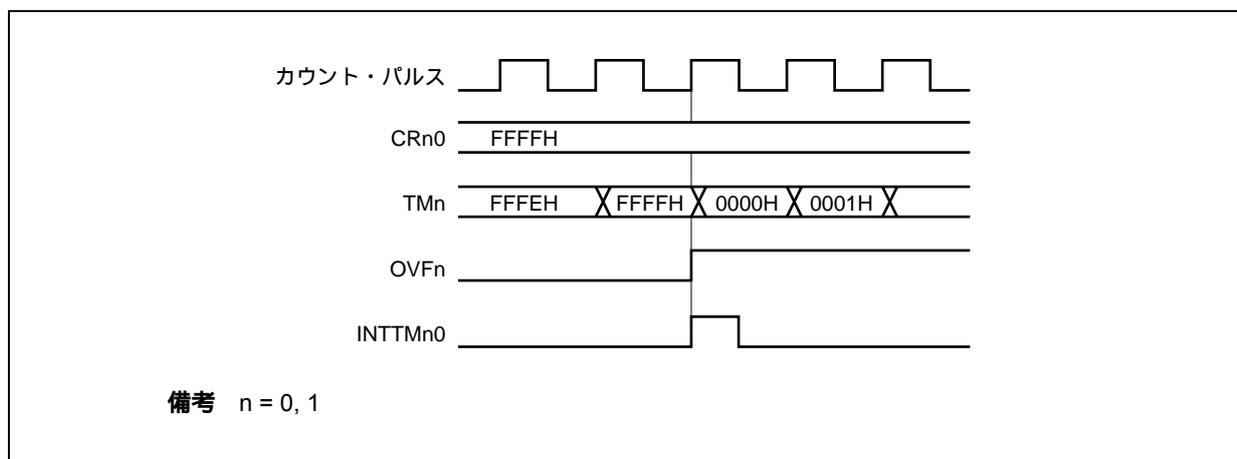
OVF<sub>n</sub>フラグは、TM<sub>n</sub>レジスタがオーバーフローしたとき以外に、次のときにも“1”に設定されます。

TM<sub>n</sub>とCR<sub>n</sub>0の一致でクリア & スタート・モードを選択

CR<sub>n</sub>0レジスタをFFFFHに設定

TM<sub>n</sub>がCR<sub>n</sub>0レジスタとの一致によりFFFFHから0000Hにクリアされるとき

図7-28 OVF<sub>n</sub>フラグの動作タイミング



(b) OVF<sub>n</sub>フラグのクリア

TM<sub>n</sub>がオーバーフロー後、次のカウント・クロックがカウントされる(TM<sub>n</sub>が0001Hになる)前にOVF<sub>n</sub>フラグをクリアしても、再度セットされクリアは無効となります。

備考 n = 0, 1

(8) 競合動作

(a) リード期間とキャプチャ・トリガ入力の競合した場合

16ビット・キャプチャ/コンペア・レジスタ<sub>n</sub>, <sub>n</sub>1 (CR<sub>n</sub>0, CR<sub>n</sub>1) をキャプチャ・レジスタとして使用しているとき、リード期間とキャプチャ・トリガ入力が競合した場合は、キャプチャ・トリガ入力が優先されます。CR<sub>n</sub>0, CR<sub>n</sub>1レジスタのリード・データは不定となります。

(b) ライト期間とTM<sub>n</sub>との一致タイミングが競合した場合

16ビット・キャプチャ/コンペア・レジスタ<sub>n</sub>, <sub>n</sub>1 (CR<sub>n</sub>0, CR<sub>n</sub>1) をコンペア・レジスタとして使用しているとき、ライト期間と16ビット・タイマ・レジスタ<sub>n</sub> (TM<sub>n</sub>) との一致タイミングが競合した場合は、一致判別は正常に行われません。一致タイミング付近でCR<sub>n</sub>0, CR<sub>n</sub>1レジスタのライト動作は行わないでください。

備考 n = 0, 1

**(9) タイマ動作****(a) CRn1のキャプチャ**

16ビット・タイマ・レジスタn (TMn) をリードしても、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にはキャプチャしません。

**(b) TIn0, TIn1端子の受け付け**

CPUの動作モードに関係なくタイマが停止していると、TIn0, TIn1端子への入力信号は受け付けられません。

**(c) ワンショット・パルス出力**

ワンショット・パルス出力は、フリー・ランニング・モードまたはTIn0端子の有効エッジでクリア & スタート・モードでのみ正常に動作します。TMnとCRn0の一致でクリア & スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。

**備考** n = 0, 1

**(10) キャプチャ動作****(a) カウント・クロックにTIn0の有効エッジを指定した場合**

カウント・クロックにTIn0の有効エッジを指定した場合、TIn0をトリガに指定したキャプチャ・レジスタは正常に動作しません。

**(b) TIn0の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合**

TIn0の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合、キャプチャ動作は行いません。

**(c) TIn1, TIn0からの信号を確実にキャプチャ動作する場合**

キャプチャ・トリガは、TIn1, TIn0からの信号を確実にキャプチャ動作するために、プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロックの2回分より長いパルスを必要とします。

**(d) 割り込み要求入力**

キャプチャ動作はカウント・クロックの立ち下りで行われますが、割り込み要求入力 (INTTMn0, INTTMn1) は次のカウント・クロックの立ち上がりで発生します。

**備考** n = 0, 1

**(11) コンペア動作****(a) タイマ動作中にCRn0, CRn1を書き換えたとき**

タイマ動作中に16ビット・タイマ・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1) を書き換えたとき, その値がタイマ値に近く, かつタイマ値より大きい場合, 一致割り込み要求の発生やクリア動作が正常に行われられない可能性があります。

**(b) CRn0, CRn1をコンペア・モードに設定したとき**

コンペア・モードに設定したCRn0, CRn1は, キャプチャ・トリガが入力されていてもキャプチャ動作を行いません。

備考 n = 0, 1

**(12) エッジ検出****(a) システム・リセット直後にTIn0端子またはTIn1端子がハイ・レベルの場合**

システム・リセット直後にTIn0端子またはTIn1端子がハイ・レベルの場合, TIn0端子またはTIn1端子の有効エッジを立ち上がりまたは両エッジに指定し, 16ビット・タイマ/カウンタn (TMn) の動作を許可すると, その直後に立ち上がりエッジを検出します。TIn0端子またはTIn1端子をプルアップしている場合などは注意してください。ただし, いったん動作を停止したあとの再動作許可時には, 立ち上がり/立ち下がりエッジは検出されません。

**(b) ノイズ除去のためのサンプリング・クロック**

TIn0の有効エッジをカウント・クロックで使用する場合と, キャプチャ・トリガとして使用する場合で, ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{xx}/2$ で, 後者はプリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロックでサンプリングします。有効エッジの検出は, 有効エッジをサンプリングして2回有効レベルを検出すると, はじめてキャプチャ動作するため, 短いパルス幅のノイズを除去できます。

備考 n = 0, 1

## 7.3 8ビット・タイマ (TM2-TM5)

### ★ 7.3.1 概要

8ビット・コンペア・レジスタ：4本 (CRn0)

カスケード接続により16ビット・コンペア・レジスタ (最大2本) として使用可能

コンペア一致/オーバーフロー割り込み要求信号 (INTTMn) 出力可能

イベント入力 (TIn) のカウント可能

一致検出により動作するタイマ出力：各1本 (TOn)

P26/TI2/TO2, P27/TI3/TO3, P36/TI4/TO4, P37/TI5/TO5端子をTO2-TO5端子 (タイマ出力) として使用する場合は, ポート2, 3 (P2, P3) の値を“0” (ロウ・レベル出力) に, ポート3モード・レジスタ (PM3) の値を“0” (ポート出力モード) にしてください。ポートとタイマの出力値の論理和 (OR) が出力されます。

TOn端子とTIn端子は兼用しているため, どちらか一方の機能しか使用できません。

**備考** n = 2-5

### 7.3.2 機能

8ビット・タイマnには, 次の2つのモードがあります (n = 2-5)。

- ・タイマを単体で使用するモード (単体モード)
- ・カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

**注意** カスケード接続して使用しない場合は, 次に示すレジスタにはアクセスしないでください。

- ・16ビット・カウンタ (TM23, TM45)
- ・16ビット・コンペア・レジスタ (CR23, CR45)

次に, これら2つのモードについて説明します。

#### (1) タイマを単体で使用するモード (単体モード)

8ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

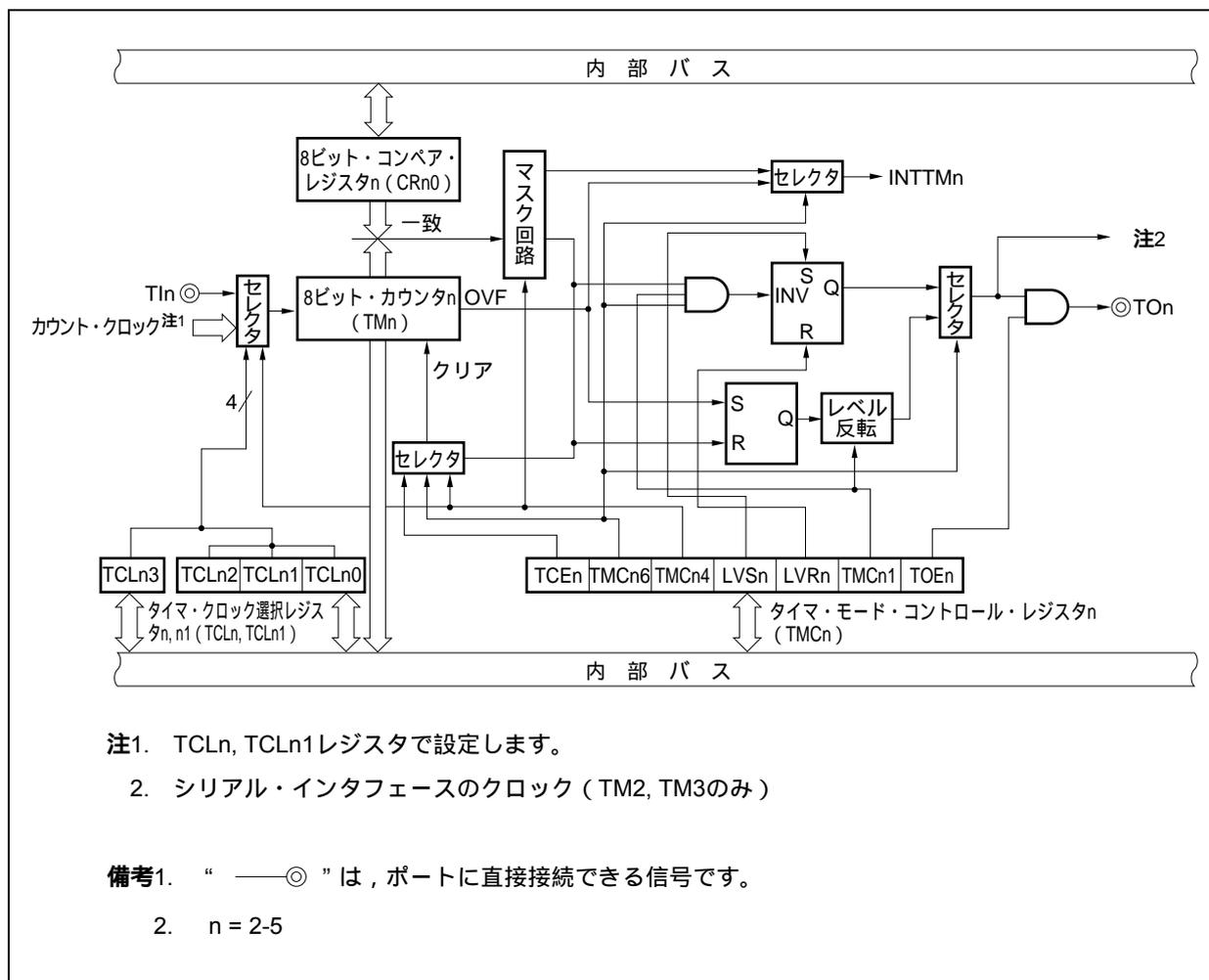
- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

#### (2) カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

TM2とTM3, TM4とTM5をカスケード接続することにより, 16ビットのタイマ/イベント・カウンタとして動作します。次のような機能として使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

図7-29 TM2-TM5のブロック図



### 7.3.3 構成

タイマ2-5は、次のハードウェアで構成されています。

表7-5 タイマ2-5の構成

項目	構成
タイマ・レジスタ	8ビット・カウンタ2-5 (TM2-TM5) 16ビット・カウンタ23, 45 (TM23, TM45) : カスケード接続時のみ
レジスタ	8ビット・コンペア・レジスタ2-5 (CR20-CR50) 16ビット・コンペア・レジスタ23, 45 (CR23, CR45) : カスケード接続時のみ
タイマ出力	TO2-TO5
制御レジスタ	タイマ・クロック選択レジスタ2-5, 21-51 (TCL2-TCL5, TCL21-TCL51) 8ビット・タイマ・モード・コントロール・レジスタ2-5 (TMC2-TMC5)

## (1) 8ビット・カウンタ2-5 (TM2-TM5)

TMnは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

TM2とTM3, TM4とTM5はそれぞれカスケード接続し、16ビット・タイマとして使用できます。

TMmとTMm+1をカスケード接続し、16ビット・タイマとして使用した場合、16ビット・メモリ操作命令により読み出せます。しかし、内部8ビット・バスで接続されていますので、TMmとTMm+1を2回に分けて読み出します。したがって、カウント変化中の読み出しを考慮し、2回読み出して比較してください。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

RESET入力

TCEnをクリア

TMnとCRn0の一致でクリア & スタート・モード時のTMnとCRn0の一致

**注意** カスケード接続時は、最下位タイマ (TM2, TM4) のTCEnをクリアしても00Hとなります。

**備考** n = 2-5

m = 2, 4

## (2) 8ビット・コンペア・レジスタ2-5 (CR20-CR50)

CRn0レジスタは、8ビット・メモリ操作命令で設定します。

CRn0に設定した値と、8ビット・カウンタn (TMn) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTMn) が発生します (PWMモード以外)。

CRn0の値は00H-FFHの範囲で設定でき、カウント動作中に書き換えができます。

TMmとTMm+1をカスケード接続し、16ビット・タイマとして使用した場合、CRm0とCR(m+1)0は、16ビット・コンペア・レジスタとして動作し、16ビット・メモリ操作命令で設定します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTMm) を発生します。そのとき、INTTMm+1割り込み要求も発生しますので、TMmとTMm+1をカスケード接続して使用する場合は、INTTMm+1割り込み要求をマスクしてください。

CRn0レジスタは、RESET入力により00Hになります。

**注意** カスケード接続時にデータを設定するときは、必ず両方のタイマの動作を停止させてから行ってください。

**備考** n = 2-5

m = 2, 4

#### 7.3.4 タイマ $n$ 制御レジスタ

タイマ $n$ を制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ $n$ ,  $n1$  (TCL $n$ , TCL $n1$ )
- ・8ビット・タイマ・モード・コントロール・レジスタ $n$  (TMC $n$ )

(1) タイマ・クロック選択レジスタ2-5,21-51 (TCL2-TCL5, TCL21-TCL51)

タイマnのカウンタ・クロックを設定するレジスタです。

TCLn, TCLn1は, 8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

備考 n = 2-5

( 1/2 )

リセット時 : 00H R/W アドレス : FFFFF244H, FFFFF254H

	7	6	5	4	3	2	1	0
TCLn	0	0	0	0	0	TCLn2	TCLn1	TCLn0

( n = 2, 3 )

リセット時 : 00H R/W アドレス : FFFFF24EH, FFFFF25EH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

( n = 2, 3 )

TCLn3	TCLn2	TCLn1	TCLn0	カウンタ・クロックの選択				
				クロック	f <sub>xx</sub>			
					20 MHz	17 MHz	10 MHz	2 MHz
0	0	0	0	TInの立ち下がりエッジ	-	-	-	-
0	0	0	1	TInの立ち上がりエッジ	-	-	-	-
0	0	1	0	f <sub>xx</sub> /4	200 ns	235 ns	400 ns	2 μs
0	0	1	1	f <sub>xx</sub> /8	400 ns	471 ns	800 ns	4 μs
0	1	0	0	f <sub>xx</sub> /16	800 ns	941 ns	1.6 μs	8 μs
0	1	0	1	f <sub>xx</sub> /32	1.6 μs	1.9 μs	3.2 μs	16 μs
0	1	1	0	f <sub>xx</sub> /128	6.4 μs	7.5 μs	12.8 μs	64 μs
0	1	1	1	f <sub>xx</sub> /512	25.6 μs	30.1 μs	51.2 μs	256 μs
1	0	0	0	設定禁止	-	-	-	-
1	0	0	1	設定禁止	-	-	-	-
1	0	1	0	f <sub>xx</sub> /64	3.2 μs	3.8 μs	6.4 μs	32 μs
1	0	1	1	f <sub>xx</sub> /256	12.8 μs	15.1 μs	25.6 μs	128 μs
1	1	0	0	設定禁止	-	-	-	-
1	1	0	1	設定禁止	-	-	-	-
1	1	1	0	設定禁止	-	-	-	-
1	1	1	1	設定禁止	-	-	-	-

注意1. TCLn, TCLn1を同一データ以外に書き換える場合は, いったんタイマ動作を停止させてから行ってください。

2. TCLnのビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時, TM3のTCL33-TCL30の設定は無効になります。

リセット時：00H R/W アドレス：FFFFFF264H, FFFFFFF274H

	7	6	5	4	3	2	1	0
TCLn	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 4, 5)

リセット時：00H R/W アドレス：FFFFFF26EH, FFFFFFF27EH

	7	6	5	4	3	2	1	0
TCLn	0	0	0	0	0	0	0	TCLn3

(n = 4, 5)

TCLn3	TCLn2	TCLn1	TCLn0	カウント・クロックの選択				
				クロック	f <sub>xx</sub>			
					20 MHz	17 MHz	10 MHz	2 MHz
0	0	0	0	TInの立ち下がりエッジ	-	-	-	-
0	0	0	1	TInの立ち上がりエッジ	-	-	-	-
0	0	1	0	f <sub>xx</sub> /4	200 ns	235 ns	400 ns	2 μs
0	0	1	1	f <sub>xx</sub> /8	400 ns	471 ns	800 ns	4 μs
0	1	0	0	f <sub>xx</sub> /16	800 ns	941 ns	1.6 μs	8 μs
0	1	0	1	f <sub>xx</sub> /32	1.6 μs	1.9 μs	3.2 μs	16 μs
0	1	1	0	f <sub>xx</sub> /128	6.4 μs	7.5 μs	12.8 μs	64 μs
0	1	1	1	f <sub>xT</sub> (サブクロック)	30.5 μs	30.5 μs	30.5 μs	30.5 μs
1	0	0	0	設定禁止	-	-	-	-
1	0	0	1	設定禁止	-	-	-	-
1	0	1	0	f <sub>xx</sub> /64	3.2 μs	3.8 μs	6.4 μs	32 μs
1	0	1	1	f <sub>xx</sub> /256	12.8 μs	15.1 μs	25.6 μs	128 μs
1	1	0	0	設定禁止	-	-	-	-
1	1	0	1	設定禁止	-	-	-	-
1	1	1	0	設定禁止	-	-	-	-
1	1	1	1	設定禁止	-	-	-	-

注意1. TCLn, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2. TCLnのビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時, TM5のTCL53-TCL50の設定は無効になります。

(2) 8ビット・タイマ・モード・コントロール・レジスタ2-5 (TMC2-TMC5)

TMCnは、次の6種類の設定を行うレジスタです。

- 8ビット・カウンタn (TMn) のカウント動作制御
- 8ビット・カウンタn (TMn) の動作モードの選択
- 単体モード/カスケード接続モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMCnは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により04Hになります (ハードウェアの状態は04Hに初期化されますが、リードすると00Hが読み出されます)。

リセット時 : 04H R/W アドレス : TMC2 FFFFF246H TMC4 FFFFF266H  
TMC3 FFFFF256H TMC5 FFFFF276H

	⑦	6	5	4	③	②	1	①
TMCn (n = 2-5)	TCEn	TMCn6	0	TMCn4	LVSn	LVRn	TMCn1	TOEn
	TCEn	TMnのカウンタ動作制御						
	0	カウンタを0にクリア後、カウンタ動作禁止(プリスケアラ禁止)						
	1	カウンタ動作開始						
	TMCn6	TMnの動作モード選択						
	0	TMnとCRn0の一致でクリア&スタート・モード						
	1	PWM(フリー・ランニング)モード						
	TMCn4	単体モード/カスケード接続モードの選択						
	0	単体モード (n = 2,4 時は0固定)						
	1	カスケード接続モード(下位タイマと接続)						
	LVSn	LVRn	タイマ出力F/Fの状態設定					
	0	0	変化しない					
	0	1	タイマ出力F/Fをリセット(0)					
	1	0	タイマ出力F/Fをセット(1)					
	1	1	設定禁止					
	TMCn1	PWM(フリー・ランニング)モード以外(TMCn6 = 0)			PWM(フリー・ランニング)モード(TMCn6 = 1)			
		タイマF/Fの制御			アクティブ・レベルの選択			
	0	反転動作禁止			ハイ・アクティブ			
	1	反転動作許可			ロウ・アクティブ			
	TOEn	タイマ出力の制御						
	0	出力禁止(ポート・モード)						
	1	出力許可						

★

**注意** TMCn4, TMCn6ビットを書き換える場合は、いったんタイマ動作を停止させてから行ってください。

- 備考1.** PWMモード時は、TCEn = 0により、PWM出力はインアクティブ・レベルになります。
- 2.** データ設定後にLVSn, LVRnビットを読み出すと、0が読み出せます。

## 7.4 8ビット・タイマの動作

### 7.4.1 インターバル・タイマ（8ビット）としての動作

8ビット・コンペア・レジスタ $n$  (CRn0) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・カウンタ $n$  (TMn) のカウント値がCRn0に設定した値と一致したとき、TMnの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTMn) が発生します。

タイマ・クロック選択レジスタ $n$  (TCLn) のビット0-2 (TCLn0-TCLn2) とタイマ・クロック選択レジスタ $n1$  (TCLn1) のビット0 (TCLn3) でTMnのカウント・クロックを選択できます ( $n = 2-5$ )。

#### 設定方法

各レジスタの設定を行います。

- ・ TCLn, TCLn1 : カウント・クロックの選択
- ・ CRn0 : コンペア値
- ・ TMCn : TMnとCRn0の一致でクリア&スタート・モードを選択  
( TMCn = 0000xxx0B x = don't care )

TCEn = 1を設定すると、カウント動作を開始します。

TMnとCRn0の値が一致すると、INTTMnが発生します (TMnは00Hにクリアされます)。

以後、同一間隔でINTTMnが繰り返し発生します。カウント動作を停止するときは、TCEn = 0にしてください。

図7-30 インターバル・タイマ動作のタイミング (1/3)

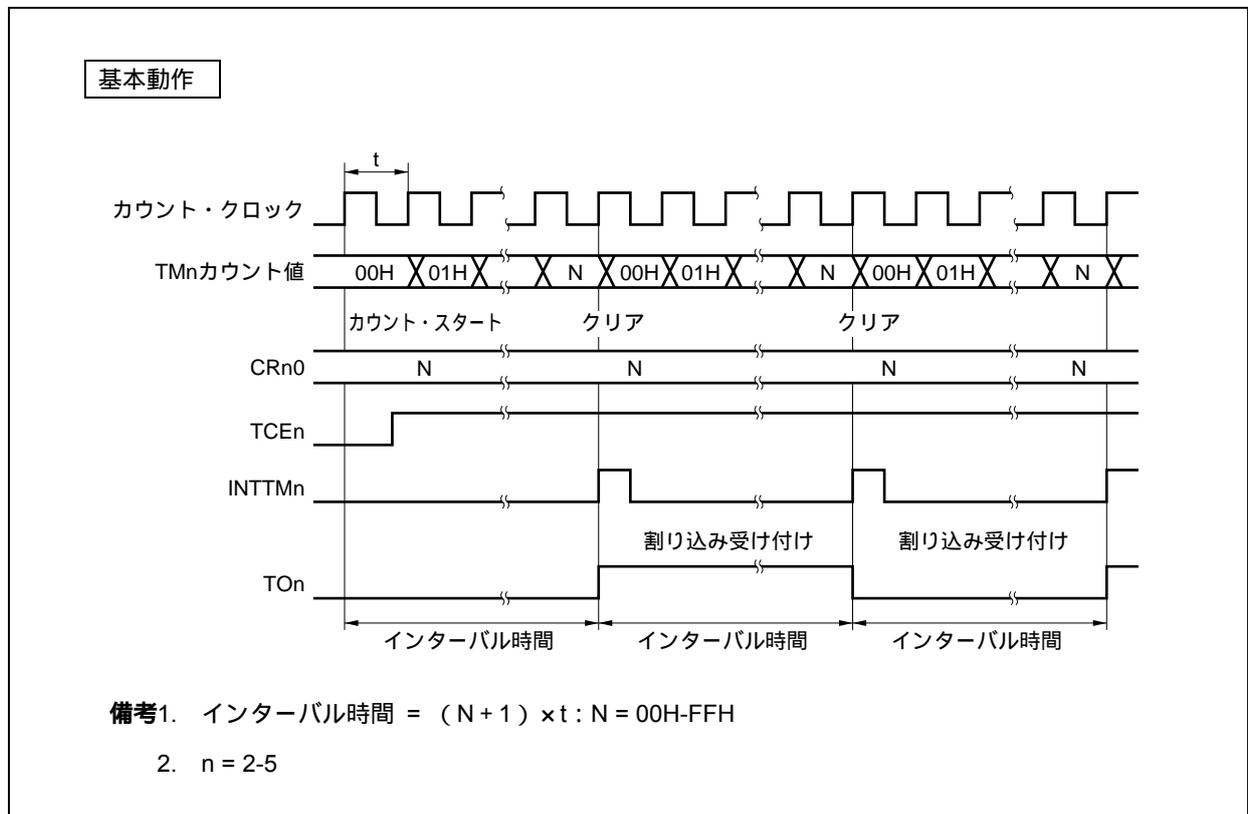


図7-30 インターバル・タイマ動作のタイミング (2/3)

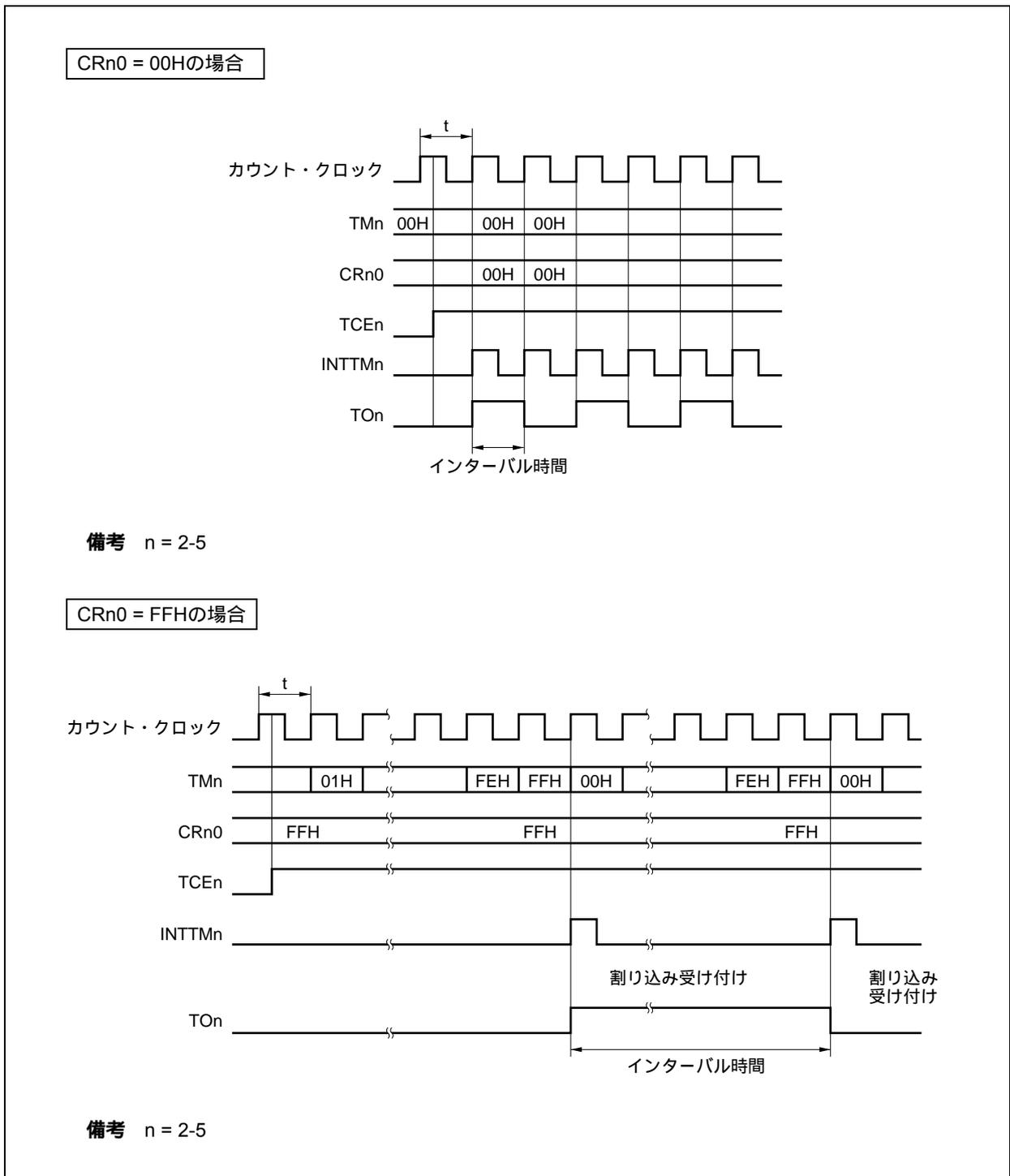
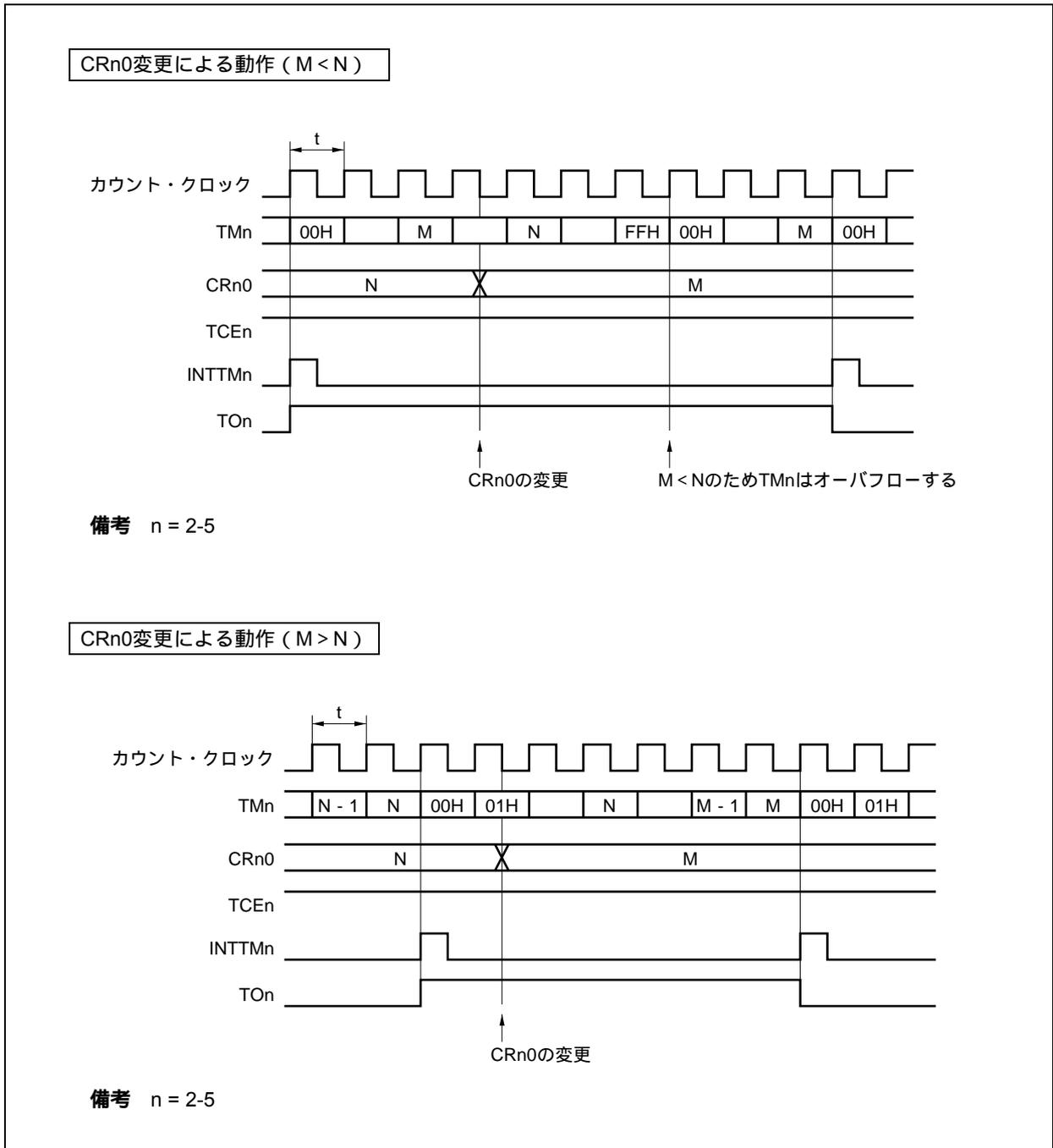


図7 - 30 インターバル・タイマ動作のタイミング (3/3)



### 7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TInに入力される外部からのクロック・パルス数をカウントするものです。

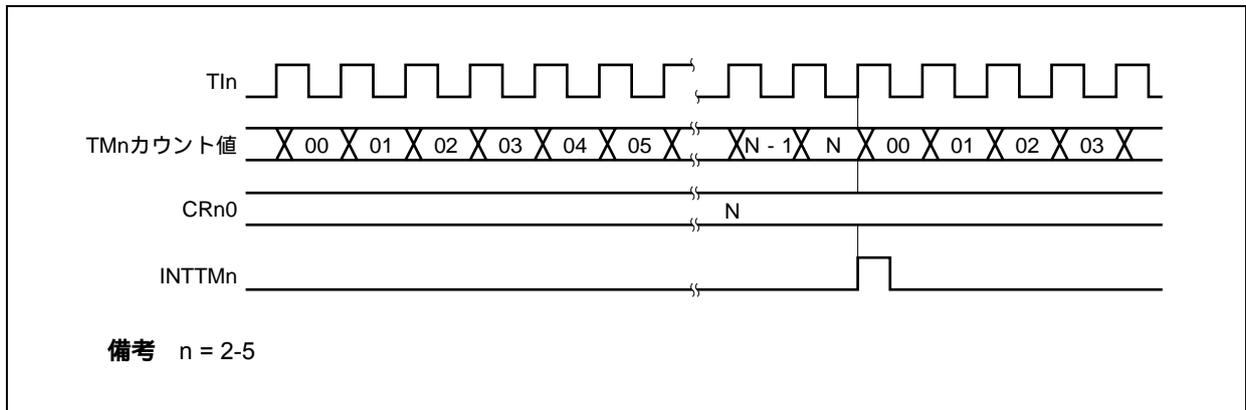
タイマ・クロック選択レジスタn, n1 (TCLn, TCLn1) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TMnの計数値が8ビット・コンペア・レジスタn (CRn0) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTMn) が発生します。

以後、TMnの値とCRn0の値が一致するたびに、INTTMnが発生します。

備考 n = 2-5

図7 - 31 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



### 7.4.3 方形波出力（8ビット分解能）としての動作

8ビット・コンペア・レジスタn (CRn0) にあらかじめ設定した値をインターバルとする，任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタn (TMCn) のビット0 (TOEn) に1を設定することにより，CRn0にあらかじめ設定したカウント値をインターバルとしてTOnの出力状態が反転します。これにより，任意の周波数の方形波出力（デューティ比 = 50 %）が可能です。

#### 設定方法

各レジスタの設定を行います。

- ・ポート・ラッチ，ポート・モード・レジスタに“0”を設定
- ・TCLn, TCLn1：カウント・クロックの選択
- ・CRn0：コンペア値
- ・TMCn：TMnとCRn0の一致でクリア&スタート・モード

LVS <sub>n</sub>	LVR <sub>n</sub>	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOEn = 1

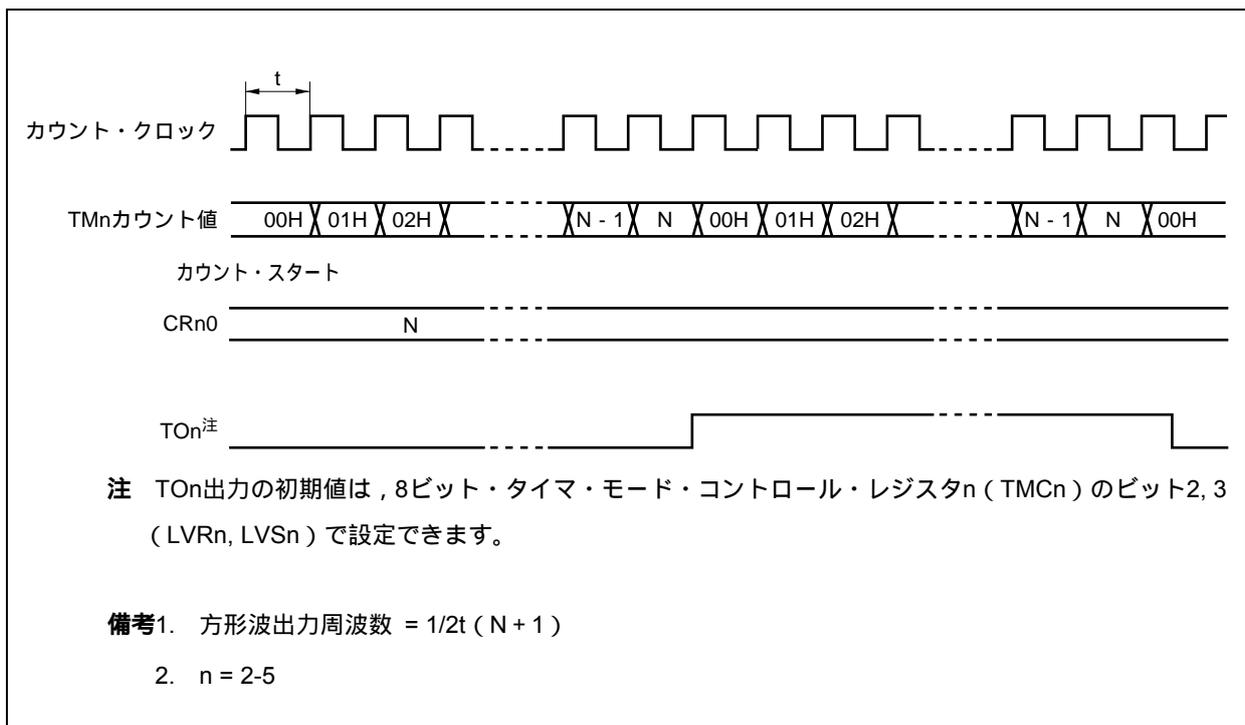
TCEn = 1を設定すると，カウント動作を開始します。

TMnとCRn0の値が一致すると，タイマ出力F/Fが反転します。

また，INTTMnが発生し，TMnは00Hにクリアされます。

以後，同一間隔でタイマ出力F/Fが反転し，TOnから方形波が出力されます。

図7 - 32 方形波出力動作のタイミング



#### 7.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ $n$  (TMCn) のビット6 (TMCn6) を“1” に設定することにより、PWM出力として動作します。

8ビット・コンペア・レジスタ $n$  (CRn0) に設定した値で決まるデューティ比のパルスを、TONから出力します。

PWMパルスのアクティブ・レベルの幅は、CRn0に設定してください。また、アクティブ・レベルは、TMCnのビット1 (TMCn1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ $n$  (TCLn) のビット0-2 (TCLn0-TCLn2) とタイマ・クロック選択レジスタ $n1$  (TCLn1) のビット0 (TCLn3) で選択できます。

TMCnのビット0 (TOEn) により、PWM出力の許可/禁止が選択できます。

**注意** PWMモード時のCRn0の書き換えは、1周期に1回のみ可能です。

**備考**  $n = 2-5$

##### (1) PWM出力の基本動作

###### 設定方法

ポート・ラッチ、ポート・モード・レジスタ $n$ に“0”を設定します。

8ビット・コンペア・レジスタ (CRn0) でアクティブ・レベル幅を設定します。

タイマ・クロック選択レジスタ $n, n1$  (TCLn, TCLn1) で、カウント・クロックを選択します。

TMCnのビット1 (TMCn1) で、アクティブ・レベルを設定します。

TMCnのビット7 (TCEn) に“1”を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCEnに“0”を設定してください。

###### PWM出力の動作

カウント動作を開始すると、PWM出力 (TONからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CRn0と8ビット・カウンタ $n$  (TMn) のカウント値が一致するまで出力されます。

CRn0とカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

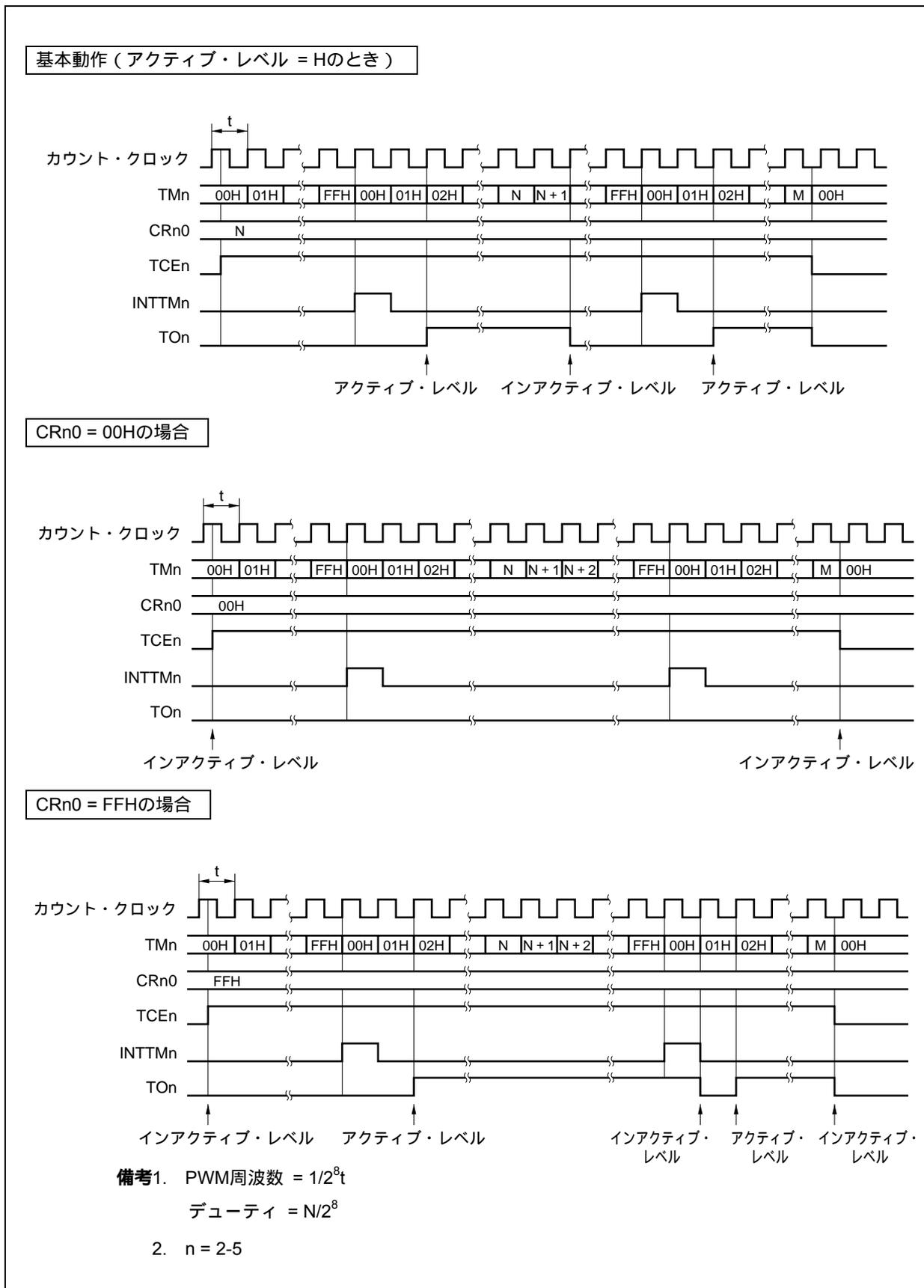
以後、カウント動作が停止されるまで、を繰り返します。

TCEn = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

**備考**  $n = 2-5$

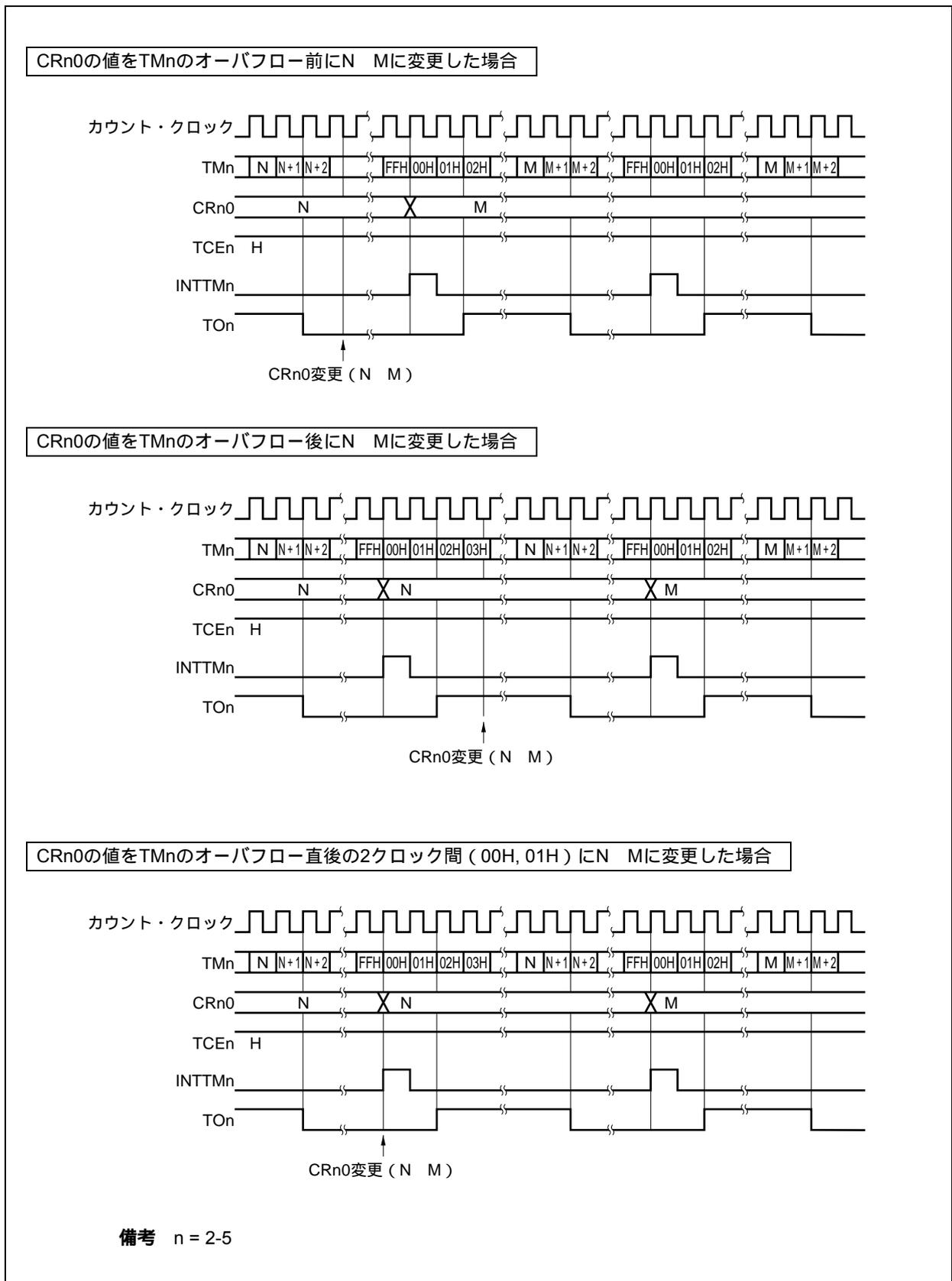
(a) PWM出力の基本動作

図7 - 33 PWM出力動作のタイミング



(b) CRn0変更による動作について

図7-34 CRn0変更による動作のタイミング



## 7.4.5 インターバル・タイマ (16ビット) としての動作

### (1) カスケード接続 (16ビット・タイマ) モード

V850/SA1では、カスケード接続時だけ使用できる16ビット・レジスタを用意しています。使用できるレジスタは、次のとおりです。

TM2, TM3をカスケード接続時 : 16ビット・カウンタ TM23 (アドレス : FFFFF24AH)  
 16ビット・コンペア・レジスタ CR23 (アドレス : FFFFF24CH)  
 TM4, TM5をカスケード接続時 : 16ビット・カウンタ TM45 (アドレス : FFFFF26AH)  
 16ビット・コンペア・レジスタ CR45 (アドレス : FFFFF26CH)

8ビット・タイマ・モード・コントロール・レジスタm (TMCm) のビット4 (TMCm4) に“1”を設定することにより、16ビット分解能のタイマ/カウンタ・モードになります (m = 3, 5)。

8ビット・コンペア・レジスタn (CRn0) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します (n = 2-5)。

以降の説明では、TM2とTM3での方法を示しています。TM4とTM5で使用する際は、それぞれを置き換えてください。

#### 設定方法例 (TM2とTM3をカスケード接続した場合)

各レジスタの設定を行います。

- ・TCL20, TCL21 : TM2はカウント・クロック選択 (カスケード接続するTM3は設定不要)
- ・CR20, CR30 : コンペア値 (各コンペア値とも00H-FFHの設定が可能)
- ・TMC2 : TM2とCR20の一致でクリア&スタート・モードを選択 (x : don't care)

TM2	TMC2 = 0000xxx0B
TM3	TMC3 = 0001xxx0B

先にTMC3のTCE3ビット = 1に設定し、そのあとTMC2のTCE2ビット = 1に設定することにより、カウント動作を開始します。

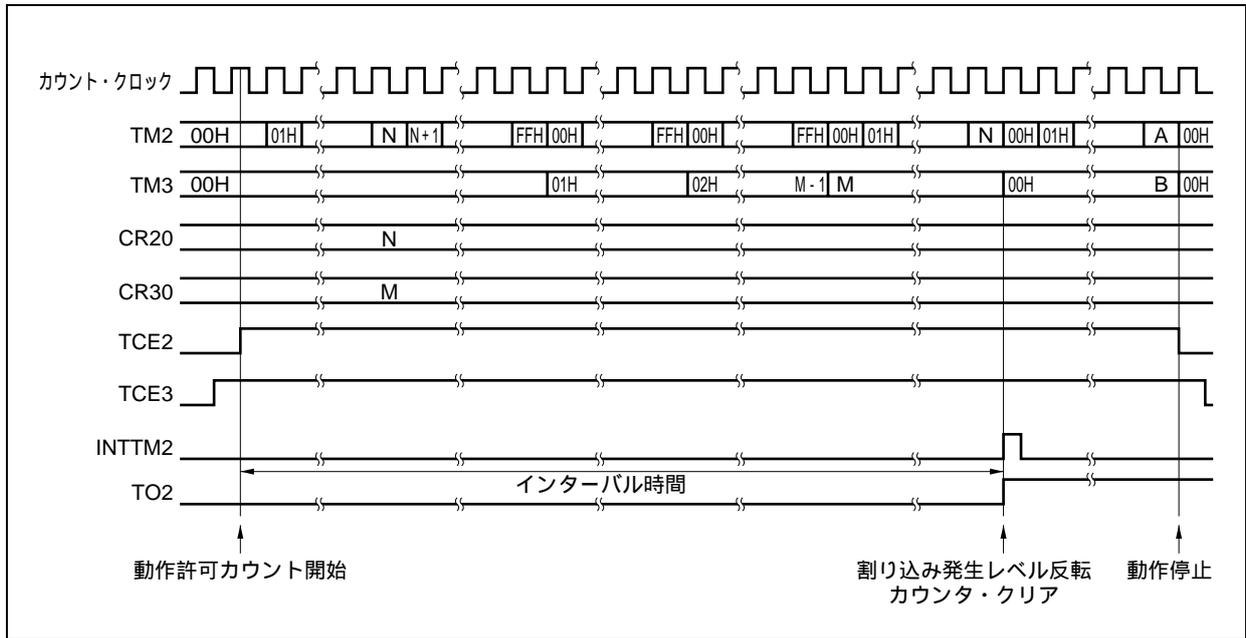
カスケード接続されたタイマのTM2とCR20の値が一致すると、TM2のINTTM2が発生します (TM2, TM3は00Hにクリアされます)。

以後、同一間隔でIMTTM2が繰り返し発生します。

- 注意1.** 8ビット・タイマ (TM2, TM3) をカスケード接続し16ビット・タイマ (TM23) として使用中に、コンペア・レジスタ (CR23) の設定値を変える場合、カスケード接続したそれぞれの8ビット・タイマのカウント動作を停止させてからCR23の値を変更してください。タイマを停止させないでCR23の値を変更した場合、上位8ビット (TM3) の値が不定となります。
2. カスケード接続で使用している場合でも、上位タイマ (TM3) のカウント値がCR30と一致すると、上位タイマ (TM3) の割り込み要求 (INTTM3) が発生してしまいます。TM3は、割り込み禁止のため必ずマスクしてください。
  3. 先にTMC3のTCE3ビットを設定し、そのあとTMC2のTCE2ビットを設定してください。
  4. カウントの再スタート/ストップは、TMC2のTCE2ビットのみ1/0に設定することにより、動作/停止させることができます。

16ビット分解能カスケード接続モードのタイミング例を次に示します。

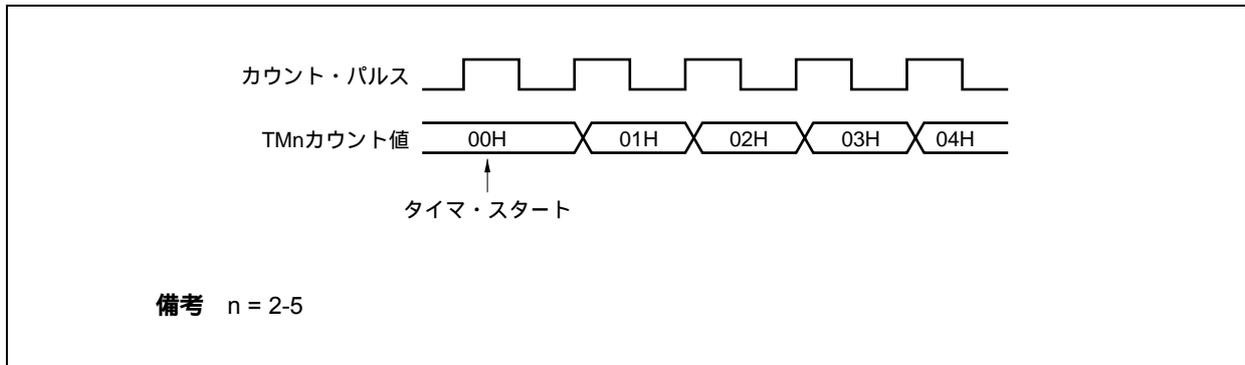
図7 - 35 16ビット分解能カスケード接続モード



## 7.4.6 注意事項

## (1) タイマ・スタート時の誤差

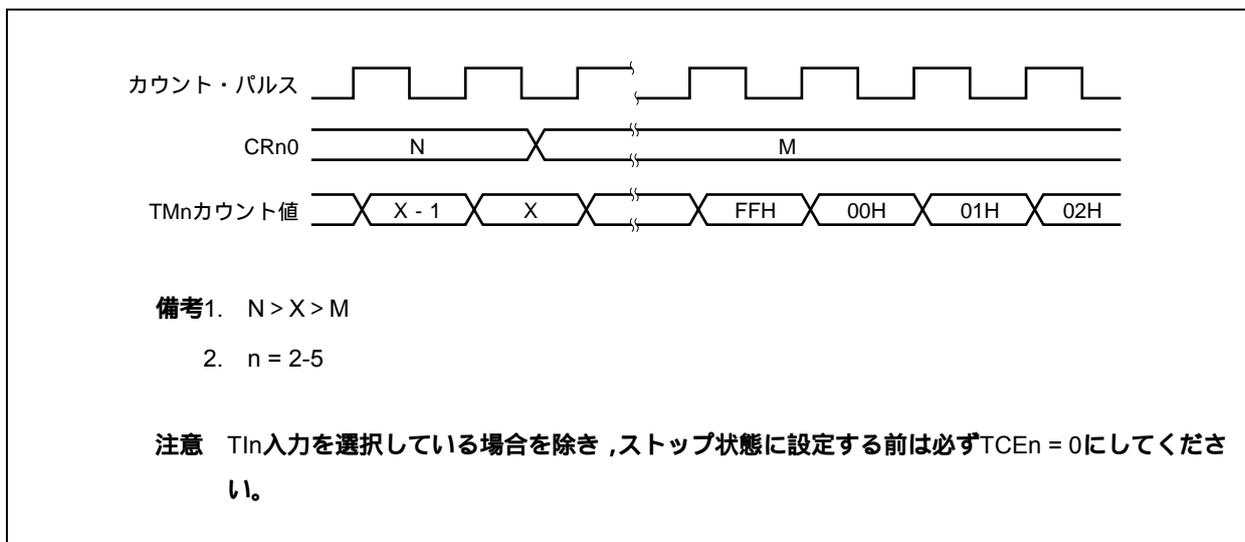
タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・カウンタ $n$  (TM $n$ )のスタートが非同期で行われるためです。

図7-36 タイマ $n$ のスタート・タイミング

## (2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ $n$  (CR $n$ 0)の変更後の値が、8ビット・タイマ・レジスタ (TM $n$ )の値よりも小さいときはカウントを継続し、オーバーフローして0から再カウントします。したがって、CR $n$ 0の変更後の値 ( $M$ )が、変更前の値 ( $N$ )より小さく、かつTM $n$ レジスタのカウント値より小さいときは、CR $n$ 0を変更したあと、タイマを再スタートさせる必要があります ( $n = 2-5$ )。

図7-37 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



## (3) タイマ動作中のTMn読み出しについて

動作中のTM $n$ の読み出しは、選択クロックを一時停止して読み出すため、選択クロックはより長いハイ/ロウ・レベルのある波形を選択してください ( $n = 2-5$ )。

# 第8章 時計用タイマ機能

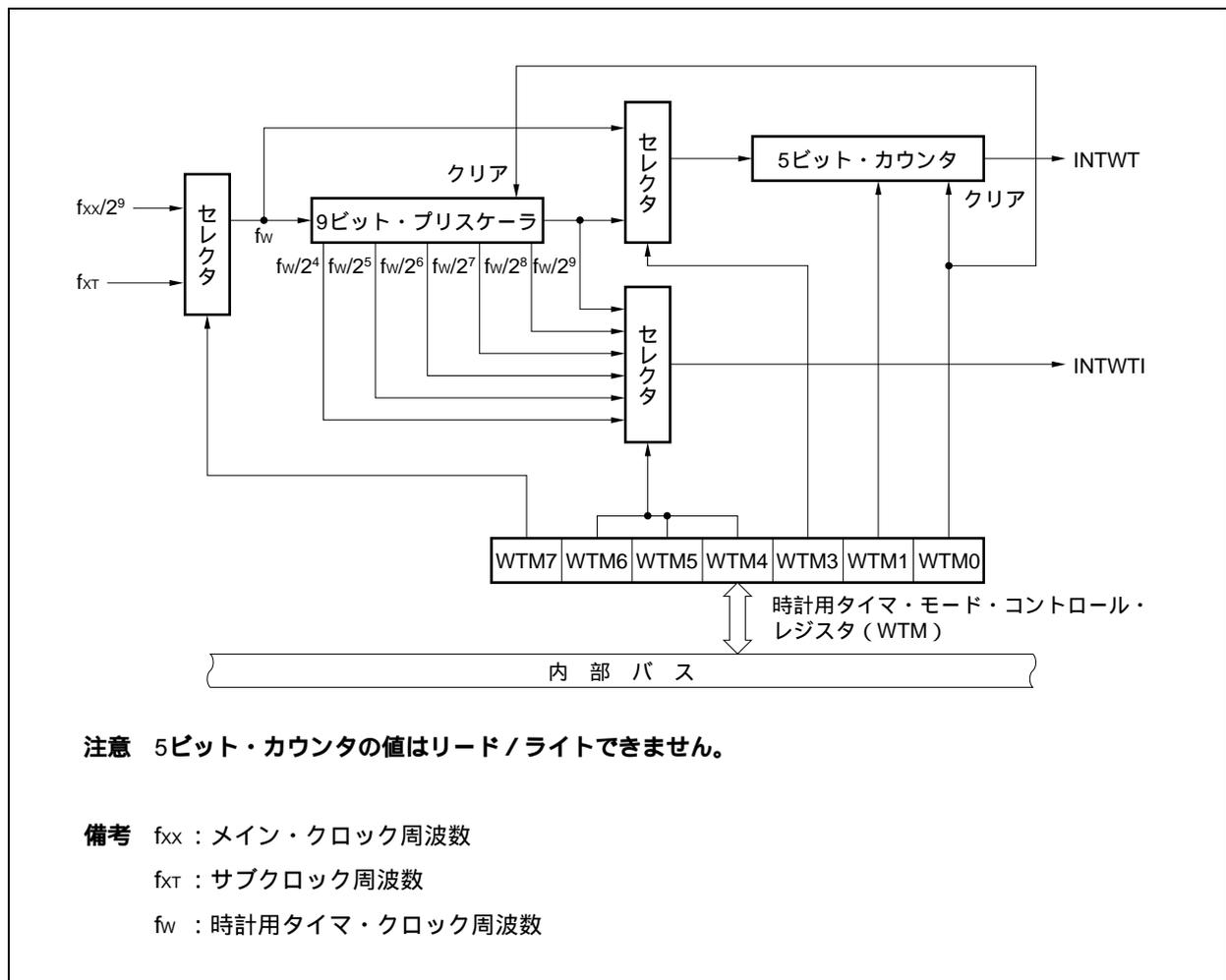
## 8.1 機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。次にブロック図を示します。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

メイン・クロックまたはサブクロックを使用すると、0.5秒の時間間隔で割り込み要求信号 (INTWT) を発生します。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	488 $\mu\text{s}$
$2^5 \times 1/f_w$	977 $\mu\text{s}$
$2^6 \times 1/f_w$	1.95 ms
$2^7 \times 1/f_w$	3.91 ms
$2^8 \times 1/f_w$	7.81 ms
$2^9 \times 1/f_w$	15.6 ms

備考  $f_w$  : 時計用タイマ・クロック周波数

## 8.2 構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

### 8.3 時計用タイマ制御レジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTM) があります。

#### (1) 時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御および時計用タイマの割り込み時間を設定するレジスタです。

WTMは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF360H

	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	0	WTM1	WTM0

WTM7	時計用タイマのカウンタ・クロック選択
0	$f_{xx}/2^9$ (メイン・クロック)
1	$f_{xt}$ (サブクロック)

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$ (488 $\mu$ s)
0	0	1	$2^5/f_w$ (977 $\mu$ s)
0	1	0	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止

WTM3	時計用タイマの割り込み時間の選択
0	$2^{14}/f_w$ (0.5s)
1	$2^5/f_w$ (977 $\mu$ s)

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, タイマともにクリア)
1	動作許可

備考1.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_{xx}/2^9$ または $f_{xt}$ )

2. ( ) 内は,  $f_w = 32.768$  kHz動作時

## 8.4 動作

### 8.4.1 時計用タイマとしての動作

サブクロック (32.768 kHz) またはメイン・クロック (16.777 MHz) を使用すると、0.5秒の時間間隔の時計用タイマとして動作します。時計用タイマは、一定の時間間隔ごとに割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートします。0を設定すると9ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計用タイマは、WTM1ビットを0にすることにより5ビット・カウンタをクリアできます。このとき最大で15.6 msの誤差が発生することがあります。

また、インターバル・タイマは、WTM0ビットを0にすることによりクリアできます。ただし、5ビット・カウンタも同時にクリアされるため、時計用タイマのオーバフロー (INTWT) には、最大で0.5秒の誤差が発生することがあります。

### 8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

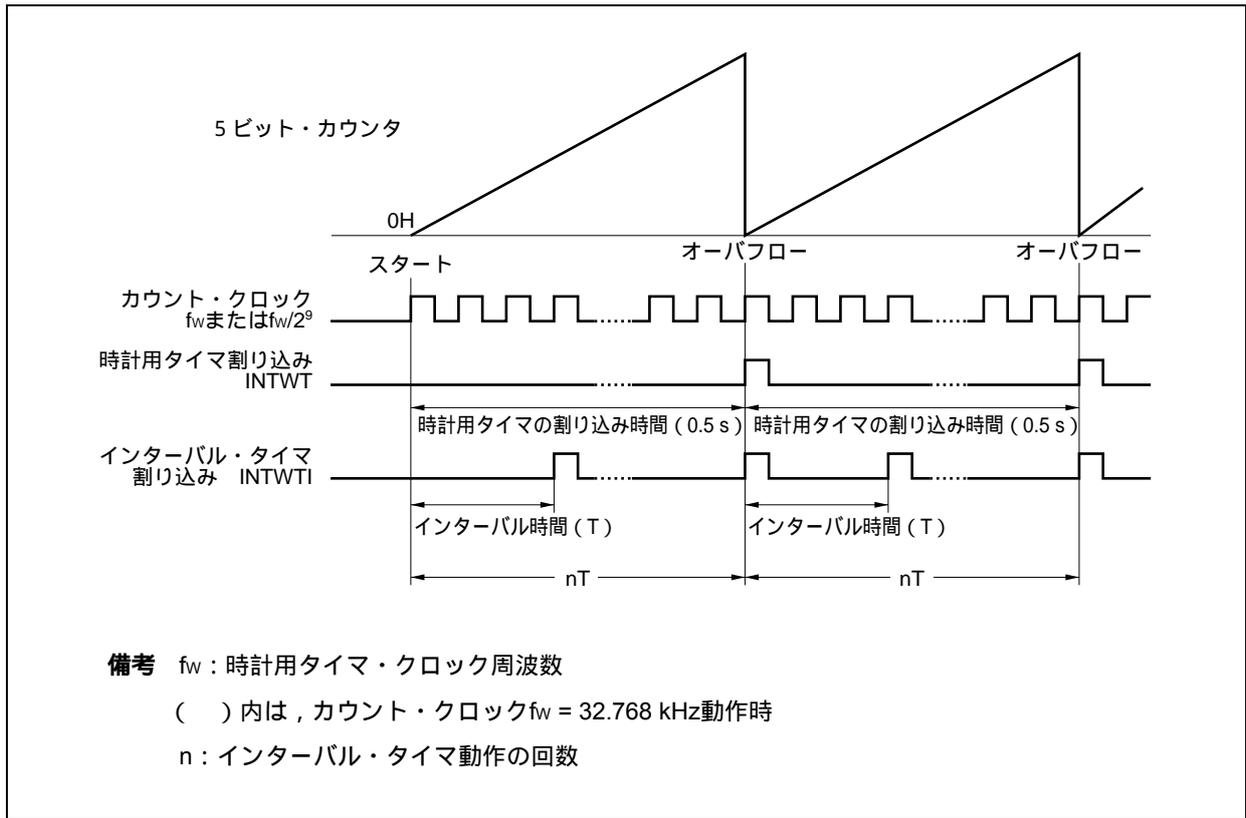
時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

WTM6	WTM5	WTM4	インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	488 $\mu$ s
0	0	1	$2^5 \times 1/f_w$	977 $\mu$ s
0	1	0	$2^6 \times 1/f_w$	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.91 ms
1	0	0	$2^8 \times 1/f_w$	7.81 ms
1	0	1	$2^9 \times 1/f_w$	15.6 ms
上記以外			設定禁止	

備考  $f_w$  : 時計用タイマ・クロック周波数

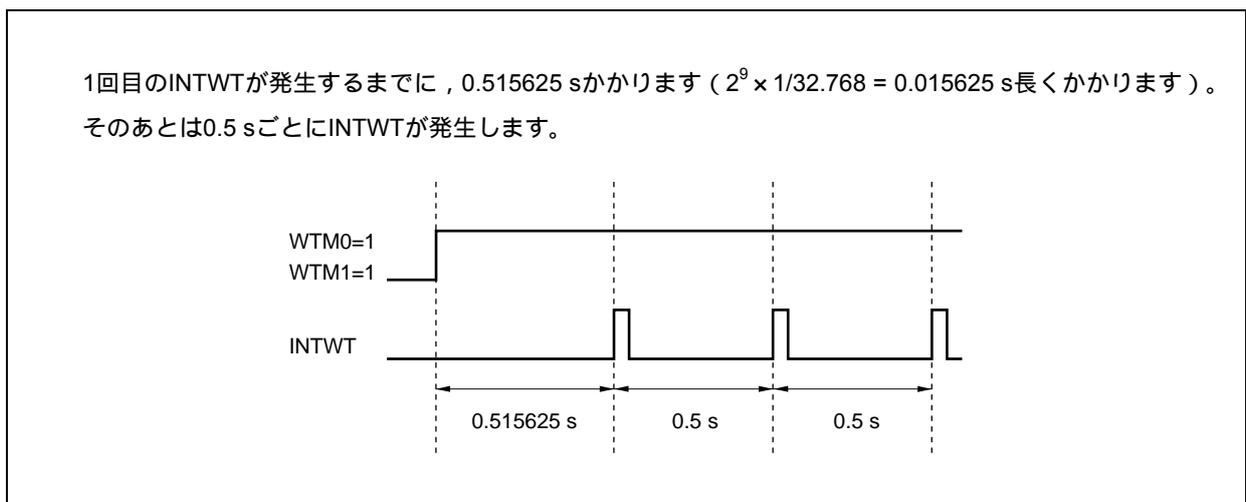
図8 - 2 時計用タイマ/インターバル・タイマの動作タイミング



### 8.4.3 注意事項

動作許可 (時計用タイマ・モード・コントロール・レジスタ (WTM) のWTM1ビット = 1, WTM0ビット = 1) してから, 最初の1回目の時計用タイマ割り込み要求 (INTWT) が発生するまで多少時間がかかります。

図8 - 3 時計用タイマ割り込み要求 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



# 第9章 ウォッチドッグ・タイマ機能

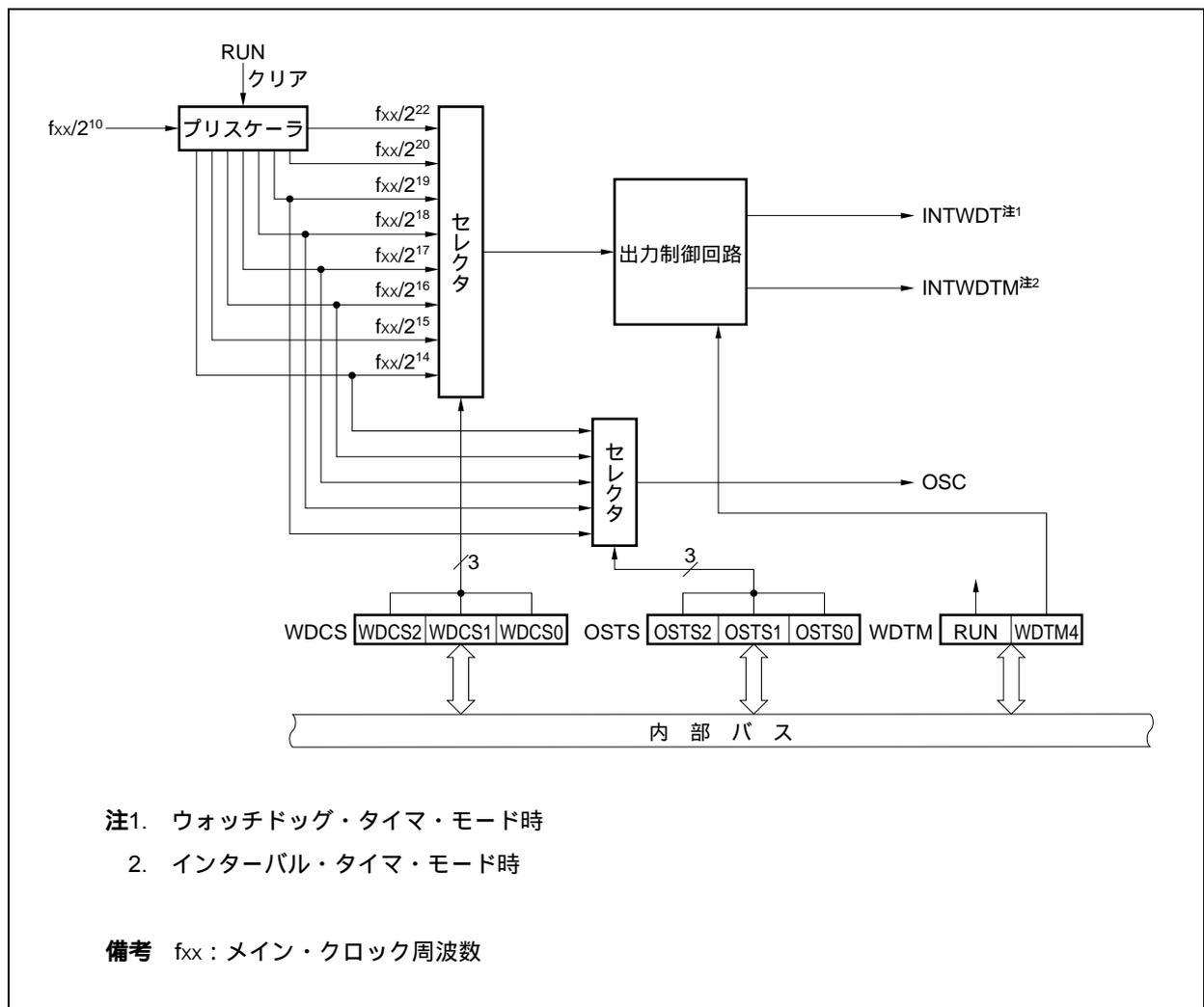
## 9.1 機能

ウォッチドッグ・タイマには、次のような機能があります。図9-1にブロック図を示します。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

**注意** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

図9-1 ウォッチドッグ・タイマのブロック図



(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込みを発生できます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間			
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 17 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 2 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 $\mu\text{s}$	964 $\mu\text{s}$	1.6 ms	8.2 ms
$2^{15}/f_{xx}$	1.6 ms	1.928 ms	3.2 ms	16.4 ms
$2^{16}/f_{xx}$	3.3 ms	3.855 ms	6.6 ms	32.8 ms
$2^{17}/f_{xx}$	6.6 ms	7.710 ms	13.1 ms	65.5 ms
$2^{18}/f_{xx}$	13.1 ms	15.42 ms	26.2 ms	131.1 ms
$2^{19}/f_{xx}$	26.2 ms	30.84 ms	52.4 ms	262.1 ms
$2^{20}/f_{xx}$	52.4 ms	61.68 ms	104.9 ms	524.3 ms
$2^{22}/f_{xx}$	209.7 ms	246.7 ms	419.4 ms	2.1 s

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

表9 - 2 インターバル・タイマのインターバル時間

クロック	インターバル時間			
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 17 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 2 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 $\mu\text{s}$	964 $\mu\text{s}$	1.6 ms	8.2 ms
$2^{15}/f_{xx}$	1.6 ms	1.928 ms	3.2 ms	16.4 ms
$2^{16}/f_{xx}$	3.3 ms	3.855 ms	6.6 ms	32.8 ms
$2^{17}/f_{xx}$	6.6 ms	7.710 ms	13.1 ms	65.5 ms
$2^{18}/f_{xx}$	13.1 ms	15.42 ms	26.2 ms	131.1 ms
$2^{19}/f_{xx}$	26.2 ms	30.84 ms	52.4 ms	262.1 ms
$2^{20}/f_{xx}$	52.4 ms	61.68 ms	104.9 ms	524.3 ms
$2^{22}/f_{xx}$	209.7 ms	246.7 ms	419.4 ms	2.1 s

## 9.2 構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	発振安定時間選択レジスタ (OSTS) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

## 9.3 ウォッチドッグ・タイマ制御レジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・発振安定時間選択レジスタ (OSTS)
- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

### (1) 発振安定時間選択レジスタ (OSTS)

リセット時またはソフトウェアSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

RESET入力により04Hになります。

リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択				
			クロック	f <sub>xx</sub>			
				20 MHz	17 MHz	10 MHz	2 MHz
0	0	0	2 <sup>14</sup> /f <sub>xx</sub>	819 μs	964 μs	1.6 ms	8.2 ms
0	0	1	2 <sup>16</sup> /f <sub>xx</sub>	3.3 ms	3.855 ms	6.6 ms	32.8 ms
0	1	0	2 <sup>17</sup> /f <sub>xx</sub>	6.6 ms	7.710 ms	13.1 ms	65.5 ms
0	1	1	2 <sup>18</sup> /f <sub>xx</sub>	13.1 ms	15.42 ms	26.2 ms	131.1 ms
1	0	0	2 <sup>19</sup> /f <sub>xx</sub>	26.2 ms	30.84 ms	52.4 ms	262.1 ms
上記以外			(リセット時)				
			設定禁止				

(2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF382H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間				
			クロック	f <sub>xx</sub>			
				20 MHz	17 MHz	10 MHz	2 MHz
0	0	0	2 <sup>14</sup> /f <sub>xx</sub>	819.2 μs	964 μs	1.6 ms	8.2 ms
0	0	1	2 <sup>15</sup> /f <sub>xx</sub>	1.6 ms	1.928 ms	3.2 ms	16.4 ms
0	1	0	2 <sup>16</sup> /f <sub>xx</sub>	3.3 ms	3.855 ms	6.6 ms	32.8 ms
0	1	1	2 <sup>17</sup> /f <sub>xx</sub>	6.6 ms	7.710 ms	13.1 ms	65.5 ms
1	0	0	2 <sup>18</sup> /f <sub>xx</sub>	13.1 ms	15.42 ms	26.2 ms	131.1 ms
1	0	1	2 <sup>19</sup> /f <sub>xx</sub>	26.2 ms	30.84 ms	52.4 ms	262.1 ms
1	1	0	2 <sup>20</sup> /f <sub>xx</sub>	52.4 ms	61.68 ms	104.9 ms	524.3 ms
1	1	1	2 <sup>22</sup> /f <sub>xx</sub>	209.7 ms	246.7 ms	419.4 ms	2.1 s

**注意** ビット3-7には必ず“0”を設定してください。

(3) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。

WDTMは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF384H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	0	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 <sup>注1</sup>
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	インターバル・タイマ・モード (オーバーフロー発生時、マスクابل割り込みINTWDTM発生)
1	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスクابل割り込みINTWDT発生)

注1. RUNは、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。  
したがって、カウントを開始すると、RESET入力以外で停止させることはできません。

2. WDTM4は、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。

注意 RUNをセット(1)し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、設定した時間より最大 $2^{10}/f_{\text{xx}}$  [秒] 短くなる場合があります。

## 9.4 動作

### 9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、ノンマスクابل割り込み (INTWDT) が発生します (リセット機能はありません)。

ウォッチドッグ・タイマは、IDLEモード時とソフトウェアSTOPモード時は動作を停止します。したがって、IDLEモードやソフトウェアSTOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしてください。

また、HALTモード時はウォッチドッグ・タイマは動作するため、HALTモードを使用するときは、ウォッチドッグ・タイマを使用しないでください。

- 注意1. 実際の暴走検出時間は、設定時間に対して最大 $2^{10}/f_{xx}$  [秒] 短くなる場合があります。
2. CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表9-4 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間			
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 17 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 2 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 $\mu\text{s}$	964 $\mu\text{s}$	1.6 ms	8.2 ms
$2^{15}/f_{xx}$	1.6 ms	1.928 ms	3.2 ms	16.4 ms
$2^{16}/f_{xx}$	3.3 ms	3.855 ms	6.6 ms	32.8 ms
$2^{17}/f_{xx}$	6.6 ms	7.710 ms	13.1 ms	65.5 ms
$2^{18}/f_{xx}$	13.1 ms	15.42 ms	26.2 ms	131.1 ms
$2^{19}/f_{xx}$	26.2 ms	30.84 ms	52.4 ms	262.1 ms
$2^{20}/f_{xx}$	52.4 ms	61.68 ms	104.9 ms	524.3 ms
$2^{22}/f_{xx}$	209.7 ms	246.7 ms	419.4 ms	2.1 s

### 9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR0-WDTPR2) が有効となり、マスカブル割り込み (INTWDTM) を発生させることができます。INTWDTMのデフォルト優先順位は、マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、IDLEモード時とソフトウエアSTOPモード時は動作を停止します。したがって、IDLEモード/ソフトウエアSTOPモードに入る前にWDTMレジスタのRUNビットを1に設定し、インターバル・タイマをクリアしたあと、IDLEモード/ソフトウエアSTOPモードに設定してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、RESET入力されないかぎり、インターバル・タイマ・モードにはなりません。
- WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^{10}/f_{xx}$  [秒] 短くなる場合があります。
  - CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表9 - 5 インターバル・タイマのインターバル時間

クロック	インターバル時間			
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 17 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 2 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 $\mu\text{s}$	964 $\mu\text{s}$	1.6 ms	8.2 ms
$2^{15}/f_{xx}$	1.6 ms	1.928 ms	3.2 ms	16.4 ms
$2^{16}/f_{xx}$	3.3 ms	3.855 ms	6.6 ms	32.8 ms
$2^{17}/f_{xx}$	6.6 ms	7.710 ms	13.1 ms	65.5 ms
$2^{18}/f_{xx}$	13.1 ms	15.42 ms	26.2 ms	131.1 ms
$2^{19}/f_{xx}$	26.2 ms	30.84 ms	52.4 ms	262.1 ms
$2^{20}/f_{xx}$	52.4 ms	61.68 ms	104.9 ms	524.3 ms
$2^{22}/f_{xx}$	209.7 ms	246.7 ms	419.4 ms	2.1 s

## 9.5 スタンバイ機能制御レジスタ

### (1) 発振安定時間選択レジスタ (OSTS)

ソフトウェアSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

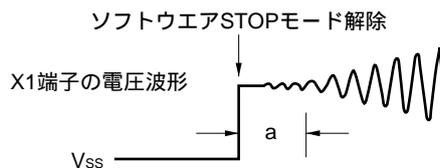
$\overline{\text{RESET}}$ 入力により04Hになります。

リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択				
			クロック	f <sub>xx</sub>			
				20 MHz	17 MHz	10 MHz	2 MHz
0	0	0	2 <sup>14</sup> /f <sub>xx</sub>	819.2 μs	964 μs	1.6 ms	8.2 ms
0	0	1	2 <sup>16</sup> /f <sub>xx</sub>	3.3 ms	3.855 ms	6.6 ms	32.8 ms
0	1	0	2 <sup>17</sup> /f <sub>xx</sub>	6.6 ms	7.710 ms	13.1 ms	65.5 ms
0	1	1	2 <sup>18</sup> /f <sub>xx</sub>	13.1 ms	15.42 ms	26.2 ms	131.1 ms
1	0	0	2 <sup>19</sup> /f <sub>xx</sub>	26.2 ms	30.84 ms	52.4 ms	262.1 ms
上記以外			(リセット時)				
上記以外			設定禁止				

**注意** ソフトウェアSTOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合も、ソフトウェアSTOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



## 第10章 シリアル・インタフェース機能

### 10.1 概要

この製品には、次のシリアル・インタフェースを内蔵しています。

- ・チャンネル0：3線式シリアルI/O (CSI0) / I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C)<sup>※</sup>
- ・チャンネル1：3線式シリアルI/O (CSI1) / アシンクロナス・シリアル・インタフェース (UART0)
- ・チャンネル2：3線式シリアルI/O (CSI2)
- ・チャンネル3：アシンクロナス・シリアル・インタフェース (UART1)

- ★ 注 I<sup>2</sup>Cはマルチマスタ対応です (μ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ)。  
3線式シリアルI/OまたはI<sup>2</sup>Cのどちらかを使用できます。

### 10.2 3線式シリアルI/O (CSI0-CSI2)

CSIn (n = 0-2) には、次の2種類のモードがあります。

#### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

#### (2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ( $\overline{\text{SCKn}}$ )、シリアル出力 (SON)、シリアル入力 (SIn) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

$\overline{\text{SCKn}}$ 、SON端子は、ポート1, 2ファンクション・レジスタ (PF1, PF2) の設定により、それぞれ通常出力とN-chオープン・ドレイン出力を選択できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

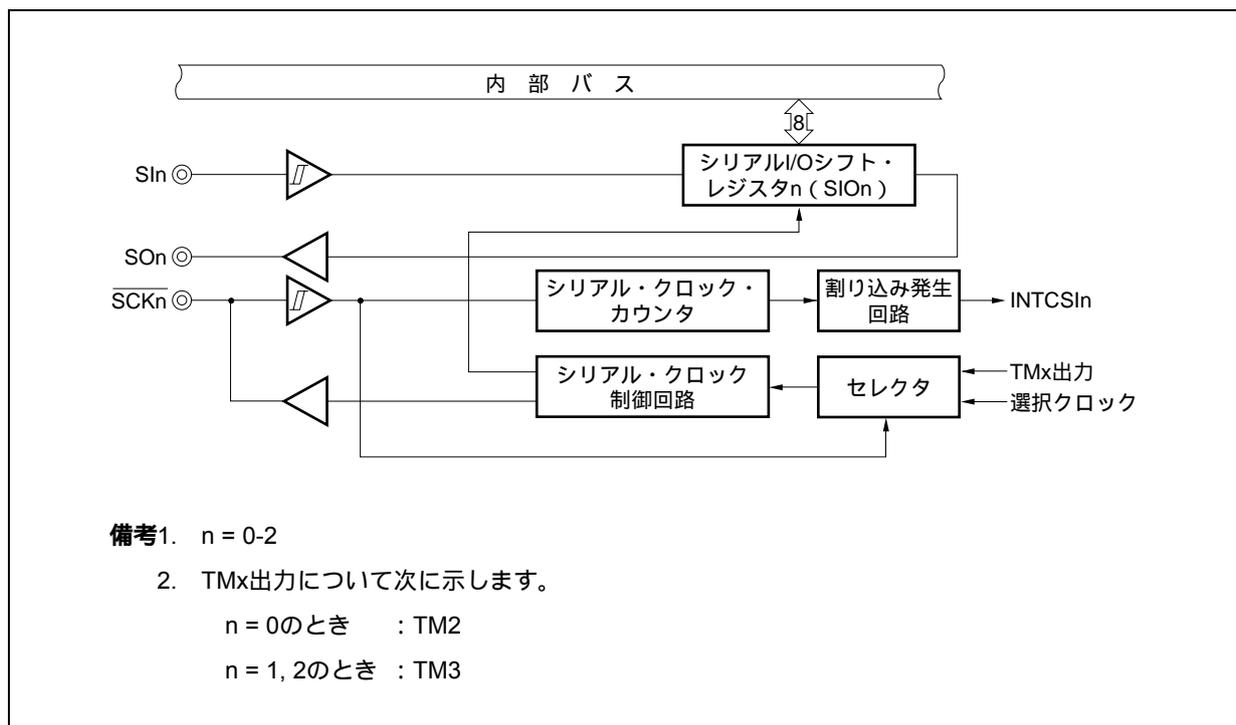
## 10.2.1 構成

CSInは、次のハードウェアで構成されています。

表10 - 1 CSInの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ0-2 (SIO0-SIO2)
制御レジスタ	シリアル・クロック選択レジスタ0-2 (CSIS0-CSIS2)
	シリアル動作モード・レジスタ0-2 (CSIM0-CSIM2)

図10 - 1 3線式シリアルI/Oのブロック図



### (1) シリアルI/Oシフト・レジスタ0-2 (SIO0-SIO2)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO<sub>n</sub>は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ<sub>n</sub> (CSIM<sub>n</sub>) のビット7 (CSIE<sub>n</sub>) が1のとき、SIO<sub>n</sub>にデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO<sub>n</sub>に書き込まれたデータが、シリアル出力 (SOn) に出力されます。

受信時は、データがシリアル入力 (SIn) からSIO<sub>n</sub>に読み込まれます。

RESET入力により00Hになります。

**注意** 転送動作中のSIO<sub>n</sub>アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE<sub>n</sub> = 0のときはリードが、MODE<sub>n</sub> = 1のときはライトが禁止となります)。

## 10.2.2 CSIn制御レジスタ

CSInを制御するレジスタには、次のものがあります。

- ・シリアル・クロック選択レジスタn (CSISn)
- ・シリアル動作モード・レジスタn (CSIMn)

### (1)シリアル・クロック選択レジスタ0-2(CSIS0-CSIS2),シリアル動作モード・レジスタ0-2(CSIM0-CSIM2)

CSISnレジスタは、シリアル・インタフェース・チャンネルnのシリアル・クロックを設定するレジスタです。

CSISnレジスタは、8/1ビット・メモリ操作命令で設定します。

CSISnレジスタは、 $\overline{\text{RESET}}$ 入力により00Hになります。

CSIMnレジスタは、シリアル・インタフェース・チャンネルnのシリアル・クロック、動作モード、動作の許可/停止を設定するレジスタです。

CSIMnレジスタは、8/1ビット・メモリ操作命令で設定します。

CSIMnレジスタは、 $\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：CSIS0 FFFFF2A4H CSIS2 FFFFF2C4H  
CSIS1 FFFFF2B4H

	7	6	5	4	3	2	1	0
CSISn	0	0	0	0	0	0	0	SCLn2

リセット時：00H R/W アドレス：CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H  
CSIM1 FFFFF2B2H

	6	5	4	3	2	1	0
CSIMn	CSIE <sub>n</sub>	0	0	0	0	MODE <sub>n</sub>	SCLn1 SCLn0

(n = 0-2)

CSIE <sub>n</sub>	SIO <sub>n</sub> の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 <sup>注1</sup>
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 <sup>注2</sup>

MODE <sub>n</sub>	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SIO <sub>n</sub> 出力
0	送信/送受信モード	SIO <sub>n</sub> ライト	通常出力
1	受信専用モード	SIO <sub>n</sub> リード	ポート機能

SCLn2	SCLn1	SCLn0	クロックの選択
0	0	0	外部クロック入力 (SCK <sub>n</sub> )
0	0	1	n = 0時：TM2の出力 n = 1, 2時：TM3の出力
0	1	0	f <sub>xx</sub> /8 (2.5MHz)
0	1	1	f <sub>xx</sub> /16 (1.25MHz)
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f <sub>xx</sub> /32 (625kHz)
1	1	1	f <sub>xx</sub> /64 (312.5kHz)

注1. CSIE<sub>n</sub> = 0 (SIO<sub>n</sub>動作停止状態) のときは、SIn, SO<sub>n</sub>, SCK<sub>n</sub>端子は、ポート機能として使用できます。

2. CSIE<sub>n</sub> = 1 (SIO<sub>n</sub>動作許可状態) のときは、送信機能のみ使用する場合はSIn端子、受信専用モード時はSO<sub>n</sub>端子をそれぞれポート機能として使用できます。

注意1. SCLn1, SCLn0のビット操作はしないでください。

2. CSIMnレジスタのビット3-6には必ず“0”を設定してください。

備考1. ( )内の数字はf<sub>xx</sub> = 20 MHz時の値です。

2. 選択クロックをタイマの出力にした場合、P26/TI2/TO2, P27/TI3/TO3端子をタイマ出力モードにする必要はありません。

### 10.2.3 動作

CSInには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

#### (1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、SIn, SOn,  $\overline{\text{SCKn}}$ 端子を入出力ポートとして選択していれば、通常の入出力ポートとして使用できます。

#### (a) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタn (CSIMn) のCSIEnビットで行います。

図10 - 2 CSIMnの設定 (動作停止モード)

リセット時: 00H		R/W	アドレス: CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H						
			CSIM1 FFFFF2B2H						
			6	5	4	3	2	1	0
CSIMn	CSIEn	0	0	0	0	MODEn	SCLn1	SCLn0	
(n = 0-2)	CSIEn	SIO <sub>n</sub> の動作許可 / 禁止の指定							
		シフト・レジスタ動作	シリアル・カウンタ			ポート			
	0	動作禁止	クリア			ポート機能			

(2) 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ( $\overline{\text{SCKn}}$ )、シリアル出力 (SOn)、シリアル入力 (SIn) の3本のラインで通信を行います。

(a) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタn (CSIMn) で行います。

図10 - 3 CSIMnの設定 (3線式シリアルI/Oモード)

リセット時：00H    R/W    アドレス：CSIM0 FFFFF2A2H    CSIM2 FFFFF2C2H  
CSIM1 FFFFF2B2H

		6	5	4	3	2	1	0
CSIMn	CSIEn	0	0	0	0	MODEn	SCLn1	SCLn0

(n = 0-2)

CSIEn	SInの動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

MODEn	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SOn出力
0	送信 / 送受信モード	SInライト	通常出力
1	受信専用モード	SInリード	ポート機能

SCLn2	SCLn1	SCLn0	クロックの選択
0	0	0	外部クロック入力 ( $\overline{\text{SCKn}}$ )
0	0	1	n = 0時 : TM2の出力 n = 1, 2時 : TM3の出力
0	1	0	f <sub>xx</sub> /8 ( 2.5MHz )
0	1	1	f <sub>xx</sub> /16 ( 1.25MHz )
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f <sub>xx</sub> /32 ( 625kHz )
1	1	1	f <sub>xx</sub> /64 ( 312.5kHz )

備考1. ( ) 内の数字はf<sub>xx</sub> = 20 MHz時の値です。

2. SCLn2ビットについては10. 2. 2 (1) シリアル・クロック選択レジスタ0-2 (CSIS0-CSIS2)、シリアル動作モード・レジスタ0-2 (CSIM0-CSIM2)を参照してください。

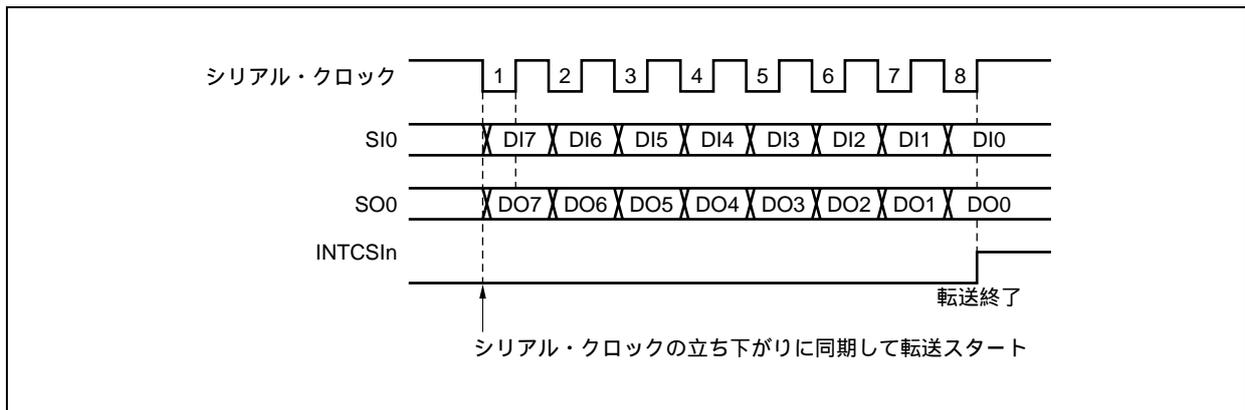
(b) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタn (SIO<sub>n</sub>)のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSO<sub>n</sub>ラッチに保持され、SO<sub>n</sub>端子から出力されます。また、シリアル・クロックの立ち上がりで、SIn端子に入力された受信データがSIO<sub>n</sub>にラッチされます。

8ビット転送終了により、SIO<sub>n</sub>の動作は自動的に停止し、割り込み要求フラグ (INTCSIn) がセットされます。

図10 - 4 3線式シリアルI/Oモードのタイミング



(c) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタn (SIO<sub>n</sub>)に転送データをセットすることで開始します。

- ・ SIO<sub>n</sub>の動作制御ビット (CSIE<sub>n</sub>) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはシリアル・クロックがハイ・レベルの状態

SIO<sub>n</sub>への転送データのセットは次のように行います。

- ・ 送信 / 送受信モード  
CSIE<sub>n</sub> = 1, MODE<sub>n</sub> = 0のとき、SIO<sub>n</sub>ライトで転送スタート
- ・ 受信専用モード  
CSIE<sub>n</sub> = 1, MODE<sub>n</sub> = 1のとき、SIO<sub>n</sub>のリードで転送スタート

**注意** SIO<sub>n</sub>にデータを書き込んだあと、CSIE<sub>n</sub>を“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSIn) をセットします。

## 10.3 I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C)

この機能を使用する場合は、P10/SDA, P12/SCL端子をN-chオープン・ドレイン出力に設定してください。

I<sup>2</sup>Cを内蔵している製品を次に示します。

★  $\mu$  PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AY

I<sup>2</sup>Cには、次の2種類のモードがあります。

- ・動作停止モード
- ・I<sup>2</sup>C (Inter IC) バス・モード (マルチマスタ対応)

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

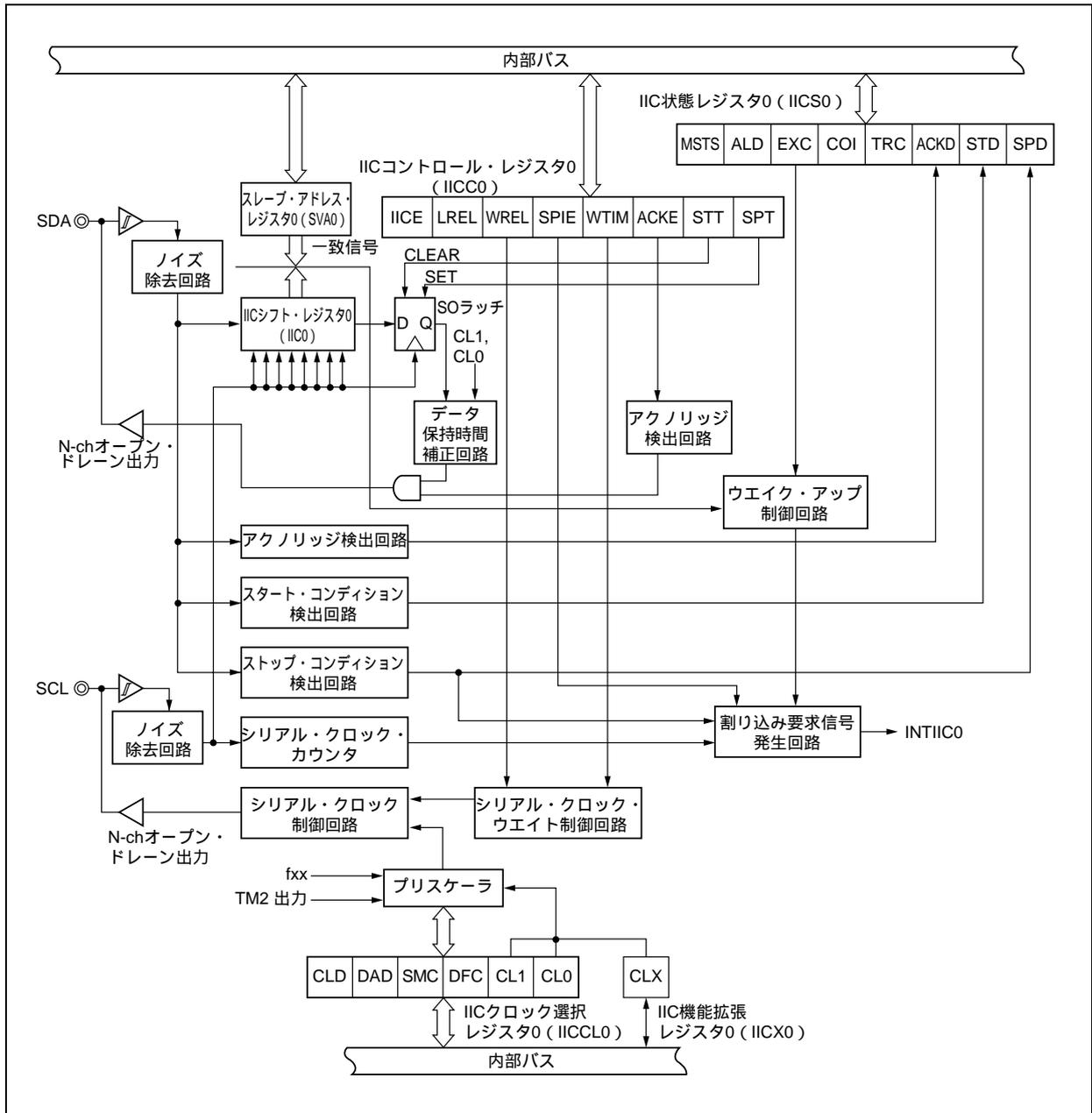
### (2) I<sup>2</sup>Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL) とシリアル・データ・バス (SDA) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

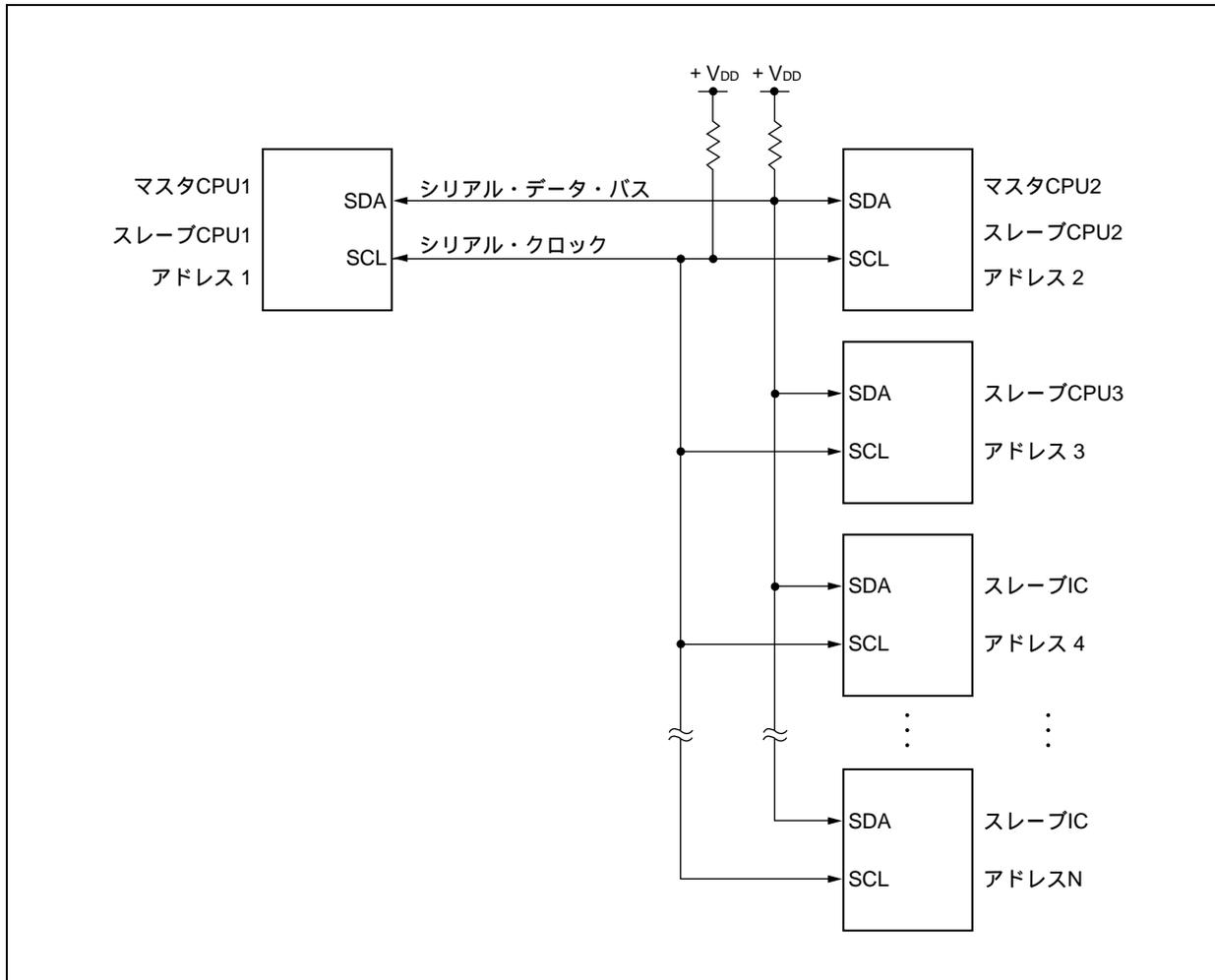
I<sup>2</sup>Cでは、SCLとSDAはオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図10-5 I<sup>2</sup>Cのブロック図



次にシリアル・バス構成例を示します。

図10 - 6 I<sup>2</sup>Cバスによるシリアル・バス構成例



### 10.3.1 構成

I<sup>2</sup>Cは、次のハードウェアで構成されています。

表10 - 2 I<sup>2</sup>Cの構成

項目	構成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICCX0)

#### (1) IICシフト・レジスタ0 (IIC0)

IIC0は、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

IIC0に対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

IIC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

#### (2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

#### (3) SOラッチ

SOラッチは、SDA端子出力レベルを保持するラッチです。

#### (4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です。

#### (5) クロック・セクタ

使用するサンプリング・クロックを選択します。

#### (6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

**(7) 割り込み要求信号発生回路**

割り込み要求信号 (INTIIC0) の発生を制御します。

I<sup>2</sup>C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目 (WTIMビットで設定<sup>注</sup>)
- ・ストップ・コンディション検出による割り込み発生 (SPIEビットで設定<sup>注</sup>)

注 WTIMビット : IICコントロール・レジスタ0 (IICC0) のビット3

SPIEビット : IICコントロール・レジスタ0 (IICC0) のビット4

**(8) シリアル・クロック制御回路**

マスタ・モード時に、SCL端子に出力するクロックをサンプリング・クロックから生成します。

**(9) シリアル・クロック・ウエイト制御回路**

ウエイト・タイミングを制御します。

**(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路**

各種制御信号の出力および検出を行います。

**(11) データ保持時間補正回路**

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

### 10.3.2 I<sup>2</sup>C制御レジスタ

I<sup>2</sup>Cは、次の4種類のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IIC機能拡張レジスタ0 (IICX0)
- ・ IICクロック選択レジスタ0 (IICCL0)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0 (IIC0)
- ・ スレーブ・アドレス・レジスタ0 (SVA0)

(1) IICコントロール・レジスタ0 (IICC0)

I<sup>2</sup>Cの動作許可/禁止, ウェイト・タイミングの設定, その他I<sup>2</sup>C動作の設定を行うレジスタです。

IICC0は, 8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

**注意** I<sup>2</sup>Cバス・モード時, ポート1モード・レジスタ (PM1) を次のように設定してください。また, 出力ラッチはそれぞれ0に設定してください。

- ・ P10 (SDA) を出力モード (PM10 = 0) に設定
- ・ P12 (SCL) を出力モード (PM12 = 0) に設定

( 1/4 )

リセット時 : 00H    R/W    アドレス : FFFFF340H

⑦	⑥	⑤	④	③	②	①	①
IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I <sup>2</sup> C動作許可 / 禁止の指定
0	動作停止。IIC状態レジスタ0 (IICS0) をプリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICE = 0)	
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	
セットされる条件 (IICE = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

LREL	通信退避
0	通常動作。
1	現在行っている通信から退避し, 待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL, SDAラインはハイ・インピーダンス状態になる。 次のフラグがクリアされる。 <ul style="list-style-type: none"> <li>・ STD    ・ ACKD    ・ TRC    ・ COI    ・ EXC    ・ MST5    ・ STT    ・ SPT</li> </ul>
次の通信参加条件が満たされるまでは, 通信から退避した待機状態となる。 ストップ・コンディション検出後, マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL = 0) 注	
<ul style="list-style-type: none"> <li>・ 実行後, 自動的にクリア</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	
セットされる条件 (LREL = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

**注** IICE = 0により, このフラグの信号を無効にします。

**備考** STD : IIC状態レジスタ0 (IICS0) のビット1  
 ACKD :                    "                    のビット2  
 TRC :                    "                    のビット3  
 COI :                    "                    のビット4  
 EXC :                    "                    のビット5  
 MST5 :                    "                    のビット7

WREL	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件 (WREL = 0) 注		セットされる条件 (WREL = 1)
<ul style="list-style-type: none"> <li>・実行後、自動的にクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

SPIE	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE = 0) 注		セットされる条件 (SPIE = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

WTIM	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIM = 0) 注		セットされる条件 (WTIM = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

ACKE	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAラインをロウ・レベルにする。ただし、アドレス転送中は無効、EXC = 1の場合は有効。	
クリアされる条件 (ACKE = 0) 注		セットされる条件 (ACKE = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

注 IICE = 0により、このフラグの信号を無効にします。

STT	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SDAラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLをロウ・レベルにする。</p> <p>バスに参加していないとき：</p> <p>スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。</p> <p>ウェイト状態（マスタ時）：</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKE = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。</p> <p>マスタ送信の場合：ACK期間中は、正常にスタート・コンディションが生成されていないことがあるので、注意してください。</p> <p>・SPTと同時にセットすることは禁止です。</p>		
クリアされる条件（STT = 0）		セットされる条件（STT = 1）
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・アービトレーションに負けたとき</li> <li>・マスタでのスタート・コンディション生成後クリア</li> <li>・LREL = 1によるクリア</li> <li>・IICE = 0のとき</li> <li>・RESET入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

**備考** ビット1（STT）は、データ設定後に読み出すと0になっています。

SPT	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAラインをロウ・レベルにしたあと、SCLラインをハイ・レベルにするか、またはSCLがハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKE = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。</p> <p>マスタ送信の場合：ACK期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。</p> <p>・STTと同時にセットすることは禁止です。</p> <p>SPTのセットは、マスタのときのみ行ってください。注</p> <p>WTIM = 0設定時に、8クロック出力後のウエイト期間中にSPTをセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。</p> <p>9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIM = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTをセットしてください。</p>					
<table border="1"> <thead> <tr> <th>クリアされる条件 ( SPT = 0 )</th> <th>セットされる条件 ( SPT = 1 )</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ アービトレーションに負けたとき</li> <li>・ ストップ・コンディション検出後、自動的にクリア</li> <li>・ LREL = 1によるクリア</li> <li>・ IICE = 0のとき</li> <li>・ RESET入力時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件 ( SPT = 0 )	セットされる条件 ( SPT = 1 )	<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ アービトレーションに負けたとき</li> <li>・ ストップ・コンディション検出後、自動的にクリア</li> <li>・ LREL = 1によるクリア</li> <li>・ IICE = 0のとき</li> <li>・ RESET入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>
クリアされる条件 ( SPT = 0 )	セットされる条件 ( SPT = 1 )				
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ アービトレーションに負けたとき</li> <li>・ ストップ・コンディション検出後、自動的にクリア</li> <li>・ LREL = 1によるクリア</li> <li>・ IICE = 0のとき</li> <li>・ RESET入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>				

**注** SPTのセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPTをセットしてストップ・コンディションを生成する必要があります。詳細は、10. 3. 13 **注意事項**を参照してください。

**注意** IIC状態レジスタ0 (IICS0) のビット3 (TRC) = 1のとき、9クロック目にWRELをセットしてウエイト解除すると、TRCをクリアしてSDAラインをハイ・インピーダンスにします。

**備考** ビット0 (SPT) は、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I<sup>2</sup>Cのステータスを表すレジスタです。

IICS0は、8/1ビット・メモリ操作命令で設定します。IICS0は読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力により、00Hになります。

( 1/3 )

リセット時：00H R アドレス：FFFFF342H

	⑦	⑥	⑤	④	③	②	①	①
IICS0	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD

MSTS	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS = 0)	
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALD = 1のとき</li> <li>・LREL = 1によるクリア</li> <li>・IICE = 1 0のとき</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>	
セットされる条件 (MSTS = 1)	
<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>	

ALD	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSがクリアされる。
クリアされる条件 (ALD = 0)	
<ul style="list-style-type: none"> <li>・IICS0読み出し後、自動的にクリア<sup>注</sup></li> <li>・IICE = 1 0のとき</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>	
セットされる条件 (ALD = 1)	
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>	

EXC	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信。
クリアされる条件 (EXC = 0)	
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL = 1によるクリア</li> <li>・IICE = 1 0のとき</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>	
セットされる条件 (EXC = 1)	
受信したアドレス・データの上位4ビットが“0000” または“1111”のとき(8クロック目の立ち上がり でセット)	

**注** IICS0のほかのビットに対しビット操作命令を実行した場合もクリアされます。

**備考** LREL : IICコントロール・レジスタ0 (IICC0) のビット6  
 IICE : " のビット7

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI = 0)		セットされる条件 (COI = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL = 1によるクリア</li> <li>・IICE = 1 0のとき</li> <li>・RESET入力時</li> </ul>		受信アドレスが自局アドレス (SVA0) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAラインをハイ・インピーダンスにする。	
1	送信状態。SDAラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRC = 0)		セットされる条件 (TRC = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LREL = 1によるクリア</li> <li>・IICE = 1 0のとき</li> <li>・WREL = 1によるクリア<sup>注</sup></li> <li>・ALD = 0 1のとき</li> <li>・RESET入力時</li> </ul> マスタの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul> 通信不参加の場合		マスタの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) で “1” を入力したとき</li> </ul>

**注** IIC状態レジスタ0 (IICS0) のビット3 (TRC) = 1のとき, 9クロック目にIICコントロール・レジスタ0 (IICC0) のビット5 (WREL) をセットしてウェイトを解除すると, TRCをクリアしてSDAラインをハイ・インピーダンスにします。

**備考** LREL : IICコントロール・レジスタ0 (IICC0) のビット6  
 IICE :                   "                   "                   のビット7

ACKD	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出。	
	クリアされる条件 ( ACKD = 0 )	セットされる条件 ( ACKD = 1 )
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・LREL = 1によるクリア</li> <li>・IICE = 1 0のとき</li> <li>・RESET入力時</li> </ul>	SCLの9クロック目の立ち上がり時にSDAラインがロウ・レベルであったとき

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
	クリアされる条件 ( STD = 0 )	セットされる条件 ( STD = 1 )
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LREL = 1によるクリア</li> <li>・IICE = 1 0のとき</li> <li>・RESET入力時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 ( SPD = 0 )	セットされる条件 ( SPD = 1 )
	<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・IICE = 1 0のとき</li> <li>・RESET入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>

備考 LREL : IICコントロール・レジスタ0 ( IICC0 ) のビット6  
 IICE : " のビット7

(3) IICクロック選択レジスタ0 (IICCL0) , IIC機能拡張レジスタ0 (IICX0)

IICCL0, IICX0レジスタは、I<sup>2</sup>Cの転送クロックを設定するレジスタです。

IICCL0, IICX0レジスタは、8/1ビット・メモリ操作命令で設定します。

IICCL0, IICX0レジスタは、 $\overline{\text{RESET}}$ 入力により、00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF34AH

	7	6	5	4	3	2	1	①
IICX0	0	0	0	0	0	0	0	CLX

リセット時：00H R/W<sup>注</sup> アドレス：FFFFFF344H

	7	6	⑤	④	3	2	1	0
IICCL0	0	0	CLD	DAD	SMC	DFC	CL1	CL0

CLD	SCLラインのレベル検出 (IICE = 1のときのみ有効)
0	SCLラインがロウ・レベルであることを検出
1	SCLラインがハイ・レベルであることを検出
クリアされる条件 (CLD = 0)	セットされる条件 (CLD = 1)
<ul style="list-style-type: none"> <li>・ SCLラインがロウ・レベルのとき</li> <li>・ IICE = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ SCLラインがハイ・レベルのとき</li> </ul>

DAD	SDAラインのレベル検出 (IICE = 1のときのみ有効)
0	SDAラインがロウ・レベルであることを検出
1	SDAラインがハイ・レベルであることを検出
クリアされる条件 (DAD = 0)	セットされる条件 (DAD = 1)
<ul style="list-style-type: none"> <li>・ SDAラインがロウ・レベルのとき</li> <li>・ IICE = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ SDAラインがハイ・レベルのとき</li> </ul>

SMC	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時はDFCのオン/オフにより、転送クロックが変化することはありません。	

注 IICCL0レジスタのビット4, 5はRead Onlyです。

注意 IICCL0レジスタのビット6, 7には必ず“0”を設定してください。

備考 IICE : IICコントロール・レジスタ0 (IICC0) のビット7

★

CLX	SMC	CL1	CL0	選択クロック	設定可能なメイン・クロック 周波数 ( f <sub>xx</sub> ) の範囲	動作モード
0	0	0	0	f <sub>xx</sub> /44	2.0 MHz ~ 4.19 MHz	標準モード ( SMC = 0 )
0	0	0	1	f <sub>xx</sub> /86	4.19 MHz ~ 8.38 MHz	
0	0	1	0	f <sub>xx</sub> /172	8.38 MHz ~ 17 MHz	
0	0	1	1	TM2の出力/66	TM2の設定	
0	1	0	0	f <sub>xx</sub> /24	4.0 MHz ~ 8.38 MHz	高速モード ( SMC = 1 )
0	1	0	1			
0	1	1	0	f <sub>xx</sub> /48	8.0 MHz ~ 17 MHz	
0	1	1	1	TM2の出力/18	TM2の設定	
1	1	0	0	f <sub>xx</sub> /12	4.0 MHz ~ 4.19 MHz	
1	1	0	1			
上記以外				設定禁止		

**備考** 選択クロックをタイマの出力にした場合 ,P26/TI2/TO2端子をタイマ出力モードにする必要はありません。

(5) IICシフト・レジスタ0 (IIC0)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。  
8ビット単位でリード/ライト可能ですが、データ転送中にIIC0ヘデータを書き込まないでください。



(6) スレーブ・アドレス・レジスタ0 (SVA0)

このレジスタには、I<sup>2</sup>Cバスのスレーブ・アドレスを格納します。  
8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。



### 10.3.3 I<sup>2</sup>Cバス・モードの機能

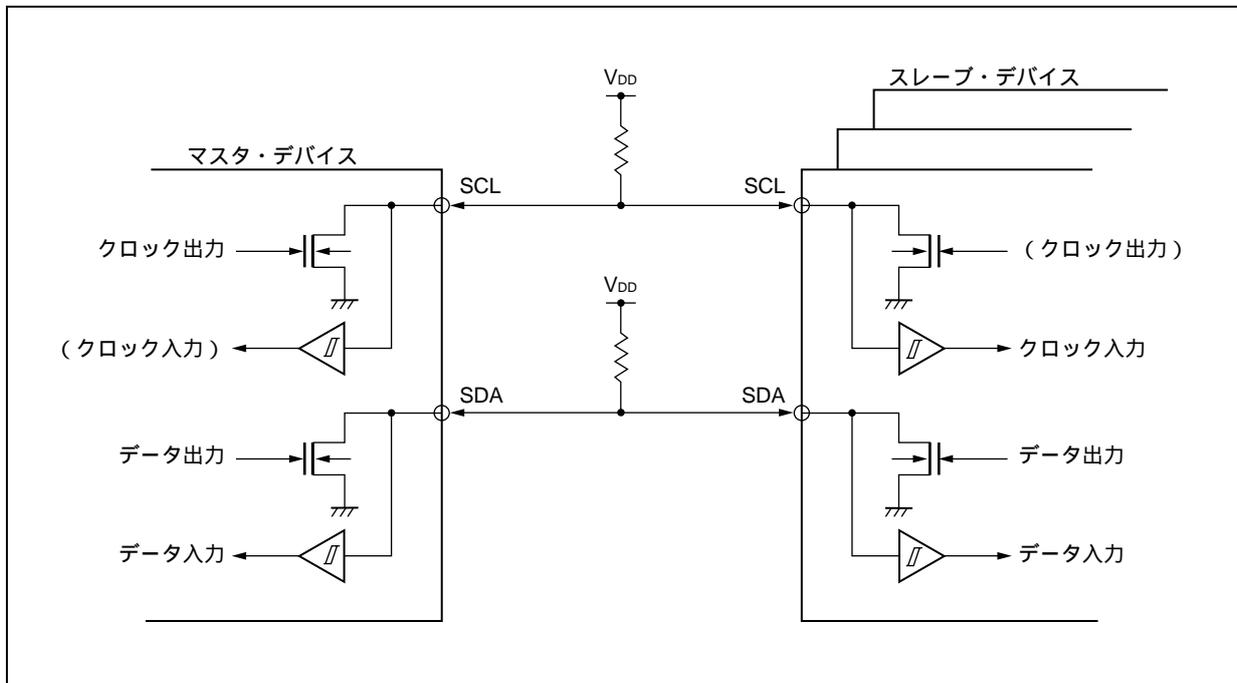
#### (1) 端子構成

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA) の構成は、次のようになっています。

- SCL ... シリアル・クロックを入出力するための端子。  
 マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。
- SDA ... シリアル・データの入出力兼用端子。  
 マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図10 - 7 端子構成図

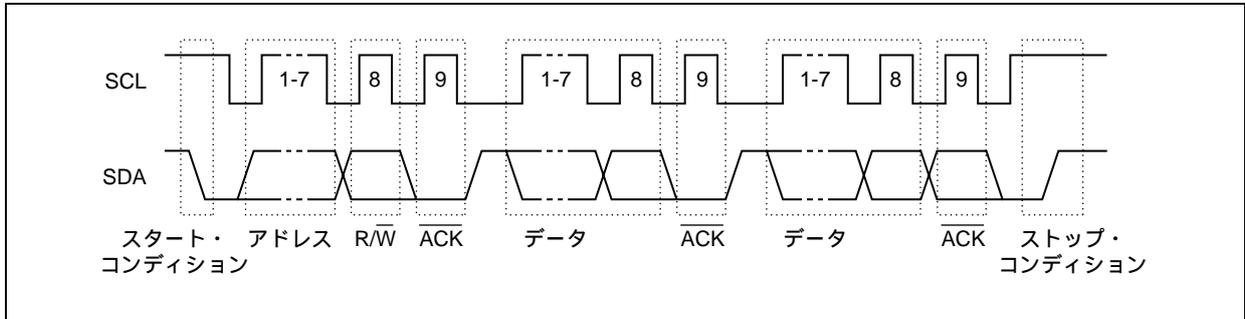


### 10.3.4 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図10-8 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

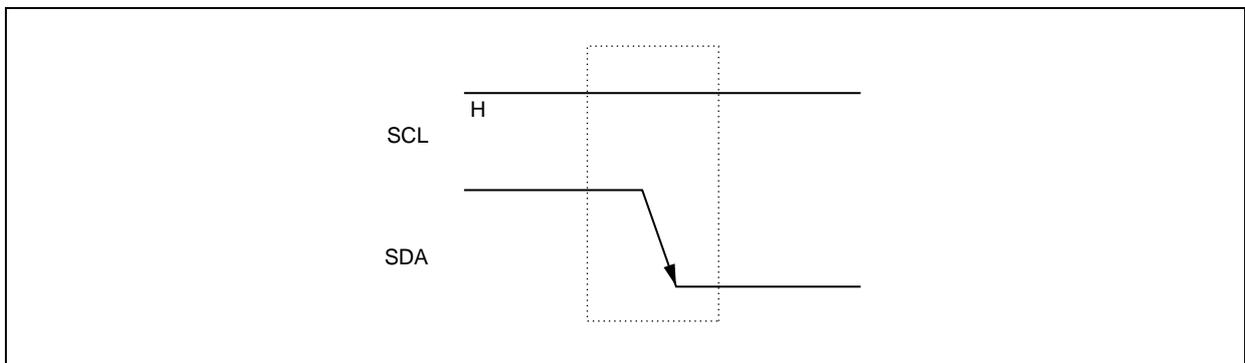
アクノリッジ信号 (ACK) は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック (SCL) は，マスタが出力し続けます。ただし，スレーブはSCLのロウ・レベル期間を延長し，ウエイトを挿入できます。

#### (1) スタート・コンディション

SCL端子がハイ・レベルのときに，SDA端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL端子，SDA端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブは，スタート・コンディションを検出するハードウェアを内蔵しています。

図10-9 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態 (SPD : IIC状態レジスタ0 (IICS0) のビット0 = 1) のときにIICコントロール・レジスタ0 (IICC0) のビット1 (STT) をセット (1) すると出力されます。また，スタート・コンディションを検出すると，IICS0のビット1 (STD) がセット (1) されます。

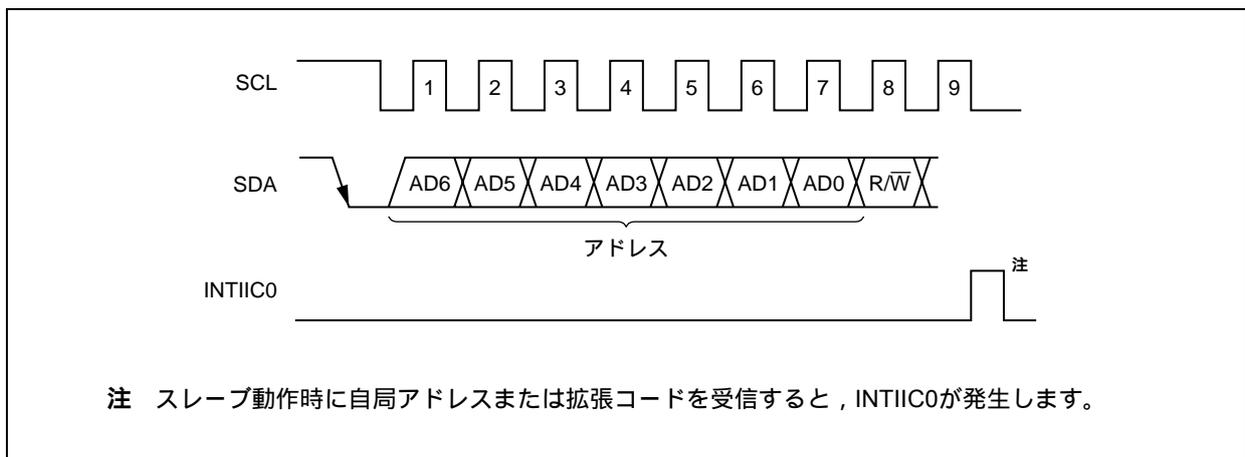
## (2) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図10 - 10 アドレス



アドレスは、スレーブのアドレスと (3) 転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0 (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

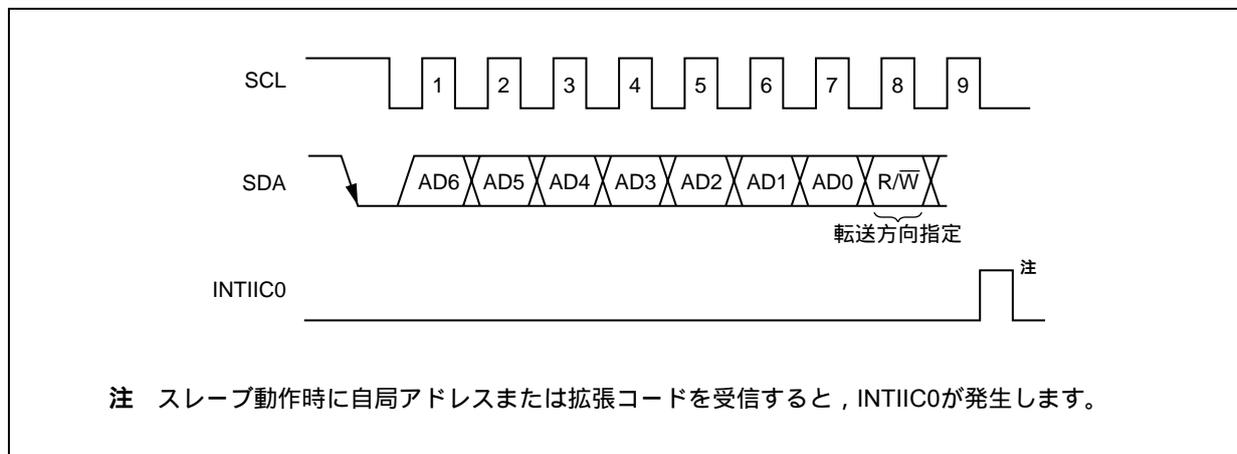
なお、スレーブのアドレスは、IIC0の上位7ビットに割り当てられます。

(3) 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図10 - 11 転送方向指定



(4) アクノリッジ信号 ( $\overline{\text{ACK}}$ )

アクノリッジ信号 ( $\overline{\text{ACK}}$ ) は、送信側と受信側におけるシリアル・データ受信を確認するための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。

受信側が9クロック目にSDAラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります (正常受信返答)。

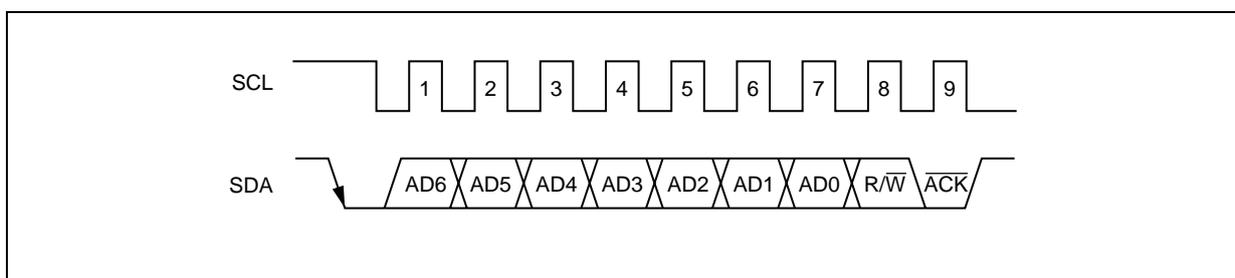
IICコントロール・レジスタ0 (IICC0) のビット2 (ACKE) = 1でアクノリッジ信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタ0 (IICS0) のビット3 (TRC) が設定されますが、TRCビットの値が“0”の場合は受信状態なので、ACKE = 1にしてください。

スレーブ受信動作時 (TRC = 0) ,スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRC = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKE = 0にしてください。これは、スレーブ送信動作時に、SDAラインにデータのMSBデータを出力しないようにするためです (送信停止)。

図10 - 12 アクノリッジ信号



自局アドレス受信時は、ACKEの値にかかわらずSCLの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません。

データ受信時のアクノリッジ信号の出力方法は、ウェイト・タイミングの設定により次のようになります。

8クロック・ウェイト選択時：ウェイト解除を行う前にACKE = 1とすることでSCLの8クロック目の立ち下がりに同期してアクノリッジ信号を出力します。

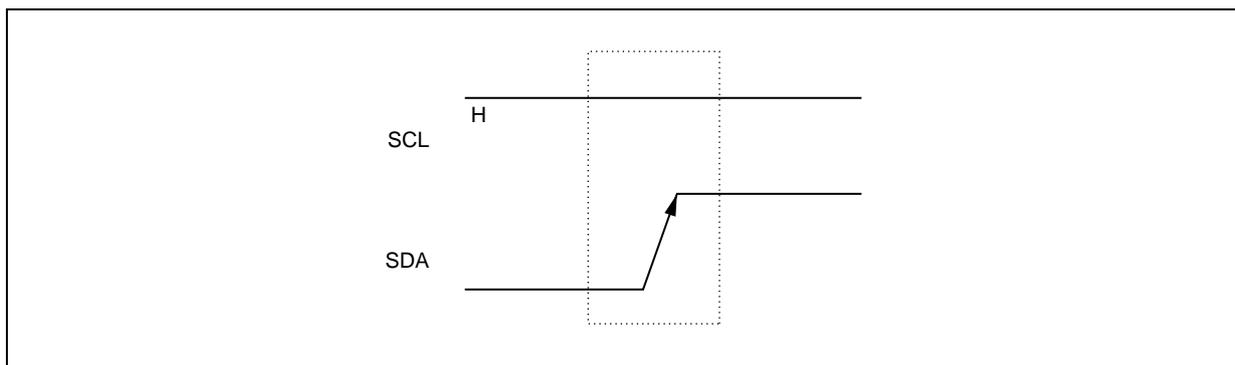
9クロック・ウェイト選択時：あらかじめACKE = 1とすることでSCLの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

#### (5) ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図10 - 13 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ0 (IICC0) のビット0 (SPT) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ0 (IICS0) のビット0 (SPD) がセット (1) され、IICC0のビット4 (SPIE) がセット (1) されている場合にはINTIIC0が発生します。

(6) ウェイト信号 (WAIT)

ウェイト信号 (WAIT) は、マスタまたはスレーブがデータの送受信が準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図10 - 14 ウェイト信号 (1/2)

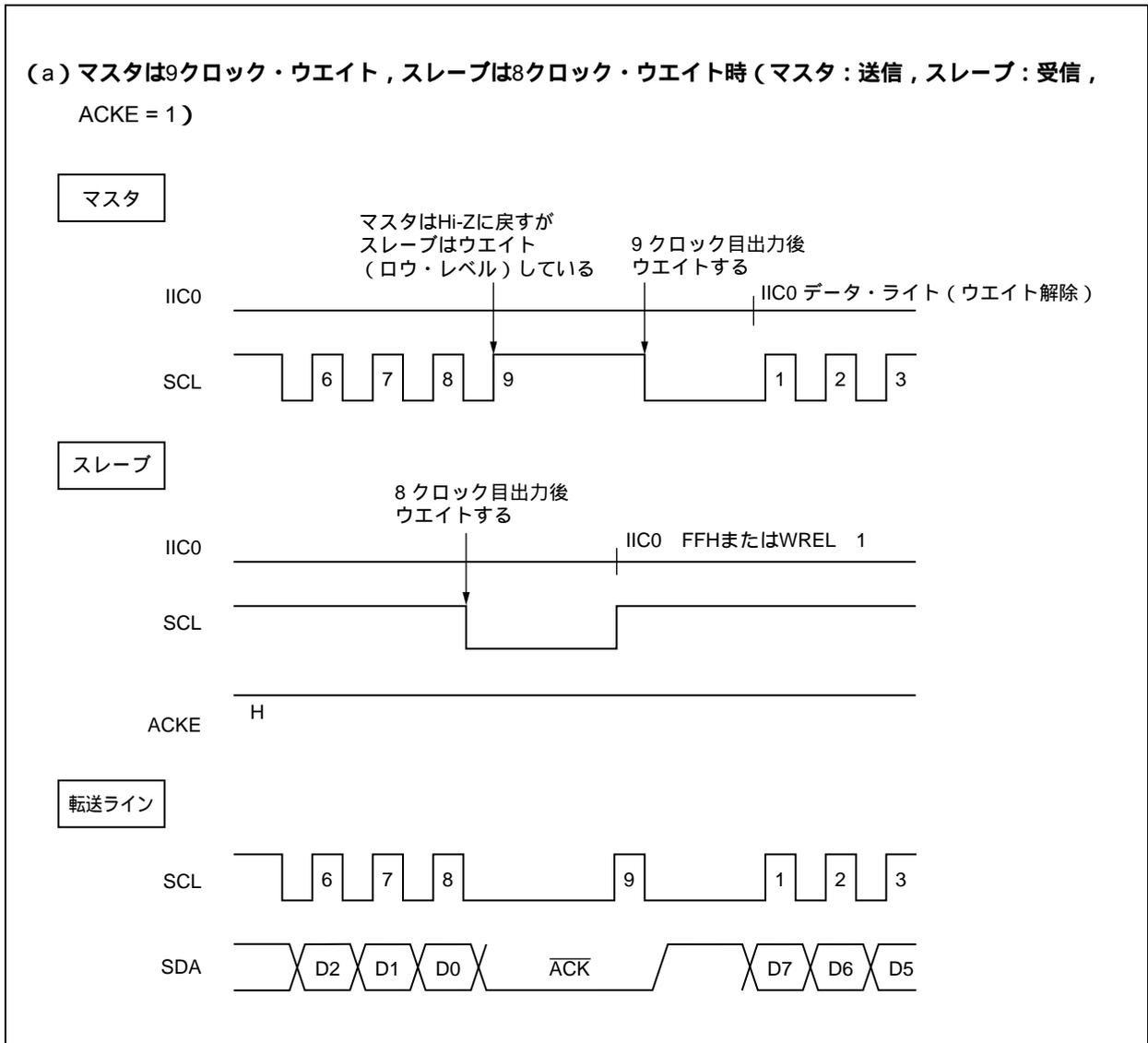
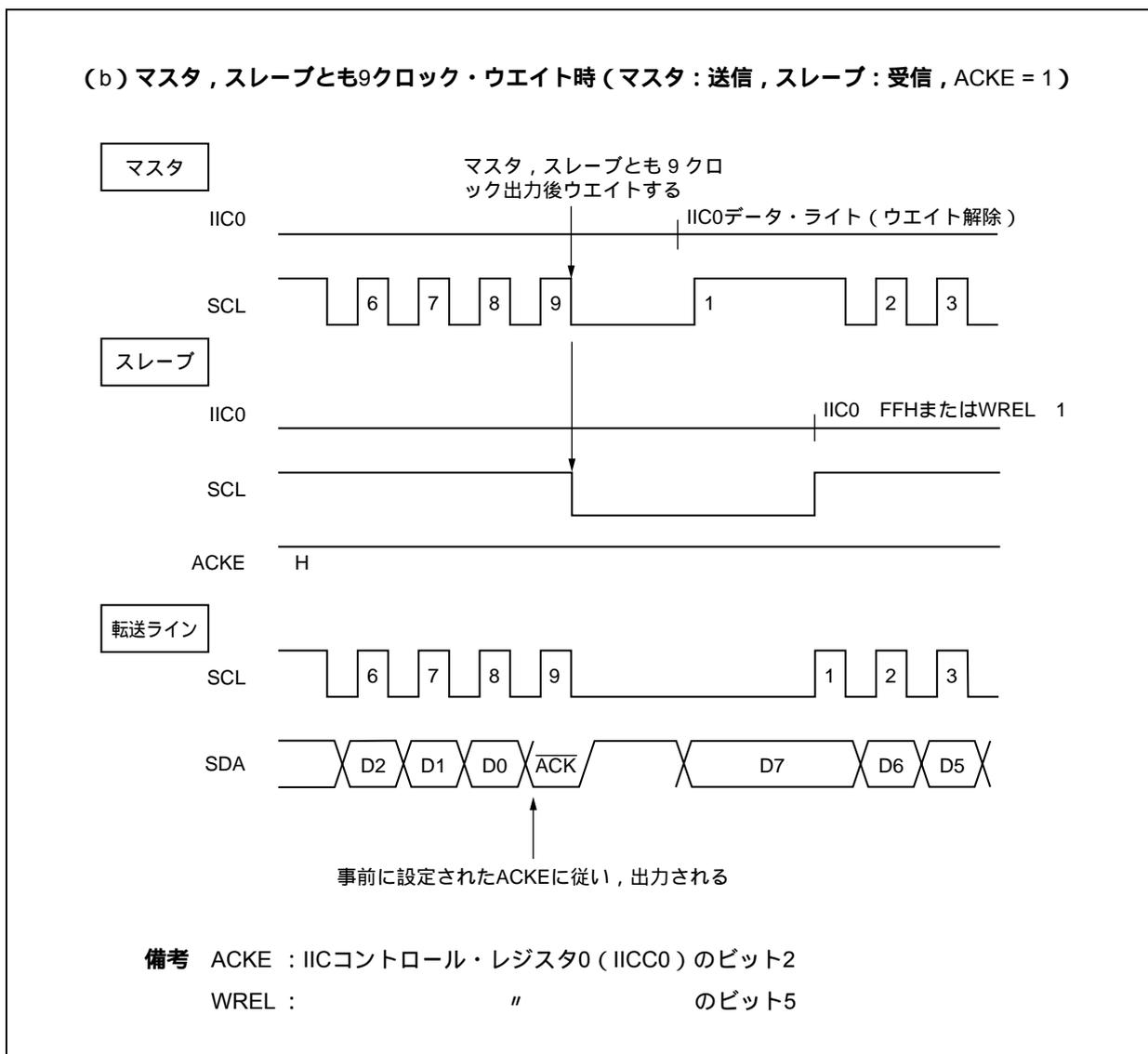


図10 - 14 ウェイト信号 (2/2)



ウェイトは, IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM) の設定により自動的に発生します。

通常, 受信側はIICC0のビット5 (WREL) = 1またはIICシフト・レジスタ0 (IIC0) FFHライトにするとウェイトを解除し, 送信側はIIC0にデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICC0のビット1 (STT) = 1
- ・ IICC0のビット0 (SPT) = 1

### 10.3.5 I<sup>2</sup>C割り込み要求 (INTIIC0)

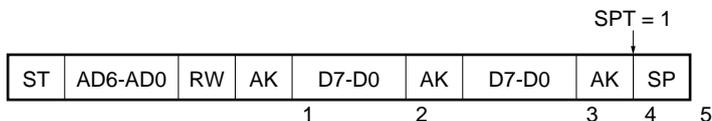
次に、INTIIC0割り込み要求発生タイミングと、INTIIC0割り込みタイミングでのIIC状態レジスタ0 (IICS0)の値を示します。

**備考** INTIIC0の割り込み制御レジスタは、INTCSI0の割り込み制御レジスタ(CSIC0)と兼用しています。  
IICIC0レジスタはありません。

#### (1) マスタ動作

##### (a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

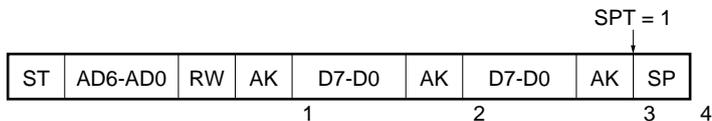
WTIM = 0のとき



- 1 : IICS0 = 10XXX110B
- 2 : IICS0 = 10XXX000B
- 3 : IICS0 = 10XXX000B (WTIM = 1)
- 4 : IICS0 = 10XXXX00B
- 4 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生  
X 任意

WTIM = 1のとき

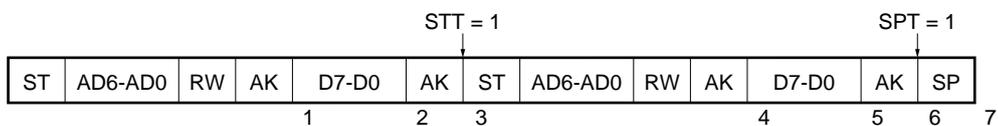


- 1 : IICS0 = 10XXX110B
- 2 : IICS0 = 10XXX100B
- 3 : IICS0 = 10XXXX00B
- 4 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生  
X 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

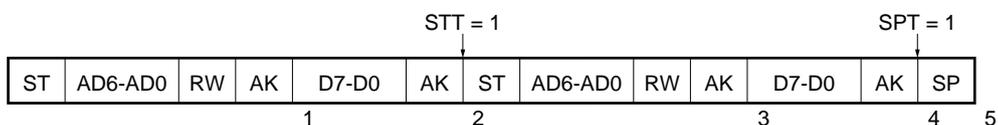
WTIM = 0のとき



- 1 : IICS0 = 10XXX110B
- 2 : IICS0 = 10XXX000B ( WTIM = 1 )
- 3 : IICS0 = 10XXXX00B ( WTIM = 0 )
- 4 : IICS0 = 10XXX110B
- 5 : IICS0 = 10XXX000B ( WTIM = 1 )
- 6 : IICS0 = 10XXXX00B
- 7 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき

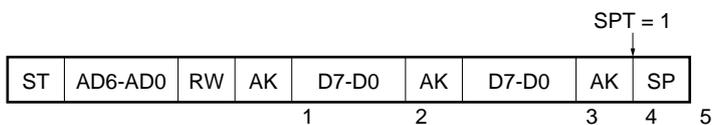


- 1 : IICS0 = 10XXX110B
- 2 : IICS0 = 10XXXX00B
- 3 : IICS0 = 10XXX110B
- 4 : IICS0 = 10XXXX00B
- 5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

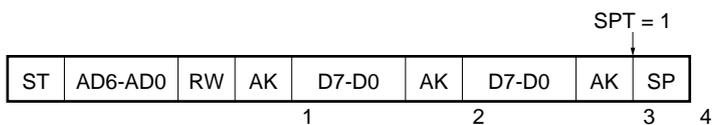
WTIM = 0のとき



- 1 : IICS0 = 1010X110B
- 2 : IICS0 = 1010X000B
- 3 : IICS0 = 1010X000B (WTIM = 1)
- 4 : IICS0 = 1010XX00B
- 5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき



- 1 : IICS0 = 1010X110B
- 2 : IICS0 = 1010X100B
- 3 : IICS0 = 1010XX00B
- 4 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA0一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4

1 : IICS0 = 0001X110B

2 : IICS0 = 0001X000B

3 : IICS0 = 0001X000B

4 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE = 1のときだけ発生  
                  X 任意

WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4

1 : IICS0 = 0001X110B

2 : IICS0 = 0001X100B

3 : IICS0 = 0001XX00B

4 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE = 1のときだけ発生  
                  X 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0 = 0001X110B

2 : IICS0 = 0001X000B

3 : IICS0 = 0001X110B

4 : IICS0 = 0001X000B

5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0 = 0001X110B

2 : IICS0 = 0001XX00B

3 : IICS0 = 0001X110B

4 : IICS0 = 0001XX00B

5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0 = 0001X110B

2 : IICS0 = 0001X000B

3 : IICS0 = 0010X010B

4 : IICS0 = 0010X000B

5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0 = 0001X110B

2 : IICS0 = 0001XX00B

3 : IICS0 = 0010X010B

4 : IICS0 = 0010X110B

5 : IICS0 = 0010XX00B

6 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICS0 = 0001X110B

2 : IICS0 = 0001X000B

3 : IICS0 = 00000X10B

4 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICS0 = 0001X110B

2 : IICS0 = 0001XX00B

3 : IICS0 = 00000X10B

4 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(3) スレーブ動作 (拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X000B

3 : IICS0 = 0010X000B

4 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X110B

3 : IICS0 = 0010X100B

4 : IICS0 = 0010XX00B

5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3	4	5

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X000B

3 : IICS0 = 0001X110B

4 : IICS0 = 0001X000B

5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4	5	6

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X110B

3 : IICS0 = 0010XX00B

4 : IICS0 = 0001X110B

5 : IICS0 = 0001XX00B

6 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2				3		4	5

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X000B

3 : IICS0 = 0010X010B

4 : IICS0 = 0010X000B

5 : IICS0 = 00000001B

**備考** 必ず発生

SPIE = 1のときだけ発生

X 任意

WTIM = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3			4	5		6	7

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X110B

3 : IICS0 = 0010XX00B

4 : IICS0 = 0010X010B

5 : IICS0 = 0010X110B

6 : IICS0 = 0010XX00B

7 : IICS0 = 00000001B

**備考** 必ず発生

SPIE = 1のときだけ発生

X 任意

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3		4

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X000B

3 : IICS0 = 00000X10B

4 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

WTIM = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5

1 : IICS0 = 0010X010B

2 : IICS0 = 0010X110B

3 : IICS0 = 0010XX00B

4 : IICS0 = 00000X10B

5 : IICS0 = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

1

1 : IICS0 = 00000001B

**備考** SPIE = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

1                      2                      3                      4

1 : IICS0 = 0101X110B (例 割り込み処理中にALDをリード)

2 : IICS0 = 0001X000B

3 : IICS0 = 0001X000B

4 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生  
X 任意

WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

1                      2                      3                      4

1 : IICS0 = 0101X110B (例 割り込み処理中にALDをリード)

2 : IICS0 = 0001X100B

3 : IICS0 = 0001XX00B

4 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生  
X 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICS0 = 0110X010B (例 割り込み処理中にALDをリード)

2 : IICS0 = 0010X000B

3 : IICS0 = 0010X000B

4 : IICS0 = 00000001B

**備考** 必ず発生

SPIE = 1のときだけ発生

X 任意

WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICS0 = 0110X010B (例 割り込み処理中にALDをリード)

2 : IICS0 = 0010X110B

3 : IICS0 = 0010X100B

4 : IICS0 = 0010XX00B

5 : IICS0 = 00000001B

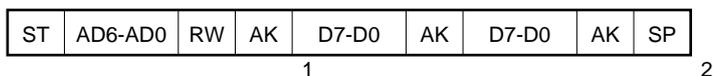
**備考** 必ず発生

SPIE = 1のときだけ発生

X 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

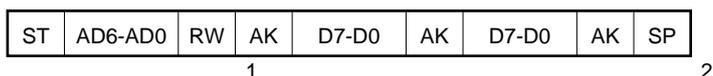


1 : IICS0 = 01000110B (例 割り込み処理中にALDをリード)

2 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS0 = 0110X010B (例 割り込み処理中にALDをリード)

ソフトでIICC0 : LREL = 1を設定

2 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生  
X 任意

(c) データ転送時にアービトレーションに負けた場合

WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1	2				3

1 : IICS0 = 10001110B

2 : IICS0 = 01000000B (例 割り込み処理中にALDをリード)

3 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生

WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1	2				3

1 : IICS0 = 10001110B

2 : IICS0 = 01000100B (例 割り込み処理中にALDをリード)

3 : IICS0 = 00000001B

**備考** 必ず発生  
SPIE = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVA0不一致)



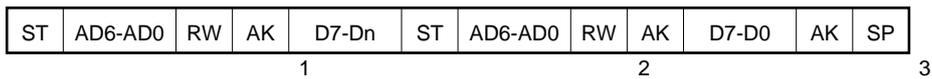
1 : IICSO = 1000X110B

2 : IICSO = 01000110B (例 割り込み処理中にALDをリード)

3 : IICSO = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意  
 Dn = D6-D0

拡張コード



1 : IICSO = 1000X110B

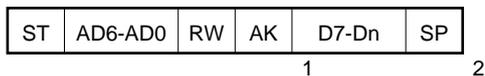
2 : IICSO = 0110X010B (例 割り込み処理中にALDをリード)

ソフトでIICC0 : LREL = 1を設定

3 : IICSO = 00000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意  
 Dn = D6-D0

(e) データ転送時にストップ・コンディションで負けた場合



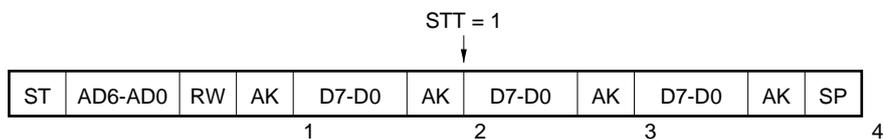
1 : IICSO = 1000X110B

2 : IICSO = 01000001B

**備考** 必ず発生  
 SPIE = 1のときだけ発生  
 X 任意  
 Dn = D6-D0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIM = 1のとき



1 : IICS0 = 1000X110B

2 : IICS0 = 1000XX00B

3 : IICS0 = 01000100B (例 割り込み処理中にALDをリード)

4 : IICS0 = 00000001B

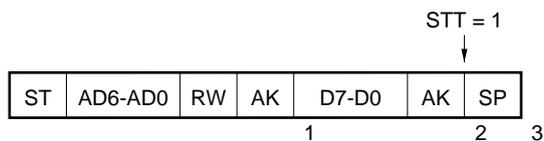
**備考** 必ず発生

SPIE = 1のときだけ発生

X 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIM = 1のとき



1 : IICS0 = 1000X110B

2 : IICS0 = 1000XX00B

3 : IICS0 = 01000001B

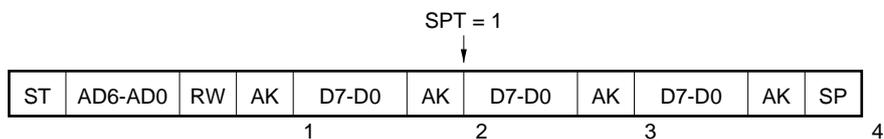
**備考** 必ず発生

SPIE = 1のときだけ発生

X 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIM = 1のとき



1 : IICSD = 1000X110B

2 : IICSD = 1000XX00B

3 : IICSD = 01000000B (例 割り込み処理中にALDをリード)

4 : IICSD = 00000001B

**備考**      必ず発生  
                  SPIE = 1のときだけ発生  
                  X 任意

### 10.3.6 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM) の設定で、次に示すタイミングでINTIIC0が発生して、ウェイト制御を行います。

表10-3 INTIIC0発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 <sup>注1,2</sup>	8 <sup>注2</sup>	8 <sup>注2</sup>	9	8	8
1	9 <sup>注1,2</sup>	9 <sup>注2</sup>	9 <sup>注2</sup>	9	9	9

注1. スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICC0のビット2 (ACKE) の設定にかかわらず、 $\overline{\text{ACK}}$ が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0が発生します。

2. スレーブ・アドレス・レジスタ (SVA0) と受信したアドレスが一致していない場合は、INTIIC0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

#### (1) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

#### (2) データ受信時

マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (3) データ送信時

マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICコントロール・レジスタ0 (IICC0) のビット5 (WREL) = 1
- ・IICシフト・レジスタ0 (IIC0) のライト動作
- ・スタート・コンディションのセット (IICコントロール・レジスタ0 (IICC0) のビット1 (STT) = 1)
- ・ストップ・コンディションのセット (IICコントロール・レジスタ0 (IICC0) のビット0 (SPT) = 1)

8クロック・ウェイト選択 (WTIM = 0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

#### (5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します。

### 10.3.7 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

### 10.3.8 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス (SDA) の状態が、送信しているデバイスのIICシフト・レジスタ0 (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

### 10.3.9 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC) をセットし、8クロック目の立ち下がりで割り込み要求 (INTIIC0) を発生します。

スレーブ・アドレス・レジスタ0 (SVA0) に格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVA0に“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC0は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : EXC = 1<sup>注</sup>

7ビット・データの一致 : COI = 1<sup>注</sup>

注 EXC : IIC状態レジスタ0 (IICS0) のビット5

COI : " のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ0 (IICC0) のビット6をLREL = 1に設定し、次の通信待機状態となります。

表10-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

### 10.3.10 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合( STD = 1になる前にSTT = 1にしたとき<sup>※</sup>), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IIC状態レジスタ0 (IICS0) のアービトレーション負けフラグ (ALD) をセットし, SCL, SDAラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD = 1になっていることで検出します。

割り込み発生タイミングについては, 10.3.5 I<sup>2</sup>C割り込み要求 (INTIIC0) を参照してください。

注 STD : IIC状態レジスタ0 (IICS0) のビット1

STT : IICコントロール・レジスタ0 (IICC0) のビット1

図10 - 15 アービトレーション・タイミング例

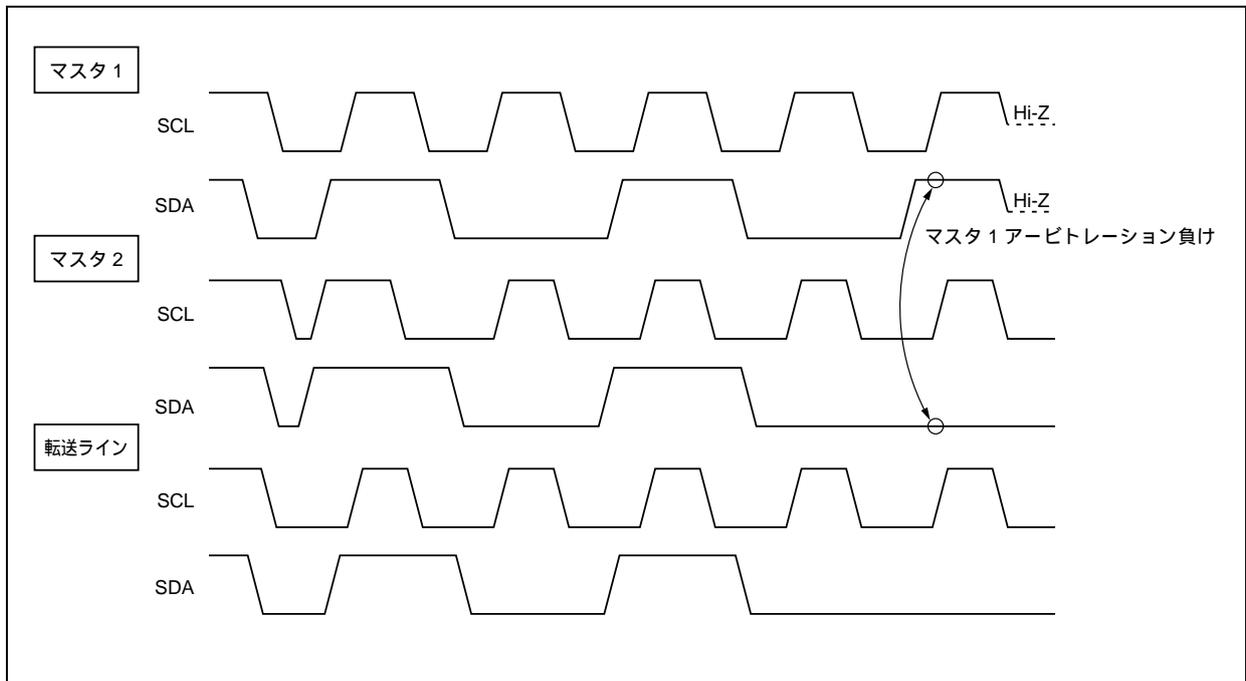


表10-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIE = 1時) <sup>注2</sup>
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIE = 1時) <sup>注2</sup>
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを出力しようとしたがSCLがロウ・レベル	

注1. WTIM (IICコントロール・レジスタ0 (IICC0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE = 1にしてください。

備考 SPIE : IICコントロール・レジスタ0 (IICC0) のビット5

### 10.3.11 ウェイク・アップ機能

I<sup>2</sup>Cバスのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求 (INTIIC0) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICコントロール・レジスタ0 (IICC0) のビット5 (SPIE) の設定によって, 割り込み要求の発生許可 / 禁止が決定します。

### 10.3.12 通信予約

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(ACKを返さず、IICコントロール・レジスタ0(IICC0)のビット6(LREL) = 1でバスを解放した)とき

バスに不参加の状態、IICC0のビット1(STT)をセットすると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出(ストップ・コンディション検出)すると、IICシフト・レジスタ0(IIC0)ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICC0のビット4(SPIE)をセットしておいてください。

STTをセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成  
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するのかどうかを確認するには、STTをセットし、ウェイト時間をとったあと、MSTS(IIC状態レジスタ0(IICS0)のビット7)を確認することで行います。

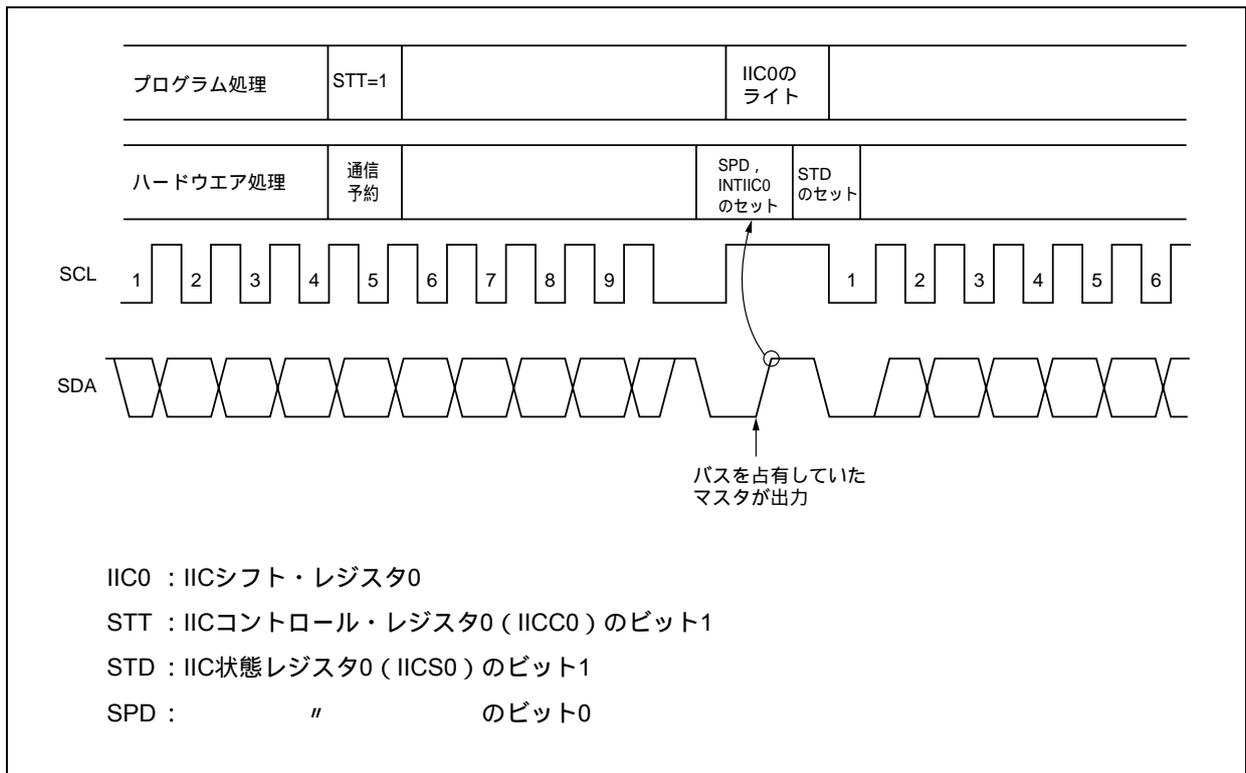
ウェイト時間は、表10-6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICクロック選択レジスタ0(IICCL0)のビット3, 1, 0(SMC, CL1, CL0)により設定できます。

表10-6 ウェイト時間

SMC	CL1	CL0	ウェイト時間
0	0	0	26クロック
0	0	1	46クロック
0	1	0	92クロック
0	1	1	37クロック
1	0	0	16クロック
1	0	1	
1	1	0	32クロック
1	1	1	13クロック

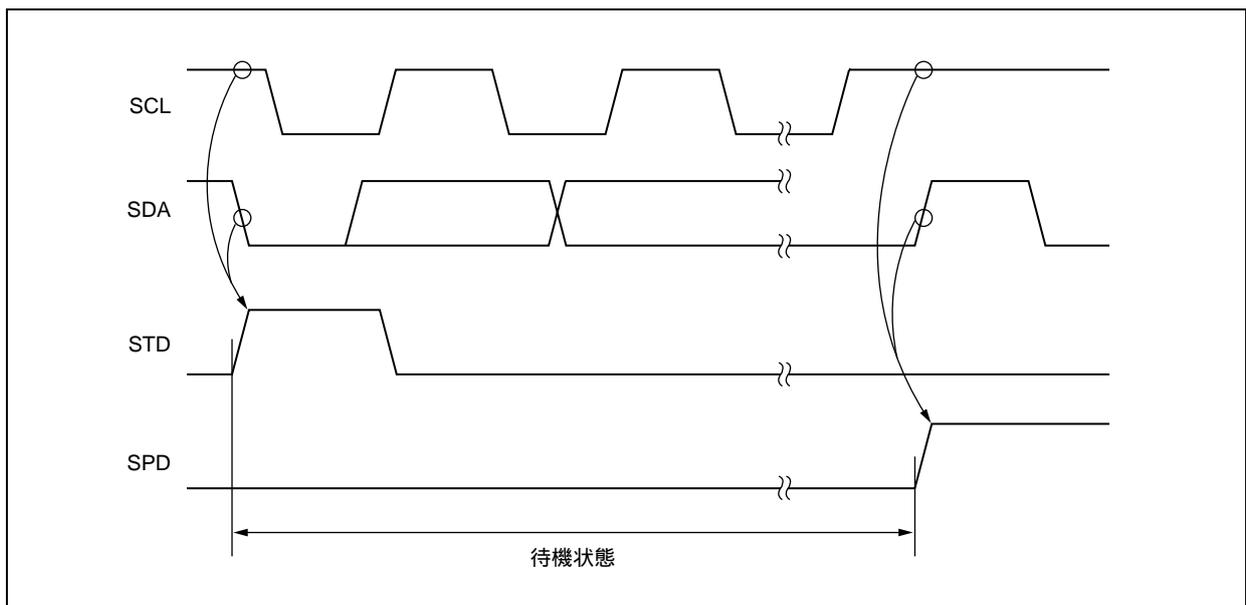
通信予約のタイミングを次に示します。

図10 - 16 通信予約のタイミング



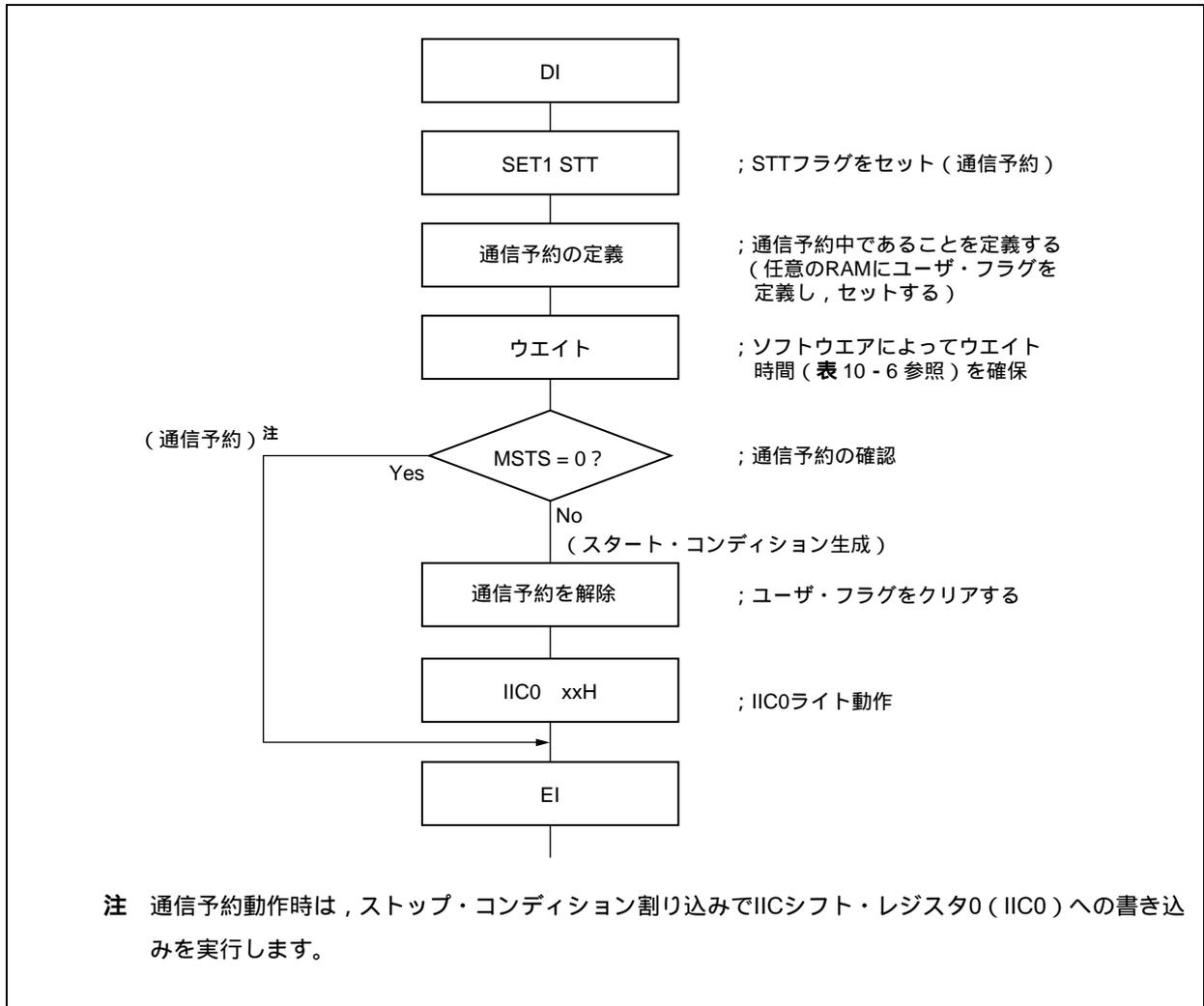
通信予約は次のタイミングで受け付けられます。IIC状態レジスタ0 (IICS0) のビット1 (STD) = 1になったあと、ストップ・コンディション検出までにIICコントロール・レジスタ0 (IICC0) のビット1 (STT) = 1で通信予約をします。

図10 - 17 通信予約受け付けタイミング



次に通信予約の手順を示します。

図10 - 18 通信予約の手順



### 10.3.13 注意事項

リセット後、ストップ・コンディションを検出していない（バスが解放されていない）状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行えません。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタ0 (IICCL0) の設定

IICコントロール・レジスタ0 (IICC0) のビット7 (IICE) のセット

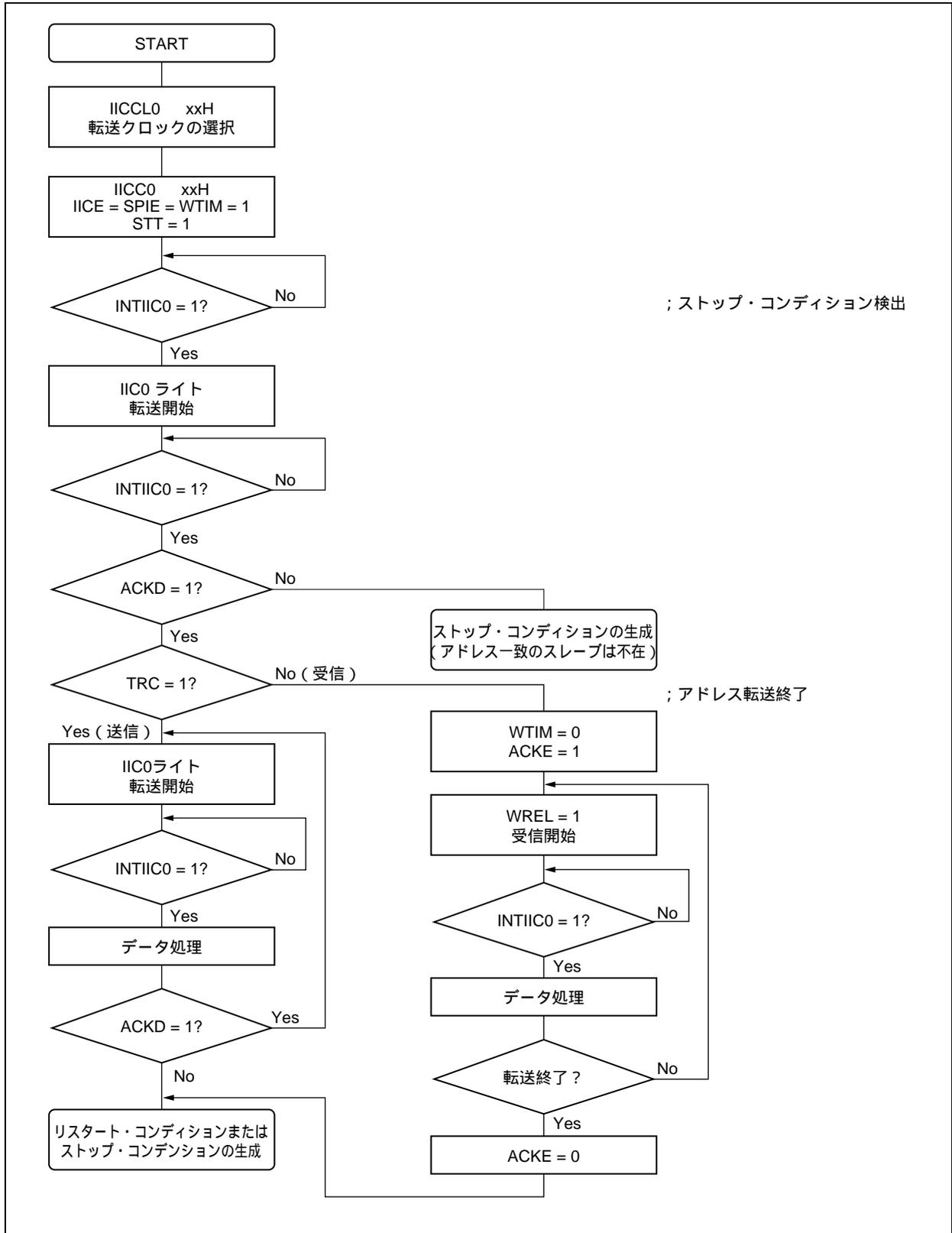
IICC0のビット0のセット

### 10.3.14 通信動作

#### (1) マスタ動作

マスタ通信手順の例を次に示します。

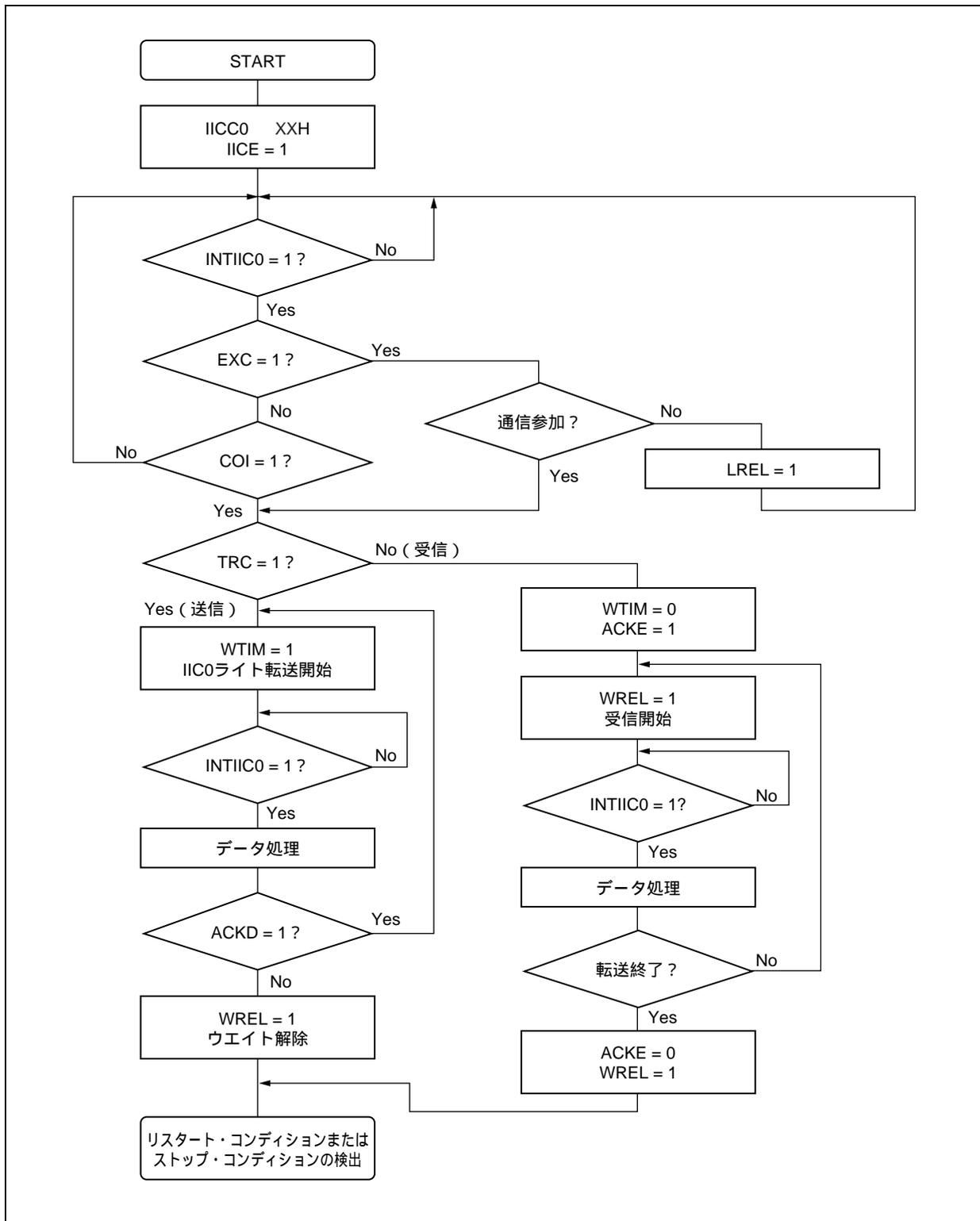
図10 - 19 マスタ動作手順



(2) スレーブ動作

スレーブ通信手順の例を次に示します。

図10-20 スレーブ動作手順



### 10.3.15 データ通信のタイミング

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCビット (IIC状態レジスタ0 (IICS0) のビット3) を送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック (SCL) の立ち下がりに同期してIICバス・シフト・レジスタ0 (IIC0) のシフト動作が行われ、送信データがSOラッチに転送され、SDA端子からMSBファーストで出力されます。

また、SCLの立ち上がりでSDA端子に入力されたデータがIIC0に取り込まれます。

データ通信のタイミングを次に示します。

図10 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

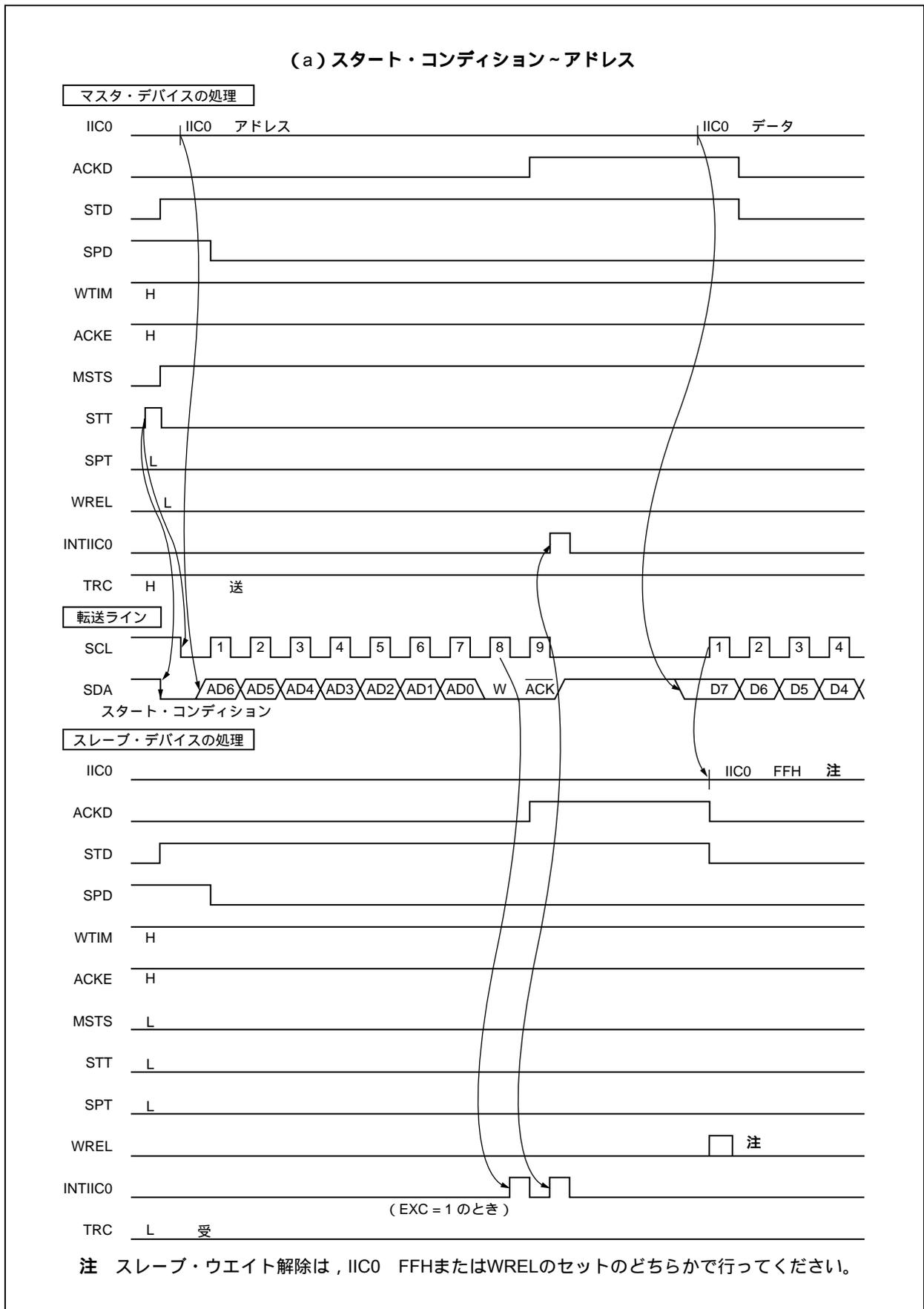


図10 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

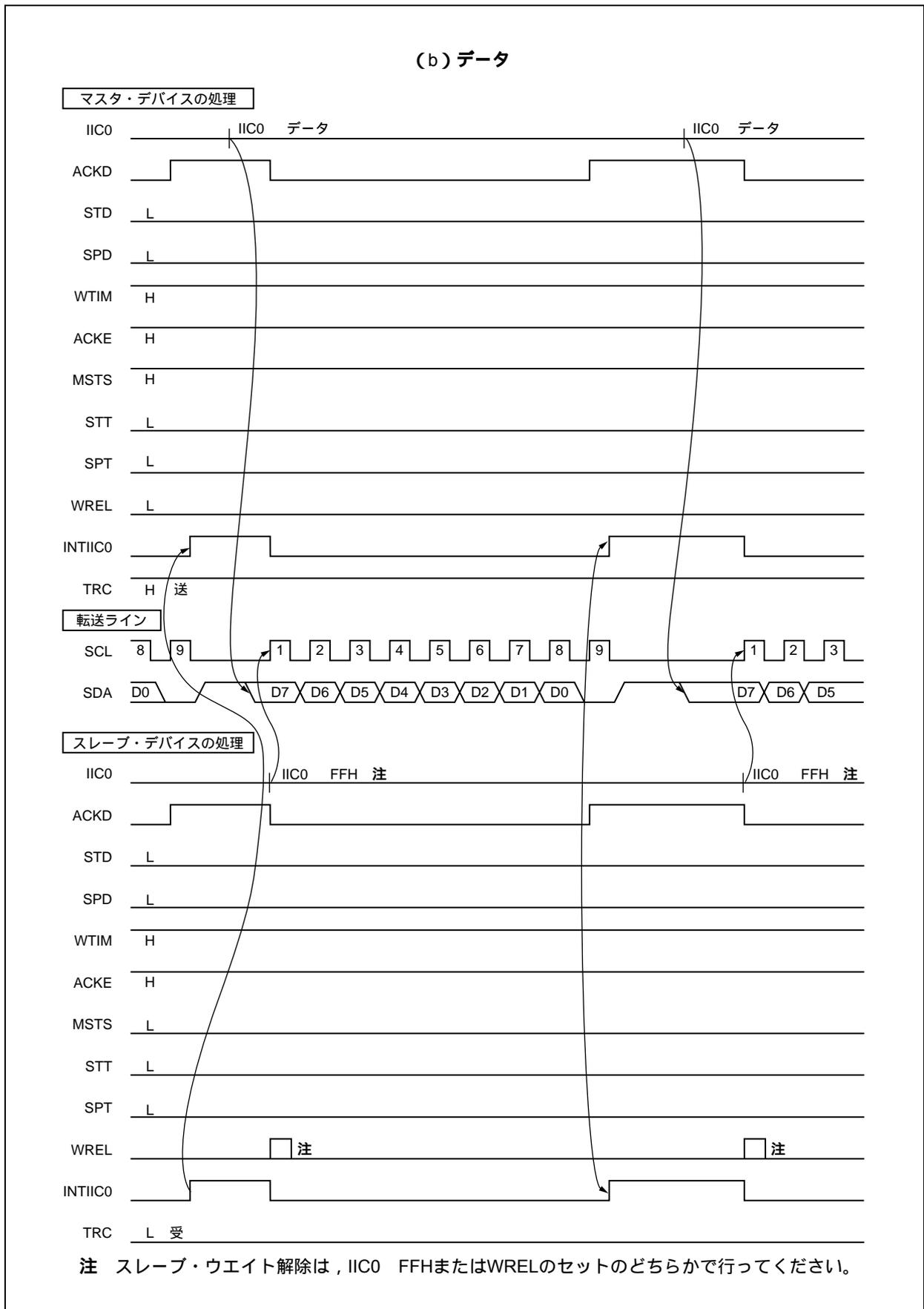


図10 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

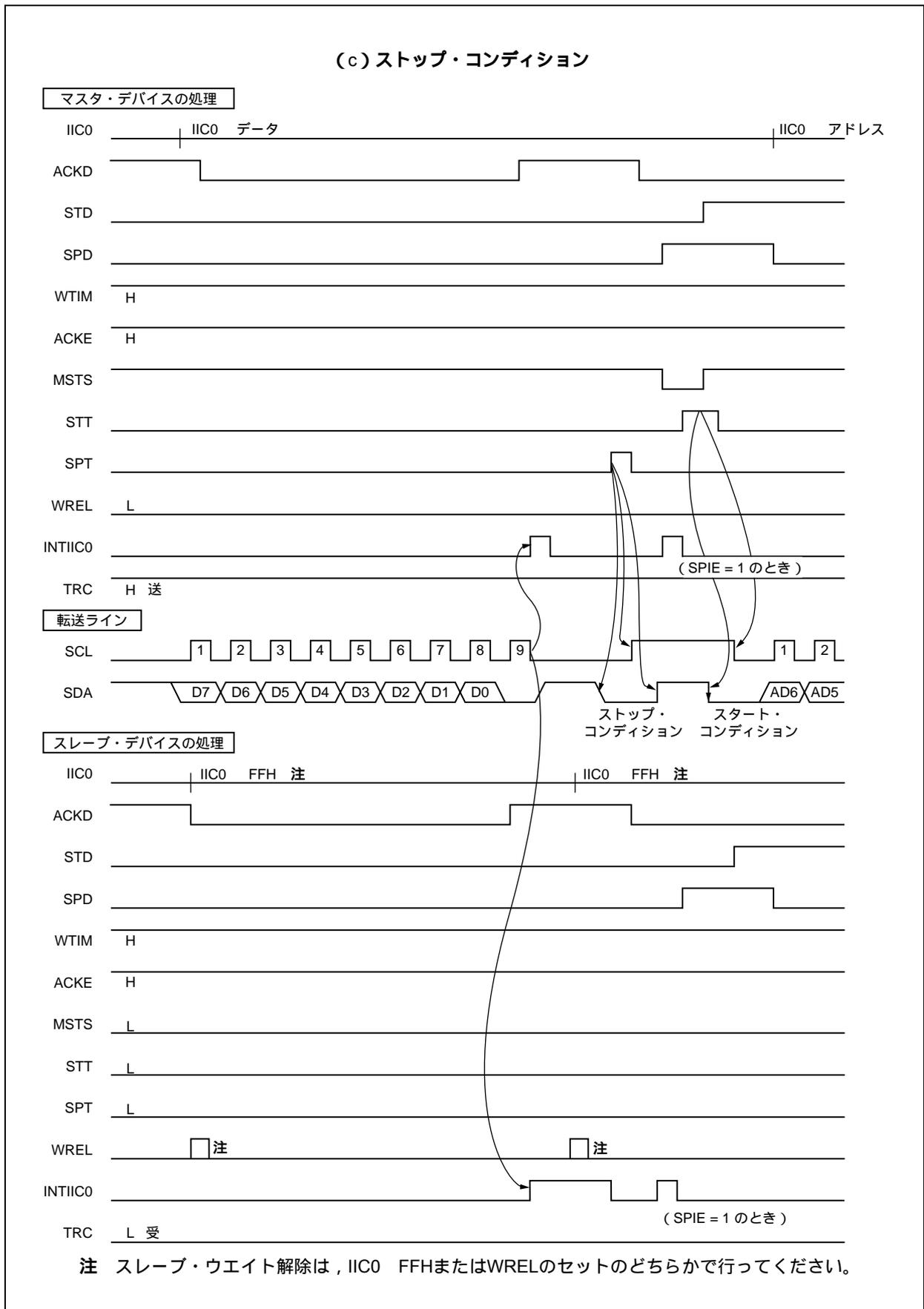


図10 - 22 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

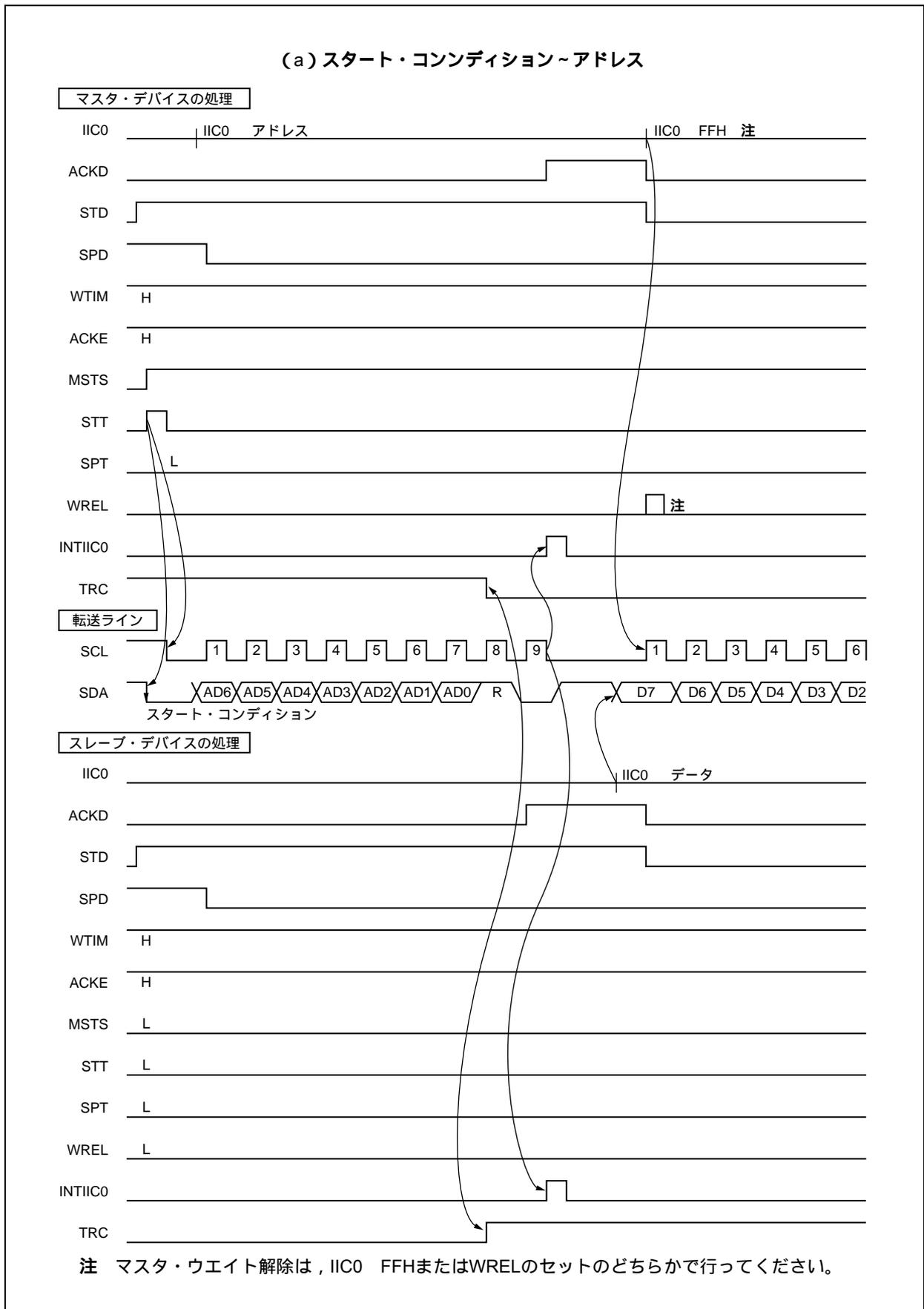


図10 - 22 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

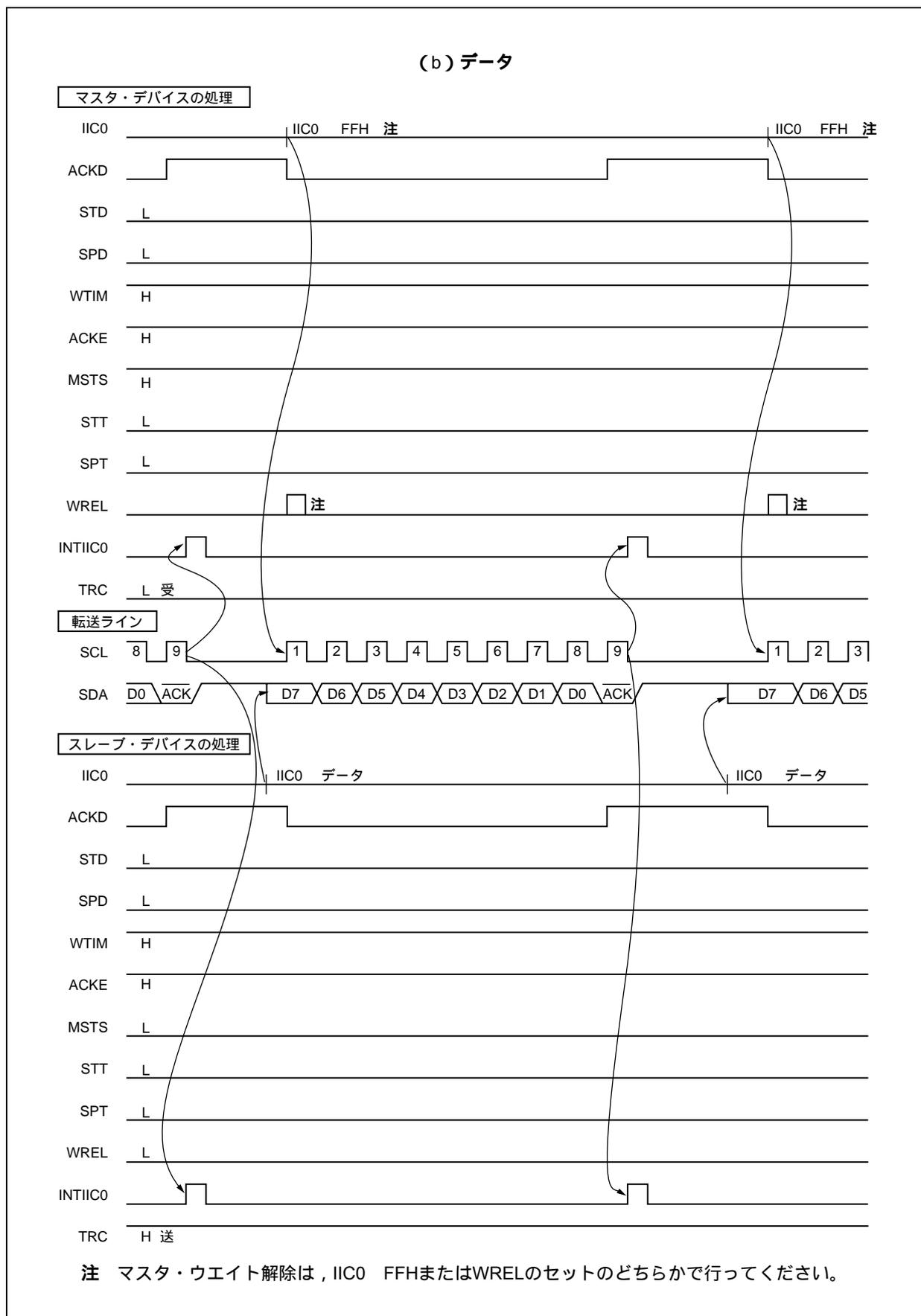
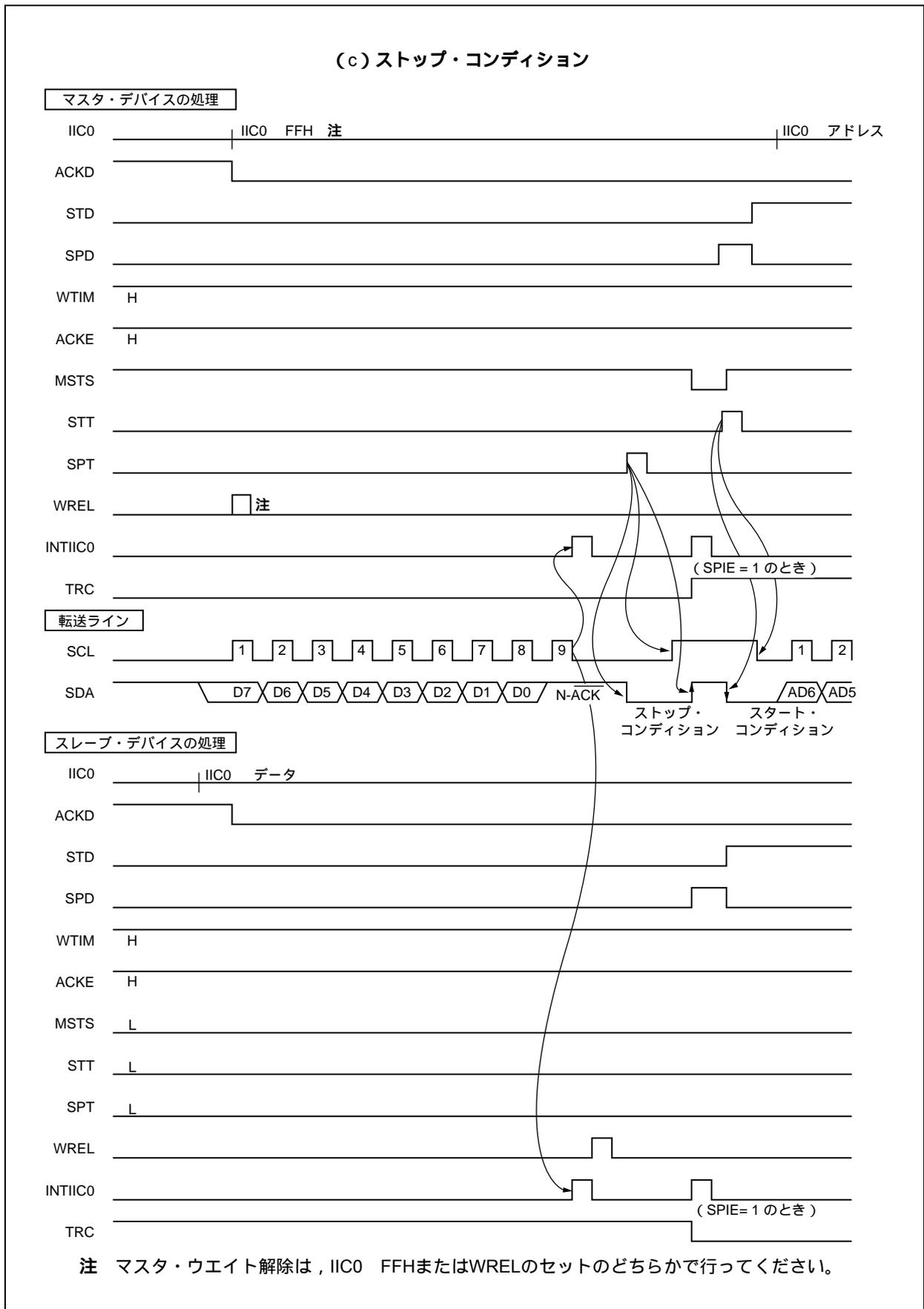


図10-22 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



## 10.4 アシクロナス・シリアル・インタフェース (UART0, UART1)

UARTn (n = 0, 1) には、次の2種類の動作モードがあります。

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

### (2) アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCKn端子への入力クロックを分周してボー・レートを定義することもできます。

UARTn専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

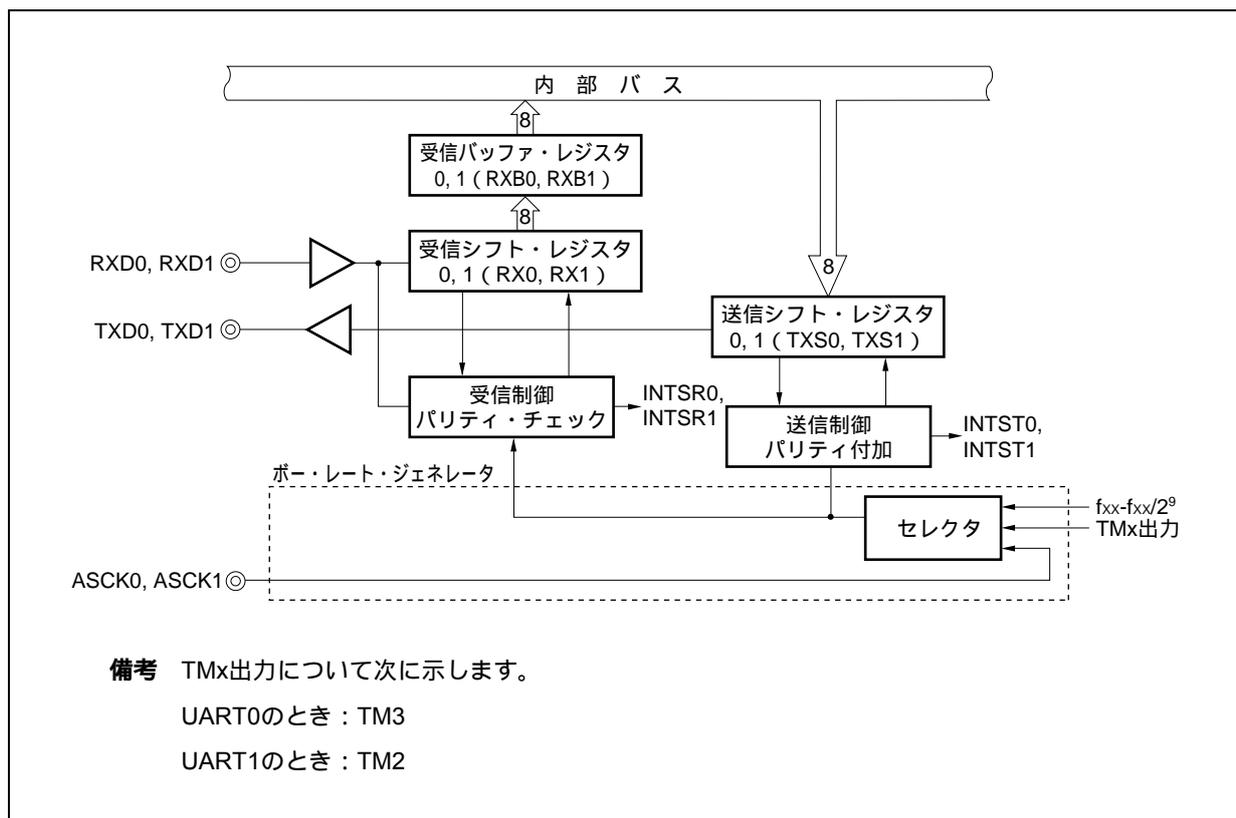
### 10.4.1 構成

UARTnは、次のハードウェアで構成されています。

表10 - 7 UARTnの構成

項目	構成
レジスタ	送信シフト・レジスタ0, 1 (TXS0, TXS1) 受信バッファ・レジスタ0, 1 (RXB0, RXB1)
制御レジスタ	アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC0, BRGC1) ボー・レート・ジェネレータ・モード・コントロール・レジスタ0, 1 (BRGMC0, BRGMC1) ボー・レート・ジェネレータ・モード・コントロール・レジスタ01 (BRGMC01)

図10 - 23 UARTnのブロック図



(1) 送信シフト・レジスタ0, 1 (TXS0, TXS1)

送信データを設定するレジスタです。TXSnに書き込まれたデータをシリアル・データとして送信します。データ長を7ビットに指定した場合、TXSnに書き込んだデータのビット0-ビット6が送信データとして転送されます。TXSnにデータを書き込むことにより、送信動作を開始します。TXSnは、8ビット・メモリ操作命令で書き込みます。読み出しはできません。 $\overline{\text{RESET}}$ 入力により、FFHになります。

**注意** 送信動作中は、TXSnへの書き込みを行わないでください。

(2) 受信シフト・レジスタ0, 1 (RX0, RX1)

RXD0, RXD1端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ0, 1 (RXB0, RXB1)へ転送します。RX0, RX1はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ0, 1 (RXB0, RXB1)

受信データを保持するレジスタです。データを1バイト受信するごとに新たな受信データが転送されます。データ長を7ビットに指定した場合、受信データはRXBnのビット0-ビット6に転送され、RXBnのMSBは必ず0になります。RXBnは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。 $\overline{\text{RESET}}$ 入力により、FFHになります。

**(4) 送信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ $n$ (ASIM $n$ )に設定された内容に従って、送信シフト・レジスタ $n$ (TXS $n$ )に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

**(5) 受信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ $n$ (ASIM $n$ )に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ $n$ (ASIS $n$ )にセットします。

## 10.4.2 UARTn制御レジスタ

UARTnは、次の4種類のレジスタで制御します (n = 0, 1)。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn)
- ・ポー・レート・ジェネレータ・コントロール・レジスタn (BRGCn)
- ・ポー・レート・ジェネレータ・モード・コントロール・レジスタn, 01 (BRGMCn, BRGMC01)

### (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1)

UARTnのシリアル転送動作を制御する8ビットのレジスタです。

ASIMnは、8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H    R/W    アドレス：FFFFFF300H, FFFFFFF310H								
	⑦	⑥	5	4	3	2	1	0
ASIMn	TXEn	RXEn	PS1n	PS0n	UCLn	SLn	ISRMn	0
(n = 0, 1)								
TXEn	RXEn	動作モード		RXDn/Pxx端子の機能		TXDn/Pxx端子の機能		
0	0	動作停止		ポート機能		ポート機能		
0	1	UARTモード (受信のみ)		シリアル機能		ポート機能		
1	0	UARTモード (送信のみ)		ポート機能		シリアル機能		
1	1	UARTモード (送受信)		シリアル機能		シリアル機能		
PS1n	PS0n	パリティ・ビットの指定						
0	0	パリティなし						
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない (パリティ・エラーを発生しない)						
1	0	奇数パリティ						
1	1	偶数パリティ						
UCLn	キャラクタ長の指定							
0	7ビット							
1	8ビット							
SLn	送信データのストップ・ビット長の指定							
0	1ビット							
1	2ビット							
ISRMn	エラー発生時の受信完了割り込み制御							
0	エラー発生時、受信完了割り込みを発生する							
1	エラー発生時、受信完了割り込みを発生しない							

**注意1.** 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

**2.** ビット0には必ず“0”を設定してください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1)

UARTモードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASISnは、8/1ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R アドレス：FFFFF302H, FFFFF312H

	7	6	5	4	3	②	①	①
ASISn	0	0	0	0	0	PEn	FEn	OVerEn

(n = 0, 1)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 <sup>注1</sup> (ストップ・ビットが検出されないとき)

OVerEn	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 <sup>注2</sup> (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC0, BRGC1)

UARTnのシリアル・クロックを設定するレジスタです。

BRGCnは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF304H, FFFF314H

BRGCn (n = 0, 1)	7	6	5	4	3	2	1	0		
	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0		
	MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	入力クロックの選択	k
	0	0	0	0	x	x	x		設定禁止	-
	0	0	0	0	1	0	0	0	fscck/8	8
	0	0	0	0	1	0	0	1	fscck/9	9
	0	0	0	0	1	0	1	0	fscck/10	10
	0	0	0	0	1	0	1	1	fscck/11	11
	0	0	0	0	1	1	0	0	fscck/12	12
	0	0	0	0	1	1	0	1	fscck/13	13
	0	0	0	0	1	1	1	0	fscck/14	14
	0	0	0	0	1	1	1	1	fscck/15	15
	0	0	0	1	0	0	0	0	fscck/16	16
	.	.	.	.	.	.	.	.	.	.
	.	.	.	.	.	.	.	.	.	.
	.	.	.	.	.	.	.	.	.	.
	1	1	1	1	1	1	1	1	fscck/255	255

注意1. BRGCnはリセット時に00Hになります。動作させる前に“設定禁止”以外の設定にしてください。停止状態で“設定禁止”の設定にしても問題ありません。

2. 通信動作中にBRGCnへの書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGCnへの書き込みを行わないでください。

備考 fscck : 8ビット・カウンタのソース・クロック

(4) ボー・レート・ジェネレータ・モード・コントロール・レジスタ0, 01 (BRGMC0, BRGMC01)

UART0のソース・クロックを設定するレジスタです。

BRGMC0, BRGMC01は, 8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時: 00H R/W アドレス: FFFFF320H

	7	6	5	4	3	2	1	0
BRGMC01	0	0	0	0	0	0	0	TPS03

リセット時: 00H R/W アドレス: FFFFF30EH

	7	6	5	4	3	2	1	0
BRGMC0	0	0	0	0	0	TPS02	TPS01	TPS00

TPS03	TPS02	TPS01	TPS00	8ビット・カウンタのソース・クロック選択	m
0	0	0	0	外部クロック (ASCK0)	-
0	0	0	1	$f_{xx}$	0
0	0	1	0	$f_{xx}/2$	1
0	0	1	1	$f_{xx}/4$	2
0	1	0	0	$f_{xx}/8$	3
0	1	0	1	$f_{xx}/16$	4
0	1	1	0	$f_{xx}/32$	5
0	1	1	1	TM3の出力	-
1	0	0	0	$f_{xx}/64$	6
1	0	0	1	$f_{xx}/128$	7
1	0	1	0	$f_{xx}/256$	8
1	0	1	1	$f_{xx}/512$	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

**注意1.** 通信動作中にBRGMC0, BRGMC01への書き込みを行うと, ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって 通信動作中にはBRGMC0, BRGMC01への書き込みを行わないでください。

2. BRGMC0レジスタのビット3-7には必ず“0”を設定してください。

**備考1.** 8ビット・カウンタのソース・クロック:  $f_{sck}$

2. 選択クロックをタイマの出力にした場合, P27/TI3/TO3端子をタイマ出力モードにする必要はありません。

(5) ポー・レート・ジェネレータ・モード・コントロール・レジスタ1 (BRGMC1)

UART1のソース・クロックを設定するレジスタです。

BRGMC1は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF31EH

	7	6	5	4	3	2	1	0
BRGMC1	0	0	0	0	0	TPS12	TPS11	TPS10

TPS12	TPS11	TPS10	8ビット・カウンタのソース・クロック選択	m
0	0	0	外部クロック (ASCK1)	-
0	0	1	$f_{xx}$	0
0	1	0	$f_{xx}/2$	1
0	1	1	$f_{xx}/4$	2
1	0	0	$f_{xx}/8$	3
1	0	1	$f_{xx}/16$	4
1	1	0	$f_{xx}/32$	5
1	1	1	TM2の出力	-

**注意1.** 通信動作中にBRGMC1への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMC1への書き込みを行わないでください。

2. ビット3-7には必ず“0”を設定してください。

**備考1.** 8ビット・カウンタのソース・クロック： $f_{sck}$

2. 選択クロックをタイマの出力にした場合、P26/TI2/TO2端子をタイマ出力モードにする必要はありません。

### 10.4.3 動作

UARTnには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

#### (1) 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

#### (a) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のTXEn, RXEnビットで行います。

図10 - 24 ASIMnの設定 (動作停止モード)

リセット時 : 00H    R/W    アドレス : FFFFFFF300H, FFFFFFF310H

	7	6	5	4	3	2	1	0
ASIMn	TXEn	RXEn	PS1n	PS0n	CLn	SLn	ISRMn	0

(n = 0, 1)

TXEn	RXEn	動作モード	RXDn/Pxx端子の機能	TXDn/Pxx端子の機能
0	0	動作停止	ポート機能	ポート機能

**注意1.** 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

**2.** ビット0には必ず“0”を設定してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UARTn専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(a) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIMn)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASISn)、ボー・レート・ジェネレータ・コントロール・レジスタ (BRGCn)、ボー・レート・ジェネレータ・モード・コントロール・レジスタn, 01 (BRGMCn, BRGMC01)で行います (n = 0, 1)。

★

図10 - 25 ASIMnの設定 (UARTモード)

リセット時 : 00H    R/W    アドレス : FFFFF300H, FFFFF310H

	7	6	5	4	3	2	1	0
ASIMn	TXEn	RXEn	PS1n	PS0n	CLn	SLn	ISRMn	0

(n = 0, 1)

TXEn	RXEn	動作モード	RxDn/Pxx端子の機能	TxDn/Pxx端子の機能
0	1	UARTモード (受信のみ)	シリアル機能	ポート機能
1	0	UARTモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTモード (送受信)	シリアル機能	シリアル機能

PS1n	PS0n	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CLn	キャラクタ長の指定
0	7ビット
1	8ビット

SLn	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRMn	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

**注意1.** 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

**2.** ビット0には必ず“0”を設定してください。

★

図10 - 26 ASISnの設定 (UARTモード)

リセット時：00H R アドレス：FFFFFF302H, FFFFFFF312H

	7	6	5	4	3	2	1	0
ASISn	0	0	0	0	0	PEn	FEn	OVEEn

(n = 0, 1)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 <sup>注1</sup> (ストップ・ビットが検出されないとき)

OVEEn	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 <sup>注2</sup> (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

**注1.** アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

**注2.** オーバラン・エラーが発生したとき、受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnレジスタを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

★

図10 - 27 BRGCnの設定 (UARTモード)

リセット時：00H    R/W    アドレス：FFFFFF304H, FFFFFFF314H

BRGCn

	7	6	5	4	3	2	1	0	
	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0	

(n = 0, 1)

MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	入力クロックの選択	k
0	0	0	0	0	x	x	x	設定禁止	-
0	0	0	0	1	0	0	0	fscck/8	8
0	0	0	0	1	0	0	1	fscck/9	9
0	0	0	0	1	0	1	0	fscck/10	10
0	0	0	0	1	0	1	1	fscck/11	11
0	0	0	0	1	1	0	0	fscck/12	12
0	0	0	0	1	1	0	1	fscck/13	13
0	0	0	0	1	1	1	0	fscck/14	14
0	0	0	0	1	1	1	1	fscck/15	15
0	0	0	1	0	0	0	0	fscck/16	16
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
1	1	1	1	1	1	1	1	fscck/255	255

**注意1.** BRGCnレジスタはリセット時に00Hになります。動作させる前に“設定禁止”以外の設定にしてください。停止状態で“設定禁止”の設定にしても問題ありません。

**2.** 通信動作中にBRGCnレジスタへの書き込みを行うと、ポーレートジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGCnへの書き込みを行わないでください。

**備考** fscck : 8ビット・カウンタのソース・クロック

★

図10 - 28 BRGMC0, BRGMC01の設定 (UARTモード)

リセット時 : 00H R/W アドレス : FFFFF30EH

	7	6	5	4	3	2	1	0
BRGMC0	0	0	0	0	0	TPS02	TPS01	TPS00

リセット時 : 00H R/W アドレス : FFFFF320H

	7	6	5	4	3	2	1	0
BRGMC01	0	0	0	0	0	0	0	TPS03

TPS03	TPS02	TPS01	TPS00	8ビット・カウンタのソース・クロック選択	m
0	0	0	0	外部クロック (ASCK0)	-
0	0	0	1	f <sub>xx</sub>	0
0	0	1	0	f <sub>xx</sub> /2	1
0	0	1	1	f <sub>xx</sub> /4	2
0	1	0	0	f <sub>xx</sub> /8	3
0	1	0	1	f <sub>xx</sub> /16	4
0	1	1	0	f <sub>xx</sub> /32	5
0	1	1	1	TM3の出力	-
1	0	0	0	f <sub>xx</sub> /64	6
1	0	0	1	f <sub>xx</sub> /128	7
1	0	1	0	f <sub>xx</sub> /256	8
1	0	1	1	f <sub>xx</sub> /512	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

- 注意1.** 通信動作中にBRGMC0, BRGMC01レジスタへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMC0, BRGMC01レジスタへの書き込みを行わないでください。
2. BRGMC0レジスタのビット3-7には必ず“0”を設定してください。

- 備考1.** f<sub>xx</sub> : メイン・クロック発振周波数
2. 選択クロックをタイマの出力にした場合、P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

★

図10 - 29 BRGMC1の設定 (UARTモード)

リセット時：00H    R/W    アドレス：FFFFFF31EH

	7	6	5	4	3	2	1	0
BRGMC1	0	0	0	0	0	TPS12	TPS11	TPS10

TPS12	TPS11	TPS10	8ビット・カウンタのソース・クロック選択	m
0	0	0	外部クロック (ASCK1)	-
0	0	1	f <sub>xx</sub>	0
0	1	0	f <sub>xx</sub> /2	1
0	1	1	f <sub>xx</sub> /4	2
1	0	0	f <sub>xx</sub> /8	3
1	0	1	f <sub>xx</sub> /16	4
1	1	0	f <sub>xx</sub> /32	5
1	1	1	TM2の出力	-

**注意1.** 通信動作中にBRGMC1レジスタへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMC1レジスタへの書き込みを行わないでください。

2. ビット3-7には必ず“0”を設定してください。

**備考1.** f<sub>xx</sub>：メイン・クロック発振周波数

2. 選択クロックをタイマの出力にした場合、P26/TO2/TI2端子をタイマ出力モードにする必要はありません。

**(b) ボー・レート**

生成するボー・レート用の送受信クロックは、メイン・クロックを分周した信号になります。

- ・メイン・クロックによるボー・レート用の送受信クロックの生成  
メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

< 8 k 255の場合 >

$$[\text{ボー・レート}] = \frac{f_{\text{xx}}}{2^{m+1} \times k} \text{ [Hz]}$$

$f_{\text{xx}}$  : メイン・クロック発振周波数

$m$  : TPS03-TPS00で設定した値 (0 m 9) - UART0の場合

TPS12-TPS10で設定した値 (0 m 5) - UART1の場合

$k$  : MDLn7-MDLn0で設定した値 (8 k 255)

- ・ **ボー・レートの許容誤差範囲**

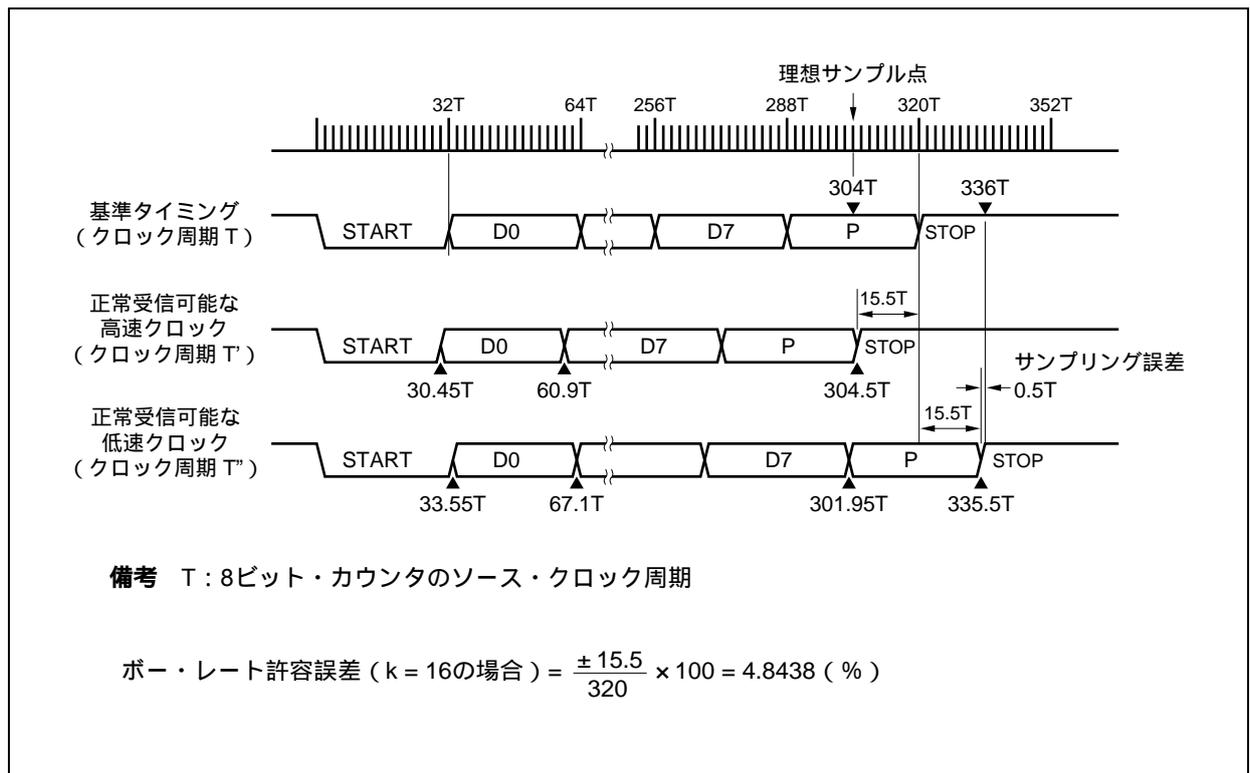
ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比  $[1/(16+k)]$  に依存します。表10 - 8にメイン・クロックとボー・レートの間係を、図10 - 30にボー・レートの許容誤差の例を示します。

表10-8 メイン・クロックとボー・レートの関係

ボー・レート (bps)	f <sub>xx</sub> = 2 MHz			f <sub>xx</sub> = 4.194 MHz			f <sub>xx</sub> = 8.388 MHz			f <sub>xx</sub> = 17 MHz			f <sub>xx</sub> = 20 MHz		
	k	m	誤差(%)	k	m	誤差(%)	k	m	誤差(%)	k	m	誤差(%)	k	m	誤差(%)
8	255	9	-4.26	-	-	-	-	-	-	-	-	-	-	-	-
16	244	8	0.06	255	9	0.39	-	-	-	-	-	-	-	-	-
32	244	7	0.06	255	8	0.38	255	9	0.38	-	-	-	-	-	-
75	208	6	0.16	218	7	0.20	218	8	0.20	221	9	0.16	-	-	-
76	206	6	-0.20	216	7	-0.20	216	8	-0.20	218	9	0.20	255	9	0.78
256	244	4	0.06	128	6	0.01	128	7	0.01	130	8	-0.23	152	8	0.39
1200	208	2	0.16	217	3	0.20	217	4	0.20	221	5	0.16	130	6	0.16
2400	208	1	0.16	218	2	0.20	218	3	0.20	221	4	0.16	130	5	0.16
4800	208	0	0.16	218	1	0.20	218	2	0.20	221	3	0.16	130	4	0.16
9600	104	0	0.16	218	0	0.20	218	1	0.20	221	2	0.16	130	3	0.16
19200	52	0	0.16	109	0	0.20	218	0	0.20	221	1	0.16	130	2	0.16
31250	32	0	0.00	67	0	0.16	134	0	0.16	136	1	0.00	160	1	0.00
38400	26	0	0.16	55	0	-0.71	110	0	-0.71	221	0	0.16	130	1	0.16
76800	13	0	0.16	27	0	1.13	54	0	1.13	111	0	-0.29	130	0	0.16
125000	8	0	0.00	17	0	-1.32	34	0	-1.32	68	0	0.00	80	0	0.00
150000	-	-	-	14	0	0.14	28	0	0.14	55	0	0.62	67	0	-0.50
262000	-	-	-	8	0	0.05	16	0	0.05	32	0	1.38	38	0	0.44
300000	-	-	-	-	-	-	14	0	-0.14	28	0	-1.18	33	0	1.01
524000	-	-	-	-	-	-	8	0	0.05	16	0	1.38	19	0	0.44
1250000	-	-	-	-	-	-	-	-	-	7	0	-2.86	8	0	0.00

備考 f<sub>xx</sub> : メイン・クロック発振周波数

図10-30 サンプリング誤差を考慮したボー・レートの許容誤差 (k = 16の場合)



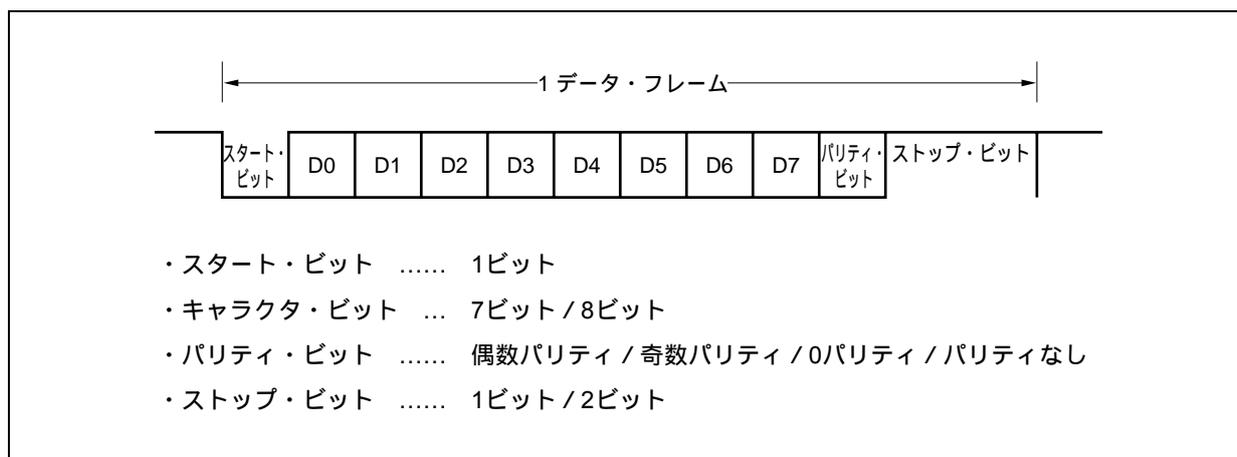
## (c) 通信動作

## (i) データ・フォーマット

送受信データのフォーマットは図10 - 31に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ $n$  (ASIM $n$ )によって行います ( $n = 0, 1$ )。

図10 - 31 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



キャラクタ・ビットとして7ビットを選択した場合、下位7ビット(ビット0-ビット6)のみが有効となり、送信の場合は最上位ビット(ビット7)は無視され、受信の場合は必ず最上位ビット(ビット7)は“0”になります。

シリアル転送レートの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ $n$  (ASIM $n$ )とボー・レート・ジェネレータ・コントロール・レジスタ $n$  (BRGC $n$ )によって行います ( $n = 0, 1$ )。

また、シリアルデータの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ $n$  (ASIS $n$ )の状態を読むことによって受信エラーの内容を判定できます ( $n = 0, 1$ )。

**(ii) パリティの種類と動作**

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出できません。

**偶数パリティ****・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

**・受信時**

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

**奇数パリティ****・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

**・受信時**

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

**パリティなし**

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

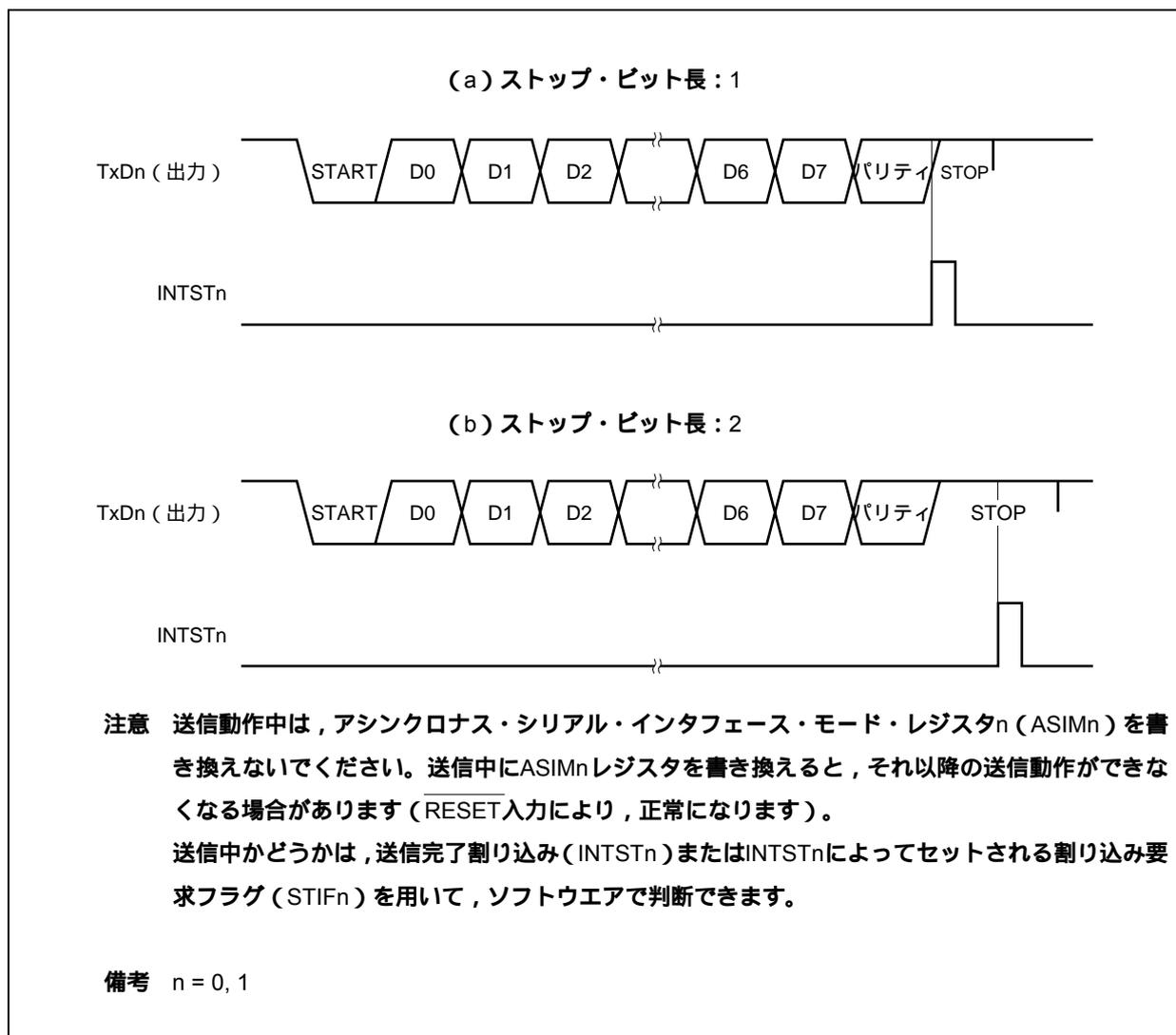
(iii) 送信

送信シフト・レジスタ $n$ (TXSn)に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXSn内のデータがシフト・アウトされTXSnが空になると、送信完了割り込み (INTSTn) が発生します。

送信完了割り込みのタイミングを次に示します。

図10 - 32 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



## (iv) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ $n$  (ASIM $n$ ) のビット6 (RXEn) がセット (1) されると許可状態となり, RXD $n$  端子入力のサンプリングを行います。

RXD $n$  端子入力のサンプリングは, ボー・レート・ジェネレータ・コントロール・レジスタ $n$  (BRGC $n$ ) で指定したシリアル・クロックで行います。

RXD $n$  端子入力が入ロウ・レベルになると, 5ビット・カウンタがカウントを開始し, 設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RXD $n$  端子入力をサンプリングした結果, ロウ・レベルであれば, スタート・ビットとして認識し, 5ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

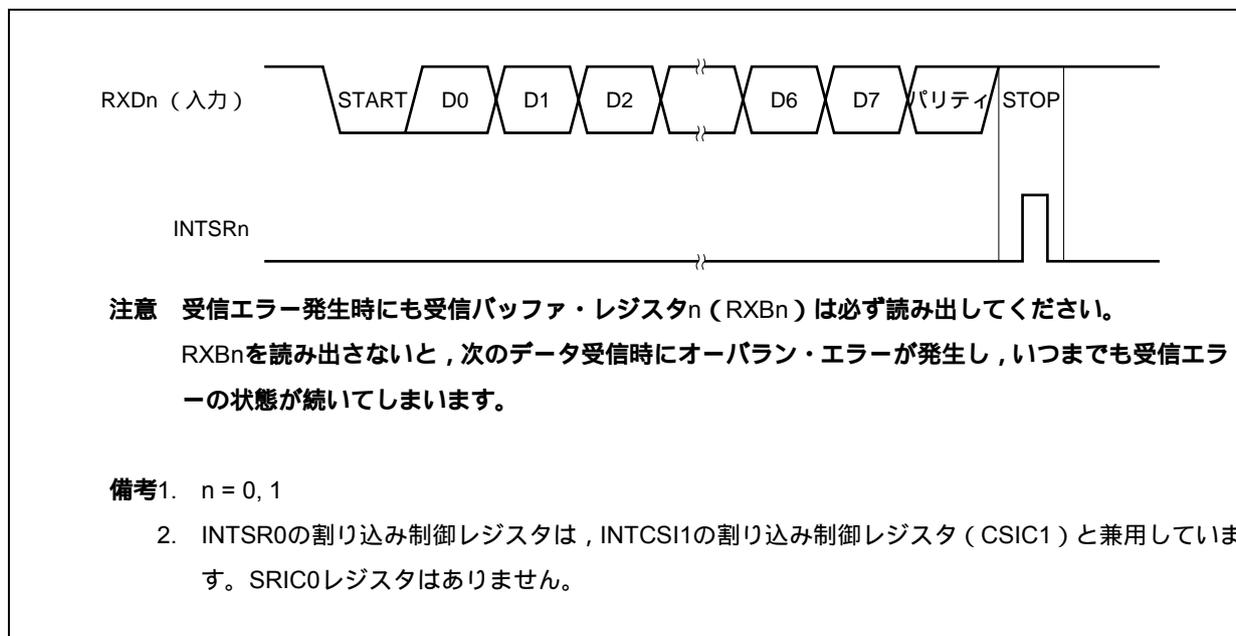
1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ $n$  (RXB $n$ ) に転送し, 受信完了割り込み要求 (INTSR $n$ ) を発生します。

また, エラーが発生しても, RXB $n$  にエラーの発生した受信データを転送します。エラー発生時, ASIM $n$  のビット1 (ISRM $n$ ) がクリア (0) されている場合は, INTSR $n$  を発生します。ISRM $n$  ビットがセット (1) されている場合は, INTSR $n$  は発生しません (10. 4. 2 (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1) 参照)。

なお, 受信動作中にRXEnビットをリセット (0) すると, ただちに受信動作を停止します。このとき, RXB $n$  およびASIS $n$  の内容は変化せず, また, INTSR $n$ , INTSER $n$  も発生しません。

次にアシンクロナス・シリアル・インタフェース受信完了割り込みタイミングを示します。

図10 - 33 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



(v) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) 内に立つと同時に、受信エラー割り込み要求 (INTSERn) を発生します。受信エラー割り込み要求は受信完了割り込み要求 (INTSRn) より先に発生します。受信エラー要因を表10-9に示します。

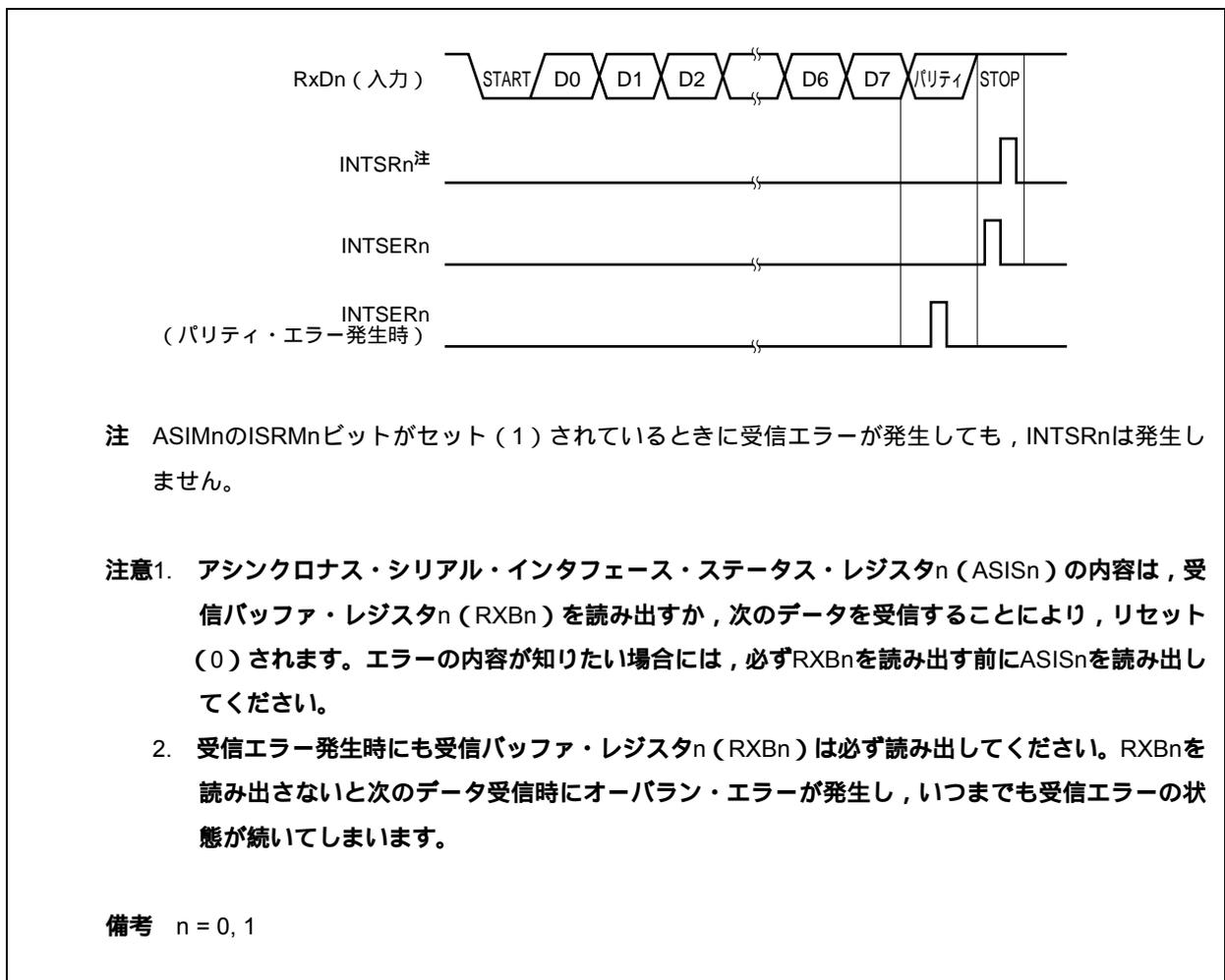
受信エラー割り込み処理 (INTSERn) 内でASISnの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表10-9, 10.4.2(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1) 参照)。

ASISnの内容は、受信バッファ・レジスタn (RXBn) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表10-9 受信エラーの要因

受信エラー	要因	ASISnの値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図10-34 受信エラー・タイミング



#### 10.4.4 スタンバイ機能

##### (1) HALTモード時の動作

シリアル転送動作のみ通常に行われます。

##### (2) IDLEモード時/ソフトウェアSTOPモード時

###### (a) シリアル・クロックとして内部クロックを選択した場合

アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) , アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) , ポー・レート・ジェネレータ・コントロール・レジスタn (BRGCn) , ポー・レート・ジェネレータ・モード・コントロール・レジスタn, 01 (BRGMCn, BRGMC01) , 送信シフト・レジスタn (TXSn) , 受信バッファ・レジスタn (RXBn) は、クロック停止直前の値を保持したまま動作を停止します。

TXDn端子出力は、送信状態のときにクロックが停止された場合(ソフトウェアSTOPモード時)は、直前のデータを保持します。受信中にクロックが停止された場合は、直前までの受信データを格納し、それ以降の動作を停止します。クロックが再起動されると続けて受信動作を再開します。

###### (b) シリアル・クロックとして外部クロックを選択した場合

シリアル転送動作のみ通常に行われます。

# 第11章 A/Dコンバータ

## 11.1 機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、12チャンネル（ANI0-ANI11）の構成になっています。

### （1）ハードウェア・スタート

トリガ入力（ADTRG）により変換開始（立ち上がり、立ち下がり、立ち上がりと立ち下がりの両エッジの指定が可能）。

### （2）ソフトウェア・スタート

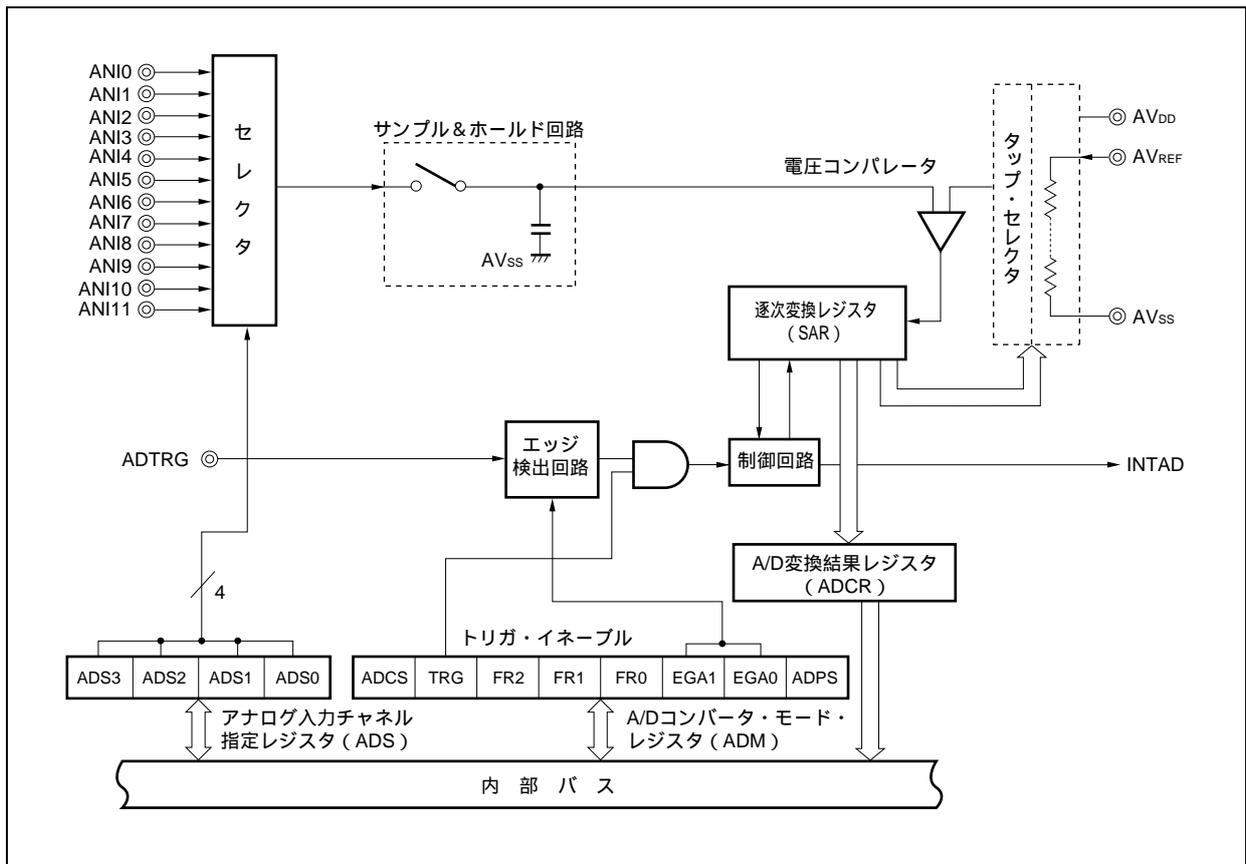
A/Dコンバータ・モード・レジスタ（ADM）を設定することにより変換開始。

アナログ入力をANI0-ANI11から1チャンネル選択し、A/D変換を行います。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求（INTAD）を発生します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTADを発生します。

HALTモード時は、動作を継続します。

次にブロック図を示します。

図11-1 A/Dコンバータのブロック図



## 11.2 構成

A/Dコンバータは、次のハードウェアで構成しています。

表11-1 A/Dコンバータの構成

項目	構成
アナログ入力	12チャンネル (ANI0-ANI11)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ (ADCR) A/D変換結果レジスタH (ADCRH) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ (ADM) アナログ入力チャンネル指定レジスタ (ADS)

### (1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されます。

**(2) A/D変換結果レジスタ (ADCR), A/D変換結果レジスタH (ADCRH)**

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

ADCRは、16ビット・メモリ操作命令で読み出します。 $\overline{\text{RESET}}$ 入力により、0000Hになります。

また、A/D変換結果の上位8ビットだけを使用する場合、ADCRHは8ビット・メモリ操作命令で読み出します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

**(3) サンプル&ホールド回路**

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**(4) 電圧コンパレータ**

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

**(5) 直列抵抗ストリング**

直列抵抗ストリングは $AV_{REF}$ - $AV_{SS}$ 間に接続されており、アナログ入力と比較する電圧を発生します。

**(6) ANI0-ANI11端子**

A/Dコンバータへの12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャンネル指定レジスタ (ADS) でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

**注意** ANI0-ANI11入力電圧は規格の範囲内でご使用ください。特に $AV_{REF}$ 以上、 $AV_{SS}$ 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**(7)  $AV_{REF}$ 端子**

A/Dコンバータの基準電圧を入力する端子です。

$AV_{REF}$ 、 $AV_{SS}$ 間にかかる電圧に基づいて、ANI0-ANI11に入力される信号をデジタル信号に変換します。

**(8)  $AV_{SS}$ 端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に $V_{SS}$ 端子と同電位で使用してください。

**(9)  $AV_{DD}$ 端子**

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に $V_{DD}$ 端子と同電位で使用してください。

### 11.3 制御レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ アナログ入力チャンネル指定レジスタ (ADS)

#### (1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止、外部トリガを設定するレジスタです。

ADMは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(1/2)

リセット時 : 00H    R/W    アドレス : FFFFF3C0H								
⑦	⑥	5	4	3	2	1	①	
ADM	ADCS	TRG	FR2	FR1	FR0	EGA1	EGA0	ADPS
	ADCS	A/D変換動作の制御						
	0	変換動作停止						
	1	変換動作許可						
	TRG	ソフトウェア・スタート / ハードウェア・スタートの選択						
	0	ソフトウェア・スタート						
	1	ハードウェア・スタート						

★

ADPS	FR2	FR1	FR0	変換時間の選択 (変換時間 <sup>注1</sup> + 安定時間 <sup>注2</sup> )
0	0	0	0	288/f <sub>xx</sub>
0	0	0	1	216/f <sub>xx</sub>
0	0	1	0	168/f <sub>xx</sub>
0	0	1	1	120/f <sub>xx</sub>
0	1	0	0	96/f <sub>xx</sub>
0	1	0	1	72/f <sub>xx</sub>
0	1	1	0	60/f <sub>xx</sub>
0	1	1	1	48/f <sub>xx</sub>
1	0	0	0	288/f <sub>xx</sub> + 144/f <sub>xx</sub>
1	0	0	1	216/f <sub>xx</sub> + 108/f <sub>xx</sub>
1	0	1	0	168/f <sub>xx</sub> + 84/f <sub>xx</sub>
1	0	1	1	120/f <sub>xx</sub> + 60/f <sub>xx</sub>
1	1	0	0	96/f <sub>xx</sub> + 48/f <sub>xx</sub>
1	1	0	1	72/f <sub>xx</sub> + 36/f <sub>xx</sub>
1	1	1	0	60/f <sub>xx</sub> + 30/f <sub>xx</sub>
1	1	1	1	48/f <sub>xx</sub> + 24/f <sub>xx</sub>

EGA1	EGA0	外部トリガ信号, エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

ADPS	A/D変換停止時 (ADCS = 0) の内部コンパレータ制御
0	コンパレータ・オン
1	コンパレータ・オフ

注1. 変換時間 (実際にA/D変換にかかる時間)

必ず, 5 μs 変換時間 100 μsになるように設定してください。ただし, ADPSビット = 1 のとき, 安定時間は含みません。

2. 安定時間 (A/D変換器のセットアップ時間)

1回のA/D変換で「変換時間 + 安定時間」の時間がかかります。ADPS = 0のときは, 安定時間はなくなります。

**備考** 内部コンパレータをオフすることで, AV<sub>DD</sub>端子に流れる電流をカットできます。

★

表11 - 2 A/D変換時間の選択

ADPS	FR2	FR1	FR0	変換時間の選択					
				変換時間 + 安定時間	f <sub>xx</sub>				
					20 MHz	17 MHz	13.5 MHz	8 MHz	2 MHz
0	0	0	0	288/f <sub>xx</sub>	14.4 μs	16.9 μs	21.3 μs	36.0 μs	設定禁止
0	0	0	1	216/f <sub>xx</sub>	10.8 μs	12.7 μs	16.0 μs	27.0 μs	設定禁止
0	0	1	0	168/f <sub>xx</sub>	8.4 μs	9.9 μs	12.4 μs	21.0 μs	84.0 μs
0	0	1	1	120/f <sub>xx</sub>	6.0 μs	7.1 μs	8.9 μs	15.0 μs	60.0 μs
0	1	0	0	96/f <sub>xx</sub>	設定禁止	5.6 μs	7.1 μs	12.0 μs	48.0 μs
0	1	0	1	72/f <sub>xx</sub>	設定禁止	設定禁止	5.3 μs	9.0 μs	36.0 μs
0	1	1	0	60/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	7.5 μs	30.0 μs
0	1	1	1	48/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	6.0 μs	24.0 μs
1	0	0	0	288/f <sub>xx</sub> + 144/f <sub>xx</sub>	21.6 μs	25.4 μs	32.0 μs	54.0 μs	設定禁止
1	0	0	1	216/f <sub>xx</sub> + 108/f <sub>xx</sub>	16.2 μs	19.1 μs	24.0 μs	40.5 μs	設定禁止
1	0	1	0	168/f <sub>xx</sub> + 84/f <sub>xx</sub>	12.6 μs	14.9 μs	18.7 μs	31.5 μs	設定禁止
1	0	1	1	120/f <sub>xx</sub> + 60/f <sub>xx</sub>	9.0 μs	10.7 μs	13.3 μs	22.5 μs	90.0 μs
1	1	0	0	96/f <sub>xx</sub> + 48/f <sub>xx</sub>	設定禁止	8.4 μs	10.7 μs	18.0 μs	72.0 μs
1	1	0	1	72/f <sub>xx</sub> + 36/f <sub>xx</sub>	設定禁止	設定禁止	8.0 μs	13.5 μs	54.0 μs
1	1	1	0	60/f <sub>xx</sub> + 30/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	11.3 μs	45.0 μs
1	1	1	1	48/f <sub>xx</sub> + 24/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	9.0 μs	36.0 μs

(2) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H    R/W    アドレス：FFFFFF3C2H

	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネルの指定
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
0	1	0	0	ANI4
0	1	0	1	ANI5
0	1	1	0	ANI6
0	1	1	1	ANI7
1	0	0	0	ANI8
1	0	0	1	ANI9
1	0	1	0	ANI10
1	0	1	1	ANI11
その他				設定禁止

**注意** ビット4-7には必ず“0”を設定してください。

## 11.4 動作

### 11.4.1 基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを  $(1/2) AV_{REF}$  にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力  $(1/2) AV_{REF}$  よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{REF}$  よりも小さければMSBをリセットします。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット9 = 1 :  $(3/4) AV_{REF}$
- ・ビット9 = 0 :  $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8を次のように操作します。

- アナログ入力電圧 電圧タップ : ビット8 = 1
- アナログ入力電圧 電圧タップ : ビット8 = 0

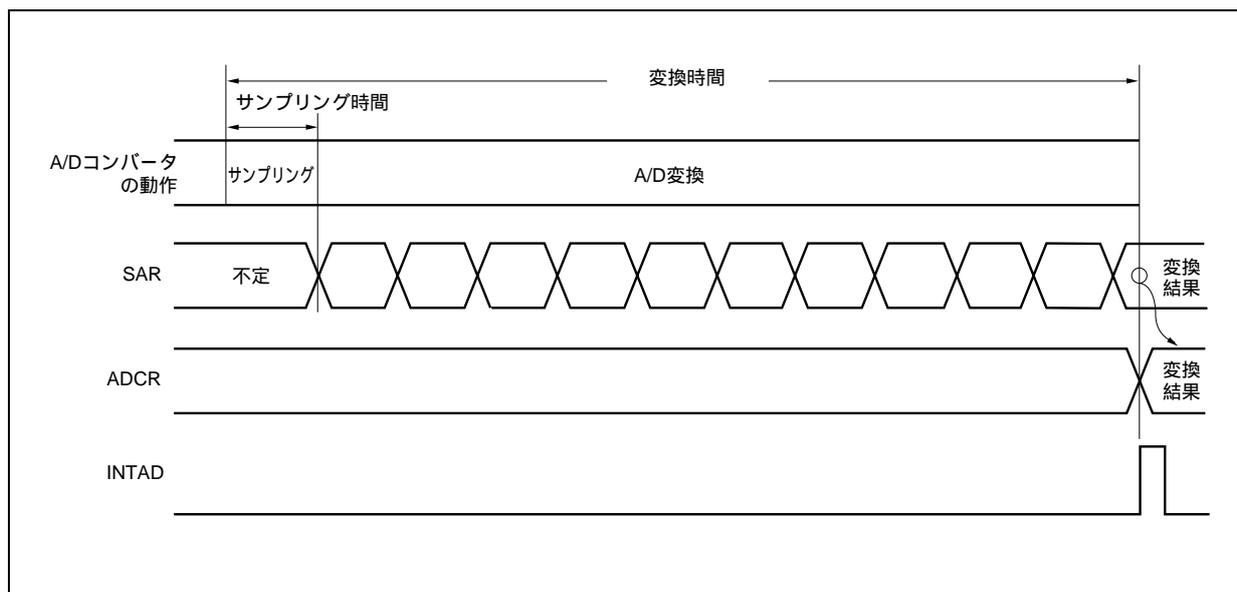
このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生できます。

**注意** ADCS = 0 1に設定した直後の最初のA/D変換値は定格を満たさないことがあります。

図11-2 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM、アナログ入力チャネル指定レジスタ (ADS) に対する書き込み操作を行うと変換動作は初期化され、ADCSがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR) は、 $\overline{\text{RESET}}$  入力により0000Hとなります。

### 11. 4. 2 入力電圧と変換結果

アナログ入力端子 ( ANI0-ANI11 ) に入力されたアナログ入力電圧とA/D変換結果 ( A/D変換結果レジスタ ( ADCR ) ) には次式に示す関係があります。

$$ADCR = \text{INT} \left( \frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または,

$$( ADCR - 0.5 ) \times \frac{AV_{REF}}{1024} < V_{IN} < ( ADCR + 0.5 ) \times \frac{AV_{REF}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

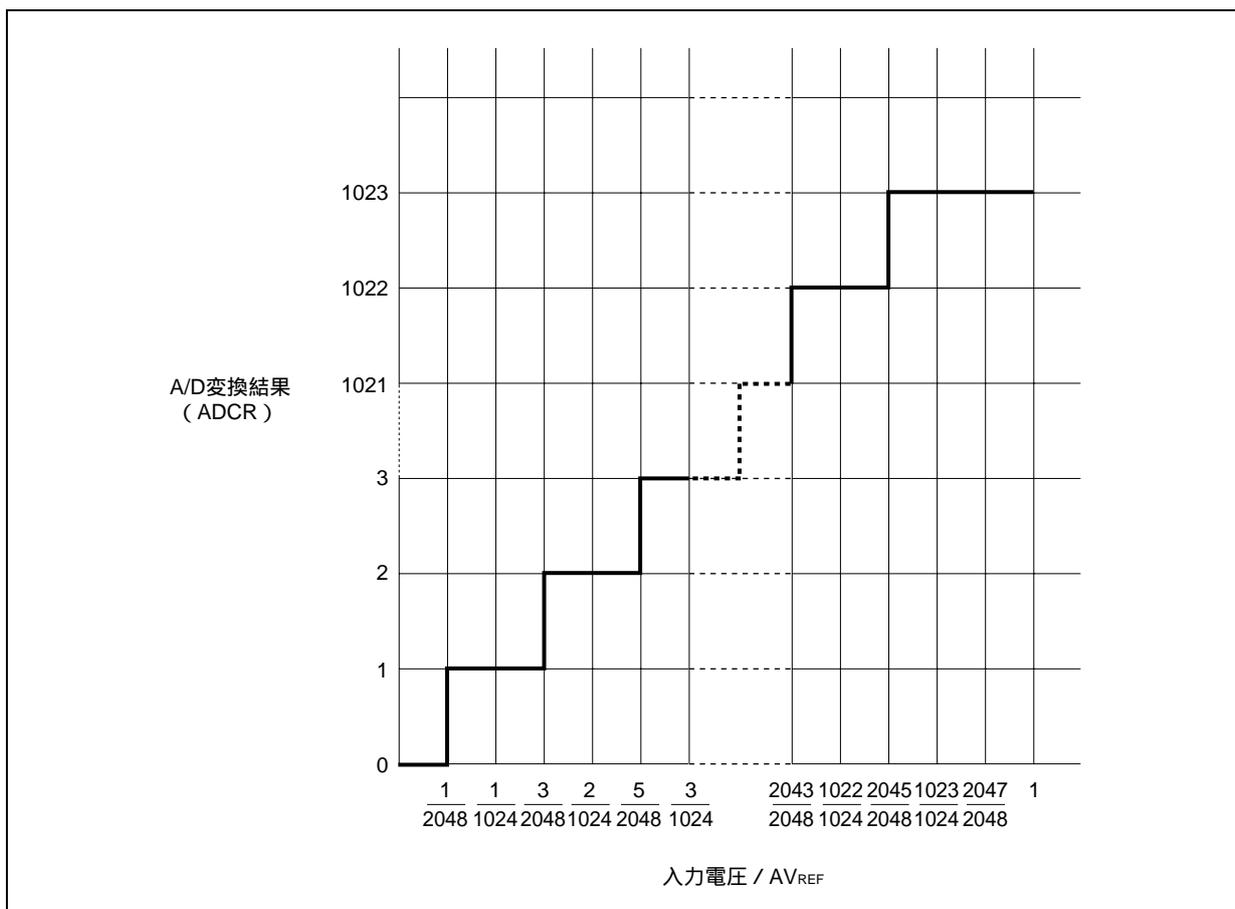
$V_{IN}$  : アナログ入力電圧

$AV_{REF}$  :  $AV_{REF}$ 端子電圧

ADCR : A/D変換結果レジスタ ( ADCR ) の値

次にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 3 アナログ入力電圧とA/D変換結果の関係



### 11.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI11からアナログ入力を1チャンネル選択し、A/D変換を行います。A/D変換動作の起動方法には、次の2種類があります。

ハードウェア・スタート：トリガ入力 (ADTRG) により変換開始 (立ち上がり, 立ち下がり, 立ち上がり  
と立ち下がりの両エッジ指定可能)

ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ (ADM) を設定することにより開始

A/D変換結果はA/D変換結果レジスタ (ADCR) に格納され、同時に割り込み要求信号 (INTAD) が発生します。

(1) ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ (ADM) のビット6 (TRG) に1, ビット7 (ADCS) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号が入力されると, アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

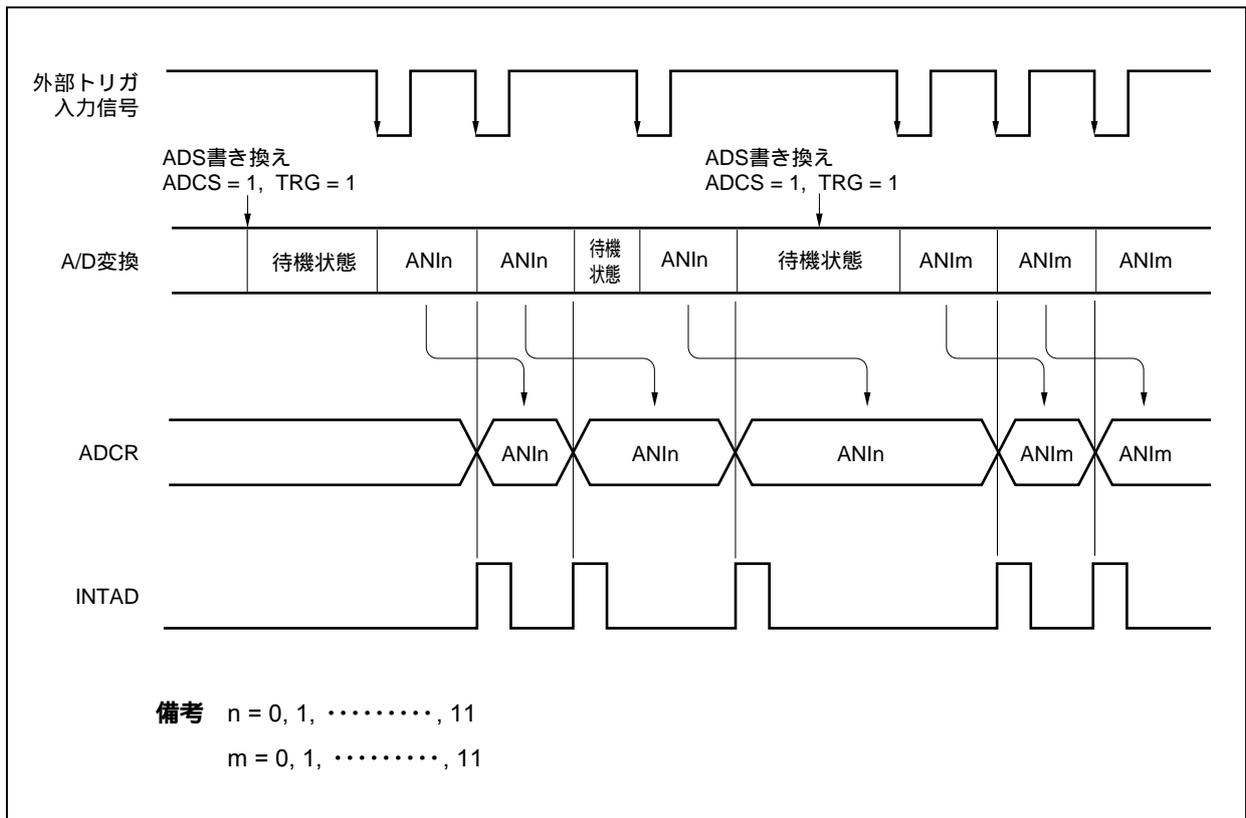
A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, 新たに外部トリガ信号が入力されないかぎり, A/D変換動作は開始しません。

A/D変換動作中に, 再度ADCSが1であるデータをADMに書き込むと, そのとき行っていたA/D変換動作を中断し, 新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると, A/D変換動作を最初から行います。

また, A/D変換動作中に, ADCSが0であるデータをADMに書き込むと, ただちにA/D変換動作を停止します。

**注意** 外部トリガ信号の入力間隔は, ADMレジスタのFR2-FR0ビットで指定する変換時間+6 CPUクロック以上としてください。

図11-4 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)



(2) ソフトウェア・スタートによるA/D変換動作

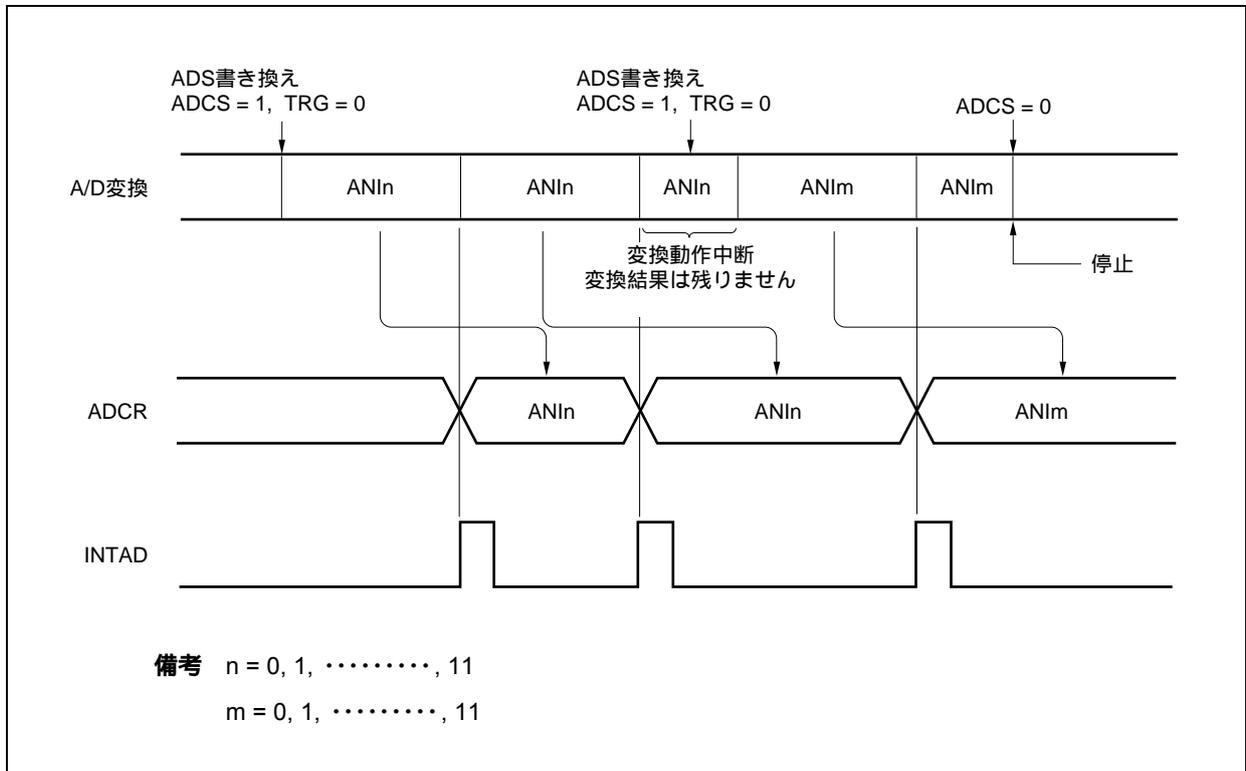
A/Dコンバータ・モード・レジスタ (ADM) のビット6 (TRG) に0, ビット7 (ADCS) に1を設定することにより, アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, ADSを書き換えると, そのとき行っていたA/D変換動作を中断し, 新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

また, A/D変換動作中にADCSが0であるデータをADMに書き込むと, ただちにA/D変換動作を停止します。

図11 - 5 ソフトウェア・スタートによるA/D変換動作



## 11.5 注意事項

### (1) スタンバイ・モード時の消費電流について

A/Dコンバータは、IDLE/ソフトウェアSTOPモード時には動作が停止します(HALTモード時は動作可能)。このとき変換動作停止(A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)=0)にすることにより、消費電流を低減できます。

IDLE/ソフトウェアSTOPモード時には、ユーザ回路でAVREFの電圧をAVSSと同電位(0V)にしてください。

### (2) ANI0-ANI11入力範囲について

ANI0-ANI11入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

#### 変換終了時のA/D変換結果レジスタ(ADCR)ライトと命令によるADCRリードとの競合

ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。

#### 変換終了時のADCRライトと外部トリガ信号入力の競合

A/D変換中の外部トリガ信号は受け付けません。したがって、ADCRライト中の外部トリガ信号も受け付けません。

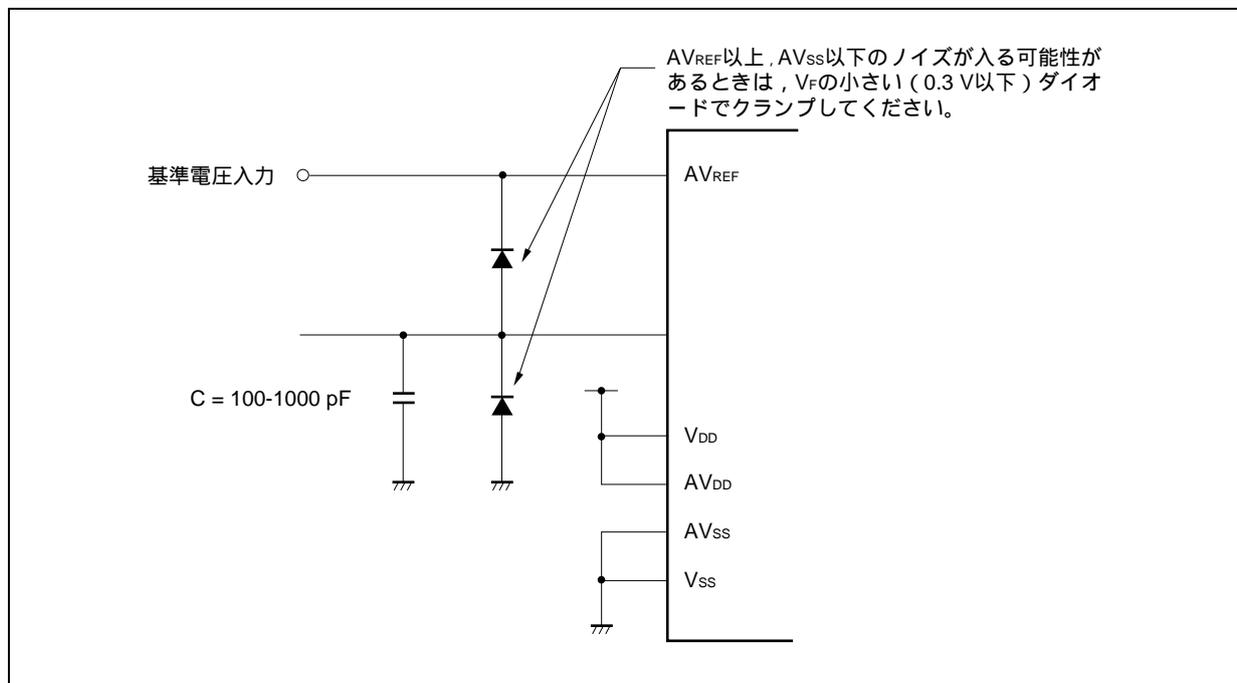
#### 変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ(ADM)ライト、またはアナログ入力チャンネル指定レジスタ(ADS)ライトの競合

A/D変換終了後のADCRライト直後に、ADMまたはADSへライトした場合、ADCRレジスタへ変換結果がライトされません。また、変換終了割り込み要求信号(INTAD)を発生しません。

## (4) ノイズ対策について

10ビット分解能を保つためには、 $AV_{REF}$ 、 $ANI0$ - $ANI11$ 端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-6のようにコンデンサを外付けすることを推奨します。

図11-6 アナログ入力端子の処理



## (5) ANI0-ANI11

アナログ入力(ANI0-ANI11)端子はポート端子と兼用になっています。

ANI0-ANI11のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) AV<sub>REF</sub>端子の入力インピーダンスについて

AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間には直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

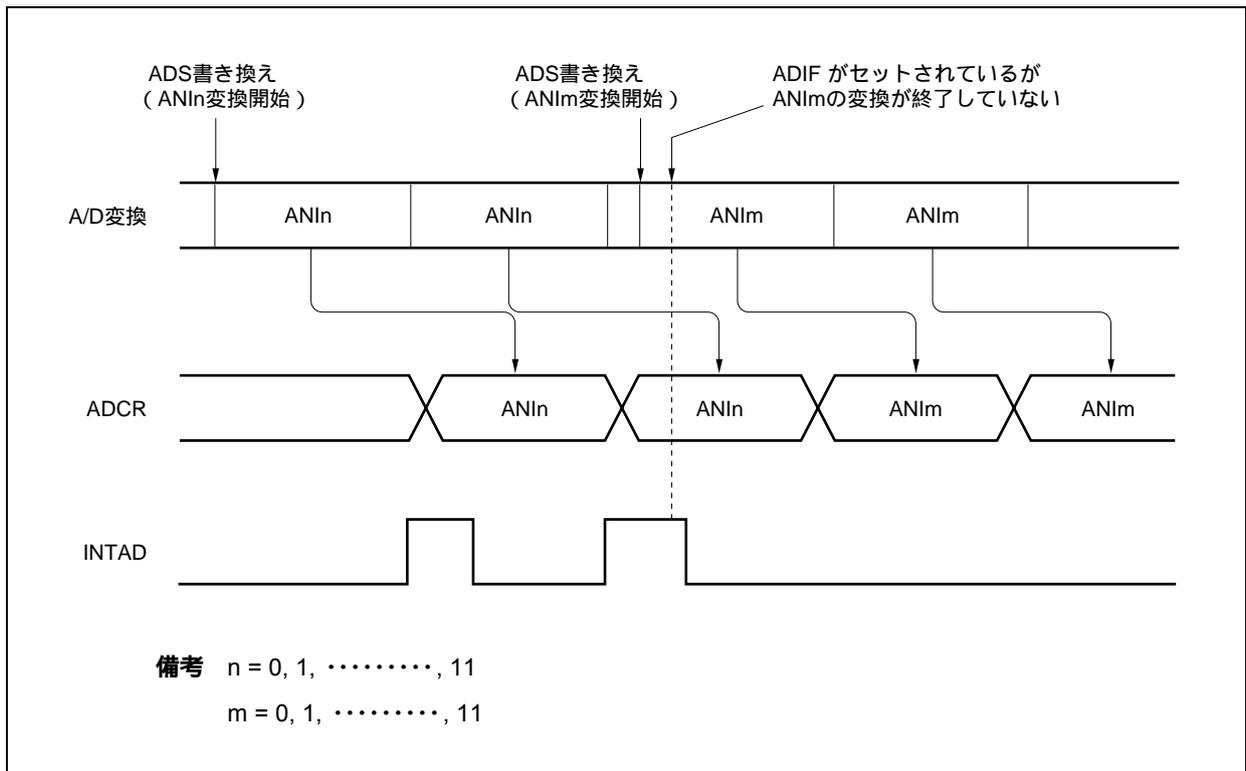
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても、割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADS書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図11-7 A/D変換終了割り込み要求発生タイミング

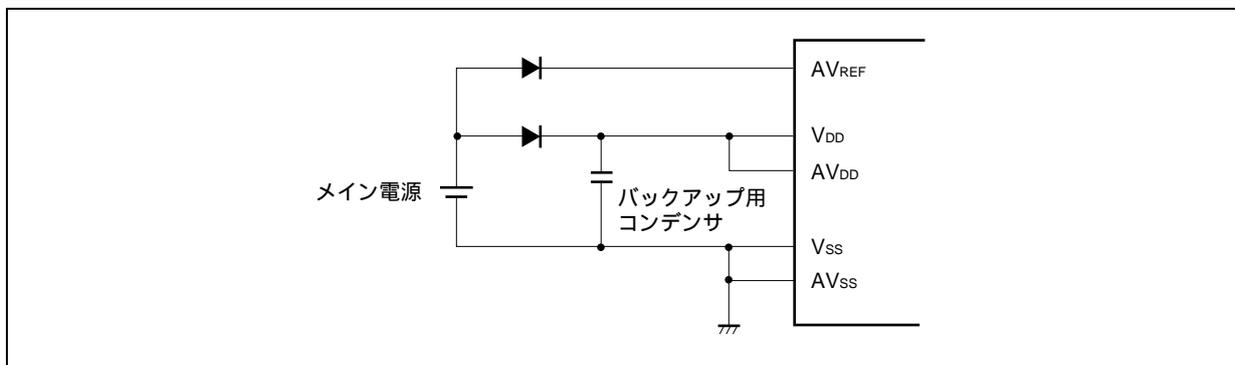


**(8) AV<sub>DD</sub>端子について**

AV<sub>DD</sub>端子はアナログ回路の電源端子であり、ANI0-ANI11の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図11-8のように必ずV<sub>DD</sub>端子と同レベルの電位を印加してください。

図11-8 AV<sub>DD</sub>端子の処理

**(9) A/D変換結果レジスタ (ADCR) の読み出しについて**

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定になることがあります。そのため、ADCRを読み出す場合は、A/D変換動作中 (ADCSビット = 1) に行ってください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

## ★ 11.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF} - 0) / 100 \\ &= AV_{REF} / 100 \end{aligned}$$

1LSBは分解能10ビットのとき、次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098 \%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

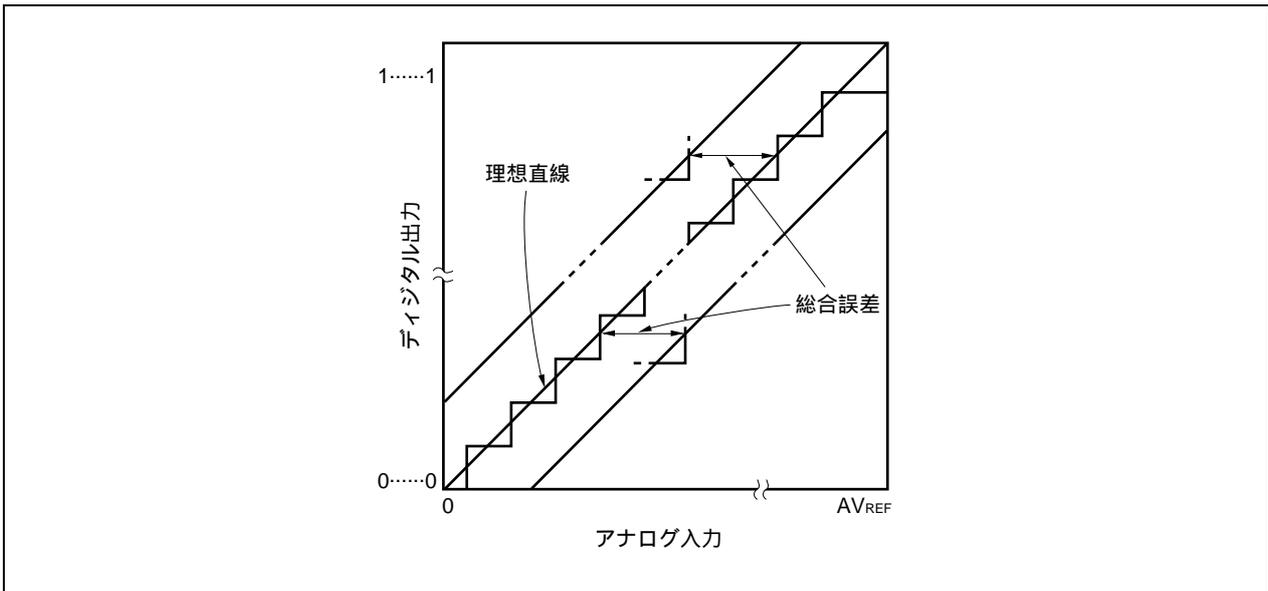
### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図11 - 9 総合誤差

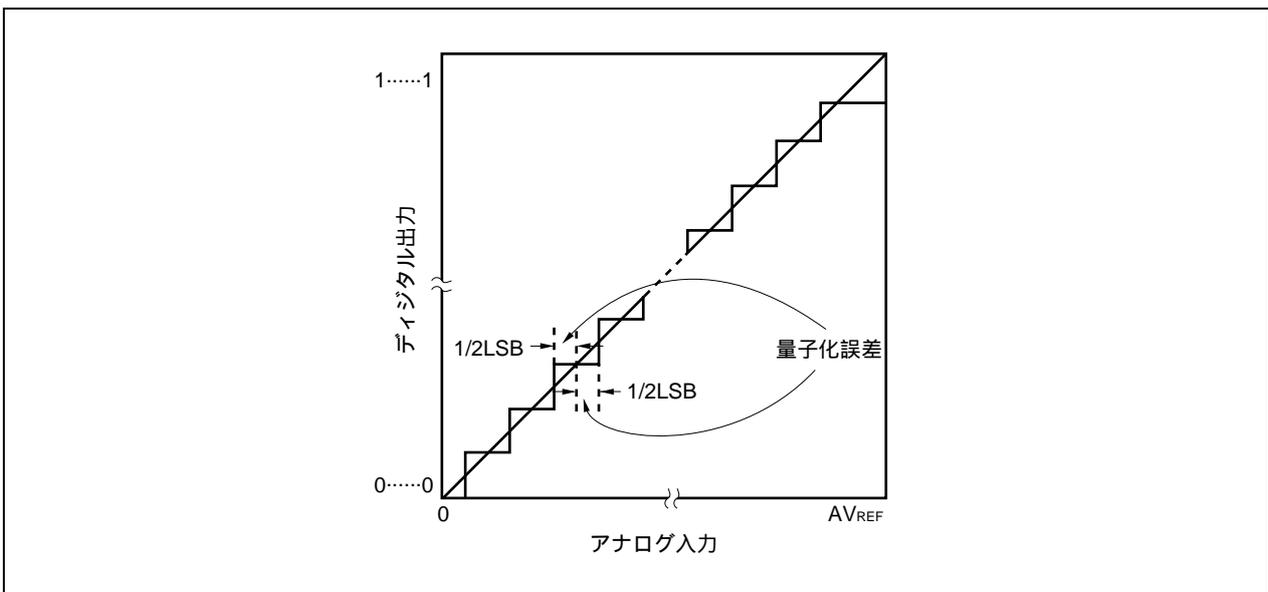


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2\text{LSB}$  の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$  の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

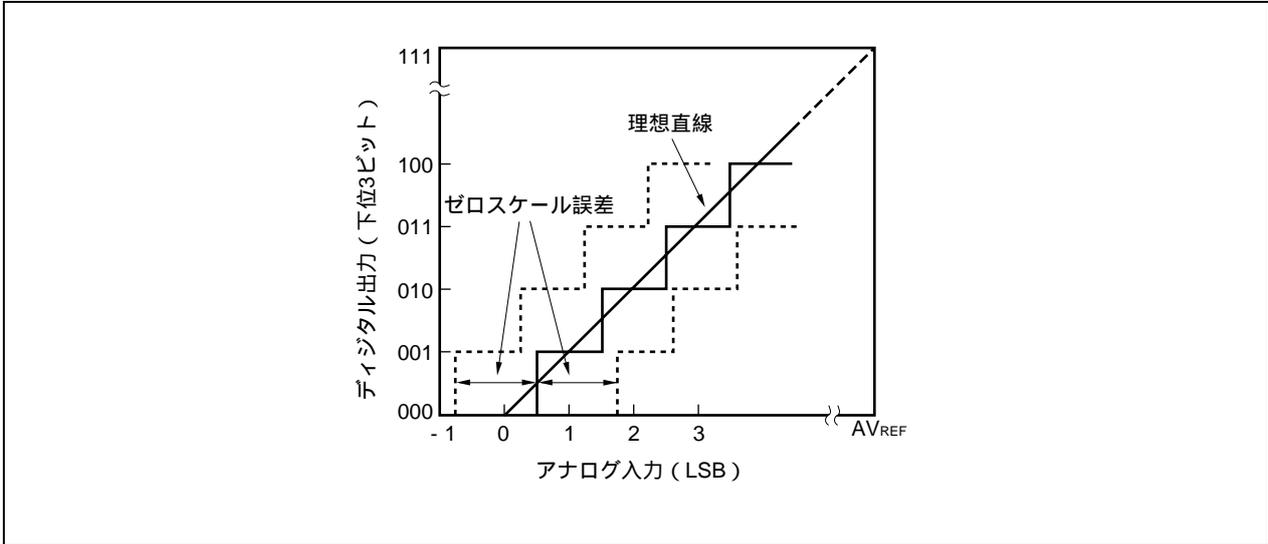
図11 - 10 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。

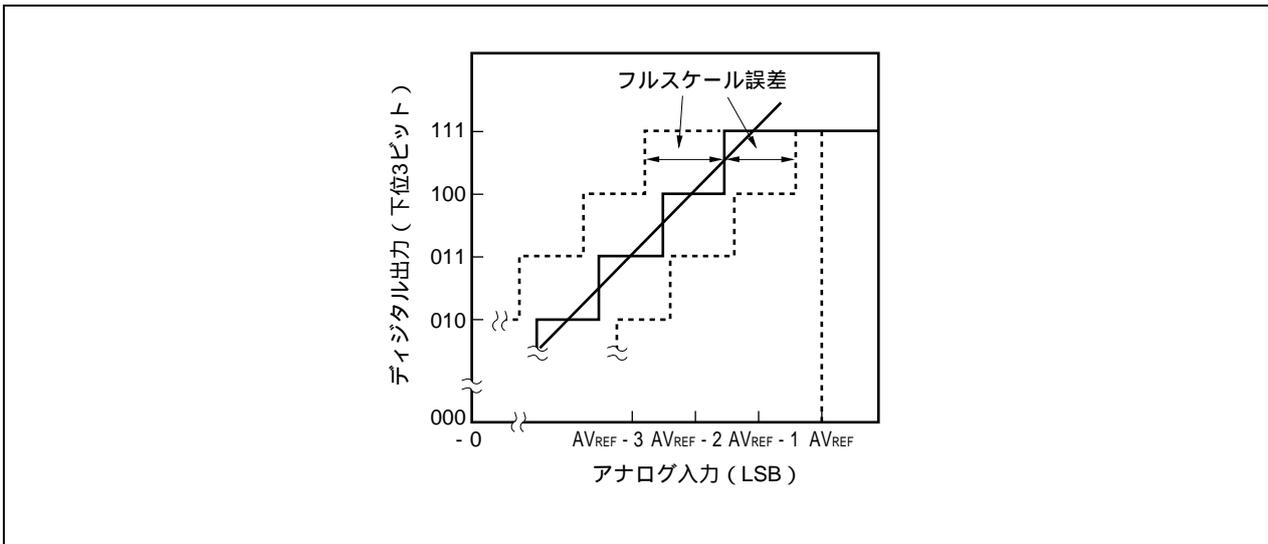
図11 - 11 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2LSB) との差を表します。

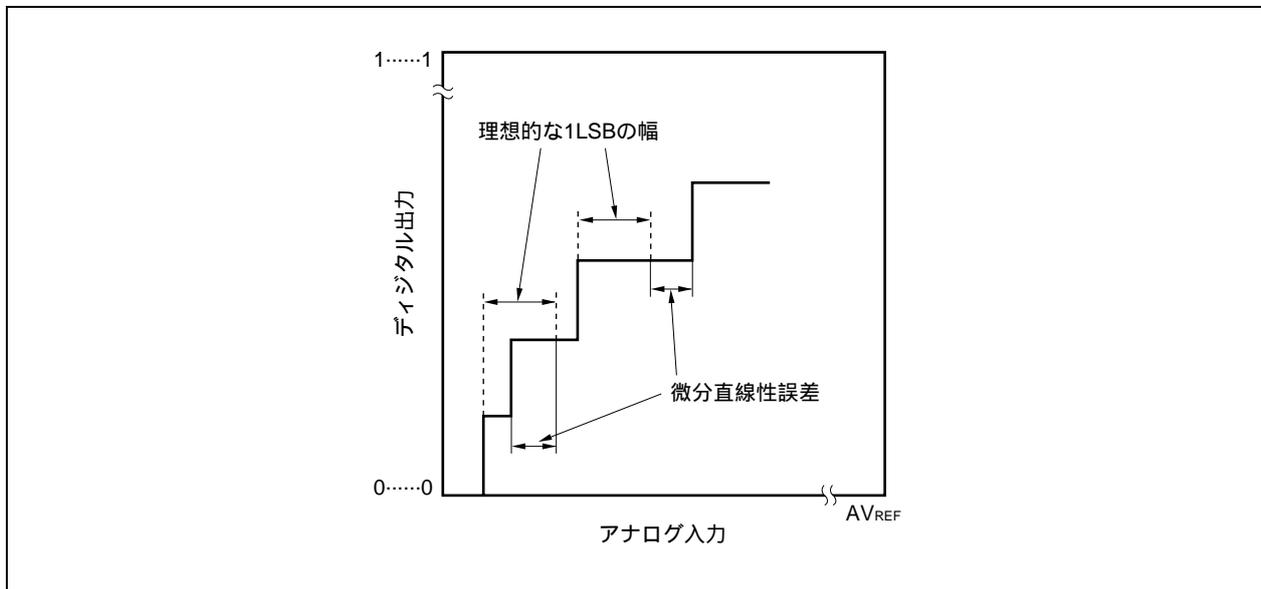
図11 - 12 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

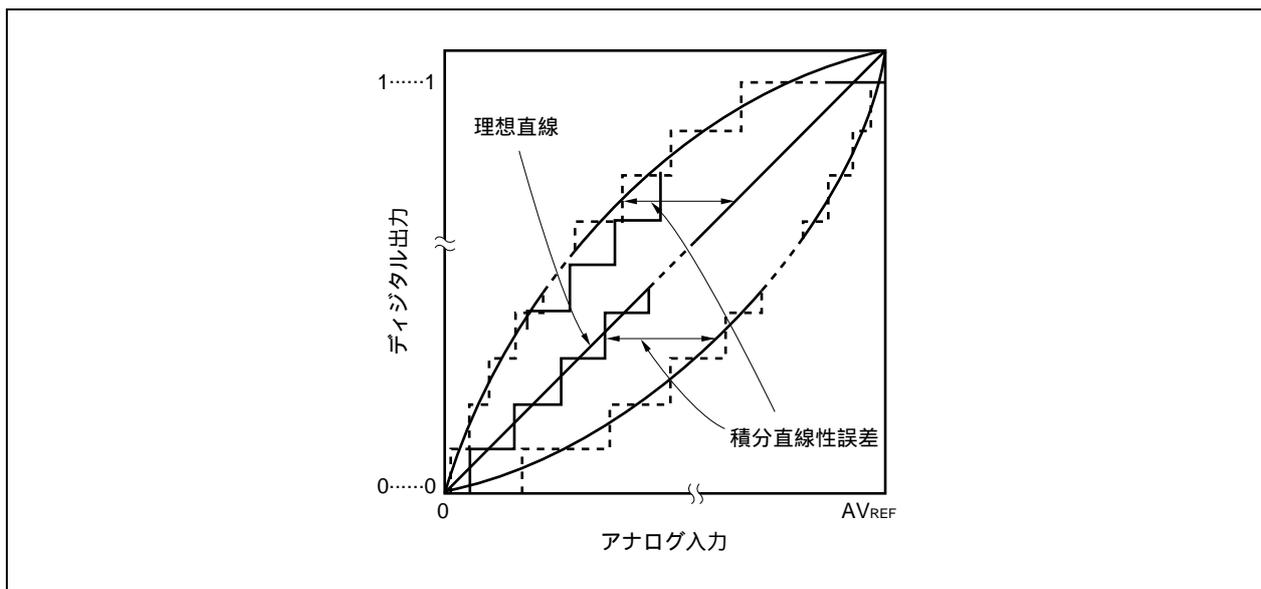
図11 - 13 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図11 - 14 積分直線性誤差



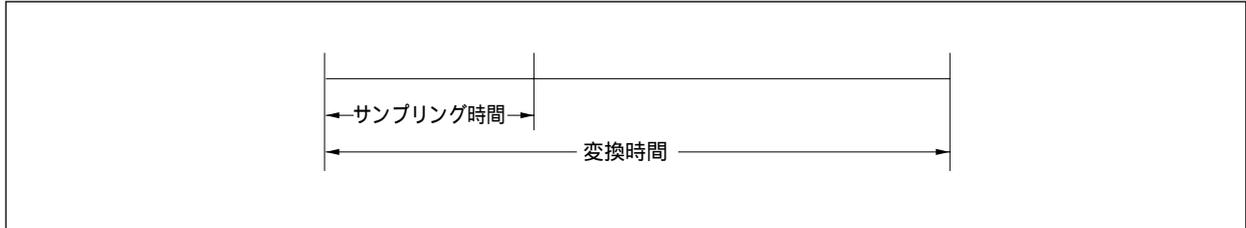
**(8) 変換時間**

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。  
特性表の変換時間にはサンプリング時間が含まれています。

**(9) サンプリング時間**

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図11 - 15 サンプリング時間



## 第12章 DMA機能

### ★ 12.1 機能

V850/SA1にはDMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を3チャンネル内蔵しています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ) からの起動要因に基づいて、内蔵RAMと内蔵周辺I/O間でデータ転送を行います。

### ★ 12.2 特徴

DMAチャンネル : 3チャンネル

転送単位 : 8/16ビット

最大転送回数 : 256回 (8ビット単位転送時)

転送モード : シングル転送

転送クロック : 4クロック (MIN.) ( $4 \times f_{CPU}$ )

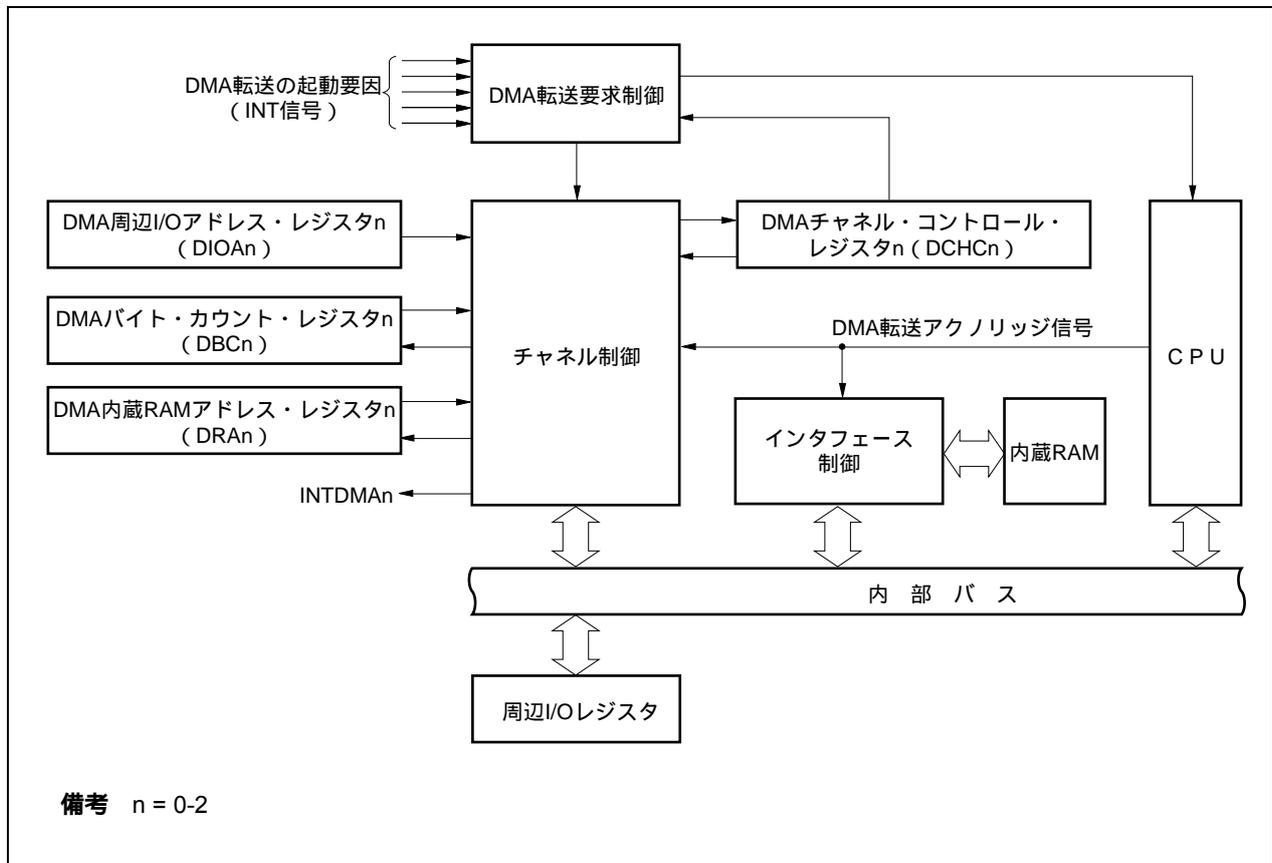
転送要求 : 内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ) からの割り込みによる要求

転送対象 : 内蔵RAM 周辺I/O

**備考**  $f_{CPU}$  : CPU動作クロック

## ★ 12.3 構成

図12-1 DMACのブロック図



## (1) DMA転送要求制御部

DMAチャンネル・コントロール・レジスタn (DCHCn) で指定したDMA転送の起動要因 (INT信号) が入力されると、CPUに対してDMA転送要求信号を発生します。

CPUはDMA転送要求信号を受け付けると、現在のCPU処理終了後に、チャンネル制御部、インタフェース制御部に対してDMA転送アクリッジ信号を発生します。

## (2) チャンネル制御部

転送対象となるDMA転送チャンネルn (DMA0-DMA2) を判別し、チャンネルnの各周辺I/Oレジスタで設定した転送対象となる内蔵RAMや周辺I/Oアドレスやアクセス・サイクル (内蔵RAM: 1クロック, 周辺I/Oレジスタ: 3クロック), 転送方向, 転送回数を制御します。また同時に複数のDMA n転送の起動要因 (INT信号) が発生した場合の優先順位も制御します。

## 12.4 制御レジスタ

### (1) DMA周辺I/Oアドレス・レジスタ0-2 (DIOA0-DIOA2)

DMAチャンネルnの周辺I/Oレジスタのアドレスを設定します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DIOA0 FFFFF180H  
 DIOA1 FFFFF190H  
 DIOA2 FFFFF1A0H

	15	14	13	12	11	10	9		1	0
DIOAn	0	0	0	0	0	0	IOAn9-IOAn1			0

(n = 0-2)

**注意** DIOAnでは次に示す周辺I/Oレジスタのアドレスを設定しないでください。

P4, P5, P6, P9, P11, P12, PM4, PM5, PM6, PM9, PM11, PM12, PMC12, MM, DWC, BCC, SYC,  
 PSC, PCC, SYS, PRCMD, DIOAn, DRAn, DBCn, DCHCn, 割り込み制御レジスタ(xxICn), ISPR

### (2) DMA内蔵RAMアドレス・レジスタ0-2 (DRA0-DRA2)

DMAチャンネルnの内蔵RAMのアドレスを設定します。DCHCnレジスタのDADnビット = 0のとき、1回の転送ごとにアドレスをインクリメント(8ビット転送時は“1”インクリメント、16ビット転送時は“2”インクリメント)します(n = 0-2)。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DRA0 FFFFF182H  
 DRA1 FFFFF192H  
 DRA2 FFFFF1A2H

	15	14	13	12		0
DRAn	0	0	0	RAn12-RAn0		

(n = 0-2)

★

**注意**  $\mu$ PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY,  
 70F3015B, 70F3015BYでは、RAn12ビットをセット(1)しないでください。

次にDRAnの設定値と内蔵RAM領域との対応を示します。

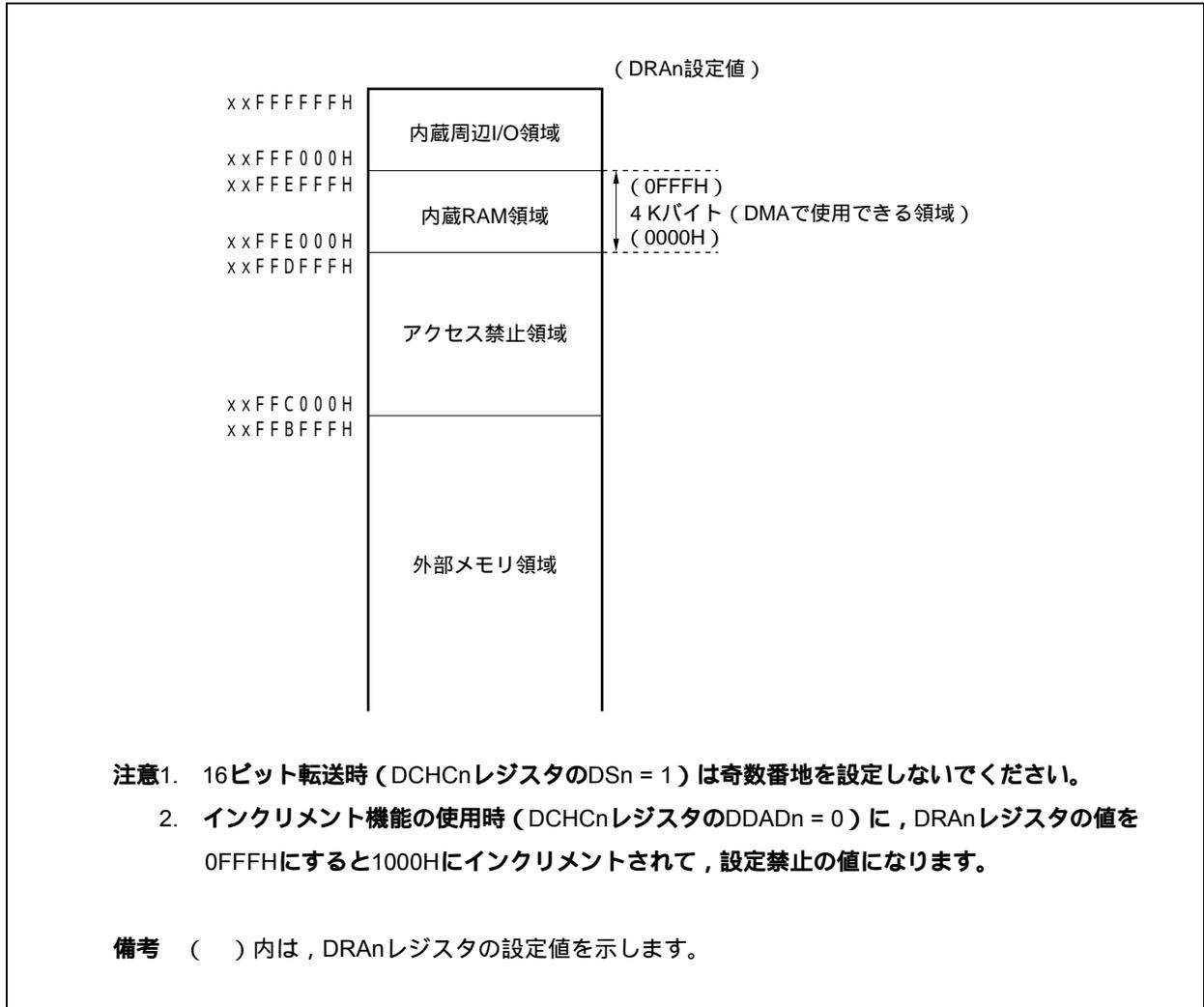
( a )  $\mu$  PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 70F3015B, 70F3015BY

DRAnレジスタには0000Hから0FFFHの範囲の値を設定してください ( n = 0-2 )。

1000Hから1FFFHの範囲の値は設定禁止です。

★

図12 - 2 DRAnの設定値と内蔵RAM ( 4 Kバイト ) 領域の対応

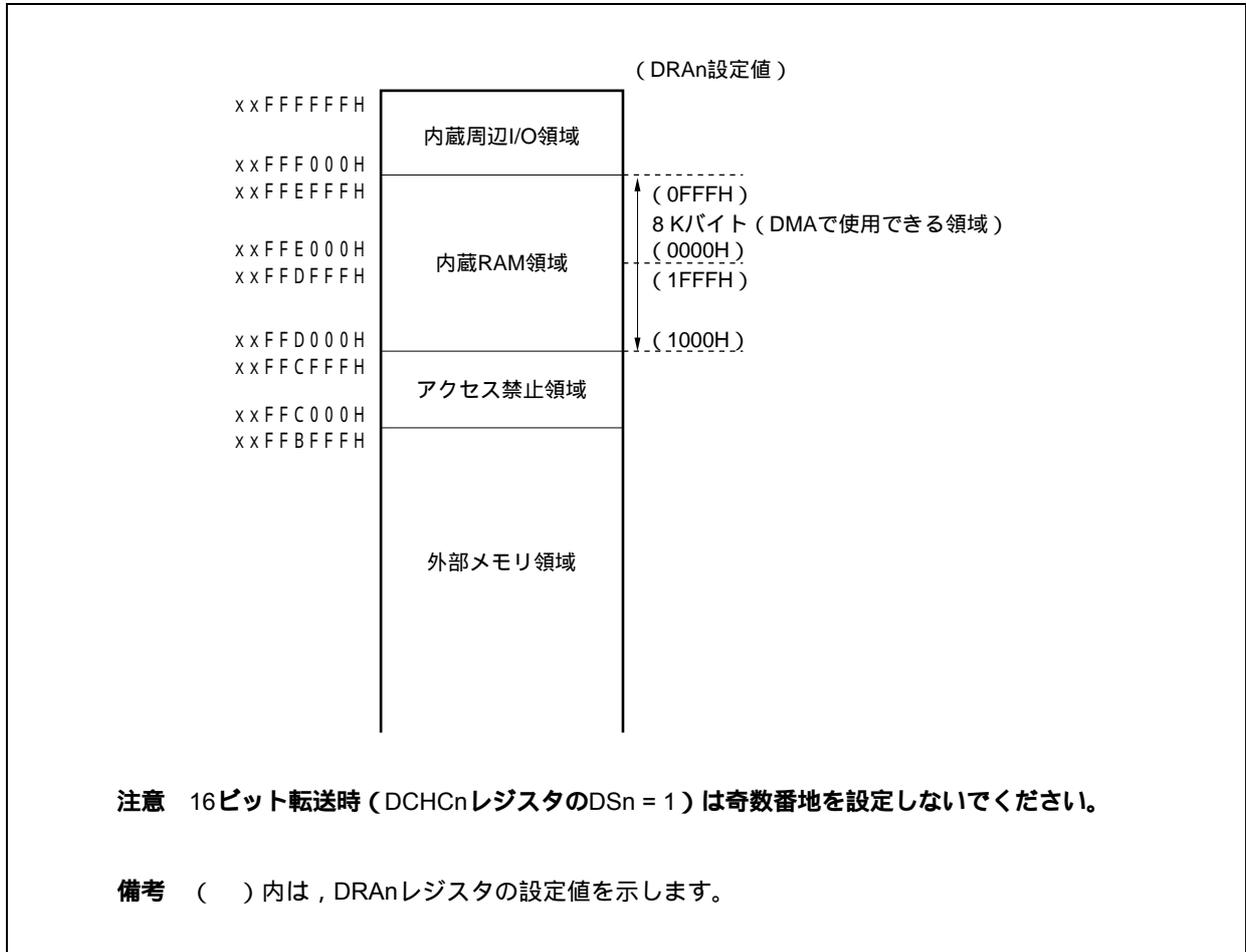


(b)  $\mu$ PD703017A, 703017AY, 70F3017A, 70F3017AY

DRA<sub>n</sub>レジスタには0000Hから0FFFH, 1000Hから1FFFHの範囲の値を設定してください(n = 0-2)。

★

図12 - 3 DRA<sub>n</sub>の設定値と内蔵RAM (8 Kバイト) 領域の対応



## (3) DMAバイト・カウント・レジスタ0-2 (DBC0-DBC2)

DMAチャネルnの転送数を設定する8ビット・レジスタです。

DMA転送中は、残り転送回数を保持します。

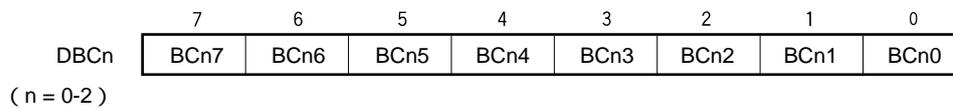
1転送ごとに、バイト転送の場合は1ずつデクリメント、16ビット転送の場合は2ずつデクリメントされ、ポローが発生すると転送を終了します。したがって、バイト転送の場合は“転送回数 - 1”を、16ビット転送の場合は“(転送回数 - 1) × 2”を設定してください。なお、16ビット転送の場合ビット0の設定値は無視され、デクリメント後、ビット0に0が設定されます。

8ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFF184H

DBC1 FFFFF194H

DBC2 FFFFF1A4H



**注意** 16ビット転送の場合、0ビット目の設定値は無視されます。

(4) DMAチャンネル・コントロール・レジスタ0-2 (DCHC0-DCHC2)

DMAチャンネルnのDMA転送動作モードを制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

(1/2)

リセット時 : 00H R/W アドレス : DCHC0 : FFFFF186H, DCHC1 : FFFFF196H, DCHC2 : FFFFF1A6H

	⑦	6	⑤	4	3	②	①	①
DCHCn	TCn	0	DADn	TTYPn1	TTYPn0	TDIRn	DSn	ENn

(n = 0-2)

TCn	DMA転送の終了 / 未終了 <sup>注1</sup>
0	未終了
1	終了

DADn	内蔵RAMアドレスのカウント方向制御
0	インクリメント
1	アドレス固定

チャンネルn	TTYPn1	TTYPn0	DMA転送の起動要因の設定
0	0	0	INTCSI0/INTIIC0 <sup>注2</sup>
	0	1	INTTM00
	1	0	INTAD
	1	1	INTTM4
1	0	0	INTCSI1/INTSR0
	0	1	INTST1
	1	0	INTCSI0/INTIIC0 <sup>注2</sup>
	1	1	INTTM4
2	0	0	INTSR1
	0	1	INTST0
	1	0	INTAD
	1	1	INTTM5

注1. 指定した転送回数が終了するとセット(1)されます。書き込み命令でクリアされます。

2. INTIIC0は、μPD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ有効です。

注意1. DMA転送の起動は、内蔵周辺I/Oから発生する割り込み要求信号(上記INTxxn)により行います。INTxxn信号の対象となる割り込み制御レジスタ(xxICn)のxxIFnビットを1にセットしても、DMA転送は起動しません。

2. INTxxn信号が外部クロックに同期して発生する場合、そのINTxxn信号を同時に複数のDMA転送の起動要因に設定しないでください。たとえば、DMAチャンネル0とDMAチャンネル1の起動要因として、INTCSI0を設定しないでください。

次に、外部クロックに同期して発生するDMA転送の起動要因を示します。

- ・ SCK0端子入力をシリアル・クロックに選択したときのINTCSI0
- ・ TI2端子入力で作動するタイマ2出力(TO2)をシリアル・クロックに選択したときのINTCSI0
- ・ TI4端子入力をカウント・クロックに選択したときのINTTM4

TDIRn	周辺I/O 内蔵RAMの転送方向の制御 <sup>注1</sup>
0	内蔵RAM 周辺I/O
1	周辺I/O 内蔵RAM

DSn	DMA転送での転送データ・サイズの制御 <sup>注1</sup>
0	8ビット転送
1	16ビット転送

ENn	DMA転送の許可 / 禁止の制御 <sup>注2</sup>
0	禁止
1	許可 (DMA転送終了後はリセット“0”)

- 注1.** 転送フォーマットは、DMA周辺I/Oアドレス・レジスタ (DIOAn) で指定した周辺I/Oレジスタの仕様 (アクセス可能なデータ・サイズ、リード/ライト) にあわせてください。
- 2.** 指定した転送回数が終了後、0にクリアされます。

## ★ 12.5 動作

V850/SA1のDMAコントローラは、シングル転送モードのみ対応しています。

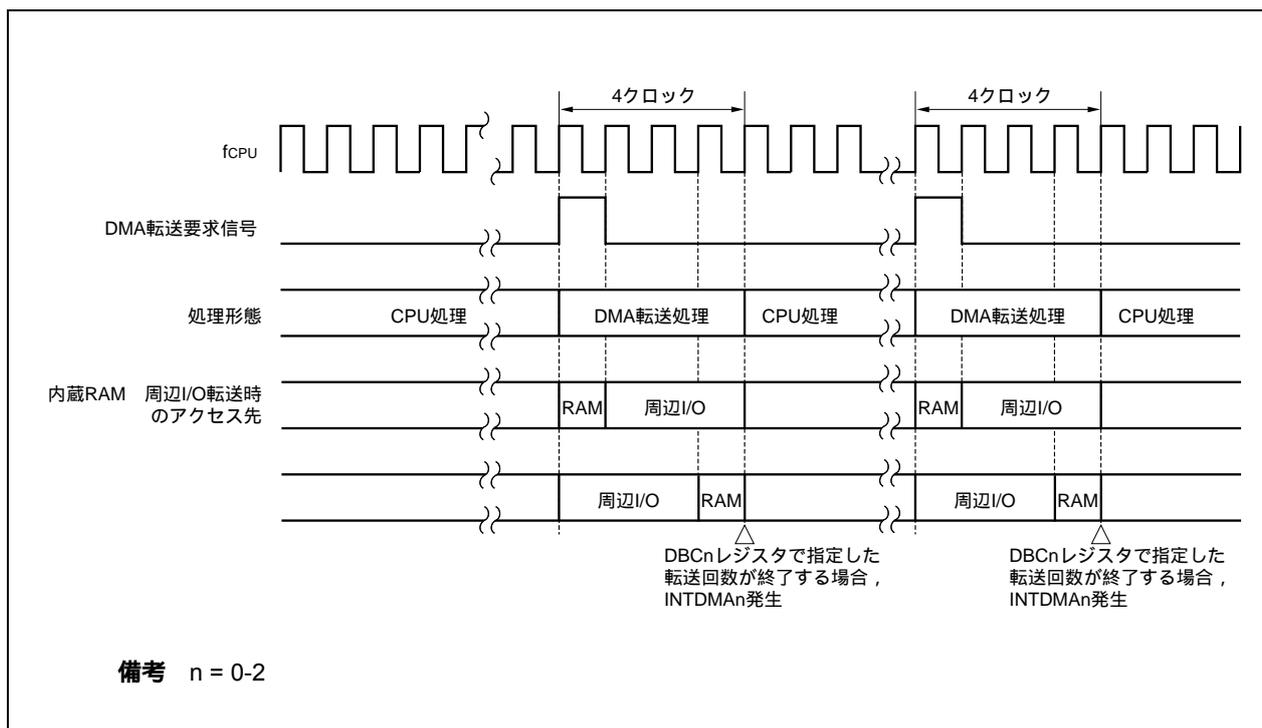
CPU処理中にDMA転送要求( INT<sub>xxx</sub>: 12. 4(4) DMAチャンネル・コントロール・レジスタ0-2(DCHC0-DCHC2)参照)が発生すると、現在のCPU処理終了後に1回のDMA転送を開始します。1回のDMA転送には、転送方向によらずCPUクロック ( f<sub>CPU</sub> ) の4クロックを必要とします。その内訳は次のとおりです。

- ・内蔵RAMアクセス : 1クロック
- ・周辺I/Oアクセス : 3クロック

1回のDMA転送 ( 8/16ビット ) が終了すると、必ずCPU処理に移行し、次のDMA転送要求 ( INT<sub>xxx</sub> ) が発生するのを待ちます。指定した転送回数のデータ転送が終了したあと、DOCH<sub>n</sub>レジスタのTC<sub>n</sub>ビットが“ 1 ”になると、割り込みコントローラに対して各チャンネルごとにDMA転送終了割り込み要求 ( INTDMA0-INTDMA2 ) が発生します。

次にDMA転送動作のタイミング図を示します。

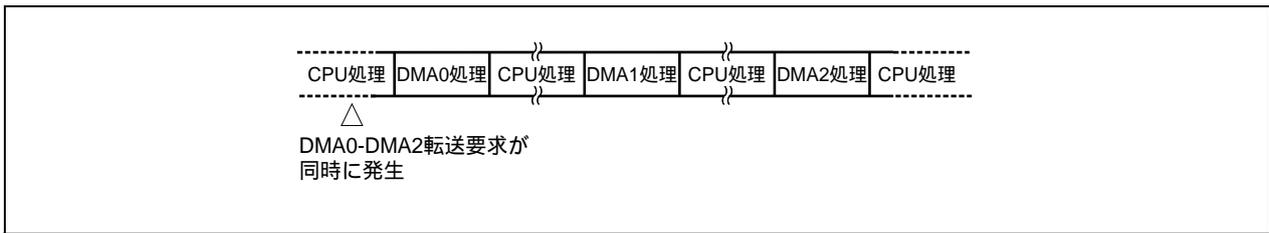
図12 - 4 DMA転送動作のタイミング図



同時に複数のDMA転送要求が発生した場合、DMA<sub>0</sub> > DMA<sub>1</sub> > DMA<sub>2</sub>の優先順位でDMA転送要求を行います。優先順位の高いDMA転送要求を実行中、優先順位の低いDMA転送要求は保留されます。優先順位の高いDMA転送が終了したあとに、必ずCPU処理にいったん移行し、そのCPU処理終了後に優先順位の低いDMA転送要求を行います。

次に同時にDMA<sub>0</sub>-DMA<sub>2</sub>転送要求が発生した場合の処理を示します。

図12 - 5 DMA0-DMA2転送要求が同時に発生した場合の処理



DMA動作が停止するのは、IDLE/ソフトウェアSTOPモード時のみです。HALTモード時はDMA動作を継続します。また、バス・ホールド期間中もDMA動作を行い、外部メモリにアクセスしたあともDMA動作を行います。

## ★ 12.6 注 意

- ・ DMA機能を使用している場合、EI状態で割り込み制御レジスタ (xxICn) をビット操作するとき、操作前にDI命令、操作後にEI命令を実行してください。または、割り込みルーチンの先頭で,xxIFnビットをクリア(0)してください (DMA機能を使用しない場合には、このような操作をする必要はありません)。
- ・ 割り込み要求信号が外部クロックに同期して発生する場合、その割り込み要求信号を同時に複数のDMA起動トリガに設定することは禁止です。設定した場合、DMAの優先順位が逆転する可能性があります。

**備考** xx : 各周辺ユニット識別名称 (表5 - 2参照)

n : 各周辺ユニット番号 (表5 - 2参照)

## 第13章 リアルタイム出力機能 (RTO)

### 13.1 機能

V850/SA1は、リアルタイム出力バッファ・レジスタ (RTBL, RTBH) にあらかじめ設定したデータを、外部割り込みまたは外部トリガの発生と同時にハードウェアで出力ラッチに転送して、外部に出力するリアルタイム出力機能 (RTO) を内蔵しています。

RTOを使用することにより、ジッタのない信号が出力できますので、ステッピング・モータなどの制御に最適です。

### ★ 13.2 特徴

8ビットのリアルタイム出力ユニット

ポート・モードとリアルタイム出力モードを1ビット単位で選択可能

8ビット×1チャンネルと4ビット×2チャンネルを選択可能

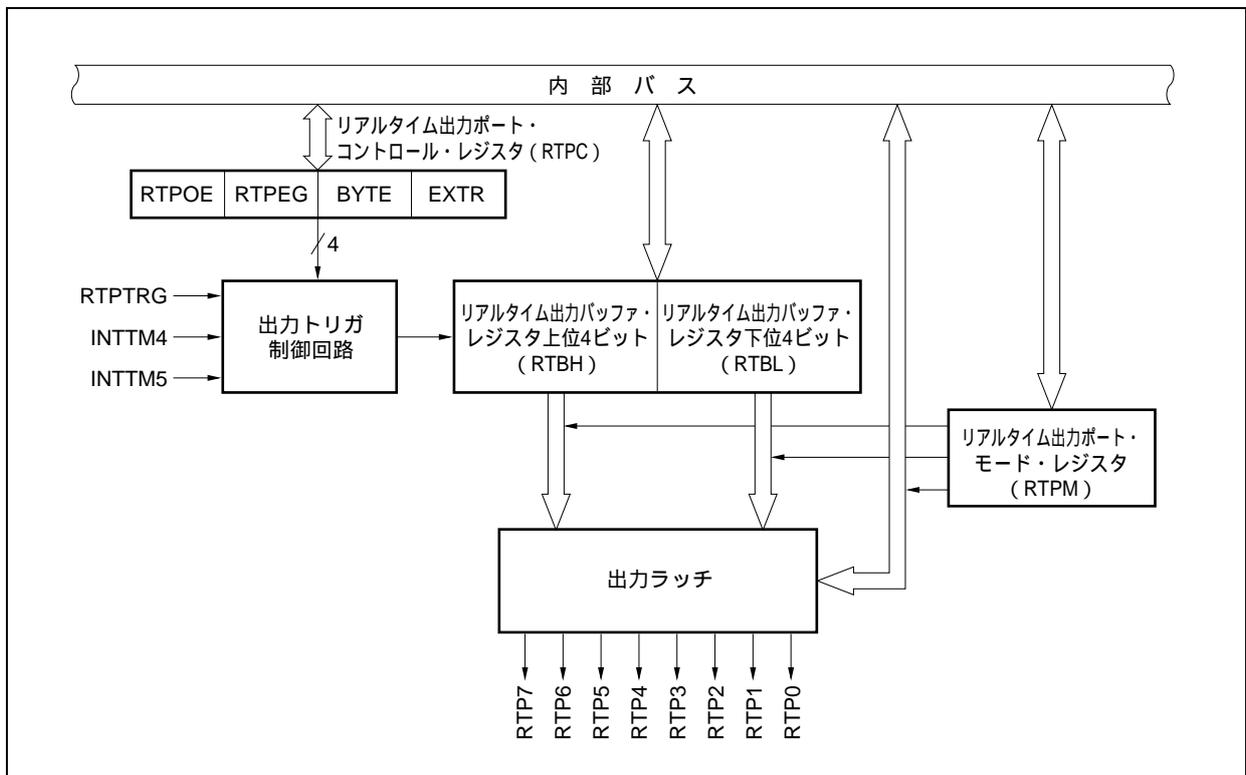
トリガ信号：次の3本から選択可能

外部割り込み：RTPTRG

内部割り込み：INTTM4, INTTM5

### 13.3 構成

図13 - 1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表13 - 1 RTOの構成

項目	構成
レジスタ	リアルタイム出力バッファ・レジスタ (RTBL, RTBH)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ (RTPM) リアルタイム出力ポート・コントロール・レジスタ (RTPC)

(1) リアルタイム出力バッファ・レジスタ (RTBL, RTBH)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL, RTBHは図13 - 2に示すように特殊機能レジスタ (SFR) 領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャンネルの動作モードを指定したときは, RTBL, RTBHはそれぞれ独立にデータを設定できます。また, RTBL, RTBHのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

8ビット×1チャンネルの動作モードを指定したときは, RTBL, RTBHのどちらか一方に8ビット・データを書き込むことにより, RTBL, RTBHそれぞれにデータを設定できます。また, RTBL, RTBHのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

RTBL, RTBHレジスタは, 8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図13 - 2にRTBL, RTBHの構成を, 表13 - 2にRTBL, RTBHに対する操作時の動作を示します。

図13 - 2 リアルタイム出力バッファ・レジスタの構成

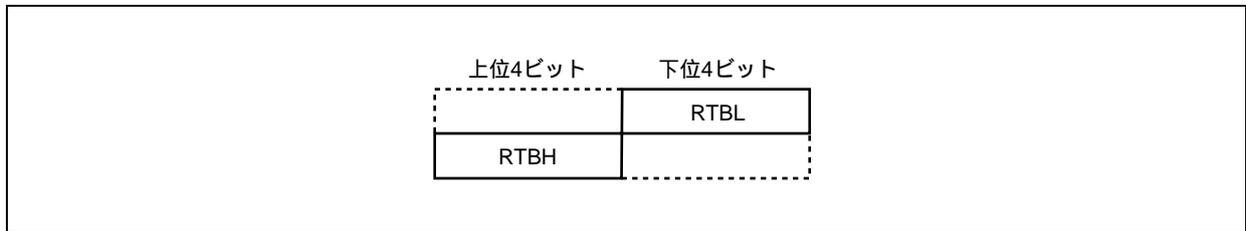


表13 - 2 リアルタイム出力バッファ・レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時 <sup>注1</sup>		ライト時 <sup>注2</sup>	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャンネル	RTBL	RTBH	RTBL	無効	RTBL
	RTBH	RTBH	RTBL	RTBH	無効
8ビット×1チャンネル	RTBL	RTBH	RTBL	RTBH	RTBL
	RTBH	RTBH	RTBL	RTBH	RTBL

注1. リアルタイム出力ポート・モード (RTPM) に指定したビットのみ読み出しができます。ポート・モードに指定したビットに対してリードした場合は, 0を読み出します。

2. リアルタイム出力ポートに設定後, リアルタイム出力トリガが発生されるまでにRTBL, RTBHに出力データを設定してください。

★ (2) 出力ラッチ

リアルタイム出力バッファ・レジスタ (RTBL, RTBH) で設定した値が, リアルタイム出力トリガ発生により自動的に転送される出力ラッチです。出力ラッチはアクセスできません。

リアルタイム出力ポートに指定したポートは, ポートの出力ラッチにデータを設定することができません。リアルタイム出力の初期値を設定する場合は, リアルタイム出力ポート・モードにする前に, ポート・モード時にポートの出力ラッチにデータを設定する必要があります (13.5 使用方法参照)。

## 13.4 制御レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ (RTPM)
- ・リアルタイム出力ポート・コントロール・レジスタ (RTPC)

### (1) リアルタイム出力ポート・モード・レジスタ (RTPM)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

RTPMは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H    R/W    アドレス：FFFFFF3A4H

	7	6	5	4	3	2	1	0
RTPM	RTPM7	RTPM6	RTPM5	RTPM4	RTPM3	RTPM2	RTPM1	RTPM0

RTPMn	リアルタイム出力ポートの選択 (n = 0-7)
0	ポート・モード
1	リアルタイム出力ポート・モード

- 注意1.** リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モードに設定してください。
- 2.** リアルタイム出力ポートに指定したポートは、出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください(13.5 使用方法参照)。

(2) リアルタイム出力ポート・コントロール・レジスタ (RTPC)

リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表13 - 3に示すような関係があります。

RTPCは，8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

リセット時：00H R/W アドレス：FFFFFF3A6H

	⑦	⑥	⑤	④	3	2	1	0
RTPC	RTPOE	RTPEG	BYTE	EXTR	0	0	0	0

RTPOE	リアルタイム出力ポートの動作制御
0	動作禁止 <sup>注</sup>
1	動作許可

RTPEG	RTPTRG信号の有効エッジ
0	立ち下がりエッジ
1	立ち上がりエッジ

BYTE	リアルタイム出力ポートの動作モード
0	4ビット×2チャンネル
1	8ビット×1チャンネル

EXTR	RTPTRG信号によるリアルタイム出力の制御
0	RTPTRGをリアルタイム出力トリガにしない
1	RTPTRGをリアルタイム出力トリガにする

注 リアルタイム出力動作禁止 (RTPOE = 0) の場合，RTP0-RTP7は“0”を出力します。

表13 - 3 リアルタイム出力ポートの動作モードと出力トリガ

BYTE	EXTR	動作モード	RTBH ポート出力	RTBL ポート出力
0	0	4ビット×2チャンネル	INTTM5	INTTM4
	1		INTTM4	RTPTRG
1	0	8ビット×1チャンネル	INTTM4	
	1		RTPTRG	

## ★ 13.5 使用方法

(1) リアルタイム出力動作を禁止する。

リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット7 (RTPOE) = 0に設定。

(2) 初期設定

(i) リアルタイム出力ポートに最初に出力する値をポート10の出力ラッチに設定する。

(ii) PM10レジスタを出力モードに設定する。

(iii) 1ビット単位でリアルタイム出力ポート・モードかポート・モードかを指定する。

リアルタイム出力ポート・モード・レジスタ (RTPM) を設定。

(iv) トリガおよび有効エッジを選択する。

RTPCのビット4, 5, 6 (EXTR, BYTE, RTPEG) を設定。

(v) (i) と同じ値をリアルタイム出力バッファ・レジスタ (RTBH, RTBL) に設定する。

(3) リアルタイム出力動作を許可する。

RTPOE = 1に設定。

(4) 選択した転送トリガが発生するまでに、ポート10の出力ラッチに0を設定し、次の出力をRTBH, RTBLに設定する。

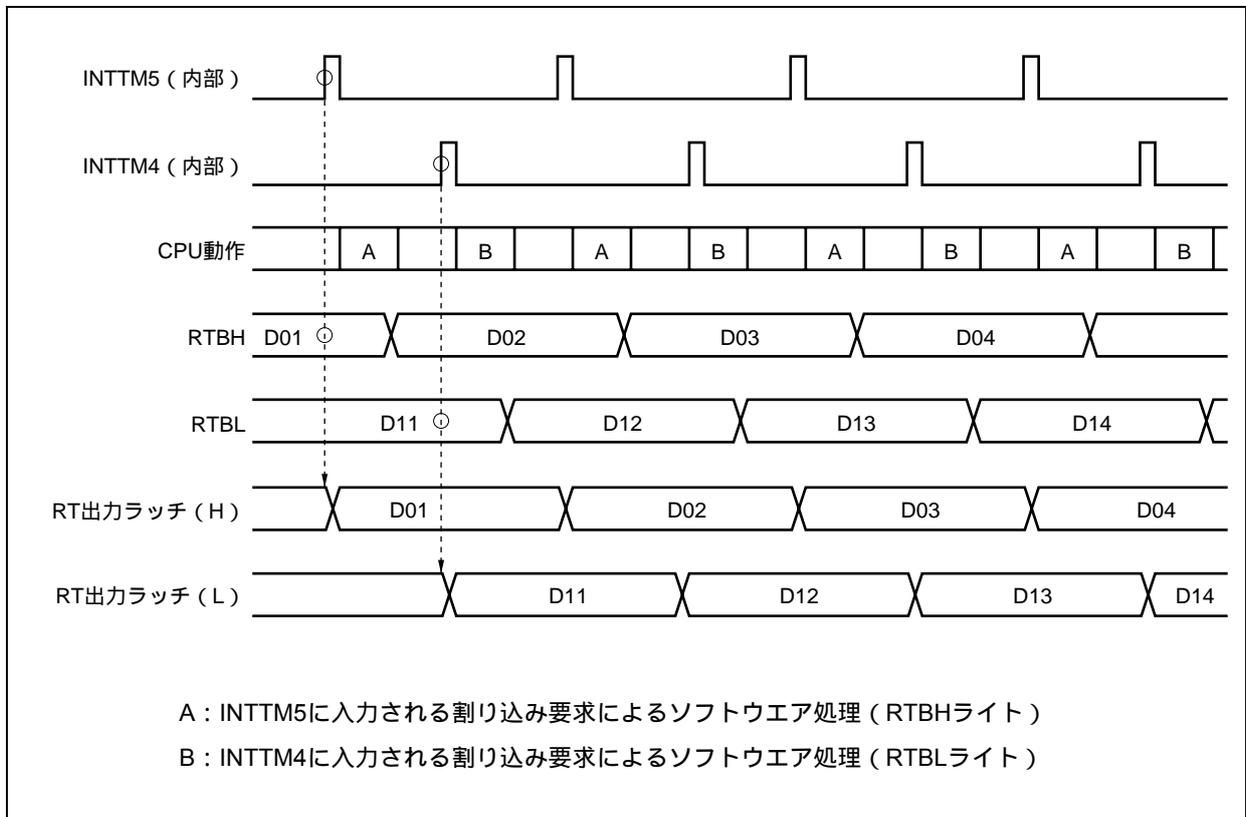
(5) 選択したトリガに対応する割り込み処理により、順次、次のリアルタイム出力値をRTBH, RTBLに設定する。

## 13.6 動作

リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット7 (RTPOE) = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (EXTRとBYTEで設定<sup>※</sup>) の発生に同期して、リアルタイム出力バッファ・レジスタ (RTBH, RTBL) のデータを出カラッチに転送します。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ (RTPM) の設定により、リアルタイム出力ポートに指定されたビットのデータのみをRTP0-RTP7のそれぞれのビットから出力します。RTPMでポート・モードに指定されたビットは0を出力します。RTPOE = 0でリアルタイム出力動作を禁止した場合は、RTPMの設定に関係なくRTP0-RTP7は0を出力します。

注 EXTR : リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット4  
 BYTE : " のビット5

図13-3 RTOの動作タイミング例 (EXTR = 0, BYTE = 0の場合)



## 13.7 注意事項

(1) 初期設定は、リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット7 (RTPOE) を0にし、リアルタイム出力動作を禁止してから行ってください。

(2) 一度リアルタイム出力動作を禁止 (RTPOE = 0) した場合は、リアルタイム出力動作を許可 (RTPOE = 01) する前に、必ず出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ (RTBH, RTBL) に設定してください。

★ (3) 次に示す信号の競合が発生した場合には、動作を保証できません。ソフトウェアにより競合を回避してください。

- ・リアルタイム出力ポート・モードからポート・モードへの切り替え (RTPOE = 0) と、選択したリアルタイム出力トリガの有効エッジとの競合

- ・リアルタイム出力ポート・モードにおけるリアルタイム出力バッファ・レジスタ (RTBL, RTBH) への書き込みと、選択したリアルタイム出力トリガの有効エッジとの競合

## 第14章 ポート機能

### 14.1 各ポートの構成

V850/SA1は、ポート0-12の合計85本の入出力ポート（うち13本は入力専用ポート）を内蔵しています。

端子の入出力バッファ電源には、AV<sub>DD</sub>、BV<sub>DD</sub>、V<sub>DD</sub>の3系統があります。それぞれの電源と端子の関係を次に示します。

★

表14 - 1 各端子の入出力バッファ電源

電 源	対応する端子	使用可能な電圧範囲
AV <sub>DD</sub>	ポート7, ポート8	2.7 V AV <sub>DD</sub> 3.6 V
BV <sub>DD</sub>	ポート4, ポート5, ポート6, ポート9, ポート12, CLKOUT	2.7 V BV <sub>DD</sub> 3.6 V
V <sub>DD</sub>	ポート0, ポート1, ポート2, ポート3, ポート10, ポート11, RESET	2.7 V V <sub>DD</sub> 3.6 V

### 14.2 各ポートの端子機能

#### 14.2.1 ポート0

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P00-P04をNMI、INTP0-INTP3端子として使用する場合、アナログ・ノイズ除去回路によりノイズ除去されます。

P05-P07をINTP4/ADTRG、INTP5/RTPTRG、INTP6端子として使用する場合、デジタル・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF00H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御（出力モード）（n=0-7）
0	0を出力
1	1を出力

**備考** 入力モード時：ポート0（P0）をリードすると、そのときの端子レベルを読み出します。ライトすると、P0にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート0（P0）をリードすると、P0の値を読み出します。ライトすると、P0に値を書き込み、すぐに書き込んだ値を出力します。

ポート0は、次に示す端子と兼用しています。

表14 - 2 ポート0の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	
ポート0	P00	NMI	入出力	あり	アナログ・ノイズ除去
	P01	INTP0			
	P02	INTP1			
	P03	INTP2			
	P04	INTP3			
	P05	INTP4/ADTRG			デジタル・ノイズ除去
	P06	INTP5/RTPTRG			
	P07	INTP6			

注 ソフトウェア・プルアップ機能

### (1) P0端子の機能

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート0モード・レジスタ (PM0) で入出力を制御します。

出力モード時、ポート0 (P0) に設定した各ビットの値を出力します。出力モードとして使用するときは、各割り込み要求の有効エッジを無効にするか、各割り込み要求をマスク (NMI以外) してください。

入力モード時にP0をリードすると端子状態をリードできます。また、出力モード時にP0をリードすると、P0 (出力ラッチ) の値をリードできます。

NMI, INTP0-INTP6の有効エッジは、立ち上がりエッジ許可レジスタ0 (EGP0) と、立ち下がりエッジ許可レジスタ0 (EGN0) で指定します。

プルアップ抵抗オプション・レジスタ0 (PU0) の指定により、1ビット単位でプルアップ抵抗を接続できます。

リセット入力により入力モードに初期化されます。また、各割り込み要求の有効エッジも無効になります (リセット直後、NMI, INTP0-INTP6は機能しません)。

### (2) ノイズ除去

#### (a) NMI, INTP0-INTP3端子のノイズ除去

アナログ・ディレイによるノイズ除去回路を内蔵しています。このため、これらの端子に一定時間以上同じレベルの信号を入力すると、有効エッジとして検出します。また、エッジの検出は一定時間後になります。

(b) INTP4-INTP6, ADTRG, RTPTRG端子のノイズ除去

デジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングによるノイズ除去は、端子の入力レベルをサンプリング・クロック (f<sub>xx</sub>) で検出し、同じレベルが3回連続で検出されなかった場合に行われます。

- 注意1. 入力パルス幅が2~3クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。
2. 確実に有効エッジとして検出するためには、3クロックを越える同一レベルの入力が必要です。
  3. サンプリング・クロックに同期してノイズが発生している場合は、ノイズを除去できません。このような場合には、入力端子にフィルタを付加してノイズを除去してください。
  4. 通常入力ポートとして使用する場合はノイズ除去を行いません。

(3) 制御レジスタ

(a) ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH    R/W    アドレス : FFFFF020H

	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ0 (PU0)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF080H

	7	6	5	4	3	2	1	0
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(c) 立ち上がりエッジ指定レジスタ0 (EGP0)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF0C0H

	⑦	⑥	⑤	④	③	②	①	①
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ検出の制御 (n = 0-7)
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

**備考** n = 0 : NMI端子の制御  
n = 1-7 : INTP0-INTP6端子の制御

(d) 立ち下がりエッジ指定レジスタ0 (EGN0)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF0C2H

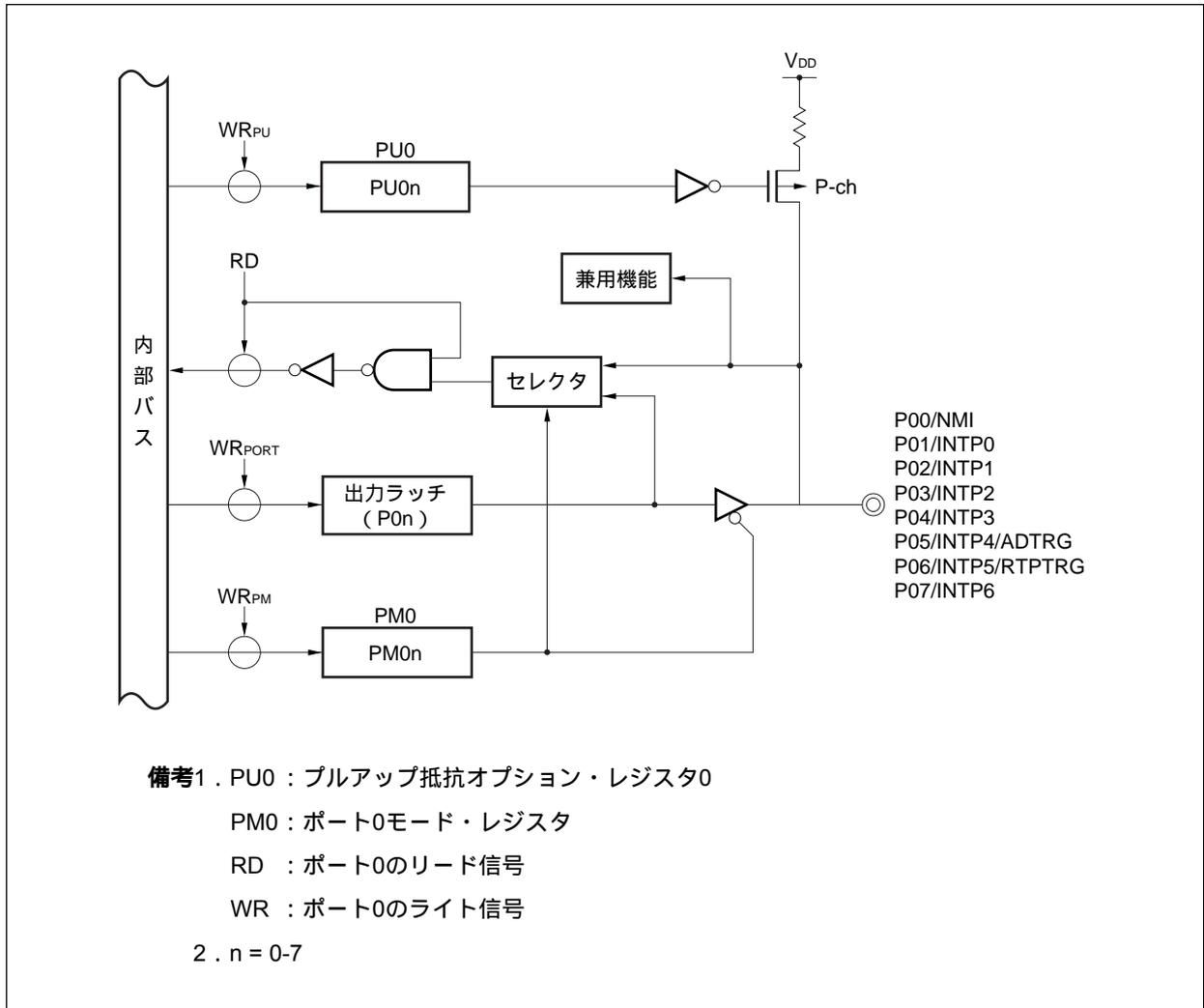
	⑦	⑥	⑤	④	③	②	①	①
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ検出の制御 (n = 0-7)
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

**備考** n = 0 : NMI端子の制御  
n = 1-7 : INTP0-INTP6端子の制御

(4) ブロック図 (ポート0)

図14 - 1 P00-P07のブロック図



## 14.2.2 ポート1

ポート1は、1ビット単位で入出力を制御できる6ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

ビット0, 1, 2, 4, 5は、通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：00H    R/W    アドレス：FFFFFF02H								
P1	7	6	5	4	3	2	1	0
	0	0	P15	P14	P13	P12	P11	P10
P1n	出力データの制御（出力モード時）（n=0-5）							
0	0を出力							
1	1を出力							

**備考** 入力モード時：ポート1（P1）をリードすると、そのときの端子レベルを読み出します。ライトすると、P1にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート1（P1）をリードすると、P1の値を読み出します。ライトすると、P1に値を書き込み、すぐ書き込んだ値を出力します。

ポート1は、次に示す端子と兼用しています。

表14-3 ポート1の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注1</sup>	備考	
ポート1	P10	SI0/SDA <sup>注2</sup>	入出力	あり	N-chオープン・ドレイン出力選択可能
	P11	SO0			
	P12	SCK0/SCL <sup>注2</sup>			
	P13	SI1/RXD0			-
	P14	SO1/TXD0			N-chオープン・ドレイン出力選択可能
	P15	SCK1/ASCK0			

注1. ソフトウェア・プルアップ機能

- ★ 2. μ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ

(1) P1端子の機能

ポート1は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート1モード・レジスタ (PM1) で入出力を制御します。

出力モード時、ポート1 (P1) に設定した各ビットの値を出力します。また、ポート1ファンクション・レジスタ (PF1) により、P10-P12, P14, P15の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP1をリードすると端子状態をリードできます。また、出力モード時にP1をリードすると、P1 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ1 (PU1) の指定により、1ビット単位でプルアップ抵抗を接続できます。

兼用端子を出力として使用するときは、P1とPM1を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

リセット時 : 3FH    R/W    アドレス : FFFFF022H								
	7	6	5	4	3	2	1	0
PM1	0	0	PM15	PM14	PM13	PM12	PM11	PM10
	PM1n	入出力モードの制御 (n = 0-5)						
	0	出力モード						
	1	入力モード						

(b) プルアップ抵抗オプション・レジスタ1 (PU1)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF082H

	7	6	5	4	3	2	1	0
PU1	0	0	PU15	PU14	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

(c) ポート1ファンクション・レジスタ (PF1)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF0A2H

	7	6	5	4	3	2	1	0
PF1	0	0	PF15	PF14	0 <sup>注</sup>	PF12	PF11	PF10

PF1n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-2, 4, 5)
0	通常出力
1	N-chオープン・ドレイン出力

注 ビット3は、通常出力に固定です。

(3) ブロック図 (ポート1)

図14 - 2 P10, P12, P15のブロック図

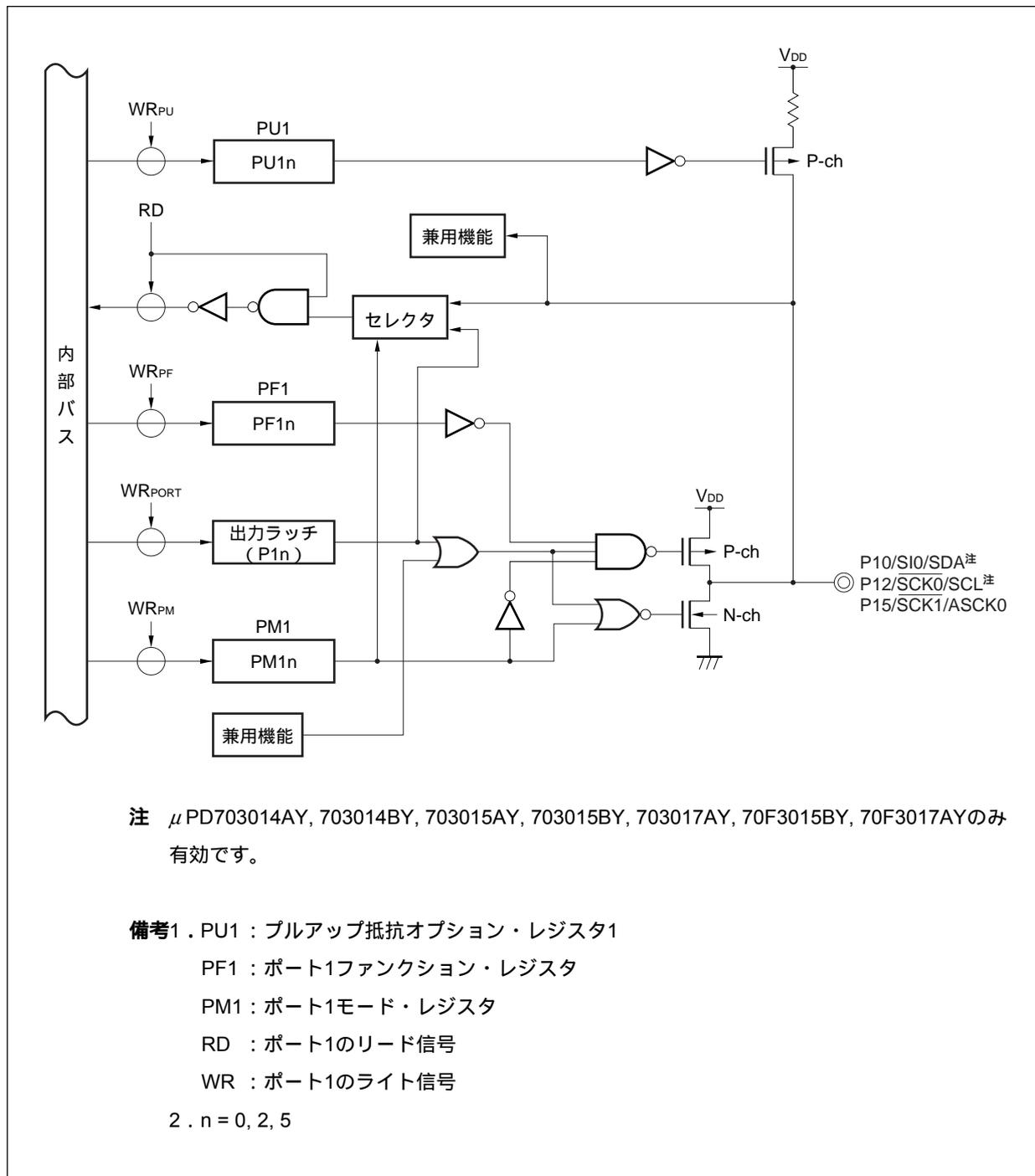


図14 - 3 P11, P14のブロック図

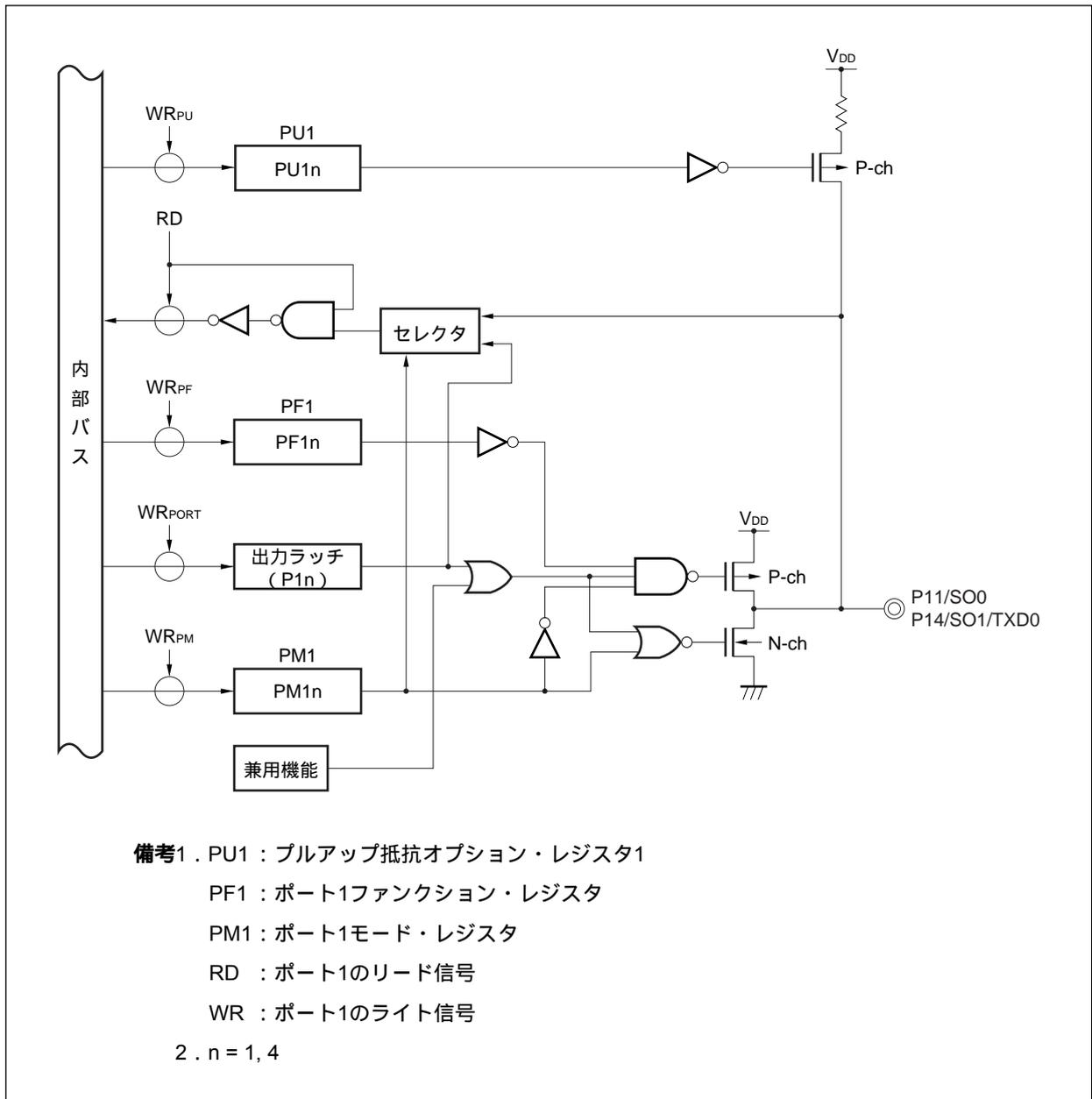
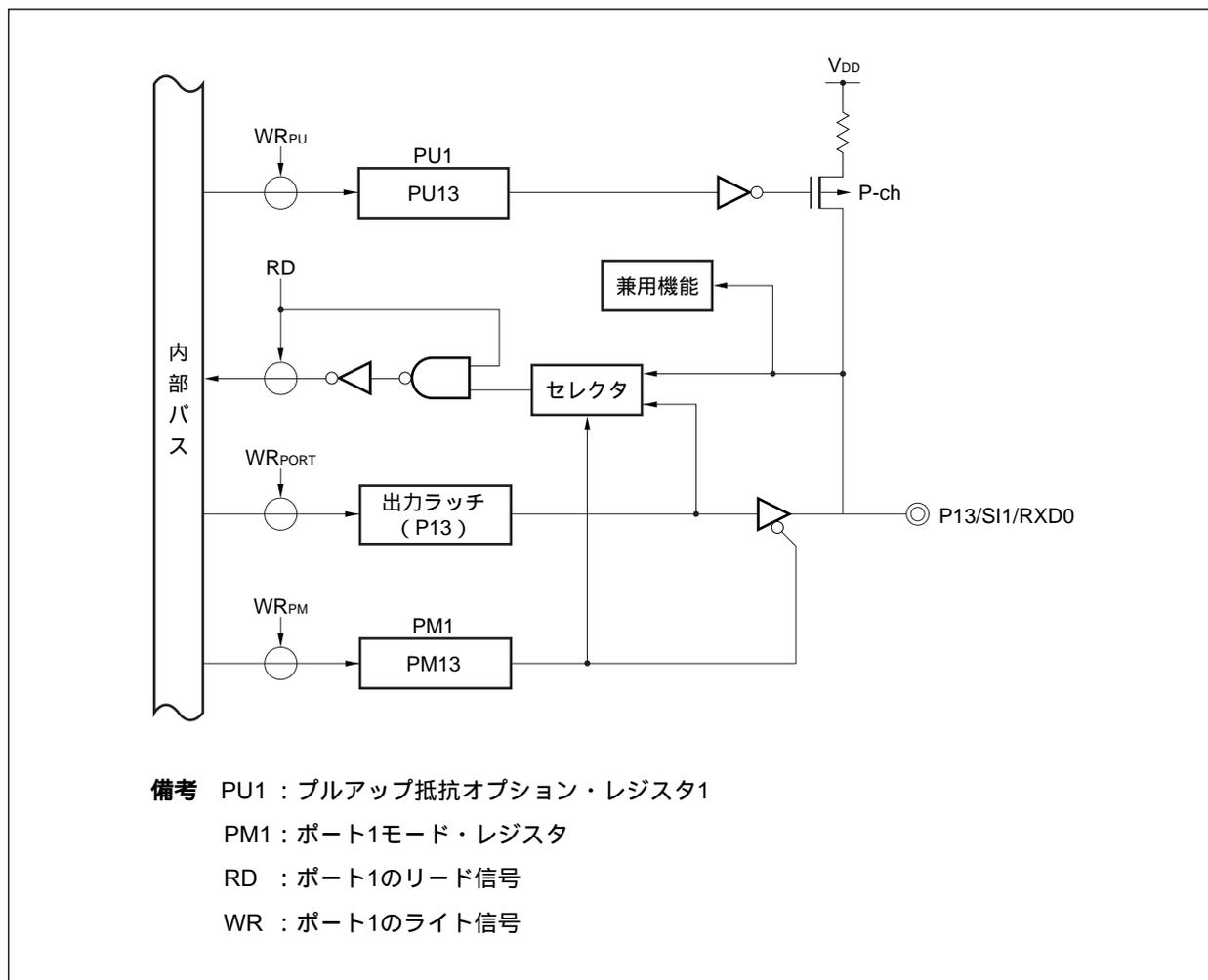


図14 - 4 P13のブロック図



### 14.2.3 ポート2

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P21, P22は通常出力とN-chオープン・ドレイン出力を選択できます。

P26, P27をTI2/TI3端子として使用する場合、デジタル・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF04H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御（出力モード時 $\chi$ n = 0-7）
0	0を出力
1	1を出力

**備考** 入力モード時：ポート2（P2）をリードすると、そのときの端子レベルを読み出します。ライトすると、P2にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート2（P2）をリードすると、P2の値を読み出します。ライトすると、P2に値を書き込み、すぐに書き込んだ値を出力します。

ポート2は、次に示す端子と兼用しています。

表14 - 4 ポート2の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考
ポート2	P20	SI2	あり	-
	P21	SO2		N-chオープン・ドレイン出力選択可能
	P22	SCK2		-
	P23	RXD1		-
	P24	TXD1		-
	P25	ASCK1		-
	P26	TI2/TO2		デジタル・ノイズ除去
	P27	TI3/TO3		デジタル・ノイズ除去

注 ソフトウェア・プルアップ機能

(1) P2端子の機能

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート2モード・レジスタ (PM2) で入出力を制御します。

出力モード時、ポート2 (P2) に設定した各ビットの値を出力します。またポート2ファンクション・レジスタ (PF2) により、P21, P22の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP2をリードすると端子状態をリードできます。また、出力モード時にP2をリードすると、P2 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ2 (PU2) の指定により、1ビット単位でプルアップ抵抗を接続できます。

TI2, TI3端子として使用するときは、デジタル・ノイズ除去回路 (ポート0のデジタル・ノイズ除去回路と同等) により、ノイズ除去されます。

兼用端子を出力として使用するときは、P2とPM2を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH    R/W    アドレス: FFFFF024H									
	7	6	5	4	3	2	1	0	
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	
	PM2n	入出力モードの制御 (n = 0-7)							
	0	出力モード							
	1	入力モード							

(b) プルアップ抵抗オプション・レジスタ2 (PU2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF084H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(c) ポート2ファンクション・レジスタ (PF2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF0A4H

	7	6	5	4	3	2	1	0
PF2	0	0	0	0	0	PF22	PF21	0

PF2n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 1, 2)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ブロック図 (ポート2)

図14 - 5 P20, P23, P25のブロック図

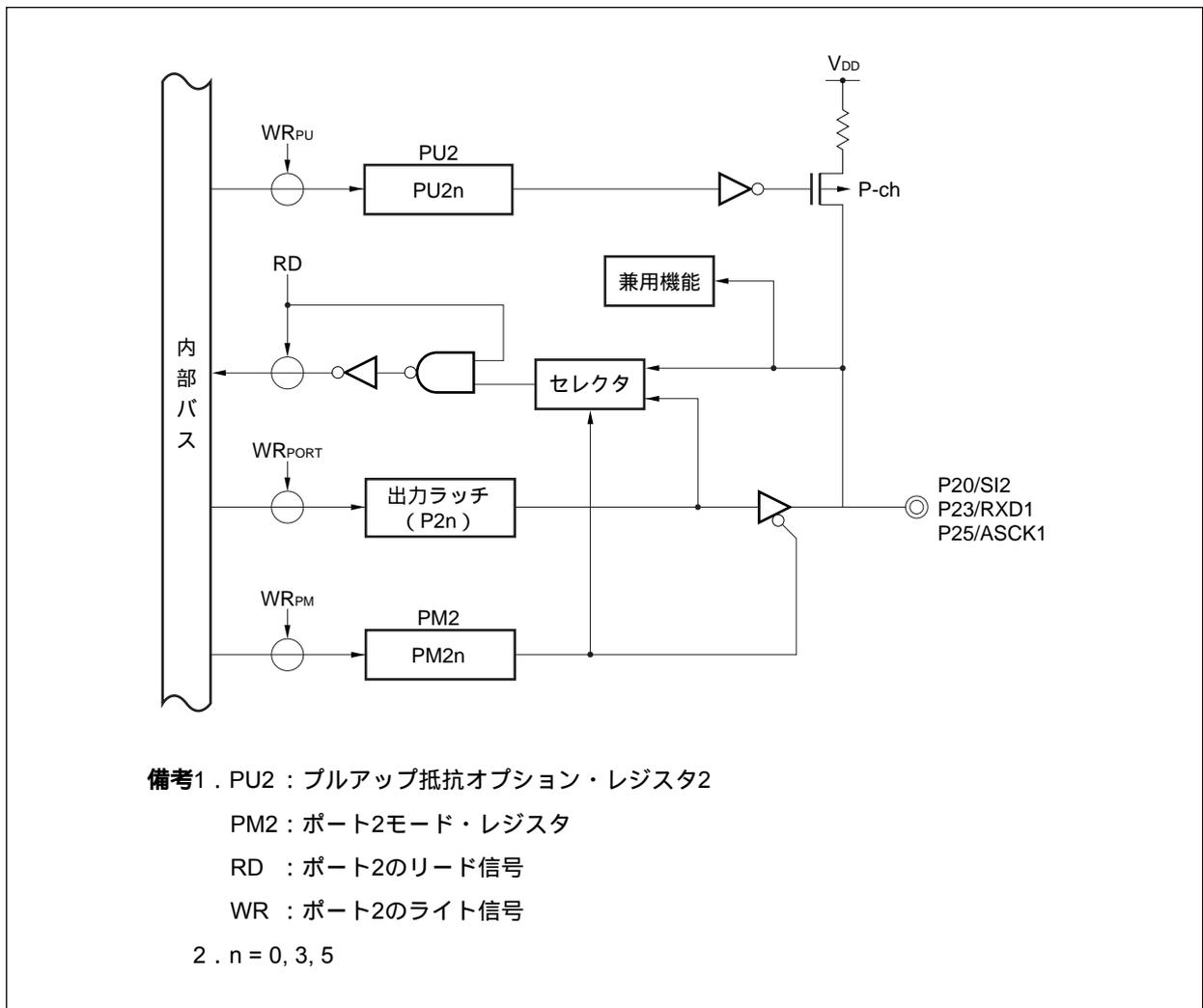


図14 - 6 P21のブロック図

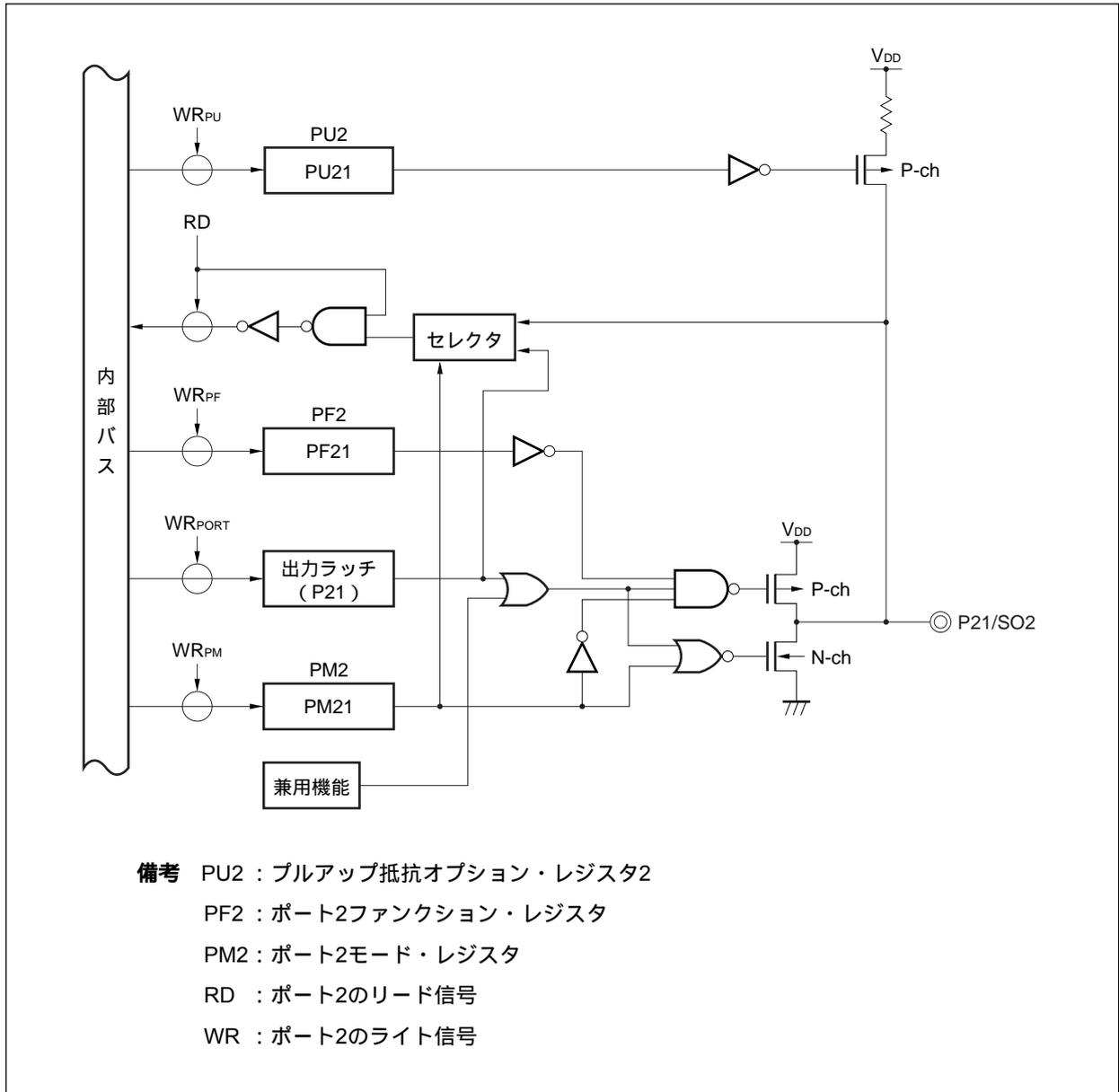


図14-7 P22のブロック図

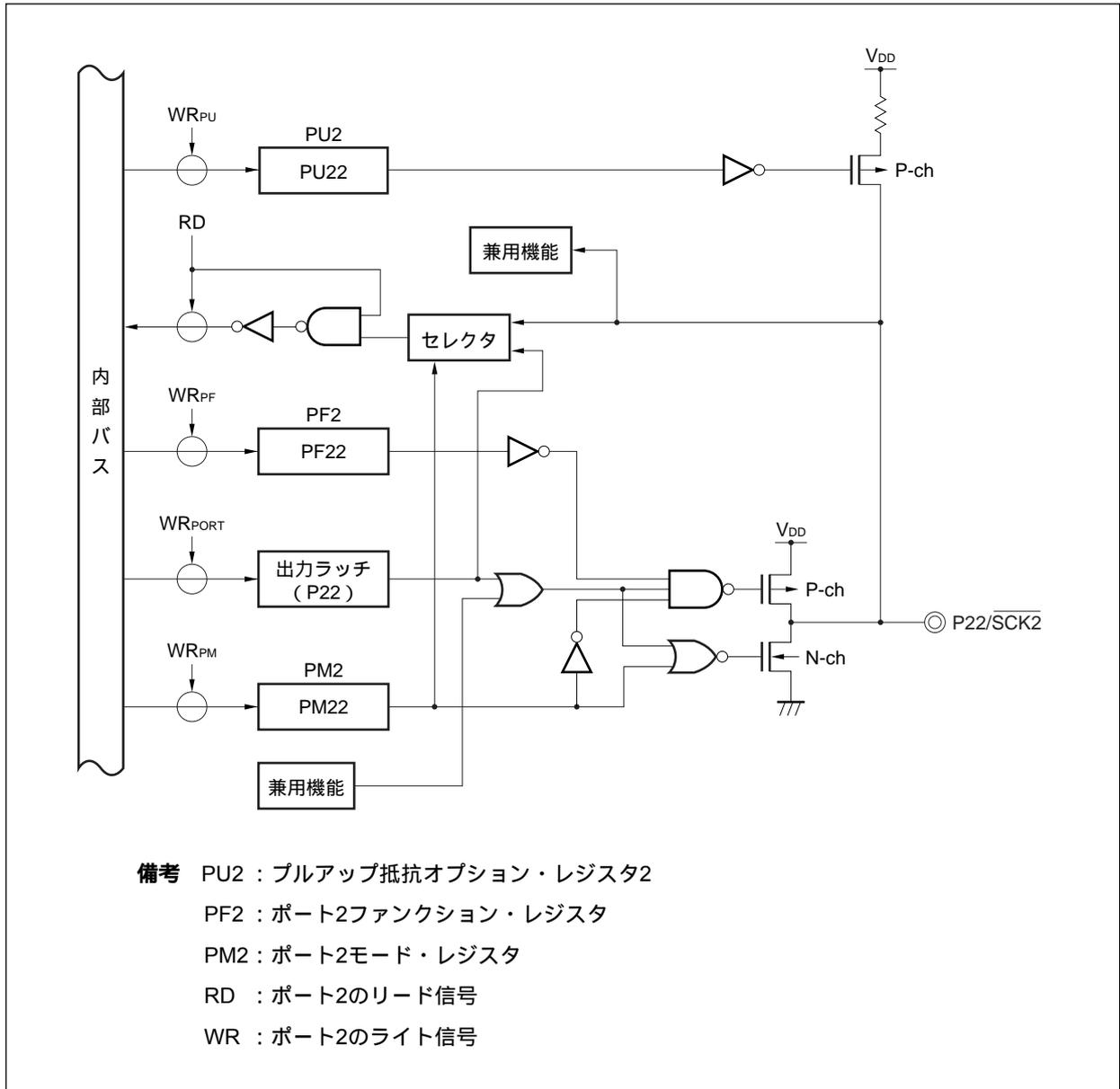


図14 - 8 P24のブロック図

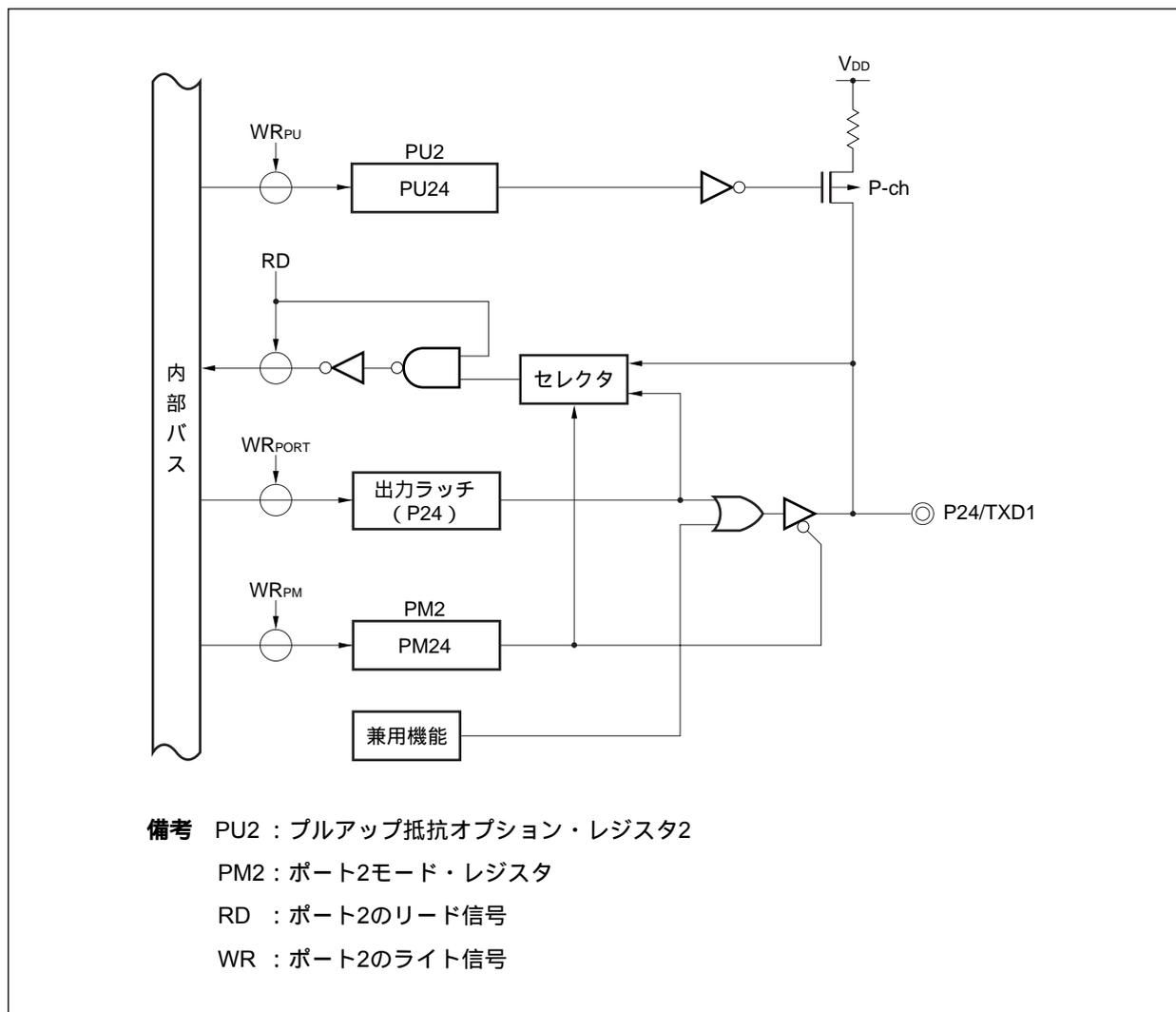
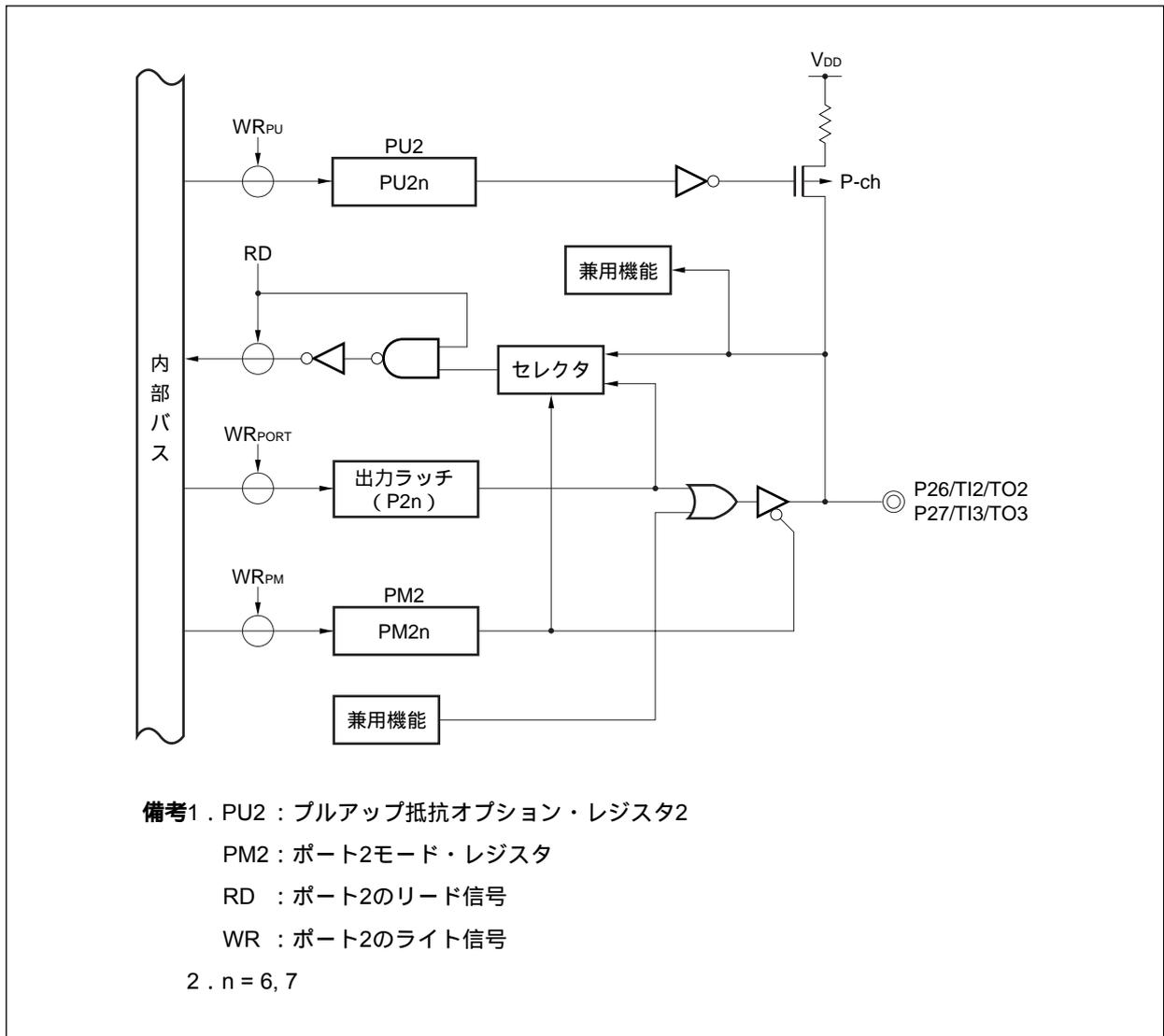


図14 - 9 P26, P27のブロック図



### 14.2.4 ポート3

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P36, P37をTI4, TI5端子として使用する場合、デジタル・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF06H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

**備考** 入力モード時：ポート3（P3）をリードすると、そのときの端子レベルを読み出します。ライトすると、P3にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート3（P3）をリードすると、P3の値を読み出します。ライトすると、P3に値を書き込み、すぐ書き込んだ値を出力します。

ポート3は、次に示す端子と兼用しています。

表14-5 ポート3の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	
ポート3	P30	TI00	入出力	あり	-
	P31	TI01			
	P32	TI10			
	P33	TI11			
	P34	TO0/A13			
	P35	TO1/A14			
	P36	TI4/TO4/A15			
	P37	TI5/TO5			

注 ソフトウェア・プルアップ機能

(1) P3端子の機能

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、入出力を制御します。

出力モード時、ポート3 (P3) に設定した各ビットの値を出力します。

入力モード時にP3をリードすると端子状態をリードできます。また、出力モード時にP3をリードすると、P3 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ3 (PU3) の指定により、1ビット単位でプルアップ抵抗を接続できます。

T14, T15端子として使用するときには、デジタル・ノイズ除去回路 (ポート0のデジタル・ノイズ除去回路と同等) により、ノイズ除去されます。

A13-A15端子として使用するときには、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。このとき、必ずPM3 (PM34-PM36) を0に設定してください。

兼用端子を出力として使用するときには、P3とPM3を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF026H

	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ3 (PU3)

8/1ビット単位でリード/ライト可能です。

リセット時: 00H R/W アドレス: FFFFF086H

	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図 (ポート3)

図14 - 10 P30-P33のブロック図

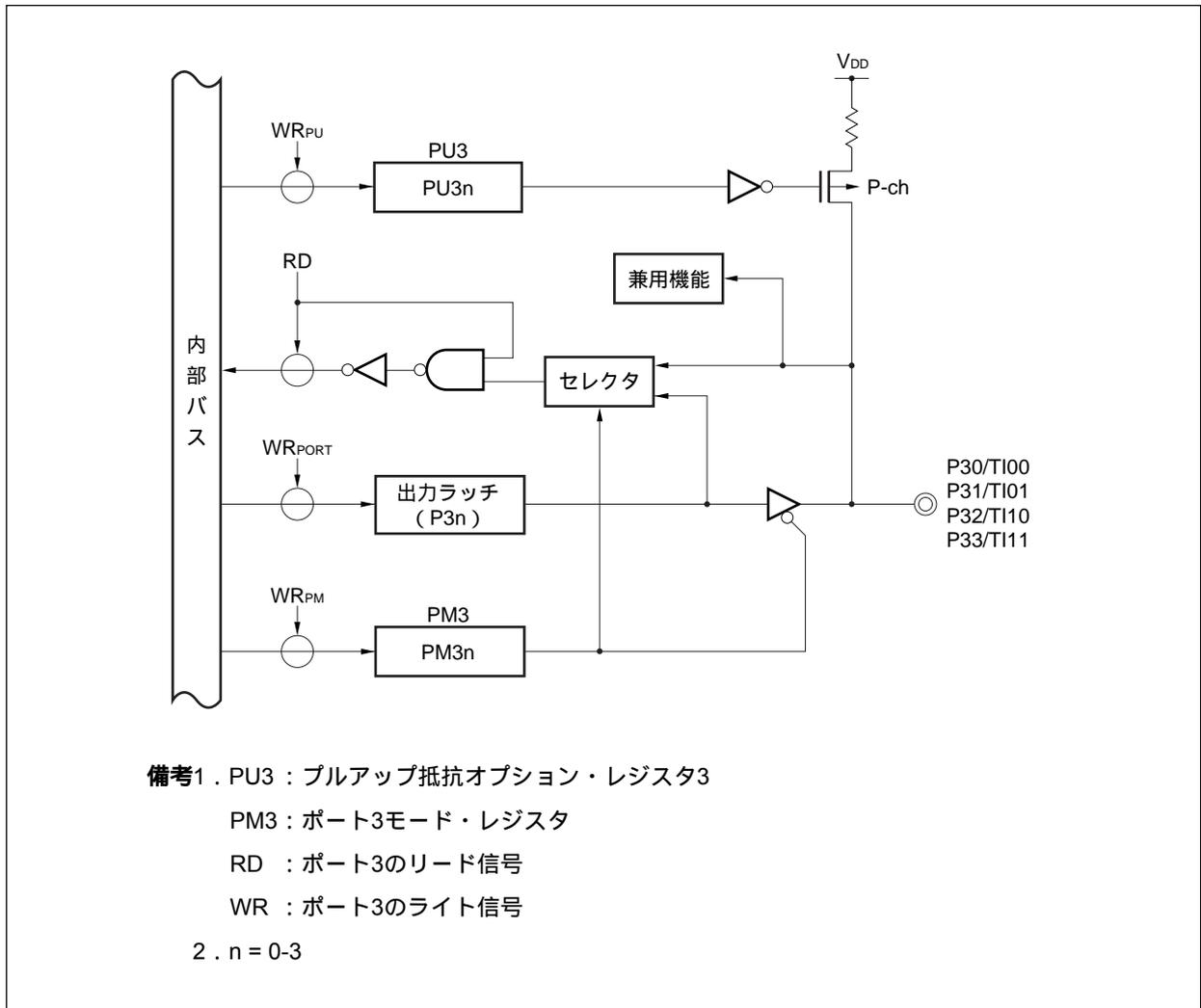


図14 - 11 P34, P35のブロック図

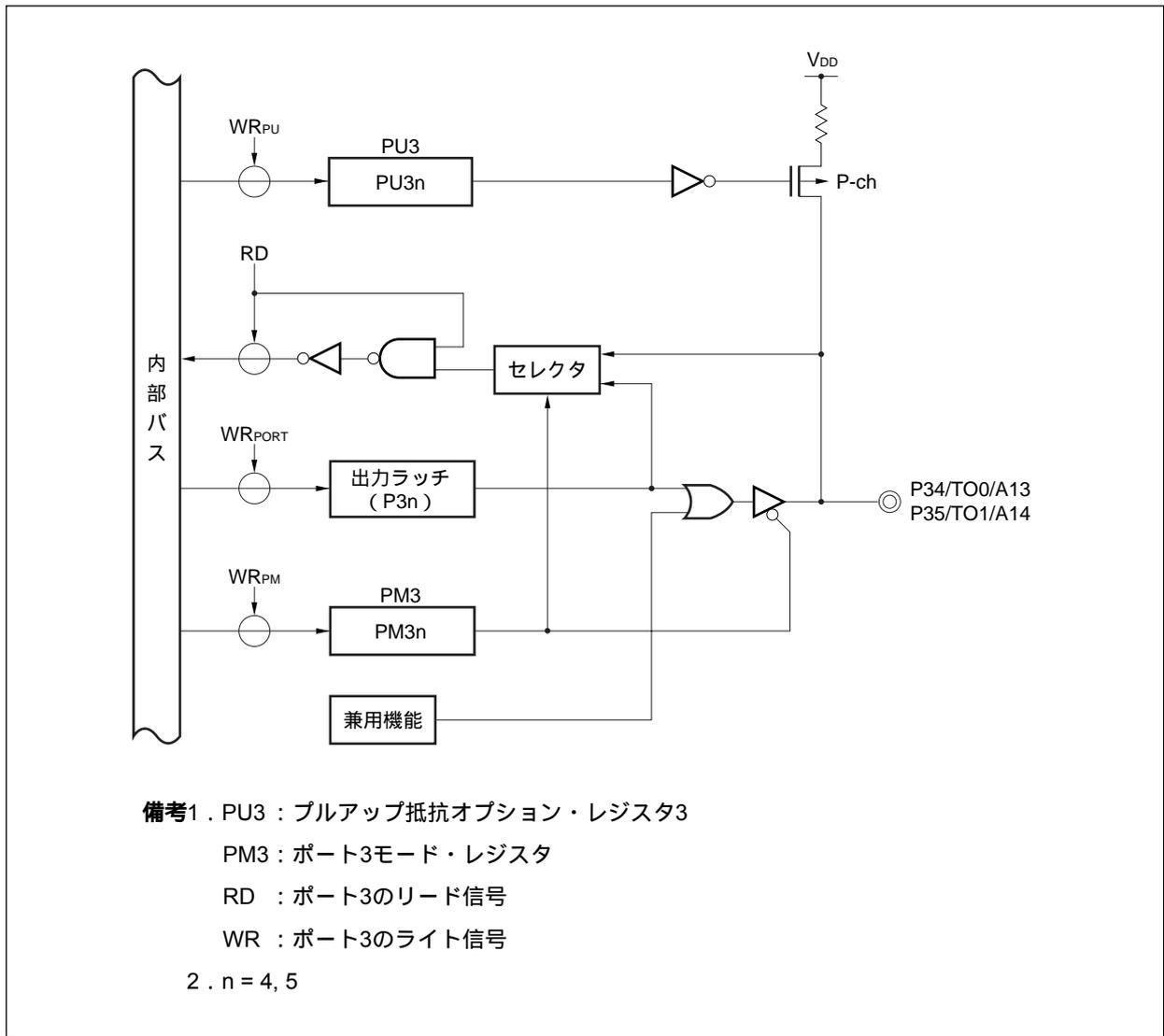
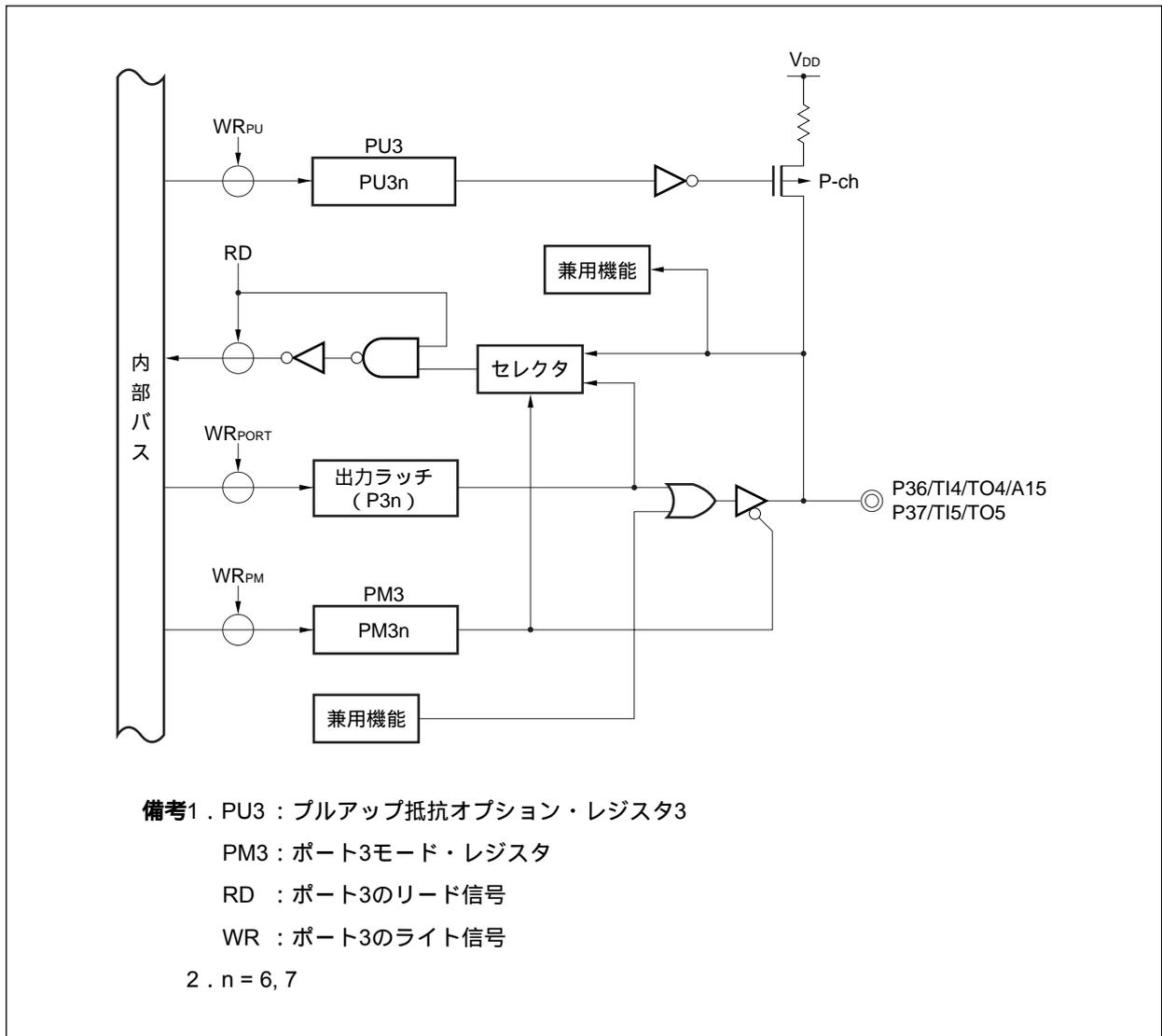


図14 - 12 P36, P37のブロック図



### 14.2.5 ポート4, ポート5

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時：00H    R/W    アドレス：FFFFFF008H, FFFFFFF00AH

Pn	7	6	5	4	3	2	1	0
	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

(n = 4, 5)

Pnx	出力データの制御 (出力モード時) (n = 4, 5, x = 0-7)
0	0を出力
1	1を出力

**備考** 入力モード時：ポート4 (P4), ポート5 (P5) をリードすると, そのときの端子レベルを読み出します。ライトすると, P4, P5にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート4 (P4), ポート5 (P5) をリードすると, P4, P5の値を読み出します。ライトすると, P4, P5に値を書き込み, すぐ書き込んだ値を出力します。

ポート4, ポート5は, 次に示す端子と兼用しています。

表14 - 6 ポート4, ポート5の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	
ポート4	P40	AD0	入出力	なし	-
	P41	AD1			
	P42	AD2			
	P43	AD3			
	P44	AD4			
	P45	AD5			
	P46	AD6			
ポート5	P50	AD8	入出力	なし	-
	P51	AD9			
	P52	AD10			
	P53	AD11			
	P54	AD12			
	P55	AD13			
	P56	AD14			
	P57	AD15			

注 ソフトウェア・プルアップ機能

(1) P4, P5端子の機能

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート4モード・レジスタ (PM4), ポート5モード・レジスタ (PM5) で入出力を制御します。

出力モード時, ポート4, ポート5 (P4, P5) に設定した各ビットの値を出力します。

入力モード時にP4, P5をリードすると端子状態をリードできます。また, 出力モード時にP4, P5をリードすると, P4, P5 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

AD0-AD15として使用する場合は, メモリ拡張モード・レジスタ (MM) で設定します。PM4, PM5の影響は受けません。

リセット入力により, 入力モードに初期化されます。

(2) 制御レジスタ

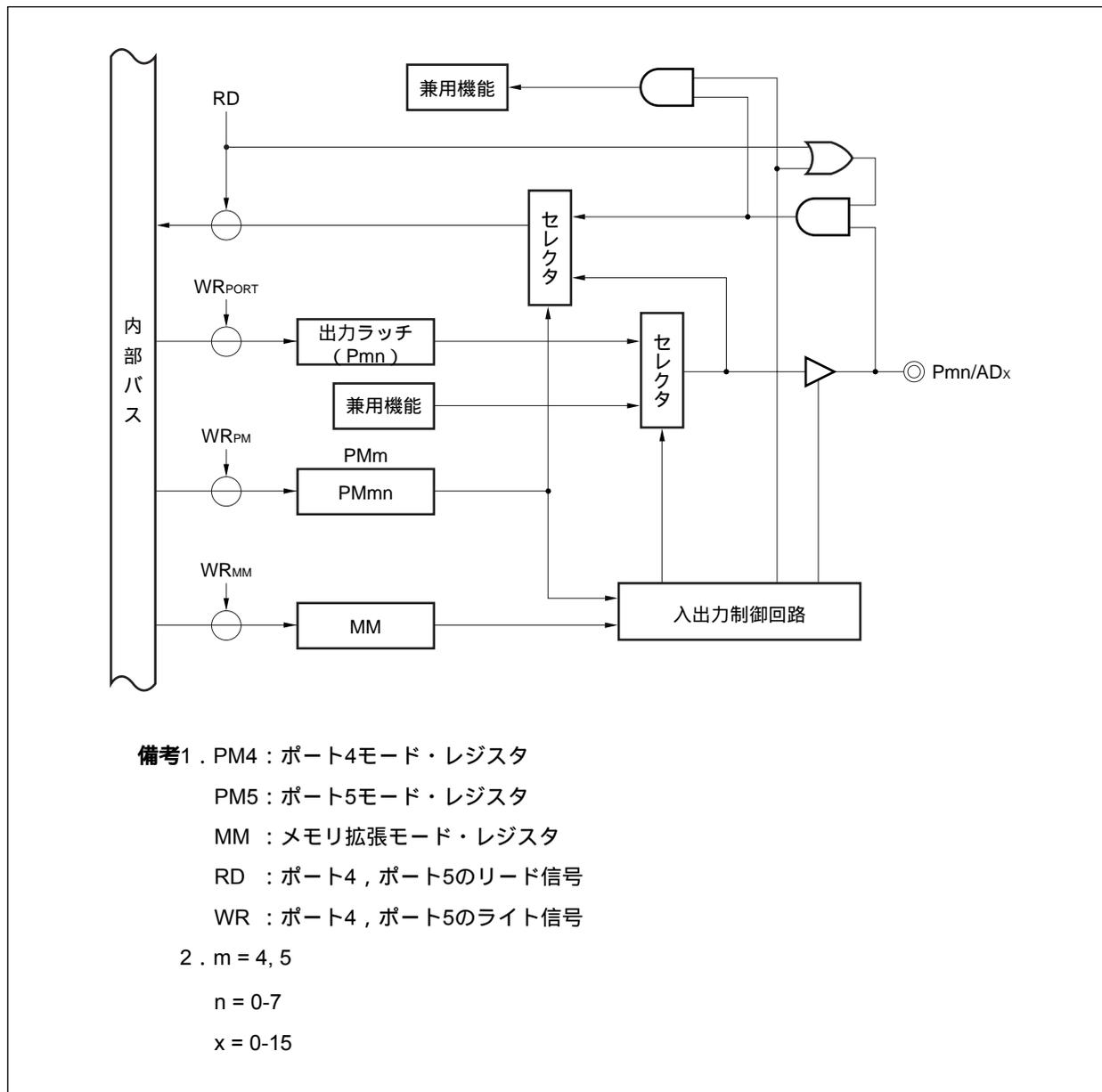
(a) ポート4モード・レジスタ, ポート5モード・レジスタ (PM4, PM5)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH    R/W    アドレス : FFFFF028H, FFFFF02AH									
	7	6	5	4	3	2	1	0	
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0	
(n = 4, 5)									
	PMnx	入出力モードの制御 (n = 4, 5, x = 0-7)							
	0	出力モード							
	1	入力モード							

(3) ブロック図 (ポート4, ポート5)

図14 - 13 P40-P47, P50-P57のブロック図



## 14.2.6 ポート6

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
P6	0	0	P65	P64	P63	P62	P61	P60

P6n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

**備考** 入力モード時：ポート6（P6）をリードすると、そのときの端子レベルを読み出します。ライトすると、P6にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート6（P6）をリードすると、P6の値を読み出します。ライトすると、P6に値を書き込み、すぐに書き込んだ値を出力します。

ポート6は、次に示す端子と兼用しています。

表14-7 ポート6の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考
ポート6	P60	A16	なし	-
	P61	A17		
	P62	A18		
	P63	A19		
	P64	A20		
	P65	A21		

注 ソフトウェア・プルアップ機能

#### (1) P6端子の機能

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート6モード・レジスタ（PM6）で入出力を制御します。

出力モード時、ポート6（P6）に設定した各ビットの値を出力します。

入力モード時にP6をリードすると端子状態をリードできます。また、出力モード時にP6をリードすると、P6（出力ラッチ）の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

A16-A21として使用する場合は、メモリ拡張モード・レジスタ（MM）で設定してください。PM6の影響は受けません。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート6モード・レジスタ (PM6)

8/1ビット単位でリード/ライト可能です。

リセット時 : 3FH    R/W    アドレス : FFFFF02CH

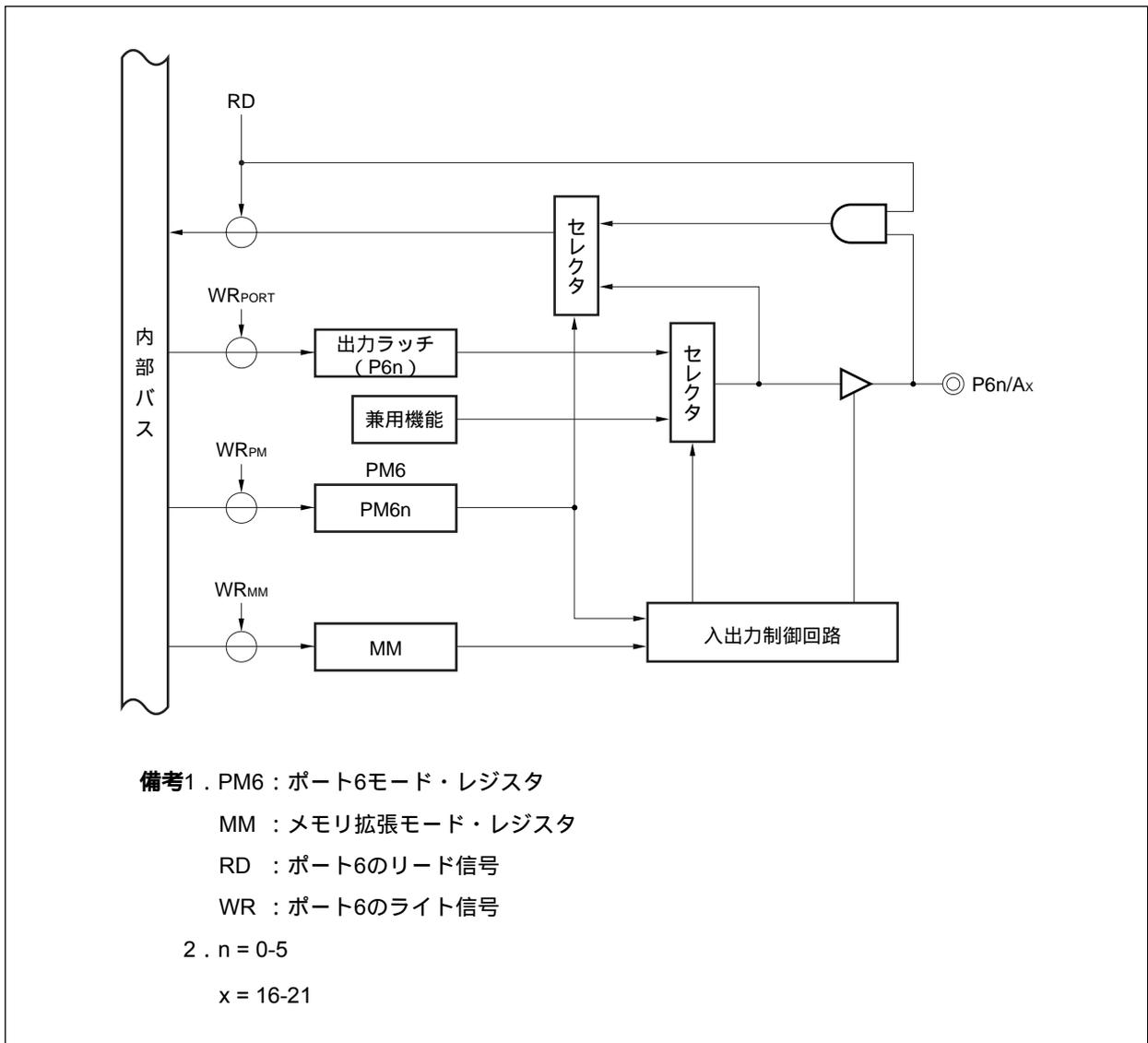
	7	6	5	4	3	2	1	0
PM6	0	0	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ブロック図 (ポート6)

図14 - 14 P60-P65のブロック図



### 14.2.7 ポート7, ポート8

ポート7は8ビットの入力専用ポートです。ポート8は4ビットの入力専用ポートです。

8/1ビット単位でリードのみ可能です。

リセット時：不定 R アドレス：FFFFFF00EH								
	7	6	5	4	3	2	1	0
P7	P77	P76	P75	P74	P73	P72	P71	P70
P7n	端子レベル (n = 0-7)							
0/1	ビットnの端子レベルをリード							
リセット時：不定 R アドレス：FFFFFF010H								
	7	6	5	4	3	2	1	0
P8	0	0	0	0	P83	P82	P81	P80
P8n	端子レベル (n = 0-3)							
0/1	ビットnの端子レベルをリード							

ポート7, ポート8は, 次を示す端子と兼用しています。

表14 - 8 ポート7, ポート8の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	
ポート7	P70	ANI0	入力	なし	-
	P71	ANI1			
	P72	ANI2			
	P73	ANI3			
	P74	ANI4			
	P75	ANI5			
	P76	ANI6			
	P77	ANI7			
ポート8	P80	ANI8	入力	なし	-
	P81	ANI9			
	P82	ANI10			
	P83	ANI11			

注 ソフトウェア・プルアップ機能

(1) P7, P8端子の機能

ポート7は8ビットの入力専用ポートです。ポート8は4ビットの入力専用ポートです。

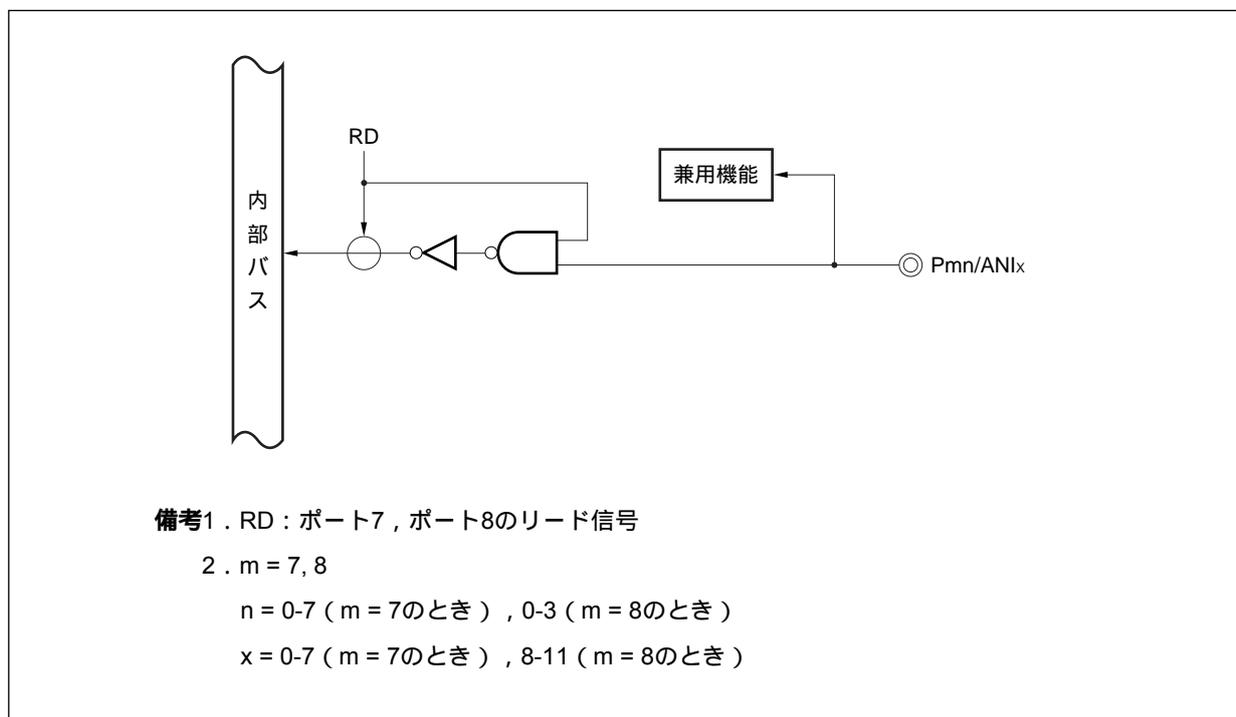
ポート7, ポート8 (P7, P8) をリードすると端子状態をリードできます。また, P7, P8にはデータを書き込めません。

ソフトウェア・プルアップ機能は内蔵していません。

アナログ入力に指定された端子をリードしたときの値は不定です。また, A/D変換中にP7, P8の値をリードしないでください。

(2) ブロック図 (ポート7, ポート8)

図14 - 15 P70-P77, P80-P83のブロック図



### 14.2.8 ポート9

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。

リセット時：00H    R/W    アドレス：FFFFFF012H

	7	6	5	4	3	2	1	0
P9	0	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-6）
0	0を出力
1	1を出力

**備考** 入力モード時：ポート9（P9）をリードすると、そのときの端子レベルを読み出します。ライトすると、P9にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート9（P9）をリードすると、P9の値を読み出します。ライトすると、P9に値を書き込み、すぐに書き込んだ値を出力します。

ポート9は、次に示す端子と兼用しています。

表14 - 9 ポート9の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考
ポート9	P90	LBEN/WRL	なし	-
	P91	UBEN		
	P92	R/W / WRH		
	P93	DSTB/RD		
	P94	ASTB		
	P95	HLDK		
	P96	HLDK		

注 ソフトウェア・ブルアップ機能

(1) P9端子の機能

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。ポート9モード・レジスタ (PM9) で入出力を制御します。

出力モード時、ポート9 (P9) に設定した各ビットの値を出力します。

入力モード時にP9をリードすると端子状態をリードできます。また、出力モード時にP9をリードすると、P9 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

P9を兼用の外部拡張機能端子として使用する場合は、メモリ拡張モード・レジスタ (MM) で設定してください。

リセット入力により、入力モードに初期化されます。

- ★ **注意** ポート9を入出力ポートとして使用するときは、システム制御レジスタ (SYC) のBICビットを“0”に設定してください。  
 なお、システム・リセット時にはBICビット = 0になります。

(2) 制御レジスタ

(a) ポート9モード・レジスタ (PM9)

8/1ビット単位でリード/ライト可能です。

リセット時: 7FH    R/W    アドレス: FFFFF032H									
	7	6	5	4	3	2	1	0	
PM9	0	PM96	PM95	PM94	PM93	PM92	PM91	PM90	
	PM9n	入出力モードの制御 (n = 0-6)							
	0	出力モード							
	1	入力モード							

(3) ブロック図 (ポート9)

図14 - 16 P90-P95のブロック図

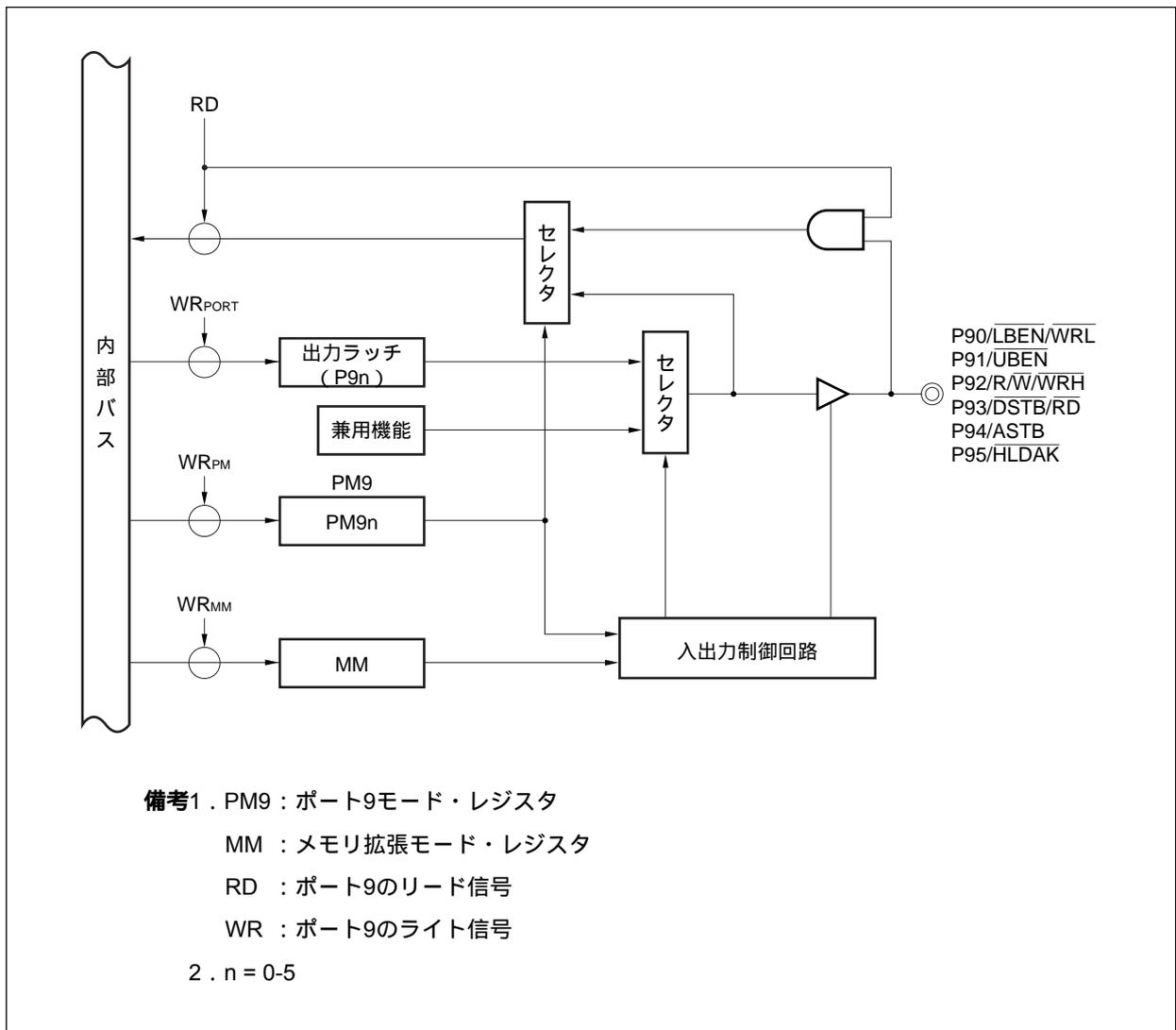
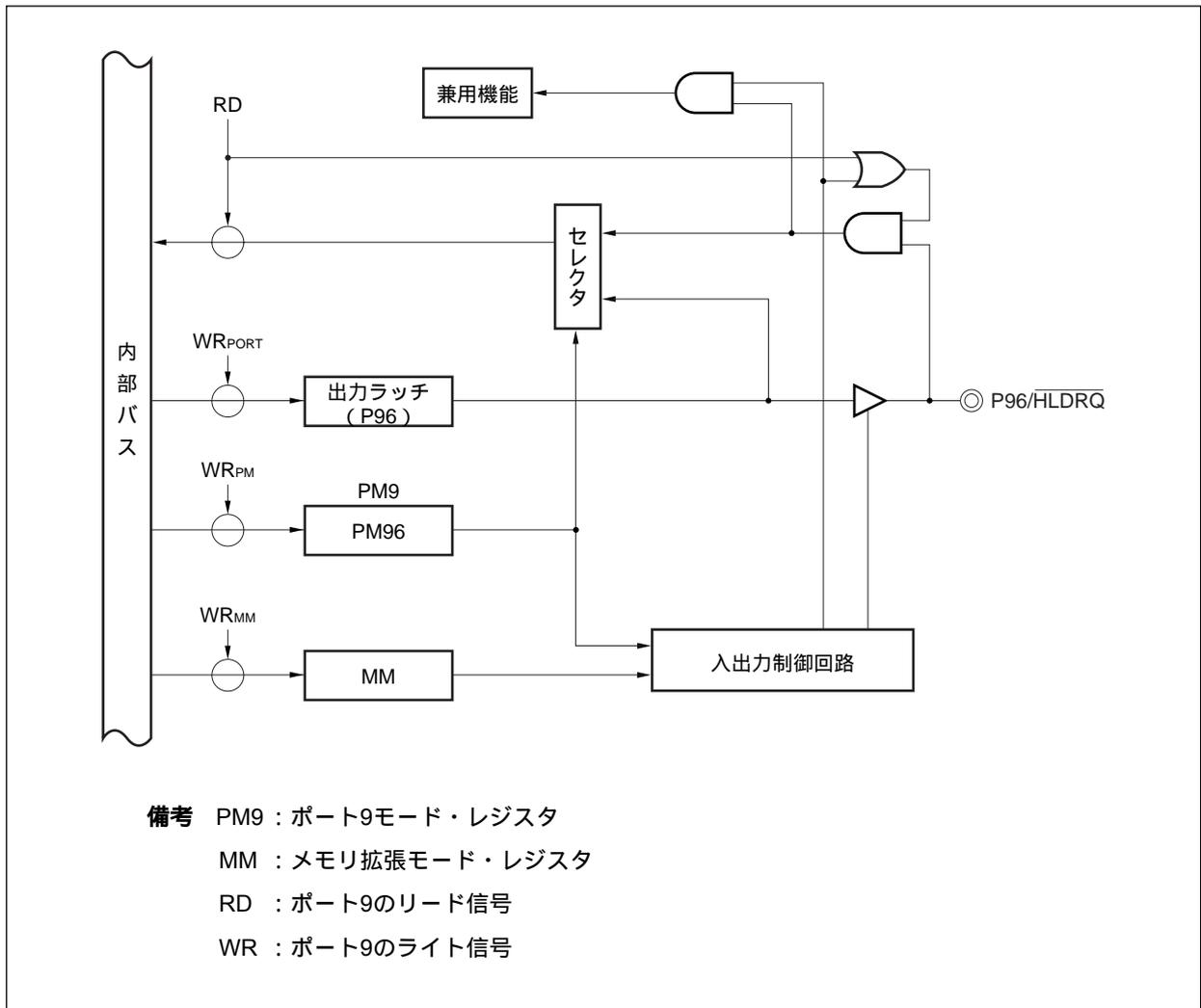


図14 - 17 P96のブロック図



### 14.2.9 ポート10

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：00H R/W アドレス：FFFFFF014H

	7	6	5	4	3	2	1	0
P10	P107	P106	P105	P104	P103	P102	P101	P100

P10n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

**備考** 入力モード時：ポート10（P10）をリードすると、そのときの端子レベルを読み出します。ライトすると、P10にライトしたデータを書き込みます。入力端子に影響はありません。  
 出力モード時：ポート10（P10）をリードすると、P10の値を読み出します。ライトすると、P10に値を書き込み、すぐに書き込んだ値を出力します。

ポート10は、次に示す端子と兼用しています。

表14 - 10 ポート10の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	
ポート10	P100	RTP0/A5	入出力	あり	N-chオープン・ドレイン出力選択可能
	P101	RTP1/A6			
	P102	RTP2/A7			
	P103	RTP3/A8			
	P104	RTP4/A9			
	P105	RTP5/A10			
	P106	RTP6/A11			
	P107	RTP7/A12			

注 ソフトウェア・プルアップ機能

(1) P10端子の機能

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート10モード・レジスタ (PM10) で入出力を制御します。

出力モード時、ポート10 (P10) に設定した各ビットの値を出力します。また、ポート10ファンクション・レジスタ (PF10) で、出力を通常出力とN-chオープン・ドレイン出力のどちらかに設定できます。

入力モード時にP10をリードすると端子状態をリードできます。また、出力モード時にP10をリードすると、P10 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ10 (PU10) の指定により、1ビット単位でプルアップ抵抗を接続できます。

A5-A12端子として使用するときは、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。このとき、必ずPM10を0に設定してください。

兼用端子として出力するときは、ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

**注意** リアルタイム出力ポートとして使用する際には、13.5 使用方法に従って設定してください。

(2) 制御レジスタ

(a) ポート10モード・レジスタ (PM10)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH    R/W    アドレス: FFFFF034H								
	7	6	5	4	3	2	1	0
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100
	PM10n							入出力モードの制御 (n = 0-7)
	0	出力モード						
	1	入力モード						

(b) プルアップ抵抗オプション・レジスタ10 (PU10)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF094H

	7	6	5	4	3	2	1	0
PU10	PU107	PU106	PU105	PU104	PU103	PU102	PU101	PU100

PU10n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(c) ポート10ファンクション・レジスタ (PF10)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF0B4H

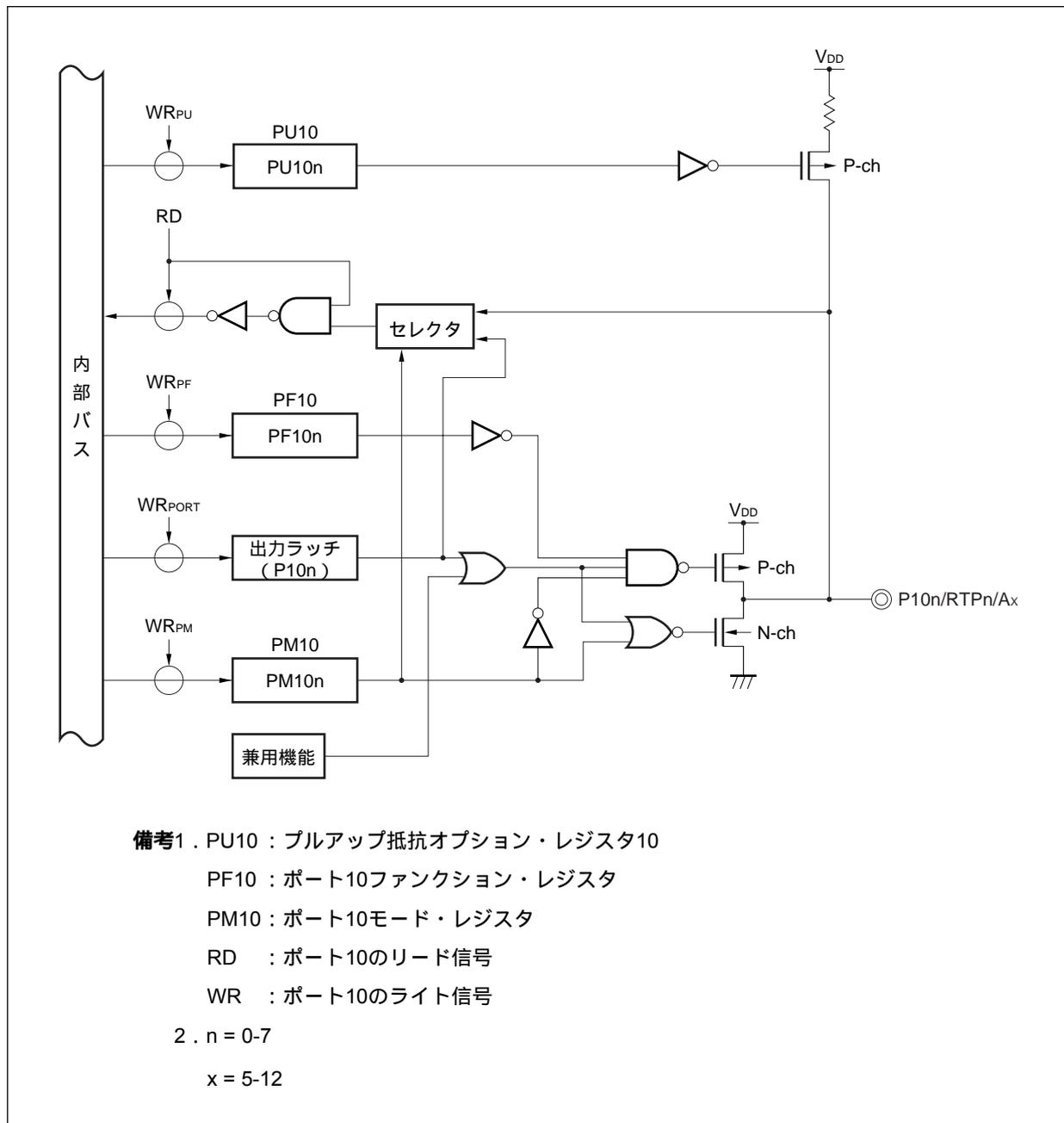
	7	6	5	4	3	2	1	0
PF10	PF107	PF106	PF105	PF104	PF103	PF102	PF101	PF100

PF10n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-7)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ブロック図 (ポート10)

図14 - 18 P100-P107のブロック図



### 14.2.10 ポート11

ポート11は、P114が入力専用ポート、P110-P113はビット単位で入出力を制御できる入出力ポートです。ビット0-ビット3は、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

8/1ビット単位でリード/ライト可能です。ただし、ビット4はリードのみ可能です。

リセット時：00H R/W アドレス：FFFFFF016H

	7	6	5	4	3	2	1	0
P11	0	0	0	P114	P113	P112	P111	P110

P11n	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

P114	端子レベルのリード
0/1	P114端子レベルをリード

**備考** 入力モード時：ポート11（P11）をリードすると、そのときの端子レベルを読み出します。ライトすると、P11にライトしたデータを書き込みます。入力端子に影響はありません。  
出力モード時：ポート11（P11）をリードすると、P11の値を読み出します。ライトすると、P11に値を書き込み、すぐに書き込んだ値を出力します（P114を除く）。

ポート11は、次に示す端子と兼用しています。

表14 - 11 ポート11の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	
ポート11	P110	A1	入出力	あり	-
	P111	A2			
	P112	A3			
	P113	A4			
	P114	XT1	入力	なし	サブクロック（XT1）兼用

注 ソフトウェア・プルアップ機能

(1) P11端子の機能

ポート11は ,P114が入力専用ポート ,P110-P113が1ビット単位で入出力を制御できる入出力ポートで ,計5ビットのポートです。

出力モード時、ポート11 (P11) に設定した各ビットの値 (ビット0-ビット3) を出力します。

入力モード時にP11をリードすると端子状態をリードできます。また、出力モード時にP11をリードすると、P11 (出力ラッチ) の値をリードできます (ビット0-ビット3のみ)。

プルアップ抵抗オプション・レジスタ11 (PU11) の設定により、P110-P113まで1ビット単位でプルアップ抵抗を接続できます。

A1-A4端子として使用するときには、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。このとき、必ずPM11 (PM110-PM113) を0に設定してください。

リセット入力により、入力モードに初期化されます。

**注意** P114/XT1端子は、内部で回路を通してXT2端子とつながっているため、サブクロックを使用しないときも、P114/XT1端子とXT2端子は干渉します。したがって、サブクロックを使用しないときは、XT2端子をオープンにしてください。

(2) 制御レジスタ

(a) ポート11モード・レジスタ (PM11)

8/1ビット単位でリード/ライト可能です。

リセット時 : 1FH    R/W    アドレス : FFFFF036H

	7	6	5	4	3	2	1	0
PM11	0	0	0	1	PM113	PM112	PM111	PM110

PM11n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ11 (PU11)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF096H

	7	6	5	4	3	2	1	0
PU11	0	0	0	0	PU113	PU112	PU111	PU110

PU11n	内蔵プルアップ抵抗接続制御 (n = 0-3)
0	接続しない
1	接続する

(3) ブロック図 (ポート11)

図14 - 19 P110-P113のブロック図

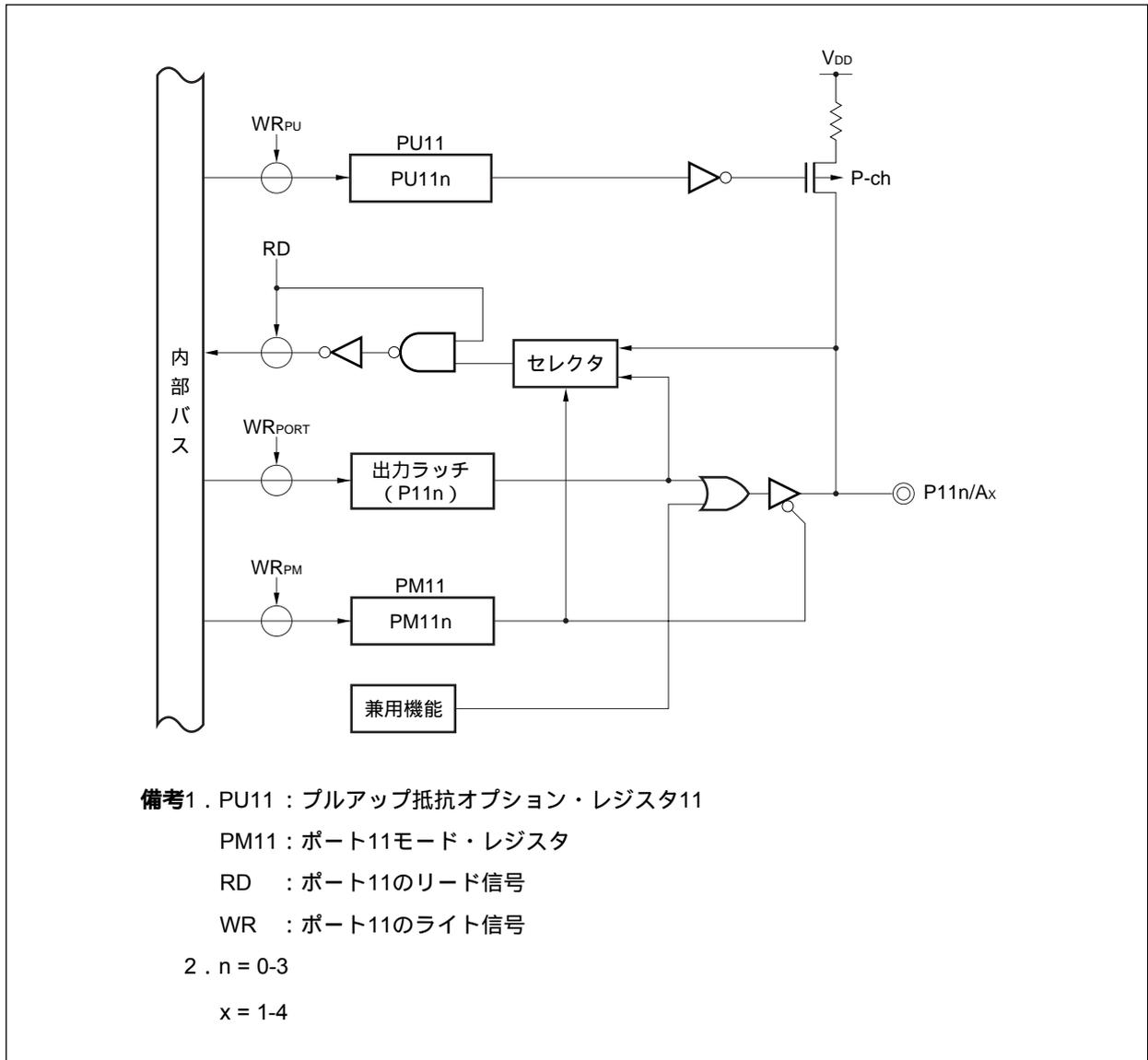
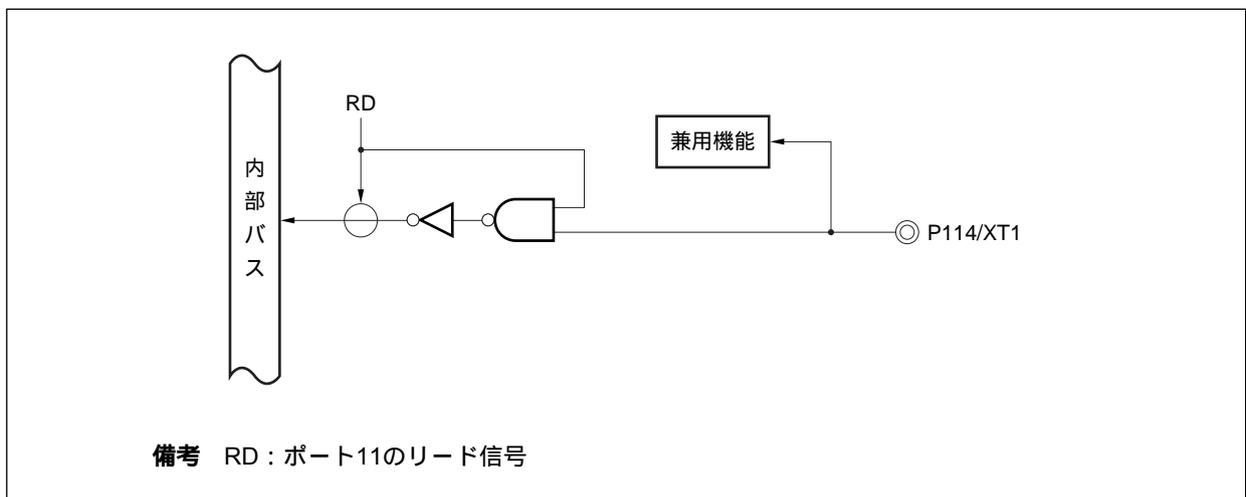


図14 - 20 P114のブロック図



## 14.2.11 ポート12

ポート12は、1ビットの入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF018H

	7	6	5	4	3	2	1	0
P12	0	0	0	0	0	0	0	P120

P120	出力データの制御（出力モード時）
0	0を出力
1	1を出力

**備考** 入力モード時：ポート12（P12）をリードすると、そのときの端子レベルを読み出します。ライトすると、P12にライトしたデータを書き込みます。入力端子に影響はありません。  
出力モード時：ポート12（P12）をリードすると、P12の値を読み出します。ライトすると、P12に値を書き込み、すぐに書き込んだ値を出力します。

ポート12は、次に示す端子と兼用しています。

表14 - 12 ポート12の兼用端子

端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考
ポート12	P120	WAIT	なし	-

注 ソフトウェア・ブルアップ機能

### (1) P12端子の機能

ポート12は、1ビット単位で入出力を制御できる1ビット入出力ポートです。ポート12モード・レジスタ（PM12）で入出力を制御します。

出力モード時、ポート12（P12）に設定した値を出力します。

入力モード時にP12をリードすると端子状態をリードできます。また、出力モード時にP12をリードすると、P12（出力ラッチ）の値をリードできます。

WAIT端子として使用するときは、ポート12モード・コントロール・レジスタ（PMC12）で設定してください。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート12モード・レジスタ (PM12)

8/1ビット単位でリード/ライト可能です。

リセット時 : 01H    R/W    アドレス : FFFFF038H

	7	6	5	4	3	2	1	0
PM12	0	0	0	0	0	0	0	PM120

PM120	入力モードの制御
0	出力モード
1	入力モード

(b) ポート12モード・コントロール・レジスタ (PMC12)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H    R/W    アドレス : FFFFF058H

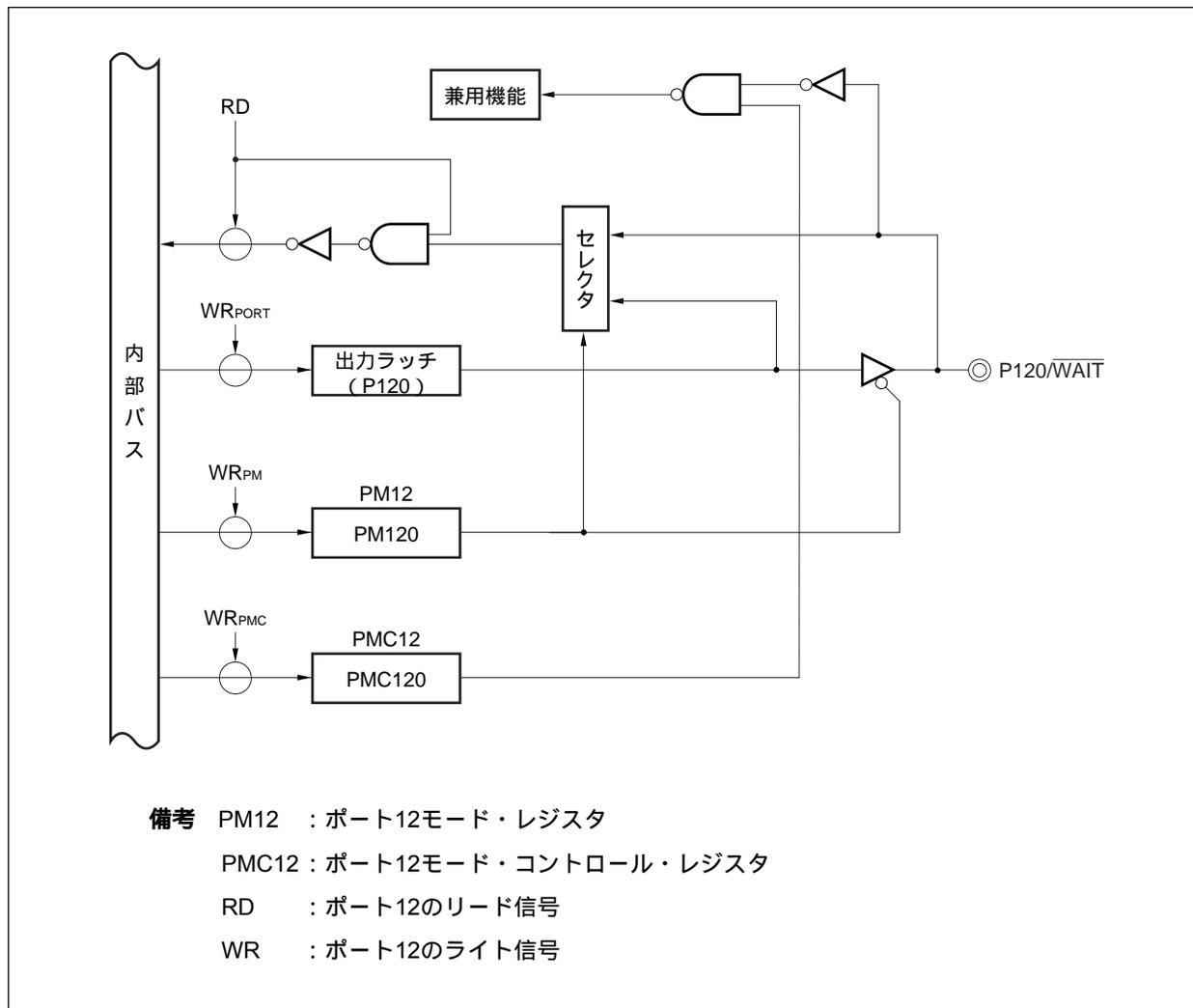
	7	6	5	4	3	2	1	0
PMC12	0	0	0	0	0	0	0	PMC120

PMC120	兼用端子との切り替え
0	ポート・モードとして使用
1	WAIT 端子として使用

(3) ブロック図 (ポート12)

図14 - 21 P120のブロック図



### 14.3 ポート端子を兼用端子として使用する場合の設定

ポート端子を兼用端子として使用する場合，ポートnモード・レジスタ（PM0-PM6, PM9-PM12），出力ラッチを次のように設定してください。

表14 - 13 ポート端子を兼用端子として使用する場合の設定（1/2）

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P00	NMI	入力	PM00 = 1	P00 = 設定不要	-
P01	INTP0	入力	PM01 = 1	P01 = 設定不要	-
P02	INTP1	入力	PM02 = 1	P02 = 設定不要	-
P03	INTP2	入力	PM03 = 1	P03 = 設定不要	-
P04	INTP3	入力	PM04 = 1	P04 = 設定不要	-
P05	INTP4	入力	PM05 = 1	P05 = 設定不要	-
	ADTRG	入力			
P06	INTP5	入力	PM06 = 1	P06 = 設定不要	-
	RTPTRG	入力			
P07	INTP6	入力	PM07 = 1	P07 = 設定不要	-
P10	SI0	入力	PM10 = 1	P10 = 設定不要	-
	SDA <sup>注</sup>	入出力	PM10 = 0	P10 = 0	PF10 = 1
P11	SO0	出力	PM11 = 0	P11 = 0	-
P12	SCK0	入力	PM12 = 1	P12 = 設定不要	-
		出力	PM12 = 0	P12 = 0	
	SCL <sup>注</sup>	入出力			PF12 = 1
P13	SI1	入力	PM13 = 1	P13 = 設定不要	-
	RXD0	入力			
P14	SO1	出力	PM14 = 0	P14 = 0	-
	TXD0	出力			
P15	SCK1	入力	PM15 = 1	P15 = 設定不要	-
		出力	PM15 = 0	P15 = 0	
	ASCK0	入力	PM15 = 1	P15 = 設定不要	
P20	SI2	入力	PM20 = 1	P20 = 設定不要	-
P21	SO2	出力	PM21 = 0	P21 = 0	-
P22	SCK2	入力	PM22 = 1	P22 = 設定不要	-
		出力	PM22 = 0	P22 = 0	
P23	RXD1	入力	PM23 = 1	P23 = 設定不要	-
P24	TXD1	出力	PM24 = 0	P24 = 0	-
P25	ASCK1	入力	PM25 = 1	P25 = 設定不要	-
P26	TI2	入力	PM26 = 1	P26 = 設定不要	-
	TO2	出力	PM26 = 0	P26 = 0	
P27	TI3	入力	PM27 = 1	P27 = 設定不要	-
	TO3	出力	PM27 = 0	P27 = 0	
P30	TI00	入力	PM30 = 1	P30 = 設定不要	-
P31	TI01	入力	PM31 = 1	P31 = 設定不要	-

★ 注  $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ

表14 - 13 ポート端子を兼用端子として使用する場合の設定 (2/2)

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P32	TI10	入力	PM32 = 1	P32 = 設定不要	-
P33	TI11	入力	PM33 = 1	P33 = 設定不要	-
P34	TO0	出力	PM34 = 0	P34 = 0	-
	A13	出力			3.4.6(2) 参照 (MAM)
P35	TO1	出力	PM35 = 0	P35 = 0	-
	A14	出力			3.4.6(2) 参照 (MAM)
P36	TI4	入力	PM36 = 1	P36 = 設定不要	-
	TO4	出力	PM36 = 0	P36 = 0	-
	A15	出力			3.4.6(2) 参照 (MAM)
P37	TI5	入力	PM37 = 1	P37 = 設定不要	-
	TO5	出力	PM37 = 0	P37 = 0	-
P40-P47	AD0-AD7	入出力	PM40-PM47 = 設定不要	P40-P47 = 設定不要	3.4.6(1) 参照 (MM)
P50-P57	AD8-AD15	入出力	PM50-PM57 = 設定不要	P50-P57 = 設定不要	3.4.6(1) 参照 (MM)
P60-P65	A16-A21	出力	PM60-PM65 = 設定不要	P60-P65 = 設定不要	3.4.6(1) 参照 (MM)
P70-P77	ANI0-ANI7	入力	なし	P70-P77 = 設定不要	-
P80-P83	ANI8-ANI11	入力	なし	P80-P83 = 設定不要	-
P90	$\overline{\text{LBEN}}$	出力	PM90 = 設定不要	P90 = 設定不要	3.4.6(1) 参照 (MM)
	$\overline{\text{WRL}}$	出力			
P91	$\overline{\text{UBEN}}$	出力	PM91 = 設定不要	P91 = 設定不要	3.4.6(1) 参照 (MM)
P92	$\overline{\text{R/W}}$	出力	PM92 = 設定不要	P92 = 設定不要	3.4.6(1) 参照 (MM)
	$\overline{\text{WRH}}$	出力			
P93	$\overline{\text{DSTB}}$	出力	PM93 = 設定不要	P93 = 1	3.4.6(1) 参照 (MM)
	$\overline{\text{RD}}$	出力			
P94	$\overline{\text{ASTB}}$	出力	PM94 = 設定不要	P94 = 1	3.4.6(1) 参照 (MM)
P95	$\overline{\text{HLDAK}}$	出力	PM95 = 設定不要	P95 = 設定不要	3.4.6(1) 参照 (MM)
P96	$\overline{\text{HLDRQ}}$	入力	PM96 = 設定不要	P96 = 設定不要	3.4.6(1) 参照 (MM)
P100- P107	RTP0-RTP7	出力	PM100-PM107 = 0	P100-P107 = 0	-
	A5-A12	出力			3.4.6(2) 参照 (MAM)
P110-P113	A1-A4	出力	PM110-PM113 = 0	P110-P113 = 0	3.4.6(2) 参照 (MAM)
P114	XT1	入力	なし	P114 = 設定不要	-
P120	$\overline{\text{WAIT}}$	入力	PM120 = 1	P120 = 設定不要	PMC120 = 1 (PMC12)

**注意** ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを設定して出力レベルを変化させた場合、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用する場合は、あらかじめ割り込みマスク・フラグに1を設定してください。

**備考** PMnレジスタのPMnxビット / PnのPnxビット

n : 0 (x = 0-7)    n : 1 (x = 0-5)    n : 2 (x = 0-7)    n : 3 (x = 0-7)    n : 4 (x = 0-7)  
n : 5 (x = 0-7)    n : 6 (x = 0-5)    n : 7 (x = 0-7)    n : 8 (x = 0-3)    n : 9 (x = 0-6)  
n : 10 (x = 0-7)    n : 11 (x = 0-4)    n : 12 (x = 0)

## ★ 14.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 14.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込めます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込めます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** ビット操作命令 (CLR1, SET1, NOT1) の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ、不定になります。

### 14.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

# 第15章 リセット機能

## 15.1 概要

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。また、リセット期間中メイン・クロックは発振を停止します。サブクロックは発振を継続します。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

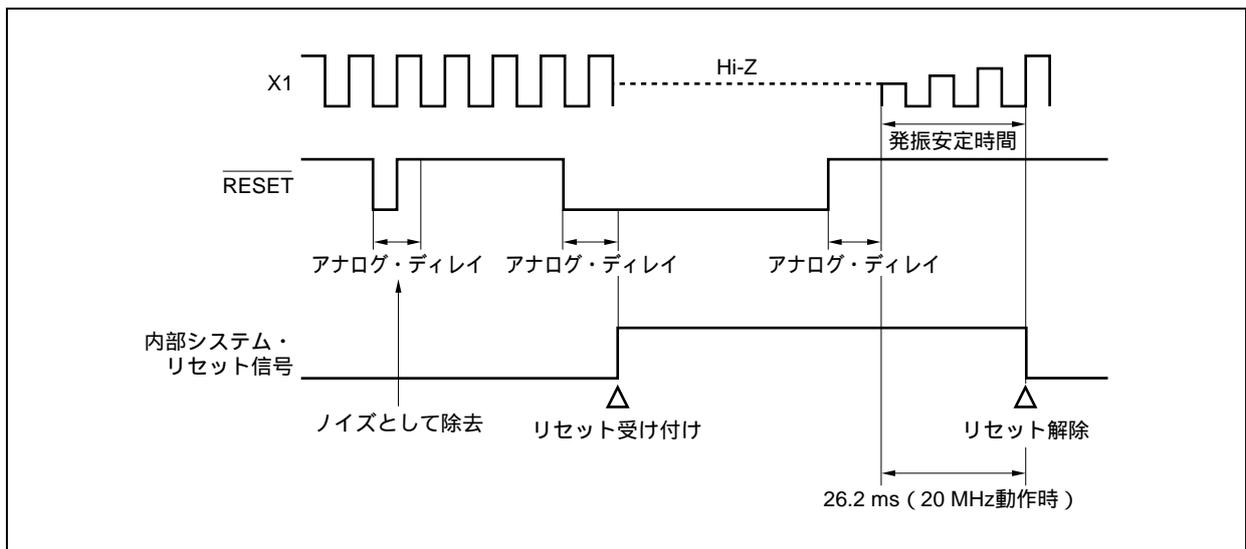
$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイによるノイズ除去回路を内蔵しています。

## 15.2 端子動作

システム・リセット期間中は、ほとんどの端子出力( $\overline{\text{RESET}}$ , X2, XT2, AVREF, VDD, VSS, AVDD, AVSS, BVDD, BVSS, IC/VPPを除く全端子)がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、ポート3-6, 9-11の各端子にプルアップ(またはプルダウン)抵抗を付けてください。付けていない場合、これらの端子がハイ・インピーダンスになるため、メモリ内のデータを破壊する可能性があります。同様に内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう端子を処理してください。

図15-1 システム・リセット・タイミング



## 第16章 フラッシュ・メモリ

次に示す製品はV850/SA1のフラッシュ・メモリ内蔵品です。

- ★ **注意** フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

$\mu$  PD70F3015B, 70F3015BY : 128 Kバイトのフラッシュ・メモリ内蔵品

$\mu$  PD70F3017A, 70F3017AY : 256 Kバイトのフラッシュ・メモリ内蔵品

フラッシュ・メモリへの命令フェッチは、マスクROM内蔵品と同様に1クロックで4バイトをアクセスできます。フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850/SA1を半田実装後、ソフトウェアの変更可能  
ソフトウェアを区別することで少量多品種生産が容易  
量産立ち上げ時のデータ調整が容易

### 16.1 特 徴

- ・4バイト/1クロック・アクセス（命令フェッチ・アクセス時）
- ・全エリア一括消去/エリア単位で消去（ $\mu$  PD70F3017A, 70F3017AYのみ）
- ・専用フラッシュ・ライタからシリアル・インタフェースを介して通信
- ・消去/書き込み電圧： $V_{PP} = 7.8\text{ V}$
- ・オンボード・プログラミング
- ・エリア（128 Kバイト）単位（ $\mu$  PD70F3015B, 70F3015BYは全エリア）のセルフ書き込みによるフラッシュ・メモリ・プログラミングが可能

## ★ 16.1.1 消去単位

消去単位は、各製品によって異なります。

### (1) $\mu$ PD70F3015B, 70F3015B

128 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

#### (a) 全エリア一括消去

xx000000H-xx01FFFFHの領域を同時に消去できます。

### (2) $\mu$ PD70F3017A, 70F3017AY

256 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

#### (a) 全エリア一括消去

xx000000H-xx03FFFFHの領域を同時に消去できます。

#### (b) エリア消去

エリア単位で消去ができます (128 Kバイト単位のエリアが2つあります)。

エリア0 : xx000000H-xx01FFFFH (128 Kバイト) の領域を消去

エリア1 : xx020000H-xx03FFFFH (128 Kバイト) の領域を消去

## 16.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライターにより、オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上にV850/SA1を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

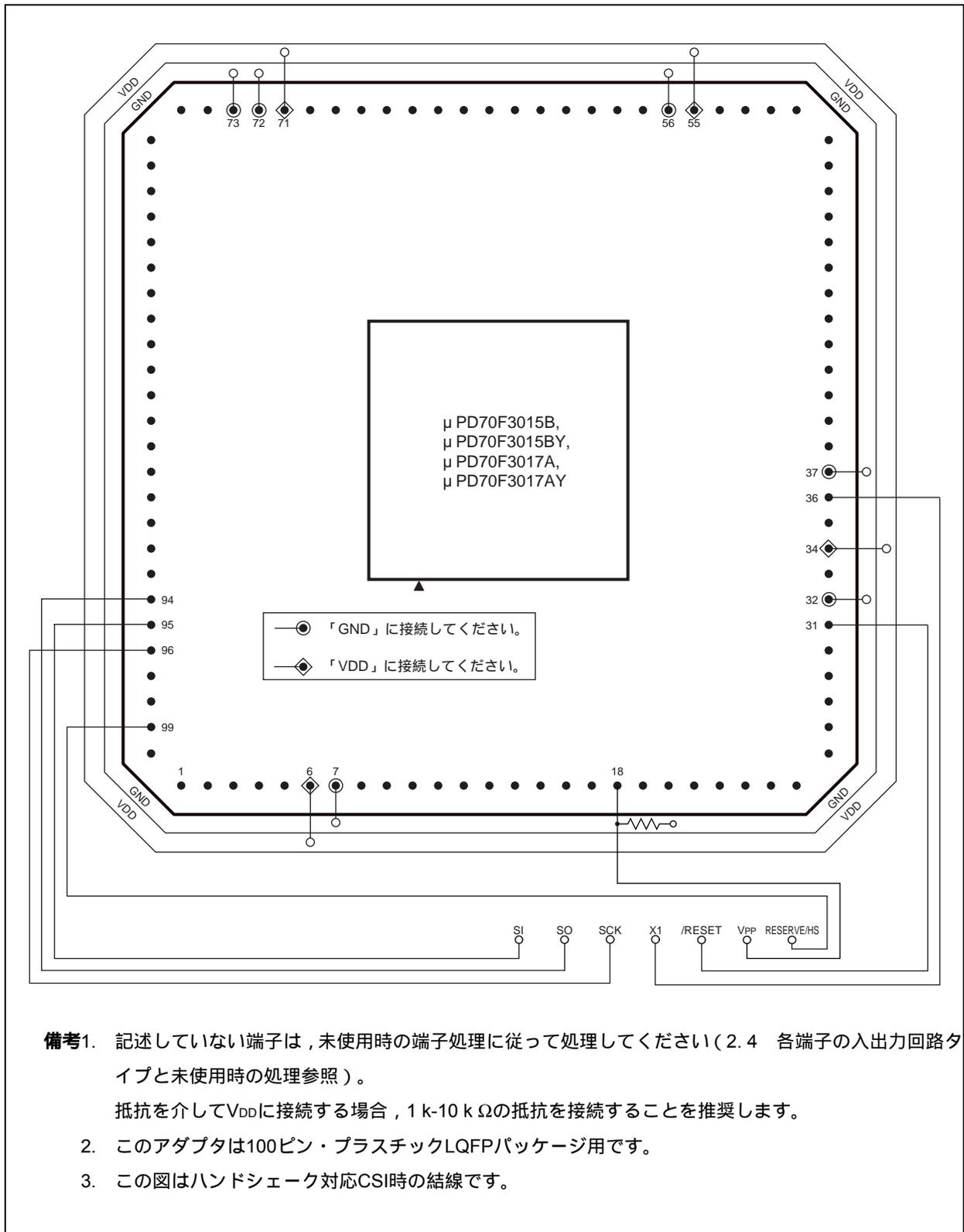
### (2) オフボード・プログラミング

ターゲット・システム上にV850/SA1を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

**備考** FAシリーズは、(株)内藤電誠町田製作所の製品です。

★

図16 - 1 V850/SA1フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線例



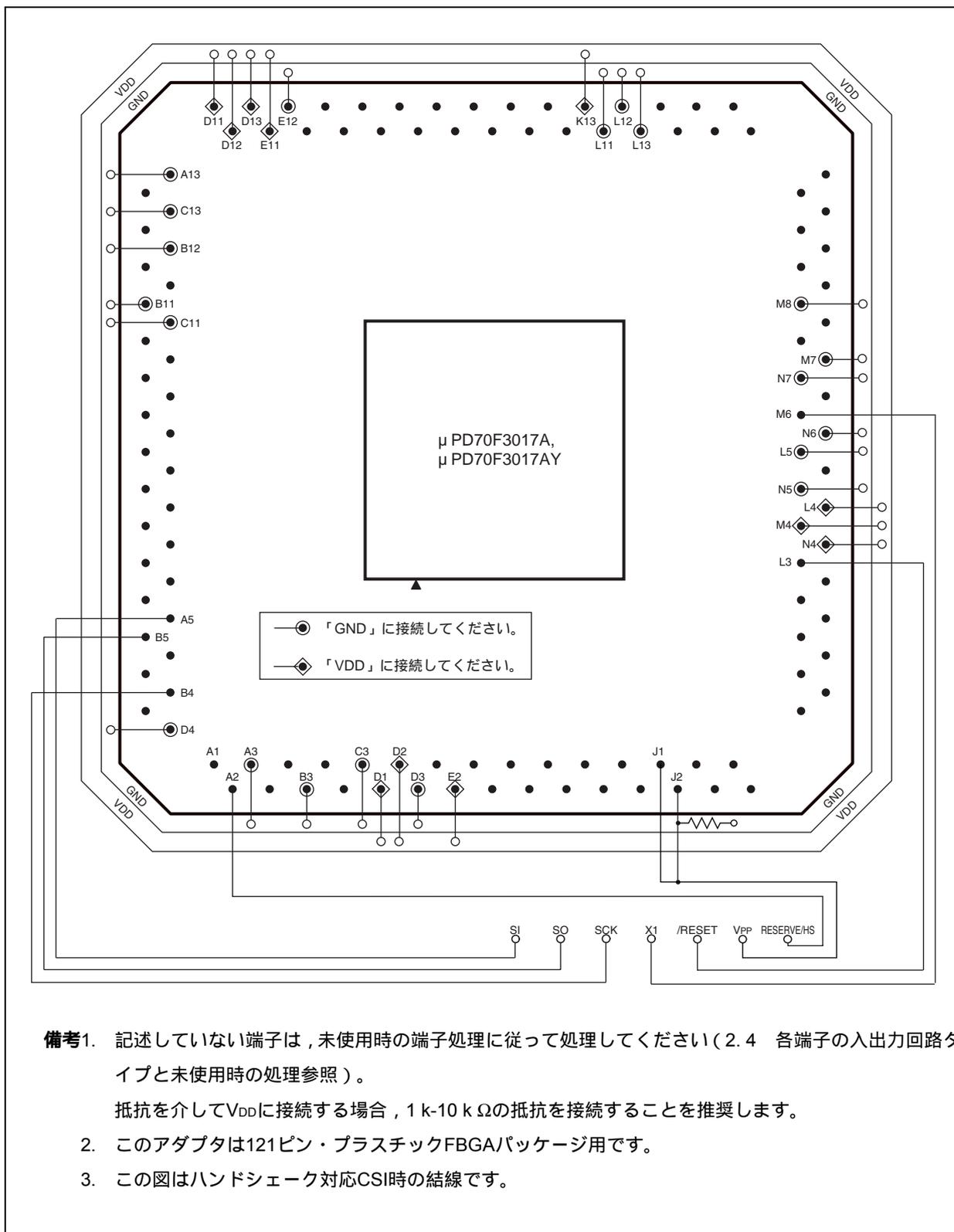
★

表16 - 1 V850/SA1フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線表

フラッシュ・ライター (PG-FP3/PG-FP4) 接続端子			CSI0 + HS使用時		CSI0使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	P11/SO0	95	P11/SO0	95	P14/TXD0	98
SO/TxD	出力	送信信号	P10/SI0	94	P10/SI0	94	P13/RXD0	97
SCK	出力	転送クロック	P12/ $\overline{\text{SCK0}}$	96	P12/ $\overline{\text{SCK0}}$	68	必要なし	必要なし
CLK	出力	V850/SA1へのクロック	X1	36	X1	36	X1	36
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	31	$\overline{\text{RESET}}$	31	$\overline{\text{RESET}}$	31
VPP	出力	書き込み電圧	V <sub>PP</sub>	18	V <sub>PP</sub>	18	V <sub>PP</sub>	18
HS	入力	CSI0 + HS通信の ハンドシェイク信号	P15	99	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD電圧生成 / 電圧監視	V <sub>DD</sub>	6, 34	V <sub>DD</sub>	6, 34	V <sub>DD</sub>	6, 34
			AV <sub>DD</sub>	71	AV <sub>DD</sub>	71	AV <sub>DD</sub>	71
			BV <sub>DD</sub>	55	BV <sub>DD</sub>	55	BV <sub>DD</sub>	55
GND	-	グラウンド	V <sub>SS</sub>	7, 37	V <sub>SS</sub>	7, 37	V <sub>SS</sub>	7, 37
			AV <sub>SS</sub>	72	AV <sub>SS</sub>	72	AV <sub>SS</sub>	72
			AV <sub>REF</sub>	73	AV <sub>REF</sub>	73	AV <sub>REF</sub>	73
			BV <sub>SS</sub>	56	BV <sub>SS</sub>	56	BV <sub>SS</sub>	56

★

図16 - 2 V850/SA1フラッシュ書き込み用アダプタ (FA-121F1-EA6) の配線例



★

表16 - 2 V850/SA1フラッシュ書き込み用アダプタ (FA-121F1-EA6) の配線表

フラッシュ・ライター (PG-FP3/PG-FP4) 接続端子			CSI0 + HS使用時		CSI0使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	P11/SO0	A5	P11/SO0	A5	P14/TXD0	B2
SO/TxD	出力	送信信号	P10/SI0	B5	P10/SI0	B5	P13/RXD0	A4
SCK	出力	転送クロック	P12/SCK0	B4	P12/SCK0	B4	必要なし	必要なし
CLK	出力	V850/SA1へのクロック	X1	M6	X1	M6	X1	M6
/RESET	出力	リセット信号	RESET	L3	RESET	L3	RESET	L3
VPP	出力	書き込み電圧	VPP	J1, J2	VPP	J1, J2	VPP	J1, J2
HS	入力	CSI0 + HS通信の ハンドシェイク信号	P15	A2	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD電圧生成 / 電圧監視	VDD	注1	VDD	注1	VDD	注1
			AVDD	注2	AVDD	注2	AVDD	注2
			BVDD	K13	BVDD	K13	BVDD	K13
GND	-	グラウンド	VSS	注3	VSS	注3	VSS	注3
			AVSS	注4	AVSS	注4	AVSS	注4
			AVREF	C13	AVREF	C13	AVREF	C13
			BVSS	L11-L13	BVSS	L11-L13	BVSS	L11-L13

注1. D1, D2, E2, L4, M4, N4

2. D11-D13, E11

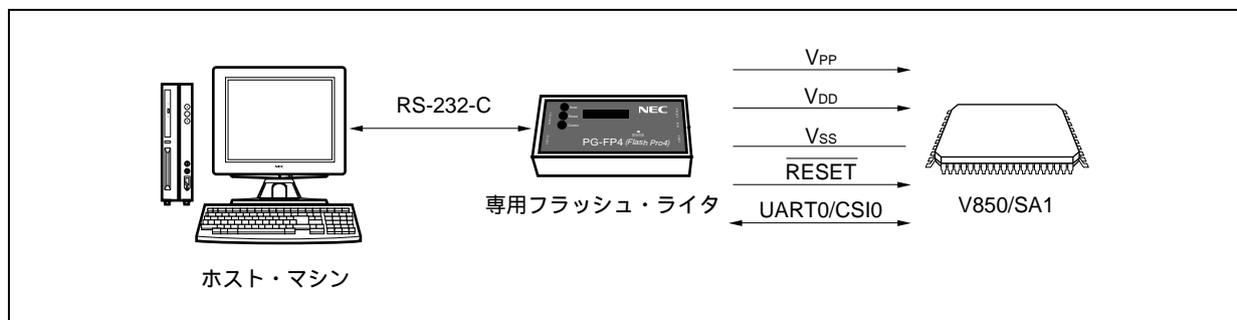
3. A3, B3, C3, D3, L5, M7, M8, N6, N7

4. A13, B11, B12, C11

### 16.3 プログラミング環境

V850/SA1のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図16-3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850/SA1とのインターフェースはUART0またはCSI0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

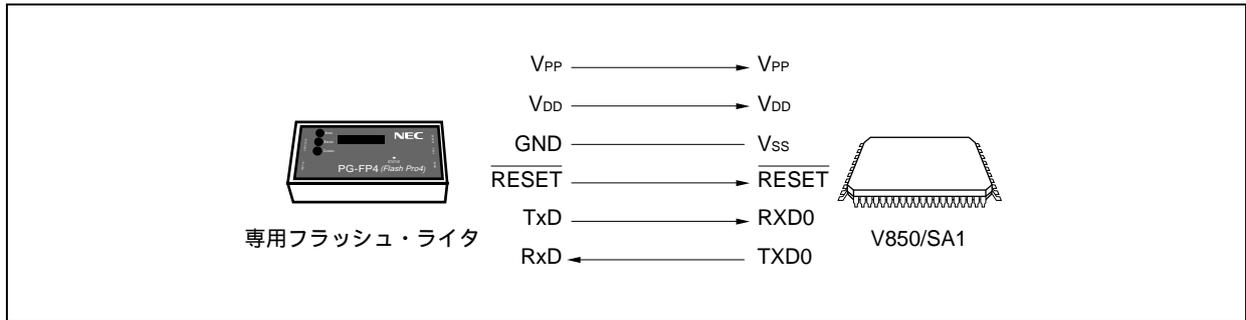
## 16.4 通信方式

専用フラッシュ・ライタとV850/SA1との通信は、UART0またはCSI0によるシリアル通信で行います。

### (1) UART0

転送レート：9600 - 76800 bps

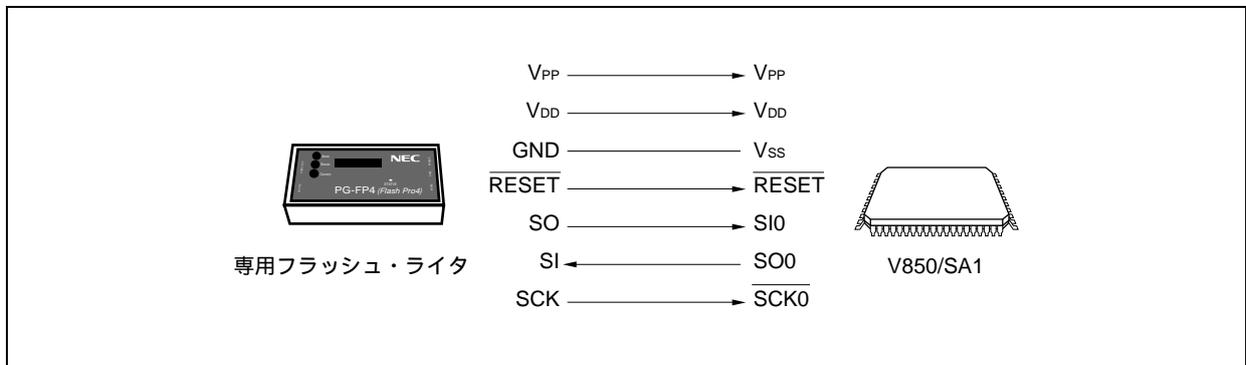
図16 - 4 専用フラッシュ・ライタとの通信 (UART0)



### (2) CSI0

シリアル・クロック：～1 MHz (MSBファースト)

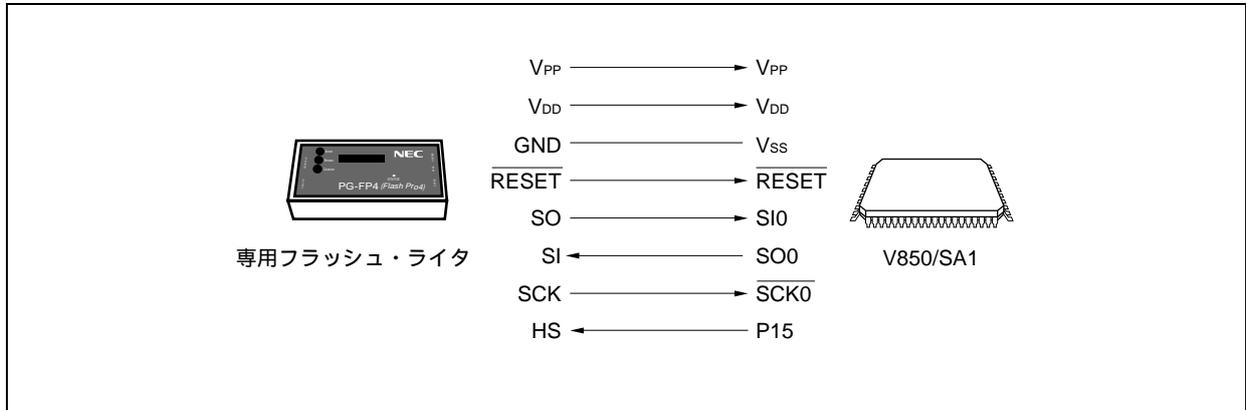
図16 - 5 専用フラッシュ・ライタとの通信 (CSI0)



(3) CSIO+HS

シリアル・クロック：～1 MHz (MSBファースト)

図16 - 6 専用フラッシュ・ライタとの通信 (CSIO+HS)



専用フラッシュ・ライタが転送クロックを出力し、V850/SA1はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP3またはPG-FP4を使用した場合、PG-FP3またはPG-FP4はV850/SA1に対して表16 - 3の信号を生成します。詳細はPG-FP3 **ユーザーズ・マニュアル (U13502J)** またはPG-FP4 **ユーザーズ・マニュアル (U15260J)** を参照してください。

表16 - 3 専用フラッシュ・ライタ (PG-FP3またはPG-FP4) の信号生成

PG-FP3またはPG-FP4			V850/SA1	接続時の処置		
信号名	入出力	端子機能	端子名	CSIO	UART0	CSIO+HS
VPP	出力	書き込み電圧	VPP			
VDD	入出力	VDD電圧生成/電圧監視	VDD			
GND	-	グランド	VSS			
CLK <sup>※</sup>	出力	V850/SA1へのクロック出力	X1			
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SO0/TXD0			
SO/TxD	出力	送信信号	SI0/RXD0			
SCK	出力	転送クロック	SCK0		×	
HS	入力	CSIO+HS通信のハンドシェーク信号	P15	×	×	

注 ターゲット・ボード上でクロックを供給してください。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

× : 接続の必要はありません。

## 16.5 端子処理

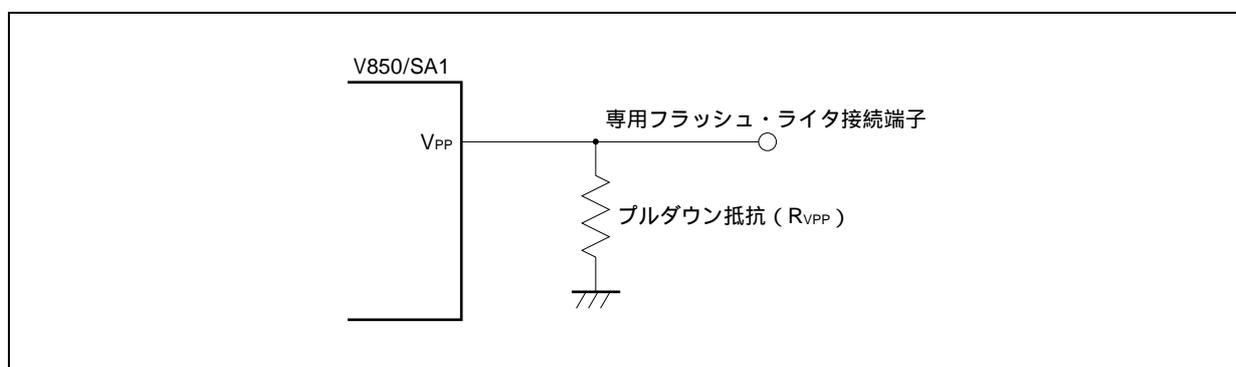
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。また、ボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、ポートはすべて出力ハイ・インピーダンス状態になるため、外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

### 16.5.1 V<sub>PP</sub>端子

通常動作モード時は、V<sub>PP</sub>端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、V<sub>PP</sub>端子に7.8 Vの書き込み電圧を供給します。V<sub>PP</sub>端子の接続例を次に示します。

図16-7 V<sub>PP</sub>端子の接続例



### 16.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表16-4 各シリアル・インタフェースが使用する端子

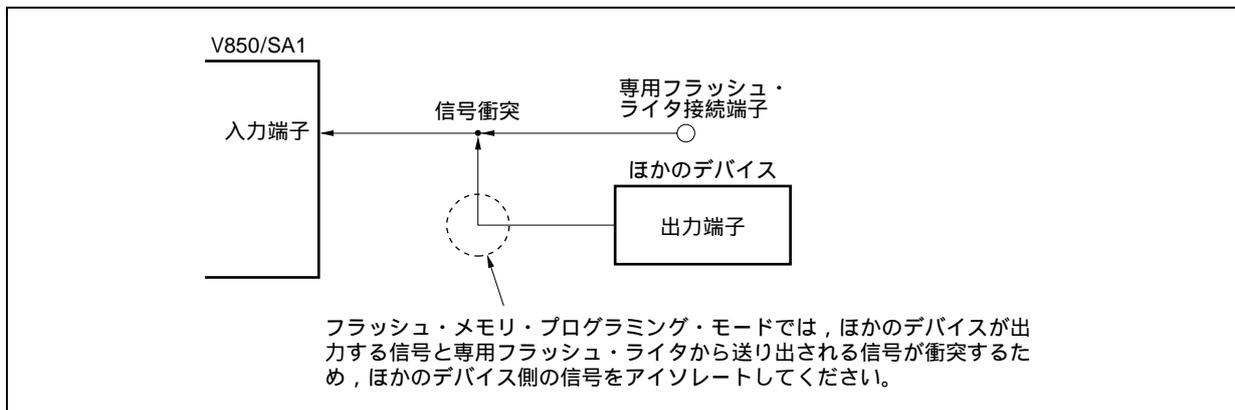
シリアル・インタフェース	使用端子
CSI0	SO0, SI0, $\overline{\text{SCK0}}$
CSI0 + HS	SO0, SI0, $\overline{\text{SCK0}}$ , P15
UART0	TXD0, RXD0

ボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

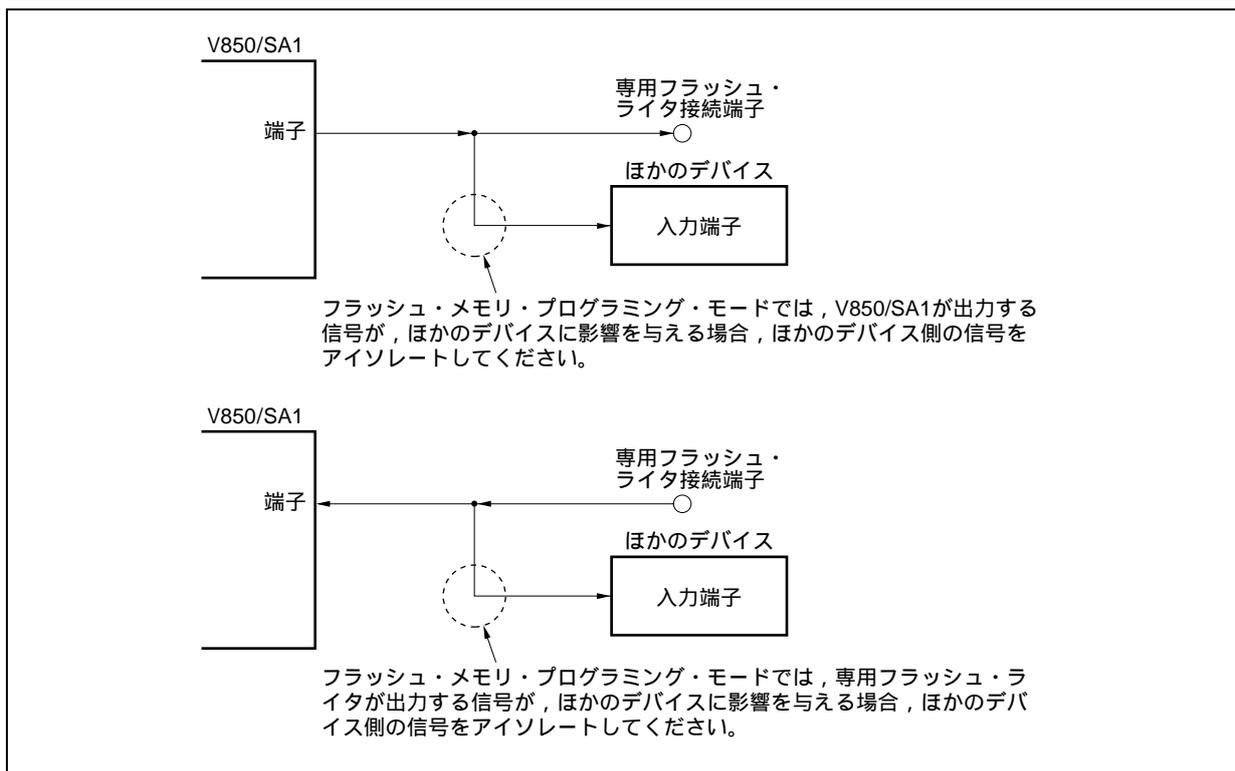
図16 - 8 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図16 - 9 ほかのデバイスの異常動作

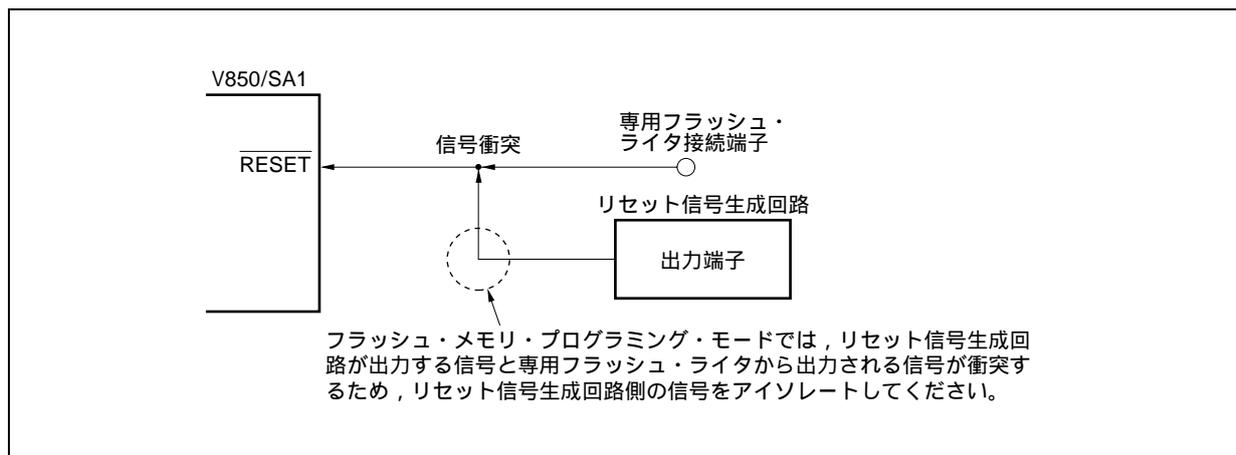


### 16.5.3 $\overline{\text{RESET}}$ 端子

ボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図16 - 10 信号の衝突 ( $\overline{\text{RESET}}$ 端子)



### 16.5.4 ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。なお、ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介して $V_{DD}$ に接続するか、または抵抗を介して $V_{SS}$ に接続するなどの処置をしてください。

### 16.5.5 その他の信号端子

X1, X2, XT2,  $AV_{REF}$ は、通常動作モード時と同じ状態に接続してください。

### 16.5.6 電 源

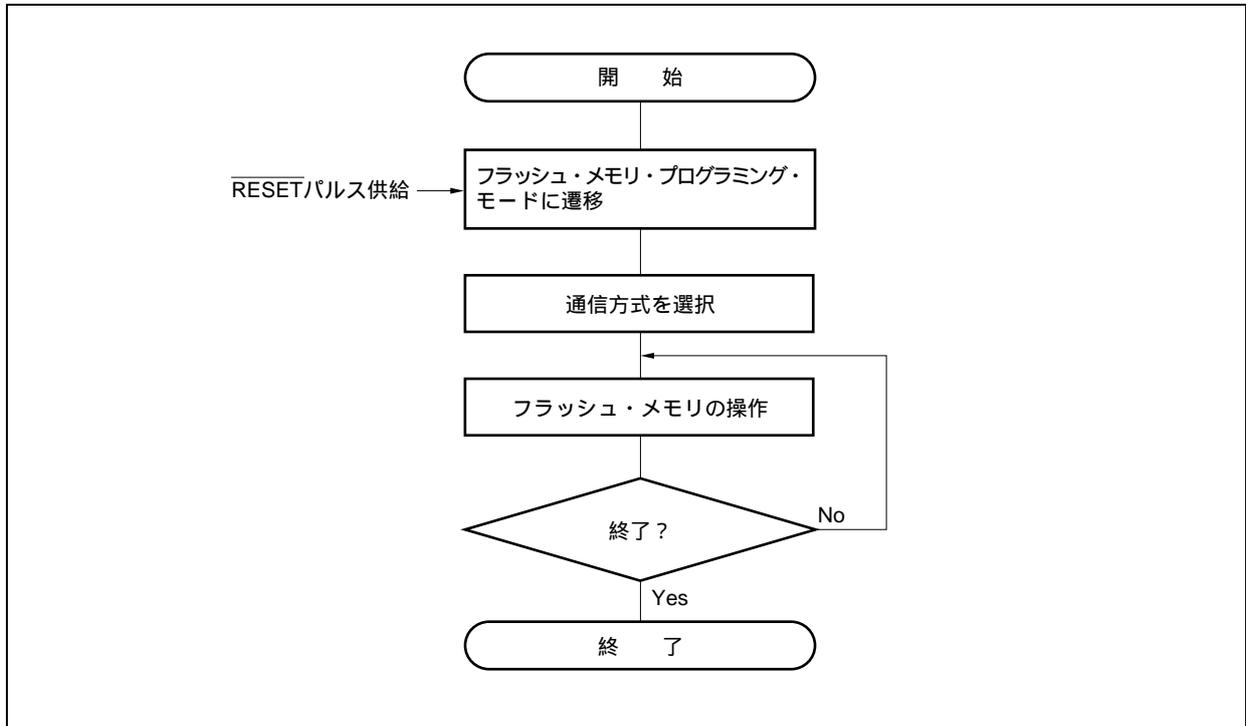
電源 ( $V_{DD}$ ,  $V_{SS}$ ,  $AV_{DD}$ ,  $AV_{SS}$ ,  $BV_{DD}$ ,  $BV_{SS}$ ) は、通常動作モード時と同じ電源を供給してください。また、 $V_{DD}$ ,  $V_{SS}$ には、専用フラッシュ・ライタの $V_{DD}$ , GNDを接続してください (専用フラッシュ・ライタの $V_{DD}$ は、電源監視機能がついています)。

## 16.6 プログラミング方法

### 16.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図16 - 11 フラッシュ・メモリの操作手順

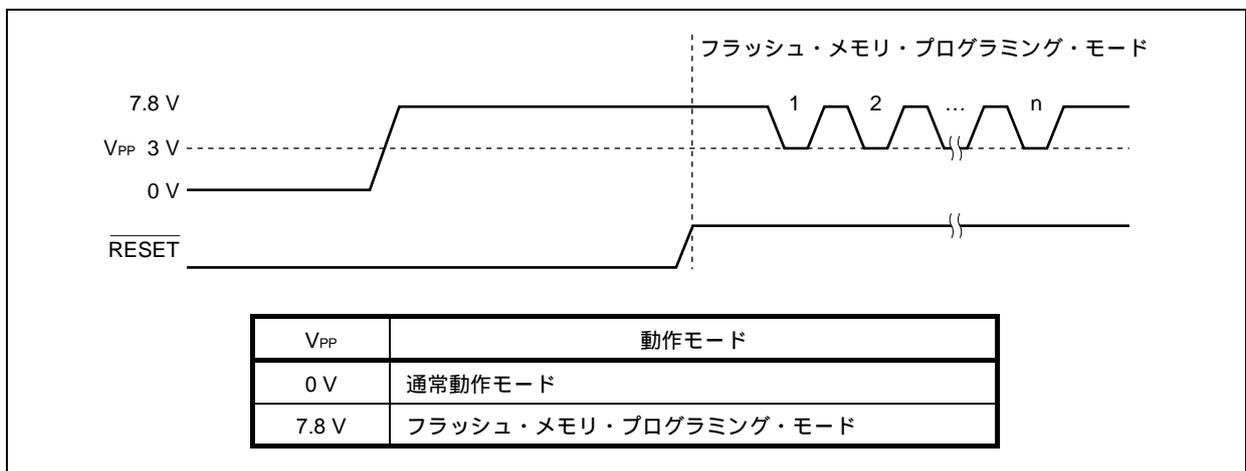


### 16.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライターを使用してフラッシュ・メモリの内容を書き換えるときは、V850/SA1をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、V<sub>PP</sub>端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図16 - 12 フラッシュ・メモリ・プログラミング・モード



### 16.6.3 通信方式の選択

V850/SA1では、フラッシュ・メモリ・プログラミング・モードに遷移後、V<sub>PP</sub>端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV<sub>PP</sub>パルスは専用フラッシュ・ライターが生成します。

パルス数と通信方式の関係を次に示します。

表16 - 5 通信方式一覧

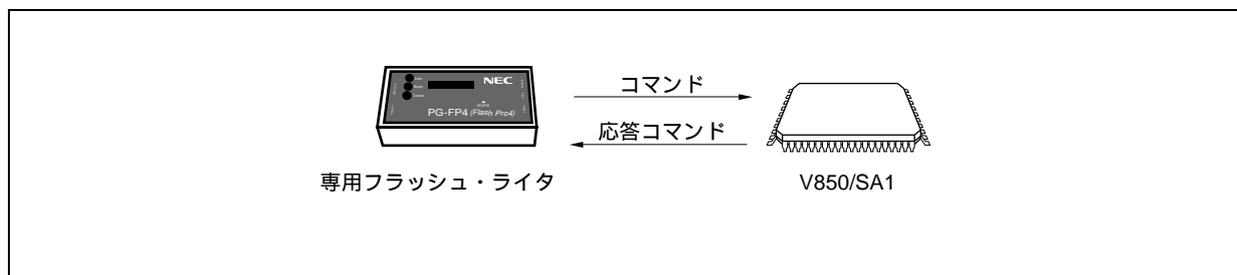
V <sub>PP</sub> パルス	通信方式	備 考
0	CSI0	V850/SA1はスレーブ動作，MSBファースト
3	CSI0 + HS	V850/SA1はスレーブ動作，MSBファースト
8	UART0	通信レート：9600bps（リセット時），LSBファースト
その他	RFU	設定禁止

**注意** UART0選択時、受信クロックは、V<sub>PP</sub>パルス受信後に専用フラッシュ・ライターから送られてくるリセット・コマンドを基準に計算します。

### 16.6.4 通信コマンド

V850/SA1と専用フラッシュ・ライターは、コマンドを介して通信します。専用フラッシュ・ライターからV850/SA1へ送られるコマンドを「コマンド」と呼び、V850/SA1から専用フラッシュ・ライターへ送られる応答信号を「応答コマンド」と呼びます。

図16 - 13 通信コマンド



V850/SA1のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライターから発行され、V850/SA1がコマンドに対応した各処理を行います。

表16-6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
★ ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
	エリア・ベリファイ・コマンド	指定したエリアの内容と入力したデータを比較
★ 消去	一括消去コマンド	全メモリの内容を消去
	エリア消去コマンド	指定したエリアの内容を消去
	ライトバック・コマンド	過消去時の書き戻し
★ ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
	エリア・ブランク・チェック・コマンド	指定したエリアの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを 書き込み、ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスから データを書き込み、ベリファイ・チェックを実行
システム設定, 制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	ポー・レート設定コマンド	UART使用時のポー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

V850/SA1は、専用フラッシュ・ライタから発行されたコマンドに対して、応答コマンドを返します。V850/SA1が送出する応答コマンドを次に示します。

表16-7 応答コマンド

応答コマンド名称	機能
ACK (アックノリッジ)	コマンド/データなどのアックノリッジ
NAK (ノット・アックノリッジ)	不正なコマンド/データなどのアックノリッジ

### 16.6.5 使用する資源

フラッシュ・メモリ・プログラミング・モードで使用する資源は、内蔵RAMのFFE000H-FFE7FFHの領域とすべてのレジスタです。内蔵RAMのFFE800H-FFEFFFH領域は、電源をオフにしないかぎりデータを保持しています。なお、リセットにより初期化されるレジスタは、初期値に変更します。

## ★ 16.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

V850/SA1は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能を利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えができます。このセルフ・プログラミングにより、フィールドでのプログラムのアップグレードなどの応用が可能です。

### 16.7.1 セルフ・プログラミングの概要

セルフ・プログラミングは、内蔵ROM領域（000000H-0FFFFFFH）以外に配置されたプログラム上で、セルフ・プログラミング機能（デバイス内部処理）を呼び出すことにより、フラッシュ・メモリの消去/書き込みを実現します。セルフ・プログラミングを実現するためのプログラムを内蔵ROM領域に配置する場合は、000000H-0FFFFFFH領域以外（たとえば内蔵RAM領域）にプログラムをコピーしたあと、コピー先でプログラムを実行して、セルフ・プログラミング機能呼び出してください。

セルフ・プログラミング機能の呼び出しは、フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）により、通常動作モードからセルフ・プログラミング・モードに切り替えて行います。

図16 - 14 セルフ・プログラミングの概要（1/2）

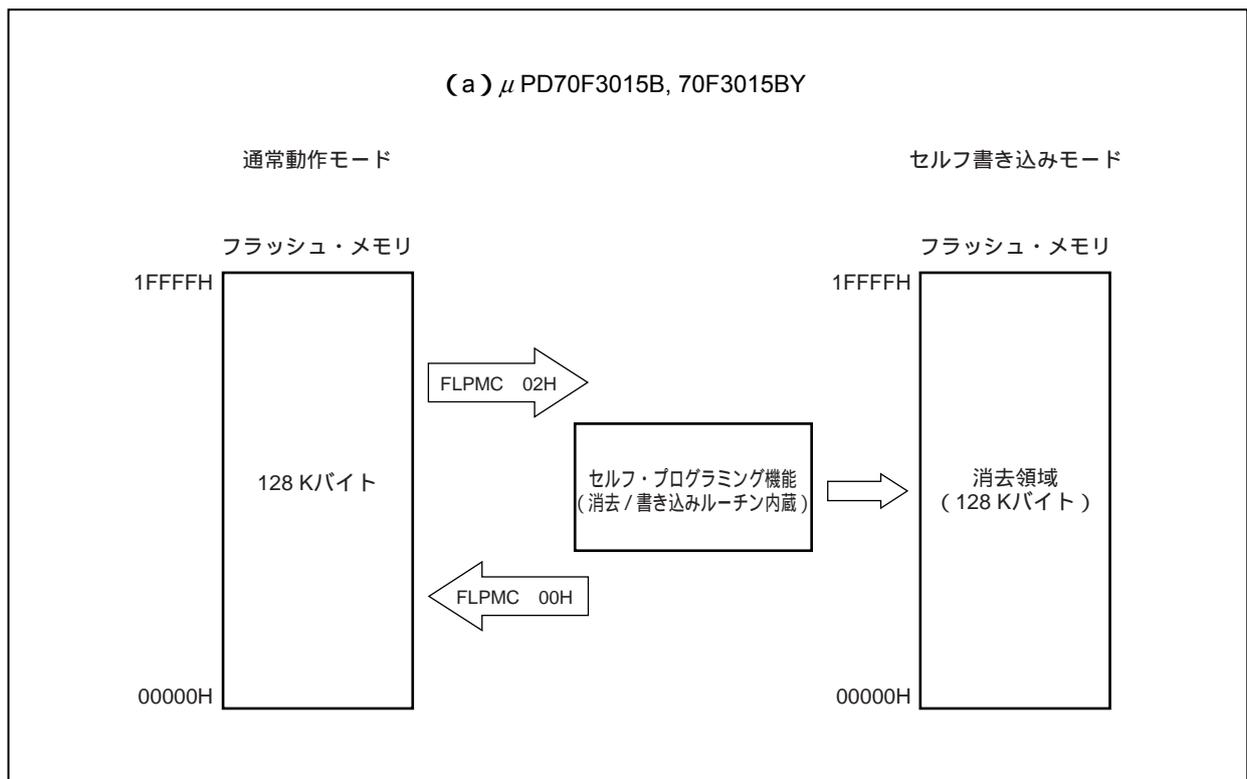
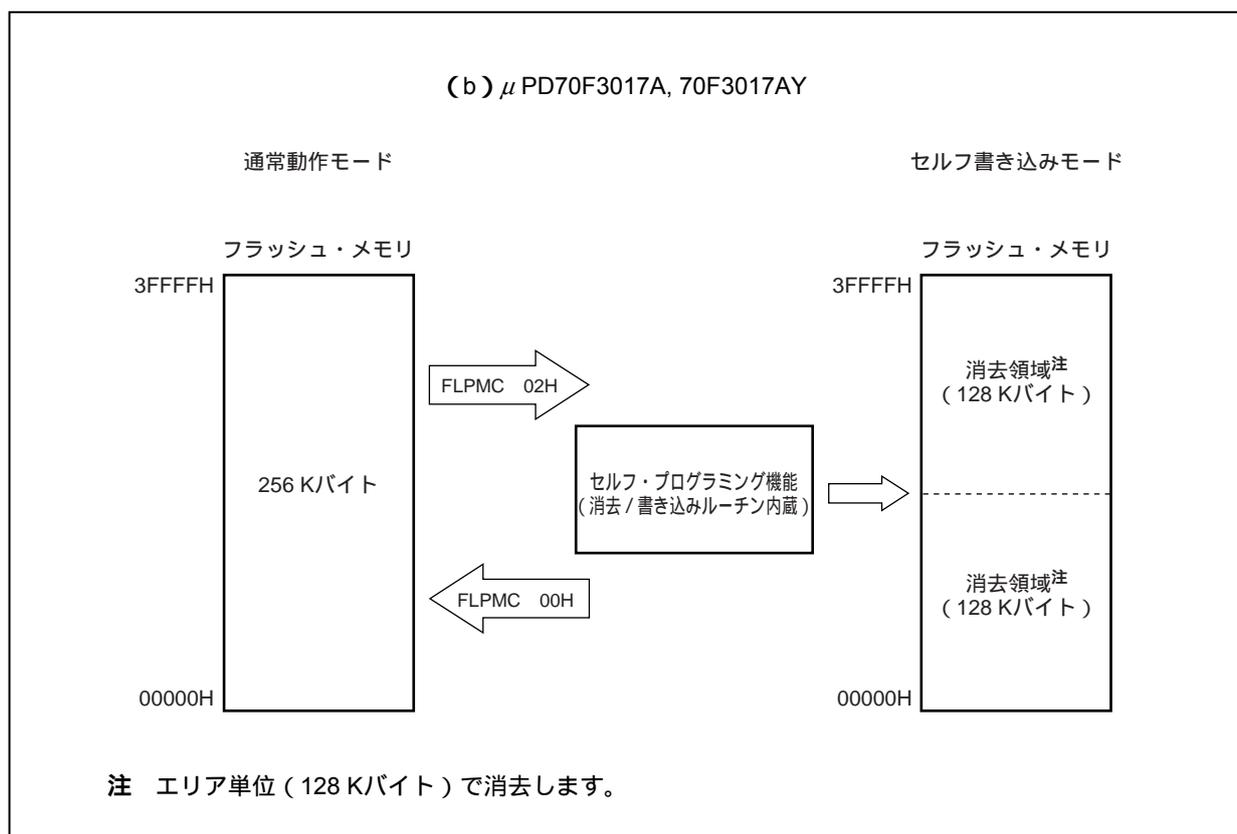


図16 - 14 セルフ・プログラミングの概要 (2/2)



### 16. 7. 2 セルフ・プログラミング機能

V850/SA1は、表16 - 8に示すようなセルフ・プログラミング機能を提供しています。これらの機能の組み合わせでフラッシュ・メモリの消去と書き込みの機能を実現します。

表16 - 8 機能一覧

分類	機能名	機能
消去	エリア消去	指定したエリアを消去します。
書き込み	ワード単位連続書き込み	指定したフラッシュ・メモリのアドレスから4バイト単位で指定したワード数だけ、指定したメモリの内容を連続して書き込みます。
	プリライト	消去前にフラッシュ・メモリに0を書き込みます。
チェック	イレース・ベリファイ	消去後にオーバ・イレースが発生しているかどうかをチェックします。
	イレース・バイト・ベリファイ	消去が十分かどうかをチェックします。
	内部ベリファイ	書き込み終了後のフラッシュ・メモリ上のデータの信号レベルが適正かどうかをチェックします。
書き戻し	エリア・ライトバック	オーバ・イレースが発生したフラッシュ・エリアを書き戻します。
情報取得	フラッシュ情報読み出し	フラッシュ・メモリに関する情報を読み出します。

### 16.7.3 セルフ・プログラミング・インタフェースの概要

セルフ・プログラミング・インタフェースを使用したセルフ・プログラミングを行うためには、フラッシュ・メモリを操作するためのハードウェア環境、ソフトウェア環境を満たす必要があります。

セルフ・プログラミング・インタフェースは、アセンブリ言語による利用を前提としています。

#### (1) エントリ・プログラム

デバイス内部処理を呼び出すためのプログラムです。

アプリケーション・プログラムの一部として位置付けられます。内蔵ROM領域（フラッシュ・メモリ）以外のメモリで実行する必要があります。

#### (2) デバイス内部処理

デバイス内部で行うフラッシュ・メモリの操作です。

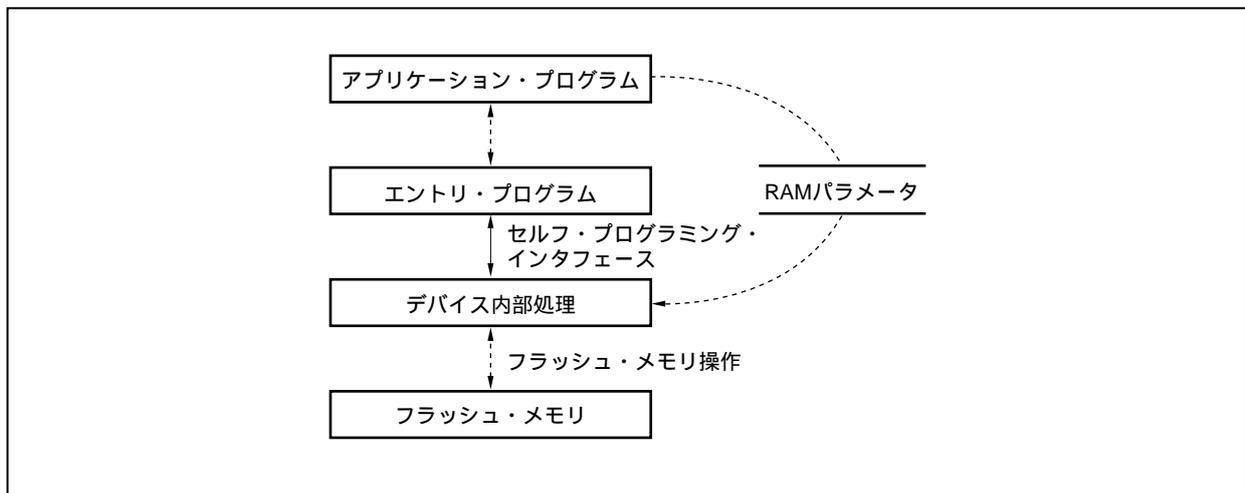
エントリ・プログラムで呼び出したあとは、デバイス内部処理がフラッシュ・メモリの操作を行います。

#### (3) RAMパラメータ

書き込み時間や消去時間などのセルフ・プログラミングに必要なパラメータが書き込まれたRAM領域です。アプリケーション・プログラムで設定し、デバイス内部処理が参照します。

セルフ・プログラミング・インタフェースの概要を次に示します。

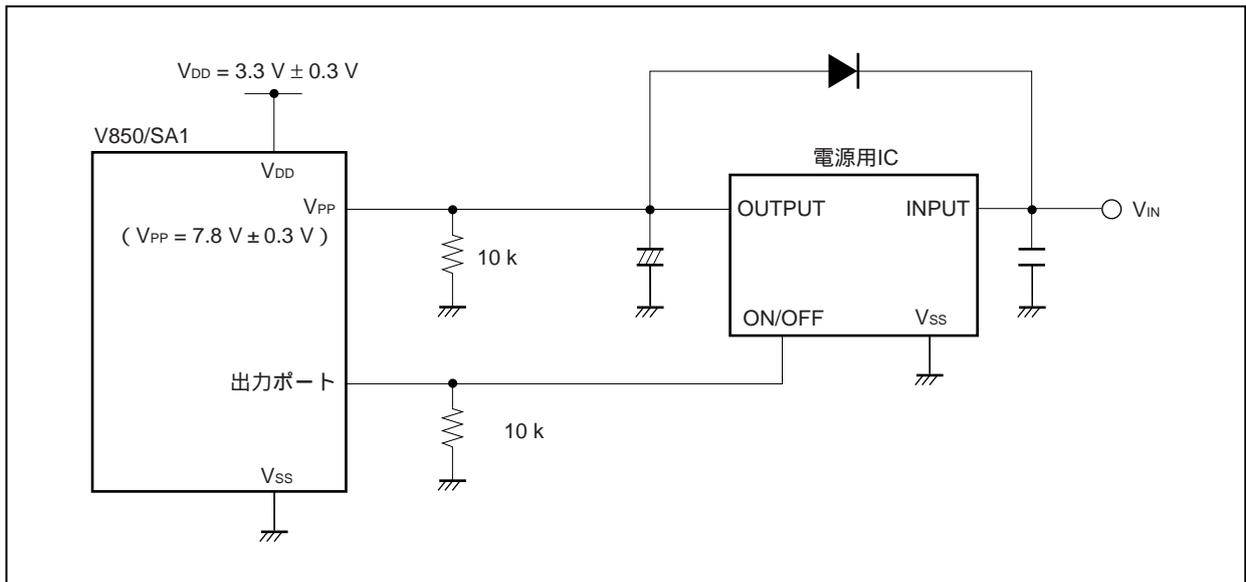
図16 - 15 セルフ・プログラミング・インタフェースの概要



### 16.7.4 ハードウェア環境

フラッシュ・メモリに書き込み / 消去を行うためには、 $V_{PP}$ 端子に高電圧を印加する必要があります。セルフ・プログラムを行うには、アプリケーション・システム上にソフトウェアで制御できる書き込み電圧 ( $V_{PP}$ ) の生成回路が必要です。ポートを操作することにより、 $V_{PP}$ 端子に印加する電圧を切り替える回路構成例を次に示します。

図16 - 16 セルフ書き込み回路構成例



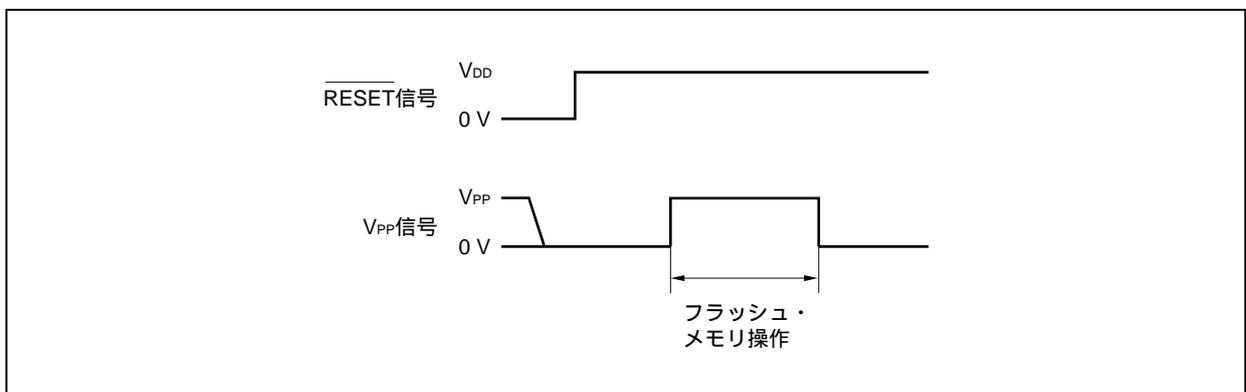
また、 $V_{PP}$ 端子への電圧印加は、次の条件を満たす必要があります。

- ・ 通常動作モード時は $V_{PP}$ 端子に印加する電圧を0 Vに保持し、フラッシュ・メモリを操作する期間だけ $V_{PP}$ 電圧を保持してください。
- ・ フラッシュ・メモリ操作を開始する前から終了するまでの期間は、 $V_{PP}$ 電圧を安定させてください。

**注意1.** リセット解除時には $V_{PP}$ 端子に印加する電圧を0 Vにしてください。

2. セルフ・プログラミングをする場合は、シングルチップ・モードで行ってください。
3.  $V_{PP}$ 端子への電圧印加は、エントリ・プログラムの中で行ってください。
4. ターゲット・ボード上でセルフ・プログラミングとライターでの書き込み/消去の両方を行う場合、ライターとの通信方式は、必ずCSIで行ってください(ハンドシェイク対応CSIおよびUART0は使用しないでください)。

図16 - 17  $V_{PP}$ 端子に電圧を印加するタイミング



## 16.7.5 ソフトウェア環境

エントリ・プログラムでデバイス内部処理を呼び出す前に、次に示す条件をすべて満たす必要があります。

表16-9 ソフトウェア環境の条件

項目	内容
エントリ・プログラムの配置	フラッシュ・メモリ領域以外で実行してください。 フラッシュ・メモリ上で、実行中のプログラムから直接デバイス内部処理を呼び出すことはできません。
プログラムの実行状態	デバイス内部処理を呼び出すには、割り込み処理中でないこと（PSWのNPビット = 0, PSWのIDビット = 1）が条件です。
割り込みのマスク	使用中のマスク可能割り込みの設定をすべてマスクしてください。割り込みのマスクは、個々の割り込み制御レジスタで行ってください。 マスク可能割り込みをマスクする場合は、必ず割り込み制御レジスタに対してマスクの設定を行ってください。PSWのIDビット = 1（割り込み禁止）となっている場合でも、マスク可能割り込みをマスクしてください。
V <sub>PP</sub> 電圧の操作	フラッシュ・メモリの操作を開始する前に、V <sub>PP</sub> 端子への電圧をV <sub>PP</sub> 電圧で安定させてください。すべての操作が終了した時点でV <sub>PP</sub> 端子への電圧を0Vに戻してください。
内蔵タイマの初期化	フラッシュ・メモリの操作中に16ビット・タイマ0は使用しないでください。 16ビット・タイマ0はフラッシュ・メモリの使用後に初期化されるので、再度使用する場合にはアプリケーション・プログラムで初期化してください。
リセット信号入力の停止	フラッシュ・メモリの操作中にリセット信号を入力しないでください。 フラッシュ・メモリの操作中にリセット信号を入力した場合は、操作中のフラッシュ・メモリの内容は不定となります。
NMI信号入力の停止	フラッシュ・メモリの操作中にNMI信号を入力しないでください。 フラッシュ・メモリの操作中にNMI信号を入力した場合は、デバイス内部処理によるフラッシュ・メモリの操作が正しく行われない場合があります。 NMIがデバイス内部処理の処理中に発生した場合、RAMパラメータのNMIフラグにNMI発生の有無が反映されます。また、NMIの発生によりフラッシュ・メモリの操作に影響を受けた場合は、各セルフ・プログラミング機能の返却値に反映されます。
スタック領域の確保	デバイス内部処理では、ユーザ・プログラムが使用しているスタックを継承して使用します。呼び出す時点のユーザ・プログラムのスタック・サイズに対して、300バイトの領域が確保されていることが必要です。なお、スタック・ポインタはr3を使用します。
汎用レジスタの保存	デバイス内部処理では、r6-r14, r20, r31 (lp) の内容を書き換えます。 必要に応じて保存と復帰を行ってください。

### 16.7.6 セルフ・プログラミング機能番号

セルフ・プログラミング機能を識別するために、各機能に次に示す番号が割り当てられています。この機能番号はデバイス内部処理の呼び出しの際にパラメータとして使用します。

表16 - 10 セルフ・プログラミング機能番号

機能番号	機能名
0-2	RFU
3	イレース・ベリファイ
4	イレース・バイト・ベリファイ
5	フラッシュ情報取得
6	RFU
7	ワード単位連続書き込み
8-10	RFU
11	プリライト
12	内部ベリファイ
13	エリア・ライトバック
14	エリア消去
その他	禁止

備考 RFU : Reserved for future used (将来の使用のための予約)

## 16.7.7 呼び出しパラメータ

セルフ・プログラミング機能呼び出す場合の引き数を次に示します。このほかにep (r30) で示されるRAMパラメータに書き込みや消去時間などのパラメータを設定します。

表16 - 11 呼び出しパラメータ

機能名	第1引き数 (r6) 機能番号	第2引き数 (r7)	第3引き数 (r8)	第4引き数 (r9)	返却値 (r10)
イレース・ベリファイ	3	なし (直前の消去操作領域に作用する)	-	-	0 : 正常終了 0以外 : エラー
イレース・バイト・ベリファイ	4	ベリファイ開始アドレス	ベリファイ・バイト数	-	0 : 正常終了 0以外 : エラー
フラッシュ情報取得	5	オプション番号 <sup>注1</sup>	-	-	注1
ワード単位連続書き込み <sup>注2</sup>	7	書き込み開始アドレス <sup>注3</sup>	書き込み元データの開始アドレス <sup>注3</sup>	書き込みワード数 (ワード単位)	0 : 正常終了 0以外 : エラー
プリライト	11	書き込み開始アドレス	書き込みバイト数	-	0 : 正常終了 0以外 : エラー
内部ベリファイ	12	ベリファイ開始アドレス	ベリファイ・バイト数	-	0 : 正常終了 0以外 : エラー
エリア・ライトバック	13	なし (直前の消去操作領域に作用する)	-	-	なし
エリア消去	14	エリア消去開始アドレス	-	-	0 : 正常終了 0以外 : エラー

注1. 16.7.10 フラッシュ情報を参照してください。

- ワード単位連続書き込みでは、フラッシュ・メモリ以外に書き込み元データを確保してください。
- 4バイト境界にしてください。

注意 すべての機能でep (r30) はRAMパラメータの先頭アドレスを示す必要があります。

## 16.7.8 RAMパラメータの内容

RAMパラメータとして次に示す48バイトの領域を内部RAMまたは外部RAMに確保し、入力のパラメータを設定してください。このベース・アドレスをep (r30) に設定します。

表16 - 12 RAMパラメータの内容

アドレス	サイズ	入出力	内 容
ep + 0	4バイト	-	内部での作業用
ep + 4 : Bit0 <sup>注1</sup>	1ビット	入力	内部フラグ 0 : 常に0を設定 1 : 設定禁止
ep + 4 : Bit5 <sup>注2</sup>	1ビット	入力	動作フラグ (デバイス内部処理を呼び出す前に必ず1を設定します。) 0 : 通常動作中 1 : セルフ・プログラミング中
ep + 4 : Bit7 <sup>注3, 4</sup>	1ビット	出力	NMIフラグ 0 : NMI未検出 1 : NMI検出
ep + 8	4バイト	入力	ステップ消去時間 (符号なし4バイト) 内部動作単位時間 (100 μs) を1単位として1カウント値で表します。 設定値 = 消去時間 (μs) / 内部動作単位時間 (μs) <b>例</b> 消去時間が0.2 sの場合 $0.2 \times 1000000 / 100 = 2000$ (整数演算)
ep + 0xC	4バイト	入力	ライトバック時間 (符号なし4バイト) 内部動作単位時間 (100 μs) を1単位として1カウント値で表します。 設定値 = ライトバック時間 (μs) / 内部動作単位時間 (μs) <b>例</b> ライトバック時間が1 msの場合 $1 \times 1000 / 100 = 10$ (整数演算)
ep + 0x10	2バイト	入力	内部動作単位時間作成のためのタイマ設定値 (符号なし2バイト) 16ビット・タイマ0で内部動作単位時間 (100 μs) となる設定値を書き込みます。 設定値 = 動作周波数 (Hz) / 1000000 × 内部動作単位時間 (μs) / タイマ分周比 (2) + 1 <sup>注5</sup> <b>例</b> 動作周波数が20 MHzの場合 $20000000 / 1000000 \times 100 / 2 + 1 = 1001$ (整数演算)
ep + 0x12	2バイト	入力	書き込み時間作成のためのタイマ設定値 (符号なし2バイト) 16ビット・タイマ0で書き込み時間となる設定値を書き込みます。 設定値 = 動作周波数 (Hz) / 書き込み時間 (μs) / タイマ分周比 (2) + 1 <sup>注5</sup> <b>例</b> 動作周波数が20 MHz, 書き込み時間が20 μsの場合 $20000000 / 1000000 \times 20 / 2 + 1 = 201$ (整数演算)
ep + 0x14	12バイト	-	内部での作業用

- 注1. ep + 4のアドレスの0ビット目 (最下位ビットは0ビットとします)
2. ep + 4のアドレスの5ビット目 (最下位ビットは0ビットとします)
3. ep + 4のアドレスの7ビット目 (最下位ビットは0ビットとします)
4. NMIフラグは、デバイス内部処理でクリアされないため、ユーザ・プログラムでクリアしてください。
5. デバイス内部処理でこの設定値から1を引いた値をタイマに設定します。また、端数が切り上げられるため、設定値の式のとおり1を加算してください。

**注意** RAMパラメータ領域は、必ず4バイト境界になるように確保してください。

### 16.7.9 セルフ・プログラミング時のエラー

セルフ・プログラミングでは、次に示すフラッシュ・メモリの操作に関するエラーがあります。それぞれの機能からの返却値 (r10) が、0でない場合にエラーとなります。

表16 - 13 セルフ・プログラミング時のエラー

エラー	発生する機能	内容
オーバ・イレース・エラー (過消去エラー)	イレース・ベリファイ	過消去が発生しています。
アンダ・イレース・エラー (ブランク・チェック・エラー)	イレース・バイト・ベリファイ	消去が不十分です。消去操作を追加する必要があります。
ベリファイ・エラー	ワード単位連続書き込み	書き込んだデータが正しく読み出せません。消去していないフラッシュ・メモリへ書き込みを行ったか、書き込みが十分に行われていない状態です。
内部ベリファイ・エラー	内部ベリファイ	書き込みの結果、書き込んだデータが正しい信号のレベルではありません。

**注意** フラッシュ・メモリ全体では、オーバ・イレース・エラーとアンダ・イレース・エラーが同時に発生する場合があります。

### 16.7.10 フラッシュ情報

フラッシュ情報取得機能 (機能番号0) は、指定するオプション番号 (r7) と返却値 (r10) の内容が次に示すようになります。すべてのフラッシュ情報を取得する場合は、次に示す形に従って必要な回数だけフラッシュ情報取得機能を呼び出してください。

表16 - 14 フラッシュ情報

オプション番号 (r7)	返却値 (r10)
0	指定禁止
1	返却値のビット表現 (MSB : ビット31) FFFFFFFFAAAAAAABBBBBBBB (LSB : ビット0) ビット31-16 : FFFFFFFF (将来の使用のため予約) ビット31-16は、通常0 (ゼロ) ではないため、マスクして使用してください。 ビット15-8 : AAAAAA (エリアの数) (符号なし8ビット) ビット7-0 :BBBBBB (オフセット数) (符号なし8ビット) (予約パラメータの数)
2	RFU
3	RFU
:	:
:	:
オフセット数 + 1	RFU
オフセット数 + 2	エリア0の最終アドレス
オフセット数 + 3	エリア1の最終アドレス

**注意1.** エリア0の開始アドレスは0です。また、前エリアの「最終アドレス + 1」が、次のエリアの開始アドレスになります。

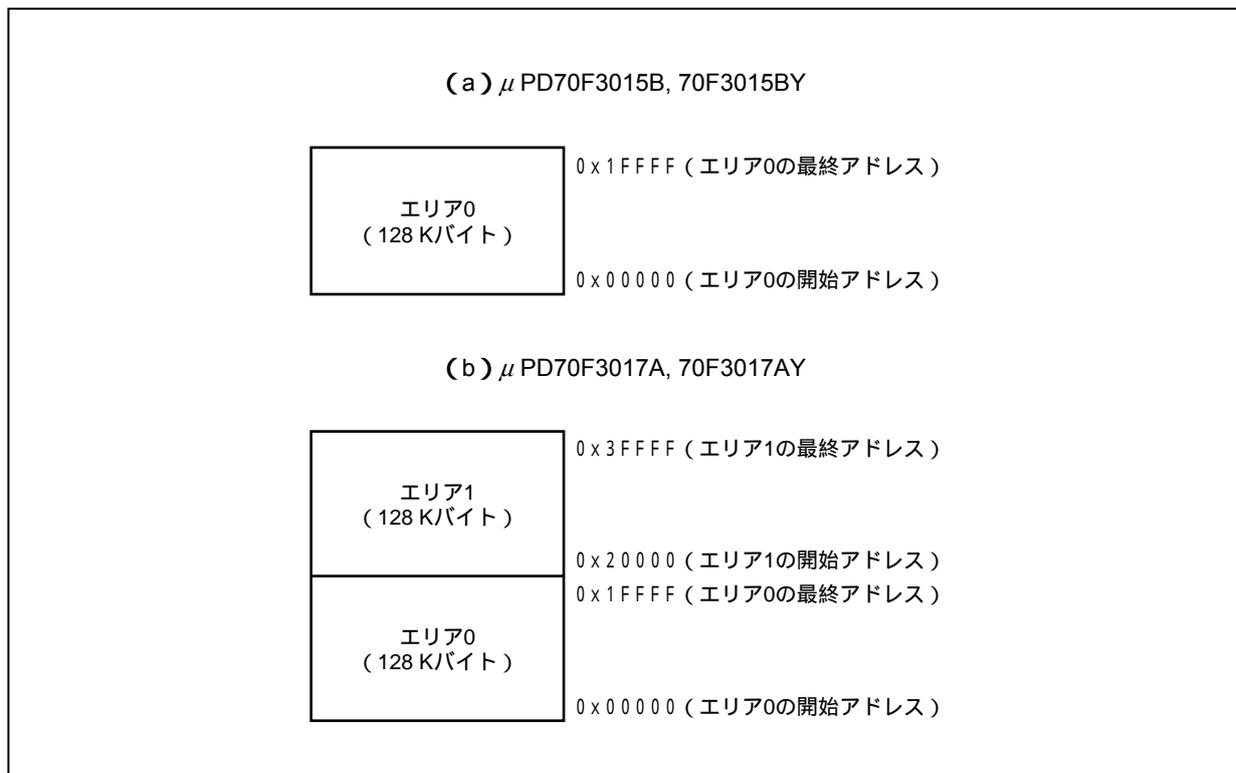
**2.** フラッシュ情報取得機能は、オプションの引き数で指定したエリアの最大数などの値をチェックしません。不正な値を指定した場合は、不定値が返ります。

**備考** RFU : Reserved for future use (将来の使用のための予約)

### 16.7.11 エリア番号

V850/SA1のエリア番号とメモリ・マップを次に示します。

図16 - 18 エリア構成



### 16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) は、フラッシュ・メモリへの書き込み禁止 / 許可やセルフ・プログラミング・モードを指定するレジスタです。

8/1ビット単位でリード / ライト可能です (VPPビット (ビット2) はリードのみ可能です)。

**注意1.** FLSPMビットを操作する場合は、必ず一度内蔵RAMまたは外部メモリに制御を移して操作してください。ただし、フラッシュ・ライターによるオンボード書き込みモード時は、FLSPMビットの指定は無視されます。

2. ビット0, 5-7は必ず0を、ビット4は必ず1を設定してください。

	7	6	5	4	③	②	①	0	アドレス	初期値 <sup>注</sup>
FLPMC	0	0	0	1	VPPDIS	VPP	FLSPM	0	FFFFFF8D4H	18H/38H/ 1CH/3CH

**注** 18H/38H : VPP端子に書き込み電圧が印加されていない場合

1CH/3CH : VPP端子に書き込み電圧が印加されている場合

ビット位置	ビット名	意味
3	VPPDIS	VPP Disable 内蔵フラッシュ・メモリに対する書き込み / 消去の許可 / 禁止を制御するビットです。VPPDIS = 1の場合、VPP端子に高電圧を印加しても、内蔵フラッシュ・メモリに対する書き込み / 消去は行われません。 0 : フラッシュ・メモリの書き込み / 消去の許可 1 : フラッシュ・メモリの書き込み / 消去の禁止
2	VPP	VPP VPP端子が書き込み可能な電圧に達したことを示すビットです (リードのみ可能)。VPPビットは、セルフ・プログラミング・モード時の書き込み可能であることを確認するために使用します。 0 : VPP端子に高電圧印加未検出の状態 (書き込み電圧に達していない) 1 : VPP端子に高電圧印加検出の状態 (書き込み電圧に達している)
1	FLSPM	Flash Self Programming Mode 内蔵ROMとセルフ・プログラミング・インタフェースの切り替えを制御するビットです。応用システム上でモード端子を通して設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。FLSPMビットは、VPP端子が書き込み電圧に達している期間だけ有効となります。 0 : 通常モード (すべてのアドレスにおいて内蔵フラッシュ・メモリより命令フェッチを行います。) 1 : セルフ・プログラミング・モード (デバイス内部処理へ移行します。)

**備考** マスクROM製品 ( $\mu$  PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AY) には、FLPMCレジスタは存在しないので、読み出すと不定値が読み出されます。

FLPMCレジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

割り込み禁止にする (PSWのNPビットを1に設定)。

コマンド・レジスタ (PRCMD) に任意の8ビット・データを書き込む。

FLPMCレジスタに設定データを書き込む (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

割り込み禁止を解除する (PSWのNPビットを0に戻す)。

NOP命令を5つ挿入する (FLSPMビット操作時)。

DMA動作が必要な場合、DMA動作を許可する。

なお、FLPMCレジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** PRCMD発行 ( ) と、その直後のFLPMCレジスタ書き込み ( ) の間で割り込み要求 / DMA要求を受け付けた場合、FLPMCレジスタへの書き込みは行われず、プロテクション・エラー (SYSレジスタのPRERRビットが“1”) が発生することがあります。このため、PSWのNPビットを1に設定し ( ) , INT/NMIの受け付け / DMA転送を禁止してください。FLPMCレジスタの設定にビット操作命令を使用した場合も同様です。次に記述例を示します。

#### [ 記述例 ]

```

LDSR rX, 5          ;NPビット = 1
ST.B r0, PRCMD[r0] ;PRCMDへの書き込み
ST.B rD, FLPMC[r0] ;FLPMCレジスタ設定
LDSR rY, 5          ;NPビット = 0
NOP                 ;ダミー命令 (5命令, FLSPMビット操作時)
NOP
NOP
NOP
NOP
(next instruction) ;IDLE/ソフトウェアSTOPモード解除後の実行ルーチン
:

```

rX : PSWに書き込む値

rY : PSWに書き戻す値

rD : FLPMCにセットする値

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

2. FLPMCレジスタをアクセスする前に、必ずDMAを停止させてください。

### 16.7.13 デバイス内部処理の呼び出し

エントリ・プログラムからデバイス内部処理を呼び出す手順について説明します。

デバイス内部処理は、「ハードウェア環境」と「ソフトウェア環境」の条件をすべて満たし、必要な引き数とRAMパラメータを設定してから呼び出してください。フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のFLSPMビットをセット (1) したあと、trap 0x1f命令を実行することによりデバイス内部処理を呼び出します。すべての呼び出しは、同じ手順で行います。このインタフェースのプログラムは、すべてアセンブリ言語により記述することを前提としています。

FLPMCレジスタを設定手順に従って設定します。

- ・VPPDISビット = 0 (フラッシュ・メモリの書き込み / 消去の許可)
- ・FLSPMビット = 1 (セルフ・プログラミング・モード選択)

PSWのNPビットをクリア(0)します(NMIを許可(アプリケーション上でNMIを使用する場合のみ))。

trap 0x1fを実行して、デバイス内部処理へ制御を移行します。

PSWのNPビット, IDビットをセット (1) します (すべての割り込みを禁止します)。

コマンド・レジスタ (PRCMD) にFLPMCレジスタに設定する値を設定します。

FLPMCレジスタを設定手順に従って設定します。

- ・VPPDISビット = 1 (フラッシュ・メモリの書き込み / 消去の禁止)
- ・FLSPMビット = 0 (通常動作モード選択)

内部操作セットアップ時間以上待ちます (16.7.13 (5) 内部操作セットアップ・パラメータ参照)。

#### (1) パラメータ

- r6 : 第1引き数 (セルフ・プログラミング機能番号を設定)
- r7 : 第2引き数
- r8 : 第3引き数
- r9 : 第4引き数
- ep : RAMパラメータの先頭アドレス

#### (2) 返却値

- r10 : 返却値 (4バイトのデバイス内部処理からの返却値を返します)
- ep + 4 : Bit7 : NMIフラグ (デバイス内部処理を実行中にNMIが発生したかを示すフラグ)

0 : デバイス内部処理を実行中にNMIが発生していない。

1 : デバイス内部処理を実行中にNMIが発生した。

デバイス内部処理への遷移中にNMIが発生した場合、NMIの要求が一度も反映されないことがあります。NMIフラグは内部でリセットされないため、デバイス内部処理を呼び出す前にこのビットをクリアしておく必要があります。デバイス内部処理から戻ってきたあとで、このフラグをソフトウェアで判定し、NMIの処理を擬似的に実行することができます。

#### (3) 説明

機能番号で指定したデバイス内部処理へtrap命令により制御を移します。この手順を行う前にハードウェア環境、ソフトウェア環境の条件を満たす必要があります。なお、ユーザ・アプリケーション・プログラムでtrap 0x1fを使用しても、FLPMCレジスタを設定したあとのtrap 0x1fは別の動作として扱われるため、アプリケーション上でtrap命令の使用に関する制限はありません。

## (4) プログラム例

エントリ・プログラムをサブルーチンにした場合のプログラム例を次に示します。この例では戻り番地をスタックに保存してからデバイス内部処理を呼び出しています。このプログラムは、ブロック0空間、およびフラッシュ・メモリ領域以外のメモリに配置する必要があります。

```

ISETUP      52                                -- 内部操作セットアップ・パラメータ
EntryProgram:
    add      -4, sp                            -- Prepare
    st.w     lp, 0[sp]                         -- Save return address
    movea   lo(0x00a0), r0, r10               --
    ldsr    r10, 5                             -- PSW = NP, ID
    mov     lo(0x0002), r10                    --
    st.b    r10, PRCMD[r0]                     -- PRCMD = 2
    st.b    r10, FLPMC[r0]                    -- VPPDIS = 0, FLSPM = 1
    nop
    nop
    nop
    nop
    movea   lo(0x0020), r0, r10               --
    ldsr    r10, 5                             -- PSW = ID
    trap    0x1f                               -- Device Internal Process
    movea   lo(0x00a0), r0, r6                --
    ldsr    r6, 5                              -- PSW = NP, ID
    mov     lo(0x08), r6                       --
    st.b    r6, PRCMD[r0]                     -- PRCMD = 8
    st.b    r6, FLPMC[r0]                    -- VPPDIS = 1, FLSPM = 0
    nop
    nop
    nop
    nop
    mov     ISETUP, lp                         -- loop time = 52
loop:
    divh    r6, r6                             -- To kill time
    add     -1, lp                              -- Decrement counter
    jne     loop                               --
    ld.w   0[sp], lp                          -- Reload lp
    add     4, sp                              -- Dispose
    jmp     [lp]                              -- Return to caller

```

**(5) 内部操作セットアップ・パラメータ**

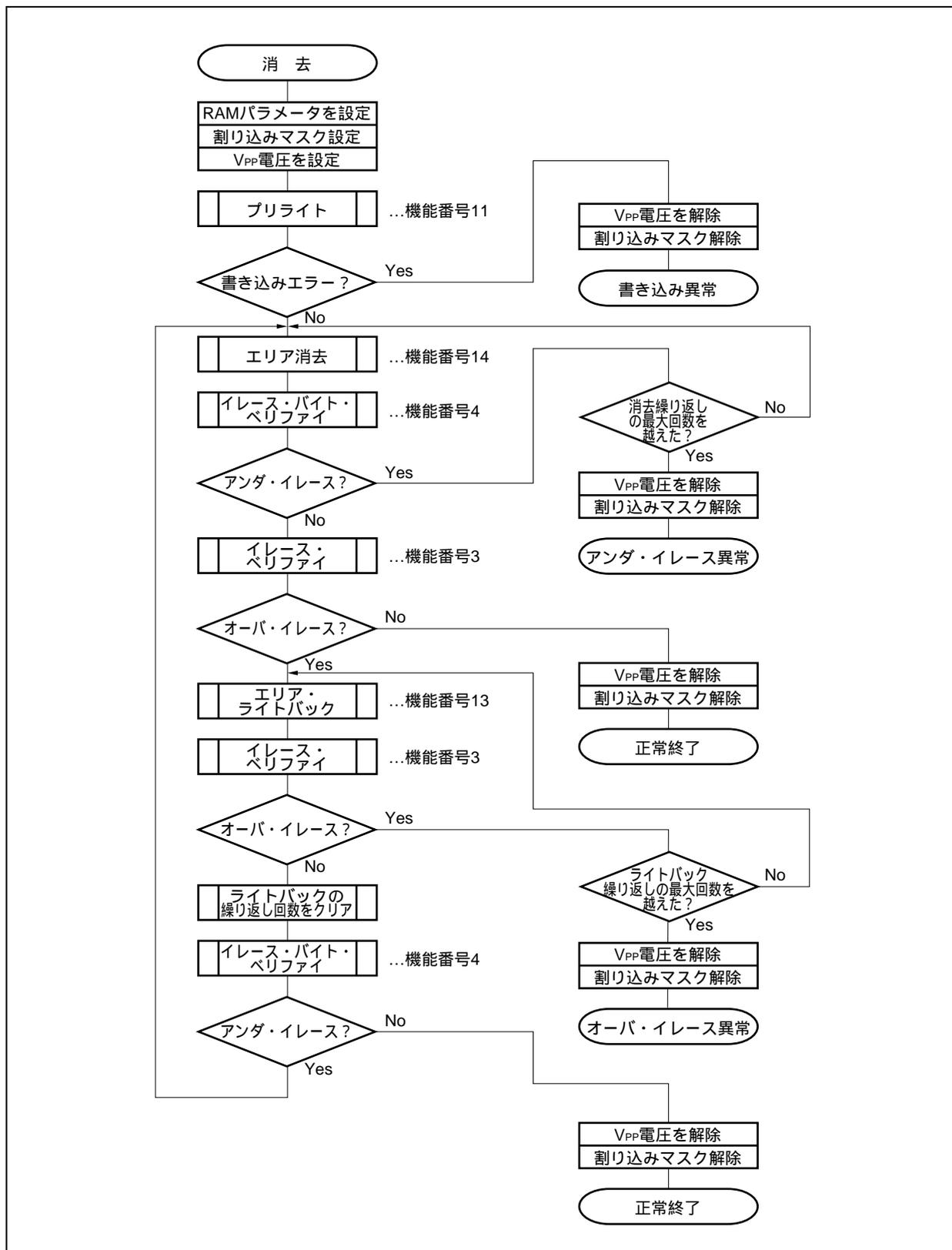
セルフ・プログラミング・モードから通常動作モードに切り替えた場合、V850/SA1ではフラッシュ・メモリにアクセスする前に100  $\mu$ s間の待ち時間が必要です。(4)プログラム例ではISETUPに「52」(20 MHz動作時)を設定して待ち時間を確保しています。(4)プログラム例での待ち時間の合計実行クロック数は、39クロック (divh命令 (35クロック) + add命令 (1クロック) + jne命令 (3クロック)) になります。次の計算により、100  $\mu$ s間の待ち時間を確保します。

$$39 \text{クロック (合計実行クロック数)} \times 50 \text{ ns (20 MHz動作時)} \times 52 \text{ (ISETUP)} = 101.4 \mu\text{s (待ち時間)}$$

### 16.7.14 フラッシュ・メモリの消去フロー

フラッシュ・メモリを消去する手順を次に示します。それぞれの機能番号の処理は、呼び出し手順に従った処理を行ってください。

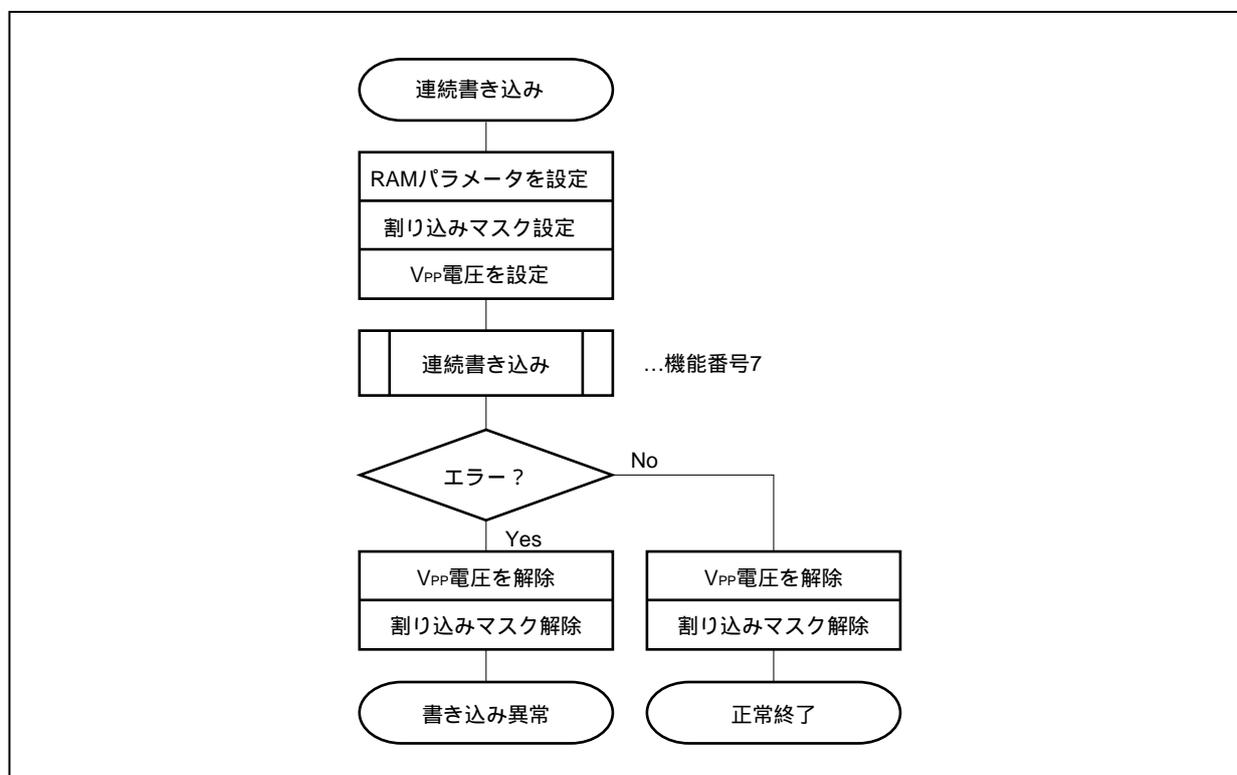
図16-19 フラッシュ・メモリの消去フロー



## 16.7.15 連続書き込みフロー

ワード単位の連続書き込み機能を使用して、一度に書き込む手順を次に示します。機能番号の処理は、呼び出し手順に従った処理を行ってください。

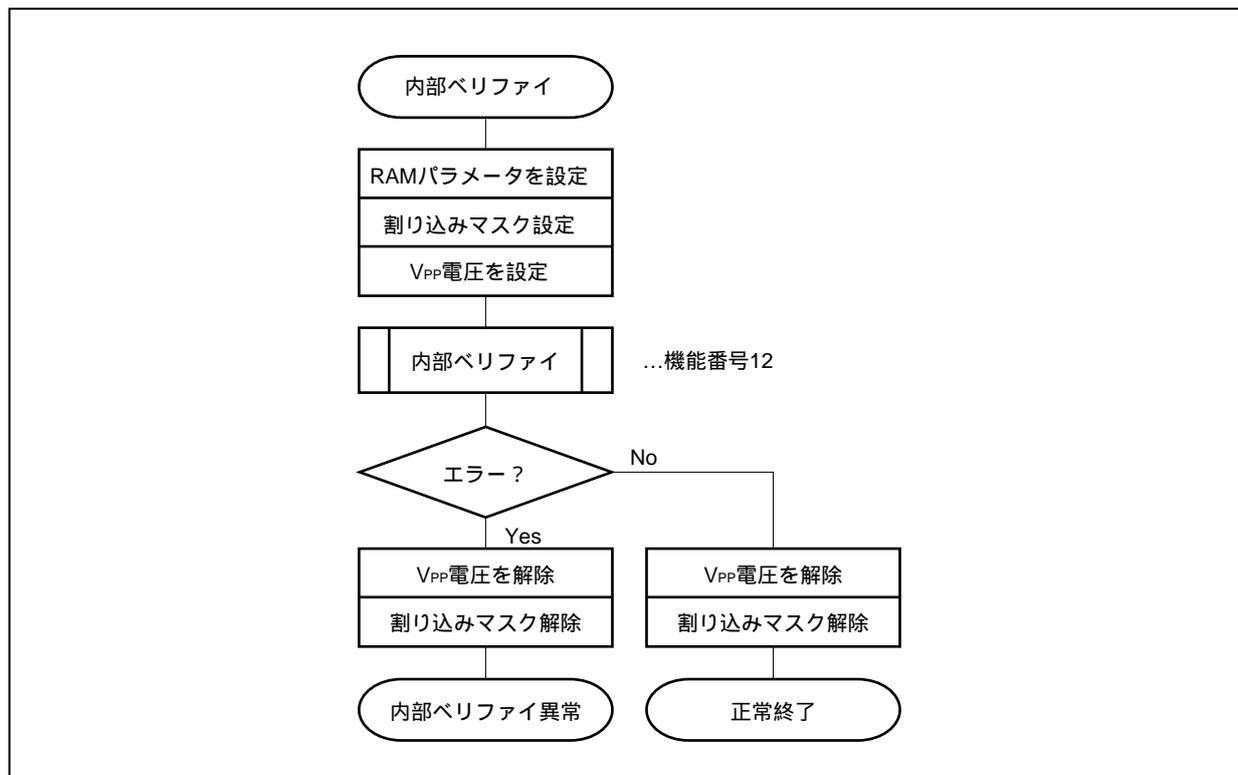
図16 - 20 連続書き込みフロー



## 16.7.16 内部ベリファイ・フロー

内部ベリファイの手順を次に示します。機能番号の処理は、呼び出し手順に従った処理を行ってください。

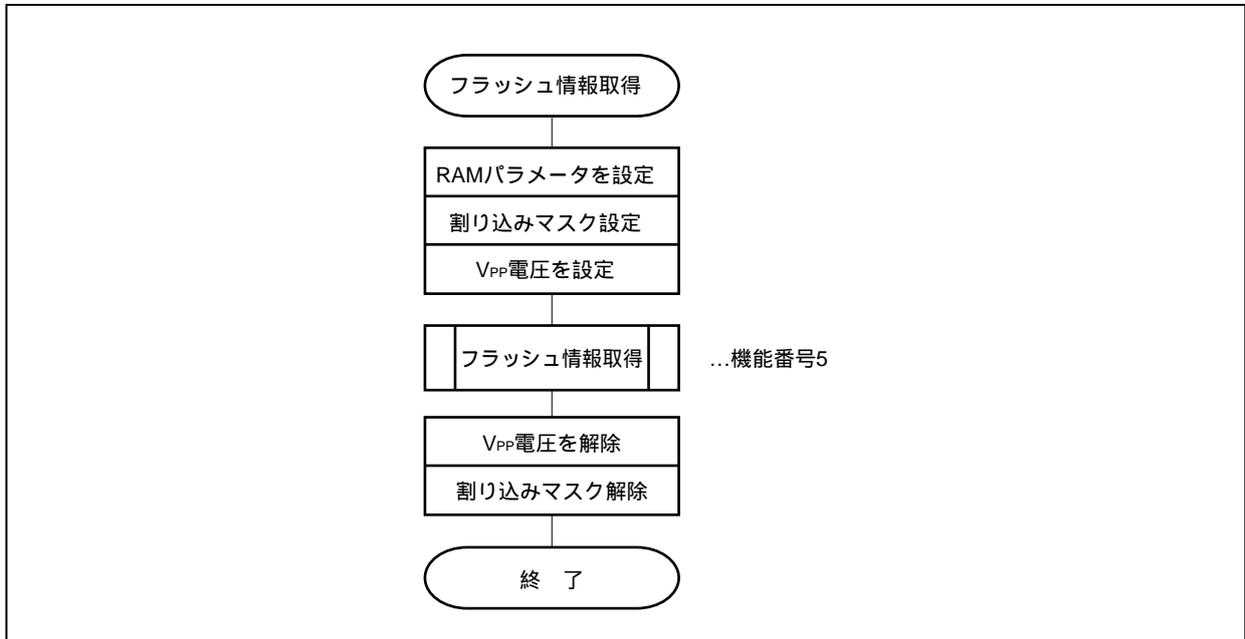
図16 - 21 内部ベリファイ・フロー



## 16.7.17 フラッシュ情報取得フロー

フラッシュ情報取得の手順を次に示します。機能番号の処理は、呼び出し手順に従った処理を行ってください。

図16 - 22 フラッシュ情報取得フロー



### 16.7.18 セルフ・プログラミング・ライブラリ

セルフ・プログラミングを行うための参考資料として、V850シリーズ ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング (U15673J) を用意しています。

この資料で記述したライブラリは、V850シリーズが提供するセルフ・プログラミング・インタフェースを利用し、C言語から利用できるユーティリティとしたライブラリで、アプリケーション・プログラムの一部として位置付けられています。ライブラリを使用する際は、アプリケーション・システム上で十分に評価を行ってください。

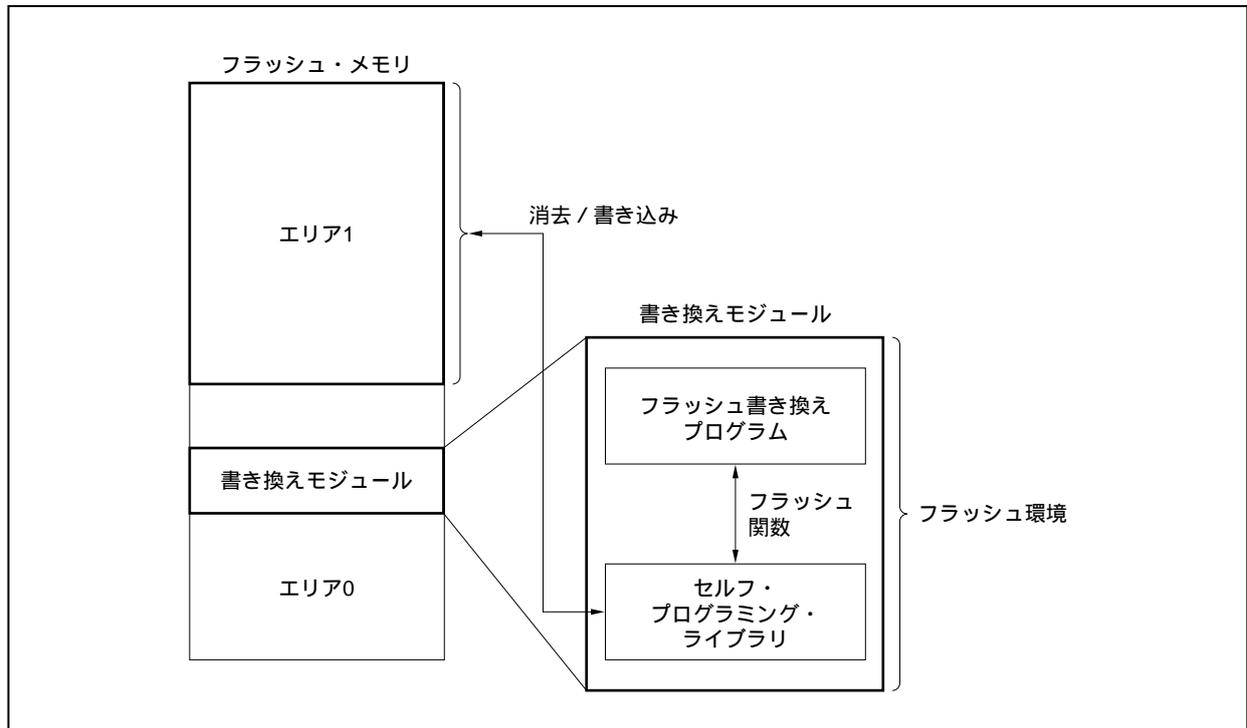
#### (1) 機能概要

セルフ・プログラミング・ライブラリの機能概要を図16 - 23に示します。図16 - 23ではエリア0の領域に書き換えモジュールを配置し、エリア1の領域に対して書き換え / 消去を行う場合を示しています。

書き換えモジュールは、フラッシュ・メモリを書き換えるためのユーザ・プログラムです。このセルフ・プログラミング・ライブラリに含まれるフラッシュ関数を利用して、ほかのエリアを書き換えることができます。また、フラッシュ関数は、外部または内蔵RAMにエントリ・プログラムを展開して、デバイス内部処理を呼び出します

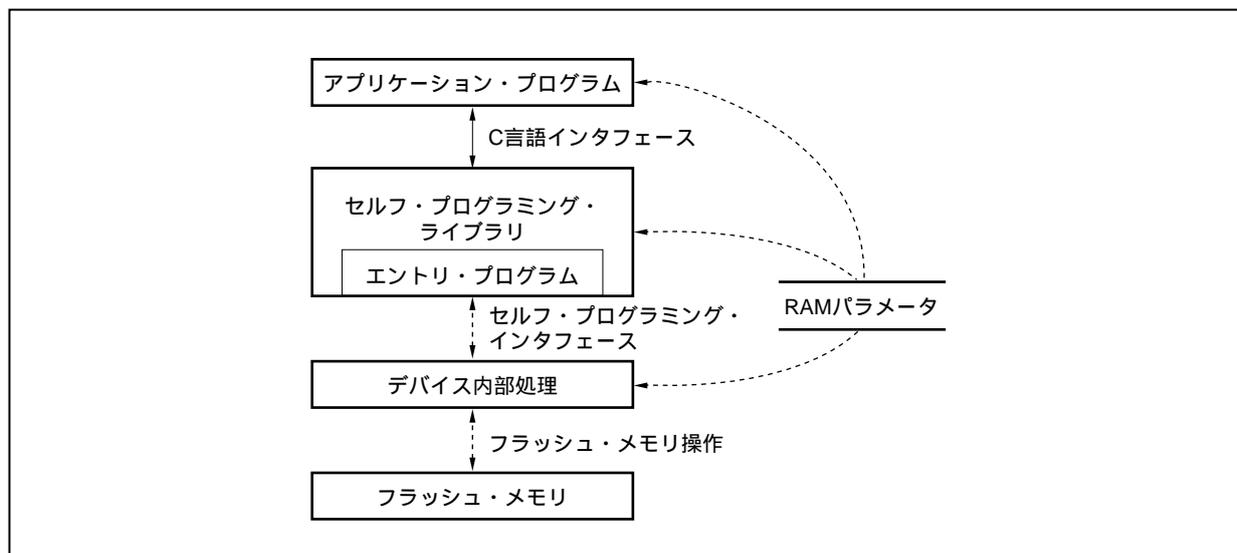
セルフ・プログラミング・ライブラリを使用する際は、書き込み電圧などのハードウェア的な条件と、割り込みなどのソフトウェア的な条件を満たしてください。

図16 - 23 セルフ・プログラミング・ライブラリの機能概要



セルフ・プログラミング・ライブラリの構成概要を次に示します。

図16 - 24 セルフ・プログラミング・ライブラリの構成概要



## 第17章 電気的特性

絶対最大定格 ( $T_A = 25$  ,  $V_{SS} = 0V$ )

項目	略号	条件	定格	単位
電源電圧	$V_{DD}$		- 0.5 ~ + 4.6	V
	$V_{PP}$	注1, 2	- 0.5 ~ + 8.5	V
	$AV_{DD}$		- 0.5 ~ + 4.6	V
	$BV_{DD}$		- 0.5 ~ + 4.6	V
	$V_{SS}$		- 0.5 ~ + 0.5	V
	$AV_{SS}$		- 0.5 ~ + 0.5	V
	$BV_{SS}$		- 0.5 ~ + 0.5	V
入力電圧	$V_{I1}$	注3, P114, $\overline{RESET}$	- 0.5 ~ $V_{DD} + 0.5$ <sup>注6</sup>	V
	$V_{I2}$	注4	- 0.5 ~ $BV_{DD} + 0.5$ <sup>注6</sup>	V
クロック入力電圧	$V_K$	X1, XT1, XT2, $V_{DD} = 2.7 \sim 3.6V$	- 0.5 ~ $V_{DD} + 1.0$ <sup>注6</sup>	V
アナログ入力電圧	$V_{IAN}$	注5 ( $AV_{DD}$ 系)	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注6</sup>	V
アナログ基準入力電圧	$AV_{REF}$	$AV_{REF}$	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注6</sup>	V
ロウ・レベル出力電流	$I_{OL}$	1端子	4.0	mA
		P00-P07, P10-P15, P20-P25の合計	25	mA
		P26, P27, P30-P37, P100-P107, P110-P113の合計	25	mA
		P40-P47, P90-P96, P120, CLKOUTの合計	25	mA
		P50-P57, P60-P65の合計	25	mA
ハイ・レベル出力電流	$I_{OH}$	1端子	- 4.0	mA
		P00-P07, P10-P15, P20-P25の合計	- 25	mA
		P26, P27, P30-P37, P100-P107, P110-P113の合計	- 25	mA
		P40-P47, P90-P96, P120, CLKOUTの合計	- 25	mA
		P50-P57, P60-P65の合計	- 25	mA
出力電圧	$V_{O1}$	注3, $V_{DD} = 2.7 \sim 3.6V$	- 0.5 ~ $V_{DD} + 0.5$ <sup>注6</sup>	V
	$V_{O2}$	注4, CLKOUT, $BV_{DD} = 2.7 \sim 3.6V$	- 0.5 ~ $BV_{DD} + 0.5$ <sup>注6</sup>	V
動作周囲温度	$T_A$	通常動作モード	- 40 ~ + 85	
		フラッシュ・メモリ・ プログラミング・モード	100回保証品 <sup>注7</sup>	0 ~ 85
			20回保証品 <sup>注7</sup>	10 ~ 40
保存温度	$T_{stg}$	注8	- 65 ~ + 150	
		注1	- 40 ~ + 125	

注1.  $\mu$ PD70F3015B, 70F3015BY, 70F3017A, 70F3017AYのみ

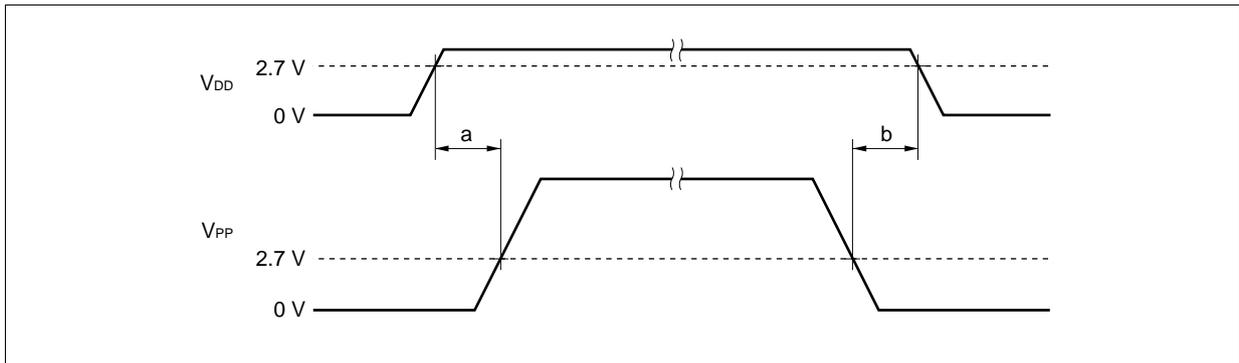
2. フラッシュ・メモリ書き込み時,  $V_{PP}$ の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

$V_{DD}$ が動作電圧範囲の下限電圧(2.7 V)に達してから10  $\mu$ s以上経過後,  $V_{PP}$ が $V_{DD}$ を越えること(下図のa)。

・電源電圧立ち下がり時

$V_{PP}$ が $V_{DD}$ の動作電圧範囲の下限電圧(2.7 V)を下回ってから10  $\mu$ s以上経過後,  $V_{DD}$ を立ち下げること(下図のb)。



3. P00-P07, P10-P15, P20-P27, P30-P37, P100-P107, P110-P113, P120とその兼用端子

4. P40-P47, P50-P57, P60-P65, P90-P96とその兼用端子

5. P70-P77, P80-P83とその兼用端子

6. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

7. 製品により, またはパッケージに捺印されているロット番号により, フラッシュ・メモリの書き換え回数20回保証品と100回保証品を判別できます (xxxxは内部管理用の4桁の数字もしくは記号です)。

・ $\mu$ PD70F3015B, 70F3015BY : 100回保証品のみ

・ $\mu$ PD70F3017A, 70F3017AY

	20回保証品	100回保証品
ロット番号	0135Mxxxx以前	0136Mxxxx以降 (0136Mxxxx含む)
フラッシュ・メモリ書き換え回数	20回	100回
フラッシュ・メモリ書き換え温度	10 ~ 40	0 ~ 85

・ロット番号について



8.  $\mu$ PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AYのみ

- 注意1. IC製品の出力（または入出力）端子同士を直結したり、 $V_{DD}$ または $V_{CC}$ やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コネクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 ( $T_A = 25\text{ }^\circ\text{C}$ ,  $V_{DD} = AV_{DD} = BV_{DD} = V_{SS} = AV_{SS} = BV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	$C_i$	$f_c = 1\text{ MHz}$ 被測定ピン以外は0 V			15	pF
入出力容量	$C_{io}$				15	pF
出力容量	$C_o$				15	pF

動作条件

(1) 動作周波数, 動作電圧

内部動作クロック周波数	電源電圧 ( $V_{DD}$ )
2 MHz $f_{xx}$ 17 MHz	2.7 ~ 3.6 V
2 MHz $f_{xx}$ 20 MHz	3.0 ~ 3.6 V
$f_{XT} = 32.768\text{ kHz}$	2.7 ~ 3.6 V

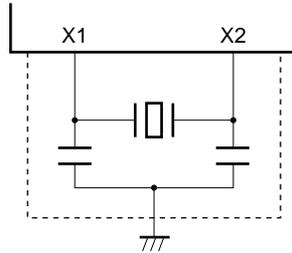
(2) CPU動作周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位	
CPU動作周波数	$f_{CPU}$	メイン・クロック動作時	$V_{DD} = 2.7 \sim 3.6\text{ V}$	0.25		17	MHz
			$V_{DD} = 3.0 \sim 3.6\text{ V}$	0.25		20	MHz
		サブクロック動作時	$V_{DD} = 2.7 \sim 3.6\text{ V}$		32.768		

推奨発振回路

(1) メイン・クロック発振回路 (TA = -40 ~ +85 )

(a) セラミック発振子または水晶振動子接続



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f <sub>xx</sub>	V <sub>DD</sub> = 2.7 ~ 3.6 V	2		17	MHz
		V <sub>DD</sub> = 3.0 ~ 3.6 V	2		20	MHz
発振安定時間		リセット解除時		2 <sup>19</sup> /f <sub>xx</sub>		s
		STOPモード解除時		注		s

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

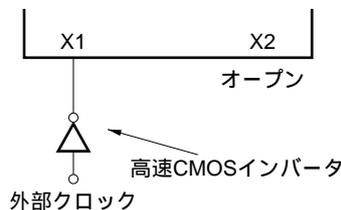
注意 発振波形のデューティは、45 ~ 55 % に収まるようにしてください。

備考1. 発振回路はX1, X2にできるかぎり近づけてください。

2. 破線の範囲内に他の信号線を通さないでください。

3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(b) 外部クロック入力



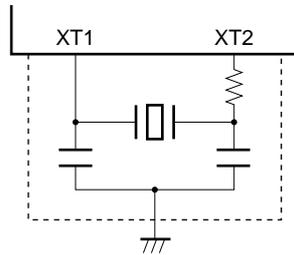
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f <sub>xx</sub>	V <sub>DD</sub> = 2.7 ~ 3.6 V	2		17	MHz
		V <sub>DD</sub> = 3.0 ~ 3.6 V	2		20	MHz

注意1. 高速CMOSインバータはX1端子にできるかぎり近づけてください。

2. V850/SA1と高速CMOSインバータのマッチングについては、十分な評価を行ってください。

(2) サブクロック発振回路 (T<sub>A</sub> = -40 ~ +85 )

(a) 水晶振動子接続



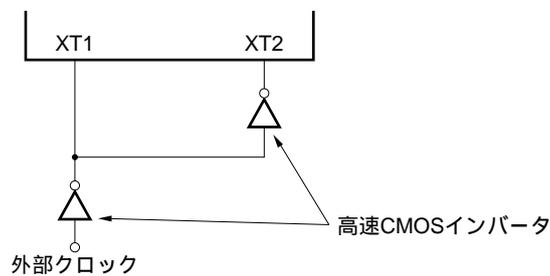
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f <sub>XT</sub>	V <sub>DD</sub> = 2.7 ~ 3.6 V	32	32.768	35	kHz
発振安定時間				10		s

備考1. 発振回路はXT1, XT2にできるかぎり近づけてください。

2. 破線の範囲内に他の信号線を通さないでください。

3. 発振子の選択および発振回路定数については,お客様において発振評価していただくか,発振子メーカーに評価を依頼してください。

(b) 外部クロック入力



項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f <sub>XT</sub>	V <sub>DD</sub> = 2.7 ~ 3.6 V	32	32.768	35	kHz

注意1. 高速CMOSインバータはXT2端子にできるかぎり近づけてください。

2. V850/SA1と高速CMOSインバータのマッチングについては,十分な評価を行ってください。

DC特性

(1) 動作条件 (TA = -40 ~ +85 , VDD = AVDD = BVDD = 2.7 ~ 3.6 V, VSS = AVSS = BVSS = 0 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH1</sub>	下記以外の端子	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH2</sub>	注1	0.7 AV <sub>DD</sub>		AV <sub>DD</sub>	V
	V <sub>IH3</sub>	注2	0.75 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH4</sub>	X1, XT1 ( P114 ) , XT2	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
ロウ・レベル入力電圧	V <sub>IL1</sub>	下記以外の端子	V <sub>SS</sub>		0.3 V <sub>DD</sub>	V
	V <sub>IL2</sub>	注1	AV <sub>SS</sub>		0.3 AV <sub>DD</sub>	V
	V <sub>IL3</sub>	注2	V <sub>SS</sub>		0.2 V <sub>DD</sub>	V
	V <sub>IL4</sub>	X1, XT1 ( P114 ) , XT2	V <sub>SS</sub>		0.2 V <sub>DD</sub>	V
ハイ・レベル出力電圧	V <sub>OH1</sub>	注3	I <sub>OH</sub> = - 3 mA	0.8 V <sub>DD</sub>		V
	V <sub>OH2</sub>	注4	I <sub>OH</sub> = - 1 mA	0.8 V <sub>DD</sub>		V
ロウ・レベル出力電圧	V <sub>OL1</sub>	注3	I <sub>OL</sub> = 1.6 mA		0.4	V
	V <sub>OL2</sub>	注4 ( P10, P12端子を除く )	I <sub>OL</sub> = 1.6 mA		0.4	V
	V <sub>OL3</sub>	P10, P12	I <sub>OL</sub> = 3 mA		0.4	V
V <sub>PP</sub> 電源電圧 <sup>注5</sup>	V <sub>PP1</sub>	通常動作時	0		0.2 V <sub>DD</sub>	V
ハイ・レベル入力リーク電流	I <sub>LIH1</sub>	V <sub>I</sub> = V <sub>DD</sub> = AV <sub>DD</sub> =	下記以外の端子		5	μA
	I <sub>LIH2</sub>	BV <sub>DD</sub>	X1, XT1, XT2		20	μA
ロウ・レベル入力リーク電流	I <sub>LIL1</sub>	V <sub>I</sub> = 0 V	下記以外の端子		- 5	μA
	I <sub>LIL2</sub>		X1, XT1, XT2		- 20	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = V <sub>DD</sub> = AV <sub>DD</sub> = BV <sub>DD</sub>			5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 5	μA
プルアップ抵抗	R <sub>L</sub>	V <sub>IN</sub> = 0 V	10	30	100	kΩ

注1. P70-P77, P80-P83とその兼用端子

2. P00-P07, P10, P12, P13, P15, P20, P22, P23, P25-P27, P30-P33, P36, P37, RESETとその兼用端子
3. CLKOUT, P40-P47, P50-P57, P60-P65, P90-P96, P120とその兼用端子
4. P00-P07, P10-P15, P20-P27, P30-P37, P100-P107, P110-P113とその兼用端子
5. μPD70F3015B, 70F3015BY, 70F3017A, 70F3017AYのみ

(1) 動作条件 (TA = -40 ~ +85 , VDD = AVDD = BVDD = 2.7 ~ 3.6 V, VSS = AVSS = BVSS = 0 V) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 <sup>注</sup>	μ PD703014A, μ PD703014AY,	IDD1	通常動作	f <sub>XX</sub> = 17 MHz		17	30	mA
				全周辺機能動作				
	μ PD703014B, μ PD703014BY,	IDD2	HALTモード	f <sub>XX</sub> = 17 MHz		8	20	mA
				全周辺機能動作				
	μ PD703015A, μ PD703015AY,	IDD3	IDLEモード	f <sub>XX</sub> = 17 MHz		1	4	mA
				時計用タイマ動作				
	μ PD703015B, μ PD703015BY, μ PD703017A, μ PD703017AY	IDD4	ソフトウェアSTOPモード (サブクロック動作 : f <sub>XT</sub> = 32.768 kHz , 時計用タイマ動作)			8	60	μA
			ソフトウェアSTOPモード (サブクロック停止 (XT1 = V <sub>SS</sub> ))					
		IDD5	サブ通常動作モード f <sub>XT</sub> = 32.768 kHz (メイン・クロック停止)			40	140	μA
	μ PD70F3015B, μ PD70F3015BY, μ PD70F3017A, μ PD70F3017AY	IDD1	通常動作	f <sub>XX</sub> = 17 MHz		30	60	mA
				全周辺機能動作				
		IDD2	HALTモード	f <sub>XX</sub> = 17 MHz		10	25	mA
				全周辺機能動作				
		IDD3	IDLEモード	f <sub>XX</sub> = 17 MHz		4	8	mA
時計用タイマ動作								
IDD4		ソフトウェアSTOPモード (サブクロック動作 : f <sub>XT</sub> = 32.768 kHz , 時計用タイマ動作)			10	100	μA	
	ソフトウェアSTOPモード (サブクロック停止 (XT1 = V <sub>SS</sub> ))							
IDD5	サブ通常動作モード f <sub>XT</sub> = 32.768 kHz (メイン・クロック停止)			250	600	μA		
IDD6	サブIDLEモード f <sub>XT</sub> = 32.768 kHz (メイン・クロック停止, 時計用タイマ動作)			130	360	μA		

注 TYP.値のV<sub>DD</sub>は3.3Vです。出力バッファで消費される電流は含まれていません。

(2) 動作条件 ( $T_A = -40 \sim +85$ ,  $V_{DD} = AV_{DD} = BV_{DD} = 3.0 \sim 3.6$  V,  $V_{SS} = AV_{SS} = BV_{SS} = 0$  V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	下記以外の端子	$0.7 V_{DD}$		$V_{DD}$	V
	$V_{IH2}$	注1	$0.7 AV_{DD}$		$AV_{DD}$	V
	$V_{IH3}$	注2	$0.75 V_{DD}$		$V_{DD}$	V
	$V_{IH4}$	X1, XT1 (P114), XT2	$0.8 V_{DD}$		$V_{DD}$	V
ロウ・レベル入力電圧	$V_{IL1}$	下記以外の端子	$V_{SS}$		$0.3 V_{DD}$	V
	$V_{IL2}$	注1	$AV_{SS}$		$0.3 AV_{DD}$	V
	$V_{IL3}$	注2	$V_{SS}$		$0.2 V_{DD}$	V
	$V_{IL4}$	X1, XT1 (P114), XT2	$V_{SS}$		$0.2 V_{DD}$	V
ハイ・レベル出力電圧	$V_{OH1}$	注3	$I_{OH} = -3$ mA	$0.8 V_{DD}$		V
	$V_{OH2}$	注4	$I_{OH} = -1$ mA	$0.8 V_{DD}$		V
ロウ・レベル出力電圧	$V_{OL1}$	注3	$I_{OL} = 1.6$ mA		0.4	V
	$V_{OL2}$	注4 (P10, P12端子を除く)	$I_{OL} = 1.6$ mA		0.4	V
	$V_{OL3}$	P10, P12	$I_{OL} = 3$ mA		0.4	V
$V_{PP}$ 電源電圧 <sup>注5</sup>	$V_{PP1}$	通常動作時	0		$0.2 V_{DD}$	V
ハイ・レベル入力リーク電流	$I_{LIH1}$	$V_i = V_{DD} = AV_{DD} =$	下記以外の端子		5	$\mu$ A
	$I_{LIH2}$	$BV_{DD}$	X1, XT1, XT2		20	$\mu$ A
ロウ・レベル入力リーク電流	$I_{LIL1}$	$V_i = 0$ V	下記以外の端子		-5	$\mu$ A
	$I_{LIL2}$		X1, XT1, XT2		-20	$\mu$ A
ハイ・レベル出力リーク電流	$I_{LOH}$	$V_o = V_{DD} = AV_{DD} = BV_{DD}$			5	$\mu$ A
ロウ・レベル出力リーク電流	$I_{LOL}$	$V_o = 0$ V			-5	$\mu$ A
プルアップ抵抗	$R_L$	$V_{IN} = 0$ V	10	30	100	k $\Omega$

注1. P70-P77, P80-P83とその兼用端子

2. P00-P07, P10, P12, P13, P15, P20, P22, P23, P25-P27, P30-P33, P36, P37, RESETとその兼用端子
3. CLKOUT, P40-P47, P50-P57, P60-P65, P90-P96, P120とその兼用端子
4. P00-P07, P10-P15, P20-P27, P30-P37, P100-P107, P110-P113とその兼用端子
5.  $\mu$  PD70F3015B, 70F3015BY, 70F3017A, 70F3017AYのみ

(2) 動作条件 (TA = -40 ~ +85 , VDD = AVDD = BVDD = 3.0 ~ 3.6 V, VSS = AVSS = BVSS = 0 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流 <sup>注</sup>	μ PD703014A, μ PD703014AY,	IDD1 通常動作	fxx = 20 MHz		20	35	mA	
			全周辺機能動作					
	μ PD703014B, μ PD703014BY,	IDD2 HALTモード	fxx = 20 MHz		9	22	mA	
			全周辺機能動作					
	μ PD703015A, μ PD703015AY,	IDD3 IDLEモード	fxx = 20 MHz		1.2	4.5	mA	
			時計用タイマ動作					
	μ PD703015B, μ PD703015BY, μ PD703017A, μ PD703017AY	IDD4	ソフトウェアSTOPモード (サブクロック動作 : fXT = 32.768 kHz , 時計用タイマ動作)		8	60	μA	
			ソフトウェアSTOPモード (サブクロック停止 (XT1 = VSS))		1	60		
		IDD5	サブ通常動作モード fXT = 32.768 kHz (メイン・クロック停止)		40	140	μA	
	μ PD70F3015B, μ PD70F3015BY, μ PD70F3017A, μ PD70F3017AY	IDD1	通常動作	fxx = 20 MHz		32	64	mA
				全周辺機能動作				
	μ PD70F3017A, μ PD70F3017AY	IDD2	HALTモード	fxx = 20 MHz		11	26	mA
				全周辺機能動作				
		IDD3	IDLEモード	fxx = 20 MHz		4.5	9	mA
時計用タイマ動作								
IDD4		ソフトウェアSTOPモード (サブクロック動作 : fXT = 32.768 kHz , 時計用タイマ動作)			10	100	μA	
			ソフトウェアSTOPモード (サブクロック停止 (XT1 = VSS))		2	100		
IDD5	サブ通常動作モード fXT = 32.768 kHz (メイン・クロック停止)		250	600	μA			
IDD6	サブIDLEモード fXT = 32.768 kHz (メイン・クロック停止, 時計用タイマ動作)		130	360	μA			

注 TYP.値のVDDは3.3 Vです。出力バッファで消費される電流は含まれていません。

データ保持特性 ( $T_A = -40 \sim +85$  ,  $V_{SS} = AV_{SS} = BV_{SS} = 0 V$ )

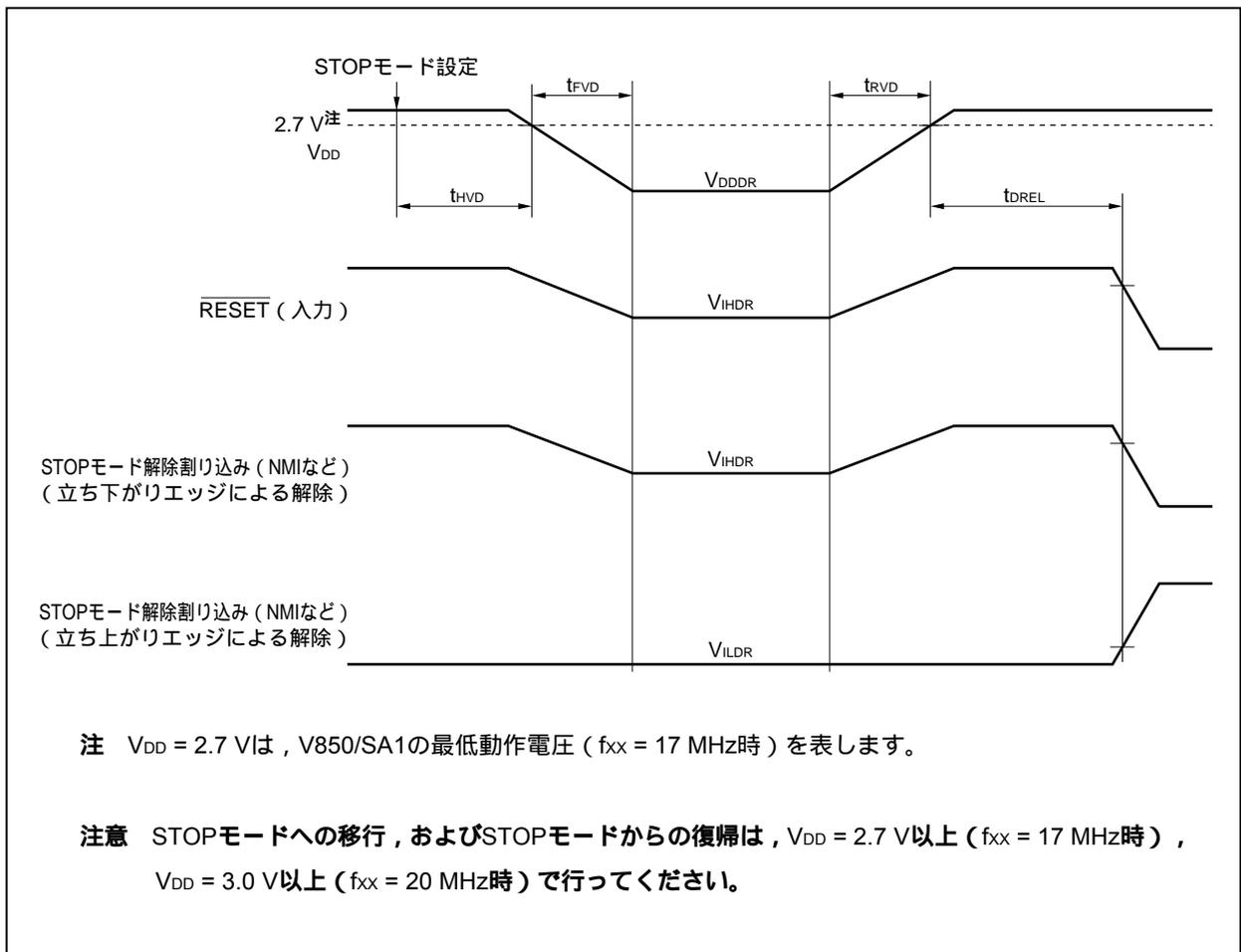
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	$V_{DDDR}$	STOPモード	1.8		3.6	V
データ保持電流	$I_{DDDR}$	$V_{DD} = V_{DDDR}, XT1 = V_{SS}$	注1	1	60	$\mu A$
			注2	2	100	$\mu A$
電源電圧立ち上がり時間	$t_{rVD}$		200			$\mu s$
電源電圧立ち下がり時間	$t_{fVD}$		200			$\mu s$
電源電圧保持時間 (対STOPモード設定)	$t_{HVD}$		0			ms
STOPモード解除信号入力時間	$t_{DREL}$		0			ms
データ保持ハイ・レベル入力電圧	$V_{IHDR}$	全入力ポート	$V_{IHn}$		$V_{DDDR}$	V
データ保持ロウ・レベル入力電圧	$V_{ILDR}$	全入力ポート	0		$V_{ILn}$	V

注1.  $\mu PD703014A, 703014AY, 703014B, 703014BY, 703015A, 703015AY, 703015B, 703015BY, 703017A, 703017AY$ のみ

2.  $\mu PD70F3015B, 70F3015BY, 70F3017A, 70F3017AY$ のみ

備考1. TYP.値は $T_A = 25$  時の参考値です。

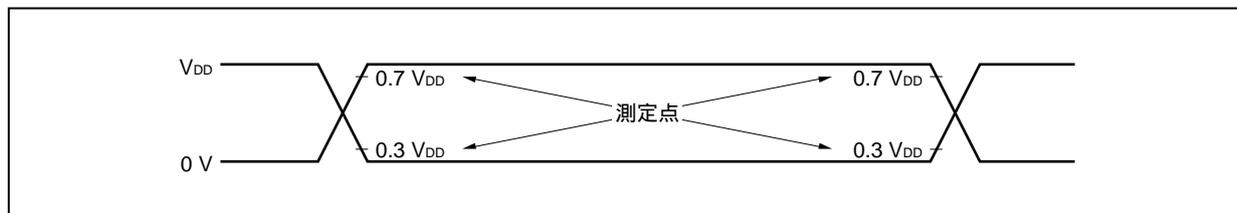
2.  $n = 1-4$



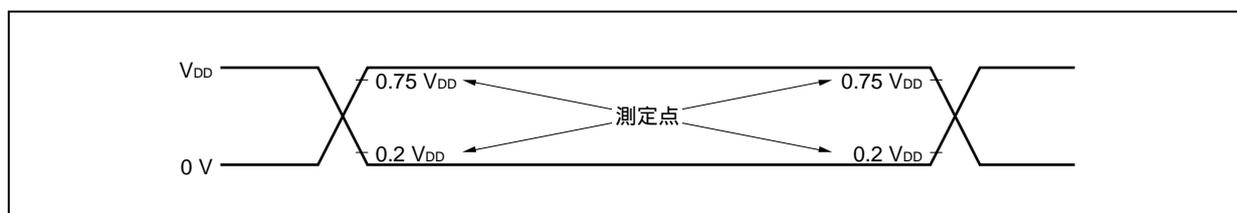
AC特性

ACテスト入力測定点

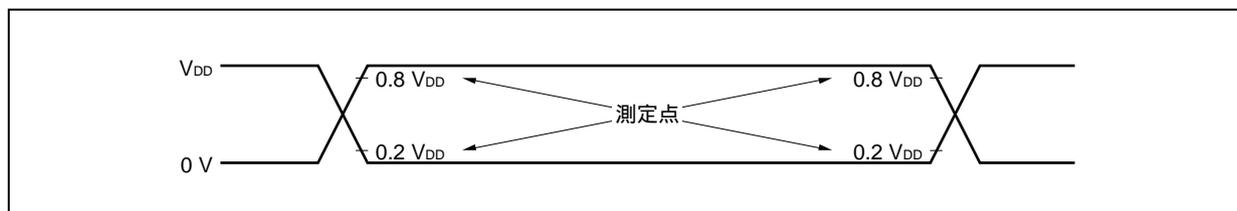
- (1) P11, P14, P21, P24, P34, P35, P40-P47, P50-P57, P60-P65, P90-P96, P100-P107, P110-P113, P120とその兼用端子



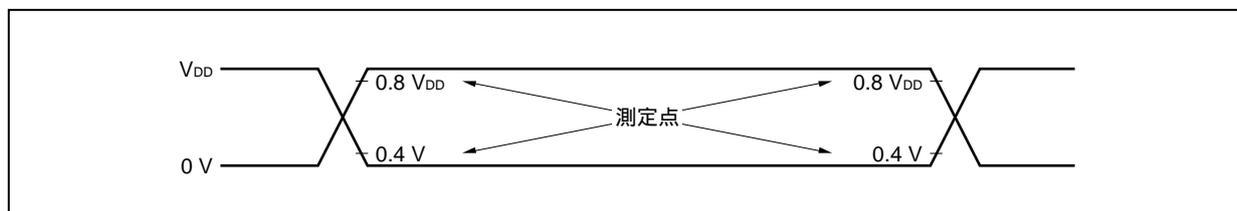
- (2) P00-P07, P10, P12, P13, P15, P20, P22, P23, P25-P27, P30-P33, P36, P37, RESETとその兼用端子



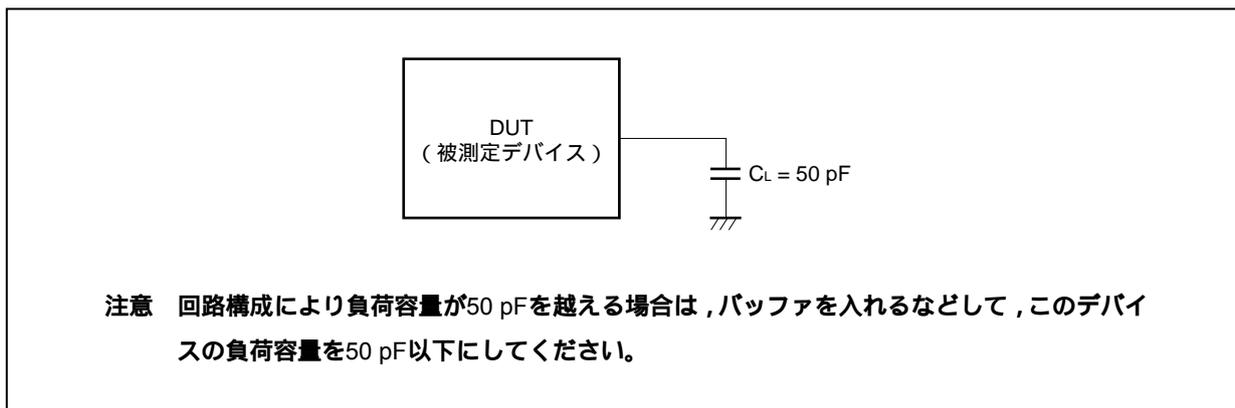
- (3) X1, XT1 (P114), XT2



ACテスト出力測定点



## 負荷条件



クロック・タイミング

(1) 動作条件 (TA = -40 ~ +85 , VDD = AVDD = BVDD = 2.7 ~ 3.6 V, VSS = AVSS = BVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
X1入力周期	tcyx	①	58.8	500	ns
XT1入力周期			28.5	31.2	μs
X1入力ハイ・レベル幅	twxh	②	26.4		ns
XT1入力ハイ・レベル幅			12.8		μs
X1入力ロウ・レベル幅	twxl	③	26.4		ns
XT1入力ロウ・レベル幅			12.8		μs
X1, XT1入力立ち上がり時間	txr	④		0.5(tcyx - twxh - twxl)	ns
X1, XT1入力立ち下がり時間	txf	⑤		0.5(tcyx - twxh - twxl)	ns
CLKOUT出力周期	tcyk	⑥	58.8 ns	31.2 μs	
CLKOUTハイ・レベル幅	twkh	⑦	0.4 tcyk - 10		ns
CLKOUTロウ・レベル幅	twkl	⑧	0.4 tcyk - 10		ns
CLKOUT立ち上がり時間	tkr	⑨		10	ns
CLKOUT立ち下がり時間	tkf	⑩		10	ns

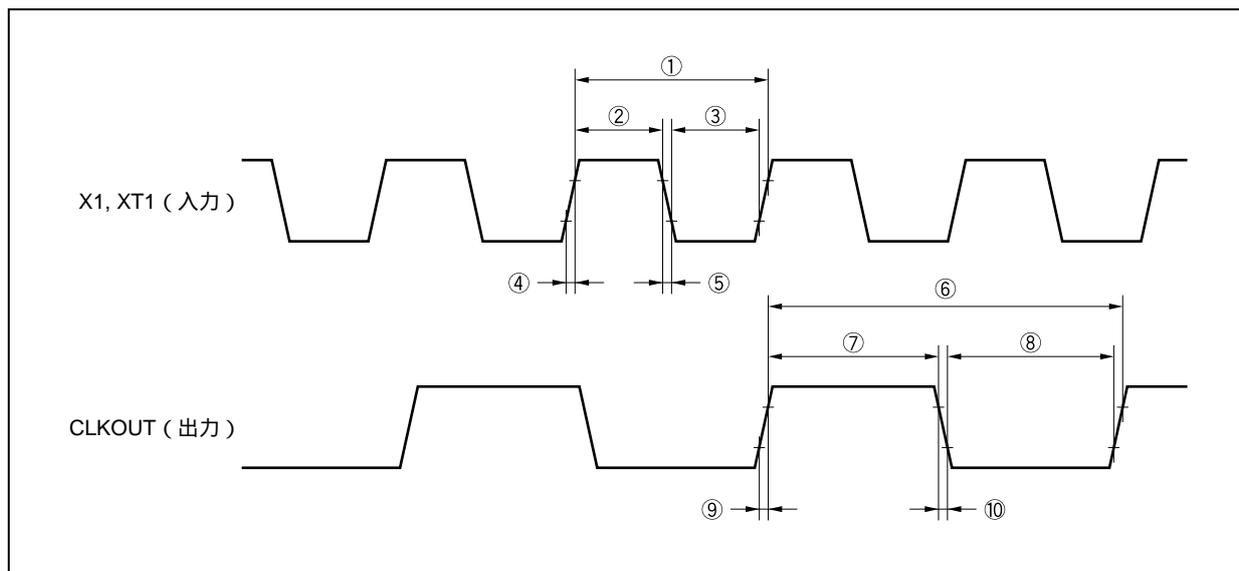
備考 デューティは、45 ~ 55 %に収まるようにしてください。

(2) 動作条件 (TA = -40 ~ +85 , VDD = AVDD = BVDD = 3.0 ~ 3.6 V, VSS = AVSS = BVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
X1入力周期	tcyx	①	50.0	500	ns
XT1入力周期			28.5	31.2	μs
X1入力ハイ・レベル幅	twxh	②	22.5		ns
XT1入力ハイ・レベル幅			12.8		μs
X1入力ロウ・レベル幅	twxl	③	22.5		ns
XT1入力ロウ・レベル幅			12.8		μs
X1, XT1入力立ち上がり時間	txr	④		0.5(tcyx - twxh - twxl)	ns
X1, XT1入力立ち下がり時間	txf	⑤		0.5(tcyx - twxh - twxl)	ns
CLKOUT出力周期	tcyk	⑥	50.0 ns	31.2 μs	
CLKOUTハイ・レベル幅	twkh	⑦	0.4 tcyk - 10		ns
CLKOUTロウ・レベル幅	twkl	⑧	0.4 tcyk - 10		ns
CLKOUT立ち上がり時間	tkr	⑨		10	ns
CLKOUT立ち下がり時間	tkf	⑩		10	ns

備考 デューティは、45 ~ 55 %に収まるようにしてください。

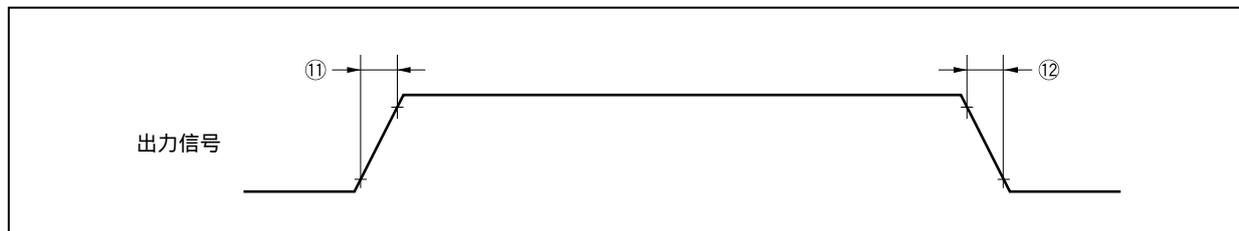
クロック・タイミング



CLKOUT, ポート4, 5, 6, 9を除く端子のタイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6 \text{ V}$ ,  $V_{SS} = AV_{SS} = BV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	t <sub>OR</sub>	⑪		20	ns
出力立ち下がり時間	t <sub>OF</sub>	⑫		20	ns



バス・タイミング (CLKOUT非同期)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6 \text{ V}$ ,  $V_{SS} = AV_{SS} = BV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	$t_{SAST}$	⑬	$0.5T - 15$		ns
アドレス保持時間 (対ASTB)	$t_{HSTA}$	⑭	$0.5T - 15$		ns
DSTB アドレス・フロート 遅延時間	$t_{FDA}$	⑮		2	ns
アドレス データ入力設定時間	$t_{SAID}$	⑯		$(2+n)T - 25$	ns
DSTB データ入力設定時間	$t_{SDID}$	⑰		$(1+n)T - 25$	ns
ASTB DSTB 遅延時間	$t_{DSTD}$	⑱	$0.5T - 15$		ns
データ入力保持時間 (対DSTB)	$t_{HDID}$	⑲	0		ns
DSTB アドレス出力時間	$t_{DDA}$	㉒	$(1+i)T - 15$		ns
DSTB ASTB 遅延時間	$t_{DDST1}$	㉑	$0.5T - 15$		ns
DSTB ASTB 遅延時間	$t_{DDST2}$	㉒	$(1.5+i)T - 15$		ns
DSTB ロウ・レベル幅	$t_{WDL}$	㉓	$(1+n)T - 15$		ns
ASTB ハイ・レベル幅	$t_{WSTH}$	㉔	$T - 15$		ns
DSTB データ出力時間	$t_{DDOD}$	㉕		15	ns
データ出力設定時間 (対DSTB)	$t_{SODD}$	㉖	$(1+n)T - 20$		ns
データ出力保持時間 (対DSTB)	$t_{HDOD}$	㉗	$T - 15$		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	㉘ n 1		1.5T - 25	ns
	$t_{SAWT2}$	㉙ n 1		$(1.5+n)T - 25$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	㉚ n 1	$(0.5+n)T$		ns
	$t_{HAWT2}$	㉛ n 1	$(1.5+n)T$		ns
WAIT設定時間 (対ASTB)	$t_{SSTWT1}$	㉜ n 1		$T - 25$	ns
	$t_{SSTWT2}$	㉝ n 1		$(1+n)T - 25$	ns
WAIT保持時間 (対ASTB)	$t_{HSTWT1}$	㉞ n 1	nT		ns
	$t_{HSTWT2}$	㉟ n 1	$(1+n)T$		ns
HLD $\overline{RQ}$ ハイ・レベル幅	$t_{WHQH}$	㊳	$T + 10$		ns
HLD $\overline{RQ}$ ロウ・レベル幅	$t_{WHAL}$	㊴	$T - 15$		ns
HLD $\overline{AK}$ バス出力遅延時間	$t_{DHAC}$	㊵	0		ns
HLD $\overline{RQ}$ HLD $\overline{AK}$ 遅延時間	$t_{DHQHA1}$	㊶		$(2n+7.5)T + 25$	ns
HLD $\overline{RQ}$ HLD $\overline{AK}$ 遅延時間	$t_{DHQHA2}$	㊷	$0.5T$	$1.5T + 25$	ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数  
プログラマブル・ウェイト挿入時は, サンプル・タイミングが変わります。
3. i: リード・サイクル後に挿入されるアイドル・ステート数 (0または1)
4. 上記スペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

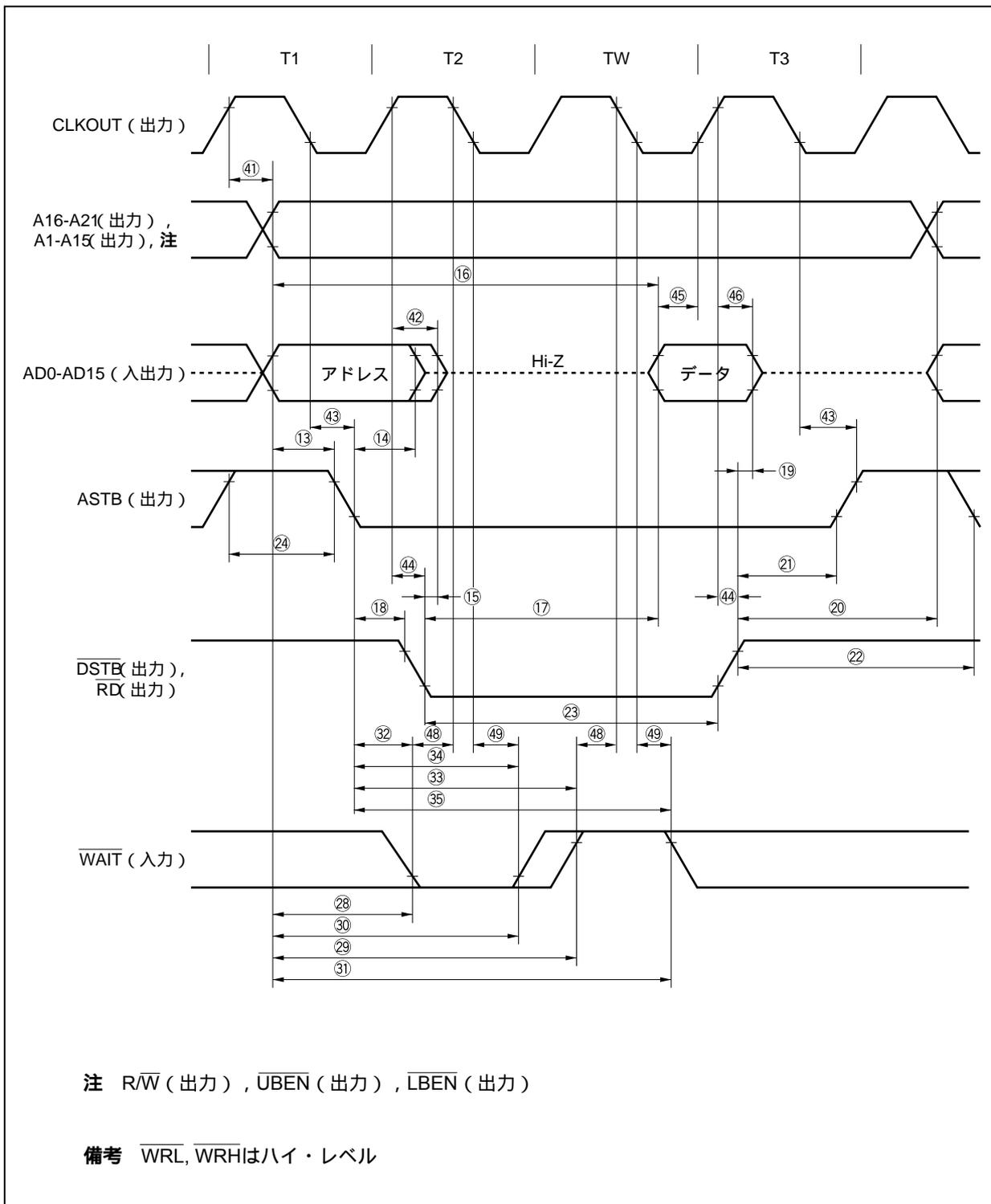
## バス・タイミング (CLKOUT同期)

(TA = -40 ~ +85 °C, VDD = AVDD = BVDD = 2.7 ~ 3.6 V, VSS = AVSS = BVSS = 0 V, CL = 50 pF)

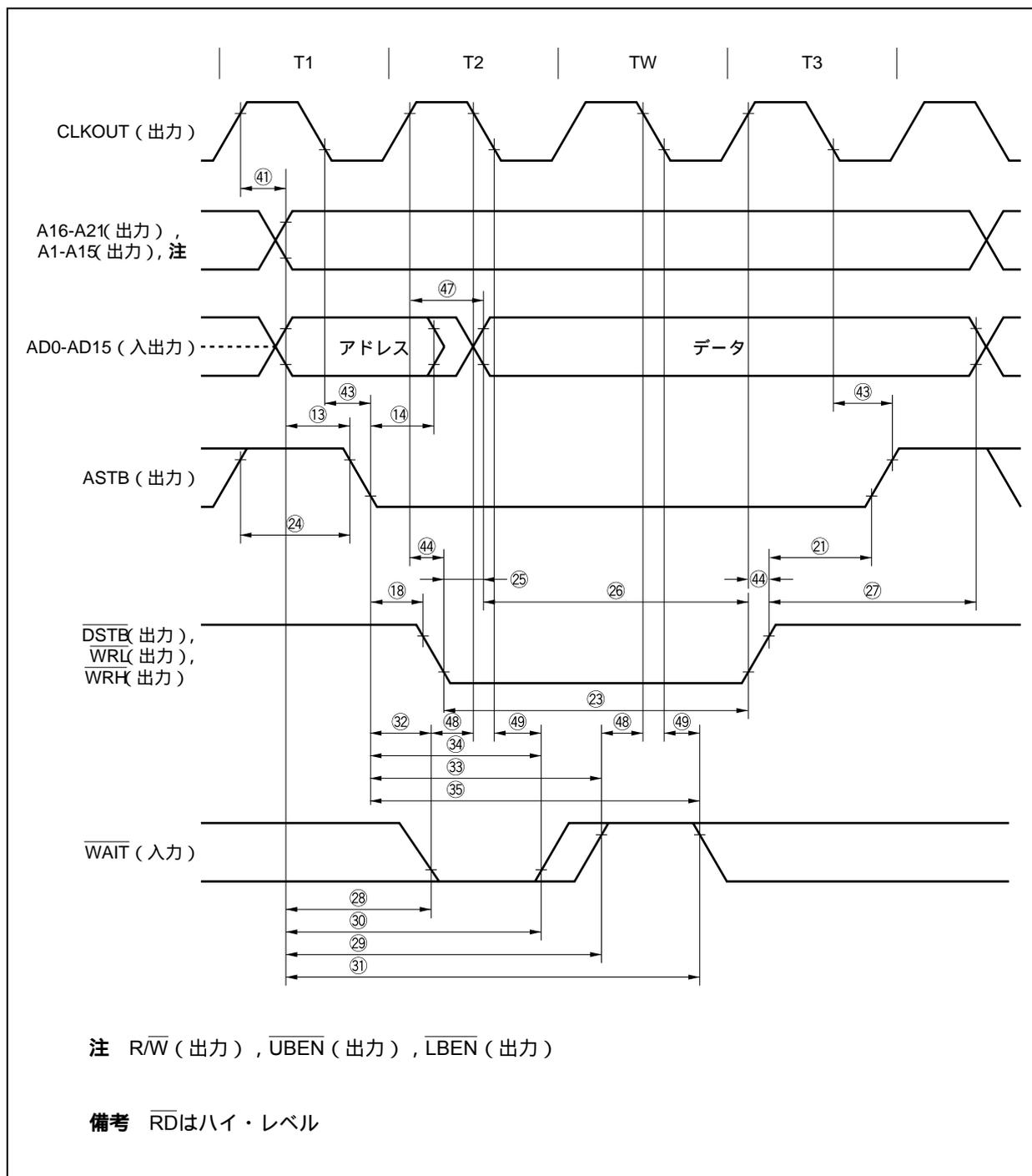
項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	tDKA	(41)	0	19	ns
CLKOUT アドレス・フロート遅延時間	tFKA	(42)	- 12	7	ns
CLKOUT ASTB遅延時間	tDKST	(43)	- 12	7	ns
CLKOUT DSTB遅延時間	tDKD	(44)	- 5	14	ns
データ入力設定時間 (対CLKOUT )	tSIDK	(45)	15		ns
データ入力保持時間 (対CLKOUT )	tHKID	(46)	5		ns
CLKOUT データ出力遅延時間	tDKOD	(47)		19	ns
WAIT設定時間 (対CLKOUT )	tSWTK	(48)	15		ns
WAIT保持時間 (対CLKOUT )	tHKWT	(49)	5		ns
HLD $\overline{\text{RQ}}$ 設定時間 (対CLKOUT )	tSHQK	(50)	15		ns
HLD $\overline{\text{RQ}}$ 保持時間 (対CLKOUT )	tHKHQ	(51)	5		ns
CLKOUT バス・フロート遅延時間	tDKF	(52)		19	ns
CLKOUT HLD $\overline{\text{AK}}$ 遅延時間	tDKHA	(53)		19	ns

備考 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

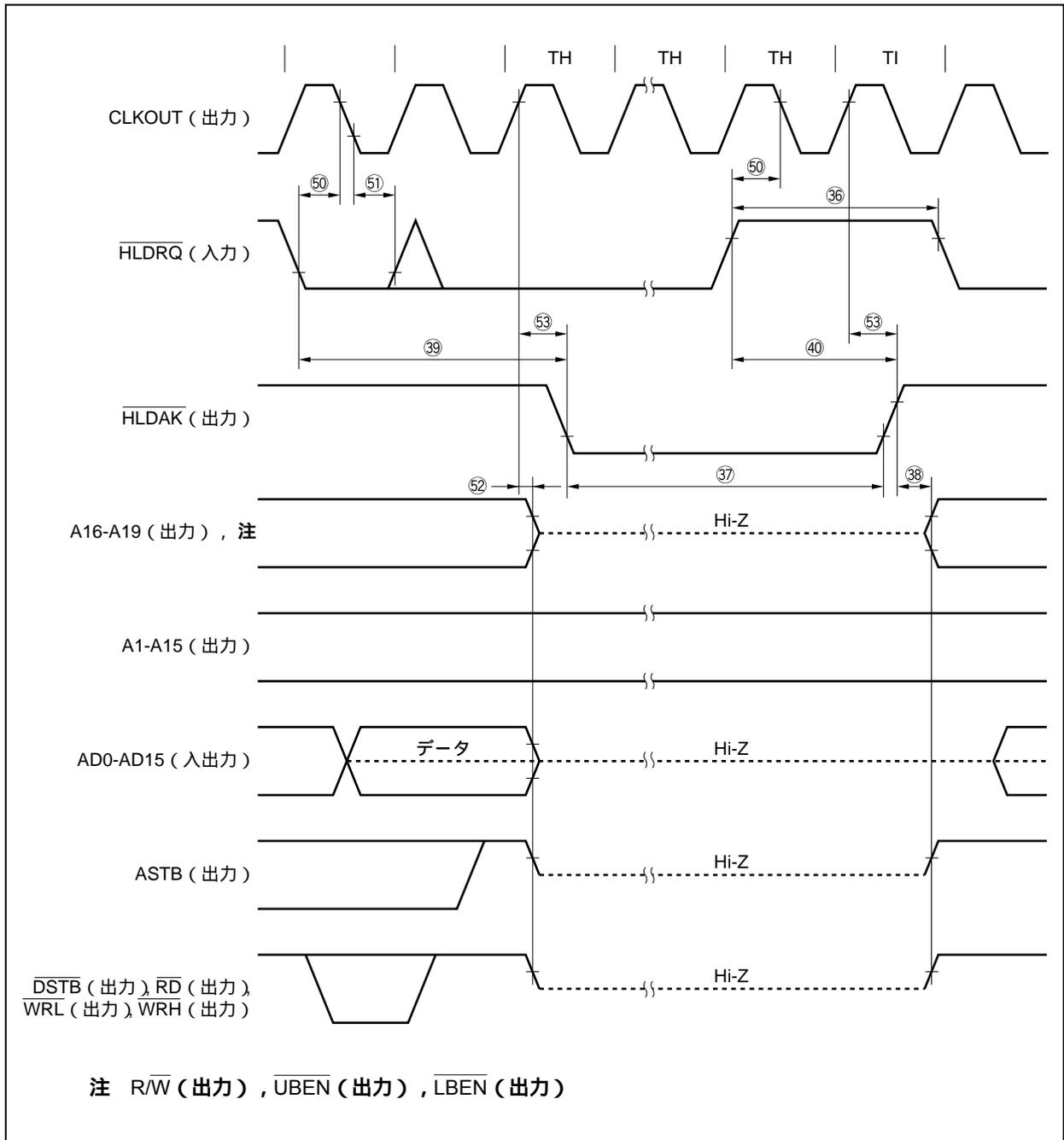
リード・サイクル (CLKOUT同期/非同期, 1ウエイト)



ライト・サイクル (CLKOUT同期/非同期, 1ウエイト)



バス・ホールド



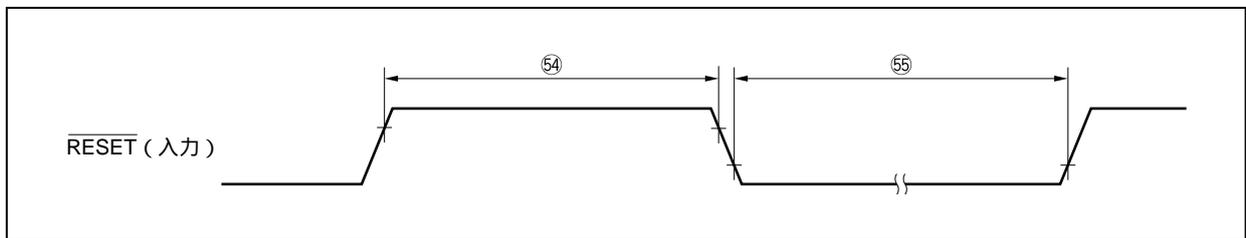
リセット / 割り込みタイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$  V,  $V_{SS} = AV_{SS} = BV_{SS} = 0$  V,  $C_L = 50$  pF)

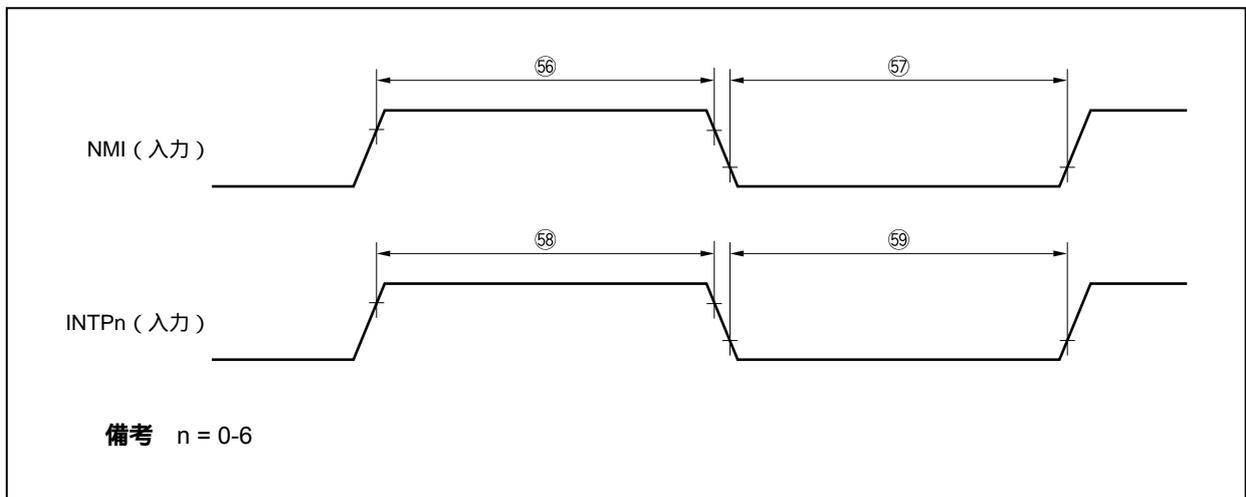
項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅	t <sub>WRSH</sub>	⑤4	500		ns
RESETロウ・レベル幅	t <sub>WRSL</sub>	⑤5	500		ns
NMIハイ・レベル幅	t <sub>WNH</sub>	⑤6	500		ns
NMIロウ・レベル幅	t <sub>WNIL</sub>	⑤7	500		ns
INTPnハイ・レベル幅	t <sub>WITH</sub>	n = 0-3 (アナログ・ノイズ除去)	500		ns
		n = 4-6 (デジタル・ノイズ除去)	3T + 20		ns
INTPnロウ・レベル幅	t <sub>WITL</sub>	n = 0-3 (アナログ・ノイズ除去)	500		ns
		n = 4-6 (デジタル・ノイズ除去)	3T + 20		ns

備考 T = 1/f<sub>xx</sub>

リセット



割り込み



TIn入力タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$  V,  $V_{SS} = AV_{SS} = BV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
TIn0, TIn1ハイ・レベル幅	t <sub>TIHn</sub>	⑥0 n = 0, 1	2T <sub>sam</sub> + 20 <sup>注</sup>		ns
TInハイ・レベル幅		n = 2-5	3T + 20		ns
TIn0, TIn1ロウ・レベル幅	t <sub>TILn</sub>	⑥1 n = 0, 1	2T <sub>sam</sub> + 20 <sup>注</sup>		ns
TInロウ・レベル幅		n = 2-5	3T + 20		ns

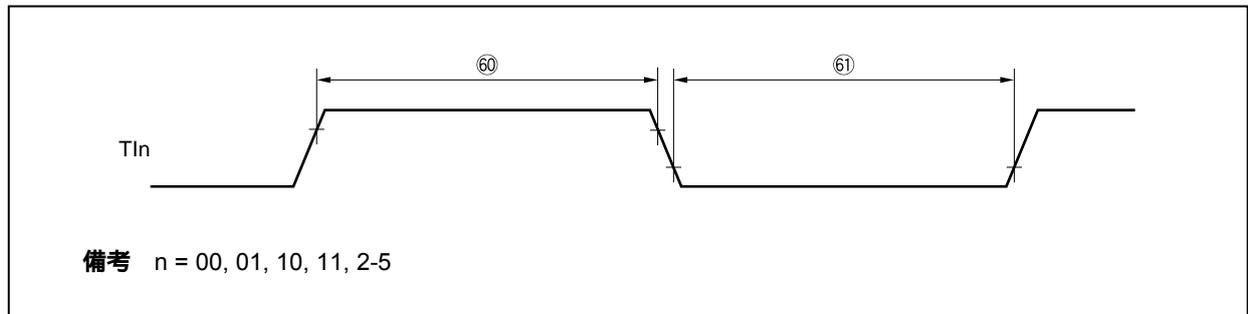
注 T<sub>sam</sub>(カウント・クロック周期)は、プリスケアラ・モード・レジスタn, n1 (PRMn, PRMn1)のPRMn2-PRMn0ビットを設定することにより、次に示す周期を選択できます。。

n = 0 (TM0) のとき, T<sub>sam</sub> = 2T, 4T, 16T, 64T, 256T, 1/INTWTI周期

n = 1 (TM1) のとき, T<sub>sam</sub> = 2T, 4T, 16T, 32T, 128T, 256T周期

ただし、カウント・クロックとして、TIn0有効エッジを選択した場合は、T<sub>sam</sub> = 2Tとなります。

備考 T = 1/f<sub>xx</sub>



CSIタイミング

(1) マスタ・モード ( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$  V,  $V_{SS} = AV_{SS} = BV_{SS} = 0$  V,  $C_L = 50$  pF)

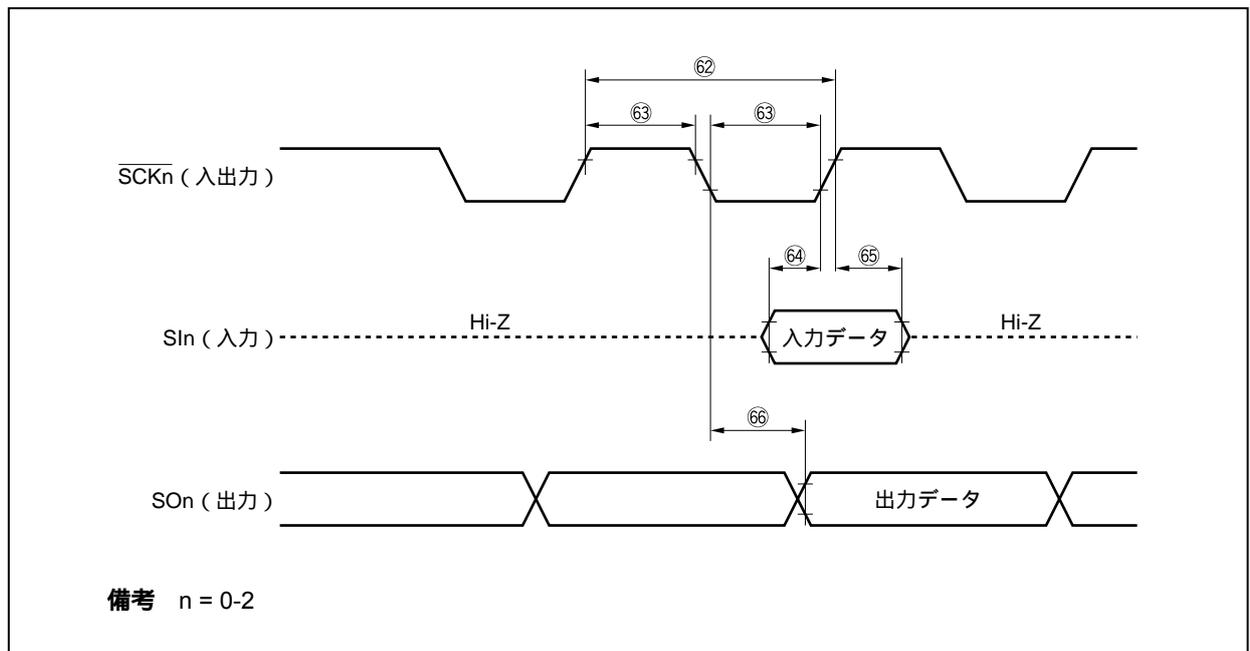
項目	略号	条件	MIN.	MAX.	単位
SCKnサイクル・タイム	t <sub>KCY1</sub>	⑥2	400		ns
SCKnハイ/ロウ・レベル幅	t <sub>KH1</sub> , t <sub>KL1</sub>	⑥3	140		ns
SInセットアップ時間 (対SCKn)	t <sub>SIK1</sub>	⑥4	50		ns
SInホールド時間 (対SCKn)	t <sub>KS1</sub>	⑥5	50		ns
SCKn SOn出力遅延時間	t <sub>KSO1</sub>	⑥6		60	ns

備考 n = 0-2

(2) スレーブ・モード ( $T_A = -40 \sim +85$  °C,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$  V,  $V_{SS} = AV_{SS} = BV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
SCKnサイクル・タイム	t <sub>KCY2</sub>	⑥2	400		ns
SCKnハイ/ロウ・レベル幅	t <sub>KH2</sub> , t <sub>KL2</sub>	⑥3	140		ns
SInセットアップ時間 (対SCKn)	t <sub>SIK2</sub>	⑥4	50		ns
SInホールド時間 (対SCKn)	t <sub>KS2</sub>	⑥5	50		ns
SCKn SOn出力遅延時間	t <sub>KSO2</sub>	⑥6		60	ns

備考 n = 0-2

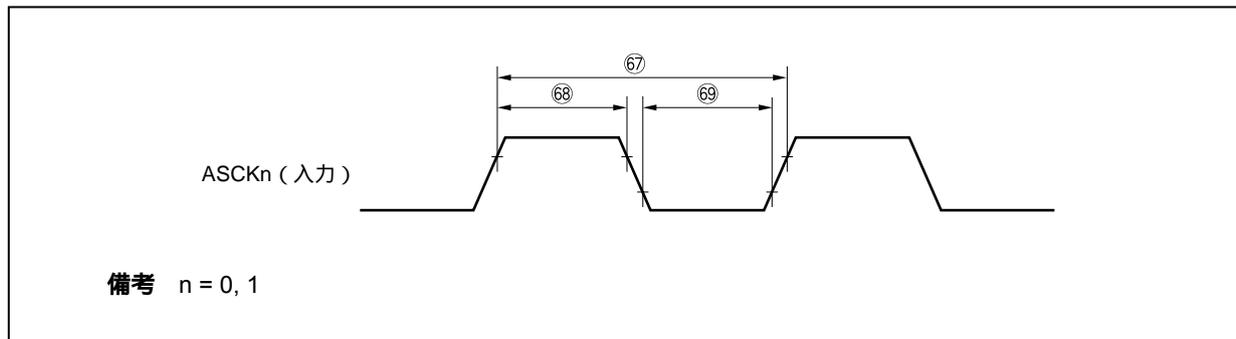


UARTタイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6 \text{ V}$ ,  $V_{SS} = AV_{SS} = BV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
ASCKnサイクル・タイム	$t_{KCY13}$	⑥7	200		ns
ASCKnハイ・レベル幅	$t_{KH13}$	⑥8	80		ns
ASCKnロウ・レベル幅	$t_{KL13}$	⑥9	80		ns

備考 n = 0, 1



I<sup>2</sup>Cバス・モード

( $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ) (1/2)

( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$  V,  $V_{SS} = AV_{SS} = BV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	標準モード		高速モード		単位	
		MIN.	MAX.	MIN.	MAX.		
SCLクロック周波数	f <sub>CLK</sub>	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t <sub>BUF</sub>	⑦0	4.7	-	1.3	$\mu$ s	
ホールド時間 <sup>注1</sup>	t <sub>HD : STA</sub>	⑦1	4.0	-	0.6	$\mu$ s	
SCLクロックのロウ・レベル幅	t <sub>LOW</sub>	⑦2	4.7	-	1.3	$\mu$ s	
SCLクロックのハイ・レベル幅	t <sub>HIGH</sub>	⑦3	4.0	-	0.6	$\mu$ s	
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU : STA</sub>	⑦4	4.7	-	0.6	$\mu$ s	
データ・ホールド時間	CBUS互換マスタの場合	⑦5	5.0	-	-	$\mu$ s	
	I <sup>2</sup> Cモードの場合		0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>	$\mu$ s
データ・セットアップ時間	t <sub>SU : DAT</sub>	⑦6	250	-	100 <sup>注4</sup>	ns	
SDAおよびSCL信号の立ち上がり時間	t <sub>r</sub>	⑦7	-	1000	20 + 0.1Cb <sup>注5</sup>	300	ns
SDAおよびSCL信号の立ち下がり時間	t <sub>f</sub>	⑦8	-	300	20 + 0.1Cb <sup>注5</sup>	300	ns
ストップ・コンディションのセットアップ時間	t <sub>SU : STO</sub>	⑦9	4.0	-	0.6	$\mu$ s	
入力フィルタによって抑制されるスパイクのパルス幅	t <sub>SP</sub>	⑧0	-	-	0	50	ns
各バス・ラインの容量性負荷	C <sub>b</sub>		-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCLの立ち下がり端の未定義領域を埋めるために（SCL信号のV<sub>IHmin.</sub>での）SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL信号のロウ・ホールド時間（t<sub>LOW</sub>）を延長しない場合は、最大データ・ホールド時間（t<sub>HD : DAT</sub>）のみ満たすことが必要です。
- 高速モードI<sup>2</sup>Cバスは、標準モードI<sup>2</sup>Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL信号のロウ状態ホールド時間を延長しない場合

t<sub>SU : DAT</sub> 250 ns

- ・装置がSCL信号のロウ状態ホールド時間を延長する場合

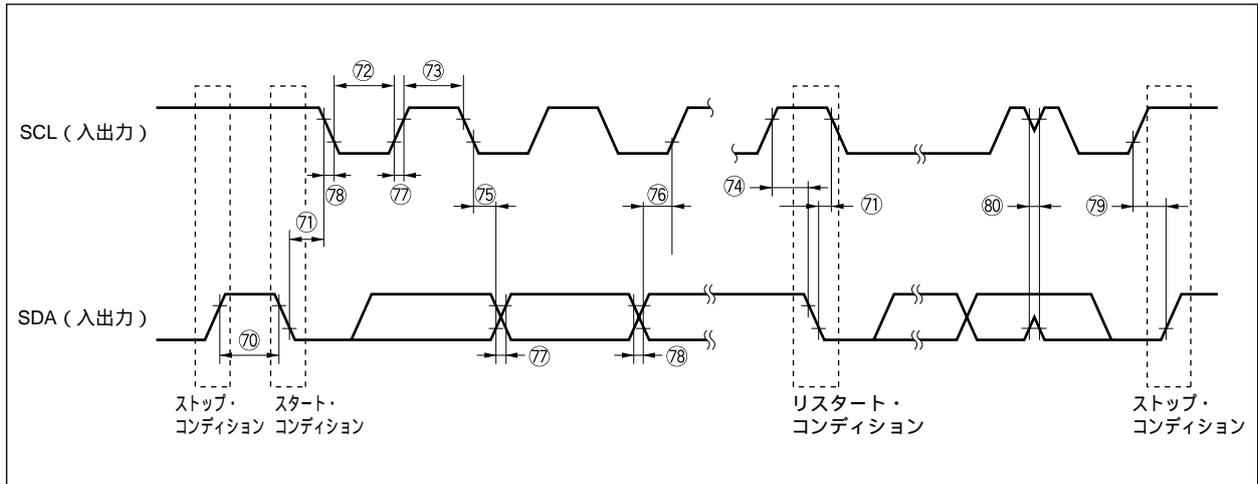
SCLラインが解放される（t<sub>rmax.</sub> + t<sub>SU : DAT</sub> = 1000 + 250 = 1250 ns：標準モードI<sup>2</sup>Cバス仕様）前に、次のデータ・ビットをSDAラインに送出してください。

5. C<sub>b</sub> : 1つのバス・ラインの合計キャパシタンス（単位：pF）

備考  $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYの最高動作周波数は、f<sub>xx</sub> = 17 MHzになります。

I<sup>2</sup>Cバス・モード

( $\mu$ PD703014AY, 703014BY, 703015AY, 703015BY, 703017AY, 70F3015BY, 70F3017AYのみ) (2/2)



A/Dコンバータ ( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = AV_{REF} = 2.7 \sim 3.6$  V,  $AV_{SS} = V_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 <sup>注1</sup>					$\pm 0.8$	%FSR
変換時間	t <sub>CONV</sub>		5		100	$\mu$ s
ゼロスケール誤差 <sup>注1</sup>					$\pm 0.4$	%FSR
フルスケール誤差 <sup>注1</sup>					$\pm 0.4$	%FSR
積分直線性誤差 <sup>注2</sup>					$\pm 4$	LSB
微分直線性誤差 <sup>注2</sup>					$\pm 4$	LSB
アナログ基準電圧	AV <sub>REF</sub>	AV <sub>REF</sub> = AV <sub>DD</sub>	2.7		3.6	V
アナログ入力電圧	V <sub>IAN</sub>		AV <sub>SS</sub>		AV <sub>REF</sub>	V
AV <sub>REF</sub> 電流	AI <sub>REF</sub>			360	500	$\mu$ A
AV <sub>DD</sub> 電源電流	AI <sub>DD</sub>			1	3	mA

注1. 量子化誤差 ( $\pm 0.05$  %FSR) は含みません。

2. 量子化誤差 ( $\pm 0.5$  LSB) は含みません。

備考 FSR : Full Scale Range

LSB : Least Significant Bit

フラッシュ・メモリ・プログラミング・モード

( $\mu$  PD70F3015B, 70F3015BY, 70F3017A, 70F3017AYのみ)

書き込み/消去特性 ( $T_A = 0 \sim 85$  ,  $V_{DD} = AV_{DD} = BV_{DD} = 3.0 \sim 3.6$  V,  $V_{SS} = AV_{SS} = BV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
V <sub>PP</sub> 電源電圧	V <sub>PP2</sub>	フラッシュ・メモリ・プログラミング・モード時	7.5	7.8	8.1	V	
V <sub>DD</sub> 電源電流	I <sub>DD</sub>	V <sub>PP</sub> = V <sub>PP2</sub> 時, f <sub>XX</sub> = 20 MHz			67	mA	
V <sub>PP</sub> 電源電流	I <sub>PP</sub>	V <sub>PP</sub> = V <sub>PP2</sub> 時, 消去から0.1 s後			100	mA	
ステップ消去時間	t <sub>ER</sub>	注1		0.2		s	
1エリアあたりの総消去時間 <sup>注2</sup>	t <sub>ERA</sub>	ステップ消去時間 = 0.2 s時, 注3			20	s/エリア	
ライトバック時間	t <sub>WB</sub>	注4		1		ms	
1ライトバック・コマンドあたりのライトバック回数	C <sub>WB</sub>	ライトバック時間 = 1 ms時, 注5			300	回/ライトバック・コマンド	
消去-ライトバック回数	C <sub>ERWB</sub>				16	回	
ステップ書き込み時間	t <sub>WR</sub>	注6		20		$\mu$ s	
1ワードあたりの総書き込み時間	t <sub>WRW</sub>	ステップ書き込み時間 = 20 $\mu$ s設定時(1ワード = 4 バイト), 注7	20		200	$\mu$ s/ワード	
1エリアあたりの書き換え回数 <sup>注2</sup>	C <sub>ERWR</sub>	消去1回 + 消去後の書き込み1回 = 書き換え1回とする, 注8, 9				100	回/エリア
						20	回/エリア

- 注1. ステップ消去時間の推奨設定値 = 0.2 sです。
2.  $\mu$  PD70F3015B, 70F3015BYには, エリアはありません。  
 $\mu$  PD70F3017A, 70F3017AYのエリアは, 次のとおりです。  
 エリア0 = 000000H-01FFFFH  
 エリア1 = 020000H-03FFFFH
3. 消去前のプリライトおよび消去ベリファイ時間(ライトバック時間)は含まれません。
4. ライトバック時間の推奨設定値 = 1 msです。
5. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, リトライ回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。
6. ステップ書き込み時間の推奨設定値 = 20  $\mu$ sです。
7. 実際の1ワードあたりの書き込み時間は20  $\mu$ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。
8. 出荷品に対する初回書き込み時には, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え回数は1回となります。

例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回  
 出荷品 E P E P E P : 書き換え回数3回

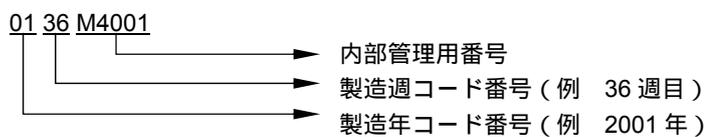
注9. 製品により，またはパッケージに捺印されているロット番号により，書き換え回数20回保証品と100回保証品を判別できます（xxxxは内部管理用の4桁の数字もしくは記号です）。

・ $\mu$ PD70F3015B, 70F3015BY : 100回保証品のみ（書き換え温度：0～85 ）

・ $\mu$ PD70F3017A, 70F3017AY

	20回保証品	100回保証品
ロット番号	0135Mxxxx以前	0136Mxxxx以降（0136Mxxxx含む）
フラッシュ・メモリ書き換え回数	20回	100回
フラッシュ・メモリ書き換え温度	10～40	0～85

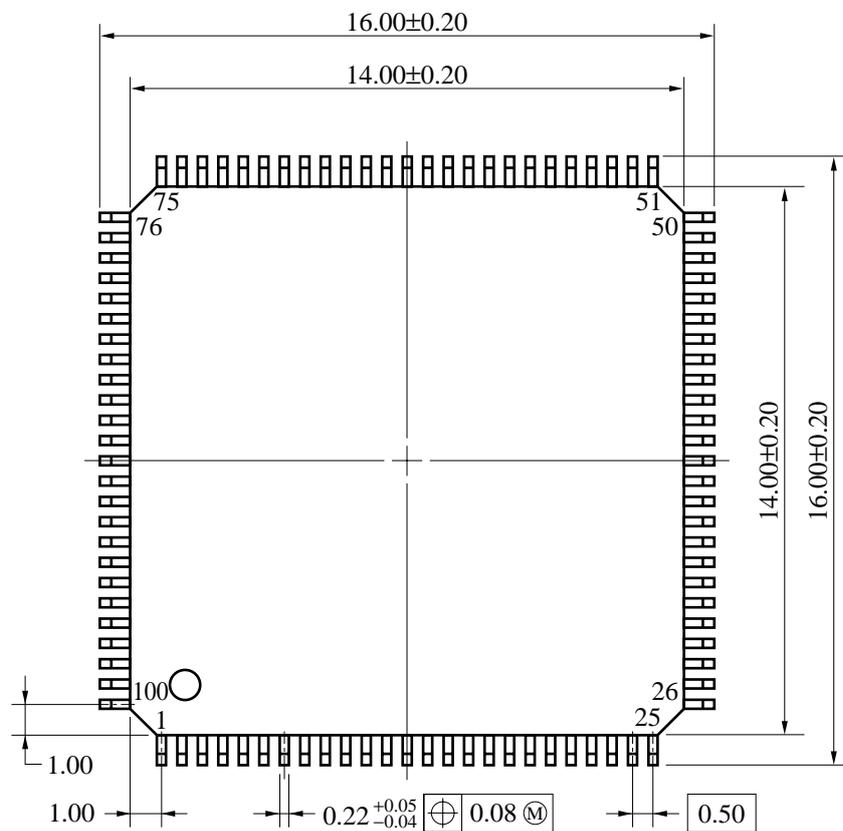
・ロット番号について



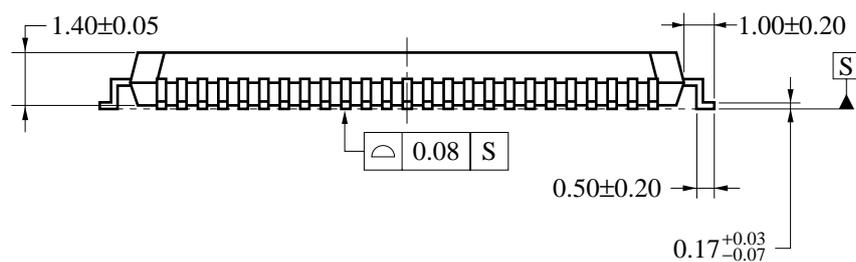
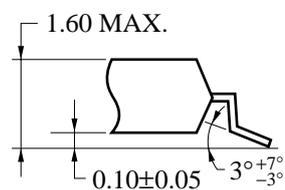
備考 PG-FP3, PG-FP4使用時は，パラメータ・ファイルのダウンロードによって書き込み／消去に必要な時間のパラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

## 第18章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位: mm)

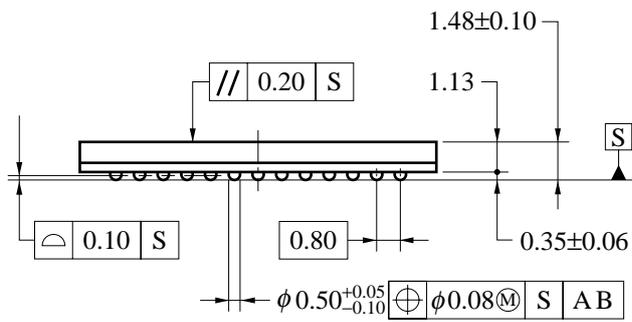
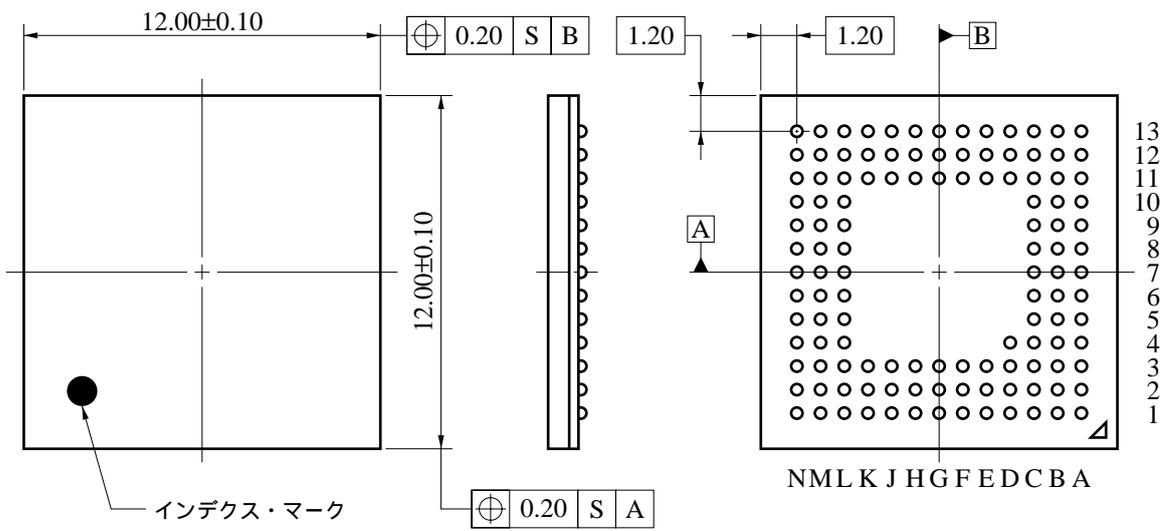


端子先端形状詳細図



S100GC-50-8EU, 8EA-2

121ピン・プラスチック FBGA (12x12)(単位: mm)



P121F1-80-EA6

## 第19章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表19 - 1 表面実装タイプの半田付け条件 (1/4)

(1)  $\mu$ PD703014BGC-xxx-8EU 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

$\mu$ PD703014BYGC-xxx-8EU "

$\mu$ PD703015BGC-xxx-8EU "

$\mu$ PD703015BYGC-xxx-8EU "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内	VP15-00-2
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

**注意** 半田付け方式の併用はお避けください (ただし、端子部分加熱は除く)。

(2)  $\mu$ PD703017AGC-xxx-8EU 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

$\mu$ PD703017AYGC-xxx-8EU "

$\mu$ PD70F3015BGC-8EU "

$\mu$ PD70F3015BYGC-8EU "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内 制限日数：7日間 <sup>注</sup> (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は、包装状態でのベーキング ができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内 制限日数：7日間 <sup>注</sup> (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は、包装状態でのベーキング ができません。	VP15-107-2
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

**注** ドライバック開封後の保管日数で、保管条件は25 ，65 %RH以下。

**注意** 半田付け方式の併用はお避けください (ただし、端子部分加熱は除く)。

表19 - 1 表面実装タイプの半田付け条件 (2/4)

(3)  $\mu$ PD70F3017AGC-8EU 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

$\mu$ PD70F3017AYGC-8EU " "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内 制限日数：3日間 <sup>注</sup> (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内 制限日数：3日間 <sup>注</sup> (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	VP15-103-2
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

(4)  $\mu$ PD703014AF1-xxx-EA6 121ピン・プラスチックFBGA (12 × 12)

$\mu$ PD703014AYF1-xxx-EA6 " "  
 $\mu$ PD703015AF1-xxx-EA6 " "  
 $\mu$ PD703015AYF1-xxx-EA6 " "  
 $\mu$ PD703017AF1-xxx-EA6 " "  
 $\mu$ PD703017AYF1-xxx-EA6 " "  
 $\mu$ PD70F3017AF1-EA6 " "  
 $\mu$ PD70F3017AYF1-EA6 " "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内 制限日数：7日間 <sup>注</sup> (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内 制限日数：7日間 <sup>注</sup> (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	VP15-107-2

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください。

表19 - 1 表面実装タイプの半田付け条件 (3/4)

(5)  $\mu$ PD703015BGC-xxx-8EU-A 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

$\mu$  PD703015BYGC-xxx-8EU-A " "

$\mu$  PD703017AYGC-xxx-8EU-A " "

$\mu$  PD70F3015BGC-8EU-A " "

$\mu$  PD70F3017AGC-8EU-A " "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：3日以内 <sup>注</sup> （以降は125℃プリベーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-203-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺あたり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

(6)  $\mu$ PD703014BGC-xxx-8EU-A 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

$\mu$  PD703014BYGC-xxx-8EU-A " "

$\mu$  PD703017AGC-xxx-8EU-A " "

$\mu$  PD70F3015BYGC-8EU-A " "

$\mu$  PD70F3017AYGC-8EU-A " "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日以内 <sup>注</sup> （以降は125℃プリベーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺あたり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

表19 - 1 表面実装タイプの半田付け条件 (4/4)

(7)  $\mu$ PD703014AF1-xxx-EA6-A 121ピン・プラスチックFBGA (12×12)

$\mu$ PD703014AYF1-xxx-EA6-A	〃
$\mu$ PD703014BF1-xxxEA6-A	〃
$\mu$ PD703015AF1-xxx-EA6-A	〃
$\mu$ PD703015AYF1-xxx-EA6-A	〃
$\mu$ PD703015BF1-xxx-EA6-A	〃
$\mu$ PD703017AF1-xxx-EA6-A	〃
$\mu$ PD703017AYF1-xxx-EA6-A	〃
$\mu$ PD70F3015BF1-EA6-A	〃
$\mu$ PD70F3017AF1-EA6-A	〃
$\mu$ PD70F3017AYF1-EA6-A	〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：3日以内 <sup>注</sup> （以降は125 プリベーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング できません。	IR60-203-3

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

(8)  $\mu$ PD703014BYF1-xxx-EA6-A 121ピン・プラスチックFBGA (12×12)

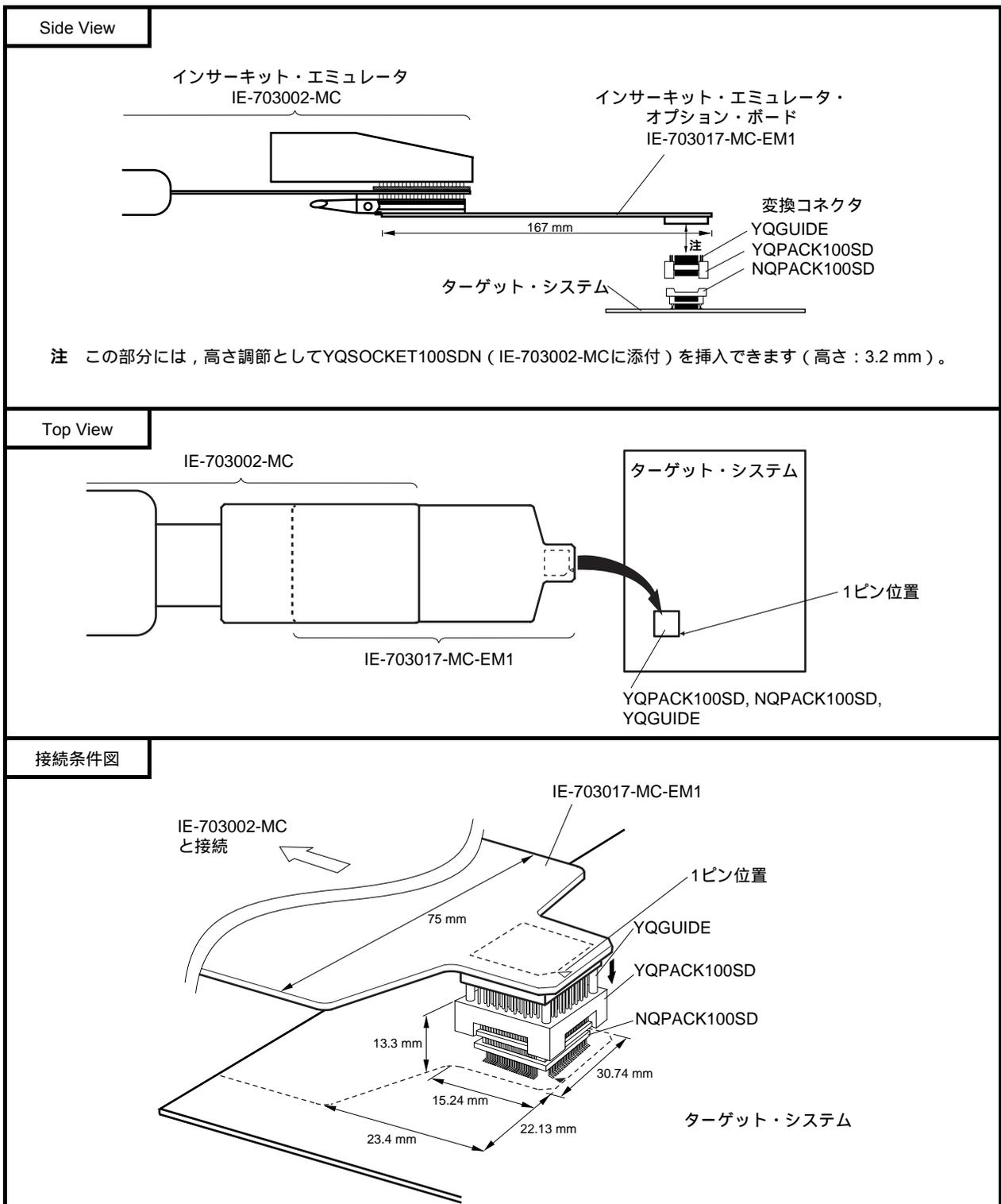
$\mu$ PD703015BYF1-xxx-EA6-A	〃
$\mu$ PD70F3015BYF1-EA6-A	〃

未定

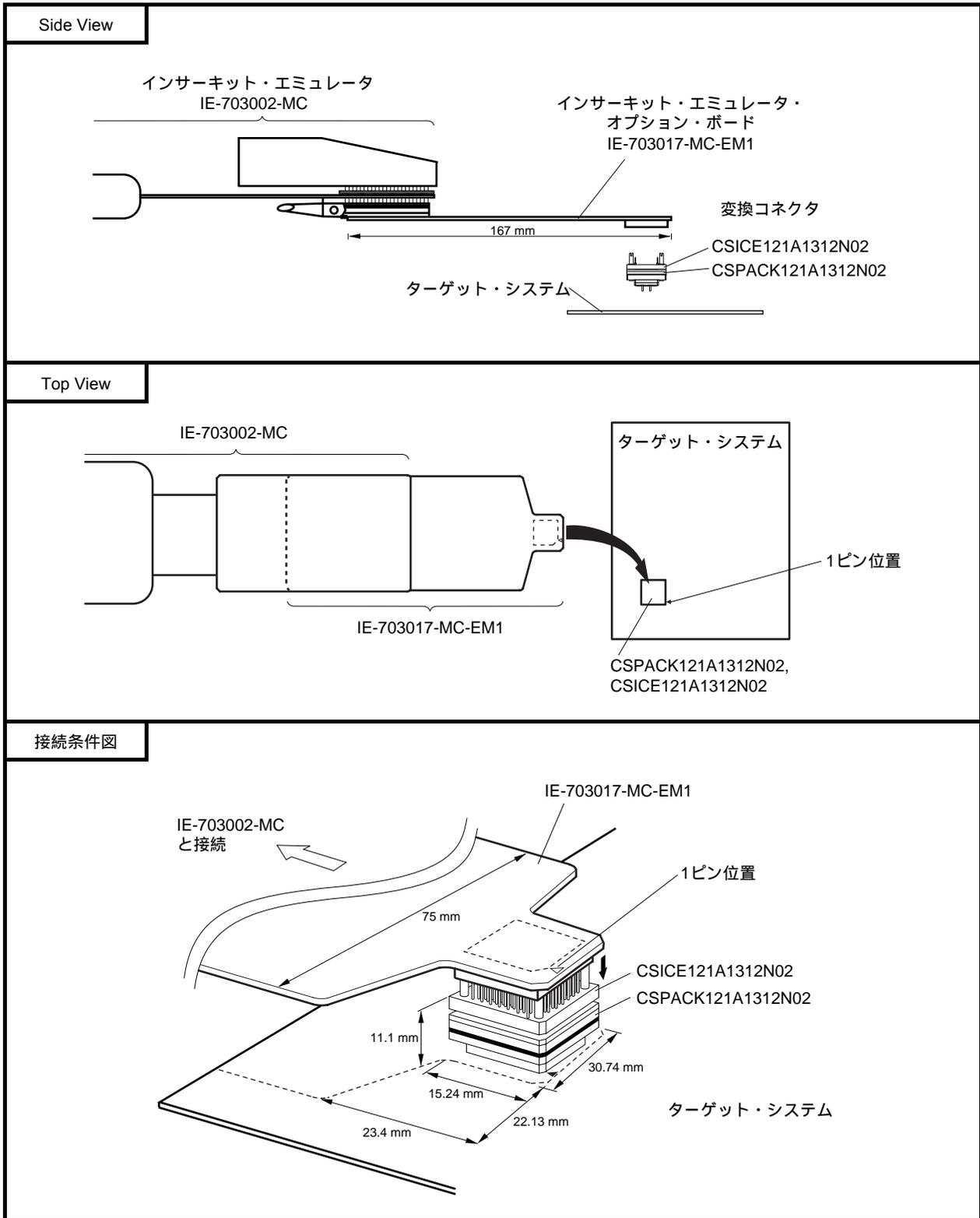
## 付録A ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成を基にターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図A - 1 100ピン・プラスチックLQFP（ファインピッチ）（14×14）の場合



図A-2 121ピン・プラスチックFBGA (12×12) の場合



## 付録B レジスタ索引

( 1/5 )

略号	名称	ユニット	ページ
ADCR	A/D変換結果レジスタ	ADC	314
ADGRH	A/D変換結果レジスタH	ADC	314
ADIC	割り込み制御レジスタ	INTC	125-127
ADM	A/Dコンバータ・モード・レジスタ	ADC	315
ADS	アナログ入力チャンネル指定レジスタ	ADC	318
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	293
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	293
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	294
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	294
BCC	バス・サイクル・コントロール・レジスタ	BCU	98
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRG	295
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRG	295
BRGMC0	ポー・レート・ジェネレータ・モード・コントロール・レジスタ0	BRG	296
BRGMC01	ポー・レート・ジェネレータ・モード・コントロール・レジスタ01	BRG	296
BRGMC1	ポー・レート・ジェネレータ・モード・コントロール・レジスタ1	BRG	297
CR00	キャプチャ/コンペア・レジスタ00	RPU	160
CR01	キャプチャ/コンペア・レジスタ01	RPU	161
CR10	キャプチャ/コンペア・レジスタ10	RPU	160
CR11	キャプチャ/コンペア・レジスタ11	RPU	161
CR20	8ビット・コンペア・レジスタ2	RPU	195
CR23	16ビット・コンペア・レジスタ23 ( TM2, TM3カスケード接続時のみ )	RPU	209
CR30	8ビット・コンペア・レジスタ3	RPU	195
CR40	8ビット・コンペア・レジスタ4	RPU	195
CR45	16ビット・コンペア・レジスタ45 ( TM4, TM5カスケード接続時のみ )	RPU	209
CR50	8ビット・コンペア・レジスタ5	RPU	195
CRC0	キャプチャ/コンペア・コントロール・レジスタ0	RPU	164
CRC1	キャプチャ/コンペア・コントロール・レジスタ1	RPU	164
CSIC0	割り込み制御レジスタ	INTC	125-127
CSIC1	割り込み制御レジスタ	INTC	125-127
CSIC2	割り込み制御レジスタ	INTC	125-127
CSIM0	シリアル動作モード・レジスタ0	CSI	227
CSIM1	シリアル動作モード・レジスタ1	CSI	227
CSIM2	シリアル動作モード・レジスタ2	CSI	227
CSIS0	シリアル・クロック選択レジスタ0	CSI	227
CSIS1	シリアル・クロック選択レジスタ1	CSI	227
CSIS2	シリアル・クロック選択レジスタ2	CSI	227
DBC0	DMAバイト・カウント・レジスタ0	DMAC	339
DBC1	DMAバイト・カウント・レジスタ1	DMAC	339
DBC2	DMAバイト・カウント・レジスタ2	DMAC	339

略号	名称	ユニット	ページ
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	339
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	339
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	339
DIOA0	DMA周辺I/Oアドレス・レジスタ0	DMAC	336
DIOA1	DMA周辺I/Oアドレス・レジスタ1	DMAC	336
DIOA2	DMA周辺I/Oアドレス・レジスタ2	DMAC	336
DMAIC0	割り込み制御レジスタ	INTC	125-127
DMAIC1	割り込み制御レジスタ	INTC	125-127
DMAIC2	割り込み制御レジスタ	INTC	125-127
DRA0	DMA内蔵RAMアドレス・レジスタ0	DMAC	336
DRA1	DMA内蔵RAMアドレス・レジスタ1	DMAC	336
DRA2	DMA内蔵RAMアドレス・レジスタ2	DMAC	336
DWC	データ・ウェイト・コントロール・レジスタ	BCU	96
ECR	割り込み要因レジスタ	CPU	65
EGN0	立ち下がりエッジ指定レジスタ	INTC	117, 355
EGP0	立ち上がりエッジ指定レジスタ	INTC	117, 355
EIPC	割り込み時状態退避レジスタ	CPU	65
EIPSW	割り込み時状態退避レジスタ	CPU	65
FEPC	NMI時状態退避レジスタ	CPU	65
FEPSW	NMI時状態退避レジスタ	CPU	65
★FLPMC	フラッシュ・メモリ・プログラミング・モード・コントロール・レジスタ	CPU	427
IIC0	IICシフト・レジスタ0	I <sup>2</sup> C	246
IICC0	IICコントロール・レジスタ0	I <sup>2</sup> C	238
IICCL0	IICクロック選択レジスタ0	I <sup>2</sup> C	245
IICSO	IIC状態レジスタ0	I <sup>2</sup> C	242
IICX0	IIC機能拡張レジスタ0	I <sup>2</sup> C	245
ISPR	インサースビス・プライオリティ・レジスタ	INTC	128
MAM	メモリ・アドレス出力モード・レジスタ	ポート	81
MM	メモリ拡張モード・レジスタ	ポート	80
OSTS	発振安定時間選択レジスタ	WDT	146, 219, 224
P0	ポート0	ポート	352
P1	ポート1	ポート	357
P10	ポート10	ポート	387
P11	ポート11	ポート	391
P12	ポート12	ポート	394
P2	ポート2	ポート	363
P3	ポート3	ポート	371
P4	ポート4	ポート	376
P5	ポート5	ポート	376
P6	ポート6	ポート	379
P7	ポート7	ポート	381
P8	ポート8	ポート	381
P9	ポート9	ポート	383
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	143

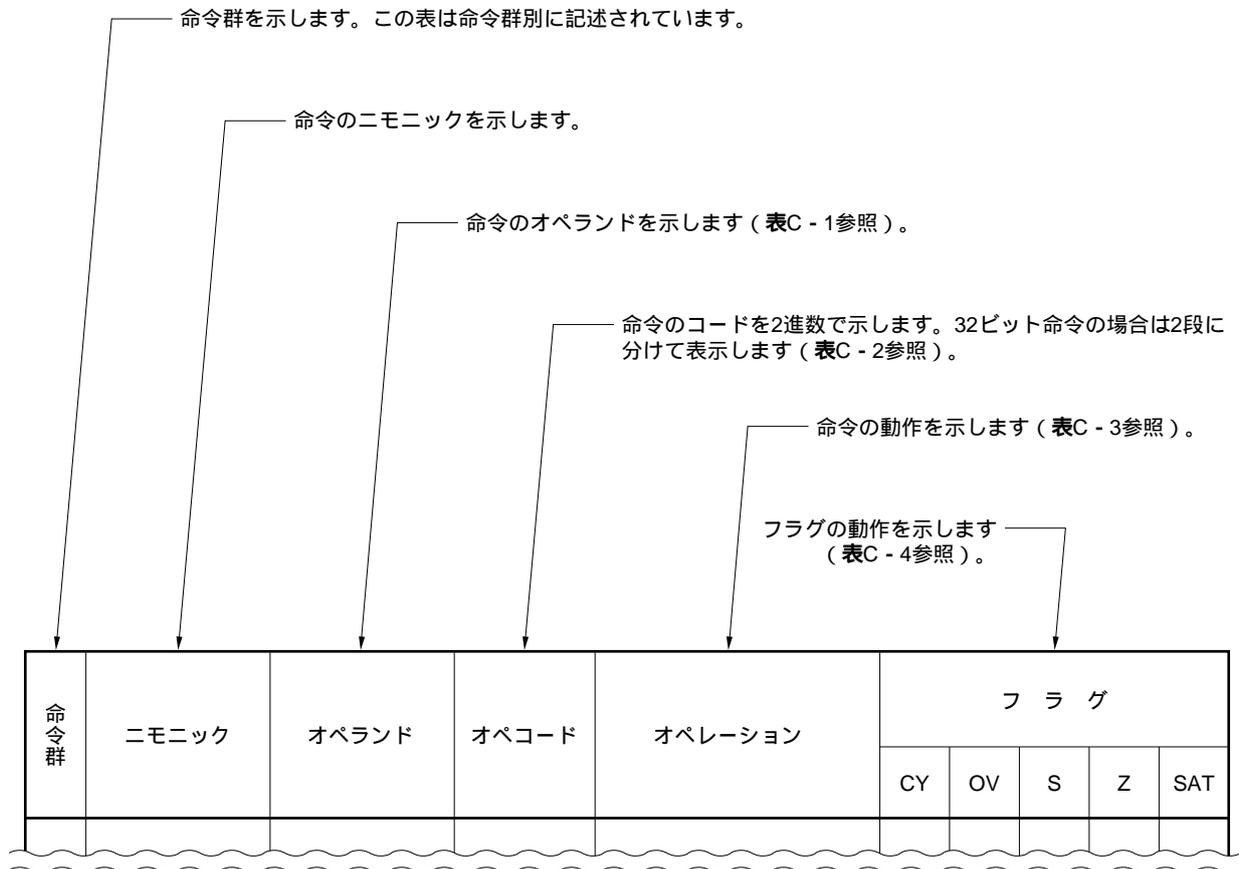
略号	名称	ユニット	ページ
PF1	ポート1ファンクション・レジスタ	ポート	358
PF10	ポート10ファンクション・レジスタ	ポート	389
PF2	ポート2ファンクション・レジスタ	ポート	365
PIC0	割り込み制御レジスタ	INTC	125-127
PIC1	割り込み制御レジスタ	INTC	125-127
PIC2	割り込み制御レジスタ	INTC	125-127
PIC3	割り込み制御レジスタ	INTC	125-127
PIC4	割り込み制御レジスタ	INTC	125-127
PIC5	割り込み制御レジスタ	INTC	125-127
PIC6	割り込み制御レジスタ	INTC	125-127
PM0	ポート0モード・レジスタ	ポート	354
PM1	ポート1モード・レジスタ	ポート	358
PM10	ポート10モード・レジスタ	ポート	388
PM11	ポート11モード・レジスタ	ポート	392
PM12	ポート12モード・レジスタ	ポート	395
PM2	ポート2モード・レジスタ	ポート	364
PM3	ポート3モード・レジスタ	ポート	372
PM4	ポート4モード・レジスタ	ポート	377
PM5	ポート5モード・レジスタ	ポート	377
PM6	ポート6モード・レジスタ	ポート	380
PM9	ポート9モード・レジスタ	ポート	384
PMC12	ポート12モード・コントロール・レジスタ	ポート	395
PRCMD	コマンド・レジスタ	CG	91
PRM0	プリスケアラ・モード・レジスタ0	RPU	166
PRM01	プリスケアラ・モード・レジスタ01	RPU	166
PRM1	プリスケアラ・モード・レジスタ1	RPU	168
PRM11	プリスケアラ・モード・レジスタ11	RPU	168
PSC	パワー・セーブ・コントロール・レジスタ	CG	145
PSW	プログラム・ステータス・ワード	CPU	66
PU0	ブルアップ抵抗オプション・レジスタ0	ポート	354
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	358
PU10	ブルアップ抵抗オプション・レジスタ10	ポート	389
PU11	ブルアップ抵抗オプション・レジスタ11	ポート	392
PU2	ブルアップ抵抗オプション・レジスタ2	ポート	365
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	372
RTBH	リアルタイム出力バッファ・レジスタH	RPU	346
RTBL	リアルタイム出力バッファ・レジスタL	RPU	346
RTPC	リアルタイム出力ポート・コントロール・レジスタ	RPU	348
RTPM	リアルタイム出力ポート・モード・レジスタ	RPU	347
RX0	受信シフト・レジスタ0	UART	291
RX1	受信シフト・レジスタ1	UART	291
RXB0	受信バッファ・レジスタ0	UART	291
RXB1	受信バッファ・レジスタ1	UART	291
SAR	逐次変換レジスタ	ADC	313

略号	名称	ユニット	ページ
SERIC0	割り込み制御レジスタ	INTC	125-127
SERIC1	割り込み制御レジスタ	INTC	125-127
SIO0	シリアルI/Oシフト・レジスタ0	CSI	226
SIO1	シリアルI/Oシフト・レジスタ1	CSI	226
SIO2	シリアルI/Oシフト・レジスタ2	CSI	226
SRIC1	割り込み制御レジスタ	INTC	125-127
STIC0	割り込み制御レジスタ	INTC	125-127
STIC1	割り込み制御レジスタ	INTC	125-127
SVA0	スレーブ・アドレス・レジスタ0	I <sup>2</sup> C	246
SYC	システム制御レジスタ	BCU	93
SYS	システム・ステータス・レジスタ	CG	91
TCL2	タイマ・クロック選択レジスタ2	RPU	197
TCL21	タイマ・クロック選択レジスタ21	RPU	197
TCL3	タイマ・クロック選択レジスタ3	RPU	197
TCL31	タイマ・クロック選択レジスタ31	RPU	197
TCL4	タイマ・クロック選択レジスタ4	RPU	197
TCL41	タイマ・クロック選択レジスタ41	RPU	197
TCL5	タイマ・クロック選択レジスタ5	RPU	197
TCL51	タイマ・クロック選択レジスタ51	RPU	197
TM0	16ビット・タイマ・レジスタ0	RPU	159
TM1	16ビット・タイマ・レジスタ1	RPU	159
TM2	8ビット・カウンタ2	RPU	195
TM23	16ビット・カウンタ23 (TM2, TM3カスケード接続時のみ)	RPU	209
TM3	8ビット・カウンタ3	RPU	195
TM4	8ビット・カウンタ4	RPU	195
TM45	16ビット・カウンタ45 (TM4, TM5カスケード接続時のみ)	RPU	209
TM5	8ビット・カウンタ5	RPU	195
TMC0	16ビット・タイマ・モード・コントロール・レジスタ0	RPU	162
TMC1	16ビット・タイマ・モード・コントロール・レジスタ1	RPU	162
TMC2	8ビット・タイマ・モード・コントロール・レジスタ2	RPU	199
TMC3	8ビット・タイマ・モード・コントロール・レジスタ3	RPU	199
TMC4	8ビット・タイマ・モード・コントロール・レジスタ4	RPU	199
TMC5	8ビット・タイマ・モード・コントロール・レジスタ5	RPU	199
TMIC00	割り込み制御レジスタ	INTC	125-127
TMIC01	割り込み制御レジスタ	INTC	125-127
TMIC10	割り込み制御レジスタ	INTC	125-127
TMIC11	割り込み制御レジスタ	INTC	125-127
TMIC2	割り込み制御レジスタ	INTC	125-127
TMIC3	割り込み制御レジスタ	INTC	125-127
TMIC4	割り込み制御レジスタ	INTC	125-127
TMIC5	割り込み制御レジスタ	INTC	125-127
TOC0	16ビット・タイマ出力コントロール・レジスタ0	RPU	165
TOC1	16ビット・タイマ出力コントロール・レジスタ1	RPU	165
TXS0	送信シフト・レジスタ0	UART	291

略号	名称	ユニット	ページ
TXS1	送信シフト・レジスタ1	UART	291
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	220
WDTIC	割り込み制御レジスタ	INTC	125-127
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	129, 221
WTIC	割り込み制御レジスタ	INTC	125-127
WTIIC	割り込み制御レジスタ	INTC	125-127
WTM	時計用タイマ・モード・コントロール・レジスタ	WT	214

# 付録C 命令セット一覧

## ・命令セット一覧表の読み方



表C-1 オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (r0-r31) : ソース・レジスタとして使用する。
reg2	汎用レジスタ (r0-r31) : おもにデスティネーション・レジスタとして使用する。
ep	エレメント・ポインタ (r30)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト
disp x	xビット・ディスプレイスメント
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ

表C - 2 オペコード欄に使われる略号

略号	意味
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
d	ディスプレイメントの1ビット分データ
i	イミディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定3ビット・データ

表C - 3 オペレーション欄に使われる略号

略号	意味
	代入
GR[ ]	汎用レジスタ
SR[ ]	システム・レジスタ
zero-extend ( n )	nをワード長までゼロ拡張する。
sign-extend ( n )	nをワード長まで符号拡張する。
load-memory ( a,b )	アドレスaから、サイズbのデータを読み出す。
store-memory ( a,b,c )	アドレスaに、データbをサイズcで書き込む。
load-memory-bit ( a,b )	アドレスaのビットbを読み出す。
store-memory-bit ( a,b,c )	アドレスaのビットbにcを書き込む。
saturated ( n )	nの飽和处理を行う ( nは2の補数 )。 nが計算の結果、 n 7FFFFFFFHとなった場合、7FFFFFFFHとする。 n 80000000Hとなった場合、80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト ( 8ビット )
Halfword	ハーフワード ( 16ビット )
Word	ワード ( 32ビット )
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

表C - 4 フラグの動作

識別子	説 明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる
R	以前に退避した値がリストアされる

表C - 5 条件コード

条件名 (cond)	条件コード (cccc)	条 件 式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower ( Less than )
NC/NL	1001	$CY = 0$	No carry No lower ( Greater than or equal )
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$( CY OR Z ) = 1$	Not higher ( Less than or equal )
H	1011	$( CY OR Z ) = 0$	Higher ( Greater than )
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always ( 無条件 )
SA	1101	$SAT = 1$	Saturated
LT	0110	$( S XOR OV ) = 1$	Less than signed
GE	1110	$( S XOR OV ) = 0$	Greater than or equal signed
LE	0111	$(( S XOR OV ) OR Z ) = 1$	Less than or equal signed
GT	1111	$(( S XOR OV ) OR Z ) = 0$	Greater than signed

命令セット一覧表

命令群	ニモニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
ロード/ストア命令	SLD.B	disp7[ep], reg2	rrrrr0110ddddddd	adr ep + zero-extend(disp7) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	SLD.H	disp8[ep], reg2	rrrrr1000ddddddd 注1	adr ep + zero-extend(disp8) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	SLD.W	disp8[ep], reg2	rrrrr1010ddddddd0 注2	adr ep + zero-extend(disp8) GR[reg2] Load-memory(adr, Word)					
	LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] Load-memory(adr, Word)					
	SST.B	reg2, disp7[ep]	rrrrr0111ddddddd	adr ep + zero-extend(disp7) Store-memory(adr, GR[reg2], Byte)					
	SST.H	reg2, disp8[ep]	rrrrr1001ddddddd 注1	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Halfword)					
	SST.W	reg2, disp8[ep]	rrrrr1010ddddddd1 注2	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Word)					
	ST.B	reg2, disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Byte)					
	ST.H	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Halfword)					
	ST.W	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Word)					
算術演算命令	MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]					
	MOV	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend(imm5)					
	MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 <sup>16</sup> )					
	MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)					
	ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	x	x	x	x	
	ADD	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend(imm5)	x	x	x	x	
	ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)	x	x	x	x	
	SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	x	x	x	x		

注1. ddddddd = disp8の上位7ビット

2. ddddddd = disp8の上位6ビット

3. ddddddddddddddd = disp16の上位15ビット

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
算術演算命令	MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] <sup>注</sup> × GR[reg1] <sup>注</sup> (符号付き乗算)					
	MULH	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] <sup>注</sup> × sign-extend(imm5) (符号付き乗算)					
	MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] <sup>注</sup> × imm16 (符号付き乗算)					
	DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注</sup> (符号付き除算)		×	×	×	
	CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	×	×	×	×	
	CMP	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend(imm5)	×	×	×	×	
	SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 00000001H else GR[reg2] 00000000H					
飽和演算命令	SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated(GR[reg2] + GR[reg1])	×	×	×	×	×
	SATADD	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated(GR[reg2] + sign-extend(imm5))	×	×	×	×	×
	SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated(GR[reg2] - GR[reg1])	×	×	×	×	×
	SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated(GR[reg1] - sign-extend(imm16))	×	×	×	×	×
	SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated(GR[reg1] - GR[reg2])	×	×	×	×	×
論理演算命令	TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2]AND GR[reg1]		0	×	×	
	OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2]OR GR[reg1]		0	×	×	
	ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]OR zero-extend(imm16)		0	×	×	
	AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2]AND GR[reg1]		0	×	×	
	ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]AND zero-extend(imm16)		0	0	×	
	XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2]XOR GR[reg1]		0	×	×	
	XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]XOR zero-extend(imm16)		0	×	×	
	NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT(GR[reg1])		0	×	×	
	SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2] GR[reg2]logically shift left by GR[reg1]	×	0	×	×	
	SHL	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2]logically shift left by zero-extend(imm5)	×	0	×	×	
	SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2] GR[reg2]logically shift right by GR[reg1]	×	0	×	×	
	SHR	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2]logically shift right by zero-extend(imm5)	×	0	×	×	
	SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2] GR[reg2]arithmetically shift right by GR[reg1]	×	0	×	×	
SAR	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2]arithmetically shift right by zero-extend(imm5)	×	0	×	×		

注 下位ハーフワード・データのみ有効

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
分岐命令	JMP	[reg1]	00000000011RRRRR	PC GR[reg1]					
	JR	disp22	0000011110dddddd ddddddddddddddd0 注1	PC PC + sign-extend(disp22)					
	JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注1	GR[reg2] PC + 4 PC PC + sign-extend(disp22)					
	Bcond	disp9	dddd1011ddccc 注2	if conditions are satisfied then PC PC + sign-extend(disp9)					
ビット操作命令	SET1	bit#3, disp16[reg1]	00bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 1)				×	
	CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 0)				×	
	NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, Zフラグ)				×	
	TST1	bit#3, disp16[reg1]	11bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3))				×	

注1. dddddddddddddddddddd = disp22の上位21ビット

2. ddddddd = disp9の上位8ビット

命令群	ニモニック	オペランド	オペコード	オペレーション	フラグ					
					CY	OV	S	Z	SAT	
特殊命令	LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注	SR[regID] GR[reg2]	regID = EIPC, FEPC					
					regID = EIPSW, FEPSW					
					regID = PSW	x	x	x	x	x
	STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2] SR[regID]						
	TRAP	vector	000001111111iiii 0000000100000000	EIPC PC+4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)						
	RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	R	R	R	R	R	
	HALT		0000011111100000 0000000100100000	停止する						
	DI		0000011111100000 0000000101100000	PSW.ID 1 (マスカブル割り込みの禁止)						
EI		1000011111100000 0000000101100000	PSW.ID 0 (マスカブル割り込みの許可)							
NOP		0000000000000000	何もせず最低1クロック費やします							

注 この命令では、ニモニックの記述の都合上、ソース・レジスタをreg2としています。したがって、ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr = regID指定 RRRRR = reg2指定

## 付録D 総合索引

### D.1 50音で始まる語句の索引

#### 【あ】

アービトレーション ... 275  
アイドル・ステート挿入機能 ... 98  
アクセス・クロック数 ... 93  
アクノリッジ検出回路 ... 236  
アクノリッジ出力回路 ... 236  
アクノリッジ信号 ... 251  
アシンクロナス・シリアル・インタフェース  
... 290  
アシンクロナス・シリアル・インタフェース・ステ  
ータス・レジスタ0,1 ... 294  
アシンクロナス・シリアル・インタフェース・モー  
ド ... 299  
アシンクロナス・シリアル・インタフェース・モー  
ド・レジスタ0,1 ... 293  
アドレス (I<sup>2</sup>Cバス) ... 249  
アドレス空間 ... 69  
アドレス空間の推奨使用方法 ... 82  
アドレスの一致検出方法 ... 274  
アナログ入力チャンネル指定レジスタ ... 318

#### 【い】

イメージ ... 70  
インサービス・プライオリティ・レジスタ ... 128  
インターバル・タイマ ... 170, 201, 209, 215, 223  
イントロダクション ... 28

#### 【う】

ウエイク・アップ機能 ... 276  
ウエイク・アップ制御回路 ... 235  
ウエイト機能 ... 96  
ウエイト信号 (I<sup>2</sup>Cバス) ... 253  
ウォッチドッグ・タイマ ... 39, 217, 222  
ウォッチドッグ・タイマ・クロック選択レジスタ  
... 220  
ウォッチドッグ・タイマ・モード ... 218

ウォッチドッグ・タイマ・モード・レジスタ  
... 129, 221

#### 【え】

エラーの検出 ... 274  
エリア番号 ... 426

#### 【お】

応答時間 ... 137  
応用分野 ... 31  
オーダ情報 ... 31  
オフボード・プログラミング ... 403  
オンボード・プログラミング ... 403

#### 【か】

外形図 ... 466  
外部イベント・カウンタ ... 180, 204  
外部ウエイト機能 ... 97  
外部拡張モード ... 80  
外部メモリ領域 ... 78  
外部割り込み要求入力端子のエッジ検出機能  
... 117  
外部割り込み要求入力信号のノイズ除去 ... 116  
拡張コード ... 274  
カスケード接続(16ビット・タイマ)モード ... 209

#### 【き】

機能ブロック構成 ... 37  
キャプチャ/コンペア・コントロール・レジスタ0,1  
... 164  
キャプチャ/コンペア・レジスタn0 ... 160  
キャプチャ/コンペア・レジスタn1 ... 161  
境界動作条件 ... 108

#### 【く】

クロック・ジェネレータ ... 39

- クロック出力機能 ... 142
  - クロック・セレクタ ... 235
  - クロック発生機能 ... 141
- 【こ】**
- コマンド・レジスタ ... 91
- 【さ】**
- サブクロック発振回路 ... 141
  - サンプリング時間 ... 333
  - サンプル&ホールド回路 ... 314
- 【し】**
- システム・ステータス・レジスタ ... 91
  - システム制御レジスタ ... 93
  - システム・レジスタ・セット ... 65
  - 周辺I/Oレジスタ ... 84
  - 受信シフト・レジスタ0,1 ... 291
  - 受信制御回路 ... 292
  - 受信バッファ・レジスタ0,1 ... 291
  - 出力ラッチ ... 347
  - 消去単位 ... 402
  - 使用する資源 ... 416
  - シリアルI/Oシフト・レジスタ0-2 ... 226
  - シリアル・インタフェース機能 ... 224
  - シリアル・インタフェース端子 ... 411
  - シリアル・クロック・ウェイト制御回路 ... 236
  - シリアル・クロック・カウンタ ... 235
  - シリアル・クロック制御回路 ... 236
  - シリアル・クロック選択レジスタ0-2 ... 227
  - シリアル動作モード・レジスタ0-2 ... 227
  - シングルチップ・モード ... 68
- 【す】**
- スタート・コンディション ... 248
  - スタート・コンディション検出回路 ... 236
  - スタンバイ機能 ... 311
  - ストップ・コンディション ... 252
  - ストップ・コンディション検出回路 ... 236
  - スレーブ・アドレス・レジスタ0 ... 246
  - スレーブ動作 ... 282
- 【せ】**
- 積分直線性誤差 ... 332
  - セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 417
  - セルフ・プログラミング・インタフェースの概要 ... 419
  - セルフ・プログラミング機能 ... 418
  - セルフ・プログラミング機能番号 ... 422
  - セルフ・プログラミング時のエラー ... 425
  - セルフ・プログラミングの概要 ... 417
  - セルフ・プログラミング・ライブラリ ... 436
  - ゼロスケール誤差 ... 331
- 【そ】**
- 送信制御回路 ... 292
  - 送信シフト・レジスタ0,1 ... 291
  - 総合誤差 ... 329
  - ソフトウェアSTOPモード ... 152
  - ソフトウェア環境 ... 421
  - ソフトウェア・スタート ... 312, 324
  - ソフトウェア例外 ... 130
- 【た】**
- タイマ/カウンタ機能 ... 157
  - タイマ・クロック選択レジスタ2-5, 21-51 ... 197
  - 多重割り込み ... 135
  - 立ち上がりエッジ指定レジスタ0 ... 117, 355
  - 立ち下がりエッジ指定レジスタ0 ... 117, 355
  - 端子機能 ... 41
  - 端子機能一覧 ... 41
  - 端子機能の説明 ... 47
  - 端子状態 ... 46
  - 端子処理 ... 411
  - 端子接続図 ... 33
  - 端子の入出力回路 ... 60
  - 端子の未使用時の処理 ... 58
- 【ち】**
- 逐次変換レジスタ ... 313
  - チャンネル制御部 ... 335
  - 直列抵抗ストリング ... 314

## 【つ】

- 通信コマンド ... 415
- 通信動作 ... 281
- 通信方式 ... 409, 415
- 通信予約 ... 277

## 【て】

- データ・ウェイト・コントロール・レジスタ ... 96
- データ空間 ... 71, 82, 108
- データ通信のタイミング ... 283
- データ保持時間補正回路 ... 236
- デバイス内部処理の呼び出し ... 429
- 電圧コンパレータ ... 314
- 電気的特性 ... 438
- 電源 ... 413
- 転送方向指定 ... 250

## 【と】

- 動作停止モード ... 229, 232, 298
- 動作モード ... 68
- 特定レジスタ ... 89
- 時計用タイマ機能 ... 212
- 時計用タイマ・モード・コントロール・レジスタ  
... 214

## 【な】

- 内蔵RAM領域 ... 76
- 内蔵ROM領域 ... 73
- 内蔵周辺I/O領域 ... 77
- 内蔵フラッシュ・メモリ領域 ... 73
- 内部ブロック図 ... 37
- 内部ベリファイ・フロー ... 434
- 内部ユニット ... 38

## 【に】

- 入出力ポートからの読み出し ... 399
- 入出力ポートへの書き込み ... 399
- 入力電圧と変換結果 ... 321

## 【の】

- ノンマスカブル割り込み ... 112

## 【は】

- ハードウェア環境 ... 419
- ハードウェア・スタート ... 312, 323
- ハーフワード・アクセス ... 94
- バイト・アクセス ... 94
- バス・アクセス ... 93
- バス・コントロール・ユニット ... 38
- バス・サイクル・コントロール・レジスタ ... 98
- バス制御機能 ... 92
- バス制御端子 ... 92
- バス・タイミング ... 101
- バスの優先順位 ... 108
- バス幅 ... 94
- バス・ホールド機能 ... 99
- バス・ホールド手順 ... 100
- 発振安定時間選択レジスタ ... 146, 219, 224
- 発振安定時間の確保 ... 154
- パルス幅測定 ... 173
- パワー・セーブ機能 ... 146
- パワー・セーブ機能に関する注意事項 ... 155
- パワー・セーブ・コントロール・レジスタ ... 145
- パワー・セーブ・モード時の動作 ... 100
- 半田付け推奨条件 ... 468
- 汎用レジスタ ... 64

## 【ひ】

- 微分直線性誤差 ... 332

## 【ふ】

- 不正命令コード ... 132
- フラッシュ情報 ... 425
- フラッシュ情報取得フロー ... 435
- フラッシュ・プログラミング・モード・コントロール・レジスタ ... 427
- フラッシュ・メモリ ... 401
- フラッシュ・メモリ制御 ... 414
- フラッシュ・メモリの消去フロー ... 432
- フラッシュ・メモリ・プログラミング・モード  
... 68, 414
- フラッシュ・ライタによる書き込み方法 ... 403
- プリスケラ・モード・レジスタ0, 01 ... 166
- プリスケラ・モード・レジスタ1, 11 ... 168
- ブルアップ抵抗オプション・レジスタ0 ... 354

- ブルアップ抵抗オプション・レジスタ1 ... 359
  - ブルアップ抵抗オプション・レジスタ10 ... 389
  - ブルアップ抵抗オプション・レジスタ11 ... 392
  - ブルアップ抵抗オプション・レジスタ2 ... 365
  - ブルアップ抵抗オプション・レジスタ3 ... 372
  - フルスケール誤差 ... 331
  - プログラマブル・ウエイト機能 ... 96
  - プログラマブル・ウエイトと外部ウエイトの関係 ... 97
  - プログラミング環境 ... 408
  - プログラミング方法 ... 414
  - プログラム・カウンタ ... 64
  - プログラム空間 ... 71, 82, 108
  - プログラム・ステータス・ワード ... 66
  - プログラム・レジスタ・セット ... 64
  - プロセッサ・クロック・コントロール・レジスタ ... 143
  - 分解能 ... 329
- 【へ】**
- 変換時間 ... 333
- 【ほ】**
- 方形波出力 ... 182, 205
  - ポート0 ... 352
  - ポート0モード・レジスタ ... 354
  - ポート1 ... 357
  - ポート10 ... 387
  - ポート10ファンクション・レジスタ ... 389
  - ポート10モード・レジスタ ... 388
  - ポート11 ... 391
  - ポート11モード・レジスタ ... 392
  - ポート12 ... 394
  - ポート12モード・コントロール・レジスタ ... 395
  - ポート12モード・レジスタ ... 395
  - ポート1ファンクション・レジスタ ... 359
  - ポート1モード・レジスタ ... 358
  - ポート2 ... 363
  - ポート2ファンクション・レジスタ ... 365
  - ポート2モード・レジスタ ... 364
  - ポート3 ... 371
  - ポート3モード・レジスタ ... 372
  - ポート4 ... 376
  - ポート4モード・レジスタ ... 377
  - ポート5 ... 376
  - ポート5モード・レジスタ ... 377
  - ポート6 ... 379
  - ポート6モード・レジスタ ... 380
  - ポート7 ... 381
  - ポート8 ... 381
  - ポート9 ... 383
  - ポート9モード・レジスタ ... 384
  - ポート以外の端子 ... 44
  - ポート機能 ... 352
  - ポート機能の動作 ... 399
  - ポート端子 ... 41, 413
  - ポート端子を兼用端子として使用する場合の設定 ... 397
  - ポー・レート・ジェネレータ・コントロール・レジスタ0, 1 ... 295
  - ポー・レート・ジェネレータ・モード・コントロール・レジスタ0, 01 ... 296
  - ポー・レート・ジェネレータ・モード・コントロール・レジスタ1 ... 297
- 【ま】**
- マスクابل割り込み ... 118
  - マスクابل割り込みの優先順位 ... 121
  - マスタ動作 ... 281
- 【め】**
- メイン・クロック発振回路 ... 141
  - メモリ・アドレス出力モード・レジスタ ... 81
  - メモリ拡張モード・レジスタ ... 80
  - メモリ・ブロック機能 ... 95
  - メモリ・マップ ... 72
- 【ゆ】**
- 優先順位指定 ... 135
- 【よ】**
- 呼び出しパラメータ ... 423
- 【り】**
- リアルタイム出力機能 ... 344
  - リアルタイム出力バッファ・レジスタH ... 346

リアルタイム出力バッファ・レジスタL ... 346  
リアルタイム出力ポート・コントロール・レジスタ  
... 348  
リアルタイム出力ポート・モード・レジスタ ...  
347  
リセット機能 ... 400  
領域 ... 73  
量子化誤差 ... 330

**【れ】**

例外トラップ ... 132  
連続書き込みフロー ... 433

**【わ】**

ワード・アクセス ... 94  
割り込みが受け付けられない期間 ... 138  
割り込みコントローラ ... 38  
割り込み時状態退避レジスタ ... 65  
割り込み制御レジスタ ... 125  
割り込みと例外の優先順位 ... 135  
割り込み要因一覧 ... 110  
割り込み要因レジスタ ... 65  
割り込み要求 (INTIIC0) 発生タイミングおよびウエ  
イト制御 ... 273  
割り込み要求信号発生回路 ... 236  
割り込み / 例外処理機能 ... 109  
割り込み / 例外テーブル ... 75  
ワンショット・パルス出力 ... 183

## D.2 数字, アルファベットで始まる語句の索引

## 【数字】

16ビット・カウンタ23 ... 209  
 16ビット・カウンタ45 ... 209  
 16ビット・コンペア・レジスタ23 ... 209  
 16ビット・コンペア・レジスタ45 ... 209  
 16ビット・タイマ ... 157  
 16ビット・タイマ出力コントロール・レジスタ0, 1  
 ... 165  
 16ビット・タイマの動作 ... 170  
 16ビット・タイマ・モード・コントロール・レジス  
 タn ... 162  
 16ビット・タイマ・レジスタ0, 1 ... 159  
 3線式シリアルI/O ... 225  
 3線式シリアルI/Oモード ... 230  
 8ビットPWM出力 ... 206  
 8ビット・カウンタ2-5 ... 195  
 8ビット・コンペア・レジスタ2-5 ... 195  
 8ビット・タイマ ... 193  
 8ビット・タイマの動作 ... 201  
 8ビット・タイマ・モード・コントロール・レジスタ  
 2-5 ... 199

## 【A】

A1-A4 ... 55  
 A13-A15 ... 50  
 A16-A21 ... 52  
 A5-A12 ... 55  
 AD0-AD7 ... 51  
 AD8-AD15 ... 51  
 ADCR ... 314  
 ADCRH ... 314  
 ADIC ... 126  
 ADM ... 315  
 ADS ... 318  
 ADTRG ... 47  
 A/Dコンバータ ... 39, 312  
 A/Dコンバータ特性表の読み方 ... 329  
 A/Dコンバータの動作モード ... 322  
 A/Dコンバータ・モード・レジスタ ... 315  
 A/D変換結果レジスタ ... 314  
 A/D変換結果レジスタH ... 314

ANI0-ANI11 ... 52, 314  
 ASCK0 ... 48  
 ASCK1 ... 49  
 ASIM0, ASIM1 ... 293  
 ASIS0, ASIS1 ... 294  
 ASTB ... 54  
 AV<sub>DD</sub> ... 56, 314  
 AV<sub>REF</sub> ... 56, 314  
 AV<sub>SS</sub> ... 56, 314

## 【B】

BCC ... 98  
 BCU ... 38  
 BRGC0, BRGC1 ... 295  
 BRGMC0, BRGMC01 ... 296  
 BRGMC1 ... 297  
 BV<sub>DD</sub> ... 56  
 BV<sub>SS</sub> ... 57

## 【C】

CG ... 39  
 CLKOUT ... 56  
 CPU ... 38, 62  
 CPUアドレス空間 ... 69  
 CPUアドレス空間のラップ・アラウンド ... 71  
 CPUレジスタ・セット ... 63  
 CR00, CR10 ... 160  
 CR01, CR11 ... 161  
 CR20-CR50 ... 195  
 CR23 ... 209  
 CR45 ... 209  
 CRC0, CRC1 ... 164  
 CSI0-CSI2 ... 225  
 CSIC0-CSIC2 ... 126  
 CSIM0-CSIM2 ... 227  
 CSIS0-CSIS2 ... 227

## 【D】

DBC0-DBC2 ... 339  
 DCHC0-DCHC2 ... 340  
 DIOA0-DIOA2 ... 336

- DMAIC0-DMAIC2 ... 126  
 DMA機能 ... 334  
 DMA周辺I/Oアドレス・レジスタ0-2 ... 336  
 DMAチャンネル・コントロール・レジスタ0-2 ... 340  
 DMA転送時の割り込み制御レジスタのビット操作命令 ... 140  
 DMA転送要求制御部 ... 335  
 DMA内蔵RAMアドレス・レジスタ0-2 ... 336  
 DMAバイト・カウント・レジスタ0-2 ... 339  
 DRA0-DRA2 ... 336  
 $\overline{\text{DSTB}}$  ... 54  
 DWC ... 96
- 【E】**  
 ECR ... 65  
 EGN0 ... 117, 355  
 EGP0 ... 117, 355  
 EIPC ... 65  
 EIPSW ... 65  
 EI命令後の割り込み要求有効タイミング ... 139  
 EPフラグ ... 132
- 【F】**  
 FEPC ... 65  
 FEPSW ... 65  
 FLPMC ... 427
- 【H】**  
 HALTモード ... 147  
 $\overline{\text{HLDK}}$  ... 54  
 $\overline{\text{HLDRQ}}$  ... 54
- 【I】**  
 I<sup>2</sup>Cバス ... 232  
 I<sup>2</sup>Cバスの定義および制御方法 ... 248  
 I<sup>2</sup>Cバス・モード ... 232  
 I<sup>2</sup>Cバス・モードの機能 ... 247  
 I<sup>2</sup>C割り込み要求 ... 255  
 IC ... 57  
 IDLEモード ... 150  
 IDフラグ ... 129  
 IIC0 ... 246  
 IICC0 ... 238
- IICCL0 ... 245  
 IICS0 ... 242  
 IICX0 ... 245  
 IIC機能拡張レジスタ0 ... 245  
 IICクロック選択レジスタ0 ... 245  
 IICコントロール・レジスタ0 ... 238  
 IICシフト・レジスタ0 ... 246  
 IIC状態レジスタ0 ... 242  
 INTC ... 38  
 INTP0-INTP6 ... 47  
 ISPR ... 128
- 【L】**  
 $\overline{\text{LBEN}}$  ... 53
- 【M】**  
 MAM ... 81  
 MM ... 80
- 【N】**  
 NMI ... 47  
 NMI時状態退避レジスタ ... 66  
 NPフラグ ... 126
- 【O】**  
 OSTs ... 146, 219, 224
- 【P】**  
 P0 ... 352  
 P00-P07 ... 47  
 P1 ... 357  
 P10 ... 387  
 P100-P107 ... 55  
 P10-P15 ... 48  
 P11 ... 391  
 P110-P114 ... 55  
 P12 ... 394  
 P120 ... 56  
 P2 ... 363  
 P20-P27 ... 49  
 P3 ... 371  
 P30-P37 ... 50  
 P4 ... 376

P40-P47 ... 51  
 P5 ... 376  
 P50-P57 ... 51  
 P6 ... 379  
 P60-P65 ... 52  
 P7 ... 381  
 P70-P77 ... 52  
 P8 ... 381  
 P80-P83 ... 52  
 P9 ... 383  
 P90-P96 ... 53  
 PC ... 64  
 PCC ... 143  
 PF1 ... 359  
 PF10 ... 389  
 PF2 ... 365  
 PIC0-PIC6 ... 126  
 PM0 ... 354  
 PM1 ... 358  
 PM10 ... 388  
 PM11 ... 392  
 PM12 ... 395  
 PM2 ... 364  
 PM3 ... 372  
 PM4 ... 377  
 PM5 ... 377  
 PM6 ... 380  
 PM9 ... 384  
 PMC12 ... 395  
 PPG出力 ... 172  
 PRCMD ... 91  
 PRM0, PRM01 ... 166  
 PRM1, PRM11 ... 168  
 PSC ... 145  
 PSW ... 66  
 PU0 ... 354  
 PU1 ... 359  
 PU10 ... 389  
 PU11 ... 392  
 PU2 ... 365  
 PU3 ... 372

## 【R】

RAM ... 38  
 RAMパラメータの内容 ... 424  
 $\overline{RD}$  ... 54  
 $\overline{RESET}$  ... 56, 413  
 ROM ... 38  
 RTBH ... 346  
 RTBL ... 346  
 RTO ... 344  
 RTP ... 40  
 RTP0-RTP7 ... 55  
 RTPC ... 348  
 RTPM ... 347  
 RTPTRG ... 47  
 $\overline{R/W}$  ... 53  
 RX0, RX1 ... 291  
 RXB0, RXB1 ... 291  
 RXD0 ... 48  
 RXD1 ... 49

## 【S】

SAR ... 313  
 $\overline{SCK0}, \overline{SCK1}$  ... 48  
 $\overline{SCK2}$  ... 49  
 SCL ... 48  
 SDA ... 48  
 SERIC0, SERIC1 ... 126  
 SI0, SI1 ... 48  
 SI2 ... 49  
 SIO ... 39  
 SIO0-SIO2 ... 226  
 SO0, SO1 ... 48  
 SO2 ... 49  
 SOラッチ ... 235  
 SRIC1 ... 126  
 STIC0, STIC1 ... 126  
 SVA0 ... 246  
 SYC ... 93  
 SYS ... 91

## 【T】

TCL2-TCL5, TCL21-TCL51 ... 197  
 TI00, TI01, TI10, TI11, TI4, TI5 ... 50

TI2, TI3 ... 49  
XT2 ... 56  
TM0, TM1 ... 159  
TM23 ... 209  
TM2-TM5 ... 195  
TM45 ... 209  
TMC0, TMC1 ... 162  
TMC2-TMC5 ... 199  
TMIC00 ... 126  
TMIC01 ... 126  
TMIC10 ... 126  
TMIC11 ... 126  
TMIC2-TMIC5 ... 126  
TO0, TO1, TO4, TO5 ... 50  
TO2, TO3 ... 49  
TOC0, TOC1 ... 165  
TXD0 ... 48  
TXD1 ... 49  
TXS0, TXS1 ... 291

**【U】**

UART0, UART1 ... 290  
 $\overline{\text{UBEN}}$  ... 53

**【V】**

V<sub>DD</sub> ... 57  
V<sub>PP</sub> ... 57, 411  
V<sub>SS</sub> ... 57

**【W】**

$\overline{\text{WAIT}}$  ... 56  
WDCS ... 220  
WDTIC ... 126  
WDTM ... 129, 221  
 $\overline{\text{WRH}}$  ... 54  
 $\overline{\text{WRL}}$  ... 54  
WTIC ... 126  
WTIIC ... 126  
WTM ... 214

**【X】**

X1 ... 56  
X2 ... 56  
XT1 ... 55

# 付録E 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

( 1/6 )

版 数	前版からの改版内容	適用箇所
第3版	$\mu$ PD703015, 703015Y, 70F3017, 70F3017Yを削除 $\mu$ PD703014A, 703014AY, 703015A, 703015AY, 703017A, 703017AY, 70F3017A, 70F3017AY を追加	全般
	1. 2 特徴 製品削除および追加, 最小命令実行時間変更	第1章 インTRODク ション
	1. 4 オータ情報 製品削除および追加	
	1. 5 端子接続図 製品削除および追加	
	1. 6. 1 内部ブロック図 製品削除および追加	
	1. 6. 2 内部ユニット(3)ROM, (4)RAM, (10)シリアル・インタフェース(SIO) 製品 削除および追加	
	2. 1(2)ポート以外の端子 注に製品削除および追加	第2章 端子機能
	2. 3(2)(b)(iv)SDA, (v)SCL 製品削除および追加, (23)V <sub>PP</sub> , (24)IC 製品削除 および追加	
	2. 4 端子の入出力回路タイプと未使用時の処理 AV <sub>DD</sub> , AV <sub>SS</sub> 端子の項目削除, AV <sub>REF</sub> 端子の 推奨接続方法変更	
	3. 1 特徴 最小命令実行時間変更	第3章 CPU機能
	3. 2 CPUレジスタ・セット r2の用途変更	
	3. 2. 1(1)汎用レジスタ r2の用途および動作変更と注2追加	
	3. 3(2)フラッシュ・メモリ・プログラミング・モード 製品削除および追加	
	図3-9 メモリ・マップ 修正	
	3. 4. 5(1)内蔵ROM/内蔵フラッシュ・メモリ領域 追加	
	表3-3 割り込み/例外テーブル 注に製品削除および追加	
	3. 4. 5(2)内蔵RAM領域 追加	
	図3-16 外部メモリ領域(64K, 256K, 1Mバイト拡張時) 変更	
	図3-17 外部メモリ領域(4Mバイト拡張時) 変更	
	図3-18 メモリ拡張モード・レジスタ(MM) 注意追加	
	3. 4. 6(2)メモリ・アドレス出力モード・レジスタ(MAM) 説明追加	
	図3-20 ラップ・アラウンドを利用した応用例 変更	
	3. 4. 8 周辺I/Oレジスタ PRM01, PRM11, TCL21, TCL31, TCL41, TCL51, BRGMC01, IICX0および注追加	
表5-1 割り込み要因一覧 注2に製品削除および追加	第5章 割り込み/例 外処理機能	
6. 1(1)メイン・システム・クロック発振回路 最大動作周波数変更と注意2を追加	第6章 クロック発生 機能	
図6-2 プロセッサ・クロック・コントロール・レジスタ(PCC) ビット7変更, ビット5 (MFRC)と注意3追加		
6. 3. 1(1)(a)メイン・クロック動作 サブクロック動作の設定例, (b)サブクロック動 作 メイン・クロック動作の設定例 追加		
6. 4. 1(3)ソフトウェアSTOPモード 一部説明削除		

版数	前版からの改版内容	適用箇所
第3版	表6-1 HALTモード時の動作状態 UART0, UART1の項目を修正,注に製品削除および追加	第6章 クロック発生機能
	表6-2 IDLEモード時の動作状態 UART0, UART1の項目を修正,注に製品削除および追加	
	6.4.4(1) 設定および動作状態 一部説明削除	
	表6-3 ソフトウェアSTOPモード時の動作状態 UART0, UART1の項目を修正,注に製品削除および追加	
	6.4.4(2) ソフトウェアSTOPモードの解除 一部説明削除	
	図7-1 TM0, TM1のブロック図 変更	
	表7-1 タイマ0, 1の構成 プリスケアラ・モード・レジスタ01, 11 (PRM01, RPM11) 追加	
	表7-4 TIn0端子の有効エッジとCRn1のキャプチャ・トリガ 追加	
	7.1.4 タイマ0, 1制御レジスタ プリスケアラ・モード・レジスタn1 (PRMn1) 追加	
	図7-3 キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1) 注意4追加	
	図7-4 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1) 注修正および注意4追加	
	7.1.4(4) プリスケアラ・モード・レジスタ0, 01 (PRM0, PRM01) PRM01レジスタ追加	
	図7-5 プリスケアラ・モード・レジスタ0 (PRM0) 注2追加	
	図7-6 プリスケアラ・モード・レジスタ01 (PRM01) 追加	
	7.1.4(5) プリスケアラ・モード・レジスタ1, 11 (PRM1, PRM11) PRM11レジスタ追加	
	図7-7 プリスケアラ・モード・レジスタ1 (PRM1) 注2追加	
	図7-8 プリスケアラ・モード・レジスタ11 (PRM11) 追加	
	図7-10 インターバル・タイマの構成図 修正	
	7.2.3(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定 PRM01, PRM11レジスタ追加	
	図7-14 フリー・ランニング・カウンタによるパルス幅測定の構成図 注にPRM01, PRM11レジスタ追加	
7.2.3(2) フリー・ランニング・カウンタによる2つのパルス幅測定 PRM01, PRM11レジスタ追加		
7.2.3(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定 PRM01, PRM11レジスタ追加		
7.2.3(4) リスタートによるパルス幅測定 PRM01, PRM11レジスタ追加		
7.2.4 外部イベント・カウンタとしての動作 PRM01, PRM11レジスタ追加		
図7-24 外部イベント・カウンタの構成図 注にPRM01, PRM11レジスタ追加		
図7-28 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 注意追加		
7.2.7(2) 16ビット・キャプチャ/コンペア・レジスタの設定, (7), (8)競合動作について, (9)タイマ動作について, (10)キャプチャ動作について, (11)コンペア動作について, (12)エッジ検出について 追加		
7.3.1 機能 注意追加		
図7-36 TM2-TM5のブロック図 修正		
表7-5 タイマ2-5の構成 タイマ・クロック選択レジスタn1 (TCLn1) 追加		
7.3.2(1) 8ビット・カウンタ2-5 (TM2-TM5) 説明追加		

版 数	前版からの改版内容	適用箇所
第3版	7. 3. 2 ( 2 ) 8ビット・コンペア・レジスタ2-5 ( CR20-CR50 ) 説明追加	第7章 タイマ/カウンタ機能
	7. 3. 3 タイマn制御レジスタ TCLn1レジスタ追加	
	7. 3. 3 ( 1 ) タイマ・クロック選択レジスタ2, 21, 3, 31, 4, 41, 5, 51 ( TCL2-TCL5, TCL21-TCL51 ) TCLn1レジスタ追加	
	図7 - 37 TM2, TM3のタイマ・クロック選択レジスタ2, 21, 3, 31 ( TCL2, TCL21, TCL3, TCL31 ) TCLn1レジスタ追加	
	図7 - 38 TM4, TM5のタイマ・クロック選択レジスタ4, 41, 5, 51 ( TCL4, TCL41, TCL5, TCL51 ) TCLn1レジスタ追加	
	図7 - 39 8ビット・タイマ・モード・コントロール・レジスタ2-5 ( TMC2-TMC5 ) 注追加	
	図7 - 42 方形波出力動作のタイミング 追加	
	7. 4. 5 ( 1 ) カスケード接続 ( 16ビット・タイマ ) モード 説明追加	
8. 4. 3 注意事項 追加	第8章 時計用タイマ機能	
図9 - 1 ウォッチドック・タイマのブロック図 修正	第9章 ウォッチドック・タイマ機能	
表9 - 1 ウォッチドック・タイマの暴走検出時間 $f_{xx} = 10 \text{ MHz}$ , $f_{xx} = 2 \text{ MHz}$ 時の暴走検出時間を追加		
表9 - 2 インターバル・タイマのインターバル時間 $f_{xx} = 10 \text{ MHz}$ , $f_{xx} = 2 \text{ MHz}$ 時のインターバル時間を追加		
図9 - 2 発振安定時間選択レジスタ ( OSTs ) $f_{xx} = 10 \text{ MHz}$ , $f_{xx} = 2 \text{ MHz}$ 時の発振安定時間を追加		
図9 - 3 ウォッチドック・タイマ・クロック選択レジスタ ( WDCS ) $f_{xx} = 10 \text{ MHz}$ , $f_{xx} = 2 \text{ MHz}$ 時のウォッチ・ドック・タイマ/インターバル・タイマのオーバフロー時間を追加		
図9 - 4 ウォッチドック・タイマ・モード・レジスタ ( WDTM ) 注意修正		
9. 4. 1 ウォッチドック・タイマとして動作 一部説明削除と注意1修正		
表9 - 4 ウォッチドック・タイマの暴走検出時間 $f_{xx} = 10 \text{ MHz}$ , $f_{xx} = 2 \text{ MHz}$ 時の暴走検出時間を追加		
9. 4. 2 インターバル・タイマとしての動作 一部説明削除と注意1修正		
表9 - 5 インターバル・タイマのインターバル時間 $f_{xx} = 10 \text{ MHz}$ , $f_{xx} = 2 \text{ MHz}$ 時のインターバル時間を追加		
図9 - 5 発振安定時間選択レジスタ ( OSTs ) $f_{xx} = 10 \text{ MHz}$ , $f_{xx} = 2 \text{ MHz}$ 時の発振安定時間を追加		
10. 1 概要 注に製品削除および追加		第10章 シリアル・インタフェース機能
図10 - 2 シリアル動作モード・レジスタ0-2 ( CSIM0-CSIM2 ) 注追加		
図10 - 5 CSIMnの設定 ( 3線式シリアルI/Oモード ) 注追加		
10. 3 I <sup>2</sup> Cバス ( $\mu$ PD703014AY, 703015AY, 703017AY, 70F3017AY ) 製品削除および追加		
図10 - 7 I <sup>2</sup> Cのブロック図 修正		
表10 - 2 I <sup>2</sup> Cの構成 IIC機能拡張レジスタ0 ( IICX0 ) 追加		
10. 3. 2 I <sup>2</sup> C制御レジスタ IIC機能拡張レジスタ0 ( IICX0 ) 追加		
図10 - 9 IICコントロール・レジスタ0 ( IICC0 ) ( 3/4 ) STT = 0の条件追加と注削除		
図10 - 9 IICコントロール・レジスタ0 ( IICC0 ) ( 4/4 ) 説明追加と注2削除		
図10 - 10 IIC状態レジスタ0 ( IICS0 ) ( 2/3 ) 注追加		
10. 3. 2 ( 3 ) IICクロック選択レジスタ0 ( IICCL0 ) 備考追加		

版数	前版からの改版内容	適用箇所
第3版	図10 - 11 IICクロック選択レジスタ0 (IICCL0) ビット3 (SMC), ビット2 (DFC) の動作説明追加	第10章 シリアル・インタフェース機能
	10. 3. 2 (4) IIC機能拡張レジスタ0 (IICX0) 追加	
	表10 - 3 転送クロックの設定 $f_{xx} = 20$ MHz時のIIC通信周波数を追加	
	10. 3. 4 (4) アクノリッジ信号 (ACK) 説明追加	
	10. 3. 5 I <sup>2</sup> C割り込み要求 (INTIIC0) 説明追加	
	10. 3. 6 (4) ウェイト解除方法 解除方法を追加	
	表10 - 7 ウェイト時間 SMC, CL1, CL0 = 010および110のウェイト時間変更	
	図10 - 27 マスタ動作手順 修正	
	表10 - 8 UARTnの構成 ボー・レート・ジェネレータ・モード・コントロール・レジスタ01 (BRGMC01) 追加	
	10. 4. 2 UARTn制御レジスタ BRGMC01レジスタ追加	
	10. 4. 2 (4) ボー・レート・ジェネレータ・モード・コントロール・レジスタ0, 01 (BRGMC0, BRGMC01) BRGMC01レジスタ追加	
	図10 - 35 ボー・レート・ジェネレータ・モード・コントロール・レジスタ0, 01 (BRGMC0, BRGM01) BRGMC01レジスタ追加	
	10. 4. 4 (1) レジスタの設定 BRGMC01レジスタ追加	
	10. 4. 4 (2) メイン・クロックによるボー・レート用の送受信クロックの生成 修正	
	表10 - 9 メイン・クロックとボー・レートの関係 修正	
	図11 - 2 A/Dコンバータ・モード・レジスタ (ADM) 変換時間の修正	第11章 A/Dコンバータ
	図12 - 2 DMA内蔵RAMアドレス・レジスタ0-2 (DRA0-DRA2) 注意追加	第12章 DMA機能
	図12 - 3 DRAnの設定値と内蔵RAM領域の対応 追加	
	図12 - 5 DMAチャンネル・コントロール・レジスタ0-2 (DCHC0-DCHC2) 注2に製品削除および追加	
	14. 2. 1 (4) ブロック図 (ポート0) 追加	第14章 ポート機能
14. 2. 2 (3) ブロック図 (ポート1) 追加		
14. 2. 3 (3) ブロック図 (ポート2) 追加		
14. 2. 4 (3) ブロック図 (ポート3) 追加		
14. 2. 5 (1) P4, P5端子の機能 説明変更		
14. 2. 5 (3) ブロック図 (ポート4, ポート5) 追加		
14. 2. 6 (3) ブロック図 (ポート6) 追加		
14. 2. 7 (2) ブロック図 (ポート7, ポート8) 追加		
14. 2. 8 (1) P9端子の機能 説明変更		
14. 2. 8 (3) ブロック図 (ポート9) 追加		
14. 2. 9 (3) ブロック図 (ポート10) 追加		
14. 2. 10 (3) ブロック図 (ポート11) 追加		
14. 2. 11 (1) P12端子の機能 説明削除		
14. 2. 11 (3) ブロック図 (ポート12) 追加		
14. 3 ポート端子を兼用端子として使用する場合の設定 追加		
16. 1. 1 消去単位 追加	第16章 フラッシュ・メモリ ( $\mu$ PD70F3017A, 70F3017AY)	
16. 4 (3) CSIO + HS 追加		
表16 - 1 専用フラッシュ・ライタ (PG-FP3) の信号生成 CSIO + HSを追加		
表16 - 2 各シリアル・インタフェースが使用する端子 CSIO + HSを追加		
表16 - 3 通信方式一覧 CSIO + HSを追加		

版 数	前版からの改版内容	適用箇所
第4版	μPD703014B, 703014BY, 703015B, 703015BY, 70F3015B, 70F3015BYを追加 μPD703014AGC, 703014AYGC, 703015AGC, 703015AYGCを削除	全般
	表1 - 1 V850/SA1の製品一覧 追加	第1章 イントロダクション
	1.2 特徴 最小命令実行時間に記述追加	
	1.4 オーダ情報 製品削除および追加	
	1.5 端子接続図 製品削除および追加	
	1.6.2 (2) バス・コントロール・ユニット (BCU) 記述削除	
	表2 - 1 各端子の入出力バッファ電源 追加	第2章 端子機能
	表2 - 2 動作モードによる各端子の動作状態 記述変更	
	2.3 (7) P60-P65 (Port 6) 記述変更	
	2.3 (13) CLKOUT (Clock Out) 追加	
	2.4 端子の入出力回路タイプと未使用時の処理 記述追加および変更	
	2.5 端子の入出力回路 記述変更	第3章 CPU機能
	3.1 特徴 最小命令実行時間に記述追加	
	3.2.2 (2) プログラム・ステータス・ワード 記述変更	
	図3 - 16 推奨メモリ・マップ 記述変更	
	3.4.8 周辺I/Oレジスタ 記述追加	
	3.4.9 特定レジスタ 記述追加および変更	第5章 割り込み / 例外処理機能
	5.2.4 外部割り込み要求入力端子のノイズ除去 記述追加	
	5.2.5 外部割り込み要求入力端子のエッジ検出機能 記述追加	
	5.3.4 割り込み制御レジスタ (xxlCn) 注意追加	
	5.3.5 インサース・プライオリティ・レジスタ (ISPR) 注意追加	
	5.8.1 EI命令後の割り込み要求有効タイミング 追加	第6章 クロック発生機能
	5.9 DMA転送時の割り込み制御レジスタのビット操作命令 追加	
	6.1 (1) メイン・クロック発振回路 記述変更	
	6.1 (2) サブクロック発振回路 記述変更	
	図6 - 1 クロック発生回路 記述変更	
	6.3.1 (1) プロセッサ・クロック・コントロール・レジスタ (PCC) 注追加	第7章 タイマ / カウンタ機能
	6.3.1 (1) (b) サブクロック動作 メイン・クロック動作の設定例 記述変更	
	6.3.1 (2) パワー・セーブ・コントロール・レジスタ (PSC) 注および注意追加	
	6.4.4 (1) 設定および動作状態 記述変更	
	6.6 パワー・セーブ機能に関する注意事項 追加	
	7.1.3 (2) キャプチャ / コンペア・レジスタ00, 10 (CR00, CR10) 注意変更	第10章 シリアル・インタフェース機能
	7.1.3 (3) キャプチャ / コンペア・レジスタ01, 11 (CR01, CR11) 注意変更	
図7 - 27 キャプチャ・レジスタのデータ保持タイミング 変更		
7.2.7 (6) (C) ワンショット・パルス出力機能について 追加		
7.3.1 概要 追加		
7.3.4 (2) 8ビット・タイマ・モード・コントロール・レジスタ2-5 (TMC2-TMC5) 注意変更	第11章 A/Dコンバータ	
10.3.2 (3) IICクロック選択レジスタ (IICCL0), IIC機能拡張レジスタ0 (IICX0) 記述変更		
図10 - 25 ~ 図10 - 29 追加		
11.3 (1) A/Dコンバータ・モード・レジスタ (ADM) 記述変更	第11章 A/Dコンバータ	
表11 - 2 A/D変換時間の選択 追加		
11.6 A/Dコンバータ特性表の読み方 追加		

版数	前版からの改版内容	適用箇所
第4版	12.1 機能 記述変更	第12章 DMA機能
	12.2 転送終了割り込み要求 削除, 12.2 特徴 追加	
	12.3 構成 追加	
	図12-2 DRAnの設定値と内蔵RAM(4Kバイト)領域の対応 追加	
	図12-3 DRAnの設定値と内蔵RAM(8Kバイト)領域の対応 追加	
	12.5 動作 追加	
	12.6 注意 追加	
	13.2 特徴 追加	第13章 リアルタイム 出力機能(RTO)
	13.3(2) 出力ラッチ 追加	
	13.5 使用方法 記述変更	
	13.7 注意事項 記述追加	
	表14-1 各端子の入出力バッファ電源 追加	第14章 ポート機能
	14.2.8(1) P9端子の機能 注意追加	
	14.4 ポートの動作 追加	
	第16章 フラッシュ・メモリ 注意追加	第16章 フラッシュ・ メモリ
	16.1.1 消去単位 記述変更	
	図16-1 V850/SA1フラッシュ書き込み用アダプタ(FA-100GC-8EU)の配線例 追加	
	表16-1 V850/SA1フラッシュ書き込み用アダプタ(FA-100GC-8EU)の配線表 追加	
	図16-2 V850/SA1フラッシュ書き込み用アダプタ(FA-121F1-EA6)の配線例 追加	
	表16-2 V850/SA1フラッシュ書き込み用アダプタ(FA-121F1-EA6)の配線表 追加	
16.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング 追加		
第17章 電気的特性 追加	第17章 電気的特性	
第18章 外形図 追加	第18章 外形図	
第19章 半田付け推奨条件 追加	第19章 半田付け推奨 条件	
付録A ターゲット・システム設計上の注意 追加	付録A ターゲット・ システム設計上の注意	
付録B レジスタ索引 記述追加	付録B レジスタ索引	
付録E 改版履歴 追加	付録E 改版履歴	

〔メモ〕

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---