

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

V850/SV1

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD703038

μPD703038Y

μPD703039

μPD703039Y

μPD703040

μPD703040Y

μPD703041

μPD703041Y

μPD70F3038

μPD70F3038Y

μPD70F3040

μPD70F3040Y

(メモ)

目次要約

第1章	イントロダクション	...	30
第2章	端子機能	...	42
第3章	CPU機能	...	67
第4章	バス制御機能	...	100
第5章	割り込み/例外処理機能	...	117
第6章	クロック発生機能	...	150
第7章	タイマ/カウンタ機能	...	167
第8章	時計用タイマ機能	...	271
第9章	ウォッチドッグ・タイマ機能	...	277
第10章	シリアル・インタフェース機能	...	285
第11章	A/Dコンバータ	...	386
第12章	DMA機能	...	421
第13章	リアルタイム出力機能 (RTO)	...	431
第14章	PWM機能	...	440
第15章	Vsync/Hsync分離回路	...	452
第16章	キー・リターン機能	...	469
第17章	ポート機能	...	471
第18章	リセット機能	...	545
第19章	ROMコレクション機能	...	546
第20章	フラッシュ・メモリ	...	550
★ 第21章	電気的特性	...	567
★ 第22章	外形図	...	592
★ 第23章	半田付け推奨条件	...	594
付録A	レジスタ索引	...	597
付録B	命令セット一覧	...	605
付録C	総合索引	...	612
付録D	改版履歴	...	622

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD70F3038, 70F3038Y, 70F3040, 70F3040Y

ユーザ判定品 : μ PD703038, 703038Y, 703039, 703039Y, 703040, 703040Y, 703041, 703041Y

- 本資料に記載されている内容は2005年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

本版で改訂された主な箇所 (1/2)

箇 所	内 容
全般	製品 (μ PD703038, 703038Y, 70F3038, 70F3038Y) を追加
全般	パッケージ (180ピン・プラスチックFBGA) を追加
p.31	最小命令実行時間を変更
p.33	1. 3 応用分野を変更
p.40	1. 6. 2 (6) クロック・ジェネレータの記述を変更
p.50	2. 2 端子状態を変更
p.61	2. 3 (21) CLKOUT (Clock Out) を追加
p.63	2. 4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理のXT1, XT2端子の記述を変更
p.65	2. 5 端子の入出力回路にタイプ16 - Aを追加
p.69	3. 2. 1 プログラム・レジスタ・セットのr2レジスタの記述を変更
p.85	3. 4. 6 (1) メモリ拡張モード・レジスタ (MM) に注を追加
p.99	3. 4. 9 (2) システム・ステータス・レジスタ (SYS) に備考を追加
p.116	4. 9 バスの優先順位の記述を変更
p.124	5. 2. 4 外部割り込み要求入力端子のノイズ除去の記述を変更
p.126	5. 2. 5 外部割り込み要求入力端子のエッジ検出機能の記述を変更
p.133	5. 3. 4 割り込み制御レジスタ (xxICn) の記述を変更
p.147	5. 8. 1 EI命令後の割り込み要求有効タイミングを追加
p.149	5. 9 DMA転送時の割り込み制御レジスタのビット操作命令を追加
p.150	6. 1 概 要の記述を変更
p.151	図6 - 1 クロック発生機能を変更
p.152	6. 3 クロック出力機能の記述を変更
p.154	6. 4. 1 プロセッサ・クロック・コントロール・レジスタ (PCC) を変更
p.157	6. 5. 1 概 要を変更
p.159	表6 - 1 HALTモード時の動作状態を変更
p.165	6. 6 発振安定時間の確保を変更
p.166	6. 7 パワー・セーブ機能に関する注意事項を追加
p.228	図7 - 36 PPG出力の構成図を追加
p.228	図7 - 37 PPG出力動作のタイミングを追加
p.307	10. 3. 2 (5) I ² Cnの転送クロックの設定方法を追加
p.308	表10 - 3 選択クロックの設定を変更
p.318	10. 3. 5 I ² C割り込み要求 (INTIICn) を変更
p.362	10. 4. 3 (2) アシクロナス・シリアル・インタフェース・モードを変更
p.367	表10 - 9 メイン・クロックとポー・レートの関係を変更
p.381	10. 5. 3 動 作を変更
p.394	11. 3. 4 入力電圧と変換結果を追加
p.416	11. 9 A/Dコンバータ特性表の読み方を追加
p.422	12. 3 構 成を追加
p.429	12. 5 動 作を追加
p.430	12. 6 注 意を追加
p.437	13. 5 使用方法を変更
p.452	図15 - 1 Vsync/Hsync分離回路のブロック図を変更
p.469	第16章 キー・リターン機能を追加
p.503	17. 2. 8 (1) P9端子の機能に注意を追加

本版で改訂された主な箇所 (2/2)

箇所	内容
p.507	17. 2. 9 (1) P10端子の機能に注意を追加
p.529	17. 2. 14 (1) P15端子の機能に注意を追加
p.541	表17 - 19 ポート端子を兼用端子として使用する場合の設定を変更
p.544	17. 4 ポート機能の動作を追加
p.550	第20章 フラッシュ・メモリに注意を追加
p.551	20. 1. 1 消去単位を追加
p.553	図20 - 1 V850/SV1 フラッシュ書き込み用アダプタ (FA-180FBGA) を追加
p.554	表20 - 1 V850/SV1 フラッシュ書き込み用アダプタ (FA-180FBGA) の配線表を追加
p.555	図20 - 2 V850/SV1 フラッシュ書き込み用アダプタ (FA-176GM-UEU) を追加
p.556	表20 - 2 V850/SV1 フラッシュ書き込み用アダプタ (FA-176GM-UEU) の配線表を追加
p.558	20. 4 (3) CSI0 + HSを追加
p.558	表20 - 3 専用フラッシュ・ライター (PG-FP3) の信号生成を変更
p.560	表20 - 4 各シリアル・インタフェースが使用する端子を変更
p.567	第21章 電気的特性を追加
p.592	第22章 外形図を追加
p.594	第23章 半田付け推奨条件を追加
p.622	付録D 改版履歴を追加
修正版 (U14462JJ2V1UD00) で改訂された主な箇所	
p.33	1. 4 オータ情報を変更
p.595, 596	第23章 半田付け推奨条件を変更

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは、V850/SV1(μ PD703038, 703038Y, 703039, 703039Y, 703040, 703040Y, 703041, 703041Y, 70F3038, 70F3038Y, 70F3040, 70F3040Y) の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。

構成 V850/SV1のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850シリーズ ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

機能名などが分かっている、その詳細を確認するとき

付録C 総合索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850シリーズ **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通りV850/SV1の機能を理解しようとするとき

目次に従ってお読みください。

V850/SV1の電気的特性を知りたいとき

第21章 電気的特性を参照してください。

- 凡 例
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : $\overline{\text{xxx}}$ (端子, 信号名称に上線)
 - メモリ・マップのアドレス : 上部 - 上位, 下部 - 下位
 - 注 : 本文中に付けた注の説明
 - 注意 : 気を付けて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH

2のべき数を示す接頭語 (アドレス空間, メモリ容量) :

K (キロ) : $2^{10} = 1024$

M (メガ) : $2^{20} = 1024^2$

G (ギガ) : $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850/SV1に関する資料

資料名	資料番号
V850シリーズ ユーザーズ・マニュアル アーキテクチャ編	U10243J
V850/SV1 ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
IE-703002-MC (インサーキット・エミュレータ)	U11595J	
IE-703040-MC-EM1 (V850/SV1用インサーキット・エミュレータ・オプション・ボード)	U14337J	
CA850 Ver.2.50 Cコンパイラ・パッケージ	操作編	U16053J
	C言語編	U16054J
	PM plus編	U16055J
	アセンブリ言語編	U16042J
ID850 Ver.2.50 統合ディバッガ	操作編	U16217J
RX850 Ver.3.13以上 リアルタイムOS	基礎編	U13430J
	インストラクション編	U13410J
	テクニカル編	U13431J
RX850 Pro Ver.3.15 リアルタイムOS	基礎編	U13773J
	インストラクション編	U13774J
	テクニカル編	U13772J
RD850 Ver.3.01 タスク・ディバッガ	U13737J	
RD850 Pro Ver.3.01 タスク・ディバッガ	U13916J	
AZ850 Ver.3.0 システム・パフォーマンス・アナライザ	U14410J	
PG-FP3 フラッシュ・メモリ・プログラマ	U13502J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	

目 次

第1章 イン트로ダクション ... 30

- 1.1 概 説 ... 30
- 1.2 特 徴 ... 31
- 1.3 応用分野 ... 33
- 1.4 オーダ情報 ... 33
- 1.5 端子接続図 ... 34
- 1.6 機能ブロック構成 ... 38
 - 1.6.1 内部ブロック図 ... 38
 - 1.6.2 内部ユニット ... 39

第2章 端子機能 ... 42

- 2.1 端子機能一覧 ... 42
- 2.2 端子状態 ... 50
- 2.3 端子機能の説明 ... 51
- 2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 ... 63
- 2.5 端子の入出力回路 ... 65

第3章 CPU機能 ... 67

- 3.1 特 徴 ... 67
- 3.2 CPUレジスタ・セット ... 68
 - 3.2.1 プログラム・レジスタ・セット ... 69
 - 3.2.2 システム・レジスタ・セット ... 70
- 3.3 動作モード ... 73
- 3.4 アドレス空間 ... 74
 - 3.4.1 CPUアドレス空間 ... 74
 - 3.4.2 イメージ ... 75
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 76
 - 3.4.4 メモリ・マップ ... 77
 - 3.4.5 領 域 ... 78
 - 3.4.6 外部拡張モード ... 85
 - 3.4.7 アドレス空間の推奨使用方法 ... 86
 - 3.4.8 周辺I/Oレジスタ ... 88
 - 3.4.9 特定レジスタ ... 96

第4章 バス制御機能 ... 100

- 4.1 特 徴 ... 100
- 4.2 バス制御端子と制御レジスタ ... 100
 - 4.2.1 バス制御端子 ... 100
 - 4.2.2 制御レジスタ ... 101
- 4.3 バス・アクセス ... 101

4.3.1	アクセス・クロック数	...	101
4.3.2	バス幅	...	101
4.4	メモリ・ブロック機能	...	103
4.5	ウェイト機能	...	104
4.5.1	プログラマブル・ウェイト機能	...	104
4.5.2	外部ウェイト機能	...	105
4.5.3	プログラマブル・ウェイトと外部ウェイトの関係	...	105
4.6	アイドル・ステート挿入機能	...	106
4.7	バス・ホールド機能	...	107
4.7.1	機能概要	...	107
4.7.2	バス・ホールド手順	...	108
4.7.3	パワー・セーブ・モード時の動作	...	108
4.8	バス・タイミング	...	109
4.9	バスの優先順位	...	116
4.10	境界動作条件	...	116
4.10.1	プログラム空間	...	116
4.10.2	データ空間	...	116

第5章 割り込み / 例外処理機能 ... 117

5.1	概 要	...	117
5.1.1	特 徴	...	117
5.2	ノンマスカブル割り込み	...	120
5.2.1	動 作	...	121
5.2.2	復 帰	...	123
5.2.3	NPフラグ	...	124
5.2.4	外部割り込み要求入力端子のノイズ除去	...	124
5.2.5	外部割り込み要求入力端子のエッジ検出機能	...	126
5.3	マスカブル割り込み	...	127
5.3.1	動 作	...	127
5.3.2	復 帰	...	129
5.3.3	マスカブル割り込みの優先順位	...	130
5.3.4	割り込み制御レジスタ (xxICn)	...	133
5.3.5	インサースビス・プライオリティ・レジスタ (ISPR)	...	137
5.3.6	IDフラグ	...	138
5.3.7	ウォッチドッグ・タイマ・モード・レジスタ (WDTM)	...	138
5.4	ソフトウェア例外	...	139
5.4.1	動 作	...	139
5.4.2	復 帰	...	140
5.4.3	EPフラグ	...	141
5.5	例外トラップ	...	141
5.5.1	不正命令コード	...	141
5.5.2	動 作	...	142
5.5.3	復 帰	...	143
5.6	優先順位指定	...	144
5.6.1	割り込みと例外の優先順位	...	144
5.6.2	多重割り込み	...	144
5.7	応答時間	...	146
5.8	割り込みが受け付けられない期間	...	147

- ★ 5.8.1 EI命令後の割り込み要求有効タイミング ... 147
- ★ 5.9 DMA転送時の割り込み制御レジスタのビット操作命令 ... 149

第6章 クロック発生機能 ... 150

- 6.1 概 要 ... 150
- 6.2 構 成 ... 151
- 6.3 クロック出力機能 ... 152
 - 6.3.1 CLKOUT信号 ... 152
 - 6.3.2 CLO信号 ... 153
- 6.4 制御レジスタ ... 154
 - 6.4.1 プロセッサ・クロック・コントロール・レジスタ (PCC) ... 154
 - 6.4.2 クロック出力モード・レジスタ (CLOM) ... 155
 - 6.4.3 パワー・セーブ・コントロール・レジスタ (PSC) ... 156
 - 6.4.4 発振安定時間選択レジスタ (OSTS) ... 157
- 6.5 パワー・セーブ機能 ... 157
 - 6.5.1 概 要 ... 157
 - 6.5.2 HALTモード ... 158
 - 6.5.3 IDLEモード ... 161
 - 6.5.4 ソフトウェアSTOPモード ... 163
- 6.6 発振安定時間の確保 ... 165
- ★ 6.7 パワー・セーブ機能に関する注意事項 ... 166

第7章 タイマ/カウンタ機能 ... 167

- 7.1 24ビット・タイマ (TM8, TM9) ... 167
 - 7.1.1 概 要 ... 167
 - 7.1.2 V850/SV1とV854の24ビット・タイマ動作の違い ... 168
 - 7.1.3 機 能 ... 170
 - 7.1.4 構 成 ... 172
 - 7.1.5 タイマ8,9制御レジスタ ... 175
 - 7.1.6 分周器 ... 183
- 7.2 24ビット・タイマ (TM8) の動作 ... 186
 - 7.2.1 カウント動作 ... 186
 - 7.2.2 カウント・クロック選択 ... 187
 - 7.2.3 オーバフロー ... 188
 - 7.2.4 タイマのクリア/スタート ... 189
 - 7.2.5 キャプチャ動作 ... 192
 - 7.2.6 コンペア動作 ... 195
- 7.3 24ビット・タイマ (TM9) の動作 ... 197
 - 7.3.1 カウント動作 ... 197
 - 7.3.2 カウント・クロック選択 ... 198
 - 7.3.3 オーバフロー ... 199
 - 7.3.4 タイマのクリア/スタート ... 200
 - 7.3.5 キャプチャ動作 ... 201
 - 7.3.6 コンペア動作 ... 202
- 7.4 24ビット・タイマの応用例 ... 203
- 7.5 24ビット・タイマの注意事項 ... 210
- 7.6 16ビット・タイマ (TM0, TM1) ... 212

7.6.1	概 要	...	212
7.6.2	機 能	...	212
7.6.3	構 成	...	214
7.6.4	タイマ0, 1制御レジスタ	...	217
7.7	16ビット・タイマの動作	...	225
7.7.1	インターバル・タイマ(16ビット)としての動作	...	225
7.7.2	PPG出力としての動作	...	227
7.7.3	パルス幅測定としての動作	...	229
7.7.4	外部イベント・カウンタとしての動作	...	236
7.7.5	方形波出力としての動作	...	238
7.7.6	ワンショット・パルス出力としての動作	...	239
7.7.7	注意事項	...	244
7.8	8ビット・タイマ(TM2-TM7, TM10, TM11)	...	250
7.8.1	機 能	...	250
7.8.2	構 成	...	251
7.8.3	タイマn制御レジスタ	...	253
7.9	8ビット・タイマの動作	...	260
7.9.1	インターバル・タイマ(8ビット)としての動作	...	260
7.9.2	外部イベント・カウンタとしての動作	...	263
7.9.3	方形波出力(8ビット分解能)としての動作	...	264
7.9.4	8ビットPWM出力としての動作	...	265
7.9.5	インターバル・タイマ(16ビット)としての動作	...	268
7.9.6	注意事項	...	270

第8章 時計用タイマ機能 ... 271

8.1	概 要	...	271
8.2	機 能	...	271
8.3	構 成	...	272
8.4	制御レジスタ	...	273
8.5	動 作	...	275
8.5.1	時計用タイマとしての動作	...	275
8.5.2	インターバル・タイマとしての動作	...	275
8.5.3	注意事項	...	276

第9章 ウォッチドッグ・タイマ機能 ... 277

9.1	機 能	...	277
9.2	構 成	...	279
9.3	ウォッチドッグ・タイマ制御レジスタ	...	279
9.4	動 作	...	282
9.4.1	ウォッチドッグ・タイマとしての動作	...	282
9.4.2	インターバル・タイマとしての動作	...	283
9.5	スタンバイ機能制御レジスタ	...	284

第10章 シリアル・インタフェース機能 ... 285

10.1	概 要	...	285
10.2	3線式シリアルI/O(CSI0-CSI3)	...	285

10.2.1	構 成 ...	286
10.2.2	CSIn制御レジスタ ...	287
10.2.3	動 作 ...	290
10.3	I ² Cバス ...	293
10.3.1	構 成 ...	296
10.3.2	I ² C制御レジスタ ...	298
10.3.3	I ² Cバス・モードの機能 ...	310
10.3.4	I ² Cバスの定義および制御方法 ...	311
10.3.5	I ² C割り込み要求 (INTIICn) ...	318
10.3.6	割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御 ...	336
10.3.7	アドレスの一致検出方法 ...	337
10.3.8	エラーの検出 ...	337
10.3.9	拡張コード ...	337
10.3.10	アービトレーション ...	338
10.3.11	ウエイク・アップ機能 ...	339
10.3.12	通信予約 ...	340
10.3.13	注意事項 ...	343
10.3.14	通信動作 ...	344
10.3.15	データ通信のタイミング ...	346
10.4	アシンクロナス・シリアル・インタフェース (UART0, UART1) ...	353
10.4.1	構 成 ...	353
10.4.2	UARTn制御レジスタ ...	355
10.4.3	動 作 ...	361
10.4.4	スタンバイ機能 ...	373
10.5	3線式可変長シリアルI/O (CSI4) ...	374
10.5.1	構 成 ...	374
10.5.2	CSI4制御レジスタ ...	377
10.5.3	動 作 ...	381

第11章 A/Dコンバータ ... 386

11.1	概 要 ...	386
11.2	構 成 ...	386
11.3	制御レジスタ ...	389
11.3.1	A/Dコンバータ・モード・レジスタ0 (ADM0) ...	389
11.3.2	A/Dコンバータ・モード・レジスタ1 (ADM1) ...	391
11.3.3	A/D変換結果レジスタ0-7 (ADCR0-ADCR7) ...	393
★	11.3.4 入力電圧と変換結果 ...	394
11.4	動 作 ...	395
11.4.1	基本動作 ...	395
11.4.2	動作モードとトリガ・モード ...	395
11.5	A/Dトリガ・モード時の動作 ...	401
11.5.1	セレクト・モードの動作 ...	401
11.5.2	スキャン・モードの動作 ...	404
11.6	タイマ・トリガ・モード時の動作 ...	405
11.6.1	セレクト・モードの動作 ...	405
11.6.2	スキャン・モードの動作 ...	408
11.7	外部トリガ・モード時の動作 ...	409
11.7.1	セレクト・モードの動作 ...	409

- 11.7.2 スキャン・モードの動作 ... 412
- 11.8 動作上の注意事項 ... 413
- ★ 11.9 A/Dコンバータ特性表の読み方 ... 416

第12章 DMA機能 ... 421

- 12.1 機能 ... 421
- ★ 12.2 特徴 ... 421
- ★ 12.3 構成 ... 422
- 12.4 制御レジスタ ... 423
 - 12.4.1 DMA周辺I/Oアドレス・レジスタ0-5 (DIOA0-DIOA5) ... 423
 - 12.4.2 DMA内蔵RAMアドレス・レジスタ0-5 (DRA0-DRA5) ... 423
 - 12.4.3 DMAバイト・カウント・レジスタ0-5 (DBC0-DBC5) ... 426
 - 12.4.4 DMAチャンネル・コントロール・レジスタ0-5 (DCHC0-DCHC5) ... 427
- ★ 12.5 動作 ... 429
- ★ 12.6 注意 ... 430

第13章 リアルタイム出力機能 (RTO) ... 431

- 13.1 機能 ... 431
- 13.2 特徴 ... 431
- 13.3 構成 ... 432
- 13.4 制御レジスタ ... 435
- 13.5 使用方法 ... 437
- 13.6 動作 ... 438
- 13.7 注意事項 ... 439

第14章 PWM機能 ... 440

- 14.1 概要 ... 440
- 14.2 構成 ... 440
- 14.3 制御レジスタ ... 442
- 14.4 動作 ... 445
 - 14.4.1 PWM基本動作 ... 445
 - 14.4.2 PWM動作の許可/禁止 ... 448
 - 14.4.3 PWMパルスのアクティブ・レベルの指定 ... 449
 - 14.4.4 PWMパルス幅書き換え周期の指定 ... 450
 - 14.4.5 繰り返し周波数 ... 451

第15章 Vsync/Hsync分離回路 ... 452

- 15.1 概要 ... 452
- 15.2 構成 ... 453
- 15.3 制御レジスタ ... 455
- 15.4 動作 ... 456
 - 15.4.1 Csync信号のフォーマット ... 456
 - 15.4.2 奇数フィールド時の基本動作 ... 457
 - 15.4.3 偶数フィールド時の基本動作 ... 459
 - 15.4.4 起動時の動作 ... 461

15.4.5	Vsync信号分離動作	...	462
15.4.6	Hsync信号分離動作	...	463
15.4.7	Hsync信号マスク動作	...	465
15.4.8	Hsync信号自己生成動作	...	466
15.4.9	奇数フィールド/偶数フィールド判定動作	...	467

★ 第16章 キー・リターン機能 ... 469

16.1	機能	...	469
16.2	特徴	...	469
16.3	制御レジスタ	...	470

第17章 ポート機能 ... 471

17.1	各ポートの構成	...	471
17.2	各ポートの端子機能	...	471
17.2.1	ポート0	...	471
17.2.2	ポート1	...	476
17.2.3	ポート2	...	482
17.2.4	ポート3	...	489
17.2.5	ポート4, ポート5	...	494
17.2.6	ポート6	...	497
17.2.7	ポート7, ポート8	...	500
17.2.8	ポート9	...	502
17.2.9	ポート10	...	506
17.2.10	ポート11	...	510
17.2.11	ポート12	...	512
17.2.12	ポート13	...	513
17.2.13	ポート14	...	523
17.2.14	ポート15	...	528
17.2.15	ポート16	...	531
17.2.16	ポート17	...	534
17.2.17	ポート18	...	537
17.2.18	ポート19	...	539
17.3	ポート端子を兼用端子として使用する場合の設定	...	541
★ 17.4	ポート機能の動作	...	544
17.4.1	入出力ポートへの書き込み	...	544
17.4.2	入出力ポートからの読み出し	...	544

第18章 リセット機能 ... 545

18.1	概要	...	545
18.2	端子動作	...	545

第19章 ROMコレクション機能 ... 546

19.1	概要	...	546
19.2	ROMコレクション周辺I/Oレジスタ	...	547
19.2.1	コレクション・コントロール・レジスタ (CORCN)	...	547

- 19.2.2 コレクション要求レジスタ (CORRQ) ... 547
- 19.2.3 コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3) ... 548

第20章 フラッシュ・メモリ ... 550

- 20.1 特 徴 ... 550
 - ★ 20.1.1 消去単位 ... 551
- 20.2 フラッシュ・ライターによる書き込み方法 ... 552
- 20.3 プログラミング環境 ... 556
- 20.4 通信方式 ... 557
- 20.5 端子処理 ... 559
 - 20.5.1 V_{PP}端子 ... 559
 - 20.5.2 シリアル・インタフェース端子 ... 560
 - 20.5.3 $\overline{\text{RESET}}$ 端子 ... 562
 - 20.5.4 ポート端子 (NMIを含む) ... 562
 - 20.5.5 その他の信号端子 ... 562
 - 20.5.6 電 源 ... 562
- 20.6 プログラミング方法 ... 563
 - 20.6.1 フラッシュ・メモリ制御 ... 563
 - 20.6.2 フラッシュ・メモリ・プログラミング・モード ... 564
 - 20.6.3 通信方式の選択 ... 564
 - 20.6.4 通信コマンド ... 565
 - 20.6.5 使用する資源 ... 566

★ 第21章 電気的特性 ... 567

★ 第22章 外形図 ... 592

★ 第23章 半田付け推奨条件 ... 594

付録A レジスタ索引 ... 597

付録B 命令セット一覧 ... 605

付録C 総合索引 ... 612

- C.1 50音で始まる語句の索引 ... 612
- C.2 数字, アルファベットで始まる語句の索引 ... 617

★ 付録D 改版履歴 ... 622

図の目次 (1/8)

図番号	タイトル, ページ
3 - 1	CPUレジスタ・セット ... 68
3 - 2	CPUアドレス空間 ... 74
3 - 3	アドレス空間上のイメージ ... 75
3 - 4	プログラム空間 ... 76
3 - 5	データ空間 ... 76
3 - 6	メモリ・マップ ... 77
3 - 7	内蔵ROM領域 (192 Kバイト) ... 78
3 - 8	内蔵ROM / 内蔵フラッシュ・メモリ領域 (256 Kバイト) ... 78
3 - 9	内蔵ROM / 内蔵フラッシュ・メモリ領域 (384 Kバイト) ... 79
3 - 10	内蔵RAM領域 (μ PD703038, 703038Y, 703040, 703040Y, 70F3038, 70F3038Y, 70F3040, 70F3040Y) ... 81
3 - 11	内蔵RAM領域 (μ PD703039, 703039Y, 703041, 703041Y) ... 81
3 - 12	内蔵周辺I/O領域 ... 82
3 - 13	外部メモリ領域 (64 K, 256 K, 1 Mバイト拡張時) ... 83
3 - 14	外部メモリ領域 (4 Mバイト拡張時) ... 84
3 - 15	ラップ・アラウンドを利用した応用例 ... 86
3 - 16	推奨メモリ・マップ例 (フラッシュ・メモリ内蔵品) ... 87
4 - 1	バイト・アクセス (8ビット) ... 102
4 - 2	ハーフワード・アクセス (16ビット) ... 102
4 - 3	ワード・アクセス (32ビット) ... 102
4 - 4	メモリ空間 ... 103
4 - 5	ウエイト制御 ... 105
4 - 6	ウエイト挿入例 ... 105
4 - 7	バス・ホールド手順 ... 108
4 - 8	メモリ・リード (0ウエイト) ... 109
4 - 9	メモリ・リード (1ウエイト) ... 110
4 - 10	メモリ・リード (0ウエイト, アイドル・ステート) ... 111
4 - 11	メモリ・リード (1ウエイト, アイドル・ステート) ... 112
4 - 12	メモリ・ライト (0ウエイト) ... 113
4 - 13	メモリ・ライト (1ウエイト) ... 114
4 - 14	バス・ホールド・タイミング ... 115
5 - 1	ノンマスカブル割り込みの処理形態 ... 121
5 - 2	ノンマスカブル割り込み要求の受け付け動作 ... 122
5 - 3	RETI命令の処理形態 ... 123
5 - 4	マスカブル割り込みの処理形態 ... 128
5 - 5	RETI命令の処理形態 ... 129
5 - 6	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 131

図の目次 (2/8)

図番号	タイトル, ページ
5 - 7	同時発生した割り込み要求の処理例 ... 133
5 - 8	ソフトウェア例外の処理形態 ... 139
5 - 9	RETI命令の処理形態 ... 140
5 - 10	例外トラップの処理形態 ... 142
5 - 11	RETI命令の処理形態 ... 143
5 - 12	割り込み要求受け付け時のパイプライン動作 (概略) ... 146
5 - 13	パイプラインの流れと要求発生タイミング ... 149
6 - 1	クロック発生機能 ... 151
6 - 2	クロック出力機能のブロック図 ... 152
6 - 3	CLO信号のタイミング ... 153
6 - 4	発振安定時間の確保 ... 165
7 - 1	TM8のブロック図 ... 170
7 - 2	TM9のブロック図 ... 171
7 - 3	INTCP9m入力 (m = 1-3) ... 183
7 - 4	分周器 ... 183
7 - 5	タイマ8の基本動作 ... 186
7 - 6	オーバフロー後の動作 (ECLR8 = 0, OST8 = 1の場合) ... 188
7 - 7	TCLR8信号入力によるタイマのクリア/スタート動作 (ECLR8 = 1, CCLR8 = 0, OST8 = 0の場合) ... 189
7 - 8	TCLR8信号入力によるタイマのクリア/スタート動作とオーバフロー動作の関係 (ECLR8 = 1, OST8 = 1の場合) ... 190
7 - 9	CC83一致によるタイマのクリア/スタート動作 (CCLR8 = 1, OST8 = 0の場合) ... 191
7 - 10	CC83一致によるタイマのクリア/スタート動作とオーバフロー動作の関係 (CCLR8 = 1, OST8 = 1の場合) ... 191
7 - 11	TM8キャプチャ動作例 ... 193
7 - 12	TM8キャプチャ動作例 (両エッジ指定時) ... 194
7 - 13	TM8コンペア動作例 ... 195
7 - 14	TM8コンペア動作例 (セット/リセット出力モード) ... 196
7 - 15	タイマ9の基本動作 ... 197
7 - 16	オーバフロー後の動作 (OST9 = 1の場合) ... 199
7 - 17	ソフトウェアによるタイマのクリア/スタート動作 (OST9 = 1の場合) ... 200
7 - 18	TM9キャプチャ動作例 ... 201
7 - 19	TM9コンペア動作例 ... 202
7 - 20	インターバル・タイマ動作のタイミング例 (タイマ8) ... 203
7 - 21	インターバル・タイマ動作の設定手順 (タイマ8) ... 203
7 - 22	パルス幅測定のタイミング (タイマ8) ... 204
7 - 23	パルス幅測定の設定手順例 (タイマ8) ... 205

図の目次 (3/8)

図番号	タイトル, ページ
7 - 24	パルス幅を算出する割り込み要求処理ルーチン例 (タイマ8) ... 205
7 - 25	PWM出力のタイミング例 (タイマ8) ... 206
7 - 26	PWM出力の設定手順例 (タイマ8) ... 207
7 - 27	コンペア値を書き換える割り込み要求処理ルーチン例 (タイマ8) ... 207
7 - 28	周期測定のタイミング例 (タイマ8) ... 208
7 - 29	周期測定の設定手順例 (タイマ8) ... 209
7 - 30	周期を算出する割り込み処理ルーチン例 (タイマ8) ... 209
7 - 31	TM0, TM1のブロック図 ... 213
7 - 32	インターバル・タイマ動作時の制御レジスタ設定内容 ... 225
7 - 33	インターバル・タイマの構成図 ... 226
7 - 34	インターバル・タイマ動作のタイミング ... 226
7 - 35	PPG出力動作時の制御レジスタ設定内容 ... 227
7 - 36	PPG出力の構成図 ... 228
7 - 37	PPG出力動作タイミング ... 228
7 - 38	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 229
7 - 39	フリー・ランニング・カウンタによるパルス幅測定の構成図 ... 230
7 - 40	立ち上がりエッジ指定時のCRn1キャプチャ動作 ... 230
7 - 41	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) ... 231
7 - 42	フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 232
7 - 43	フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) ... 232
7 - 44	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 233
7 - 45	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 234
7 - 46	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 235
7 - 47	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 235
7 - 48	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 236
7 - 49	外部イベント・カウンタの構成図 ... 237
7 - 50	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 237
7 - 51	方形波出力モード時の制御レジスタ設定内容 ... 238
7 - 52	方形波出力動作のタイミング ... 239
7 - 53	ソフトウエア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 240
7 - 54	ソフトウエア・トリガによるワンショット・パルス出力動作のタイミング ... 241
7 - 55	外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 242

図の目次 (4/8)

図番号	タイトル, ページ
7 - 56	外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) ... 243
7 - 57	16ビット・タイマ・レジスタnのスタート・タイミング ... 244
7 - 58	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 244
7 - 59	キャプチャ・レジスタのデータ保持タイミング ... 245
7 - 60	OVFnフラグの動作タイミング ... 247
7 - 61	TM2-TM7, TM10, TM11のブロック図 ... 251
7 - 62	インターバル・タイマ動作のタイミング ... 260
7 - 63	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 263
7 - 64	方形波出力動作のタイミング ... 264
7 - 65	PWM出力の動作タイミング ... 266
7 - 66	CRn0変更による動作のタイミング ... 267
7 - 67	16ビット分解能カスケード接続モード ... 269
7 - 68	タイマnのスタート・タイミング ... 270
7 - 69	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 270
8 - 1	時計用タイマのブロック図 ... 271
8 - 2	時計用タイマ/インターバル・タイマの動作タイミング ... 276
8 - 3	割り込み要求例 (0.5 sの場合) ... 276
9 - 1	ウォッチドッグ・タイマのブロック図 ... 277
10 - 1	3線式シリアルI/Oのブロック図 ... 286
10 - 2	CSIMの設定 (動作停止モード) ... 290
10 - 3	CSIMの設定 (3線式シリアルI/Oモード) ... 291
10 - 4	3線式シリアルI/Oモードのタイミング ... 292
10 - 5	I ² Cnのブロック図 ... 294
10 - 6	I ² Cバスによるシリアル・バス構成例 ... 295
10 - 7	I ² Cの転送クロック周波数 (f _{SCL}) ... 308
10 - 8	端子構成図 ... 310
10 - 9	I ² Cバスのシリアル・データ転送タイミング ... 311
10 - 10	スタート・コンディション ... 311
10 - 11	アドレス ... 312
10 - 12	転送方向指定 ... 313
10 - 13	アクリッジ信号 ... 314
10 - 14	ストップ・コンディション ... 315
10 - 15	ウェイト信号 ... 316
10 - 16	アービトレーション・タイミング例 ... 338
10 - 17	通信予約のタイミング ... 341

図の目次 (5/8)

図番号	タイトル, ページ
10 - 18	通信予約受け付けタイミング ... 341
10 - 19	通信予約の手順 ... 342
10 - 20	マスタ動作手順 ... 344
10 - 21	スレーブ動作手順 ... 345
10 - 22	マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 347
10 - 23	スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 350
10 - 24	UARTnのブロック図 ... 354
10 - 25	ASIMn0の設定 (動作モード) ... 361
10 - 26	ASIMn0の設定 (アシンクロナス・シリアル・インタフェース・モード) ... 362
10 - 27	ASISnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 363
10 - 28	BRGCnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 364
10 - 29	BRGMCn0, BRGMCn1の設定 (アシンクロナス・シリアル・インタフェース・モード) ... 365
10 - 30	サンプリング誤差を考慮したボー・レートの許容誤差 (k = 16の場合) ... 367
10 - 31	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 368
10 - 32	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 370
10 - 33	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 371
10 - 34	受信エラー・タイミング ... 372
10 - 35	3線式可変長シリアルI/Oのブロック図 ... 375
10 - 36	16ビット以外の転送ビット長を設定した場合 ... 376
10 - 37	CSIM4の設定 (動作停止モード) ... 381
10 - 38	CSIM4の設定 (3線式可変長シリアルI/Oモード) ... 382
10 - 39	CSIB4の設定 (3線式可変長シリアルI/Oモード) ... 383
10 - 40	3線式可変長シリアルI/Oモードのタイミング ... 384
10 - 41	3線式可変長シリアルI/Oモードのタイミング (CSIB = 08Hの場合) ... 385
11 - 1	A/Dコンバータのブロック図 ... 388
11 - 2	アナログ入力電圧とA/D変換結果の関係 ... 394
11 - 3	セレクト・モードの動作タイミング例: 1バッファ・モード (ANI1) ... 397
11 - 4	セレクト・モードの動作タイミング例: 4バッファ・モード (ANI6) ... 398
11 - 5	スキャン・モードの動作タイミング例: 4チャンネル・スキャン (ANI0-ANI3) ... 400
11 - 6	1バッファ・モード (A/Dトリガ・セレクト1バッファ) の動作例 (ANI9) ... 402
11 - 7	4バッファ・モード (A/Dトリガ・セレクト4バッファ) の動作例 (ANI3) ... 403
11 - 8	スキャン・モード (A/Dトリガ・スキャン) の動作例 (ANI8-ANI12) ... 404
11 - 9	1バッファ・モード (タイマ・トリガ・セレクト1バッファ) の動作例 (ANI5) ... 406
11 - 10	4バッファ・モード (タイマ・トリガ・セレクト4バッファ) の動作例 (ANI4) ... 407
11 - 11	スキャン・モード (タイマ・トリガ・スキャン) の動作例 (ANI0-ANI7) ... 408
11 - 12	1バッファ・モード (外部トリガ・セレクト1バッファ) の動作例 (ANI10) ... 410
11 - 13	4バッファ・モード (外部トリガ・セレクト4バッファ) の動作例 (ANI10) ... 411
11 - 14	スキャン・モード (外部トリガ・スキャン) の動作例 (ANI0-ANI5) ... 412

図の目次 (6/8)

図番号	タイトル, ページ
11 - 15	アナログ入力端子の処理 ... 414
11 - 16	AVDD端子の処理 ... 415
11 - 17	総合誤差 ... 417
11 - 18	量子化誤差 ... 417
11 - 19	ゼロスケール誤差 ... 418
11 - 20	フルスケール誤差 ... 418
11 - 21	微分直線性誤差 ... 419
11 - 22	積分直線性誤差 ... 419
11 - 23	サンプリング時間 ... 420
12 - 1	DMAのブロック図 ... 422
12 - 2	DRAnの設定値と内蔵RAM領域の対応 (μ PD703039, 703039Y, 703041, 703041Y) ... 424
12 - 3	DRAnの設定値と内蔵RAM領域の対応 (μ PD703038, 703038Y, 703040, 703040Y, 30F3038, 70F3038Y, 70F3040, 70F3040Y) ... 425
12 - 4	DMA転送動作のタイミング ... 429
12 - 5	DMA0-DMA5転送要求が同時に発生した場合の処理 ... 430
13 - 1	RTOのブロック図 ... 432
13 - 2	リアルタイム出力バッファ・レジスタnの構成 ... 433
13 - 3	RTOの動作タイミング例 (EXTR0 = 0, BYTE0 = 0の場合) ... 438
14 - 1	PWM機能のブロック図 ... 441
14 - 2	PWMの基本動作 ... 445
14 - 3	主パルスと付加パルスによるPWM出力例 ... 446
14 - 4	PWM出力動作例 ... 447
14 - 5	PWM動作タイミング ... 448
14 - 6	PWM出力のアクティブ・レベル設定 ... 449
14 - 7	PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{(X+8)}/f_{PwMC}$) ... 450
14 - 8	PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^X/f_{PwMC}$) ... 451
15 - 1	Vsync/Hsync分離回路のブロック図 ... 452
15 - 2	Csync信号のフォーマット ... 456
15 - 3	奇数フィールド ... 457
15 - 4	偶数フィールド ... 459
15 - 5	起動時の動作 ... 461
15 - 6	Vsync信号分離動作 ... 462
15 - 7	Hsync信号分離動作 ... 463
15 - 8	Hsync信号マスク動作 ... 465
15 - 9	Hsync信号自己生成動作 ... 466

図の目次 (7/8)

図番号	タイトル, ページ
15 - 10	奇数フィールド判定動作 ... 467
15 - 11	偶数フィールド判定動作 ... 468
16 - 1	キー・リターン機能 ... 469
17 - 1	P00-P07のブロック図 ... 475
17 - 2	P10, P12, P15のブロック図 ... 479
17 - 3	P11, P14のブロック図 ... 480
17 - 4	P13のブロック図 ... 481
17 - 5	P20, P22, P25のブロック図 ... 485
17 - 6	P21, P24のブロック図 ... 486
17 - 7	P23のブロック図 ... 487
17 - 8	P26, P27のブロック図 ... 488
17 - 9	P30-P33のブロック図 ... 491
17 - 10	P34, P35のブロック図 ... 492
17 - 11	P36, 37のブロック図 ... 493
17 - 12	P40-P47, P50-P57のブロック図 ... 496
17 - 13	P60-P65のブロック図 ... 499
17 - 14	P70-P77, P80-P87のブロック図 ... 501
17 - 15	P90-P95のブロック図 ... 504
17 - 16	P96のブロック図 ... 505
17 - 17	P100-P107のブロック図 ... 509
17 - 18	P110-P113のブロック図 ... 511
17 - 19	P120のブロック図 ... 514
17 - 20	P121のブロック図 ... 515
17 - 21	P122のブロック図 ... 516
17 - 22	P123のブロック図 ... 517
17 - 23	P124-P127のブロック図 ... 517
17 - 24	P130-P135のブロック図 ... 521
17 - 25	P136, P137のブロック図 ... 522
17 - 26	P140-P145のブロック図 ... 526
17 - 27	P146, P147のブロック図 ... 527
17 - 28	P150-P157のブロック図 ... 530
17 - 29	P160-P163, P165-P167のブロック図 ... 532
17 - 30	P164のブロック図 ... 533
17 - 31	P170-P177のブロック図 ... 536
17 - 32	P180-P187のブロック図 ... 538
17 - 33	P190-P197のブロック図 ... 540

図の目次 (8/8)

図番号	タイトル, ページ
18 - 1	システム・リセット・タイミング ... 545
19 - 1	ROMコレクションのブロック図 ... 546
19 - 2	ROMコレクションの動作とプログラムの流れ ... 549
20 - 1	V850/SV1フラッシュ書き込み用アダプタ (FA-180FBGA) ... 553
20 - 2	V850/SV1フラッシュ書き込み用アダプタ (FA-176GM-UEU) ... 555
20 - 3	フラッシュ・メモリにプログラムを書き込むための環境 ... 556
20 - 4	専用フラッシュ・ライターとの通信 (UART0) ... 557
20 - 5	専用フラッシュ・ライターとの通信 (CSI0) ... 557
20 - 6	専用フラッシュ・ライターとの通信 (CSI0 + HS) ... 558
20 - 7	V _{PP} 端子の接続例 ... 559
20 - 8	信号の衝突 (シリアル・インタフェースの入力端子) ... 560
20 - 9	ほかのデバイスの異常動作 ... 561
20 - 10	信号の衝突 (RESET端子) ... 562
20 - 11	フラッシュ・メモリの操作手順 ... 563
20 - 12	フラッシュ・メモリ・プログラミング・モード ... 564
20 - 13	通信コマンド ... 565

表の目次 (1/4)

表番号	タイトル, ページ
1 - 1	V850/SV1の製品一覧 ... 30
3 - 1	プログラム・レジスタ一覧 ... 69
3 - 2	システム・レジスタ番号 ... 70
3 - 3	割り込み / 例外テーブル ... 80
4 - 1	バス制御端子 ... 100
4 - 2	アクセス・クロック数 ... 101
4 - 3	バス優先順位 ... 116
5 - 1	割り込み要因一覧 ... 118
5 - 2	割り込み制御レジスタ (xxICn) ... 135
5 - 3	割り込みと例外の優先順位 ... 144
6 - 1	HALTモード時の動作状態 ... 159
6 - 2	IDLEモード時の動作状態 ... 162
6 - 3	ソフトウェアSTOPモード時の動作状態 ... 164
7 - 1	V854のTM0とV850/SV1のTM8の違い ... 168
7 - 2	V854のTM1とV850/SV1のTM9の違い ... 169
7 - 3	タイマ8, 9の構成 ... 172
7 - 4	24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (タイマ8) ... 192
7 - 5	24ビット・コンペア・レジスタからの割り込み要求信号 (タイマ8) ... 195
7 - 6	24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (タイマ9) ... 201
7 - 7	24ビット・コンペア・レジスタからの割り込み要求信号 (タイマ9) ... 202
7 - 8	タイマ0, 1の構成 ... 214
7 - 9	TI0n0端子の有効エッジとCRn0のキャプチャ・トリガ ... 215
7 - 10	TI0n1端子の有効エッジとCRn0のキャプチャ・トリガ ... 215
7 - 11	TI0n0端子の有効エッジとCRn1のキャプチャ・トリガ ... 216
7 - 12	タイマ2-7, 10, 11の構成 ... 251
8 - 1	インターバル・タイマのインターバル時間 ... 272
8 - 2	時計用タイマの構成 ... 272
8 - 3	インターバル・タイマのインターバル時間 ... 275
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 278
9 - 2	インターバル・タイマのインターバル時間 ... 278
9 - 3	ウォッチドッグ・タイマの構成 ... 279
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 282

表の目次 (2/4)

表番号	タイトル, ページ
9 - 5	インターバル・タイムのインターバル時間 ... 283
10 - 1	CSInの構成 ... 286
10 - 2	I ² Cnの構成 ... 296
10 - 3	選択クロックの設定 ... 308
10 - 4	INTIICn発生タイミングおよびウェイト制御 ... 336
10 - 5	拡張コードのビットの定義 ... 338
10 - 6	アービトラージ発生時の状態と割り込み要求発生タイミング ... 339
10 - 7	ウェイト時間 ... 340
10 - 8	UARTnの構成 ... 353
10 - 9	メイン・クロックとポー・レートの関係 ... 367
10 - 10	受信エラーの要因 ... 372
10 - 11	CSI4の構成 ... 374
11 - 1	A/Dコンバータの構成 ... 386
11 - 2	アナログ入力端子とADCRnレジスタの対応 (1バッファ・モード (A/Dトリガ・セレクト1バッファ)) ... 401
11 - 3	アナログ入力端子とADCRnレジスタの対応 (4バッファ・モード (A/Dトリガ・セレクト4バッファ)) ... 403
11 - 4	アナログ入力端子とADCRnレジスタの対応 (スキャン・モード (A/Dトリガ・スキャン)) ... 404
11 - 5	アナログ入力端子とADCRnレジスタの対応 (1バッファ・モード (タイマ・トリガ・セレクト1バッファ)) ... 406
11 - 6	アナログ入力端子とADCRnレジスタの対応 (4バッファ・モード (タイマ・トリガ・セレクト4バッファ)) ... 407
11 - 7	アナログ入力端子とADCRnレジスタの対応 (スキャン・モード (タイマ・トリガ・スキャン)) ... 408
11 - 8	アナログ入力端子とADCRnレジスタの対応 (1バッファ・モード (外部トリガ・セレクト1バッファ)) ... 409
11 - 9	アナログ入力端子とADCRnレジスタの対応 (4バッファ・モード (外部トリガ・セレクト4バッファ)) ... 411
11 - 10	アナログ入力端子とADCRnレジスタの対応 (スキャン・モード (外部トリガ・スキャン)) ... 412
13 - 1	RTOの構成 ... 433
13 - 2	リアルタイム出力バッファ・レジスタnに対する操作時の動作 ... 434
13 - 3	リアルタイム出力ポートの動作モードと出力トリガ (チャンネル0) ... 436
13 - 4	リアルタイム出力ポートの動作モードと出力トリガ (チャンネル1) ... 436

表の目次 (3/4)

表番号	タイトル, ページ
15 - 1	Vsync/Hsync分離回路の構成 ... 453
15 - 2	奇数フィールドの動作 ... 458
15 - 3	偶数フィールドの動作 ... 460
16 - 1	キー・リターン検出端子の割り当て ... 470
17 - 1	ポート0の兼用端子 ... 472
17 - 2	ポート1の兼用端子 ... 476
17 - 3	ポート2の兼用端子 ... 482
17 - 4	ポート3の兼用端子 ... 489
17 - 5	ポート4, ポート5の兼用端子 ... 494
17 - 6	ポート6の兼用端子 ... 497
17 - 7	ポート7, ポート8の兼用端子 ... 500
17 - 8	ポート9の兼用端子 ... 502
17 - 9	ポート10の兼用端子 ... 506
17 - 10	ポート11 (兼用端子なし) ... 510
17 - 11	ポート12の兼用端子 ... 512
17 - 12	ポート13の兼用端子 ... 518
17 - 13	ポート14の兼用端子 ... 523
17 - 14	ポート15の兼用端子 ... 529
17 - 15	ポート16の兼用端子 ... 531
17 - 16	ポート17の兼用端子 ... 534
17 - 17	ポート18 (兼用端子なし) ... 537
17 - 18	ポート19 (兼用端子なし) ... 539
17 - 19	ポート端子を兼用端子として使用する場合の設定 ... 541
20 - 1	V850/SV1フラッシュ書き込み用アダプタ (FA-180FBGA) の配線表 ... 554
20 - 2	V850/SV1フラッシュ書き込み用アダプタ (FA-176GM-UEU) の配線表 ... 556
20 - 3	専用フラッシュ・ライター (PG-FP3) の信号生成 ... 558
20 - 4	各シリアル・インタフェースが使用する端子 ... 560
20 - 5	通信方式一覧 ... 564
20 - 6	フラッシュ・メモリ制御用コマンド ... 565
20 - 7	応答コマンド ... 565
23 - 1	表面実装タイプの半田付け条件 ... 594
B - 1	オペランド記述に使われる略号 ... 604
B - 2	オペコード欄に使われる略号 ... 605
B - 3	オペレーション欄に使われる略号 ... 605

表の目次 (4/4)

表番号	タイトル, ページ
B - 4	フラグの動作 ... 606
B - 5	条件コード ... 606

第1章 イン트로ダクション

V850/SV1は、NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコンピュータV850シリーズのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850/SV1は、V850シリーズのCPUコアを使用し、大容量ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ、DMAコントローラなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。

V850/SA1, V850/SB1に対しては、周辺機能の追加、多ピン化を行っています。

V850/SV1は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、VTRソフトウェア・サーボ制御に最適な24ビット多機能タイマ、PWM出力、Vsync/Hsync分離回路など豊富な周辺機能を内蔵していますので、多機能低消費電力を要求されるカムコーダ（DVC含む）などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

表1 - 1にV850/SV1について示します。

表1 - 1 V850/SV1の製品一覧

製品名		ROM		RAMサイズ	I ² C	
愛称	品名	種類	サイズ			
★	V850/SV1	マスクROM	μ PD703038	384 Kバイト	16 Kバイト	なし
			μ PD703039	256 Kバイト	8 Kバイト	
			μ PD703040		16 Kバイト	
			μ PD703041	192 Kバイト	8 Kバイト	
★	V850/SV1	フラッシュ・メモリ	μ PD70F3038	384 Kバイト	16 Kバイト	I ² C内蔵
			μ PD70F3040	256 Kバイト		
★	V850/SV1	マスクROM	μ PD703038Y	384 Kバイト		
			μ PD703039Y	256 Kバイト	8 Kバイト	
			μ PD703040Y		16 Kバイト	
			μ PD703041Y	192 Kバイト	8 Kバイト	
★	V850/SV1	フラッシュ・メモリ	μ PD70F3038Y	384 Kバイト	16 Kバイト	
			μ PD70F3040Y	256 Kバイト		

1.2 特 徴

命令数 74

- ★ 最小命令実行時間 50 ns (20 MHz動作時: $V_{DD} = 3.1 \sim 3.6$ V)
62.5 ns (16 MHz動作時: $V_{DD} = 2.7 \sim 3.6$ V)
 - 汎用レジスタ 32ビット×32本
 - 命令セット 符号付き乗算 (16×16→32): 100 ns (20 MHz動作時)
(レジスタ・ハザードが起きない後続の命令を並列に実行可能)
飽和演算 (オーバフロー/アンダフロー検出機能付き)
32ビット・シフト命令: 1クロック
ビット操作命令
ロング/ショート形式を持つロード/ストア命令
 - メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム/データ共用)
外部拡張: 4 Mバイトまで可能
メモリ・ブロック分割機能: 2 Mバイト/ブロック
プログラマブル・ウェイト機能
アイドル・ステート挿入機能
 - 外部バス・インタフェース
16ビット・マルチプレクスト・バス
バス・ホールド機能
外部ウェイト機能
 - ★ 内蔵メモリ μ PD703038, 703038Y (マスクROM: 384 Kバイト / RAM: 16 Kバイト)
 μ PD703039, 703039Y (マスクROM: 256 Kバイト / RAM: 8 Kバイト)
 μ PD703040, 703040Y (マスクROM: 256 Kバイト / RAM: 16 Kバイト)
 μ PD703041, 703041Y (マスクROM: 192 Kバイト / RAM: 8 Kバイト)
 - ★ μ PD70F3038, 70F3038Y (フラッシュ・メモリ: 384 Kバイト / RAM: 16 Kバイト)
 μ PD70F3040, 70F3040Y (フラッシュ・メモリ: 256 Kバイト / RAM: 16 Kバイト)
 - ★ 割り込み / 例外
外部割り込み : 9要因 (6要因^注)
内部割り込み : 44要因 (μ PD703038, 703039, 703040, 703041, 70F3038, 70F3040)
45要因 (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Y)
- 注** ソフトウエアSTOPモード解除可能な割り込み数
- ソフトウェア例外 : 32要因
 - 例外トラップ : 1要因
- I/Oライン 合計: 151 (入力ポート: 16 入出力ポート: 135)
- タイマ / カウンタ
24ビット・タイマ: 2ch (1ch: PWM出力)
16ビット・タイマ: 2ch (PWM出力)
8ビット・タイマ : 8ch (カスケード接続可能, PWM出力可能)
- 時計用タイマ サブクロック / メイン・クロック動作: 1ch
IDLEモード時もサブクロック / メイン・クロックで動作可能

ウォッチドッグ・タイマ : 1ch

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART)

クロック同期式シリアル・インタフェース (CSI)

3線式可変長シリアル・インタフェース (CSI4)

★ I²Cバス・インタフェース(I²C)(μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Y)

CSI/UART : 2ch

CSI/I²C : 2ch

CSI (8-16ビット可変) : 1ch

専用ポー・レート・ジェネレータ : 3ch (UART : 2ch, 可変長CSI : 1ch)

A/Dコンバータ 10ビット分解能 : 16ch

セレクト/スキャン・モード対応

(セレクト・モードは1バッファ/4バッファ・モード選択可能)

ADCRバッファ 10ビット×8本

DMAコントローラ 内蔵RAM 内蔵周辺I/O間 : 6ch

リアルタイム出力ポート 8ビット×2ch

(各チャンネルを8ビット×1chまたは4ビット×2ch選択可能)

ROMコレクション : 4箇所修正可能

キー・リターン機能 : 4~8本セレクト可能, 立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック4段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8)

CPUクロック出力機能 (CLKOUT)

システム・クロック出力機能 (CLO)

PWM出力 : 4ch

Vsync/Hsync分離回路 PAL/NTSCの両フォーマットに対応

フィールド判定, Hsync自動補正機能

パワー・セーブ機能 HALT/IDLE/ソフトウェアSTOPモード

パッケージ 176ピン・プラスチックLQFP (ファインピッチ) (24×24, 0.5 mmピッチ)

★ (180ピン・プラスチックFBGA (13×13, 0.8 mmピッチ))

CMOS構造 完全スタティック回路

★ 1.3 応用分野

・カムコーダ (DVC含む) などのバッテリー駆動機器全般

1.4 オータ情報

品名	パッケージ	内蔵ROM
★ μ PD703038F1-xxx-EN2	180ピン・プラスチックFBGA (13×13)	マスクROM (384 Kバイト)
★ μ PD703038F1-xxx-EN2-A	"	"
★ μ PD703038YF1-xxx-EN2	"	"
★ μ PD703038YF1-xxx-EN2-A	"	"
μ PD703039GM-xxx-UEU	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	マスクROM (256 Kバイト)
★ μ PD703039GM-xxx-UEU-A	"	"
★ μ PD703039F1-xxx-EN2	180ピン・プラスチックFBGA (13×13)	"
★ μ PD703039F1-xxx-EN2-A	"	"
μ PD703039YGM-xxx-UEU	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	"
★ μ PD703039YGM-xxx-UEU-A	"	"
★ μ PD703039YF1-xxx-EN2	180ピン・プラスチックFBGA (13×13)	"
★ μ PD703039YF1-xxx-EN2-A	"	"
μ PD703040GM-xxx-UEU	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	"
★ μ PD703040GM-xxx-UEU-A	"	"
★ μ PD703040F1-xxx-EN2	180ピン・プラスチックFBGA (13×13)	"
★ μ PD703040F1-xxx-EN2-A	"	"
μ PD703040YGM-xxx-UEU	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	"
★ μ PD703040YGM-xxx-UEU-A	"	"
★ μ PD703040YF1-xxx-EN2	180ピン・プラスチックFBGA (13×13)	"
★ μ PD703040YF1-xxx-EN2-A	"	"
μ PD703041GM-xxx-UEU	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	マスクROM (192 Kバイト)
★ μ PD703041GM-xxx-UEU-A	"	"
μ PD703041YGM-xxx-UEU	"	"
★ μ PD703041YGM-xxx-UEU-A	"	"
★ μ PD70F3038F1-EN2	180ピン・プラスチックFBGA (13×13)	フラッシュ・メモリ (384 Kバイト)
★ μ PD70F3038F1-EN2-A	"	"
★ μ PD70F3038YF1-EN2	"	"
★ μ PD70F3038YF1-EN2-A	"	"
μ PD70F3040GM-UEU	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	フラッシュ・メモリ (256 Kバイト)
★ μ PD70F3040GM-UEU-A	"	"
★ μ PD70F3040F1-EN2	180ピン・プラスチックFBGA (13×13)	"
★ μ PD70F3040F1-EN2-A	"	"
μ PD70F3040YGM-UEU	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	"
★ μ PD70F3040YGM-UEU-A	"	"
★ μ PD70F3040YF1-EN2	180ピン・プラスチックFBGA (13×13)	"
★ μ PD70F3040YF1-EN2-A	"	"

備考1. xxxはROMコード番号です。

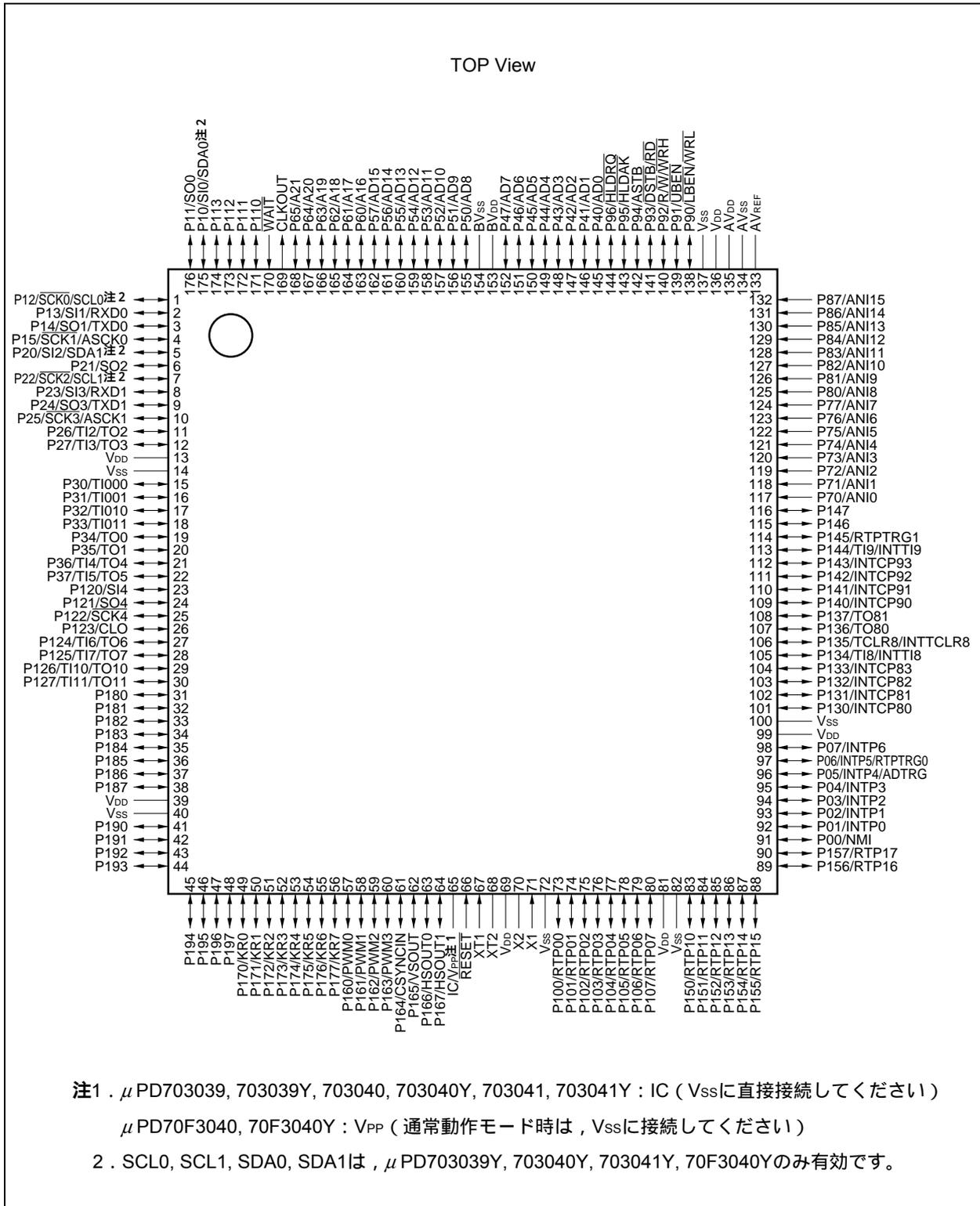
2. ROMレス品はありません。

3. オータ名称末尾「-A」の製品は、鉛フリー製品です。

1.5 端子接続図

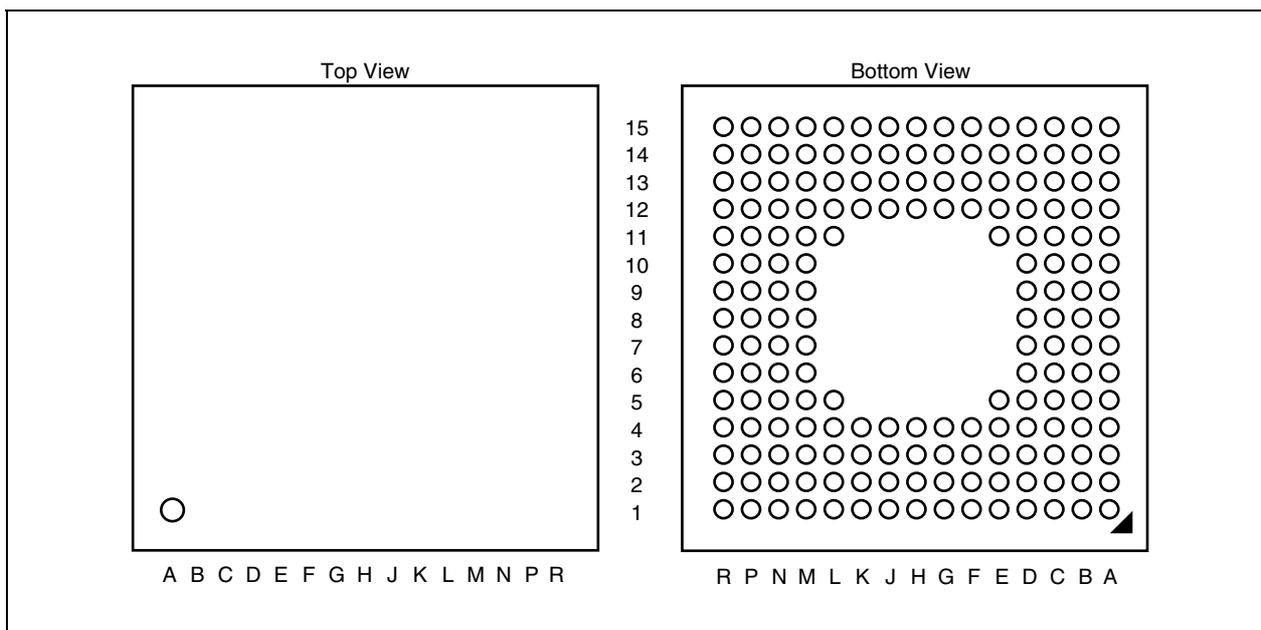
176ピン・プラスチックLQFP（ファインピッチ）（24×24）

- ・μPD703039GM-xxx-UEU ・μPD703040GM-xxx-UEU ・μPD703041GM-xxx-UEU ・μPD70F3040GM-UEU
- ・μPD703039GM-xxx-UEU-A ・μPD703040GM-xxx-UEU-A ・μPD703041GM-xxx-UEU-A ・μPD70F3040GM-UEU-A
- ・μPD703039YGM-xxx-UEU ・μPD703040YGM-xxx-UEU ・μPD703041YGM-xxx-UEU ・μPD70F3040YGM-UEU
- ・μPD703039YGM-xxx-UEU-A ・μPD703040YGM-xxx-UEU-A ・μPD703041YGM-xxx-UEU-A ・μPD70F3040YGM-UEU-A



★ 180ピン・プラスチックFBGA (13×13)

- ・ μ PD703038F1-xxx-EN2
- ・ μ PD703038F1-xxx-EN2-A
- ・ μ PD703038YF1-xxx-EN2
- ・ μ PD703038YF1-xxx-EN2-A
- ・ μ PD703039F1-xxx-EN2
- ・ μ PD703039F1-xxx-EN2-A
- ・ μ PD703039YF1-xxx-EN2
- ・ μ PD703039YF1-xxx-EN2-A
- ・ μ PD703039YF1-xxx-EN2
- ・ μ PD703039YF1-xxx-EN2-A
- ・ μ PD703040F1-xxx-EN2
- ・ μ PD703040F1-xxx-EN2-A
- ・ μ PD703040YF1-xxx-EN2
- ・ μ PD703040YF1-xxx-EN2-A
- ・ μ PD703040YF1-xxx-EN2
- ・ μ PD703040YF1-xxx-EN2-A
- ・ μ PD70F3038YF1-EN2
- ・ μ PD70F3038YF1-EN2-A
- ・ μ PD70F3040F1-EN2
- ・ μ PD70F3040F1-EN2-A
- ・ μ PD70F3040YF1-EN2
- ・ μ PD70F3040YF1-EN2-A



(1/2)

ピン番号	名称	ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	NC ^{注1}	B1	P13/SI1/RXD0	C1	P15/SCK1/ASCK0	D1	P23/SI3/RXD1
A2	P11/SO0	B2	P12/SCK0/SCL0 ^{注2}	C2	P20/SI2/SDA1 ^{注2}	D2	P21/SO2
A3	P10/SI0/SDA0 ^{注2}	B3	P113	C3	P14/SO1/TXD0	D3	P22/SCK2/SCL1 ^{注2}
A4	P112	B4	P110	C4	P111	D4	P24/SO3/TXD1
A5	CLKOUT	B5	P64/A20	C5	P65/A21	D5	WAIT
A6	P62/A18	B6	P60/A16	C6	P63/A19	D6	P61/A17
A7	P57/AD15	B7	P54/AD12	C7	P56/AD14	D7	P55/AD13
A8	P53/AD11	B8	P50/AD8	C8	P52/AD10	D8	P51/AD9
A9	BV _{SS}	B9	P46/AD6	C9	BV _{DD}	D9	P47/AD7
A10	P45/AD5	B10	P42/AD2	C10	P44/AD4	D10	P43/AD3
A11	P41/AD1	B11	P94/ASTB	C11	P40/AD0	D11	P96/HLDRQ
A12	V _{SS}	B12	P91/UBEN	C12	P93/DSTB/RD	D12	P90/LBEN/WRL
A13	AV _{SS}	B13	AV _{DD}	C13	P82/ANI10	D13	P81/ANI9
A14	AV _{REF}	B14	V _{DD}	C14	P86/ANI14	D14	P84/ANI12
A15	NC ^{注1}	B15	P87/ANI15	C15	P85/ANI13	D15	P83/ANI11

注1 . NC端子はオープンにしてください。

2 . SCL0, SCL1, SDA0, SDA1は , μ PD703038Y, 703039Y, 703040Y, 70F3039Y, 70F3040Yのみ有効です。

ピン番号	名称	ピン番号	名称	ピン番号	名称	ピン番号	名称
E1	P27/TI3/TO3	H12	P144/TI9/INTTI9	M1	V _{DD}	P1	P193
E2	P25/SCK3/ASCK1	H13	P143/INTCP93	M2	P186	P2	P195
E3	P26/TI2/TO2	H14	P146	M3	P170/KR0	P3	P196
E4	V _{SS}	H15	P141/INTCP91	M4	P174/KR4	P4	P176/KR6
E5	V _{DD}	J1	P125/TI7/TO7	M5	P177/KR7	P5	P160/PWM0
E11	P95/HLDAK	J2	P124/TI6/TO6	M6	P163/PWM3	P6	P164/CSYNCIN
E12	P92/R/W/WRH	J3	P126/TI10/TO10	M7	P167/HSOUT1	P7	IC/V _{PP} ^{注1}
E13	P76/ANI6	J4	P127/TI11/TO11	M8	RESET	P8	X2
E14	P77/ANI7	J12	P140/INTCP90	M9	V _{SS}	P9	P100/RTP00
E15	P80/ANI8	J13	P137/TO81	M10	P103/RTP03	P10	P104/RTP04
F1	P30/TI000	J14	P142/INTCP92	M11	P01/INTP0	P11	P107/RTP07
F2	P31/TI001	J15	P135/TCLR8/INTTCLR8	M12	P04/INTP3	P12	P150/RTP10
F3	P32/TI010	K1	P181	M13	P05/INTP4/ADTRG	P13	P152/RTP12
F4	P33/TI011	K2	P180	M14	P03/INTP2	P14	P153/RTP13
F12	P74/ANI4	K3	P182	M15	P06/INTP5/RTPTRG0	P15	P156/RTP16
F13	P72/ANI2	K4	P183	N1	P191	R1	NC ^{注2}
F14	P75/ANI5	K12	P134/TI8/INTTI8	N2	P192	R2	P194
F15	P70/ANI0	K13	P133/INTCP83	N3	P197	R3	P171/KR1
G1	P35/TO1	K14	P136/TO80	N4	P173/KR3	R4	P172/KR2
G2	P34/TO0	K15	P132/INTCP82	N5	P175/KR5	R5	P161/PWM1
G3	P36/TI4/TO4	L1	P185	N6	P162/PWM2	R6	P165/VSOUT
G4	P37/TI5/TO5	L2	P184	N7	P166/HSOUT0	R7	XT1
G12	P73/ANI3	L3	P187	N8	V _{DD}	R8	XT2
G13	P147	L4	V _{SS}	N9	X1	R9	P101/RTP01
G14	P71/ANI1	L5	P190	N10	P102/RTP02	R10	P105/RTP05
G15	P145/RTPTRG1	L11	V _{DD}	N11	P106/RTP06	R11	V _{SS}
H1	P121/SO4	L12	V _{SS}	N12	V _{DD}	R12	P151/RTP11
H2	P120/SI4	L13	P07/INTP6	N13	P157/RTP17	R13	P154/RTP14
H3	P122/SCK4	L14	P131/INTCP81	N14	P00/NMI	R14	P155/RTP15
H4	P123/CLO	L15	P130/INTCP80	N15	P02/INTP1	R15	NC ^{注2}

注1 . μPD703038, 703038Y, 703039, 703039Y, 703040, 703040Y : IC (V_{SS}に直接接続してください)

μPD70F3038, 70F3038Y, 70F3040, 70F3040Y : V_{PP} (通常モード時は , V_{SS}に接続してください)

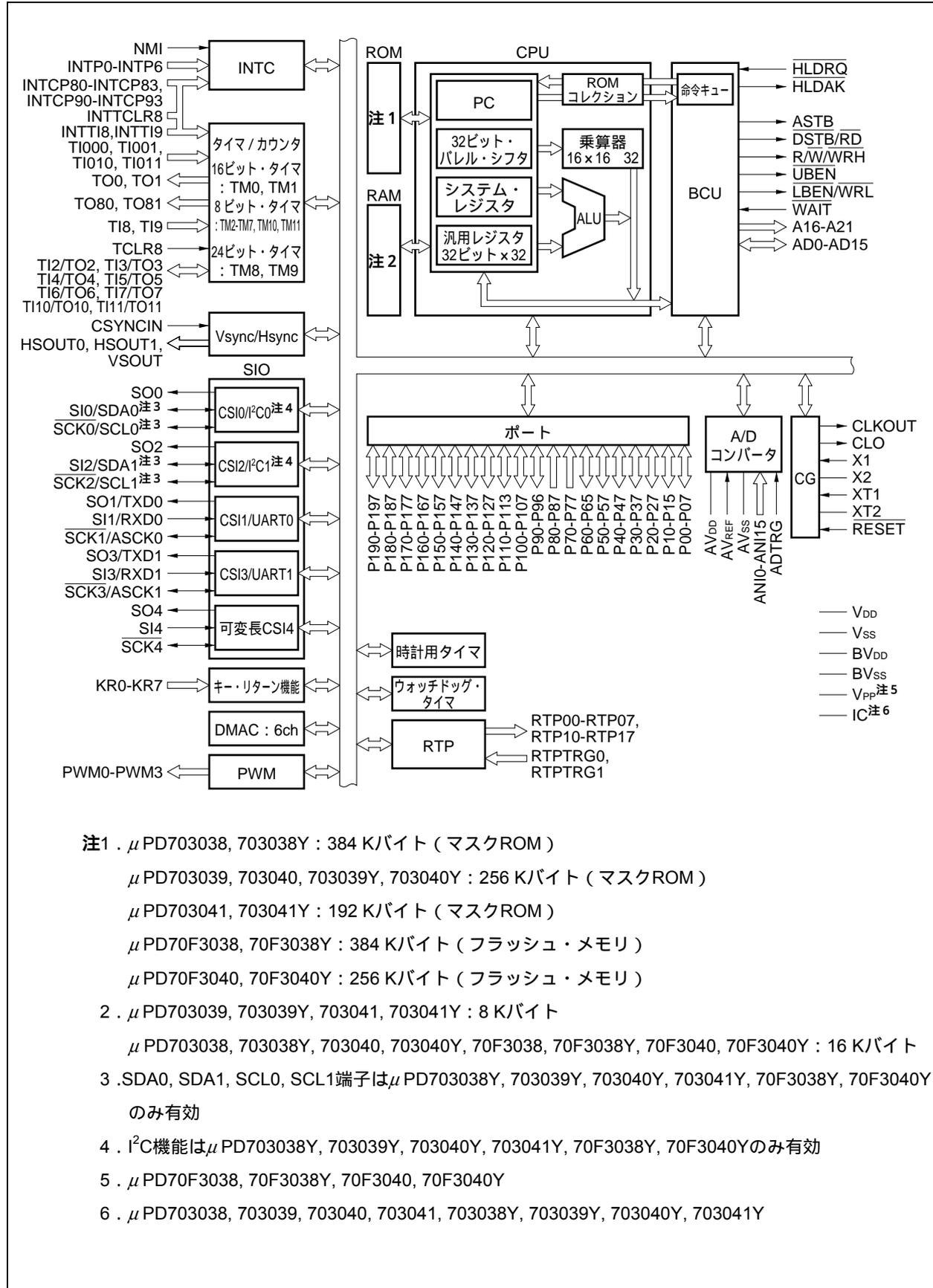
2 . NC端子はオープンにしてください。

端子名称

A16-A21	: Address Bus	P110-P113	: Port 11
AD0-AD15	: Address/Data Bus	P120-P127	: Port 12
ADTRG	: A/D Trigger Input	P130-P137	: Port 13
ANI0-ANI15	: Analog Input	P140-P147	: Port 14
ASCK0, ASCK1	: Asynchronous Serial Clock	P150-P157	: Port 15
ASTB	: Address Strobe	P160-P167	: Port 16
AV _{DD}	: Analog Power Supply	P170-P177	: Port 17
AV _{REF}	: Analog Reference Voltage	P180-P187	: Port 18
AV _{SS}	: Analog Ground	P190-P197	: Port 19
BV _{DD}	: Bus Interface Power Supply	PWM0-PWM3	: Pulse Width Modulation
BV _{SS}	: Bus Interface Ground	\overline{RD}	: Read Strobe
CLKOUT	: Clock Output	\overline{RESET}	: Reset
CLO	: Clock Output (Divided)	RTP00-RTP07,	: Real-time Output Port
CSYNCIN	: Csync Input	RTP10-RTP17	
\overline{DSTB}	: Data Strobe	RTPTRG0, RTPTRG1	: RTP Trigger Input
\overline{HLDAK}	: Hold Acknowledge	R/W	: Read/Write Status
\overline{HLDRQ}	: Hold Request	RXD0, RXD1	: Receive Data
HSOUT0, HSOUT1	: Hsync Output	$\overline{SCK0-SCK4}$: Serial Clock
IC	: Internally Connected	SCL0, SCL1	: Serial Clock
INTCP80-INTCP83,	: Interrupt Request from Peripherals	SDA0, SDA1	: Serial Data
INTCP90-INTCP93,		SI0-SI4	: Serial Input
INTP0-INTP6,		SO0-SO4	: Serial Output
INTTCLR8,		TCLR8	: Timer Clear
INTTI8, INTTI9		TI000, TI001, TI010,	: Timer Input
KR0-KR7	: Key Return	TI011, TI2-TI11	
\overline{LBEN}	: Lower Byte Enable	TO0-TO7, TO80,	: Timer Output
NMI	: Non-maskable Interrupt Request	TO81, TO10, TO11	
P00-P07	: Port 0	TXD0, TXD1	: Transmit Data
P10-P15	: Port 1	\overline{UBEN}	: Upper Byte Enable
P20-P27	: Port 2	V _{DD}	: Power Supply
P30-P37	: Port 3	V _{PP}	: Programming Power Supply
P40-P47	: Port 4	VSOUT	: Vsync Output
P50-P57	: Port 5	V _{SS}	: Ground
P60-P65	: Port 6	\overline{WAIT}	: Wait
P70-P77	: Port 7	\overline{WRH}	: Upper Byte Write Strobe
P80-P87	: Port 8	\overline{WRL}	: Lower Byte Write Strobe
P90-P96	: Port 9	X1, X2	: Crystal for Main Clock
P100-P107	: Port 10	XT1, XT2	: Crystal for Subclock

1.6 機能ブロック構成

1.6.1 内部ブロック図



- ★ 注1 . μPD703038, 703038Y : 384 Kバイト (マスクROM)
 μPD703039, 703040, 703039Y, 703040Y : 256 Kバイト (マスクROM)
 μPD703041, 703041Y : 192 Kバイト (マスクROM)
- ★ μPD70F3038, 70F3038Y : 384 Kバイト (フラッシュ・メモリ)
 μPD70F3040, 70F3040Y : 256 Kバイト (フラッシュ・メモリ)
- 2 . μPD703039, 703039Y, 703041, 703041Y : 8 Kバイト
- ★ μPD703038, 703038Y, 703040, 703040Y, 70F3038, 70F3038Y, 70F3040, 70F3040Y : 16 Kバイト
- ★ 3 . SDA0, SDA1, SCL0, SCL1端子はμPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効
- ★ 4 . I²C機能はμPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効
- ★ 5 . μPD70F3038, 70F3038Y, 70F3040, 70F3040Y
- ★ 6 . μPD703038, 703039, 703040, 703041, 703038Y, 703039Y, 703040Y, 703041Y

1.6.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(3) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵ROM容量	内蔵ROM領域
μ PD703041, 703041Y	192 Kバイト (マスクROM)	xx000000H-xx02FFFFH
μ PD703039, 703039Y	256 Kバイト (マスクROM)	xx000000H-xx03FFFFH
μ PD703040, 703040Y		
★ μ PD703038, 703038Y	384 Kバイト (マスクROM)	xx000000H-xx05FFFFH
μ PD70F3040, 70F3040Y	256 Kバイト (フラッシュ・メモリ)	xx000000H-xx03FFFFH
★ μ PD70F3038, 70F3038Y	384 Kバイト (フラッシュ・メモリ)	xx000000H-xx05FFFFH

(4) RAM

8 Kバイトまたは16 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵RAM容量	内蔵RAM領域
μ PD703039, 703039Y	8 Kバイト	xxFFD000H-xxFFEFFH
μ PD703041, 703041Y		
★ μ PD703038, 703038Y	16 Kバイト	xxFFB000H-xxFFEFFH
μ PD703040, 703040Y		
★ μ PD70F3038, 70F3038Y		
μ PD70F3040, 70F3040Y		

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP6) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

★ (6) クロック・ジェネレータ (CG)

メイン・クロック (f_{xx}) 用とサブクロック (f_{xt}) 用の2種類の発振回路を内蔵しています。4種類 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$) のクロックを生成して、そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(7) タイマ/カウンタ

24ビットの多機能タイマ/イベント・カウンタを2チャンネル、16ビットのタイマ/イベント・カウンタを2チャンネル、8ビットのタイマ/イベント・カウンタを8チャンネル内蔵しています。パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタをカスケード接続し、16ビット・タイマとしても使用できます。

(8) 時計用タイマ

サブクロック (32.768 kHz) またはメイン・クロック (16.777 MHz など) から時計カウント用の基準時間 (0.5秒, 0.25秒) の割り込みを発生します。内蔵タイマを使用することで、最大68年のカウントが可能です。

(9) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求 (INTWDTM) が発生します。

(10) シリアル・インタフェース (SIO)

V850/SV1には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART0, UART1) , クロック同期式シリアル・インタフェース (CSI0-CSI3) , 8-16ビット可変シリアル・インタフェース (CSI4) , I²Cバス・インタフェース (I²C0, I²C1) を内蔵して、最大5チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能、別の2チャンネルはCSIとI²Cの切り替えができます。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CSI3は、SO0-SO3, SI0-SI3, SCK0-SCK3端子によりデータ転送を行います。

CSI4は、SO4, SI4, SCK4端子によりデータ転送を行います。

I²C0, I²C1は、SDA0, SDA1, SCL0, SCL1端子によりデータ転送を行います。

★ I²C0, I²C1は、 μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ内蔵しています。UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

(11) A/Dコンバータ

16本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。また、A/D変換結果レジスタ (ADCR0-ADCR7) を8本内蔵し、セレクト・モード (1パツファ / 4パツファ・モード) , スキャン・モードに対応しています。

(12) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(13) リアルタイム出力ポート (RTP)

あらかじめ設定しておいた8ビット・データを、外部トリガ信号またはタイマのコンペア・レジスタの一致信号により出力ラッチに転送する、リアルタイム出力機能を2チャンネル内蔵しています。各チャンネルを8ビット×1チャンネルまたは4ビット×2チャンネルとして使用できます。

(14) PWM (Pulse Width Modulation)

12-16ビット分解能を選択可能なPWM信号出力を4チャンネル持っています。PWM出力は、外部にロウ・パス・フィルタを接続すると、D/Aコンバータ出力として利用できます。モータなどのアクチュエータ制御に最適です。

(15) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
P0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ, RTPトリガ
P1	6ビット入出力		シリアル・インタフェース
P2	8ビット入出力		シリアル・インタフェース, タイマ出力
P3	8ビット入出力		タイマ入出力
P4	8ビット入出力		外部アドレス/データ・バス
P5	8ビット入出力		
P6	6ビット入出力		外部アドレス・バス
P7	8ビット入力		A/Dコンバータ・アナログ入力
P8	8ビット入力		
P9	7ビット入出力		外部バス・インタフェース制御信号入出力
P10	8ビット入出力		リアルタイム出力ポート
P11	4ビット入出力		-
P12	8ビット入出力		シリアル・インタフェース, タイマ出力
P13	8ビット入出力		外部割り込み, タイマ入出力
P14	8ビット入出力		外部割り込み, タイマ入力, RTPトリガ
P15	8ビット入出力		リアルタイム出力ポート
P16	8ビット入出力		PWM出力, Csync信号入力, Vsync/Hsync信号出力
P17	8ビット入出力		キー・リターン入力
P18	8ビット入出力		-
P19	8ビット入出力		-

(16) Vsync/Hsync分離回路

VTRにおける複合同期信号 (Csync) を、垂直同期信号 (Vsync) と水平同期信号 (Hsync) に分離可能です。

第2章 端子機能

2.1 端子機能一覧

V850/SV1の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

端子の入出力バッファ電源には、AV_{DD}、BV_{DD}、V_{DD}の3系統があります。それぞれの電源と端子の関係を次に示します。

電 源	対応する端子	使用可能な電圧範囲
AV _{DD}	ポート7, ポート8	2.7 V AV _{DD} 3.6 V
BV _{DD}	ポート4, ポート5, ポート6, ポート9, CLKOUT, $\overline{\text{WAIT}}$	2.7 V BV _{DD} 3.6 V
V _{DD}	ポート0, ポート1, ポート2, ポート3, ポート10, ポート11, ポート12, ポート13, ポート14, ポート15, ポート16, ポート17, ポート18, ポート19, $\overline{\text{RESET}}$	2.7 V V _{DD} 3.6 V

(1) ポート端子

(1/5)

端子名称	入出力	PULL	機 能	兼用端子
P00	入出力	あり	ポート0 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	NMI
P01				INTP0
P02				INTP1
P03				INTP2
P04				INTP3
P05				INTP4/ADTRG
P06				INTP5/RTPTRG0
P07				INTP6
P10	入出力	あり	ポート1 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	SI0/SDA0 ^注
P11				SO0
P12				SCK0/SCL0 ^注
P13				SI1/RXD0
P14				SO1/TXD0
P15				SCK1/ASCK0
P20	入出力	あり	ポート2 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	SI2/SDA1 ^注
P21				SO2
P22				SCK2/SCL1 ^注
P23				SI3/RXD1
P24				SO3/TXD1
P25				SCK3/ASCK1
P26				TI2/TO2
P27				TI3/TO3

★ 注 μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機能	兼用端子
P30	入出力	あり	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TI000
P31				TI001
P32				TI010
P33				TI011
P34				TO0
P35				TO1
P36				TI4/TO4
P37				TI5/TO5
P40	入出力	なし	ポート4 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD0
P41				AD1
P42				AD2
P43				AD3
P44				AD4
P45				AD5
P46				AD6
P47				AD7
P50	入出力	なし	ポート5 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD8
P51				AD9
P52				AD10
P53				AD11
P54				AD12
P55				AD13
P56				AD14
P57				AD15
P60	入出力	なし	ポート6 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
P61				A17
P62				A18
P63				A19
P64				A20
P65				A21
P70	入力	なし	ポート7 8ビット入力専用ポート	ANI0
P71				ANI1
P72				ANI2
P73				ANI3
P74				ANI4
P75				ANI5
P76				ANI6
P77				ANI7

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P80	入力	なし	ポート8 8ビット入力専用ポート	ANI8
P81				ANI9
P82				ANI10
P83				ANI11
P84				ANI12
P85				ANI13
P86				ANI14
P87				ANI15
P90	入出力	なし	ポート9 7ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	$\overline{\text{LBEN}}/\overline{\text{WRL}}$
P91				$\overline{\text{UBEN}}$
P92				$\overline{\text{R}}/\overline{\text{W}}/\overline{\text{WRH}}$
P93				$\overline{\text{DSTB}}/\overline{\text{RD}}$
P94				ASTB
P95				$\overline{\text{HLDAK}}$
P96				$\overline{\text{HLDRQ}}$
P100				入出力
P101	RTP01			
P102	RTP02			
P103	RTP03			
P104	RTP04			
P105	RTP05			
P106	RTP06			
P107	RTP07			
P110	入出力	なし	ポート11 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P111				-
P112				-
P113				-
P120	入出力	なし	ポート12 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SI4
P121				SO4
P122				$\overline{\text{SCK4}}$
P123				CLO
P124				TI6/TO6
P125				TI7/TO7
P126				TI10/TO10
P127				TI11/TO11
P130	入出力	なし	ポート13 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	INTCP80
P131				INTCP81
P132				INTCP82
P133				INTCP83
P134				TI8/INTTI8
P135				TCLR8/INTTCLR8
P136				TO80
P137				TO81

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P140	入出力	なし	ポート14 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	INTCP90
P141				INTCP91
P142				INTCP92
P143				INTCP93
P144				TI9/INTTI9
P145				RTPTRG1
P146				-
P147				-
P150	入出力	なし	ポート15 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	RTP10
P151				RTP11
P152				RTP12
P153				RTP13
P154				RTP14
P155				RTP15
P156				RTP16
P157				RTP17
P160	入出力	なし	ポート16 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	PWM0
P161				PWM1
P162				PWM2
P163				PWM3
P164				CSYNCIN
P165				VSOUT
P166				HSOUT0
P167				HSOUT1
P170	入出力	あり	ポート17 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	KR0
P171				KR1
P172				KR2
P173				KR3
P174				KR4
P175				KR5
P176				KR6
P177				KR7
P180	入出力	なし	ポート18 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P181				-
P182				-
P183				-
P184				-
P185				-
P186				-
P187				-

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P190	入出力	なし	ポート19	-
P191			8ビット入出力ポート	-
P192			1ビット単位で入力 / 出力の指定が可能	-
P193				-
P194				-
P195				-
P196				-
P197				-

備考 PULL : 内蔵プルアップ抵抗

(2) ポート以外の端子

(1/3)

端子名称	入出力	PULL	機 能	兼用端子
A16-A21	出力	なし	アドレス・バス16-21	P60-P65
AD0-AD7	入出力	なし	アドレス/データ・マルチプレクスト・バス0-15	P40-P47
AD8-AD15				P50-P57
ADTRG	入力	あり	A/Dコンバータ外部トリガ入力	P05/INTP4
ANI0-ANI7	入力	なし	A/Dコンバータへのアナログ入力	P70-P77
ANI8-ANI15	入力	なし		P80-P87
ASCK0	入力	あり	UART0, UART1のボー・レート・クロック入力	P15/SCK1
ASCK1				P25/SCK3
ASTB	出力	なし	外部バス・アドレス・ストロープ信号出力	P94
AV _{DD}	-	-	A/Dコンバータ用正電源供給	-
AV _{REF}	入力	-	A/Dコンバータ用基準電圧入力	-
AV _{SS}	-	-	A/Dコンバータ用グランド電位	-
BV _{DD}	-	-	バス・インタフェースおよび兼用ポート用正電源供給	-
BV _{SS}	-	-	バス・インタフェースおよび兼用ポート用グランド電位	-
CLKOUT	出力	-	内部システム・クロック出力	-
CLO	出力	なし	CLO出力信号	P123
CSYNCIN	入力	なし	Csync信号入力	P164
DSTB	出力	なし	外部データ・ストロープ信号出力	P93/RD
HLDAK	出力	なし	バス・ホールド・アクノリッジ出力	P95
HLDRQ	入力	なし	バス・ホールド要求入力	P96
HSOUT0	出力	なし	補正前のHsync信号出力	P166
HSOUT1			補正後のHsync信号出力	P167
IC	-	-	内部接続 (V _{SS} に直接接続してください) (μ PD703038, 703038Y, 703039, 703039Y, 703040, 703040Y, 703041, 703041Y)	-
INTCP80- INTCP83	入力	なし	CC80-CC83外部キャプチャ入力	P130-P133
INTCP90- INTCP93	入力	なし	CP90-CP93外部キャプチャ入力	P140-P143
INTP0-INTP3	入力	あり	外部割り込み要求入力 (アナログ・ノイズ除去)	P01-P04
INTP4			外部割り込み要求入力 (デジタル・ノイズ除去)	P05/ADTRG
INTP5				P06/RTPTRG0
INTP6			外部割り込み要求入力 (リモコン対応デジタル・ノイズ除去)	P07
INTTCLR8	入力	なし	外部割り込み要求入力 (デジタル・ノイズ除去)	P135/TCLR8
INTTI8	入力	なし		P134/TI8
INTTI9				P144/TI9
KR0-KR7	入力	あり	キー・リターン入力	P170-P177
LBEN	出力	なし	外部データ・バスの下位バイト・イネーブル信号出力	P90/WRL
NMI	入力	あり	ノンマスクブル割り込み要求入力	P00
PWM0-PWM3	出力	なし	PWMチャンネル0-3の出力	P160-P163
RD	出力	なし	バス・リード・ストロープ信号出力	P93/DSTB
RESET	入力	-	システム・リセット入力	-

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子	
RTP00-RTP07	出力	あり	リアルタイム出力ポート	P100-P107	
RTP10-RTP17		なし		P150-P157	
RTPTRG0	入力	あり	RTP外部トリガ入力	P06	
RTPTRG1		なし		P145	
R/W	出力	なし	外部リード/ライト・ステータス出力	P92/WRH	
RXD0	入力	あり	UART0, UART1のシリアル受信データ入力	P13/SI1	
RXD1				P23/SI3	
SCK0	入出力	あり	CSI0-CSI3のシリアル・クロック入出力 (3線式)	P12/SCL0	
SCK1				P15/ASCK0	
SCK2				P22/SCL1	
SCK3				P25/ASCK1	
SCK4		なし	可変長CSI4のシリアル・クロック入出力	P122	
SCL0	入出力	あり	I ² C0, I ² C1のシリアル・クロック入出力 (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Y)	P12/SCK0	
SCL1				P22/SCK2	
SDA0	入出力	あり	I ² C0, I ² C1のシリアル送受信データ入出力 (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Y)	P10/SI0	
SDA1				P20/SI2	
SI0	入力	あり	CSI0-CSI3のシリアル受信データ入力 (3線式)	P10/SDA0	
SI1				P13/RXD0	
SI2				P20/SDA1	
SI3				P23/RXD1	
SI4		なし	可変長CSI4のシリアル受信データ入力	P120	
SO0	出力	あり	CSI0-CSI3のシリアル送信データ出力	P11	
SO1				P14/TXD0	
SO2				P21	
SO3				P24/TXD1	
SO4		なし	可変長CSI4のシリアル送信データ出力	P121	
TCLR8	入力	なし	TM8の外部クリア入力	P135/INTTCLR8	
TI000	入力	あり	TM0の外部カウント・クロック入力 / 外部キャプチャ・トリガ入力	P30	
TI001			TM0の外部キャプチャ・トリガ入力	P31	
TI010			TM1の外部カウント・クロック入力 / 外部キャプチャ・トリガ入力	P32	
TI011			TM1の外部キャプチャ・トリガ入力	P33	
TI2			TM2の外部カウント・クロック入力	P26/TO2	
TI3			TM3の外部カウント・クロック入力	P27/TO3	
TI4			TM4の外部カウント・クロック入力	P36/TO4	
TI5			TM5の外部カウント・クロック入力	P37/TO5	
TI6			なし	TM6の外部カウント・クロック入力	P124/TO6
TI7				TM7の外部カウント・クロック入力	P125/TO7
TI8				TM8の外部カウント・クロック入力	P134/INTTI8
TI9				TM9の外部カウント・クロック入力	P144/INTTI9

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
TI10	入力	なし	TM10の外部カウント・クロック入力	P126/TO10
TI11			TM11の外部カウント・クロック入力	P127/TO11
TO0	出力	あり	TM0のパルス信号出力	P34
TO1			TM1のパルス信号出力	P35
TO2			TM2のパルス信号出力	P26/TI2
TO3			TM3のパルス信号出力	P27/TI3
TO4			TM4のパルス信号出力	P36/TI4
TO5			TM5のパルス信号出力	P37/TI5
TO6			なし	TM6のパルス信号出力
TO7		TM7のパルス信号出力		P125/TI7
TO80		TM8のパルス信号出力0		P136
TO81		TM8のパルス信号出力1		P137
TO10		TM10のパルス信号出力	P126/TI10	
TO11	TM11のパルス信号出力	P127/TI11		
TXD0	出力	あり	UART0, UART1のシリアル送信データ出力	P14/SO1
TXD1				P24/SO3
UBEN	出力	なし	外部データ・バスの上位バイト・イネーブル信号出力	P91
V _{DD}	-	-	正電源供給端子	-
V _{PP}	-	-	プログラム書き込み / ベリファイ時の高電圧印加端子 (μ PD70F3038, 70F3038Y, 70F3040, 70F3040Y)	-
VSOUT	出力	なし	Vsync信号出力	P165
V _{SS}	-	-	グランド電位	-
WAIT	入力	-	外部WAIT信号入力	-
WRH	出力	なし	外部データ・バスの上位バイト・ライト・ストロープ信号出力	P92/R \overline{W}
WRL			外部データ・バスの下位バイト・ライト・ストロープ信号出力	P90/LBEN
X1	入力	-	メイン・クロック用発振子接続	-
X2				-
XT1	入力	-	サブクロック用発振子接続	-
XT2				-

備考 PULL : 内蔵プルアップ抵抗

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

端子	動作状態	リセット ^{注1}	IDLEモード/ ソフトウェア STOPモード	HALTモード/ アイドル・ ステート	バス・ホールド	バス・サイクル非 活性 ^{注2}
AD0-AD15		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
A16-A21		Hi-Z	Hi-Z	保持	Hi-Z	保持 ^{注3}
$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$		Hi-Z	Hi-Z	保持	Hi-Z	保持 ^{注3}
$\overline{\text{R/W}}$		Hi-Z	Hi-Z	H	Hi-Z	H
$\overline{\text{DSTB}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{RD}}$		Hi-Z	Hi-Z	H	Hi-Z	H
$\overline{\text{ASTB}}$		Hi-Z	Hi-Z	H	Hi-Z	H
$\overline{\text{HLDRQ}}$		-	-	動作	動作	動作
$\overline{\text{HLDK}}$		Hi-Z	Hi-Z	動作	L	動作
$\overline{\text{WAIT}}$		-	-	-	-	-
$\overline{\text{CLKOUT}}$		Hi-Z	L	動作 ^{注4}	動作 ^{注4}	動作 ^{注4}

注1. リセット時，各端子（ $\overline{\text{WAIT}}$ 、 $\overline{\text{CLKOUT}}$ 端子は除く）はポート端子（入力モード）

2. バス・サイクル非活性タイミングは，プログラム・カウンタ（PC）が内部メモリ領域を指している状態
3. ・リセット解除後に外部拡張モードに設定し，外部メモリ領域に1回もアクセスしていないとき：不定
・外部メモリ領域にアクセスしたあとのバス・サイクル非活性時，あるいは外部拡張モード解除後に再び外部拡張モードに設定し，外部メモリ領域に1回もアクセスしていないとき：外部メモリ領域に最後にアクセスした外部バス・サイクルの状態を保持
4. クロック出力インビット・モード時はロウ・レベル（L）

備考 Hi-Z：ハイ・インピーダンス

保持：直前の外部バス・サイクルでの状態を保持

L：ロウ・レベル出力

H：ハイ・レベル出力

-：入力非サンプリング（受け付けない）

2.3 端子機能の説明

(1) P00-P07 (Port 0) ... 3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P00-P07は入出力ポートとして機能するほか、NMI入力、外部割り込み要求入力、A/Dコンバータの外部トリガ、リアルタイム出力ポートの外部トリガとして動作します。EGP0レジスタとEGN0レジスタでNMI、INTP0-INTP6端子の有効エッジを指定します。

(a) ポート機能

P00-P07はポート0モード・レジスタ (PM0) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) NMI (Non-maskable Interrupt Request) ... 入力

ノンマスカブル割り込み要求信号入力端子です。

(ii) INTP0-INTP6 (Interrupt Request From Peripherals) ... 入力

外部割り込み要求入力端子です。

(iii) ADTRG (AD Trigger Input) ... 入力

A/Dコンバータの外部トリガ入力端子です。A/Dコンバータ・モード・レジスタ1 (ADM1) で制御します。

(iv) RTPTRG0 (Real-time Port Trigger Input) ... 入力

リアルタイム出力ポートの外部トリガ入力端子です。リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) で制御します。

(2) P10-P15 (Port 1) ... 3ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P10-P15は入出力ポートとして機能するほか、シリアル・インタフェースの入出力として動作します。

P10-P12, P14, P15は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P10-P15はポート1モード・レジスタ (PM1) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) SI0, SI1 (Serial Input 0, 1) ... 入力

CSI0, CSI1のシリアル受信データ入力端子です。

(ii) SO0, SO1 (Serial Output 0, 1) ... 出力

CSI0, CSI1のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ (Serial Clock 0, 1) ... 3ステート入出力

CSI0, CSI1のシリアル・クロック入出力端子です。

(iv) SDA0 (Serial Data 0) ... 入出力

I²C0のシリアル送受信データ入出力端子です (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ)。

(v) SCL0 (Serial Clock 0) ... 入出力

I²C0のシリアル・クロック入出力端子です (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ)。

(vi) RXD0 (Receive Data 0) ... 入力

UART0のシリアル受信データ入力端子です。

(vii) TXD0 (Transmit Data 0) ... 出力

UART0のシリアル送信データ出力端子です。

(viii) ASCK0 (Asynchronous Serial Clock 0) ... 入力

UART0のシリアル・ポー・レート・クロック入力端子です。

(3) P20-P27 (Port 2) ... 3ステート入出力

ポート2は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P20-P27は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの入出力として動作します。

P20-P22, P24, P25は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P20-P27はポート2モード・レジスタ (PM2) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) SI2, SI3 (Serial Input 2, 3) ... 入力

CSI2, CSI3のシリアル受信データ入力端子です。

(ii) SO2, SO3 (Serial Output 2, 3) ... 出力

CSI2, CSI3のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCK2}}$, $\overline{\text{SCK3}}$ (Serial Clock 2, 3) ... 3ステート入出力

CSI2, CSI3のシリアル・クロック入出力端子です。

(iv) SDA1 (Serial Data 1) ... 入出力

I²C1のシリアル送受信データ入出力端子です (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ)。

(v) SCL1 (Serial Clock 1) ... 入出力

I²C1のシリアル・クロック入出力端子です (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ)。

(vi) RXD1 (Receive Data 1) ... 入力

UART1のシリアル受信データ入力端子です。

(vii) TXD1 (Transmit Data 1) ... 出力

UART1のシリアル送信データ出力端子です。

(viii) ASCK1 (Asynchronous Serial Clock 1) ... 入力

UART1のシリアル・ポー・レート・クロック入力端子です。

(ix) TI2, TI3 (Timer Input 2, 3) ... 入力

タイマ2, 3の外部カウント・クロック入力端子です。

(x) TO2, TO3 (Timer Output 2, 3) ... 出力

タイマ2, 3のパルス信号出力端子です。

(4) P30-P37 (Port 3) ... 3ステート入出力

ポート3は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P30-P37は入出力ポートとして機能するほか、タイマ / カウンタの入出力として動作します。

(a) ポート機能

P30-P37はポート3モード・レジスタ (PM3) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) TI000, TI001, TI010, TI011, TI4, TI5 (Timer Input 000, 001, 010, 011, 4, 5) ... 入力**

タイマ0, 1, 4, 5の外部カウント・クロック入力端子です。

(ii) TO0, TO1, TO4, TO5 (Timer Output 0, 1, 4, 5) ... 出力

タイマ0, 1, 4, 5のパルス信号出力端子です。

(5) P40-P47 (Port 4) ... 3ステート入出力

ポート4は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P40-P47は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD0-AD7) として動作します。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P40-P47はポート4モード・レジスタ (PM4) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張機能)

P40-P47は、メモリ拡張モード・レジスタ (MM) により、AD0-AD7に指定できます。

(i) AD0-AD7 (Address/Data Bus 0-7) ... 3ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では22ビット・アドレスのAD0-AD7出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの下位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

(6) P50-P57 (Port 5) ... 3ステート入出力

ポート5は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P50-P57は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD8-AD15) として動作します。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P50-P57はポート5モード・レジスタ (PM5) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張機能)

P50-P57はメモリ拡張モード・レジスタ (MM) により、AD8-AD15に指定できます。

(i) AD8-AD15 (Address/Data Bus 8-15) ... 3ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では22ビット・アドレスのAD8-AD15出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの上位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

(7) P60-P65 (Port 6) ... 3ステート入出力

ポート6は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P60-P65は入出力ポートとして機能するほか、メモリを外部に拡張する場合のアドレス・バス(A16-A21)として動作します。ポート6に8ビット・アクセスした場合の上位2ビットはライト時は無視され、リード時は00が読み出されます。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P60-P65はポート6モード・レジスタ (PM6) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張機能)

P60-P65はメモリ拡張モード・レジスタ (MM) により、A16-A21に指定できます。

(i) A16-A21 (Address Bus 16-21) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスの上位6ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

(8) P70-P77 (Port 7) , P80-P87 (Port 8) ... 入力

ポート7、ポート8は、全端子が入力に固定の8ビットの入力専用ポートです。

P70-P77、P80-P87は入力ポートとして機能するほか、兼用機能ではA/Dコンバータのアナログ入力として動作します。ただし、入力ポートとアナログ入力端子は切り替えられません。

(a) ポート機能

P70-P77、P80-P87は入力専用です。

(b) 兼用機能

P70-P77はANI0-ANI7端子と、P80-P87はANI8-ANI15端子と兼用になっていますが、切り替えはできません。

(i) ANI0-ANI15 (Analog Input 0-15) ... 入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、 AV_{SS} との間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、 AV_{SS} - AV_{REF} の範囲外の電圧が加わらないようにしてください。 AV_{REF} 以上、 AV_{SS} 以下のノイズが入る可能性がある場合は、 V_F の小さいダイオードでクランプしてください。

(9) P90-P96 (Port 9) ... 3ステート入出力

ポート9は、1ビット単位で入力または出力を設定できる7ビットの入出力ポートです。

P90-P96は入出力ポートとして機能するほか、メモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号出力として動作します。

ポート9に8ビット・アクセスした場合の上位1ビットは、ライト時は無視され、リード時は0が読み出されます。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P90-96はポート9モード・レジスタ(PM9)により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張機能)

P90-P96はメモリ拡張モード・レジスタ(MM)により、メモリを外部に拡張する場合の制御信号出力として動作します。

(i) \overline{LBEN} (Lower Byte Enable) ... 出力

外部16ビット・データ・バスの下位バイト・イネーブル信号出力端子です。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

(ii) \overline{UBEN} (Upper Byte Enable) ... 出力

外部16ビット・データ・バスの上位バイト・イネーブル信号出力端子です。偶数アドレスへのバイト・アクセス時はインアクティブ(ハイ・レベル)になります。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

アクセス		\overline{UBEN}	\overline{LBEN}	AD0
ワード・アクセス		0	0	0
ハーフワード・アクセス		0	0	0
バイト・アクセス	偶数アドレス	1	0	0
	奇数アドレス	0	1	1

(iii) $\overline{R/W}$ (Read/Write Status) ... 出力

外部アクセス時のバス・サイクルが、リード・サイクルかライト・サイクルかを示すステータス信号出力端子です。リード・サイクルではハイ・レベル、ライト・サイクルではロウ・レベルになります。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・レベルになります。

(iv) \overline{DSTB} (Data Strobe) ... 出力

外部データ・バスのアクセス・ストロブ信号出力端子です。出力はバス・サイクルのT2、TWステートの期間中アクティブ(ロウ・レベル)になります。バス・サイクルが非活性のタイミングではインアクティブ(ハイ・レベル)になります。

(v) ASTB (Address Strobe) ... 出力

外部アドレス・バスのラッチ・ストロブ信号出力端子です。出力は、バス・サイクルのT1ステートの立ち下がりに同期してアクティブ(ロウ・レベル)になり、T3ステートの立ち下がりに同期してインアクティブ(ハイ・レベル)になります。バス・サイクルが非活性のタイミングでは、インアクティブになります。

(vi) $\overline{\text{HLD}}\text{AK}$ (Hold Acknowledge) ... 出力

V850/SV1がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをそれぞれハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になります。

(vii) $\overline{\text{HLDR}}\text{Q}$ (Hold Request) ... 入力

外部デバイスがV850/SV1に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期に入力できます。この端子がアクティブになると、V850/SV1は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 $\overline{\text{HLD}}\text{AK}$ 信号をアクティブにしてバスを解放します。

(viii) $\overline{\text{WRL}}$ (Lower Byte Write Strobe) ... 出力

外部16ビット・データ・バスの下位データのライト・ストロブ信号出力端子です。 $\overline{\text{DSTB}}$ と同じ、ライト・サイクルで出力します。

(ix) $\overline{\text{WRH}}$ (Upper Byte Write Strobe) ... 出力

外部16ビット・データ・バスの上位データのライト・ストロブ信号出力端子です。 $\overline{\text{DSTB}}$ と同じライト・サイクルで出力します。

(x) $\overline{\text{RD}}$ (Read Strobe) ... 出力

外部16ビット・データ・バスのリード・ストロブ信号出力端子です。 $\overline{\text{DSTB}}$ と同じリード・サイクルで出力します。

(10) P100-P107 (Port 10) ... 3ステート入出力

ポート10は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P100-P107は入出力ポートとして機能するほか、リアルタイム出力ポートとして動作します。

P100-P107は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P100-107はポート10モード・レジスタ(PM10)により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) RTP00-RTP07 (Real-time Output Port 00-07) ... 出力**

リアルタイム出力ポートです。

(11) P110-P113 (Port 11) ... 3ステート入出力

ポート11は、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

P110-P113は入出力ポートとしてのみ動作します。P110-113はポート11モード・レジスタ (PM11) により、1ビット単位に入力または出力を設定できます。

(12) P120-P127 (Port 12) ... 入出力

ポート12は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P120-P127は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、クロック信号の出力、タイマ/カウンタの入出力として動作します。

P121, P122は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P120-P127はポート12モード・レジスタ (PM12) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) SI4 (Serial Input 4) ... 入力**

CSI4のシリアル受信データ入力端子です。

(ii) SO4 (Serial Output 4) ... 出力

CSI4のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCK4}}$ (Serial Clock 4) ... 3ステート入出力

CSI4のシリアル・クロック入出力端子です。

(iv) CLO (Clock Output (Divided)) ... 出力

システム・クロック (分周機能付き) 出力端子です。

(v) TI6, TI7, TI10, TI11 (Timer Input 6, 7, 10, 11) ... 入力

タイマ6, 7, 10, 11の外部カウント・クロック入力端子です。

(vi) TO6, TO7, TO10, TO11 (Timer Output 6, 7, 10, 11) ... 出力

タイマ6, 7, 10, 11のパルス信号出力端子です。

(13) P130-P137 (Port 13) ... 入出力

ポート13は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P130-P137は入出力ポートとして機能するほか、タイマ/カウンタの入出力または外部割り込み要求入力として動作します。EGP2レジスタとEGN2レジスタで端子の有効エッジを指定します。

(a) ポート機能

P130-P137はポート13モード・レジスタ (PM13) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) INTCP80-INTCP83 (Interrupt Request From Peripherals) ... 入力**

外部割り込み要求入力端子です。

(ii) INTTI8 (Interrupt Request From Peripherals) ... 入力

外部割り込み要求入力端子です。

(iii) INTTCLR8 (Interrupt Request From Peripherals) ... 入力

外部割り込み要求入力端子です。

(iv) TCLR8 (Timer Clear) ... 入力

タイマ8の外部クリア入力端子です。

(v) TI8 (Timer Input 8) ... 入力

タイマ8の外部カウント・クロック入力端子です。

(vi) TO80, TO81 (Timer Output 80, 81) ... 出力

タイマ8のパルス信号出力端子です。

(14) P140-P147 (Port 14) ... 入出力

ポート14は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P140-P147は入出力ポートとして機能するほか、タイマ/カウンタの入力、タイマ/カウンタの外部割り込み要求入力、リアルタイム出力ポートの外部トリガとして動作します。EGP3レジスタとEGN3レジスタで端子の有効エッジを指定します。

(a) ポート機能

P140-P147はポート14モード・レジスタ (PM14) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) INTCP90-INTCP93 (Interrupt Request From Peripherals) ... 入力**

外部割り込み要求入力端子です。

(ii) INTTI9 (Interrupt Request From Peripherals) ... 入力

外部割り込み要求入力端子です。

(iii) TI9 (Timer Input 9) ... 入力

タイマ9の外部カウント・クロック入力端子です。

(iv) RTPTRG1 (Real-time Output Port Trigger Input 1) ... 入力

リアルタイム出力ポートの外部トリガ入力端子です。リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) で制御します。

(15) P150-P157 (Port 15) ... 入出力

ポート15は、1ビット単位で入力または出力を設定できる8ビットの出力ポートです。

P150-P157は入出力ポートとして機能するほか、リアルタイム出力ポートとして動作します。

(a) ポート機能

P150-P157はポート15モード・レジスタ (PM15) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) RTP10-RTP17 (Real-time Output Port 10-17) ... 出力**

リアルタイム出力ポートです。

(16) P160-P167 (Port 16) ... 入出力

ポート16は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P160-P167は入出力ポートとして機能するほか、PWMの出力端子、Vsync/Hsync分離回路入出力端子として動作します。

(a) ポート機能

P160-P167はポート16モード・レジスタ (PM16) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) PWM0-PWM3 (Pulse Width Modulation 0-3) ... 出力**

PWMのパルス信号出力端子です。

(ii) CSYNCIN (Csync Input) ... 入力
複合同期信号 (Csync信号) の入力端子です。

(iii) VSOUT (Vsync Output) ... 出力
垂直同期信号 (Vsync信号) の出力端子です。

(iv) HSOUT0, HSOUT1 (Hsync Output 0, 1) ... 出力
水平同期信号 (Hsync信号) の出力端子です。

(17) P170-P177 (Port 17) ... 入出力

ポート17は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。
P170-P177は入出力ポートとして機能するほか、キー・リターン入力として動作します。

(a) ポート機能

P170-177はポート17モード・レジスタ (PM17) により、1ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) KR0-KR7 (Key Return 0-7) ... 入力
キー割り込み入力端子です。キー・リターン・モード・レジスタ (KRM) で動作を指定します。

(18) P180-P187 (Port 18) ... 入出力

ポート18は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。
P180-P187は入出力ポートとしてのみ機能します。

(19) P190-P197 (Port 19) ... 入出力

ポート19は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。
P190-P197は入出力ポートとしてのみ機能します。

(20) $\overline{\text{RESET}}$ (Reset) ... 入力

$\overline{\text{RESET}}$ 入力は非同期入力です。動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, STOP) の解除にも使用します。

★ (21) CLKOUT (Clock Out) ... 出力

内部で生成したバス・クロックを出力します。

(22) $\overline{\text{WAIT}}$ (Wait) ... 入力

$\overline{\text{WAIT}}$ はバス・サイクルにウエイトを挿入する制御信号入力端子です。バス・サイクルのT2, TWステートのクロックの立ち下がりによってサンプリングされます。

(23) X1, X2 (Crystal)

メイン・クロック発生用の発振子接続端子です。

(24) XT1, XT2 (Crystal for Subclock)

サブクロック発生用の発振子接続端子です。

(25) AV_{DD} (Analog Power Supply)

A/Dコンバータのアナログ正電源供給端子です。必ずV_{DD}端子と同電位にしてください。

(26) AV_{SS} (Analog Ground)

A/Dコンバータのグラウンド端子です。

(27) AV_{REF} (Analog Reference Voltage) ... 入力

A/Dコンバータ用の基準電圧供給端子です。

(28) BV_{DD} (Bus Interface Power Supply)

バス・インタフェースおよび兼用ポート用の正電源供給端子です。必ずV_{DD}端子と同電位にしてください。

(29) BV_{SS} (Bus Interface Ground)

バス・インタフェースおよび兼用ポート用のグラウンド端子です。

(30) V_{DD} (Power Supply)

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(31) V_{SS} (Ground)

グラウンド端子です。すべてのV_{SS}端子をグラウンドに接続してください。

(32) V_{PP} (Programming Power Supply)

フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。通常動作モード時は、V_{SS}に接続してください。

μ PD70F3038, 70F3038Y, 70F3040, 70F3040Y用の端子です。

(33) IC (Internally Connected)

内部接続端子です。μ PD703038, 703039, 703040, 703041, 703038Y, 703039Y, 703040Y, 703041Y用の端子です。V_{SS}に直接接続してください。

2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理

(1/2)

端子	兼用端子名	入出力回路タイプ	入出力バッファ電源	推奨接続方法
P00	NMI	5-W	V _{DD}	入力時：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P01-P04	INTP0-INTP3			
P05	INTP4/ADTRG			
P06	INTP5/RTPTRG0			
P07	INTP6			
P10	SI0/SDA0 ^注	10-F	V _{DD}	
P11	SO0	10-E		
P12	SCK0/SCL0 ^注	10-F		
P13	SI1/RXD0	5-W		
P14	SO1/TXD0	10-E		
P15	SCK1/ASCK0	10-F		
P20	SI2/SDA1 ^注	10-F	V _{DD}	
P21	SO2	10-E		
P22	SCK2/SCL1 ^注	10-F		
P23	SI3/RXD1	5-W		
P24	SO3/TXD1	10-E		
P25	SCK3/ASCK1	10-F		
P26, P27	TI2/TO2, TI3/TO3	5-W	V _{DD}	
P30, P31	TI000, TI001	5-W		
P32, P33	TI010, TI011			
P34, P35	TO0, TO1	5-A		
P36	TI4/TO4	5-W		
P37	TI5/TO5			
P40-P47	AD0-AD7	5	BV _{DD}	入力時：個別に抵抗を介してBV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
P50-P57	AD8-AD15	5	BV _{DD}	
P60-P65	A16-A21	5	BV _{DD}	
P70-P77	ANI0-ANI7	9	AV _{DD}	AV _{SS} に接続してください。
P80-P87	ANI8-ANI15	9	AV _{DD}	
P90	LBEN/WRL	5	BV _{DD}	入力時：個別に抵抗を介してBV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
P91	UBEN			
P92	R/W/WRH			
P93	DSTB/RD			
P94	ASTB			
P95	HLDAK			
P96	HLDRQ			
P100-P107	RTP00-RTP07	10-E	V _{DD}	入力時：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P110-P113	-	5	V _{DD}	
P120	SI4	5-K	V _{DD}	

注 μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Y

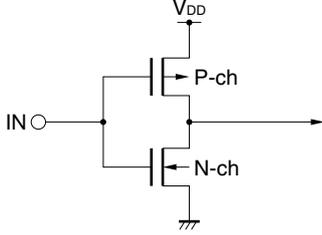
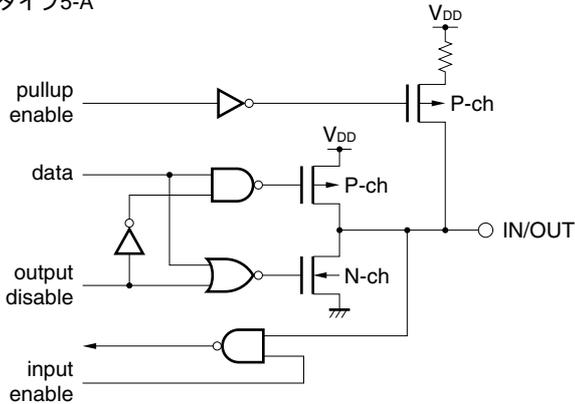
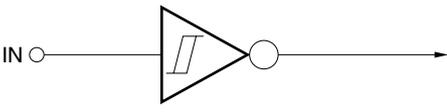
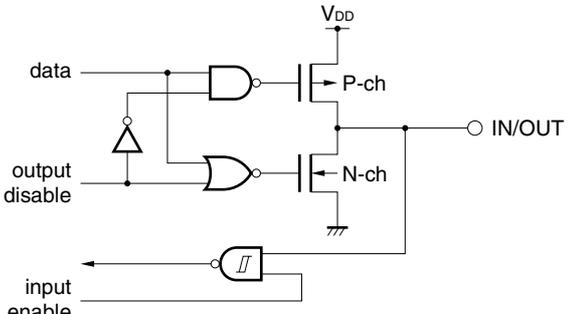
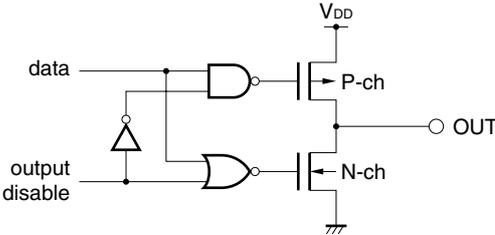
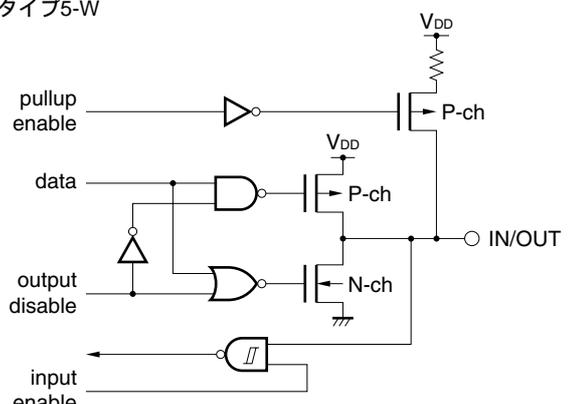
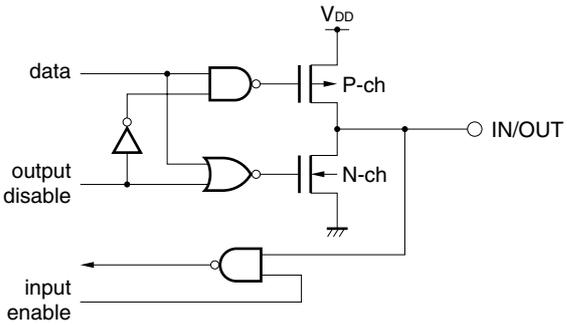
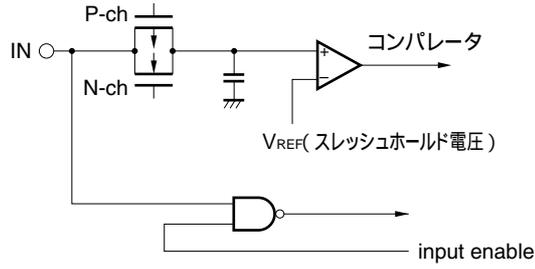
端子	兼用端子名	入出力回路 タイプ	入出力バッファ 電源	推奨接続方法
P121	SO4	10-G	V _{DD}	入力時：個別に抵抗を介してV _{DD} またはV _{SS} に接続 してください。 出力時：オープンにしてください。
P122	SCK4	10-H		
P123	CLO	5		
P124	TI6/TO6	5-K		
P125	TI7/TO7			
P126	TI10/TO10			
P127	TI11/TO11			
P130-P133	INTCP80-INTCP83	5-K	V _{DD}	
P134	TI8/INTTI8			
P135	TCLR8/INTTCLR8			
P136, P137	TO80, TO81	5		
P140-P143	INTCP90-INTCP93	5-K	V _{DD}	
P144	TI9/INTTI9			
P145	RTPTRG1			
P146, P147	-			5
P150-P157	RTP10-RTP17	5	V _{DD}	
P160-P163	PWM0-PWM3	5	V _{DD}	
P164	CSYNCIN			
P165	VSOUT			
P166	HSOUT0			
P167	HSOUT1			
P170-P177	KR0-KR7	5-K	V _{DD}	
P180-P187	-	5	V _{DD}	
P190-P197	-	5	V _{DD}	
CLKOUT	-	4	BV _{DD}	オープンにしてください。
WAIT	-	1	BV _{DD}	抵抗を介してV _{DD} に接続してください。
RESET	-	2	V _{DD}	-
X1	-	-	V _{DD}	-
X2	-	-	V _{DD}	オープンにしてください。
★ XT1	-	16-A	V _{DD}	V _{SS} に接続してください。
★ XT2	-	16-A	V _{DD}	オープンにしてください。
AV _{REF}	-	-	-	AV _{SS} に接続してください。
V _{PP} ^{注1}	-	-	-	V _{SS} に接続してください。
IC ^{注2}	-	-	-	V _{SS} に直接接続してください。
V _{DD}	-	-	-	-
V _{SS}	-	-	-	-
AV _{DD}	-	-	-	V _{DD} に接続してください。
AV _{SS}	-	-	-	V _{SS} に接続してください。
BV _{DD}	-	-	-	V _{DD} に接続してください。
BV _{SS}	-	-	-	V _{SS} に接続してください。
NC	-	-	-	オープンにしてください。

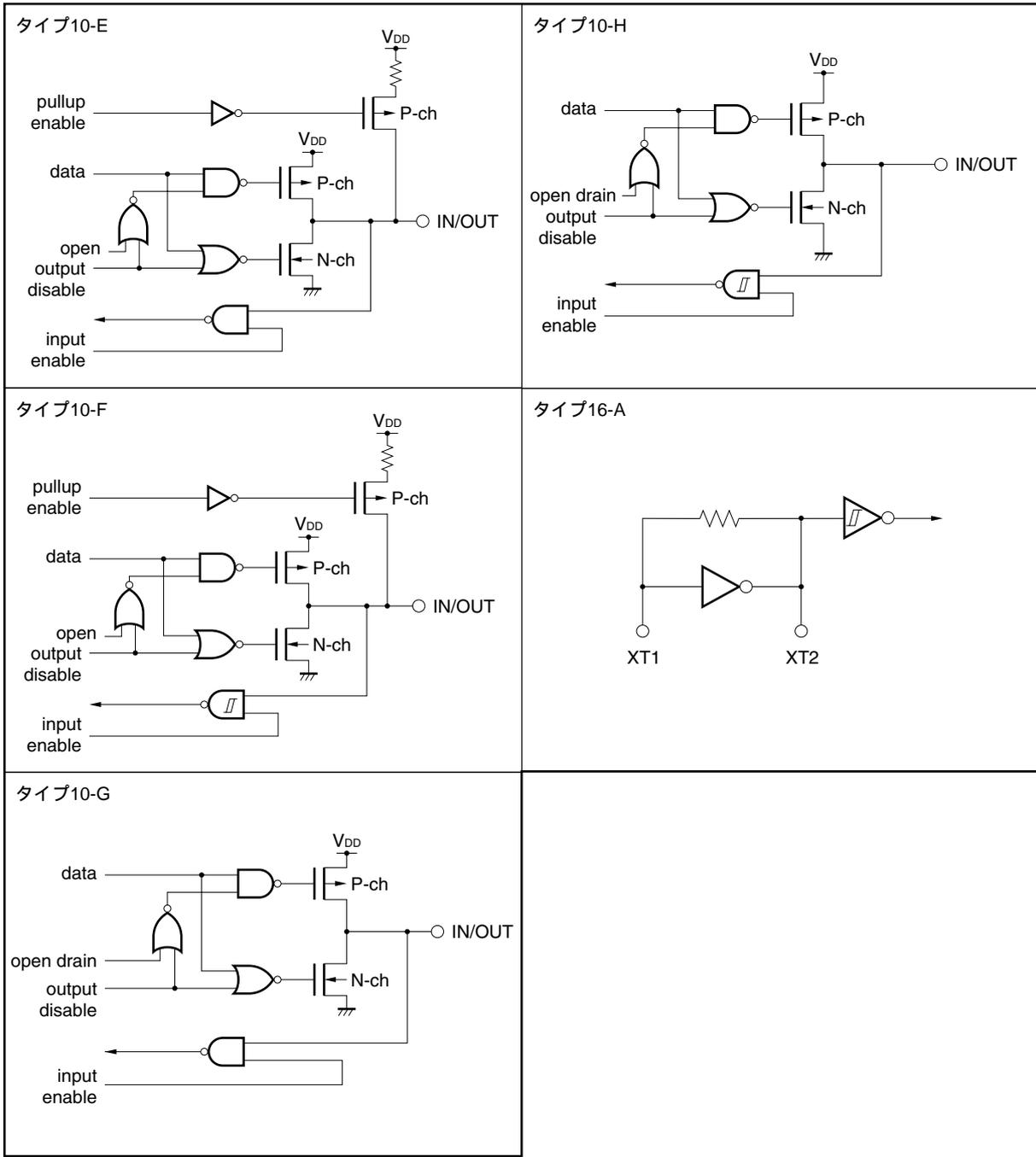
注1. μ PD70F3038, 70F3038Y, 70F3040, 70F3040Y

2. μ PD703038, 703038Y, 703039, 703039Y, 703040, 703040Y, 703041, 703041Y

2.5 端子の入出力回路

(1/2)

<p>タイプ1</p> 	<p>タイプ5-A</p> 
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ5-K</p> 
<p>タイプ4</p>  <p>出力をハイ・インピーダンス (P-ch, N-chともにオフ) にできるプッシュプル出力です。</p>	<p>タイプ5-W</p> 
<p>タイプ5</p> 	<p>タイプ9</p> 



第3章 CPU機能

V850/SV1は、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

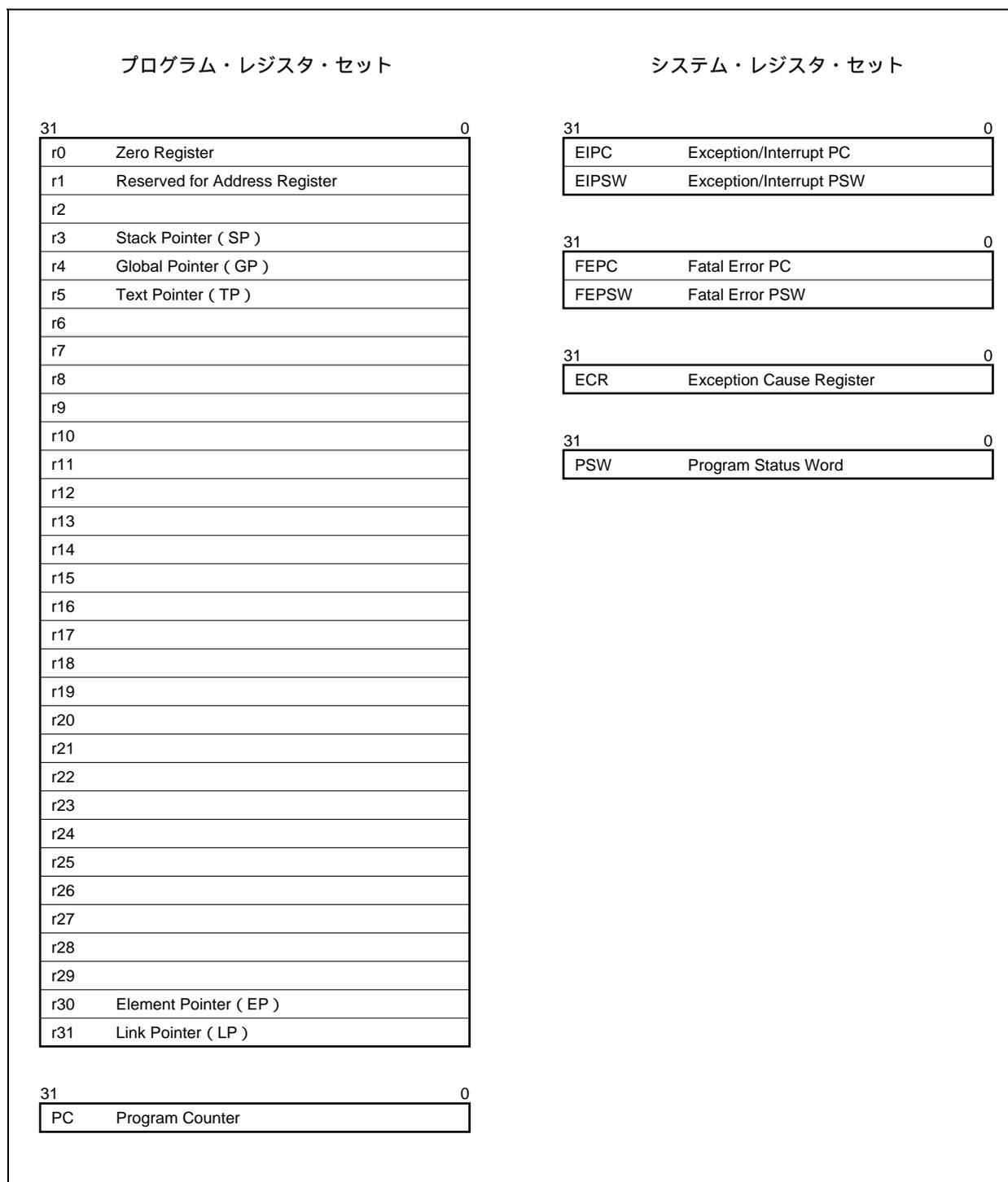
3.1 特 徴

- ★ 最小命令実行時間：50 ns (20 MHz動作時： $V_{DD} = 3.1 \sim 3.6 \text{ V}$)
62.5 ns (16 MHz動作時： $V_{DD} = 2.7 \sim 3.6 \text{ V}$)
- アドレス空間 : 16 Mバイト・リニア (物理アドレス空間：4 Mバイト)
- 汎用レジスタ : 32ビット×32本
- 内部32ビット・アーキテクチャ
- 5段パイプライン制御
- 乗除算命令
- 飽和演算命令
- 32ビット・シフト命令 (1クロック)
- ロング/ショート形式を持つロード/ストア命令
- ビット操作命令4種
 - ・ SET1
 - ・ CLR1
 - ・ NOT1
 - ・ TST1

3.2 CPUレジスタ・セット

V850/SV1のCPUレジスタは、汎用のプログラム・レジスタ・セットと専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅です。詳細はV850シリーズ ユーザーズ・マニュアル アプリケーション編を参照してください。

図3 - 1 CPUレジスタ・セット



3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1, r3-r5, r31はアセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻してください。

★ r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

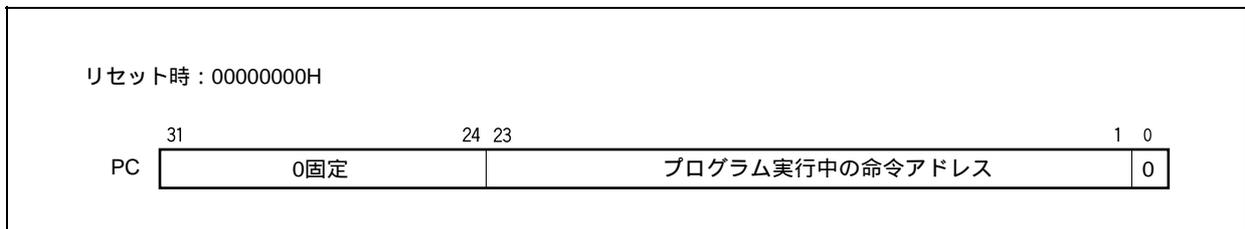
名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
★ r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 ^注 の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

注 プログラム・コードを配置する領域

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位24ビットが有効で、ビット31-24は0に固定されます。ビット23からビット24へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3-2 システム・レジスタ番号

番号	システム・レジスタ名称	用途	動作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは1組しかいないため、多重割り込みを許可する場合は、プログラムでこのレジスタを退避してください。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは上位16ビットを“FECC”と呼び、NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び、例外/割り込みの例外コードがセットされます。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です。
6-31	予約		

これらのシステム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR命令/STSR命令）で示すシステム・レジスタ番号を指定して行います。

(1) 割り込み要因レジスタ（ECR）

リセット時：00000000H							
ECR	<table border="1"> <tr> <td style="text-align: center;">31</td> <td style="text-align: center;">16 15</td> <td style="text-align: center;">1 0</td> </tr> <tr> <td colspan="2" style="text-align: center;">FECC</td> <td style="text-align: center;">EICC</td> </tr> </table>	31	16 15	1 0	FECC		EICC
31	16 15	1 0					
FECC		EICC					
FECC	NMIの例外コード（例外コードは表5-1を参照）						
EICC	例外/割り込みの例外コード						

(2) プログラム・ステータス・ワード (PSW)

(1/2)

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0				
PSW	RFU							NP	EP	ID	SAT	CY	OV	S	Z

RFU	予約フィールドです (0に固定されています)。
-----	-------------------------

NP	ノンマスクابل割り込み (NMI) 処理状態
0	NMI処理中ではない
1	NMI処理中 NMIが受け付けられるセット (1) され, 多重割り込みを禁止します。詳細は 5.2.3 NPフラグを参照してください。

EP	例外処理状態
0	例外処理中ではない
1	例外処理中 例外の発生でセット (1) され, 割り込み要求は受け付けます。詳細は5.4.3 EPフ ラグを参照してください。

ID	マスクابل割り込み処理の指定
0	マスクابل割り込みの受け付けを許可
1	マスクابل割り込みの受け付けを禁止 マスクابلの割り込み要求を受け付けるとセット (1) されます。詳細は5.3.6 ID フラグを参照してください。

SAT ^注	飽和演算命令の演算結果の飽和検出
0	飽和していない セット(1)されているときに飽和演算命令を実行した結果が飽和しなくても、クリア(0)されません。クリア(0)するには、PSWに直接書き込んでください。
1	飽和した

CY	演算結果のキャリーまたはボロー検出
0	キャリーまたはボローは発生していない
1	キャリーまたはボローが発生した

OV ^注	演算中のオーバーフロー検出
0	オーバーフローは発生していない
1	オーバーフローが発生した

S ^注	演算結果の正/負の検出
0	負ではない(正またはゼロであった)
1	負であった

Z	演算結果のゼロの検出
0	ゼロではなかった
1	ゼロであった

注 飽和演算時のOVビットとSビットの内容で、飽和处理した演算結果が決まります。また、飽和演算時にOVビットがセット(1)された場合だけ、SATビットはセット(1)されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の 値を保持	0	0	演算結果そのもの
負(最大値を越えない)			1	

3.3 動作モード

V850/SV1は次の動作モードを備えます。

(1) 通常動作モード (シングルチップ・モード)

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、内蔵ROMに書き込まれた命令の処理を開始します。命令によりメモリ拡張モード・レジスタ (MM) を設定すると、外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

(2) フラッシュ・メモリ・プログラミング・モード

このモードは、 μ PD70F3038, 70F3038Y, 70F3040, 70F3040Yだけが備えています。V_{PP}端子にV_{PP}電圧を印加した場合に、内部フラッシュ・メモリの書き込み / 消去ができます。

V _{PP}	動作モード
0	通常動作モード
7.8 V	フラッシュ・メモリ・プログラミング・モード
V _{DD}	設定禁止

3.4 アドレス空間

3.4.1 CPUアドレス空間

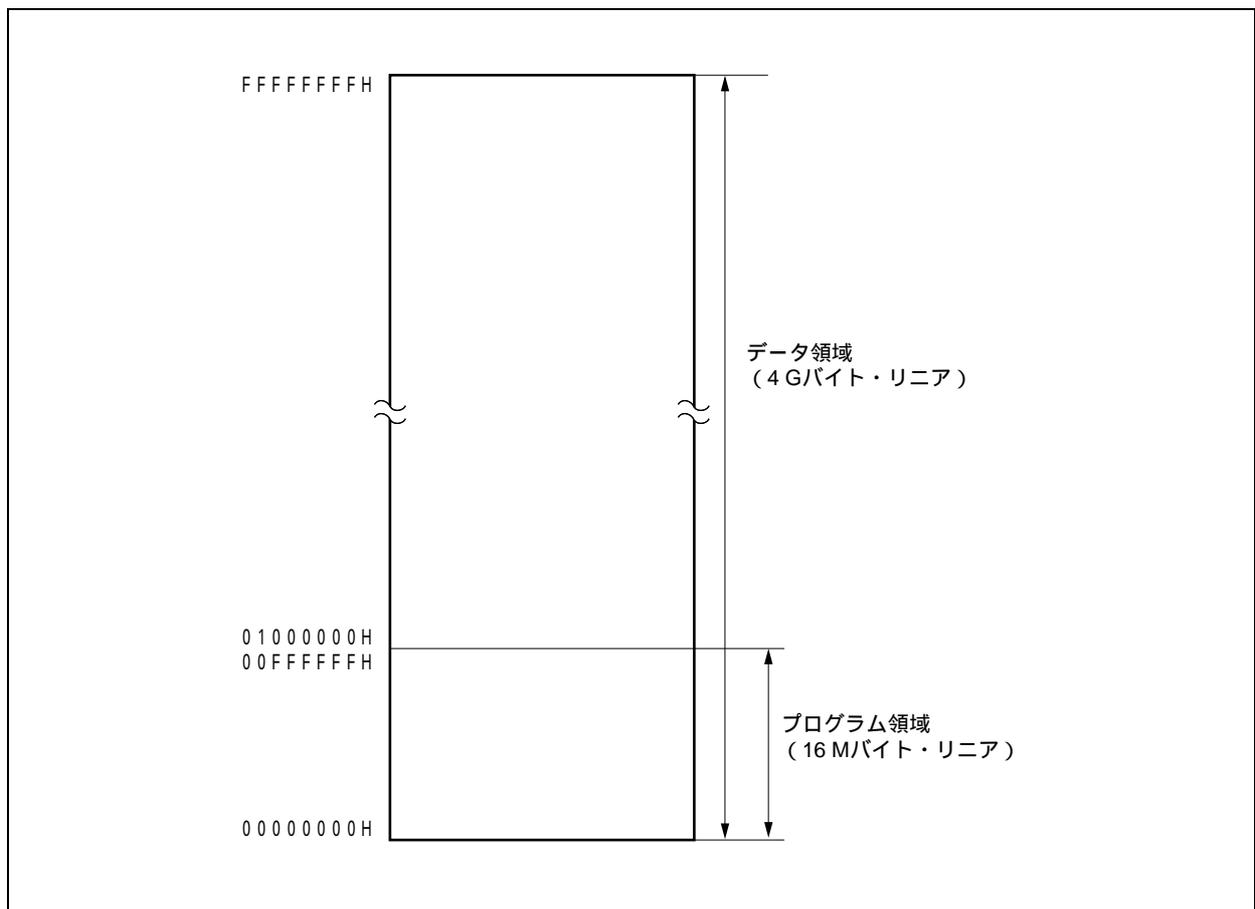
V850/SV1のCPUは、32ビット・アーキテクチャです。

オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。

命令アドレスのアドレッシングにおいては、最大16 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています（物理アドレス空間：4 Mバイト）。

図3 - 2にCPUアドレス空間を示します。

図3 - 2 CPUアドレス空間

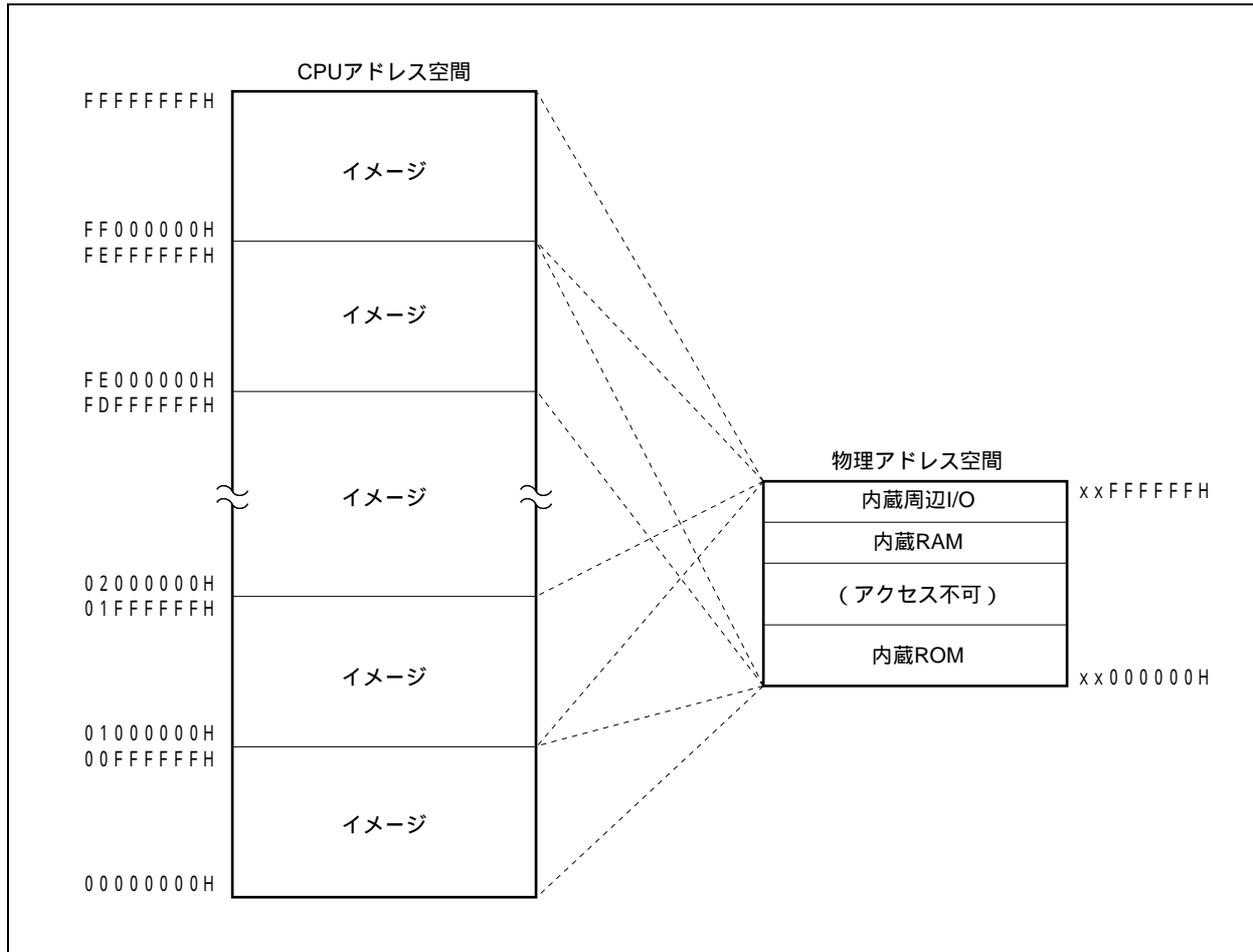


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、16Mバイトの物理アドレス空間が256個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット24がどのような値でも、同じ16 Mバイトの物理アドレス空間をアクセスします。図3 - 2にアドレス空間上のイメージを示します。

物理アドレスのxx000000H番地が、CPUアドレスの00000000H番地のほかに、01000000H番地、02000000H番地、...、FE000000H番地、FF000000H番地に見えます。これは、32ビットのCPUアドレスが上位8ビットを無視し、24ビットの物理アドレスとしてアクセスするためです。

図3 - 3 アドレス空間上のイメージ



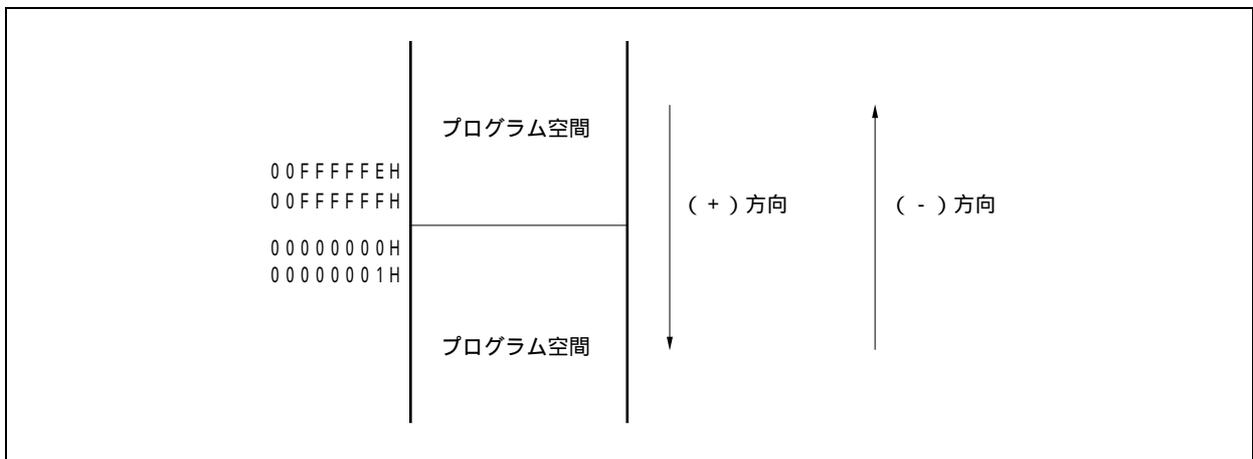
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位8ビットが0固定で、下位24ビットだけが有効です。分岐アドレス計算などでビット23からビット24に対するキャリーまたはボローがあっても上位8ビットはこれを無視します。したがって、プログラム空間の下限である00000000H番地と、上限の00xxxxFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。

注意 00FFF000H-00xxxxFFFHの4 Kバイトの領域は、周辺I/O領域のため命令フェッチができません。したがって、分岐アドレス計算結果が、この領域にかかるような操作は行わないでください。

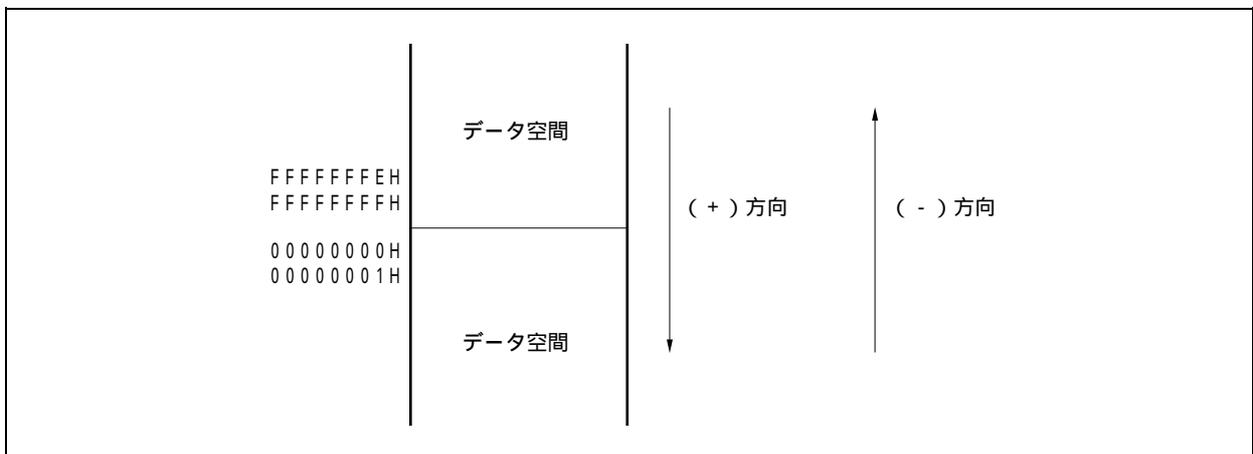
図3 - 4 プログラム空間



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。したがって、データ空間の下限である00000000H番地と、上限のxxxxFFFH番地は連続したアドレスとなり、この境界でラップ・アラウンドします。

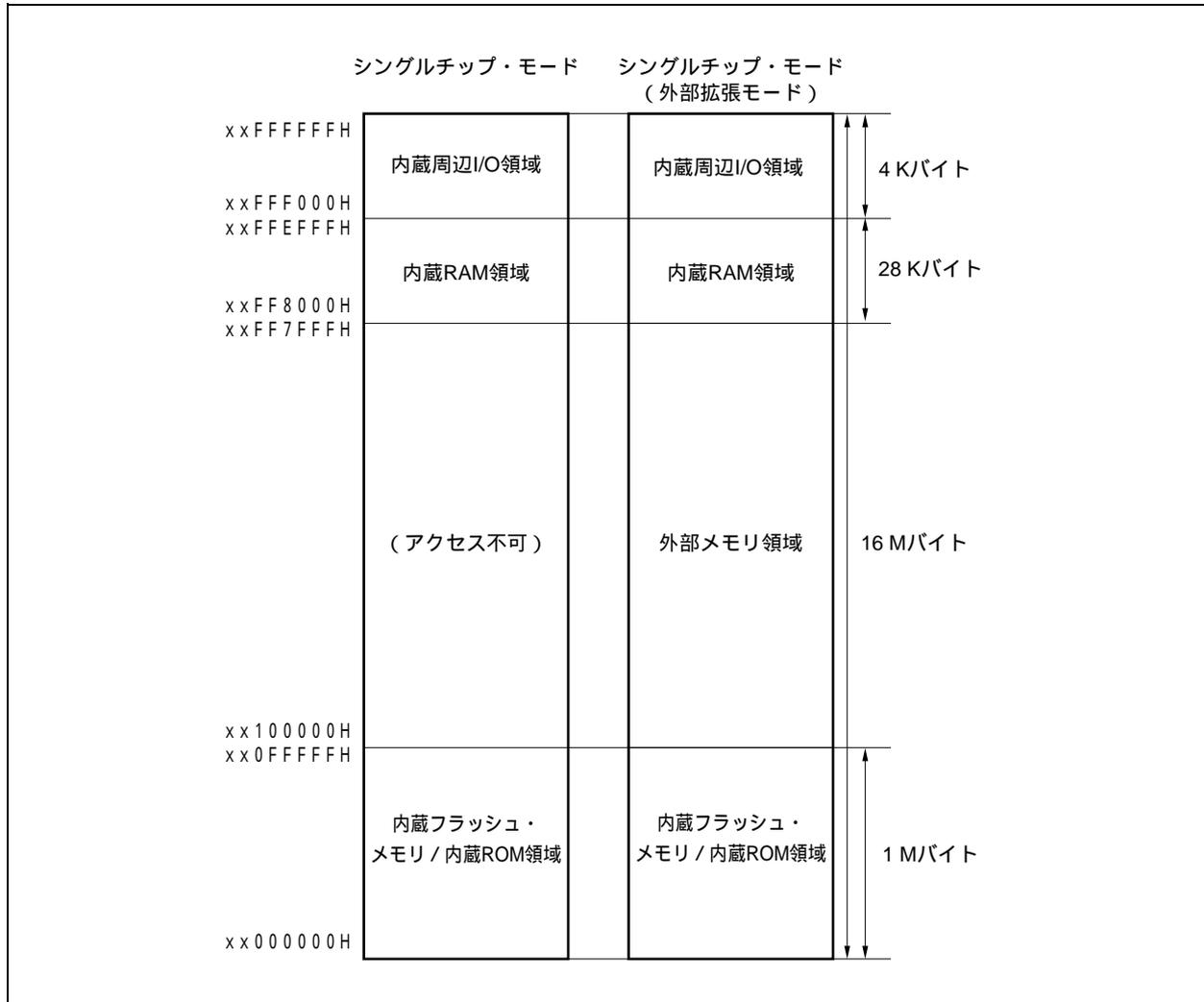
図3 - 5 データ空間



3.4.4 メモリ・マップ

V850/SV1では、図3 - 6に示すように各領域を予約しています。

図3 - 6 メモリ・マップ



★ 3.4.5 領域

(1) 内蔵ROM / 内蔵フラッシュ・メモリ領域

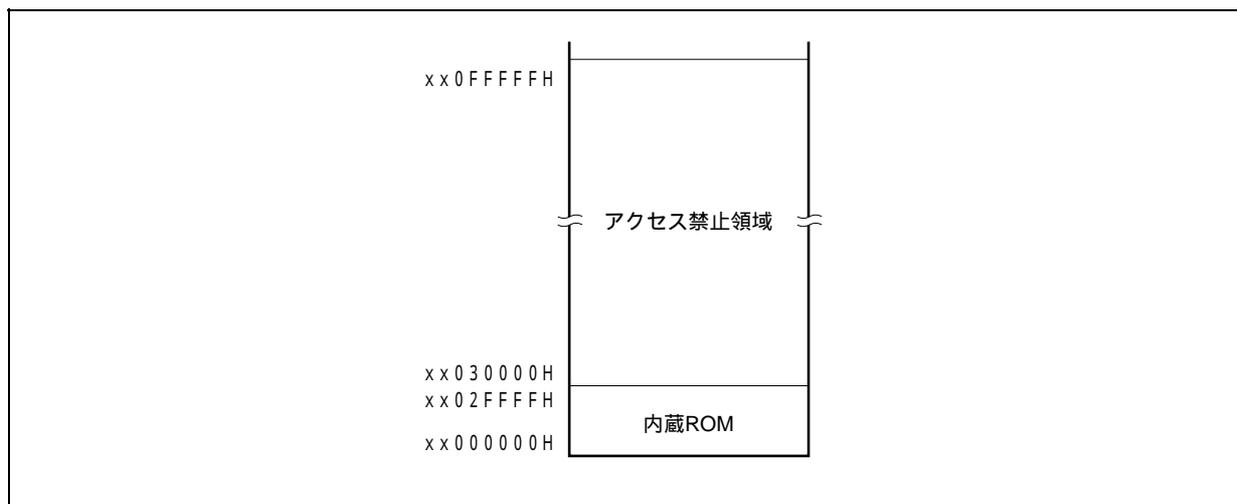
内蔵ROM / 内蔵フラッシュ・メモリ領域は、最大1 Mバイトが予約されています。

(a) μ PD703041, 703041Y (内蔵ROM)

xx000000Hからxx02FFFFH番地に192 Kバイト実装しています。

xx030000Hからxx0FFFFFFH番地はアクセス禁止領域です。

図3 - 7 内蔵ROM領域 (192 Kバイト)



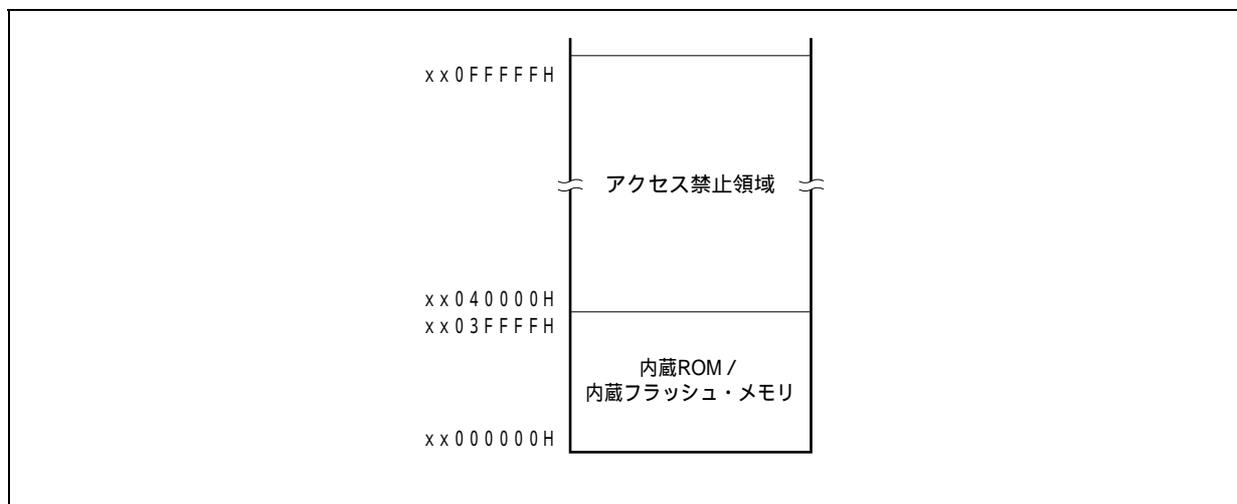
(b) μ PD703039, 703039Y, 703040, 703040Y (内蔵ROM) ,

μ PD70F3040, 70F3040Y (内蔵フラッシュ・メモリ)

xx000000Hからxx03FFFFH番地に256 Kバイト実装しています。

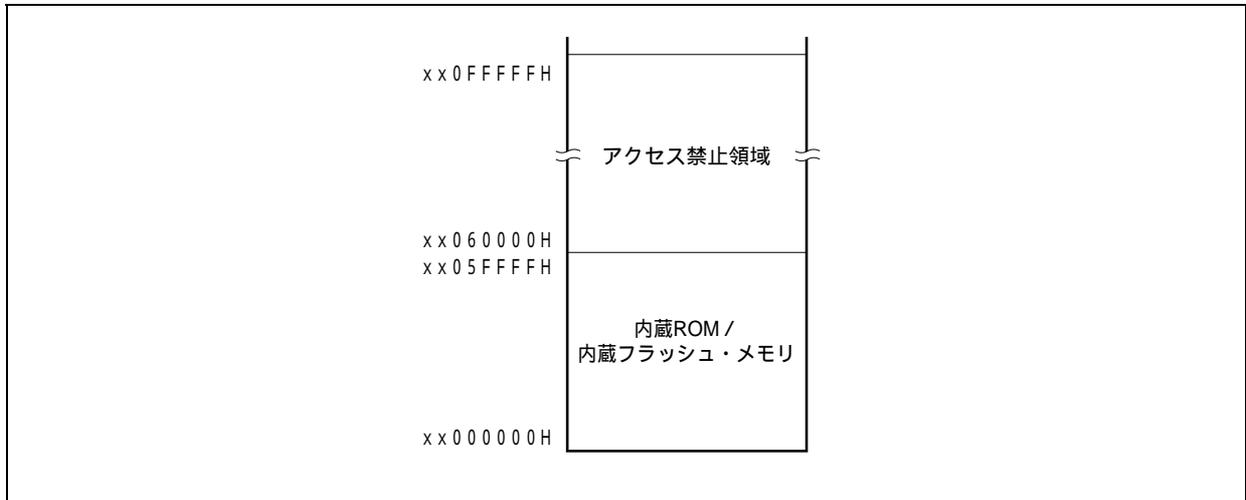
xx040000Hからxx0FFFFFFH番地はアクセス禁止領域です。

図3 - 8 内蔵ROM / 内蔵フラッシュ・メモリ領域 (256 Kバイト)



(c) μ PD703038, 703038Y (内蔵ROM) , μ PD70F3038, 70F3038Y (内蔵フラッシュ・メモリ)
 xx000000Hからxx05FFFFH番地に384 Kバイト実装しています。
 xx060000Hからxx0FFFFFFH番地はアクセス禁止領域です。

図3 - 9 内蔵ROM / 内蔵フラッシュ・メモリ領域 (384 Kバイト)



割り込み / 例外テーブル

V850/SV1は、割り込み / 例外に対応したハンドラ・アドレスを固定化することで、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼び、内蔵ROMに置かれています。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。表3 - 3に割り込み / 例外要因と対応するアドレスを示します。

表3 - 3 割り込み / 例外テーブル

割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因	割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因
00000000H	RESET	000001F0H	INTTM010
00000010H	NMI	00000200H	INTTM011
00000020H	INTWDT	00000210H	INTTM2
00000040H	TRAP0n (n = 0-F)	00000220H	INTTM3
00000050H	TRAP1n (n = 0-F)	00000230H	INTTM4
00000060H	ILGOP	00000240H	INTTM5
00000080H	INTWDTM	00000250H	INTTM6
00000090H	INTP0	00000260H	INTTM7
000000A0H	INTP1	00000270H	INTTM10
000000B0H	INTP2	00000280H	INTTM11
000000C0H	INTP3	00000290H	INTIIC0 ^注 /INTCSI0
000000D0H	INTP4	000002A0H	INTSER0
000000E0H	INTP5	000002B0H	INTSR0/INTCSI1
000000F0H	INTP6	000002C0H	INTST0
00000100H	INTWTNI	000002D0H	INTCSI2
00000110H	INTOV8/INTTCLR8/ INTT18	000002E0H	INTIIC1 ^注
00000120H	INTOV9/INTT19	000002F0H	INTSER1
00000130H	INTCP80/INTCM80	00000300H	INTSR1/INTCSI3
00000140H	INTCP81/INTCM81	00000310H	INTST1
00000150H	INTCP82/INTCM82	00000320H	INTCSI4
00000160H	INTCP83/INTCM83	00000330H	INTAD
00000170H	INTCP90	00000340H	INTDMA0
00000180H	INTCP91	00000350H	INTDMA1
00000190H	INTCP92	00000360H	INTDMA2
000001A0H	INTCP93	00000370H	INTDMA3
000001B0H	INTCM90	00000380H	INTDMA4
000001C0H	INTCM91	00000390H	INTDMA5
000001D0H	INTTM000	000003A0H	INTWTN
000001E0H	INTTM001	000003B0H	INTKR

注 μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

(2) 内蔵RAM領域

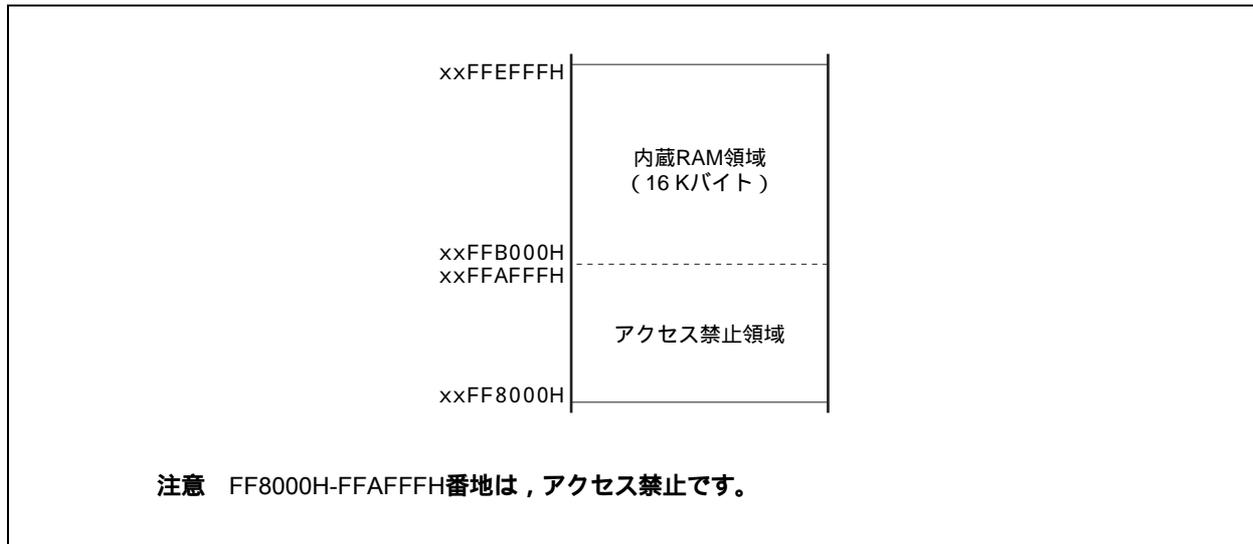
内蔵RAM領域は、最大28 Kバイトが予約されています。

(a) μ PD703038, 703038Y, 703040, 703040Y, 70F3038, 70F3038Y, 70F3040, 70F3040Y

xxFFB000HからxxFFEFFFH番地に16 Kバイト実装しています。

xxFF8000HからxxFFAFFFH番地はアクセス禁止領域です。

図3 - 10 内蔵RAM領域 (μ PD703038, 703038Y, 703040, 703040Y, 70F3038, 70F3038Y, 70F3040, 70F3040Y)

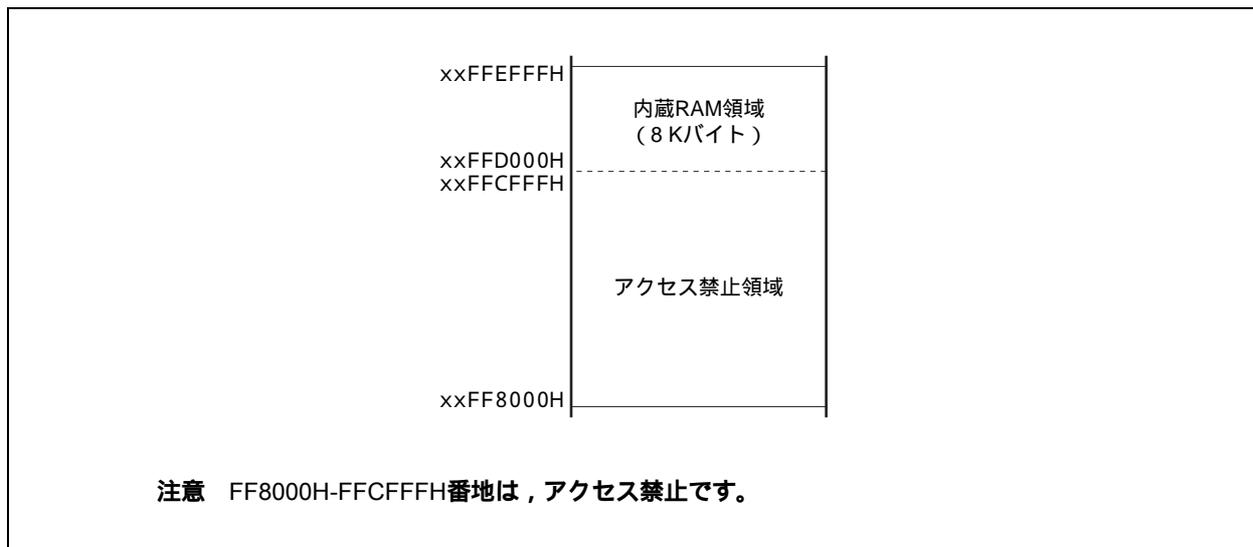


(b) μ PD703039, 703039Y, 703041, 703041Y

xxFFD000HからxxFFEFFFH番地に8 Kバイト実装しています。

xxFF8000HからxxFFCFFFH番地はアクセス禁止領域です。

図3 - 11 内蔵RAM領域 (μ PD703039, 703039Y, 703041, 703041Y)



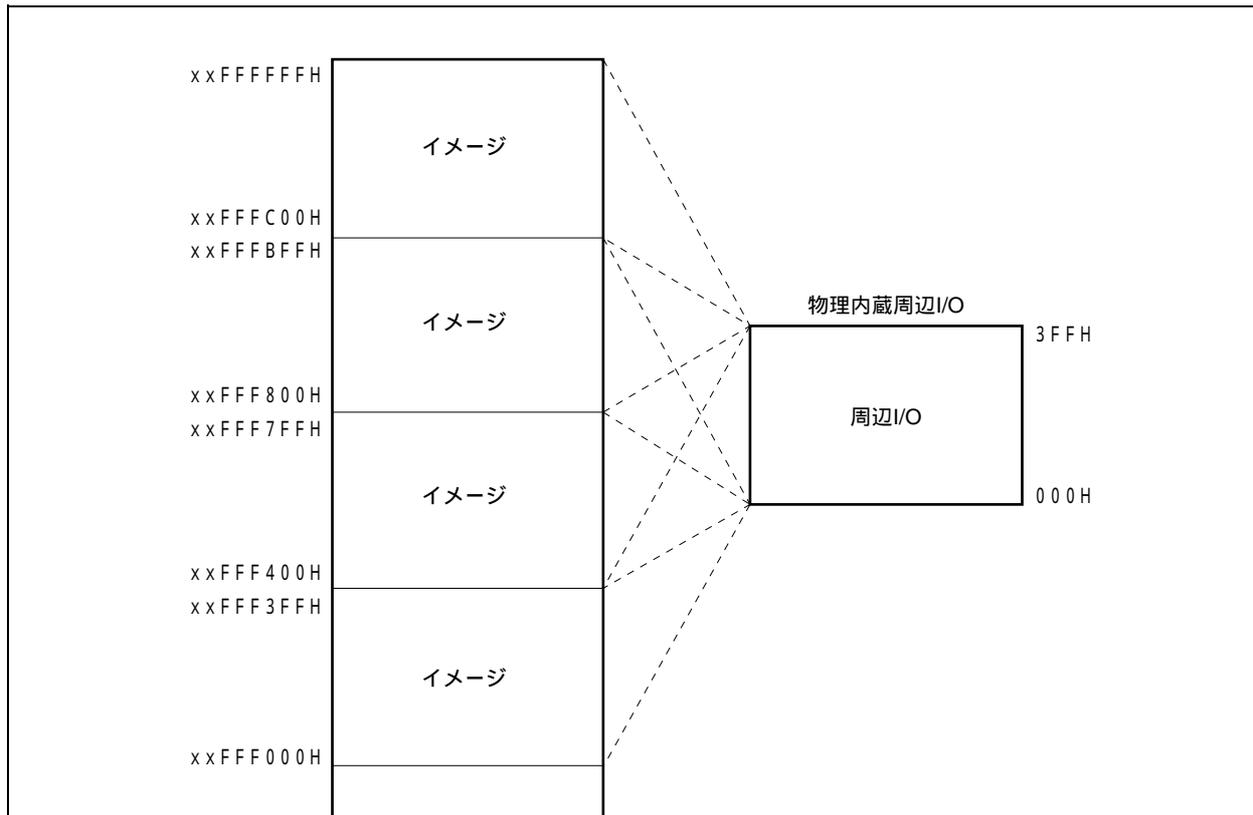
(3) 内蔵周辺I/O領域

内蔵周辺I/O領域はFFF000H-xxFFFFFFH番地の4 Kバイトが予約されています。

V850/SV1は、物理内蔵周辺I/OとしてFFF000H-FFF3FFFH番地の1 Kバイトに割り当てており、残りの領域(FFF400H-xxFFFFFFH)にはそのイメージが見えます。

内蔵周辺I/O領域には内蔵周辺ハードウェアの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

図3 - 12 内蔵周辺I/O領域



- 注意1. アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス ($2n+1$ 番地) のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス ($2n$) のレジスタへアクセスします。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. ハーフワード・アクセスだけ可能な n 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は n 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
 4. ワード・アクセス可能な n 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は n 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
 5. レジスタとして定義されていないレジスタは、将来の拡張用に予約されています。アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

V850/SV1は、最大16 Mバイト (xx100000H-xxFF7FFFH) の領域を外部メモリ領域として使用できます (シングルチップ・モード：外部拡張時)。

外部拡張モードを指定すると、64 K、256 K、1 M、4 Mバイトの物理外部メモリを割り当てることができます。物理外部メモリ以外の領域には、そのイメージが見えます。

ただし、内蔵RAM領域、内蔵周辺I/O領域に対しては、外部メモリのアクセス対象になりません。

図3 - 13 外部メモリ領域 (64 K、256 K、1 Mバイト拡張時)

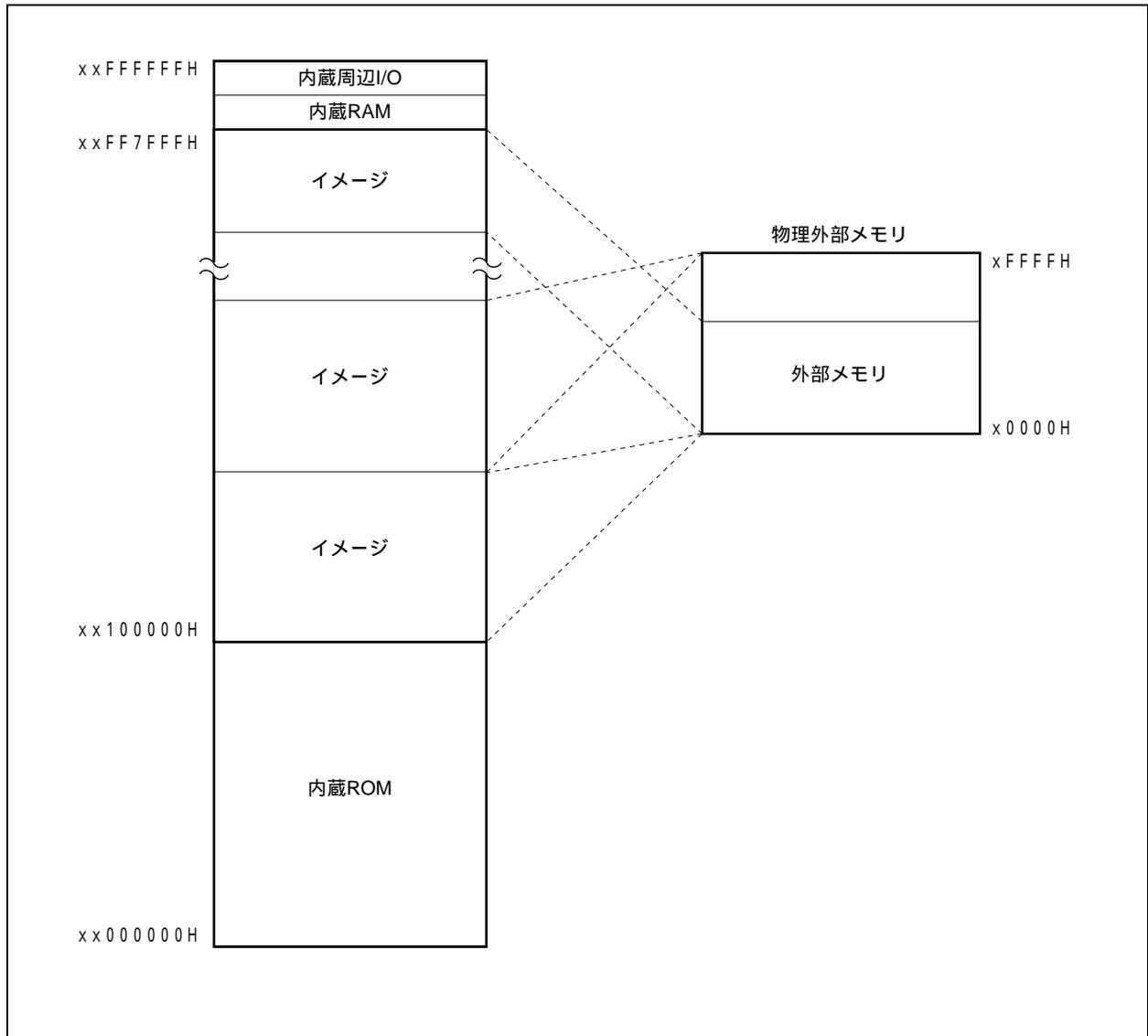
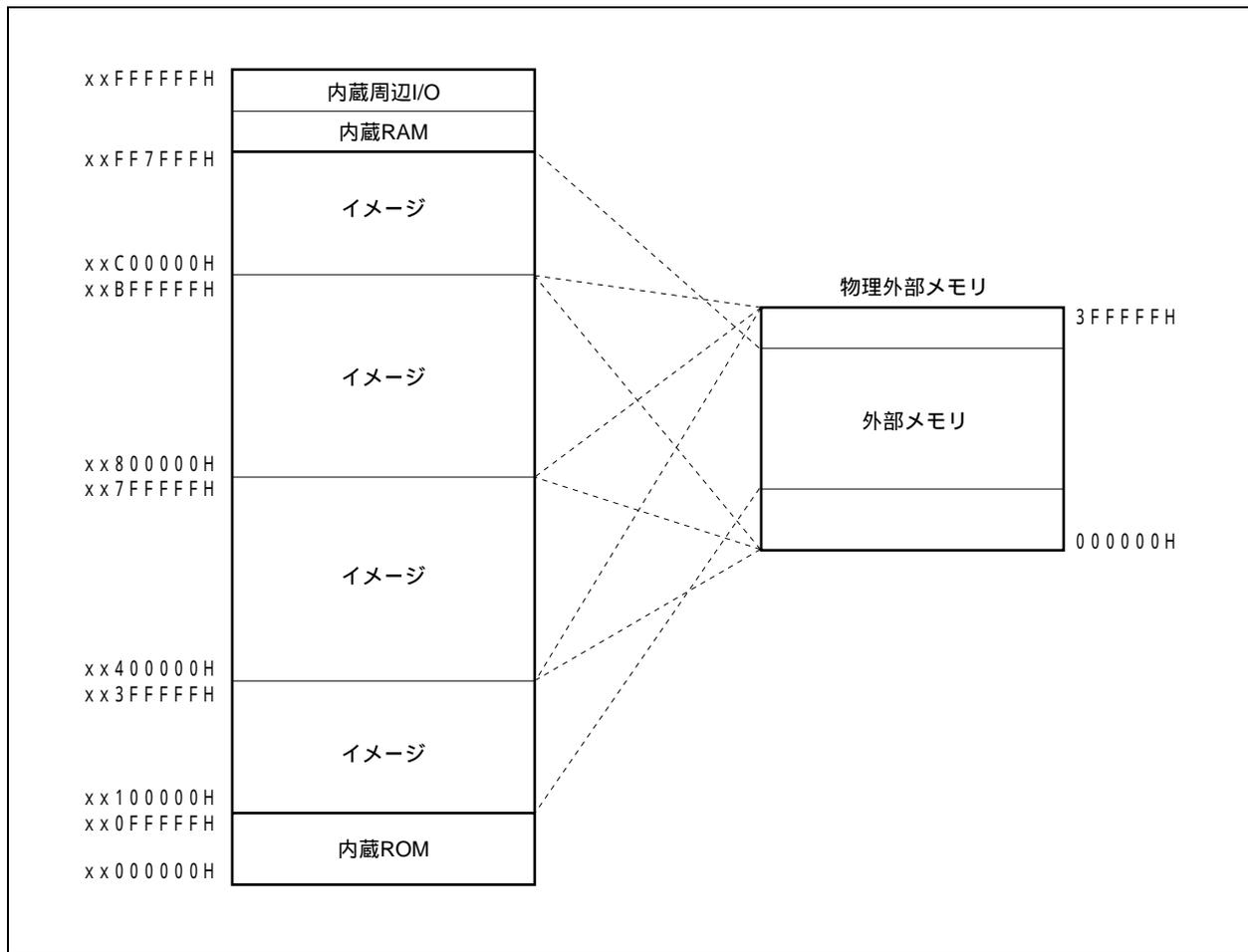


図3 - 14 外部メモリ領域 (4 Mバイト拡張時)



3.4.6 外部拡張モード

V850/SV1では、ポート4, 5, 6, 9の各端子を用いて外部メモリ空間に外部デバイスを接続できます。外部デバイスを接続するには、メモリ拡張モード・レジスタ（MM）を用いて、ポート端子を外部拡張モードに設定してください。

V850/SV1の通常動作モード時は、シングルチップ・モードに固定されるため、リセット時の各ポート/コントロール・モード兼用端子はポート・モードになり、外部メモリは使用できません。外部メモリを使用する場合（外部拡張モード）は、プログラムでMMレジスタを設定してください。

(1) メモリ拡張モード・レジスタ（MM）

ポート4, 5, 6, 9の各端子のモードを設定します。外部拡張モードでは、最大4 Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし、内蔵RAM領域、内蔵周辺I/O領域、およびシングルチップ・モード時の内蔵ROM領域には外部デバイスを接続できません（物理的に接続しても、アクセス対象になりません）。

MMレジスタは8/1ビット単位でリード/ライト可能です。ただし、ビット4-ビット7は0に固定です。

リセット時：00H R/W アドレス：FFFFFF04CH

	7	6	5	4	③	②	①	④
MM	0	0	0	0	MM3	MM2	MM1	MM0

MM3	P95, P96動作モード設定
0	ポート・モード
1	外部拡張モード（HLD $\overline{\text{AK}}$: P95, HLD $\overline{\text{RQ}}$: P96）

MM2	MM1	MM0	アドレス空間	ポート4	ポート5	ポート6	ポート9
0	0	0	-	ポート・モード			
0	1	1	64 Kバイト 拡張モード	AD0- AD7	AD8- AD15	A16, A17	LBEN, UBEN, R/W, DSTB,
1	0	0	256 Kバイト 拡張モード				A18, A19
1	0	1	1 Mバイト 拡張モード			A20, A21	WRH, RD
1	1	x	4 Mバイト 拡張モード			RFU（予約）	
その他				RFU（予約）			

★

注意 外部拡張モードに切り替える場合、切り替える前に必ずポート9（P9）のP93, P94ビットに“1”を設定してください。

備考 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

3.4.7 アドレス空間の推奨使用方法

V850/SV1のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスを行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあり、ポインタの値を変更するときのアドレス計算にかかる性能低下を極力抑えることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えられます。

V850/SV1のメモリ・マップに関連して、ポインタ運用の効率化を目的として、次の使用方法を推奨します。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位8ビットは“0”に固定されており、下位24ビットだけ有効です。したがって、プログラム空間に関しては無条件に00000000H番地から連続した16 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースを効率的に運用するため、4 GバイトのCPUアドレス空間の00000000H - 007xxFFFH番地およびFF800000H - xxxFFFFFFFH番地のそれぞれ連続した8 Mバイトをデータ空間として使用します。V850/SV1では、4 GバイトのCPUアドレス空間に16 Mバイトの物理アドレス空間が256個のイメージとして見えるため、この24ビット・アドレスの最上位ビット(ビット23)を32ビット長まで符号拡張したアドレスとして割り当てています。

ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて、1つのポインタでアドレス指定できます。

ゼロ・レジスタ(r0)はハードウェアで0固定のレジスタのため、ポインタ専用に費やすレジスタは実質不要になります。

図3 - 15 ラップ・アラウンドを利用した応用例

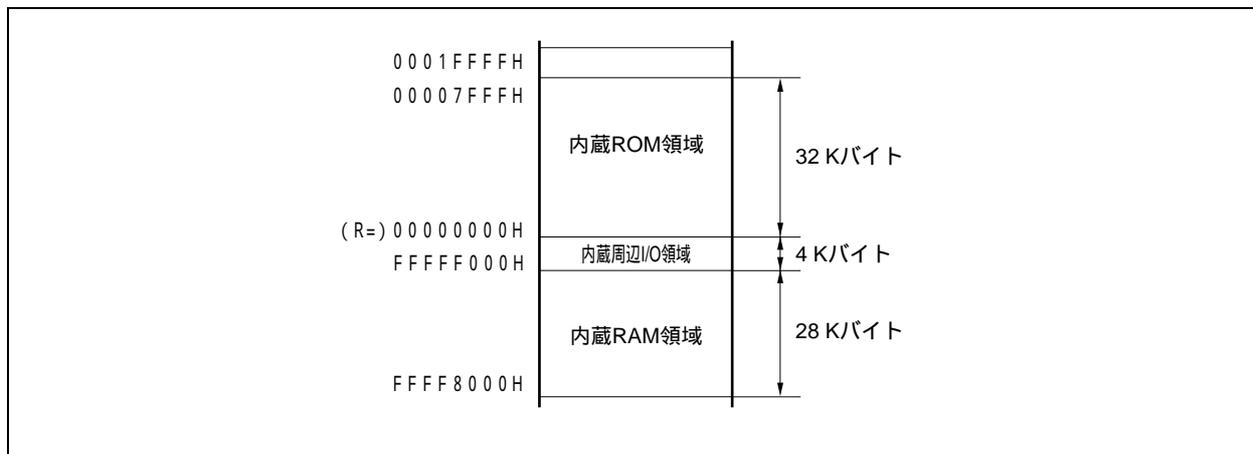
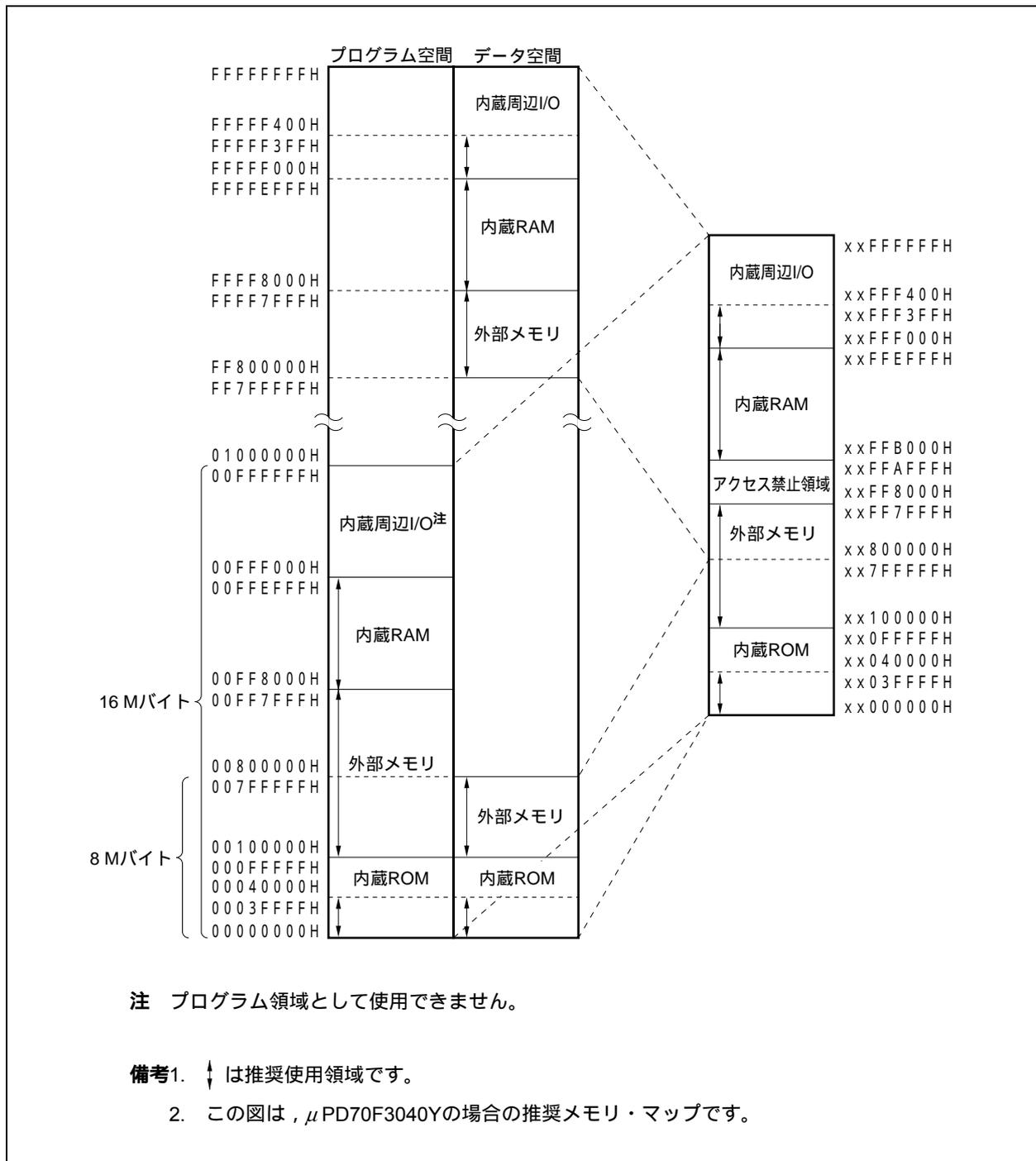


図3 - 16 推奨メモリ・マップ例 (フラッシュ・メモリ内蔵品)



3.4.8 周辺I/Oレジスタ

(1/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時	
				1	8	16	32		
xxFFF000H	ポート0	P0	R/W					00H ^注	
xxFFF002H	ポート1	P1							
xxFFF004H	ポート2	P2							
xxFFF006H	ポート3	P3							
xxFFF008H	ポート4	P4							
xxFFF00AH	ポート5	P5							
xxFFF00CH	ポート6	P6							
xxFFF00EH	ポート7	P7	R					不定	
xxFFF010H	ポート8	P8							
xxFFF012H	ポート9	P9	R/W					00H ^注	
xxFFF014H	ポート10	P10							
xxFFF016H	ポート11	P11							
xxFFF018H	ポート12	P12							
xxFFF01AH	ポート13	P13							
xxFFF01CH	ポート14	P14							
xxFFF01EH	ポート15	P15							
xxFFF020H	ポート0モード・レジスタ	PM0							FFH
xxFFF022H	ポート1モード・レジスタ	PM1							3FH
xxFFF024H	ポート2モード・レジスタ	PM2							FFH
xxFFF026H	ポート3モード・レジスタ	PM3							
xxFFF028H	ポート4モード・レジスタ	PM4							
xxFFF02AH	ポート5モード・レジスタ	PM5							
xxFFF02CH	ポート6モード・レジスタ	PM6							3FH
xxFFF032H	ポート9モード・レジスタ	PM9							7FH
xxFFF034H	ポート10モード・レジスタ	PM10					FFH		
xxFFF036H	ポート11モード・レジスタ	PM11					0FH		
xxFFF038H	ポート12モード・レジスタ	PM12					FFH		
xxFFF03AH	ポート13モード・レジスタ	PM13							
xxFFF03CH	ポート14モード・レジスタ	PM14							
xxFFF03EH	ポート15モード・レジスタ	PM15							
xxFFF04CH	メモリ拡張モード・レジスタ	MM					00H		
xxFFF060H	データ・ウェイト・コントロール・レジスタ	DWC					FFFFH		
xxFFF062H	バス・サイクル・コントロール・レジスタ	BCC					AAAAH		
xxFFF064H	システム制御レジスタ	SYC					00H		
xxFFF070H	パワー・セーブ・コントロール・レジスタ	PSC					C0H		
xxFFF074H	プロセッサ・クロック・コントロール・レジスタ	PCC					03H		
xxFFF078H	システム・ステータス・レジスタ	SYS					00H		
xxFFF080H	ポート16	P16					00H ^注		
xxFFF082H	ポート17	P17							
xxFFF084H	ポート18	P18							
xxFFF086H	ポート19	P19							

注 リセットにより入力モードに初期化されるので、リード時は、端子レベルを読み出します。00Hに初期化されるのは出力ラッチです。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
xxFFF090H	ポート16モード・レジスタ	PM16	R/W					FFH
xxFFF092H	ポート17モード・レジスタ	PM17						
xxFFF094H	ポート18モード・レジスタ	PM18						
xxFFF096H	ポート19モード・レジスタ	PM19						
xxFFF0A0H	ブルアップ抵抗オプション・レジスタ0	PU0						00H
xxFFF0A2H	ブルアップ抵抗オプション・レジスタ1	PU1						
xxFFF0A4H	ブルアップ抵抗オプション・レジスタ2	PU2						
xxFFF0A6H	ブルアップ抵抗オプション・レジスタ3	PU3						
xxFFF0A8H	ブルアップ抵抗オプション・レジスタ10	PU10						
xxFFF0AAH	ブルアップ抵抗オプション・レジスタ17	PU17						
xxFFF0B0H	ポート1ファンクション・レジスタ	PF1						
xxFFF0B2H	ポート2ファンクション・レジスタ	PF2						
xxFFF0B4H	ポート10ファンクション・レジスタ	PF10						
xxFFF0B6H	ポート12ファンクション・レジスタ	PF12						
xxFFF0C0H	立ち上がりエッジ指定レジスタ0	EGP0						
xxFFF0C2H	立ち下がりエッジ指定レジスタ0	EGN0						
xxFFF0C8H	立ち上がりエッジ指定レジスタ2	EGP2						
xxFFF0CAH	立ち下がりエッジ指定レジスタ2	EGN2						
xxFFF0CCH	立ち上がりエッジ指定レジスタ3	EGP3						
xxFFF0CEH	立ち下がりエッジ指定レジスタ3	EGN3						
xxFFF0D0H	Vsyncアップ/ダウン・カウンタ	VSUDC	R					
xxFFF0D2H	Vsyncコンペア・レジスタ	VSCMP	R/W					
xxFFF0D4H	Hsyncコンペア・レジスタ	HSCMP						
xxFFF0D6H	Hsyncマスク幅レジスタ	HMCMP						
xxFFF0D8H	Hsync補正レジスタ	HCCMP						
xxFFF0DAH	Vsyncコントロール・レジスタ	VSC						
xxFFF0E0H	PWMコントロール・レジスタ0	PWMC0						05H
xxFFF0E2H	PWMモジュロ・レジスタ0	PWM0						不定
xxFFF0E4H	PWMプリスケラ・レジスタ0	PWPR0						00H
xxFFF0E8H	PWMコントロール・レジスタ1	PWMC1						05H
xxFFF0EAH	PWMモジュロ・レジスタ1	PWM1						不定
xxFFF0ECH	PWMプリスケラ・レジスタ1	PWPR1						00H
xxFFF0F0H	PWMコントロール・レジスタ2	PWMC2						05H
xxFFF0F2H	PWMモジュロ・レジスタ2	PWM2						不定
xxFFF0F4H	PWMプリスケラ・レジスタ2	PWPR2						00H
xxFFF0F8H	PWMコントロール・レジスタ3	PWMC3						05H
xxFFF0FAH	PWMモジュロ・レジスタ3	PWM3						不定
xxFFF0FCH	PWMプリスケラ・レジスタ3	PWPR3					00H	
xxFFF100H	割り込み制御レジスタ	WDTIC					47H	
xxFFF102H	割り込み制御レジスタ	PIC0						
xxFFF104H	割り込み制御レジスタ	PIC1						
xxFFF106H	割り込み制御レジスタ	PIC2						

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
xxFFF108H	割り込み制御レジスタ	PIC3	R/W					47H
xxFFF10AH	割り込み制御レジスタ	PIC4						
xxFFF10CH	割り込み制御レジスタ	PIC5						
xxFFF10EH	割り込み制御レジスタ	PIC6						
xxFFF110H	割り込み制御レジスタ	WTNIC						
xxFFF112H	割り込み制御レジスタ	OVIC8						
xxFFF114H	割り込み制御レジスタ	OVIC9						
xxFFF116H	割り込み制御レジスタ	CC8IC0						
xxFFF118H	割り込み制御レジスタ	CC8IC1						
xxFFF11AH	割り込み制御レジスタ	CC8IC2						
xxFFF11CH	割り込み制御レジスタ	CC8IC3						
xxFFF11EH	割り込み制御レジスタ	CP9IC0						
xxFFF120H	割り込み制御レジスタ	CP9IC1						
xxFFF122H	割り込み制御レジスタ	CP9IC2						
xxFFF124H	割り込み制御レジスタ	CP9IC3						
xxFFF126H	割り込み制御レジスタ	CM9IC0						
xxFFF128H	割り込み制御レジスタ	CM9IC1						
xxFFF12AH	割り込み制御レジスタ	TMIC000						
xxFFF12CH	割り込み制御レジスタ	TMIC001						
xxFFF12EH	割り込み制御レジスタ	TMIC010						
xxFFF130H	割り込み制御レジスタ	TMIC011						
xxFFF132H	割り込み制御レジスタ	TMIC2						
xxFFF134H	割り込み制御レジスタ	TMIC3						
xxFFF136H	割り込み制御レジスタ	TMIC4						
xxFFF138H	割り込み制御レジスタ	TMIC5						
xxFFF13AH	割り込み制御レジスタ	TMIC6						
xxFFF13CH	割り込み制御レジスタ	TMIC7						
xxFFF13EH	割り込み制御レジスタ	TMIC10						
xxFFF140H	割り込み制御レジスタ	TMIC11						
xxFFF142H	割り込み制御レジスタ	CSIC0						
xxFFF144H	割り込み制御レジスタ	SERIC0						
xxFFF146H	割り込み制御レジスタ	CSIC1						
xxFFF148H	割り込み制御レジスタ	STIC0						
xxFFF14AH	割り込み制御レジスタ	CSIC2						
xxFFF14CH	割り込み制御レジスタ ^注	IICIC1						
xxFFF14EH	割り込み制御レジスタ	SERIC1						
xxFFF150H	割り込み制御レジスタ	CSIC3						
xxFFF152H	割り込み制御レジスタ	STIC1						
xxFFF154H	割り込み制御レジスタ	CSIC4						
xxFFF156H	割り込み制御レジスタ	ADIC						
xxFFF158H	割り込み制御レジスタ	DMAIC0						
xxFFF15AH	割り込み制御レジスタ	DMAIC1						

注 μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時	
				1	8	16	32		
xxFFF15CH	割り込み制御レジスタ	DMAIC2	R/W					47H	
xxFFF15EH	割り込み制御レジスタ	DMAIC3							
xxFFF160H	割り込み制御レジスタ	DMAIC4							
xxFFF162H	割り込み制御レジスタ	DMAIC5							
xxFFF164H	割り込み制御レジスタ	WTNIC							
xxFFF166H	インサースervice・プライオリティ・レジスタ	ISPR	R					00H	
xxFFF168H	割り込み制御レジスタ	KRIC	R/W					47H	
xxFFF170H	コマンド・レジスタ	PRCMD	W					不定	
xxFFF180H	DMA周辺I/Oアドレス・レジスタ0	DIOA0	R/W					不定	
xxFFF182H	DMA内蔵RAMアドレス・レジスタ0	DRA0							
xxFFF184H	DMAバイト・カウント・レジスタ0	DBC0							
xxFFF186H	DMAチャンネル・コントロール・レジスタ0	DCHC0							00H
xxFFF190H	DMA周辺I/Oアドレス・レジスタ1	DIOA1							不定
xxFFF192H	DMA内蔵RAMアドレス・レジスタ1	DRA1						不定	
xxFFF194H	DMAバイト・カウント・レジスタ1	DBC1							
xxFFF196H	DMAチャンネル・コントロール・レジスタ1	DCHC1							00H
xxFFF1A0H	DMA周辺I/Oアドレス・レジスタ2	DIOA2							不定
xxFFF1A2H	DMA内蔵RAMアドレス・レジスタ2	DRA2							不定
xxFFF1A4H	DMAバイト・カウント・レジスタ2	DBC2							
xxFFF1A6H	DMAチャンネル・コントロール・レジスタ2	DCHC2						00H	
xxFFF1B0H	DMA周辺I/Oアドレス・レジスタ3	DIOA3						不定	
xxFFF1B2H	DMA内蔵RAMアドレス・レジスタ3	DRA3						不定	
xxFFF1B4H	DMAバイト・カウント・レジスタ3	DBC3							
xxFFF1B6H	DMAチャンネル・コントロール・レジスタ3	DCHC3							00H
xxFFF1C0H	DMA周辺I/Oアドレス・レジスタ4	DIOA4							不定
xxFFF1C2H	DMA内蔵RAMアドレス・レジスタ4	DRA4							不定
xxFFF1C4H	DMAバイト・カウント・レジスタ4	DBC4							
xxFFF1C6H	DMAチャンネル・コントロール・レジスタ4	DCHC4						00H	
xxFFF1D0H	DMA周辺I/Oアドレス・レジスタ5	DIOA5						不定	
xxFFF1D2H	DMA内蔵RAMアドレス・レジスタ5	DRA5						不定	
xxFFF1D4H	DMAバイト・カウント・レジスタ5	DBC5							
xxFFF1D6H	DMAチャンネル・コントロール・レジスタ5	DCHC5							00H
xxFFF200H	16ビット・タイマ・レジスタ0	TM0		R					
xxFFF202H	16ビット・キャプチャ/コンペア・レジスタ00	CR00	注						0000H
xxFFF204H	16ビット・キャプチャ/コンペア・レジスタ01	CR01	注						
xxFFF206H	プリスケアラ・モード・レジスタ00	PRM00	R/W					00H	
xxFFF208H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0							
xxFFF20AH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0							
xxFFF20CH	タイマ出力コントロール・レジスタ0	TOC0							
xxFFF20EH	プリスケアラ・モード・レジスタ01	PRM01							
xxFFF210H	16ビット・タイマ・レジスタ1	TM1	R					0000H	

注 コンペア・モード時：R/W

キャプチャ・モード時：R

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
xxFFF212H	16ビット・キャプチャ/コンペア・レジスタ10	CR10	注1					0000H
xxFFF214H	16ビット・キャプチャ/コンペア・レジスタ11	CR11	注1					
xxFFF216H	プリスケアラ・モード・レジスタ10	PRM10	R/W					00H
xxFFF218H	16ビット・タイマ・モード・コントロール・レジスタ1	TMC1						
xxFFF21AH	キャプチャ/コンペア・コントロール・レジスタ1	CRC1						
xxFFF21CH	タイマ出力コントロール・レジスタ1	TOC1						
xxFFF21EH	プリスケアラ・モード・レジスタ11	PRM11						
xxFFF230H	リアルタイム出力バッファ・レジスタL0	RTBL0						
xxFFF232H	リアルタイム出力バッファ・レジスタH0	RTBH0						
xxFFF234H	リアルタイム出力ポート・モード・レジスタ0	RTPM0						
xxFFF236H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0						
xxFFF238H	リアルタイム出力バッファ・レジスタL1	RTBL1						
xxFFF23AH	リアルタイム出力バッファ・レジスタH1	RTBH1						
xxFFF23CH	リアルタイム出力ポート・モード・レジスタ1	RTPM1						
xxFFF23EH	リアルタイム出力ポート・コントロール・レジスタ1	RTPC1						
xxFFF240H	8ビット・カウンタ2	TM2	R					
xxFFF242H	8ビット・コンペア・レジスタ2	CR20	R/W					
xxFFF244H	タイマ・クロック選択レジスタ20	TCL20						
★ xxFFF246H	8ビット・タイマ・モード・コントロール・レジスタ2	TMC2						00H ^{注2}
xxFFF24AH	16ビット・カウンタ23 (カスケード接続時のみ)	TM23	R					0000H
xxFFF24CH	16ビット・コンペア・レジスタ23 (カスケード接続時のみ)	CR23	R/W					
xxFFF24EH	タイマ・クロック選択レジスタ21	TCL21						00H
xxFFF250H	8ビット・カウンタ3	TM3	R					
xxFFF252H	8ビット・コンペア・レジスタ3	CR30	R/W					
xxFFF254H	タイマ・クロック選択レジスタ30	TCL30						
★ xxFFF256H	8ビット・タイマ・モード・コントロール・レジスタ3	TMC3						00H ^{注2}
xxFFF25EH	タイマ・クロック選択レジスタ31	TCL31						00H
xxFFF260H	8ビット・カウンタ4	TM4	R					
xxFFF262H	8ビット・コンペア・レジスタ4	CR40	R/W					
xxFFF264H	タイマ・クロック選択レジスタ40	TCL40						
★ xxFFF266H	8ビット・タイマ・モード・コントロール・レジスタ4	TMC4						00H ^{注2}
xxFFF26AH	16ビット・カウンタ45 (カスケード接続時のみ)	TM45	R					0000H
xxFFF26CH	16ビット・コンペア・レジスタ45 (カスケード接続時のみ)	CR45	R/W					
xxFFF26EH	タイマ・クロック選択レジスタ41	TCL41						00H
xxFFF270H	8ビット・カウンタ5	TM5	R					
xxFFF272H	8ビット・コンペア・レジスタ5	CR50	R/W					
xxFFF274H	タイマ・クロック選択レジスタ50	TCL50						
★ xxFFF276H	8ビット・タイマ・モード・コントロール・レジスタ5	TMC5						00H ^{注2}
xxFFF27EH	タイマ・クロック選択レジスタ51	TCL51						00H
xxFFF280H	8ビット・カウンタ6	TM6	R					
xxFFF282H	8ビット・コンペア・レジスタ6	CR60	R/W					

注1 . コンペア・モード時 : R/W

キャプチャ・モード時 : R

2 . ハードウェアの状態は、04Hに初期化されますが、リードすると00Hが読み出されます。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
xxFFF284H	タイマ・クロック選択レジスタ60	TCL60	R/W					00H
★ xxFFF286H	8ビット・タイマ・モード・コントロール・レジスタ6	TMC6						00H ^注
xxFFF28AH	16ビット・カウンタ67 (カスケード接続時のみ)	TM67	R					0000H
xxFFF28CH	16ビット・コンペア・レジスタ67 (カスケード接続時のみ)	CR67	R/W					
xxFFF28EH	タイマ・クロック選択レジスタ61	TCL61						00H
xxFFF290H	8ビット・カウンタ7	TM7	R					
xxFFF292H	8ビット・コンペア・レジスタ7	CR70	R/W					
xxFFF294H	タイマ・クロック選択レジスタ70	TCL70						
★ xxFFF296H	8ビット・タイマ・モード・コントロール・レジスタ7	TMC7						00H ^注
xxFFF29EH	タイマ・クロック選択レジスタ71	TCL71						00H
xxFFF2A0H	シリアルI/Oシフト・レジスタ0	SIO0						
xxFFF2A2H	シリアル動作モード・レジスタ0	CSIM0						
xxFFF2A4H	シリアル・クロック選択レジスタ0	CSIS0						
xxFFF2B0H	シリアルI/Oシフト・レジスタ1	SIO1						
xxFFF2B2H	シリアル動作モード・レジスタ1	CSIM1						
xxFFF2B4H	シリアル・クロック選択レジスタ1	CSIS1						
xxFFF2C0H	シリアルI/Oシフト・レジスタ2	SIO2						
xxFFF2C2H	シリアル動作モード・レジスタ2	CSIM2						
xxFFF2C4H	シリアル・クロック選択レジスタ2	CSIS2						
xxFFF2D0H	シリアルI/Oシフト・レジスタ3	SIO3						
xxFFF2D2H	シリアル動作モード・レジスタ3	CSIM3						
xxFFF2D4H	シリアル・クロック選択レジスタ3	CSIS3						
xxFFF2E0H	可変長シリアルI/Oシフト・レジスタ4	SIO4						0000H
xxFFF2E2H	可変長シリアル制御レジスタ4	CSIM4						00H
xxFFF2E4H	可変長シリアル設定レジスタ4	CSIB4						
xxFFF2E6H	ポーレート・ジェネレータ・ソース・クロック選択レジスタ4	BRGCN4						
xxFFF2E8H	ポーレート出力クロック選択レジスタ4	BRGCK4						7FH
xxFFF300H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00						00H
xxFFF302H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R					
xxFFF304H	ポーレート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W					00H
xxFFF306H	送信シフト・レジスタ0	TXS0	W					FFH
xxFFF308H	受信バッファ・レジスタ0	RXB0	R					
xxFFF30EH	ポーレート・ジェネレータ・モード・コントロール・レジスタ00	BRGMC00	R/W					00H
xxFFF310H	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	ASIM10						
xxFFF312H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R					
xxFFF314H	ポーレート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W					
xxFFF316H	送信シフト・レジスタ1	TXS1	W					FFH
xxFFF318H	受信バッファ・レジスタ1	RXB1	R					
xxFFF31EH	ポーレート・ジェネレータ・モード・コントロール・レジスタ10	BRGMC10	R/W					00H
xxFFF320H	ポーレート・ジェネレータ・モード・コントロール・レジスタ01	BRGMC01						
xxFFF322H	ポーレート・ジェネレータ・モード・コントロール・レジスタ11	BRGMC11						

注 ハードウェアの状態は、04Hに初期化されますが、リードすると00Hが読み出されます。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時	
				1	8	16	32		
xxFFF324H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0 ¹	ASIM01	R/W					00H	
xxFFF326H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1 ¹	ASIS11							
xxFFF328H	A/Dコンバータ・モード・レジスタ0	ADM0							
xxFFF32AH	A/Dコンバータ・モード・レジスタ1	ADM1							
xxFFF330H	A/D変換結果レジスタ0	ADCR0	R					0000H	
xxFFF332H	A/D変換結果レジスタ1	ADCR1							
xxFFF334H	A/D変換結果レジスタ2	ADCR2							
xxFFF336H	A/D変換結果レジスタ3	ADCR3							
xxFFF338H	A/D変換結果レジスタ4	ADCR4							
xxFFF33AH	A/D変換結果レジスタ5	ADCR5							
xxFFF33CH	A/D変換結果レジスタ6	ADCR6							
xxFFF33EH	A/D変換結果レジスタ7	ADCR7							
xxFFF340H	IICコントロール・レジスタ0 ²	IICC0	R/W					00H	
xxFFF342H	IIC状態レジスタ0 ²	IICS0	R						
xxFFF344H	IICクロック選択レジスタ0 ²	IICCL0	R/W						
xxFFF346H	スレーブ・アドレス・レジスタ0 ²	SVA0							
xxFFF348H	IICシフト・レジスタ0 ²	IIC0							
xxFFF34AH	IIC機能拡張レジスタ0 ²	IICX0							
xxFFF350H	IICコントロール・レジスタ1 ²	IICC1	R						
xxFFF352H	IIC状態レジスタ1 ²	IICS1							
xxFFF354H	IICクロック選択レジスタ1 ²	IICCL1		R/W					
xxFFF356H	スレーブ・アドレス・レジスタ1 ²	SVA1							
xxFFF358H	IICシフト・レジスタ1 ²	IIC1							
xxFFF35AH	IIC機能拡張レジスタ1 ²	IICX1							
xxFFF360H	時計用タイマ・モード・レジスタ	WTNM	R						
xxFFF364H	時計用タイマ・クロック選択レジスタ	WTNCS							
xxFFF36CH	コレクション・コントロール・レジスタ	CORCN							
xxFFF36EH	コレクション要求レジスタ	CORRQ							
xxFFF370H	コレクション・アドレス・レジスタ0	CORAD0							00000000H
xxFFF374H	コレクション・アドレス・レジスタ1	CORAD1							
xxFFF378H	コレクション・アドレス・レジスタ2	CORAD2							
xxFFF37CH	コレクション・アドレス・レジスタ3	CORAD3							
xxFFF380H	発振安定時間選択レジスタ	OSTS	R					04H	
xxFFF382H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS						00H	
xxFFF384H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM							
xxFFF388H	キー・リターン・モード・レジスタ	KRM							
xxFFF38AH	クロック出力モード・レジスタ	CLOM							
xxFFF38CH	ノイズ除去制御レジスタ	NCC							
xxFFF390H	タイマ8	TM8							
xxFFF394H	キャプチャ/コンペア・レジスタ80	CC80		R/W					
xxFFF398H	キャプチャ/コンペア・レジスタ81	CC81							

注 μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
xxFFF39CH	キャプチャ/コンペア・レジスタ82	CC82	R/W					不定
xxFFF3A0H	キャプチャ/コンペア・レジスタ83	CC83						
xxFFF3A4H	24ビット・タイマ・モード・コントロール・レジスタ80	TMC80						01H
xxFFF3A6H	24ビット・タイマ・モード・コントロール・レジスタ81	TMC81						00H
xxFFF3A8H	24ビット・タイマ・モード・コントロール・レジスタ82	TMC82						
xxFFF3AAH	タイマ出力コントロール・レジスタ8	TOC8						
xxFFF3ACH	タイマ・オーバフロー・ステータス・レジスタ	TOVS						
xxFFF3B0H	タイマ9	TM9	R					00000000H
xxFFF3B4H	コンペア・レジスタ90	CM90	R/W					不定
xxFFF3B8H	コンペア・レジスタ91	CM91						
xxFFF3BCH	キャプチャ・レジスタ90	CP90	R					
xxFFF3C0H	キャプチャ・レジスタ91	CP91						
xxFFF3C4H	キャプチャ・レジスタ92	CP92						
xxFFF3C8H	キャプチャ・レジスタ93	CP93						
xxFFF3CCH	24ビット・タイマ・モード・コントロール・レジスタ90	TMC90	R/W					01H
xxFFF3CEH	24ビット・タイマ・モード・コントロール・レジスタ91	TMC91						00H
xxFFF3D2H	イベント・ディバインド・カウンタ0	EDV0	R					
xxFFF3D4H	イベント・ディバインド・カウンタ1	EDV1						
xxFFF3D6H	イベント・ディバインド・カウンタ2	EDV2						
xxFFF3D8H	イベント・ディバインド制御レジスタ0	EDVC0	R/W					
xxFFF3DAH	イベント・ディバインド制御レジスタ1	EDVC1						
xxFFF3DCH	イベント・ディバインド制御レジスタ2	EDVC2						
xxFFF3DEH	イベント選択レジスタ	EVS						
xxFFF3E0H	8ビット・カウンタ10	TM10	R					
xxFFF3E2H	8ビット・コンペア・レジスタ100	CR100	R/W					
xxFFF3E4H	タイマ・クロック選択レジスタ100	TCL100						
xxFFF3E6H	8ビット・タイマ・モード・コントロール・レジスタ10	TMC10					00H ^注	
xxFFF3EAH	16ビット・カウンタ1011 (カスケード接続時のみ)	TM1011	R					0000H
xxFFF3ECH	16ビット・コンペア・レジスタ1011 (カスケード接続時のみ)	CR1011	R/W					
xxFFF3EEH	タイマ・クロック選択レジスタ101	TCL101						
xxFFF3F0H	8ビット・カウンタ11	TM11	R					00H
xxFFF3F2H	8ビット・コンペア・レジスタ110	CR110	R/W					
xxFFF3F4H	タイマ・クロック選択レジスタ110	TCL110						
xxFFF3F6H	8ビット・タイマ・モード・コントロール・レジスタ11	TMC11					00H ^注	
xxFFF3FEH	タイマ・クロック選択レジスタ111	TCL111					00H	

注 ハードウェアの状態は、04Hに初期化されますが、リードすると00Hが読み出されます。

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正な書き込み動作時はシステム・ステータス・レジスタ (SYS) のPREPRビットによりチェックできます。V850/SV1にはパワー・セーブ・コントロール・レジスタ (PSC) とプロセッサ・クロック・コントロール・レジスタ (PCC) の2つの特定レジスタがあります。PSCレジスタについては6.4.3, PCCレジスタについては6.4.1を参照してください。

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

割り込み禁止にする (PSWのNPビットを1に設定)。

コマンド・レジスタ (PRCMD) に任意の8ビット・データを書き込む。

特定レジスタに設定データを書き込む (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

割り込み禁止を解除する (PSWのNPビットを0に戻す)。

NOP命令を挿入する (2命令または5命令)。

DMA動作が必要な場合、DMA動作を許可する。

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注意1. PRCMD発行 () と、その直後の特定レジスタ書き込み () の間で割り込み要求 / DMA要求を受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (SYSレジスタのPRERRビットが“1”) が発生することがあります。このため、PSWのNPビットを1に設定し () , INT/NMIの受け付け / DMA転送を禁止してください。

特定レジスタの設定にビット操作命令を使用した場合も同様です。

また、ソフトウェアSTOP/IDLEモード解除後のルーチンが正しく実行されるように、ダミー命令としてNOP命令を挿入 () してください。NPビットを0に戻す () 命令の実行により、PSWのIDビットの値が変化しないときは、NOP命令を2つ、変化するときは5つ挿入してください。

次に記述例を示します。

[記述例] : PSCレジスタの場合

```
LDSR rX, 5          ;NPビット = 1
ST.B r0, PRCMD[r0] ;PRCMDへの書き込み
ST.B rD, PSC[r0]   ;PSCレジスタ設定
LDSR rY, 5          ;NPビット = 0
NOP                 ;ダミー命令(2または5命令)
:
NOP
(next instruction) ;STOP/IDLEモード解除後の実行ルーチン
:
```

rX : PSWに書き込む値
rY : PSWに書き戻す値
rD : PSCにセットする値

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

- 注意2. ソフトウェアSTOPモード、IDLEモードに設定するためのPSCレジスタに対するストア命令後の命令(割り込み禁止解除、NOP命令)は、各パワー・セーブ・モードに入る前に実行されます。
3. 特定レジスタをアクセスする前に、必ずDMAを停止させてからアクセスしてください。

(1) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。8ビット単位でライトのみ可能です。リード時は不定値になります。

不正なストア動作の発生は、SYSレジスタのPRERRビットでチェックできます。

リセット時：不定 W アドレス：FFFFFF170H

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

REGn	レジストレーション・コード (n = 0-7)
0/1	任意の8ビット・データ

(2) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF078H

	7	6	5	④	3	2	1	0
SYS	0	0	0	PRERR	0	0	0	0

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERR = 1)

最近の周辺I/Oに対するストア命令動作がPRCMDへの書き込み動作でない状態で、特定レジスタへの書き込み動作を行ったとき。

PRCMDレジスタへの書き込み動作後の最初のストア命令動作が、特定レジスタ以外の周辺I/Oレジスタに対するとき。

(b) リセット条件 (PRERR = 0)

SYSのPRERRフラグに“0”を書き込んだとき。ただし、備考1の場合は除きます。

システム・リセット時。

★

- 備考1.** PRCMDレジスタの書き込み動作直後に、SYSレジスタのPRERRビットに0を書き込むと、PRERRビットは“1”にセットされます (SYSレジスタは特定レジスタでないため)。
2. PRCMDレジスタの書き込み動作直後に、再びPRCMDレジスタへ書き込みを行うと、SYSレジスタのPRERRビットは“1”にセットされます (SYSレジスタは特定レジスタでないため)。

第4章 バス制御機能

V850/SV1は、外部にROM、RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特 徴

16ビット・マルチプレクスト・バス

ポートとの兼用端子で外部デバイスに接続可能

ウエイト機能

・2ブロックごとに最大3ステートのプログラマブル・ウエイト機能

・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート挿入機能

バス・ホールド機能

4.2 バス制御端子と制御レジスタ

4.2.1 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表4-1 バス制御端子

外部バス・インタフェース機能使用時	対応するポート
アドレス/データ・バス (AD0-AD7)	ポート4 (P40-P47)
アドレス/データ・バス (AD8-AD15)	ポート5 (P50-P57)
アドレス・バス (A16-A21)	ポート6 (P60-P65)
リード/ライト制御 ($\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\overline{\text{R/W}}$, $\overline{\text{DSTB}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{RD}}$)	ポート9 (P90-P93)
アドレス・ストロブ ($\overline{\text{ASTB}}$)	ポート9 (P94)
バス・ホールド制御 ($\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$)	ポート9 (P95,P96)
外部ウエイト制御 ($\overline{\text{WAIT}}$)	ポート11 (P110)

各端子のバス・インタフェース機能は、メモリ拡張モード・レジスタ (MM) の設定により有効になります。外部インタフェースの動作モード指定に関する詳細は、3. 4. 6 (1) **メモリ拡張モード・レジスタ (MM)** を参照してください。

4.2.2 制御レジスタ

(1) システム制御レジスタ (SYC)

このレジスタは、バス・インタフェース用制御信号を切り替えます。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF064H

	7	6	5	4	3	2	1	①
SYC	0	0	0	0	0	0	0	BIC

BIC	バス・インタフェースの制御
0	$\overline{\text{DSTB}}$, $\overline{\text{R/W}}$, $\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$ 注信号出力
1	$\overline{\text{RD}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{UBEN}}$ 注信号出力

注 $\overline{\text{UBEN}}$ 信号は外部拡張モード時(3.4.6参照), BICビットの設定に関わらず出力されます。

注意 ポート9を入出力ポートとして使用する場合は, BICビットを“0”に設定してください。

4.3 バス・アクセス

4.3.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

表4-2 アクセス・クロック数

バス・サイクル形態	周辺I/O (バス幅)			
	内蔵ROM (32ビット)	内蔵RAM (32ビット)	周辺I/O (16ビット)	外部メモリ (16ビット)
命令フェッチ	1	3	不可	3 + n
オペランド・データ・アクセス	3	1	3	3 + n

備考1. 単位はクロック/アクセスです。

2. n: ウェイト挿入数

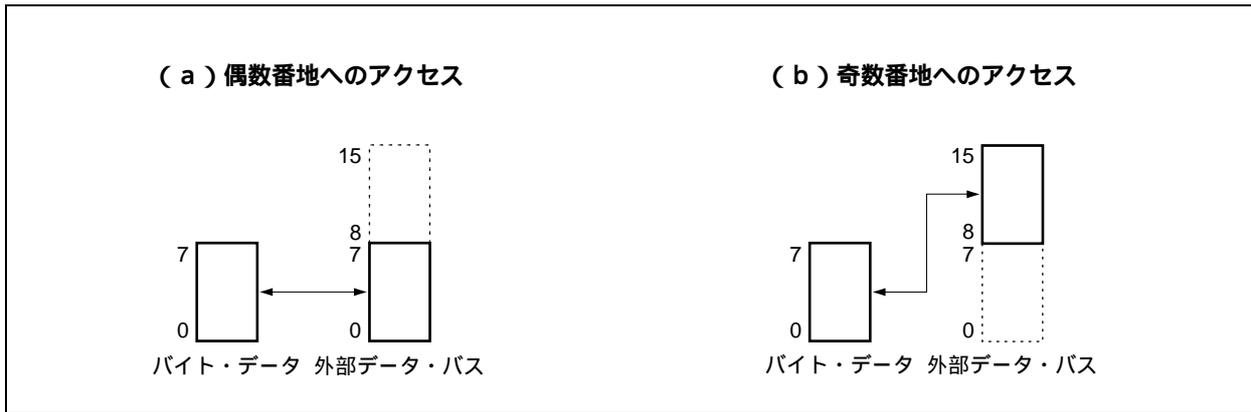
4.3.2 バス幅

CPUが周辺I/Oアクセス, 外部メモリ・アクセスを行う場合には, 8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。

(1) バイト・アクセス(8ビット)

バイト・アクセスには, 偶数番地へのアクセスと奇数番地へのアクセスの2つの方法があります。

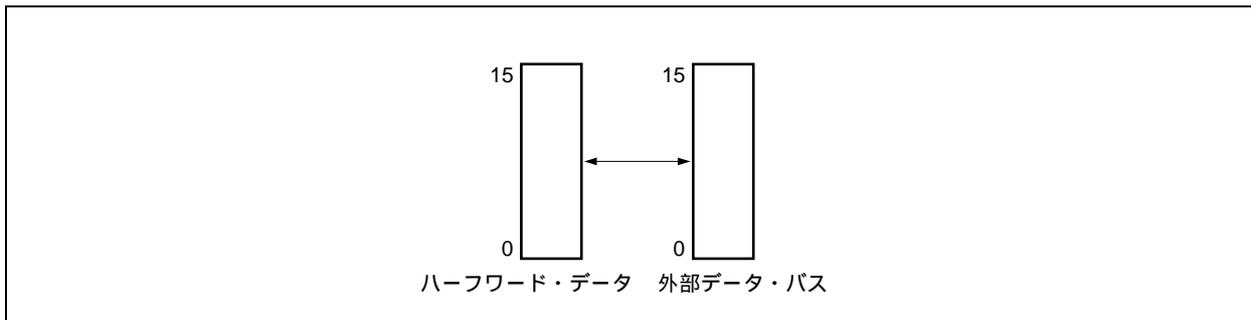
図4 - 1 バイト・アクセス (8ビット)



(2) ハーフワード・アクセス (16ビット)

データ・バスは16ビット固定なので、外部メモリへのハーフワード・アクセスでは、データをそのままやりとります。

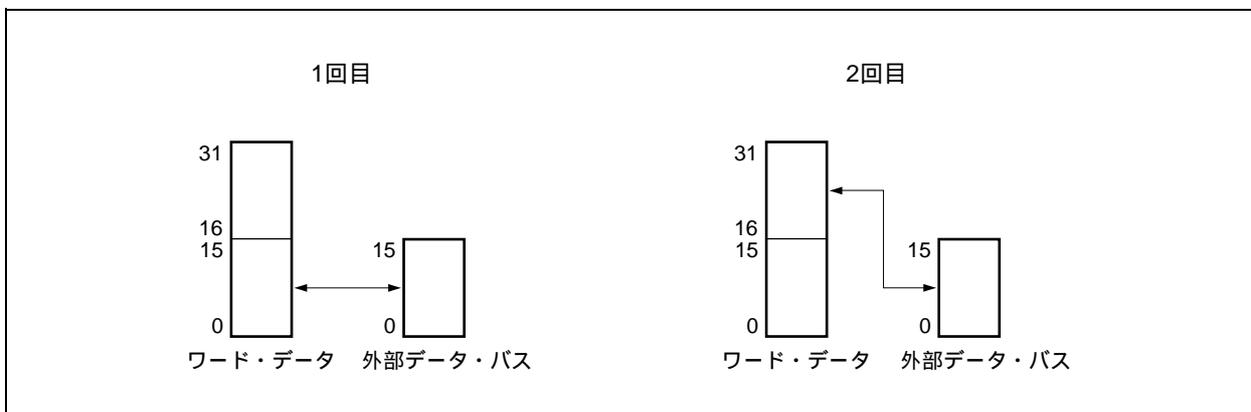
図4 - 2 ハーフワード・アクセス (16ビット)



(3) ワード・アクセス (32ビット)

外部メモリへのワード・アクセスでは、下位ハーフワード、上位ハーフワードの順でアクセスします。

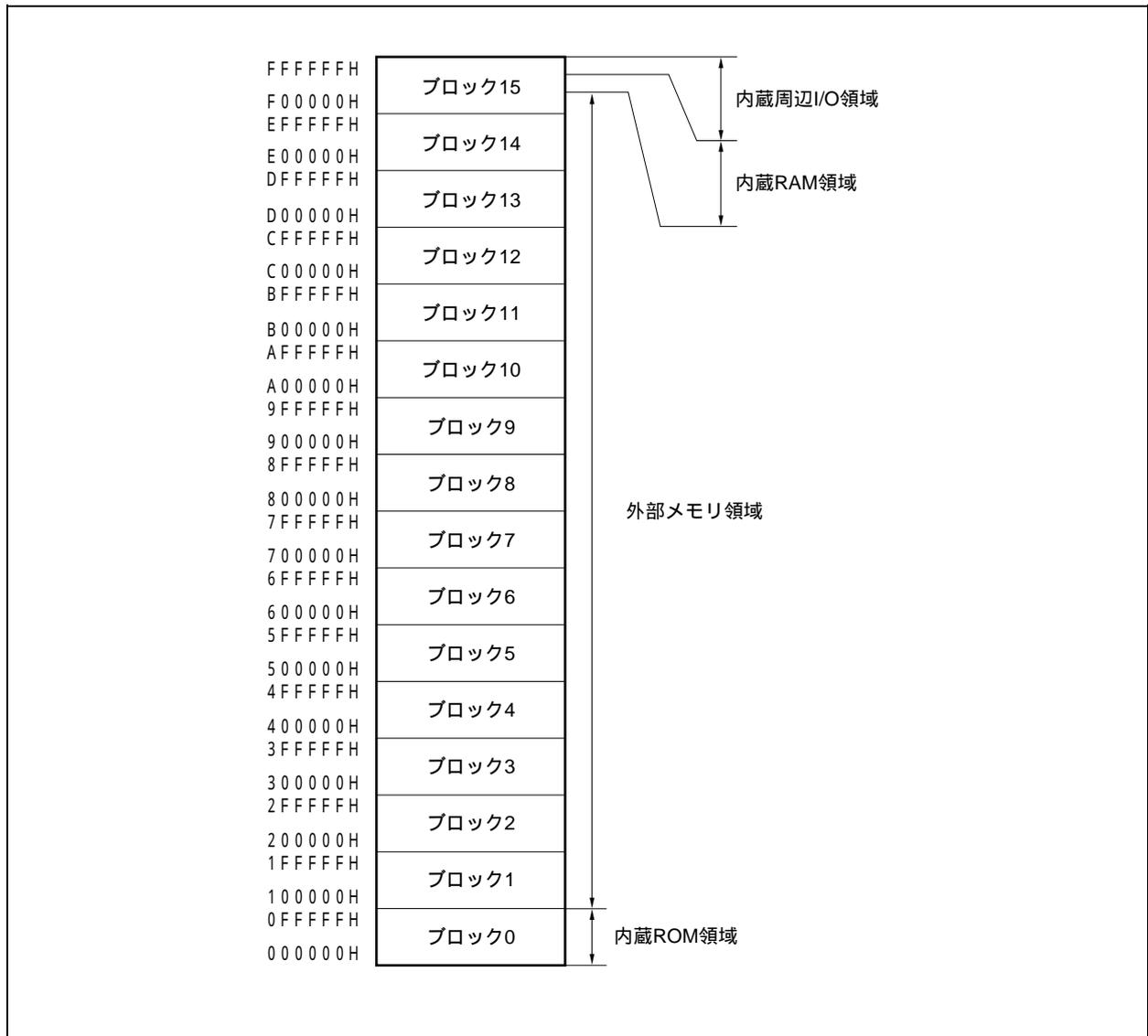
図4 - 3 ワード・アクセス (32ビット)



4.4 メモリ・ブロック機能

16 Mバイトのメモリ空間は1 Mバイト単位のメモリ・ブロックに分割され、2ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードなどを独立に制御できます。

図4 - 4 メモリ空間



4.5 ウェイト機能

4.5.1 プログラマブル・ウェイト機能

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，2ブロックごとに起動されるバス・サイクルに対し，最大3ステートのデータ・ウェイトを挿入できます。

ウェイト数は，データ・ウェイト・コントロール・レジスタ（DWC）でプログラマブルに設定できます。システム・リセット直後は，全ブロックに対して3データ・ウェイトの挿入状態になります。

(1) データ・ウェイト・コントロール・レジスタ（DWC）

16ビット単位でリード/ライト可能です。

リセット時：FFFFH R/W アドレス：FFFFFF060H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DWC	DW 71	DW 70	DW 61	DW 60	DW 51	DW 50	DW 41	DW 40	DW 31	DW 30	DW 21	DW 20	DW 11	DW 10	DW 01	DW 00
	DWn1	DWn0	挿入ウェイト・ステート数													
	0	0	0													
	0	1	1													
	1	0	2													
	1	1	3													
	n	ウェイト挿入されるブロック														
	0	ブロック0/1														
	1	ブロック2/3														
	2	ブロック4/5														
	3	ブロック6/7														
	4	ブロック8/9														
	5	ブロック10/11														
	6	ブロック12/13														
	7	ブロック14/15														

ブロック0は内蔵ROM領域に予約されており，DWCレジスタの設定にかかわらずプログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。

ブロック15の内蔵RAM領域はプログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。また，内蔵周辺I/O領域はプログラマブル・ウェイトの対象外で，各周辺機能からのウェイト制御だけを行います。

4.5.2 外部ウェイト機能

極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウェイト端子 (WAIT) によりバス・サイクルに任意のウェイト・ステートを挿入できます。

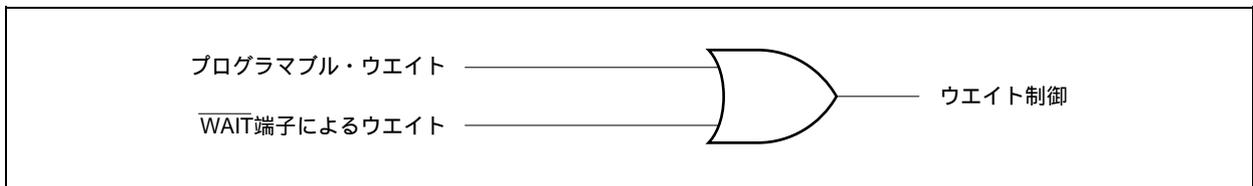
外部ウェイトの挿入はデータ・ウェイトだけ行われます。ただし、内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウェイトと同様に、外部ウェイトによって制御できません。

WAIT入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2, TWステートのクロックの立ち上がりでサンプリングします。サンプル・タイミングにおける設定 / 保持時間を満たさないときは、次のステートでウェイトを挿入するか、挿入しないかのどちらかになります。

4.5.3 プログラマブル・ウェイトと外部ウェイトの関係

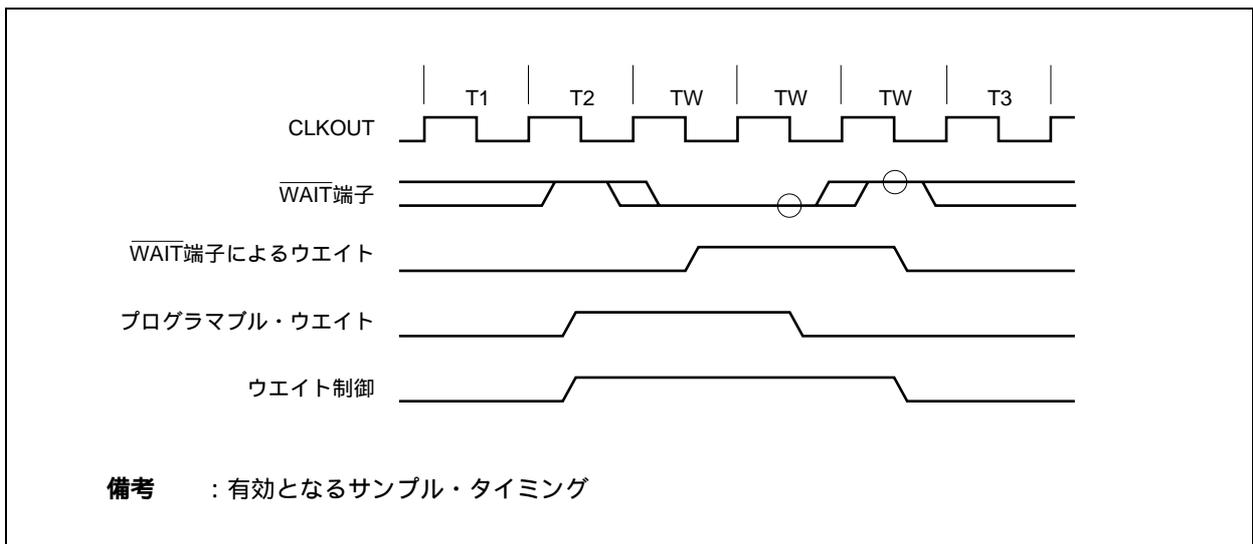
ウェイト・サイクルは、プログラマブル・ウェイトの設定値によるウェイト・サイクルと、WAIT端子制御によるウェイト・サイクルの論理和として挿入され、どちらか多い方のウェイト・サイクル数だけ挿入されます。

図4-5 ウェイト制御



たとえば、プログラマブル・ウェイト、WAIT端子が次のようなタイミングのとき、バス・サイクルは、3ウェイトになります。

図4-6 ウェイト挿入例



4.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的として、2ブロックごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために、起動されるバス・サイクルに対し、T3ステート後に1ステートのアイドル・ステート（T1）を挿入できます。連続する次のバス・サイクルは、1アイドル・ステート後から開始します。

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ（BCC）でプログラマブルに設定できます。

システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

（1）バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード/ライト可能です。

リセット時：AAAAH R/W アドレス：FFFFFF062H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCC	BC 71	0	BC 61	0	BC 51	0	BC 41	0	BC 31	0	BC 21	0	BC 11	0	BC 01	0

BCn1	アイドル・ステート挿入指定
0	挿入しない
1	挿入する

n	アイドル・ステートの挿入されるブロック
0	ブロック0/1
1	ブロック2/3
2	ブロック4/5
3	ブロック6/7
4	ブロック8/9
5	ブロック10/11
6	ブロック12/13
7	ブロック14/15

ブロック0は内蔵ROM領域に予約されているため、ブロック0に対してアイドル・ステートの挿入は指定できません。

ブロック15における、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。このレジスタのビット0, 2, 4, 6, 8, 10, 12, 14には必ず“0”を設定してください。“1”を設定した場合の動作は保証できません。

4.7 バス・ホールド機能

4.7.1 機能概要

メモリ拡張モード・レジスタ (MM) のMM3ビットをセット (1) すると、P95, P96の $\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$ 端子機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ (ロウ・レベル) になったことを受け付けると、外部アドレス/データ・バス, 各種ストローブ端子をハイ・インピーダンス状態にし、解放します (バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ (ハイ・レベル) になりバス獲得要求が解除されれば、再びこれらの端子の駆動を開始します。バス・ホールド期間中は、外部メモリ・アクセスがあるまで、内部の動作を継続します。

バス・ホールド状態は、 $\overline{\text{HLDAK}}$ 端子がアクティブ (ロウ・レベル) になったことで知ることができます。

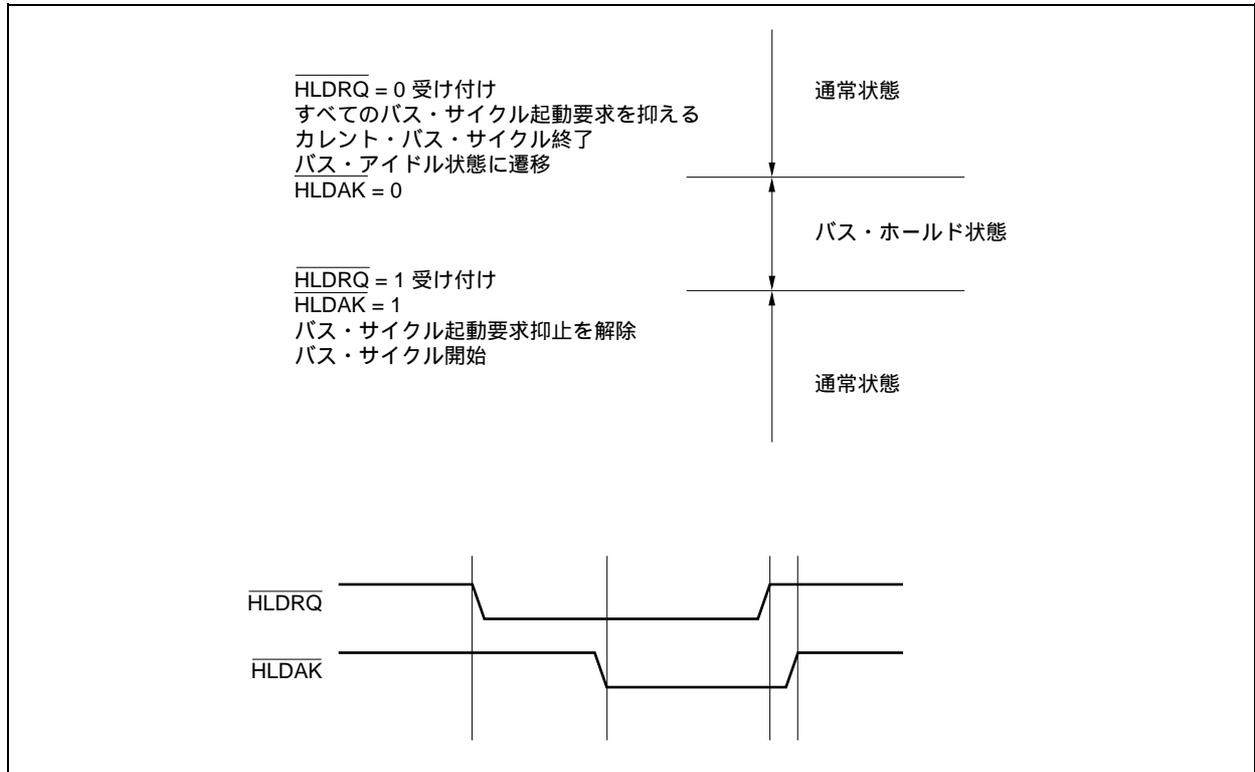
マルチプロセッサ構成, DMAコントローラ接続時など, バス・マスタが複数存在するようなシステムを構成できます。

なお, ワード・アクセス時の1回目と2回目の間にはバス・ホールド要求は受け付けません。また, ビット操作命令のリード・モディファイ・ライト・アクセスにおけるリード・アクセスとライト・アクセスの間にもバス・ホールド要求は受け付けません。

4.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

図4-7 バス・ホールド手順



4.7.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLEモード期間中は、システム・クロックが停止するため、 $\overline{\text{HLDQR}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDQR}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAR}}$ 端子がアクティブになり、バス・ホールド状態になります。同様に $\overline{\text{HLDQR}}$ 端子がインアクティブになると、 $\overline{\text{HLDAR}}$ 端子がインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

4.8 バス・タイミング

V850/SV1は、外部デバイスとのリード/ライト制御を次の2つのモードで実行できます。

- ・ $\overline{\text{DSTB}}$, $\overline{\text{R}/\overline{\text{W}}}$, $\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\overline{\text{ASTB}}$ 信号を使用するモード
- ・ $\overline{\text{RD}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{ASTB}}$ 信号を使用するモード

これらのモードは、システム制御レジスタ (SYC) のBICビットで設定してください。

図4-8 メモリ・リード (0ウエイト)

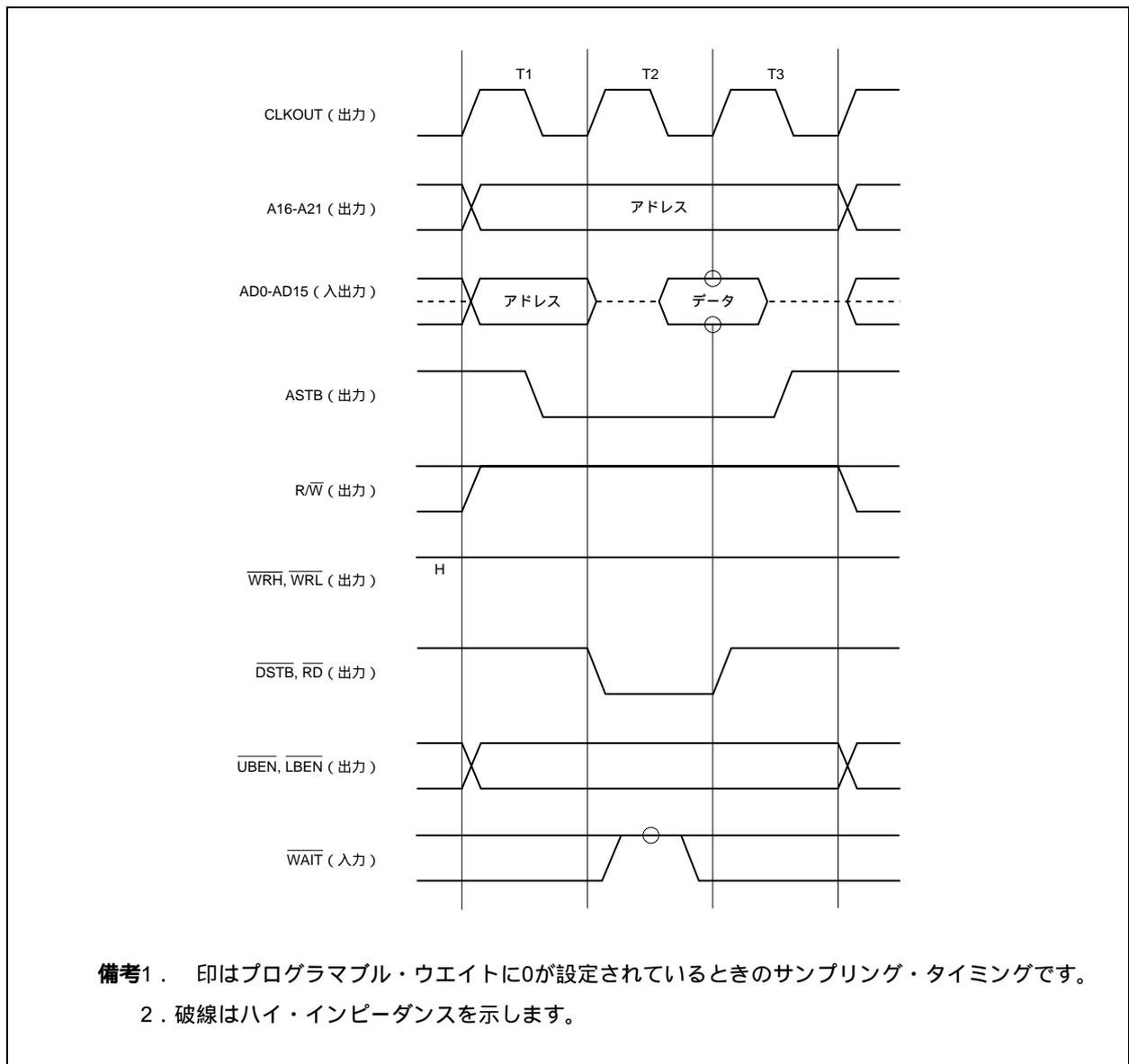
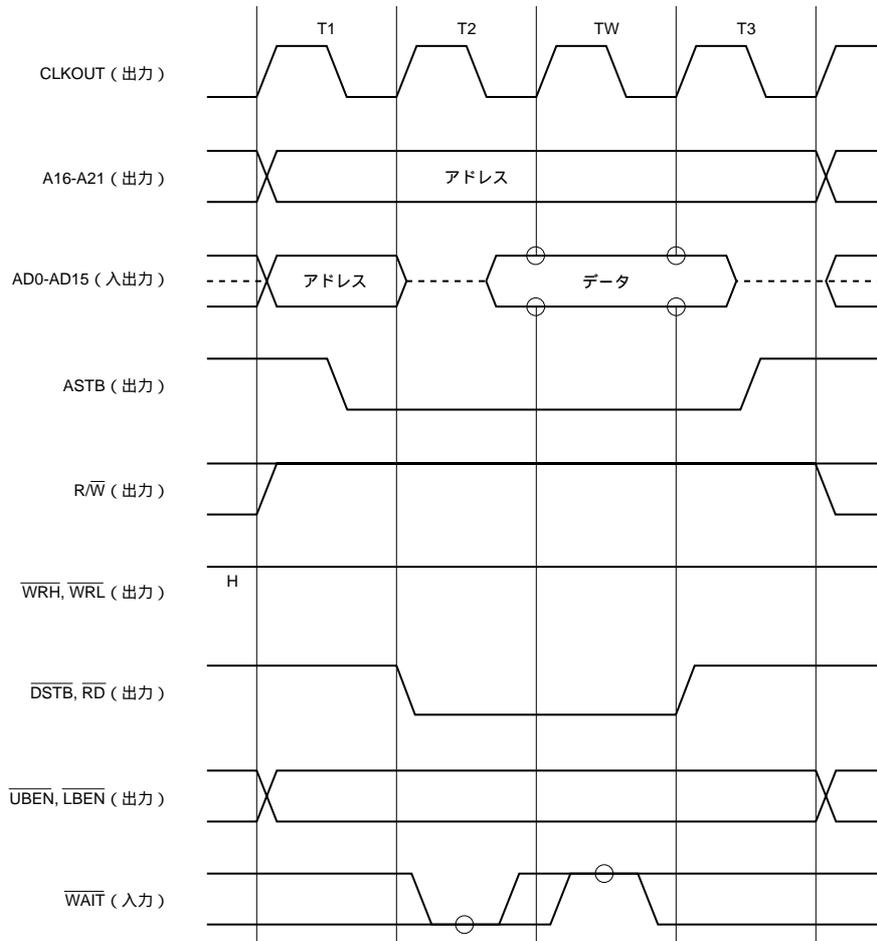
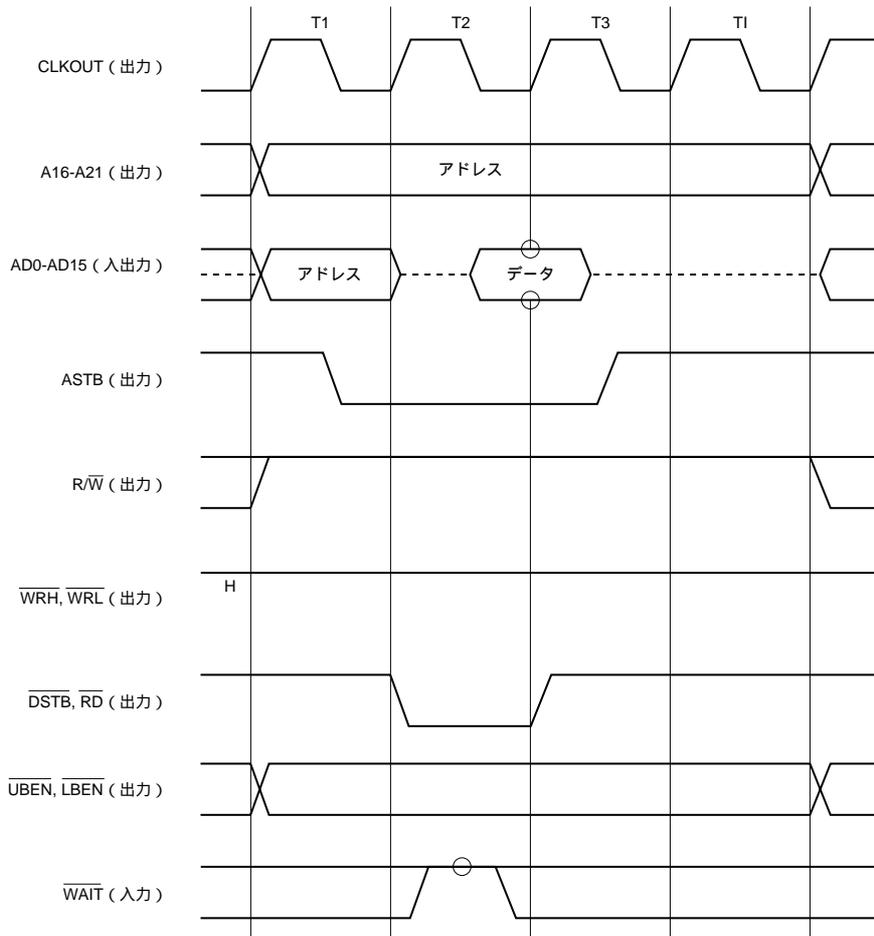


図4-9 メモリ・リード(1ウエイト)



- ★ **備考1.** 印はプログラマブル・ウエイトに1が設定されているときのサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

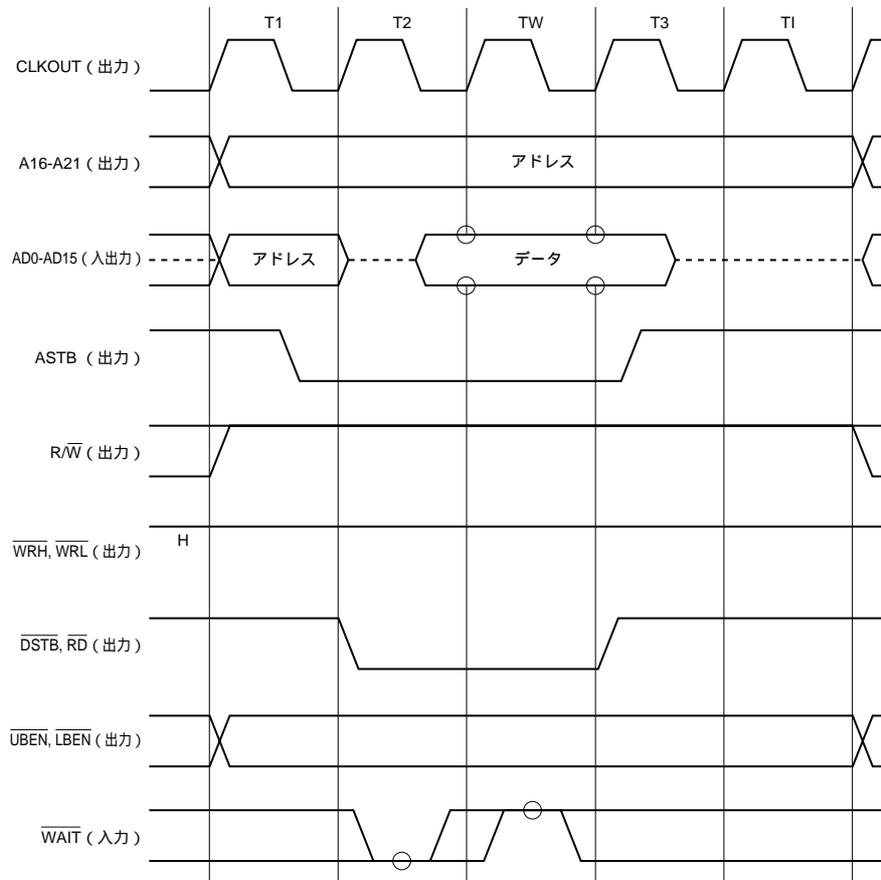
図4 - 10 メモリ・リード (0ウェイト, アイドル・ステート)



備考1. 印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

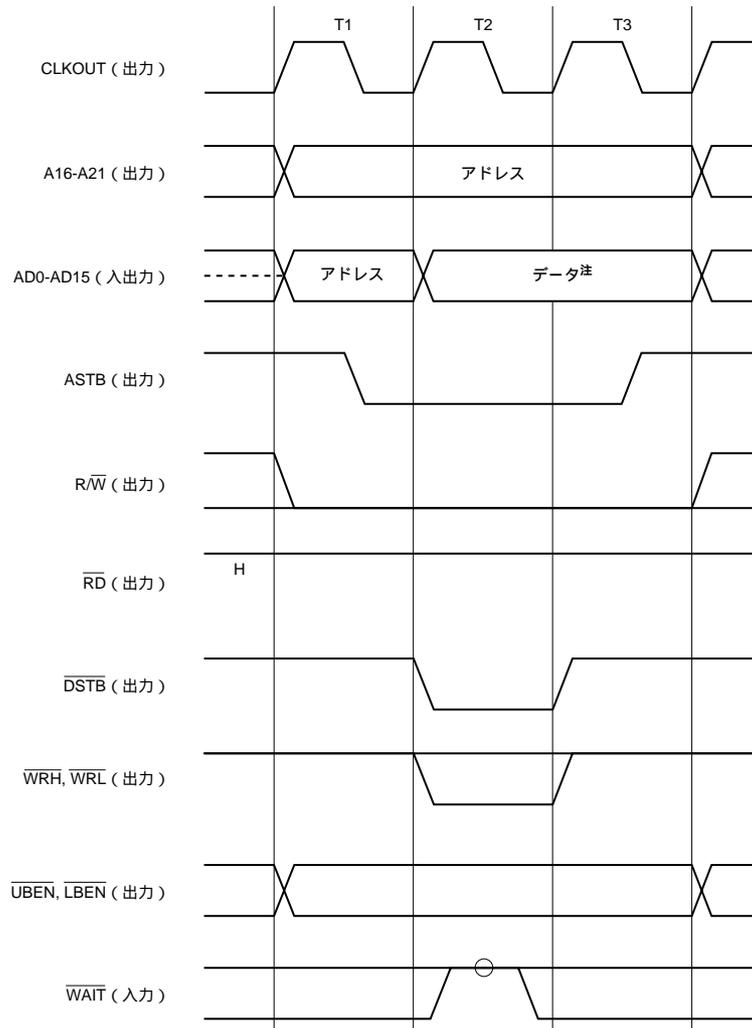
2. 破線はハイ・インピーダンスを示します。

図4 - 11 メモリ・リード (1ウェイト, アイドル・ステート)



- 備考1. 印はプログラマブル・ウェイトに1が設定されているときのサンプリング・タイミングです。
 2. 破線はハイ・インピーダンスを示します。

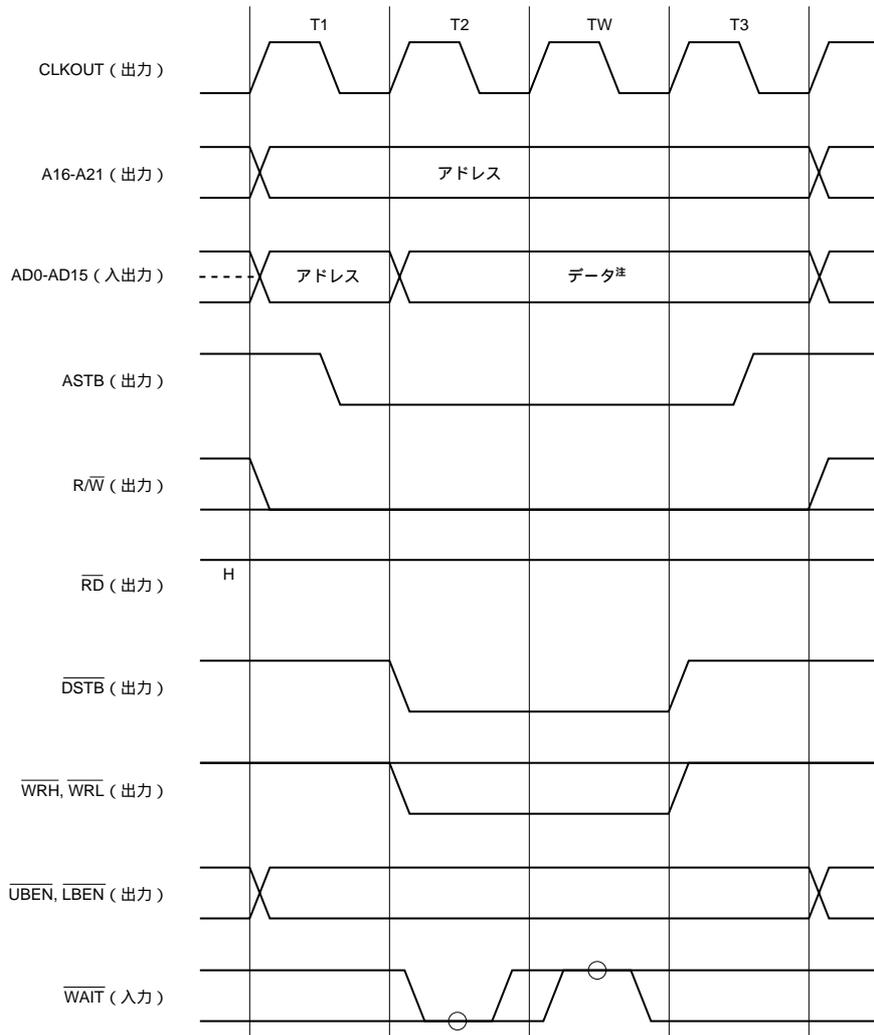
図4 - 12 メモリ・ライト (0ウエイト)



注 AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考1. 印はプログラマブル・ウエイトに1が設定されているときのサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

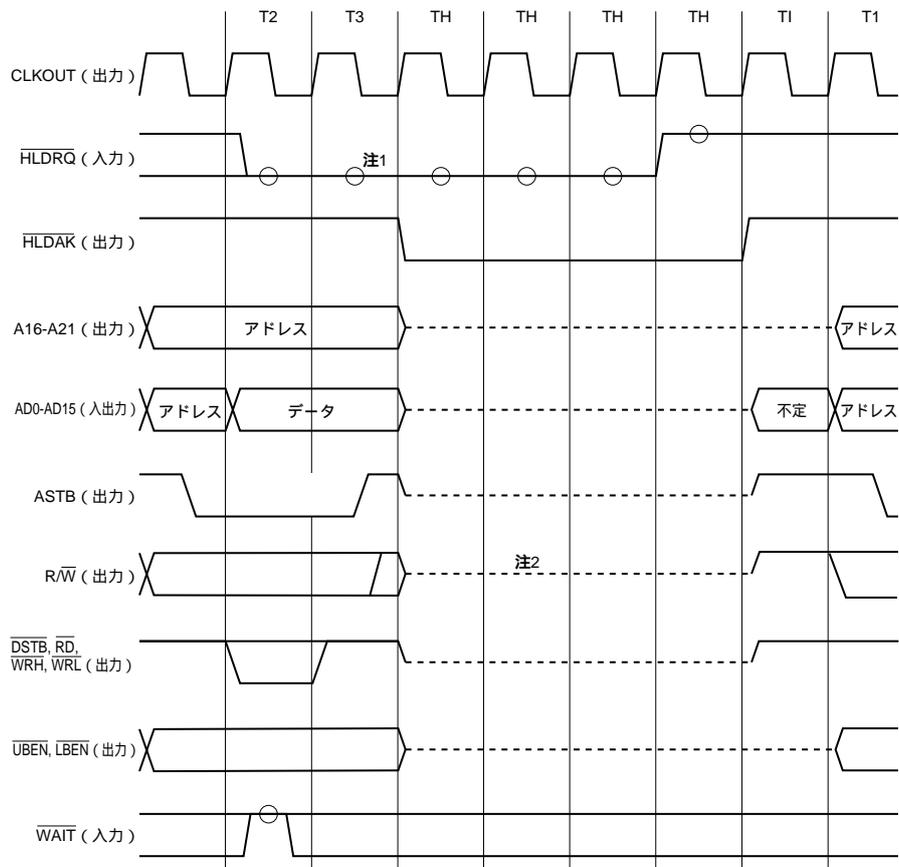
図4 - 13 メモリ・ライト (1ウエイト)



注 AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考1. 印はプログラマブル・ウエイトに1が設定されているときのサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

図4 - 14 バス・ホールド・タイミング



注1. このサンプリング時に $\overline{\text{HLDRQ}}$ 信号がインアクティブ(ハイ・レベル)の場合、バス・ホールド状態には移行しません。

2. ライト・サイクル後にバス・ホールド状態に遷移した場合、 $\overline{\text{HLDAR}}$ 信号がハイ・レベルからロウ・レベルに変化する直前に、 $\text{R}/\overline{\text{W}}$ 端子から一瞬ハイ・レベルを出力することがあります。

備考1. 印はプログラマブル・ウエイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

★ 4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、メモリ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の4つがあります。優先順位はバス・ホールドが最も高く、メモリ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、ワード・アクセスの下位ハーフワード・アクセスと上位ハーフワード・アクセスの間には、命令フェッチは挿入されません。

表4-3 バス優先順位

外部バス・サイクル	優先順位
バス・ホールド	1
メモリ・アクセス	2
命令フェッチ（分岐）	3
命令フェッチ（連続）	4

4.10 境界動作条件

4.10.1 プログラム空間

(1) 内蔵周辺I/O領域への分岐や内蔵RAM領域から周辺I/Oへの連続フェッチは行わないでください。分岐や命令フェッチを行った場合、NOP命令コードのフェッチを継続し、外部メモリからのフェッチなどは行いません。

(2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

4.10.2 データ空間

ハーフワード（16ビット）/ワード（32ビット）長のデータ・アクセスは、それぞれハーフワード境界（アドレスの最下位ビットが“0”）/ワード境界（アドレスの下位2ビットが“0”）にアラインされたアドレスに対してだけ行います。したがって、メモリまたはメモリ・ブロックの境界をまたぐようなアクセスは発生しません。詳細は、V850シリーズ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

第5章 割り込み / 例外処理機能

5.1 概要

V850/SV1は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、複数の内部 / 外部の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850/SV1では、内蔵している周辺ハードウェアと外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

5.1.1 特徴

割り込み

- ・外部割り込み：9要因 (6要因^注)
- ・内部割り込み：44要因 (μ PD703038, 703039, 703040, 703041, 70F3038, 70F3040)
45要因 (μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Y)
- ・8レベルのプログラマブル優先順位制御
- ・優先順位に従った割り込み要求に対するマスク指定
- ・個々のマスク可能割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

注 ソフトウェアSTOPモード解除可能な割り込み数

例外

- ・ソフトウェア例外 : 32要因
- ・例外トラップ : 1要因 (不正命令コード例外)

割り込み / 例外要因を表5 - 1に示します。

表5 - 1 割り込み要因一覧 (1/2)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	リセット入力	-	0000H	00000000H	不定	-
ノンマスク ブル	割り込み	-	NMI	NMI端子入力	端子	0010H	00000010H	nextPC	-
	割り込み	-	INTWDT	WDOVF ノンマスクブル	WDT	0020H	00000020H	nextPC	-
ソフトウェア 例外	例外	-	TRAP0 ^注	TRAP命令	-	004n ^注	00000040H	nextPC	-
	例外	-	TRAP1n ^注	TRAP命令	-	005n ^注	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP	不正命令コード	-	0060H	00000060H	nextPC	-
マスクブル	割り込み	0	INTWDTM	WDOVFマスクブル	WDT	0080H	00000080H	nextPC	WDTIC
		1	INTP0	INTP0端子	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	INTP3端子	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	INTP4端子	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	INTP5端子	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	INTP6端子	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTWTNI	時計用タイマ・プリスケラ	WT	0100H	00000100H	nextPC	WTNIC
		9	INTOV8/ INTCLR8/ INTTI8	TM8オーバフロー / TM8外部クリア入力 / TM8外部クロック入力	TM8	0110H	00000110H	nextPC	OVIC8
		10	INTOV9/ INTTI9	TM9オーバフロー / TM9外部クロック入力	TM9	0120H	00000120H	nextPC	OVIC9
		11	INTCP80/ INTCM80	CC80キャプチャ入力 / CC80コンペア一致	TM8	0130H	00000130H	nextPC	CC8IC0
		12	INTCP81/ INTCM81	CC81キャプチャ入力 / CC81コンペア一致	TM8	0140H	00000140H	nextPC	CC8IC1
		13	INTCP82/ INTCM82	CC82キャプチャ入力 / CC82コンペア一致	TM8	0150H	00000150H	nextPC	CC8IC2
		14	INTCP83/ INTCM83	CC83キャプチャ入力 / CC83コンペア一致	TM8	0160H	00000160H	nextPC	CC8IC3
		15	INTCP90	CP90キャプチャ入力	TM9	0170H	00000170H	nextPC	CP9IC0
		16	INTCP91	CP91キャプチャ入力	TM9	0180H	00000180H	nextPC	CP9IC1
		17	INTCP92	CP92キャプチャ入力	TM9	0190H	00000190H	nextPC	CP9IC2
		18	INTCP93	CP93キャプチャ入力	TM9	01A0H	000001A0H	nextPC	CP9IC3
		19	INTCM90	CM90コンペア一致	TM9	01B0H	000001B0H	nextPC	CM9IC0
		20	INTCM91	CM91コンペア一致	TM9	01C0H	000001C0H	nextPC	CM9IC1
		21	INTTM000	INTTM000	TM0	01D0H	000001D0H	nextPC	TMIC000
		22	INTTM001	INTTM001	TM0	01E0H	000001E0H	nextPC	TMIC001
		23	INTTM010	INTTM010	TM1	01F0H	000001F0H	nextPC	TMIC010
		24	INTTM011	INTTM011	TM1	0200H	00000200H	nextPC	TMIC010
25	INTTM2	TM2コンペア一致 / OVF	TM2	0210H	00000210H	nextPC	TMIC2		

注 nは0-FHの値

表5 - 1 割り込み要因一覧 (2/2)

種類	分類	デフォルト・プライオリティ	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
マスカブル	割り込み	26	INTTM3	TM3コンペア一致 / OVF	TM3	0220H	00000220H	nextPC	TMIC3
		27	INTTM4	TM4コンペア一致 / OVF	TM4	0230H	00000230H	nextPC	TMIC4
		28	INTTM5	TM5コンペア一致 / OVF	TM5	0240H	00000240H	nextPC	TMIC5
		29	INTTM6	TM6コンペア一致 / OVF	TM6	0250H	00000250H	nextPC	TMIC6
		30	INTTM7	TM7コンペア一致 / OVF	TM7	0260H	00000260H	nextPC	TMIC7
		31	INTTM10	TM10コンペア一致 / OVF	TM10	0270H	00000270H	nextPC	TMIC10
		32	INTTM11	TM11コンペア一致 / OVF	TM11	0280H	00000280H	nextPC	TMIC11
		33	INTIIC0 ^注 / INTCSI0	I ² C0割り込み / CSI0送信終了	I ² C0 / CSI0	0290H	00000290H	nextPC	CSIC0
		34	INTSER0	UART0シリアル・エラー	UART0	02A0H	000002A0H	nextPC	SERIC0
		35	INTSR0 / INTCSI1	UART0受信終了 / CSI1送信終了	UART0 / CSI1	02B0H	000002B0H	nextPC	CSIC1
		36	INTST0	UART0送信終了	UART0	02C0H	000002C0H	nextPC	STIC0
		37	INTCSI2	CSI2送信終了	CSI2	02D0H	000002D0H	nextPC	CSIC2
		38	INTIIC1 ^注	I ² C1割り込み	I ² C1	02E0H	000002E0H	nextPC	IICIC1
		39	INTSER1	UART1シリアル・エラー	UART1	02F0H	000002F0H	nextPC	SERIC1
		40	INTSR1 / INTCSI3	UART1受信終了 / CSI3送信終了	UART1 / CSI3	0300H	00000300H	nextPC	CSIC3
		41	INTST1	URAT1送信終了	UART1	0310H	00000310H	nextPC	STIC1
		42	INTCSI4	CSI4送信終了	CSI4	0320H	00000320H	nextPC	CSIC4
		43	INTAD	A/D変換終了	A/D	0330H	00000330H	nextPC	ADIC
		44	INTDMA0	DMA0転送終了	DMA0	0340H	00000340H	nextPC	DMAIC0
		45	INTDMA1	DMA1転送終了	DMA1	0350H	00000350H	nextPC	DMAIC1
		46	INTDMA2	DMA2転送終了	DMA2	0360H	00000360H	nextPC	DMAIC2
47	INTDMA3	DMA3転送終了	DMA3	0370H	00000370H	nextPC	DMAIC3		
48	INTDMA4	DMA4転送終了	DMA4	0380H	00000380H	nextPC	DMAIC4		
49	INTDMA5	DMA5転送終了	DMA5	0390H	00000390H	nextPC	DMAIC5		
50	INTWTN	時計用タイマOVF	WT	03A0H	000003A0H	nextPC	WTNIC		
51	INTKR	キー・リターン割り込み	KR/端子	03B0H	000003B0H	nextPC	KRIC		

注 μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み / 例外処理起動時に、EIPCまたはFEPCにセーブされるPC値のことです。ただし、DIVH (除算)命令実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令(DIVH命令)のPC値となります。

- 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4)で求められます。
- RESET以外の例外 / 割り込みの復帰PCは(事象発生したときのPCの値 + 1)となります。
- ノンマスカブル割り込み (INTWDT) とマスカブル割り込み (INTWDTM) はウォッチドッグ・タイマ・モード・レジスタ (WDTM) のWDTM4ビットで設定します。

5.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先されます。

この製品のノンマスクابل割り込み要求には、次の2つがあります。

- ・ NMI端子入力 (NMI)
- ・ ノンマスクابل・ウォッチドッグ・タイマ割り込み要求 (INTWDT)

NMI端子に立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) で指定した有効エッジが検出されたとき、割り込みが発生します。

INTWDTについては、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のWDTM4ビットを“1”に設定した状態だけで、ノンマスクابل割り込み (INTWDT) として機能します。

ノンマスクابل割り込みのサービス・プログラムを実行している (PSW.NP = 1) 場合は、ノンマスクابل割り込み要求は保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後)、またはLDSR命令によりPSW.NP = 0にすると受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、ノンマスクابل割り込み要求が2回以上発生しても、PSW.NP = 0後に受け付けられるノンマスクابل割り込みは1回だけです。

注意 ノンマスクابل割り込み処理中に、LDSR命令によりPSW.NP = 0に変更した場合、以降の割り込み受け付けの判別が正常にできなくなります。

5.2.1 動作

ノンマスクブル割り込み要求が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード（FECC）に例外コード0010H, 0020Hを書き込みます。

PSWのNP, IDビットをセットし，EPビットをクリアします。

PCにノンマスクブル割り込みに対するハンドラ・アドレス（00000010H, 00000020H）をセットし，制御を移します。

図5 - 1 ノンマスクブル割り込みの処理形態

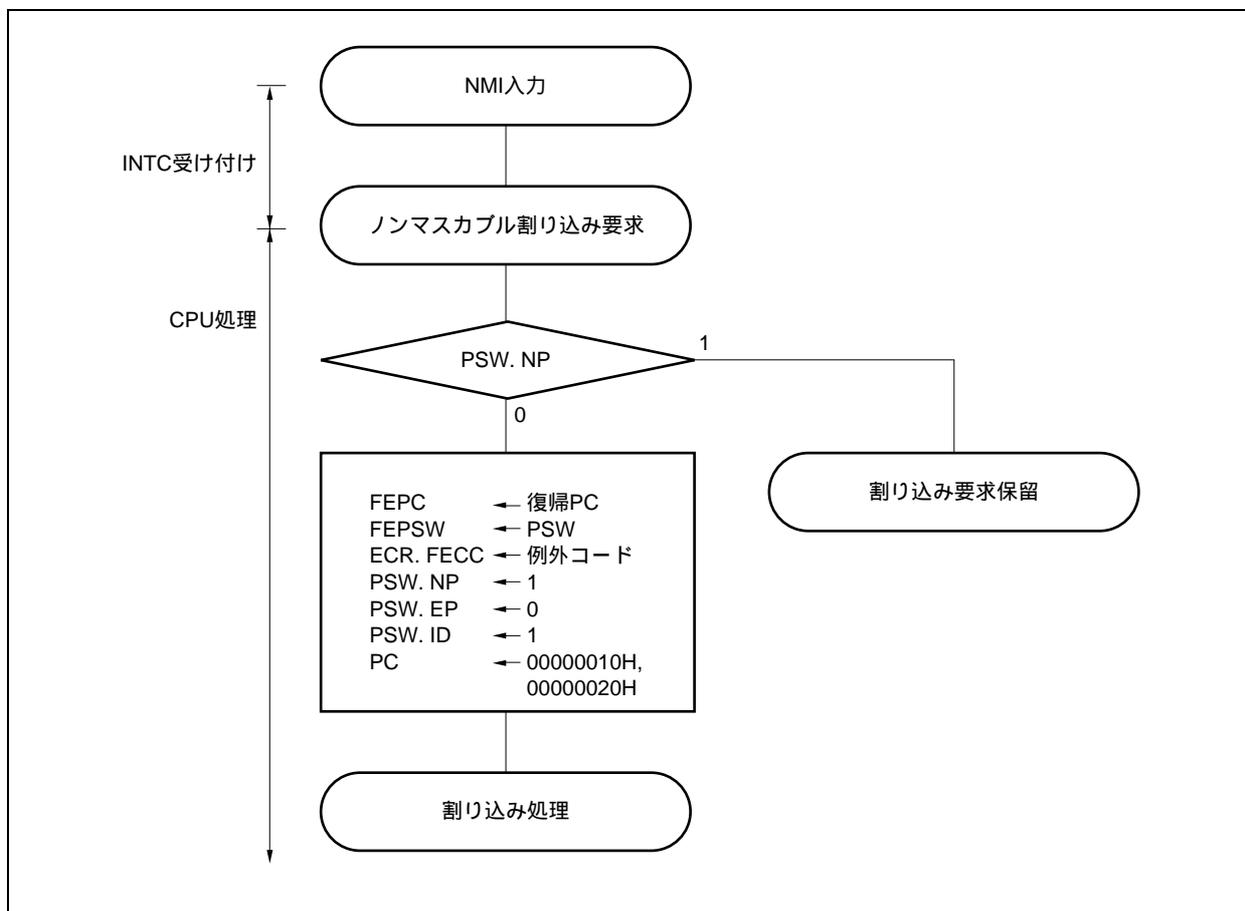
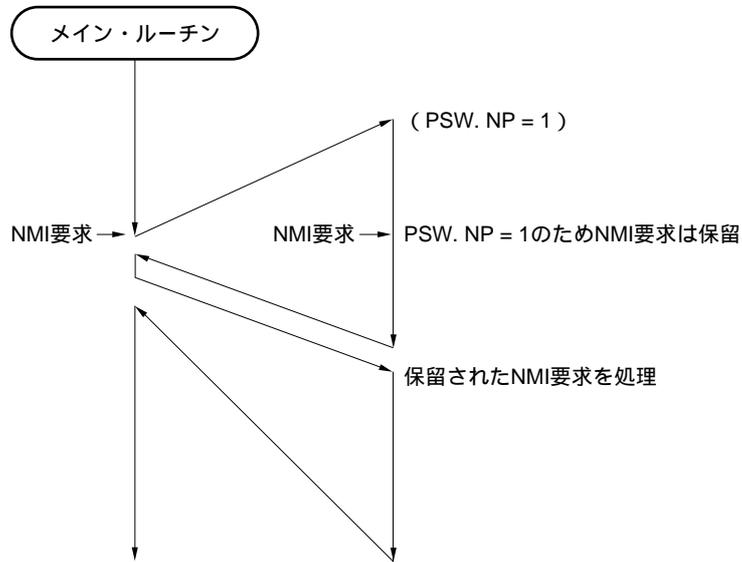
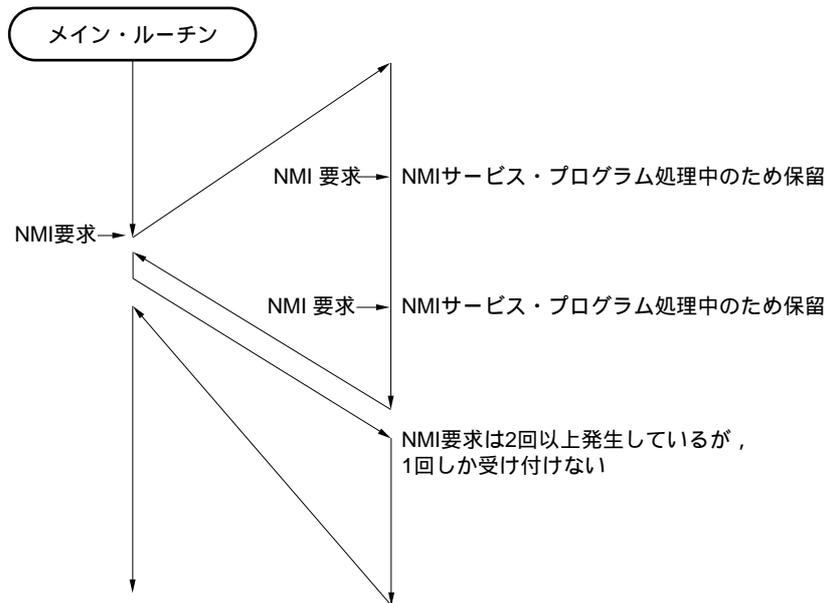


図5-2 ノンマスクブル割り込み要求の受け付け動作

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



(b) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



5.2.2 復 帰

ノンマスクابل割り込み処理からは、RETI命令で復帰します。

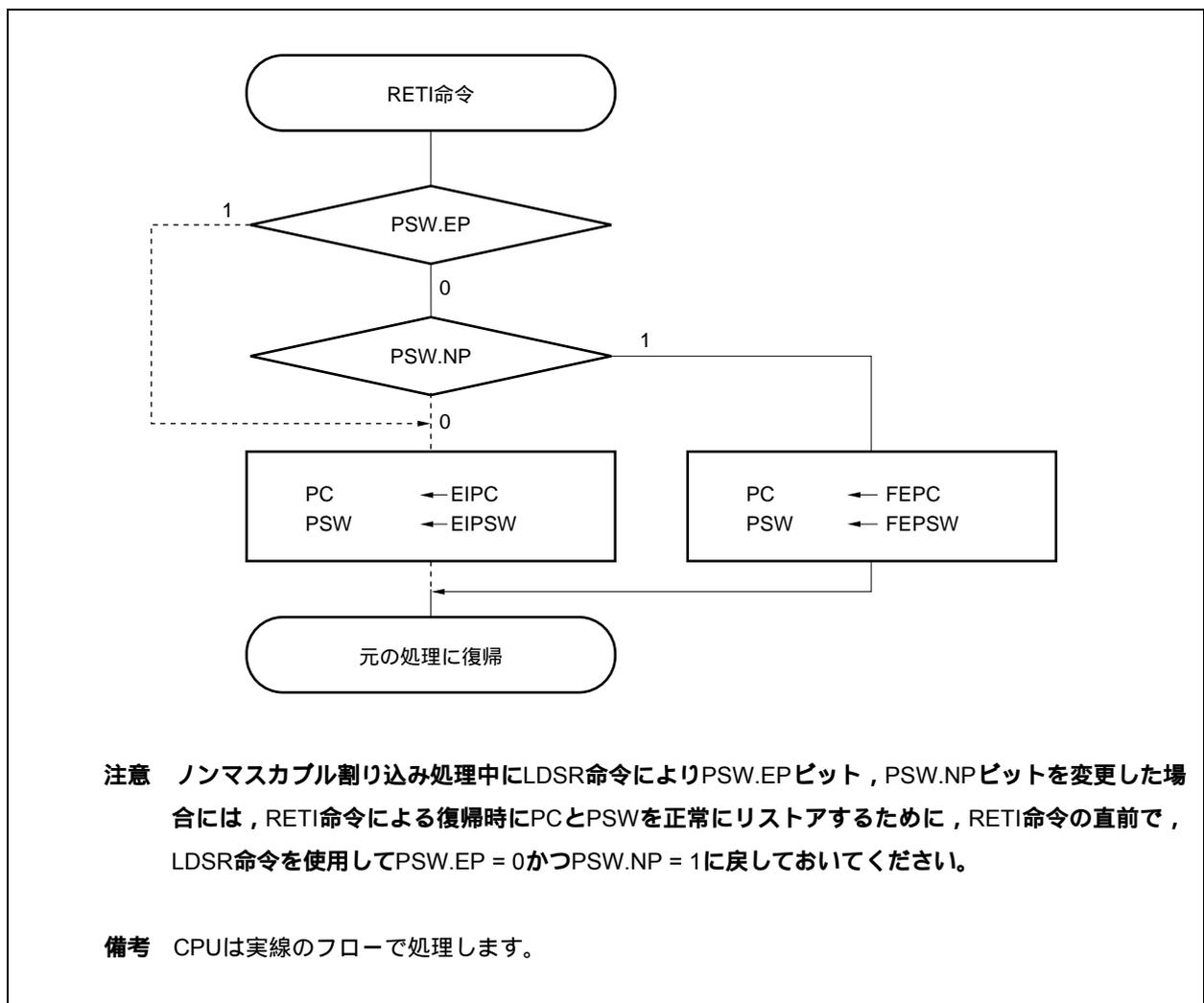
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC、FEPSWから復帰PC、PSWを取り出します。
- (2) 取り出した復帰PC、PSWのアドレスに制御を移します。

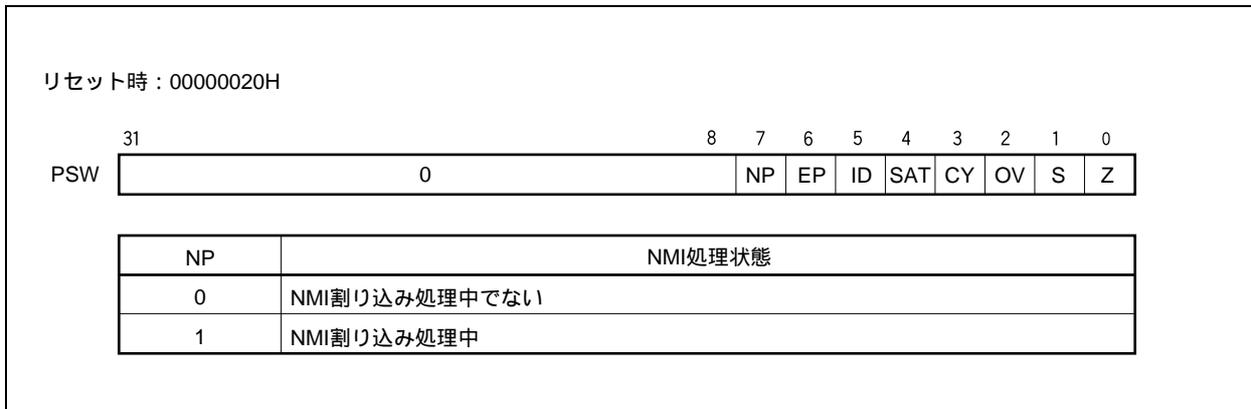
RETI命令の処理形態を図5 - 3に示します。

図5 - 3 RETI命令の処理形態



5.2.3 NPフラグ

NPフラグは、ノンマスクابل割り込み（NMI）の処理中であることを示すステータス・フラグです。
NMI割り込み要求を受け付けるとセットされ、NMI要求をマスクして多重割り込みを禁止します。



★ 5.2.4 外部割り込み要求入力端子のノイズ除去

(1) NMI, INTP0-INTP3端子のノイズ除去

NMI, INTP0-INTP3端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI, INTP0-INTP3端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI, INTP0-INTP3端子はソフトウェアSTOPモードの解除に使用します。ソフトウェアSTOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP4, INTP5端子のノイズ除去

INTP4, INTP5端子はデジタル・ノイズ除去回路を内蔵しています。

INTP端子の入力レベルをサンプリング・クロック（f_{xx}）で検出し、同じレベルが3回連続で検出されなかった場合は、ノイズとして除去します。なお、ソフトウェアSTOPモードでは内部システム・クロックが停止するため、INTP4, INTP5端子はソフトウェアSTOPモードの解除には使用できません。

次に注意事項を示します。

- ・入力パルス幅が2～3クロックの場合、有効エッジとして検出するかノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
- ・サンプリング・クロックに同期してノイズが発生している場合、ノイズとして認められないことがあります。この場合、入力端子にフィルタを付加してノイズを除去してください。

(3) INTP6端子のノイズ除去

INTP6端子はデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックをf_{xx}, f_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512, f_{xx}/1024, f_{XT}の中から選択できます。サンプリングの回数は3回です。

なお、ソフトウェアSTOPモードでは、内部システム・クロックが停止するため、INTP6端子はソフトウェアSTOPモードの解除には使用できません。

(a) ノイズ除去制御レジスタ (NCC)

ノイズ除去制御レジスタ (NCC) は、INTP6端子のデジタル・ノイズ除去クロックを選択します。ノイズ除去クロックに f_{XT} を使用すると、IDLE/STOPモード時にもINTP6外部割り込みの機能を使用することができます。8ビット単位でリード/ライト可能です。

注意 サンプルング・クロック変更後、ノイズ除去回路がイニシャライズされるのに、サンプルング・クロック×3クロック時間がかかります。そのため、サンプルング・クロックを変更してからサンプルング・クロック×3クロックの間に、INTP6の有効エッジが入力されると割り込み要求が発生する場合があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプルング・クロック×3クロック経過後、割り込み要求フラグ (PIC6の7ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時は、サンプルング・クロック×3クロック経過後、DMAを許可してください (DCHCnの0ビット)。

リセット時 : 00H R/W アドレス : FFFFF3D4H

	7	6	5	4	3	2	1	0
NCC	0	0	0	0	0	NCS2	NCS1	NCS0

NCS2	NCS1	NCS0	ノイズ除去クロック	確実にノイズ除去するノイズ幅 ^注		
				$f_{XX} = 20 \text{ MHz}$	$f_{XX} = 10 \text{ MHz}$	$f_{XX} = 2 \text{ MHz}$
0	0	0	f_{XX}	100 ns	200 ns	1 μs
0	0	1	$f_{XX}/64$	6.4 μs	12.8 μs	64 μs
0	1	0	$f_{XX}/128$	12.8 μs	25.6 μs	128 μs
0	1	1	$f_{XX}/256$	25.6 μs	51.2 μs	256 μs
1	0	0	$f_{XX}/512$	51.2 μs	102.4 μs	512 μs
1	0	1	$f_{XX}/1024$	102.4 μs	204.8 μs	1 ms
1	1	0	設定禁止			
1	1	1	f_{XT}	61 μs		

注 3回サンプルングするため、確実に除去するノイズ幅は、2×ノイズ除去クロックになります。

★ 5.2.5 外部割り込み要求入力端子のエッジ検出機能

外部割り込み要求入力端子の有効エッジは，“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“立ち上がり，立ち下がりエッジとも検出しない”の4種類から選択できます。

立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) で外部割り込みの有効エッジを指定します。8/1ビット単位でリード/ライト可能です。

リセット後の外部割り込み要求入力端子は“立ち上がり，立ち下がりエッジとも検出しない”になっていますので，EGP0, EGN0レジスタで有効エッジを許可しないと，割り込み要求を受け付けません（通常ポートとして機能します）。

P00端子を出力ポートとして使用する場合は，NMIの有効エッジを“立ち上がり，立ち下がりとも検出しない”に設定してください。P01-P07端子を出力ポートとして使用する場合は，INTP0-INTP6端子の有効エッジを“立ち上がり，立ち下がりとも検出しない”に設定するか，割り込み要求をマスクしてください。

(1) 立ち上がりエッジ指定レジスタ0 (EGP0)

リセット時：00H R/W アドレス：FFFFFF0C0H

	⑦	⑥	⑤	④	③	②	①	①
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(2) 立ち下がりエッジ指定レジスタ0 (EGN0)

リセット時：00H R/W アドレス：FFFFFF0C2H

	⑦	⑥	⑤	④	③	②	①	①
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

5.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求です。V850/SV1には51種類(μ PD703038, 703039, 703040, 703041, 70F3038, 70F3040) / 52種類(μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Y)のマスカブル割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。またデフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます(プログラマブル優先順位制御)。

割り込み要求が受け付けられると割り込み禁止(DI)状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可(EI)状態となり、受け付け中の割り込み要求の優先順位レベル(割り込み制御レジスタで指定)よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC,EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のWDTM4ビットを“0”に設定すると、ウォッチドッグ・タイマ・オーバフロー割り込みは、マスカブル割り込み(INTWDTM)として機能します。

5.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード(EICC)に例外コードを書き込みます。

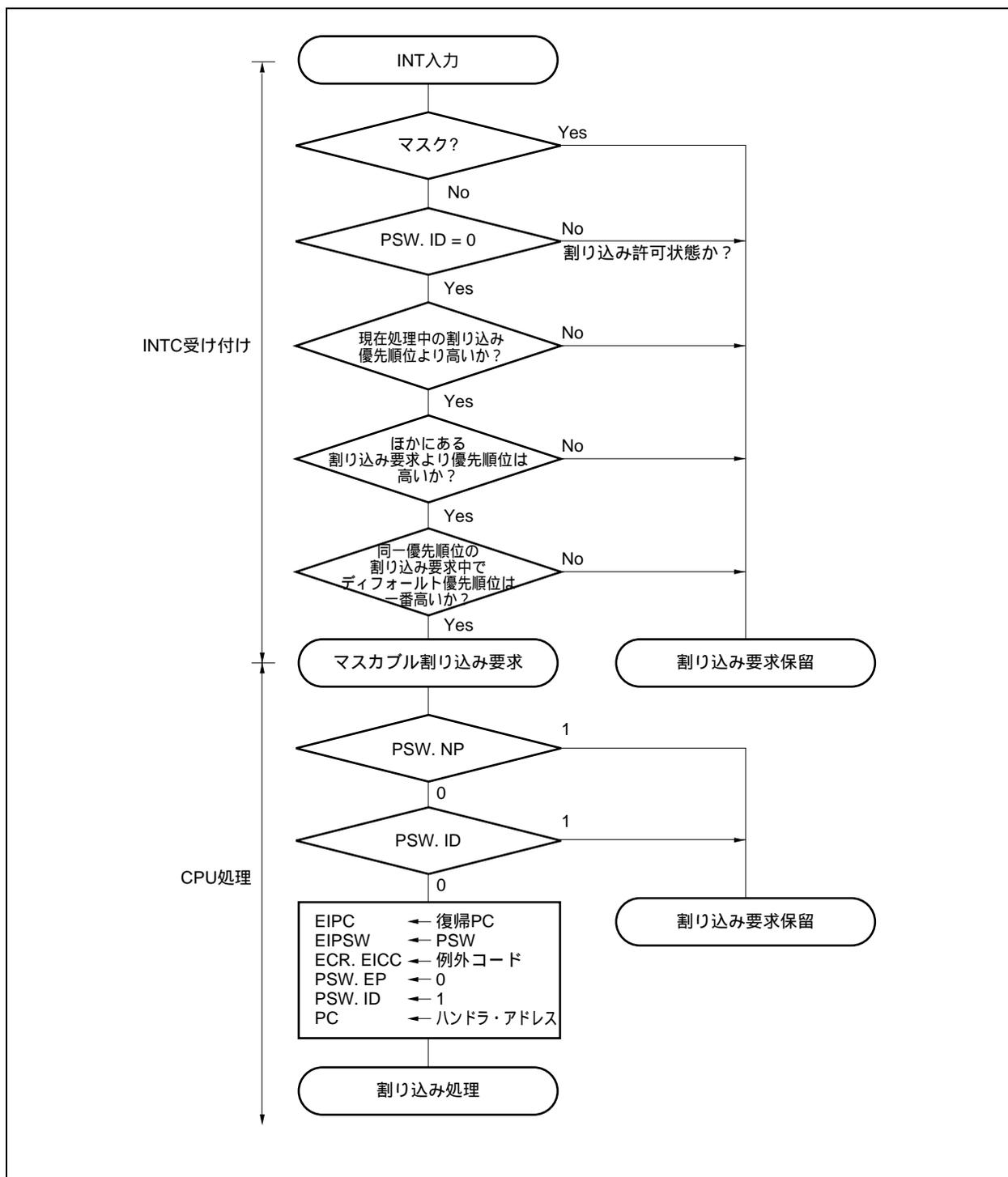
PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているINT入力と、ほかの割り込み処理中(PSW.NP = 1またはPSW.ID = 1)に発生したINT入力は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してPSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を図5-4に示します。

図5 - 4 マスカブル割り込みの処理形態



5.3.2 復 帰

マスクブル割り込み処理からは、RETI命令で復帰します。

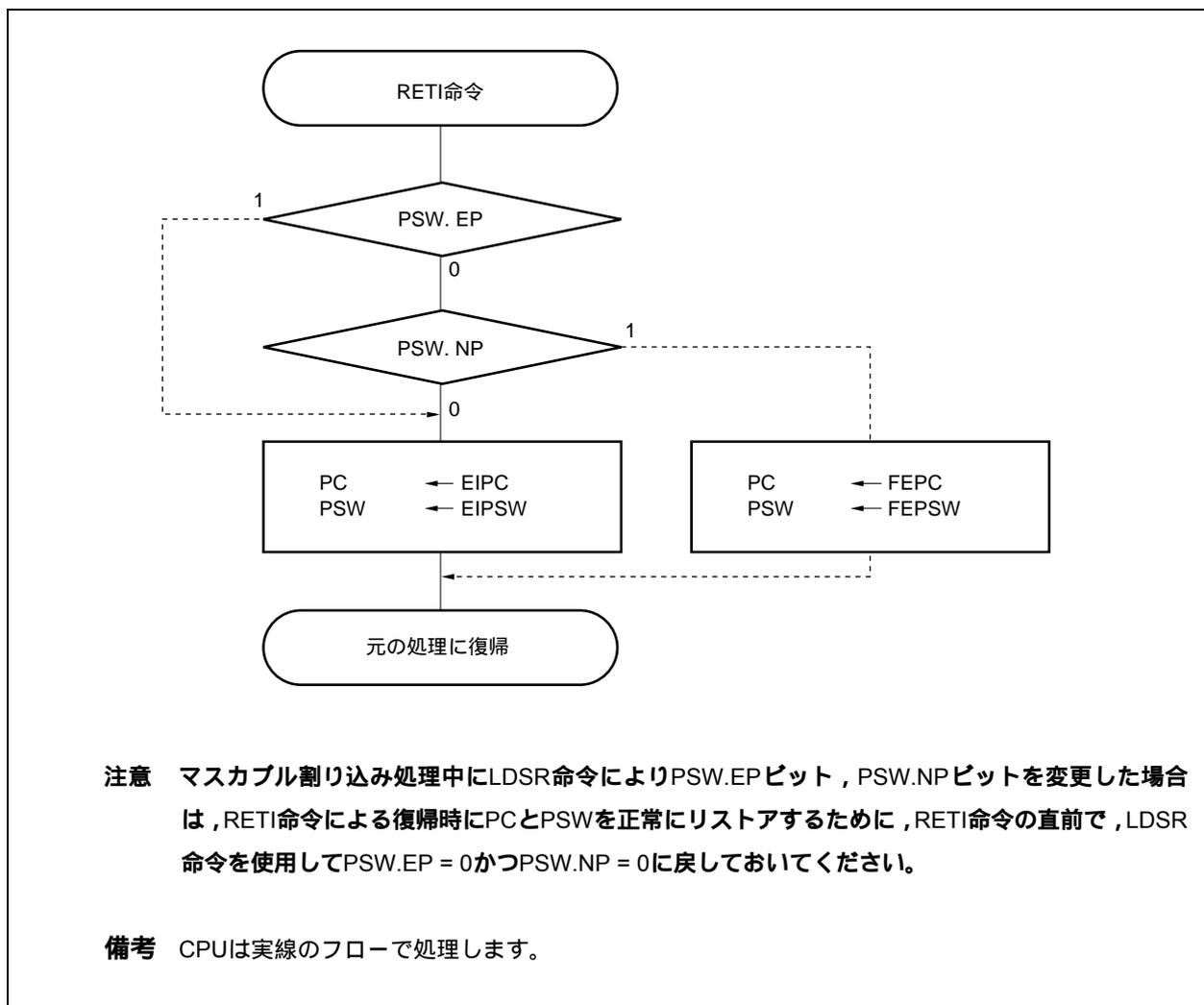
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を図5 - 5に示します。

図5 - 5 RETI命令の処理形態



注意 マスクブル割り込み処理中にLDSR命令によりPSW.EPビット、PSW.NPビットを変更した場合は、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してPSW.EP = 0かつPSW.NP = 0に戻しておいてください。

備考 CPUは実線のフローで処理します。

5.3.3 マスカブル割り込みの優先順位

V850/SV1は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位による制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表5 - 1 **割り込み要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 XX : 各周辺ユニット識別名称 (WDT, P, WTNI, OV, CC8, CC9, CM9, TM, CS, SER, ST, AD, DMA, WTN, IIC, KR)

n : 周辺ユニット番号 (表5 - 2参照)

図5 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

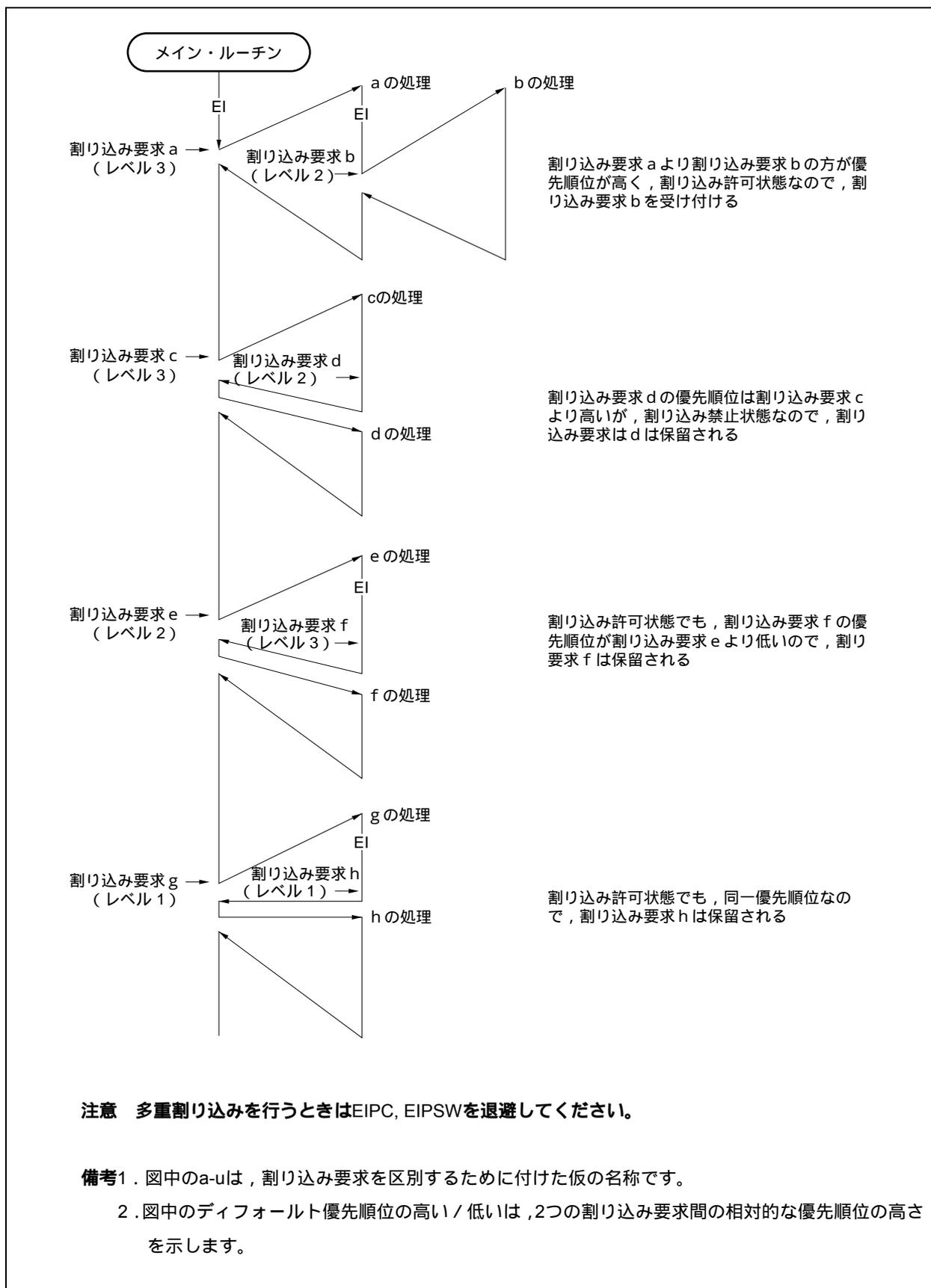


図5 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

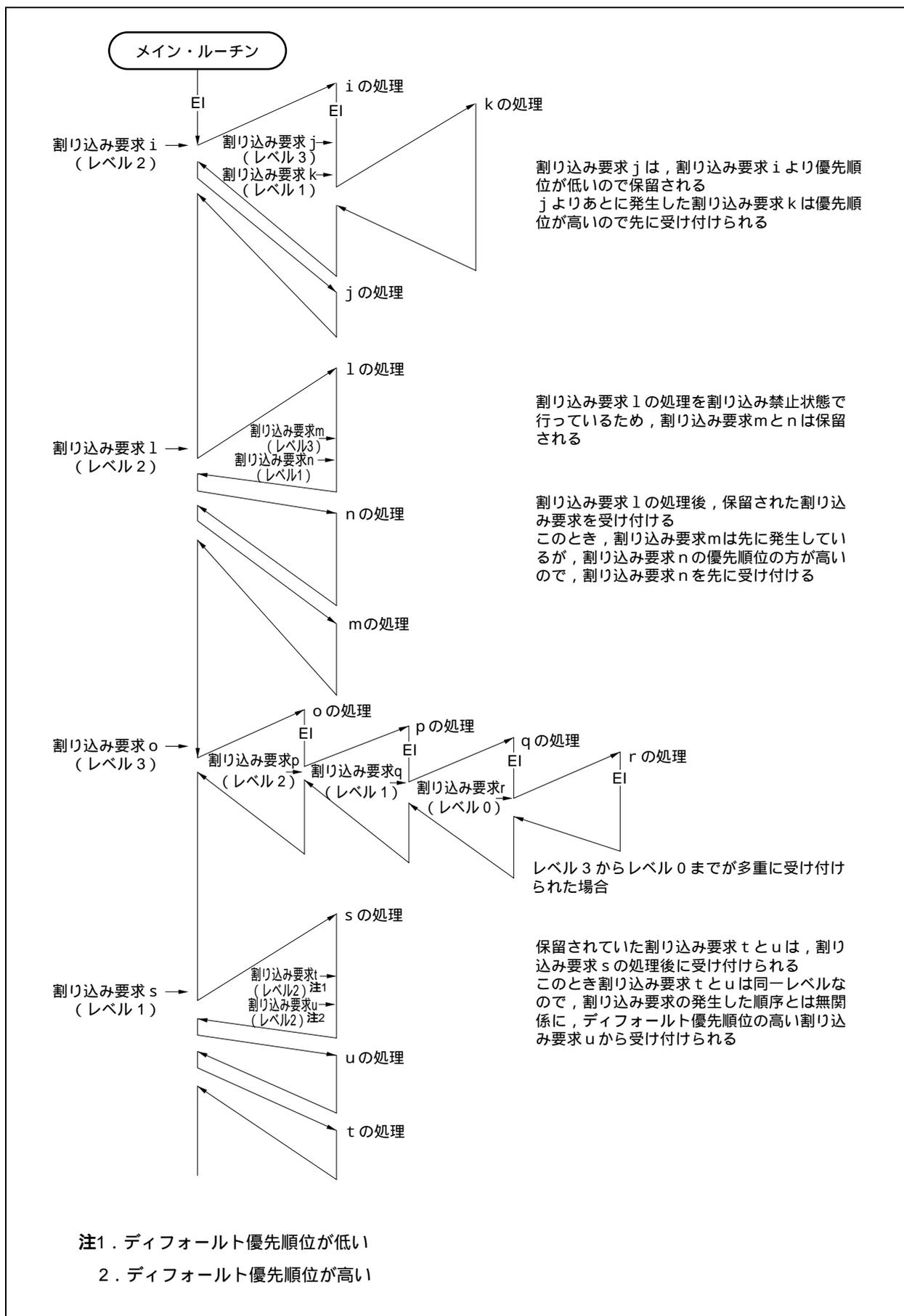
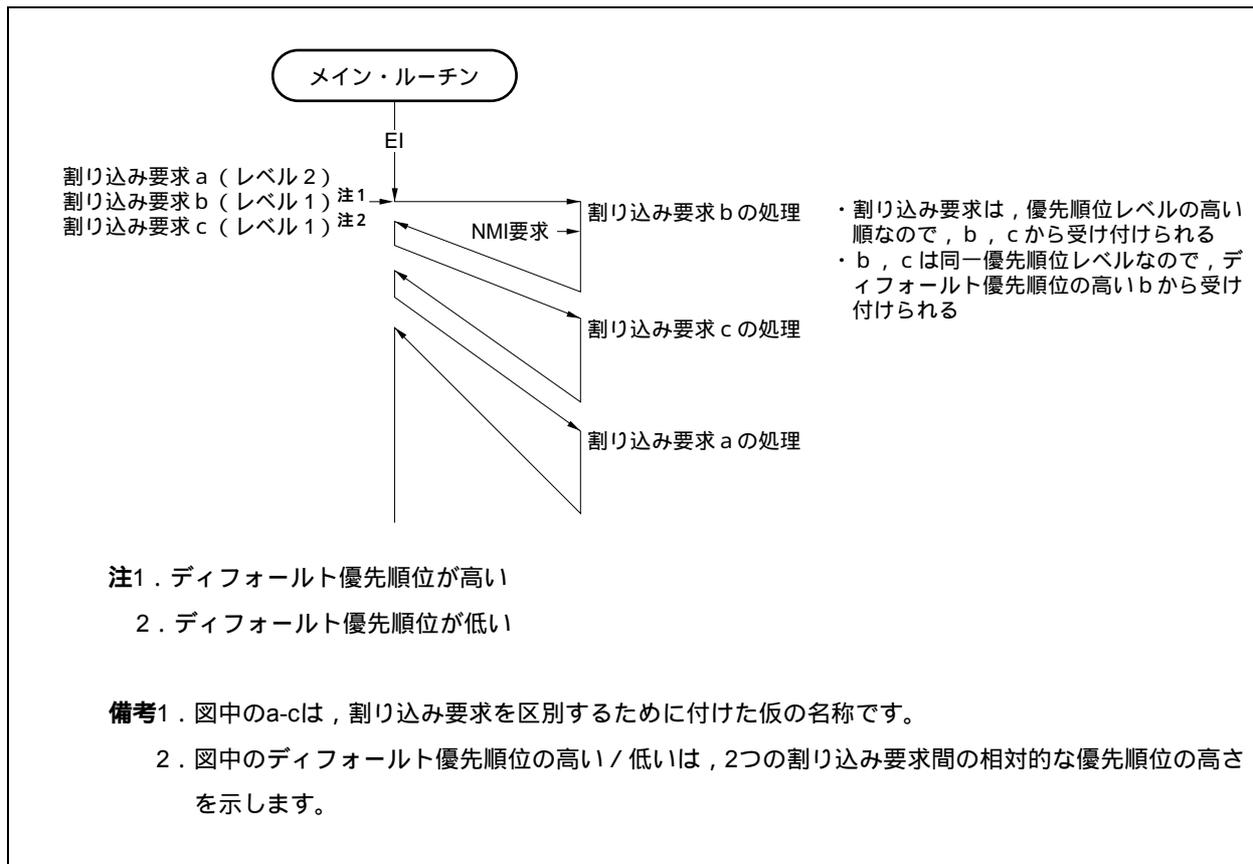


図5-7 同時発生した割り込み要求の処理例



★ 5.3.4 割り込み制御レジスタ (xxlCn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。8/1ビット単位でリード/ライト可能です。

注意1. 次に示す3つの条件が競合した場合、割り込み処理が2度実行されます。ただし、DMAを使用していない場合、割り込み処理が2度実行されることはありません。

- ・割り込み要求フラグ (xxlFn) に対するビット操作命令を実行
- ・割り込み要求フラグ (xxlFn) と同じ割り込み制御レジスタ (xxlCn) のハードウェアによる割り込みが発生
- ・割り込み要求フラグ (xxlFn) に対するビット操作命令を実行中にDMAが起動

ソフトウェアによる回避方法を次に2つ示します。

ソフトウェアによるビット操作命令の前にDI命令、あとにEI命令を挿入し、ビット操作命令実行直後に割り込みにジャンプしないようにしてください。

割り込み要求を受け付けた場合はハードウェアで割り込み禁止状態 (DI状態) になるので、各割り込み処理ルーチンでEI命令を実行する前に、割り込み要求フラグ (xxlFn) をクリアしてください。

注意2. xxICnレジスタのxxIFnビットを読み出す場合は、割り込み禁止(DI)状態で行ってください。割り込み許可(EI)状態でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時：47H R/W アドレス：FFFFFF100H-FFFFFF156H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止(保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0(最高位)を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7(最低位)を指定

注 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (WDT, P, WTNI, OV, CC8, CC9, CM9, TM, CS, SER, ST, AD, DMA, WTN, IIC, KR)
n : 周辺ユニット番号 (表5 - 2参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表5 - 2 割り込み制御レジスタ (xxlCn) (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF100H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFF102H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF104H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF106H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF108H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF10AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF10CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF10EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF110H	WTNIIC	WTNIIF	WTNIMK	0	0	0	WTNIPR2	WTNIPR1	WTNIPR0
FFFFF112H	OVIC8	OVIF8	OVMK8	0	0	0	OVPR82	OVPR81	OVPR80
FFFFF114H	OVIC9	OVIF9	OVMK9	0	0	0	OVPR92	OVPR91	OVPR90
FFFFF116H	CC8IC0	CC8IF0	CC8MK0	0	0	0	CC8PR02	CC8PR01	CC8PR00
FFFFF118H	CC8IC1	CC8IF1	CC8MK1	0	0	0	CC8PR12	CC8PR11	CC8PR10
FFFFF11AH	CC8IC2	CC8IF2	CC8MK2	0	0	0	CC8PR22	CC8PR21	CC8PR20
FFFFF11CH	CC8IC3	CC8IF3	CC8MK3	0	0	0	CC8PR32	CC8PR31	CC8PR30
FFFFF11EH	CP9IC0	CP9IF0	CP9MK0	0	0	0	CP9PR02	CP9PR01	CP9PR00
FFFFF120H	CP9IC1	CP9IF1	CP9MK1	0	0	0	CP9PR12	CP9PR11	CP9PR10
FFFFF122H	CP9IC2	CP9IF2	CP9MK2	0	0	0	CP9PR22	CP9PR21	CP9PR20
FFFFF124H	CP9IC3	CP9IF3	CP9MK3	0	0	0	CP9PR32	CP9PR31	CP9PR30
FFFFF126H	CM9IC0	CM9IF0	CM9MK0	0	0	0	CM9PR02	CM9PR01	CM9PR00
FFFFF128H	CM9IC1	CM9IF1	CM9MK1	0	0	0	CM9PR12	CM9PR11	CM9PR10
FFFFF12AH	TMIC000	TMIF000	TMMK000	0	0	0	TMPR0002	TMPR0001	TMPR0000
FFFFF12CH	TMIC001	TMIF001	TMMK001	0	0	0	TMPR0012	TMPR0011	TMPR0010
FFFFF12EH	TMIC010	TMIF010	TMMK010	0	0	0	TMPR0102	TMPR0101	TMPR0100
FFFFF130H	TMIC011	TMIF011	TMMK011	0	0	0	TMPR0112	TMPR0111	TMPR0110
FFFFF132H	TMIC2	TMIF2	TMMK2	0	0	0	TMPR22	TMPR21	TMPR20
FFFFF134H	TMIC3	TMIF3	TMMK3	0	0	0	TMPR32	TMPR31	TMPR30
FFFFF136H	TMIC4	TMIF4	TMMK4	0	0	0	TMPR42	TMPR41	TMPR40
FFFFF138H	TMIC5	TMIF5	TMMK5	0	0	0	TMPR52	TMPR51	TMPR50
FFFFF13AH	TMIC6	TMIF6	TMMK6	0	0	0	TMPR62	TMPR61	TMPR60
FFFFF13CH	TMIC7	TMIF7	TMMK7	0	0	0	TMPR72	TMPR71	TMPR70
FFFFF13EH	TMIC10	TMIF10	TMMK10	0	0	0	TMPR102	TMPR101	TMPR100
FFFFF140H	TMIC11	TMIF11	TMMK11	0	0	0	TMPR112	TMPR111	TMPR110
FFFFF142H	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFF144H	SERIC0	SERIF0	SERMK0	0	0	0	SERPR02	SERPR01	SERPR00
FFFFF146H	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFF148H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF14AH	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20
FFFFF14CH	IICIC1 ^注	IICIF1	IICMK1	0	0	0	IICPR12	IICPR11	IICPR10
FFFFF14EH	SERIC1	SERIF1	SERMK1	0	0	0	SERPR12	SERPR11	SERPR10
FFFFF150H	CSIC3	CSIF3	CSMK3	0	0	0	CSPR32	CSPR31	CSPR30

注 μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

表5 - 2 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF152H	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFFF154H	CSIC4	CSIF4	CSMK4	0	0	0	CSPR42	CSPR41	CSPR40
FFFFFF156H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFFF158H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFFF15AH	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFFF15CH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFFF15EH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFFF160H	DMAIC4	DMAIF4	DMAMK4	0	0	0	DMAPR42	DMAPR41	DMAPR40
FFFFFF162H	DMAIC5	DMAIF5	DMAMK5	0	0	0	DMAPR52	DMAPR51	DMAPR50
FFFFFF164H	WTNIC	WTNIF	DTNMK	0	0	0	WTNPR2	WTNPR1	WTNPR0
FFFFFF168H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0

5.3.5 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF166H

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考 n : 0-7 (優先順位のレベル)

5.3.6 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) があり、PSWに割り付けられています。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0		
PSW	0					NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求の受け付けを許可
1	マスクブル割り込み要求の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1), EI命令でリセット (0) されます。また, RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求および例外は, このフラグの状態に関係なく受け付けられます。また, マスクブル割り込み要求を受け付けると, IDフラグはハードウェアで自動的にセット (1) されます。受け付け禁止期間中 (ID = 1) に発生した割り込み要求は, xxICnのxxIFnビットがセット (1) され, IDフラグがリセット (0) されると受け付けられます。

- ★ **備考** xx : 各周辺ユニット識別名称 (WDT, P, WTNI, OV, CC8, CC9, CM9, TM, CS, SER, ST, AD, DMA, WTN, IIC, KR)
- n : 周辺ユニット番号 (表5 - 2参照)

5.3.7 ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

8/1ビット単位でリード/ライト可能です (詳細は第9章 ウォッチドッグ・タイマ機能参照)。

リセット時 : 00H R/W アドレス : FFFFF384H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	0	0	0	0

RUN	ウォッチドッグ・タイマの動作制御
0	カウント動作停止
1	カウントをクリアしてカウント開始

WDTM4	タイマ・モード選択 / WDTによる割り込み制御
0	インターバル・タイマ・モード
1	WDTモード

注意 RUN, WDTM4ビットに“1”を書き込むと, リセット入力以外ではクリアできません。

5.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

- ・ TRAP命令フォーマット：TRAP vector（ただし、vectorは0-1FHの値）

命令機能の詳細は、V850シリーズ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

5.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

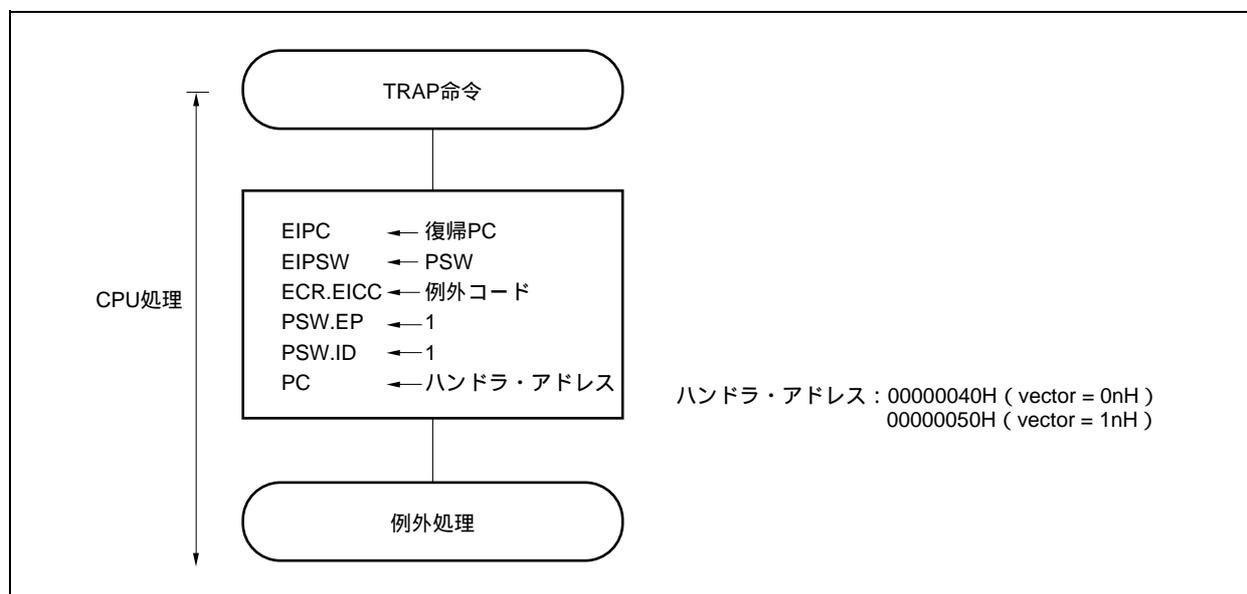
ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。

PSWのEP, IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス（00000040H/00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を、図5 - 8に示します。

図5 - 8 ソフトウェア例外の処理形態



5.4.2 復 帰

ソフトウェア例外処理からは，RETI命令で復帰します。

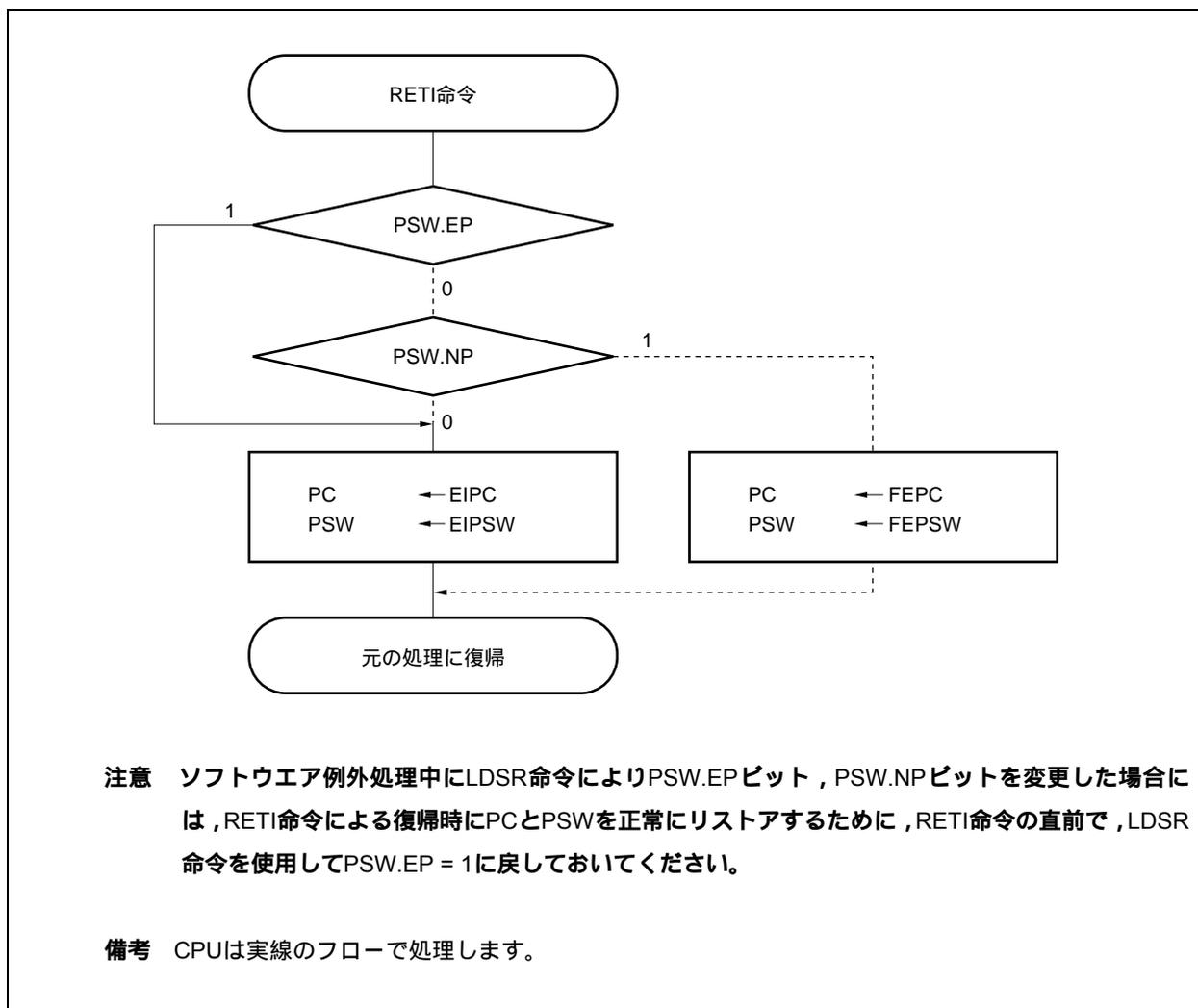
RETI命令の動作

RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので，EIPC,EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を図5 - 9に示します。

図5 - 9 RETI命令の処理形態

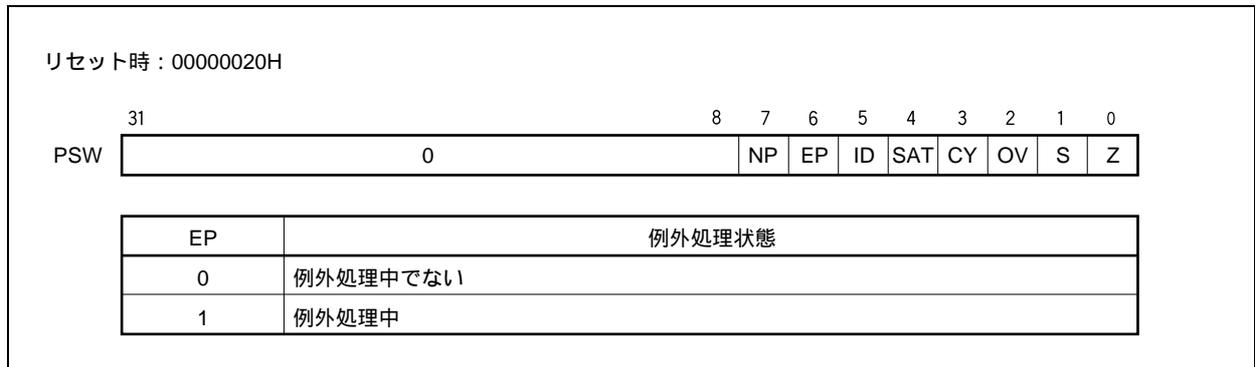


注意 ソフトウェア例外処理中にLDSR命令によりPSW.EPビット，PSW.NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してPSW.EP = 1に戻しておいてください。

備考 CPUは実線のフローで処理します。

5.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされ、割り込みを禁止します。



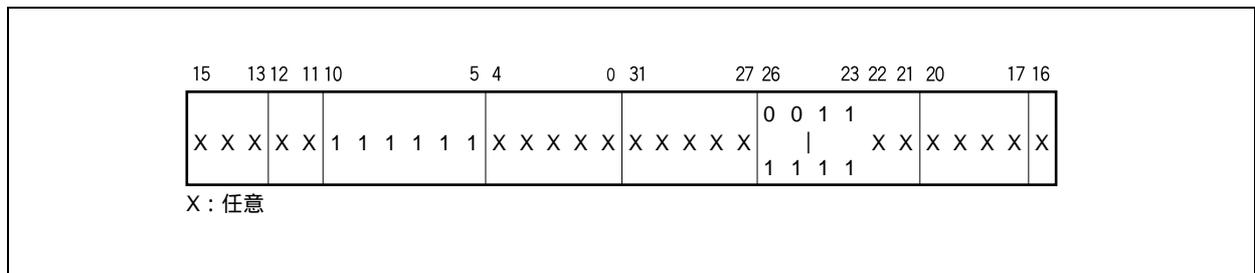
5.5 例外トラップ

命令の不正実行が発生した場合に要求される割り込みです。V850/SV1では、不正命令コード例外(ILGOP:Illegal Opcode Trap) が例外トラップに当たります。

- ・不正命令コード例外：次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生

5.5.1 不正命令コード

不正命令コードは、32ビット長命令形式で、ビット5-10が111111Bで、かつビット23-26が0011B-1111Bになる任意の命令コードとして定義します。



5.5.2 動作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

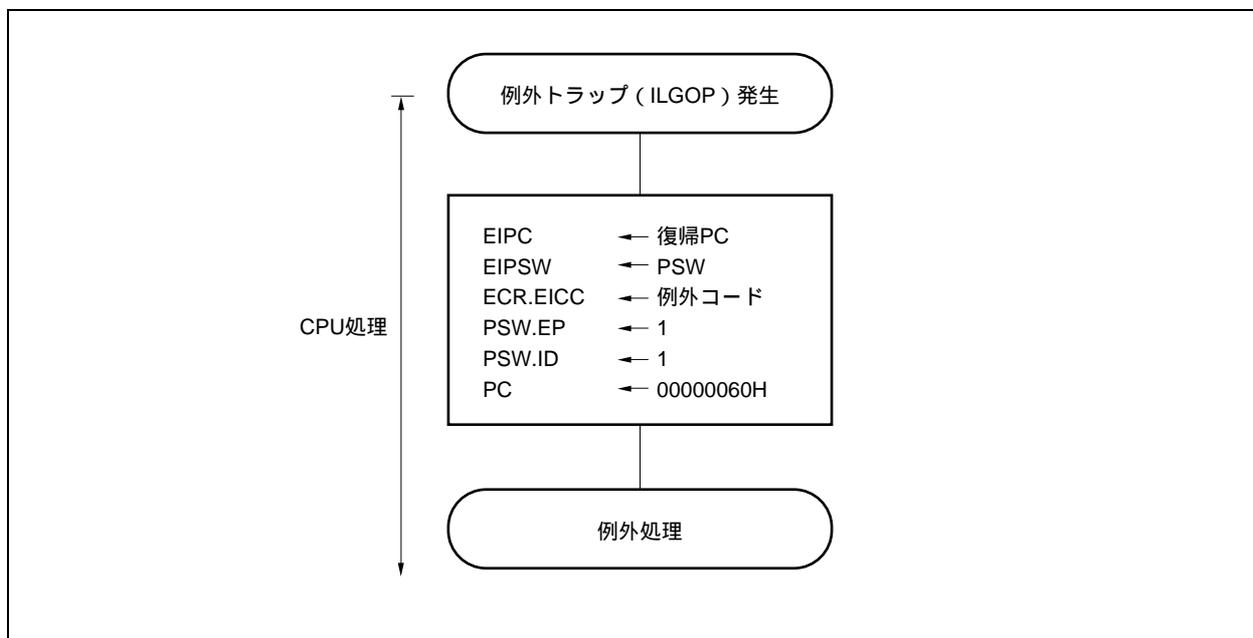
ECRの下位16ビット（EICC）に例外コード（0060H）を書き込みます。

PSWのEP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図5 - 10に示します。

図5 - 10 例外トラップの処理形態



5.5.3 復 帰

例外トラップからは，RETI命令で復帰します。

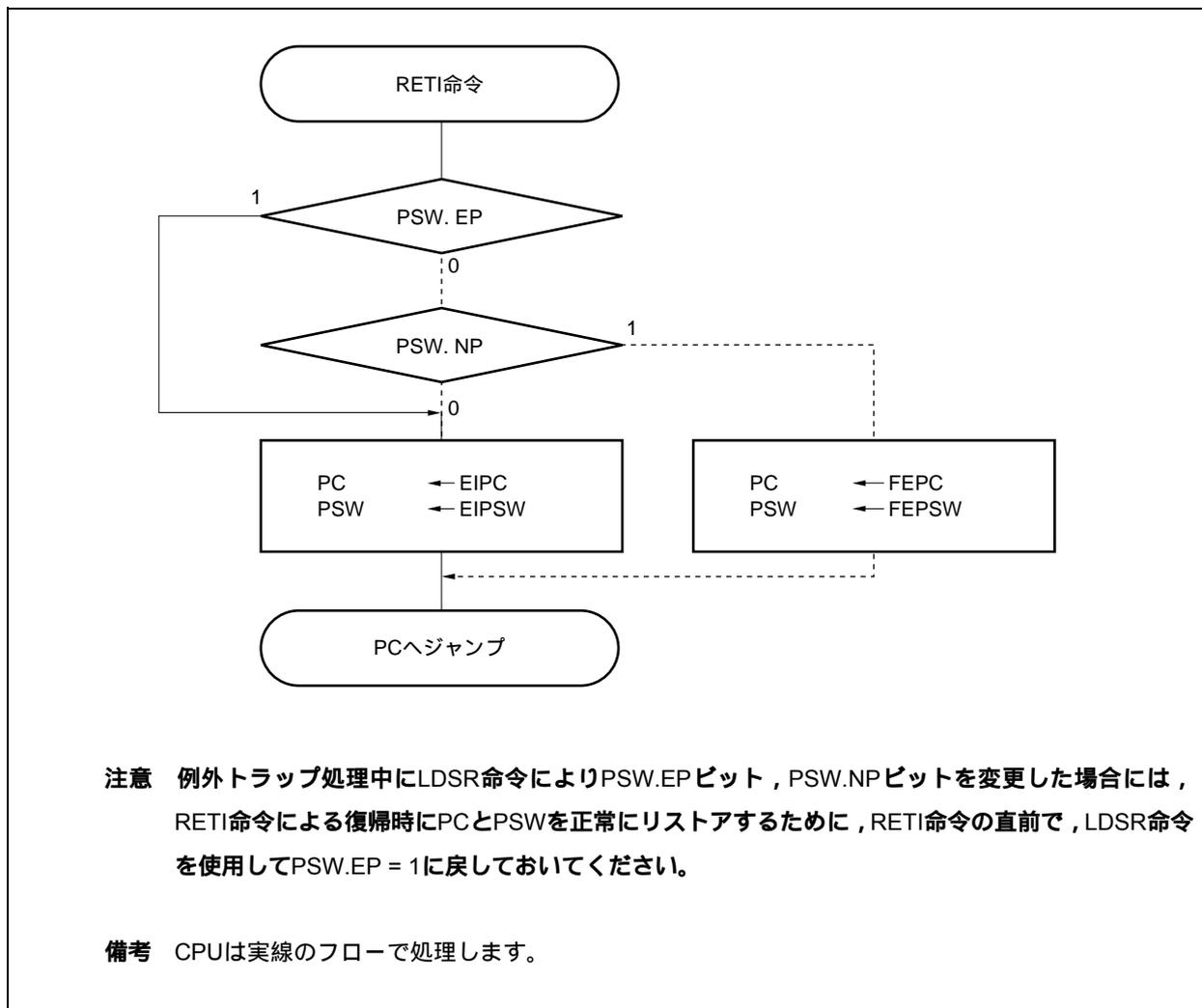
RETI命令の動作

RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を図5 - 11に示します。

図5 - 11 RETI命令の処理形態



5.6 優先順位指定

5.6.1 割り込みと例外の優先順位

表5 - 3 割り込みと例外の優先順位

	RESET	NMI	INT	TRAP	ILGOP
RESET		*	*	*	*
NMI	X				
INT	X				
TRAP	X				
ILGOP	X				

RESET : リセット

NMI : ノンマスカブル割り込み

INT : マスカブル割り込み

TRAP : ソフトウェア例外

ILGOP : 不正命令コード例外

* : 左部の項目は上部の項目を無視する

X : 左部の項目は上部の項目に無視される
 : 上部の項目は左部の項目より優先順位が高い
 : 左部の項目は上部の項目より優先順位が高い

5.6.2 多重割り込み

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付ける機能です。

現在処理している割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にしてください。

マスカブル割り込みまたは例外のサービス・プログラム中に、マスカブル割り込みの許可または例外を発生させる場合は、EIPC, EIPSWを退避してください。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

- ...
- ...
- ・ EIPCをメモリまたはレジスタへ退避
- ・ EIPSWをメモリまたはレジスタへ退避
- ・ EI命令 (割り込み要求受け付け許可)
- ...
- ...
- ...
- ...
- ・ DI命令 (割り込み要求受け付け禁止)
- ・ 退避していた値をEIPSWに復帰
- ・ 退避していた値をEIPCに復帰
- ・ RETI命令

INTP入力などの割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

- ...
- ...
- ・ EIPCをメモリまたはレジスタへ退避
- ・ EIPSWをメモリまたはレジスタへ退避
- ・ EI命令 (割り込み要求受け付け許可)
- ...
- ・ TRAP命令
- ・ 不正命令コード
- ...
- ・ 退避していた値をEIPSWに復帰
- ・ 退避していた値をEIPCに復帰
- ・ RETI命令

TRAP命令などの例外受け付け
不正命令コード例外受け付け

多重割り込み処理制御のための優先順位は、各マスカブル割り込み要求ごとに0-7まで (0が最優先) の8レベルが、ソフトウェアで任意に設定できます。優先順位レベルの設定は、マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ (xxICn) のxxPRn0-xxPRn2ビットで行います。リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

備考 xx : 各周辺ユニット識別名称 (WDT, P, WTNi, OV, CC8, CC9, CM9, TM, CS, SER, ST, AD, DMA, WTN, IIC, KR)

n : 周辺ユニット番号 (表5 - 2参照)

マスカブル割り込みの優先順位

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

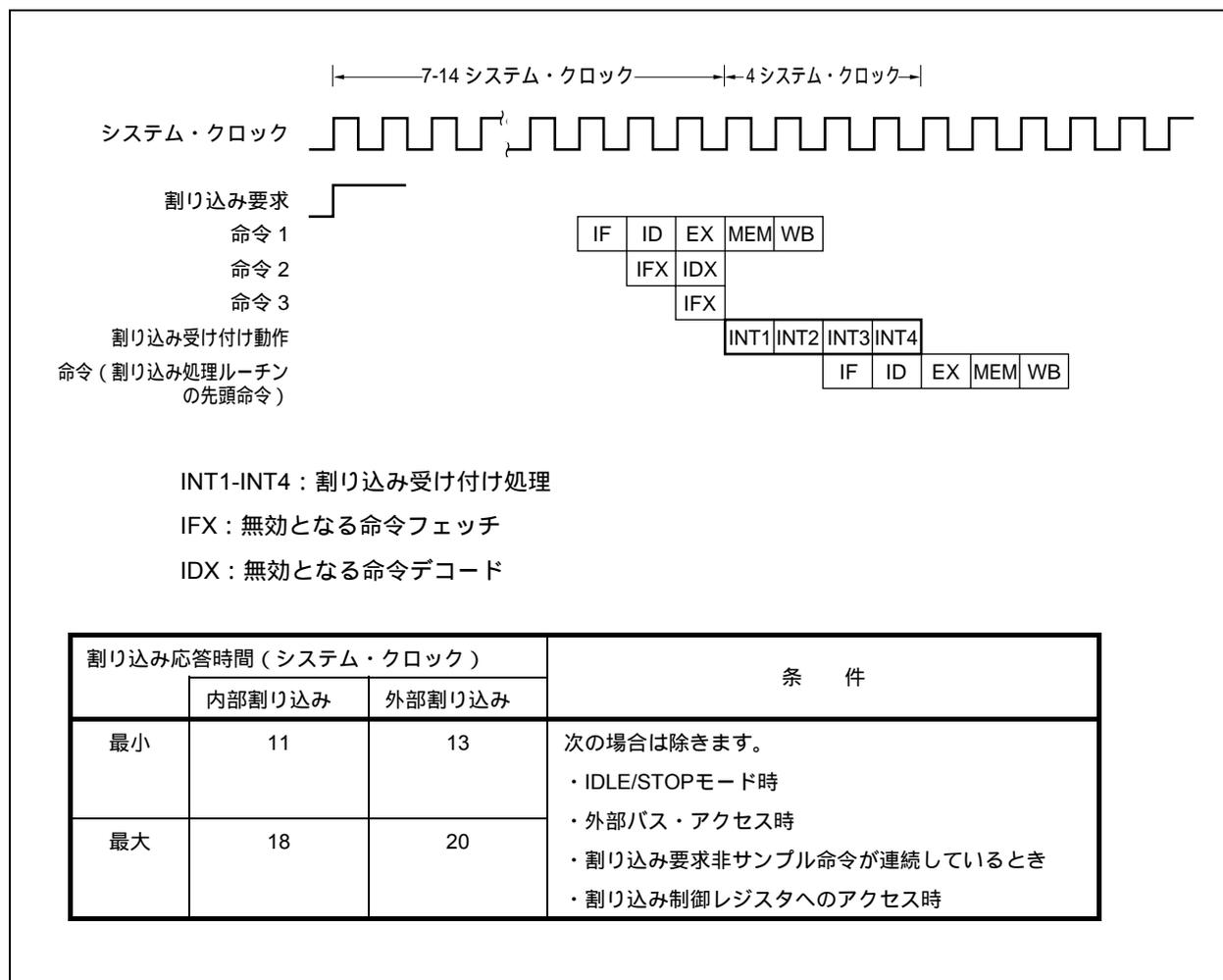
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスカブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスカブル割り込みを受け付けず、保留します。

5.7 応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図5 - 12 割り込み要求受け付け時のパイプライン動作 (概略)



5.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません。

割り込み要求非サンプル命令

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2,0x5命令 (対PSW)

★ 5.8.1 EI命令後の割り込み要求有効タイミング

DI命令 (割り込み禁止) かつ割り込みをマスクしていない (MKフラグ = 0) 状態において、割り込み要求が発生 (IFフラグ = 1) した場合、EI命令 (割り込み許可) を実行するとCPUが割り込み要求を受け付けるまでに7システム・クロックが必要です。この7システム・クロック間にDI命令 (割り込み禁止) を実行すると、CPUは割り込み要求を受け付けません。

したがって、EI命令 (割り込み許可) 実行後は、命令実行クロック数で7システム・クロック分の命令を挿入する必要があります。ただし、次の条件の場合は、7システム・クロック分確保しても割り込み要求は受け付けられないのでこの条件による確保は禁止です。

- ・ IDLE/ソフトウェアSTOPモード
- ・ 割り込み要求非サンプリング命令 (PSW.IDビットを操作する命令)
- ・ 割り込み制御レジスタ (xxICn) へのアクセス

次にプログラム処理例を示します。

【プログラム処理例】

```

DI
:           ; (MKフラグ = 0)
:           ; 割り込み要求発生 (IFフラグ = 1)
EI         ; EI命令実行
NOP        ; 1システム・クロック
NOP        ; 1システム・クロック
NOP        ; 1システム・クロック
NOP        ; 1システム・クロック
JR         LP1 ; 3システム・クロック (LP1ルーチンに分岐)
:
LP1        ; LP1ルーチン
DI         ; EI命令実行後, NOP命令を4回実行し, JR命令により8クロック目に実行

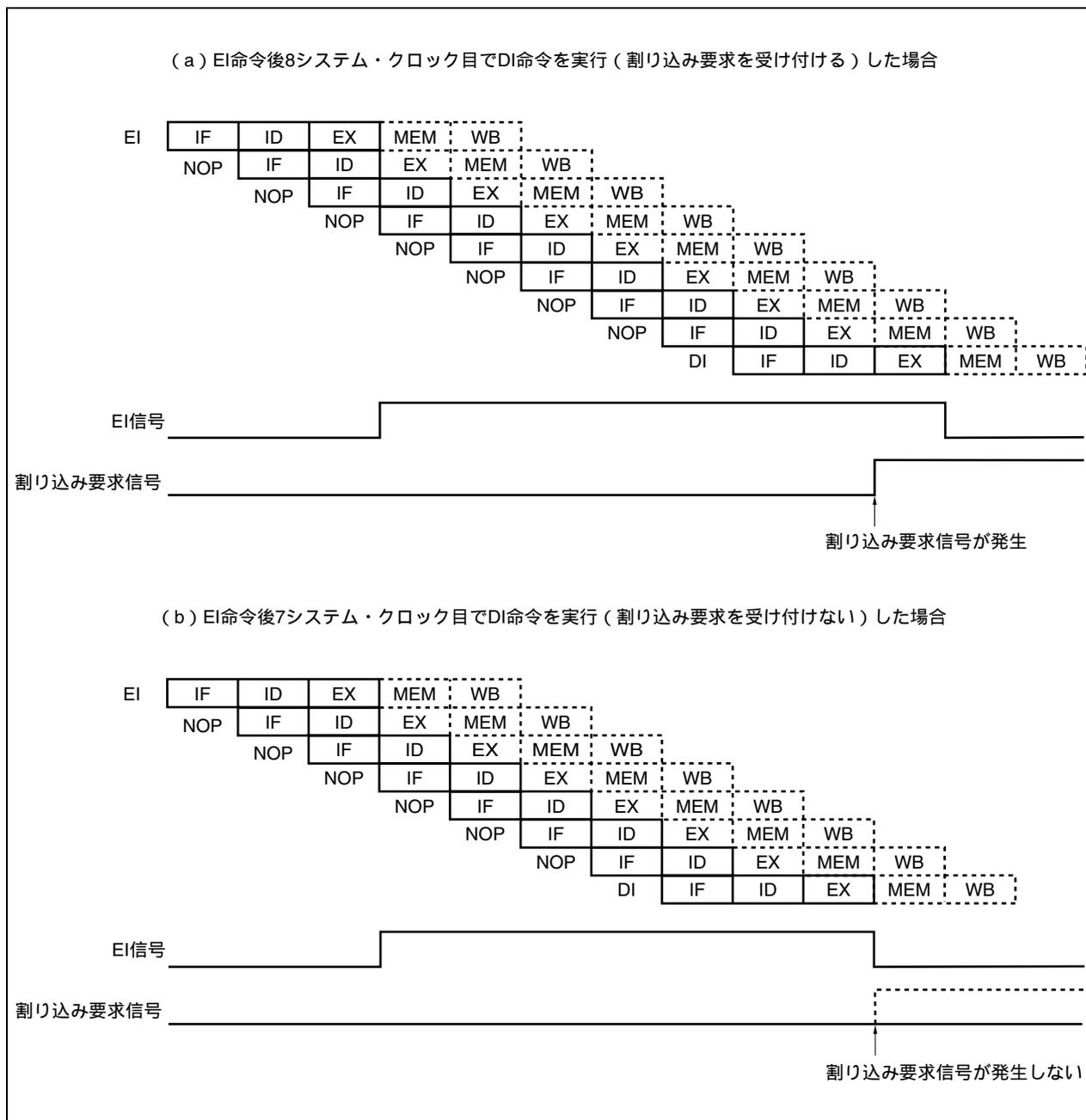
```

注

注 この期間にDI命令 (PSW.ID = 1) を実行しないでください

- 備考1.** この例の場合, DI命令はEI命令実行後, 8システム・クロック目に実行されるので, CPUは割り込み要求を受け付け, 割り込み処理を行います。
2. 割り込み処理ルーチンの命令がEI命令後の8システム・クロック目から実行されるということではありません。割り込み処理ルーチンの命令が実行されるのは, CPUが割り込み要求を受け付けてから4システム・クロック後です。
3. EI命令実行後に割り込み要求が発生した場合も, IFフラグがセット (1) されてから, 7システム・クロックの間にDI命令 (割り込み禁止) を実行すると, CPUは割り込み要求を受け付けません。

図5 - 13 パイプラインの流れと割り込み要求発生時のタイミング



★ 5.9 DMA転送時の割り込み制御レジスタのビット操作命令

DMA機能を使用している場合、EI状態で割り込み制御レジスタ（xxICn）をビット操作するとき、操作前にDI命令、操作後にEI命令を行ってください。または、割り込み処理ルーチンの先頭で、xxIFビットをクリア（0）してください。

なお、DMA機能を使用しない場合は、このような操作をする必要はありません。

備考 xx：各周辺ユニット識別名称（WDT, P, WTNI, OV, CC8, CC9, CM9, TM, CS, SER, ST, AD, DMA, WTN, IIC, KR）

n：周辺ユニット番号（表5 - 2参照）

第6章 クロック発生機能

★ 6.1 概要

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロック発生回路には、次の2種類があります。

(1) メイン・クロック発振回路

4-20 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ(PCC)の設定により発振を停止できます。リセット期間中は発振を停止します。

IDLEモード時は、時計用タイマだけに周辺クロックを供給できます。したがって、IDLEモード時はサブクロック発振器を使用しなくても、時計用タイマをカウントさせることができます。

外部クロックを直接入力できます。このとき、X1端子のみクロック信号を入力し、X2端子はオープンにしてください。

注意 リセット入力、STOP命令の実行によりメイン発振器が停止すると、その解除後に発振安定時間を確保します。発振安定時間は発振安定時間選択レジスタ(OSTS)で設定します。発振安定時間カウント用のタイマとしてウォッチドッグ・タイマを使用します。

(2) サブクロック発振回路

32.768 kHzの周波数を発振します。STOP命令を実行しても発振は停止しません。また、リセット入力では発振を停止しません。停止するときは、XT1端子をV_{SS}に接続してください。

サブクロックは、時計動作のみ使用可能です。

サブクロックにより動作可能な機能ブロックを次に示します。

(a) 時計タイマ(カウント・クロックにf_{XT}を選択時)

時計タイマ動作により、TM0(カウント・クロックにINTW_{TN}を選択時)も動作可能

TM0(の場合)動作により、TM6, TM7(いずれもカウント・クロックにTO0を選択時)も動作可能

TM6動作(の場合)により、RTP1(転送トリガにINTTM6を選択可能)も動作可能

(b) TM4(カウント・クロックにf_{XT}を選択時)

TM4動作により、RTP0(転送トリガにINTTM4を選択可能)も動作可能

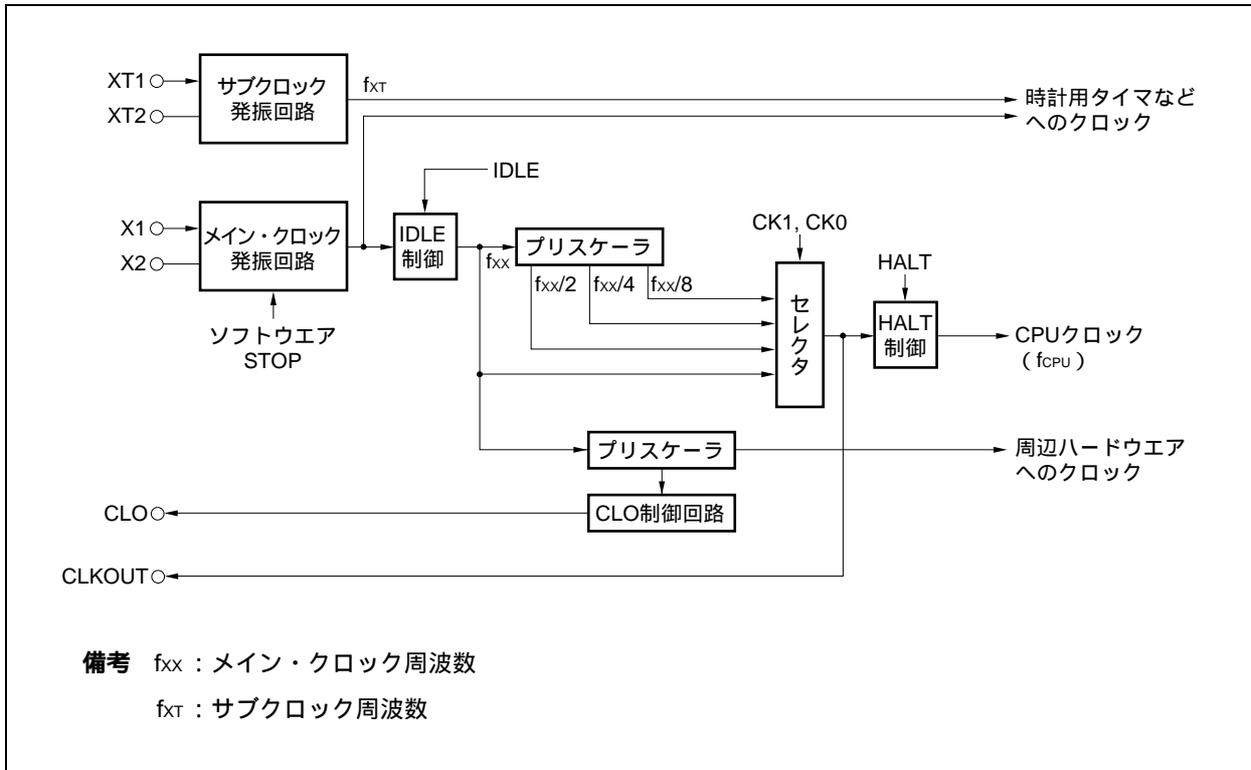
(c) TM5(カウント・クロックにf_{XT}を選択時)

(d) INTP6(サンプリング・クロックにf_{XT}を選択時)

6.2 構成

★

図6 - 1 クロック発生機能

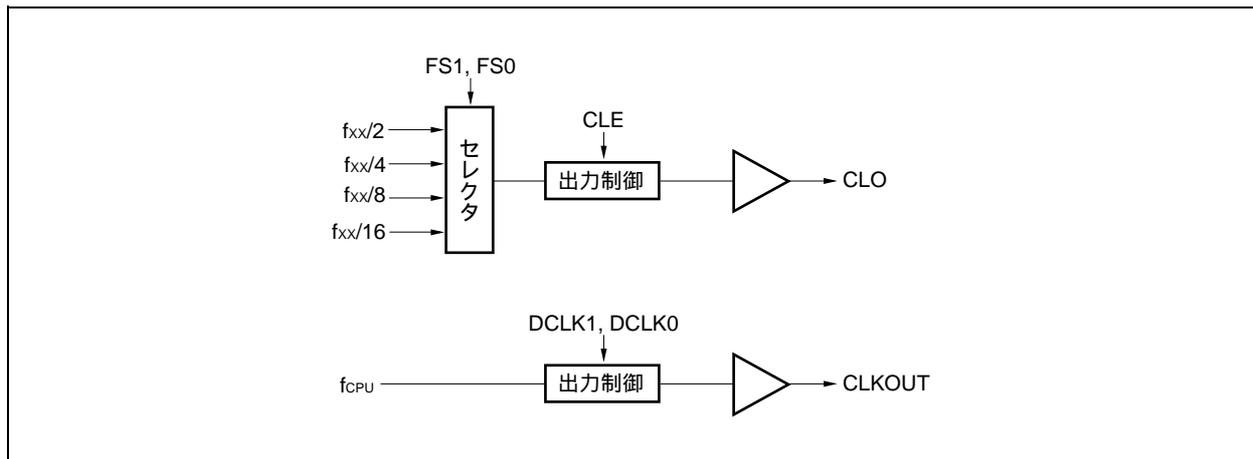


★ 6.3 クロック出力機能

CPUクロック (f_{CPU}) と同じ周波数の信号と、メイン・クロック (f_{xx}) を分周した信号を出力できます。

- ・ CLKOUT信号 : f_{CPU} (プロセッサ・クロック・コントロール・レジスタ (PCC) で設定)
- ・ CLO信号 : $f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16$, (クロック出力モード・レジスタ (CLOM) で設定)

図6-2 クロック出力機能のブロック図



6.3.1 CLKOUT信号

CPUクロックをCLKOUT端子に出力する機能です。

クロック出力許可の場合、CPUクロックをCLKOUT端子に出力します。禁止の場合は、ロウ・レベルをCLKOUT端子に出力します。

IDLE, STOPモード時は、出力を停止します (ロウ・レベル固定)。

パワー・セーブ・コントロール・レジスタ (PSC) のDCLK1, DCLK0ビットで制御します。

リセット期間中はハイ・インピーダンス状態になります。リセット解除後はロウ・レベルを出力します。

注意 CLKOUTを出力している間は、CPUクロック(プロセッサ・クロック・コントロール・レジスタ(PCC)のCK1, CK0ビット)を変更しないでください。

6.3.2 CLO信号

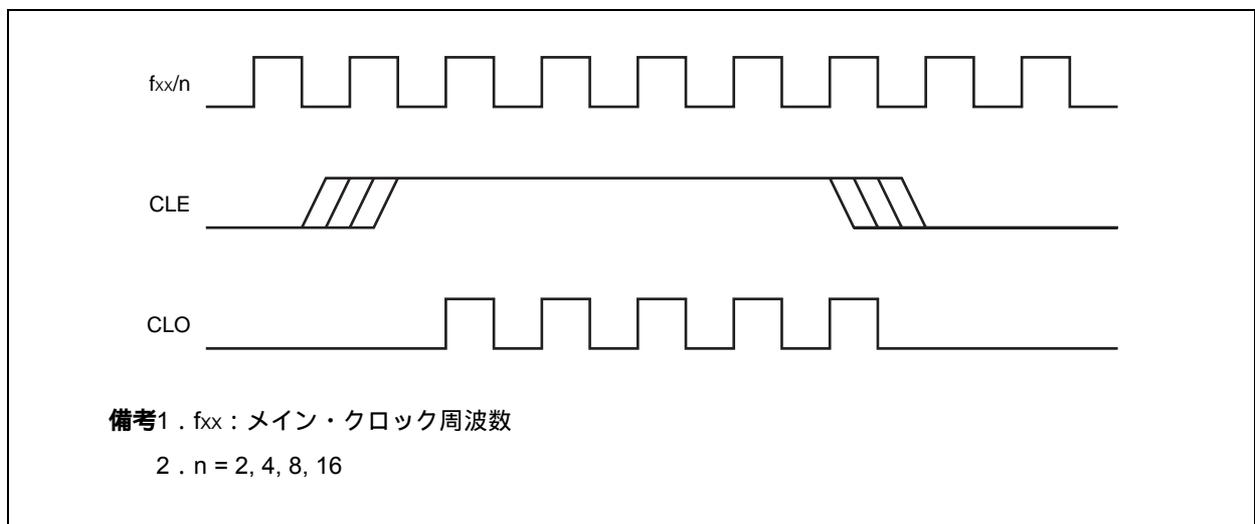
クロック出力モード・レジスタ(CLOM)のFS1, FS0ビットで,CLO端子に出力するクロック($f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$)を選択できます。

CLEビットを“1”にセットすると,その直後からクロックに同期して信号を出力します。CLEビットを“0”にクリアするとロウ・レベルを出力し,以降の出力動作を停止します。

CLO信号は,HALTモード時は出力し続けます。IDLE, STOPモード時は,直前の値を保持したまま停止します。

注意 CLO信号を出力している間は,CLO信号の周期(FS1, FS0ビットで設定)を変更しないでください。
またCLEビットに値を変更すると同時に,FS1, FS0ビットの値を変更しないでください。

図6 - 3 CLO信号のタイミング



6.4 制御レジスタ

★ 6.4.1 プロセッサ・クロック・コントロール・レジスタ (PCC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.9 特定レジスタ参照)。8/1ビット単位でリード/ライト可能です。

リセット時 : 03H R/W アドレス : FFFFF074H

	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	0	CK1	CK0

CK1	CK0	CPUクロックの選択
0	0	f _{xx}
0	1	f _{xx} /2
1	0	f _{xx} /4
1	1	f _{xx} /8

注意1 . CLKOUTを出力している間は , CPUクロック (PCCレジスタのCK1, CK0ビット) を変更しないでください。

2 . ビット7-2には必ず “0” を設定してください。

6.4.2 クロック出力モード・レジスタ (CLOM)

8/1ビット単位でリード/ライト可能です。

ただし、FS0, FS1ビットを1ビット単位で操作しないでください。

リセット時：00H R/W アドレス：FFFFFF38AH

	7	6	5		3	2	1	0
CLOM	0	0	0	CLE	0	0	FS1	FS0

CLE	CLO信号のクロック出力を制御
0	出力禁止 (“0” を出力)
1	CLO信号を出力

FS1	FS0	CPUクロックの選択
0	0	f _{xx} /2
0	1	f _{xx} /4
1	0	f _{xx} /8
1	1	f _{xx} /16

CLO信号を出力 (CLE = 1) している間は、CLO信号の周期 (FS0, FS1ビットで設定) を変更しないでください。またCLEビットの値を変更すると同時に、FS0, FS1ビットの値を変更しないでください。

6.4.3 パワー・セーブ・コントロール・レジスタ (PSC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込み可能です (3.4.9 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセット時: C0H R/W アドレス: FFFFF070H

	7	6	5	4	3	②	①	0
PSC	DCLK1	DCLK0	0	0	0	IDLE	STP	0

DCLK1	DCLK0	CLKOUT端子動作指定
0	0	出力許可
0	1	設定禁止
1	0	設定禁止
1	1	出力禁止 (リセット時)

IDLE	IDLEモードの設定
0	通常モード
1	IDLEモード ^{注1}

STP	STOPモードの設定
0	通常モード
1	STOPモード ^{注2}

注1. IDLEモードが解除されると、自動的にリセット (0) されます。

2. STOPモードが解除されると、自動的にリセット (0) されます。

注意1. DCLK0, DCLK1ビットは、8ビット単位で操作してください。

2. STPビットとIDLEビットを同時に設定しないでください。同時に設定した場合、STOPモードになります。

3. ビット5-3には必ず“0”を設定してください。

6.4.4 発振安定時間選択レジスタ (OSTS)

8ビット単位でリード/ライト可能です。

リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS1	発振安定時間の選択 ^注
0	0	0	$2^{14}/f_{xx}$ (819.2 μ s)
0	0	1	$2^{16}/f_{xx}$ (3.3 ms)
0	1	0	$2^{17}/f_{xx}$ (6.6 ms)
0	1	1	$2^{18}/f_{xx}$ (13.1 ms)
1	0	0	$2^{19}/f_{xx}$ (26.2 ms)
上記以外			設定禁止

注 ()の数字は $f_{xx} = 20$ MHz時の値です。

6.5 パワー・セーブ機能

★ 6.5.1 概要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。パワー・セーブ機能には、次に示すものがあります。

(1) HALTモード

このモードでは、クロック発振回路は動作を継続しますが、CPUの動作クロックが停止します。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。システムのトータルの消費電力を低減できます。

専用命令 (HALT命令) により、HALTモードに移行します。

(2) IDLEモード

クロック発振回路の動作を継続したままで、CPUの動作クロックと時計用タイマ以外の内蔵周辺機能の動作クロックを停止させることにより、システム全体を停止させるモードです。ただし、サブクロックは動作を継続し、サブクロックで動作している内蔵周辺機能にクロックを供給します。

このモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行できます。

パワー・セーブ・コントロール・レジスタ (PSC) のIDLEビットをセット (1) すると、IDLEモードに移行します。

(3) ソフトウェアSTOPモード

メイン・クロック発振回路を停止させ、システム全体を停止させるモードです。サブクロックの供給は継続され、サブクロックで動作している内蔵周辺機能は動作を継続します。サブクロックを使用しない場合は、リーク電流だけの超低消費電力状態になります。

PSCレジスタのSTPビットをセット(1)すると、ソフトウェアSTOPモードに移行します。

6.5.2 HALTモード

(1) 設定および動作状態

クロック発振回路は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定すると、システムのトータルの消費電力を低減できます。

HALTモードではプログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。

HALTモードは、HALT命令により移行します。

表6-1にHALTモード時の動作状態を示します。

(2) HALTモードの解除

HALTモードは、NMI要求、マスクされていないマスカブル割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) 割り込み要求による解除

NMI要求、マスクされていないマスカブル割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求(NMI要求を含む)が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

★

表6-1 HALTモード時の動作状態 (1/2)

項目	HALTモードの設定	
	CPUがメイン・クロックで動作中	
	サブクロックがない場合	サブクロックがある場合
CPU	停止	
ROMコレクション	停止	
クロック発生回路	メイン・クロック, サブクロックとも発振 CPUへのクロック供給は停止	
CLKOUT	動作	
CLO	動作	
24ビット・タイマ (TM8, TM9)	動作	
16ビット・タイマ (TM0)	動作	
16ビット・タイマ (TM1)	動作	
8ビット・タイマ (TM2, TM3)	動作	
8ビット・タイマ (TM4, TM5)	動作	
8ビット・タイマ (TM6, TM7)	動作	
8ビット・タイマ (TM10, TM11)	動作	
PWM出力 (PWM0-PWM3)	動作	
時計用タイマ	カウント・クロックにメイン・クロックを 選択時に動作	動作
ウォッチドッグ・タイマ	動作 (インターバル・タイマのみ)	
シリアル・インタ フェース	CSI0-CSI3	動作
	I ² C0 ^注 , I ² C1 ^注	動作
	UART0, UART1	動作
	CSI4	動作
A/Dコンバータ	動作	
Vsync/Hsync分離回路	動作	
DMA0-DMA5	動作	
リアルタイム出力	動作	
ポート機能	保持	
外部バス・インタフェース	バス・ホールド機能のみ動作	
外部割り込み要求	NMI	動作
	INTP0-INTP3	動作
	INTP4, INTP5	動作
	INTP6	動作
キー・リターン機能	動作	

注 μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ

★

表6 - 1 HALTモード時の動作状態 (2/2)

項目		HALTモードの設定	CPUがメイン・クロックで動作中	
			サブクロックがない場合	サブクロックがある場合
外部拡張モード時	AD0-AD15		ハイ・インピーダンス ^注	
	A16-A21		保持 ^注 (HLD $\overline{\text{AK}}$ = 0のときはハイ・インピーダンス)	
	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$			
	$\overline{\text{R/W}}$		ハイ・レベル出力 ^注 ($\overline{\text{HLD\text{AK}}} = 0$ のときはハイ・インピーダンス)	
	$\overline{\text{DSTB}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{RD}}$			
	$\overline{\text{ASTB}}$			
	$\overline{\text{HLD\text{AK}}}$		動作	

注 HALT命令実行後も、内部の命令プリフェッチ・キューがいっぱいになるまでの間は、命令フェッチ動作を継続します。いっぱいになったあと、表6 - 1の状態で停止します。

6.5.3 IDLEモード

(1) 設定および動作状態

クロック発振回路は動作を継続したままで、内部メイン・クロックの供給が停止し、システム全体（時計用タイマは除く）が停止するモードです。内部サブクロックの供給は継続されます。このモードからの解除時に、発振回路の発振安定時間を確保する必要がないため、高速に通常動作に移行できます。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します（サブクロック動作中の周辺機能は停止しません）。外部バス・ホールド要求（ $\overline{\text{HLDRQ}}$ ）は受け付けません。

パワー・セーブ・コントロール・レジスタ（PSC）のIDLEビットをセット（1）すると、このモードに移行します。

表6 - 2にIDLEモード時の動作状態を示します。

(2) IDLEモードの解除

ノンマスカブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスカブル割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

表6-2 IDLEモード時の動作状態

IDLEモードの設定		サブクロックがある場合	サブクロックがない場合
CPU		停止	
ROMコレクション		停止	
クロック発生回路		メイン・クロック，サブクロックとも発振 CPU，内蔵周辺機能へのクロック供給は停止	
CLKOUT		停止	
CLO		停止	
24ビット・タイマ (TM8, TM9)		停止	
16ビット・タイマ (TM0)		カウント・クロックにINTWTN選択時に動作 (時計用タイマのカウント・クロックにはf _{XT} を選択)	停止
16ビット・タイマ (TM1)		停止	
8ビット・タイマ (TM2, TM3)		停止	
8ビット・タイマ (TM4, TM5)		カウント・クロックにf _{XT} 選択時に動作	停止
8ビット・タイマ (TM6, TM7)		カウント・クロックにTO0選択時に動作(TM0 動作時のみ)	停止
8ビット・タイマ (TM10, TM11)		停止	
PWM出力 (PWM0-PWM3)		停止	
時計用タイマ		動作	
ウォッチドッグ・タイマ		停止	
シリアル・ インタフェ ース	CSI0-CSI3	シリアル・クロックに外部クロック選択時に動作	
	I ² C0 [≠] , I ² C1 [≠]	停止	
	UART0, UART1	ポー・レート・クロックに外部クロック選択時に動作 (送信のみ)	
	CSI4	シリアル・クロックに外部クロック選択時に動作	
A/Dコンバータ		停止	
Vsync/Hsync分離回路		停止	
DMA0-DMA5		停止	
リアルタイム出力		INTTM4, INTTM6選択時に動作 (TM4, TM6動作時)	停止
ポート機能		保持	
外部バス・インタフェース		停止	
外部割り 込み要求	NMI	動作	
	INTP0-INTP3	動作	
	INTP4, INTP5	停止	
	INTP6	サンプリング・クロックにf _{XT} 選択時に動作	停止
キー・リターン機能		動作	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス	
	A16-A21		
	LBEN, UBEN		
	R/W		
	DSTB, WRL, WRH, RD		
	ASTB		
	HLDKAK		

注 μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ

6.5.4 ソフトウェアSTOPモード

(1) 設定および動作状態

メイン・クロック発振回路を停止させ、内部メイン・クロックの供給が停止し、システム全体が停止するモードです。サブクロック発振回路は動作しており、内部サブクロックの供給は継続します。

このモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します。

パワー・セーブ・コントロール・レジスタ (PSC) のSTPビットをセット (1) すると、このモードに移行します。

表6 - 3にSTOPモード時の動作状態を示します。

(2) ソフトウェアSTOPモードの解除

ノンマスクブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスクブル割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

STOPモードを解除したときは、発振回路の発振安定時間を確保します。

表6-3 ソフトウェアSTOPモード時の動作状態

STOPモードの設定		サブクロックがある場合	サブクロックがない場合
CPU		停止	
ROMコレクション		停止	
クロック発生回路		メイン・クロック, サブクロック発振 CPU, 内蔵周辺機能へのクロック供給停止	
CLKOUT		停止	
CLO		停止	
24ビット・タイマ (TM8, TM9)		停止	
16ビット・タイマ (TM0)		カウント・クロックにINTWTN選択時に動作 (時計用タイマのカウント・クロックにはf _{XT} を選択)	停止
16ビット・タイマ (TM1)		停止	
8ビット・タイマ (TM2, TM3)		停止	
8ビット・タイマ (TM4, TM5)		カウント・クロックにf _{XT} 選択時に動作	停止
8ビット・タイマ (TM6, TM7)		カウント・クロックにTO0選択時に動作(TM0 動作時)	停止
8ビット・タイマ (TM10, TM11)		停止	
PWM出力 (PWM0-PWM3)		停止	
時計用タイマ		カウント・クロックにf _{XT} を選択時に動作	停止 (動作禁止)
ウォッチドッグ・タイマ		停止	
シリアル・ インタフェ ース	CSI0-CSI3	シリアル・クロックに外部クロック選択時に動作	
	I ² C0 [※] , I ² C1 [※]	停止	
	UART0, UART1	ポー・レート・クロックに外部クロック選択 (送信のみ) 時に動作	
	CSI4	シリアル・クロックに外部クロック選択時に動作	
A/Dコンバータ		停止	
Vsync/Hsync分離回路		停止	
DMA0-DMA5		停止	
リアルタイム出力		INTTM4, INTTM6選択時に動作 (TM4, TM6動作時)	停止
ポート機能		保持	
外部バス・インタフェース		停止	
外部割り 込み要求	NMI	動作	
	INTP0-INTP3	動作	
	INTP4, INTP5	停止	
	INTP6	サンプリング・クロックf _{XT} 選択時に動作	停止
キー・リターン機能		動作	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス	
	A16-A21		
	LBEN, UBEN		
	R/W		
	DSTB, WRL, WRH, RD		
	ASTB		
	HLDKAK		

注 μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ

★ 6.6 発振安定時間の確保

ソフトウェアSTOPモード解除後の停止状態の発振回路が安定するまでの時間の確保について次に示します。

(1) ノンマスカブル割り込み、マスクされていないマスカブル割り込み要求で時間を確保する場合

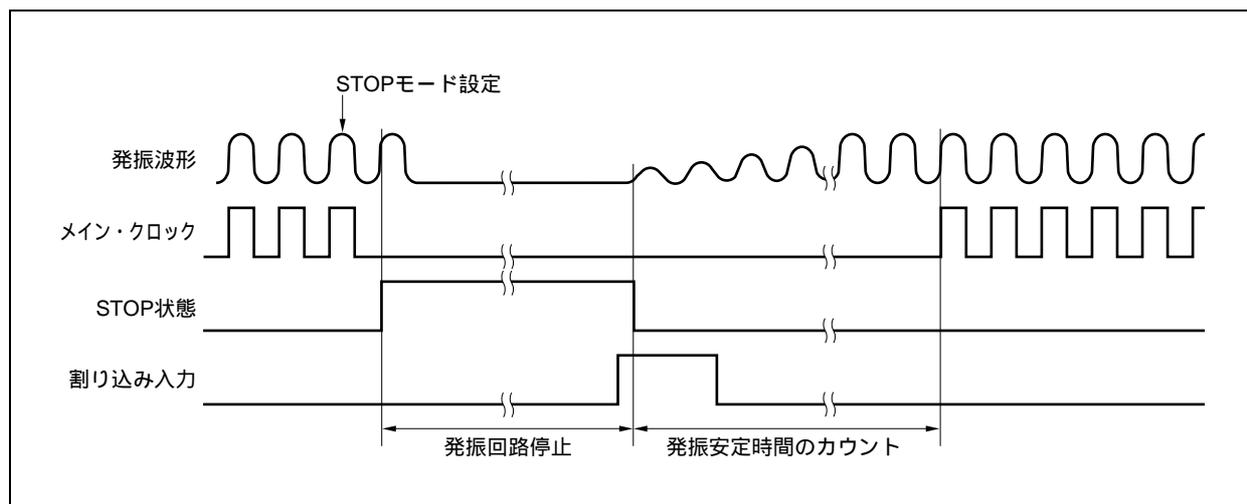
ノンマスカブル割り込み、マスクされていないマスカブル割り込み要求が入力されると、ソフトウェアSTOPモードが解除されます。ソフトウェアSTOPモードが解除されると、発振安定用タイマ（ウォッチドッグ・タイマと兼用）がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間は、発振安定時間選択レジスタ（OSTS）により設定します。

発振安定時間 WDTカウント時間

所定時間後、システム・クロック出力が開始し、プログラムを実行します。

図6 - 4 発振安定時間の確保



(2) RESET端子で時間を確保する場合（RESET端子入力）

RESET端子で時間を確保する場合には、第17章 リセット機能を参照してください。

なお、発振安定時間は、OSTSレジスタのリセット値 ($2^{19}/f_{xx}$) を選択します。

★ 6.7 パワー・セーブ機能に関する注意事項

- (i) 外部ROM上で命令実行中に、パワー・セーブ・モード (IDLEモード, またはソフトウェアSTOPモード) を使用しないでください。
- (ii) 外部ROM上で命令を実行中に、パワー・セーブ・モードを使用する場合, 次のようにソフトウェア処理をしてください。

PSCレジスタに書き込みを行う命令の4バイト後から, NOP命令を6個挿入する。

NOP命令のあとに, PCのずれを解消するために, br \$+2命令を挿入する。

【処理プログラム例】

```

ldsr  rX, 5           ; rXの値をPSWに設定
st.b  r0, PRCMD[r0]  ; PRCMDへ書き込み
st.b  rD, PSC[r0]    ; PSCレジスタ設定
ldsr  rY, 5           ; PSWの値を戻す
nop                                     ; NOP命令6個以上
nop
nop
nop
nop
nop
nop
br  $+2                ; PCのずれを解消

```

備考 rD: PSC設定値, rX: PSWに書き込む値, rY: PSWに書き戻す値が, 設定済みとします。

第7章 タイマ/カウンタ機能

7.1 24ビット・タイマ (TM8, TM9)

7.1.1 概要

24ビット・タイマ (TM8)

- ・24ビット・タイマ/イベント・カウンタ (1チャンネル)
- ・キャプチャ/コンペア共用レジスタ: 4本 (CC80-CC83)
- ・A/Dコンバータのトリガとして使用可能 (CC83一致)
- ・セット/リセット出力: 2本 (TO80, TO81)
- ・タイマのクリア&スタート
- ・外部入力パルス測定可能
- ・オーバフロー割り込み要求とオーバフロー・フラグあり
- ・用途: パルス幅や周波数の測定, 多彩な形状のパルス出力

24ビット・タイマ (TM9)

- ・24ビット・タイマ/イベント・カウンタ (1チャンネル)
- ・キャプチャ・レジスタ: 4本 (CP90-CP93)
- ・コンペア・レジスタ: 2本 (CM90, CM91)
- ・1-64/1-128分周器付きINTCP90-INTCP93エッジ検出回路
- ・リアルタイム出力ポートのトリガとして使用可能 (CM90, CM91一致)
- ・オーバフロー割り込み要求とオーバフロー・フラグあり
- ・タイマのクリア&スタート
- ・用途: ソフトウェア・サーボなどのパルス間隔や周波数の測定

7.1.2 V850/SV1とV854の24ビット・タイマ動作の違い

表7-1 V854のTM0とV850/SV1のTM8の違い

項目	V854	V850/SV1
レジスタ名称	TM0, CC00-CC03, TMC00-TMC02, TOC0	TM8, CC80-CC83, TMC80-TMC82, TOC8
キャプチャ・トリガ/ キャプチャ割り込み	INTP00-INTP03	INTCP80-INTCP83
コンパレー一致割り込み	INTCC00-INTCC03	INTCM80-INTCM83
外部クロック・クリア入力/ 割り込み	TCLR0/INTP04, TI0/INTP05	TCLR8/INTTCLR8, TI8/INTTI8
タイマ出力	TO00, TO01	TO80, TO81
オーバフロー割り込み	INTOV0	INTOV8
システム・クロック	Φ	f _{xx}
16ビット・アクセス機能	あり (TM8L, CC0nL : n = 0-3)	なし
タイマ・リード動作	リード期間, タイマを停止しない	リード期間, タイマを停止する (カウント・クロックをマスクする)
外部キャプチャ/外部クロック/外 部クリアの有効エッジ指定	INTTM1, INTTM2により指定 (デフォルト: 立ち下がリエッジ有効)	EGP2, EGN2により指定 (デフォルト: エッジ無効)
キャプチャ・レジスタ・リードとキ ャプチャ・タイミングの競合動作	キャプチャ前, もしくはキャプチャ後の値が リードされる	リード値が不定となる。キャプチャ・レジス タには正常な値がキャプチャされる (2度読みするなどの対策が必要)

表7 - 2 V854のTM1とV850/SV1のTM9の違い

項 目	V854	V850/SV1
レジスタ名称	TM1, CP10-CP13, CM10, CM11, TMC1	TM9, CP90-CP93, CM90, CM91, TMC90, TMC91 (新規追加)
キャプチャ・トリガ/ キャプチャ割り込み	INTP10-INTP13	INTCP90-INTCP93
コンペア一致割り込み	INTCM10, INTCM11	INTCM90, INTCM91
外部クロック・クリア入力/ 割り込み	TI1/INTP14	TI9/INTTI9
オーバフロー割り込み	INTOV1	INTOV9
システム・クロック	Φ	f _{xx}
16ビット・アクセス機能	あり (TM9L, CP1nL, CM1nL : n = 0,1)	なし
タイマ・リード動作	リード期間, タイマを停止しない	リード期間, タイマを停止する (カウント・クロックをマスクする)
外部キャプチャ/外部クロック/外 部クリアの有効エッジ指定	INTTM2, INTTM3により指定 (デフォルト: 立ち下がりエッジ有効)	EGP3, EGN3により指定 (デフォルト: エッジ無効)
キャプチャ・レジスタ・リードとキ ャプチャ・タイミングの競合動作	キャプチャ前, もしくはキャプチャ後の値が リードされる	リード値が不定となる。キャプチャ・レジス タには正常な値がキャプチャされる (2度読みするなどの対策が必要)
CPn1キャプチャ・トリガ・ソース(n = 1, 9)	INTP11のみ	INTCP91とVsync信号をセレクト可能

7.1.3 機能

図7 - 1, 7 - 2に24ビット・タイマのブロック図を示します。

図7 - 1 TM8のブロック図

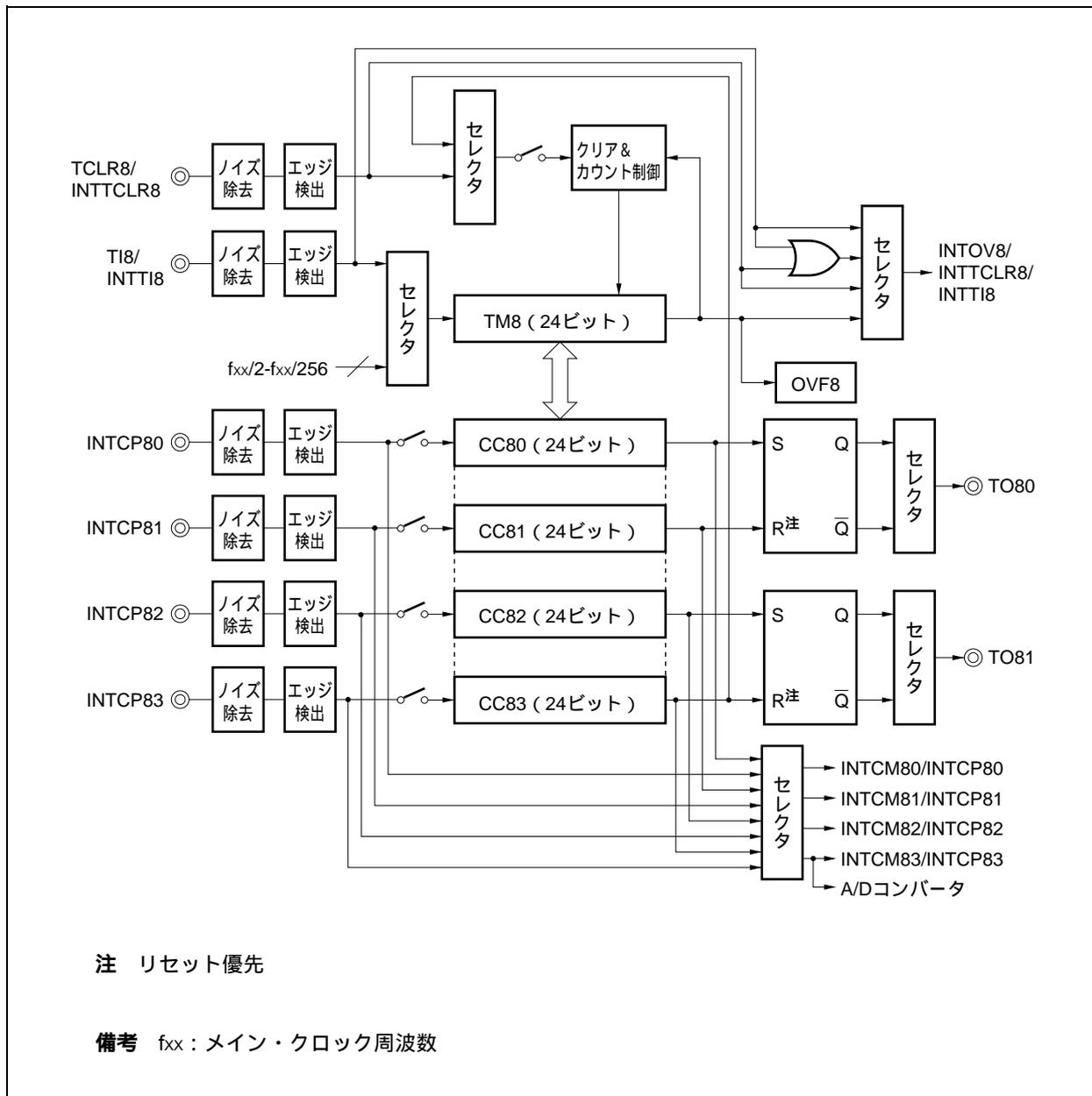
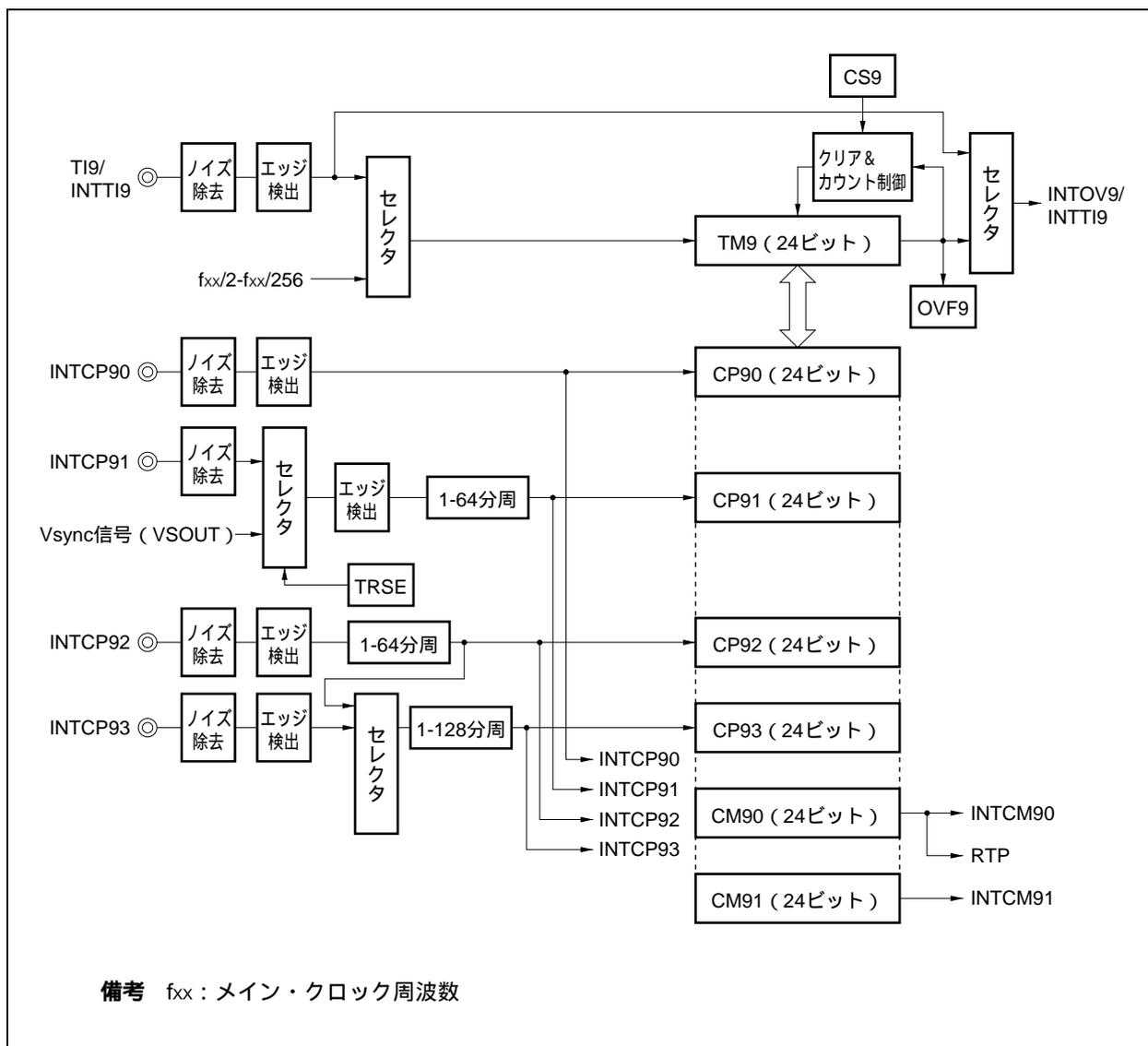


図7-2 TM9のブロック図



7.1.4 構成

24ビット・タイマ8, 9は, 次のハードウェアで構成されています。

表7 - 3 タイマ8, 9の構成

項目	構成
タイマ・レジスタ	24ビット×2本 (TM8, TM9)
レジスタ	キャプチャ/コンペア・レジスタ: 24ビット×4本 (CC8n) コンペア・レジスタ: 24ビット×2本 (CM90, CM91) キャプチャ・レジスタ: 24ビット×4本 (CP9n)
タイマ出力	2本 (TO80, TO81)
制御レジスタ	24ビット・タイマ・モード・コントロール・レジスタ8m (TMC8m) 24ビット・タイマ・モード・コントロール・レジスタ90, 91 (TMC90, TMC91) 24ビット・タイマ出力コントロール・レジスタ8 (TOC8) タイマ・オーバフロー・ステータス・レジスタ (TOVS)

備考: n = 4, m = 3

(1) タイマ8

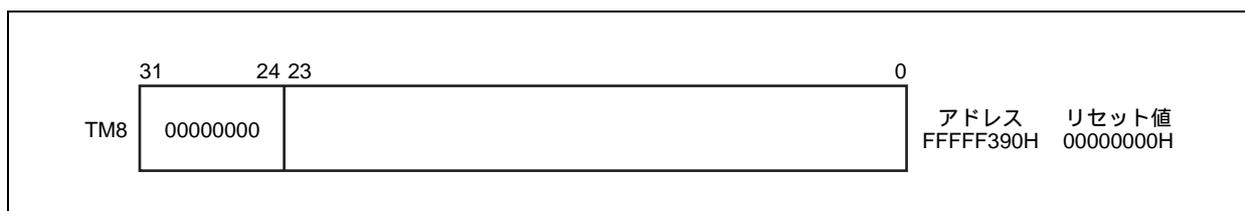
(a) タイマ8 (TM8)

タイマ8は, 24ビットのインターバル・タイマ, または外部信号のイベント・カウンタとして機能します。おもに周期計測, または周波数計測のほか, パルス出力としても利用できます。

32ビット・アクセス時, 上位8ビットには0が格納されます。

TM8は, 内部カウント・クロックのカウント・アップ動作を行います。TM8のスタートおよびストップは, 24ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) のCE8ビットで制御します。

TM8は32ビット・リード・アクセスのみ可能です。

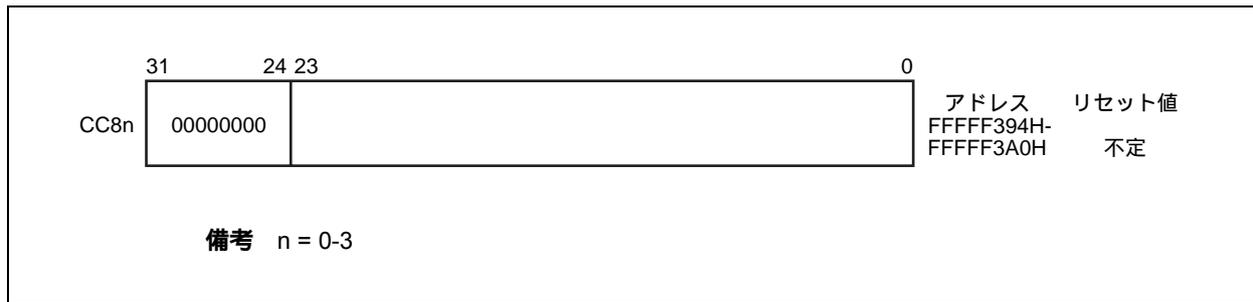


(b) キャプチャ/コンペア・レジスタ80-83 (CC80-CC83)

キャプチャ/コンペア・レジスタは24ビット・レジスタでTM8に接続されています。24ビット・タイマ・モード・コントロール・レジスタ81 (TMC81) の指定により, キャプチャ・レジスタまたはコンペア・レジスタとして利用できます。

32ビット・アクセス時, 上位8ビットには0が格納されます。

CC8nは32ビット・リード/ライト可能です。ビット24-ビット31に書き込まれた値は無視されます。



(i) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込み要求INTCP8n (n = 0-3) の有効エッジをキャプチャ・トリガとして検出します。タイマ8はキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

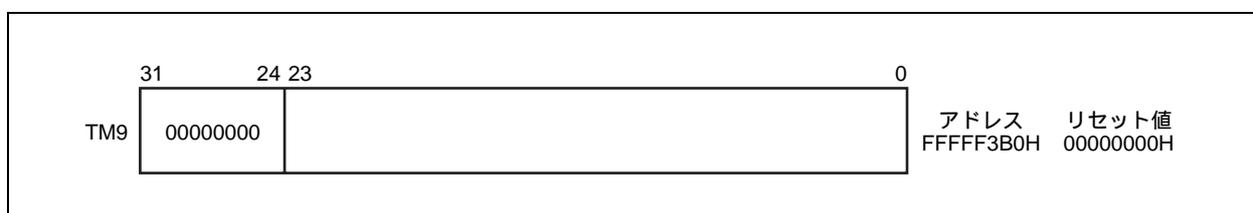
(ii) コンペア・レジスタに設定

コンペア・レジスタに設定した場合は、タイマのカウント・クロックごとにタイマとレジスタ値を比較し、一致による割り込み要求を発生します。
 コンペア・レジスタはセット/リセット出力機能を備えています。一致信号発生に同期して、対応するタイマ出力をセット/リセットします。

(2) タイマ9

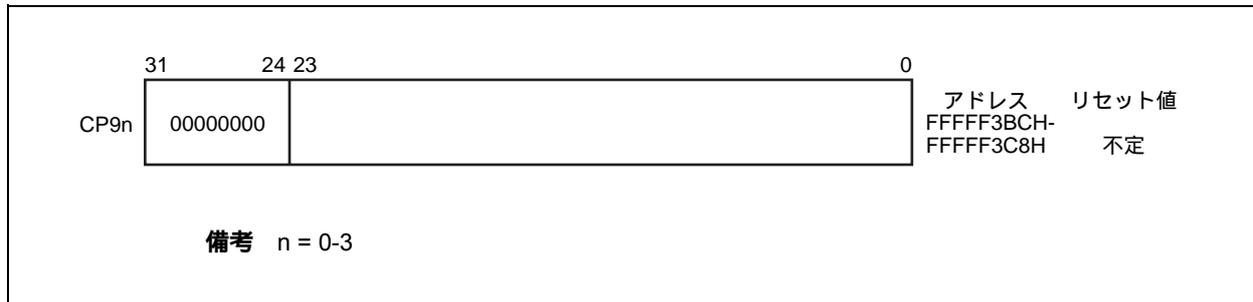
(a) タイマ9 (TM9)

TM9は、24ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測、または周波数計測のほか、パルス出力としても利用できます。
 32ビット・アクセス時、上位8ビットには0が格納されます。
 TM9は、内部カウント・クロックのカウント・アップ動作を行います。TM9のスタートおよびストップは、24ビット・タイマ・モード・コントロール・レジスタ90 (TMC90) のCE9ビットで制御します。
 TM9は32ビット・リード・アクセスのみ可能です。



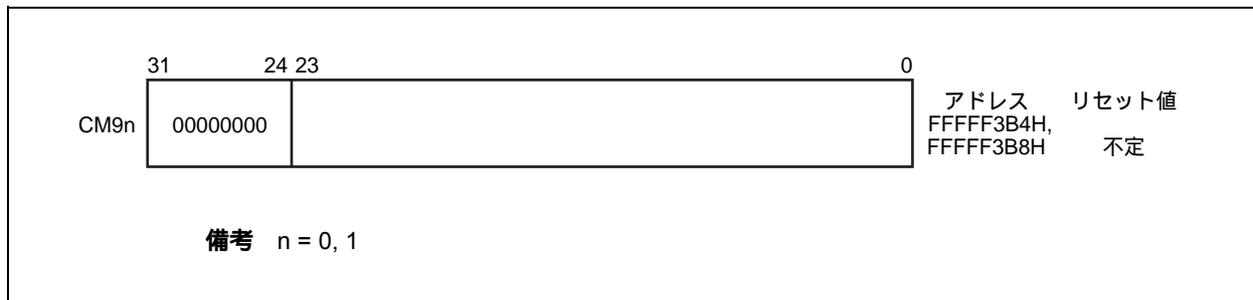
(b) キャプチャ・レジスタ90-93 (CP90-CP93)

キャプチャ・レジスタは24ビット・レジスタでTM9に接続されています。32ビット単位でリードのみ可能です。



(c) コンペア・レジスタ90, 91 (CM90, CM91)

コンペア・レジスタは24ビット・レジスタでTM9に接続されています。32ビット単位でリード/ライト可能です。ビット24-ビット31に書き込まれた値は無視されます。



7.1.5 タイマ8, 9制御レジスタ

(1) 24ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

TMC80は、TM8のカウント許可/禁止制御、カウント・クロックの指定を行います。

8/1ビット単位でリード/ライト可能です。

リセット時：01H R/W アドレス：FFFFFF3A4H

			5	4	3	2	1	0
TMC80	CE8	OST8	0	0	PRM83	PRM82	PRM81	PRM80

CE8	タイマ・カウントの許可/禁止の指定
0	タイマ・カウント禁止 (TM8 = 000000Hで停止)
1	タイマ・カウント許可

TMC82レジスタのECLR8ビット = 1のときは、TCLR8入力があるまでタイマはカウント・アップを開始しません。TMC82レジスタのECLR8ビット = 0のときは、CE8ビットへの“1”ライト動作がタイマのカウント・スタート・トリガになります。したがって、ECLR8 = 1の状態ではCE8をセットしたあと、ECLR8 = 0としても、タイマはスタートしません。

OST8	タイマのオーバーフロー後の動作の指定
0	タイマのオーバーフロー後、タイマはカウント・アップを続行
1	タイマのオーバーフロー後、タイマは000000Hを保持し停止

次の動作によりカウント・アップを再開します。
 ECLR8 = 0のとき：CE8ビットへの“1”書き込み
 ECLR8 = 1のとき：TCLR8端子へのトリガ入力

PRM83	PRM82	PRM81	PRM80	カウント・クロック
0	0	0	1	$f_{xx}/2$ (デフォルト値)
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	0	$f_{xx}/64$
0	1	1	1	$f_{xx}/128$
1	0	0	0	$f_{xx}/256$
1	1	1	1	TI8入力
その他				設定禁止

注意 タイマ動作中にカウント・クロックを変更しないでください。

備考 f_{xx} : メイン・クロック周波数

(2) 24ビット・タイマ・モード・コントロール・レジスタ81 (TMC81)

TMC81は、キャプチャ/コンペア・レジスタの機能選択、タイマ・クリア機能の許可/禁止を設定します。

タイマ8動作中にTMC81の内容を書き換えても、レジスタ内容、タイマ・カウント動作には影響しません。
8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF3A6H

	7	6	5	4	3	2	1	0
TMC81	CMS83	CMS82	CMS81	CMS80	IMS83	IMS82	IMS81	IMS80

CMS8n	IMS8n	CC8nレジスタ動作モード/割り込みソース選択
0	0	キャプチャ・レジスタとして動作。キャプチャ・タイミングで割り込み要求発生。
0	1	設定禁止
1	0	コンペア・レジスタとして動作。コンペア・レジスタの一致信号で割り込み要求発生。INTCP8nからのキャプチャ・トリガは無視。
1	1	コンペア・レジスタとして動作。INTCP8n信号入力タイミングで割り込み要求発生。

備考 n = 0-3

(3) 24ビット・タイマ・モード・コントロール・レジスタ82 (TMC82)

TMC82は、キャプチャ/コンペア・レジスタの機能選択、タイマ・クリア機能の許可/禁止を設定します。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFF3A8H							
	7	6	5	4	3	2	0
TMC82	0	0	IMS85	IMS84	0	0	ECLR8 CCLR8
	IMS85	IMS84	CC8nレジスタ動作モード/割り込みソース選択				
	0	0	TM8によるオーバフロー割り込み要求発生				
	0	1	INTTCLR8による割り込み要求発生				
	1	0	INTTI8による割り込み要求発生				
	1	1	INTTCLR8, INTTI8の論理和 (OR) による割り込み要求発生				
	ECLR8	外部クリア入力 (TCLR8) によるTM8のクリア&スタート					
	0	TM8をクリアしない。					
	1	TM8をクリアし、カウント・アップ開始					
	CCLR8	CC83一致によるTM8のクリア&スタート					
	0	TM8をクリアしない。					
	1	TM8をクリアし、カウント・アップ開始					

(4) 24ビット・タイマ・モード・コントロール・レジスタ90 (TMC90)

TMC90は、TM9のカウンタ許可/禁止制御、カウンタ・クロックの指定を行います。
8/1ビット単位でリード/ライト可能です。

リセット時：01H R/W アドレス：FFFFFF3CCH

TMC90	CE9	OST9	CS9 ^注	IMS9	PRM93	PRM92	PRM91	PRM90
					3	2	1	0

CE9	タイマ・カウンタの許可/禁止を指定
0	タイマ・カウンタ禁止 (TM9 = 000000Hで停止)
1	タイマ・カウンタ許可

OST9	タイマ9のオーバフロー後の動作を指定します
0	タイマ9のオーバフロー後、タイマはカウンタ・アップを続行
1	タイマ9のオーバフロー後、タイマは000000Hを保持し停止
次の動作によりカウンタ・アップを再開します。	
CE9ビットへの“1”書き込み	
CS9ビットへの“1”書き込み	

CS9	ソフトウェアにより、TM9のクリア&スタートを制御
0	カウンタ継続
1	TM9をクリアし、再びカウンタ開始

IMS9	割り込みソースの選択
0	TM9のオーバフローによる割り込み要求発生
1	INTTI9信号による割り込み要求発生

PRM93	PRM92	PRM91	PRM90	カウンタ・クロック
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2 (デフォルト値)
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	0	f _{xx} /64
0	1	1	1	f _{xx} /128
1	0	0	0	f _{xx} /256
1	1	1	1	TI9入力
その他				設定禁止

注 CS9はリード時、常に0です。

注意 タイマ動作中にカウンタ・クロックを変更しないでください。

備考 f_{xx} : メイン・クロック周波数

(5) 24ビット・タイマ・モード・コントロール・レジスタ91 (TMC91)

TMC91は、キャプチャ・レジスタ (CP91) キャプチャ・トリガの選択を行います。
8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF3CEH

	7	6	5	4	3	2	1	0
TMC91	0	0	0	0	0	0	0	TRSEL

TRSEL	CP91のキャプチャ・トリガの選択
0	外部キャプチャ信号 (INTCP91)
1	Vsync信号 (VSOUT)

(6) タイマ出力コントロール・レジスタ8 (TOC8)

TOC8はTO80, TO81端子からタイマ出力を制御します。
8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF3AAH

	7	6	5	4	3	2	1	0
TOC8	0	0	0	0	ENTO81	ALV81	ENTO80	ALV80

ENTO8n	対応する各タイマ出力 (TO8n) の許可
0	タイマ出力禁止 (対応するTO8n端子からはALV8nビットの逆相のレベル (インアクティブ・レベル) が出力します。対応するコンペア・レジスタから一致信号が発生してもTO8n端子のレベルは変化しません。)
1	タイマ出力許可。 (対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは、ALV8nビットの逆相レベル (インアクティブ・レベル) が出力されます。)

ALV8n	タイマ出力 (TO8n) のアクティブ・レベルを指定
0	ロウ・レベル
1	ハイ・レベル

注意 TO80, TO81出力は外部割り込み信号 (INTCP80-INTCP83) では変化しません。
TO80, TO81信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタに指定 (CMS80-CMS83をすべて1に設定 : 7. 1. 5 (2) 24ビット・タイマ・モード・コントロール・レジスタ81 (TMC81) 参照) してください。

備考1 . TO80, TO81出力のF/Fはリセット優先です。
2 . n = 0, 1

(7) タイマ・オーバーフロー・ステータス・レジスタ (TOVS)

TM8, TM9のオーバーフロー・フラグを割り当てています。

8/1ビット単位でリード/ライト可能です。

TOVSレジスタをソフトウェアでテスト&リセットすることで、オーバーフロー発生をポーリングすることができます。

リセット時：00H R/W アドレス：FFFFFF3ACH

	7	6	5	4	3	2	0
TOVS	0	0	0	0	0	0	OVF9 OVF8

ビット位置	TMnオーバーフロー・フラグ
0	オーバーフロー発生なし
1	オーバーフローが発生

オーバーフローに同期して、TMnから割り込みコントローラに対して割り込み要求信号INTOVnが発生しますが、割り込み動作とTOVSとはまったく独立しており、TMnからのオーバーフロー・フラグ (OVFn) に対しても、他のオーバーフロー・フラグ同様書き換えられます。このとき、INTOVnに対応する割り込みコントローラ内の割り込み要求フラグ (OVIFn) には影響を与えません。

CPUからのアクセス期間中はTOVSレジスタへの転送は行われません。したがって、TOVSレジスタの読み出し中にオーバーフローが発生しても、フラグの値は変化せず、次の読み出し時に反映されます。

備考 n = 8, 9

(8) 立ち上がりエッジ指定レジスタ2 (EGP2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0C8H

	7	6						0
EGP2	0	0	EGP25	EGP24	EGP23	EGP22	EGP21	EGP20

EGP2n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP80
n = 1 : INTCP81
n = 2 : INTCP82
n = 3 : INTCP83
n = 4 : TCLR8/INTTCLR8
n = 5 : TI8/INTTI8

(9) 立ち下がりエッジ指定レジスタ2 (EGN2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0CAH

	7	6						0
EGN2	0	0	EGN25	EGN24	EGN23	EGN22	EGN21	EGN20

EGN2n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP80
n = 1 : INTCP81
n = 2 : INTCP82
n = 3 : INTCP83
n = 4 : TCLR8/INTTCLR8
n = 5 : TI8/INTTI8

(10) 立ち上がりエッジ指定レジスタ3 (EGP3)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0CCH

	7	6	5					0
EGP3	0	0	0	EGP34	EGP33	EGP32	EGP31	EGP30

EGP3n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP90
n = 1 : INTCP91
n = 2 : INTCP92
n = 3 : INTCP93
n = 4 : TI9/INTT19

(11) 立ち下がりエッジ指定レジスタ3 (EGN3)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0CEH

	7	6	5					0
EGN3	0	0	0	EGN34	EGN33	EGN32	EGN31	EGN30

EGN3n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP90
n = 1 : INTCP91
n = 2 : INTCP92
n = 3 : INTCP93
n = 4 : TI9/INTT19

7.1.6 分周器

V850/SV1ではP141-P143 (INTCP91-INTCP93) 端子に入力された信号を内部で分周できます。分周結果は外部割り込み要求信号か、タイマのキャプチャ・トリガになります。

イベント・ディバイド制御レジスタn(EDVCn)に分周比を設定し、イベント・ディバイド・カウンタn(EDVn)と比較して一致したときに内部イベント信号とすることで、INTCP信号を分周します。

INTCP91, INTCP92信号は1-64分周が可能です。INTCP93信号は、1-128分周が可能です。INTCP92信号を1-64分周した信号は、さらに1-128分周できますが、この機能を使用した場合、INTCP93信号は使用できません。

次にINTCP91-INTCP93入力について図7-3に示します。

図7-3 INTCP9m入力 (m = 1-3)

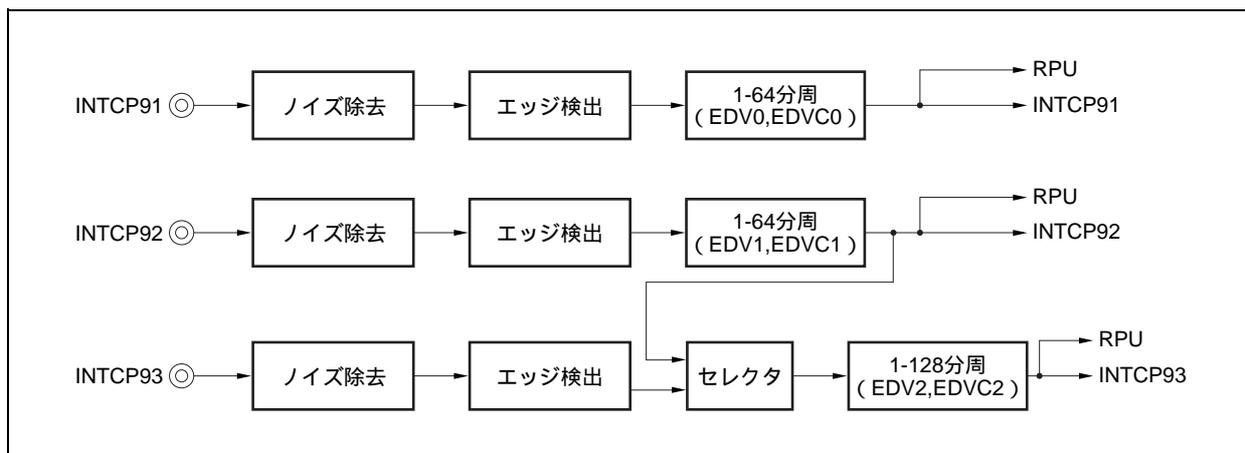
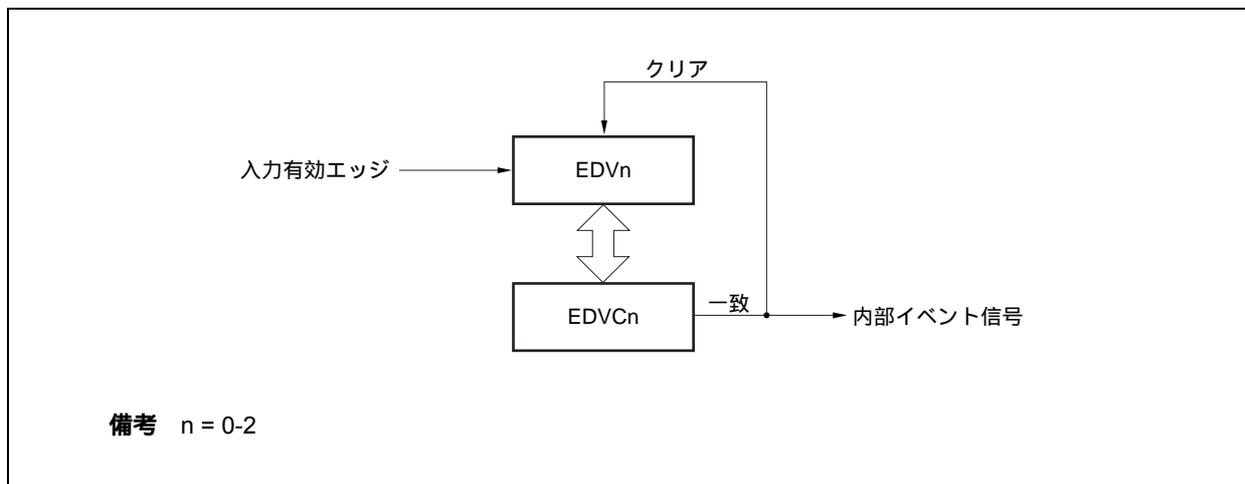


図7-4 分周器



(1) イベント・ディバイド・カウンタ0-2 (EDV0-EDV2)

INTCP9m信号入力信号の有効エッジをカウントするレジスタです。EDV0, EDV1レジスタは6ビット・カウンタ, EDV2レジスタは7ビット・カウンタで構成されています。(m = 1-3)

このレジスタがクリアされるタイミングは、次の2つです。

- ・ イベント・ディバイド制御レジスタn (EDVCn) の値とカウント値が一致 (n = 0-2)
- ・ EDVCnレジスタへの書き込み (n = 0-2)

8/1ビット単位でリードのみ可能です。なおEGP3/EGN3レジスタの有効エッジ指定変更中にエッジ入力があっても、カウントされないことがあります。

EDV0	リセット時: 00H	R	アドレス: FFFFF3D2H					
EDV1	リセット時: 00H	R	アドレス: FFFFF3D4H					
EDV2	リセット時: 00H	R	アドレス: FFFFF3D6H					
			7 6 5 4 3 2 1 0					
EDV0	0	0	EDV05	EDV04	EDV03	EDV02	EDV01	EDV00
EDV1	0	0	EDV15	EDV14	EDV13	EDV12	EDV11	EDV10
EDV2	0	EDV26	EDV25	EDV24	EDV23	EDV22	EDV21	EDV20

(2) イベント・ディバイド制御レジスタ0-2 (EDVC0-EDVC2)

INTCP9n (n = 0-3) 信号入力信号の分周比を設定するレジスタです。設定値がそのまま分周比になります。ただし、0を設定した場合は最高分周比になり、EDVC0, EDVC1は64分周, EDVC2は128分周になります。

EDVC0, EDVC1のビット7, 6とEDVC2のビット7は“0”に固定されており、“1”を書き込んでも無視されます。

8/1ビット単位でリード/ライト可能です。

EDVC0	リセット時: 00H	R/W	アドレス: FFFFF3D8H					
EDVC1	リセット時: 00H	R/W	アドレス: FFFFF3DAH					
EDVC2	リセット時: 00H	R/W	アドレス: FFFFF3DCH					
			7 6 5 4 3 2 1 0					
EDVC0	0	0	EDVC05	EDVC04	EDVC03	EDVC02	EDVC01	EDVC00
EDVC1	0	0	EDVC15	EDVC14	EDVC13	EDVC12	EDVC11	EDVC10
EDVC2	0	EDVC26	EDVC25	EDVC24	EDVC23	EDVC22	EDVC21	EDVC20

(3) イベント選択レジスタ (EVS)

EDV2レジスタに入力する信号を選択するレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFFF3DEH

	7	6	5	4	3	2	1	0
EVS	0	0	0	0	0	0	0	ESE

ビット位置	ビット名	立ち上がりエッジ有効の制御
0	ESE	Event select EDV2レジスタへの入力信号を選択します。 0 : INTCP93信号 1 : INTCP92信号のEDVC1レジスタによる分周結果

7.2 24ビット・タイマ (TM8) の動作

7.2.1 カウント動作

タイマ8は、24ビットのインターバル・タイマ、または外部信号のイベント・カウンタとして機能します。動作の設定は24ビット・タイマ・モード・コントロール・レジスタ80-82 (TMC80-TMC82) で指定します。

タイマ8は、カウント・クロックによってカウント・アップを行います。カウントの開始/停止はタイマ・コントロール・レジスタ80 (TMC80) のCE8ビットで制御します。

(1) カウント開始

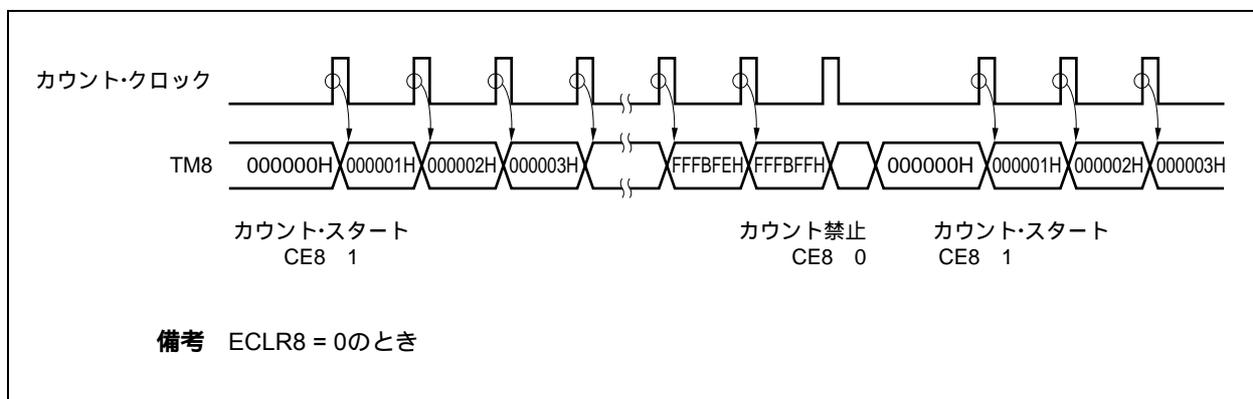
TMC82レジスタのECLR8ビットが0のときに、CE8ビットを1に設定するとカウントを開始します。ただし、ECLR8ビットが1のときは、TCLR8信号が入力されるまでカウントを開始しません。したがって、ECLR8 = 1の状態ではCE8 = 1にしたあとECLR8 = 0にしても、カウントを開始しません。

また、カウント動作中 (CE8 = 1) に、さらに1を書き込んでも、TM8レジスタをクリアせずカウント動作を継続します。

(2) カウント停止

CE8ビットを0に設定するとカウントを停止します。タイマ8は、TMC80レジスタのOST8ビットを1にするとオーバフロー後に動作を停止しますが、CE8 = 0に設定することで、すぐにタイマ8の値をクリアできます。

図7-5 タイマ8の基本動作



7.2.2 カウント・クロック選択

タイマ8に入力される。カウント・クロックには内部と外部があり，TMC80レジスタのPRM80-PRM83ビットで選択できます。

注意 タイマの動作中にカウント・クロックを変更しないでください。

TMC80レジスタのPRM8nビットの設定によって次のようにカウント・クロックを選択できます。

- ・ $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$ の8通りから内部カウント・クロックを選択
- ・ TI8端子に入力される信号をカウント（このとき，タイマ8はイベント・カウンタとして動作）

PRM8nビットは，次のように設定できます。

PRM83	PRM82	PRM81	PRM80	カウント・クロック
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	0	$f_{xx}/64$
0	1	1	1	$f_{xx}/128$
1	0	0	0	$f_{xx}/256$
1	1	1	1	TI8入力
その他				設定禁止

TI8の有効エッジはEGP2, EGN2で指定します。7.1.5 (8) **立ち上がりエッジ指定レジスタ2 (EGP2)** , 7.1.5 (9) **立ち下がりエッジ指定レジスタ2 (EGN2)** を参照してください

備考 n = 0-3

7.2.3 オーバフロー

TM8レジスタが、カウント・クロックをFFFFFFHまでカウントした結果オーバフローすると、TOVSレジスタのOVF8フラグをセットし、オーバフロー割り込み (INTOV8) を発生します。OVF8フラグの値は、ユーザのアプリケーションで変更されるまで保持されます。

TM8レジスタのオーバフロー後の動作は、OST8ビットで決定します。

(1) OST8 = 0時のオーバフロー後の動作

そのままカウントを継続します。

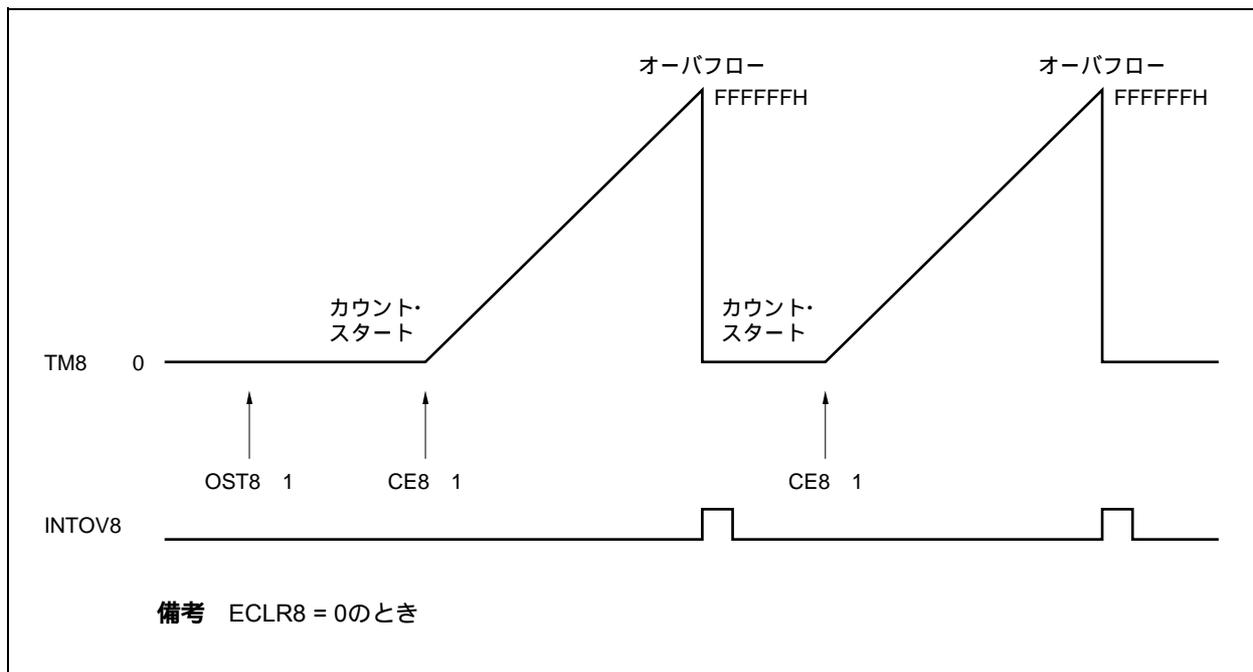
(2) OST8 = 1時のオーバフロー後の動作

TM8 = 000000Hを保持し、カウント動作を停止します。このとき、CE8 = 1のまままで停止するため、カウントを再開するには次のように制御してください。

- ・ ECLR8 = 0のとき：CE8ビットへの“1” ライト動作
- ・ ECLR8 = 1のとき：TCLR8端子へのトリガ入力

なお、カウント動作中にCE8ビットを1に設定しても、動作には影響ありません。

図7 - 6 オーバフロー後の動作 (ECLR8 = 0, OST8 = 1の場合)



7.2.4 タイマのクリア/スタート

タイマ8のクリア/スタートの方法にはオーバーフローによるもの、TCLR8信号入力によるもの、CC83一致によるものの3種類があります。

(1) オーバフローによるクリア/スタート

動作の詳細は7.2.3 オーバフローを参照してください。

(2) TCLR8信号入力によるクリア/スタート

タイマ8は、通常TMC80レジスタのCE8ビットに1をセットするとカウント動作を開始しますが、外部入力TCLR8によって、TM8をクリアし、カウント動作を開始できます。

ECLR8 = 1, OST8 = 0に設定し、CE8ビットに1をセットしたあと、TCLR8信号に有効エッジを入力すると、カウント動作を開始します。また、動作中にTCLR8信号に有効エッジが入力されると、TM8の値をクリアし、カウント動作を再開します(図7-7参照)。

ECLR8 = 1, OST8 = 1に設定し、CE8ビットに1をセットしたあと、TCLR8信号に有効エッジを入力すると、カウント動作を開始します。TM8がオーバーフローすると、カウント動作はいったん停止し、TCLR8信号に有効エッジが入力されるまでカウント動作は再開しません。カウント動作中にTCLR8信号の有効エッジが検出されると、TM8はクリアされカウント動作を続けます(図7-8参照)。なおTM8のオーバーフロー後、CE8ビットに1をセットしてもカウント動作は再開しません。

CE8 = 0のときは、TCLR8入力は無効です。

図7-7 TCLR8信号入力によるタイマのクリア/スタート動作 (ECLR8 = 1, CCLR8 = 0, OST8 = 0の場合)

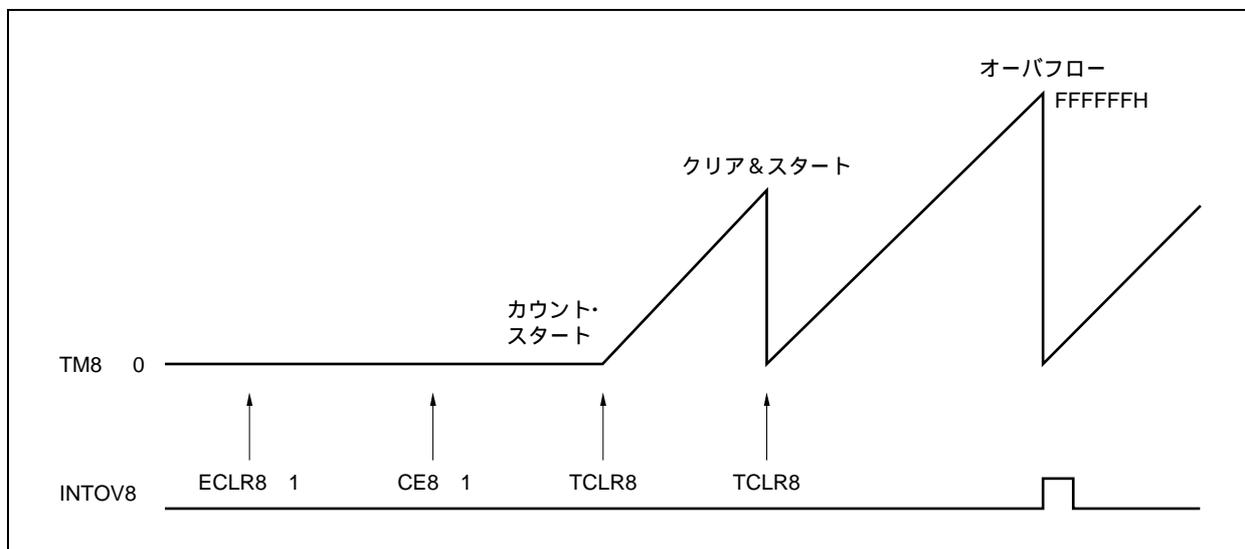
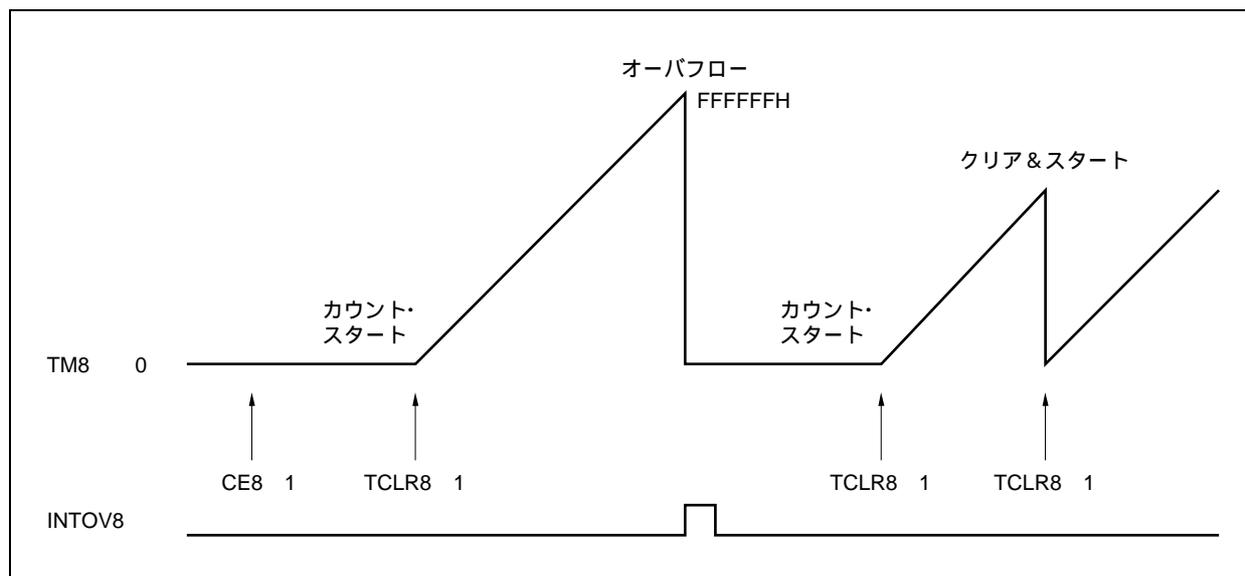


図7 - 8 TCLR8信号入力によるタイマのクリア/スタート動作とオーバーフロー動作の関係
(ECLR8 = 1, OST8 = 1の場合)



(3) CC83一致によるクリア/スタート

タイマ8は、通常TMC80レジスタのCE8ビットに1をセットするとカウント動作を開始しますが、CC83一致 (INTCC83) が発生することによって、TM8をクリアしカウント動作を開始できます。

CCLR8 = 1, CMS83 = 1に設定し、CE8ビットに1をセットすると、カウント動作を開始します。また、動作中にCC83一致が発生すると、TM8は値をクリアし、カウント動作を再開します (図7 - 9参照)。

また、カウント動作中にTM8の現在のカウント値より小さい値をCC83に設定し、カウント動作を続けると、TM8のオーバーフローが発生します (図7 - 10参照)。

オーバーフロー後の動作については7.2.3 **オーバーフロー**を参照してください。

図7 - 9 CC83一致によるタイマのクリア/スタート動作 (CCLR8 = 1, OST8 = 0の場合)

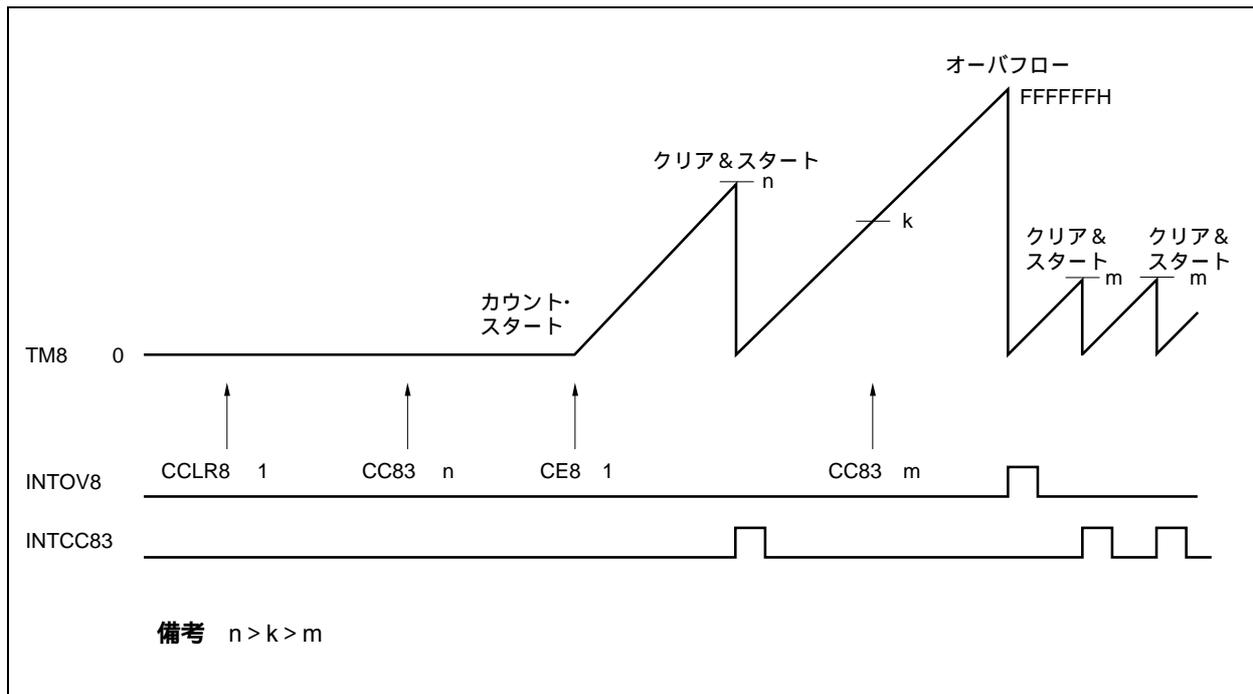
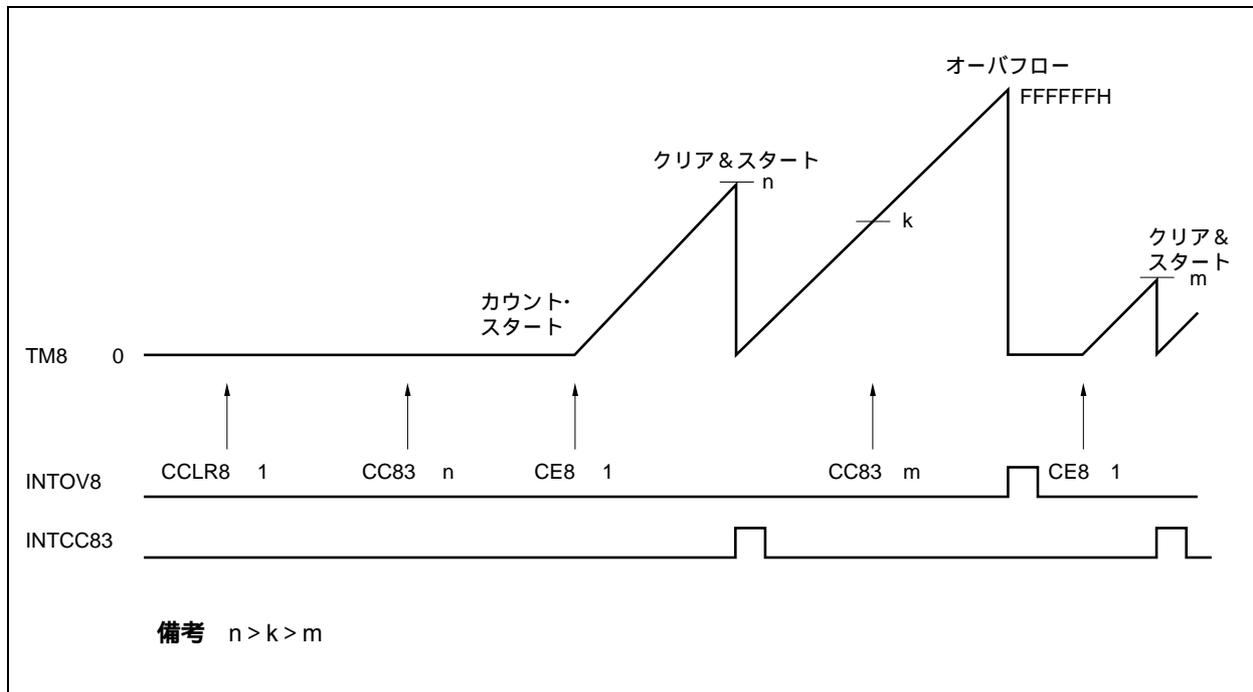


図7 - 10 CC83一致によるタイマのクリア/スタート動作とオーバーフロー動作の関係 (CCLR8 = 1, OST8 = 1の場合)



7.2.5 キャプチャ動作

キャプチャ/コンペア・レジスタ (CC80-CC83) は、TMC81レジスタをキャプチャ・レジスタに設定すると外部トリガに同期して、TM8のカウンタ値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子INTCP8nから検出された有効エッジを用います (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウント中のTM8のカウンタ値をキャプチャ・レジスタに取り込み保持し、同時に割り込み要求INTCP8nを発行します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

キャプチャ・レジスタへのキャプチャ・タイミングと、命令によるレジスタへの書き込み動作が競合した場合は後者が優先され、キャプチャ動作は無視されます。

備考 n = 0-3

表7-4 24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (タイマ8)

キャプチャ・トリガ信号	キャプチャ・レジスタ	割り込み要求
INTCP80	CC80	INTCP80
INTCP81	CC81	INTCP81
INTCP82	CC82	INTCP82
INTCP83	CC83	INTCP83

キャプチャ・トリガの有効エッジは、立ち上がり / 立ち下がりエッジ指定レジスタ2 (EGP2, EGN2) により設定します。

立ち上がり、立ち下がりの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

図7 - 11 TM8キャプチャ動作例

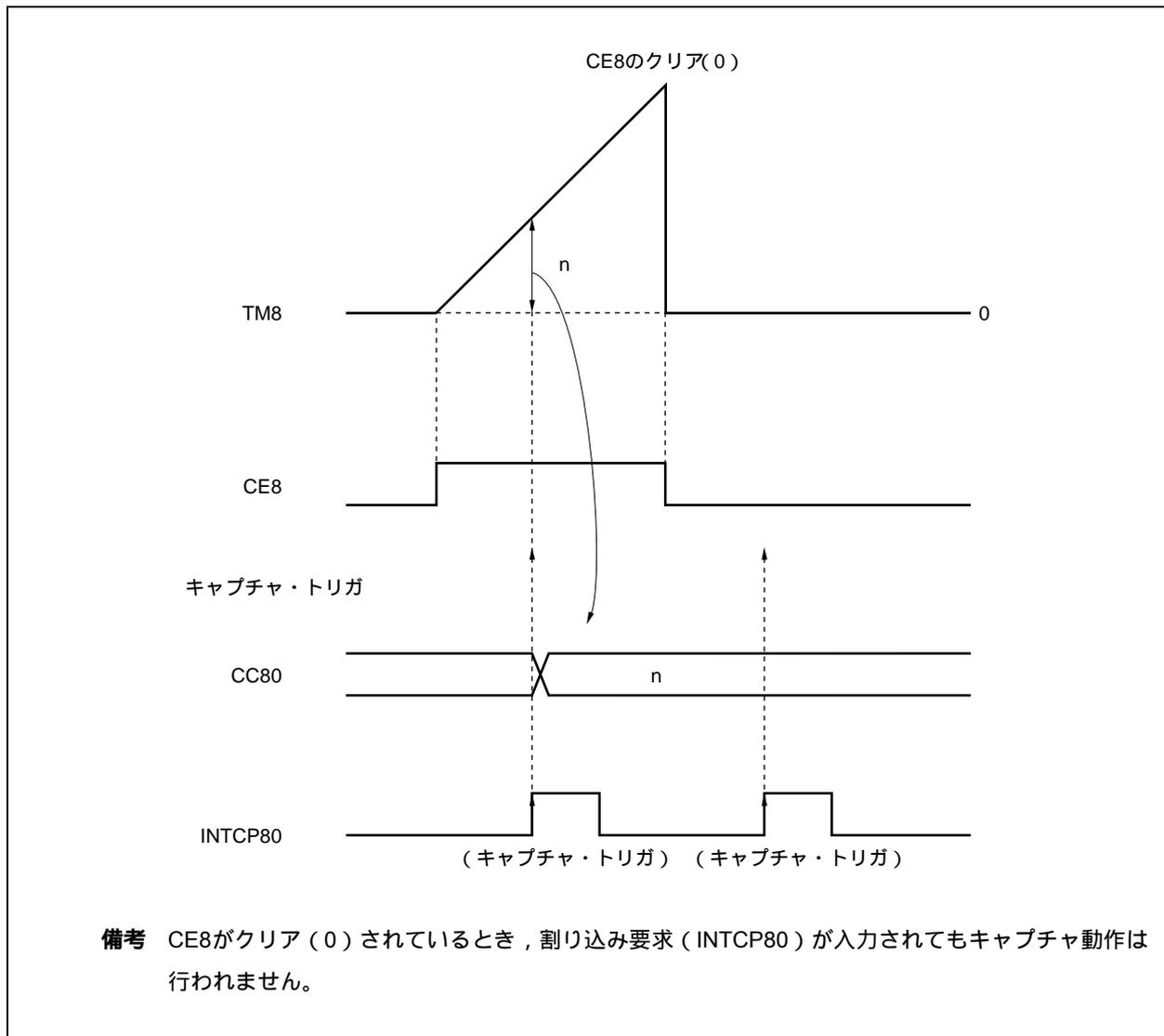
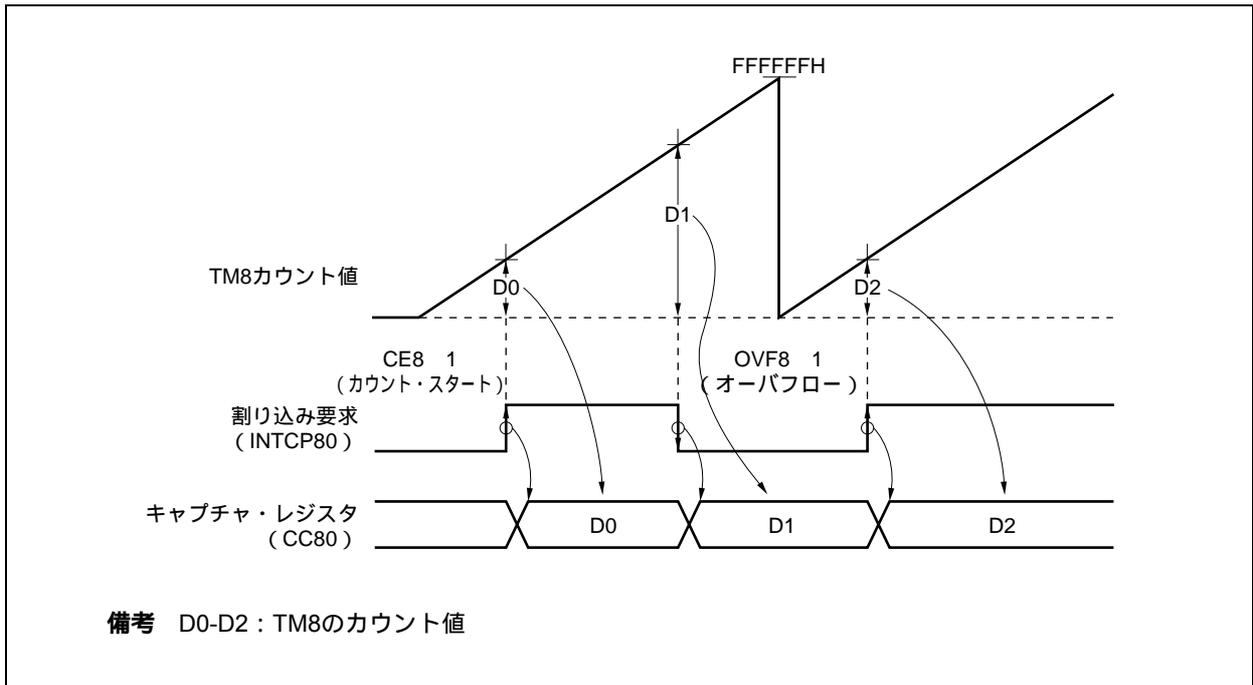


図7 - 12 TM8キャプチャ動作例 (両エッジ指定時)



7.2.6 コンペア動作

キャプチャ/コンペア・レジスタ (CC80-CC83) はTMC81レジスタをコンペア・レジスタに設定すると、コンペア・レジスタに設定した値とTM8のカウンタ値を比較するコンペア動作を行います。

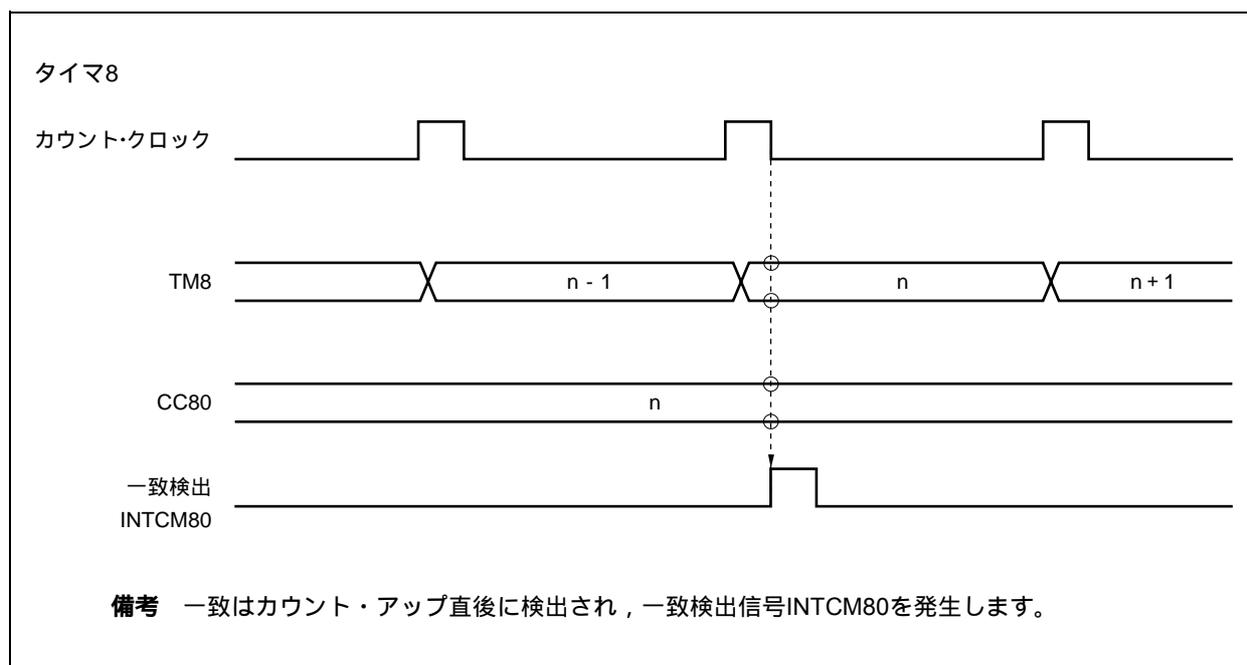
あらかじめ設定したコンペア・レジスタの値に、TM8のカウンタ値が一致すると、出力制御回路に一致信号を送ります (図7-13参照)。一致信号によりタイマ出力端子 (TO80, TO81) を変化させ、同時に割り込み要求信号 (INTCM80-INTCM83) を発生します。

表7-5 24ビット・コンペア・レジスタからの割り込み要求信号 (タイマ8)

コンペア・レジスタ	割り込み要求	コンペアー一致トリガ
CC80	INTCM80	TO80 (S)
CC81	INTCM81	TO80 (R)
CC82	INTCM82	TO81 (S)
CC83	INTCM83	TO81 (R), A/Dコンバータ

備考 S/R: セット/リセット

図7-13 TM8コンペア動作例



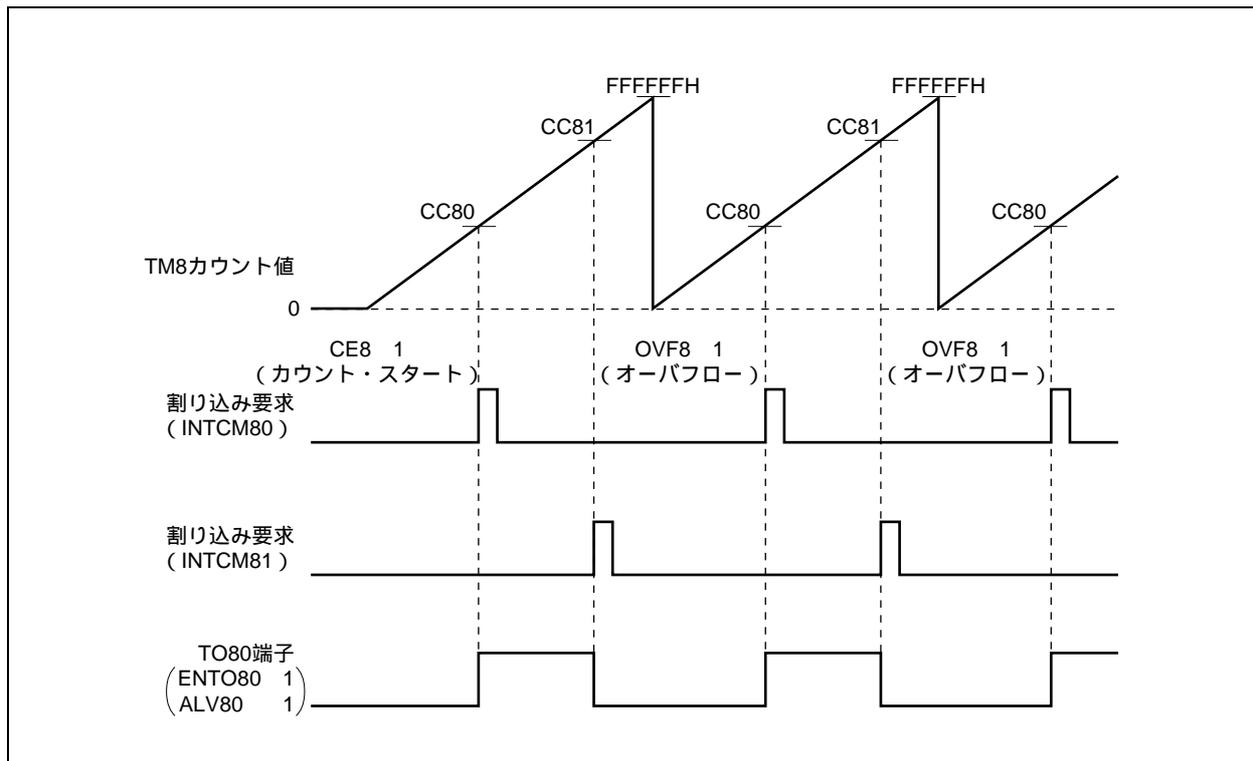
タイマ8は2本のタイマ出力端子 (TO80, TO81) を持っています。

TM8のカウンタ値とCC82の値を比較し、一致するとTO81端子の出力レベルをセットします。また、TM8のカウンタ値とCC83の値を比較し、一致するとTO81端子の出力レベルをリセットします。

同様にTM8のカウンタ値とCC80の値を比較し、一致するとTO80端子の出力レベルをセットします。またTM8のカウンタ値とCC81の値を比較し、一致するとTO80端子の出力レベルをリセットします。

TO80, TO81端子の出力レベルは、TOC8レジスタによって指定できます。

図7 - 14 TM8コンペア動作例 (セット/リセット出力モード)



7.3 24ビット・タイマ (TM9) の動作

7.3.1 カウント動作

タイマ9は、24ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、24ビット・タイマ・モード・コントロール・レジスタ90, 91 (TMC90, TMC91) で指定します。

タイマ9は、カウント・クロックによってカウント・アップを行います。カウントの開始/停止はタイマ・コントロール・レジスタ90 (TMC90) のCE9ビットで制御します。

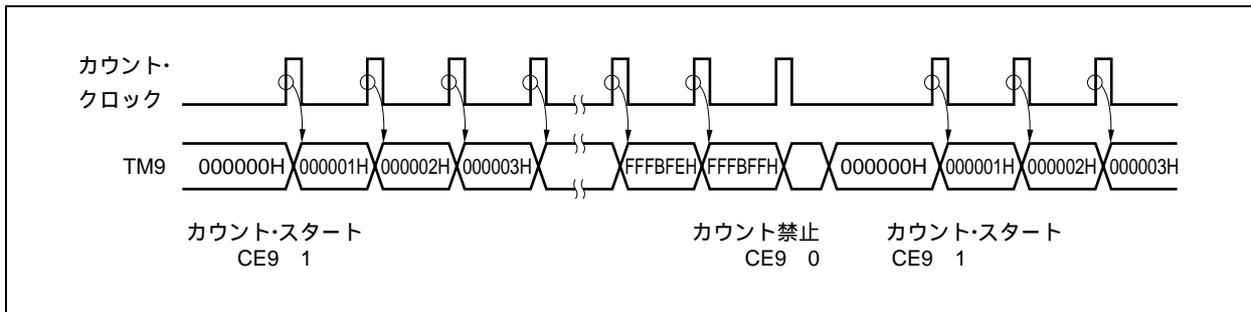
(1) カウント開始

CE9ビットを1に設定します。カウント動作中 (CE9 = 1) に、さらに1を書き込んでもTM9レジスタをクリアせず、カウント動作を継続します。

(2) カウント停止

CE9ビットを0に設定します。タイマ9は、TMC90レジスタのOST9ビットを1にするとオーバフロー後に動作を停止しますが、CE9 = 0に設定することで、すぐにタイマ・レジスタの値をクリアできます。

図7 - 15 タイマ9の基本動作



7.3.2 カウント・クロック選択

タイマ9に入力されるカウント・クロックには内部と外部があり、TMC90レジスタのPRM90-PRM93ビットで選択できます。

注意 タイマの動作中にカウント・クロックを変更しないでください。

TMC90レジスタのPRM9nビットの設定によって次のようにカウント・クロックを選択できます。

- ・ fxx, fxx/2, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256の9通りから内部カウント・クロックを選択
- ・ TI9端子に入力される信号をカウント（このとき、タイマ9はイベント・カウンタとして動作）

PRM9nビットは、次のように設定できます。

PRM93	PRM92	PRM91	PRM90	カウント・クロック
0	0	0	0	fxx
0	0	0	1	fxx/2
0	0	1	0	fxx/4
0	0	1	1	fxx/8
0	1	0	0	fxx/16
0	1	0	1	fxx/32
0	1	1	0	fxx/64
0	1	1	1	fxx/128
1	0	0	0	fxx/256
1	1	1	1	TI9入力
上記以外				設定禁止

TI9の有効エッジはEGP3, EGN3で指定します。7.1.5(10) **立ち上がりエッジ指定レジスタ3 (EGP3)** , 7.1.5(11) **立ち下がりエッジ指定レジスタ3 (EGN3)** を参照してください

7.3.3 オーバフロー

TM9レジスタがカウント・クロックをFFFFFFFHまでカウントした結果、オーバフローすると、TOVSレジスタのOVF9ビットにフラグをセットし、オーバフロー割り込み（INTOV9）を発生します。

OVF9フラグの値は、ユーザのアプリケーションで変更されるまで保持されます。

TM9レジスタのオーバフロー後の動作は、OST9ビットで決定します。

(1) OST9 = 0時のオーバフロー後の動作

そのままカウントを継続します。

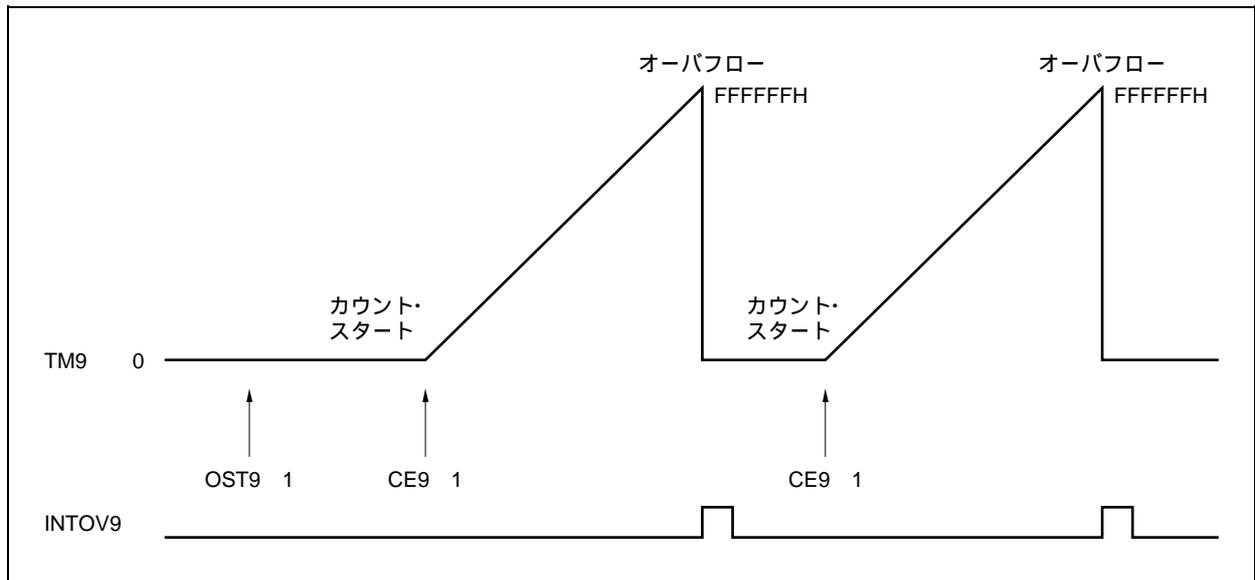
(2) OST9 = 1時のオーバフロー後の動作

TM9 = 000000Hを保持し、カウント動作を停止します。このとき、CE9 = 1のまままで停止するため、カウントを再開するには次のどちらかの制御をしてください。

- ・ CE9ビットへの“1”ライト動作
- ・ CS9ビットへの“1”ライト動作

なお、カウント動作中にCE9ビットを1に設定しても、動作には影響ありません。

図7 - 16 オーバフロー後の動作（OST9 = 1の場合）



7.3.4 タイマのクリア/スタート

タイマ9のクリア/スタートの方法にはオーバーフローによるもの、ソフトウェアによるものの2種類があります。

(1) オーバーフローによるクリア/スタート

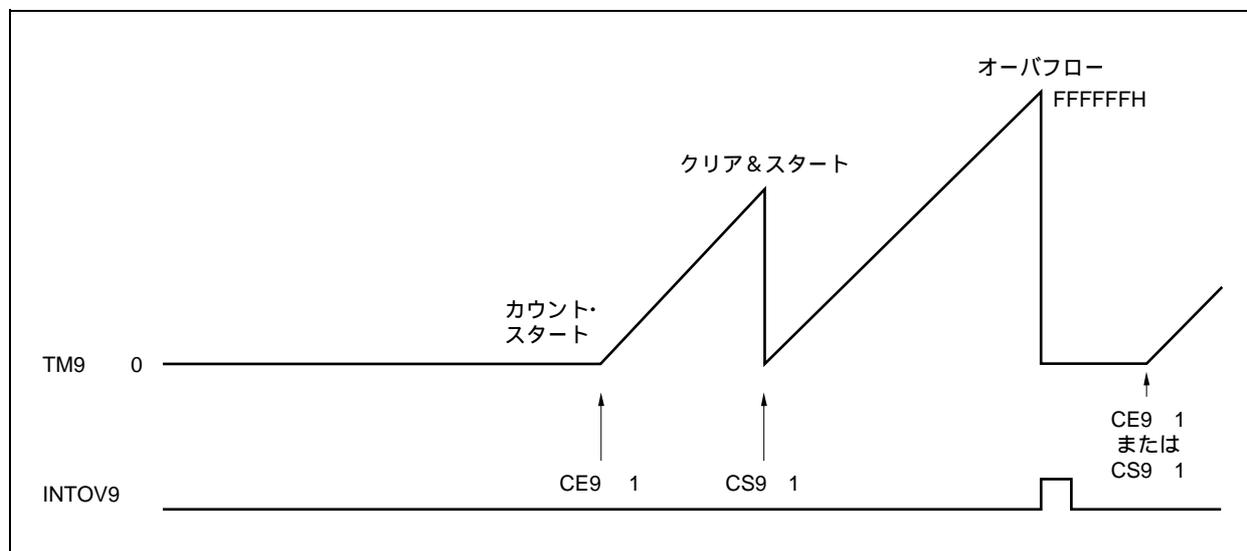
動作の詳細は7.3.3 オーバーフローを参照してください。

(2) ソフトウェアによるクリア/スタート

ソフトウェアでCS9ビットを1にすると、次のカウント・クロックでTM9レジスタの内容をクリアし、0からカウントを開始します。

ただしこのビットの設定は、CE9ビットが1のときだけ有効です。

図7-17 ソフトウェアによるタイマのクリア/スタート動作 (OST9 = 1の場合)



7.3.5 キャプチャ動作

外部トリガに同期して、TM9のカウンタ値をカウンタ・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子INTCP9nから検出された有効エッジを分周したトリガを用います（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して、カウンタ中のTM9のカウンタ値をキャプチャ・レジスタに取り込み保持し、同時に割り込み要求INTCP9nを発行します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

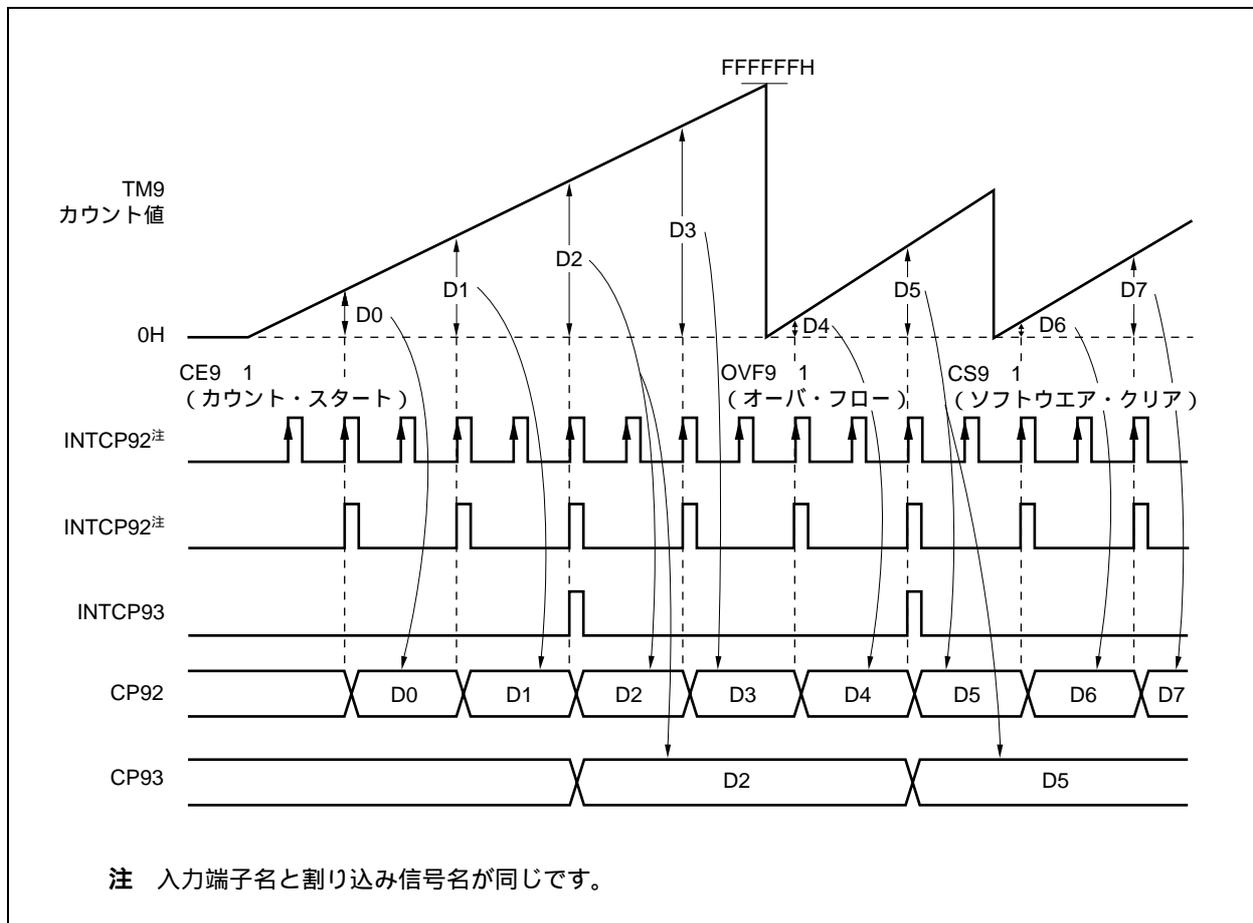
表7-6 24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号（タイマ9）

キャプチャ・トリガ信号	キャプチャ・レジスタ	割り込み要求
INTCP90	CP90	INTCP90
INTCP91の分周	CP91	INTCP91
INTCP92の分周	CP92	INTCP92
INTCP92/INTCP93の分周	CP93	INTCP93

INTCP9n入力の有効エッジは、EGP3, EGN3で設定します。7.1.5(10) 立ち上がりエッジ指定レジスタ3 (EGP3), 7.1.5(11) 立ち下がりエッジ指定レジスタ3 (EGN3) を参照してください。また, INTCP91-INTCP93 トリガの分周比は, EDVC0-EDVC2レジスタとEVSレジスタで設定します。詳細は7.1.6 分周器を参照してください。

備考 n = 0-3

図7-18 TM9キャプチャ動作例



7.3.6 コンペア動作

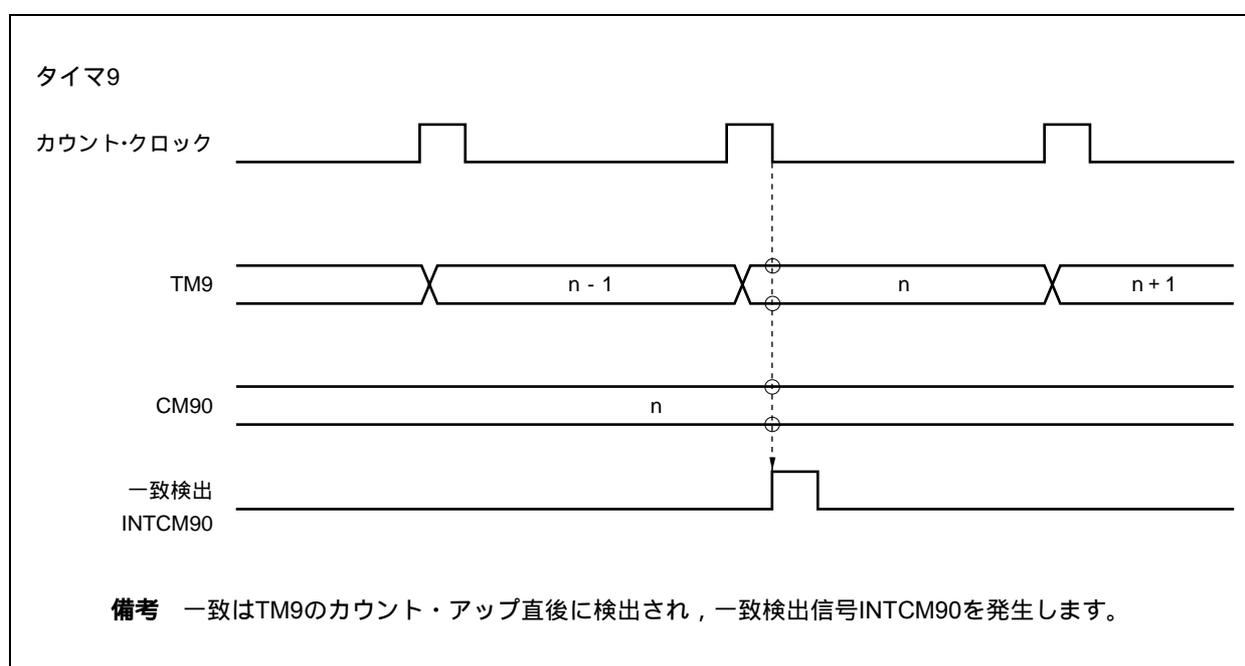
コンペア・レジスタに設定した値とTM9のカウンタ値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値に、TM9のカウンタ値が一致すると、CM90の一致によるINTCM90がリアルタイム出力ポートのトリガとして発生します。同時に割り込み要求信号INTCM90を発生します。

表7-7 24ビット・コンペア・レジスタからの割り込み要求信号(タイマ9)

コンペア・レジスタ	割り込み要求	コンペア一致トリガ
CM90	INTCM90	リアルタイム出力ポート
CM91	INTCM91	-

図7-19 TM9コンペア動作例



7.4 24ビット・タイマの応用例

(1) インターバル・タイマとしての動作 (タイマ8)

タイマ8をキャプチャ/コンペア・レジスタ80 (CC80) にあらかじめ設定したカウント時間をインターバルとして繰り返し割り込み要求を発生するインターバル・タイマとした例を示します。図7-39にタイミングを示します。図7-40にその設定手順を示します。

図7-20 インターバル・タイマ動作のタイミング例 (タイマ8)

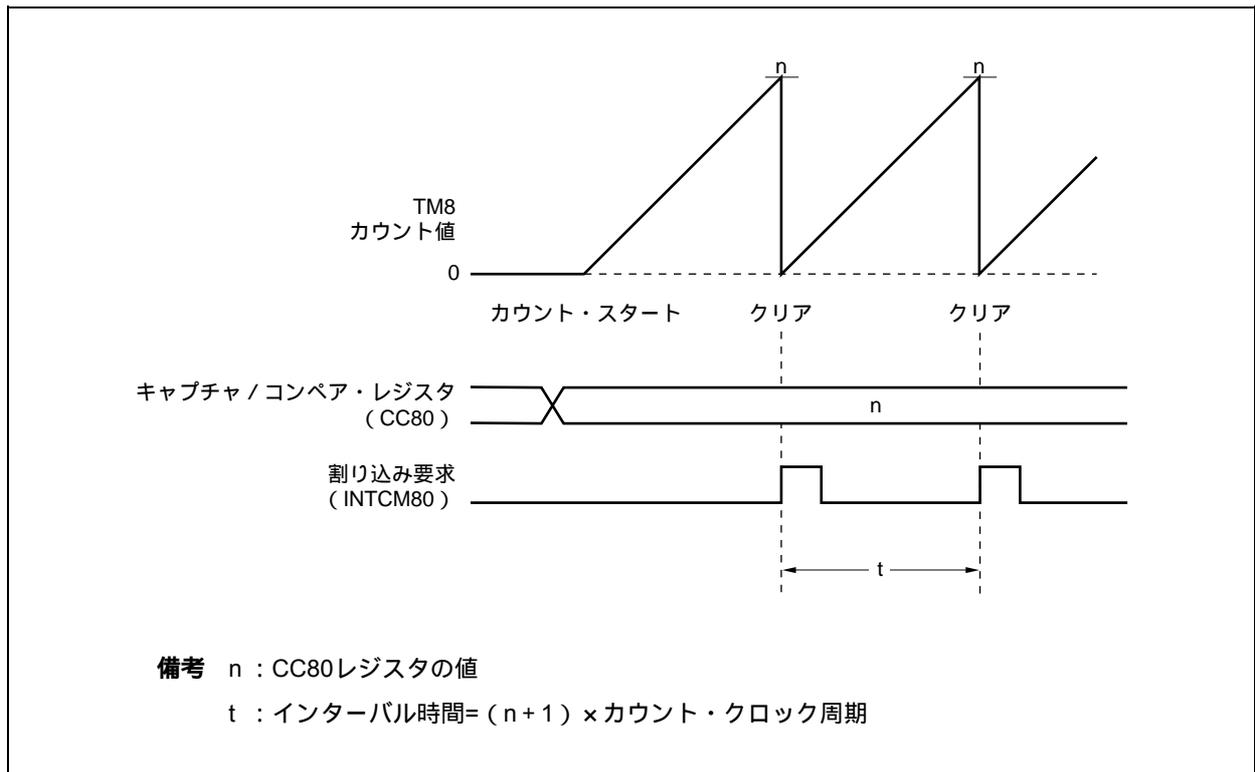
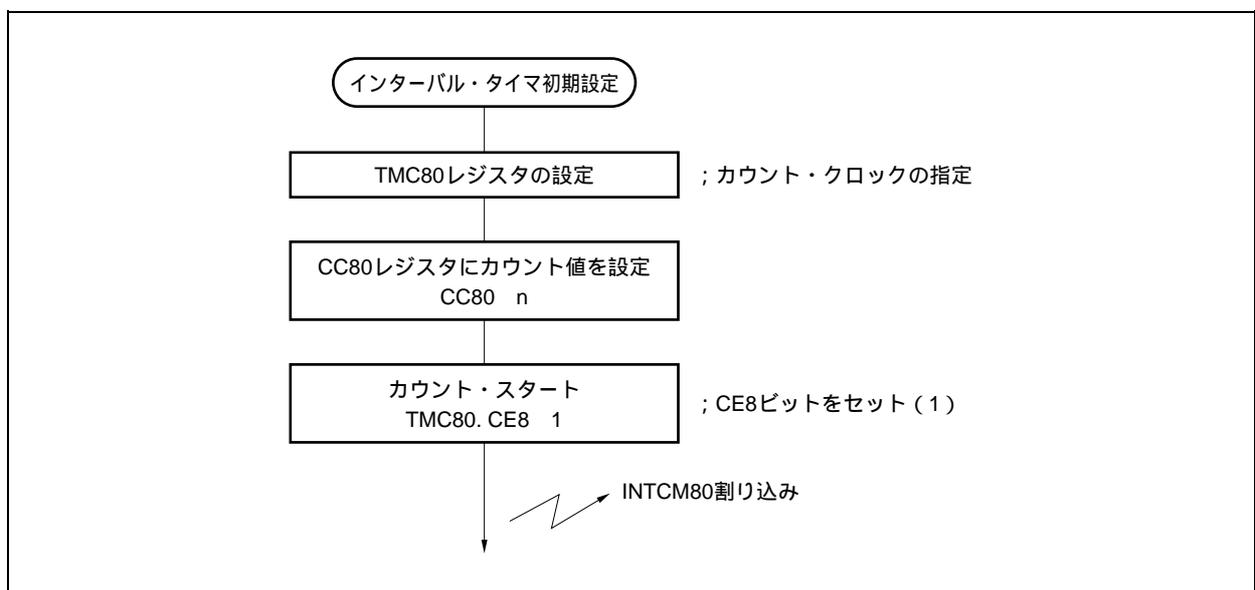


図7-21 インターバル・タイマ動作の設定手順 (タイマ8)



(2) パルス幅測定としての動作 (タイマ8, タイマ9)

パルス幅測定の例を示します。

ここでは,INTCP80端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定します。

図7 - 41に示すように,INTCP80端子入力の有効エッジ (立ち上がり,立ち下がりの両エッジに指定) に同期して,カウント中のタイマ8 (TM8) の値をキャプチャ/コンペア・レジスタ (CC80) に取り込み保持します。

パルス幅は, n回目の有効エッジ検出によりCC80レジスタに取り込み保持されたTM8のカウント値 (Dn) と (n - 1) 回目の有効エッジ検出によるカウント値 (Dn - 1) との差を求め,この値と,カウント・クロックとの積から計算します。

なお, TM8, TM9の最大カウント値を越えるパルス幅測定は, INTOV8, INTOV9によるオーバフロー割り込み要求でオーバフロー回数をカウントして行います。

図7 - 22 パルス幅測定のタイミング (タイマ8)

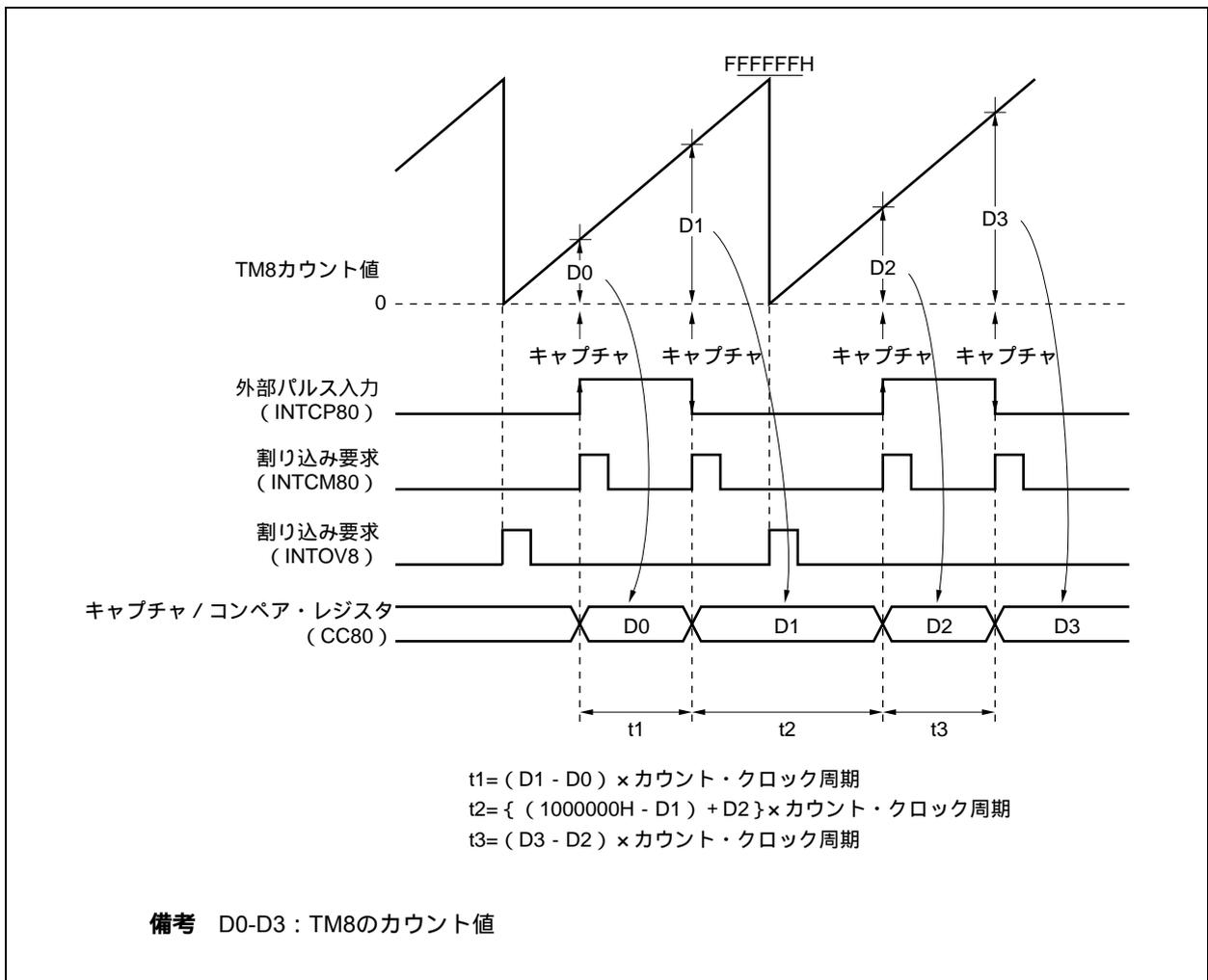


図7 - 23 パルス幅測定の設定手順例 (タイマ8)

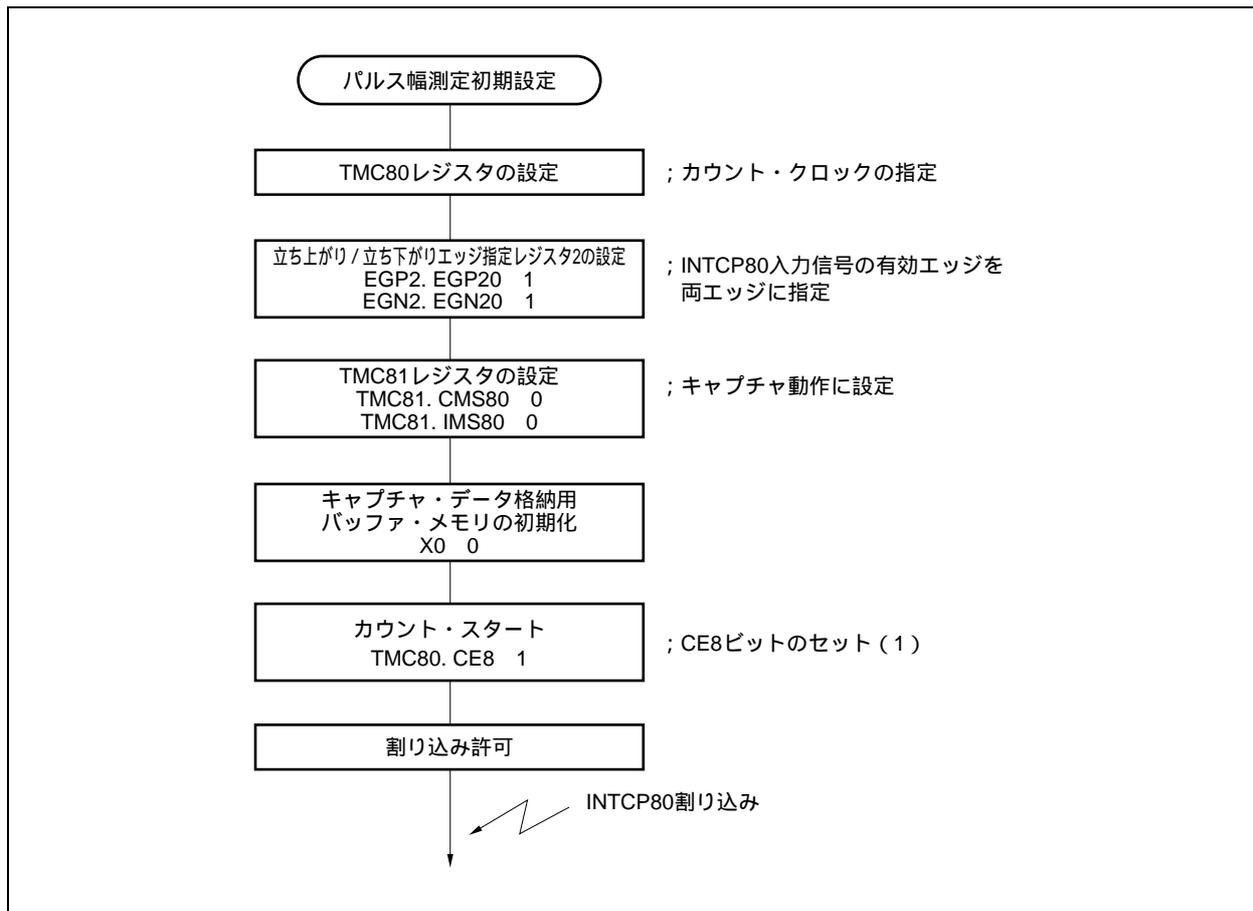
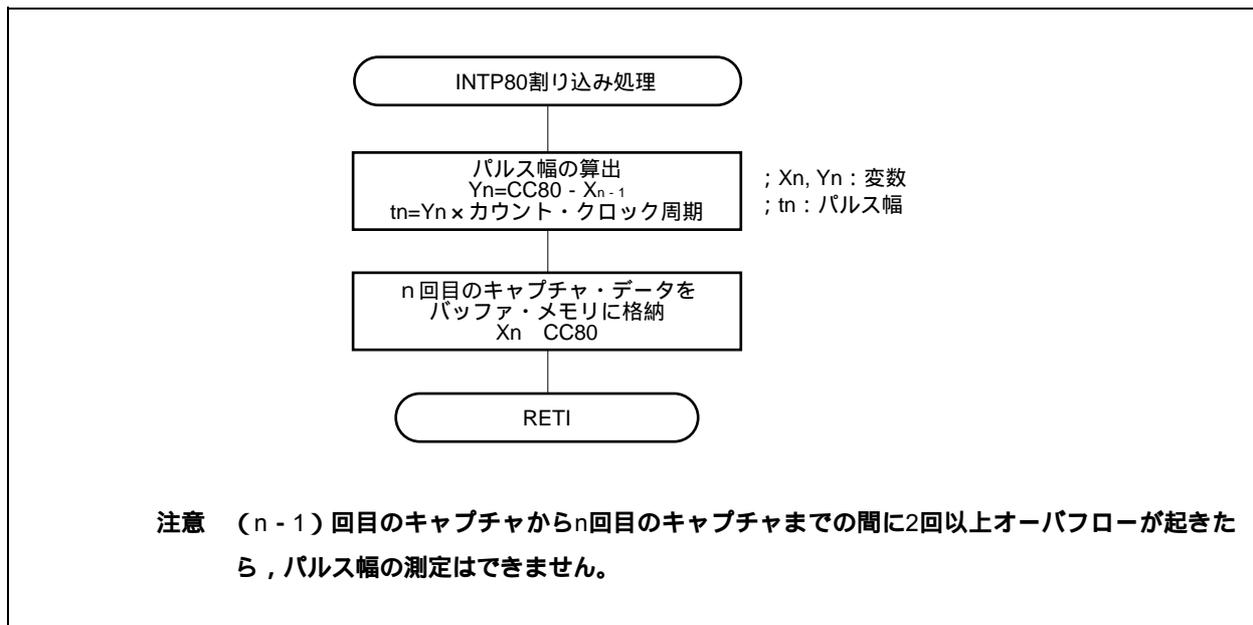


図7 - 24 パルス幅を算出する割り込み要求処理ルーチン例 (タイマ8)



(3) PWM出力としての動作 (タイマ8)

タイマ8とタイマ出力機能を組み合わせてタイマ出力端子(TO80, TO81)に任意の矩形波を出力し ,PWM出力として使用できます。

ここでは ,2つのキャプチャ/コンペア・レジスタCC80, CC81を使用する例を示します。

この場合 ,24ビット精度のPWM信号をTO80端子から出力できます。図7 - 25にタイミングを示します。

24ビット・タイマとして使用した場合 ,図7 - 25に示すように ,キャプチャ/コンペア・レジスタ (CC80) に設定する値でPWM出力の立ち上がりタイミングを決定し ,キャプチャ/コンペア・レジスタ (CC81) に設定する値で ,立ち下りのタイミングを決定します。

またCC83のコンペア一致を使用し ,TM8をクリア&スタートさせることで ,タイマ出力のインターバル周期を任意に変えられます。

図7 - 25 PWM出力のタイミング例 (タイマ8)

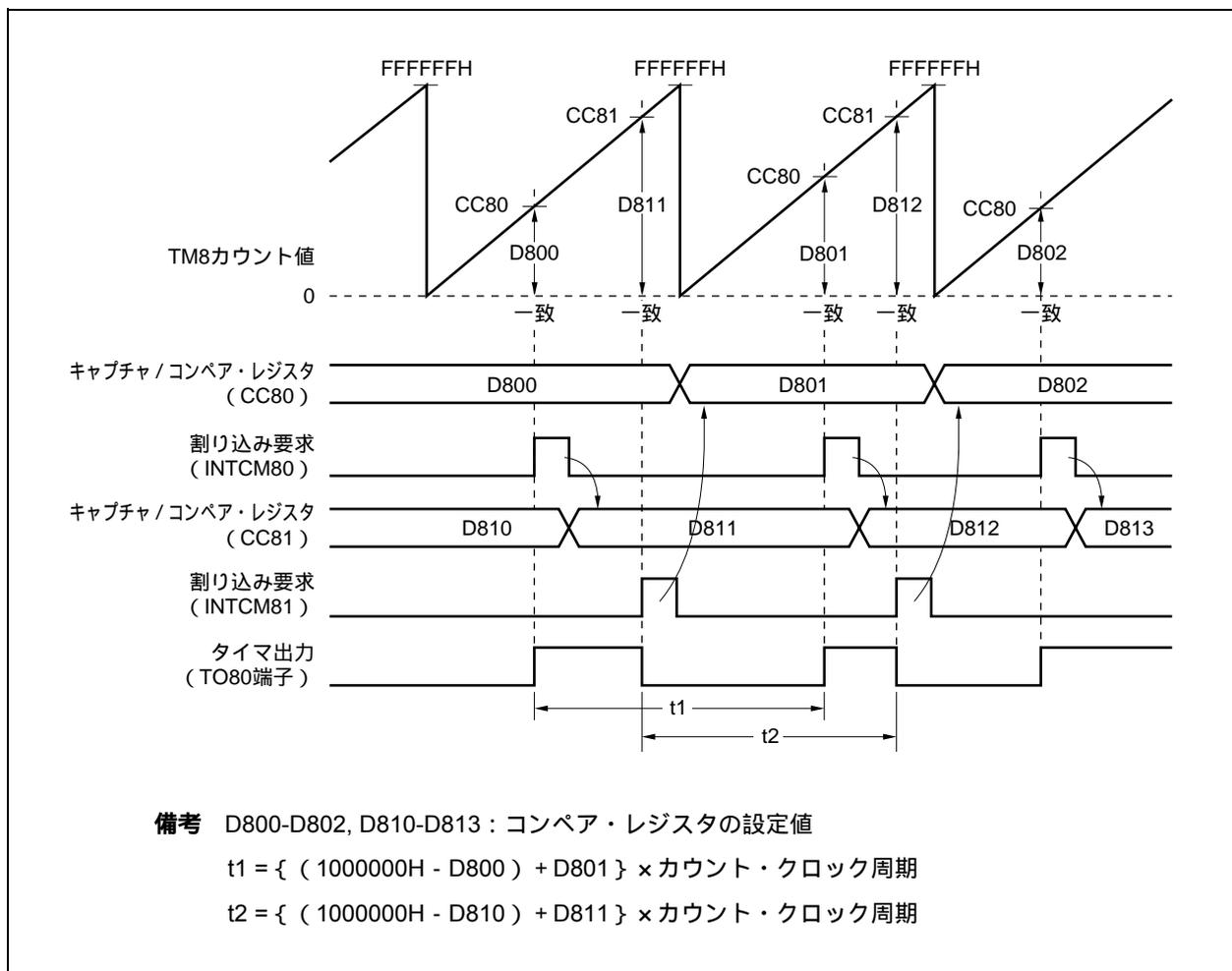


図7 - 26 PWM出力の設定手順例 (タイマ8)

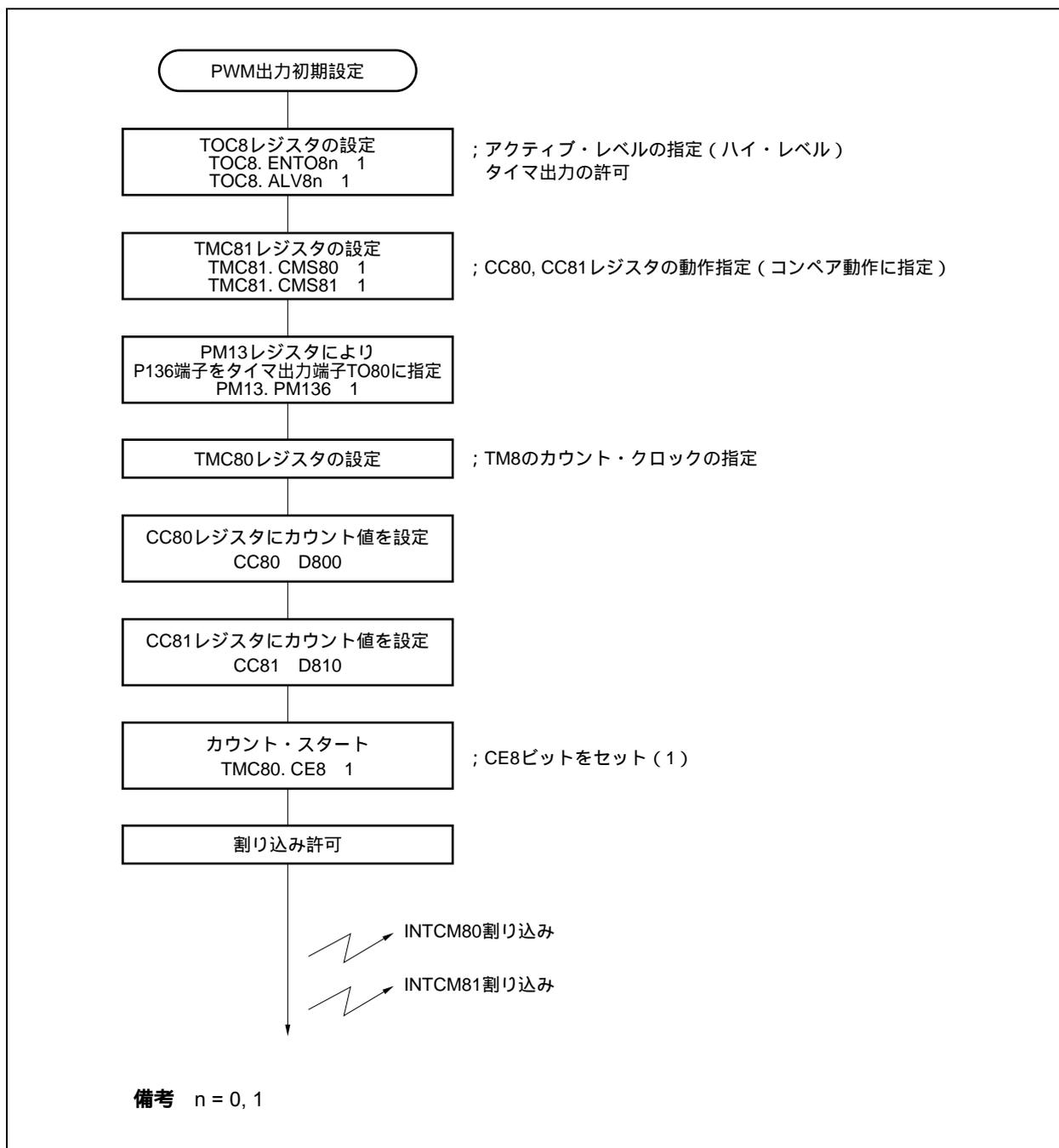
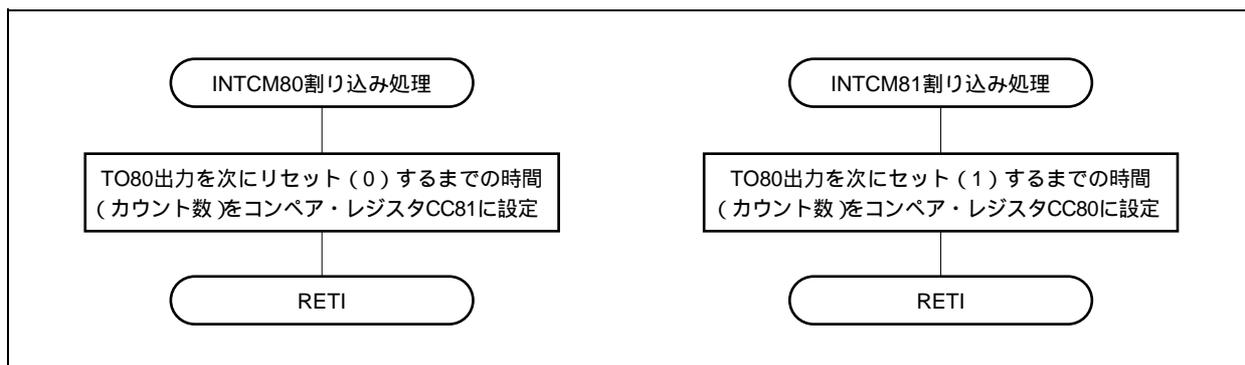


図7 - 27 コンペア値を書き換える割り込み要求処理ルーチン例 (タイマ8)



(4) 周期測定としての動作 (タイマ8, タイマ9)

タイマ8, タイマ9はINTCPmn端子に入力される外部パルスの周期を測定できます。(m = 8, 9 : n = 0-3)
 ここでは, タイマ8とキャプチャ/コンペア・レジスタCC80を組み合わせ、INTCP80端子に入力される外部パルスの周期を24ビット精度で測定する例を示します。

INTCP80入力信号の有効エッジを, EGP2レジスタにより立ち上がりエッジに指定します。

周期は, n回目の立ち上がりエッジによりCC80レジスタに取り込み保持したTM8のカウンタ値(Dn)と, (n - 1)回目の立ち上がりエッジにより取り込んだカウンタ値(Dn - 1)との差を求め, この値とカウンタ・クロックとの積から計算します。

なお, TM8の最大カウンタ値を越える周期測定は, INTOV8によるオーバーフロー割り込み要求でオーバーフロー回数をカウンタして行います。

図7 - 28 周期測定のタイミング例 (タイマ8)

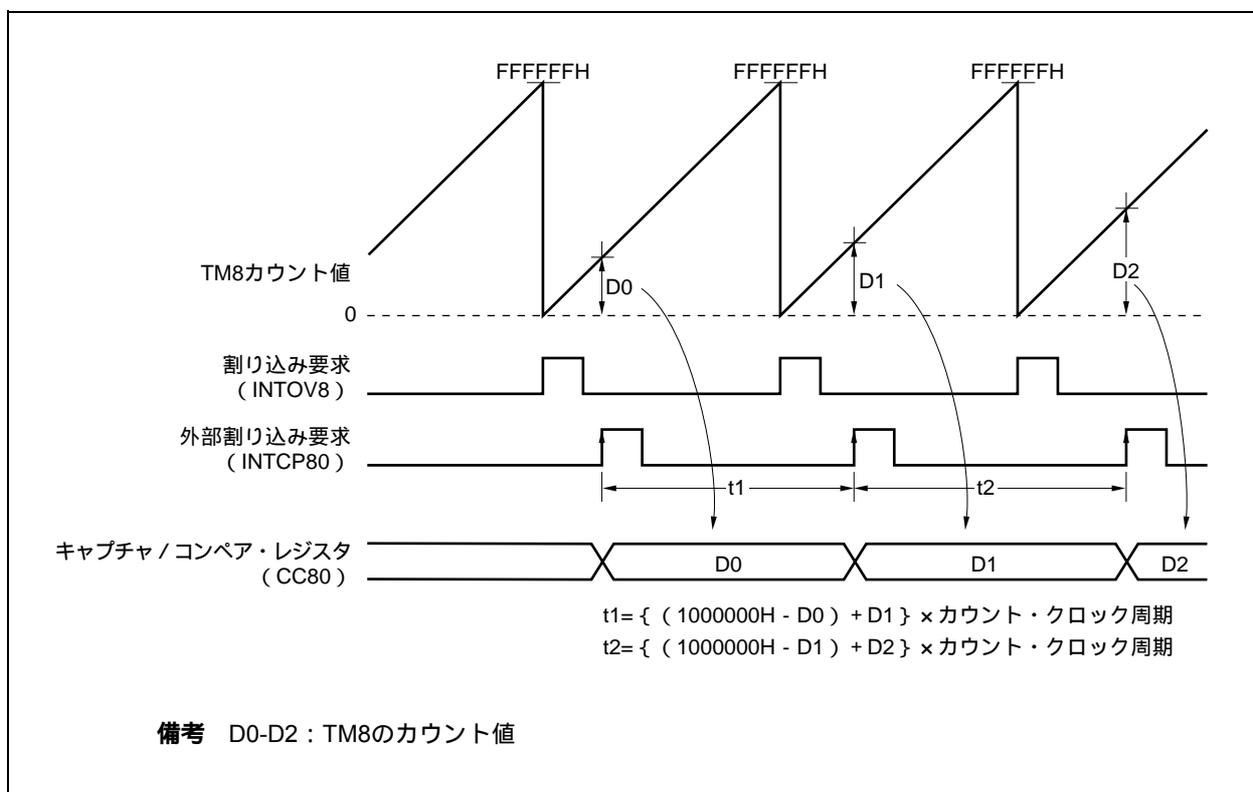


図7 - 29 周期測定の設定手順例 (タイマ8)

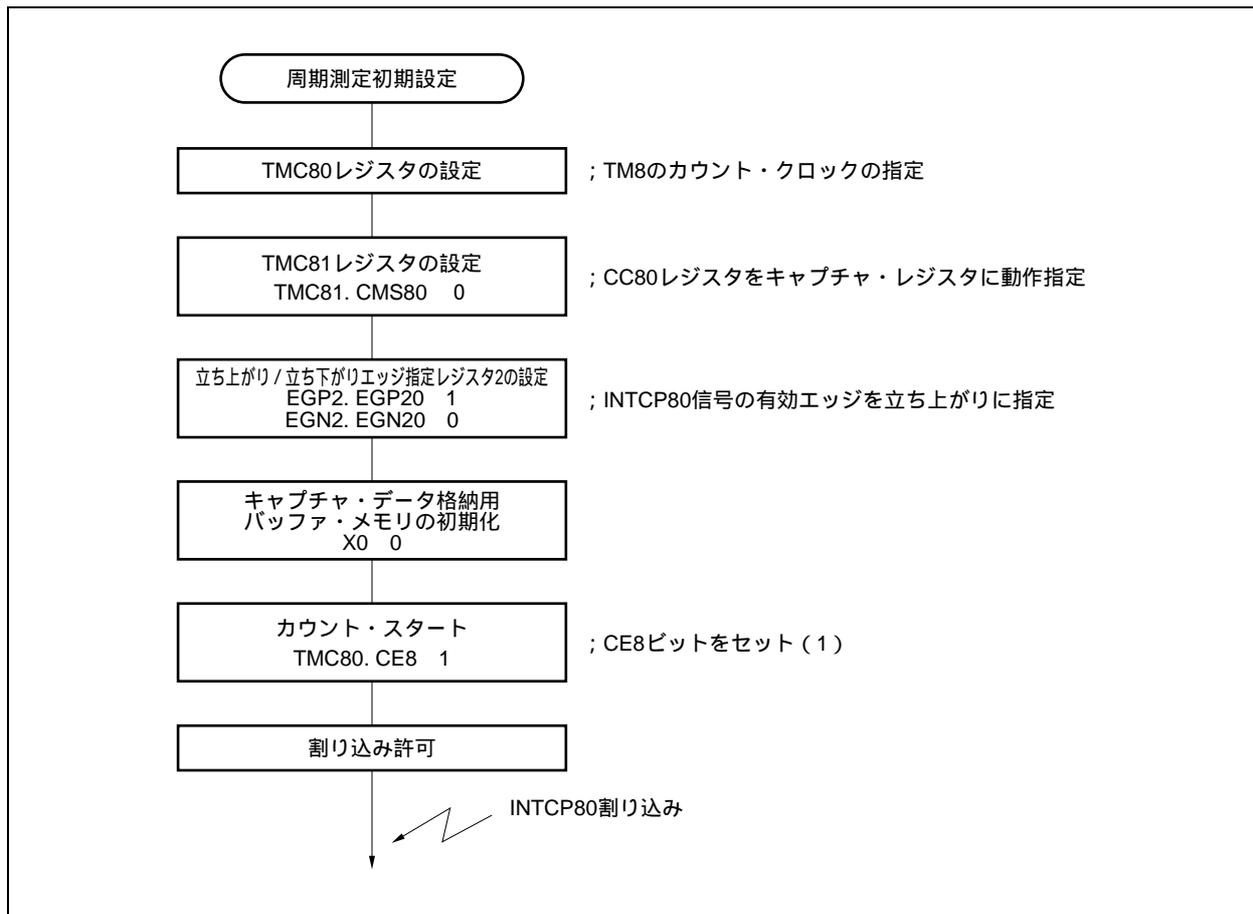
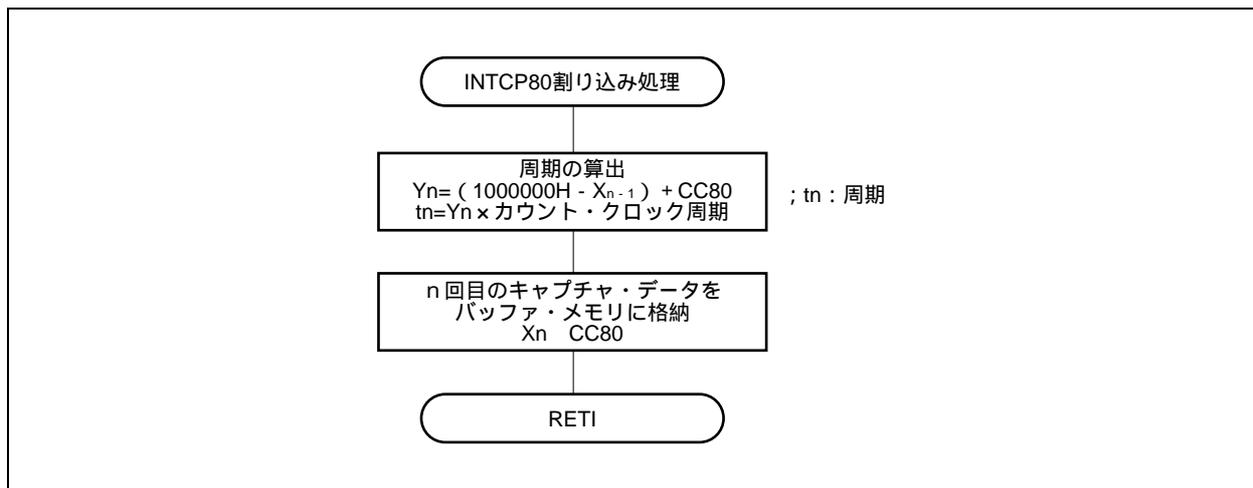


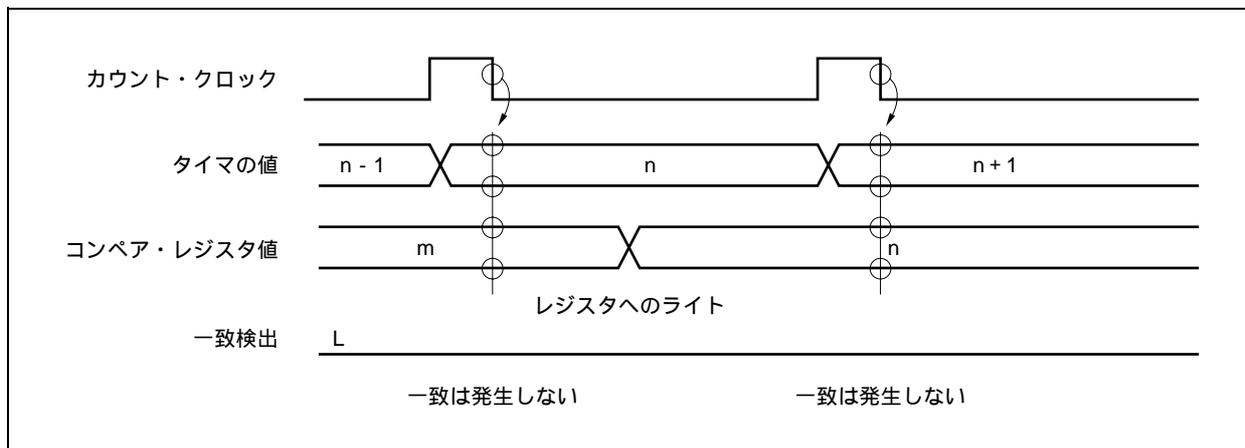
図7 - 30 周期を算出する割り込み要求処理ルーチン例 (タイマ8)



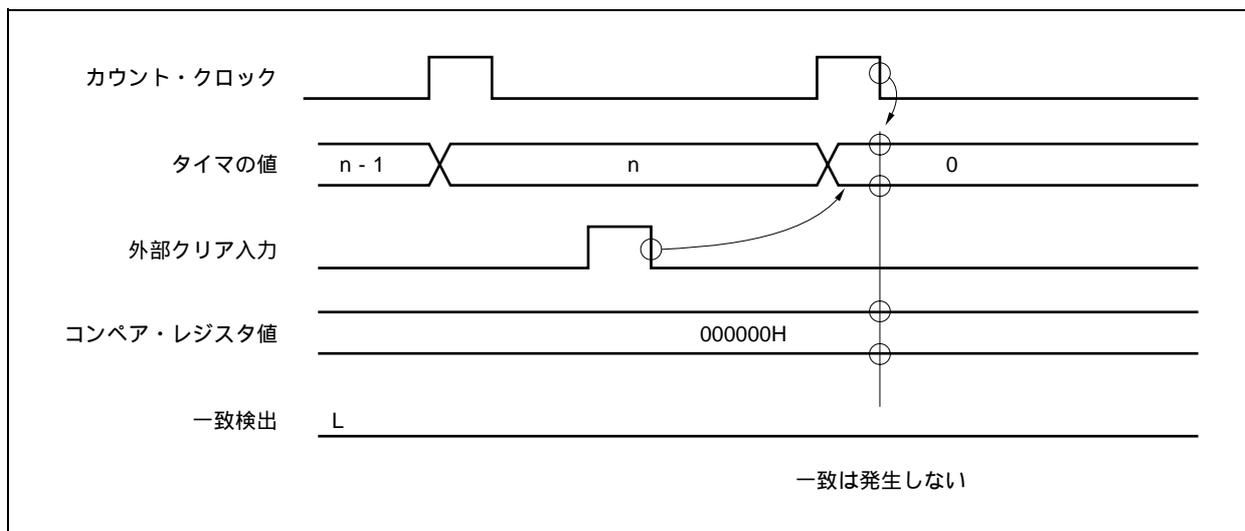
7.5 24ビット・タイマの注意事項

コンペア・レジスタによる一致検出は、常にタイマのカウンタ・アップ直後のタイミングで行われます。次の場合、一致は発生しません。

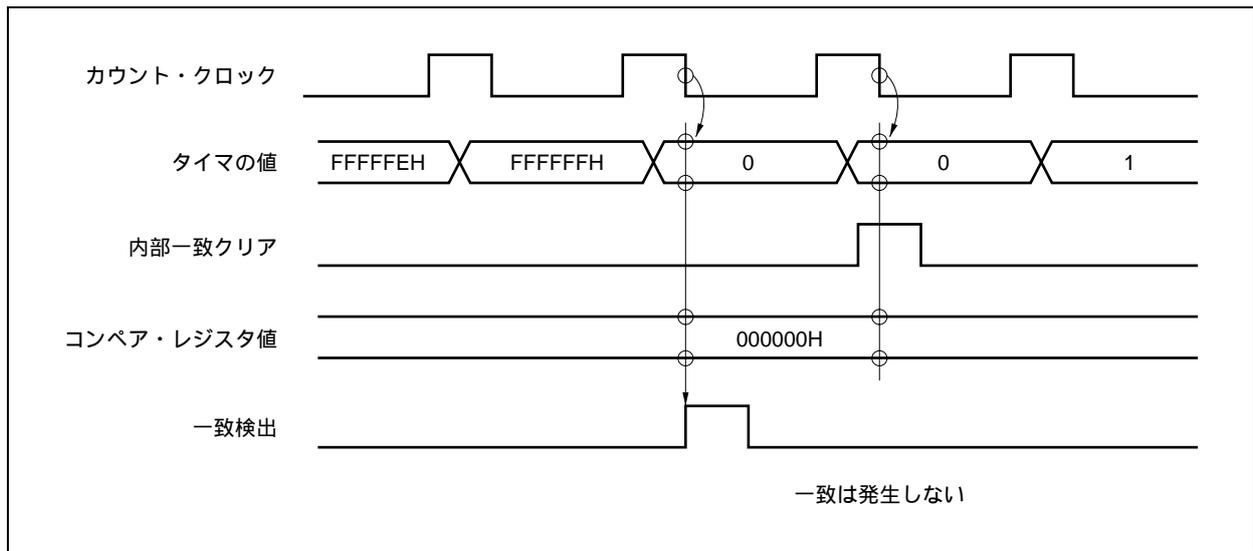
(1) コンペア・レジスタの書き換え時 (タイマ8, タイマ9)



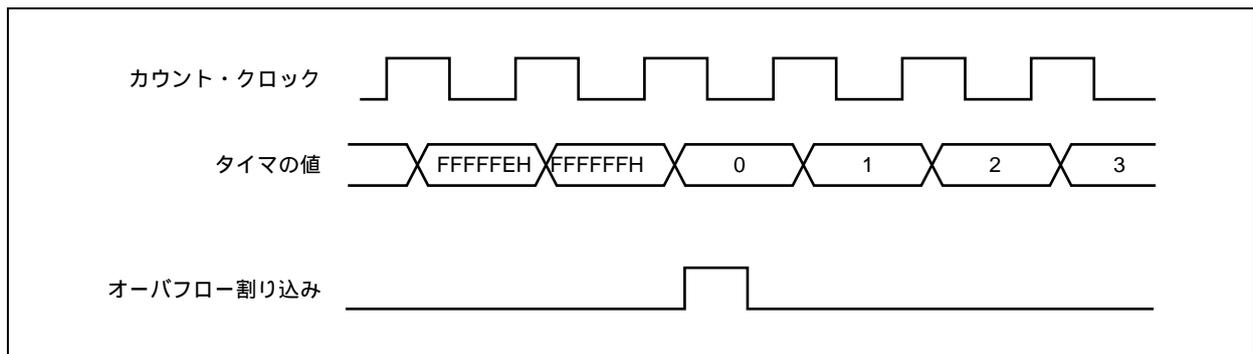
(2) 外部クリア時 (タイマ8)



(3) タイマ・クリア時 (タイマ8)



備考 タイマ8, タイマ9をフリー・ランニング・タイマとして動作させるときには, タイマのオーバーフローでタイマの値は, 0になります。



7.6 16ビット・タイマ (TM0, TM1)

7.6.1 概要

16ビット・キャプチャ/コンペア・レジスタ：各2本 (CRn0, CRn1)

独立したキャプチャ/トリガ入力：各2本 (TI0n0, TI0n1)

キャプチャ/一致割り込み要求信号 (INTTM0n0, INTTM0n1) 出力可能

イベント入力 (TI0n0と兼用) はデジタル・ノイズ除去回路を介して入力, エッジ指定可能

一致検出により動作するタイマ出力：各1本 (TOn)

P34/TO0, P35/TO1端子をTO0, TO1端子 (タイマ出力) として使用する場合は, ポート3 (P3) の値を "0" (ポート・モード出力) に, ポート3モード・レジスタ (PM3) の値を "0" にしてください。ポートとタイマの出力値のORが出力されます。

備考 n = 0, 1

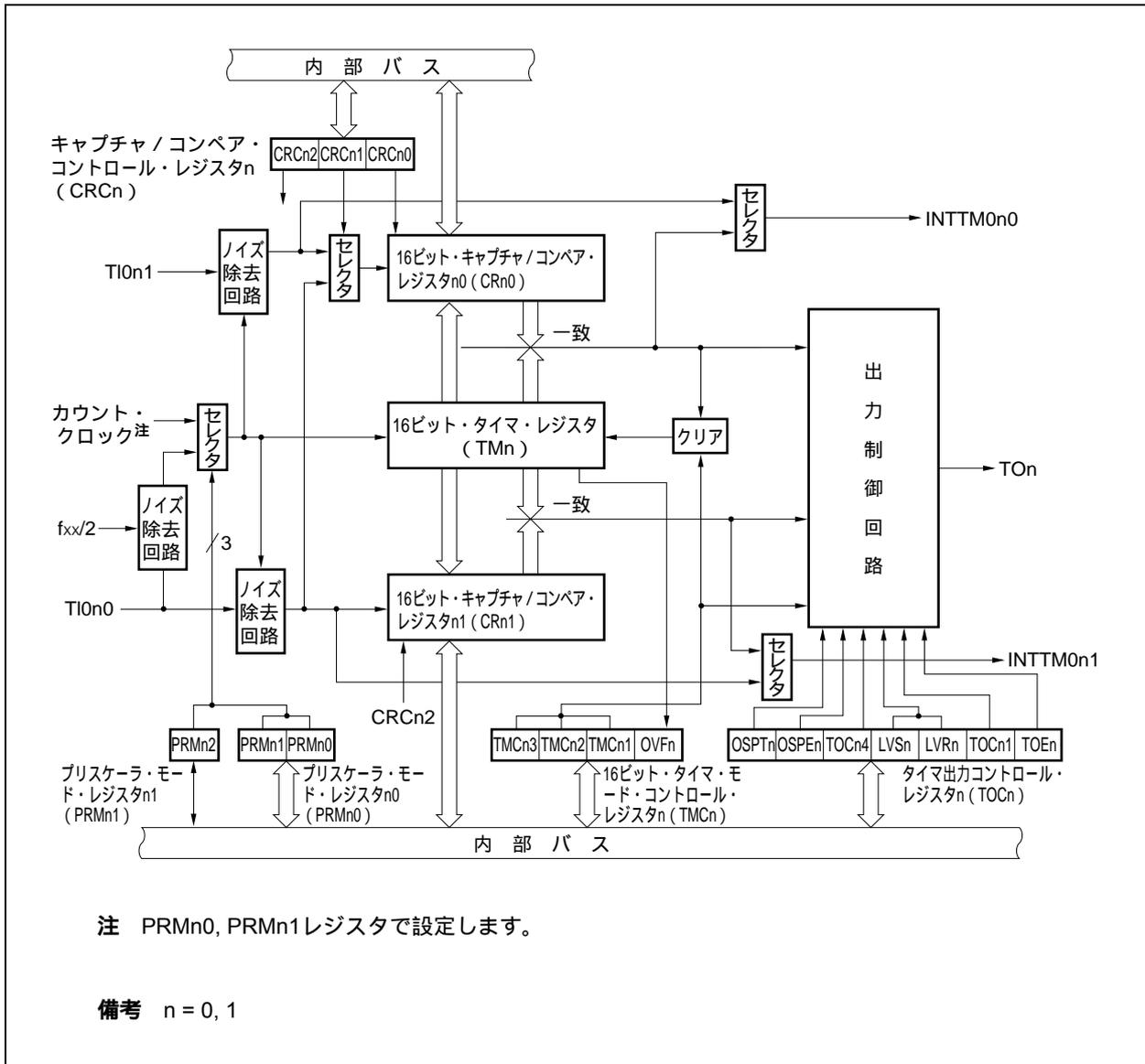
7.6.2 機能

TM0, TM1には, 次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ ワンショット・パルス出力

図7 - 31にブロック図を示します。

図7-31 TM0, TM1のブロック図



(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

7.6.3 構成

タイマ0, 1は、次のハードウェアで構成されています。

表7-8 タイマ0,1の構成

項目	構成
タイマ・レジスタ	16ビット×2本 (TM0, TM1)
レジスタ	キャプチャ/コンペア・レジスタ: 16ビット×2本 (CRn0, CRn1)
タイマ出力	2本 (TO0, TO1)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1) プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1)

備考 n = 0, 1

(1) 16ビット・タイマ・レジスタ0, 1 (TM0, TM1)

TMnは、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がり同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

RESET入力

TMCn3, TMCn2をクリア

TI0n0有効エッジ入力でクリア&スタート・モード時のTI0n0有効エッジが入力されたとき

CRn0の一致でクリア&スタート・モード時のTMnとCRn0の一致

ワンショット・パルス出力モードで、OSPTnのセットまたはTI0n0有効エッジが入力されたとき

(2) キャプチャ/コンペア・レジスタn0 (CR00, CR10)

CRn0は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。CRCnレジスタのビット0 (CRCn0) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

(a) CRn0をコンペア・レジスタとして使用するとき

CRn0に設定した値とTMnレジスタのカウント値を常に比較し、一致したときに割り込み要求 (INTTM0n0) を発生します。TMnをインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

(b) CRn0をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI0n0端子またはTI0n1端子の有効エッジが選択できます。TI0n0またはTI0n1の有効エッジの設定は、PRMn0レジスタで行います。

キャプチャ・トリガをTI0n0端子の有効エッジに指定したときは表7-9、キャプチャ・トリガをTI0n1端子の有効エッジに指定したときは表7-10のようになります。

表7-9 TI0n0端子の有効エッジとCRn0のキャプチャ・トリガ

ESn01	ESn00	TI0n0端子の有効エッジ	CRn0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ	キャプチャ動作しない

備考 n = 0, 1

表7-10 TI0n1端子の有効エッジとCRn0のキャプチャ・トリガ

ESn11	ESn10	TI0n1端子の有効エッジ	CRn0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ	立ち上がり / 立ち下がりの両エッジ

備考 n = 0, 1

CRn0は、16ビット・メモリ操作命令で設定します。ただし、キャプチャ・レジスタとして使用するときは、16ビット・メモリ操作命令でリードのみ可能です。

$\overline{\text{RESET}}$ 入力により0000Hになります。

注意 TMnとCRn0の一致でクリア&スタート・モードでは、CRn0には0000以外の値を設定してください。ただし、フリー・ランニング・モードおよびTI0n0の有効エッジのクリア・モードにおいて、CRn0に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM0n0) を発生します。

(3) キャプチャ/コンペア・レジスタ_n (CR01, CR11)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。CRC_nレジスタのビット2 (CRC_n2) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

(a) CR_n1をコンペア・レジスタとして使用するとき

CR_n1に設定した値とTM_nのカウント値を常に比較し、一致したときに割り込み要求 (INTTM0_n1) を発生します。

(b) CR_n1をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI0_n0端子の有効エッジが選択できます。TI0_n0の有効エッジの設定は、PRM_n0レジスタで行います。

キャプチャ・トリガをTI0_n0端子の有効エッジに指定したときは表7 - 11のようになります。

表7 - 11 TI0_n0端子の有効エッジとCR_n1のキャプチャ・トリガ

ES _n 01	ES _n 00	TI0 _n 0端子の有効エッジ	CR _n 1のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ	立ち上がり / 立ち下がりの両エッジ

備考 n = 0, 1

CR_n1は、16ビット・メモリ操作命令で設定します。ただし、キャプチャ・レジスタとして使用するときは、16ビット・メモリ操作でリードのみ可能です。

RESET入力により0000Hになります。

注意 TM_nとCR_n0の一致でクリア&スタート・モードでは、CR_n1には0000以外の値を設定してください。ただし、フリー・ランニング・モードおよびTI0_n0の有効エッジのクリア・モードにおいて、CR_n1に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM0_n1) を発生します。

7.6.4 タイマ0, 1制御レジスタ

タイマ0, 1を制御するレジスタには、次の4種類があります。

- ・ 16ビット・タイマ・モード・コントロール・レジスタn (TMCn)
- ・ キャプチャ/コンペア・コントロール・レジスタn (CRCn)
- ・ 16ビット・タイマ出力コントロール・レジスタn (TOCn)
- ・ プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1)

備考 n = 0, 1

(1) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1)

16ビット・タイマの動作モード, 16ビット・タイマ・レジスタnのクリア・モード, 出力タイミングの設定およびオーバフローを検出するレジスタです。

TMCnは, 8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 16ビット・タイマ・レジスタnは, TMCn2, TMCn3に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには, TMCn2, TMCn3に0, 0を設定してください。

リセット時：00H R/W アドレス：FFFFFF208H, FFFFFFF218H

	7	6	5	4	3	2	1	①
TMCn	0	0	0	0	TMCn3	TMCn2	TMCn1	OVFn

(n = 0, 1)

TMCn3	TMCn2	TMCn1	動作モードおよび クリア・モードの選択	TOn出力タイミング の選択	割り込みの発生
0	0	0	動作停止 (TMnは0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリー・ランニング・ モード	TMnとCRn0の一致 または TMnとCRn1の一致	TMnとCRn0の一致 および TMnとCRn1の一致 で発生
0	1	1		TMnとCRn0の一致、 TMnとCRn1の一致 または TI0n0の有効エッジ	
1	0	0	TI0n0の有効エッジ でクリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致	
1	0	1		TMnとCRn0の一致、 TMnとCRn1の一致 または TI0n0の有効エッジ	
1	1	0	TMnとCRn0の一致 でクリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致	
1	1	1		TMnとCRn0の一致、 TMnとCRn1の一致 または TI0n0の有効エッジ	

OVFn	16ビット・タイマ・レジスタnのオーバフロー検出
0	オーバフローなし
1	オーバフローあり

- 注意1. OVFnフラグ以外のビットには、タイマ動作を停止してから書き込んでください。
2. TI0n0端子の有効エッジの設定は、プリスケアラ・モード・レジスタ0n (PRM0n) で行います。
3. TMnとCRn0の一致でクリア&スタートするモードを選択した場合、CRn0の設定値がFFFFHで、TMnの値がFFFFHから0000Hに変化するとき、OVFnフラグが1に設定されます。
4. ビット4-7には必ず“0”を設定してください。

★ 備考 TOn : タイマnの出力端子
 TI0n0 : タイマnの入力端子
 TMn : 16ビット・タイマ・レジスタn
 CRn0 : コンペア・レジスタn0
 CRn1 : コンペア・レジスタn1

(2) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1)

キャプチャ/コンペア・レジスタn (CRn0, CRn1) の動作を制御するレジスタです。

CRCnは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF20AH, FFFFFFF21AH

	7	6	5	4	3	2	1	0
CRCn	0	0	0	0	0	CRCn2	CRCn1	CRCn0

(n = 0, 1)

CRCn2	CRn1の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRCn1	CRn0のキャプチャ・トリガの選択
0	TI0n1の有効エッジでキャプチャする
1	TI0n0の有効エッジの逆相でキャプチャする

CRCn0	CRn0の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1 . CRCnの設定は、必ずタイマ動作を停止させてから行ってください。

- 2 . 16ビット・タイマ・モード・コントロール・レジスタn (TMCn) で、TMnとCRn0の一致でクリア&スタート・モードを選択したとき、CRn0をキャプチャ・レジスタに指定しないでください。
- 3 . TI0n0の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合には、CRn0はキャプチャは動作しません。
- 4 . キャプチャ・トリガは、TI0n1, TI0n0からの信号を確実にキャプチャ動作するために、プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロックの2回分より長いパルスが必要とします。
- 5 . ビット3-7には必ず“0”を設定してください。

(3) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1)

タイマn出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ(LV0)のセット/リセット, 出力の反転許可/禁止, タイマnのタイマ出力許可/禁止, ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOCnは, 8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時: 00H R/W アドレス: FFFFF20CH, FFFFF21CH

	7	⑥	⑤	4	③	②	1	①
TOCn	0	OSPTn	OSPEn	TOCn4	LVSn	LVRn	TOCn1	TOEn

(n = 0, 1)

OSPTn	ソフトウェアによるワンショット・パルスの出力トリガの制御	
0	ワンショット・パルス・トリガなし	
1	ワンショット・パルス・トリガあり	

OSPEn	ワンショット・パルスの出力動作の制御	
0	連続パルス出力	
1	ワンショット・パルス出力注	

TOCn4	CRn1とTMnの一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVSn	LVRn	タイマnのタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOCn1	CRn0とTMnの一致またはTI0n0端子の有効エッジによるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOEn	タイマnの出力の制御	
0	出力禁止(出力は0レベルに固定)	
1	出力許可	

注 ワンショット・パルス出力はフリー・ランニング・モード, TI0n0の有効エッジでクリア&スタート・モードで正常動作します。

注意1. TOCnの設定は, 必ずタイマ動作を停止させてから行ってください。

2. データ設定後にLVSn, LVRnを読み出すと, 0になっています。

3. OSPTnはデータ設定後に自動的にクリアされるので, 読み出すと0になっています。

4. ワンショット・パルス出力以外では, OSPTnをセットしないでください。

(4) プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01)

16ビット・タイマ(TM0)のカウンタ・クロックおよびTI00n入力の有効エッジを設定するレジスタです。PRM00, PRM01は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

備考 n = 0, 1

リセット時：00H R/W アドレス：FFFFFF20EH

	7	6	5	4	3	2	1	0	
PRM01	0	0	0	0	0	0	0	PRM02	

リセット時：00H R/W アドレス：FFFFFF206H

	7	6	5	4	3	2	1	0
PRM00	ES011	ES010	ES001	ES000	0	0	PRM01	PRM00

ES011	ES010	TI001有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がりの両エッジ

ES001	ES000	TI000有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がりの両エッジ

PRM02	PRM01	PRM00	カウンタ・クロックの選択			
			カウンタ・クロック	f _{xx}		
				20 MHz	10 MHz	4 MHz
0	0	0	f _{xx} /2	100 ns	200 ns	500 ns
0	0	1	f _{xx} /16	800 ns	1.6 μs	4 μs
0	1	0	INTWNTN	-	-	-
0	1	1	TI000有効エッジ ^注	-	-	-
1	0	0	f _{xx} /4	200 ns	400 ns	1 μs
1	0	1	f _{xx} /64	3.2 μs	6.4 μs	16 μs
1	1	0	f _{xx} /256	12.8 μs	25.6 μs	64 μs
1	1	1	設定禁止	-	-	-

注 外部クロックは内部クロック (f_{xx}/2) の2回分より長いパルスが必要とします。

- 注意1 . カウント・クロックにTI000の有効エッジを設定する場合，TI000有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
- 2 . PRM0nは，必ずタイマ動作を停止させてからデータを設定してください。
- 3 . システム・リセット直後にTI00n端子がハイ・レベルの場合，TI00n端子の有効エッジを立ち上がり，または両エッジに指定して，16ビット・タイマ（TM0）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI00n端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

(5) プリスケアラ・モード・レジスタ10, 11 (PRM10, PRM11)

16ビット・タイマ(TM1)のカウンタ・クロックおよびTI01n入力の有効エッジを設定するレジスタです。PRM10, PRM11は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

備考 n = 0, 1

リセット時 : 00H R/W アドレス : FFFFF21EH

	7	6	5	4	3	2	1	0
PRM11	0	0	0	0	0	0	0	PRM12

リセット時 : 00H R/W アドレス : FFFFF216H

	7	6	5	4	3	2	1	0
PRM10	ES111	ES110	ES101	ES100	0	0	PRM11	PRM10

ES111	ES110	TI011有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり の両エッジ

ES101	ES100	TI010有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり の両エッジ

PRM12	PRM11	PRM10	カウント・クロックの選択			
			カウント・クロック	f _{xx}		
				20 MHz	10 MHz	4 MHz
0	0	0	f _{xx} /2	100 ns	200 ns	500 ns
0	0	1	f _{xx} /4	200 ns	400 ns	1 μs
0	1	0	f _{xx} /16	800 ns	1.6 μs	4 μs
0	1	1	TI010有効エッジ ^注	-	-	-
1	0	0	f _{xx} /32	1.6 μs	3.2 μs	8 μs
1	0	1	f _{xx} /128	6.4 μs	12.8 μs	32 μs
1	1	0	f _{xx} /256	12.8 μs	25.6 μs	64 μs
1	1	1	設定禁止	-	-	-

注 外部クロックは内部クロック (f_{xx}/2) の2回分より長いパルスが必要とします。

- 注意1. カウント・クロックにTI010の有効エッジを設定する場合，TI010有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRM1nは，必ずタイマ動作を停止させてからデータを設定してください。
 3. システム・リセット直後にTI01n端子がハイ・レベルの場合，TI01n端子の有効エッジを立ち上がり，または両エッジに指定して，16ビット・タイマ(TM1)の動作を許可すると，その直後に立ち上がりエッジを検出します。TI01n端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

7.7 16ビット・タイマの動作

7.7.1 インターバル・タイマ (16ビット) としての動作

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) と、キャプチャ/コンペア・コントロール・レジスタn (CRCn) を図7-32のように設定することにより、インターバル・タイマとして動作します (n = 0, 1)。

16ビット・キャプチャ/コンペア・レジスタn (CRn0) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生します。

16ビット・タイマ・レジスタn (TMn) のカウント値がCRn0に設定した値と一致したとき、TMnの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM0n0) が発生します。

プリスケアラ・モード・レジスタn0 (PRMn0) のビット0, 1 (PRMn0, PRMn1) とプリスケアラ・モード・レジスタn1 (PRMn1) のビット0 (PRMn2) で、16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

図7-32 インターバル・タイマ動作時の制御レジスタ設定内容

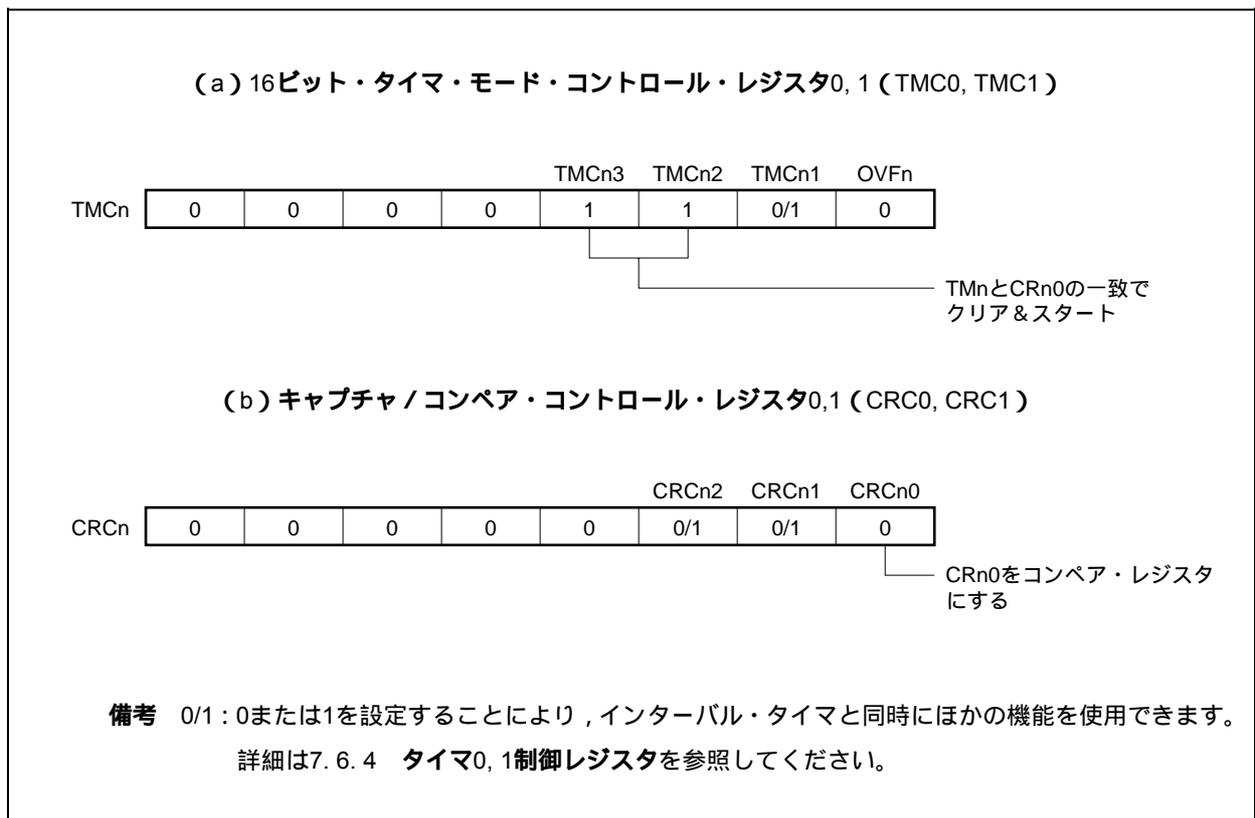


図7-33 インターバル・タイマの構成図

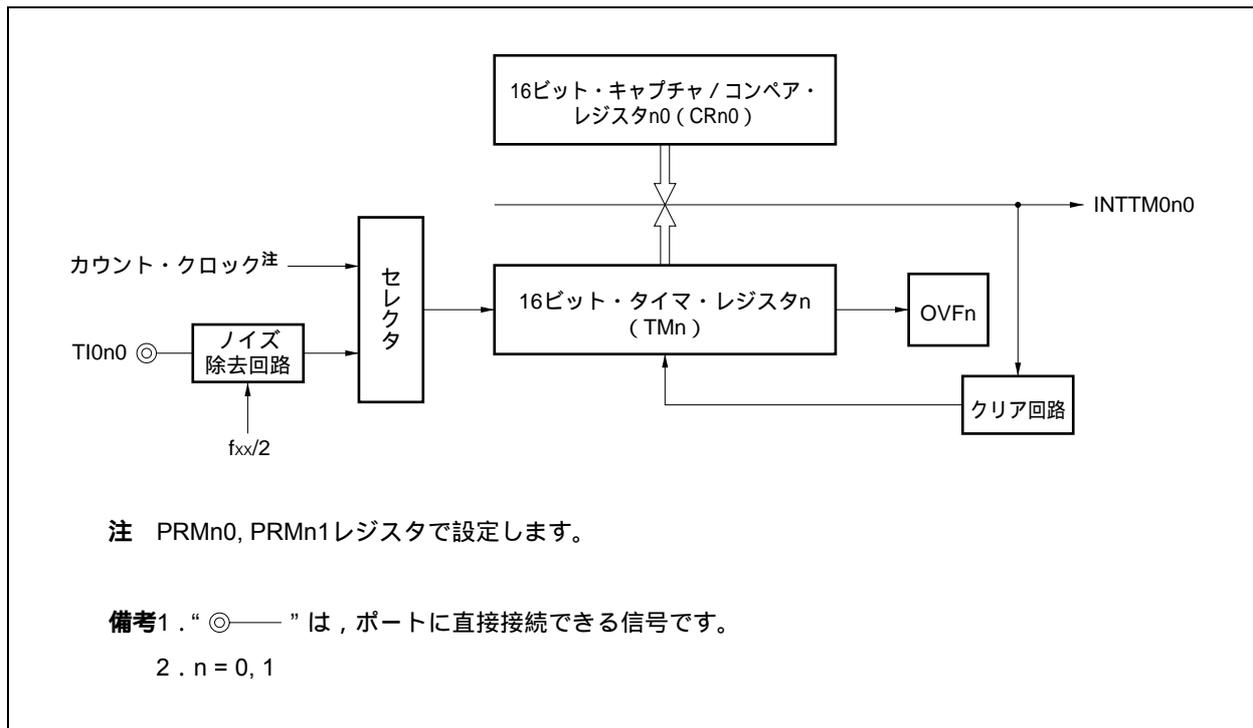
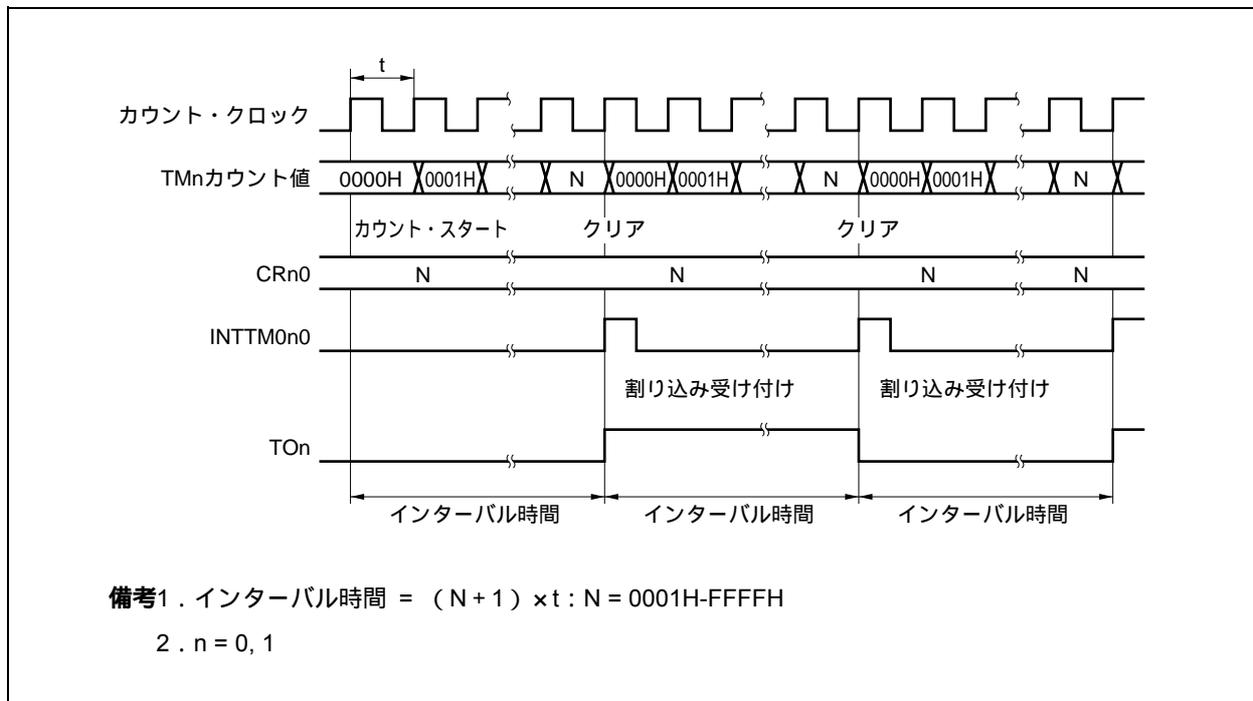


図7-34 インターバル・タイマ動作のタイミング



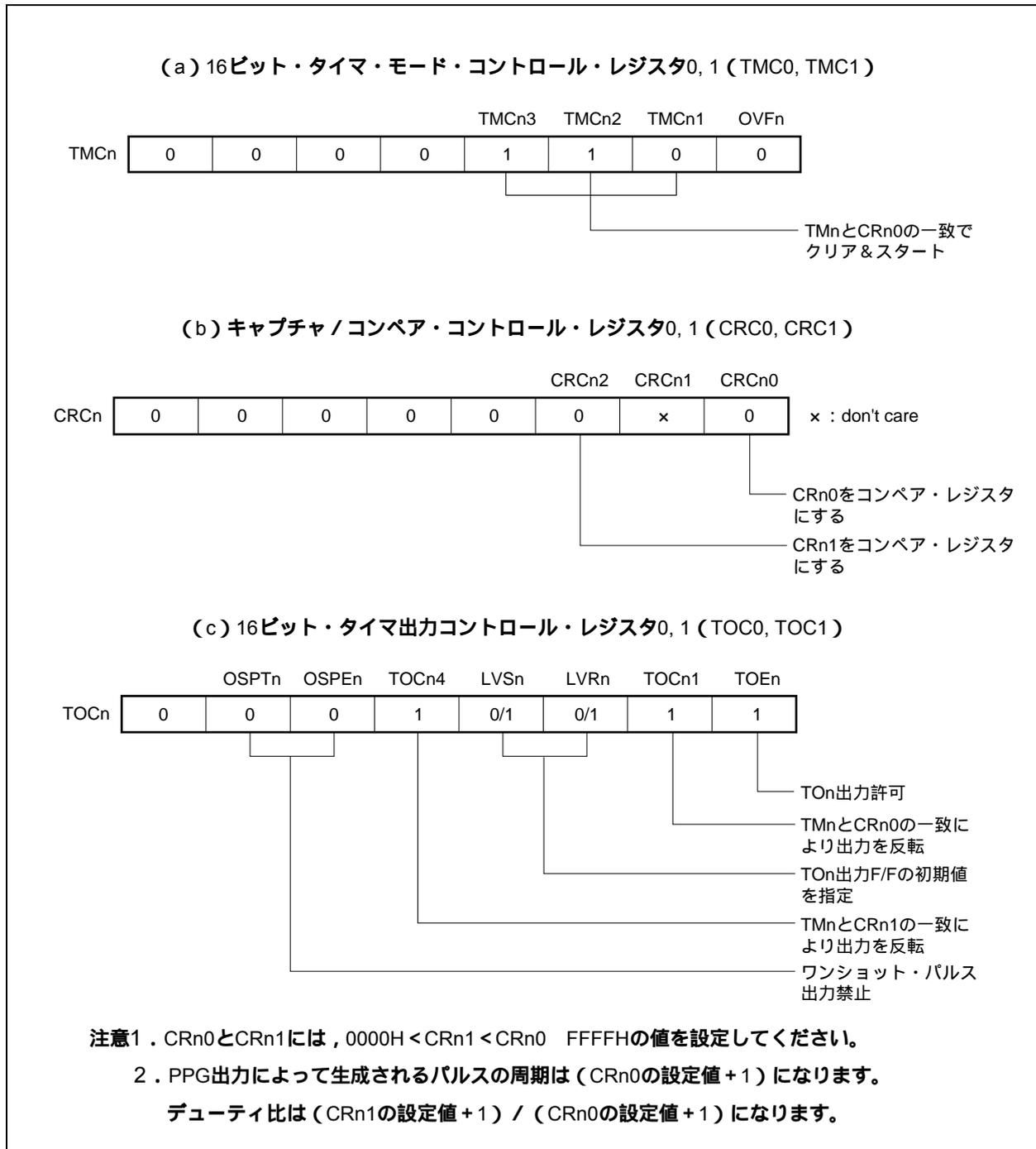
7.7.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) と、キャプチャ/コンペア・コントロール・レジスタn (CRCn) を図7 - 35のように設定すると、PPG (Programmable Pulse Generator) 出力として動作します。

PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値をパルス幅とする矩形波をTOn端子から出力します。

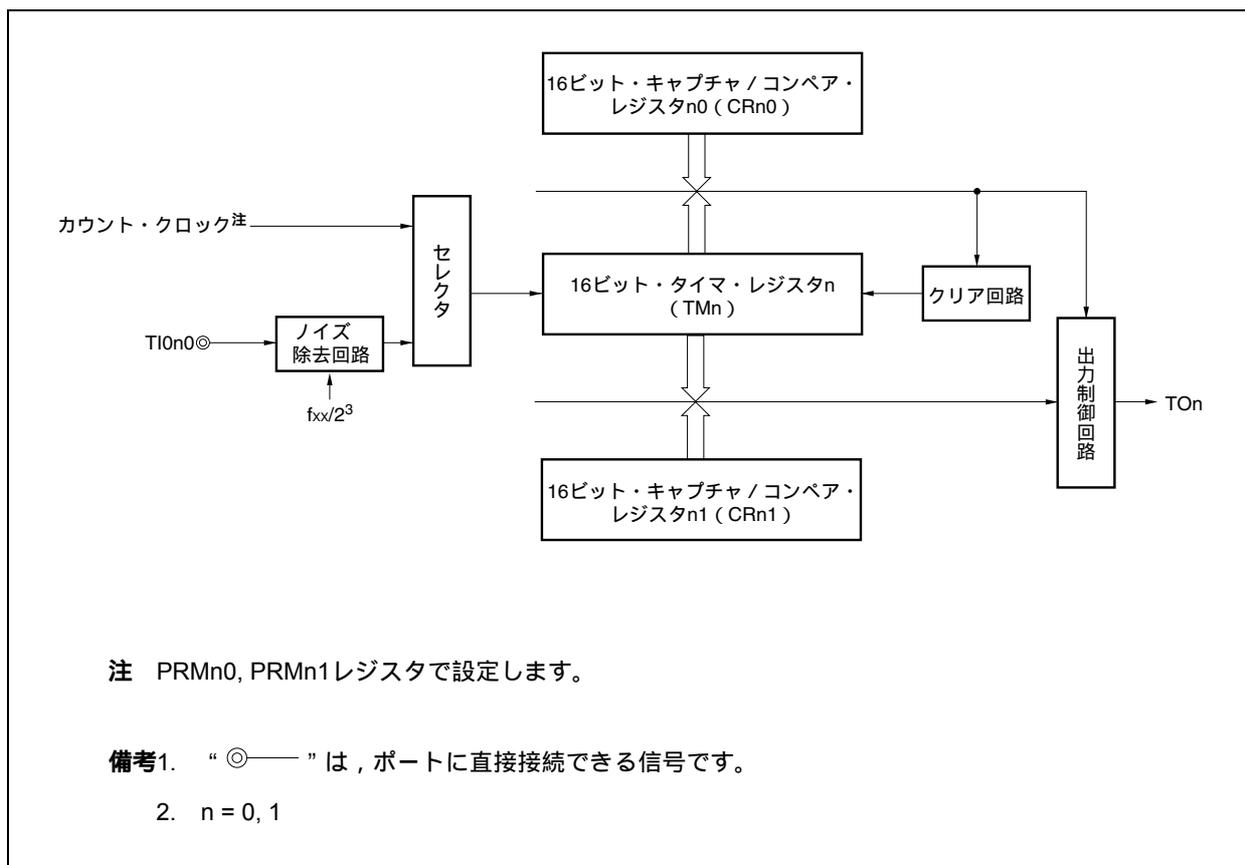
備考 n = 0, 1

図7 - 35 PPG出力動作時の制御レジスタ設定内容



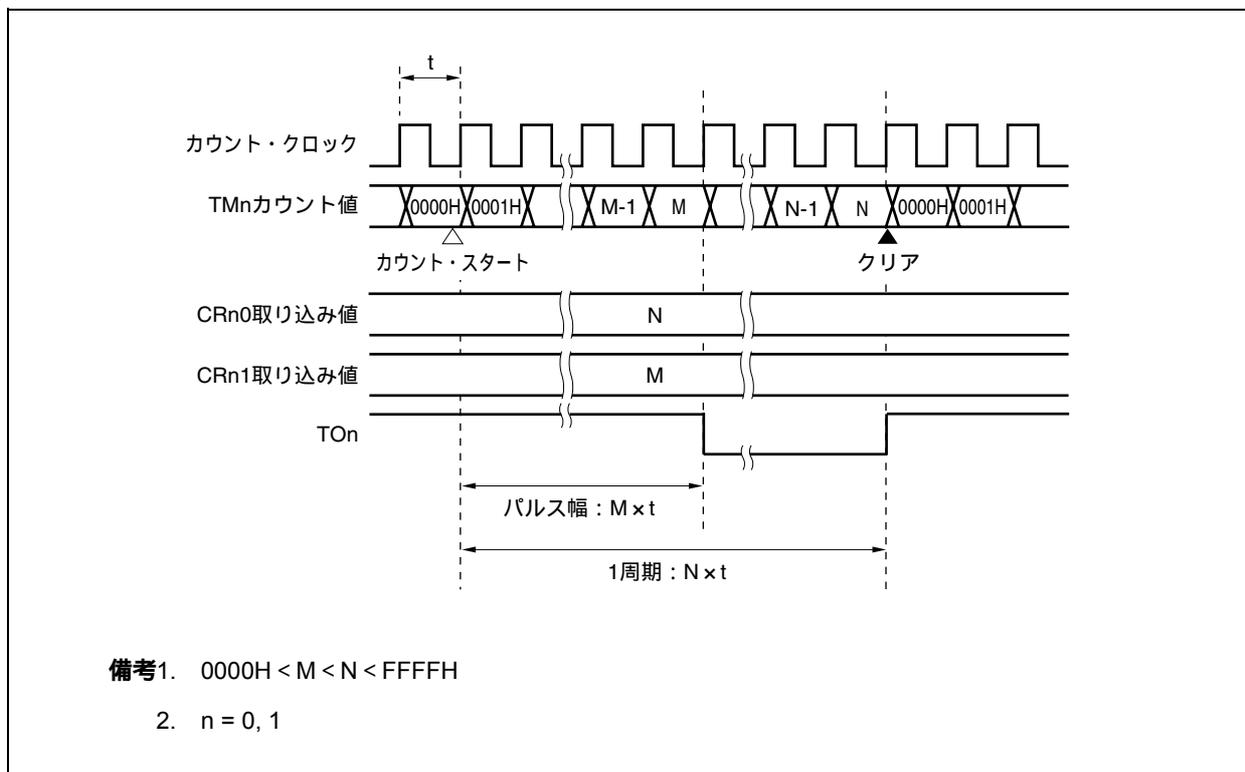
★

図7 - 36 PPG出力の構成図



★

図7 - 37 PPG出力動作のタイミング



7.7.3 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TMn) を使用し, TI0n0端子およびTI0n1端子に入力される信号のパルス幅を測定できます。

測定方法には, TMnをフリー・ランニングさせて測定する方法と, TI0n0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図7-38参照), TI0n0端子にプリスケアラ・モード・レジスタn0 (PRMn0) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込み, 外部割り込み要求信号 (INTTM0n1) をセットします。

エッジ指定は, プリスケアラ・モード・レジスタn0 (PRMn0) のビット6, 7 (ESn10, ESn11) で行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

有効エッジの検出は, プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

備考 n = 0, 1

図7-38 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

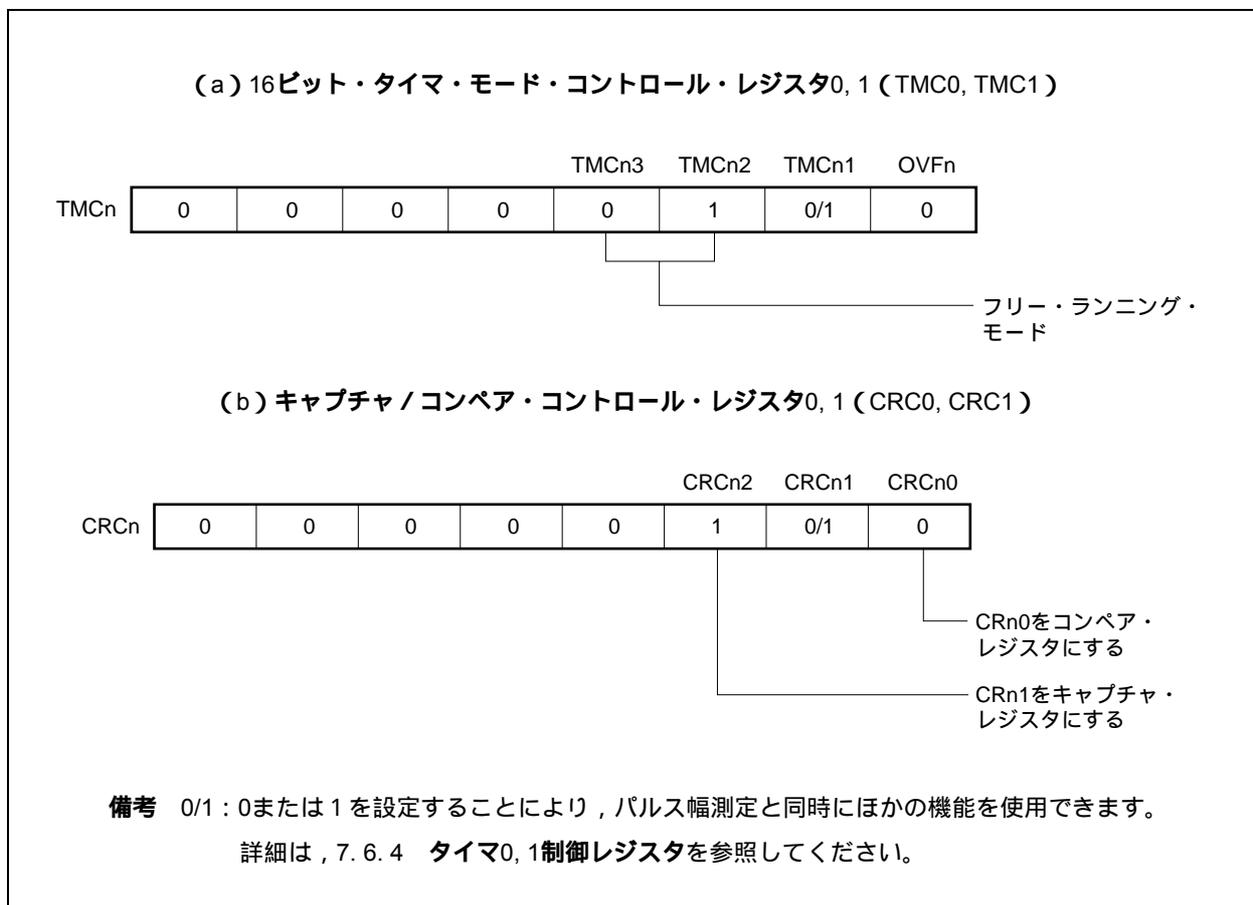
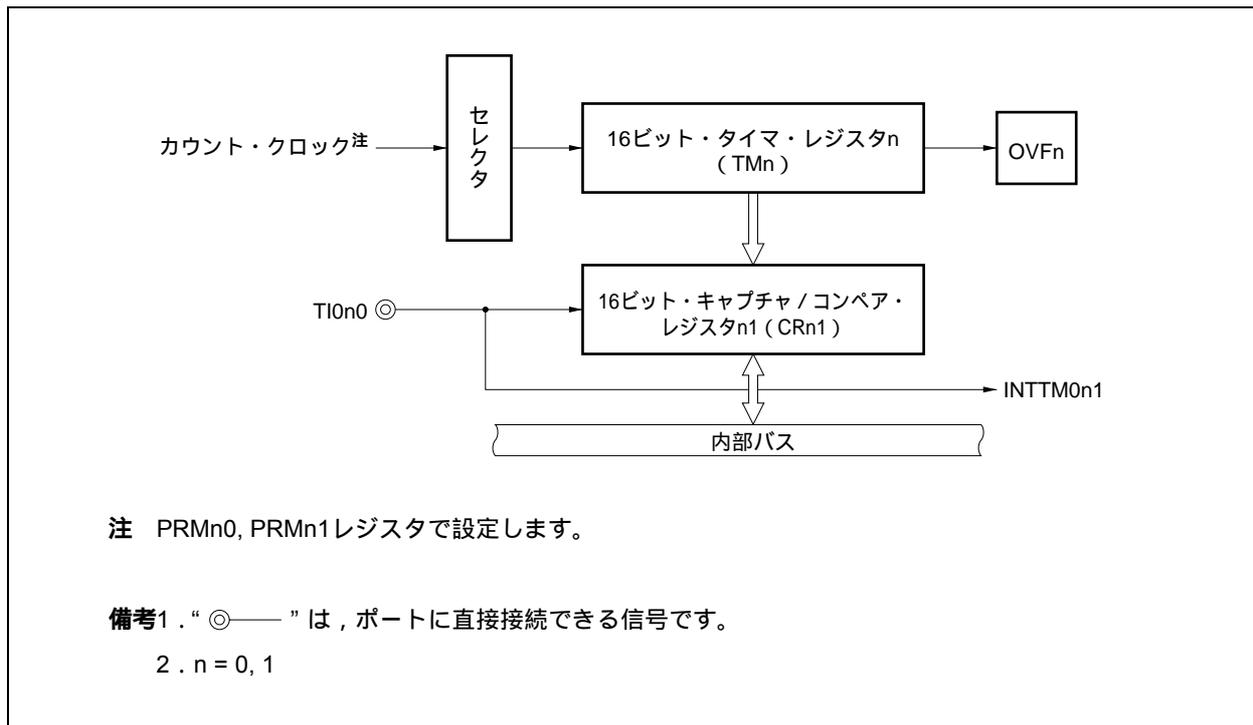


図7-39 フリー・ランニング・カウンタによるパルス幅測定の構成図



・キャプチャ動作について (フリー・ランニング・モード)

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図7-40 立ち上がりエッジ指定時のCRn1キャプチャ動作

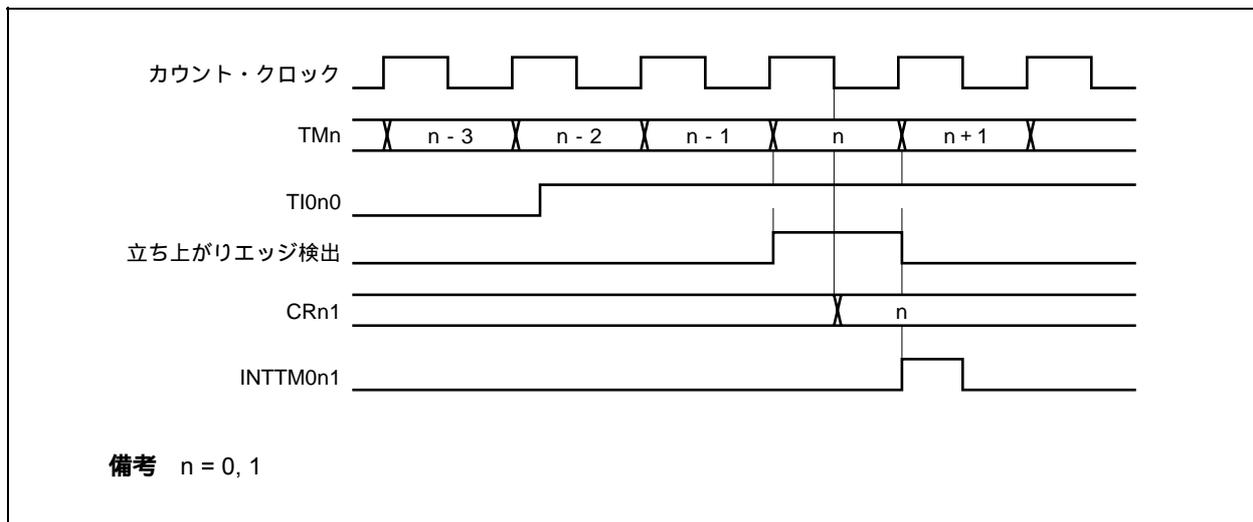
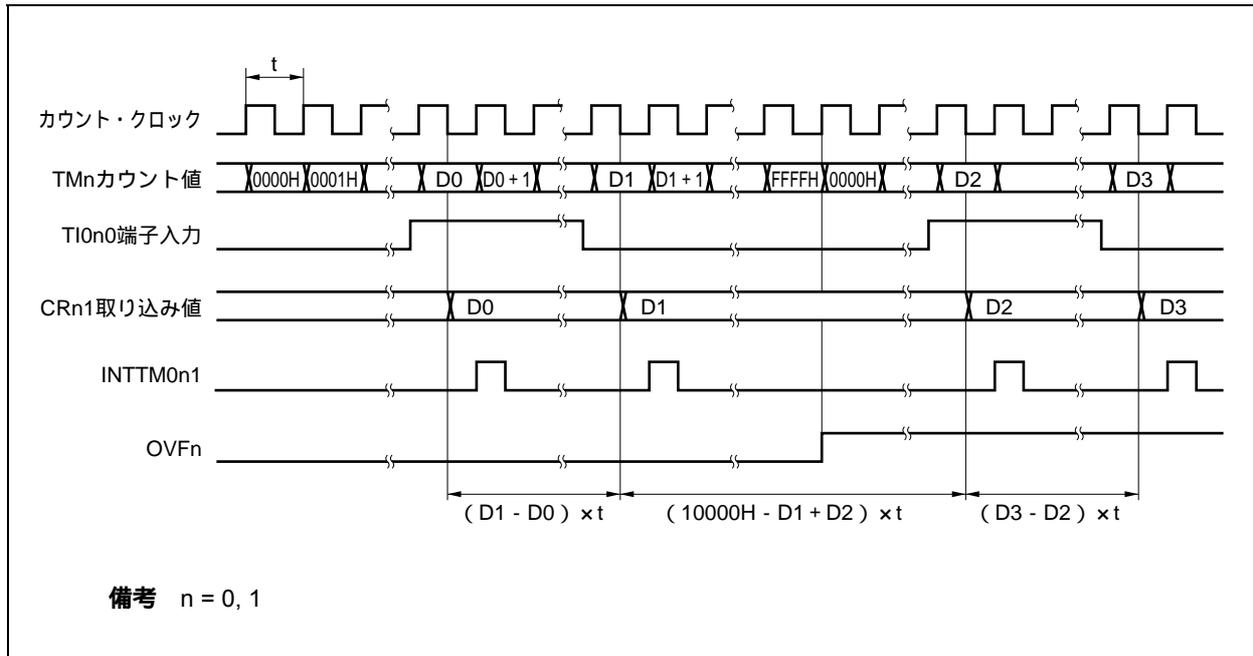


図7-41 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング
(両エッジ指定時)



(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタ n (TMn) をフリー・ランニングで動作させているとき (図7-42参照), TI0n0端子およびTI0n1端子に入力される2つの信号のパルス幅を同時に測定できます。

TI0n0端子にプリスケアラ・モード・レジスタ $n0$ (PRMn0) のビット4, 5 (ESn00, ESn01) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタ $n1$ (CRn1) に取り込み, 外部割り込み要求信号 (INTTM0n1) をセットします。

また, TI0n1端子にPRMn0のビット6, 7 (ESn10, ESn11) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタ $n0$ (CRn0) に取り込み, 外部割り込み要求信号 (INTTM0n0) をセットします。

TI0n0端子とTI0n1端子のエッジ指定は, PRMn0のビット4, 5 (ESn00, ESn01) およびビット6, 7 (ESn10, ESn11) でそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

TI0n0端子の有効エッジの検出は, プリスケアラ・モード・レジスタ $n0, n1$ (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図7 - 42 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

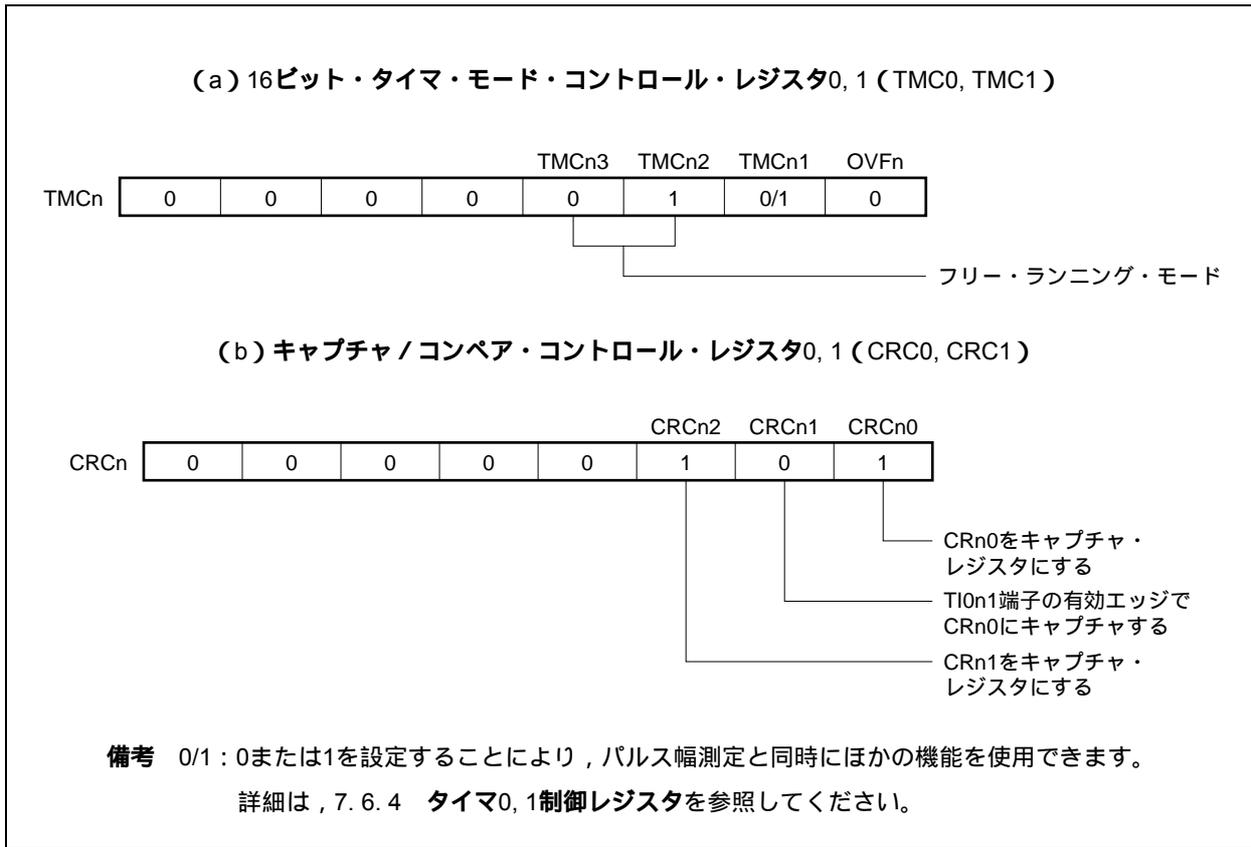
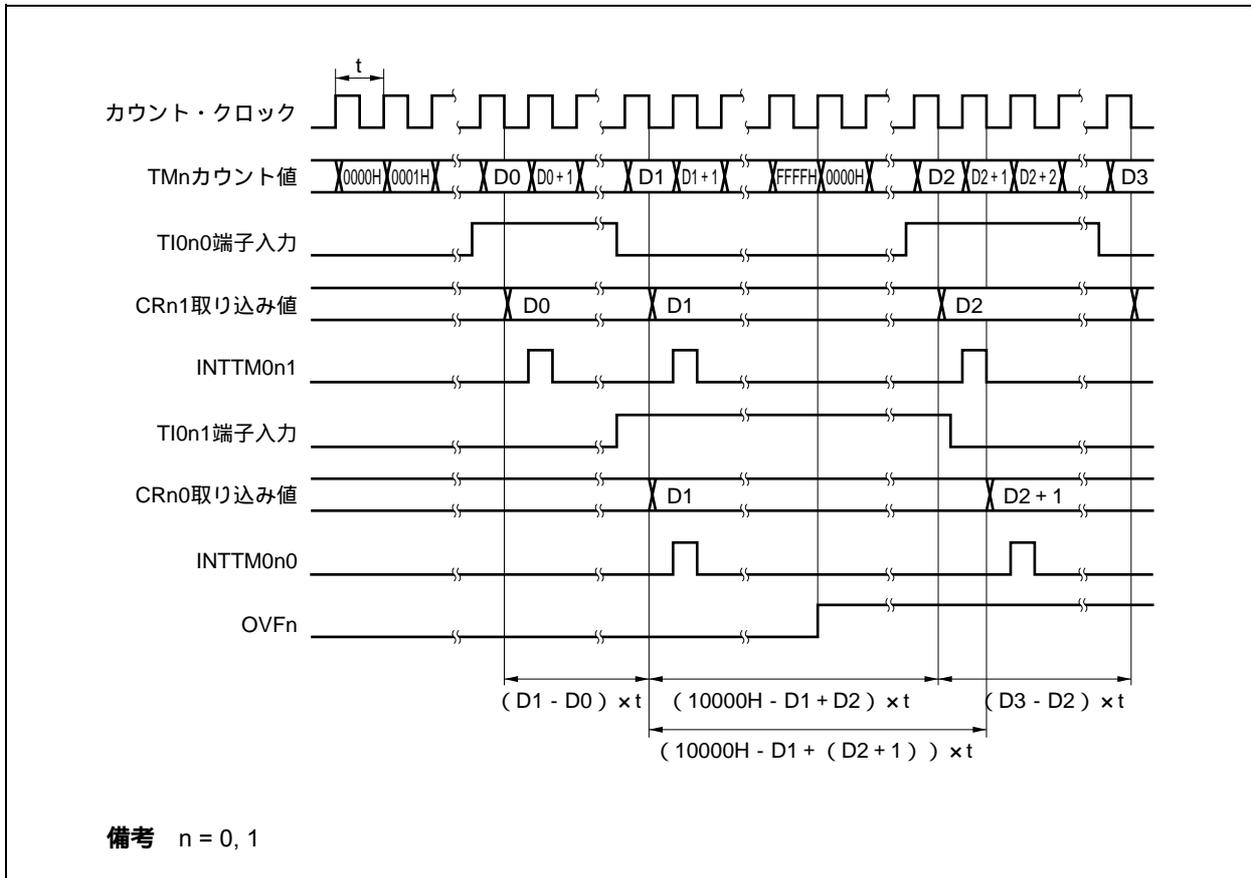


図7 - 43 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図7-44参照) , TI0n0端子に入力する信号のパルス幅を測定できます。

TI0n0端子にプリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込み, 外部割り込み要求信号 (INTTM0n1) をセットします。

また, CRn1へのキャプチャ動作と逆のエッジ入力で, TMnの値を16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) に取り込みます。

TI0n0端子のエッジ指定は, プリスケアラ・モード・レジスタn0 (PRMn0) のビット4,5 (ESn00, ESn01) で行い, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

TI0n0端子の有効エッジの検出は, プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TI0n0端子の有効エッジを, 立ち上がり/立ち下がりの両エッジに指定した場合, キャプチャ/コンペア・レジスタn0 (CRn0) はキャプチャ動作を行えません。

図7-44 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

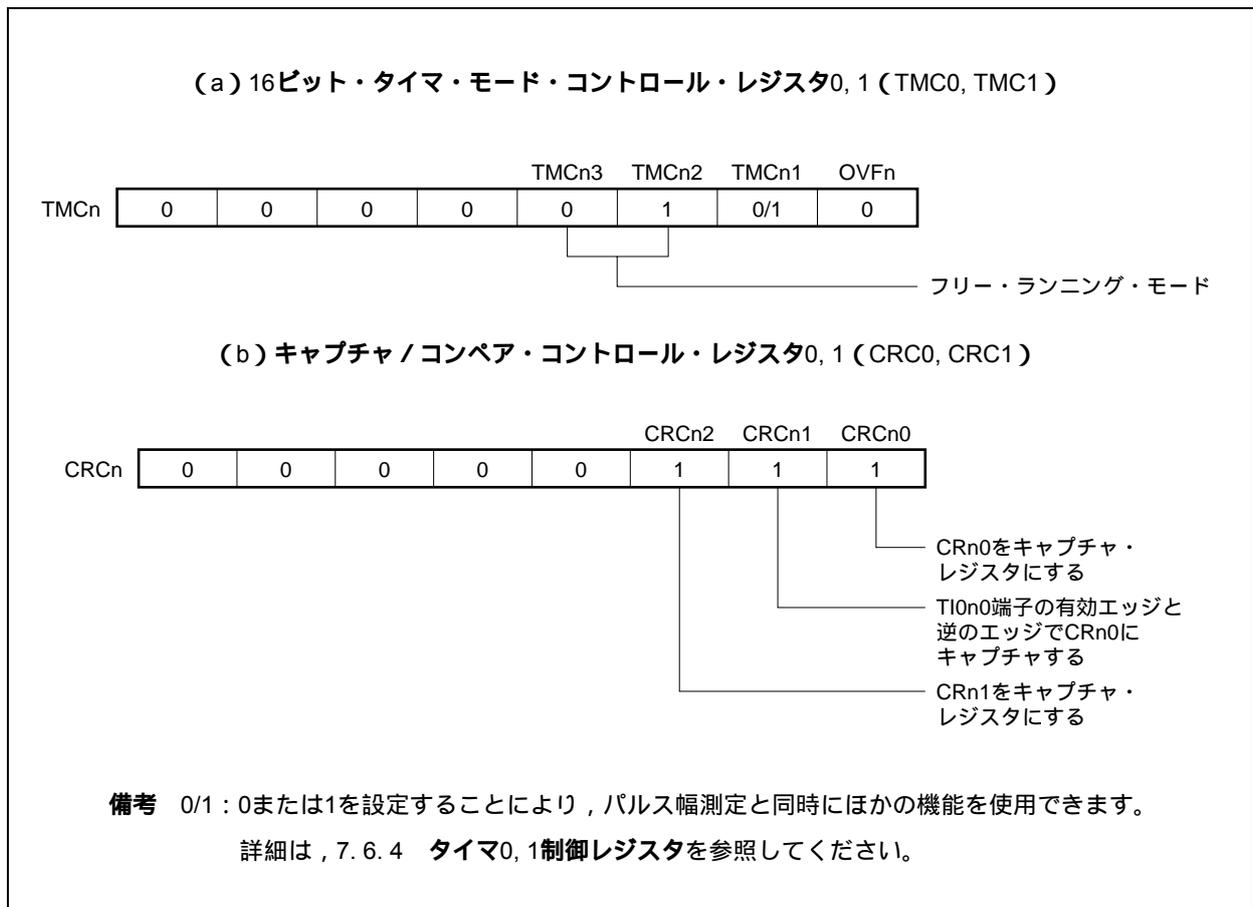
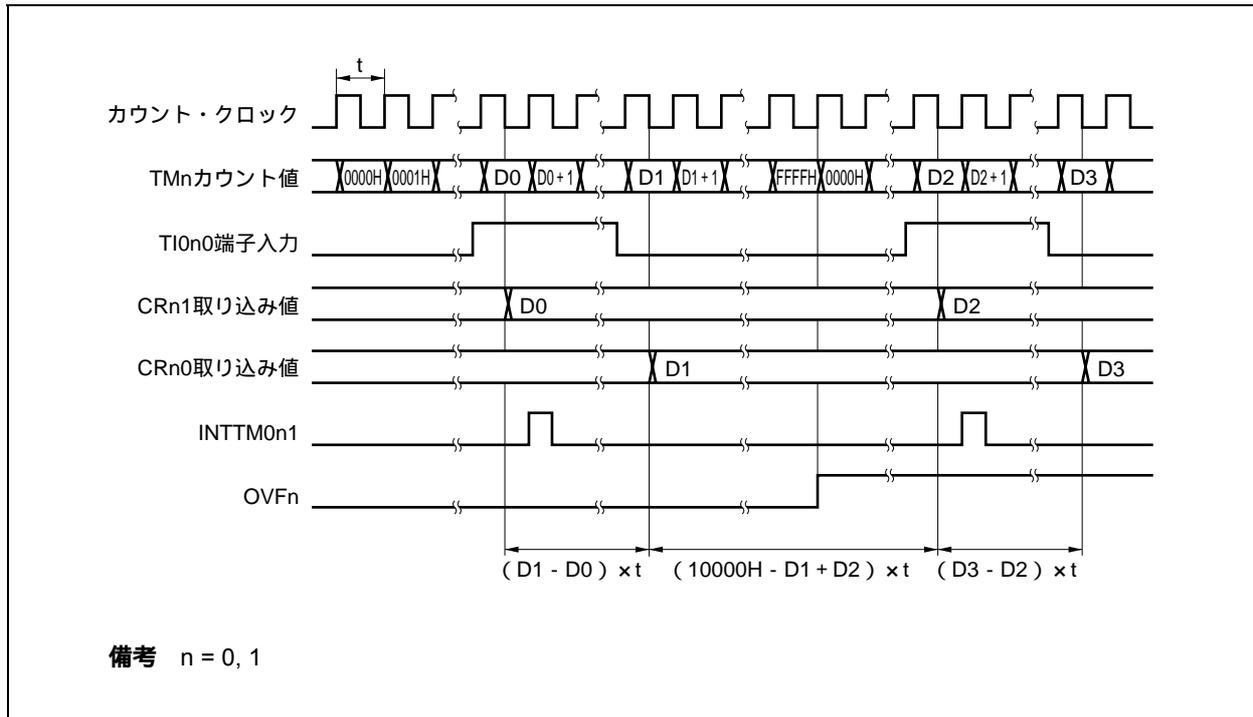


図7 - 45 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI0n0端子への有効エッジを検出したとき、16ビット・タイマ・レジスタn (TMn) のカウント値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込んだあと、TMnをクリアしてカウントを再開することにより、TI0n0端子に入力された信号のパルス幅を測定します (図7 - 45参照)。

エッジ指定は、プリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

有効エッジの検出は、プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TI0n0端子の有効エッジを、立ち上がり/立ち下がり両エッジに指定した場合、キャプチャ/コンペア・レジスタn0 (CRn0) はキャプチャ動作を行えません。

図7 - 46 リスタートによるパルス幅測定時の制御レジスタ設定内容

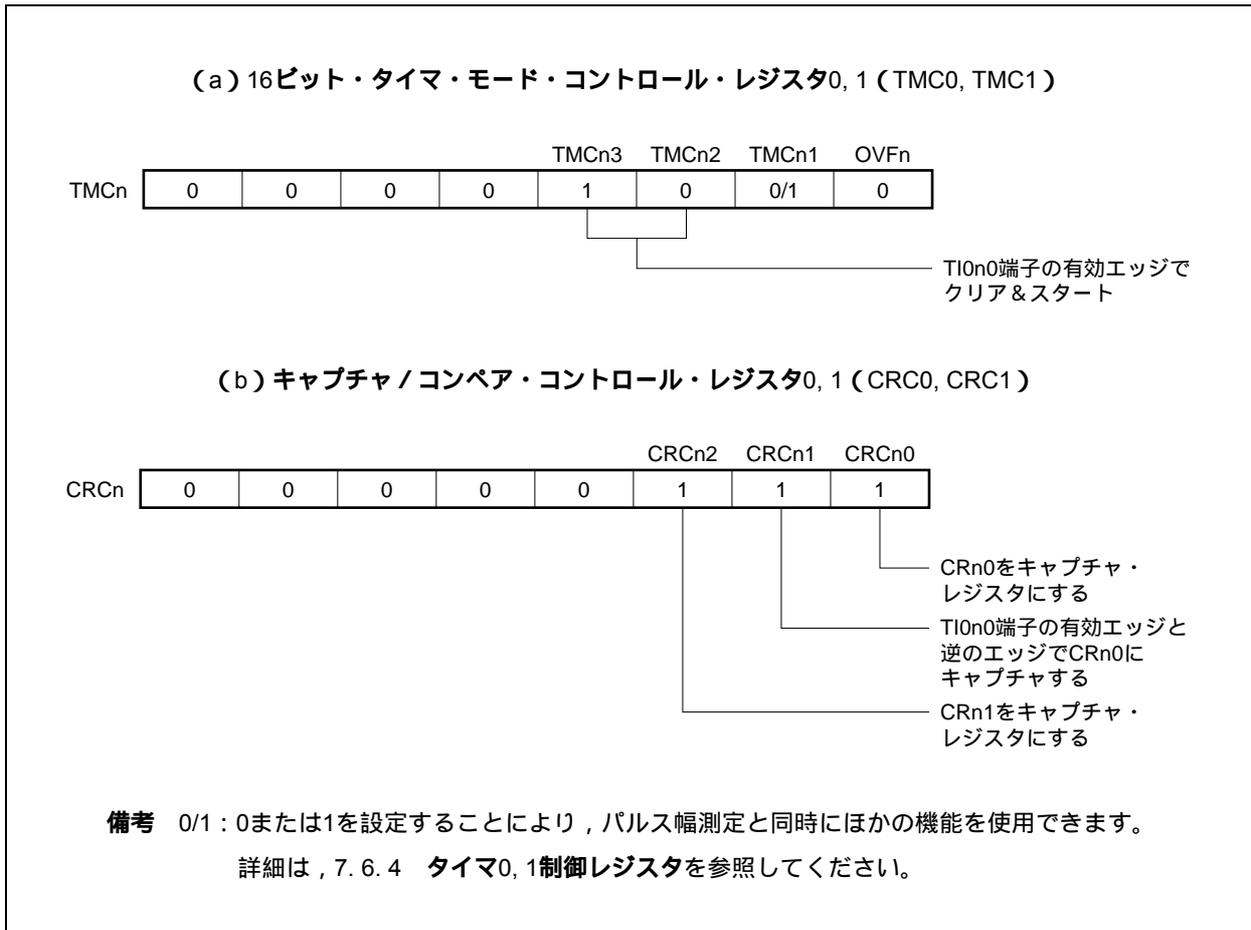
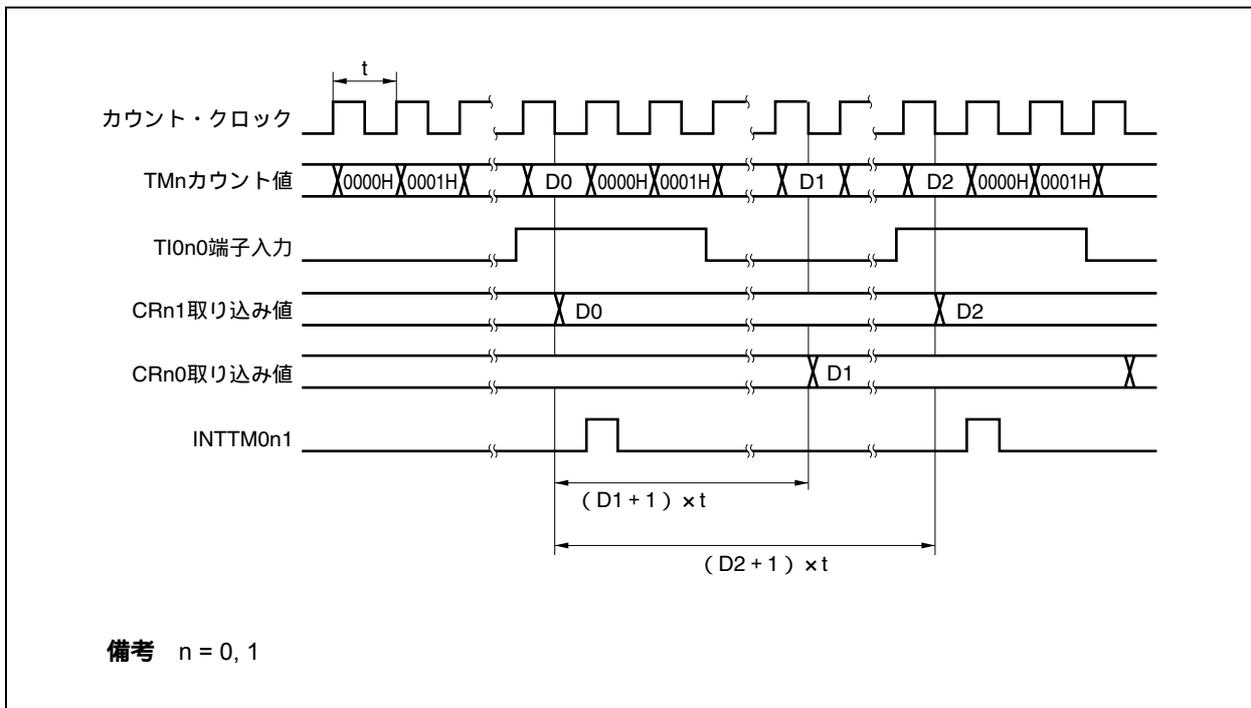


図7 - 47 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



7.7.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI0n0端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタn (TMn) でカウントするものです。

プリスケアラ・モード・レジスタn0 (PRMn0) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。

TMnの計数値が16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTM0n0) が発生します。

エッジ指定は、プリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

有効エッジの検出は、 $f_{xx}/2$ のクロック周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

備考 n = 0, 1

図7 - 48 外部イベント・カウンタ・モード時の制御レジスタ設定内容

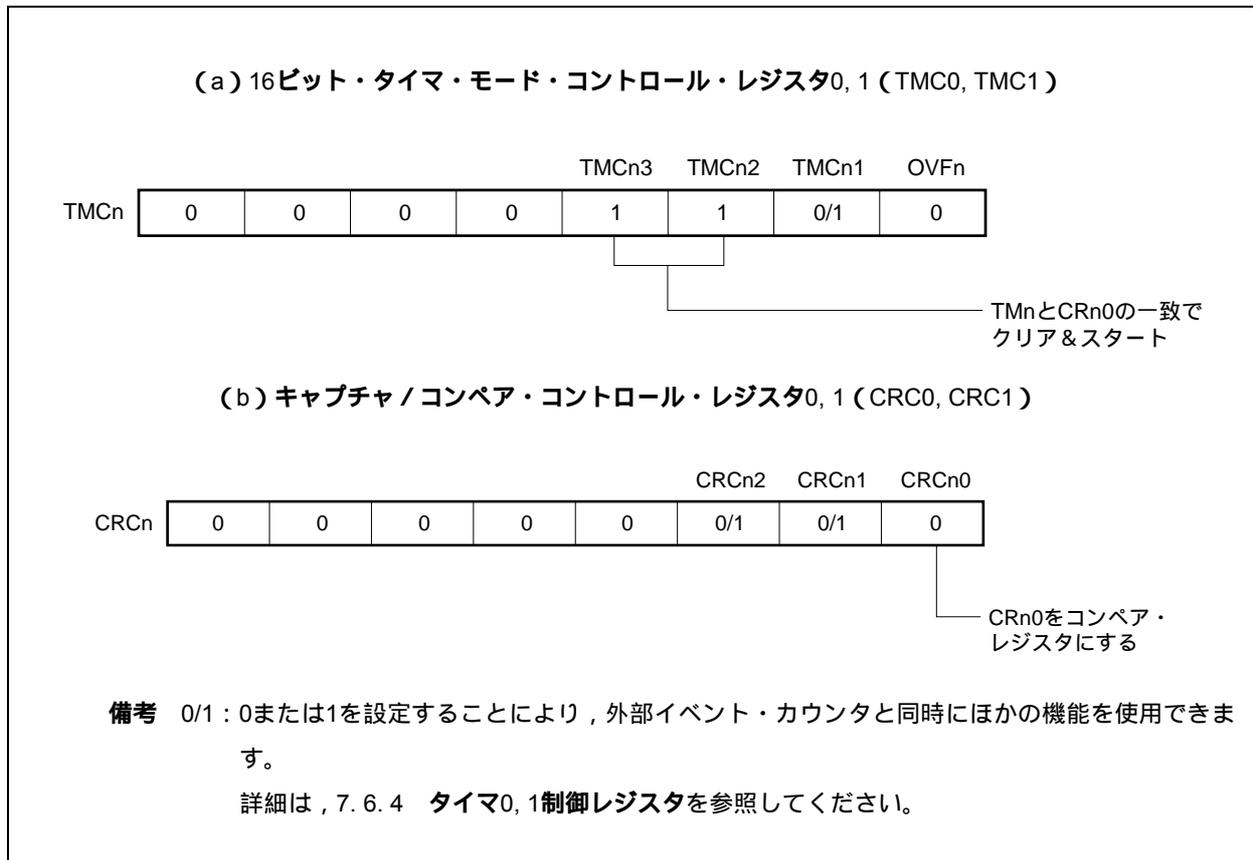


図7 - 49 外部イベント・カウンタの構成図

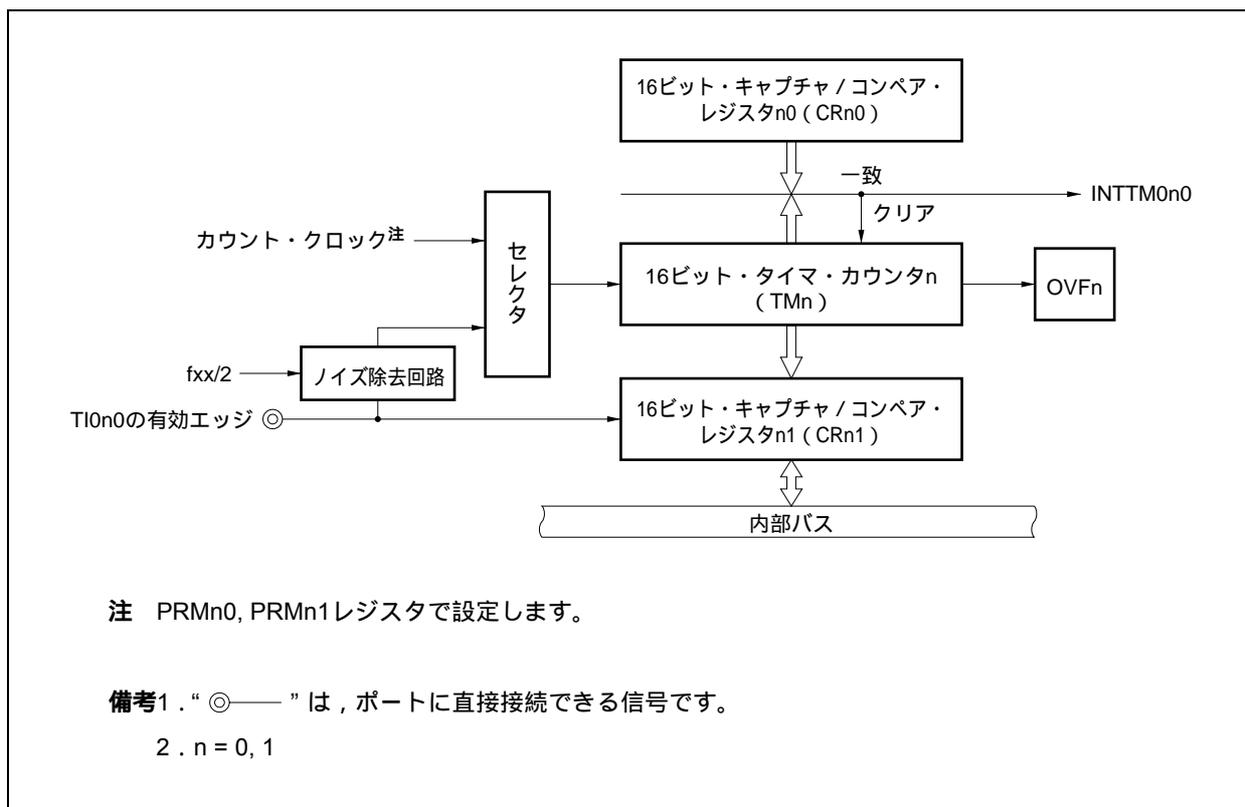
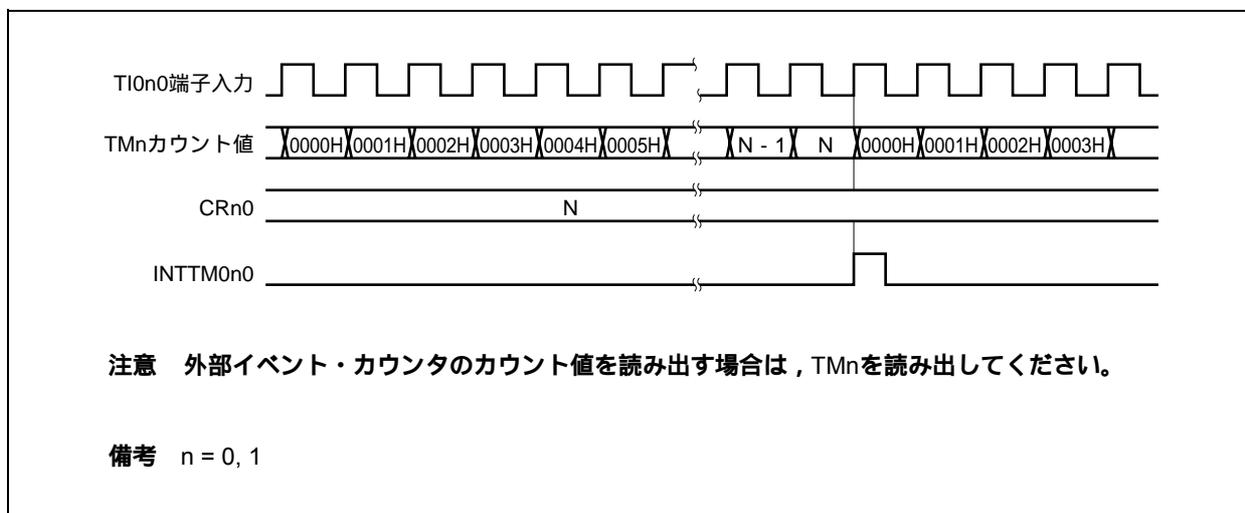


図7 - 50 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



7.7.5 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値をインターバルとする, 任意の周波数の方形波出力です。

16ビット・タイマ出力コントロール・レジスタn (TOCn) のビット0 (TOEn) とビット1 (TOCn1) に1を設定することにより, CRn1にあらかじめ設定したカウント値をインターバルとしてTON端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

備考 n = 0, 1

図7 - 51 方形波出力モード時の制御レジスタ設定内容

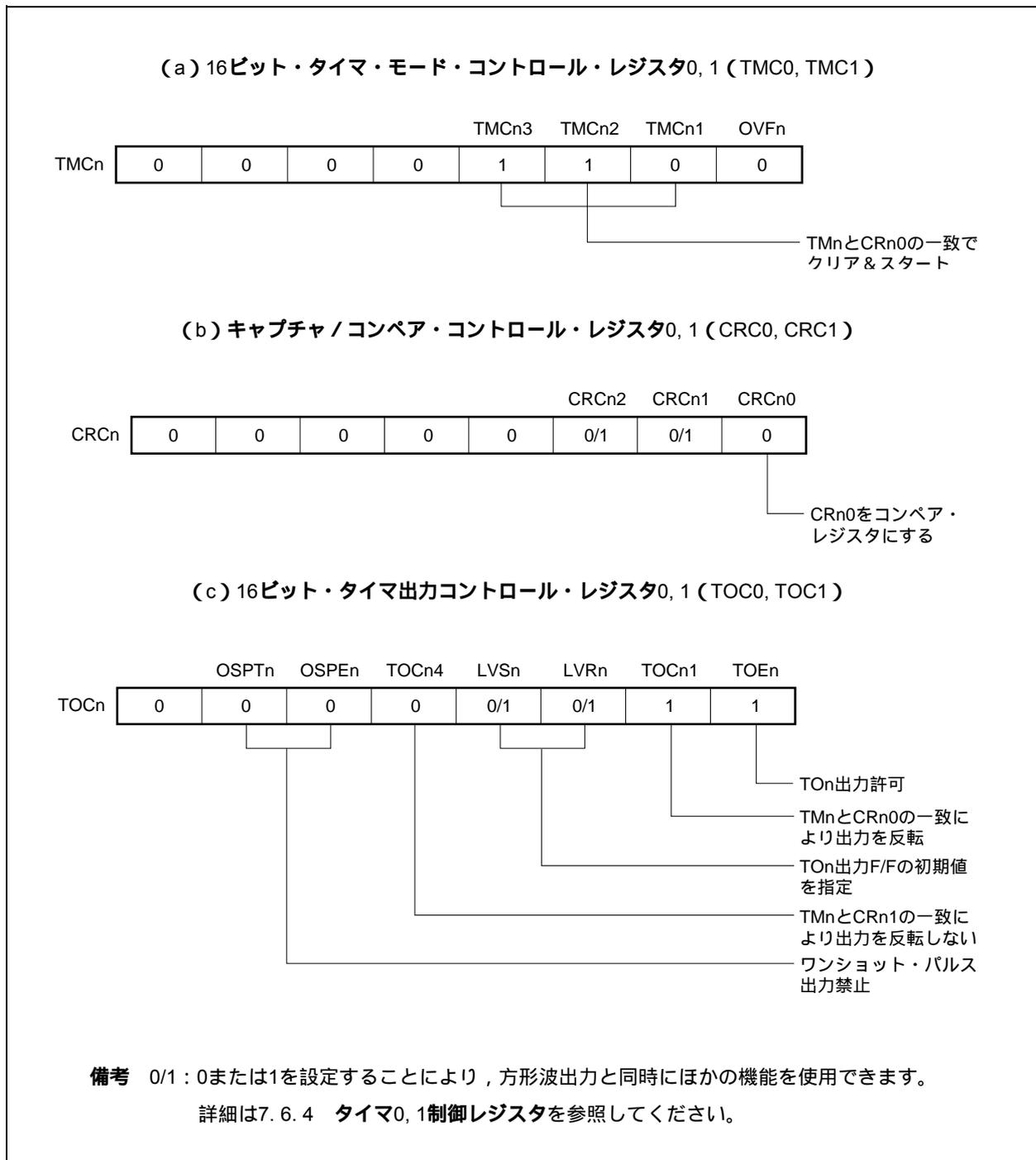
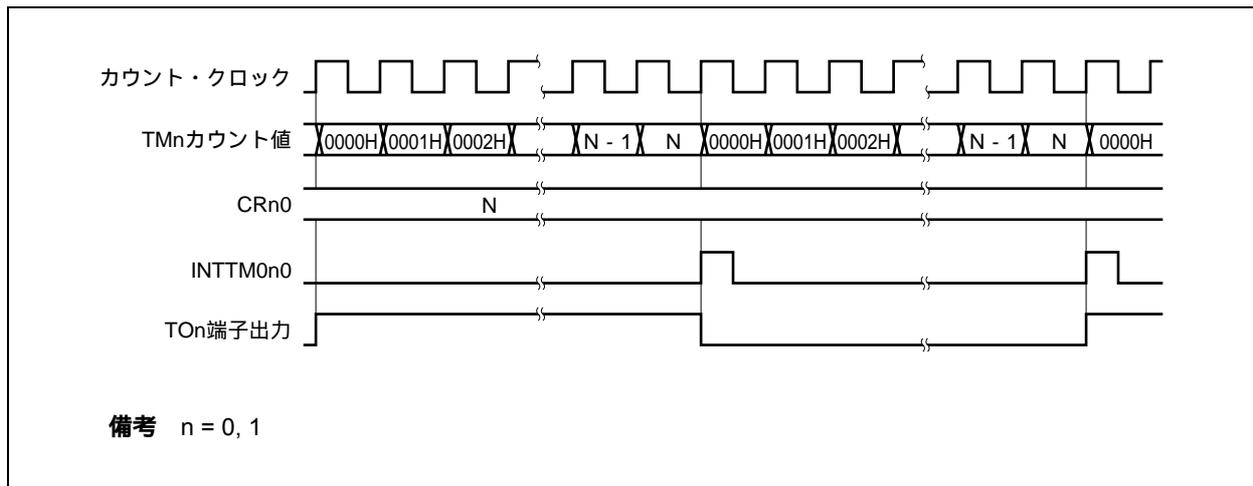


図7 - 52 方形波出力動作のタイミング



7.7.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ(TI0n0端子入力)に同期したワンショット・パルスを出力できます。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) , キャプチャ/コンペア・コントロール・レジスタn (CRCn) および16ビット・タイマ出力コントロール・レジスタn (TOCn) を図7 - 53のように設定し、ソフトウェアでTOCnのビット6 (OSPTn) を1にセットすることにより、ワンショット・パルスをTOn端子から出力します。

OSPTnを1にセットすることにより、16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります^注。

ワンショット・パルス出力後も、TMnは動作を継続しています。TMnを停止させるためには、TMCnに00Hを設定する必要があります。

注 N < Mの場合の例です。N > MのときはCRn0で出力がアクティブになり、CRn1でインアクティブとなります。

注意1. ワンショット・パルスを出力しているときは、OSPTnを1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。

2. ソフトウェア・トリガによるワンショット・パルスを出力しているときは、TI0n0端子は、汎用ポートとして使用できません。

備考 n = 0, 1

図7 - 53 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

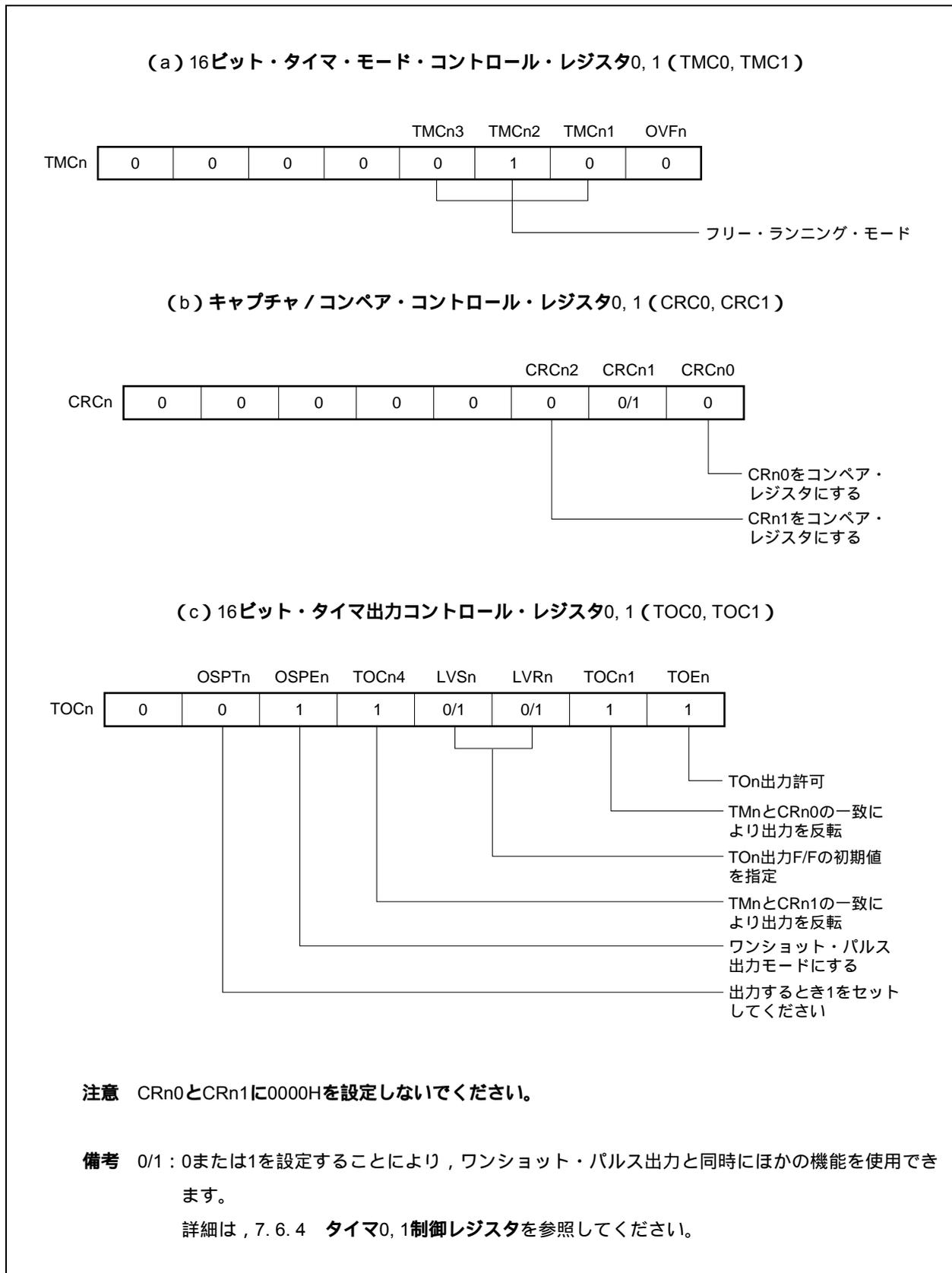
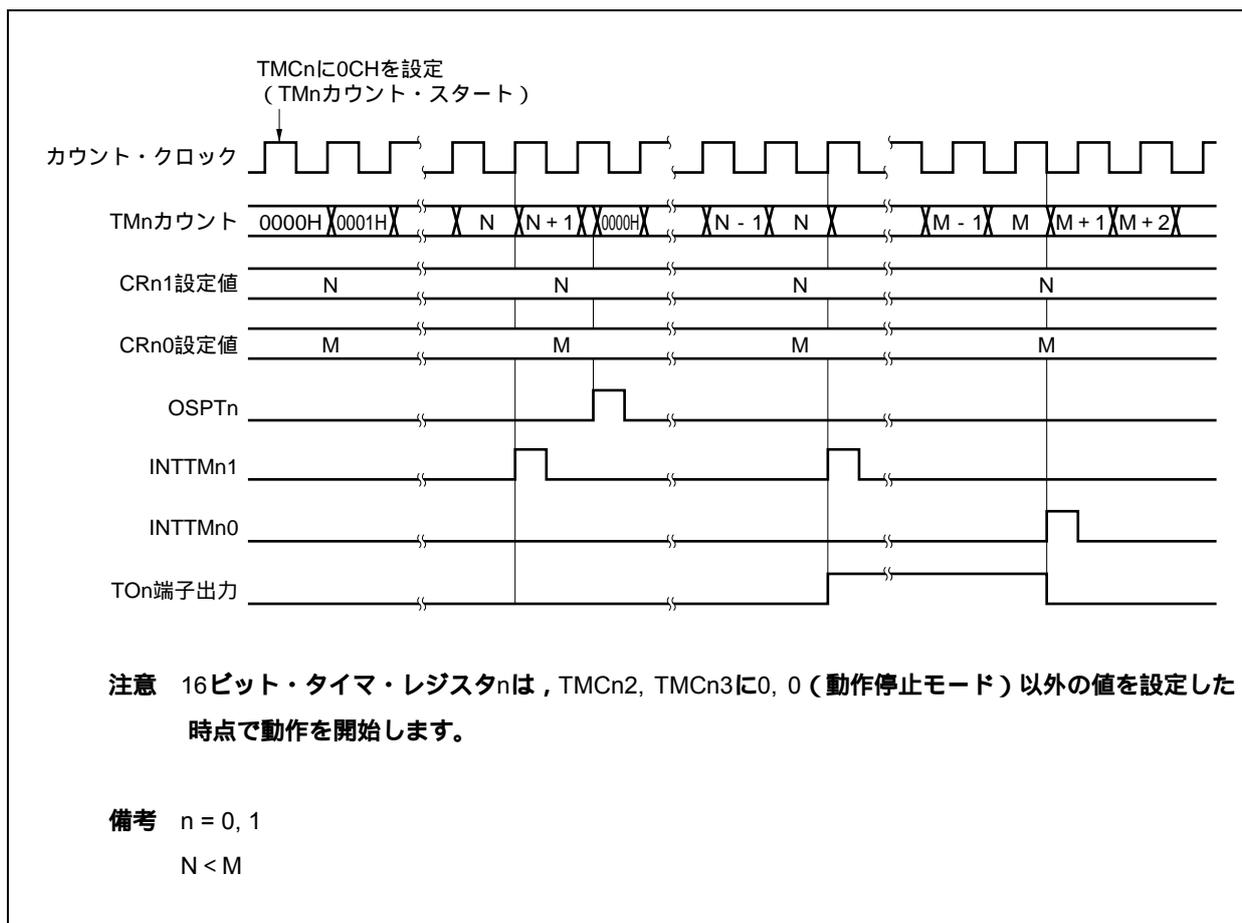


図7 - 54 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) , キャプチャ/コンペア・コントロール・レジスタn (CRCn) および16ビット・タイマ出力コントロール・レジスタn (TOCn) を図7 - 55のように設定し, TI0n0端子の有効エッジを外部トリガとしてワンショット・パルス出力をTOn端子から出力します。

TI0n0端子の有効エッジ指定は、プリスケアラ・モード・レジスタn0 (PRMn0) のビット4,5 (ESn00, ESn01) で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

TI0n0端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります^注。

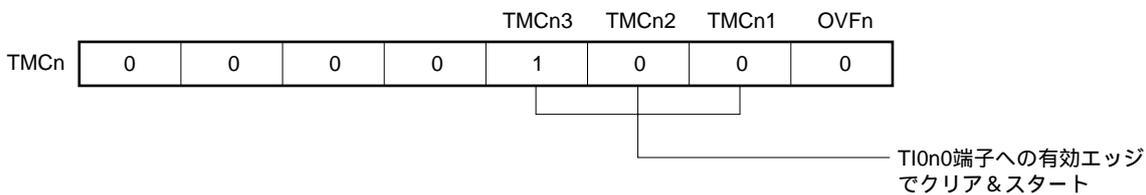
注 N < Mの場合の例です。N > MのときはCRn0で出力がアクティブになり、CRn1でインアクティブとなります。

注意 ワンショット・パルスを出力しているときに外部トリガが発生すると、16ビット・タイマ/イベント・カウンタがクリア&スタートし、再度ワンショット・パルス出力を出力します。

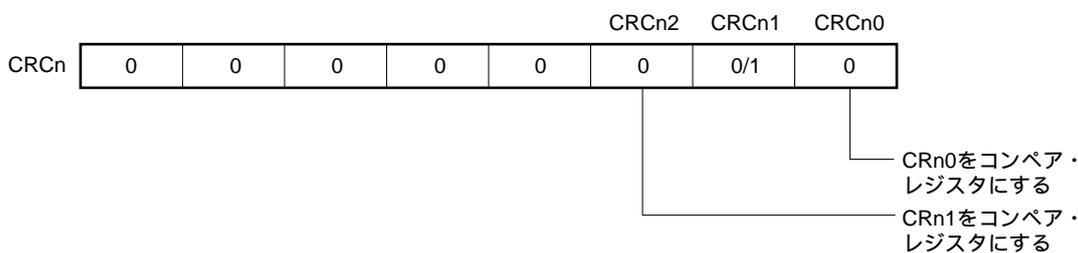
備考 n = 0, 1

図7 - 55 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

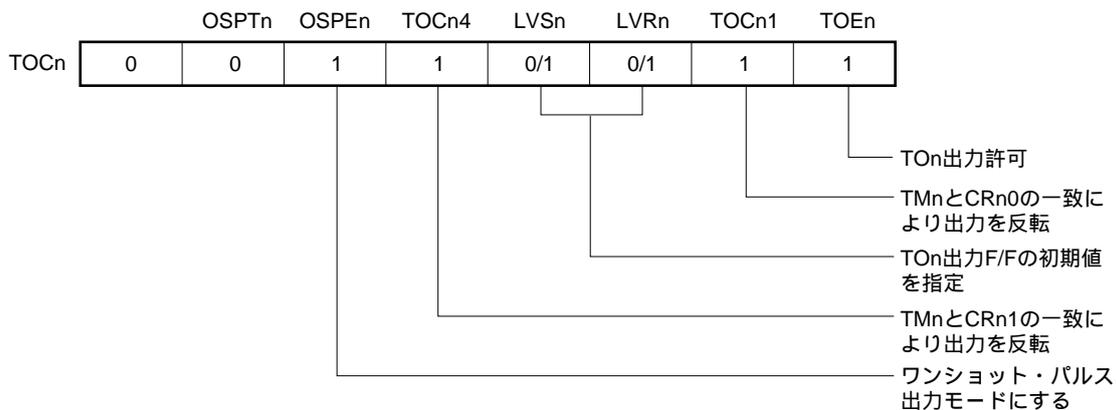
(a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1)



(b) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1)



(c) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1)

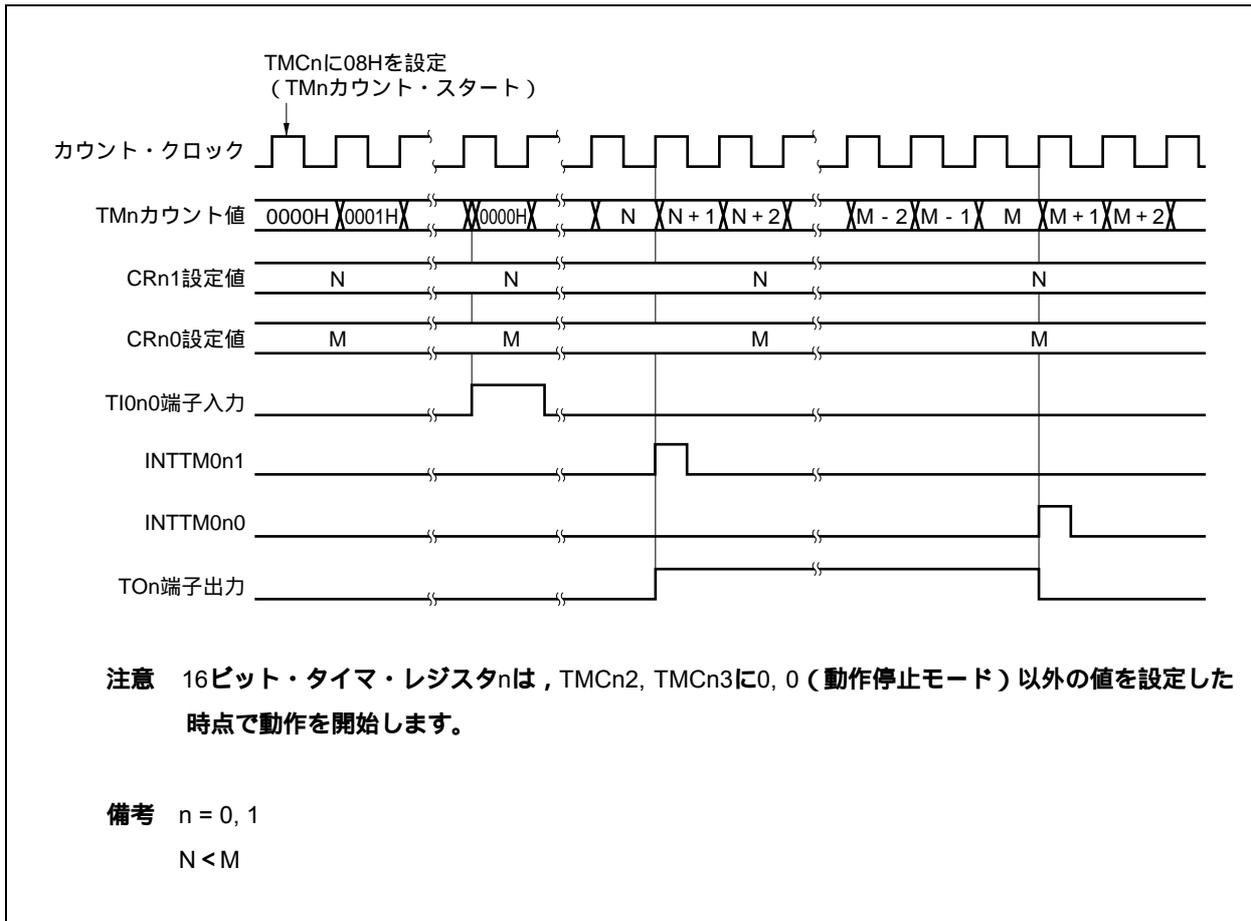


注意 CRn0とCRn1に0000Hを設定しないでください。

備考 0/1 : 0または1を設定することにより, ワンショット・パルス出力と同時にほかの機能を使用できます。

詳細は, 7. 6. 4 タイマ0, 1制御レジスタを参照してください。

図7 - 56 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)

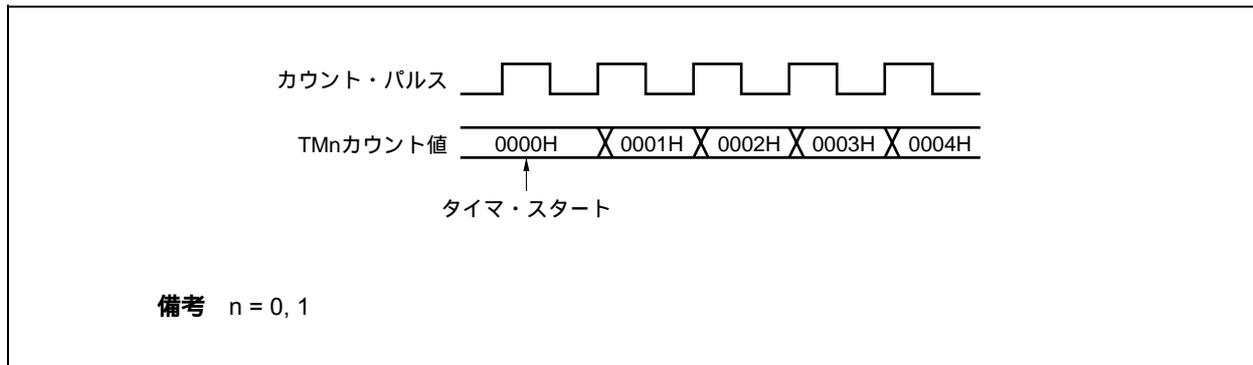


7.7.7 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対して16ビット・タイマ・レジスタn(TMn)のスタートが非同期で行われるためです。

図7 - 57 16ビット・タイマ・レジスタnのスタート・タイミング



(2) 16ビット・キャプチャ/コンペア・レジスタの設定 (TMnとCRn0の一致でクリア&スタート・モードの場合)

16ビット・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1) には、0000H以外の値を設定してください。イベント・カウンタとして使用する場合、1パルスのカウント動作はできません。

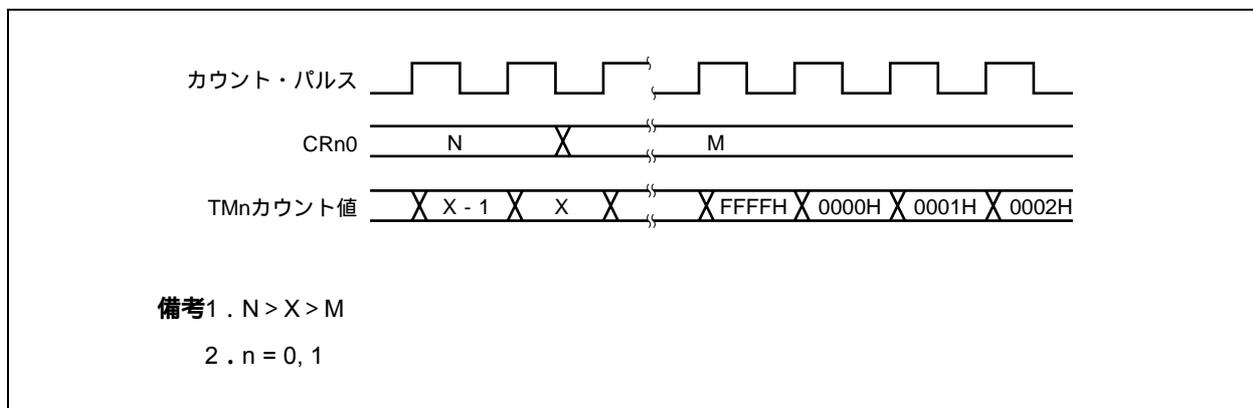
備考 n = 0, 1

(3) タイマ・カウント動作中のコンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) の変更後の値が、16ビット・タイマ・レジスタn(TMn)の値よりも小さいとき、TMnはカウントを継続し、オーバフローして0から再カウントします。

したがって、CRn0変更後の値(M)が、変更前の値(N)よりも小さいときは、CRn0を変更したあと、タイマをリセットし再スタートさせる必要があります。

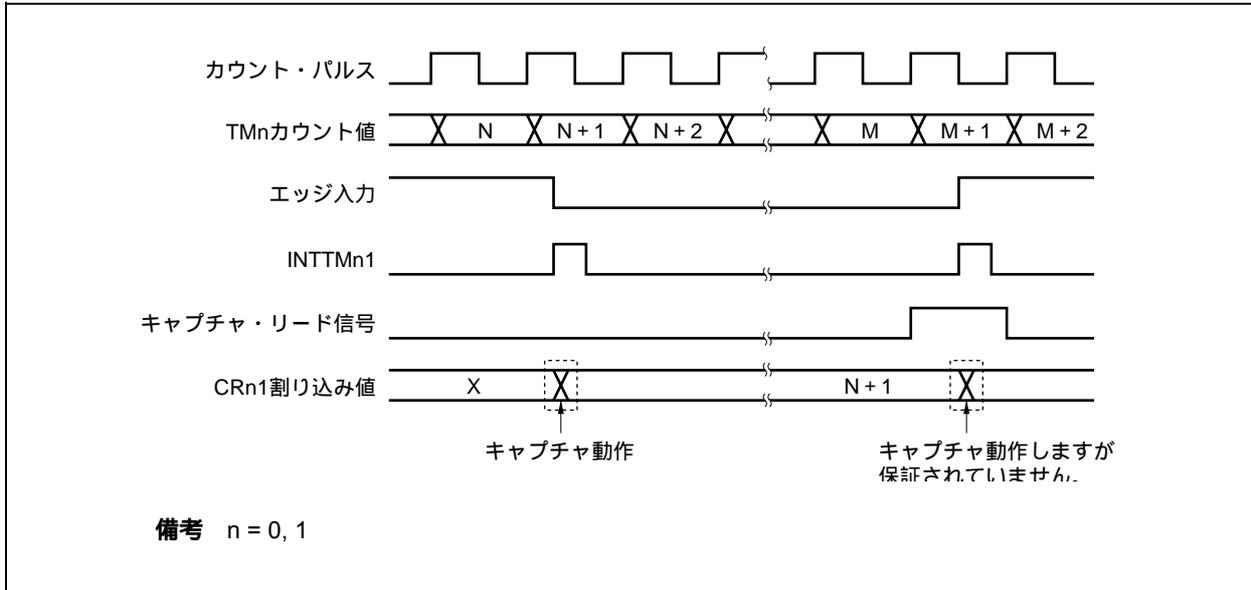
図7 - 58 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ n (CR n 1) の読み出し中にTI0 n 0端子の有効エッジが入力したとき、CR n 1はキャプチャ動作を行います。このときのキャプチャ値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (INTTM0 n 1) はセットされます。

図7 - 59 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TI0 n 0端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタ n のビット2, 3 (TMC n 2, TMC n 3)に0, 0を設定し、タイマ動作を停止させたあとに行ってください。有効エッジの設定は、プリスケラ・モード・レジスタ n 0 (PRM n 0) のビット4, 5 (ES n 00, ES n 01)で行います。

備考 $n = 0, 1$

(6) ワンショット・パルスの再トリガ**(a) ソフトウェアによるワンショット・パルス出力**

ワンショット・パルスを出力しているときは、OSPTnを1にセットしないでください。再度ワンショット・パルスを出力したいときは、CRn0との一致割り込みであるINTTM0n0、またはCRn1との一致割り込みであるINTTM0n1が発生したあとに行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに外部トリガが発生すると、16ビット・タイマ/イベント・カウンタがクリア&スタートし、再度、ワンショット・パルスを出力します。

(c) ワンショット・パルス出力機能について

タイマ0, 1のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI0n0端子は、汎用ポートとして使用できません。

備考 n = 0, 1

(7) OVF_nフラグの動作

(a) OVF_nフラグのセット

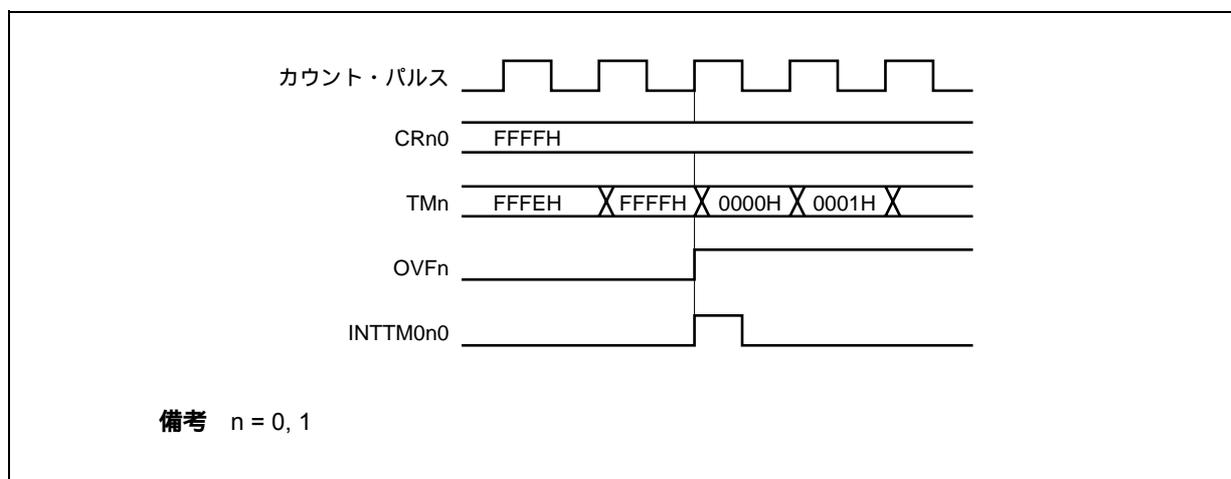
OVF_nフラグは、次のときに“1”に設定されます。

TM_nとCR_n0の一致でクリア&スタートするモード、TIn₀の有効エッジでクリア&スタート、フリーランニング・モードのいずれかを選択

CR_n0をFFFFHに設定

TM_nがFFFFHから0000Hにカウントアップするとき

図7 - 60 OVF_nフラグの動作タイミング



(b) OVF_nフラグのクリア

TM_nがオーバフロー後、次のカウント・クロックが発生する前 (TM_nが0001Hになる前) にOVF_nフラグをクリアしても、再度セットされ、クリアは無効となります。

(8) 競合動作について

(a) リード期間とキャプチャ・トリガ入力の競合した場合

16ビット・キャプチャ/コンペア・レジスタ_n, _n1 (CR_n0, CR_n1) のリード期間とキャプチャ・トリガ入力が競合 (CR_n0, CR_n1はキャプチャ・レジスタとして使用) した場合は、キャプチャ・トリガ入力が優先され、CR_n0, CR_n1のリード・データは不定となります。

(b) ライト期間とTM_nとの一致タイミングが競合した場合

16ビット・キャプチャ/コンペア・レジスタ_n, _n1 (CR_n0, CR_n1) のライト期間と16ビット・タイマ・レジスタ_n (TM_n) との一致タイミングが競合 (CR_n0, CR_n1はコンペア・レジスタとして使用) した場合は、一致判別は正常に行われません。一致タイミング付近でCR_n0, CR_n1のライト動作は行わないでください。

備考 n = 0, 1

(9) タイマ動作について**(a) CRn1のキャプチャ**

16ビット・タイマ・レジスタn (TMn) をリードしても、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にはキャプチャしません。

(b) TI0n0, TI0n1端子の受け付け

CPUの動作モードに関係なく、タイマが停止していると、TI0n0, TI0n1端子への入力信号は受け付けられません。

(c) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・モードがTI0n0端子の有効エッジでクリア&スタート・モードで正常に動作します。TMnとCRn0の一致でクリア&スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。

備考 n = 0, 1

(10) キャプチャ動作について**(a) カウント・クロックにTI0n0の有効エッジを指定した場合**

カウント・クロックにTI0n0の有効エッジを指定した場合、TI0n0をトリガに指定したキャプチャ・レジスタは正常に動作できません。

(b) TI0n0の有効エッジに立ち上がり/立ち下がり両エッジを選択した場合

TI0n0の有効エッジに立ち上がり/立ち下がり両エッジを選択した場合には、キャプチャ動作しません。

(c) TI0n0, TI0n1からの信号を確実にキャプチャ

キャプチャ・トリガは、TI0n1, TI0n0からの信号を確実にキャプチャ動作するために、プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロックの2回分より長いパルスを必要とします。

(d) 割り込み要求入力

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM0n0, INTTM0n1) は次のカウント・クロックの立ち上がりで発生します。

備考 n = 0, 1

(11) コンペア動作について

(a) タイマ動作中にCRn0, CRn1を書き換えたとき

タイマ動作中に16ビット・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1) を書き換えたとき、その値がタイマ値に近く、かつタイマ値より大きい場合、一致割り込み要求の発生やクリア動作が正常に行われられない可能性があります。

(b) CRn0, CRn1をコンペア・モードに設定したとき

コンペア・モードに設定したCRn0, CRn1は、キャプチャ・トリガが入力されていてもキャプチャ動作を行いません。

備考 n = 0, 1

(12) エッジ検出について

(a) システム・リセット直後にTI0n0端子またはTI0n1端子がハイ・レベルの場合

システム・リセット直後にTI0n0端子またはTI0n1端子がハイ・レベルの場合、TI0n0端子またはTI0n1端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ/カウンタn (TMn) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止した後の再動作許可時には、立ち上がり/立ち下がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI0n0の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{xx}/2$ で、後者はプリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロックでサンプリングします。有効エッジの検出は、有効エッジをサンプリングして、2回有効レベルを検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

備考 n = 0, 1

7.8 8ビット・タイマ (TM2-TM7, TM10, TM11)

7.8.1 機能

8ビット・タイマ n には、次の2つのモードがあります ($n = 2-7, 10, 11$)。

- ・タイマを単体で使用するモード (単体モード)
- ・カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

注意 カスケード接続を行っていないときはTM23, TM45, TM67, TM1011, CR23, CR45, CR67, CR1011へのアクセスは禁止です。

次に、これら2つのモードについて説明します。

(1) タイマを単体で使用するモード (単体モード)

8ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

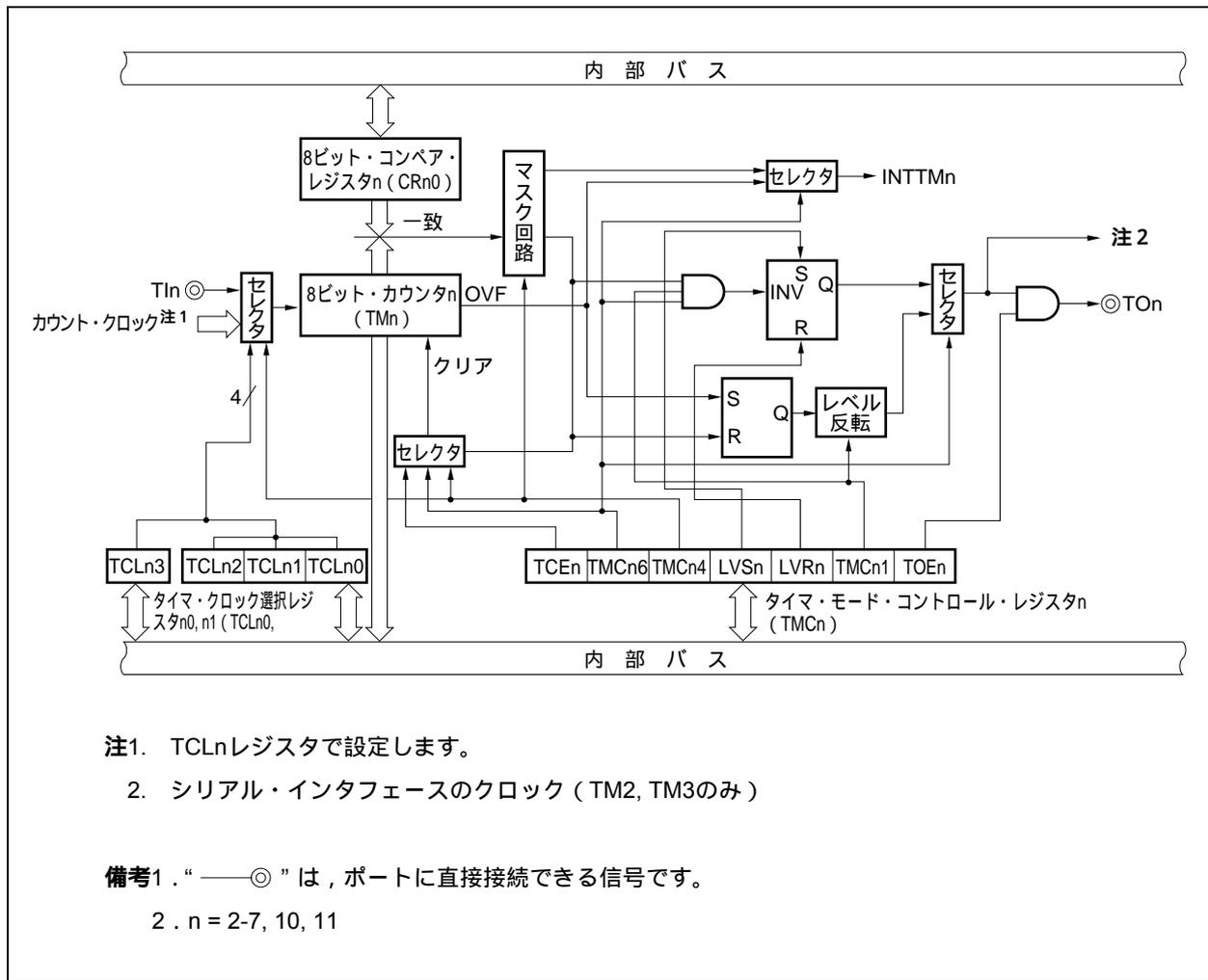
- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

(2) カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

TM2とTM3, TM4とTM5, TM6とTM7, TM10とTM11をカスケード接続することにより、16ビットのタイマ/イベント・カウンタとして動作します。次のような機能として使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

図7 - 61 TM2-TM7, TM10, TM11のブロック図



7.8.2 構成

タイマnは、次のハードウェアで構成されています。

表7 - 12 タイマ2-7, 10, 11の構成

項目	構成
タイマ・レジスタ	8ビット・カウンタn (TMn) 16ビット・カウンタm (TMm) : カスケード接続時のみ
レジスタ	8ビット・コンペア・レジスタn (CRn0) 16ビット・コンペア・レジスタm (CRm) : カスケード接続時のみ
タイマ出力	TOEn
制御レジスタ	タイマ・クロック選択レジスタn, n1 (TCLn0, TCLn1) 8ビット・タイマ・モード・コントロール・レジスタn (TMCn)

備考 n = 2-7, 10, 11

m = 23, 45, 67, 1011

(1) 8ビット・カウンタ2-7, 10, 11 (TM2-TM7, TM10, TM11)

TMnは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

TM2とTM3, TM4とTM5, TM6とTM7, TM10とTM11はそれぞれカスケード接続し、16ビット・タイマとして使用できます。

TMmとTMm+1をカスケード接続し、16ビット・タイマとして使用した場合、16ビット・メモリ操作命令により読み出せます。しかし、内部8ビット・バスで接続されていますので、TMmとTMm+1を2回に分けて読み出します。したがって、カウント変化中の読み出しを考慮し、2回読み出して比較してください。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

RESET入力

TCEnをクリア

TMnとCRn0の一致でクリア & スタート・モード時のTMnとCRn0の一致

注意 カスケード接続時は、最下位タイマ (TM2, TM4, TM6, TM10) のTCEnをクリアしても00Hとなります。

備考 n = 2-7, 10, 11

m = 2, 4, 6, 10

(2) 8ビット・コンペア・レジスタ2-7, 10, 11 (CR20-CR70, CR100, CR110)

CRn0は、8ビット・メモリ操作命令で設定します。

CRn0に設定した値と、8ビット・カウンタn (TMn) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTMn) が発生します (PWMモード以外)。

CRn0の値は00H-FFHの範囲で設定でき、カウント動作中に書き換えができます。

TMmとTMm+1をカスケード接続し、16ビット・タイマとして使用した場合、CRm0とCR(m+1)0は、16ビット・コンペア・レジスタとして動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTMm) を発生します。そのとき、INTTMm+1割り込み要求も発生しますので、TMmとTMm+1をカスケード接続して使用する場合は、INTTMm+1割り込み要求をマスクしてください。

CRn0は、RESET入力により00Hになります。

注意 カスケード接続時にデータを設定するときは、必ずタイマ動作を停止させてから行ってください。

備考 n = 2-7, 10, 11

m = 2, 4, 6, 10

7.8.3 タイマn制御レジスタ

タイマnを制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタn0, n1 (TCLn0, TCLn1)
- ・8ビット・タイマ・モード・コントロール・レジスタn (TMCn)

(1) タイマ・クロック選択レジスタ20-70, 100, 110, 21-71, 101, 111 (TCL20-TCL70, TCL100, TCL110, TCL21-TCL71, TCL101, TCL111)

タイマnのカウント・クロックを設定するレジスタです。

TCLn0, TCLn1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

備考 n = 2-7, 10, 11

リセット時：00H R/W アドレス：FFFFFF244H, FFFFFFF254H

	7	6	5	4	3	2	1	0
TCLn0	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 2, 3)

リセット時：00H R/W アドレス：FFFFFF24EH, FFFFFFF25EH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

(n = 2, 3)

TCLn3	TCLn2	TCLn1	TCLn0	カウント・クロックの選択			
				クロック	f _{xx}		
					20 MHz	10 MHz	4 MHz
0	0	0	0	TInの立ち下がりエッジ	-	-	-
0	0	0	1	TInの立ち上がりエッジ	-	-	-
0	0	1	0	f _{xx} /4	200 ns	400 ns	1.0 μs
0	0	1	1	f _{xx} /8	400 ns	800 ns	2.0 μs
0	1	0	0	f _{xx} /16	800 ns	1.6 μs	4.0 μs
0	1	0	1	f _{xx} /32	1.6 μs	3.2 μs	8.0 μs
0	1	1	0	f _{xx} /128	6.4 μs	12.8 μs	32.0 μs
0	1	1	1	f _{xx} /512	25.6 μs	51.2 μs	128.0 μs
1	0	0	0	設定禁止	-	-	-
1	0	0	1	設定禁止	-	-	-
1	0	1	0	f _{xx} /64	3.2 μs	6.4 μs	16.0 μs
1	0	1	1	f _{xx} /256	12.8 μs	25.6 μs	64.0 μs
1	1	0	0	設定禁止	-	-	-
1	1	0	1	設定禁止	-	-	-
1	1	1	0	設定禁止	-	-	-
1	1	1	1	設定禁止	-	-	-

注意1 . TCLn0, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2 . TCLn0のビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時、TM3のTCL33-TCL30の設定は無効になります。

リセット時：00H R/W アドレス：FFFFFF264H, FFFFFFF274H

	7	6	5	4	3	2	1	0
TCLn0	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 4, 5)

リセット時：00H R/W アドレス：FFFFFF26EH, FFFFFFF27EH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

(n = 4, 5)

TCLn3	TCLn2	TCLn1	TCLn0	カウント・クロックの選択			
				クロック	f _{xx}		
					20 MHz	10 MHz	4 MHz
0	0	0	0	Tlnの立ち下がりエッジ	-	-	-
0	0	0	1	Tlnの立ち上がりエッジ	-	-	-
0	0	1	0	f _{xx} /4	200 ns	400 ns	1.0 μs
0	0	1	1	f _{xx} /8	400 ns	800 ns	2.0 μs
0	1	0	0	f _{xx} /16	800 ns	1.6 μs	4.0 μs
0	1	0	1	f _{xx} /32	1.6 μs	3.2 μs	8.0 μs
0	1	1	0	f _{xx} /128	6.4 μs	12.8 μs	32.0 μs
0	1	1	1	f _{XT} (サブクロック)	30.5 μs	30.5 μs	30.5 μs
1	0	0	0	設定禁止	-	-	-
1	0	0	1	設定禁止	-	-	-
1	0	1	0	f _{xx} /64	3.2 μs	6.4 μs	16.0 μs
1	0	1	1	f _{xx} /256	12.8 μs	25.6 μs	64.0 μs
1	1	0	0	設定禁止	-	-	-
1	1	0	1	設定禁止	-	-	-
1	1	1	0	設定禁止	-	-	-
1	1	1	1	設定禁止	-	-	-

注意1. TCLn0, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2. TCLn0のビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時、TM5のTCL53-TCL50の設定は無効になります。

リセット時：00H R/W アドレス：FFFFFF284H, FFFFFFF294H

	7	6	5	4	3	2	1	0
TCLn0	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 6, 7)

リセット時：00H R/W アドレス：FFFFFF28EH, FFFFFFF29EH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

(n = 6, 7)

TCLn3	TCLn2	TCLn1	TCLn0	カウント・クロックの選択			
				クロック	f _{xx}		
					20 MHz	10 MHz	4 MHz
0	0	0	0	設定禁止	-	-	-
0	0	0	1	設定禁止	-	-	-
0	0	1	0	f _{xx} /4	200 ns	400 ns	1.0 μs
0	0	1	1	f _{xx} /8	400 ns	800 ns	2.0 μs
0	1	0	0	f _{xx} /16	800 ns	1.6 μs	4.0 μs
0	1	0	1	f _{xx} /32	1.6 μs	3.2 μs	8.0 μs
0	1	1	0	f _{xx} /64	3.2 μs	6.4 μs	16.0 μs
0	1	1	1	f _{xx} /128	6.4 μs	12.8 μs	32.0 μs
1	0	0	0	設定禁止	-	-	-
1	0	0	1	設定禁止	-	-	-
1	0	1	0	f _{xx} /256	12.8 μs	25.6 μs	64.0 μs
1	0	1	1	f _{xx} /512	25.6 μs	51.2 μs	128.0 μs
1	1	0	0	設定禁止	-	-	-
1	1	0	1	設定禁止	-	-	-
1	1	1	0	設定禁止	-	-	-
1	1	1	1	TM0オーバーフロー信号	-	-	-

注意1. TCLn0, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2. TCLn0のビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時、TM7のTCL73-TCL70の設定は無効になります。

リセット時：00H R/W アドレス：FFFFFF3E4H, FFFFFFF3F4H

	7	6	5	4	3	2	1	0
TCLn0	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 10, 11)

リセット時：00H R/W アドレス：FFFFFF3EEH, FFFFFFF3FEH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

(n = 10, 11)

TCLn3	TCLn2	TCLn1	TCLn0	カウント・クロックの選択			
				クロック	f _{xx}		
					20 MHz	10 MHz	4 MHz
0	0	0	0	設定禁止			
0	0	0	1	設定禁止			
0	0	1	0	f _{xx} /4	200 ns	400 ns	1.0 μs
0	0	1	1	f _{xx} /8	400 ns	800 ns	2.0 μs
0	1	0	0	f _{xx} /16	800 ns	1.6 μs	4.0 μs
0	1	0	1	f _{xx} /32	1.6 μs	3.2 μs	8.0 μs
0	1	1	0	f _{xx} /64	3.2 μs	6.4 μs	16.0 μs
0	1	1	1	f _{xx} /128	6.4 μs	12.8 μs	32.0 μs
1	0	0	0	設定禁止			
1	0	0	1	設定禁止			
1	0	1	0	f _{xx} /256	12.8 μs	25.6 μs	64.0 μs
1	0	1	1	f _{xx} /512	25.6 μs	51.2 μs	128.0 μs
1	1	0	0	設定禁止			
1	1	0	1	設定禁止			
1	1	1	0	設定禁止			
1	1	1	1	補正用Hsync (HSOUT0) 入力			

注意1 .TCLn0, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2 . TCLn0のビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時、TM11のTCL113-TCL110の設定は無効になります。

(2) 8ビット・タイマ・モード・コントロール・レジスタ2-7, 10, 11 (TMC2-TMC7, TMC10, TMC11)

TMCnは、次の6種類の設定を行うレジスタです。

8ビット・カウンタn (TMn) のカウント動作制御

8ビット・カウンタn (TMn) の動作モードの選択

単体モード/カスケード接続モードの選択

タイマ出力F/F (フリップフロップ) の状態設定

タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択

タイマ出力の制御

TMCnは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により04Hになります (ハードウェアの状態は04Hに初期化されますが、リードすると00Hが読み出されます)。

リセット時：04H R/W アドレス：TMC2 FFFFF246H TMC6 FFFFF286H
 TMC3 FFFFF256H TMC7 FFFFF296H
 TMC4 FFFFF266H TMC10 FFFFF3E6H
 TMC5 FFFFF276H TMC11 FFFFF3F6H

	⑦	6	5	4	③	②	1	①
TMCn (n = 2-7, 10, 11)	TCEn	TMCn6	0	TMCn4	LVSn	LVRn	TMCn1	TOEn

TCEn	TMnのカウンタ動作制御
0	カウンタを0にクリア後，カウンタ動作禁止（プリスケアラ禁止）
1	カウンタ動作開始

TMCn6	TMnの動作モード選択
0	TMnとCRn0の一致でクリア&スタート・モード
1	PWM（フリー・ランニング）モード

TMCn4	単体モード/カスケード接続モードの選択
0	単体モード（n = 2, 4, 6, 10時は0固定）
1	カスケード接続モード（下位タイマと接続）

LVSn	LVRn	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット（0）
1	0	タイマ出力F/Fをセット（1）
1	1	設定禁止

TMCn1	PWM（フリー・ランニング） モード以外（TMCn6 = 0）	PWM（フリー・ランニング） モード（TMCn6 = 1）
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOEn	タイマ出力の制御
0	出力禁止（ポート・モード）
1	出力許可

- ★
- 注意1. タイマ出力端子（TON）として使用する場合は，ポートの値を“0”（ポート・モード出力）にしてください。タイマ出力値のORが出力されます。
2. TON端子とTin端子は兼用しているため，どちらか一方の機能しか使用できません。
3. TMCn4, TMCn6ビットを書き換える場合は，いったんタイマ動作を停止させてから行ってください。

- 備考1. PWMモード時は，TCEn = 0により，PWM出力はインアクティブ・レベルになります。
2. データ設定後にLVSn, LVRn読み出すと，0が読み出せます。

7.9 8ビット・タイマの動作

7.9.1 インターバル・タイマ (8ビット) としての動作

8ビット・コンペア・レジスタn (CRn0) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・カウンタn (TMn) のカウント値がCRn0に設定した値と一致したとき、TMnの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTMn) が発生します。

タイマ・クロック選択レジスタn0 (TCLn0) のビット0-2 (TCLn0-TCLn2) とタイマ・クロック選択レジスタn1 (TCLn1) のビット0 (TCLn3) でTMnのカウント・クロックを選択できます (n = 2-7, 10, 11)。

設定方法

各レジスタの設定を行います。

- ・ TCLn0, TCLn1 : カウント・クロックの選択
- ・ CRn0 : コンペア値
- ・ TMCn : TMnとCRn0の一致でクリア&スタート・モードを選択
(TMCn = 0000xxx0B x = don't care)

TCEn = 1を設定すると、カウント動作を開始します。

TMnとCRn0の値が一致すると、INTTMnが発生します (TMnは00Hにクリアされます)。

以後、同一間隔でINTTMnが繰り返し発生します。カウント動作を停止するときは、TCEn = 0にしてください。

図7-62 インターバル・タイマ動作のタイミング (1/3)

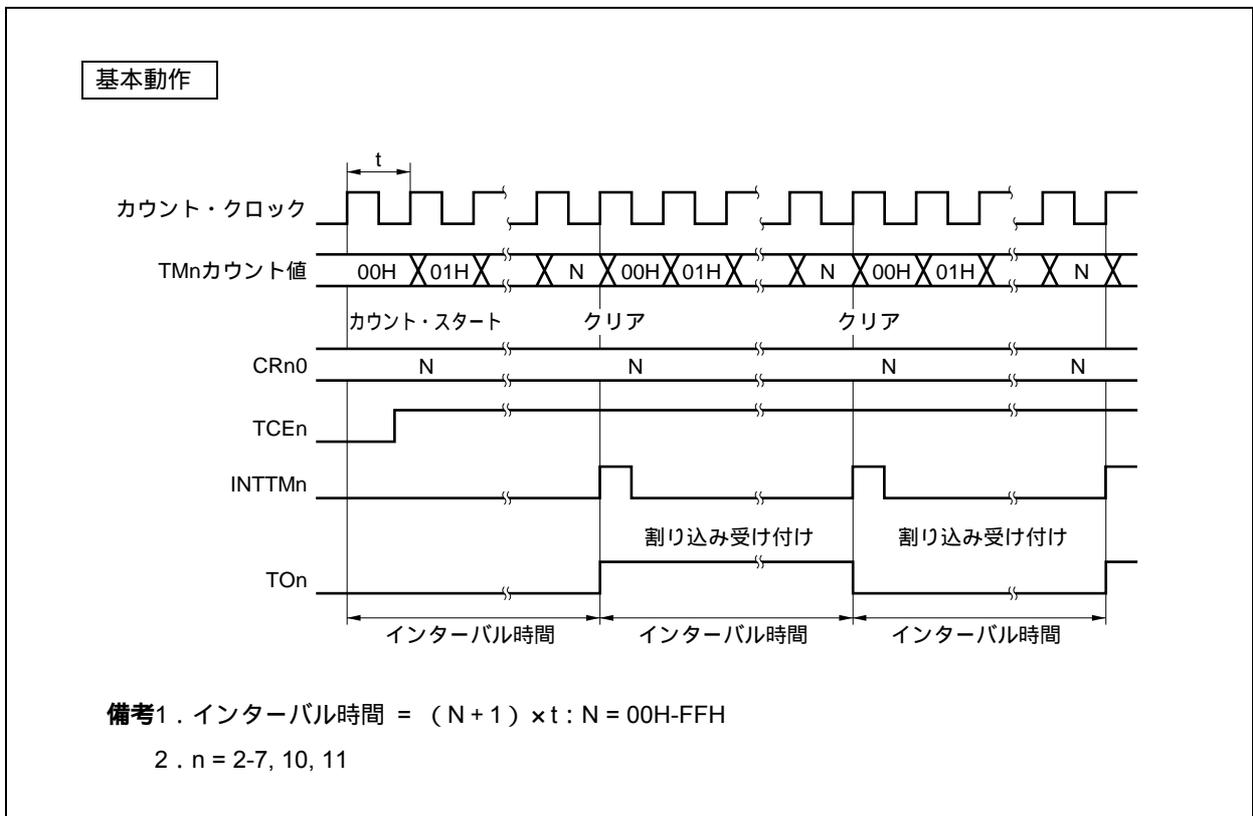
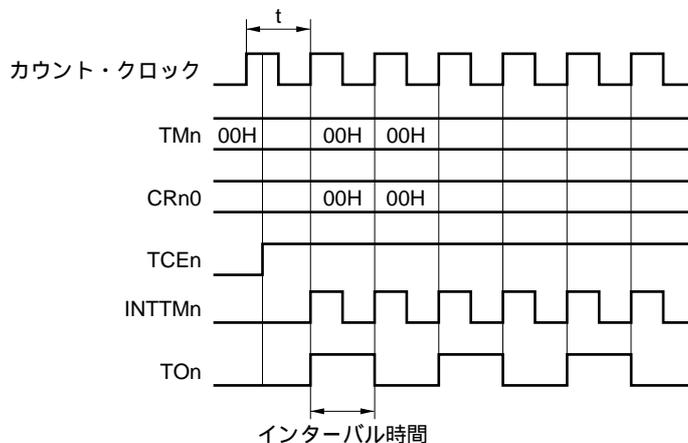


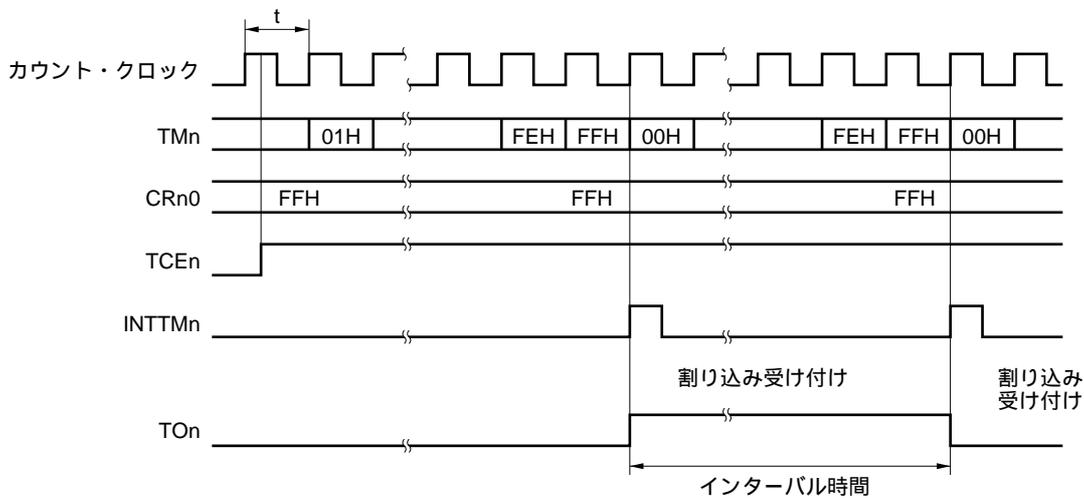
図7-62 インターバル・タイマ動作のタイミング (2/3)

CRn0 = 00Hの場合



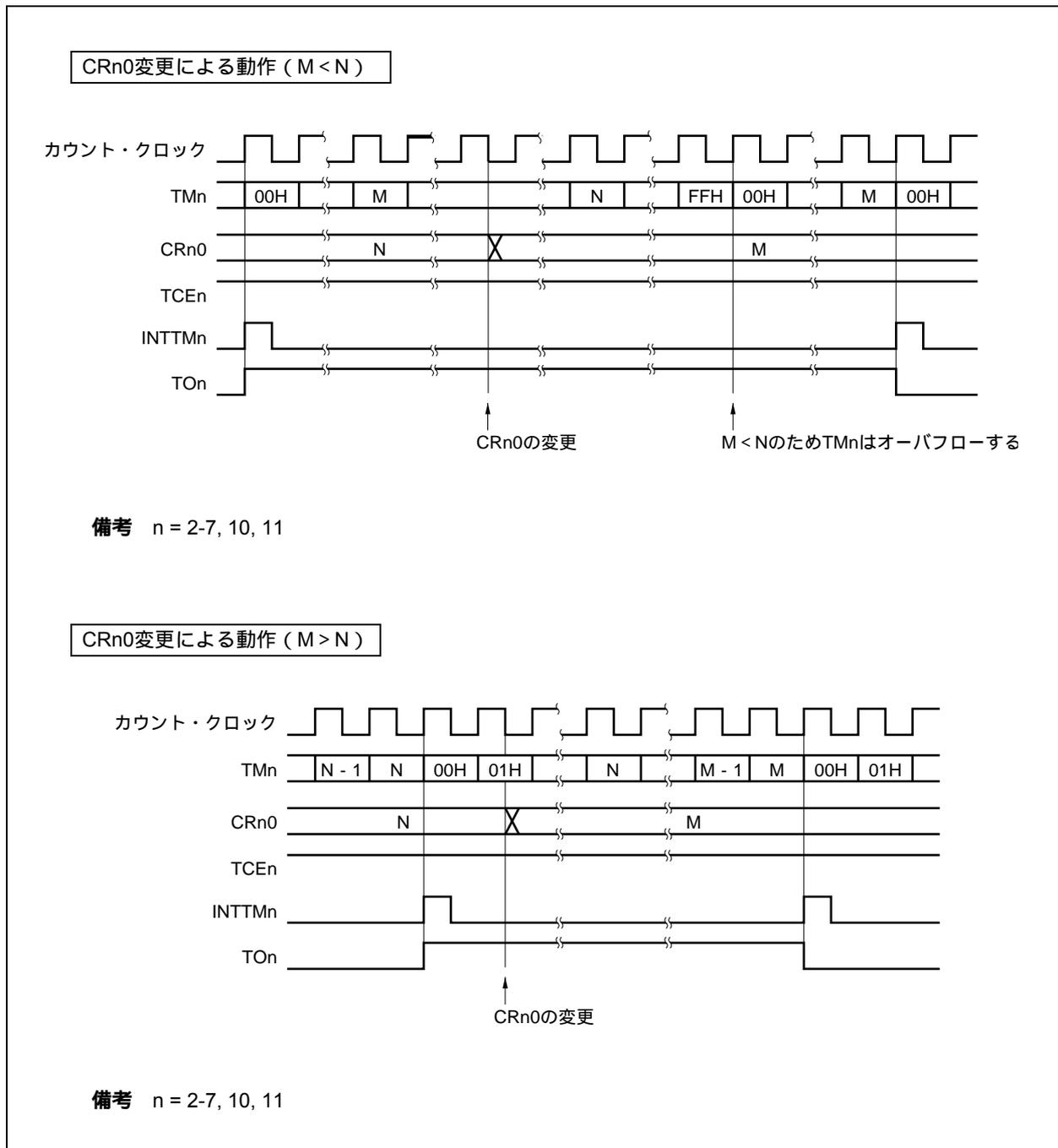
備考 n = 2-7, 10, 11

CRn0 = FFHの場合



備考 n = 2-7, 10, 11

図7 - 62 インターバル・タイマ動作のタイミング (3/3)



7.9.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TInに入力される外部からのクロック・パルス数をカウントするものです。

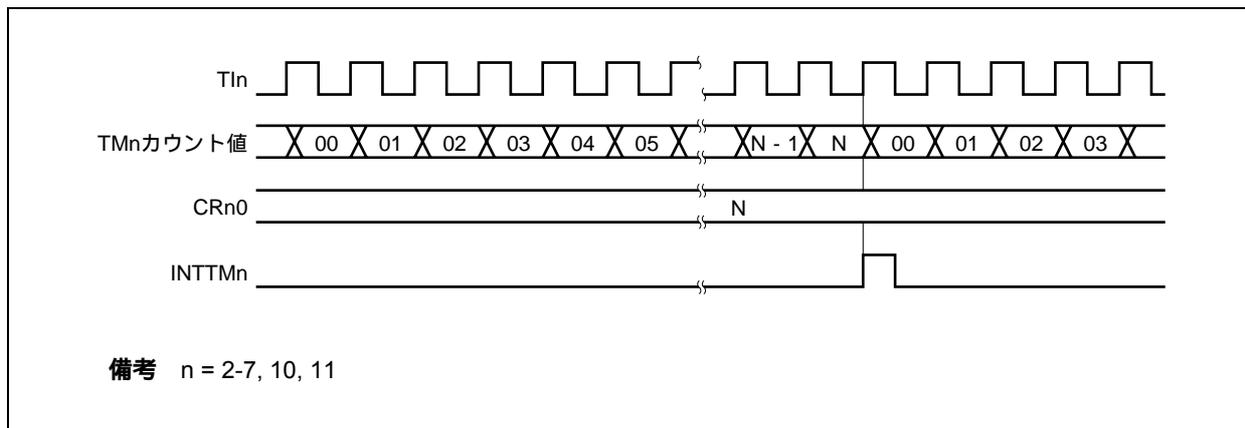
タイマ・クロック選択レジスタn0, n1 (TCLn0, TCLn1) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TMnの計数値が8ビット・コンペア・レジスタn (CRn0) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTMn) が発生します。

以後、TMnの値とCRn0の値が一致するたびに、INTTMnが発生します。

備考 n = 2-7, 10, 11

図7 - 63 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



7.9.3 方形波出力（8ビット分解能）としての動作

8ビット・コンペア・レジスタn (CRn0) にあらかじめ設定した値をインターバルとする，任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタn (TMCn) のビット0 (TOEn) に1を設定することにより，CRn0にあらかじめ設定したカウント値をインターバルとしてTOnの出力状態が反転します。これにより，任意の周波数の方形波出力（デューティ比 = 50 %）が可能です。

設定方法

各レジスタの設定を行います。

- ・ポート・ラッチ，ポート・モード・レジスタに“0”を設定
- ・TCLn0, TCLn1：カウント・クロックの選択
- ・CRn0：コンペア値
- ・TMCn：TMnとCRn0の一致でクリア&スタート・モード

LVS _n	LVR _n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOEn = 1

TCEn = 1を設定すると，カウント動作を開始します。

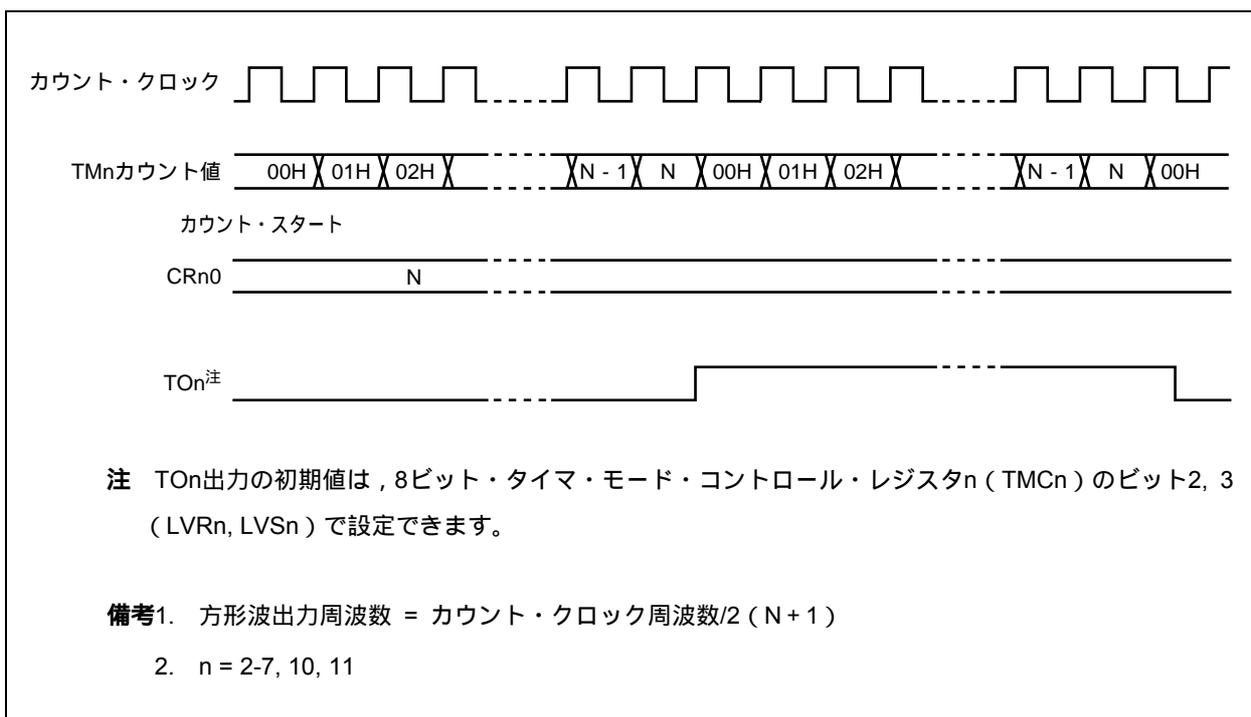
TMnとCRn0の値が一致すると，タイマ出力F/Fが反転します。

また，INTTMnが発生し，TMnは00Hにクリアされます。

以後，同一間隔でタイマ出力F/Fが反転し，TOnから方形波が出力されます。

備考 n = 2-7, 10, 11

図7 - 64 方形波出力動作のタイミング



7.9.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ n (TMCn)のビット6 (TMCn6)を“1”に設定することにより、PWM出力として動作します。

8ビット・コンペア・レジスタ n (CRn0)に設定した値で決まるデューティ比のパルスを、TONから出力します。

PWMパルスのアクティブ・レベルの幅は、CRn0に設定してください。また、アクティブ・レベルは、TMCnのビット1 (TMCn1)により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ $n0$ (TCLn0)のビット0-2 (TCLn0-TCLn2)とタイマ・クロック選択レジスタ $n1$ (TCLn1)のビット0 (TCLn3)で選択できます。

TMCnのビット0 (TOEn)により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時のCRn0の書き換えは、1周期に1回のみ可能です。

備考 $n = 2-7, 10, 11$

(1) PWM出力の基本動作

設定方法

ポート・ラッチ、ポート・モード・レジスタ n に“0”を設定します。

8ビット・コンペア・レジスタ (CRn0)でアクティブ・レベル幅を設定します。

タイマ・クロック選択レジスタ $n0, n1$ (TCLn0, TCLn1)で、カウント・クロックを選択します。

TMCnのビット1 (TMCn1)で、アクティブ・レベルを設定します。

TMCnのビット7 (TCEn)に“1”を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCEnに“0”を設定してください。

PWM出力の動作

カウント動作を開始すると、PWM出力 (TONからの出力)はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CRn0と8ビット・カウンタ n (TMn)のカウント値が一致するまで出力されます。

CRn0とカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

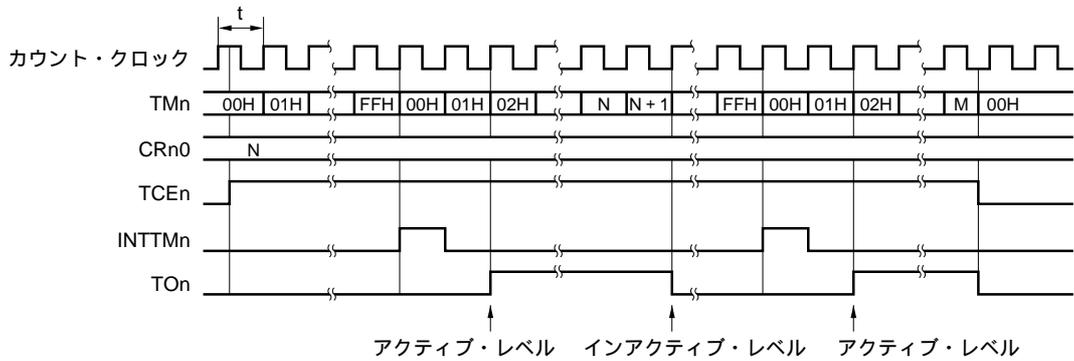
TCEn = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

備考 $n = 2-7, 10, 11$

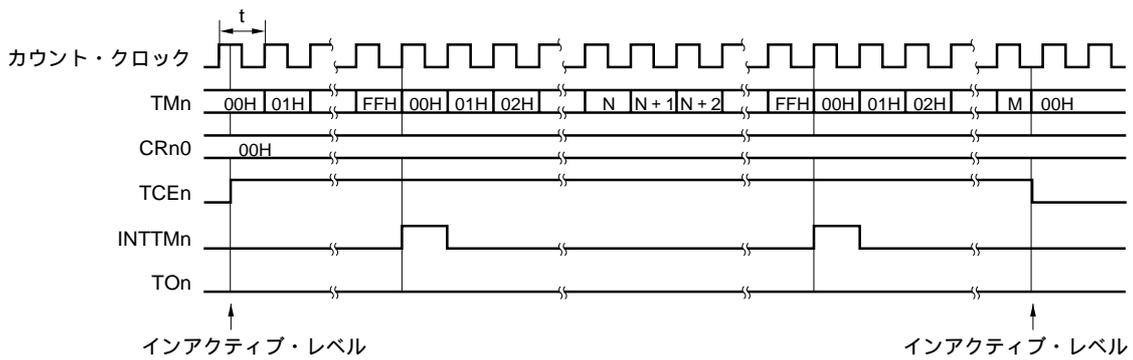
(a) PWM出力の基本動作

図7 - 65 PWM出力の動作タイミング

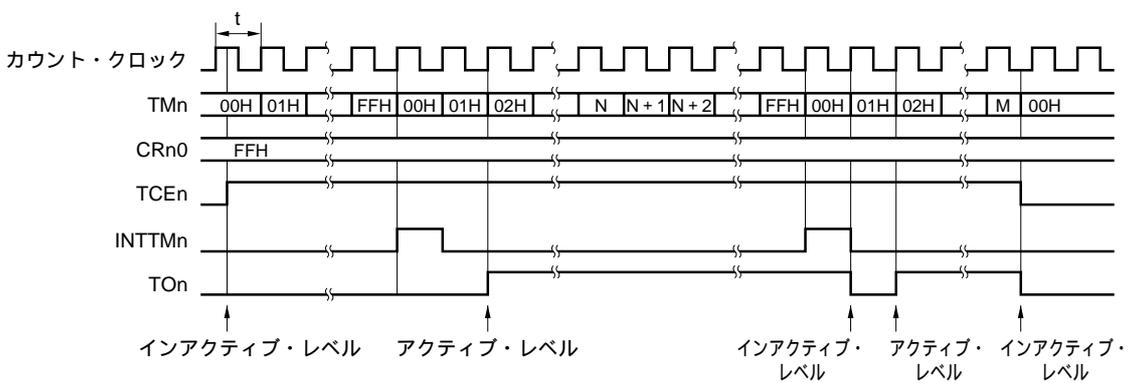
基本動作 (アクティブ・レベル = Hのとき)



CRn0 = 00Hの場合



CRn0 = FFHの場合



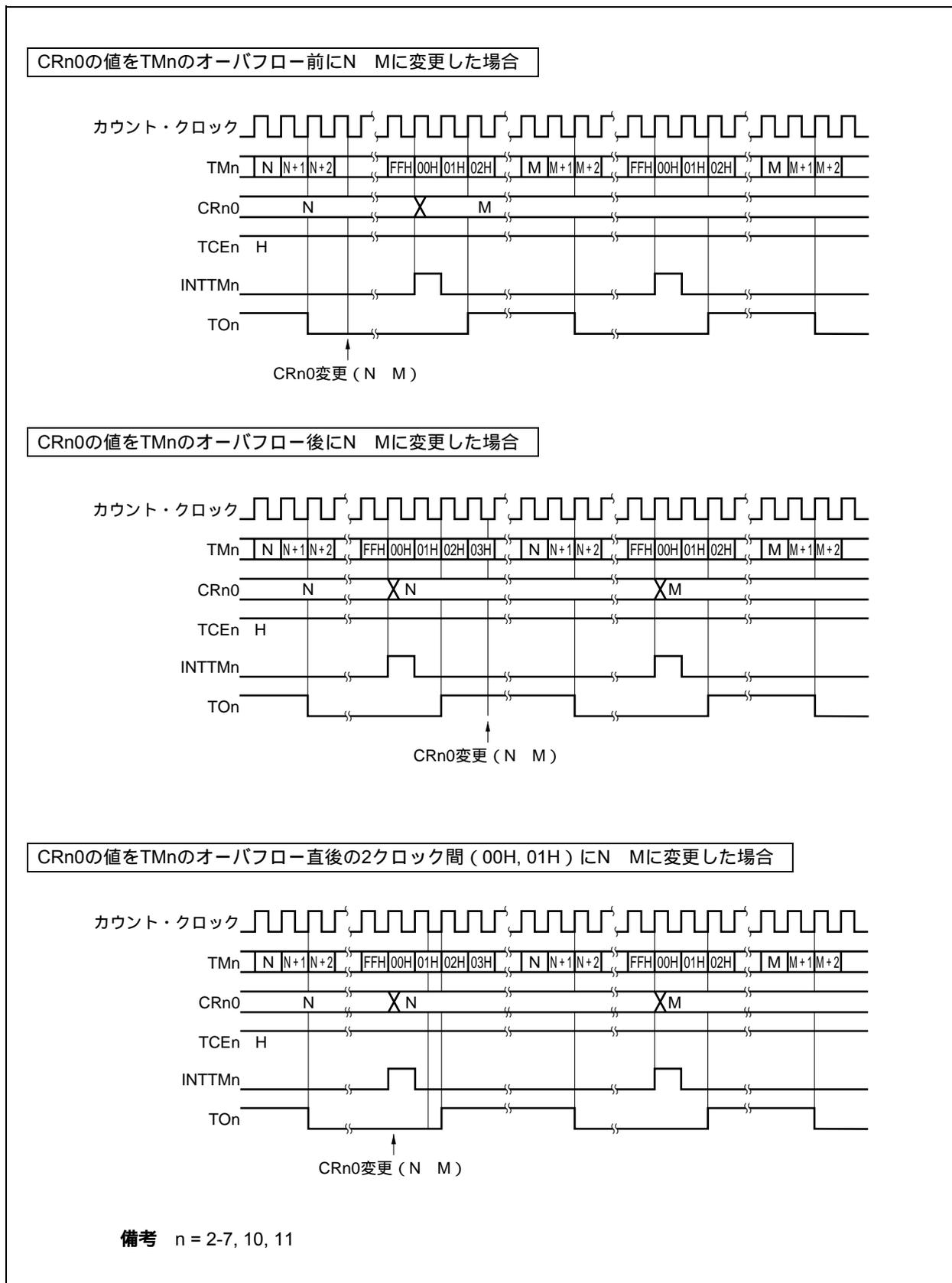
備考1. PWM出力周期 = $2^8 t$

デューティ = $N/256$ (N : CRn0レジスタの設定値)

2. $n = 2-7, 10, 11$

(b) CRn0変更による動作について

図7 - 66 CRn0変更による動作のタイミング



CRn0の値をTMnのオーバフロー直後の2クロック間 (00H, 01H) に N Mに変更した場合

7.9.5 インターバル・タイマ (16ビット) としての動作

(1) カスケード接続 (16ビット・タイマ) モード

V850/SV1では、カスケード接続時だけ使用できる16ビット・レジスタを用意しています。使用できるレジスタは、次のとおりです。

TM2, TM3をカスケード接続時	: 16ビット・カウンタ TM23 (アドレス: FFFFF24AH)
	16ビット・コンペア・レジスタ CR23 (アドレス: FFFFF24CH)
TM4, TM5をカスケード接続時	: 16ビット・カウンタ TM45 (アドレス: FFFFF26AH)
	16ビット・コンペア・レジスタ CR45 (アドレス: FFFFF26CH)
TM6, TM7をカスケード接続時	: 16ビット・カウンタ TM67 (アドレス: FFFFF28AH)
	16ビット・コンペア・レジスタ CR67 (アドレス: FFFFF28CH)
TM10, TM11をカスケード接続時	: 16ビット・カウンタ TM1011 (アドレス: FFFFF3EAH)
	16ビット・コンペア・レジスタ CR1011 (アドレス: FFFFF3ECH)

8ビット・タイマ・モード・コントロール・レジスタ n (TMC n) のビット4 (TMC n 4) に“1”を設定することにより、16ビット分解能のタイマ/カウンタ・モードになります ($n = 2-7, 10, 11$)。

8ビット・コンペア・レジスタ n (CR n 0) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します ($n = 2-7, 10, 11$)。

以降の説明では、TM2とTM3での方法を示しています。TM4とTM5, TM6とTM7, TM10とTM11で使用する際は、それぞれ書き換えてください。

設定方法例 (TM2とTM3をカスケード接続した場合)

各レジスタの設定を行います。

- ・TCL20, TCL21: TM2はカウント・クロック選択 (カスケード接続するTM3は設定不要)
- ・CR20, CR30: コンペア値 (各コンペア値とも00H-FFHの設定が可能)
- ・TMC2: TM2とCR20の一致でクリア&スタート・モードを選択 (x : don't care)

$$\left[\begin{array}{ll} \text{TM2} & \text{TMC2} = 0000\text{xxx}0\text{B} \\ \text{TM3} & \text{TMC3} = 0001\text{xxx}0\text{B} \end{array} \right]$$

先にTMC3のTCE3ビット= 1に設定し、そのあとTMC2のTCE2ビット= 1に設定することにより、カウント動作を開始します。

カスケード接続されたタイマのTM23とCR23の値が一致すると、TM2のINTTM2が発生します (TM2, TM3は00Hにクリアされます)。

以後、同一間隔でIMTTM2が繰り返し発生します。

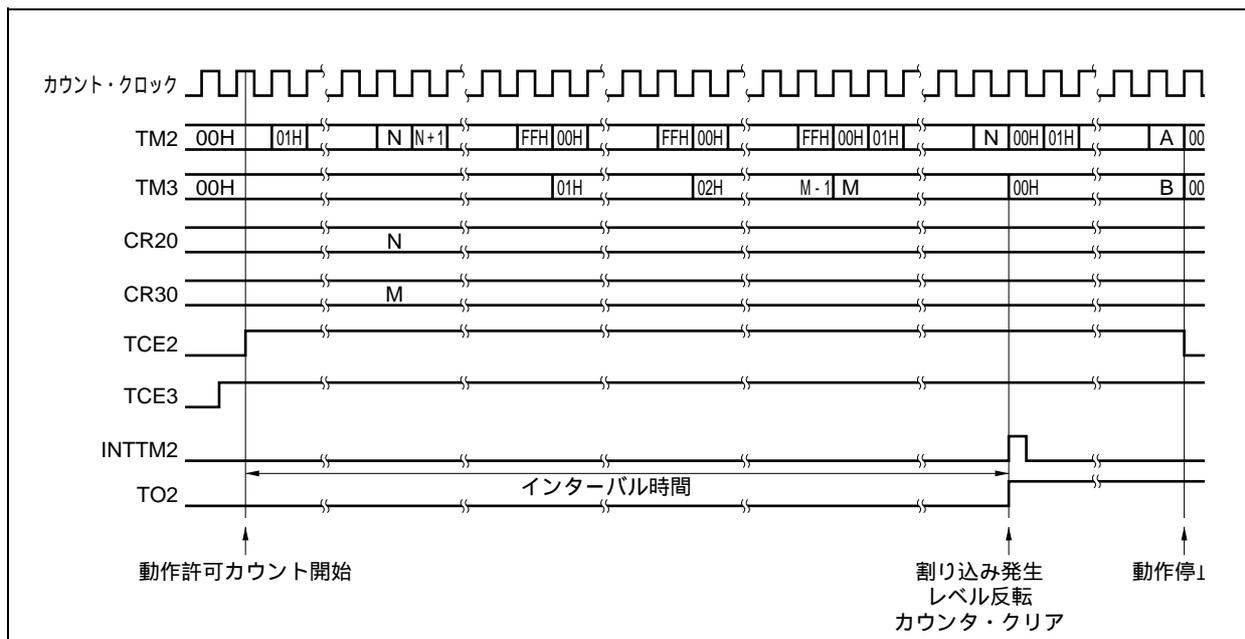
注意1. 8ビット・タイマ (TM2, TM3) をカスケード接続し16ビット・タイマ (TM23) として使用中に、コンペア・レジスタ (CR23) の設定値を変える場合、カスケード接続したそれぞれの8ビット・タイマのカウント動作を停止させてからCR23の値を変更してください。タイマを停止させないでCR23の値を変更した場合、上位8ビット (TM3) の値が不定となります。

注意2 . カスケード接続で使用している場合でも，上位タイマ (TM3) のカウント値がCR30と一致すると，上位タイマの (TM3) の割り込み要求 (INTTM3) が発生してしまいます。TM3は，割り込み禁止のため必ずマスクしてください。

3 . カウントの再スタート/ストップは，TM2のTCE2のみ1/0に設定することにより，動作/停止させることができます。

図7 - 67に，16ビット分解能カスケード接続モードのタイミング例を示します。

図7 - 67 16ビット分解能カスケード接続モード

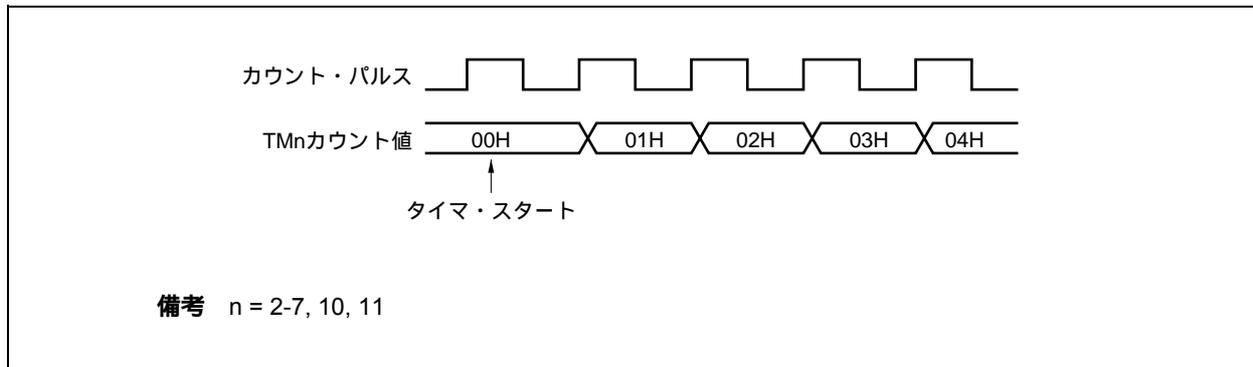


7.9.6 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・カウンタn (TMn) のスタートが非同期で行われるためです。

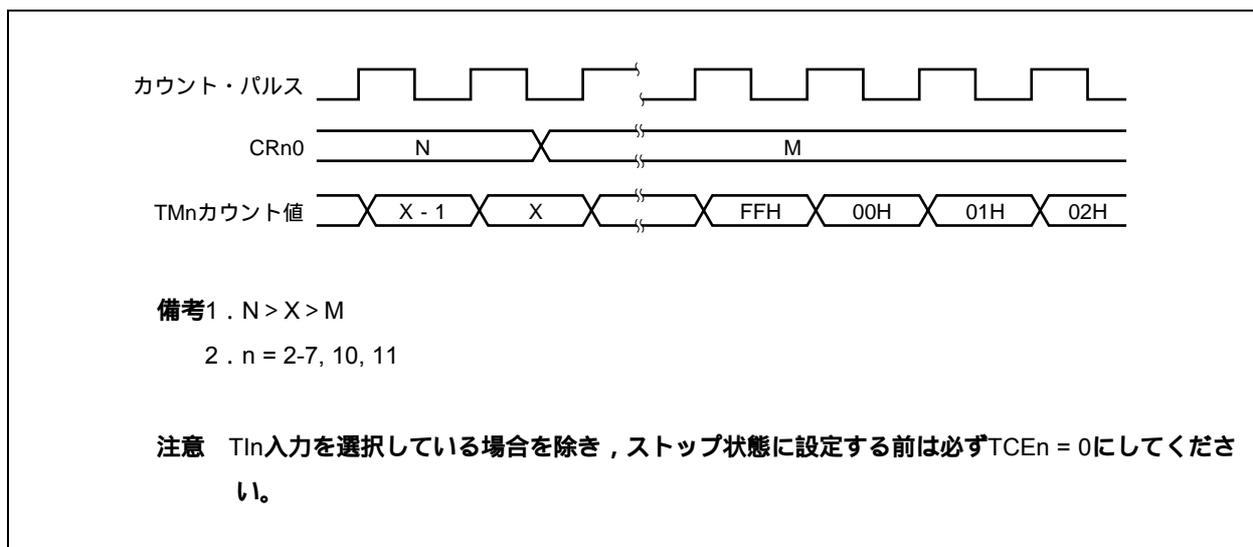
図7 - 68 タイマnのスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタn (CRn0) の変更後の値が、8ビット・タイマ・レジスタ (TMn) の値よりも小さいときはカウントを継続し、オーバーフローして0から再カウントします。したがって、CRn0の変更後の値 (M) が、変更前の値 (N) より小さいときは、CRn0を変更したあと、タイマを再スタートさせる必要があります (n = 2-7, 10, 11)。

図7 - 69 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



(3) タイマ動作中のTMn読み出しについて

動作中のTMnの読み出しは、選択クロックを一時停止して読み出すため、選択クロックはより長いハイ/ロウ・レベルのある波形を選択してください (n = 2-7, 10, 11)。

第8章 時計用タイマ機能

8.1 概要

メイン/サブクロックで動作可能な時計用タイマ（1チャンネル）

0.5 / 0.25秒ごとの割り込みをカウント可能

最大68年のカウント可能

ソフトウェアSTOPモード時でも時計カウント可能

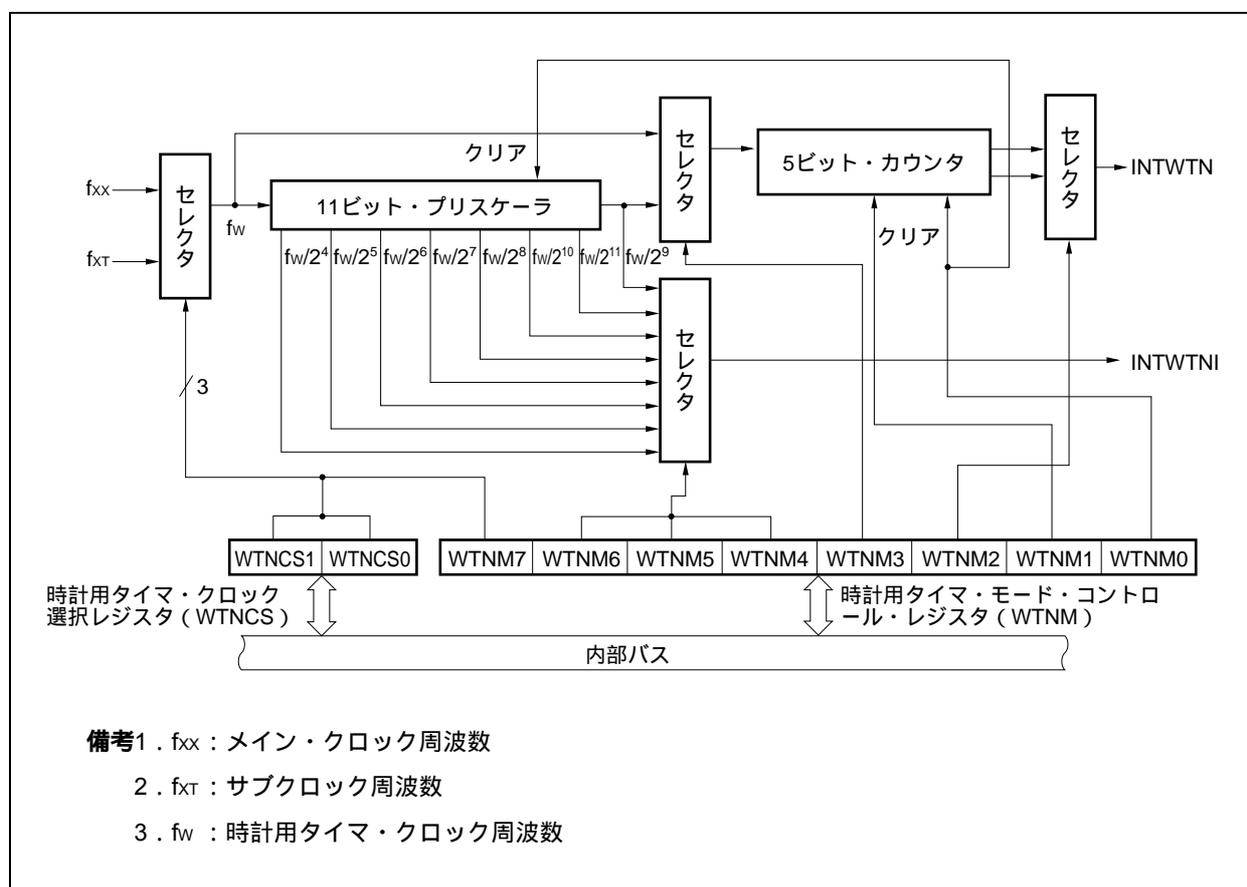
8.2 機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。図8 - 1にブロック図を示します。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

メイン・クロックまたはサブクロックを使用すると、0.5秒または0.25秒の時間間隔でオーバーフロー割り込み要求 (INTWTN) を発生します。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、インターバル割り込み要求 (INTWTNI) を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	488 μs
$2^5 \times 1/f_w$	977 μs
$2^6 \times 1/f_w$	1.95 ms
$2^7 \times 1/f_w$	3.91 ms
$2^8 \times 1/f_w$	7.81 ms
$2^9 \times 1/f_w$	15.6 ms
$2^{10} \times 1/f_w$	31.2 ms
$2^{11} \times 1/f_w$	62.4 ms

備考 f_w : 時計用タイマ・クロック周波数

8.3 構 成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
プリスケアラ	11ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTNM) 時計用タイマ・クロック選択レジスタ (WTNCS)

8.4 制御レジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTNM) と時計用タイマ・クロック選択レジスタ (WTNCS) があります。時計用タイマのカウント・クロックを設定後に時計用タイマを動作してください。

(1) 時計用タイマ・モード・コントロール・レジスタ (WTNM)

時計用タイマのカウント・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御および時計用フラグのセット時間を設定するレジスタです。

WTNMは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF360H

	7	6	5	4	3	2	①	②
WTNM	WTNM7	WTNM6	WTNM5	WTNM4	WTNM3	WTNM2	WTNM1	WTNM0

WTNM6	WTNM5	WTNM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$ (488 μ s)
0	0	1	$2^5/f_w$ (977 μ s)
0	1	0	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (15.6 ms)
1	1	0	$2^{10}/f_w$ (31.2 ms)
1	1	1	$2^{11}/f_w$ (62.4 ms)

WTNM3	WTNM2	時計用フラグのセット時間の選択
0	0	$2^{14}/f_w$ (0.5 s)
0	1	$2^{13}/f_w$ (0.25 s)
1	0	$2^5/f_w$ (977 μ s)
1	1	$2^4/f_w$ (488 μ s)

WTNM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTNM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

備考1. f_w : 時計用タイマ・クロック周波数

2. () 内は, $f_w = 32.768$ kHz動作時

3. WTNM7の設定については, 8.4(2) 時計用タイマ・クロック選択レジスタ (WTNCS) を参照してください。

(2) 時計用タイマ・クロック選択レジスタ (WTNCS)

時計用タイマのカウンタ・クロックを選択するレジスタです。

WTNCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 時計用タイマ動作中に、WTNM, WTNCSレジスタの内容（インターバル時間，時計用フラグのセット時間カウンタ・クロック）を変更しないでください。

リセット時：00H R/W アドレス：FFFFFF364H

	7	6	5	4	3	2	1	0
WTNCS	0	0	0	0	0	0	WTNCS1	WTNCS0

WTNCS1	WTNCS0	WTNM7	カウンタ・クロックの選択	メイン・クロック周波数
0	0	0	$f_{xx}/2^7$	4.194 MHz
0	0	1	f_{xt} (サブクロック)	-
0	1	0	$f_{xx}/3 \times 2^6$	6.291 MHz
0	1	1	$f_{xx}/2^8$	8.388 MHz
1	0	0	設定禁止	-
1	0	1	設定禁止	-
1	1	0	$f_{xx}/3 \times 2^7$	12.582 MHz
1	1	1	$f_{xx}/2^9$	16.776 MHz

備考 WTNM7は、WTNMレジスタのビット7

8.5 動作

8.5.1 時計用タイマとしての動作

サブクロック (32.768 kHz) を使用すると、0.5秒または0.25秒などの時間間隔の時計用タイマとして動作します。時計用タイマは、一定の時間間隔ごとにオーバーフロー割り込み要求 (INTWTN) を発生します。

0.5秒あるいは0.25秒ごとに発生するINTWTNは16ビット・タイマ (TM0) でカウントすることで時計機能を実現できます。またTM0のオーバーフロー信号は8ビット・タイマ (TM6, TM7) をカスケード接続した16ビット・インターバル・タイマ (TM67) で継続カウント可能です。

また時計用タイマのカウント・クロックをサブクロック (f_{XT}) にすれば、ソフトウェアSTOPモード時にも時計カウントを継続できます。

時計用タイマ・モード・コントロール・レジスタ (WTNM) のビット0 (WTNM0) とビット1 (WTNM1) に1を設定するとカウント動作がスタートします。0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計用タイマはWTNM1を0にすることによりクリアできます。このとき最大で15.6 msの誤差が発生することがあります。

また、インターバル・タイマはWTNM0を0にすることによりクリアできます。ただし5ビット・カウンタも同時にクリアされてしまうため、時計用タイマのオーバーフロー (INTWTN) には最大で0.5秒の誤差が発生することがあります。

8.5.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとするインターバル・タイマとして動作します。インターバル・タイマは、インターバル時間ごとにインターバル割り込み要求 (INTWTNI) を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTNM) のビット4-6 (WTNM4-WTNM6) により、インターバル時間を選択できます。

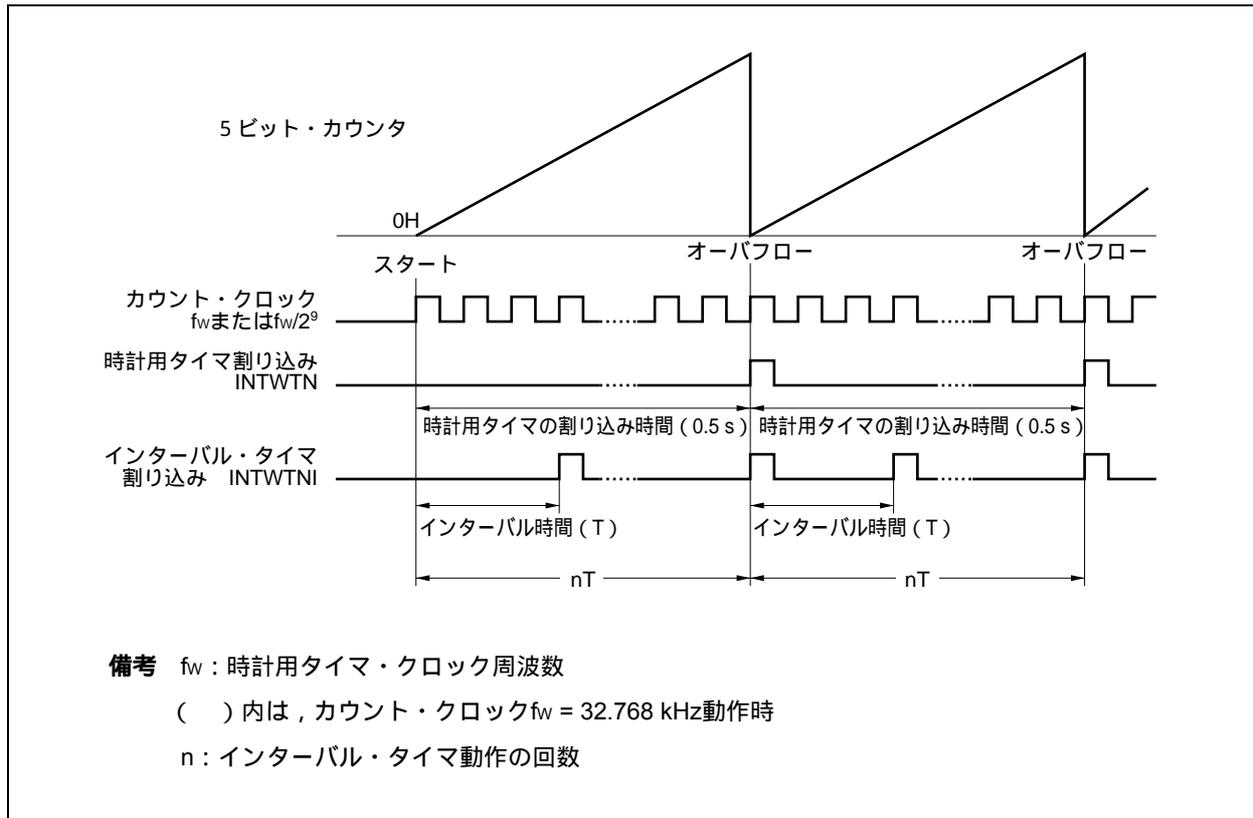
注意 INTWTNIをタイマ/カウンタでカウントできません。

表8-3 インターバル・タイマのインターバル時間

WTNM6	WTNM5	WTNM4	インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	488 μ s
0	0	1	$2^5 \times 1/f_w$	977 μ s
0	1	0	$2^6 \times 1/f_w$	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.91 ms
1	0	0	$2^8 \times 1/f_w$	7.81 ms
1	0	1	$2^9 \times 1/f_w$	15.6 ms
1	1	0	$2^{10} \times 1/f_w$	31.2 ms
1	1	1	$2^{11} \times 1/f_w$	62.4 ms

備考 f_w : 時計用タイマ・クロック周波数

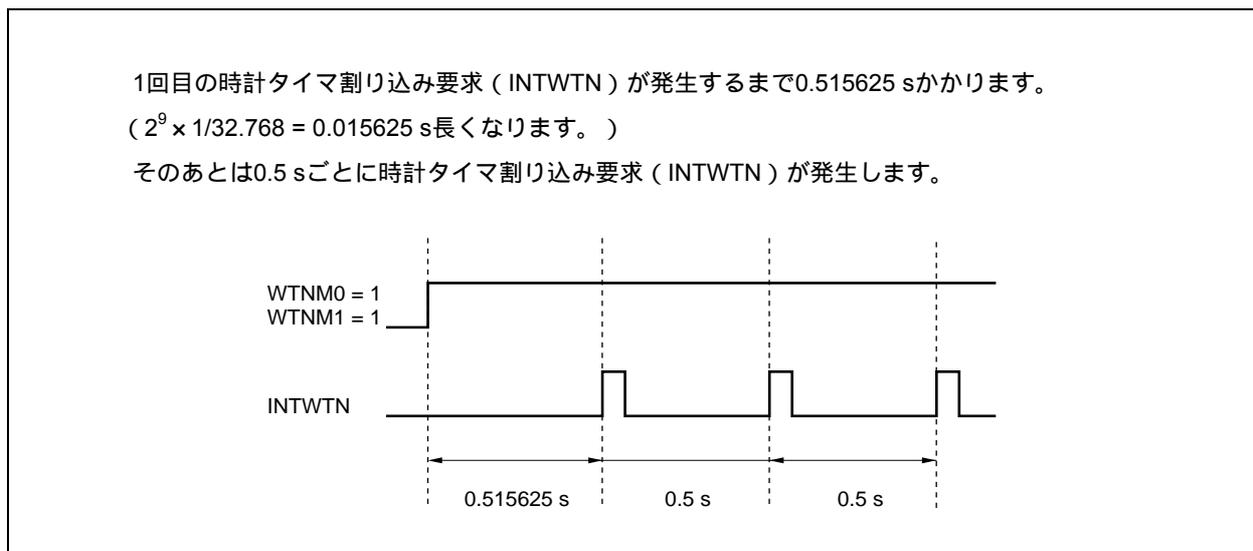
図8-2 時計用タイマ/インターバル・タイマの動作タイミング



8.5.3 注意事項

動作許可 (時計用タイマ・モード・コントロール・レジスタ (WTNM) のWTNM1ビット= 1, WTNM0ビット= 1) のあと最初の1回目の時計タイマ割り込み要求 (INTWTN) が発生するまで多少時間がかかります。

図8-3 割り込み要求例 (0.5 sの場合)



第9章 ウォッチドッグ・タイマ機能

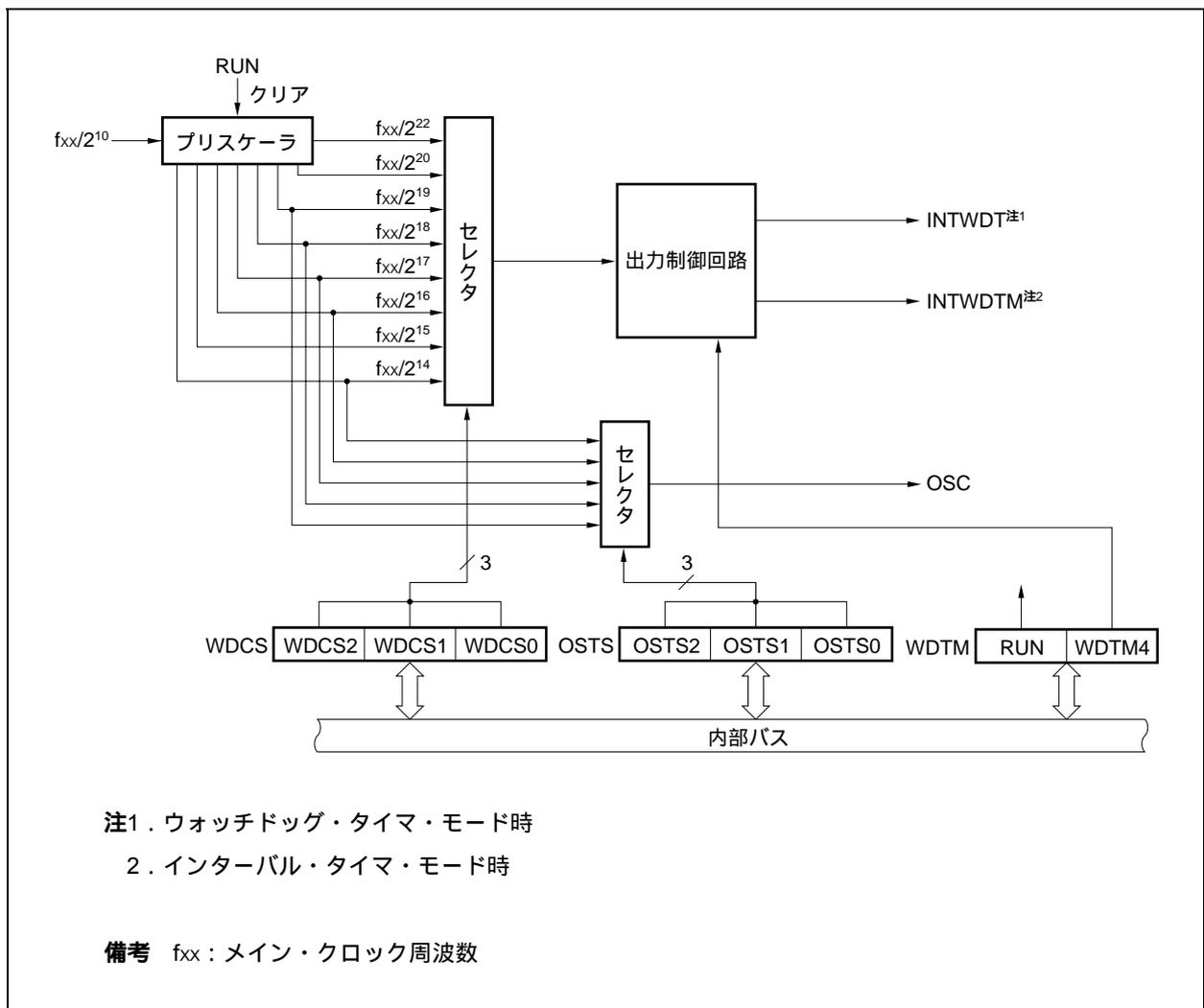
9.1 機能

ウォッチドッグ・タイマには、次のような機能があります。図9 - 1にブロック図を示します。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

図9 - 1 ウォッチドッグ・タイマのブロック図



(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みを発生できます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間		
	f _{xx} = 20 MHz	f _{xx} = 10 MHz	f _{xx} = 4 MHz
2 ¹⁴ /f _{xx}	819.2 μs	1.6 ms	4.1 ms
2 ¹⁵ /f _{xx}	1.6 ms	3.2 ms	8.2 ms
2 ¹⁶ /f _{xx}	3.3 ms	6.6 ms	16.4 ms
2 ¹⁷ /f _{xx}	6.6 ms	13.1 ms	32.8 ms
2 ¹⁸ /f _{xx}	13.1 ms	26.2 ms	65.5 ms
2 ¹⁹ /f _{xx}	26.2 ms	52.4 ms	131.1 ms
2 ²⁰ /f _{xx}	52.4 ms	104.9 ms	262.1 ms
2 ²² /f _{xx}	209.7ms	419.4 ms	1.0 s

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

表9 - 2 インターバル・タイマのインターバル時間

クロック	暴走検出時間		
	f _{xx} = 20 MHz	f _{xx} = 10 MHz	f _{xx} = 4 MHz
2 ¹⁴ /f _{xx}	819.2 μs	1.6 ms	4.1 ms
2 ¹⁵ /f _{xx}	1.6 ms	3.2 ms	8.2 ms
2 ¹⁶ /f _{xx}	3.3 ms	6.6 ms	16.4 ms
2 ¹⁷ /f _{xx}	6.6 ms	13.1 ms	32.8 ms
2 ¹⁸ /f _{xx}	13.1 ms	26.2 ms	65.5 ms
2 ¹⁹ /f _{xx}	26.2 ms	52.4 ms	131.1 ms
2 ²⁰ /f _{xx}	52.4 ms	104.9 ms	262.1 ms
2 ²² /f _{xx}	209.7 ms	419.4 ms	1.0 s

9.2 構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	発振安定時間選択レジスタ (OSTS) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

9.3 ウォッチドッグ・タイマ制御レジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・発振安定時間選択レジスタ (OSTS)
- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

RESET入力により04Hになります。

リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
			クロック	f _{xx}		
				20 MHz	10 MHz	4 MHz
0	0	0	2 ¹⁴ /f _{xx}	819.2 μs	1.6 ms	4.1 ms
0	0	1	2 ¹⁶ /f _{xx}	3.3 ms	6.6 ms	16.4 ms
0	1	0	2 ¹⁷ /f _{xx}	6.6 ms	13.1 ms	32.8 ms
0	1	1	2 ¹⁸ /f _{xx}	13.1 ms	26.2 ms	65.5 ms
1	0	0	2 ¹⁹ /f _{xx} (リセット時)	26.2 ms	52.4 ms	131.1 ms
上記以外			設定禁止			

(2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF382H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間			
			クロック	f _{xx}		
				20 MHz	10 MHz	4 MHz
0	0	0	2 ¹⁴ /f _{xx}	819.2 μs	1.6 ms	4.1 ms
0	0	1	2 ¹⁵ /f _{xx}	1.6 ms	3.2 ms	8.2 ms
0	1	0	2 ¹⁶ /f _{xx}	3.3 ms	6.6 ms	16.4 ms
0	1	1	2 ¹⁷ /f _{xx}	6.6 ms	13.1 ms	32.8 ms
1	0	0	2 ¹⁸ /f _{xx}	13.1 ms	26.2 ms	65.5 ms
1	0	1	2 ¹⁹ /f _{xx}	26.2 ms	52.4 ms	131.1 ms
1	1	0	2 ²⁰ /f _{xx}	52.4 ms	104.9 ms	262.1 ms
1	1	1	2 ²² /f _{xx}	209.7 ms	419.4 ms	1.0 s

注意 ビット3-7には、必ず“0”を設定してください。

(3) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。
 WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF384H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	0	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	インターバル・タイマ・モード (オーバーフロー発生時、マスカブル割り込みINTWDTM発生)
1	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスカブル割り込みINTWDT発生)

注1 . RUNは、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。
 したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2 . WDTM4は、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。

注意 RUNをセット(1)し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、設定した時間より最大 $2^{10}/f_{\text{xx}}$ 〔秒〕短くなる場合があります。

9.4 動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、ノンマスクابل割り込み (INTWDT) が発生します (リセット機能はありません)。

ウォッチドッグ・タイマは、STOPモード時とIDLEモード時は動作を停止します。したがって、STOPモードやIDLEモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしてください。

また、HALTモード時はウォッチドッグ・タイマは動作するため、HALTモードを使用するときは、ウォッチドッグ・タイマを使用しないでください。

注意1. 実際の暴走検出時間は、設定時間に対して最大 $2^{10}/f_{xx}$ [秒] 短くなる場合があります。

2. CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表9 - 4 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間		
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 4 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 μs	1.6 ms	4.1 ms
$2^{15}/f_{xx}$	1.6 ms	3.2 ms	8.2 ms
$2^{16}/f_{xx}$	3.3 ms	6.6 ms	16.4 ms
$2^{17}/f_{xx}$	6.6 ms	13.1 ms	32.8 ms
$2^{18}/f_{xx}$	13.1 ms	26.2 ms	65.5 ms
$2^{19}/f_{xx}$	26.2 ms	52.4 ms	131.1 ms
$2^{20}/f_{xx}$	52.4 ms	104.9 ms	262.1 ms
$2^{22}/f_{xx}$	209.7 ms	419.4 ms	1.0 s

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR0-WDTPR2) が有効となり、マスカブル割り込み (INTWDTM) を発生させることができます。INTWDTMのデフォルト優先順位は、マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時とIDLEモード時は動作を停止します。したがって、STOPモード/IDLEモードに入る前にWDTMレジスタのRUNビットを1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意1** . 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、RESET入力されないかぎり、インターバル・タイマ・モードにはなりません。
- WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^{10}/f_{xx}$ [秒] 短くなる場合があります。
 - CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表9 - 5 インターバル・タイマのインターバル時間

クロック	暴走検出時間		
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 4 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 μs	1.6 ms	4.1 ms
$2^{15}/f_{xx}$	1.6 ms	3.2 ms	8.2 ms
$2^{16}/f_{xx}$	3.3 ms	6.6 ms	16.4 ms
$2^{17}/f_{xx}$	6.6 ms	13.1 ms	32.8 ms
$2^{18}/f_{xx}$	13.1 ms	26.2 ms	65.5 ms
$2^{19}/f_{xx}$	26.2 ms	52.4 ms	131.1 ms
$2^{20}/f_{xx}$	52.4 ms	104.9 ms	262.1 ms
$2^{22}/f_{xx}$	209.7 ms	419.4 ms	1.0 s

9.5 スタンバイ機能制御レジスタ

(1) 発振安定時間選択レジスタ (OSTS)

ソフトウェアSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

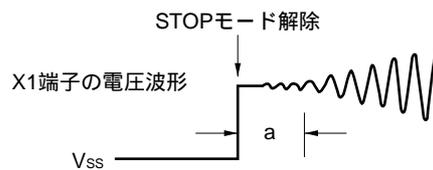
$\overline{\text{RESET}}$ 入力により04Hになります。

リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
			クロック	f _{xx}		
				20 MHz	10 MHz	4 MHz
0	0	0	2 ¹⁴ /f _{xx}	819.2 μs	1.6 ms	4.1 ms
0	0	1	2 ¹⁶ /f _{xx}	3.3 ms	6.6 ms	16.4 ms
0	1	0	2 ¹⁷ /f _{xx}	6.6 ms	13.1 ms	32.8 ms
0	1	1	2 ¹⁸ /f _{xx}	13.1 ms	26.2 ms	65.5 ms
1	0	0	2 ¹⁹ /f _{xx} (リセット時)	26.2 ms	52.4 ms	131.1 ms
上記以外			設定禁止			

注意 ソフトウェアSTOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



第10章 シリアル・インタフェース機能

10.1 概要

V850/SV1には、次のシリアル・インタフェースを内蔵しています。

- ・チャンネル0：3線式シリアルI/O (CSI0) / I²C0[※]
- ・チャンネル1：3線式シリアルI/O (CSI1) / アシンクロナス・シリアル・インタフェース (UART0)
- ・チャンネル2：3線式シリアルI/O (CSI2) / I²C1[※]
- ・チャンネル3：3線式シリアルI/O (CSI3) / アシンクロナス・シリアル・インタフェース (UART1)
- ・チャンネル4：8-16ビット可変長3線式シリアルI/O (CSI4)

注 I²C0, I²C1はマルチマスタ対応です (μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ)。

3線式シリアルI/OまたはI²Cのどちらかを使用できます。

10.2 3線式シリアルI/O (CSI0-CSI3)

CSIn (n = 0-3) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック (SCKn), シリアル出力 (SON), シリアル入力 (SIN) の3本のラインにより, 8ビット・データ転送を行うモードです。

SCKn, SON端子は, ポート1, 2ファンクション・レジスタ (PF1, PF2) の設定により, それぞれ通常出力とN-chオープン・ドレイン出力を選択できます。

3線式シリアルI/Oモードは, 同時送受信動作が可能なので, データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは, MSB固定です。

3線式シリアルI/Oモードは, クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

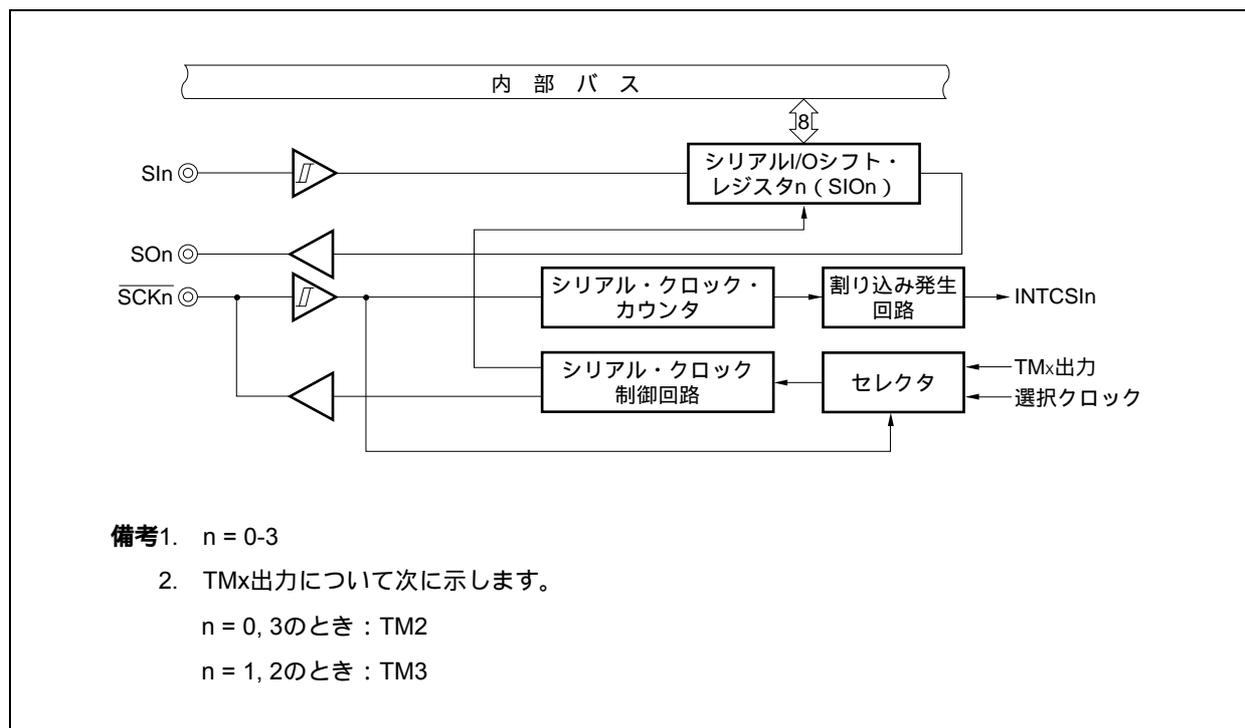
10.2.1 構成

CSInは、次のハードウェアで構成されています。

表10 - 1 CSInの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ0-3 (SIO0-SIO3)
制御レジスタ	シリアル動作モード・レジスタ0-3 (CSIM0-CSIM3)
	シリアル・クロック選択レジスタ0-3 (CSIS0-CSIS3)

図10 - 1 3線式シリアルI/Oのブロック図



(1) シリアルI/Oシフト・レジスタ0-3 (SIO0-SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO_nは、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタn (CSIM_n) のビット7 (CSIE_n) が1のとき、SIO_nにデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO_nに書き込まれたデータが、シリアル出力 (SOn) に出力されます。

受信時は、データがシリアル入力 (SIn) からSIO_nに読み込まれます。

RESET入力により00Hになります。

注意 転送動作中のSIO_nアクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE_n = 0のときはリードが、MODE_n = 1のときはライトが禁止となります)。

10.2.2 CSIn制御レジスタ

CSInを制御するレジスタには、次のものがあります。

- ・シリアル動作モード・レジスタn (CSIMn)
- ・シリアル・クロック選択レジスタn (CSISn)

(1) シリアル動作モード・レジスタ0-3 (CSIM0-CSIM3)

シリアル・インタフェース・チャネルnのシリアル・クロック，動作モード，動作の許可/停止を設定するレジスタです。

CSIMnは，8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H
CSIM1 FFFFF2B2H CSIM3 FFFFF2D2H

		6	5	4	3	2	1	0
CSIMn	CSIE _n	0	0	0	0	MODE _n	SCL _{n1}	SCL _{n0}

(n = 0-3)

CSIE _n	SIO _n の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 ^{注2}

MODE _n	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SIO _n 出力
0	送信/送受信モード	SIO _n ライト	通常出力
1	受信専用モード	SIO _n リード	ポート機能

SCL _{n2}	SCL _{n1}	SCL _{n0}	クロックの選択
0	0	0	外部クロック入力 (\overline{SCKn})
0	0	1	n = 0, 3時: TM2の出力 n = 1, 2時: TM3の出力
0	1	0	f _{xx} /8
0	1	1	f _{xx} /16
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f _{xx} /32
1	1	1	f _{xx} /64

注1. CSIE_n = 0 (SIO_n動作停止状態) のときは，SIO_n，SIO_n， \overline{SCKn} 端子は，ポート機能として使用できます。

2. CSIE_n = 1 (SIO_n動作許可状態) のときは，送信機能のみ使用する場合はSIO_n端子，受信専用モード時は，SIO_n端子をそれぞれポート機能として使用できます。

注意1. SCL_{n1}，SCL_{n0}のビット操作はしないでください。

2. ビット3-6には必ず“0”を設定してください。

備考1. SCL_{n2}ビットについては10. 2. 2 (2) シリアル・クロック選択レジスタ0-3 (CSIS0-CSIS3) を参照してください。

2. 選択クロックをタイマの出力にした場合，P30/TO2/TI2，P31/TO3/TI3端子をタイマ出力モードにする必要はありません。

10.2.3 動作

CSInには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、SIn, SOn, $\overline{\text{SCKn}}$ 端子を入出力ポートとして選択していれば、通常の入出力ポートとして使用できます。

(a) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタn (CSIMn) のCSIEnビットで行います。

図10 - 2 CSIMnの設定 (動作停止モード)

リセット時: 00H	R/W	アドレス: CSIM0 FFFFF2A2H	CSIM2 FFFFF2C2H
		CSIM1 FFFFF2B2H	CSIM3 FFFFF2D2H
		7	6
		5	4
		3	2
		1	0
CSIMn	CSIEn	0	0
		0	0
		MODEn	SCLn1
			SCLn0
(n = 0-3)			
	CSIEn	SIO _n の動作許可 / 禁止の指定	
		シフト・レジスタ動作	シリアル・カウンタ
			ポート
	0	動作禁止	クリア
			ポート機能

(2) 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック (\overline{SCKn})、シリアル出力 (SOn)、シリアル入力 (SIn) の3本のラインで通信を行います。

(a) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタn (CSIMn) で行います。

図10 - 3 CSIMnの設定 (3線式シリアルI/Oモード)

リセット時 : 00H	R/W	アドレス : CSIM0 FFFFF2A2H	CSIM2 FFFFF2C2H
		CSIM1 FFFFF2B2H	CSIM3 FFFFF2D2H

	7	6	5	4	3	2	1	0
CSIMn (n = 0-3)	CSIE _n	0	0	0	0	MODE _n	SCL _{n1}	SCL _{n0}

CSIE _n	SIO _n の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

MODE _n	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SOn出力
0	送信 / 送受信モード	SIO _n ライト	通常出力
1	受信専用モード	SIO _n リード	ポート機能

SCL _{n2}	SCL _{n1}	SCL _{n0}	クロックの選択
0	0	0	外部クロック入力 (\overline{SCKn})
0	0	1	n = 0, 3時 : TM2の出力 n = 1, 2時 : TM3の出力
0	1	0	f _{xx} /8
0	1	1	f _{xx} /16
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f _{xx} /32
1	1	1	f _{xx} /64

備考 選択クロックをタイマの出力にした場合、P30/TO2/TI2、P31/TO3/TI3端子をタイマ出力モードにする必要はありません。

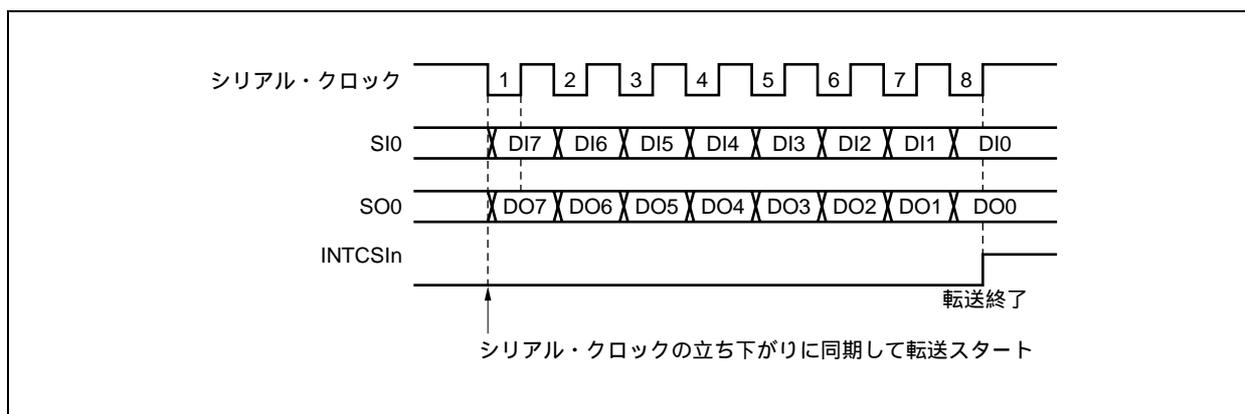
(b) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタn (SIO_n)のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSO_nラッチに保持され、SO_n端子から出力されます。また、シリアル・クロックの立ち上がりで、SIn端子に入力された受信データがSIO_nにラッチされます。

8ビット転送終了により、SIO_nの動作は自動的に停止し、割り込み要求フラグ (INTCSIn) がセットされます。

図10 - 4 3線式シリアルI/Oモードのタイミング



(c) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタn (SIO_n)に転送データをセットすることで開始します。

- ・ SIO_nの動作制御ビット (CSIEn) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはシリアル・クロックがハイ・レベルの状態

SIO_nへの転送データのセットは次のように行います。

- ・ 送信 / 送受信モード
CSIEn = 1, MODEn = 0のとき、SIO_nライトで転送スタート
- ・ 受信専用モード
CSIEn = 1, MODEn = 1のとき、SIO_nのリードで転送スタート

注意 SIO_nにデータを書き込んだあと、CSIEnを“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSIn) をセットします。

10.3 I²Cバス

この機能を使用する場合は、P10/SDA0, P12/SCL0, P20/SDA1, P22/SCL1端子をN-chオープン・ドレイン出力に設定してください。

I²Cバスを内蔵している製品を次に示します。

- ・ μ PD703038Y
- ・ μ PD703039Y
- ・ μ PD703040Y
- ・ μ PD703041Y
- ・ μ PD70F3038Y
- ・ μ PD70F3040Y

I²C0, I²C1には、次の2種類のモードがあります。

- ・ 動作停止モード
- ・ I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

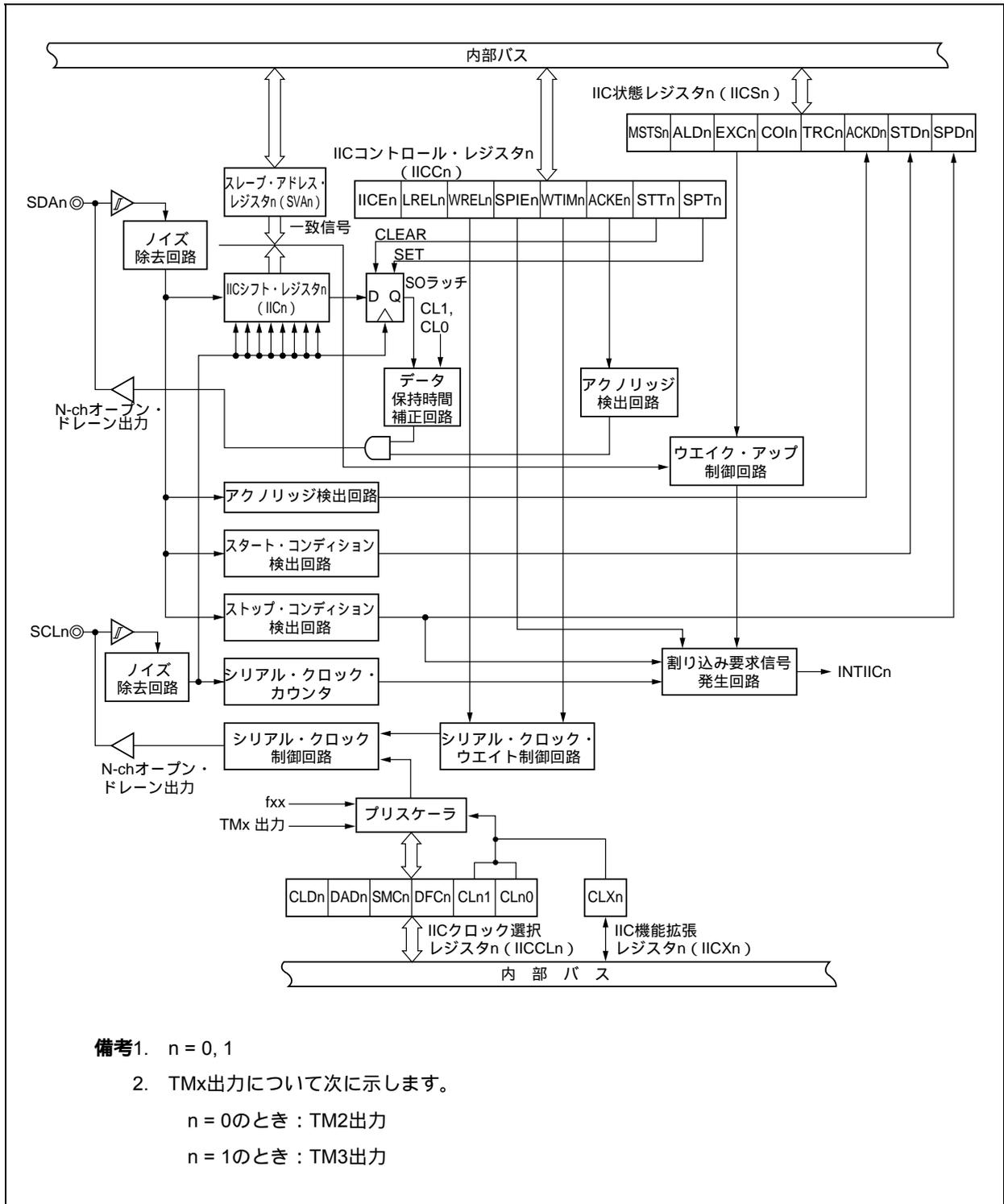
シリアル・クロック (SCL_n) とシリアル・データ・バス (SDA_n) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²C_nでは、SCL_nとSDA_nはオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

備考 n = 0, 1

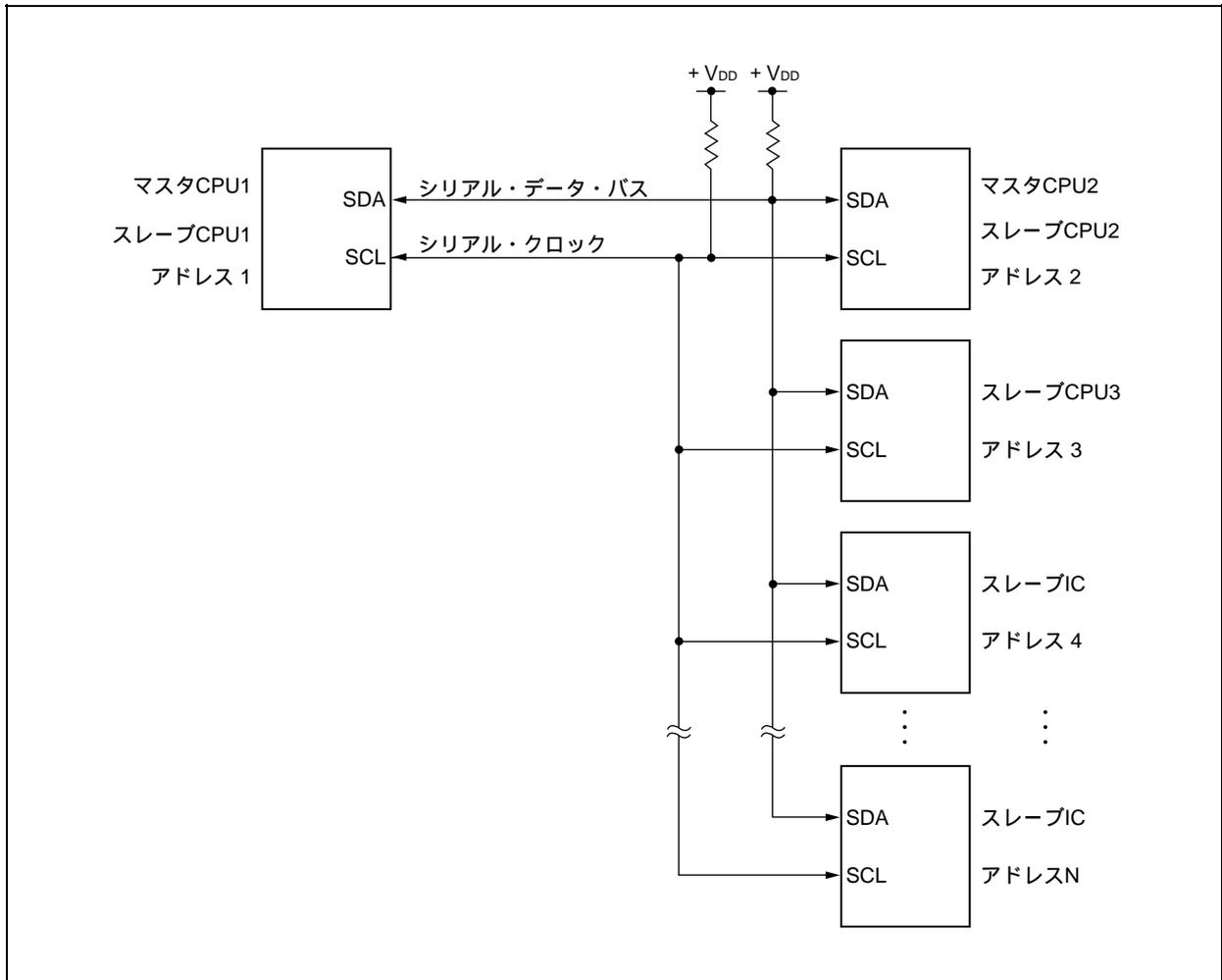
図10 - 5 I²Cnのブロック図



- 備考1. n = 0, 1
2. TMx出力について次に示します。
- n = 0のとき : TM2出力
 - n = 1のとき : TM3出力

次にシリアル・バス構成例を示します。

図10 - 6 I²Cバスによるシリアル・バス構成例



10.3.1 構成

I²Cnは、次のハードウェアで構成されています (n = 0, 1)。

表10 - 2 I²Cnの構成

項目	構成
レジスタ	IICシフト・レジスタ0, 1 (IIC0, IIC1) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)
制御レジスタ	IICコントロール・レジスタ0, 1 (IICC0, IICC1) IIC状態レジスタ0, 1 (IICS0, IICS1) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1)

(1) IICシフト・レジスタ0, 1 (IIC0, IIC1)

IICnは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnは送信および受信の両方に使用されます (n = 0, 1)。

IICnに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

IICnは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVAnは、8ビット・メモリ操作命令で設定します (n = 0, 1)。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(3) SOラッチ

SOラッチは、SDAn端子出力レベルを保持するラッチです (n = 0, 1)。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタn (SVAn) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です (n = 0, 1)。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目 (WTIMnビットで設定^注)
- ・ストップ・コンディション検出による割り込み発生 (SPIEnビットで設定^注)

注 WTIMnビット : IICコントロール・レジスタn (IICn) のビット3

SPIEnビット : IICコントロール・レジスタn (IICn) のビット4

備考 n = 0, 1

(8) シリアル・クロック制御回路

マスタ・モード時に、SCLn端子に出力するクロックをサンプリング・クロックから生成します(n = 0, 1)。

(9) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

**(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路**

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

10.3.2 I²C制御レジスタ

I²C0, I²C1は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0, 1 (IICC0, IICC1)
- ・ IIC状態レジスタ0, 1 (IICS0, IICS1)
- ・ IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)
- ・ IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0, 1 (IIC0, IIC1)
- ・ スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1)

I²Cnの動作許可/禁止, ウェイト・タイミングの設定, その他I²C動作の設定を行うレジスタです。

IICnは、8/1ビット・メモリ操作命令で設定します (n = 0, 1)。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 I²C0, I²C1バス・モード時, ポート1モード・レジスタ(PM1), ポート2モード・レジスタ(PM2), ポート1ファンクション・レジスタ(PF1), ポート2ファンクション・レジスタ(PF2)を次のように設定してください。また, 出力ラッチはそれぞれ0に設定してください。

端子	ポート・モード・レジスタ	ポート・ファンクション・レジスタ
P10/SI0/SDA0	PM1レジスタのPM10 = 0	PF1レジスタのPF10 = 1
P12/ $\overline{\text{SCK0}}$ /SCL0	PM1レジスタのPM12 = 0	PF1レジスタのPF12 = 1
P20/SI2/SDA1	PM2レジスタのPM20 = 0	PF2レジスタのPF20 = 1
P22/ $\overline{\text{SCK2}}$ /SCL1	PM2レジスタのPM22 = 0	PF2レジスタのPF22 = 1

リセット時：00H R/W アドレス：FFFFFF340H, FFFFFFF350H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0, 1)

IICEn	I ² Cn動作許可 / 禁止の指定
0	動作停止。IIC状態レジスタn (IICSn) をプリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICEn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (IICEn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

LRELn	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLn, SDAnラインはハイ・インピーダンス状態になる。 次のフラグがクリアされる。 <ul style="list-style-type: none"> ・ STDn ・ ACKDn ・ TRCn ・ COIn ・ EXCn ・ MSTSn ・ STTn ・ SPTn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELn = 0) 注	
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (LRELn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 IICEn = 0により、このフラグの信号を無効にします。

備考

STDn	:	IIC状態レジスタn (IICSn) のビット1
ACKDn	:	" のビット2
TRCn	:	" のビット3
COIn	:	" のビット4
EXCn	:	" のビット5
MSTSn	:	" のビット7

WRELn	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件 (WRELn = 0) 注		セットされる条件 (WRELn = 1)
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

SPIEn	ストップ・コンディション検出による割り込み要求発生への許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEn = 0) 注		セットされる条件 (SPIEn = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

WTIMn	ウェイトおよび割り込み要求発生への制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりでのウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりでのウェイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIMn = 0) 注		セットされる条件 (WTIMn = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IICEn = 0により、このフラグの信号を無効にします。

ACKEn	アクリリッジ制御	
0	アクリリッジを禁止。	
1	アクリリッジを許可。9クロック期間中にSDAnラインをロウ・レベルにする。ただし、アドレス転送中は無効、EXCn = 1の場合は有効。	
クリアされる条件 (ACKEn = 0) 注		セットされる条件 (ACKEn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

STTn	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SDAnラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLnをロウ・レベルにする。</p> <p>バスに参加していないとき :</p> <p>スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。</p> <p>ウェイト状態 (マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合 : 転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。</p> <p>マスタ送信の場合 : ACKn期間中は、正常にスタート・コンディションが生成されていないことがあります。ウェイト期間中にセットしてください。</p> <p>・SPTnと同時にセットすることは禁止です。</p>		
クリアされる条件 (STTn = 0)		セットされる条件 (STTn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・アービトラーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEn = 0により、このフラグの信号を無効にします。

備考 ビット1 (STTn) は、データ設定後に読み出すと0になっています。

SPTn	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAnラインをロウ・レベルにしたあと、SCLnラインをハイ・レベルにするか、またはSCLnがハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAnラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。</p> <p>マスタ送信の場合：ACKn期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。</p> <p>・STTnと同時にセットすることは禁止です。</p> <p>SPTnのセットは、マスタのときのみ行ってください。注</p> <p>WTIMn = 0設定時に、8クロック出力後のウエイト期間中にSPTnをセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。</p> <p>9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIMn = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTnをセットしてください。</p>					
<table border="1"> <thead> <tr> <th>クリアされる条件 (SPTn = 0)</th> <th>セットされる条件 (SPTn = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・ 命令によるクリア ・ アービトレーションに負けたとき ・ ストップ・コンディション検出後、自動的にクリア ・ LRELn = 1によるクリア ・ IICEn = 0のとき ・ RESET入力時 </td> <td> <ul style="list-style-type: none"> ・ 命令によるセット </td> </tr> </tbody> </table>		クリアされる条件 (SPTn = 0)	セットされる条件 (SPTn = 1)	<ul style="list-style-type: none"> ・ 命令によるクリア ・ アービトレーションに負けたとき ・ ストップ・コンディション検出後、自動的にクリア ・ LRELn = 1によるクリア ・ IICEn = 0のとき ・ RESET入力時 	<ul style="list-style-type: none"> ・ 命令によるセット
クリアされる条件 (SPTn = 0)	セットされる条件 (SPTn = 1)				
<ul style="list-style-type: none"> ・ 命令によるクリア ・ アービトレーションに負けたとき ・ ストップ・コンディション検出後、自動的にクリア ・ LRELn = 1によるクリア ・ IICEn = 0のとき ・ RESET入力時 	<ul style="list-style-type: none"> ・ 命令によるセット 				

注 SPTnのセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPTnをセットしてストップ・コンディションを生成する必要があります。詳細は、10. 3. 13 注意事項を参照してください。

★

注意 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき、9クロック目にWRELnをセットしてウエイト解除すると、TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

備考 ビット0 (SPTn) は、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0, 1 (IICS0, IICS1)

I²Cnのステータスを表すレジスタです。

IICSnは、1/8ビット・メモリ操作命令で設定します。IICSnは読み出しのみ可能です (n = 0, 1)。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(1/3)

リセット時：00H R アドレス：FFFFF342H, FFFFF352H

	⑦	⑥	⑤	④	③	②	①	①
IICSn	MSTS _n	ALD _n	EXC _n	COI _n	TRC _n	ACKD _n	STD _n	SPD _n

(n = 0, 1)

MSTS _n	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS _n = 0)		セットされる条件 (MSTS _n = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD_n = 1のとき ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD _n	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS _n がクリアされる。	
クリアされる条件 (ALD _n = 0)		セットされる条件 (ALD _n = 1)
<ul style="list-style-type: none"> ・IICS_n読み出し後、自動的にクリア^注 ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC _n	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC _n = 0)		セットされる条件 (EXC _n = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

注 IICS_nのほかのビットに対しビット操作命令を実行した場合もクリアされます。

備考 LREL_n : IICコントロール・レジスタn (IIC_{Cn}) のビット6
 IICEn : " のビット7

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		受信アドレスが自局アドレス (SVAn) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAnラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・WRELn = 1によるクリア^注 ・ALDn = 0 1のとき ・RESET入力時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合		マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) で “1” を入力したとき

★

注 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき、9クロック目にIICコントロール・レジスタn (IICcn) のビット5 (WRELn) をセットしてウェイトを解除すると、TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

備考 WRELn : IICコントロール・レジスタn (IICcn) のビット5

LRELn : " のビット6

IICEn : " のビット7

ACKDn	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出する。	
クリアされる条件 (ACKDn = 0)		セットされる条件 (ACKDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		SCLnの9クロック目の立ち上がり時にSDAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		セットされる条件 (STDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
クリアされる条件 (SPDn = 0)		セットされる条件 (SPDn = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		・ストップ・コンディション検出時

備考 LRELn : IICコントロール・レジスタn (IICn) のビット6
 IICEn : " のビット7

(3) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

I²Cnの転送クロックを設定するレジスタです。

IICCLnは、8/1ビット・メモリ操作命令で設定します。SMCn, CLn1, CLn0ビットの設定は、IIC機能拡張レジスタn (IICXn) のCLXnビットと、IICクロック拡張レジスタn (IICCEn) のIICCEn1, IICCEn0ビットと組み合わせて設定します (10.3.2 (6) I²Cnの転送クロックの設定方法参照) (n = 0, 1)。

RESET入力により、00Hになります。

リセット時 : 00H R/W ^注 アドレス : FFFFFFF344H, FFFFFFF354H								
IICCLn	7	6	⑤	④	3	2	1	0
	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0
(n = 0, 1)								
CLDn	SCLnラインのレベル検出 (IICEn = 1のときのみ有効)							
0	SCLnラインがロウ・レベルであることを検出							
1	SCLnラインがハイ・レベルであることを検出							
クリアされる条件 (CLDn = 0)				セットされる条件 (CLDn = 1)				
<ul style="list-style-type: none"> ・ SCLnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ RESET入力時 				<ul style="list-style-type: none"> ・ SCLnラインがハイ・レベルのとき 				
DADn	SDAnラインのレベル検出 (IICEn = 1のときのみ有効)							
0	SDAnラインがロウ・レベルであることを検出							
1	SDAnラインがハイ・レベルであることを検出							
クリアされる条件 (DADn = 0)				セットされる条件 (DADn = 1)				
<ul style="list-style-type: none"> ・ SDAnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ RESET入力時 				<ul style="list-style-type: none"> ・ SDAnラインがハイ・レベルのとき 				
SMCn	動作モードの切り替え							
0	標準モードで動作							
1	高速モードで動作							
DFCn	デジタル・フィルタの動作制御							
0	デジタル・フィルタ・オフ							
1	デジタル・フィルタ・オン							
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時はDFCnのオン/オフにより、転送クロックが変化することはありません。								
注 ビット4, ビット5はRead Onlyです。								
備考 IICEn : IICコントロール・レジスタn (IICCn) のビット7								

(4) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

I²Cnの機能拡張を設定するレジスタです (高速モード時のみ有効)。

IICXnは、1/8ビット・メモリ操作命令で設定します。CLXnビットの設定は、IICクロック選択レジスタn (IICCLn) のSMCn, CLn1, CLn0ビットと、IICクロック拡張レジスタn (IICCEn) のIICCEn1, IICCEn0ビットと組み合わせて設定します (10.3.2 (5) I²Cnの転送クロックの設定方法参照) (n = 0, 1)。

RESET \bar 入力により、00Hになります。

リセット時 : 00H R/W アドレス : FFFFF34AH, FFFFF35AH								
	7	6	5	4	3	2	1	①
IICXn	0	0	0	0	0	0	0	CLXn
(n = 0, 1)								

★ (5) I²Cnの転送クロックの設定方法

I²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます (n = 0, 1)。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 24, 48, 44, 86, 172 (表10 - 3 選択クロックの設定参照)

T : 1/f_{xx}

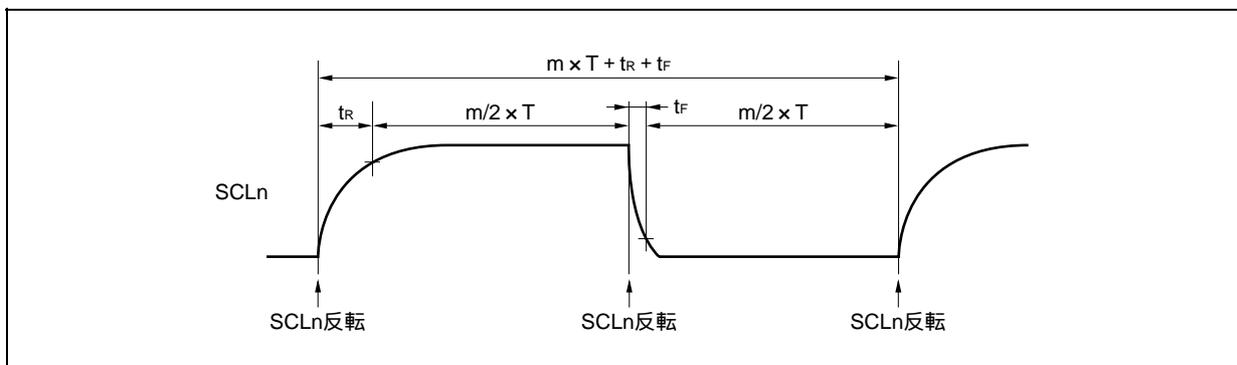
t_R : SCLn立ち上がり時間

t_F : SCLn立ち下がり時間

たとえば、 $f_{xx} = 17 \text{ MHz}$, $m = 172$, $t_r = 200 \text{ ns}$, $t_f = 50 \text{ ns}$ の場合のI²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (172 \times 58.8 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 98.8 \text{ kHz}$$

図10 - 7 I²Cnの転送クロック周波数 (f_{SCL})



選択クロックは、IICクロック選択レジスタn (IICCLn) のSMCn, CLn1, CLn0ビット, IIC機能拡張レジスタn (IICXn) のCLXnビットを組み合わせ設定します (n = 0, 1)。

★

表10 - 3 選択クロックの設定

IICXn ビット0 CLXn	IICCLn			選択クロック (f_{xx}/m)	設定可能なメイン・クロック 周波数 (f_{xx}) の範囲	動作モード
	ビット3 SMCn	ビット1 CLn1	ビット0 CLn0			
0	0	0	0	$f_{xx}/44$	4.0 MHz ~ 4.19 MHz	高速モード (SMCn = 1)
0	0	0	1	$f_{xx}/86$	4.19 MHz ~ 8.38 MHz	
0	0	1	0	$f_{xx}/172$	8.38 MHz ~ 17.0 MHz	
0	0	1	1	n = 0 TM2の出力/66 n = 1 TM3の出力/66	TM2の設定 TM3の設定	
0	1	0	x	$f_{xx}/24$	4.00 MHz ~ 8.38 MHz	標準モード (SMCn = 0)
0	1	1	0	$f_{xx}/48$	8.00 MHz ~ 17.0 MHz	
1	1	0	x	$f_{xx}/12$	4.00 MHz ~ 4.19 MHz	
0	1	1	1	n = 0 TM2の出力/18 n = 1 TM3の出力/18	TM2の設定 TM3の設定	
その他				設定禁止		

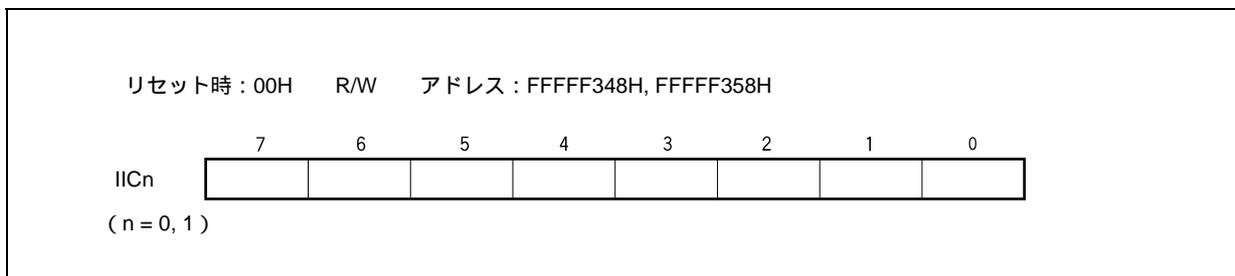
備考1. n = 0, 1

2. x : Don't care

3. 選択クロックをタイマの出力にした場合, P26/TO2/TI2, P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

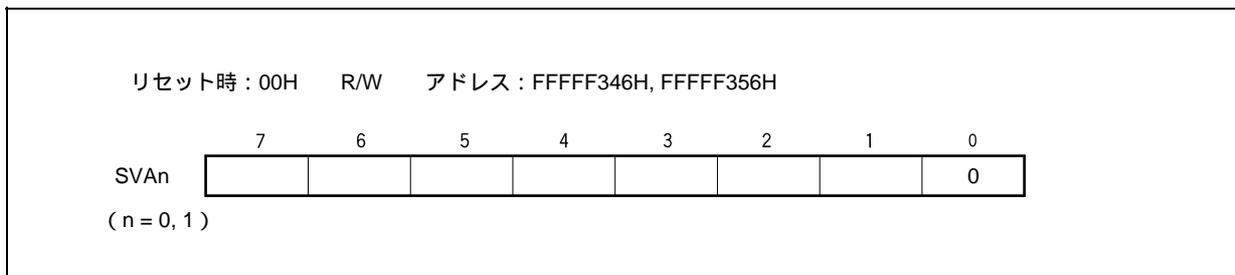
(6) IICシフト・レジスタ0, 1 (IIC0, IIC1)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIICnへデータを書き込まないでください(n = 0, 1)。



(7) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。



10.3.3 I²Cバス・モードの機能

(1) 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています (n = 0, 1)。

SCLn ... シリアル・クロックを入出力するための端子。

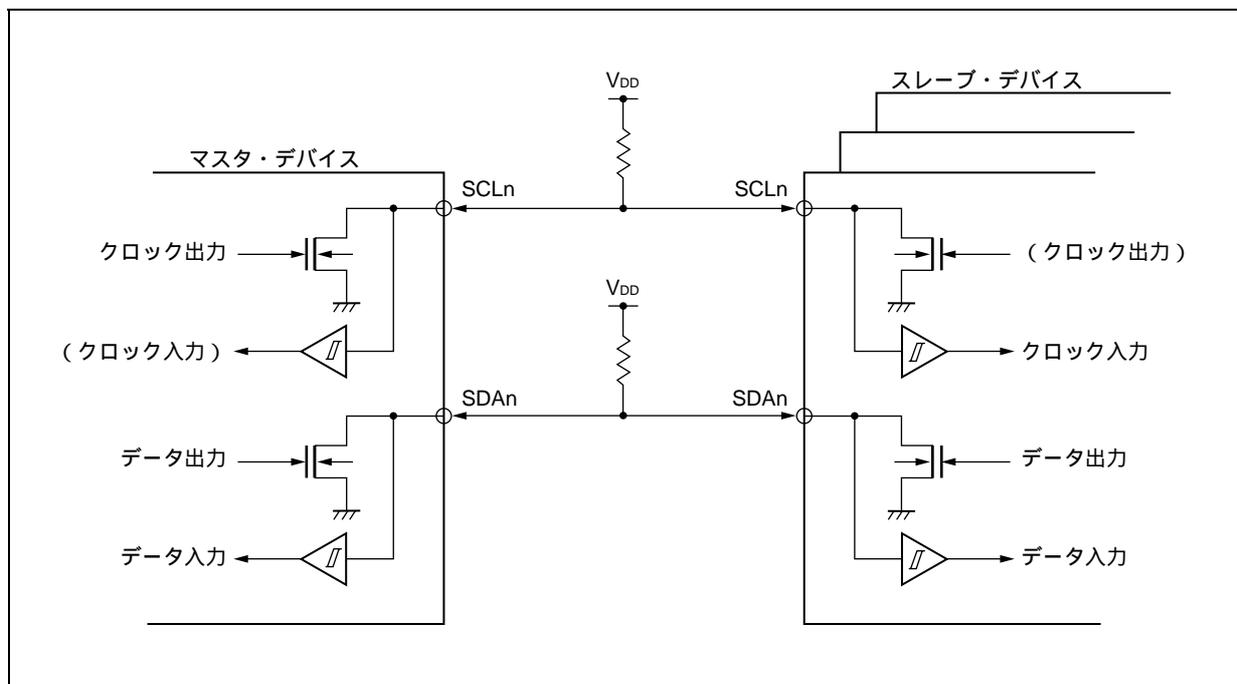
マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

SDAn ... シリアル・データの入出力兼用端子。

マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図10 - 8 端子構成図

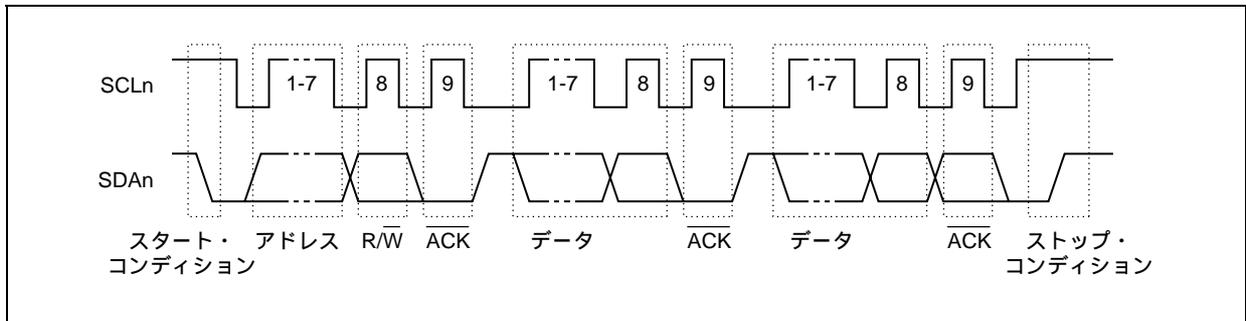


10.3.4 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図10 - 9 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

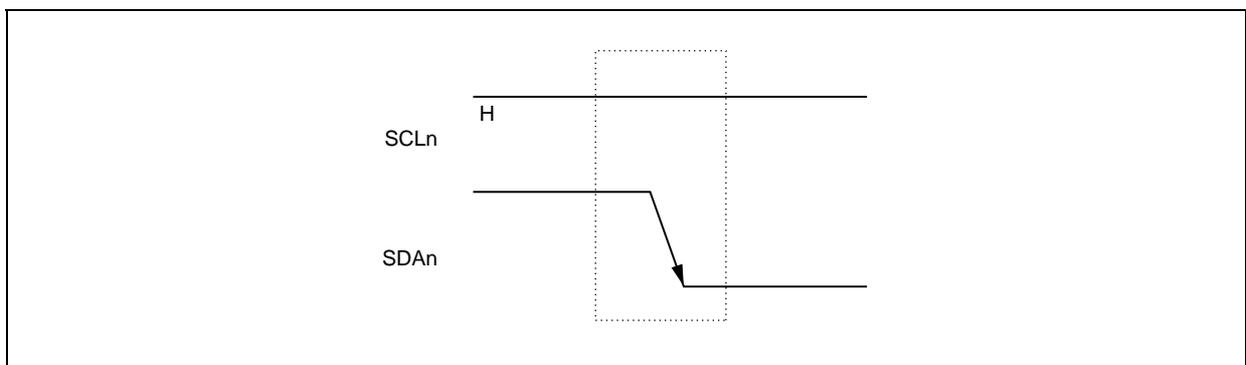
アックノリッジ信号（ACK）は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLn）は，マスタが出力し続けます。ただし，スレーブはSCLnのロウ・レベル期間を延長し，ウエイトを挿入できます（n = 0, 1）。

(1) スタート・コンディション

SCLn端子がハイ・レベルのときに，SDAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLn端子，SDAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブは，スタート・コンディションを検出するハードウェアを内蔵しています（n = 0, 1）。

図10 - 10 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPDn：IIC状態レジスタn（IICSn）のビット0 = 1）のときにIICコントロール・レジスタn（IICcn）のビット1（STTn）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSnのビット1（STDn）がセット（1）されます（n = 0, 1）。

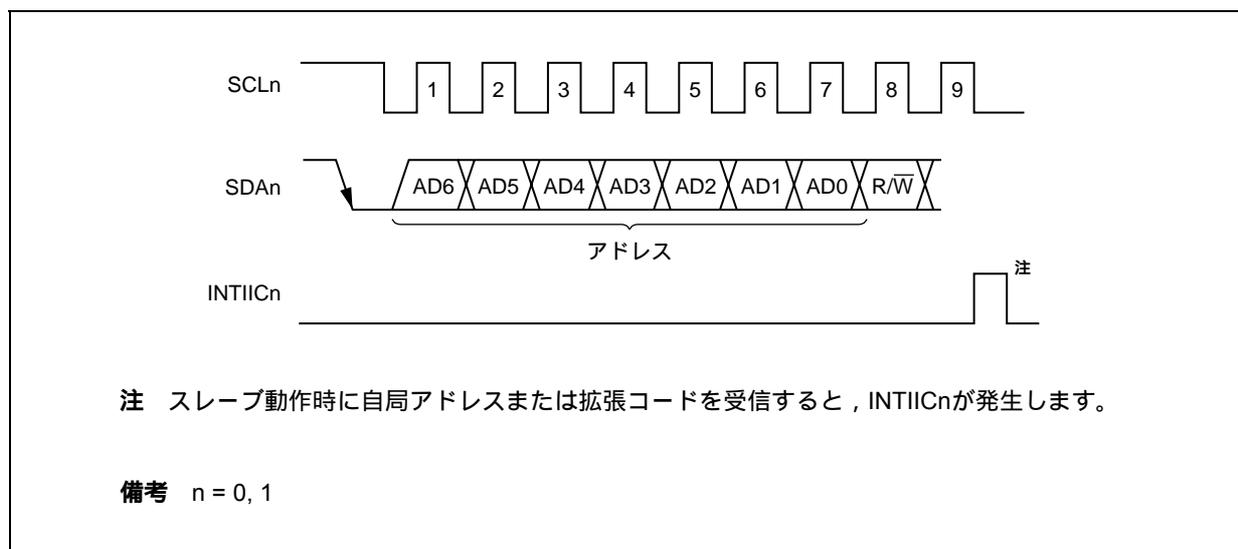
(2) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVA n) と一致しているかを調べます。このとき、7ビット・データとSVA n の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います ($n = 0, 1$)。

図10 - 11 アドレス



アドレスは、スレーブのアドレスと(3) **転送方向指定**に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ n (IIC n) に書き込むと出力します。また、受信したアドレスはIIC n に書き込まれます ($n = 0, 1$)。

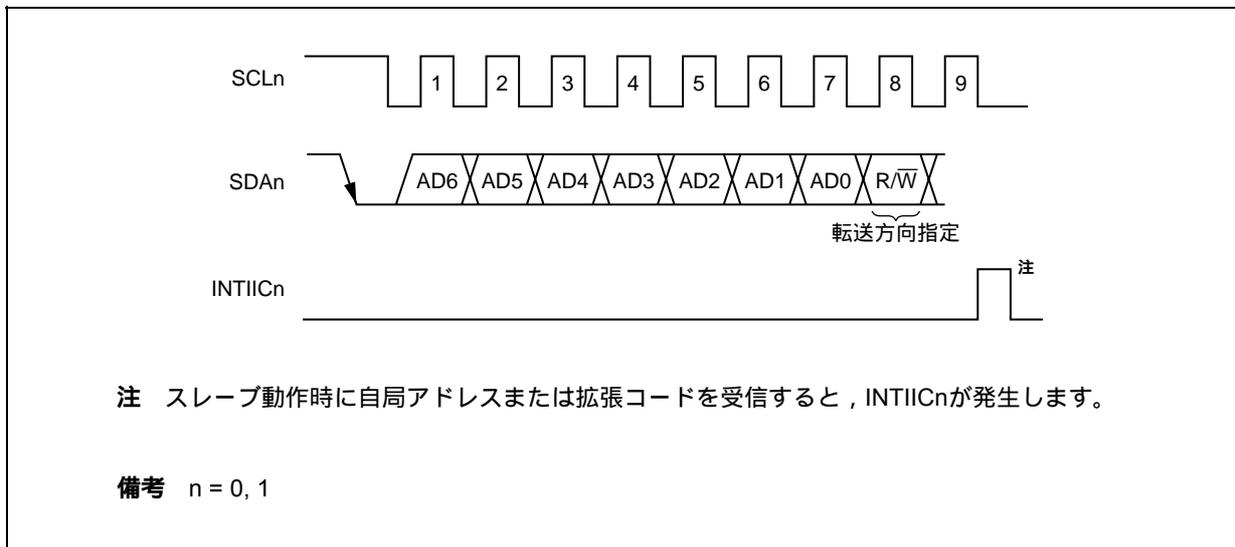
なお、スレーブのアドレスは、IIC n の上位7ビットに割り当てられます。

(3) 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図10 - 12 転送方向指定



(4) アクノリッジ信号 (ACK)

アクノリッジ信号(ACK)は送信側と受信側におけるシリアル・データ受信を確認するための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたと検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDAnラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります(正常受信返答)。

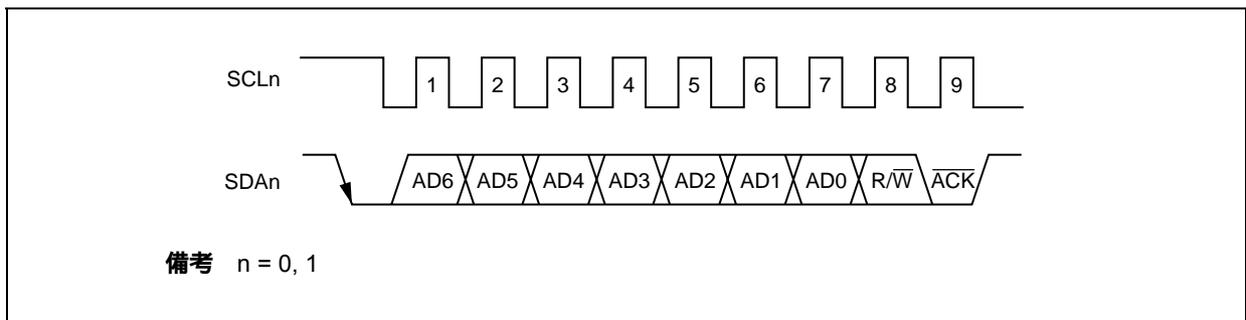
IICコントロール・レジスタn (IICn) のビット2 (ACKEn) = 1でアクノリッジ信号自動発生許可状態になります (n = 0, 1)。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタn (IICSn) のビット3 (TRCn) が設定されますが、TRCnビットの値が“0”の場合は受信状態なので、ACKEn = 1にしてください (n = 0, 1)。

スレーブ受信動作時 (TRCn = 0) , スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKEn = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRCn = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、ACK信号を発生しないようにACKEn = 0にしてください。これは、スレーブ送信動作時に、SDAnラインにデータのMSBデータを出力しないようにするためです(送信停止)。

図10 - 13 アクノリッジ信号



自局アドレス受信時は、ACKEnの値にかかわらずSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません (n = 0, 1)。

データ受信時のアクノリッジ信号の出力方法はウェイト・タイミングの設定により次のようになります。

8クロック・ウェイト選択時：ウェイト解除を行う前にACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を出力します。

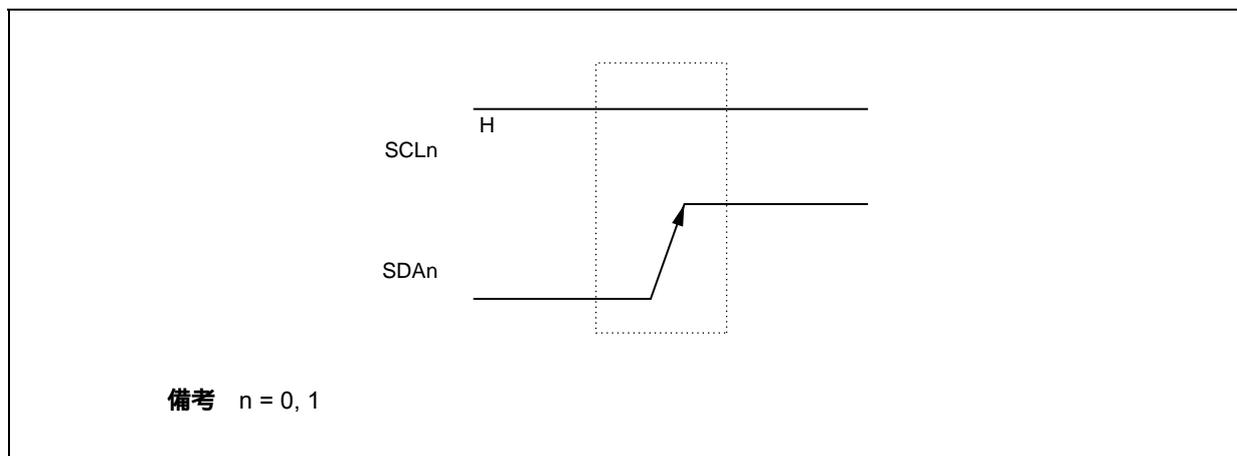
9クロック・ウェイト選択時：あらかじめACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

(5) ストップ・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります ($n = 0, 1$)。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図10 - 14 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタn (IICn) のビット0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタn (IICSn) のビット0 (SPDn) がセット (1) され、IICnのビット4 (SPIEn) がセット (1) されている場合にはINTIICnが発生します ($n = 0, 1$)。

(6) ウェイト信号 (WAIT)

ウェイト信号 (WAIT) は、マスタまたはスレーブがデータの送受信が準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCLn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます (n = 0, 1)。

図10 - 15 ウェイト信号 (1/2)

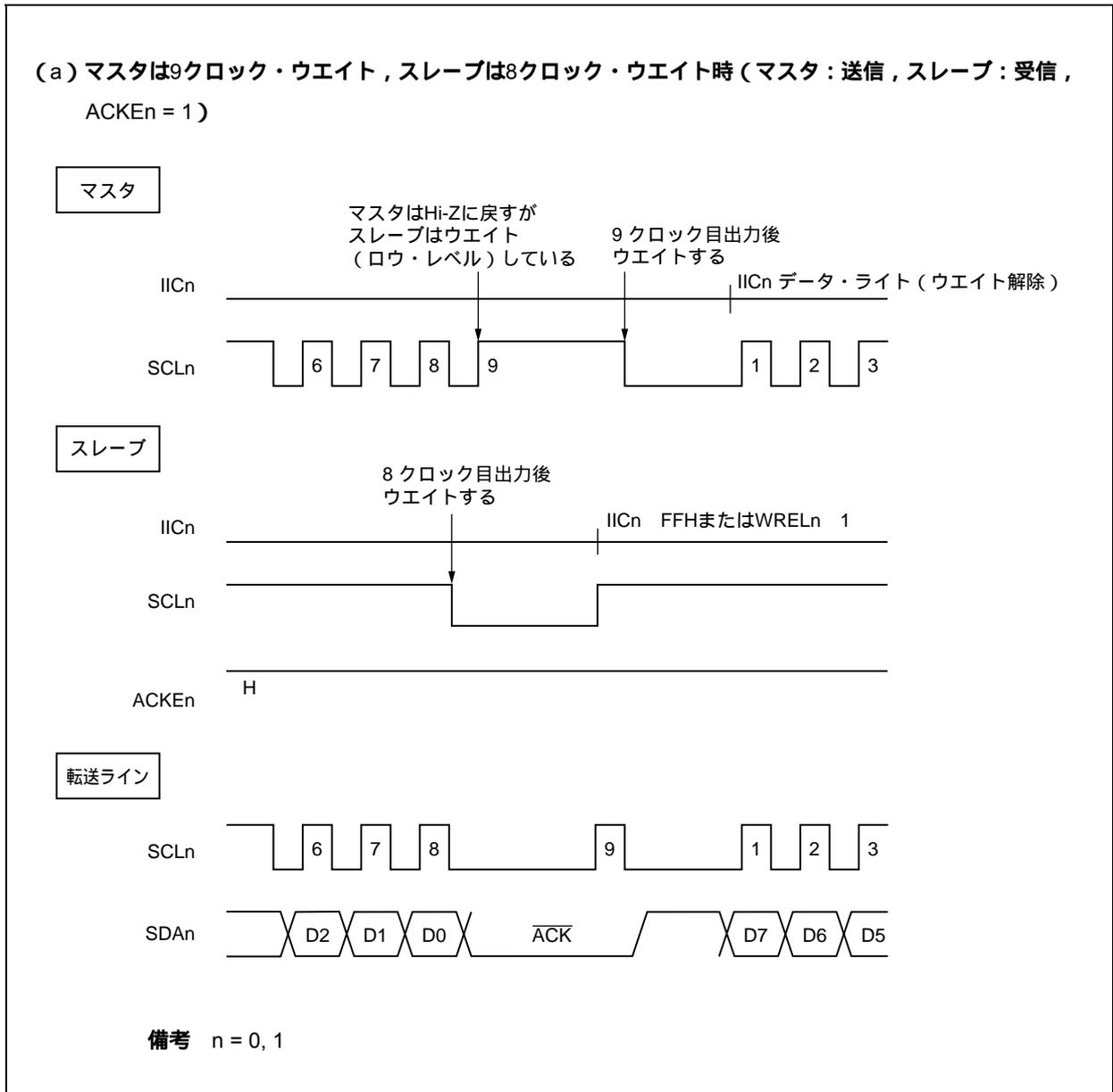
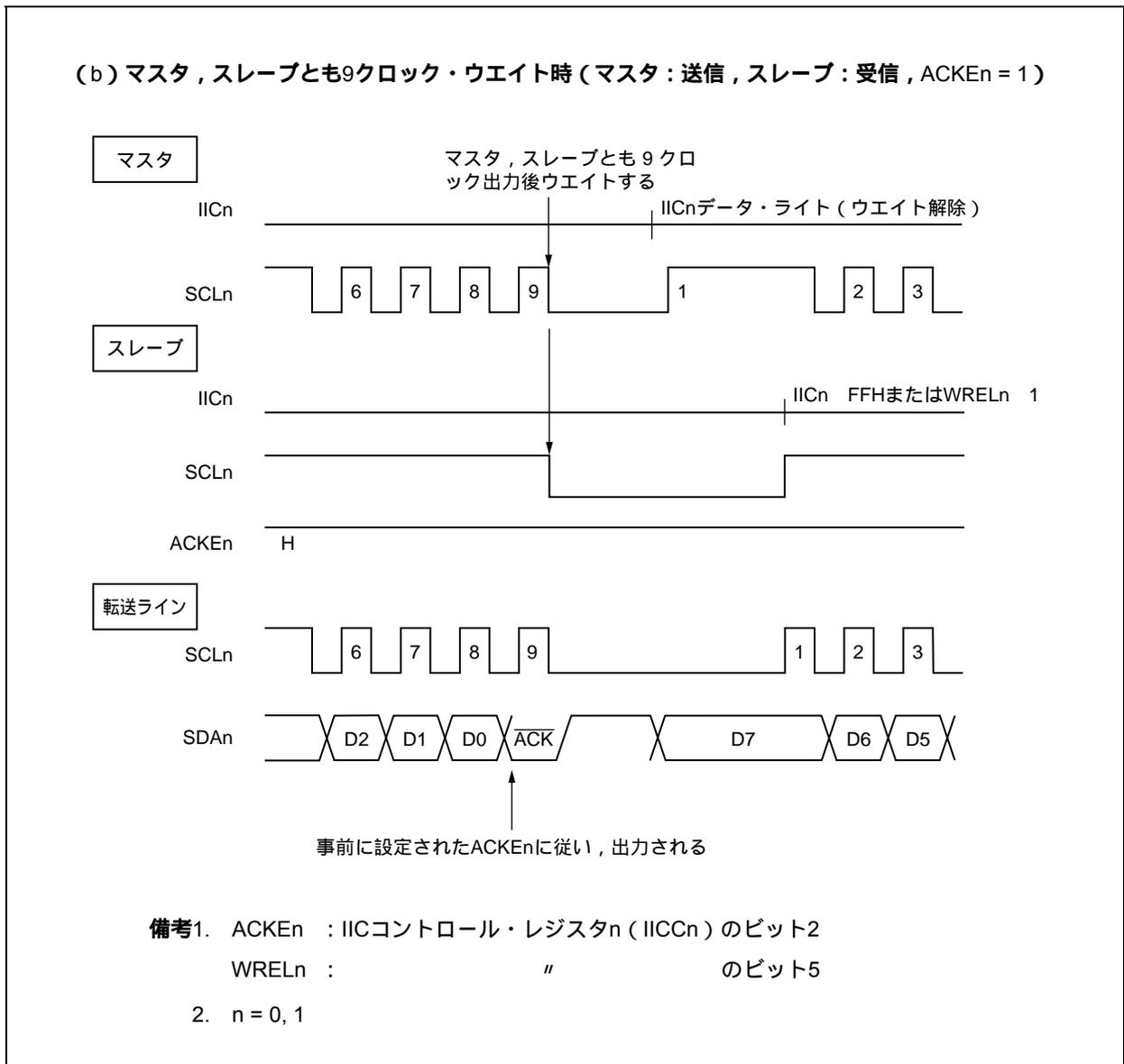


図10 - 15 ウェイト信号 (2/2)



ウェイトは、IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定により自動的に発生します (n = 0, 1)。

通常、受信側はIICnのビット5 (WRELn) = 1またはIICシフト・レジスタn (IICn) FFHライトにするとウェイトを解除し、送信側はIICnにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICnのビット1 (STTn) = 1
- ・ IICnのビット0 (SPTn) = 1

★ 10.3.5 I²C割り込み要求 (INTIICn)

次に、INTIICn割り込み要求発生タイミングと、INTIICn割り込みタイミングでのIIC状態レジスタn (IICSn) の値を示します (n = 0, 1)。

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1	2			3	4
								5

SPTn = 1
↓

1 : IICSn = 10XXX110B
 2 : IICSn = 10XXX000B
 3 : IICSn = 10XXX000B (WTIMn = 1)
 4 : IICSn = 10XXXX00B
 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1	2			3	4

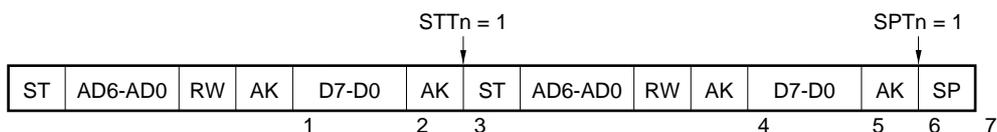
SPTn = 1
↓

1 : IICSn = 10XXX110B
 2 : IICSn = 10XXX100B
 3 : IICSn = 10XXXX00B
 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

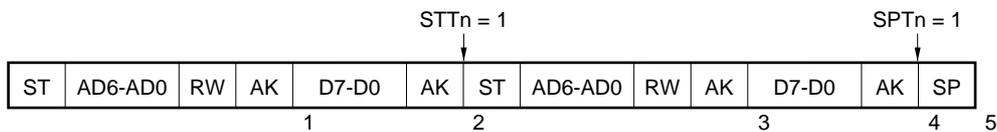
WTIMn = 0のとき



- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX000B (WTIMn = 1)
- 3 : IICSn = 10XXXX00B (WTIMn = 0)
- 4 : IICSn = 10XXX110B (WTIMn = 0)
- 5 : IICSn = 10XXX000B (WTIMn = 1)
- 6 : IICSn = 10XXXX00B
- 7 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

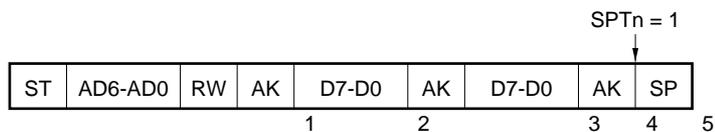


- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXXX00B
- 3 : IICSn = 10XXX110B
- 4 : IICSn = 10XXXX00B
- 5 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

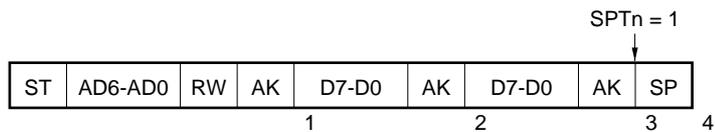
WTIMn = 0のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X000B
- 3 : IICSn = 1010X000B (WTIMn = 1)
- 4 : IICSn = 1010XX00B
- 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X100B
- 3 : IICSn = 1010XX00B
- 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVAn一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 0001X110B

4 : IICSn = 0001XX00B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0010X010B

4 : IICSn = 0010X000B

5 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
				1	2					3	4	5	6

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 0010X010B

4 : IICSn = 0010X110B

5 : IICSn = 0010XX00B

6 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(3) スレーブ動作 (拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1	2		3		4
								5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3	4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5 6

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0001X110B

5 : IICSn = 0001XX00B

6 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2				3		4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X010B

4 : IICSn = 0010X000B

5 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3			4	5		6	7

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0010X010B

5 : IICSn = 0010X110B

6 : IICSn = 0010XX00B

7 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3		4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 00000X10B

5 : IICSn = 00000001B

備考 必ず発生

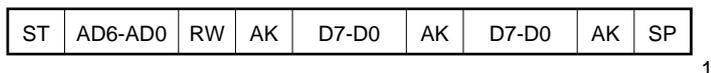
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



1 : IICSn = 00000001B

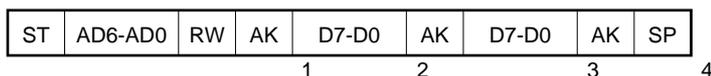
備考 SPIEn = 1のときだけ発生

n = 0, 1

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

WTIMn = 0のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

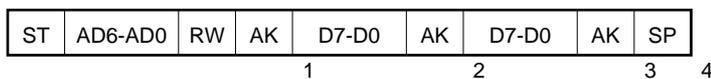
備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1	2		3		4
								5

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生

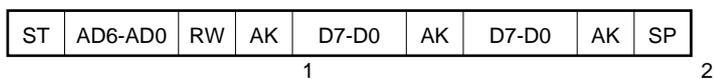
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



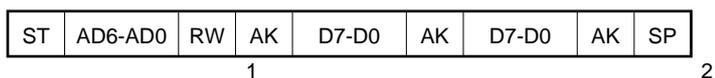
1 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICn : LRELn = 1を設定

2 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(c) データ転送時にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000100B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 n = 0, 1

(d) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVAn不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP		
				1					2				3

1 : IICSn = 1000X110B

2 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

X 任意

Dn = D6-D0

n = 0, 1

拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP		
				1					2				3

1 : IICSn = 1000X110B

2 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICn : LRELn = 1を設定

3 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

X 任意

Dn = D6-D0

n = 0, 1

(e) データ転送時にストップ・コンディションで負けた場合



1 : IICSn = 1000X110B

2 : IICSn = 01000001B

備考 必ず発生
SPIEn = 1のときだけ発生

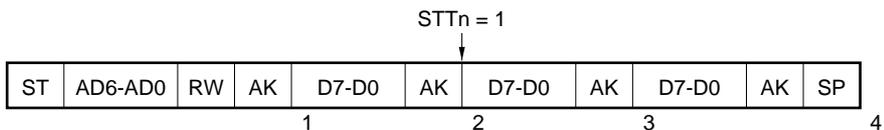
X 任意

Dn = D6-D0

n = 0, 1

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIMn = 1のとき



1 : IICSn = 1000X110B

2 : IICSn = 1000XX00B

3 : IICSn = 01000100B (例 割り込み処理中にALDnをリード)

4 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2	3

STTn = 1
↓

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3			4

SPTn = 1
↓

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)
 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

10.3.6 割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御

IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定で、次に示すタイミングでINTIICnが発生して、ウェイト制御を行います (n = 0, 1)。

表10 - 4 INTIICn発生タイミングおよびウェイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICn信号およびウェイトは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICnのビット2 (ACKEn) の設定にかかわらず、 \overline{ACK} が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICnが発生します。
2. スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致していない場合は、INTIICnもウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0, 1

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICコントロール・レジスタn (IICn) のビット5 (WRELn) = 1
- ・IICシフト・レジスタn (IICn) のライト動作
- ・スタート・コンディションのセット (IICコントロール・レジスタn (IICn) のビット1 (STTn) = 1)
- ・ストップ・コンディションのセット (IICコントロール・レジスタn (IICn) のビット0 (SPTn) = 1)

8クロック・ウェイト選択 (WTIMn = 0) 時は、ウェイト解除前に \overline{ACK} の出力レベルを決定する必要があります。

備考 n = 0, 1

(5) ストップ・コンディション検出

INTIICnは、ストップ・コンディションを検出すると発生します。

備考 n = 0, 1

10.3.7 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタn (SVAn) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn割り込み要求が発生します (n = 0, 1)。

10.3.8 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAn) の状態が、送信しているデバイスのIICシフト・レジスタn (IICn) にも取り込まれるため、送信開始前と送信終了後のIICnデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します (n = 0, 1)。

10.3.9 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセットし、8クロック目の立ち下がりで割り込み要求 (INTIICn) を発生します (n = 0, 1)。
スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAnに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICnは、8クロック目の立ち下がりで発生します (n = 0, 1)。

上位4ビット・データの一致 : EXCn = 1^注
7ビット・データの一致 : COIn = 1^注

注 EXCn : IIC状態レジスタn (IICSn) のビット5
COIn : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタn (IICcn) のビット6 (LRELn) = 1に設定し、次の通信待機状態となります。

表10 - 5 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

10.3.10 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（STDn = 1になる前にSTTn = 1にしたとき[※]）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます（n = 0, 1）。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IIC状態レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセットし、SCLn, SDAnラインともハイ・インピーダンス状態にしてバスを解放します（n = 0, 1）。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALDn = 1になっていることで検出します（n = 0, 1）。

割り込み発生タイミングについては、10.3.5 I²C割り込み要求（INTIICn）を参照してください。

注 STDn : IIC状態レジスタn（IICSn）のビット1
 STTn : IICコントロール・レジスタn（IICCn）のビット1

図10 - 16 アービトレーション・タイミング例

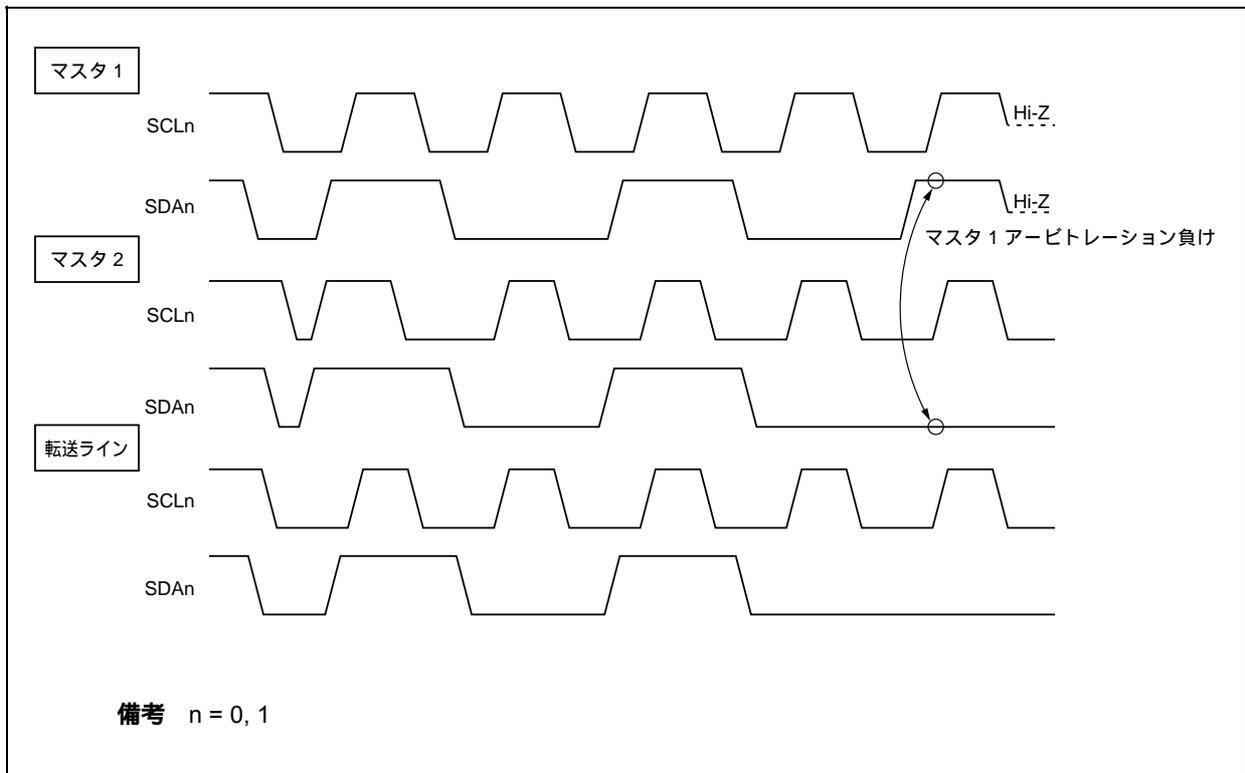


表10-6 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
データ転送中, ストップ・コンディション検出	
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCLnがロウ・レベル	

- 注1. $WTIMn$ (IICコントロール・レジスタn (IICn) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。 $WTIMn = 0$ および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します ($n = 0, 1$)。
2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEn = 1にしてください ($n = 0, 1$)。

備考 SPIEn : IICコントロール・レジスタn (IICn) のビット5

10.3.11 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求 (INTIICn) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICコントロール・レジスタn (IICn) のビット5 (SPIEn) の設定によって, 割り込み要求の発生許可 / 禁止が決定します ($n = 0, 1$)。

10.3.12 通信予約

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(ACKを返さず、IICコントロール・レジスタn(IICn)のビット6(LRELn) = 1でバスを解放した)とき (n = 0, 1)

バスに不参加の状態、IICnのビット1(STTn)をセットすると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出(ストップ・コンディション検出)すると、IICシフト・レジスタn(IICn)ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICnのビット4(SPIEn)をセットしておいてください(n = 0, 1)。

STTnをセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます(n = 0, 1)。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するのかどうかを確認するには、STTnをセットし、ウェイト時間をとったあと、MSTSn(IIC状態レジスタn(IICSn)のビット7)を確認することで行います(n = 0, 1)。

ウェイト時間は、表10-7に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICクロック選択レジスタn(IICCLn)のビット3, 1, 0(SMCn, CLn1, CLn0)により設定できます(n = 0, 1)。

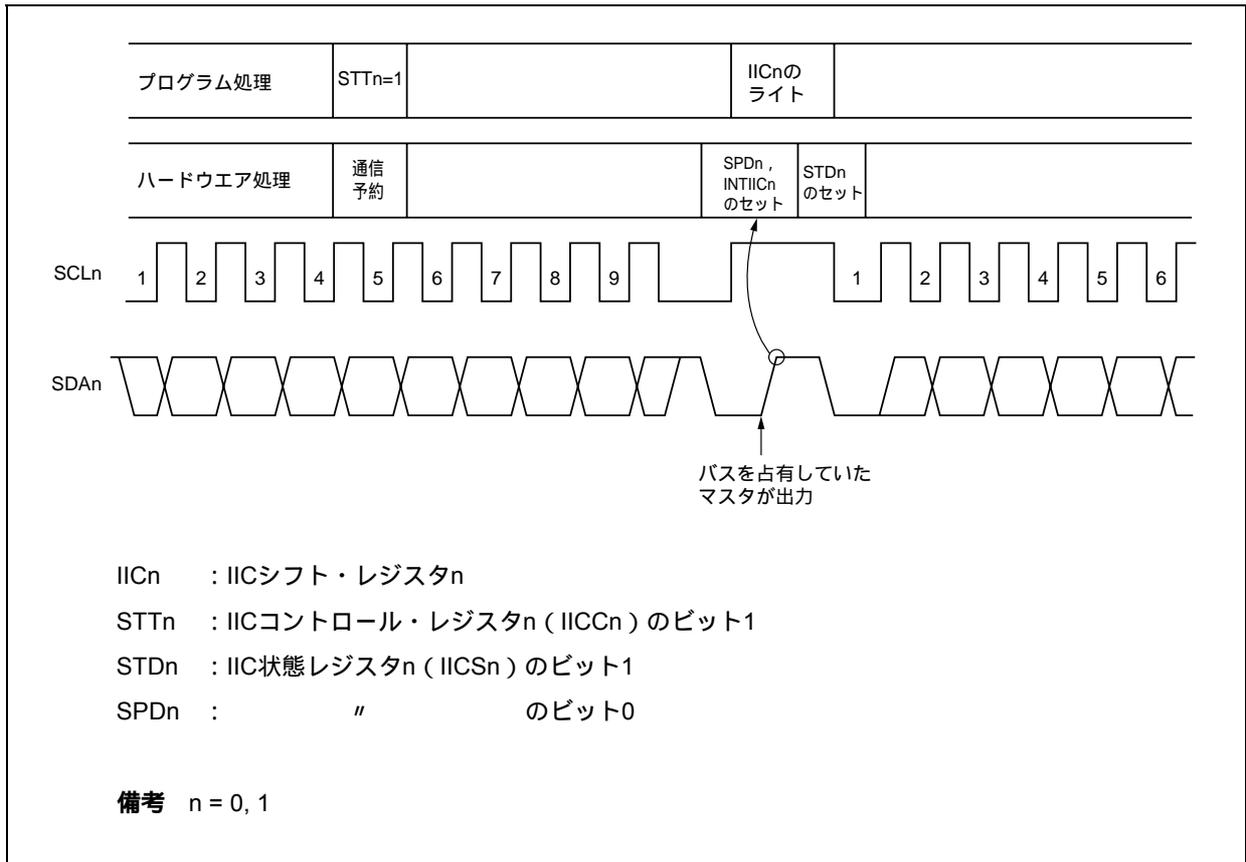
表10-7 ウェイト時間

SMCn	CLn1	CLn0	ウェイト時間
0	0	0	26クロック
0	0	1	46クロック
0	1	0	92クロック
0	1	1	37クロック
1	0	0	16クロック
1	0	1	
1	1	0	32クロック
1	1	1	13クロック

備考 n = 0, 1

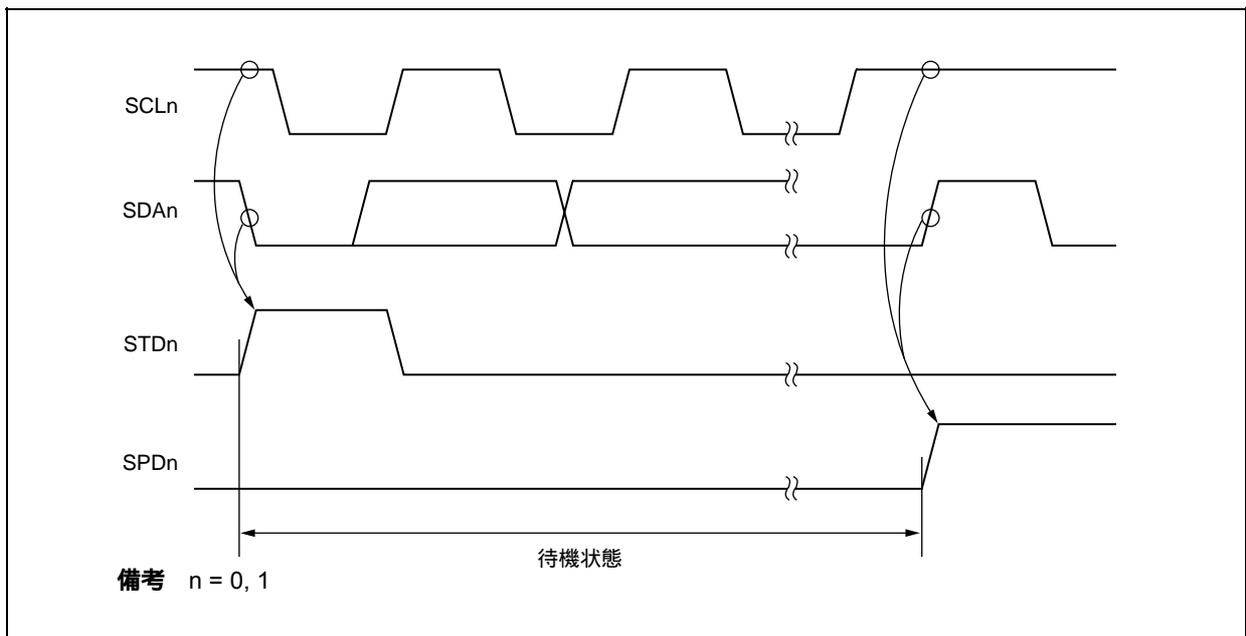
通信予約のタイミングを次に示します。

図10 - 17 通信予約のタイミング



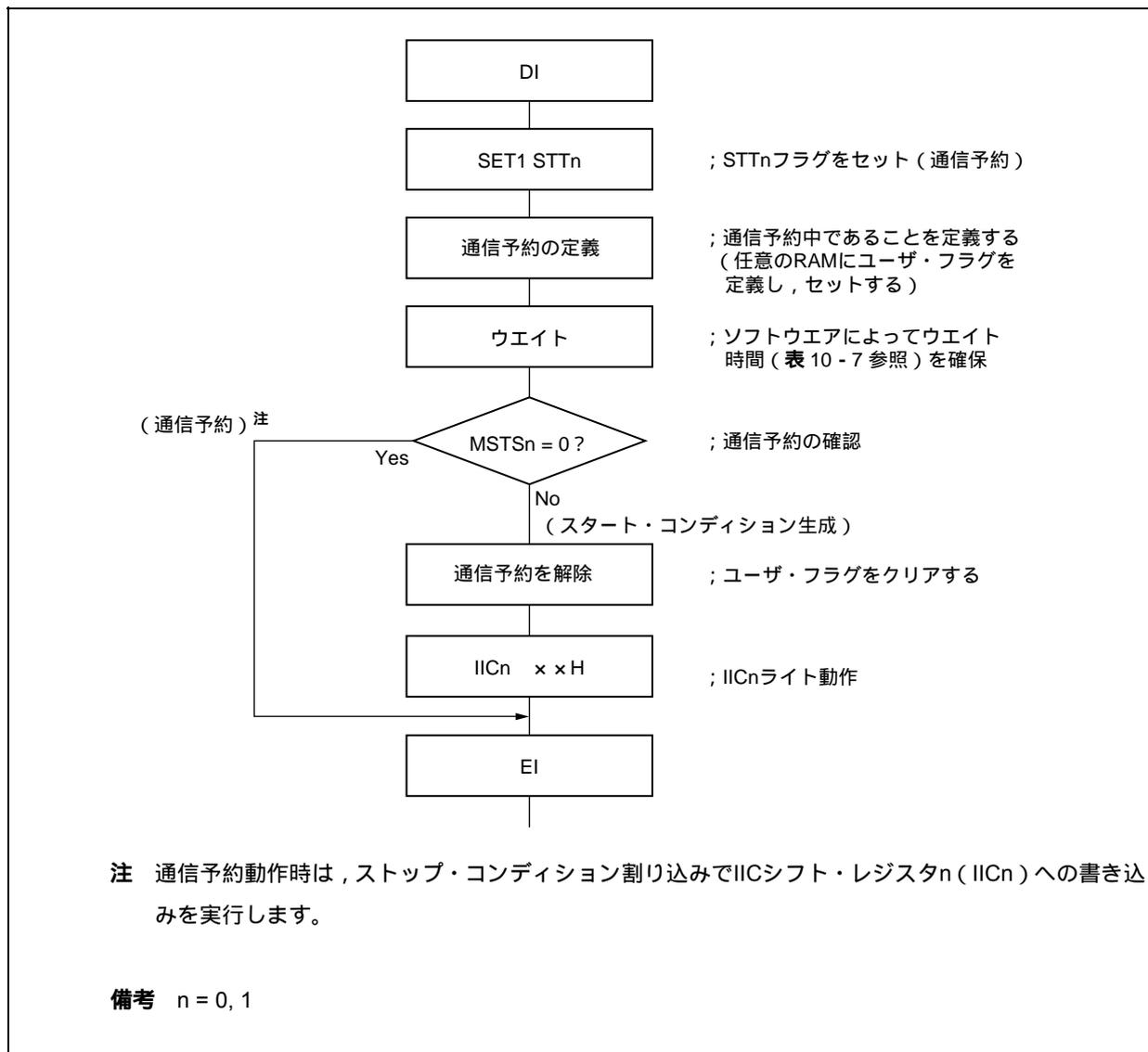
通信予約は次のタイミングで受け付けられます。IIC状態レジスタn (IICSn) のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICコントロール・レジスタn (IICn) のビット1 (STTn) = 1で通信予約をします (n = 0, 1)。

図10 - 18 通信予約受け付けタイミング



次に通信予約の手順を示します。

図10 - 19 通信予約の手順



10.3.13 注意事項

リセット後、ストップ・コンディションを検出していない（バスが解放されていない）状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行えません。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタn (IICCLn) の設定

IICコントロール・レジスタn (IICCN) のビット7 (IICEn) のセット

IICCNのビット0のセット

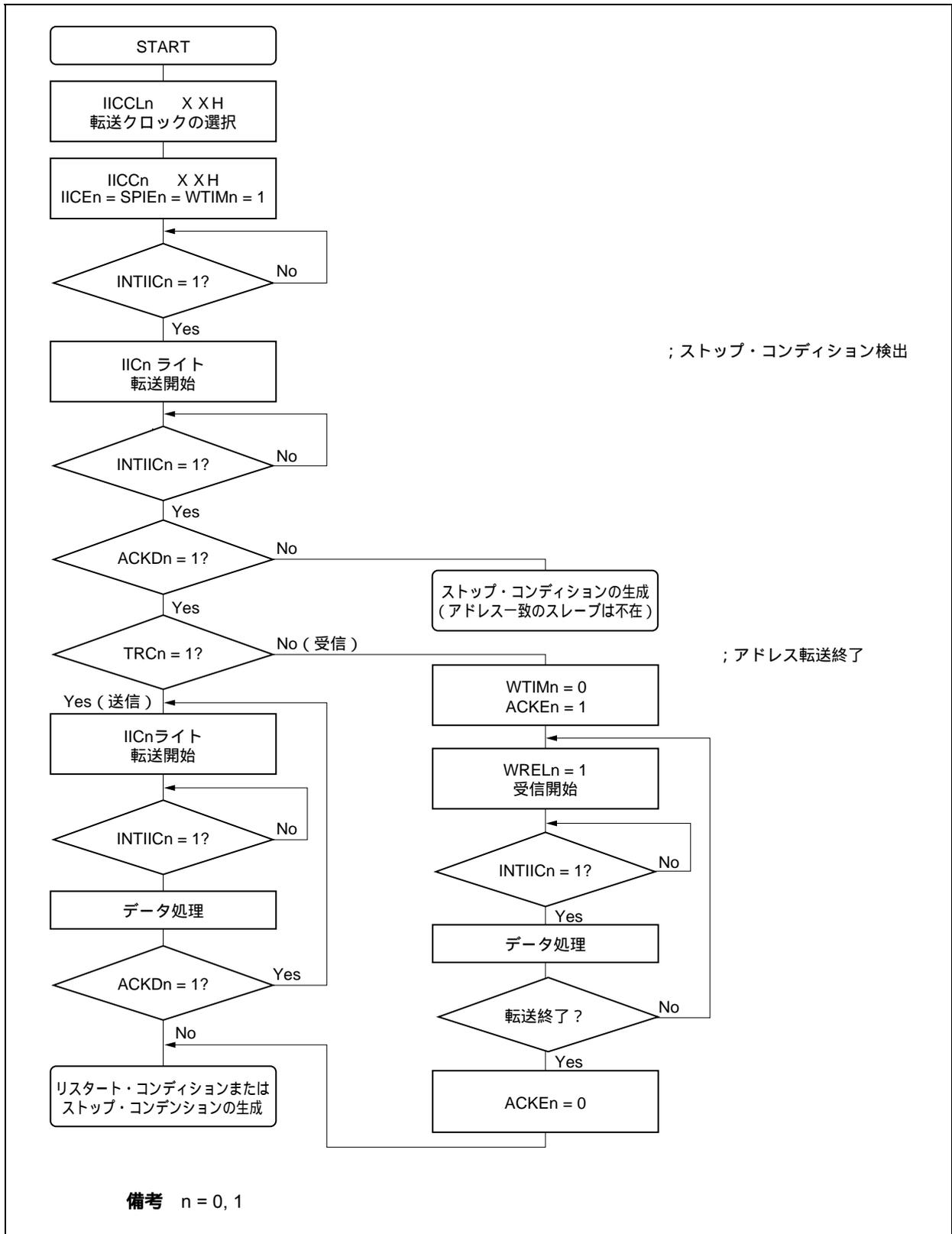
備考 n = 0, 1

10.3.14 通信動作

(1) マスタ動作

マスタ通信手順の例を次に示します。

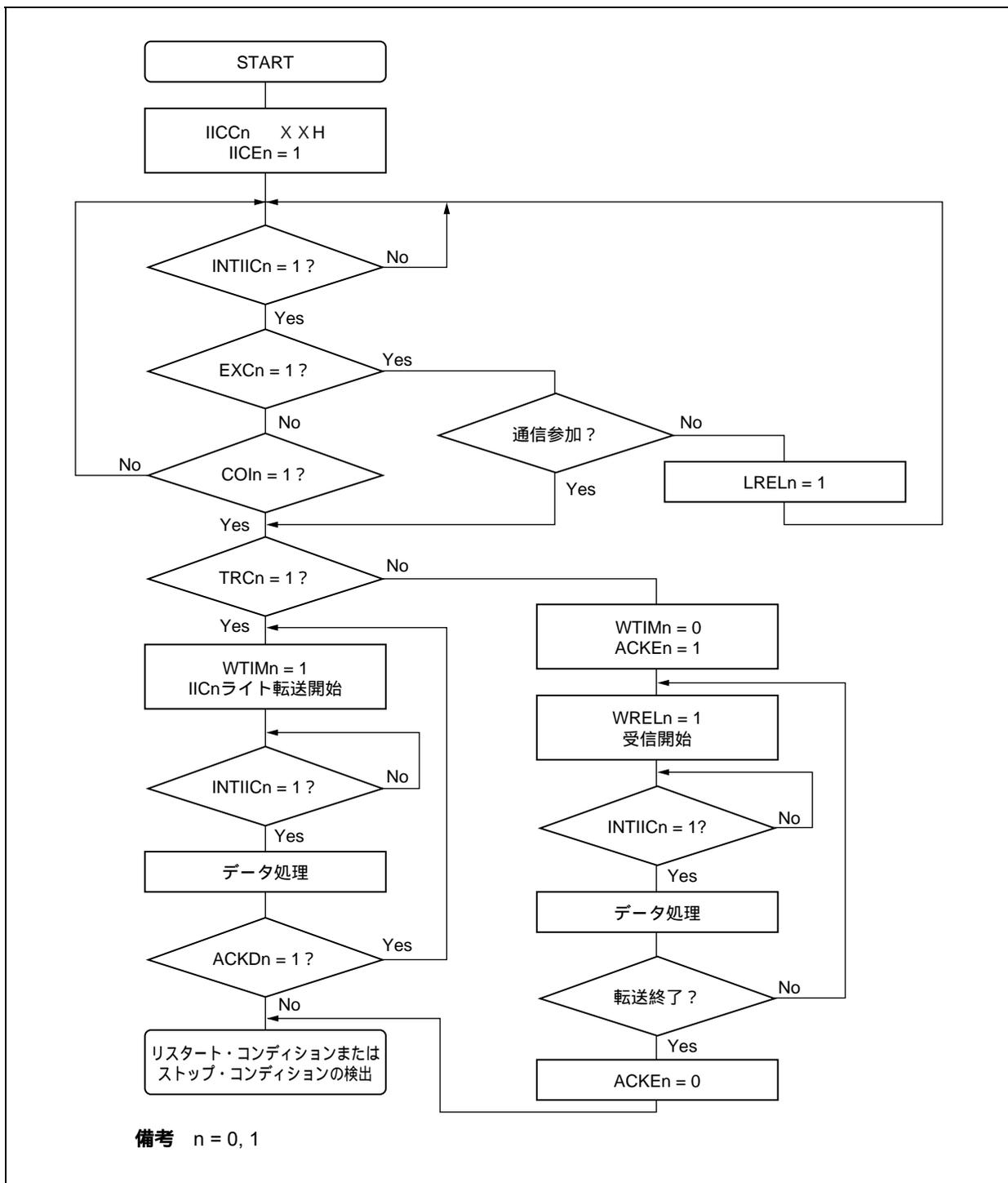
図10 - 20 マスタ動作手順



(2) スレーブ動作

スレーブ通信手順の例を次に示します。

図10-21 スレーブ動作手順



10.3.15 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IIC状態レジスタn（IICSn）のビット3）を送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCLn）の立ち下がりに同期してIICバス・シフト・レジスタn（IICn）のシフト動作が行われ、送信データがSOラッチに転送され、SDAn端子からMSBファーストで出力されます。

また、SCLnの立ち上がりでSDAn端子に入力されたデータがIICnに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0, 1

図10 - 22 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

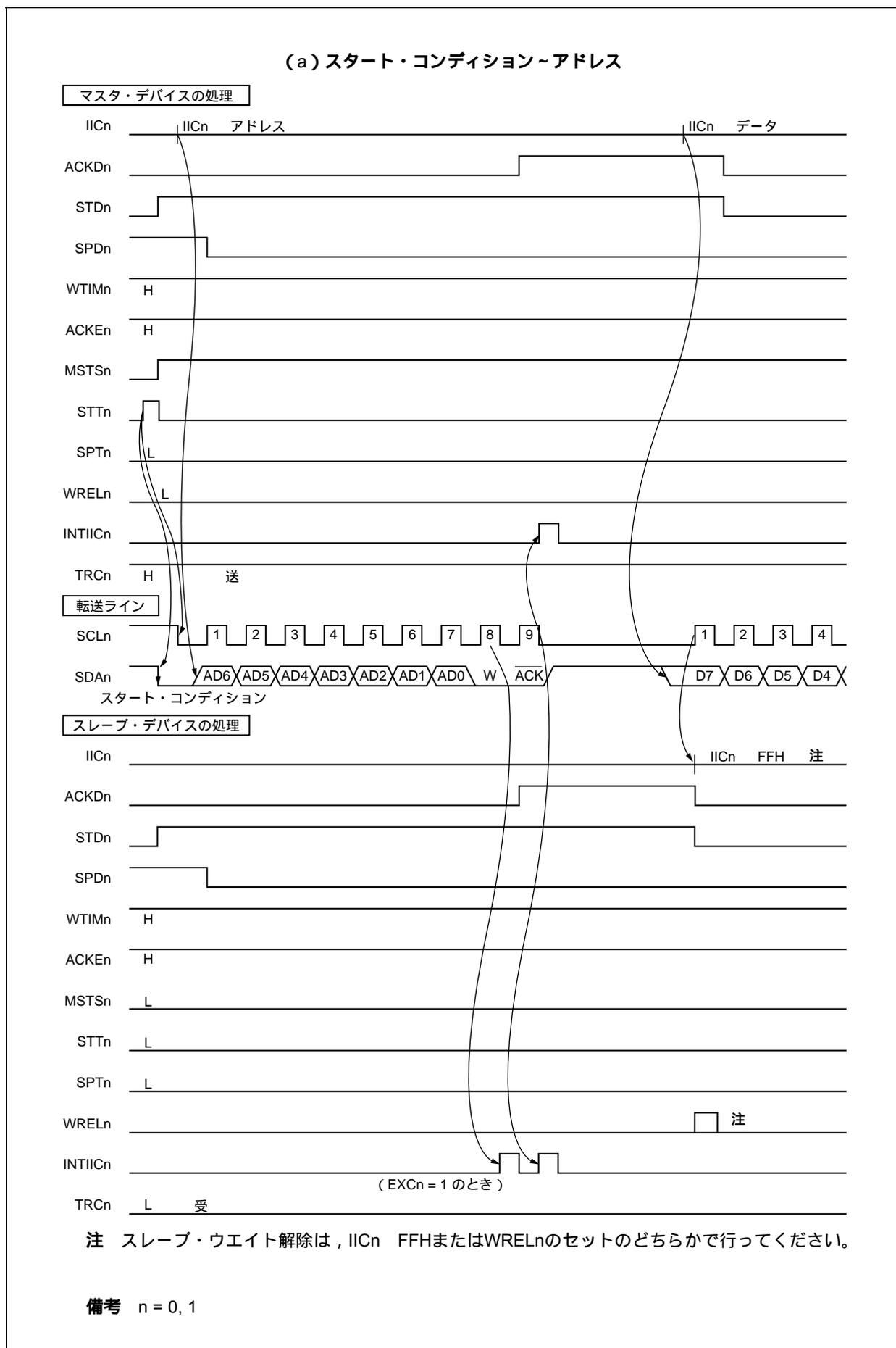


図10 - 22 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

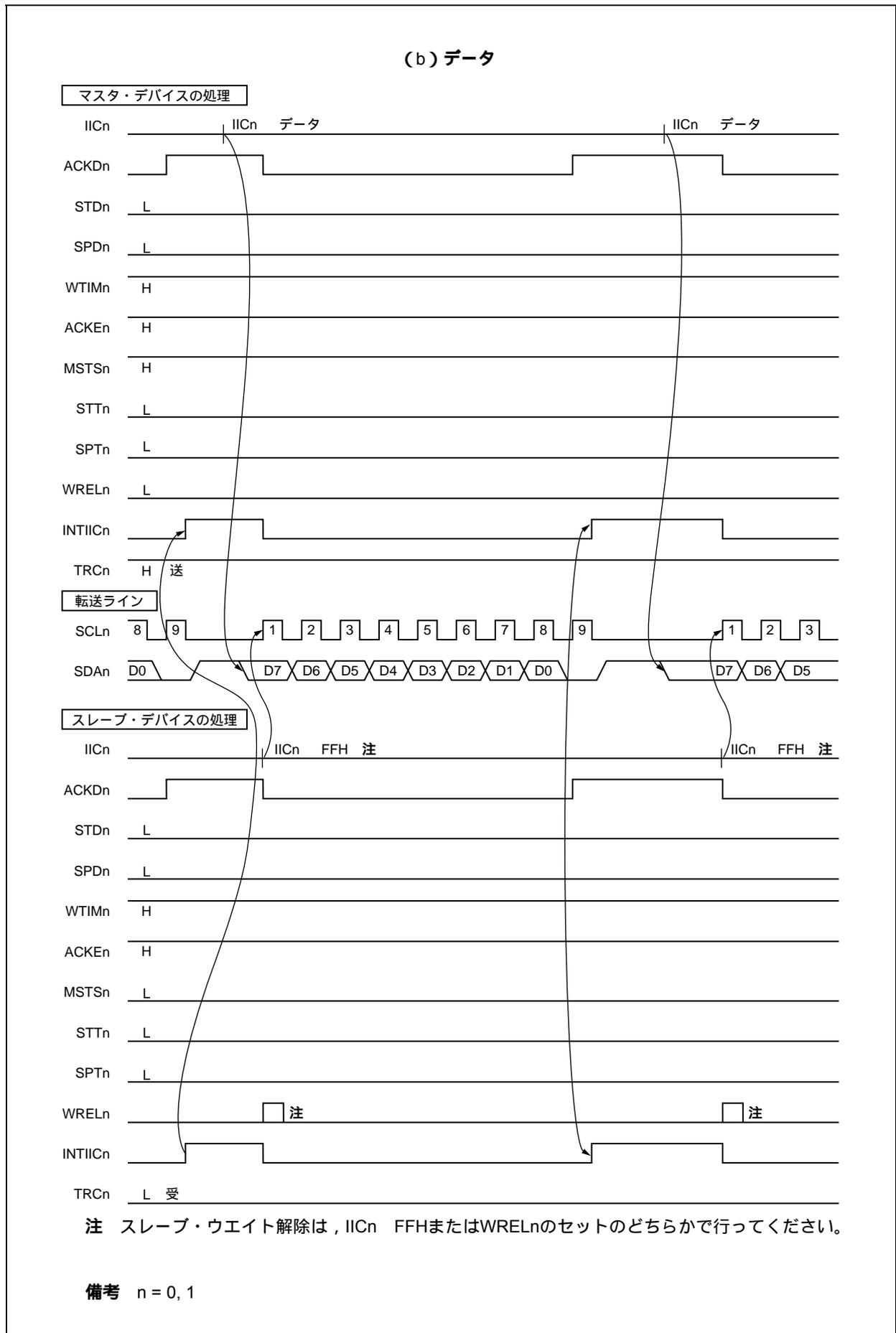


図10 - 22 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

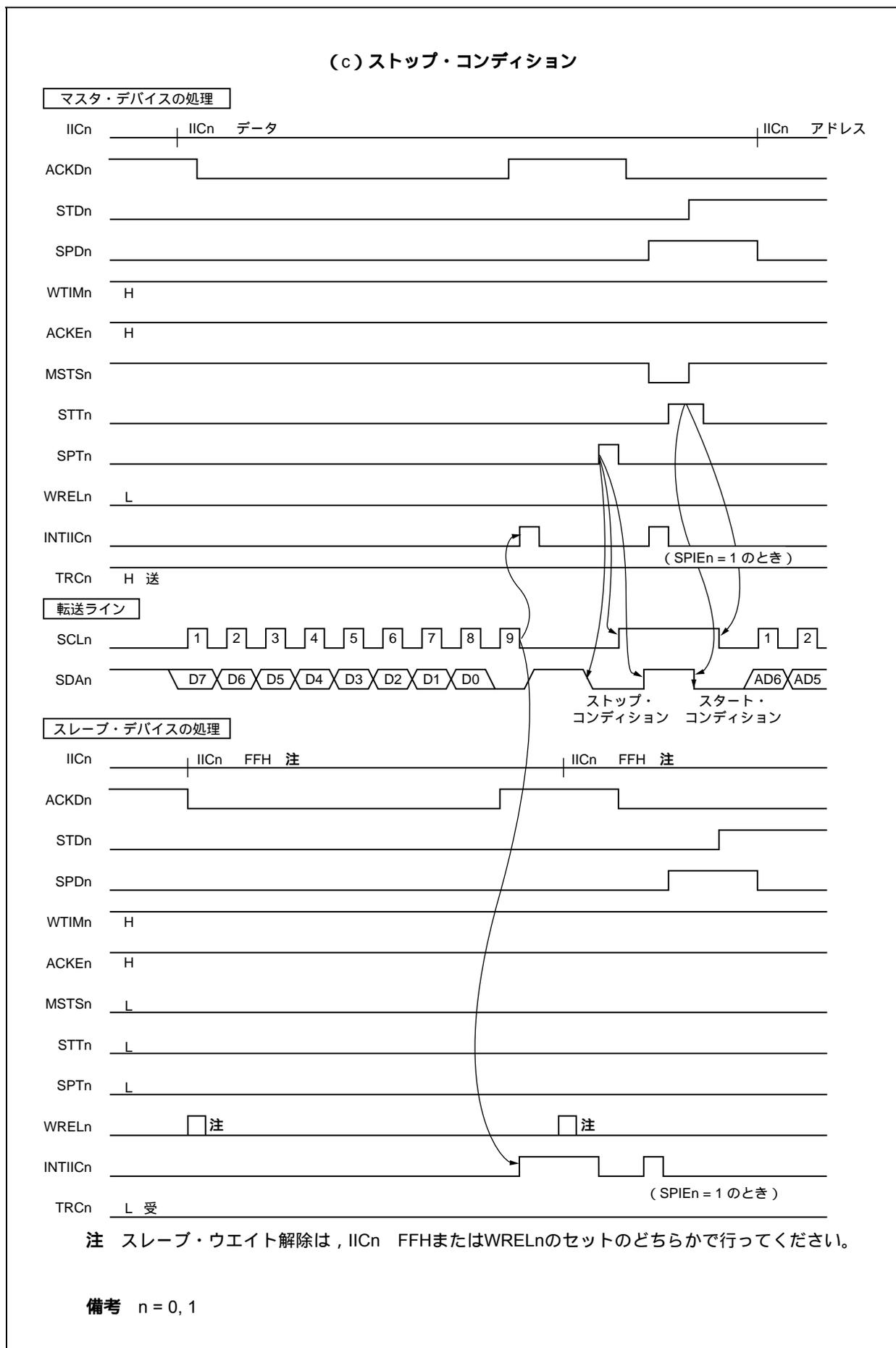


図10 - 23 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

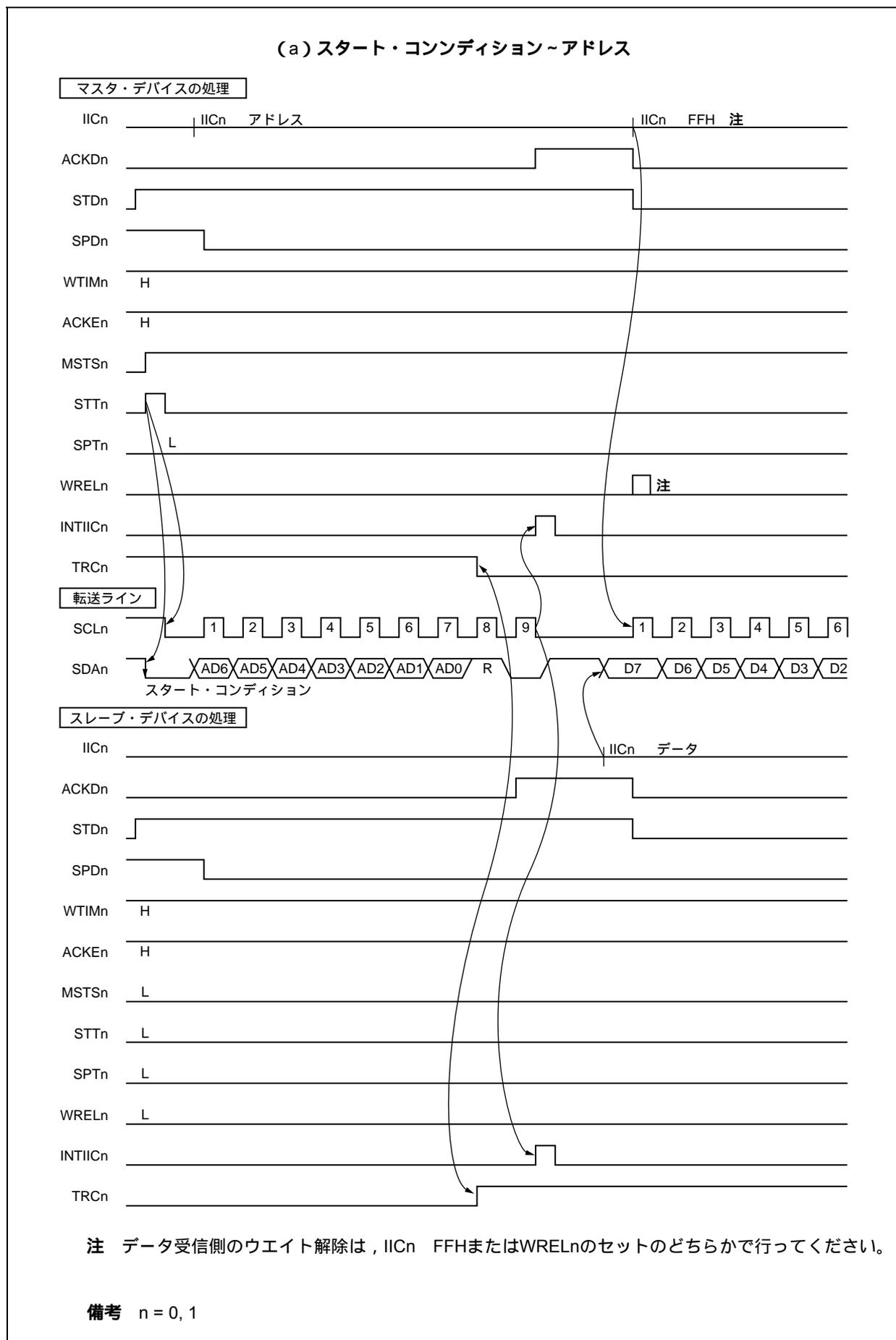


図10 - 23 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

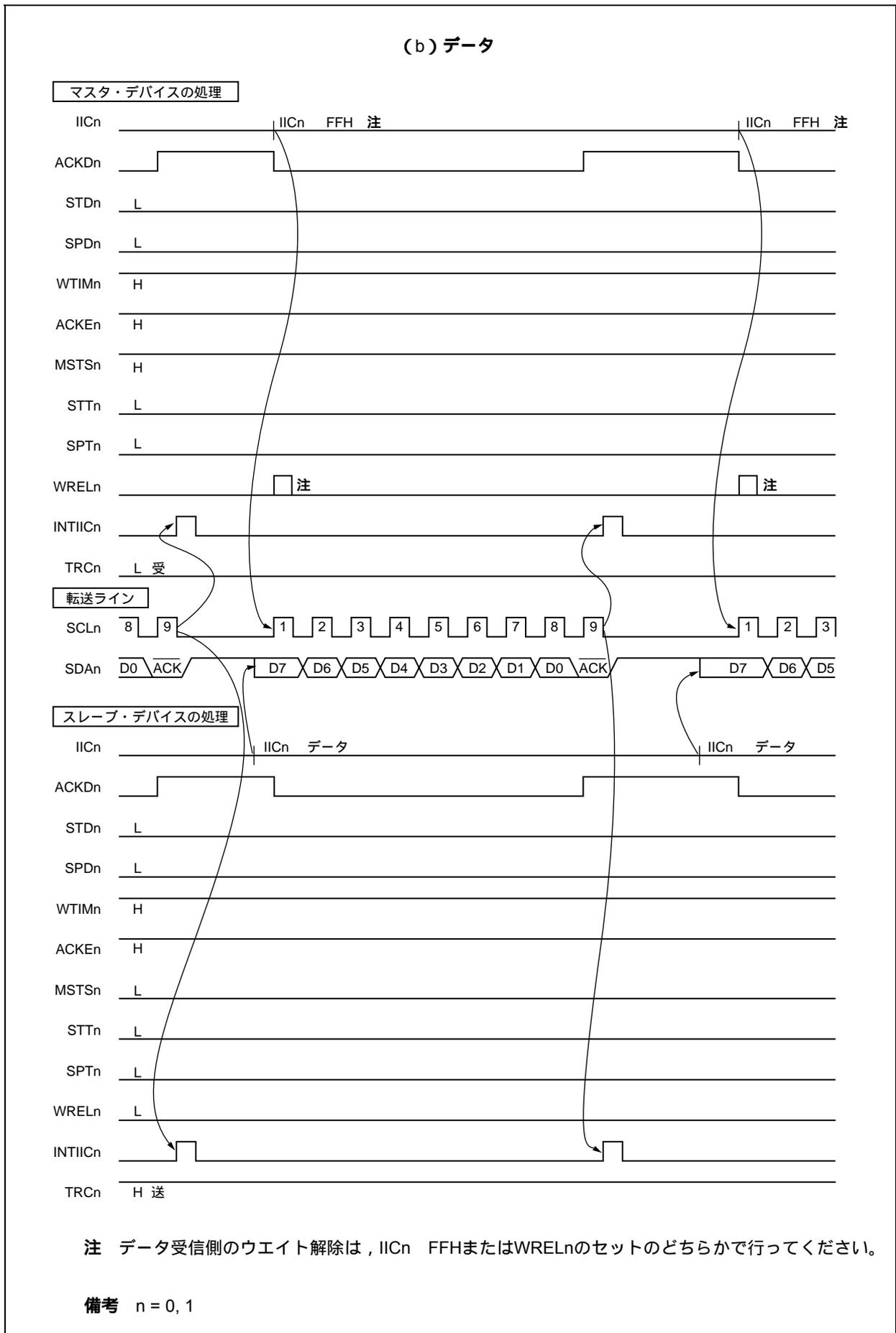
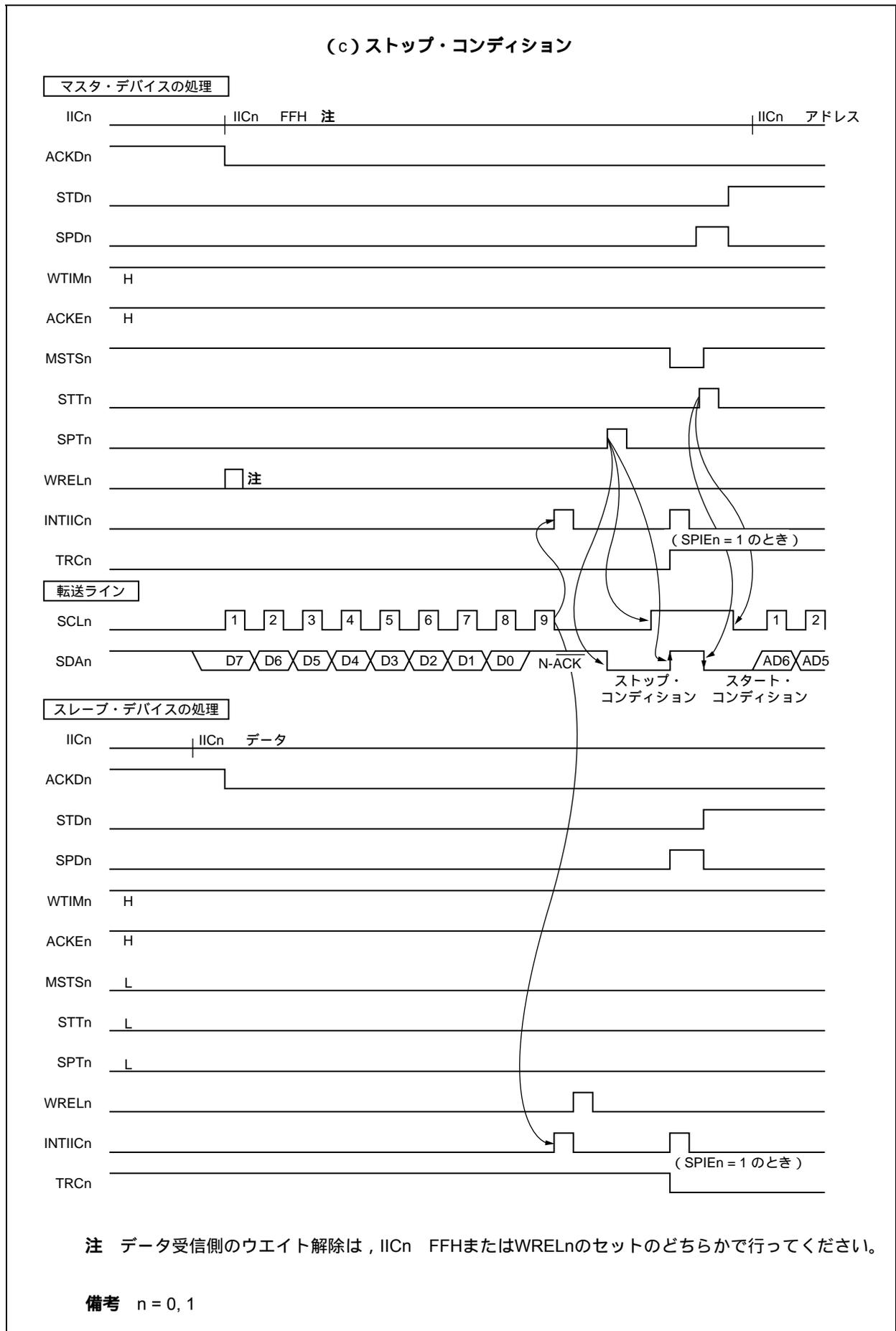


図10 - 23 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



10.4 アシクロナス・シリアル・インタフェース (UART0, UART1)

UARTn (n = 0, 1) には、次の2種類の動作モードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシクロナス・シリアル・インタフェース・モード

シリアル・データ送信 (TXDn)、シリアル・データ受信 (RXDn) の2本のラインにより、8ビット・データ転送を行うモードです。

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。また、ASCKn端子への入力クロックを分周してポー・レートを定義することもできます。

UARTn専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート (31.25 kbps) を使用することもできます。

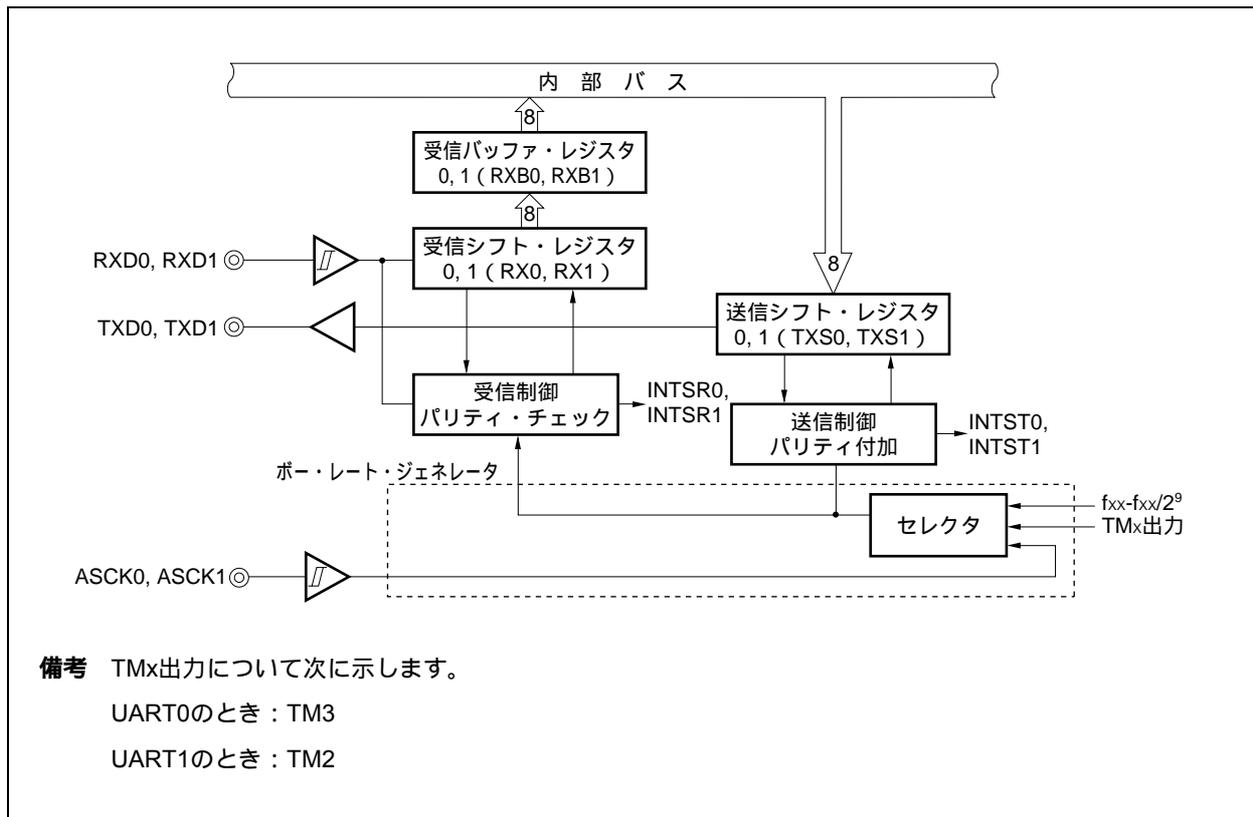
10.4.1 構成

UARTnは、次のハードウェアで構成されています。

表10-8 UARTnの構成

項目	構成
レジスタ	送信シフト・レジスタ0, 1 (TXS0, TXS1) 受信バッファ・レジスタ0, 1 (RXB0, RXB1)
制御レジスタ	アシクロナス・シリアル・インタフェース・モード・レジスタ00, 10 (ASIM00, ASIM10) アシクロナス・シリアル・インタフェース・モード・レジスタ01, 11 (ASIM01, ASIM11) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1) ポー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC0, BRGC1) ポー・レート・ジェネレータ・モード・コントロール・レジスタ00, 01 (BRGMC00, BRGMC01) ポー・レート・ジェネレータ・モード・コントロール・レジスタ10, 11 (BRGMC10, BRGMC11)

図10 - 24 UARTnのブロック図

**(1) 送信シフト・レジスタ0, 1 (TXS0, TXS1)**

送信データを設定するレジスタです。TXSnに書き込まれたデータをシリアル・データとして送信します。データ長を7ビットに指定した場合、TXSnに書き込んだデータのビット0-ビット6が送信データとして転送されます。TXSnにデータを書き込むことにより、送信動作を開始します。

TXSnは、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXSnへの書き込みを行わないでください。

(2) 受信シフト・レジスタ0, 1 (RX0, RX1)

RXD0, RXD1端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ0, 1 (RXB0, RXB1)へ転送します。

RX0, RX1はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ0, 1 (RXB0, RXB1)

受信データを保持するレジスタです。データを1バイト受信するごとに新たな受信データが転送されます。データ長を7ビットに指定した場合、受信データはRXBnのビット0-ビット6に転送され、RXBnのMSBは必ず0になります。

RXBnは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) に設定された内容に従って、送信シフト・レジスタ (TXSn) に書き込まれたデータにスタート・ビット, パリティ・ビット, ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) にセットします。

10.4.2 UARTn制御レジスタ

UARTnは、次の4種類のレジスタで制御します (n = 0, 1)。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタn1 (ASIMn1)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn)
- ・ボー・レート・ジェネレータ・コントロール・レジスタn (BRGCn)
- ・ボー・レート・ジェネレータ・モード・コントロール・レジスタn0, n1 (BRGMCn0, BRGMCn1)

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ00, 10 (ASIM00, ASIM10)

UARTnのシリアル転送動作を制御する8ビットのレジスタです。

ASIMn0は、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H, FFFFFFF310H

	⑦	⑥	5	4	3	2	1	0
ASIMn0	TXEn	RXEn	PS1n	PS0n	UCLn	SLn	ISRMn	0

(n = 0, 1)

TXEn	RXEn	動作モード	RXDn/Pxx端子の機能	TXDn/Pxx端子の機能
0	0	動作停止	ポート機能	ポート機能
0	1	UARTnモード (受信のみ)	シリアル機能	ポート機能
1	0	UARTnモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTnモード (送受信)	シリアル機能	シリアル機能

PS1n	PS0n	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

UCLn	キャラクタ長の指定
0	7ビット
1	8ビット

SLn	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRMn	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

2. ビット0には必ず“0”を設定してください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ01, 11 (ASIM01, ASIM11)

UARTnのシリアル転送動作を制御する8ビットのレジスタです。

TXDnが反転してしまうような外部回路をTXDn端子に付加したときに、ASIMn1を使用してください。

ASIMn1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

次にASIMn1のフォーマットを示します。

リセット時：00H								R/W	アドレス：FFFFFF324H, FFFFFFF326H								
	7	6	5	4	3	2	1	0									
ASIMn1	0	0	0	0	0	0	0	NOTn									
(n = 0, 1)									NOTn	TXDn端子から出力レベルの反転制御							
									0	出力レベルは反転しない。							
									1	出力レベルは反転する。							

注意 P14/TXD0, P24/TXD1をポート機能として使用するときは、必ずNOT0, NOT1ビットを“0”に設定してください。

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時，エラーの種類を表示するレジスタです。

ASISnは，8/1ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

リセット時：00H R アドレス：FFFFFF302H, FFFFFFF312H

	7	6	5	4	3	②	①	①
ASISn	0	0	0	0	0	PEn	FEn	OVEEn

(n = 0, 1)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVEEn	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も，受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき，受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnを読み出すまで，データ受信のたびにオーバラン・エラーが発生し続けます。

注意 ビット3-7には必ず“0”を設定して下さい。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC0, BRGC1)

UARTnのシリアル・クロックを設定するレジスタです。

BRGCnは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF304H, FFFFFFF314H

BRGCn (n = 0, 1)	7	6	5	4	3	2	1	0	入力クロックの選択	k
	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0		
	MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0		
	0	0	0	0	x	x	x		設定禁止	-
	0	0	0	0	1	0	0	0	fscck/8	8
	0	0	0	0	1	0	0	1	fscck/9	9
	0	0	0	0	1	0	1	0	fscck/10	10
	0	0	0	0	1	0	1	1	fscck/11	11
	0	0	0	0	1	1	0	0	fscck/12	12
	0	0	0	0	1	1	0	1	fscck/13	13
	0	0	0	0	1	1	1	0	fscck/14	14
	0	0	0	0	1	1	1	1	fscck/15	15
	0	0	0	1	0	0	0	0	fscck/16	16

	1	1	1	1	1	1	1	1	fscck/255	255

注意1. BRGCnはリセット時に00Hになります。動作させる前に“設定禁止”以外の設定にしてください。停止状態で“設定禁止”の設定にしても問題ありません。

2. 通信動作中にBRGCnへの書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGCnへの書き込みを行わないでください。

備考 fscck : 8ビット・カウンタのソース・クロック

X : Don't care

(5) ボー・レート・ジェネレータ・モード・コントロール・レジスタn0, n1 (BRGMCn0, BRGMCn1)

UARTnのソース・クロックを設定するレジスタです。

BRGMCn0, BRGMCn1は、8ビット・メモリ操作命令で設定します (n = 0, 1)。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF30EH, FFFFFFF31EH

	7	6	5	4	3	2	1	0
BRGMCn0	0	0	0	0	0	TPSn2	TPSn1	TPSn0

(n = 0, 1)

リセット時：00H R/W アドレス：FFFFFF320H, FFFFFFF322H

	7	6	5	4	3	2	1	0
BRGMCn1	0	0	0	0	0	0	0	TPSn3

(n = 0, 1)

TPSn3	TPSn2	TPSn1	TPSn0	8ビット・カウンタのソース・クロック (f _{sck}) 選択	m
0	0	0	0	外部クロック (ASCKn)	-
0	0	0	1	f _{xx}	0
0	0	1	0	f _{xx} /2	1
0	0	1	1	f _{xx} /4	2
0	1	0	0	f _{xx} /8	3
0	1	0	1	f _{xx} /16	4
0	1	1	0	f _{xx} /32	5
0	1	1	1	n = 0時：TM3の出力 n = 1時：TM2の出力	-
1	0	0	0	f _{xx} /64	6
1	0	0	1	f _{xx} /128	7
1	0	1	0	f _{xx} /256	8
1	0	1	1	f _{xx} /512	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

- 注意1.** 通信動作中にBRGMCn0, n1への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMCn0, n1への書き込みを行わないでください。
- 2.** BRGMCn0レジスタのビット3-7には、必ず“0”を設定してください。

- 備考1.** f_{xx}：メイン・クロック周波数
- 2.** 選択クロックをタイマの出力にした場合、P30/TO2/TI2, P31/TO3/TI3端子をタイマ出力モードにする必要はありません。

10.4.3 動作

UARTnには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース・モード

(1) 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(a) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) のTXEn, RXEnビットで行います。

図10 - 25 ASIMn0の設定 (動作停止モード)

リセット時 : 00H R/W アドレス : FFFFF300H, FFFFF310H								
	7	6	5	4	3	2	1	0
ASIMn0	TXEn	RXEn	PS1n	PS0n	CLn	SLn	ISRMn	0
(n = 0, 1)	TXEn	RXEn	動作モード		RXDn/Pxx端子の機能		TXDn/Pxx端子の機能	
	0	0	動作停止		ポート機能		ポート機能	

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。
2. ビット0には必ず“0”を設定してください。

★ (2) アシクロナス・シリアル・インタフェース・モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

UARTn専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート（31.25 kbps）を使用することもできます。

(a) レジスタの設定

アシクロナス・シリアル・インタフェース・モードの設定は、ASIMn、BRGCn、BRGMcn0、BRGMcn1で行います（n = 0, 1）。

図10 - 26 ASIMn0の設定（アシクロナス・シリアル・インタフェース・モード）

リセット時：00H R/W アドレス：FFFFFF300H, FFFFFFF310H

	7	6	5	4	3	2	1	0
ASIMn0	TXEn	RXEn	PS1n	PS0n	CLn	SLn	ISRMn	0

(n = 0, 1)

TXEn	RXEn	動作モード	RxDn/Pxx端子の機能	TxDn/Pxx端子の機能
0	1	UARTnモード（受信のみ）	シリアル機能	ポート機能
1	0	UARTnモード（送信のみ）	ポート機能	シリアル機能
1	1	UARTnモード（送受信）	シリアル機能	シリアル機能

PS1n	PS0n	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

CLn	キャラクタ長の指定
0	7ビット
1	8ビット

SLn	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRMn	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

注意 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

図10 - 27 ASISnの設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時：00H R アドレス：FFFFFF302H, FFFFFFF312H

	7	6	5	4	3	2	1	0
ASISn	0	0	0	0	0	PEn	FEn	OVer

(n = 0, 1)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVer	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

注2. オーバラン・エラーが発生したとき、受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

図10 - 28 BRGCnの設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時 : 00H R/W アドレス : FFFFF304H, FFFFF314H

BRGCn

7	6	5	4	3	2	1	0
MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0

(n = 0, 1)

MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	入力クロックの選択	k
0	0	0	0	0	x	x	x	設定禁止	-
0	0	0	0	1	0	0	0	fscck/8	8
0	0	0	0	1	0	0	1	fscck/9	9
0	0	0	0	1	0	1	0	fscck/10	10
0	0	0	0	1	0	1	1	fscck/11	11
0	0	0	0	1	1	0	0	fscck/12	12
0	0	0	0	1	1	0	1	fscck/13	13
0	0	0	0	1	1	1	0	fscck/14	14
0	0	0	0	1	1	1	1	fscck/15	15
0	0	0	1	0	0	0	0	fscck/16	16
.
.
.
1	1	1	1	1	1	1	1	fscck/255	255

注意1. 動作させる前に“設定禁止”以外の設定にしてください。停止状態で“設定禁止”の設定にしても問題ありません。

2. 通信動作中にBRGCnへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGCnへの書き込みを行わないでください。

備考 fscck : 8ビット・カウンタのソース・クロック

図10 - 29 BRGMCn0, BRGMCn1の設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時：00H R/W アドレス：FFFFFF30EH, FFFFFFF31EH

	7	6	5	4	3	2	1	0
BRGMCn0	0	0	0	0	0	TPSn2	TPSn1	TPSn0

(n = 0, 1)

リセット時：00H R/W アドレス：FFFFFF320H, FFFFFFF322H

	7	6	5	4	3	2	1	0
BRGMCn1	0	0	0	0	0	0	0	TPSn3

(n = 0, 1)

TPSn3	TPSn2	TPSn1	TPSn0	8ビット・カウンタのソース・クロック選択	m
0	0	0	0	外部クロック (ASCKn)	-
0	0	0	1	f _{xx}	0
0	0	1	0	f _{xx} /2	1
0	0	1	1	f _{xx} /4	2
0	1	0	0	f _{xx} /8	3
0	1	0	1	f _{xx} /16	4
0	1	1	0	f _{xx} /32	5
0	1	1	1	n = 0時：TM3の出力 n = 1時：TM2の出力	-
1	0	0	0	f _{xx} /64	6
1	0	0	1	f _{xx} /128	7
1	0	1	0	f _{xx} /256	8
1	0	1	1	f _{xx} /512	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

注意 通信動作中にBRGMCn0, n1への書き込みを行うと、ポーレート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMCn0, n1への書き込みを行わないでください。

備考1. f_{xx}：メイン・クロック周波数

2. 選択クロックをタイマの出力にした場合、P26/TO2/TI2, P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

(b) ボー・レートの設定**・メイン・クロックによるボー・レート用の送受信クロックの生成**

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

< 8 k 255の場合 >

$$[\text{ボー・レート}] = \frac{f_{\text{xx}}}{2^{m+1} \times k} \text{ [Hz]}$$

f_{xx} : メイン・クロック周波数

m : TPSn3-TPSn0で設定した値 (0 m 9)

k : MDLn7-MDLn0で設定した値 (8 k 255)

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比 [$1/(16+k)$] に依存します。表10 - 9にメイン・クロックとボー・レートの間係を、図10 - 30にボー・レートの許容誤差の例を示します。

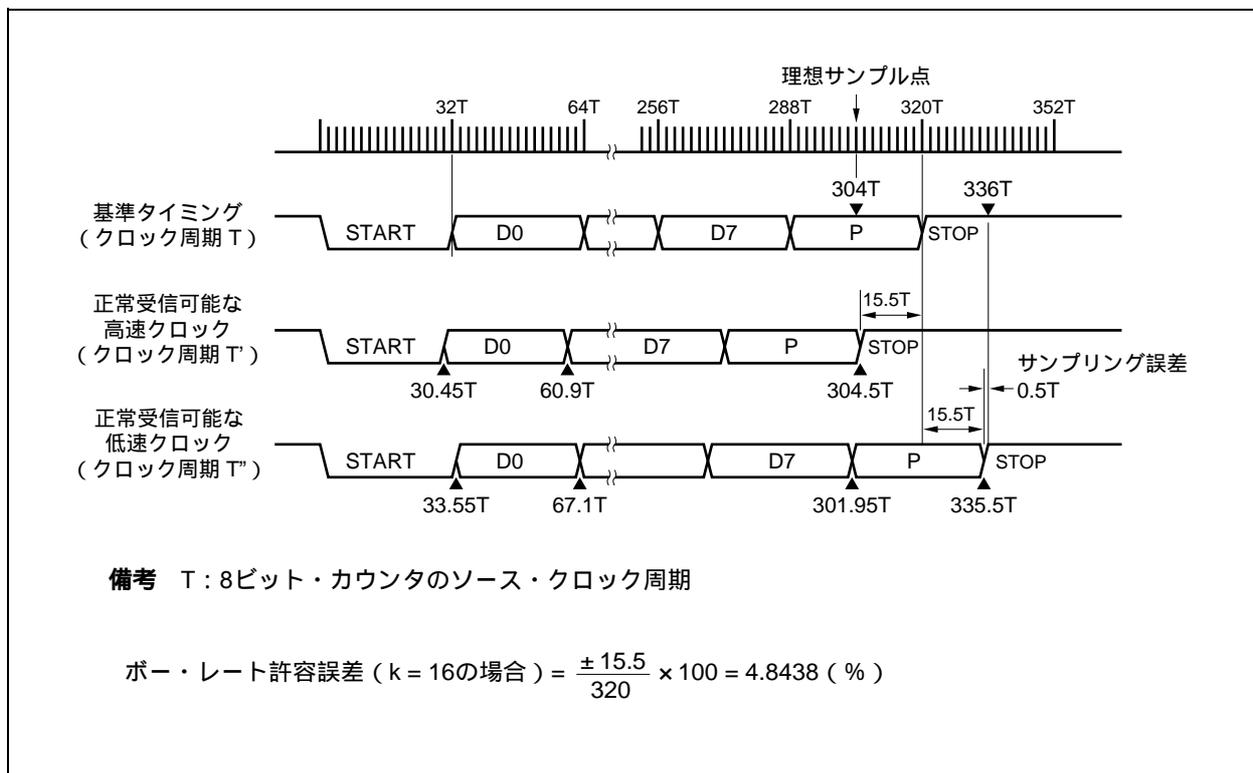
★

表10-9 メイン・クロックとポー・レートの関係

ポー・レート (bps)	f _{xx} = 4 MHz			f _{xx} = 8.388 MHz			f _{xx} = 16 MHz			f _{xx} = 20 MHz		
	k	m	誤差 (%)	k	m	誤差 (%)	k	m	誤差 (%)	k	m	誤差 (%)
16	244	9	0.06	-	-	-	-	-	-	-	-	-
32	244	8	0.06	255	9	0.39	-	-	-	-	-	-
75	208	7	0.16	218	8	0.20	208	9	0.16	-	-	-
76	206	7	-0.20	216	8	-0.20	206	9	-0.20	255	9	0.78
256	244	5	0.06	128	7	-0.01	244	7	0.06	153	8	-0.27
1200	208	3	0.16	218	4	0.20	208	5	0.16	130	6	0.16
2400	208	2	0.16	218	3	0.20	208	4	0.16	130	5	0.16
4800	208	1	0.16	218	2	0.20	208	3	0.16	130	4	0.16
9600	208	0	0.16	218	1	0.20	208	2	0.16	130	3	0.16
19200	104	0	0.16	218	0	0.20	208	1	0.16	130	2	0.16
31250	64	0	0.00	134	0	0.16	128	1	0.00	160	1	0.00
38400	52	0	0.16	109	0	0.20	208	0	0.16	130	1	0.16
76800	26	0	0.16	55	0	-0.71	104	0	0.16	130	0	0.16
125000	16	0	0.00	34	0	-1.32	64	0	0.00	80	0	0.00
150000	13	0	2.56	28	0	-0.14	53	0	0.63	67	0	-0.50
262000	8	0	-4.58	16	0	0.05	31	0	-1.50	38	0	0.44
300000	-	-	-	14	0	-0.14	27	0	-1.23	33	0	1.01
312500	-	-	-	13	0	3.24	27	0	-1.54	32	0	0.00

備考 f_{xx} : メイン・クロック周波数

図10-30 サンプリング誤差を考慮したポー・レートの許容誤差 (k = 16の場合)



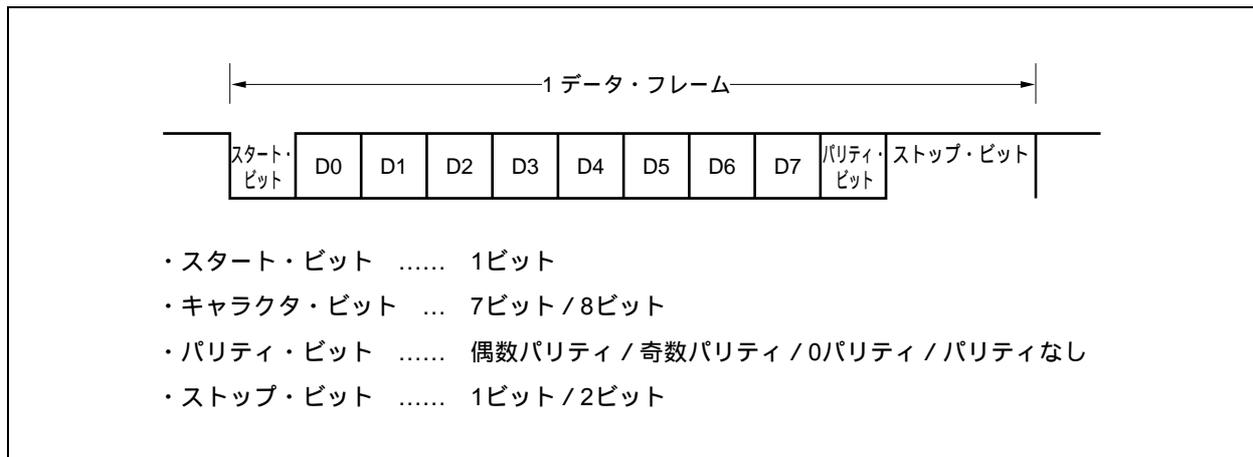
(3) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図10 - 31に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) によって行います (n = 0,1)。

図10 - 31 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-ビット6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) とボー・レート・ジェネレータ・コントロール・レジスタn (BRGCn) によって行います (n = 0, 1)。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) の状態を読むことによって受信エラーの内容を判定できます (n = 0, 1)。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット (奇数個) の誤りを検出することができます。0パリティとパリティなしとでは、誤りを検出できません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

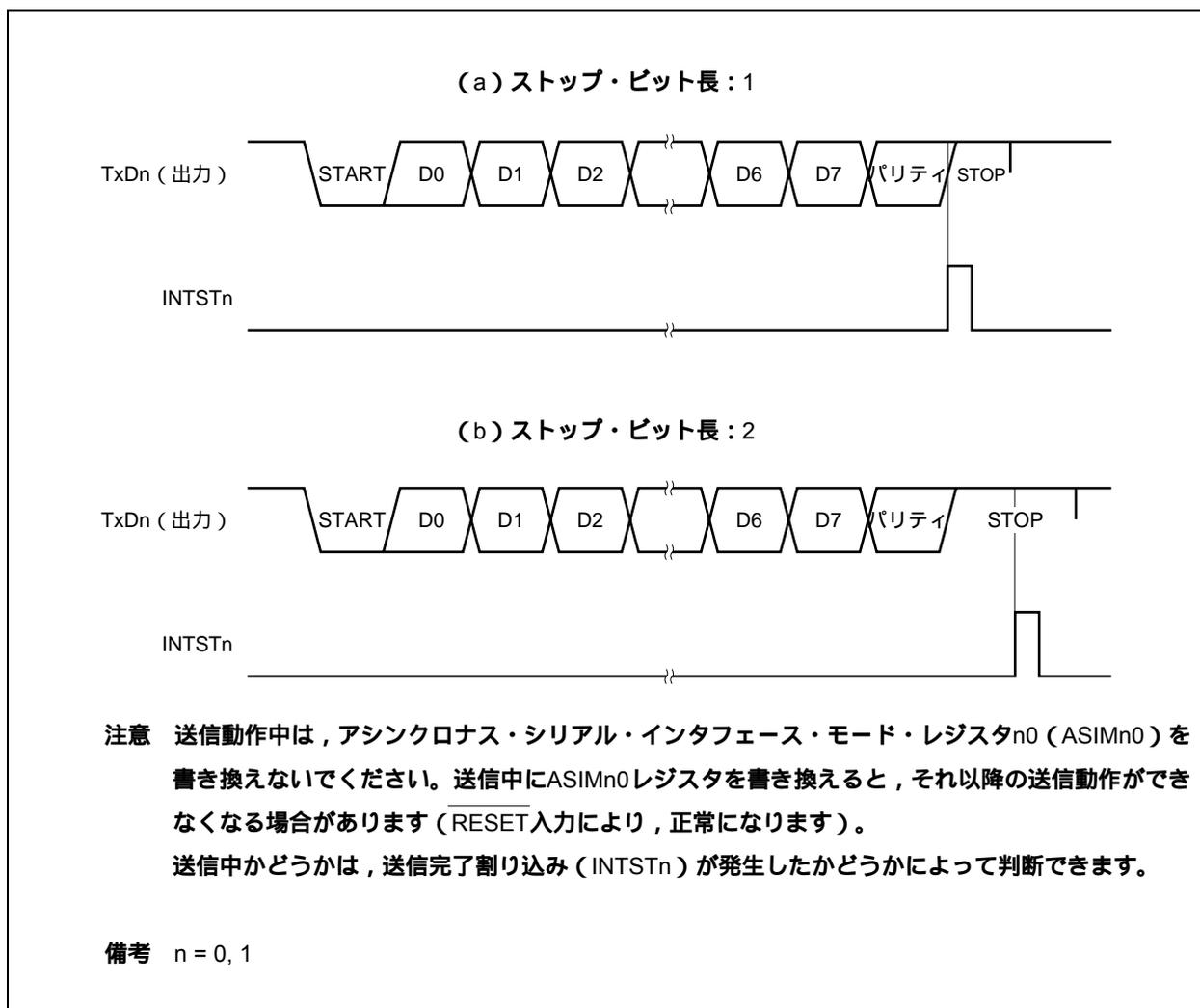
(c) 送 信

送信シフト・レジスタn (TXSn) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXSn内のデータがシフト・アウトされTXSnが空になると, 送信完了割り込み (INTSTn) が発生します。

送信完了割り込みのタイミングを図10 - 32に示します。

図10 - 32 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) のビット6 (RXEn) がセット (1) されると許可状態となり, RXDn端子入力のサンプリングを行います。

RXDn端子入力のサンプリングは, BRGMCn0, BRGMCn1で指定したシリアル・クロックで行います。

RXDn端子入力がロウ・レベルになると, 8ビット・カウンタがカウントを開始し, 設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RXDn端子入力をサンプリングした結果, ロウ・レベルであれば, スタート・ビットとして認識し, 8ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

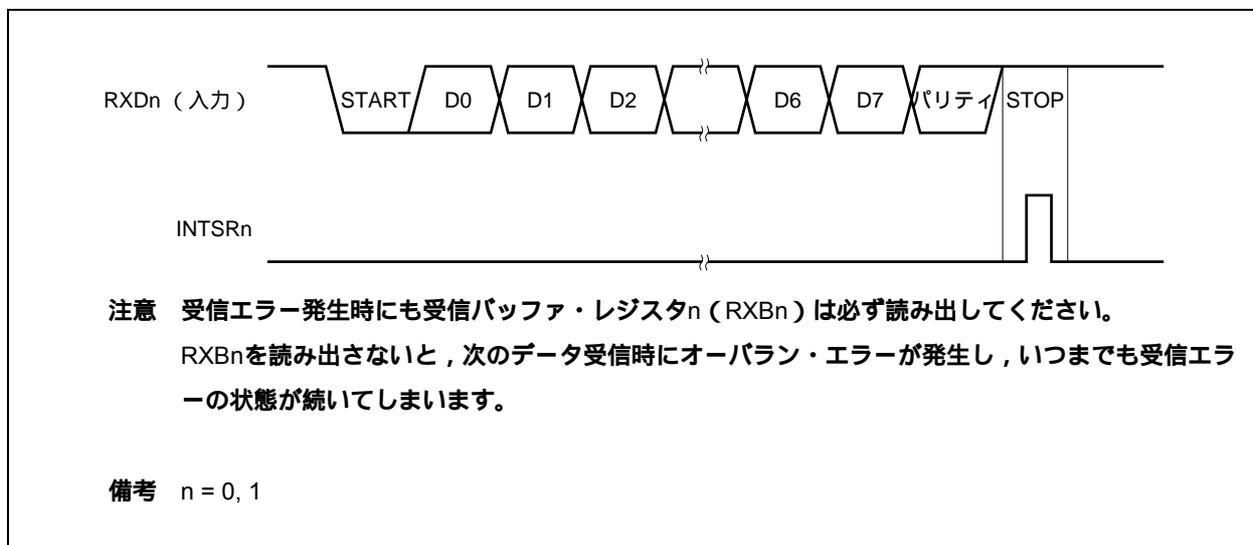
1フレームのデータ受信が終了すると, 受信シフト・レジスタn (RXn) 内の受信データを受信バッファ・レジスタ (RXBn) に転送し, 受信完了割り込み要求 (INTSRn) を発生します。

また, エラーが発生しても, RXBnにエラーの発生した受信データを転送します。エラー発生時, ASIMn0のビット1 (ISRMn) がクリア (0) されている場合は, INTSRnを発生します。ISRMnビットがセット (1) されている場合は, INTSRnは発生しません (10.4.2(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ00, 10 (ASIM00, ASIM10) 参照)。

なお, 受信動作中にRXEnビットをリセット (0) すると, ただちに受信動作を停止します。このとき, RXBnおよびASISnの内容は変化せず, また, INTSRn, INTSERnも発生しません。

図10 - 33にアシンクロナス・シリアル・インタフェース受信完了割り込みタイミングを示します。

図10 - 33 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS n) 内に立つと同時に、受信エラー割り込み要求 (INTSER n) を発生します。受信エラー割り込み要求は受信完了割り込み要求 (INTSR n) より先に発生します。受信エラー要因を表10 - 10に示します。

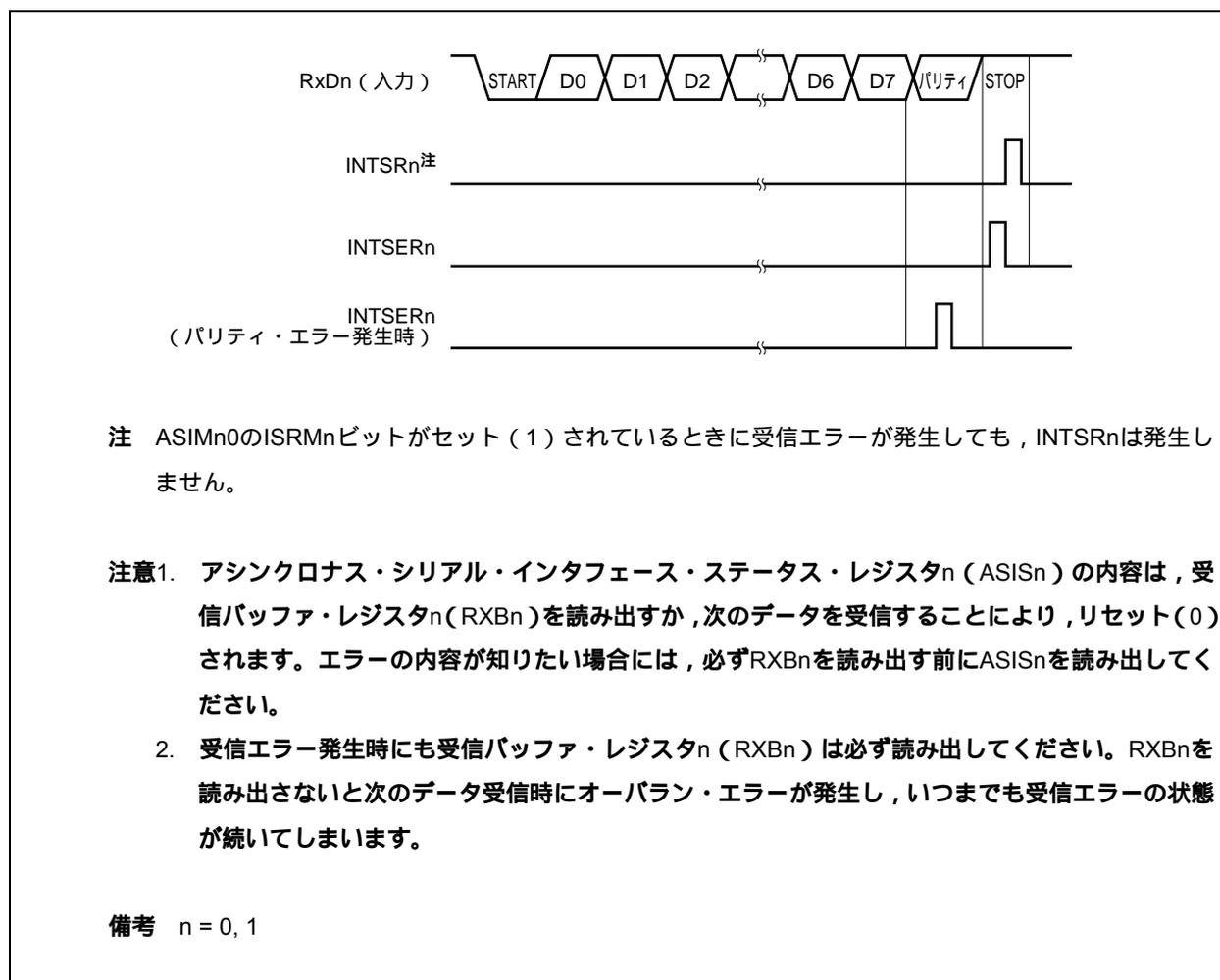
受信エラー割り込み処理 (INTSER n) 内でASIS n の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます。

ASIS n の内容は、受信バッファ・レジスタ n (RXB n) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表10 - 10 受信エラーの要因

受信エラー	要 因	ASIS n の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図10 - 34 受信エラー・タイミング



10.4.4 スタンバイ機能

(1) HALTモード時の動作

シリアル転送動作は通常に行われます。

(2) ソフトウェアSTOPモード時/IDLEモード時

(a) シリアル・クロックとして内部クロックを選択した場合

アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) , アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) , 送信シフト・レジスタn (TXSn) , 受信バッファ・レジスタn (RXBn) は、クロック停止直前の値を保持したまま動作を停止します。

TXDn端子出力は、送信状態のときにクロックが停止された場合 (STOPモード時) は、直前のデータを保持します。

受信中にクロックが停止された場合は、直前までの受信データを格納し、それ以降の動作を停止します。クロックが再起動されると続けて受信動作を再開します。クロック停止中の受信データは無視されるため、クロック再開される受信動作については保証できません。

(b) シリアル・クロックとして外部クロックを選択した場合

シリアル転送動作は通常に行われます。

10.5 3線式可変長シリアルI/O (CSI4)

CSI4には、次の2種類の動作モードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

(2) 3線式可変長シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK4}$)、シリアル出力 (SO4)、シリアル入力 (SI4) の3本のラインにより、8ビットから16ビットの可変データ転送を行うモードです。

3線式可変長シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送するデータの先頭ビットは、MSB/LSB切り替えができます。

3線式可変長シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

注意 シリアル・クロック ($\overline{SCK4}$) は、 $\overline{SCK4}$ 2.5MHzの範囲で使用してください。

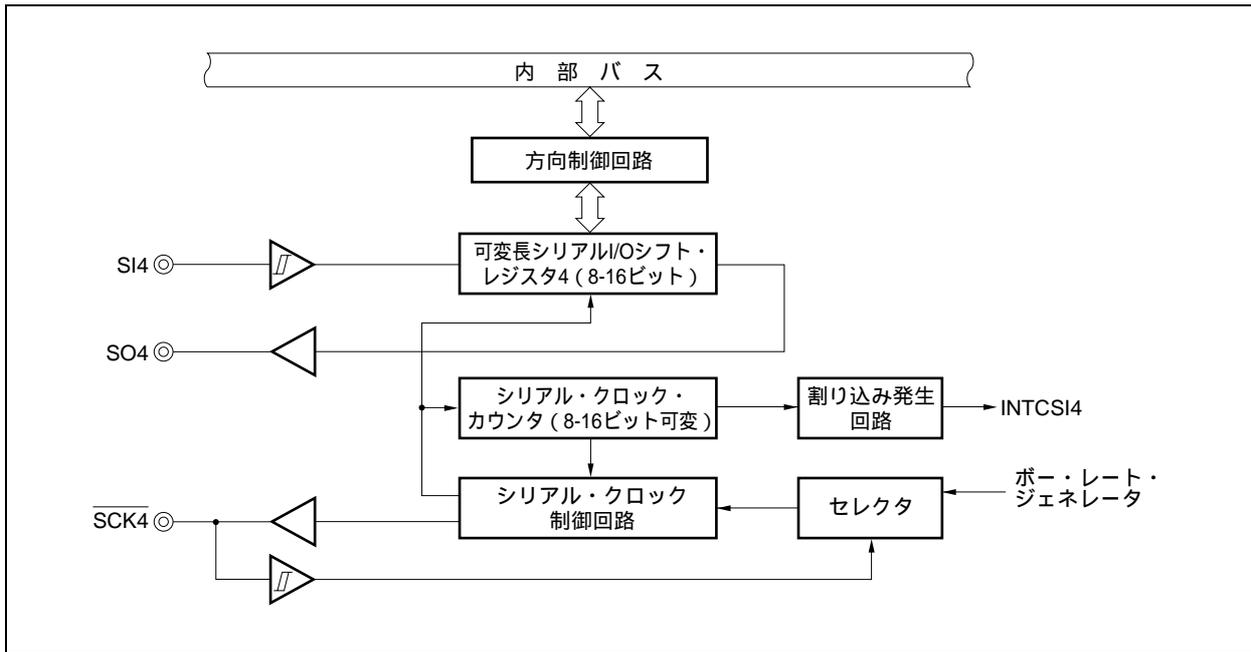
10.5.1 構成

CSI4は、次のハードウェアで構成されています。

表10 - 11 CSI4の構成

項目	構成
レジスタ	可変長シリアルI/Oシフト・レジスタ4 (SIO4)
制御レジスタ	可変長シリアル制御レジスタ4 (CSIM4)
	可変長シリアル設定レジスタ4 (CSIB4)
	ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)
	ポー・レート出力クロック選択レジスタ4 (BRGCK4)

図10 - 35 3線式可変長シリアルI/Oのブロック図



(1) 可変長シリアルI/Oシフト・レジスタ4 (SIO4)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う16ビット可変レジスタです。

SIO4は、16ビット・メモリ操作命令で設定します。

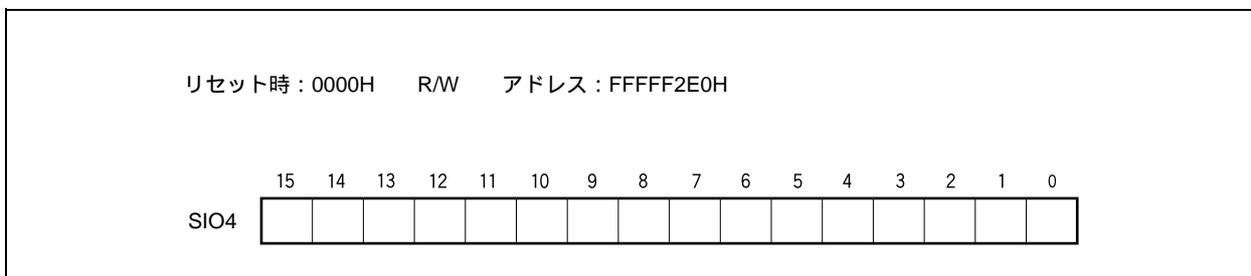
可変長シリアル制御レジスタ4 (CSIM4) のビット7 (CSIE4) が1のとき、SIO4にデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO4に書き込まれたデータが、シリアル出力 (SO4) に出力されます。

受信時は、データがシリアル入力 (SI4) からSIO4に読み込まれます。

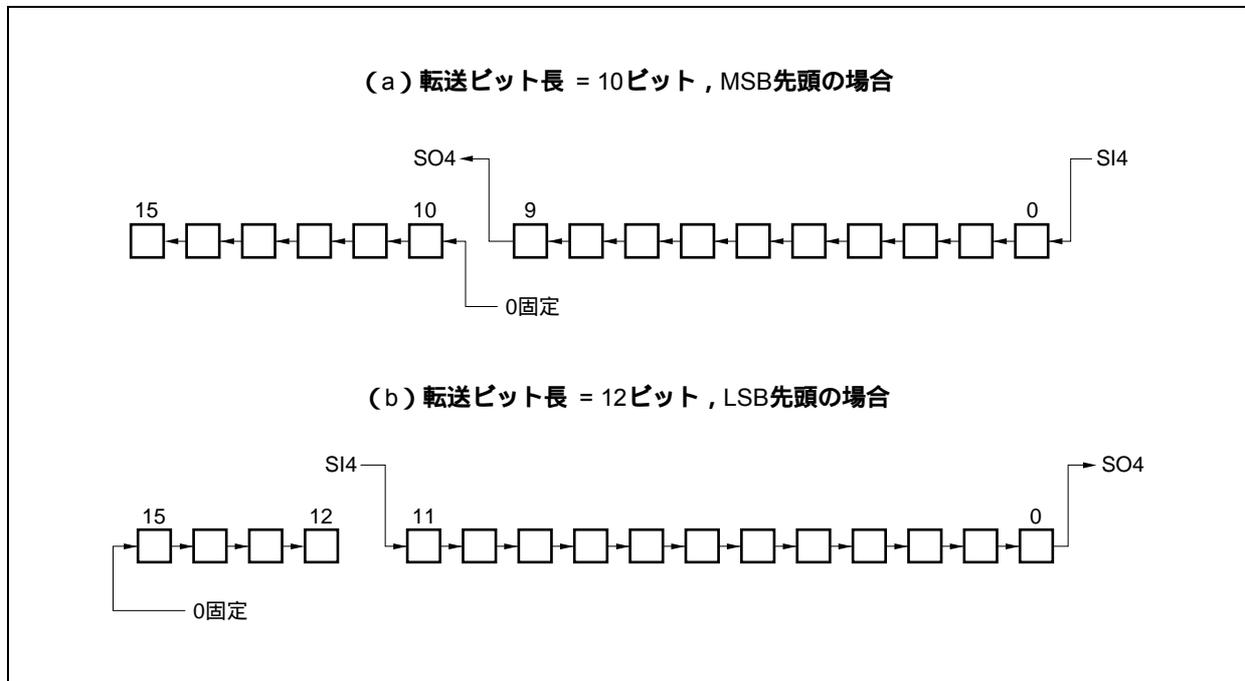
RESET入力により0000Hになります。

注意 転送動作中のSIO4アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE4 = 0のときはリードが、MODE4 = 1のときはライトが禁止となります)。



転送ビット長を16ビット以外に設定した場合、シフト・レジスタヘデータをセットするときには、転送先頭ビットがMSB/LSBであっても下位ビットから詰めて行ってください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

図10 - 36 16ビット以外の転送ビット長を設定した場合



10.5.2 CSI4制御レジスタ

CSI4を制御するレジスタには、次のものがあります。

- ・可変長シリアル制御レジスタ4 (CSIM4)
- ・可変長シリアル設定レジスタ4 (CSIB4)
- ・ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)
- ・ポー・レート出力クロック選択レジスタ4 (BRGCK4)

(1) 可変長シリアル制御レジスタ4 (CSIM4)

シリアル・インタフェース・チャンネル4のシリアル・クロック，動作モード，動作の許可／停止を設定するレジスタです。

CSIM4は，1/8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFF2E2H

	⑦	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4

CSIE4	SIO4の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 ^{注2}

MODE4	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO4出力
0	送信／送受信モード	SIO4ライト	通常出力
1	受信専用モード	SIO4リード	ポート機能

SCL4	シリアル・クロックの選択	
	0	外部クロック入力 ($\overline{SCK4}$)
1	BRG (ポー・レート・ジェネレータ)	

注1 . CSIE4 = 0 (SIO4動作停止状態) のときは，SI4, SO4, $\overline{SCK4}$ 端子は，ポート機能として使用できます。

2 . CSIE4 = 1 (SIO4動作許可状態) のときは，送信機能のみ使用する場合はSI4端子を，受信モード時は，SO4端子をそれぞれポート機能として使用できます。

(2) 可変長シリアル設定レジスタ4 (CSIB4)

シリアル・インタフェース・チャンネル4の動作形式を設定するレジスタです。

可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で、転送データのビット長を設定します。また、ビット4 (DIR) が1のときMSB先頭、0のときLSB先頭で転送を行います。

CSIB4は、8/1ビット・メモリ操作命令で設定します。

RESET \bar 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF2E4H

	7	⑥	⑤	④	3	2	1	0
CSIB4	0	CMODE	DMODE	DIR	BSEL3	BSEL2	BSEL1	BSEL0

CMODE	DMODE	SCK4の アクティブ・レベル	SI4の 取り込みタイミング	SO4の 出力タイミング
0	0	ロウ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ
0	1	ロウ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	0	ハイ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	1	ハイ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ

DIR	シリアル転送方向
0	LSB先頭
1	MSB先頭

BSEL3	BSEL2	BSEL1	BSEL0	転送データのビット長
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
その他				設定禁止

(3) ボー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)

BRGCN4は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF2E6H

	7	6	5	4	3	2	1	0
BRGCN4	0	0	0	0	0	BRGN2	BRGN1	BRGN0

BRGN2	BRGN1	BRGN0	ソース・クロック (f _{sck})	n
0	0	0	f _{xx}	0
0	0	1	f _{xx} /2	1
0	1	0	f _{xx} /4	2
0	1	1	f _{xx} /8	3
1	0	0	f _{xx} /16	4
1	0	1	f _{xx} /32	5
1	1	0	f _{xx} /64	6
1	1	1	f _{xx} /128	7

(4) ボー・レート出力クロック選択レジスタ4 (BRGCK4)

BRGCK4は、8ビット・メモリ操作命令で設定します。

RESET入力により7FHになります。

リセット時：7FH R/W アドレス：FFFFFF2E8H

	7	6	5	4	3	2	1	0	
BRGCK4	0	BRGK6	BRGK5	BRGK4	BRGK3	BRGK2	BRGK1	BRGK0	

BRGK	ボー・レート出力クロック	k						
6	5	4	3	2	1	0		
0	0	0	0	0	0	0	設定禁止	0
0	0	0	0	0	0	1	f _{sck} /2	1
0	0	0	0	0	1	0	f _{sck} /4	2
0	0	0	0	0	1	1	f _{sck} /6	3
.
.
.
1	1	1	1	1	1	0	f _{sck} /252	126
1	1	1	1	1	1	1	f _{sck} /254	127

生成するボー・レート用の送受信クロックは、メイン・クロックを分周した信号になります。

・メイン・クロックによるボー・レート用の送受信クロックの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

< 1 k 127の場合 >

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times k \times 2} \text{ [Hz]}$$

f_{xx} : メイン・クロック発振周波数

n : BRGN2-BRGN0で設定した値 (0 n 7)

k : BRGK6-BRGK0で設定した値 (1 k 127)

注意 可変長シリアルI/O (CSI4)のボー・レート用送受信クロックはCPUの動作クロック以上の転送速度で使用しないでください。CPUの動作クロック以上の転送速度で使用した場合、正常なデータが転送されません。

★ 10.5.3 動作

CSIM4には、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式可変長シリアルI/Oモード

(1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、SI4, SO4, $\overline{\text{SCK4}}$ 端子を通常の入出力ポートとしても使用できます。

(a) レジスタの設定

動作停止モードの設定は、可変長シリアル制御レジスタ4 (CSIM4) のCSIE4ビットで行います。

CSIE4 = 0 (SIO4動作停止状態) のとき、SI4, SO4, $\overline{\text{SCK4}}$ と接続した端子はポート機能として使用できます。

図10 - 37 CSIM4の設定 (動作停止モード)

リセット時 : 00H R/W アドレス : FFFFF2E2H								
	7	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4
	CSIE4	SIO4の動作許可 / 禁止の指定						
		シフト・レジスタ動作	シリアル・カウンタ	ポート				
	0	動作禁止	クリア	ポート機能				

(2) 3線式可変長シリアルI/Oモード

3線式可変長シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{SCK4}$)、シリアル出力 (SO4)、シリアル入力 (SI4) の3本のラインで通信を行います。

(a) レジスタの設定

3線式可変長シリアルI/Oモードの設定は、可変長シリアル制御レジスタ4 (CSIM4) で行います。

図10 - 38 CSIM4の設定 (3線式可変長シリアルI/Oモード)

リセット時 : 00H R/W アドレス : FFFFF2E2H

	7	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4

CSIE4	SIO4の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

MODE4	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO4出力
0	送信 / 送受信モード	SIO4ライト	通常出力
1	受信専用モード	SIO4リード	ポート機能

SCL4	シリアル・クロックの選択
0	外部クロック入力 (SCK4)
1	BRG (ポー・レート・ジェネレータ)

可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で、可変長レジスタのビット長を設定します。また、ビット4 (DIR) が1のときMSB先頭、0のときLSB先頭で転送を行います。

図10 - 39 CSIB4の設定 (3線式可変長シリアルI/Oモード)

リセット時：00H R/W アドレス：FFFFFFE4H

	7	⑥	⑤	④	3	2	1	0
CSIB4	0	CMODE	DMODE	DIR	BSEL3	BSEL2	BSEL1	BSEL0

CMODE	DMODE	SCK4の アクティブ・レベル	SI4の 取り込みタイミング	SO4の 出力タイミング
0	0	ロウ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ
0	1	ロウ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	0	ハイ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	1	ハイ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ

DIR	シリアル転送方向
0	LSB先頭
1	MSB先頭

BSEL3	BSEL2	BSEL1	BSEL0	シリアル・レジスタのビット長
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
その他				設定禁止

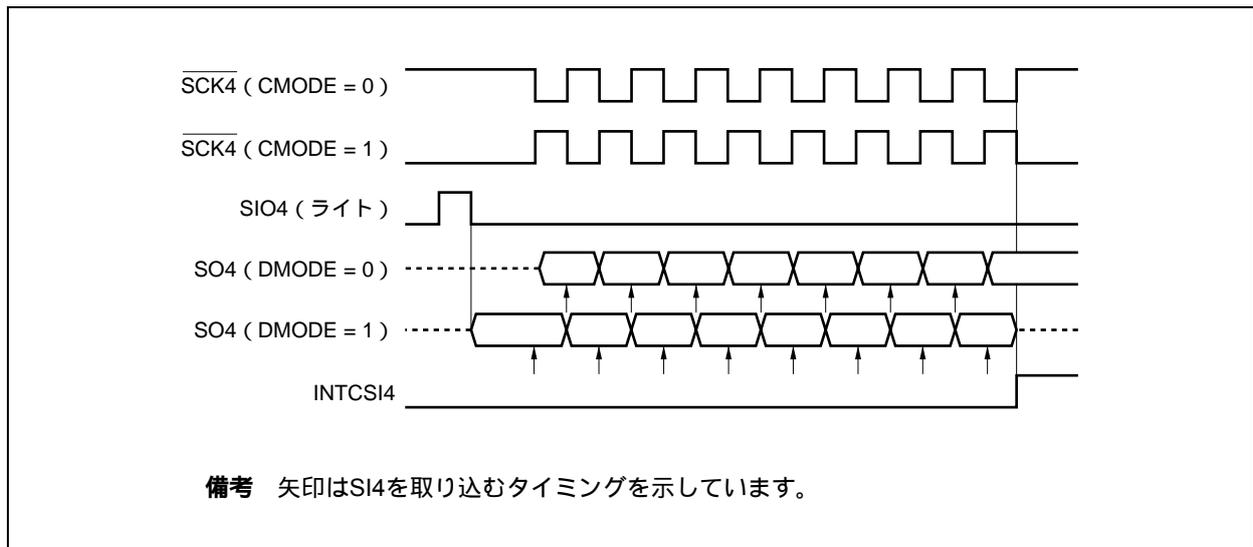
(b) 通信動作

3線式可変長シリアルI/Oモードは、可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で設定した8~16ビットの単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

全ビットの転送が終了すると、SIO4の動作は自動的に停止して、割り込み要求フラグ (INTCSI4) がセットされます。

また、可変長シリアル設定レジスタ4 (CSIB4) のビット6,5 (CMODE, DMODE) でシリアル・クロック (SCK4) の属性とシリアル・データ (SI4, SO4) の位相を変更できます。

図10 - 40 3線式可変長シリアルI/Oモードのタイミング



シリアル・クロック (SCK4) はCMODE = 0のとき、動作停止中はハイ・レベルで停止して、転送動作中はロウ・レベルを出力します。また、CMODE = 1のとき、動作停止中はロウ・レベルで停止して、転送動作中はハイ・レベルを出力します。SO4出力タイミングおよびSI4の取り込むタイミングも、DMODEの値によって半クロック位相をずらすことができます。

ただし、割り込み信号 (INTCSI4) は、どの場合でもシリアル・クロック (SCK4) の最終エッジで発生します。

(c) 転送スタート

シリアル転送は次の2つの条件を満たしたとき、転送が可能になります。

- ・ SIO4の動作制御ビット (CSIE4) = 1
- ・ シリアル転送後、内部のシリアル・クロックが停止した状態

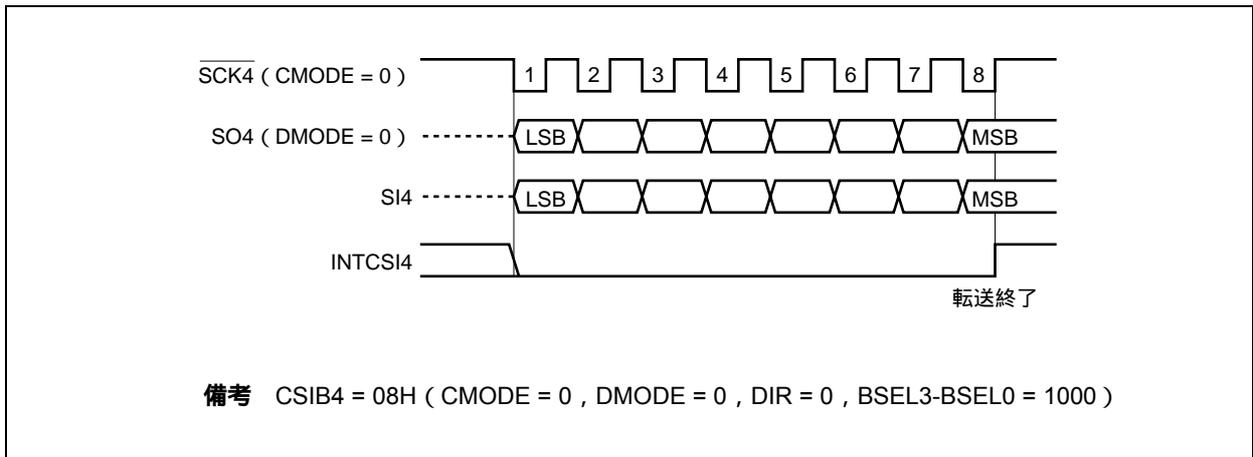
このとき、次の操作を行うと転送が開始されます。

- ・ 送信 / 送受信モード (MODE4 = 0)
SIO4ライトで転送スタート
- ・ 受信専用モード (MODE4 = 1)
SIO4のリードで転送スタート

注意 SIO4にアクセスしたあと、CSIE4 = 1にしても転送はスタートしません。

最終ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSI4) をセットします。

図10 - 41 3線式可変長シリアルI/Oモードのタイミング (CSIB = 08Hの場合)



第11章 A/Dコンバータ

11.1 概 要

アナログ入力：16チャンネル
10ビットA/Dコンバータ内蔵
A/D変換結果レジスタ（ADCR0-ADCR7）内蔵
10ビット×8本
A/D変換トリガ・モード
A/Dトリガ・モード
タイマ・トリガ・モード
外部トリガ・モード
動作モード
セレクト・モード
スキャン・モード
1バッファ・モード
4バッファ・モード
逐次変換方式

11.2 構 成

V850/SV1のA/Dコンバータは逐次変換方式を採用しており、A/Dコンバータ・モード・レジスタ0, 1（ADM0, ADM1）、ADCRnレジスタを使用してA/D変換動作を行います（n = 0-7）。

表11 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	16チャンネル（ANI0-ANI15）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0-7（ADCR0-ADCR7）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADM0） A/Dコンバータ・モード・レジスタ1（ADM1）

（1）入力回路

ADM0, ADM1レジスタに設定したモードに従ってアナログ入力（ANI0-ANI15）を選択し、サンプル&ホールド回路に送ります。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、コンパレータに送ります。なおA/D変換動作中は、サンプリングしたアナログ入力を保持します。

(3) 電圧コンパレータ

入力されたアナログ入力と直列抵抗ストリングの電圧タップの出力電圧を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングは、アナログ入力と一致する電圧を発生するためのものです。

直列抵抗ストリングは、A/Dコンバータ用の基準電圧端子 (AV_{REF}) とA/Dコンバータ用のGND端子 (AV_{SS}) 間に接続されています。2端子間を256の等価な電圧ステップにするため、等価な抵抗255個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは、逐次変換レジスタ (SAR) で制御されるタップ・セレクタによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARは、直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ (ADCRn) に保持されます。

(6) A/D変換結果レジスタ0-7 (ADCRn : A/D Conversion Result Register n)

ADCRは、A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

\overline{RESET} 入力により不定となります。

(7) コントローラ

ADM0, ADM1レジスタに設定したモードに従って、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います。

(8) ANI0-ANI15端子

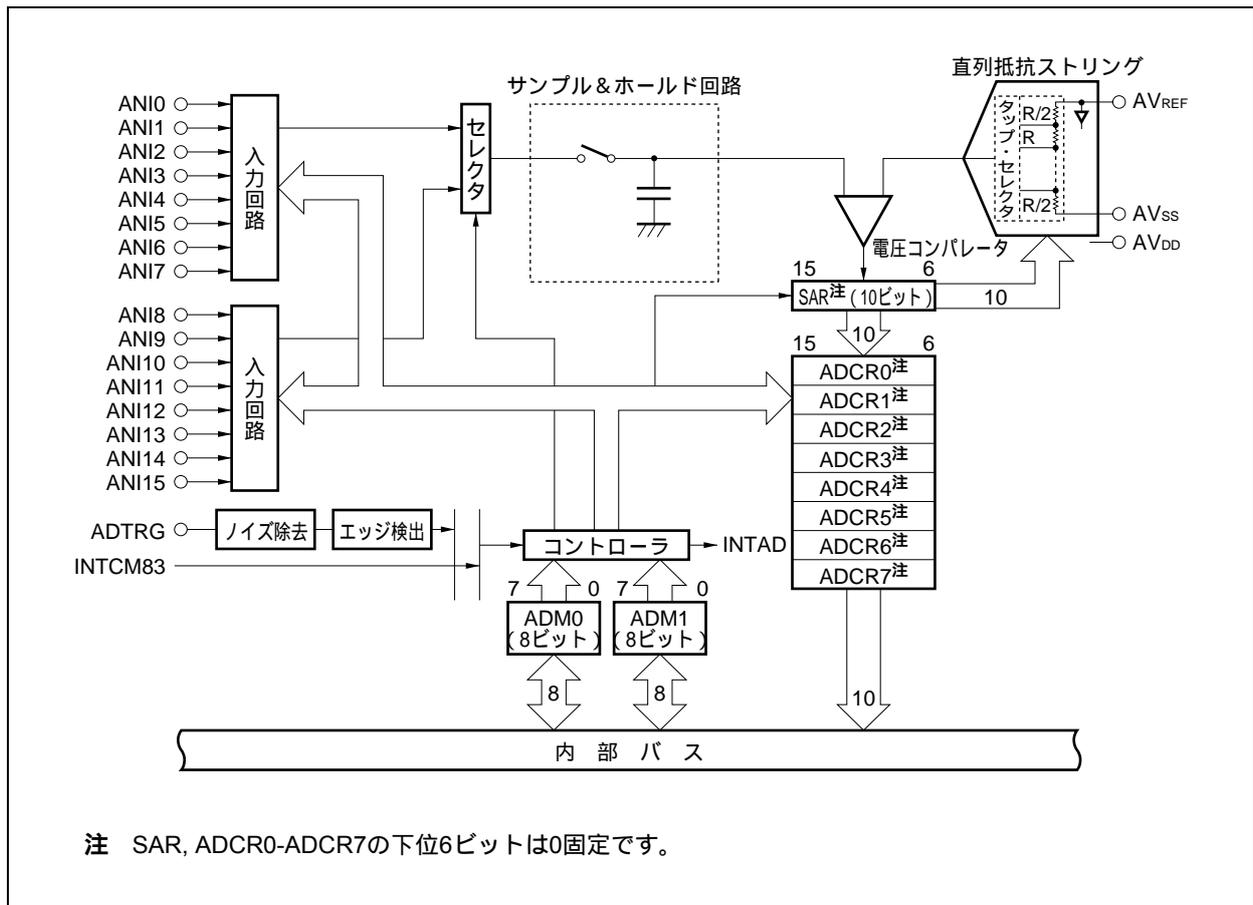
A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(9) AV_{REF} 端子

A/Dコンバータの基準電圧を入力するための端子です。 AV_{REF} - AV_{SS} 間に加えられる電圧に基づいて ANI0-ANI15端子に入力される信号をデジタル信号に変換します。

図11-1 A/Dコンバータのブロック図



注 SAR, ADCR0-ADCR7の下位6ビットは0固定です。

11.3 制御レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)

11.3.1 A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、アナログ入力端子の選択、動作モードの指定および変換動作の制御を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただしA/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。また、ビット6には書き込みできません。書き込みは無視されます。

リセット時：00H R/W アドレス：FFFFFF328H

ADM0	CE	CS ^注	BS	MS	PS	2 ANIS2	1 ANIS1	0 ANIS0
------	----	-----------------	----	----	----	------------	------------	------------

CE	A/D変換動作の許可 / 禁止を指定
0	禁止
1	許可

CS ^注	A/Dコンバータの状態を提示
0	停止
1	動作中

BS	セレクト・モード時のバッファ・モードを指定
0	1バッファ・モード
1	4バッファ・モード

MS	A/Dコンバータの動作モードを指定
0	スキャン・モード
1	セレクト・モード

PS	アナログ入力端子の切り替え
0	ANI0-ANI7を選択
1	ANI8-ANI15を選択

ANIS2	ANIS1	ANIS0	セレクト・モード		スキャン・モード	
			PS = 0	PS = 1	PS = 0	PS = 1
0	0	0	ANI0	ANI8	ANI0	ANI8
0	0	1	ANI1	ANI9	ANI0, ANI1	ANI8, ANI9
0	1	0	ANI2	ANI10	ANI0-ANI2	ANI8-ANI10
0	1	1	ANI3	ANI11	ANI0-ANI3	ANI8-ANI11
1	0	0	ANI4	ANI12	ANI0-ANI4	ANI8-ANI12
1	0	1	ANI5	ANI13	ANI0-ANI5	ANI8-ANI13
1	1	0	ANI6	ANI14	ANI0-ANI6	ANI8-ANI14
1	1	1	ANI7	ANI15	ANI0-ANI7	ANI8-ANI15

注 CSビットはRead onlyです。

注意 タイマ・トリガ・モード，外部トリガ・モード時でCEビットが1のときは，トリガ信号待機状態になります。CEビットをクリアするには，“0”を書き込むか，リセットしてください。

A/Dトリガ・モードでは，CEビットに1を書き込むことが変換のトリガになります。動作後，CEビットをクリアせずにタイマ・モード，外部トリガ・モードに変更した場合，変更直後からトリガ入力の待機状態になります。

11.3.2 A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは、変換動作時間の指定、トリガ・モードの指定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただしA/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

(1/2)

リセット時：00H R/W アドレス：FFFFFF32AH

	7	6	5	4	2	1	0	
ADM1	EGA1	EGA0	TRG1	TRG0	ADPS	FR2	FR1	FR0

EGA1	EGA0	外部トリガ信号ADTRGの有効エッジ指定
0	0	エッジ検出しない
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり、立ち上がり両エッジ検出

TRG1	TRG0	トリガ・モードの指定
0	0	A/Dトリガ・モード
0	1	タイマ・トリガ・モード (INTCP83/INTCM83)
1	0	外部トリガ・モード (ADTRG)
1	1	設定禁止

ADPS	FR2	FR1	FR0	変換時間 ^{注1} + 安定時間 ^{注2} (ADPS = 1)	変換動作時間		
					f _{xx} = 20 MHz	f _{xx} = 10 MHz	f _{xx} = 4 MHz
0	0	0	0	288/f _{xx}	14.4 μs	28.8 μs	72.0 μs
0	0	0	1	216/f _{xx}	10.8 μs	21.6 μs	54.0 μs
0	0	1	0	168/f _{xx}	8.4 μs	16.8 μs	42.0 μs
0	0	1	1	120/f _{xx}	6.0 μs	12.0 μs	30.0 μs
0	1	0	0	108/f _{xx}	5.4 μs	10.8 μs	27.0 μs
0	1	0	1	84/f _{xx}	設定禁止	8.4 μs	21.0 μs
0	1	1	0	60/f _{xx}	設定禁止	6.0 μs	15.0 μs
0	1	1	1	48/f _{xx}	設定禁止	設定禁止	12.0 μs
1	0	0	0	288/f _{xx} + 144/f _{xx}	14.4 + 7.2 μs	28.8 + 14.4 μs	72.0 + 36.0 μs
1	0	0	1	216/f _{xx} + 108/f _{xx}	10.8 + 5.4 μs	21.6 + 10.8 μs	54.0 + 27.0 μs
1	0	1	0	168/f _{xx} + 84/f _{xx}	8.4 + 4.2 μs	16.8 + 8.4 μs	42.0 + 21.0 μs
1	0	1	1	120/f _{xx} + 60/f _{xx}	6.0 + 3.0 μs	12.0 + 6.0 μs	30.0 + 15.0 μs
1	1	0	0	108/f _{xx} + 54/f _{xx}	5.4 + 2.7 μs	10.8 + 5.4 μs	27.0 + 13.5 μs
1	1	0	1	84/f _{xx} + 42/f _{xx}	設定禁止	8.4 + 4.2 μs	21.0 + 10.5 μs
1	1	1	0	60/f _{xx} + 30/f _{xx}	設定禁止	6.0 + 3.0 μs	15.0 + 12.5 μs
1	1	1	1	48/f _{xx} + 24/f _{xx}	設定禁止	設定禁止	12.0 + 6.0 μs

注1 . 変換時間 : 実際にA/D変換する時間。必ず5 μs 変換時間 100 μsとなるように設定してください。

2 . A/D変換のセットアップ時間。1回のA/D変換で “ 変換時間 + 安定時間 ” の時間を要します。ADPS = 0のときは , 安定時間 = 0となります。

備考 f_{xx} : メイン・クロック周波数

★ 11.3.4 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI11) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタn (ADCRn)) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または,

$$(ADCR - 0.5) \times \frac{AV_{REF}}{1024} < V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

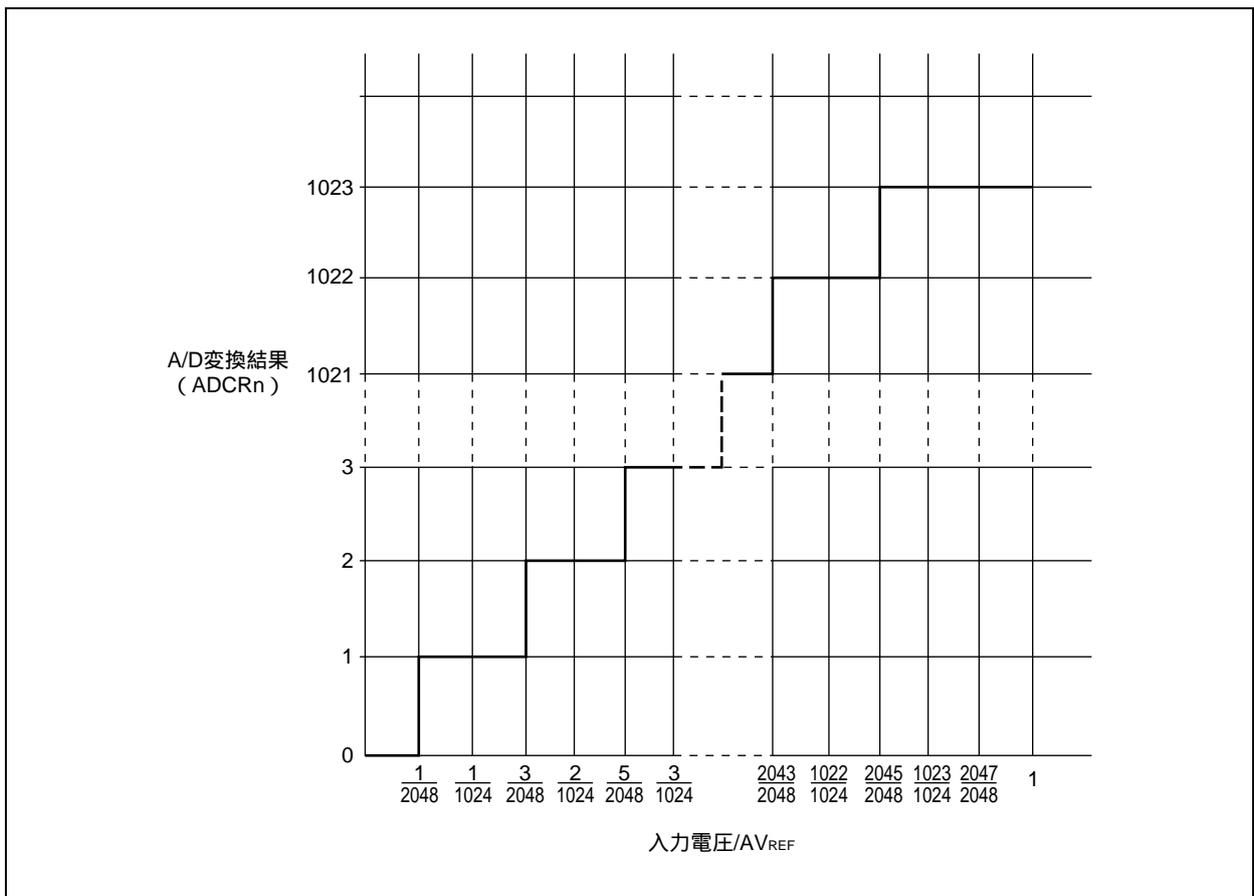
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : A/D変換結果レジスタn (ADCRn) の値

次にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 2 アナログ入力電圧とA/D変換結果の関係



11.4 動作

11.4.1 基本動作

A/D変換は次の手順で行います。

- (1)アナログ入力を選択、動作モード、トリガ・モードなどの指定を、ADMnレジスタに設定します^{注1}(n = 0, 1)。ADM0レジスタのCEビットをセット(1)すると、A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード、外部トリガ・モード時は、トリガ待機状態^{注2}になります。
- (2)直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力をコンパレータで比較します。
- (3)10ビットの比較が終了したとき、ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき、A/D変換終了割り込み(INTAD)を発生します(n = 0-7)。

注1 .A/D変換動作中にADMnレジスタ(n = 0, 1)を変更した場合、変更前のA/D変換動作は停止し、ADCRnレジスタ(n = 0-7)へ変換結果を格納しません。

2. タイマ・トリガ・モード、外部トリガ・モードの場合、ADM0レジスタのCEビットを1にすると、トリガ待機状態に遷移します。またA/D変換動作は、トリガ信号によって起動され、A/D変換動作が終了するとトリガ待機状態に戻ります。

11.4.2 動作モードとトリガ・モード

A/Dコンバータは、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADMnレジスタで設定します(n = 0, 1)。

動作モード、トリガ・モードの関係を次に示します。

トリガ・モード	動作モード		設定値		アナログ入力
			ADM0	ADM1	
A/Dトリガ	セレクト	1バッファ	× × 01 × × × × B	00000 × × × B	ANI0-ANI15
		4バッファ	× × 11 × × × × B	00000 × × × B	
	スキャン	× × × 0 × × × × B	00000 × × × B		
タイマ・トリガ	セレクト	1バッファ	× × 01 × × × × B	00010 × × × B	
		4バッファ	× × 11 × × × × B	00010 × × × B	
	スキャン	× × × 0 × × × × B	00010 × × × B		
外部トリガ	セレクト	1バッファ	× × 01 × × × × B	00100 × × × B	
		4バッファ	× × 11 × × × × B	00100 × × × B	
	スキャン	× × × 0 × × × × B	00100 × × × B		

(1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには、A/Dトリガ・モード、タイマ・トリガ・モード、外部トリガ・モードの3通りがあります。これらのトリガ・モードは、ADM0レジスタで設定します。

(a) A/Dトリガ・モード

ANI0-ANI15端子に設定されたアナログ入力の変換タイミングを、A/Dコンバータ・ユニット内部で発生するモードです。

(b) タイマ・トリガ・モード

ANI0-ANI15端子に設定されたアナログ入力の変換タイミングを、RPUのコンペア・レジスタに設定した値で規定するモードです。

24ビット・タイマのTM8に接続されたキャプチャ/コンペア・レジスタ (CC83) の一致割り込み発生により、アナログ入力変換タイミングを生成します。

(c) 外部トリガ・モード

ANI0-ANI15端子に設定されたアナログ入力の変換タイミングを、ADTRG端子で指定するモードです。

(2) 動作モード

動作モードには、ANI0-ANI15端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。セレクト・モードには、サブモードとして1バッファ・モードと4バッファ・モードがあります。これらのモードは、ADM0レジスタで設定します。

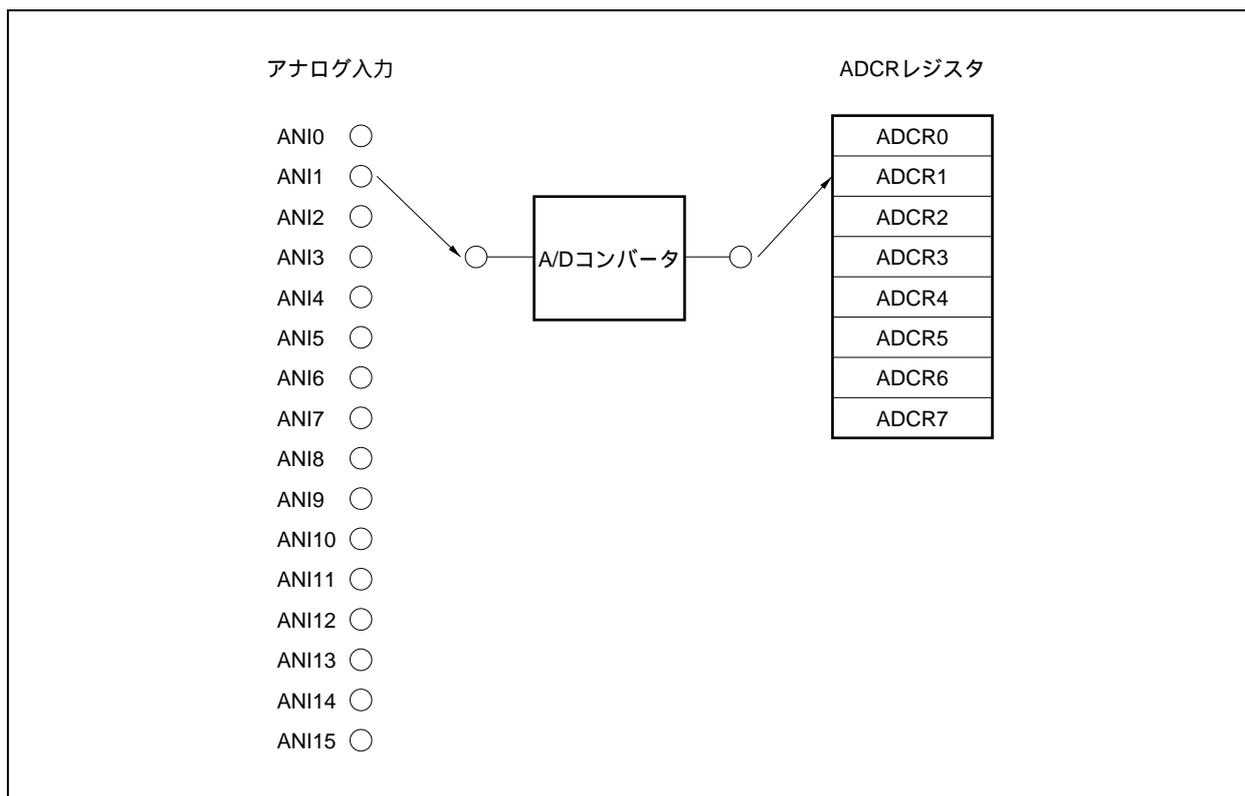
(a) セレクト・モード

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します (n = 0-7)。このモードでは、A/D変換結果の格納方法として1バッファ・モードと4バッファ・モードを備えています。

・1バッファ・モード

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。アナログ入力とADCRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み (INTAD) が発生します。

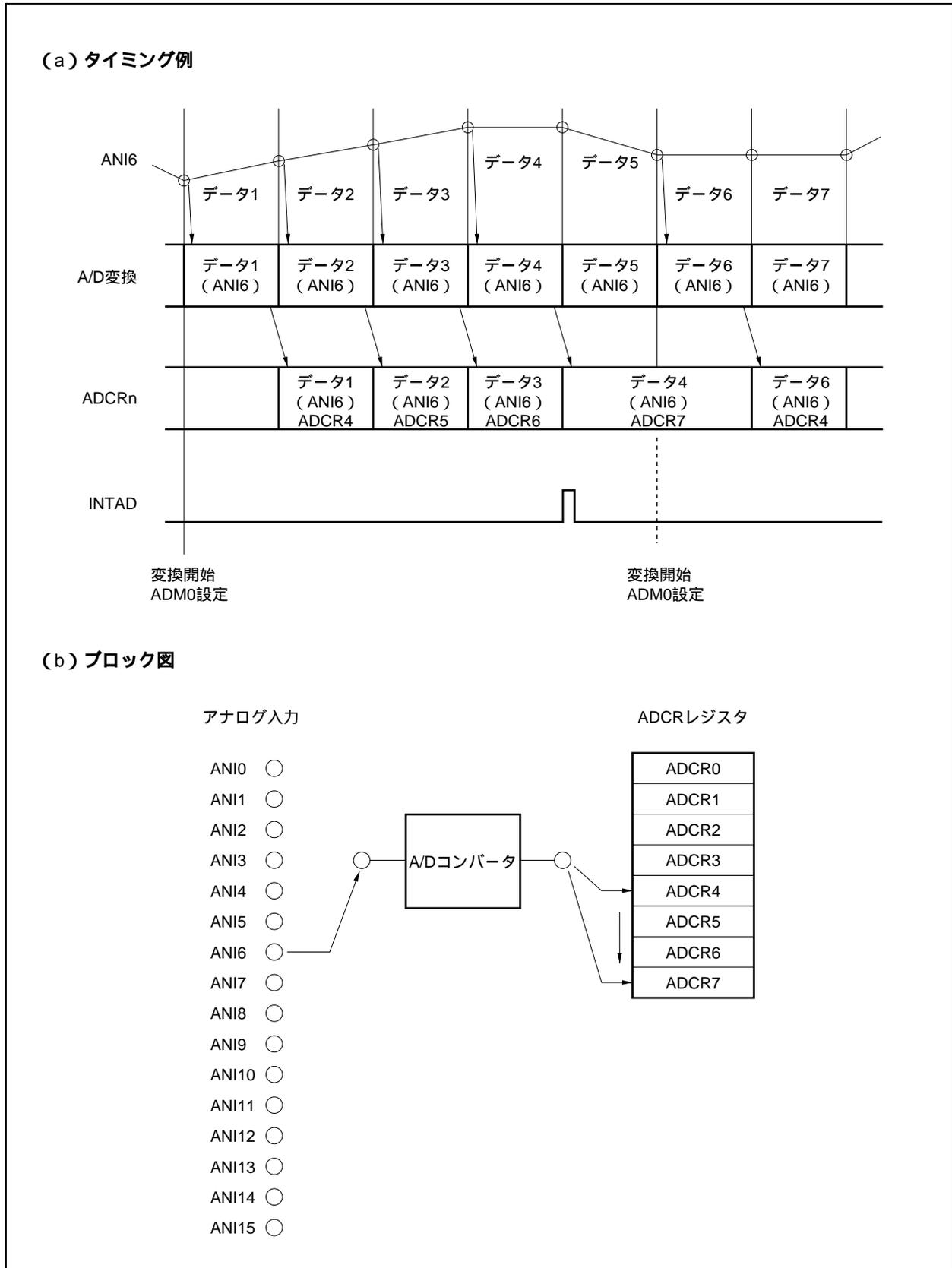
図11 - 3 セレクト・モードの動作タイミング例：1バッファ・モード (ANI1)



・4バッファ・モード

1つのアナログ入力を4回A/D変換し,その結果をアナログ入力に対応した4つのADCRnレジスタに格納します。A/D変換終了割り込み (INTAD) は,4回のA/D変換が終了したときに発生します。

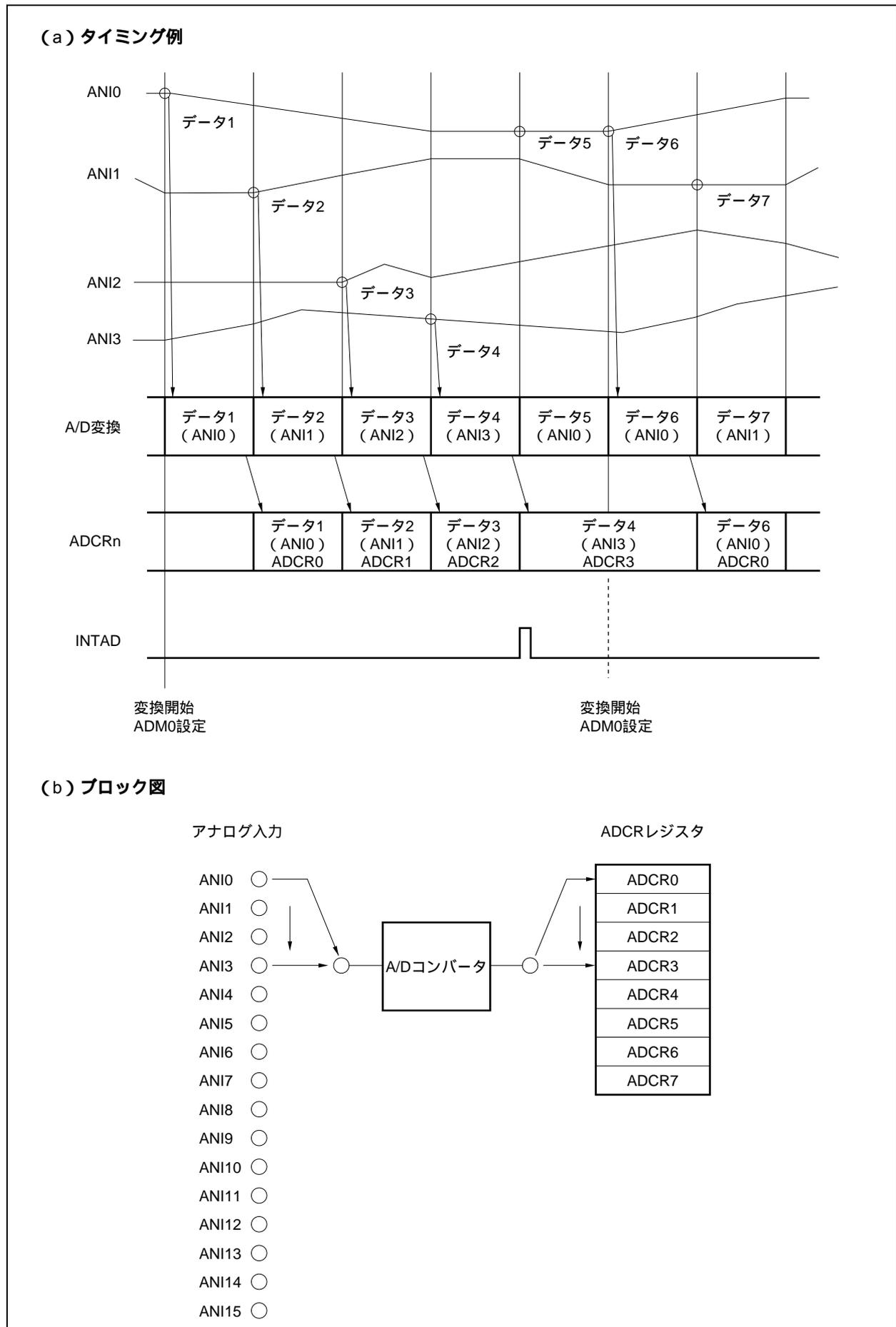
図11 - 4 セレクト・モードの動作タイミング例：4バッファ・モード (ANI6)



(b) スキャン・モード

ANI0/ANI8端子から，ADM0レジスタで指定したアナログ入力までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力に対応したADCRnレジスタに格納します。指定したアナログ入力の変換が終了すると，INTAD割り込みが発生します（n = 0-7）。

図11-5 スキャン・モードの動作タイミング例：4チャンネル・スキャン（ANI0-ANI3）



11.5 A/Dトリガ・モード時の動作

ADM0レジスタのCEビットを1に設定すると、A/D変換を開始します。

11.5.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納法により1バッファ・モードと4バッファ・モードをサポートします (n = 0-7)。

(1) 1バッファ・モード (A/Dトリガ・セレクト1バッファ)

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは、1対1に対応しています (表11-2、図11-6参照)。

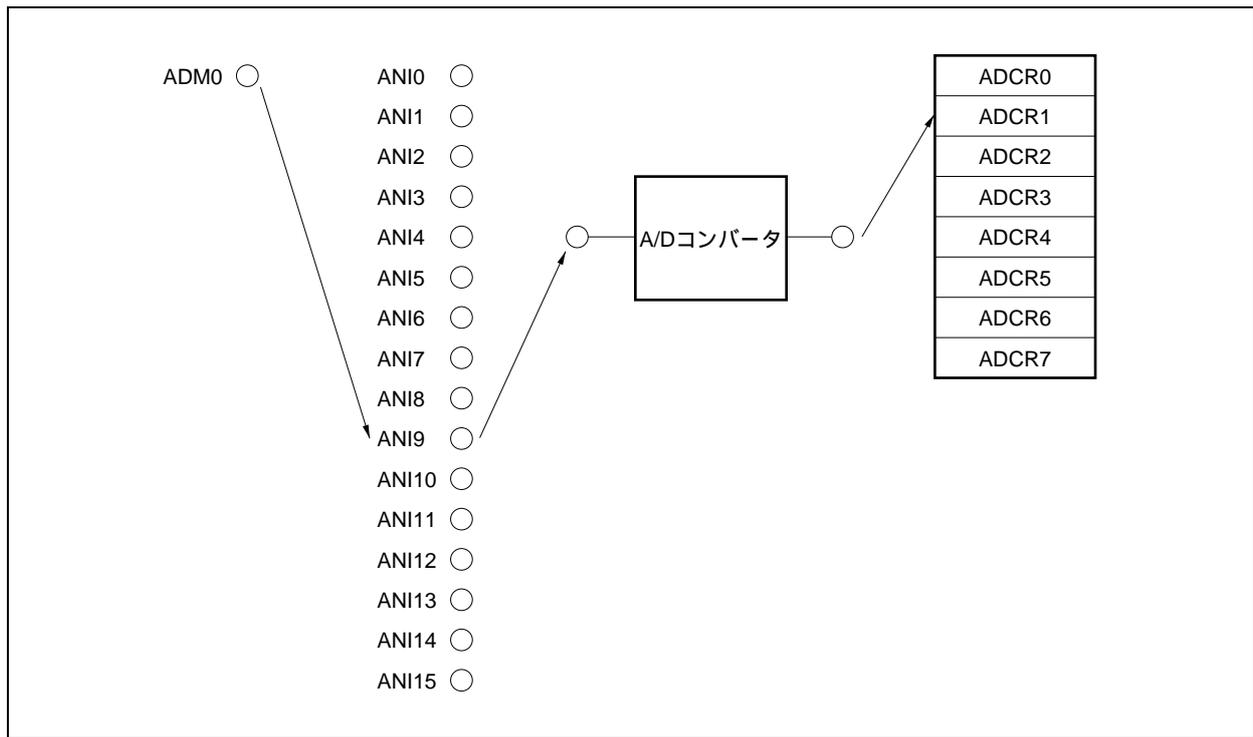
1回のA/D変換ごとにINTAD割り込みを発生し、A/D変換を終了します。ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

1回のA/D変換ごとに結果を読み出すような応用に最適です。

表11-2 アナログ入力端子とADCRnレジスタの対応
(1バッファ・モード (A/Dトリガ・セレクト1バッファ))

アナログ入力	A/D変換結果レジスタ
ANI0/ANI8	ADCR0
ANI1/ANI9	ADCR1
ANI2/ANI10	ADCR2
ANI3/ANI11	ADCR3
ANI4/ANI12	ADCR4
ANI5/ANI13	ADCR5
ANI6/ANI14	ADCR6
ANI7/ANI15	ADCR7

図11 - 6 1バッファ・モード (A/Dトリガ・セレクト1バッファ) の動作例 (ANI9)



(2) 4バッファ・モード (A/Dトリガ・セレクト4バッファ)

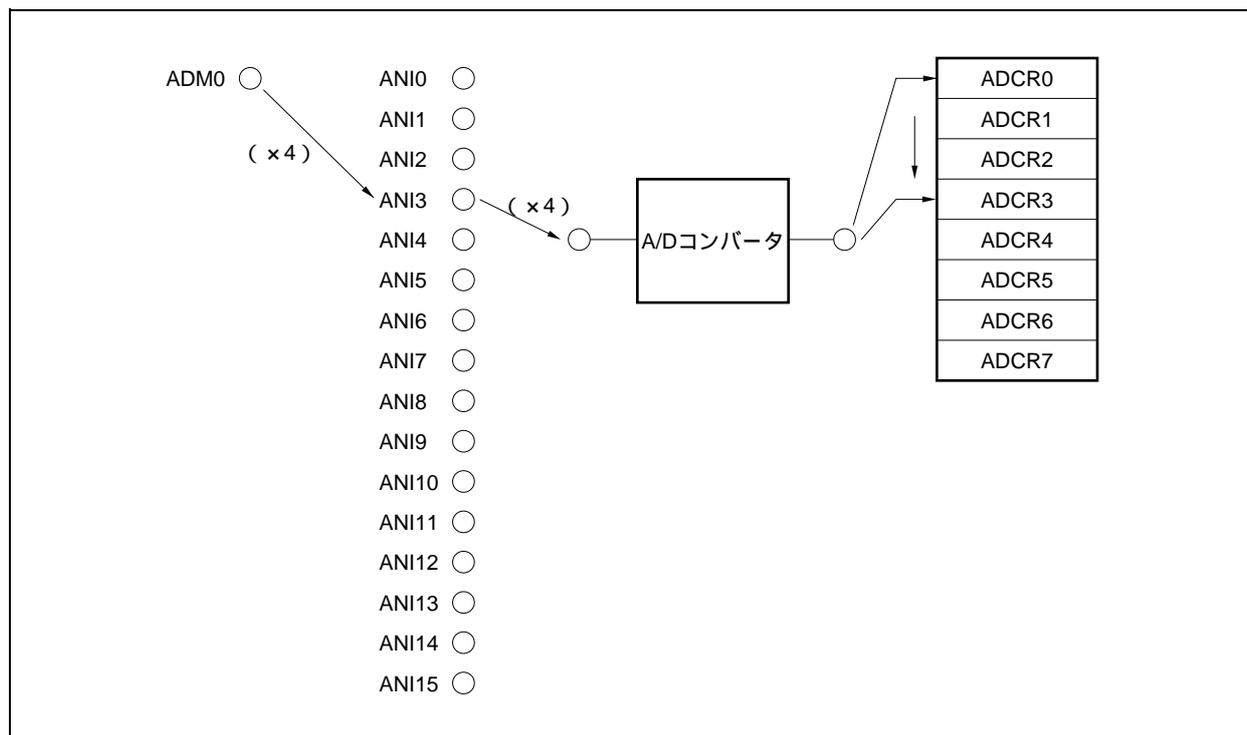
1つのアナログ入力を4回A/D変換し、その結果を4つのADCRnレジスタに格納します (表11-3, 図11-7参照)。4回のA/D変換が終了すると、INTAD割り込みを発生し、A/D変換を終了します。ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

A/D変換結果の平均を求めるような応用に最適です。

表11-3 アナログ入力端子とADCRnレジスタの対応
(4バッファ・モード (A/Dトリガ・セレクト4バッファ))

アナログ入力	A/D変換結果レジスタ
ANI0-ANI3/ANI8-ANI11	ADCR0 (1回目)
	ADCR1 (2回目)
	ADCR2 (3回目)
	ADCR3 (4回目)
ANI4-ANI7/ANI12-ANI15	ADCR4 (1回目)
	ADCR5 (2回目)
	ADCR6 (3回目)
	ADCR7 (4回目)

図11-7 4バッファ・モード (A/Dトリガ・セレクト4バッファ)の動作例 (ANI3)



11.5.2 スキャン・モードの動作

ANI0/ANI8端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します（表11-4，図11-8参照）。

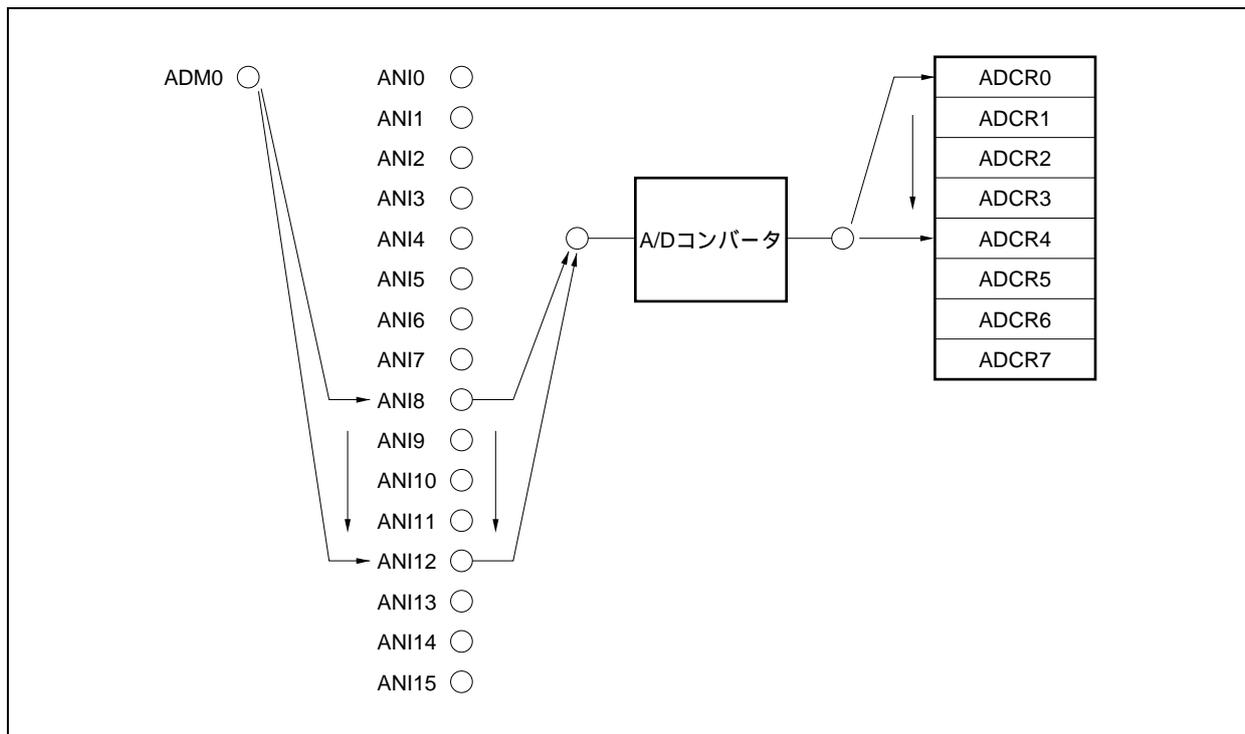
指定したアナログ入力の変換をすべて終了すると、INTAD割り込みを発生し、A/D変換を終了します。ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

表11-4 アナログ入力端子とADCRnレジスタの対応（スキャン・モード（A/Dトリガ・スキャン））

アナログ入力	A/D変換結果レジスタ
ANI0/ANI8	ADCR0
ANI1/ANI9	ADCR1
ANI2/ANI10	ADCR2
ANI3/ANI11	ADCR3
ANI4/ANI12	ADCR4
ANI5/ANI13	ADCR5
ANI6/ANI14	ADCR6
ANI7/ANI15	ADCR7

図11-8 スキャン・モード（A/Dトリガ・スキャン）の動作例（ANI8-ANI12）



11.6 タイマ・トリガ・モード時の動作

A/Dコンバータは、タイマ/カウンタのコンペア・レジスタの一致割り込み信号で変換タイミングを設定できます。

アナログ変換のトリガ指定用タイマには、TM8とキャプチャ/コンペア・レジスタ（CC83）を使用します。TMC80レジスタの指定に応じて、次の2つのモードがあります。

(1) ワンショット・モード

ワンショット・モードを使用するには、TMC80レジスタのOST8ビットに1（ワンショット・モード）を設定します。

A/D変換の周期がTM8の周期より長い場合、TM8はオーバフローを発生し、000000Hを保持して停止します。以降、TM8はコンペア・レジスタの一致割り込み信号INTCM83（A/D変換トリガ）を出力せず、A/DコンバータもA/D変換待機状態となります。TM8のカウント動作は、TCLR8端子入力の有効エッジが検出されるか、またはTMC80レジスタのCE8ビットに1を書き込むと再開します。

(2) ループ・モード

ループ・モードを使用するには、TMC80レジスタのOST8ビットに0（ノーマル・モード）を設定します。

TM8がオーバフローを発生するとTM8は再び000000Hからカウントを始めるため、コンペア・レジスタの一致割り込み信号INTCM83（A/D変換トリガ）が繰り返し出力されて、A/D変換も繰り返し行われます。またコンペア・レジスタの一致により、TM8をクリアし、再スタートさせることもできます。

11.6.1 セレクト・モードの動作

ADM0レジスタで指定される1つのアナログ入力（ANI0-ANI15）をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードではA/D変換結果の格納法により、1バッファ・モードと4バッファ・モードの2通りがあります。

(1) 1バッファ・モードの動作（タイマ・トリガ・セレクト1バッファ）

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します（表11-5、図11-9参照）。

一致割り込み信号（INTCM83）をトリガとして、1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにINTAD割り込みを発生し、A/D変換を終了します。

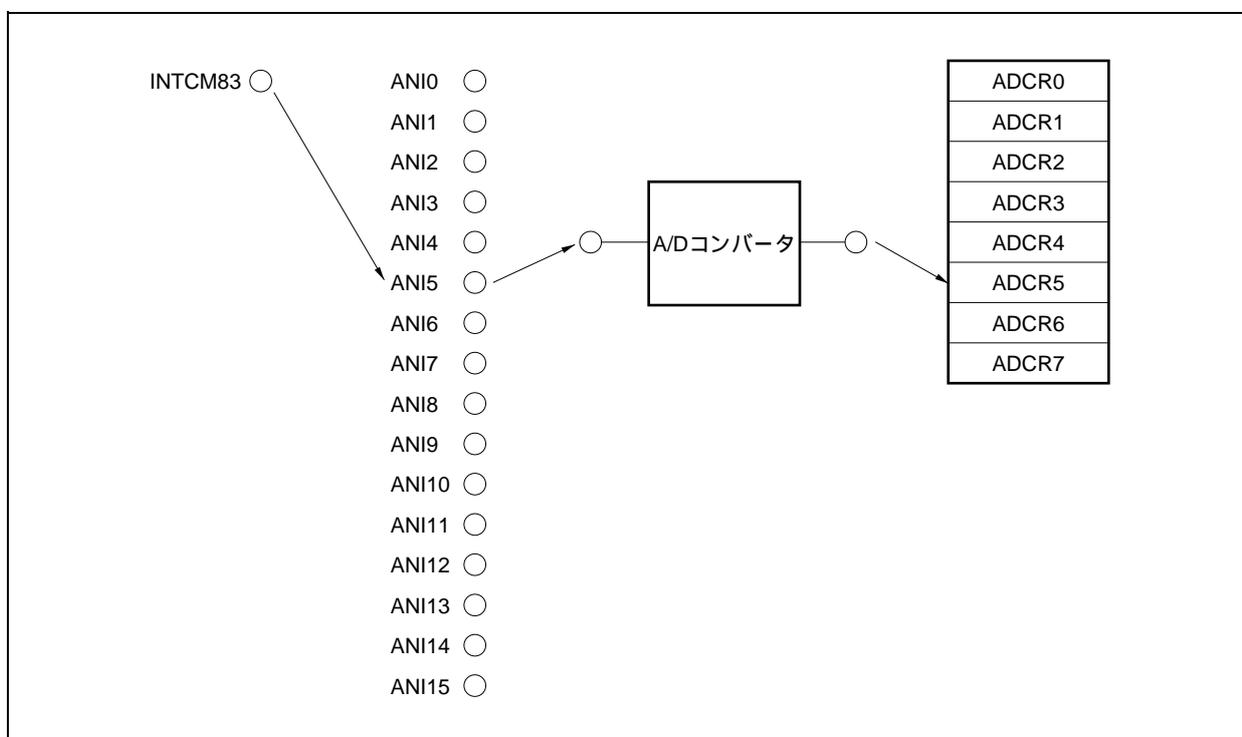
TM8をワンショット・モードに設定している場合は、1回の変換でA/D変換を終了します。A/D変換を再起動するには、TCLR8端子に有効エッジを入力するか、またはTMC80レジスタのCE8ビットに1を書き込むことで、TM8を再起動してください。

ループ・モードに設定している場合は、ADM0レジスタのCEビットを0に設定しないかぎり、一致割り込みが発生するごとにA/D変換を繰り返します。

表11 - 5 アナログ入力端子とADCRnレジスタの対応
 (1バッファ・モード(タイマ・トリガ・セレクト1バッファ))

トリガ	アナログ入力	A/D変換結果レジスタ
INTCM83割り込み	ANI0/ANI8	ADCR0
INTCM83割り込み	ANI1/ANI9	ADCR1
INTCM83割り込み	ANI2/ANI10	ADCR2
INTCM83割り込み	ANI3/ANI11	ADCR3
INTCM83割り込み	ANI4/ANI12	ADCR4
INTCM83割り込み	ANI5/ANI13	ADCR5
INTCM83割り込み	ANI6/ANI14	ADCR6
INTCM83割り込み	ANI7/ANI15	ADCR7

図11 - 9 1バッファ・モード(タイマ・トリガ・セレクト1バッファ)の動作例(ANI5)



(2) 4バッファ・モードの動作 (タイマ・トリガ・セレクト4バッファ)

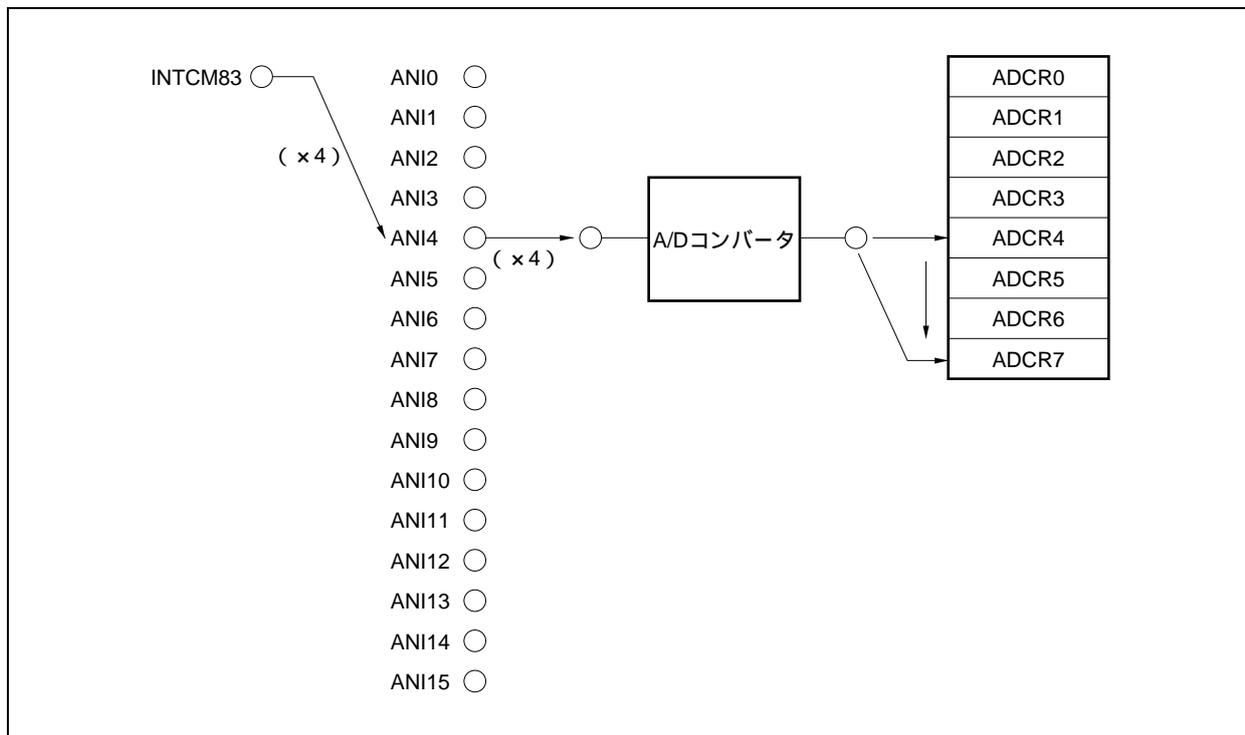
1つのアナログ入力を4回A/D変換し、その結果をADCRnレジスタに格納します (表11 - 6, 図11 - 10参照)。

一致割り込み信号 (INTCM83) をトリガとして、1つのアナログ入力を4回A/D変換し、その結果を4つのADCRnレジスタに格納します。A/D変換が4回終了するとINTAD割り込みを発生し、A/D変換を終了します。A/D変換結果の平均を求めるような応用に最適です。

表11 - 6 アナログ入力端子とADCRnレジスタの対応
(4バッファ・モード (タイマ・トリガ・セレクト4バッファ))

トリガ	アナログ入力	A/D変換結果レジスタ
INTCM83割り込み	ANI0-ANI3/ANI8-ANI11	ADCR0 (1回目) ADCR1 (2回目) ADCR2 (3回目) ADCR3 (4回目)
INTCM83割り込み	ANI4-ANI7/ANI12-ANI15	ADCR4 (1回目) ADCR5 (2回目) ADCR6 (3回目) ADCR7 (4回目)

図11 - 10 4バッファ・モード (タイマ・トリガ・セレクト4バッファ) の動作例 (ANI4)



11.6.2 スキャン・モードの動作

ANI0/ANI8端子からADM0レジスタで指定されるアナログ入力までを順に選択し、一致割り込みをトリガとして指定された回数のA/D変換を行います。

変換結果はアナログ入力に対応したADCRnレジスタに格納します（表11-7、図11-11参照）。指定したアナログ入力の変換がすべて終了すると、INTAD割り込みを発生して、A/D変換を終了します。

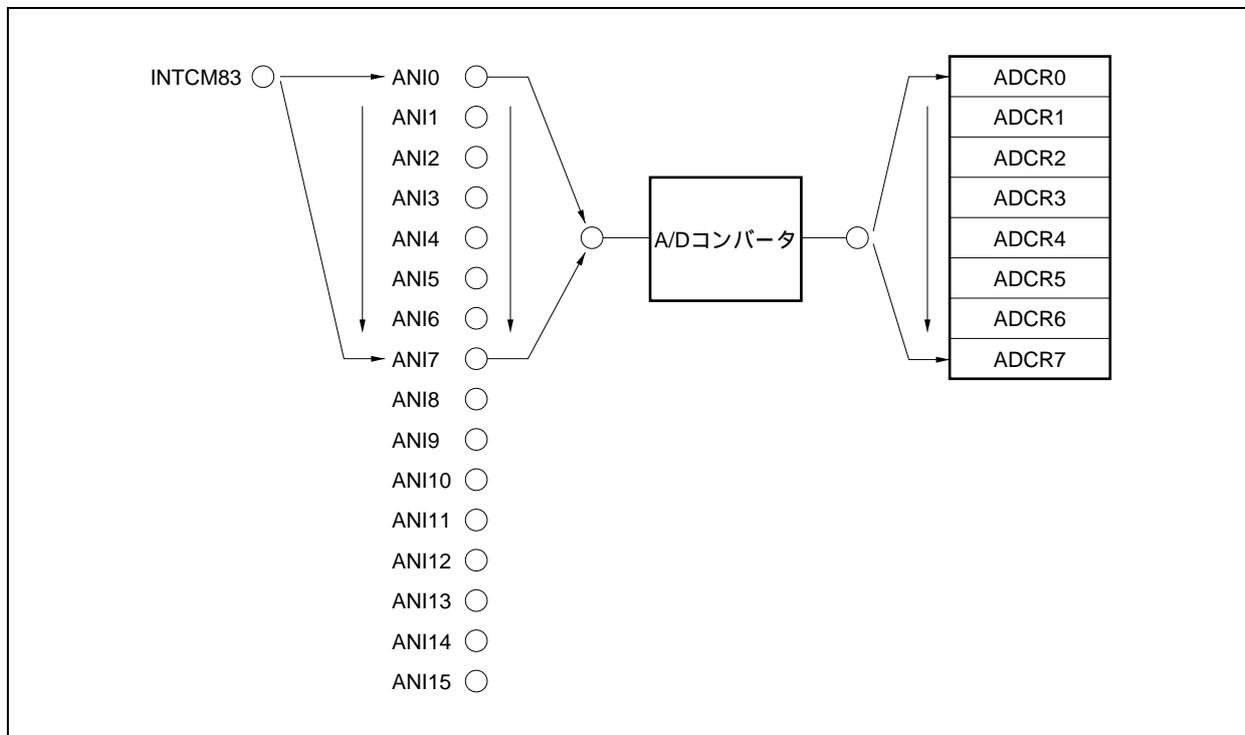
指定されたすべてのA/D変換終了後に一致割り込みが発生すると、A/D変換を再起動します。

複数のアナログ入力を常時監視するような応用に最適です。

表11-7 アナログ入力端子とADCRnレジスタの対応
(スキャン・モード(タイマ・トリガ・スキャン))

トリガ	アナログ入力	A/D変換結果レジスタ
INTCM83割り込み	ANI0/ANI8	ADCR0
INTCM83割り込み	ANI1/ANI9	ADCR1
INTCM83割り込み	ANI2/ANI10	ADCR2
INTCM83割り込み	ANI3/ANI11	ADCR3
INTCM83割り込み	ANI4/ANI12	ADCR4
INTCM83割り込み	ANI5/ANI13	ADCR5
INTCM83割り込み	ANI6/ANI14	ADCR6
INTCM83割り込み	ANI7/ANI15	ADCR7

図11-11 スキャン・モード(タイマ・トリガ・スキャン)の動作例(ANI0-ANI7)



11.7 外部トリガ・モード時の動作

外部トリガ・モードでは、アナログ入力（ANI0-ANI3）をADTRG端子の入力タイミングでA/D変換します。

ADTRG端子はP05端子と兼用になっています。外部トリガ・モードにするにはPM0レジスタのPM05ビットを1に、ADM1レジスタのTRG1、TRG0ビットを10にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは、ADM1レジスタのEGA1、EGA0ビットで、立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がり両エッジのどれかに指定できます。詳細は11.3.2 A/Dコンバータ・モード・レジスタ1（ADM1）を参照してください。

11.7.1 セレクト・モードの動作

ADM0レジスタで指定する1つのアナログ入力（ANI0-ANI15）をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードでは、変換結果の格納方法には1バッファ・モードと4バッファ・モードの2通りがあります。

(1) 1バッファ・モード（外部トリガ・セレクト1バッファ）

ADTRG信号をトリガとして1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します（表11-8、図11-12参照）。アナログ入力とA/D変換結果レジスタは1対1に対応しています。1回のA/D変換ごとにINTAD割り込みを発生し、A/D変換を終了します。

ADM0レジスタのCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

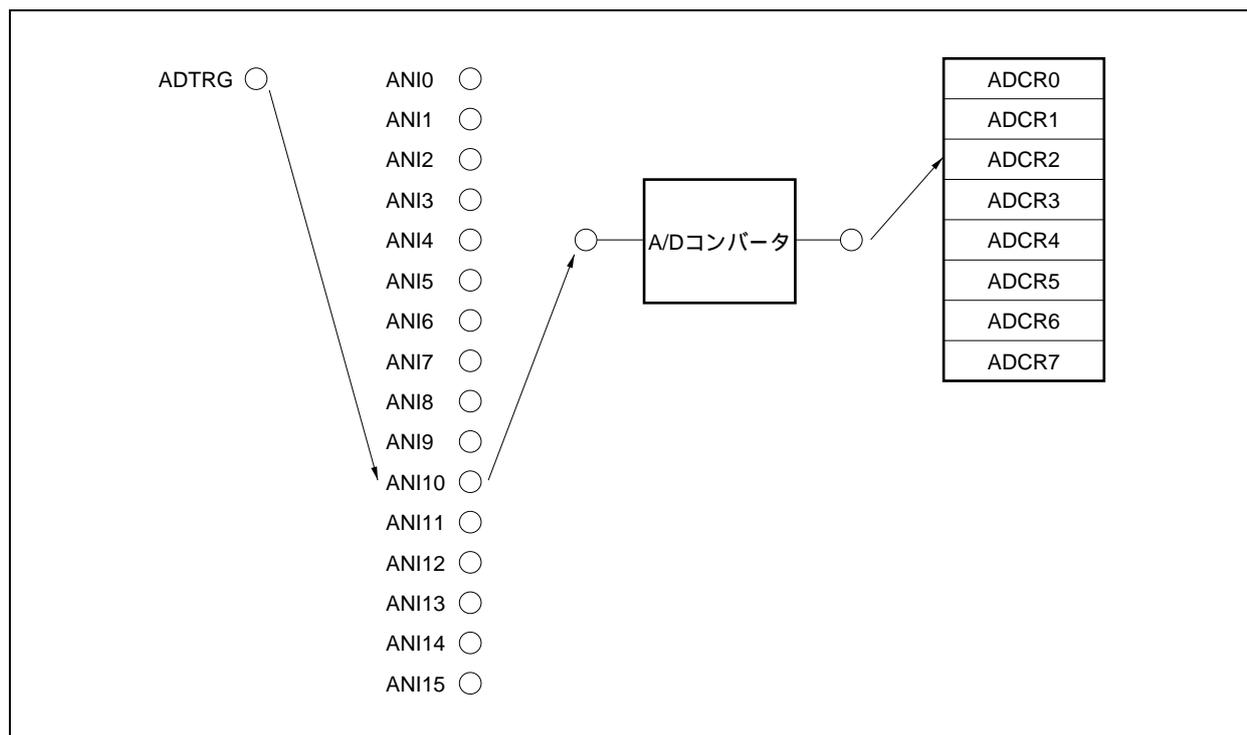
1回のA/D変換ごとに結果を読み出すような応用に最適です。

表11-8 アナログ入力端子とADCRnレジスタの対応

（1バッファ・モード（外部トリガ・セレクト1バッファ））

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0/ANI8	ADCR0
ADTRG信号	ANI1/ANI9	ADCR1
ADTRG信号	ANI2/ANI10	ADCR2
ADTRG信号	ANI3/ANI11	ADCR3
ADTRG信号	ANI4/ANI12	ADCR4
ADTRG信号	ANI5/ANI13	ADCR5
ADTRG信号	ANI6/ANI14	ADCR6
ADTRG信号	ANI7/ANI15	ADCR7

図11 - 12 1バッファ・モード (外部トリガ・セレクト1バッファ) の動作例 (ANI10)



(2) 4バッファ・モード (外部トリガ・セレクト4バッファ)

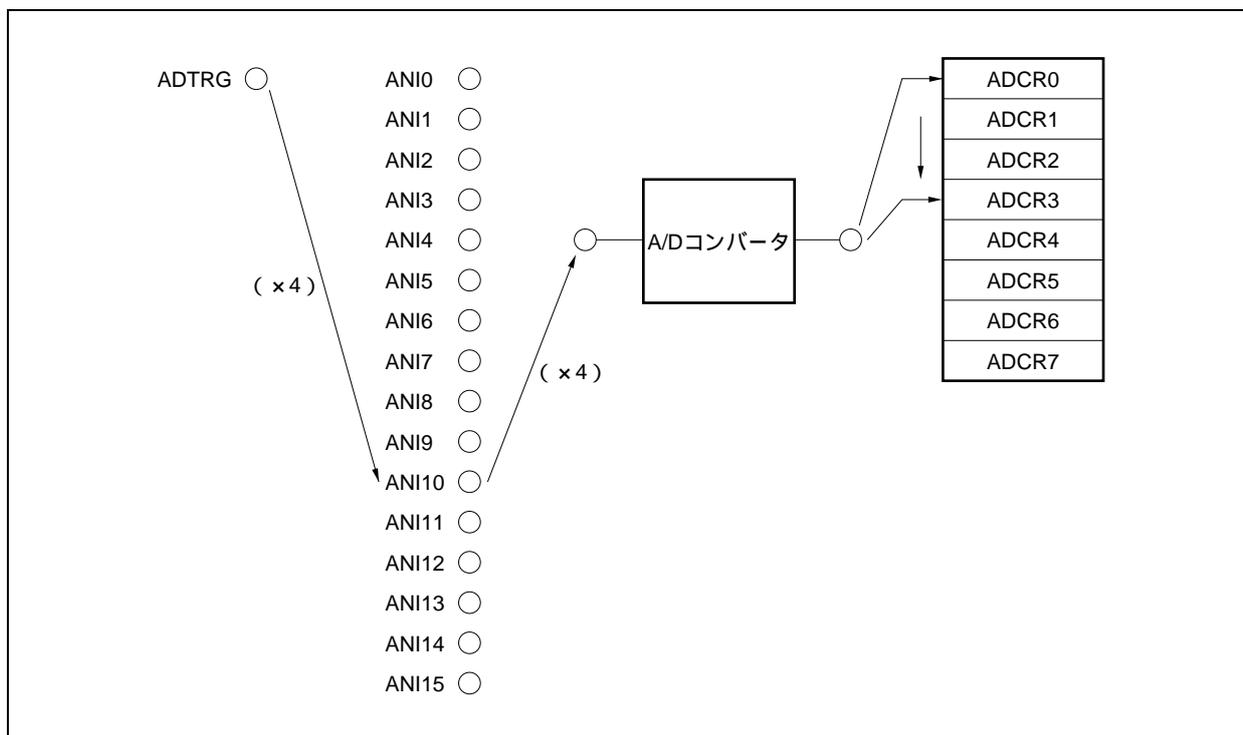
ADTRG信号をトリガとして1つのアナログ入力を4回A/D変換し、その結果を4つのADCRnレジスタに格納します (表11-9, 図11-13参照)。4回のA/D変換が終了すると、INTAD割り込みを発生して変換を終了します。ADM0レジスタのCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

A/D変換結果の平均を求めるような応用に最適です。

表11-9 アナログ入力端子とADCRnレジスタの対応
(4バッファ・モード (外部トリガ・セレクト4バッファ))

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0-ANI3/ANI8-ANI11	ADCR0 (1回目) ADCR1 (2回目) ADCR2 (3回目) ADCR3 (4回目)
ADTRG信号	ANI4-ANI7/ANI12-ANI15	ADCR4 (1回目) ADCR5 (2回目) ADCR6 (3回目) ADCR7 (4回目)

図11-13 4バッファ・モード (外部トリガ・セレクト4バッファ) の動作例 (ANI10)



11.7.2 スキャン・モードの動作

ADTRG信号をトリガとして、ANI0/ANI8端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果はアナログ入力に対応したADCRnレジスタに格納します（表11 - 10、図11 - 14参照）。

指定したアナログ入力の変換をすべて終了すると、INTAD割り込みを発生してA/D変換を終了します。

ADM0レジスタのCEビットが1の間にADTRG端子にトリガを入力すると、再度A/D変換を起動できます。

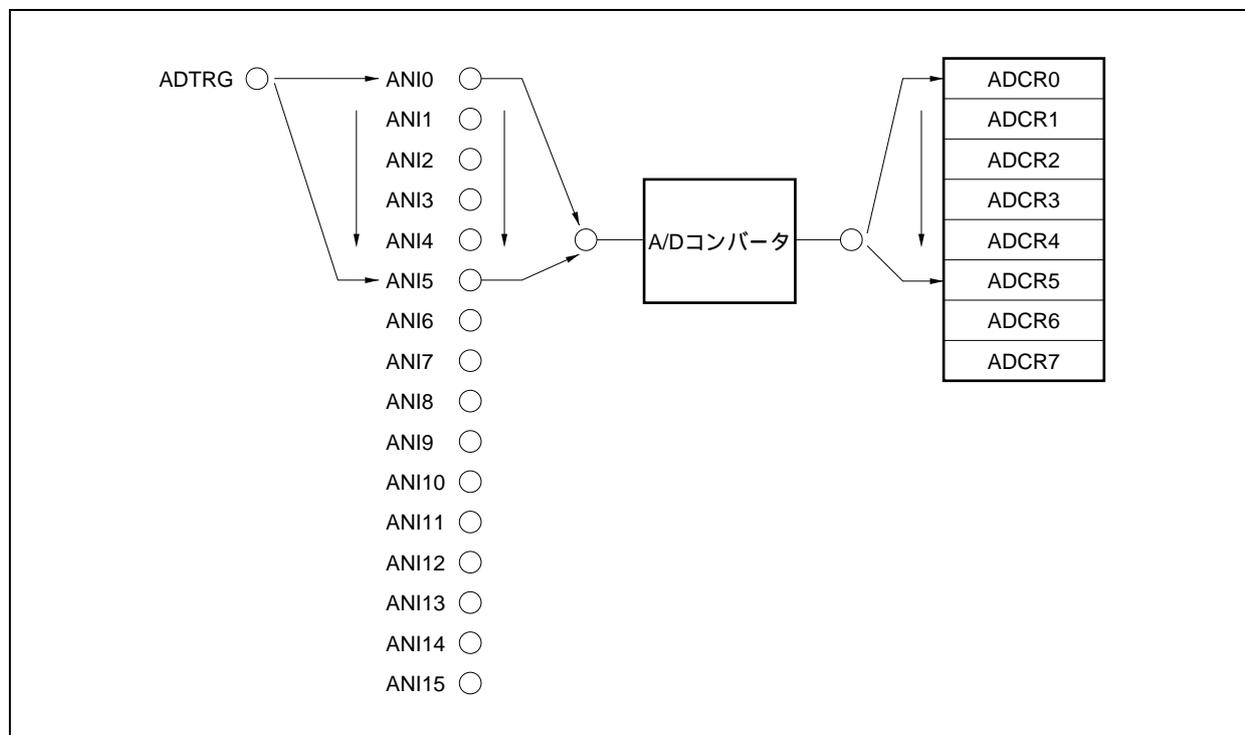
複数のアナログ入力を常時監視するような応用に最適です。

表11 - 10 アナログ入力端子とADCRnレジスタの対応

（スキャン・モード（外部トリガ・スキャン））

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0/ANI8	ADCR0
ADTRG信号	ANI1/ANI9	ADCR1
ADTRG信号	ANI2/ANI10	ADCR2
ADTRG信号	ANI3/ANI11	ADCR3
ADTRG信号	ANI4/ANI12	ADCR4
ADTRG信号	ANI5/ANI13	ADCR5
ADTRG信号	ANI6/ANI14	ADCR6
ADTRG信号	ANI7/ANI15	ADCR7

図11 - 14 スキャン・モード（外部トリガ・スキャン）の動作例（ANI0-ANI5）



11.8 動作上の注意事項

(1) 変換動作の停止

変換動作中にADM0レジスタのCEビットに0を書き込むと変換動作を停止し、ADCRnレジスタへ変換結果を格納しません ($n = 0-7$)。

(2) 外部/タイマ・トリガの間隔

外部またはタイマ・トリガ・モード時のトリガのインターバル(入力時間の間隔)は、ADM1レジスタのFR2-FR0ビットで指定する変換動作時間 + 6CPUクロック以上としてください。

0 < インターバル 変換動作時間の場合

変換動作中に次の外部トリガまたはタイマ・トリガが入力された場合、変換動作を中断し、最後に入力された外部トリガまたはタイマ・トリガに従って変換を開始します。

変換動作を中断した場合、ADCRnレジスタに変換結果を格納しません ($n = 0-7$)。ただしトリガ入力回数はカウントし、割り込みが発生すると、変換が終了した値をADCRnレジスタへ格納します。

(3) スタンバイ・モード時の動作

HALTモード

A/D変換動作を継続します。NMI入力で解除した場合、ADM0, ADM1レジスタとADCRnレジスタは値を保持します ($n = 0-7$)。

IDLEモード, STOPモード

A/Dコンバータへのクロック供給は止まるため、変換動作は行われません。

NMI入力で解除した場合、ADM0, ADM1レジスタとADCRnレジスタは値を保持します ($n = 0-7$)。ただし変換動作中にこれらのモードに設定した場合、変換動作を停止します。このときにNMI入力で解除すると変換動作を再開しますが、ADCRnレジスタに書き込まれる変換結果は不定です。

IDLE, STOPモード時は、消費電力削減のためA/D変換動作も停止しますが、さらに消費電流を削減したい場合は、AVREF端子の電圧をVSSにしてください。

(4) タイマ・トリガ・モード時のコンペア一致割り込み

コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPUに対するコンペア・レジスタの一致割り込みにもなります。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ (CC8IC3) の割り込みマスク・ビット (CC8MK3) で割り込みを禁止してください。

(5) ANI0-ANI15入力範囲について

ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(6) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合

ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。

変換終了時のADCRライトと外部トリガ信号入力の競合

A/D変換中の外部トリガ信号は受け付けません。したがって、ADCRライト中の外部トリガ信号も受け付けません。

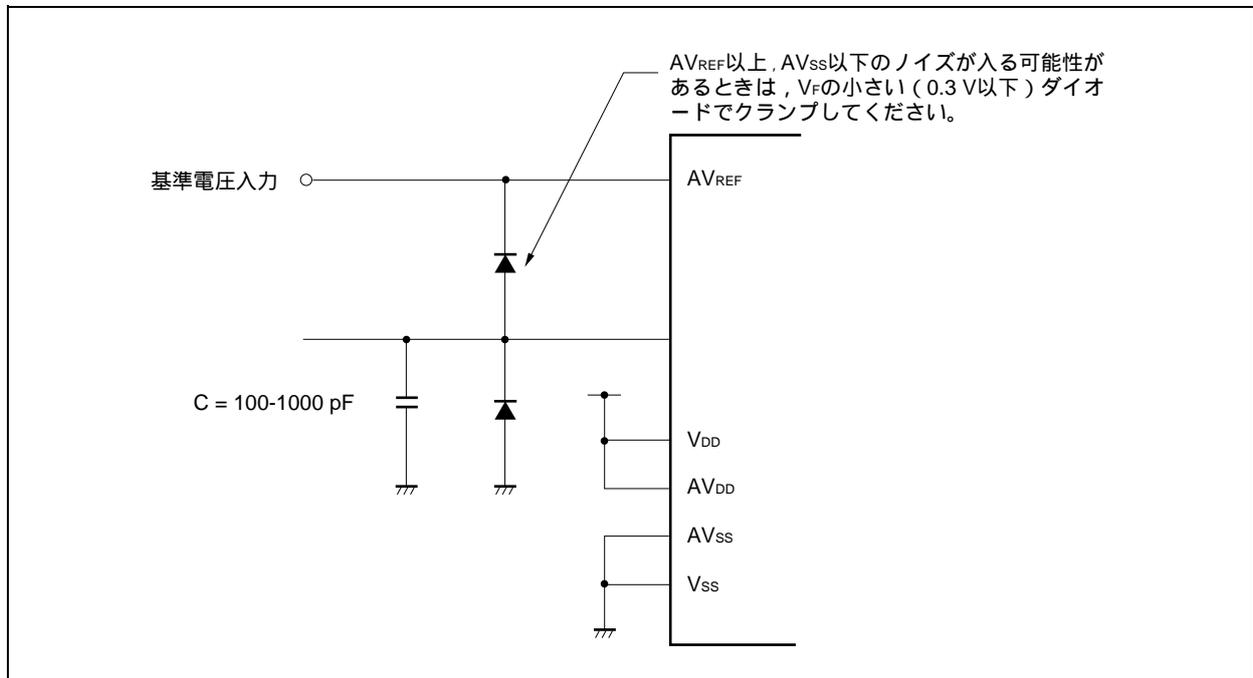
変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ1 (ADM1) ライト、またはアナログ入力チャネル指定レジスタ (ADS) ライトの競合

A/D変換終了後のADCRライト直後に、ADM1またはADSへライトした場合、ADCRレジスタへ変換結果がライトされますが、変換終了割り込み要求信号 (INTAD) を発生しないタイミングがあります。

(7) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-15のようにコンデンサを外付けすることを推奨します。

図11 - 15 アナログ入力端子の処理



(8) ANI0-ANI15

アナログ入力 (ANI0-ANI15) 端子はポート端子と兼用になっています。

ANI0-ANI15のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(9) AV_{REF}端子の入力インピーダンスについて

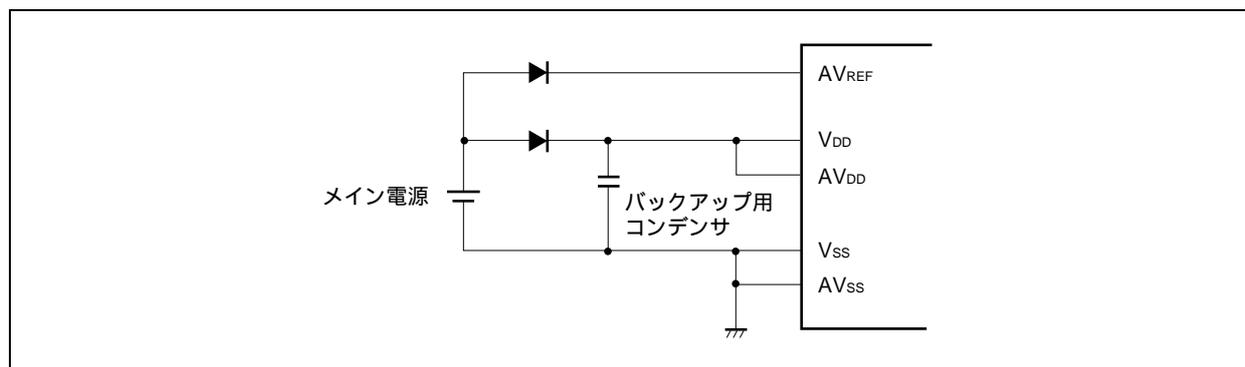
AV_{REF}端子とAV_{SS}端子の間には直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

(10) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI15の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図11-16のように必ずV_{DD}端子と同レベルの電位を印加してください。

図11-16 AV_{DD}端子の処理

★ 11.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF} - 0) / 100 \\ &= AV_{REF} / 100 \end{aligned}$$

1LSBは分解能10ビットのとき、次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098 \%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

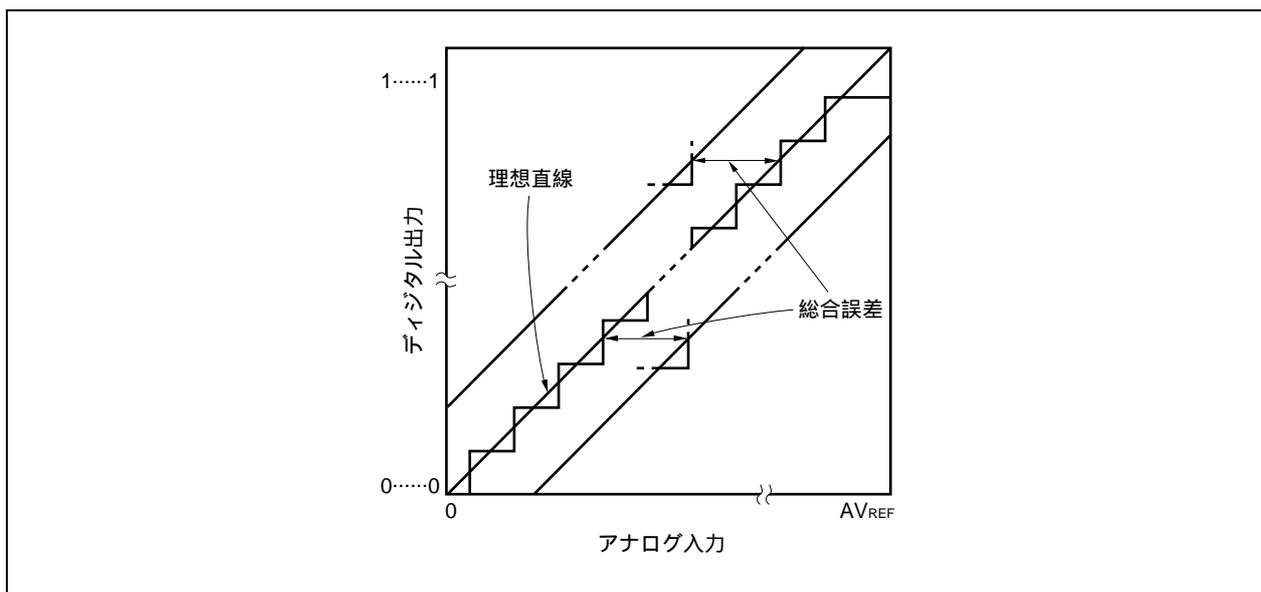
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図11 - 17 総合誤差

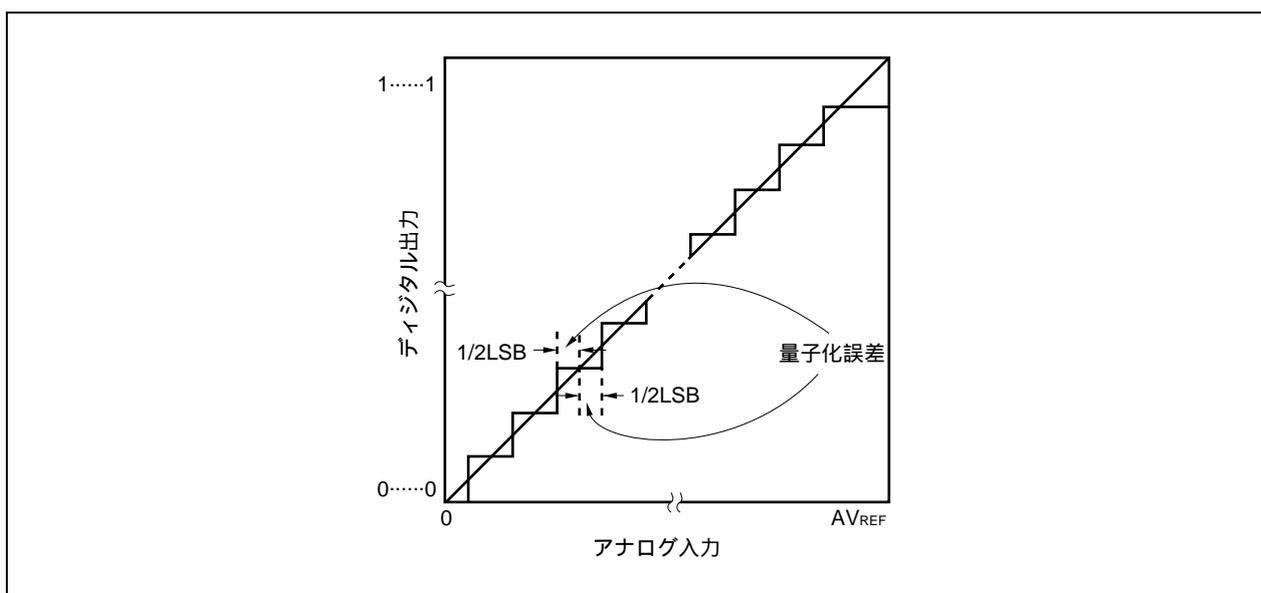


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

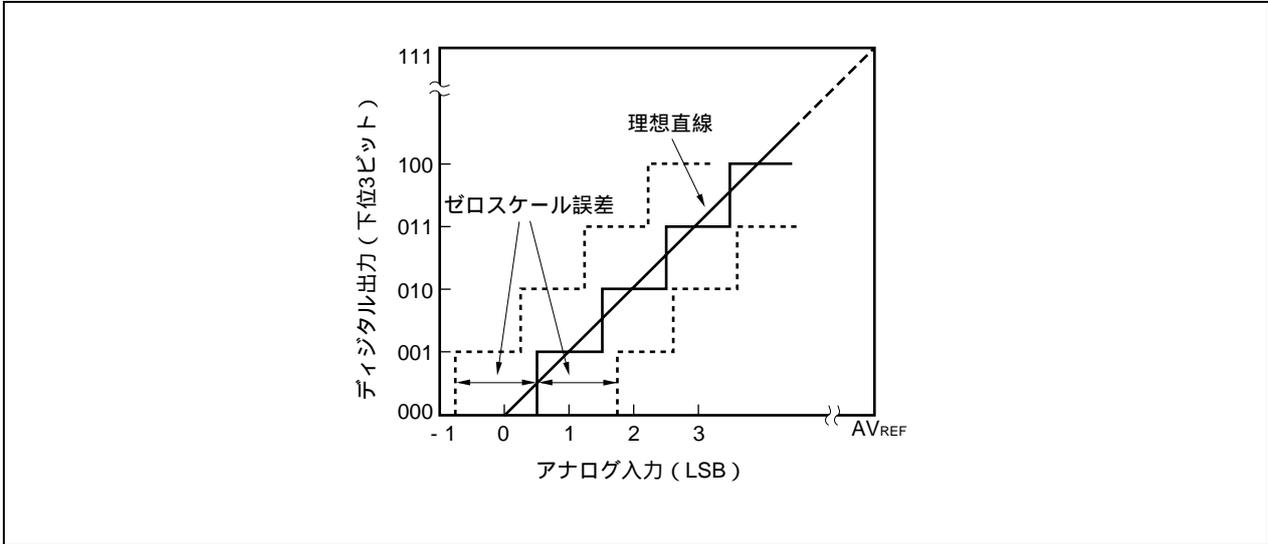
図11 - 18 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。

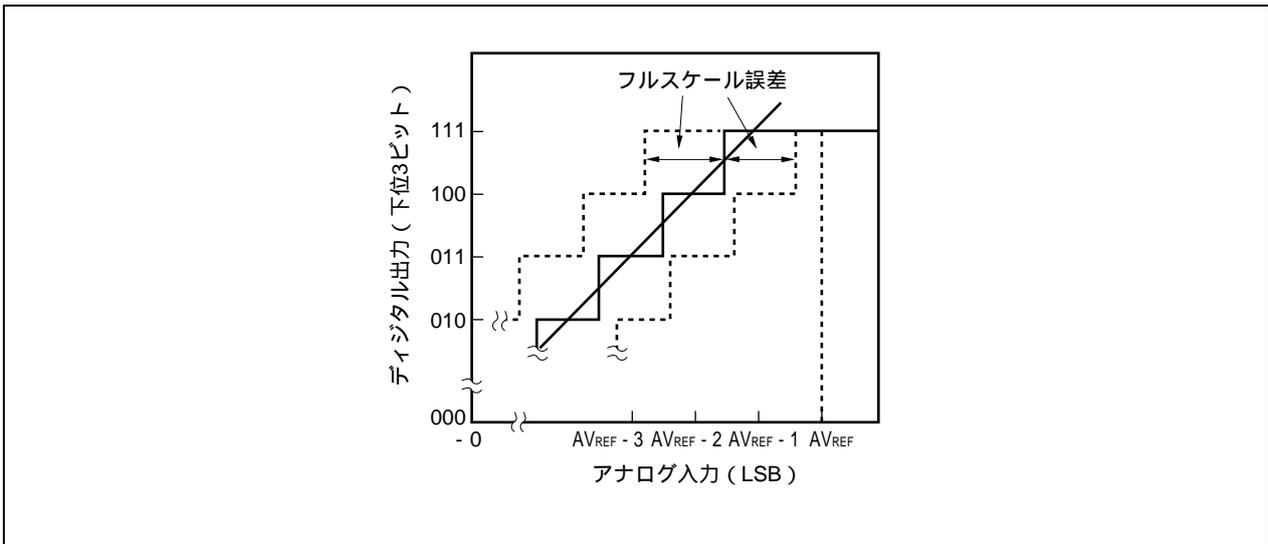
図11 - 19 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2LSB) との差を表します。

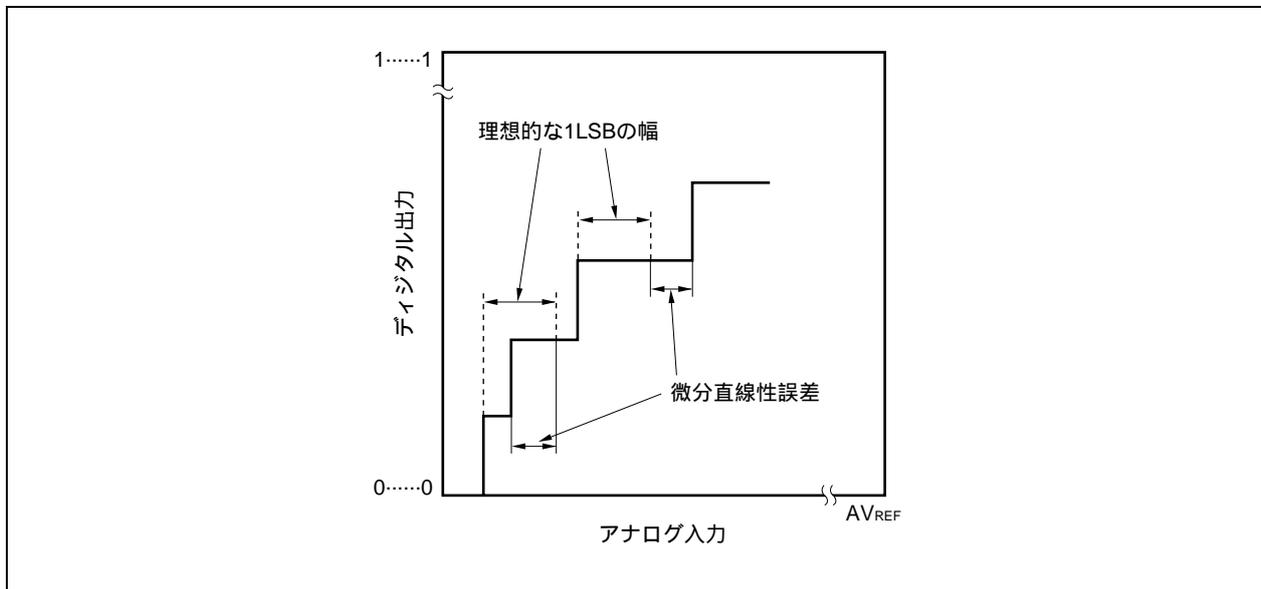
図11 - 20 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

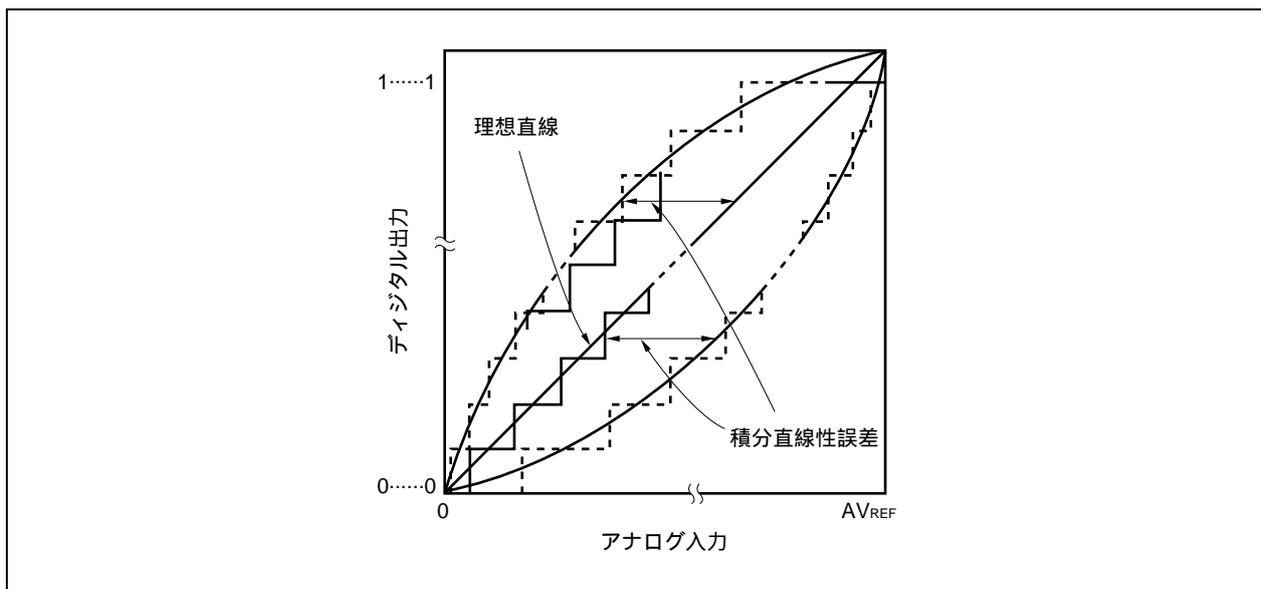
図11 - 21 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図11 - 22 積分直線性誤差

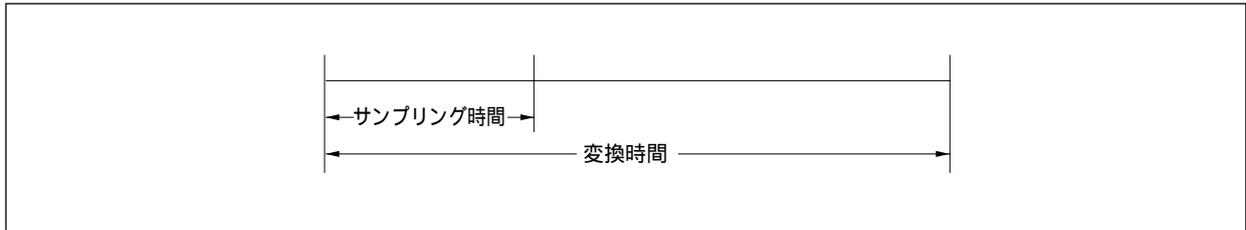


(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図11 - 23 サンプリング時間

第12章 DMA機能

12.1 機能

V850/SV1にはDMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を6チャンネル内蔵しています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ) からの起動要因に基づいて、内蔵RAMと内蔵周辺I/O間でデータ転送を行います。

12.2 特徴

DMAチャンネル : 6チャンネル

転送単位 : 8/16ビット

最大転送回数 : 256回 (8ビット単位転送時)

転送モード : シングル転送

転送クロック : MIN. 4クロック ($4 \times f_{CPU}$)

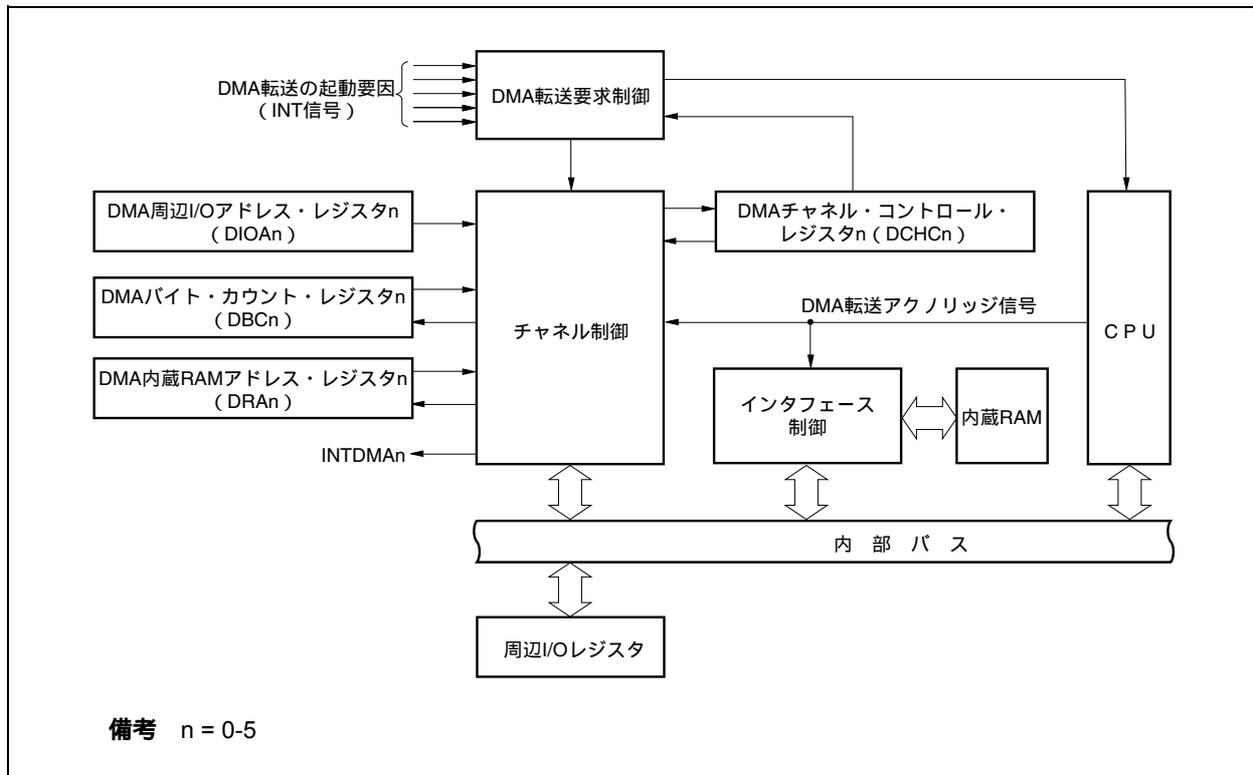
転送要求 : 内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ) からの割り込みによる要求

転送対象 : 内蔵RAM 周辺I/O

備考 f_{CPU} : CPUクロック

★ 12.3 構成

図12 - 1 DMAのブロック図



(1) DMA転送要求制御部

所望のDMA転送の起動要因(INT信号)が入力されると, CPUに対してDMA転送要求信号を発生します。

CPUはDMA転送要求信号を受け付けると, 現在のCPU処理終了後に, チャンネル制御部, インタフェース制御部に対してDMA転送アクリッジ信号を発生します。

INT信号は12. 4. 4 DMAチャンネル・コントロール・レジスタ0-5 (DCHC0-DCHC5) のTTYPn1, TTYPn0ビットを参照してください。

(2) チャンネル制御部

転送対象となるDMA転送チャンネルn (DMA0-DMA5) を判別し, チャンネルnの各周辺I/Oレジスタで設定した転送対象となる内蔵RAMや周辺I/Oアドレスやアクセス・サイクル(内蔵RAM: 1クロック, 周辺I/Oレジスタ: 3クロック), 転送方向, 転送回数を制御します。また同時に複数のDMA_n転送要求(INT信号)が発生した場合の優先順位も制御します。

12.4 制御レジスタ

12.4.1 DMA周辺I/Oアドレス・レジスタ0-5 (DIOA0-DIOA5)

DMAチャンネルnの周辺I/Oレジスタのアドレスを設定します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DIOA0 FFFFF180H DIOA3 FFFFF1B0H
 DIOA1 FFFFF190H DIOA4 FFFFF1C0H
 DIOA2 FFFFF1A0H DIOA5 FFFFF1D0H

	15	14	13	12	11	10	9		1	0
DIOAn	0	0	0	0	0	0	IOAn9-IOAn1			0

(n = 0-5)

注意 DIOAnでは次に示す周辺I/Oレジスタのアドレスを設定しないでください。

P4, P5, P6, P9, P11, PM4, PM5, PM6, PM9, PM11, MM, DWC, BCC, SYC, PSC, PCC, SYS, PRCMD, DIOAm, DRAm, DBCn, DCHCm, CORCN, CORRQ, CORADm, xxICx(**割り込み制御レジスタ**), ISPR, TM8, CC8m, TMC8a, TOC8, TOVS, TM9, CM90, CM91, CP9m, TMC90, TMC91, EDVa, EDVCa, EVS (n : 0-5, m : 0-3, a : 0-2, x : 5. 3. 4 **割り込み制御レジスタ (xxICn) 参照**)

12.4.2 DMA内蔵RAMアドレス・レジスタ0-5 (DRA0-DRA5)

DMAチャンネルnの内蔵RAMのアドレスを設定します。DCHCnレジスタのDADnビット = 0のとき、1回の転送ごとにアドレスをインクリメント(8ビット転送時は“1”インクリメント、16ビット転送時は“2”インクリメント)します(n = 0-5)。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DRA0 FFFFF182H DRA3 FFFFF1B2H
 DRA1 FFFFF192H DRA4 FFFFF1C2H
 DRA2 FFFFF1A2H DRA5 FFFFF1D2H

	15	14	13							0
DRAAn	0	0	RAn13-RAn0							

(n = 0-5)

図12 - 2 DRAnの設定値と内蔵RAM領域の対応 (μPD703039, 703039Y, 703041, 703041Y)

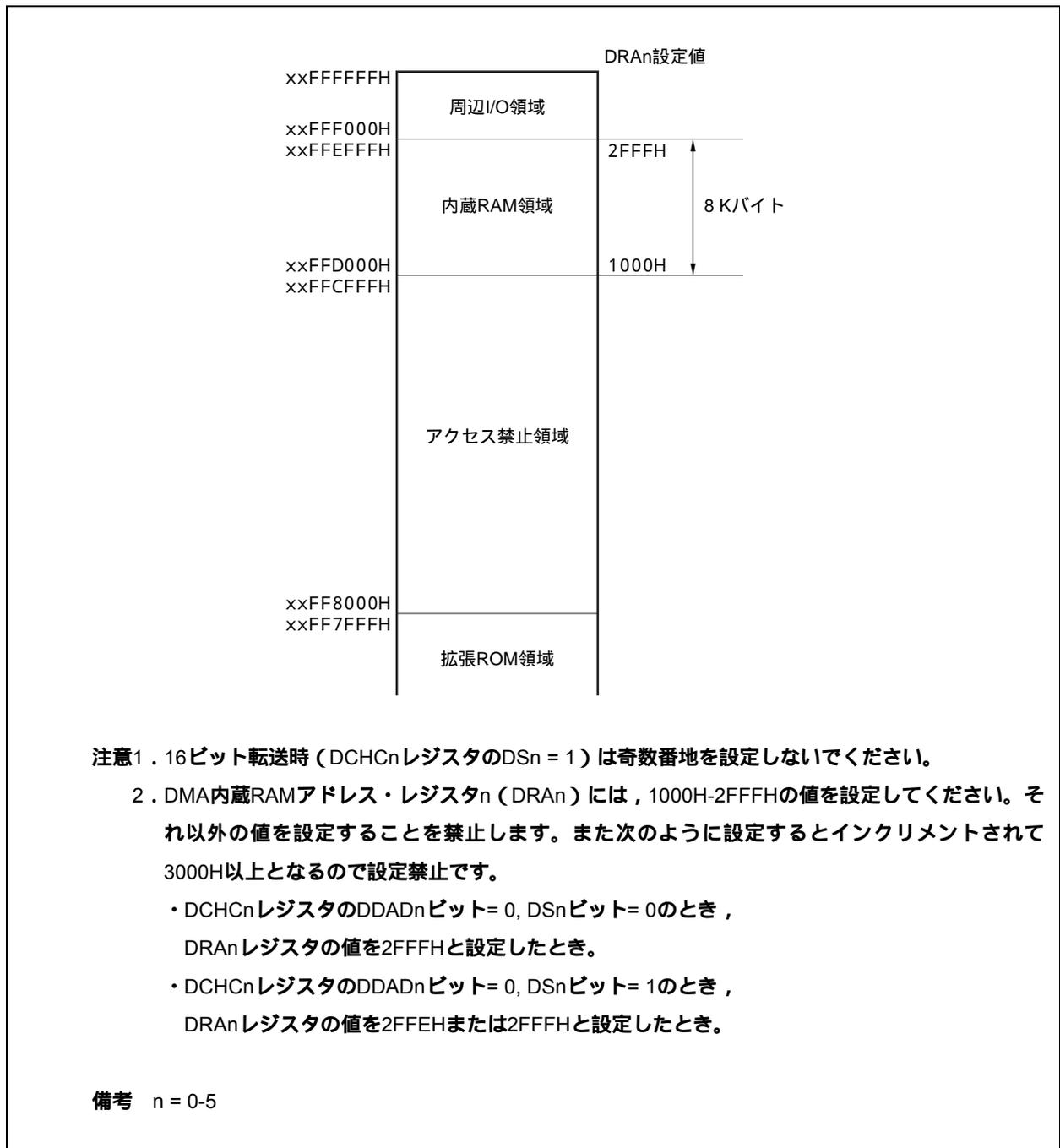
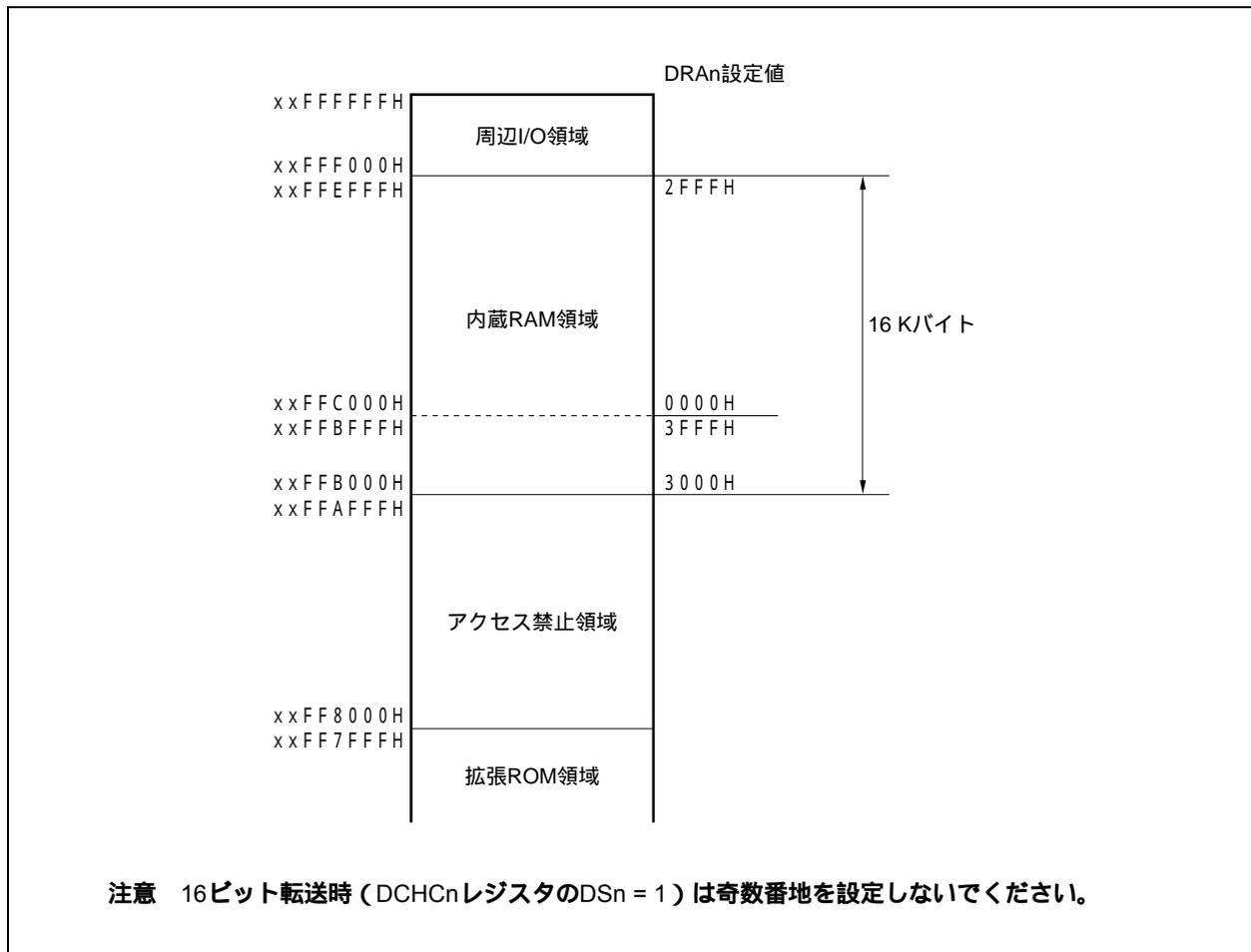


図12 - 3 DRAnの設定値と内蔵RAM領域の対応 (μPD703038, 703038Y, 703040, 703040Y, 70F3038, 70F3038Y, 70F3040, 70F3040Y)



12.4.4 DMAチャンネル・コントロール・レジスタ0-5 (DCHC0-DCHC5)

DMAチャンネルnのDMA転送動作モードを制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

(1/2)

リセット時：00H R/W アドレス：DCHC0 FFFFF186H DCHC3 FFFFF1B6H
 DCHC1 FFFFF196H DCHC4 FFFFF1C6H
 DCHC2 FFFFF1A6H DCHC5 FFFFF1D6H

	⑦	6	⑤	4	3	②	①	①
DCHCn (n = 0-5)	TCn	0	DDADn	TTYPn1	TTYPn0	TDIRn	DSn	ENn

TCn	DMA転送の終了 / 未終了 ^{注1}
0	未終了
1	終了

DDADn	内蔵RAMアドレスのカウント方向制御
0	インクリメント
1	アドレス固定

チャンネルn	TTYPn1	TTYPn0	DMA転送の起動要因の設定
0	0	0	INTCSI0/INTIIC0 ^{注2}
	0	1	INTCSI1/INTSR0
	1	0	INTAD
	1	1	INTTM00
1	0	0	INTCSI0/INTIIC0 ^{注2}
	0	1	INTST0
	1	0	INTP6
	1	1	INTTM10
2	0	0	INTCSI1/INTSR0
	0	1	INTP0
	1	0	INTCP80/INTCM80
	1	1	INTAD
3	0	0	INTCSI3/INTSR1
	0	1	INTCSI2
	1	0	INTCM90
	1	1	INTTM4

注1．指定した転送回数が終了するとセット（1）されます。書き込み命令でクリアされます。

2．INTIIC0は、μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

チャンネルn	TTYPn1	TTYPn0	DMA転送の起動要因の設定
4	0	0	INTST1
	0	1	INTCSI4
	1	0	INTAD
	1	1	INTTM2
5	0	0	INTCSI3/INTSR1
	0	1	INTCSI4
	1	0	INTCSI2
	1	1	INTTM6

TDIRn	周辺I/O 内蔵RAMの転送方向の制御 ^{注1}
0	内蔵RAM 周辺I/O
1	周辺I/O 内蔵RAM

DSn	DMA転送での転送データ・サイズの制御 ^{注1}
0	8ビット転送
1	16ビット転送

ENn	DMA転送の許可 / 禁止の制御 ^{注2}
0	禁止
1	許可 (DMA転送終了後はリセット“0”)

- 注1．転送フォーマットは、DMA周辺I/Oアドレス・レジスタ (DIOAn) で指定した周辺I/Oレジスタの仕様 (アクセス可能なデータ・サイズ、リード/ライト) にあわせてください。
- 2．指定した転送回数が終了後、0にクリアされます。

★ 12.5 動作

V850/SV1のDMAコントローラはシングル転送モードのみ対応しています。

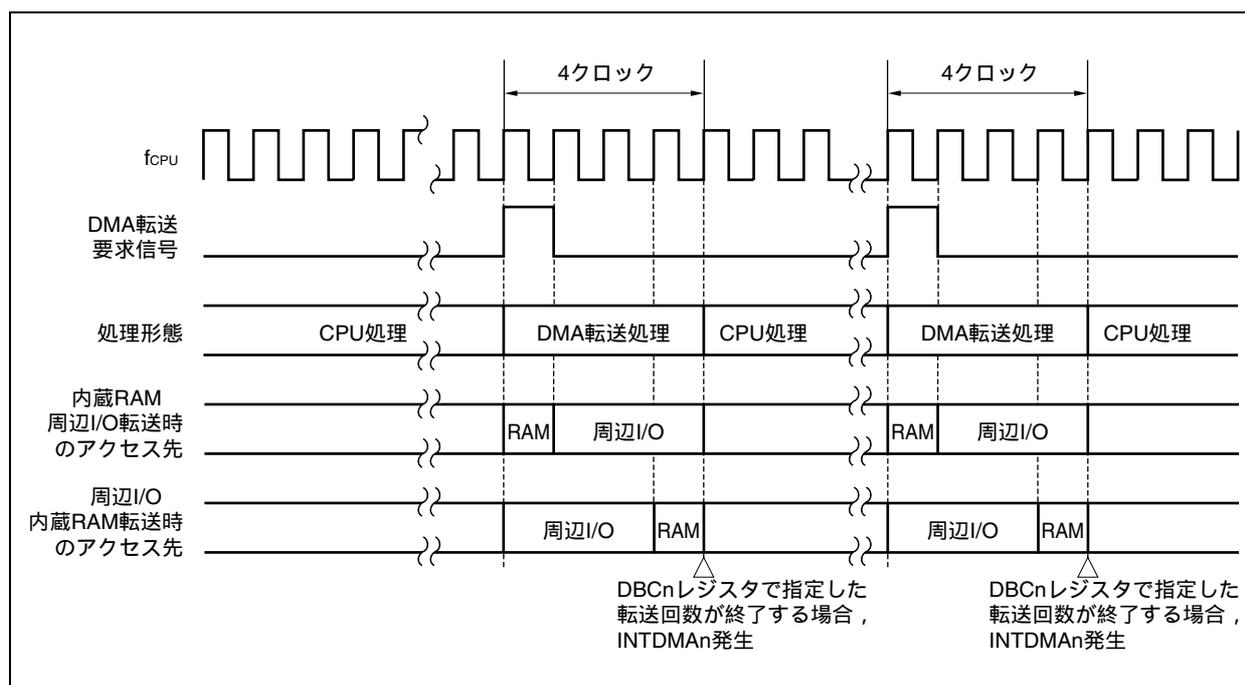
CPU処理中にDMA転送要求 (INTxxx: 12.4.4 DMAチャンネル・コントロール・レジスタ0-5 (DCHC0-DCHC5) 参照) が発生すると、現在のCPU処理終了後に1回のDMA転送を開始します。1回のDMA転送には、転送方向によらずCPUクロック (f_{CPU}) の4クロックを必要とします。その内訳は次のとおりです。

- ・内蔵RAMアクセス : 1クロック
- ・周辺I/Oアクセス : 3クロック

1回のDMA転送 (8/16ビット) が終了すると、必ずCPU処理に移行し、次のDMA転送要求 (INTxxx) が発生するのを待ちます。指定した転送回数のデータ転送が終了したあと、DMAチャンネル・コントロール・レジスタ (DOCHn) のTCnビットが“1”になると、割り込みコントローラに対して各チャンネルごとにDMA転送終了割り込み要求 (INTDMA0-INTDMA5) が発生します。

次にDMA転送動作のタイミング図を示します。

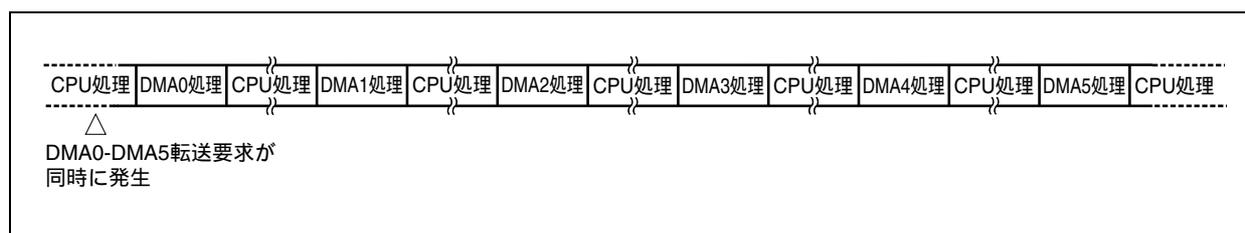
図12-4 DMA転送動作のタイミング図



同時に複数のDMA転送要求が発生した場合、DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5の優先順位でDMA転送要求を行います。優先順位の高いDMA転送要求を実行中、優先順位の低いDMA転送要求は保留されます。優先順位の高いDMA転送が終了したあとに、必ずCPU処理にいったん移行し、そのCPU処理終了後に優先順位の高いDMA転送要求を行います。

次に同時にDMA0-DMA5転送要求が発生した場合の処理を示します。

図12 - 5 DMA0-DMA5転送要求が同時に発生した場合の処理



DMA動作が停止するのは、IDLE/STOPモード時のみです。HALTモード時はDMA動作を継続します。また、バス・ホールド期間中もDMA動作を行い、外部メモリにアクセスした後もDMA動作を行います。

★ 12.6 注 意

- ・ DMA機能を使用している場合、EI状態で割り込み制御レジスタ (xxICn) をビット操作するとき、操作前にDI命令、操作後にEI命令を行ってください。または、割り込みルーチンの先頭で、xxIFnビットをクリア (0) してください (DMA機能を使用しない場合には、このような操作をする必要はありません)。
- ・ 割り込み要求信号が外部クロックに同期して発生する場合、その割り込み要求信号を同時に複数のDMA起動トリガに設定することは禁止です。設定した場合、DMAの優先順位が逆転する可能性があります。

備考 xx : 各周辺ユニット識別名称 (WDT, P, WTN, OV, CC8, CC9, CM9, TM, CS, SER, ST, AD, DMA, WTN, IIC, KR)
n : 周辺ユニット番号 (表5 - 2参照)

第13章 リアルタイム出力機能 (RTO)

13.1 機 能

V850/SV1は、リアルタイム出力バッファ・レジスタ n (RTBL n , RTBH n) にあらかじめ設定したデータを、外部割り込みまたは外部トリガの発生と同時にハードウェアで出力ラッチに転送して、外部に出力するリアルタイム出力機能 (RTO) を内蔵しています。

RTOを使用することにより、ジッタのない信号が出力できますので、ステッピング・モータなどの制御に最適です。

図13 - 1にRTOのブロック図を示します。

備考 $n = 0, 1$

13.2 特 徴

8ビットのリアルタイム出力ユニット

ポート・モードとリアルタイム出力モードを1ビット単位で選択可能

チャンネル数 : 8ビット×2チャンネル (各チャンネルは8ビット×1チャンネル / 4ビット×2チャンネルを選択可能)

トリガ信号 : チャンネル0

外部割り込み : RTPTRG0

内部割り込み : INTTM4, INTCM90

: チャンネル1

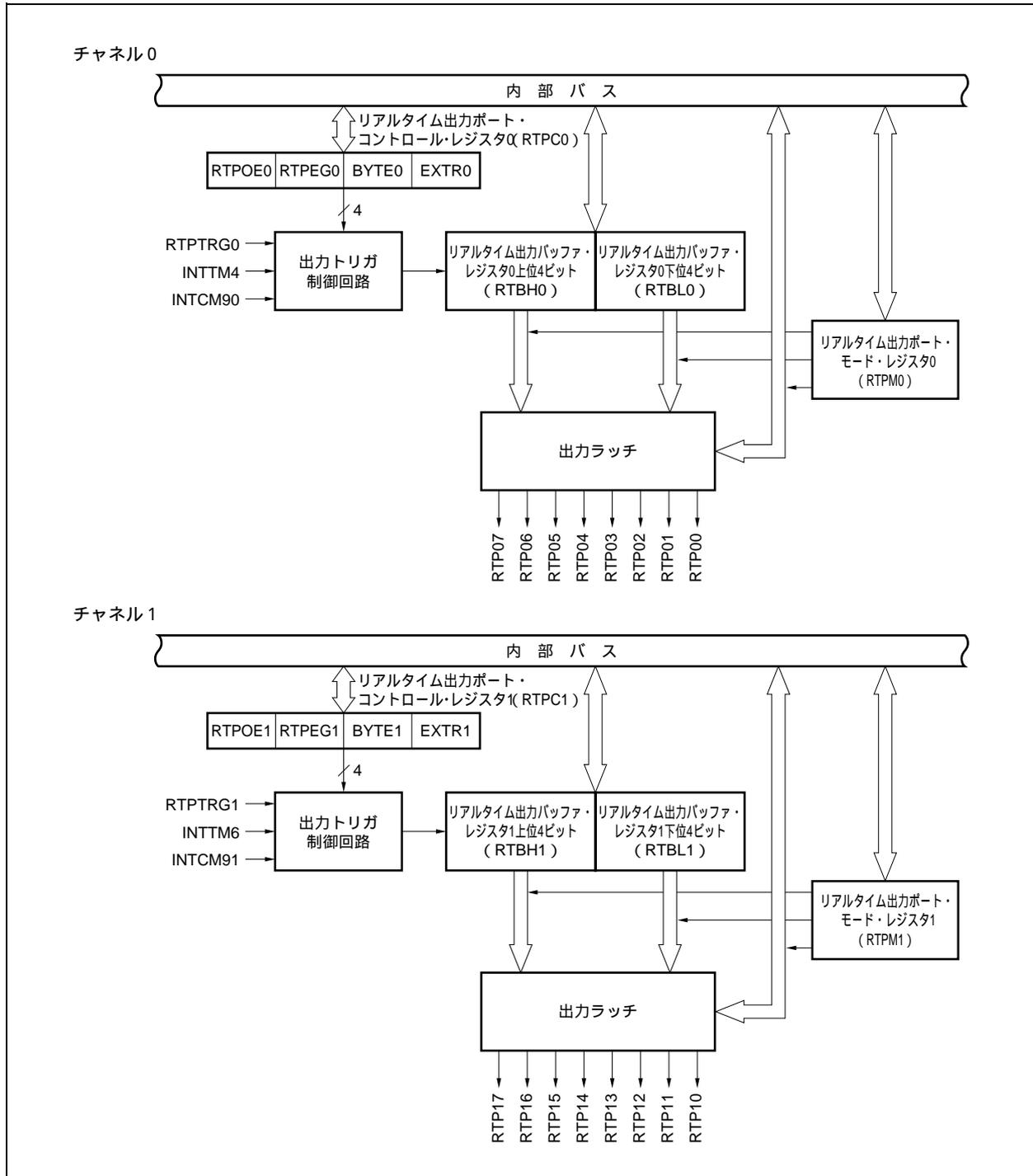
外部割り込み : RTPTRG1

内部割り込み : INTTM6, INTCM91

各チャンネルから3本から選択可能

13.3 構成

図13-1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表13 - 1 RTOの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ _n (RTBL _n , RTBH _n)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ _n (RTPM _n) リアルタイム出力ポート・コントロール・レジスタ _n (RTPC _n)

備考 n = 0, 1

(1) リアルタイム出力バッファ・レジスタ_n (RTBL_n, RTBH_n)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL_n, RTBH_nは図13 - 2に示すように特殊機能レジスタ (SFR) 領域内でそれぞれ独立したアドレスにマッピングされています。

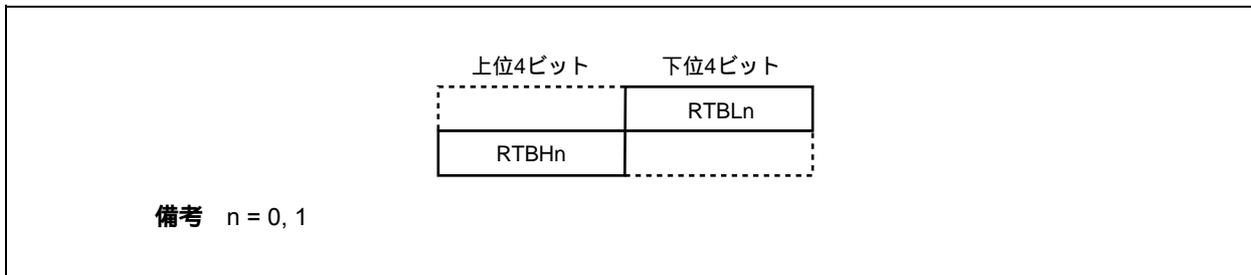
4ビット×2チャンネルの動作モードを指定したときは、RTBL_n, RTBH_nはそれぞれ独立にデータを設定できます。また、RTBL_n, RTBH_nのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

8ビット×1チャンネルの動作モードを指定したときは、RTBL_n, RTBH_nのどちらか一方に8ビット・データを書き込むことにより、RTBL_n, RTBH_nそれぞれにデータを設定できます。また、RTBL_n, RTBH_nのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

図13 - 2にRTBL_n, RTBH_nの構成を、表13 - 2にRTBL_n, RTBH_nに対する操作時の動作を示します。

備考 n = 0, 1

図13 - 2 リアルタイム出力バッファ・レジスタ_nの構成



備考 n = 0, 1

表13 - 2 リアルタイム出力バッファ・レジスタ_nに対する操作時の動作

動作モード	操作対象 レジスタ	リード時 ^{注1}		ライト時 ^{注2}	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャンネル	RTBL _n	RTBH _n	RTBL _n	無効	RTBL _n
	RTBH _n	RTBH _n	RTBL _n	RTBH _n	無効
8ビット×1チャンネル	RTBL _n	RTBH _n	RTBL _n	RTBH _n	RTBL _n
	RTBH _n	RTBH _n	RTBL _n	RTBH _n	RTBL _n

- 注1. リアルタイム出力ポート・モード・レジスタ_n (RTPM_n) に指定したビットのみ読み出しができません。
ポート・モードに指定したビットに対してリードした場合は、0を読み出します。
2. リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL_n, RTBH_nに出力データを設定してください。

備考 n = 0, 1

(2) 出力ラッチ

リアルタイム出力バッファ・レジスタで設定した値がリアルタイム出力ポート・トリガ発生によりハードウェア的に転送される出力ラッチです。出力ラッチはリード不可です。

リアルタイム出力ポートに指定したポートは出力ラッチにデータを設定できません。リアルタイム出力ポートの初期値を設定する場合は、リアルタイム出力ポート・モードに設定する前にポート・モード時に出力ラッチにデータを設定する必要があります (13.5 使用方法参照)。

13.4 制御レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ0, 1 (RTPM0, RTPM1)
- ・リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC0, RTPC1)

(1) リアルタイム出力ポート・モード・レジスタ0, 1 (RTPM0, RTPM1)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

RTPMnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF234H, FFFFFFF23CH

	7	6	5	4	3	2	1	0
RTPMn	RTPMn7	RTPMn6	RTPMn5	RTPMn4	RTPMn3	RTPMn2	RTPMn1	RTPMn0

RTPMm	リアルタイム出力ポートの選択 (m = 0-7)
0	ポート・モード
1	リアルタイム出力ポート・モード

- 注意1.** リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モードに設定してください。
- 2.** リアルタイム出力ポートに指定したポートは、出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください (13.5 使用方法参照)。

備考 n = 0, 1

(2) リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC0, RTPC1)

リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表13 - 3に示すような関係があります。

RTPCnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

リセット時：00H R/W アドレス：FFFFFF236H, FFFFFFF23EH

	⑦	⑥	⑤	④	3	2	1	0
RTPCn	RTPOEn	RTPEGn	BYTEn	EXTRn	0	0	0	0

RTPOEn	リアルタイム出力ポートの動作制御
0	動作禁止 ^注
1	動作許可

RTPEGn	RTPTRGn信号の有効エッジ
0	立ち下がりエッジ
1	立ち上がりエッジ

BYTEn	リアルタイム出力ポートの動作モード
0	4ビット×2チャンネル
1	8ビット×1チャンネル

EXTRn	RTPTRGn信号によるリアルタイム出力の制御
0	RTPTRGnをリアルタイム出力トリガにしない
1	RTPTRGnをリアルタイム出力トリガにする

注 リアルタイム出力動作禁止 (RTPOEn = 0) の場合，RTPn0-RTPn7は“0”を出力します。

備考 n = 0, 1

表13 - 3 リアルタイム出力ポートの動作モードと出力トリガ (チャンネル0)

BYTE0	EXTR0	動作モード	RTBH0 ポート出力	RTBL0 ポート出力
0	0	4ビット×2チャンネル	INTTM4	INTCM90
	1		INTCM90	RTPTRG0
1	0	8ビット×1チャンネル	INTCM90	
	1		RTPTRG0	

表13 - 4 リアルタイム出力ポートの動作モードと出力トリガ (チャンネル1)

BYTE1	EXTR1	動作モード	RTBH1 ポート出力	RTBL1 ポート出力
0	0	4ビット×2チャンネル	INTTM6	INTCM91
	1		INTCM91	RTPTRG1
1	0	8ビット×1チャンネル	INTCM91	
	1		RTPTRG1	

★ 13.5 使用方法

(1) リアルタイム出力動作を禁止する。

リアルタイム出力ポート・コントロール・レジスタ n (RTPC n) のビット7 (RTPOEn) = 0に設定。

(2) 初期設定

(i) リアルタイム出力ポートに最初に出力する値をポート10, ポート15の出力ラッチに設定する。

(ii) PM10, PM15を出力モードに設定する。

(iii) 1ビット単位でリアルタイム出力ポート・モードかポート・モードかを指定する。

リアルタイム出力ポート・モード・レジスタ n (RTPM n) を設定。

(iv) トリガおよび有効エッジを選択する。

RTPC n のビット4, 5, 6 (EXTR n , BYTE n , RTPEG n) を設定。

(v) (i)と同じ値をリアルタイム出力バッファ・レジスタ n (RTBH n , RTBL n) に設定する。

(3) リアルタイム出力動作を許可する。

RTPOEn = 1に設定。

(4) 選択した転送トリガが発生するまでに, ポート10, ポート15の出力ラッチに0を設定し, 次の出力をRTBH n , RTBL n に設定する。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH n , RTBL n に設定する。

備考 $n = 0, 1$

13.6 動作

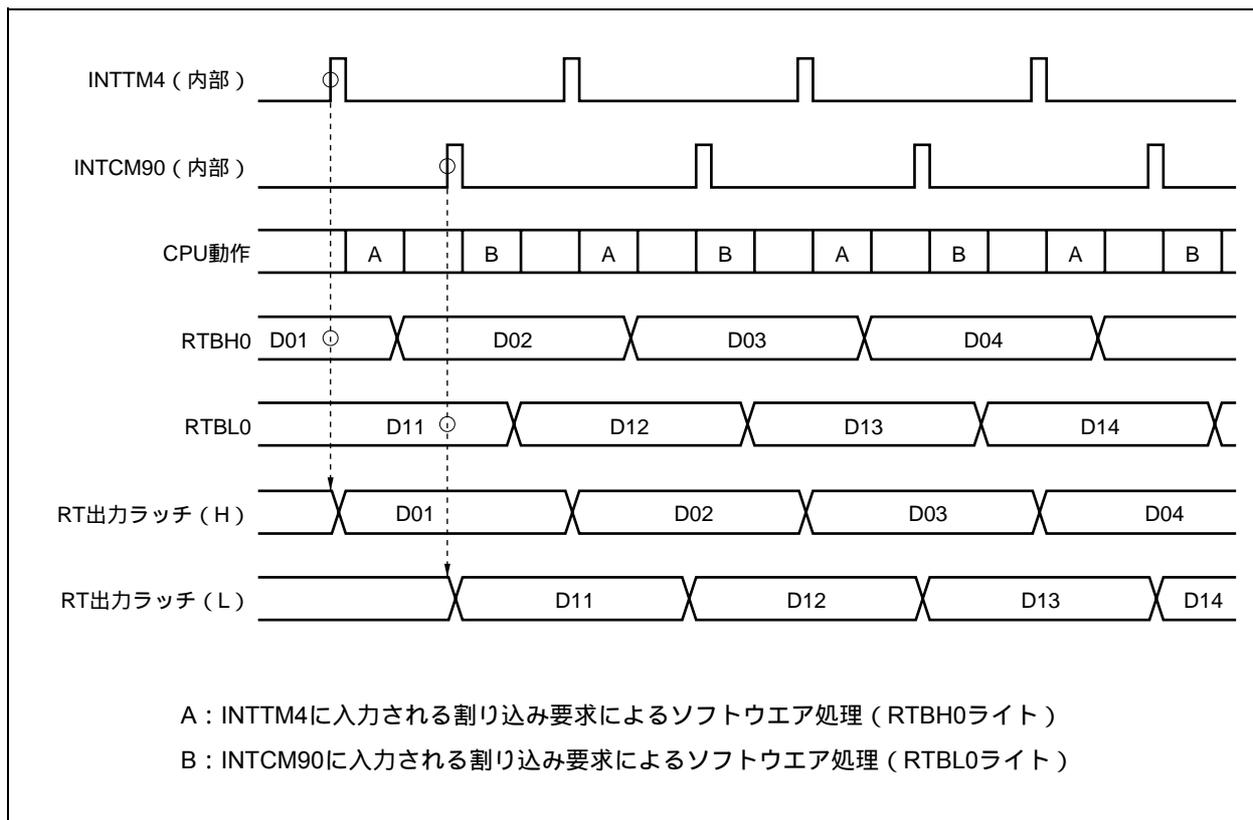
リアルタイム出力ポート・コントロール・レジスタ n (RTPC n) のビット7 (RTPOEn) = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (EXTR n とBYTE n で設定^注) の発生に同期して、リアルタイム出力バッファ・レジスタ (RTBH n , RTBL n) のデータを出力ラッチに転送します。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ n (RTPM n) の設定により、リアルタイム出力ポートに指定されたビットのデータのみをRTP0 n -RTP7 n のそれぞれのビットから出力します。RTPM n でポート・モードに指定されたビットは0を出力します。

RTPOEn = 0でリアルタイム出力動作を禁止した場合は、RTPM n の設定に関係なくRTP0 n -RTP7 n は0を出力します。

注 EXTR n : リアルタイム出力ポート・コントロール・レジスタ n (RTPC n) のビット4
 BYTE n : " のビット5

備考 $n = 0, 1$

図13-3 RTOの動作タイミング例 (EXTR0 = 0, BYTE0 = 0の場合)



13.7 注意事項

- (1) 初期設定は、リアルタイム出力ポート・コントロール・レジスタ n (RTPC n) のビット7 (RTPOEn) を0にし、リアルタイム出力動作を禁止してから行ってください。
- (2) 一度リアルタイム出力動作を禁止 (RTPOEn = 0) した場合は、リアルタイム出力動作を許可 (RTPOEn = 0 1) する前に、必ず出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ (RTBH n , RTBL n) に設定してください。
- (3) 次に示す信号の競合が発生した場合には動作保証ができません。ソフトウェアにより競合回避を行ってください。

- ・RTPモード ポート・モードの切り替え (RTPOEn = 1) と選択したリアルタイム出力ポート・トリガの有効エッジとの競合

- ・RTPモードにおけるRTBH n , RTBL n の書き込みと選択したリアルタイム出力ポート・トリガの有効エッジとの競合

備考 $n = 0, 1$

第14章 PWM機能

14.1 概要

PWMn : 4チャンネル

12-16ビットPWM出力ポート

主パルス + 付加パルス構成

主パルス 4/5/6/7/8ビット

付加パルス 8ビット

繰り返し周波数 : 78 kHz · 1.2 MHz ($f_{PWMC} = 20$ MHz時 $f_{PWMC} =$ PWM動作クロック周波数)

パルス幅書き換え周期選択 : 1パルスごと / 256パルスごと

PWM出力パルスのアクティブ・レベル選択可能

動作クロック : f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$ から選択可能 (f_{xx} はメイン・クロック周波数)

備考 n = 0-3

14.2 構成

PWMnの出力回路の構成は図14 - 1に示します。

(1) プリスケーラ

f_{xx} を分周し, PWM動作クロック (f_{PWMC}) を生成します。プリスケーラ出力はPWPRnレジスタのPWPn0, PWPn1ビットで選択します。

(2) リロード制御

xビット・ダウン・カウンタと8ビット・カウンタのモジュロ値のリロードを制御します。

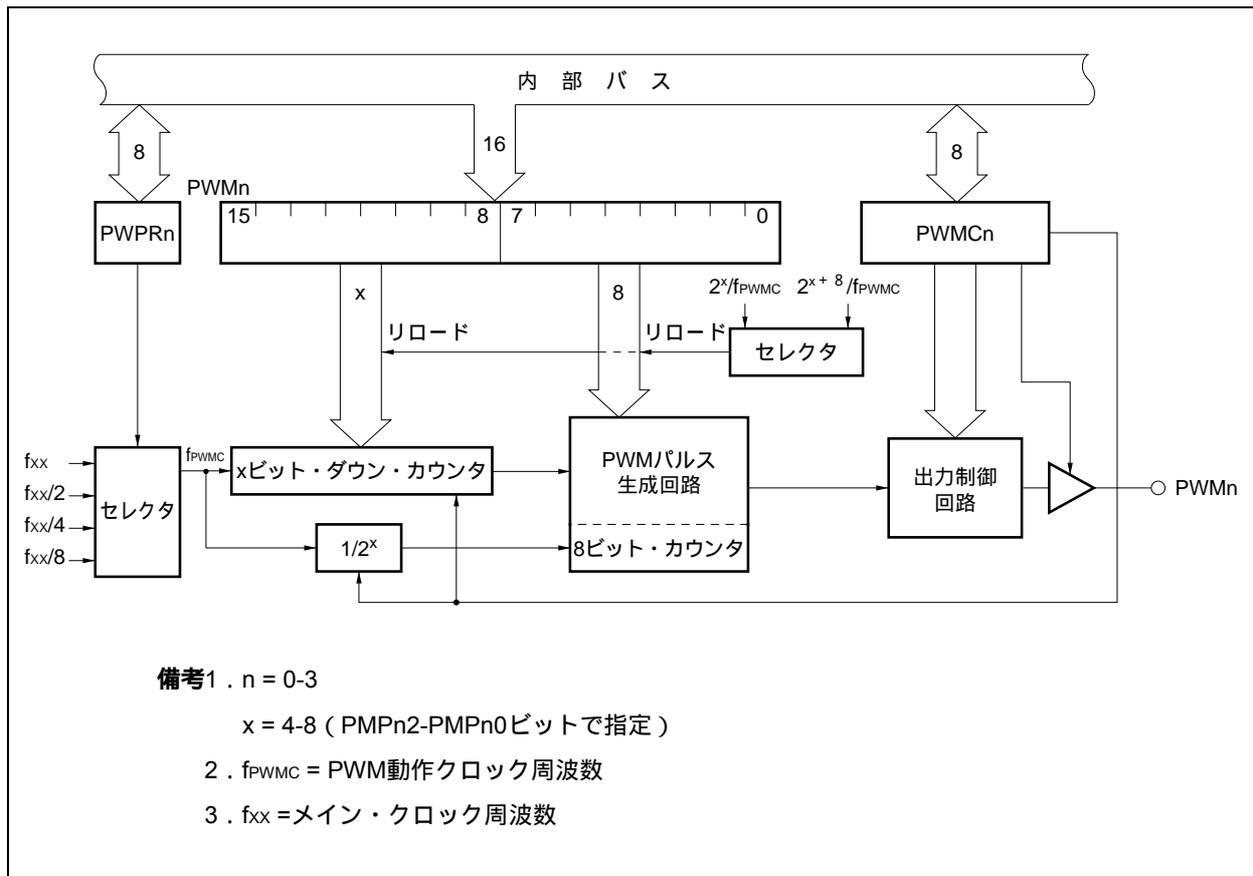
リロード・タイミング (PWMパルス幅書き換え周期) はPWMcnレジスタのSYNnビットで $2^x/f_{PWMC}$ か $2^{x+8}/f_{PWMC}$ を選択します。

(3) xビット・ダウン・カウンタ

主パルスの出力タイミングを制御します。

リロード制御部で生成されるリロード信号により, モジュロHレジスタの値がこのカウンタにロードされ, PWM動作クロック (f_{PWMC}) でデクリメントされます。

図14 - 1 PWM機能のブロック図



14.3 制御レジスタ

(1) PWMコントロール・レジスタ0-3 (PWMC0-PWMC3)

PWMの動作制御，出力のアクティブ・レベル指定，および主パルスのビット長を指定します。

8/1ビット単位でリード/ライト可能です。このレジスタの内容は，PWMの動作中 (PWME_n = 1) も変更できます。

リセット時：05H R/W アドレス：FFFFF0E0H, FFFFF0E8H, FFFFF0F0H, FFFFF0F8H,

PWMC _n	7	6	5	4	3	0	
	PMP _n 2	PMP _n 1	PMP _n 0	0	0	SYN _n	PWME _n

PMP _n 2	PMP _n 1	PMP _n 0	xビット・ダウン・カウンタ (主パルス) のビット長
0	0	0	8ビット
0	0	1	7ビット
0	1	0	6ビット
0	1	1	5ビット
1	0	0	4ビット
その他			設定禁止

SYN _n	PWNパルス幅書き換え周期を指定
0	大周期 (PWM256サイクル (2 ^{x+8} /f _{PWMC}) ごと)
1	小周期 (PWM1サイクル (2 ^x /f _{PWMC}) ごと)

PWME _n	PWMの動作 / 停止
0	動作停止
1	動作中

PALV _n	PWMのアクティブ・レベルを指定
0	アクティブ・ロウ
1	アクティブ・ハイ

備考 n = 0-3

x : PRP_n2-PMP_n0ビットで指定したビット数

(2) PWMプリスケラ・レジスタ0-3 (PWPR0-PWPR3)

PWMの動作クロック (f_{PWM}) を選択するレジスタです。

8/1ビット単位でリード/ライト可能です。このレジスタの内容は、PWM n レジスタのPWME n ビットが0のときに変更してください。PWME n ビットが1のときに変更した場合の動作は保証できません。

リセット時：00H R/W アドレス：FFFFF0E4H, FFFFF0ECH, FFFFF0F4H, FFFF0FCH,

	7	6	5	4	3	2	1	0
PWPR n	0	0	0	0	0	0	PWP n 1	PWP n 0

PWP n 1	PWP n 0	動作クロック (f_{PWM})
0	0	f_{xx}
0	1	$f_{xx}/2$
1	0	$f_{xx}/4$
1	1	$f_{xx}/8$

備考1 . f_{xx} : メイン・クロック周波数

2 . $n = 0-3$

(3) PWMモジュロ・レジスタ0-3 (PWM0-PWM3)

PWMパルスのパルス幅を決定する16ビット・レジスタです。16ビット単位でリード/ライト可能です。このレジスタは、次の2つの部分で構成されています。

モジュロHレジスタ (ビット8-ビット15)

PWM n レジスタのPMP n 2-PMP n 0ビットで指定したビット数を示します。この値が、主パルスを生成するときの精度になります。また、パルス幅書き換え時間は、このレジスタのビット数に依存します。

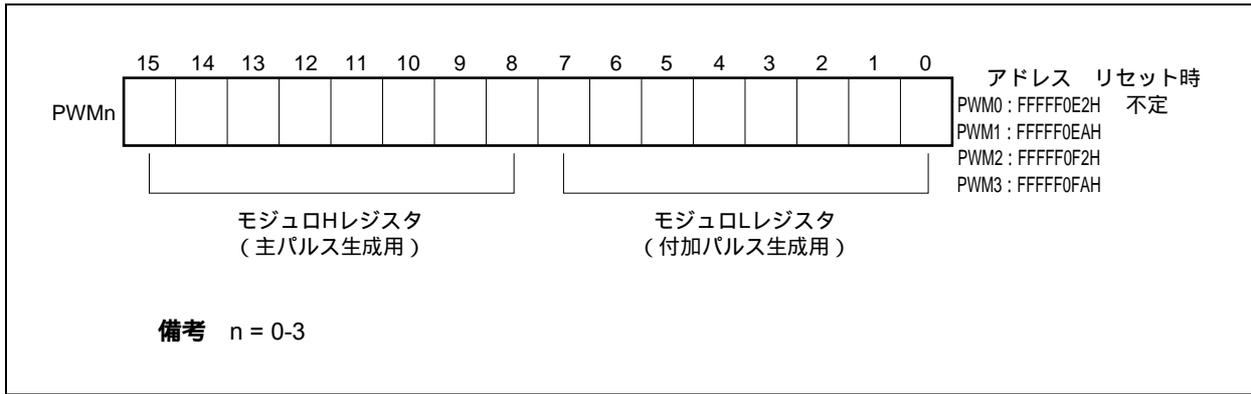
PMP n 2-PMP n 0ビットでカウンタに4-7ビットを選択した場合、残りの上位ビットには“0”を設定してください。

モジュロLレジスタ (ビット0-ビット7)

このレジスタの値は、微調整を行うための付加パルスの付加タイミングを決定します(図14 - 3参照)。

またRESET入力により、このレジスタの値は不定になりますので、初期化プログラムでデータを設定してから、PWM出力を許可してください。

なお、PWM n レジスタには、0000H-FFFFHの値を設定でき、PWM出力モリニアに変化します。0000Hの場合はインアクティブ・レベルを保持します。FFFFHの場合、1書き換え周期 ($2^{16}/f_{PWM}$) で1付加パルス分 ($1/f_{PWM}$) がインアクティブになります。(図14 - 4参照)。



14.4 動作

14.4.1 PWM基本動作

PWMパルス出力のデューティは、PWMモジュロ・レジスタ (PWMn : n = 0-3) のモジュロHレジスタに設定する値で次のように決定されます。

$$\text{PWMパルス出力のデューティ} = \frac{(\text{モジュロHレジスタの値})^{\text{注1}} + 1^{\text{注2}}}{2^x}$$

注1 . 0 (モジュロHレジスタの値) $2^x - 1$

2 . 付加パルスありの場合

備考 x = 4-8

PWMパルス出力の繰り返し周波数は、PWMプリスケアラ・レジスタ (PWPRn) で設定される $f_{xx} - f_{xx}/4$ のPWMクロック (f_{PWMC}) を 2^x 分周 ($= f_{PWMC}/2^x$) した周波数になり、最小パルス幅は、 $1/f_{PWMC}$ になります。

PWMパルス出力は、繰り返し周波数 $f_{PWMC}/2^x$ の4-8ビット分解能のPWM信号を256回繰り返し返して出力することで、12-16ビット分解能を実現しています。モジュロHレジスタで決定される4-8ビット分解能のPWMパルスに、1サイクルごとにモジュロLレジスタの値に従って、付加パルス ($1/f_{PWMC}$) の付加を制御して、256周期で12-16ビット分解能のPWMパルス信号を実現しています。

図14 - 2 PWMの基本動作

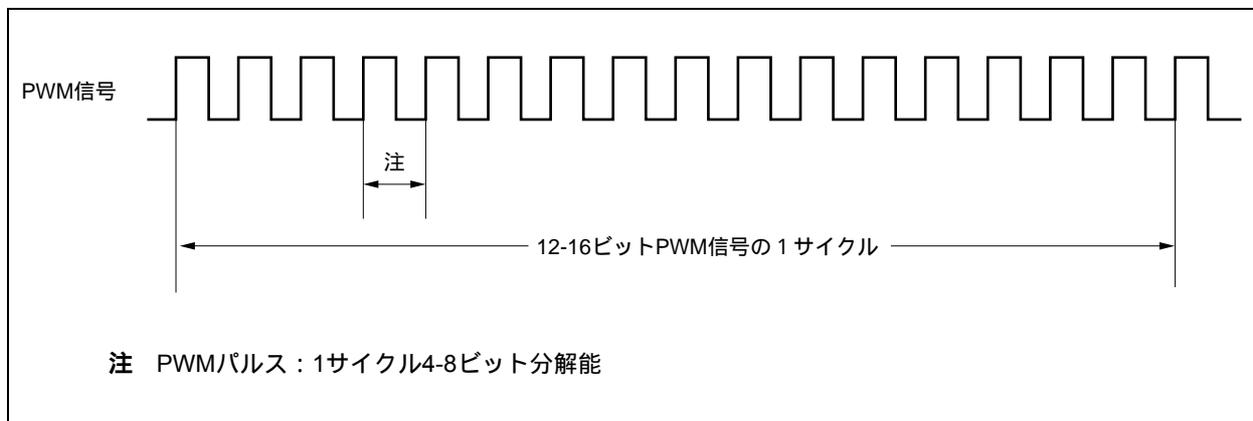


図14 - 3 主パルスと付加パルスによるPWM出力例

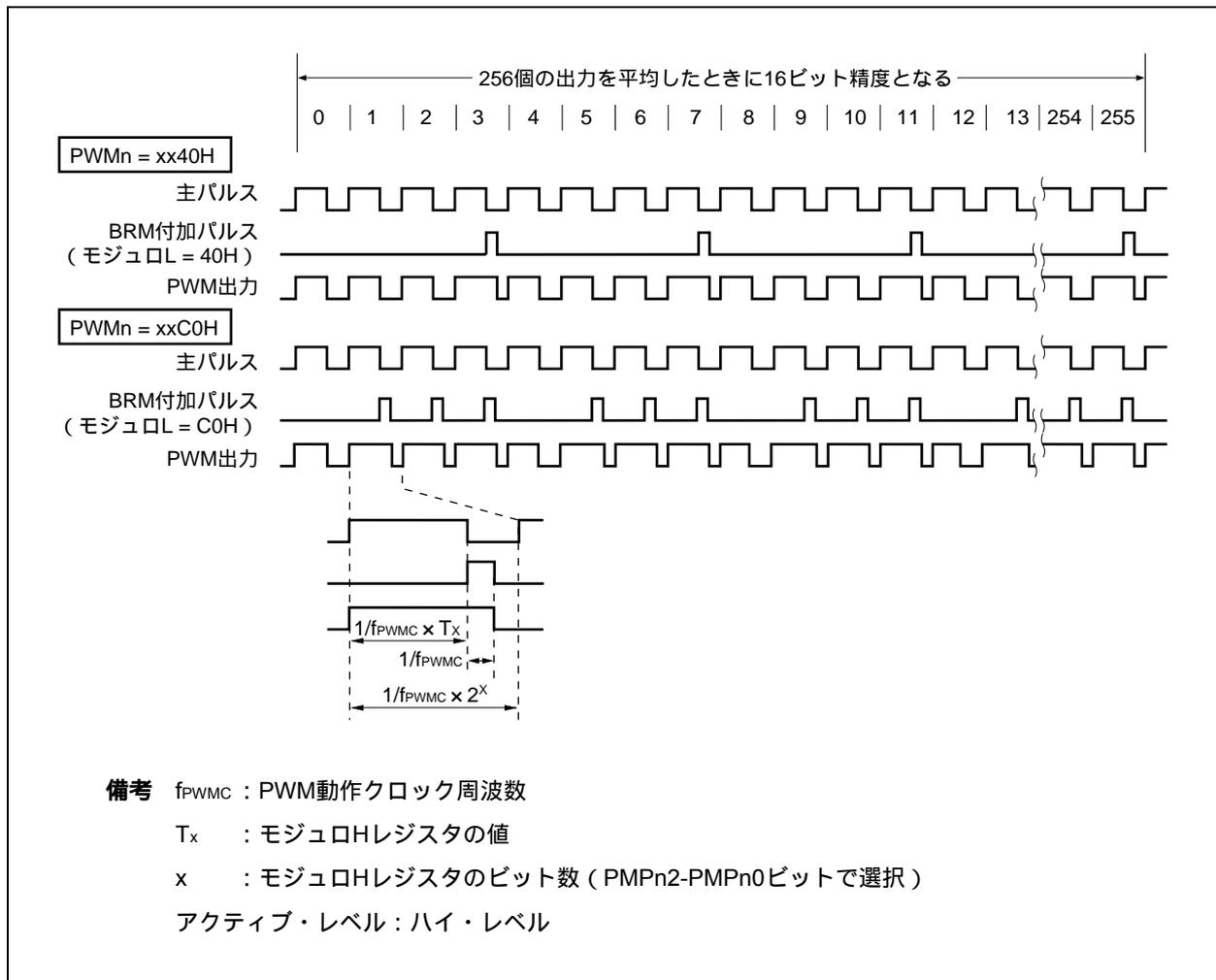
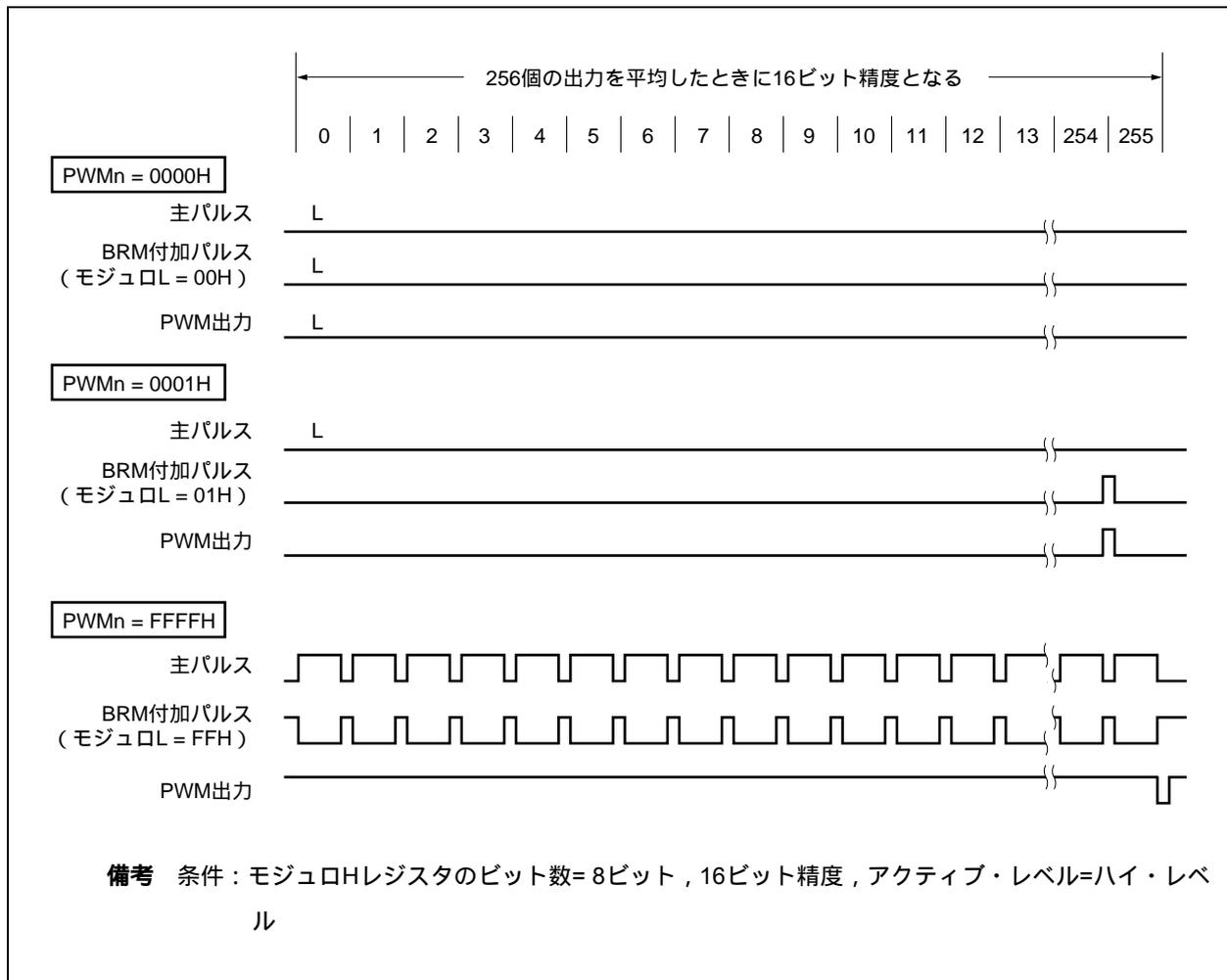


図14 - 4 PWM出力動作例



14.4.2 PWM動作の許可/禁止

PWMパルスを出力するときは、PWMプリスケアラ・レジスタ(PWPRn)、PWMモジュロ・レジスタ(PWMn)にデータを設定したあと、PWMコントロール・レジスタ(PWMCn)のPWME_nビットをセット(1)します($n = 0-3$)。

これにより、PWM出力端子からは、PWMC_nレジスタのPALV_nビットで指定されたアクティブ・レベルのPWMパルスが出力されます。

PWMC_nレジスタのPWME_nビットをクリア(0)すると、PWM出力ユニットはただちにPWM出力動作を停止し、PWM出力端子はインアクティブになります。

(1) PWM動作開始時の設定

PWMC_nレジスタのPWME_nビットをセットすると、PWM_nが動作状態になります。ただし動作状態にしたあとも、PWM_nレジスタのリロード信号が発生するまで、PWM端子はポート・モードの状態を維持します。また、PWM_nレジスタの値はxビット・ダウン・カウンタへロードされません。したがって、パルス幅の書き換えタイミングを 2^{x+8} (大周期:SYN_nビット=0)に設定すると、PWME_nビットをセットしてから最大 $2^{x+8}/f_{PWM}$ 後に動作を開始します。なお、PWM出力中にもPWMC_nレジスタのSYN_nビットを書き換えられます。

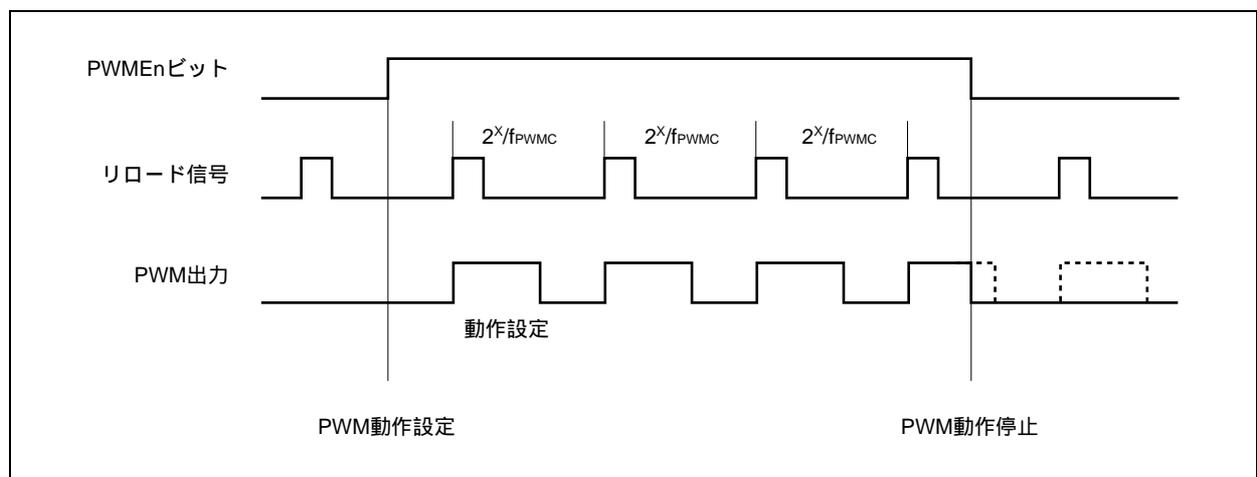
またPWM_nの動作を開始する前に、次のレジスタを初期設定してください。

- ・ PMC10レジスタ : コントロール・モードの設定
- ・ PWM_nレジスタ : パルス幅の設定
- ・ PWPR_nレジスタ : PWM出力回路の動作クロックの指定
- ・ PWMC_nレジスタ : PWMパルス幅の書き換え周期の指定、PWM端子のアクティブ・レベルの指定、PWM動作制御、主パルスのビット数の選択

(2) PWM動作停止時の設定

PWMC_nレジスタのPWME_nビットをリセットすると、すぐにPWM動作が停止します。

図14-5 PWM動作タイミング



14.4.3 PWMパルスのアクティブ・レベルの指定

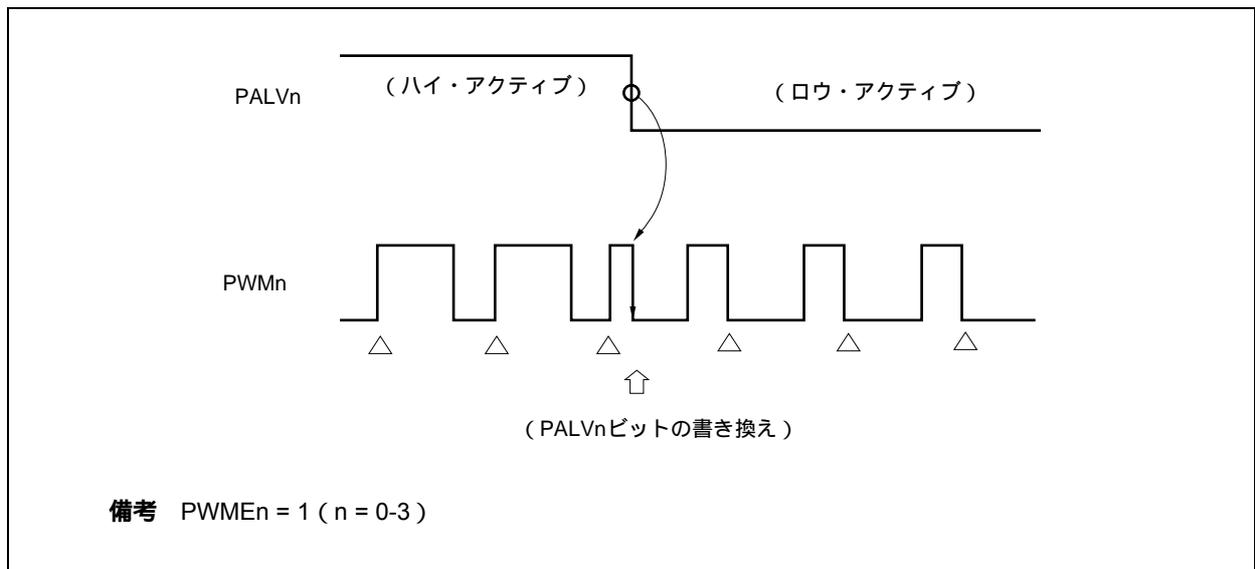
PWMコントロール・レジスタ (PWMCn) のPALVnビットは、PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します (n = 0-3)。

PALVnビットをセット (1) すると、ハイ・アクティブ・レベルのパルスを出力し、クリア (0) するとロウ・アクティブ・レベルのパルスを出力します。

PALVnビットを書き換えると、ただちにPWM出力のアクティブ・レベルが変化します。図14 - 6に、PWM出力のアクティブ・レベル設定と端子状態を示します。

なお、PWME nビット (PWM許可 / 禁止) の設定にかかわらず、PALVnビットの操作でPWM出力のアクティブ・レベルを変更できます。

図14 - 6 PWM出力のアクティブ・レベル設定



14.4.4 PWMパルス幅書き換え周期の指定

PWM出力の開始, およびパルス幅の変更は, PWMパルス $2^{(x+8)}$ サイクル ($2^{(x+8)}/f_{PWM}$) ごと, あるいは, PWMパルス1サイクル ($2^x/f_{PWM}$) ごとの, いずれかに同期して行われます。このPWMパルス幅書き換え周期の指定は, PWMnレジスタのSYNnビットで行います ($n = 0-3$)。

SYNnビットをクリア (0) すると, パルス幅の変更は, PWMパルス $2^{(x+8)}$ サイクル ($2^{(x+8)}/f_{PWM}$) ごとに行われます。したがって, PWMnレジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには, 最大 $2^{(x+8)}$ クロックがかかります。

このときのPWM出力タイミング例を図14 - 7に示します。

一方, SYNnビットをセット (1) すると, パルス幅の変更は, PWMパルス1サイクル ($2^x/f_{PWM}$) ごとに行われます。この場合, PWMnレジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには, 最大 2^x クロックとなります。

なお, PWMパルス書き換え周期を, $2^x/f_{PWM}$ ごとに指定した場合, (SYNnビットをセット (1) した場合), 得られるPWMパルスの精度はxビット以上, (x + 8) ビット以下となり, 書き換え周期を $2^{(x+8)}/f_{PWM}$ に指定したときよりも精度が低下しますが, 繰り返し周波数が上がるため応答性はよくなります。

書き換えタイミングが $2^x/f_{PWM}$ の場合のPWM出力タイミング例を, 図14 - 8に示します。

図14 - 7 PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{(x+8)}/f_{PWM}$)

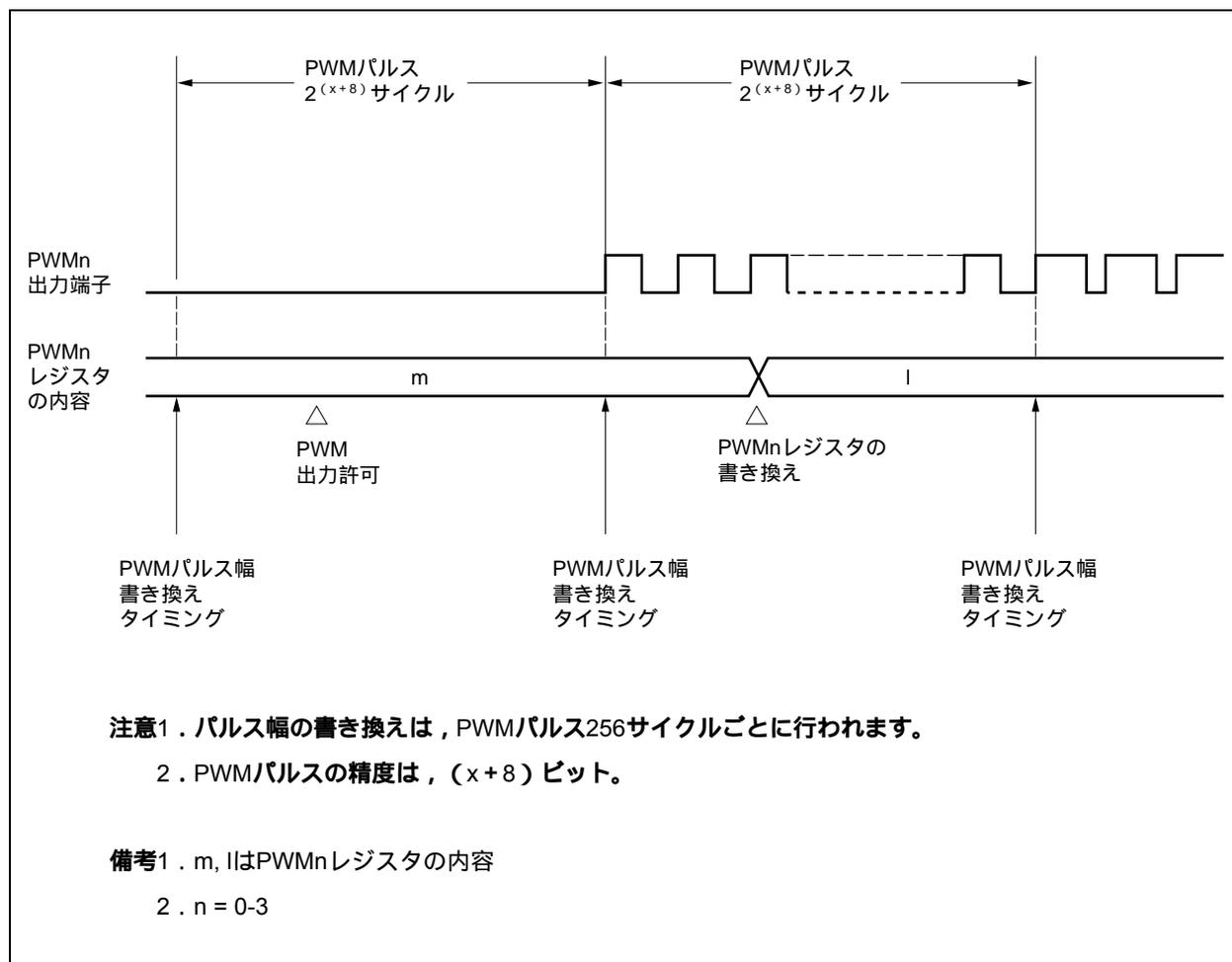
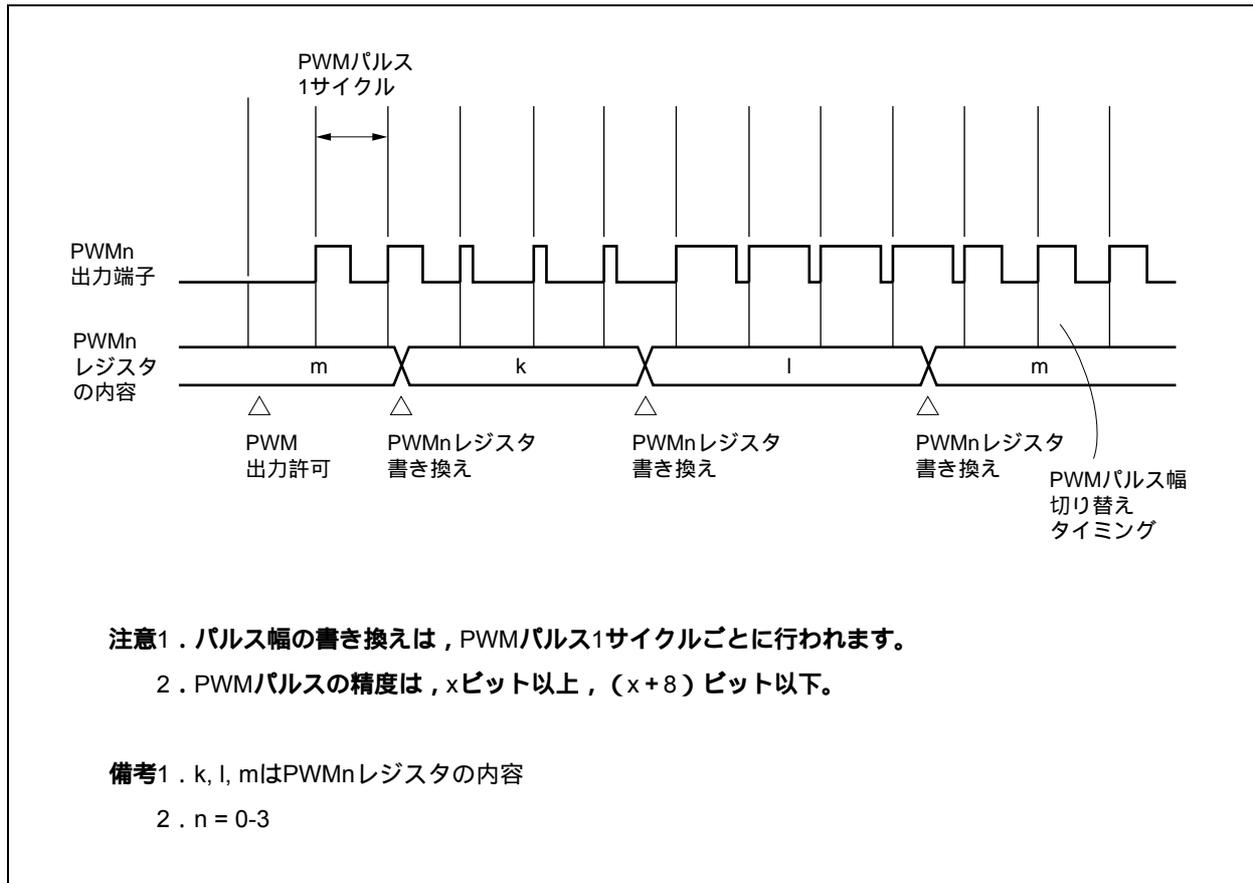


図14 - 8 PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^x/f_{PWMC}$)



14.4.5 繰り返し周波数

PWMnの繰り返し周波数を次に示します (n = 0-3)。

主パルス	付加パルス	繰り返し周波数	パルス幅書き換え周期	
			大周期 (SYNnビット=0)	小周期 (SYNnビット=1)
4ビット	8ビット	$f_{PWMC}/16$	$f_{PWMC}/2^{12}$	$f_{PWMC}/2^4$
5ビット	8ビット	$f_{PWMC}/32$	$f_{PWMC}/2^{13}$	$f_{PWMC}/2^5$
6ビット	8ビット	$f_{PWMC}/64$	$f_{PWMC}/2^{14}$	$f_{PWMC}/2^6$
7ビット	8ビット	$f_{PWMC}/128$	$f_{PWMC}/2^{15}$	$f_{PWMC}/2^7$
8ビット	8ビット	$f_{PWMC}/256$	$f_{PWMC}/2^{16}$	$f_{PWMC}/2^8$

f_{PWMC} : PWPRnレジスタで f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$ から選択

第15章 Vsync/Hsync分離回路

15.1 概要

Vsync/Hsync分離回路は、複合同期（Csync）信号から、垂直同期（Vsync）信号と水平同期（Hsync）信号を分離する回路です。

NTSC方式、PAL方式の両フォーマットに対し、Csync信号を分離することが可能です。

Vsync/Hsync分離回路（デジタル・ノイズ除去回路）にアップ/ダウン・カウンタを採用することにより、カウント・タイミングに同期した幅の狭いノイズがCsync信号上に乗っても精度良くVsync/Hsync信号を検出できます。

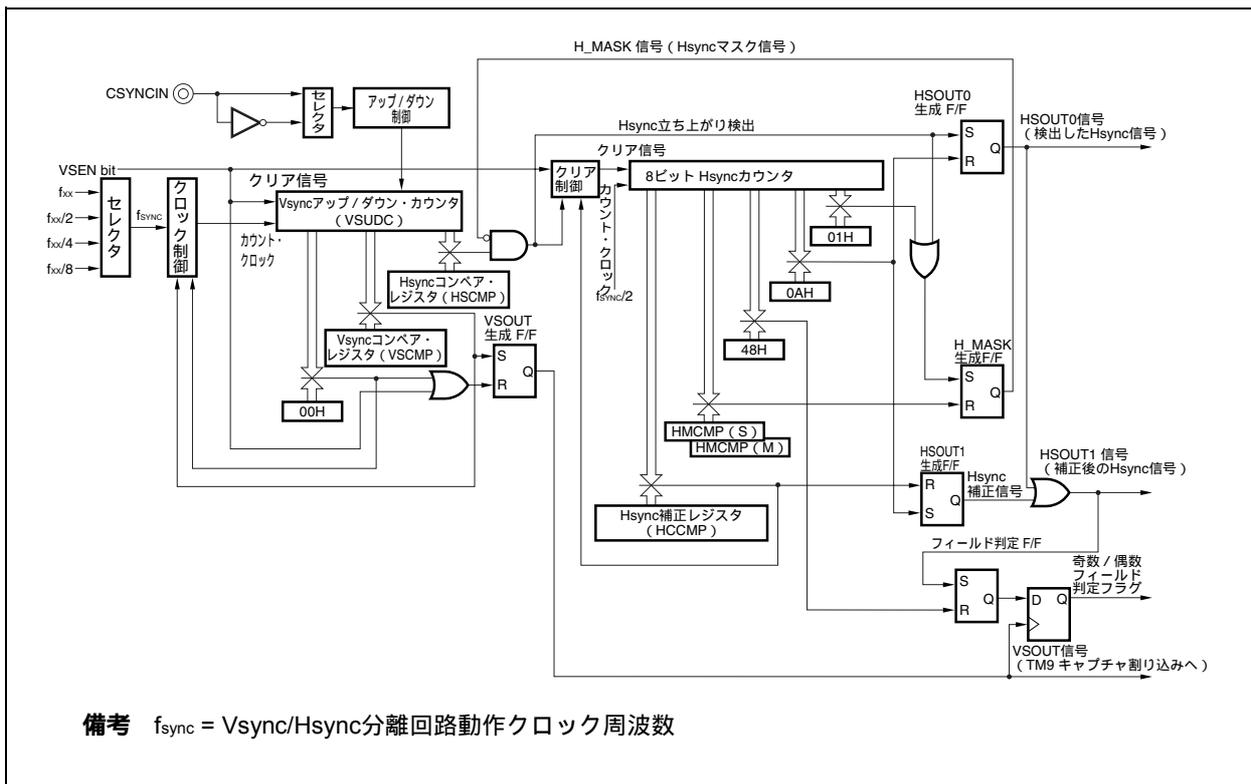
アップ/ダウン・カウンタ・ソース・クロックとコンペア・レジスタの設定をチューニングすることにより、Vsync/Hsync信号の検出タイミングまたはマスク期間などの設定を、それぞれのアプリケーションに応じ最適に設定できます。

また、検出したVsync信号（VSOUT）、Hsync信号（HSOUT0）、補正後のHsync信号（HSOUT1）を外部端子に出力できます。

Vsync/Hsync分離回路は、次の機能を内蔵しています。

- ・ Csync信号から、Vsync信号を分離
- ・ Csync信号から、Hsync信号を分離
- ・ Hsync信号自己生成
- ・ 奇数 / 偶数フィールドの判定

図15 - 1 Vsync/Hsync分離回路のブロック図



15.2 構 成

Vsync/Hsync分離回路は次のハードウェアで構成されています。

表15 - 1 Vsync/Hsync分離回路の構成

項 目	構 成
レジスタ	Vsyncアップ/ダウン・カウンタ (VSUDC) Vsyncコンペア・レジスタ (VSCMP) Hsyncコンペア・レジスタ (HSCMP) Hsyncマスク幅レジスタ (HMCMP) Hsync補正レジスタ (HCCMP)
制御レジスタ	Vsyncコントロール・レジスタ (VSC)

(1) Vsyncアップ/ダウン・カウンタ (VSUDC)

8ビットのアップ/ダウン・カウンタです。

Vsyncコントロール・レジスタ (VSC) のVSCK0, VSCK1ビットにより選択された f_{sync} (Vsync/Hsync回路動作クロック周波数) に従ってカウント動作を行います。また, CSYNCIN信号のアクティブ・レベルによりアップ/ダウン制御されます(アクティブ・レベル時: アップ, インアクティブ・レベル時: ダウン)。

8ビット操作命令で読み出しのみ可能です。また, 動作中に読み出した場合, f_{sync} の入力を一時停止^{注1}し, その時点でのカウント値を読み出します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注 $2/f_{\text{CPU}}$ (f_{CPU} : CPUクロック) の期間, カウント・クロック (f_{sync}) がマスクされます。

(2) Vsyncコンペア・レジスタ (VSCMP)

8ビットのコンペア・レジスタです。

Vsyncコンペア・レジスタ (VSCMP) の内容がVsyncアップ/ダウン・カウンタ (VSUDC) の内容と一致すると一致信号が発生し, VSOUT生成フリップフロップがセットされVSOUT信号がハイ・レベルになります。

VSCMPの設定値が, VSUDCのカウント・アップの上限値となります。

8ビット操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意1 . Vsync/Hsync分離回路動作中にVSCMPの値を書き換えないでください。

2 . VSCMPの設定を行ったあと, 動作許可 (VSEN = 1) にしてください。

(3) Hsyncコンペア・レジスタ (HSCMP)

8ビットのコンペア・レジスタです。

Vsyncアップ/ダウン・カウンタ (VSUDC) がアップ・カウント時に, VSUDCの内容とHSCMPの内容が一致すると一致信号が発生します。ダウン・カウント時に一致しても一致信号は発生しません。

VSUDCは, HSCMPと一致してもアップ/ダウン・カウント動作を続けます。

$\overline{\text{RESET}}$ 入力により00Hになります。

8ビット操作命令で設定します。

- 注意1** . Vsync/Hsync分離回路動作中にHSCMPの値を書き換えないでください。
2 . HSCMPの設定を行ったあと、動作許可 (VSEN = 1) にしてください。

(4) 8ビットHsyncカウンタ

8ビットのインターバル・カウンタです。

Vsyncコントロール・レジスタ (VSC) のVSCK0, VSCK1ビットにより選択された f_{sync} (Vsync/Hsync分離回路動作クロック周波数) の2分周の周波数 ($f_{\text{sync}}/2$) に従ってカウント動作を行います。

VSCのVSENビットを“1”にセットしたあと、1回目のVsync信号を検出したあとに、レディ状態になります。そのあと1回目のHsync信号を検出することでアップ・カウント動作を開始します (1回目のVsync信号を検出するまでは“00H”の状態です)。

Hsync信号の検出またはHsync補正レジスタ (HCCMP) との一致により、クリア&スタートをします。

VSENビットを“0”にクリアすると“00H”の状態です。

8ビットHsyncカウンタは読み出し / 書き込みできません。

$\overline{\text{RESET}}$ 入力により00Hになります。

(5) Hsyncマスク幅レジスタ (HMCMP)

8ビットのコンペア・レジスタです。

HMCMPの内容と8ビットHsyncカウンタの内容が一致すると、Hsyncマスク信号 (H_MASK) が“0”にクリアされます。

HMCMPはマスタ/スレーブ構成になっており、HMCMPへのR/Wアクセスはマスタ側のみ可能です。また、8ビットHsyncカウンタとの比較動作は、スレーブ側のレジスタと比較されます。

8ビット操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

次の条件のとき、マスタからスレーブにデータ転送されます。

- ・ VSCのVSENビットを“1”にセットしたとき。
- ・ 補正したHsync信号 (HSOUT1) が検出されたとき。(ただし、1回目のHSOUT1信号の検出時は、マスタからスレーブへ転送しません)

(6) Hsync補正レジスタ (HCCMP)

8ビットのコンペア・レジスタです。

Hsyncカウンタは、HCCMPと一致すると、クリア&スタートします。また、この一致信号によりHSOUT1生成フリップフロップをセットし、Hsync信号の自己生成を行います。

8ビット操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

- 注意1** . Vsync/Hsync分離回路動作中にHCCMPの値を書き換えないでください。
2 . HCCMPの設定を行ったあと、動作許可 (VSEN = 1) にしてください。

15.3 制御レジスタ

Vsync/Hsync分離回路はVsyncコントロール・レジスタ（VSC）で制御します。

(1) Vsyncコントロール・レジスタ（VSC）

Vsync/Hsync分離回路の動作を制御するレジスタです。

VSCは1ビット・メモリまたは8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF0DAH

		6		5			1	0
VSC	VSEN	0		0	VOUT	VALV	VFLG	VSCK1 VSCK0

VSEN	Vsync/Hsync分離回路の停止 / 動作制御
0	停止
1	動作

VOUT	Vsync/Hsync信号の出力制御
0	端子から出力しない。
1	Vsync信号（VSOUT）、補正前のHsync信号（HSOUT0）、補正後のHsync信号（VSOUT1）を各端子から出力する。

VALV	CSYNCIN信号のアクティブ・レベルを制御
0	通常
1	CSYNCIN信号のレベルを反転して入力する。

VFLG	奇数 / 偶数フィールドの判定を行う
0	偶数フィールド
1	奇数フィールド

VSCK1	VSCK0	カウント・クロック (f_{sync}) の選択
0	0	f_{xx}
0	1	$f_{xx}/2$
1	0	$f_{xx}/4$
1	1	設定禁止

注 f_{sync} は約4 MHzとなるように設定してください。

備考 $f_{\text{sync}} = \text{Vsync/Hsync分離回路動作クロック周波数}$

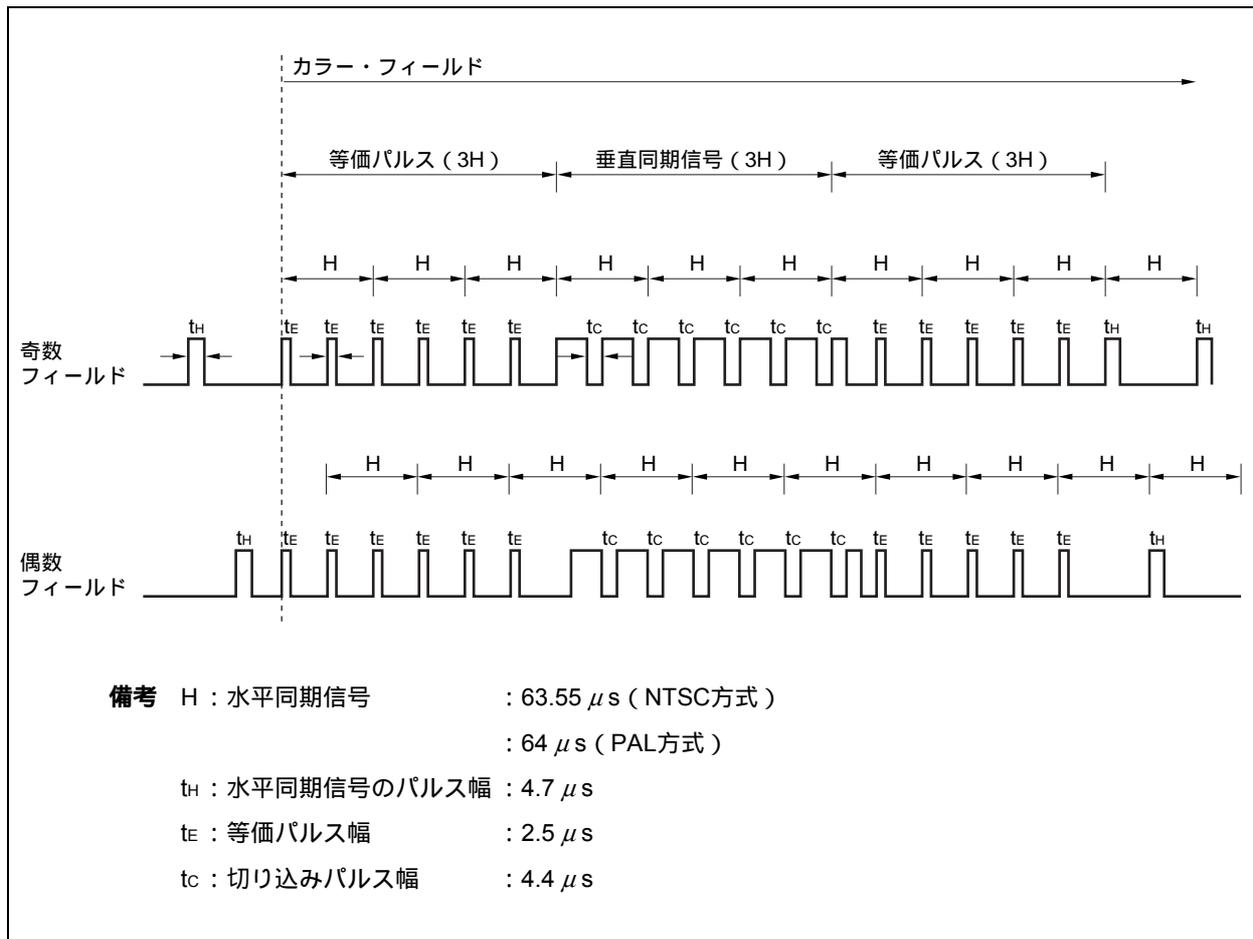
15.4 動作

Vsync/Hsync分離回路は、 f_{sync} (Vsync/Hsync分離回路動作クロック周波数) が約4 MHz時に、最適に動作するように設計されています。Vsyncコントロール・レジスタ (VSC) のVSC1, VSC0ビットにより f_{sync} が約4 MHzになるように設定してください。

15.4.1 Csync信号のフォーマット

次にCsync信号のフォーマットを示します。

図15-2 Csync信号のフォーマット



15.4.2 奇数フィールド時の基本動作

図15-3 奇数フィールド

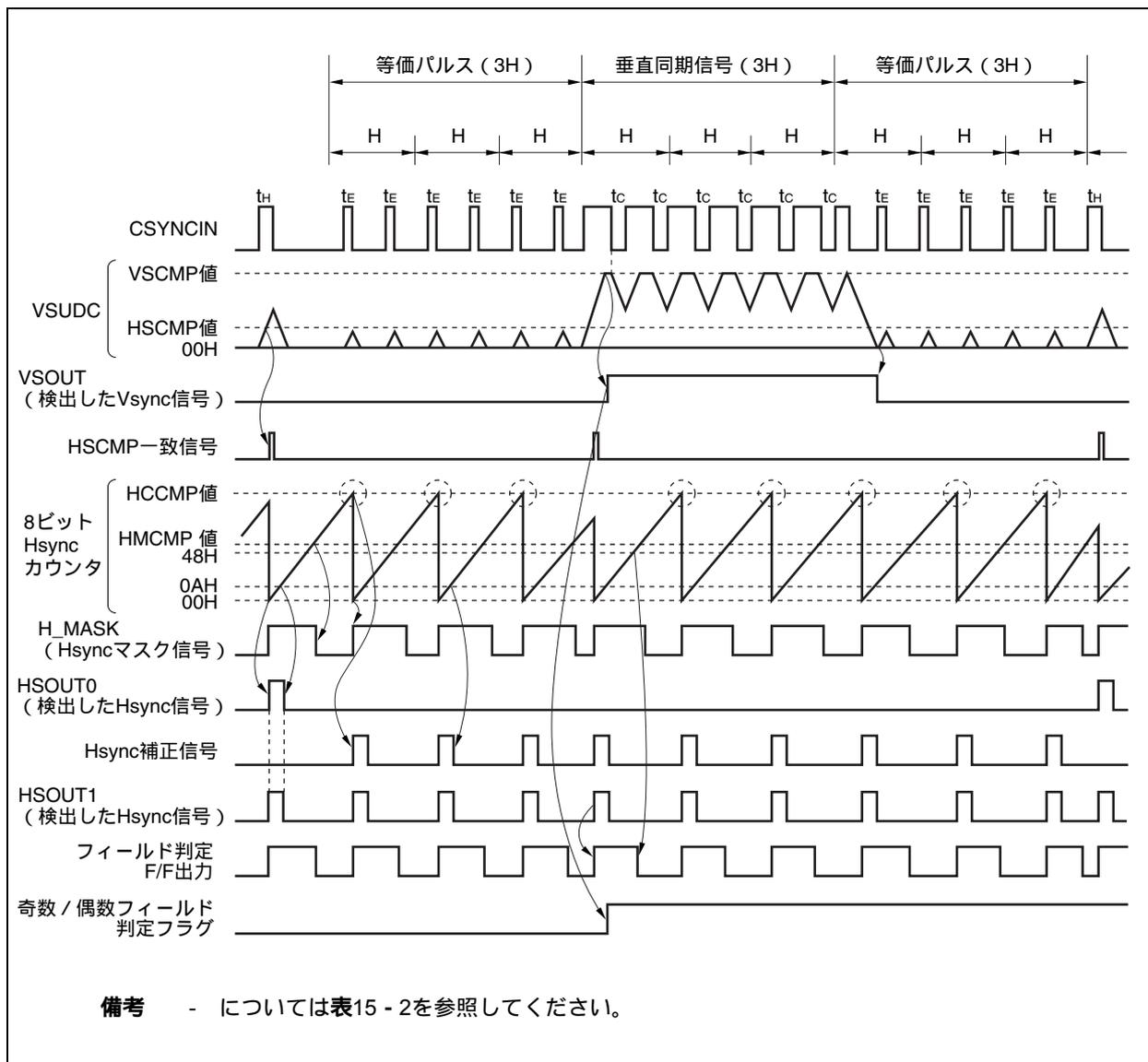


表15 - 2 奇数フィールドの動作

動作	条件
VSUDCのアップ・カウント VSUDCのダウン・カウント	CSYNCIN端子に信号“1”が入力 CSYNCIN端子に信号“0”が入力
HSCMP一致信号発生 ^注	VSUDCのアップ・カウント値とHSCMPの値と一致
8ビットHsyncカウンタのクリア&スタート	HSCMP一致信号発生かつH_MASK信号が“0”
H_MASK信号が“1”にセット	8ビットHsyncカウンタの値が“01H”
HSOUT0が“1”にセット	8ビットHsyncカウンタの値が“01H”
H_MASK信号が“0”	8ビットHsyncカウンタの値とHMCMPの値の一致
8ビットHsyncカウンタのクリア&スタート	HCCMP一致信号発生 (Hsync信号を検出できなかったとき)
Hsync補正信号が“1”にセット	の8ビットHsyncカウンタのクリア&スタート
HSOUT0が“0”にセット	8ビットHsyncカウンタの値が“0AH”
Hsync補正信号が“0”にセット	8ビットHsyncカウンタの値が“0AH”
HSOUT1信号の生成	HSOUT0信号とHsync補正信号の論理和
フィールド判定F/F信号が“1”にセット	HSOUT1信号が“1”
フィールド判定F/F信号が“0”にセット	8ビットHsyncカウンタの値が“48H”
VSUDCのアップ・カウント VSUDCのダウン・カウント	CSYNCIN端子にVsync信号“1”が入力 CSYNCIN端子にVsync信号“0”が入力
VSOUT信号が“1”にセット	VSUDCのアップ・カウント値とVSCMPの値と一致
VSOUT信号が“0”にクリア	VSUDCのアップ・カウント値とVSCMPの値と一致後,VSUDCがダウン・カウントし,VSUDCの値が“00”
フィールド判定F/Fが“1”にセット	VSOUT信号が“1”

注 H_MASK信号が“1”の期間はマスクされます。

- ★ 注意1. HMCMPレジスタの値を大きくとりすぎると, H_MASK信号のタイミングがずれて, 本来のHsync信号をマスクしてしまいます()。
- 2. 等価パルス期間, 垂直同期信号期間はHsync信号が存在しませんが, Hsync信号の自己生成動作が行われず。

15.4.3 偶数フィールド時の基本動作

図15-4 偶数フィールド

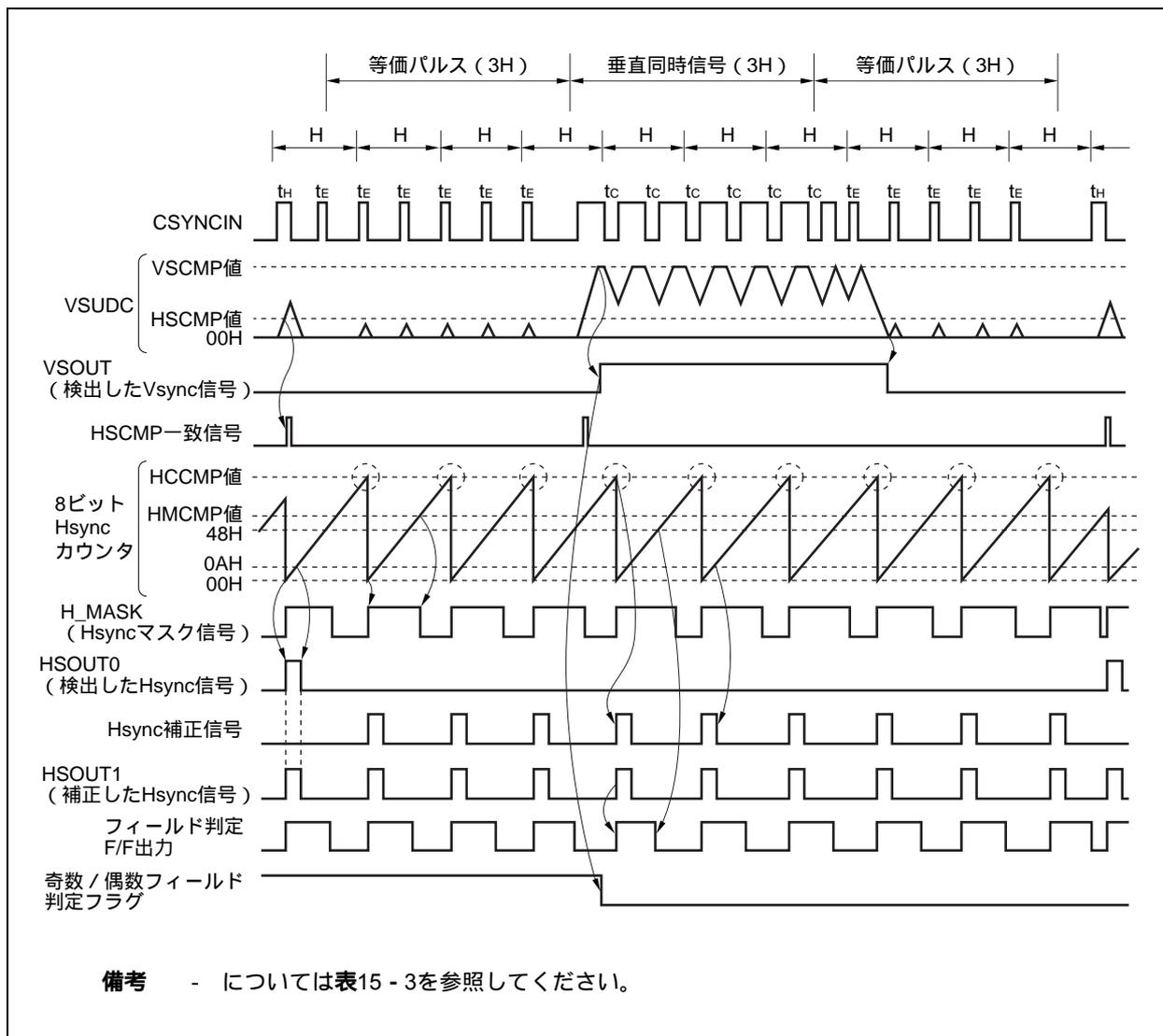


表15 - 3 偶数フィールドの動作

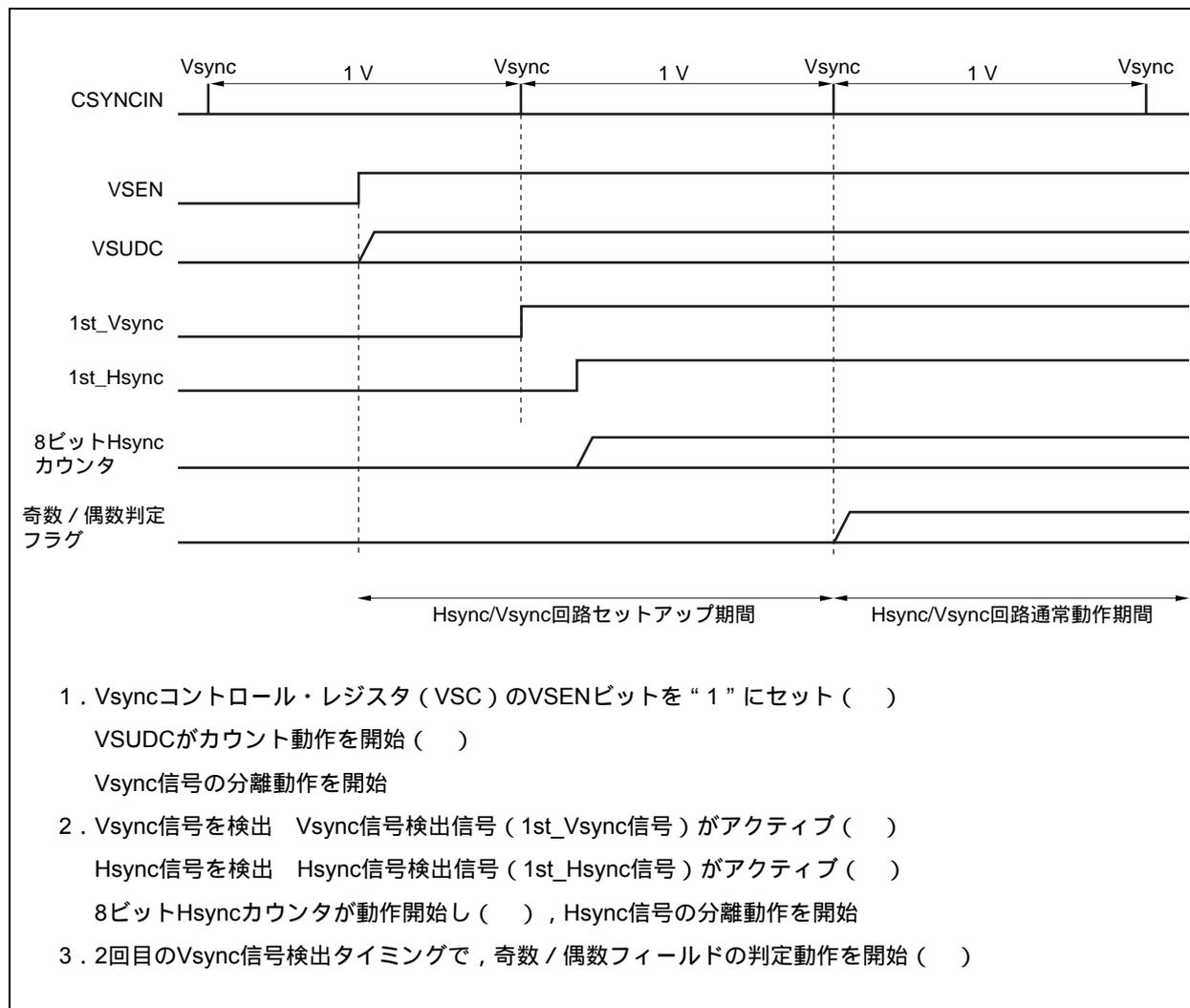
動作	条件
VSUDCのアップ・カウント VSUDCのダウン・カウント	CSYNCIN端子に信号“1”が入力 CSYNCIN端子に信号“0”が入力
HSCMP一致信号発生 ^注	VSUDCのアップ・カウント値とHSCMPの値と一致
8ビットHsyncカウンタのクリア&スタート	HSCMP一致信号発生かつH_MASK信号が“0”
H_MASK信号が“1”にセット	8ビットHsyncカウンタの値が“01H”
HSOUT0が“1”にセット	8ビットHsyncカウンタの値が“01H”
H_MASK信号が“0”	8ビットHsyncカウンタの値とHMCMPの値の一致
8ビットHsyncカウンタのクリア&スタート	HCCMP一致信号発生 (Hsync信号を検出できなかったとき)
Hsync補正信号が“1”にセット	の8ビットHsyncカウンタのクリア&スタート
HSOUT0が“0”にセット	8ビットHsyncカウンタの値が“0AH”
Hsync補正信号が“0”にセット	8ビットHsyncカウンタの値が“0AH”
HSOUT1信号の生成	HSOUT0信号とHsync補正信号の論理和
フィールド判定F/F信号が“1”にセット	HSOUT1信号が“1”
フィールド判定F/F信号が“0”にセット	8ビットHsyncカウンタの値が“48H”
VSUDCのアップ・カウント VSUDCのダウン・カウント	CSYNCIN端子にVsync信号“1”が入力 CSYNCIN端子にVsync信号“0”が入力
VSOUT信号が“1”にセット	VSUDCのアップ・カウント値とVSCMPの値と一致
VSOUT信号が“0”にクリア	VSUDCのアップ・カウント値とVSCMPの値と一致後,VSUDCがダウン・カウントし,VSUDCの値が“00”
フィールド判定F/Fが“0”にセット	VSOUT信号が“1”

注 H_MASK信号が“1”の期間はマスクされます。

- 注意1. VSUDCが00HからVSCMPの値までアップ・カウントしているとき(), HSCMPレジスタの内容と一致し, HSCMP一致信号が発生してしまいます。本来のHsync信号ではないのでH_MASK信号によりHSCMP一致信号をマスクするように, HMCMPレジスタの値を設定してください。
2. HMCMPレジスタの値を大きくとりすぎると, H_MASK信号のタイミングがずれて, 本来のHsync信号をマスクしてしまいます()。
3. 等価パルス期間, 垂直同期信号期間は, Hsync信号が存在しませんが, Hsync信号の自己生成動作が行われます。

15.4.4 起動時の動作

図15 - 5 起動時の動作

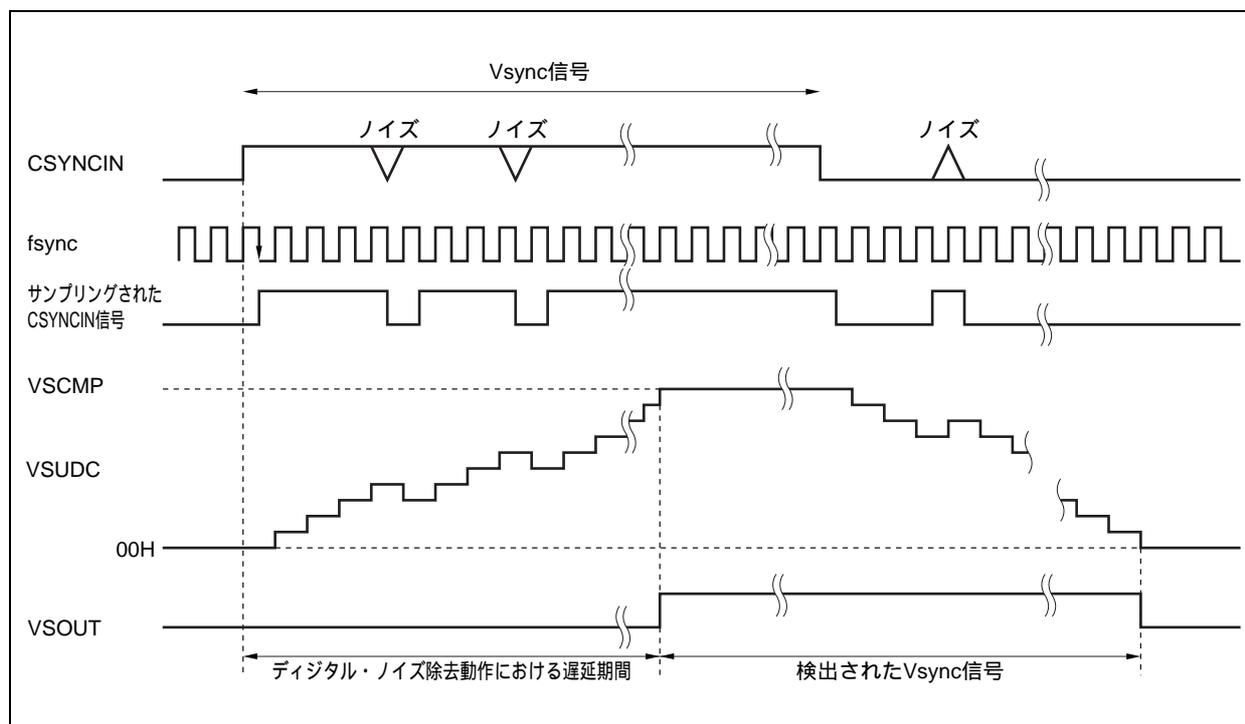


注意1. 図15 - 5に示したように, Vsync/Hsync分離回路が正常に動作するまで, 少なくとも2回のVsync信号を検出してください。

2. 1回目と2回目のVsync信号の間に, 補正後のHsync信号 (HSOUT1信号) を少なくとも1回検出してください。

15.4.5 Vsync信号分離動作

図15-6 Vsync信号分離動作



1. CSYNCIN信号が入力された信号は、 f_{sync} クロックでサンプリング(f_{sync} の立ち下がりエッジ)されます()。このサンプリングされたCSYNCIN信号が“1”の場合Vsyncアップ/ダウン・カウンタ(VSUDC)はアップ・カウントを行い、“0”の場合ダウン・カウントを行います。
2. VSUDCはサンプリングされたCSYNCIN信号によりアップ/ダウン制御され、 f_{sync} をカウント・クロックとして、 f_{sync} の立ち上がりエッジに同期してカウント動作を行います()。
3. VSUDCの内容がVsyncコンペア・レジスタ(VSCMP)の内容と一致すると()、一致信号が発生し、VSOUT信号が“1”にセットされます。また、VSUDCの上限値は、VSCMPの値となります。したがって、CSYNCIN信号が“1”であっても、VSCMPに設定した値以上はカウント・アップしません。
4. Vsync期間を過ぎると、CSYNCIN信号は“0”の期間が長くなり、VSUDCはしだいにダウン・カウントし()、一定期間後00H()となります。VSUDCが00Hになると、00H一致信号が発生し、VSOUT信号を“0”にクリアします。VSUDCが00HになるとCSYNCIN信号が“0”であってもアンドフローはせずに、00Hの値を保持します。CSYNCIN信号が“1”になるとVSUDCはアップ・カウントを再開します。
5. VSOUT信号は、TM9のキャプチャ・レジスタ(CP91)のキャプチャ・ソースとして選択できます。このとき、VSOUTのエッジ(指定可能)により割り込みINTCP91が発生します。

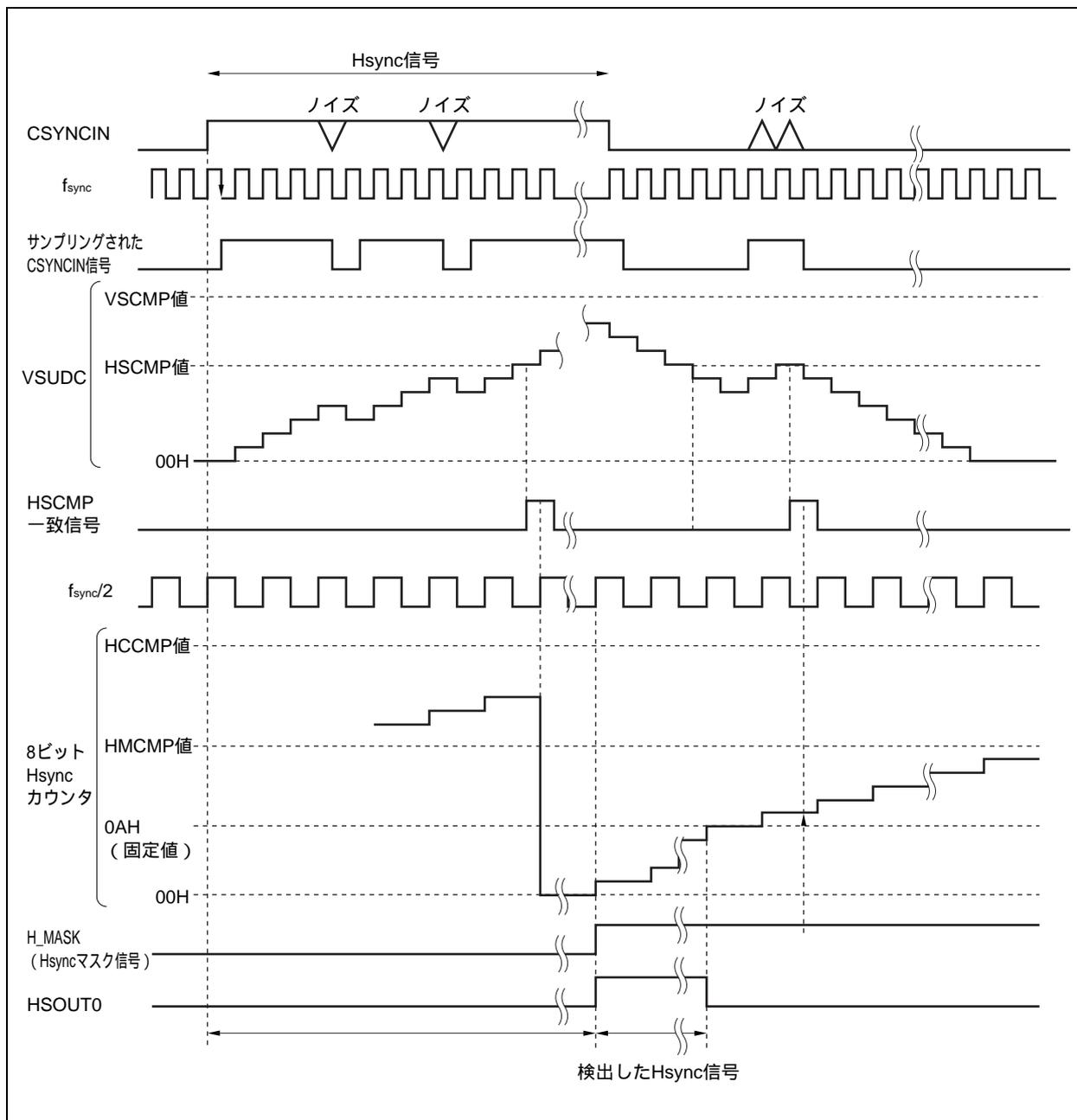
注意 デジタル・ノイズ除去を行うため、実際のVsync信号よりも次の期間遅れてVsync信号を検出します。

$$\text{Vsync信号検出遅延時間} = (\text{VSCMP設定値}) / f_{\text{sync}} + \text{ノイズ期間}$$

備考 f_{sync} = Vsync/Hsync分離回路動作クロック周波数

15.4.6 Hsync信号分離動作

図15-7 Hsync信号分離動作



1. CSYNCIN信号から入力された信号は、 f_{sync} クロックでサンプリング(f_{sync} の立ち下がりエッジ)されます()。このサンプリングされたCSYNCIN信号が“1”の場合Vsyncアップ/ダウン・カウンタ (VSUDC) はアップ・カウントを行い、“0”の場合ダウン・カウントを行います。
2. VSUDCがアップ・カウント動作中に、VSUDCの内容とHsyncコンペア・レジスタ (HSCMP) の内容が一致すると、一致信号が発生します()。また、VSUDCはHSCMPの設定値に制限を受けることなく、アップ/ダウン・カウント動作を行います。
ただし、VSUDCがダウン・カウント動作中に、VSUDCの内容とHSCMPの内容が一致しても、一致信号は発生しません()。

3. VSUDCの内容とHSCMPの内容との一致信号が発生したとき、Hsyncマスク信号(H_MASK)が“0”であれば、8ビットHsyncカウンタは、クリア&スタート動作を行います()。また、HSOUT0信号が“1”にセットされます()。同時にHsyncマスク信号H_MASK信号も“1”にセットされます()。
4. 8ビットHsyncカウンタの値が0AHになると、0AH一致信号が発生し、HSOUT0信号を“0”にクリアします()。よって、検出したHsync信号のアクティブ幅は $9/f_{\text{sync}}$ ($f_{\text{sync}} = 4 \text{ MHz}$ 時、 $4.5 \mu\text{s}$)固定となります。
5. ノイズにより、VSUDCとHSCMPの内容が一致した場合()、Hsync検出信号が“1”にセット()されますが、Hsyncマスク信号(H_MASK)により、Hsync検出信号がマスクされるため、8ビットHsyncカウンタはクリア&スタート動作は行わず、カウント・アップ動作を継続します()。

注意1. デジタル・ノイズ除去を行うため、実際のHsync信号よりも次の期間遅れてHsync信号を検出します。

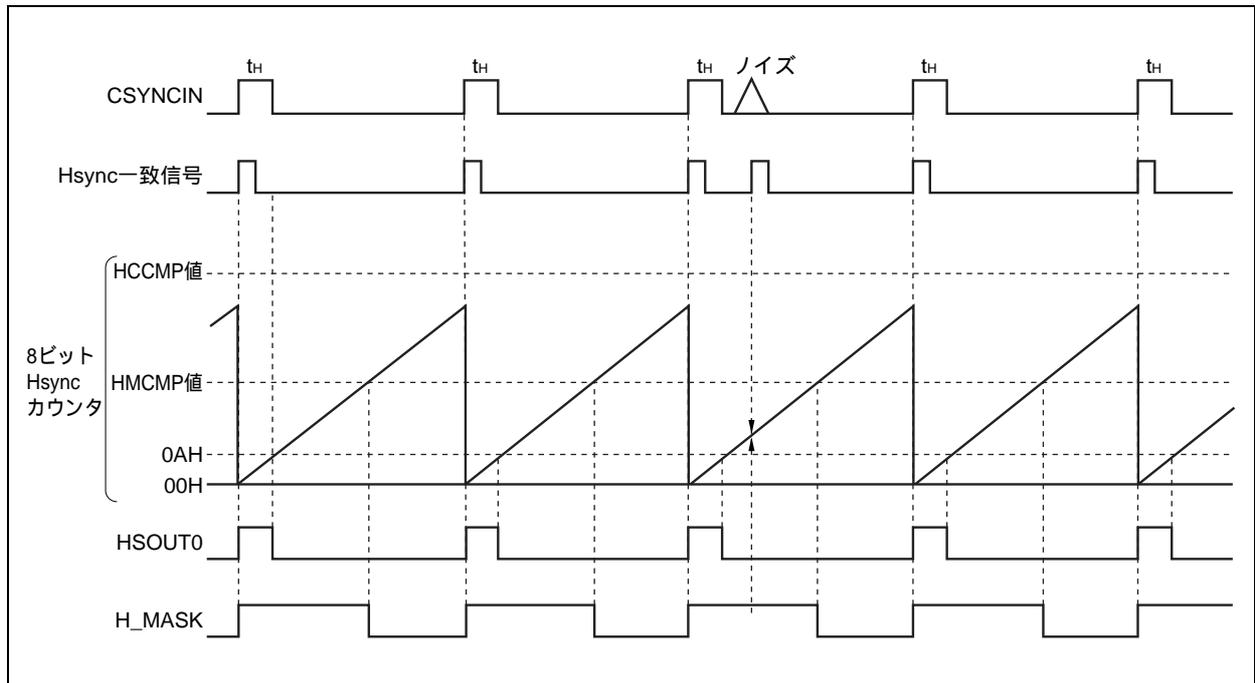
Hsync信号検出遅延時間 $(\text{HSCMP設定値} + 2) / f_{\text{sync}} + \text{ノイズ期間}$

2. Hsync分離動作は、Vsync/Hsync分離回路を起動(VSENビット=“1”)してから、Vsync信号を検出後から正常動作を開始します。

備考 $f_{\text{sync}} = \text{Vsync/Hsync分離回路動作クロック周波数}$

15.4.7 Hsync信号マスク動作

図15 - 8 Hsync信号マスク動作

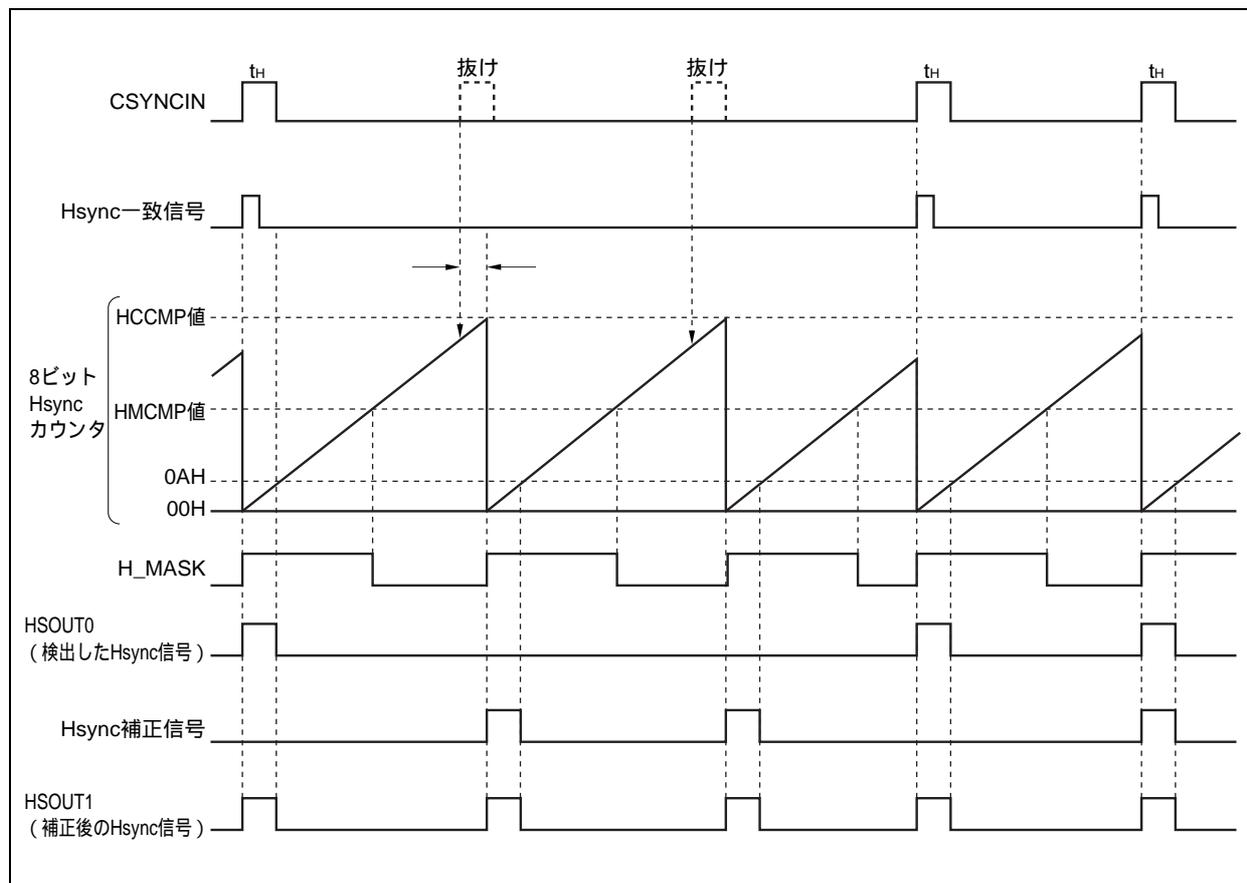


1. H_MASK信号は、リセット解除後は“0”になっています。そのあと、Hsync信号の検出によりHsync一致信号がアクティブになると()、8ビットHsyncカウンタはクリアされ再スタートします。
2. 8ビットHsyncカウンタが“01H”になると、H_MASK信号は“1”にセットされます()。
3. 8ビットHsyncカウンタがアップ・カウントを続け、HMCMPレジスタの内容と一致すると、H_MASK信号は“0”にクリアされます()。
4. H_MASK信号が“1”の期間に、たとえばノイズなどによりHsync一致信号が発生()しても、H_MASK信号によりHsync一致信号はマスクされ、8ビットHsyncカウンタはクリアされません()。

注意 通常動作させる場合には、Hsyncマスク幅レジスタ(HMCMP)には0AH以上の値を設定してください。

15.4.8 Hsync信号自己生成動作

図15-9 Hsync信号自己生成動作



1. Hsync信号が抜けると、Hsync一致信号が発生しないため（ ），8ビットHsyncカウンタはクリアされずにアップ・カウント動作を継続します（ ）。
2. 8ビットHsyncカウンタは、Hsync補正コンペア・レジスタ（HCCMP）の内容と一致するとクリアされ、再びアップ・カウント動作を開始します（クリア&スタート）（ ）。また、このときHsync補正信号がセットされます（ ）。HSOUT0信号はセットされません。
3. 8ビットHsyncカウンタが“0AH”になると、Hsync補正信号は“0”にクリアされます（ ）。
4. HSOUT0信号とHsync補正信号のORにより、HSOUT1信号は生成されます。
5. HSOUT0信号は、TM10, TM11のカウント・クロック・ソースに接続されています。TM10またはTM11のカウント・クロックにHSOUT0信号(補正前Hsync信号)を選択し、TM10またはTM11を読み出すことにより、どの程度Hsync信号が抜けているかモニタできます。

注意1. 自己生成信号は、1回の補正動作により本来のHsync信号から、次の周期だけ遅れます（ ）。

約 $(HCCMP\ 設定値 / f_{sync}) - 水平同期信号周期$

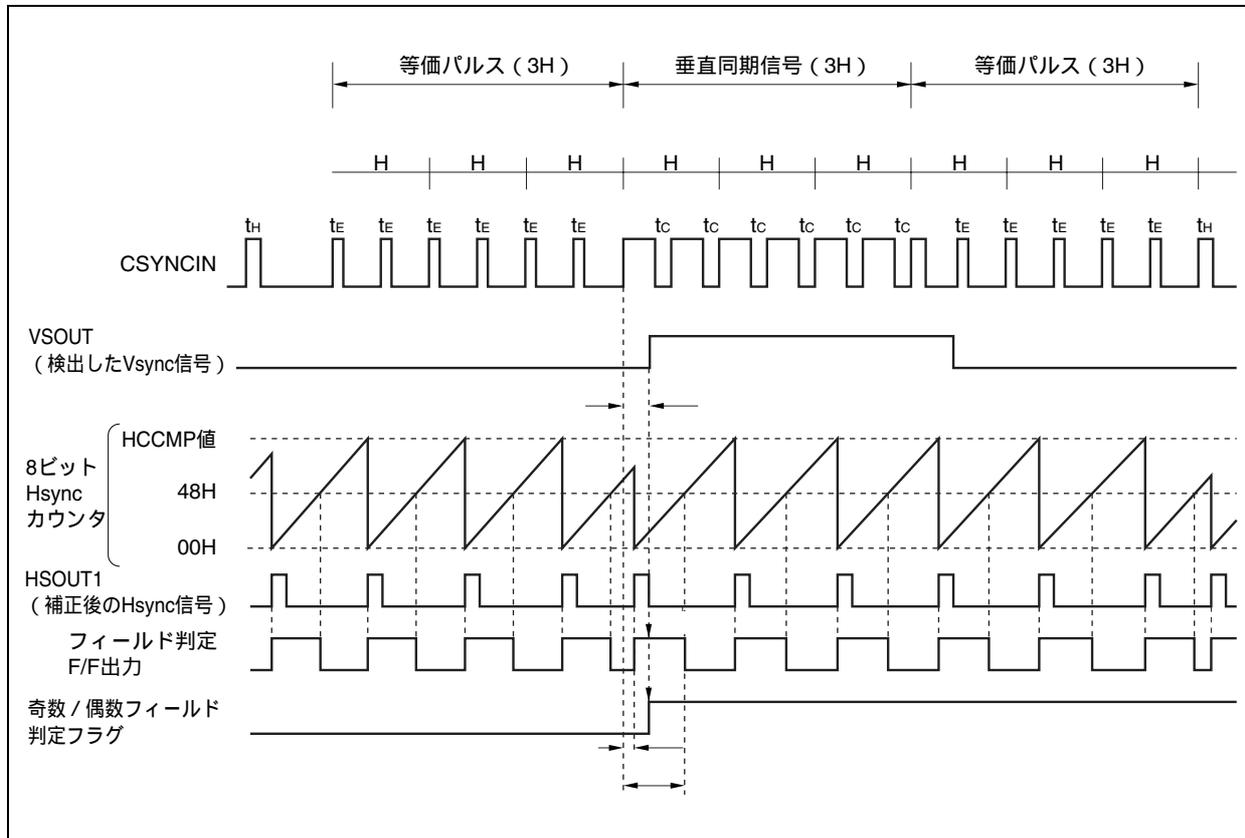
2. Hsync信号が連続して抜けると、Hsync信号が発生した時（ ）にH_MASK信号にかかってしまいます。

備考 Vsync期間のHsync信号は、自己補正動作により生成されます。

15.4.9 奇数フィールド/偶数フィールド判定動作

(1) 奇数フィールド判定動作

図15 - 10 奇数フィールド判定動作



1. フィールド判定F/Fは、HSOUT1信号（自己補正したHsync信号）により“1”にセットされます（ ）。
2. そのあと、8ビットHsyncカウンタが“48H”と一致すると、フィールド判定F/Fは“0”にクリアされます（ ）。
3. Vsync信号の検出により、VSOUT信号が発生すると（ ）、VSOUT信号の立ち上がりエッジでフィールド判定F/Fの出力値（ ）をラッチします。このラッチした値が奇数/偶数フィールド判定フラグとなります（ ）。
4. 奇数フィールド時は、奇数/偶数フィールド判定フラグは“1”にセットされます。Vsyncコントロールレジスタ（VSC）のVFLGビットによりモニタできます。

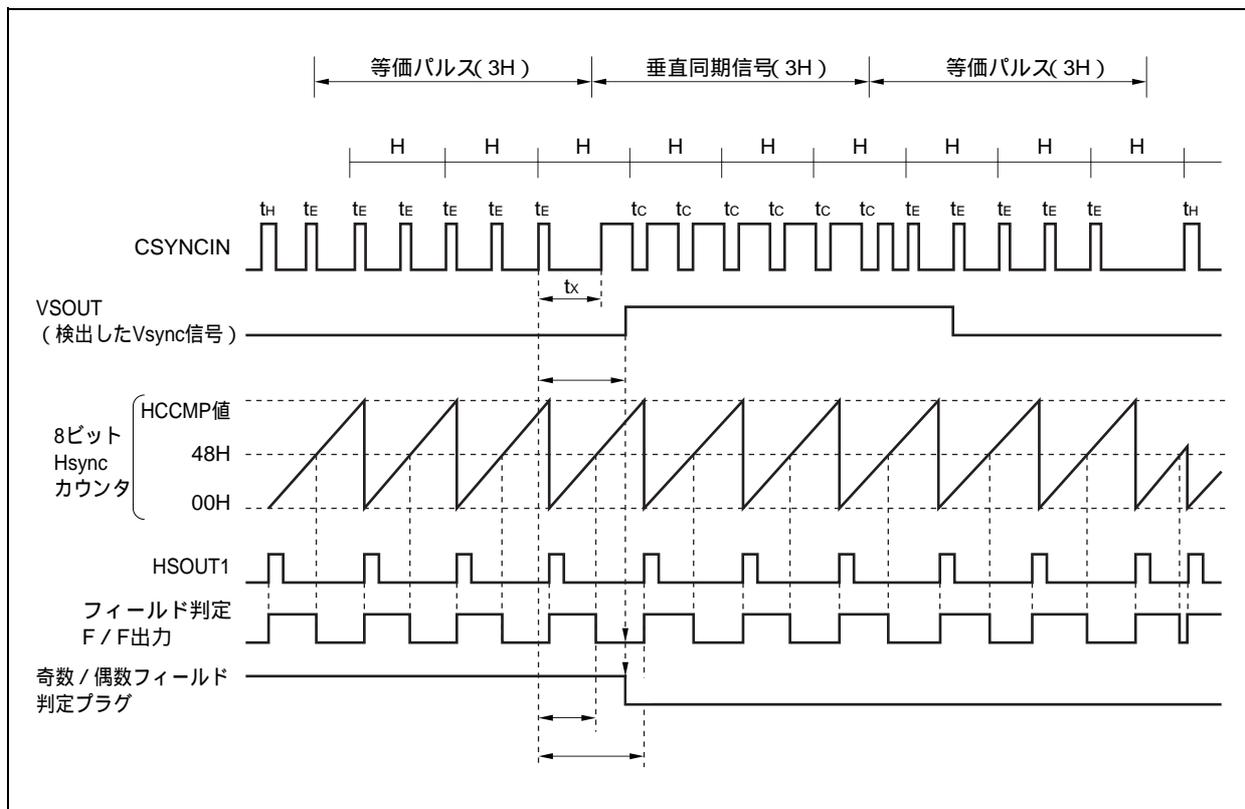
注意1. 正しく奇数フィールドを判定するためには、フィールド判定F/F出力が“1”の間にVsync信号を検出（VSOUT信号）する必要があります。つまり の期間 < の期間 < の期間 としなければなりません。そのためには、ノイズが発生しないと仮定して、VSCMPレジスタの設定値は次の範囲内に設定することを推奨します。

$$\text{HSCMP} + 3 < \text{VSCMP} < \text{HSCMP} + 141$$

2. フィールド判定フラグは、Vsync/Hsync分離回路を起動（VSENビット = “1”）してから、2回のVsync信号を検出後から正常動作を開始します。

(2) 偶数フィールド判定動作

図15 - 11 偶数フィールド判定動作



1. フィールド判定F/Fは、HSOUT1信号（自己補正したHsync信号）により“1”にセットされます（ ）。
2. そのあと、8ビットHsyncカウンタが“48H”と一致すると、フィールド判定F/Fは“0”にクリアされます（ ）。
3. Vsync信号の検出により、VSOUT信号が発生すると、VSOUT信号の立ち上がりエッジでフィールド判定F/Fの出力値をラッチします。このラッチした値が奇数/偶数フィールド判定フラグとなります（ ）。
4. 偶数フィールド時は、奇数/偶数フィールド判定フラグは“0”にクリアされます。Vsyncコントロールレジスタ（VSC）のVFLGビットによりモニタできます。

注意1. 正しく偶数フィールドを判定するには、フィールド判定F/F出力が“0”の間にVsync信号を検出（VSOUT信号）する必要があります。つまり の期間 < の期間 < の期間 としなければなりません。そのためには、ノイズが発生しないと仮定して、VSCMPレジスタの設定値は次の範囲内に設定することを推奨します。

$$\text{HSCMP} + 141 < t_x \times f_{\text{sync}} + \text{VSCMP} < \text{HSCMP} + 2 \times \text{HCCMP} + 1$$

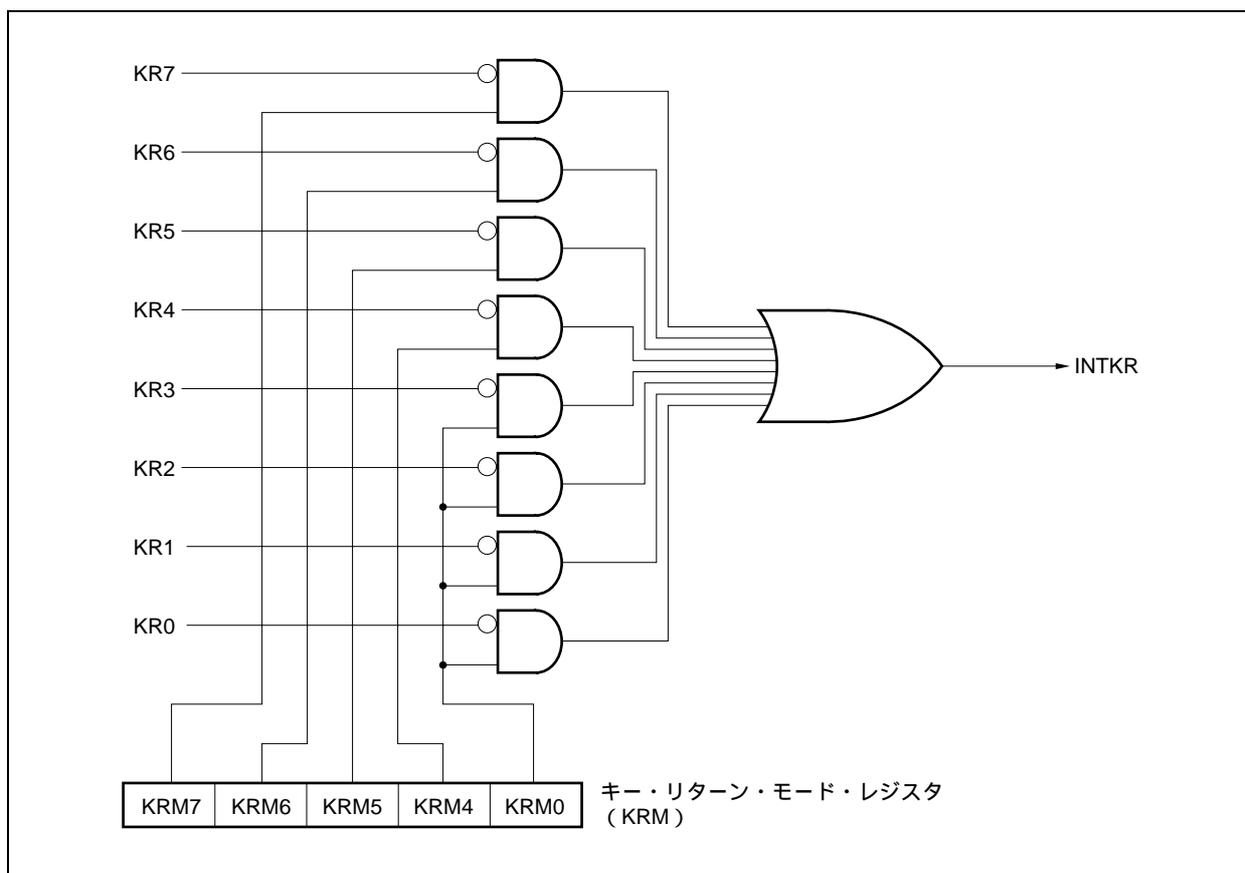
2. フィールド判定フラグは、Vsync/Hsync分離回路を起動（VSENビット=“1”）してから、2回のVsync信号を検出後から正常動作を開始します。

第16章 キー・リターン機能

16.1 機能

V850/SV1は、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することにより、キー割り込み (INTKR) を発生させるキー・リターン機能を内蔵しています。

図16-1 キー・リターン機能



16.2 特徴

- キー入力端子 (KR0-KR7) によりキー割り込み (INTKR) 発生
- 4-8ビットで任意に設定可能
- 立ち下がりエッジ固定
- INTKR割り込みでソフトウェアSTOPモード解除可能

16.3 制御レジスタ

キー・リターン・モード・レジスタ (KRM) の設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

キー・リターン・モード・レジスタ (KRM) は5ビット内蔵しています。KRM0ビットは4ビット単位でKR0-KR3信号を制御して、KRM4-KRM7ビットはそれぞれKR4-KR7信号を制御します (4-8ビット間で任意に設定可能)。8/1ビット単位でリード/ライト可能です。

(1) キー・リターン・モード・レジスタ (KRM)

リセット時：00H R/W アドレス：FFFFFF3D0H

	⑦	⑥	⑤	④	3	2	1	①
KRM	KRM7	KRM6	KRM5	KRM4	0	0	0	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 キー・リターン・モード・レジスタ (KRM) を変更すると、KRICレジスタの割り込み要求フラグ (KRIF) がセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。

表16 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0-KR3信号を4ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

第17章 ポート機能

17.1 各ポートの構成

V850/SV1は、ポート0-19の合計151本の入出力ポート（うち16本は入力専用ポート）を内蔵しています。

端子の入出力バッファ電源には、AV_{DD}、BV_{DD}、V_{DD}の3系統があります。それぞれの電源と端子の関係を次に示します。

電 源	対応する端子	使用可能な電圧範囲
AV _{DD}	ポート7, ポート8	2.7 V AV _{DD} 3.6 V
BV _{DD}	ポート4, ポート5, ポート6, ポート9, CLKOUT, $\overline{\text{WAIT}}$	2.7 V BV _{DD} 3.6 V
V _{DD}	ポート0, ポート1, ポート2, ポート3, ポート10, ポート11, ポート12, ポート13, ポート14, ポート15, ポート16, ポート17, ポート18, ポート19, $\overline{\text{RESET}}$	2.7 V V _{DD} 3.6 V

17.2 各ポートの端子機能

17.2.1 ポート0

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P00-P04はNMI, INTP0-INTP3端子として使用時、アナログ・ノイズ除去回路により、ノイズ除去されます。

P05-P07はINTP4-INTP6, ADTRG, RTPTRG0端子として使用時、デジタル・ノイズ除去回路により、ノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF00H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート0（P0）をリードすると、そのときの端子レベルを読み出します。

ライトすると、P0にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート0（P0）をリードすると、P0の値を読み出します。ライトすると、P0に値を書き込み、すぐに書き込んだ値を出力します。

ポート0は、次に示す端子と兼用しています。

表17 - 1 ポート0の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート0	P00	NMI	入出力	あり	アナログ・ノイズ除去
	P01	INTP0			
	P02	INTP1			
	P03	INTP2			
	P04	INTP3			
	P05	INTP4/ADTRG			デジタル・ノイズ除去
	P06	INTP5/RTPTRG0			
	P07	INTP6			

注 ソフトウェア・プルアップ機能

(1) P0端子の機能

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート0モード・レジスタ (PM0) で入出力を制御します。

出力モード時、ポート0 (P0) に設定した各ビットの値を出力します。出力モードとして使用するときは、各割り込み要求の有効エッジを無効にするか、各割り込み要求をマスク (NMI以外) してください。

入力モード時にP0をリードすると端子状態をリードできます。また、出力モード時にP0をリードすると、P0 (出力ラッチ) の値をリードできます。

NMI, INTP0-INTP6の有効エッジは、立ち上がりエッジ指定レジスタ0 (EGP0) と、立ち下がりエッジ指定レジスタ0 (EGN0) で指定します。

プルアップ抵抗オプション・レジスタ0 (PU0) の指定により、1ビット単位でプルアップ抵抗を接続できます。

リセット入力により、入力モードに初期化されます。また、各割り込み要求の有効エッジも無効になります (リセット直後、NMI, INTP0-INTP6は機能しません)。

(2) ノイズ除去

(a) NMI, INTP0-INTP3端子のノイズ除去

アナログ・ディレイによるノイズ除去回路を内蔵しています。このため、これらの端子に一定時間以上同じレベルの信号を入力すると、有効エッジとして検出します。また、エッジの検出は一定時間後になります。

(b) INTP4-INTP6, ADTRG, RTPTRG0端子のノイズ除去

デジタル・ノイズ除去回路を内蔵しています。

INTP4, INTP5, ADTRG, RTPTRG0端子のデジタル・サンプリングによるノイズ除去は、端子の入力レベルをサンプリング・クロック (f_{sx}) で検出し、同じレベルが3回連続で検出されなかった場合に行われます。

INTP6端子については、ノイズ除去幅を変更することができます (5.2.4 外部割り込み要求入力端子のノイズ除去参照)。

- 注意1. 入力パルス幅が2~3クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。
2. 確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
3. サンプリング・クロックに同期してノイズが発生している場合は、ノイズとして認められないことがあります。このような場合には、入力端子にフィルタを付加してノイズを除去してください。
4. 通常入力ポートとして使用する場合はノイズ除去を行いません。

(3) 制御レジスタ

(a) ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF020H

	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-7)	
0	出力モード	
1	入力モード	

(b) プルアップ抵抗オプション・レジスタ0 (PU0)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF0A0H

	7	6	5	4	3	2	1	0
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-7)	
0	接続しない	
1	接続する	

(c) 立ち上がりエッジ指定レジスタ (EGP0)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF0C0H

	⑦	⑥	⑤	④	③	②	①	①
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ検出の制御 (n = 0-7)
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

備考 n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(d) 立ち下がりエッジ指定レジスタ (EGN0)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF0C2H

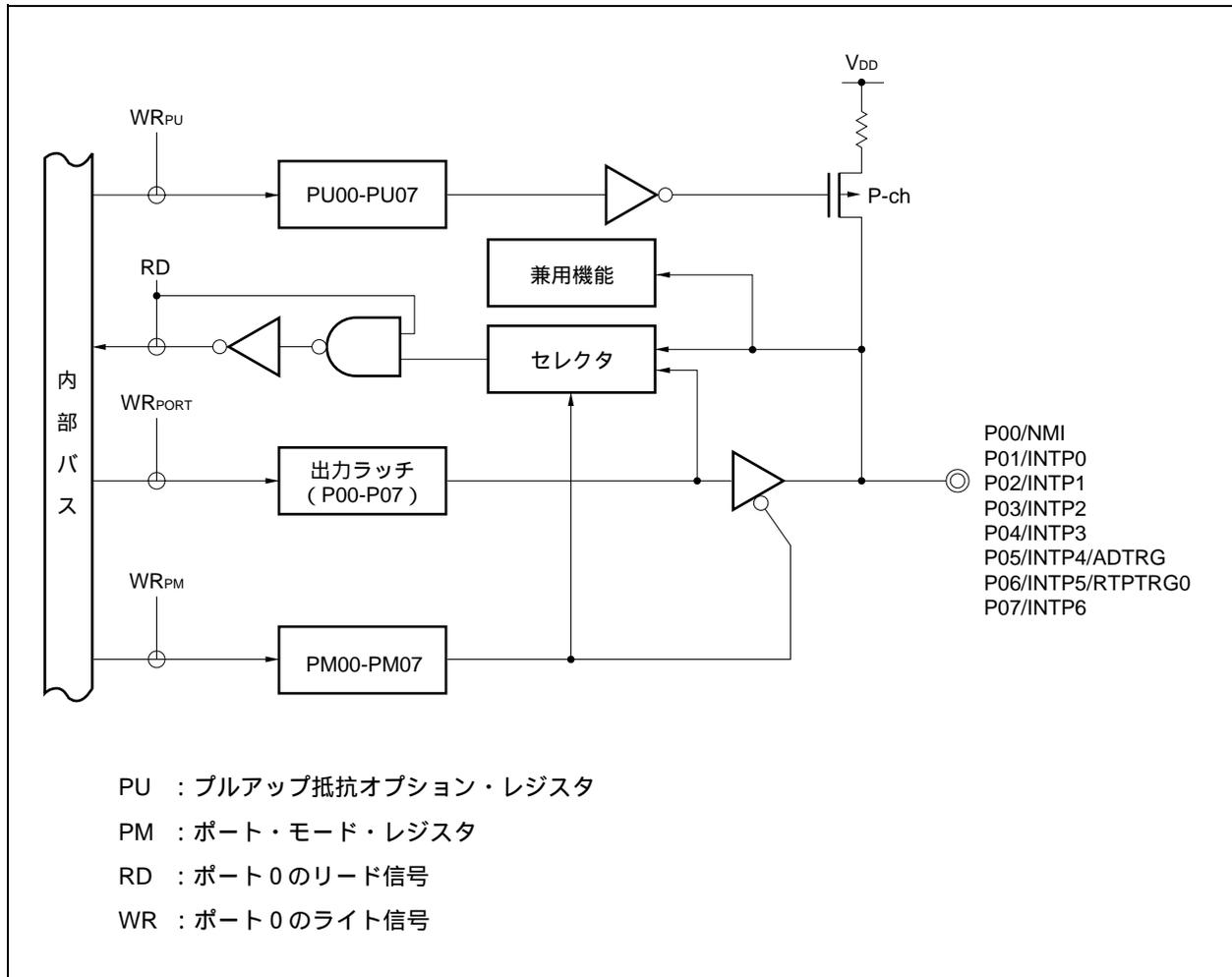
	⑦	⑥	⑤	④	③	②	①	①
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ検出の制御 (n = 0-7)
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

備考 n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(4) ポート0のブロック図

図17 - 1 P00-P07のブロック図



17.2.2 ポート1

ポート1は、1ビット単位で入出力を制御できる6ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P10-P12, P14, P15は、通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：00H R/W アドレス：FFFFFF02H

	7	6	5	4	3	2	1	0
P1	0	0	P15	P14	P13	P12	P11	P10

P1n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

備考 入力モード時：ポート1（P1）をリードすると、そのときの端子レベルを読み出します。ライトすると、P1にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート1（P1）をリードすると、P1の値を読み出します。ライトすると、P1に値を書き込み、すぐに書き込んだ値を出力します。

ポート1は、次に示す端子と兼用しています。SDA0, SCL0端子は μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

表17-2 ポート1の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート1	P10	SI0/SDA0	入出力	あり	N-chオープン・ドレイン出力選択可能
	P11	SO0			
	P12	SCK0/SCL0			
	P13	SI1/RXD0			-
	P14	SO1/TXD0			N-chオープン・ドレイン出力選択可能
	P15	SCK1/ASCK0			

注 ソフトウェア・プルアップ機能

(1) P1端子の機能

ポート1は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート1モード・レジスタ（PM1）で入出力を制御します。

出力モード時、ポート1（P1）に設定した各ビットの値を出力します。また、ポート1ファンクション・レジスタ（PF1）により、P10-P12, P14, P15の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP1をリードすると端子状態をリードできます。また、出力モード時にP1をリードすると、P1（出力ラッチ）の値をリードできます。

プルアップ抵抗オプション・レジスタ1（PU1）の指定により、1ビット単位でプルアップ抵抗を接続できます。

兼用端子を出力として使用するときは、P1とPM1レジスタを0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

リセット時：3FH R/W アドレス：FFFFFF022H

	7	6	5	4	3	2	1	0
PM1	0	0	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ1 (PU1)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF0A2H

	7	6	5	4	3	2	1	0
PU1	0	0	PU15	PU14	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

(c) ポート1ファンクション・レジスタ (PF1)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0B0H

	7	6	5	4	3	2	1	0
PF1	0	0	PF15	PF14	0 ^注	PF12	PF11	PF10

PF1n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-2, 4, 5)
0	通常出力
1	N-chオープン・ドレイン出力

注 ビット3は通常出力に固定です。

(3) ポート1のブロック図

図17-2 P10, P12, P15のブロック図

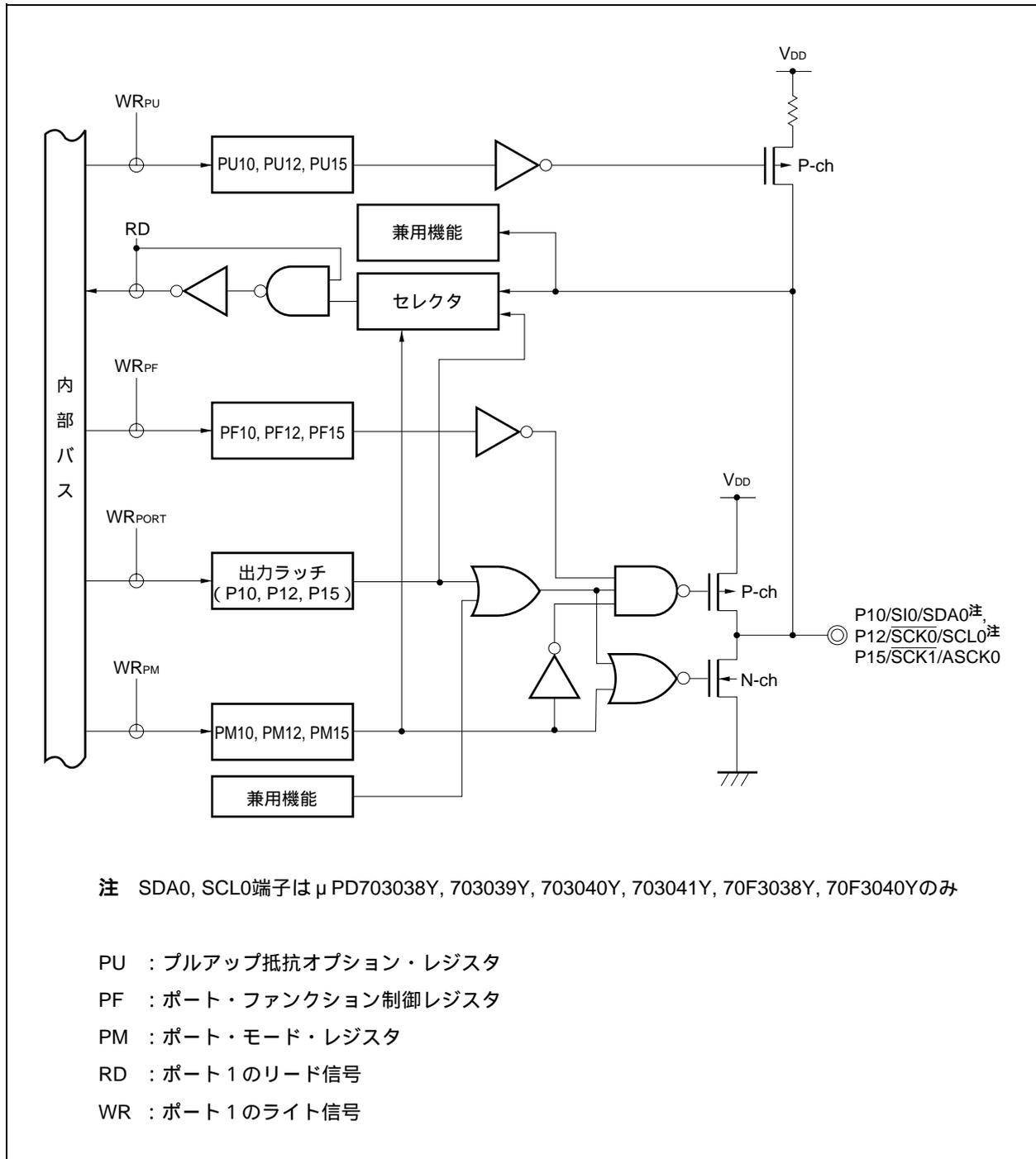


図17-3 P11, P14のブロック図

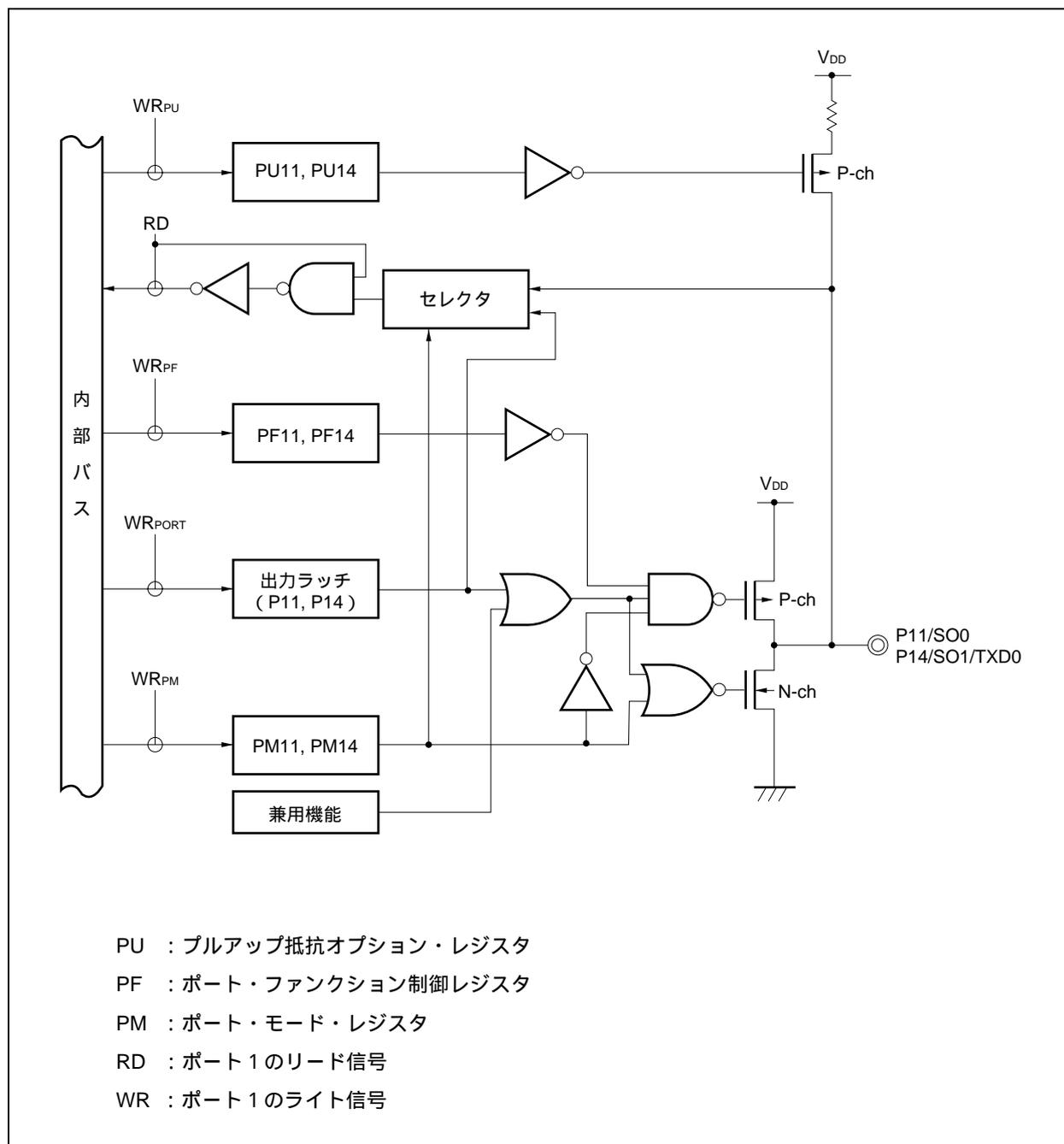
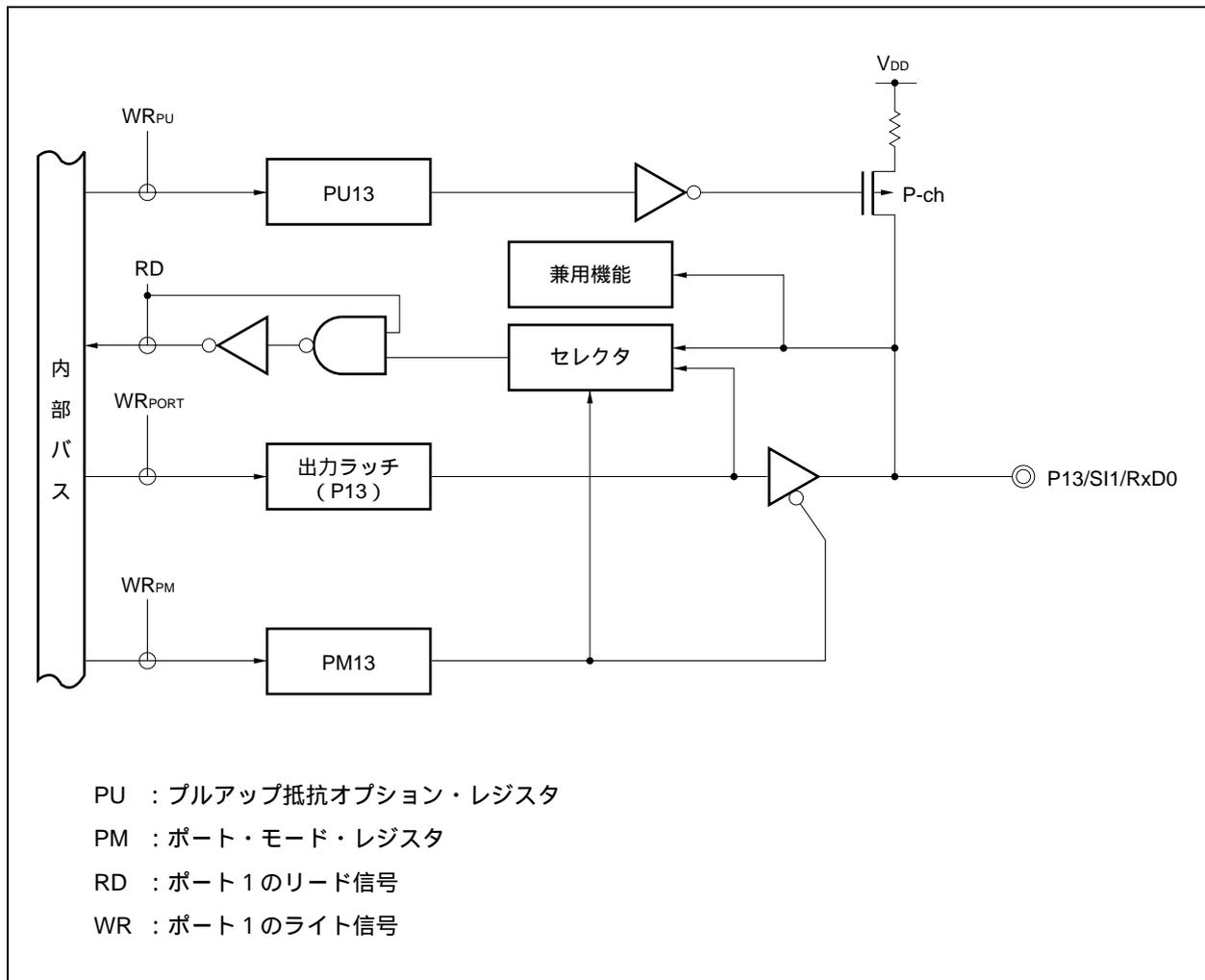


図17-4 P13のブロック図



17.2.3 ポート2

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P20, P21, P22, P24, P25は通常出力とN-chオープン・ドレイン出力を選択できます。

P26, P27はTI2, TI3端子として使用時、デジタル・ノイズ除去回路により、ノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF004H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート2（P2）をリードすると、そのときの端子レベルを読み出します。ライトすると、P2にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート2（P2）をリードすると、P2の値を読み出します。ライトすると、P2に値を書き込み、すぐに書き込んだ値を出力します。

ポート2は次に示す端子と兼用しています。SDA1, SCL1端子は μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ有効です。

表17-3 ポート2の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート2	P20	SI2/SDA1	入出力	あり	N-chオープン・ドレイン出力選択可能
	P21	SO2			
	P22	SCK2/SCL1			-
	P23	SI3/RXD1			
	P24	SO3/TXD1			N-chオープン・ドレイン出力選択可能
	P25	SCK3/ASCK1			デジタル・ノイズ除去
	P26	TI2/TO2			
	P27	TI3/TO3			

注 ソフトウェア・プルアップ機能

(1) P2端子の機能

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート2モード・レジスタ（PM2）で入出力を制御します。

出力モード時、ポート2（P2）に設定した各ビットの値を出力します。またポート2ファンクション・レジスタ（PF2）により、P20, P21, P22, P24, P25の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP2をリードすると端子状態をリードできます。また、出力モード時にP2をリードすると、

P2 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ2 (PU2) の指定により、1ビット単位でプルアップ抵抗を接続できます。

T12, T13端子として使用するときは、デジタル・ノイズ除去回路 (ポート0のデジタル・ノイズ除去回路と同等) により、ノイズ除去されます。

兼用端子を出力として使用するときは、P2とPM2を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF024H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ2 (PU2)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF0A4H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(c) ポート2ファンクション・レジスタ (PF2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0B2H

	7	6	5	4	3	2	1	0
PF2	0	0	PF25	PF24	0	PF22	PF21	PF20

PF2n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-2, 4, 5)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ポート2のブロック図

図17-5 P20, P22, P25のブロック図

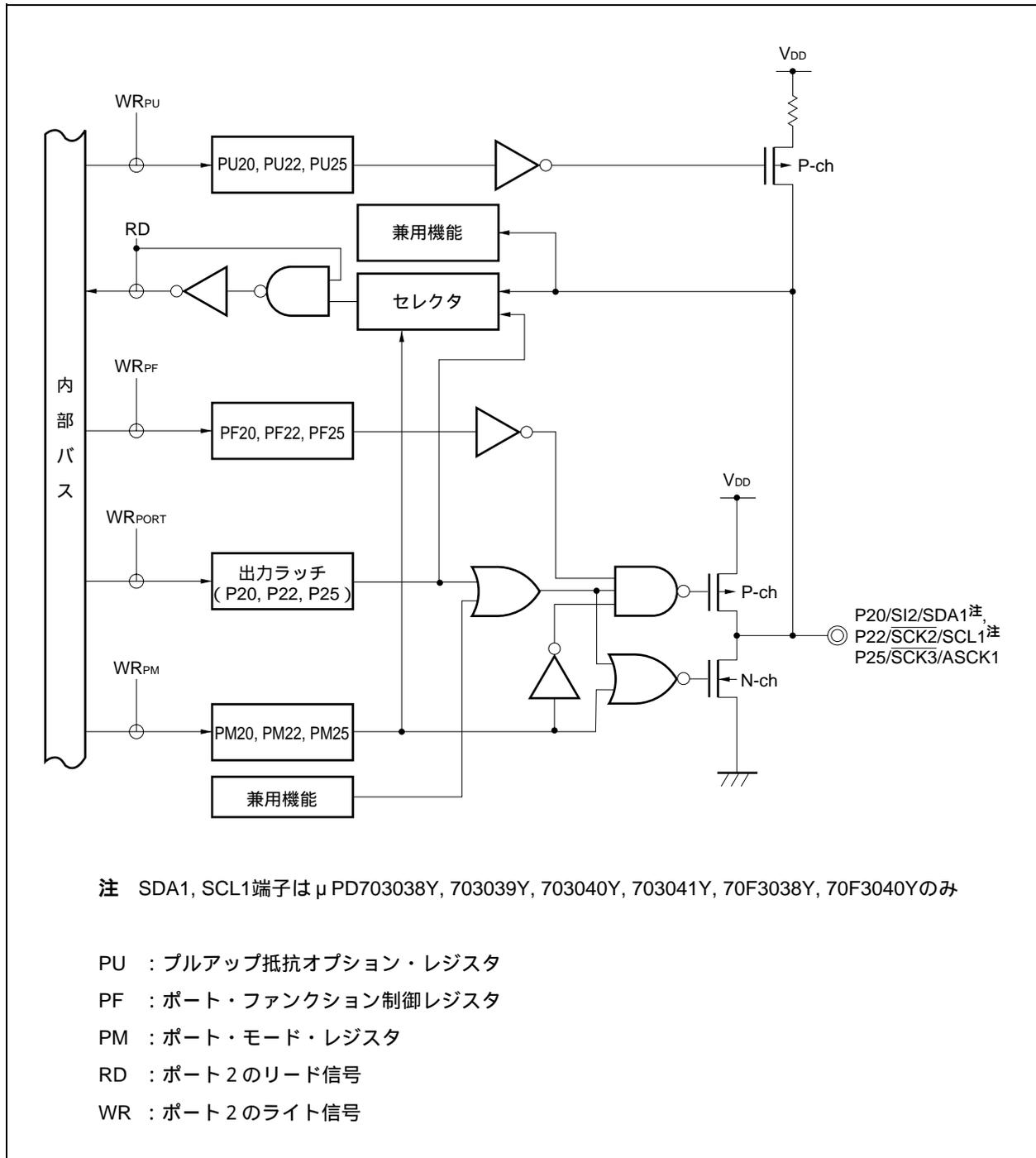


図17-6 P21, P24のブロック図

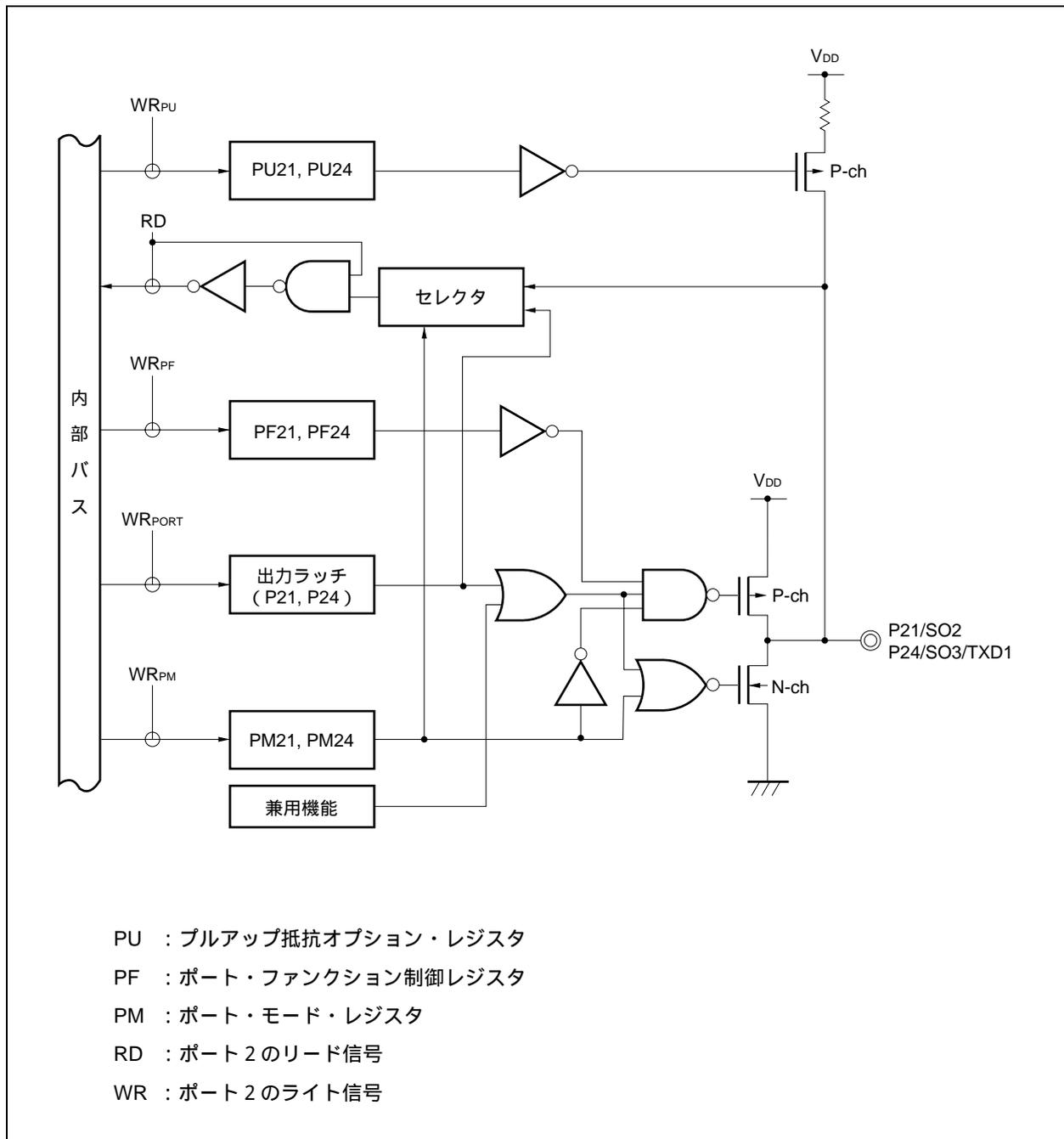


図17-7 P23のブロック図

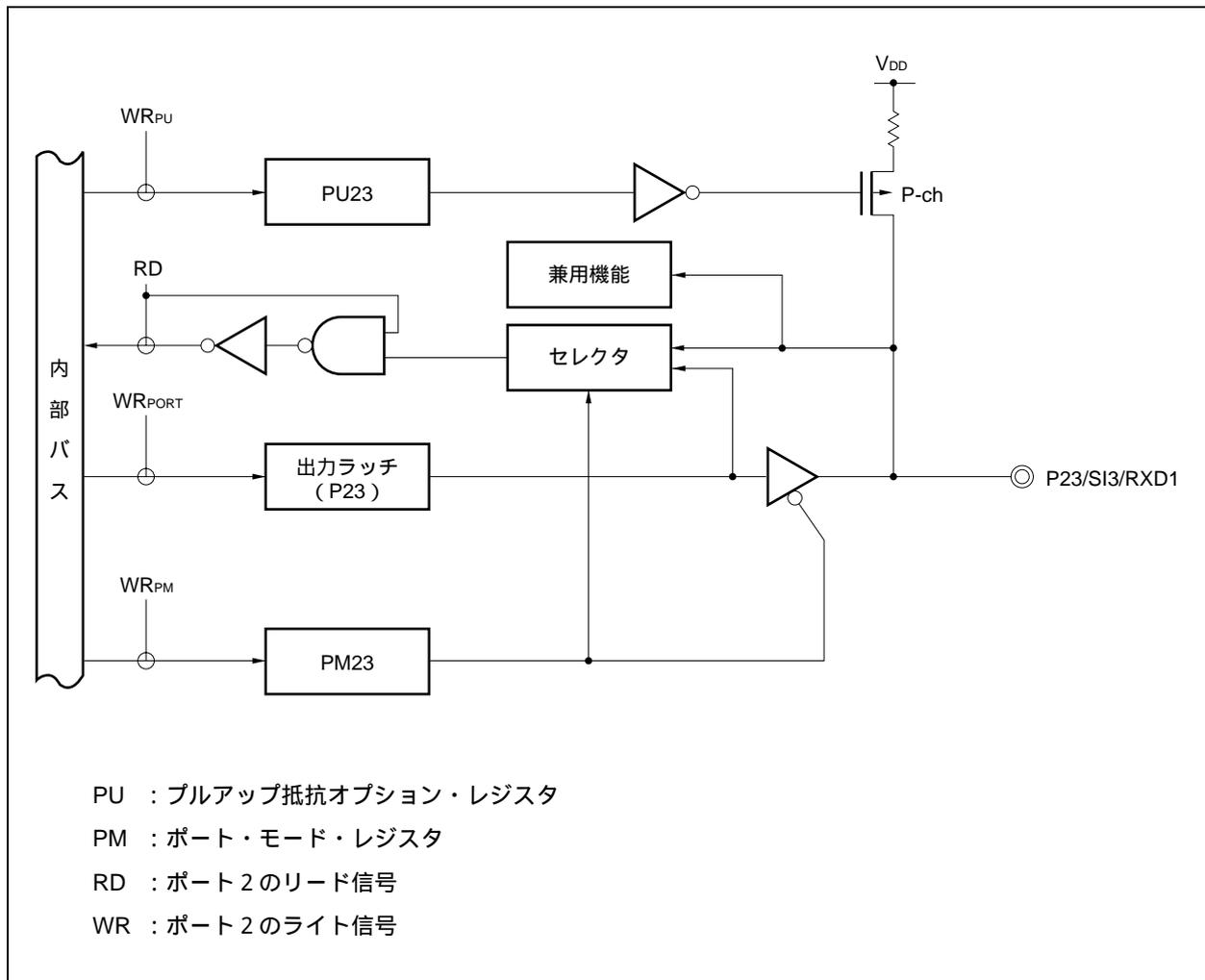
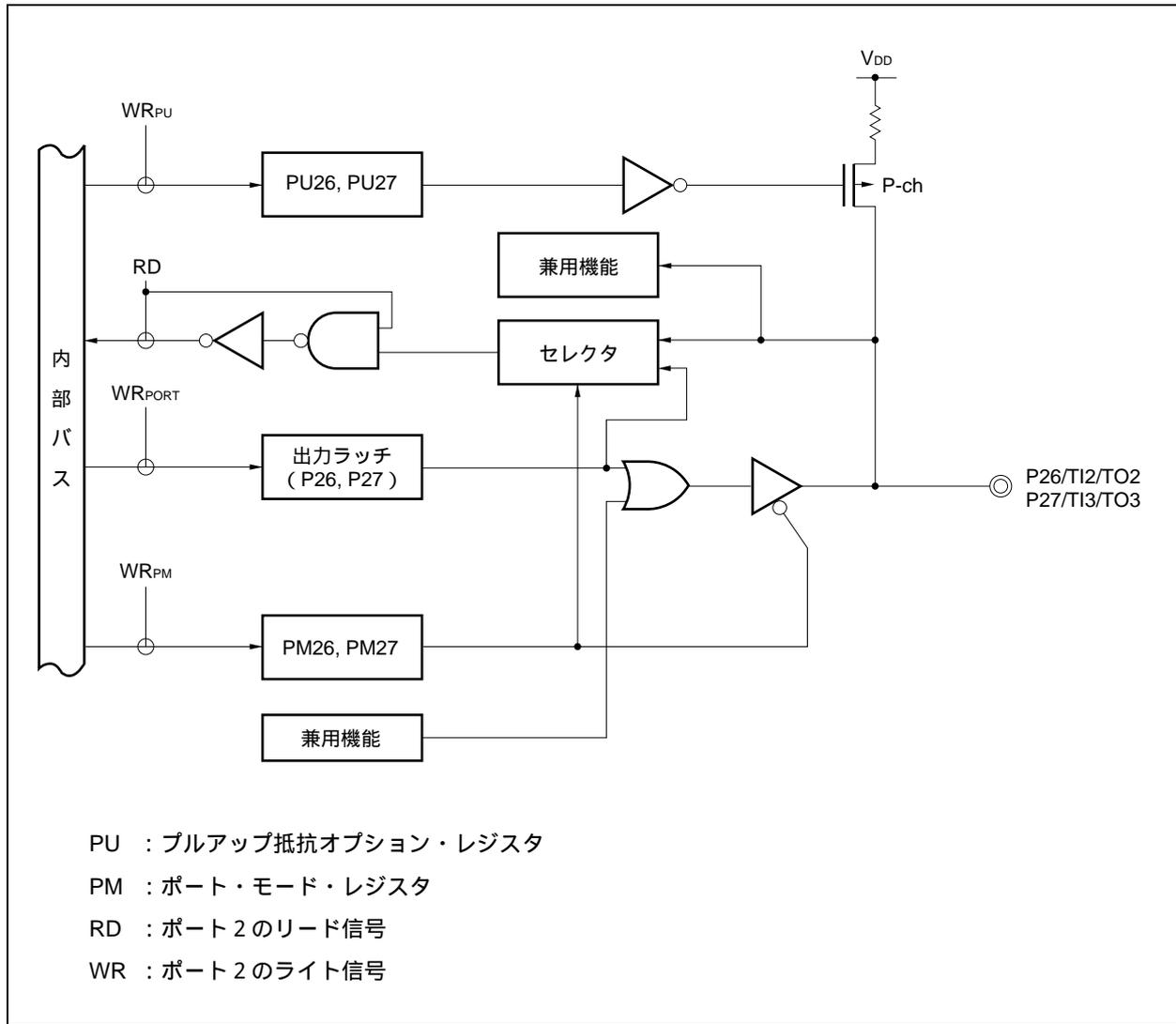


図17 - 8 P26, P27のブロック図



17.2.4 ポート3

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P36, P37はTI4, TI5端子として使用時、デジタル・ノイズ除去回路により、ノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF006H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート3（P3）をリードすると、そのときの端子レベルを読み出します。ライトすると、P3にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート3（P3）をリードすると、P3の値を読み出します。ライトすると、P3に値を書き込み、すぐに書き込んだ値を出力します。

ポート3は、次に示す端子と兼用しています。

表17-4 ポート3の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート3	P30	TI000	入出力	あり	-
	P31	TI001			
	P32	TI010			
	P33	TI011			
	P34	TO0			
	P35	TO1			
	P36	TI4/TO4			
	P37	TI5/TO5			

注 ソフトウェア・プルアップ機能

(1) P3端子の機能

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート3モード・レジスタ（PM3）により、入出力を制御します。

出力モード時、ポート3（P3）に設定した各ビットの値を出力します。

入力モード時にP3をリードすると端子状態をリードできます。また、出力モード時にP3をリードすると、P3（出力ラッチ）の値をリードできます。

プルアップ抵抗オプション・レジスタ3（PU3）の指定により、1ビット単位でプルアップ抵抗を接続できます。

TI4, TI5端子として使用するときは、デジタル・ノイズ除去回路（ポート0のデジタル・ノイズ除去

回路と同等)により、ノイズ除去されます。

兼用端子を出力として使用するときは、P3とPM3を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF026H

	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ3 (PU3)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0A6H

	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ポート3のブロック図

図17-9 P30-P33のブロック図

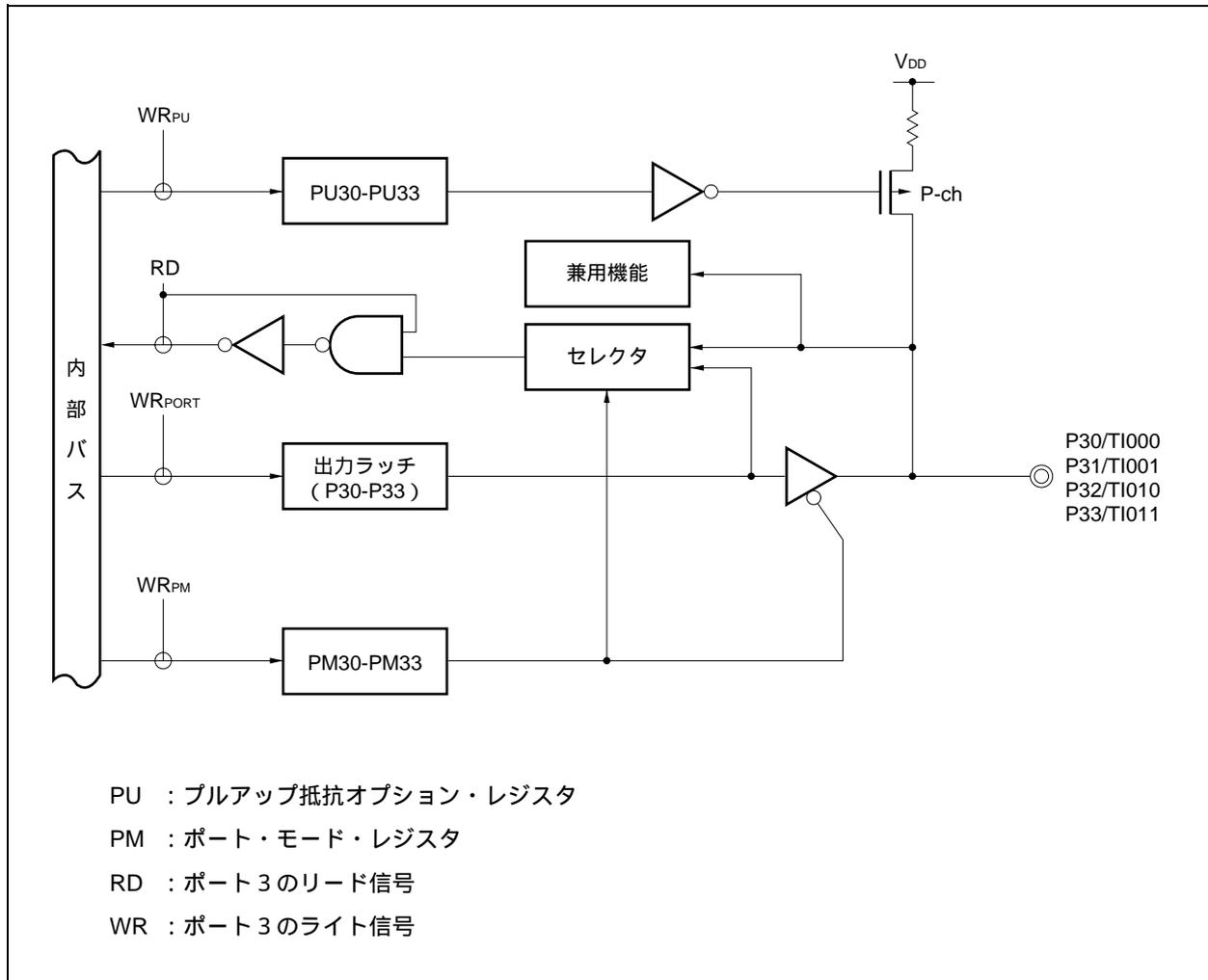


図17 - 10 P34, P35のブロック図

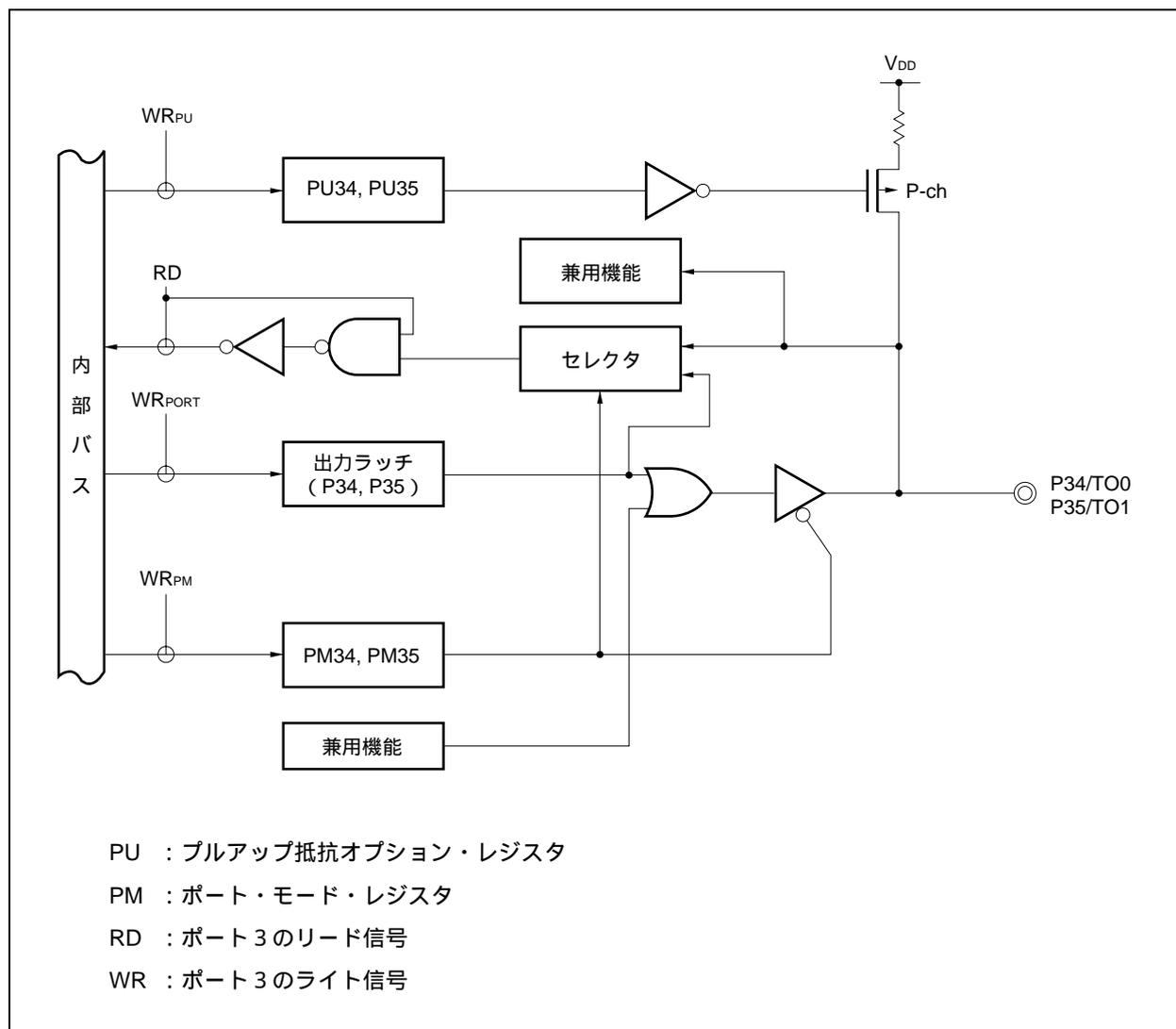
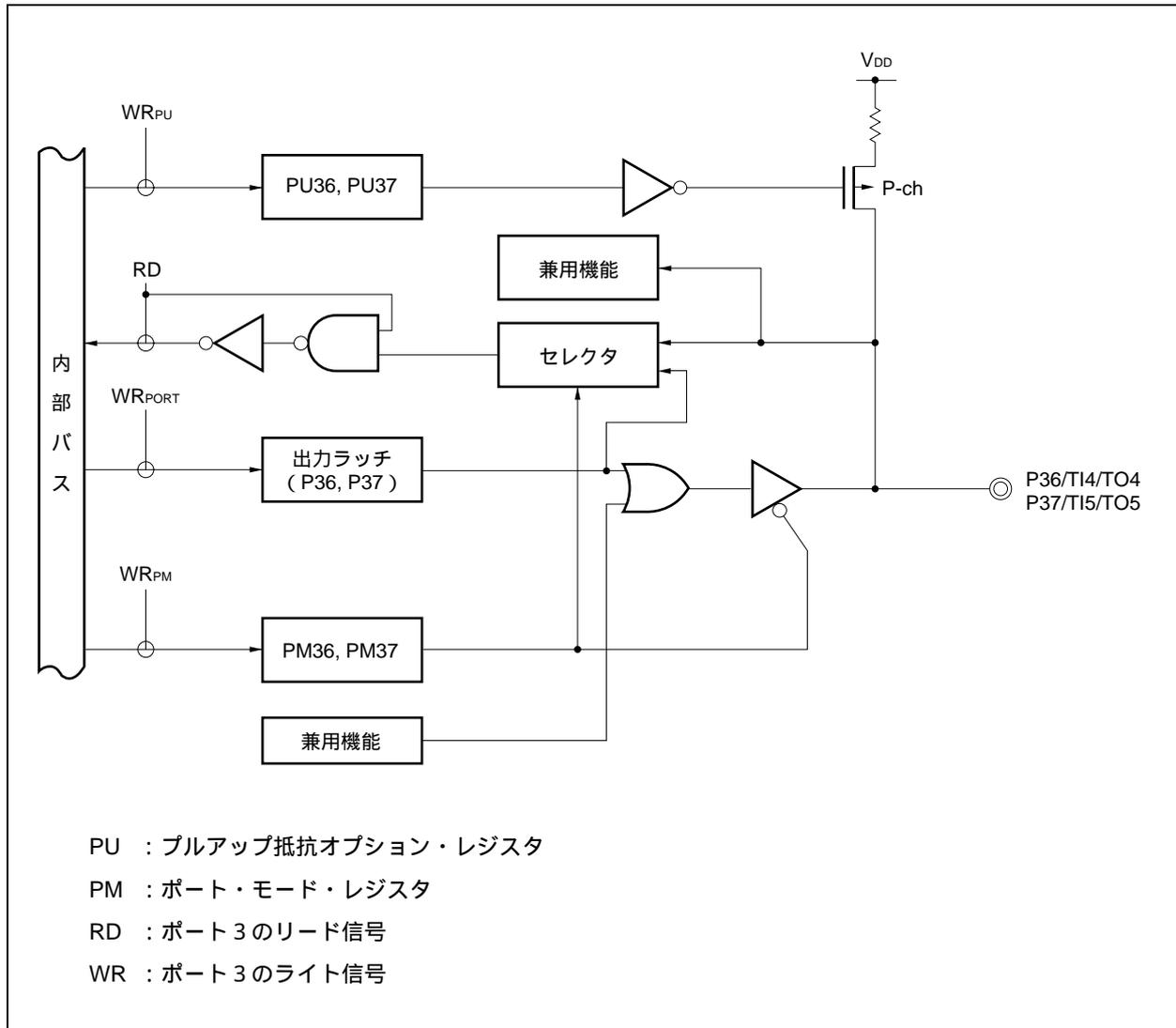


図17 - 11 P36, P37のブロック図



17.2.5 ポート4, ポート5

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時: 00H R/W アドレス: FFFFF008H, FFFFF00AH

	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

(n = 4, 5)

Pnx	出力データの制御 (出力モード時) (n = 4, 5, x = 0-7)
0	0を出力
1	1を出力

備考 入力モード時: ポート4 (P4), ポート5 (P5) をリードすると, そのときの端子レベルを読み出します。ライトすると, P4, P5にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時: ポート4 (P4), ポート5 (P5) をリードすると, P4, P5の値を読み出します。ライトすると, P4, P5に値を書き込み, すぐに書き込んだ値を出力します。

ポート4, ポート5は, 次を示す端子と兼用しています。

表17-5 ポート4, ポート5の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート4	P40	AD0	入出力	なし	-
	P41	AD1			
	P42	AD2			
	P43	AD3			
	P44	AD4			
	P45	AD5			
	P46	AD6			
	P47	AD7			
ポート5	P50	AD8	入出力	なし	-
	P51	AD9			
	P52	AD10			
	P53	AD11			
	P54	AD12			
	P55	AD13			
	P56	AD14			
	P57	AD15			

注 ソフトウェア・プルアップ機能

(1) P4, P5端子の機能

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート4モード・レジスタ (PM4), ポート5モード・レジスタ (PM5) で入出力を制御します。

出力モード時, ポート4, ポート5 (P4, P5) に設定した各ビットの値を出力します。

入力モード時にP4, P5をリードすると端子状態をリードできます。また, 出力モード時にP4, P5をリードすると, P4, P5 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

AD0-AD15として使用する場合は, メモリ拡張レジスタ (MM) で設定します。PM4, PM5の影響は受けません。

リセット入力により, 入力モードに初期化されます。

(2) 制御レジスタ

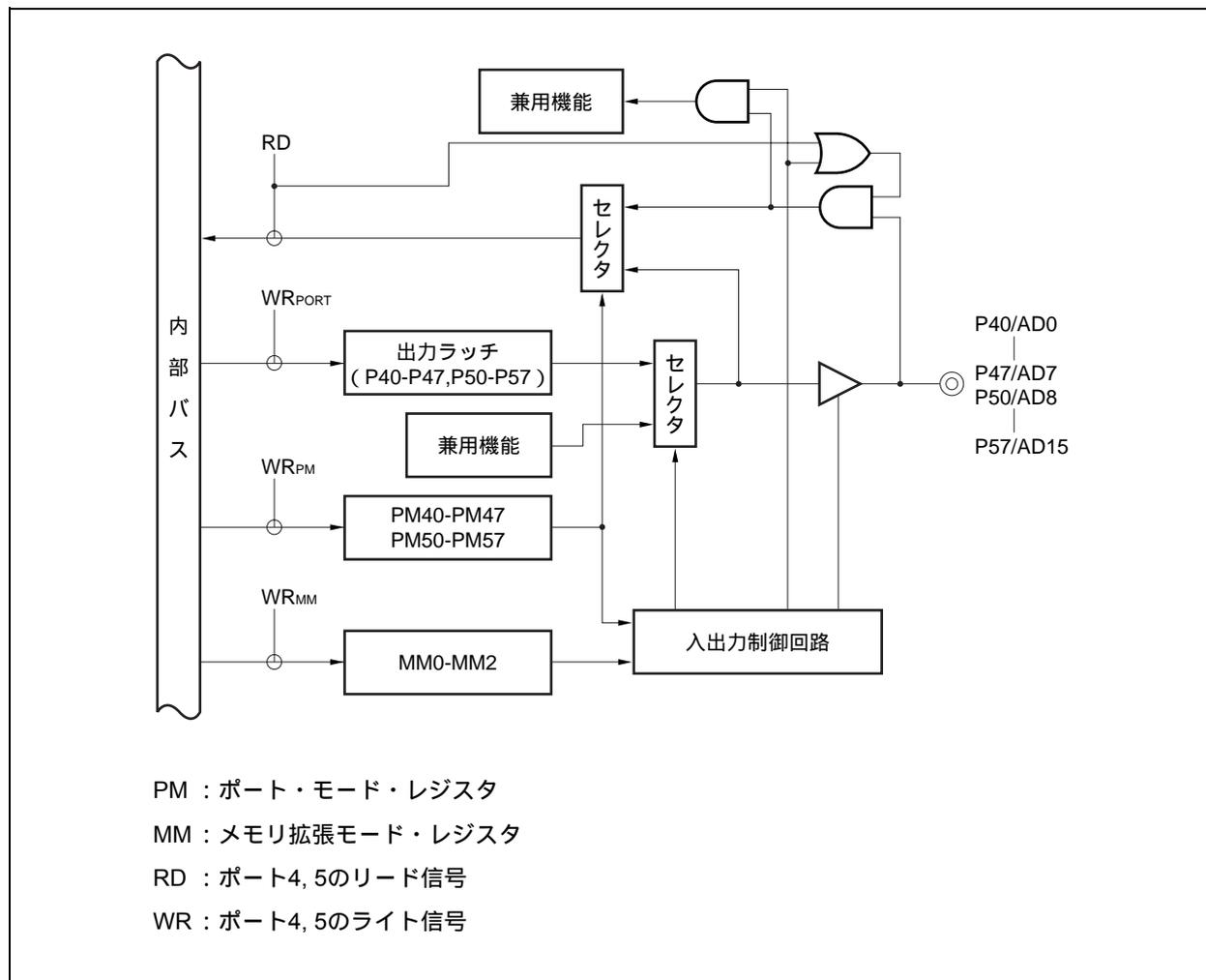
(a) ポート4モード・レジスタ, ポート5モード・レジスタ (PM4, PM5)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF028H, FFFFF02AH									
	7	6	5	4	3	2	1	0	
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0	
(n = 4, 5)									
	PMnx	入出力モードの制御 (n = 4, 5, x = 0-7)							
	0	出力モード							
	1	入力モード							

(3) ポート4, ポート5のブロック図

図17 - 12 P40-P47, P50-P57のブロック図



17.2.6 ポート6

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
P6	0	0	P65	P64	P63	P62	P61	P60

P6n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

備考 入力モード時：ポート6（P6）をリードすると、そのときの端子レベルを読み出します。ライトすると、P6にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート6（P6）をリードすると、P6の値を読み出します。ライトすると、P6に値を書き込み、すぐに書き込んだ値を出力します。

ポート6は、次に示す端子と兼用しています。

表17-6 ポート6の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート6	P60	A16	なし	-
	P61	A17		
	P62	A18		
	P63	A19		
	P64	A20		
	P65	A21		

注 ソフトウェア・プルアップ機能

(1) P6端子の機能

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート6モード・レジスタ（PM6）で入出力を制御します。

出力モード時、ポート6（P6）に設定した各ビットの値を出力します。

入力モード時にP6をリードすると端子状態をリードできます。また、出力モード時にP6をリードすると、P6（出力ラッチ）の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

A16-A21として使用する場合は、メモリ拡張レジスタ（MM）で設定します。PM6の影響は受けません。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート6モード・レジスタ (PM6)

8/1ビット単位でリード/ライト可能です。

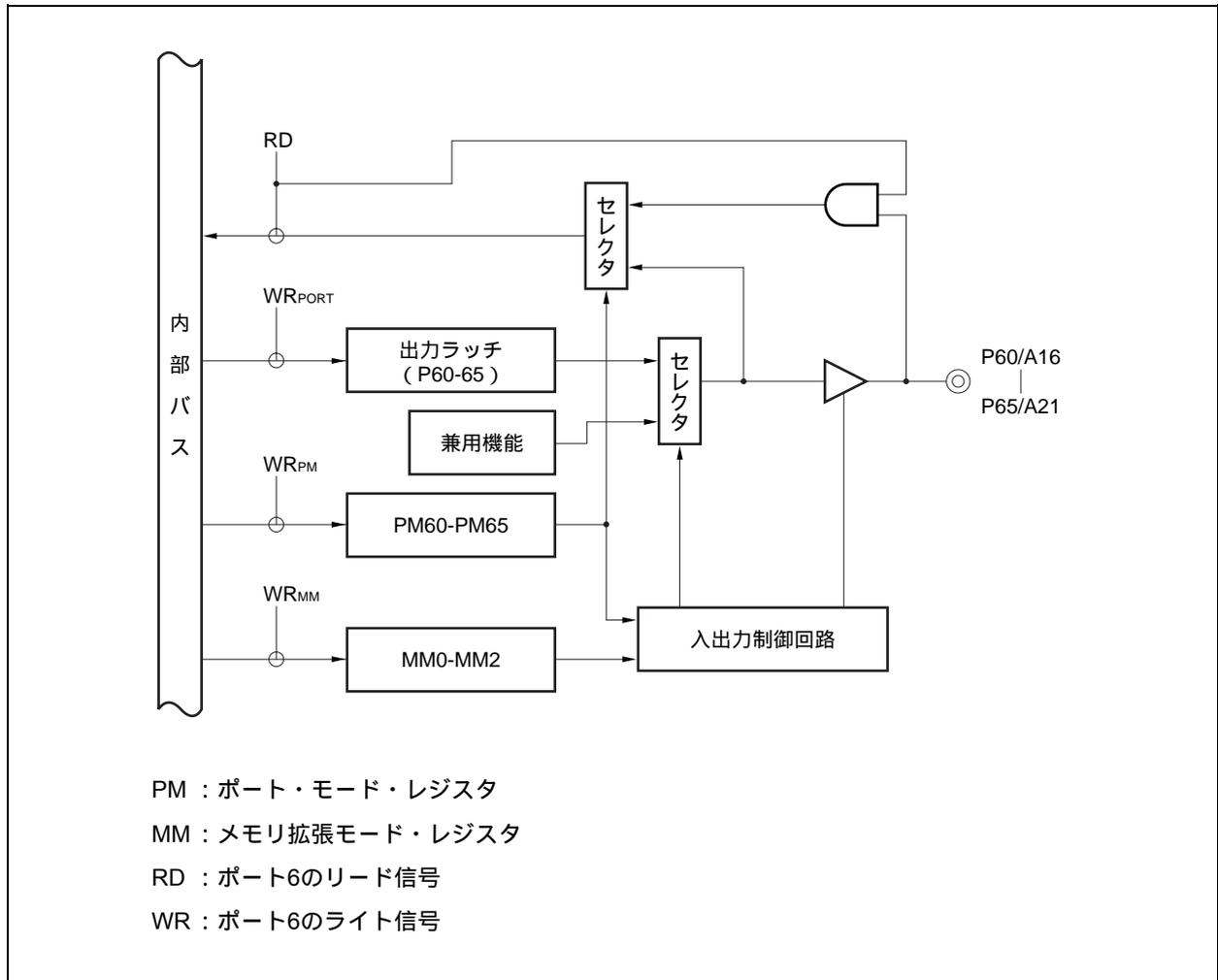
リセット時 : 3FH R/W アドレス : FFFFFFF02CH

	7	6	5	4	3	2	1	0
PM6	0	0	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	入出力モードの制御 (n = 0-5)	
0	出力モード	
1	入力モード	

(3) ポート6のブロック図

図17 - 13 P60-P65のブロック図



17.2.7 ポート7, ポート8

ポート7, ポート8は, 8ビットの入力ポートです。8/1ビット単位でリードのみ可能です。

リセット時：不定 R アドレス：FFFFFF00EH							
7	6	5	4	3	2	1	0
P77	P76	P75	P74	P73	P72	P71	P70
P7n	端子レベル (n = 0-7)						
0/1	ビットnの端子レベルをリード						
リセット時：不定 R アドレス：FFFFFF010H							
7	6	5	4	3	2	1	0
P87	P86	P85	P84	P83	P82	P81	P80
P8n	端子レベル (n = 0-7)						
0/1	ビットnの端子レベルをリード						

ポート7, ポート8は, 次を示す端子と兼用しています。

表17-7 ポート7, ポート8の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート7	P70	ANI0	入力	なし	-
	P71	ANI1			
	P72	ANI2			
	P73	ANI3			
	P74	ANI4			
	P75	ANI5			
	P76	ANI6			
	P77	ANI7			
ポート8	P80	ANI8	入力	なし	-
	P81	ANI9			
	P82	ANI10			
	P83	ANI11			
	P84	ANI12			
	P85	ANI13			
	P86	ANI14			
	P87	ANI15			

注 ソフトウェア・プルアップ機能

(1) P7, P8端子の機能

ポート7, ポート8は, 8ビットの入力専用ポートです。

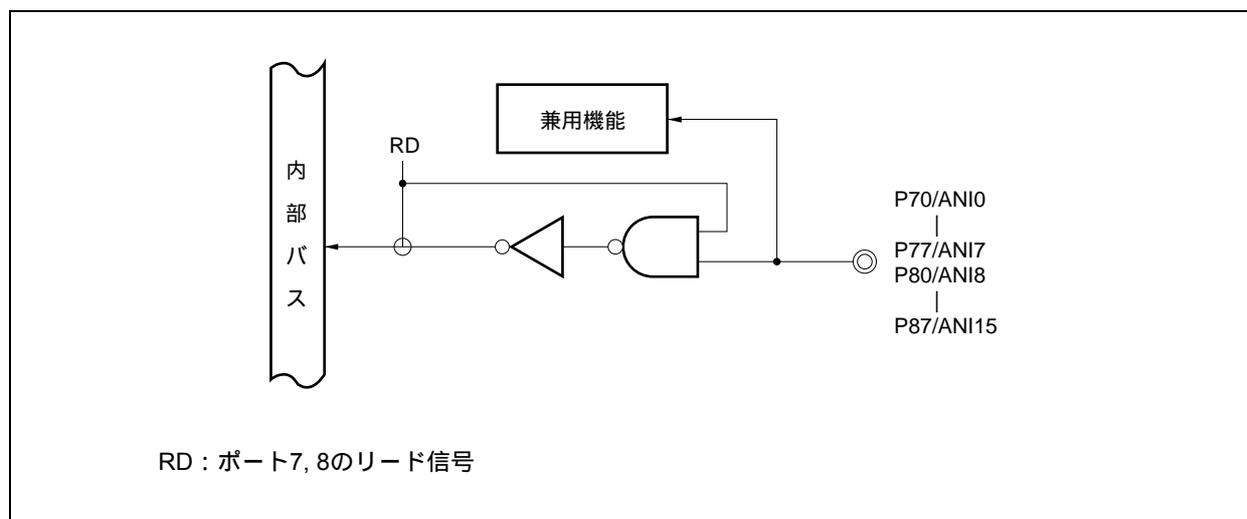
ポート7 (P7), ポート8 (P8) をリードすると端子状態をリードできます。また, P7, P8にはデータを
書き込めません。

ソフトウェア・プルアップ機能は内蔵していません。

アナログ入力に指定された端子をリードしたときの値は不定です。また, A/D変換中にP7, P8の値をリー
ドしないでください。

(3) ポート7, ポート8のブロック図

図17 - 14 P70-P77, P80-P87のブロック図



17.2.8 ポート9

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF012H

	7	6	5	4	3	2	1	0
P9	0	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-6）
0	0を出力
1	1を出力

備考 入力モード時：ポート9（P9）をリードすると、そのときの端子レベルを読み出します。ライトすると、P9にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート9（P9）をリードすると、P9の値を読み出します。ライトすると、P9に値を書き込み、すぐに書き込んだ値を出力します。

ポート9は、次に示す端子と兼用しています。

表17-8 ポート9の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート9	P90	LBEN/WRL	入出力	なし	-
	P91	UBEN			
	P92	R/W / WRH			
	P93	DSTB/RD			
	P94	ASTB			
	P95	HLDK			
	P96	HLDK			

注 ソフトウェア・プルアップ機能

(1) P9端子の機能

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。ポート9モード・レジスタ (PM9) で入出力を制御します。

出力モード時、ポート9 (P9) に設定した各ビットの値を出力します。

入力モード時にP9をリードすると端子状態をリードできます。また、出力モード時にP9をリードすると、P9 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

P9を拡張モード時のコントロール信号として使用する場合は、メモリ拡張モード・レジスタ (MM) で設定してください。

リセット入力により、入力モードに初期化されます。

★ **注意** ポート9を入出力ポートとして使用する際は、システム制御レジスタ (SYC) のBICビット (4.2.2 (1) システム制御レジスタ (SYC) 参照) を“0”に設定してください。

(2) 制御レジスタ

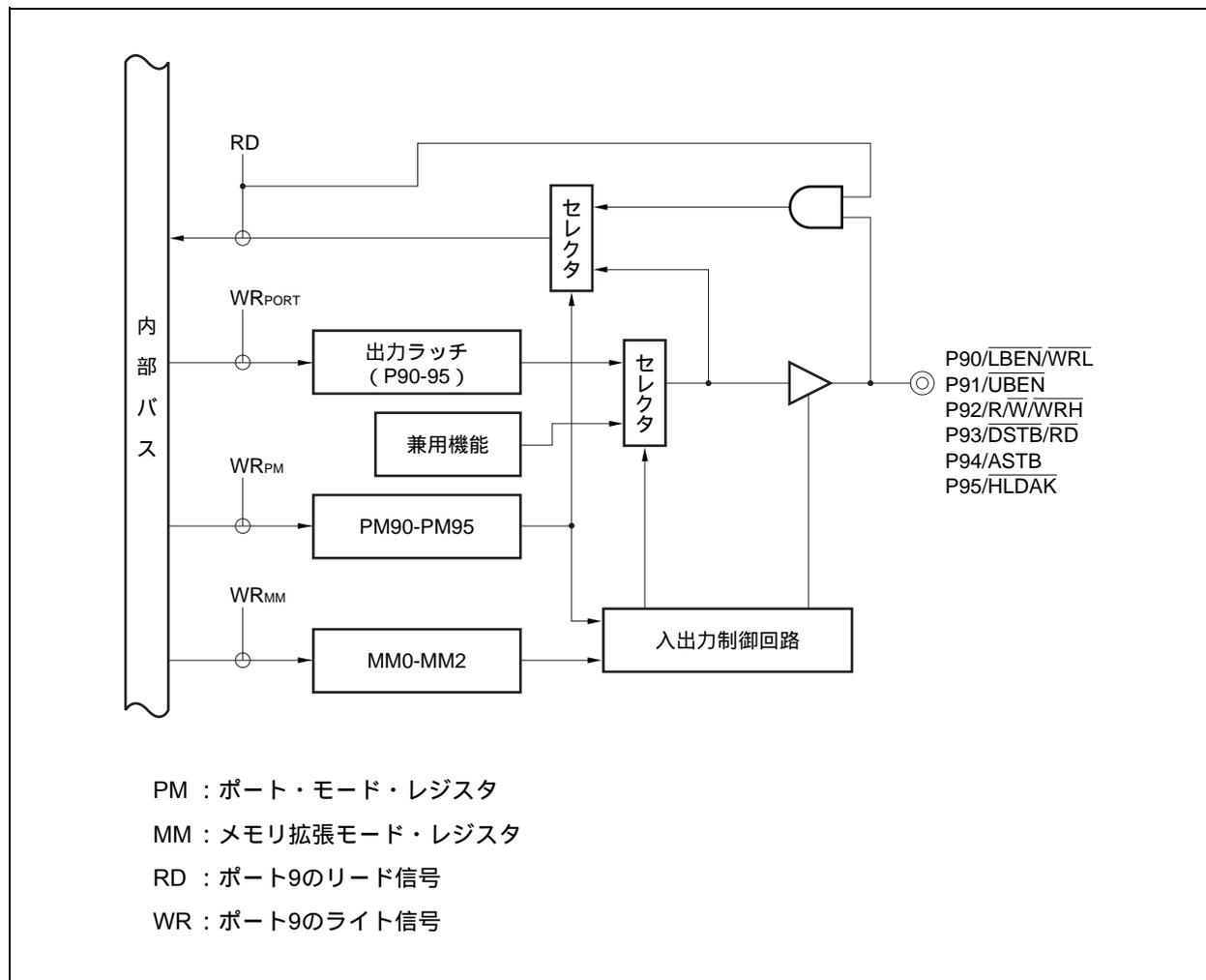
(a) ポート9モード・レジスタ (PM9)

8/1ビット単位でリード/ライト可能です。

リセット時 : 7FH R/W アドレス : FFFFF032H								
	7	6	5	4	3	2	1	0
PM9	0	PM96	PM95	PM94	PM93	PM92	PM91	PM90
	PM9n	入出力モードの制御 (n = 0-6)						
	0	出力モード						
	1	入力モード						

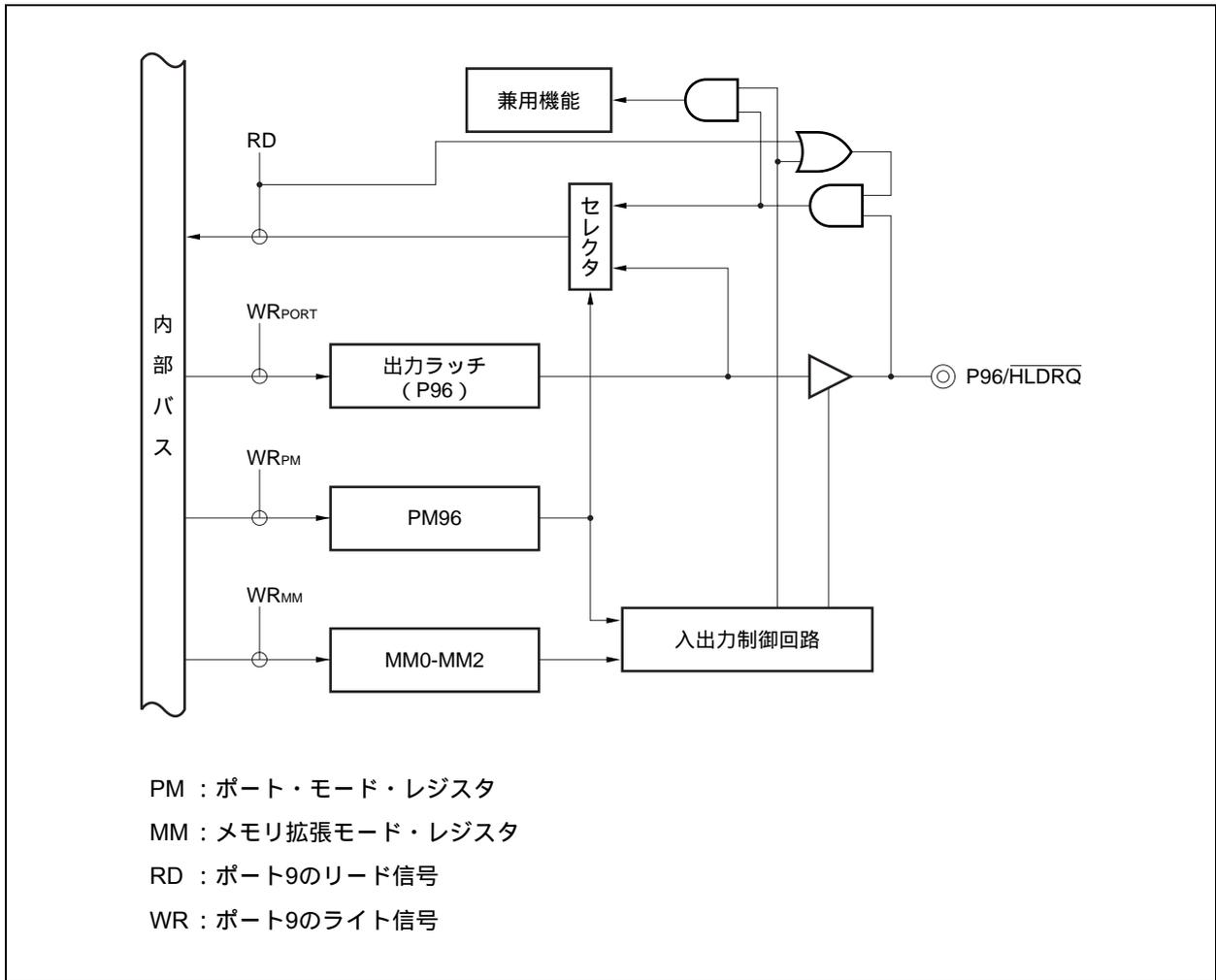
(3) ポート9のブロック図

図17 - 15 P90-P95のブロック図



★

図17 - 16 P96のブロック図



17.2.9 ポート10

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：00H R/W アドレス：FFFFFF014H

	7	6	5	4	3	2	1	0
P10	P107	P106	P105	P104	P103	P102	P101	P100

P10n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート10（P10）をリードすると、そのときの端子レベルを読み出します。ライトすると、P10にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート10（P10）をリードすると、P10の値を読み出します。ライトすると、P10に値を書き込み、すぐに書き込んだ値を出力します。

ポート10は、次に示す端子と兼用しています。

表17-9 ポート10の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート10	P100	RTP00	入出力	あり	N-chオープン・ドレイン出力選択可能
	P101	RTP01			
	P102	RTP02			
	P103	RTP03			
	P104	RTP04			
	P105	RTP05			
	P106	RTP06			
	P107	RTP07			

注 ソフトウェア・プルアップ機能

(1) P10端子の機能

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート10モード・レジスタ（PM10）で入出力を制御します。

出力モード時、ポート10（P10）に設定した各ビットの値を出力します。また、ポート10ファンクション・レジスタ（PF10）で、出力を通常出力とN-chオープン・ドレイン出力のどちらかに設定できます。

入力モード時にP10をリードすると端子状態をリードできます。また、出力モード時にP10をリードすると、P10（出力ラッチ）の値をリードできます。

プルアップ抵抗オプション・レジスタ10（PU10）の指定により、ビット単位でプルアップ抵抗を接続できます。

兼用端子として出力するときは，ポート出力と兼用端子のORが端子から出力されます。
リセット入力により，入力モードに初期化されます。

★ **注意** リアルタイム出力機能として使用する際には，13.5 使用方法に従って設定してください。

(2) 制御レジスタ

(a) ポート10モード・レジスタ (PM10)

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF034H

	7	6	5	4	3	2	1	0
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100

PM10n	入出力モードの制御 (n = 0-7)	
0	出力モード	
1	入力モード	

(b) プルアップ抵抗オプション・レジスタ10 (PU10)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF0A8H

	7	6	5	4	3	2	1	0
PU10	PU107	PU106	PU105	PU104	PU103	PU102	PU101	PU100

PU10n	内蔵プルアップ抵抗接続制御 (n = 0-7)	
0	接続しない	
1	接続する	

(c) ポート10ファンクション・レジスタ (PF10)

8/1ビット単位でリード/ライト可能です。

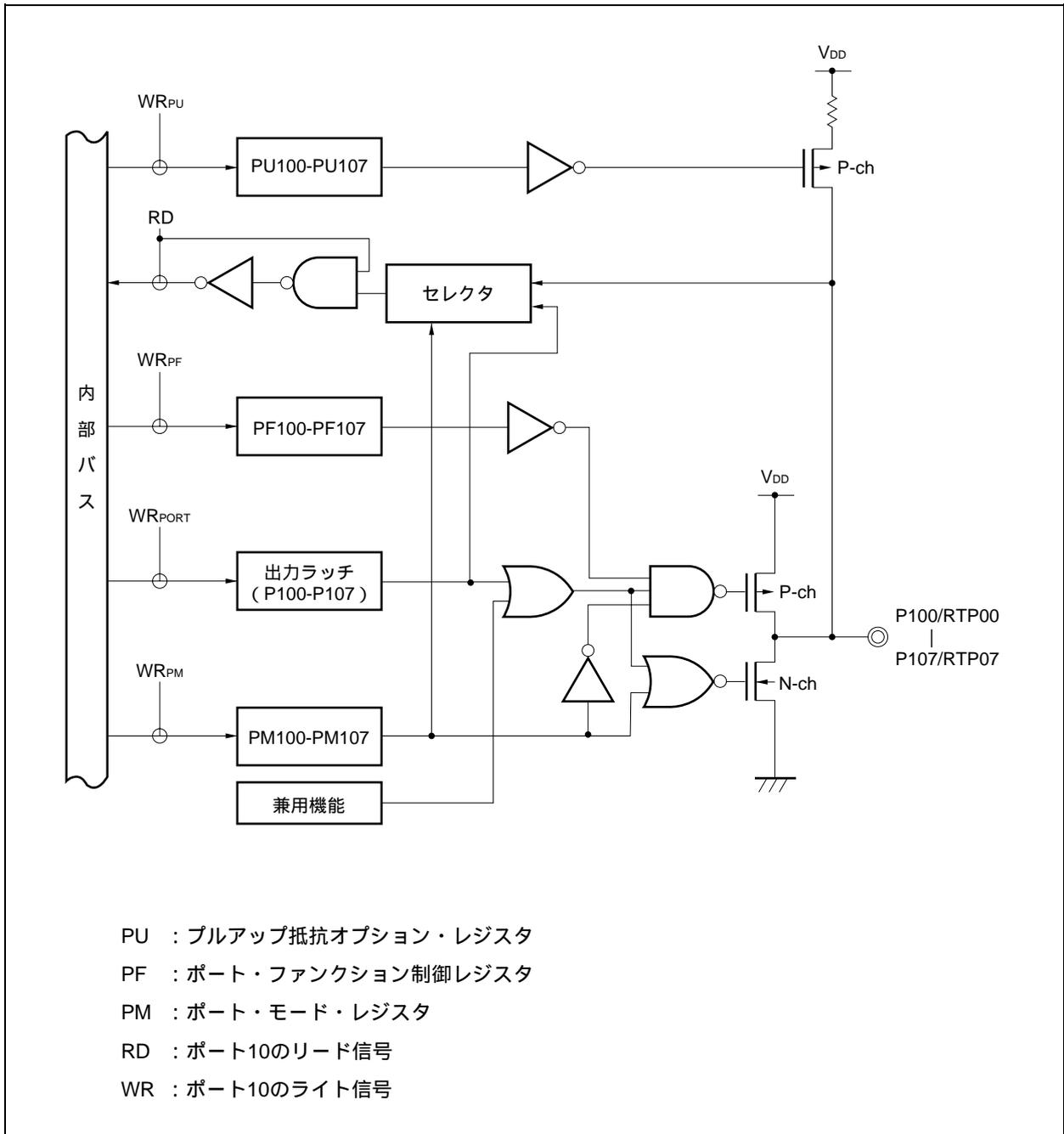
リセット時 : 00H R/W アドレス : FFFFF0B4H

	7	6	5	4	3	2	1	0
PF10	PF107	PF106	PF105	PF104	PF103	PF102	PF101	PF100

PF10n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-7)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ポート10のブロック図

図17 - 17 P100-P107のブロック図



17.2.10 ポート11

ポート11は、4ビットの入出力ポートです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF016H

	7	6	5	4	3	2	1	0
P11	0	0	0	0	P113	P112	P111	P110

P11n	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

備考 入力モード時：ポート11(P11)をリードすると、そのときの端子レベルを読み出します。
ライトすると、P11にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート11(P11)をリードすると、P11の値を読み出します。ライトすると、P11に値を書き込み、すぐに書き込んだ値を出力します。

ポート11には兼用端子がありません。

表17 - 10 ポート11（兼用端子なし）

端子名	兼用端子名	入出力	PULL ^注	備考
ポート11	P110	入出力	なし	-
	P111			
	P112			
	P113			

注 ソフトウェア・プルアップ機能

(1) P11端子の機能

ポート11は、1ビット単位で入出力を制御できる入出力ポートで、計4ビットのポートです。

出力モード時、ポート11（P11）に設定した各ビットの値（ビット0-ビット3）を出力します。

入力モード時にP11をリードすると端子状態をリードできます。また、出力モード時にP11をリードすると、P11（出力ラッチ）の値をリードできます（ビット0-ビット3のみ）。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート11モード・レジスタ (PM11)

8/1ビット単位でリード/ライト可能です。

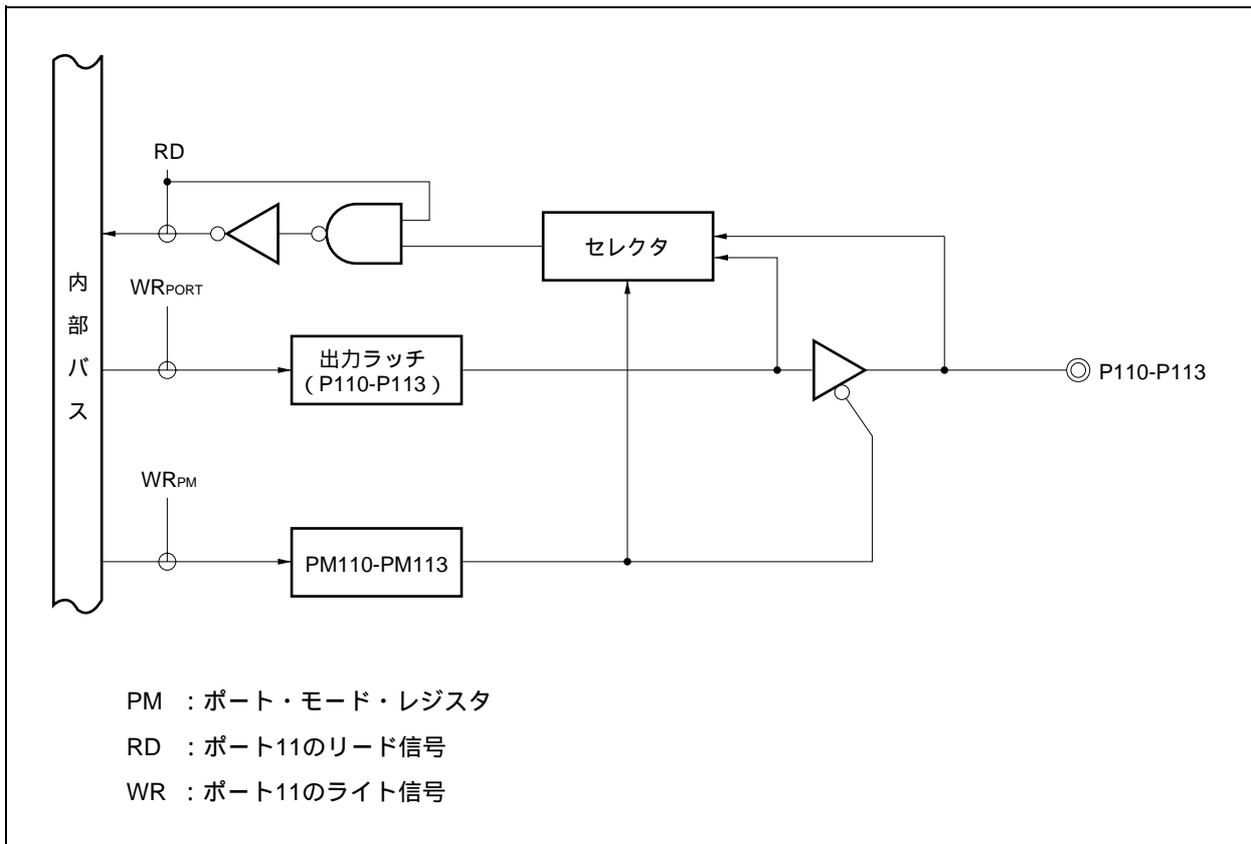
リセット時：1FH R/W アドレス：FFFFFF036H

	7	6	5	4	3	2	1	0
PM11	0	0	0	1	PM113	PM112	PM111	PM110

PM11n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(3) ポート11のブロック図

図17 - 18 P110-P113のブロック図



17.2.11 ポート12

ポート12は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

P121, P122は通常出力とN-chオープン・ドレイン出力を選択できます。

P124-P127はTI6, TI7, TI10, TI11端子として使用時、デジタル・ノイズ除去回路により、ノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF018H

	7	6	5	4	3	2	1	0
P12	P127	P126	P125	P124	P123	P122	P121	P120

P12n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート12（P12）をリードすると、そのときの端子レベルを読み出します。ライトすると、P12にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート12（P12）をリードすると、P12の値を読み出します。ライトすると、P12に値を書き込み、すぐ書き込んだ値を出力します。

ポート12は、次に示す端子と兼用しています。

表17 - 11 ポート12の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート12	P120	SI4	なし	-
	P121	SO4		N-chオープン・ドレイン出力選択可能
	P122	SCK4		-
	P123	CLO		-
	P124	TI6/TO6		デジタル・ノイズ除去
	P125	TI7/TO7		
	P126	TI10/TO10		
	P127	TI11/TO11		

注 ソフトウェア・プルアップ機能

(1) P12端子の機能

ポート12は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート12モード・レジスタ（PM12）で入出力を制御します。

出力モード時、ポート12（P12）に設定した各ビットの値を出力します。また、ポート12ファンクション・レジスタ（PF12）で、P121, P122の出力を通常出力とN-chオープン・ドレイン出力のどちらかに設定できます。

入力モード時にP12をリードすると端子状態をリードできます。また、出力モード時にP12をリードすると、P12（出力ラッチ）の値をリードできます。

TI6, TI7, TI10, TI11端子として使用するときは、デジタル・ノイズ除去回路（ポート0のデジタル・ノイズ除去回路と同等）によりノイズ除去できます。

兼用端子として出力するときは、P12とPM12を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート12モード・レジスタ (PM12)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF038H								
	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120
	PM12n	入出力モードの制御 (n = 0-7)						
	0	出力モード						
	1	入力モード						

(b) ポート12ファンクション・レジスタ (PF12)

8/1ビット単位でリード/ライト可能です。

リセット時: 00H R/W アドレス: FFFFF0B6H								
	7	6	5	4	3	2	1	0
PF12	0	0	0	0	0	PF122	PF121	0
	PF12n	通常出力/N-chオープン・ドレイン出力の制御 (n = 1, 2)						
	0	通常出力						
	1	N-chオープン・ドレイン出力						

(3) ポート12のブロック図

図17 - 19 P120のブロック図

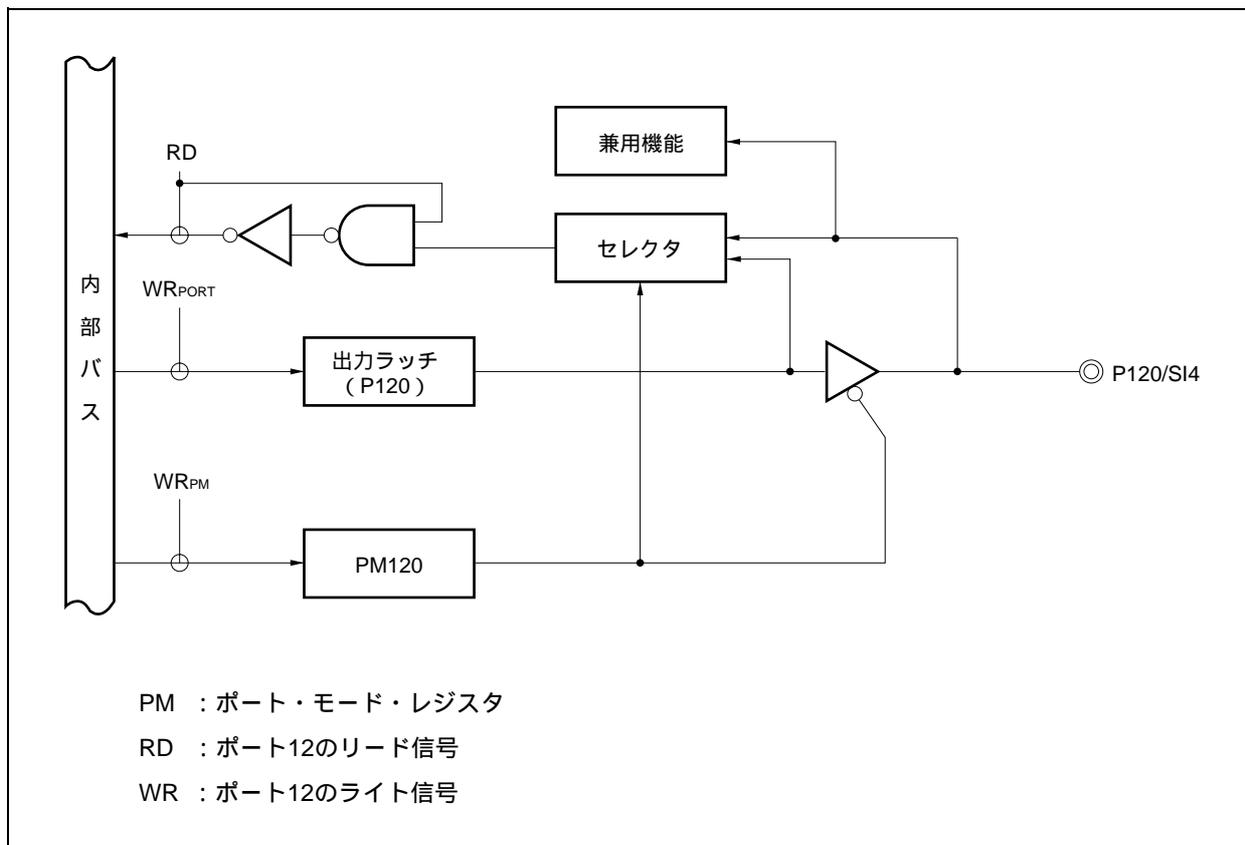


図17 - 20 P121のブロック図

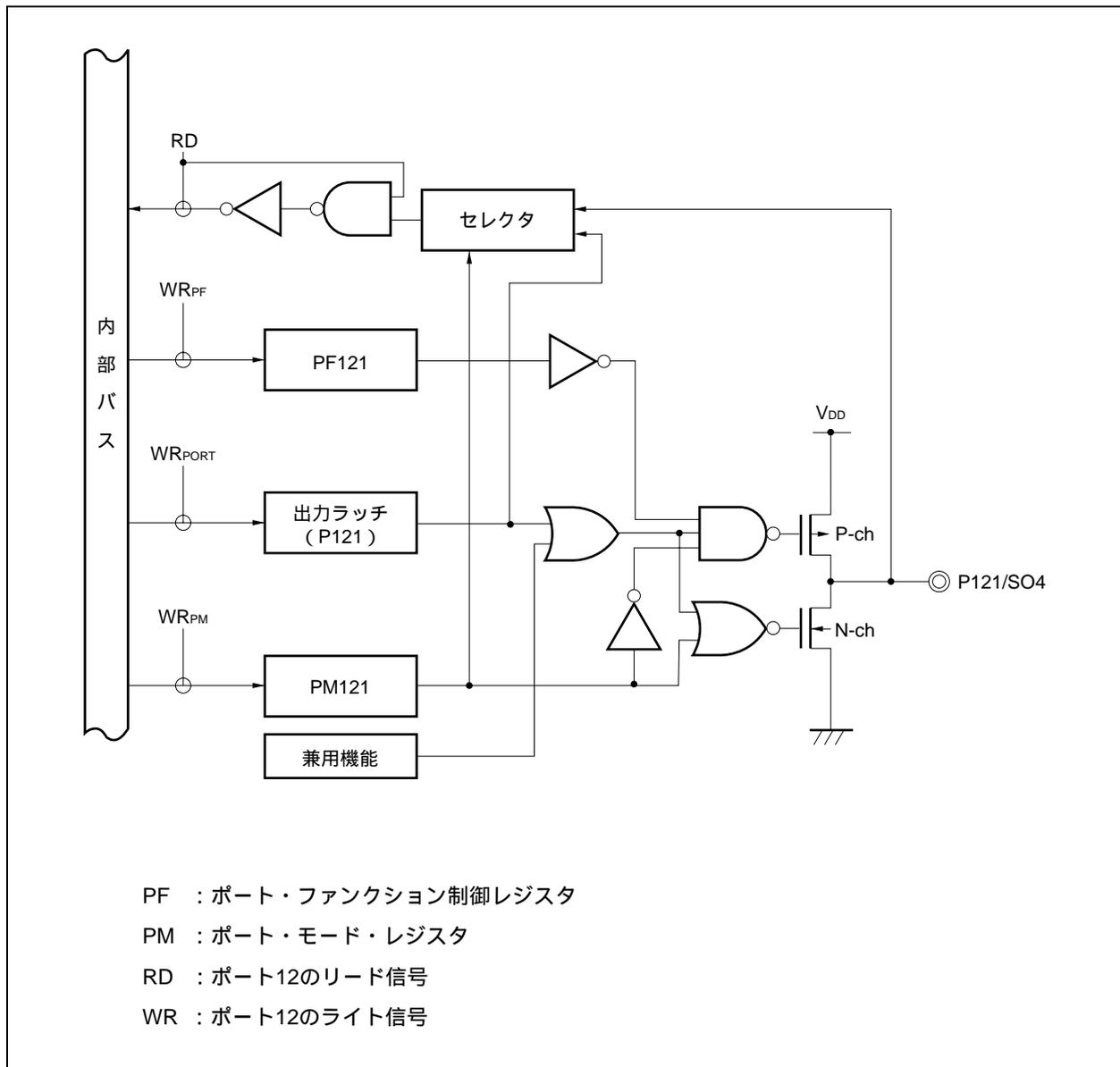


図17-21 P122のブロック図

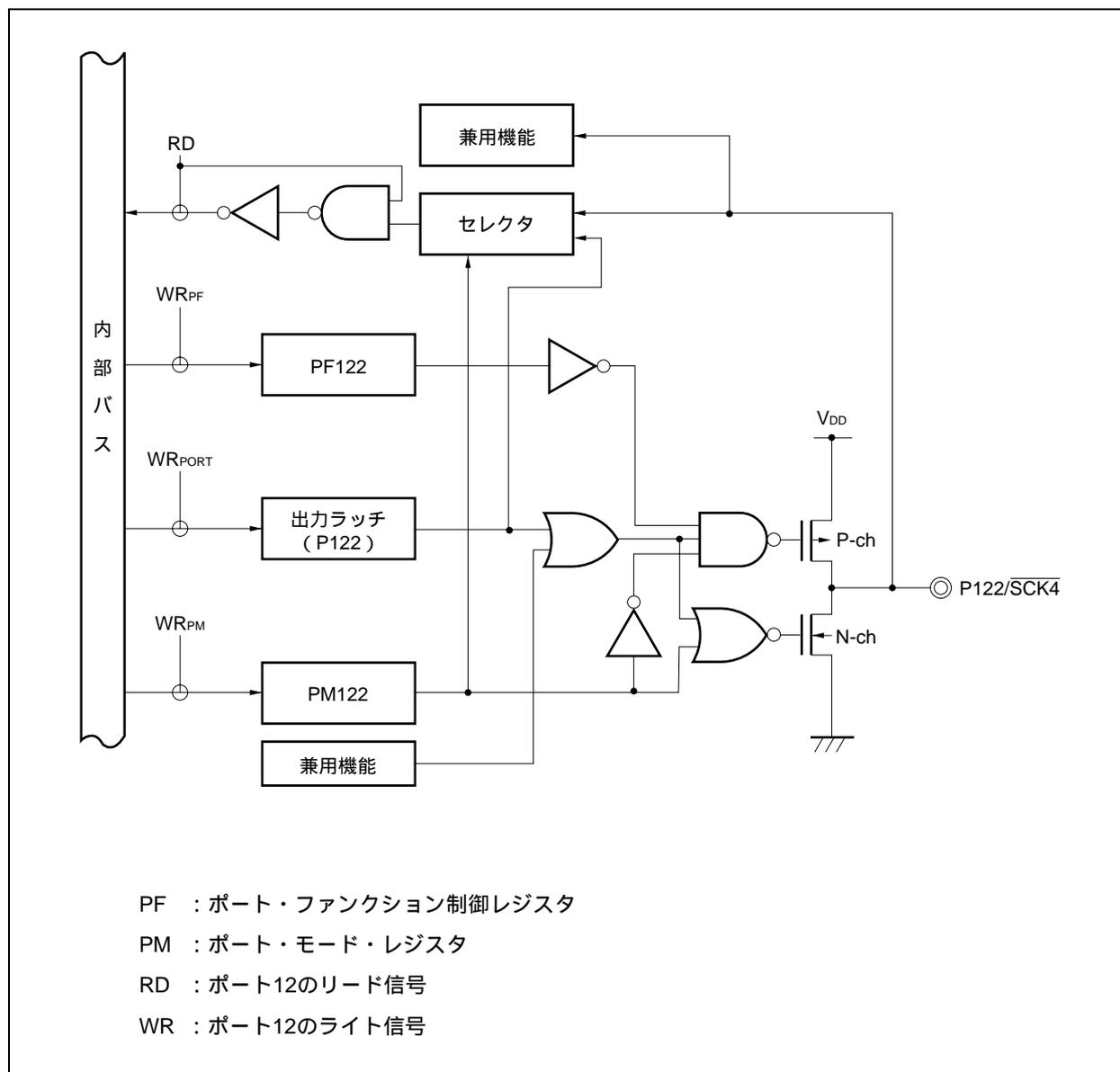


図17 - 22 P123のブロック図

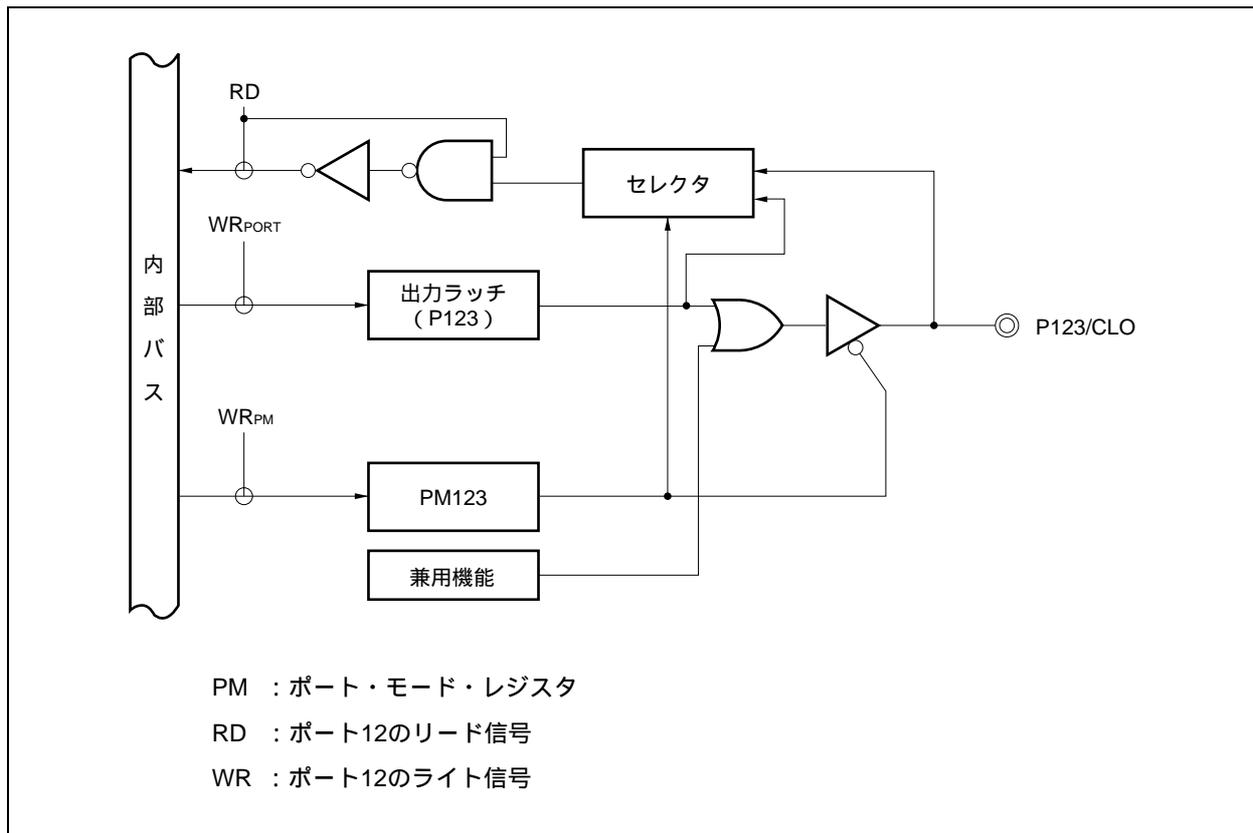
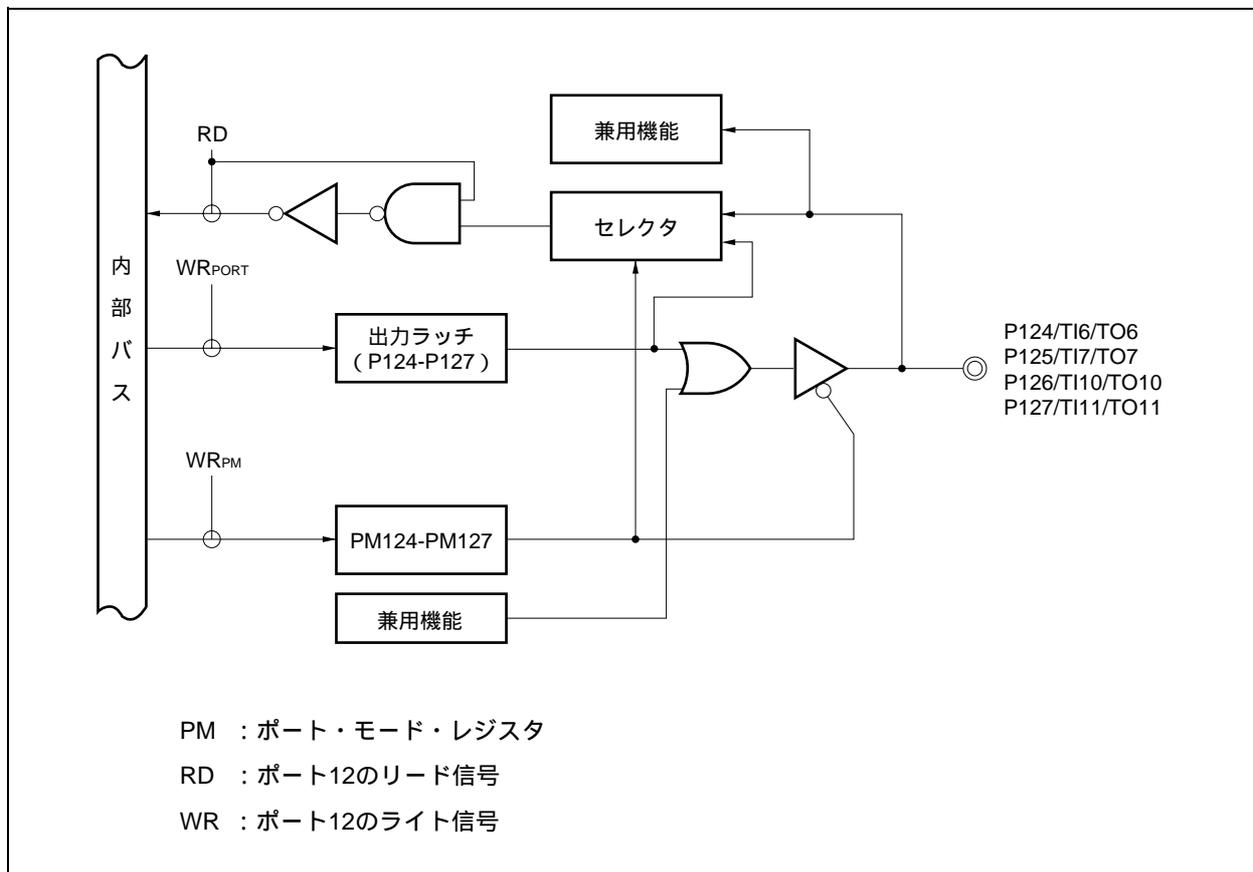


図17 - 23 P124-P127のブロック図



17.2.12 ポート13

ポート13は、8ビットの入出力ポートです。

8/1ビット単位でリード/ライト可能です。

P130-P135は、INTCP80-INTCP83, TI8, TCLR8, INTTI8, INTTCLR8端子として使用時、デジタル・ノイズ除去回路により、ノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF01AH

	7	6	5	4	3	2	1	0
P13	P137	P136	P135	P134	P133	P132	P131	P130

P13n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート13（P13）をリードすると、そのときの端子レベルを読み出します。ライトすると、P13にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート13（P13）をリードすると、P13の値を読み出します。ライトすると、P13に値を書き込み、すぐに書き込んだ値を出力します。

ポート13は、次に示す端子と兼用しています。

表17 - 12 ポート13の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート13	P130	INTCP80	入出力	なし	デジタル・ノイズ除去
	P131	INTCP81			
	P132	INTCP82			
	P133	INTCP83			
	P134	TI8/INTTI8			
	P135	TCLR8/INTTCLR8			
	P136	TO80			
P137	TO81			-	

注 ソフトウェア・プルアップ機能

(1) P13端子の機能

ポート13は、1ビット単位で入出力を制御できる8ビットの入出力ポートです。ポート13モード・レジスタ (PM13) で入出力を制御します。

出力モード時、ポート13 (P13) に設定した各ビットの値を出力します。

入力モード時にP13をリードすると端子状態をリードできます。また、出力モード時にP13をリードすると、P13 (出力ラッチ) の値をリードできます。

TI8, TCLR8, INTCP80-INTCP83, INTTI8, INTTCLR8端子として使用するときは、デジタル・ノイズ除去回路 (ポート0のデジタル・ノイズ除去回路と同等) によりノイズ除去できます。

兼用端子として出力するときは、P13とPM13を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

INTCP80-INTCP83, TI8/INTTI8, TCLR8/INTTCLR8の有効エッジは、立ち上がりエッジ指定レジスタ2 (EGP2) と、立ち下がりエッジ指定レジスタ2 (EGN2) で指定します。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート13モード・レジスタ (PM13)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF03AH								
	7	6	5	4	3	2	1	0
PM13	PM137	PM136	PM135	PM134	PM133	PM132	PM131	PM130
PM13n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) 立ち上がりエッジ指定レジスタ2 (EGP2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0C8H

	7	6					0	
EGP2	0	0	EGP25	EGP24	EGP23	EGP22	EGP21	EGP20

EGP2n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP80

n = 1 : INTCP81

n = 2 : INTCP82

n = 3 : INTCP83

n = 4 : TCLR8/INTTCLR8

n = 5 : T18/INTT18

(c) 立ち下がりエッジ指定レジスタ2 (EGN2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0CAH

	7	6					0	
EGN2	0	0	EGN25	EGN24	EGN23	EGN22	EGN21	EGN20

EGN2n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP80

n = 1 : INTCP81

n = 2 : INTCP82

n = 3 : INTCP83

n = 4 : TCLR8/INTTCLR8

n = 5 : T18/INTT18

(3) ポート13のブロック図

図17 - 24 P130-P135のブロック図

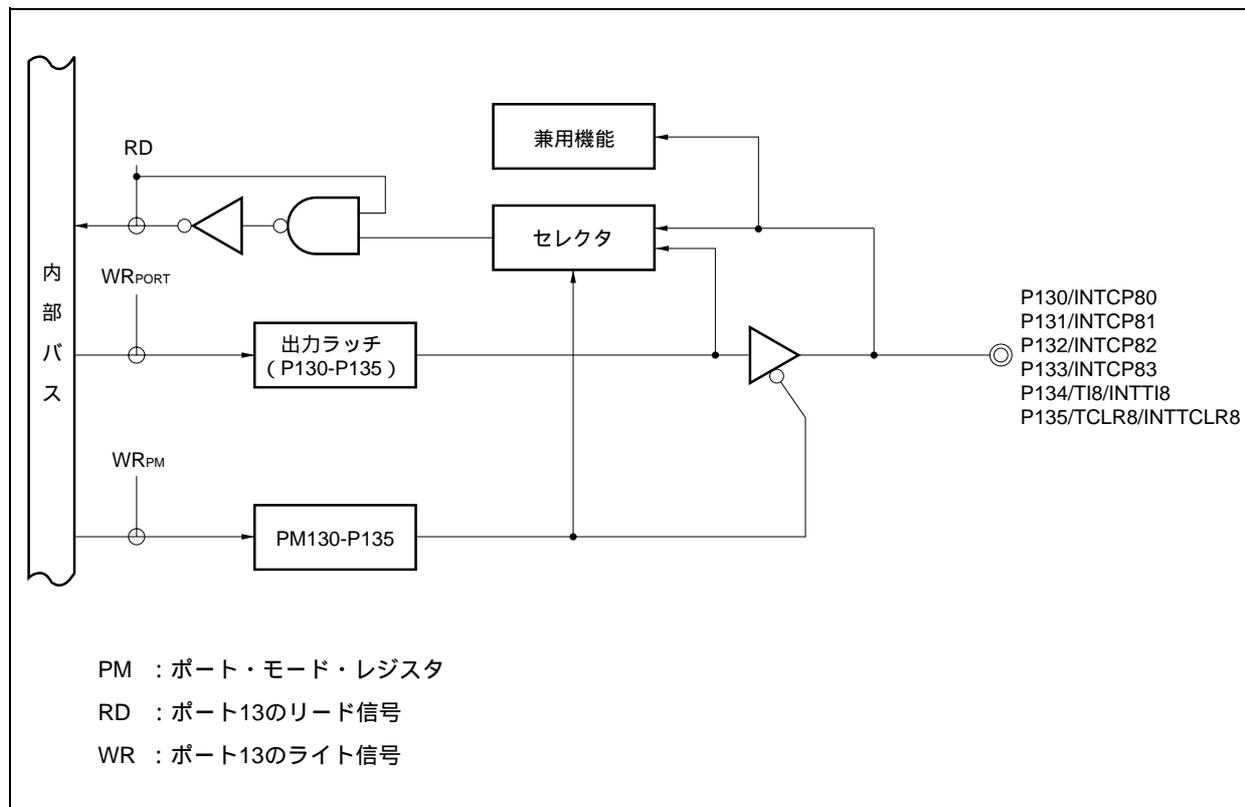
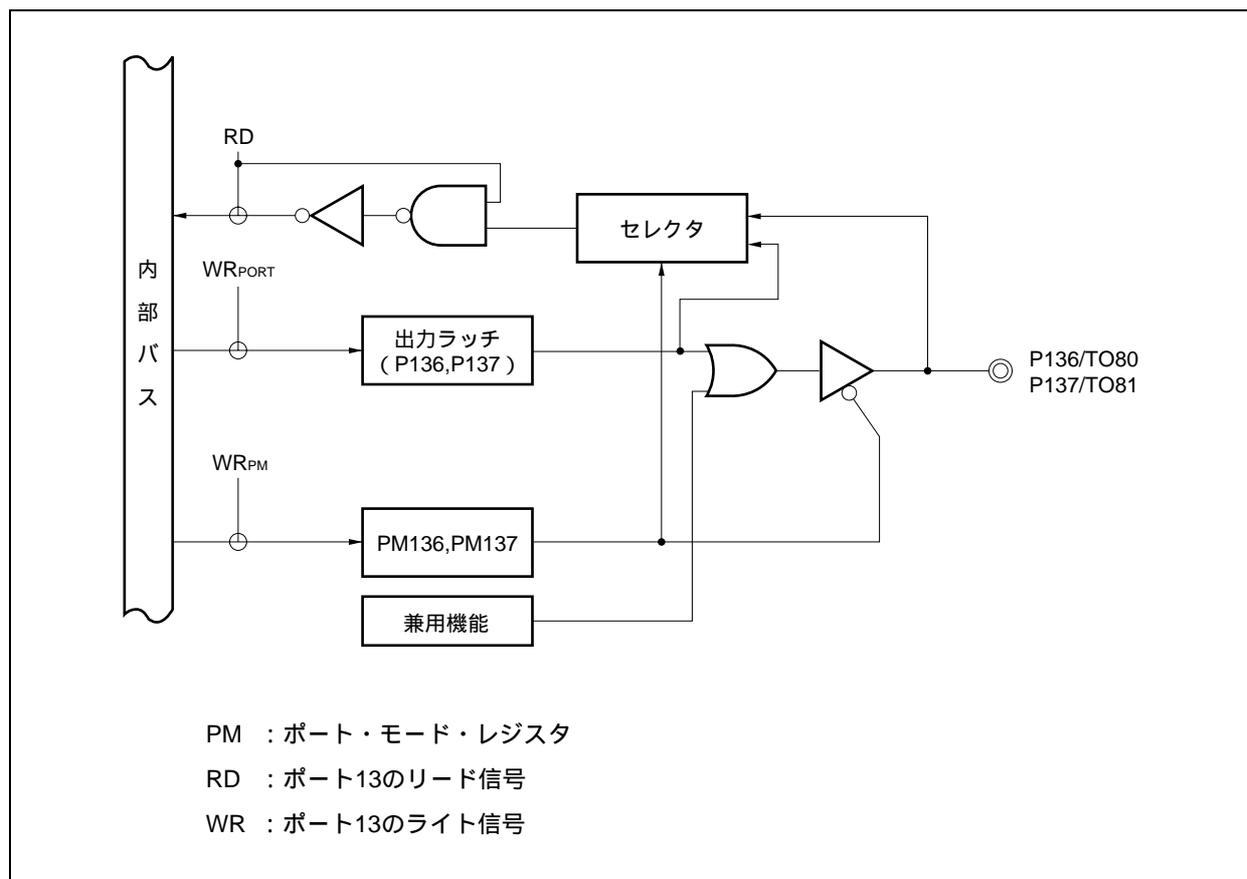


図17 - 25 P136, P137のブロック図



17.2.13 ポート14

ポート14は、8ビットの入出力ポートです。

8/1ビット単位でリード/ライト可能です。

P140-P145は、INTCP90-INTCP93, TI9, INTTI9, RTPTRG1端子として使用時、デジタル・ノイズ除去回路により、ノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF01CH

	7	6	5	4	3	2	1	0
P14	P147	P146	P145	P144	P143	P142	P141	P140

P14n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート14（P14）をリードすると、そのときの端子レベルを読み出します。ライトすると、P14にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート14（P14）をリードすると、P14の値を読み出します。ライトすると、P14に値を書き込み、すぐに書き込んだ値を出力します。

ポート14は、次に示す端子と兼用しています。

表17 - 13 ポート14の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート14	P140	INTCP90	入出力	なし	デジタル・ノイズ除去
	P141	INTCP91			
	P142	INTCP92			
	P143	INTCP93			
	P144	TI9/INTTI9			
	P145	RTPTRG1			
	P146	-			
	P147	-			-

注 ソフトウェア・プルアップ機能

(1) P14端子の機能

ポート14は、1ビット単位で入出力を制御できる8ビットの入出力ポートです。ポート14モード・レジスタ (PM14) で入出力を制御します。

出力モード時、ポート14 (P14) に設定した各ビットの値を出力します。

入力モード時にP14をリードすると端子状態をリードできます。また、出力モード時にP14をリードすると、P14 (出力ラッチ) の値をリードできます。

T19, INTTI9, INTCP90-INTCP93, RTPTRG1端子として使用するときは、デジタル・ノイズ除去回路(ポート0のデジタル・ノイズ除去回路と同等)によりノイズ除去できます。

兼用端子として出力するときは、P14とPM14を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

INTCP90-INTCP93, T19/INTTI9の有効エッジは、立ち上がりエッジ指定レジスタ3 (EGP3) と、立ち下がりエッジ指定レジスタ3 (EGN3) で指定します。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート14モード・レジスタ (PM14)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF03CH								
	7	6	5	4	3	2	1	0
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140
PM14n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) 立ち上がりエッジ指定レジスタ3 (EGP3)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0CCH

	7	6	5					0
EGP3	0	0	0	EGP34	EGP33	EGP32	EGP31	EGP30

EGP3n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP90
n = 1 : INTCP91
n = 2 : INTCP92
n = 3 : INTCP93
n = 4 : TI9/INTT19

(c) 立ち下がりエッジ指定レジスタ3 (EGN3)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0CEH

	7	6	5					0
EGN3	0	0	0	EGN34	EGN33	EGN32	EGN31	EGN30

EGN3n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0 : INTCP90
n = 1 : INTCP91
n = 2 : INTCP92
n = 3 : INTCP93
n = 4 : TI9/INTT19

(3) ポート14のブロック図

図17 - 26 P140-P145のブロック図

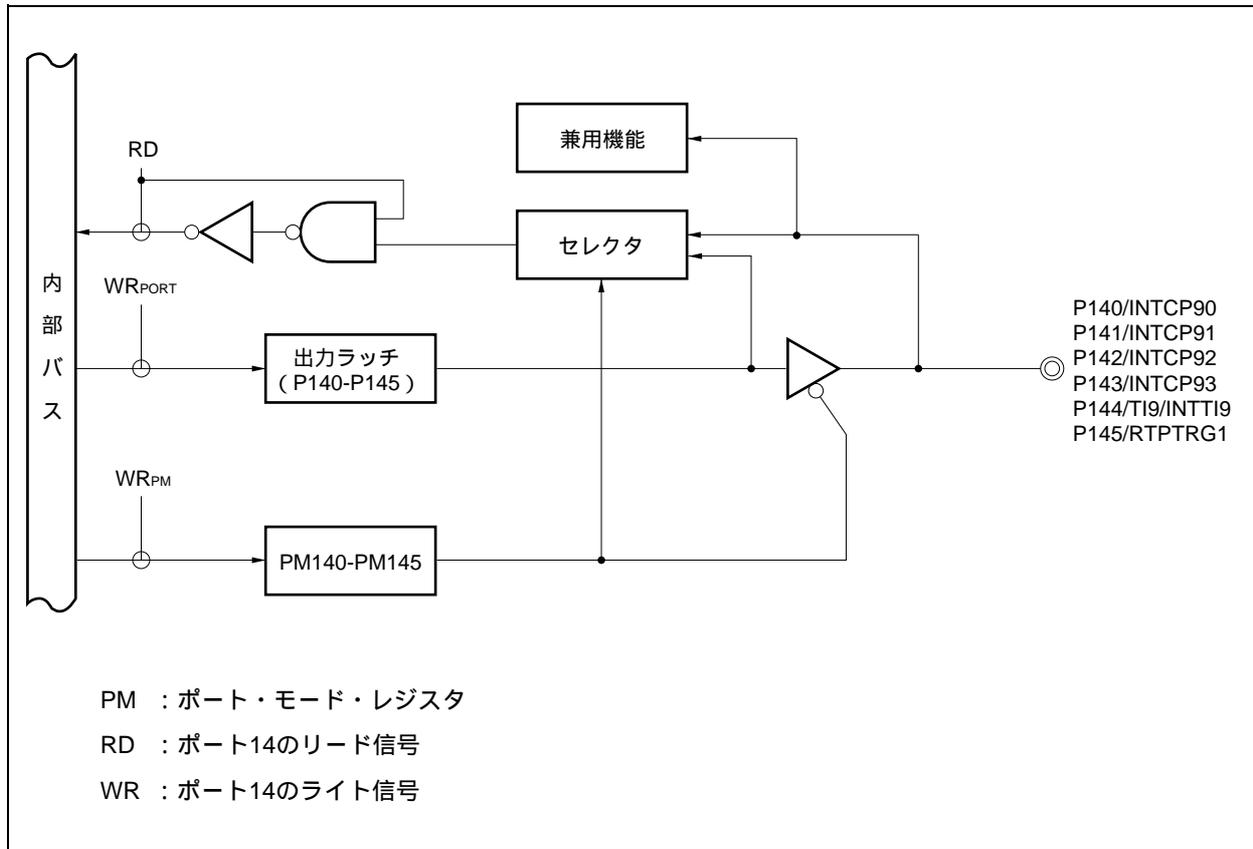
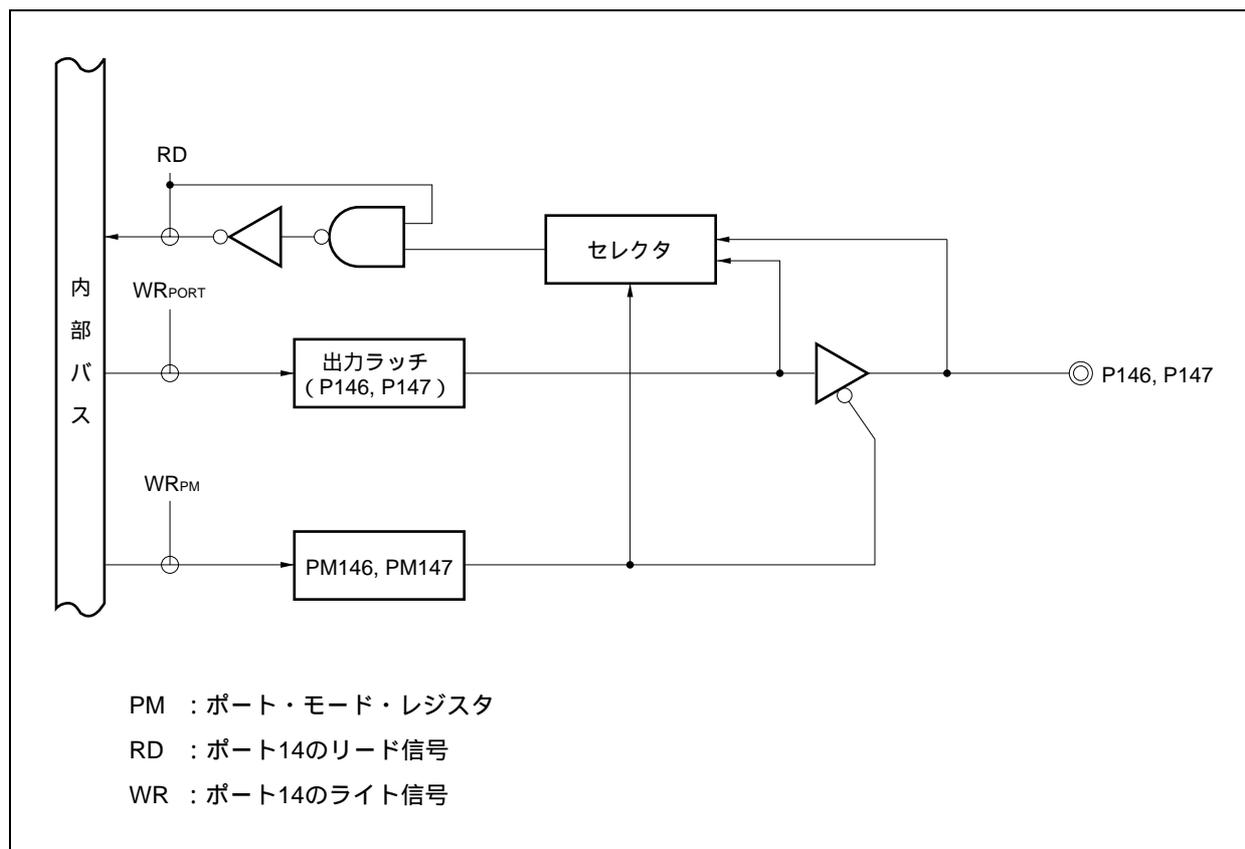


図17 - 27 P146, P147のブロック図



17.2.14 ポート15

ポート15は、8ビットの入出力ポートです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF01EH

	7	6	5	4	3	2	1	0
P15	P157	P156	P155	P154	P153	P152	P151	P150

P15n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート15（P15）をリードすると、そのときの端子レベルを読み出します。ライトすると、P15にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート15（P15）をリードすると、P15の値を読み出します。ライトすると、P15に値を書き込み、すぐに書き込んだ値を出力します。

ポート15は、次に示す端子と兼用しています。

表17 - 14 ポート15の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート15	P150	RTP10	入出力	なし	-
	P151	RTP11			
	P152	RTP12			
	P153	RTP13			
	P154	RTP14			
	P155	RTP15			
	P156	RTP16			
	P157	RTP17			

注 ソフトウェア・プルアップ機能

(1) P15端子の機能

ポート15は、1ビット単位で入出力を制御できる8ビットの入出力ポートです。ポート15モード・レジスタ (PM15) で入出力を制御します。

出力モード時、ポート15 (P15) に設定した各ビットの値を出力します。

入力モード時にP15をリードすると端子状態をリードできます。また、出力モード時にP15をリードすると、P15 (出力ラッチ) の値をリードできます。

兼用端子として出力するときは、ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

★ **注意** リアルタイム出力機能として使用する際には、13.5 使用方法に従って設定してください。

(2) 制御レジスタ

(a) ポート15モード・レジスタ (PM15)

8/1ビット単位でリード/ライト可能です。

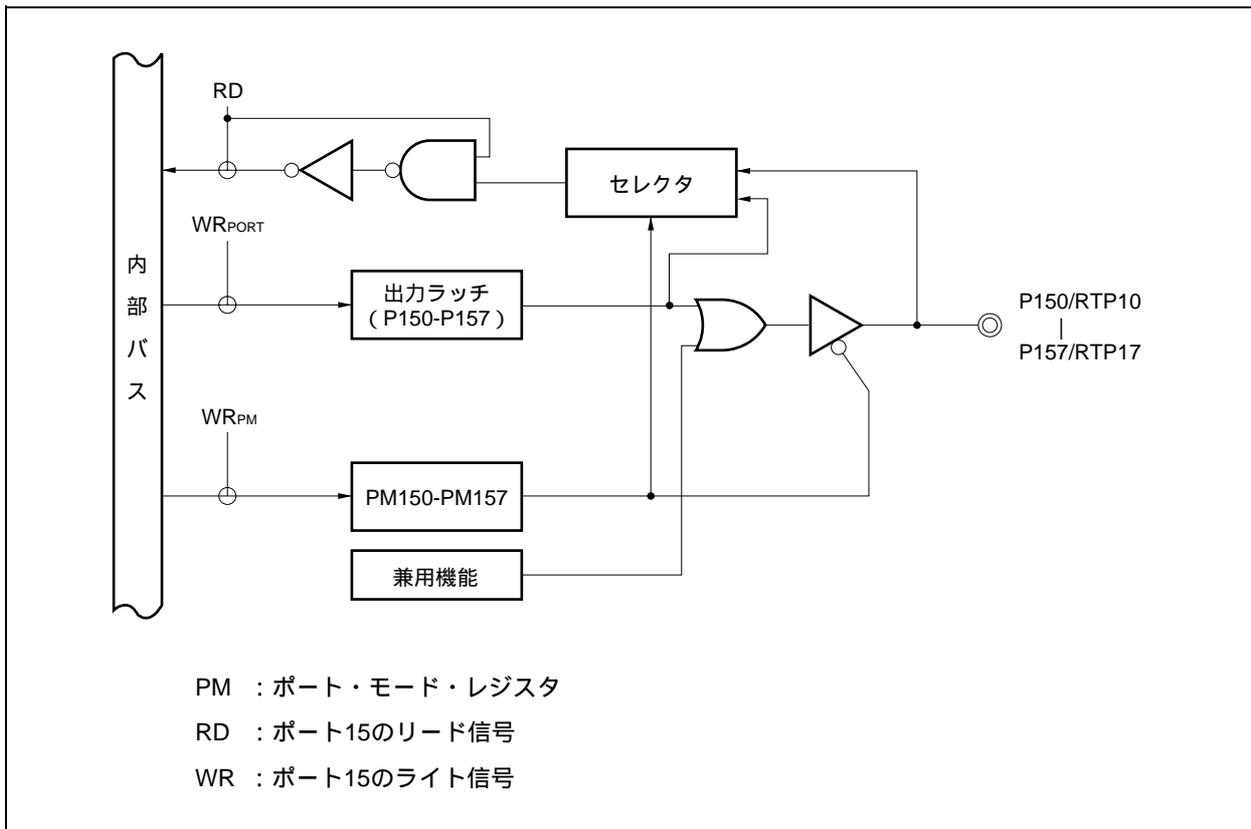
リセット時 : FFH R/W アドレス : FFFFF03EH

	7	6	5	4	3	2	1	0
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150

PM15n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポート15のブロック図

図17 - 28 P150-P157のブロック図



17.2.15 ポート16

ポート16は、8ビットの入出力ポートです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF080H

	7	6	5	4	3	2	1	0
P16	P167	P166	P165	P164	P163	P162	P161	P160

P16n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート16（P16）をリードすると、そのときの端子レベルを読み出します。ライトすると、P16にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート16（P16）をリードすると、P16の値を読み出します。ライトすると、P16に値を書き込み、すぐに書き込んだ値を出力します。

ポート16は、次に示す端子と兼用しています。

表17 - 15 ポート16の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート16	P160	PWM0	なし	-
	P161	PWM1		
	P162	PWM2		
	P163	PWM3		
	P164	CSYNCIN		
	P165	VSOUT		
	P166	HSOUT0		
	P167	HSOUT1		

注 ソフトウェア・プルアップ機能

(1) P16端子の機能

ポート16は、1ビット単位で入出力を制御できる8ビットの入出力ポートです。ポート16モード・レジスタ（PM16）で入出力を制御します。

出力モード時、ポート16（P16）に設定した各ビットの値を出力します。

入力モード時にP16をリードすると端子状態をリードできます。また、出力モード時にP16をリードすると、P16（出力ラッチ）の値をリードできます。

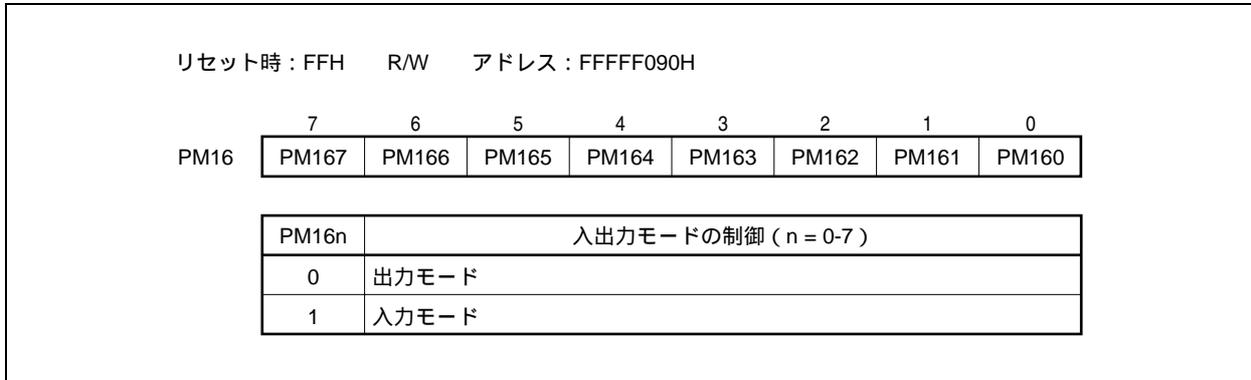
兼用端子として出力するときは、P16とPM16を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート16モード・レジスタ (PM16)

8/1ビット単位でリード/ライト可能です。



(3) ポート16のブロック図

図17 - 29 P160-P163, P165-P167のブロック図

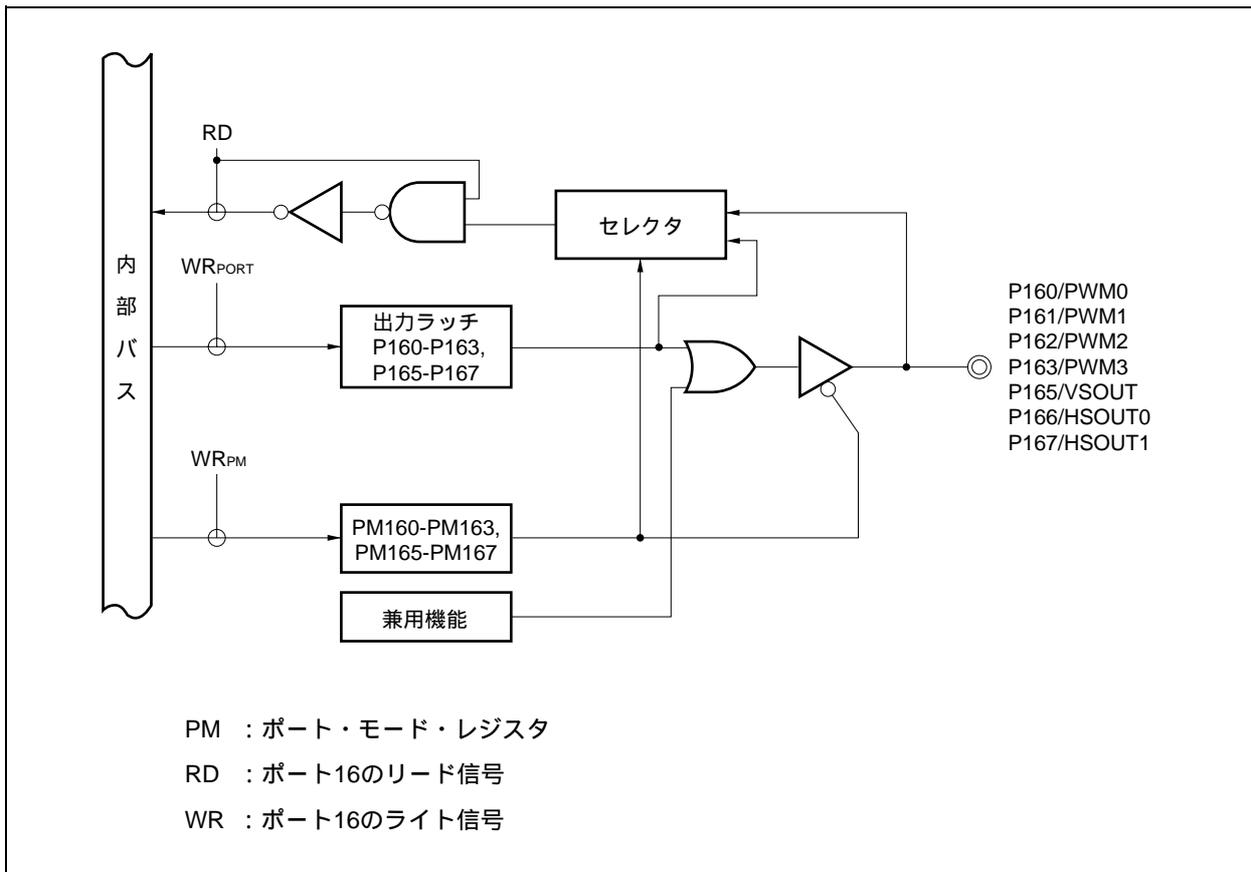
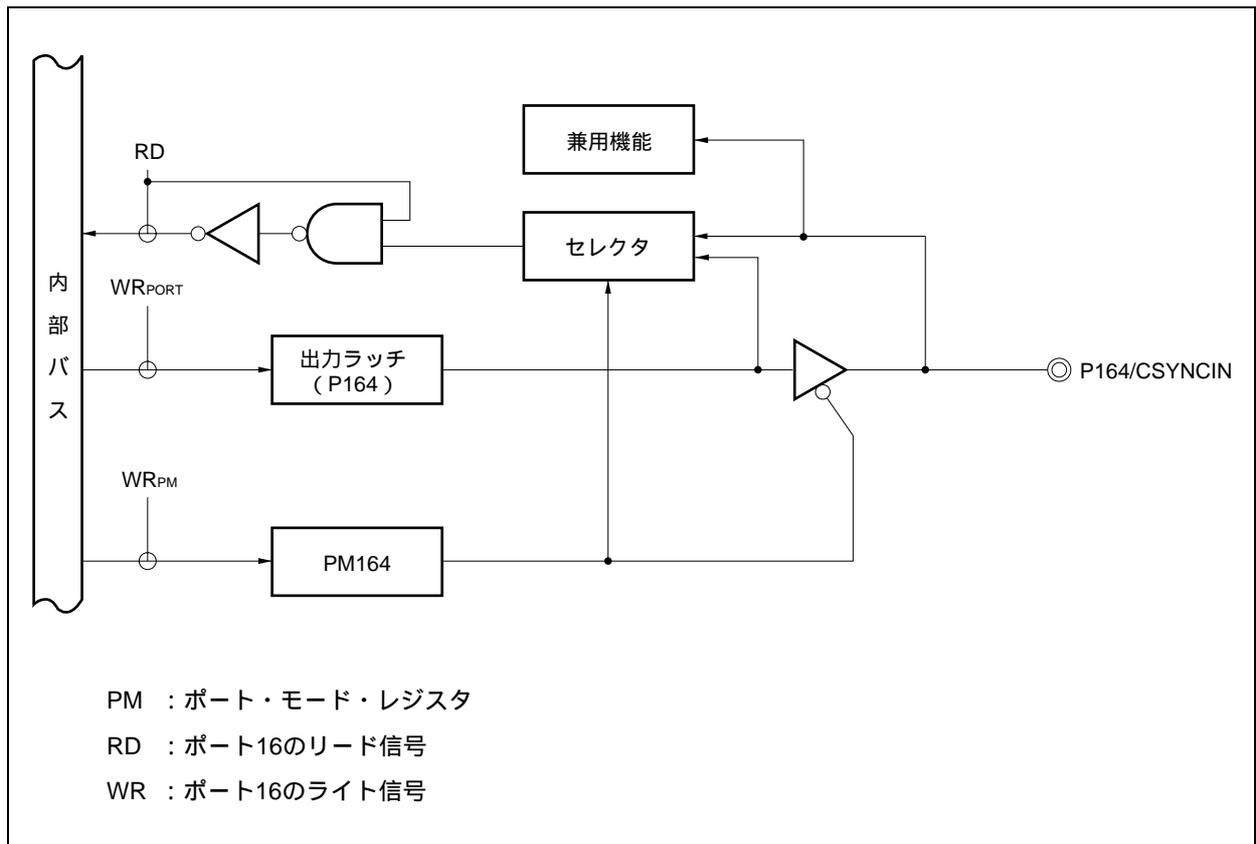


図17 - 30 P164のブロック図



17.2.16 ポート17

ポート17は、8ビットの入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

8/1ビット単位でリード/ライト可能です。

P170-P177は、KR0-KR7端子として使用時、アナログ・ノイズ除去回路により、ノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF082H

	7	6	5	4	3	2	1	0
P17	P177	P176	P175	P174	P173	P172	P171	P170

P17n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート17（P17）をリードすると、そのときの端子レベルを読み出します。ライトすると、P17にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート17（P17）をリードすると、P17の値を読み出します。ライトすると、P17に値を書き込み、すぐに書き込んだ値を出力します。

ポート17は、次に示す端子と兼用しています。

表17 - 16 ポート17の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート17	P170	KR0	入出力	あり	アナログ・ノイズ除去
	P171	KR1			
	P172	KR2			
	P173	KR3			
	P174	KR4			
	P175	KR5			
	P176	KR6			
	P177	KR7			

注 ソフトウェア・プルアップ機能

(1) P17端子の機能

ポート17は、1ビット単位で入出力を制御できる8ビットの入出力ポートです。ポート17モード・レジスタ (PM17) で入出力を制御します。

出力モード時、ポート17 (P17) に設定した各ビットの値を出力します。

入力モード時にP17をリードすると端子状態をリードできます。また、出力モード時にP17をリードすると、P17 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ17 (PU17) の指定により、1ビット単位でプルアップ抵抗を接続できます。

KR0-KR7端子として使用するときには、アナログ・ノイズ除去回路 (ポート0のアナログ・ノイズ除去回路と同等) によりノイズが除去されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート17モード・レジスタ (PM17)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF092H

	7	6	5	4	3	2	1	0
PM17	PM177	PM176	PM175	PM174	PM173	PM172	PM171	PM170

PM17n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ17 (PU17)

8/1ビット単位でリード/ライト可能です。

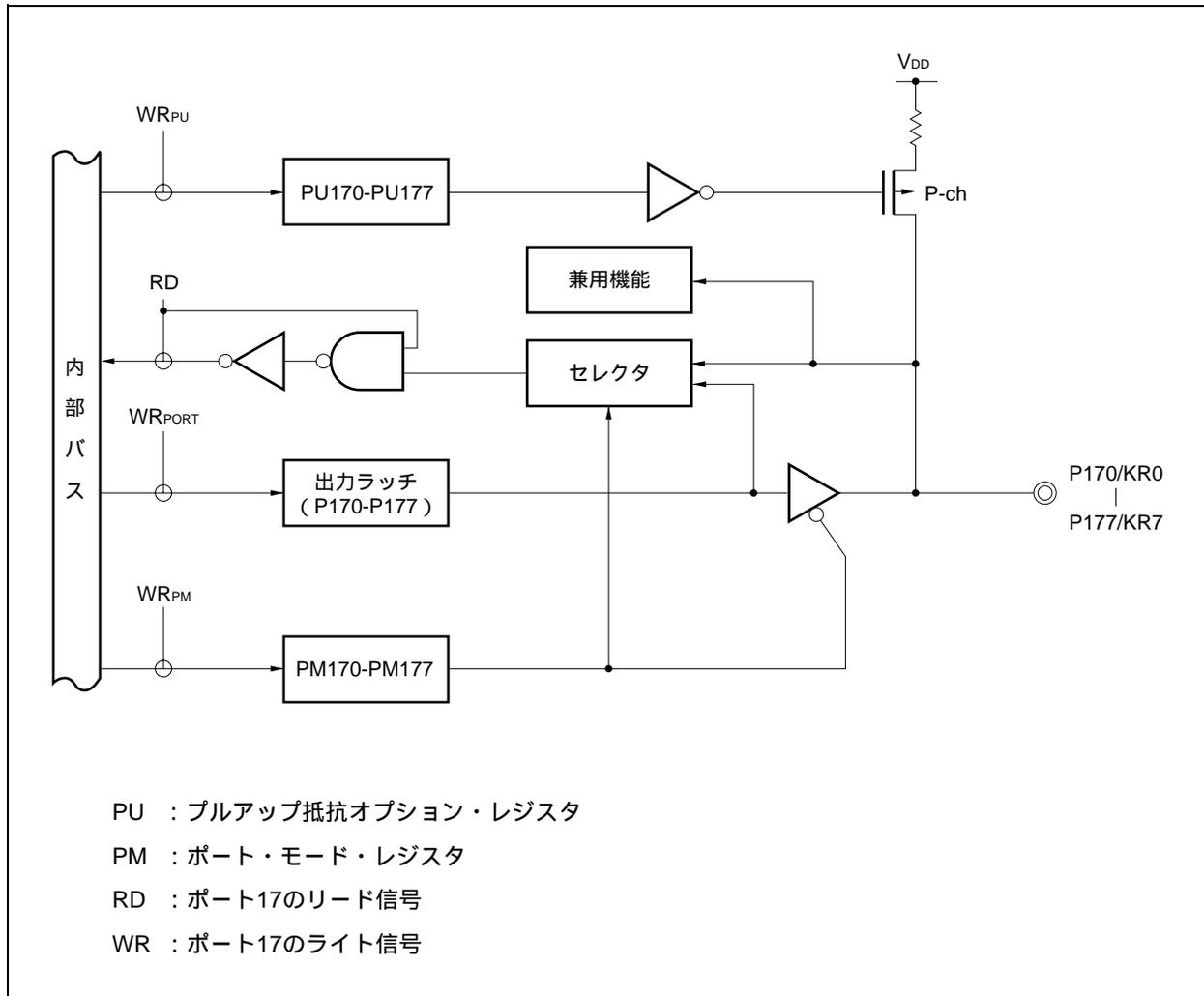
リセット時: 00H R/W アドレス: FFFFF0AAH

	7	6	5	4	3	2	1	0
PU17	PU177	PU176	PU175	PU174	PU173	PU172	PU171	PU170

PU17n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ポート17のブロック図

図17 - 31 P170-P177のブロック図



17.2.17 ポート18

ポート18は、8ビットの入出力ポートです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF084H

	7	6	5	4	3	2	1	0
P18	P187	P186	P185	P184	P183	P182	P181	P180

P18n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート18（P18）をリードすると、そのときの端子レベルを読み出します。ライトすると、P18にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート18（P18）をリードすると、P18の値を読み出します。ライトすると、P18に値を書き込み、すぐに書き込んだ値を出力します。

ポート18には、兼用端子はありません。

表17 - 17 ポート18（兼用端子なし）

端子名	兼用端子名	入出力	PULL ^注	備考
ポート18	P180	-	なし	-
	P181	-		
	P182	-		
	P183	-		
	P184	-		
	P185	-		
	P186	-		
	P187	-		

注 ソフトウェア・プルアップ機能

(1) P18端子の機能

ポート18は、1ビット単位で入出力を制御できる8ビットの入出力ポートです。ポート18モード・レジスタ（PM18）で入出力を制御します。

出力モード時、ポート18（P18）に設定した各ビットの値を出力します。

入力モード時にP18をリードすると端子状態をリードできます。また、出力モード時にP18をリードすると、P18（出力ラッチ）の値をリードできます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート18モード・レジスタ (PM18)

8/1ビット単位でリード/ライト可能です。

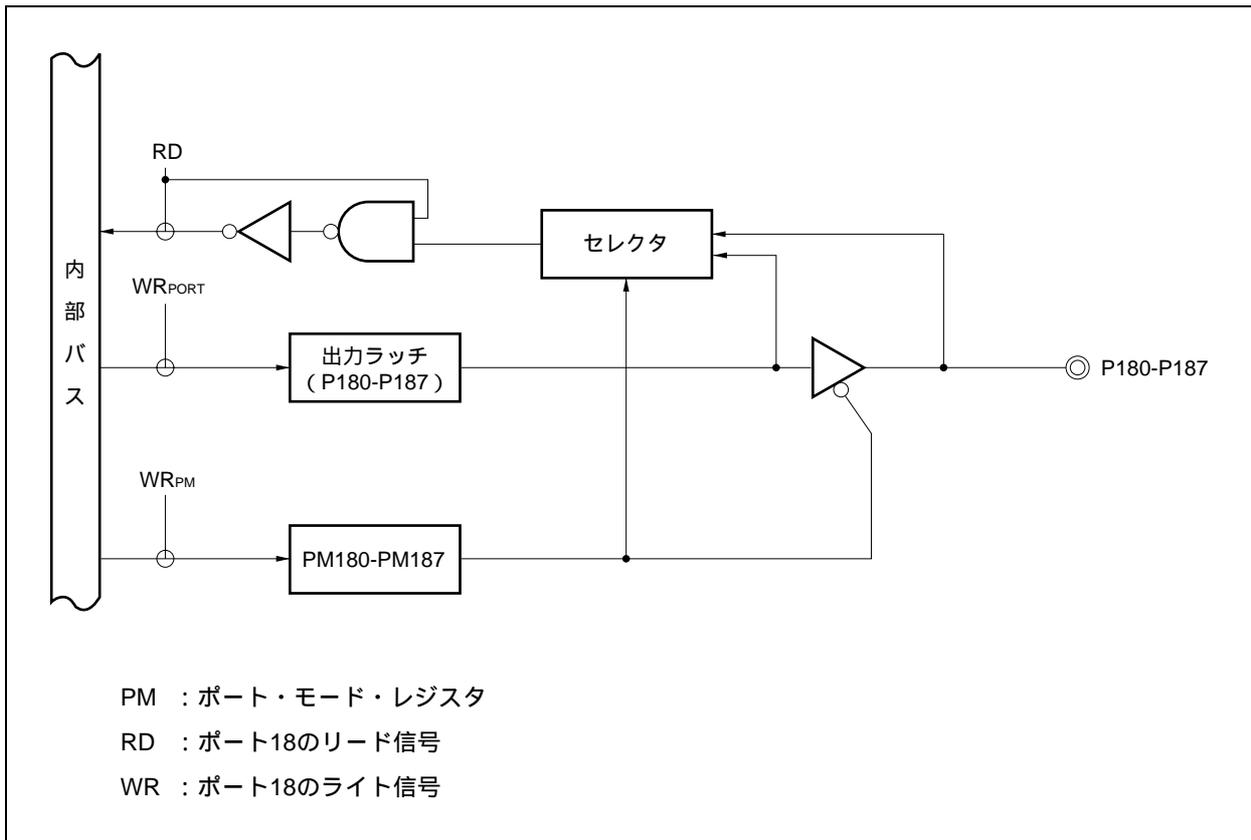
リセット時 : FFH R/W アドレス : FFFFF094H

	7	6	5	4	3	2	1	0
PM18	PM187	PM186	PM185	PM184	PM183	PM182	PM181	PM180

PM18n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポート18のブロック図

図17 - 32 P180-P187のブロック図



17.2.18 ポート19

ポート19は、8ビットの入出力ポートです。8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFF084H

	7	6	5	4	3	2	1	0
P19	P197	P196	P195	P194	P193	P192	P191	P190

P19n	出力データの制御（出力モード時）（n=0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート19（P19）をリードすると、そのときの端子レベルを読み出します。ライトすると、P19にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート19（P19）をリードすると、P19の値を読み出します。ライトすると、P19に値を書き込み、すぐに書き込んだ値を出力します。

ポート19には、兼用端子はありません。

表17 - 18 ポート19（兼用端子なし）

端子名		兼用端子名	入出力	PULL ^注	備考
ポート19	P190	-	入出力	なし	-
	P191	-			
	P192	-			
	P193	-			
	P194	-			
	P195	-			
	P196	-			
	P197	-			

注 ソフトウェア・プルアップ機能

(1) P19端子の機能

ポート19は、1ビット単位で入出力を制御できる8ビットの入出力ポートです。ポート19モード・レジスタ（PM19）で入出力を制御します。

出力モード時、ポート19（P19）に設定した各ビットの値を出力します。

入力モード時にP19をリードすると端子状態をリードできます。また、出力モード時にP19をリードすると、P19（出力ラッチ）の値をリードできます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート19モード・レジスタ (PM19)

8/1ビット単位でリード/ライト可能です。

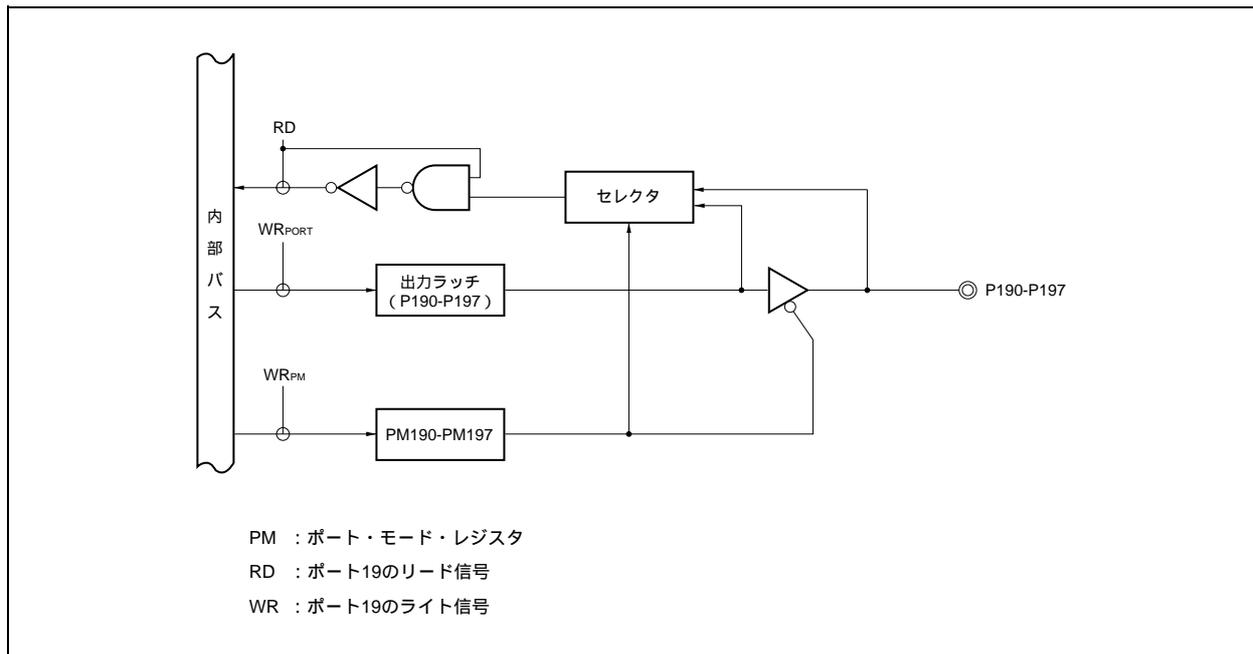
リセット時 : FFH R/W アドレス : FFFFF094H

	7	6	5	4	3	2	1	0
PM19	PM197	PM196	PM195	PM194	PM193	PM192	PM191	PM190

PM19n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポート19のブロック図

図17 - 33 P190-P197のブロック図



17.3 ポート端子を兼用端子として使用する場合の設定

ポート端子を兼用端子として使用する場合，ポートnモード・レジスタ（PM0-PM6, PM9-PM11），出力ラッチを表17 - 19のように設定してください。

★ 表17 - 19 ポート端子を兼用端子として使用する場合の設定（1/3）

端子名称	兼用端子		PMnレジスタの PMnxビット	PnのPnxビット	その他のビット (レジスタ)
	名称	入出力			
P00	NMI	入力	PM00 = 1	P00 = 設定不要	-
P01	INTP0	入力	PM01 = 1	P01 = 設定不要	-
P02	INTP1	入力	PM02 = 1	P02 = 設定不要	-
P03	INTP2	入力	PM03 = 1	P03 = 設定不要	-
P04	INTP3	入力	PM04 = 1	P04 = 設定不要	-
P05	INTP4	入力	PM05 = 1	P05 = 設定不要	-
	ADTRG	入力			
P06	INTP5	入力	PM06 = 1	P06 = 設定不要	-
	RTPTRG0	入力			
P07	INTP6	入力	PM07 = 1	P07 = 設定不要	-
P10	SI0	入力	PM10 = 1	P10 = 設定不要	PF10 = 0
	SDA0 ^注	入出力	PM10 = 0	P10 = 0	PF10 = 1
P11	SO0	出力	PM11 = 0	P11 = 0	PF11 = 設定任意
P12	SCK0	入力	PM12 = 1	P12 = 設定不要	PF12 = 0
		出力	PM12 = 0	P12 = 0	PF12 = 設定任意
	SCL0 ^注	入出力			PF12 = 1
P13	SI1	入力	PM13 = 1	P13 = 設定不要	-
	RXD0	入力			
P14	SO1	出力	PM14 = 0	P14 = 0	PF14 = 設定任意
	TXD0	出力			
P15	SCK1	入力	PM15 = 1	P15 = 設定不要	PF15 = 0
		出力	PM15 = 0	P15 = 0	PF15 = 設定任意
	ASCK0	入力	PM15 = 1	P15 = 設定不要	PF15 = 0
P20	SI2	入力	PM20 = 1	P20 = 設定不要	-
	SDA1 ^注	入出力	PM20 = 0	P20 = 0	
P21	SO2	出力	PM21 = 0	P21 = 0	-
P22	SCK2	入力	PM22 = 1	P22 = 設定不要	-
		出力	PM22 = 0	P22 = 0	
	SCL1 ^注	入出力			
P23	SI3	入力	PM23 = 1	P23 = 設定不要	-
	RXD1	入力			
P24	SO3	出力	PM24 = 0	P24 = 0	-
	TXD1	出力			
P25	SCK3	入力	PM25 = 1	P25 = 設定不要	PF25 = 0
		出力	PM25 = 0	P25 = 0	PF25 = 設定任意
	ASCK1	入力	PM25 = 1	P25 = 設定不要	PF25 = 0

注 μ PD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ

表17 - 19 ポート端子を兼用端子として使用する場合の設定 (2/3)

端子名称	兼用端子		PMnレジスタの PMnxビット	PnのPnxビット	その他のビット (レジスタ)
	名称	入出力			
P26	TI2	入力	PM26 = 1	P26 = 設定不要	-
	TO2	出力	PM26 = 0	P26 = 0	
P27	TI3	入力	PM27 = 1	P27 = 設定不要	-
	TO3	出力	PM27 = 0	P27 = 0	
P30	TI000	入力	PM30 = 1	P30 = 設定不要	-
P31	TI001	入力	PM31 = 1	P31 = 設定不要	-
P32	TI010	入力	PM32 = 1	P32 = 設定不要	-
P33	TI011	入力	PM33 = 1	P33 = 設定不要	-
P34	TO0	出力	PM34 = 0	P34 = 0	-
P35	TO1	出力	PM35 = 0	P35 = 0	-
P36	TI4	入力	PM36 = 1	P36 = 設定不要	-
	TO4	出力	PM36 = 0	P36 = 0	
P37	TI5	入力	PM37 = 1	P37 = 設定不要	-
	TO5	出力	PM37 = 0	P37 = 0	
P40-P47	AD0-AD7	入出力	PM40-PM47 = 設定不要	P40-P47 = 設定不要	注1
P50-P57	AD8-AD15	入出力	PM50-PM57 = 設定不要	P50-P57 = 設定不要	注1
P60-P65	A16-A21	出力	PM60-PM65 = 設定不要	P60-P65 = 設定不要	注1
P70-P77	ANI0-ANI7	入力	なし	P70-P77 = 設定不要	-
P80-P83	ANI8-ANI11	入力	なし	P80-P83 = 設定不要	-
P90	$\overline{\text{LBEN}}$	出力	PM90 = 設定不要	P90 = 設定不要	注1, 2
	$\overline{\text{WRL}}$	出力			
P91	$\overline{\text{UBEN}}$	出力	PM91 = 設定不要	P91 = 設定不要	注1, 2
P92	$\overline{\text{R/W}}$	出力	PM92 = 設定不要	P92 = 設定不要	注1, 2
	$\overline{\text{WRH}}$	出力			
P93	$\overline{\text{DSTB}}$	出力	PM93 = 設定不要	P93 = 1	注1, 2
	$\overline{\text{RD}}$	出力			
P94	$\overline{\text{ASTB}}$	出力	PM94 = 設定不要	P94 = 1	注1
P95	$\overline{\text{HLD AK}}$	出力	PM95 = 設定不要	P95 = 設定不要	注1
P96	$\overline{\text{HLDRQ}}$	入力	PM96 = 設定不要	P96 = 設定不要	注1
P100-P107	RTP00-RTP07	出力	PM100-PM107 = 0	P100-P107 = 0	PF100-PF107 = 設定任意
P120	SI4	入力	PM120 = 1	PM120 = 設定不要	-
P121	SO4	出力	PM121 = 0	PM121 = 0	PF121 = 設定任意
P122	$\overline{\text{SCK4}}$	入力	PM122 = 1	PM122 = 設定不要	-
		出力	PM122 = 0	PM122 = 0	PF122 = 設定任意
P123	CLO	出力	PM123 = 0	PM123 = 0	-
P124	TI6	入力	PM124 = 1	PM124 = 設定不要	-
	TO6	出力	PM124 = 0	PM124 = 0	
P125	TI7	入力	PM125 = 1	PM125 = 設定不要	-
	TO7	出力	PM125 = 0	PM125 = 0	

注1. 3.4.6(1)メモリ拡張モード・レジスタ(MM)参照

2. 4.2.2(1)システム制御レジスタ(SYC)参照

表17 - 19 ポート端子を兼用端子として使用する場合の設定 (3/3)

端子名称	兼用端子		PMnレジスタの PMnxビット	PnのPnxビット	その他のビット (レジスタ)
	名称	入出力			
P126	TI10	入力	PM126 = 1	PM126 = 設定不要	-
	TO10	出力	PM126 = 0	PM126 = 0	
P127	TI11	入力	PM127 = 1	PM127 = 設定不要	-
	TO11	出力	PM127 = 0	PM127 = 0	
P130	INTCP80	入力	PM130 = 1	PM130 = 設定不要	-
P131	INTCP81	入力	PM131 = 1	PM131 = 設定不要	-
P132	INTCP82	入力	PM132 = 1	PM132 = 設定不要	-
P133	INTCP83	入力	PM133 = 1	PM133 = 設定不要	-
P134	TI8	入力	PM134 = 1	PM134 = 設定不要	-
	INTTI8	入力	PM134 = 1	PM134 = 設定不要	
P135	TCLR8	入力	PM135 = 1	PM135 = 設定不要	-
	INTTCLR8	入力	PM135 = 1	PM135 = 設定不要	
P136	TO80	出力	PM136 = 0	PM136 = 0	-
P137	TO81	出力	PM137 = 0	PM137 = 0	-
P140	INTCP90	入力	PM140 = 1	PM140 = 設定不要	-
P141	INTCP91	入力	PM141 = 1	PM141 = 設定不要	-
P142	INTCP92	入力	PM142 = 1	PM142 = 設定不要	-
P143	INTCP93	入力	PM143 = 1	PM143 = 設定不要	-
P144	TI9	入力	PM144 = 1	PM144 = 設定不要	-
P145	RTPTRG1	入力	PM145 = 1	PM145 = 設定不要	-
P150-P157	RTP10-RTP17	出力	PM150-PM157 = 0	PM150-PM157 = 0	-
P160-P163	PWM0-PWM3	出力	PM160-PM163 = 0	PM160-PM163 = 0	-
P164	CSYNCIN	入力	PM164 = 1	PM164 = 設定不要	-
P165	VSOUT	出力	PM165 = 0	PM165 = 0	-
P166	HSOUT0	出力	PM166 = 0	PM166 = 0	-
P167	HSOUT1	出力	PM167 = 0	PM167 = 0	-
P170-P177	KR0-KR7	入力	PM170-PM177 = 1	PM170-PM177 = 設定不要	-

注意 ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを設定して出力レベルを変化させた場合、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用する場合は、あらかじめ割り込みマスク・フラグに1を設定してください。

備考 PMnレジスタのPMnxビット / PnのPnxビット

n : 0 (x = 0-7) n : 1 (x = 0-5) n : 2 (x = 0-7) n : 3 (x = 0-7) n : 4 (x = 0-7)
 n : 5 (x = 0-7) n : 6 (x = 0-5) n : 7 (x = 0-7) n : 8 (x = 0-7) n : 9 (x = 0-6)
 n : 10 (x = 0-7) n : 12 (x = 0-7) n : 13 (x = 0-7) n : 14 (x = 0-5) n : 15 (x = 0-7)
 n : 16 (x = 0-7) n : 17 (x = 0-7)

★ 17.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

17.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

17.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

第18章 リセット機能

18.1 概要

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。また、リセット期間中メイン・クロックは発振を停止します。サブクロックは発振を継続します。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

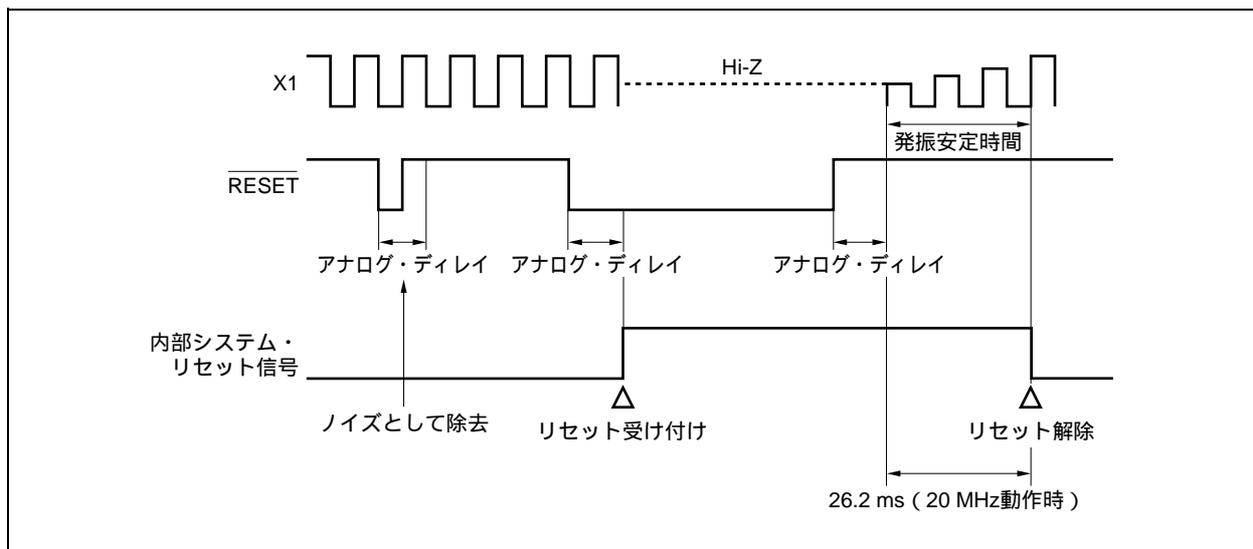
$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイによるノイズ除去回路を内蔵しています。

18.2 端子動作

システム・リセット期間中は、ほとんどの端子出力($\overline{\text{RESET}}$, X2, XT2, AVREF, VDD, VSS, AVDD, AVSS, BVDD, BVSS, VPP/ICを除く全端子)がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、各端子にプルアップ(またはプルダウン)抵抗を付けてください。付けていない場合、これらの端子がハイ・インピーダンスになるため、メモリ内のデータを破壊する可能性があります。同様に内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう端子を処理してください。

図18-1 システム・リセット・タイミング



第19章 ROMコレクション機能

19.1 概要

V850/SV1に搭載するROMコレクション機能は、マスクROM内のプログラムの一部を内蔵RAMのプログラムに置き換えて実行する機能です。

プログラムの置き換えを始めたいアドレス（修正アドレス）の命令を、JMP r0命令に入れ替えて00000000Hにジャンプさせます。次にコレクション要求レジスタ（CORRQ）をチェックしてフラグ（CORRQn）がセット（1）されていたら、ジャンプ命令などにより内蔵RAM空間にジャンプして内蔵RAMに制御が移ります（n = 0-3）。

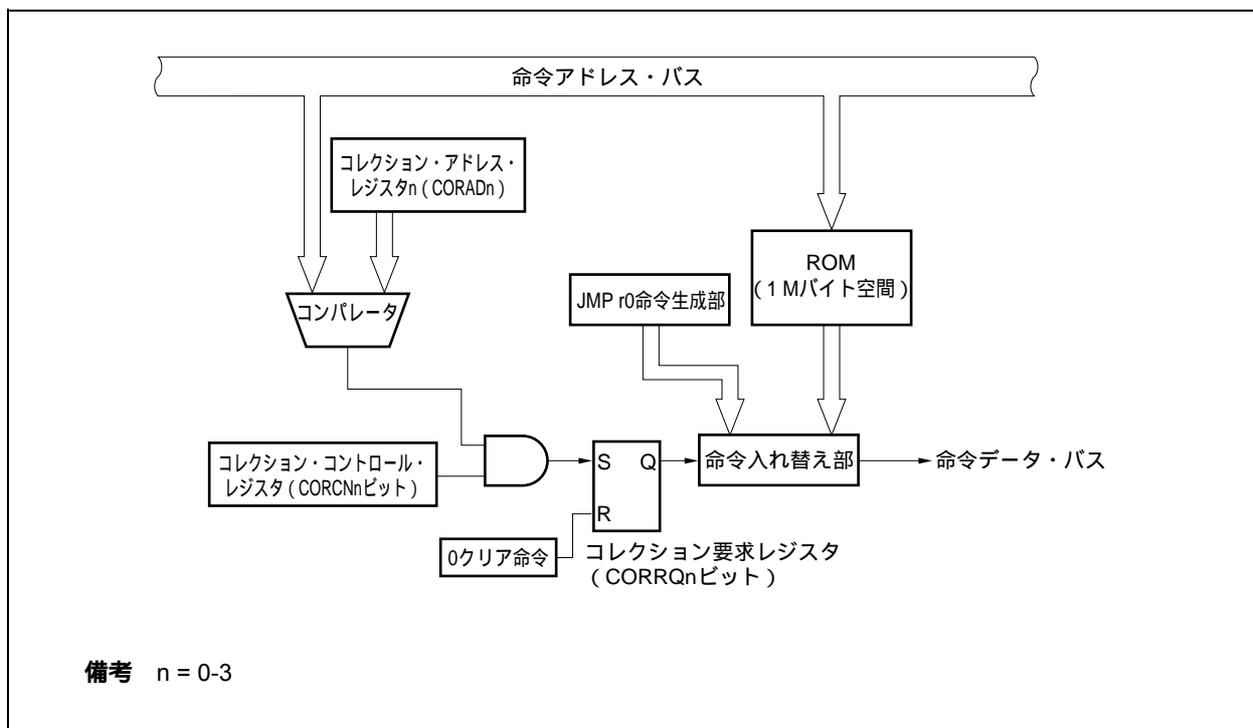
ROMコレクション機能を使用すると、マスクROMで発見された命令バグの修正やプログラムの流れを変更することができます。

修正アドレスは、4箇所指定できます。

注意1 . ROMコレクション機能は、内蔵ROMのデータに対しては使用できません。命令コードに対してだけ行うことができます。データに対してROMコレクションを行うと、そのデータがJMP r0命令の命令コードに入れ替わります。

2 . コレクション要求レジスタ（CORRQ）、コレクション・コントロール・レジスタ（CORCN）、コレクション・アドレス・レジスタ0-3（CORAD0-CORAD3）へアクセスする命令に対して、ROMコレクションは使用禁止です。

図19 - 1 ROMコレクションのブロック図



19.2 ROMコレクション周辺I/Oレジスタ

19.2.1 コレクション・コントロール・レジスタ (CORCN)

コレクション・アドレス・レジスタ n (CORAD n) に設定した修正アドレスとフェッチ・アドレスが一致したときに、JMP r0命令コードと入れ替えをするかしないかを制御するレジスタです ($n = 0-3$)。

各チャンネルごとに、コンパレータの一致検出の許可/禁止を設定できます。

8/1ビット・メモリ操作命令で設定します。

リセット時 : 00H R/W アドレス : FFFFF36CH								
	7	6	5	4	③	②	①	④
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0
COREN n	CORAD n レジスタとフェッチ・アドレスの一致検出の制御							
0	一致検出の禁止							
1	一致検出の許可							
備考 $n = 0-3$								

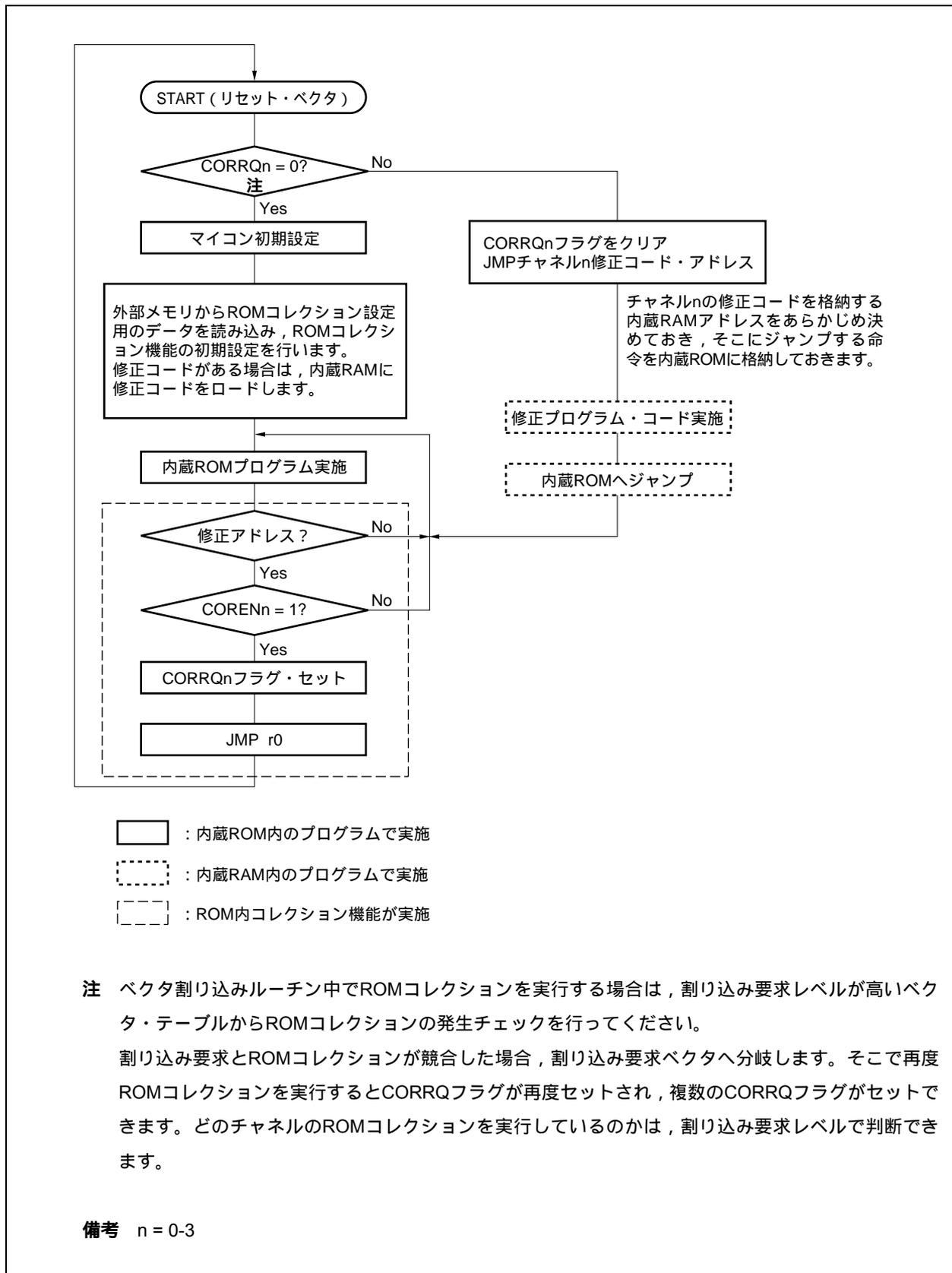
19.2.2 コレクション要求レジスタ (CORRQ)

ROMコレクションが発生したチャンネルを記憶するレジスタです。修正アドレスとフェッチ・アドレスが一致したあとに、JMP r0命令により00000000H番地にジャンプします。このときにコレクション要求レジスタ (CORRQ) をリードすると次に示す場合をプログラムで判断することができます。

リセット入力	: CORRQ = 00H
ROMコレクションの発生	: CORRQ n ビット = 1 ($n = 0-3$)
ユーザ・プログラムによる00000000H番地への分岐	: CORRQ = 00H

リセット時 : 00H R/W アドレス : FFFFF36EH								
	7	6	5	4	③	②	①	④
CORRQ	0	0	0	0	CORRQ3	CORRQ2	CORRQ1	CORRQ0
CORRQ n 注	チャンネル n ROMコレクション要求フラグ							
0	ROMコレクション要求なし							
1	ROMコレクション要求発生							
注 CORRQ n ビットのクリアは“0”書き込み命令により行います。								
備考 $n = 0-3$								

図19 - 2 ROMコレクションの動作とプログラムの流れ



第20章 フラッシュ・メモリ

次に示す製品はV850/SV1のフラッシュ・メモリ内蔵品です。

- ★ **注意** フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

μ PD70F3038, 70F3038Y : 384 Kバイトのフラッシュ・メモリ内蔵品

μ PD70F3040, 70F3040Y : 256 Kバイトのフラッシュ・メモリ内蔵品

このフラッシュ・メモリへの命令フェッチは、マスクROM内蔵品と同様に1クロックで4バイトをアクセスできます。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850/SV1を半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

20.1 特徴

- ・4バイト/1クロック・アクセス（命令フェッチ・アクセス時）
- ・全エリア一括消去/エリア単位で消去
- ・専用フラッシュ・ライタからシリアル・インタフェースを介して通信
- ・消去/書き込み電圧： $V_{PP} = 7.8\text{ V}$
- ・オンボード・プログラミング可能
- ・書き換え回数^注：100回

注 1エリアあたり、消去 書き込みが書き換え1回となります。

★ 20.1.1 消去単位

消去単位は、各製品によって異なります。

(1) μ PD70F3040, 70F3040Y

256 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

(a) 全エリア一括消去

xx000000H-xx03FFFFHの領域を同時に消去できます。

(b) エリア消去

エリア単位で消去ができます (128 Kバイト単位のエリアが2つあります)。

エリア0 : xx000000H-xx01FFFFH (128 Kバイト) の領域を消去

エリア1 : xx020000H-xx03FFFFH (128 Kバイト) の領域を消去

(2) μ PD70F3038, 70F3038Y

384 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

(a) 全エリア一括消去

xx000000H-xx05FFFFHの領域を同時に消去できます。

(b) エリア消去

エリア単位で消去ができます (128 Kバイト単位のエリアが3つあります)。

エリア0 : xx000000H-xx01FFFFH (128 Kバイト) の領域を消去

エリア1 : xx020000H-xx03FFFFH (128 Kバイト) の領域を消去

エリア2 : xx040000H-xx05FFFFH (128 Kバイト) の領域を消去

20.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライターにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV850/SV1を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

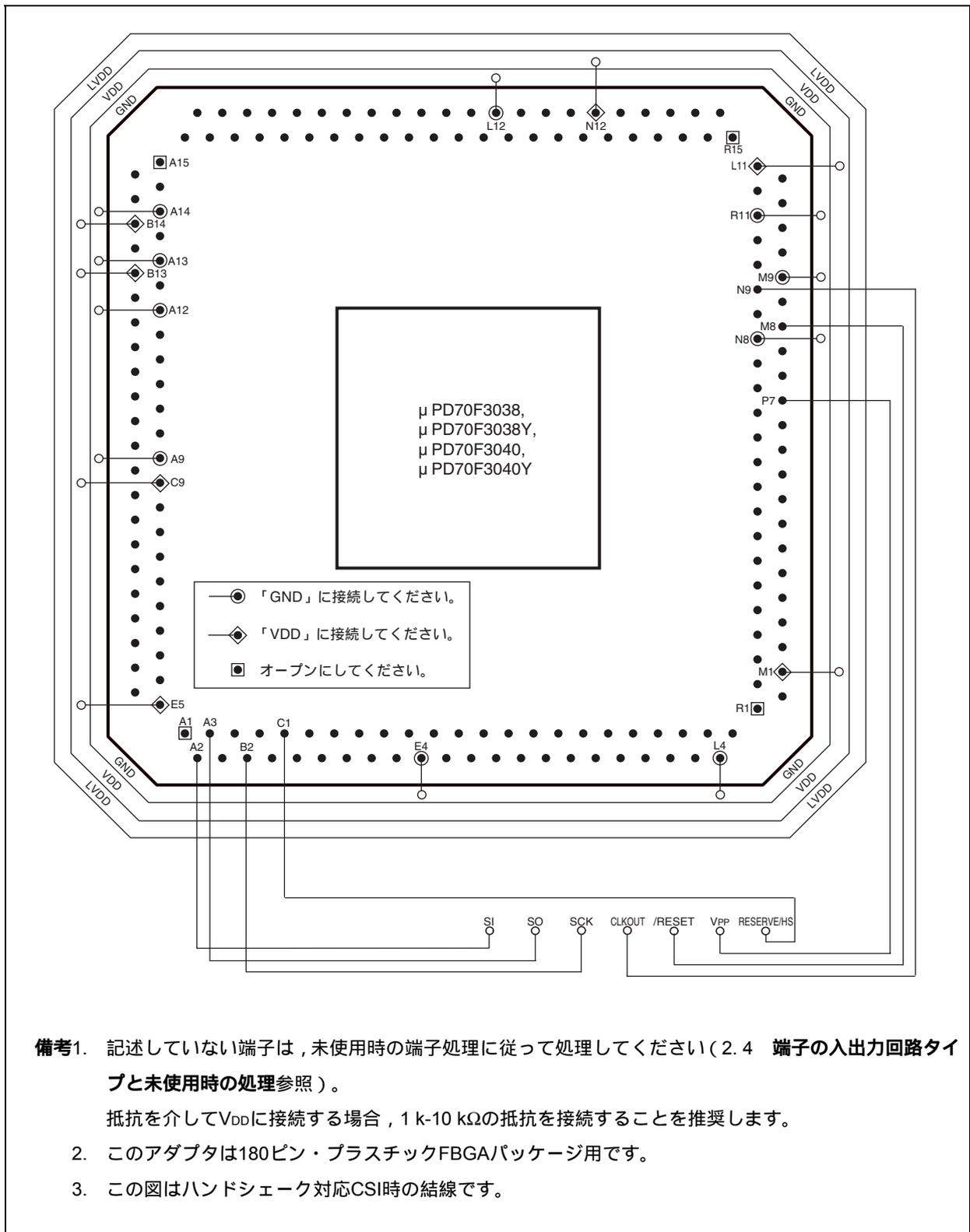
(2) オフボード・プログラミング

ターゲット・システム上にV850/SV1を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

★

図20 - 1 V850/SV1フラッシュ書き込み用アダプタ (FA-180FBGA)



★

表20 - 1 V850/SV1フラッシュ書き込み用アダプタ (FA-180FBGA) の配線表

フラッシュ・ライタ (PG-FP3) 接続端子図			CSI0-HS使用時		CSI0使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RXD	入力	受信信号	P11/SO0	A2	P11/SO0	A2	P14/SO1/TXD0	C3
SO/TXD	出力	送信信号	P10/SI0	A3	P10/SI0	A3	P13/SI1/RXD0	B1
SCK	出力	転送クロック	P12/SCK0	B2	P12/SCK0	B2	必要なし	必要なし
CLKOUT	出力	V850/SV1へのクロック	X1	N9	X1	N9	X1	N9
/RESET	出力	リセット信号	RESET	M8	RESET	M8	RESET	M8
VPP	出力	書き込み電圧	VPP	P7	VPP	P7	VPP	P7
HS	出力	CSI0 + HS通信のハンドシェイク信号	P15	C1	必要なし	必要なし	必要なし	必要なし
VDD	入出力	VDD電圧生成 / 電圧監視	VDD	注1	VDD	注1	VDD	注1
			AVDD	B13	AVDD	B13	AVDD	B13
			BVDD	C9	BVDD	C9	BVDD	C9
GND	-	グラウンド	VSS	注2	VSS	注2	VSS	注2
			AVSS	A13	AVSS	A13	AVSS	A13
			AVREF	A14	AVREF	A14	AVREF	A14
			BVSS	A9	BVSS	A9	BVSS	A9
その他	-	オープン	NC	注3	NC	注3	NC	注3

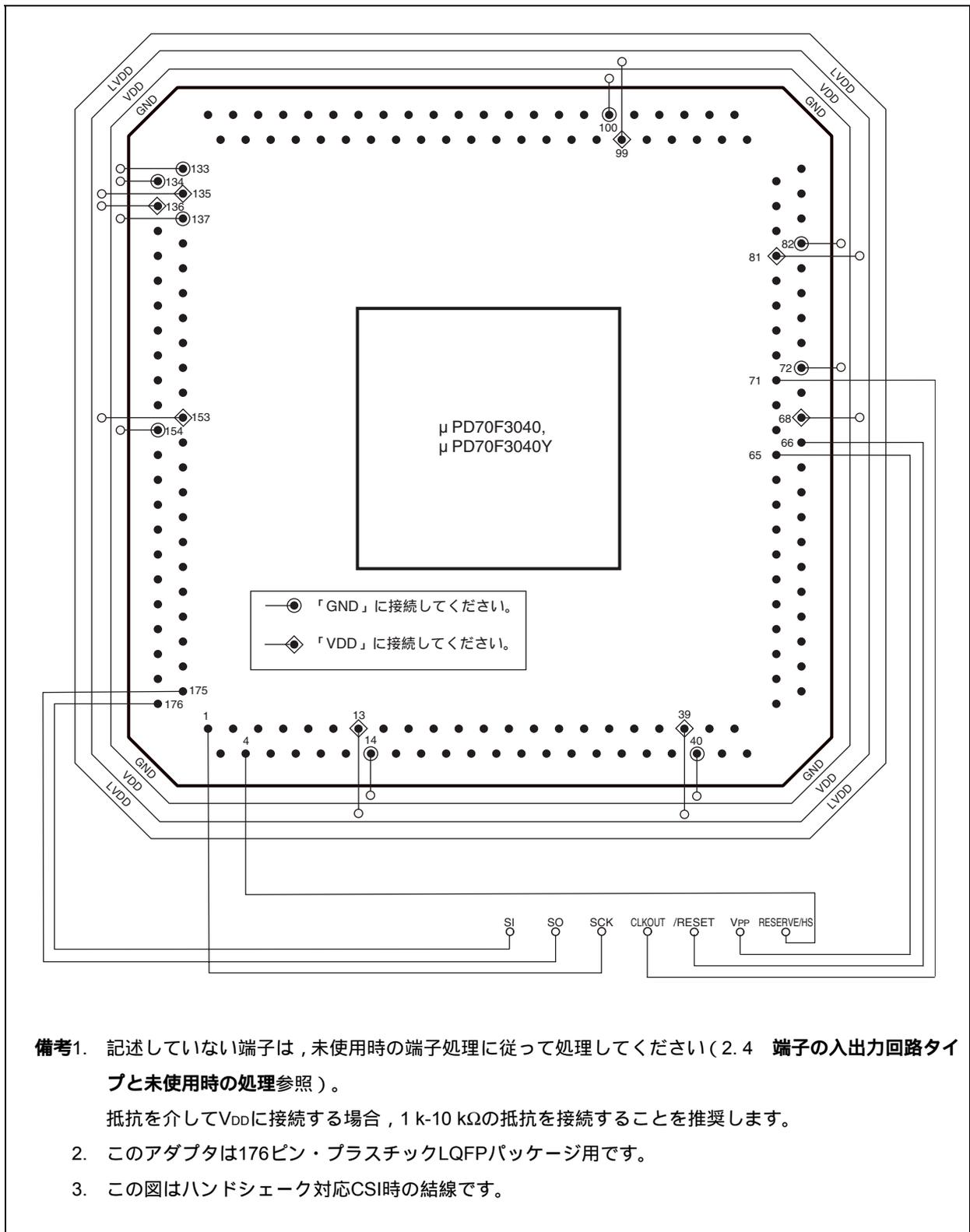
注1. B14, E5, L11, M1, N8, N12

2. A12, E4, L4, L12, M9, R11

3. A1, A15, R1, R15

★

図20 - 2 V850/SV1フラッシュ書き込み用アダプタ (FA-176GM-UEU)



★

表20 - 2 V850/SV1フラッシュ書き込み用アダプタ (FA-176GM-UEU) の配線表

フラッシュ・ライター (PG-FP3) 接続端子図			CSI0-HS使用時		CSI0使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RXD	入力	受信信号	P11/SO0	176	P11/SO0	176	P14/SO1/TXD0	3
SO/TXD	出力	送信信号	P10/SI0	175	P10/SI0	175	P13/SI1/RXD0	2
SCK	出力	転送クロック	P12/SCK0	1	P12/SCK0	1	必要なし	必要なし
CLKOUT	出力	V850/SV1へのクロック	X1	71	X1	71	X1	71
/RESET	出力	リセット信号	RESET	66	RESET	66	RESET	66
VPP	出力	書き込み電圧	VPP	65	VPP	65	VPP	65
HS	出力	CSI0 + HS通信のハンドシェイク信号	P15	4	必要なし	必要なし	必要なし	必要なし
VDD	入出力	VDD電圧生成 / 電圧監視	VDD	注1	VDD	注1	VDD	注1
			AVDD	135	AVDD	135	AVDD	135
			BVDD	153	BVDD	153	BVDD	153
GND	-	グラウンド	VSS	注2	VSS	注2	VSS	注2
			AVSS	134	AVSS	134	AVSS	134
			AVREF	133	AVREF	133	AVREF	133
			BVSS	154	BVSS	154	BVSS	154

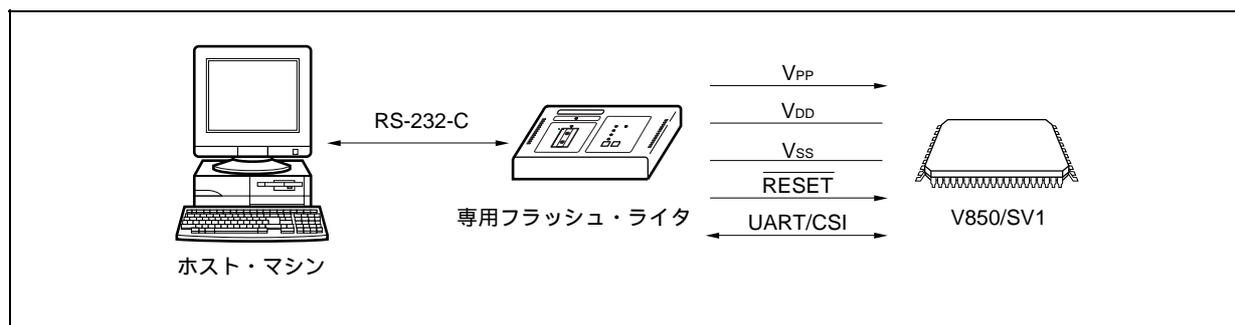
注1. 13, 39, 69, 81, 99, 136

2. 14, 40, 72, 82, 100, 137

20.3 プログラミング環境

V850/SV1のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図20 - 3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850/SV1とのインターフェースはUART0またはCSI0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

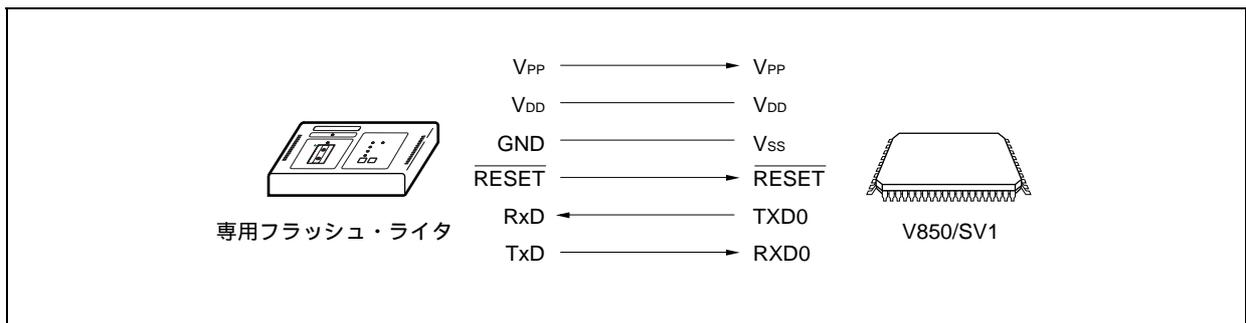
20.4 通信方式

専用フラッシュ・ライタとV850/SV1との通信は、V850/SV1のUART0またはCSI0によるシリアル通信で行います。

(1) UART0

転送レート：4800 - 76800 bps

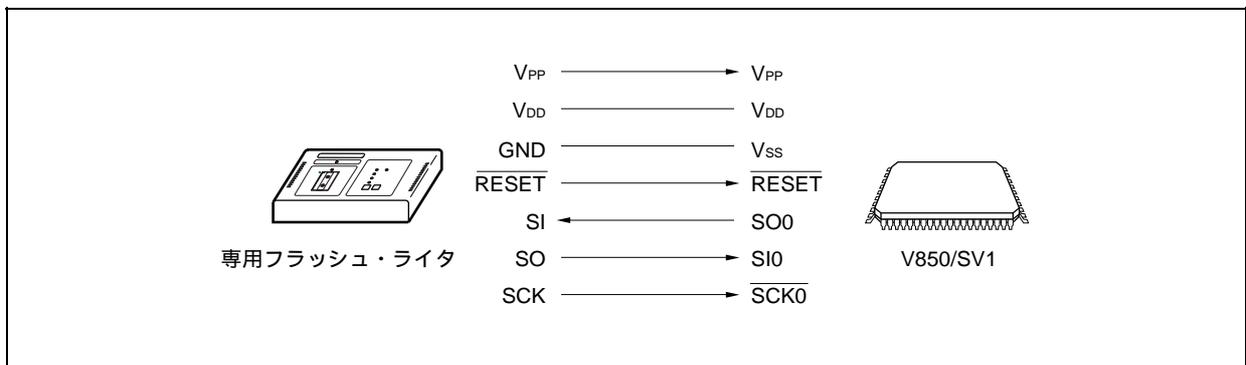
図20 - 4 専用フラッシュ・ライタとの通信 (UART0)



(2) CSI0

シリアル・クロック：～1 MHz (MSBファースト)

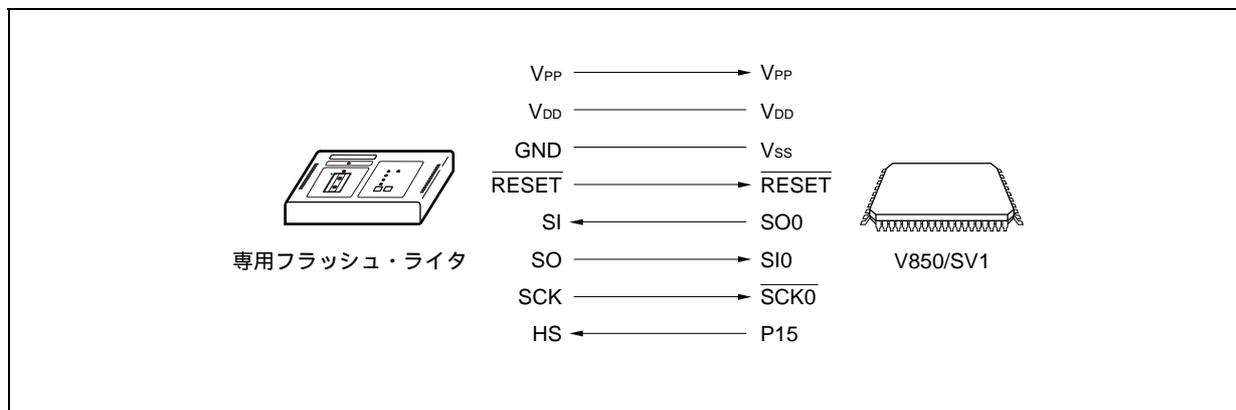
図20 - 5 専用フラッシュ・ライタとの通信 (CSI0)



★ (3) CSI0+HS

シリアル・クロック：～1 MHz (MSBファースト)

図20 - 6 専用フラッシュ・ライターとの通信 (CSI0+HS)



専用フラッシュ・ライターが転送クロックを出力し、V850/SV1はスレーブとして動作します。

専用フラッシュ・ライターとしてPG-FP3を使用した場合、PG-FP3はV850/SV1に対して次の信号を生成します。詳細はPG-FP3のマニュアルを参照してください。

★ 表20 - 3 専用フラッシュ・ライター (PG-FP3) の信号生成

PG-FP3			V850/SV1	接続時の処置		
信号名	入出力	端子機能	端子名	CSI0	UART0	CSI0 + HS
V _{PP}	出力	書き込み電圧	V _{PP}			
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グラウンド	V _{SS}			
CLK ^注	出力	V850/SV1へのクロック出力	X1			
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SO0/TXD0			
SO/TxD	出力	送信信号	SI0/RXD0			
SCK	出力	転送クロック	SCK0		×	
HS	入力	CSI0 + HS通信のハンドシェーク信号	P15	×	×	

注 ターゲット・ボード上でクロックを供給してください。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

× : 接続の必要はありません。

20.5 端子処理

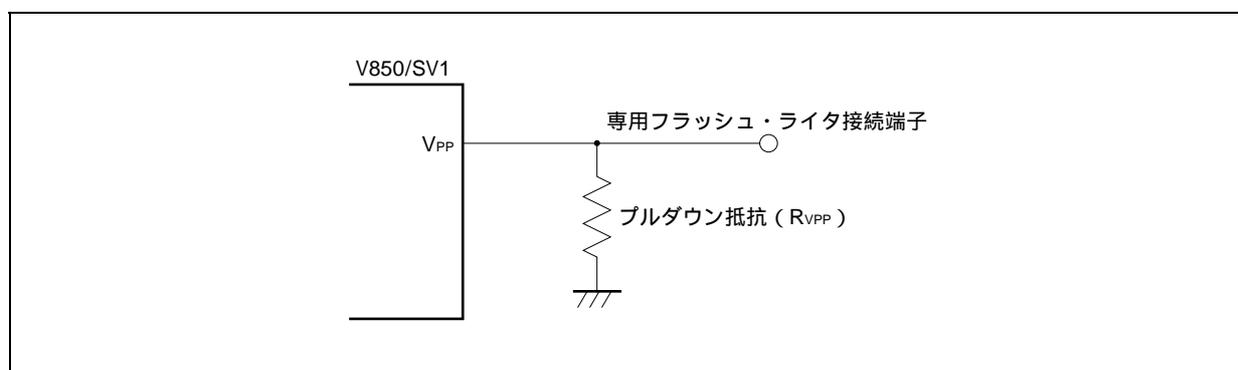
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、ポートはすべて出力ハイ・インピーダンス状態になるため、外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

20.5.1 V_{PP}端子

通常動作モード時は、V_{PP}端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に7.8 Vの書き込み電圧を供給します。V_{PP}端子の接続例を次に示します。

図20 - 7 V_{PP}端子の接続例



20.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

★

表20-4 各シリアル・インタフェースが使用する端子

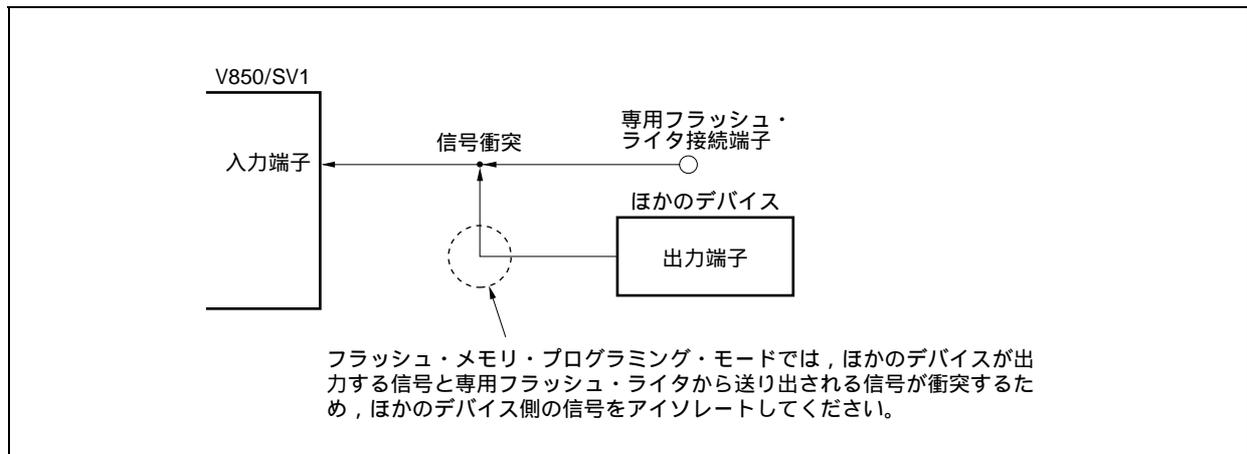
シリアル・インタフェース	使用端子
CSI0	SO0, SI0, $\overline{\text{SCK0}}$
CSI0 + HS	SO0, SI0, $\overline{\text{SCK0}}$, P15
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

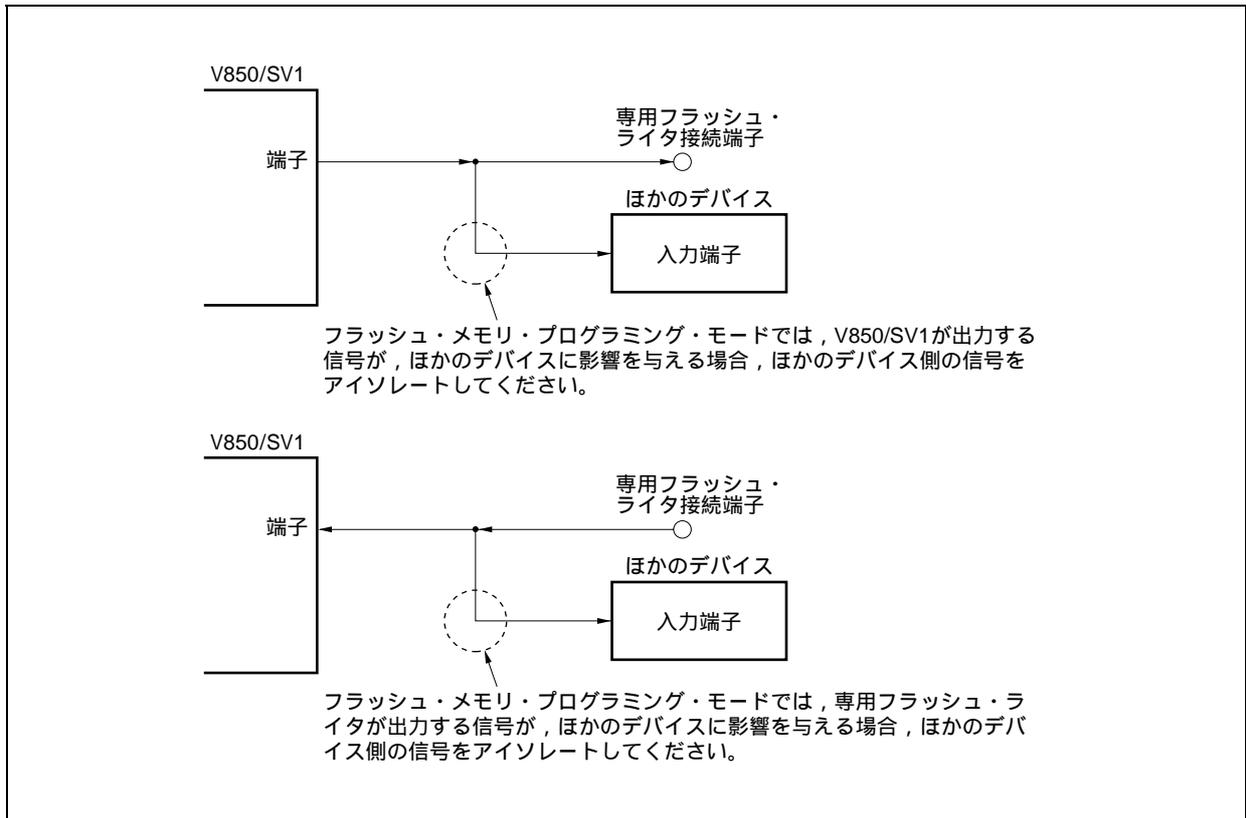
図20-8 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライター（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図20 - 9 ほかのデバイスの異常動作

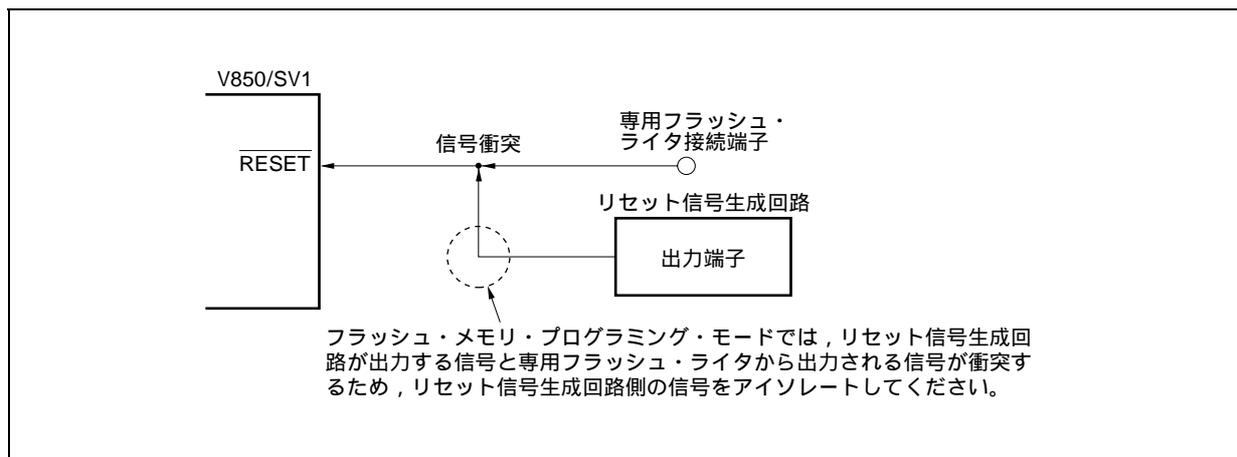


20.5.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図20 - 10 信号の衝突 ($\overline{\text{RESET}}$ 端子)



20.5.4 ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。なお、ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの処置をしてください。

20.5.5 その他の信号端子

$X1$, $X2$, $XT1$, $XT2$, AV_{REF} は、通常動作モード時と同じ状態に接続してください。

20.5.6 電 源

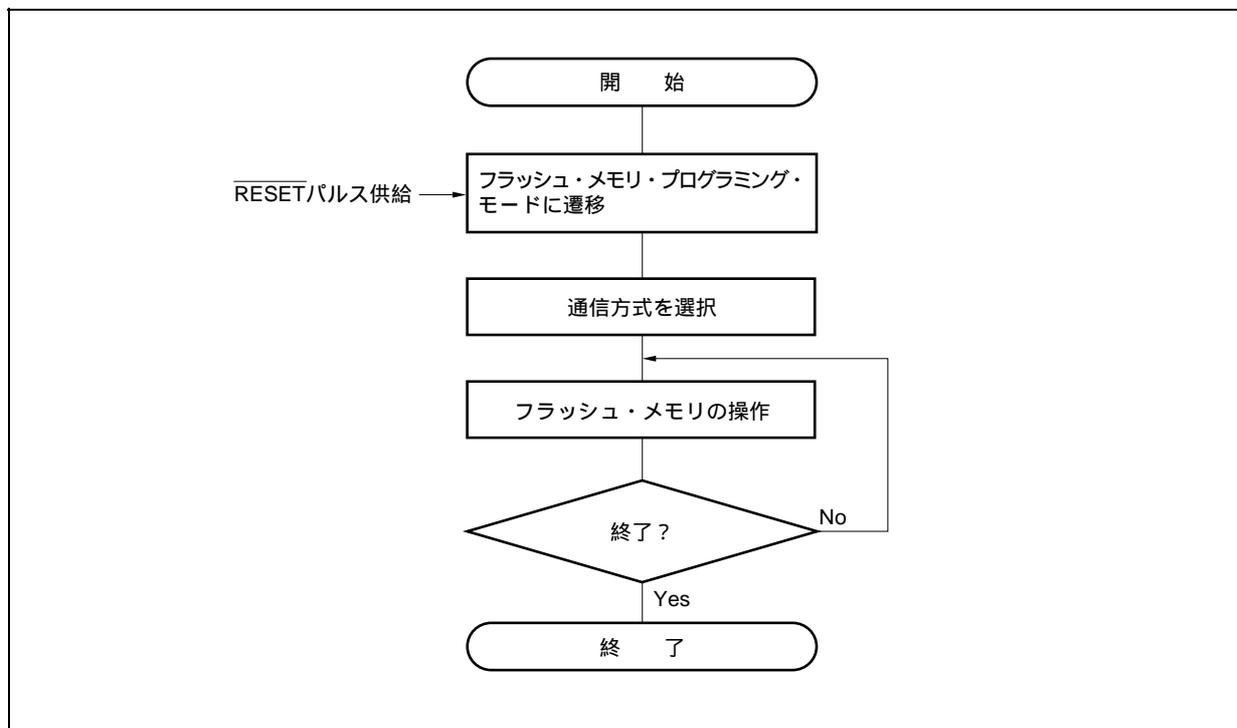
AV_{DD} , AV_{SS} , BV_{DD} , BV_{SS} は、通常動作モード時と同じ電源を供給してください。

20.6 プログラミング方法

20.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図20 - 11 フラッシュ・メモリの操作手順

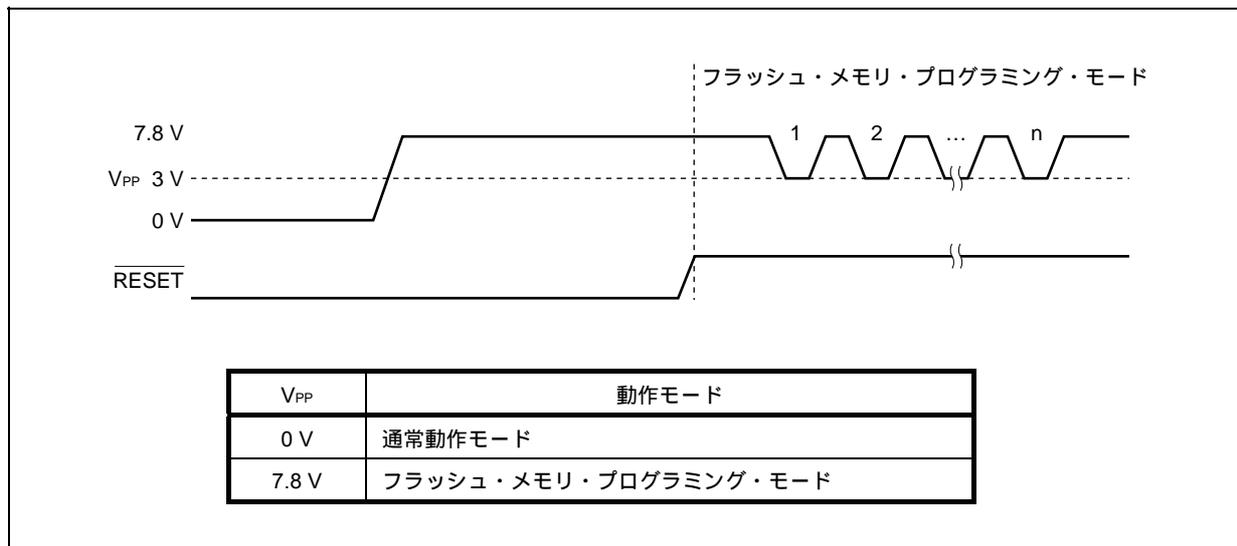


20.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、V850/SV1をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、V_{PP}端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図20 - 12 フラッシュ・メモリ・プログラミング・モード



20.6.3 通信方式の選択

V850/SV1では、フラッシュ・メモリ・プログラミング・モードに遷移後、V_{PP}端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

表20 - 5 通信方式一覧

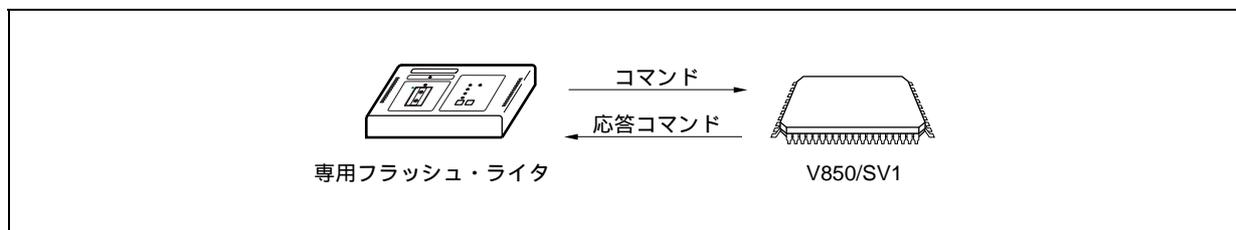
V _{PP} パルス	通信方式	備考
0	CSI0	V850/SV1はスレーブ動作，MSBファースト
3	CSI0 + HS	V850/SV1はスレーブ動作，MSBファースト
8	UART0	通信レート：9600 bps（リセット時），LSBファースト
その他	RFU	設定禁止

注意 UART選択時，受信クロックは，V_{PP}パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

20.6.4 通信コマンド

V850/SV1と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850/SV1へ送られるコマンドを「コマンド」と呼び、V850/SV1から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図20 - 13 通信コマンド



V850/SV1のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850/SV1がコマンドに対応した各処理を行います。

表20 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
	ライトバック・コマンド	過消去時の書き戻し
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ベリファイ・チェックを実行
システム設定, 制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	ポー・レート設定コマンド	UART使用時のポー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
リセット・コマンド	各状態からの脱出	

V850/SV1は、専用フラッシュ・ライタから発行されたコマンドに対して、応答コマンドを返します。V850/SV1が送出する応答コマンドを次に示します。

表20 - 7 応答コマンド

応答コマンド名称	機能
ACK (アクノリッジ)	コマンド/データなどのアクノリッジ
NAK (ノット・アクノリッジ)	不正なコマンド/データなどのアクノリッジ

20.6.5 使用する資源

フラッシュ・メモリ・プログラミング・モードで使用する資源は、内蔵RAMのFFE000H-FFE7FFHの領域とすべてのレジスタです。内蔵RAMのFFE800H-FFEFFFFH領域は、電源をオフにしないかぎりデータを保持しています。なお、リセットにより初期化されるレジスタは、初期値に変更します。

第21章 電気的特性

絶対最大定格 (TA = 25 , VSS = 0 V)

項目	略号	条件	定格	単位
電源電圧	VDD		- 0.5 ~ + 4.6	V
	VPP	注1, 2	- 0.5 ~ + 8.5	V
	AVDD		- 0.5 ~ + 4.6	V
	BVDD		- 0.5 ~ + 4.6	V
	VSS		- 0.5 ~ + 0.5	V
	AVSS		- 0.5 ~ + 0.5	V
	BVSS		- 0.5 ~ + 0.5	V
入力電圧	VI1	注3, RESET (VDD系)	- 0.5 ~ VDD + 0.5 ^{注6}	V
	VI2	注4, WAIT (BVDD系)	- 0.5 ~ BVDD + 0.5 ^{注6}	V
クロック入力電圧	VK	X1, VDD = 2.7 ~ 3.6 V	- 0.5 ~ VDD + 1.0 ^{注6}	V
アナログ入力電圧	VIAN	注5 (AVDD系)	- 0.5 ~ AVDD + 0.5 ^{注6}	V
アナログ基準入力電圧	AVREF	AVREF端子	- 0.5 ~ AVDD + 0.5 ^{注6}	V
ロウ・レベル出力電流	IOL	1端子	4.0	mA
		P00-P07, P150-P157の合計	25	mA
		P100-P107, P160-P167の合計	25	mA
		P170-P177, P190-P197の合計	25	mA
		P124-P127, P180-P187の合計	25	mA
		P30-P37, P120-P123の合計	25	mA
		P12-P15, P20-P27, P110-P113の合計	25	mA
		P50-P57, P60-P65, CLKOUTの合計	25	mA
		P40-P47, P90-P96の合計	25	mA
		P130-P137, P140-P147の合計	25	mA
ハイ・レベル出力電流	IOH	1端子	- 4.0	mA
		P00-P07, P150-P157の合計	- 25	mA
		P100-P107, P160-P167の合計	- 25	mA
		P170-P177, P190-P197の合計	- 25	mA
		P124-P127, P180-P187の合計	- 25	mA
		P30-P37, P120-P123の合計	- 25	mA
		P12-P15, P20-P27, P110-P113の合計	- 25	mA
		P50-P57, P60-P65, CLKOUTの合計	- 25	mA
		P40-P47, P90-P96の合計	- 25	mA
		P130-P137, P140-P147の合計	- 25	mA
出力電圧	VO1	注3, VDD = 2.7 ~ 3.6 V	- 0.5 ~ VDD + 0.5 ^{注6}	V
	VO2	注4, CLKOUT, BVDD = 2.7 ~ 3.6 V	- 0.5 ~ BVDD + 0.5 ^{注6}	V
動作周囲温度	TA	通常動作モード	- 40 ~ + 85	
		フラッシュ・プログ	100回保証品 ^{注7}	0 ~ + 85
		ラミング・モード ^{注1}	20回保証品 ^{注7}	+ 10 ~ + 40
保存温度	Tstg	μPD703038, 703038Y, 703039, 703039Y, 703040, 703040Y, 703041, 703041Y	- 60 ~ + 150	
		μPD70F3038, 70F3038Y, 70F3040, 70F3040Y	- 40 ~ + 125	

注1. μ PD70F3038, 70F3038Y, 70F3040, 70F3040Yのみ。

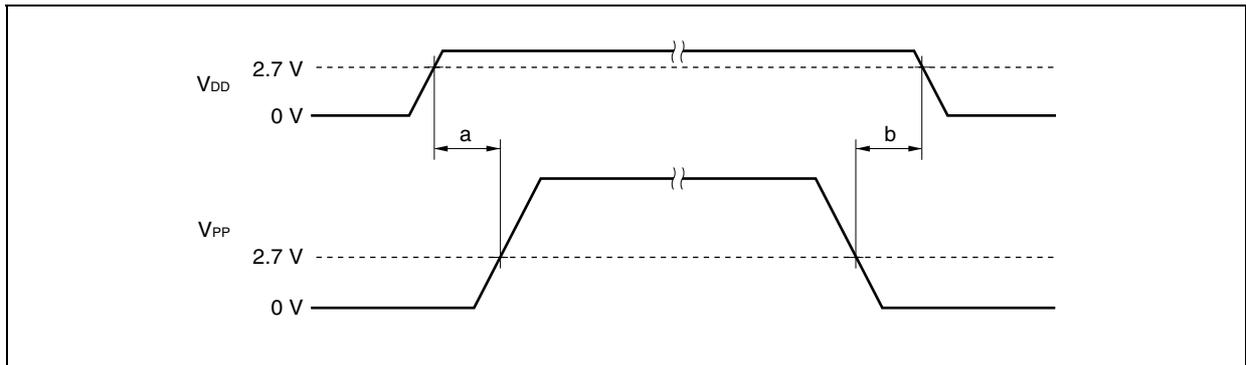
2. フラッシュ・メモリ書き込み時, V_{PP} の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧(2.7 V)に達してから10 μ s以上経過後, V_{PP} が V_{DD} を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧(2.7 V)に下回ってから10 μ s以上経過後, V_{DD} を立ち下げること(下図のb)。



3. ポート0, 1, 2, 3, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19 (兼用端子も含みます)

4. ポート4, 5, 6, 9 (兼用端子も含みます)

5. ポート7, 8 (兼用端子も含みます)

6. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

7. パッケージに捺印されているロット番号により, 20回保証品と100回保証品を判別することができます (xxxxは内部管理用の4桁の数字もしくは記号です)。

・ μ PD70F3038, 70F3038Y

	20回保証品	100回保証品
ロット番号	0125Kxxxx以前	0126Kxxxx以降 (0126Kxxxx含む)
フラッシュ書き換え回数	20回	100回
フラッシュ書き換え温度	+10 ~ +40	0 ~ +85

・ μ PD70F3040, 70F3040Y

	20回保証品	100回保証品
ロット番号	0123Pxxxx以前	0124Pxxxx以降 (0124Pxxxx含む)
フラッシュ書き換え回数	20回	100回
フラッシュ書き換え温度	+10 ~ +40	0 ~ +85

・ロット番号について



注意1. IC製品の出力（または入出力）端子同士を直結したり、 V_{DD} または V_{CC} やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コネクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 ($T_A = 25\text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = BV_{DD} = V_{SS} = AV_{SS} = BV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1\text{ MHz}$			15	pF
入出力容量	C_{io}	被測定ピン以外は0 V			15	pF
出力容量	C_o				15	pF

動作条件

(1) CPU動作周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU動作周波数	f_{CPU}	$V_{DD} = 2.7 \sim 3.6\text{ V}$	0.5		16	MHz
		$V_{DD} = 3.1 \sim 3.6\text{ V}$	0.5		20	MHz

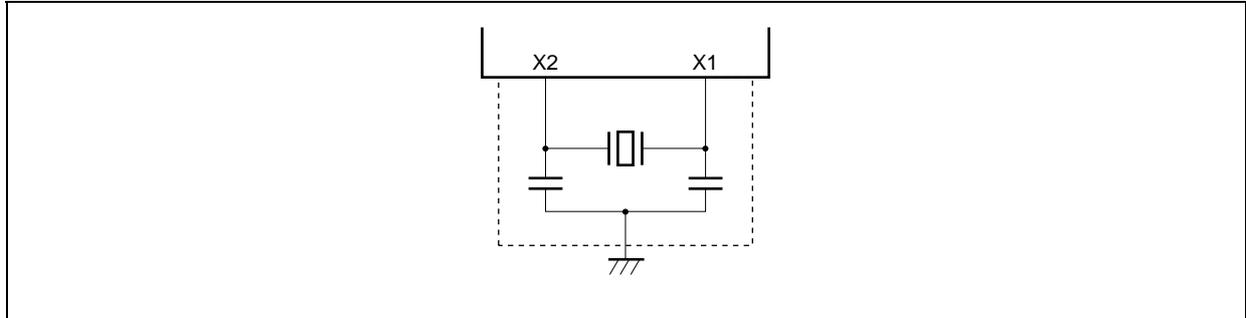
(2) 電源電圧における動作周波数

動作周波数	電源電圧 ($V_{DD} = AV_{DD} = BV_{DD}$)
4 MHz f_{xx} 16 MHz	2.7 ~ 3.6 V
4 MHz f_{xx} 20 MHz	3.1 ~ 3.6 V
$f_{XT} = 32.768\text{ kHz}$ (時計動作のみ)	2.7 ~ 3.6 V

推奨発振回路

(1) メイン・クロック発振回路 (T_A = -40 ~ +85)

(a) セラミック発振子または水晶振動子接続



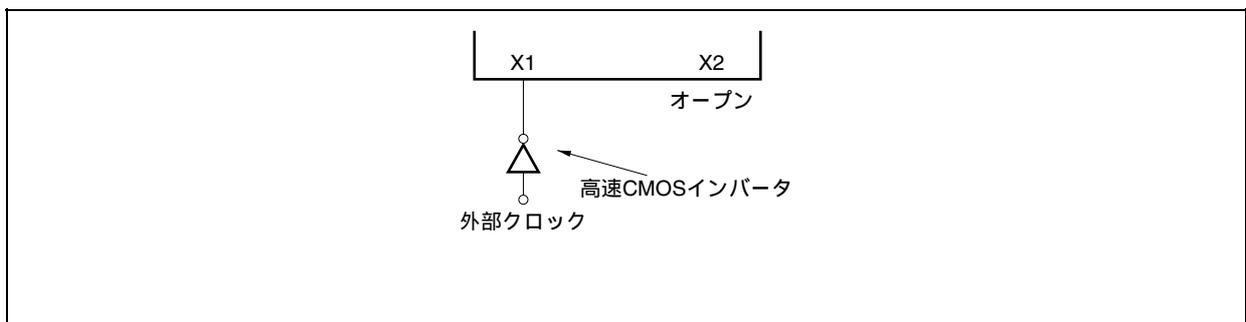
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f _{xx}	V _{DD} = 2.7 ~ 3.6 V	4		16	MHz
		V _{DD} = 3.1 ~ 3.6 V	4		20	MHz
発振安定時間		リセット解除時		2 ¹⁹ /f _{xx}		s
		ソフトウェアSTOPモード解除時		注		s

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

備考1. 発振回路はX1, X2にできるかぎり近づけてください。

2. 破線の範囲内に他の信号線を通さないでください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。
4. 発振波形のデューティ比は、45 ~ 55 %に収めてください。

(b) 外部クロック入力

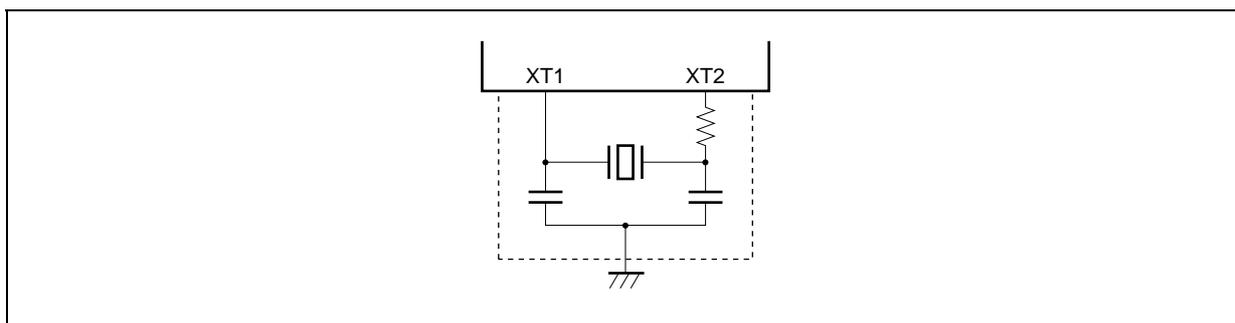


項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f _{xx}	V _{DD} = 2.7 ~ 3.6 V	4		16	MHz
		V _{DD} = 3.1 ~ 3.6 V	4		20	MHz

注意1. 高速CMOSインバータはX1端子にできるかぎり近づけてください。

2. V850/SV1と高速CMOSインバータのマッチングについては、十分な評価を行ってください。

(2) サブクロック発振回路 (T_A = -40 ~ +85)



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f _{XT}	V _{DD} = 2.7 ~ 3.6 V	32	32.768	35	kHz
発振安定時間				10		s

- 備考1. 発振回路はXT1, XT2にできるかぎり近づけてください。
2. 破線の範囲内に他の信号線を通さないでください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性

(1) 16 MHz動作時

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1の端子, \overline{WAIT}	$0.7 BV_{DD}$		BV_{DD}	V
	V_{IH2}	注2の端子	$0.7 V_{DD}$		V_{DD}	V
	V_{IH3}	注3の端子, \overline{RESET}	$0.75 V_{DD}$		V_{DD}	V
	V_{IH4}	注4の端子	$0.7 AV_{DD}$		AV_{DD}	V
	V_{IH5}	X1	$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1の端子, \overline{WAIT}	BV_{SS}		$0.3 BV_{DD}$	V
	V_{IL2}	注2の端子	V_{SS}		$0.3 V_{DD}$	V
	V_{IL3}	注3の端子, \overline{RESET}	V_{SS}		$0.2 V_{DD}$	V
	V_{IL4}	注4の端子	AV_{SS}		$0.3 AV_{DD}$	V
	V_{IL5}	X1	V_{SS}		$0.2 V_{DD}$	V
V_{PP} 電源電圧	V_{PP1}	通常動作時	0		$0.2 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	注1, CLKOUT	$I_{OH} = -3$ mA	$0.8 BV_{DD}$		V
	V_{OH2}	注2, 3	$I_{OH} = -1$ mA	$0.8 V_{DD}$		V
ロウ・レベル出力電圧	V_{OL1}	注1, CLKOUT	$I_{OL} = 1.6$ mA		0.4	V
	V_{OL2}	注2, 3 (P10, P12, P20, P22除く)	$I_{OL} = 1.6$ mA		0.4	V
	V_{OL3}	P10, P12, P20, P22	$I_{OL} = 3$ mA		0.4	V
ハイ・レベル入力リーク電流	I_{LIH1}	$V_i = V_{DD} = AV_{DD} = BV_{DD}$	X1以外		5	μ A
	I_{LIH2}	BV_{DD}	X1		20	μ A
ロウ・レベル入力リーク電流	I_{LIL1}	$V_i = 0$ V	X1以外		-5	μ A
	I_{LIL2}		X1		-20	μ A
ハイ・レベル出力リーク電流	I_{LOH}	$V_o = V_{DD} = AV_{DD} = BV_{DD}$			5	μ A
ロウ・レベル出力リーク電流	I_{LOL}	$V_o = 0$ V			-5	μ A
電源電流	I_{DD1}	通常動作 ($f_{xx} = 16$ MHz)		22	40	mA
	I_{DD2}	HALTモード ($f_{xx} = 16$ MHz)		13	27	mA
	I_{DD3}	IDLEモード ($f_{xx} = 16$ MHz)		1.2	4	mA
	I_{DD4}	ソフトウェアSTOPモード (サブクロック動作: $f_{XT} = 32.768$ kHz, 時計タイマ動作)		10	70	μ A
		ソフトウェアSTOPモード (サブクロック停止, $XT1 = V_{SS}$)		1	60	μ A
電源電流	I_{DD1}	通常動作 ($f_{xx} = 16$ MHz)		40	58	mA
	I_{DD2}	HALTモード ($f_{xx} = 16$ MHz)		19	32	mA
	I_{DD3}	IDLEモード ($f_{xx} = 16$ MHz)		6	9	mA
	I_{DD4}	ソフトウェアSTOPモード (サブクロック動作: $f_{XT} = 32.768$ kHz, 時計タイマ動作)		13	115	μ A
		ソフトウェアSTOPモード (サブクロック停止, $XT1 = V_{SS}$)		5	100	μ A
ブルアップ抵抗	R_L	$V_{IN} = 0$ V	10	30	100	k Ω

注1. ポート4, 5, 6, 9 (兼用端子を含みます)

2. P11, P14, P21, P24, P34, P35, P100-P107, P110-P113, P121, P123, P136, P137, P146, P147, P150-P157, P160-P163, P165-P167, P180-P187, P190-P197 (兼用端子を含みます)
3. P00-P07, P10, P12, P13, P15, P20, P22, P23, P25-P27, P30-P33, P36, P37, P120, P122, P124-P127, P130-P135, P140-P145, P164, P170-P177 (兼用端子を含みます)
4. ポート7, 8 (兼用端子を含みます)

注意 TYP.値の V_{DD} は3.3 Vです。出力バッファで消費される電流は含んでいません。

(2) 20 MHz動作時

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 3.1 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1の端子, \overline{WAIT}	$0.7 V_{DD}$		V_{DD}	V
	V_{IH2}	注2の端子	$0.7 V_{DD}$		V_{DD}	V
	V_{IH3}	注3の端子, \overline{RESET}	$0.75 V_{DD}$		V_{DD}	V
	V_{IH4}	注4の端子	$0.7 AV_{DD}$		AV_{DD}	V
	V_{IH5}	X1	$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1の端子, \overline{WAIT}	BV_{SS}		$0.3 BV_{DD}$	V
	V_{IL2}	注2の端子	V_{SS}		$0.3 V_{DD}$	V
	V_{IL3}	注3の端子, \overline{RESET}	V_{SS}		$0.2 V_{DD}$	V
	V_{IL4}	注4の端子	AV_{SS}		$0.3 AV_{DD}$	V
	V_{IL5}	X1	V_{SS}		$0.2 V_{DD}$	V
V_{PP} 電源電圧	V_{PP1}	通常動作	0		$0.2 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	注1, CLKOUT	$I_{OH} = -3$ mA	$0.8 BV_{DD}$		V
	V_{OH2}	注2, 3	$I_{OH} = -1$ mA	$0.8 V_{DD}$		V
ロウ・レベル出力電圧	V_{OL1}	注1, CLKOUT	$I_{OL} = 1.6$ mA		0.4	V
	V_{OL2}	注2, 3 (P10, P12, P20, P22除く)	$I_{OL} = 1.6$ mA		0.4	V
	V_{OL3}	P10, P12, P20, P22	$I_{OL} = 3$ mA		0.4	V
ハイ・レベル入力リーク電流	I_{LIH1}	$V_I = V_{DD} = AV_{DD} = BV_{DD}$	X1以外		5	μ A
	I_{LIH2}	BV_{DD}	X1		20	μ A
ロウ・レベル入力リーク電流	I_{LIL1}	$V_I = 0$ V	X1以外		-5	μ A
	I_{LIL2}		X1		-20	μ A
ハイ・レベル出力リーク電流	I_{LOH}	$V_O = V_{DD} = AV_{DD} = BV_{DD}$			5	μ A
ロウ・レベル出力リーク電流	I_{LOL}	$V_O = 0$ V			-5	μ A
電源電流	I_{DD1}	通常動作 ($f_{xx} = 20$ MHz)		25	45	mA
	I_{DD2}	HALTモード ($f_{xx} = 20$ MHz)		14	30	mA
	I_{DD3}	IDLEモード ($f_{xx} = 20$ MHz)		1.4	4.5	mA
	I_{DD4}	ソフトウェアSTOPモード (サブロック動作: $f_{XT} = 32.768$ kHz, 時計タイマ動作)		10	70	μ A
		ソフトウェアSTOPモード (サブロック停止, $XT1 = V_{SS}$)		1	60	μ A
電源電流	I_{DD1}	通常動作 ($f_{xx} = 20$ MHz)		45	64	mA
	I_{DD2}	HALTモード ($f_{xx} = 20$ MHz)		20	35	mA
	I_{DD3}	IDLEモード ($f_{xx} = 20$ MHz)		6.5	10	mA
	I_{DD4}	ソフトウェアSTOPモード (サブロック動作: $f_{XT} = 32.768$ kHz, 時計タイマ動作)		13	115	μ A
		ソフトウェアSTOPモード (サブロック停止, $XT1 = V_{SS}$)		5	100	μ A
ブルアップ抵抗	R_L	$V_{IN} = 0$ V	10	30	100	k Ω

注1. ポート4, 5, 6, 9 (兼用端子を含みます)

2. P11, P14, P21, P24, P34, P35, P100-P107, P110-P113, P121, P123, P136, P137, P146, P147, P150-P157, P160-P163, P165-P167, P180-P187, P190-P197 (兼用端子を含みます)
3. P00-P07, P10, P12, P13, P15, P20, P22, P23, P25-P27, P30-P33, P36, P37, P120, P122, P124-P127, P130-P135, P140-P145, P164, P170-P177 (兼用端子を含みます)
4. ポート7, 8 (兼用端子を含みます)

注意 TYP.値の V_{DD} は3.3 Vです。出力バッファで消費される電流は含んでいません。

データ保持特性

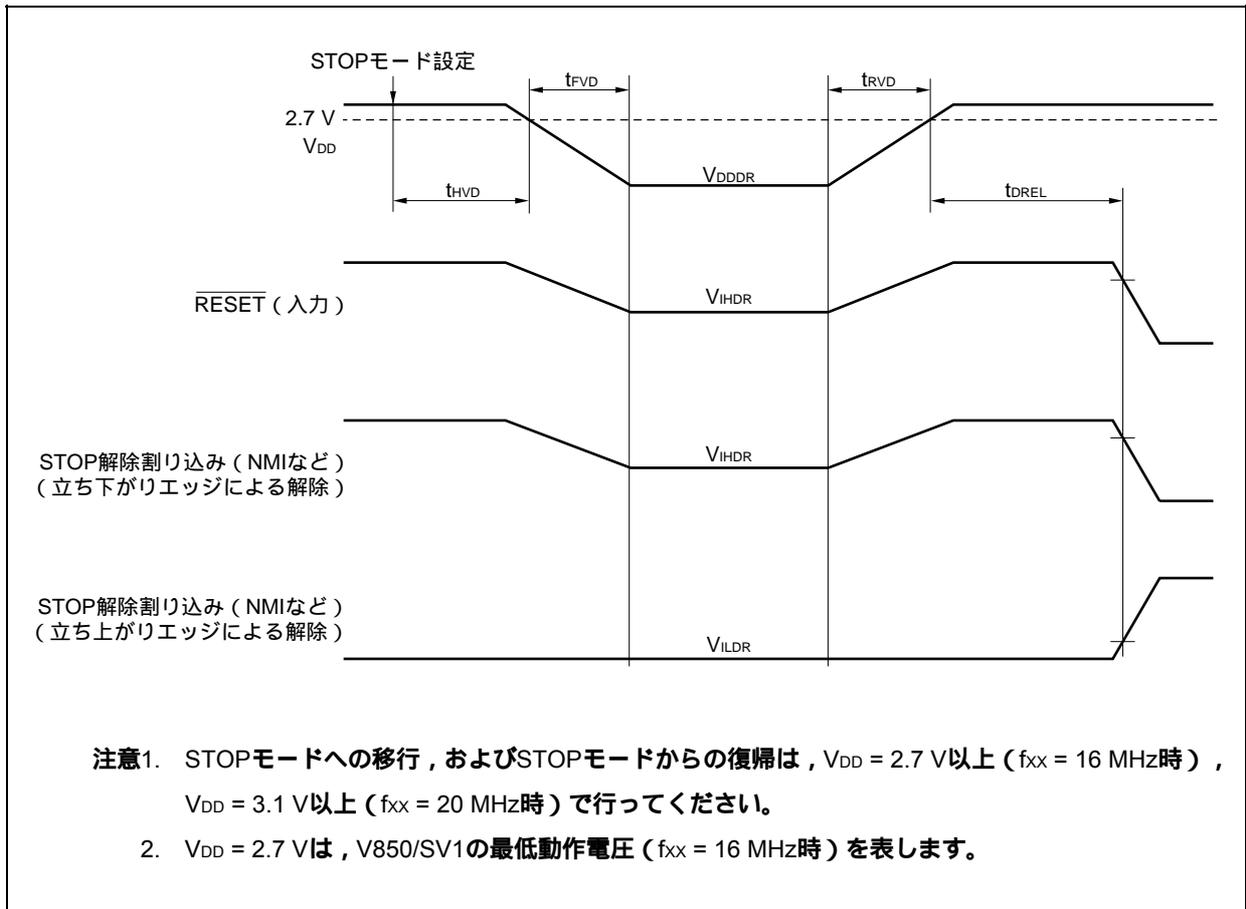
($T_A = -40 \sim +85$, $V_{SS} = AV_{SS} = BV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード	1.8		3.6	V
データ保持電流	I_{DDDR}	$V_{DDDR} [V], XT1 = V_{SS}$	注1	1	60	μA
			注2	5	100	μA
電源電圧立ち上がり時間	t_{rVD}		200			μs
電源電圧立ち下がり時間	t_{fVD}		200			μs
電源電圧保持時間 (対STOPモード設定)	t_{HVD}		0			ms
STOP解除信号入力時間	t_{DREL}		0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力ポート	V_{IHn}		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力ポート	0		V_{ILn}	V

注1. $\mu PD703038, 703038Y, 703039, 703039Y, 703040, 703040Y, 703041, 703041Y$

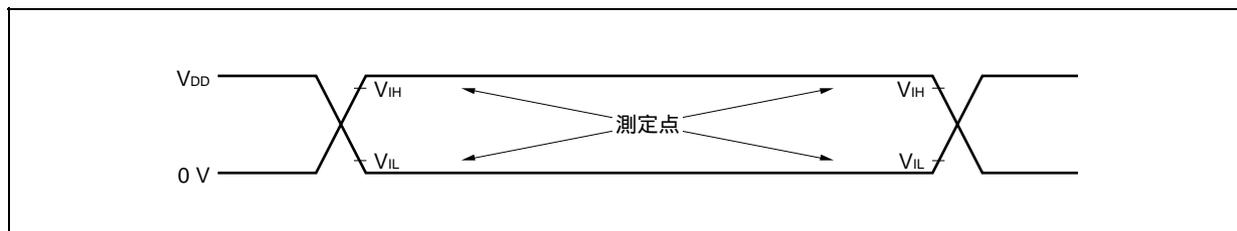
2. $\mu PD70F3038, 70F3038Y, 70F3040, 70F3040Y$

備考 $n = 1-5$

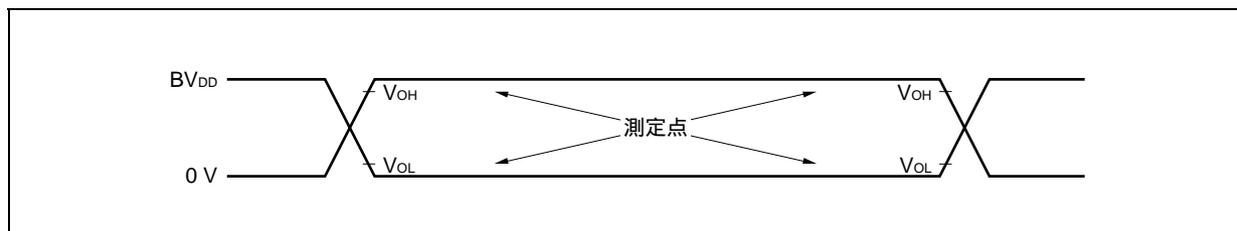


AC特性

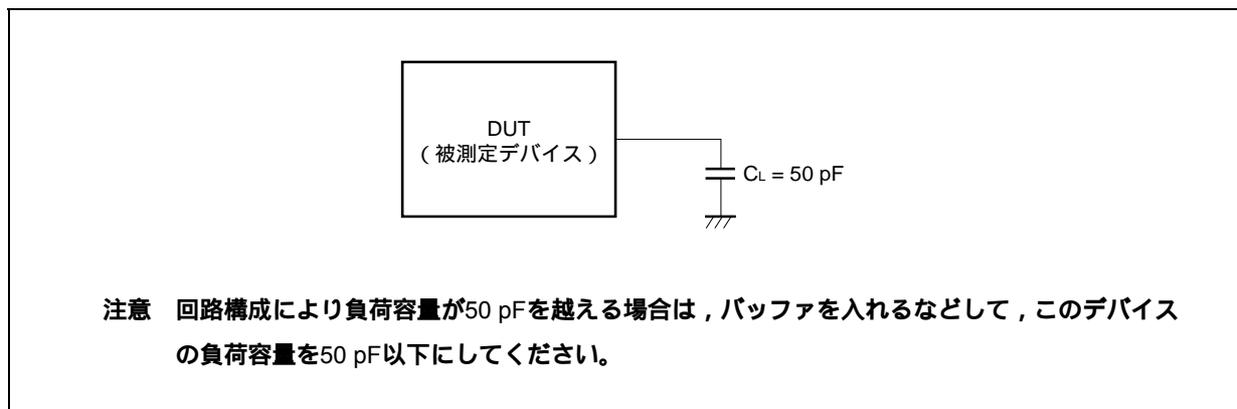
ACテスト入力測定点 (V_{DD} , BV_{DD} , AV_{DD})



ACテスト出力測定点 (BV_{DD} , V_{DD})



負荷条件



クロック・タイミング

(1) 16 MHz動作時

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

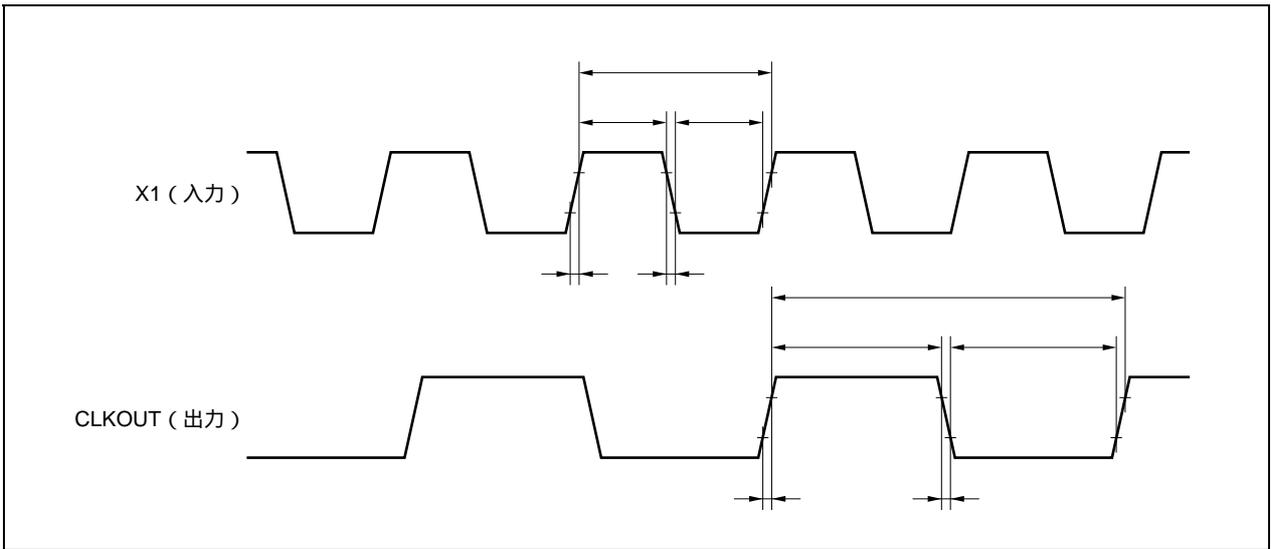
項目	略号	条件	MIN.	MAX.	単位
X1入力周期	t _{CYX}	①	62.5	250	ns
X1入力ハイ・レベル幅	t _{WXH}	②	28.2		ns
X1入力ロウ・レベル幅	t _{WXL}	③	28.2		ns
X1入力立ち上がり時間	t _{xR}	④		0.5 (- -)	ns
X1入力立ち下がり時間	t _{xF}	⑤		0.5 (- -)	ns
CLKOUT出力周期	t _{CYK}	⑥	62.5 ns	2 μs	
CLKOUTハイ・レベル幅	t _{WKH}	⑦	0.4t _{CYK} - 10		ns
CLKOUTロウ・レベル幅	t _{WKL}	⑧	0.4t _{CYK} - 10		ns
CLKOUT立ち上がり時間	t _{KR}	⑨		10	ns
CLKOUT立ち下がり時間	t _{KF}	⑩		10	ns

(2) 20 MHz動作時

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 3.1 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
X1入力周期	t _{CYX}	①	50.0	250	ns
X1入力ハイ・レベル幅	t _{WXH}	②	22.5		ns
X1入力ロウ・レベル幅	t _{WXL}	③	22.5		ns
X1入力立ち上がり時間	t _{xR}	④		0.5 (- -)	ns
X1入力立ち下がり時間	t _{xF}	⑤		0.5 (- -)	ns
CLKOUT出力周期	t _{CYK}	⑥	50 ns	2 μs	
CLKOUTハイ・レベル幅	t _{WKH}	⑦	0.4t _{CYK} - 10		ns
CLKOUTロウ・レベル幅	t _{WKL}	⑧	0.4t _{CYK} - 10		ns
CLKOUT立ち上がり時間	t _{KR}	⑨		10	ns
CLKOUT立ち下がり時間	t _{KF}	⑩		10	ns

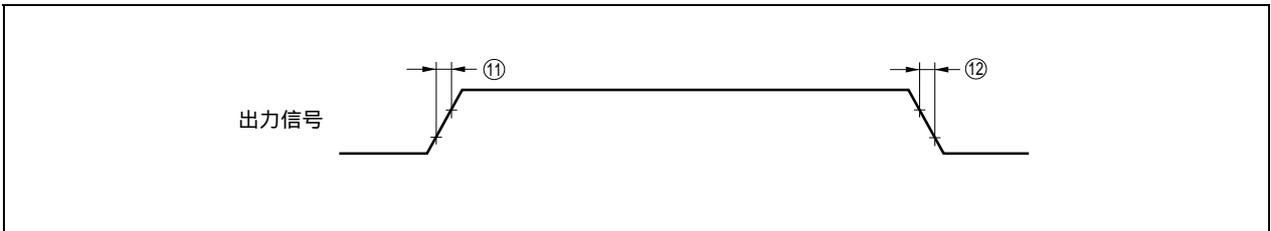
クロック・タイミング



CLKOUT, P4, P5, P6, P9を除く端子の出力タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6 \text{ V}$, $V_{SS} = AV_{SS} = BV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	t _{OR}	⑪		20	ns
出力立ち下がり時間	t _{OF}	⑫		20	ns



バス・タイミング (CLKOUT非同期)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6 \text{ V}$, $V_{SS} = AV_{SS} = BV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	t_{SAST}	⑬	$0.5T - 20$		ns
アドレス保持時間 (対ASTB)	t_{HSTA}	⑭	$0.5T - 15$		ns
DSTB アドレス・フロート遅延時間	t_{FDA}	⑮		2	ns
アドレス データ入力設定時間	t_{SAID}	⑯		$(2+n)T - 30$	ns
DSTB データ入力設定時間	t_{SDID}	⑰		$(1+n)T - 30$	ns
ASTB DSTB 遅延時間	t_{DSTD}	⑱	$0.5T - 15$		ns
データ入力保持時間 (対DSTB)	t_{HDID}	⑲	0		ns
DSTB アドレス出力時間	t_{DDA}	⑳	$(1+i)T - 15$		ns
DSTB ASTB 遅延時間	t_{DDST1}	㉑	$0.5T - 15$		ns
DSTB ASTB 遅延時間	t_{DDST2}	㉒	$(1.5+i)T - 15$		ns
DSTB ロウ・レベル幅	t_{WDL}	㉓	$(1+n)T - 15$		ns
ASTB ハイ・レベル幅	t_{WSTH}	㉔	$T - 15$		ns
DSTB データ出力時間	t_{DDOD}	㉕		15	ns
データ出力設定時間 (対DSTB)	t_{SODD}	㉖	$(1+n)T - 20$		ns
データ出力保持時間 (対DSTB)	t_{HDOD}	㉗	$T - 15$		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	n 1		$1.5T - 30$	ns
	t_{SAWT2}			$(1.5+n)T - 30$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	n 1	$(0.5+n)T$		ns
	t_{HAWT2}		$(1.5+n)T$		ns
WAIT設定時間 (対ASTB)	t_{SSTWT1}	n 1		$T - 25$	ns
	t_{SSTWT2}			$(1+n)T - 25$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT1}	n 1	$nT + 5$		ns
	t_{HSTWT2}		$(1+n)T + 5$		ns
HLDQRQハイ・レベル幅	t_{WHQH}	⑳	$T + 10$		ns
HLDQRQロウ・レベル幅	t_{WHAL}	㉑	$T - 15$		ns
HLDQRQ バス出力遅延時間	t_{DHAC}	㉒	0		ns
HLDQRQ HLDQRQ 遅延時間	t_{DHQHA1}	㉓		$(2n+7.5)T + 25$	ns
HLDQRQ HLDQRQ 遅延時間	t_{DHQHA2}	㉔	$0.5T$	$1.5T + 25$	ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

- n: バス・サイクルに挿入されるウェイト・クロック数
プログラマブル・ウェイト挿入時は, サンプル・タイミングが変わります。
- i: リード・サイクル後に挿入されるアイドル・ステート数 (0または1)
- 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

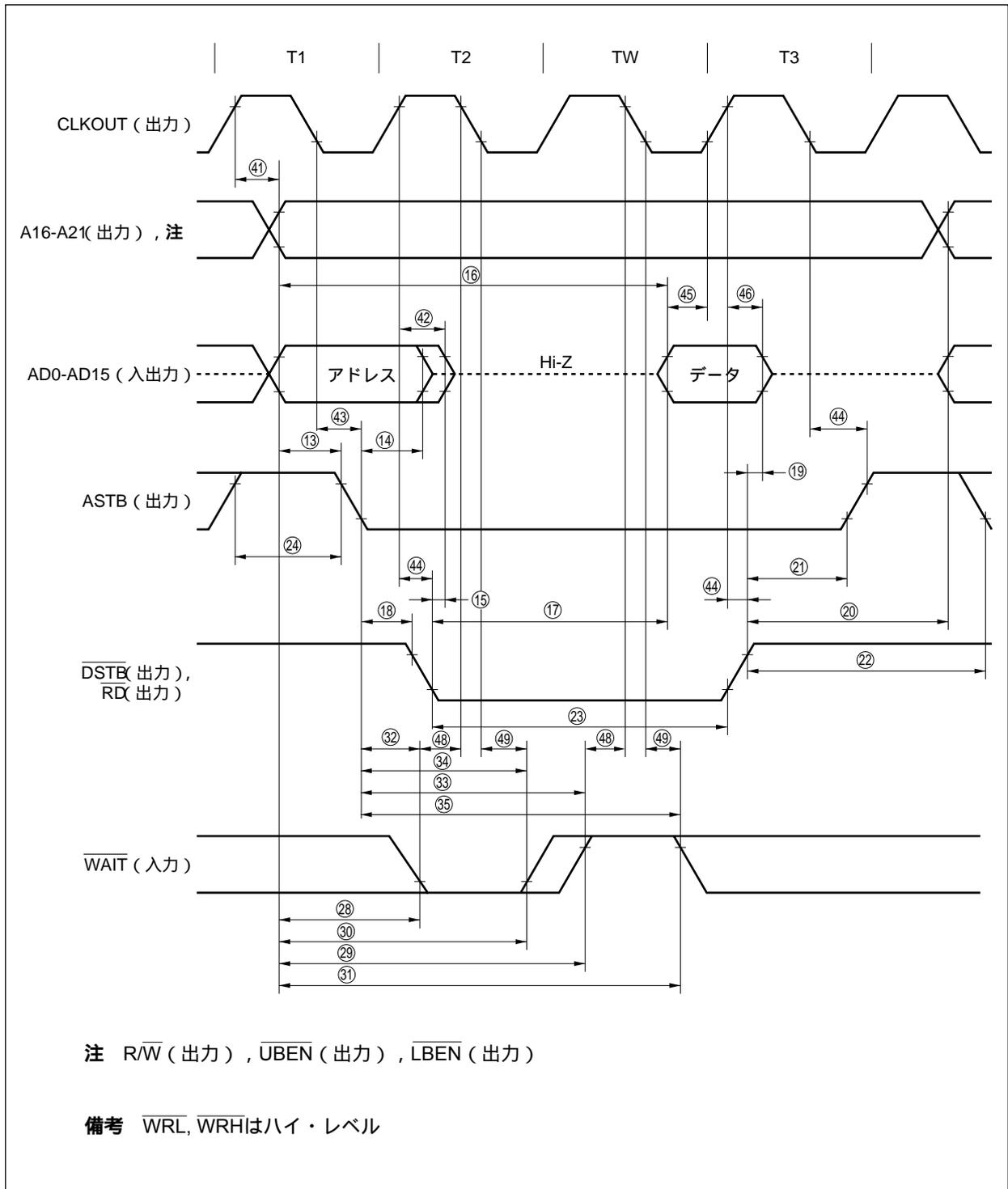
バス・タイミング (CLKOUT同期)

(TA = -40 ~ +85 °C, VDD = AVDD = BVDD = 2.7 ~ 3.6 V, VSS = AVSS = BVSS = 0 V, CL = 50 pF)

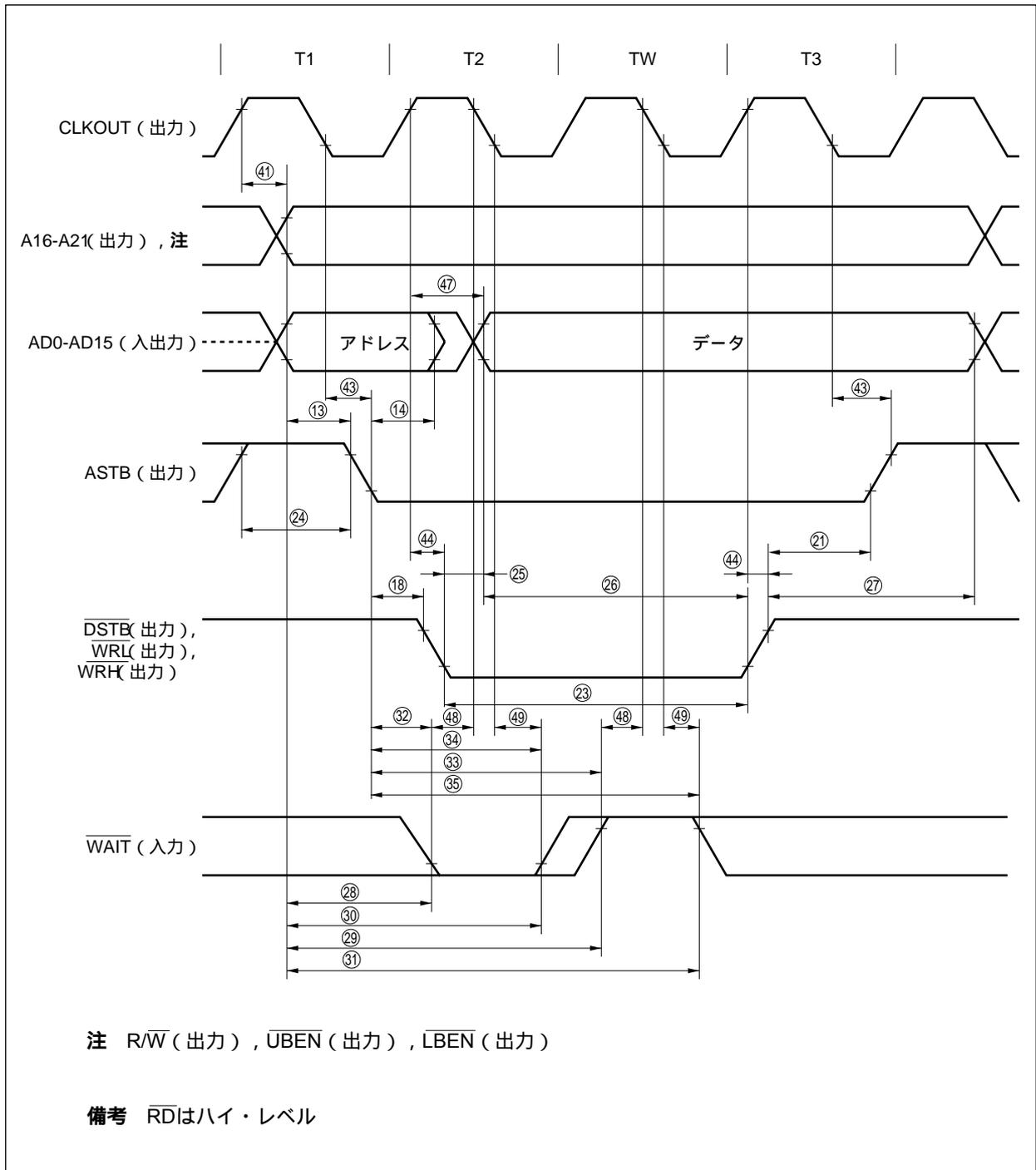
項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	tDKA	(41)	0	19	ns
CLKOUT アドレス・フロート遅延時間	tFKA	(42)	- 12	7	ns
CLKOUT ASTB遅延時間	tDKST	(43)	- 12	7	ns
CLKOUT DSTB遅延時間	tDKD	(44)	- 5	14	ns
データ入力設定時間 (対CLKOUT)	tSIDK	(45)	15		ns
データ入力保持時間 (対CLKOUT)	tHKID	(46)	5		ns
CLKOUT データ出力遅延時間	tDKOD	(47)		19	ns
WAIT設定時間 (対CLKOUT)	tSWTK	(48)	15		ns
WAIT保持時間 (対CLKOUT)	tHKWT	(49)	5		ns
HLD $\overline{\text{RQ}}$ 設定時間 (対CLKOUT)	tSHQK	(50)	15		ns
HLD $\overline{\text{RQ}}$ 保持時間 (対CLKOUT)	tHKHQ	(51)	5		ns
CLKOUT バス・フロート遅延時間	tDKF	(52)		19	ns
CLKOUT HLD $\overline{\text{AK}}$ 遅延時間	tDKHA	(53)		19	ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

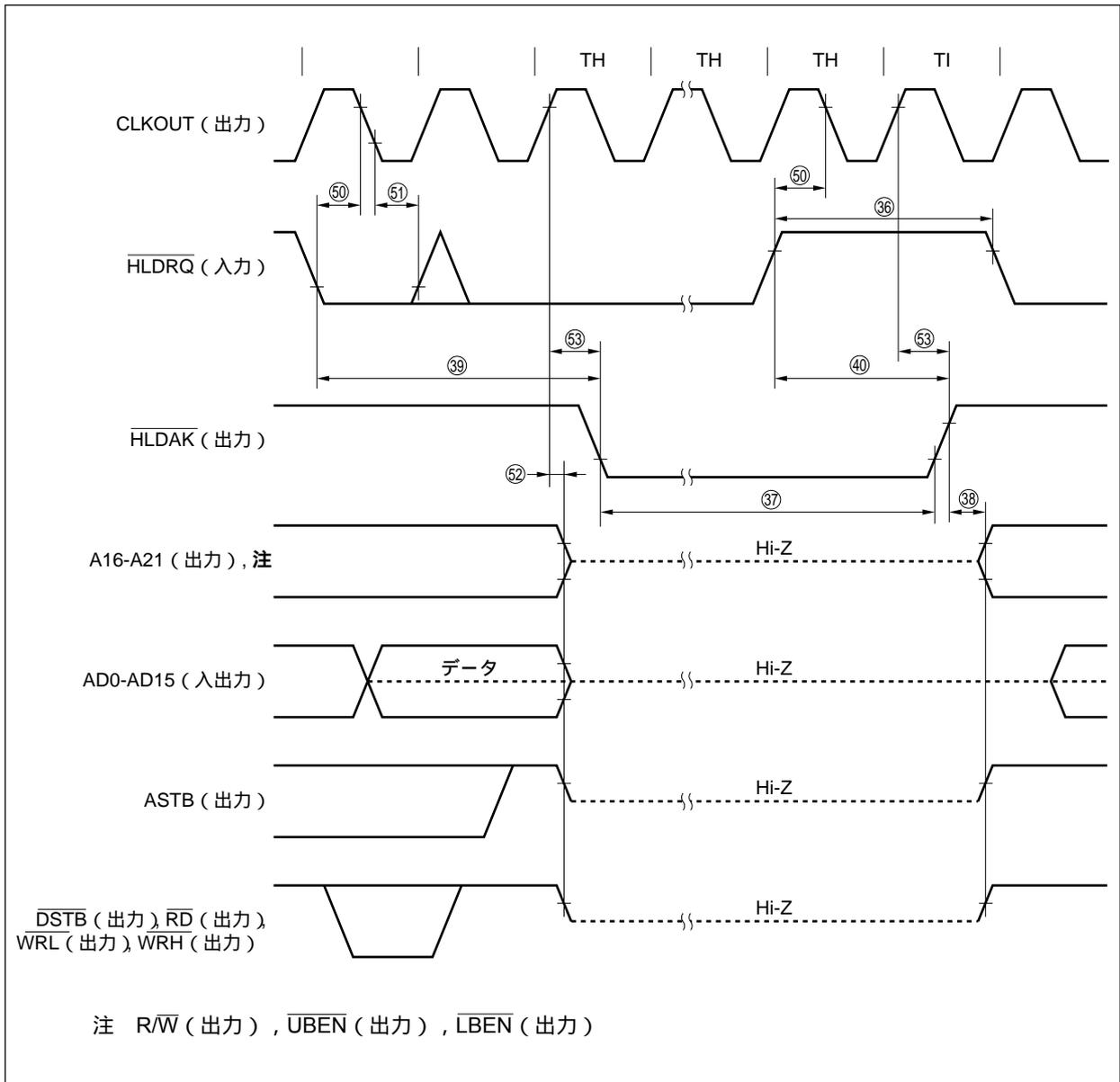
リード・サイクル (CLKOUT同期/非同期, 1ウエイト)



ライト・サイクル (CLKOUT同期/非同期, 1ウエイト)



バス・ホールド



リセット/割り込みタイミング

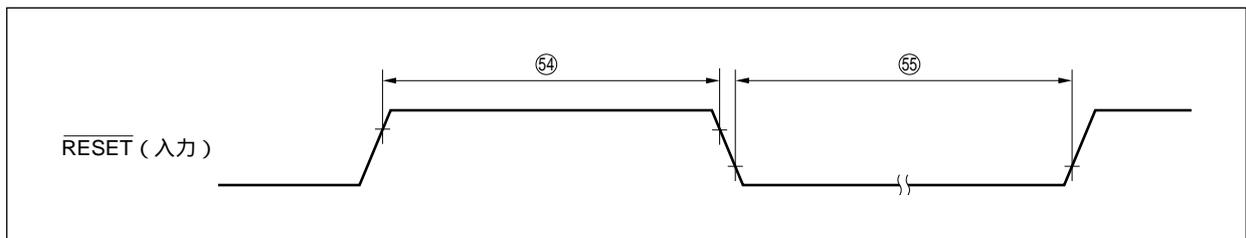
($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅	t _{WRSH}	⑤4	500		ns
RESETロウ・レベル幅	t _{WRSL}	⑤5	500		ns
NMIハイ・レベル幅	t _{WNH}	⑤6	500		ns
NMIロウ・レベル幅	t _{WNL}	⑤7	500		ns
INTPnハイ・レベル幅	t _{WITH}	n = 0-3, アナログ・ノイズ除去	500		ns
		n = 4, 5, デジタル・ノイズ除去	3T + 20		ns
		n = 6, デジタル・ノイズ除去	3T _{smp} + 20		ns
INTPnロウ・レベル幅	t _{WITL}	n = 0-3, アナログ・ノイズ除去	500		ns
		n = 4, 5, デジタル・ノイズ除去	3T + 20		ns
		n = 6, デジタル・ノイズ除去	3T _{smp} + 20		ns

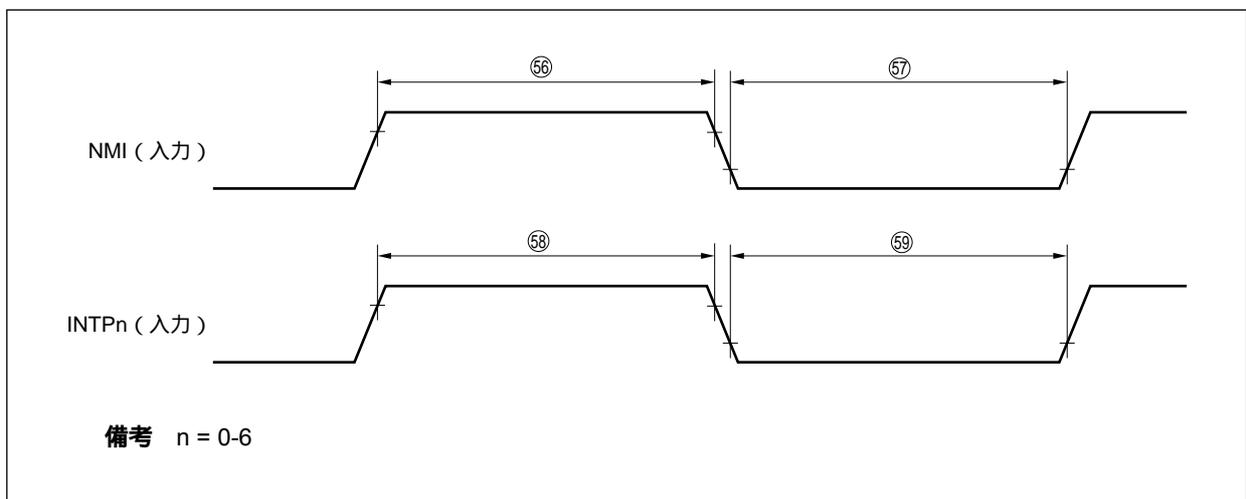
備考1. $T = 1/f_{xx}$

2. T_{smp} = ノイズ除去サンプリング・クロック周期

リセット



割り込み



TIn入力タイミング

($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
Tl0n0, Tl0n1 (n = 0, 1) ハイ・レベル幅	t _{TH}	⑥0	2T _{sam} + 20 ^注		ns
TIn (n = 2-7, 10, 11) ハイ・レベル幅			3T + 20		ns
Tl0n0, Tl0n1 (n = 0, 1) ロウ・レベル幅	t _{TIL}	⑥1	2T _{sam} + 20 ^注		ns
TIn (n = 2-7, 10, 11) ロウ・レベル幅			3T + 20		ns

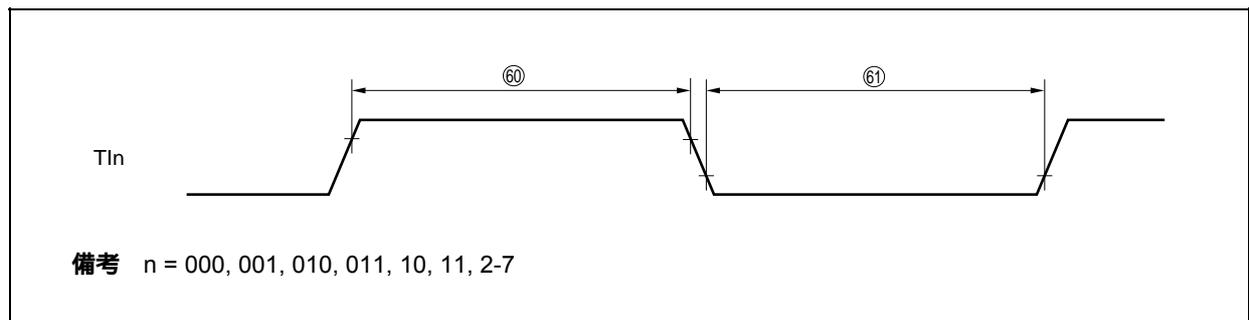
注 T_{sam}は、プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) のPRMn2-PRMn0ビットを設定することにより、選択できます (n = 0, 1)。

TM0の場合 (PRM00, PRM01レジスタ) : T_{sam} = 2T, 4T, 16T, 64T, 256T, 1/INTW_{TN}周期

TM1の場合 (PRM10, PRM11レジスタ) : T_{sam} = 2T, 4T, 16T, 32T, 128T, 256T

ただし、カウント・クロックとして、Tl0n0有効エッジを選択した場合は、T_{sam} = 2Tとなります (n = 0, 1)。

備考 T : 1/f_{xx}



3線式SIOタイミング

(1) マスタ・モード ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

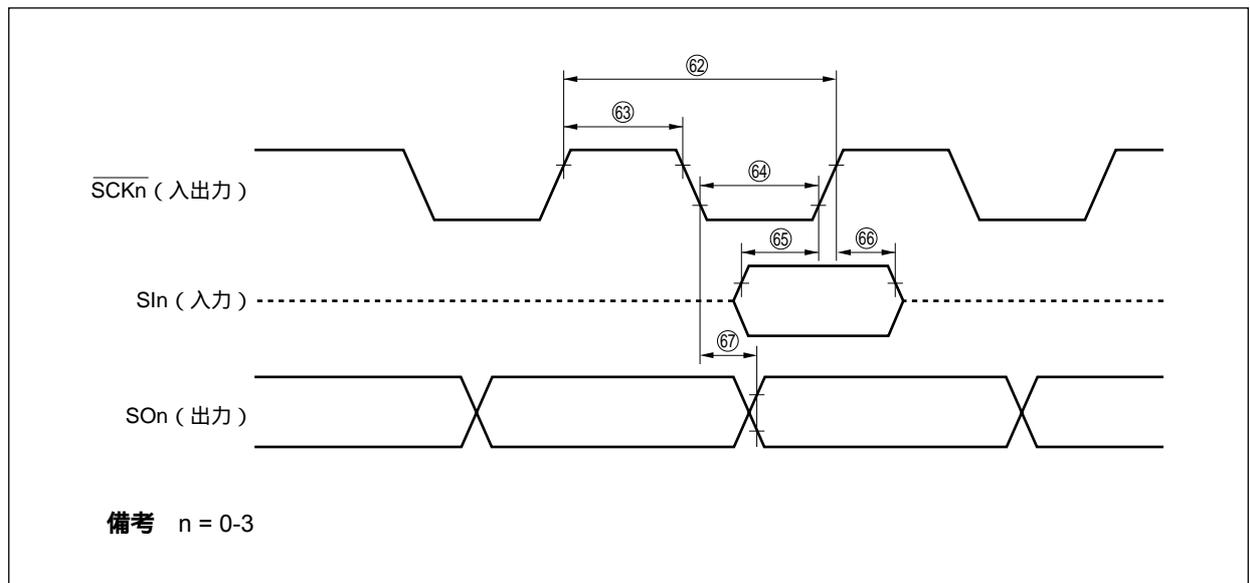
項目	略号	条件	MIN.	MAX.	単位
SCKnサイクル・タイム	t _{KCY1}	⑥2	400		ns
SCKnハイ・レベル幅	t _{KH1}	⑥3	140		ns
SCKnロウ・レベル幅	t _{KL1}	⑥4	140		ns
SInセットアップ時間 (対SCKn)	t _{SIK1}	⑥5	50		ns
SInホールド時間 (対SCKn)	t _{SH1}	⑥6	50		ns
SCKn SON出力遅延時間	t _{KSO1}	⑥7		60	ns

備考 n = 0-3

(2) スレーブ・モード ($T_A = -40 \sim +85$ °C, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
SCKnサイクル・タイム	t _{KCY2}	⑥2	400		ns
SCKnハイ・レベル幅	t _{KH2}	⑥3	180		ns
SCKnロウ・レベル幅	t _{KL2}	⑥4	180		ns
SInセットアップ時間 (対SCKn)	t _{SIK2}	⑥5	50		ns
SInホールド時間 (対SCKn)	t _{SH2}	⑥6	50		ns
SCKn SON出力遅延時間	t _{KSO2}	⑥7		60	ns

備考 n = 0-3



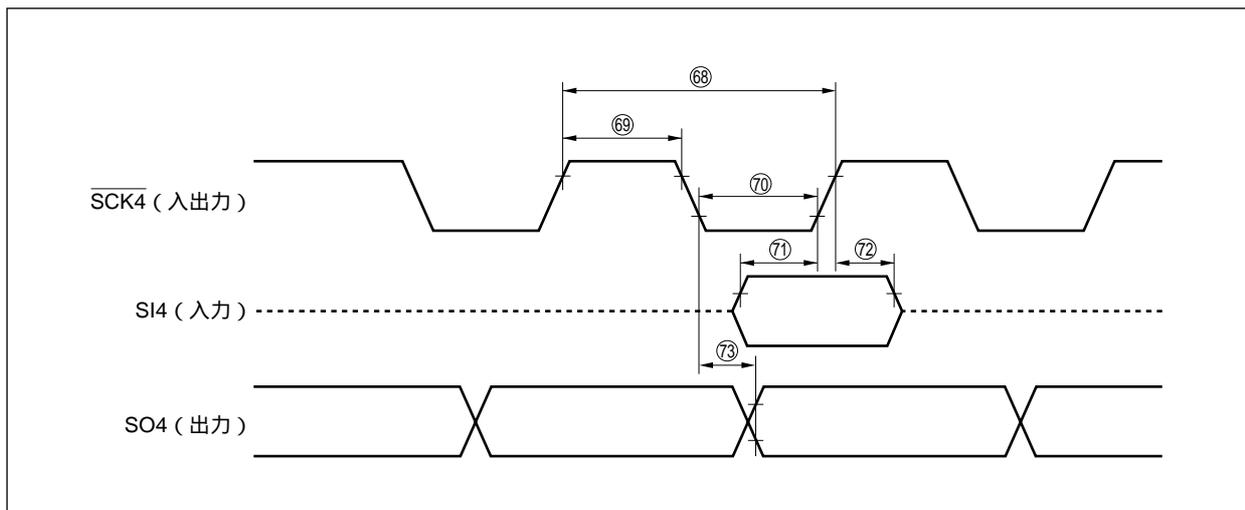
3線式可変長CSIタイミング

(1) マスタ・モード ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
SCK4サイクル時間	t _{KCY1}	⑥8	400		ns
SCK4ハイ・レベル幅	t _{KH1}	⑥9	140		ns
SCK4ロウ・レベル幅	t _{KL1}	⑦0	140		ns
SI4セットアップ時間 (対SCK4)	t _{SIK1}	⑦1	50		ns
SI4ホールド時間 (対SCK4)	t _{KS1}	⑦2	50		ns
SCK4 SO4出力遅延時間	t _{KSO1}	⑦3		60	ns

(2) スレーブ・モード ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
SCK4サイクル時間	t _{KCY2}	⑥8	400		ns
SCK4ハイ・レベル幅	t _{KH2}	⑥9	180		ns
SCK4ロウ・レベル幅	t _{KL2}	⑦0	180		ns
SI4セットアップ時間 (対SCK4)	t _{SIK2}	⑦1	50		ns
SI4ホールド時間 (対SCK4)	t _{KS2}	⑦2	50		ns
SCK4 SO4出力遅延時間	t _{KSO2}	⑦3		60	ns

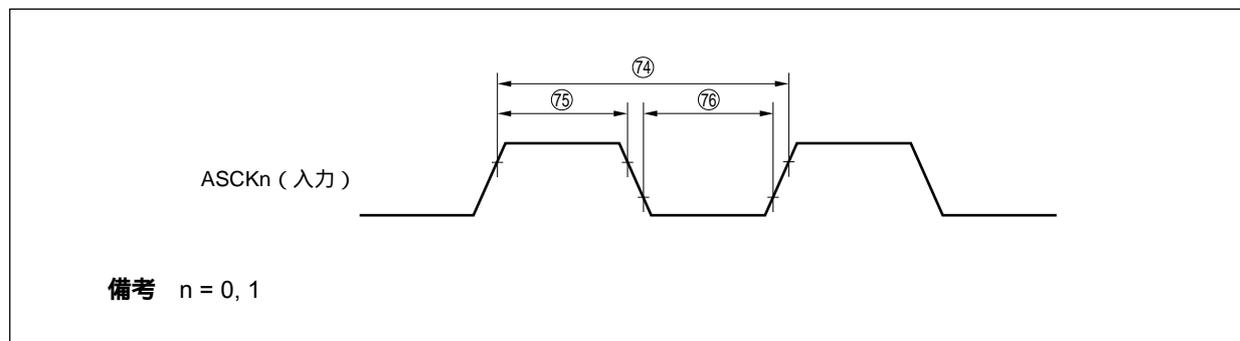


UARTタイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = BV_{DD} = 2.7 \sim 3.6 \text{ V}$, $V_{SS} = AV_{SS} = BV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
ASCKnサイクル・タイム	t_{kCY13}	⑦4	200		ns
ASCKnハイ・レベル幅	t_{kH13}	⑦5	80		ns
ASCKnロウ・レベル幅	t_{kL13}	⑦6	80		ns

備考 n = 0, 1



I²Cバス・モード (μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ)

(T_A = -40 ~ +85 , V_{DD} = AV_{DD} = BV_{DD} = 2.7 ~ 3.6 V, V_{SS} = AV_{SS} = BV_{SS} = 0 V, C_L = 50 pF)

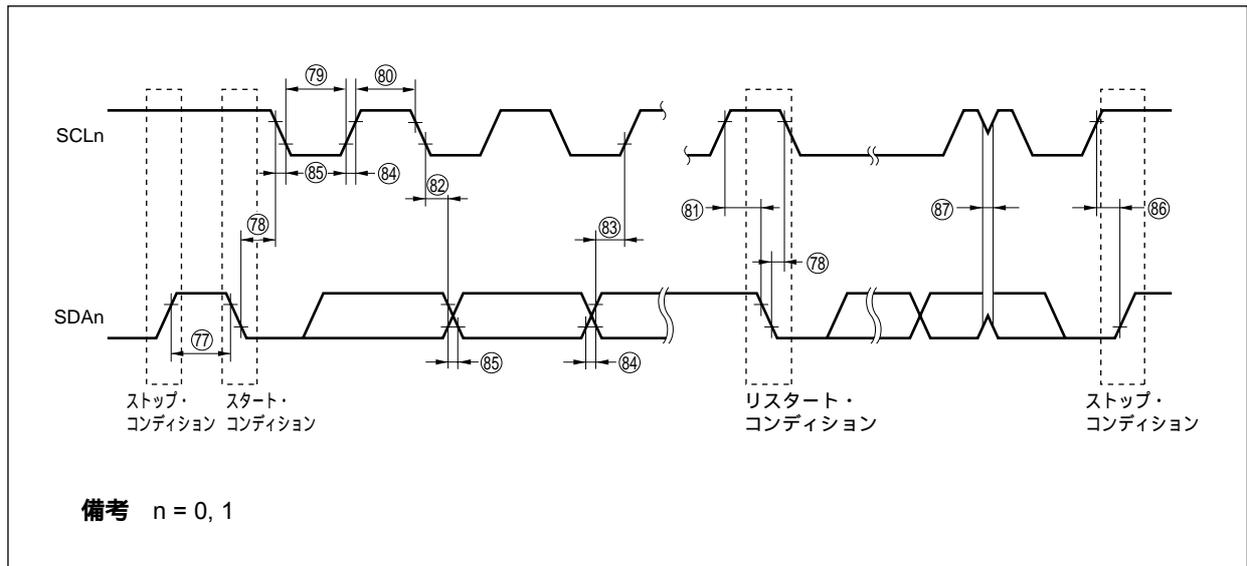
項目	略号	標準モード		高速モード		単位	
		MIN.	MAX.	MIN.	MAX.		
SCLnクロック周波数	f _{CLK}	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	(77)	4.7	1.3		μs	
ホールド時間 ^{注1}	t _{HD: STA}	(78)	4.0	0.6		μs	
SCLnクロックのロウ・レベル幅	t _{LOW}	(79)	4.7	1.3		μs	
SCLnクロックのハイ・レベル幅	t _{HIGH}	(80)	4.0	0.6		μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU: STA}	(81)	4.7	0.6		μs	
データ・ホールド時間	CBUS互換マスタの場合 I ² Cバス・モードの場合	(82)	5.0			μs	
		0 ^{注2}	0 ^{注2}	0.9 ^{注3}		μs	
データ・セットアップ時間	t _{SU: DAT}	(83)	250	100 ^{注4}		ns	
SDAnおよびSCLn信号の立ち上がり時間	t _r	(84)		1000	20 + 0.1Cb ^{注5}	300	ns
SDAnおよびSCLn信号の立ち下がり時間	t _f	(85)		300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU: STO}	(86)	4.0	0.6		μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	(87)		0	50	ns	
各バス・ラインの容量性負荷	C _b		400	400		pF	

- 注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
- 装置は、SCLnの立ち下がり端の未定義領域を埋めるために（SCLn信号のV_{IHmin.}での）SDAn信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
 - 装置がSCLn信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間（t_{HD: DAT}）のみ満たすことが必要です。
 - 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
 - 装置がSCLn信号のロウ状態ホールド時間を延長しない場合
t_{SU: DAT} 250 ns
 - 装置がSCLn信号のロウ状態ホールド時間を延長する場合
SCLnラインが解放される（t_{rmax.} + t_{SU: DAT} = 1000 + 250 = 1250 ns：標準モードI²Cバス仕様）前に、次のデータ・ビットをSDAnラインに送出してください。
 - C_b：1つのバス・ラインの合計キャパシタンス（単位：pF）

備考1. n = 0, 1

- I²Cの最高動作周波数は、f_{xx} = 17 MHzです。
ただし、16 MHz < f_{xx} 17 MHz時は、V_{DD} = 3.1 V ~ 3.6 Vで使用してください。

I²Cバス・モード (μPD703038Y, 703039Y, 703040Y, 703041Y, 70F3038Y, 70F3040Yのみ)



A/Dコンバータ (T_A = -40 ~ +85 , V_{DD} = AV_{DD} = AV_{REF} = 2.7 ~ 3.6 V, AV_{SS} = V_{SS} = 0 V, C_L = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1}					±0.8	%FSR
変換時間	t _{CONV}		5		100	μs
ゼロスケール誤差 ^{注1}					±0.4	%FSR
フルスケール誤差 ^{注1}					±0.4	%FSR
積分直線性誤差 ^{注2}					±4.0	LSB
微分直線性誤差 ^{注2}					±4.0	LSB
アナログ基準電圧	AV _{REF}	AV _{REF} = AV _{DD}	2.7		3.6	V
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF}	V
AV _{REF} 電流	AI _{REF}			360	500	μA
A/Dコンバータ電源電流	AI _{DD}	通常動作モード時		1	3	mA
	AI _{DDs}	STOPモード時		1	10	μA

注1. 量子化誤差 (±0.05 %FSR) は含みません。

2. 量子化誤差 (±0.5 LSB) は含みません。

備考 LSB : Least Significant Bit

FSR : Full Scale Range

フラッシュ・メモリ・プログラミング・モード (μ PD70F3038, 70F3038Y, 70F3040, 70F3040Yのみ)

基本特性 ($T_A = 0 \sim 85$, $V_{DD} = AV_{DD} = BV_{DD} = 3.0 \sim 3.6$ V, $V_{SS} = AV_{SS} = BV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{PP} 電源電圧	V _{PP2}	フラッシュ・メモリ・プログラミング時	7.5	7.8	8.1	V
V _{DD} 電源電流	I _{DD}	μ PD70F3038, μ PD70F3038Y f _{xx} = 16 MHz, V _{DD} = 3.0 ~ 3.6 V			66	mA
		V _{PP} = V _{PP2} f _{xx} = 20 MHz, V _{DD} = 3.1 ~ 3.6 V			72	mA
		μ PD70F3040, μ PD70F3040Y f _{xx} = 16 MHz, V _{DD} = 3.0 ~ 3.6 V			61	mA
		V _{PP} = V _{PP2} f _{xx} = 20 MHz, V _{DD} = 3.1 ~ 3.6 V			67	mA
V _{PP} 電源電流	I _{PP}	V _{PP} = V _{PP2}			200	mA
ステップ消去時間	t _{ER}	注1		0.2		s
1エリアあたり総消去時間	t _{ERA}	ステップ消去時間 = 0.2 s時, 注2			20	s/ エリア
ライトバック時間	t _{WB}	注3		1		ms
1ライトバック・コマンドあたり ライトバック回数	C _{WB}	ライトバック時間 = 1 ms時, 注4			300	回/ライトバ ック・コマ ンド
消去-ライトバック回数	C _{ERWB}				16	回
ステップ書き込み時間	t _{WR}	注5		20		μ s
1ワードあたり総書き込み時間	t _{WRW}	ステップ書き込み時間 = 20 μ s設定時 (1ワード = 4バイト), 注6	20		200	μ s/ ワード
1エリアあたり書き換え回数 ^{注7}	C _{ERWR}	消去1回 + 消去後の書き込み1回 = 書き換え1回とする, 注8	100			回/ エリア
			20			

注1. ステップ消去時間の推奨設定値 = 0.2 sです。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

3. ライトバック時間の推奨設定値 = 1 msです。

4. ライトバック・コマンドの発行により, ライトバックは1回実行されます。よって, リトライ回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。

5. ステップ書き込み時間の推奨設定値 = 20 μ sです。

6. 実際の1ワードあたりの書き込み時間は20 μ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え1回となります。

例 (P:書き込み E:消去)

出荷品 ----- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

注8. パッケージに捺印されているロット番号により，20回保証品と100回保証品を判別することができます（xxxxは内部管理用の4桁の数字もしくは記号です）。

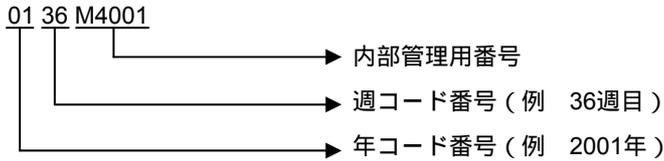
・ μ PD70F3038, 70F3038Y

	20回保証品	100回保証品
ロット番号	0125Kxxxx以前	0126Kxxxx以降（0126Kxxxx含む）
フラッシュ書き換え回数	20回	100回
フラッシュ書き換え温度	+10 ~ +40	0 ~ +85

・ μ PD70F3040, 70F3040Y

	20回保証品	100回保証品
ロット番号	0123Pxxxx以前	0124Pxxxx以降（0124Pxxxx含む）
フラッシュ書き換え回数	20回	100回
フラッシュ書き換え温度	+10 ~ +40	0 ~ +85

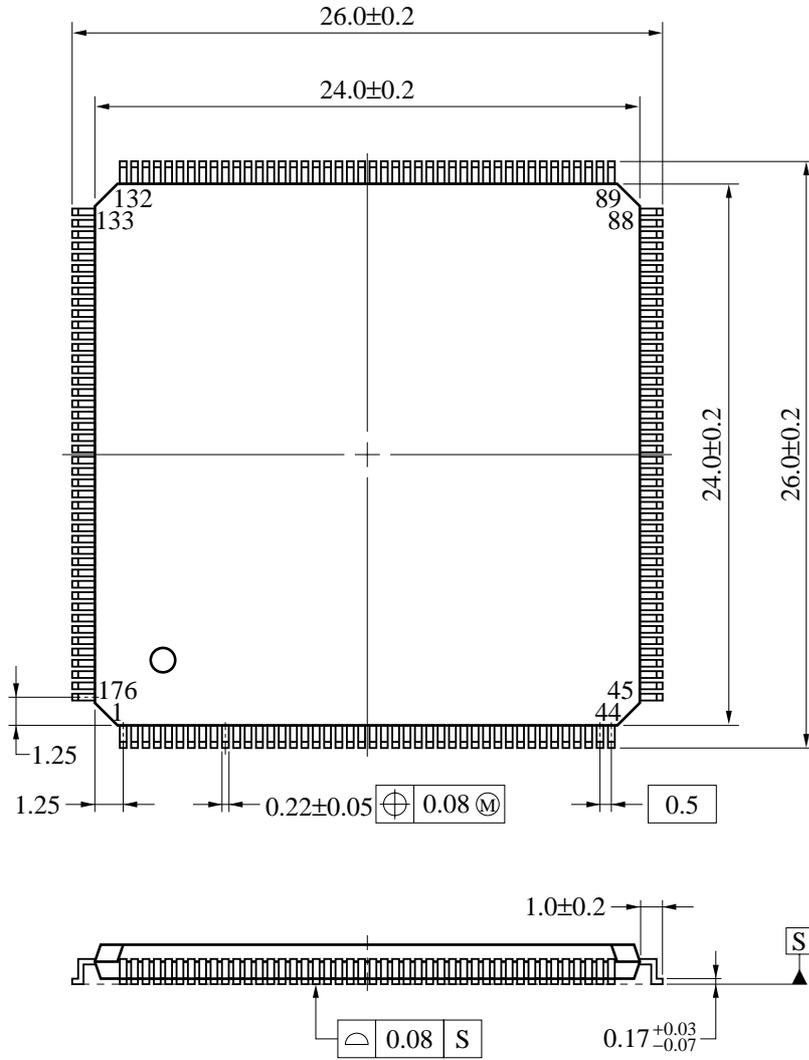
・ロット番号について



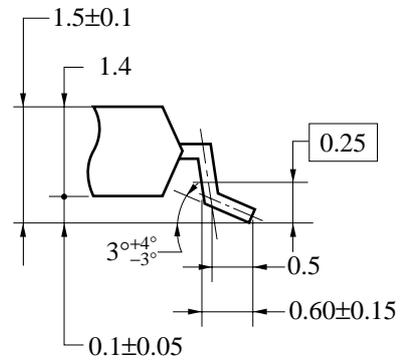
- 備考1. フラッシュ・メモリ・プログラミング時の動作クロック範囲は，通常動作時と同じです。
- PG-FP3使用時は，パラメータ・ファイルのダウンロードによって書き込み/消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。
 - エリア0 = 00000H-1FFFFH，エリア1 = 20000H-3FFFFH，エリア2 = 040000-05FFFFH（ μ PD70F3038, 70F3038Y）
エリア0 = 00000H-1FFFFH，エリア1 = 20000H-3FFFFH（ μ PD70F3040, 70F3040Y）

第22章 外形図

176ピン・プラスチック LQFP (ファインピッチ)(24x24) 外形図 (単位: mm)



端子先端形状詳細図



S176GM-50-UEU-1

第23章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売店にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表23 - 1 表面実装タイプの半田付け条件

(a) μ PD703039GM-xxx-UEU : 176ピン・プラスチックLQFP (ファインピッチ) (24 × 24)

μ PD703039YGM-xxx-UEU :	〃
μ PD703040GM-xxx-UEU :	〃
μ PD703040YGM-xxx-UEU :	〃
μ PD703041GM-xxx-UEU :	〃
μ PD703041YGM-xxx-UEU :	〃
μ PD70F3040GM-UEU :	〃
μ PD70F3040YGM-UEU :	〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：3日間 [※] （以降は125℃プリベーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：25～40秒（200℃以上），回数：2回以内， 制限日数：3日間 [※] （以降は125℃プリベーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

(b) μ PD703038F1-xxx-EN2 : 180ピン・プラスチックFBGA (13×13)

μ PD703038YF1-xxx-EN2 : "

μ PD703039F1-xxx-EN2 : "

μ PD703039YF1-xxx-EN2 : "

μ PD703040F1-xxx-EN2 : "

μ PD703040YF1-xxx-EN2 : "

μ PD70F3038F1-EN2 : "

μ PD70F3038YF1-EN2 : "

μ PD70F3040F1-EN2 : "

μ PD70F3040YF1-EN2 : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125 プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：25～40秒（200 以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125 プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください。

(c) μ PD703039GM-xxx-UEU-A : 176ピン・プラスチックLQFP (ファインピッチ) (24 × 24)

μ PD703039YGM-xxx-UEU-A : "

μ PD703040GM-xxx-UEU-A : "

μ PD703040YGM-xxx-UEU-A : "

μ PD703041GM-xxx-UEU-A : "

μ PD703041YGM-xxx-UEU-A : "

μ PD70F3040GM-UEU-A : "

μ PD70F3040YGM-UEU-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日以内 ^注 （以降は125 プリベーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-207-3
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺あたり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

(d) μ PD703038F1-xxx-EN2-A 180ピン・プラスチックFBGA (13 × 13)

μ PD703038YF1-xxx-EN2-A "

μ PD703039F1-xxx-EN2-A "

μ PD703039YF1-xxx-EN2-A "

μ PD703040F1-xxx-EN2-A "

μ PD703040YF1-xxx-EN2-A "

μ PD70F3038F1-EN2-A "

μ PD70F3038YF1-EN2-A "

μ PD70F3040F1-EN2-A "

μ PD70F3040YF1-EN2-A "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：3日以内 ^注 （以降は125 プリベーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-203-3

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A レジスタ索引

(1/8)

略号	名称	ユニット	ページ
ADCR	A/D変換結果レジスタ	ADC	387, 393
ADIC	割り込み制御レジスタ	INTC	136
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	389
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	391
ASIM00	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	UART	356
ASIM01	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	UART	357
ASIM10	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	UART	356
ASIM11	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	UART	357
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	358
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	358
BCC	バス・サイクル・コントロール・レジスタ	BCU	106
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRG	359
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRG	359
BRGCK4	ポー・レート出力クロック選択レジスタ4	BRG	380
BRGCN4	ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4	BRG	379
BRGMC00	ポー・レート・ジェネレータ・モード・コントロール・レジスタ00	BRG	360
BRGMC01	ポー・レート・ジェネレータ・モード・コントロール・レジスタ01	BRG	360
BRGMC10	ポー・レート・ジェネレータ・モード・コントロール・レジスタ10	BRG	360
BRGMC11	ポー・レート・ジェネレータ・モード・コントロール・レジスタ11	BRG	360
CC80	キャプチャ/コンペア・レジスタ80	RPU	172
CC81	キャプチャ/コンペア・レジスタ81	RPU	172
CC82	キャプチャ/コンペア・レジスタ82	RPU	172
CC83	キャプチャ/コンペア・レジスタ83	RPU	172
CC8IC0	割り込み制御レジスタ	INTC	135
CC8IC1	割り込み制御レジスタ	INTC	135
CC8IC2	割り込み制御レジスタ	INTC	135
CC8IC3	割り込み制御レジスタ	INTC	135
CLOM	クロック出力モード・レジスタ	CG	154
CM90	コンペア・レジスタ90	RPU	174
CM91	コンペア・レジスタ91	RPU	174
CM9IC0	割り込み制御レジスタ	INTC	135
CM9IC1	割り込み制御レジスタ	INTC	135
CORAD0	コレクション・アドレス・レジスタ0	CPU	548
CORAD1	コレクション・アドレス・レジスタ1	CPU	548
CORAD2	コレクション・アドレス・レジスタ2	CPU	548
CORAD3	コレクション・アドレス・レジスタ3	CPU	548
CORCN	コレクション・コントロール・レジスタ	CPU	547
CORRQ	コレクション要求レジスタ	CPU	547

略号	名称	ユニット	ページ
CP90	キャプチャ・レジスタ90	RPU	174
CP91	キャプチャ・レジスタ91	RPU	174
CP92	キャプチャ・レジスタ92	RPU	174
CP93	キャプチャ・レジスタ93	RPU	174
CP9IC0	割り込み制御レジスタ	INTC	135
CP9IC1	割り込み制御レジスタ	INTC	135
CP9IC2	割り込み制御レジスタ	INTC	135
CP9IC3	割り込み制御レジスタ	INTC	135
CR00	16ビット・キャプチャ/コンペア・レジスタ00	RPU	215
CR01	16ビット・キャプチャ/コンペア・レジスタ01	RPU	216
CR10	16ビット・キャプチャ/コンペア・レジスタ10	RPU	215
CR100	8ビット・コンペア・レジスタ100	RPU	252
CR1011	16ビット・コンペア・レジスタ1011 (TM10, TM11カスケード接続時のみ)	RPU	268
CR11	16ビット・キャプチャ/コンペア・レジスタ11	RPU	216
CR110	8ビット・コンペア・レジスタ110	RPU	252
CR20	8ビット・コンペア・レジスタ2	RPU	252
CR23	16ビット・コンペア・レジスタ23 (TM2, TM3カスケード接続時のみ)	RPU	268
CR30	8ビット・コンペア・レジスタ3	RPU	252
CR40	8ビット・コンペア・レジスタ4	RPU	252
CR45	16ビット・コンペア・レジスタ45 (TM4, TM5カスケード接続時のみ)	RPU	268
CR50	8ビット・コンペア・レジスタ5	RPU	252
CR60	8ビット・コンペア・レジスタ6	RPU	252
CR67	16ビット・コンペア・レジスタ67 (TM6, TM7カスケード接続時のみ)	RPU	268
CR70	8ビット・コンペア・レジスタ7	RPU	252
CRC0	キャプチャ/コンペア・コントロール・レジスタ0	RPU	219
CRC1	キャプチャ/コンペア・コントロール・レジスタ1	RPU	219
CSIB4	可変長シリアル設定レジスタ4	CSI	378
CSIC0	割り込み制御レジスタ	INTC	135
CSIC1	割り込み制御レジスタ	INTC	135
CSIC2	割り込み制御レジスタ	INTC	135
CSIC3	割り込み制御レジスタ	INTC	135
CSIC4	割り込み制御レジスタ	INTC	136
CSIM0	シリアル動作モード・レジスタ0	CSI	288
CSIM1	シリアル動作モード・レジスタ1	CSI	288
CSIM2	シリアル動作モード・レジスタ2	CSI	288
CSIM3	シリアル動作モード・レジスタ3	CSI	288
CSIM4	可変長シリアル制御レジスタ4	CSI	377
CSIS0	シリアル・クロック選択レジスタ0	CSI	289
CSIS1	シリアル・クロック選択レジスタ1	CSI	289
CSIS2	シリアル・クロック選択レジスタ2	CSI	289
CSIS3	シリアル・クロック選択レジスタ3	CSI	289
DBC0	DMAバイト・カウント・レジスタ0	DMAC	426
DBC1	DMAバイト・カウント・レジスタ1	DMAC	426

略号	名称	ユニット	ページ
DBC2	DMAバイト・カウント・レジスタ2	DMAC	426
DBC3	DMAバイト・カウント・レジスタ3	DMAC	426
DBC4	DMAバイト・カウント・レジスタ4	DMAC	426
DBC5	DMAバイト・カウント・レジスタ5	DMAC	426
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	427
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	427
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	427
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	427
DCHC4	DMAチャンネル・コントロール・レジスタ4	DMAC	427
DCHC5	DMAチャンネル・コントロール・レジスタ5	DMAC	427
DIOA0	DMA周辺I/Oアドレス・レジスタ0	DMAC	423
DIOA1	DMA周辺I/Oアドレス・レジスタ1	DMAC	423
DIOA2	DMA周辺I/Oアドレス・レジスタ2	DMAC	423
DIOA3	DMA周辺I/Oアドレス・レジスタ3	DMAC	423
DIOA4	DMA周辺I/Oアドレス・レジスタ4	DMAC	423
DIOA5	DMA周辺I/Oアドレス・レジスタ5	DMAC	423
DMAIC0	割り込み制御レジスタ	INTC	136
DMAIC1	割り込み制御レジスタ	INTC	136
DMAIC2	割り込み制御レジスタ	INTC	136
DMAIC3	割り込み制御レジスタ	INTC	136
DMAIC4	割り込み制御レジスタ	INTC	136
DMAIC5	割り込み制御レジスタ	INTC	136
DRA0	DMA内蔵RAMアドレス・レジスタ0	DMAC	423
DRA1	DMA内蔵RAMアドレス・レジスタ1	DMAC	423
DRA2	DMA内蔵RAMアドレス・レジスタ2	DMAC	423
DRA3	DMA内蔵RAMアドレス・レジスタ3	DMAC	423
DRA4	DMA内蔵RAMアドレス・レジスタ4	DMAC	423
DRA5	DMA内蔵RAMアドレス・レジスタ5	DMAC	423
DWC	データ・ウェイト・コントロール・レジスタ	BCU	104
ECR	割り込み要因レジスタ	CPU	70
EDV0	イベント・ディバイド・カウンタ0	RPU	184
EDV1	イベント・ディバイド・カウンタ1	RPU	184
EDV2	イベント・ディバイド・カウンタ2	RPU	184
EDVC0	イベント・ディバイド制御レジスタ0	RPU	184
EDVC1	イベント・ディバイド制御レジスタ1	RPU	184
EDVC2	イベント・ディバイド制御レジスタ2	RPU	184
EGN0	立ち下がりエッジ指定レジスタ0	INTC	126, 474
EGN2	立ち下がりエッジ指定レジスタ2	RPU	181, 520
EGN3	立ち下がりエッジ指定レジスタ3	RPU	182, 525
EGP0	立ち上がりエッジ指定レジスタ0	INTC	126, 474
EGP2	立ち上がりエッジ指定レジスタ2	RPU	181, 520
EGP3	立ち上がりエッジ指定レジスタ3	RPU	182, 525
EIPC	割り込み時状態回避レジスタ	CPU	70

略号	名称	ユニット	ページ
EIPSW	割り込み時状態退避レジスタ	CPU	70
EVS	イベント選択レジスタ	RPU	185
FEPC	NMI時状態退避レジスタ	CPU	70
FEPSW	NMI時状態退避レジスタ	CPU	70
HCCMP	Hsync補正レジスタ	VHD	454
HMCMP	Hsyncマスク幅レジスタ	VHD	454
HSCMP	Hsyncコンペア・レジスタ	VHD	453
IIC0	IICシフト・レジスタ0	I ² C	296, 309
IIC1	IICシフト・レジスタ1	I ² C	296, 309
IICC0	IICコントロール・レジスタ0	I ² C	298
IICC1	IICコントロール・レジスタ1	I ² C	298
IICCL0	IICクロック選択レジスタ0	I ² C	306
IICCL1	IICクロック選択レジスタ1	I ² C	306
IICIC1	割り込み制御レジスタ	I ² C	135
IICS0	IIC状態レジスタ0	I ² C	303
IICS1	IIC状態レジスタ1	I ² C	303
IICX0	IIC機能拡張レジスタ0	I ² C	307
IICX1	IIC機能拡張レジスタ1	I ² C	307
ISPR	インサースビス・プライオリティ・レジスタ	INTC	137
KRIC	割り込み制御レジスタ	KR	136
KRM	キー・リターン・モード・レジスタ	KR	470
MM	メモリ拡張モード・レジスタ	ポート	85
NCC	ノイズ除去制御レジスタ	INTC	125
OSTS	発振安定時間選択レジスタ	WDT	157, 279, 284
OVIC8	割り込み制御レジスタ	INTC	135
OVIC9	割り込み制御レジスタ	INTC	135
P0	ポート0	ポート	471
P1	ポート1	ポート	476
P10	ポート10	ポート	506
P11	ポート11	ポート	510
P12	ポート12	ポート	512
P13	ポート13	ポート	518
P14	ポート14	ポート	523
P15	ポート15	ポート	528
P16	ポート16	ポート	531
P17	ポート17	ポート	534
P18	ポート18	ポート	537
P19	ポート19	ポート	539
P2	ポート2	ポート	482
P3	ポート3	ポート	489
P4	ポート4	ポート	494
P5	ポート5	ポート	494
P6	ポート6	ポート	497

略号	名称	ユニット	ページ
P7	ポート7	ポート	500
P8	ポート8	ポート	500
P9	ポート9	ポート	502
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	154
PF1	ポート1ファンクション・レジスタ	ポート	478
PF10	ポート10ファンクション・レジスタ	ポート	508
PF12	ポート12ファンクション・レジスタ	ポート	513
PF2	ポート2ファンクション・レジスタ	ポート	484
PIC0	割り込み制御レジスタ	INTC	135
PIC1	割り込み制御レジスタ	INTC	135
PIC2	割り込み制御レジスタ	INTC	135
PIC3	割り込み制御レジスタ	INTC	135
PIC4	割り込み制御レジスタ	INTC	135
PIC5	割り込み制御レジスタ	INTC	135
PIC6	割り込み制御レジスタ	INTC	135
PM0	ポート0モード・レジスタ	ポート	473
PM1	ポート1モード・レジスタ	ポート	477
PM10	ポート10モード・レジスタ	ポート	507
PM11	ポート11モード・レジスタ	ポート	511
PM12	ポート12モード・レジスタ	ポート	513
PM13	ポート13モード・レジスタ	ポート	519
PM14	ポート14モード・レジスタ	ポート	524
PM15	ポート15モード・レジスタ	ポート	530
PM16	ポート16モード・レジスタ	ポート	532
PM17	ポート17モード・レジスタ	ポート	535
PM18	ポート18モード・レジスタ	ポート	538
PM19	ポート19モード・レジスタ	ポート	540
PM2	ポート2モード・レジスタ	ポート	483
PM3	ポート3モード・レジスタ	ポート	490
PM4	ポート4モード・レジスタ	ポート	495
PM5	ポート5モード・レジスタ	ポート	495
PM6	ポート6モード・レジスタ	ポート	498
PM9	ポート9モード・レジスタ	ポート	503
PRCMD	コマンド・レジスタ	CG	98
PRM00	プリスケラ・モード・レジスタ00	RPU	221
PRM01	プリスケラ・モード・レジスタ01	RPU	221
PRM10	プリスケラ・モード・レジスタ10	RPU	223
PRM11	プリスケラ・モード・レジスタ11	RPU	223
PSC	パワー・セーブ・コントロール・レジスタ	CG	154
PSW	プログラム・ステータス・ワード	CPU	71
PU0	ブルアップ抵抗オプション・レジスタ0	ポート	473
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	477
PU10	ブルアップ抵抗オプション・レジスタ10	ポート	507

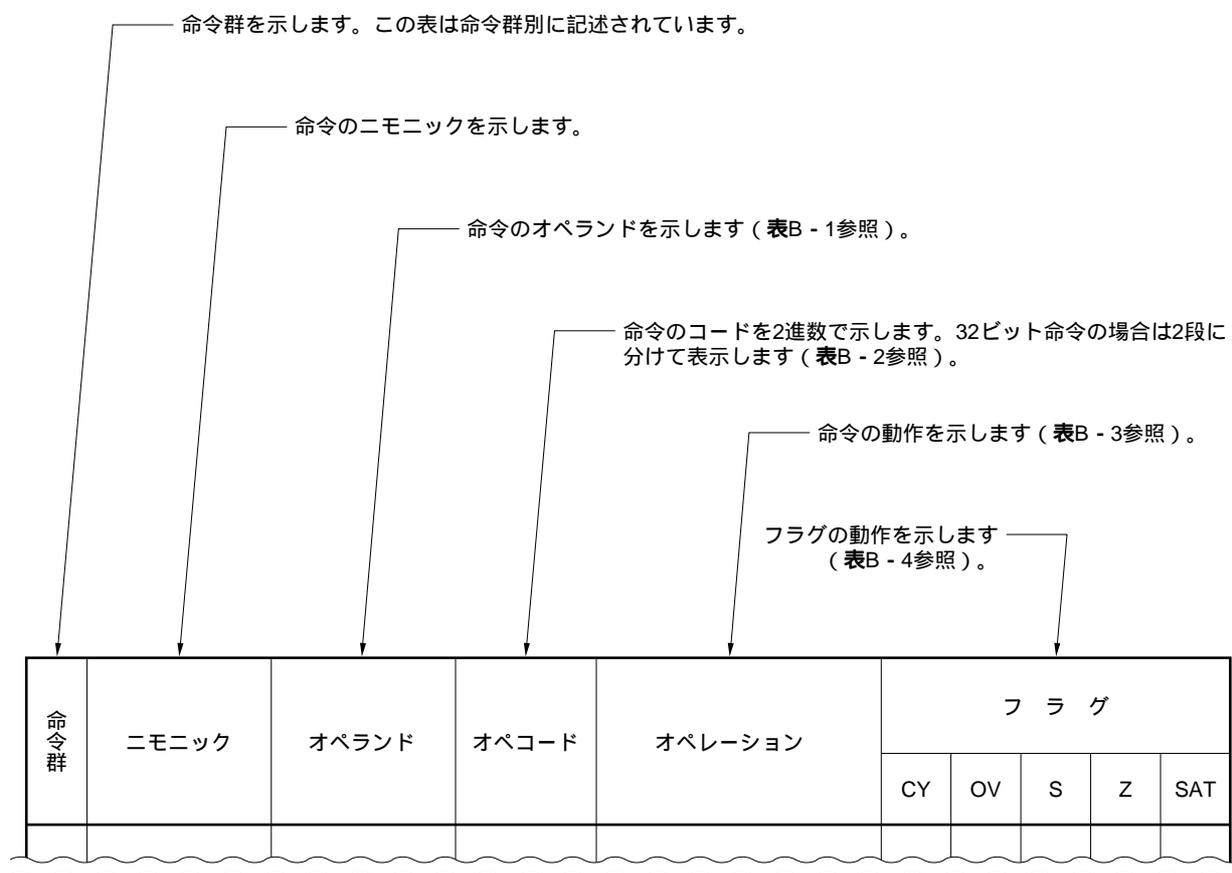
略号	名称	ユニット	ページ
PU17	ブルアップ抵抗オプション・レジスタ17	ポート	535
PU2	ブルアップ抵抗オプション・レジスタ2	ポート	483
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	490
PWM0	PWMモジュロ・レジスタ0	PWM	443
PWM1	PWMモジュロ・レジスタ1	PWM	443
PWM2	PWMモジュロ・レジスタ2	PWM	443
PWM3	PWMモジュロ・レジスタ3	PWM	443
PWMC0	PWMコントロール・レジスタ0	PWM	442
PWMC1	PWMコントロール・レジスタ1	PWM	442
PWMC2	PWMコントロール・レジスタ2	PWM	442
PWMC3	PWMコントロール・レジスタ3	PWM	442
PWPR0	PWMプリスケラ・レジスタ0	PWM	443
PWPR1	PWMプリスケラ・レジスタ1	PWM	443
PWPR2	PWMプリスケラ・レジスタ2	PWM	443
PWPR3	PWMプリスケラ・レジスタ3	PWM	443
RTBH0	リアルタイム出力バッファ・レジスタH0	RPU	433
RTBH1	リアルタイム出力バッファ・レジスタH1	RPU	433
RTBL0	リアルタイム出力バッファ・レジスタL0	RPU	433
RTBL1	リアルタイム出力バッファ・レジスタL1	RPU	433
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RPU	436
RTPC1	リアルタイム出力ポート・コントロール・レジスタ1	RPU	436
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RPU	435
RTPM1	リアルタイム出力ポート・モード・レジスタ1	RPU	435
RX0	受信シフト・レジスタ0	UART	354
RX1	受信シフト・レジスタ1	UART	354
RXB0	受信バッファ・レジスタ0	UART	354
RXB1	受信バッファ・レジスタ1	UART	354
SERIC0	割り込み制御レジスタ	INTC	135
SERIC1	割り込み制御レジスタ	INTC	135
SIO0	シリアルI/Oシフト・レジスタ0	CSI	286
SIO1	シリアルI/Oシフト・レジスタ1	CSI	286
SIO2	シリアルI/Oシフト・レジスタ2	CSI	286
SIO3	シリアルI/Oシフト・レジスタ3	CSI	286
SIO4	可変長シリアルI/Oシフト・レジスタ4	CSI	375
STIC0	割り込み制御レジスタ	INTC	135
STIC1	割り込み制御レジスタ	INTC	136
SVA0	スレーブ・アドレス・レジスタ0	I ² C	296, 309
SVA1	スレーブ・アドレス・レジスタ1	I ² C	296, 309
SYC	システム制御レジスタ	CG	101
SYS	システム・ステータス・レジスタ	CG	98
TCL100	タイマ・クロック選択レジスタ100	RPU	253
TCL101	タイマ・クロック選択レジスタ101	RPU	253
TCL110	タイマ・クロック選択レジスタ110	RPU	253

略号	名称	ユニット	ページ
TCL111	タイマ・クロック選択レジスタ111	RPU	253
TCL20	タイマ・クロック選択レジスタ20	RPU	253
TCL21	タイマ・クロック選択レジスタ21	RPU	253
TCL30	タイマ・クロック選択レジスタ30	RPU	253
TCL31	タイマ・クロック選択レジスタ31	RPU	253
TCL40	タイマ・クロック選択レジスタ40	RPU	253
TCL41	タイマ・クロック選択レジスタ41	RPU	253
TCL50	タイマ・クロック選択レジスタ50	RPU	253
TCL51	タイマ・クロック選択レジスタ51	RPU	253
TCL60	タイマ・クロック選択レジスタ60	RPU	253
TCL61	タイマ・クロック選択レジスタ61	RPU	253
TCL70	タイマ・クロック選択レジスタ70	RPU	253
TCL71	タイマ・クロック選択レジスタ71	RPU	253
TM0	16ビット・タイマ・レジスタ0	RPU	214
TM1	16ビット・タイマ・レジスタ1	RPU	214
TM10	8ビット・カウンタ10	RPU	252
TM1011	16ビット・カウンタ1011 (TM10, TM11カスケード接続時のみ)	RPU	268
TM11	8ビット・カウンタ11	RPU	252
TM2	8ビット・カウンタ2	RPU	252
TM23	16ビット・カウンタ23 (TM2, TM3カスケード接続時のみ)	RPU	268
TM3	8ビット・カウンタ3	RPU	252
TM4	8ビット・カウンタ4	RPU	252
TM45	16ビット・カウンタ45 (TM4, TM5カスケード接続時のみ)	RPU	268
TM5	8ビット・カウンタ5	RPU	252
TM6	8ビット・カウンタ6	RPU	252
TM67	16ビット・カウンタ67 (TM6, TM7カスケード接続時のみ)	RPU	268
TM7	8ビット・カウンタ7	RPU	252
TM8	タイマ8	RPU	172
TM9	タイマ9	RPU	173
TMC0	16ビット・タイマ・モード・コントロール・レジスタ0	RPU	217
TMC1	16ビット・タイマ・モード・コントロール・レジスタ1	RPU	217
TMC10	8ビット・タイマ・モード・コントロール・レジスタ10	RPU	258
TMC11	8ビット・タイマ・モード・コントロール・レジスタ11	RPU	258
TMC2	8ビット・タイマ・モード・コントロール・レジスタ2	RPU	258
TMC3	8ビット・タイマ・モード・コントロール・レジスタ3	RPU	258
TMC4	8ビット・タイマ・モード・コントロール・レジスタ4	RPU	258
TMC5	8ビット・タイマ・モード・コントロール・レジスタ5	RPU	258
TMC6	8ビット・タイマ・モード・コントロール・レジスタ6	RPU	258
TMC7	8ビット・タイマ・モード・コントロール・レジスタ7	RPU	258
TMC80	24ビット・タイマ・モード・コントロール・レジスタ80	RPU	175
TMC81	24ビット・タイマ・モード・コントロール・レジスタ81	RPU	176
TMC82	24ビット・タイマ・モード・コントロール・レジスタ82	RPU	177
TMC90	24ビット・タイマ・モード・コントロール・レジスタ90	RPU	178

略号	名称	ユニット	ページ
TMC91	24ビット・タイマ・モード・コントロール・レジスタ91	RPU	179
TMIC000	割り込み制御レジスタ	INTC	135
TMIC001	割り込み制御レジスタ	INTC	135
TMIC010	割り込み制御レジスタ	INTC	135
TMIC011	割り込み制御レジスタ	INTC	135
TMIC10	割り込み制御レジスタ	INTC	135
TMIC11	割り込み制御レジスタ	INTC	135
TMIC2	割り込み制御レジスタ	INTC	135
TMIC3	割り込み制御レジスタ	INTC	135
TMIC4	割り込み制御レジスタ	INTC	135
TMIC5	割り込み制御レジスタ	INTC	135
TMIC6	割り込み制御レジスタ	INTC	135
TMIC7	割り込み制御レジスタ	INTC	135
TOC0	タイマ出力コントロール・レジスタ0	RPU	220
TOC1	タイマ出力コントロール・レジスタ1	RPU	220
TOC8	タイマ出力コントロール・レジスタ8	RPU	179
TOVS	タイマ・オーバフロー・ステータス・レジスタ	RPU	180
TXS0	送信シフト・レジスタ0	UART	354
TXS1	送信シフト・レジスタ1	UART	354
VSC	Vsyncコントロール・レジスタ	VHD	455
VSCMP	Vsyncコンペア・レジスタ	VHD	453
VSUDC	Vsyncアップ/ダウン・カウンタ	VHD	453
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	280
WDTIC	割り込み制御レジスタ	INTC	135
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	138, 281
WTNCS	時計用タイマ・クロック選択レジスタ	WT	274
WTNIC	割り込み制御レジスタ	INTC	136
WTNIC	割り込み制御レジスタ	INTC	135
WTNM	時計用タイマ・モード・コントロール・レジスタ	WT	273

付録B 命令セット一覧

・命令セット一覧表の読み方



表B - 1 オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (r0-r31) : ソース・レジスタとして使用する。
reg2	汎用レジスタ (r0-r31) : おもにデスティネーション・レジスタとして使用する。
ep	エレメント・ポインタ (r30)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト
disp x	xビット・ディスプレイスメント
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ

表B - 2 オペコード欄に使われる略号

略号	意味
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
d	ディスプレイメントの1ビット分データ
i	イミディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定3ビット・データ

表B - 3 オペレーション欄に使われる略号

略号	意味
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a,b)	アドレスaから、サイズbのデータを読み出す。
store-memory (a,b,c)	アドレスaに、データbをサイズcで書き込む。
load-memory-bit (a,b)	アドレスaのビットbを読み出す。
store-memory-bit (a,b,c)	アドレスaのビットbにcを書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、 n 7FFFFFFFHとなった場合、7FFFFFFFHとする。 n 80000000Hとなった場合、80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Halfword	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

表B - 4 フラグの動作

識別子	説 明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる
R	以前に退避した値がリストアされる

表B - 5 条件コード

条件名 (cond)	条件コード (cccc)	条 件 式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$(CY OR Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY OR Z) = 0$	Higher (Greater than)
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S XOR OV) = 1$	Less than signed
GE	1110	$(S XOR OV) = 0$	Greater than or equal signed
LE	0111	$((S XOR OV) OR Z) = 1$	Less than or equal signed
GT	1111	$((S XOR OV) OR Z) = 0$	Greater than signed

命令セット一覧表

命令群	ニモニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
ロード/ストア命令	SLD.B	disp7[ep], reg2	rrrrr0110ddddddd	adr ep + zero-extend(disp7) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	SLD.H	disp8[ep], reg2	rrrrr1000ddddddd 注1	adr ep + zero-extend(disp8) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	SLD.W	disp8[ep], reg2	rrrrr1010ddddddd0 注2	adr ep + zero-extend(disp8) GR[reg2] Load-memory(adr, Word)					
	LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] Load-memory(adr, Word)					
	SST.B	reg2, disp7[ep]	rrrrr0111ddddddd	adr ep + zero-extend(disp7) Store-memory(adr, GR[reg2], Byte)					
	SST.H	reg2, disp8[ep]	rrrrr1001ddddddd 注1	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Halfword)					
	SST.W	reg2, disp8[ep]	rrrrr1010ddddddd1 注2	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Word)					
	ST.B	reg2, disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Byte)					
	ST.H	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Halfword)					
	ST.W	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Word)					
算術演算命令	MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]					
	MOV	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend(imm5)					
	MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)					
	MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)					
	ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	x	x	x	x	
	ADD	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend(imm5)	x	x	x	x	
	ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)	x	x	x	x	
	SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	x	x	x	x		

注1. ddddddd = disp8の上位7ビット

2. ddddddd = disp8の上位6ビット

3. ddddddddddddddd = disp16の上位15ビット

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
算術演算命令	MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^注 × GR[reg1] ^注 (符号付き乗算)					
	MULH	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^注 × sign-extend(imm5) (符号付き乗算)					
	MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^注 × imm16 (符号付き乗算)					
	DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^注 (符号付き除算)		x	x	x	
	CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	x	x	x	x	
	CMP	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend(imm5)	x	x	x	x	
	SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 00000001H else GR[reg2] 00000000H					
飽和演算命令	SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated(GR[reg2] + GR[reg1])	x	x	x	x	x
	SATADD	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated(GR[reg2] + sign-extend(imm5))	x	x	x	x	x
	SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated(GR[reg2] - GR[reg1])	x	x	x	x	x
	SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated(GR[reg1] - sign-extend(imm16))	x	x	x	x	x
	SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated(GR[reg1] - GR[reg2])	x	x	x	x	x
論理演算命令	TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2]AND GR[reg1]		0	x	x	
	OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2]OR GR[reg1]		0	x	x	
	ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]OR zero-extend(imm16)		0	x	x	
	AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2]AND GR[reg1]		0	x	x	
	ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]AND zero-extend(imm16)		0	0	x	
	XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2]XOR GR[reg1]		0	x	x	
	XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]XOR zero-extend(imm16)		0	x	x	
	NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT(GR[reg1])		0	x	x	
	SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2] GR[reg2]logically shift left by GR[reg1]	x	0	x	x	
	SHL	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2]logically shift left by zero-extend(imm5)	x	0	x	x	
	SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2] GR[reg2]logically shift right by GR[reg1]	x	0	x	x	
	SHR	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2]logically shift right by zero-extend(imm5)	x	0	x	x	
	SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2] GR[reg2]arithmetically shift right by GR[reg1]	x	0	x	x	
SAR	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2]arithmetically shift right by zero-extend(imm5)	x	0	x	x		

注 下位ハーフワード・データのみ有効

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
分岐命令	JMP	[reg1]	00000000011RRRRR	PC GR[reg1]					
	JR	disp22	0000011110dddd dddddddddddddd0 注1	PC PC + sign-extend(disp22)					
	JARL	disp22, reg2	rrrrr11110dddd dddddddddddddd0 注1	GR[reg2] PC + 4 PC PC + sign-extend(disp22)					
	Bcond	disp9	dddd1011ddccc 注2	if conditions are satisfied then PC PC + sign-extend(disp9)					
ビット操作命令	SET1	bit#3, disp16[reg1]	00bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 1)				×	
	CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 0)				×	
	NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, Zフラグ)				×	
	TST1	bit#3, disp16[reg1]	11bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3))				×	

注1. ddddddddddddddddddd = disp22の上位21ビット

2. ddddddd = disp9の上位8ビット

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ					
					CY	OV	S	Z	SAT	
特殊命令	LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注	SR[regID] GR[reg2] regID = EIPC, FEPC regID = EIPSW, FEPSW regID = PSW						
	STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2] SR[regID]						
	TRAP	vector	000001111111iiii 0000000100000000	EIPC PC+4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)						
	RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	R	R	R	R	R	
	HALT		0000011111100000 0000000100100000	停止する						
	DI		0000011111100000 0000000101100000	PSW.ID 1 (マスカブル割り込みの禁止)						
	EI		1000011111100000 0000000101100000	PSW.ID 0 (マスカブル割り込みの許可)						
	NOP		0000000000000000	何もせず最低1クロック費やします						

注 LDSR命令では、二モニックの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、二モニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr = regID指定 RRRRR = reg2指定

付録C 総合索引

C.1 50音で始まる語句の索引

【あ】

- アービトレーション ... 338
- アイドル・ステート挿入機能 ... 106
- アクセス・クロック数 ... 101
- アシンクロナス・シリアル・インタフェース ... 353
- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 ... 358
- アシンクロナス・シリアル・インタフェース・モード・レジスタ00, 10 ... 356
- アシンクロナス・シリアル・インタフェース・モード・レジスタ01, 11 ... 357
- アドレス空間 ... 74
- アドレス空間の推奨使用方法 ... 86
- アドレスの一致検出方法 ... 337

【い】

- イベント選択レジスタ ... 185
- イベント・ディバインド・カウンタ0-2 ... 184
- イベント・ディバインド制御レジスタ0-2 ... 184
- イメージ ... 75
- インサース・プライオリティ・レジスタ ... 137
- インターバル・タイマ（16ビット）としての動作 ... 225, 268
- インターバル・タイマ（8ビット）としての動作 ... 260
- インターバル・タイマとしての動作 ... 275, 283

【う】

- ウエイク・アップ機能 ... 339
- ウエイク・アップ制御回路 ... 296
- ウエイト機能 ... 104
- ウォッチドッグ・タイマ機能 ... 277
- ウォッチドッグ・タイマ・クロック選択レジスタ ... 280
- ウォッチドッグ・タイマとしての動作 ... 282

- ウォッチドッグ・タイマ・モード・レジスタ ... 138, 281

【え】

- エラーの検出 ... 337

【お】

- 応答時間 ... 146
- オーパフロー ... 188, 199
- オフボード・プログラミング ... 552
- オンボード・プログラミング ... 552

【か】

- 外部イベント・カウンタとしての動作 ... 236, 263
- 外部ウエイト機能 ... 105
- 外部拡張モード ... 85
- 外部トリガ・モード時の動作 ... 409
- 外部メモリ領域 ... 83
- 外部割り込み要求入力端子のエッジ検出機能 ... 126
- 外部割り込み要求入力端子のノイズ除去 ... 124
- カウント・クロック選択 ... 187, 198
- カウント動作 ... 186, 197
- 拡張コード ... 337
- 可変長シリアルI/Oシフト・レジスタ4 ... 375
- 可変長シリアル制御レジスタ4 ... 377
- 可変長シリアル設定レジスタ4 ... 378

【き】

- キー・リターン機能 ... 469
- キー・リターン・モード・レジスタ ... 470
- 奇数フィールド/偶数フィールド判定動作 ... 467
- 奇数フィールドの基本動作 ... 457
- 起動時の動作 ... 461

- キャプチャ/コンペア・コントロール・レジスタ0, 1
... 219
- キャプチャ/コンペア・レジスタ80-83 ... 172
- キャプチャ/コンペア・レジスタn0 ... 215
- キャプチャ/コンペア・レジスタn1 ... 216
- キャプチャ動作 ... 192, 201
- キャプチャ・レジスタ90-93 ... 174
- 境界動作条件 ... 116
- 【く】**
- 偶数フィールドの基本動作 ... 459
- 繰り返し周波数 ... 451
- クロック・ジェネレータ ... 40
- クロック出力機能 ... 152
- クロック出力モード・レジスタ ... 155
- クロック発生機能 ... 150
- 【こ】**
- コマンド・レジスタ ... 98
- コレクション・アドレス・レジスタ0-3 ... 548
- コレクション・コントロール・レジスタ ... 547
- コレクション要求レジスタ ... 547
- コンペア動作 ... 195, 202
- コンペア・レジスタ90,91 ... 174
- 【さ】**
- サブクロック発振回路 ... 150
- 【し】**
- システム・ステータス・レジスタ ... 98
- システム制御レジスタ ... 101
- システム・レジスタ・セット ... 70
- 周辺I/Oレジスタ ... 88
- 受信シフト・レジスタ0, 1 ... 354
- 受信バッファ・レジスタ0, 1 ... 354
- シリアルI/Oシフト・レジスタ0-3 ... 286
- シリアル・インタフェース機能 ... 285
- シリアル・クロック選択レジスタ0-3 ... 289
- シリアル動作モード・レジスタ0-3 ... 289
- シングルチップ・モード ... 73
- 【す】**
- スキャン・モードの動作 ... 404, 408, 412
- スタンバイ機能 ... 373
- スタンバイ機能制御レジスタ ... 284
- スレーブ・アドレス・レジスタ0, 1 ... 296, 309
- 【せ】**
- セレクト・モードの動作 ... 401, 405, 409
- 【そ】**
- 送信シフト・レジスタ0, 1 ... 354
- ソフトウェアSTOPモード ... 163
- ソフトウェア例外 ... 139
- 【た】**
- タイマ8 ... 172
- タイマ9 ... 173
- タイマ・オーバフロー・ステータス・レジスタ
... 180
- タイマ/カウンタ機能 ... 167
- タイマ・クロック選択レジスタ20-70, 100, 110
... 253
- タイマ・クロック選択レジスタ21-71, 101, 111 ...
253
- タイマ出力コントロール・レジスタ8 ... 179
- タイマ・トリガ・モード時の動作 ... 405
- タイマのクリア/スタート ... 189, 200
- 多重割り込み ... 144
- 立ち上がりエッジ指定レジスタ0 ... 126, 474
- 立ち上がりエッジ指定レジスタ2 ... 181, 520
- 立ち上がりエッジ指定レジスタ3 ... 182, 525
- 立ち下がりエッジ指定レジスタ0 ... 126, 474
- 立ち下がりエッジ指定レジスタ2 ... 181, 520
- 立ち下がりエッジ指定レジスタ3 ... 182, 525
- 端子機能 ... 42
- 端子機能の説明 ... 51
- 端子状態 ... 50
- 端子の入出力回路タイプ ... 63
- 端子の入出力バッファ電源 ... 63
- 端子の未使用時の処理 ... 63
- 【ち】**
- 逐次変換レジスタ ... 387

【つ】

通常動作モード ... 73
 通信コマンド ... 565
 通信動作 ... 344
 通信方式 ... 557
 通信方式の選択 ... 564
 通信予約 ... 340

【て】

データ・ウェイト・コントロール・レジスタ ... 104
 データ空間 ... 76, 86, 116
 データ通信のタイミング ... 346

【と】

動作モード ... 73
 動作モードとトリガ・モード ... 395
 特定レジスタ ... 96
 時計用タイマ機能 ... 271
 時計用タイマ・クロック選択レジスタ ... 274
 時計用タイマとしての動作 ... 275
 時計用タイマ・モード・コントロール・レジスタ
 ... 273

【な】

内蔵RAM領域 ... 81
 内蔵ROM / 内蔵フラッシュ・メモリ領域 ... 78
 内蔵周辺I/O領域 ... 82

【の】

ノイズ除去制御レジスタ ... 125
 ノンマスカブル割り込み ... 120

【は】

ハーフワード・アクセス ... 102
 バイト・アクセス ... 101
 バス・コントロール・ユニット ... 39
 バス・サイクル・コントロール・レジスタ ... 106
 バス制御機能 ... 100
 バス制御端子 ... 100
 バス・タイミング ... 109
 バスの優先順位 ... 116
 バス幅 ... 101
 バス・ホールド機能 ... 107

バス・ホールド手順 ... 108
 発振安定時間選択レジスタ ... 157, 279
 発振安定時間の確保 ... 165
 パルス幅測定としての動作 ... 229
 パワー・セーブ機能 ... 157
 パワー・セーブ・コントロール・レジスタ ... 156
 パワー・セーブ・モード時の動作 ... 108
 汎用レジスタ ... 69

【ふ】

不正命令コード ... 141
 復帰 ... 123, 129, 140, 143
 フラッシュ・メモリ ... 550
 フラッシュ・メモリ制御 ... 563
 フラッシュ・メモリ・プログラミング・モード
 ... 73, 564
 フラッシュ・ライターによる書き込み方法 ... 552
 プリスケアラ・モード・レジスタ0n ... 221
 プリスケアラ・モード・レジスタ1n ... 223
 ブルアップ抵抗オプション・レジスタ0 ... 473
 ブルアップ抵抗オプション・レジスタ1 ... 477
 ブルアップ抵抗オプション・レジスタ10 ... 507
 ブルアップ抵抗オプション・レジスタ17 ... 535
 ブルアップ抵抗オプション・レジスタ2 ... 483
 ブルアップ抵抗オプション・レジスタ3 ... 490
 プログラマブル・ウェイト機能 ... 104
 プログラマブル・ウェイトと外部ウェイトの関係
 ... 105
 プログラミング環境 ... 556
 プログラミング方法 ... 563
 プログラム・カウンタ ... 69
 プログラム空間 ... 76, 86, 116
 プログラム・ステータス・ワード ... 71
 プログラム・レジスタ・セット ... 69
 プロセッサ・クロック・コントロール・レジスタ
 ... 154
 分周器 ... 183

【ほ】

方形波出力としての動作 ... 238, 264
 ポート0 ... 471
 ポート0モード・レジスタ ... 473
 ポート1 ... 476

- ポート10 ... 506
- ポート10ファンクション・レジスタ ... 508
- ポート10モード・レジスタ ... 507
- ポート11 ... 510
- ポート11モード・レジスタ ... 511
- ポート12 ... 512
- ポート12ファンクション・レジスタ ... 513
- ポート12モード・レジスタ ... 513
- ポート13 ... 518
- ポート13モード・レジスタ ... 519
- ポート14 ... 523
- ポート14モード・レジスタ ... 524
- ポート15 ... 528
- ポート15モード・レジスタ ... 530
- ポート16 ... 531
- ポート16モード・レジスタ ... 532
- ポート17 ... 534
- ポート17モード・レジスタ ... 535
- ポート18 ... 537
- ポート18モード・レジスタ ... 538
- ポート19 ... 539
- ポート19モード・レジスタ ... 540
- ポート1ファンクション・レジスタ ... 478
- ポート1モード・レジスタ ... 477
- ポート2 ... 482
- ポート2ファンクション・レジスタ ... 484
- ポート2モード・レジスタ ... 483
- ポート3 ... 489
- ポート3モード・レジスタ ... 490
- ポート4 ... 494
- ポート4モード・レジスタ ... 495
- ポート5 ... 494
- ポート5モード・レジスタ ... 495
- ポート6 ... 497
- ポート6モード・レジスタ ... 498
- ポート7 ... 500
- ポート8 ... 500
- ポート9 ... 502
- ポート9モード・レジスタ ... 503
- ポート機能 ... 471
- ポート端子を兼用端子として使用する場合の設定
... 541
- ポー・レート・ジェネレータ・コントロール・レジ
スタ0, 1 ... 359
- ポー・レート・ジェネレータ・ソース・クロック選
択レジスタ4 ... 379
- ポー・レート・ジェネレータ・モード・コントロー
ル・レジスタn0, n1 ... 360
- ポー・レート出力クロック選択レジスタ4 ... 380
- 【ま】**
- マスカブル割り込み ... 127
- マスカブル割り込みの優先順位 ... 130
- 【め】**
- メイン・クロック発振回路 ... 150
- メモリ拡張モード・レジスタ ... 85
- メモリ空間 ... 103
- メモリ・ブロック機能 ... 103
- メモリ・マップ ... 77
- 【ゆ】**
- 優先順位指定 ... 144
- 【り】**
- リアルタイム出力機能 ... 431
- リアルタイム出力バッファ・レジスタH0, H1
... 433
- リアルタイム出力バッファ・レジスタL0, L1
... 433
- リアルタイム出力ポート・コントロール・レジスタ
0, 1 ... 436
- リアルタイム出力ポート・モード・レジスタ0, 1
... 435
- リセット機能 ... 545
- 領域 ... 78
- 【れ】**
- 例外トラップ ... 141
- 【わ】**
- ワード・アクセス ... 102
- 割り込みが受け付けられない時間 ... 147
- 割り込みコントローラ ... 39
- 割り込み時状態退避レジスタ ... 70
- 割り込み制御レジスタ ... 133

割り込みと例外の優先順位 ...	144
割り込み要因レジスタ ...	70
割り込み要求 (INTIICn) 発生タイミングおよびウエ イト制御 ...	336
割り込みノ例外処理機能 ...	117
ワンショット・パルス出力としての動作 ...	239

C.2 数字, アルファベットで始まる語句の索引

【数字】

16ビット・カウンタ1011 ... 265
 16ビット・カウンタ23 ... 265
 16ビット・カウンタ45 ... 265
 16ビット・カウンタ67 ... 265
 16ビット・コンペア・レジスタ1011 ... 265
 16ビット・コンペア・レジスタ23 ... 265
 16ビット・コンペア・レジスタ45 ... 265
 16ビット・コンペア・レジスタ67 ... 265
 16ビット・タイマ ... 212
 16ビット・タイマ出力コントロール・レジスタ0, 1
 ... 220
 16ビット・タイマの動作 ... 225
 16ビット・タイマ・モード・コントロール・レジスタ0, 1 ... 217
 16ビット・タイマ・レジスタ0, 1 ... 214
 24ビット・タイマ ... 167
 24ビット・タイマ (TM8) の動作 ... 186
 24ビット・タイマ (TM9) の動作 ... 197
 24ビット・タイマ・モード・コントロール・レジスタ80 ... 175
 24ビット・タイマ・モード・コントロール・レジスタ81 ... 176
 24ビット・タイマ・モード・コントロール・レジスタ82 ... 177
 24ビット・タイマ・モード・コントロール・レジスタ90 ... 178
 24ビット・タイマ・モード・コントロール・レジスタ91 ... 179
 3線式可変シリアルI/O ... 374
 3線式シリアルI/O ... 285
 8ビットHsyncカウンタ ... 454
 8ビット・カウンタ2-7, 10, 11 ... 252
 8ビット・コンペア・レジスタ2-7, 10, 11 ... 252
 8ビット・タイマ ... 250
 8ビット・タイマの動作 ... 260
 8ビット・タイマ・モード・コントロール・レジスタ2-7, 10, 11 ... 258

【A】

A16-A21 ... 55

AD0-AD7 ... 54
 AD8-AD15 ... 54
 ADCR ... 387, 393
 ADIC ... 136
 ADM0 ... 389
 ADM1 ... 391
 ADTRG ... 51
 A/Dコンバータ ... 386
 A/Dコンバータ・モード・レジスタ0 ... 389
 A/Dコンバータ・モード・レジスタ1 ... 391
 A/Dトリガ・モード時の動作 ... 401
 A/D変換結果レジスタ ... 387, 393
 ANI0-ANI15 ... 55, 387
 ASCK0 ... 52
 ASCK1 ... 53
 ASIM00, ASIM10 ... 356
 ASIM01, ASIM11 ... 357
 ASIS0, ASIS1 ... 358
 ASTB ... 57
 AV_{DD} ... 62
 AV_{REF} ... 62
 AV_{SS} ... 62

【B】

BCC ... 106
 BCU ... 39
 BRGC0, BRGC1 ... 359
 BRGCK4 ... 380
 BRGCN4 ... 379
 BRGMCn0, BRGMCn1 ... 360
 BV_{DD} ... 62
 BV_{SS} ... 62

【C】

CC80-CC83 ... 174
 CC8IC0-CC8IC3 ... 135
 CG ... 40
 CLKOUT ... 61
 CLKOUT信号 ... 152
 CLO ... 58
 CLOM ... 155

- CLO信号 ... 153
 CM90,CM91 ... 174
 CM9IC0-CM9IC3 ... 135
 CORAD0-CORAD3 ... 548
 CORCN ... 547
 CORRQ ... 547
 CP90-CP93 ... 174
 CP9IC0-CP9IC3 ... 135
 CPU ... 39
 CPUアドレス空間 ... 74
 CPUアドレス空間のラップ・アラウンド ... 76
 CPU機能 ... 67
 CPUレジスタ・セット ... 68
 CR20-CR70, CR10, CR11 ... 252
 CR23, CR45, CR67, CR1011 ... 268
 CRC0, CRC1 ... 219
 CRn0 ... 215
 CRn1 ... 216
 CSI0-CSI3 ... 285
 CSI4 ... 374
 CSIB4 ... 378
 CSIC0-CSIC3 ... 136
 CSIC4 ... 137
 CSIM0-CSIM3 ... 287
 CSIM4 ... 377
 CSIS0-CSIS3 ... 289
 CSYNCIN ... 61
 Csync信号のフォーマット ... 456
- 【D】**
- DBC0-DBC5 ... 426
 DCHC0-DCHC5 ... 427
 DIOA0-DIOA5 ... 423
 DMAIC0-DMAIC5 ... 136
 DMA機能 ... 421
 DMA周辺I/Oアドレス・レジスタ0-5 ... 423
 DMAチャンネル・コントロール・レジスタ0-5 ...
 427
 DMA転送時の割り込み制御レジスタのビット操作命
 令 ... 149
 DMA内蔵RAMアドレス・レジスタ0-5 ... 423
 DMAバイト・カウント・レジスタ0-5 ... 426
 DRA0-DRA5 ... 423
- $\overline{\text{DSTB}}$... 56
 DWC ... 104
- 【E】**
- ECR ... 70
 EDV0-EDV2 ... 184
 EDVC0-EDVC2 ... 184
 EGN0 ... 126, 474
 EGN2 ... 181, 520
 EGN3 ... 182, 525
 EGP0 ... 126, 474
 EGP2 ... 181, 520
 EGP3 ... 182, 525
 EIPC ... 70
 EIPSW ... 70
 EI命令後の割り込み要求有効タイミング ... 147
 EPフラグ ... 141
 EVS ... 185
- 【F】**
- FEPC ... 70
 FEPSW ... 70
- 【H】**
- HALTモード ... 158
 HCCMP ... 454
 $\overline{\text{HLDAK}}$... 57
 $\overline{\text{HLDRQ}}$... 57
 HMCMP ... 454
 HSCMP ... 453
 HSOUT0, HSOUT1 ... 61
 Hsyncコンペア・レジスタ ... 453
 Hsync信号自己生成動作 ... 466
 Hsync信号分離動作 ... 463
 Hsync信号マスク動作 ... 465
 Hsync補正レジスタ ... 454
 Hsyncマスク幅レジスタ ... 454
- 【I】**
- I²Cバス ... 293
 I²Cバス・モード ... 293
 I²Cバス・モードの機能 ... 310
 I²Cバス・モードの定義および制御方法 ... 311

I ² C割り込み要求 ...	318	OVIC8 ...	135
IC ...	62	OVIC9 ...	135
IDLEモード ...	161		
IDフラグ ...	138	【P】	
IIC0, IIC1 ...	296, 309	P0 ...	471
IICC0, IICC1 ...	298	P00-P07 ...	51
IICCL0, IICCL1 ...	306	P1 ...	476
IICIC1 ...	135	P10 ...	506
IICS0, IICS1 ...	303	P10-P15 ...	51
IICX0, IICX1 ...	307	P100-P107 ...	57
IIC機能拡張レジスタ0,1 ...	307	P11 ...	510
IICクロック選択レジスタ0,1 ...	306	P110-P113 ...	58
IICコントロール・レジスタ0,1 ...	298	P12 ...	512
IICシフト・レジスタ0,1 ...	296, 309	P120-P127 ...	58
IIC状態レジスタ0,1 ...	303	P13 ...	518
INTC ...	39	P130-P137 ...	59
INTCP80-INTCP83 ...	59	P14 ...	523
INTCP90-INTCP93 ...	60	P140-P147 ...	59
INTP0-INTP6 ...	51	P15 ...	528
INTTCLR8 ...	59	P150-P157 ...	60
INTTI8 ...	59	P16 ...	531
INTTI9 ...	60	P160-P167 ...	60
ISPR ...	137	P17 ...	534
		P170-P177 ...	61
【K】		P18 ...	537
KR0-KR7 ...	61	P180-P187 ...	61
KRIC ...	136	P19 ...	539
KRM ...	470	P190-P197 ...	61
		P2 ...	482
【L】		P20-P27 ...	52
$\overline{\text{LBEN}}$...	56	P3 ...	489
		P30-P37 ...	53
【M】		P4 ...	494
MM ...	85	P40-P47 ...	54
		P5 ...	494
【N】		P50-P57 ...	54
NCC ...	125	P6 ...	497
NMI ...	51	P60-P65 ...	55
NMI時状態退避レジスタ ...	70	P7 ...	500
NPフラグ ...	124	P70-P77 ...	55
		P8 ...	500
【O】		P80-P83 ...	55
OSTS ...	157, 279	P9 ...	502

P90-P96 ...	56	PWMパルスのアクティブ・レベルの指定 ...	449
PCC ...	154	PWMパルス幅書き換え周期の指定 ...	450
PF1 ...	478	PWMプリスケアラ・レジスタ0-3 ...	443
PF10 ...	508	PWMモジュロ・レジスタ0-3 ...	443
PF12 ...	513	PWPR0-PWPR3 ...	443
PF2 ...	484		
PIC0-PIC6 ...	135	【R】	
PM0 ...	473	RAM ...	39
PM1 ...	477	$\overline{\text{RD}}$...	57
PM10 ...	507	$\overline{\text{RESET}}$...	61
PM11 ...	511	ROM ...	39
PM12 ...	513	ROMコレクション機能 ...	546
PM13 ...	519	RTBH0, RTBH1 ...	433
PM14 ...	524	RTBL0, RTBL1 ...	433
PM15 ...	530	RTO ...	431
PM16 ...	532	RTP ...	41
PM17 ...	535	RTP00-RTP07 ...	58
PM18 ...	538	RTP10-RTP17 ...	60
PM19 ...	540	RTPC0, 1 ...	436
PM2 ...	483	RTPM0, RTPM1 ...	435
PM3 ...	490	RTPTRG0 ...	51
PM4 ...	495	RTPTRG1 ...	60
PM5 ...	495	$\overline{\text{R/W}}$...	56
PM6 ...	498	RX0, RX1 ...	354
PM9 ...	503	RXB0, RXB1 ...	354
PPG出力としての動作 ...	227	RXD0 ...	52
PRCMD ...	98	RXD1 ...	53
PRM0n ...	221		
PRM1n ...	223	【S】	
PSC ...	156	SAR ...	387
PSW ...	71	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$...	52
PU0 ...	473	$\overline{\text{SCK2}}, \overline{\text{SCK3}}$...	52
PU1 ...	477	$\overline{\text{SCK4}}$...	58
PU10 ...	507	SCL0 ...	52
PU17 ...	535	SCL1 ...	53
PU2 ...	483	SDA0 ...	52
PU3 ...	490	SDA1 ...	53
PWM0-PWM3 ...	60, 443	SERIC0, SERIC1 ...	135
PWMC0-PWMC3 ...	442	SI0, SI1 ...	51
PWM機能 ...	440	SI2, SI3 ...	52
PWM基本動作 ...	445	SI4 ...	58
PWMコントロール・レジスタ0-3 ...	442	SIO0-SIO3 ...	286
PWM動作の許可 / 禁止 ...	448	SIO4 ...	375

- SO0, SO1 ... 52
 SO2, SO3 ... 52
 SO4 ... 58
 SOラッチ ... 28
 STIC0 ... 135
 STIC1 ... 136
 SVA0, SVA1 ... 296, 309
 SYNC ... 101
 SYS ... 98
- 【T】**
 TCL20-TCL70, TCL100, TCL110 ... 253
 TCL21-TCL71, TCL101, TCL111 ... 253
 TCLR8 ... 59
 TI000, TI001, TI010, TI011, TI4, TI5 ... 53
 TI2, TI3 ... 53
 TI6, TI7, TI10, TI11 ... 58
 TI8 ... 59
 TI9 ... 60
 TM0, TM1 ... 212, 214
 TM2-TM7, TM10, TM11 ... 250, 252
 TM23, TM45, TM67, TM1011 ... 268
 TM8 ... 172
 TM9 ... 173
 TMC0, TMC1 ... 217
 TMC2-TMC7, TMC10, TMC11 ... 258
 TMC80 ... 175
 TMC81 ... 176
 TMC82 ... 177
 TMC90 ... 178
 TMC91 ... 179
 TMIC000 ... 135
 TMIC001 ... 135
 TMIC010 ... 135
 TMIC011 ... 135
 TMIC10, TMIC11 ... 135
 TMIC2-TMIC7 ... 135
 TO0, TO1, TO4, TO5 ... 53
 TO2, TO3 ... 53
 TO6, TO7, TO10, TO11 ... 58
 TO80, TO81 ... 59
 TOC0, TOC1 ... 220
 TOC8 ... 179
- TOVS ... 180
 TXD0 ... 52
 TXD1 ... 53
 TXS0, TXS1 ... 354
- 【U】**
 UART0, UART1 ... 353
 $\overline{\text{UBEN}}$... 56
- 【V】**
 V850/SV1とV854の24ビット・タイマ動作の違い
 ... 168
 V_{DD} ... 62
 V_{PP} ... 62
 VSC ... 455
 VSCMP ... 453
 VSOUT ... 61
 V_{SS} ... 62
 VSUDC ... 453
 Vsync/Hsync分離回路 ... 452
 Vsyncアップ/ダウン・カウンタ ... 453
 Vsyncコントロール・レジスタ ... 455
 Vsyncコンペア・レジスタ ... 453
 Vsync信号分離動作 ... 462
- 【W】**
 $\overline{\text{WAIT}}$... 61
 WDCS ... 280
 WDTIC ... 135
 WDTM ... 138, 281
 $\overline{\text{WRH}}$... 57
 $\overline{\text{WRL}}$... 57
 WTNCS ... 274
 WTNIC ... 136
 WTNIIC ... 135
 WTNM ... 273
- 【X】**
 X1 ... 62
 X2 ... 62
 XT1 ... 62
 XT2 ... 62

付録D 改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/2)

版 数	前版からの主な改版内容	適応箇所	
第2版	製品 (μ PD703038, 703038Y, 70F3038, 70F3038Y) を追加	全般	
	パッケージ (180ピン・プラスチックFBGA) を追加		
	最小命令実行時間を変更		
	1. 3 応用分野を変更	第1章 インTRODクシ ョン	
	1. 6. 2 (6) クロック・ジェネレータの記述を変更		
	2. 2 端子状態を変更	第2章 端子機能	
	2. 3 (21) CLKOUT (Clock Out) を追加		
	2. 4 端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理のXT1, XT2端子の記述を変更		
	2. 5 端子の入出力回路にタイプ16 - Aを追加		
	3. 2. 1 プログラム・レジスタ・セットのr2レジスタの記述を変更		
	3. 4. 6 (1) メモリ拡張モード・レジスタ (MM) に注を追加	第3章 CPU機能	
	3. 4. 9 (2) システム・ステータス・レジスタ (SYS) に備考を追加		
	4. 9 バスの優先順位の記述を変更	第4章 バス制御機能	
	5. 2. 4 外部割り込み要求入力端子のノイズ除去の記述を変更	第5章 割り込み / 例外 処理機能	
	5. 2. 5 外部割り込み要求入力端子のエッジ検出機能の記述を変更		
	5. 3. 4 割り込み制御レジスタ (xxICn) の記述を変更		
	5. 8. 1 EI命令後の割り込み要求有効タイミングを追加		
	5. 9 DMA転送時の割り込み制御レジスタのビット操作命令を追加		
	6. 1 概 要の記述を変更	第6章 クロック発生機 能	
	図6 - 1 クロック発生機能を変更		
	6. 3 クロック出力機能の記述を変更		
	6. 4. 1 プロセッサ・クロック・コントロール・レジスタ (PCC) を変更		
	6. 5. 1 概 要を変更		
	表6 - 1 HALTモード時の動作状態を変更		
	6. 6 発振安定時間の確保を変更		
	6. 7 パワー・セーブ機能に関する注意事項を追加		
	図7 - 36 PPG出力の構成図を追加		第7章 タイマ / カウン タ機能
	図7 - 37 PPG出力動作のタイミングを追加		
	10. 3. 2 (5) I ² Cnの転送クロックの設定方法を追加	第10章 シリアル・イン タフェース機能	
	表10 - 3 選択クロックの設定を変更		
10. 3. 5 I ² C割り込み要求 (INTIICn) を変更			
10. 4. 3 (2) アシクロナス・シリアル・インタフェース・モードを変更			
表10 - 9 メイン・クロックとポー・レートの関係を変更			

版数	前版からの主な改版内容	適応箇所
第2版	10. 5. 3 動作を変更	第10章 シリアル・インタフェース機能
	11. 3. 4 入力電圧と変換結果を追加	第11章 A/Dコンバータ
	11. 9 A/Dコンバータ特性表の読み方を追加	
	12. 3 構成を追加	第12章 DMA機能
	12. 5 動作を追加	
	12. 6 注意を追加	
	13. 5 使用方法を変更	第13章 リアルタイム出力機能 (RTO)
	図15 - 1 Vsync/Hsync分離回路のブロック図を変更	第15章 Vsync/Hsync分離回路
	第16章 キー・リターン機能を追加	第16章 キー・リターン機能
	17. 2. 8 (1) P9端子の機能に注意を追加	第17章 ポート機能
	17. 2. 9 (1) P10端子の機能に注意を追加	
	17. 2. 14 (1) P15端子の機能に注意を追加	
	表17 - 19 ポート端子を兼用端子として使用する場合の設定を変更	
	17. 4 ポート機能の動作を追加	
	第20章 フラッシュ・メモリに注意を追加	第20章 フラッシュ・メモリ
	20. 1. 1 消去単位を追加	
	図20 - 1 V850/SV1フラッシュ書き込み用アダプタ (FA-180FBGA) を追加	
	表20 - 1 V850/SV1フラッシュ書き込み用アダプタ (FA-180FBGA) の配線表を追加	
	図20 - 2 V850/SV1フラッシュ書き込み用アダプタ (FA-176GM-UEU) を追加	
	表20 - 2 V850/SV1フラッシュ書き込み用アダプタ (FA-176GM-UEU) の配線表を追加	
	20. 4 (3) CS10 + HSを追加	
	表20 - 3 専用フラッシュ・ライター (PG-FP3) の信号生成を変更	
	表20 - 4 各シリアル・インタフェースが使用する端子を変更	
第21章 電気的特性を追加	第21章 電気的特性	
第22章 外形図を追加	第22章 外形図	
第23章 半田付け推奨条件を追加	第23章 半田付け推奨条件	
付録D 改版履歴を追加	付録D 改版履歴	
第2版 (修正版)	1. 4 オータ情報を変更	第1章 イントロダクション
	第23章 半田付け推奨条件を変更	第23章 半田付け推奨条件

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
