

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# ユーザース・マニュアル

## QDR™ II SRAM, DDR II SRAM の使い方

---

[メ モ]

## 目次要約

第 1 章	概 要	...	10
第 2 章	電源投入	...	25
第 3 章	DLL 回路と PLL 回路	...	28
第 4 章	出力インピーダンス・マッチング	...	30
第 5 章	終端抵抗	...	31

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

QDR RAM と Quad Data Rate RAM は、サイプレスセミコンダクタ社、ルネサステクノロジ社、IDT 社、NEC エレクトロニクス、サムスン電子社により開発された製品の新しいシリーズを含みます。

- 本資料に記載されている内容は2008年1月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

# はじめに

**対象者** このマニュアルは、QDR II SRAM (Quad Data Rate II SRAM)、DDR II SRAM (Double Data Rate II SRAM) を用いたアプリケーション・システムを設計するユーザを対象とします。

**目的** このマニュアルは、QDR、DDR の基本的な性能とその使い方について理解していただくことを目的とします。各製品の詳細な数値等はそれぞれのデータ・シートを参照してください。

**読み方** このマニュアルの読者には、電気、論理回路と SRAM の一般的な知識を必要とします。各製品の機能の詳細はそれぞれのデータ・シートを参照してください。なお、このユーザズ・マニュアルに記載している動作例は参考例を示したもので、記載されているデータなどは保証値ではありません。参考値として使用してください。

**凡例**

データ表記の重み	: 左が上位桁, 右が下位桁
XXX# (端子, 信号名称のあとに#)	: アクティブ・ロウの表記
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文中の補足説明

**関連資料** 関連資料は暫定版の場合があります。あらかじめご了承ください。

- 各製品のデータ・シート

QDR 製品 <http://www.necel.com/memory/ja/products/sram/qdr-info.html>

DDR 製品 <http://www.necel.com/memory/ja/products/sram/ddr-info.html>

**構成** このマニュアルは、次の 2 つの内容で構成しています。

- QDR, DDR の概要
- QDR, DDR 使用時の留意点

QDR, DDR の概要: QDR, DDR の製品の特徴等について説明しています。

## 第1章 概要

QDR, DDR 使用時の留意点: QDR, DDR を使用する際の推奨条件や留意点等について説明しています。

## 第2章 電源投入

## 第3章 DLL 回路と PLL 回路

## 第4章 出力インピーダンス・マッチング

## 第5章 終端抵抗

# 目 次

第1章 概 要 ...	10
1.1 特 徴 ...	10
1.1.1 QDR の特徴 ...	10
1.1.2 DDR の特徴 ...	11
1.1.3 読み出しコマンドと書き込みコマンド ...	11
1.1.4 2ワード・バーストと4ワード・バースト ...	12
1.1.5 QDR, DDR の動作とデータ転送レート(バンド幅)比較 ...	13
1.1.6 端子機能説明 ...	19
1.1.7 出力データとシンクロナス・エコー・クロック ...	23
1.1.8 HSTL インタフェースとV <sub>REF</sub> ...	24
第2章 電源投入 ...	25
2.1 電源投入方法 ...	25
2.1.1 V <sub>DD</sub> とV <sub>DDQ</sub> が安定したあとにクロックを開始する場合 ...	25
2.1.2 V <sub>DD</sub> とV <sub>DDQ</sub> が安定する前にクロックを開始する場合 ...	27
第3章 DLL 回路とPLL 回路 ...	28
3.1 DLL 回路とPLL 回路の搭載 ...	28
3.1.1 PLL 回路のメリット ...	28
3.1.2 DLL/PLL 回路の無効化 ...	28
3.1.3 動作周波数の変更 ...	29
第4章 出力インピーダンス・マッチング ...	30
4.1 出力インピーダンスの調整 ...	30
第5章 終端抵抗 ...	31
5.1 終端抵抗の効果 ...	31

# 図の目次

図番号	タイトル, ページ
1 - 1	バースト2品とバースト4品の読み出し動作と書き込み動作のタイミング・チャート ... 12
1 - 2	バンド幅効率 読み出し動作/書き込み動作比依存性 ... 13
1 - 3	QB2品のタイミング・チャート ... 14
1 - 4	QB2品のバンド幅 ... 14
1 - 5	QB4品のタイミング・チャート ... 15
1 - 6	QB4品のバンド幅 ... 15
1 - 7	DB2 CIO品のタイミング・チャート ... 16
1 - 8	DB2 CIO品のバンド幅 ... 16
1 - 9	DB4 CIO品のタイミング・チャート ... 17
1 - 10	DB4 CIO品のバンド幅 ... 17
1 - 11	DB2 SIO品のタイミング・チャート ... 18
1 - 12	DB2 SIO品のバンド幅 ... 18
1 - 13	シングル・クロック・モードのタイミング・チャート ... 23
1 - 14	デュアル・クロック・モードのタイミング・チャート ... 23
2 - 1	$V_{DD}$ , $V_{DDQ}$ の電圧が安定したあとに, 安定したクロック入力を開始する場合の電源投入方法 ... 25
2 - 2	$V_{DD}$ , $V_{DDQ}$ の電圧が安定したあとに, 不安定なクロック入力を開始する場合の電源投入方法 (DLL#制御) ... 26
2 - 3	$V_{DD}$ , $V_{DDQ}$ の電圧が安定したあとに, 不安定なクロック入力を開始する場合の電源投入方法 (クロック制御) ... 26
2 - 4	$V_{DD}$ , $V_{DDQ}$ の電圧が安定する前に, 不安定なクロック入力を開始する場合の電源投入方法 (DLL#制御) ... 27
2 - 5	$V_{DD}$ , $V_{DDQ}$ の電圧が安定する前に, 不安定なクロック入力を開始する場合の電源投入方法 (クロック制御) ... 27
3 - 1	入力ジッタ量に対する出力ジッタ量の依存性 ... 28
3 - 2	クロック・ストップ時の入力クロック信号Kの波形イメージ ... 29
4 - 1	出力インピーダンスの設定例 ... 30
5 - 1	終端した場合の信号波の伝達イメージ ... 31
5 - 2	終端しない場合の信号波の伝達イメージ ... 32

# 表の目次

表番号	タイトル, ページ
1 - 1	QDR, DDR 製品分類 ... 10
1 - 2	QDR, DDR のリード・コマンドとライト・コマンド ... 11
1 - 3	全製品共通端子 ... 19
1 - 4	QDR 製品固有の端子 ... 21
1 - 5	QDR, DDR (SIO 品) 製品固有の端子 ... 21
1 - 6	DDR 製品固有の端子 ... 22
1 - 7	DDR (CIO 品) 製品固有の端子 ... 22

# 第1章 概 要

QDR SRAM (Quad Data Rate SRAM), DDR SRAM (Double Data Rate SRAM) は, 同期式高速 SRAM の一種で, 高機能なネットワーク・スイッチ, ネットワーク・ルータなどのルック・アップ・テーブル・メモリやバッファ・メモリに最適なメモリです。QDR SRAM には QDR I, QDR II, QDR II+, DDR SRAM には DDR I, DDR II, DDR II+ の製品があります。本マニュアルでは QDR II SRAM (以後 QDR と表記) と DDR II SRAM (以後 DDR と表記) について解説します。

なお, QDR, DDR の仕様は, QDR コンソーシアムにおいて決定されています。NEC エレクトロニクスは, QDR コンソーシアムのメンバとして仕様の策定に積極的に参加しています。

**備考** 2007 年現在の QDR コンソーシアムのメンバは, サイプレスセミコンダクタ社, ルネサステクノロジ社, IDT 社, NEC エレクトロニクス, サムスン電子社です。

## 1.1 特 徴

QDR, DDR は, 機能や I/O 構成により表 1-1 の 5 種類の製品があります。

ここでは QDR, DDR の特徴を, 製品ごとに示します。

表 1-1 QDR, DDR 製品分類

製品分類	機 能	I/O 構成	略語表記
QDR II	2ワード・バースト	セパレート (SIO)	QB2
QDR II	4ワード・バースト	セパレート (SIO)	QB4
DDR II	2ワード・バースト	コモン (CIO)	DB2 CIO
DDR II	4ワード・バースト	コモン (CIO)	DB4 CIO
DDR II	2ワード・バースト	セパレート (SIO)	DB2 SIO

### 1.1.1 QDR の特徴

QDR は, 入力用のデータ・ポートと出力用のデータ・ポートが分離独立したセパレート I/O の構成になっています。読み出し動作のデータと書き込み動作のデータがバス上で競合することがないため, 大量のデータを高速に読み書き動作する用途に最適なメモリです。QDR には, 2ワード・バーストの製品と4ワード・バーストの製品があります。

### 1.1.2 DDR の特徴

DDR には、データ・ポートが入力と出力を兼ねた共通 I/O の製品 (CIO 品) と、入力用のデータ・ポートと出力用のデータ・ポートが分離独立したセパレート I/O の製品 (SIO 品) があります。

CIO 品は、データ・ポートが入力と出力を兼ねているため、読み出し動作から書き込み動作に切り替わる際に、NOP (ノーオペレーション) サイクルの挿入が必要となります。したがって、CIO 品は読み出し動作または書き込み動作のいずれかが連続動作する用途に適しています。なお、CIO 品には2ワード・バーストの製品と4ワード・バーストの製品があります。

SIO 品は QDR と同様に、入力用のデータ・ポートと出力用のデータ・ポートが分離独立しているので、CIO 品において要求される NOP サイクルを挿入することは不要となります。したがって、SIO 品は読み出し動作と書き込み動作を不規則に行うシステムに適しています。なお、SIO 品には2ワード・バーストの製品があります。

### 1.1.3 読み出しコマンドと書き込みコマンド

QDR は、入力クロック K の立ち上がりエッジのシンクロナス・リード入力 R#端子とシンクロナス・ライト入力 W#端子の入力状態、DDR は、入力クロック K の立ち上がりエッジのシンクロナス・ロード入力 LD#端子とシンクロナス・リード/ライト入力 R,W#端子の入力状態で、読み出し動作もしくは書き込み動作を判定します。このマニュアルでは、読み出し動作に対する各端子の入力の組み合わせをリード・コマンド、書き込み動作に対する各端子の入力の組み合わせをライト・コマンドと呼びます。各製品のコマンドと端子の入力状態の関係を表 1-2 に示します。

表 1-2 QDR, DDR のリード・コマンドとライト・コマンド

製品	リード・コマンド	ライト・コマンド
QB2	R# = L, W# = X	R# = X, W# = L
QB4		R# = H, W# = L
DB2 CIO	LD# = L, R, W# = H	LD# = L, R, W# = L
DB4 CIO		
DB2 SIO		

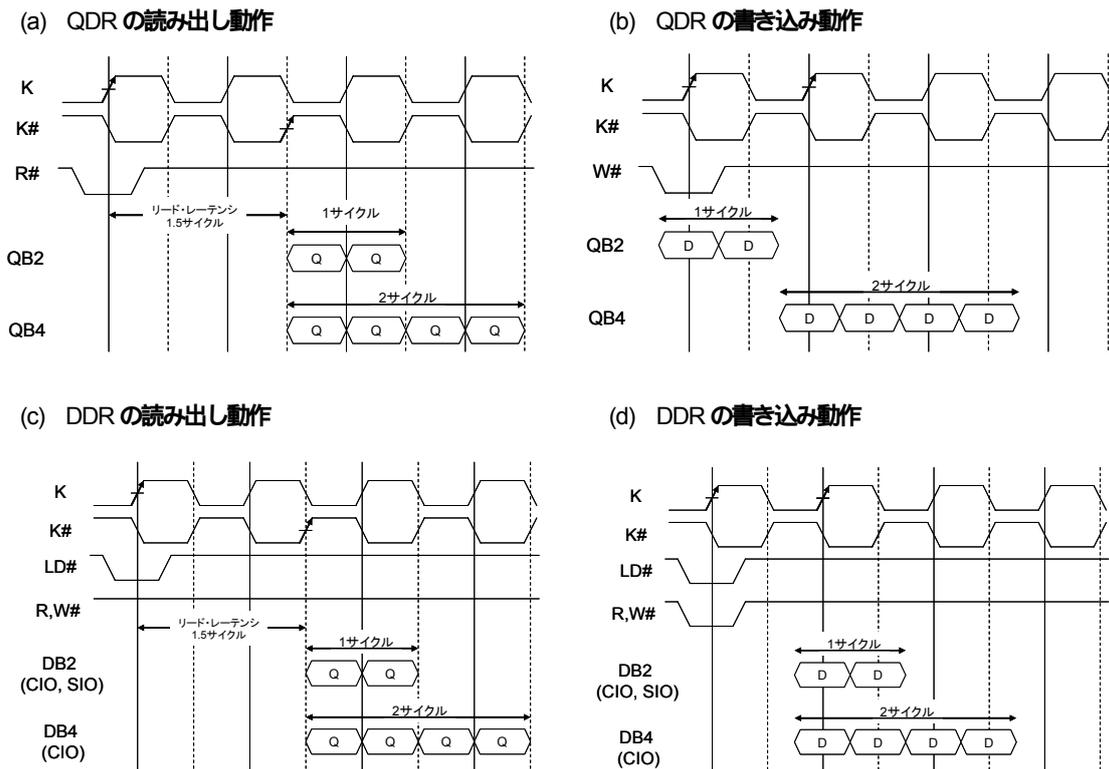
H : HIGH, L : LOW, X : 任意

### 1.1.4 2ワード・バーストと4ワード・バースト

2ワード・バーストの製品（バースト2品）は、読み出し動作では、1つのリード・コマンドに対して、1サイクルで2つのデータを連続して出力します。書き込み動作では、1つのライト・コマンドに対して、1サイクルで2つのデータを連続して書き込みます。

4ワード・バーストの製品（以下、バースト4品）は、読み出し動作では、1つのリード・コマンドに対して、2サイクルで4つのデータを連続して出力します。書き込み動作では、1つのライト・コマンドに対して、2サイクルで4つのデータを連続して書き込みます。図1-1にバースト2品とバースト4品の読み出し動作と書き込み動作のタイミング・チャートを示します。

図1-1 バースト2品とバースト4品の読み出し動作と書き込み動作のタイミング・チャート

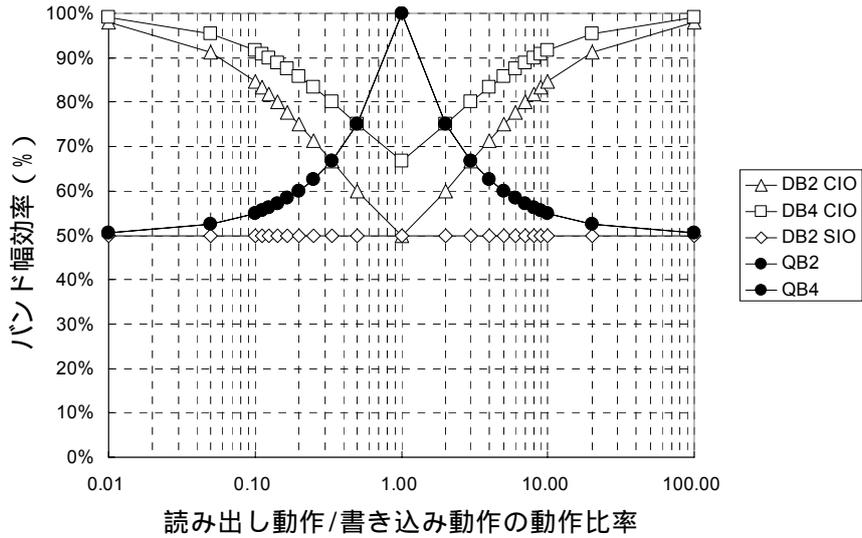


### 1.1.5 QDR, DDR の動作とデータ転送レート (バンド幅) 比較

データ転送レート (バンド幅) とは, データ・ポート (D 端子, Q 端子もしくは DQ 端子) におけるデータの転送能力です。製品 (QDR, DDR), ビット構成 (x8, x9, x18, x36), 動作周波数, 読み出し動作と書き込み動作の動作比率によりバンド幅が変化します。

図 1-2 に製品ごとの読み出し動作と書き込み動作の動作比率とバンド幅の効率の関係を示します。ここでは, 同一の動作周波数とビット構成で比較しています。

図 1-2 バンド幅効率 読み出し動作/書き込み動作比依存性



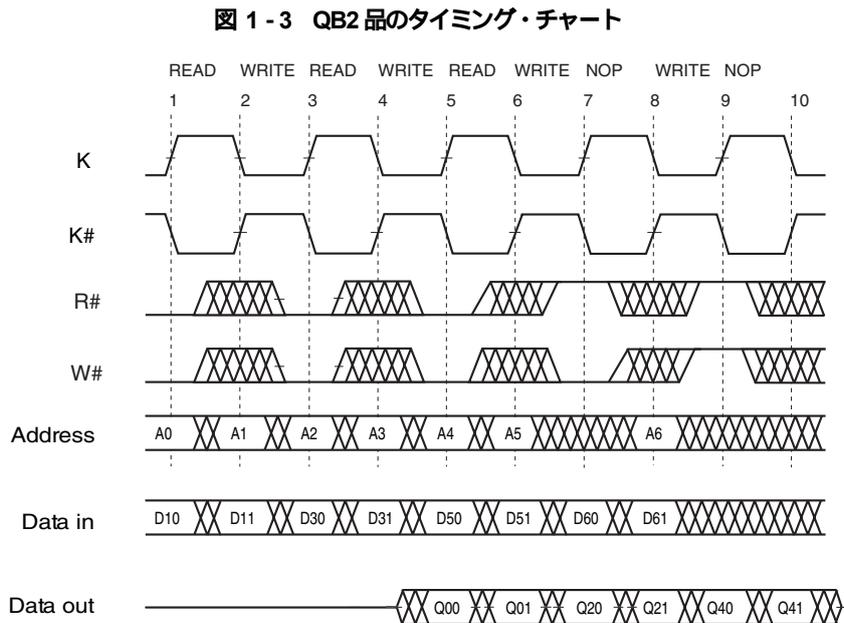
以下に製品ごとの動作とバンド幅について説明します。

(1) QDR パースト 2 品 (QB2)

入力用のデータ・ポートと出力用のデータ・ポートが分離独立した、読み出し動作と書き込み動作の並行処理を可能としたパースト 2 の製品です。

リード・コマンドとライト・コマンドは、いずれも入力クロック信号 K の立ち上がりエッジで入力する必要があります。リード・コマンドとライト・コマンドは同時に入力することができます。リード・コマンドに対するリード・アドレスは入力クロック信号 K の立ち上がりエッジで、ライト・コマンドに対するライト・アドレスは入力クロック信号 K# の立ち上がりエッジで入力する必要があります。

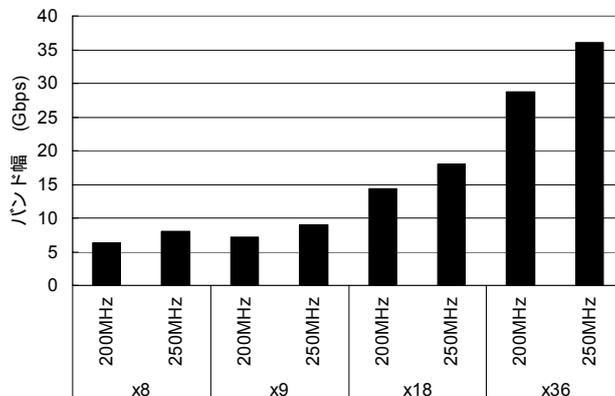
図 1-3 にタイミング・チャートを示します。



リード・コマンドとライト・コマンドを同一サイクルに入力する場合に、バンド幅は最大になります (図 1-2 参照)。

図 1-4 にビット構成、クロック周波数による QB2 品のバンド幅の違いを示します。

図 1-4 QB2 品のバンド幅



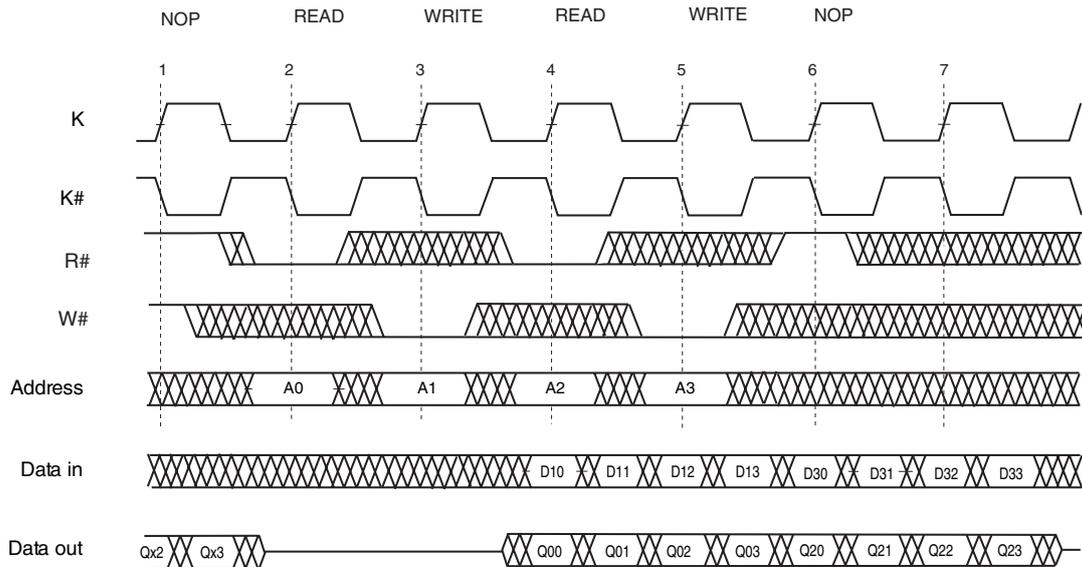
(2) QDR パースト4品 (QB4)

入力用のデータ・ポートと出力用のデータ・ポートが分離独立した、読み出し動作と書き込み動作の並行処理を可能としたパースト4の製品です。

リード・コマンドまたはライト・コマンドの入力および、そのコマンドに対応するアドレスの入力は、入力クロック信号 K の立ち上がりエッジで入力する必要があります。パースト4品は、読み出し動作と書き込み動作ともに2サイクル分の期間を要するため、同一コマンド(リード・コマンド、ライト・コマンド)を2サイクル連続して入力することはできません。

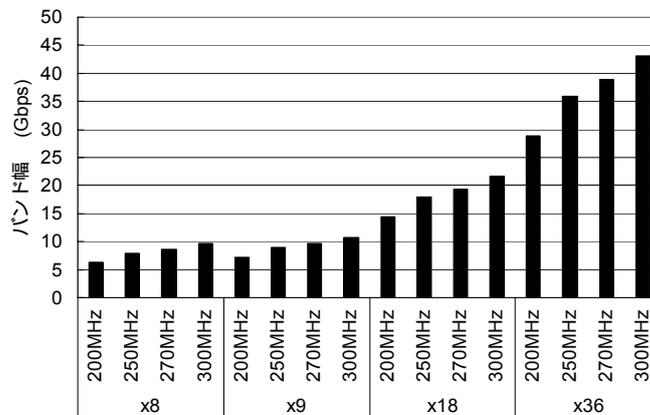
図 1-5 にタイミング・チャートを示します。

図 1-5 QB4 品のタイミング・チャート



リード・コマンドとライト・コマンドをサイクルごとに交互に入力する場合に、バンド幅は最大になります(図 1-2 参照)。図 1-6 にビット構成、クロック周波数による QB4 品のバンド幅の違いを示します。

図 1-6 QB4 品のバンド幅



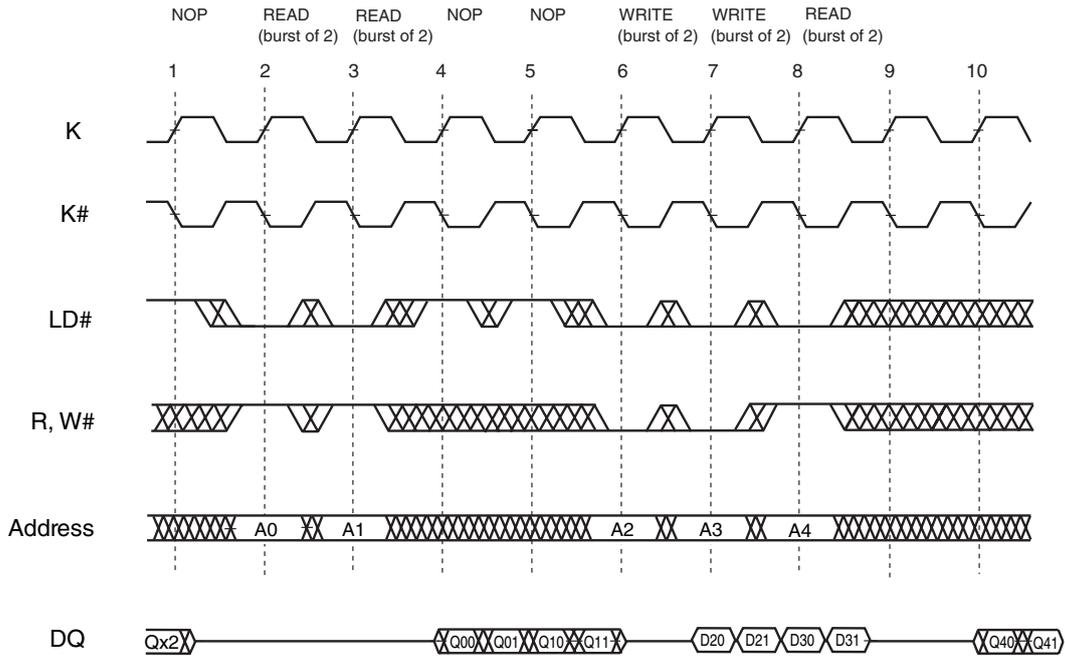
(3) DDR CIO パースト2品 (DB2 CIO)

データ・ポートが入力と出力を兼ねており、入力されたコマンドをシリアルに処理するパースト2の製品です。

リード・コマンドまたはライト・コマンドの入力および、そのコマンドに対応するアドレスの入力は、入力クロック信号Kの立ち上がりエッジで入力する必要があります。データ・ポートが入力と出力を兼ねていることから、読み出し動作から書き込み動作に切り替わる場合に、NOP サイクル(図 1-7の4サイクル目)の挿入が必要となります。2番目のNOPサイクル(図 1-7の5サイクル目)については、製品の動作上必ずしも必要ありませんが、動作周波数が高い場合、バスの競合を防ぐために挿入することを推奨します。

図 1-7 にタイミング・チャートを示します。

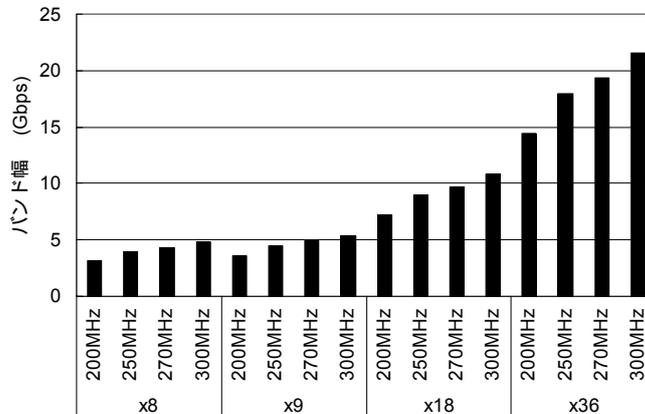
図 1-7 DB2 CIO 品のタイミング・チャート



リード・コマンドが連続する場合、またはライト・コマンドが連続する場合に、NOP サイクルの挿入が不要となり、バンド幅が最大になります(図 1-2 参照)

図 1-8 にビット構成、クロック周波数による DB2 CIO 品のバンド幅の違いを示します。

図 1-8 DB2 CIO 品のバンド幅



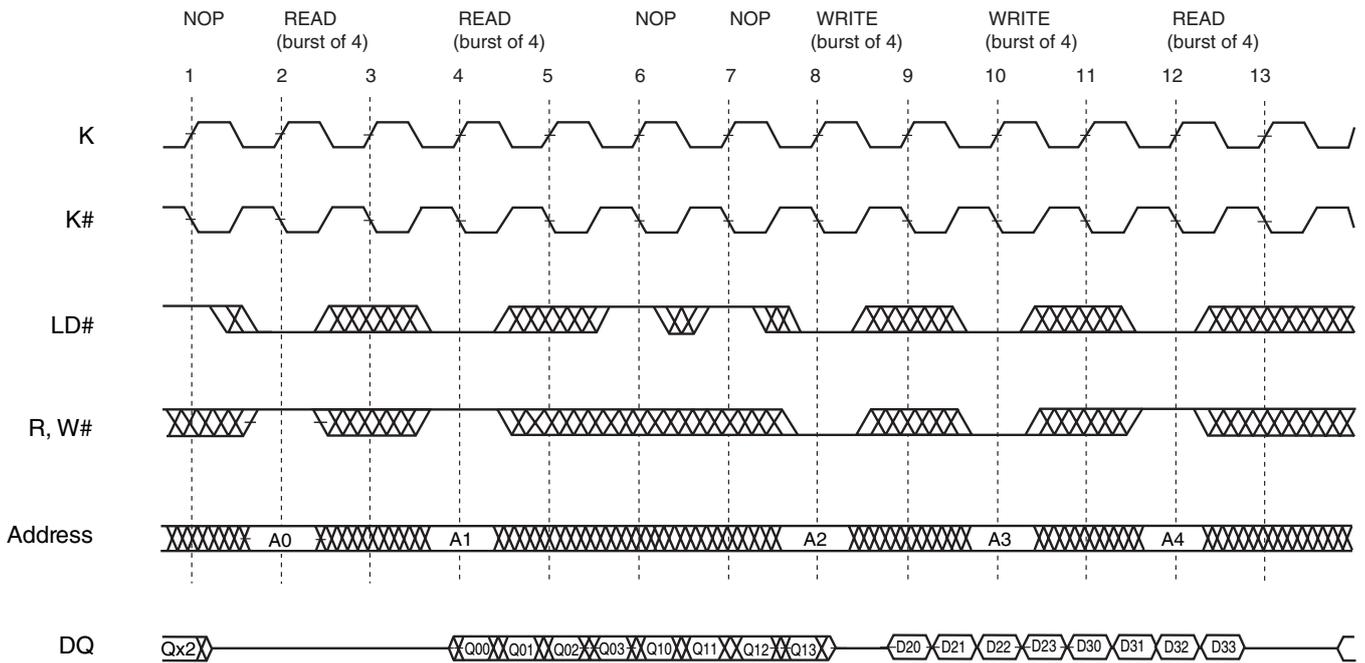
(4) DDR CIO バースト4品 (DB4 CIO)

データ・ポートが入力と出力を兼ねており、入力されたコマンドをシリアルに処理するバースト4の製品です。

リード・コマンドまたはライト・コマンドの入力および、そのコマンドに対するアドレスの入力は、入力クロック信号Kの立ち上がりエッジで入力する必要があります。バースト4品は、読み出し動作と書き込み動作ともに2サイクル分の期間を要するため、同一のコマンドを2サイクル連続して入力することはできません。データ・ポートが入力と出力を兼ねていることから、読み出し動作から書き込み動作に切り替わる場合、NOP サイクル(図1-9の6サイクル目)の挿入が必要となります。2番目のNOP サイクル(図1-9の7サイクル目)については、製品動作上必ずしも必要ありませんが、動作周波数が高い場合、バスの競合を防ぐために挿入することを推奨します。

図1-9にタイミング・チャートを、表1-6にコマンド入力の制限を示します。

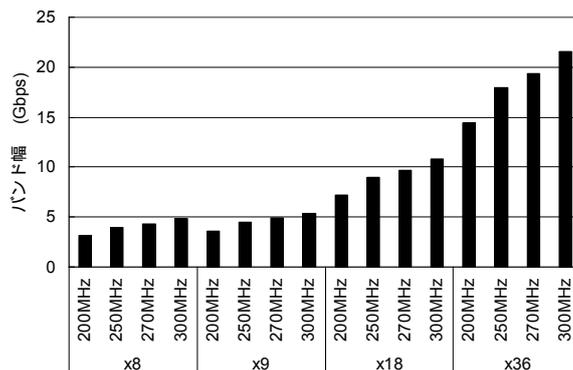
図1-9 DB4 CIO品のタイミング・チャート



リード・コマンドが連続する場合、またはライト・コマンドが連続する場合には、NOP サイクルの挿入が不要となり、バンド幅が最大になります(図1-2参照)。

図1-10にビット構成、クロック周波数によるDB4 CIO品のバンド幅の違いを示します。

図1-10 DB4 CIO品のバンド幅

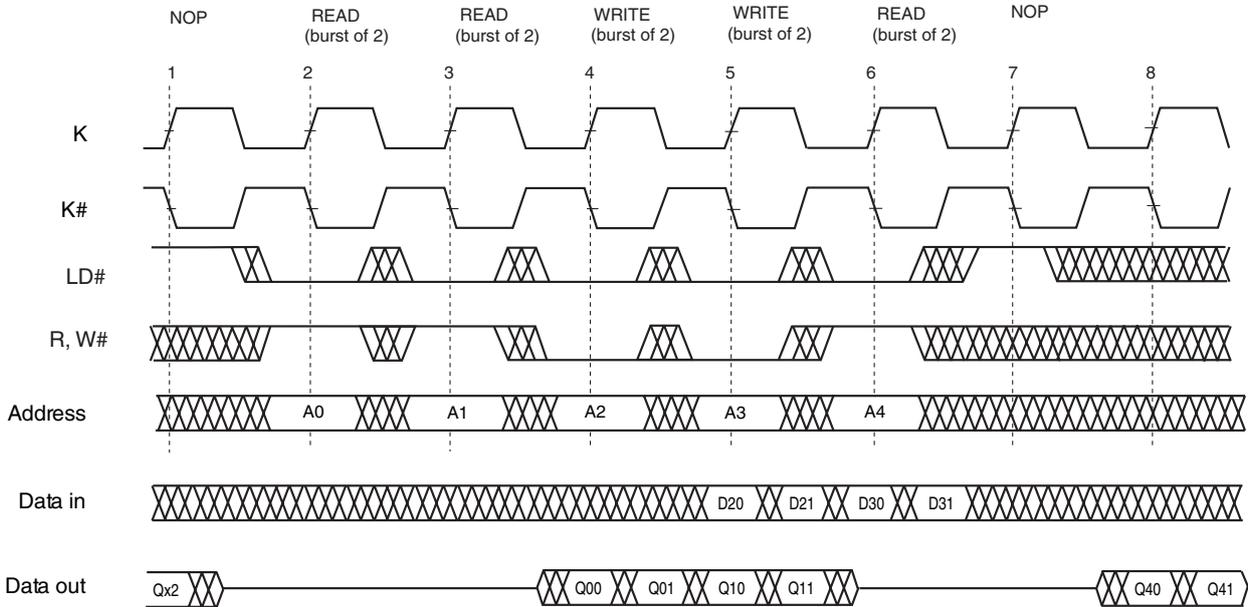


(5) DDR SIO バースト 2 品 (DB2 SIO)

QDR と同様に入力用のデータ・ポートと出力用のデータ・ポートが分離独立しているバースト 2 の製品です。ただし、QB2 品とは異なり、入力されたコマンドをシリアルに処理します。リード・コマンドまたはライト・コマンドの入力および、そのコマンドに対するアドレスの入力は、入力クロック信号 K の立ち上がりエッジで入力する必要があります。

図 1 - 11 にタイミング・チャートを示します。

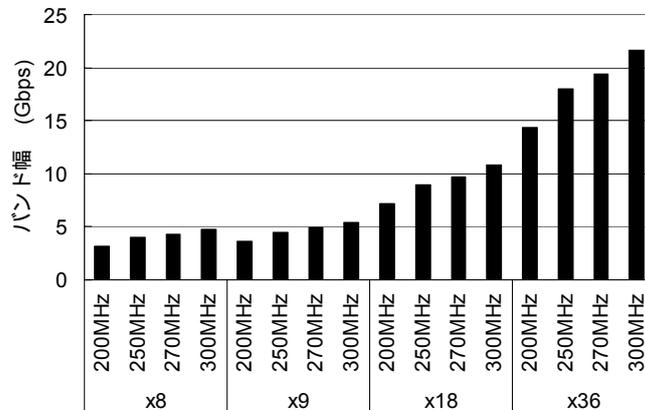
図 1 - 11 DB2 SIO 品のタイミング・チャート



入力用のデータ・ポートと出力用のデータ・ポートが分離独立していることから、バス上でデータが競合することはありません。DDR CIO 品において要求される、読み出し動作から書き込み動作に切り替わる場合の NOP サイクルは不要です。したがって、読み出し動作と書き込み動作の比率によらずバンド幅は一定となります (図 1 - 2 参照)。

図 1 - 12 にビット構成、クロック周波数による DB2 SIO 品のバンド幅の違いを示します。

図 1 - 12 DB2 SIO 品のバンド幅



### 1.1.6 端子機能説明

QDR, DDR の端子機能について説明します。

表 1-3 全製品共通端子 (1/2)

端子名	タイプ	端子機能
A, A0, A1	Input	シンクロナス・アドレス入力。 アドレス信号の入力端子です。読み出し動作や書き込み動作においてデータを読み出す、もしくは書き込むアドレスを指定します。 なお、アドレス信号 A0, A1 は、DDR CIO 品の x18 品と x36 品のリニア・パースト動作におけるランダム・スタート・アドレスの下位アドレスとして使用します。
BWx#, NWx#	Input	シンクロナス・バイト・ライト・データ・セレクト入力 (x8 品はニブル・ライト) バイト単位もしくはニブル単位での書き込み動作を制御するための端子です。 バイト・ライト (x9, x18, x36 品) またはニブル・ライト (x8 品) または書き込み動作なしを選択します。バイト・ライトもしくはニブル・ライトを選択する場合、BWx#端子もしくは NWx#端子に LOW レベルを入力してください。BWx#端子または NWx#端子に HIGH レベルを入力すると、バイト単位またはニブル単位で書き込み動作を無効にすることができます。動作については各製品のデータ・シートのバイト・ライト動作を参照してください。
K, K#	Input	入力クロック 各信号の入出力タイミングの基準となるクロック信号の入力端子です。コマンド信号、アドレス信号、ライトデータといった入力信号は、入力クロック信号 K, K#の立ち上がりエッジに同期して入力する必要があります。なお、入力クロック信号 K, K#は互いに 180 度の位相差で入力する必要があります。
C, C#	Input	出力クロック SIO 品の Q 端子または CIO 品の DQ 端子の出力データ信号やシンクロナス・エコー・クロック出力信号 CQ, CQ#の出力タイミングを調整するためのクロック信号の入力端子です。出力クロック信号 C, C#は TKHCH の範囲で K, K#に対して遅らせることが可能です。出力タイミングの調整が不要な場合は、出力クロック信号 C, C#の入力を HIGH レベルに固定してください。この場合には、Q 端子または DQ 端子の出力データ信号やシンクロナス・エコー・クロック出力信号 CQ, CQ#の出力タイミングは入力クロック信号 K, K#に対して決まります。なお、出力クロック信号 C, C#は互いに 180 度の位相差で入力する必要があります。また、出力クロック信号 C, C#と入力クロック信号 K, K#のクロック入力周波数は同一にする必要があります。
CQ, CQ#	Output	シンクロナス・エコー・クロック出力 QDR, DDR が出力するクロック信号の出力端子です。シンクロナス・エコー・クロック出力信号 CQ, CQ#は、出力データ信号と同タイミングで出力する出力データ信号参照用のクロック信号です。周波数はクロック入力信号 (出力クロック信号 C, C#または入力クロック信号 K, K#) と一致します。Q 端子, DQ 端子の状態に関わらず、シンクロナス・エコー・クロック出力信号 CQ, CQ#はクロック動作します。出力クロック信号 C, C#がクロック動作を停止した場合 (出力クロック信号 C, C#を用いない時は、入力クロック信号 K, K#がクロック動作を停止した場合)、シンクロナス・エコー・クロック出力信号 CQ, CQ#もクロック動作を停止します。

表 1-3 全製品共通端子 (2/2)

端子名	タイプ	端子機能
ZQ	Input	出力インピーダンス・マッチング入力 出力インピーダンスを調整するための端子です。設定したい出力インピーダンス値の 5 倍の抵抗値 RQ を ZQ 端子と VSS の間に接続してください。データ出力端子 (Q 端子, DQ 端子), CQ 端子, CQ# 端子の出力インピーダンス値を, IC 内部で自動的に 0.2 x RQ に調整します。
DLL#	Input	DLL/PLL ディセーブル入力 IC 内部の DLL/PLL 回路を無効にする端子です。 DLL#端子 = LOW の場合, DLL/PLL 回路が無効となり, TKHKH (MAX.) で制限されるより遅いクロック周波数で動作させることが可能になります。ただし, AC/DC 特性は保証されません。 通常は, DLL#端子 = HIGH として DLL/PLL 回路を有効にしてください。
TMS	Input	IEEE1149.1 テスト入力 JTAG 機能を使用する際の JTAG テスト・モードの選択用端子です。TAP コントローラに入力するコマンドを入力してください。JTAG 機能を使用しない場合は, 開放状態にしても問題ありませんが, 通常は 1kΩ 程度の抵抗で V <sub>DD</sub> に接続する事を推奨します。
TDI	Input	IEEE1149.1 テスト入力 JTAG 機能を使用する際の JTAG テスト・データの入力用端子です。JTAG インストラクション・レジスタおよびデータ・レジスタに入力するシリアル・データを入力します。JTAG 機能を使用しない場合は, 開放状態にしても問題ありません。
TCK	Input	IEEE1149.1 クロック入力 JTAG 機能を使用する際の JTAG テスト用のクロック入力端子です。TCK の立ち上がりエッジで TMS 端子と TDI 端子の入力信号が取り込まれ, TCK の立ち下がりエッジで TDO 端子にデータ出力が開始されます。JTAG 機能を使用しない場合は, V <sub>SS</sub> に接続する必要があります。
TDO	Output	IEEE1149.1 テスト出力 JTAG 機能を使用する際の JTAG テスト用のデータ出力端子です。JTAG 機能を使用しない場合は, 開放状態にする必要があります。
V <sub>REF</sub>	Supply	HSTL 入力参照電圧 HSTL インタフェースの入力参照用の電圧印加用端子です。
V <sub>DD</sub>	Supply	電源電圧 製品の電源電圧印加用の端子です。
V <sub>DDQ</sub>	Supply	電源電圧 出力バッファ用の電源電圧印加用端子です。
V <sub>SS</sub>	Supply	電源電圧 V <sub>SS</sub> 接地用の端子です。
NC		ノーコネクション IC 内部に接続されていない端子です。

表 1-4 QDR 製品固有の端子

端子名	タイプ	端子機能
R#	Input	シンクロナス・リード入力 読み出し動作の選択を制御するための端子です。データを読み出す場合にはR#端子 = LOW とします。 R#端子 = HIGH とした場合には、読み出し動作を行いません。
W#	Input	シンクロナス・ライト入力 書き込み動作の選択を制御するための端子です。データを書き込む場合はW#端子 = LOW とします。 W# = HIGH とした場合には、書き込み動作を行いません。

表 1-5 QDR , DDR (SIO 品) 製品固有の端子

端子名	タイプ	端子機能
D0-Dxx	Input	シンクロナス・データ入力 データ入力端子です。書き込むデータを D0-Dxx 端子に入力します。 QB4 品の場合、ライト・コマンド入力時のアドレスに対して、1 サイクル後の入力クロック信号 K の立ち上がりエッジからデータを入力することにより、データが書き込まれます。バースト・データは連続する入力クロック信号 K、K#の立ち上がりエッジごとに入力します。 QB2 品の場合、ライト・コマンド入力時の入力クロック信号 K の立ち上がりエッジと入力クロック信号 K#の立ち上がりエッジに合わせてデータを入力します。なお、書き込むアドレスは、入力クロック信号 K#の立ち上がりエッジに合わせて入力します。 DDR SIO 品の場合、ライト・コマンド入力時のアドレスに対して、1 サイクル後の入力クロック信号 K の立ち上がりエッジからデータを入力します。バースト・データは連続する入力クロック信号 K、K#の立ち上がりエッジごとに入力します。
Q0-Qxx	Output	シンクロナス・データ出力 データ出力端子です。読み出すデータを Q0-Qxx 端子に出力します。 QDR の場合、リード・コマンド入力時のアドレスのデータが、1.5 クロック後から出力されます。バースト・データは連続する入力クロック信号 K、K#の立ち上がりエッジごとに出されます。 DDR SIO 品の場合、リード・コマンド入力時のアドレスのデータが、1.5 クロック後から出力されます。バースト・データは連続する入力クロック信号 K、K#の立ち上がりエッジごとに出されます。

表 1-6 DDR 製品固有の端子

端子名	タイプ	端子機能
LD#	Input	<p>シンクロナス・ロード入力</p> <p>アドレス入力とコマンドの入力を制御するための端子です。アドレス入力とリード・コマンドまたはライト・コマンドの入力を確定する場合, LD#端子 = LOW としてください。LD#端子 = HIGH の場合, NOP サイクルとなります。</p> <p>DB4 品では, LD#端子 = LOW となった次のサイクルの LD#端子の入力は無視されます。</p>
R,W#	Input	<p>シンクロナス・リード/ライト入力</p> <p>LD#端子とともに読み出し動作と書き込み動作を選択する端子です。データを読み出す場合は LD#端子 = LOW , R,W#端子 = HIGH に, データを書き込む場合は LD#端子 = LOW , R,W#端子 = LOW にしてください。</p> <p>DB4 品では, LD#端子 = LOW となった次のサイクルの R,W#端子の入力は無視されます。</p>

表 1-7 DDR (CIO 品) 製品固有の端子

端子名	タイプ	端子機能
DQ0-DQxx	Input/Output	<p>シンクロナス・データ入出力</p> <p>データの入力と出力を兼用する端子です。</p> <p>読み出し動作: LD#端子 = LOW , R,W#端子 = HIGH の時のアドレスのデータが, 1.5 クロック後から出力されます。バースト・データは連続する入力クロック信号 K, K#の立ち上がりエッジごとに出力されます。</p> <p>書き込み動作: LD#端子 = LOW , R,W#端子 = LOW の時のアドレスに対して, 1 サイクル後からデータを入力します。バースト・データは連続する入力クロック信号 K, K#の立ち上がりエッジごとに入力します。</p>

### 1.1.7 出力データとシンクロナス・エコー・クロック

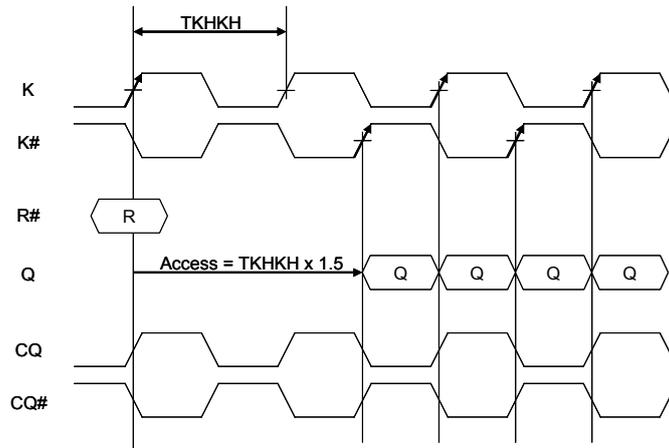
QDR, DDR は、クロック信号として入力クロック信号 K, K#の1組のみを用いる方法 (シングル・クロック・モード) と、入力クロック信号 K, K#および出力クロック信号 C, C#の2組を用いる方法 (デュアル・クロック・モード) をサポートしています。

#### (1) シングル・クロック・モード

シングル・クロック・モードでは、K, K#の立ち上がりエッジに対して Q と CQ, CQ#の出力タイミングが決まります (図 1-13 参照)。

この時 C, C#は HIGH レベルに固定してください。

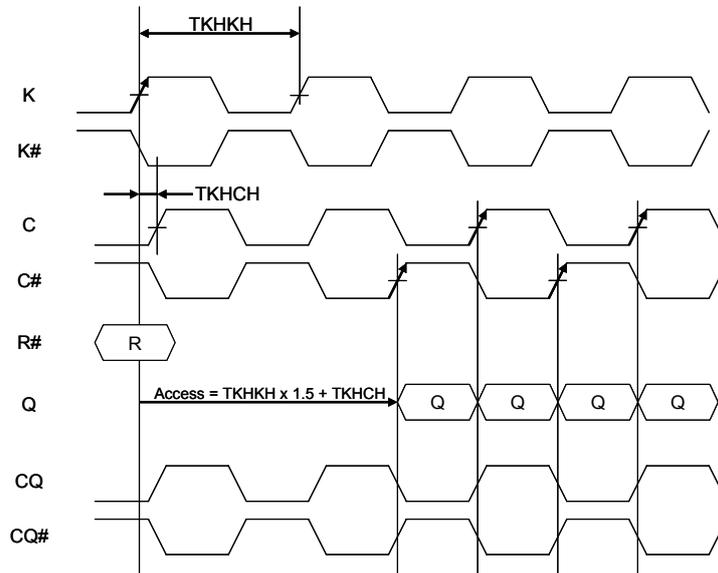
図 1-13 シングル・クロック・モードのタイミング・チャート



#### (2) デュアル・クロック・モード

デュアル・クロック・モードでは、C, C#の立ち上がりエッジに連動させることにより、Q と CQ, CQ#の出力タイミングを調整することができます。シングル・クロック・モードでは Q と CQ, CQ#の出力タイミングは K, K#に対して決まりますが、デュアル・クロック・モードでは C, C#を用いて、Q と CQ, CQ#の出力タイミングを K, K#に対して遅らせる方向に調整することが可能となります。その場合、TKHCH のスペックを満足する必要があります (図 1-14 参照)。

図 1-14 デュアル・クロック・モードのタイミング・チャート



### 1.1.8 HSTL インタフェースと VREF

QDR, DDR は入出力インタフェースとして HSTL (High Speed Transceiver Logic) インタフェースを採用しています。HSTL インタフェースは参照電圧 ( $V_{REF}$ ) に対する差電位によってハイ・レベルおよびロウ・レベルを判定するインタフェースです。したがって、HSTL インタフェースでは  $V_{REF}$  電源の供給が必要となり、通常  $V_{REF} = V_{DD}Q/2$  近傍で使用します。

動作中に  $V_{REF}$  の電圧が変動すると、入力信号の入力レベルを正しく判定できず、誤動作を招く恐れがありますので、安定した電圧を  $V_{REF}$  に供給してください。

## 第2章 電源投入

### 2.1 電源投入方法

QDR, DDR には, 5 種類の電源投入方法があります。本章では,  $V_{DD}$  と  $V_{DDQ}$  が安定したあとにクロックを開始する方法と  $V_{DD}$  と  $V_{DDQ}$  が安定する前にクロックを開始する方法に分けて説明します。

**備考** 安定した  $V_{DD}$  と  $V_{DDQ}$  とは, 電圧変動が  $\pm 0.1\text{ V DC}/50\text{ ns}$  以下と規定しています。

#### 2.1.1 $V_{DD}$ と $V_{DDQ}$ が安定したあとにクロックを開始する場合

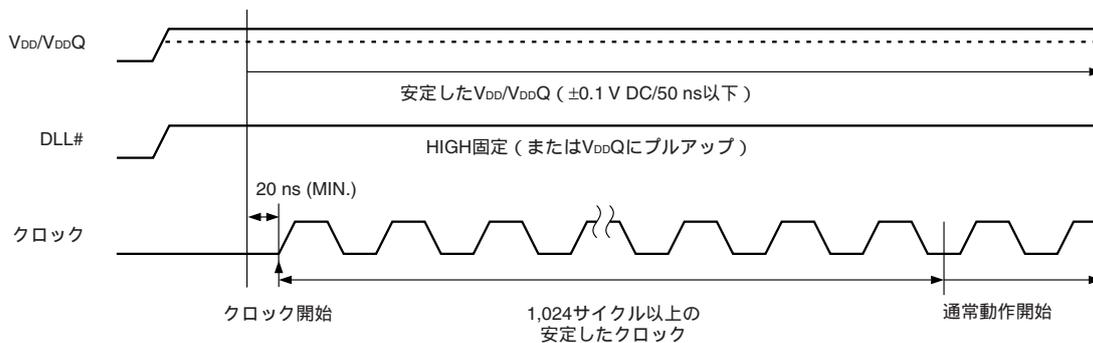
$V_{DD}$  と  $V_{DDQ}$  が安定したあとにクロックを開始する場合には, 3 種類の電源投入方法があります。

##### (1) クロック開始直後からクロック入力信号が安定している場合

次の手順で電源を投入してください。

- ・  $V_{SS}$ ,  $V_{DD}$ ,  $V_{DDQ}$ ,  $V_{REF}$  の順に電源を印加します。
- ・ DLL# 端子に HIGH レベルを入力します。
- ・  $V_{DD}$ ,  $V_{DDQ}$  の電圧が安定後, 20 ns 以上経過したあとに, クロック入力信号を入力します。  
なお, この場合のクロック入力信号は, 入力直後から振幅と周波数が安定しているものとします。
- ・ 1,024 サイクル以上の安定したクロック信号を入力したあとに, 通常の動作を開始することができます。

図 2 - 1  $V_{DD}$ ,  $V_{DDQ}$  の電圧が安定したあとに, 安定したクロック入力を開始する場合の電源投入方法

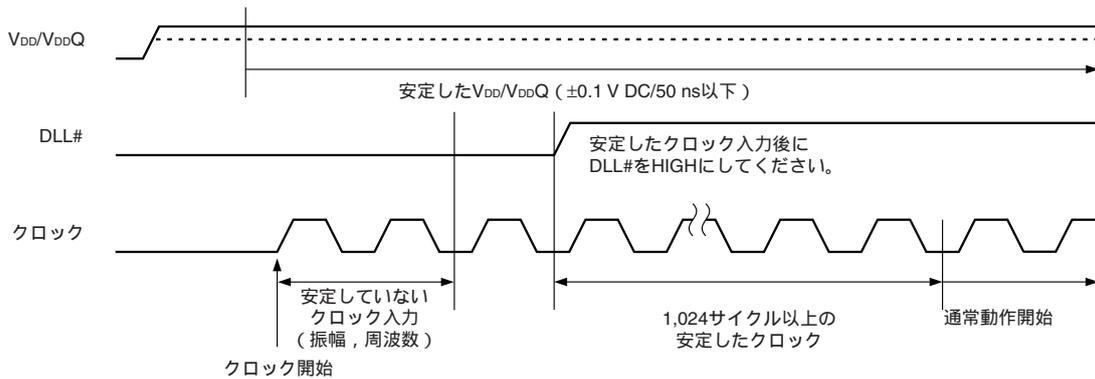


(2) クロック開始時のクロック入力信号が不安定な場合 (DLL#制御)

次の手順で電源を投入してください。

- ・  $V_{SS}$ ,  $V_{DD}$ ,  $V_{DDQ}$ ,  $V_{REF}$  の順に電源を印加します。
- ・  $V_{DD}$ ,  $V_{DDQ}$  の電圧が安定したあとにクロック入力信号を入力します。
- ・ クロック入力信号が安定したあと, DLL#端子に HIGH レベルを入力します。
- ・ 1,024 サイクル以上の安定したクロック信号を入力したあとに, 通常の動作を開始することができます。

図 2-2  $V_{DD}$ ,  $V_{DDQ}$  の電圧が安定したあとに, 不安定なクロック入力を開始する場合の電源投入方法 (DLL#制御)

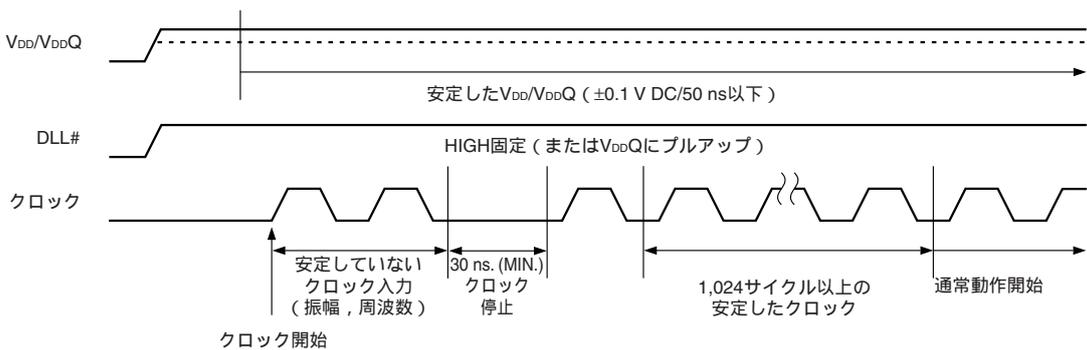


(3) クロック開始時のクロック入力信号が不安定な場合 (クロック制御)

次の手順で電源を投入してください。

- ・  $V_{SS}$ ,  $V_{DD}$ ,  $V_{DDQ}$ ,  $V_{REF}$  の順に電源を印加します。
- ・ DLL#端子に HIGH レベルを入力します。
- ・  $V_{DD}$ ,  $V_{DDQ}$  の電圧が安定したあとにクロック入力信号を入力します。
- ・ クロック入力信号が不安定な場合, いったんクロック動作を停止します (30 ns 以上停止)
- ・ クロック再開後, 1,024 サイクル以上の安定したクロック信号を入力したあとに, 通常の動作を開始することができます。

図 2-3  $V_{DD}$ ,  $V_{DDQ}$  の電圧が安定したあとに, 不安定なクロック入力を開始する場合の電源投入方法 (クロック制御)



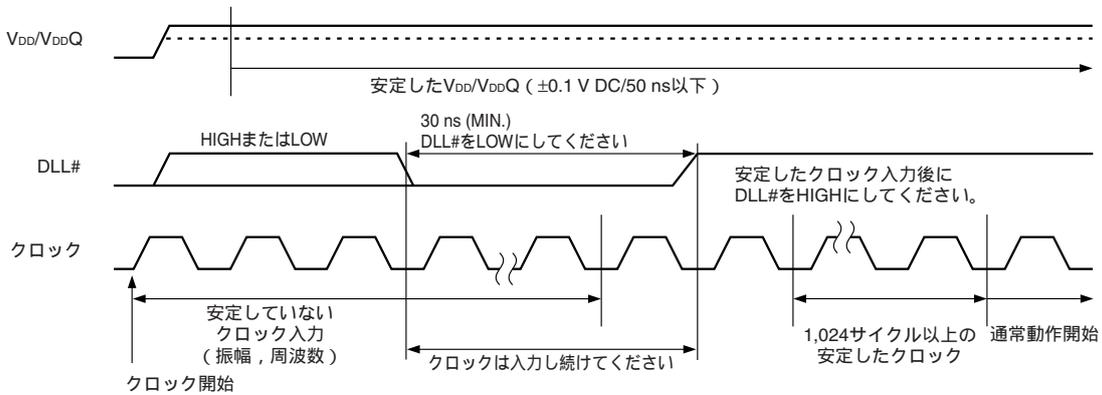
## 2.1.2 V<sub>DD</sub> と V<sub>DDQ</sub> が安定する前にクロックを開始する場合

### (1) クロック開始時のクロック入力信号が不安定な場合 (DLL#制御)

次の手順で電源を投入してください。

- ・クロック入力信号を入力します。
- ・V<sub>SS</sub>, V<sub>DD</sub>, V<sub>DDQ</sub>, V<sub>REF</sub> の順に電源を印加します。
- ・DLL#端子の入力はHIGH レベルでもLOW レベルでもかまいません。
- ・不安定なクロック信号が入力される場合には、クロック動作を維持したまま DLL#端子に 30 ns 以上 LOW レベルを入力してください。
- ・クロック入力信号が安定したあとに、DLL#端子に HIGH レベルを入力します。
- ・1,024 サイクル以上の安定したクロック信号を入力したあとに、通常の動作を開始することができます。

図 2-4 V<sub>DD</sub>, V<sub>DDQ</sub> の電圧が安定する前に、不安定なクロック入力を開始する場合の電源投入方法 (DLL#制御)

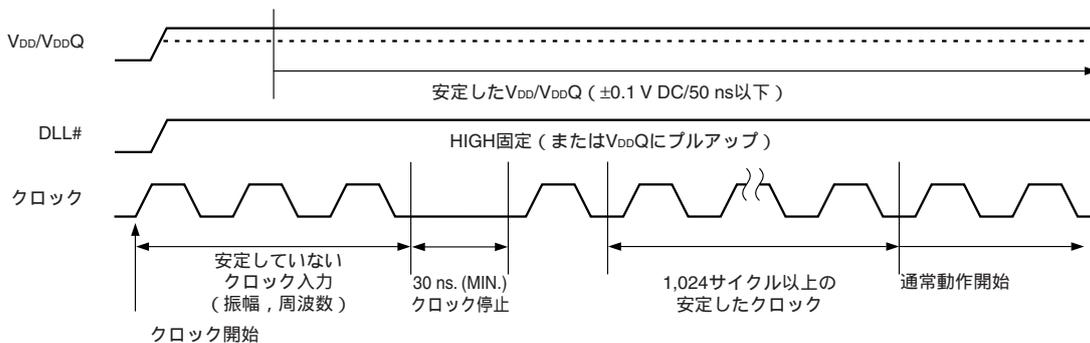


### (2) クロック開始時のクロック入力信号が不安定な場合 (クロック制御)

次の手順で電源を投入してください。

- ・クロック入力信号を入力します。
- ・V<sub>SS</sub>, V<sub>DD</sub>, V<sub>DDQ</sub>, V<sub>REF</sub> の順に電源を印加します。
- ・DLL#端子に HIGH レベルを入力します。
- ・不安定なクロック信号が入力される場合には、いったんクロック動作を停止します (30 ns 以上停止)。
- ・クロック再開後、1,024 サイクル以上の安定したクロック信号を入力したあとに、通常の動作を開始することができます。

図 2-5 V<sub>DD</sub>, V<sub>DDQ</sub> の電圧が安定する前に、不安定なクロック入力を開始する場合の電源投入方法 (クロック制御)



## 第3章 DLL 回路と PLL 回路

### 3.1 DLL 回路と PLL 回路の搭載

QDR, DDR は, DLL 回路もしくは PLL 回路 (以後 DLL/PLL 回路) を搭載しています。NEC エレクトロニクスの製品では PLL 回路を採用していますが, データ・シート上の端子名は DLL# となっています。

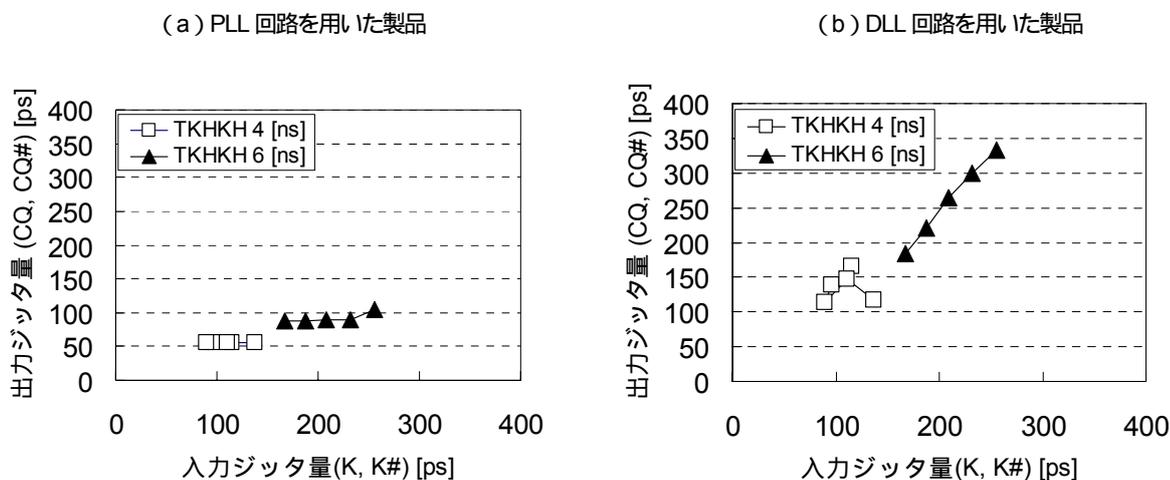
DLL/PLL 回路を用いることで, IC 内部の制御用のクロック信号を生成し, これを用いてデータ出力 Q, DQ やシンクロナス・エコー・クロック出力 CQ, CQ# の出力タイミング精度を向上させています。ただし, DLL/PLL 回路の搭載により, 最低動作周波数は TKHKH (MAX.) に制限されます。

#### 3.1.1 PLL 回路のメリット

PLL 回路は, DLL 回路に比べ, 出力ジッタを小さく抑えることが可能です。このため, PLL 回路を用いた製品は, DLL 回路を用いた製品に比べ, 出力データの有効データ・ウィンドウをより確保することができます。

図 3-1 に PLL 回路を用いた製品と DLL 回路を用いた製品の入力ジッタ量に対する出力ジッタ量の依存性を示します。PLL 回路を用いた製品では, 出力ジッタ量は入力ジッタ量にほとんど依存せず一定となり, DLL 回路を用いた製品に比べて出力ジッタ量は小さくなっています。この理由により, NEC エレクトロニクスの QDR, DDR では, PLL 回路を採用しています。

図 3-1 入力ジッタ量に対する出力ジッタ量の依存性



#### 3.1.2 DLL/PLL 回路の無効化

低速でのシステムの動作確認などを行う場合, DLL#端子 = LOW にすることで DLL/PLL 回路を無効にし TKHKH (MAX.) の制限より遅いクロック周波数で動作させることができます。ただし, リード・レーテンシは通常動作の場合と変わらず 1.5 ですが, AC/DC 特性は保証されません。

なお, 通常動作の場合は DLL#端子 = HIGH とし, DLL/PLL 回路を有効にしてください。

### 3.1.3 動作周波数の変更

動作周波数を変更する場合は、DLL/PLL 回路をリセットする必要があります。DLL/PLL 回路をリセットする方法には、(1) 電源を OFF にする方法と(2) クロック・ストップを行う方法があります。どちらの方法を用いた場合でも、動作周波数を変更したあとは、通常動作を開始する前に 1,024 サイクル以上の安定したクロック信号の入力が必要です。

#### (1) 電源を OFF にする方法

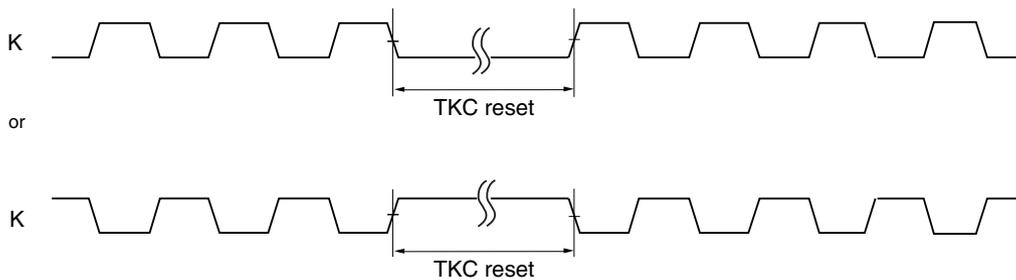
QDR, DDR の電源をいったん OFF にして、DLL/PLL 回路をリセットします。2.1 電源投入方法に従って QDR, DDR を再起動し、希望の動作周波数を設定してください。

#### (2) クロック・ストップを行う方法

QDR, DDR の電源を OFF にすることなく、クロック・ストップにより、DLL/PLL 回路をリセットします。入力クロック信号 K, K#を TKC reset (MIN.) の期間、停止することで、DLL/PLL 回路をリセットします。

以下に、クロック・ストップの手順を記載します。なお、IC 内部におけるリセットの判定は、入力クロック信号 K, K#のうち、入力クロック信号 K のみを用いています。

図 3-2 クロック・ストップ時の入力クロック信号 K の波形イメージ



#### (a) クロック・ストップの実行

入力クロック信号のクロック動作を停止するまでに、データ書き込み動作及び読み出し動作が完了するように、コマンドを入力します。クロック動作を停止するまでの間は、誤動作を回避するために NOP サイクルとしてください。

コマンドの動作が完了する前に、入力クロックを停止した場合、データは保証されません。

#### (b) クロック・ストップからの復帰

入力クロック信号のクロック動作停止状態からクロック動作を再開したあと、DLL/PLL ロック時間 TKC lock (MIN.) 以上の安定したクロック信号を入力してください。その後、通常の動作を開始することができます。

なお、DLL/PLL ロック時間中は、誤動作を回避するために NOP サイクルにしてください。

なお、シンクロナス・エコー・クロック出力信号 CQ, CQ#は、クロック・ストップに連動しクロック動作を停止し、クロック・ストップからの復帰後にクロック動作を再開します。

## 第4章 出力インピーダンス・マッチング

QDR,DDRは,出力インピーダンスを調整する機能を持つCID回路( Controlled Impedance Drivers )を搭載しています。CID回路により,出力端子のインピーダンスと伝送線路のインピーダンスを整合することができます。このインピーダンス整合により,出力信号波形のひずみを抑えることができます。

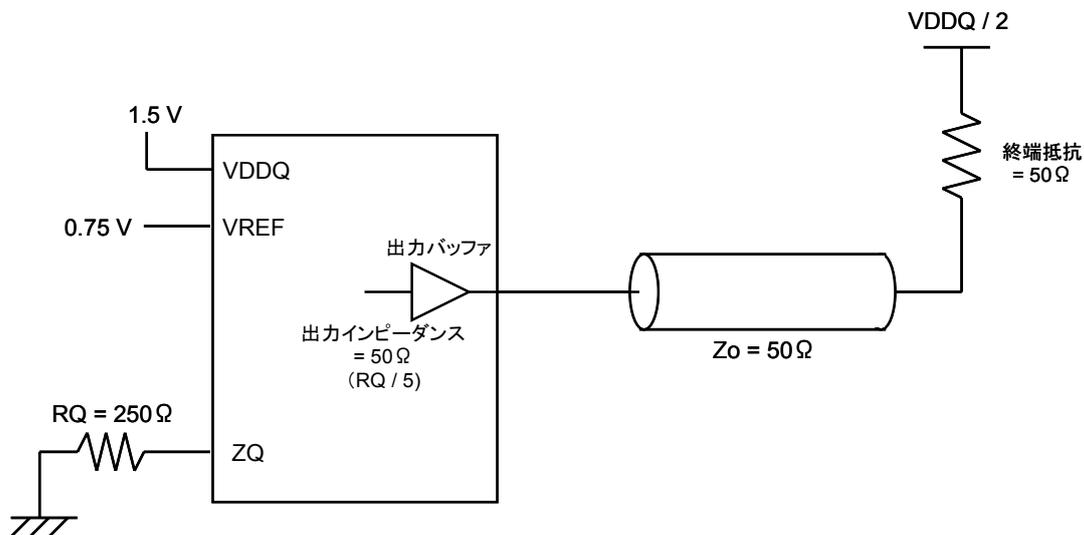
### 4.1 出力インピーダンスの調整

出力インピーダンスは,ZQ 端子と  $V_{SS}$  の間に接続する抵抗の値で調整することができます。設定したい出力インピーダンスの5倍の抵抗  $RQ$  を ZQ 端子と  $V_{SS}$  の間に接続してください。

たとえば,伝送線路のインピーダンス ( $Z_0$ ) が  $50\ \Omega$  の場合,ZQ に接続する抵抗の値を  $250\ \Omega$  にすることで,QDR,DDR の出力インピーダンスは  $50\ \Omega$  に設定されます。

設定可能な出力インピーダンスの範囲は  $35\sim 70\ \Omega$  です。ZQ 端子を直接  $V_{SS}$  に接地したり,開放状態にして使用することはできません。設定している出力インピーダンスを変更する場合は,電源をいったんOFFにして,ZQ 端子に接続する抵抗を変更したあとに,再度電源を立ち上げてください。

図 4-1 出力インピーダンスの設定例



# 第5章 終端抵抗

## 5.1 終端抵抗の効果

信号線を終端することは、信号波形のひずみを抑える効果があります。QDR, DDR の出力端子につながる信号線の遠端部を終端することでコントローラに入力する信号波形への反射波を抑えることが可能になります。また、同様にコントローラの出力端子につながる信号線の遠端部を終端することで QDR, DDR に入力する信号波形への反射波を抑えることが可能になります。4.1 出力インピーダンスの調整に記載の CID 回路による出力インピーダンスの調整とこの終端の併用により、信号波の品質をさらに向上させることが可能になります。

**注意** QDR, DDR の AC 特性は、シンクロナス・データ出力端子 (Q または DQ) とシンクロナス・エコー・クロック出力信号端子 (CQ, CQ#) が終端されている条件で規定しています。

図 5-1 に終端した場合の信号波の伝達イメージを示します。QDR, DDR とメモリ・コントローラをつなぐ伝送線を終端することで、信号波の反射波を抑えることができます。

図 5-1 終端した場合の信号波の伝達イメージ

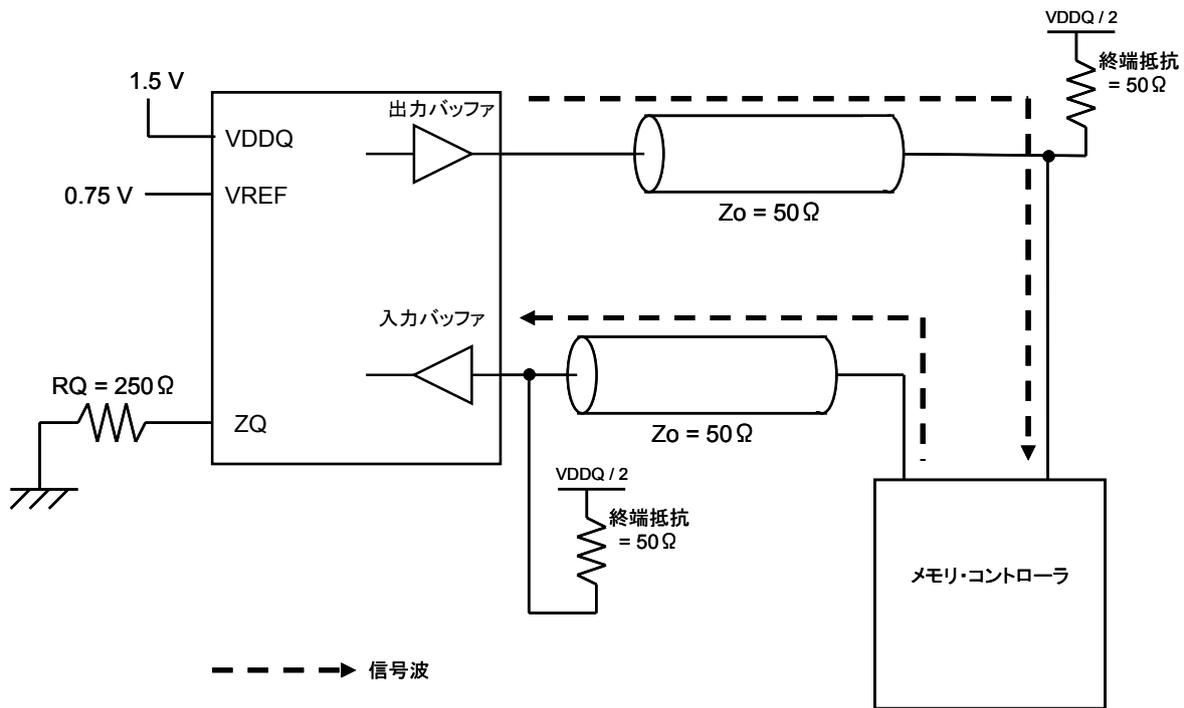
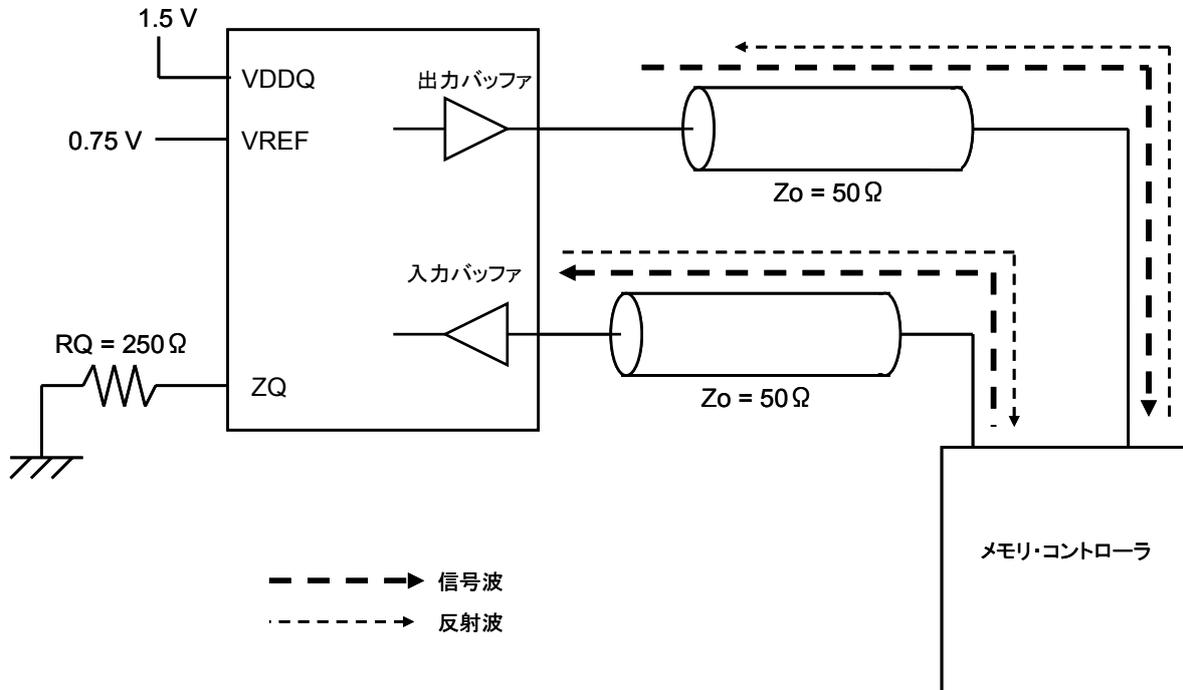


図 5 - 2 に終端しない場合の信号波の伝達イメージを示します。伝送線を終端していないため、信号波の反射波を抑えることができず、信号波の品質低下を招く恐れがあります。

図 5 - 2 終端しない場合の信号波の伝達イメージ



(メモ)

〔メモ〕

(メモ)

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

---

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。