

RL78/I1D

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

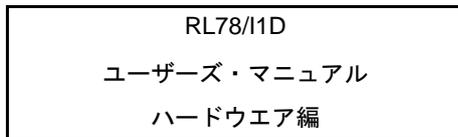
このマニュアルの使い方

対象者 このマニュアルはRL78/I1Dの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

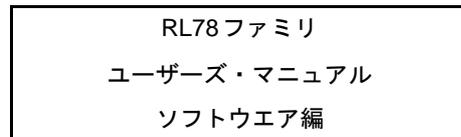
- 20ピン： R5F1176x (x = 8, A)
- 24ピン： R5F1177x (x = 8, A)
- 30ピン： R5F117Ax (x = 8, A, C)
- 32ピン： R5F117Bx (x = A, C)
- 48ピン： R5F117Gx (x = A, C)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/I1Dのマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→ 目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。
この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

□ RL78/I1Dマイクロコントローラの命令機能の詳細を知りたいとき

→ 別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁，右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> (端子，信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxxxB
		10進数...xxxx
		16進数...xxxxH

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/I1D ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0474E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78, 78K, V850, RX100, RX200, RX600 (RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Liteエミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	4
1.3	端子接続図(Top View)	6
1.3.1	20ピン製品	6
1.3.2	24ピン製品	7
1.3.3	30ピン製品	8
1.3.4	32ピン製品	9
1.3.5	48ピン製品	11
1.4	端子名称	12
1.5	ブロック図	13
1.5.1	48ピン製品(R5F117GC)	13
1.6	機能概要	14
2.	端子機能	16
2.1	ポート機能	16
2.1.1	20ピン製品	17
2.1.2	24ピン製品	18
2.1.3	30ピン製品	19
2.1.4	32ピン製品	20
2.1.5	48ピン製品	21
2.2	ポート以外の機能	23
2.2.1	製品別の搭載機能	23
2.2.2	機能説明	26
2.3	未使用端子の処理	28
2.4	端子ブロック図	29
3.	CPUアーキテクチャ	43
3.1	メモリ空間	44
3.1.1	内部プログラム・メモリ空間	49
3.1.2	ミラー領域	52
3.1.3	内部データ・メモリ空間	54
3.1.4	特殊機能レジスタ(SFR : Special Function Register)領域	55
3.1.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)領域	55
3.1.6	データ・メモリ・アドレッシング	56
3.2	プロセッサ・レジスタ	57
3.2.1	制御レジスタ	57
3.2.2	汎用レジスタ	60
3.2.3	ES, CS レジスタ	61
3.2.4	特殊機能レジスタ(SFR : Special Function Register)	62
3.2.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)	66
3.3	命令アドレスのアドレッシング	72
3.3.1	レラティブ・アドレッシング	72
3.3.2	イミューディエト・アドレッシング	72
3.3.3	テーブル・インダイレクト・アドレッシング	73

3.3.4	レジスタ・インダイレクト・アドレッシング	74
3.4	処理データ・アドレスに対するアドレッシング	75
3.4.1	インプライド・アドレッシング	75
3.4.2	レジスタ・アドレッシング	75
3.4.3	ダイレクト・アドレッシング	76
3.4.4	ショート・ダイレクト・アドレッシング	77
3.4.5	SFRアドレッシング	78
3.4.6	レジスタ・インダイレクト・アドレッシング	79
3.4.7	ベースト・アドレッシング	80
3.4.8	ベースト・インデクスト・アドレッシング	83
3.4.9	スタック・アドレッシング	84
4.	ポート機能	87
4.1	ポートの機能	87
4.2	ポートの構成	88
4.2.1	ポート0	89
4.2.2	ポート1	89
4.2.3	ポート2	89
4.2.4	ポート3	90
4.2.5	ポート4	90
4.2.6	ポート5	90
4.2.7	ポート6	91
4.2.8	ポート12	91
4.2.9	ポート13	91
4.3	ポート機能を制御するレジスタ	92
4.3.1	ポート・モード・レジスタ (PM _{xx})	95
4.3.2	ポート・レジスタ (P _{xx})	96
4.3.3	プルアップ抵抗オプション・レジスタ (PU _{xx})	97
4.3.4	ポート入力モード・レジスタ (PIM _{xx})	98
4.3.5	ポート出力モード・レジスタ (POM _{xx})	99
4.3.6	ポート・モード・コントロール・レジスタ (PMC _{xx})	100
4.3.7	周辺I/Oリダイレクション・レジスタ0 (PIOR0)	101
4.4	ポート機能の動作	102
4.4.1	入出力ポートへの書き込み	102
4.4.2	入出力ポートからの読み出し	102
4.4.3	入出力ポートでの演算	102
4.4.4	入出力バッファによる異電位(1.8 V系, 2.5 V系)対応	103
4.5	兼用機能使用時のレジスタの設定	106
4.5.1	兼用機能使用時の基本的な考え方	106
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	107
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	108
4.6	ポート機能使用時の注意事項	116
4.6.1	ポート・レジスタn (P _n)に対する1ビット・メモリ操作命令に関する注意事項	116
4.6.2	端子設定に関する注意事項	117
5.	オペレーション・ステート・コントロール	118
5.1	オペレーション・ステート・コントロールの構成	118
5.2	オペレーション・ステート・コントロールを制御するレジスタ	120
5.2.1	フラッシュ動作モード選択レジスタ (FLMODE)	120

5.2.2	フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)	122
5.2.3	レギュレータ・モード制御レジスタ (PMMC)	122
5.3	フラッシュ動作モードの初期設定	123
5.4	フラッシュ動作モードの遷移	124
5.5	フラッシュ動作モードの詳細	125
5.5.1	HS (高速メイン)モードの詳細	125
5.5.2	LS (低速メイン)モードの詳細	126
5.5.3	LP (低電力メイン)モードの詳細	127
5.5.4	LV (低電圧メイン)モードの詳細	128
6.	クロック発生回路	129
6.1	クロック発生回路の機能	129
6.2	クロック発生回路の構成	132
6.3	クロック発生回路を制御するレジスタ	134
6.3.1	クロック動作モード制御レジスタ (CMC)	134
6.3.2	システム・クロック制御レジスタ (CKC)	137
6.3.3	クロック動作ステータス制御レジスタ (CSC)	139
6.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	140
6.3.5	発振安定時間選択レジスタ (OSTS)	142
6.3.6	サブシステム・クロック選択レジスタ (CKSEL)	144
6.3.7	周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)	145
6.3.8	サブシステム・クロック供給モード制御レジスタ (OSMC)	149
6.3.9	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	151
6.3.10	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	152
6.3.11	中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)	153
6.3.12	周波数測定回路クロック選択レジスタ (FMCKS)	154
6.4	システム・クロック発振回路	155
6.4.1	X1 発振回路	155
6.4.2	XT1 発振回路	155
6.4.3	高速オンチップ・オシレータ	159
6.4.4	中速オンチップ・オシレータ	159
6.4.5	低速オンチップ・オシレータ	159
6.5	クロック発生回路の動作	160
6.6	クロックの制御	162
6.6.1	高速オンチップ・オシレータの設定例	162
6.6.2	X1 発振回路の設定例	164
6.6.3	XT1 発振回路の設定例	166
6.6.4	CPUクロック状態移行図	167
6.6.5	CPUクロックの移行前の条件と移行後の処理	172
6.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	177
6.6.7	クロック発振停止前の条件	179
6.7	発振子と発振回路定数	180
7.	タイマ・アレイ・ユニット	181
7.1	タイマ・アレイ・ユニットの機能	183
7.1.1	単独チャンネル動作機能	183
7.1.2	複数チャンネル連動動作機能	184
7.1.3	8ビット・タイマ動作機能(チャンネル1, 3のみ)	185
7.2	タイマ・アレイ・ユニットの構成	186

7.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	191
7.2.2	タイマ・データ・レジスタ mn (TDRmn)	193
7.3	タイマ・アレイ・ユニットを制御するレジスタ	194
7.3.1	周辺イネーブル・レジスタ 0 (PER0)	195
7.3.2	周辺リセット制御レジスタ 0 (PRR0)	196
7.3.3	タイマ・クロック選択レジスタ m (TPSm)	197
7.3.4	タイマ・モード・レジスタ mn (TMRmn)	200
7.3.5	タイマ・ステータス・レジスタ mn (TSRmn)	205
7.3.6	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	206
7.3.7	タイマ・チャンネル開始レジスタ m (TSM)	207
7.3.8	タイマ・チャンネル停止レジスタ m (TTm)	209
7.3.9	タイマ入力選択レジスタ 0 (TIS0)	210
7.3.10	タイマ出力許可レジスタ m (TOEm)	211
7.3.11	タイマ出力レジスタ m (TOm)	212
7.3.12	タイマ出力レベル・レジスタ m (TOLm)	213
7.3.13	タイマ出力モード・レジスタ m (TOMm)	214
7.3.14	ノイズ・フィルタ許可レジスタ 1 (NFEN1)	215
7.3.15	タイマ入出力端子のポート機能を制御するレジスタ	216
7.4	タイマ・アレイ・ユニットの基本ルール	217
7.4.1	複数チャンネル連動動作機能の基本ルール	217
7.4.2	8ビット・タイマ動作機能の基本ルール(チャンネル1,3のみ)	219
7.5	カウンタの動作	220
7.5.1	カウント・クロック (f _{CLK})	220
7.5.2	カウンタのスタート・タイミング	222
7.5.3	カウンタの動作	223
7.6	チャンネル出力(TOmn端子)の制御	228
7.6.1	TOmn端子の出力回路の構成	228
7.6.2	TOmn端子の出力設定	229
7.6.3	チャンネル出力操作時の注意事項	230
7.6.4	TOmnビットの一括操作	235
7.6.5	カウント動作開始時のタイマ割り込みと TOmn端子出力について	236
7.7	タイマ入力(TImn)の制御	237
7.7.1	TImnの入力回路構成	237
7.7.2	ノイズ・フィルタ	237
7.7.3	チャンネル入力操作時の注意事項	238
7.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	239
7.8.1	インターバル・タイマ/方形波出力としての動作	239
7.8.2	外部イベント・カウンタとしての動作	244
7.8.3	分周器としての動作(ユニット0のチャンネル0のみ)	248
7.8.4	入力パルス間隔測定としての動作	252
7.8.5	入力信号のハイ/ロウ・レベル幅測定としての動作	256
7.8.6	ディレイ・カウンタとしての動作	260
7.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	264
7.9.1	ワンショット・パルス出力機能としての動作	264
7.9.2	PWM機能としての動作	271
7.9.3	多重PWM出力機能としての動作	278
7.10	タイマ・アレイ・ユニット使用時の注意事項	286
7.10.1	タイマ出力使用時の注意事項	286

8.	リアルタイム・クロック2	287
8.1	リアルタイム・クロック2の機能	287
8.2	リアルタイム・クロック2の構成	287
8.3	リアルタイム・クロック2を制御するレジスタ	289
8.3.1	周辺イネーブル・レジスタ0 (PER0)	290
8.3.2	周辺イネーブル・レジスタ2 (PER2)	291
8.3.3	サブシステム・クロック供給モード制御レジスタ (OSMC)	292
8.3.4	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	294
8.3.5	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	296
8.3.6	秒カウント・レジスタ (SEC)	299
8.3.7	分カウント・レジスタ (MIN)	299
8.3.8	時カウント・レジスタ (HOUR)	300
8.3.9	日カウント・レジスタ (DAY)	302
8.3.10	曜日カウント・レジスタ (WEEK)	303
8.3.11	月カウント・レジスタ (MONTH)	304
8.3.12	年カウント・レジスタ (YEAR)	304
8.3.13	時計誤差補正レジスタ (SUBCUD)	305
8.3.14	アラーム分レジスタ (ALARMWM)	308
8.3.15	アラーム時レジスタ (ALARMWH)	308
8.3.16	アラーム曜日レジスタ (ALARMWW)	309
8.3.17	リアルタイム・クロック出力端子のポート機能を制御するレジスタ	310
8.4	リアルタイム・クロック2の動作	311
8.4.1	リアルタイム・クロック2の動作開始	311
8.4.2	動作開始後のHALT/STOPモードへの移行	312
8.4.3	リアルタイム・クロック2のカウンタ読み出し	313
8.4.4	リアルタイム・クロック2のカウンタ書き込み	315
8.4.5	リアルタイム・クロック2のアラーム設定	317
8.4.6	リアルタイム・クロック2の1 Hz出力	318
8.4.7	時計誤差補正レジスタの設定手順	319
8.4.8	リアルタイム・クロック2の時計誤差補正例	320
9.	周波数測定回路	323
9.1	周波数測定回路	323
9.2	周波数測定回路の構成	323
9.3	周波数測定回路を制御するレジスタ	324
9.3.1	周辺イネーブル・レジスタ2 (PER2)	325
9.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	326
9.3.3	周波数測定カウント・レジスタL (FMCRL)	328
9.3.4	周波数測定カウント・レジスタH (FMCRH)	328
9.3.5	周波数測定コントロール・レジスタ (FMCTL)	329
9.3.6	周波数測定回路クロック選択レジスタ (FMCKS)	330
9.4	周波数測定回路の動作	331
9.4.1	基準クロックによる周波数測定回路の設定	331
9.4.2	周波数測定回路の動作タイミング	332
10.	12ビット・インターバル・タイマ	333
10.1	12ビット・インターバル・タイマの機能	333
10.2	12ビット・インターバル・タイマの構成	333
10.3	12ビット・インターバル・タイマを制御するレジスタ	334

10.3.1	周辺イネーブル・レジスタ2 (PER2)	334
10.3.2	周辺リセット制御レジスタ2 (PRR2)	335
10.3.3	サブシステム・クロック供給モード制御レジスタ (OSMC)	336
10.3.4	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	338
10.4	12ビット・インターバル・タイマの動作	339
10.4.1	12ビット・インターバル・タイマの動作タイミング	339
10.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、 再度HALT/STOPモードへの移行	340
11.	8ビット・インターバル・タイマ	341
11.1	概要	341
11.2	入出力端子	343
11.3	レジスタの説明	343
11.3.1	8ビット・インターバル・タイマ・カウンタ・レジスタ n_i (TRT n_i) ($n = 0, 1, i = 0, 1$)	344
11.3.2	8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRT n) ($n = 0, 1$)	344
11.3.3	8ビット・インターバル・タイマ・コンペア・レジスタ n_i (TRTCMP n_i) ($n = 0, 1, i = 0, 1$)	345
11.3.4	8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMP n) ($n = 0, 1$)	345
11.3.5	8ビット・インターバル・タイマ制御レジスタ n (TRTCR n) ($n = 0, 1$)	346
11.3.6	8ビット・インターバル・タイマ分周レジスタ n (TRTMD n) ($n = 0, 1$)	347
11.4	動作説明	348
11.4.1	カウンタ・モード	348
11.4.2	タイマ動作	349
11.4.3	開始/停止タイミング	351
11.4.3.1	カウント・ソース (fsXR) 選択時	351
11.4.3.2	カウント・ソース (fsXR/2 ^m) 選択時	353
11.4.4	コンペア・レジスタ値の反映タイミング	355
11.4.5	8ビット・インターバル・タイマの設定手順	356
11.5	8ビット・インターバル・タイマ使用上の注意事項	357
11.5.1	動作モード設定変更について	357
11.5.2	コンペア・レジスタへのアクセスについて	357
11.5.3	8ビット・インターバル・タイマ設定手順について	357
12.	クロック出力/ブザー出力制御回路	358
12.1	クロック出力/ブザー出力制御回路の機能	358
12.2	クロック出力/ブザー出力制御回路の構成	360
12.3	クロック出力/ブザー出力制御回路を制御するレジスタ	360
12.3.1	クロック出力選択レジスタ n (CKS n)	360
12.3.2	クロック出力/ブザー出力端子のポート機能を制御するレジスタ	362
12.4	クロック出力/ブザー出力制御回路の動作	363
12.4.1	出力端子の動作	363
12.5	クロック出力/ブザー出力制御回路の注意事項	363
13.	ウォッチドッグ・タイマ	364
13.1	ウォッチドッグ・タイマの機能	364
13.2	ウォッチドッグ・タイマの構成	365
13.3	ウォッチドッグ・タイマを制御するレジスタ	366
13.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	366
13.4	ウォッチドッグ・タイマの動作	367

13.4.1	ウォッチドッグ・タイマの動作制御	367
13.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	369
13.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	370
13.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	372
14.	A/Dコンバータ	373
14.1	A/Dコンバータの機能	373
14.2	A/Dコンバータの構成	376
14.3	A/Dコンバータを制御するレジスタ	378
14.3.1	周辺イネーブル・レジスタ0 (PER0)	379
14.3.2	周辺リセット制御レジスタ0 (PRR0)	380
14.3.3	A/Dコンバータ・モード・レジスタ0 (ADM0)	381
14.3.4	A/Dコンバータ・モード・レジスタ1 (ADM1)	389
14.3.5	A/Dコンバータ・モード・レジスタ2 (ADM2)	390
14.3.6	12ビットA/D変換結果レジスタ(ADCR)	393
14.3.7	8ビットA/D変換結果レジスタ(ADCRH)	394
14.3.8	アナログ入力チャンネル指定レジスタ(ADS)	395
14.3.9	変換結果比較上限値設定レジスタ(ADUL)	397
14.3.10	変換結果比較下限値設定レジスタ(ADLL)	397
14.3.11	A/Dテスト・レジスタ(ADTES)	398
14.3.12	アナログ入力端子のポート機能を制御するレジスタ	399
14.4	A/Dコンバータの変換動作	400
14.5	入力電圧と変換結果	402
14.6	A/Dコンバータの動作モード	403
14.6.1	ソフトウエア・トリガ・モード(セレクト・モード, 連続変換モード)	403
14.6.2	ソフトウエア・トリガ・モード(セレクト・モード, ワンショット変換モード)	404
14.6.3	ソフトウエア・トリガ・モード(スキャン・モード, 連続変換モード)	405
14.6.4	ソフトウエア・トリガ・モード(スキャン・モード, ワンショット変換モード)	406
14.6.5	ハードウエア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)	407
14.6.6	ハードウエア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)	408
14.6.7	ハードウエア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)	409
14.6.8	ハードウエア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード)	410
14.6.9	ハードウエア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード)	411
14.6.10	ハードウエア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード)	412
14.6.11	ハードウエア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)	413
14.6.12	ハードウエア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)	414
14.7	A/Dコンバータの設定フロー・チャート	415
14.7.1	ソフトウエア・トリガ・モード設定	416
14.7.2	ハードウエア・トリガ・ノーウエイト・モード設定	417
14.7.3	ハードウエア・トリガ・ウエイト・モード設定	418
14.7.4	温度センサ出力電圧/内部基準電圧を選択時の設定	419
14.7.5	テスト・モード設定	420
14.8	SNOOZEモード機能	420
14.9	A/Dコンバータ特性表の読み方	425

14.10	A/Dコンバータの注意事項	428
15.	コンパレータ	432
15.1	コンパレータの機能	432
15.2	コンパレータの構成	433
15.3	コンパレータを制御するレジスタ	434
15.3.1	周辺イネーブル・レジスタ1 (PER1)	434
15.3.2	周辺リセット制御レジスタ1 (PRR1)	435
15.3.3	コンパレータモード設定レジスタ (COMPMDR)	436
15.3.4	コンパレータフィルタ制御レジスタ (COMPFIR)	437
15.3.5	コンパレータ出力制御レジスタ (COMPOCR)	439
15.3.6	アナログ入力端子のポート機能を制御するレジスタ	440
15.4	動作説明	441
15.4.1	コンパレータiデジタルフィルタ (i = 0, 1)	444
15.4.2	コンパレータi割り込み (i = 0, 1)	444
15.4.3	イベント・リンク・コントローラ (ELC)へのイベント信号出力	445
15.4.4	コンパレータi出力 (i = 0, 1)	446
15.4.5	コンパレータクロック停止/供給	446
16.	オペアンプ	447
16.1	オペアンプの機能	447
16.2	オペアンプの構成	448
16.3	オペアンプを制御するレジスタ	449
16.3.1	オペアンプ・モード制御レジスタ (AMPMC)	450
16.3.2	オペアンプ・トリガモード制御レジスタ (AMPTRM)	451
16.3.3	オペアンプELCトリガ選択レジスタ (AMPTRS)	452
16.3.4	オペアンプ・制御レジスタ (AMPC)	453
16.3.5	オペアンプ・モニタ・レジスタ (AMPMON)	453
16.3.6	アナログ入力端子のポート機能を制御するレジスタ	454
16.4	動作説明	455
16.4.1	状態遷移図	455
16.4.2	オペアンプ制御動作	456
16.4.3	ソフトウエア・トリガ・モード	460
16.4.4	ELCトリガ・モード	462
16.4.5	ELCおよびA/Dトリガ・モード	463
16.5	オペアンプの注意事項	465
17.	シリアル・アレイ・ユニット	466
17.1	シリアル・アレイ・ユニットの機能	467
17.1.1	簡易SPI (CSI00, CSI01)	467
17.1.2	UART (UART0)	468
17.1.3	簡易I ² C (IIC00, IIC01)	469
17.2	シリアル・アレイ・ユニットの構成	470
17.2.1	シフト・レジスタ	473
17.2.2	シリアル・データ・レジスタ mn (SDRmn)の下位8/9ビット	473
17.3	シリアル・アレイ・ユニットを制御するレジスタ	475
17.3.1	周辺イネーブル・レジスタ0 (PER0)	476
17.3.2	周辺リセット制御レジスタ0 (PRR0)	477
17.3.3	シリアル・クロック選択レジスタ m (SPSm)	478

17.3.4	シリアル・モード・レジスタ mn (SMRmn)	480
17.3.5	シリアル通信動作設定レジスタ mn (SCRmn)	481
17.3.6	シリアル・データ・レジスタ mn (SDRmn)	484
17.3.7	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)	485
17.3.8	シリアル・ステータス・レジスタ mn (SSRmn)	486
17.3.9	シリアル・チャンネル開始レジスタ m (SSm)	488
17.3.10	シリアル・チャンネル停止レジスタ m (STm)	489
17.3.11	シリアル・チャンネル許可ステータス・レジスタ m (SEm)	490
17.3.12	シリアル出力許可レジスタ m (SOEm)	491
17.3.13	シリアル出力レジスタ m (SOm)	492
17.3.14	シリアル出力レベル・レジスタ m (SOLm)	493
17.3.15	シリアル・スタンバイ・コントロール・レジスタ m (SSCm)	495
17.3.16	入力切り替え制御レジスタ (ISC)	496
17.3.17	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	497
17.3.18	シリアル入出力端子のポート機能を制御するレジスタ	498
17.4	動作停止モード	499
17.4.1	ユニット単位で動作停止とする場合	499
17.4.2	チャンネルごとに動作停止とする場合	500
17.5	簡易 SPI (CSI00, CSI01)通信の動作	501
17.5.1	マスタ送信	503
17.5.2	マスタ受信	511
17.5.3	マスタ送受信	519
17.5.4	スレーブ送信	527
17.5.5	スレーブ受信	535
17.5.6	スレーブ送受信	541
17.5.7	SNOOZEモード機能	549
17.5.8	転送クロック周波数の算出	553
17.5.9	簡易 SPI (CSI00, CSI01)通信時におけるエラー発生時の処理手順	555
17.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作	556
17.6.1	スレーブ送信	560
17.6.2	スレーブ受信	570
17.6.3	スレーブ送受信	577
17.6.4	転送クロック周波数の算出	587
17.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時における エラー発生時の処理手順	589
17.7	UART (UART0)通信の動作	590
17.7.1	UART送信	592
17.7.2	UART受信	601
17.7.3	SNOOZEモード機能	608
17.7.4	ボー・レートの算出	616
17.7.5	UART (UART0)通信時におけるエラー発生時の処理手順	620
17.8	簡易 I ² C (IIC00, IIC01)通信の動作	621
17.8.1	アドレス・フィールド送信	623
17.8.2	データ送信	628
17.8.3	データ受信	631
17.8.4	ストップ・コンディション発生	635
17.8.5	転送レートの算出	636
17.8.6	簡易 I ² C (IIC00, IIC01)通信時におけるエラー発生時の処理手順	638

18.	データ演算回路(DOC)	639
18.1	概要	639
18.2	データ演算回路を制御するレジスタ	640
18.2.1	周辺イネーブル・レジスタ2 (PER2)	641
18.2.2	周辺リセット制御レジスタ2 (PRR2)	642
18.2.3	DOCコントロールレジスタ(DOCR)	643
18.2.4	DOCデータインプットレジスタ(DODIR)	644
18.2.5	DOCデータセッティングレジスタ(DODSR)	644
18.3	動作説明	645
18.3.1	データ比較モード	645
18.3.2	データ加算モード	646
18.3.3	データ減算モード	647
18.4	割り込み要求	648
19.	データ・トランスファ・コントローラ(DTC)	649
19.1	DTCの機能	649
19.2	DTCの構成	651
19.3	DTCを制御するレジスタ	652
19.3.1	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	653
19.3.2	コントロールデータの配置	654
19.3.3	ベクタテーブル	655
19.3.4	周辺イネーブル・レジスタ1 (PER1)	657
19.3.5	DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)	658
19.3.6	DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)	659
19.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)	659
19.3.8	DTC転送回数リロードレジスタj (DTRL Dj) (j = 0 ~ 23)	660
19.3.9	DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)	660
19.3.10	DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)	660
19.3.11	DTC起動許可レジスタi (DTCENi) (i = 0 ~ 2)	661
19.3.12	DTCベースアドレスレジスタ(DTCBAR)	664
19.4	DTCの動作	664
19.4.1	起動要因	665
19.4.2	ノーマルモード	666
19.4.3	リピートモード	669
19.4.4	チェイン転送	672
19.5	DTC使用上の注意事項	674
19.5.1	DTCのコントロールデータおよびベクタテーブルの設定	674
19.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	674
19.5.3	DTC保留命令	675
19.5.4	データ・フラッシュ空間にアクセスする場合の動作	675
19.5.5	DTC実行クロック数	676
19.5.6	DTC応答時間	677
19.5.7	DTC起動要因	677
19.5.8	スタンバイ・モード時の動作	678
20.	イベント・リンク・コントローラ(ELC)	679
20.1	ELCの機能	679
20.2	ELCの構成	679
20.3	ELCを制御するレジスタ	680

20.3.1	イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 19)	681
20.4	ELCの動作	684
21.	割り込み機能	686
21.1	割り込み機能の種類	686
21.2	割り込み要因と構成	686
21.3	割り込み機能を制御するレジスタ	691
21.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L)	694
21.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L)	696
21.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR10L, PR10H, PR11L, PR11H, PR12L)	697
21.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	699
21.3.5	プログラム・ステータス・ワード (PSW)	700
21.4	割り込み処理動作	701
21.4.1	マスカブル割り込み要求の受け付け動作	701
21.4.2	ソフトウェア割り込み要求の受け付け動作	704
21.4.3	多重割り込み処理	704
21.4.4	除算命令中の割り込み処理	708
21.4.5	割り込み要求の保留	710
22.	キー割り込み機能	711
22.1	キー割り込みの機能	711
22.2	キー割り込みの構成	711
22.3	キー割り込みを制御するレジスタ	713
22.3.1	キー・リターン・コントロール・レジスタ (KRCTL)	713
22.3.2	キー・リターン・モード・レジスタ 0 (KRM0)	714
22.3.3	キー・リターン・フラグ・レジスタ (KRF)	715
22.3.4	ポート・モード・レジスタ 3, 5 (PM3, PM5)	716
23.	スタンバイ機能	717
23.1	スタンバイ機能	717
23.2	スタンバイ機能を制御するレジスタ	718
23.3	スタンバイ機能の動作	719
23.3.1	HALTモード	719
23.3.2	STOPモード	724
23.3.3	SNOOZEモード	730
24.	リセット機能	734
24.1	リセット動作のタイミング	736
24.2	リセット要因を確認するレジスタ	740
24.2.1	リセット・コントロール・フラグ・レジスタ (RESF)	740
24.2.2	パワーオン・リセット・ステータス・レジスタ (PORSR)	743
24.2.3	周辺リセット制御レジスタ 0 (PRR0)	744
24.2.4	周辺リセット制御レジスタ 1 (PRR1)	745
24.2.5	周辺リセット制御レジスタ 2 (PRR2)	746
25.	パワーオン・リセット回路	747
25.1	パワーオン・リセット回路の機能	747

25.2	パワーオン・リセット回路の構成	748
25.3	パワーオン・リセット回路の動作	748
26.	電圧検出回路	752
26.1	電圧検出回路の機能	752
26.2	電圧検出回路の構成	753
26.3	電圧検出回路を制御するレジスタ	753
26.3.1	電圧検出レジスタ (LVIM)	754
26.3.2	電圧検出レベル・レジスタ (LVIS)	755
26.4	電圧検出回路の動作	759
26.4.1	リセット・モードとして使用する場合の設定	759
26.4.2	割り込みモードとして使用する場合の設定	761
26.4.3	割り込み&リセット・モードとして使用時の設定	763
26.5	LVD 検出電圧の設定変更	768
26.5.1	LVD リセット・モード時のLVD 検出電圧の設定変更	769
26.5.2	LVD 割り込みモード時のLVD 検出電圧の設定変更	770
26.6	電圧検出回路の注意事項	772
27.	安全機能	774
27.1	安全機能の概要	774
27.2	安全機能で使用するレジスタ	775
27.3	安全機能の動作	775
27.3.1	フラッシュ・メモリ CRC 演算機能(高速CRC)	775
27.3.1.1	フラッシュ・メモリ CRC 制御レジスタ (CRC0CTL)	776
27.3.1.2	フラッシュ・メモリ CRC 演算結果レジスタ (PGCRCL)	777
27.3.2	CRC 演算機能(汎用CRC)	779
27.3.2.1	CRC 入力レジスタ (CRCIN)	780
27.3.2.2	CRC データ・レジスタ (CRCD)	781
27.3.3	RAM パリティ・エラー検出機能	782
27.3.3.1	RAM パリティ・エラー制御レジスタ (RPECTL)	782
27.3.4	RAM ガード機能	784
27.3.4.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	784
27.3.5	SFR ガード機能	785
27.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	785
27.3.6	不正メモリ・アクセス検出機能	786
27.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	787
27.3.7	周波数検出機能	788
27.3.7.1	タイマ入力選択レジスタ 0 (TIS0)	789
27.3.8	A/D テスト機能	790
27.3.8.1	A/D テスト・レジスタ (ADTES)	792
27.3.8.2	アナログ入力チャネル指定レジスタ (ADS)	793
27.3.9	入出力端子のデジタル出力信号レベル検出機能	795
27.3.9.1	ポート・モード選択レジスタ (PMS)	795
28.	レギュレータ	796
28.1	レギュレータの概要	796
28.2	レギュレータを制御するレジスタ	797
28.2.1	レギュレータ・モード制御レジスタ (PMMC)	797

29.	オプション・バイト	798
29.1	オプション・バイトの機能	798
29.1.1	ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)	798
29.1.2	オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)	799
29.2	ユーザ・オプション・バイトのフォーマット	800
29.3	オンチップ・デバッグ・オプション・バイトのフォーマット	807
29.4	オプション・バイトの設定	808
30.	フラッシュ・メモリ	809
30.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	810
30.1.1	プログラミング環境	812
30.1.2	通信方式	812
30.2	外部デバイス(UART内蔵)によるシリアル・プログラミング	813
30.2.1	プログラミング環境	813
30.2.2	通信方式	814
30.3	オンボード上の端子処理	814
30.3.1	P40/TOOL0端子	815
30.3.2	RESET端子	815
30.3.3	ポート端子	816
30.3.4	REGC端子	816
30.3.5	X1, X2端子	816
30.3.6	電源	816
30.4	プログラミング方法	817
30.4.1	シリアル・プログラミング手順	817
30.4.2	フラッシュ・メモリ・プログラミング・モード	818
30.4.3	通信方式	820
30.4.4	通信コマンド	821
30.5	専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間(参考値)	823
30.6	セルフ・プログラミング	824
30.6.1	セルフ・プログラミング手順	825
30.6.2	ブート・スワップ機能	826
30.6.3	フラッシュ・シールド・ウインドウ機能	828
30.7	セキュリティ設定	829
30.8	データ・フラッシュ	831
30.8.1	データ・フラッシュの概要	831
30.8.2	データ・フラッシュを制御するレジスタ	832
30.8.2.1	データ・フラッシュ・コントロール・レジスタ(DFLCTL)	832
30.8.3	データ・フラッシュへのアクセス手順	833
31.	オンチップ・デバッグ機能	834
31.1	E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの接続	834
31.2	オンチップ・デバッグ・セキュリティ ID	835
31.3	ユーザ資源の確保	835
32.	10進補正(BCD)回路	837
32.1	10進補正回路の機能	837
32.2	10進補正回路で使用するレジスタ	837
32.2.1	BCD補正結果レジスタ(BCDADJ)	837
32.3	10進補正回路の動作	838

33.	命令セットの概要	840
33.1	凡例	841
33.1.1	オペランドの表現形式と記述方法	841
33.1.2	オペレーション欄の説明	842
33.1.3	フラグ動作欄の説明	843
33.1.4	PREFIX 命令	843
33.2	オペレーション一覧	844
34.	電気的特性	862
34.1	絶対最大定格	863
34.2	発振回路特性	865
34.2.1	X1, XT1 特性	865
34.2.2	オンチップ・オシレータ特性	865
34.3	DC特性	866
34.3.1	端子特性	866
34.3.2	電源電流特性	871
34.4	AC特性	879
34.5	周辺機能特性	883
34.5.1	シリアル・アレイ・ユニット	884
34.6	アナログ特性	924
34.6.1	A/Dコンバータ特性	924
34.6.2	温度センサ/内部基準電圧出力特性	933
34.6.3	コンパレータ	934
34.6.4	オペアンプ特性	935
34.6.5	POR回路特性	936
34.6.6	LVD回路特性	937
34.6.7	電源電圧立ち上がり傾き特性	938
34.7	RAMデータ保持特性	939
34.8	フラッシュ・メモリ・プログラミング特性	939
34.9	専用フラッシュ・メモリ・プログラマ通信(UART)	940
34.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	940
35.	外形図	941
35.1	20ピン製品	941
35.2	24ピン製品	943
35.3	30ピン製品	946
35.4	32ピン製品	947
35.5	48ピン製品	949
付録A	改版履歴	950
A.1	本版で改訂された主な箇所	950
A.2	前版までの改版履歴	951

第1章 概説

1.1 特徴

超低消費電力テクノロジー

- VDD = 1.6 ~ 3.6 V
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速(0.04167 μ s：高速オンチップ・オシレータ・クロック 24 MHz動作時)から超低速(66.6 μ s：低速オンチップ・オシレータ・クロック 15 kHz動作時)までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ \times 8 \times 4バンク
- 内蔵RAM：0.7 KB ~ 3 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：8 KB ~ 32 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止，書き換え禁止(セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：2 KB
- バックグラウンド・オペレーション(BGO)；データ・フラッシュ書き換え中に，プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回(TYP.)
- 書き換え電圧：VDD = 1.8 ~ 3.6 V

高速オンチップ・オシレータ

- 24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- 高精度 \pm 1.0% (VDD = 1.8 ~ 3.6 V, TA = -20 ~ +85 $^{\circ}$ C)

中速オンチップ・オシレータ

- 4 MHz/2 MHz/1 MHzから選択

動作周囲温度

- $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ (G : 産業用途)

電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み, リセットを12段階で選択)

データ・トランスファ・コントローラ(DTC)

- 転送モード: ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因: 割り込み要因により起動
- チェイン転送機能あり

イベント・リンク・コントローラ(ELC)

- 20種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- 簡易SPI (CSI注) : 1~2チャンネル
- UART : 1チャンネル
- I²C/簡易I²C : 1~2チャンネル

タイマ

- 16ビット・タイマ : 4チャンネル
- 12ビット・インターバル・タイマ : 1チャンネル
- 8ビット・インターバル・タイマ : 4チャンネル
- リアルタイム・クロック : 1チャンネル(99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル

A/Dコンバータ

- 8/12ビット分解能A/Dコンバータ ($V_{DD} = 1.6 \sim 3.6 \text{ V}$)
- アナログ入力 : 6~17チャンネル
- 内部基準電圧(1.45 V)と温度センサを搭載

コンパレータ

- 2チャンネル
- 動作モード: コンパレータ高速モード, コンパレータ低速モード, ウィンドウモード

オペアンプ

- 4チャンネル

入出力ポート

- I/Oポート : 14~42本
(N-chオープン・ドレイン入出力[6 V耐圧] : 4本, N-chオープン・ドレイン入出力[V_{DD}耐圧] : 3~7本)
- N-chオープン・ドレイン, TTL入力バッファ, 内蔵プルアップの切り替え可能
- 異電位(1.8/2.5 V系)動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力/ブザー出力制御回路内蔵

その他

- 10進補正 (BCD) 回路内蔵
- データ演算回路内蔵

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

備考 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

OROM, RAM容量

フラッシュROM	データ・フラッシュ	RAM	RL78/I1D				
			20ピン	24ピン	30ピン	32ピン	48ピン
32 KB	2 KB	3 KB注	—	—	R5F117AC	R5F117BC	R5F117GC
16 KB	2 KB	2 KB	R5F1176A	R5F1177A	R5F117AA	R5F117BA	R5F117GA
8 KB	2 KB	0.7 KB	R5F11768	R5F11778	R5F117A8	—	—

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とライブラリが使用するRAM領域のスタートアドレスを示します。

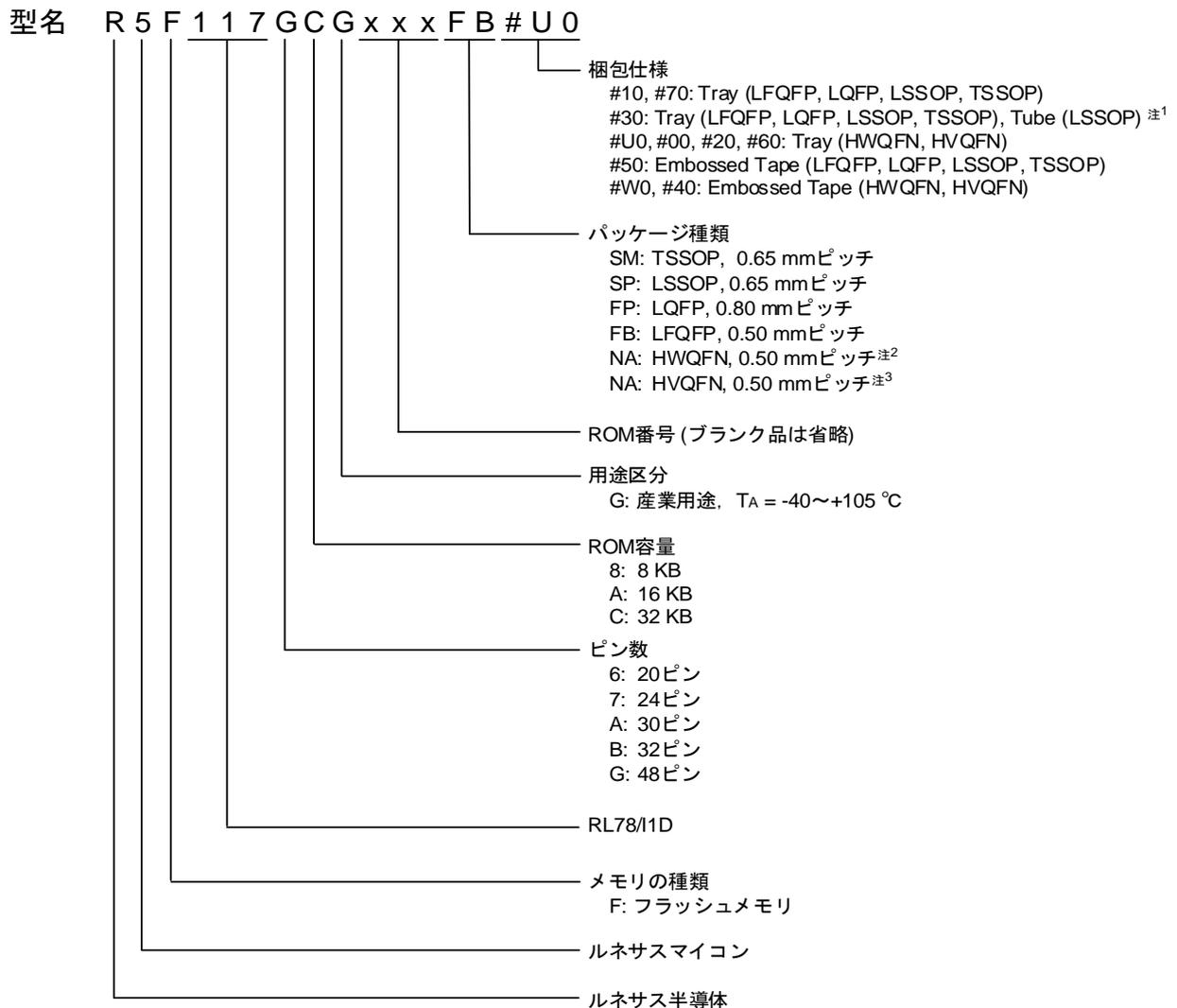
R5F117xC (x = A, B, G) : スタート・アドレス FF300H

フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。

1.2 型名一覧

★

図1 - 1 RL78/I1Dの型名とメモリサイズ・パッケージ



注1. 20ピンLSSOP製品のみ、梱包仕様はTubeとなります。

注2. 24ピン製品

注3. 32ピン製品

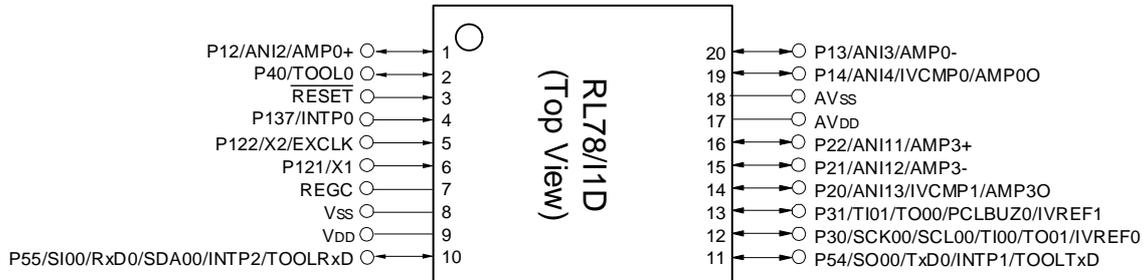
ピン数	パッケージ	発注型名	RENESAS Code
20ピン	20ピン・プラスチックLSSOP (4.4 × 6.5 mm, 0.65 mm ピッチ)	R5F11768GSP#30, R5F1176AGSP#30, R5F11768GSP#50, R5F1176AGSP#50	PLSP0020JB-A
	20ピン・プラスチックTSSOP (4.4 × 6.5 mm, 0.65mm ピッチ)	R5F11768GSM#10, R5F1176AGSM#10, R5F11768GSM#30, R5F1176AGSM#30, R5F11768GSM#50, R5F1176AGSM#50, R5F11768GSM#70, R5F1176AGSM#70	PTSP0020JI-A
24ピン	24ピン・プラスチックHWQFN (4 × 4 mm, 0.5 mm ピッチ)	R5F11778GNA#U0, R5F1177AGNA#U0, R5F11778GNA#W0, R5F1177AGNA#W0	PWQN0024KE-A
		R5F11778GNA#00, R5F1177AGNA#00, R5F11778GNA#20, R5F1177AGNA#20, R5F11778GNA#40, R5F1177AGNA#40, R5F11778GNA#60, R5F1177AGNA#60	PWQN0024KF-A PWQN0024KH-A
30ピン	30ピン・プラスチックLSSOP (7.62 mm (300), 0.65 mm ピッチ)	R5F117A8GSP#10, R5F117AAGSP#10, R5F117ACGSP#10, R5F117A8GSP#30, R5F117AAGSP#30, R5F117ACGSP#30, R5F117A8GSP#50, R5F117AAGSP#50, R5F117ACGSP#50, R5F117A8GSP#70, R5F117AAGSP#70, R5F117ACGSP#70	PLSP0030JB-B
32ピン	32ピン・プラスチックHVQFN (5 × 5 mm, 0.5 mm ピッチ)	R5F117BAGNA#00, R5F117BCGNA#00, R5F117BAGNA#20, R5F117BCGNA#20, R5F117BAGNA#40, R5F117BCGNA#40, R5F117BAGNA#60, R5F117BCGNA#60	PVQN0032KE-A
	32ピン・プラスチックLQFP (7 × 7 mm, 0.8 mm ピッチ)	R5F117BAGFP#10, R5F117BCGFP#10, R5F117BAGFP#30, R5F117BCGFP#30, R5F117BAGFP#50, R5F117BCGFP#50, R5F117BAGFP#70, R5F117BCGFP#70	PLQP0032GB-A
48ピン	48ピン・プラスチックLFQFP (7 × 7 mm, 0.5 mm ピッチ)	R5F117GAGFB#10, R5F117GCGFB#10, R5F117GAGFB#30, R5F117GCGFB#30, R5F117GAGFB#50, R5F117GCGFB#50, R5F117GAGFB#70, R5F117GCGFB#70	PLQP0048KB-A

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 20ピン製品

- 20ピン・プラスチックLSSOP (4.4 × 6.5 mm, 0.65 mm ピッチ)
- 20ピン・プラスチックTSSOP (4.4 × 6.5 mm, 0.65 mm ピッチ)



注意1. REGC端子はコンデンサ(0.47～1 μF)を介し、Vssに接続してください。

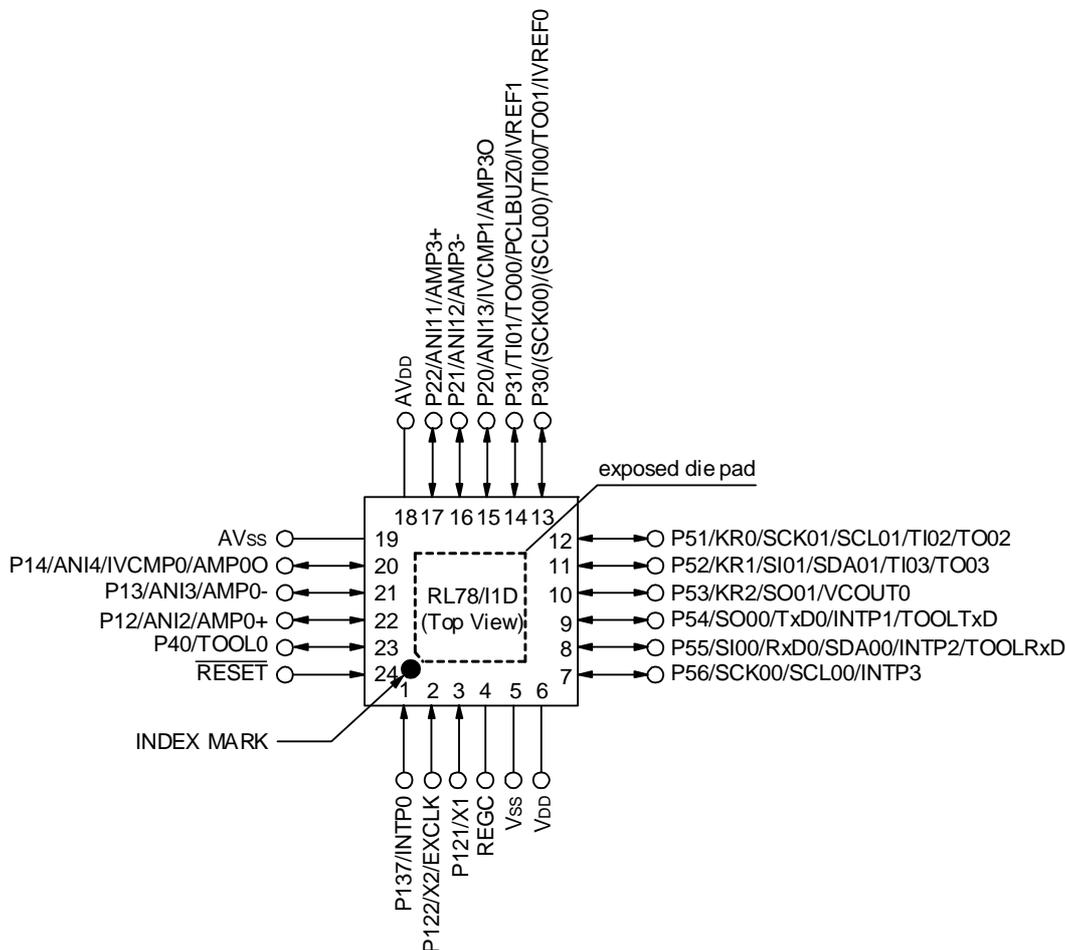
注意2. AVss端子は、Vss端子と同電位にしてください。

注意3. AVDD端子は、VDD端子と同電位にしてください。

備考 端子名称は、1.4 端子名称を参照してください。

1.3.2 24ピン製品

- 24ピン・プラスチックHWQFN (4 × 4 mm, 0.5 mm ピッチ)



注意1. REGC端子はコンデンサ(0.47～1 μF)を介し、Vssに接続してください。

注意2. AVss端子は、Vss端子と同電位にしてください。

注意3. AVDD端子は、VDD端子と同電位にしてください。

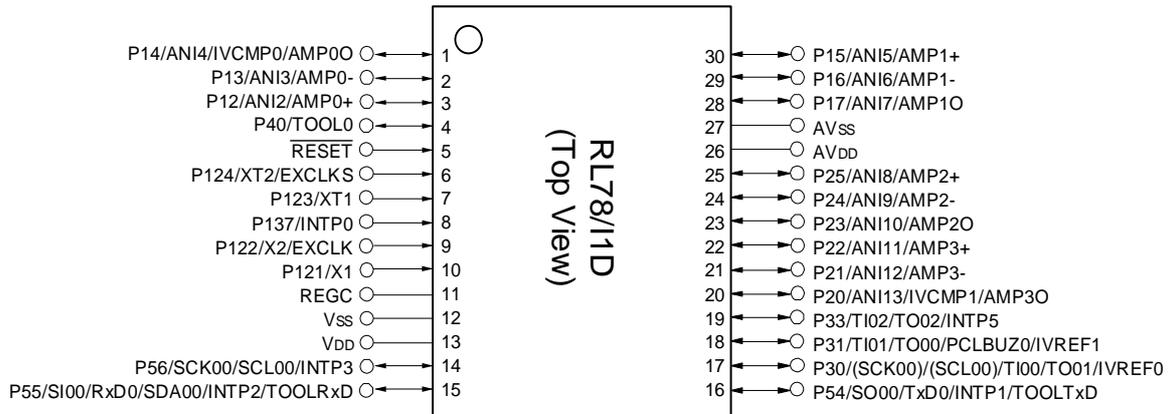
備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. exposed die padは、Vssに接続することを推奨します。

備考3. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により割り当て可能です。

1.3.3 30ピン製品

- 30ピン・プラスチックLSSOP (7.62 mm (300), 0.65 mmピッチ)



注意1. REGC端子はコンデンサ(0.47~1 μF)を介し、Vssに接続してください。

注意2. AVss端子は、Vss端子と同電位にしてください。

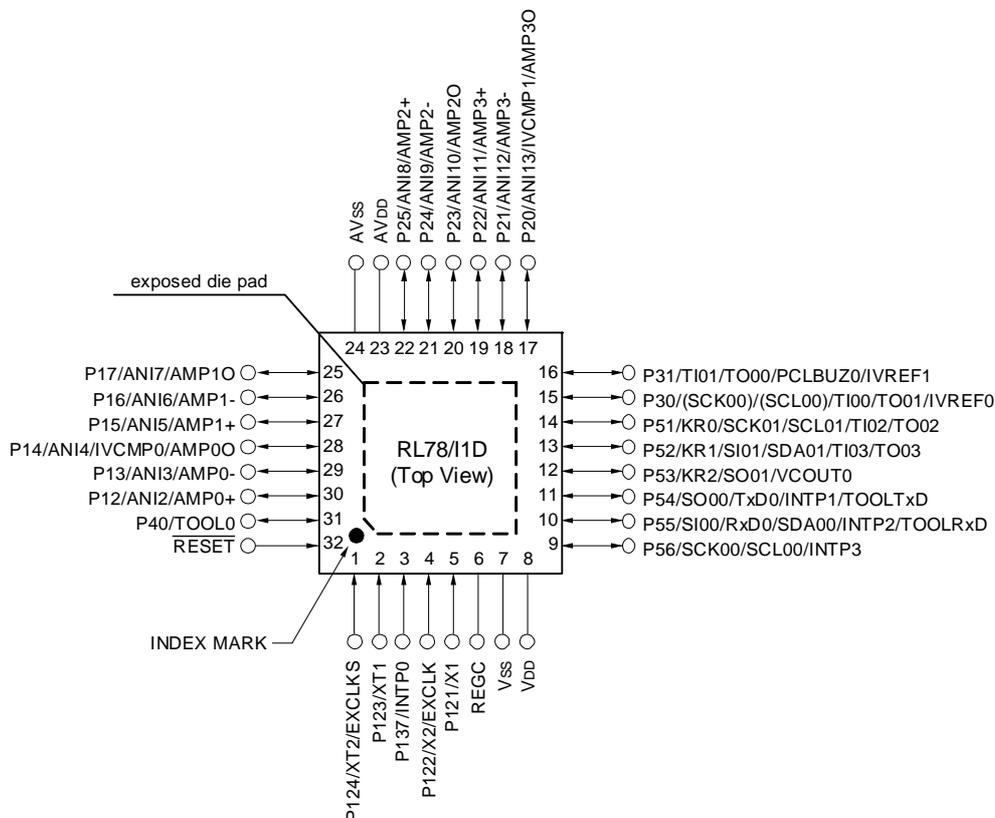
注意3. AVDD端子は、VDD端子と同電位にしてください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0(PIOR0)の設定により割り当て可能です。

1.3.4 32ピン製品

- 32ピン・プラスチックHVQFN (5 × 5 mm, 0.5 mmピッチ)



注意1. REGC端子はコンデンサ(0.47～1 μF)を介し、Vssに接続してください。

注意2. AVss端子は、Vss端子と同電位にしてください。

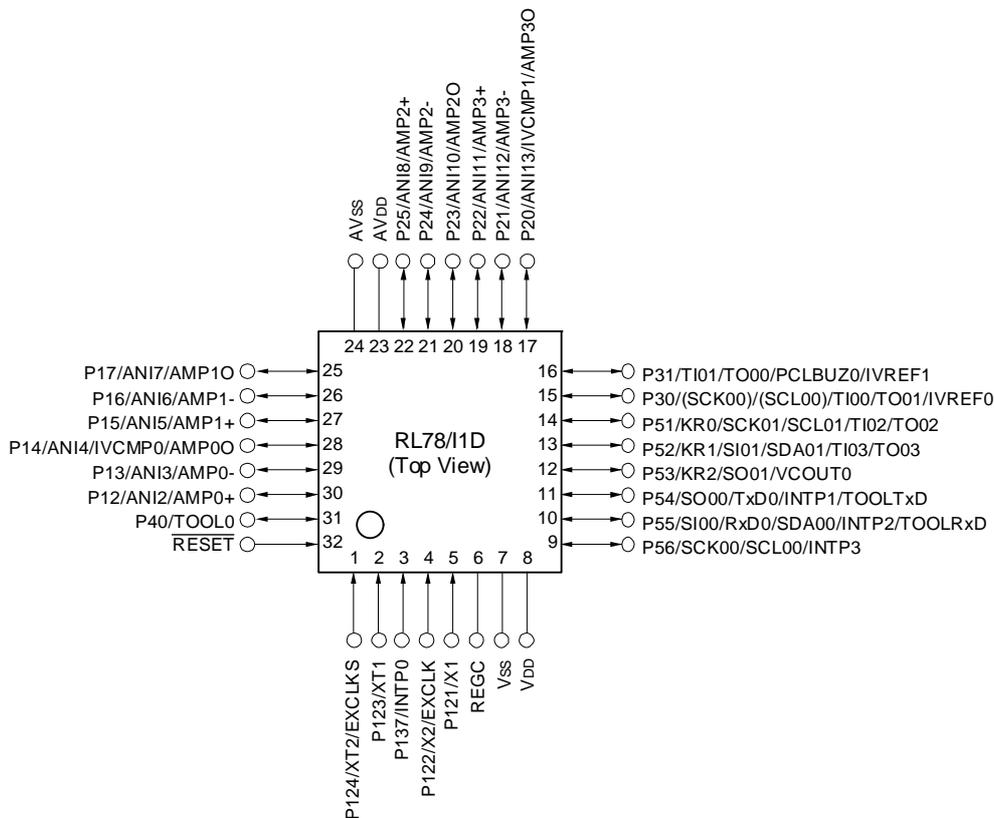
注意3. AVdd端子は、Vdd端子と同電位にしてください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により割り当て可能です。

備考3. exposed die padは、Vssに接続することを推奨します。

- 32ピン・プラスチックLQFP (7 × 7 mm, 0.8 mmピッチ)



注意1. REGC端子はコンデンサ(0.47～1 μF)を介し、Vssに接続してください。

注意2. AVss端子は、Vss端子と同電位にしてください。

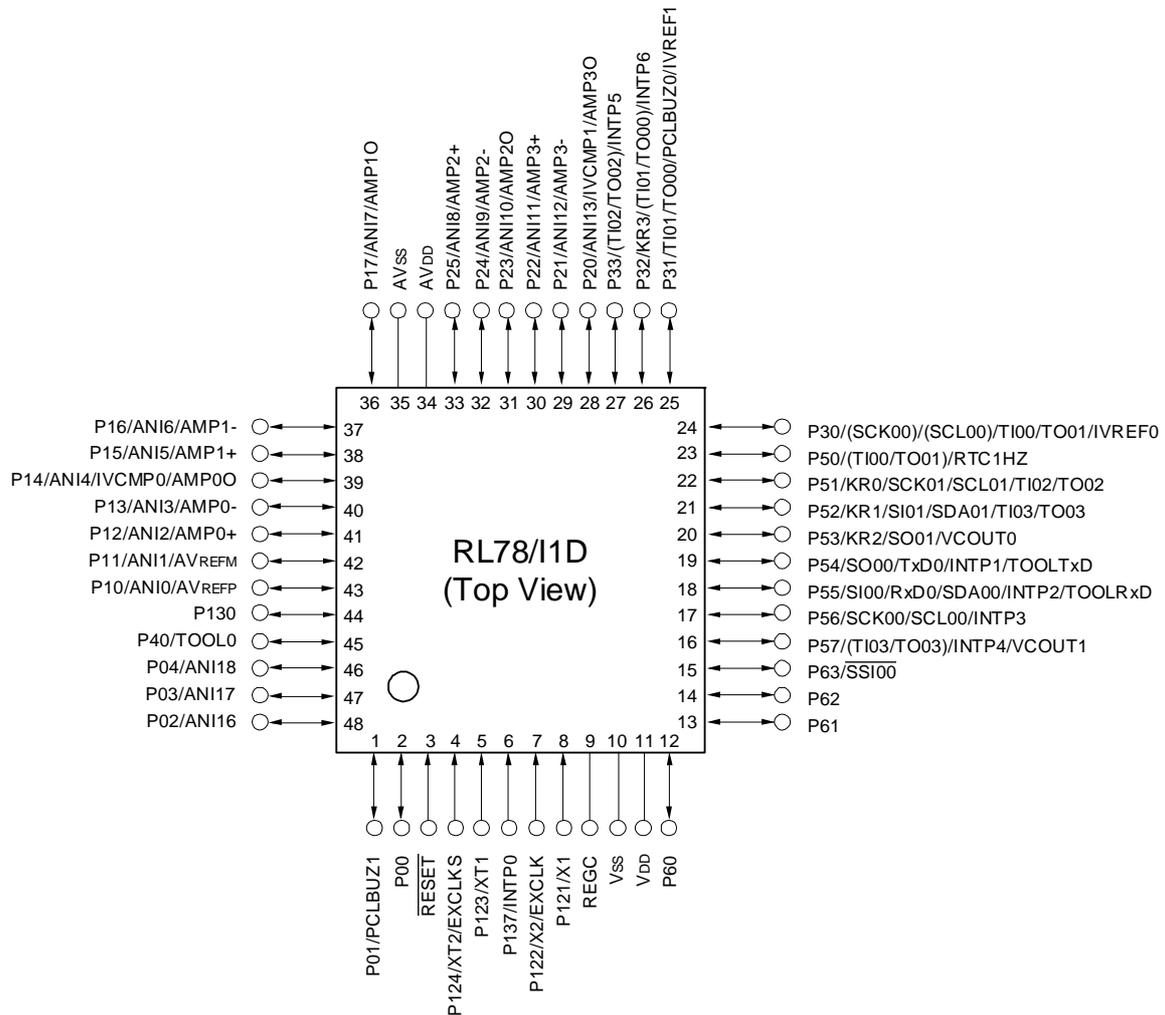
注意3. AVDD端子は、VDD端子と同電位にしてください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により割り当て可能です。

1.3.5 48ピン製品

- 48ピン・プラスチックLFQFP (7 × 7 mm, 0.5 mmピッチ)



注意1. REGC端子はコンデンサ(0.47～1 μF)を介し、Vssに接続してください。

注意2. AVss端子は、Vss端子と同電位にしてください。

注意3. AVDD端子は、VDD端子と同電位にしてください。

備考1. 端子名称は、1.4 端子名称を参照してください。

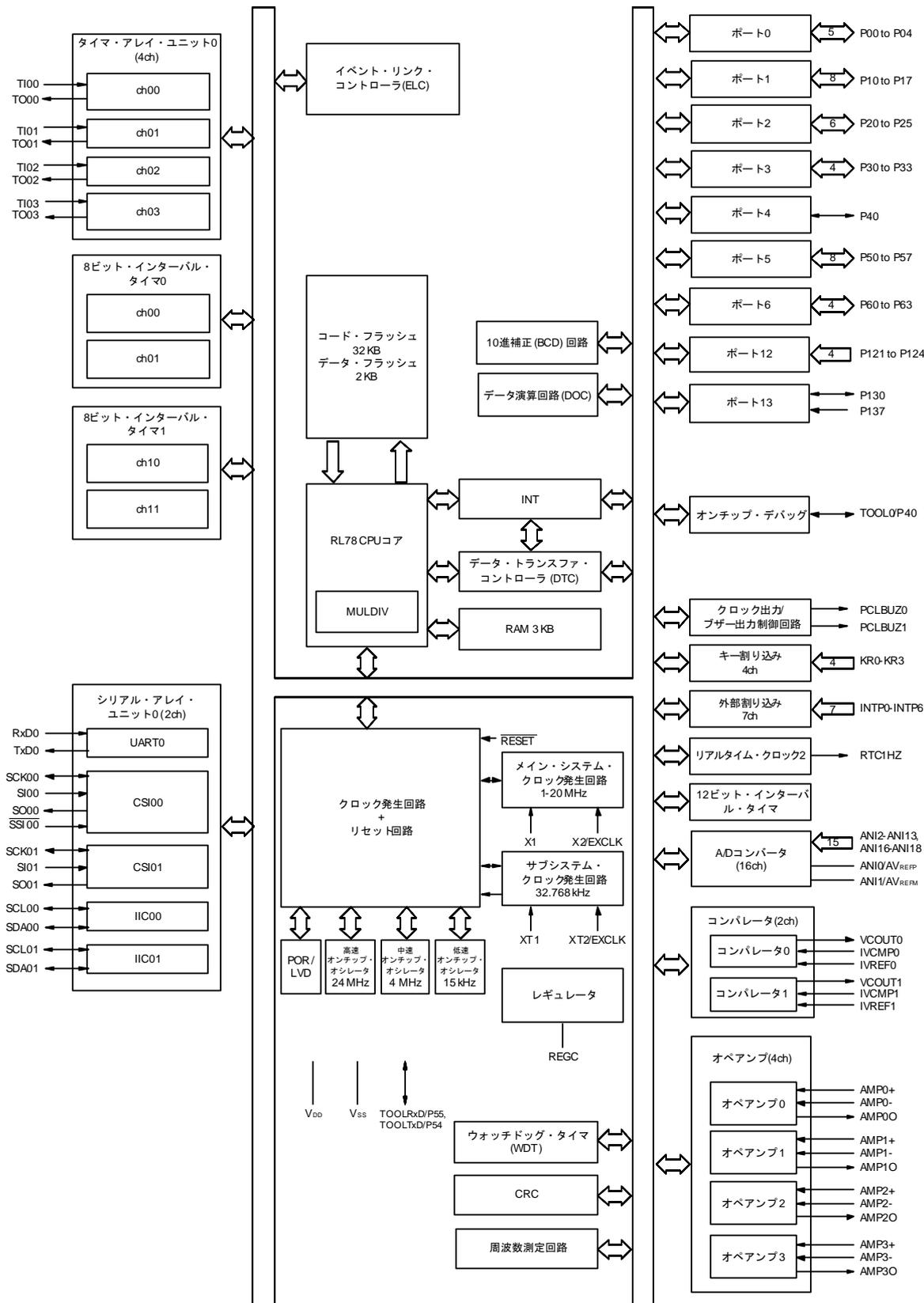
備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により割り当て可能です。

1.4 端子名称

ANI0 to ANI13, ANI16 to ANI18	: Analog input	PCLBUZ0, PCLBUZ1	: Programmable clock output/buzzer output
AVDD	: Analog power supply	REGC	: Regulator capacitance
AVREFM	: A/D converter reference potential (- side) input	RESET	: Reset
AVREFP	: A/D converter reference potential (+ side) input	RTC1HZ	: Real-time clock correction clock (1 Hz) output
AVSS	: Analog ground	RxD0	: Receive data
EXCLK	: External clock input (main system clock)	SCK00, SCK01	: Serial clock input/output
EXCLKS	: External clock input (subsystem clock)	SCL00, SCL01	: Serial clock input/output
INTP0 to INTP6	: External interrupt input	SDA00, SDA01	: Serial data input/output
IVCMP0, IVCMP1	: Comparator input	SI00, SI01	: Serial data input
IVREF0, IVREF1	: Comparator reference input	SO00, SO01	: Serial data output
KR0 to KR3	: Key return	SSI00	: Serial interface chip select input
P00 to P04	: Port 0	TI00 to TI03	: Timer input
P10 to P17	: Port 1	TO00 to TO03	: Timer output
P20 to P25	: Port 2	TOOL0	: Data input/output for tool
P30 to P33	: Port 3	TOOLRxD, TOOLTxD	: Data input/output for external device
P40	: Port 4	TxD0	: Transmit data
P50 to P57	: Port 5	VCOUT0, VCOUT1	: Comparator output
P60 to P63	: Port 6	AMP0+, AMP1+, AMP2+, AMP3+	: Operational amplifier (+side) input
P121 to P124	: Port 12	AMP0-, AMP1-, AMP2-, AMP3-	: Operational amplifier (-side) input
P130, P137	: Port 13	AMP0O, AMP1O, AMP2O, AMP3O	: Operational amplifier output
		VDD	: Power supply
		VSS	: Ground
		X1, X2	: Crystal oscillator (main system clock)
		XT1, XT2	: Crystal oscillator (subsystem clock)

1.5 ブロック図

1.5.1 48ピン製品(R5F117GC)



1.6 機能概要

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)を00Hに設定時の機能概要です。

(1/2)

項目		20ピン	24ピン	30ピン	32ピン	48ピン
		R5F1176x (x = 8, A)	R5F1177x (x = 8, A)	R5F117Ax (x = 8, A, C)	R5F117Bx (x = A, C)	R5F117Gx (x = A, C)
コード・フラッシュ・メモリ		8-16 KB	8-16 KB	8-32 KB	16-32 KB	16-32 KB
データ・フラッシュ・メモリ		2 KB	2 KB	2 KB	2 KB	2 KB
RAM		0.7-2.0 KB	0.7-2.0 KB	0.7-3.0 KB注	2.0-3.0 KB注	2.0-3.0 KB注
メモリ空間		1 Mバイト				
メイン・システム・クロック	高速システム・クロック (f _{MX})	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン)モード: 1~20 MHz (V _{DD} = 2.7~3.6 V), HS (高速メイン)モード: 1~16 MHz (V _{DD} = 2.4~3.6 V), LS (低速メイン)モード: 1~8 MHz (V _{DD} = 1.8~3.6 V), LV (低電圧メイン)モード: 1~4 MHz (V _{DD} = 1.6~3.6 V), LP (低電力メイン)モード: 1 MHz (V _{DD} = 1.8~3.6 V)				
	高速オンチップ・オシレータ・クロック (f _{IH}) Max: 24 MHz	HS (高速メイン)モード: 1~24 MHz (V _{DD} = 2.7~3.6 V), HS (高速メイン)モード: 1~16 MHz (V _{DD} = 2.4~3.6 V), LS (低速メイン)モード: 1~8 MHz (V _{DD} = 1.8~3.6 V), LV (低電圧メイン)モード: 1~4 MHz (V _{DD} = 1.6~3.6 V), LP (低電力メイン)モード: 1 MHz (V _{DD} = 1.8~3.6 V)				
	中速オンチップ・オシレータ・クロック (f _{IM}) Max: 4 MHz	LS (低速メイン)モード: 1~8 MHz (V _{DD} = 1.8~3.6 V), LV (低電圧メイン)モード: 1~4 MHz (V _{DD} = 1.6~3.6 V), LP (低電力メイン)モード: 1 MHz (V _{DD} = 1.8~3.6 V)				
サブシステム・クロック	サブシステム・クロック 発振回路・クロック (f _{SX} , f _{SXR})	—		XT1 (水晶)発振 32.768 kHz (TYP.) : V _{DD} = 1.6~3.6 V		
	低速オンチップ・オシレータ・クロック (f _L)	15 kHz (TYP.) : V _{DD} = 1.6~3.6 V				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		0.04167 μs (高速オンチップ・オシレータ・クロック : f _{IH} = 24 MHz動作時)				
		0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)				
		—		30.5 μs (サブシステム・クロック : f _{SUB} = 32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> データ転送 (8/16ビット) 加減/論理演算 (8/16ビット) 乗算 (8×8ビット, 16×16ビット), 除算 (16÷16ビット, 32÷32ビット) 積和演算 (16×16+32ビット) ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など 				
I/Oポート	合計	14	18	24	26	42
	CMOS入出力	11	15	19	21	33
	CMOS入力	3	3	5	5	5
	N-ch O.D入出力 (6 V耐圧)	—	—	—	—	4
タイマ	16ビット・タイマ	4チャンネル				
	ウォッチドッグ・タイマ	1チャンネル				
	リアルタイム・クロック	1チャンネル				
	12ビット・インターバル・タイマ	1チャンネル				
	8/16ビット・インターバル・タイマ	4チャンネル (8ビット) / 2チャンネル (16ビット)				
	タイマ出力	2	4	3	4	4
	RTC出力	—		1チャンネル • 1 Hz (サブシステム・クロック発生回路・RTC2他クロック : f _{SXR} = 32.768 kHz)		

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とライブラリが使用するRAM領域のスタートアドレスを示します。

R5F117xC (x = A, B, G) : スタート・アドレス FF300H

フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943)を参照してください。

(2/2)

項目	20ピン	24ピン	30ピン	32ピン	48ピン
	R5F1176x (x = 8, A)	R5F1177x (x = 8, A)	R5F117Ax (x = 8, A, C)	R5F117Bx (x = A, C)	R5F117Gx (x = A, C)
クロック出力/ブザー出力	1本	1本	1本	1本	2本
	<p>【20ピン, 24ピン製品】</p> <ul style="list-style-type: none"> 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : $f_{MAIN} = 20$ MHz動作時) <p>【30ピン, 32ピン, 48ピン製品】</p> <ul style="list-style-type: none"> 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : $f_{MAIN} = 20$ MHz動作時) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック発生回路・RTC他クロック : $f_{sXR} = 32.768$ kHz動作時) 				
12ビット分解能A/Dコンバータ	6チャンネル	6チャンネル	12チャンネル	12チャンネル	17チャンネル
コンパレータ (ウィンドウコンパレータ)	2チャンネル				
オペアンプ	2チャンネル		4チャンネル		
データ演算回路(DOC)	16ビットのデータを比較, 加算, 減算する機能				
シリアル・インタフェース	<p>【20ピン, 30ピン製品】</p> <ul style="list-style-type: none"> 簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル <p>【24ピン, 32ピン, 48ピン製品】</p> <ul style="list-style-type: none"> 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I²C : 2チャンネル 				
データ・トランスファ・コントローラ (DTC)	16要因	20要因	19要因	20要因	22要因
イベント・リンク・コントローラ (ELC)	イベント入力 : 15, イベントトリガ 出力 : 5	イベント入力 : 17, イベントトリガ 出力 : 5	イベント入力 : 17, イベントトリガ 出力 : 7	イベント入力 : 17, イベントトリガ 出力 : 7	イベント入力 : 20, イベントトリガ 出力 : 7
ベクタ割り込み要因	内部	22	22	24	24
	外部	3	5	5	5
キー割り込み	—	3	—	3	4
リセット	<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路による内部リセット 不正命令の実行による内部リセット注 RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 				
パワーオン・リセット回路	<ul style="list-style-type: none"> パワーオン・リセット : 1.51 ± 0.04 V ($T_A = -40 \sim +85$ °C) パワーダウン・リセット : 1.50 ± 0.04 V ($T_A = -40 \sim +85$ °C) 				
電圧検出回路	パワーオン	1.67 V ~ 3.13 V (12段階)			
	パワーダウン	1.63 V ~ 3.06 V (12段階)			
オンチップ・デバッグ機能	あり (トレース機能対応)				
電源電圧	$V_{DD} = 1.6 \sim 3.6$ V				
動作周囲温度	$T_A = -40 \sim +105$ °C				

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 20ピン製品

電源	対応する端子
VDD	P30, P31, P40, P54, P55, P121, P122, P137
AVDD	P12-P14, P20-P22

(2) 24ピン製品

電源	対応する端子
VDD	P30, P31, P40, P51-P56, P121, P122, P137
AVDD	P12-P14, P20-P22

(3) 30ピン製品

電源	対応する端子
VDD	P30, P31, P33, P40, P54-P56, P121-P124, P137
AVDD	P12-P17, P20-P25

(4) 32ピン製品

電源	対応する端子
VDD	P30, P31, P40, P51-P56, P121-P124, P137
AVDD	P12-P17, P20-P25

(5) 48ピン製品

電源	対応する端子
VDD	P00-P04, P30-P33, P40, P50-P57, P60-P63, P121-P124, P130, P137
AVDD	P10-P17, P20-P25

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 20ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P12	4-15-3	入出力	アナログ 入力ポート	ANI2/AMP0+	ポート1。
P13				ANI3/AMP0-	3ビット入出力ポート。
P14				ANI4/IVCMP0/AMP00	1ビット単位で入力/出力の指定可能。
P20	4-17-3	入出力	アナログ 入力ポート	ANI13/IVCMP1/AMP30	ポート2。
P21	4-15-3			ANI12/AMP3-	3ビット入出力ポート。
P22				ANI11/AMP3+	1ビット単位で入力/出力の指定可能。
P30	8-6-4	入出力	入力ポート	SCK00/SCL00/TI00/TO01/IVREF0	ポート3。
P31	7-6-2			TI01/TO00/PCLBUZ0/IVREF1	2ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力に設定可能。 1ビット単位で入力/出力の指定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P54	8-1-4	入出力	入力ポート	SO00/TxD0/INTP1/TOOLTxD	ポート5。
P55				SI00/RxD0/SDA00/INTP2/TOOLRxD	2ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P54, P55の入力はTTL入力バッファに設定可能。 P54, P55の出力はN-chオープン・ドレイン出力に設定可能。 1ビット単位で入力/出力の指定可能。
P121	2-2-1	入力	入力ポート	X1	ポート12。
P122				X2/EXCLK	2ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

2.1.2 24ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P12	4-15-3	入出力	アナログ 入力ポート	ANI2/AMP0+	ポート1。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。
P13				ANI3/AMP0-	
P14				4-17-3	
P20	4-17-3	入出力	アナログ 入力ポート	ANI13/IVCMP1/AMP30	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。
P21	4-15-3			ANI12/AMP3-	
P22				ANI11/AMP3+	
P30	8-6-4	入出力	入力ポート	(SCK00)/(SCL00)/TI00/TO01/IVREF0	ポート3。 2ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力に設定可能。 1ビット単位で入力/出力の指定可能。
P31	7-6-2			TI01/TO00/PCLBUZ0/IVREF1	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	8-1-4	入出力	入力ポート	KR0/SCK01/SCL01/TI02/TO02	ポート5。 6ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P51, P52, P54-P56の入力はTTL入力バッファに設定可能。 P51-P56の出力はN-chオープン・ドレイン出力に設定可能。 1ビット単位で入力/出力の指定可能。
P52				KR1/SI01/SDA01/TI03/TO03	
P53	7-1-4			KR2/SO01/VCOUT0	
P54	8-1-4			SO00/TxD0/INTP1/TOOLTxD	
P55				SI00/RxD0/SDA00/INTP2/TOOLRxD	
P56				SCK00/SCL00/INTP3	
P121	2-2-1	入力	入力ポート	X1	ポート12。 2ビット入力専用ポート。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

2.1.3 30ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P12	4-15-3	入出力	アナログ 入力ポート	ANI2/AMP0+	ポート1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。
P13				ANI3/AMP0-	
P14	4-17-3			ANI4/IVCMP0/AMP0O	
P15				ANI5/AMP1+	
P16	4-15-3			ANI6/AMP1-	
P17				ANI7/AMP1O	
P20	4-17-3			入出力	
P21	4-15-3	ANI12/AMP3-			
P22		ANI11/AMP3+			
P23	4-16-3	ANI10/AMP2O			
P24	4-15-3	ANI9/AMP2-			
P25		ANI8/AMP2+			
P30	8-6-4	入出力	入力ポート		(SCK00)/(SCL00)/TI00/TO01/IVREF0
P31	7-6-2			TI01/TO00/PCLBUZ0/IVREF1	
P33	8-1-3			TI02/TO02/INTP5	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P54	8-1-4	入出力	入力ポート	SO00/TxD0/INTP1/TOOLTxD	ポート5。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P54-P56の入力はTTL入力バッファに設定可能。 P54-P56の出力はN-chオープン・ドレイン出力に設定可能。
P55				SI00/RxD0/SDA00/INTP2/TOOLRxD	
P56				SCK00/SCL00/INTP3	
P121	2-2-1	入力	入力ポート	X1	ポート12。 4ビット入力専用ポート。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

2.1.4 32ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P12	4-15-3	入出力	アナログ 入力ポート	ANI2/AMP0+	ポート1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。
P13				ANI3/AMP0-	
P14				ANI4/IVCMP0/AMP0O	
P15				ANI5/AMP1+	
P16				ANI6/AMP1-	
P17				ANI7/AMP1O	
P20	4-17-3	入出力	アナログ 入力ポート	ANI13/IVCMP1/AMP3O	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。
P21				ANI12/AMP3-	
P22				ANI11/AMP3+	
P23				ANI10/AMP2O	
P24				ANI9/AMP2-	
P25				ANI8/AMP2+	
P30	8-6-4	入出力	入力ポート	(SCK00)/(SCL00)/TI00/TO01/IVREF0	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力に設定可能。
P31				TI01/TO00/PCLBUZ0/IVREF1	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。
P51	8-1-4	入出力	入力ポート	KR0/SCK01/SCL01/TI02/TO02	ポート5。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P51、P52、P54-P56の入力はTTL入力バッファに設定可能。 P51-P56の出力はN-chオープン・ドレイン出力に設定可能。
P52				KR1/SI01/SDA01/TI03/TO03	
P53				KR2/SO01/VCOUT0	
P54				SO00/TxD0/INTP1/TOOLTxD	
P55				SI00/RxD0/SDA00/INTP2/TOOLRxD	
P56				SCK00/SCL00/INTP3	
P121	2-2-1	入力	入力ポート	X1	ポート12。 4ビット入力専用ポート。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

2.1.5 48ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-3	入出力	アナログ 入力ポート	—	ポート0。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P01				PCLBUZ1	
P02	7-3-3			ANI16	
P03				ANI17	
P04				ANI18	
P10	4-3-5	入出力	アナログ 入力ポート	ANI0/AVREFP	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P11				ANI1/AVREFM	
P12	4-15-3			ANI2/AMP0+	
P13				ANI3/AMP0-	
P14	4-17-3			ANI4/IVCMP0/AMP00	
P15	4-15-3			ANI5/AMP1+	
P16				ANI6/AMP1-	
P17	4-16-3			ANI7/AMP10	
P20	4-17-3	入出力	アナログ 入力ポート	ANI13/IVCMP1/AMP30	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-15-3			ANI12/AMP3-	
P22				ANI11/AMP3+	
P23	4-16-3			ANI10/AMP20	
P24	4-15-3			ANI9/AMP2-	
P25				ANI8/AMP2+	
P30	8-6-4	入出力	入力ポート	(SCK00)/(SCL00)/TI00/TO01/IVREF0	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30, P32, P33の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力に設定可能。
P31	7-6-2			TI01/TO00/PCLBUZ0/IVREF1	
P32	8-1-3			KR3/(TI01/TO00)/INTP6	
P33				(TI02/TO02)/INTP5	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-1-3	入出力	入力ポート	(TI00/TO01)/RTC1HZ	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P51, P52, P54-P57の入力はTTL入力バッファに設定可能。 P51-P56の出力はN-chオープン・ドレイン出力に設定可能。
P51	8-1-4			KR0/SCK01/SCL01/TI02/TO02	
P52				KR1/SI01/SDA01/TI03/TO03	
P53	7-1-4			KR2/SO01/VCOUT0	
P54	8-1-4			SO00/TxD0/INTP1/TOOLTxD	
P55				SI00/RxD0/SDA00/INTP2/TOOLRxD	
P56				SCK00/SCL00/INTP3	
P57	8-1-3			(TI03/TO03)/INTP4/VCOUT1	
P60	12-1-1	入出力	入力ポート	—	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				—	
P62				—	
P63				SSI00	
P121	2-2-1	入力	入力ポート	X1	ポート12。 4ビット入力専用ポート。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	7-1-3	入出力	入力ポート	—	ポート13。 1ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/3)

機能名称	48ピン	32ピン	30ピン	24ピン	20ピン
ANI0	○	—	—	—	—
ANI1	○	—	—	—	—
ANI2	○	○	○	○	○
ANI3	○	○	○	○	○
ANI4	○	○	○	○	○
ANI5	○	○	○	—	—
ANI6	○	○	○	—	—
ANI7	○	○	○	—	—
ANI8	○	○	○	—	—
ANI9	○	○	○	—	—
ANI10	○	○	○	—	—
ANI11	○	○	○	○	○
ANI12	○	○	○	○	○
ANI13	○	○	○	○	○
ANI16	○	—	—	—	—
ANI17	○	—	—	—	—
ANI18	○	—	—	—	—
INTP0	○	○	○	○	○
INTP1	○	○	○	○	○
INTP2	○	○	○	○	○
INTP3	○	○	○	○	—
INTP4	○	—	—	—	—
INTP5	○	—	○	—	—
INTP6	○	—	—	—	—
IVCMP0	○	○	○	○	○
IVCMP1	○	○	○	○	○
IVREF0	○	○	○	○	○
IVREF1	○	○	○	○	○
KR0	○	○	—	○	—
KR1	○	○	—	○	—
KR2	○	○	—	○	—
KR3	○	—	—	—	—
PCLBUZ0	○	○	○	○	○
PCLBUZ1	○	—	—	—	—
REGC	○	○	○	○	○
RTC1HZ	○	—	—	—	—
RESET	○	○	○	○	○
RxD0	○	○	○	○	○
SCK00	○	○	○	○	○

(2/3)

機能名称	48ピン	32ピン	30ピン	24ピン	20ピン
SCK01	○	○	—	○	—
SCL00	○	○	○	○	○
SCL01	○	○	—	○	—
SDA00	○	○	○	○	○
SDA01	○	○	—	○	—
SI00	○	○	○	○	○
SI01	○	○	—	○	—
SO00	○	○	○	○	○
SO01	○	○	—	○	—
SSI00	○	—	—	—	—
TI00	○	○	○	○	○
TI01	○	○	○	○	○
TI02	○	○	○	○	—
TI03	○	○	—	○	—
TO00	○	○	○	○	○
TO01	○	○	○	○	○
TO02	○	○	○	○	—
TO03	○	○	—	○	—
TxD0	○	○	○	○	○
VCOUT0	○	○	—	○	—
VCOUT1	○	—	—	—	—
X1	○	○	○	○	○
X2	○	○	○	○	○
EXCLK	○	○	○	○	○
EXCLKS	○	○	○	—	—
XT1	○	○	○	—	—
XT2	○	○	○	—	—
V _{DD}	○	○	○	○	○
AV _{DD}	○	○	○	○	○
AVREFP	○	—	—	—	—
AVREFM	○	—	—	—	—
V _{SS}	○	○	○	○	○
TOOLRxD	○	○	○	○	○
TOOLTxD	○	○	○	○	○
TOOL0	○	○	○	○	○
AV _{SS}	○	○	○	○	○
AMP0+	○	○	○	○	○
AMP1+	○	○	○	—	—
AMP2+	○	○	○	—	—

(3/3)

機能名称	48ピン	32ピン	30ピン	24ピン	20ピン
AMP3+	○	○	○	○	○
AMP0-	○	○	○	○	○
AMP1-	○	○	○	—	—
AMP2-	○	○	○	—	—
AMP3-	○	○	○	○	○
AMP00	○	○	○	○	○
AMP10	○	○	○	—	—
AMP20	○	○	○	—	—
AMP30	○	○	○	○	○

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI13, ANI16-ANI18	入力	A/Dコンバータのアナログ入力(図14-46 アナログ入力端子の処理参照)
INTP0-INTP6	入力	外部割り込み要求入力 有効エッジ指定： 立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOUT0, VCOUT1	出力	コンパレータ出力
KR0-KR3	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し、V _{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック(1 Hz)出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。
RxD0	入力	シリアル・インタフェースUART0のシリアル・データ入力
TxD0	出力	シリアル・インタフェースUART0のシリアル・データ出力
SCK00, SCK01	入出力	シリアル・インタフェースCSI00, CSI01のシリアル・クロック入力/出力
SCL00, SCL01	出力	シリアル・インタフェースIIC00, IIC01のシリアル・クロック出力
SDA00, SDA01	入出力	シリアル・インタフェースIIC00, IIC01のシリアル・データ入出力
SI00, SI01	入力	シリアル・インタフェースCSI00, CSI01のシリアル・データ入力
SSI00	入力	シリアル・インタフェースCSI00のチップ・セレクト入力
SO00, SO01	出力	CSI00, CSI01のシリアル・データ出力
TI00-TI03	入力	16ビット・タイマ00-03への外部カウント・クロック/キャプチャ・トリガ入力
TO00-TO03	出力	16ビット・タイマ00-03のタイマ出力
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	—	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
V _{DD}	—	アナログ端子以外の端子の正電源
AV _{DD}	—	アナログ端子の端子の正電源
AVREFP	入力	A/Dコンバータの+側基準電圧入力
AVREFM	入力	A/Dコンバータの-側基準電圧入力
V _{SS}	—	アナログ端子以外の端子のグランド電位
AV _{SS}	—	アナログ端子のグランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信

(2/2)

機能名称	入出力	機能
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力
AMP0+	入力	オペアンプ+側入力
AMP1+		
AMP2+		
AMP3+		
AMP0-	入力	オペアンプ-側入力
AMP1-		
AMP2-		
AMP3-		
AMP0O	出力	オペアンプ出力
AMP1O		
AMP2O		
AMP3O		

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
VDD	通常動作モード
0V	フラッシュ・メモリ・プログラミング・モード

詳細は、30.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD-VSSライン間へのバイパスコンデンサ(0.1 μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

表2-3に各端子の未使用端子処理を示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View)、2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P04	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P10-P17		入力時：個別に抵抗を介して、AV _{DD} またはAV _{SS} に接続してください。
P20-P25		出力時：オープンにしてください。
P30-P33		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、V _{DD} に接続またはオープンにしてください。 出力時：オープンにしてください。
P50-P57		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P60-P63		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
P121-P124	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P130	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P137		入力
RESET	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47~1 μF)を介し、V _{SS} に接続してください。

2.4 端子ブロック図

2.1.1 20ピン製品～2.1.5 48ピン製品に記載した端子タイプについて、端子ブロック図を図2-3～図2-15に示します。

図2-1 端子タイプ 2-1-1 の端子ブロック図

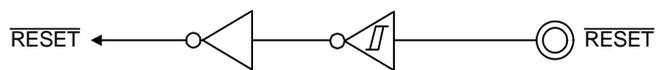
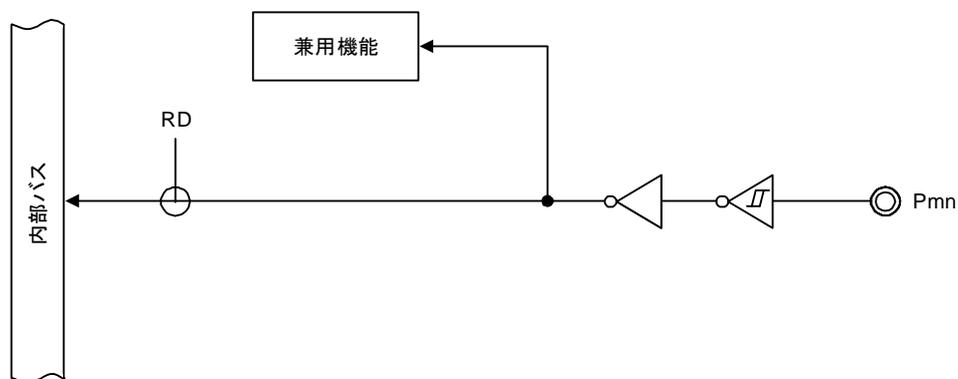
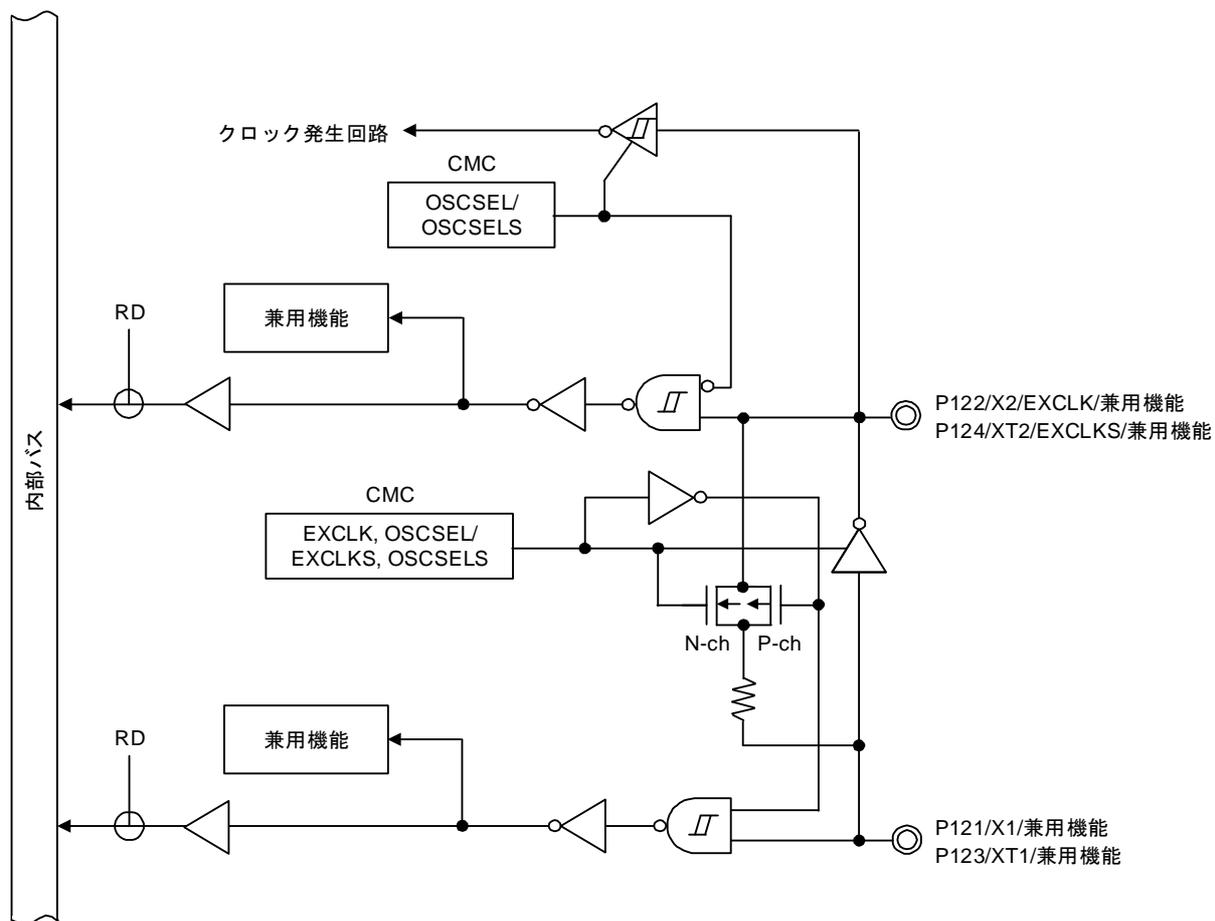


図2-2 端子タイプ 2-1-2 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-3 端子タイプ 2-2-1 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2 - 4 端子タイプ4-3-5の端子ブロック図

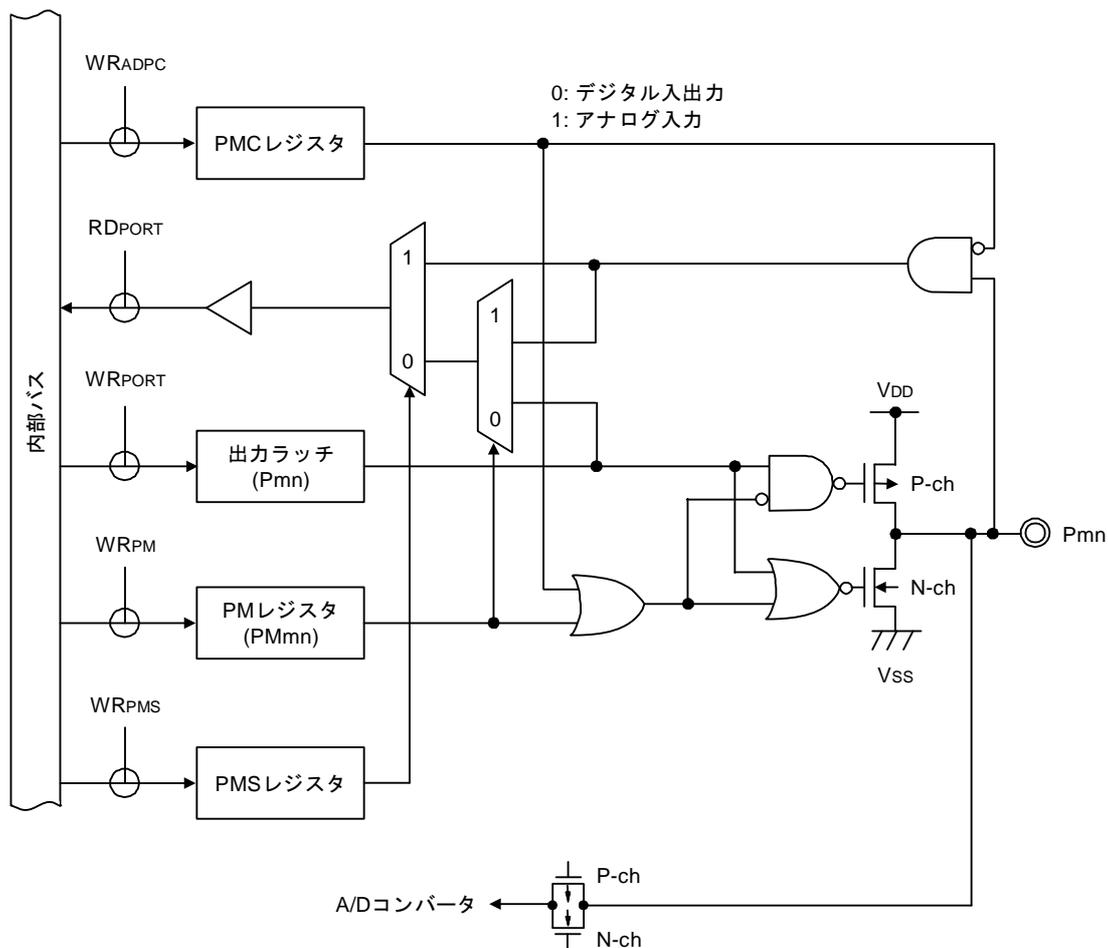


図2-5 端子タイプ4-15-3の端子ブロック図

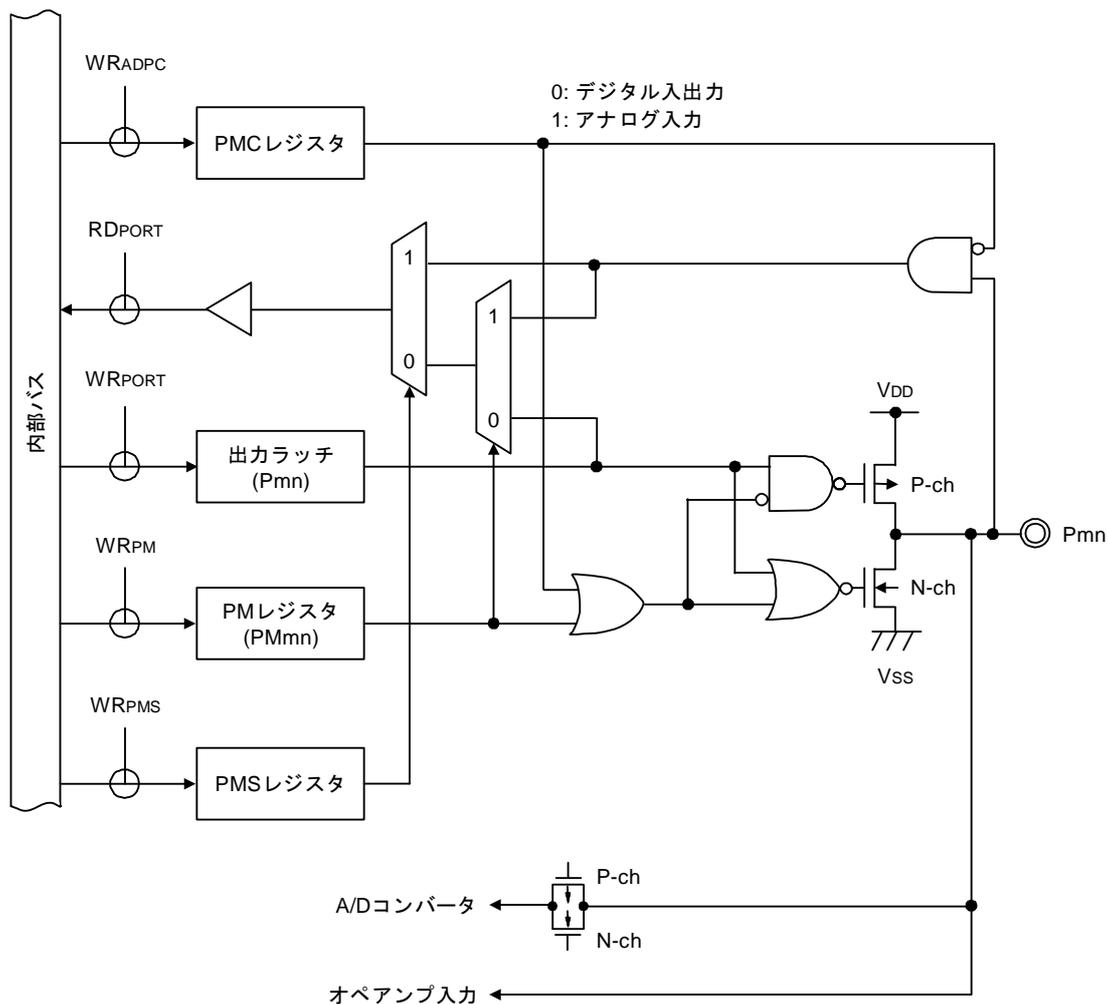


図2-6 端子タイプ4-16-3の端子ブロック図

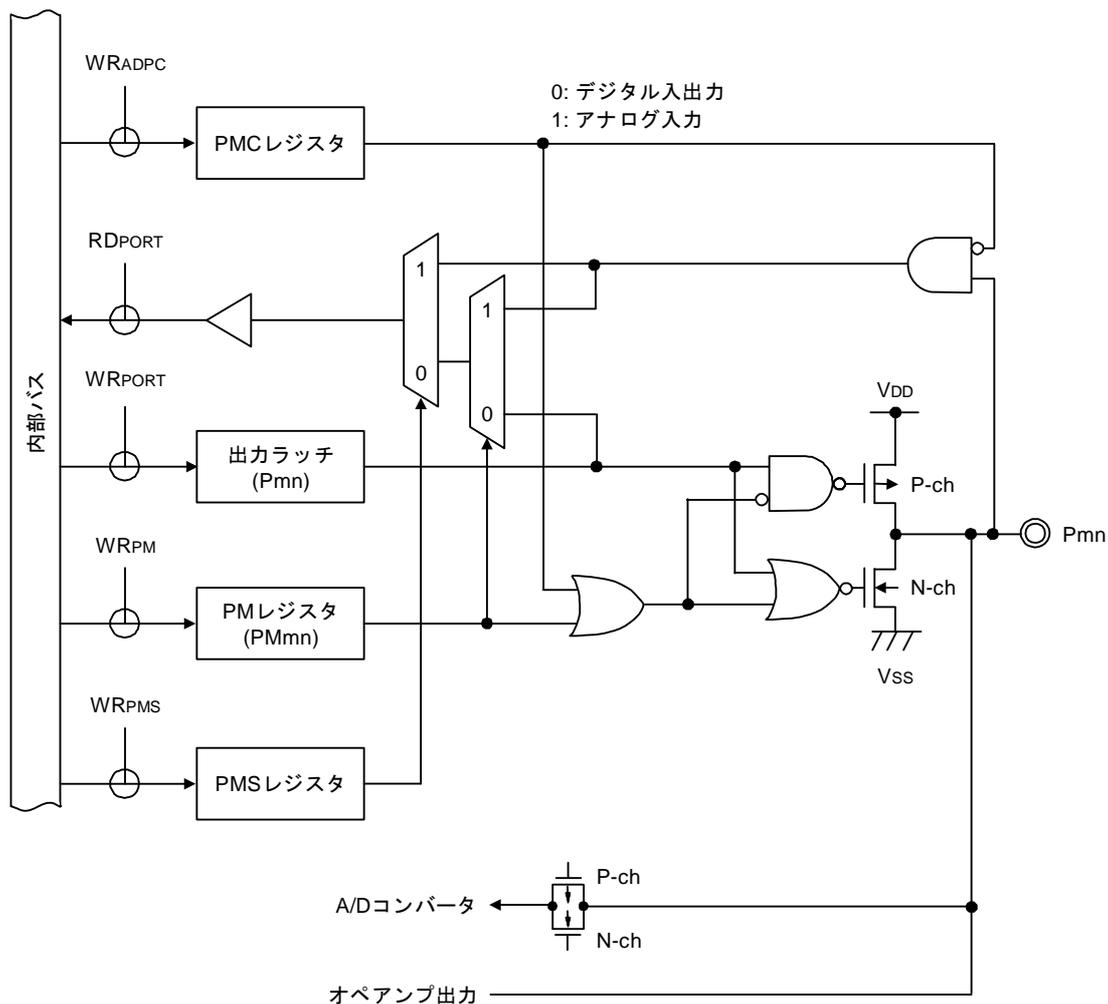


図2-7 端子タイプ4-17-3の端子ブロック図

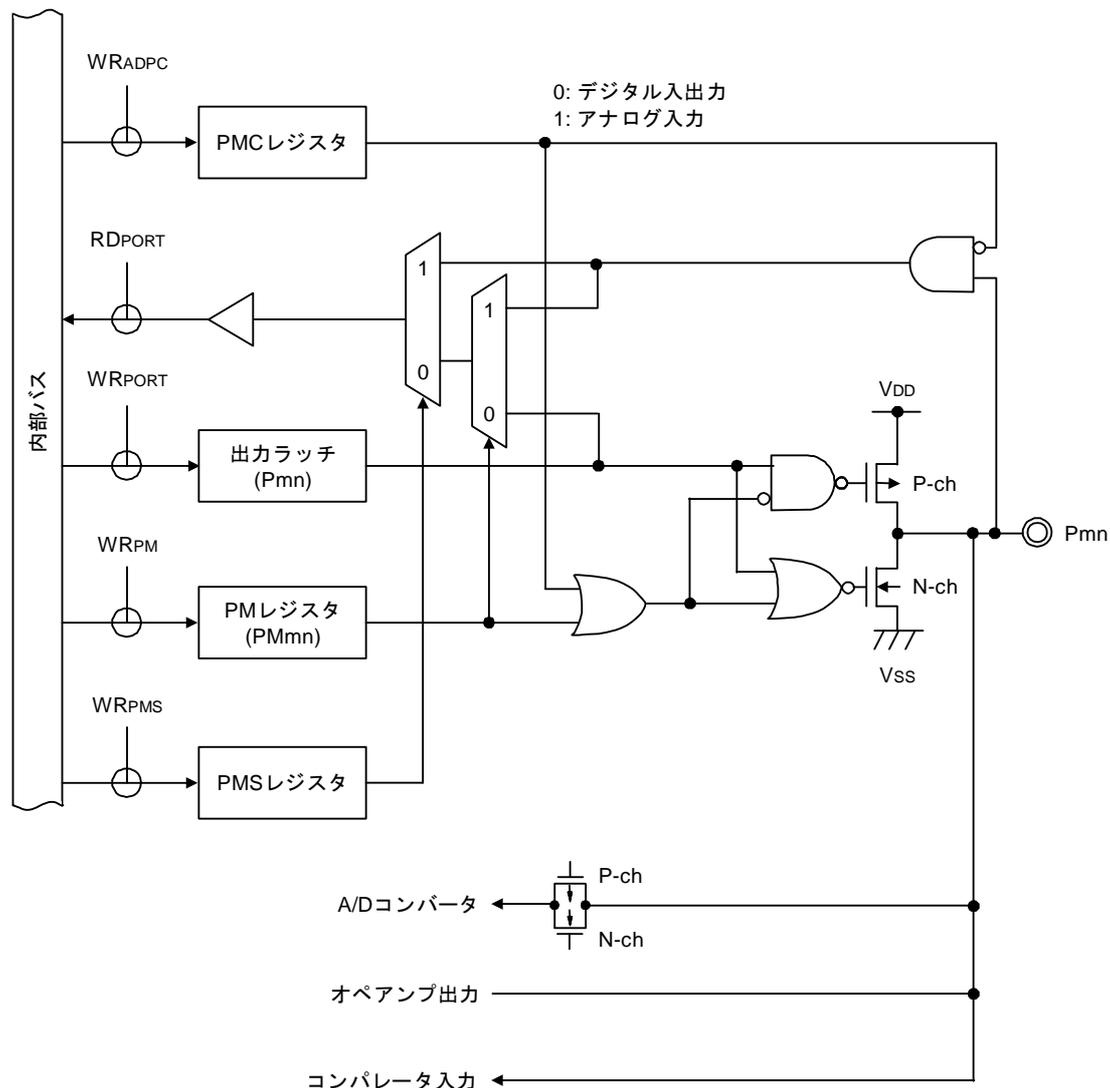
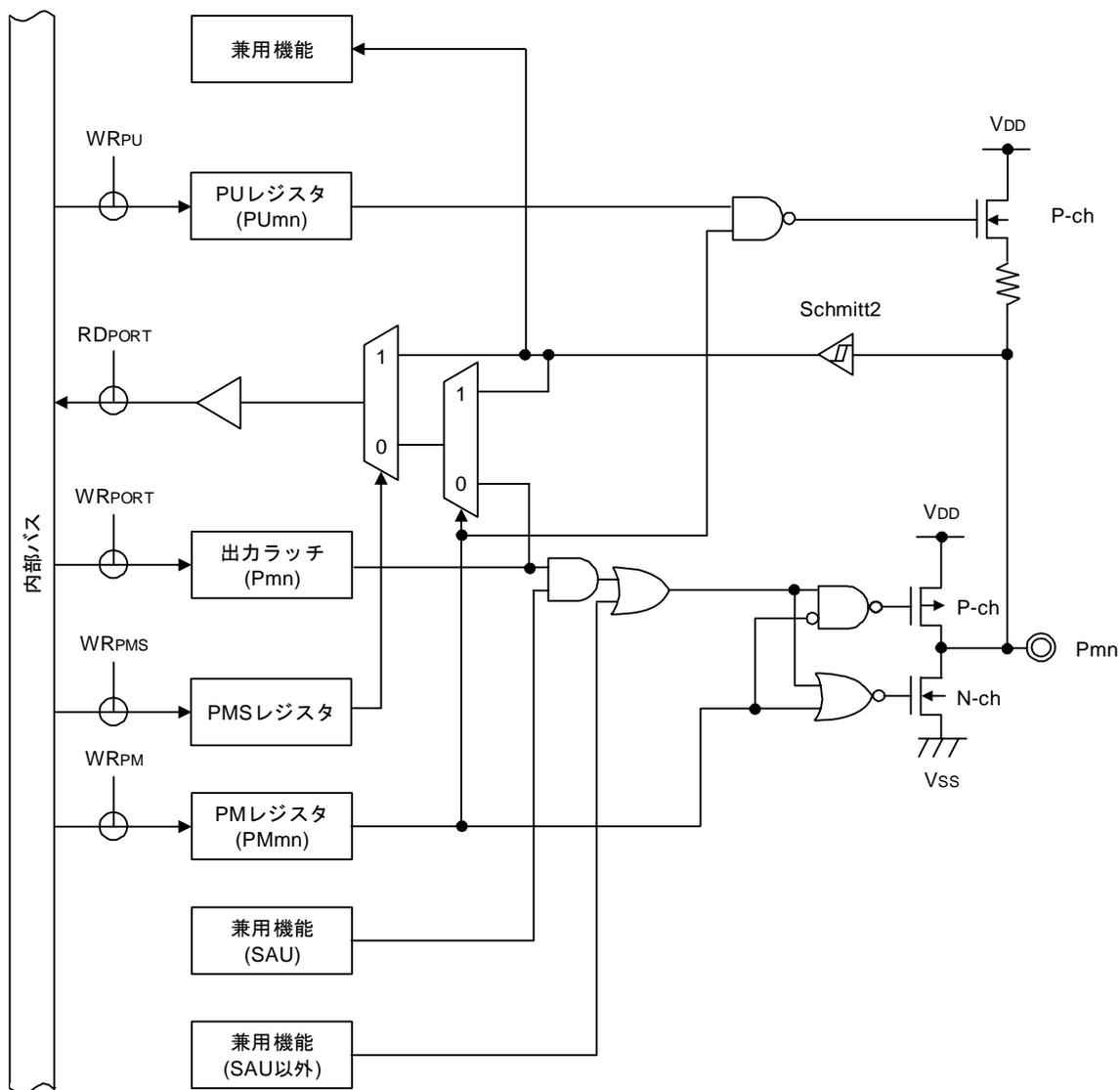


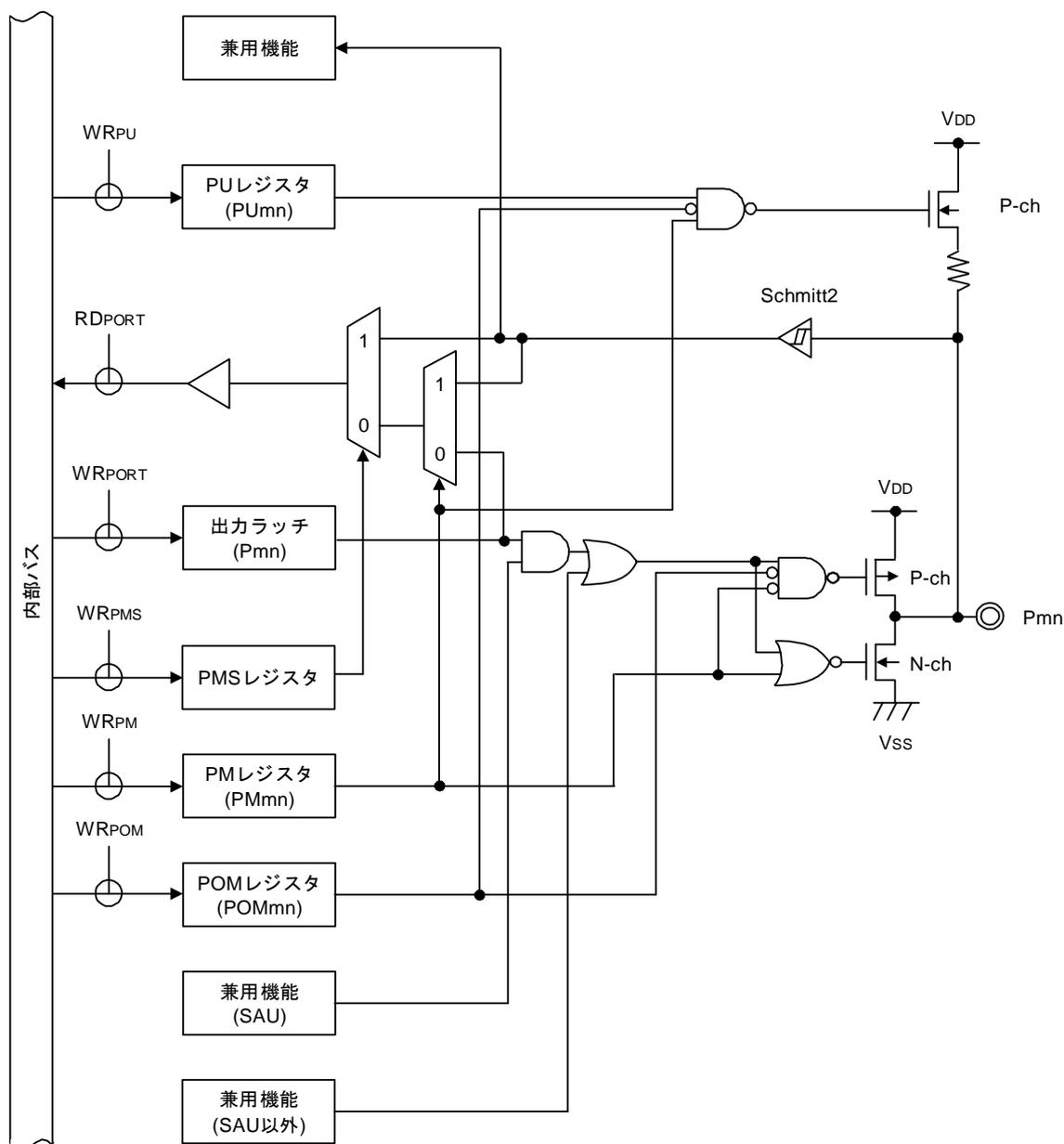
図2-8 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-9 端子タイプ7-1-4の端子ブロック図

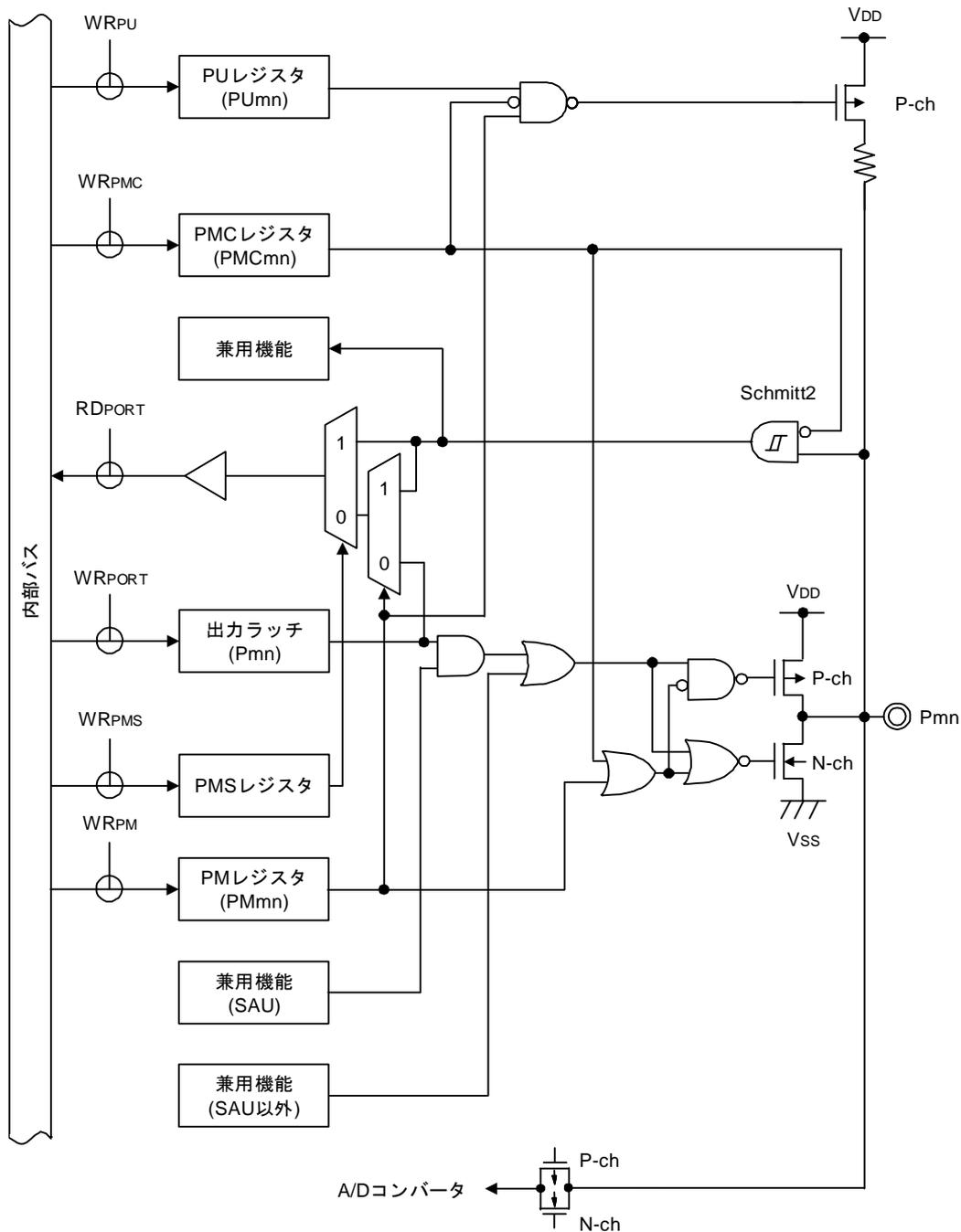


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(VDDレベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU: シリアル・アレイ・ユニット

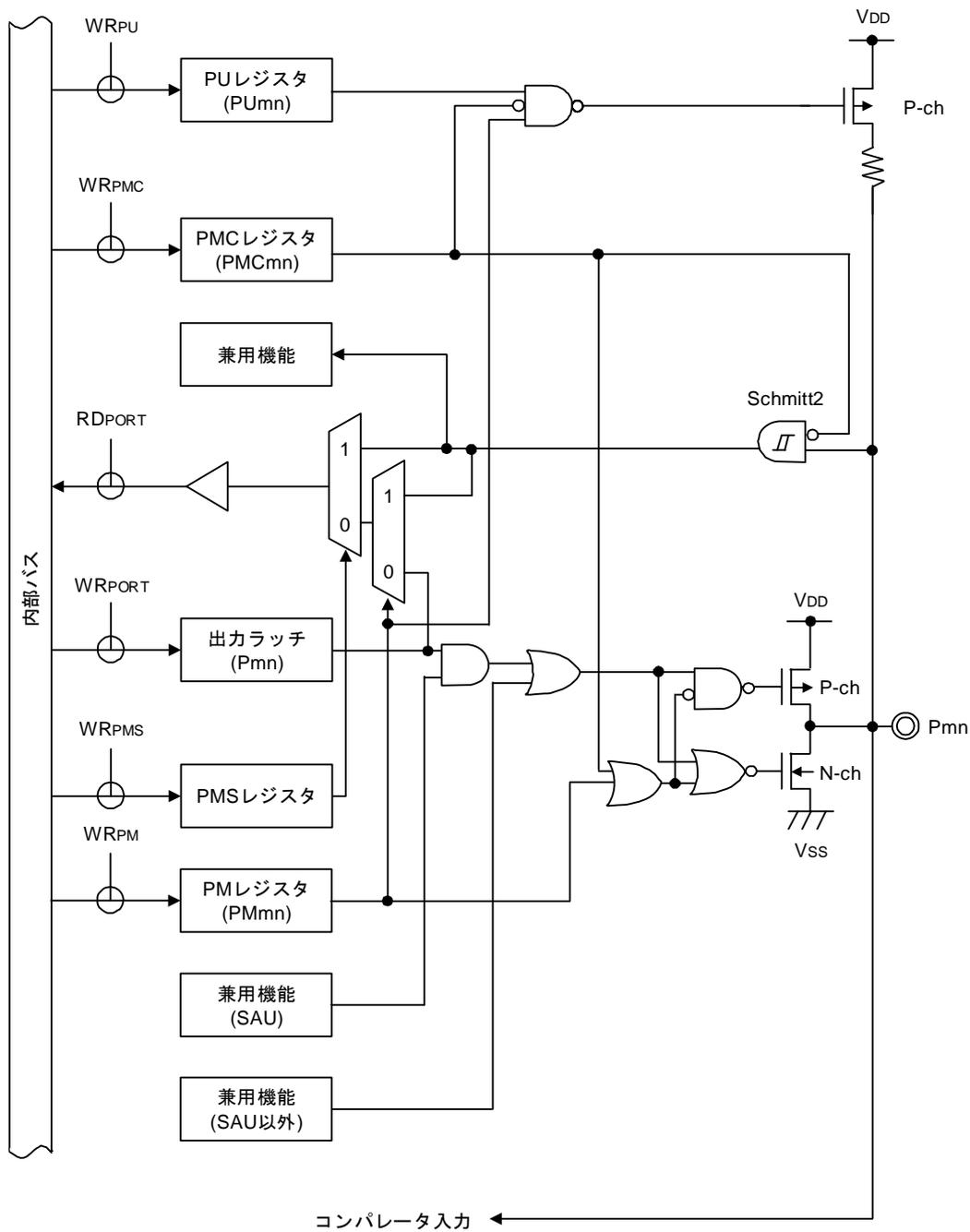
図2-10 端子タイプ7-3-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

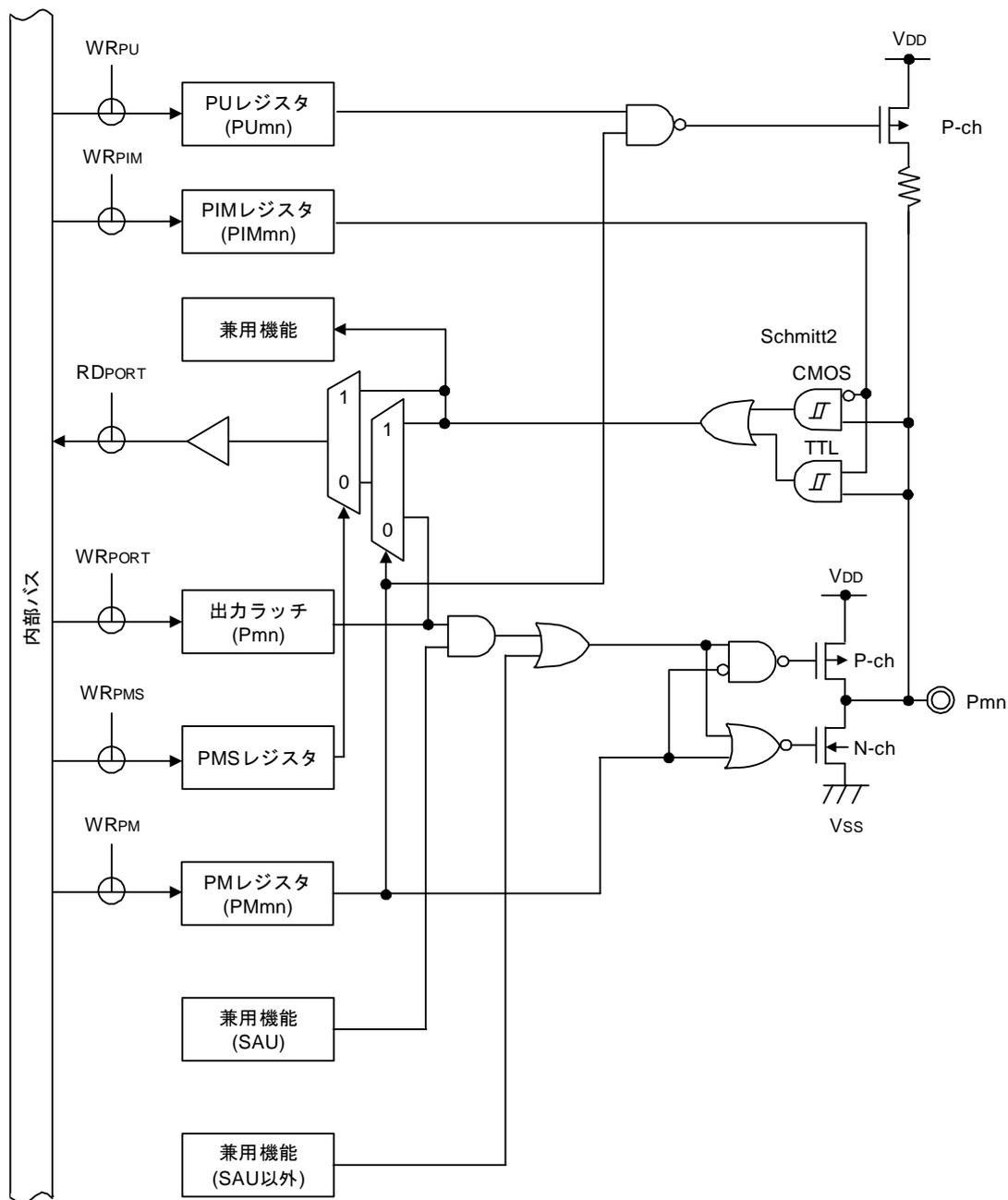
図2 - 11 端子タイプ7-6-2の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-12 端子タイプ8-1-3の端子ブロック図

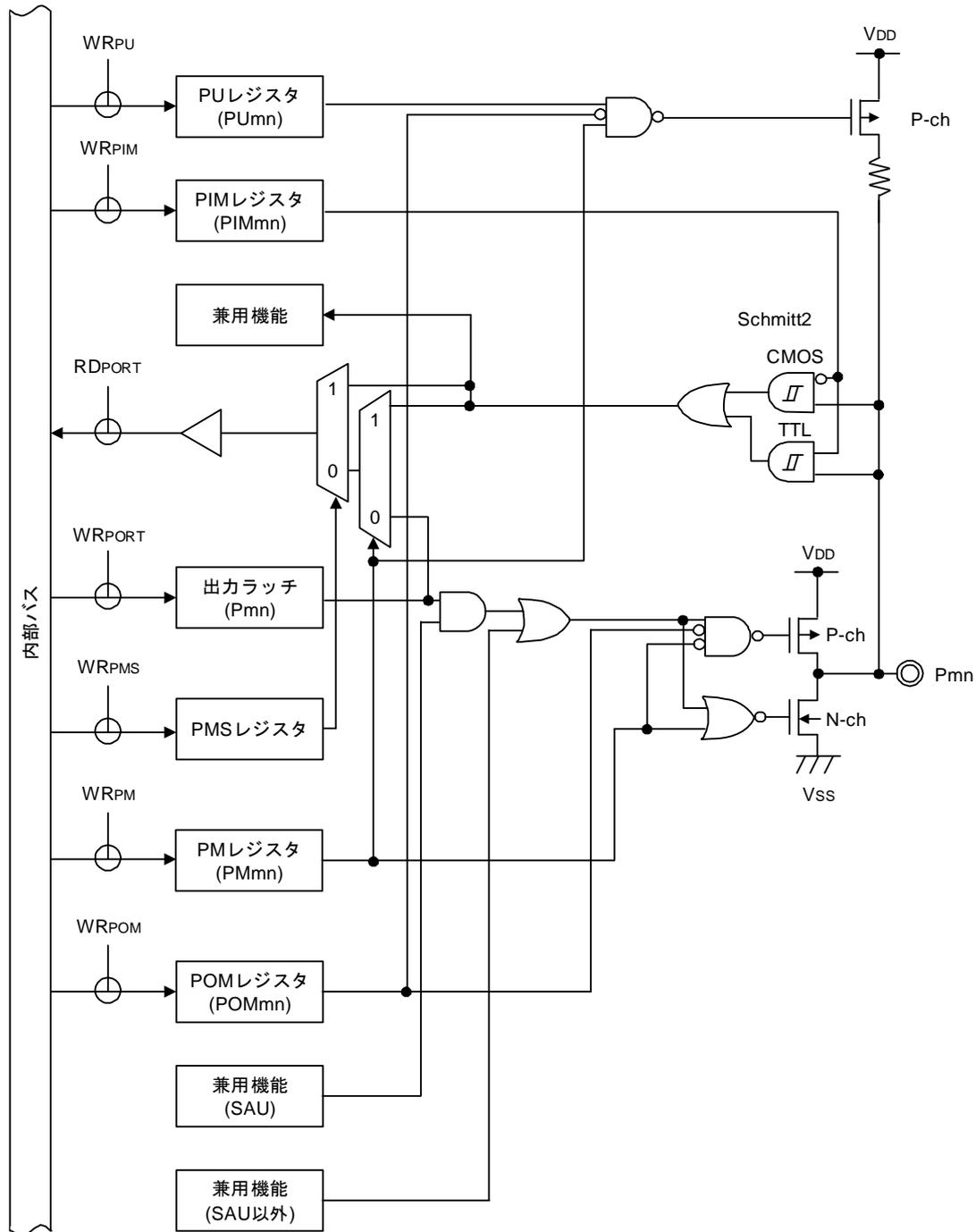


注意 ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-13 端子タイプ8-1-4の端子ブロック図



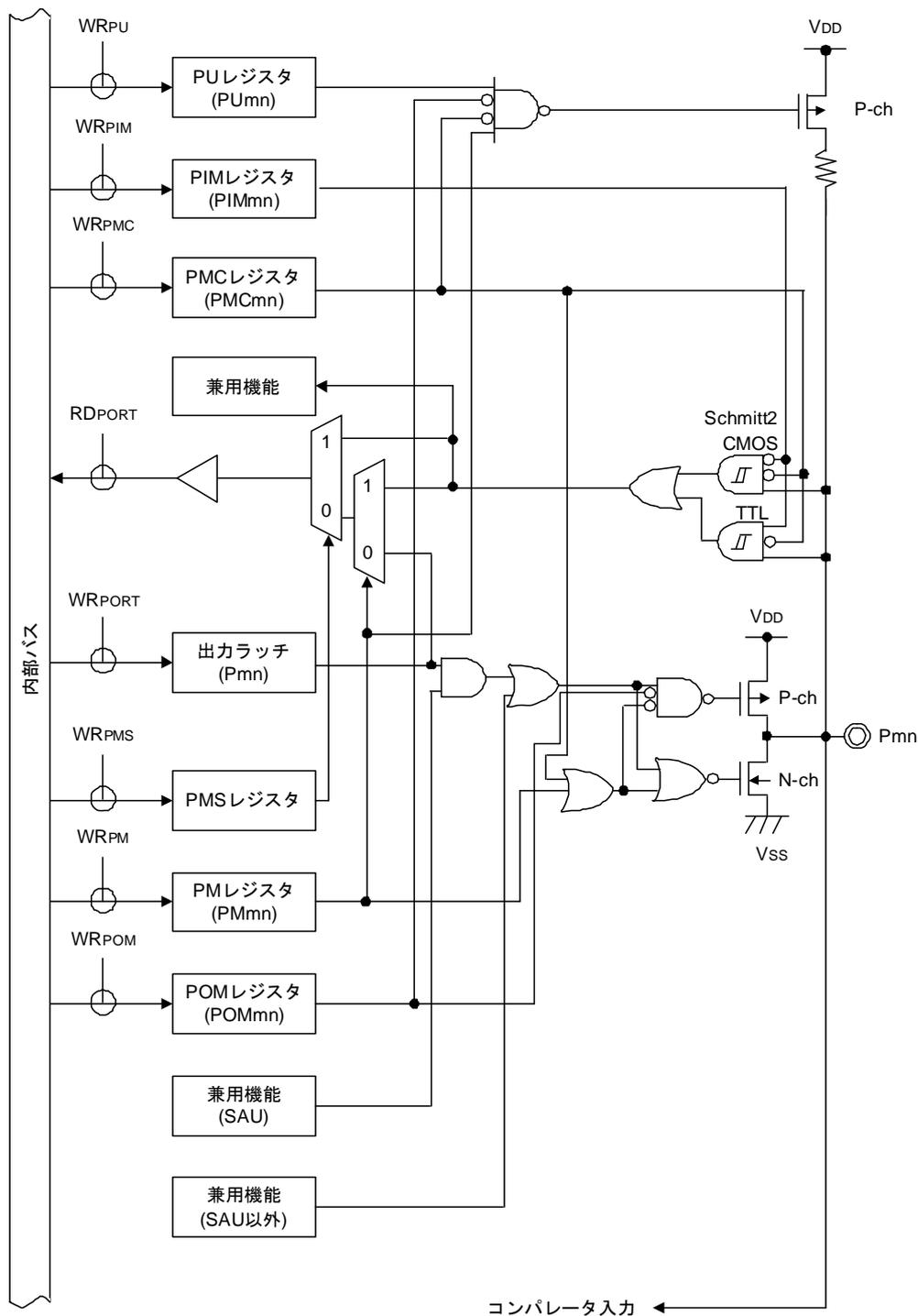
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-14 端子タイプ8-6-4の端子ブロック図



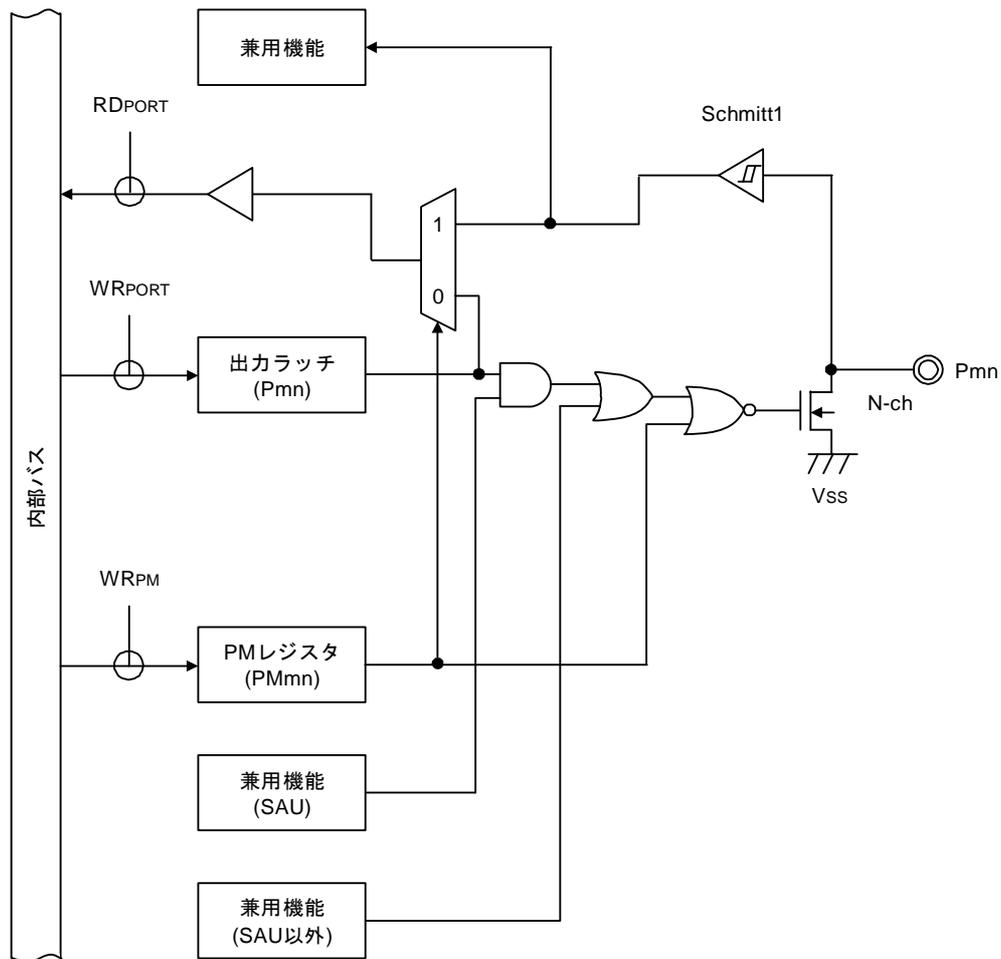
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(VDDレベル)が発生することがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 15 端子タイプ12-1-1の端子ブロック図



注意 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

RL78/I1Dは、RL78-S3 CPUコアを搭載するマイクロコントローラです。

RL78-S3のCPUコアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来のCPUコアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とする様々なアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ×8本
- 命令の種類：81種類

以下の乗除算命令は、RL78-S3コアにのみあります。

MULHU (符号なし16ビット乗算)

MULH (符号付き16ビット乗算)

DIVHU (符号なし16ビット除算)

DIVWU (符号なし32ビット除算)

MACHU (符号なし積和算(16ビット×16ビット)+32ビット)

MACH (符号付き積和算(16ビット×16ビット)+32ビット)

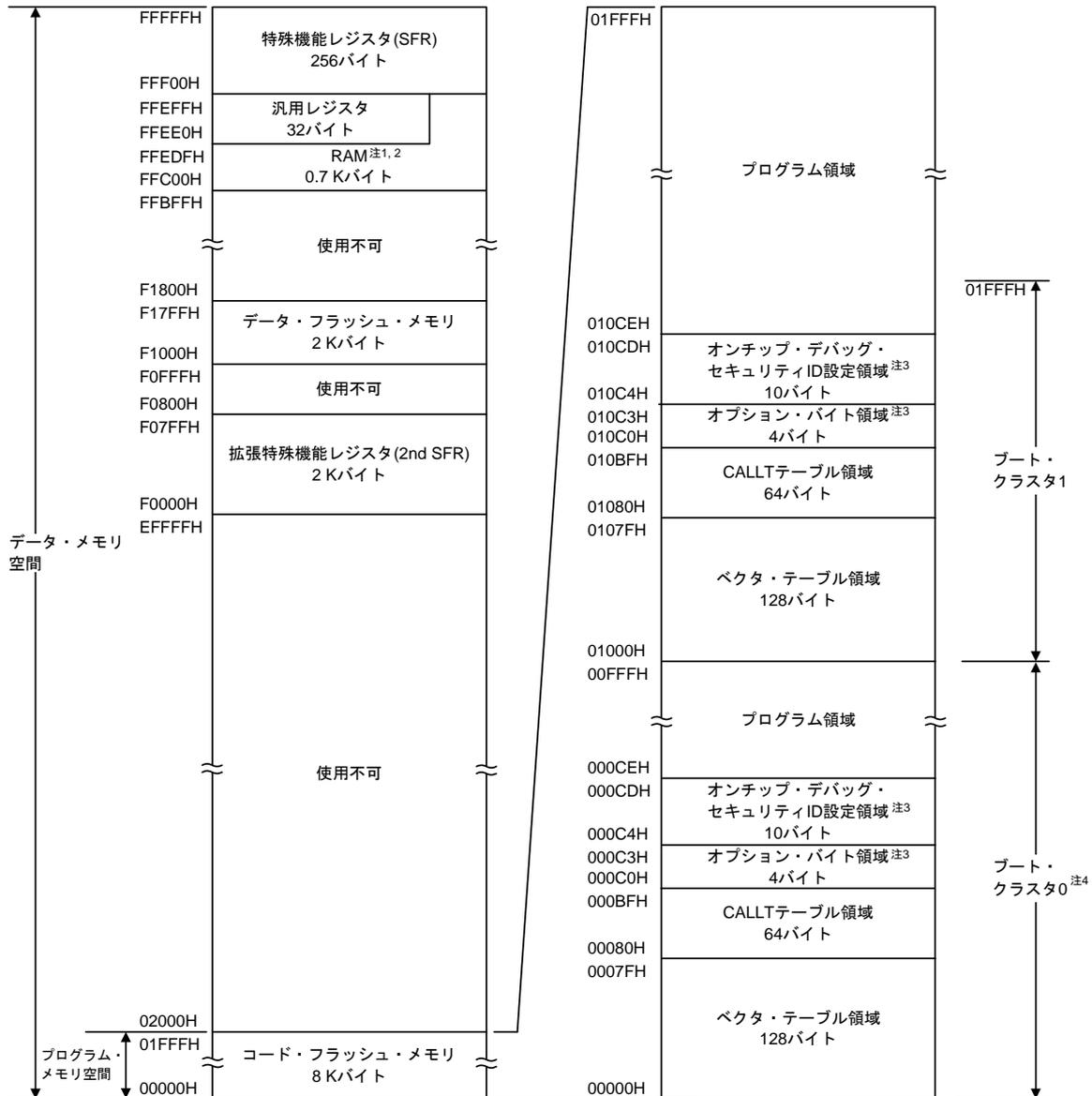
- データ配置：リトル・エンディアン

RL78/I1DはOCDトレース機能をサポートします。

3.1 メモリ空間

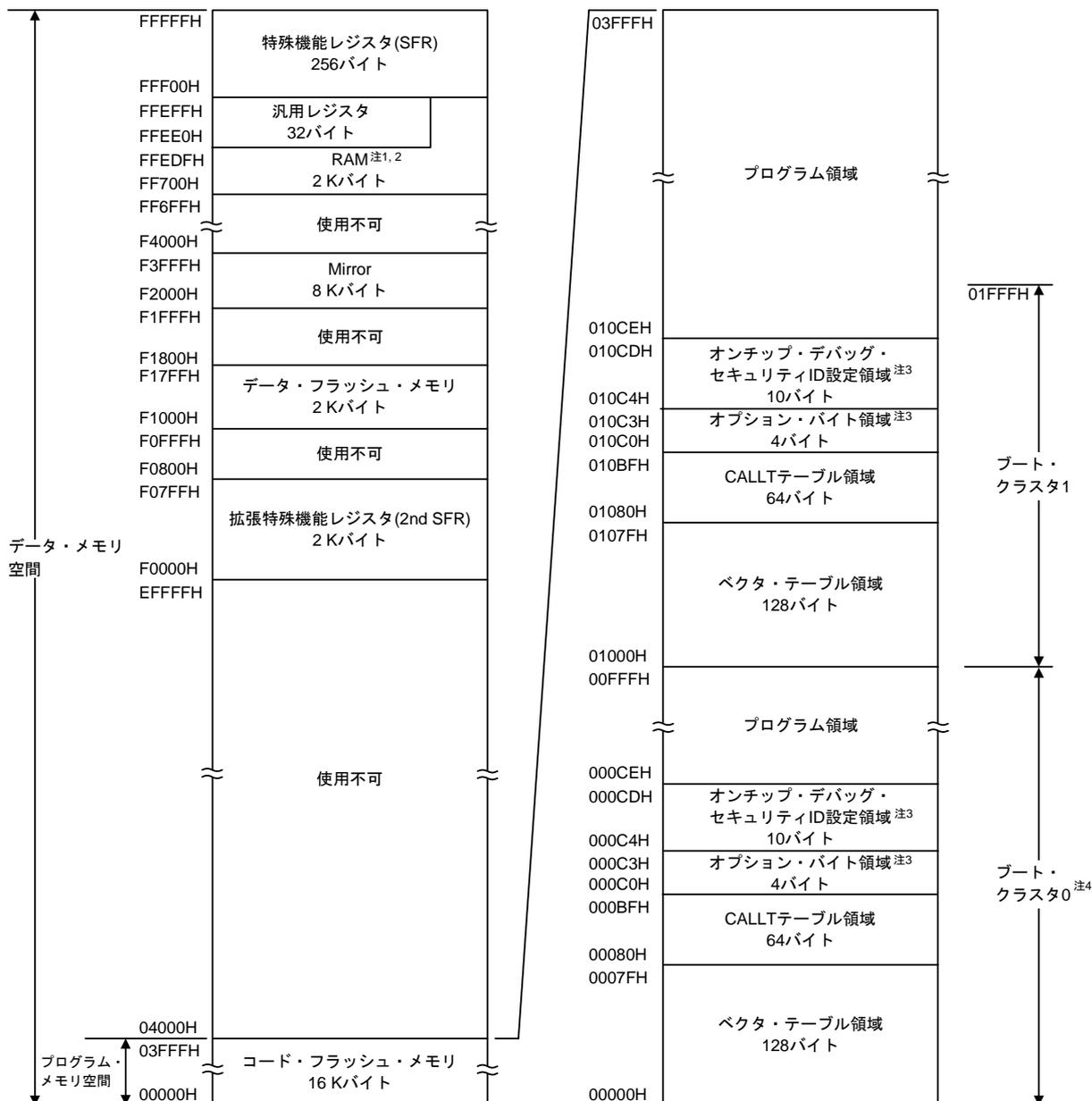
RL78/I1Dは、1 Mバイトのアドレス空間をアクセスできます。図3-1～図3-3に、メモリ・マップを示します。

図3-1 メモリ・マップ (R5F117x8 (x = 6, 7, A))



- 注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。
- 注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-2 メモリ・マップ(R5F117xA (x = 6, 7, A, B, G))

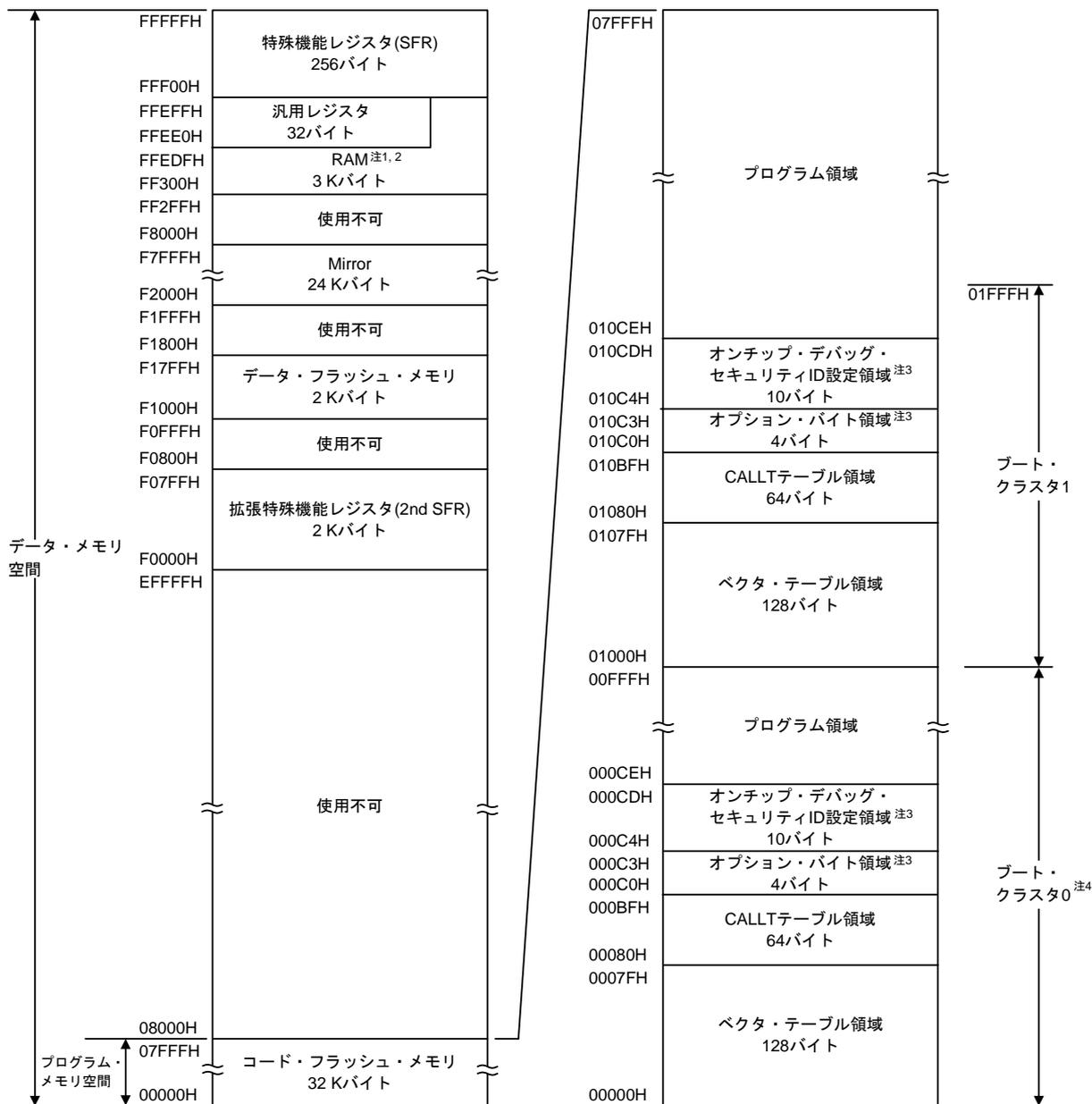


- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用されるデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
また、フラッシュ・ライブラリがFF700Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

(注意は次ページに続きます。)

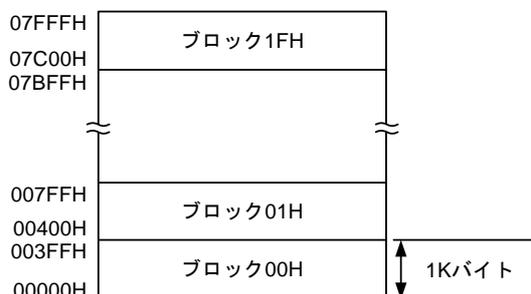
注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-3 メモリ・マップ(R5F117xC (x = A, B, G))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFF300Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3H にオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID 設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。
- 注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック=1Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



R5F117xC (x = A, B, G) の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	02000H-023FFH	08H	04000H-043FFH	10H	06000H-063FFH	18H
00400H-007FFH	01H	02400H-027FFH	09H	04400H-047FFH	11H	06400H-067FFH	19H
00800H-00BFFH	02H	02800H-02BFFH	0AH	04800H-04BFFH	12H	06800H-06BFFH	1AH
00C00H-00FFFH	03H	02C00H-02FFFH	0BH	04C00H-04FFFH	13H	06C00H-06FFFH	1BH
01000H-013FFH	04H	03000H-033FFH	0CH	05000H-053FFH	14H	07000H-073FFH	1CH
01400H-017FFH	05H	03400H-037FFH	0DH	05400H-057FFH	15H	07400H-077FFH	1DH
01800H-01BFFH	06H	03800H-03BFFH	0EH	05800H-05BFFH	16H	07800H-07BFFH	1EH
01C00H-01FFFH	07H	03C00H-03FFFH	0FH	05C00H-05FFFH	17H	07C00H-07FFFH	1FH

備考 R5F117x8 (x = 6, 7, A) : ブロック番号00H-07H

R5F117xA (x = 6, 7, A, B, G) : ブロック番号00H-0FH

R5F117xC (x = A, B, G) : ブロック番号00H-1FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/I1Dは、次に示す内部ROM (フラッシュ・メモリ)を内蔵しています。

表3-2 内部ROM容量

製品	内部ROM	
	構造	容量
R5F117x8 (x = 6, 7, A)	フラッシュ・メモリ	8192 × 8 ビット (00000H-01FFFH)
R5F117xA (x = 6, 7, A, B, G)		16384 × 8 ビット (00000H-03FFFH)
R5F117xC (x = A, B, G)		32768 × 8 ビット (00000H-07FFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	48ピン	32ピン	30ピン	24ピン	20ピン
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○
0004H	INTWDTI	○	○	○	○	○
0006H	INTLVI	○	○	○	○	○
0008H	INTP0	○	○	○	○	○
000AH	INTP1	○	○	○	○	○
000CH	INTP2	○	○	○	○	○
000EH	INTP3	○	○	○	○	—
0010H	INTP4	○	—	—	—	—
0012H	INTP5	○	—	○	—	—
0014H	INTP6	○	—	—	—	—
0016H	INTST0/INTCSI00/INTIIC00	○	○	○	○	○
0018H	INTSR0	○	○	○	○	○
	INTCSI01	○	○	—	○	—
	INTIIC01	○	○	—	○	—
001EH	INTSRE0	○	○	○	○	○
0020H	INTTM00	○	○	○	○	○
0022H	INTRTIT	○	○	○	—	—
0024H	INTFM	○	○	○	—	—
0026H	INTTM01H	○	○	○	○	○
0028H	INTTM03H	○	○	○	○	○
002AH	INTTM01	○	○	○	○	○
002CH	INTTM02	○	○	○	○	○
002EH	INTTM03	○	○	○	○	○
0034H	INTAD	○	○	○	○	○
0036H	INTRTC	○	○	○	○	○
0038H	INTIT	○	○	○	○	○
003AH	INTKR	○	○	—	○	—
003CH	INTCMP0	○	○	○	○	○
003EH	INTCMP1	○	○	○	○	○
0040H	INTDOC	○	○	○	○	○
0044H	INTTM00	○	○	○	○	○
0046H	INTTM01	○	○	○	○	○
0048H	INTTM10	○	○	○	○	○
004AH	INTIT11	○	○	○	○	○
0052H	INTFL	○	○	○	○	○
007EH	BRK	○	○	○	○	○

(2) CALLT 命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エン트리・アドレスを格納することができます。サブルーチン・エン트리・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第29章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は第31章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

RL78/I1Dでは、00000H-0FFFFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています (プロセッサ・モード・コントロール・レジスタ (PMC) で設定)。

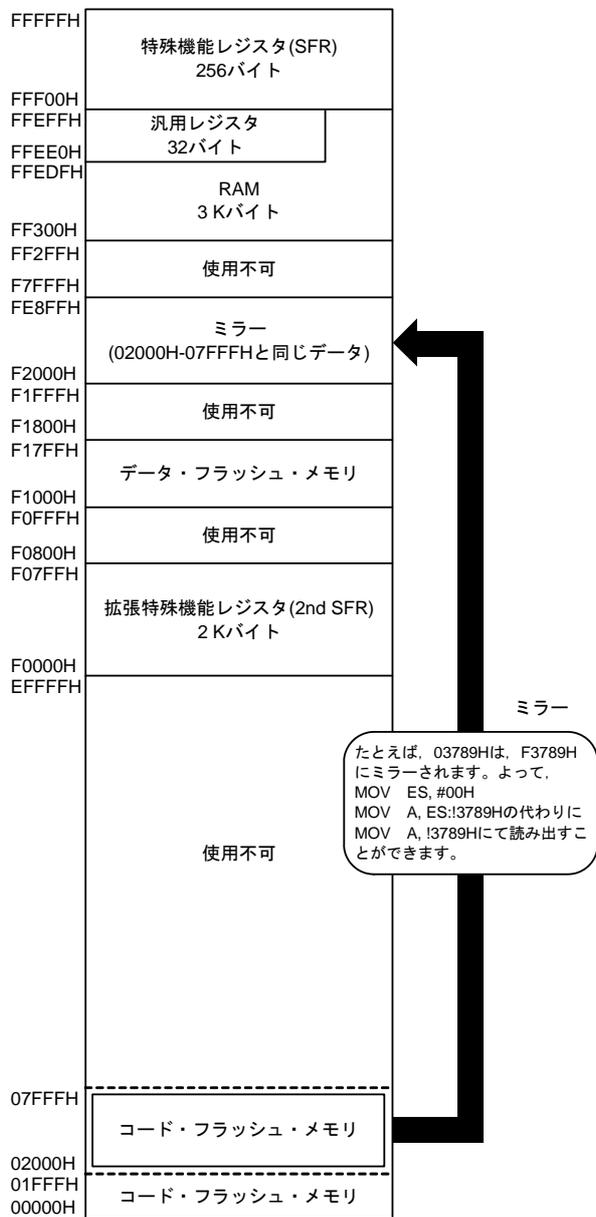
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、特殊機能レジスタ (SFR)、拡張特殊機能レジスタ (2nd SFR)、RAM領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F117xC (x = A, B, G) (フラッシュ・メモリ 32 Kバイト, RAM 3 Kバイト) の場合



次に、PMCレジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-4 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー							
1	設定禁止							

注意1. 必ずビット0 (MAA) を0 (初期値) でご使用ください。

注意2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/I1Dは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製品	内部RAM
R5F117x8 (x = 6, 7, A)	768 × 8ビット (FFC00H-FFEFFFH)
R5F117xA (x = 6, 7, A, B, G)	2048 × 8ビット (FF700H-FFEFFFH)
R5F117xC (x = A, B, G)	3096 × 8ビット (FF300H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます (汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうち FFEE0H-FFEFFFH の32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFFH) は、命令フェッチやスタックの領域に使用できません。
- 注意2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスを FFE20H-FFEDFH の領域に配置しないでください。
- 注意3. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とライブラリが使用するRAM領域のスタートアドレスを示します。
- R5F117xC (x = A, B, G) : スタート・アドレス FF300H
- フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルフRAMリスト (R20UT2943) を参照してください。
- 注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。
- R5F117xC (x = A, B, G) : FF700H-FF8FFFH

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています(3.2.4 特殊機能レジスタ (SFR : Special Function Register)の表3 - 5～表3 - 7参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています(3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register)の表3 - 8～表3 - 12参照)。

注意1. 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

注意2. 拡張SFR (2nd SFR)の一部の領域F0500H-F0515Hに配置している8ビット・インターバル・タイマ・カウンタ・レジスタ0 (TRT0), 8ビット・インターバル・タイマ・カウンタ・レジスタ1 (TRT1), DOCコントロールレジスタ (DOCR), DOCデータインプットレジスタ (DODIR), DOCデータセッティングレジスタ (DODSR) へのアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。8ビット・インターバル・タイマ・カウンタ・レジスタ0 (TRT0), 8ビット・インターバル・タイマ・カウンタ・レジスタ1 (TRT1), DOCコントロールレジスタ (DOCR), DOCデータインプットレジスタ (DODIR), DOCデータセッティングレジスタ (DODSR) アクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

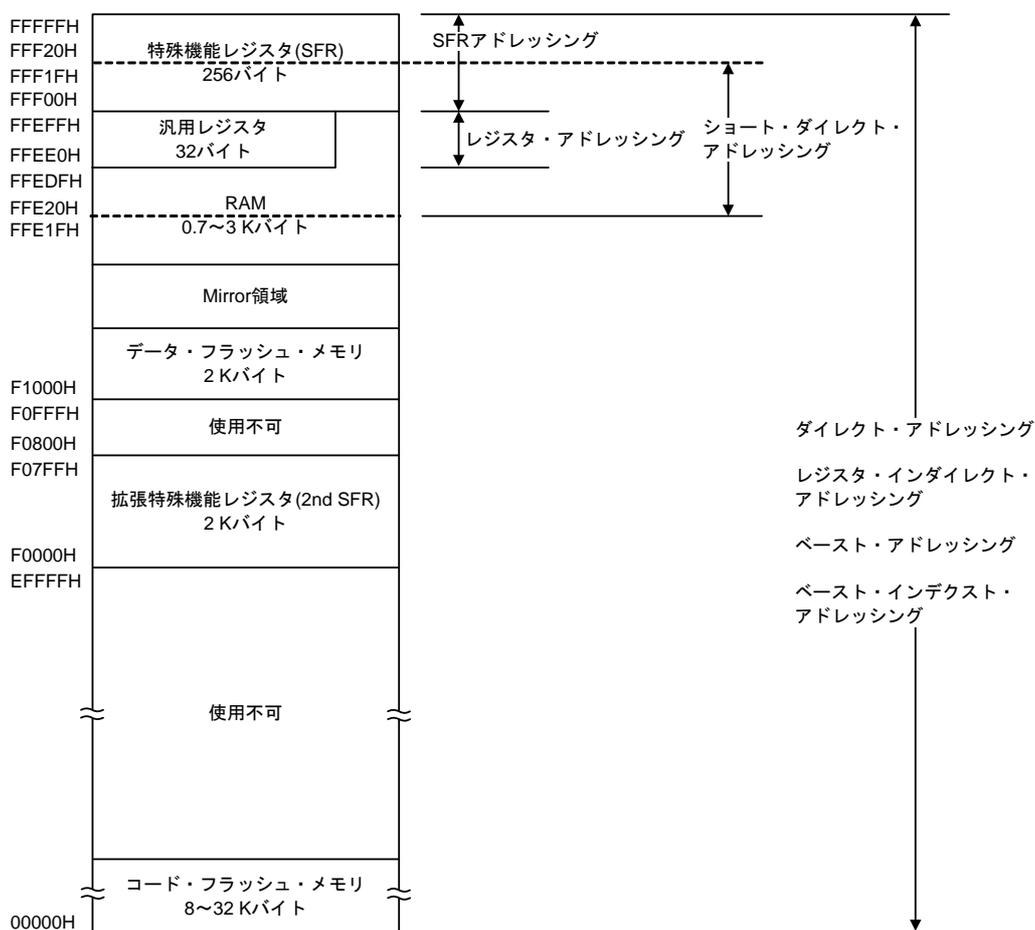
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/I1Dでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-5にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3.4 処理データ・アドレスに対するアドレッシング」を参照してください。

図3-5 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/I1Dは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP)があります。

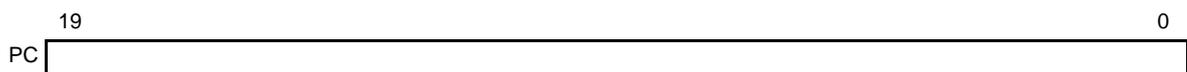
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-6 プログラム・カウンタの構成



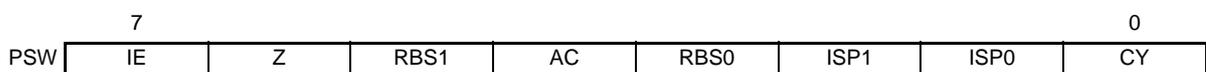
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時および PUSH PSW 命令の実行時にスタック領域に格納され、RETB, RETI 命令および POP PSW 命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-7 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL Rn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (21.3.3参照) でISP0, ISP1 フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考n = 0, 1

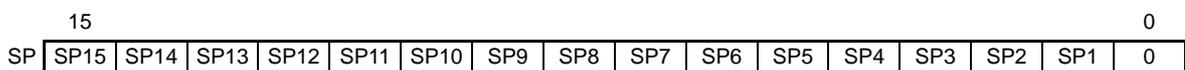
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-8 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 注意2. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFH)は、命令フェッチやスタックの領域に使用できません。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注意4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。
R5F117xC (x = A, B, G) : FF300H-FF709H
- 注意5. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。
R5F117xC (x = A, B, G) : FF700H-FF8FFH

3.2.2 汎用レジスタ

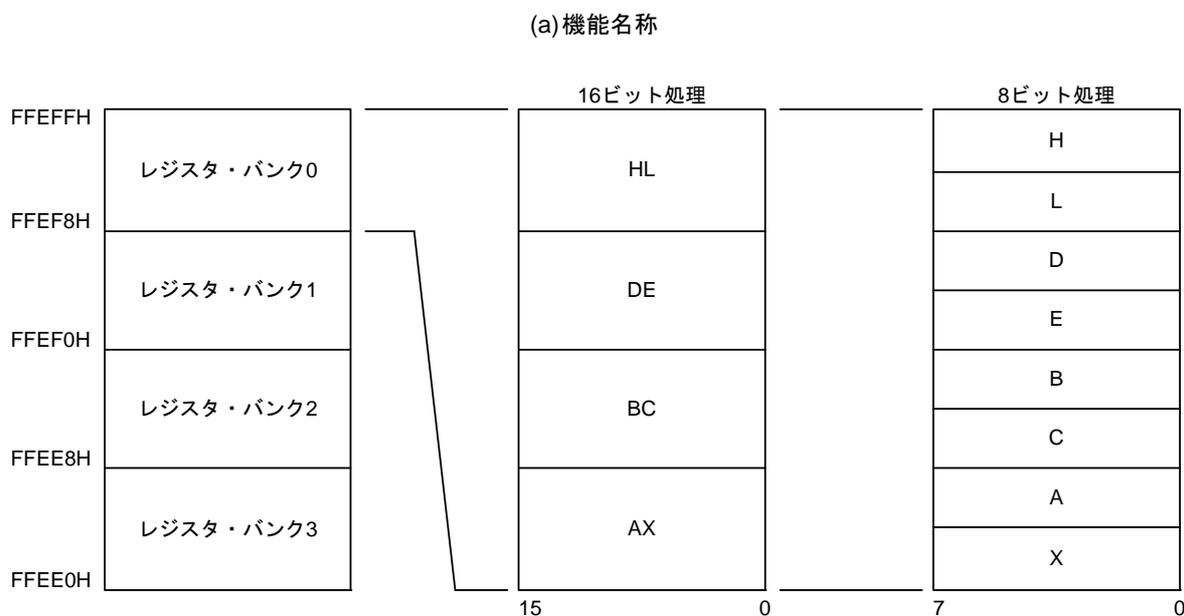
汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

図3-9 汎用レジスタの構成

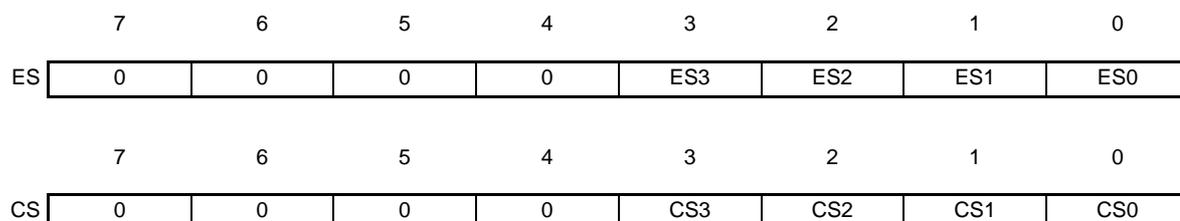


3.2.3 ES, CS レジスタ

ES レジスタでデータ・アクセス、CS レジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

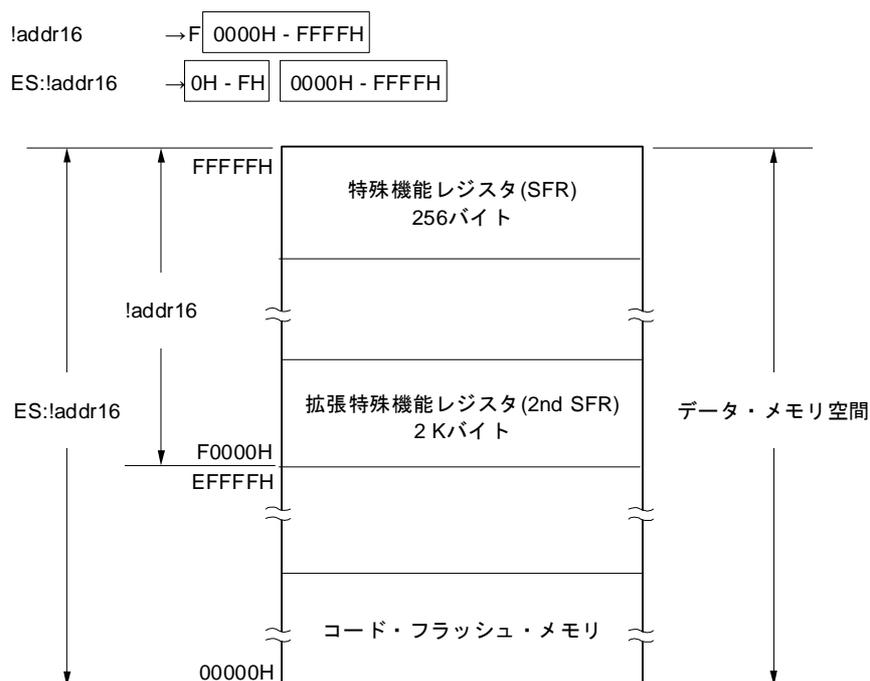
ES レジスタのリセット後の初期値は0FH、CS レジスタのリセット後の初期値は00Hです。

図3 - 10 ES/CS レジスタの構成



16 ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFH の64 K バイト空間ですが、ES: を付加すると00000H-FFFFFH の1 Mバイト空間に拡張できます。

図3 - 11 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表3-5～表3-7にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr命令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表 3-5 特殊機能レジスタ (SFR) 一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ 0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ 1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ 2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ 3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ 4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ 5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ 6	P6		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ 12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ 13	P13		R/W	○	○	—	不定
FFF10H	シリアル・データ・レジスタ 00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ 01	RXD0/ SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ 00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ 01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	12ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ 0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ 1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ 2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ 3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ 4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ 5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ 6	PM6		R/W	○	○	—	FFH
FFF2DH	ポート・モード・レジスタ 13	PM13		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ 0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ 1	ADM1		R/W	○	○	—	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	—	○	—	00H
FFF37H	キー・リターン・モード・レジスタ 0	KRM0		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0		R/W	○	○	—	00H

表3-6 特殊機能レジスタ(SFR)一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○		00H
FFF90H	12ビット・インターバル・タイマ・	ITMC		R/W	—	—	○	0FFFH
FFF91H	コントロール・レジスタ							
FFF92H	秒カウント・レジスタ	SEC		R/W	—	○	—	00H
FFF93H	分カウント・レジスタ	MIN		R/W	—	○	—	00H
FFF94H	時カウント・レジスタ	HOUR		R/W	—	○	—	12H注
FFF95H	曜日カウント・レジスタ	WEEK		R/W	—	○	—	00H
FFF96H	日カウント・レジスタ	DAY		R/W	—	○	—	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	—	○	—	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	—	○	—	00H
FFF9AH	アラーム分レジスタ	ALARMWWM		R/W	—	○	—	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	—	○	—	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	—	○	—	00H
FFF9DH	リアルタイム・クロック・コント ロール・レジスタ0	RTCC0		R/W	○	○	—	00H
FFF9EH	リアルタイム・クロック・コント ロール・レジスタ1	RTCC1		R/W	○	○	—	00H
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジ スタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	—	00H
FFFA7H	サブシステム・クロック選択レジ スタ	CKSEL		R/W	○	○	—	00H

注 リセット後に、AMPMビット(リアルタイム・クロック・コントロール・レジスタ0(RTCC0)のビット3)に1をセットした場合は00Hとなります。

表3-7 特殊機能レジスタ(SFR)一覧(3/3)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	不定注1
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	—	00H注1
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	—	注3
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	1AH/9AH注2
FFFACH	CRC入力レジスタ	CRCIN	R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	R/W	○	○	—	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	R/W	○	○	—	FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	R/W	○	○	—	FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	R/W	○	○	—	FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○	
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W	○	○	
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	FFH
FFFE5H		MK0H		R/W	○	○	
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	FFH
FFFE7H		MK1H		R/W	○	○	
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	FFH
FFFE9H		PR00H		R/W	○	○	
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	FFH
FFFE BH		PR01H		R/W	○	○	
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	FFH
FFFE DH		PR10H		R/W	○	○	
FFFE EH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	FFH
FFFE FH		PR11H		R/W	○	○	
FFFF0H	積和演算累計レジスタ(L)	MACRL	R/W	—	—	○	0000H
FFFF1H							
FFFF2H	積和演算累計レジスタ(H)	MACRH	R/W	—	—	○	0000H
FFFF3H							
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC	R/W	○	○	—	00H

注1. リセット要因により、次のように異なります。

リセット要因 レジスタ	リセット要因						
	RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット
RESF	TRAP	クリア(0)	セット(1)	保持			保持
	WDTRF		保持	セット(1)	保持		
	RPERF		保持		セット(1)	保持	
	IAWRF		保持			セット(1)	
	LVIRF		保持				
LVIM	LVISEN	クリア(0)					保持
	LVIOMSK		保持				
	LVIF						

注2. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

注3. LVISレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張SFR(2nd SFR)については、表3-8~表3-12 拡張SFR(2nd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-8～表3-12に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-8 拡張特殊機能レジスタ(2nd SFR)一覧(1/5)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F003DH	プルアップ抵抗オプション・レジスタ13	PU13	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロール・レジスタ2	PMC2	R/W	○	○	—	FFH
F0063H	ポート・モード・コントロール・レジスタ3	PMC3	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F007AH	周波数測定回路クロック選択レジスタ	FMCKS	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定注2
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	—	不定注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	—	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

注3. FLMODEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3-9 拡張特殊機能レジスタ(2nd SFR)一覧(2/5)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00F1H	周辺リセット制御レジスタ0	PRR0		R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV		R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC		R/W	○	○	—	不定
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	—	00H
F00F8H	レギュレータ・モード制御レジスタ	PMMC		R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR		R/W	○	○	—	00H
F00FAH	周辺イネーブル・レジスタ1	PER1		R/W	○	○	—	00H
F00FBH	周辺リセット制御レジスタ1	PRR1		R/W	○	○	—	00H
F00FCH	周辺イネーブル・レジスタ2	PER2		R/W	○	○	—	00H
F00FDH	周辺リセット制御レジスタ2	PRR2		R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	—	○	—	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—	—		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—	—		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—	—		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—	—		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0303H
F0129H								

表3 - 10 拡張特殊機能レジスタ (2nd SFR) 一覧 (3/5)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	—	—	○	FFFFH
F0181H					—	—	—	
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	—	—	○	FFFFH
F0183H					—	—	—	
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	—	—	○	FFFFH
F0185H					—	—	—	
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	—	—	○	FFFFH
F0187H					—	—	—	
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	—	—	○	0000H
F0191H					—	—	—	
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	—	—	○	0000H
F0193H					—	—	—	
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	—	—	○	0000H
F0195H					—	—	—	
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	—	—	○	0000H
F0197H					—	—	—	
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H					—	—	—	
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		

表3 - 11 拡張特殊機能レジスタ (2nd SFR) 一覧 (4/5)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F0240H	イベント出力先選択レジスタ00	ELSELR00		R/W	—	○	—	00H
F0241H	イベント出力先選択レジスタ01	ELSELR01		R/W	—	○	—	00H
F0242H	イベント出力先選択レジスタ02	ELSELR02		R/W	—	○	—	00H
F0243H	イベント出力先選択レジスタ03	ELSELR03		R/W	—	○	—	00H
F0244H	イベント出力先選択レジスタ04	ELSELR04		R/W	—	○	—	00H
F0245H	イベント出力先選択レジスタ05	ELSELR05		R/W	—	○	—	00H
F0246H	イベント出力先選択レジスタ06	ELSELR06		R/W	—	○	—	00H
F0247H	イベント出力先選択レジスタ07	ELSELR07		R/W	—	○	—	00H
F0248H	イベント出力先選択レジスタ08	ELSELR08		R/W	—	○	—	00H
F0249H	イベント出力先選択レジスタ09	ELSELR09		R/W	—	○	—	00H
F024AH	イベント出力先選択レジスタ10	ELSELR10		R/W	—	○	—	00H
F024BH	イベント出力先選択レジスタ11	ELSELR11		R/W	—	○	—	00H
F024CH	イベント出力先選択レジスタ12	ELSELR12		R/W	—	○	—	00H
F024DH	イベント出力先選択レジスタ13	ELSELR13		R/W	—	○	—	00H
F024EH	イベント出力先選択レジスタ14	ELSELR14		R/W	—	○	—	00H
F024FH	イベント出力先選択レジスタ15	ELSELR15		R/W	—	○	—	00H
F0250H	イベント出力先選択レジスタ16	ELSELR16		R/W	—	○	—	00H
F0251H	イベント出力先選択レジスタ17	ELSELR17		R/W	—	○	—	00H
F0252H	イベント出力先選択レジスタ18	ELSELR18		R/W	—	○	—	00H
F0253H	イベント出力先選択レジスタ19	ELSELR19		R/W	—	○	—	00H
F02E0H	DTCベースアドレスレジスタ	DTCBAR		R/W	○	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0		R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1		R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2		R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	—	—	○	0000H
F0310H	時計誤差補正レジスタ	SUBCUD		R/W	—	—	○	0020H注
F0312H	周波数測定カウンタ・レジスタL	FMCRL		R	—	—	○	0000H
F0314H	周波数測定カウンタ・レジスタH	FMCRH		R	—	—	○	0000H
F0316H	周波数測定コントロール・レジスタ	FMCTL		R/W	○	○	—	00H

注 パワーオン・リセットによるリセット時のみ初期化されます。

表3-12 拡張特殊機能レジスタ (2nd SFR) 一覧 (5/5)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0340H	コンパレータモード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータフィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0348H	オペアンプ・モード制御レジスタ	AMPMC	R/W	○	○	—	00H
F0349H	オペアンプ・トリガモード制御レジスタ	AMPTRM	R/W	○	○	—	00H
F034AH	オペアンプELCトリガ選択レジスタ	AMPTRS	R/W	○	○	—	00H
F034BH	オペアンプ・制御レジスタ	AMPC	R/W	○	○	—	00H
F034CH	オペアンプ・モニタ・レジスタ	AMPMON	R	○	○	—	00H
F0350H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00	TRTCMP0	R/W	—	○	FFH
F0351H	8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01	R/W	—	○	—	FFH
F0352H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0	R/W	○	○	—	00H
F0353H	8ビット・インターバル・タイマ・分周レジスタ0	TRTMD0	R/W	—	○	—	00H
F0358H	8ビット・インターバル・タイマ・コンペア・レジスタ10	TRTCMP10	TRTCMP1	R/W	—	○	FFH
F0359H	8ビット・インターバル・タイマ・コンペア・レジスタ11	TRTCMP11	R/W	—	○	—	FFH
F035AH	8ビット・インターバル・タイマ制御レジスタ1	TRTCR1	R/W	○	○	—	00H
F035BH	8ビット・インターバル・タイマ分周レジスタ1	TRTMD1	R/W	—	○	—	00H
F0500H	8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00	TRT0	R	—	○	00H
F0501H	8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01	R	—	○	—	00H
F0508H	8ビット・インターバル・タイマ・カウンタ・レジスタ10	TRT10	TRT1	R	—	○	00H
F0509H	8ビット・インターバル・タイマ・カウンタ・レジスタ11	TRT11	R	—	○	—	00H
F0511H	DOCコントロールレジスタ	DOCR	R/W	○	○	—	00H
F0512H	DOCデータインプットレジスタ	DODIR	R/W	—	—	○	0000H
F0514H	DOCデータセッティングレジスタ	DODSR	R/W	—	—	○	0000H

備考 SFR領域のSFRについては、表3-5～表3-7 SFR一覧を参照してください。

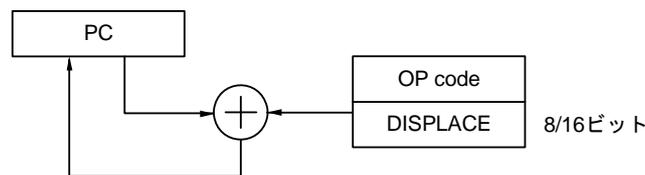
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-12 レラティブ・アドレッシングの概略



3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-13 CALL !!addr20/BR !!addr20の例

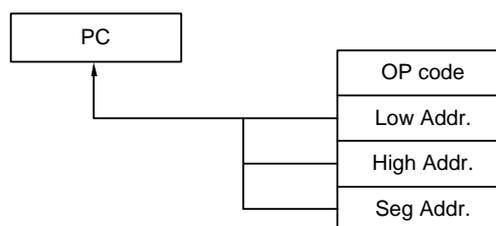
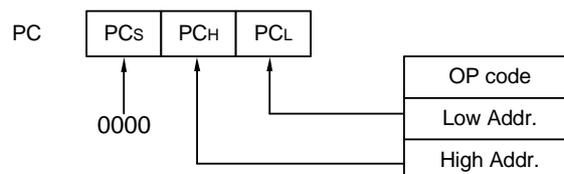


図3-14 CALL !addr16/BR !addr16の例



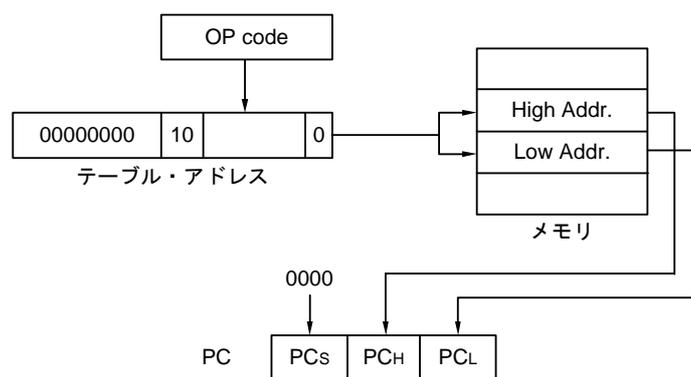
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミューディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 15 テーブル・インダイレクト・アドレッシングの概略

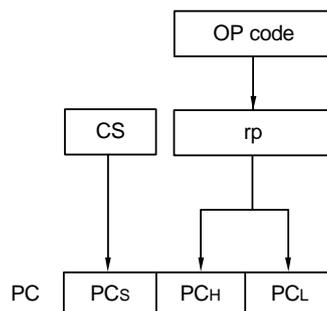


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) と CS レジスタの内容を 20 ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングは CALL AX / BC / DE / HL と BR AX 命令にのみ適用されます。

図 3 - 16 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

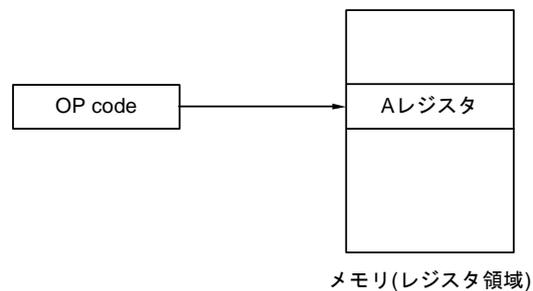
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-17 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

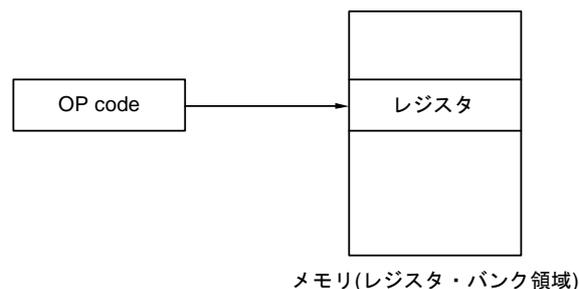
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-18 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 19 !addr16の例

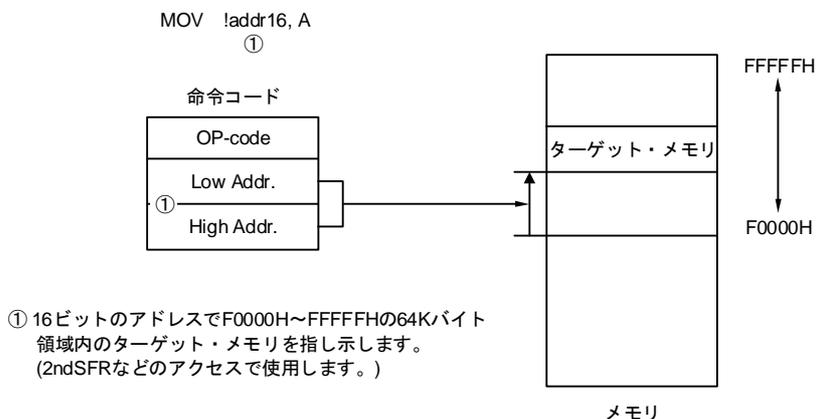
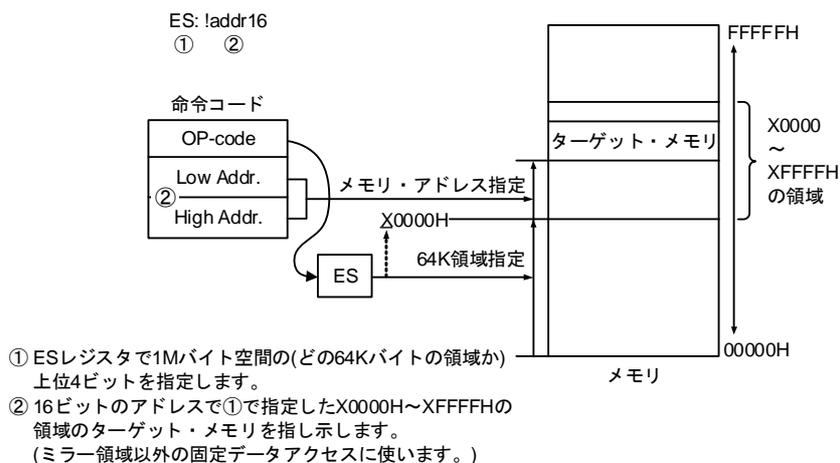


図3 - 20 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

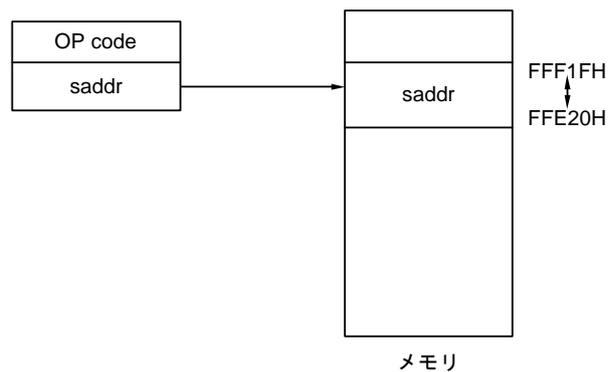
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ(偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-21 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRP は、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFR アドレッシング

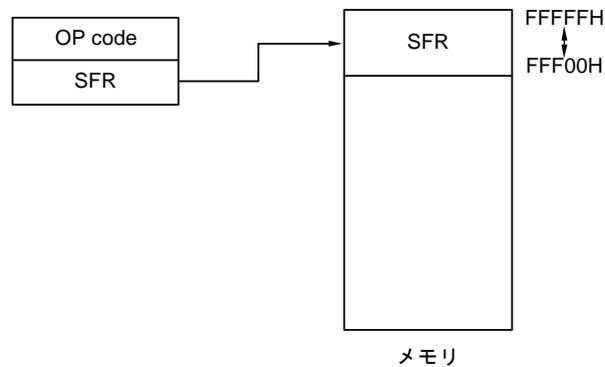
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名(偶数アドレス)

図3 - 22 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 23 [DE], [HL]の例

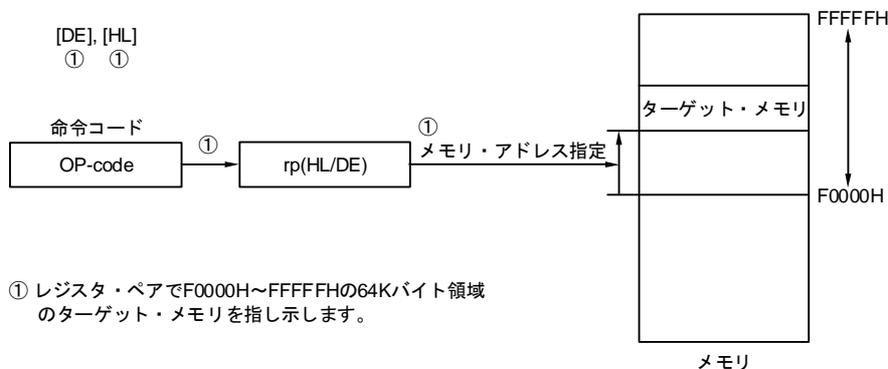
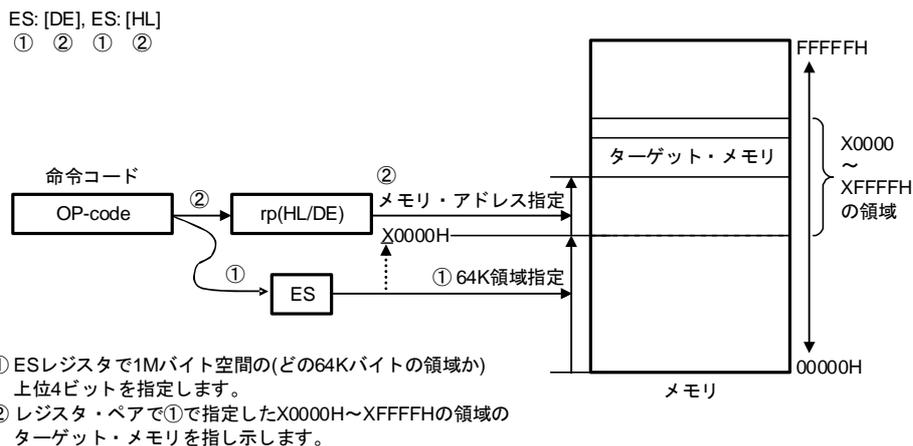


図3 - 24 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 25 [SP + byte]の例

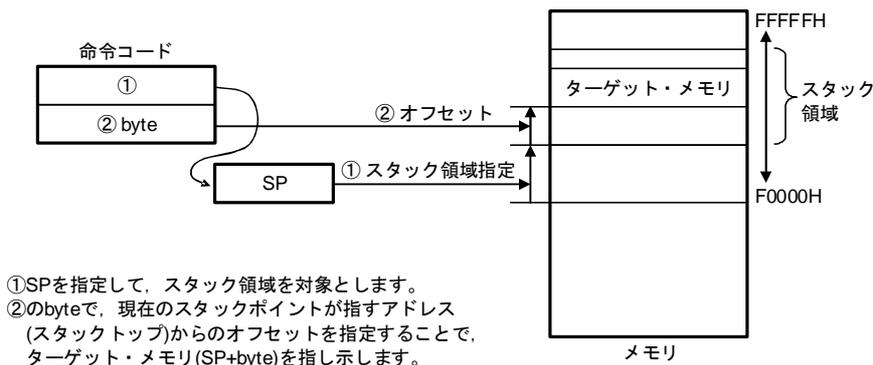


図3 - 26 [HL + byte], [DE + byte]の例

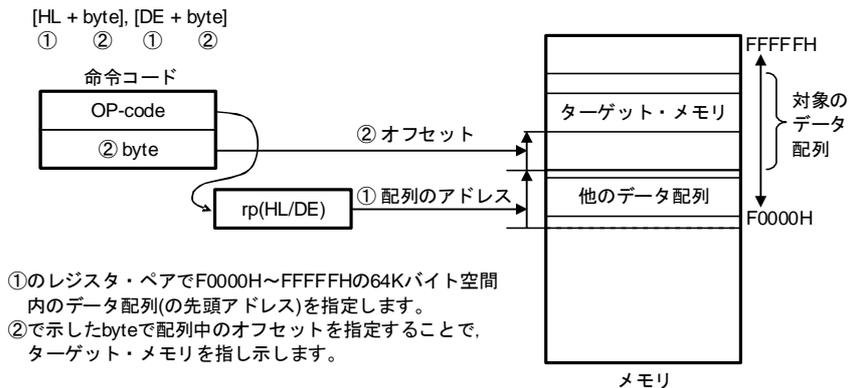


図3 - 27 word[B], word[C]の例

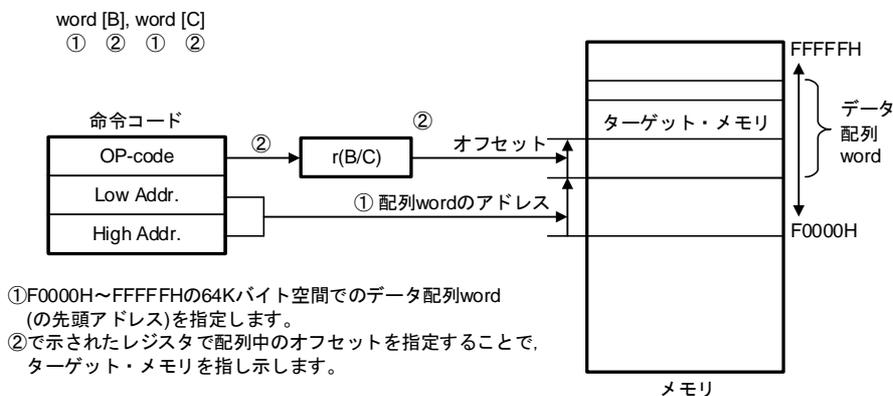


図3 - 28 word[BC]の例

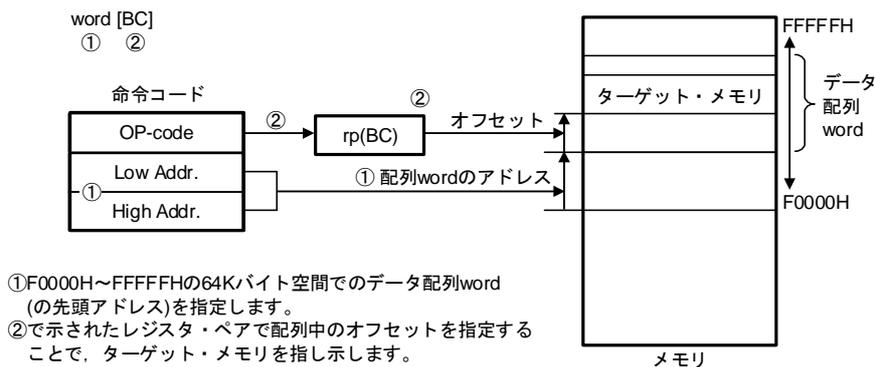


図3 - 29 ES:[HL + byte], ES:[DE + byte]の例

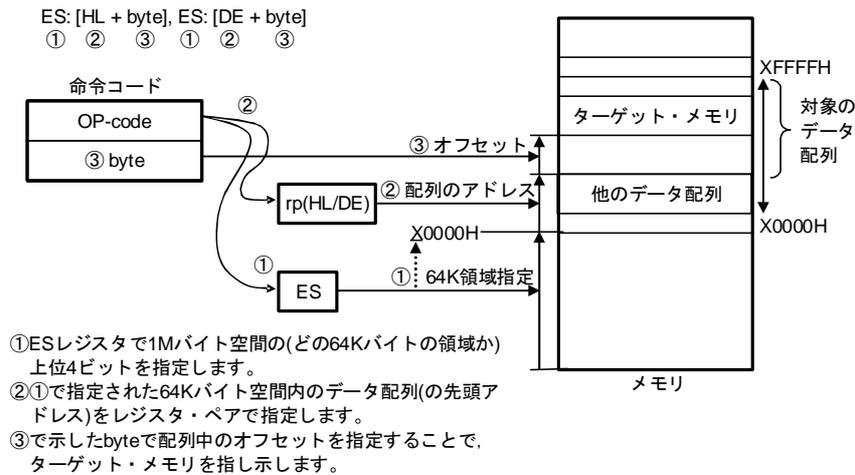


図3 - 30 ES:word[B], ES:word[C]の例

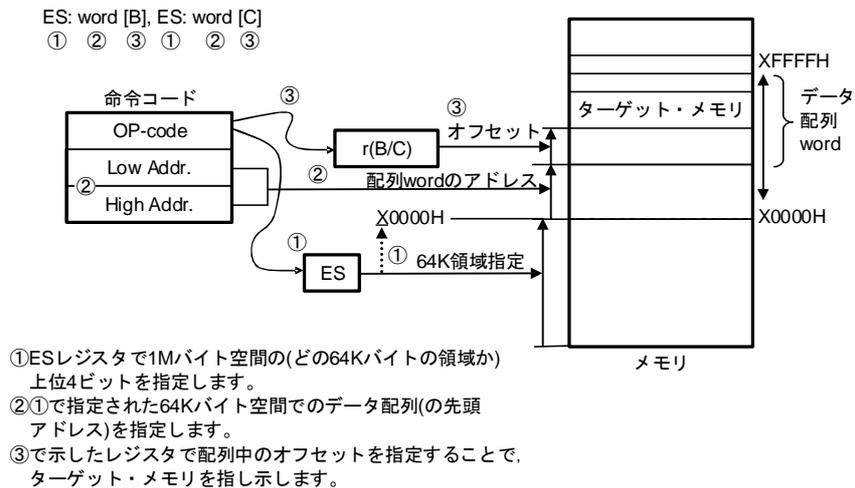
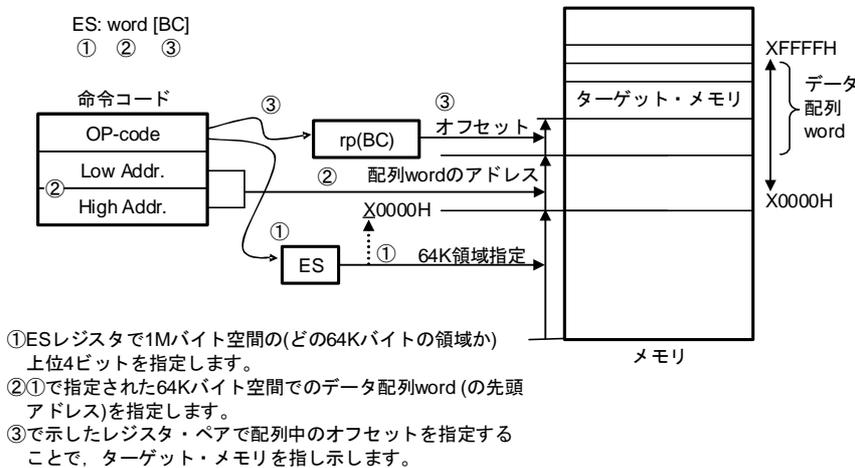


図3 - 31 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3-32 [HL + B], [HL + C]の例

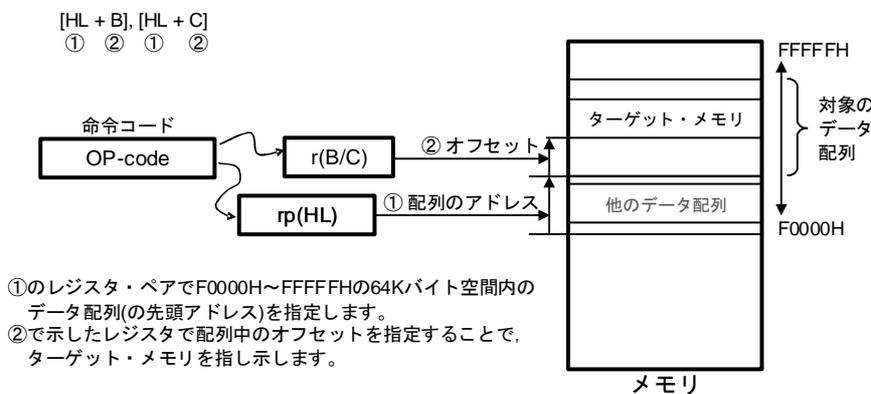
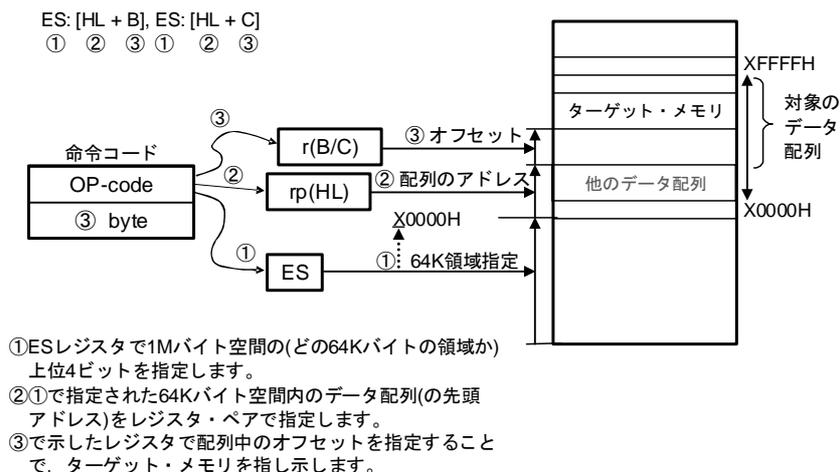


図3-33 ES:[HL + B], ES:[HL + C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3-34～図3-39のようになります。

図3-34 PUSH rpの例

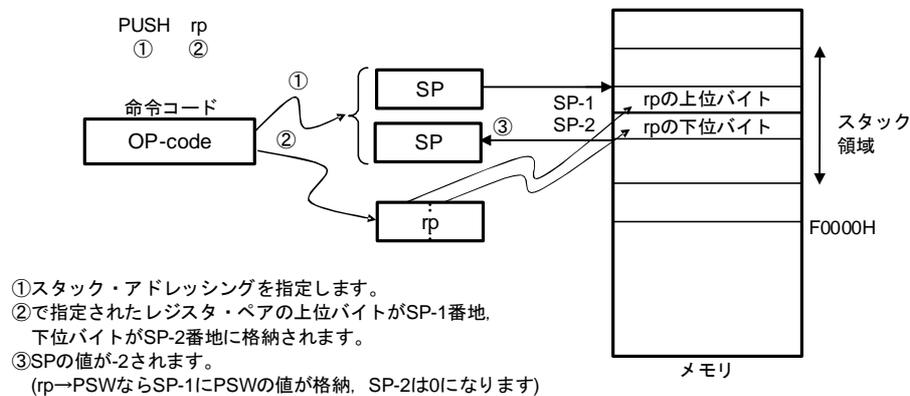


図3 - 35 POPの例

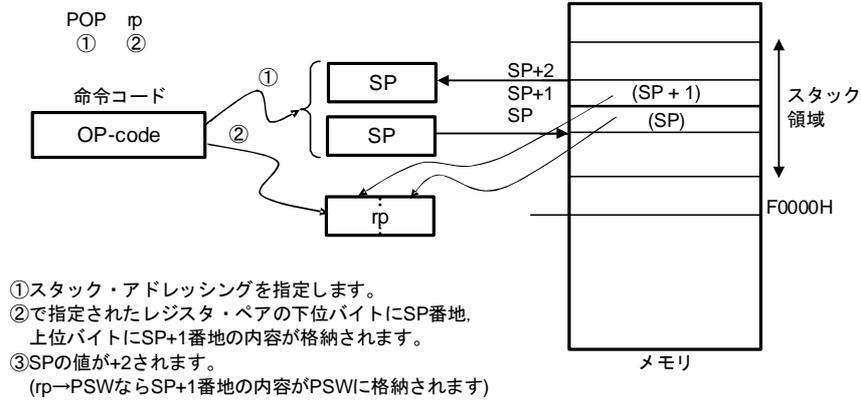


図3 - 36 CALL, CALLTの例

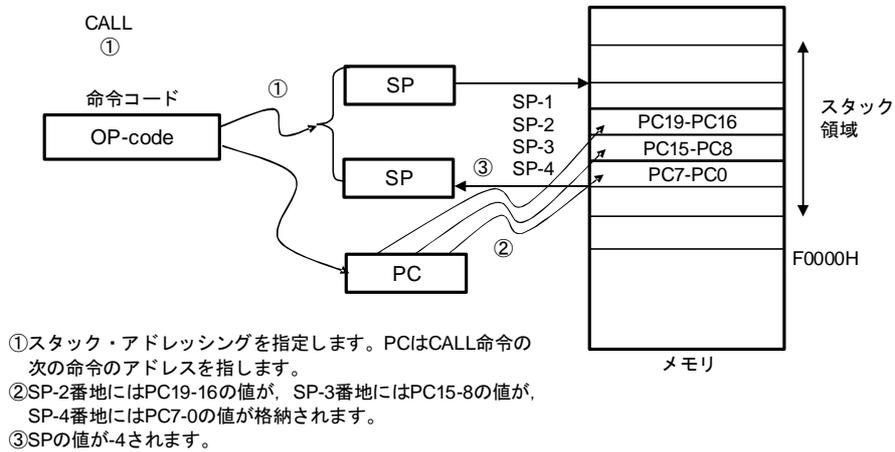


図3 - 37 RETの例

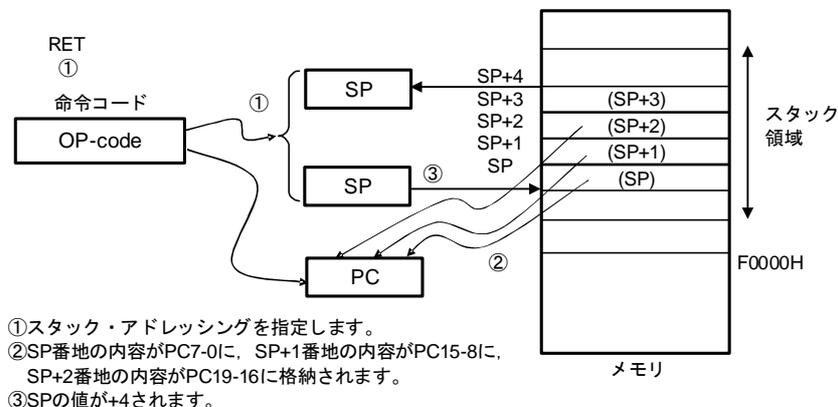


図3 - 38 割り込み, BRKの例

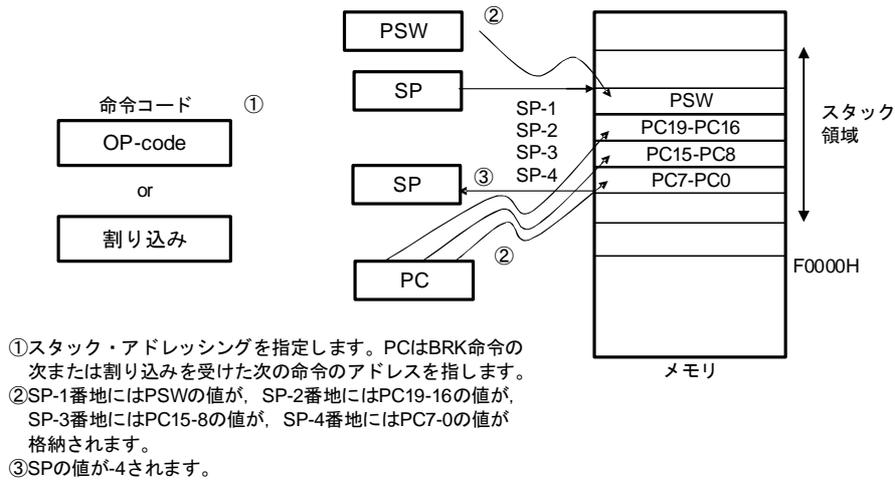
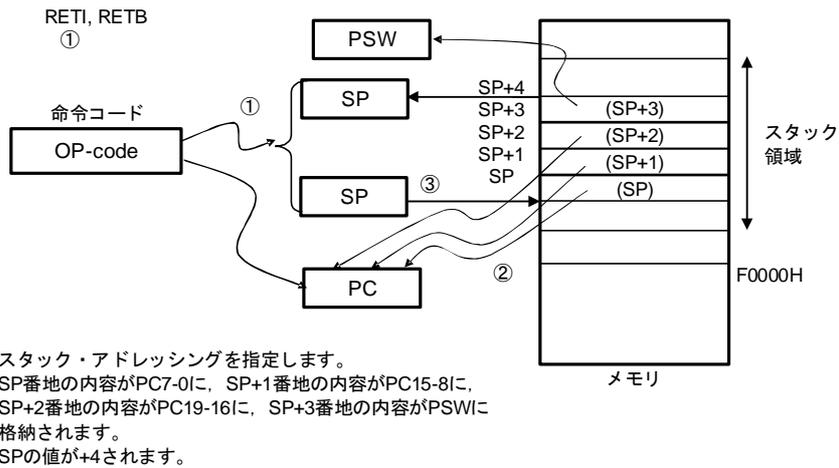


図3 - 39 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

RL78/I1Dは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM6, PM13) ポート・レジスタ (P0-P6, P12, P13) プルアップ抵抗オプション・レジスタ (PU0, PU3-PU5, PU13) ポート入力モード・レジスタ (PIM3, PIM5) ポート出力モード・レジスタ (POM3, POM5) ポート・モード・コントロール・レジスタ (PMC0-PMC3) 周辺I/Oリダイレクション・レジスタ (PIOR0)
ポート	<ul style="list-style-type: none"> • 20ピン製品 : 合計 : 14本 (CMOS入出力 : 11本, CMOS入力 : 3本) • 24ピン製品 : 合計 : 18本 (CMOS入出力 : 15本, CMOS入力 : 3本) • 30ピン製品 : 合計 : 24本 (CMOS入出力 : 19本, CMOS入力 : 5本) • 32ピン製品 : 合計 : 26本 (CMOS入出力 : 21本, CMOS入力 : 5本) • 48ピン製品 : 合計 : 42本 (CMOS入出力 : 33本, CMOS入力 : 5本, N-chオープン・ドレイン入出力 : 4本)
プルアップ抵抗	<ul style="list-style-type: none"> • 20ピン製品 : 合計 : 5本 • 24ピン製品 : 合計 : 9本 • 30ピン製品 : 合計 : 7本 • 32ピン製品 : 合計 : 9本 • 48ピン製品 : 合計 : 19本

4.2.1 ポート0

出カラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード/出力モードの指定ができます。P00-P04端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P02-P04 端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ0 (PMC0)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてA/Dコンバータのアナログ入力、ブザー出力があります。

リセット信号の発生により、アナログ入力ポートになります。

4.2.2 ポート1

出カラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、オペアンプ入出力、コンパレータ入力があります。

P10-P17端子をアナログ入力として使用する場合、ポート・モード・コントロール・レジスタ1 (PMC1)で“アナログ入力”を設定してください(1ビット単位で設定可能)。

リセット信号の発生により、アナログ入力ポートになります。

4.2.3 ポート2

出カラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、オペアンプ入出力、コンパレータ入力があります。

P20-P25 端子をアナログ入力として使用する場合、ポート・モード・コントロール・レジスタ2 (PMC2)で“アナログ入力”を設定してください(1ビット単位で設定可能)。

リセット信号の発生により、アナログ入力ポートになります。

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。P30-P33端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P30, P32, P33端子の入力は、ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P30端子の出力は、ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロック2の補正クロック出力、シリアル・インタフェースのクロック入出力、タイマの入出力、コンパレータ入力があります。

リセット信号の発生により、入力ポートになります。

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。P40端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力があります。

リセット信号の発生により、入力ポートになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P51, P52, P54-P57端子の入力は、ポート入力モード・レジスタ5 (PIM5)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P51-P56端子の出力は、ポート出力モード・レジスタ5 (POM5)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマの入出力、コンパレータ出力があります。

リセット信号の発生により、入力ポートになります。

4.2.7 ポート6

出カラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。

P60-P63端子の出力は、N-chオープン・ドレイン出力(6V耐圧)です。

また、兼用機能としてシリアル・インタフェース、チップ・セレクト入力、タイマの入出力があります。

リセット信号の発生により、入力ポートになります。

4.2.8 ポート12

P121-P124は4ビットの入力ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により、P121-P124は入力ポートになります。

4.2.9 ポート13

P130は出カラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ13 (PM13)により、1ビット単位で入力モード／出力モードの指定ができます。P137は1ビット入力専用ポートです。

P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMx)
- ポート出力モード・レジスタ (POMx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- 周辺I/Oリダイレクション・レジスタ0 (PIOR0)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-2～表4-4を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット (1/3)

ポート		ビット名					48-pin	32-pin	30-pin	24-pin	20-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ					
ポート0	0	PM00	P00	PU00	—	—	—	○	—	—	—
	1	PM01	P01	PU01	—	—	—	○	—	—	—
	2	PM02	P02	PU02	—	—	PMC02	○	—	—	—
	3	PM03	P03	PU03	—	—	PMC03	○	—	—	—
	4	PM04	P04	PU04	—	—	PMC04	○	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—
ポート1	0	PM10	P10	—	—	—	PMC10	○	—	—	—
	1	PM11	P11	—	—	—	PMC11	○	—	—	—
	2	PM12	P12	—	—	—	PMC12	○	○	○	○
	3	PM13	P13	—	—	—	PMC13	○	○	○	○
	4	PM14	P14	—	—	—	PMC14	○	○	○	○
	5	PM15	P15	—	—	—	PMC15	○	○	○	—
	6	PM16	P16	—	—	—	PMC16	○	○	○	—
	7	PM17	P17	—	—	—	PMC17	○	○	○	—
ポート2	0	PM20	P20	—	—	—	PMC20	○	○	○	○
	1	PM21	P21	—	—	—	PMC21	○	○	○	○
	2	PM22	P22	—	—	—	PMC22	○	○	○	○
	3	PM23	P23	—	—	—	PMC23	○	○	○	—
	4	PM24	P24	—	—	—	PMC24	○	○	○	—
	5	PM25	P25	—	—	—	PMC25	○	○	○	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(2/3)

ポート		ビット名						48-pin	32-pin	30-pin	24-pin	20-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート3	0	PM30	P30	PU30	PIM30	POM30	PMC30	○	○	○	○	○
	1	PM31	P31	PU31	—	—	PMC31	○	○	○	○	○
	2	PM32	P32	PU32	PIM32	—	—	○	—	—	—	—
	3	PM33	P33	PU33	PIM33	—	—	○	—	○	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—	○	○	○	○	○
	1	—	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	—	—	—	○	—	—	—	—
	1	PM51	P51	PU51	PIM51	POM51	—	○	○	—	○	—
	2	PM52	P52	PU52	PIM52	POM52	—	○	○	—	○	—
	3	PM53	P53	PU53	—	POM53	—	○	○	—	○	—
	4	PM54	P54	PU54	PIM54	POM54	—	○	○	○	○	○
	5	PM55	P55	PU55	PIM55	POM55	—	○	○	○	○	○
	6	PM56	P56	PU56	PIM56	POM56	—	○	○	○	○	—
	7	PM57	P57	PU57	PIM57	—	—	○	—	—	—	—
ポート6	0	PM60	P60	—	—	—	—	○	—	—	—	—
	1	PM61	P61	—	—	—	—	○	—	—	—	—
	2	PM62	P62	—	—	—	—	○	—	—	—	—
	3	PM63	P63	—	—	—	—	○	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(3/3)

ポート		ビット名					48-pin	32-pin	30-pin	24-pin	20-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ					
ポート 12	0	—	—	—	—	—	—	—	—	—	—
	1	—	P121	—	—	—	—	○	○	○	○
	2	—	P122	—	—	—	—	○	○	○	○
	3	—	P123	—	—	—	—	○	○	○	—
	4	—	P124	—	—	—	—	○	○	○	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—
ポート 13	0	PM130	P130	PU130	—	—	—	○	—	—	—
	1	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○	○	○

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のレジスタの設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM13	1	1	1	1	1	1	1	PM130	FFF2DH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-6, 12, 13; n = 0-7)
0	出力モード(出力ポートとして機能(出力バッファ・オン))
1	入力モード(入力ポートとして機能(出力バッファ・オフ))

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラムの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラムの値が読み出されます注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P02, P03, P04, P10-P17, P20-P25 をアナログ機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	P04	P03	P02	P01	P00	FFF00H	00H (出カラム)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラム)	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラム)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FFF03H	00H (出カラム)	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H (出カラム)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラム)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H (出カラム)	R/W
P12	0	0	0	P124	P123	P122	P121	0	FFF0CH	不定	R/W注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W注1

Pmn	m = 0-6, 12, 13; n = 0-7	
	出カラムデータの制御(出力モード時)	入力データの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124, P137はRead Onlyです。

注2. P137 : 不定

P130 : 0 (出カラム)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、POMmn = 0で入力モード(PMmn = 1)に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ機能に設定している場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU13	0	0	0	0	0	0	0	PU130	F003DH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 3-5, 13; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM3	0	0	0	0	PIM33	PIM32	0	PIM30	F0043H	00H	R/W
PIM5	PIM57	PIM56	PIM55	PIM54	0	PIM52	PIM51	0	F0045H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 3, 5; n = 0-7)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA00, SDA01端子にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択できます。

また、POMxxレジスタはPUxxレジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 N-chオープン・ドレイン出力(V_{DD}耐圧)モード(POMmn = 1)を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM3	0	0	0	0	0	0	0	POM30	F0053H	00H	R/W
POM5	0	POM56	POM55	POM54	POM53	POM52	POM51	0	F0055H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 3, 5; n = 0-6)
0	通常出力モード
1	N-chオープン・ドレイン出力(V _{DD} 耐圧)モード

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

P02-P04, P10-P17, P20-P25, P30, P31のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

PMC0-PMC3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	PMC04	PMC03	PMC02	1	1	F0060H	FFH	R/W
PMC1	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	F0061H	FFH	R/W
PMC2	1	1	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	F0062H	FFH	R/W
PMC3	1	1	1	1	1	1	PMC31	PMC30	F0063H	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m = 0-3; n = 0-7)
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

注意 搭載していないビットには必ず初期値を設定してください。

4.3.7 周辺I/Oリダイレクション・レジスタ0 (PIOR0)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR0	0	0	0	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00

ビット	機能	48ピン		32ピン		30ピン		24ピン		20ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR04	TI03/TO03	P52	P57	P52	注	注		P52	注	注	
PIOR03	TI02/TO02	P51	P33	P51	注	P33	注	P51	注	注	
PIOR02	TI01/TO00	P31	P32	P31	注	P31	注	P31	注	P31	注
PIOR01	TI00/TO01	P30	P50	P30	注	P30	注	P30	注	P30	注
PIOR00	SCK00	P56	P30	P56	P30	P56	P30	P56	P30	P30	注
	SCL00	P56	P30	P56	P30	P56	P30	P56	P30	注	P30

注 使用できません。0(初期値)を設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されず。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されず。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位(1.8 V系, 2.5 V系)対応

ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)で入出力バッファを切り換えることにより、異電位(1.8 V系, 2.5 V系)で動作している外部デバイスとの接続が可能になります。

異電位(1.8 V系, 2.5 V系)の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ3, 5 (PIM3, PIM5)をビットごとに設定して、通常入力(CMOS)/TTL入力バッファを切り換えます。

異電位(1.8 V系, 2.5 V系)の外部デバイスへ出力する場合、ポート出力モード・レジスタ3, 5 (POM3, POM5)をビットごとに設定して、通常出力(CMOS)/N-chオープン・ドレイン(V_{DD}耐圧)を切り換えます。

以下、シリアル・インタフェースでの接続について説明します。

(1) UART0, CSI00, CSI01機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合： P55
CSI00の場合： P55, P56 (P30)
CSI01の場合： P51, P52

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

- ①使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②PIM3, PIM5レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ③シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI注)モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

- (2) UART0, CSI00, CSI01機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合： P54
CSI00の場合： P54, P56 (P30)
CSI01の場合： P51, P53

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

- ①使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM3, POM5レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
- ⑤シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI) モードに設定します。
- ⑥PM3, PM5レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

(3) IIC00, IIC01機能の入出力ポートを、異電位(1.8 V系, 2.5 V系)で使用する場合の設定手順

簡易IIC00の場合 : P55, P56 (P30)

簡易IIC01の場合 : P51, P52

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

- ①使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM3, POM5レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
- ⑤PIM3, PIM5レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦PM3, PM5レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

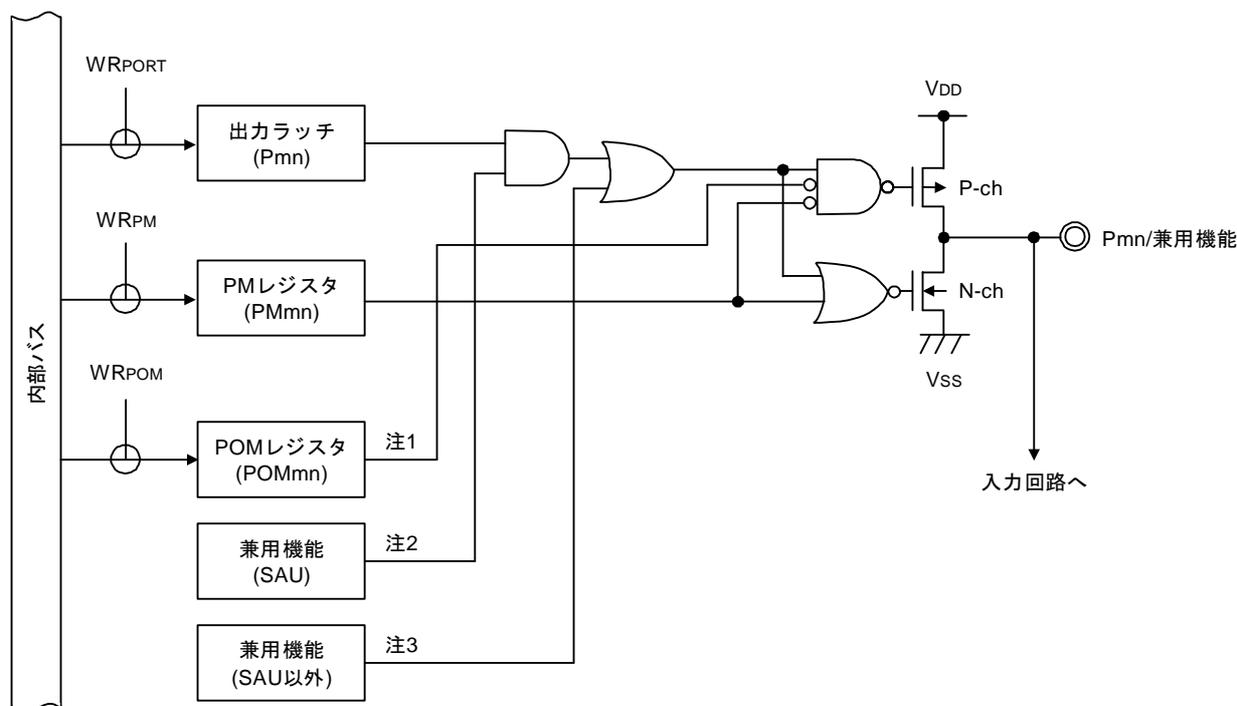
4.5 兼用機能使用時のレジスタの設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ (PMCxx) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-8に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能(タイマ, RTC2, クロック/ブザー出力等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-5に示します。

図4-8 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0)とと考えてください。

注2. 兼用機能がない場合には、この信号はHigh (1)とと考えてください。

注3. 兼用機能がない場合には、この信号はLow (0)とと考えてください。

表4-5 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) ^注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ0 (PIOR0)を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

(1) $SOp = 1/TxDq = 1$ (SAUのシリアル出力(SOp/TxDq)を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力(SOp/TxDq)を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOM)のSOMnビットを1 (High)に設定してください。これは初期状態と同じ設定です。

(2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャネルnを使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタm (SEm)のビットn (SEmn)を0 (動作停止状態)に設定し、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOM)のSOMnビットとCKOMnビットを1 (High)に設定してください。これは初期状態と同じ設定です。

(3) $TOmn = 0$ (TAUのチャネルnの出力を使用しない場合の設定)

TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0)のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0)のビットを0 (Low)に設定してください。これは初期状態と同じ設定です。

(4) $PCLBUzn = 0$ (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタn (CKSn)のPCLOEnビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-6～表4-14に示します。ポート機能を制御するレジスタを表4-6～表4-14のように設定してください。なお、表4-6～表4-14の表記については次の備考を参照してください。

備考	—	対象外
	x	Don't care
PIORx	:	周辺I/Oリダイレクション・レジスタ
POMxx	:	ポート出力モード・レジスタ
PMCxx	:	ポート・モード・コントロール・レジスタ
PMxx	:	ポート・モード・レジスタ
Pxx	:	ポートの出カラッチ

() 内の機能は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

表 4 - 6 P00-P04 端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの 出力機能	SAU以外					
P00	P00	入力	—	—	—	1	x	—	—	○	x	x	x	x
		出力	—	—	—	0	0/1	—	—					
P01	P01	入力	—	—	—	1	x	—	x	○	x	x	x	x
		出力	—	—	—	0	0/1	—	PCLBUZ1 = 0					
	PCLBUZ1	出力	—	—	—	0	0/1	—	x	○	x	x	x	x
P02	P02	入力	—	—	0	1	x	—	—	○	x	x	x	x
		出力	—	—	0	0	0/1	—	—					
	ANI16	アナログ 入力	—	—	1	1	x	—	—	○	x	x	x	x
P03	P03	入力	—	—	0	1	x	—	—	○	x	x	x	x
		出力	—	—	0	0	0/1	—	—					
	ANI17	アナログ 入力	—	—	1	1	x	—	—	○	x	x	x	x
P04	P04	入力	—	—	0	1	x	—	—	○	x	x	x	x
		出力	—	—	0	0	0/1	—	—					
	ANI18	アナログ 入力	—	—	1	1	x	—	—	○	x	x	x	x

表 4 - 7 P10-P17 端子機能使用時のレジスタの設定例

端子 名称	使用機能		ADM2	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの 出力機能	SAU以外					
P10	P10	入力	x	—	0	1	x	—	—	○	x	x	x	x
		出力	x	—	0	0	0/1	—	—					
	ANI0	アナログ入力	00x0xx0x, 10x0xx0x	—	1	1	x	—	—	○	x	x	x	x
	AVREFP	基準電源	01x0xx0x	—	1	1	x	—	—	○	x	x	x	x
P11	P11	入力	x	—	0	1	x	—	—	○	x	x	x	x
		出力	x	—	0	0	0/1	—	—					
	ANI1	アナログ入力	xx00xx0x	—	1	1	x	—	—	○	x	x	x	x
	AVREFM	基準電源	xx10xx0x	—	1	1	x	—	—	○	x	x	x	x
P12	P12	入力	—	—	0	1	x	—	—	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—					
	ANI2	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
	AMP0+	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
P13	P13	入力	—	—	0	1	x	—	—	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—					
	ANI3	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
	AMP0-	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
P14	P14	入力	—	—	0	1	x	—	x	○	○	○	○	○
		出力	—	—	0	0	0/1	—	AMPC. AMPE0 = 0					
	ANI4	アナログ入力	—	—	1	1	x	—	x	○	○	○	○	○
	IVCMP0	アナログ入力	—	—	1	1	x	—	x	○	○	○	○	○
	AMP00	アナログ出力	—	—	1	1	x	—	x	○	○	○	○	○
P15	P15	入力	—	—	0	1	x	—	—	○	○	x	x	x
		出力	—	—	0	0	0/1	—	—					
	ANI5	アナログ入力	—	—	1	1	x	—	—	○	○	x	x	x
	AMP1+	アナログ入力	—	—	1	1	x	—	—	○	○	x	x	x
P16	P16	入力	—	—	0	1	x	—	—	○	○	x	x	x
		出力	—	—	0	0	0/1	—	—					
	ANI6	アナログ入力	—	—	1	1	x	—	—	○	○	x	x	x
	AMP1-	アナログ入力	—	—	1	1	x	—	—	○	○	x	x	x
P17	P17	入力	—	—	0	1	x	—	AMPC. AMPE1 = 0	○	○	x	x	x
		出力	—	—	0	0	0/1	—						
	ANI7	アナログ入力	—	—	1	1	x	—	x	○	○	x	x	x
	AMP10	アナログ出力	—	—	1	1	x	—	x	○	○	x	x	x

表4 - 8 P20-P25端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの 出力機能	SAU以外					
P20	P20	入力	—	—	—	1	x	—	AMPC. AMPE3 = 0	○	○	○	○	○
		出力	—	—	—	0	0/1	—		○	○	○	○	○
	ANI13	アナログ入力	—	—	1	1	x	—	x	○	○	○	○	○
	IVCMP1	アナログ入力	—	—	1	1	x	—	x	○	○	○	○	○
	AMP3O	アナログ出力	—	—	1	1	x	—	x	○	○	○	○	○
P21	P21	入力	—	—	0	1	x	—	—	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—	○	○	○	○	○
	ANI12	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
	AMP3-	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
P22	P22	入力	—	—	0	1	x	—	—	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—	○	○	○	○	○
	ANI11	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
	AMP3+	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○
P23	P23	入力	—	—	0	1	x	—	AMPC. AMPE2 = 0	○	○	○	x	x
		出力	—	—	0	0	0/1	—		○	○	○	x	x
	ANI10	アナログ入力	—	—	1	1	x	—	x	○	○	○	x	x
	AMP2O	アナログ出力	—	—	1	1	x	—	x	○	○	○	x	x
P24	P24	入力	—	—	0	1	x	—	—	○	○	○	x	x
		出力	—	—	0	0	0/1	—	—	○	○	○	x	x
	ANI9	アナログ入力	—	—	1	1	x	—	—	○	○	○	x	x
	AMP2-	アナログ入力	—	—	1	1	x	—	—	○	○	○	x	x
P25	P25	入力	—	—	0	1	x	—	—	○	○	○	x	x
		出力	—	—	0	0	0/1	—	—	○	○	○	x	x
	ANI8	アナログ入力	—	—	1	1	x	—	—	○	○	○	x	x
	AMP2+	アナログ入力	—	—	1	1	x	—	—	○	○	○	x	x

表 4 - 9 P30-P33 端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの 出力機能	SAU以外					
P30	P30	入力	x	x	0	1	x	x	x	○	○	○	○	○
		出力	x	0	0	0	0/1	(SCK00)/ (SCL00) = 1 注3	TO01 = 0					
		Nch-OD出力	x	1	0	0	0/1							
	TI00	入力	PIOR01 = 0	x	0	1	x	x	x	○	○	○	○	○
	TO01	出力		0	0	0	0	(SCK00)/ (SCL00) = 1 注3	x					
	IVREF0	アナログ入力	x	x	1	1	x	x	x	○	○	○	○	○
	(SCK00)	入力	PIOR00 = 1 注1	x	0	1	x	x	x	○	○	○	○	○
出力		0/1		0	0	1	x	TO01 = 0	○	○	○	○	○	
(SCL00)	出力	0/1		0	0	1	x		○	○	○	○	○	
P31	P31	入力	x	—	0	1	x	—	x	○	○	○	○	○
		出力	x	—	0	0	0/1	—	TO00 = 0 PCLBUZ0 = 0					
	TI01	入力	PIOR02 = 0	—	0	1	x	—	x	○	○	○	○	○
	TO00	出力		—	0	0	0	—	PCLBUZ0 = 0	○	○	○	○	○
	PCLBUZ0	出力	x	—	0	0	0	—	TO00 = 0	○	○	○	○	○
IVREF1	アナログ入力	x	—	1	1	x	—	x	○	○	○	○	○	
P32	P32	入力	x	—	—	1	x	—	x	○	x	x	x	x
		出力	x	—	—	0	0/1	—	(TO00) = 0 注4					
	KR3	入力	x	—	—	1	x	—	x	○	x	x	x	x
	INTP6	入力	x	—	—	1	x	—	x	○	x	x	x	x
	(TI01)	入力	PIOR02 = 1	—	—	1	x	—	x	○	x	x	x	x
(TO00)	出力	—		—	0	0	—	x	○	x	x	x	x	
P33	P33	入力	x	—	—	1	x	—	x	○	x	○	x	x
		出力	x	—	—	0	0/1	—	(TO02) = 0 注5					
	INTP5	入力	x	—	—	1	x	—	x	○	x	○	x	x
	(TI02)	入力	PIOR03 = 1 注2	—	—	1	x	—	x	○	x	○	x	x
	(TO02)	出力		—	—	0	0	—	x	○	x	○	x	x

注1. 20ピンの場合は、Don't Care。

注2. 30ピンの場合は、Don't Care。

注3. PIOR00 = 0の場合は、Don't Care。

注4. PIOR02 = 0の場合は、Don't Care。

注5. PIOR03 = 0の場合は、Don't Care。

表 4 - 10 P40 端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの 出力機能	SAU以外					
P40	P40	入力	—	—	—	1	x	—	—	○	○	○	○	○
		出力	—	—	—	0	0/1	—	—					

表 4 - 11 P50-P57 端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P50	P50	入力	x	—	—	1	x	—	x	○	x	x	x	x
		出力	x	—	—	0	0/1	—	(TO01) = 0 注1	○				
	RTC1HZ	出力	x	—	—	0	0	—	x	○	x	x	x	x
	(TI00)	入力	PIOR01 = 1	—	—	1	x	—	x	○	x	x	x	x
	(TO01)	出力		—	—	0	0	—	x	○	x	x	x	x
P51	P51	入力	x	0	—	1	x	x	x	○	○	x	○	x
		出力	x	0	—	0	0/1	SCK01/SCL01 = 1	TO02 = 0	○	○	x	○	x
		Nch-OD出力	x	1	—	0	0/1							
	KR0	入力	x	x	—	1	x	x	x	○	○	x	○	x
	TI02	入力	PIOR03 = 0	x	—	1	x	x	x	○	○	x	○	x
	TO02	出力		0	—	0	0	SCK01/SCL01 = 1	x	○	○	x	○	x
	SCK01	入力	x	x	—	1	x	x	x	○	○	x	○	x
		出力	x	0/1	—	0	1	x	TO02 = 0	○	○	x	○	x
SCL01	出力	x	0/1	—	0	1	x		○	○	x	○	x	
P52	P52	入力	—	0	—	1	x	x	x	○	○	x	○	x
		出力	—	0	—	0	0/1	SDA00 = 1	TO03 = 0					
		Nch-OD出力	—	1	—	0	0/1							
	KR1	入力	—	x	—	1	x	x	x	○	○	x	○	x
	TI03	入力	—	x	—	1	x	x	x	○	○	x	○	x
	TO03	出力	—	0	—	0	0	SDA00 = 1	x	○	○	x	○	x
	SI01	入力	—	x	—	1	x	x	x	○	○	x	○	x
SDA01	入出力	—	1	—	0	1	x	TO03 = 0	○	○	x	○	x	
P53	P53	入力	—	0	—	1	x	x	x	○	○	x	○	x
		出力	—	0	—	0	0/1	SO01 = 1	VCOUT0 = 0					
		Nch-OD出力	—	1	—	0	0/1							
	KR2	入力	—	x	—	1	x	x	x	○	○	x	○	x
	SO01	出力	—	0/1	—	0	1	SO01 = 1	x	○	○	x	○	x
VCOUT0	出力	—	0	—	0	0	x	x	○	○	x	○	x	
P54	P54	入力	—	0	—	1	x	x	—	○	○	○	○	○
		出力	—	0	—	0	0/1	SO00 = 1	—					
		Nch-OD出力	—	1	—	0	0/1							
	INTP1	入力	—	x	—	1	x	x	—	○	○	○	○	○
	SO00	出力	—	0/1	—	0	1	x	—	○	○	○	○	○
TxD0	出力	—	0/1	—	0	1	x	—	○	○	○	○	○	
P55	P55	入力	—	0	—	1	x	x	—	○	○	○	○	○
		出力	—	0	—	0	0/1	SDA00 = 1	—					
		Nch-OD出力	—	1	—	0	0/1							
	INTP2	入力	—	x	—	1	x	x	—	○	○	○	○	○
	SI00	入力	—	x	—	1	x	x	—	○	○	○	○	○
	RxD0	入力	—	x	—	1	x	x	—	○	○	○	○	○
SDA00	入出力	—	1	—	0	1	x	—	○	○	○	○	○	

表4 - 11 P50-P57 端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P56	P56	入力	—	0	—	1	x	x	—	○	○	○	○	x
		出力	—	0	—	0	0/1	SCK00 = 1	—	○	○	○	○	x
		Nch-OD出力	—	1	—	0	0/1	SCL00 = 1	—	○	○	○	○	x
	INTP3	入力	—	x	—	1	x	x	—	○	○	○	○	x
	SCK00	入力	PIOR00 = 0	x	—	1	x	x	—	○	○	○	○	x
		出力		0/1	—	0	1	x	—	○	○	○	○	x
SCL00	出力		0/1	—	0	1	x	—	○	○	○	○	x	
P57	P57	入力	—	—	—	1	x	—	—	○	x	x	x	x
		出力	—	—	—	0	0/1	—	(TO03) = 0 注2 VCOUT1 = 0	○	x	x	x	x
	INTP4	入力	—	—	—	1	x	—	x	○	x	x	x	x
	VCOUT1	出力	—	—	—	0	0	—	(TO03) = 0 注2	○	x	x	x	x
	(TI03)	入力	PIOR04 = 1	—	—	1	x	—	x	○	x	x	x	x
(TO03)	出力	—		—	0	0	—	VCOUT1 = 0	○	x	x	x	x	

注1. PIOR01 = 0の場合は、Don't Care。

注2. PIOR04 = 0の場合は、Don't Care。

表4 - 12 P60-P63 端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48 ピン	32 ピン	30 ピン	24 ピン	20 ピン
	機能名称	入出力						SAUの出力 機能	SAU以外					
P60	P60	入力	—	—	—	1	x	—	—	○	x	x	x	x
		出力	—	—	—	0	0/1	—	—	○	x	x	x	x
P61	P61	入力	—	—	—	1	x	—	—	○	x	x	x	x
		出力	—	—	—	0	0/1	—	—	○	x	x	x	x
P62	P62	入力	—	—	—	1	x	—	—	○	x	x	x	x
		出力	—	—	—	0	0/1	—	—	○	x	x	x	x
P63	P63	入力	—	—	—	1	x	—	—	○	x	x	x	x
		出力	—	—	—	0	0/1	—	—	○	x	x	x	x
	SSI00	入力	—	—	—	1	x	—	—	○	x	x	x	x

表4 - 13 P121-P125 端子機能使用時のレジスタの設定例

端子名称	使用機能		CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx	48ピン	32ピン	30ピン	24ピン	20ピン
	機能名称	入出力							
P121	P121	入力	00xx/10xx/11xx	×	○	○	○	○	○
	X1	—	01xx	—	○	○	○	○	○
P122	P122	入力	00xx/10xx	×	○	○	○	○	○
	X2	—	01xx	—	○	○	○	○	○
	EXCLK	入力	11xx	×	○	○	○	○	○
P123	P123	入力	xx00/xx10/xx11	×	○	○	○	×	×
	XT1	—	xx01	—	○	○	○	×	×
P124	P124	入力	xx00/xx10	×	○	○	○	×	×
	XT2	—	xx01	—	○	○	○	×	×
	EXCLKS	入力	xx11	—	○	○	○	×	×
P125	P125	入力	xx00/xx10/xx11	×	○	○	○	×	×
	XT1	—	xx01	—	○	○	○	×	×

表4 - 14 P130, P137 端子機能使用時のレジスタの設定例

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		48ピン	32ピン	30ピン	24ピン	20ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P130	P130	入力	—	—	—	1	×	—	—	○	×	×	×	×
		出力	—	—	—	0	0/1	—	—	○	×	×	×	×
P137	P137	入力	—	—	—	—	×	—	—	○	○	○	○	○
	INTP0	入力	—	—	—	—	×	—	—					

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/I1D内部で、次の順序で行われます。

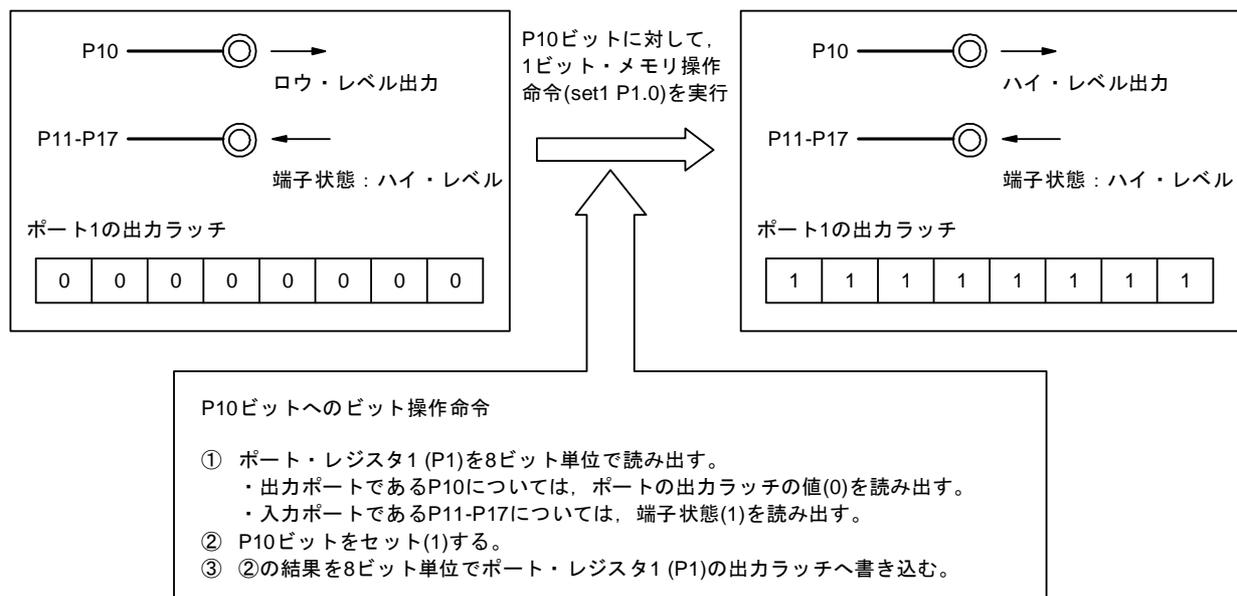
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-9 1ビット・メモリ操作命令(P10の場合)



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では、兼用機能の出力が無効(バッファ出力がHi-Z)となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 オペレーション・ステート・コントロール

内部回路の動作電圧，動作タイミング，動作電流は，フラッシュ動作モードによって最適化されます。マイコンを動作させる電源電圧範囲やクロック周波数に合わせて，適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後，レジスタの設定により各モードで動作します。

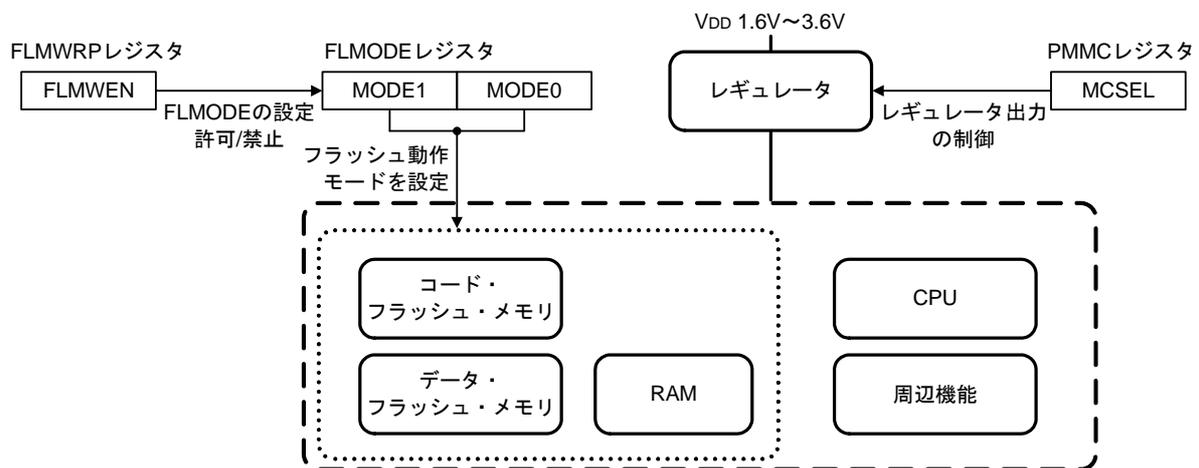
5.1 オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは，次のハードウェアで構成されています。

表5-1 オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	• ユーザ・オプション・バイト アドレス : 000C2H
制御レジスタ	• フラッシュ動作モード選択レジスタ (FLMODE) • フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) • レギュレータ・モード制御レジスタ (PMMC)

図5-1 オペレーション・ステート・コントロールの概略図



オプション・バイト(000C2H)

CMODE1	CMODE0
--------	--------

フラッシュ動作モードは、以下の4つのモードあります。

- HS (高速メイン)モード
- LS (低速メイン)モード
- LV (低電圧メイン)モード
- LP (低電力メイン)モード

マイコンの動作環境に合わせてこれらのフラッシュ動作モードを設定することにより、効率よくマイコンを動作させることができます。表5-2に各フラッシュ動作モードの特長を示します。

表5-2 各フラッシュ動作モードの特長

フラッシュ動作モード	レギュレータ・モード	推奨動作範囲		動作電流 (typ.)	説明
HS(高速メイン)モード	通常設定のみ (MCSEL = 0)	2.4 V ~ 3.6 V	1 MHz ~ 24 MHz	3.2 mA (24 MHz ^{注1} 動作時)	CPUの高速動作(24 MHz (max.))が可能なモードです。CPUの処理能力が必要な場合に最適です。
LS(低速メイン)モード	通常設定 (MCSEL = 0)	1.8 V ~ 3.6 V	1 MHz ~ 8 MHz	1.1 mA (8 MHz ^{注1} 動作時)	動作電流とCPUの演算処理(8 MHz (max.))のバランスのとれたモードです。CPUを4 MHz ~ 8 MHzで動作させる場合、レギュレータ・モードを通常設定にしてください。CPUを1 MHz ~ 4 MHzで動作させる場合は、レギュレータ・モードを低消費設定にする事でより動作電流を低減する事ができます。
	低消費設定 (MCSEL = 1)	1.8 V ~ 3.6 V	1 MHz ~ 4 MHz	0.58 mA (4 MHz ^{注2} 動作時)	
LP(低電力メイン)モード	低消費設定のみ (MCSEL = 1)	1.8 V ~ 3.6 V	1 MHz	0.124 mA (1 MHz ^{注2} 動作時)	1 MHzで動作するモードです。 1 MHzで低動作電流を実現します。
LV(低電圧メイン)モード ^{注1}	通常設定のみ (MCSEL = 0)	1.6 V ~ 3.6 V	1 MHz ~ 4 MHz	1.2 mA (4 MHz動作時)	1.6 Vまで低電圧動作が可能なモードです。電源電圧が1.6 V ~ 1.8 VでCPUを動作させる場合はこのモードを選択してください。

注1. 高速オンチップ・オシレータのみで動作可能

注2. 中速オンチップ・オシレータ動作時

5.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ (FLMODE)
- フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)
- レギュレータ・モード制御レジスタ (PMMC)

5.2.1 フラッシュ動作モード選択レジスタ (FLMODE)

FLMODE レジスタは、フラッシュ動作モードとコード・フラッシュ・メモリの動作を制御する8ビットのレジスタです。

FLMODE レジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。但し、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)のFLMWENが0の時、値を変更することはできません。

リセット発生により、MODE1, MODE0はオプション・バイトのCMODE1, CMODE0 (アドレス: 000C2H)の設定値が反映されます。

図5-2 フラッシュ動作モード選択レジスタ (FLMODE)のフォーマット

アドレス: F00AAH リセット時: 00H/80H/C0H注1 R/W

略号	7	6	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	0	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	LV (低電圧メイン)モード (LSモードで $1\text{ MHz} \leq f_{\text{CLK}} \leq 4\text{ MHz}$ の時, 選択可能です。)
0	1	LP (低電力メイン)モード (LSモードで $1.8\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$ かつ $f_{\text{CLK}}=1\text{ MHz}$ の時, 選択可能です。注2)
1	0	LS (低速メイン)モード (HSモードまたはLPモードまたはLVモードで $1.8\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$ かつ $1\text{ MHz} \leq f_{\text{CLK}} \leq 8\text{ MHz}$ の時, 選択可能です。)
1	1	HS (高速メイン)モード (LSモードで $2.4\text{ V} \leq V_{\text{DD}} \leq 3.6\text{ V}$ の時, 選択可能です。)

注1. FLMODE レジスタの初期値は、MODE1 ビット、MODE0 ビットにオプション・バイトの CMODE1 ビット、CMODE0 ビット(アドレス: 000C2H)の設定値が反映された値になります。

注2. LP(低電力メイン)モードを選択後、レギュレータ・モード制御レジスタ (PMMC)のMCSELビットを1に設定してください。

注意1. FLMODEレジスタは、フラッシュ動作モードプロテクトレジスタ (FLMWRP)のFLMWENビットが0の時、値を変更できません。また、レギュレータ・モード制御レジスタのMCSELビットが1の時、値を変更しないでください。FLMODEレジスタの値を変更する場合は、MCSELが0の時にFLMWRPレジスタのFLMWENビットに1を設定した後に行ってください。また、FLMODEレジスタの値を変更した後はFLMWENビットを0に設定してください。

注意2. MODE1ビット、MODE0ビットはシステム・クロック制御レジスタ (CKC)のCSSビットが1 (CPU/周辺機能がサブシステム・クロック動作)の時、設定できません。

- 注意3. MODE1ビット, MODE0ビットをDTCで値を変更しないでください。
- 注意4. フラッシュ動作モードを変更する場合, 変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認した後, フラッシュ動作モードを変更してください。
- 注意5. LV (低電圧メイン)モードでは中速オンチップ・オシレータを使用できません。LVモードに遷移する場合, 前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち, LVモードに遷移してください。
- 注意6. MODE1ビット, MODE0ビットでフラッシュ動作モードを変更した場合, フラッシュ動作モードが遷移するまで下記の時間CPUはウェイト状態になります。このウェイト期間中の割り込み要求は保留されます。

表5-3 フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS (低速メイン)モード ⇒ HS (高速メイン)モード	225サイクル ^{*1}
LS (低速メイン)モード ⇒ LV (低電圧メイン)モード	99サイクル ^{*1,*2}
LP (低電力メイン)モード ⇒ LS (低速メイン)モード	10サイクル ^{*1}
LS (低速メイン)モード ⇒ LP (低電力メイン)モード	10サイクル ^{*1}
LV (低電圧メイン)モード ⇒ LS (低速メイン)モード	20サイクル ^{*1}
HS (高速メイン)モード ⇒ LS (低速メイン)モード	30サイクル ^{*1}

*1: CPU/周辺クロック (f_{CLK}) のサイクル数

*2: LV (低電圧メイン)モードに切り替える場合は, 高速オンチップ・オシレータの発振が安定している状態で行ってください。

- 注意7. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後, 1クロック以上間を空けてから書き込みを行ってください。FLMODEレジスタへの連続書き込みはしないでください。
- 注意8. フラッシュ・メモリ書き換えの際にFLMODEレジスタは変更しないでください。

5.2.2 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

FLMWRPレジスタは、フラッシュ動作モード選択レジスタへのアクセスを制御する8ビットのレジスタです。FLMWRPレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。リセット発生により、FLMWRPレジスタは00Hになります。

図5-3 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)のフォーマット

アドレス : F00ABH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLMWRP	0	0	0	0	0	0	0	FLMWEN

FLMWEN	フラッシュ動作モード選択レジスタ (FLMODE)の制御
0	FLMODEレジスタの書き換え禁止
1	FLMODEレジスタの書き換え許可

5.2.3 レギュレータ・モード制御レジスタ (PMMC)

PMMCレジスタは、内蔵されているレギュレータのモードを制御する8ビットのレジスタです。PMMCレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。リセット発生により、PMMCレジスタは00Hになります。

図5-4 レギュレータ・モード制御レジスタ (PMMC)のフォーマット

アドレス : F00F8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0

MCSEL	レギュレータ・モードの制御
0	通常設定
1	低消費設定

注意1. MCSELが1の時フラッシュ動作モード選択レジスタ (FLMODE)を変更しないでください。

注意2. HS (高速メイン)モード, LV (低電圧メイン)モードではMCSELを1に設定しないでください。

注意3. LS (低速メイン)モードではMCSELが1の時にSTOPモード状態に移移することは禁止です。

5.3 フラッシュ動作モードの初期設定

オプション・バイト (000C2H) は、フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時のV_{DD}の電圧と高速オンチップ・オシレータの周波数に合わせて、適切なフラッシュ動作モードを設定してください。

リセット解除時にCMODE1, CMODE0の値はフラッシュ動作モード選択レジスタ (FLMODE)のMODE1, MODE0に、FRQSEL3-FRQSEL0の値は、高速オンチップ・オシレータ周波数選択レジスタ (HIODIV)に反映されます。

図5-5 ユーザ・オプション・バイト (000C2H)のフォーマット

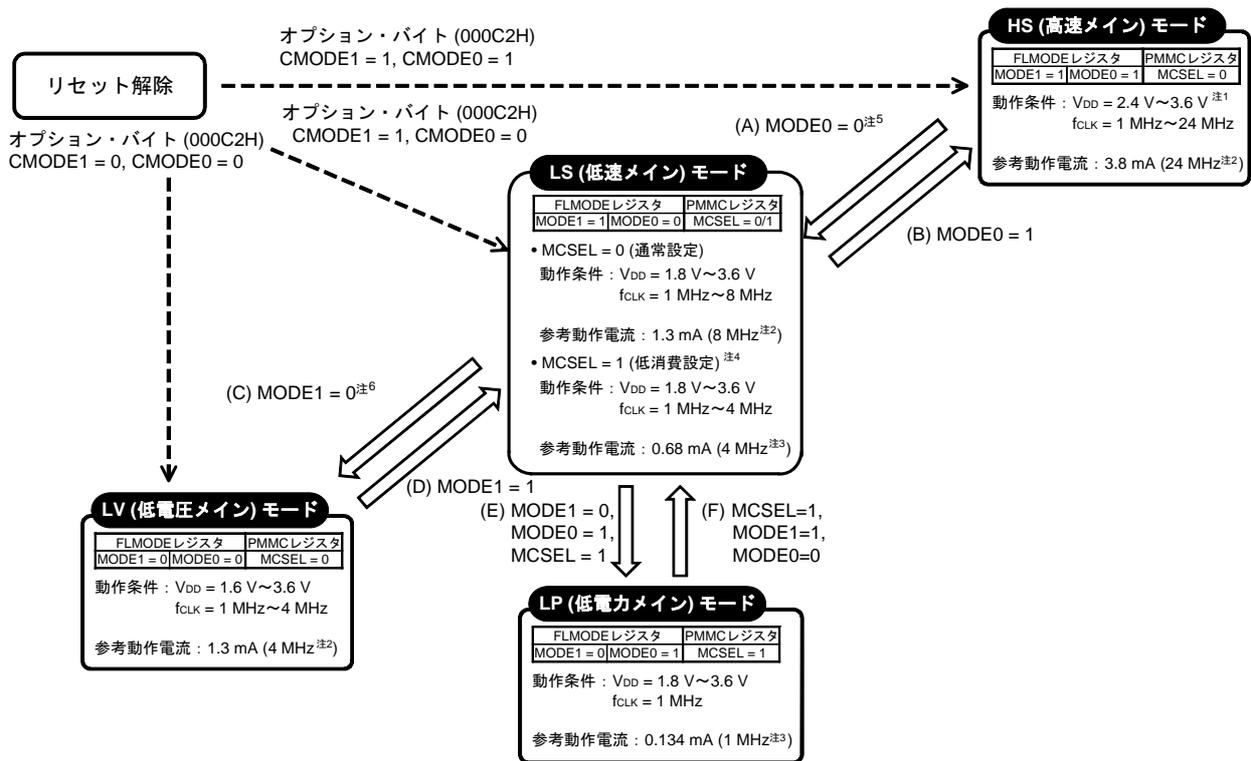
アドレス : 000C2H

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	CMODE1	CMODE0	リセット解除後のフラッシュ動作モードの選択					
	0	0	LV (低電圧メイン)モード					
	1	0	LS (低速メイン)モード					
	1	1	HS (高速メイン)モード					
	上記以外		設定禁止					
	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数			
	0	0	0	0	24 MHz			
	1	0	0	1	16 MHz			
	0	0	0	1	12 MHz			
	1	0	1	0	8 MHz			
	0	0	1	0	6 MHz			
	1	0	1	1	4 MHz			
	0	0	1	1	3 MHz			
	1	1	0	0	2 MHz			
	1	1	0	1	1 MHz			
	上記以外				設定禁止			

5.4 フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは、オプション・バイト(000C2H)のCMODE1, CMODE0で設定によって、HS (高速メイン)モード、LS (低速メイン)モード、LV (低電圧メイン)モードを選択することができます。また、CMODE1, CMODE0の値はフラッシュ動作モード選択レジスタ (FLMODE)のMODE1, MODE0ビットに反映されます。その後は、CPU 動作中にFLMODE レジスタの値を変更することによって、フラッシュ動作モードを遷移させることができます。

図5-6 フラッシュ動作モードの状態遷移



- 注1. 動作周波数が $16\text{ MHz} < f_{CLK} \leq 24\text{ MHz}$ の場合、動作電圧範囲は $2.7\text{ V} < V_{DD} \leq 3.6\text{ V}$ になります。
 - 注2. 高速オンチップ・オシレータ動作時の電流です。
 - 注3. 中速オンチップ・オシレータ動作時の電流です。
 - 注4. MCSEL = 1 (低消費設定)の時は、各フラッシュ動作モードおよび、STOPモードへ遷移できません。フラッシュ動作モードを変更、およびSTOPモードに遷移する場合、必ずMCSEL = 0 (通常設定)で変更してください。
 - 注5. オプション・バイト(000C2H)のCMODE1 = 1, CMODE0 = 1に設定した場合、LS (低速メイン)モードへ遷移後、動作電圧2.4V未満でリセットが発生した場合の動作は保障できません。
 - 注6. オプション・バイト(000C2H)のCMODE1 = 1, CMODE0 = 0に設定した場合、LV (低電圧メイン)モードへ遷移後、動作電圧1.8V未満でリセットが発生した場合の動作は保障できません。
- 注意 マイコンの動作中にリセットが入った場合、リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。従って、LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲以上に設定するなど、リセット解除時に動作電圧範囲外で動作を開始しないようにしてください。

5.5 フラッシュ動作モードの詳細

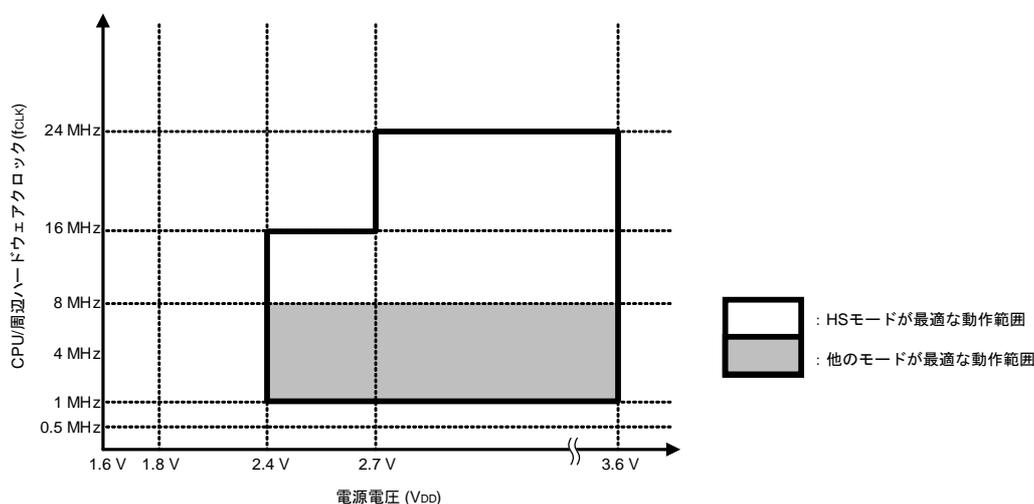
5.5.1 HS (高速メイン)モードの詳細

HS (高速メイン)モードは、CPUの高速処理が必要なアプリケーションに最適なモードです。

HSモードは、リセット解除直後から動作可能です。また、LS (低速メイン)モードから遷移する事が可能です。HSモードに遷移する場合は、LSモードで電源電圧が $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 、動作周波数が $1\text{ MHz} \leq f_{CLK} \leq 8\text{ MHz}$ の状態に遷移してください。

HSモードの最適動作範囲は、電源電圧が $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 、動作周波数が $8\text{ MHz} < f_{CLK} \leq 16\text{ MHz}$ の時、または電源電圧が $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 、動作周波数が $8\text{ MHz} < f_{CLK} \leq 24\text{ MHz}$ の時です。8 MHz以下で動作させる場合は、その他のモードが最適なフラッシュ動作モードになります。

図5 - 7 HSモードの動作範囲



5.5.2 LS (低速メイン)モードの詳細

LS (低速メイン)モードは、CPUの処理能力と動作電力性能を両立しており、1 MHz～8 MHzで低消費電力が必要なアプリケーションに最適なモードです。

LSモードはリセット解除直後から動作可能です。また、HS (高速メイン)モード、LV (低電圧メイン)モード、LP (低電力メイン)モードから遷移する事が可能です。HSモードからLSモードに遷移する場合、動作周波数が $1 \text{ MHz} \leq f_{\text{CLK}} \leq 8 \text{ MHz}$ の状態で遷移してください。

LSモードはレギュレータ・モード制御レジスタ (PMMC) のMCSELビットによって、低消費設定にする事が可能です。低消費設定にする場合、動作周波数が $1 \text{ MHz} \leq f_{\text{CLK}} \leq 4 \text{ MHz}$ の状態でMCSELビットを1に設定してください。

LSモードの最適動作範囲は、MCSEL = 0の場合、電源電圧が $1.8 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$ 、動作周波数が $4 \text{ MHz} < f_{\text{CLK}} \leq 8 \text{ MHz}$ の時で、MCSEL = 1の場合、電源電圧が $1.8 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$ 、動作周波数が $1 \text{ MHz} < f_{\text{CLK}} \leq 4 \text{ MHz}$ の時です。

図5-8 LSモードの動作範囲 (MCSEL = 0)

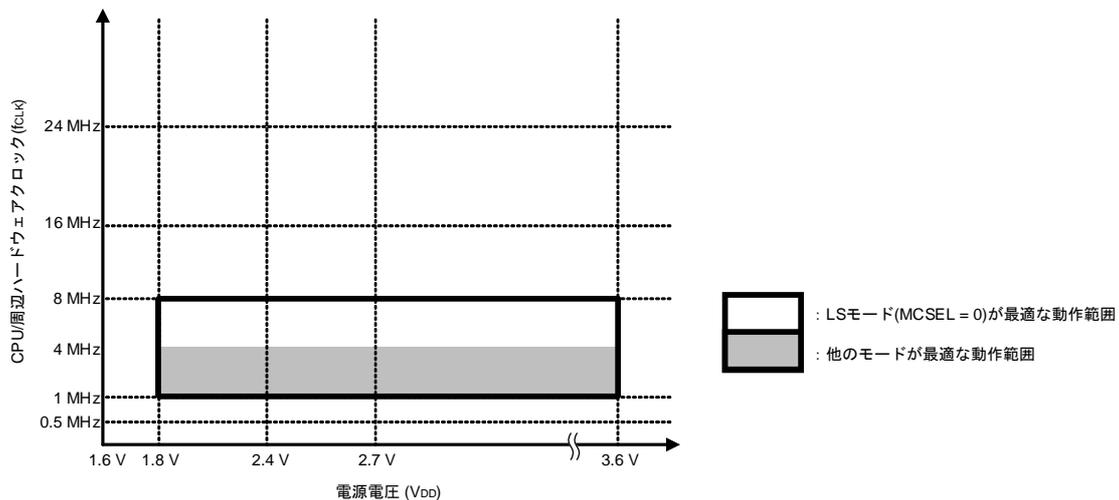
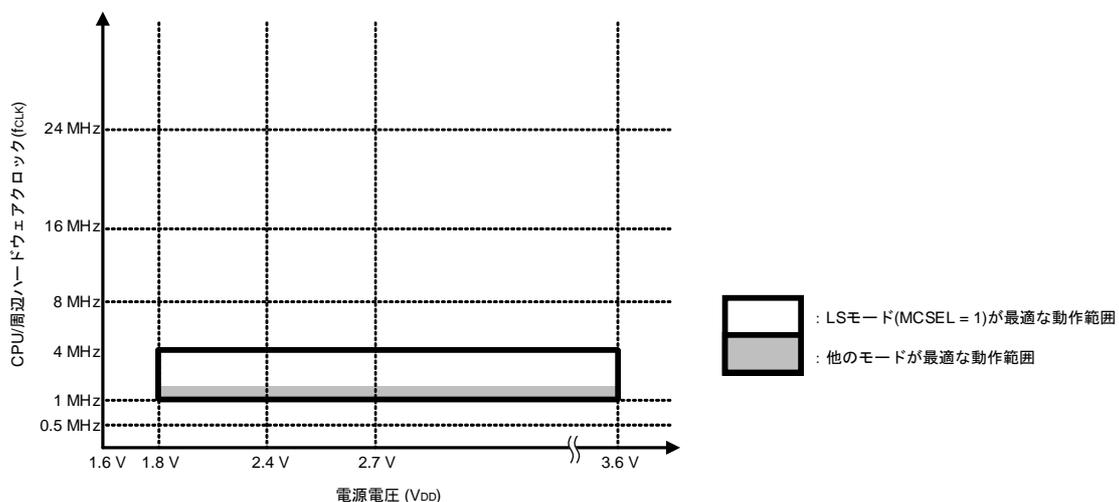


図5-9 LSモードの動作範囲 (MCSEL = 1)



注意 他のフラッシュ動作モードに遷移する場合は、MCSEL = 0の状態ですべて遷移してください。

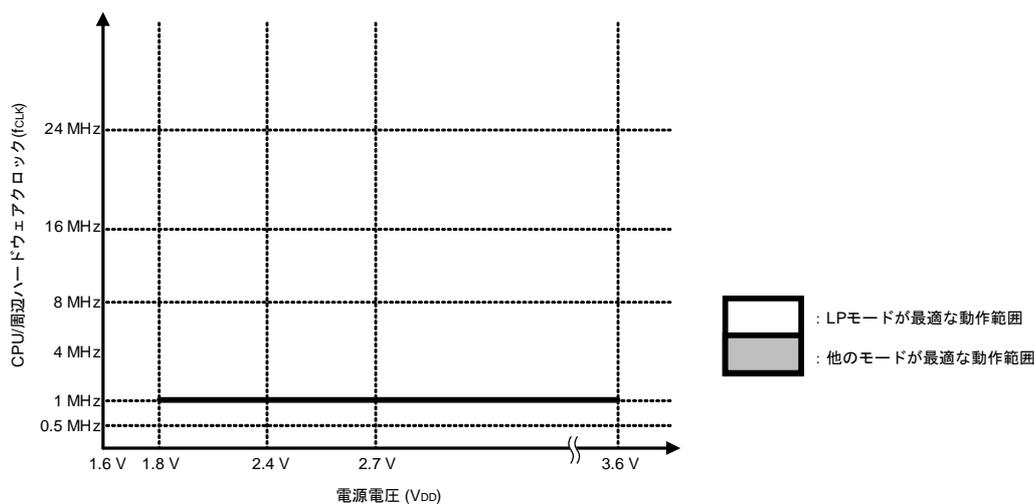
5.5.3 LP (低電力メイン)モードの詳細

LP (低電力メイン)モードは、1 MHzの動作周波数によって低電力でCPUを動作させるモードです。

LPモードはLS (低速メイン)モードから遷移する事が可能です。LSモードからLPモードに遷移する場合、動作周波数が $f_{CLK} = 1 \text{ MHz}$ の状態に遷移してください。遷移後は、レギュレータ・モード制御レジスタのMCSELビットを1にセットしてください。

LPモードの最適動作範囲は、電源電圧が $1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ 、動作周波数が1 MHzの時です。

図5 - 10 LPモードの動作範囲



注意 LS (低速メイン)モードに遷移する場合は、MCSEL = 0の状態に遷移してください。

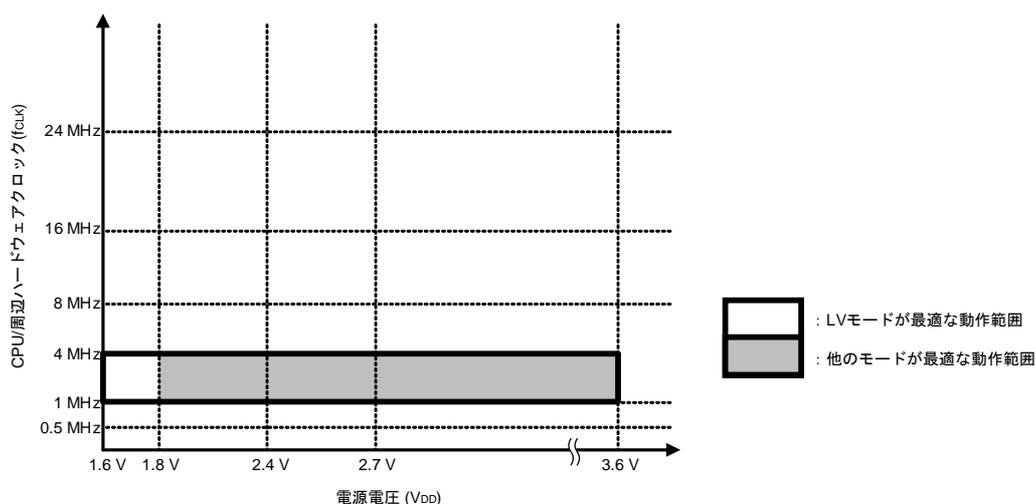
5.5.4 LV (低電圧メイン) モードの詳細

LV (低電圧メイン) モードは、1.8V以下の動作が必要なアプリケーションに最適なモードです。

LVモードはリセット解除直後から動作可能です。また、LS (低速メイン) モードから遷移する事が可能です。LSモードからLVモードに遷移する場合、動作周波数が $1 \text{ MHz} \leq f_{\text{CLK}} \leq 4 \text{ MHz}$ の状態で遷移してください。

LVモードの最適動作範囲は、電源電圧が $1.6 \text{ V} \leq V_{\text{DD}} < 1.8 \text{ V}$ の時です。電源電圧が $1.8 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$ で動作させる場合は他のモードが最適なフラッシュ動作になります。

図5 - 11 LVモードの最適な動作範囲



注意 LV (低電圧メイン) モードでは中速オンチップ・オシレータを使用できません。LVモードに遷移する場合、前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち、LVモードに遷移してください。

第6章 クロック発生回路

メイン・システム・クロック用発振子接続端子／外部クロック入力端子，サブシステム・クロック用発振子接続端子／外部クロック入力端子の有無は，製品によって異なります。

	20, 24ピン製品	30, 32, 48ピン製品
X1, X2端子	○	○
EXCLK端子	○	○
XT1, XT2端子	—	○
EXCLKS端子	—	○

6.1 クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には，次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子，X2端子に発振子を接続することにより， $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ

オプションバイト(000C2H)により， $f_{IH} = 24$ MHz/16 MHz/12 MHz/8 MHz/6 MHz /4 MHz /3 MHz /2 MHz /1 MHz (TYP.)から周波数を選択し，発振させることができます。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は，図6-12 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数(MHz)									
	1	2	3	4	6	8	12	16	24	
$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	○	○	○	○	○	○	○	○	○	○
$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	○	○	○	○	○	○	○	○	○	—
$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	○	○	○	○	○	○	—	—	—	—
$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	○	○	○	○	—	—	—	—	—	—

③ 中速オンチップ・オシレータ

MOCODIVビット(MOCODIVレジスタのビット0, 1)の設定により, $f_{IM} = 4 \text{ MHz}/2 \text{ MHz}/1 \text{ MHz}$ (TYP.) から周波数を選択し, 発振させることができます。STOP命令の実行またはMIOENビット(CSCレジスタのビット1)の設定により, 発振を停止することができます。

また, EXCLK/X2/P122端子から外部メイン・システム・クロック($f_{EX} = 1 \sim 20 \text{ MHz}$)を供給することができます。STOP命令の実行またはMSTOPビットの設定により, 外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは, MCM0ビット(システム・クロック制御レジスタ(CKC)のビット4)およびMCM1ビット(システム・クロック制御レジスタ(CKC)のビット0)の設定により, 高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)とメイン・オンチップ・オシレータ・クロック(高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロック)を切り替えられます。

なお, メイン・システム・クロックは, 電源電圧 V_{DD} によって使用可能な周波数範囲が異なり, オプション・バイト(000C2H)のCMODE0, CMODE1によりフラッシュの動作電圧モードの設定(第29章オプション・バイト)が必要です。

(2) サブシステム・クロック

① XT1発振回路

XT1端子、XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック($f_{EXS} = 32.768$ kHz)を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

② 低速オンチップ・オシレータ・クロック

$f_{IL} = 15$ kHz (TYP.)のクロックを発振させることができます。

オプション・バイト(000C0H)のビット4(WDTON)または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)または、サブシステム・クロック選択レジスタ(CKSEL)のビット0(SELLOSC)のいずれか、または複数のビットが1のときに動作します。

ただし、 $WDTON = 1$ 、 $WUTMMCK0 = 0$ 、 $SELLOSC = 0$ かつオプション・バイト(000C0H)のビット0(WDSTBYON)が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考	f_X :	X1クロック発振周波数
	f_{IH} :	高速オンチップ・オシレータ・クロック周波数(最大24 MHz)
	f_{IM} :	中速オンチップ・オシレータ・クロック周波数(最大4 MHz)
	f_{EX} :	外部メイン・システム・クロック周波数
	f_{XT} :	XT1クロック発振周波数
	f_{EXS} :	外部サブシステム・クロック周波数
	f_{IL} :	低速オンチップ・オシレータ・クロック周波数

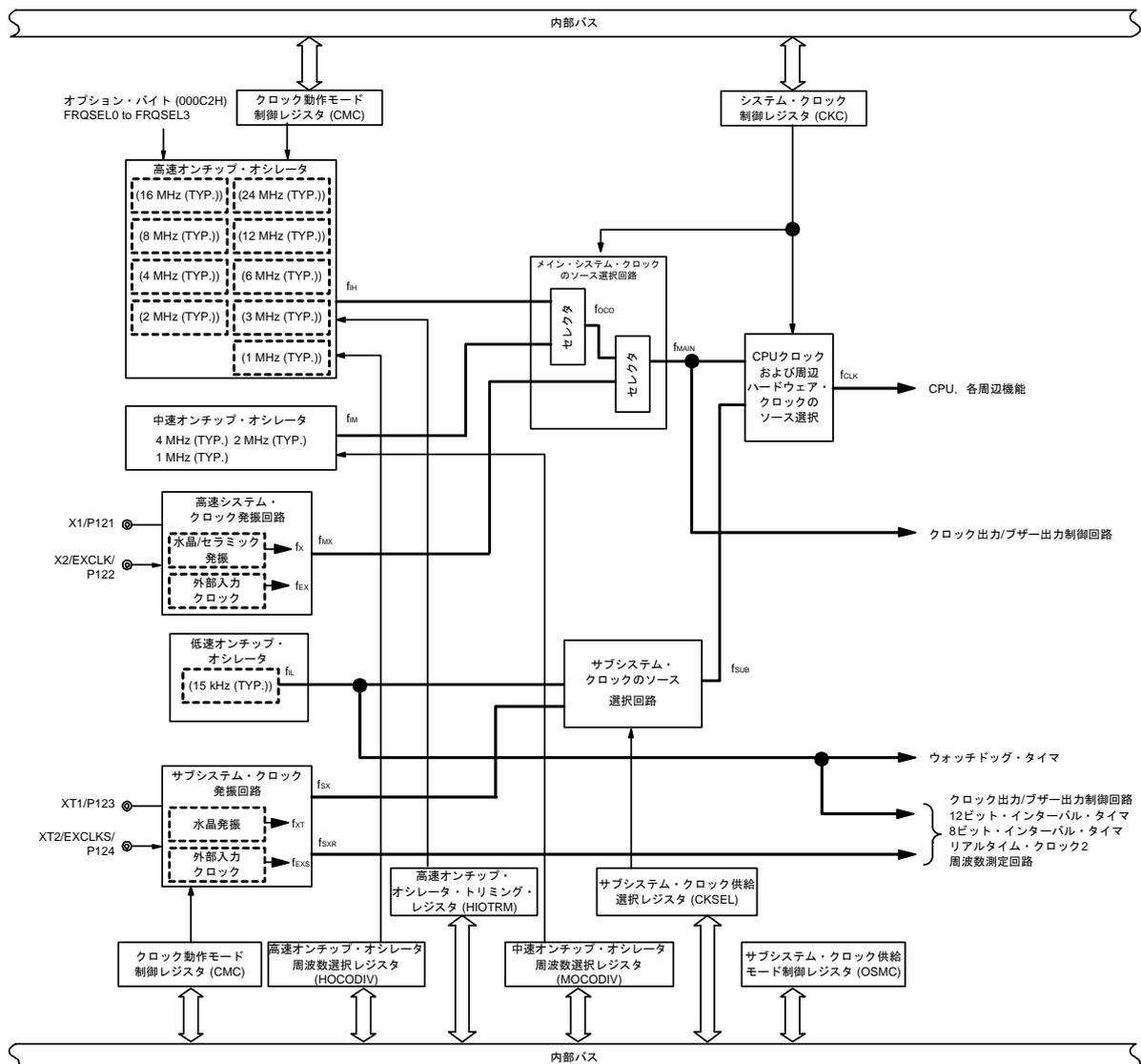
6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) サブシステム・クロック選択レジスタ (CKSEL) 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) 周波数測定回路クロック選択レジスタ (FMCKS)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 中速オンチップ・オシレータ 低速オンチップ・オシレータ

図6-1 クロック発生回路のブロック図



- 備考
- fx : X1クロック発振周波数
 - fih : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)
 - fim : 中速オンチップ・オシレータ・クロック周波数(最大4 MHz)
 - fex : 外部メイン・システム・クロック周波数
 - fmX : 高速システム・クロック周波数
 - fMAIN : メイン・システム・クロック周波数
 - fXT : XT1クロック発振周波数
 - fEXS : 外部サブシステム・クロック周波数
 - fsX : サブシステム・クロック発振回路・クロック周波数
 - fsXR : サブシステム・クロック発振回路・RTC2他クロック周波数
 - fSUB : サブシステム・クロック周波数
 - fCLK : CPU/周辺ハードウェア・クロック周波数
 - fIL : 低速オンチップ・オシレータ・クロック周波数
 - fOCO : メイン・オンチップ・オシレータ・クロック周波数 (fihまたはfim)

6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
- サブシステム・クロック選択レジスタ (CKSEL)
- 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

6.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図6-2 クロック動作モード制御レジスタ (CMC)のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS ^注	OSCSELS ^注	0	AMPHS1 ^注	AMPHS0 ^注	AMPH
	EXCLK	OSCSEL	高速システム・クロック端子の動作モード		X1/P121 端子		X2/EXCLK/P122 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	X1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート		外部クロック入力	
	EXCLKS ^注	OSCSELS ^注	サブシステム・クロック端子の動作モード		XT1/P123 端子		XT2/EXCLKS/P124 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	XT1発振モード		水晶振動子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート		外部クロック入力	
	AMPHS1 ^注	AMPHS0 ^注	XT1発振回路の発振モード選択					
	0	0	低消費発振 (デフォルト)					
	0	1	通常発振					
	1	0	超低消費発振					
	1	1	設定禁止					
	AMPH	X1クロック発振周波数の制御						
	0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$						
	1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$						

注 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXやfSUBに切り替える前の状態)で設定してください。

注意5. fXTの発振安定時間は、ソフトウェアでカウントしてください。

注意6. システム・クロックの周波数上限は24 MHzですが、X1発振回路の周波数上限は20 MHzになります。

(注意、備考は次ページに続きます。)

注意7. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振 (AMPHS1, AMPHS0 = 1, 0) で使用する場合は、6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

備考 fx : X1クロック発振周波数

6.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。
CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図6-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	MCS1	MCM1
CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS ^{注2}	CPU/周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	メイン・オンチップ・オシレータ・クロック (foco)							
1	高速システム・クロック (fMX)							
MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) にメイン・オンチップ・オシレータ・クロック (foco) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							
MCS1	メイン・オンチップ・オシレータ・クロック (foco) のステータス							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							
MCM1 ^{注2}	メイン・オンチップ・オシレータ・クロック (foco) の動作制御							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							

注1. ビット7, 5, 1は、Read Onlyです。

注2. CSS = 1を設定した状態で、MCM0ビット、MCM1ビットの値を変更することは禁止です。

備考 fIH : 高速オンチップ・オシレータ・クロック周波数 (最大24 MHz)
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数
 fSUB : サブシステム・クロック周波数
 fOCO : メイン・オンチップ・オシレータ・クロック周波数 (fIHまたはfIM)

- 注意1. ビット2, 3には、必ず0を設定してください。
- 注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・クロック2, 12ビット・インターバル・タイマ, クロック出力/プザー出力, 8ビット・インターバル・タイマ, 周波数測定回路およびウォッチドッグ・タイマは除く)。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第34章 電気的特性を参照してください。

6.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

図6-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP注	0	0	0	0	MIOEN	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP注	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

MIOEN	中速オンチップ・オシレータ・クロックの動作制御
0	中速オンチップ・オシレータ停止
1	中速オンチップ・オシレータ動作

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。

注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注意4. XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意5. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。

注意6. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表6-2のようになります。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表6-2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1), またはCLS = 0かつMCS = 0かつMCS1 = 1	HIOSTOP = 1

6.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図6-5 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	2 ⁸ /fx 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	2 ⁹ /fx 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx 以上	102 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx 以上	204 μs 以上	102 μs 以上
1	1	1	1	1	0	0	0	2 ¹³ /fx 以上	819 μs 以上	409 μs 以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx 以上	3.27 ms 以上	1.63 ms 以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx 以上	13.1 ms 以上	6.55 ms 以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx 以上	26.2 ms 以上	13.1 ms 以上

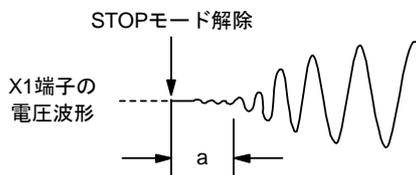
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていく、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

6.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図6-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51.2 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

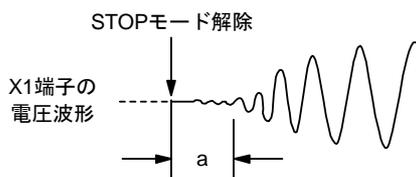
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

6.3.6 サブシステム・クロック選択レジスタ (CKSEL)

サブシステム・クロックとしてサブ・クロック/低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSELレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-7 サブシステム・クロック選択レジスタ (CKSEL)のフォーマット

アドレス : FFFA7H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	サブ・クロック/低速オンチップ・オシレータクロック選択
0	サブ・クロック
1	低速オンチップ・オシレータクロック注

注 サブ・クロック (fsx, fsxR) 動作時は SELLOSC = 1 の設定は禁止です。

注意 SELLOSC を変更する場合は、必ず CSS = 0 (fMAIN 選択) に設定し、CLS = 0 の状態で切り替えてください。

6.3.7 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- リアルタイム・クロック2
- A/Dコンバータ
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット0
- コンパレータ
- DTC
- 12ビット・インターバル・タイマ
- 周波数測定回路
- データ演算回路(DOC)

PER0, PER1, PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図6-8 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN
RTCWEN	リアルタイム・クロック2へのアクセス制御							
0	リアルタイム・クロック2で使用するSFRへのライト不可							
1	リアルタイム・クロック2で使用するSFRへのリード/ライト可							
ADCEN	A/Dコンバータの入カクロック供給の制御							
0	入カクロック供給停止 • A/Dコンバータで使用するSFRへのライト不可, リードした場合は0Hが読めます。ただし, 初期化はされていません。注1							
1	入カクロック供給 • A/Dコンバータで使用するSFRへのリード/ライト可							
SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御							
0	入カクロック供給停止 • シリアル・アレイ・ユニット0で使用するSFRへのライト不可, リードした場合は0Hが読めます。ただし, 初期化はされていません。注2							
1	入カクロック供給 • シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可							
TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御							
0	入カクロック供給停止 • タイマ・アレイ・ユニット0で使用するSFRへのライト不可, リードした場合は0Hが読めます。ただし, 初期化はされていません。注3							
1	入カクロック供給 • タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可							

注1. A/DコンバータおよびA/Dコンバータで使用するSFRを初期化する場合, PRR0のビット5 (ADCRES)を使用してください。

注2. シリアル・アレイ・ユニット0およびシリアル・アレイ・ユニット0で使用するSFRを初期化する場合, PRR0のビット2 (SAU0RES)を使用してください。

注3. タイマ・アレイ・ユニット0およびタイマ・アレイ・ユニット0で使用するSFRを初期化する場合, PRR0のビット0 (TAU0RES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6

注意2. 各周辺機能が動作許可の状態、PER0レジスタの対象ビットを切り替えないでください。PER0による設定は、PER0に割り当てている各周辺機能が停止している状態で切り替えてください(ただし、RTCWENビットは除く)。

図6-9 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	CMPEN	0	DTCEN	0	0	0

CMPEN	コンパレータの入カクロック供給の制御
0	入カクロック供給停止 • コンパレータで使用するSFRへのライト不可, リードした場合は0Hが読めます。ただし, 初期化はされていません。注
1	入カクロック供給 • コンパレータで使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 • DTCは動作不可
1	入カクロック供給 • DTCは動作可

注 コンパレータおよびコンパレータで使用するSFRを初期化する場合, PRR1のビット5 (CMPRES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。

ビット0~2, 4, 6, 7

注意2. 各周辺機能が動作許可の状態、PER1レジスタの対象ビットを切り替えないでください。PER1による設定は、PER1に割り当てている各周辺機能が停止している状態で切り替えてください。

図6 - 10 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	FMCEN	DOCEN	0	0	0	0	0

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 • 12ビット・インターバル・タイマで使用するSFRへのライト不可, リードした場合は0Hが読めます。ただし, 初期化はされていません。注1
1	入カクロック供給 • 12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

FMCEN	周波数測定回路の入カクロック供給の制御
0	入カクロック供給停止 • 周波数測定回路および周波数測定回路で使用するSFRはリセット状態で停止
1	入カクロック供給 • 周波数測定回路で使用するSFRへのリード/ライト可

DOCEN	データ演算回路の入カクロック供給の制御
0	入カクロック供給停止 • データ演算回路で使用するSFRへのライト不可, リードした場合は0Hが読めます。ただし, 初期化はされていません。注2
1	入カクロック供給 • データ演算回路で使用するSFRへのリード/ライト可

注1. 12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合, PRR2のビット7 (TMKAEN)を使用してください。

注2. データ演算回路およびデータ演算回路で使用するSFRを初期化する場合, PRR2のビット5 (DOCEN)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。

ビット0~4

注意2. 各周辺機能が動作許可の状態、PER2レジスタの対象ビットを切り替えないでください。PER2による設定は、PER2に割り当てている各周辺機能が停止している状態で切り替えてください(ただし、FMCENは除く)。

6.3.8 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると、STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時に、リアルタイム・クロック 2、12 ビット・インターバル・タイマ、8 ビット・インターバル・タイマ、クロック出力/ブザー出力制御回路以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック 2、周波数測定回路、12 ビット・インターバル・タイマ、8 ビット・インターバル・タイマ、クロック出力/ブザー出力制御回路の動作クロックを選択できます。

OSMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6-11 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 不定 R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	x	x	0	0
RTCLPC ^{注7}	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表23-1～表23-4参照)							
1	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMCK0	リアルタイム・クロック2, 周波数測定回路, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロック ^{注2}							
1	低速オンチップ・オシレータ・クロック ^{注3, 4, 5, 6}							
FMTRGSEL ^{注10}	WUTMMCK0	周波数測定回路カウント動作/停止トリガクロック, リアルタイム・クロック2動作クロック選択						
0	0	周波数測定回路/リアルタイム・クロック2はfsxを選択						
0	1	リアルタイム・クロック2はfLを選択(定周期割り込み機能) ^{注8}						
1	0	設定禁止						
1	1	周波数測定回路はfLを選択 ^{注9}						

注1. ビット0,1,5,6には、必ず0を設定してください。ビット2,3はRead Onlyです。書き込みは無視されます。

注2. WUTMMCK0ビットが“0”でかつFMCKSレジスタのFMTRGSELビットを“1”とする設定は禁止です。

注3. サブ・クロック発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

注4. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 周波数測定回路, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力機能の全ての機能が停止中のみ可能です。

注5. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“0”とした場合にリアルタイム・クロック2の動作クロックとしてfLが選択可能となります。また、このときのリアルタイム・クロック2は定周期割り込み機能のみ使用可能であり、時計カウント機能は使用できません。

注6. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“1”とした場合に周波数測定回路の動作クロックとしてfL/2が選択可能となります。

注7. CKSELレジスタのビット0 (SELLOSC)によりサブ・クロックを選択(SELLOSC = 0)してRTCLPC = 1とした場合、サブシステム・クロックは停止しますが、低速オンチップ・オシレータ・クロックを選択(SELLOSC = 1)してRTCLPC = 1とした場合、サブシステム・クロックは停止しません。

注8. 周波数測定機能は使用できません。

注9. リアルタイム・クロック2は使用できません。

注10. 周波数測定回路クロック選択レジスタ (FMCKS)のビット4

備考 x : 不定

6.3.9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図6-12 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{IH} = 24 MHz	設定禁止
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz
1	0	1	設定禁止	f _{IH} = 1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV (低電圧メイン)モード	1 MHz ~ 4 MHz	1.6 V ~ 3.6 V
1	0	LS (低速メイン)モード	1 MHz ~ 8 MHz	1.8 V ~ 3.6 V
1	1	HS (高速メイン)モード	1 MHz ~ 16 MHz	2.4 V ~ 3.6 V
			1 MHz ~ 24 MHz	2.7 V ~ 3.6 V
上記以外		設定禁止		

注意2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック(f_{IH})をCPU/周辺ハードウェア・クロック(f_{CLK})に選択している状態で行ってください。

注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウェイト

6.3.10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。

温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6-13 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0
	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ	
	0	0	0	0	0	0	最低速	
	0	0	0	0	0	1	↑ ↓	
	0	0	0	0	1	0		
	0	0	0	0	1	1		
	0	0	0	1	0	0		
	.							
	1	1	1	1	1	0		
	1	1	1	1	1	1	最高速	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

6.3.11 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)

中速オンチップ・オシレータの分周比を選択するレジスタです。

MOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-14 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV1	MOCODIV0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
上記以外		設定禁止

6.3.12 周波数測定回路クロック選択レジスタ (FMCKS)

FMCKSレジスタは、周波数測定回路に入力する動作クロックおよび周波数カウントクロックを選択するレジスタです。

FMCKSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FMCKSレジスタは00Hになります。

図6 - 15 周波数測定回路クロック選択レジスタ (FMCKS)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FMCKS	0	0	0	FMTRGSEL	0	0	FMCKSEL1	FMCKSEL0

FMTRGSEL	WUTMMCK0 注3	周波数測定回路カウント動作／停止トリガクロック／ リアルタイム・クロック2動作クロック選択
0	0	周波数測定回路／リアルタイム・クロック2はfsXRを選択
0	1	リアルタイム・クロック2はfILを選択(定周期割り込み機能)注1
1	0	設定禁止
1	1	周波数測定回路はfILを選択注2

FMCKSEL1	FMCKSEL0	周波数カウントクロック選択
0	0	fMXを選択
0	1	fIMを選択
1	×	fIHを選択

注1. 周波数測定機能は使用できません。

注2. リアルタイム・クロック2は使用できません。

注3. OSMCレジスタのWUTMMCK0ビットの説明を参照してください。

6.4 システム・クロック発振回路

6.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

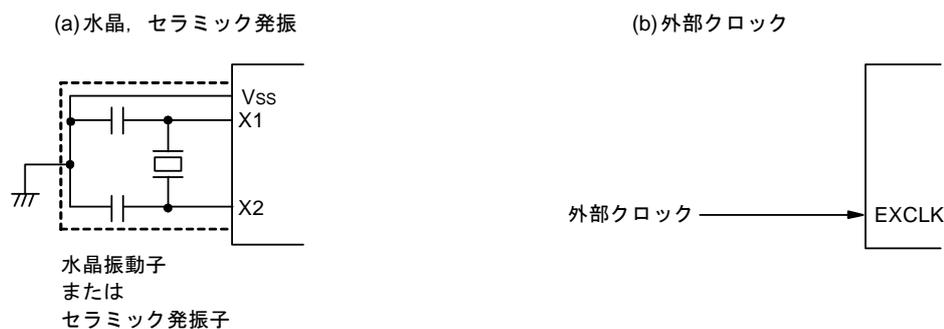
- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図6-16にX1発振回路の外付け回路例を示します。

図6-16 X1発振回路の外付け回路例



注意を次ページに示します。

6.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(32.768 kHz (TYP.))によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット4 (OSCSELS)に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット5, 4 (EXCLKS, OSCSELS)を次のように設定してください。

- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード(EXCLKS, OSCSELS = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図6-17にXT1発振回路の外付け回路例を示します。

図6-17 XT1発振回路の外付け回路例



注意 XT1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-16、図6-17の破線の部分を次のように配線してください。

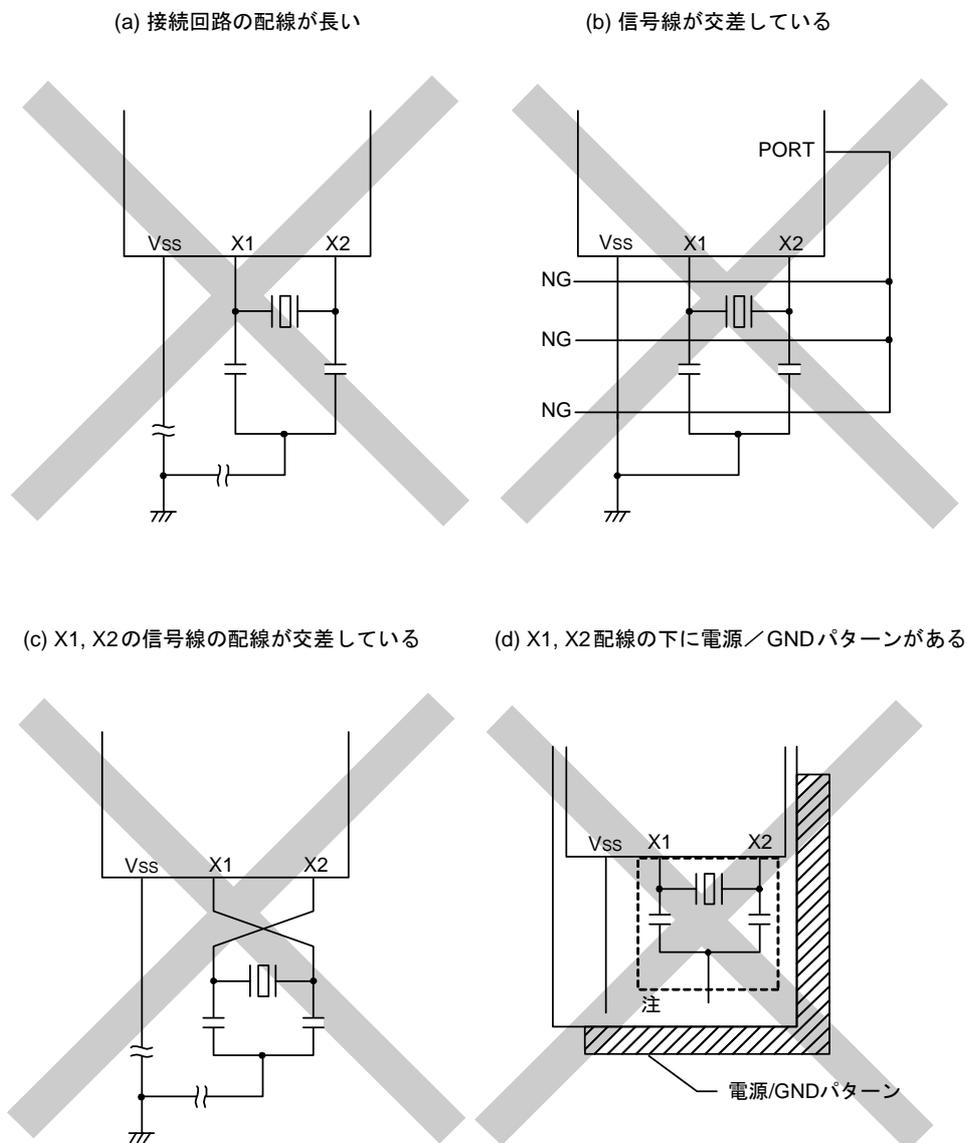
- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振(AMPHS1, AMPHS0 = 1, 0)で使用する場合は6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振(AMPHS1, AMPHS0 = 1, 0)を選択している場合はご注意ください。
- 回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグラウンド・パターンを配置してください。
- XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

図6 - 18に発振子の接続の悪い例を示します。

図6 - 18 発振子の接続の悪い例 (1/2)



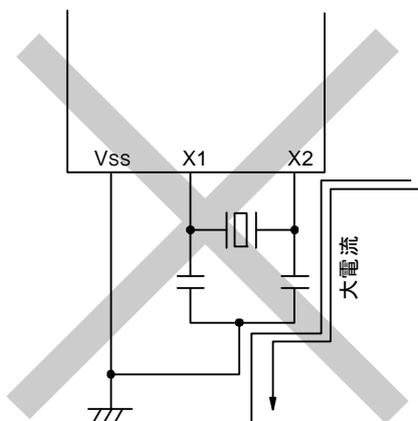
注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

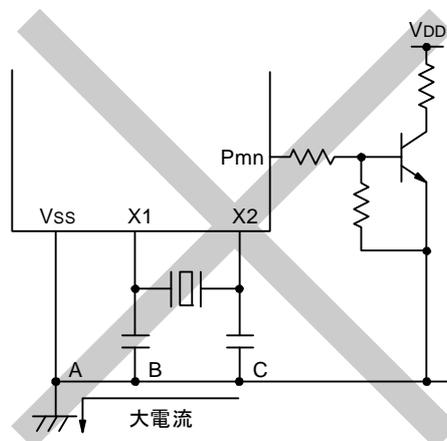
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6-19 発振子の接続の悪い例(2/2)

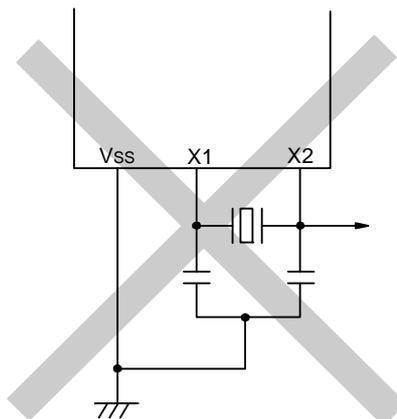
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、X2側に直列に抵抗を挿入してください。

6.4.3 高速オンチップ・オシレータ

RL78/I1Dは、高速オンチップ・オシレータを内蔵しています。オプションバイト (000C2H) により 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

6.4.4 中速オンチップ・オシレータ

RL78/I1Dは、中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ (CSC) のビット1 (MIOEN)にて発振を制御できます。

6.4.5 低速オンチップ・オシレータ

RL78/I1Dは、低速オンチップ・オシレータを内蔵しています。

ウォッチドッグ・タイマの動作時、または、サブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) とサブシステム・クロック選択レジスタ (CKSEL) のビット0 (SELLOSC) のいずれか、または両ビットが1の時に低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0かつ、SELLOSC = 0の時、低速オンチップ・オシレータは停止します。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図6-1を参照)。

○メイン・システム・クロック fMAIN

• 高速システム・クロック fMX

X1クロック fx

外部メイン・システム・クロック fEX

• 高速オンチップ・オシレータ・クロック fiH

• 中速オンチップ・オシレータ・クロック fiM

○サブシステム・クロック fSUB

• XT1クロック fXT

• 外部サブシステム・クロック fEXS

• 低速オンチップ・オシレータ・クロック fiL

○CPU/周辺ハードウェア・クロック fCLK

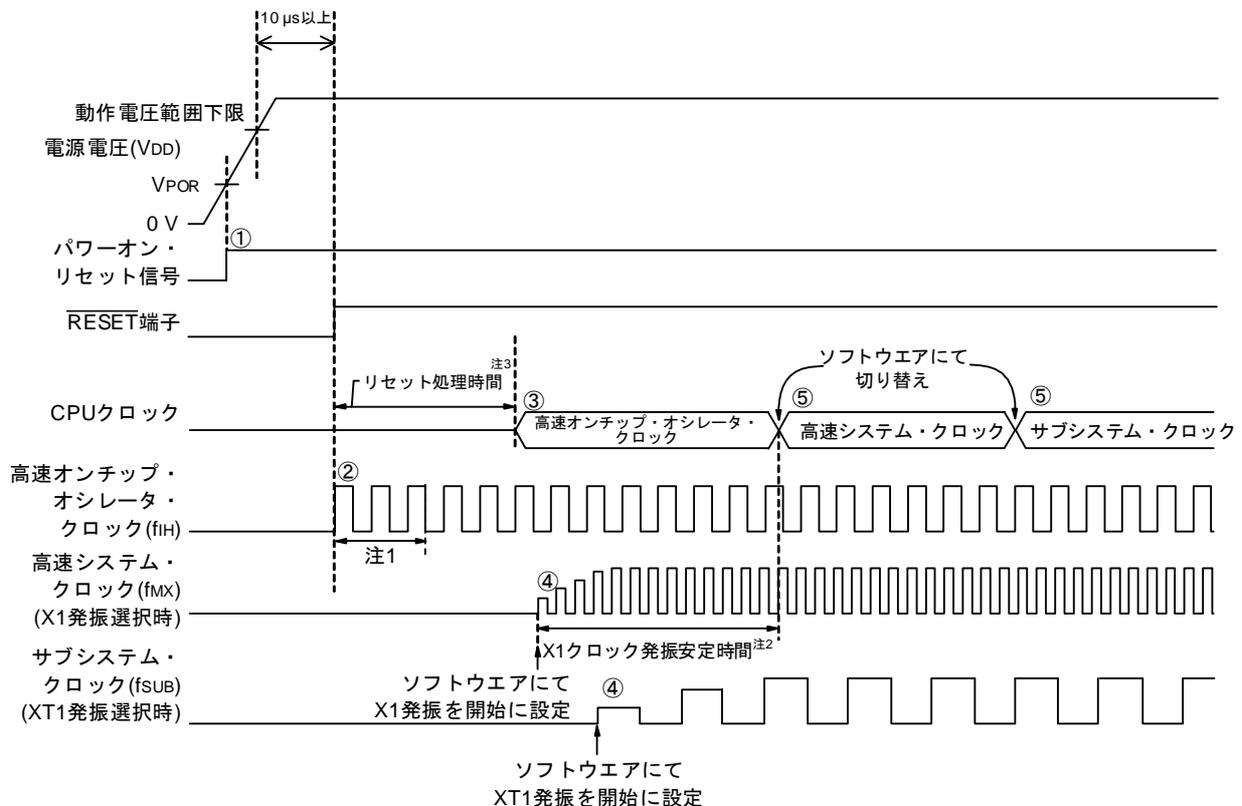
○サブシステム・クロック発振回路・クロック fsX

○サブシステム・クロック発振回路・RTC2他クロック fsXR

RL78/I1Dでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、図6-20に示します。

図6-20 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット (POR) 回路による内部リセット信号が発生します。
ただし、34.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路が外部リセットでリセット状態を保ちます (上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1 クロックまたはXT1 クロックは、ソフトウェアにて発振開始を設定してください(6.6.2 X1 発振回路の設定例, 6.6.3 XT1 発振回路の設定例を参照)。
- ⑤ CPU をX1 クロックまたはXT1 クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(6.6.2 X1 発振回路の設定例, 6.6.3 XT1 発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

注3. リセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

注意 EXCLK 端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

6.6 クロックの制御

6.6.1 高速オンチップ・オシレータの設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL3 により、24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 0002CH

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	CMODE1 0/1	CMODE0 0/1	1	1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV (低電圧メイン)モード	V _{DD} = 1.6 V ~ 3.6 V @ 1 MHz ~ 4 MHz
1	0	LS (低速メイン)モード	V _{DD} = 1.8 V ~ 3.6 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン)モード	V _{DD} = 2.4 V ~ 3.6 V @ 1 MHz ~ 16 MHz V _{DD} = 2.7 V ~ 3.6 V @ 1 MHz ~ 24 MHz
上記以外		設定禁止	

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{IH} = 24 MHz	設定禁止
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz
1	0	1	設定禁止	f _{IH} = 1 MHz
上記以外			設定禁止	

6.6.2 X1 発振回路の設定例

CPU/周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) で X1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタの OSCSEL ビットをセット (1)、 $f_x > 10$ MHz 以上の場合は AMPH ビットをセット (1) して X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。

例) 10 MHz の発振子で 102 μ s 以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタの MSTOP ビットをクリア (0) して X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP					MIOEN	HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタで X1 発振回路の発振安定待ちを行います。

例) 10 MHz の発振子で 102 μ s 以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタの MCM0 ビットで X1 発振クロックを CPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0			MCS1	MCM1
	0	0	0	1	0	0	0	0

注意 HOCODIV レジスタの設定は、周波数の変更前、変更後ともにオプション・バイト (000C2H) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト (000C2H) の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV (低電圧メイン) モード	1 MHz ~ 4 MHz	1.6 V ~ 3.6 V
1	0	LS (低速メイン) モード	1 MHz ~ 8 MHz	1.8 V ~ 3.6 V
1	1	HS (高速メイン) モード	1 MHz ~ 16 MHz	2.4 V ~ 3.6 V
			1 MHz ~ 24 MHz	2.7 V ~ 3.6 V
上記以外		設定禁止		

6.6.3 XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロック 2, 12 ビット・インターバル・タイマのみサブシステム・クロックで動作 (超低消費電流) させる場合は RTCLPC ビットを 1 に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	x	x	0	0

- ② CMC レジスタの OSCSELS ビットをセット (1) して XT1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1 ビット : XT1 発振回路の発振モードを設定します。

- ③ CSC レジスタの XTSTOP ビットをクリア (0) して XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	MIOEN 0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

- ⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

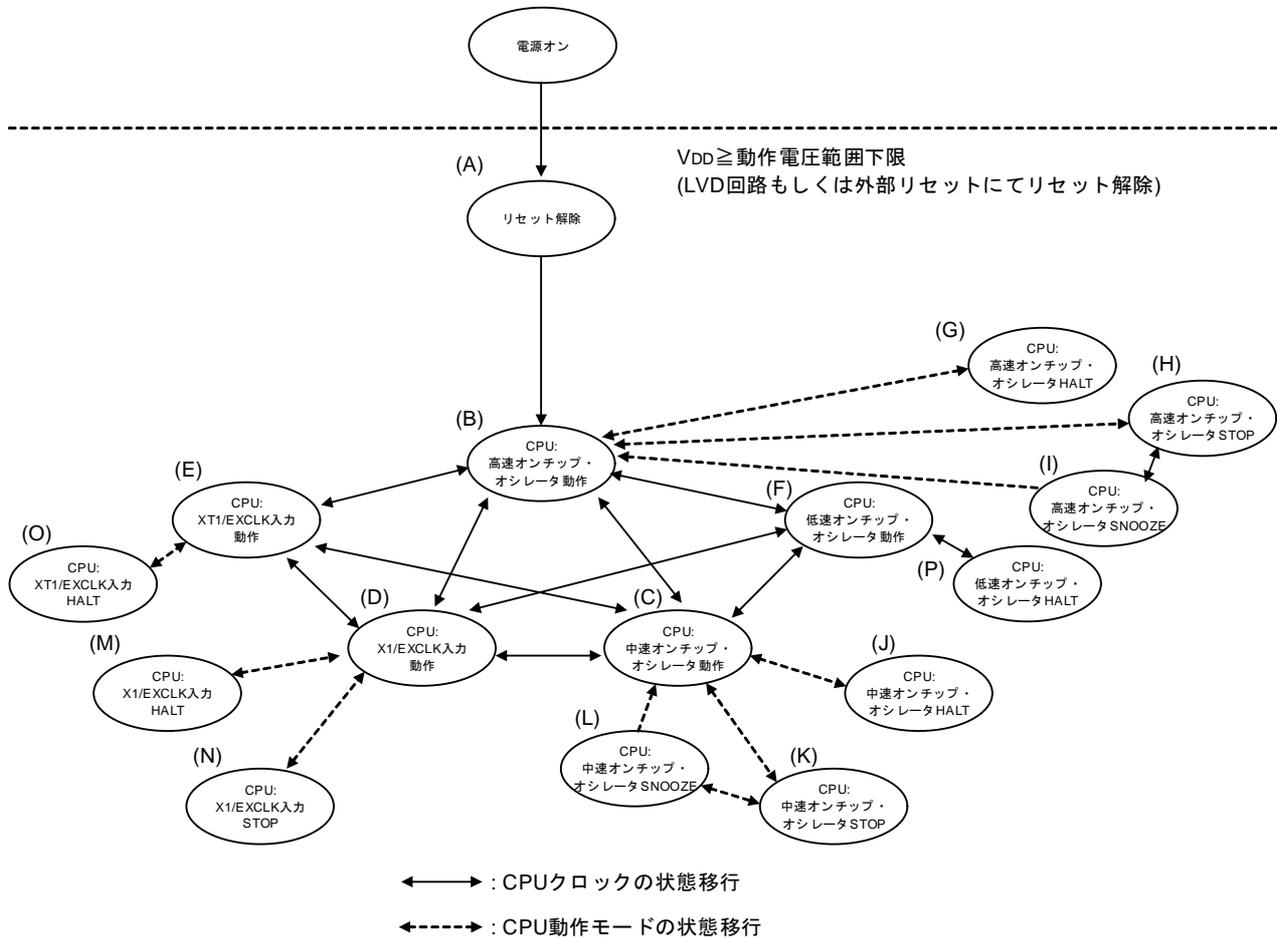
	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	MCS1 0	MCM1 0

備考 x : 不定

6.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6-21に示します。

図6-21 CPUクロック状態移行図



CPUクロックの状態移行とレジスタの設定例などを表6-3～表6-6に示します。

表6-3 CPUクロックの移行とSFRレジスタの設定例(1/4)

- (1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行
 対象状態遷移：(A) → (B)

移行先のクロック	SFRレジスタの設定
高速オンチップ・オシレータ	SFRレジスタ設定不要(リセット解除後の初期状態)

- (2) 高速オンチップ・オシレータ・クロック動作 (B) へ移行
 対象状態遷移：(C) → (B), (D) → (B), (E) → (B), (F) → (B)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	HIOSTOP		CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	65 μs	0	0	0

高速オンチップ・オシレータ・
 クロック動作中の場合は不要

- (3) 中速オンチップ・オシレータ・クロック動作 (C) へ移行
 対象状態遷移：(B) → (C), (D) → (C), (E) → (C), (F) → (C)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	MIOEN		CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	4 μs	0	0	1

中速オンチップ・オシレータ・
 クロック動作中の場合は不要

備考 表6-3～表6-6の(A)～(P)は、図6-21の(A)～(P)と対応しています。

表6-4 CPUクロックの移行とSFRレジスタの設定例(2/4)

(4) CPUを高速システム・クロック動作(D)へ移行

対象状態遷移：(B) → (D), (C) → (D), (E) → (D), (F) → (D)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ	
	EXCLK	OSCSEL	AMPH				CSS	MCM0
X1クロックに移行：1 MHz ≤ f _x ≤ 10 MHz	0	1	0	注2	0	確認必要	0	1
X1クロックに移行：10 MHz < f _x ≤ 20 MHz	0	1	1	注2	0	確認必要	0	1
外部メイン・クロックに移行	1	1	x	注2	0	確認不要	0	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- 期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

備考 表6-3～表6-6の(A)～(P)は、図6-21の(A)～(P)と対応しています。

表6-5 CPUクロックの移行とSFRレジスタの設定例(3/4)

(5) CPUをサブシステム・クロック動作(E)へ移行

対象状態遷移：(B)→(E), (C)→(E), (D)→(E)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	CMCレジスタ注				CSCレジスタ	発振安定待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
XT1クロックに移行	0	1	0/1	0/1	0	必要	1
外部サブ・クロックに移行	1	1	x	x	x	必要	1

設定済みの場合は不要 サブシステム・クロック動作中の場合は不要

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

(6) 低速オンチップ・オシレータ・クロック動作(F)へ移行

対象状態遷移：(B)→(F), (C)→(F), (D)→(F)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	CKSEL	発振精度安定待ち	CKCレジスタ
	SELLOSC		CSS
低速オンチップ・オシレータに移行	1	210 μs	1

低速オンチップ・オシレータ・クロック動作中の場合は不要

備考1. x : don't care

備考2. 表6-3～表6-6の(A)～(P)は、図6-21の(A)～(P)と対応しています。

表6-6 CPUクロックの移行とSFRレジスタの設定例(4/4)

(7) CPU動作モード(B), (C), (D), (E), (F)からHALTモード(G), (J), (M), (O), (P)へ移行

対象状態遷移 : (B) → (G), (C) → (J), (D) → (M), (E) → (O), (F) → (P)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

(8) CPU動作モード(B), (C), (D)からSTOPモード(H), (K), (N)へ移行

対象状態遷移 : (B) → (H), (C) → (K), (D) → (N)

(設定順序) →

移行先のモード	設定内容		
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTSレジスタを設定する	STOP命令を実行する

CPUが高速システム・クロック動作中からSTOPモードに移行する場合以外は設定不要

(9) STOPモード(H), (K)とSNOOZEモード(I), (L)の移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、14.8 SNOOZEモード機能、17.5.7 SNOOZEモード機能、17.7.3 SNOOZEモード機能を参照してください。

備考 表6-3～表6-6の(A)～(P)は、図6-21の(A)～(P)と対応しています。

6.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6-7 CPUクロックの移行について (1/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止(HIOSTOP = 1)すると、動作電流を低減可能。
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること • HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、中速オンチップ・オシレータを停止(MIOEN = 0)すると、動作電流を低減可能
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	

表6-8 CPUクロックの移行について (2/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP=1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	
	外部メイン・システム・クロック	移行不可	—
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP=1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	
	X1クロック	移行不可	—
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 SELLOSC = 1	

表6-9 CPUクロックの移行について (3/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	外部サブシステム・クロック	移行不可	
	低速オンチップ・オシレータ・クロック	移行不可	

表6 - 10 CPUクロックの移行について (4/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能(XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1クロック	移行不可	
	外部サブシステム・クロック	移行不可	—

表6 - 11 CPUクロックの移行について (5/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能(XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1クロック	移行不可	
	低速オンチップ・オシレータ・クロック	移行不可	—

6.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット 0, 4, 6 (MCM0, MCM1, CSS) のの設定により, CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック), メイン・システム・クロックの切り替え (オンチップ・オシレータ・クロック→高速システム・クロック), オンチップ・オシレータ・クロックの切り替え (高速オンチップ・オシレータ・クロック⇄中速オンチップ・オシレータ・クロック) をすることができます。

実際の切り替え動作は, CKCレジスタを書き換えた直後ではなく, CKCレジスタを変更したのち, 数クロックは切り替え前のクロックで動作します (表 6 - 12 ~ 表 6 - 15 参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCレジスタのビット 7 (CLS) で判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか, メイン・オンチップ・オシレータ・クロックで動作しているかは, CKCレジスタのビット 5 (MCS) で判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか, 中速オンチップ・オシレータで動作しているかは, CKCレジスタのビット 1 (MCS1) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表 6 - 12 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
foco	↔	fmx	表 6 - 13 参照
fiH	↔	fim	表 6 - 14 参照
fMAIN	↔	fsUB	表 6 - 15 参照

表 6 - 13 foco⇄fmxで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (fMAIN = foco)	1 (fMAIN = fmx)
0 (fMAIN = foco)	fmx ≥ foco		2クロック
	fmx < foco		2 foco/fmx クロック
1 (fMAIN = fmx)	fmx ≥ foco	2 fmx/foco クロック	
	fmx < foco	2クロック	

表 6 - 14 fiH⇄fimで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 (fMAIN = fiH)	1 (fMAIN = fim)
0 (fMAIN = fiH)	fim ≥ fiH		2クロック
	fim < fiH		2 fiH/fim クロック
1 (fMAIN = fim)	fim ≥ fiH	2 fim/fiH クロック	
	fim < fiH	2クロック	

表6 - 15 f_{MAIN} ⇄ f_{SUB} で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	0 (fCLK = f _{MAIN})	1 (fCLK = f _{SUB})
CSS	CSS	
0 (fCLK = f _{MAIN})	3クロック	1 + 2 f _{MAIN} /f _{SUB} クロック
1 (fCLK = f _{SUB})		

備考1. 表6 - 13, 表6 - 14, 表6 - 15のクロック数は, 切り替え前のCPUクロックのクロック数です。

備考2. 表6 - 13, 表6 - 14, 表6 - 15のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速オンチップ・オシレータ・クロック (8 MHz 選択時) から高速システム・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz 発振時)

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2 \text{クロック}$$

6.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表6 - 16 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS1 = 1 または MCS = 1 または CLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1=0 または MCS = 1 または CLS = 1 (CPUクロックが中速オンチップ・オシレータ・クロック以外で動作)	MIOEN = 0
X1クロック	MCS = 0 または CLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	
低速オンチップ・オシレータ・クロック	CLS = 0 (CPUクロックが低速オンチップ・オシレータ・クロック以外で動作)	SELLOSC = 0

6.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図6 - 22 外付け回路例



第7章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのチャンネル数を、下記に示します。

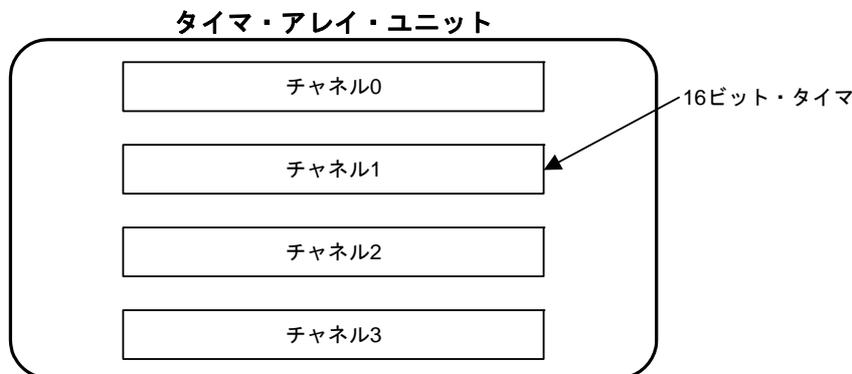
チャンネル	20ピン	30ピン	24, 32, 48ピン
チャンネル0	○	○	○
チャンネル1	○	○	○
チャンネル2	○	○	○
チャンネル3	○	○	○

注意1. タイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

注意2. この章では、以降の主な説明を48ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ(→7.8.1参照) • 方形波出力(→7.8.1参照) • 外部イベント・カウンタ(→7.8.2参照) • 分周器注(→7.8.3参照) • 入力パルス間隔測定(→7.8.4参照) • 入力信号のハイ/ロウ・レベル幅測定(→7.8.5参照) • デイレイ・カウンタ(→7.8.6参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力(→7.9.1参照) • PWM出力(→7.9.2参照) • 多重PWM出力(→7.9.3参照)

注 チャンネル0のみ

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ(上位/下位 8ビット・タイマ)/方形波出力(下位 8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- デイレイ・カウンタ(下位8ビット・タイマのみ)

7.1 タイマ・アレイ・ユニットの機能

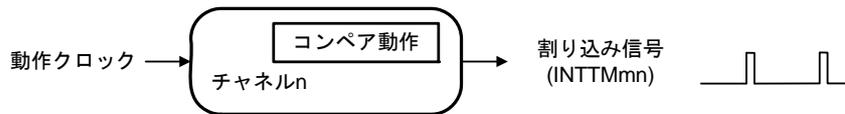
タイマ・アレイ・ユニットには、次のような機能があります。

7.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

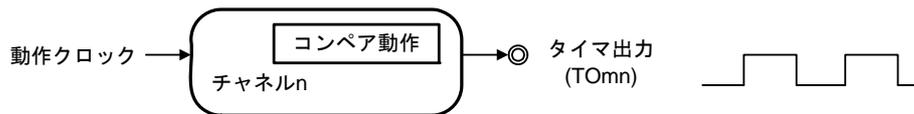
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



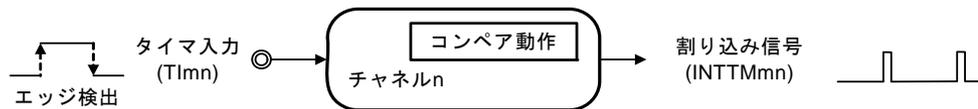
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子(TOmn)より出力します。



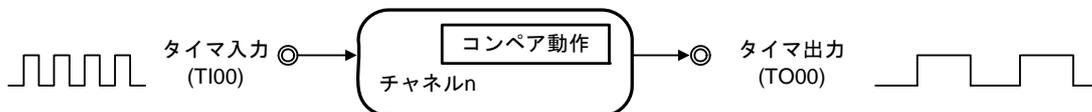
(3) 外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



(4) 分周器機能(チャンネル0のみ)

タイマ入力端子(TI00)から入力されたクロックを分周して出力端子(TO00)より出力します。



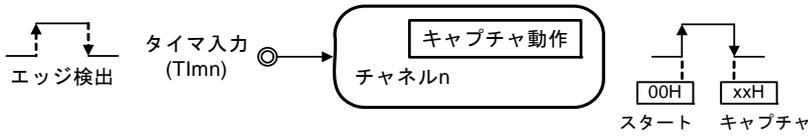
(5) 入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



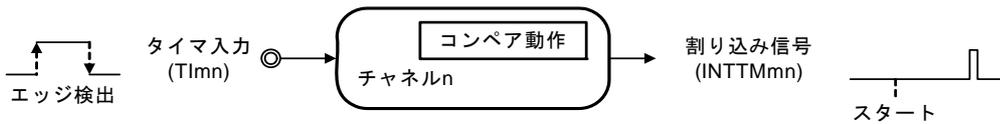
(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子(TImn)に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) デイレイ・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

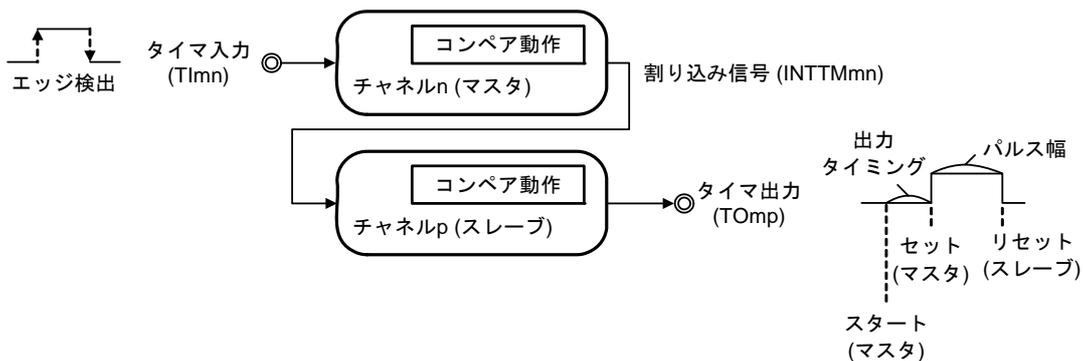
7.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

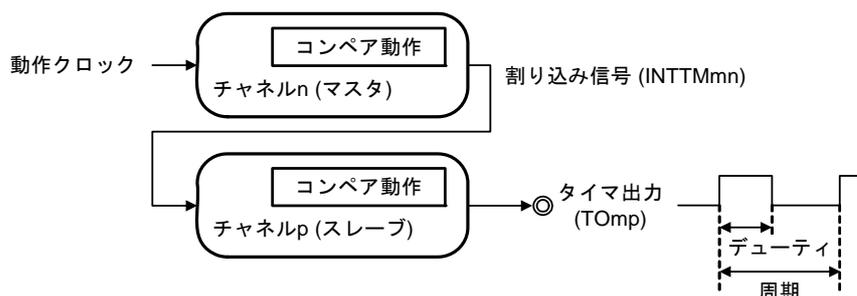
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



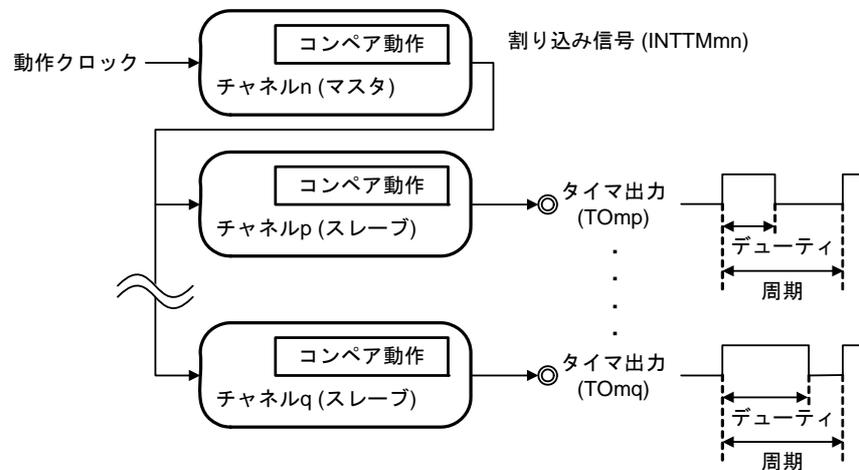
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3),
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 3)

7.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、7.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

7.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表7-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI03注1
タイマ出力	TO00-TO03注1, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • 周辺リセット制御レジスタ 0 (PRR0) • タイマ・クロック選択レジスタ m (TPSm) • タイマ・チャンネル許可ステータス・レジスタ m (TEm) • タイマ・チャンネル開始レジスタ m (TSM) • タイマ・チャンネル停止レジスタ m (TTm) • タイマ入力選択レジスタ 0 (TIS0) • タイマ出力許可レジスタ m (TOEm) • タイマ出力レジスタ m (TOM) • タイマ出力レベル・レジスタ m (TOLm) • タイマ出力モード・レジスタ m (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> • タイマ・モード・レジスタ mn (TMRmn) • タイマ・ステータス・レジスタ mn (TSRmn) • ノイズ・フィルタ許可レジスタ 1 (NFEN1) • ポート・モード・コントロール・レジスタ (PMCxx)注2 • ポート・モード・レジスタ (PMxx)注2 • ポート・レジスタ (Pxx)注2

注1. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

注2. 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx)、ポート・モード・レジスタ (PMxx)とポート・レジスタ (Pxx)が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

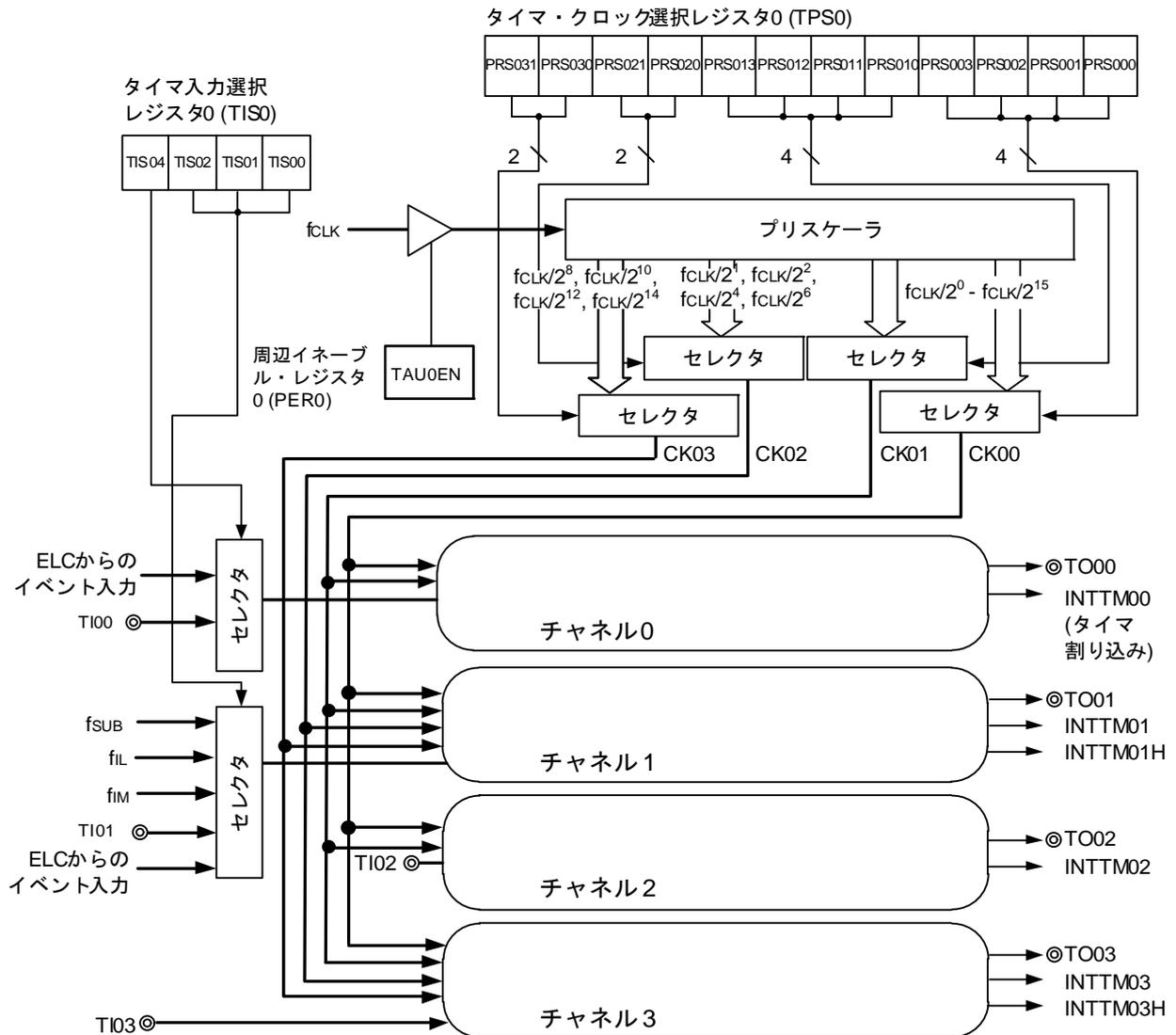
表7-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャンネル		各製品の入出力端子の有無			
		20ピン	24ピン	30ピン	32, 48ピン
ユニット0	チャンネル0	TI00, TO00			
	チャンネル1	TI01, TO01			
	チャンネル2	—	TI02/TO02		
	チャンネル3	—	TI02/TO02	—	TI03/TO03

備考 タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

図7-1, 図7-2にタイマ・アレイ・ユニットのブロック図を示します。

図7-1 タイマ・アレイ・ユニット0の全体ブロック図



- 備考
- fSUB : サブシステム・クロック周波数
 - fIL : 低速オンチップ・オシレータ・クロック周波数
 - fIM : 中速オンチップ・オシレータ・クロック周波数

図7-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図

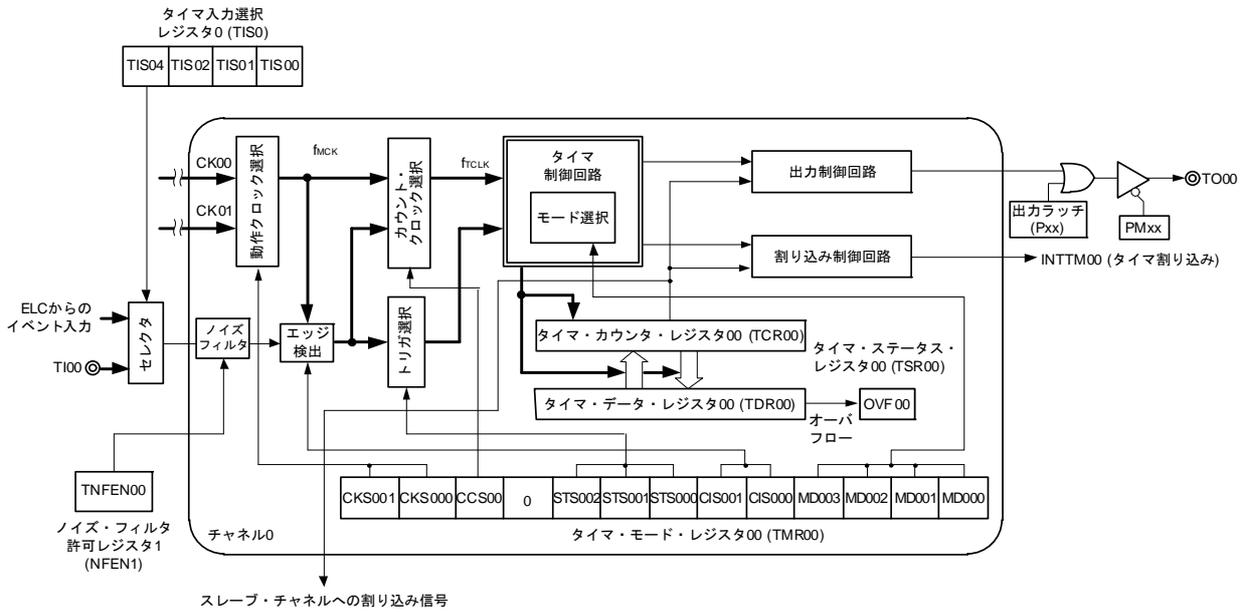


図7-3 タイマ・アレイ・ユニット0のチャンネル1内部ブロック図

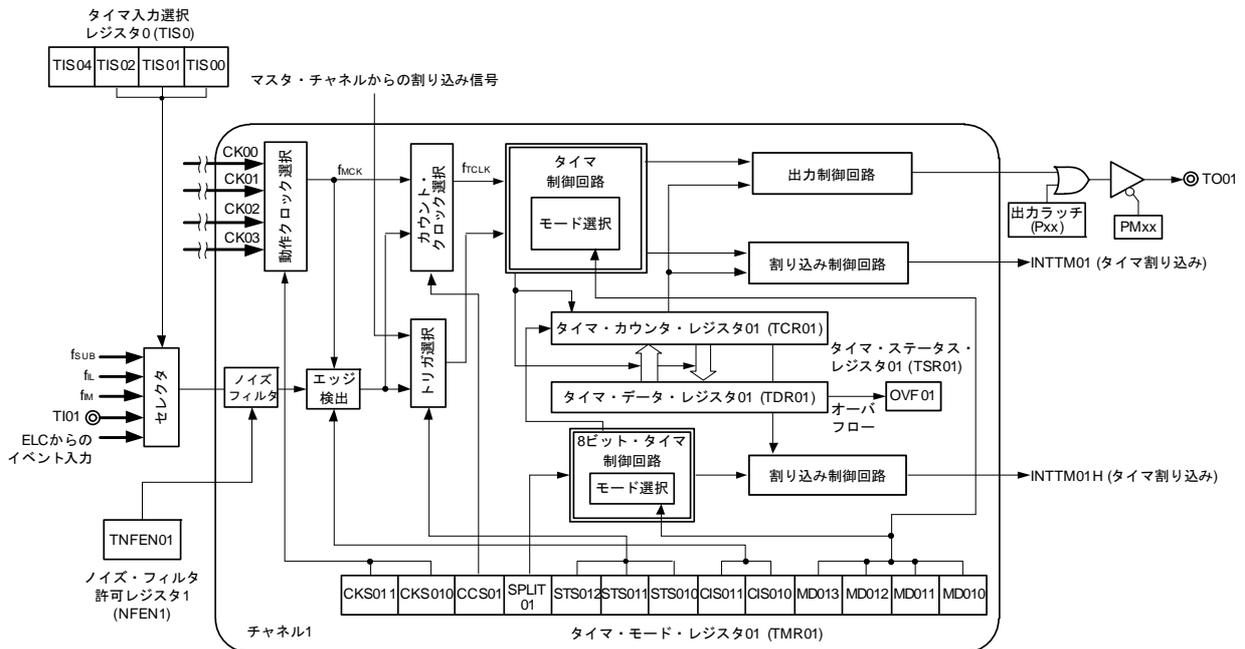


図7-4 タイマ・アレイ・ユニット0のチャンネル2内部ブロック図

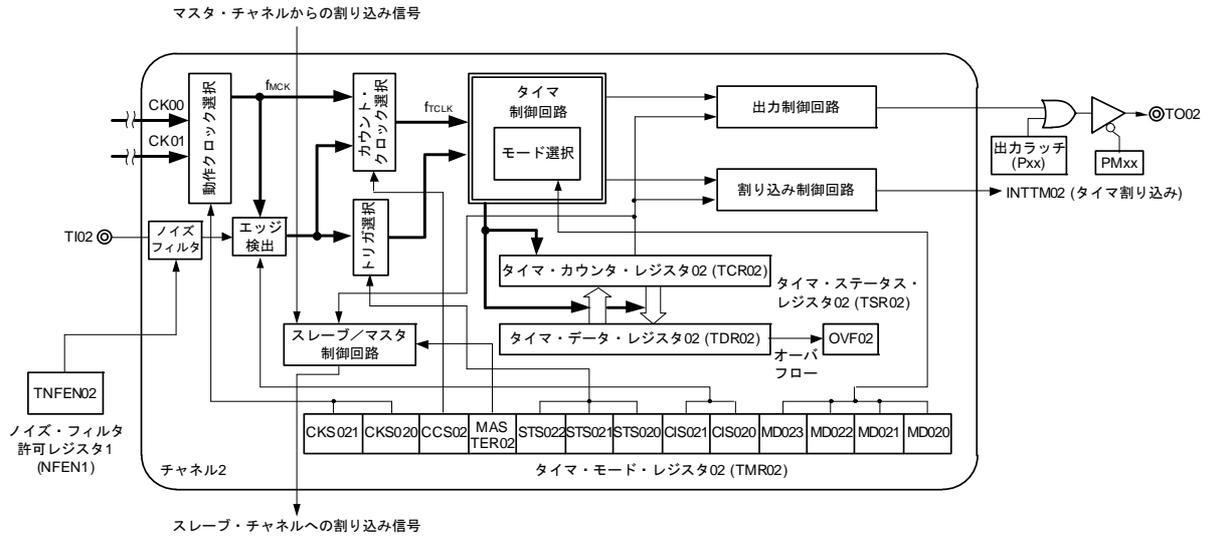
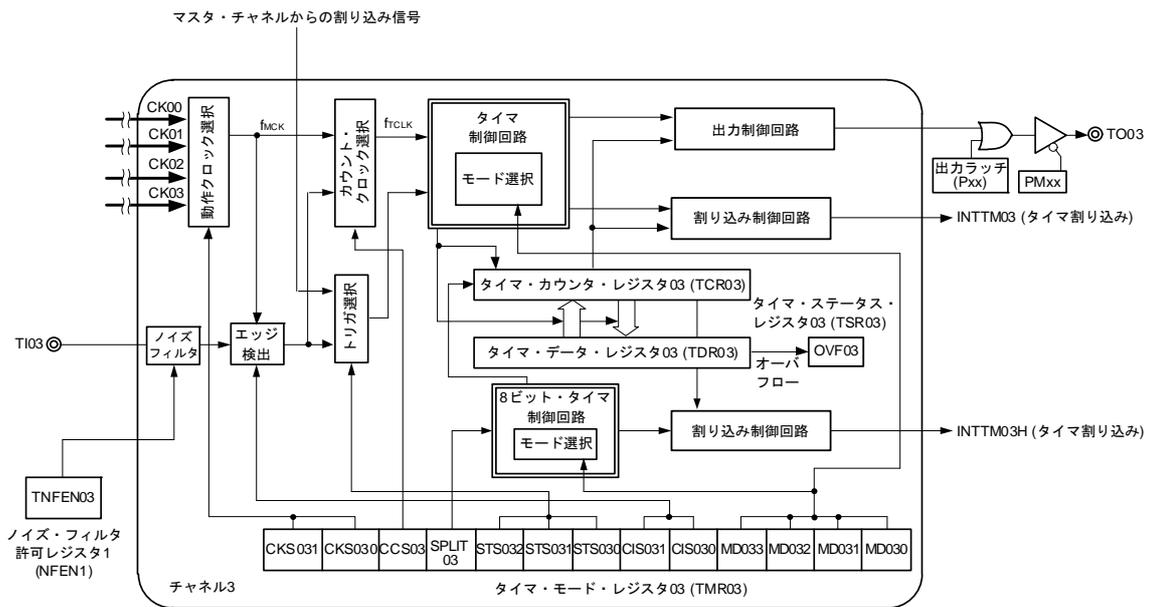


図7-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図



7.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

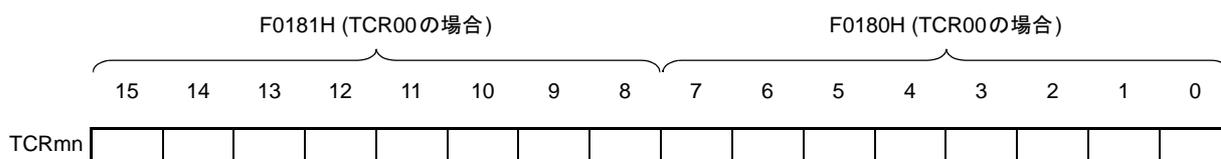
カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(7.3.4 タイマ・モード・レジスタ mn (TMRmn)参照)。

図7-6 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット

アドレス : F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03)

リセット時 : FFFFH R



備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

タイマ・カウンタ・レジスタ mn (TCRmn) をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺リセット制御レジスタ 0 (PRR0) の TAU0RES ビットをクリアしたとき
- PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7-3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

注 チャンネル n がタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値が TCRmn レジスタに保持されます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図7-7 タイマ・データ・レジスタ mn (TDRmn)(n = 0, 2)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02) リセット時 : 0000H R/W

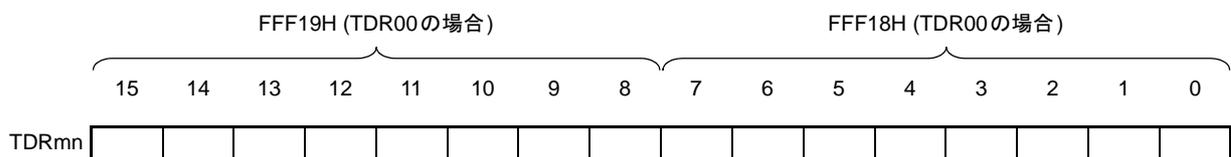
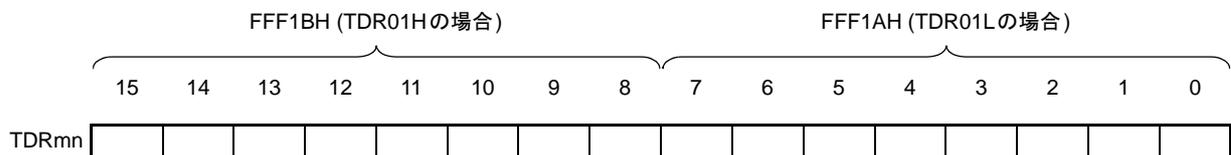


図7-8 タイマ・データ・レジスタ mn (TDRmn)(n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号(INTTMmn)を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

7.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- 周辺リセット制御レジスタ 0 (PRR0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ入力選択レジスタ 0 (TIS0)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- ノイズ・フィルタ許可レジスタ 1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図7-9 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 <ul style="list-style-type: none"> タイマ・アレイ・ユニット0で使用するSFRへのライト不可
1	入カクロック供給 <ul style="list-style-type: none"> タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN = 1 の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0 の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視されません(タイマ入力選択レジスタ 0 (TIS0)、ノイズ・フィルタ許可レジスタ 1 (NFEN1)、ポート・モード・コントロール・レジスタ 3 (PMC3)、ポート・モード・レジスタ 3, 5 (PM3, PM5)、ポート・レジスタ 3, 5 (P3, P5)は除く)。

- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6

7.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニット0をリセットする場合は、必ずビット0 (TAU0RES)を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00Hになります。

図7-10 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	0	ADCRES	0	0	SAU0RES	0	TAU0RES
TAU0RES	タイマ・アレイ・ユニット0のリセット制御							
0	タイマ・アレイ・ユニット0のリセット解除							
1	タイマ・アレイ・ユニット0はリセット状態							

7.3.3 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm0を選択(CKSmn1, CKSmn0 = 0, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm2を選択(CKSmn1, CKSmn0 = 0, 1)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択(CKSmn1, CKSmn0 = 1, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択(CKSmn1, CKSmn0 = 1, 1)しているチャンネルがすべて停止状態(TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図7-11 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk)の選択 ^注 (k = 0, 1)					
				fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック (fMCK), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk)にfCLK (分周なし)を選択し、TDRnm = 0000H (n = 0, m = 0-3)を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります (m = 1-15)。詳しくは、7.5.1 カウント・クロック (fCLK)を参照してください。

図7-12 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2) の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
1	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
1	1	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156.2 kHz	313 kHz	375 kHz

PRS m31	PRS m30	動作クロック (CKm3) の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック(fmck)、Tlmm端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表7-4に示すインターバル時間を実現することが可能です。

表7-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注(fCLK = 20 MHz)			
		16 μs	160 μs	1.6 ms	16 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの詳細は、7.5.1 カウント・クロック(fTCLK)を参照してください。

7.3.4 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択(チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0) は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は7.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2: MASTERmnビット(n = 2)

TMRm1, TMRm3: SPLITmnビット(n = 1, 3)

TMRm0: 0 固定

図7-13 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fmck)の選択													
0	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm0													
0	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm2													
1	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm1													
1	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm3													
動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCSmn ビットの設定によりサンプリング・クロックおよびカウント・クロック (ftclk) を生成します。															
動作クロック CKm2, CKm3 は、チャンネル1, 3のみ選択可能です。															

CCSmn	チャンネルnのカウント・クロック (ftclk)の選択														
0	CKSmn0, CKSmn1 ビットで指定した動作クロック (fmck)														
1	TImn 端子からの入力信号の有効エッジ チャンネル0, チャンネル1では、TIS0で選択した入力信号の有効エッジ														
カウント・クロック (ftclk) は、カウンタ, 出力制御回路, 割り込み制御回路に使用されます。															

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック (ftclk) にCKSmn0, CKSmn1 ビットで指定した動作クロック (fmck), TImn 端子からの入力信号の有効エッジのどれを選択していても、fclk に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-14 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2のみマスタ・チャンネル(MASTERmn = 1)に設定できます。 チャンネル0は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します)。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0にします。	

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効(他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用(複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

図7-15 タイマ・モード・レジスタ mn (TMRmn) のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。		

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

図7-16 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/分周器機能/ PWM出力(マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/ PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・ モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります(下表を参照)。					

動作モード(MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
• インターバル・タイマ・モード (0, 0, 0) • キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
• イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
• ワンカウント・モード注2 (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
• キャプチャ&ワンカウント・ モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
- 注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOn出力は制御しません。
- 注3. 動作中にスタート・トリガ(TSmn = 1)がかかると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

7.3.5 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードにおけるOVFビットの動作とセット/クリア条件は表7-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図7-17 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

表7-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
• キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
• キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
• インターバル・タイマ・モード	クリア	— (使用不可)
• イベント・カウンタ・モード	セット	
• ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

7.3.6 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm)の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図7-18 タイマ・チャンネル許可ステータス・レジスタ m (TEm)のフォーマット

アドレス : F01B0H, F01B1H (TE0)

リセット時 : 0000H

R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	0	0	0	0	TEm3	TEm2	TEm1	TEm0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	------	------	------	------

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEm n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.3.7 タイマ・チャンネル開始レジスタ m (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタ mn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図7-19 タイマ・チャンネル開始レジスタ m (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0)	リセット時 : 0000H	R/W																															
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
TSm	0	0	0	0	TSH m3	0	TSH m1	0	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0																
TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ																																
0	トリガ動作しない																																
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります(7.5.2 カウンタのスタート・タイミングの表7-6参照)。																																
TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ																																
0	トリガ動作しない																																
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります(7.5.2 カウンタのスタート・タイミングの表7-6参照)。																																
TSm n	チャンネルnの動作許可(スタート)トリガ																																
0	トリガ動作しない																																
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります(7.5.2 カウンタのスタート・タイミングの表7-6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。																																

(注意、備考は次ページにあります。)

注意1. ビット15-12, 10, 8-4には必ず0を設定してください。

注意2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn 端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fmck) の4クロック

TImn 端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fmck) の2クロック

備考1. TSm レジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

7.3.8 タイマ・チャンネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態(TEmn, TEHm1, TEHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図7-20 タイマ・チャンネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H (TT0)

リセット時 : 0000H

R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTm	0	0	0	0	TTH m3	0	TTH m1	0	0	0	0	0	0	TTm3	TTm2	TTm1	TTm0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	---	------	------	------	------

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ														
0	トリガ動作しない														
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。														

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ														
0	トリガ動作しない														
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。														

TTm n	チャンネルnの動作停止トリガ														
0	トリガ動作しない。														
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。														

注意 ビット15-12, 10, 8-4には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

7.3.9 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、ユニット0のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図7-21 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00

TIS04	チャンネル0で使用するタイマ入力の選択
0	タイマ入力端子(TI00)の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子(TI01)の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子(TI01)の入力信号
0	1	1	中速オンチップ・オシレータ・クロック (f _{IM})
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$ ns以上必要となります。そのため、f_{CLK}にf_{SUB}を選択時 (CKCレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

注意2. タイマ入力選択レジスタ0 (TIS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はf_{CLK}を選択してください。

7.3.10 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えてできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図7-22 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	チャンネル n のタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。

注意 ビット 15-4 には必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.3.11 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子(TOmn)から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時(TOEmn = 0)のみ可能です。タイマ出力許可時(TOEmn = 1)は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、TI00, TO00, TI01/TO01, TI02/TO02, TI03/TO03 をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図7-23 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H (TO0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm3	TOm2	TOm1	TOm0
TOm n	チャンネルnのタイマ出力															
0	タイマ出力値が“0”															
1	タイマ出力値が“1”															

注意 ビット15-4には必ず0を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.3.12 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図7-24 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH (TOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOLm 3	TOLm 2	TOLm 1	0

TOLmn	チャンネルnのタイマ出力レベルの制御
0	正論理出力(アクティブ・ハイ)
1	反転出力(アクティブ・ロウ)

注意 ビット15-4, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.3.13 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可(TOEmn = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図7-25 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH (TOM0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)

注意 ビット15-4, 0には必ず0を設定してください。

備考 m : ユニット番号(m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

n = 0 : p = 1, 2, 3

n = 2 : p = 3

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。)

7.3.14 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、7.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、7.5.2 カウンタのスタート・タイミング、7.7 タイマ入力 (TImn) の制御を参照してください。

図7-26 ノイズ・フィルタ許可レジスタ1 (NFEN1)のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN03	TI03端子またはRxD0端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

備考 チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

7.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャンネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)を参照してください。

また、製品によって設定するポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx)が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

タイマ出力端子を兼用するポート (P30/TO01 など) をタイマ出力として使用するときは、各ポートに対応するポート・モード・コントロール・レジスタ (PMCxx) のビット、ポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P30/TO01 をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ3のPMC30ビットを0に設定

ポート・モード・レジスタ3のPM30ビットを0に設定

ポート・レジスタ3のP30ビットを0に設定

タイマ入力端子を兼用するポート (P30/TI00 など) をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ (PMCxx) のビットに0を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P30/TI00 をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ3のPMC30ビットを0に設定

ポート・モード・レジスタ3のPM30ビットを1に設定

ポート・レジスタ3のP30ビットを0または1に設定

7.4 タイマ・アレイ・ユニットの基本ルール

7.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

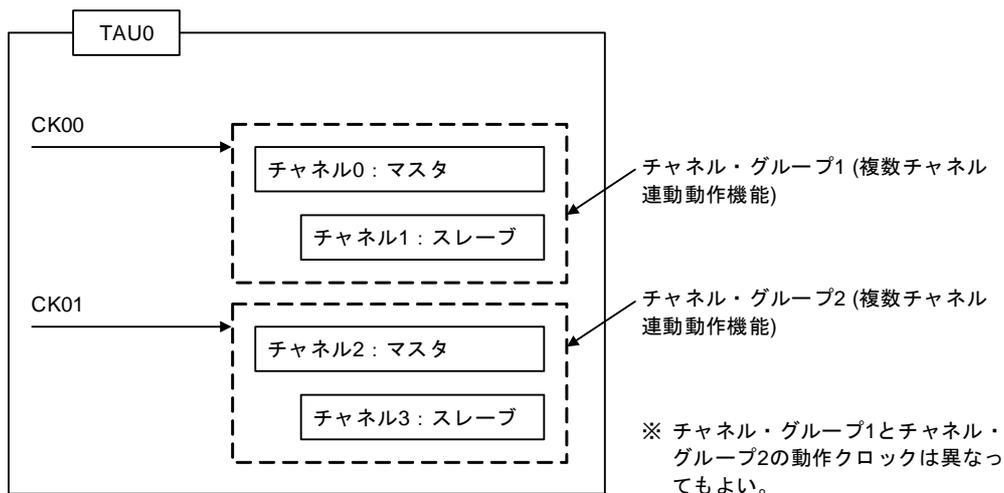
- (1) マスタ・チャンネルには、偶数チャンネル(チャンネル0, チャンネル2)のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル0をマスタ・チャンネルにした場合、チャンネル1以降(チャンネル1, チャンネル2, チャンネル3)をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル2をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1をスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル3をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ(1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

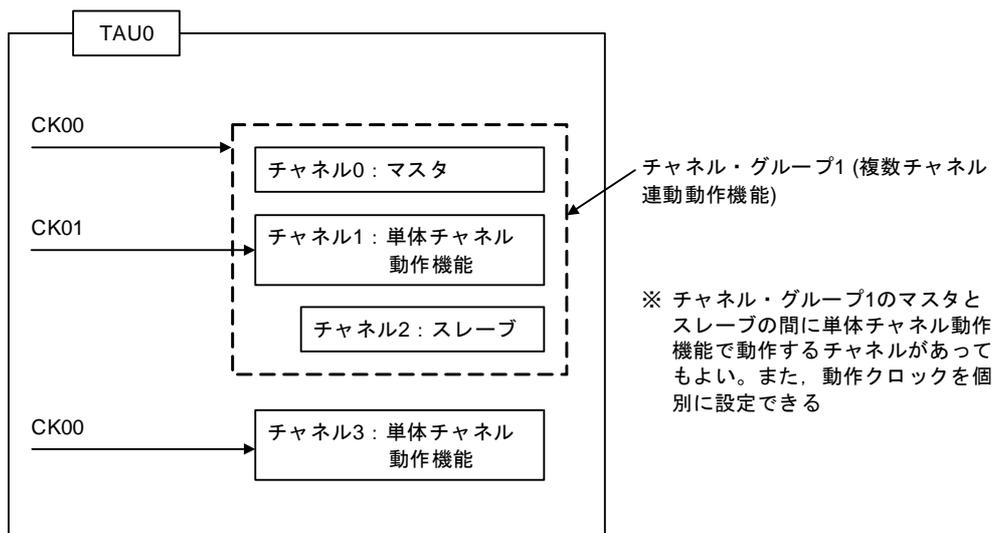
それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

例1



例2



7.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ m_n (TMR m_n) の SPLIT ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTT m_1 H/INTT m_3 H (割り込み) を出力します (MD m_n 0 =1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMR m_n レジスタの CKS m_n 1, CKS m_n 0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSH m_1 /TSH m_3 ビットを操作することでチャンネル動作を開始し、TTH m_1 /TTH m_3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEH m_1 /TEH m_3 ビットで確認できます。
- (7) 下位8ビットは、TMR m_n レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能
 - 外部イベント・カウンタ機能
 - デイレイ・カウント機能
- (8) 下位8ビットは、TSM m_1 /TSM m_3 ビットを操作することでチャンネル動作を開始し、TT m_1 /TT m_3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEM m_1 /TEM m_3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSH m_1 /TSH m_3 /TTH m_1 /TTH m_3 ビットの操作は無効となります。TSM m_1 /TSM m_3 , TT m_1 /TT m_3 ビットを操作することでチャンネル1, 3が動作します。TEH m_3 ビットと TEH m_1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 1, 3)

7.5 カウンタの動作

7.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

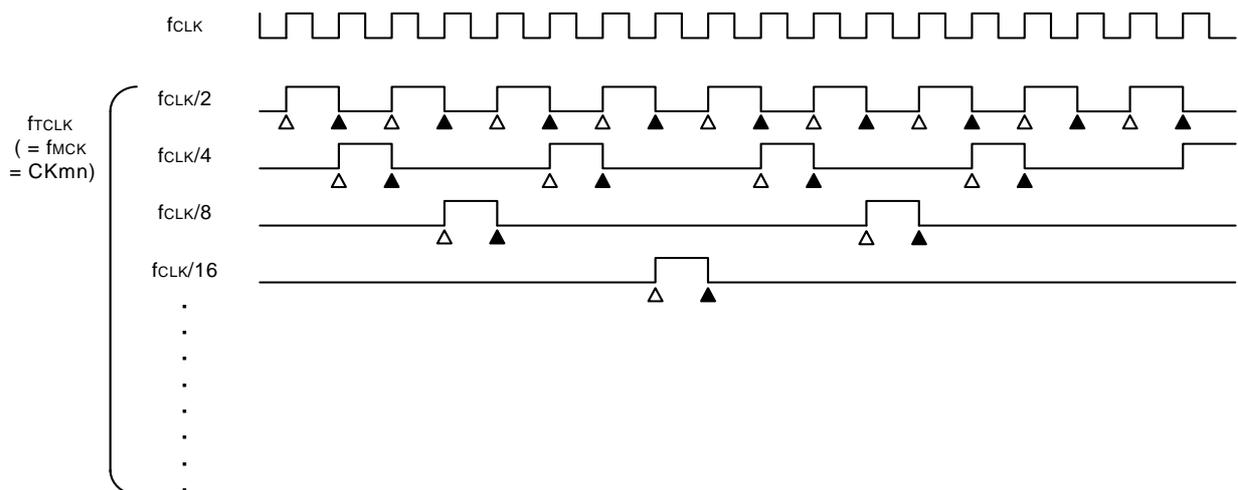
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するよう設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。ただし、fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7-27 fCLKとカウント・クロック (fTCLK) のタイミング (CCSmn = 0時)



備考1. ▲ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

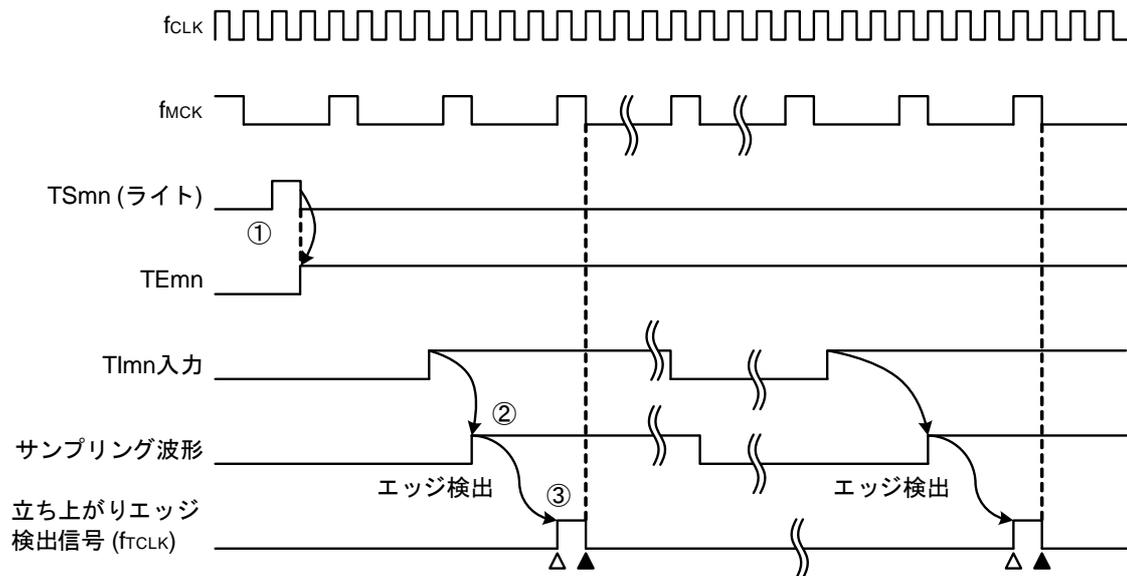
備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fCLK) は、TImn 端子からの入力信号の有効エッジを検出し、次の fMCK の立ち上がりと一緒に同期した信号になります。これは、実際の TImn 端子からの入力信号より fMCK の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCK の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるためにカウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図7-28 カウント・クロック (fCLK) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



- ① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。
- ② TImn 入力の立ち上がりが fMCK でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化、カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

fMCK : チャンネル n の動作クロック

備考3. 入力パルス間隔測定、入力信号のハイ/ロウ・レベル幅測定、ディレイ・カウンタ、ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

7.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn) は、タイマ・チャンネル開始レジスタ m (TSM) の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作を、表 7-6 に示します。

表 7-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1 にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmn ビットに 1 を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

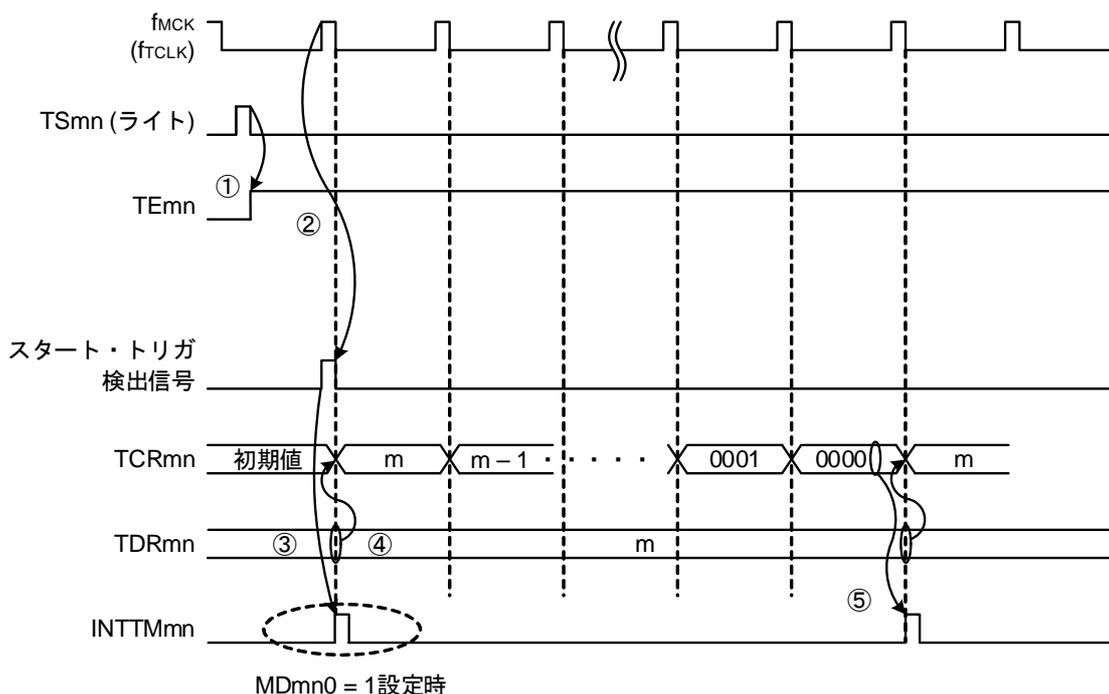
7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmn ビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MDmn0 ビットが1に設定されている場合には、スタート・トリガにより、INTTMmn が発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmn レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック (f_{MCK}) で INTTMmn を発生し、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードしてカウントを継続します。

図7-29 動作タイミング(インターバル・タイマ・モード)



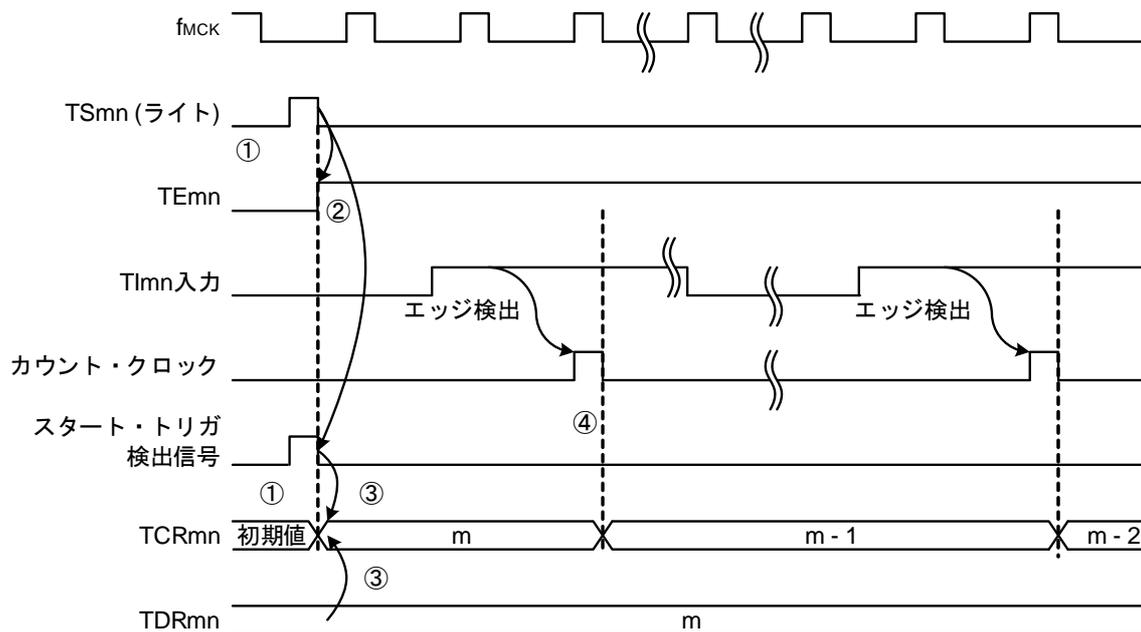
注意 カウント・クロックの1周期目の動作は TSmn ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK} 、スタート・トリガ検出信号、INTTMmn は、 f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn})は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし, カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図7-30 動作タイミング(イベント・カウンタ・モード)

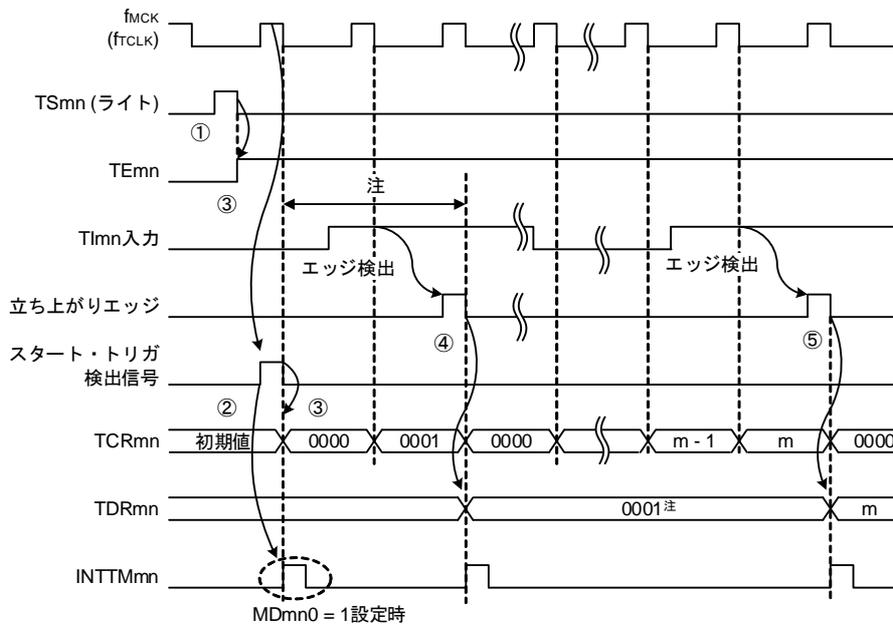


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (fMCK)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図7-31 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001：2クロック分の間隔)ので、無視してください。

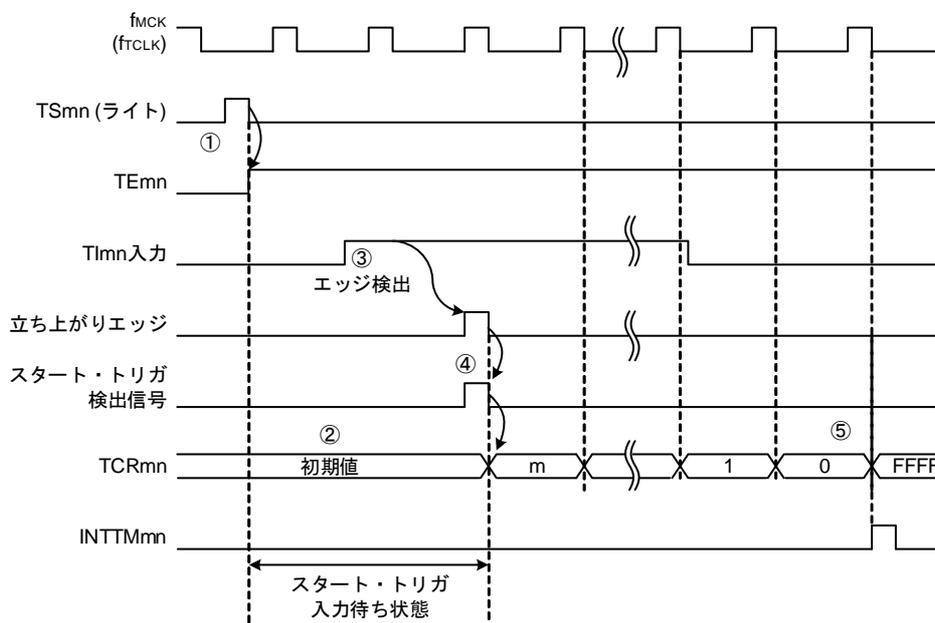
注意 カウント・クロックの1周期目の動作は TSmn ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TImn 入力からさらに fMCK の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TImn 入力とカウント・クロック (fMCK) が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図7-32 動作タイミング(ワンカウント・モード)

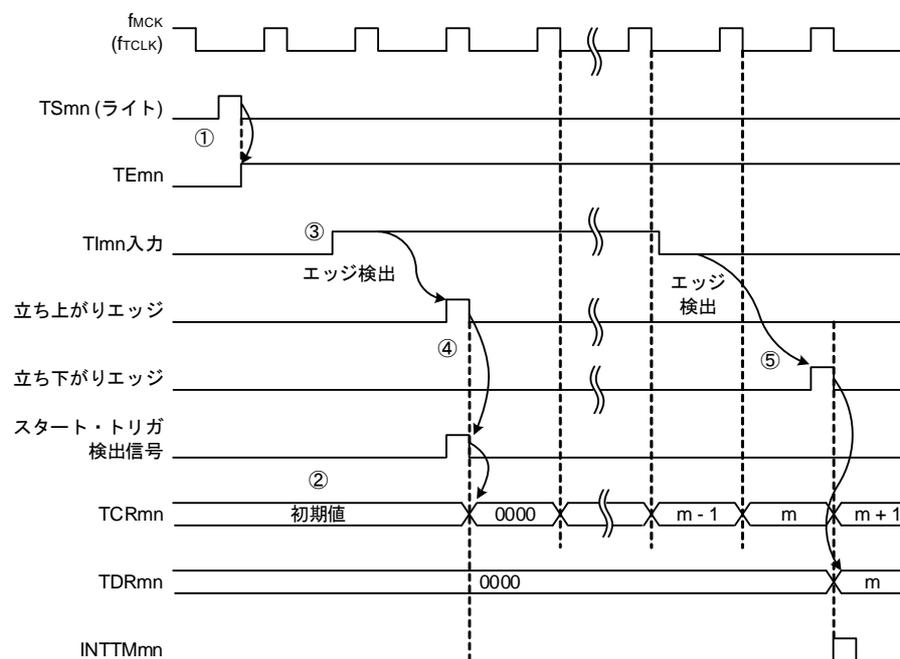


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出は TImn 入力からさらに fMCK の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TImn 入力とカウント・クロック (fMCK) が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TSM m)のTSM m ビットに1を書き込むことにより、動作許可状態 (TEM m = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCR mn)は、スタート・トリガ発生まで初期値を保持します。
- ③ TIm n 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR mn レジスタにロードし、カウントを開始します。
- ⑤ TIm n 入力の立ち下がりエッジを検出すると、TCR mn レジスタの値をTDR mn レジスタにキャプチャし、INTTM m 割り込みが発生します。

図7-33 動作タイミング(キャプチャ & ワンカウント・モード: ハイ・レベル幅測定)

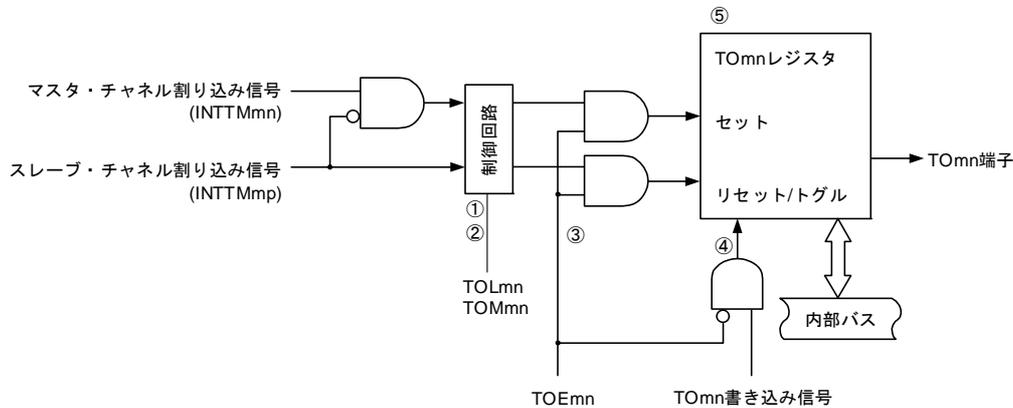


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTIm n 入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTIm n 入力とカウント・クロック(fMCK)が非同期なためです。

7.6 チャンネル出力(TOmn端子)の制御

7.6.1 TOmn端子の出力回路の構成

図7-34 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

- ① $TOMmn = 0$ (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタ m (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタ m (TOm)に伝えられます。
- ② $TOMmn = 1$ (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。
このとき、TOLmレジスタが有効となり、次のように信号を制御します。
TOLmn = 0の場合 : 正転動作 (INTTMmn → セット, INTTMmp → リセット)
TOLmn = 1の場合 : 反転動作 (INTTMmn → リセット, INTTMmp → セット)
また、INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。
- ③ タイマ出力許可状態 ($TOEmn = 1$)で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み(TOmnライト信号)は無効となります。
また、 $TOEmn = 1$ のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 ($TOEmn = 0$)に設定しTOmレジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態 ($TOEmn = 0$)で、対象チャンネルのTOmnビットへの書き込み(TOmnライト信号)が有効となります。タイマ出力禁止状態 ($TOEmn = 0$)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOmレジスタに伝えられません。
- ⑤ TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

備考 m : ユニット番号 ($m = 0$)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

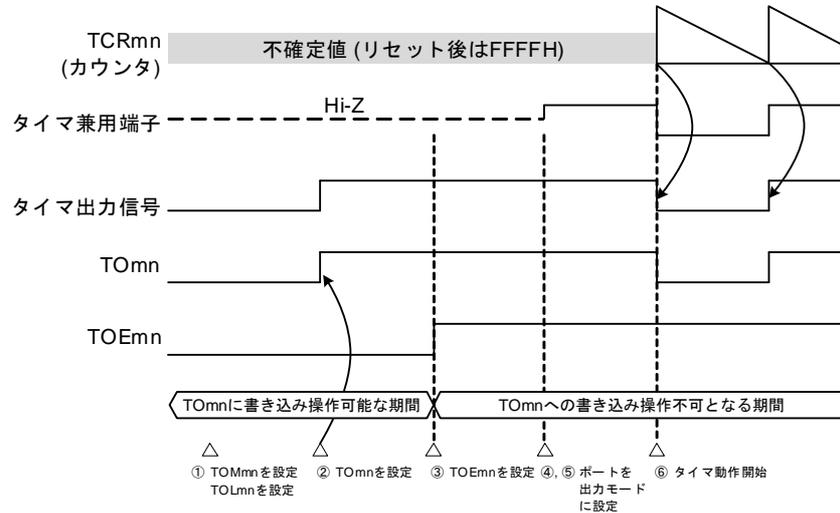
n = 0 : p = 1, 2, 3

n = 2 : p = 3

7.6.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7-35 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- TOMmnビット(0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- TOLmnビット(0 : 正論理出力, 1 : 負論理出力)

②タイマ出力レジスタ m (TOmn)を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmn ビットに1を書き込み, タイマ出力動作を許可します (TOmn レジスタへの書き込みは不可となります)。

④ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します (7.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑤ポートの入出力設定を出力に設定します (7.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.6.3 チャネル出力操作時の注意事項

- (1) タイマ動作中のTOM,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn),タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm) の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn 端子から出力するためには, 7.8, 7.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み(INTTMmn)近辺で, TOMレジスタを除く TOEmレジスタ, TOLmレジスタの設定値変更を行うと, タイマ割り込み(INTTMmn)信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み(INTTMmn)信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn端子に出力される波形が異なる場合があります。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

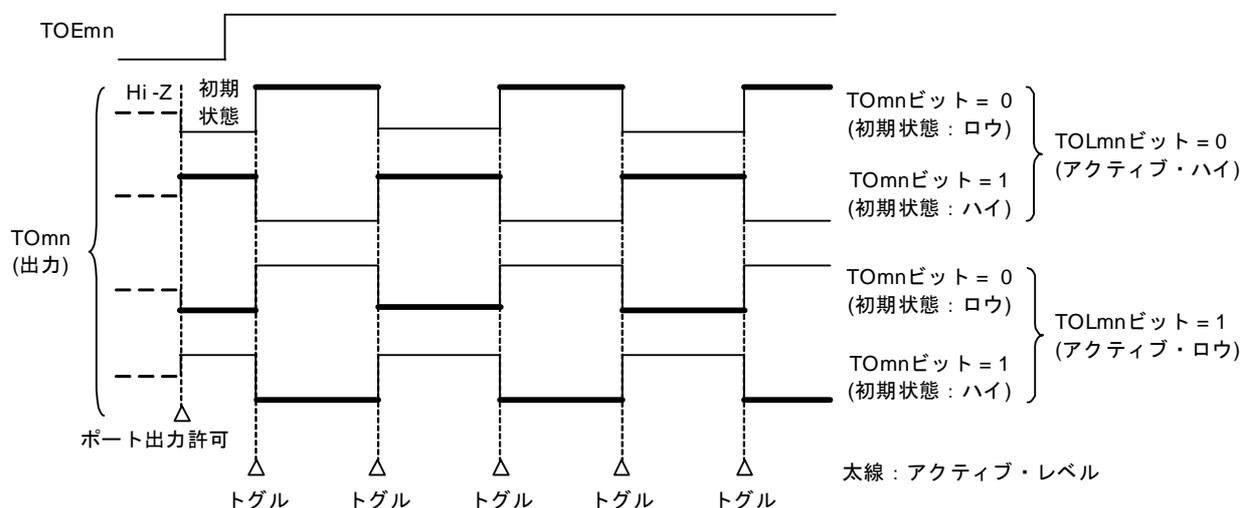
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止(TOEmn = 0)の状態ではタイマ出力レジスタ m (TOM)に書き込みを行い、初期レベル変更後、タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード(TOMmn= 0)設定で動作を開始した場合

マスタ・チャンネル出力モード(TOMmn= 0)の時、タイマ出力レベル・レジスタ m (TOLm)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図7 - 36 トグル出力時(TOMmn = 0)のTOmn端子出力状態



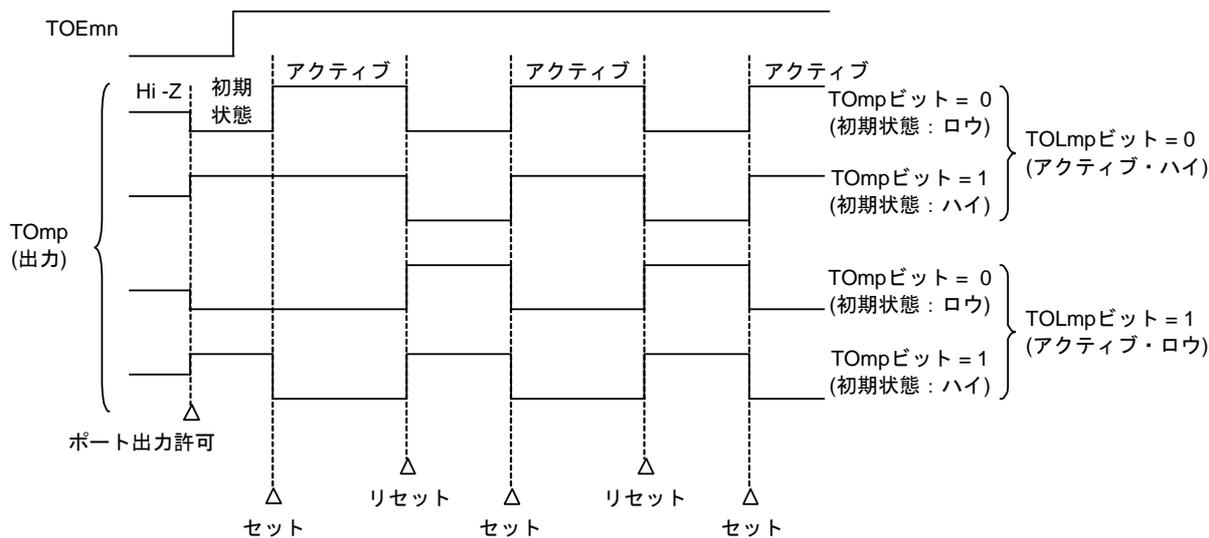
備考1. トグル : TOmn端子の出力状態を反転

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

(b) スレーブ・チャンネル出力モード (TOMmn = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmn = 1) の時、タイマ出力レベル・レジスタ m (TOLmn) の設定によりアクティブ・レベルを決定します。

図7-37 PWM出力時 (TOMmn = 1) のTOMn端子出力状態



備考1. セット: TOMP端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット: TOMP端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m: ユニット番号 (m = 0), n: チャンネル番号 (p = 1-3)

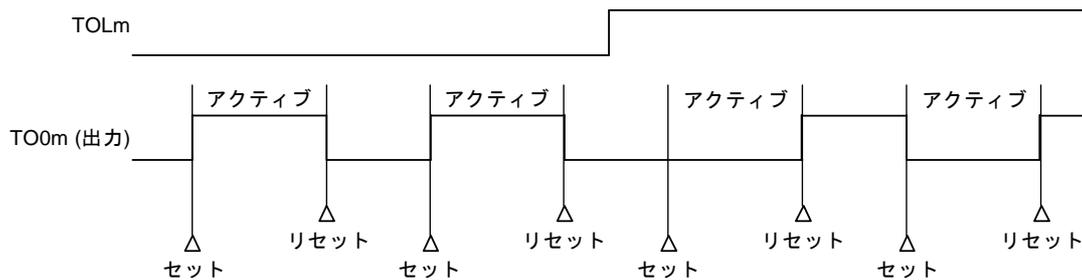
(3) TOMn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOMn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOMn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

図7-38 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0), n：チャンネル番号(n = 0-3)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOMn端子/TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

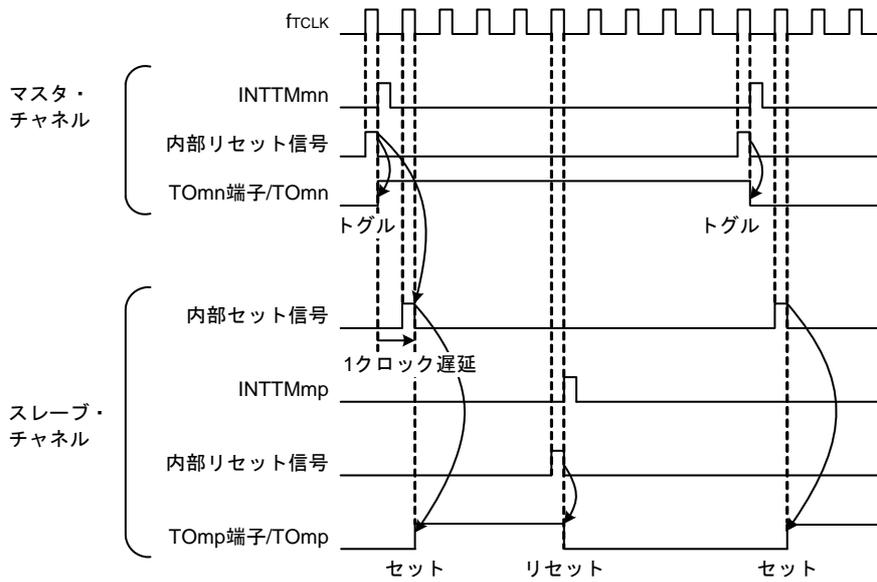
マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図7-39に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

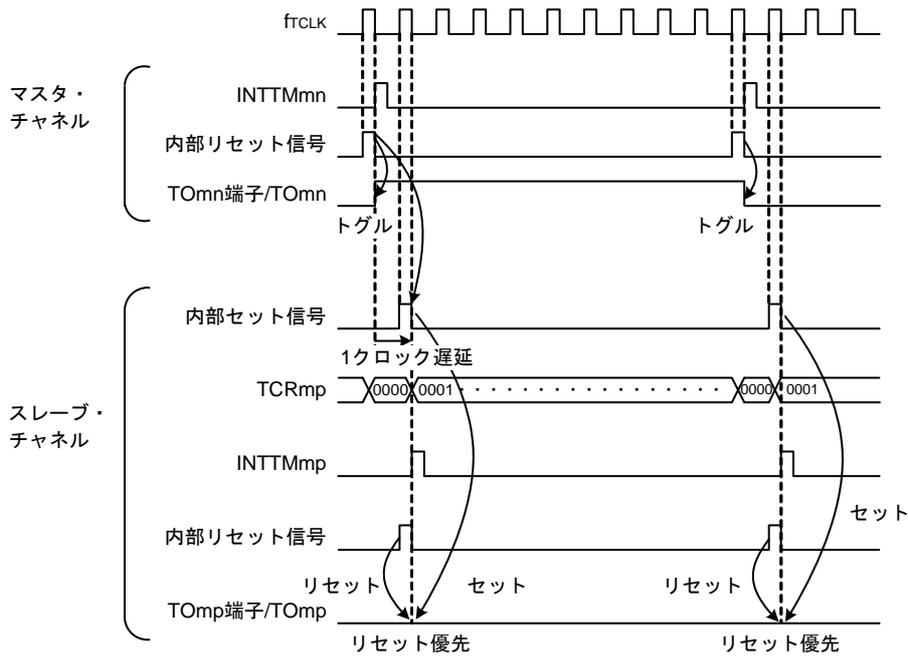
スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図7-39 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 : TOmn端子のリセット/トグル信号

内部セット信号 : TOmn端子のセット信号

備考2. m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

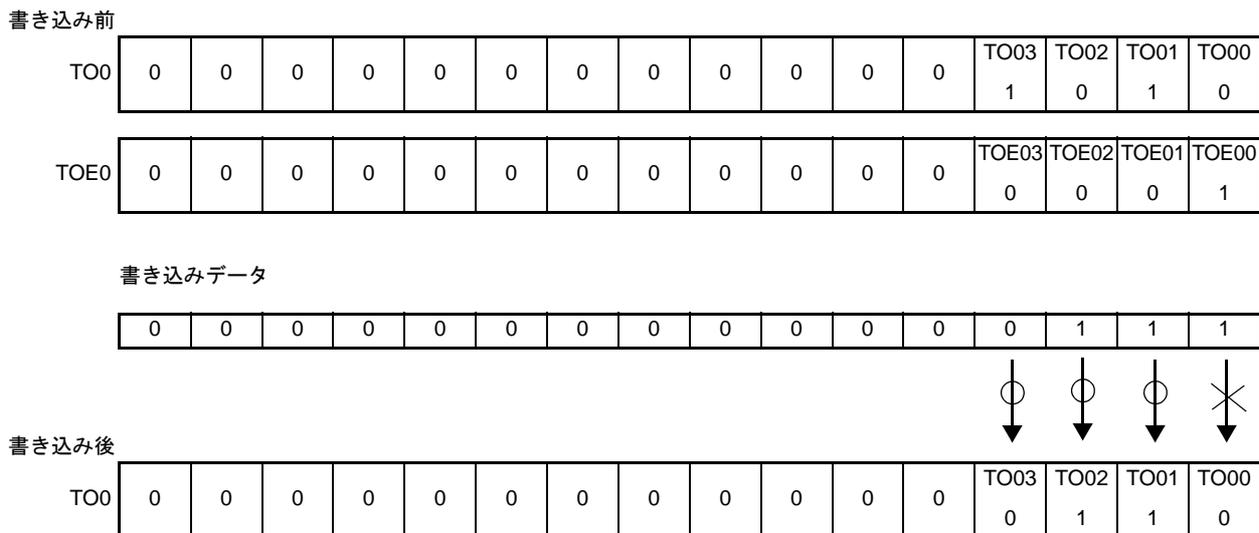
n = 0 : p = 1, 2, 3

n = 2 : p = 3

7.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TOm) には、タイマ・チャンネル開始レジスタ m (TSm) と同様に、1 レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみ TOmn ビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

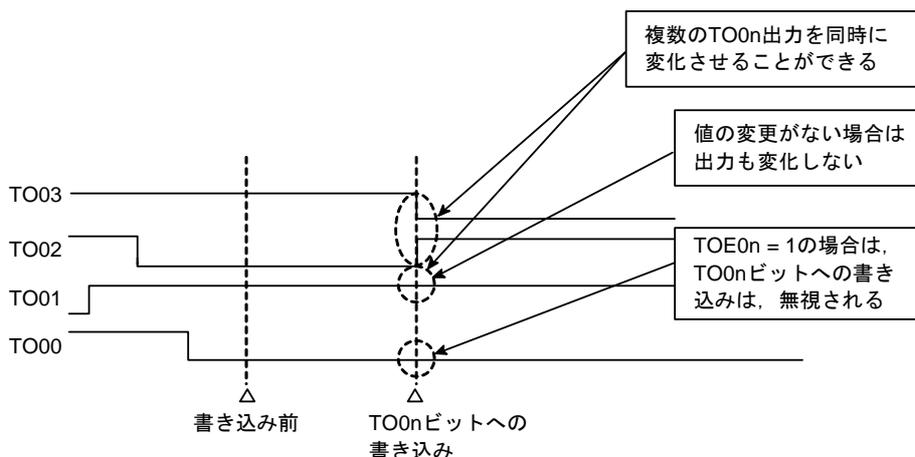
図7-40 TO0nビットの一括操作例



TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。

TOEmn = 1 に設定されている TOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7-41 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.6.5 カウント動作開始時のタイマ割り込みと T_{Omn} 端子出力について

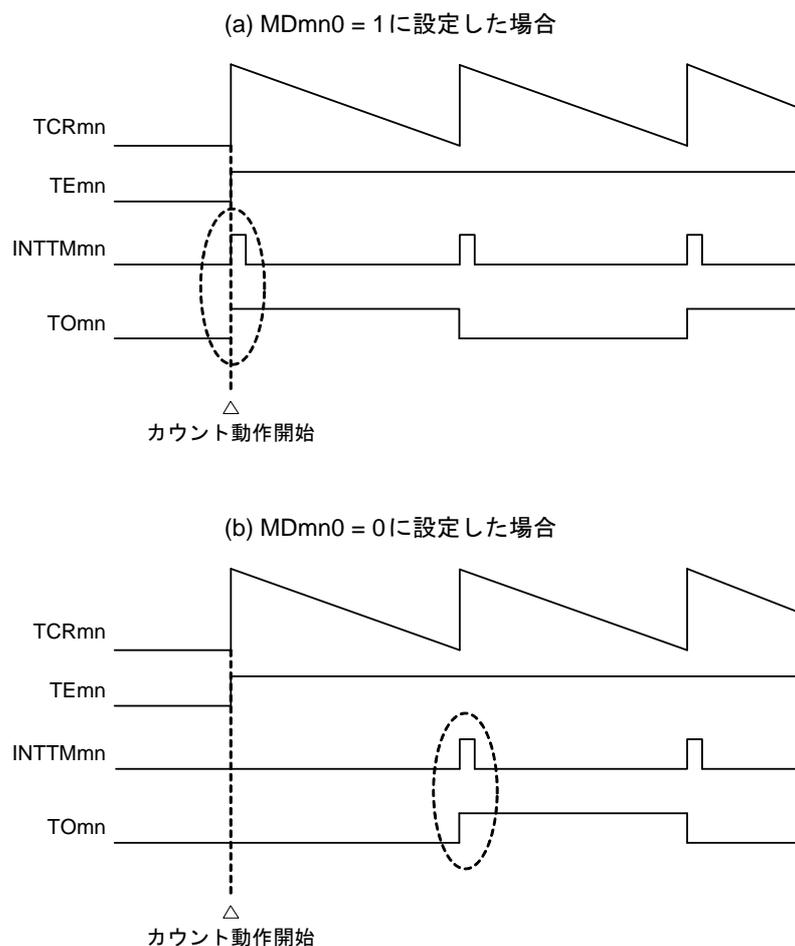
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、T_{Omn} 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図7-42 カウント動作開始時のタイマ割り込み、T_{Omn} 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、T_{Omn} がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。T_{Omn} も変化しません。1周期をカウント後、INTTMmn を出力し、T_{Omn} がトグル動作します。

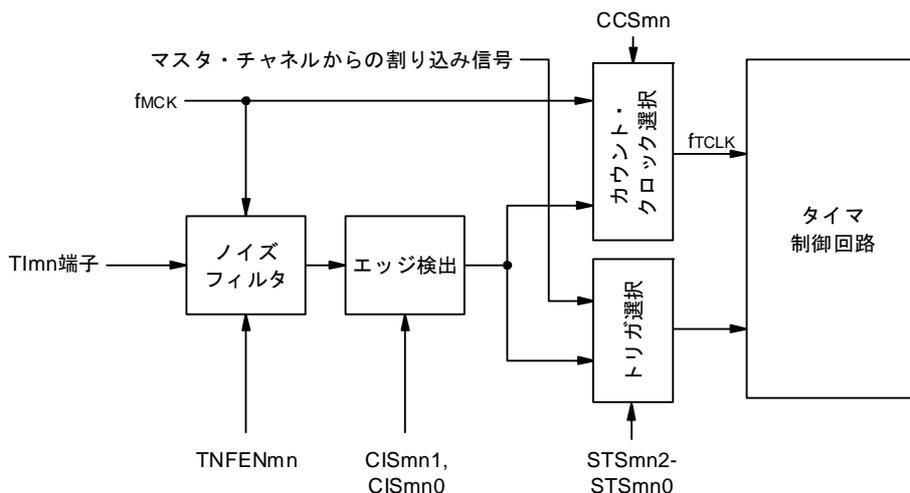
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

7.7 タイマ入力(Tlmn)の制御

7.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

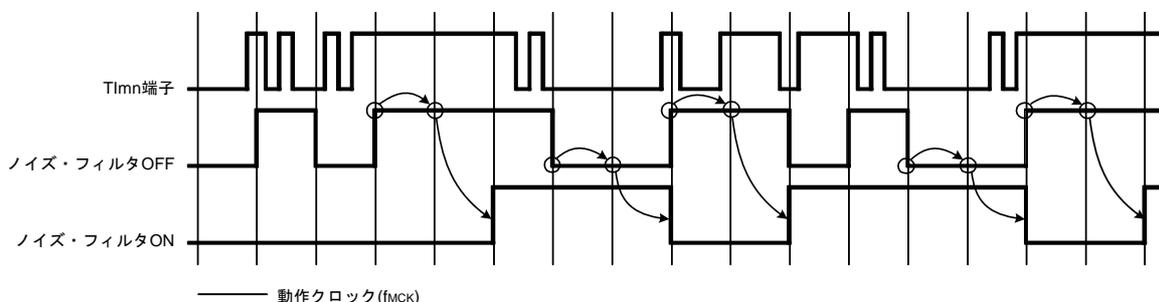
図7-43 入力回路構成図



7.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図7-44 Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタ ON/OFFの動作を説明するためのものであり、実際は、34.4 AC特性に示すTlmn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

7.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFFの場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ONの場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

7.8 タイマ・アレイ・ユニットの単独チャネル動作機能

7.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み)を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み)の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmnの設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM) のチャネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3) に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

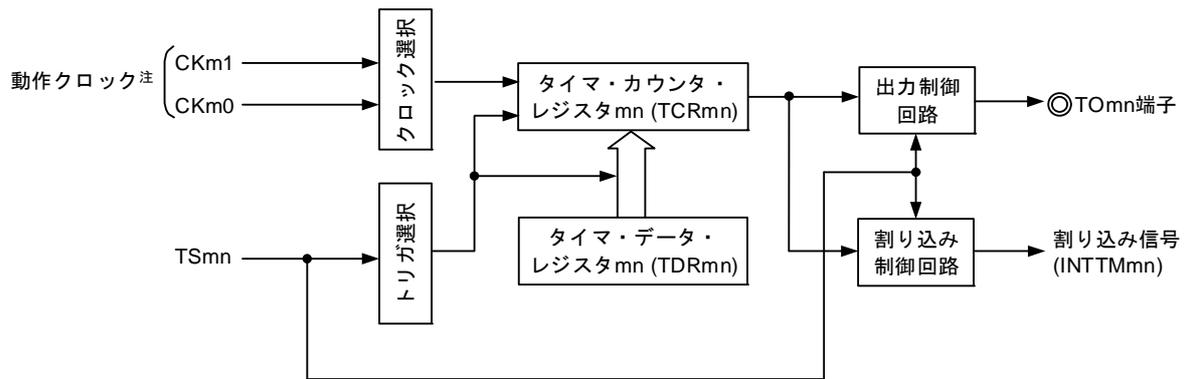
その後、TCRmn レジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H になったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を継続します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

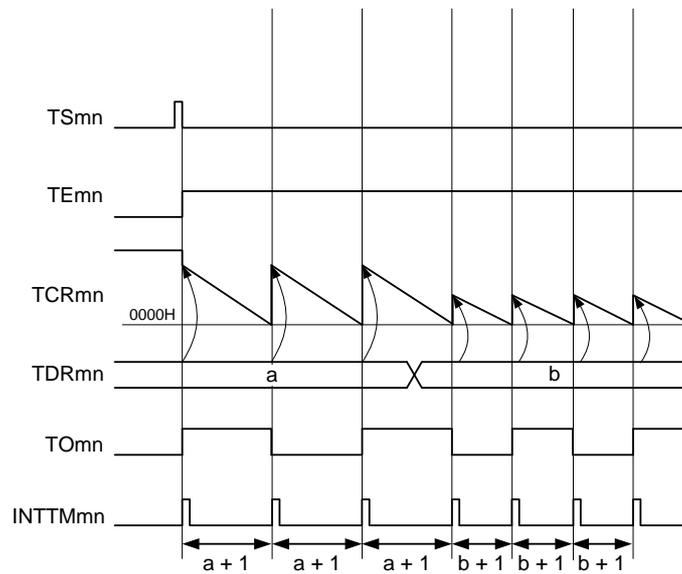
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

図7-45 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7-46 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

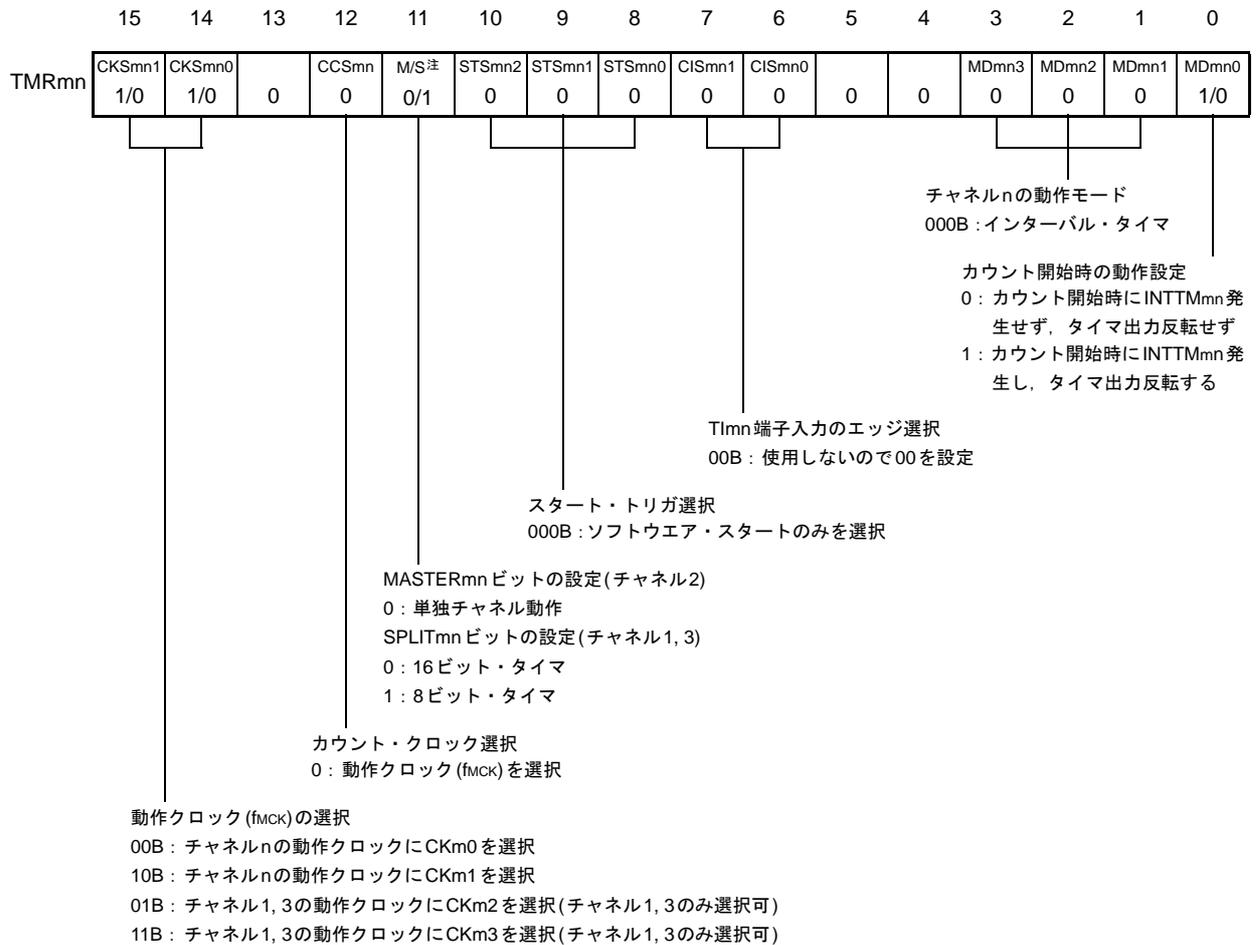
TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

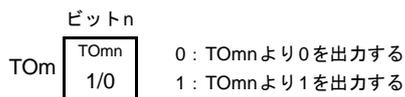
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

TOMn : TOMn 端子出力信号

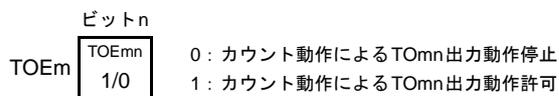
図7-47 インターバル・タイマ/方形波出力時のレジスタ設定内容例
(a) タイマ・モード・レジスタ mn (TMRmn)



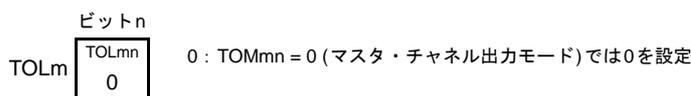
(b) タイマ出力レジスタ m (TOM)



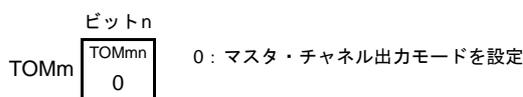
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
TMRm1, TMRm3の場合 : SPLITmn ビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-48 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル 初期 設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0 (マスタ・チャネル出力モード)を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 再開	(TOmn出力を使用する場合で, かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3)ビットに1を設定する TSmn (TSHm1, TSHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
	動作中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止
動作 停止	TTmn (TTHm1, TTHm3)ビットに1を設定する TTmn (TTHm1, TTHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TOEmnビットに0を設定し, TOmnビットに値を設定する	TOmn端子はTOmnビットに設定したレベルを出力

(備考は次ページにあります。)

図7-49 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmn ビットに0を設定する	TOmn 端子出力レベルはポート機能により保持される。
	TOmn 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態
	全回路を初期化する場合 PRR0 レジスタの TAU0RES ビットに1を設定する	全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.8.2 外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (TSM) の任意のチャンネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

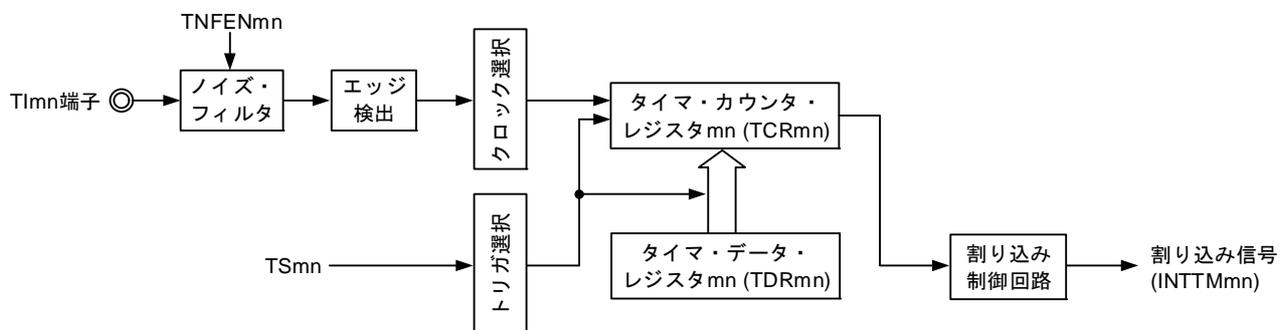
TCRmn レジスタは TImn 端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H になったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

以降、同様の動作を続けます。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

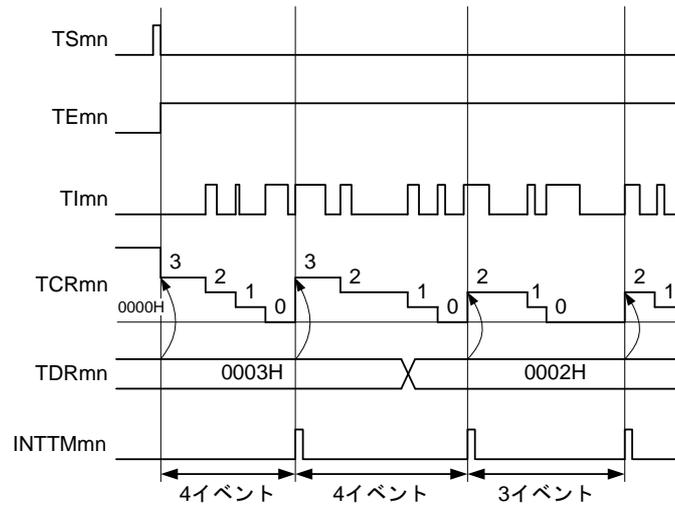
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図 7-50 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-51 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

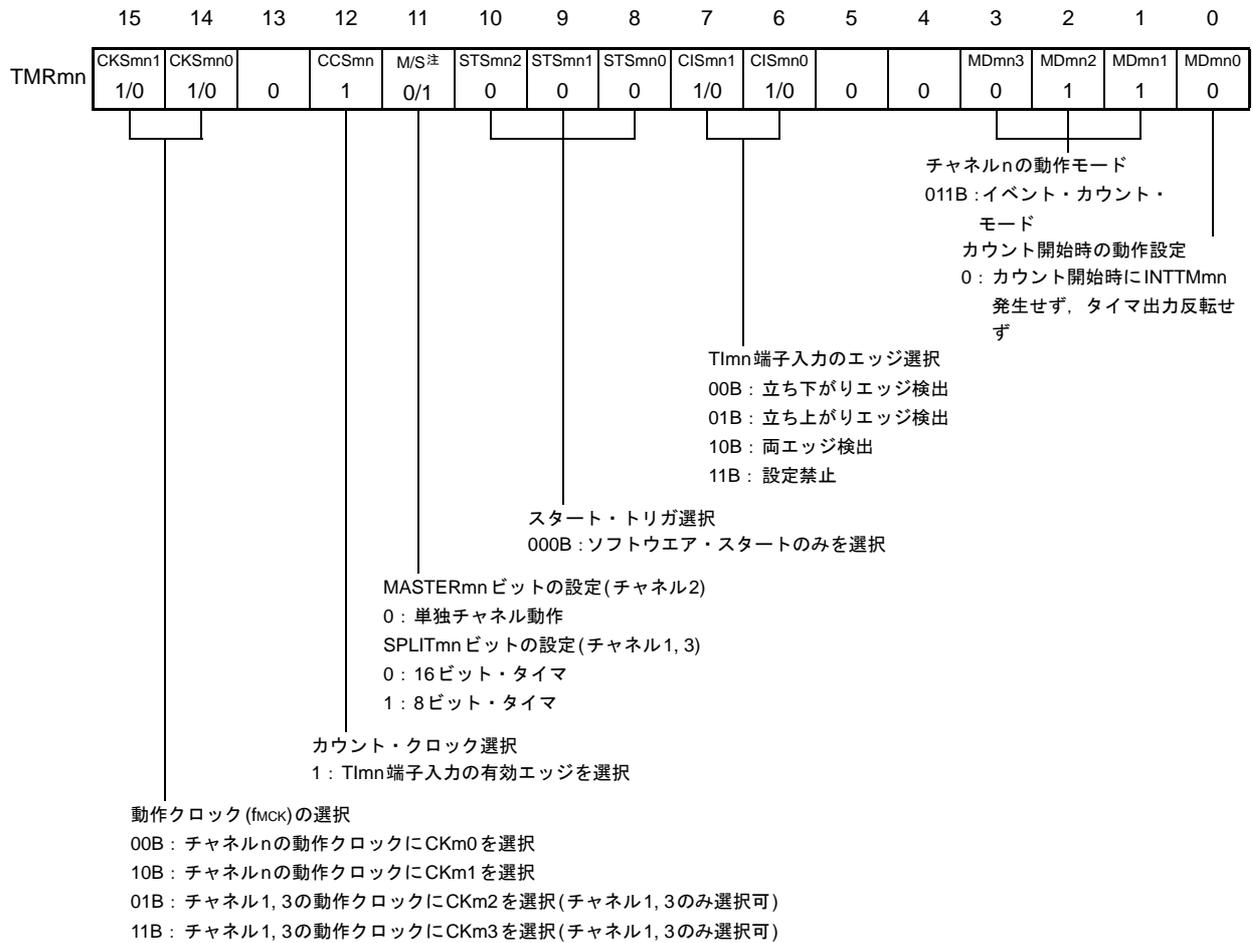
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図7-52 外部イベント・カウンタ・モード時のレジスタ設定内容例

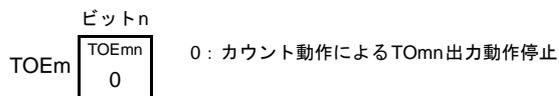
(a) タイマ・モード・レジスタ mn (TMRmn)



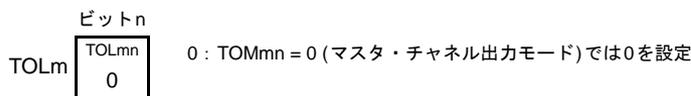
(b) タイマ出力レジスタ m (TOM)



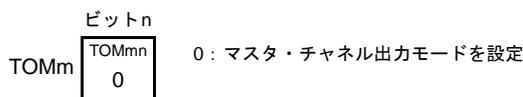
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



- 注 TMRm2の場合 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0の場合 : 0固定
- 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-53 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にカウント数を設定する タイマ出力許可レジスタm (TOEm)のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn)はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合 PRR0レジスタのTAU0RESビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.8.3 分周器としての動作(ユニット0のチャンネル0のみ)

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器として利用することができます。
TO00出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ/立ち下がりエッジ選択時 :
分周クロック周波数 = 入力クロック周波数 / {(TDR00 の設定値 + 1) × 2}
- 両エッジ選択時 :
分周クロック周波数 = 入力クロック周波数 / (TDR00 の設定値 + 1)

タイマ・カウンタ・レジスタ00 (TCR00)はインターバル・タイマ・モードでダウン・カウンタとして動作します。
タイマ・チャンネル開始レジスタ0 (TS0)のチャンネル・スタート・トリガ・ビット (TS00)に1を設定後、TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00 (TDR00)の値をロードします。このときタイマ・モード・レジスタ00 (TMR00)のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00レジスタのMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして、カウントを継続します。

TI00端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出カクロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出カクロック周期} \pm \text{動作クロック周期(誤差)}$$

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図7-54 分周器としての動作のブロック図

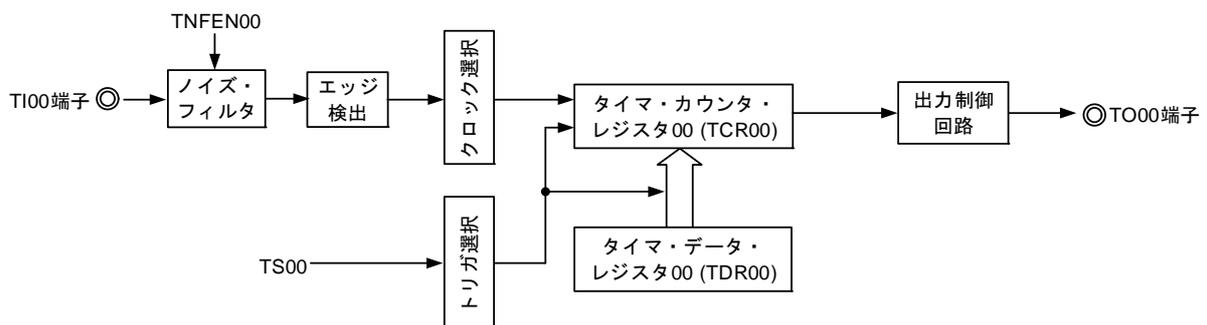
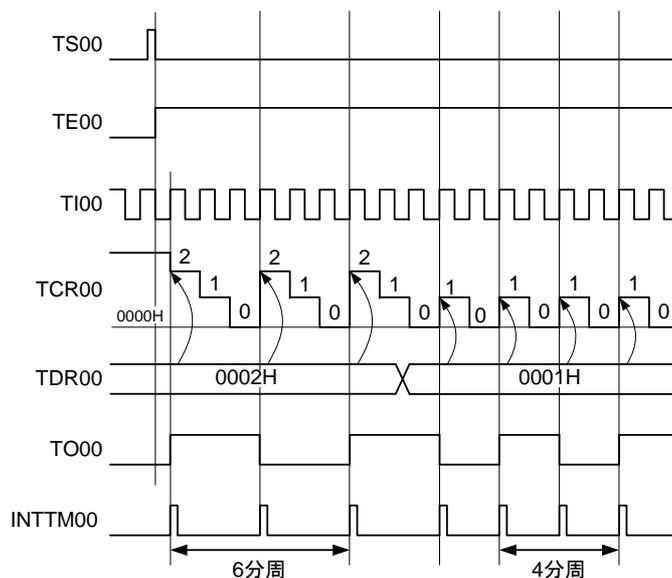


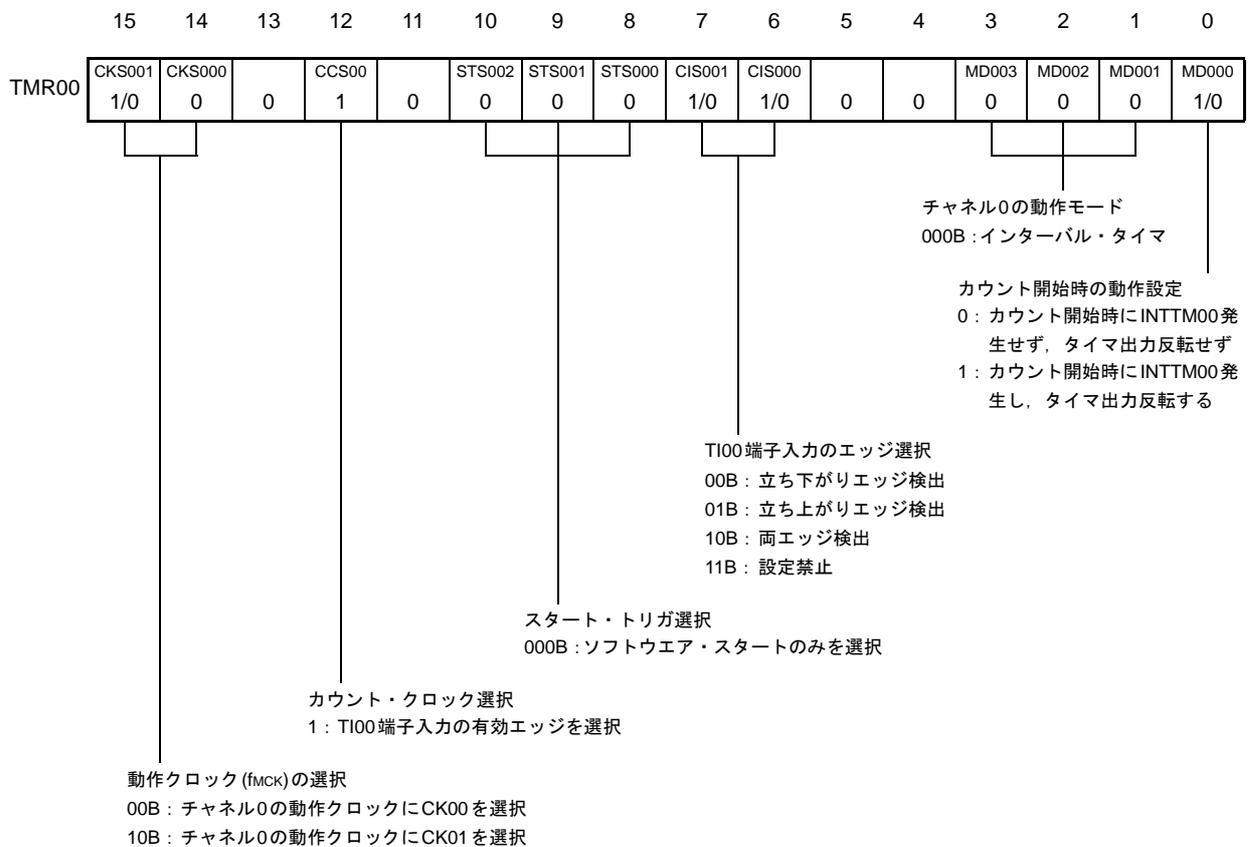
図7 - 55 分周器としての動作の基本タイミング例 (MD000 = 1)



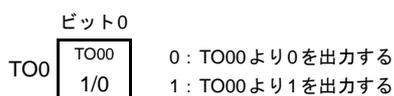
- 備考 TS00 : タイマ・チャンネル開始レジスタ0 (TS0)のビット0
- TE00 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0)のビット0
- TI00 : TI00端子入力信号
- TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
- TDR00 : タイマ・データ・レジスタ00 (TDR00)
- TO00 : TO00端子出力信号

図7-56 分周器として動作時のレジスタ設定内容例

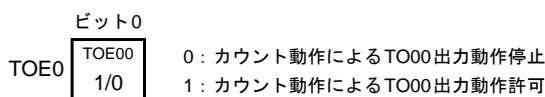
(a) タイマ・モード・レジスタ 00 (TMR00)



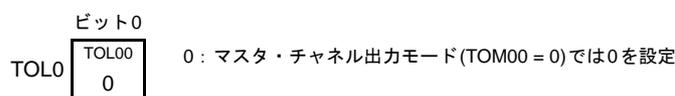
(b) タイマ出力レジスタ 0 (TO0)



(c) タイマ出力許可レジスタ 0 (TOE0)



(d) タイマ出力レベル・レジスタ 0 (TOL0)



(e) タイマ出力モード・レジスタ 0 (TOM0)

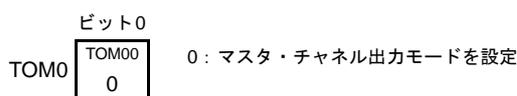


図7-57 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAU0ENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0)を設定する CK00-CK03のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャンネル初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ00 (TMR00)を設定する(チャンネルの動作モード確定, 検出エッジの選択) タイマ・データ・レジスタ00 (TDR00)にインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0)のTOM00ビットに0 (マスタ・チャンネル出力モード)を設定する TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する TOE00ビットに1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO00は変化しない TO00端子はTO00設定レベルを出力
動作再開	動作開始 TOE00ビットに1を設定する(動作再開時のみ) TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1になり, カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00)はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は, INTTM00を発生し, TO00もトグル動作する。
	動作中 TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ (TCR00)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00レジスタはTDR00レジスタの値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。 以降, この動作を繰り返す。
動作停止	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 0になり, カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00ビットに0を設定し, TO00ビットに値を設定する	TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

7.8.4 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn)はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM)のチャンネル・スタート・トリガ・ビット (TSMn)に1を設定するとTCRmn レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

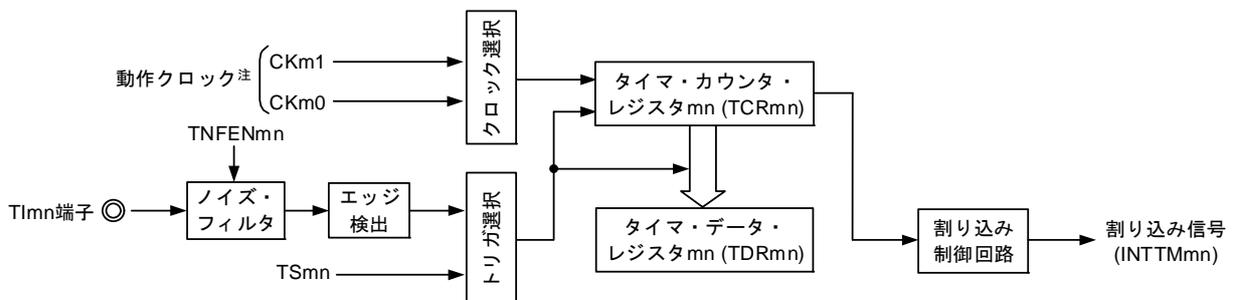
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn)に転送(キャプチャ)すると同時に、TCRmn レジスタを0000Hにクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットが1にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

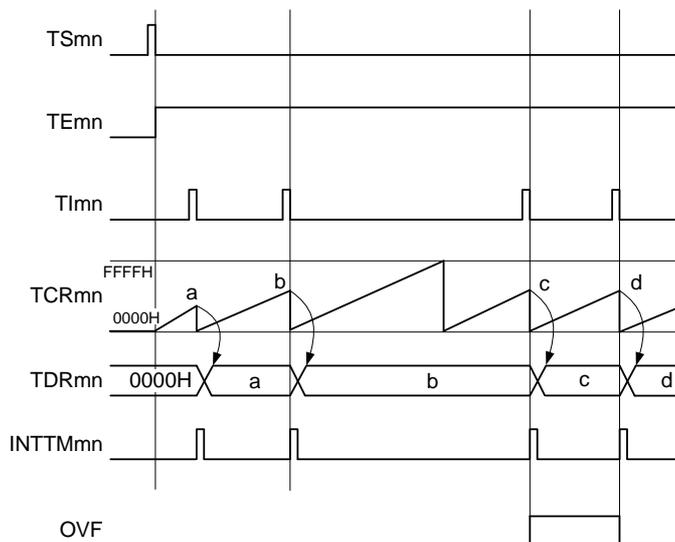
図7-58 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-59 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

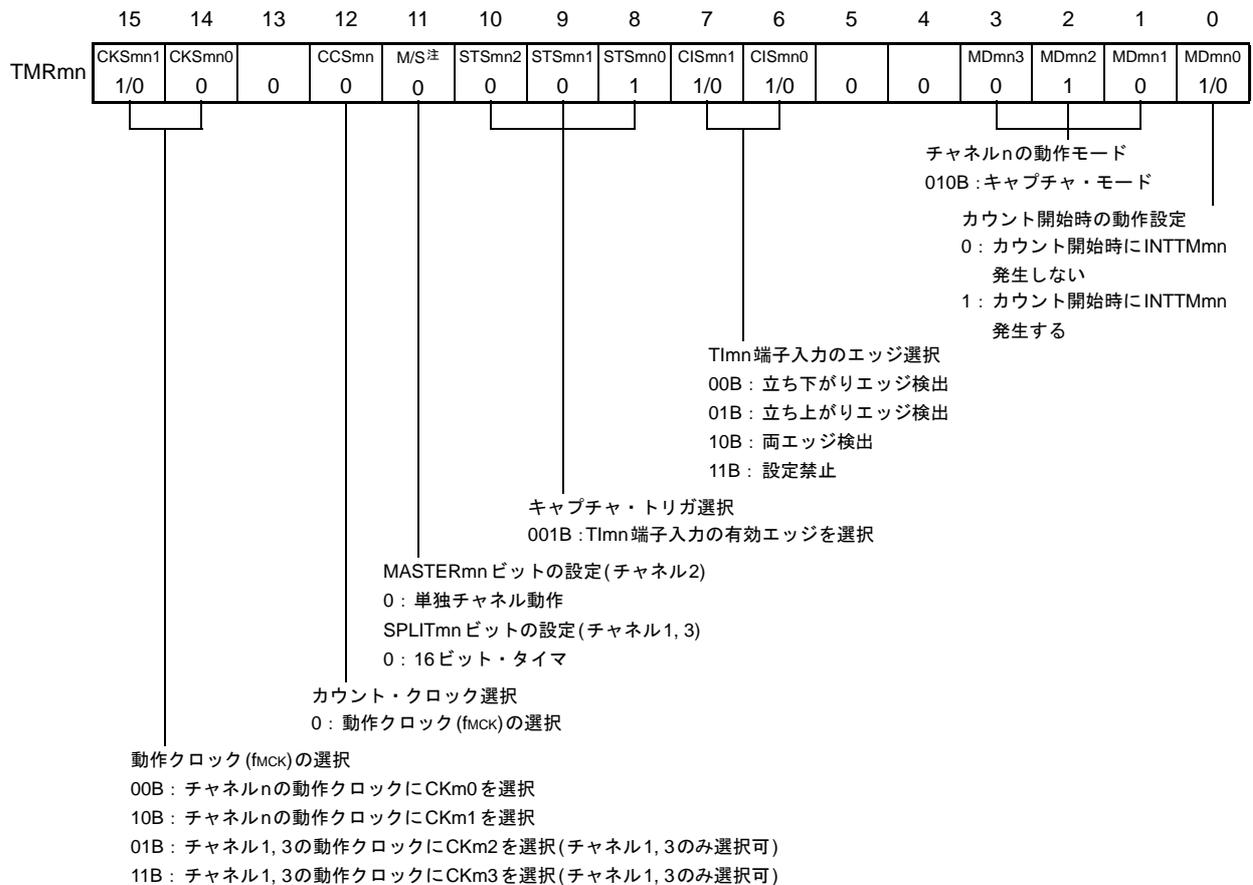
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図7-60 入力パルス間隔測定時のレジスタ設定内容例

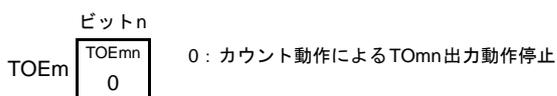
(a) タイマ・モード・レジスタ mn (TMRmn)



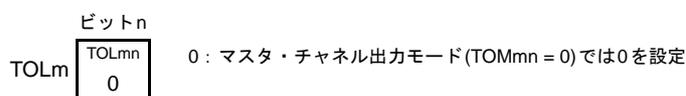
(b) タイマ出力レジスタ m (TOm)



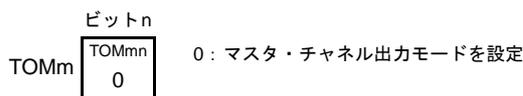
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット

TMRm1, TMRm3の場合 : SPLITmn ビット

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-61 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生する。
	動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	カウンタ (TCRmn)は0000Hからアップ・カウント動作を行い, TImn端子入力の有効エッジが検出または, TSmnビットに1を設定すると, カウント値をタイマ・データ・レジスタmn (TDRmn)に転送(キャプチャ)する。同時に, TCRmnレジスタを0000Hにクリアし, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。 以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合PRR0レジスタのTAU0RESビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

TlMn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TlMn の信号幅(ハイ・レベル幅／ロウ・レベル幅)を測定することができます。TlMn の信号幅は次の式で求めることができます。

$$\text{TlMn 入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 TlMn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ & ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に 1 を設定すると、TEmn = 1 となり TlMn 端子のスタート・エッジ検出待ち状態となります。

TlMn 端子入力のスタート・エッジ(ハイ・レベル幅測定なら TlMn 端子入力の立ち上がりエッジ)を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ(ハイ・レベル幅測定なら TlMn 端子入力の立ち下がりエッジ)を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TlMn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

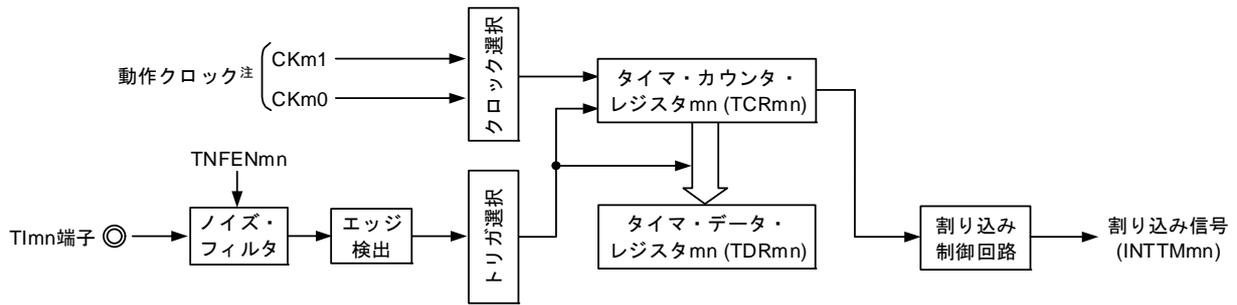
TlMn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TlMn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

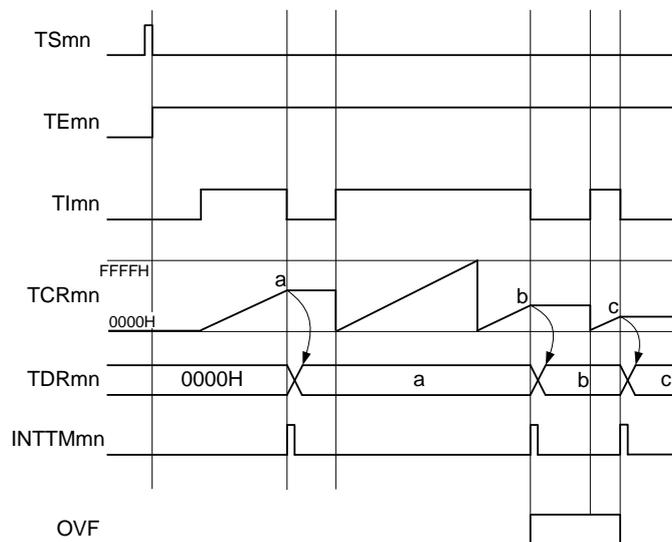
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図7-62 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

図7-63 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. TS_{mn} : タイマ・チャンネル開始レジスタ m (TS_m)のビット n

TE_{mn} : タイマ・チャンネル許可ステータス・レジスタ m (TE_m)のビット n

TI_{mn} : TI_{mn}端子入力信号

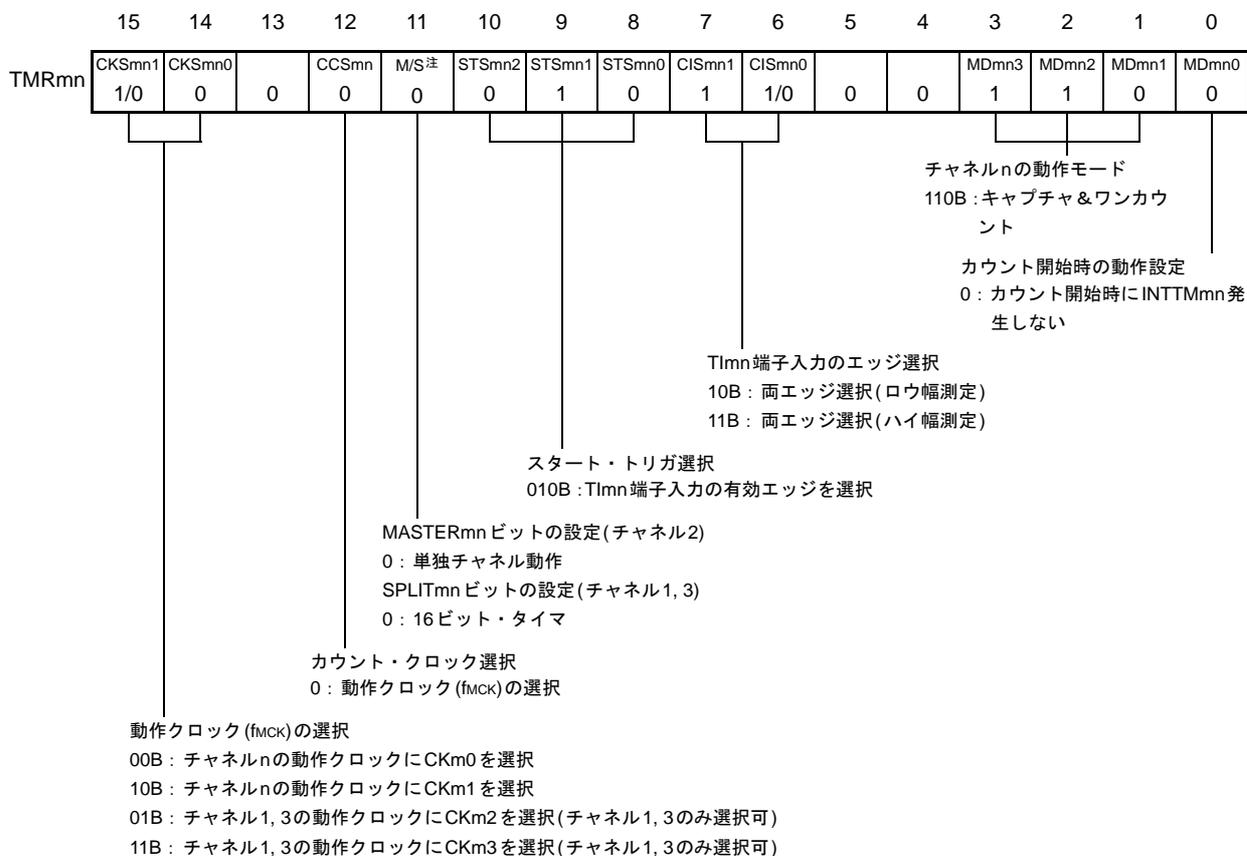
TCR_{mn} : タイマ・カウンタ・レジスタ mn (TCR_{mn})

TDR_{mn} : タイマ・データ・レジスタ mn (TDR_{mn})

OVF : タイマ・ステータス・レジスタ mn (TSR_{mn})のビット 0

図7-64 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

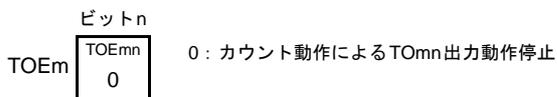
(a) タイマ・モード・レジスタ mn (TMRmn)



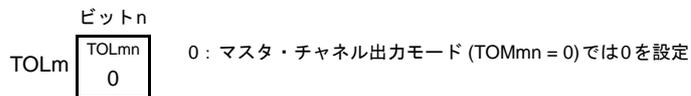
(b) タイマ出力レジスタ m (TOm)



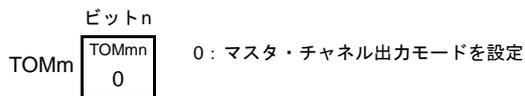
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-65 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn)に転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合PRR0レジスタのTAU0RESビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.8.6 デイレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェアで TS_{mn} = 1 に設定してダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

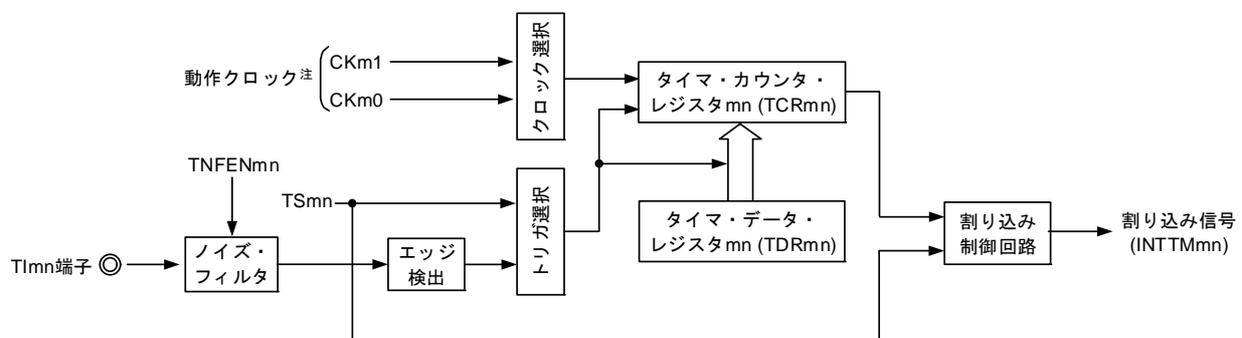
タイマ・カウンタ・レジスタ mn (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ mn (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000H になったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

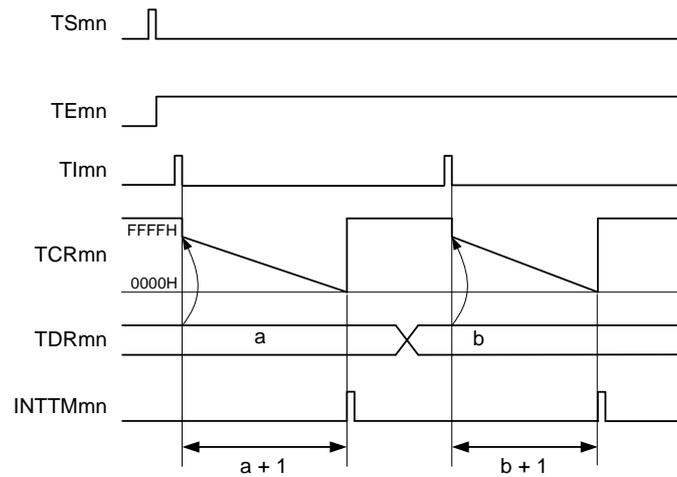
図7-66 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-67 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 ($m = 0$), n : チャネル番号 ($n = 0-3$)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

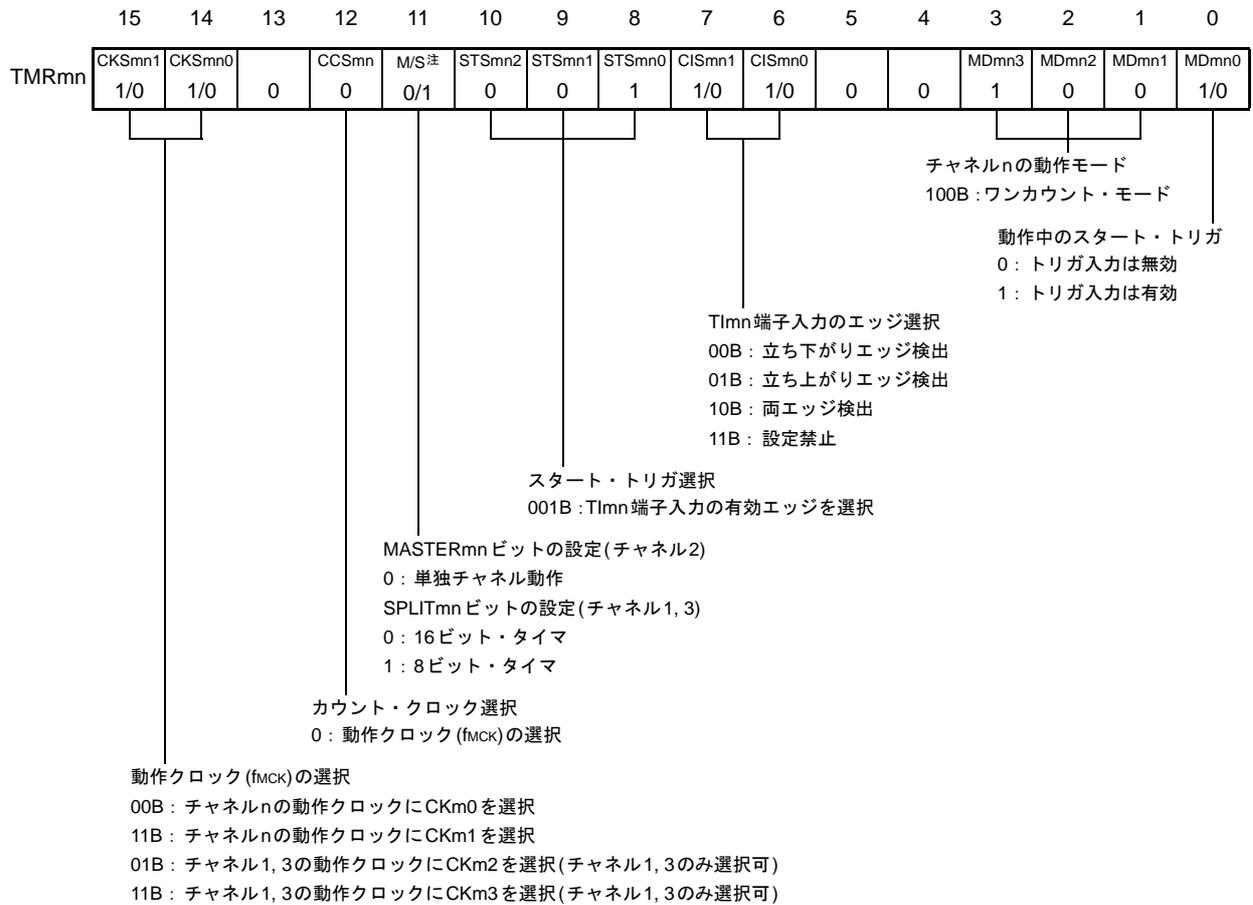
Tlmn : Tlmn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

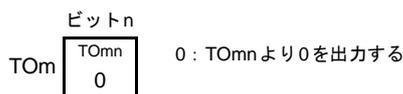
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図7-68 ディレイ・カウンタ機能時のレジスタ設定内容例

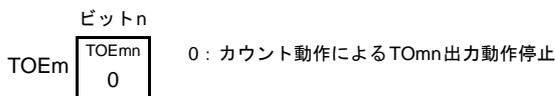
(a) タイマ・モード・レジスタ mn (TMRmn)



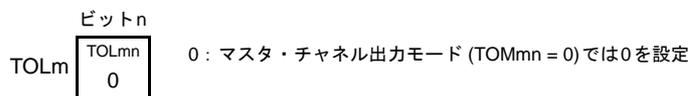
(b) タイマ出力レジスタ m (TOM)



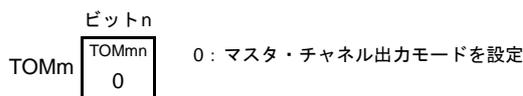
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット

TMRm1, TMRm3の場合 : SPLITmn ビット

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図7-69 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウンタを開始します。 • TImn端子入力の有効エッジ検出 • ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ(TCRmn)はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合PRR0レジスタのTAU0RESビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

7.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\text{ディレイ} = \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期}$ $\text{パルス幅} = \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}$
--

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

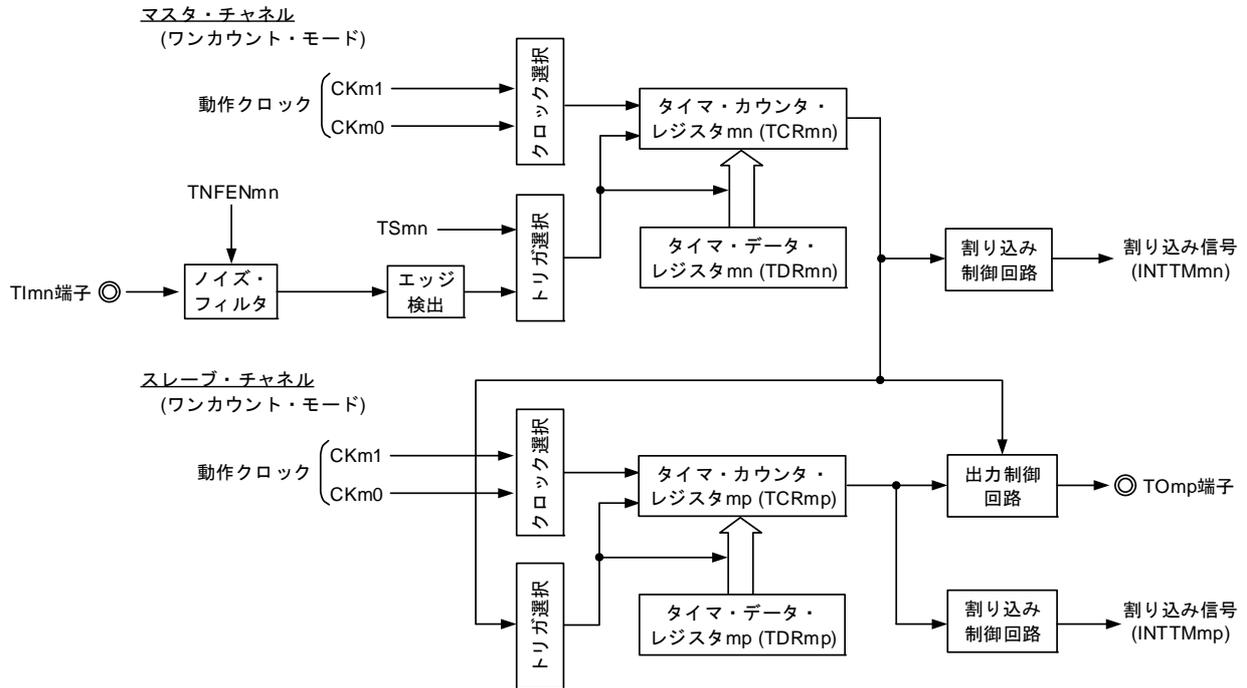
ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、カウント動作中に TDRmn レジスタ、TDRmp レジスタを書き換えるとロード・タイミングと競合して不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャネル番号 (n = 0, 2)

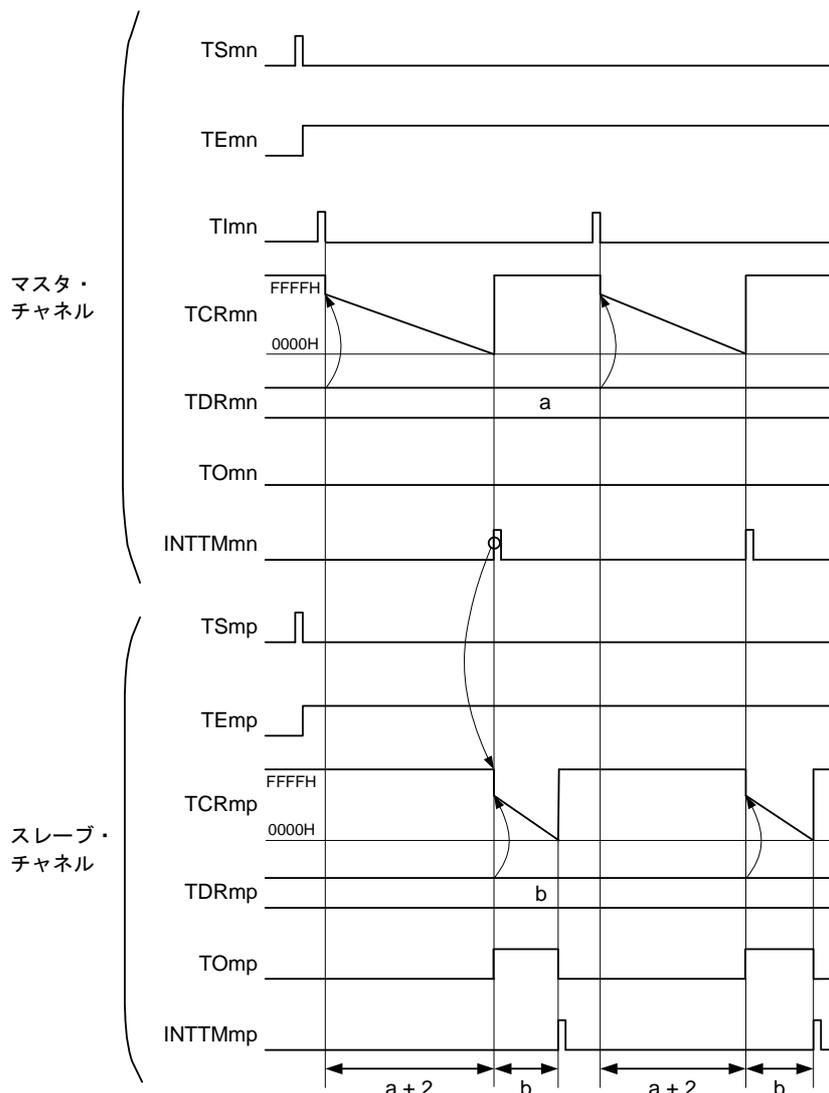
p : スレーブ・チャネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7-70 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7-71 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

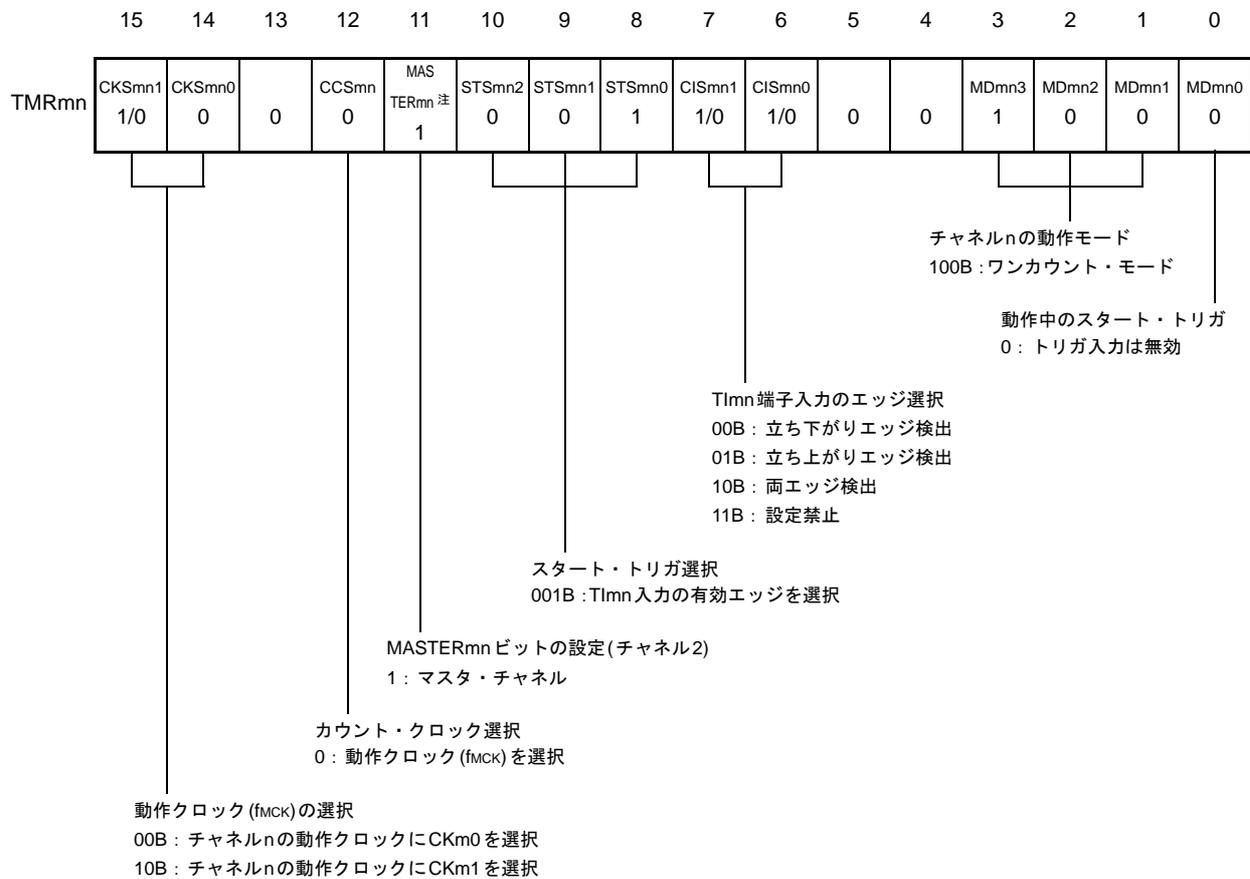
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

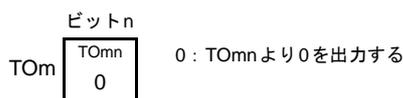
TOmn, TOmp : TOmn, TOmp 端子出力信号

図7-72 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

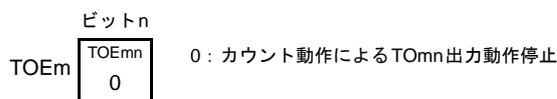
(a) タイマ・モード・レジスタ mn (TMRmn)



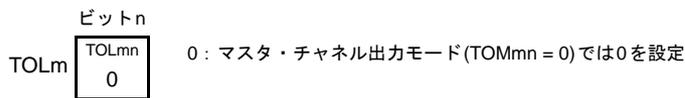
(b) タイマ出力レジスタ m (TOm)



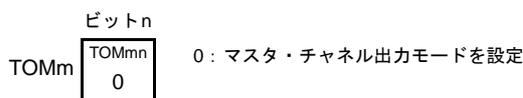
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

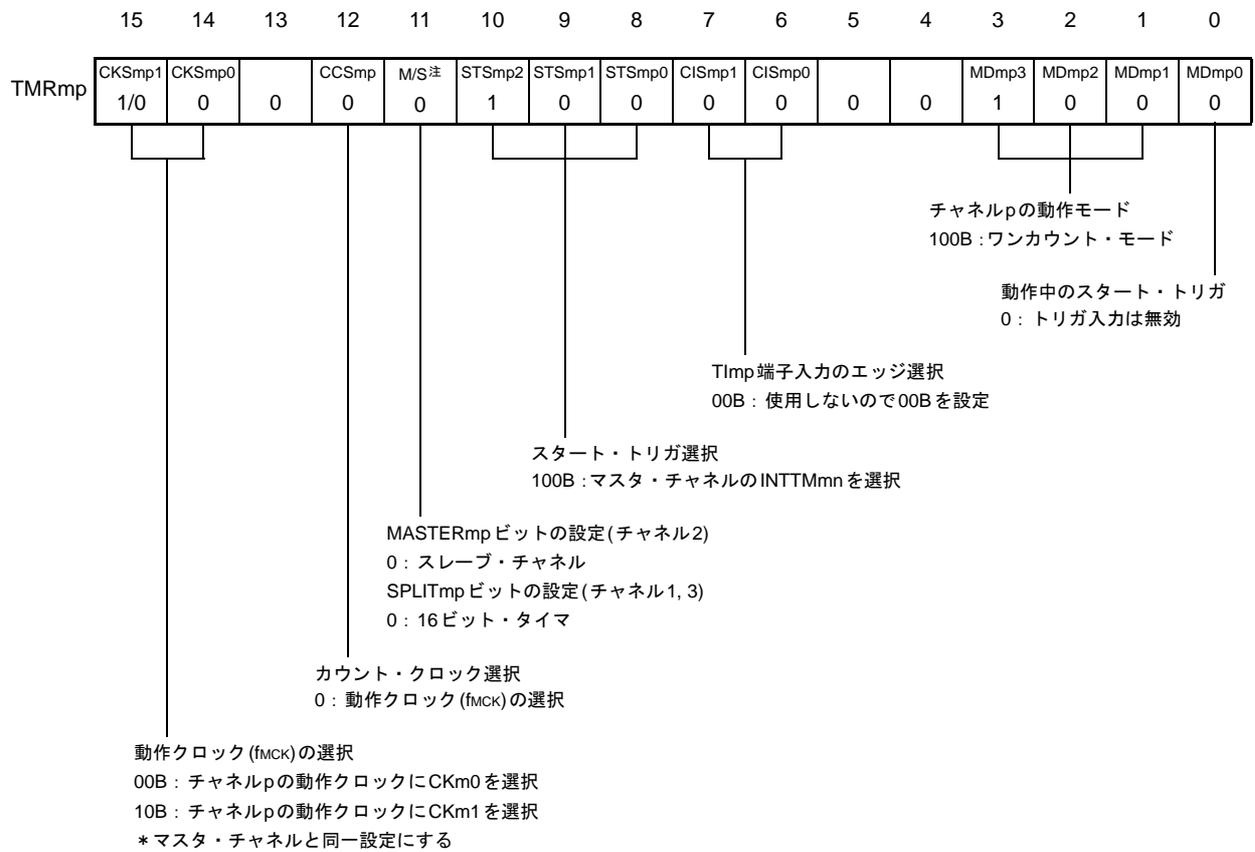


注 TMRm2の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

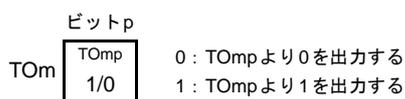
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

図7-73 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

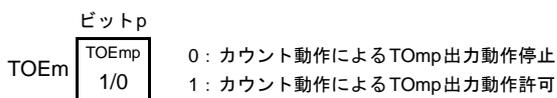
(a) タイマ・モード・レジスタ mp (TMRmp)



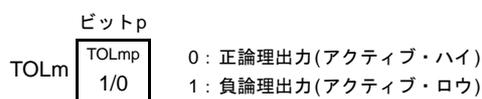
(b) タイマ出力レジスタ m (TOm)



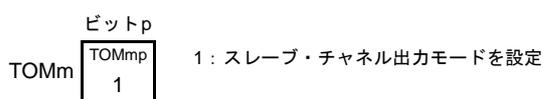
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7-74 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止 状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応する ビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード 確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャンネルの TDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図7-75 ワンショット・パルス出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	TEMn = 1, TEmP = 1となり、マスタ・チャンネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定)待ち状態となる カウンタはまだ停止状態のまま マスタ・チャンネルがカウンタ動作開始
	動作中 TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出(TImn端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定)により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。 TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次の TImn 端子入力までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEMn, TEmP = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持 TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する 全回路を初期化する場合は PRR0 レジスタの TAU0RES ビットに1を設定する	TOmp 端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが0になり、TOmp 端子はポート機能となる)

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

7.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ)の設定値}\} \div \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} \geq \{\text{TDRmn (マスタ)の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ)の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm)のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定すると、割り込み(INTTMmn)を出力して、タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm)のチャンネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

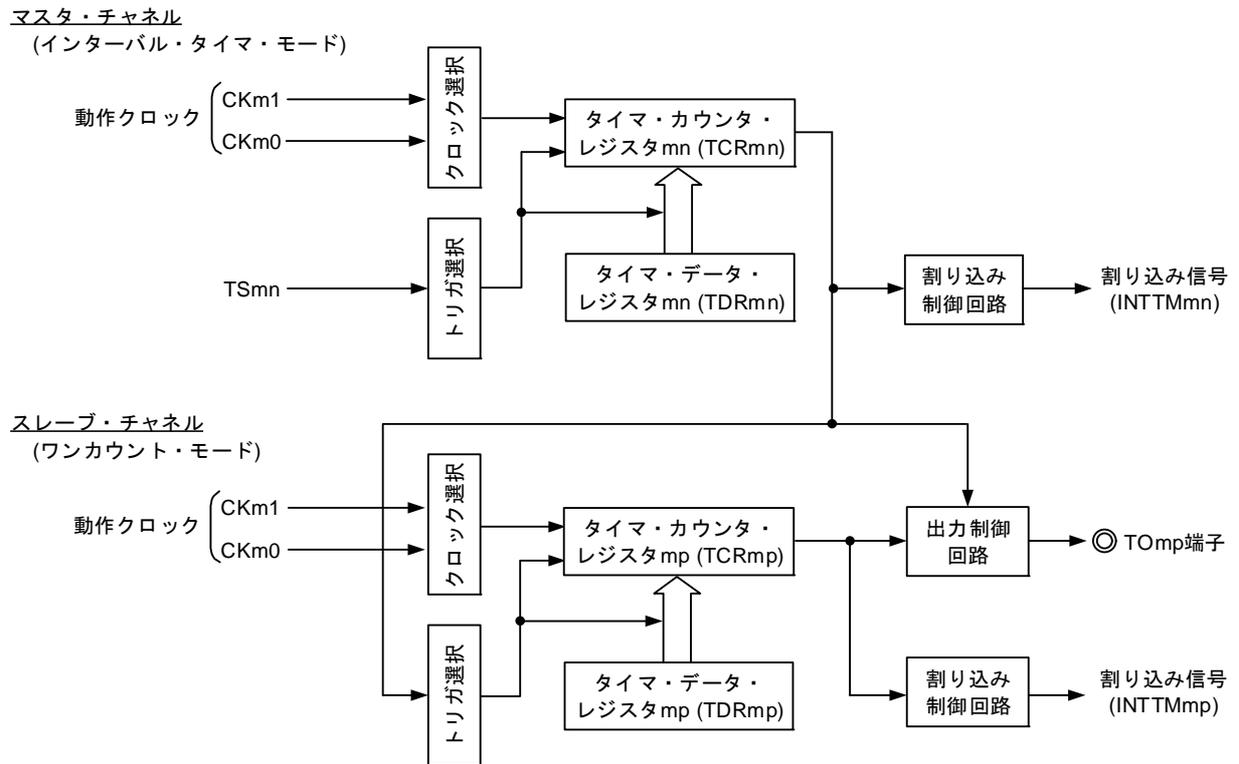
PWM出力(TOmp)は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

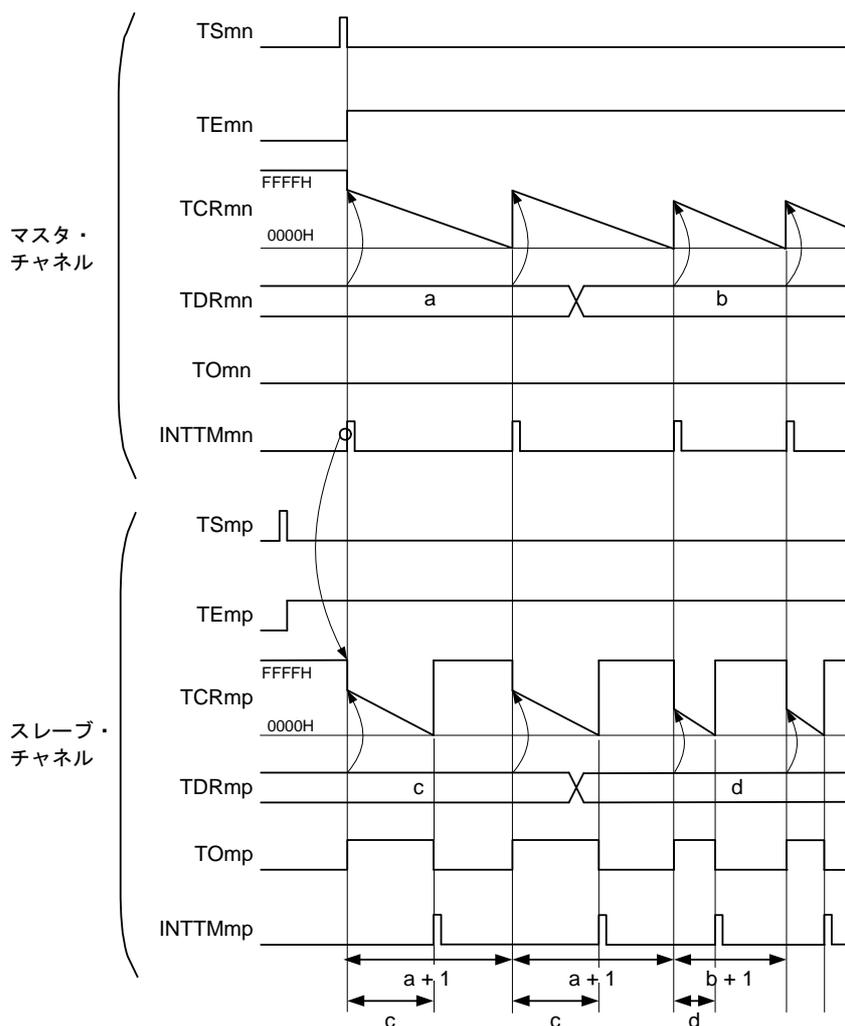
p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7-76 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7-77 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

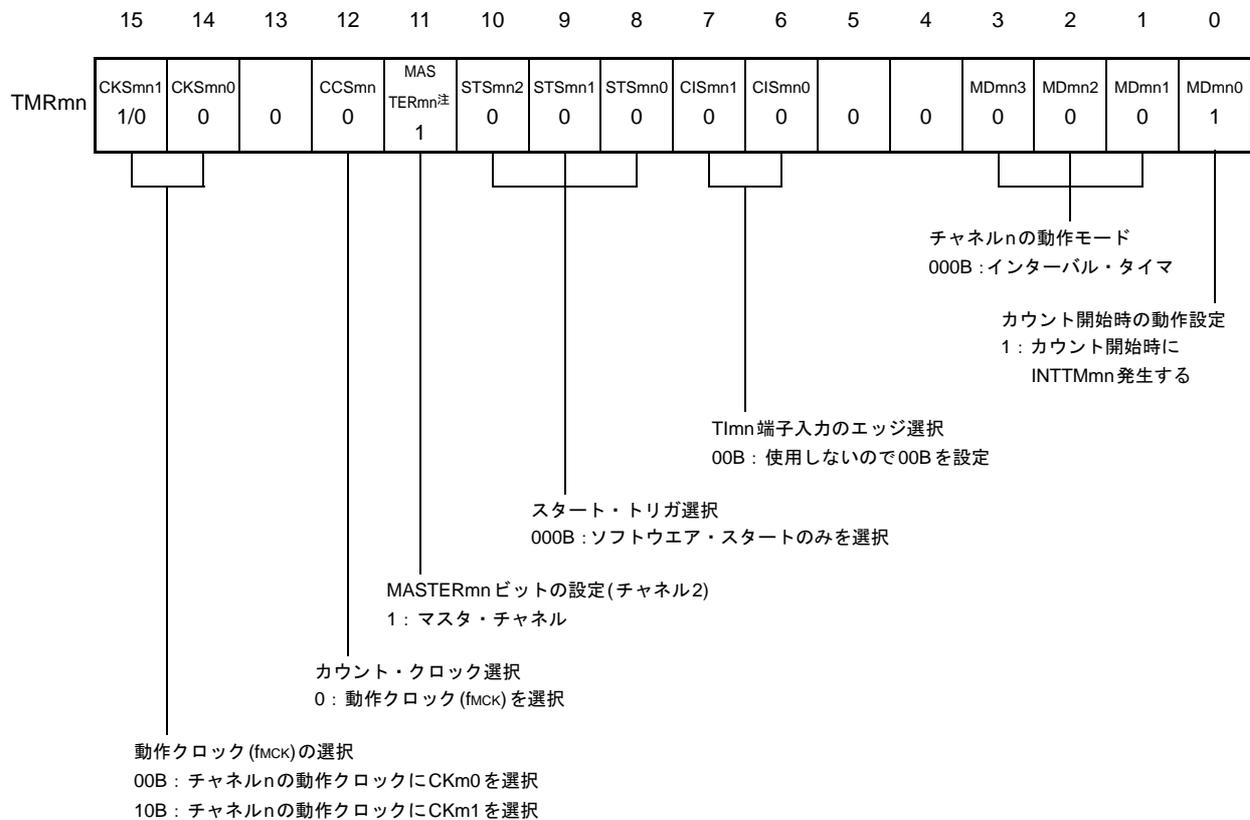
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

TOmn, TOmp : TOmn, TOmp 端子出力信号

図7-78 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

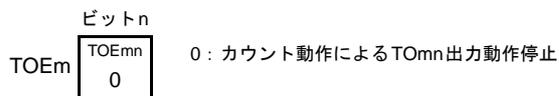
(a) タイマ・モード・レジスタ mn (TMRmn)



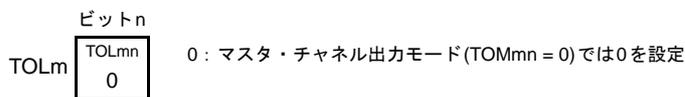
(b) タイマ出力レジスタ m (TOM)



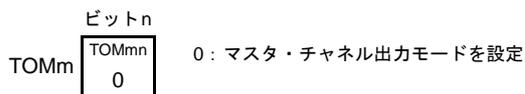
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



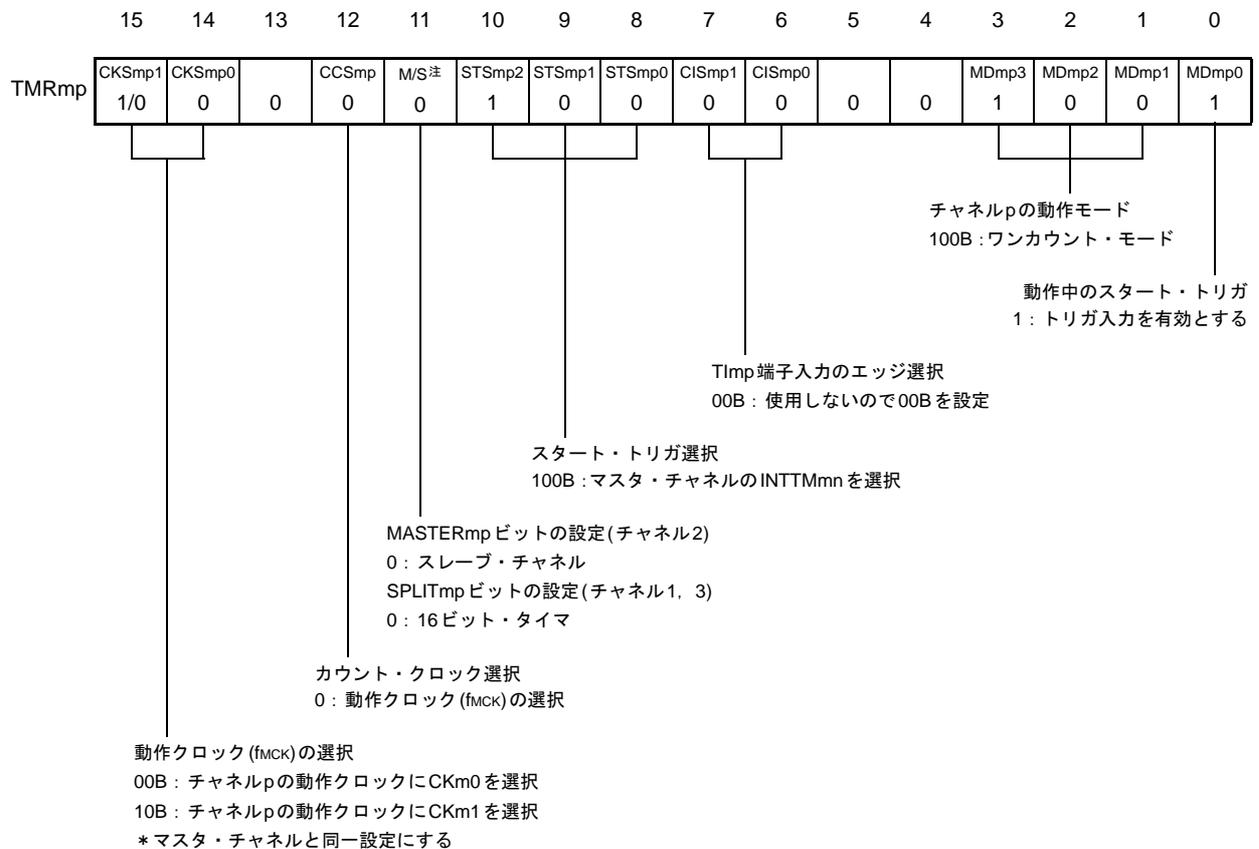
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

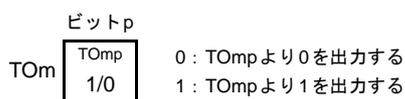
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

図7-79 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

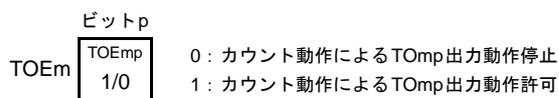
(a) タイマ・モード・レジスタ mp (TMRmp)



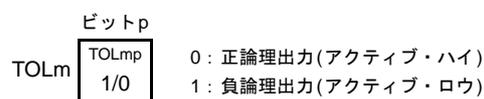
(b) タイマ出力レジスタ m (TOm)



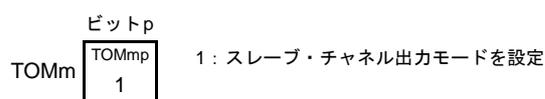
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7 - 80 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	<p>周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する</p> <p>タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する</p>	<p>タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
チャ ネル 初期 設定	<p>使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード確定)</p> <p>マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1(スレーブ・チャンネル出力モード)を設定する</p> <p>TOLmpビットを設定する</p> <p>TOmpビットを設定し, TOmp出力の初期レベルを確定する</p> <p>TOEmpビットに1を設定し, TOmpの動作を許可</p> <p>ポート・レジスタとポート・モード・レジスタに0を設定する</p>	<p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> <p>TOmp端子はHi-Z出力状態</p> <p>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。</p> <p>チャンネルは動作停止状態なので, TOmpは変化しない</p> <p>TOmp端子はTOmp設定レベルを出力</p>

(備考は次ページにあります。)

図7 - 81 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSR0p レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタはTDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する	TOmp端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット mの入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

7.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合

または TDRmq (スレーブ2)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合は、

デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000H となったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H となったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H となったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種のPWMを同時に出力できます。

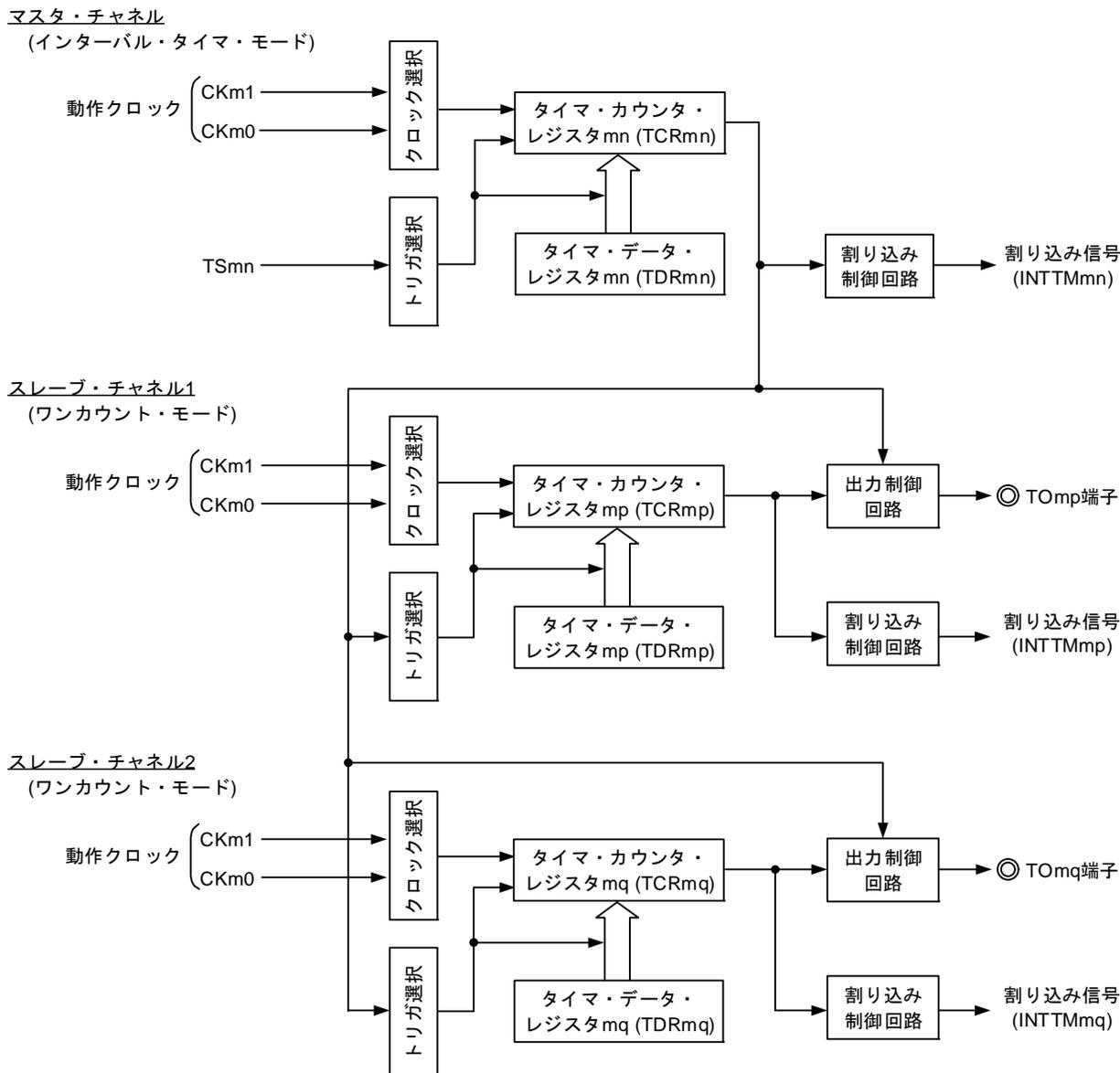
注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

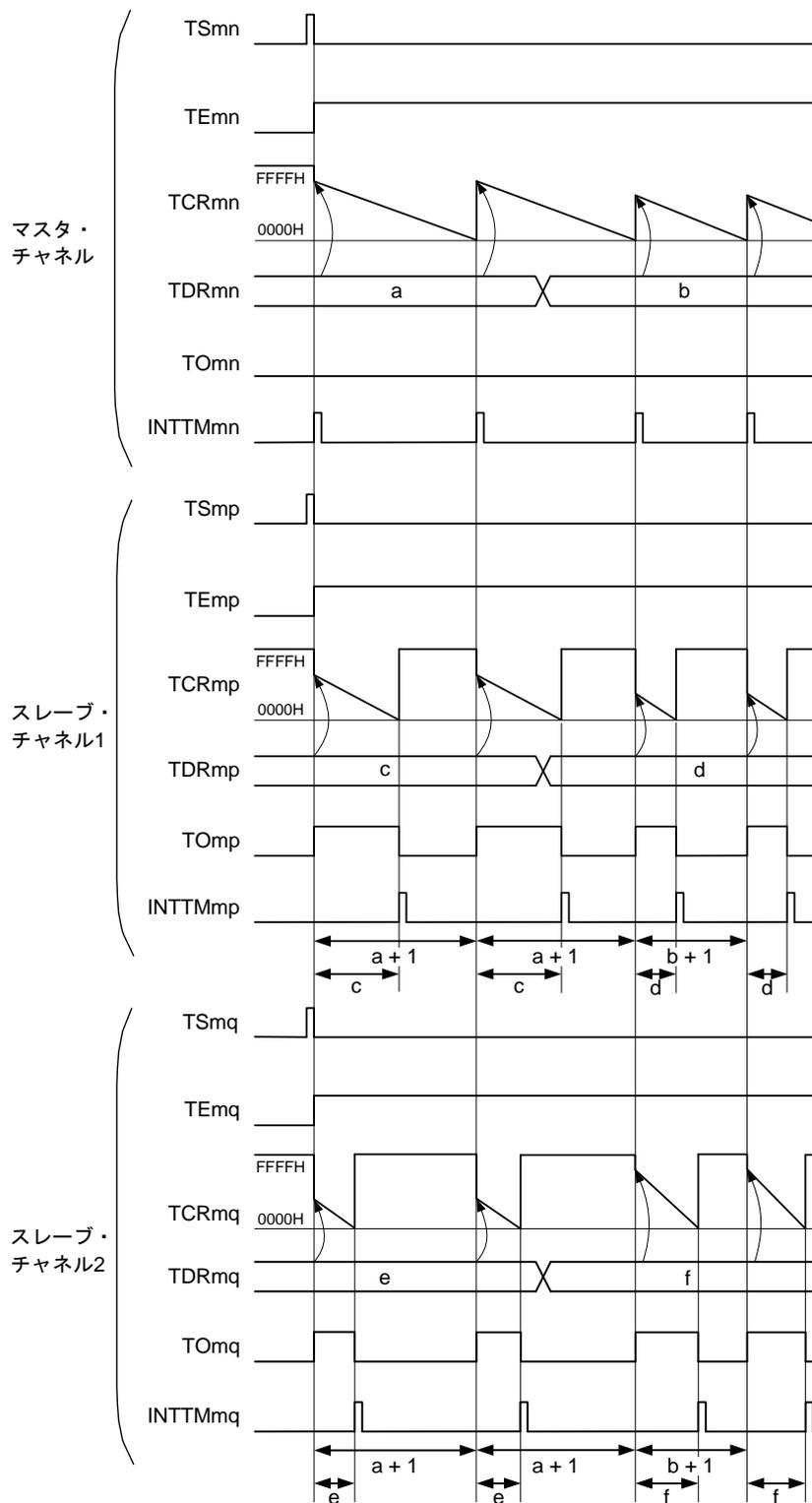
$n < p < q \leq 3$ (ただし p, q は, n 以降の整数)

図7-82 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図7 - 83 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m) のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のビット n, p, q

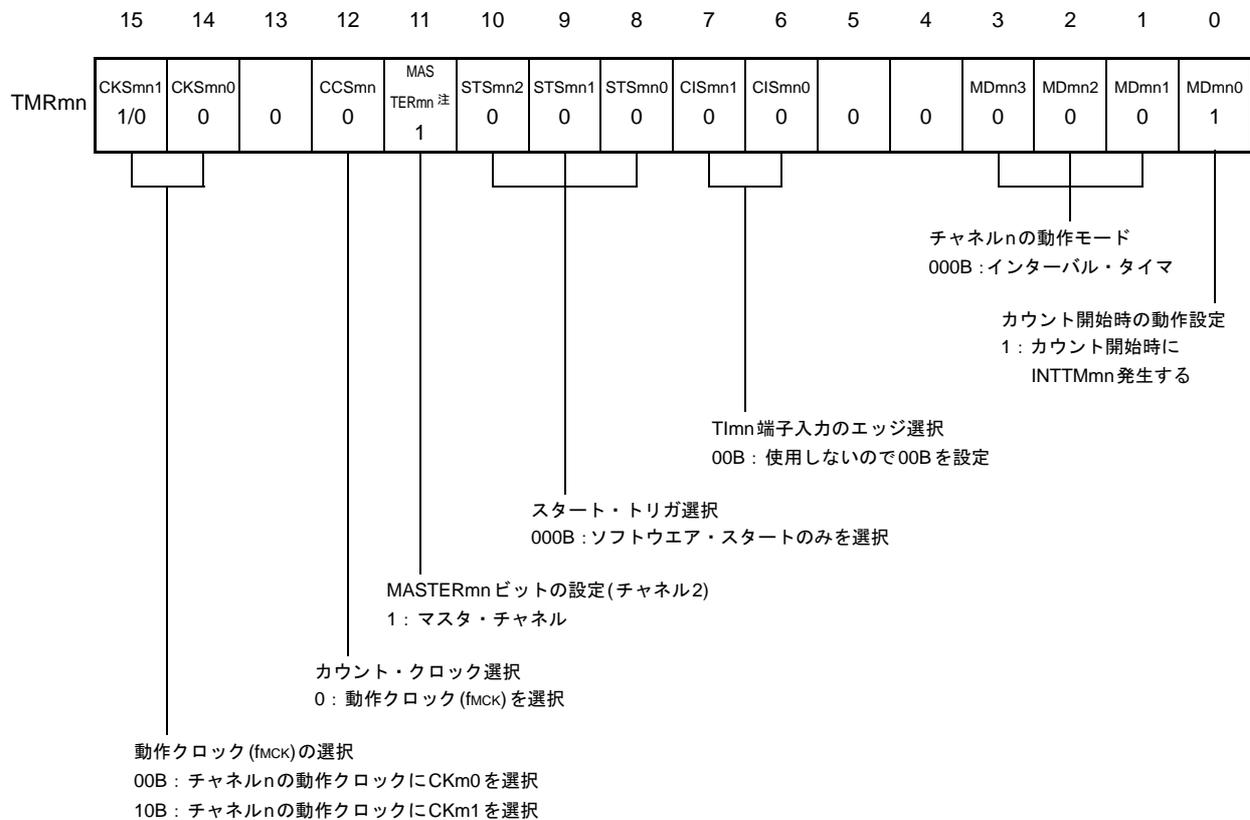
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

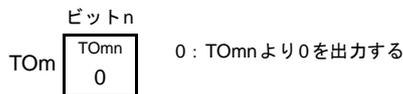
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図7-84 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

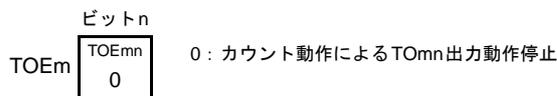
(a) タイマ・モード・レジスタ mn (TMRmn)



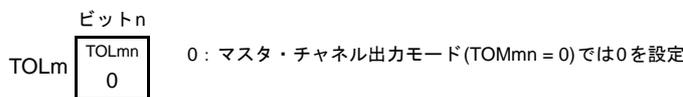
(b) タイマ出力レジスタ m (TOM)



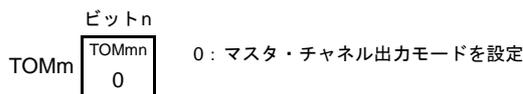
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

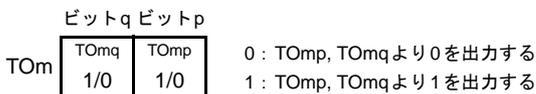
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

図7-85 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

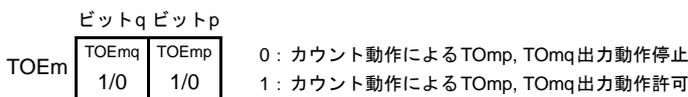
(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



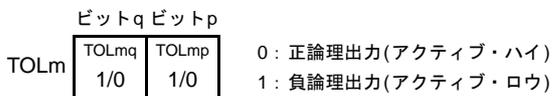
(b) タイマ出力レジスタ m (TOm)



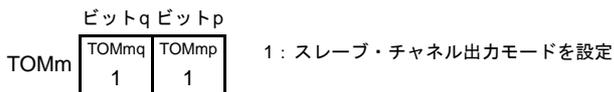
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp, MASTERmq ビット
TMRm1, TMRm3の場合 : SPLITmp, SPLITmq ビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図7 - 86 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード)を設定する TOLmp, TOLmqビットに0を設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm)のTSmn(マスタ), TSmp, TSmq(スレーブ)ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

動作再開(次ページへ)

(備考は次ページにあります。)

図7-87 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開(前ページへ)	動作中 TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp, TTmq (スレーブ)ビットに同時に1を設定する TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOmqビットに値を設定する	TEmn, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず、状態保持 TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOmqビットに0を設定する TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する	TOmp, TOmq端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmp, TOmqビットが0になり、TOmp, TOmq端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 3 (ただし p, q は, n以降の整数)

7.10 タイマ・アレイ・ユニット使用時の注意事項

7.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

第8章 リアルタイム・クロック2

8.1 リアルタイム・クロック2の機能

リアルタイム・クロック2(RTC2)には、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までをカウント可能(うるう年補正機能あり)
- 定周期割り込み機能(周期：0.5秒、1秒、1分、1時間、1日、1月)
- アラーム割り込み機能(アラーム：曜日、時、分)
- 1 Hzの端子出力機能

リアルタイム・クロック割り込み信号(INTRTC)を、STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック発振回路・RTC2他クロック($f_{SXR} = 32.768 \text{ kHz}$)を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック($f_{IL} = 15 \text{ kHz}$)を選択時は、定周期割り込み機能のみ使用できます。ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) $\times f_{SXR}/f_{IL}$ で算出される値になります。

8.2 リアルタイム・クロック2の構成

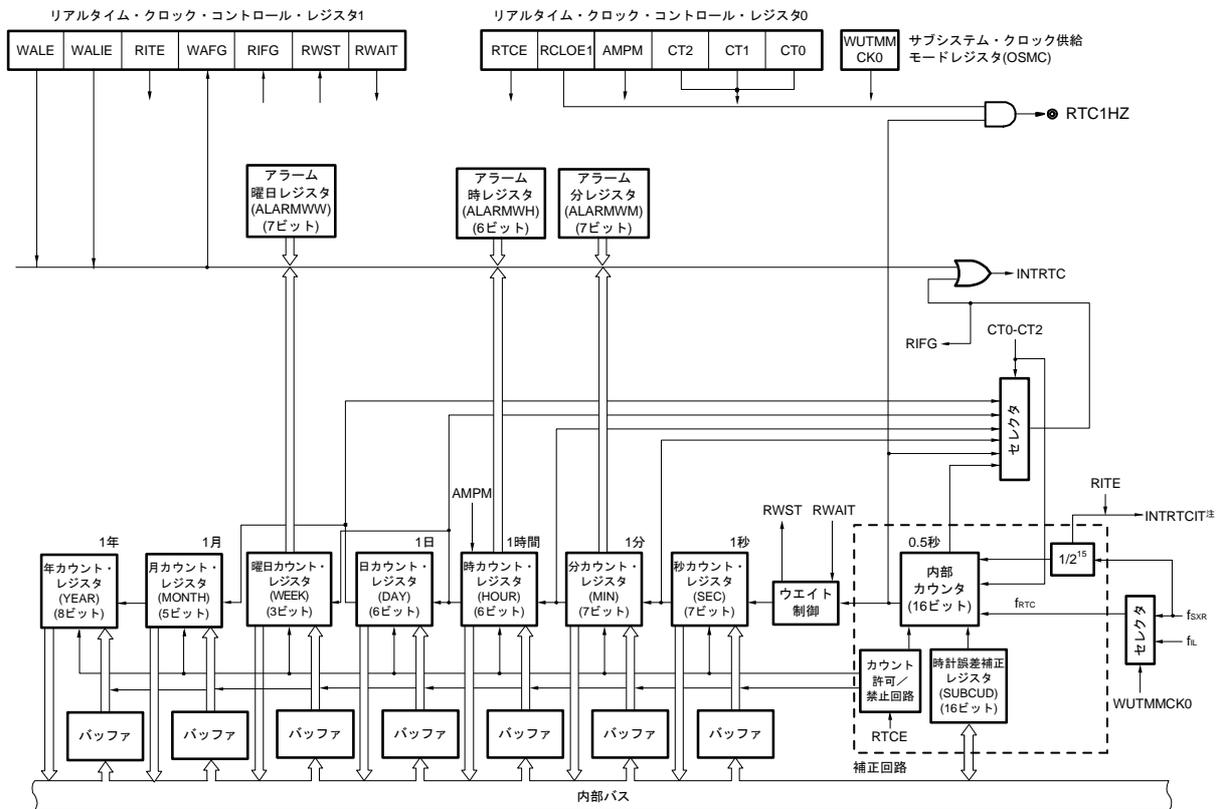
リアルタイム・クロック2は、次のハードウェアで構成されています。

表8-1 リアルタイム・クロック2の構成

項目	構成
カウンタ	カウンタ(16ビット)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	周辺イネーブル・レジスタ2 (PER2)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図8-1にリアルタイム・クロック2のブロック図を示します。

図8-1 リアルタイム・クロック2のブロック図



注 時計誤差補正レジスタ (SUBCUD) から補正值を取り込むタイミングを示す割り込みです。取り込みタイミングは 1 秒 (f_{SXR} ベース)間隔になります。

8.3 リアルタイム・クロック2を制御するレジスタ

リアルタイム・クロック2は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺イネーブル・レジスタ2 (PER2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ5 (PM5)
- ポート・レジスタ5 (P5)

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ ^{注1}	カレンダー系レジスタ ^{注2}
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1. RTCC0, RTCC1, SUBCUD

注2. SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW, (カウンタ)

リセット発生により、SEC, MIN, HOUR, WEEK, DAY, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWWレジスタはリセットされません。そのため、電源投入後は全てのレジスタを初期設定してください。

8.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロック2のレジスタを操作するときは、必ずビット7 (RTCWEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2の入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック2で使用するSFRへのライト不可 ・リアルタイム・クロック2は動作可能
1	入カクロック供給 ・リアルタイム・クロック2で使用するSFRへのリード/ライト可 ・リアルタイム・クロック2は動作可能

注意1. 時計誤差補正レジスタ (SUBCUD)は、周辺イネーブル・レジスタ0 (PER0)のRTCWEN=1または、周辺イネーブル・レジスタ1 (PER1)のFMCEN = 1を設定することでリード/ライトが可能となります。

注意2. リアルタイム・クロック2を使用する際には、カウント・クロック (fRTC) が発振安定した状態で、必ず最初にRTCWEN = 1に設定してから下記のレジスタの設定を行ってください。RTCWEN = 0の場合は、リアルタイム・クロック2の制御レジスタへの書き込みは無視され、読み出し値はRTCWEN = 1に設定した値となります。(サブシステム・クロック供給モード制御レジスタ (OSMC)は除く。)

- ・リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

注意3. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6

8.3.2 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

ビット6 (FMCEN)を1に設定することで、リアルタイム・クロック2を制御するレジスタのうち、時計誤差補正レジスタ (SUBCUD)を設定可能になります。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	FMCEN	DOCEN	0	0	0	0	0

FMCEN	周波数測定回路の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> 周波数測定回路で使用するSFRへのライト不可 リアルタイム・クロック2で使用するSUBCUDレジスタへのライト不可 周波数測定回路はリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> 周波数測定回路で使用するSFRへのリード/ライト可 リアルタイム・クロック2で使用するSUBCUDレジスタへのリード/ライト可

注意1. 時計誤差補正レジスタ (SUBCUD)は、周辺イネーブル・レジスタ0 (PER0)のRTCWEN = 1または、周辺イネーブル・レジスタ2 (PER2)のFMCEN = 1のどちらかを設定することでリード/ライトが可能となります。

注意2. ビット0-4には必ず“0”を設定してください。

8.3.3 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力/ブザー出力制御回路以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、周波数測定回路、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力/ブザー出力制御回路の動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定になります。

図8-4 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 不定 R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	x	x	0	0
RTCLPC ^{注7}	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表23-1～表23-4参照)							
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、 クロック出力/ブザー出力制御回路以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMCK0	リアルタイム・クロック2、周波数測定回路、12ビット・インターバル・タイマ、 8ビット・インターバル・タイマ、クロック出力/ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロック ^{注2}							
1	低速オンチップ・オシレータ・クロック ^{注3, 4, 5, 6}							
FMTRGSEL ^{注10}	WUTMMCK0	周波数測定回路カウント動作/停止トリガクロック、 リアルタイム・クロック2動作クロック選択						
0	0	周波数測定回路/リアルタイム・クロック2はfsxを選択						
0	1	リアルタイム・クロック2はfLを選択(定周期割り込み機能) ^{注8}						
1	0	設定禁止						
1	1	周波数測定回路はfLを選択 ^{注9}						

注1. ビット0,1,5,6には、必ず0を設定してください。ビット2,3はRead Onlyです。書き込みは無視されます。

注2. WUTMMCK0ビットが“0”でかつFMCKSレジスタのFMTRGSELビットを“1”とする設定は禁止です。

注3. サブ・クロック発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

注4. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、周波数測定回路、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力/ブザー出力機能の全ての機能が停止中のみ可能です。

注5. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“0”とした場合にリアルタイム・クロック2の動作クロックとしてfLが選択可能となります。また、このときのリアルタイム・クロック2は定周期割り込み機能のみ使用可能であり、時計カウント機能は使用できません。

注6. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“1”とした場合に周波数測定回路の動作クロックとしてfL/2が選択可能となります。

注7. CKSELレジスタのビット0 (SELLOSC)によりサブ・クロックを選択(SELLOSC = 0)してRTCLPC = 1とした場合、サブシステム・クロックは停止しますが、低速オンチップ・オシレータ・クロックを選択(SELLOSC = 1)してRTCLPC = 1とした場合、サブシステム・クロックは停止しません。

注8. 周波数測定機能は使用できません。

注9. リアルタイム・クロック2は使用できません。

注10. 周波数測定回路クロック選択レジスタ (FMCKS)のビット4

備考 x : 不定

8.3.4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック2動作の開始／停止，12/24時間制，定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により，00Hになります。

図8-5 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0
RTCE注1	リアルタイム・クロック2の動作制御							
0	カウンタ動作停止							
1	カウンタ動作開始							
RCLOE1注2	RTC1HZ端子の出力制御							
0	RTC1HZ端子の出力(1 Hz)禁止							
1	RTC1HZ端子の出力(1 Hz)許可							
RTC E = 0の時は時計カウンタが動作しないため、1 Hz出力は出力されません。								
AMPM	12時間制/24時間制の選択							
0	12時間制(午前/午後を表示する)							
1	24時間制							
<ul style="list-style-type: none"> • AMPMビットの値を時計カウンタ動作中(RTCE = 1)に変更する場合は、RWAITビット(リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のビット0) = 1にしてから書き換えてください。AMPMビットの値を変更すると、時カウント・レジスタ(HOUR)の値は設定した時間制に対応した値に変更されます。 • 時間桁表示を表8-3に示します。 								
CT2	CT1	CT0	定周期割り込み(INTRTC)の選択					
0	0	0	定周期割り込み機能を使用しない					
0	0	1	0.5秒に1度(秒カウントアップに同期)					
0	1	0	1秒に1度(秒カウントアップと同時)					
0	1	1	1分に1度(毎分00秒)					
1	0	0	1時間に1度(毎時00分00秒)					
1	0	1	1日に1度(毎日00時00分00秒)					
1	1	x	1月に1度(毎月1日午前00時00分00秒)					
カウンタ動作中(RTCE = 1)にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。								

表8-2 RTCE, RCLOE1の設定値と状態の関係

レジスタ設定値		状態	
RTCE	RCLOE1	リアルタイム・クロック2の状態	RTC1HZ端子出力
0	x	カウント停止	出力しない
1	0	カウント動作	出力しない
	1	カウント動作	1 Hz出力

注1. RTCE = 1に設定直後にSTOPモードに移行する場合は、図8-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順にしたがってSTOPモードに移行してください。

注2. 時計カウンタ動作中(RTCE = 1)にRCLOE1ビットの設定を行った場合、1 Hz出力端子(RTC1HZ)にグリッチが出力する可能性があります。

注意 ビット6, 4には必ず“0”を設定してください。

備考 x : don't care

8.3.5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00Hになります。

図8-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(1/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT
WALE	アラームの動作制御							
0	一致動作無効							
1	一致動作有効							
カウンタ動作中(RTCE = 1)かつWALIE = 1の時にWALEビットへ設定する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RTCIFフラグをクリアしてください。アラームの各レジスタ(RTCC1レジスタのWALIEフラグ、アラーム分レジスタ(ALARMWM)、アラーム時レジスタ(ALARMWH)、アラーム曜日レジスタ(ALARMWW))を設定する場合、WALEビットを一致動作無効"0"にしてください。								
WALIE	アラーム割り込み(INTRTC)機能の動作制御							
0	アラームの一致による割り込みを発生しない							
1	アラームの一致による割り込みを発生する							

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT
	RITE	補正タイミング信号割り込み (INTRTIT) 機能の動作制御						
	0	補正タイミング信号割り込みを発生しない						
	1	補正タイミング信号割り込みを発生する						
	WAFG	アラーム検出ステータス・フラグ						
	0	アラーム不一致						
	1	アラーム一致検出						
	アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、1クロック (32.768 kHz) 後に“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。							
	RIFG	定周期割り込みステータス・フラグ						
	0	定周期割り込み発生なし						
	1	定周期割り込み発生あり						
	定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。							

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFG フラグ、WAFG フラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFG フラグ、WAFG フラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFG フラグ、WAFG フラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

図8-8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RWST	リアルタイム・クロック2のウェイト状態フラグ
0	カウンタ動作
1	カウンタ値読み出し、書き込みモード中
RWAITビットの設定が有効であることを示すステータス・フラグです。 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとで行ってください。 RWAITビットに0を設定しても、カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後、0になります。	

RWAIT	リアルタイム・クロック2のウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード
カウンタの動作を制御します。 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。 カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。 アラーム割り込みを使用するときに、カウンタの読み出し/書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B(1秒毎に定周期割り込み発生)にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大f _{RTC} の1クロックの時間がかかります。注1,注2 内部カウンタ(16ビット)のオーバフローがRWAIT = 1の時に起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。	

注1. RTCE = 1に設定した後、f_{RTC}の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、f_{RTC}の1クロック時間内で、RWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ(SEC)へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

8.3.6 秒カウント・レジスタ (SEC)

0-59 (10進)までの値を取り、秒のカウント値を示す8ビットのレジスタです。

カウンタ(16ビット)からのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ、最大fRTCの2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-9 秒カウント・レジスタ (SEC)のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 時計カウンタ動作中(RTCE = 1)に、SECをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

備考 秒カウント・レジスタ (SEC)へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

8.3.7 分カウント・レジスタ (MIN)

0-59 (10進)までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-10 分カウント・レジスタ (MIN)のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 時計カウンタ動作中(RTCE = 1)に、MINをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.8 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進)までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM)で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 11 時カウント・レジスタ (HOUR)のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5 (HOUR20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

注意2. 時計カウンタ動作中 (RTCE = 1)に、HOURをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

AMPMビットの設定値、および時カウント・レジスタ (HOUR) 値と時間の関係を表8-3に示します。

表8-3 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOUR レジスタ	時間	HOUR レジスタ
0時	00 H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOUR レジスタ値は、AMPMビットが“0”のときに12時間表示、“1”のときに24時間表示となります。

12時間表示の場合は、HOUR レジスタの5ビット目で午前/午後を表示し、午前 (AM) のときに0に、午後 (PM) のときに1となります。

8.3.9 日カウント・レジスタ (DAY)

1-31 (10進)までの値を取り、日のカウント値を示す8ビットのレジスタです。
時カウンタからのオーバフローによりカウント・アップする10進カウンタです。
カウンタは、次に示すようにカウントします。

[DAYのカウント値]

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 12 日カウント・レジスタ (DAY)のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 時計カウンタ動作中(RTCE = 1)に、DAYをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.10 曜日カウント・レジスタ (WEEK)

0-6 (10進)までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタへの桁上げ時にカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-13 曜日カウント・レジスタ (WEEK)のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK)には、月カウント・レジスタ (MONTH)および日カウント・レジスタ (DAY)に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00 H
月	01 H
火	02 H
水	03 H
木	04 H
金	05 H
土	06 H

注意2. 時計カウンタ動作中 (RTCE = 1)に、WEEKをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.11 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進)までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 14 月カウント・レジスタ (MONTH)のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 時計カウンタ動作中(RTCE = 1)に、MONTHをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.12 年カウント・レジスタ (YEAR)

0-99 (10進)までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH)からのオーバフローによりカウント・アップする10進カウンタです。

00, 04, 08, …, 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 15 年カウント・レジスタ (YEAR)のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 時計カウンタ動作中(RTCE = 1)に、YEARをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.13 時計誤差補正レジスタ (SUBCUD)

時計誤差補正レジスタ (SUBCUD) は、カウンタの値を毎秒ごとに補正することにより、時計の進みや遅れを最小分解能0.96 ppm精度で補正することができるレジスタです。

SUBCUDのF8-F0は9 bitの固定小数点形式(2の補数形式)レジスタです。詳細は、表8-5 時計誤差補正值を参照してください。

SUBCUDレジスタは、16ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、0020Hになります。

図8-16 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : F0310H リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBCUD	F15	0	0	0	0	0	0	F8	F7	F6	F5	F4	F3	F2	F1	F0
	F15	時計誤差補正許可														
	0	時計誤差補正停止														
	1	時計誤差補正許可														

時計誤差補正レジスタ (SUBCUD) による水晶振動子の発振周波数偏差の補正可能範囲を表8-4に示します。

表8-4 水晶振動子の発振周波数偏差の補正可能範囲

項目	値
補正可能範囲	-274.6 ppm ~ +212.6 ppm
最大量子化誤差	±0.48 ppm
最小分解能	0.96 ppm

表8-5 時計誤差補正值

SUBCUD										ターゲット補正值	
F15	F8	F7	F6	F5	F4	F3	F2	F1	F0		
1	1	0	0	0	0	0	0	0	0	-274.6 ppm	
	1	0	0	0	0	0	0	0	1	-273.7 ppm	
	1	0	0	0	0	0	0	1	0	-272.7 ppm	

	1	1	1	1	1	1	1	1	0	1	-33.3 ppm
	1	1	1	1	1	1	1	1	1	0	-32.4 ppm
	1	1	1	1	1	1	1	1	1	1	-31.4 ppm
	0	0	0	0	0	0	0	0	0	0	-30.5 ppm
	0	0	0	0	0	0	0	0	0	1	-29.6 ppm
	0	0	0	0	0	0	0	0	1	0	-28.6 ppm

	0	0	0	0	1	1	1	1	1	1	-0.95 ppm
	0	0	0	1	0	0	0	0	0	0	0 ppm
	0	0	0	1	0	0	0	0	0	1	0.95 ppm

.	
0	1	1	1	1	1	1	1	0	1	210.7 ppm	
0	1	1	1	1	1	1	1	1	0	211.7 ppm	
0	1	1	1	1	1	1	1	1	1	212.6 ppm	
0	x	x	x	x	x	x	x	x	x	時計誤差補正停止	

SUBCUDレジスタのF8-F0値は、ターゲット補正值から次の計算式で算出してください。

$$SUBCUD[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{15}}{10^6} \right]_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000B$$

注意 ターゲット補正值とは、水晶振動子の発振周波数偏差(単位は[ppm])を示します。ターゲット補正值の算出方法については、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

例1. ターゲット補正值 = 18.3 [ppm]の場合

$$\begin{aligned} SUBCUD[8:0] &= (18.3 \times 2^{15}/10^6)_{2\text{の補数}(9\text{ bit固定小数点形式})} + 0001.00000B \\ &= (0.59375)_{2\text{の補数}(9\text{ bit固定小数点形式})} + 0001.00000B \\ &= 0000.10011B + 0001.00000B \\ &= 0001.10011B \end{aligned}$$

例2. ターゲット補正值 = -18.3 [ppm]の場合

$$\begin{aligned}\text{SUBCUD}[8:0] &= (-18.3 \times 2^{15}/10^6) \text{ 2の補数(9 bit固定小数点形式)} + 0001.00000\text{B} \\ &= (-0.59965) \text{ 2の補数(9 bit固定小数点形式)} + 0001.00000\text{B} \\ &= 1111.01101\text{B} + 0001.00000\text{B} \\ &= 0000.01101\text{B}\end{aligned}$$

8.3.14 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-17 アラーム分レジスタ (ALARMWM)のフォーマット

アドレス : FFF9AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

注意 注意設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

8.3.15 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-18 アラーム時レジスタ (ALARMWH)のフォーマット

アドレス : FFF9BH リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意1. 注意設定する値は10進の00～23または01～12、21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

注意2. ALARMWHレジスタのビット5 (WH20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

8.3.16 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 19 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス : FFF9CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

表8 - 6にアラーム時刻の設定例を示します。

表8 - 6 アラーム時刻の設定例

アラーム設定時刻	曜日							12時間表示				24時間表示				
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分	
	W	W	W	W	W	W	W									
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0	
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9	
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0	
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0	
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9	

8.3.17 リアルタイム・クロック出力端子のポート機能を制御するレジスタ

リアルタイム・クロック出力機能として使用する時は、対象チャンネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx) を参照してください。

リアルタイム・クロック出力端子を兼用するポート (P50/RTC1HZ) をリアルタイム・クロック出力として使用するときは、ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P50/RTC1HZをリアルタイム・クロック出力として使用する場合

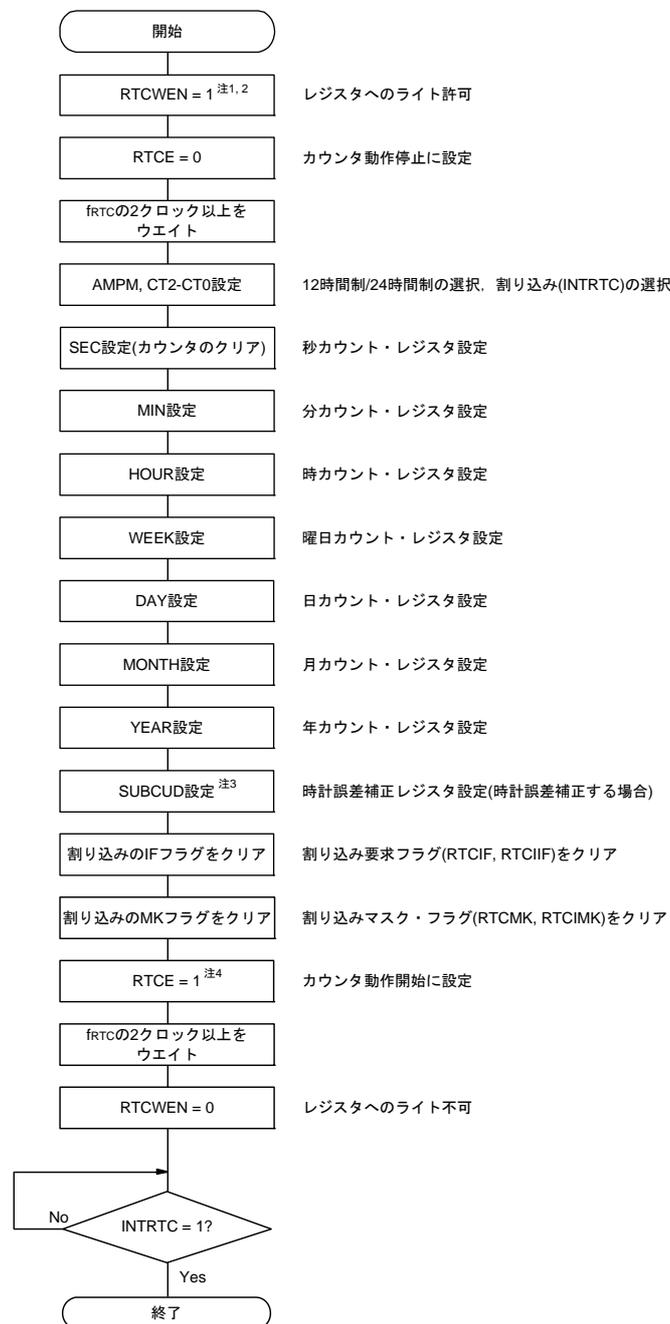
ポート・モード・レジスタ5のPM50ビットを0に設定

ポート・レジスタ5のP50ビットを0に設定

8.4 リアルタイム・クロック2の動作

8.4.1 リアルタイム・クロック2の動作開始

図8-20 リアルタイム・クロック2の動作開始手順



注1. RTCレジスタへのアクセス時以外は、時計カウント誤書き込みを防止するためにRTCWEN = 0に設定してください。

注2. カウント・クロック (fRTC) が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。

注3. 時計誤差補正する必要がある場合のみ。補正值の算出方法は、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

注4. RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、8.4.2 動作開始後のHALT/STOPモードへの移行の手順を確認してください。

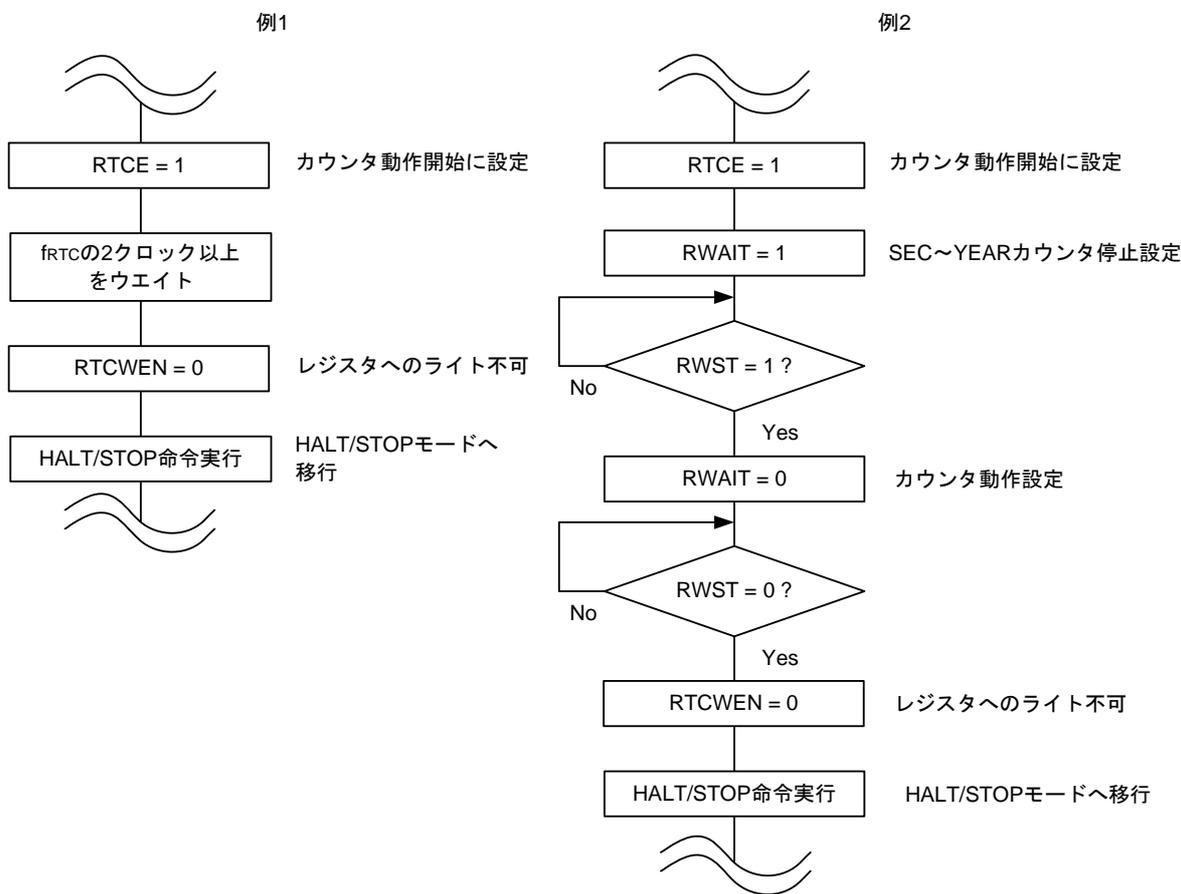
8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- (1) RTCE = 1に設定してから、カウント・クロック (f_{RTC})の2クロック分以上経過後にHALT/STOPモードへ移行する(図8-21 例1参照)。
- (2) RTCE = 1に設定後、R_{WAIT} = 1に設定し、R_{WST}ビットが1になるのをポーリングで確認する。それから、R_{WAIT} = 0に設定し、R_{WST}ビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する(図8-21 例2参照)。

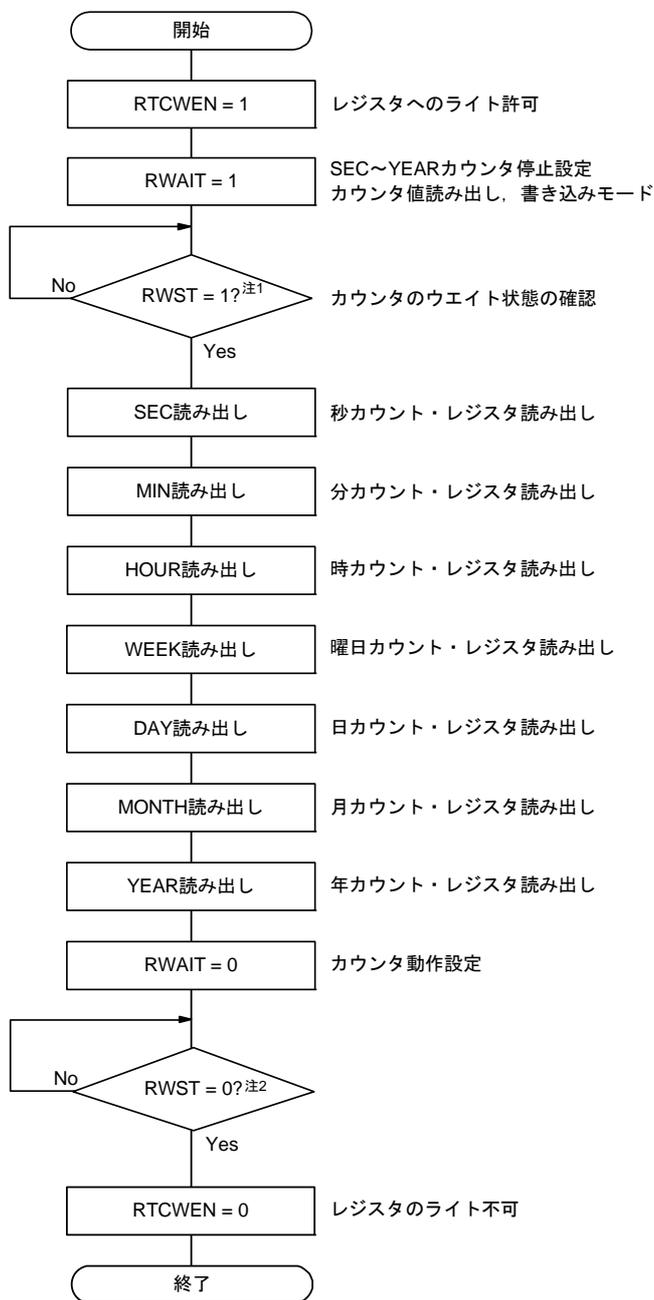
図8-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順



8.4.3 リアルタイム・クロック2のカウンタ読み出し

カウンタ動作時(RTCE = 1)のカウンタの読み出しは、最初にRWAIT = 1にしてから行ってください。
カウンタの読み出し終了後は、RWAIT = 0にしてください。

図8-22 リアルタイム・クロック2の読み出し手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。

注2. STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

(注意、備考は次ページに続きます)

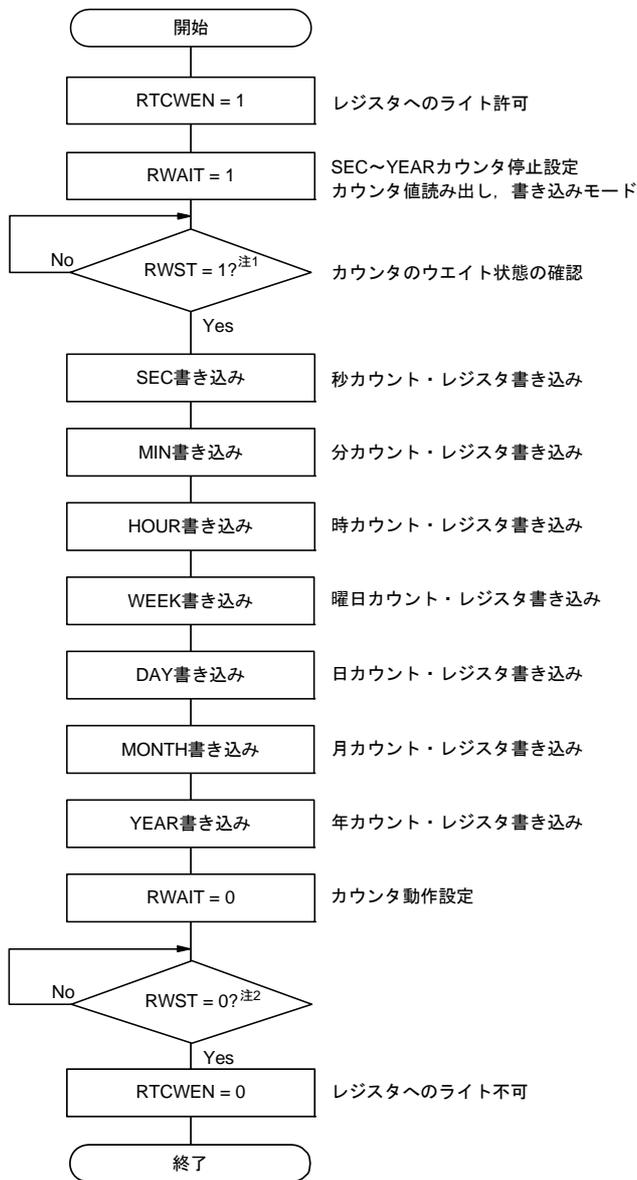
注意 RWAIT = 1 から RWAIT = 0 とするまでの処理を1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出ししても構いません。

8.4.4 リアルタイム・クロック2のカウンタ書き込み

カウンタ動作時(RTCE = 1)のカウンタの書き込みは、最初にRWAIT = 1にしてから行ってください。
 カウンタの書き込み終了後は、RWAIT = 0にしてください。

図8-23 リアルタイム・クロック2の書き込み手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。
 注2. STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

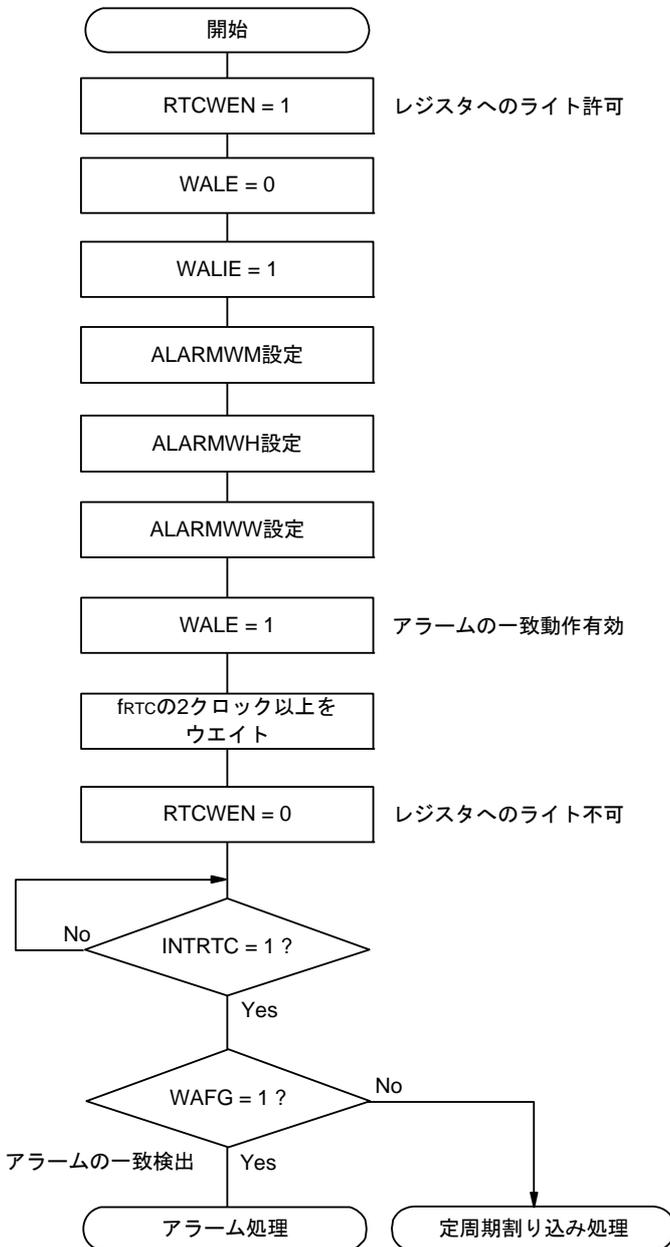
(注意、備考は次ページに続きます)

- 注意1. RWAIT = 1からRWAIT = 0とするまでの処理を1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。
- 注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。
- 備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

8.4.5 リアルタイム・クロック2のアラーム設定

アラーム時刻設定は、最初にWALE = 0 (アラーム動作無効)にしてから行ってください。

図8 - 24 アラーム設定手順

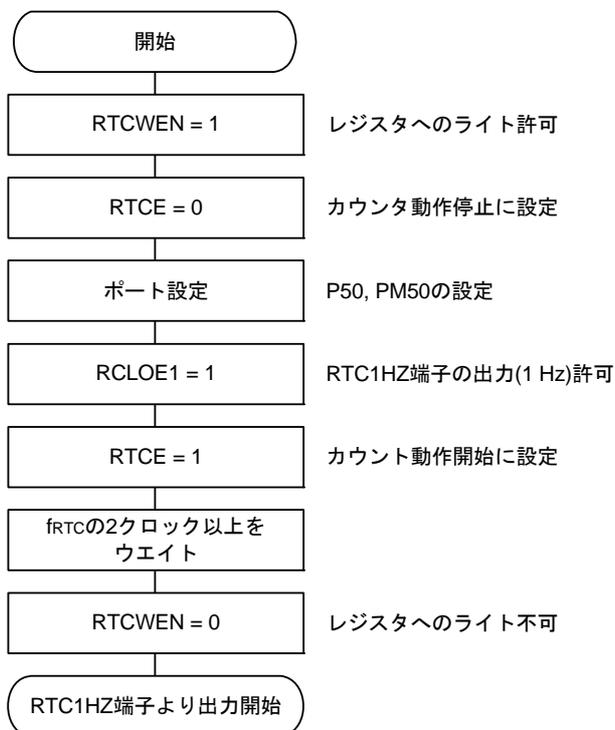


備考1. ALARMWWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

8.4.6 リアルタイム・クロック2の1 Hz出力

図8 - 25 1 Hz出力の設定手順



注意 20ピン, 24ピン, 30ピン, 32ピンの製品はリアルタイム・クロック2の1 Hz出力機能はありません。

8.4.7 時計誤差補正レジスタの設定手順

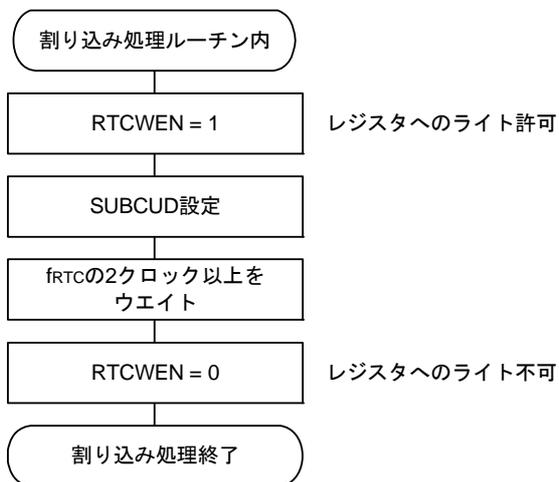
時計誤差補正レジスタ (SUBCUD) を設定する場合は、次のどちらかの処理を行ってください。

時計レジスタへの誤書き込みを防止するため、SUBCUDレジスタの書き換えは(2) FMCENによるライト許可を推奨します。

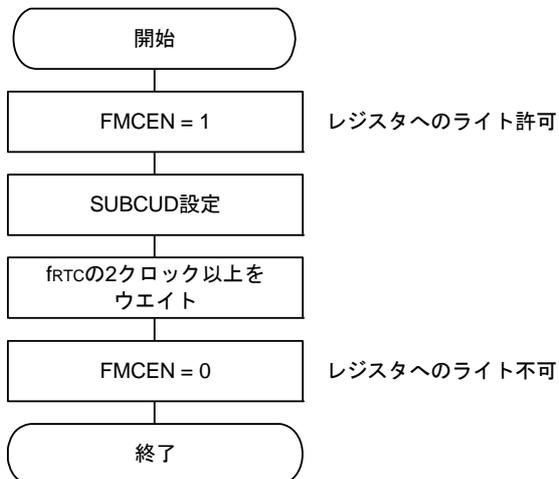
時計誤差補正レジスタ (SUBCUD) の書き換えと補正タイミングとが競合した場合、RTC2の補正が正常に行われない場合があります。補正タイミングとSUBCUDレジスタの書き換えの競合を避けるために、SUBCUDレジスタの書き換えは、必ず補正タイミングに同期して発生する補正タイミング割り込み (INTRTIT) または定周期割り込み (INTRTC) の発生を起点にし、次の補正タイミングが発生する前 (約0.5秒以内) に完了させてください。

注意 補正タイミング信号割り込み (INTRTIT) 発生から、割り込み応答およびSUBCUD設定までを1秒以内 (毎秒補正の次のタイミングまで) に完了させてください。

- (1) RTCWEN = 1に設定後に、時計誤差補正レジスタを設定。その後、RTCWEN = 0に設定してください。



- (2) FMCEN = 1に設定後に、時計誤差補正レジスタを設定。その後、FMCEN = 0に設定してください。



8.4.8 リアルタイム・クロック2の時計誤差補正例

時計誤差補正レジスタ(SUBCUD)に値を設定することにより、毎秒ごとに時計の進みや遅れを最小分解能0.96 ppm精度で補正できます。

次に、ターゲット補正値の算出方法と、ターゲット補正値から時計誤差補正レジスタのF8-F0値を算出する方法を示します。

ターゲット補正値の算出方法1

(RTC1HZ端子の出力周波数を使用する場合)

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ(SUBCUD)のF15が“0” (時計誤差補正停止)のときにRTC1HZ端子から1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、8.4.6 リアルタイム・クロック2の1 Hz出力を参照してください。

【ターゲット補正値の算出】

(RTC1HZからの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \approx 32767.40 \text{ Hz}$$

ターゲット周波数を32768 Hzとすると、ターゲット補正値は、

$$\begin{aligned} \text{ターゲット補正値} &= (\text{発振周波数} - \text{ターゲット周波数}) \div \text{ターゲット周波数} \\ &= (32767.40 - 32768.00) \div 32768.00 \\ &\approx -18.3 \text{ ppm} \end{aligned}$$

備考1. 発振周波数とは、入力クロック (f_{RTC}) の値です。時計誤差補正停止時のRTC1HZ出力周波数×32768で求めることができます。

備考2. ターゲット補正値とは、水晶振動子の発振周波数偏差(単位は [ppm]) です。

備考3. ターゲット周波数とは、時計誤差補正を行った後の周波数です。

ターゲット補正値の算出方法2

(周波数測定回路を使用する場合)

【発振周波数の測定】

各製品の発振周波数^注を、周波数測定回路を使用して測定します。発振周波数は次の計算式により計算できません。

$$\text{発振周波数} = \frac{\text{fMX周波数 [Hz]} \times \text{動作トリガ分周比}}{(\text{周波数測定カウンタ・レジスタH, L (FMCRLH, FMCRL)値})^{10進}} \text{ [Hz]}$$

注 周波数測定回路の動作手順は、9.4.1 基準クロックによる周波数測定回路の設定を参照してください。

【ターゲット補正値の算出】

(周波数測定カウンタレジスタH, Lの値が9999060Dの場合)

- 高速システム・クロック周波数 (fMX) = 10 MHz
- 周波数測定コントロール・レジスタのFMDIV2-FMDIV0 = 111B (動作トリガ分周比 = 2¹⁵)

のとき、発振周波数は、

$$\begin{aligned} \text{発振周波数} &= \text{fMX周波数 [Hz]} \times \text{動作トリガ分周比} \div (\text{FMCRLH, FMCRL}) \text{値} \\ &= 10 \times 10^6 \times 2^{15} \div 9999060D \\ &= 32771.0804816 \text{ Hz} \end{aligned}$$

ターゲット周波数を32768 Hzとすると、ターゲット補正値は、

$$\begin{aligned} \text{ターゲット補正値} &= \text{発振周波数} \div \text{ターゲット周波数} - 1 \\ &= 32771.0804816 \div 32768 - 1 \\ &\approx 94.0 \text{ ppm} \end{aligned}$$

備考1. 動作トリガ分周比とは、周波数測定コントロールレジスタのFMDIV2-FMDIV0で設定するfSUBの分周比です。FMDIV2-FMDIV0 = 000B時、動作トリガ分周比は28、FMDIV2-FMDIV0 = 111B時、動作トリガ分周比は2¹⁵となります。

備考2. ターゲット補正値とは、水晶振動子の発振周波数偏差(単位は [ppm])です。

備考3. ターゲット周波数とは、時計誤差補正を行った後の周波数です。

時計誤差補正レジスタ (SUBCUD) の F8-F0 値の算出方法

SUBCUD レジスタの F8-F0 値は、ターゲット補正值から次の計算式で算出できます。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{15}}{10^6} \right]_{\text{2の補数(9bit固定小数点形式)}} + 0001.00000\text{B}$$

例1. ターゲット補正值 = -18.3 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (-18.3 \times 2^{15}/10^6) \text{ 2の補数(9 bit固定小数点形式)} + 0001.00000\text{B} \\ &= (-0.59965) \text{ 2の補数(9 bit固定小数点形式)} + 0001.00000\text{B} \\ &= 1111.01101\text{B} + 0001.00000\text{B} \\ &= 0000.01101\text{B} \end{aligned}$$

例2. ターゲット補正值 = 94.0 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (94.0 \times 2^{15}/10^6) \text{ 2の補数(9 bit固定小数点形式)} + 0001.00000\text{B} \\ &= (+3.08019) \text{ 2の補数(9 bit固定小数点形式)} + 0001.00000\text{B} \\ &= 0011.00011\text{B} + 0001.00000\text{B} \\ &= 0100.00011\text{B} \end{aligned}$$

第9章 周波数測定回路

9.1 周波数測定回路

周波数測定回路は、基準クロックを外部から入力することで、サブシステム・クロック発振回路・RTC2他クロック (fsXR) または低速オンチップオシレータ・クロック (fIL) の周波数測定を行うことができる機能です。

9.2 周波数測定回路の構成

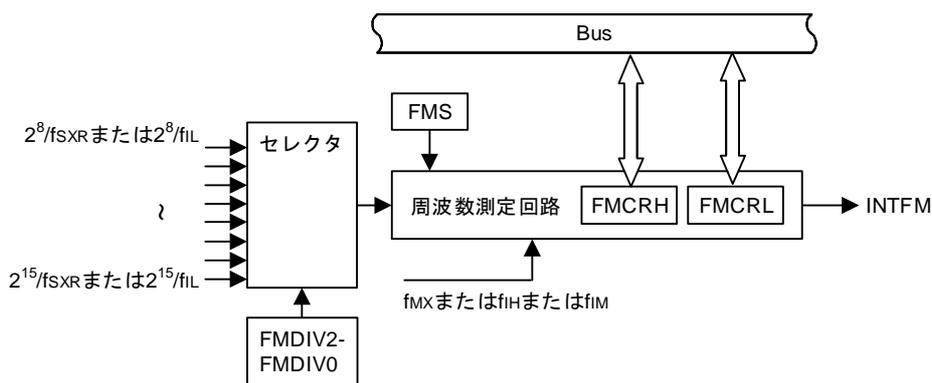
周波数測定回路は、次のハードウェアで構成されています。

表9 - 1 周波数測定回路の構成

項目	構成
カウンタ	カウンタ (32ビット)
制御レジスタ	周辺イネーブル・レジスタ2 (PER2)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	周波数測定カウント・レジスタL (FMCRL)
	周波数測定カウント・レジスタH (FMCRH)
	周波数測定コントロール・レジスタ (FMCTL)
	周波数測定回路クロック選択レジスタ (FMCKS)

図9 - 1に周波数測定回路のブロック図を示します。

図9 - 1 周波数測定回路のブロック図



9.3 周波数測定回路を制御するレジスタ

周波数測定回路は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ2 (PER2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 周波数測定カウント・レジスタL (FMCRL)
- 周波数測定カウント・レジスタH (FMCRH)
- 周波数測定コントロール・レジスタ (FMCTL)
- 周波数測定回路クロック選択レジスタ (FMCKS)

9.3.1 周辺イネーブル・レジスタ 2 (PER2)

PER2 レジスタは、周波数測定回路で使用するレジスタへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

ビット6 (FMCEN) を1に設定することで、周波数測定回路を制御するレジスタおよび、リアルタイム・クロック2を制御するレジスタのうち、時計誤差補正レジスタ (SUBCUD) を設定可能になります。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ 2 (PER2) のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	FMCEN	DOCEN	0	0	0	0	0

FMCEN	周波数測定回路の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> 周波数測定回路で使用するSFRへのライト不可 リアルタイム・クロック2で使用するSUBCUDレジスタへのライト不可 周波数測定回路はリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> 周波数測定回路で使用するSFRへのリード／ライト可 リアルタイム・クロック2で使用するSUBCUDレジスタへのリード／ライト可

注意1. 時計誤差補正レジスタ (SUBCUD) は、周辺イネーブル・レジスタ 0 (PER0) の RTCWEN = 1 または、周辺イネーブル・レジスタ 2 (PER2) の FMCEN = 1 のどちらかを設定することでリード／ライトが可能となります。

注意2. ビット0-4には必ず“0”を設定してください。

9.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPCビットを1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、8ビット・インターバル・タイマ、周波数測定回路の動作クロックをサブシステム・クロック発振回路・RTC2他クロック (fsXR) または低速オンチップ・オシレータ・クロック (fil) から選択できます。

OSMC レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 不定 R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	x	x	0	0
RTCLPC ^{注7}	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表23-1～表23-4参照)							
1	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMCK0	リアルタイム・クロック2, 周波数測定回路, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロック ^{注2}							
1	低速オンチップ・オシレータ・クロック ^{注3, 4, 5, 6}							
FMTRGSEL ^{注10}	WUTMMCK0	周波数測定回路カウント動作/停止トリガクロック, リアルタイム・クロック2動作クロック選択						
0	0	周波数測定回路/リアルタイム・クロック2はfsxを選択						
0	1	リアルタイム・クロック2はfLを選択(定周期割り込み機能) ^{注8}						
1	0	設定禁止						
1	1	周波数測定回路はfLを選択 ^{注9}						

注1. ビット0,1,5,6には、必ず0を設定してください。ビット2,3はRead Onlyです。書き込みは無視されます。

注2. WUTMMCK0ビットが“0”でかつFMCKSレジスタのFMTRGSELビットを“1”とする設定は禁止です。

注3. サブ・クロック発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

注4. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 周波数測定回路, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力機能の全ての機能が停止中のみ可能です。

注5. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“0”とした場合にリアルタイム・クロック2の動作クロックとしてfLが選択可能となります。また、このときのリアルタイム・クロック2は定周期割り込み機能のみ使用可能であり、時計カウント機能は使用できません。

注6. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“1”とした場合に周波数測定回路の動作クロックとしてfLが選択可能となります。

注7. CKSELレジスタのビット0 (SELLOSC)によりサブ・クロックを選択(SELLOSC = 0)してRTCLPC = 1とした場合、サブシステム・クロックは停止しますが、低速オンチップ・オシレータ・クロックを選択(SELLOSC = 1)してRTCLPC = 1とした場合、サブシステム・クロックは停止しません。

注8. 周波数測定機能は使用できません。

注9. リアルタイム・クロック2は使用できません。

注10. 周波数測定回路クロック選択レジスタ (FMCKS) のビット4

備考 x : 不定

9.3.3 周波数測定カウント・レジスタ L (FMCR L)

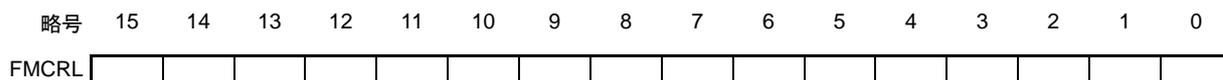
周波数測定回路内の周波数測定カウント・レジスタ (FMCR) の下位 16 ビットを表します。

FMCR L レジスタは、16 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、FMCR L レジスタは 0000H になります。

図9-4 周波数測定カウント・レジスタ L (FMCR L) のフォーマット

アドレス : F0312H リセット時 : 0000H R



注意1. FMS = 1 のとき、FMCR L の値をリードしないでください。

注意2. 周波数測定完了割り込み発生後、FMCR L の値をリードしてください。

9.3.4 周波数測定カウント・レジスタ H (FMCR H)

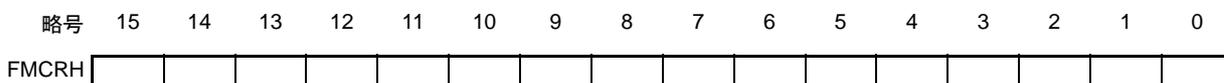
周波数測定回路内の周波数測定カウント・レジスタ FMCR の上位 16 ビットを表します。

FMCR H レジスタは、16 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、FMCR H レジスタは 0000H になります。

図9-5 周波数測定カウント・レジスタ H (FMCR H) のフォーマット

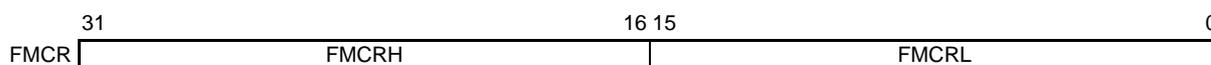
アドレス : F0314H リセット時 : 0000H R



注意1. FMS = 1 のとき、FMCR H の値をリードしないでください。

注意2. 周波数測定完了割り込み発生後、FMCR H の値をリードしてください。

図9-6 周波数測定カウント・レジスタ FMCR (FMCR H, FMCR L)



9.3.5 周波数測定コントロール・レジスタ (FMCTL)

FMCTLレジスタは、周波数測定回路の動作を設定するレジスタです。周波数測定動作開始、周波数測定期間の設定を行います。

FMCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FMCTLレジスタは00Hになります。

図9-7 周波数測定コントロール・レジスタ (FMCTL)のフォーマット

アドレス : F0316H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FMCTL	FMS	0	0	0	0	FMDIV2	FMDIV1	FMDIV0

FMS	周波数測定回路動作許可
0	周波数測定回路停止
1	周波数測定回路動作 動作クロックの立ち上がりによってカウントを開始し、次の動作クロックの立ち下がりによりカウントを停止します。

FMDIV2	FMDIV1	FMDIV0	周波数測定期間設定
0	0	0	$2^8/f_{SXR}$ または $2^8/f_{IL}$ (7.8125 ms)
0	0	1	$2^9/f_{SXR}$ または $2^9/f_{IL}$ (15.625 ms)
0	1	0	$2^{10}/f_{SXR}$ または $2^{10}/f_{IL}$ (31.25 ms)
0	1	1	$2^{11}/f_{SXR}$ または $2^{11}/f_{IL}$ (62.5 ms)
1	0	0	$2^{12}/f_{SXR}$ または $2^{12}/f_{IL}$ (0.125 s)
1	0	1	$2^{13}/f_{SXR}$ または $2^{13}/f_{IL}$ (0.25 s)
1	1	0	$2^{14}/f_{SXR}$ または $2^{14}/f_{IL}$ (0.5 s)
1	1	1	$2^{15}/f_{SXR}$ または $2^{15}/f_{IL}$ (1s)

注意 FMS = 1 のとき、FMDIV2-FMDIV0ビットの設定を変更しないでください。

備考 周波数測定分解能は下記の計算式により算出できます。

- 周波数測定分解能 = $10^6 / (\text{周波数測定期間 [s]} \times \text{基準クロック周波数 (f}_{MX}) \text{ [Hz]})$ [ppm]

例1) FMDIV2-FMDIV0 = 000B, $f_{MX} = 20 \text{ MHz}$ のとき、測定分解能 = 6.4 ppm

例2) FMDIV2-FMDIV0 = 111B, $f_{MX} = 1 \text{ MHz}$ のとき、測定分解能 = 1 ppm

9.3.6 周波数測定回路クロック選択レジスタ (FMCKS)

FMCKSレジスタは、周波数測定回路に入力する動作クロックおよび周波数カウントクロックを選択するレジスタです。

FMCKSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FMCKSレジスタは00Hになります。

図9-8 周波数測定回路クロック選択レジスタ (FMCKS)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FMCKS	0	0	0	FMTRGSEL	0	0	FMCKSEL1	FMCKSEL0

FMTRGSEL	WUTMMCK0 注3	周波数測定回路カウント動作／停止トリガクロック／ リアルタイム・クロック2動作クロック選択
0	0	周波数測定回路／リアルタイム・クロック2はfsXRを選択
0	1	リアルタイム・クロック2はfILを選択(定周期割り込み機能)注1
1	0	設定禁止
1	1	周波数測定回路はfILを選択注2

FMCKSEL1	FMCKSEL0	周波数カウントクロック選択
0	0	fMXを選択
0	1	fIMを選択
1	×	fIHを選択

注1. 周波数測定機能は使用できません。

注2. リアルタイム・クロック2は使用できません。

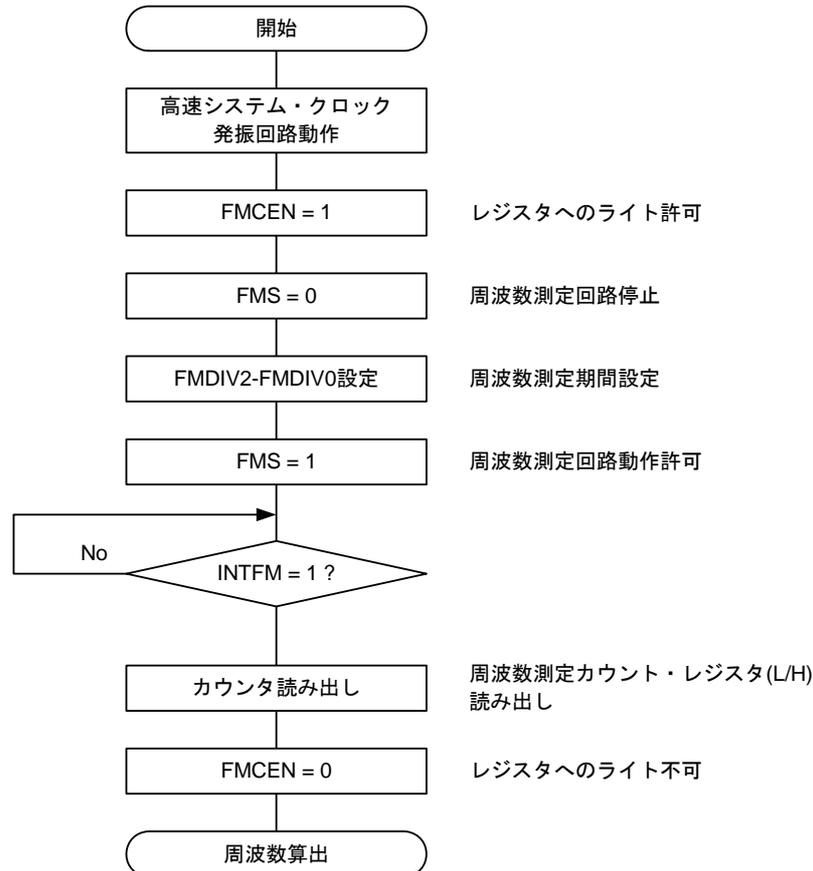
注3. OSMCレジスタのWUTMMCK0ビットの説明を参照してください。

9.4 周波数測定回路の動作

9.4.1 基準クロックによる周波数測定回路の設定

周波数測定回路の設定は、最初にFMS = 0にしてから行ってください。

図9-9 基準クロックによる周波数測定回路の設定手順



注意 周波数測定カウント・レジスタ(L/H)読み出し後は必ず、FMCEN = 0に設定してください。

f_{SXR}またはf_{IL}発振周波数は次の計算式により算出できます。

$$f_{\text{SXR}} \text{ または } f_{\text{IL}} \text{ 発振周波数} = \frac{\text{基準クロック周波数 [Hz]} \times \text{動作トリガ分周比}}{\text{周波数測定カウント・レジスタ値(FMCR)}} \text{ [Hz]}$$

例えば、下記の条件にて周波数測定を行い、

- カウントクロック周波数 : f_{MX} = 10 MHz
- 周波数測定期間設定レジスタ : FMDIV2-FMDIV0 = 111B (動作トリガ分周比 : 2¹⁵)

測定結果が下記であった場合

- 周波数測定カウント・レジスタ : FMCR = 10000160 D

f_{SXR}またはf_{IL}発振周波数は次の値になる。

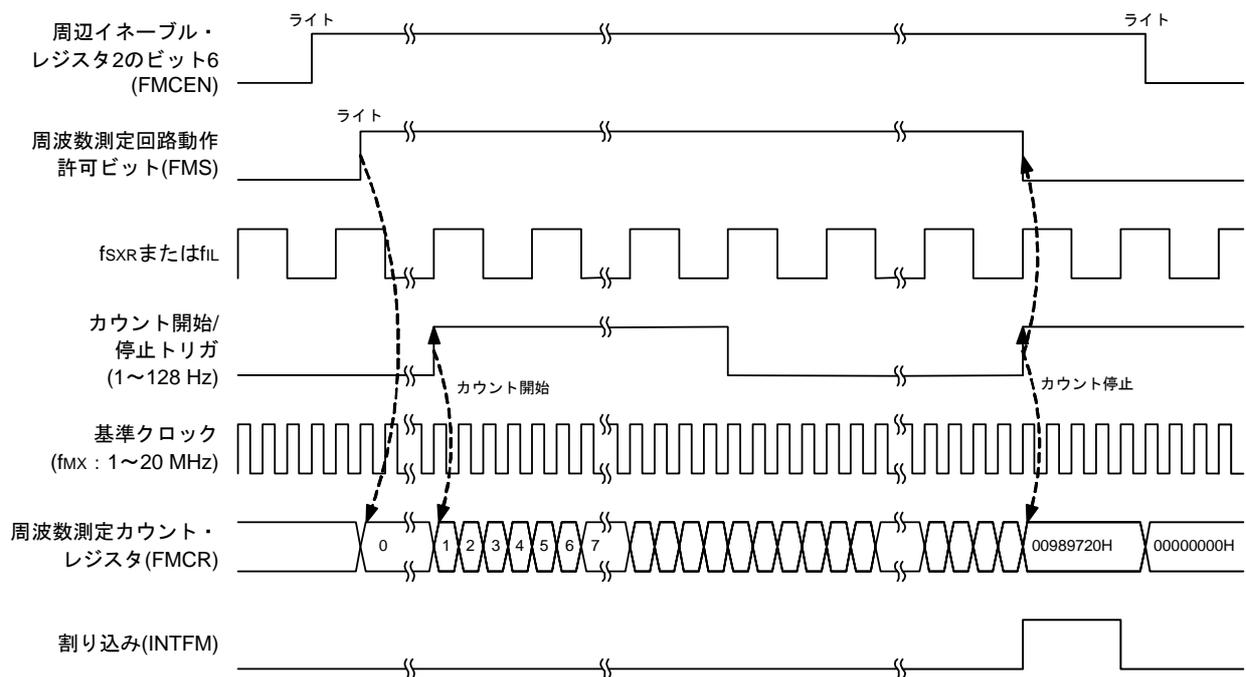
$$f_{\text{SXR}} \text{ または } f_{\text{IL}} \text{ 発振周波数} = \frac{(10 \times 10^6) \times 2^{15}}{10000160} = 32767.47572 \text{ [Hz]}$$

9.4.2 周波数測定回路の動作タイミング

周波数測定回路の動作は、図9-10のようなタイミングとなります。

周波数測定回路動作許可ビット (FMS) を“1”に設定後、周波数測定期間設定ビット (FMDIV2-FMDIV0) で設定したカウント開始トリガによってカウントを開始し、次のトリガでカウントを停止します。カウント停止後は、カウント値を保持し、周波数測定回路動作許可ビット (FMS) が“0”にリセットされます。周波数測定回路の動作が終了し、周波数測定カウント・レジスタ (L/H) 読み出し後は、必ず周辺イネーブル・レジスタ2のビット6 (FMCEN) を“0”に設定してください。また、 f_{SUB} の1クロック分割り込みを発生します。

図9-10 周波数測定回路の動作タイミング



第10章 12ビット・インターバル・タイマ

10.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOP モードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに使えます。

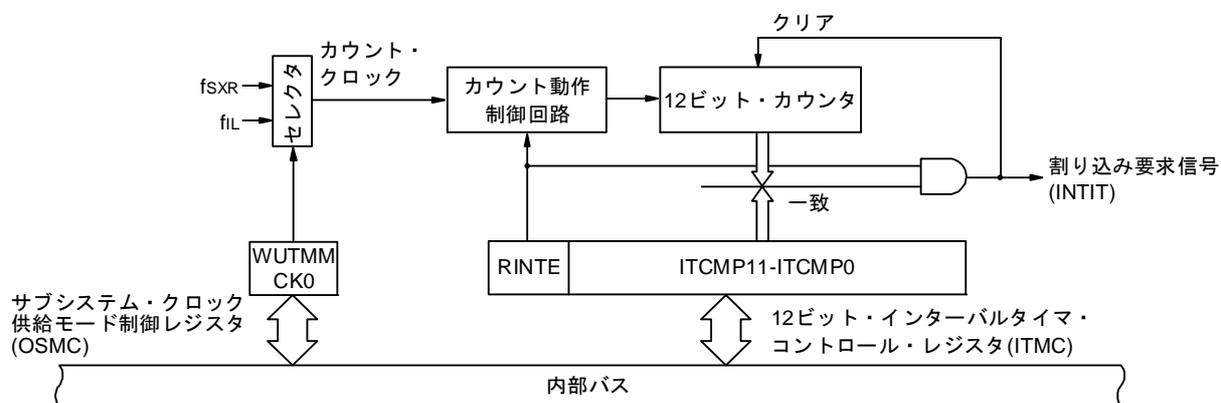
10.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表 10-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ2 (PER2)
	周辺リセット制御レジスタ2 (PRR2)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図 10-1 12ビット・インターバル・タイマのブロック図



注意 カウント・クロックにサブシステム・クロック発振回路・RTC他クロック (fsXR) を選択できるのは、30-48ピンの製品です。

10.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

10.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは、必ずビット7 (TMKAEN)を1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	FMCEN	DOCEN	0	0	0	0	0

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 • 12ビット・インターバル・タイマで使用するSFRへのライト不可、リードした場合は0Hが読めます。ただし、初期化はされていません。注
1	入カクロック供給 • 12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

注 12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合、PRR2のビット7 (TMKARES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。

ビット0~4

注意2. 各周辺機能が動作許可の状態、PER2レジスタの対象ビットを切り替えないでください。PER2による設定は、PER2に割り当てている各周辺機能が停止している状態で切り替えてください(ただし、FMCENは除く)。

10.3.2 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

12ビット・インターバル・タイマをリセットする場合は、必ずビット7 (TMKARES)を1に設定してください。

PRR2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR2レジスタは00Hになります。

図10-3 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	0	DOCRES	0	0	0	0	0
TMKARES	12ビット・インターバル・タイマのリセット制御							
0	12ビット・インターバル・タイマのリセット解除							
1	12ビット・インターバル・タイマはリセット状態							

10.3.3 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第6章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-4 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット

アドレス : F00F3H リセット時 : 不定 R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	x	x	0	0
RTCLPC ^{注7}	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表23-1～表23-4参照)							
1	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMCK0	リアルタイム・クロック2, 周波数測定回路, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロック ^{注2}							
1	低速オンチップ・オシレータ・クロック ^{注3, 4, 5, 6}							
FMTRGSEL ^{注10}	WUTMMCK0	周波数測定回路カウント動作/停止トリガクロック, リアルタイム・クロック2動作クロック選択						
0	0	周波数測定回路/リアルタイム・クロック2はfsxを選択						
0	1	リアルタイム・クロック2はfLを選択(定周期割り込み機能) ^{注8}						
1	0	設定禁止						
1	1	周波数測定回路はfLを選択 ^{注9}						

注1. ビット0,1,5,6には、必ず0を設定してください。ビット2,3はRead Onlyです。書き込みは無視されます。

注2. WUTMMCK0ビットが“0”でかつFMCKSレジスタのFMTRGSELビットを“1”とする設定は禁止です。

注3. サブ・クロック発振中にWUTMMCK0ビットを“1”に設定することは禁止です。

注4. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 周波数測定回路, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力機能の全ての機能が停止中のみ可能です。

注5. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“0”とした場合にリアルタイム・クロック2の動作クロックとしてfLが選択可能となります。また、このときのリアルタイム・クロック2は定周期割り込み機能のみ使用可能であり、時計カウント機能は使用できません。

注6. WUTMMCK0ビットが“1”でかつFMCKSレジスタのFMTRGSELビットを“1”とした場合に周波数測定回路の動作クロックとしてfL/2が選択可能となります。

注7. CKSELレジスタのビット0 (SELLOSC)によりサブ・クロックを選択(SELLOSC = 0)してRTCLPC = 1とした場合、サブシステム・クロックは停止しますが、低速オンチップ・オシレータ・クロックを選択(SELLOSC = 1)してRTCLPC = 1とした場合、サブシステム・クロックは停止しません。

注8. 周波数測定機能は使用できません。

注9. リアルタイム・クロック2は使用できません。

注10. 周波数測定回路クロック選択レジスタ(FMCKS)のビット4

備考 x : 不定

10.3.4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図10-5 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0
	RINTE	12ビット・インターバル・タイマの動作制御			
	0	カウンタ動作停止(カウント・クリア)			
	1	カウンタ動作開始			
	ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定			
	001H	「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。			
	.				
	FFFH				
	000H	設定禁止			
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例					
<ul style="list-style-type: none"> ITCMP11-ITCMP0 = 001H, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \approx 61.03 \text{ [}\mu\text{s]}$ ITCMP11-ITCMP0 = FFFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$ 					

注意1. RINTE ビットを1→0に変更する場合は、INTIT を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、ITIF フラグをクリアしてから割り込み処理許可にしてください。

注意2. RINTE ビットのリード値は、RINTE ビット設定後、カウント・クロックの1クロック後に反映されます。

注意3. スタンバイ・モードから復帰後に RINTE ビット設定して、再度スタンバイ・モードに移行する場合は、RINTE ビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。

注意4. ITCMP11-ITCMP0 ビットの設定を変更する場合は、必ず RINTE = 0 のときに行ってください。

ただし、RINTE = 0→1 または 1→0 に変更するのと同時に ITCMP11-ITCMP0 ビットの設定を変更することは可能です。

10.4 12ビット・インターバル・タイマの動作

10.4.1 12ビット・インターバル・タイマの動作タイミング

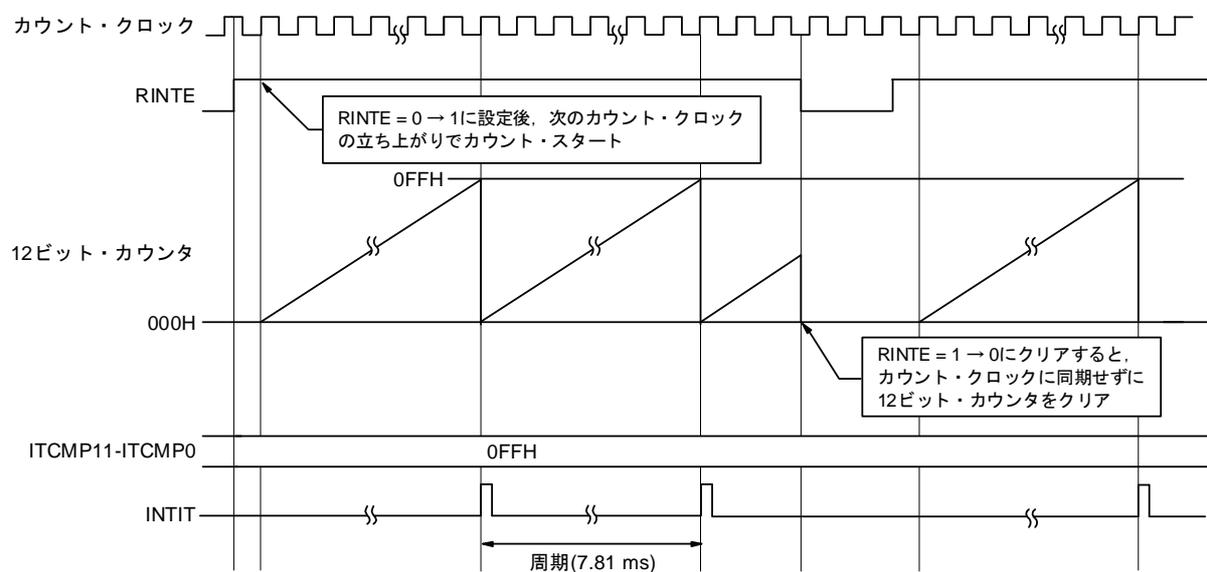
ITCMP11-ITCMP0 ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生する12ビット・インターバル・タイマとして動作します。

RINTE ビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0 ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTIT) を発生します。

12ビット・インターバル・タイマの基本動作を図10-6に示します。

図10-6 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック : $f_{SUB} = 32.768$ kHz)

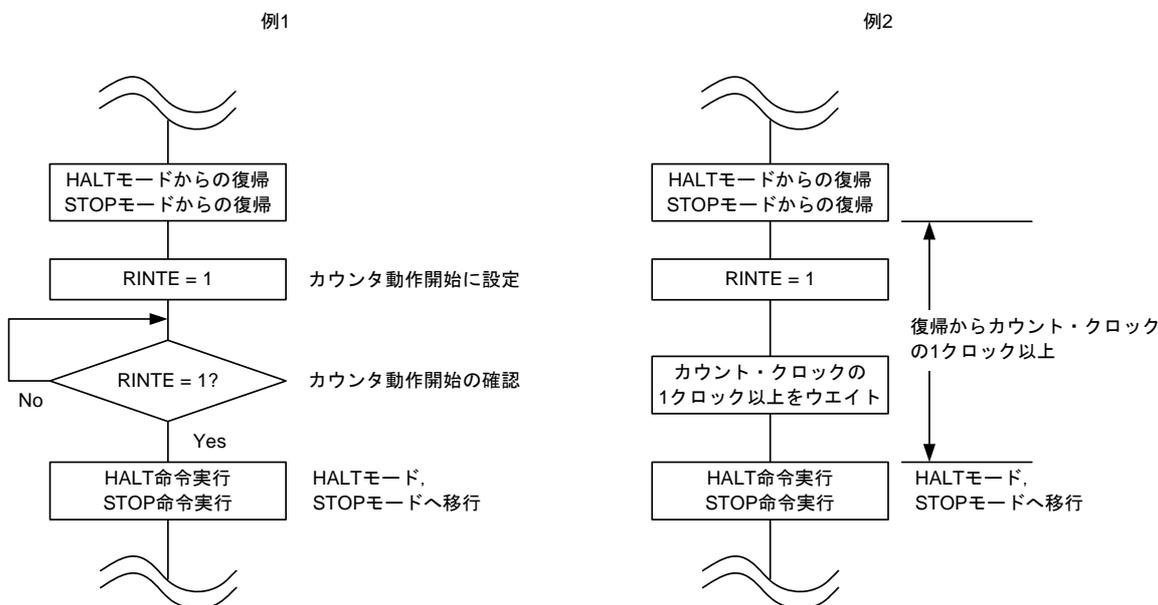


10.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図10-7 例1参照)。
- RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図10-7 例2参照)。

図10-7 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第11章 8ビット・インターバル・タイマ

8ビット・インターバル・タイマは8ビット・タイマを2つ(チャンネル0, チャンネル1)持ち、それぞれが独立して動作します。また、2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作することができます。

8ビット・インターバル・タイマは同機能を持つ8ビット・インターバル・タイマ_0~8ビット・インターバル・タイマ_1の2本内蔵されています。特に差異がない限り、本章では8ビット・インターバル・タイマとして説明します。

11.1 概要

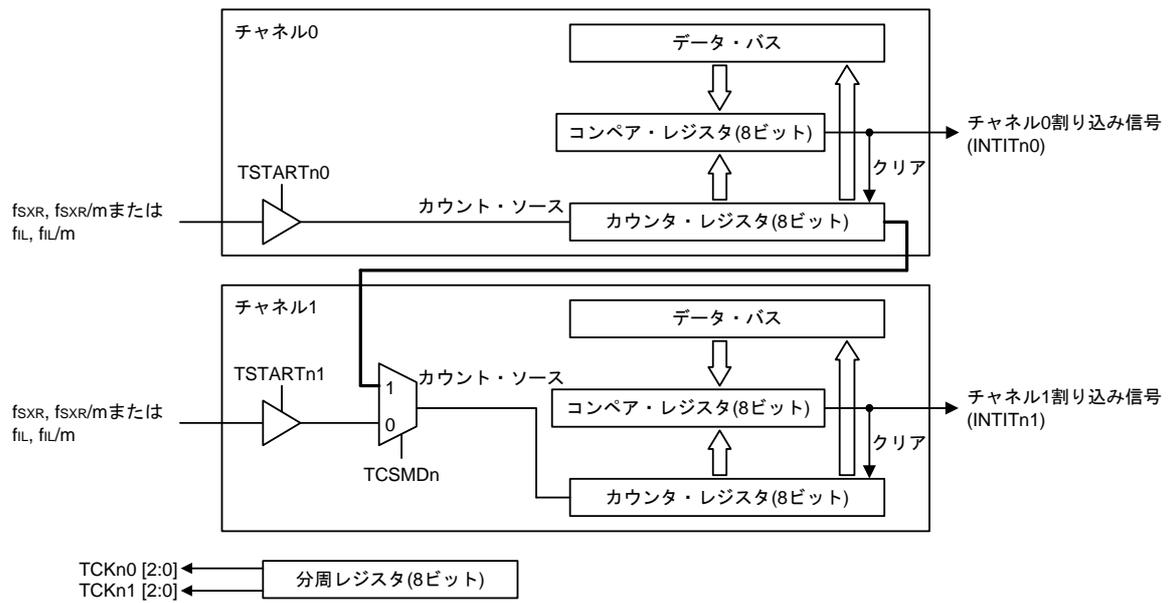
8ビット・インターバル・タイマはCPUと非同期のfsXRまたはfiLクロックで動作する8ビット・タイマです。

表11-1に8ビット・インターバル・タイマの仕様を、図11-1に8ビット・インターバル・タイマのブロック図を示します。

表11-1 8ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	<ul style="list-style-type: none"> fsXR, fsXR/2, fsXR/4, fsXR/8, fsXR/16, fsXR/32, fsXR/64, fsXR/128 fiL, fiL/2, fiL/4, fiL/8, fiL/16, fiL/32, fiL/64, fiL/128
動作モード	<ul style="list-style-type: none"> 8ビット・カウンタ・モード チャンネル0, チャンネル1が独立した8ビット・カウンタとして動作するモード 16ビット・カウンタ・モード チャンネル0, チャンネル1を連結して16ビット・カウンタとして動作するモード
割り込み	<ul style="list-style-type: none"> カウンタがコンペア値と一致したとき出力

図 11 - 1 8ビット・インターバル・タイマのブロック図



TSTARTni (i = 0, 1), TCSMDn, TCLKENn: TRTCRn レジスタのビット

TCKni [2:0]: TRTMDn レジスタのビット

備考 m = 2, 4, 8, 16, 32, 64, 128

n = 0, 1

11.2 入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

11.3 レジスタの説明

表11-2に8ビット・インターバル・タイマのレジスタ構成を示します。

表11-2 レジスタ一覧

レジスタ名	シンボル
8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ0	TRT0 ^{注2}
8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ0	TRTCMP0 ^{注2}
8ビット・インターバル・タイマ制御レジスタ0	TRTCR0
8ビット・インターバル・タイマ分周レジスタ0	TRTMD0
8ビット・インターバル・タイマ・カウンタ・レジスタ10	TRT10 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ11	TRT11 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ1	TRT1 ^{注2}
8ビット・インターバル・タイマ・コンペア・レジスタ10	TRTCMP10 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ11	TRTCMP11 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ1	TRTCMP1 ^{注2}
8ビット・インターバル・タイマ制御レジスタ1	TRTCR1
8ビット・インターバル・タイマ分周レジスタ1	TRTMD1

注1. TRTCRn レジスタのTCSMDnビット=0のときのみアクセス可能です。

注2. TRTCRn レジスタのTCSMDnビット=1のときのみアクセス可能です。

備考 n = 0, 1

11.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRT ni) ($n = 0, 1, i = 0, 1$)

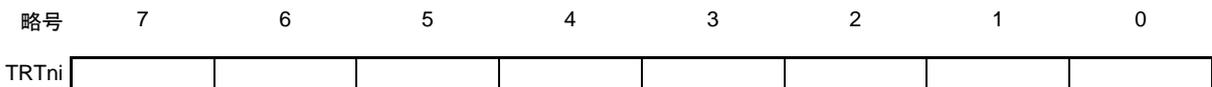
8ビット・インターバル・タイマのカウンタ・レジスタです。カウンタ・クロックによりカウンタ・アップするカウンタです。

TRT ni レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-2 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRT ni)のフォーマット

アドレス : F0500H (TRT00), F0501H (TRT01), F0508H (TRT10), F0509H (TRT11) リセット時 : 00H R^{注1,2}



注1. TRT ni レジスタはコンペア・レジスタ TRTCMP ni に書き込みアクセス後、カウンタ・クロックで2サイクル後に00Hになります。詳細は、11.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCR n)のモード選択ビット (TCSMD n)が0の場合のみアクセスが可能になります。

11.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRT n) ($n = 0, 1$)

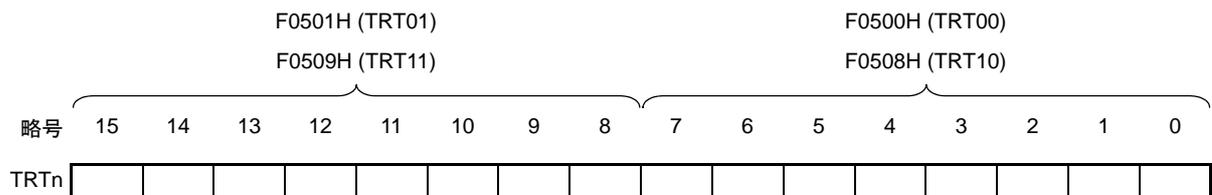
8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合の16ビットのカウンタ・レジスタです。

TRT n レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図11-3 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRT n)のフォーマット

アドレス : F0500H (TRT0), F0508H (TRT1) リセット時 : 0000H R^{注1,2}



注1. TRT n レジスタはコンペア・レジスタ TRTCMP n に書き込みアクセス後、カウンタ・クロックで2サイクル後に0000Hになります。詳細は、11.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCR n)のモード選択ビット (TCSMD n)が1の場合のみアクセスが可能になります。

11.3.3 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni) (n = 0, 1, i = 0, 1)

8ビット・インターバル・タイマのコンペア値レジスタです。

TRTCMPniレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

設定範囲は01H～FFH^{注1}です。

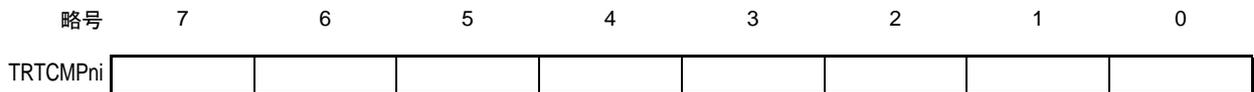
TRTn0, TRTn1レジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRT0, TRT1)を00Hにクリアします。

コンペア値の書き換えタイミングは、11.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図11-4 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni)のフォーマット

アドレス : F0350H (TRTCMP00), F0351H (TRTCMP01), リセット時 : FFH R/W^{注1,2}
F0358H (TRTCMP10), F0359H (TRTCMP11)



注1. TRTCMPniレジスタの00H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のモード選択ビット(TCSMDn)が0の場合のみアクセスが可能になります。

11.3.4 8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn) (n = 0, 1)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTCMPnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFHになります。

設定範囲は0001H～FFFFH^{注1}です。

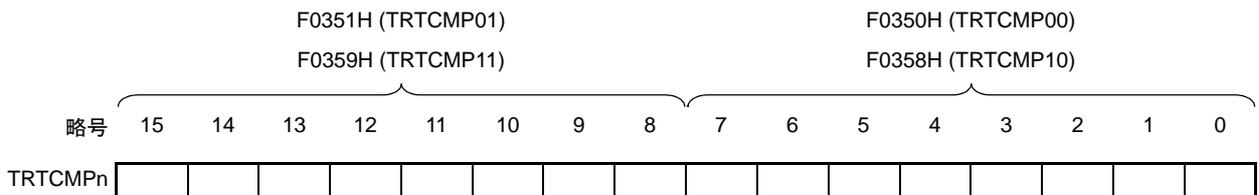
TRTnレジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRTn)を0000Hにクリアします。

コンペア値の書き換えタイミングは、11.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図11-5 8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)のフォーマット

アドレス : F0350H (TRTCMP0), F0358H (TRTCMP1) リセット時 : FFFFH R/W^{注2}



注1. TRTCMPnレジスタの0000H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のモード選択ビット(TCSMDn)が1の場合のみアクセスが可能になります。

11.3.5 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn) (n = 0, 1)

8ビット・インターバル・タイマのカウント停止/開始の設定と8ビット・カウンタ/16ビット・カウンタ動作の切替えを設定するレジスタです。

TRTCRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 6 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のフォーマット

アドレス : F0352H (TRTCR0), F035AH (TRTCR1) リセット時 : 00H R/W^{注3}

略号	7	6	5	4	3	2	1	0
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0

TCSMDn	モード選択
0	8ビット・カウンタとして動作
1	16ビット・カウンタとして動作(チャネル0, チャネル1を連結)
詳細は、11.4 動作説明を参照。	

TCLKENn	8ビット・インターバル・タイマ・クロック許可 ^{注1}
0	クロック停止
1	クロック供給

TSTARTn1	8ビット・インターバル・タイマ1カウント開始 ^{注1,2}
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは、TSTARTn1ビットに1を書くことによりTRTn1がカウントを開始し、0を書くことによりカウントを停止します。	
16ビット・インターバル・タイマ・モードでは、未使用のため無効になります。詳細は、11.4 動作説明を参照。	

TSTARTn0	8ビット・インターバル・タイマ0カウント開始 ^{注1,2}
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTn0がカウントを開始し、0を書くことによりカウントを停止します。	
16ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTnがカウントを開始し、0を書くことによりカウントを停止します。詳細は、11.4 動作説明を参照。	

- 注1. 8ビット・インターバル・タイマを設定する際には、必ず最初にTCLKENnビットを1に設定してください。クロックを停止させる場合、TSTARTn0およびTSTARTn1に0を設定後、動作クロック(fsXRまたはfil)で1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は、11.5.3 8ビット・インターバル・タイマ設定手順についてを参照してください。
- 注2. TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は、11.5.1 動作モード設定変更についてを参照してください。
- 注3. ビット6, 5, 3, 1は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

11.3.6 8ビット・インターバル・タイマ分周レジスタ n (TRTMDn) (n = 0, 1)

8ビット・インターバル・タイマのカウンタ・ソースの分周比選択を設定するレジスタです。

TRTMDnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11-7 8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)のフォーマット

アドレス : F0353H (TRTMD0), F035BH (TRTMD1)

リセット時 : 00H

R/W^{注4}

略号 7 6 5 4 3 2 1 0

TRTMDn	—	TCKn1			—	TCKn0		
--------	---	-------	--	--	---	-------	--	--

TCKn1			8ビット・インターバル・タイマ1分周選択 ^{注1, 2, 3}
ビット6	ビット5	ビット4	
0	0	0	fsXR または fil
0	0	1	fsXR/2 または fil/2
0	1	0	fsXR/4 または fil/4
0	1	1	fsXR/8 または fil/8
1	0	0	fsXR/16 または fil/16
1	0	1	fsXR/32 または fil/32
1	1	0	fsXR/64 または fil/64
1	1	1	fsXR/128 または fil/128

8ビット・インターバル・タイマ・モードでは、TCKn1に設定したカウンタ・ソースによりTRTn1がカウントします。
 16ビット・インターバル・タイマ・モードでは、使用しないため“000”に設定してください。詳細は、11.4 動作説明を参照。

TCKn0			8ビット・インターバル・タイマ0分周選択 ^{注1, 2, 3}
ビット2	ビット1	ビット0	
0	0	0	fsXR または fil
0	0	1	fsXR/2 または fil/2
0	1	0	fsXR/4 または fil/4
0	1	1	fsXR/8 または fil/8
1	0	0	fsXR/16 または fil/16
1	0	1	fsXR/32 または fil/32
1	1	0	fsXR/64 または fil/64
1	1	1	fsXR/128 または fil/128

8ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・ソースによりTRTn0がカウントします。
 16ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・ソースによりTRTnがカウントします。詳細は、11.4 動作説明を参照。

注1. カウント中にカウンタ・ソースの切り替えをしないでください。カウンタ・ソースを切替えるときは、TRTCRnレジスタのTSTARTniビットが0(カウント停止)の時に、設定してください。

注2. 未使用チャンネルのTCKniは000Bに設定してください。

注3. TCKni (i = 0, 1)ビットは、必ずTRTCMPniレジスタの設定前に設定してください。

注4. ビット7, 3は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

11.4 動作説明

11.4.1 カウンタ・モード

8ビット・カウンタ・モード/16ビット・カウンタ・モードの2種類のモードを持ちます。表11-3に8ビット・カウンタ・モード、表11-4に16ビット・カウンタ・モード時の使用レジスタと設定値を示します。

表11-3 8ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n0 (TRTn0)	b7~b0	チャンネル0側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタ n1 (TRTn1)	b7~b0	チャンネル1側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n0 (TRTCMPn0)	b7~b0	チャンネル0側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタ n1 (TRTCMPn1)	b7~b0	チャンネル1側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	チャンネル0側のカウント開始/停止を選択してください。
	TSTARTn1	チャンネル1側のカウント開始/停止を選択してください。
	TCLKENn	1に設定してください。
	TCSMDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0	チャンネル0側のカウント・クロックを選択してください。
	TCKn1	チャンネル1側のカウント・クロックを選択してください。

備考 n = 0, 1

表11-4 16ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)	b15~b0	16ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)	b15~b0	16ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	カウント開始/停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSMDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0	カウント・クロックを選択してください。
	TCKn1	000Bに設定してください。

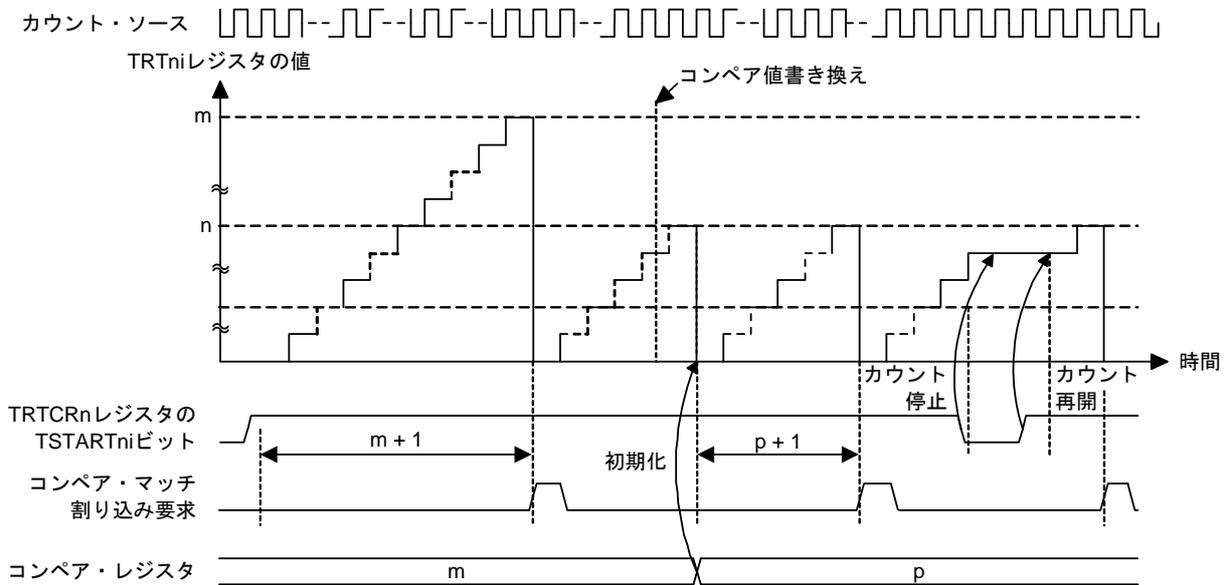
備考 n = 0, 1

11.4.2 タイマ動作

分周レジスタ (TRTMDn) の TCKni (n = 0, 1, i = 0, 1) ビットにより選択されたカウント・ソースで、アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し、カウント値がコンペア値になった後、次のカウント・ソースが入力されるとコンペア・マッチし、割り込み要求を発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし、TRTCRnレジスタのTSTARTniビットを0に設定し、カウント値が00hで停止した場合は、割り込み信号 (INTITnm) がハイ・レベルで固定されます。データ・トランスファ・コントローラのDTC起動要因、またはイベント・リンク・コントローラのイベント発生元に使用している場合は、起動要因またはイベントが発生し続けます。

また、動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は、TRTCMPniレジスタのコンペア値を再設定してください。TRTCMPniレジスタに書き込み後、カウント・ソースで2サイクル後にカウント値がクリアされます。

図 11 - 8 タイマ動作例



備考 n = 0, 1 i = 0, 1 m, p: TRTCMPniレジスタの設定値

ただし、カウント動作開始時の最初の00H カウント期間は、TRTCR レジスタのTSTARTni (i = 0, 1) ビットに1を書き込むタイミングにより、下記のように可変します。

- カウント・ソース (fsXR または fil) 選択時
 - 最大：カウント・ソースで2 サイクル
 - 最小：カウント・ソースで1 サイクル
- カウント・ソース (fsXR/2^m または fil/2^m) 選択時
 - 最大：カウント・ソース1 サイクル
 - 最小：選択クロック (fsXR または fil) 1 サイクル

カウント値がコンペア値と一致した場合、次のカウント・ソースでカウント値はクリアされます。また、TRTCMPn_iレジスタのコンペア値を書き換えた場合も、書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

8/16ビット・カウンタ・モード時割り込み要因を、以下の表11-5に示します。

表11-5 8/16ビット・カウンタ・モード時割り込み要因

割り込み名称	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因
INTIT _n 0	チャンネル0コンペア・マッチ後、次のカウント・ソースの立ち上がり	コンペア・マッチ後、次のカウント・ソースの立ち上がり
INTIT _n 1	チャンネル1コンペア・マッチ後、次のカウント・ソースの立ち上がり	未発生

備考 n = 0, 1

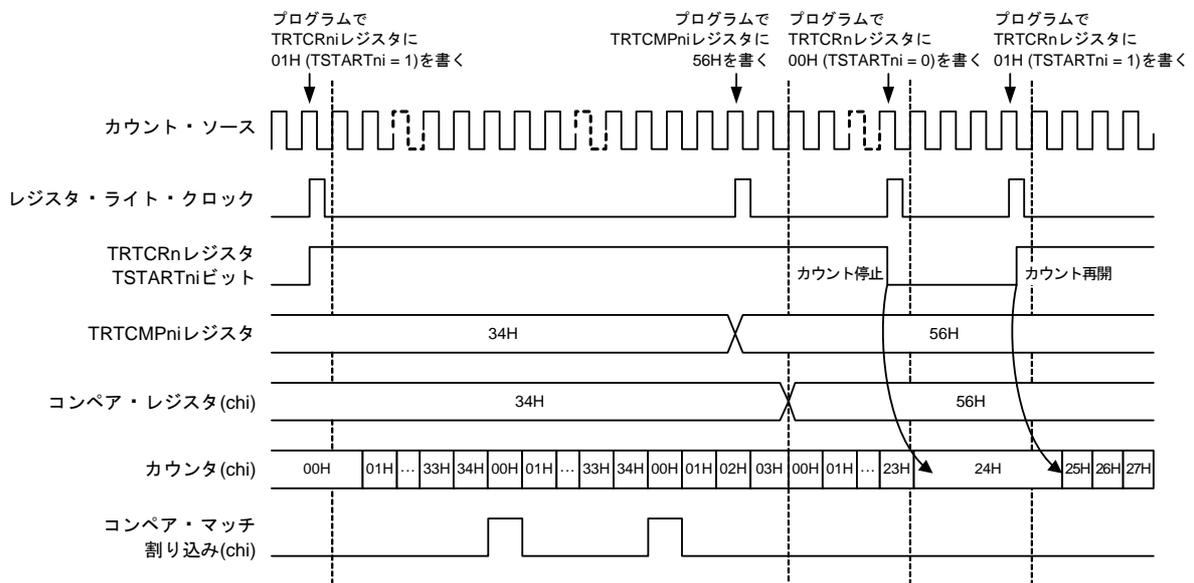
11.4.3 開始/停止タイミング

11.4.3.1 カウント・ソース (fsXR) 選択時

TRTCRnレジスタのTSTARTni (n = 0, 1, i = 0, 1) ビットに1を書き込み後、次のサブシステム・クロック (fsXR) でカウントが開始され、その次のカウント・ソース (fsXR) でカウンタが00Hから01Hにカウント・アップされます。同様に、TSTARTniビットに0を書き込み後、サブシステム・クロック (fsXR) でカウント・アップ後にカウントが停止します。

カウント動作の開始/停止タイミングを図11-9、カウント停止→コンペア設定(カウント・クリア)→カウント開始のタイミングを図11-10に示します。図11-9、図11-10は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

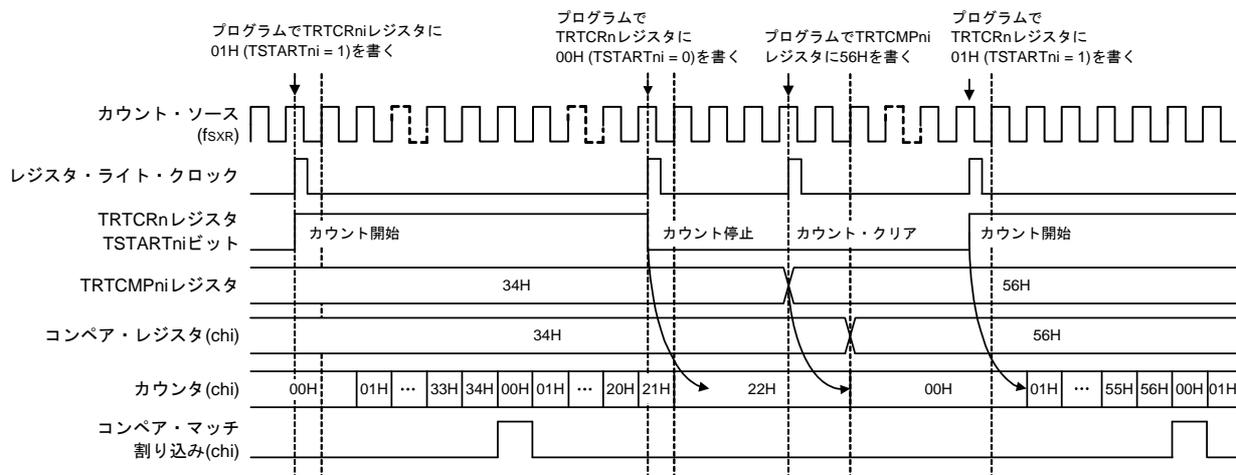
図11-9 カウント開始/停止動作例 (fsXR 選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0, 1 i = 0, 1

図11-10 カウント停止→カウント・クリア→カウント開始動作例 (fsXR 選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0, 1 i = 0, 1

11.4.3.2 カウント・ソース (fsXR/2^m) 選択時

TRTCRnレジスタのTSTARTni (n = 0, 1, i = 0, 1) ビットに1を書き込み後、次のサブシステム・クロック (fsXR) でカウントが開始され、その次のカウント・ソース (fsXR/2^m) でカウンタが00H から01Hにカウント・アップされます。同様に、TSTARTni ビットに0を書き込み後、次のサブシステム・クロック (fsXR) でカウントが停止します。

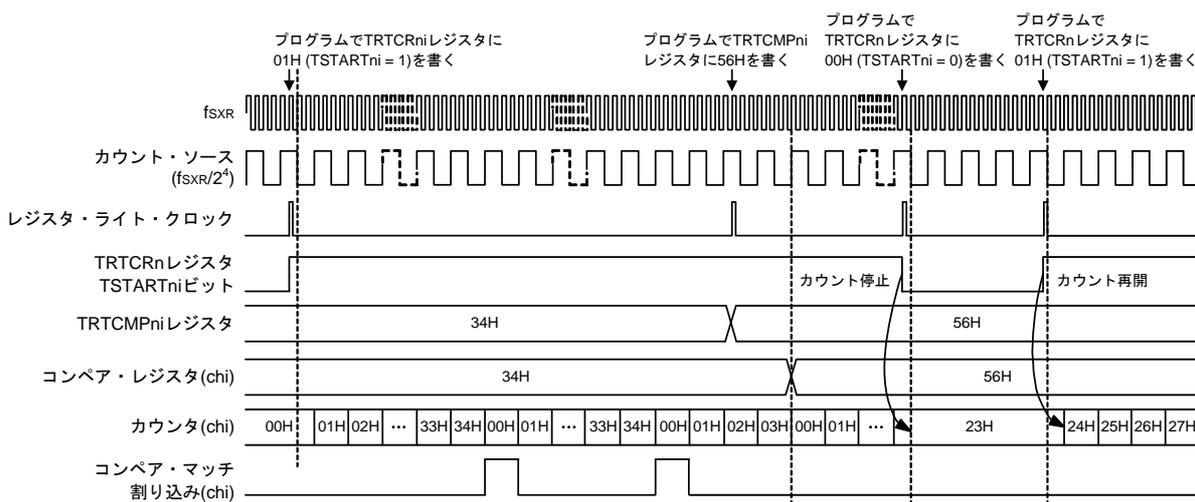
ただし、タイマカウント開始時の最初の00H カウント期間は、TSTARTni ビットの書き込みタイミングと次のカウント・ソースのタイミングによって下記のようにカウント・ソース1サイクルよりも短くなります。

最小：サブシステム・クロック (fsXR) 1 サイクル

最大：カウント・ソース1サイクル

カウント動作の開始/停止タイミングを図11-11、カウント停止→コンペア・レジスタ設定(カウント・クリア)→カウント開始のタイミングを図11-12に示します。図11-11、図11-12は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

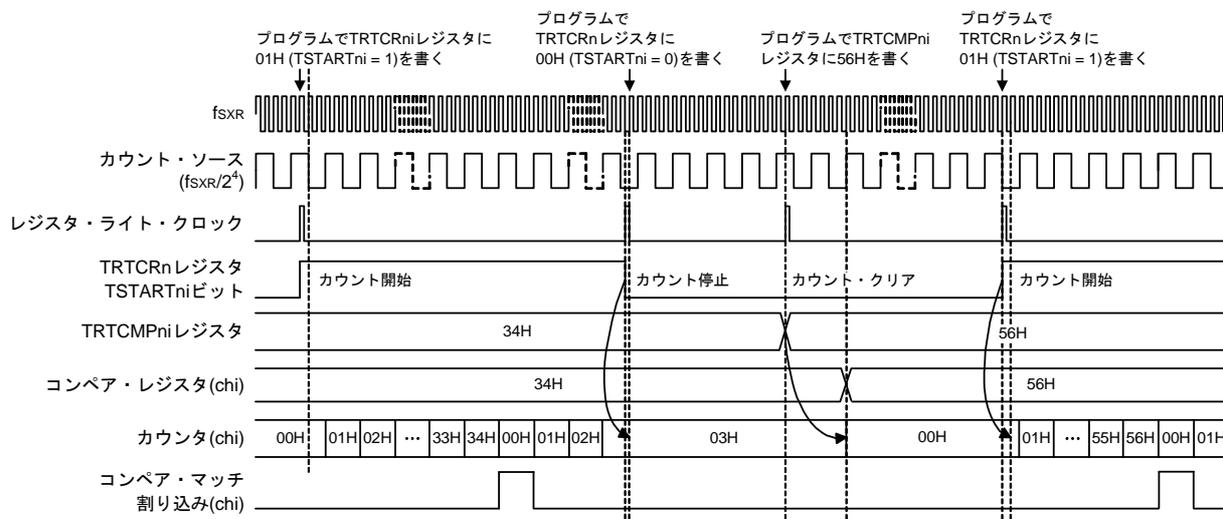
図11-11 カウント開始/停止動作例 (fsXR/2^m 選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0, 1 i = 0, 1

図11-12 カウント停止→カウント・クリア→カウント開始動作例 (fsXR/2^m選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

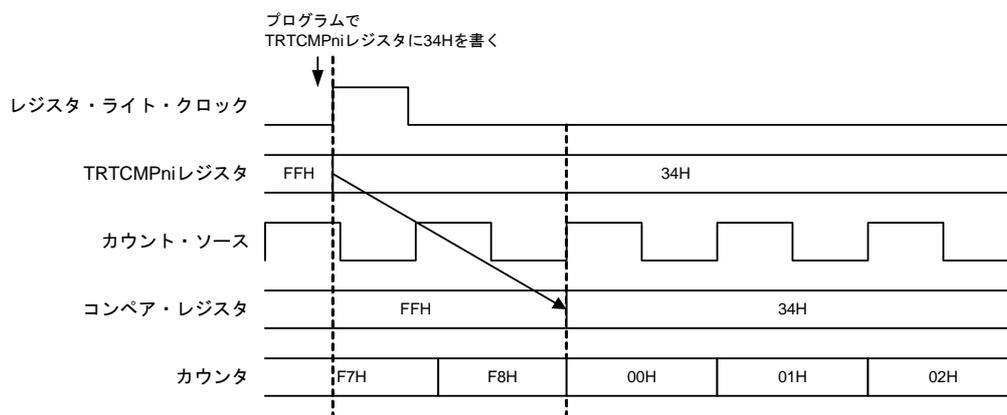
備考 n = 0, 1 i = 0, 1

11.4.4 コンペア・レジスタ値の反映タイミング

TRTCMPn_i (n = 0, 1, i = 0, 1) レジスタの値が反映されるタイミングはTRTCRn レジスタのTSTARTn_i ビットの値によらず、同じタイミングとなります。TRTCMPn_iへの書き込みアクセス後、カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリアされ(8ビット・カウンタ・モード: 00H, 16ビット・カウンタ・モード: 0000H)になります。

図11-13に書き換え動作のタイミング図を示します。図11-13は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

図11-13 コンペア値書き換え動作のタイミング図

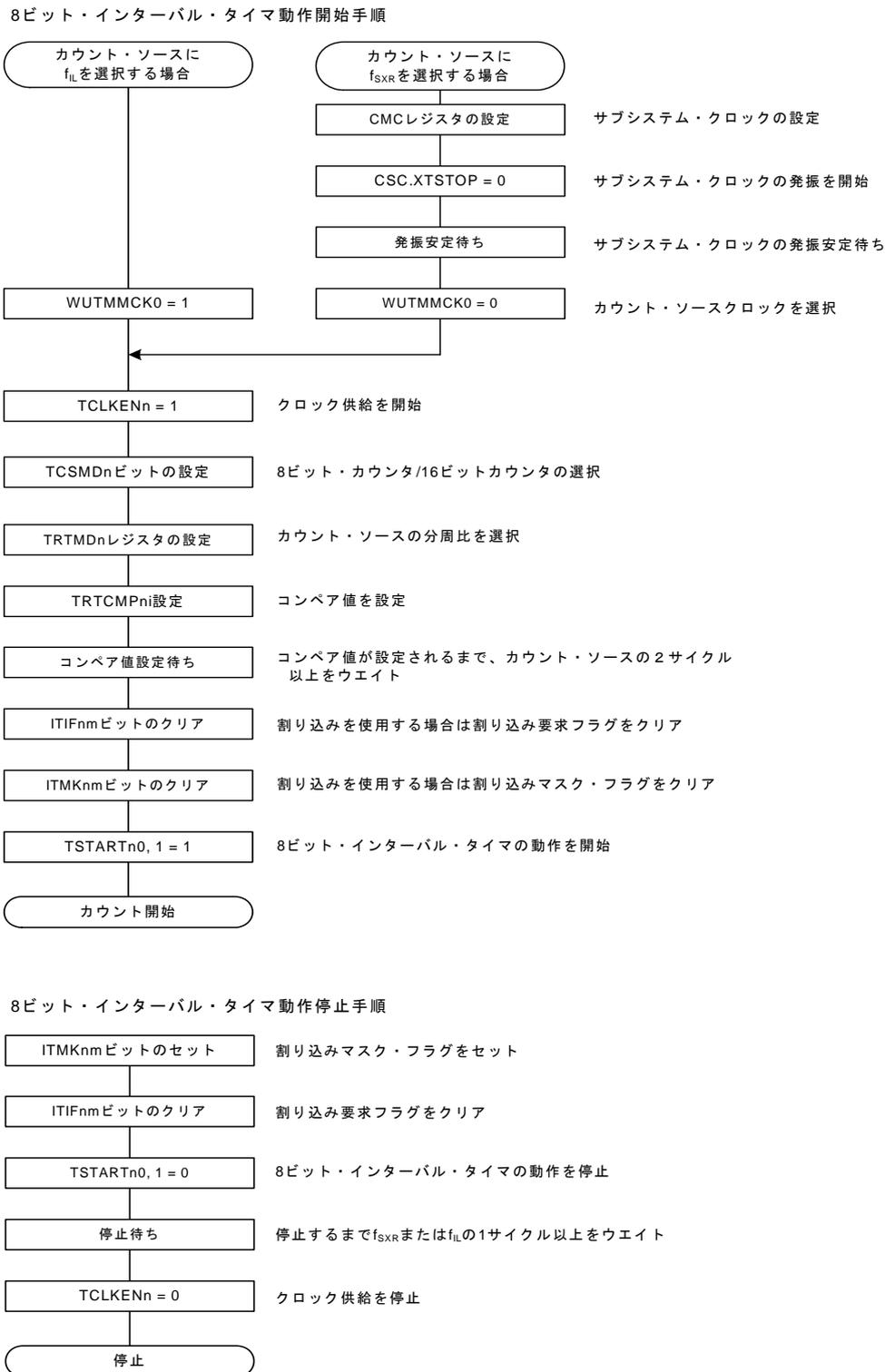


備考 n = 0, 1 i = 0, 1

11.4.5 8ビット・インターバル・タイマの設定手順

8ビット・インターバル・タイマの動作開始手順を以下に示します。

図 11 - 14 8ビット・インターバル・タイマの動作開始手順フローの図



11.5 8ビット・インターバル・タイマ使用上の注意事項

11.5.1 動作モード設定変更について

TCSMDnビット, TCKni ($n = 0, 1, i = 0, 1$)ビットの設定変更は, TRTCRnレジスタのTSTARTniビットが0 (カウント停止)中に設定してください。また, TSTARTniビットを1から0に書き換え後(カウント停止), 8ビット・インターバル・タイマ関連レジスタ (TRTCRn, TRTMDn)にアクセスする場合, fsXRまたはfilで1サイクル以上経過後にアクセスしてください。

11.5.2 コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn)に連続して書き込みしないでください。連続して書くときは, 書き込み間隔をカウント・ソースクロックの2サイクル以上空けてください。

また, コンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) への書き込みは, 必ずカウント・ソースが発振している状態で, 8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) を1に設定した後に書き込みを実施してください。

11.5.3 8ビット・インターバル・タイマ設定手順について

クロックを供給する場合, 最初に8ビット・インターバル・タイマ制御レジスタn (TRTCRn)の8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn)を1に設定した後に, TSTARTniビットを設定してください。(TCLKENn, TSTARTniビットを同時に変更しないでください。)

クロックを停止させる場合, TSTARTniを0に設定した後, fsXRまたはfilで1サイクル以上経過後にTCLKENnビットを0に設定してください。

第12章 クロック出力／ブザー出力制御回路

クロック出力／ブザー出力制御回路の出力端子数は、製品によって異なります。

出力端子	20, 24, 30, 32ピン	48ピン
PCLBUZ0	○	○
PCLBUZ1	—	○

注意 この章では、以降の主な説明を48ピン製品の場合で説明しています。

12.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

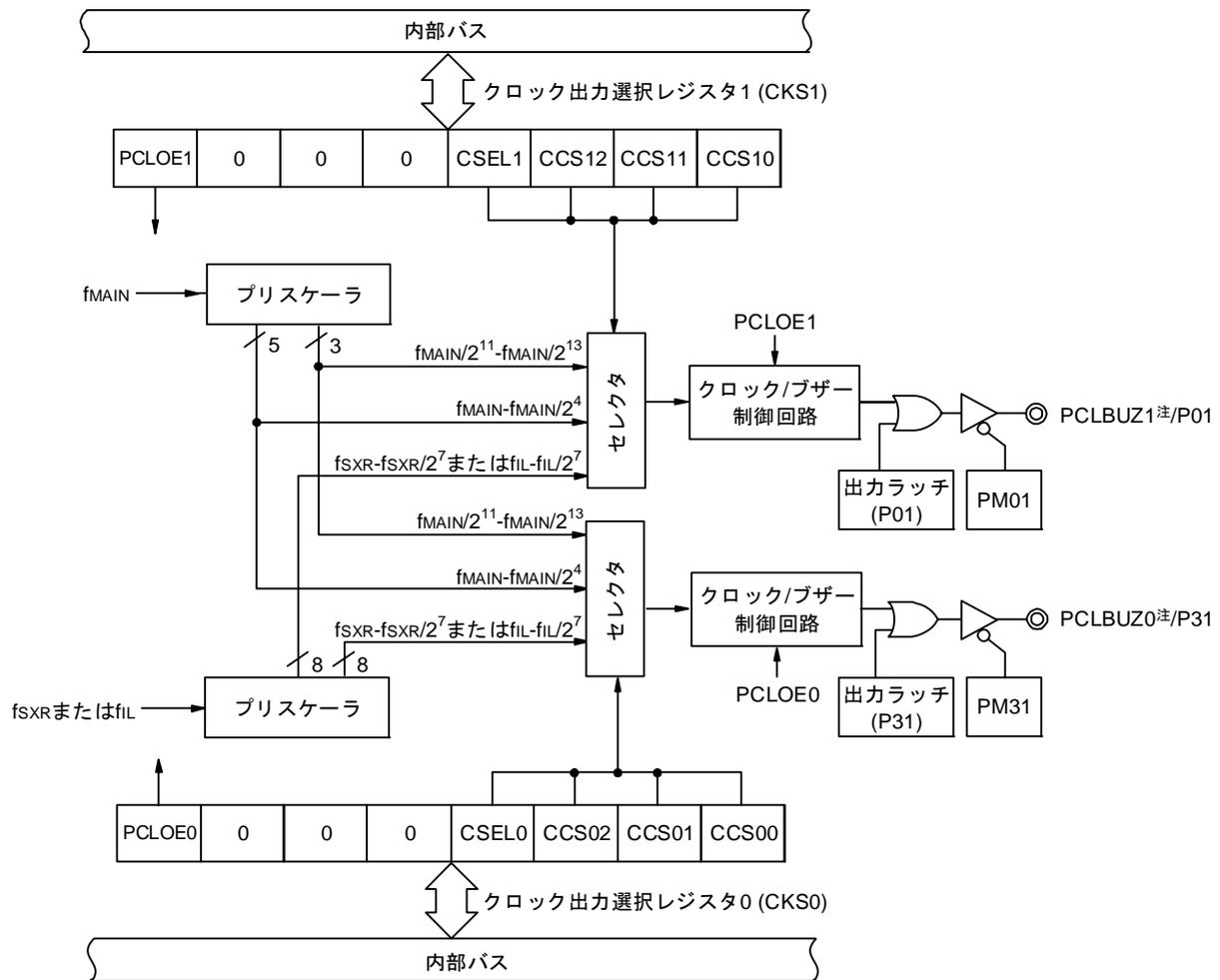
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ n 端子は、クロック出力選択レジスタ n (CKSn)で選択したクロックを出力します。

図12-1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 $n = 0, 1$

図12-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、34.4 AC特性を参照してください。

12.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表12-1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) サブシステム・クロック供給モード制御レジスタ (OSMC) ポート・モード・レジスタ 0, 3 (PM0, PM3) ポート・レジスタ 0, 3 (P0, P3)

12.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- クロック出力選択レジスタ n (CKSn)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- ポート・モード・レジスタ 0, 3 (PM0, PM3)
- ポート・レジスタ 0, 3 (P0, P3)

12.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 24 MHz	
0	0	0	0	fMAIN	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz	10 MHz注	設定禁止注
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	fsXR または fil	32.768 kHz または 15 kHz			
1	0	0	1	fsXR/2 または fil/2	16.384 kHz または 7.5 kHz			
1	0	1	0	fsXR/2 ² または fil/2 ²	8.192 kHz または 3.75 kHz			
1	0	1	1	fsXR/2 ³ または fil/2 ³	4.096 kHz または 1.875 kHz			
1	1	0	0	fsXR/2 ⁴ または fil/2 ⁴	2.048 kHz または 938 Hz			
1	1	0	1	fsXR/2 ⁵ または fil/2 ⁵	1.024 kHz または 469 Hz			
1	1	1	0	fsXR/2 ⁶ または fil/2 ⁶	512 Hz または 234 Hz			
1	1	1	1	fsXR/2 ⁷ または fil/2 ⁷	256 Hz または 117 Hz			

注 出力クロックは、8 MHz 以内の範囲で使用してください。詳しくは、34.4 AC特性を参照してください。

注意 出力クロックの切り替えは、出力禁止(PCLOEn = 0)にしてから行ってください。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fsXR : サブシステム・クロック発振回路・RTC2他クロック周波数

fil : 低速オンチップ・オシレータ・クロック周波数

12.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート (P31/PCLBUZ0 など) をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・レジスタ (Pxx)のビット、ポート・モード・レジスタ (PMxx)のビット、ポート・モード・コントロール・レジスタ (PMCxx)のビットに0を設定してください。

(例) P31/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・レジスタ3のP31ビットを0に設定

ポート・モード・レジスタ3のPM31ビットを0に設定

ポート・モード・コントロール・レジスタのPMC31ビットを0に設定

12.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

12.4.1 出力端子の動作

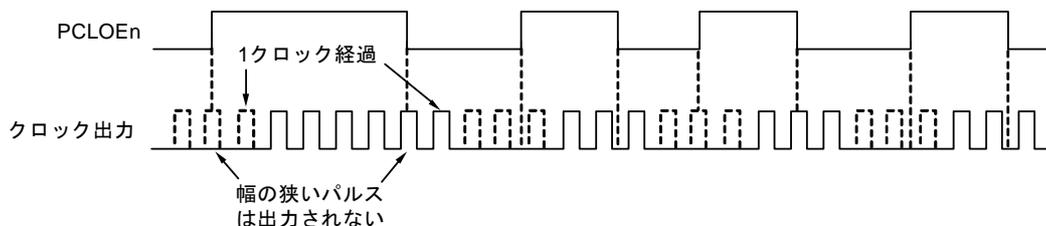
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx)のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn)のビット0-3 (CCSn0-CCSn2, CSELn)で出力周波数を選択する(出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn)に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止(PCLOEnビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図12-3に示します。

備考2. $n = 0, 1$

図12-3 PCLBUZn端子からのクロック出力のタイミング



12.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択(CSELn = 0)している場合は、出力停止設定(PCLOEn = 0)にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

第13章 ウォッチドッグ・タイマ

13.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック (f_{IL})で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット(1)されます。RESFレジスタの詳細については第24章 リセット機能を参照してください。

また、オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込みを発生することもできます。

13.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表13-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ(17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

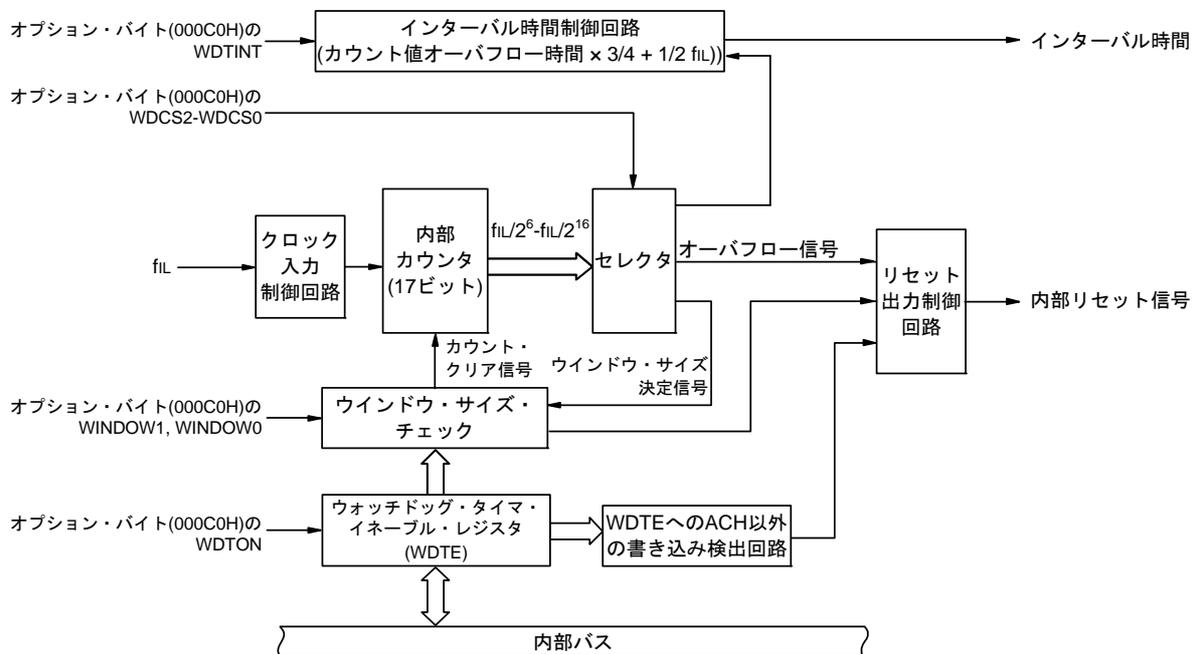
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表13-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト(000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7(WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4(WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1(WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOP時)	ビット0(WDSTBYON)

備考 オプション・バイトについては、第29章 オプション・バイトを参照してください。

図13-1 ウォッチドッグ・タイマのブロック図



備考 fiL : 低速オンチップ・オシレータ・クロック周波数

13.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

13.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTE レジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTE レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図13-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH リセット時 : 1AH/9AH注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTE レジスタのリセット値は、オプション・バイト(000C0H)のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTE レジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTE レジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTE レジスタのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

13.4 ウォッチドッグ・タイマの動作

13.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4(WDTON)を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第29章を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止(リセット解除後、カウンタ停止)
1	カウンタ動作許可(リセット解除後、カウンタ開始)

- オプション・バイト(000C0H)のビット3-1(WDCS2-WDCS0)で、オーバフロー時間を設定してください(詳細は、13.4.2および第29章を参照)。
- オプション・バイト(000C0H)のビット6, 5(WINDOW1, WINDOW0)で、ウインドウ・オープン期間を設定してください(詳細は、13.4.3および第29章を参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生しません。
5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
- 注意2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大fILの2クロックの誤差が生じる場合があります。
- 注意3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

13.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表 13-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /fIL (3.71 ms)
0	0	1	2 ⁷ /fIL (7.42 ms)
0	1	0	2 ⁸ /fIL (14.84 ms)
0	1	1	2 ⁹ /fIL (29.68 ms)
1	0	0	2 ¹¹ /fIL (118.72 ms)
1	0	1	2 ¹³ /fIL (474.89 ms)注
1	1	0	2 ¹⁴ /fIL (949.79 ms)注
1	1	1	2 ¹⁶ /fIL (3799.18 ms)注

注 ウォッチドッグ・タイマのオーバフローの時間を2¹³/fIL, 2¹⁴/fILまたは2¹⁶/fILに設定し、かつウォッチドッグ・タイマのインターバル割り込みを使用しているときは、ウォッチドッグ・タイマのカウントクリアは下記の手順を行ってください。

- (1) ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0 (MK0L)のWDTIMKビットを1にする
- (2) ウォッチドッグ・タイマのカウントをクリアする
- (3) 80μs以上ウエイト
- (4) 割り込み要求フラグ・レジスタ0 (IF0L)のWDTIIFビットを0にする
- (5) 割り込みマスク・フラグ・レジスタ0 (MK0L)のWDTIMKビットを0にする

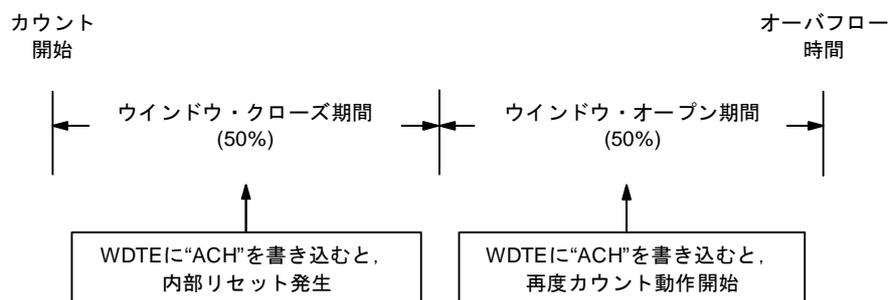
備考 fIL : 低速オンチップ・オシレータ・クロック周波数

13.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウィンドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウィンドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表 13 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

注 ウインドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーパフロー時間 (fIL = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	2 ⁶ /fIL (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	2 ⁷ /fIL (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	2 ⁸ /fIL (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	2 ⁹ /fIL (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	2 ¹¹ /fIL (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	2 ¹³ /fIL (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	2 ¹⁴ /fIL (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	2 ¹⁶ /fIL (3799.18 ms)	1899.59 ms ~ 2570.04 ms

注意 オプション・バイト(000C0H)のビット0(WDSTBYON) = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50%	75%	100%
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50%のとき>

- オーバフロー時間：
 $2^9/f_{IL} \text{ (MAX.)} = 2^9 / 17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$
- ウインドウ・クローズ時間：
 $0 \sim 2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$
- ウインドウ・オープン時間：
 $2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) \sim 2^9/f_{IL} \text{ (MAX.)} = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$

13.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7(WDTINT)の設定により、オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込み(INTWDTI)を発生することができます。

表 13-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第14章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

			20ピン	24ピン	30ピン	32ピン	48ピン
アナログ入力	合計		6 ch		12 ch		17 ch
チャンネル	高精度	AVDD入力バッファ	6 ch		12 ch		14 ch
	チャンネル	電源系端子	(ANI2-ANI4, ANI11-ANI3)		(ANI2-ANI13)		(ANI0-ANI13)
チャンネル	標準	VDD入力バッファ	0 ch				3 ch
	チャンネル	電源系端子					(ANI16-ANI18)

備考 この章では、以降の主な説明を48ピン製品の場合で説明しています。

14.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大17チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI13, ANI16-ANI18) を選択できる構成になっています。変換分解能は、A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYPビットにより12ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

- 12ビット/8ビット分解能 A/D変換

ANI0-ANI13, ANI16-ANI18からアナログ入力を1チャンネル選択し、12ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生します(セレクト・モード時の場合)。

注意 有効な分解能は、AVDD, AVREFFの電圧条件により異なります。

詳細は、34.6.1 A/Dコンバータ特性を参照してください。

備考 10ビット分解能で使用する場合は、12ビット分解能モード(ADTYP = 0)に設定し、変換結果の上位10ビットを使用し、下位2ビットは使用しないでください。

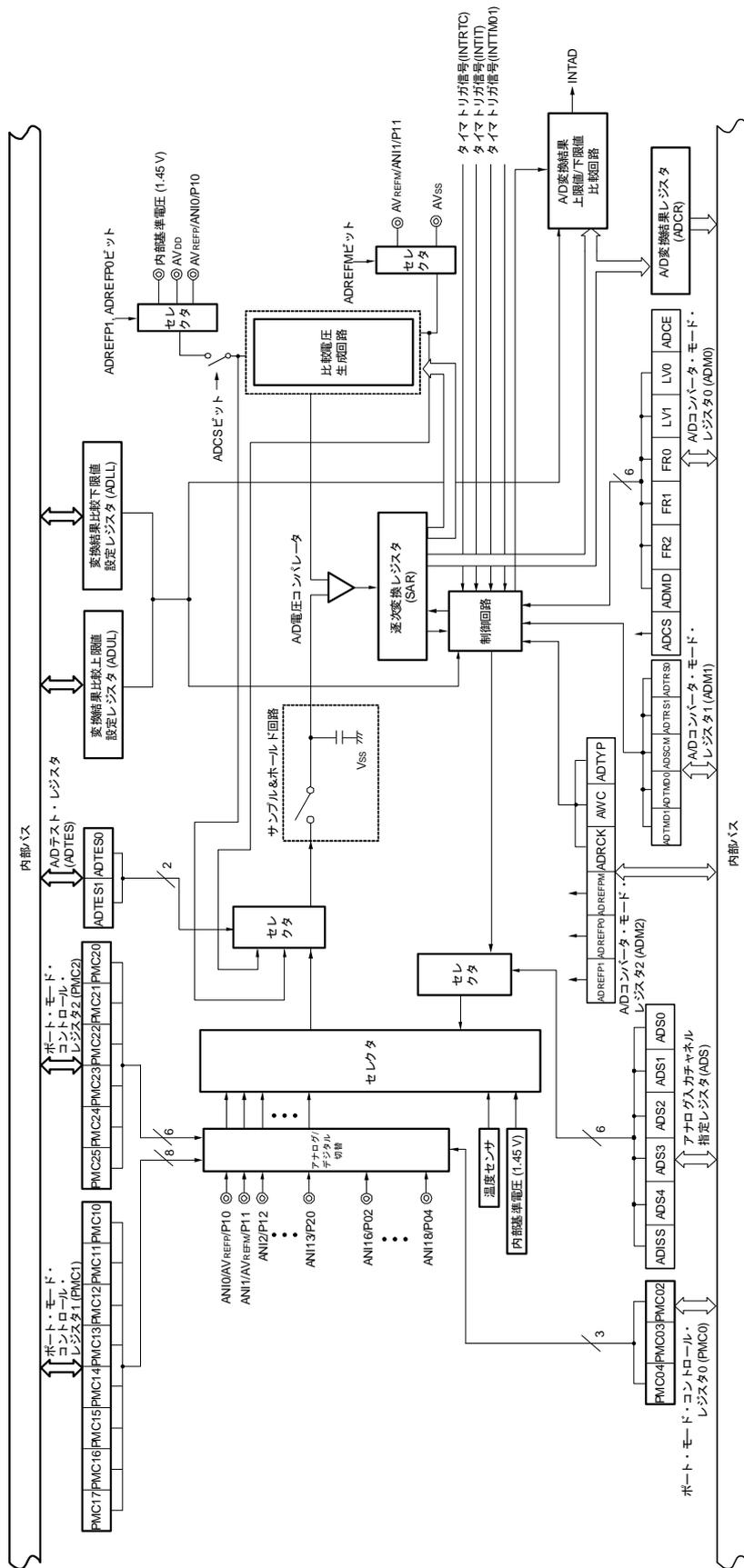
下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することによりパワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用するときは、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。ANI0-ANI13のうち連続した4チャンネルをアナログ入力選択できます。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。

動作モード注	サンプリング・クロック数	
標準1	11fAD	アナログ入力源の出力インピーダンスに応じて、サンプリング・コンデンサに十分に充電されるサンプリング・クロック数に設定してください。
標準2	23fAD	
低電圧1	33fAD	
低電圧2	187fAD	

注 アナログ入力チャンネル、AVDD電圧、トリガ・モード、fCLKにより、選択可能な動作モードが異なります。詳細は、表14-3～表14-6 AD変換時間の選択を参照してください。

図14-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、48ピン製品の場合です。

14.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI13, ANI16-ANI18

A/Dコンバータの17チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

A/D電圧コンパレータは、サンプリングされた電圧値と比較電圧生成回路の電圧タップの出力を比較します。比較した結果、アナログ入力電圧がリファレンス電圧(1/2 AVREF)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧(1/2 AVREF)より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、比較電圧生成回路の電圧タップが選択されます

ビット11 = 0 : (1/4 AVREF)

ビット11 = 1 : (3/4 AVREF)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット10 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット4まで続けます。

備考 AVREF : A/Dコンバータの+側基準電圧
(AVREFP, 内部基準電圧(1.45 V), AVDDから選択可能)。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)、そのSARレジスタの内容(変換結果)は、A/D変換結果レジスタ(ADCR)に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号(INTAD)が発生します。

(6) 12ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位12ビットに保持します(上位4ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通り、割り込み要求信号(INTAD)が発生します。

(9) AVREFP端子

外部から基準電圧(AVREFP)を入力する端子です。

AVREFPをA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2(ADM2)のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと-側基準電圧(AVREFM/AVSS)間にかかる電圧に基づいて、ANI2-ANI13、ANI16-ANI18に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AVREFPのほかにAVDDと内部基準電圧(1.45 V)を選択することが可能です。

(10) AVREFM端子

外部から基準電圧(AVREFM)を入力する端子です。AVREFMをA/Dコンバータの-側の基準電圧として使用する場合は、ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの-側基準電圧には、AVREFMのほかにAVSSを選択することが可能です。

14.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次のレジスタを使用します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 12ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャンネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- ポート・モード・コントロール・レジスタ0-2 (PMC0-PMC2)
- ポート・モード・レジスタ0-2 (PM0-PM2)

14.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 • A/Dコンバータで使用するSFRへのライト不可
1	入カクロック供給 • A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態で行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視されます(ポート・モード・レジスタ0-2 (PM0-PM2)、ポート・モード・コントロール・レジスタ0-2 (PMC0-PMC2)は除く)。

- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 12ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6

14.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

A/Dコンバータをリセットする場合は、必ずビット5 (ADCRES)を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00Hになります。

図14-3 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	0	ADCRES	0	0	SAU0RES	0	TAU0RES
ADCRES	A/Dコンバータのリセット制御							
0	A/Dコンバータのリセット解除							
1	A/Dコンバータはリセット状態							

14.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-4 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス : FFF30H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE
	ADCS	A/D変換動作の制御						
	0	変換動作停止 [リード時] 変換動作停止/待機状態						
	1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時 : 変換動作状態 ハードウェア・トリガ・ウェイト・モード時 : A/D電源安定待ち状態 + 変換動作状態						
	ADMD	A/D変換チャンネル選択モードを設定						
	0	セレクト・モード						
	1	スキャン・モード						
	ADCE	A/D電圧コンパレータの動作制御 ^{注2}						
	0	A/D電圧コンパレータの動作停止						
	1	A/D電圧コンパレータの動作許可						

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表14-3~表14-6 A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、安定待ち時間がかかります。このため、ADCEビットに1を設定してから安定待ち時間を経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。安定待ち時間を満たさないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合 : 0.5 μs

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合 : 0.5 μs

アナログ入力チャンネルに標準チャンネル選択の場合 : 2 μs

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合 : 2 μs

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。

必ず14.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

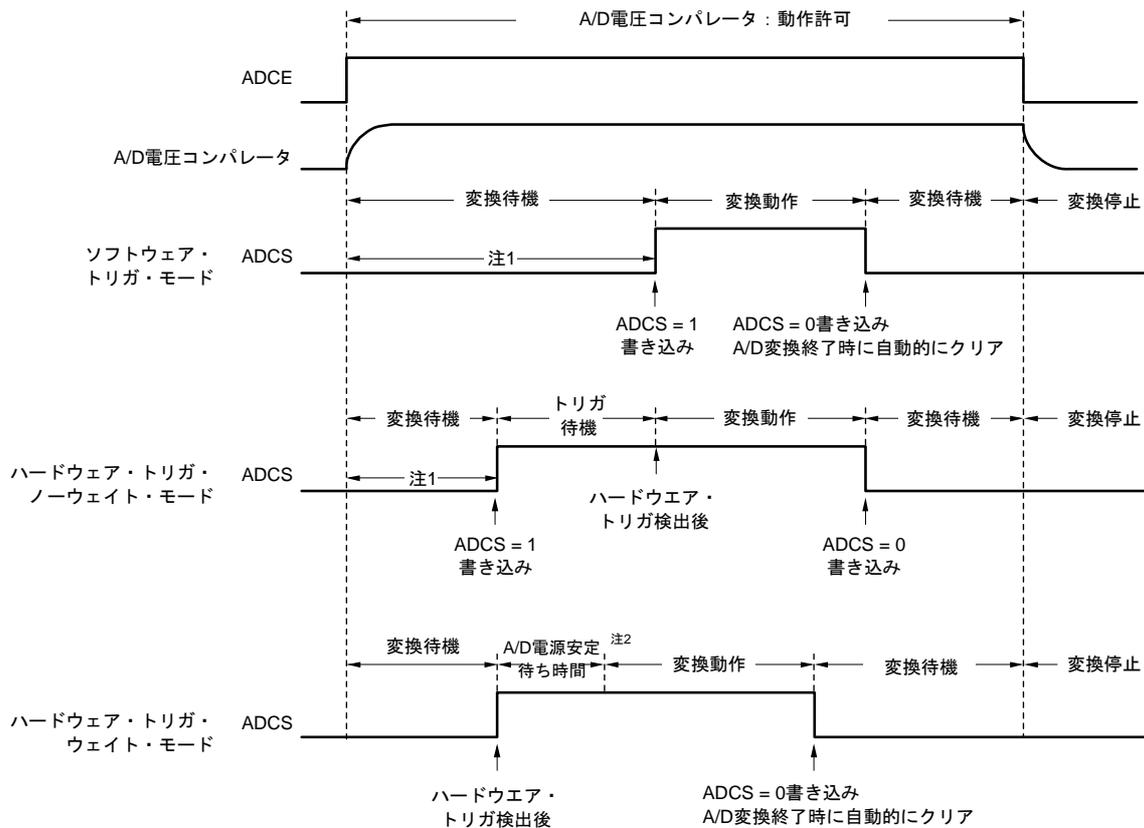
表 14 - 1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表 14 - 2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCE = 1かつ	ADCS = 0ライトした場合
		ワンショット変換モード	ADCS = 1 ライトした場合	<ul style="list-style-type: none"> ADCS = 0ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード	ADCE = 1かつ	ADCS = 0ライトした場合
		ワンショット変換モード	ハードウェア・トリガが入力された場合	<ul style="list-style-type: none"> ADCS = 0ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図14-5 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、ADCEビットの立ち上がりからADCSビットの立ち上がりまでの時間は、内部回路安定のため、次の安定待ち時間以上が必要です。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合：0.5 μ s

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合：0.5 μ s

アナログ入力チャンネルに標準チャンネル選択の場合：2 μ s

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合：2 μ s

注2. 連続変換モードの2回目以降、スキャン・モードのスキャン1以降の変換ではハードウェア・トリガ検出後にA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です(ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0(変換停止/変換待機状態)のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウェイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウェイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 fCLK：CPU/周辺ハードウェア・クロック周波数

表 14 - 3 A/D 変換時間の選択 (1/4)
 (1) 12ビット分解能モード (ADTYP = 0) 安定待ち時間なし
 (ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					変換クロック (fAD)	変換クロック数 (サンプリング・クロック数)	変換時間	変換時間の選択													
								AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V									
								fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz									
FR2	FR1	FR0	LV1	LV0																	
0	0	0	0	0	fCLK/32	54 fAD	1728/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72 μs注									
					fCLK/16	(サンプリング・クロック数 : 11 fAD)	864/fCLK										54 μs注	36 μs注			
					fCLK/8		432/fCLK												54 μs注	27 μs注	18 μs注
					fCLK/6		324/fCLK														
					fCLK/5		270/fCLK														
					fCLK/4		216/fCLK														
					fCLK/2		108/fCLK														
					fCLK/1		54/fCLK														
0	0	0	0	1	fCLK/32	66 fAD	2112/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs									
					fCLK/16	(サンプリング・クロック数 : 23 fAD)	1056/fCLK										66 μs注	44 μs注			
					fCLK/8		528/fCLK												66 μs注	33 μs注	22 μs注
					fCLK/6		396/fCLK														
					fCLK/5		330/fCLK														
					fCLK/4		264/fCLK														
					fCLK/2		132/fCLK														
					fCLK/1		66/fCLK														
0	0	0	1	0	fCLK/32	76 fAD	2432/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	101.33 μs									
					fCLK/16	(サンプリング・クロック数 : 33 fAD)	1216/fCLK										76 μs注	50.67 μs注			
					fCLK/8		608/fCLK												76 μs注	38 μs注	25.33 μs注
					fCLK/6		456/fCLK														
					fCLK/5		380/fCLK														
					fCLK/4		304/fCLK														
					fCLK/2		152/fCLK														
					fCLK/1		76/fCLK														
0	0	0	1	1	fCLK/32	230 fAD	7360/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	306.67 μs									
					fCLK/16	(サンプリング・クロック数 : 187 fAD)	3680/fCLK										230 μs注	153.33 μs注			
					fCLK/8		1840/fCLK												230 μs注	115 μs注	76.67 μs注
					fCLK/6		1380/fCLK														
					fCLK/5		1150/fCLK														
					fCLK/4		920/fCLK														
					fCLK/2		460/fCLK														
					fCLK/1		230/fCLK														

注 ANI16-ANI18使用時は設定禁止です。

注意1. A/D変換時間は、34.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

注意4. ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード時の変換時間は、以下の条件で設定してください。

- fADは1~16 MHzの範囲とする
- ANI16-ANI18使用時は、LV1, LV0の設定値に応じて、以下のAVDD電圧範囲とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 0の場合：1.8 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 1の場合：1.6 V ≤ AVDD ≤ 3.6 V
- アナログ入力チャネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は、以下の条件とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 0以外の場合：2.4 V ≤ AVDD ≤ 3.6 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 14 - 4 A/D 変換時間の選択 (2/4)

(2) 12ビット分解能モード (ADTYP = 0) A/D 電源安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード (連続変換モードの2回目以降, スキャン・モードのスキャン1以降を除く注1))

A/Dコンバータ・モード・レジスタ0 (ADM0)					変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 (サンプリング・クロック数)	A/D電源安定待ち時間+変換時間	A/D電源安定待ち時間+変換時間の選択					
									AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V	
FR2	FR1	FR0	LV1	LV0				fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz		
0	0	0	0	0	fCLK/32	4 fCLK	54 fAD (サンプリング・クロック数)	1732/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72.1667 μs注2	
0	0	1			fCLK/16		868/fCLK	54.25 μs注2				36.1667 μs注2		
0	1	0			fCLK/8		436/fCLK	54.5 μs注2				27.25 μs注2	18.1667 μs注2	
0	1	1			fCLK/6		328/fCLK	41 μs注2				20.5 μs注2	13.6667 μs注2	
1	0	0			fCLK/5		274/fCLK	34.25 μs注2				17.125 μs注2	11.4167 μs注2	
1	0	1			fCLK/4		220/fCLK	55 μs注2				27.5 μs注2	13.75 μs注2	9.1667 μs注2
1	1	0			fCLK/2		112/fCLK	28 μs注2				14 μs注2	7 μs注2	4.6667 μs注2
1	1	1			fCLK/1	2 fCLK	56/fCLK	56 μs注2				14 μs注2	7 μs注2	3.5 μs注2
0	0	0	0	1	fCLK/32	58 fCLK	66 fAD (サンプリング・クロック数)	2170/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	90.4167 μs	
0	0	1			fCLK/16		1114/fCLK	69.625 μs				46.4167 μs		
0	1	0			fCLK/8		586/fCLK	73.25 μs注2				36.625 μs	24.4167 μs	
0	1	1			fCLK/6		454/fCLK	56.75 μs注2				28.375 μs	18.9167 μs	
1	0	0			fCLK/5		388/fCLK	48.5 μs注2				24.25 μs	16.1667 μs	
1	0	1			fCLK/4		322/fCLK	80.5 μs注2				40.25 μs注2	20.125 μs	13.4167 μs
1	1	0			fCLK/2		190/fCLK	47.5 μs注2				23.75 μs注2	11.875 μs	7.9167 μs
1	1	1			fCLK/1	29 fCLK	95/fCLK	95 μs注2				23.75 μs注2	11.875 μs注2	5.9375 μs
0	0	0	1	0	fCLK/32	15 fCLK	76 fAD (サンプリング・クロック数)	2447/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	101.958 μs注2	
0	0	1			fCLK/16		1231/fCLK	76.9375 μs注2				51.292 μs注2		
0	1	0			fCLK/8		623/fCLK	77.875 μs				38.9375 μs注2	25.958 μs注2	
0	1	1			fCLK/6		471/fCLK	58.875 μs				29.4375 μs注2	19.625 μs注2	
1	0	0			fCLK/5		395/fCLK	49.375 μs				24.6875 μs注2	16.458 μs注2	
1	0	1			fCLK/4		319/fCLK	79.75 μs注2				39.875 μs	19.9375 μs注2	13.292 μs注2
1	1	0			fCLK/2		167/fCLK	41.75 μs注2				20.875 μs	10.4375 μs注2	6.958 μs注2
1	1	1			fCLK/1		91/fCLK	91 μs注2				22.75 μs注2	11.375 μs	5.6875 μs注2
0	0	0	1	1	fCLK/32	8 fCLK	230 fAD (サンプリング・クロック数)	7368/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	307 μs注2	
0	0	1			fCLK/16		3688/fCLK	230.5 μs注2				153.67 μs注2		
0	1	0			fCLK/8		1848/fCLK	231 μs注2				115.5 μs注2	77 μs注2	
0	1	1			fCLK/6		1388/fCLK	173.5 μs注2				86.75 μs注2	57.83 μs注2	
1	0	0			fCLK/5		1158/fCLK	144.75 μs注2				72.375 μs注2	48.25 μs注2	
1	0	1			fCLK/4		928/fCLK	232 μs				116 μs注2	58 μs注2	38.67 μs注2
1	1	0			fCLK/2		468/fCLK	117 μs				58.5 μs注2	29.25 μs注2	19.5 μs注2
1	1	1			fCLK/1		238/fCLK	238 μs				59.5 μs	29.75 μs注2	14.875 μs注2

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、A/D電源安定待ち時間は発生しません(表14-3参照)。

注2. ANI16-ANI18使用時は設定禁止です。

注意1. A/D変換時間は、34.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、以下の条件で設定してください。

- fADは1~16 MHzの範囲とする
- ANI16-ANI18使用時は、以下の条件とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 0の場合：1.8 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 - LV1 = 1, LV0 = 1の場合：1.6 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz
- アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は、以下の条件とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 0の場合：2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 - LV1 = 1, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 14 - 5 A/D 変換時間の選択 (3/4)
 (3) 8ビット分解能モード (ADTYP = 1) 安定待ち時間なし
 (ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ 0 (ADM0)					変換クロック (fAD)	変換クロック数 (サンプリング・クロック数)	変換時間	変換時間の選択									
								AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V					
								fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz					
FR2	FR1	FR0	LV1	LV0													
0	0	0	0	0	fCLK/32	41 fAD (サンプリング・クロック数 : 11 fAD)	1312/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54.6667 μs注				
					fCLK/16		656/fCLK							41 μs注	27.3333 μs注		
					fCLK/8		328/fCLK									41 μs注	20.5 μs注
					fCLK/6		246/fCLK							30.75 μs注	15.375 μs注		
					fCLK/5		205/fCLK							25.625 μs注	12.8125 μs注	8.5417 μs注	
					fCLK/4		164/fCLK							41 μs注	20.5 μs注	10.25 μs注	6.8333 μs注
					fCLK/2		82/fCLK							20.5 μs注	10.25 μs注	5.125 μs注	3.4167 μs注
					fCLK/1		41/fCLK							41 μs注	10.25 μs注	5.125 μs注	2.5625 μs注
0	0	0	0	1	fCLK/32	53 fAD (サンプリング・クロック数 : 23 fAD)	1696/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	70.6667 μs					
					fCLK/16		848/fCLK						53 μs注	26.5 μs注	17.6667 μs		
					fCLK/8		424/fCLK									53 μs注	19.875 μs
					fCLK/6		318/fCLK						39.75 μs注	19.875 μs	13.25 μs		
					fCLK/5		265/fCLK						33.125 μs注	16.5625 μs	11.0417 μs		
					fCLK/4		212/fCLK						53 μs注	26.5 μs注	13.25 μs	8.8333 μs	
					fCLK/2		106/fCLK						26.5 μs注	13.25 μs注	6.625 μs	4.4167 μs	
					fCLK/1		53/fCLK						53 μs注	13.25 μs注	6.625 μs注	3.3125 μs	設定禁止
0	0	0	1	0	fCLK/32	63 fAD (サンプリング・クロック数 : 33 fAD)	2016/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	84.00 μs					
					fCLK/16		1008/fCLK						63 μs	31.5 μs	21.00 μs		
					fCLK/8		504/fCLK									63 μs	23.625 μs
					fCLK/6		378/fCLK						47.25 μs	23.625 μs	15.75 μs		
					fCLK/5		315/fCLK						39.375 μs	19.6875 μs	13.13 μs		
					fCLK/4		252/fCLK						63 μs注	31.5 μs	15.75 μs	10.50 μs	
					fCLK/2		126/fCLK						31.5 μs注	15.75 μs	7.875 μs	5.25 μs	
					fCLK/1		63/fCLK						63 μs注	15.75 μs注	7.875 μs	3.9375 μs	設定禁止
0	0	0	1	1	fCLK/32	217 fAD (サンプリング・クロック数 : 187 fAD)	6944/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	289.33 μs					
					fCLK/16		3472/fCLK						217 μs	108.5 μs	72.33 μs		
					fCLK/8		1736/fCLK									217 μs	81.375 μs
					fCLK/6		1302/fCLK						162.75 μs	81.375 μs	54.25 μs		
					fCLK/5		1085/fCLK						135.625 μs	67.8125 μs	45.21 μs		
					fCLK/4		868/fCLK						217 μs	108.5 μs	54.25 μs	36.17 μs	
					fCLK/2		434/fCLK						108.5 μs	54.25 μs	27.125 μs	18.08 μs	
					fCLK/1		217/fCLK						217 μs	54.25 μs	27.125 μs	13.5625 μs	設定禁止

注 ANI16-ANI18使用時は設定禁止です。

注意 1. A/D変換時間は、34.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

注意 2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意 3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

注意 4. ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード時の変換時間は、以下の条件で設定してください。

- fADは1~16 MHzの範囲とする
- ANI16-ANI18使用時は、LV1, LV0の設定値に応じて、以下のAVDD電圧範囲とする。
 - LV1 = 0, LV0 = 0の場合 : 設定禁止
 - LV1 = 0, LV0 = 1の場合 : 2.4 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 0の場合 : 1.8 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 1の場合 : 1.6 V ≤ AVDD ≤ 3.6 V
- アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は、以下の条件とする。
 - LV1 = 0, LV0 = 0の場合 : 設定禁止
 - LV1 = 0, LV0 = 0以外の場合 : 2.4 V ≤ AVDD ≤ 3.6 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 14 - 6 A/D変換時間の選択(4/4)

(4) 8ビット分解能モード(ADTYP = 1) A/D電源安定待ち時間あり(ハードウェア・トリガ・ウエイト・モード(連続変換モードの2回目以降, スキャン・モードのスキャン1以降を除く注1))

A/Dコンバータ・モード・レジスタ0 (ADM0)					変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 (サンプリング・クロック数)	A/D電源安定待ち時間+変換時間	A/D電源安定待ち時間+変換時間の選択				
									AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V
FR2	FR1	FR0	LV1	LV0				fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz	
0	0	0	0	0	fCLK/32	4 fCLK	41 fAD (サンプリング・クロック数)	1316/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	54.8333 μs注2
0	0	1			fCLK/16		660/fCLK					41.25 μs注2	27.5000 μs注2
0	1	0			fCLK/8		332/fCLK				41.5 μs注2	20.75 μs注2	13.8333 μs注2
0	1	1			fCLK/6		250/fCLK				31.25 μs注2	15.625 μs注2	10.4167 μs注2
1	0	0			fCLK/5		209/fCLK				26.125 μs注2	13.0625 μs注2	8.7083 μs注2
1	0	1			fCLK/4		168/fCLK		42 μs注2	21 μs注2	10.5 μs注2	7.0000 μs注2	
1	1	0			fCLK/2		86/fCLK		21.5 μs注2	10.75 μs注2	5.375 μs注2	3.5833 μs注2	
1	1	1			fCLK/1	2 fCLK		43/fCLK	43 μs注2	10.75 μs注2	5.375 μs注2	2.6875 μs注2	設定禁止
0	0	0	0	1	fCLK/32	58 fCLK	53 fAD (サンプリング・クロック数)	1754/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	73.0833 μs注2
0	0	1			fCLK/16		906/fCLK					56.625 μs	37.7500 μs注2
0	1	0			fCLK/8		482/fCLK				60.25 μs注2	30.125 μs	20.0833 μs注2
0	1	1			fCLK/6		376/fCLK				47 μs注2	23.5 μs	15.6667 μs注2
1	0	0			fCLK/5		323/fCLK				40.375 μs注2	20.1875 μs	13.4583 μs注2
1	0	1			fCLK/4		270/fCLK		67.5 μs注2	33.75 μs注2	16.875 μs	11.2500 μs注2	
1	1	0			fCLK/2		164/fCLK		41 μs注2	20.5 μs注2	10.25 μs	6.8333 μs注2	
1	1	1			fCLK/1	29 fCLK		82/fCLK	82 μs注2	20.5 μs注2	10.25 μs注2	5.125 μs	設定禁止
0	0	0	1	0	fCLK/32	15 fCLK	63 fAD (サンプリング・クロック数)	2031/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	84.625 μs注2
0	0	1			fCLK/16		1023/fCLK					63.9375 μs注2	42.625 μs注2
0	1	0			fCLK/8		519/fCLK				64.875 μs	32.4375 μs注2	21.625 μs注2
0	1	1			fCLK/6		393/fCLK				49.125 μs	24.5625 μs注2	16.375 μs注2
1	0	0			fCLK/5		330/fCLK				41.25 μs	20.625 μs注2	13.75 μs注2
1	0	1			fCLK/4		267/fCLK		66.75 μs注2	33.375 μs	16.6875 μs注2	11.125 μs注2	
1	1	0			fCLK/2		141/fCLK		35.25 μs注2	17.625 μs	8.8125 μs注2	5.875 μs注2	
1	1	1			fCLK/1			78/fCLK	78 μs注2	19.5 μs注2	9.75 μs	4.875 μs注2	設定禁止
0	0	0	1	1	fCLK/32	8 fCLK	217 fAD (サンプリング・クロック数)	6952/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	289.67 μs注2
0	0	1			fCLK/16		3480/fCLK					217.5 μs注2	145 μs注2
0	1	0			fCLK/8		1744/fCLK				218 μs注2	109 μs注2	72.67 μs注2
0	1	1			fCLK/6		1310/fCLK				163.75 μs注2	81.875 μs注2	54.58 μs注2
1	0	0			fCLK/5		1093/fCLK				136.625 μs注2	68.3125 μs注2	45.54 μs注2
1	0	1			fCLK/4		876/fCLK		219 μs	109.5 μs注2	54.75 μs注2	36.5 μs注2	
1	1	0			fCLK/2		442/fCLK		110.5 μs	55.25 μs注2	27.625 μs注2	18.42 μs注2	
1	1	1			fCLK/1			225/fCLK	225 μs	56.25 μs	28.125 μs注2	14.0625 μs注2	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、A/D電源安定待ち時間は発生しません(表14-5参照)。

注2. ANI16-ANI18使用時は設定禁止です。

注意1. A/D変換時間は、34.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

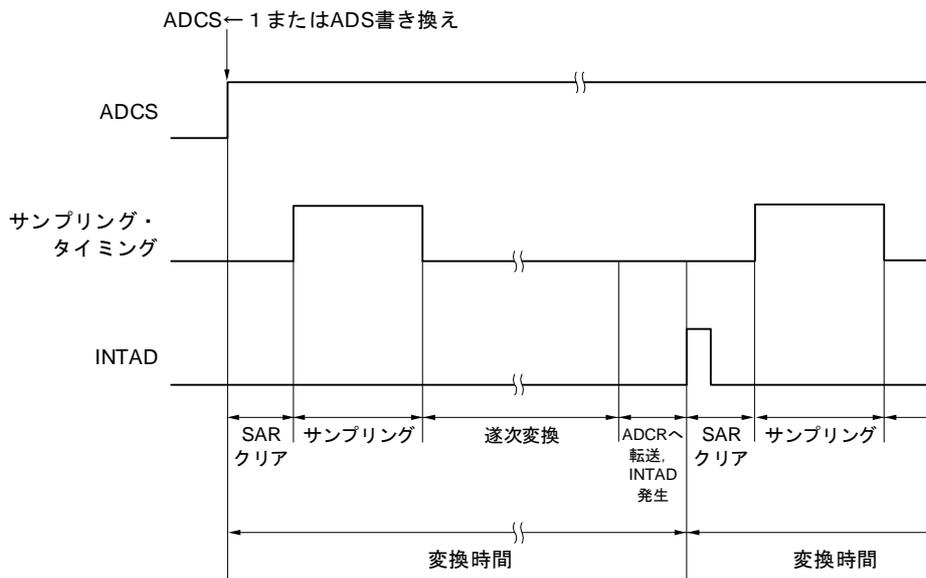
注意3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ノーウエイト・モード時の変換時間は、以下の条件で設定してください。

- fADは1~16 MHzの範囲とする
- ANI16-ANI18使用時は、以下の条件とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 0の場合：1.8 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 - LV1 = 1, LV0 = 1の場合：1.6 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz
- アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は、以下の条件とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 0の場合：2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 - LV1 = 1, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz

備考 fCLK: CPU/周辺ハードウェア・クロック周波数

図14 - 6 A/DコンバータのサンプリングとA/D変換のタイミング(例 ソフトウェア・トリガ・モードの場合)



14.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-7 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
	ADTMD1	ADTMD0	A/D変換トリガ・モードの選択					
	0	x	ソフトウェア・トリガ・モード					
	1	0	ハードウェア・トリガ・ノーウェイト・モード					
	1	1	ハードウェア・トリガ・ウェイト・モード					
	ADSCM	A/D変換動作モードの設定						
	0	連続変換モード						
	1	ワンショット変換モード						
	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択					
	0	0	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み信号(INTTM01)					
	0	1	ELCで選択されたイベント信号					
	1	0	リアルタイム・クロック2割り込み信号(INTRTC)					
	1	1	12ビット・インターバル・タイマ割り込み信号(INTIT)					

注意1. ADM1レジスタを書き換える場合は、必ず変換動作停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0)のADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウェイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウェイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大fCLKの4クロック間は、次のINTRTC, INTIT入力がトリガとして有効になりません。

備考1. x : don't care

備考2. fCLK : CPU/周辺ハードウェア・クロック周波数

14.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14-8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	AV _{DD} から供給
0	1	AV _{REFP} /ANI0から供給
1	0	内部基準電圧(1.45 V)から供給 ^注
1	1	設定禁止

• ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 安定待ち時間ウエイト(A)
- ④ ADCE = 1に設定
- ⑤ 安定待ち時間ウエイト(B)

③の安定待ち時間は, ADREFP1, ADREFP0の値の変更時に必要となります。

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 10 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : A = 1 μs

⑤の安定待ち時間は, ADCE = 1に設定時に必要となります。

アナログ入力チャンネルに高精度チャンネル選択の場合 : B = 0.5 μs

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合 : B = 0.5 μs

アナログ入力チャンネルに標準チャンネル選択の場合 : B = 2 μs

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合 : B = 2 μs

⑤の安定待ち時間のあとに, A/D変換を開始してください。

• ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力電圧と内部基準電圧をA/D変換することはできません。必ずADISS = 0としてA/D変換を行ってください。

注 動作電圧1.8 V以上で設定してください。

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードもしくはサブシステム・クロックでCPU動作中からのHALTモードへ移行する場合は, ADREFP1 = 1に設定しないでください。また, ADREFP1 = 1設定時に, メイン・システム・クロックでCPU動作中からHALTモードへ移行する場合は, 34.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

注意3. AV_{REFP}とAV_{REFM}を使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

図14-9 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP
ADREFM	A/Dコンバータの側の基準電圧源の選択							
0	AVSSから供給							
1	AVREFM/ANI1から供給							
ADRCK	変換結果上限/下限値チェック							
0	ADLLレジスタ ≤ ADCRレジスタ ≤ ADULレジスタ (AREA1)のときA/D変換終了割り込み要求信号 (INTAD)が発生。							
1	ADCRレジスタ < ADLLレジスタ (AREA2), ADULレジスタ < ADCRレジスタ (AREA3)のときA/D変換終了割り込み要求信号 (INTAD)が発生。							
AREA1～AREA3のA/D変換終了割り込み要求信号 (INTAD)発生範囲を図14-10に示します。								
AWC	SNOOZEモードの設定							
0	SNOOZEモード機能を使用しない							
1	SNOOZEモード機能を使用する							
<p>STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。</p> <ul style="list-style-type: none"> • SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^{注1}+変換起動時間+A/D電源安定待ち時間+A/D変換時間+fCLKの2クロック」以上の間隔を空けて設定してください。 • SNOOZEモードを使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 <p>またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。</p> <p>AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にAD変換が開始されません。</p>								
ADTYP	A/D変換分解能の選択							
0	12ビット分解能 ^{注2}							
1	8ビット分解能							

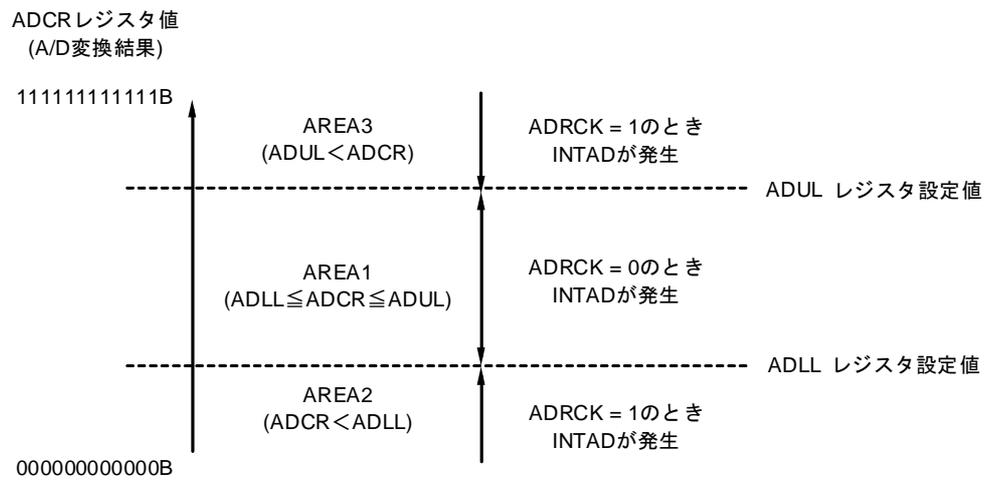
注1. 23.3.3 SNOOZEモードのSTOPモード→SNOOZEモードの遷移時間を参照してください。

注2. 有効な分解能は、AVDD, AVREFPの電圧条件により異なります。

詳細は、34.6.1 A/Dコンバータ特性を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0)のときに行ってください。

図14 - 10 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

14.3.6 12ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。上位4ビットは“0”固定です。

A/D変換が終了するたびに、ADSAR[11:0]の値をA/D変換結果レジスタに格納します(ただし、ADM2レジスタのADRCKビット、ADUL、ADLLレジスタの設定より格納するか否かが決まります)。変換結果の上位4ビットがFFF1FHの下位4ビットに、下位8ビットがFFF1EHに格納されます注。

ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図14-10参照))で設定した値の範囲外の場合は格納されません。

注意 有効な分解能は、AVDD、AVREFPの電圧条件により異なります。
詳細は、34.6.1 A/Dコンバータ特性を参照してください。

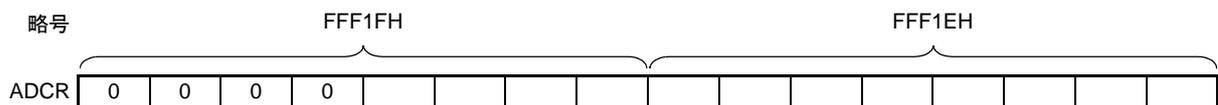
備考1. 10ビット分解能で使用する場合は、12ビット分解能モード(ADTYP = 0)に設定し、変換結果の上位10ビットを使用し、下位2ビットは使用しないでください。

備考2. 8ビット分解能で使用する場合は、ADCRレジスタの下位4ビットは使用しないでください。

ADCRHレジスタを使用することにより、変換結果の上位8ビットを読み出すことができます。

図14-11 12ビットA/D変換結果レジスタ (ADCR)のフォーマット

アドレス : FFF1EH, FFF1FH リセット時 : 0000H R



注意1. A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)に対して書き込み動作を行ったとき、ADCRレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

注意2. INTADが発生しない場合は、A/D変換結果がADCRレジスタに格納されません。

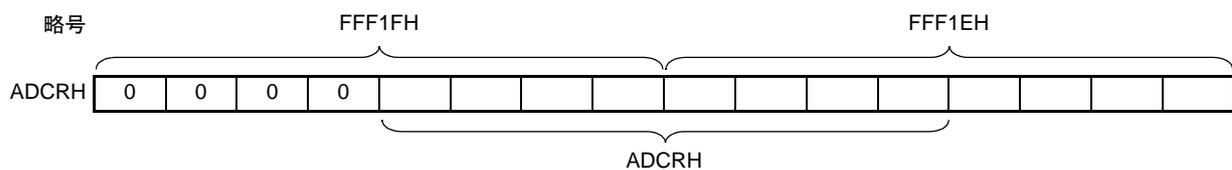
14.3.7 8ビットA/D変換結果レジスタ (ADCRH)

ADCRレジスタの[11:4]ビットを示す8ビットのレジスタです。12ビット分解能の上位8ビットを格納します注。
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。
リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図14 - 10参照)) で設定した値の範囲外の場合は格納されません。

図14 - 12 8ビットA/D変換結果レジスタ (ADCRH)のフォーマット

アドレス : FFF1FH注 リセット時 : 00H R



注 FFF1FH番地を読み出した場合、ADCRHのデータ (FFF1FHの低位4ビット + FFF1EHの高位4ビット)が読み出されます。

- 注意1. A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ (ADS)に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。
- 注意2. INTADが発生しない場合は、A/D変換結果がADCRHレジスタに格納されません。

14.3.8 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-13 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P10/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P11/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P12/ANI2 端子
0	0	0	0	1	1	ANI3	P13/ANI3 端子
0	0	0	1	0	0	ANI4	P14/ANI4 端子
0	0	0	1	0	1	ANI5	P15/ANI5 端子
0	0	0	1	1	0	ANI6	P16/ANI6 端子
0	0	0	1	1	1	ANI7	P17/ANI7 端子
0	0	1	0	0	0	ANI8	P25/ANI8 端子
0	0	1	0	0	1	ANI9	P24/ANI9 端子
0	0	1	0	1	0	ANI10	P23/ANI10 端子
0	0	1	0	1	1	ANI11	P22/ANI11 端子
0	0	1	1	0	0	ANI12	P21/ANI12 端子
0	0	1	1	0	1	ANI13	P20/ANI13 端子
0	1	0	0	0	0	ANI16	P02/ANI16 端子
0	1	0	0	0	1	ANI17	P03/ANI17 端子
0	1	0	0	1	0	ANI18	P04/ANI18 端子
¹ 注1	0	0	0	0	⁰ 注2	—	温度センサ出力電圧
¹ 注1	0	0	0	0	¹ 注3	—	内部基準電圧 (1.45 V)
上記以外						設定禁止	

注1. ADISSを1に設定後、ADISSを再度1に設定する場合 (ADISS=1→0→1) は ADISSに1を設定する間隔を200 us以上あけてください。

注2. ADISS=1の状態、ADSを0に設定後、再度0に設定する場合 ((ADISS, ADS0)=(1,0)→(1,1)→(1,0)) は ADS0に0を設定する間隔を100 us以上あけてください。

注3. ADISS=1の状態、ADSを1に設定後、再度1に設定する場合 ((ADISS, ADS0)=(1,1)→(1,0)→(1,1)) は ADS0に1を設定する間隔を100 us以上あけてください。

○スキャン・モード(ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
上記以外						設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

注意2. PMCxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0-2 (PM0-PM2)で入力モードに選択してください。

注意3. ポート・モード・コントロール・レジスタ0-2 (PMC0-PMC2)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. AVREFPをA/Dコンバータの+側の基準電圧源として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。

注意6. AVREFMをA/Dコンバータの-側の基準電圧源として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。

注意7. ADISS = 1を設定した場合、+側の基準電圧源に内部基準電圧(1.45 V)は使用できません。

また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、14.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定を参照してください。

注意8. STOPモードもしくはサブシステム・クロックでCPU動作中からのHALTモードへ移行する場合は、ADISS = 1に設定しないでください。また、ADISS = 1設定時に、メイン・システム・クロックでCPU動作中からHALTモードへ移行する場合は、34.3.2 電源電流特性に示す温度センサ動作電流(I_{TMPS})の電流値が加算されます。

注意9. 製品により、対応するANI端子が存在しない場合は、変換結果を無視してください。

14.3.9 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図14-10参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14-14 変換結果比較上限値設定レジスタ (ADUL)のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

注意1. 12ビット分解能A/D変換選択時は、12ビットA/D変換結果レジスタ (ADCR)に格納された変換結果の上位8ビットをADULレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタの設定を行う際には、ADUL > ADLLになるよう設定を行ってください。

14.3.10 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図14-10参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-15 変換結果比較下限値設定レジスタ (ADLL)のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 12ビット分解能A/D変換選択時は、12ビットA/D変換結果レジスタ (ADCR)に格納された変換結果の上位8ビットをADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタの設定を行う際には、ADUL > ADLLになるよう設定を行ってください。

14.3.11 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、温度センサ出力電圧、内部基準電圧(1.45V)を選択するレジスタです。A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、は8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx / 温度センサ出力電圧 / 内部基準電圧(1.45V) (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで設定)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで設定)
上記以外		設定禁止

注意 A/Dテスト機能についての詳細は、第27章 安全機能を参照してください。

14.3.12 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx)) を設定してください。

詳細は、以下を参照してください。

- 4.3.1 ポート・モード・レジスタ (PMxx)
- 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

ANI0-ANI13, ANI16-ANI18 端子を A/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに 1 を設定してください。

14.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 11 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力が $(1/2)AV_{REF}$ よりも大きければ、SAR レジスタのMSBビットをセットしたままです。また、 $(1/2)AV_{REF}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット10が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット11の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ビット 11 = 1 : $(3/4) AV_{REF}$
 - ビット 11 = 0 : $(1/4) AV_{REF}$この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット10を次のように操作します。
 - サンプリングされた電圧 \geq 電圧タップ : ビット 10 = 1
 - サンプリングされた電圧 $<$ 電圧タップ : ビット 10 = 0
- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 12ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます注1。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します注2。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定(図14-10参照))で設定した値の範囲外の場合、A/D変換終了割り込み要求信号(INTAD)は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

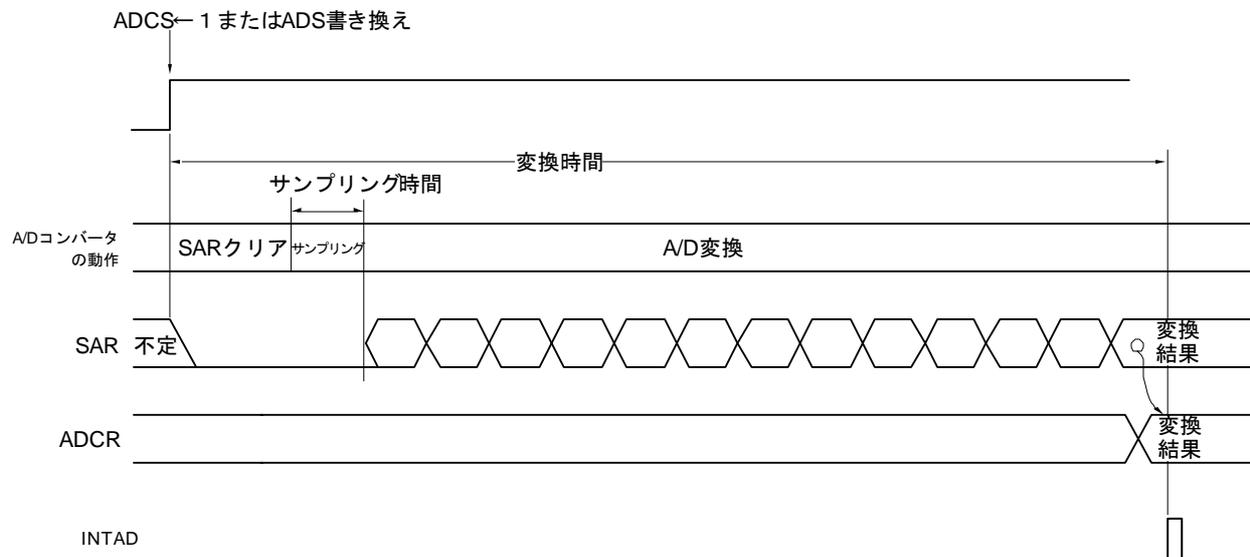
注2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ (16ビット): 12ビットのA/D変換値を格納します。
- ADCRHレジスタ (8ビット): 8ビットのA/D変換値を格納します。

備考2. AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧(1.45 V), AV_{DD} から選択可能です。

図14-17 A/Dコンバータの変換動作(ソフトウェア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS)に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ (ADCR, ADCRH)は、リセット信号の発生により0000Hまた00Hとなります。

14.5 入力電圧と変換結果

アナログ入力端子(ANI0-ANI13, ANI16-ANI18)に入力されたアナログ入力電圧と理論上のA/D変換結果(12ビット A/D変換結果レジスタ (ADCR))には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF}} \times 4096 + 0.5 \right)$$

または,

$$(ADCR - 0.5) \times \frac{AV_{REF}}{4096} \leq V_{AIN} < (ADCR + 0.5) \times \frac{AV_{REF}}{4096}$$

INT () : ()内の値の整数部を返す関数

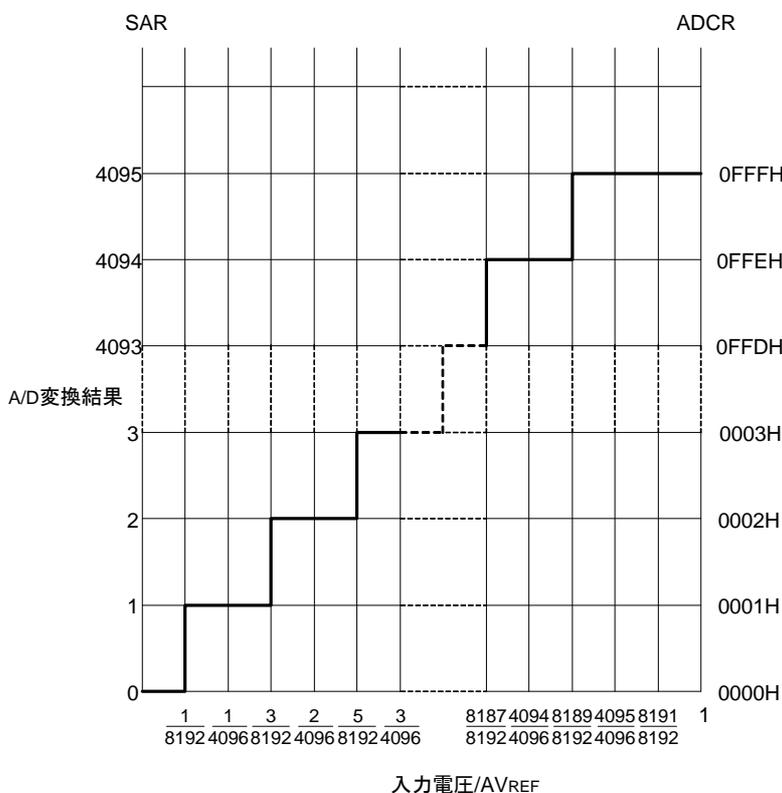
V_{AIN} : アナログ入力電圧

AV_{REF} : AV_{REF}端子電圧

ADCR : A/D変換結果レジスタ (ADCR)の値

図14 - 18にアナログ入力電圧とA/D変換結果の関係を示します。

図14 - 18 アナログ入力電圧とA/D変換結果の関係



備考 AV_{REF} : A/Dコンバータの+側基準電圧。AV_{REFP}, 内部基準電圧(1.45 V), AV_{DD}から選択可能です。

14.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を14.7 A/Dコンバータの設定フロー・チャートに示します。

14.6.1 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μs

図14-19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例

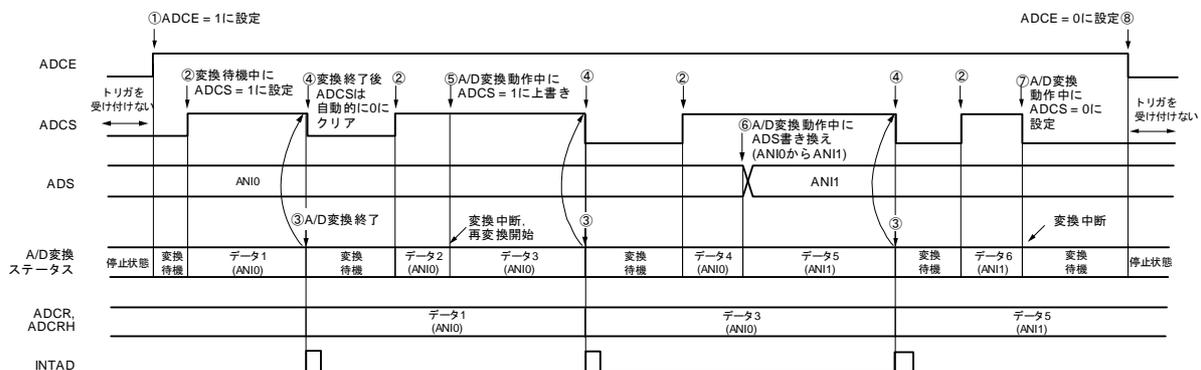


14.6.2 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

注 アナログ入力チャネルに高精度チャネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャネルに標準チャネル選択の場合：安定待ち時間 = 2 μs

図14-20 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)動作タイミング例

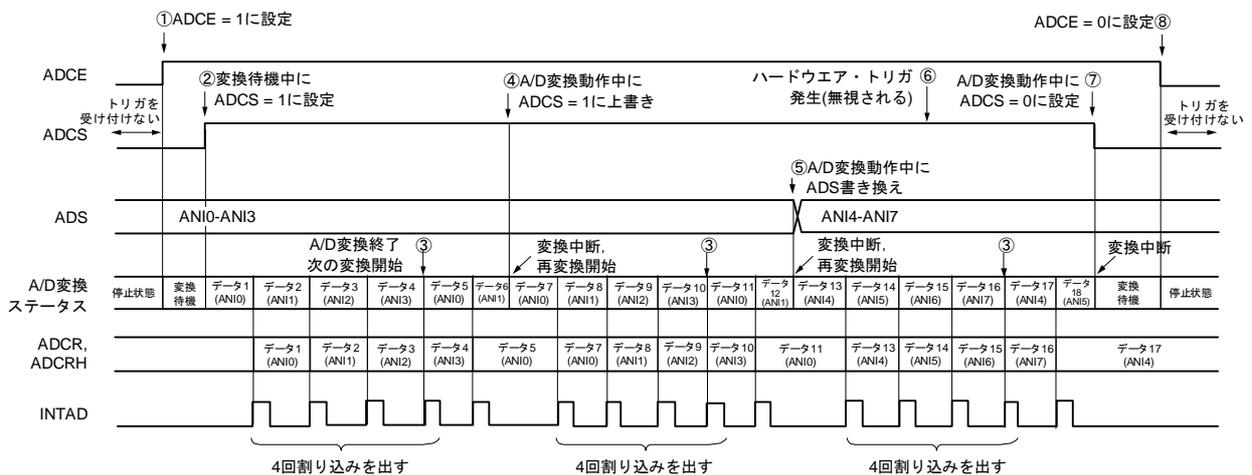


14.6.3 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャネルのA/D変換終了後は、設定しているチャネルからすぐに次のA/D変換が自動的に開始されます(4チャネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャネルに高精度チャネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャネルに標準チャネル選択の場合：安定待ち時間 = 2 μ s

図14-21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例

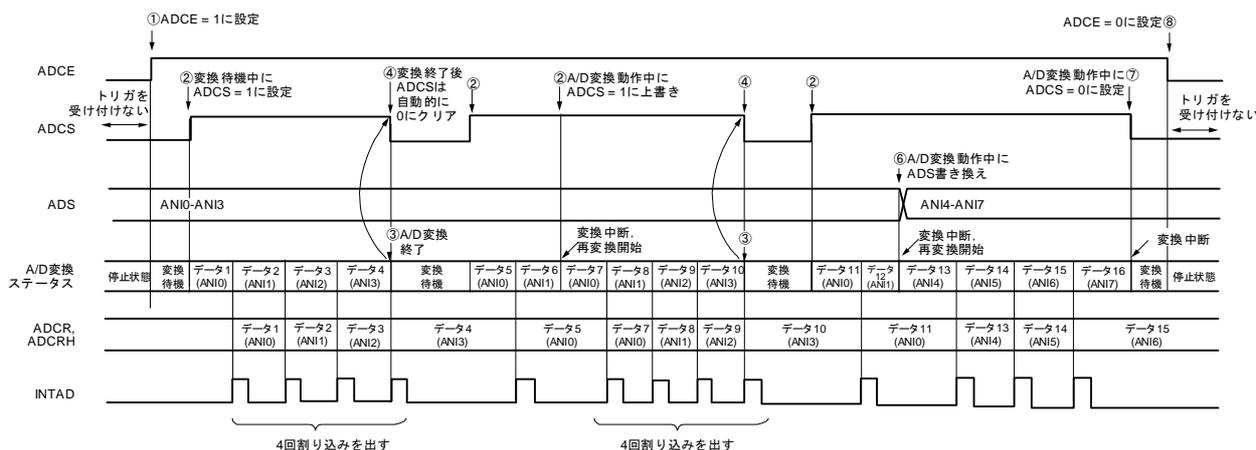


14.6.4 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ 4チャネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

注 アナログ入力チャネルに高精度チャネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャネルに標準チャネル選択の場合：安定待ち時間 = 2 μs

図14-22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例

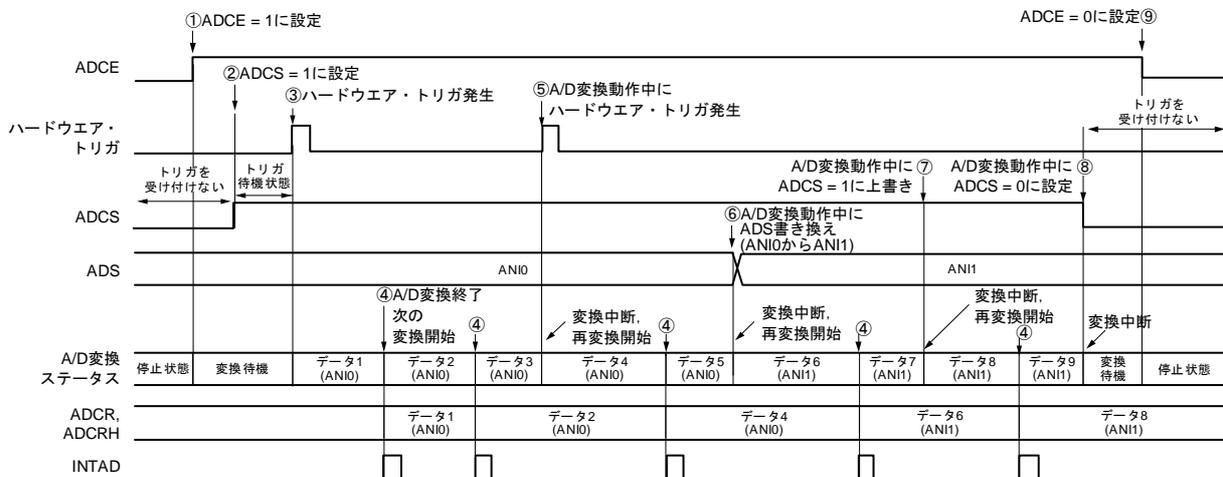


14.6.5 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図14-23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例

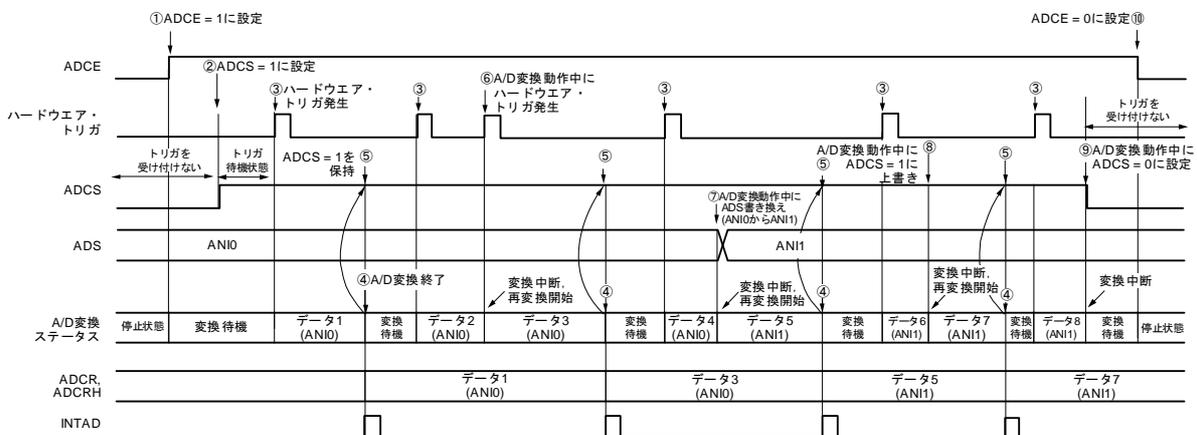


14.6.6 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μs

図14-24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例

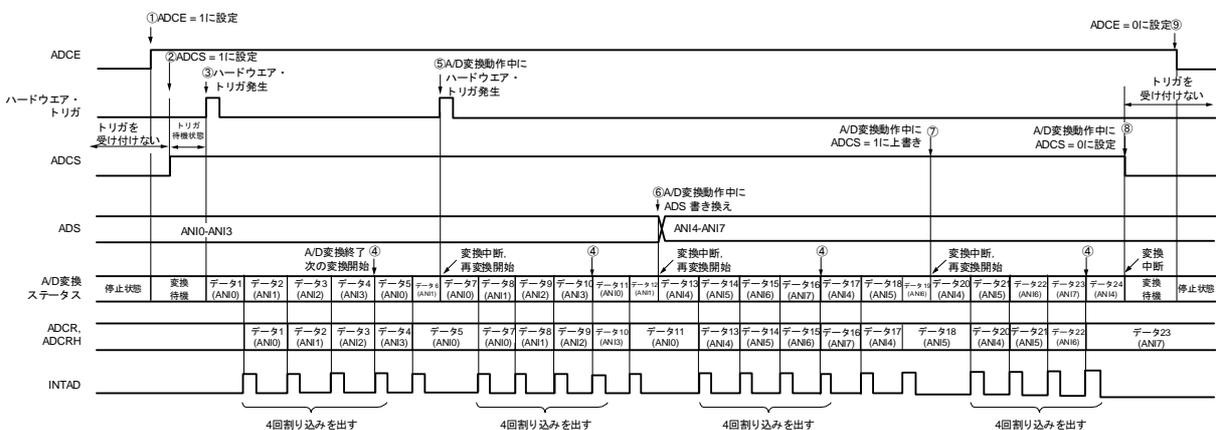


14.6.7 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μs

図14-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例

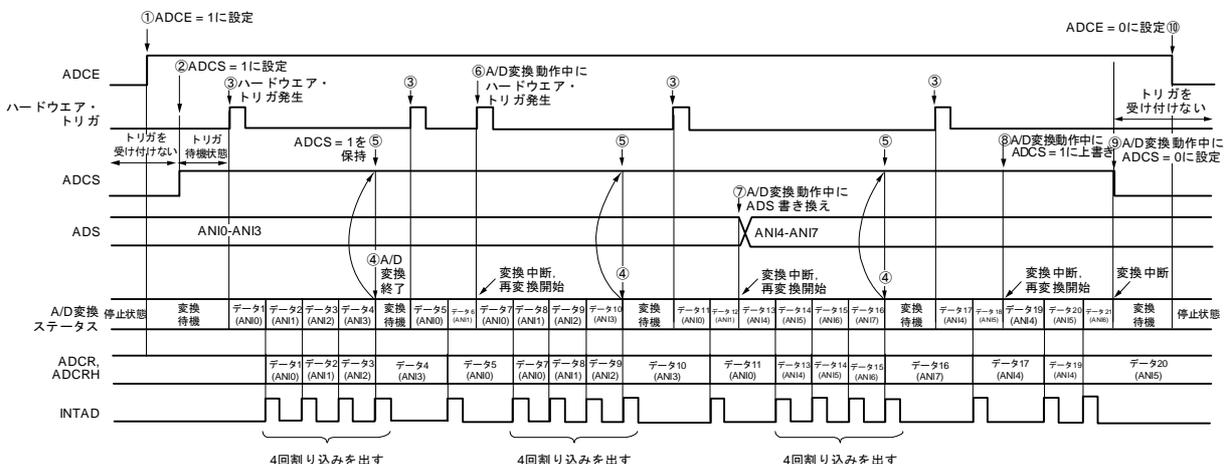


14.6.8 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ⑤ 4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

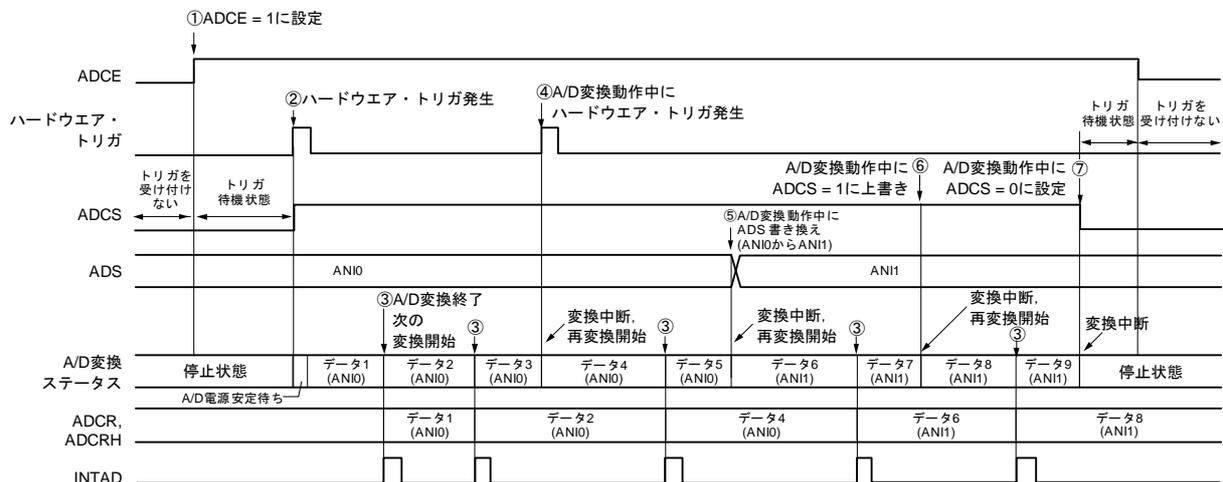
図14-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



14.6.9 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します(このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS= 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

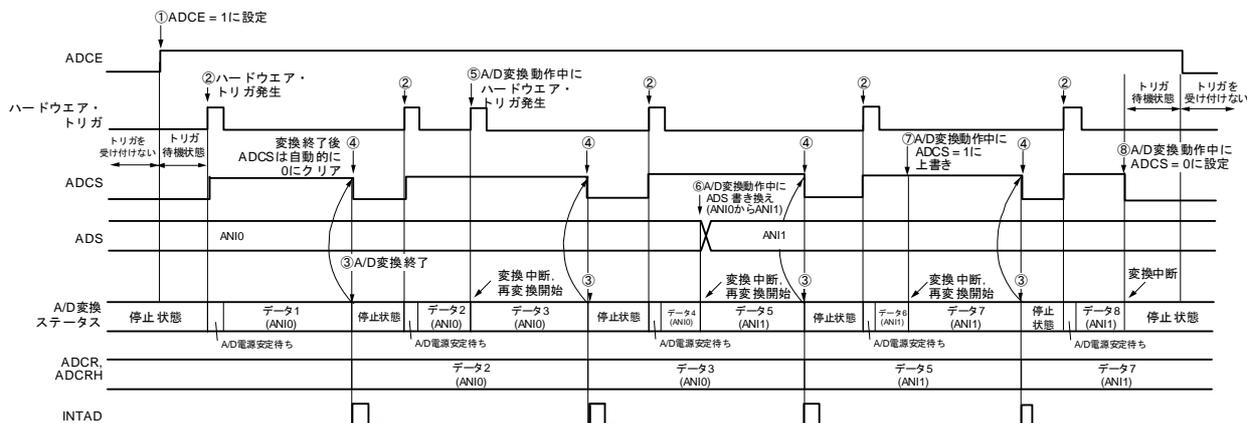
図14-27 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



14.6.10 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS= 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

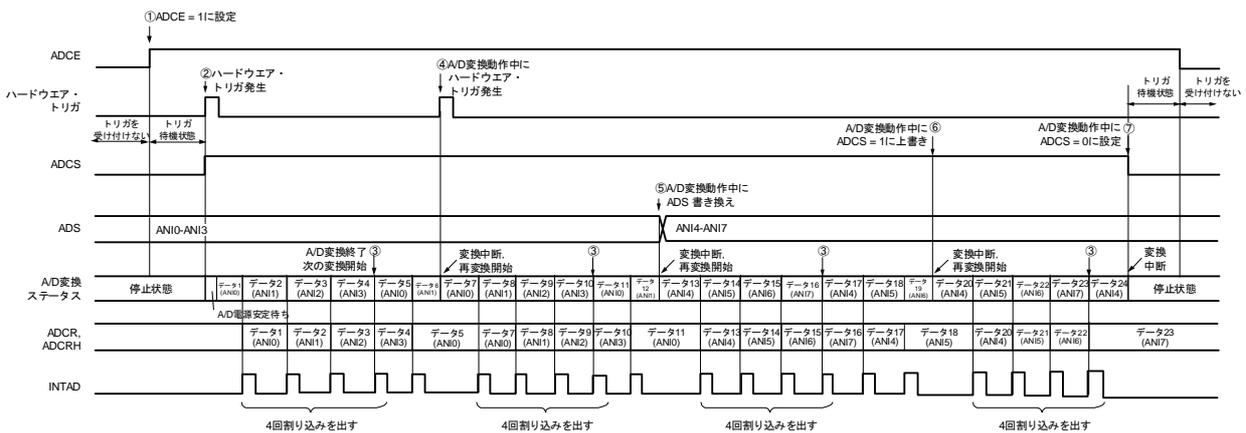
図14 - 28 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



14.6.11 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

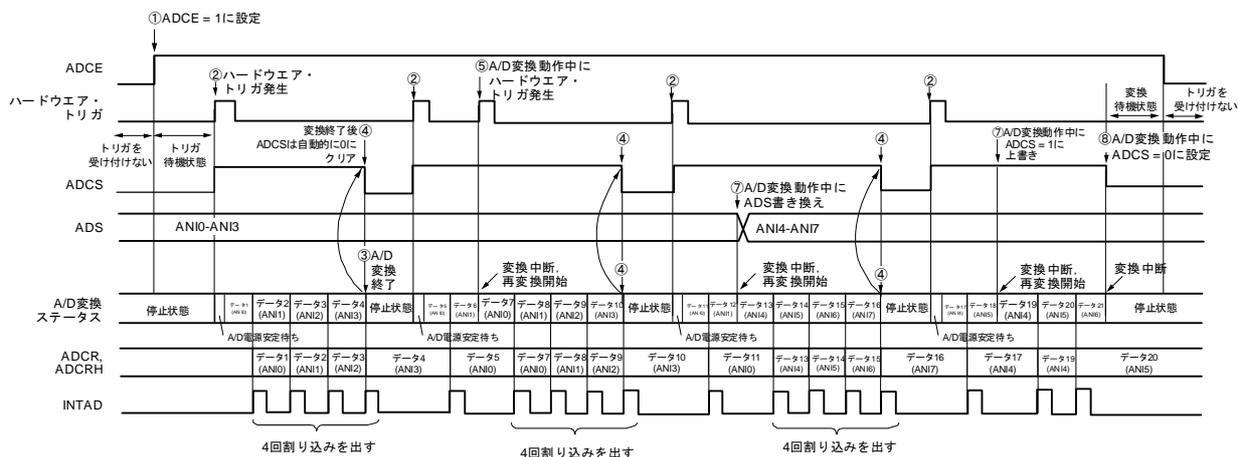
図 14 - 29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



14.6.12 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図14-30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例

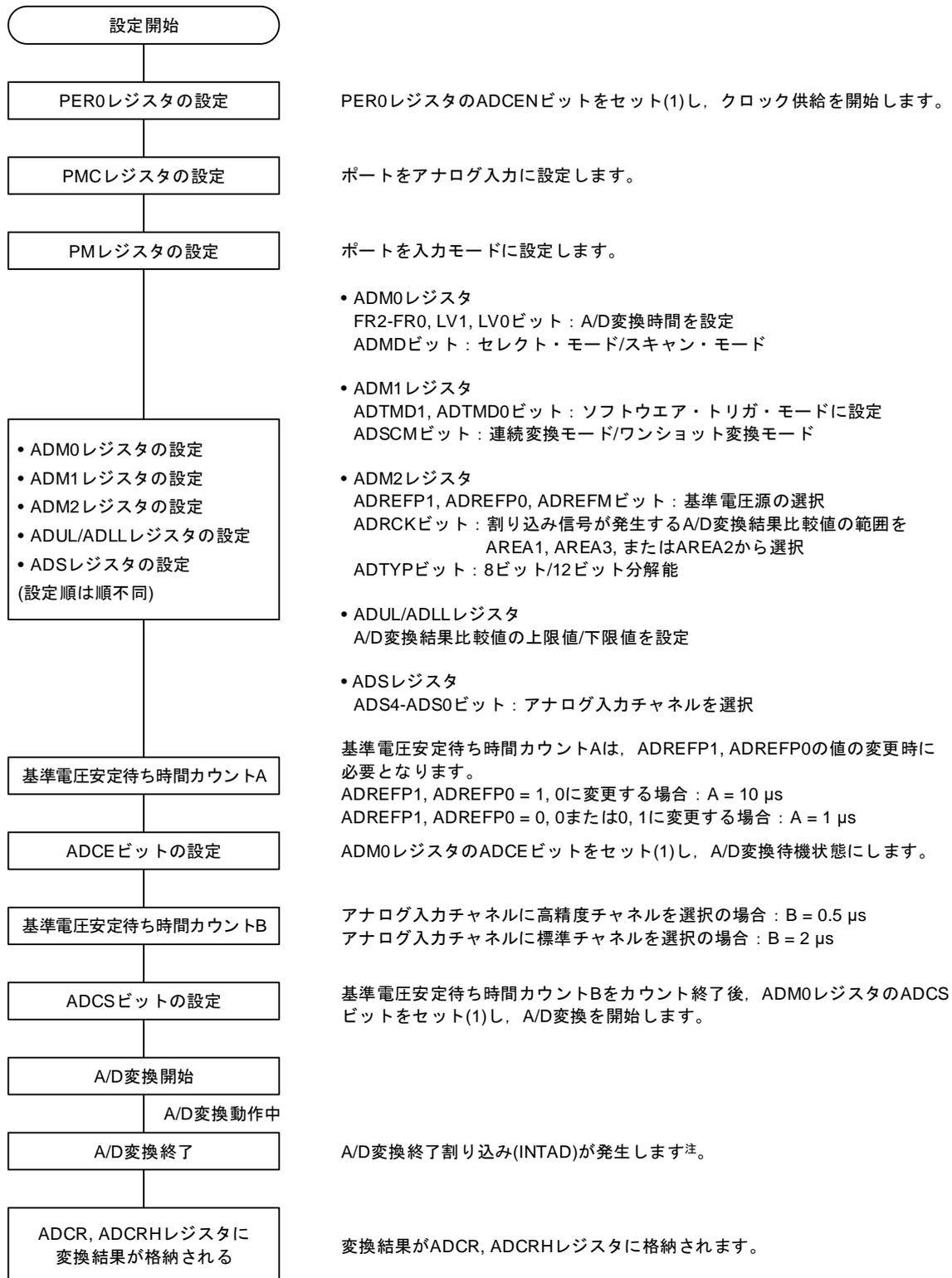


14.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

14.7.1 ソフトウェア・トリガ・モード設定

図 14 - 31 ソフトウェア・トリガ・モード設定

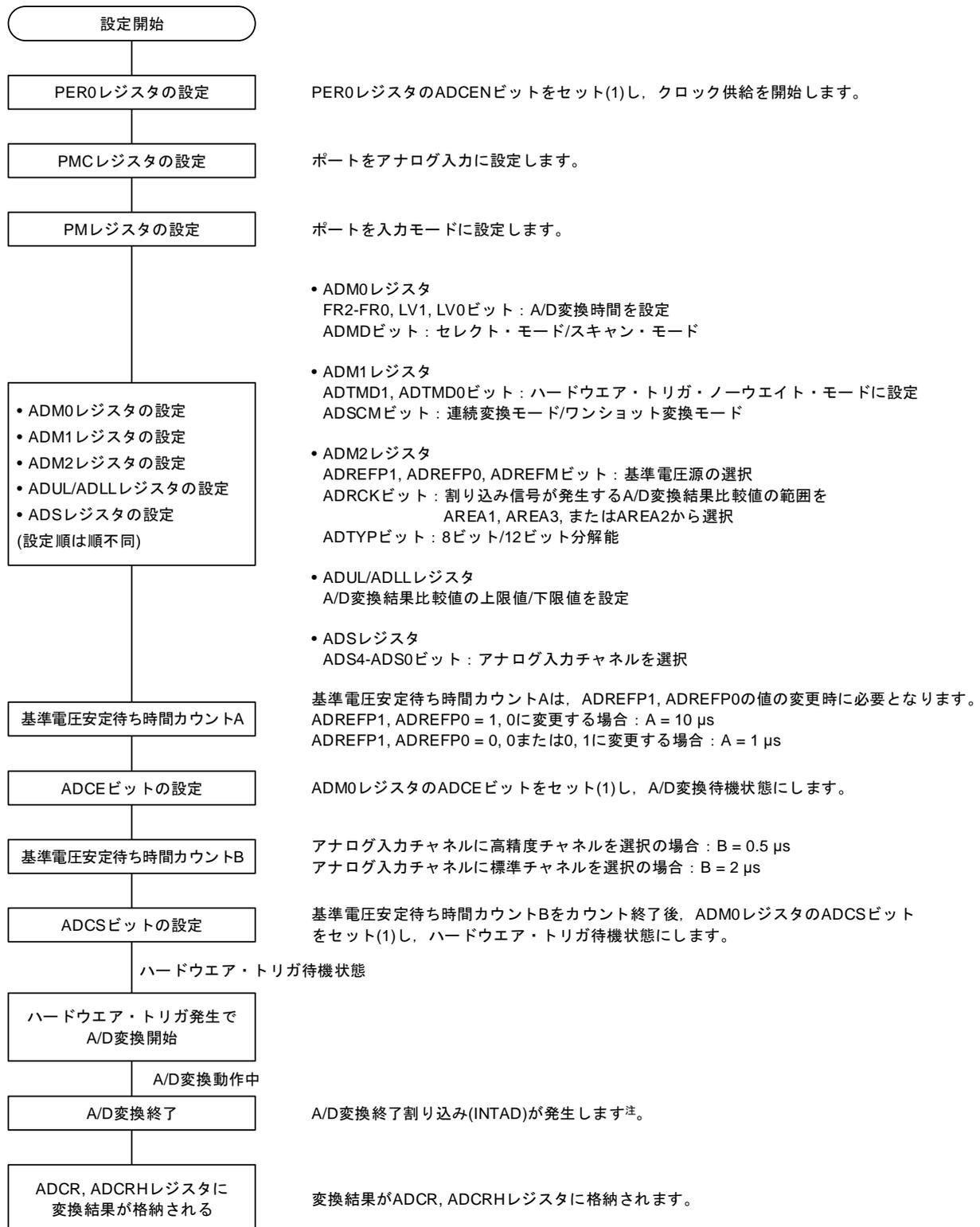


注 ADCR, ADCRHレジスタに結果は格納されません。

注 ADRCKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み信号(INTAD)が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

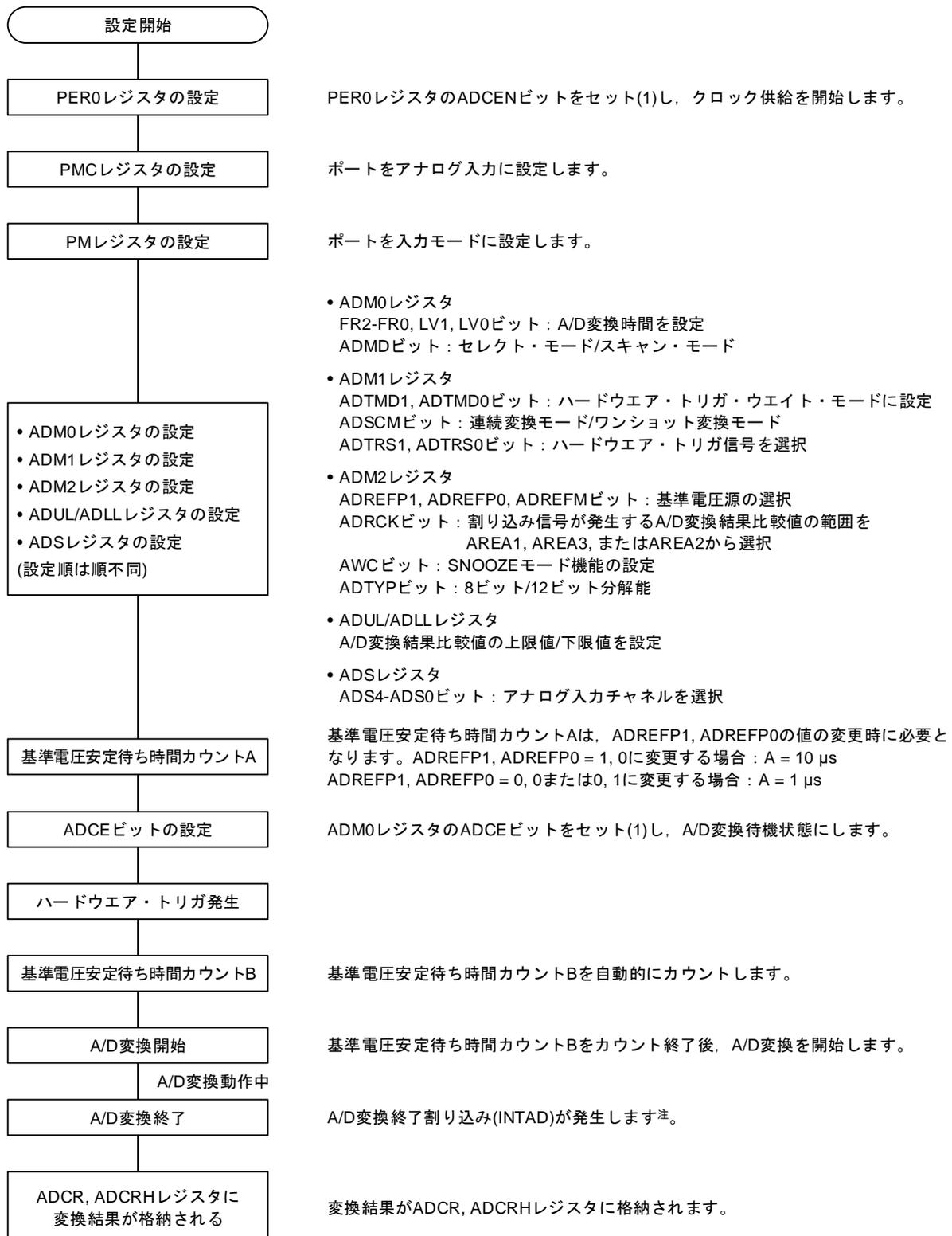
図14-32 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADCR, ADCRHレジスタに結果は格納されません。
この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.3 ハードウェア・トリガ・ウェイト・モード設定

図14-33 ハードウェア・トリガ・ウェイト・モード設定

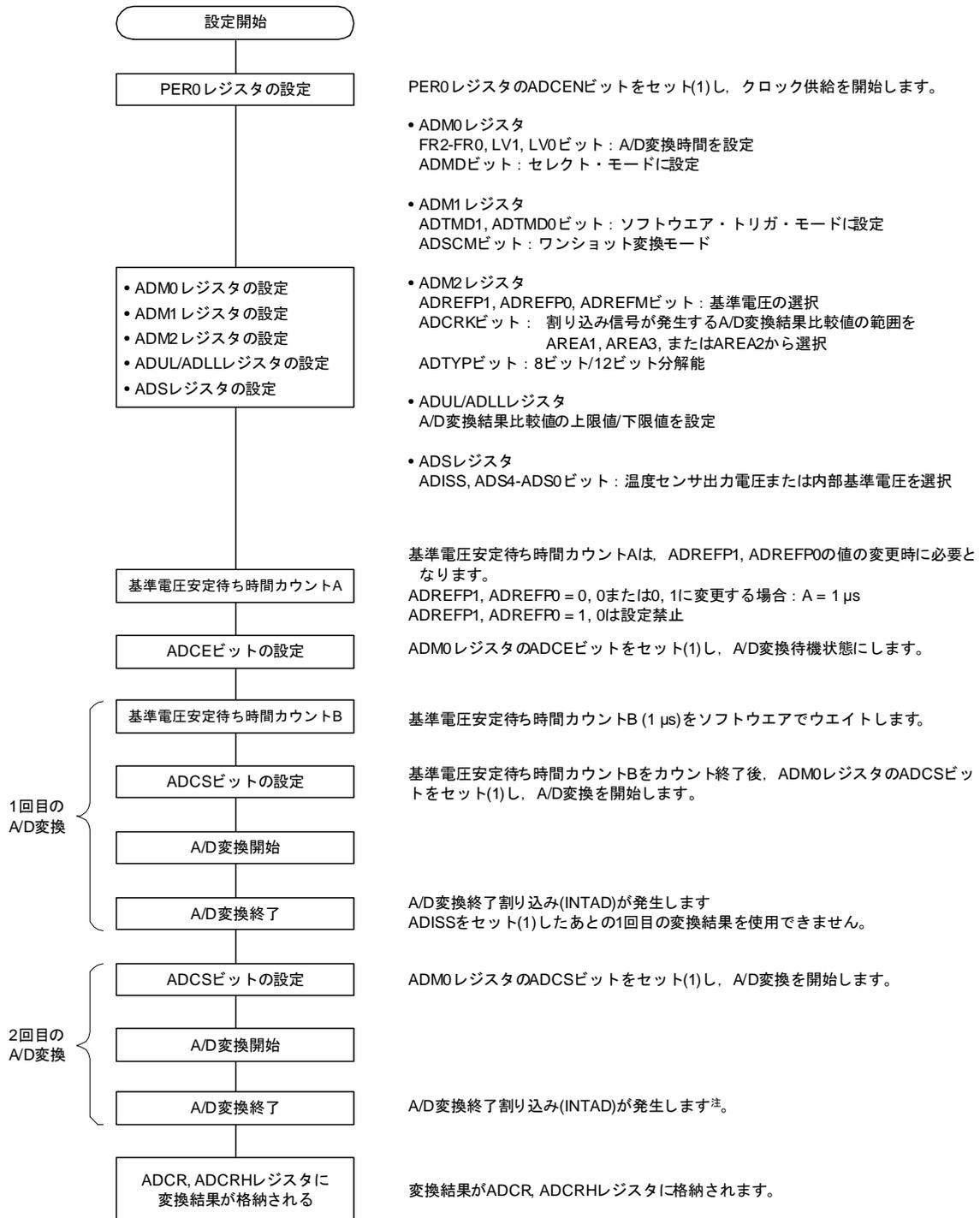


注 ADCR, ADCRHレジスタに結果は格納されません。

注 ADCR, ADCRHレジスタに結果は格納されません。

14.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

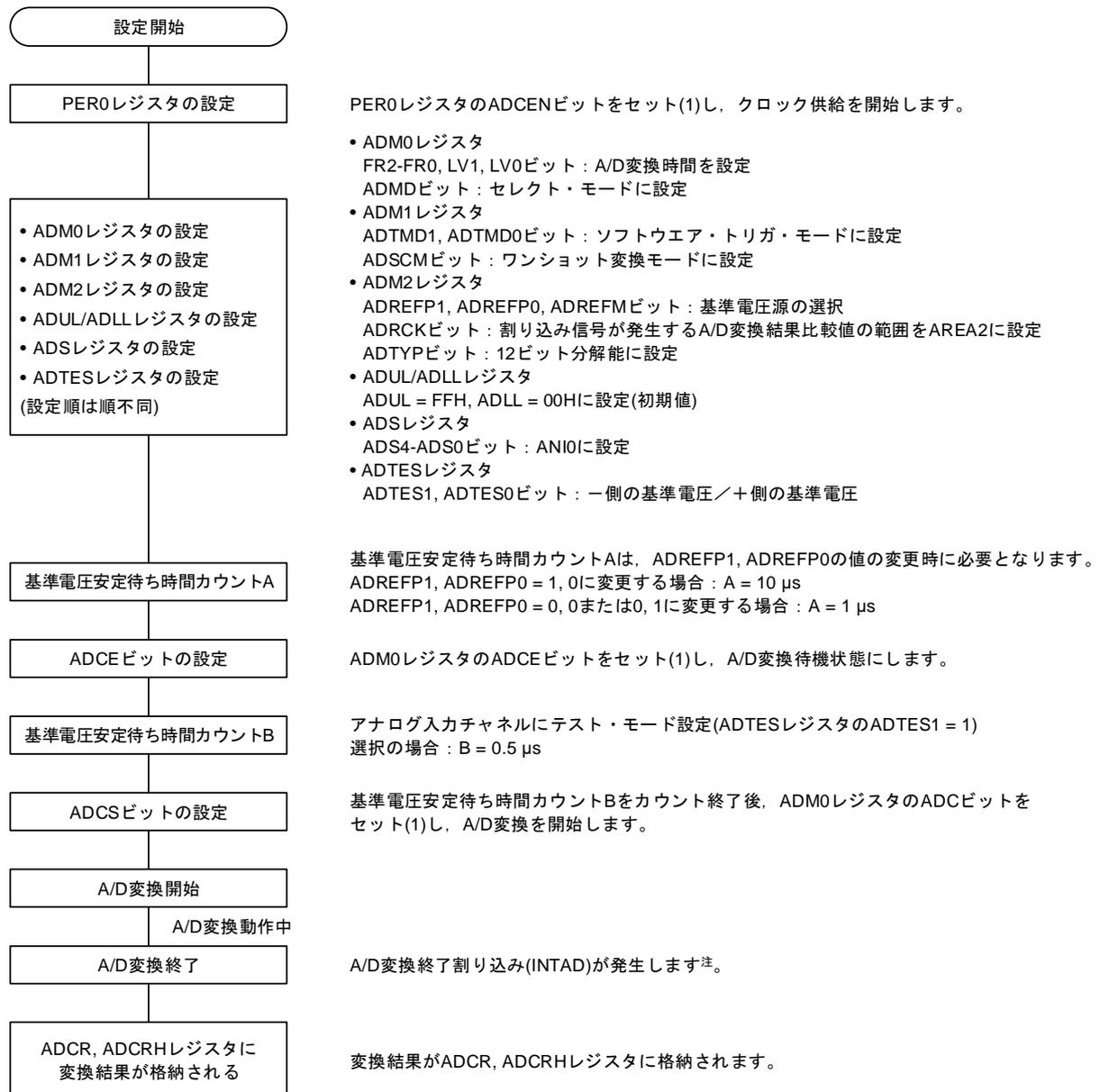
図 14 - 34 温度センサ出力電圧／内部基準電圧を選択時の設定



注 ADCRKBITビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み信号(INTAD)が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.5 テスト・モード設定

図 14 - 35 テスト・トリガ・モード設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、A/D変換終了割り込み信号(INTAD)が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、27.3.8 A/Dテスト機能を参照してください。

14.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

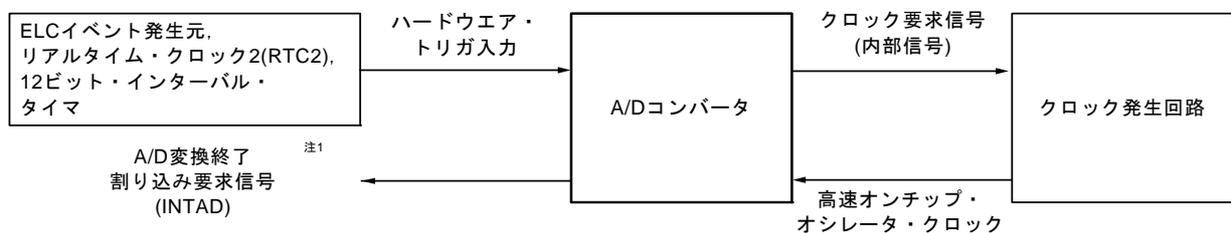
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)
- ハードウェア・トリガ・ウェイト・モード(スキャン・モード, ワンショット変換モード)

注意 SNOOZEモードは、 f_{CLK} に高速オンチップ・オシレータ・クロック(f_{IH})または、中速オンチップ・オシレータ・クロック(f_{IM})を選択している場合のみ設定可能です。

図14 - 36 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います(14.7.3 ハードウェア・トリガ・ウェイト・モード設定を参照注2)。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります注1。

注1. A/D変換結果比較機能の設定(ADRCKビット, ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。

注2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考1. ハードウェア・トリガは、ELCで選択されたイベント、またはINTRTC, INTITです。

INTRTCはELCイベント発生元または直接トリガとして使用できます。

備考2. ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合, A/D変換終了割り込み要求信号(INTAD)は発生します。

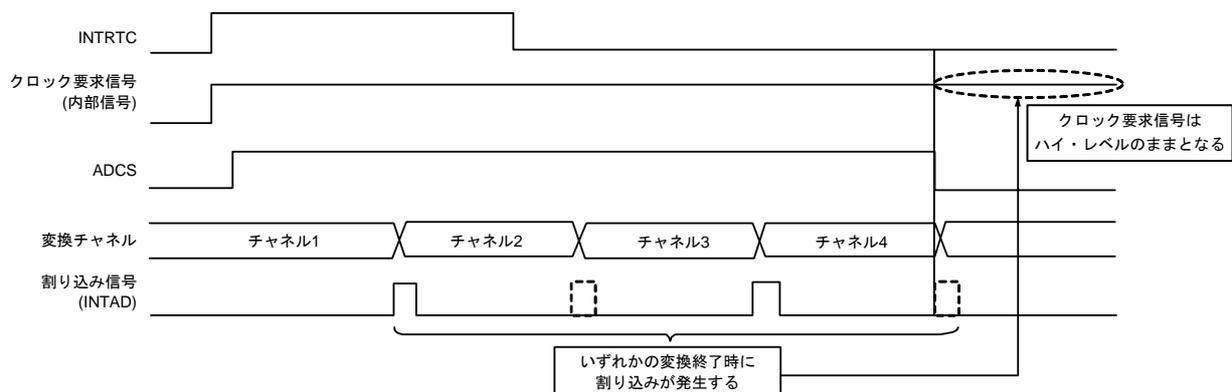
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号(INTAD)が発生した場合, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

図14 - 37 A/D変換終了後に割り込みが発生する場合の動作例(スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合, A/D変換終了割り込み要求信号(INTAD)は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, 4チャンネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

図14 - 38 A/D変換終了後に割り込みが発生しない場合の動作例(スキャン・モード時)

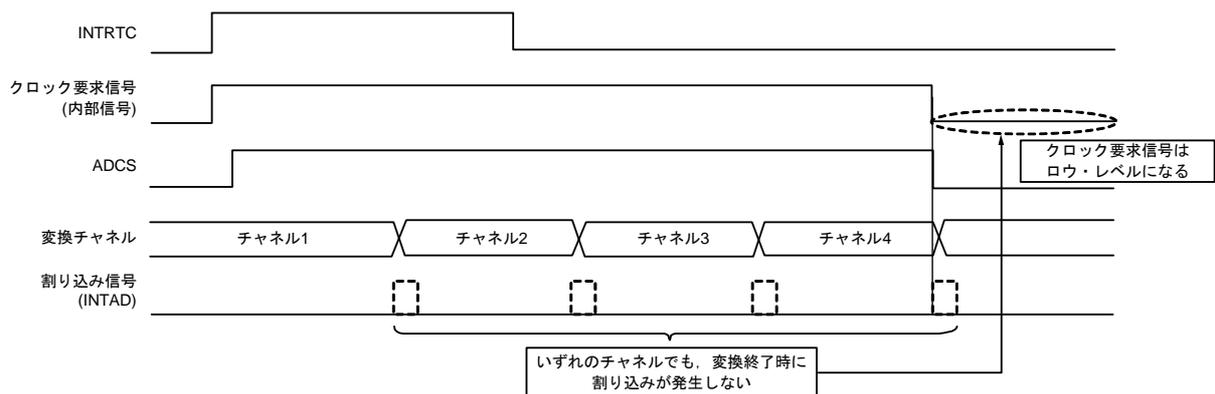
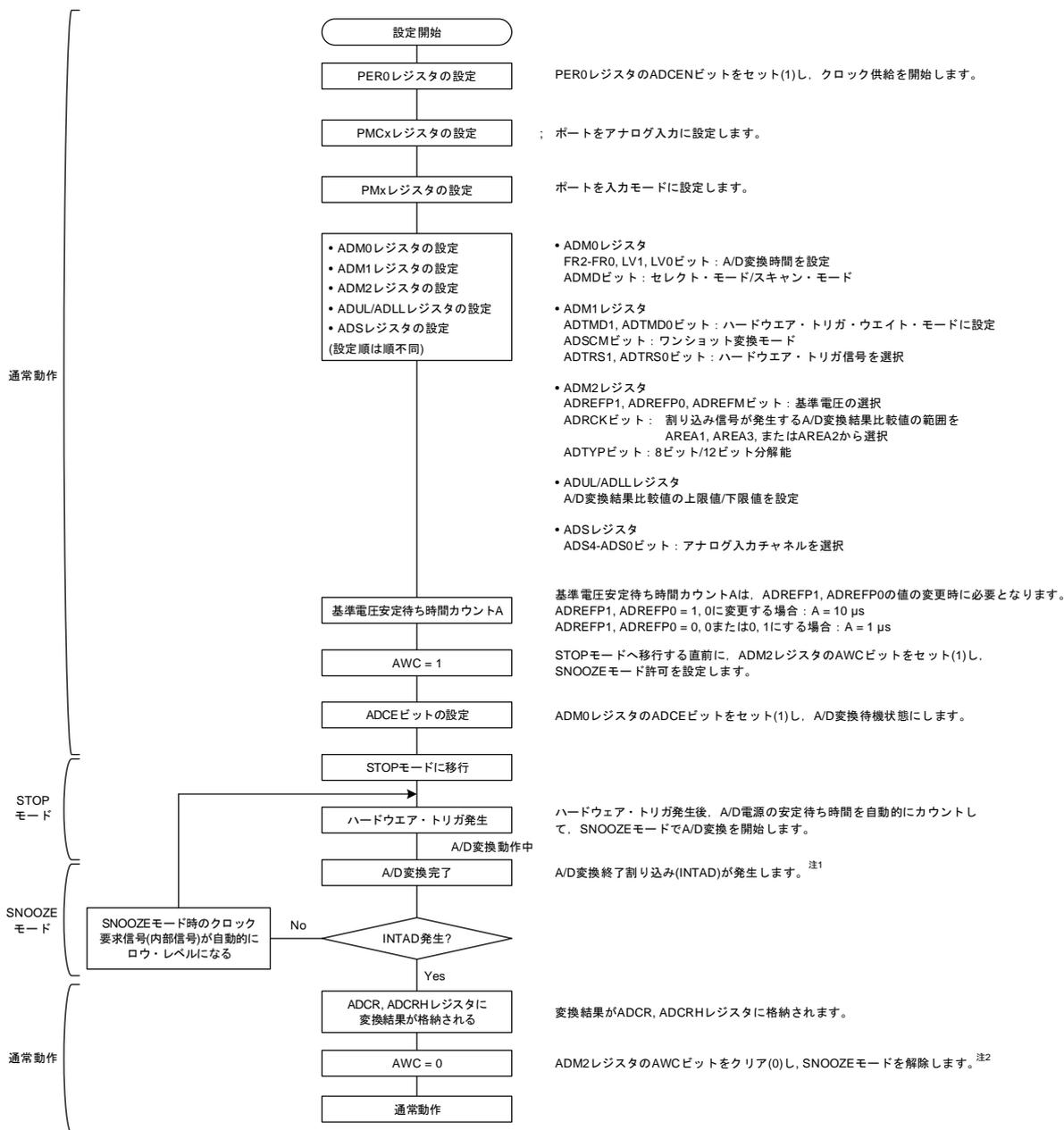


図 14 - 39 SNOOZEモード設定のフローチャート



注1. ADRCKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

14.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{12} = 1/4096 \\ = 0.024 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図14 - 40 総合誤差

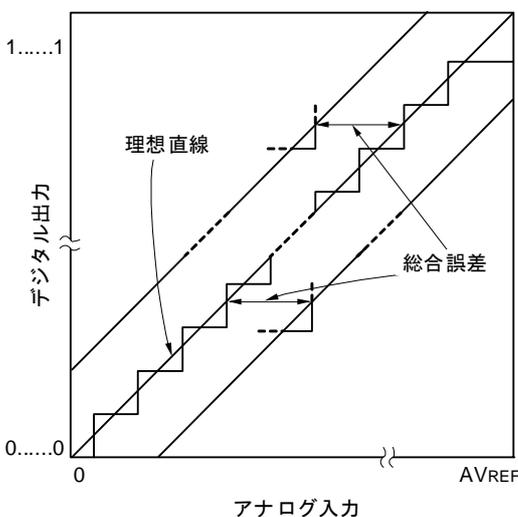
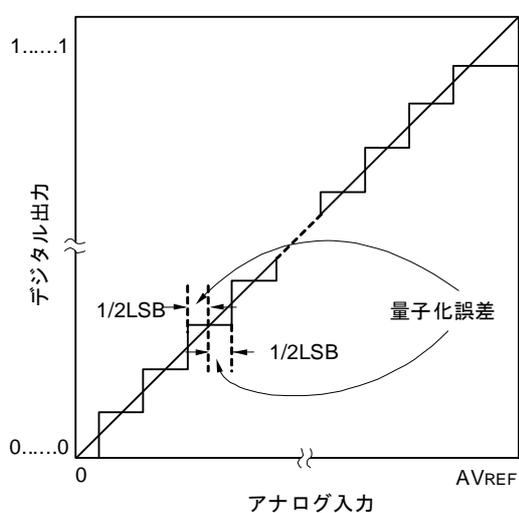


図14 - 41 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するとき、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するとき、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するとき、アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSB ですが、あるコードを出力する幅の実測値と理想値との差を表します。

図14 - 42 ゼロスケール誤差

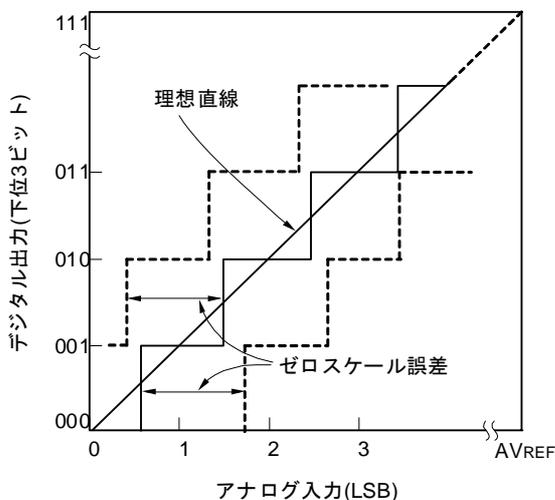


図14 - 43 フルスケール誤差

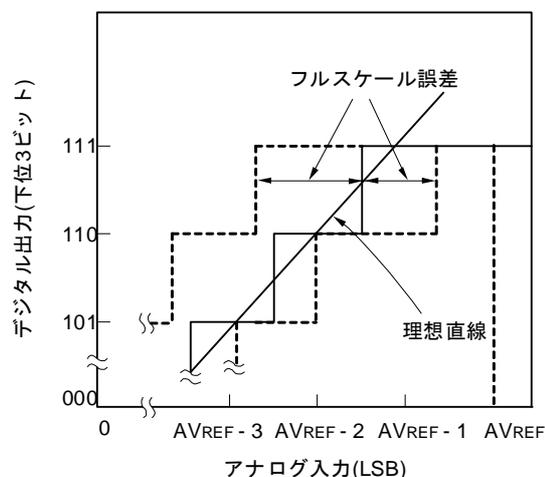


図14-44 積分直線性誤差

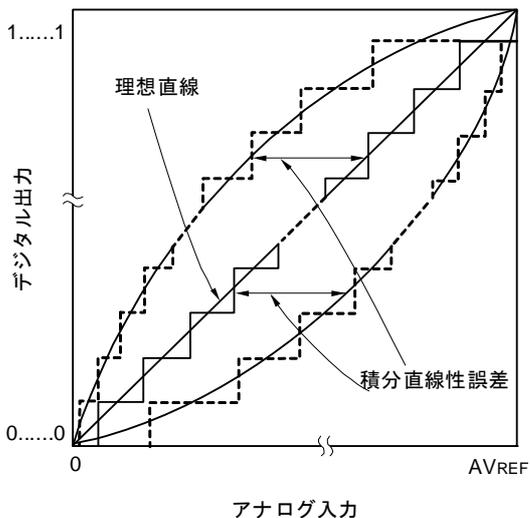
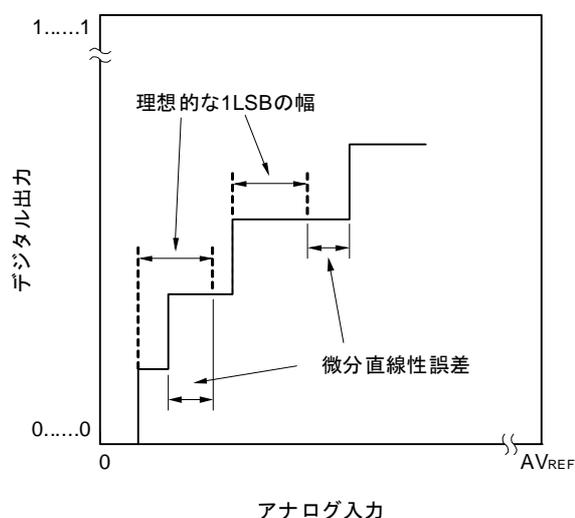


図14-45 微分直線性誤差



(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



14.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H)のビット0 (ADIF)をクリア(0)してから、動作開始してください。

(2) ANI0-ANI13, ANI16-ANI18端子入力範囲について

ANI0-ANI13, ANI16-ANI18端子入力電圧は規格の範囲内でご使用ください。特にAVDD, AVREFPを超える電圧, AVSS, AVREFM未滿(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧(1.45 V)を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧(1.45 V)を超える電圧になっていても問題ありません。

(3) 競合動作について

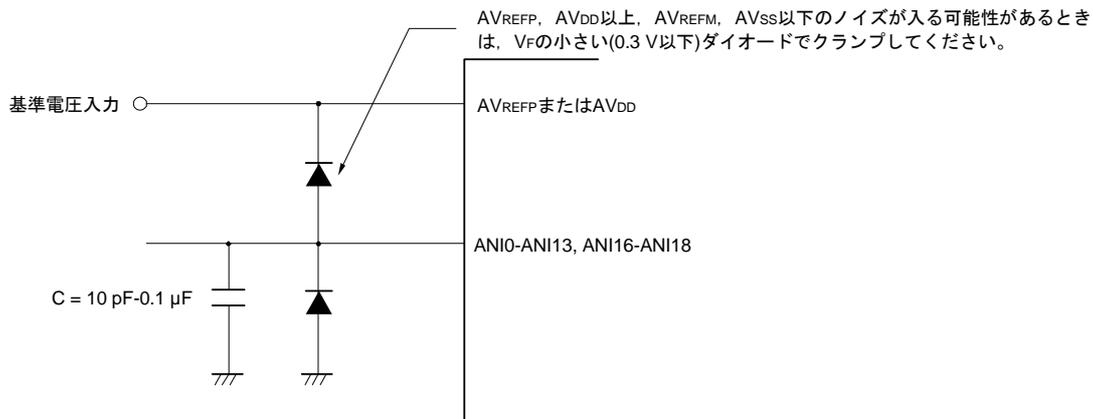
- ① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合
ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。
- ② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト、アナログ入力チャネル指定レジスタ(ADS)へのライトの競合
ADM0, ADSレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

12ビット分解能を保つためには、AVREFP, AVDD, ANI0-ANI13, ANI16-ANI18端子へのノイズに注意する必要があります。

- ① AVDD-AVSSは他の電源と分離し、AVDD-AVSS間に等価抵抗が小さく、周波数応答のよいコンデンサ(0.01 μ F程度)を最短かつ、比較的太い配線を使って接続してください。
- ② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-46のようにコンデンサを外付けすることを推奨します。
- ③ 変換中においては、他の端子とスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。
- ⑤ デジタル信号とアナログ信号を交差させたり、近接させずに分離してください。

図14-46 アナログ入力端子の処理



(5) アナログ入力(ANIn)端子

- ① ANI0-ANI13端子(高精度チャネル)は、P10-P17, P20-P25端子と兼用になっています。

高精度チャネル(ANI0-ANI13端子)のいずれかを選択してA/D変換をする場合、変換中にP10-P17, P20-P25に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが隣接する端子に入出力されないようにしてください。

(6) アナログ入力(ANIn)端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 k Ω 以下にしてください。出力インピーダンスが1 k Ω 以下にできないときは、サンプリング時間を長く設定するか、ANI0-ANI13, ANI16-ANI18端子に0.1 μF 程度のコンデンサを付けることを推奨します(図14-46参照)。

また、変換動作中にADCS = 0に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となり、ADCS = 0に設定した場合は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

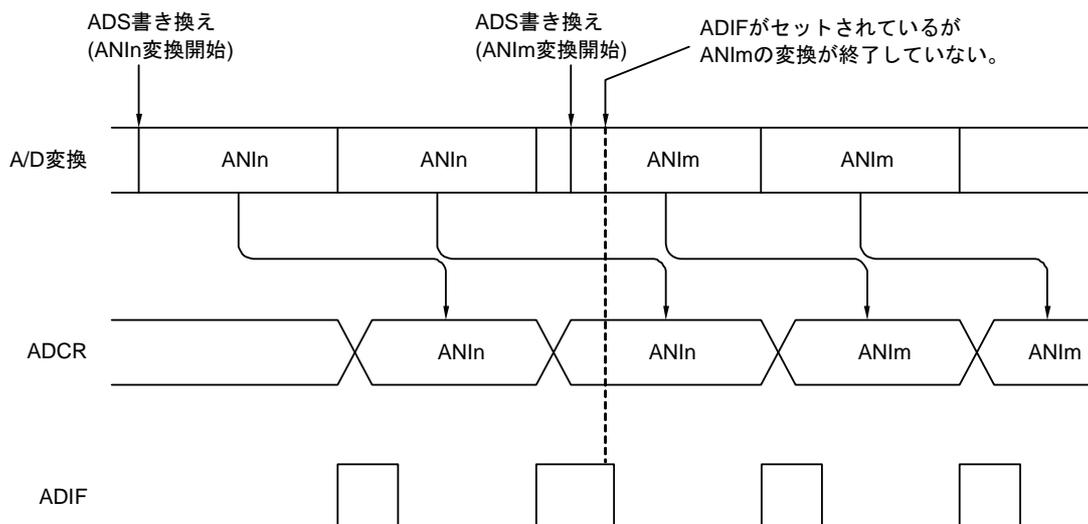
(7) 割り込み要求フラグ(ADIF)について

アナログ入力チャネル指定レジスタ(ADS)を変更しても割り込み要求フラグ(ADIF)はクリア(0)されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア(0)してください。

図14 - 47 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット = 1にしてから、安定待ち時間以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合：0.5 μ s

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合：0.5 μ s

アナログ入力チャンネルに標準チャンネル選択の場合：2 μ s

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合：2 μ s

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ(ADS)、ポート・モード・コントロール・レジスタ(PMCx)に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図14 - 48 ANIn 端子内部等価回路

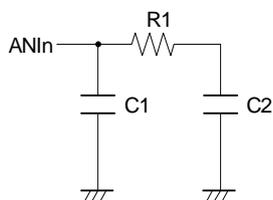


表14 - 7 等価回路の各抵抗と容量値(参考値)

AVDD, AVREFP	ANIn 端子	R1[kΩ]	C1[pF]	C2[pF]
$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	ANI0-ANI13	7.4	8	6.3
	ANI16-ANI18	12.3	8	7.4
$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	ANI0-ANI13	11	8	6.3
	ANI16-ANI18	41	8	7.4
$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	ANI0-ANI13	510	8	6.3
	ANI16-ANI18	650	8	7.4

備考 表14 - 7の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, AVDDの電圧が安定してから開始してください。

(12) A/D電圧コンパレータ動作時に、AVDDは常にVDDと同電位としてください。

第15章 コンパレータ

15.1 コンパレータの機能

コンパレータには、次のような機能があります。

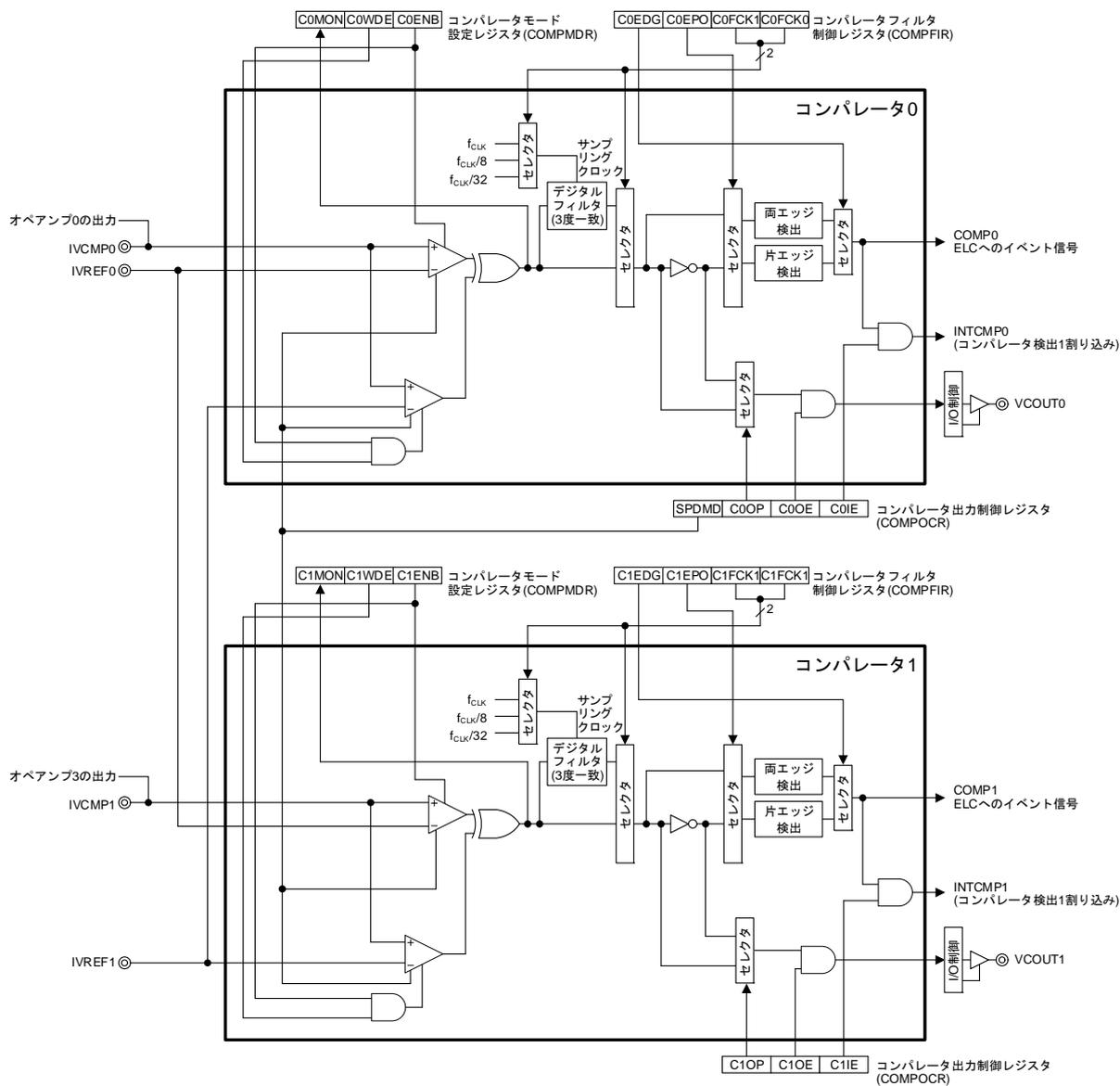
- コンパレータ高速モード/コンパレータ低速モード/コンパレータ高速ウィンドウモード/コンパレータ低速ウィンドウモードが選択できます。
- 基準電圧は外部基準電圧入力です。
- ノイズ除去デジタルフィルタの除去幅が選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生できます。
- コンパレータ出力の有効エッジを検出し、イベント・リンク・コントローラ (ELC) ハイイベント信号を出力できます。

注意 コンパレータ0の+側入力信号はオペアンプ0の出力と接続されています。したがってオペアンプ0を使用する場合、コンパレータ0の+側入力端子(P14/ANI4/IVCMP0/AMP0O)から信号を入力しないでください。
コンパレータ1の+側入力信号も同様にオペアンプ3を使用する場合、P20/ANI13/IVCMP1/AMP3Oに信号を入力しないでください。

15.2 コンパレータの構成

図15-1にコンパレータのブロック図を示します。

図15-1 コンパレータのブロック図



15.3 コンパレータを制御するレジスタ

表15-1にコンパレータを制御するレジスタを示します。

表15-1 コンパレータを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
周辺リセット制御レジスタ1	PRR1
コンパレータモード設定レジスタ	COMPMDR
コンパレータフィルタ制御レジスタ	COMPFIR
コンパレータ出力制御レジスタ	COMPOCR
ポート・モード・コントロール・レジスタ1, 2, 3	PMC1, PMC2, PMC3
ポート・モード・レジスタ1, 2, 3, 5	PM1, PM2, PM3, PM5
ポート・レジスタ1, 2, 3, 5	P1, P2, P3, P5

15.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット5 (CMPEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	CMPEN	0	DTCEN	0	0	0

CMPEN	コンパレータの入カクロックの制御
0	入カクロック供給停止 • コンパレータで使用するSFRへのライト不可
1	入カクロック供給 • コンパレータで使用するSFRへのリード/ライト可

注意1. コンパレータの設定をする際には、必ず最初にCMPEN = 1の設定を行ってください。

CMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視されます(ポート・モード・コントロール・レジスタ1, 2, 3 (PMC1, PMC2, PMC3), ポート・モード・レジスタ1, 2, 3, 5 (PM1, PM2, PM3, PM5), ポート・レジスタ1, 2, 3, 5 (P1, P2, P3, P5)は除く)。

注意2. ビット0~2, 4, 6, 7には必ず"0"を設定してください。

15.3.2 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

コンパレータをリセットする場合は、必ずビット5 (CMPRES)を1に設定してください。

PRR1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR1レジスタは00Hになります。

図15-3 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス : F00FBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	CMPRES	0	0	0	0	0
CMPRES	コンパレータのリセット制御							
0	コンパレータのリセット解除							
1	コンパレータはリセット状態							

15.3.3 コンパレータモード設定レジスタ (COMPMDR)

図15-4 コンパレータモード設定レジスタ (COMPMDR)のフォーマット

アドレス : F0340H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	0	C1WDE	C1ENB	COMON	0	COWDE	COENB
C1MON	コンパレータ1モニタフラグ注1,2							
0	基本モード時 : IVCMP1 < IVREF0 ウィンドウモード時 : IVCMP1 < IVREF0, または IVCMP1 > IVREF1							
1	基本モード時 : IVCMP1 > IVREF0 ウィンドウモード時 : IVREF0 < IVCMP1 < IVREF1							
C1WDE	コンパレータ1ウィンドウモード選択注3							
0	コンパレータ1基本モード							
1	コンパレータ1ウィンドウモード							
C1ENB	コンパレータ1動作許可							
0	コンパレータ1動作禁止							
1	コンパレータ1動作許可							
COMON	コンパレータ0モニタフラグ注1,2							
0	基本モード時 : IVCMP0 < IVREF0 ウィンドウモード時 : IVCMP0 < IVREF0, または IVCMP0 > IVREF1							
1	基本モード時 : IVCMP0 > IVREF0 ウィンドウモード時 : IVREF0 < IVCMP0 < IVREF1							
COWDE	コンパレータ0ウィンドウモード選択注3							
0	コンパレータ0基本モード							
1	コンパレータ0ウィンドウモード							
COENB	コンパレータ0動作許可							
0	コンパレータ0動作禁止							
1	コンパレータ0動作許可							

注1. リセット解除直後は初期値“0”ですが、一度コンパレータを動作許可にした後にCOENB = 0かつC1ENB = 0の設定にすると値は不定となります。

注2. このビットに書き込まれた値は無視されます。

注3. ウィンドウモードを使用する場合、リファレンス電圧はIVREF1 > IVREF0でご使用ください

15.3.4 コンパレータフィルタ制御レジスタ (COMPFIR)

図 15 - 5 コンパレータフィルタ制御レジスタ (COMPFIR)のフォーマット

アドレス : F0341H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	コンパレータ1エッジ検出選択 ^{注1}							
0	コンパレータ1片エッジ検出での割り込み要求							
1	コンパレータ1両エッジ検出での割り込み要求							
C1EPO	コンパレータ1エッジ極性切り替え ^{注1}							
0	コンパレータ1立ち上がりエッジで割り込み要求							
1	コンパレータ1立ち下がりエッジで割り込み要求							
C1FCK1	C1FCK0	コンパレータ1フィルタ選択 ^{注1}						
0	0	コンパレータ1フィルタなし						
0	1	コンパレータ1フィルタあり, fCLKでサンプリング						
1	0	コンパレータ1フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ1フィルタあり, fCLK/32でサンプリング						
C0EDG	コンパレータ0エッジ検出選択 ^{注2}							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え ^{注2}							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^{注2}						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり, fCLKでサンプリング						
1	0	コンパレータ0フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ0フィルタあり, fCLK/32でサンプリング						

注1. C1FCK1 - C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR19レジスタを0(コンパレータ1出力をリンクさせない)にしてから変更してください。また、割り込み要求フラグ・レジスタ1H(IF1H)のビット5(CMPIF1)をクリア(0)してください。

また、C1FCK1 - C1FCK0ビットを00B(コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

- 注2. C0FCK1 - C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR18レジスタを0(コンパレータ0出力をリンクさせない)にしてから変更してください。また、割り込み要求フラグ・レジスタ1H(IF1H)のビット4(CMPIF0)をクリア(0)してください。
- また、C0FCK1 - C0FCK0ビットを00B(コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

15.3.5 コンパレータ出力制御レジスタ (COMPOCR)

図 15 - 6 コンパレータ出力制御レジスタ (COMPOCR)のフォーマット

アドレス : F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 ^{注1}							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C1OP	VCOUT1出力極性選択							
0	コンパレータ1出力をVCOUT1へ出力							
1	コンパレータ1出力の反転をVCOUT1へ出力							
C1OE	VCOUT1端子出力許可							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可							
C1IE	コンパレータ1割り込み要求許可 ^{注2}							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	VCOUT0出力極性選択							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可							
C0IE	コンパレータ0割り込み要求許可 ^{注3}							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

注1. SPDMDビットを書き換える場合は、必ずCOMPMDRレジスタのCiENBビット(i = 0, 1)を0にしてから書き換えてください。

注2. C1IEを0(割り込み要求禁止)から1(割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ1H(IF1H)のビット5(CMPIF1)が1(割り込み要求あり)になることがありますので、割り込み要求フラグ・レジスタ1H(IF1H)のビット5(CMPIF1)をクリア(0)してから割り込みを使用してください。

注3. C0IEを0(割り込み要求禁止)から1(割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ1H(IF1H)のビット4(CMPIF0)が1(割り込み要求あり)になることがありますので、割り込み要求フラグ・レジスタ1H(IF1H)のビット4(CMPIF0)をクリア(0)してから割り込みを使用してください。

15.3.6 アナログ入力端子のポート機能を制御するレジスタ

IVCMP0, 1端子, IVREF0, 1端子をコンパレータのアナログ入力として使用するときは, 各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに1を設定してください。

VCOOUT0, 1機能を使用する場合は, 対象チャンネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx)) を設定してください。詳細は, 4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx) を参照してください。

15.4 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法と動作は同じです。表15-2にコンパレータ関連レジスタの設定手順を示します。

表15-2 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PRR1	CMPRES	0 (コンパレータ <i>i</i> のリセット解除)
2	PER1	CMPEN	1 (入力クロック供給)
3	PMCxx	PMC14, PMC20, PMC30, PMC31	IVCMPi, IVREFi端子の機能選択 • PMC14, PMC20, PMC30, PMC31ビットに1 (アナログ入力)
	PMxx	PM14, PM20, PM30, PM31	• PM14, PM20, PM30, PM31ビットに1 (入力モード)
4	COMPOCR	SPDMD	コンパレータ応答速度の選択(0:低速モード/1:高速モード)注1
5	COMPMDR	CiWDE	0 (基本モード) 1 (ウィンドウモード)
6	COMPMDR	CiENB	1 (動作許可)
7	コンパレータ安定時間t _{CMP} 待ち		
8	COMPFIR	CiFCK1 - CiFCK0	デジタルフィルタ使用する/しない, サンプリングクロック選択
		CiEOP, CiEDG	割り込み要求のためのエッジ検出条件選択(立ち上がり/立ち下がり/両エッジ)
9	COMPOCR	CiOP, CiOE	VCOUTi出力の設定(極性選択, 出力許可/禁止を設定)
		CiIE	割り込み要求出力の許可/禁止を設定
10	ポート論理の出力端子選択: VCOUTi「15.4.4 コンパレータ <i>i</i> 出力(<i>i</i> = 0, 1)」参照。		
11	PR1H	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択
12	MK1H	CMPMKi	割り込みを使用する場合: 割り込みマスク選択
13	IF1H	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし: 初期化)注2

注1. コンパレータ0とコンパレータ1を独立に設定することはできません。

注2. コンパレータの設定後、安定動作するまでに不要な割り込みが発生することがありますので、割り込みフラグを初期化してください。

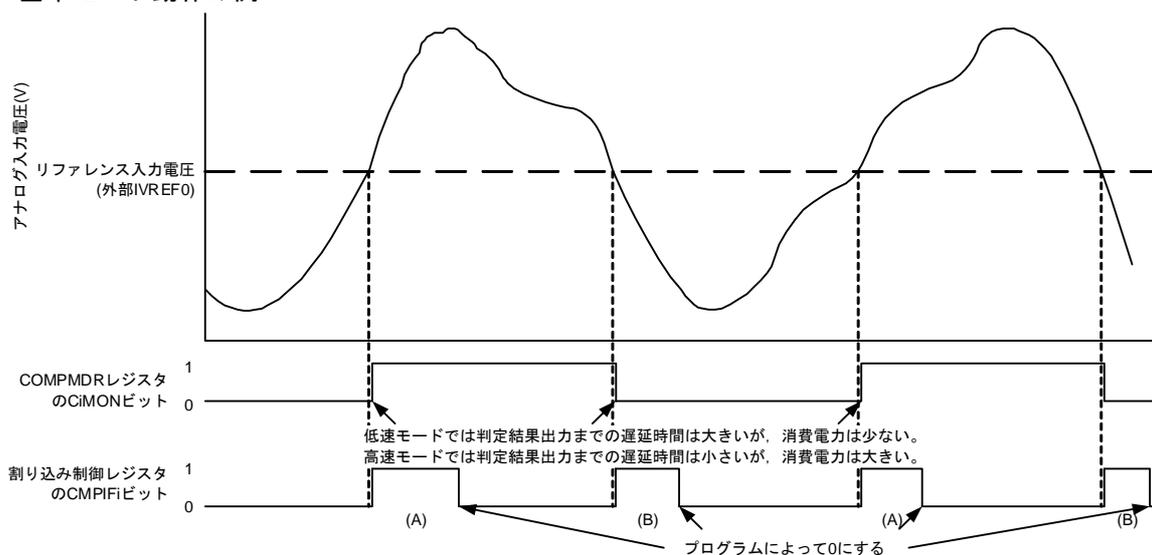
注意 コンパレータ*i*の全回路を初期化する場合はPRR1レジスタのCMPRESビットに1を設定して下さい。

備考 $i = 0, 1$

図15-7にコンパレータ i ($i = 0, 1$)の動作例(基本モード)を示します。低速モード時/高速モード時とも、リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが“0”になります(リファレンス電圧はIVREF0端子への入力電圧を使用します)。

図15-7 コンパレータ i ($i = 0, 1$)の動作例(基本モード)

• 基本モード動作の例



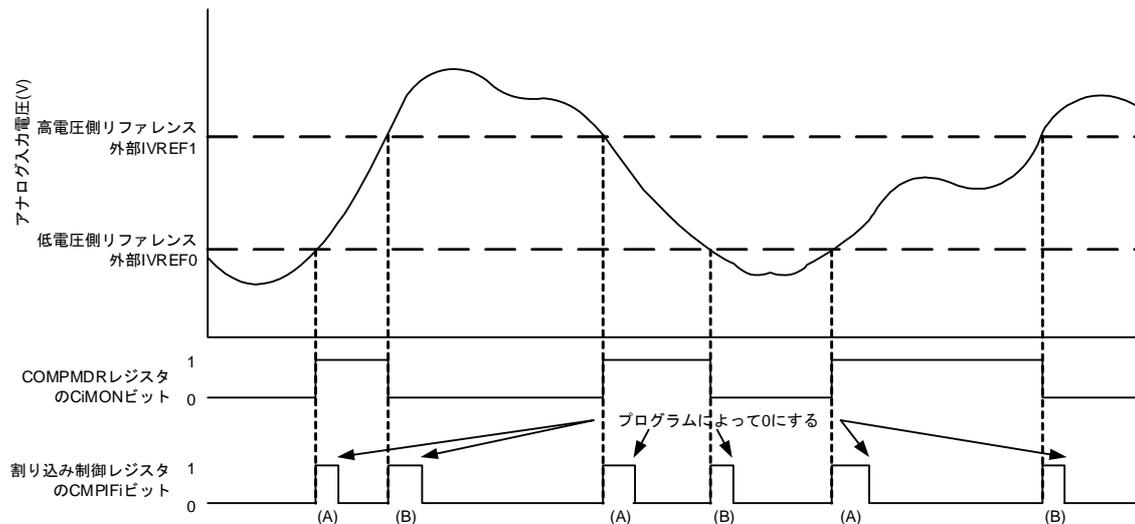
注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし), CiEDG = 1 (両エッジ)の場合です(CiEDG = 0, CiEPO = 0 (立ち上がりエッジ)のときのCMPIFIは(A)の変化のみ, CiEDG = 0, CiEPO = 1 (立ち下がりエッジ)のときのCMPIFIは(B)の変化のみとなります)。

図15-8にコンパレータ*i* ($i = 0, 1$)の動作例(ウィンドウモード)を示します。ウィンドウモード時は、低速モード時/高速モード時とも、アナログ入力の電圧が、次の条件を満たす場合にCOMPMDRレジスタのCiMONビットが“1”になり、アナログ入力の電圧がこの条件を満たさない場合はCiMONビットが“0”になります(低電圧側リファレンス電圧はIVREF0端子への入力電圧、高電圧側リファレンス電圧はIVREF1端子への入力電圧です)。

“低電圧側リファレンス電圧 < アナログ入力の電圧 < 高電圧側リファレンス電圧”

図15-8 コンパレータ*i* ($i = 0, 1$)の動作例(ウィンドウモード)

• ウィンドウモード動作の例



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし)、CiEDG = 1 (両エッジ)の場合です(CiEDG = 0, CiEPO = 0 (立ち上がりエッジ)のときのCMPIFiは(A)の変化のみ、CiEDG = 0, CiEPO = 1 (立ち下がりエッジ)のときのCMPIFiは(B)の変化のみとなります)。

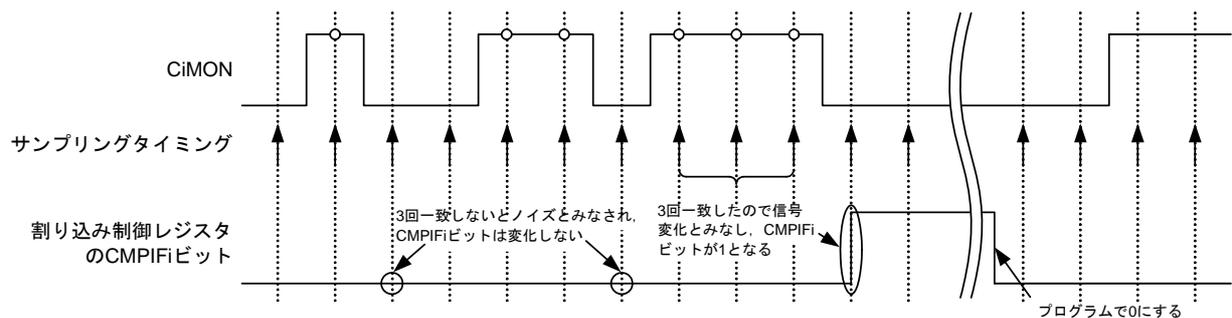
コンパレータ*i*割り込みを使用する場合は、COMPOCRレジスタのCiIEを1(割り込み要求許可)にしてください。このとき比較結果が変化すれば、コンパレータ*i*割り込み要求が発生します。割り込み要求の詳細については「15.4.2 コンパレータ*i*割り込み($i = 0, 1$)」を参照してください。

15.4.1 コンパレータ*i*デジタルフィルタ ($i = 0, 1$)

コンパレータ*i*は、デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1 - CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリングクロックで、デジタルフィルタ出力がその値になります。

図15-9にコンパレータ*i* ($i = 0, 1$)デジタルフィルタと割り込み動作例を示します。

図15-9 コンパレータ*i* ($i = 0, 1$)デジタルフィルタと割り込み動作例



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0ビットが、01B、10B、11Bのいずれか(デジタルフィルタあり)の場合の動作例です。

15.4.2 コンパレータ*i*割り込み ($i = 0, 1$)

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

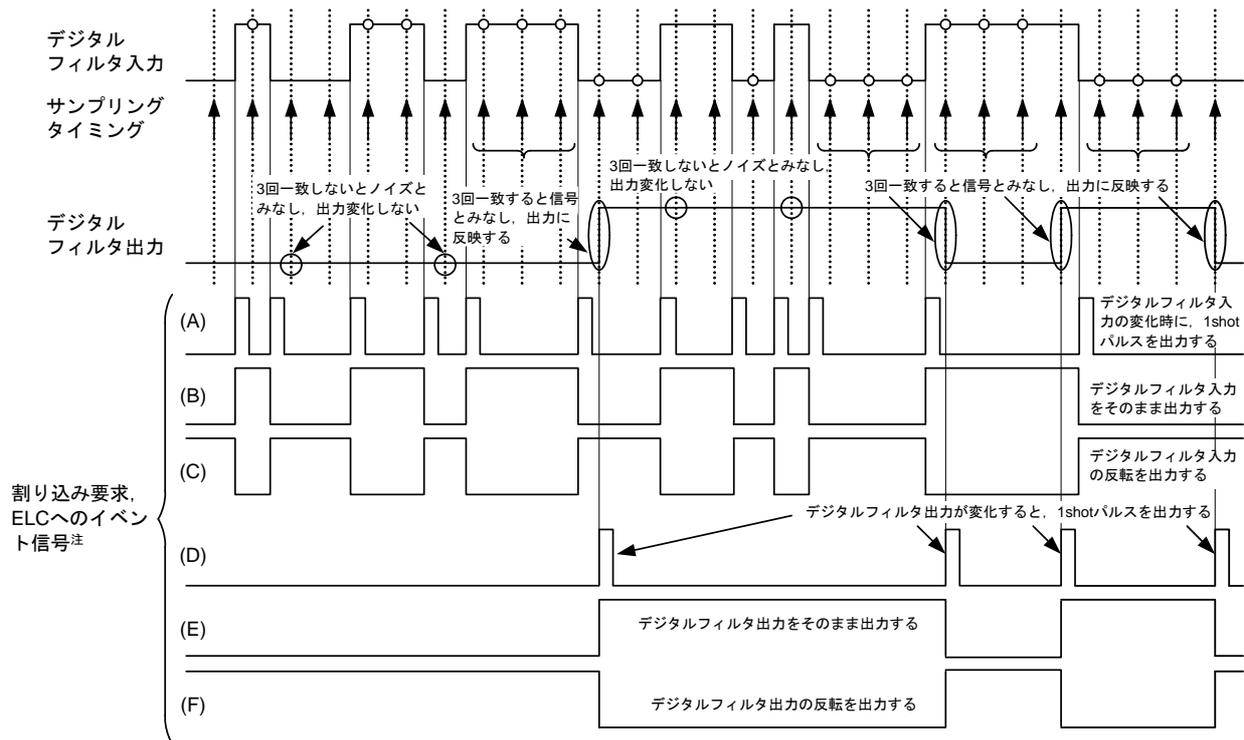
コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIEビットを1(割り込み要求出力許可)にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは、3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生への対応については、「15.3.4 コンパレータフィルタ制御レジスタ (COMPFIR)」および「15.3.5 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

15.4.3 イベント・リンク・コントローラ(ELC)へのイベント信号出力

ELC へのイベント信号は、割り込み要求の発生条件と同じく COMPFIR レジスタで設定したデジタルフィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCR レジスタの CiIE ビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELC の ELSELR18 レジスタ、ELSELR19 レジスタで設定してください。

図 15 - 10 デジタルフィルタと割り込み要求・ELCへのイベント信号出力動作



注 CiIE ビット ($i = 0, 1$) が 1 の場合は、割り込み要求と ELC へのイベント信号は同じ波形になります。
CiIE ビット ($i = 0, 1$) が 0 の場合は、割り込み要求のみ 0 固定になります。

(A), (B), (C) の波形は COMPFIR レジスタの CiFCK ビット ($i = 0, 1$) が "00B" (デジタルフィルタなし) の場合、(D), (E), (F) の波形は COMPFIR レジスタの CiFCK ビット ($i = 0, 1$) が "01B", "10B", "11B" のいずれか (デジタルフィルタあり) の場合の動作例です。(A), (D) は CiEDG ビットを "1" (両エッジ) に設定した場合、(B), (E) は CiEDG ビット = 0, CiEPO ビット = 0 (立ち上がりエッジ) の場合、(C), (F) は CiEDG ビット = 0, CiEPO ビット = 1 (立ち下がりエッジ) の場合です。

15.4.4 コンパレータ*i*出力($i = 0, 1$)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性(そのまま出力/反転出力)や出力許可/禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「15.3.5 コンパレータ出力制御レジスタ(COMPOCR)」を参照してください。

VCOUT*i*出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポート設定してください(リセット後、ポートは入力設定になっています)。

- ①コンパレータのモード設定をする(表15-2 コンパレータ関連レジスタの設定手順の順番1~9)。
- ②VCOUT0, VCOUT1出力の極性選択, 出力許可する(表15-2 コンパレータ関連レジスタの設定手順の順番10)。
- ③VCOUT*i*出力端子に対応するポート・モード・コントロール・レジスタのビットを0にする。
- ④VCOUT*i*出力端子に対応するポート・レジスタのビットを0にする。
- ⑤VCOUT*i*出力端子に対応するポート・モード・レジスタを出力に設定する(端子から出力開始)。

15.4.5 コンパレータクロック停止/供給

周辺イネーブル・レジスタ1 (PER1)の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ①COMPOCRレジスタのCiIEビット($i = 0, 1$)を“0”にする(コンパレータの割り込みを禁止します)。
- ②COMPMDRレジスタのCiENBビットを“0”にする(コンパレータを停止する)。
- ③IF1HレジスタのCMPiFiビットを“0”にする(コンパレータ停止前の不要な割り込みをクリア)。
- ④PER1レジスタのCMPENビットを“0”にする。

PER1の設定によりクロック停止しますが、コンパレータ内部のレジスタはすべて初期化されません(レジスタの値を保持します)。

注意 コンパレータを片エッジ検出での割り込み要求に設定(CnEDG = 0)かつコンパレータの立ち上がりエッジで割り込み要求に設定(CnEPO = 0)かつIVCMP > IVREFの状態または、コンパレータを片エッジ検出での割り込み要求に設定(CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定(CnEPO = 1)、IVCMP < IVREFの状態、DTCを起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ(CnMON)を確認してからDTCを起動許可にしてください($n = 0-1$)。

第16章 オペアンプ

オペアンプの入力端子，出力端子数は，製品によって異なります。

ユニット	入出力端子	48ピン	32ピン	30ピン	24ピン	20ピン
ユニット0 (オペアンプ0)	AMP0+, AMP0- (入力)	○	○	○	○	○
	AMP0O (出力)	○	○	○	○	○
ユニット1 (オペアンプ1)	AMP1+, AMP1- (入力)	○	○	○	×	×
	AMP1O (出力)	○	○	○	×	×
ユニット2 (オペアンプ2)	AMP2+, AMP2- (入力)	○	○	○	×	×
	AMP2O (出力)	○	○	○	×	×
ユニット3 (オペアンプ3)	AMP3+, AMP3- (入力)	○	○	○	○	○
	AMP3O (出力)	○	○	○	○	○

16.1 オペアンプの機能

オペアンプは，微小なアナログ入力電圧を増幅して出力することができます。本製品では，2入力1出力の差動オペアンプを計4ユニット内蔵しています。

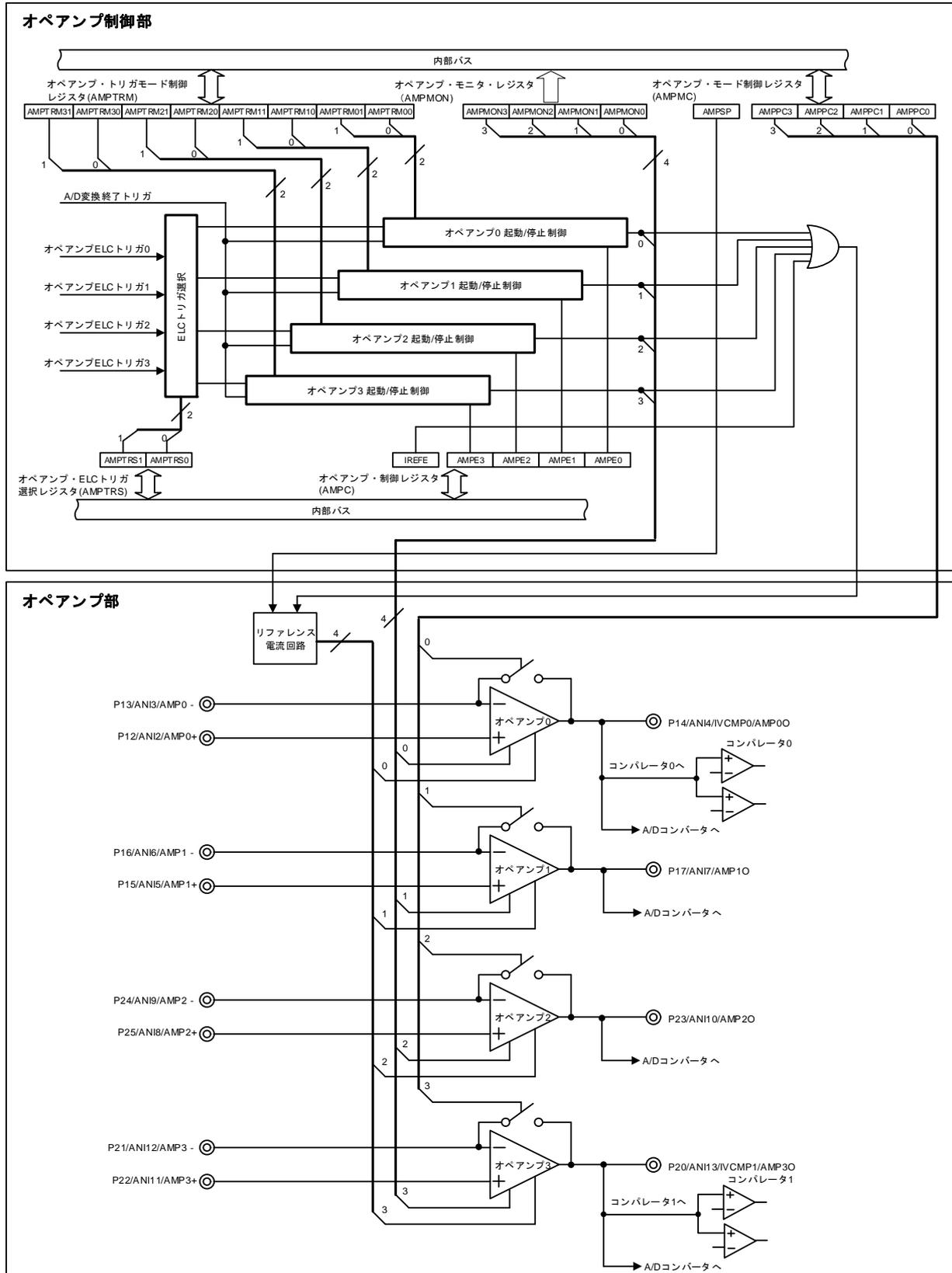
オペアンプには以下の機能があります。

- 4ユニットのうちオペアンプ0はコンパレータ0の+側信号入力に，オペアンプ3はコンパレータ1の+側信号入力に内部で接続されています。
- 全てのユニットの出力信号をA/Dコンバータの入力信号とすることができます。
- ハイスピード・モード(高消費電流)，ロウパワー・モード(低反応速度)の二つのモードを持ち，反応スピードと消費電流のトレードオフを考慮してモード選択をすることができます。
- ELC各トリガによって動作を開始することができ，さらにSTOPモードにおいてもELCトリガによる動作を開始できます。
- A/D変換終了トリガによって動作を停止することができます。

16.2 オペアンプの構成

図16-1にオペアンプのブロック図を示します。

図16-1 オペアンプのブロック図



16.3 オペアンプを制御するレジスタ

表16-1にオペアンプを制御するレジスタ一覧を示します。

表16-1 オペアンプを制御するレジスタ一覧

項目	構成
制御レジスタ	オペアンプ・モード制御レジスタ (AMPMC)
	オペアンプ・トリガモード制御レジスタ (AMPTRM)
	オペアンプELCトリガ選択レジスタ (AMPTRS)
	オペアンプ・制御レジスタ (AMPC)
	オペアンプ・モニタ・レジスタ (AMPMON)
	ポート・モード・レジスタ1 (PM1)
	ポート・モード・レジスタ2 (PM2)
	ポート・モード・コントロール・レジスタ1 (PMC1)
	ポート・モード・コントロール・レジスタ2 (PMC2)

16.3.1 オペアンプ・モード制御レジスタ (AMPMC)

図 16 - 2 オペアンプ・モード制御レジスタ (AMPMC) のフォーマット

アドレス : F0348H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPMC	AMPSP	0	0	0	AMPPC3	AMPPC2	AMPPC1	AMPPC0

AMPSP	動作モード選択(全ユニット共通)
0	ロウパワー・モード(ロウ・スピード)
1	ハイスピード・モード

AMPPCn	オペアンプ・プリチャージ制御ステータス
0	プリチャージ停止状態
1	プリチャージ許可状態
プリチャージ許可にすると、オペアンプnの入力端子と出力端子が短絡されてボルテージフォロア接続になります。	

注意1. AMPSPビットの設定は、AMPCレジスタの値が00H(オペアンプ、オペアンプ・リファレンス電流回路が停止)の状態で行ってください。

注意2. 搭載していないビットには必ず初期値を設定してください。

備考 n : ユニット番号(n = 0, 1, 2, 3)

16.3.2 オペアンプ・トリガモード制御レジスタ (AMPTRM)

図 16 - 3 オペアンプ・トリガモード制御レジスタ (AMPTRM)のフォーマット

アドレス : F0349H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPTRM	AMPTRM31	AMPTRM30	AMPTRM21	AMPTRM20	AMPTRM11	AMPTRM10	AMPTRM01	AMPTRM00
AMPTRMn1	AMPTRMn0	オペアンプ機能 起動/停止トリガ制御 ^{注3}						
0	0	ソフトウェア・トリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるオペアンプの起動/停止制御が可能 • ELCトリガによるオペアンプの起動は不可 • A/D変換終了トリガによるオペアンプ制御は不可 						
0	1	ELCトリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるオペアンプのELCトリガ待機設定/停止制御が可能 • ELCトリガによるオペアンプの起動が可能^{注1} • A/D変換終了トリガによるオペアンプ制御は不可 						
1	0	設定禁止						
1	1	ELCおよびA/Dトリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるオペアンプのELCトリガ待機設定/停止制御が可能 • ELCトリガによるオペアンプの起動が可能^{注1} • A/D変換終了トリガによるオペアンプの停止が可能^{注2} 						

注1. ELCトリガによってオペアンプを起動する場合は、あらかじめ第20章 イベント・リンク・コントローラ(ELC)に関わる各種設定およびAMPTRSレジスタを設定の上、AMPCレジスタにて起動対象となるオペアンプ・ユニットの動作制御ビットを1(オペアンプ待機許可)に設定してください。

注2. A/D変換終了トリガはA/D変換終了時に必ず発生します。

注3. AMPTRMn1, AMPTRMn0の設定値を変更する場合は、AMPCレジスタのAMPEnビットが0(オペアンプ停止)の状態で行ってください。

備考 n : ユニット番号(n = 0, 1, 2, 3)

16.3.3 オペアンプ ELC トリガ選択レジスタ (AMPTRS)

図16-4 オペアンプ ELC トリガ選択レジスタ (AMPTRS) のフォーマット

アドレス : F034AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPTRS	0	0	0	0	0	0	AMPTRS1	AMPTRS0

AMPTRS1	AMPTRS0	ELC トリガ選択 ^注
0	0	オペアンプ ユニット0 : オペアンプ ELC トリガ0 オペアンプ ユニット1 : オペアンプ ELC トリガ1 オペアンプ ユニット2 : オペアンプ ELC トリガ2 オペアンプ ユニット3 : オペアンプ ELC トリガ3
0	1	オペアンプ ユニット0 : オペアンプ ELC トリガ0 オペアンプ ユニット1 : オペアンプ ELC トリガ0 オペアンプ ユニット2 : オペアンプ ELC トリガ1 オペアンプ ユニット3 : オペアンプ ELC トリガ1
1	0	設定禁止
1	1	オペアンプ ユニット0 : オペアンプ ELC トリガ0 オペアンプ ユニット1 : オペアンプ ELC トリガ0 オペアンプ ユニット2 : オペアンプ ELC トリガ0 オペアンプ ユニット3 : オペアンプ ELC トリガ0

注 AMPTRM レジスタの設定後は、AMPTRS レジスタの値を変更しないでください。

注意 搭載していないビットには必ず初期値を設定してください。

16.3.4 オペアンプ・制御レジスタ (AMPC)

図 16 - 5 オペアンプ・制御レジスタ (AMPC)のフォーマット

アドレス : F034BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPC	IREFE	0	0	0	AMPE3	AMPE2	AMPE1	AMPE0
IREFE	オペアンプ・リファレンス電流回路の動作制御							
0	オペアンプ・リファレンス電流回路停止							
1	オペアンプ・リファレンス電流回路動作許可							
AMPE _n	オペアンプの動作制御							
0	オペアンプ停止							
1	ソフトウェア・トリガ・モード : オペアンプ動作許可注 ELCトリガ・モードまたは、ELCおよびA/Dトリガ・モード : ELC待機許可							

注 IREFEビット設定に関わらずオペアンプ・リファレンス電流回路も動作許可となります。

24, 20ピン製品のビット2, 1には必ず0を設定してください。使用しないユニットも必ず0を設定してください。

注意 搭載していないビットには必ず初期値を設定してください。

備考 n : ユニット番号 (n = 0, 1, 2, 3)

16.3.5 オペアンプ・モニタ・レジスタ (AMPMON)

図 16 - 6 オペアンプ・モニタ・レジスタ (AMPMON)のフォーマット

アドレス : F034CH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
AMPMON	0	0	0	0	AMPMON3	AMPMON2	AMPMON1	AMPMON0
AMPMON _n	オペアンプの状態							
0	オペアンプ _n 停止							
1	オペアンプ _n 動作							

注意1. 本レジスタは各オペアンプの動作/停止状態を非同期で反映するため、オペアンプの状態判定を実施する場合は、連続して本レジスタをリードし、ビット状態の変化が確認されてから再度確認のためのリードを実施した上でオペアンプの状態変化の判定用として使用してください。

また、オペアンプ制御としてクロック同期したELCトリガやA/D変換終了トリガ、その他割り込みルーチン内のソフトウェアトリガを使用するなど、オペアンプが動作/停止するタイミングを予測できる場合(正常動作の確認用など)は、オペアンプの状態に影響する各種トリガや割り込みの発生からCPU/周辺クロック1サイクル以降のタイミングで本レジスタをリードしてください。

注意2. 搭載していないビットには必ず初期値を設定してください。

備考 n : ユニット番号 (n = 0, 1, 2, 3)

16.3.6 アナログ入力端子のポート機能を制御するレジスタ

AMP0+, AMP0-, AMP0O, AMP1+, AMP1-, AMP1O, AMP2+, AMP2-, AMP2O, AMP3+, AMP3-, AMP3O 端子をオペアンプのアナログ入力/出力として使用するときは、各ポートに対応するポート・モード・レジスタ 1, 2 (PM1, PM2), ポート・モード・コントロール・レジスタ (PMC1, PMC2) のビットに 1 を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

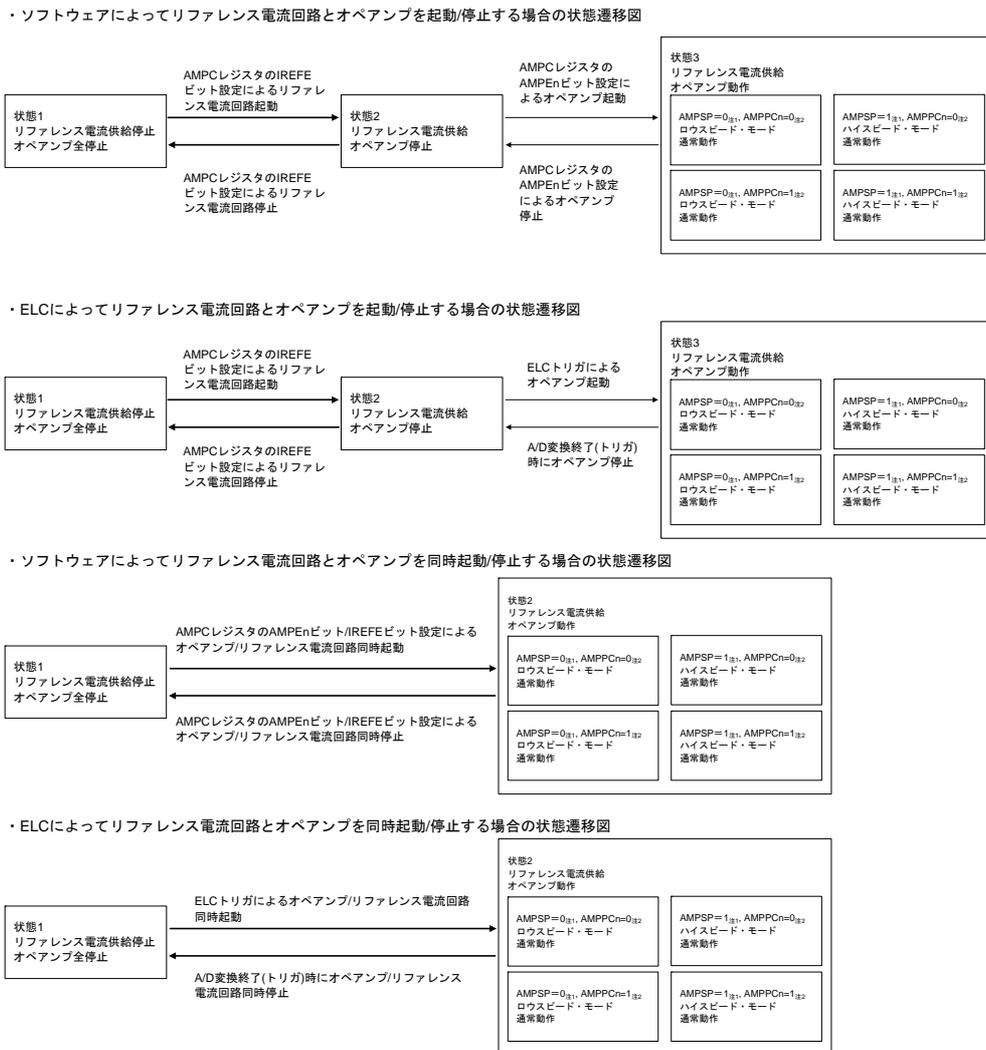
オペアンプ機能を使用する場合は、使用するオペアンプの入出力端子をポート・モード・レジスタ (PM1, PM2) によって入力端子に、ポート・モード・コントロール・レジスタ (PMC1, PMC2) によってアナログ端子に設定してください。

16.4 動作説明

16.4.1 状態遷移図

図16-7にオペアンプ制御回路によるオペアンプ、リファレンス電流回路の起動、停止の状態遷移図を示します。

図16-7 オペアンプ状態遷移図



注1. AMPMCレジスタのAMPSPビット、AMPTRS、AMPTRMの各レジスタは状態1で設定してください。

注2. AMPMCレジスタのAMPPCnビットは状態3で設定してください。

注意 オペアンプ、リファレンス電流回路の起動、停止の状態遷移については、図16-7で示す状態遷移以外は実施しないでください。

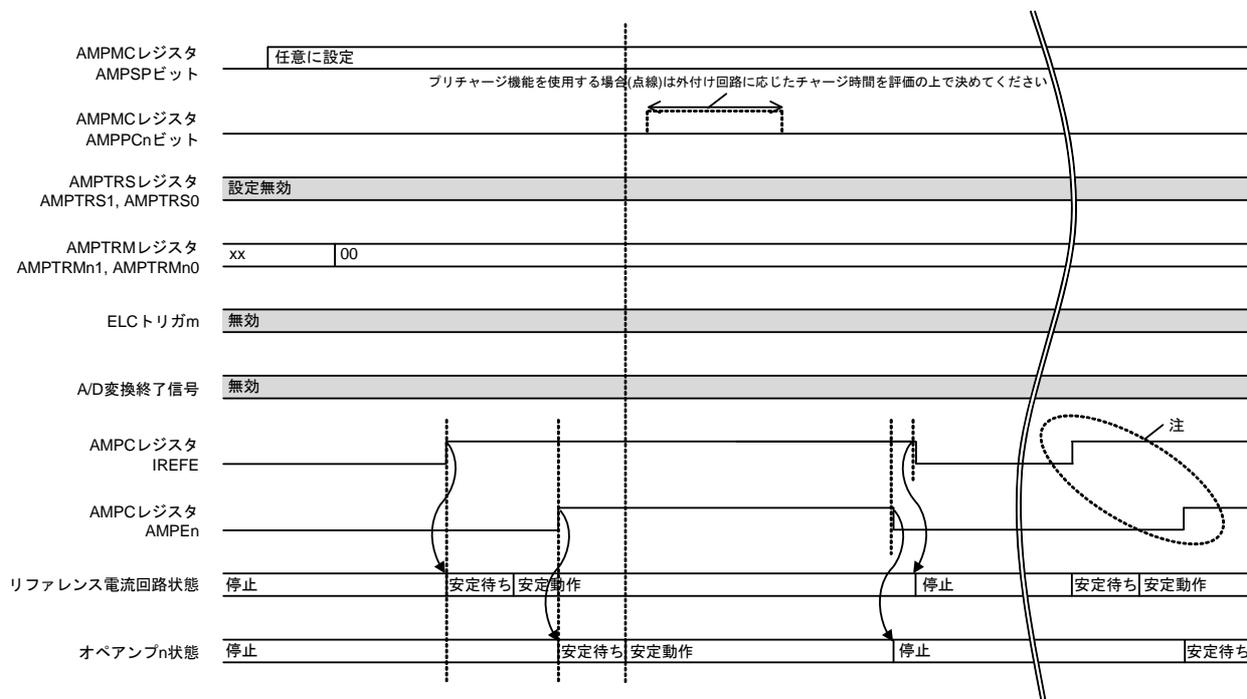
備考1. リファレンス電流供給やオペアンプ動作を設定してから実際それぞれが動作するには、安定待ち時間が必要です。安定待ち時間の詳細は、第34章 電気的特性を参照してください。

備考2. ELCトリガやA/D変換終了によるオペアンプの起動/停止はそれぞれAMPTRMレジスタによってあらかじめ使用設定されたオペアンプユニットでのみ利用可能です。

16.4.2 オペアンプ制御動作

図16-8~図16-11にオペアンプ制御動作を示します。

図16-8 オペアンプ制御動作(ソフトウェア・トリガ・モードによる制御)
(ソフトウェア・トリガ・モードによってリファレンス電流回路とオペアンプを起動/停止させる場合)

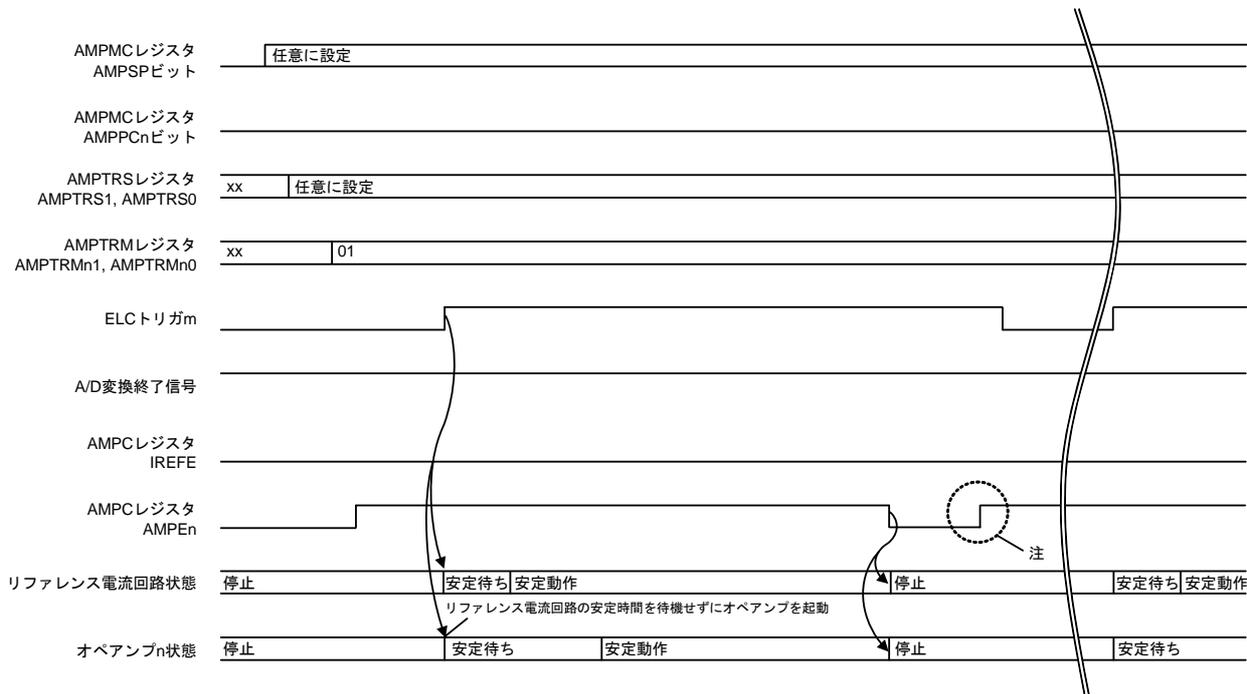


注 オペアンプの動作/停止を連続させる場合は、オペアンプ停止後、初回と同様に再度 IREFE ビット、AMPEN ビットの設定を実施してください。

備考 n : ユニット番号 (n = 0, 1, 2, 3)

m : AMPTRS レジスタによって選択されたオペアンプ ユニット n の制御で使用する ELC トリガ。

図16-9 オペアンプ制御動作(ELCトリガ・モードによる起動)
 (ELCトリガによってリファレンス電流回路とオペアンプを起動し、SFR設定によって停止させる場合)



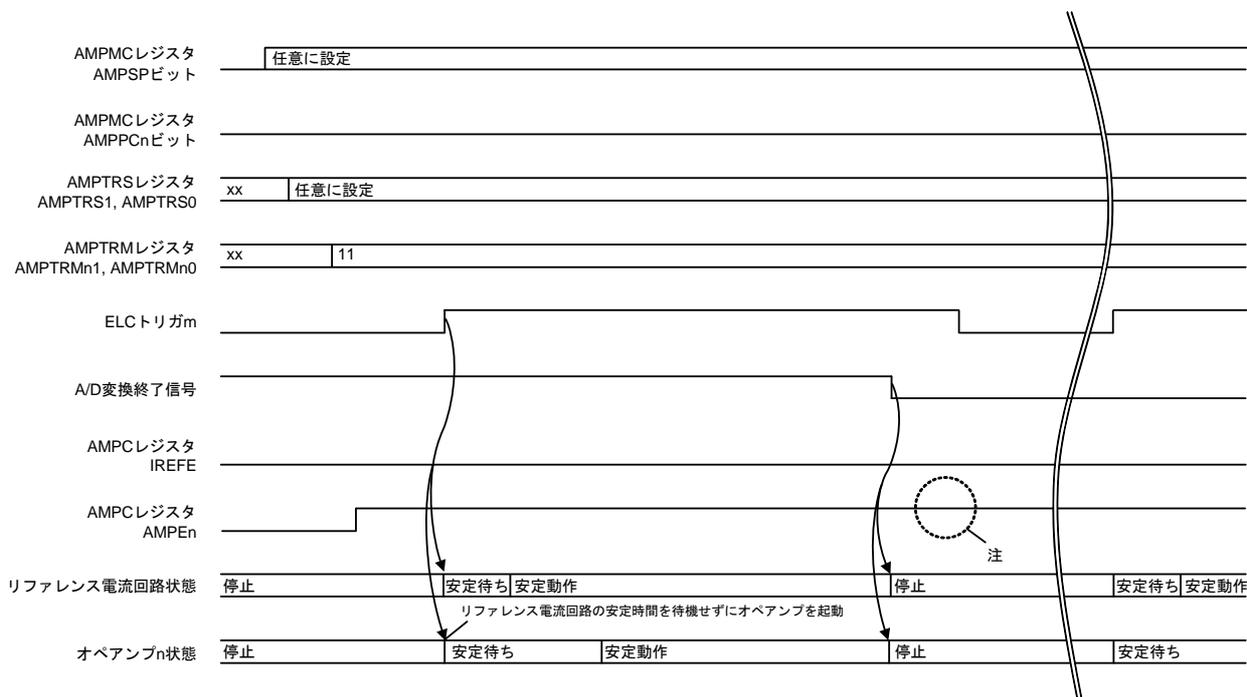
注 オペアンプの動作/停止を連続させる場合はオペアンプ停止後、初回と同様に再度 AMPEN ビットによって ELC トリガ待機状態に設定してください。

備考 n : ユニット番号 (n = 0, 1, 2, 3)

m : AMPTRS レジスタによって選択されたオペアンプ ユニット n の制御で使用する ELC トリガ。

あらかじめ ELC イベント発生元となる機能の設定、およびリンク先周辺機能の設定 (ELSELR レジスタ設定) を実施してください。

図16-10 オペアンプ制御動作(ELCおよびA/Dトリガ・モード その1)
 (ELCトリガによってリファレンス電流回路とオペアンプを起動し、A/D変換終了(トリガ)によって停止させる場合)



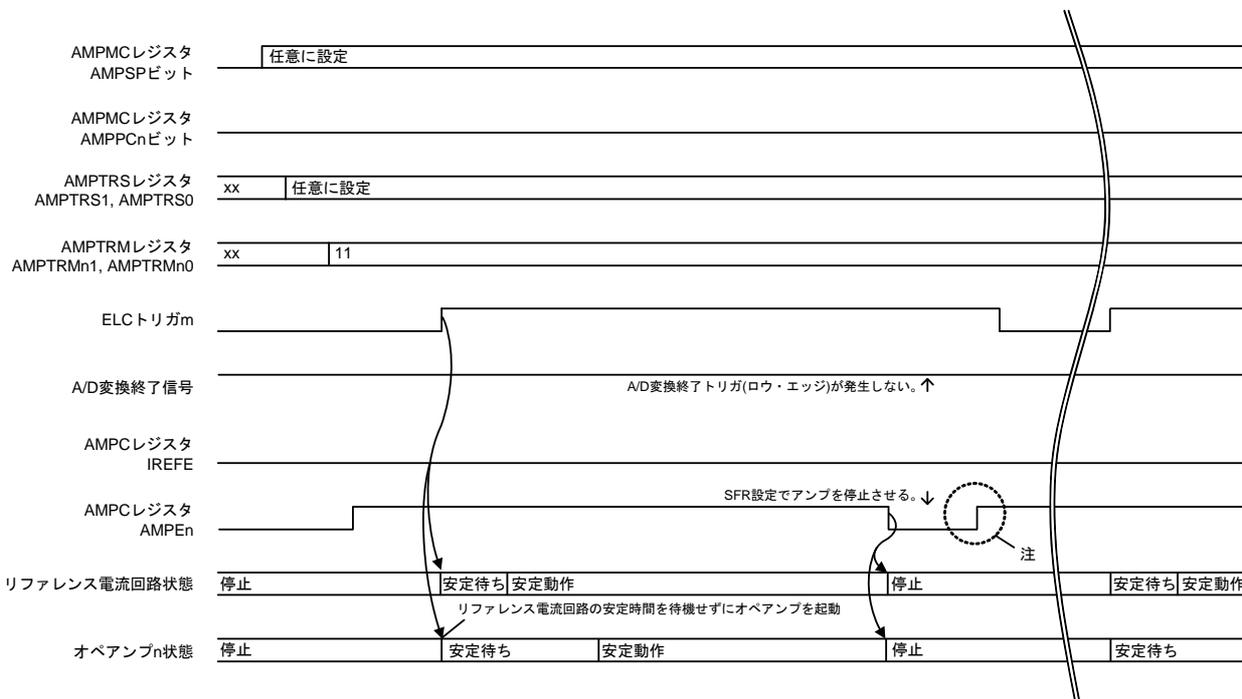
注 オペアンプの動作/停止を連続させる場合、オペアンプ停止後はELCトリガ待機状態となるためレジスタの再設定は不要です。

備考 n: ユニット番号(n = 0, 1, 2, 3)

m: AMPTRSレジスタによって選択されたオペアンプユニットnの制御で使用するELCトリガ。

あらかじめELCイベント発生元となる機能の設定、およびリンク先周辺機能の設定(ELSELRレジスタ設定)を実施してください。

図16-11 オペアンプ制御動作(ELCおよびA/Dトリガ・モード その2)
 (ELCトリガによってリファレンス電流回路とオペアンプを起動し、
 A/D変換終了(トリガ)によって停止できる設定において、SFRで停止させる場合)



注 オペアンプの動作/停止を連続させる場合はオペアンプ停止後、初回と同様に再度 AMPEN ビットによって ELC トリガ待機状態に設定してください。

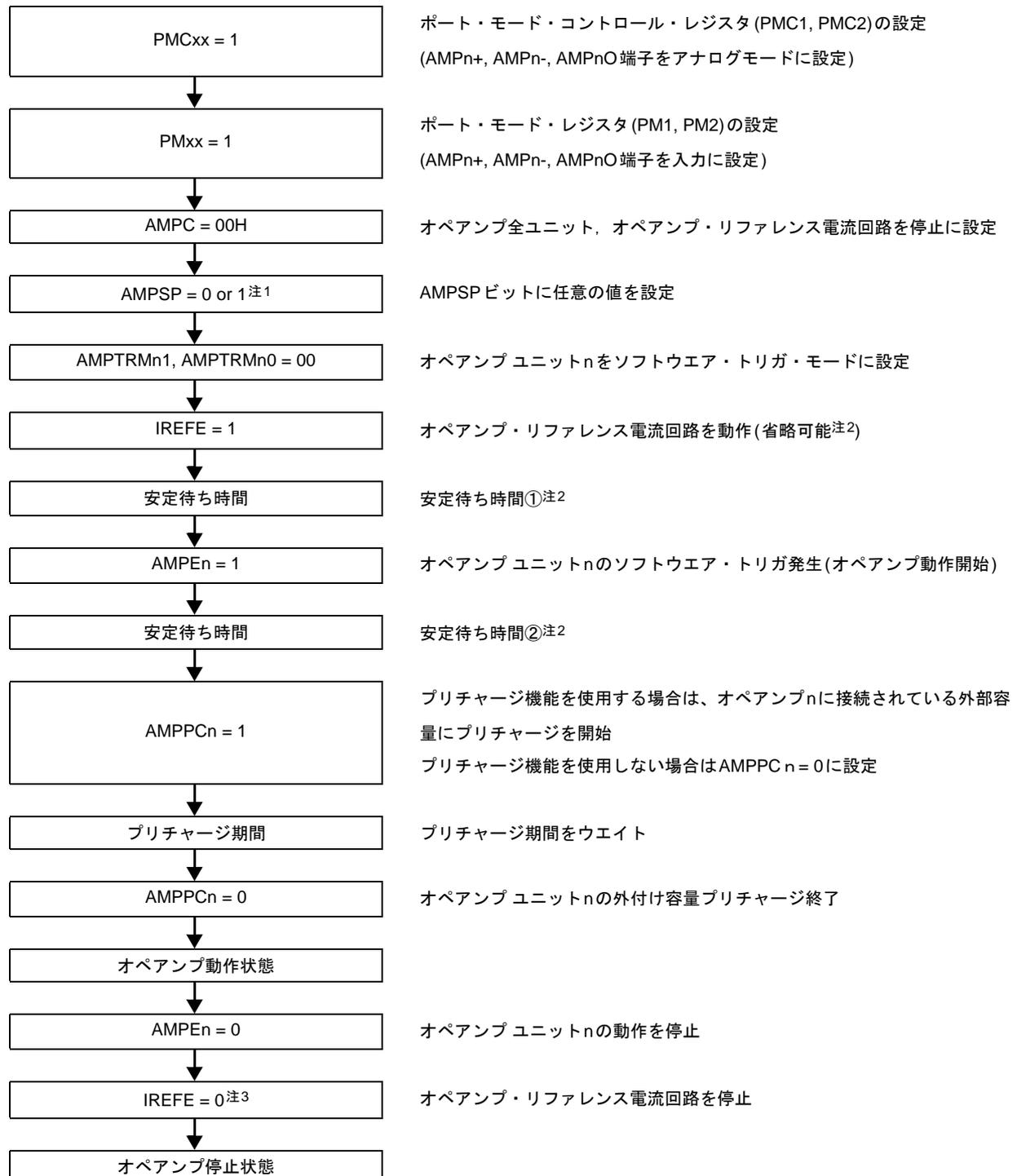
備考 n : ユニット番号 (n = 0, 1, 2, 3)

m : AMPTRS レジスタによって選択されたオペアンプ ユニット n の制御で使用する ELC トリガ。

あらかじめ ELC イベント発生元となる機能の設定、およびリンク先周辺機能の設定 (ELSELR レジスタ設定) を実施してください。

16.4.3 ソフトウェア・トリガ・モード

ソフトウェア・トリガでオペアンプを動作、停止させる手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。



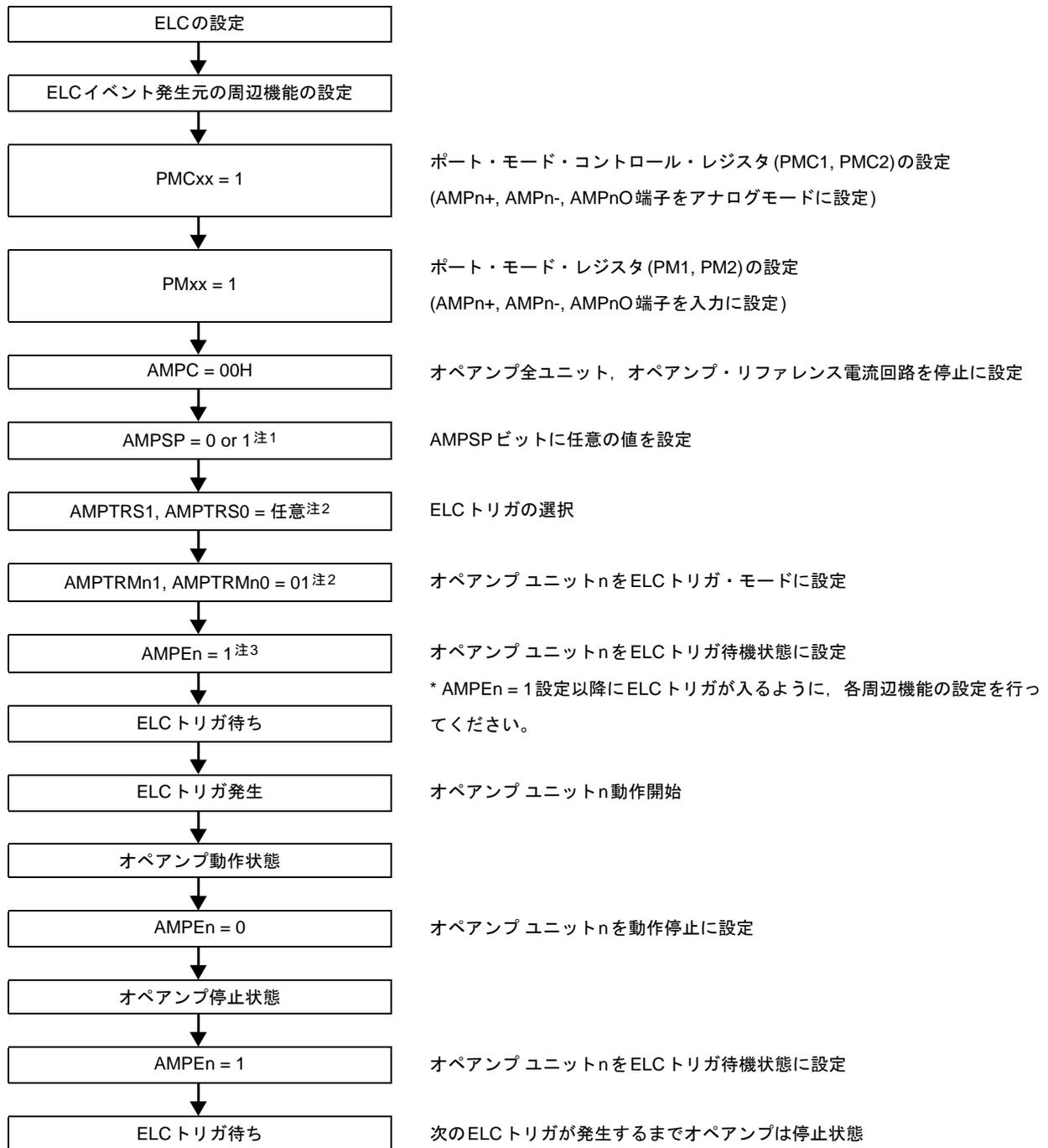
注1. AMPSPビットの設定は、AMPCレジスタの値が00H (オペアンプ、オペアンプ・リファレンス電流回路が停止)の状態で行ってください。

(注、注意は次ページに続きます。)

- 注2. オペアンプ・リファレンス電流回路を動作させる場合、安定待ち時間は、安定待ち時間①+安定待ち時間②の合計で34.6.4 オペアンプ特性 安定待ち時間の条件“オペアンプおよびリファレンス 電流回路同時起動“で示す時間を確保してください。オペアンプ・リファレンス電流回路の動作を省略した場合、安定待ち時間は安定待ち時間②で34.6.4オペアンプ特性 安定待ち時間の条件“オペアンプ起動のみ“で示す時間を確保してください。
- 注3. IREFE = 0の設定は、AMPEn = 0の設定と同時でも構いません。
- 注意 安定待ち時間の詳細は、第34章 電気的特性を参照してください。

16.4.4 ELCトリガ・モード

ELCトリガでオペアンプを動作させる設定手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。オペアンプをELCトリガで起動させ、ソフトウェアで停止させる処理を繰り返す場合の例です。



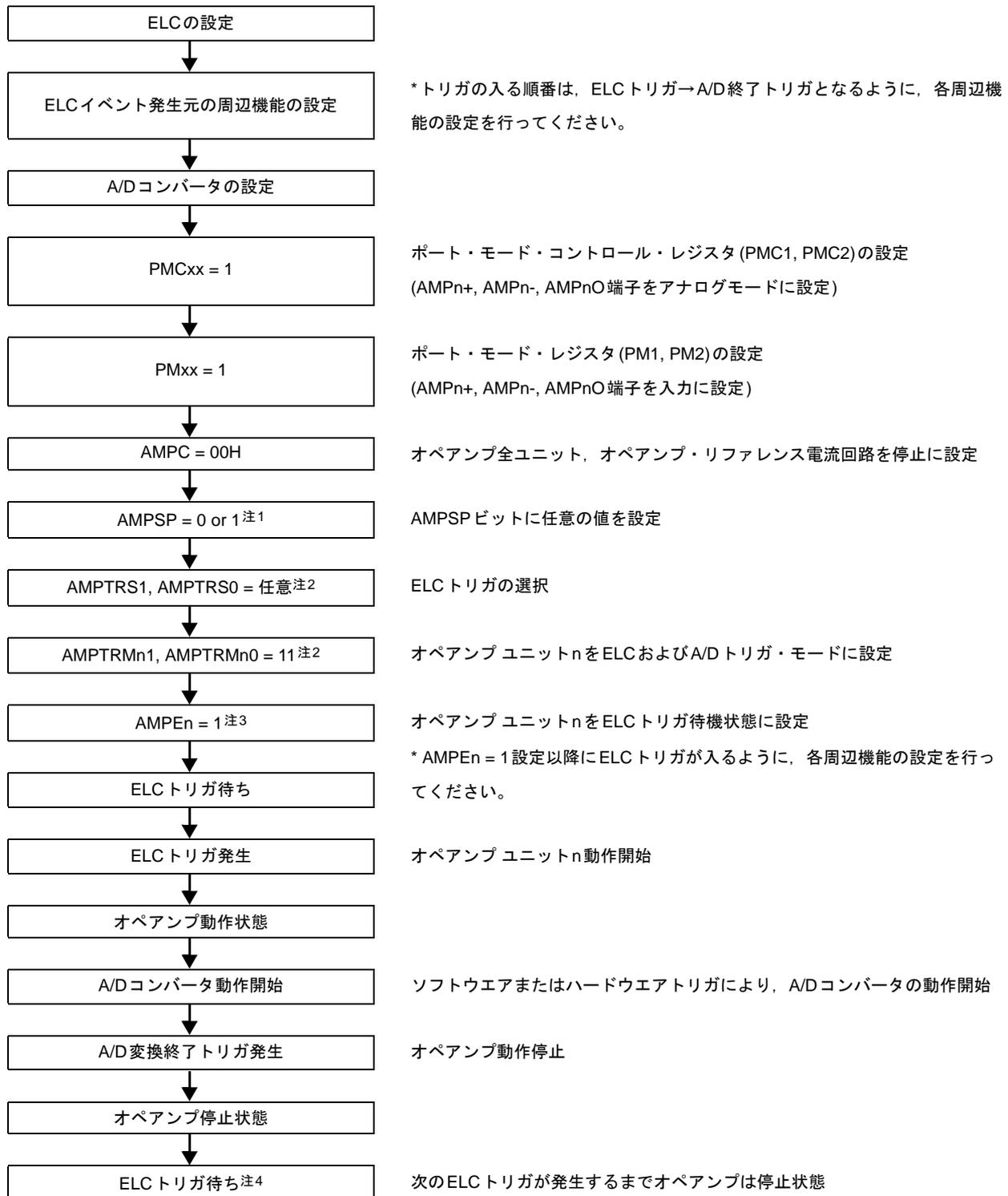
注1. AMPSPビットの設定は、AMPCレジスタの値が00H (オペアンプ, オペアンプ・リファレンス電流回路が停止)の状態で行ってください。

注2. AMPCレジスタのAMPEnビットが0の状態を設定してください。

注3. オペアンプ・リファレンス電流回路を常時動作させる場合は、このタイミングでAMPCレジスタのIREFEビットを1に設定してください。

16.4.5 ELCおよびA/Dトリガ・モード

ELCトリガでオペアンプを起動し、A/D変換終了トリガでオペアンプを停止する設定手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。オペアンプをELCトリガで起動させ、A/D変換終了トリガで停止させる処理を繰り返す場合の例です。



注1. AMPSPビットの設定は、AMPCレジスタの値が00H (オペアンプ、オペアンプ・リファレンス電流回路が停止)の状態で行ってください。

- 注2. AMPCレジスタのAMPEnビットが0の状態を設定してください。
- 注3. ELCトリガイメント発生元の周辺機能およびA/Dコンバータが停止している状態を設定してください。また、オペアンプ・リファレンス電流回路を常時動作させる場合は、このタイミングでAMPCレジスタのIREFEビットを1に設定してください。
- 注4. トリガ待機動作を終了させる場合はAMPCレジスタのAMPEnビットを0に設定してください。また、ELCトリガによりオペアンプ起動後、強制停止させたい場合もAMPCレジスタのAMPEnビットを0に設定してください。

16.5 オペアンプの注意事項

- (1) オペアンプ機能を使用する場合は、使用するオペアンプの入出力端子をポート・モード・レジスタ (PM1, PM2)によって入力端子に、ポート・モード・コントロール・レジスタ (PMC1, PMC2)によってアナログ端子に設定してください。
- (2) オペアンプ機能の電源端子である AVDD/AVSS 端子にバイパスコンデンサを付加する際はできるだけチップの近く (配線が短くなるよう)に配置し、デバイス, 基板, 周辺部品を含めたノイズ耐性を考慮してください。
- (3) オペアンプ機能はSFR設定以外にELCトリガによる起動制御およびA/D変換終了による停止制御が可能であり、リファレンス電流回路はA/D変換終了による停止制御が可能です。
このため、これらの非同期トリガによる起動/停止制御の競合 (背反制御)が発生しないよう、動作フローを遵守したアプリケーション (回路, プログラム)を設計してください。
- (4) オペアンプ機能用+, -入力とA/D変換器用アナログ入力を兼用している端子に関して、オペアンプ+, -端子として使用している期間中にこれと兼用するアナログ入力端子のA/D変換は禁止です。
- (5) オペアンプ0の出力は、コンパレータ0の+側入力信号 (IVCMP0)とアナログ入力端子 (ANI4)と接続されています。したがって、オペアンプ0を使用する場合、P14/ANI4/IVCMP0/AMP00に信号を入力しないでください。
また、オペアンプ3を使用する場合も同様にP20/ANI13/IVCMP1/AMP30に信号を入力しないでください。

第17章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに2つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI (CSI注)、UART、簡易I²Cの通信機能を実現できます。

RL78/I1Dで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○20ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○24, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

○30ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	CSI01		IIC01

注意 この章では、以降の主な説明を48ピン製品のユニット、チャンネル構成で説明しています。

17.1 シリアル・アレイ・ユニットの機能

RL78/I1Dで対応している各シリアル・インタフェースの特徴を示します。

17.1.1 簡易SPI (CSI00, CSI01)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、「17.5 簡易SPI (CSI00, CSI01)通信の動作」を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート^注 マスタ通信時： Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時： Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。以下の簡易SPI (CSI) のみ設定可能です。

- CSI00

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第34章 電気的特性を参照してください。

17.1.2 UART (UART0)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重UART通信が実現できます。

具体的な設定例は、「17.7 UART (UART0)通信の動作」を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長
- MSB/LSBファーストの選択
- 送受信データのレベル設定, 反転の選択
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロック(f_{IH})を選択している場合に、以下のUARTのみ設定可能です。

- UART0

17.1.3 簡易 I²C (IIC00, IIC01)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「17.8 簡易 I²C (IIC00, IIC01) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^注, ACK 検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACKエラー, オーバーラン・エラー

* [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn ビット (シリアル出力許可レジスタ m (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、17.8.3 (2) 処理フローを参照してください。

17.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 17-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット注
シリアル・クロック 入出力	SCK00, SCK01 端子 (簡易SPI用), SCL00, SCL01 端子 (簡易I ² C用)
シリアル・データ 入力	SI00, SI01 端子 (簡易SPI用), RxD0 端子 (UART用)
シリアル・データ 出力	SO00, SO01 端子 (簡易SPI用), TxD0 端子 (UART用)
シリアル・データ 入出力	SDA00, SDA01 端子 (簡易I ² C用)
スレーブ選択入力	SSI00 端子 (スレーブセレクト入力機能用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • 周辺リセット制御レジスタ 0 (PRR0) • シリアル・クロック選択レジスタ m (SPSm) • シリアル・チャンネル許可ステータス・レジスタ m (SEm) • シリアル・チャンネル開始レジスタ m (SSm) • シリアル・チャンネル停止レジスタ m (STm) • シリアル出力許可レジスタ m (SOEm) • シリアル出力レジスタ m (SOm) • シリアル出力レベル・レジスタ m (SOLm) • シリアル・スタンバイ・コントロール・レジスタ m (SSCm) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> • シリアル・データ・レジスタ mn (SDRmn) • シリアル・モード・レジスタ mn (SMRmn) • シリアル通信動作設定レジスタ mn (SCRmn) • シリアル・ステータス・レジスタ mn (SSRmn) • シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <ul style="list-style-type: none"> • ポート入力モード・レジスタ 5 (PIM5) • ポート出力モード・レジスタ 5 (POM5) • ポート・モード・レジスタ 5, 6 (PM5, PM6) • ポート・レジスタ 5, 6 (P5, P6)

(注、備考は次ページにあります。)

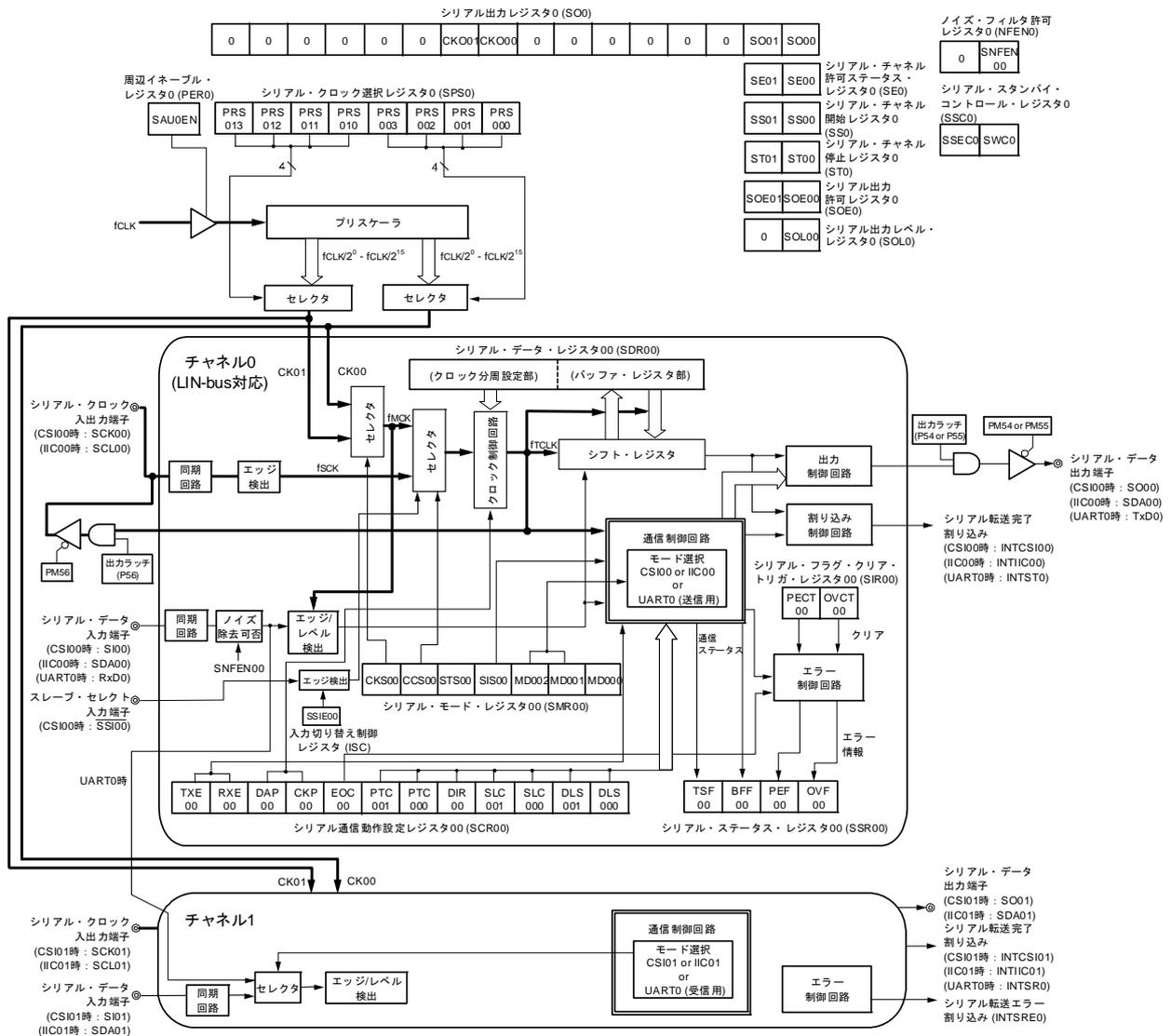
注 シリアル・データ・レジスタ mn (SDRmn)の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- CSIp通信時 SIOp (CSIpデータ・レジスタ)
- UARTq受信時 RXDq (UARTq受信データ・レジスタ)
- UARTq送信時 TXDq (UARTq送信データ・レジスタ)
- IICr通信時 SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)
q : UART番号 (q = 0) r : IIC番号 (r = 00, 01)

図17-1にシリアル・アレイ・ユニット0のブロック図を示します。

図17-1 シリアル・アレイ・ユニット0のブロック図



17.2.1 シフト・レジスタ

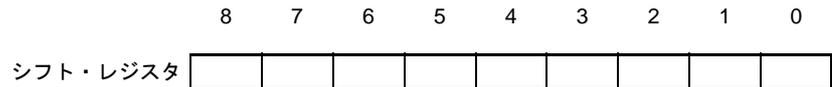
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0~8)を使用します注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビットを使用します。



注 9ビット・データ長は、以下のUARTのみ対応しています。

- ・ UART0

17.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)注1、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fmck)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- ・ 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- ・ 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- ・ 9ビット・データ長(SDRmnレジスタのビット0-8に格納)注1

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能注2です。

- ・ CSIp通信時 SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時 RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時 TXDq (UARTq送信データ・レジスタ)
- ・ IICr通信時 SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- ・ UART0

注2. 動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です(SDRmn[15:9]がすべてクリア(0)されます)。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)
 q : UART番号 (q = 0) r : IIC番号 (r = 00, 01)

図 17 - 2 シリアル・データ・レジスタ mn (SDRmn)(mn = 00, 01)のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)

リセット時 : 0000H R/W



備考 SDRmnレジスタの上位7ビットの機能については、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

17.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- 周辺リセット制御レジスタ 0 (PRR0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOM)
- シリアル・スタンバイ・コントロール・レジスタ m (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート入力モード・レジスタ 5 (PIM5)
- ポート出力モード・レジスタ 5 (POM5)
- ポート・モード・レジスタ 5, 6 (PM5, PM6)
- ポート・レジスタ 5, 6 (P5, P6)

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

17.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図17-3 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	0	0	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入カクロック供給停止 • シリアル・アレイ・ユニットmで使用するSFRへのライト不可
1	入カクロック供給許可 • シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態です。下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます(入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ5 (PIM5)、ポート出力モード・レジスタ5 (POM5)、ポート・モード・レジスタ5, 6 (PM5, PM6)、ポート・レジスタ5, 6 (P5, P6)は除く)。

- シリアル・クロック選択レジスタm (SPSm)
- シリアル・モード・レジスタmn (SMRmn)
- シリアル通信動作設定レジスタmn (SCRmn)
- シリアル・データ・レジスタmn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- シリアル・ステータス・レジスタmn (SSRmn)
- シリアル・チャネル開始レジスタm (SSm)
- シリアル・チャネル停止レジスタm (STm)
- シリアル・チャネル許可ステータス・レジスタm (SEm)
- シリアル出力許可レジスタm (SOEm)
- シリアル出力レベル・レジスタm (SOLm)
- シリアル出力レジスタm (SOM)
- シリアル・スタンバイ・コントロール・レジスタm (SSCm)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6

17.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニットをリセットする場合は、必ずビット2 (SAU0RES)を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00Hになります。

図17-4 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	0	ADCRES	0	0	SAU0RES	0	TAU0RES

SAU0RES	シリアル・アレイ・ユニットのリセット制御
0	シリアル・アレイ・ユニットのリセット解除
1	シリアル・アレイ・ユニットはリセット状態

17.3.3 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図17-5 シリアル・クロック選択レジスタ m (SPSm)のフォーマット

アドレス : F0126H, F0127H (SPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0	動作クロック (CKmk)の選択注					
				fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中に fCLK で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAU の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

注意 ビット 15-8 には、必ず 0 を設定してください。

備考1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0)

備考3. k = 0, 1

17.3.4 シリアル・モード・レジスタ mn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmck) の選択、シリアル・クロック (fsck) 入力の使用可否、スタート・トリガ設定、動作モード (簡易SPI (CSI), UART, 簡易I²C) 設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図17-6 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0112H, F0113H (SMR01) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SISmn 0注	1	0	0	MD mn2	MD mn1	MD mn0
CKS mn	チャンネルnの動作クロック (fmck) の選択															
0	SPSmレジスタで設定した動作クロックCKm0															
1	SPSmレジスタで設定した動作クロックCKm1															
動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (ftclk) を生成します。																
CCS mn	チャンネルnの転送クロック (ftclk) の選択															
0	CKSmnビットで指定した動作クロックfmckの分周クロック															
1	SCKp端子からの入力クロックfsck (簡易SPI (CSI) モードのスレーブ転送)															
転送クロックftclkは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fmck) の分周設定を行います。																
STS mn注	スタート・トリガ要因の選択															
0	ソフトウェア・トリガのみ有効 (簡易SPI (CSI), UART送信, 簡易I ² C時に選択)															
1	RxDq端子の有効エッジ (UART受信時に選択)															
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。																

注 SMR01レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)
 q : UART番号 (q = 0) r : IIC番号 (r = 00, 01)

図17-7 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(2/2)

アドレス : F0110H, F0111H (SMR00) - F0112H, F0113H (SMR01) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SISmn 0注	1	0	0	MD mn2	MD mn1	MD mn0
SISmn n0注	UARTモードでのチャンネルnの受信データのレベル反転の制御															
0	立ち下がリエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。															
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。															
MD mn2	MD mn1	チャンネルnの動作モードの設定														
0	0	簡易SPI (CSI) モード														
0	1	UARTモード														
1	0	簡易I ² Cモード														
1	1	設定禁止														
MD mn0	チャンネルnの割り込み要因の選択															
0	転送完了割り込み															
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)															
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。																

注 SMR01レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01)
q : UART番号(q = 0) r : IIC番号(r = 00, 01)

17.3.5 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087Hになります。

図17-8 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(1/2)

アドレス : F0118H, F0119H (SCR00) - F011AH, F011BH (SCR01) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI (CSI) モードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0)) のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時、INTSRxは発生しない)

簡易SPI (CSI) モード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください注2。

注1. SCR00レジスタのみ。

注2. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください(SCR01レジスタはビット5も0に設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0, 1) p : CSI番号(p = 00, 01)

図17-9 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(2/2)

アドレス : F0118H, F0119H (SCR00) - F011AH, F011BH (SCR01) リセット時 : 0087H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1	DLS mn0
-------	-----------	-----------	-----------	-----------	---	-----------	------------	------------	-----------	---	--------------	------------	---	---	------------	------------

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力注2	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI) モード, 簡易I²Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI (CSI) , UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には, 必ずDIRmn = 0に設定してください。

SLCm n1注1	SLC mn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時, 簡易I²Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。
 簡易SPI (CSI) モード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。
 UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。

DLSm n1	DLS mn0	簡易SPI (CSI) , UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納)(UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)
その他		設定禁止

簡易I²Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

注1. SCR00レジスタのみ。

注2. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には, 必ず0を設定してください(SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

17.3.6 シリアル・データ・レジスタ mn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01のビット8-0 (下位9ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9 (上位7ビット)の部分は動作クロック (fMCK) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを0に設定した場合は、動作クロックをこの SDRmn レジスタのビット15-9 (上位7ビット)で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR01ビット15-9 (上位7ビット)に“0000000B”を設定してください。SCKp 端子からの入力クロック fscK (簡易SPI (CSI) モードのスレーブ転送)が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SEmn = 0) のときのみ有効です。動作中 (SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図17-10 シリアル・データ・レジスタ mn (SDRmn)のフォーマット



- 注意1. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。
- 注意2. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
- 注意3. 動作停止 (SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア(0)されます)。

備考1. SDRmnレジスタの下位8/9ビットの機能については、17.2 シリアル・アレイ・ユニットの構成を参照してください。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

17.3.7 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn)が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図17-11 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010AH, F010BH (SIR01) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn注	PEC Tmn	OVC Tmn
FEC Tmn注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
	0	クリアしない														
	1	SSRmnレジスタのFEFmnビットを0にクリアする														
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
	0	クリアしない														
	1	SSRmnレジスタのPEFmnビットを0にクリアする														
OVC Tmn	チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ															
	0	クリアしない														
	1	SSRmnレジスタのOVFmnビットを0にクリアする														

注 SIR01レジスタのみ。

注意 ビット15-3 (SIR00レジスタの場合は、ビット15-2)には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

備考2. SIRmnレジスタの読み出し値は常に0000Hとなります。

17.3.8 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図 17 - 12 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(1/2)

アドレス : F0100H, F0101H (SSR00) - F0102H, F0103H (SSR01)

リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTmnビットに1を設定時(通信停止状態), もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) 通信動作が終了時 	
<セット条件>	
通信動作を開始時	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTmnビットに1を設定時(通信停止状態), SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時)の状態 でSDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態 でSDRmnレジスタに受信データが格納されたとき 受信エラー時 	

注 SSR01レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI (CSI) 受信する場合、BFFmnフラグは動作しません。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1)

図17-13 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0102H, F0103H (SSR01)

リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn
-------	---	---	---	---	---	---	---	---	---	-----------	-----------	---	---	------------	-----------	-----------

FEF mn注	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・簡易SPI (CSI) モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注 SSR01レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVFmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI (CSI) 受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1)

17.3.9 シリアル・チャンネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(SSmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が1にセット(動作許可状態)されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図17-14 シリアル・チャンネル開始レジスタ m (SSm)のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0
															1	0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVfmnフラグは状態を保持します。

注意1. SS0レジスタの15-2には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fmckの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

17.3.10 シリアル・チャンネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(STmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn)が0にクリア(動作停止状態)されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図17 - 15 シリアル・チャンネル停止レジスタ m (STm)のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST0	ST0
															1	0

STm n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 ST0レジスタの15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

17.3.11 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャンネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図17-16 シリアル・チャンネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE0	SE0
															1	0

SEm n	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

17.3.12 シリアル出力許可レジスタ m (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図 17 - 17 シリアル出力許可レジスタ m (SOEm)のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE01	SOE00

SOEmn	チャンネルnのシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOE0レジスタの15-2には、必ず0を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1)

17.3.13 シリアル出力レジスタ m (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止(SEmn = 0)時のみ可能です。チャンネル動作許可(SEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能等のシリアル・インタフェース機能以外として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0303Hになります。

図 17 - 18 シリアル出力レジスタ m (SOm)のフォーマット

アドレス : F0128H, F0129H リセット時 : 0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	CKO 01	CKO 00	0	0	0	0	0	0	SO 01	SO 00

CKO mn	チャンネルnのシリアル・クロック出力															
0	シリアル・クロック出力値が“0”															
1	シリアル・クロック出力値が“1”															

SO mn	チャンネルnのシリアル・データ出力															
0	シリアル・データ出力値が“0”															
1	シリアル・データ出力値が“1”															

注意 SO0レジスタのビット15-10, 7-2には、必ず0を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1)

17.3.14 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI) モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図17-19 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL00

SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

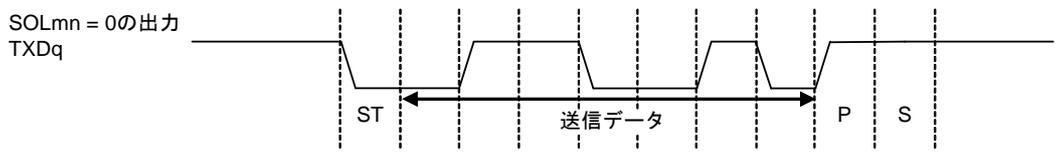
注意 SOL0レジスタのビット15-1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

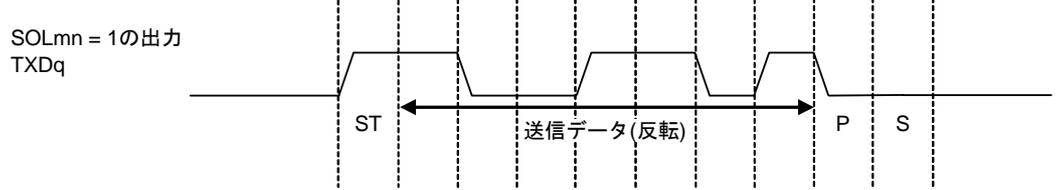
UART送信時、送信データのレベル反転例を図17-20に示します。

図 17 - 20 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

17.3.15 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00、UART0のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZEモード)を制御するレジスタです。

SSCm レジスタは、16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは、SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCmレジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- CSI00の場合：～1 Mbps
- UART0の場合：4800 bpsのみ

図 17 - 21 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)のフォーマット

アドレス：F0138H, F0139H (SSC0) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み (INTSRE0)発生許可
1	エラー割り込み (INTSRE0)発生停止

- SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1の時のみ、SSECmビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。
- SSECm, SWCm = 1, 0は設定禁止です。

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

- STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI) /UARTの受信動作を行います (SNOOZEモード)。
- SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- SNOOZEモードを使用する場合でも、通常動作モード時はSWCを0に設定し、STOPモードへ移行する直前にSWCを1に変更してください。
またSTOPモードから通常動作モードへ復帰後、必ずSWCを0に変更してください。

注意 SSECm, SWCm = 1, 0は設定禁止です。

図17-22 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

17.3.16 入力切り替え制御レジスタ (ISC)

SSIE00ビットは、CSI00通信かつスレーブ・モード時にチャンネル0の $\overline{\text{SSI00}}$ 端子入力を制御するビットです。 $\overline{\text{SSI00}}$ 端子にハイ・レベルが入力されている期間は、シリアル・クロックが入力されても送受信動作を行いません。 $\overline{\text{SSI00}}$ 端子にロウ・レベルが入力されている期間は、シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図17-23 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	0	0

SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0の $\overline{\text{SSI00}}$ 入力の設定
0	$\overline{\text{SSI00}}$ 端子入力の無効
1	$\overline{\text{SSI00}}$ 端子入力の有効

注意 ビット6-0に必ず0を設定してください。

17.3.17 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI) , 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図17-24 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	0	0	SNFEN00

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

RxD0端子として使用するときは、SNFEN00 = 1に設定してください。
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。

注意 ビット7-1には、必ず0を設定してください。

17.3.18 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ(ポート・モード・レジスタ(PMxx)、ポート・レジスタ(Pxx)、ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx))を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ(PMxx)、4.3.2 ポート・レジスタ(Pxx)、4.3.4 ポート入力モード・レジスタ(PIMxx)、4.3.5 ポート出力モード・レジスタ(POMxx)を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート(P54/SO00/TxD0/INTP1/TOOLTxDなど)をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに0を、ポート・レジスタ(Pxx)のビットに1を設定してください。

なお、N-chオープン・ドレイン出力(V_{DD}耐圧)モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ(POMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(1.8 V系、2.5 V系)対応を参照してください。

(例) P54/SO00/TxD0/INTP1/TOOLTxDをシリアル・データ出力として使用する場合

ポート・モード・レジスタ5のPM54ビットを0に設定

ポート・レジスタ5のP54ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート(P55/SI00/RxD0/SDA00/INTP2/TOOLRxDなど)をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ(PIMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(1.8 V系、2.5 V系)対応を参照してください。

(例) P55/SI00/RxD0/SDA00/INTP2/TOOLRxDをシリアル・データ入力として使用する場合

ポート・モード・レジスタ5のPM55ビットを1に設定

ポート・レジスタ5のP55ビットを0または1に設定

17.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
 動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
 また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

17.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0)で行います。
 PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。
 シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。

図17-25 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0) 停止するSAUmのビットのみ0に設定する



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ5 (PIM5)
- ポート出力モード・レジスタ5 (POM5)
- ポート・モード・レジスタ5, 6 (PM5, PM6)
- ポート・レジスタ5, 6 (P5, P6)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6

備考 x: シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1: ユーザの用途に応じて0または1に設定

17.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図17-26 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ m (STm)

..... 各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
															STm1	STm0
															0/1	0/1

1 : SEmn ビットを0にクリアし、通信動作を停止

* STmn ビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmn ビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm)

..... 各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
															SEm1	SEm0
															0/1	0/1

0 : 動作停止状態

* SEm レジスタはRead Onlyのステータス・レジスタであり、STm レジスタにて動作停止にします。
動作を停止したチャンネルは、SOM レジスタのCKOmn ビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm)

..... 各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
															SOEm1	SOEm0
															0/1	0/1

0 : シリアル通信動作による出力停止

* シリアル出力を停止したチャンネルは、SOM レジスタのSOmn ビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ m (SOM) 各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
							CKOm1	CKOm0							SOM1	SOM0
							0/1	0/1							0/1	0/1

1 : シリアル・クロック出力値が“1”

1 : シリアル・データ出力値が“1”

* 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmn ビットに“1”を設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

備考2. : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

17.5 簡易SPI (CSI00, CSI01)通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)
マスタ通信時 : Max. fCLK/4
スレーブ通信時 : Max. fmck/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。以下の簡易SPI (CSI) のみ設定可能です。

- CSI00

注 SCK サイクル・タイム (tKCY) の特性を満たす範囲内で使用してください。詳細は、第34章 電気的特性を参照してください。

簡易SPI (CSI00, CSI01)に対応しているチャンネルは、SAU0のチャンネル0, 1です。

○20ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○24, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

○30ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	CSI01		IIC01

簡易SPI (CSI00, CSI01)の通信動作は、以下の7種類があります。

- マスタ送信(17.5.1項を参照)
- マスタ受信(17.5.2項を参照)
- マスタ送受信(17.5.3項を参照)
- スレーブ送信(17.5.4項を参照)
- スレーブ受信(17.5.5項を参照)
- スレーブ送受信(17.5.6項を参照)
- SNOOZEモード機能(17.5.7項を参照)

17.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

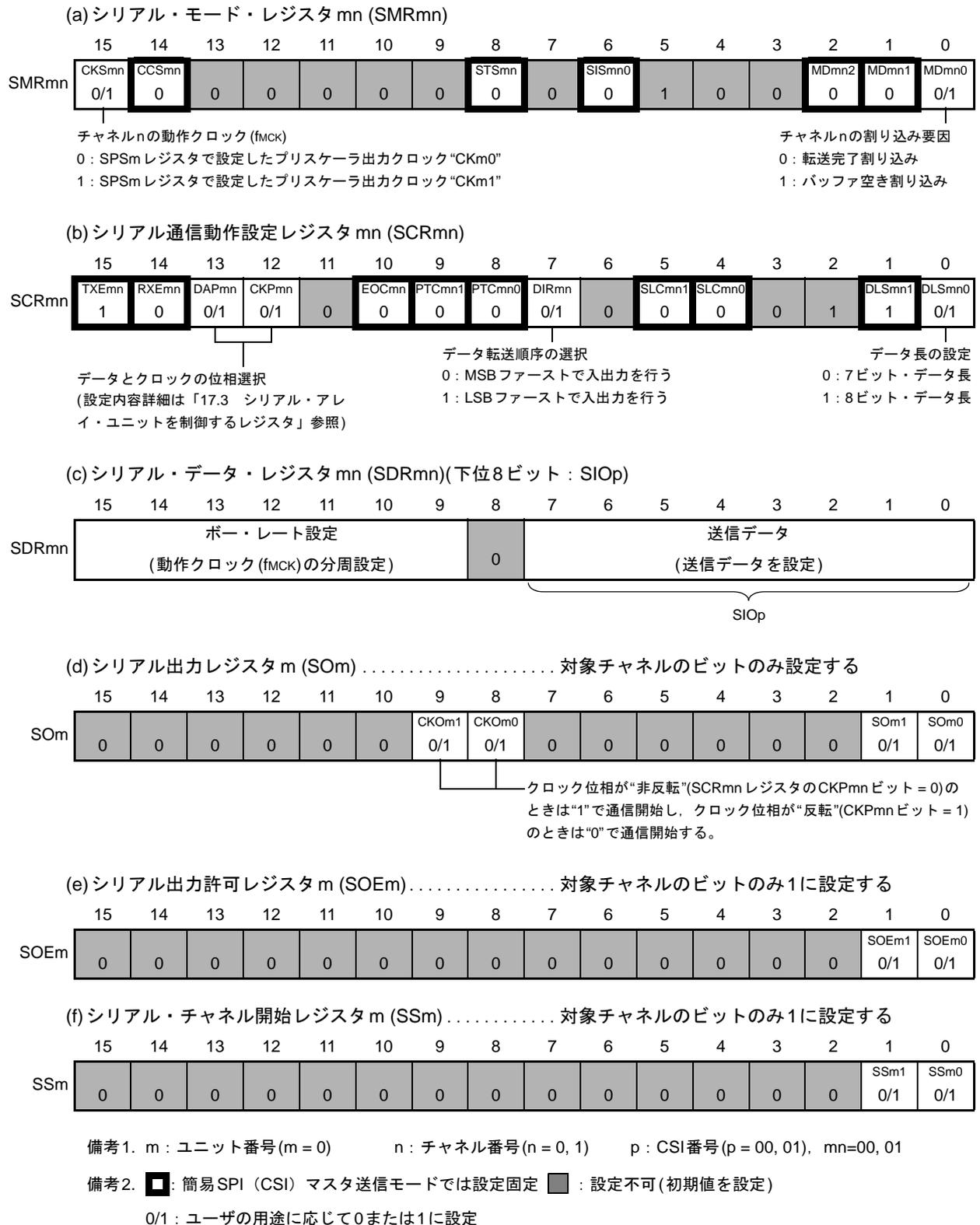
簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転 	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn=00, 01

(1) レジスタ設定

図 17 - 27 簡易SPI (CSI00, CSI01)のマスタ送信時のレジスタ設定内容例



(2) 操作手順

図 17 - 28 マスタ送信の初期設定手順

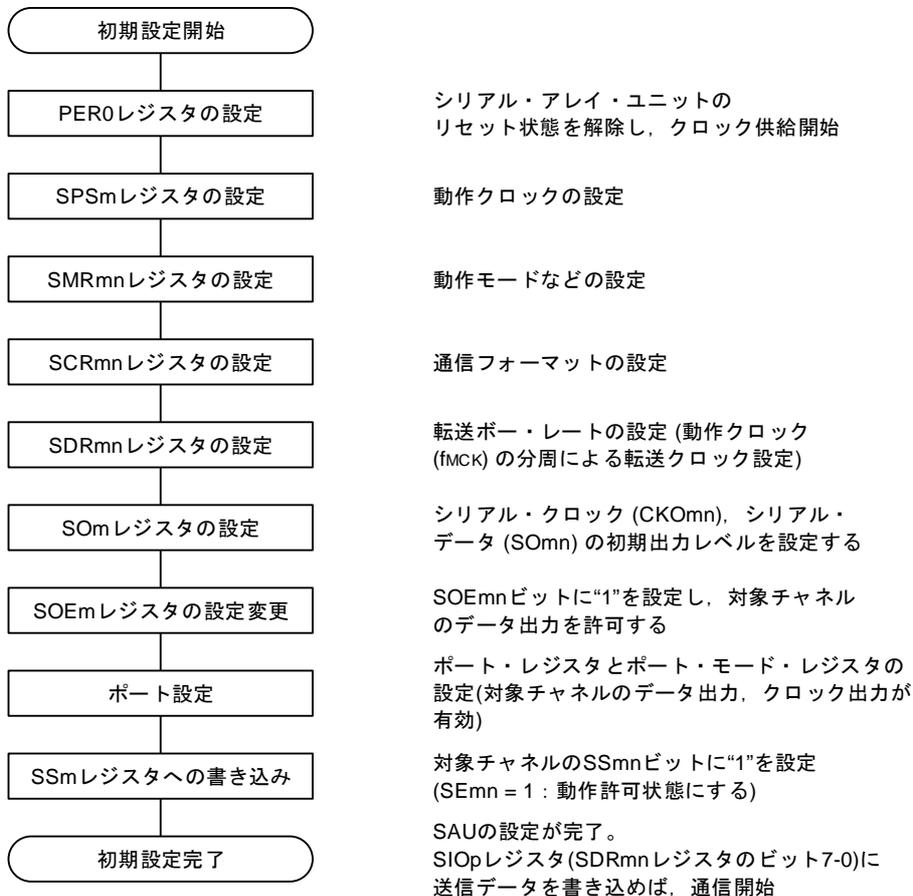


図 17 - 29 マスタ送信の中断手順

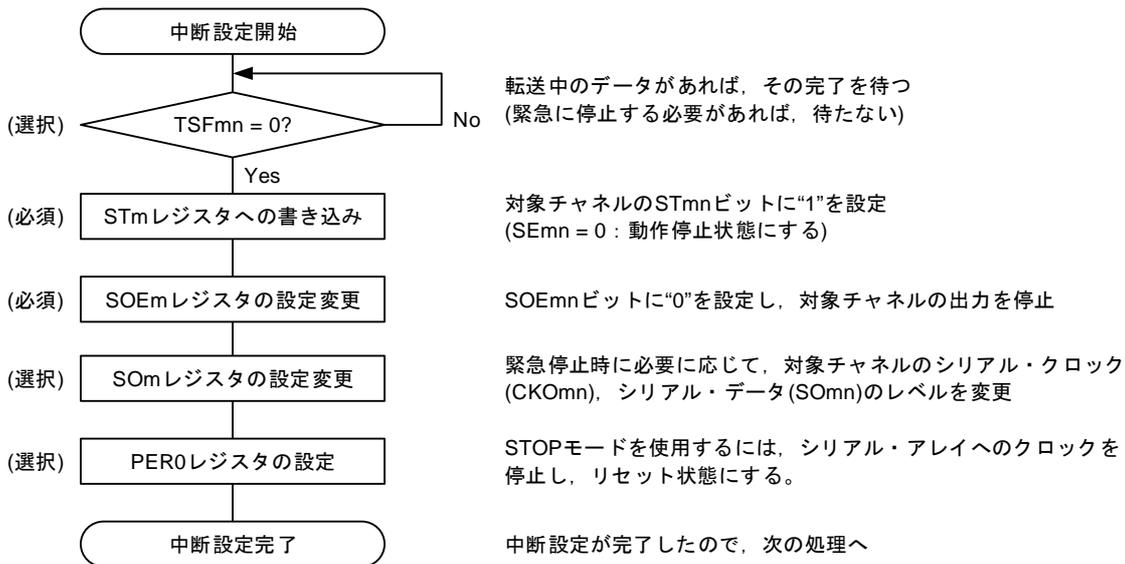
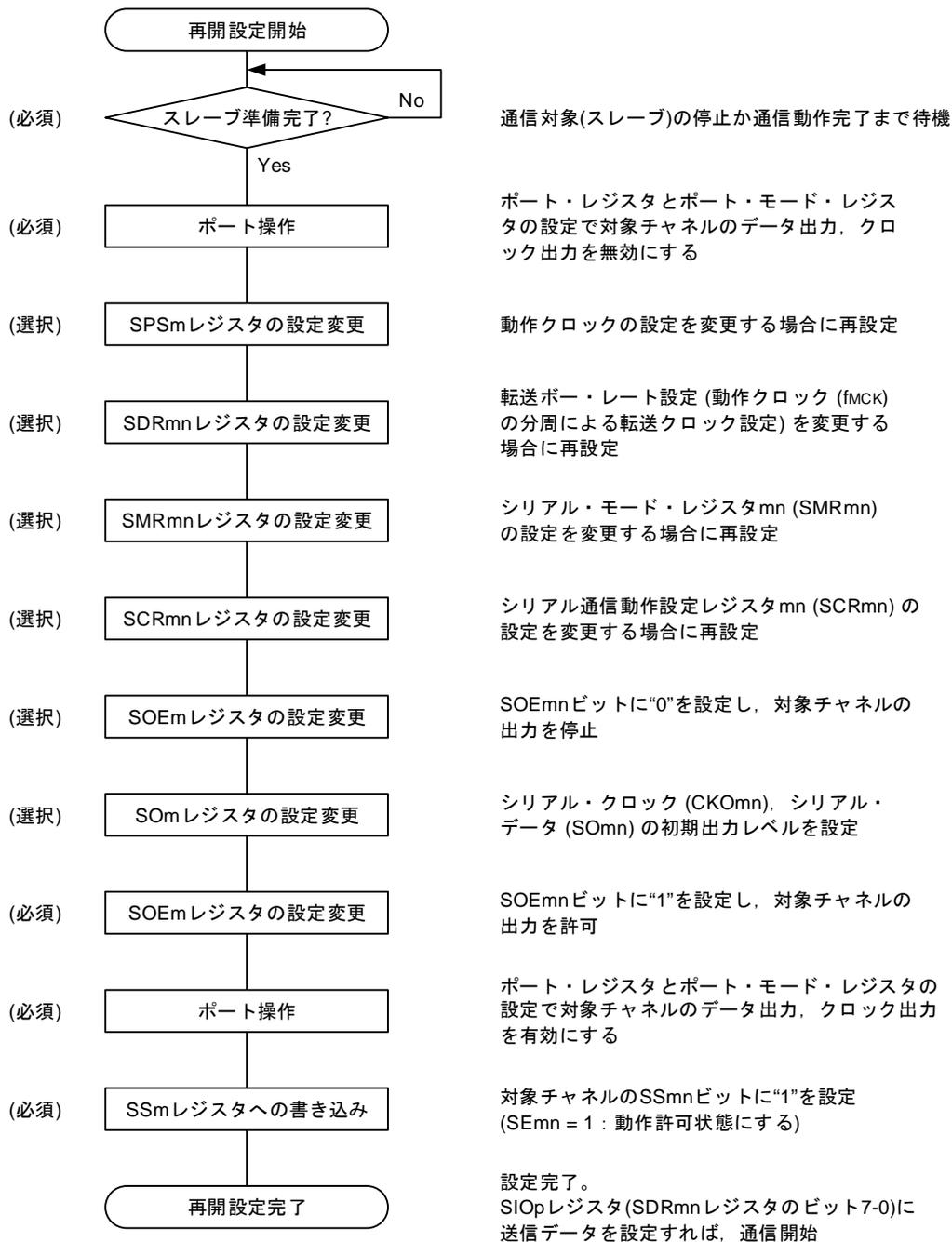


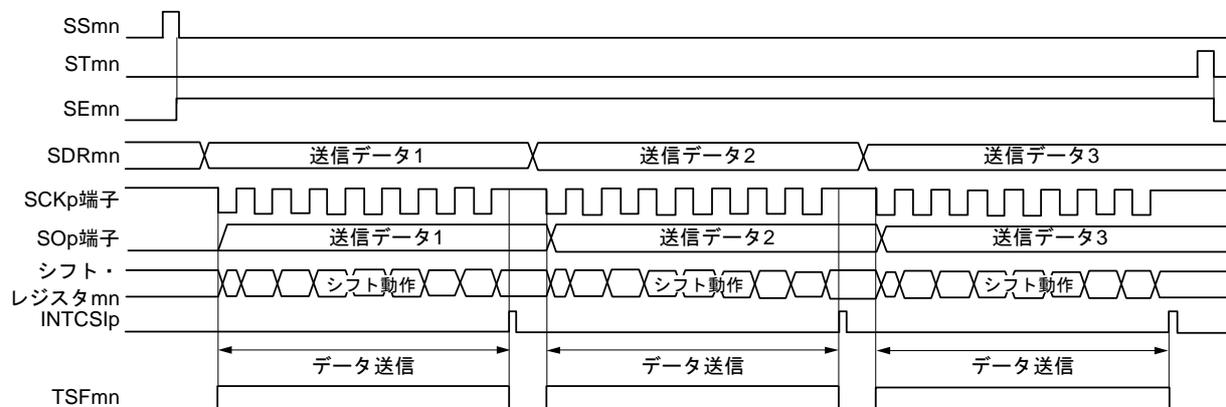
図 17 - 30 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

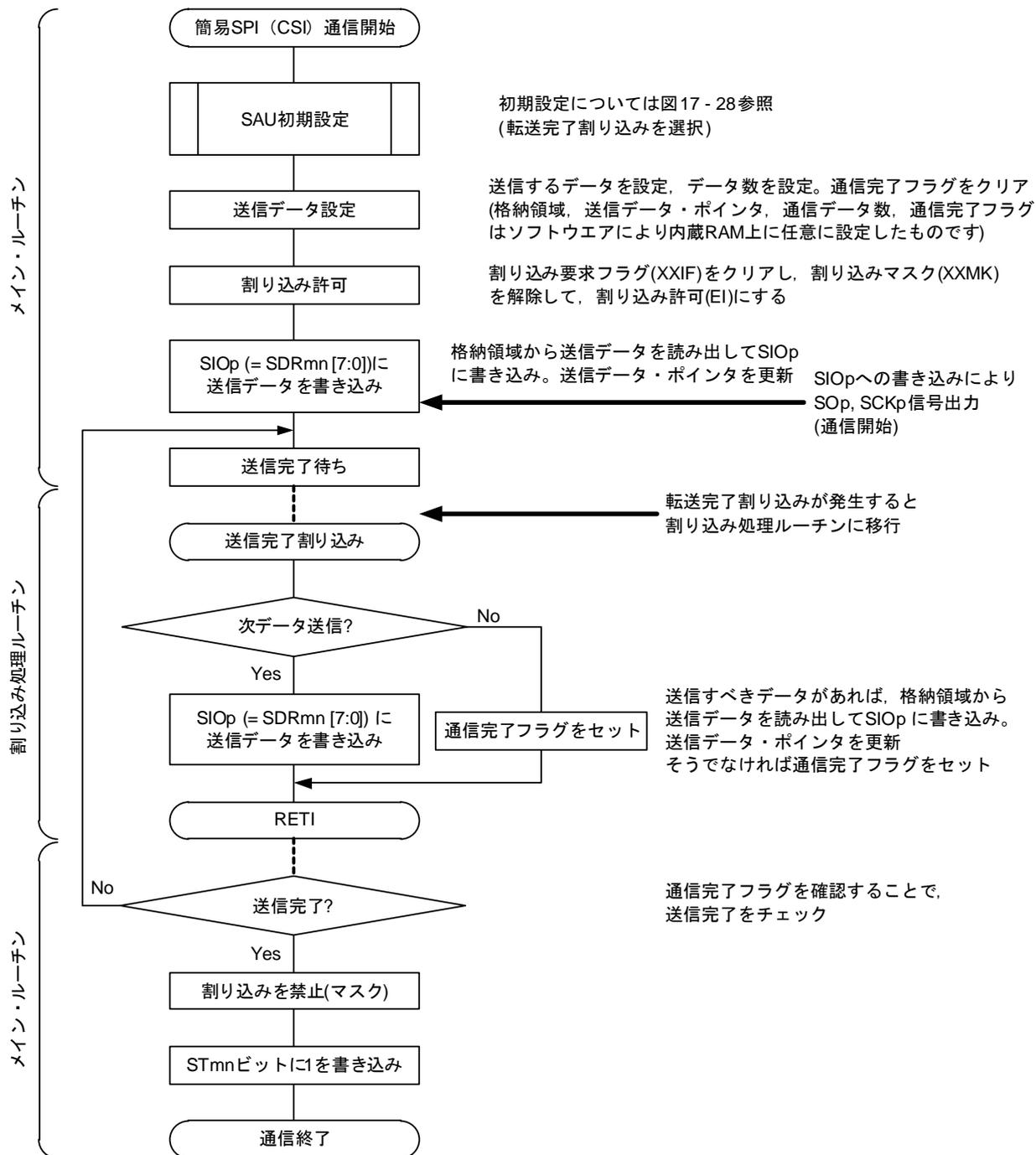
(3) 処理フロー (シングル送信モード時)

図17-31 マスタ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



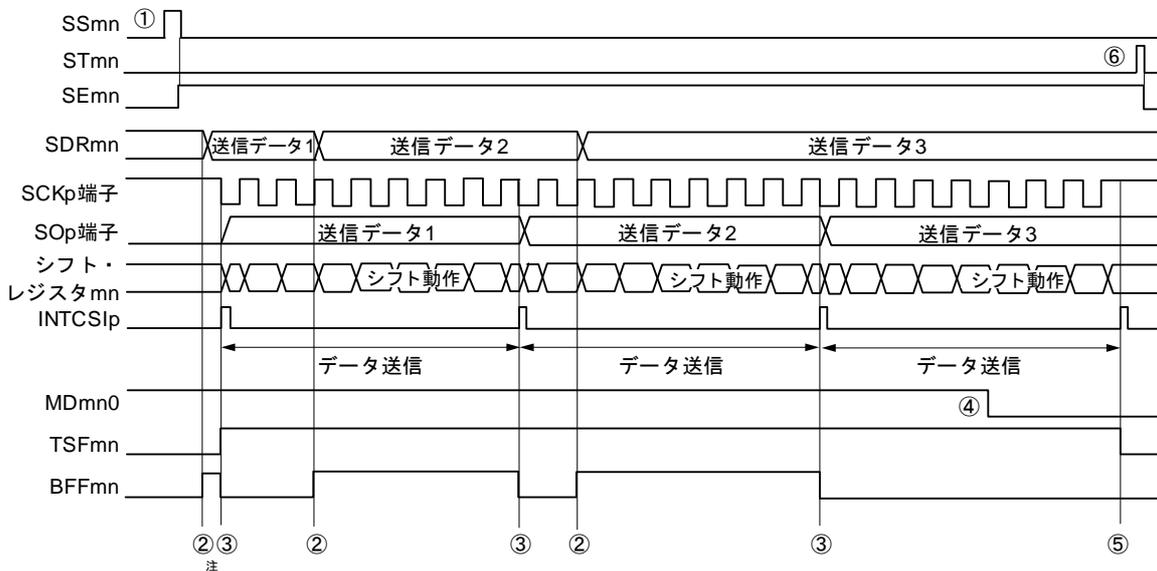
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-32 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図17-33 マスタ送信 (連続送信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

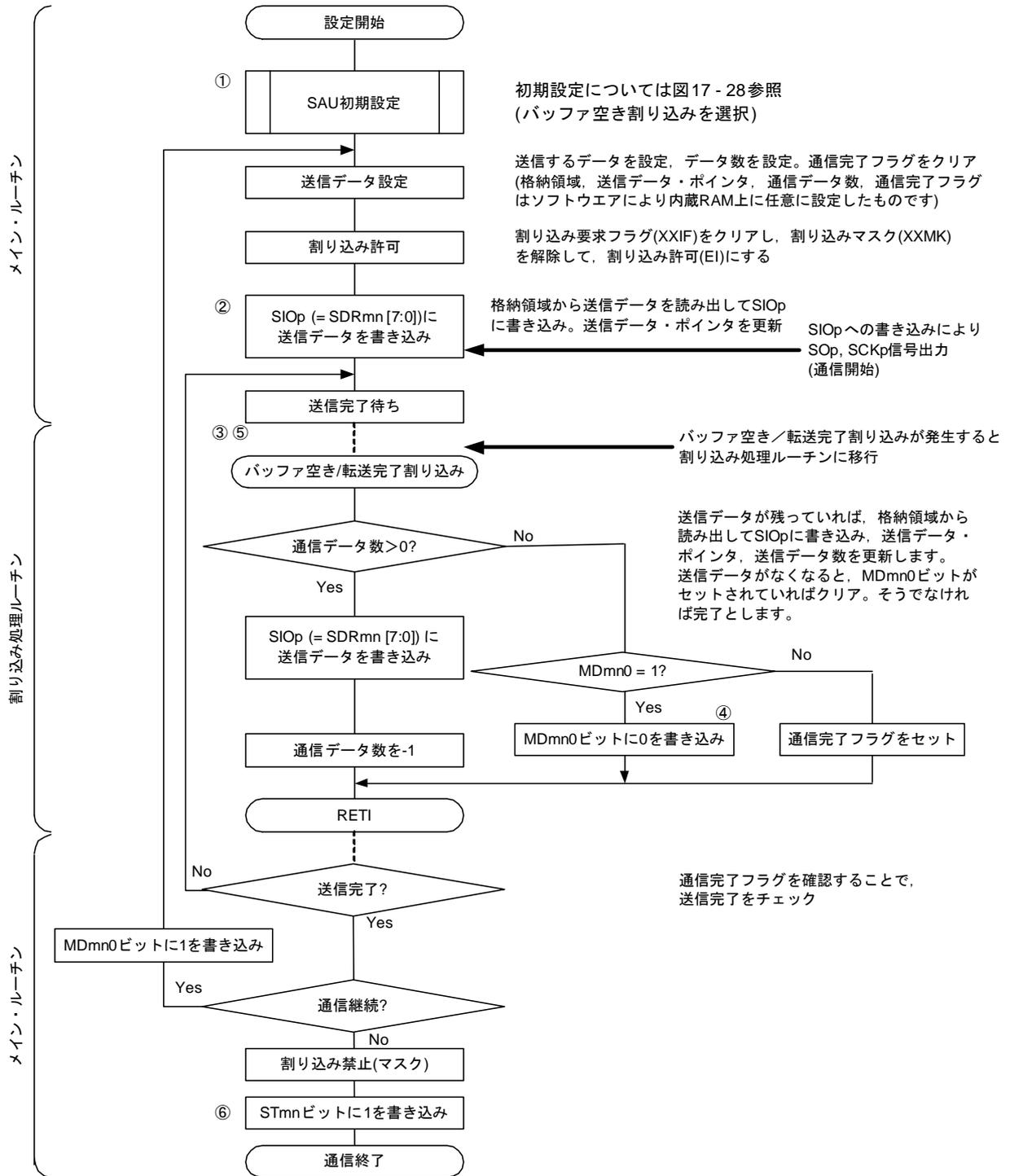


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-34 マスタ送信(連続送信モード時)のフロー・チャート



備考 図中の①~⑥は, 図17-33 マスタ送信(連続送信モード時)のタイミング・チャートの①~⑥に対応しています。

17.5.2 マスタ受信

マスタ受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

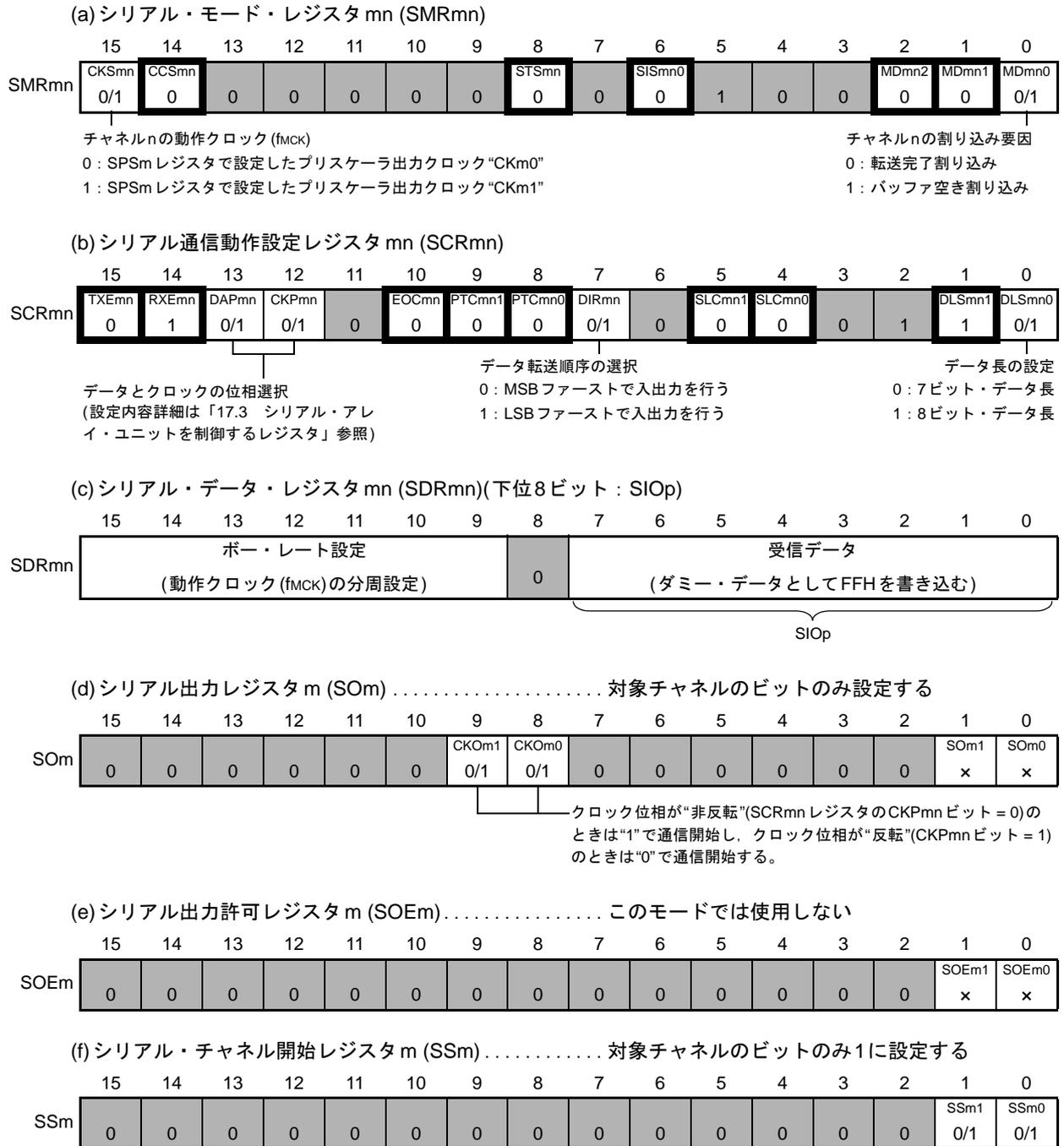
簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK : システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転 	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01), mn=00, 01

(1) レジスタ設定

図 17 - 35 簡易SPI (CSI00, CSI01)のマスタ受信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

備考2. : 簡易SPI (CSI) マスタ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 36 マスタ受信の初期設定手順

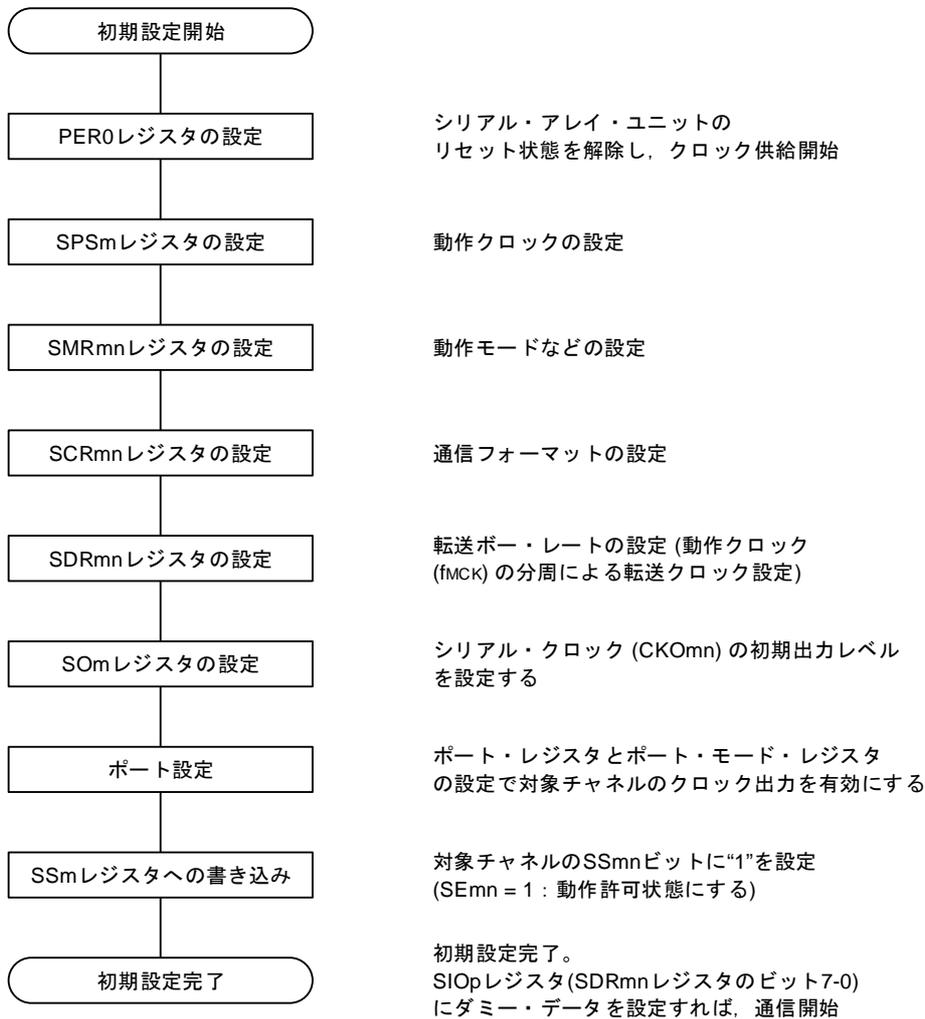


図 17 - 37 マスタ受信の中断手順

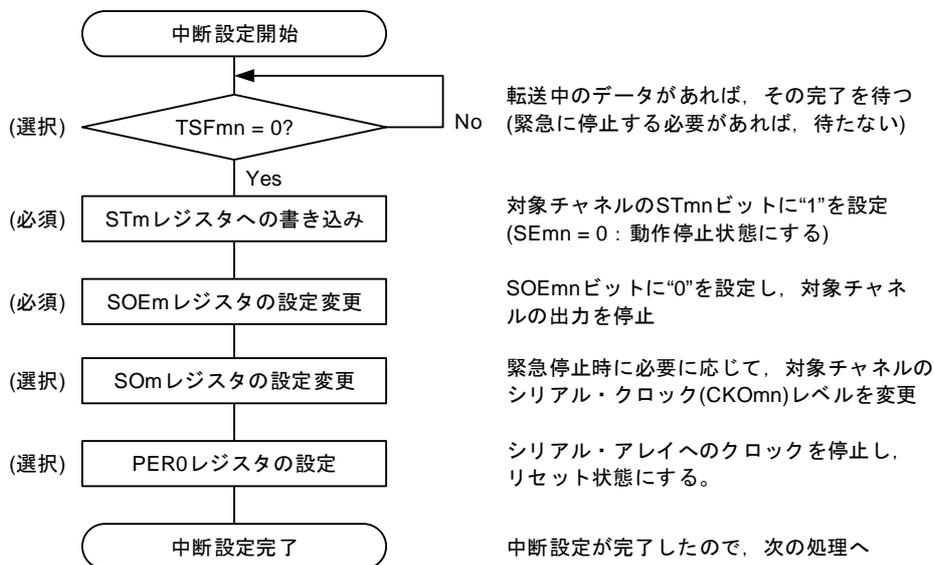
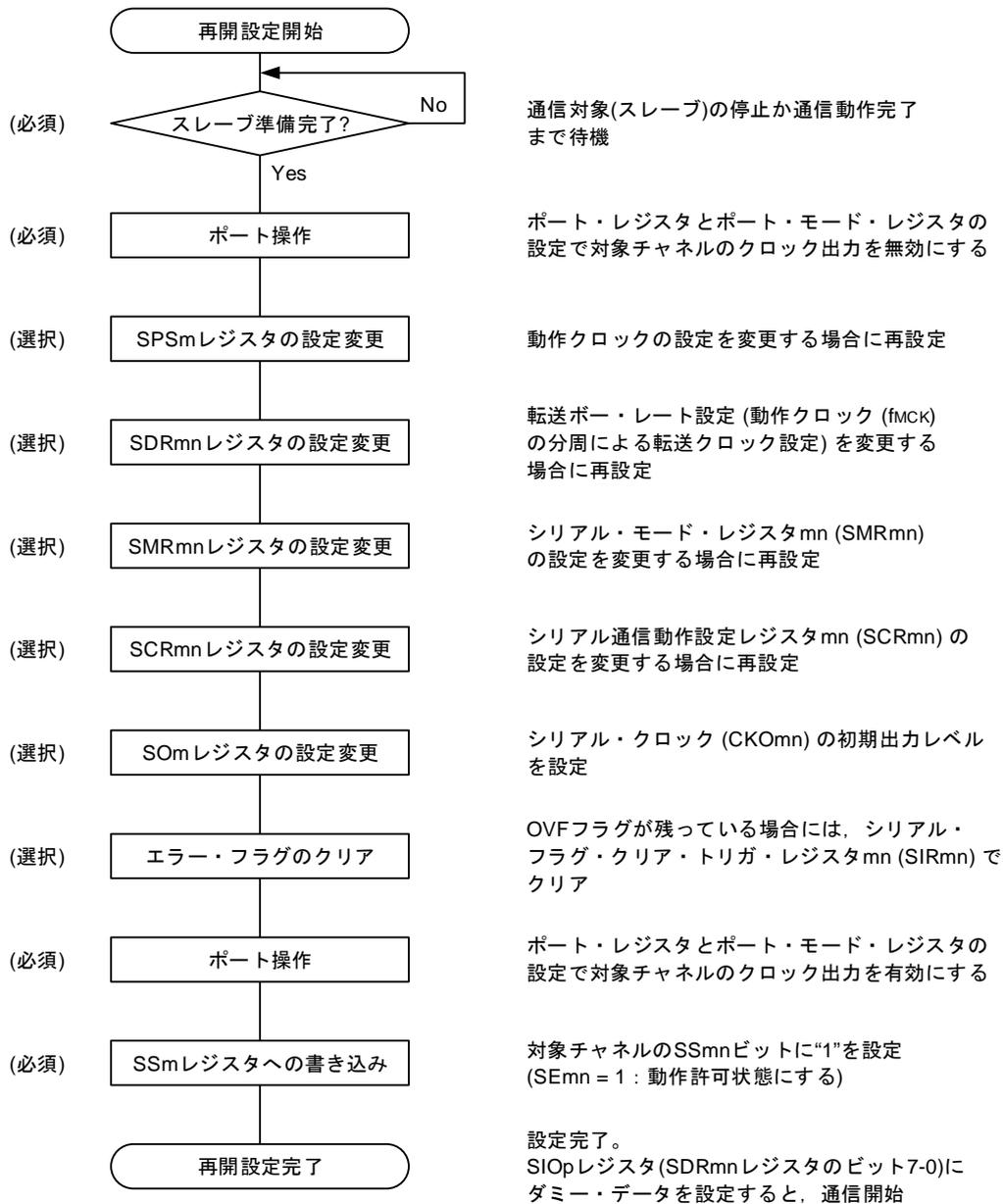


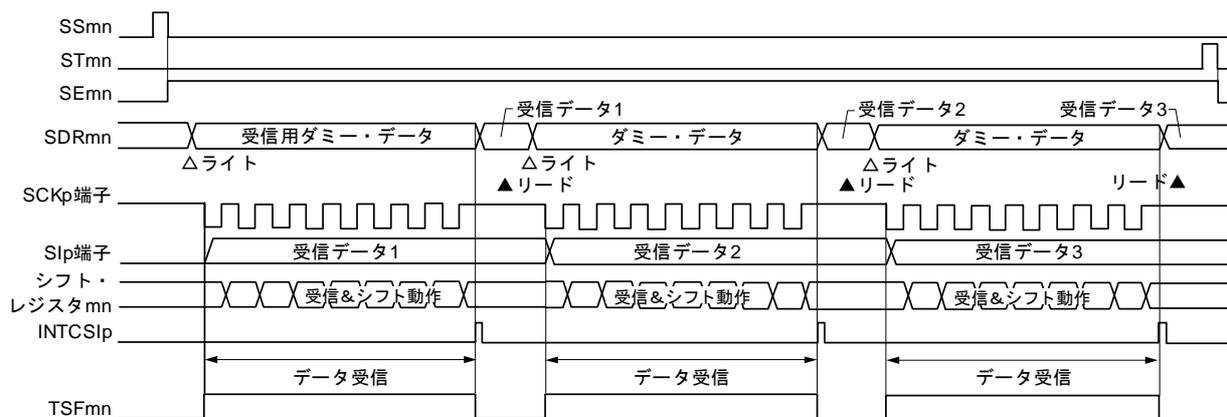
図 17 - 38 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

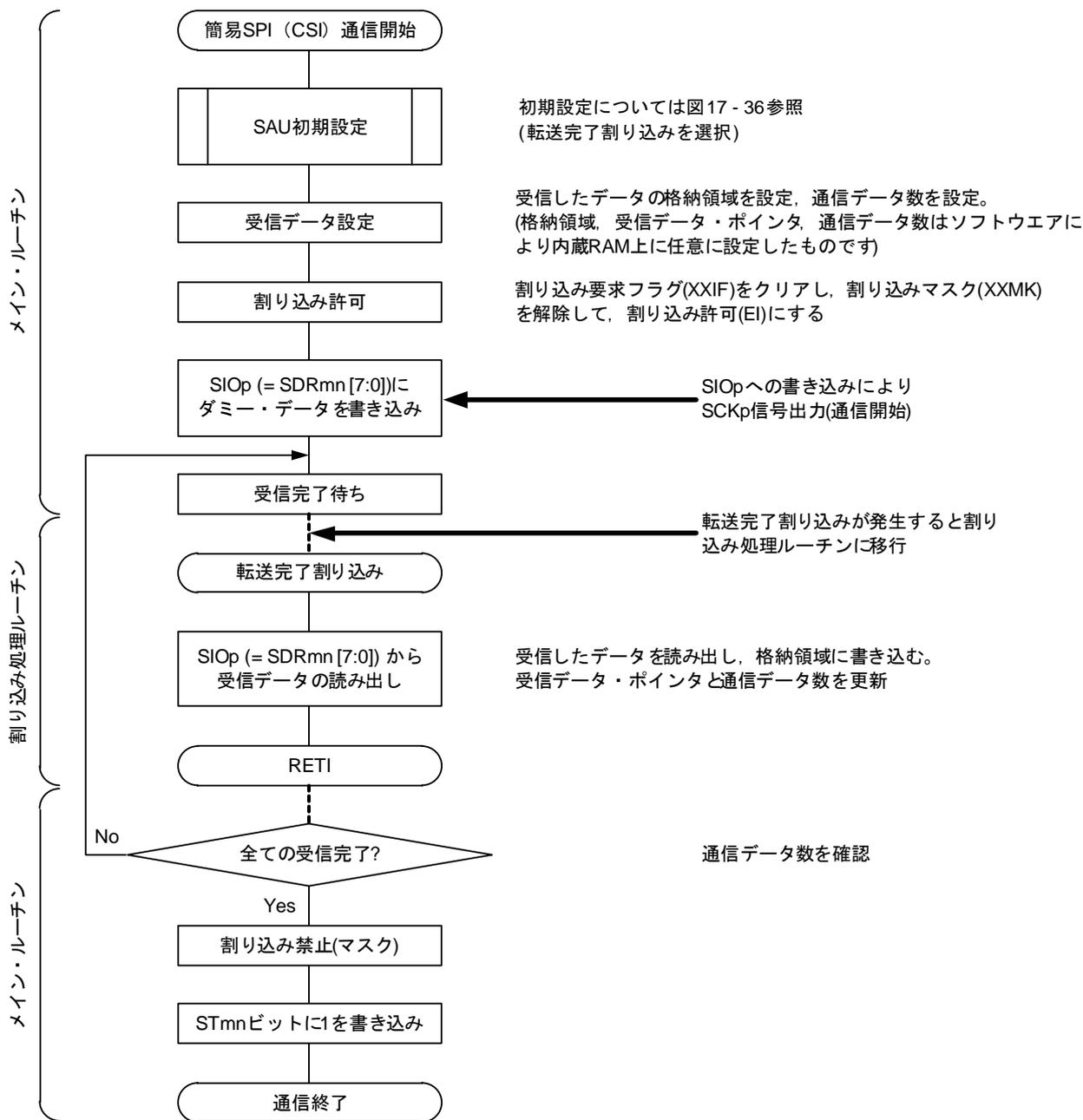
(3) 処理フロー (シングル受信モード時)

図17-39 マスタ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



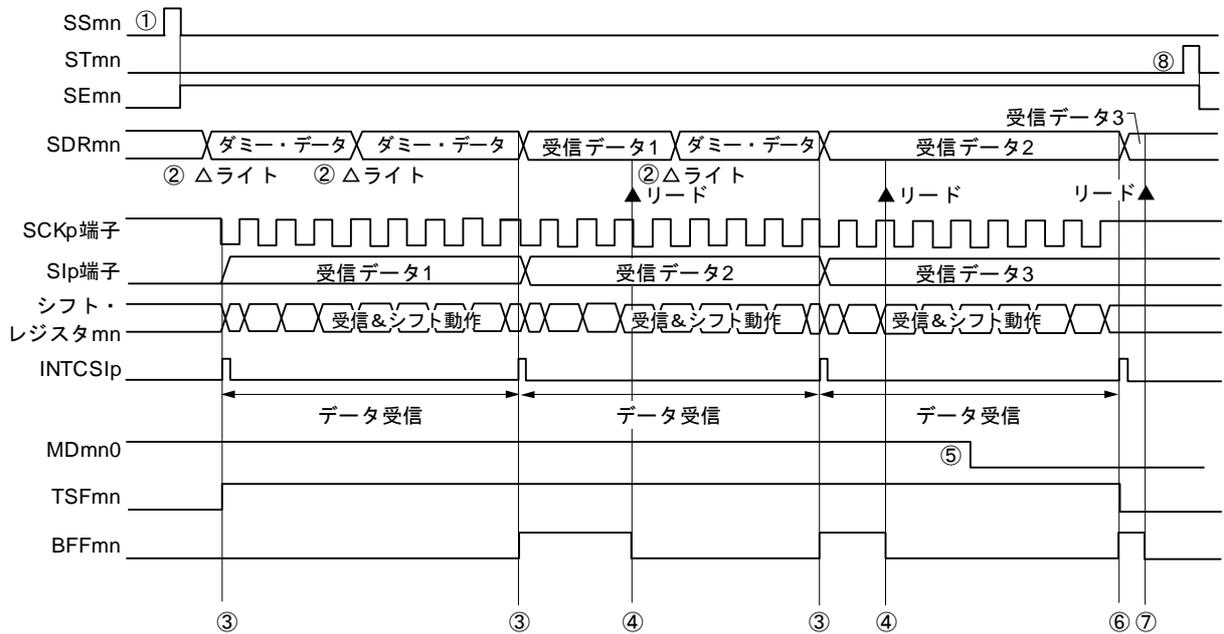
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-40 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図17-41 マスタ受信(連続受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



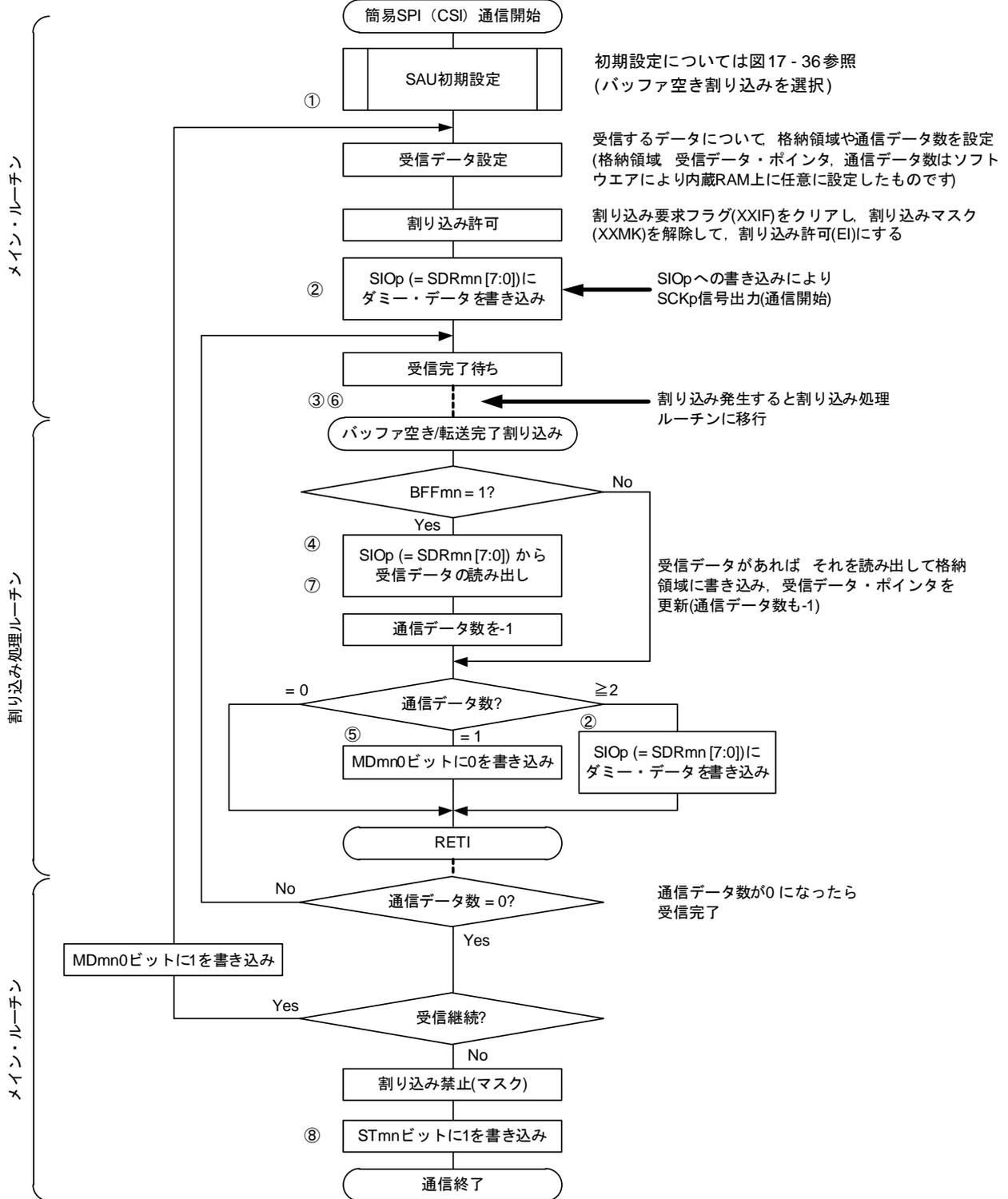
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図17-42 マスタ受信(連続受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-42 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図17-41 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.3 マスタ送受信

マスタ送受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI (CSI)	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数	
データ位相	SCRmn レジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmn レジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転 	
データ方向	MSB ファーストまたはLSB ファースト	

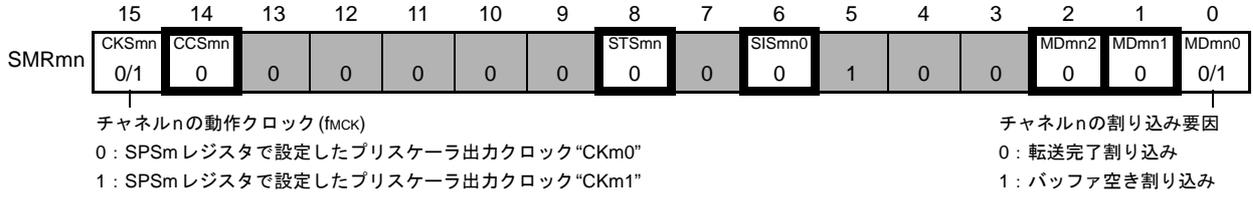
注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01), mn=00, 01

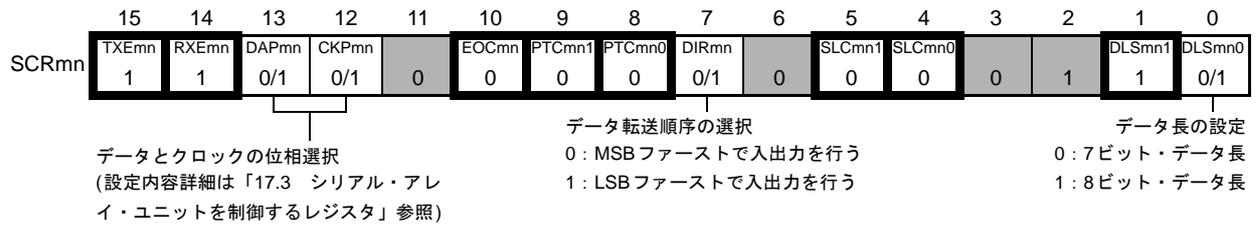
(1) レジスタ設定

図 17 - 43 簡易 SPI (CSI00, CSI01) のマスタ送受信時のレジスタ設定内容例

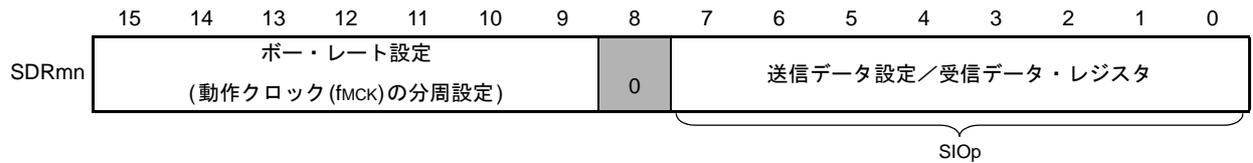
(a) シリアル・モード・レジスタ mn (SMRmn)



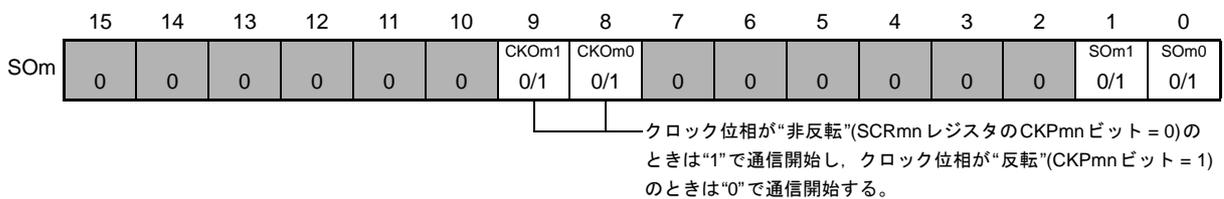
(b) シリアル通信動作設定レジスタ mn (SCRmn)



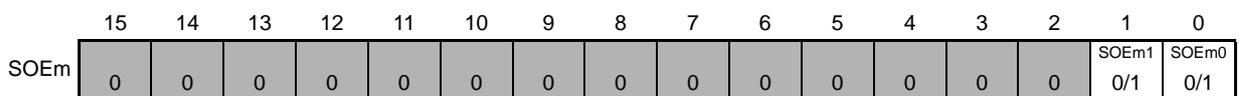
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



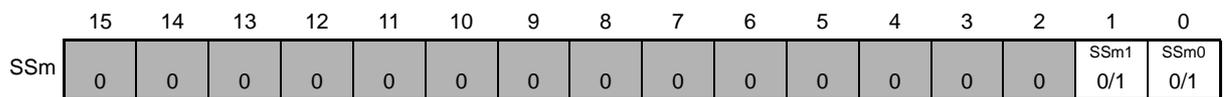
(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

備考2. : 簡易 SPI (CSI) マスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 44 マスタ送受信の初期設定手順

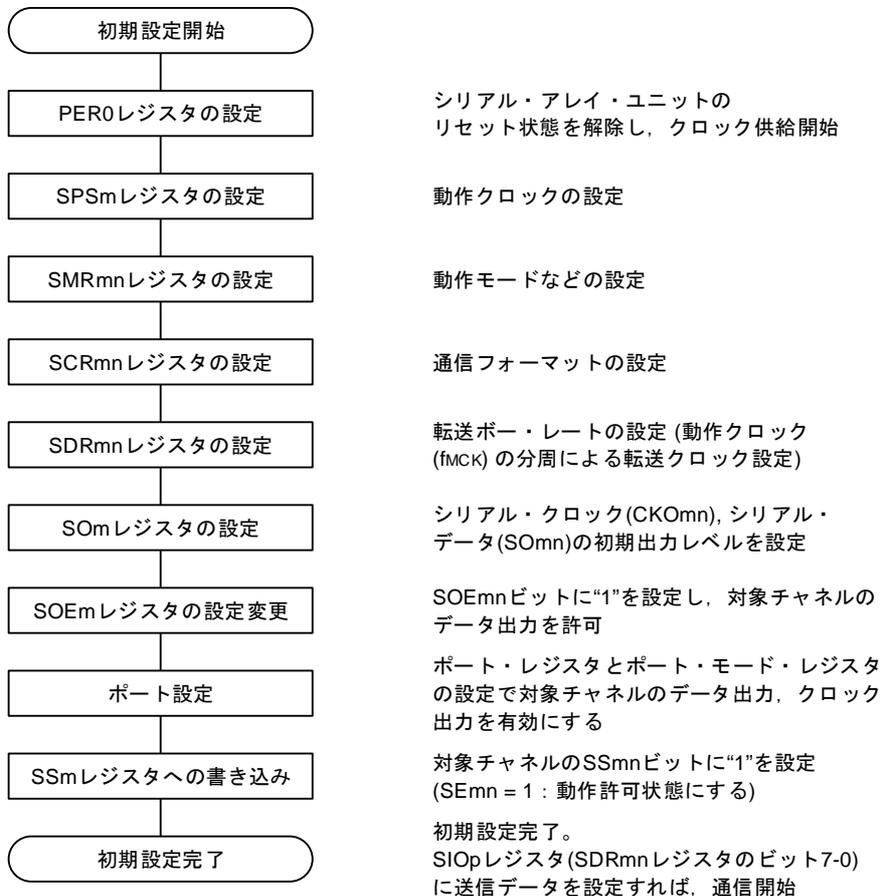


図 17 - 45 マスタ送受信の中断手順

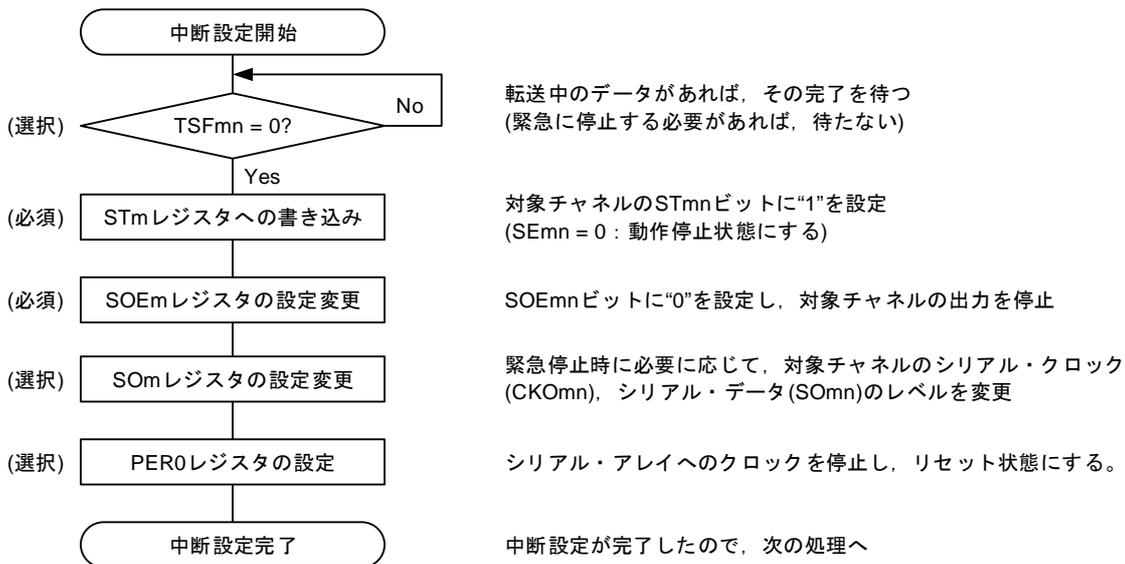
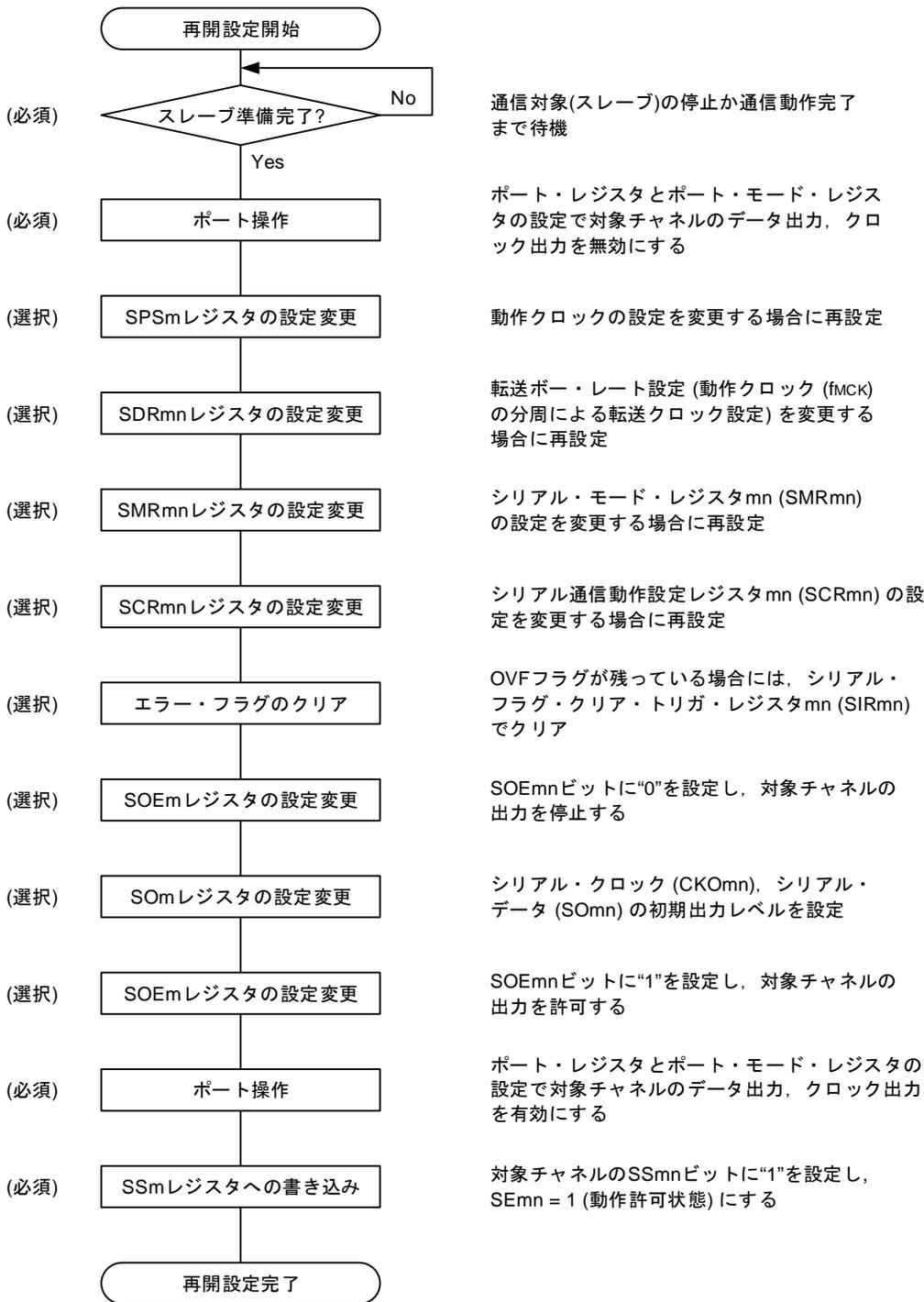
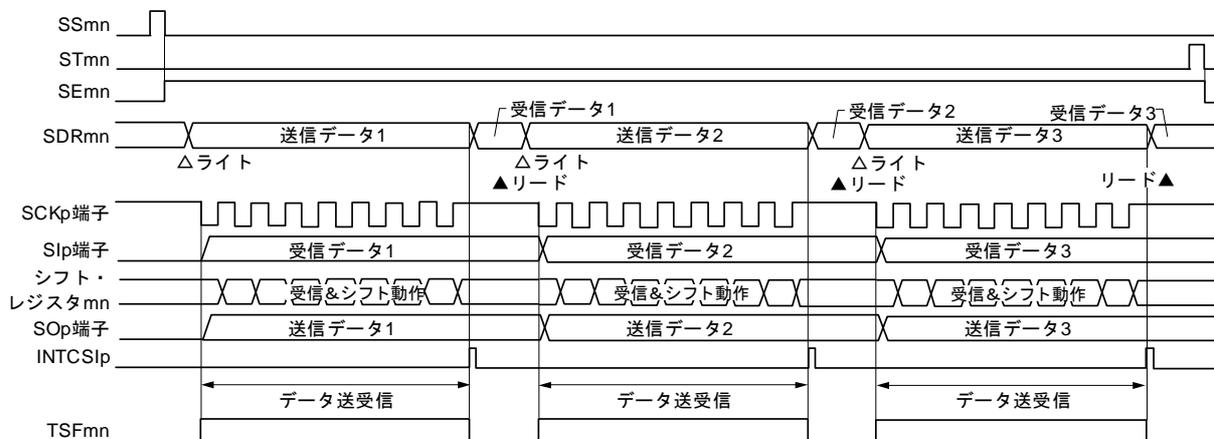


図 17 - 46 マスタ送受信の再開設定手順



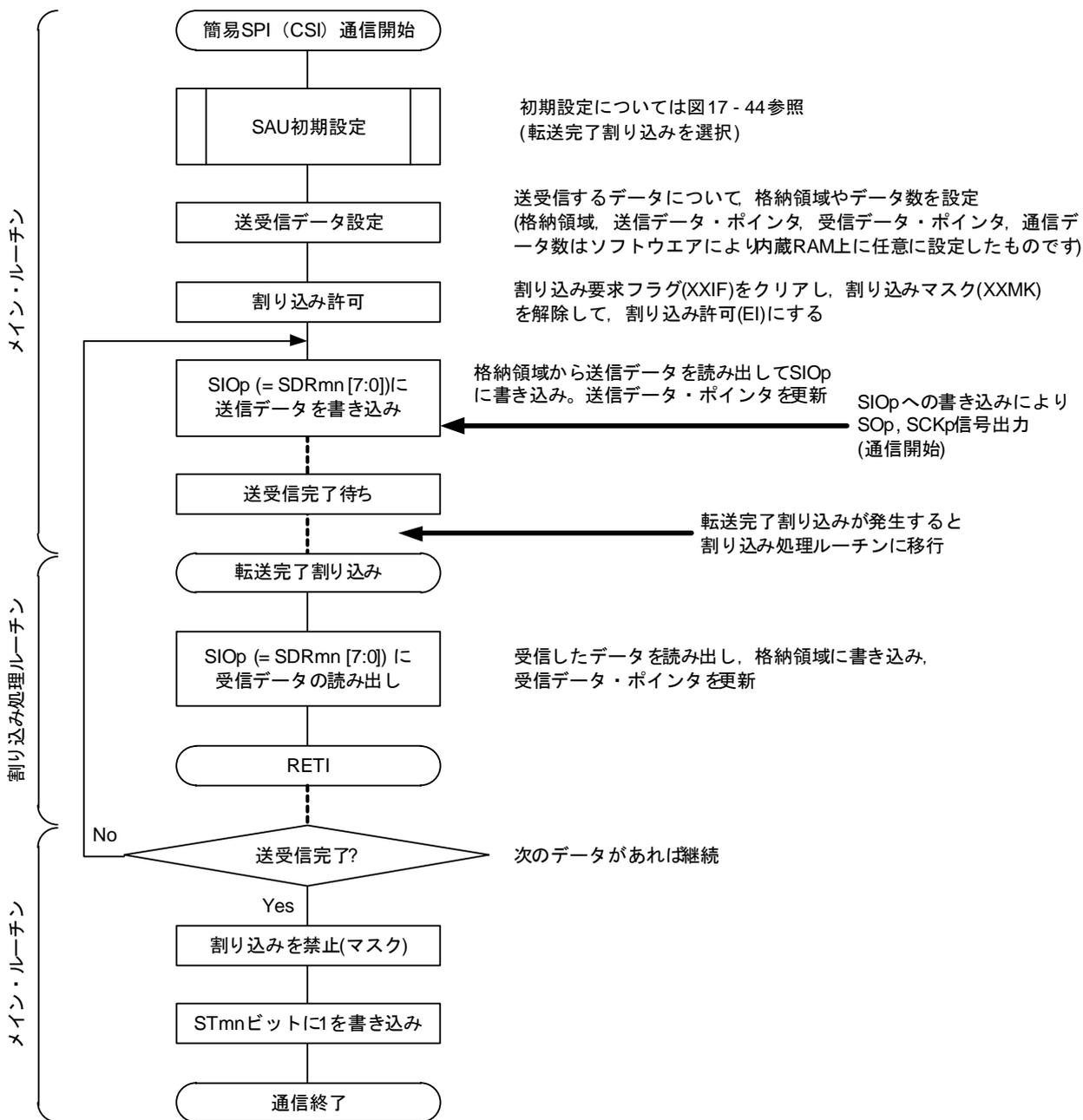
(3) 処理フロー (シングル送受信モード時)

図17-47 マスタ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



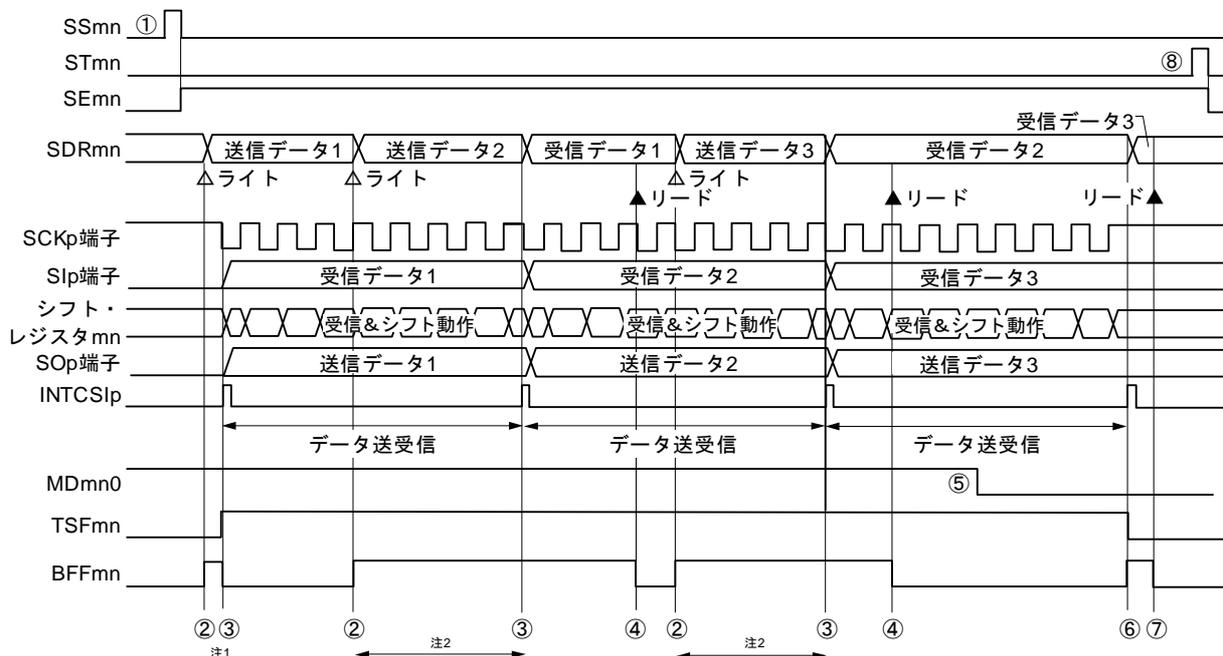
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-48 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図17-49 マスタ送受信(連続送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

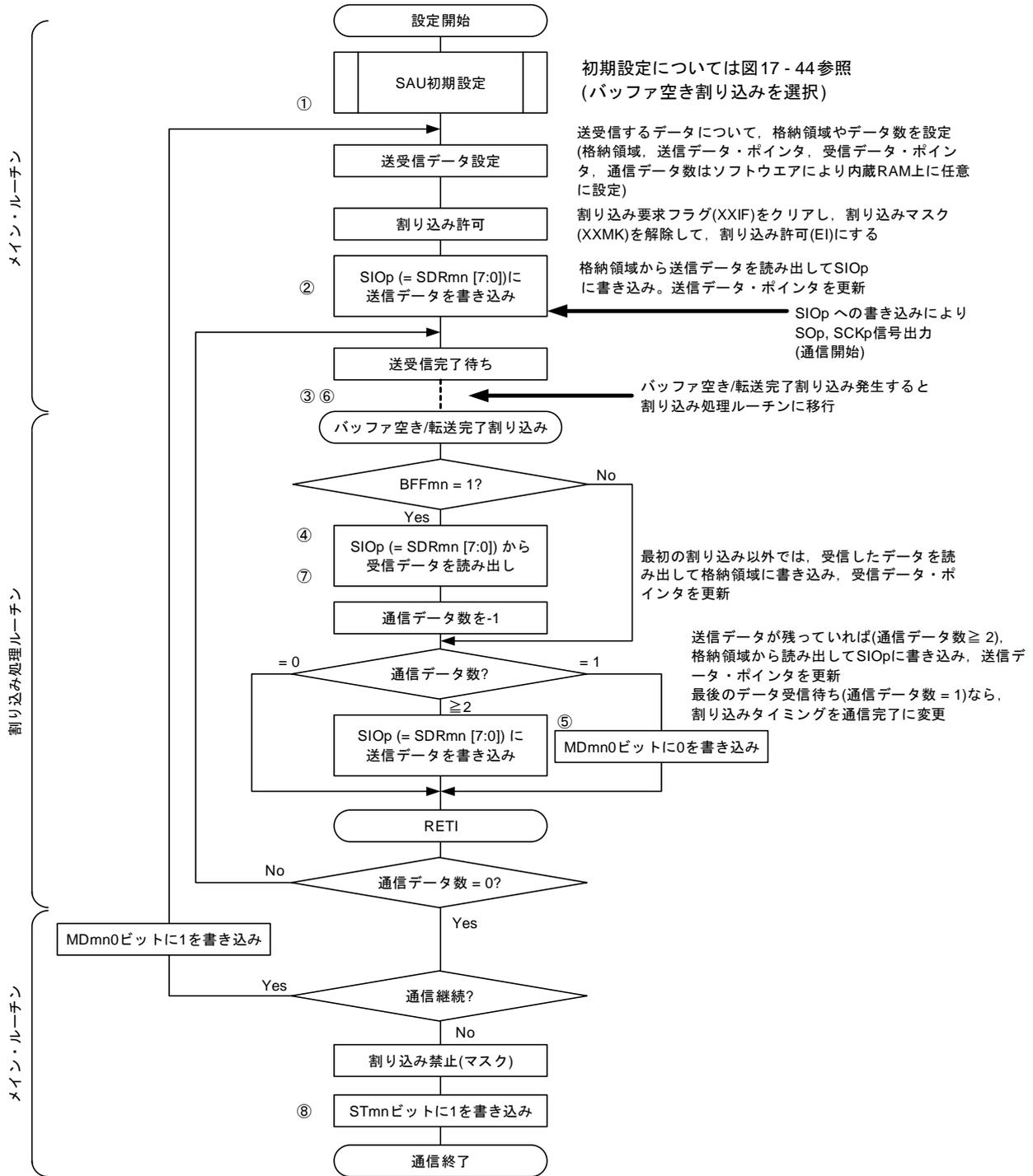
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図17-50 マスタ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-50 マスタ送受信(連続送受信モード時)のフロー・チャート



備考 図中の①～⑧は、図17-49 マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. $f_{mck}/6$ [Hz]注1,2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 	
データ方向	MSBファーストまたはLSBファースト	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 電氣的特性を参照)を満たす範囲内で使用してください。

備考1. f_{mck} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn=00, 01

(1) レジスタ設定

図 17 - 51 簡易 SPI (CSI00, CSI01) のスレーブ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fmck) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック "CKm0"
 1 : SPSmレジスタで設定したプリスケアラ出カクロック "CKm1" 0 : 転送完了割り込み
1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データ転送順序の選択 データ長の設定
 データとクロックの位相選択 0 : MSB ファーストで入出力を行う
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 1 : LSB ファーストで入出力を行う
0 : 7ビット・データ長
1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000								0	送信データ設定						
	ボー・レート設定															

SIOp

(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm								CKOm1	CKOm0						SOm1	SOm0
	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0/1	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

備考2. : 簡易 SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 52 スレーブ送信の初期設定手順

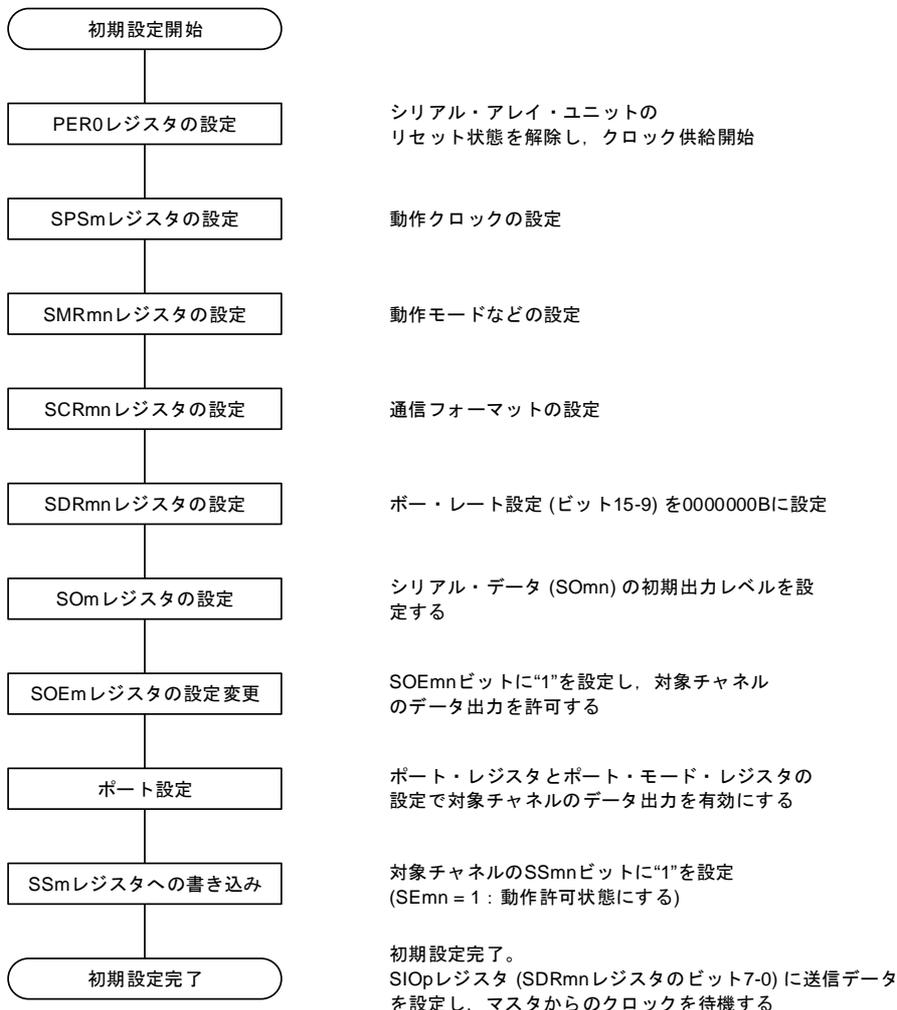


図 17 - 53 スレーブ送信の中断手順

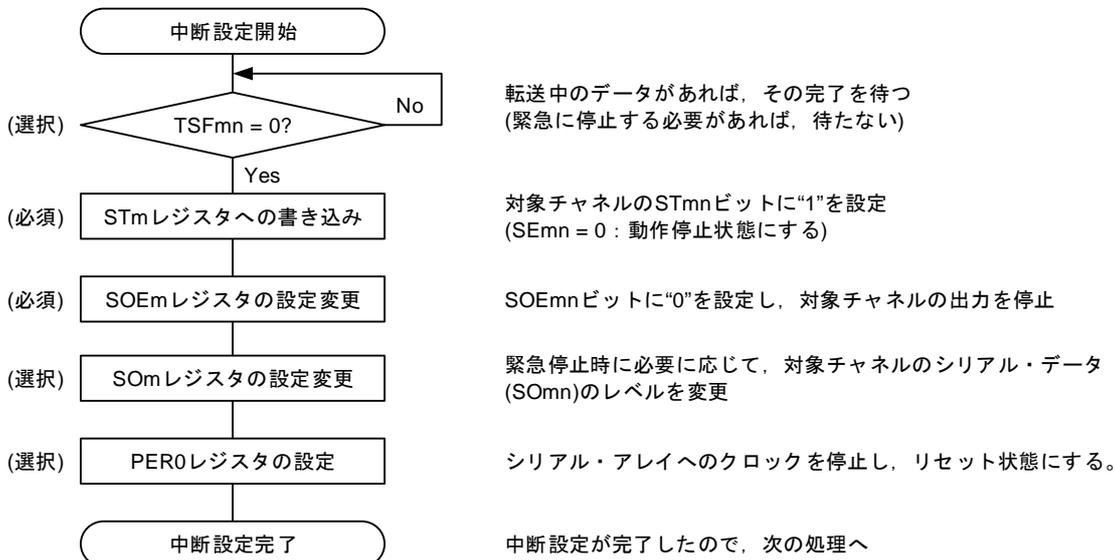
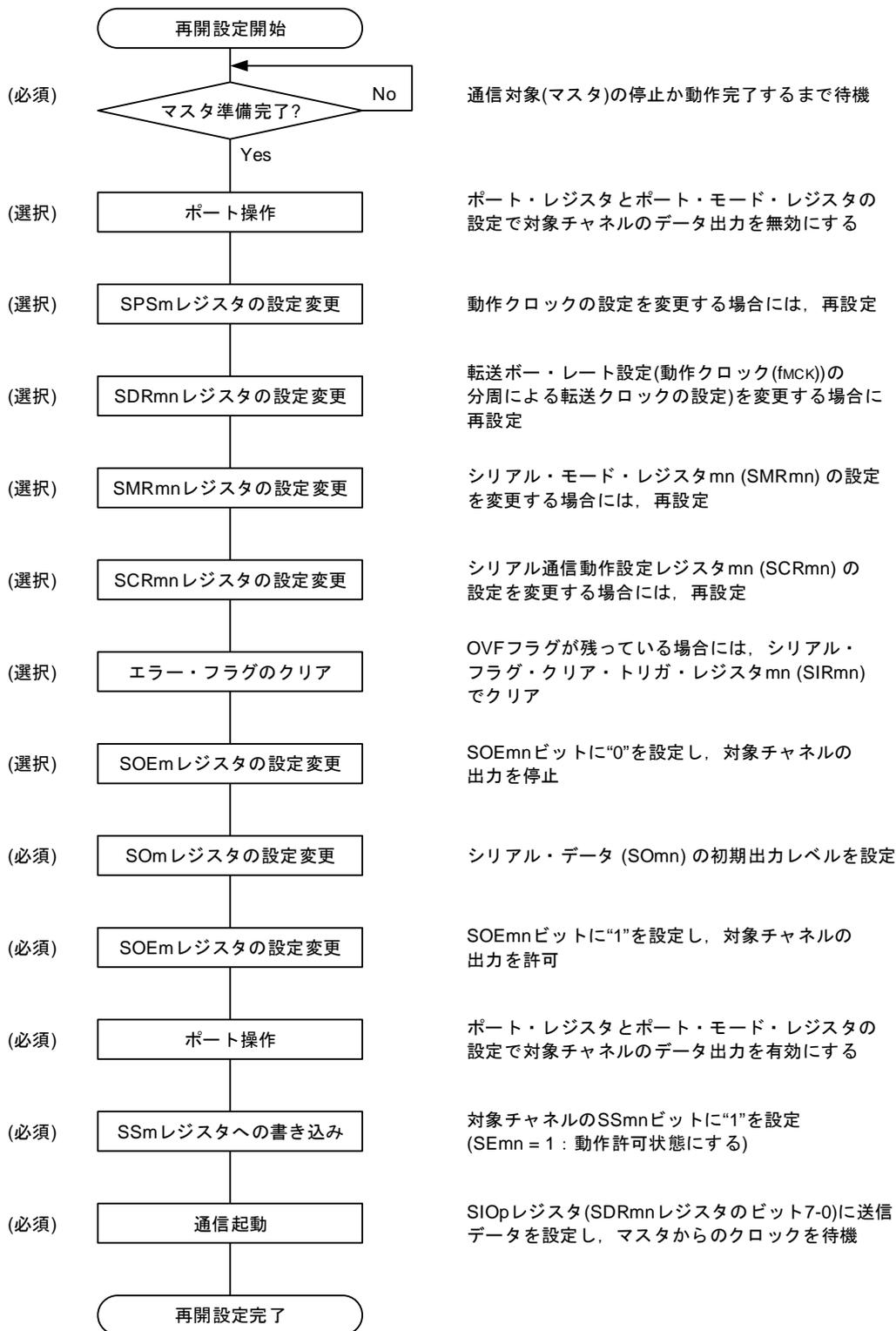


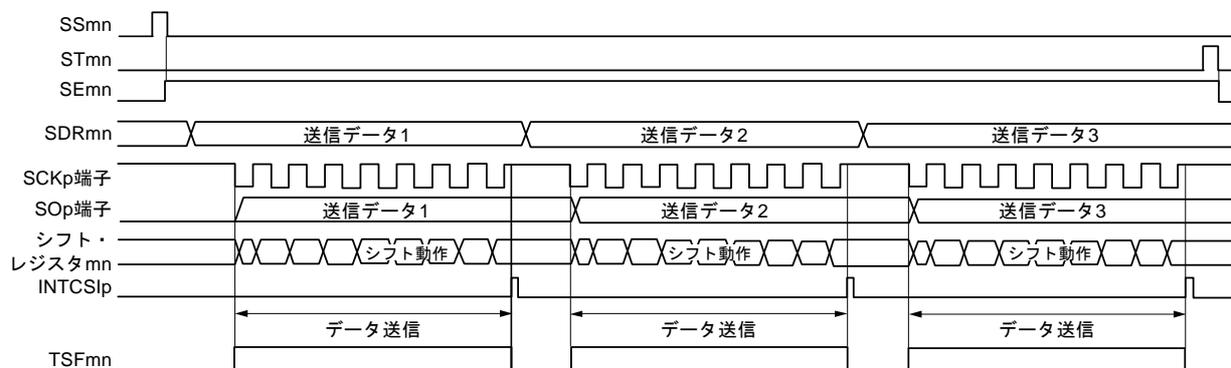
図17-54 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

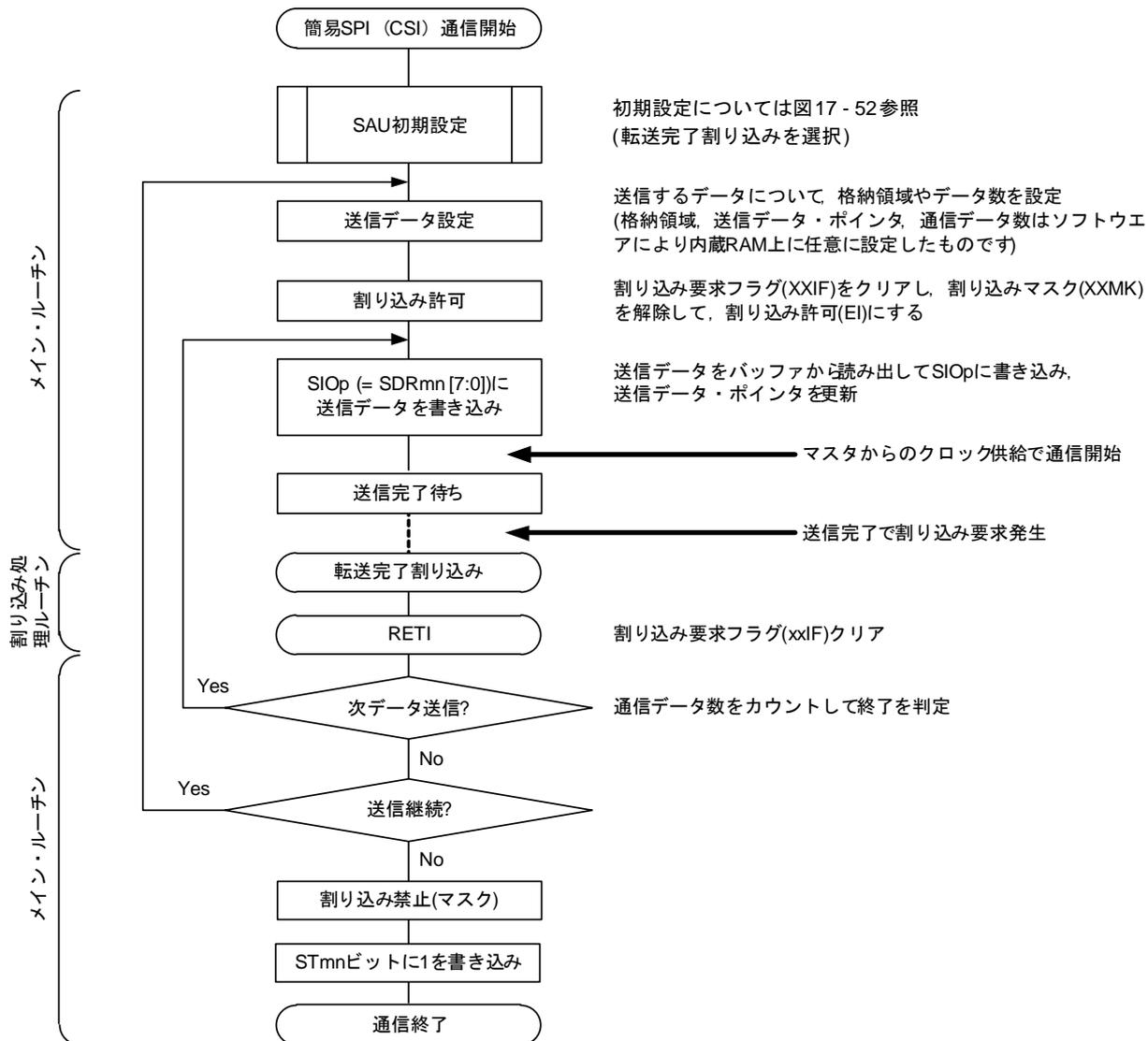
(3) 処理フロー (シングル送信モード時)

図 17 - 55 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



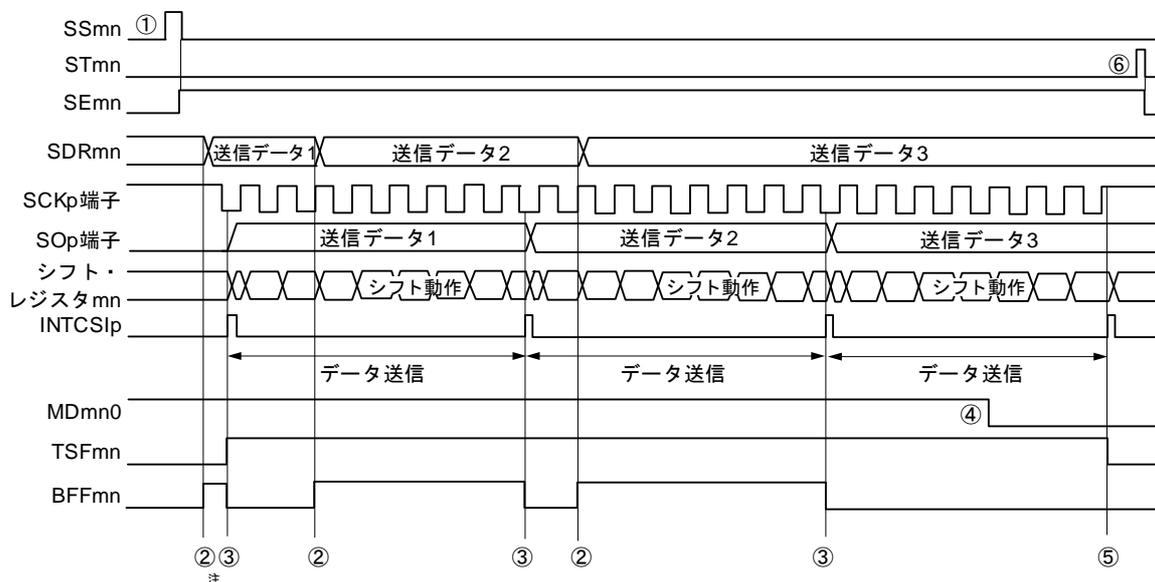
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-56 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図17-57 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

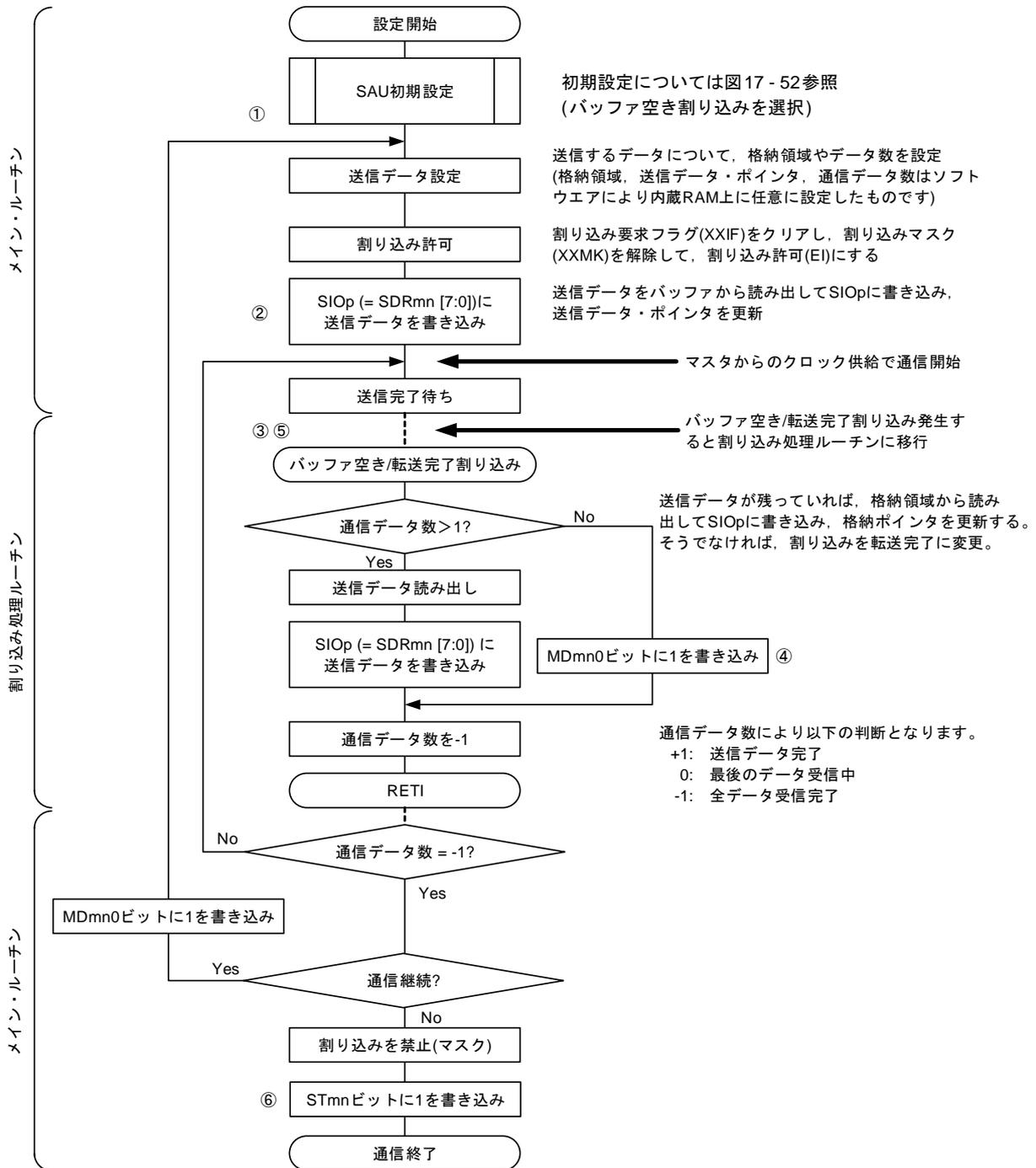


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されているとき)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-58 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図17-57 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

17.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 	
データ方向	MSBファーストまたはLSBファースト	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

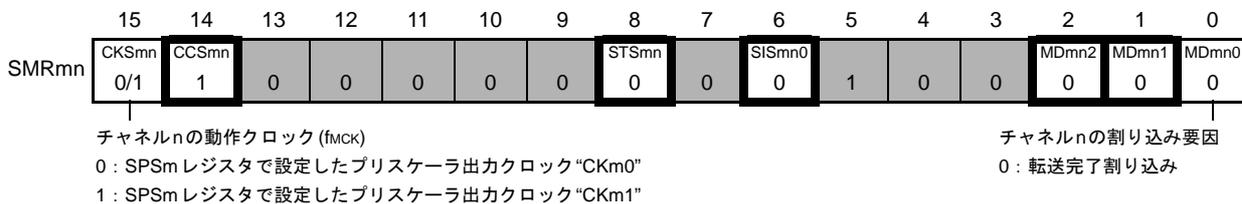
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn=00, 01

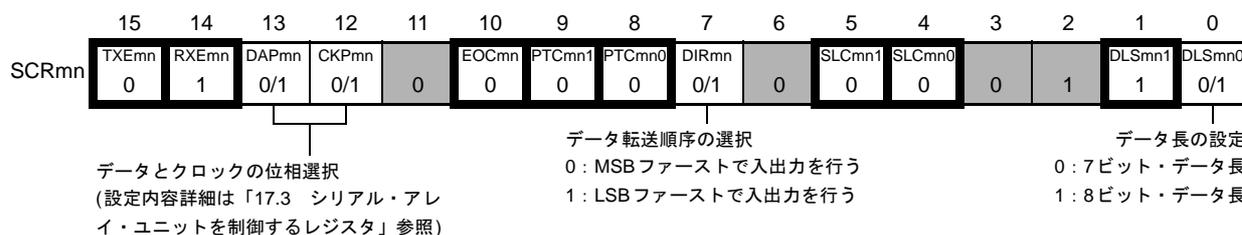
(1) レジスタ設定

図 17 - 59 簡易SPI (CSI00, CSI01)のスレーブ受信時のレジスタ設定内容例

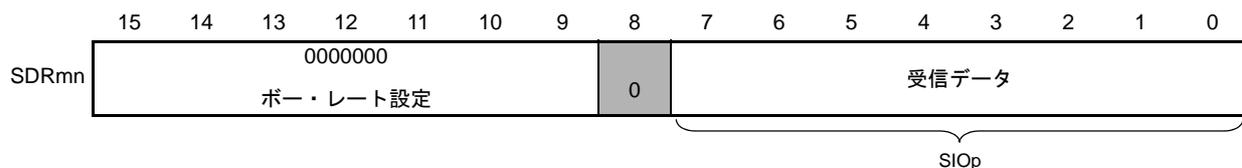
(a) シリアル・モード・レジスタ mn (SMRmn)



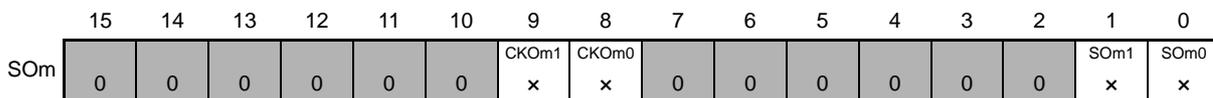
(b) シリアル通信動作設定レジスタ mn (SCRmn)



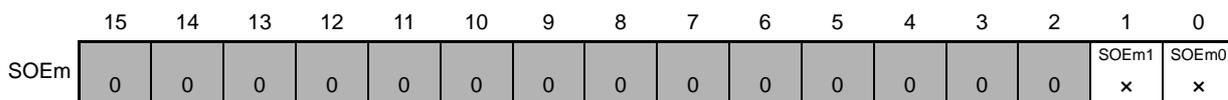
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



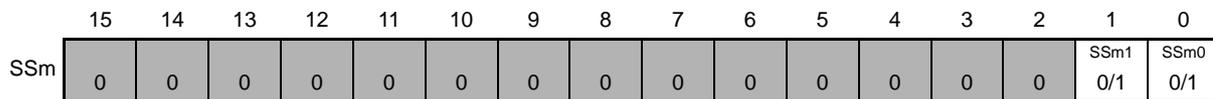
(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 60 スレーブ受信の初期設定手順

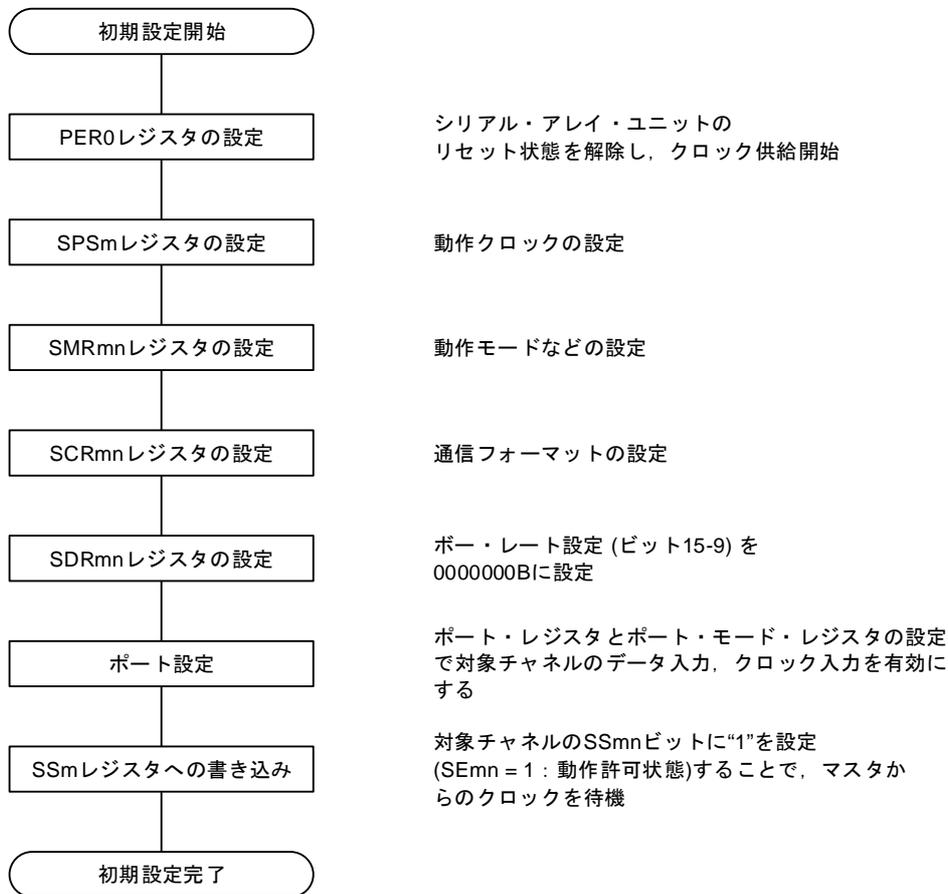


図 17 - 61 スレーブ受信の中断手順

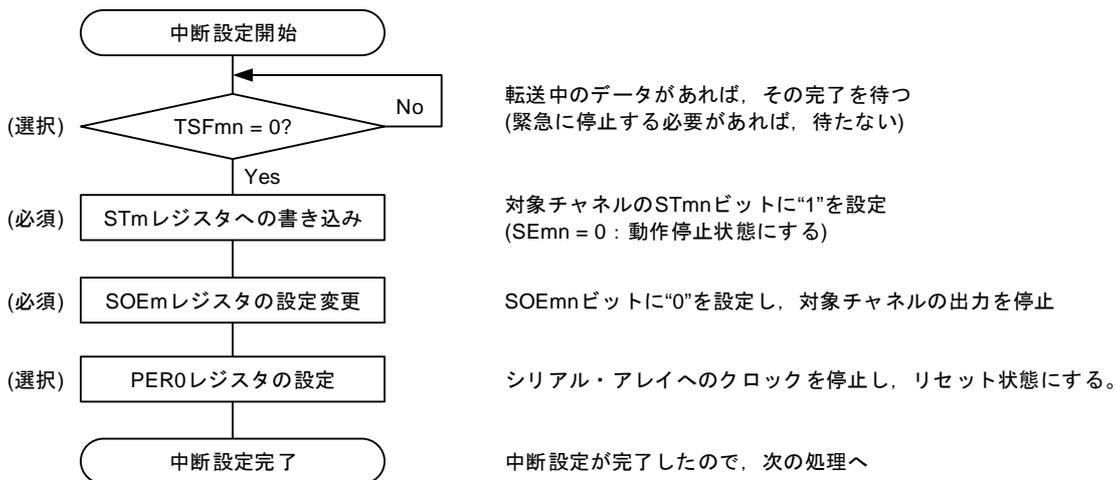
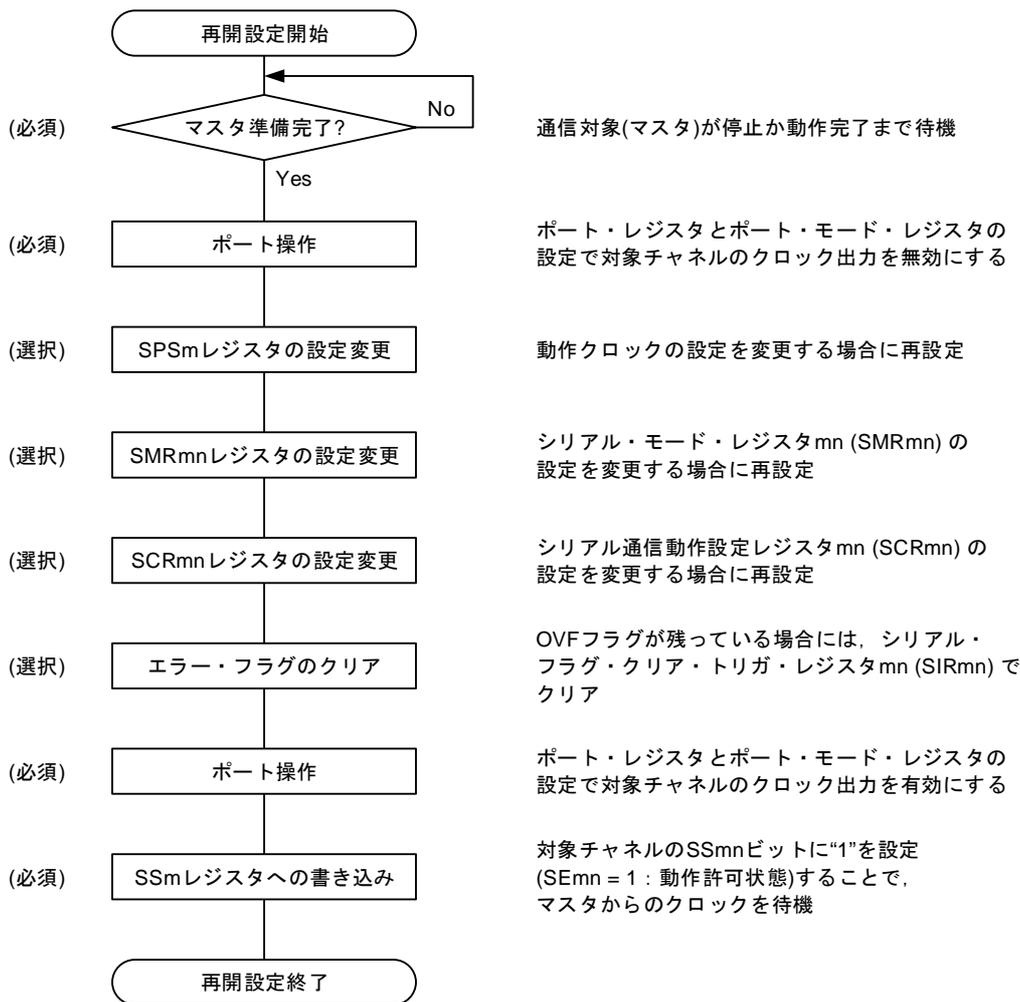


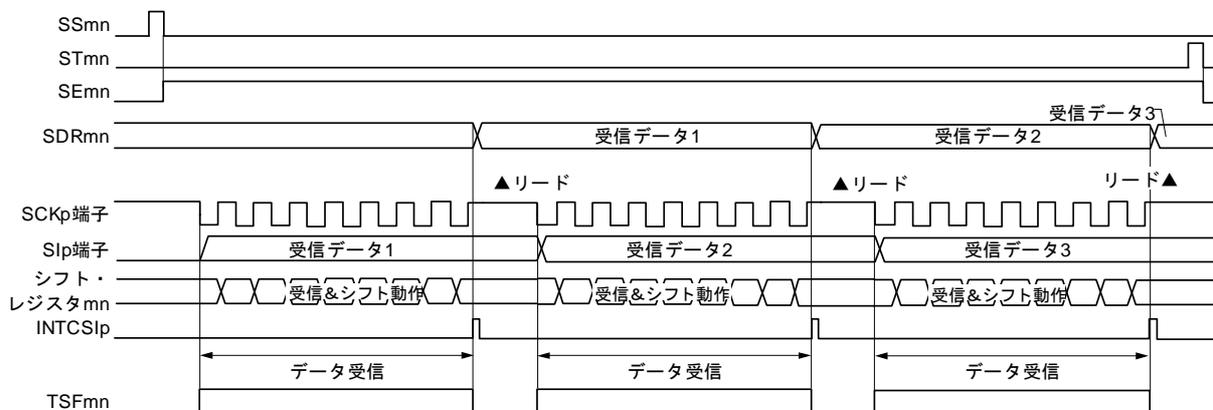
図17-62 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

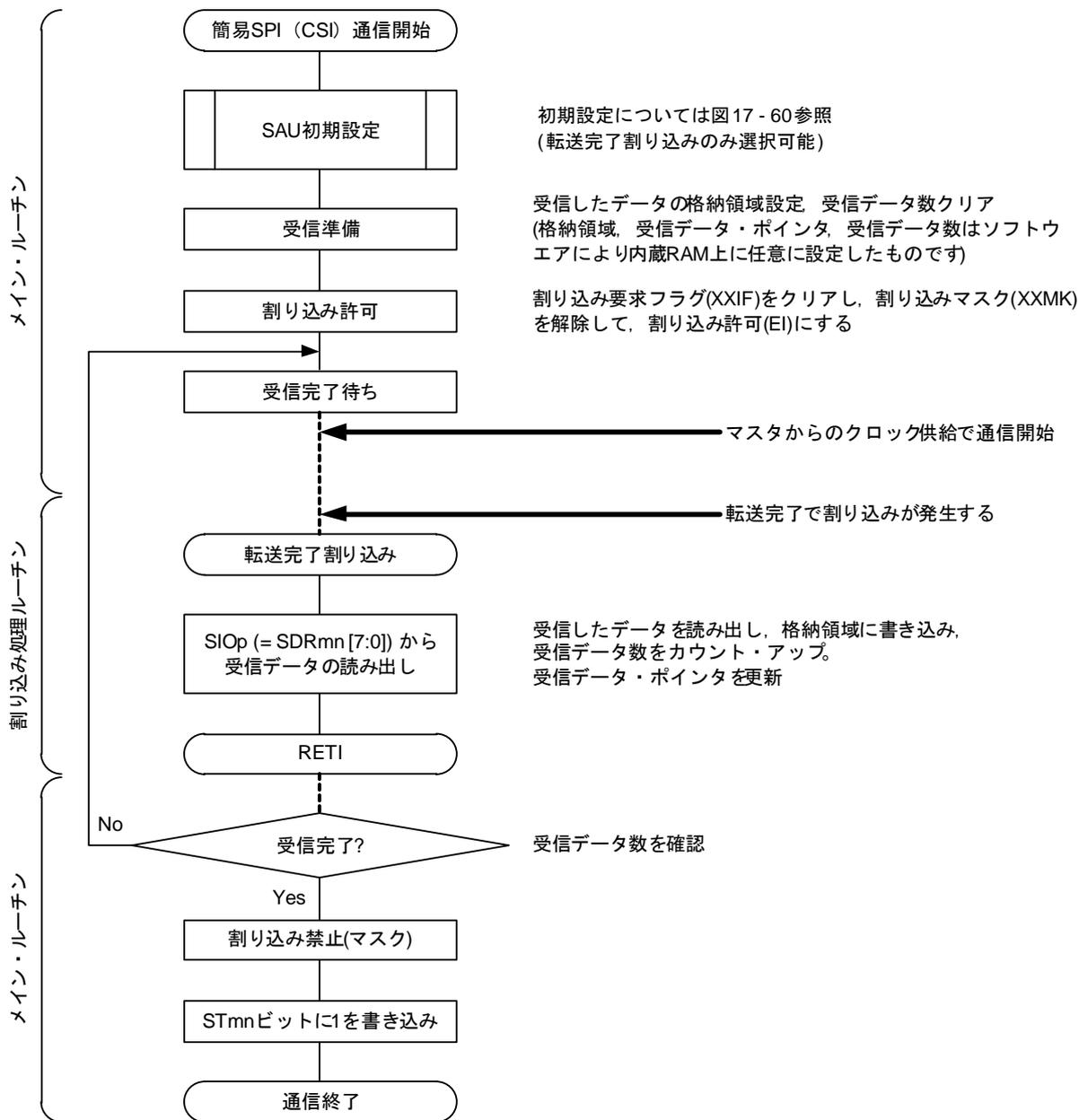
(3) 処理フロー (シングル受信モード時)

図 17 - 63 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

図17-64 スレーブ受信(シングル受信モード時)のフロー・チャート



17.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. $f_{mck}/6$ [Hz]注1,2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 	
データ方向	MSBファーストまたはLSBファースト	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{mck} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn=00, 01

(1) レジスタ設定

図17-65 簡易SPI (CSI00, CSI01)のスレーブ送受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (f_{mck})
 0: SPSmレジスタで設定したプリスケアラ出カクロック“CKm0”
 1: SPSmレジスタで設定したプリスケアラ出カクロック“CKm1”

チャンネルnの割り込み要因
 0: 転送完了割り込み
 1: バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照)

データ転送順序の選択
 0: MSBファーストで入出力を行う
 1: LSBファーストで入出力を行う

データ長の設定
 0: 7ビット・データ長
 1: 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	00000000								0	送信データ設定/受信データ・レジスタ							
	ボー・レート設定									SIOp							

(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm								CKOm1	CKOm0						SOm1	SOm0
	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0/1	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01), mn=00, 01

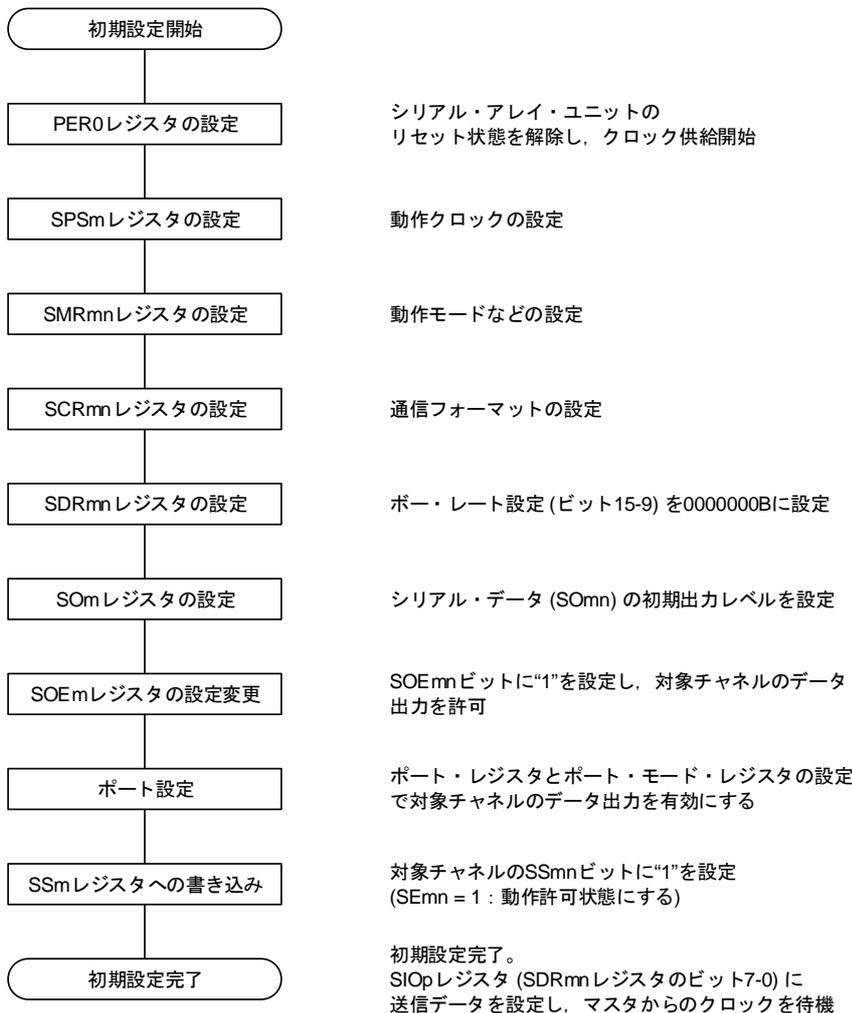
備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 66 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 17 - 67 スレーブ送受信の中断手順

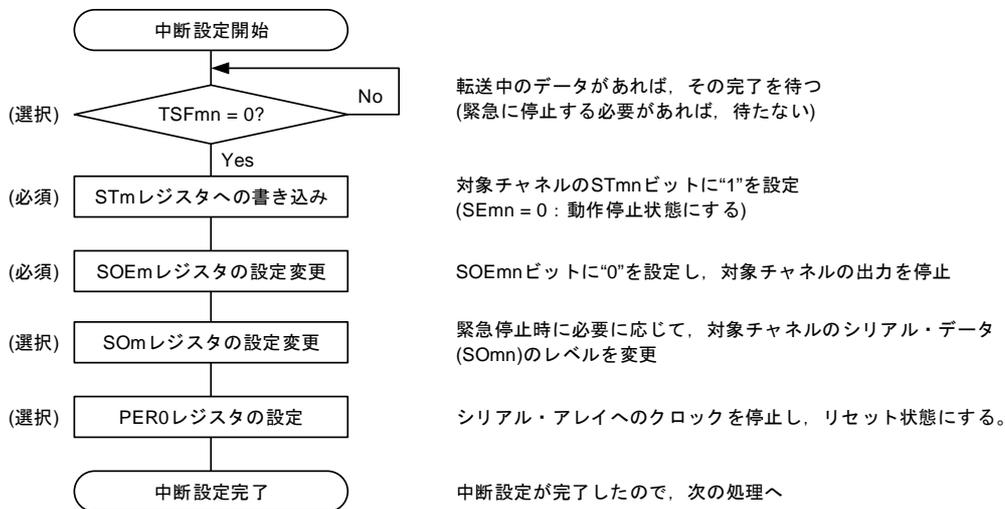
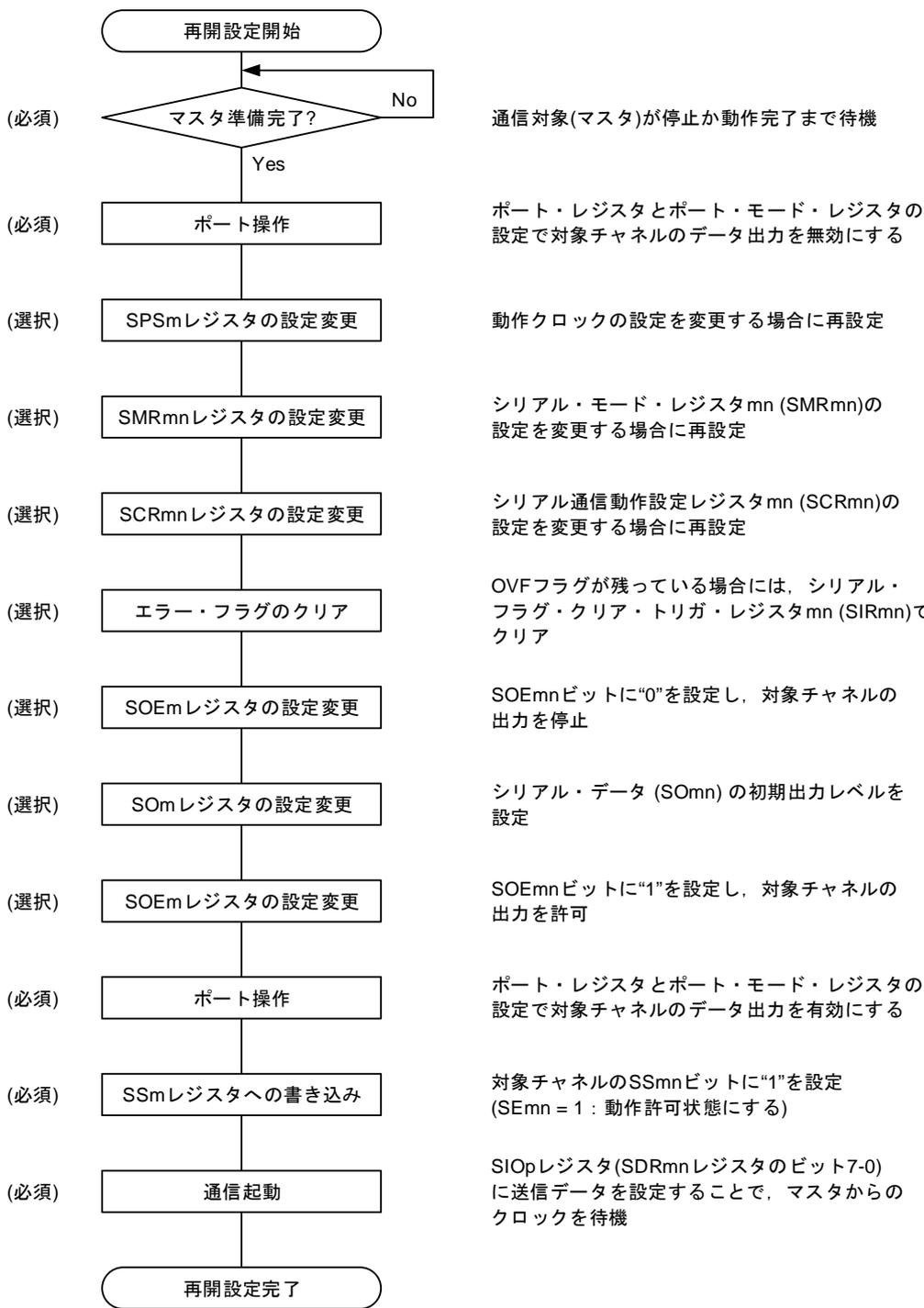


図 17 - 68 スレーブ送受信の再開設定手順

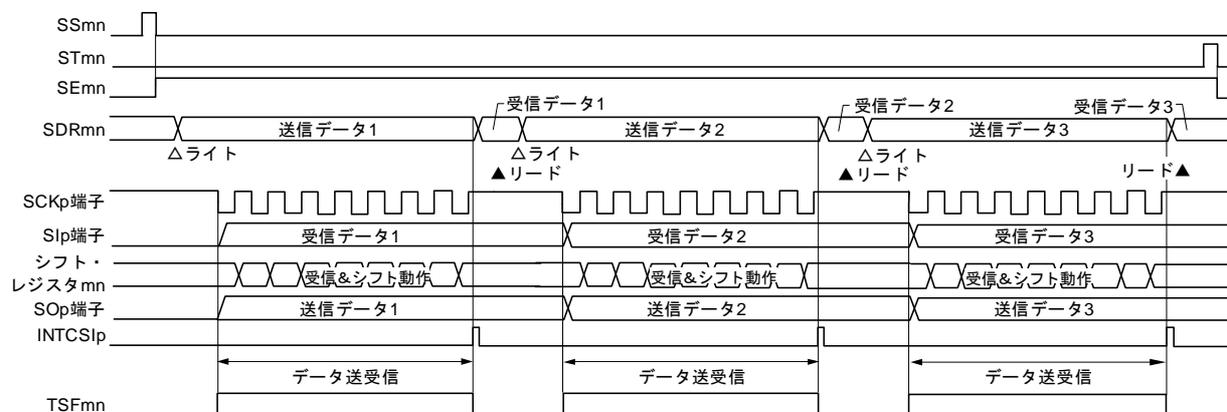


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

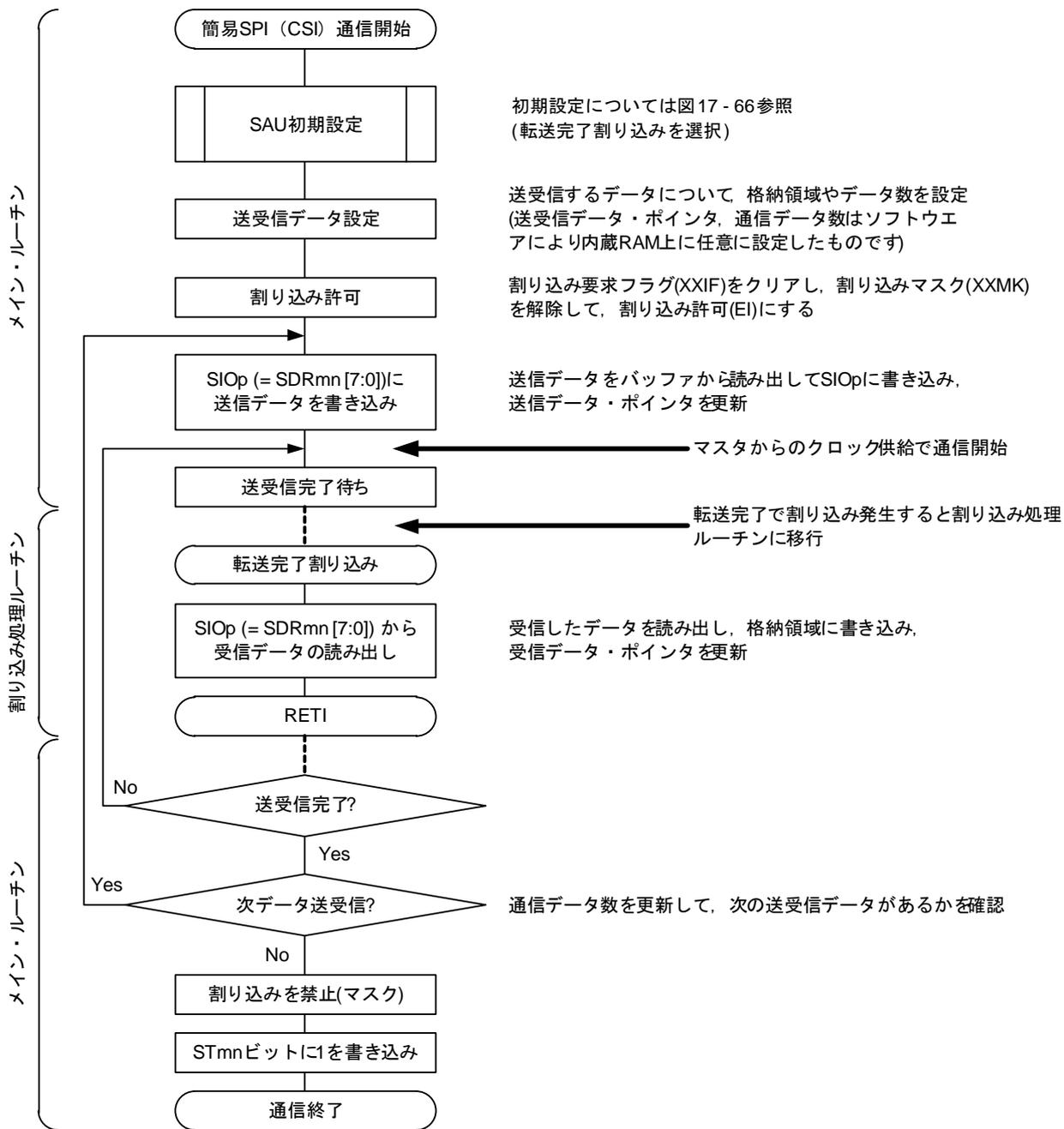
(3) 処理フロー (シングル送受信モード時)

図 17 - 69 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01), mn=00, 01

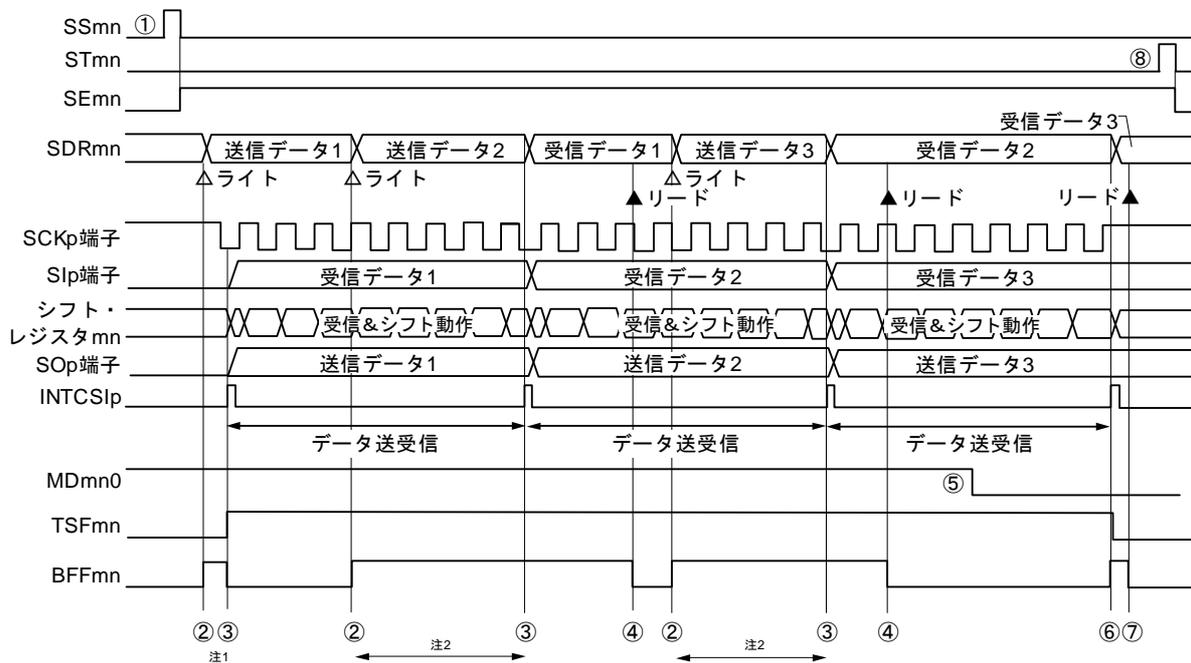
図17-70 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図 17 - 71 スレーブ送受信(連続送受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

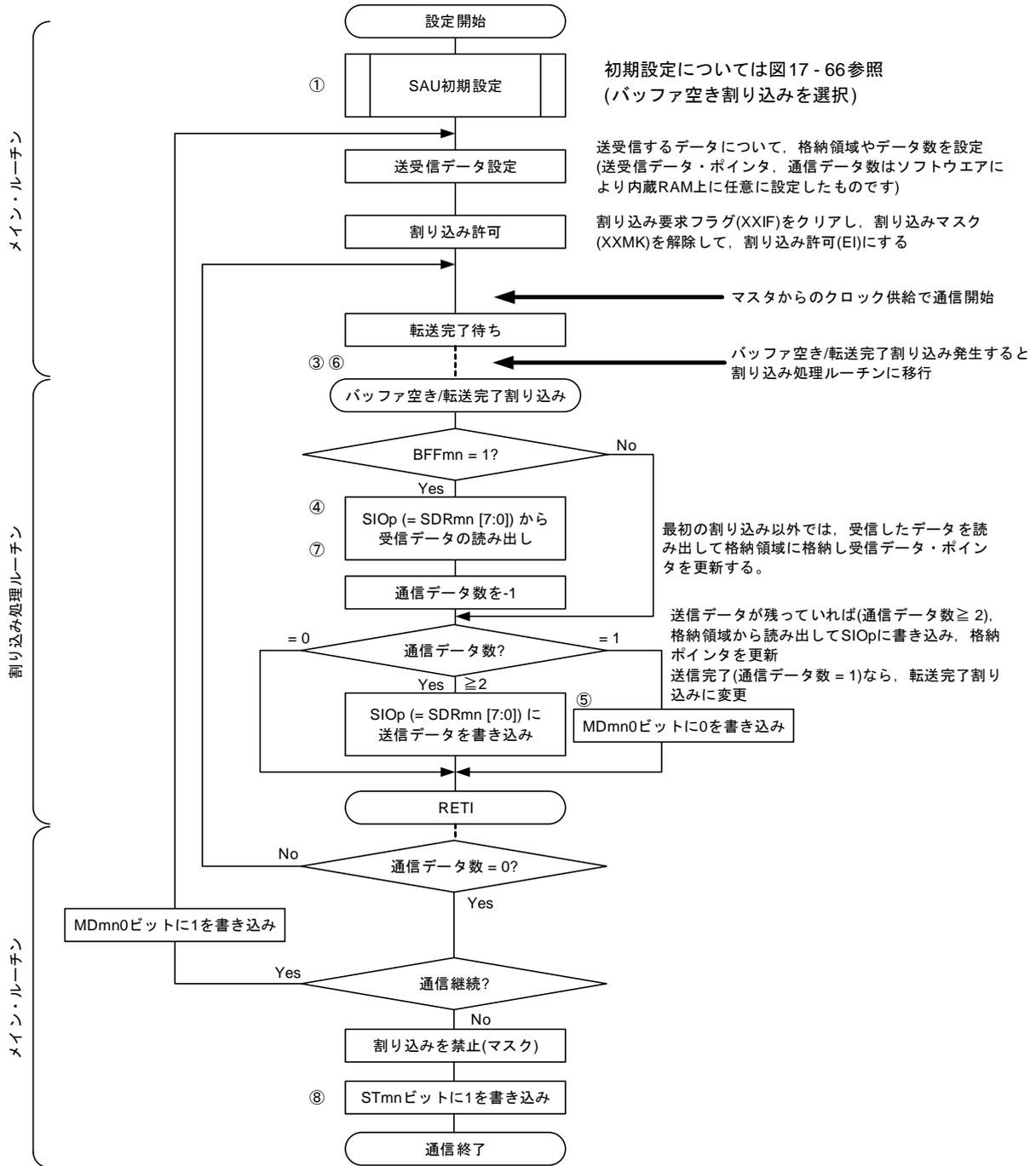
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図 17 - 72 スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0, 1) p : CSI番号(p = 00, 01), mn=00, 01

図17-72 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図17-71 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI(CSI)の受信動作をさせるモードです。通常STOP時に簡易SPI(CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI(CSI)の受信動作を行うことができます。SNOOZEモードは、以下のチャンネルのみ設定可能です。

- CSI00

簡易SPI(CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います(図17-74、図17-76 SNOOZEモード動作時のフローチャートを参照)。

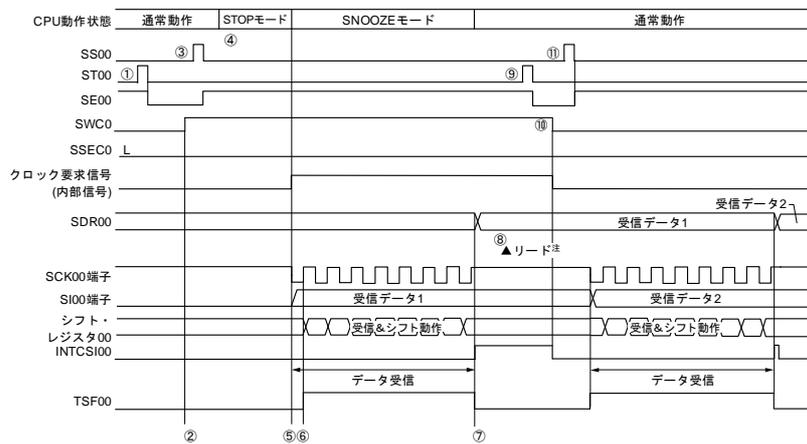
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm0ビットをセット(1)します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)または、中速オンチップ・オシレータ・クロック(fIM)を選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作(1回起動)

図17-73 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

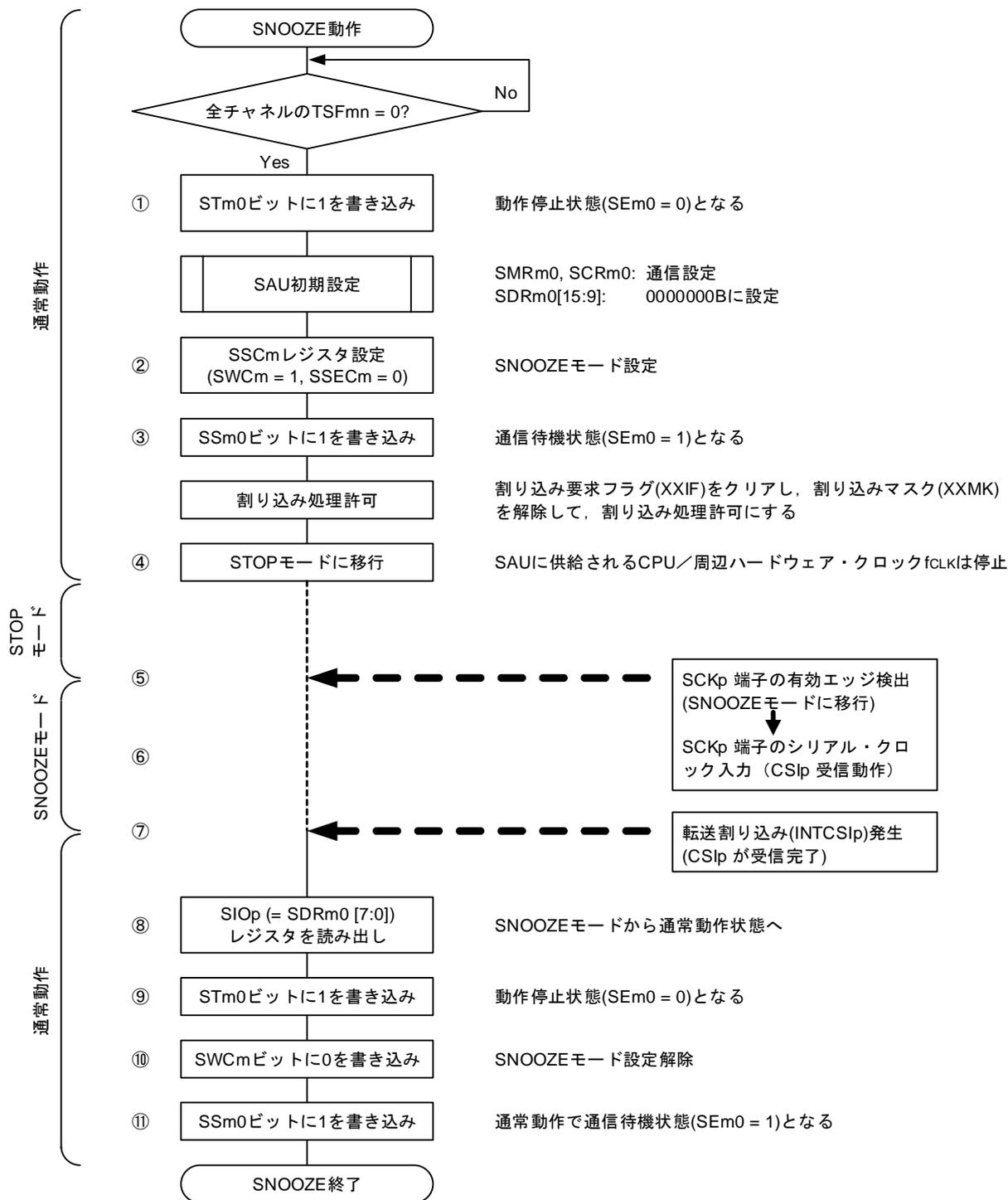
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

備考1. 図中の①~⑪は、図17-74 SNOOZEモード動作(1回起動)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0; p = 00

図 17 - 74 SNOOZEモード動作(1回起動)時のフロー・チャート

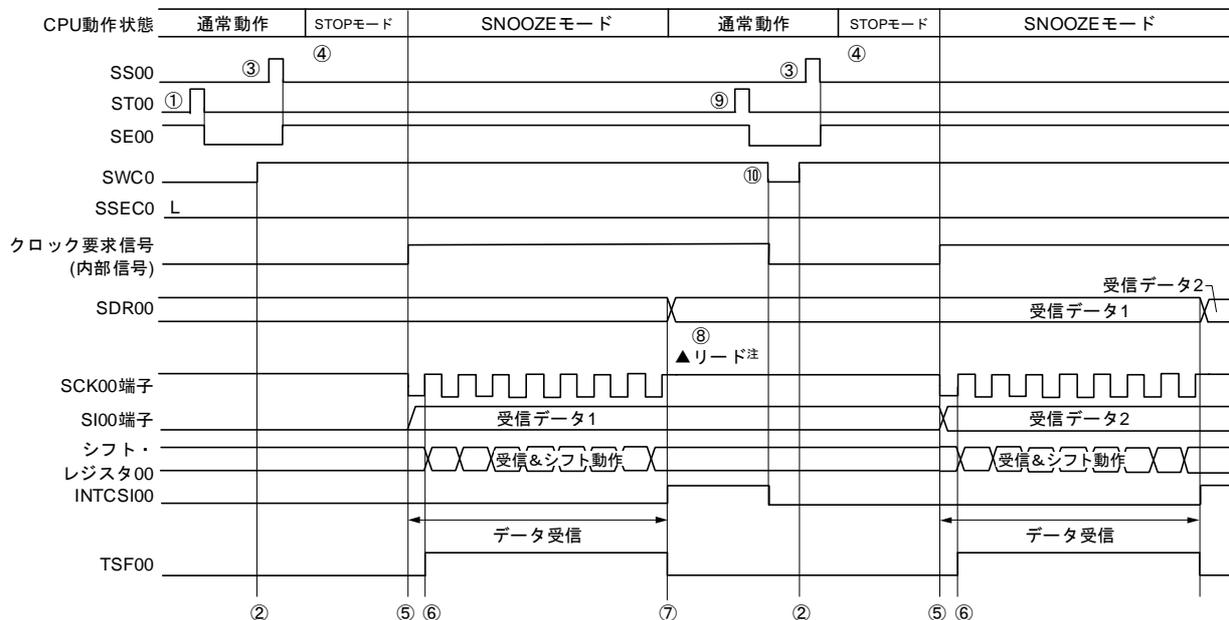


備考1. 図中の①~⑪は、図 17 - 73 SNOOZEモード動作(1回起動)時のタイミング・チャートの①~⑪に対応しています。

備考2. m = 0; p = 00

(2) SNOOZEモード動作(連続起動)

図17-75 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1: DAPm_n = 0, CKPm_n = 0)



注 受信データの読み出しは、SWC_m = 1の状態、次のSCK_p端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST_m0ビットを1に設定してください(SE_m0ビットがクリアされ動作停止)。

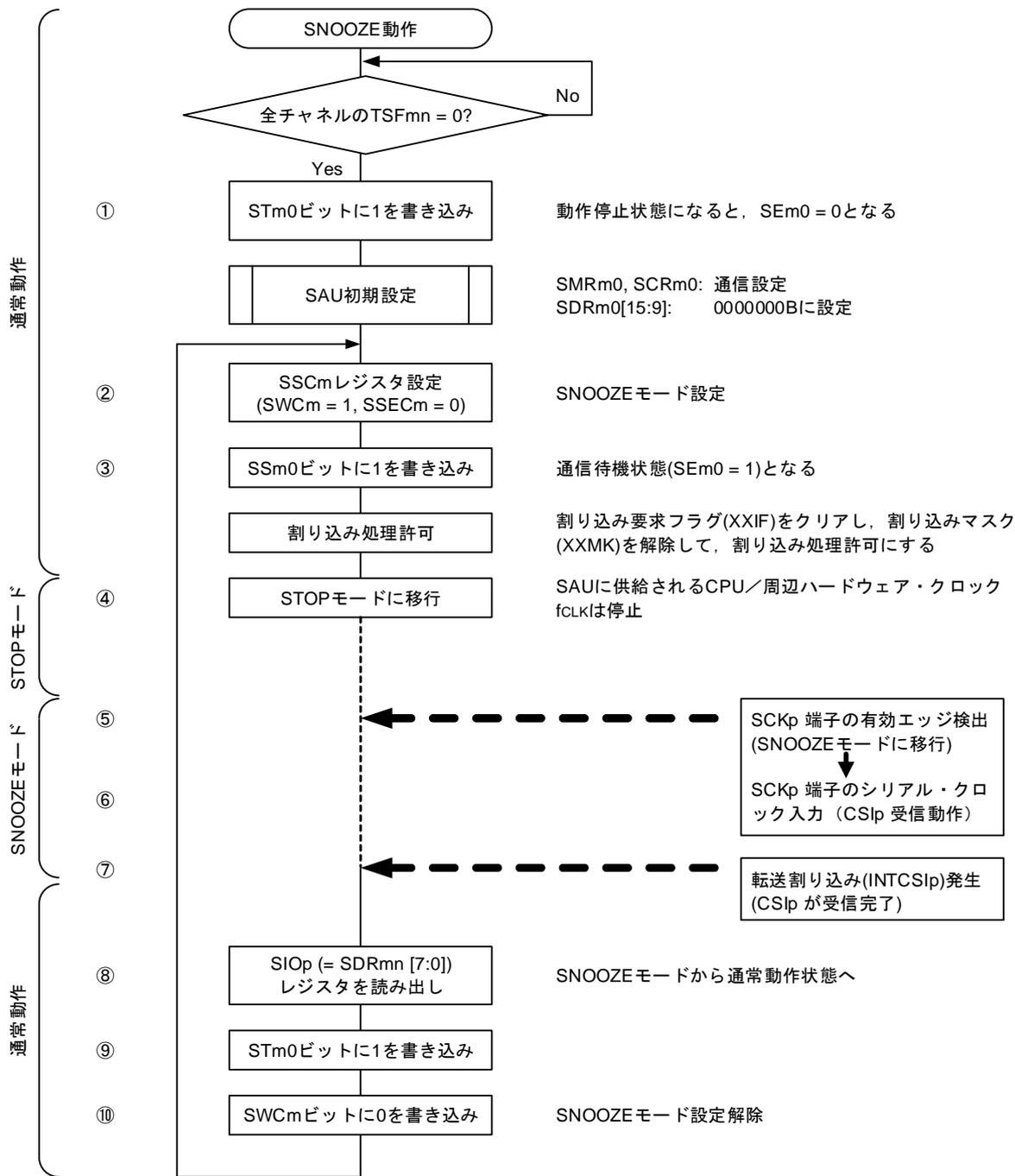
また、受信動作を完了したあとは、SWC_mビットもクリアしてください(SNOOZE解除)。

注意2. SWC_m = 1のときは、BFF_m1、OVF_m1フラグは動作しません。

備考1. 図中の①～⑩は、図17-76 SNOOZEモード動作(連続起動)時のフロー・チャートの①～⑩に対応しています。

備考2. m = 0; p = 00

図17-76 SNOOZEモード動作(連続起動)時のフロー・チャート



備考1. 図中の①～⑩は、図17-75 SNOOZEモード動作(連続起動)時のタイミング・チャートの①～⑩に対応しています。

備考2. m = 0; p = 00

17.5.8 転送クロック周波数の算出

簡易SPI (CSI00, CSI01)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 17 - 2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fmCK)注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時	
0		X	X	X	X	0	0	0	0	fCLK	24 MHz
		X	X	X	X	0	0	0	1	fCLK/2	12 MHz
		X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
		X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
		X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
		X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
		X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
		X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
		X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
		X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
		X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
		X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
		X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
		X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
		X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1		0	0	0	0	X	X	X	X	fCLK	24 MHz
		0	0	0	1	X	X	X	X	fCLK/2	12 MHz
		0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
		0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
		0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
		0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
		0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
		0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
		1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
		1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
		1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
		1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
		1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
		1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
		1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
	1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1), mn=00, 01

17.5.9 簡易SPI (CSI00, CSI01)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI01)通信時にエラーが発生した場合の処理手順を図17-77に示します。

図17-77 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn=00, 01

17.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

[クロック制御]

- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 スレーブ通信時 : $\text{Max. } f_{\text{MCK}}/6$

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注 SCK サイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください。詳細は、第34章 電気的特性を参照してください。

○20ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○24, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

○30ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	CSI01		IIC01

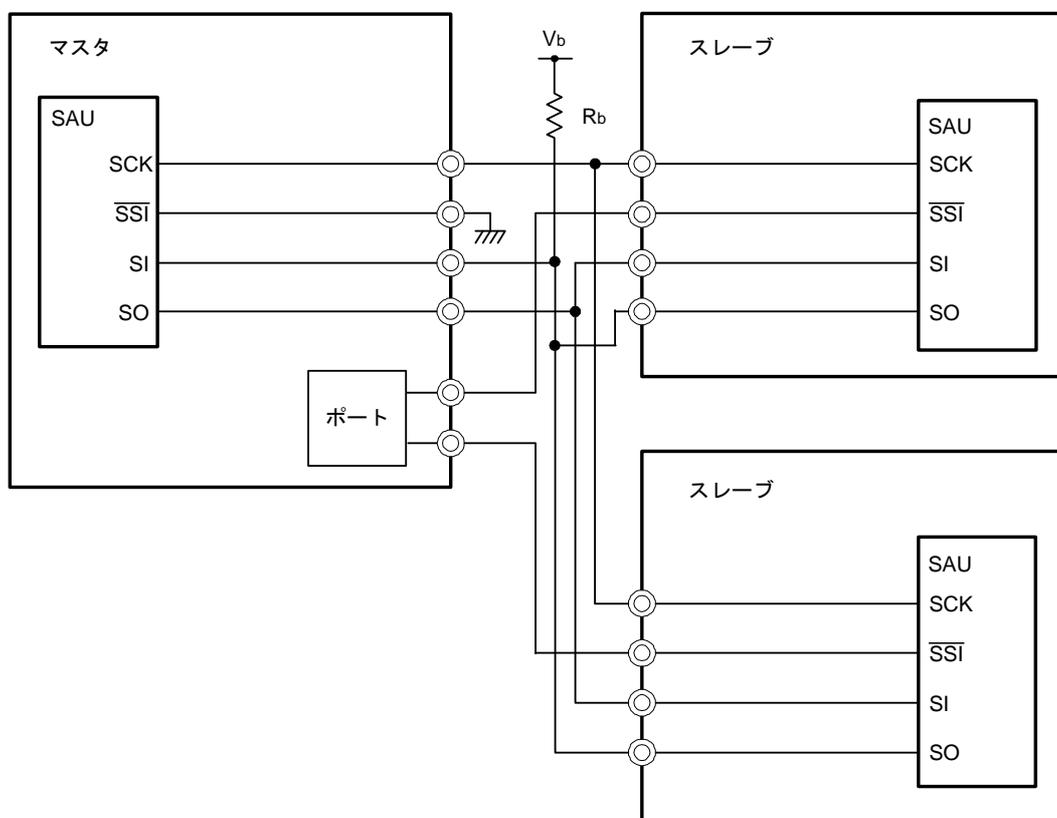
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- スレーブ送信(17.6.1項を参照)
- スレーブ受信(17.6.2項を参照)
- スレーブ送受信(17.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・レベル出力となるため、複数のスレーブが接続される環境では、SO端子はNch-O.Dの設定にし、そのノードはプルアップする必要があります。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

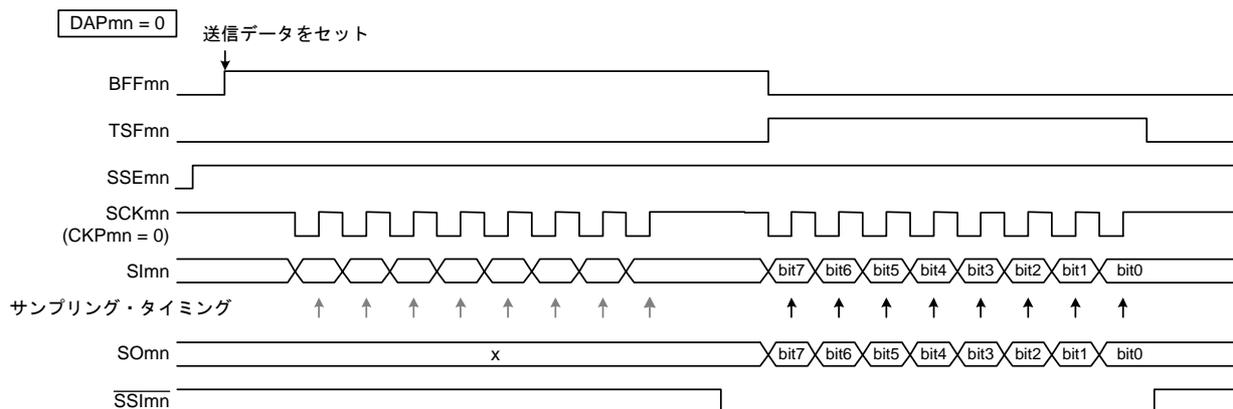
図17-78 スレーブセレクト入力機能の構成例



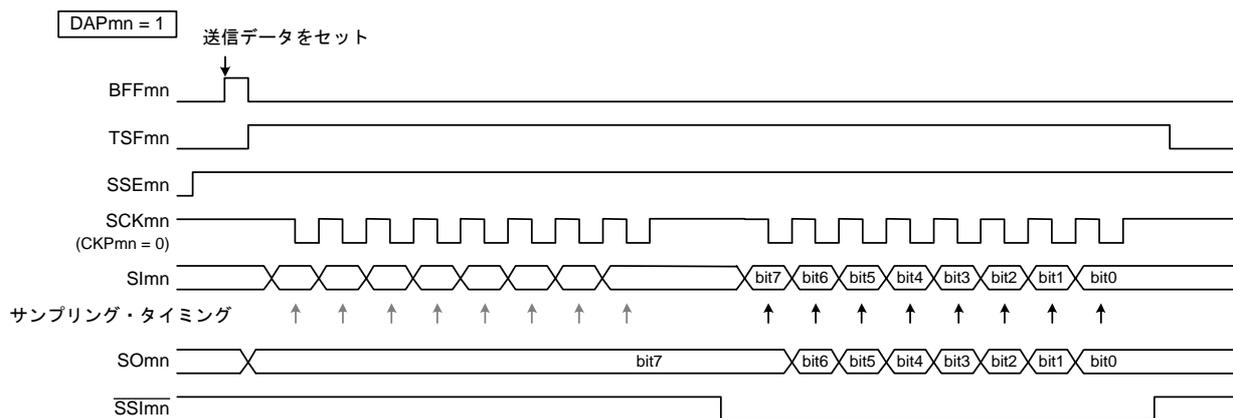
注意 $V_{DD} \geq V_b$ で使用してください。

SO00端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

図 17 - 79 スレーブセレクト入力機能のタイミング図



SSImnがハイ期間ではSCKmn (シリアル・クロック) の立ち下がりエッジが来ても送信を行いません。
 また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
 SSI \bar{m} nがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力 (シフト) し、
 立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ (bit7) を出力します。しかし、SCKmn (シリアル・クロック) の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを出力 (シフト) し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

17.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスヘデータを送信する動作です。

スレーブセレクト入力機能	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

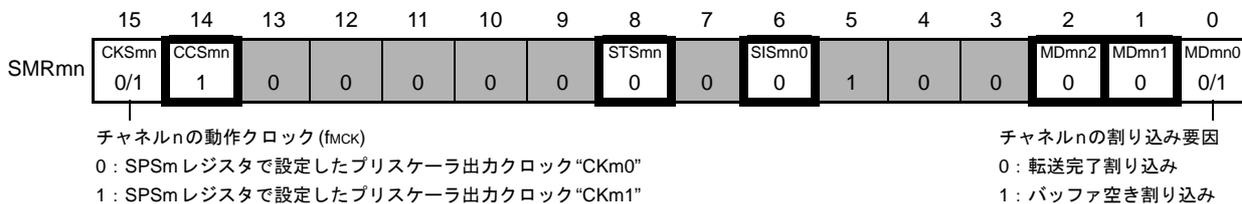
備考1. f_{MCK} : 対象チャネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

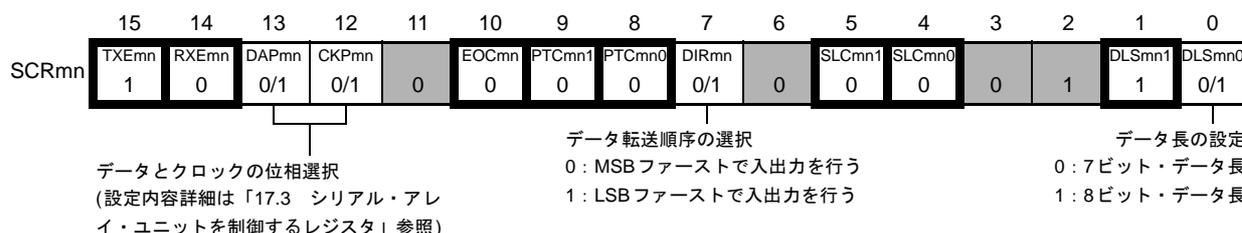
(1) レジスタ設定

図 17 - 80 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

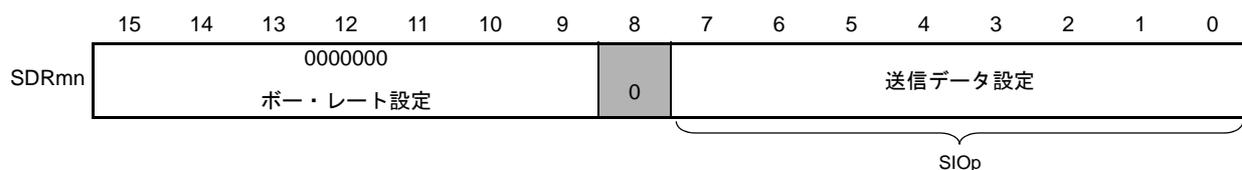
(a) シリアル・モード・レジスタ mn (SMRmn)



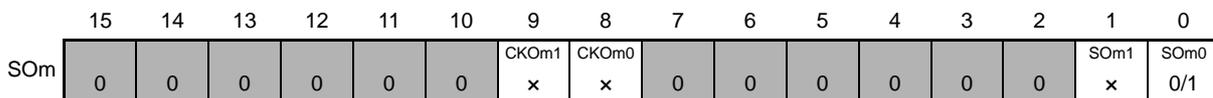
(b) シリアル通信動作設定レジスタ mn (SCRmn)



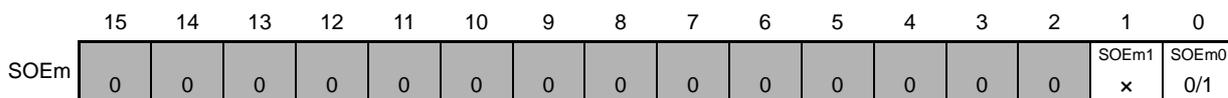
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 17 - 81 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 x	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSIE00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	0	0

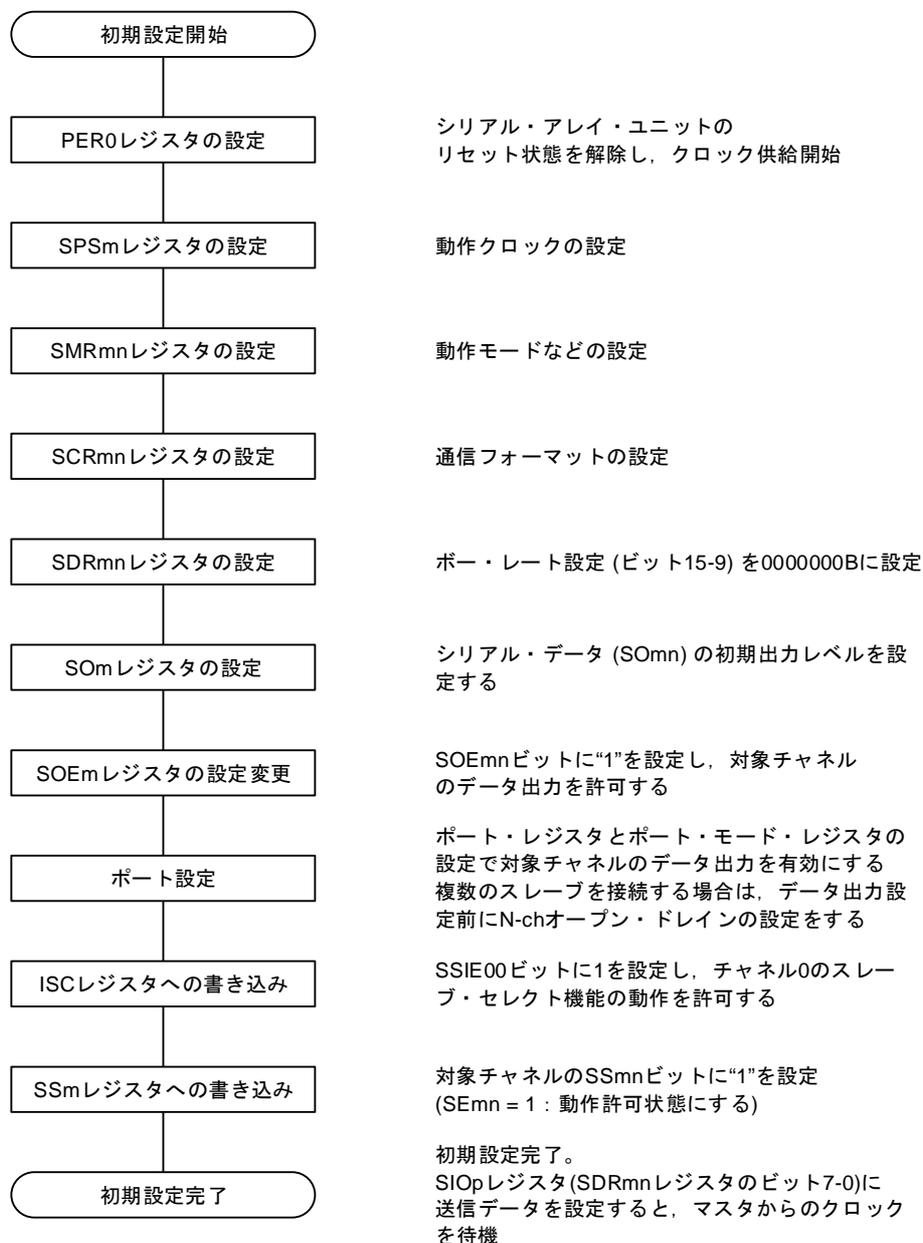
0 : SSIE00端子の入力値を無効
1 : SSIE00端子の入力値を有効

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

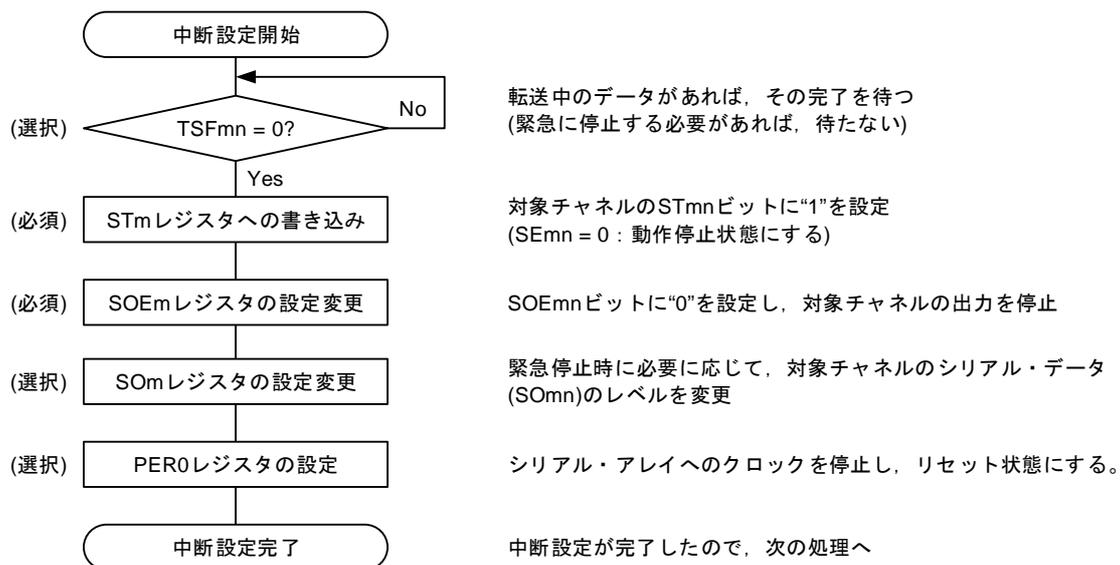
(2) 操作手順

図 17 - 82 スレーブ送信の初期設定手順



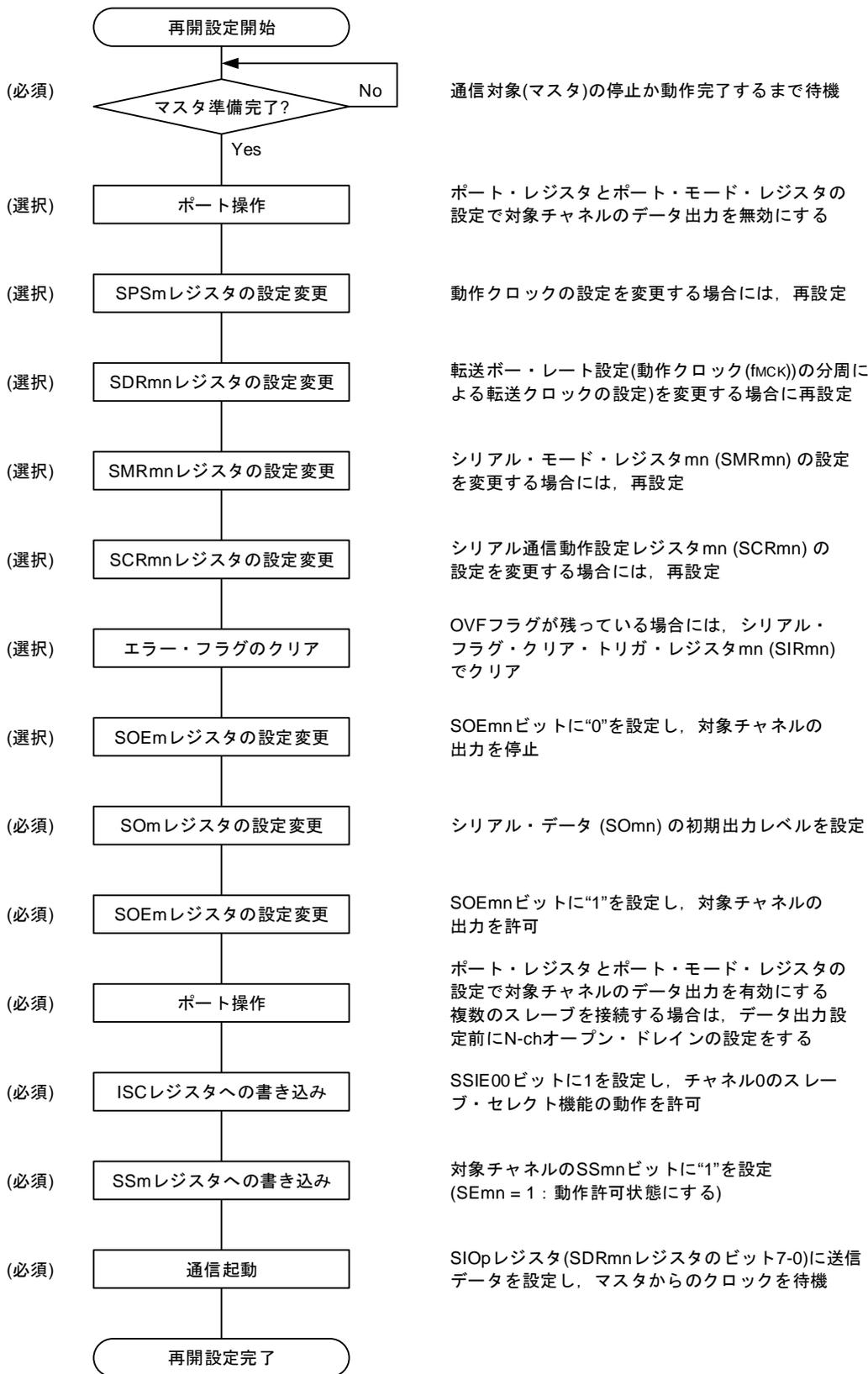
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17 - 83 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17-84 スレーブ送信の再開設定手順

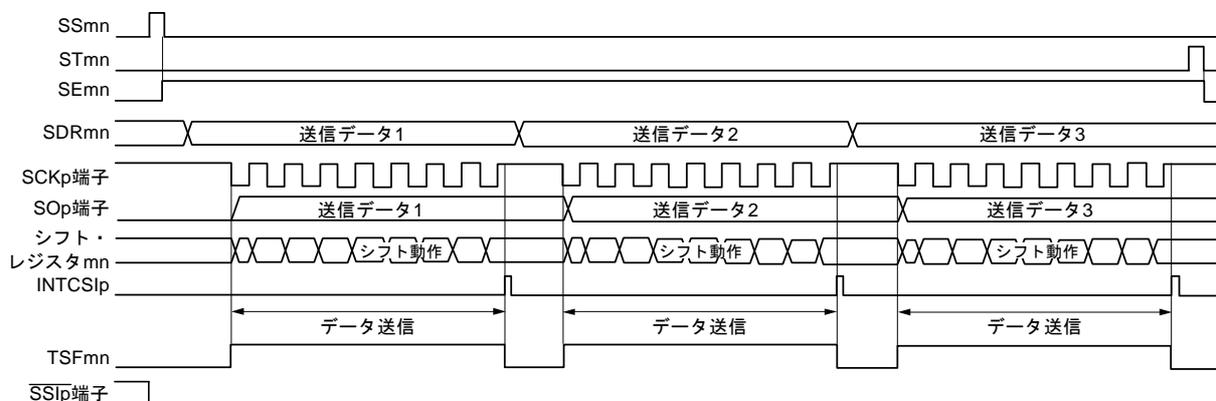


備考1. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

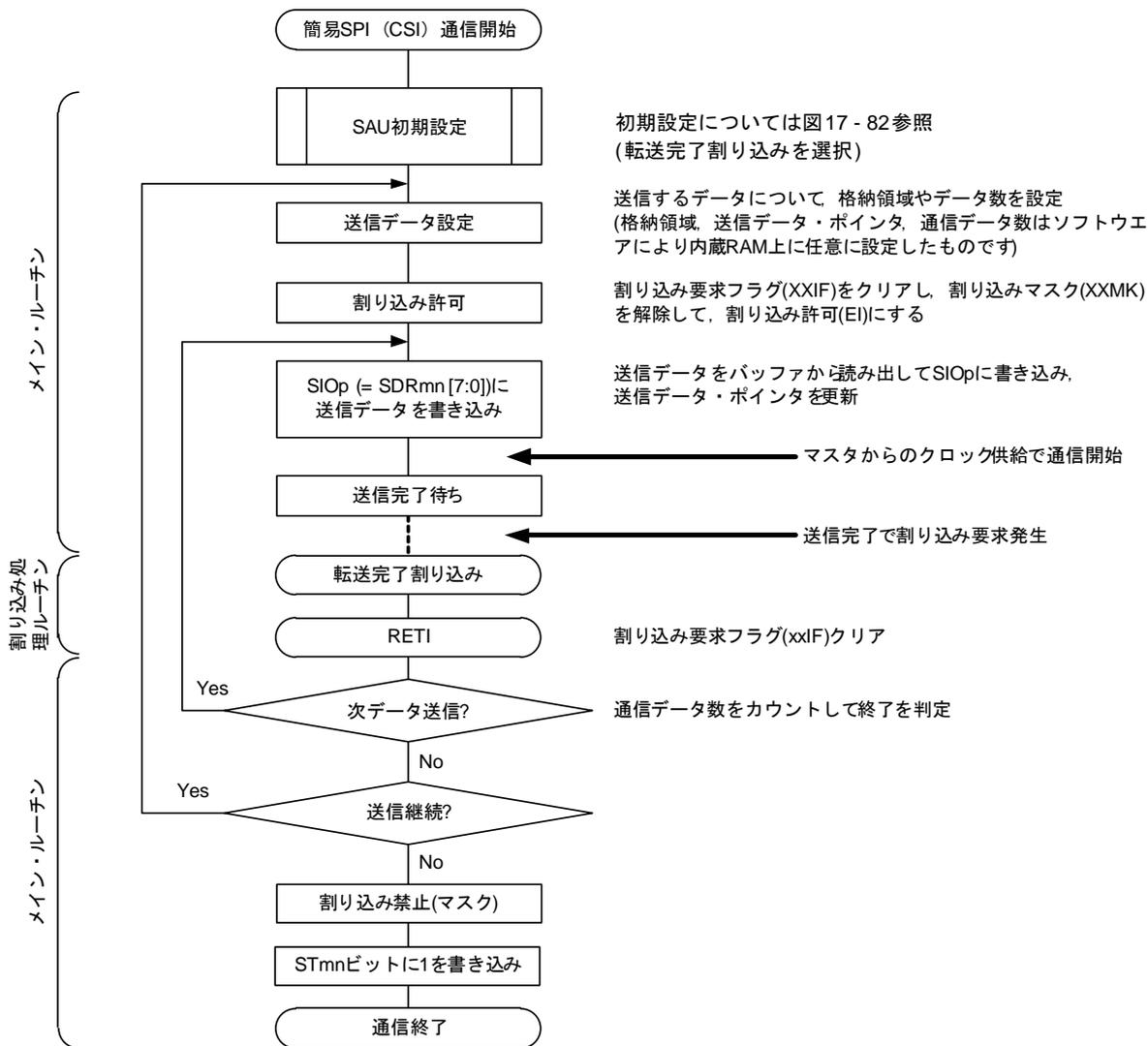
(3) 処理フロー (シングル送信モード時)

図 17 - 85 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

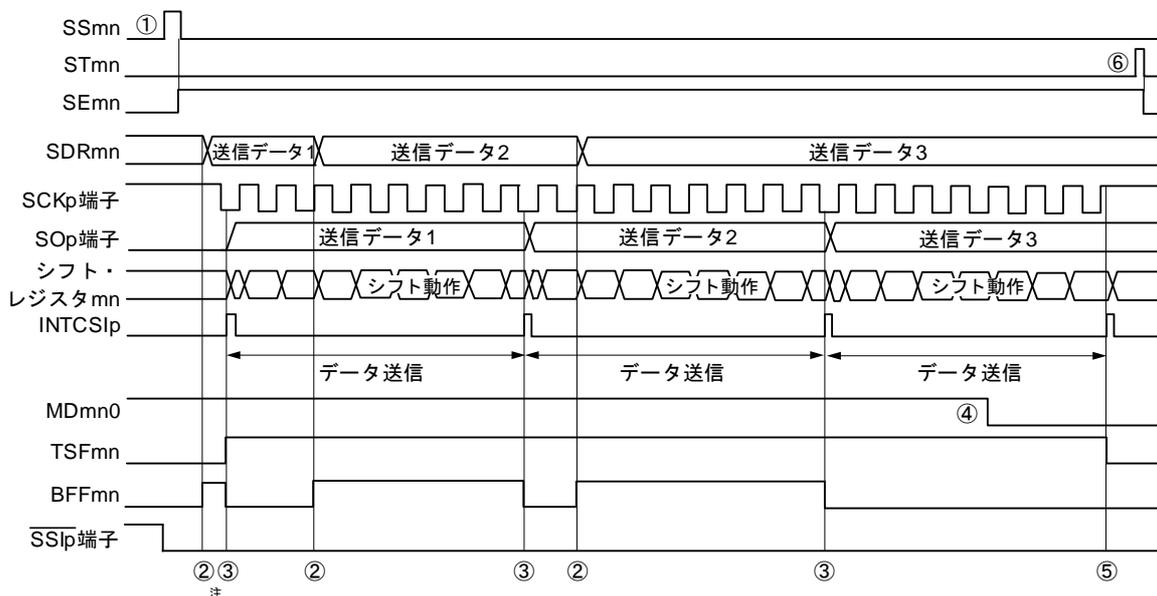
図17-86 スレーブ送信(シングル送信モード時)のフロー・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送信モード時)

図17 - 87 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

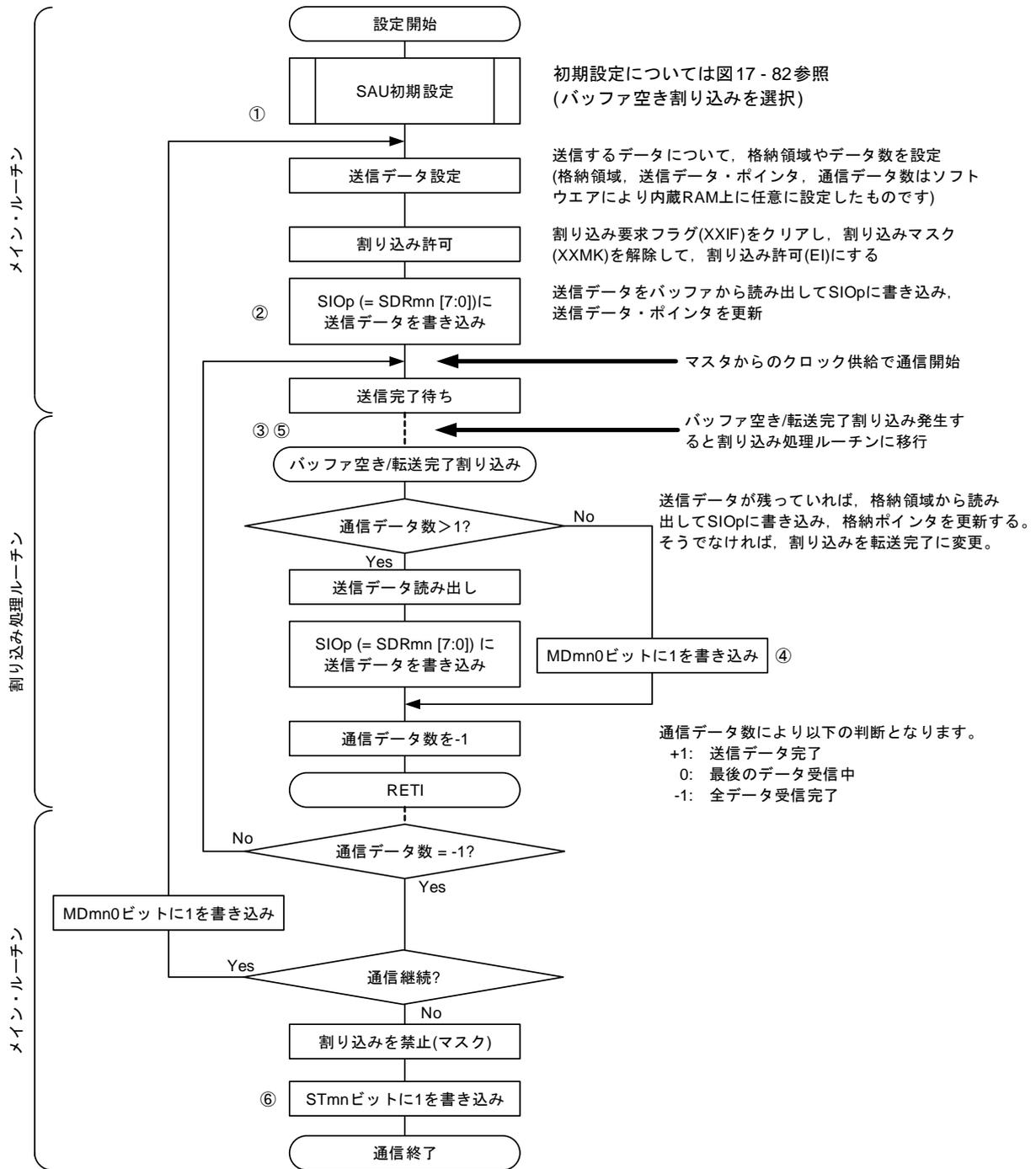


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図17-88 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①~⑥は、図17-87 スレーブ送信(連続送信モード時)のタイミング・チャートの①~⑥に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

17.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{mck}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

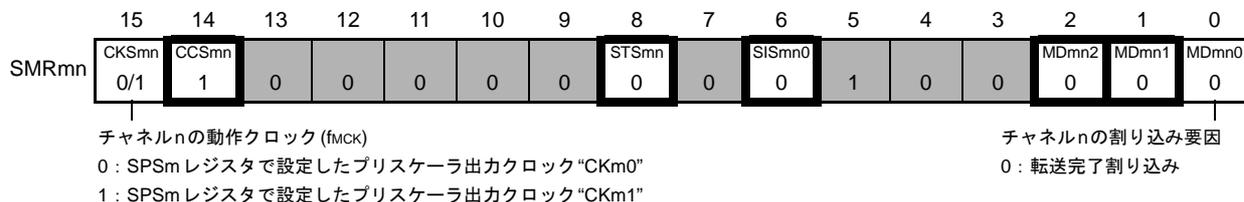
備考1. f_{mck} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

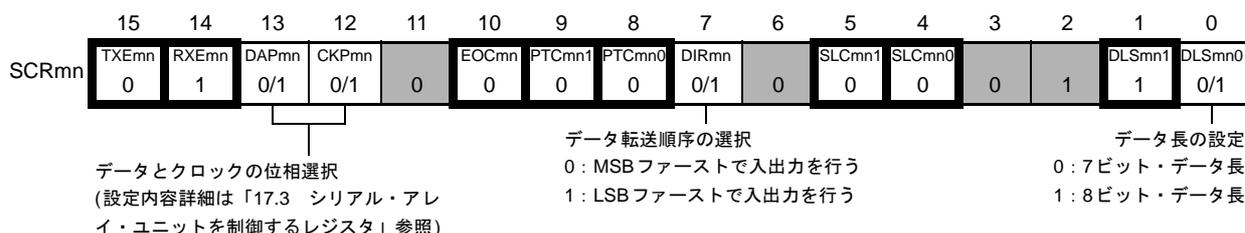
(1) レジスタ設定

図 17 - 89 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

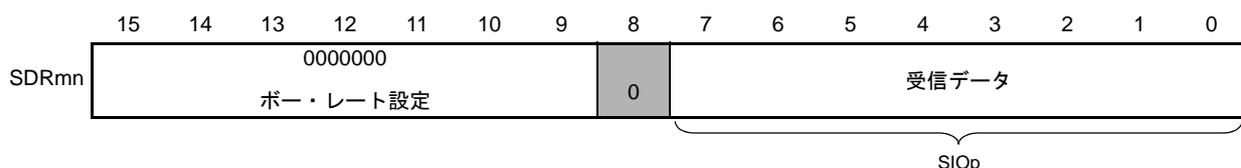
(a) シリアル・モード・レジスタ mn (SMRmn)



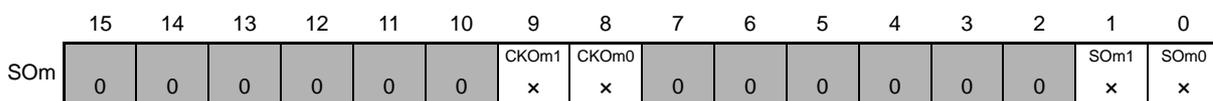
(b) シリアル通信動作設定レジスタ mn (SCRmn)



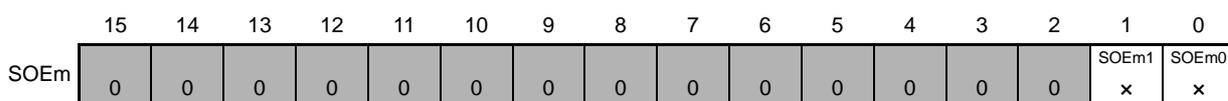
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOM) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 17 - 90 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 x	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	0	0

0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)
x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 91 スレーブ受信の初期設定手順

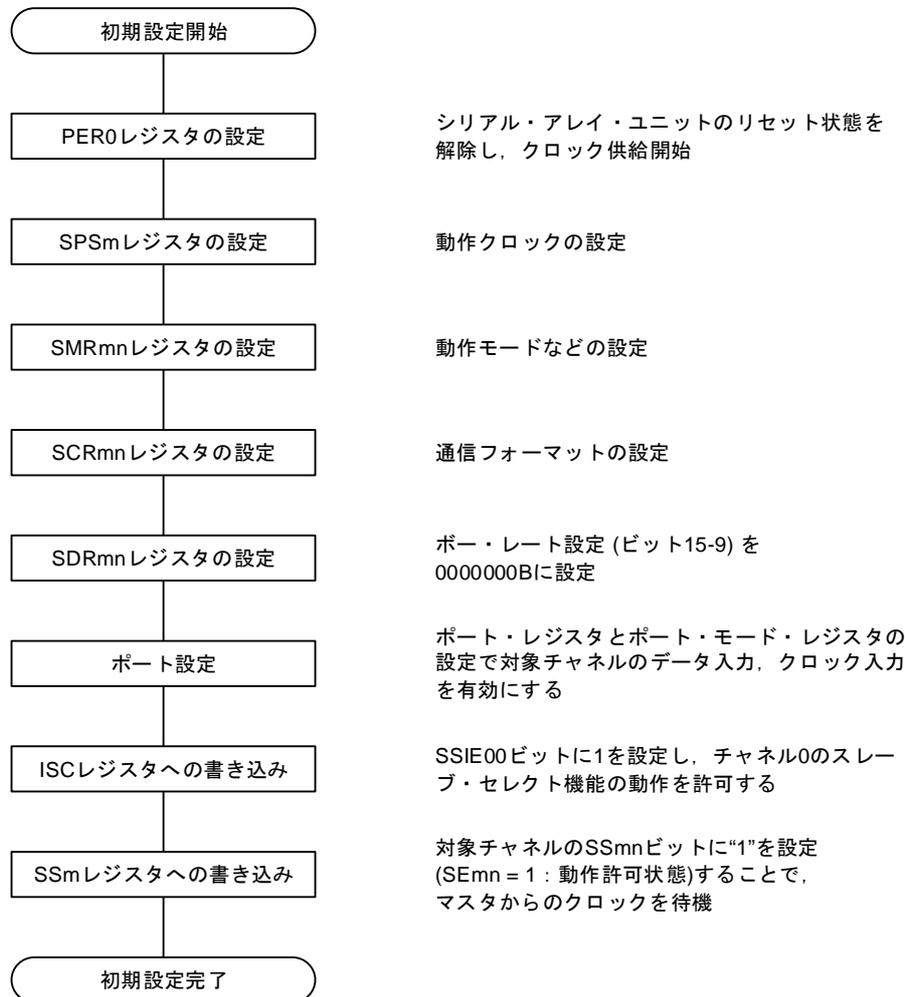
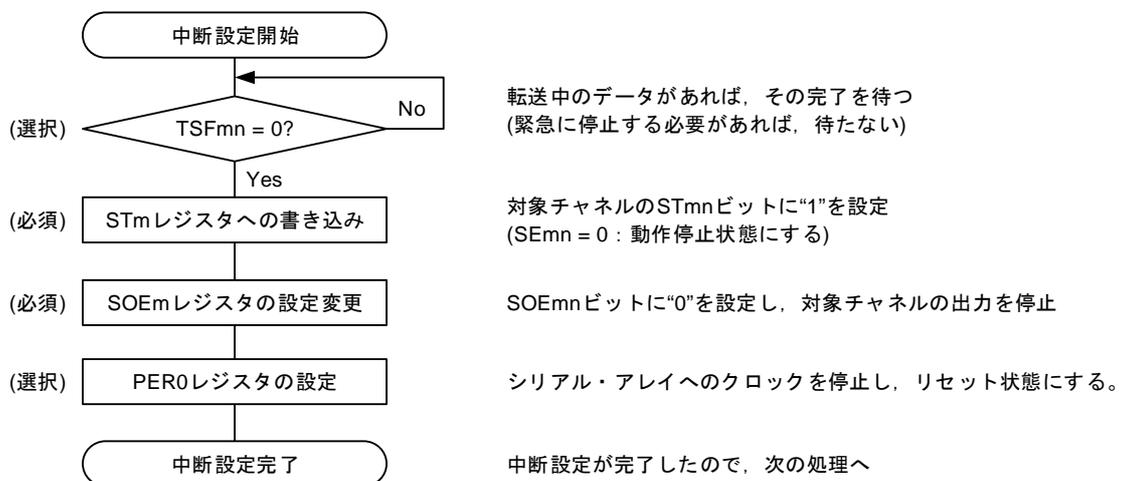


図 17 - 92 スレーブ受信の中断手順

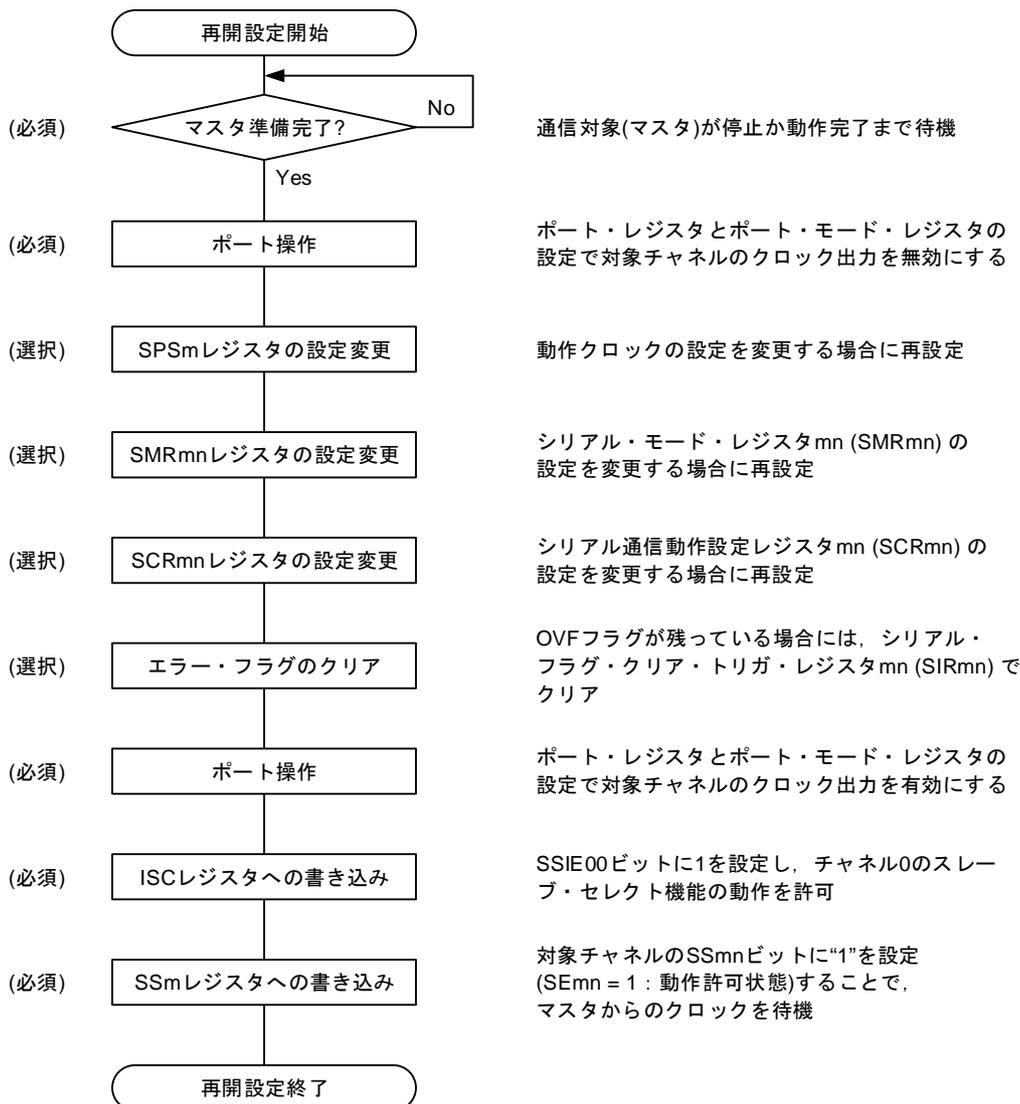


備考 m : ユニット番号 (m = 0)

n : チャネル番号 (n = 0)

p : CSI番号 (p = 00)

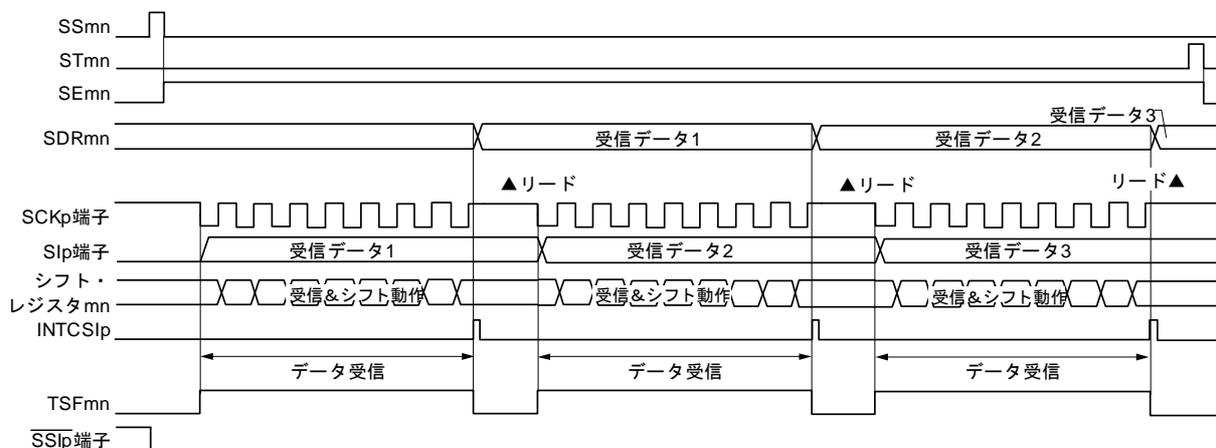
図17-93 スレーブ受信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

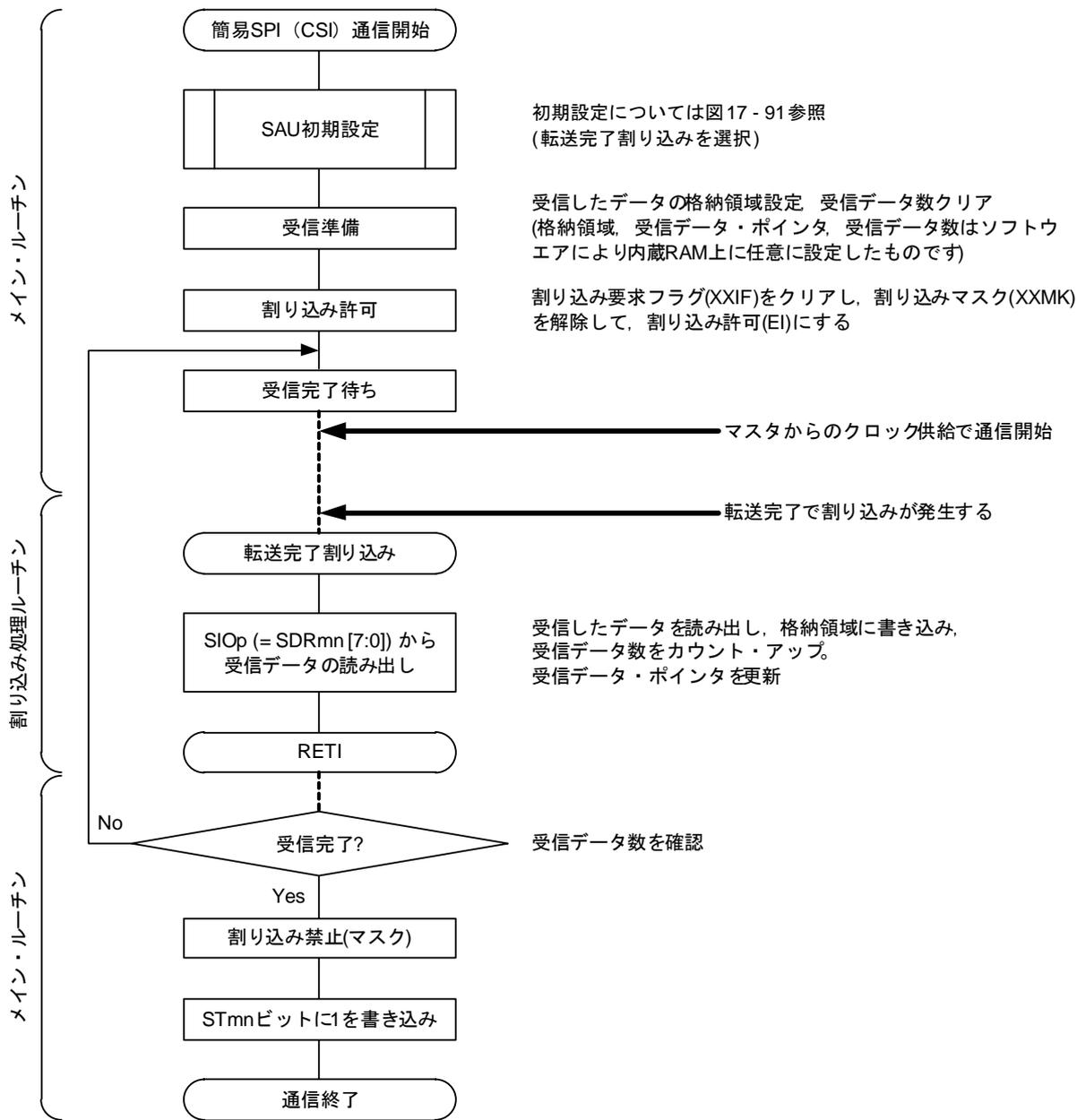
(3) 処理フロー (シングル受信モード時)

図17-94 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17-95 スレーブ受信(シングル受信モード時)のフロー・チャート



17.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

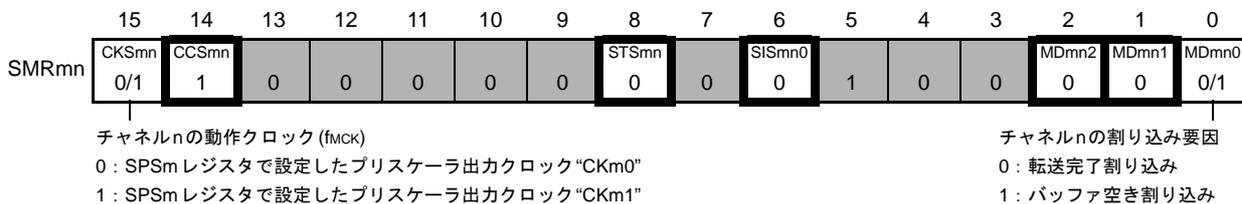
備考1. f_{MCK} : 対象チャネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

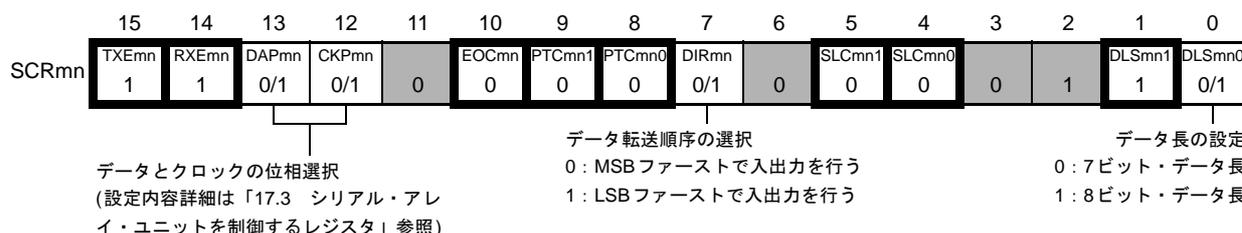
(1) レジスタ設定

図17-96 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

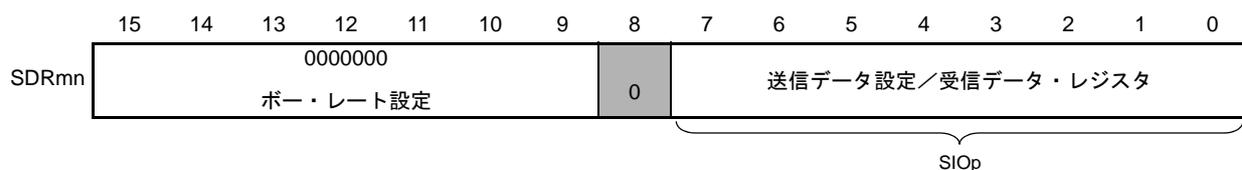
(a) シリアル・モード・レジスタ mn (SMRmn)



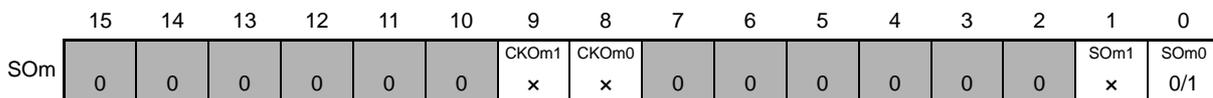
(b) シリアル通信動作設定レジスタ mn (SCRmn)



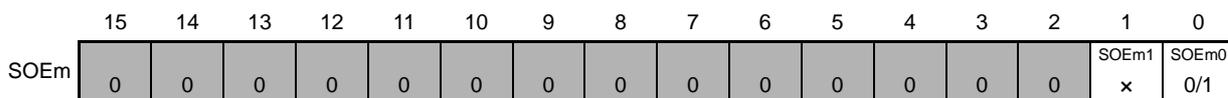
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図17-97 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 x	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	0	0

0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

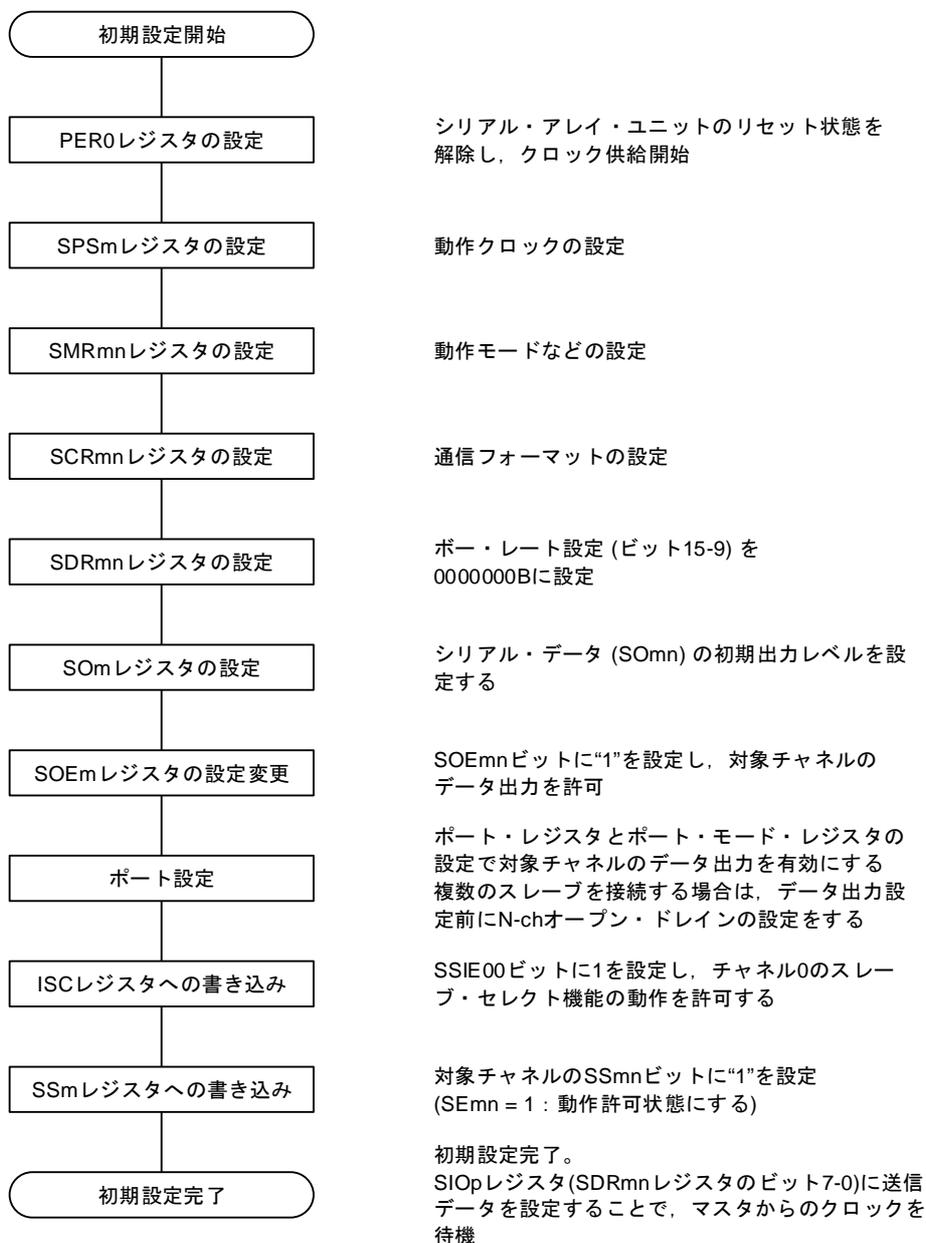
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

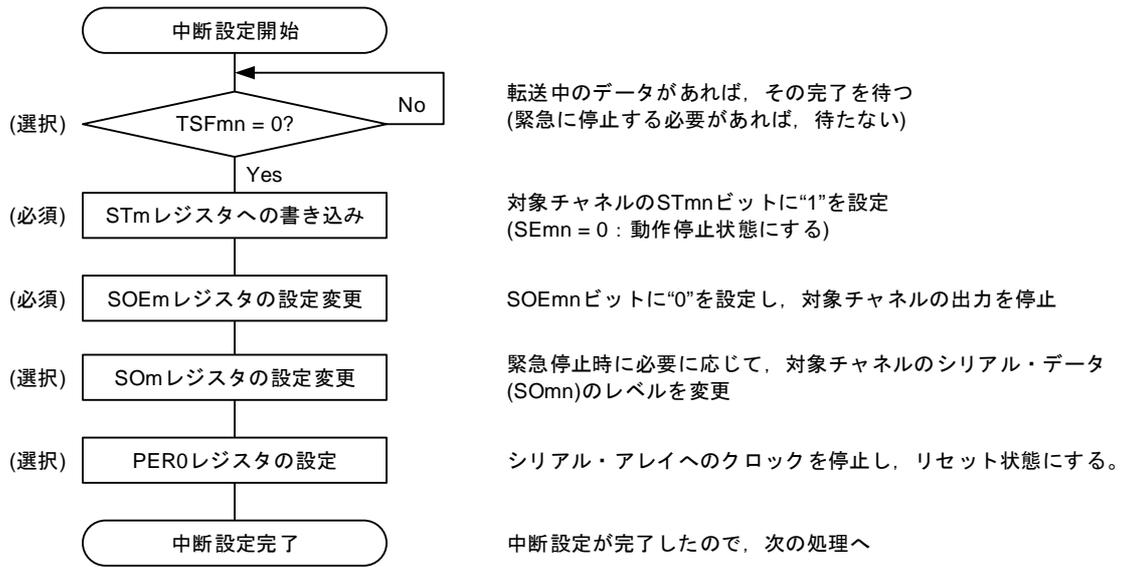
図 17 - 98 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

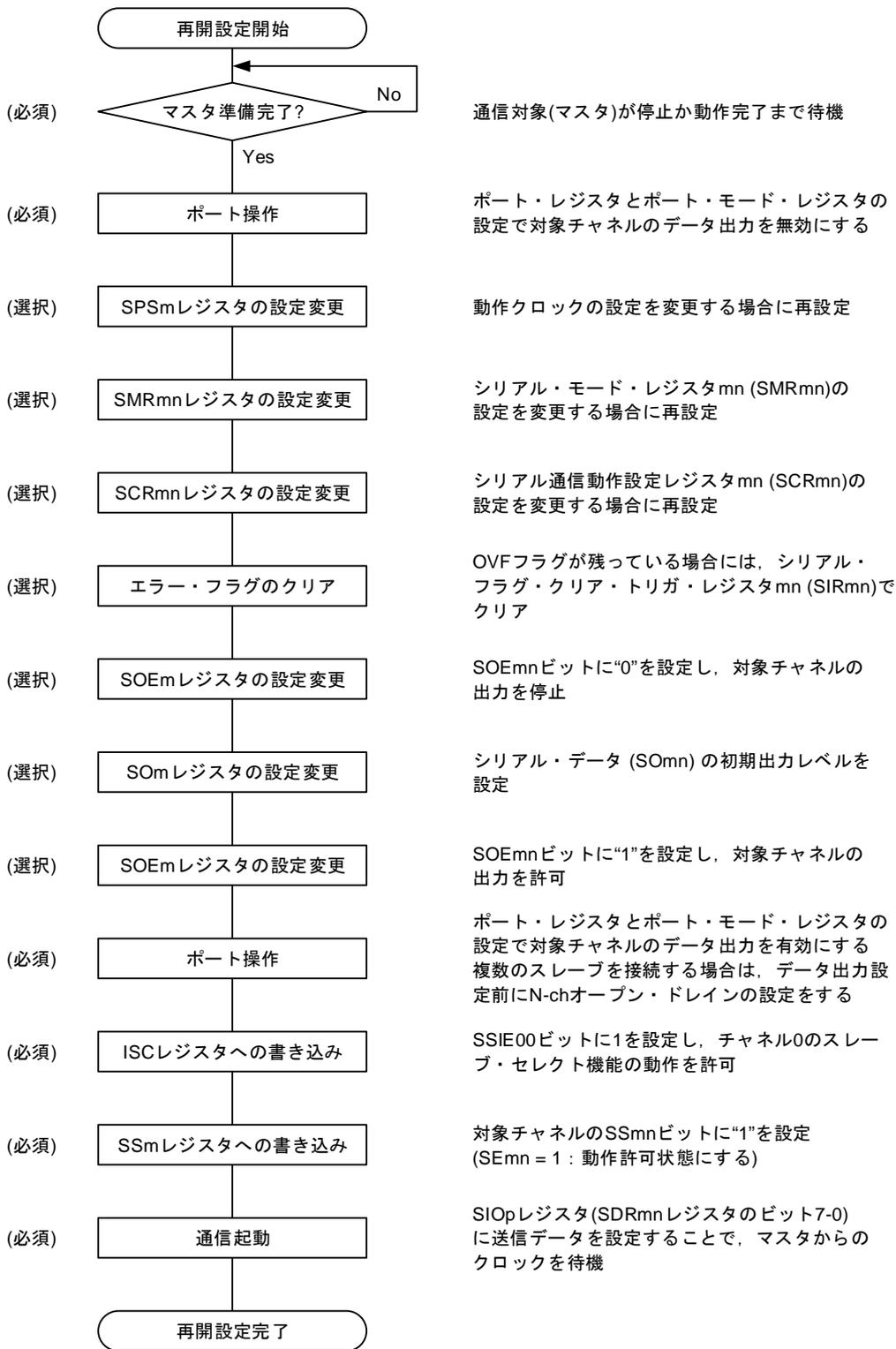
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17 - 99 スレーブ送受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17-100 スレーブ送受信の再開設定手順

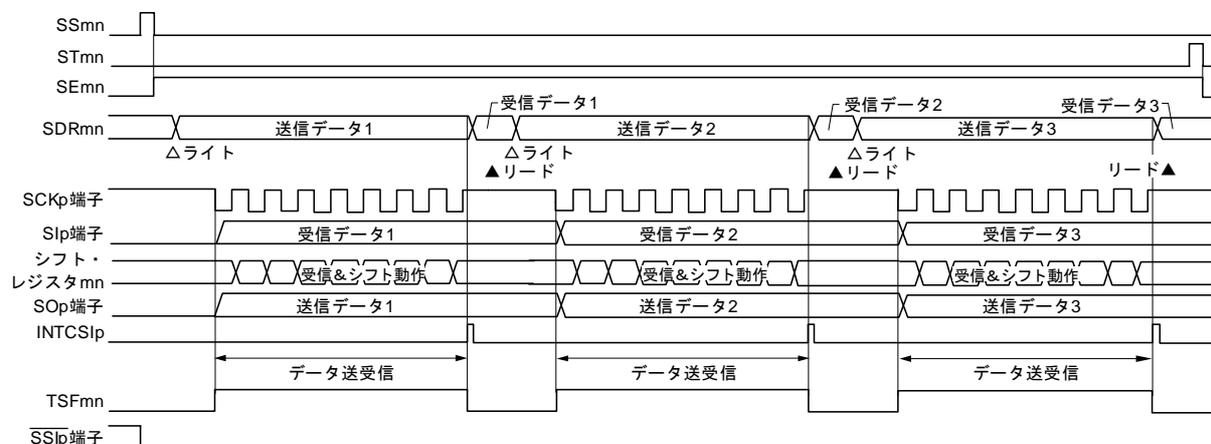


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOPレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

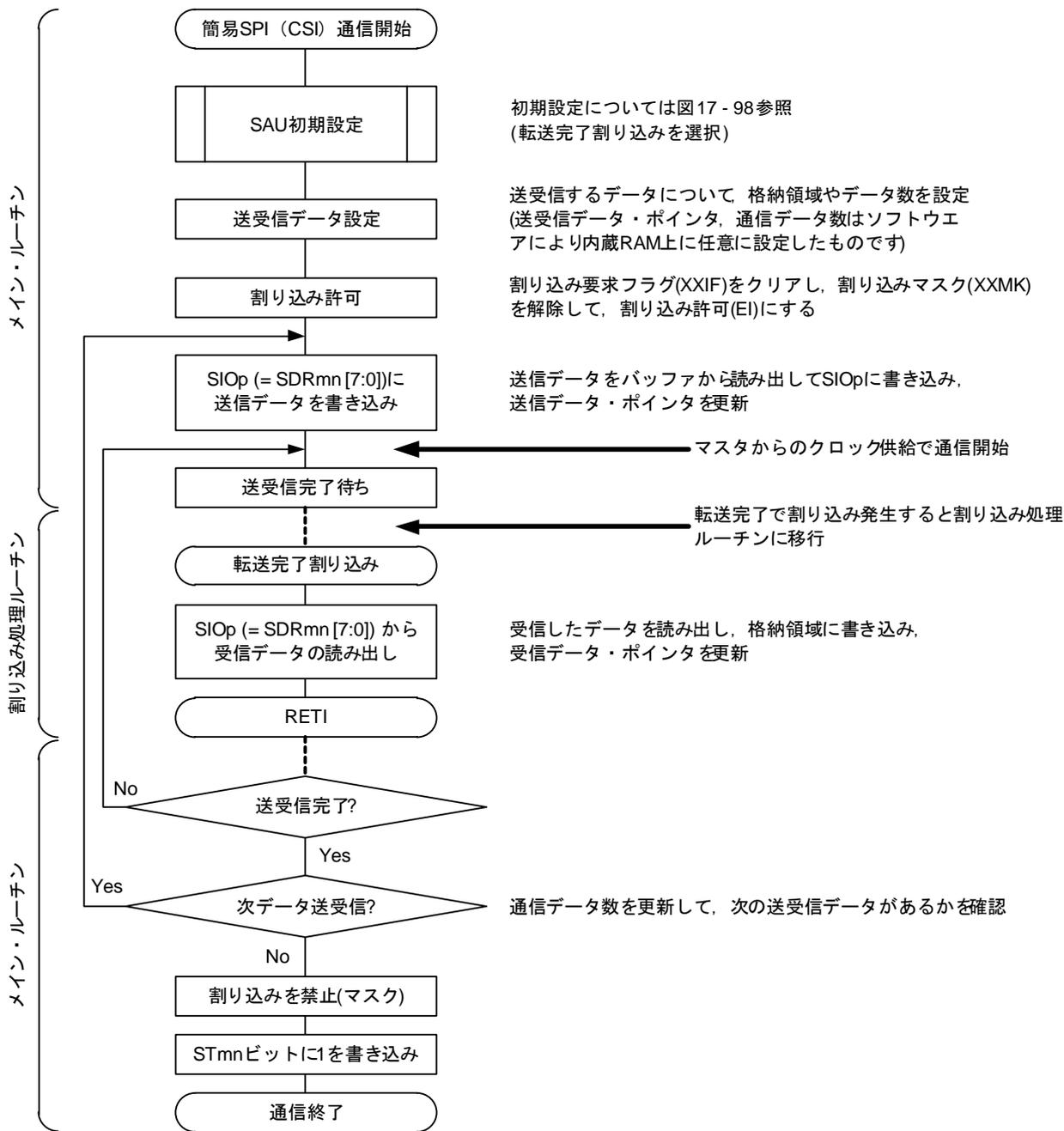
(3) 処理フロー (シングル送受信モード時)

図17 - 101 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17-102 スレーブ送受信(シングル送受信モード時)のフロー・チャート

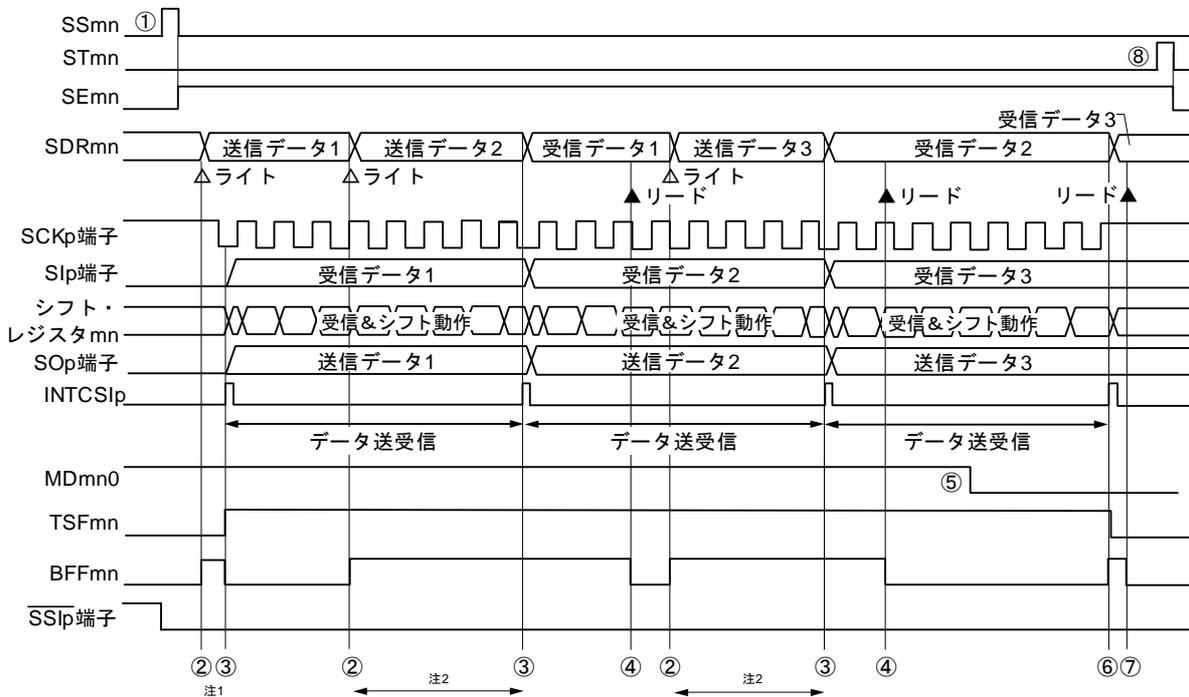


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送受信モード時)

図17 - 103 スレーブ送受信 (連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

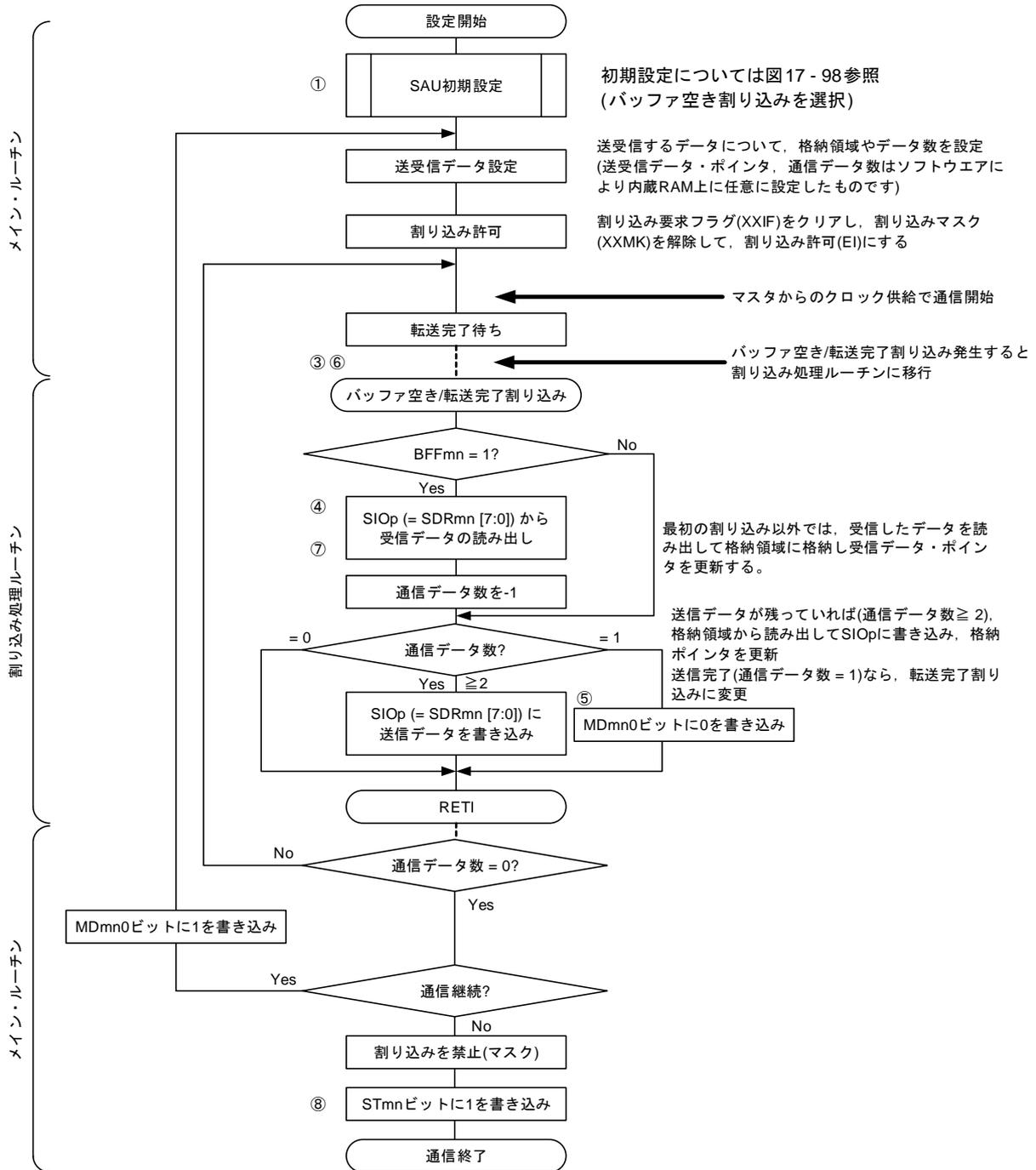


- 注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。
 ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図17 - 104 スレーブ送受信 (連続送受信モード時)のフロー・チャートの①～⑧に対応しています。
 備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 17 - 104 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①～⑧は、図 17 - 103 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

17.6.4 転送クロック周波数の算出

スレーブセレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$$(\text{転送クロック周波数}) = \{\text{マスタが供給するシリアル・クロック (SCK) 周波数}\} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

表 17 - 3 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

17.6.5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図 17 - 105 に示します。

図 17 - 105 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

17.7 UART (UART0)通信の動作

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。

[データ送受信]

- 7, 8, 9ビットのデータ長
- MSB/LSB ファーストの選択
- 送受信データのレベル設定(レベルを、反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、以下のUARTのみ設定可能です。

- UART0

UART0では、SAU0のチャンネル0, 1を使用します。

○20ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○24, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

○30ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	CSI01		IIC01

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信(17.7.1項を参照)
- UART受信(17.7.2項を参照)

17.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0
対象チャンネル	SAU0のチャンネル0
使用端子	TxD0
割り込み	INTST0 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビットまたは9ビット注1
転送レート	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] 注2
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロー・レベル)
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加
データ方向	MSBファーストまたはLSBファースト

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- UART0

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

UART送信では、高速システム・クロックか、サブシステム・クロックもしくは、高速オンチップ・オシレータを使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

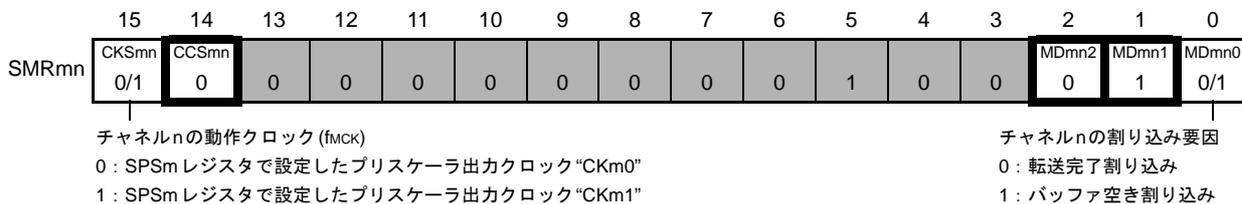
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号 ($m = 0$) n : チャンネル番号 ($n = 0$), $mn=00$

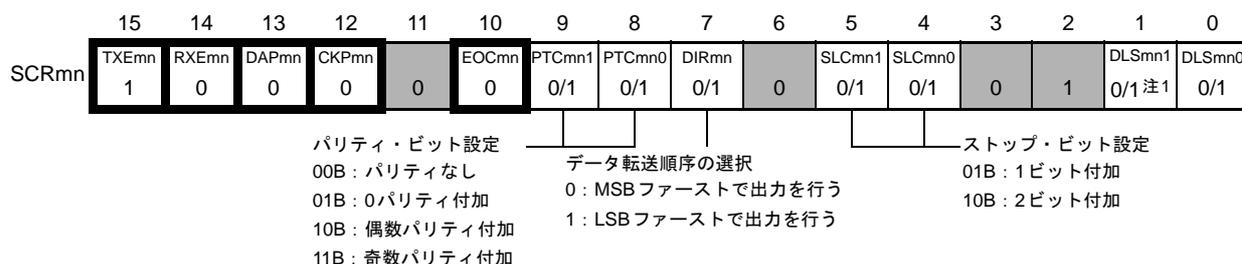
(1) レジスタ設定

図 17 - 106 UART (UART0)のUART送信時のレジスタ設定内容例(1/2)

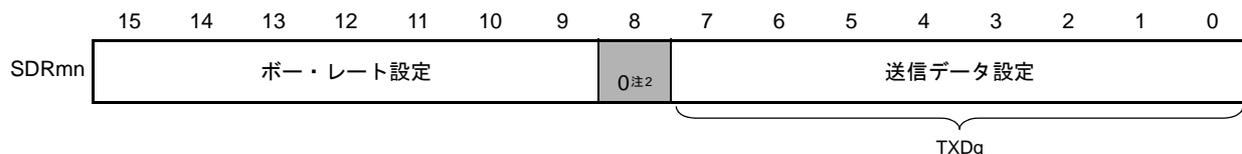
(a) シリアル・モード・レジスタ mn (SMRmn)



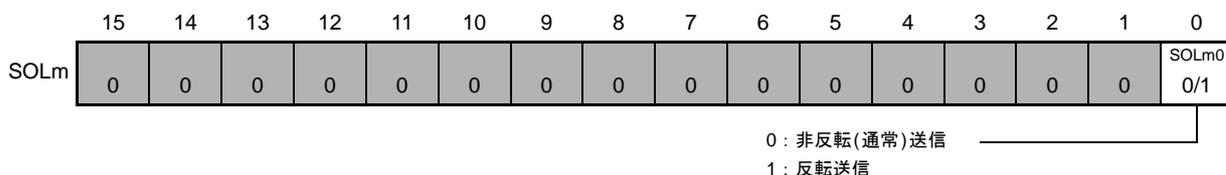
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : TXDq)



(d) シリアル出力レベル・レジスタ m (SOLm) 対象チャンネルのビットのみ設定する



注1. SCR00レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UARTのみです。

• UART0

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) q : UART番号(q = 0), mn=00

備考2. : UART送信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図 17 - 107 UART (UART0)のUART送信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1	CKOm0	0	0	0	0	0	0	SOm1	SOm0
							x	x							x	0/1注

0 : シリアル・データ出力値が“0”
 1 : シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1	SOEm0
															x	0/1

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1	SSm0
															x	0/1

注 該当するチャンネルの SOLmn ビットに0を設定している場合は“1”に、SOLmn ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) q : UART 番号 (q = 0), mn=00

備考2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図17 - 108 UART送信の初期設定手順

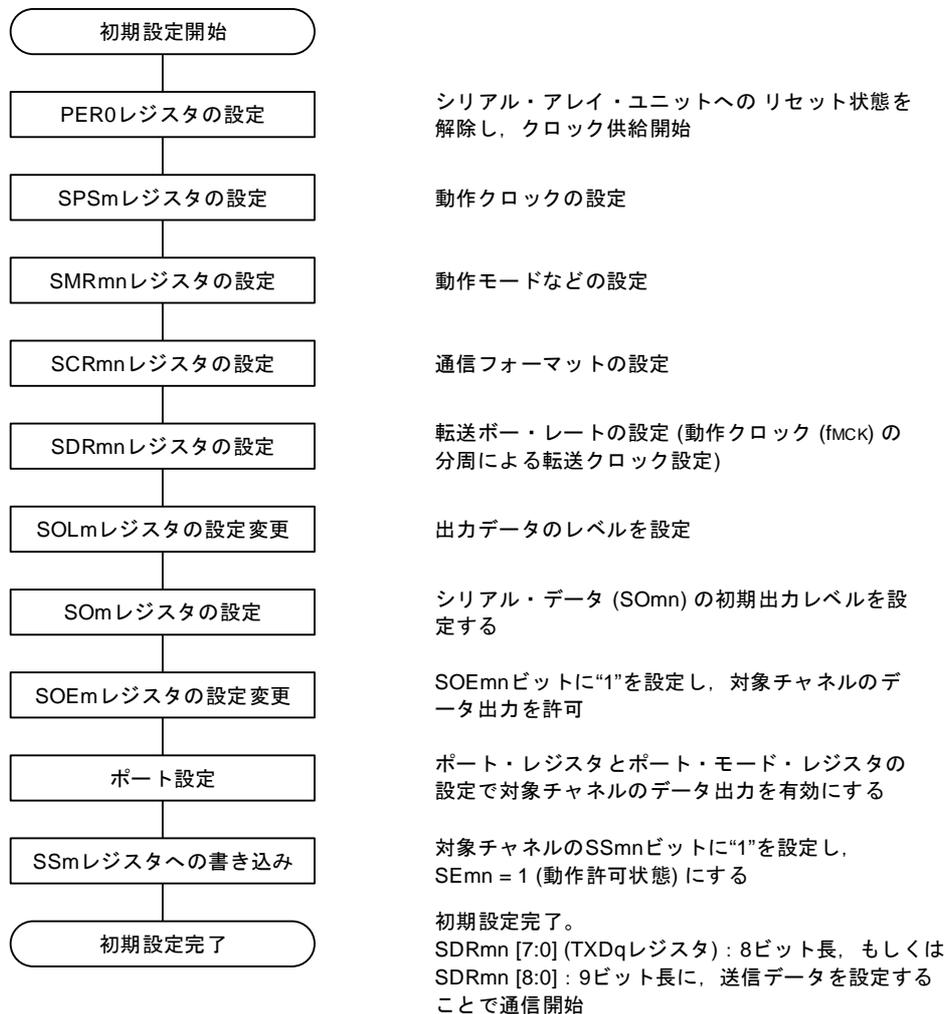


図17 - 109 UART送信の中断手順

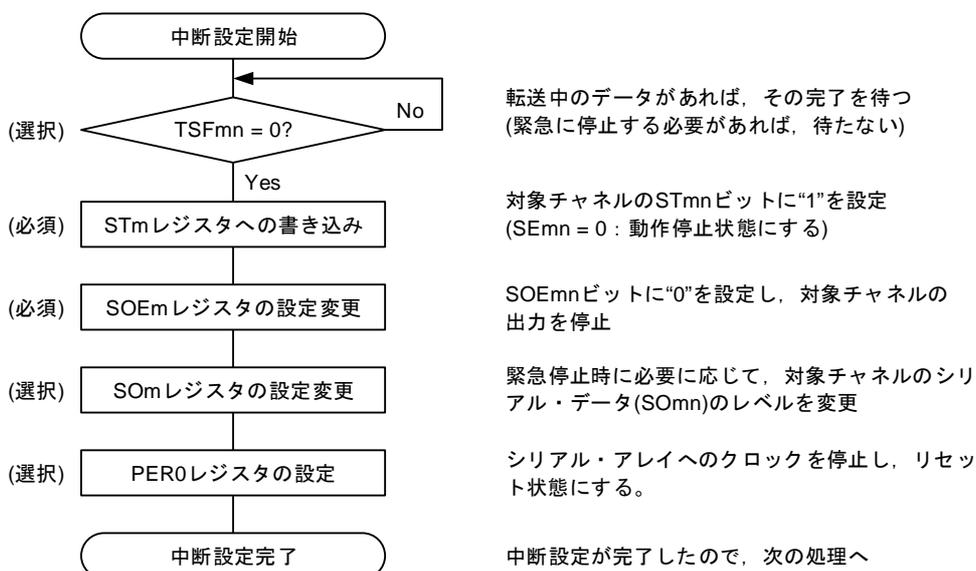
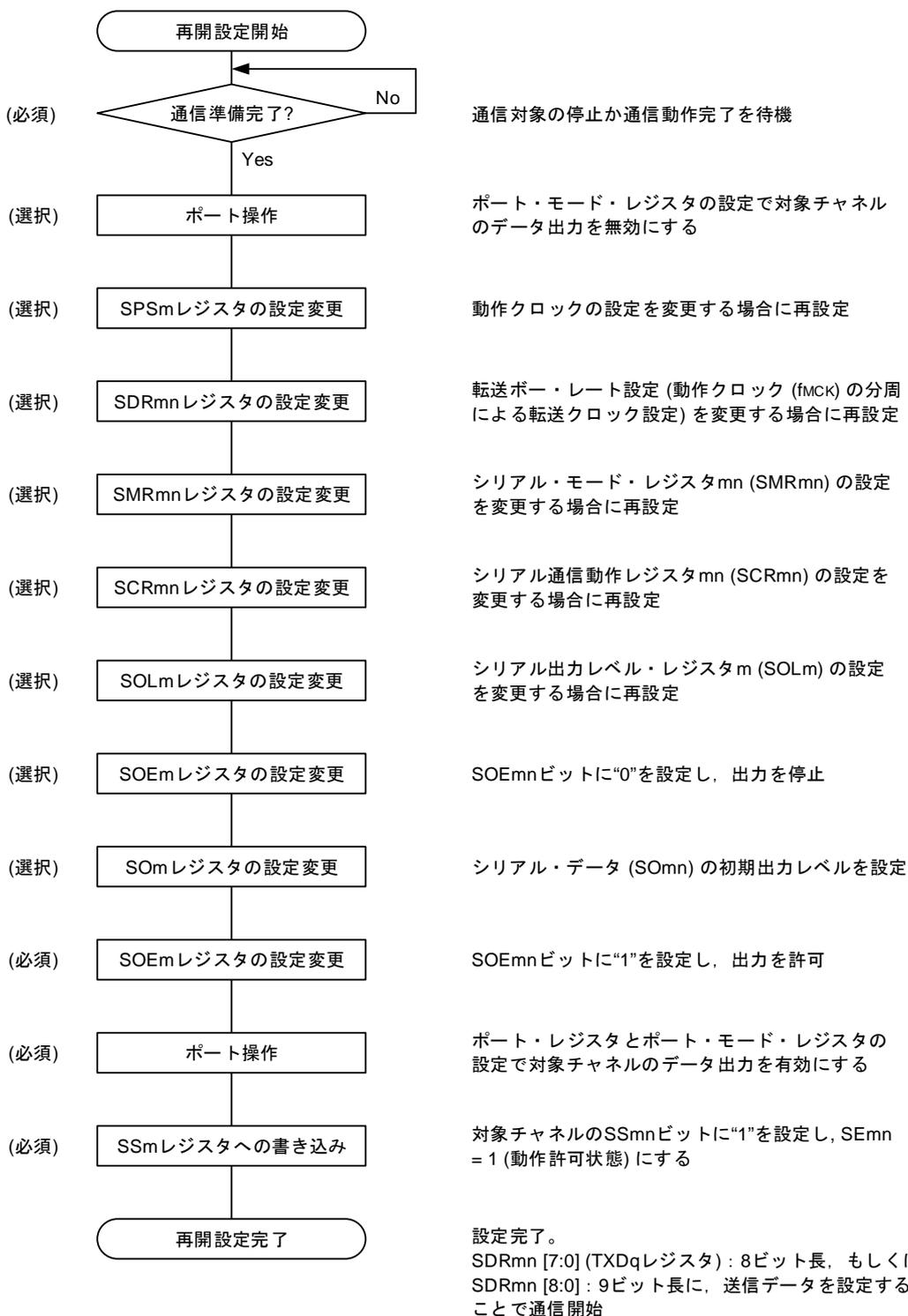


図17 - 110 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

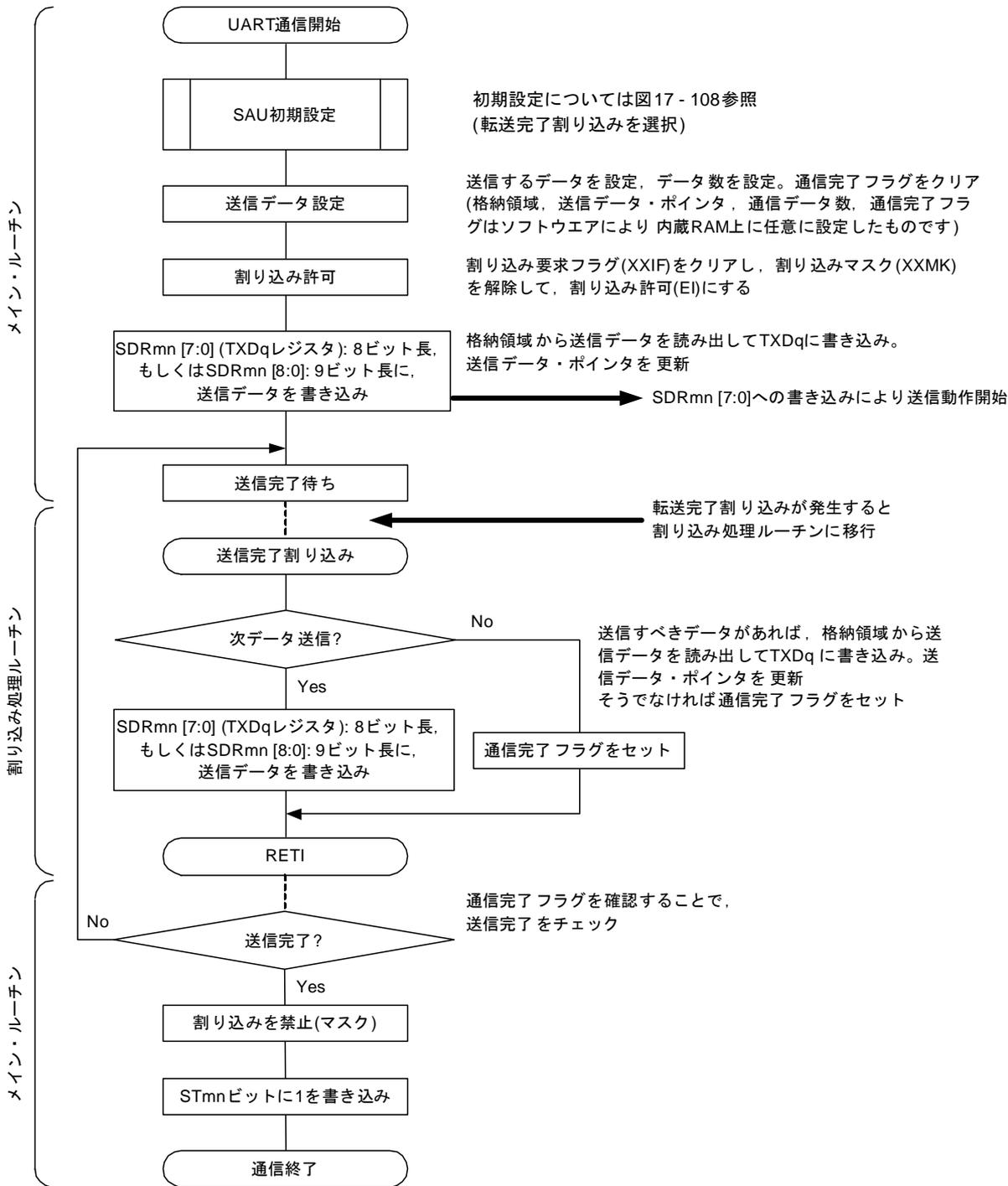
(3) 処理フロー (シングル送信モード時)

図17 - 111 UART送信(シングル送信モード時)のタイミング・チャート



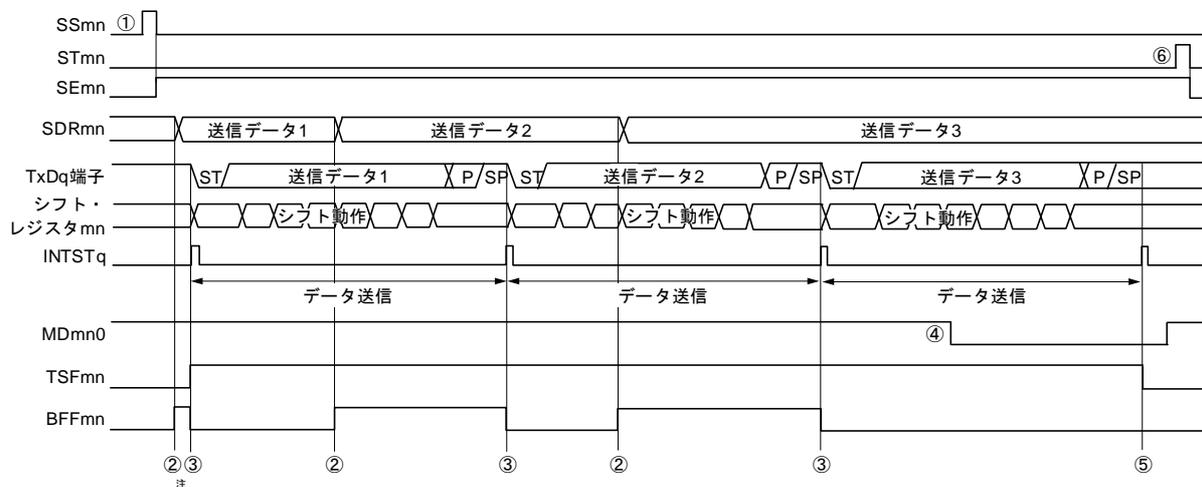
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) q : UART番号 (q = 0), mn=00

図 17 - 112 UART送信 (シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 17 - 113 UART 送信 (連続送信モード時) のタイミング・チャート

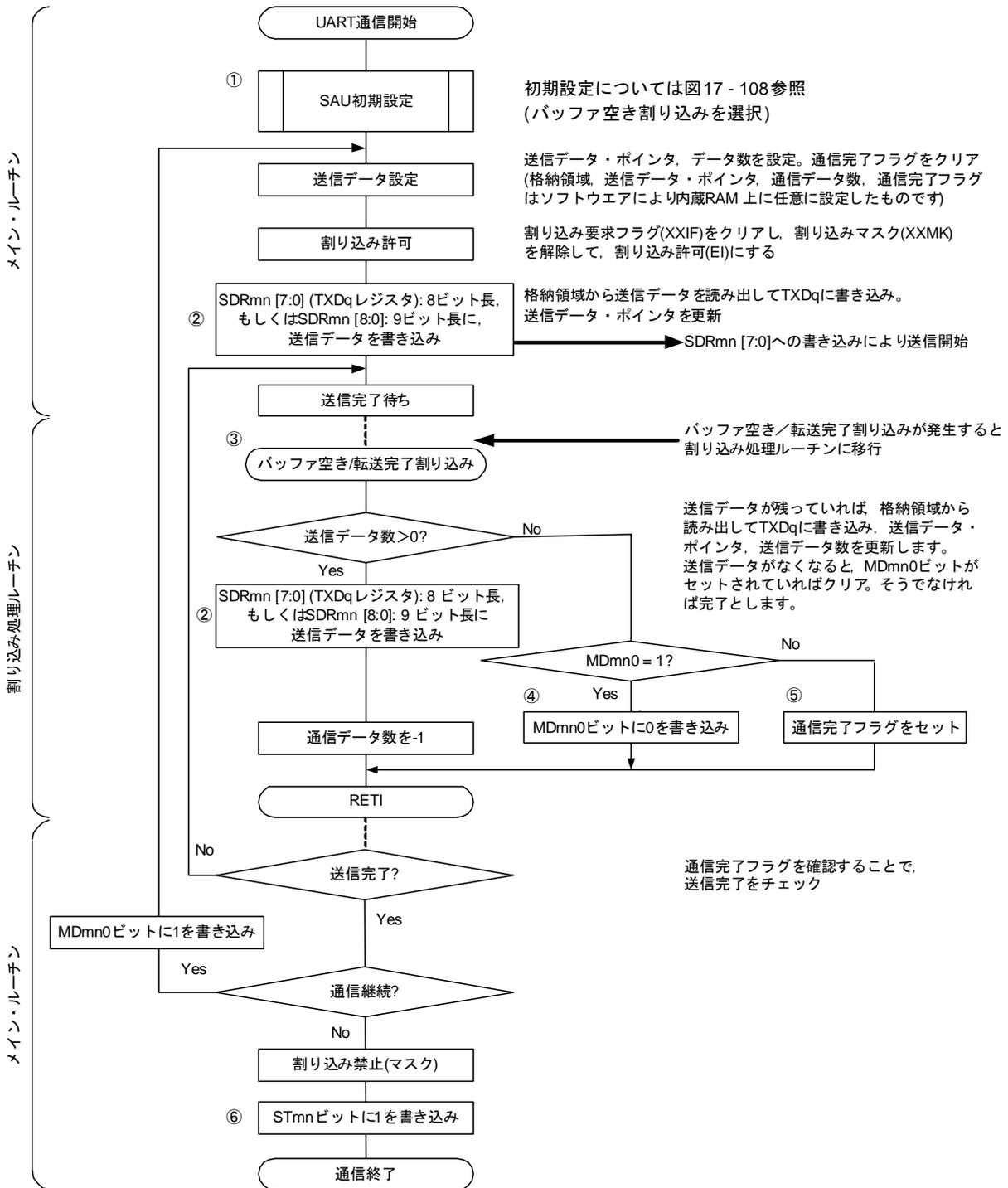


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) q : UART 番号 (q = 0), mn=00

図17 - 114 UART送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図17 - 113 UART送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

17.7.2 UART受信

UART受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0
対象チャンネル	SAU0のチャンネル1
使用端子	RxD0
割り込み	INTSR0 転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー割り込み	INTSRE0
エラー検出フラグ	<ul style="list-style-type: none"> フレーミング・エラー検出フラグ(FEFmn) パリティ・エラー検出フラグ(PEFmn) オーバラン・エラー検出フラグ(OVFmn)
転送データ長	7ビットまたは8ビットまたは9ビット注1
転送レート注2	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> パリティ・ビットなし(パリティ・チェックなし) 0パリティ・ビット付加(パリティ・チェックなし) 偶数パリティ・チェック 奇数パリティ・チェック
ストップ・ビット	1ビット付加
データ方向	MSBファーストまたはLSBファースト

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- UART0

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性を参照)を満たす範囲内で使用してください。

UART受信では、高速システム・クロックか、サブシステム・クロックもしくは、高速オンチップ・オシレータを使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

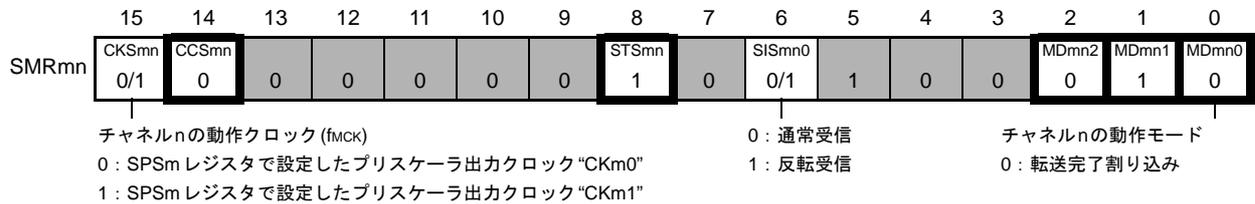
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0$) n : チャンネル番号($n = 1$), $mn=01$

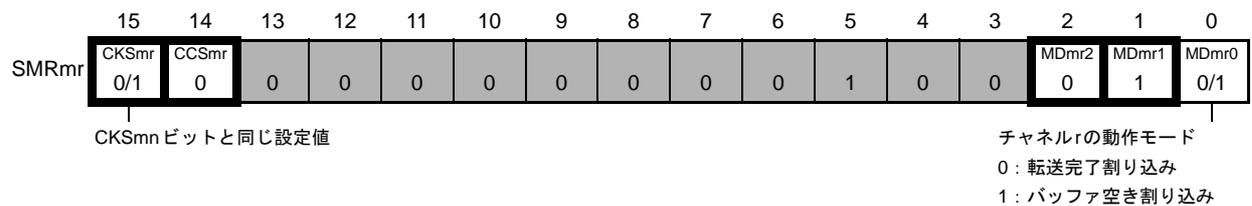
(1) レジスタ設定

図 17 - 115 UART (UART0)のUART受信時のレジスタ設定内容例(1/2)

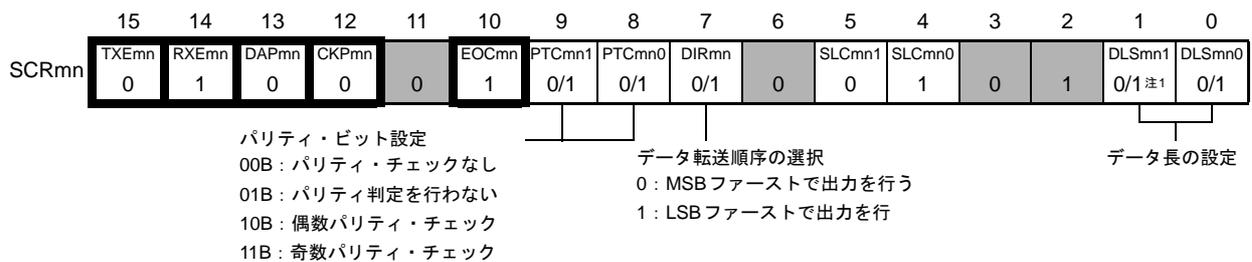
(a) シリアル・モード・レジスタ mn (SMRmn)



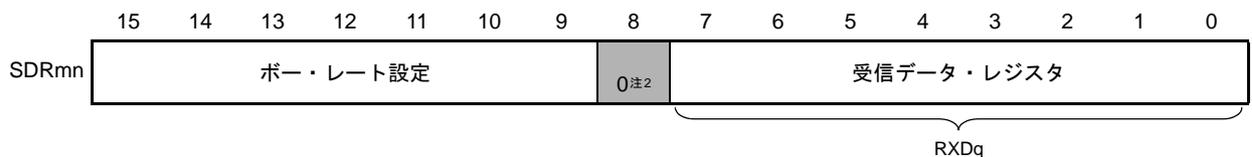
(b) シリアル・モード・レジスタ mr (SMRmr)



(c) シリアル通信動作設定レジスタ mn (SCRmn)



(d) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: RXDq)



- 注1. SCR01レジスタのみ。その他は1固定になります。
- 注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。9ビット・データ長での通信が行えるのは、以下のUARTのみです。
 • UART0

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ず設定してください。

備考1. m: ユニット番号(m = 0) n: チャンネル番号(n = 1), mn = 01
 r: チャンネル番号(r = n - 1) q: UART番号(q = 0)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)
 x: このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図 17 - 116 UART (UART0)のUART受信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOm	0	0	0	0	0	0	CKOm1	CKOm0	0	0	0	0	0	0	0	SOm1	SOm0
							x	x								x	x

(f) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1	SOEm0
															x	x

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1	SSm0
															0/1	x

備考1. m : ユニット番号 (m = 0)

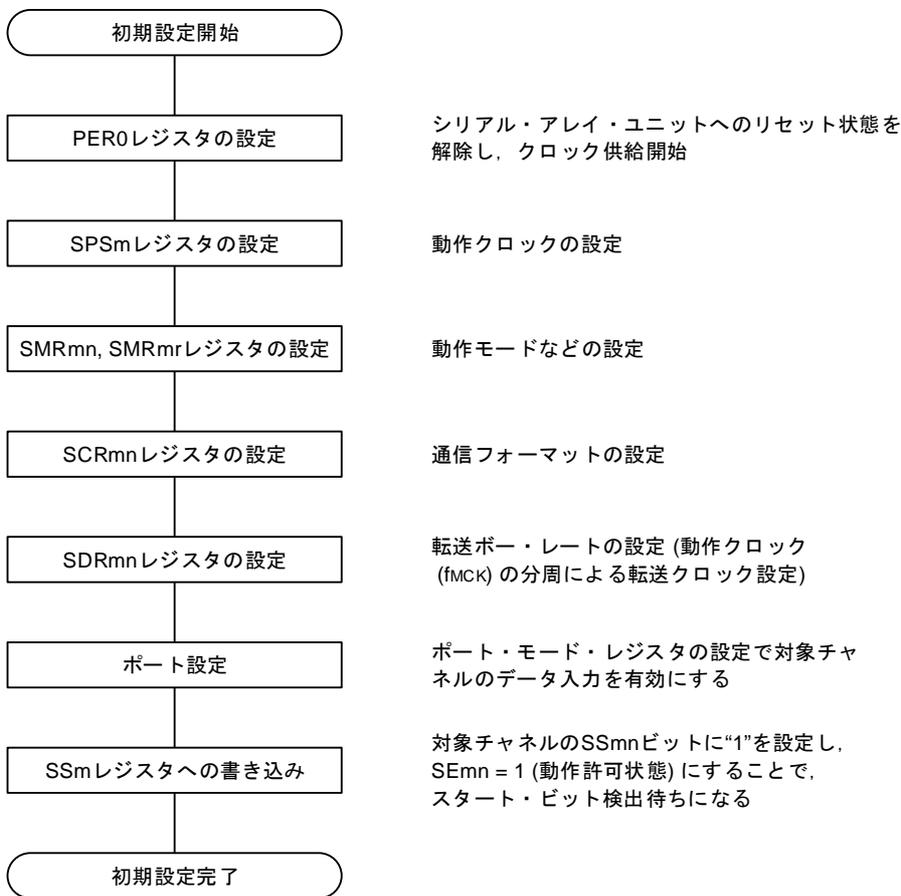
備考2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図17 - 117 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図17 - 118 UART受信の中断手順

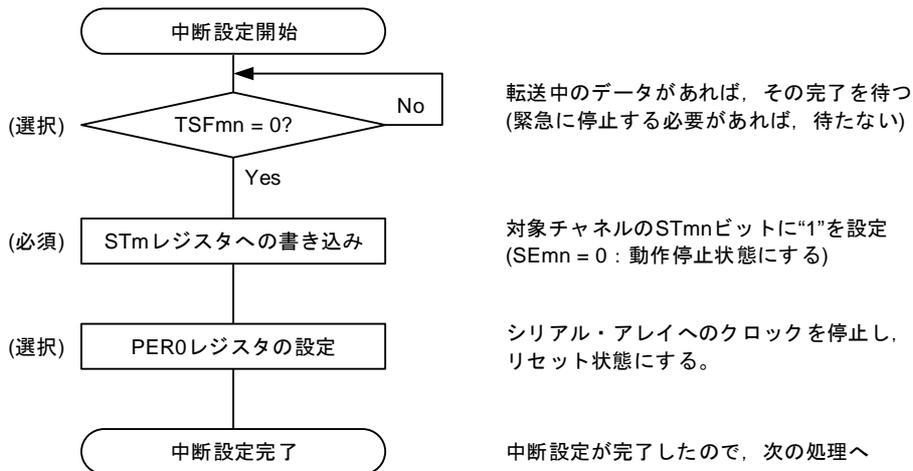
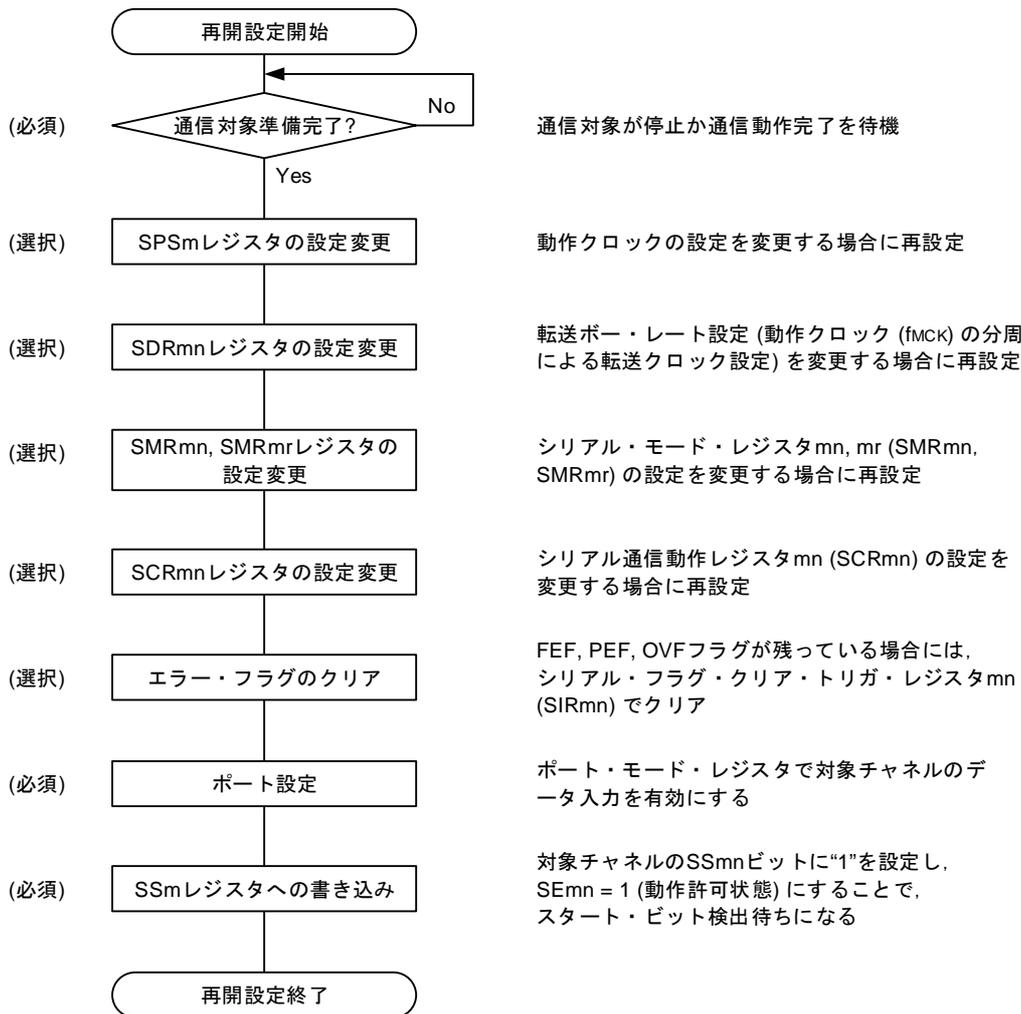


図17 - 119 UART受信の再開設定手順

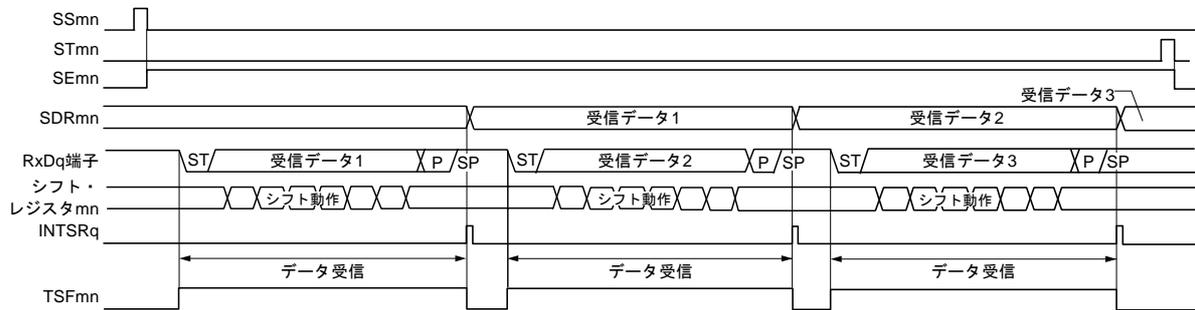


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fmckの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

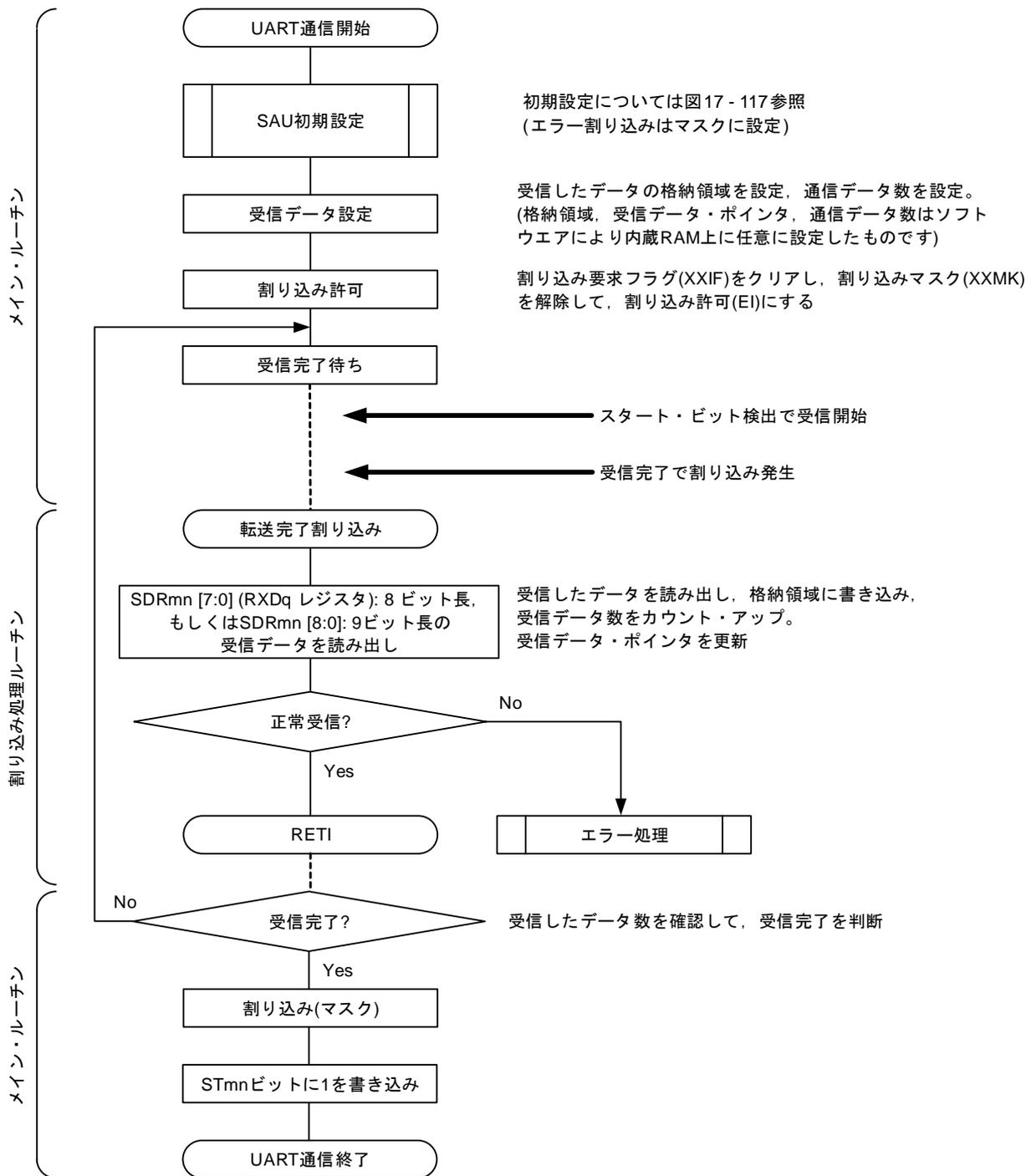
(3) 処理フロー

図17 - 120 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 1), mn = 01
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0)

図17 - 121 UART受信のフロー・チャート



17.7.3 SNOOZE モード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、以下のUARTのみ設定可能です。

- UART0

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図17-124、図17-126 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ポーレートの設定を通常動作時とは異なる値に変更する必要があります。表17-4を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。

STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合に使用できます。

注意2. SNOOZEモードでの転送レートは4800bpsのみです。

注意3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合

注意4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

注意6. UART受信を使用してSTOPモードからSNOOZEモードへ遷移する場合、高速オンチップ・オシレータを使用してください。

表 17 - 4 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (fIH)	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート 4800 bps			
	動作クロック (fMCK)	SDRmn [15:9]	最大許容値	最小許容値
24 MHz ± 1.0%注	fCLK /2 ⁵	79	1.60%	-2.18%
16 MHz ± 1.0%注	fCLK /2 ⁴	105	2.27%	-1.53%
12 MHz ± 1.0%注	fCLK /2 ⁴	79	1.60%	-2.19%
8 MHz ± 1.0%注	fCLK /2 ³	105	2.27%	-1.53%
6 MHz ± 1.0%注	fCLK /2 ³	79	1.60%	-2.19%
4 MHz ± 1.0%注	fCLK /2 ²	105	2.27%	-1.53%
3 MHz ± 1.0%注	fCLK /2 ²	79	1.60%	-2.19%
2 MHz ± 1.0%注	fCLK /2	105	2.27%	-1.54%
1 MHz ± 1.0%注	fCLK	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- fIH ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- fIH ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

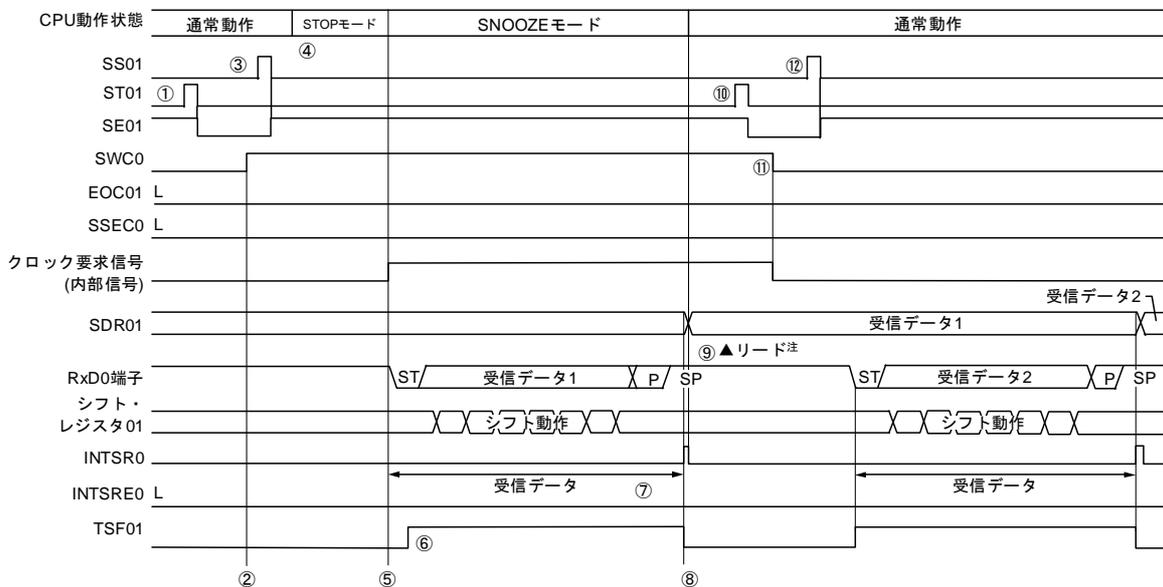
備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0 のため SSECm ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図 17 - 122 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート



注 SWCm = 1 の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

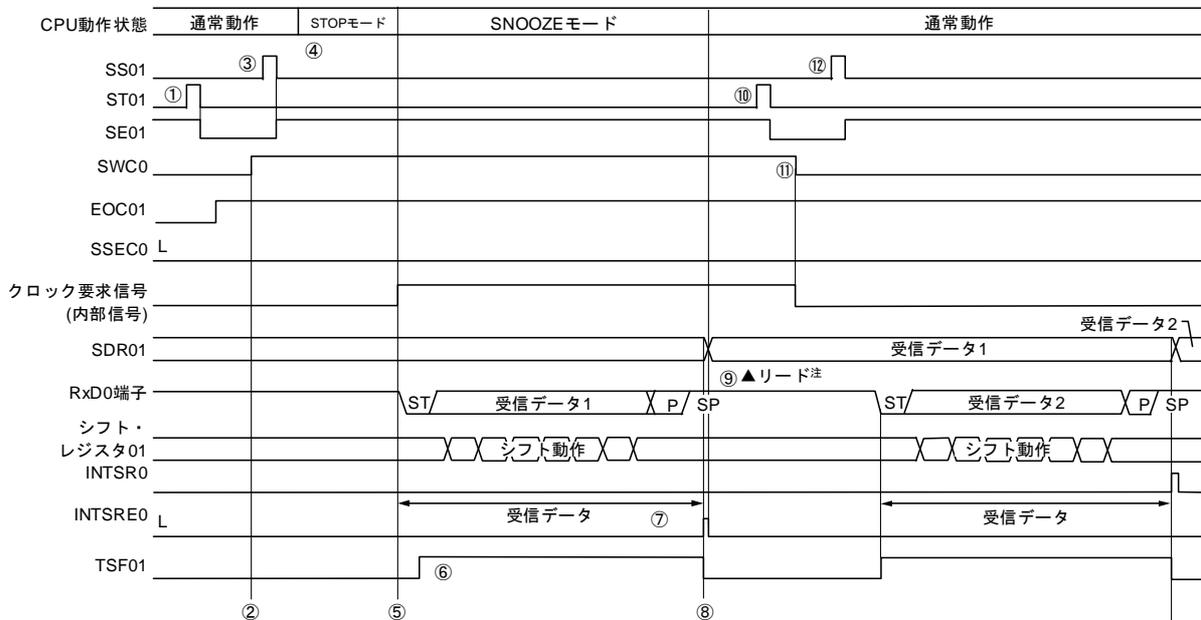
備考1. 図中の①~⑫は、図17-124 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0; q = 0

(2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図 17 - 123 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

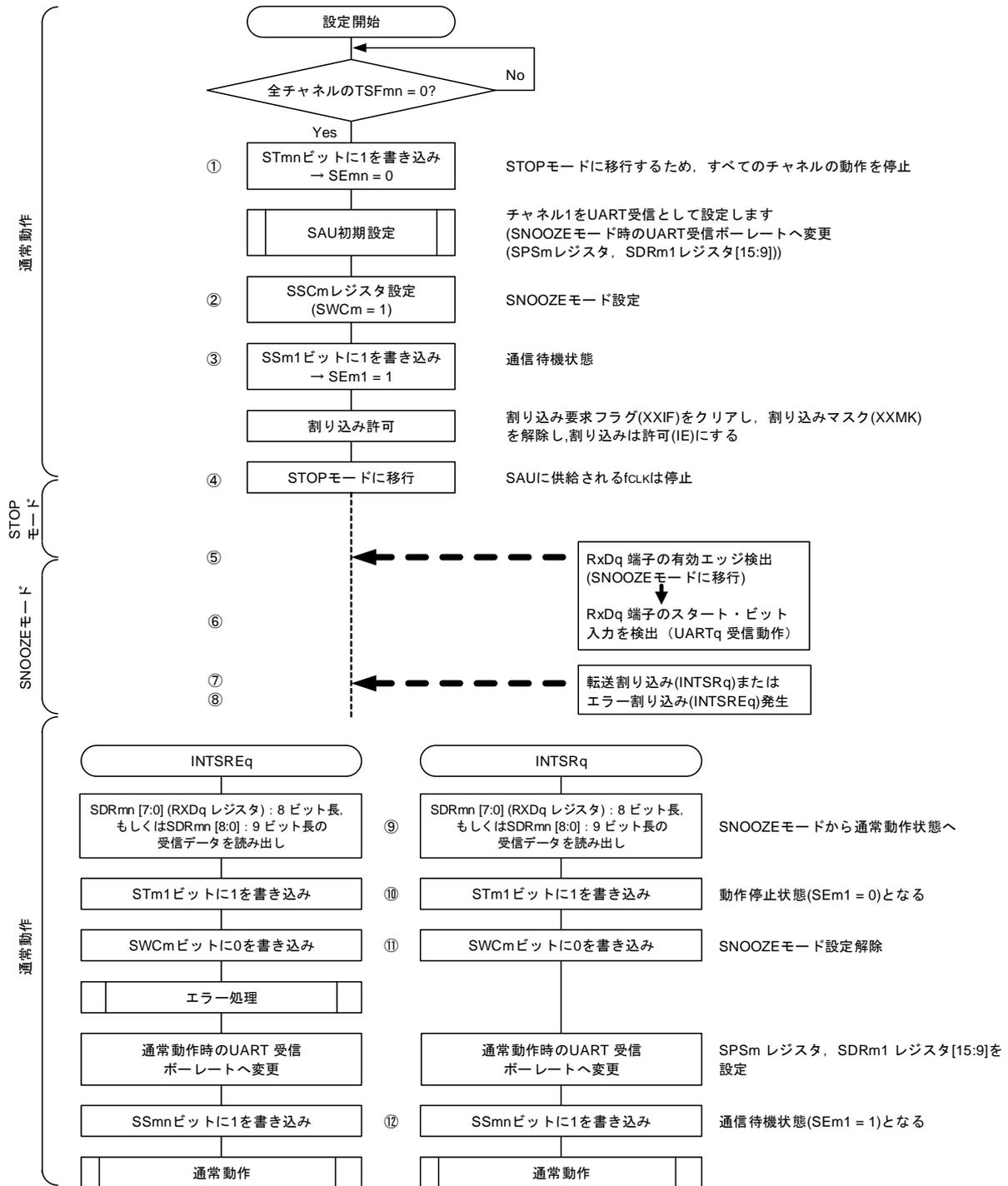
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEM1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図 17 - 124 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0; q = 0

図 17 - 124 SNOOZEモード動作 (EOCm1 = 0, SSECM = 0/1 もしくは EOCm1 = 1, SSECM = 0) 時のフロー・チャート



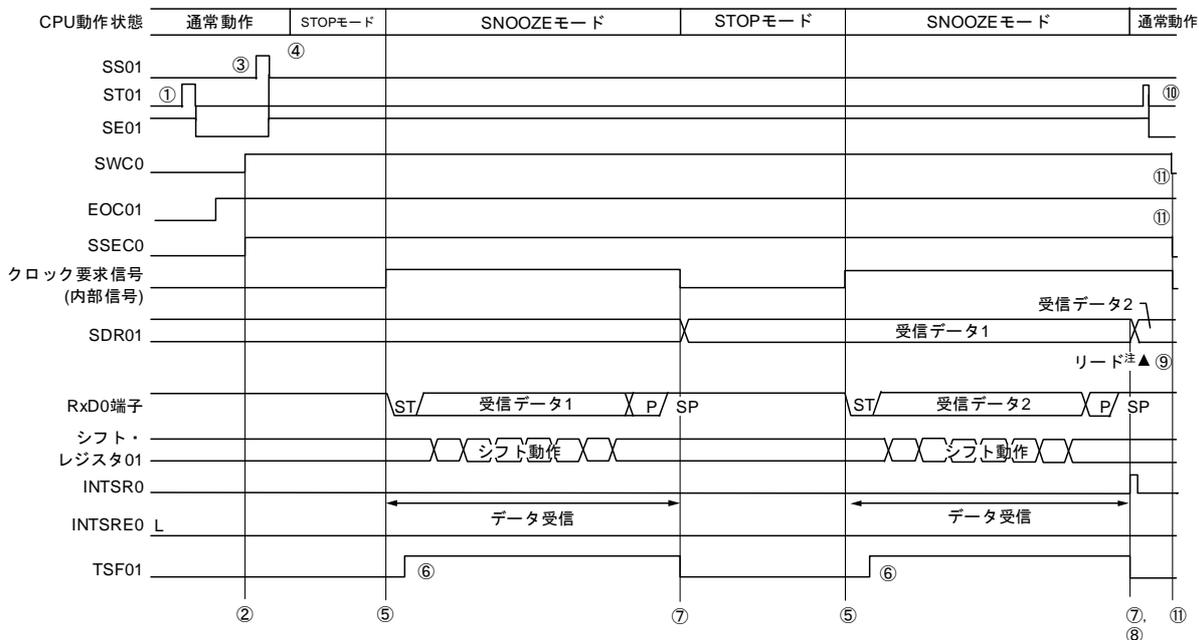
備考 1. 図中の①～⑫は、図 17 - 122 SNOOZEモード動作 (EOCm1 = 0, SSECM = 0/1) 時のタイミング・チャート、図 17 - 123 SNOOZEモード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャートの①～⑫に対応しています。

備考 2. m = 0; q = 0

(3) SNOOZEモード動作(EOCm1 = 1, SSECm = 1 : エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図17 - 125 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

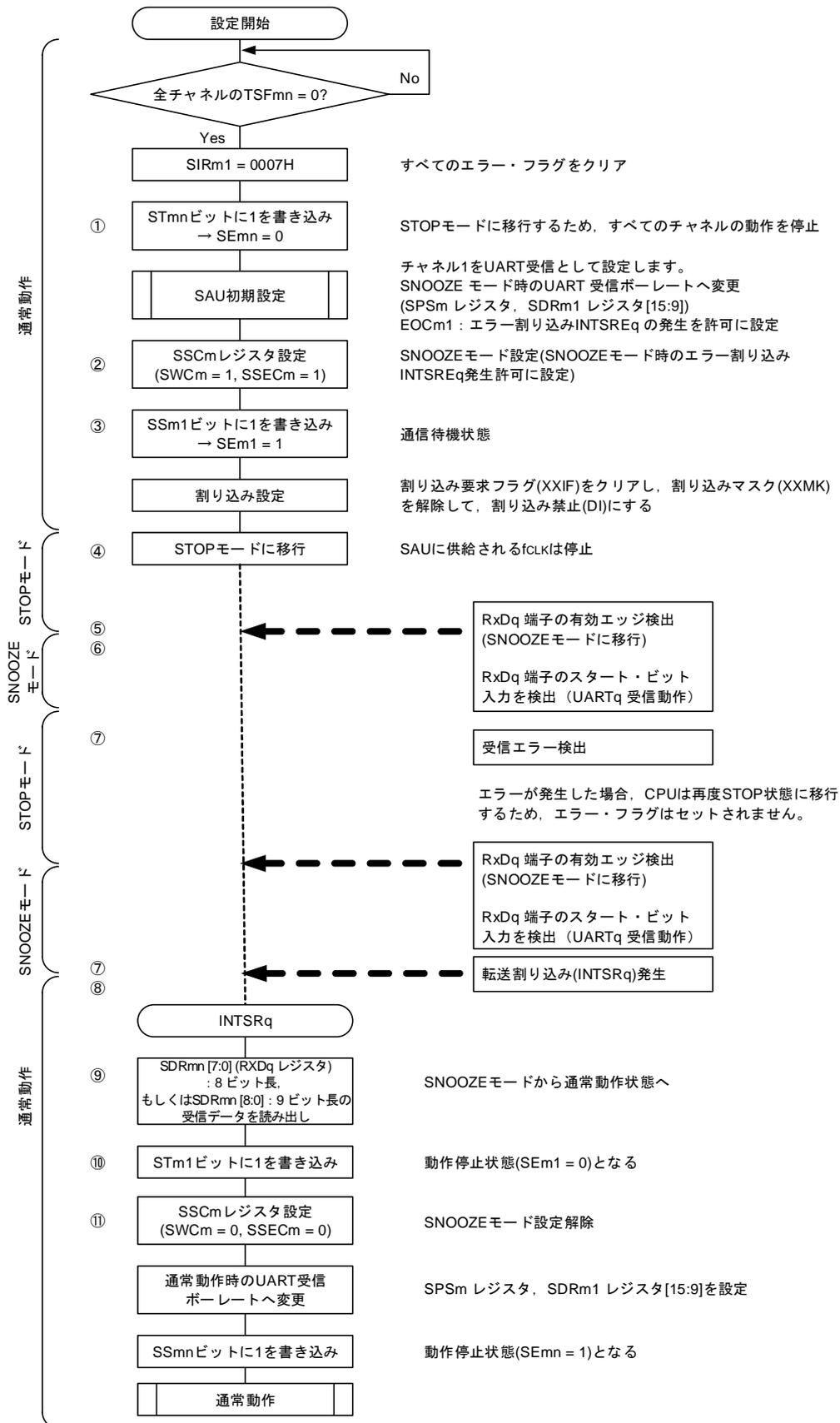
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーパラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①～⑪は、図17 - 126 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0; q = 0

図 17 - 126 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



(注意, 備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFM1 フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1 [8:0] : 9 ビット長を読み出してください。

備考1. 図中の①~⑩は、図 17 - 125 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0; q = 0

17.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART3)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 1), mn=01

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 17 - 5 UART 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時	
0		X	X	X	X	0	0	0	0	fCLK	24 MHz
		X	X	X	X	0	0	0	1	fCLK/2	12 MHz
		X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
		X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
		X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
		X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
		X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
		X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
		X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
		X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
		X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
		X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
		X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
		X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
		X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1		0	0	0	0	X	X	X	X	fCLK	24 MHz
		0	0	0	1	X	X	X	X	fCLK/2	12 MHz
		0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
		0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
		0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
		0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
		0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
		0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
		1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
		1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
		1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
		1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
		1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
		1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
		1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
	1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 1), mn=01

(2) 送信時のボー・レート誤差

UART (UART0-UART3)通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 24 MHzの場合のUARTボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 24 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	77	300.48 bps	+0.16%
600 bps	fCLK/2 ⁸	77	600.96 bps	+0.16%
1200 bps	fCLK/2 ⁷	77	1201.92 bps	+0.16%
2400 bps	fCLK/2 ⁶	77	2403.85 bps	+0.16%
4800 bps	fCLK/2 ⁵	77	4807.69 bps	+0.16%
9600 bps	fCLK/2 ⁴	77	9615.38 bps	+0.16%
19200 bps	fCLK/2 ³	77	19230.8 bps	+0.16%
31250 bps	fCLK/2 ³	47	31250.0 bps	±0.0%
38400 bps	fCLK/2 ²	77	38461.5 bps	+0.16%
76800 bps	fCLK/2	77	76923.1 bps	+0.16%
153600 bps	fCLK	77	153846 bps	+0.16%
312500 bps	fCLK	37	315789 bps	±1.05%

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0), mn=00

(3) 受信時のポー・レート許容範囲

UART (UART0)通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値(17.7.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1), mn = 01

図17-127 受信時の許容ポー・レート範囲(1データ・フレーム長 = 11ビットの場合)

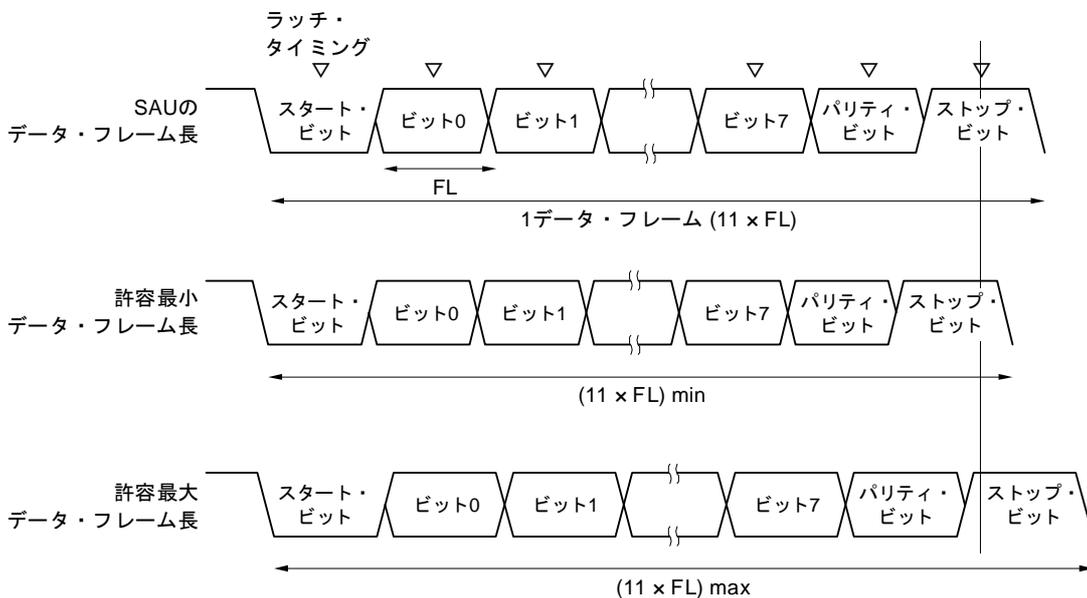


図17-127に示すように、スタート・ビット検出後はシリアル・データ・レジスタ mn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

17.7.5 UART (UART0)通信時におけるエラー発生時の処理手順

UART (UART0)通信時にエラーが発生した場合の処理手順を図17 - 128, 図17 - 129に示します。

図17 - 128 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図17 - 129 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“0”となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn = 00, 01

17.8 簡易I²C (IIC00, IIC01)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

* [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- マルチ・マスタ機能(アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、17.8.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0, 1), mn=00, 01

簡易I²C (IIC00, IIC01)に対応しているチャンネルは、SAU0のチャンネル0, 1です。

○20ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○24, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01

○30ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—

○48ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	CSI01		IIC01

簡易I²C (IIC00, IIC01)の通信動作は、以下の4種類があります。

- アドレス・フィールド送信(17.8.1項を参照)
- データ送信(17.8.2項を参照)
- データ受信(17.8.3項を参照)
- ストップ・コンディション発生(17.8.4項を参照)

17.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00	IIC01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCL00, SDA00注 ¹	SCL01, SDA01注 ¹
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)	
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)	
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)	
転送レート注 ²	Max.fmck/4 [Hz] (SDRmn[15:9] = 1以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 	
データ・レベル	非反転出力(デフォルト: ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加(ACK受信タイミング用)	
データ方向	MSBファースト	

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

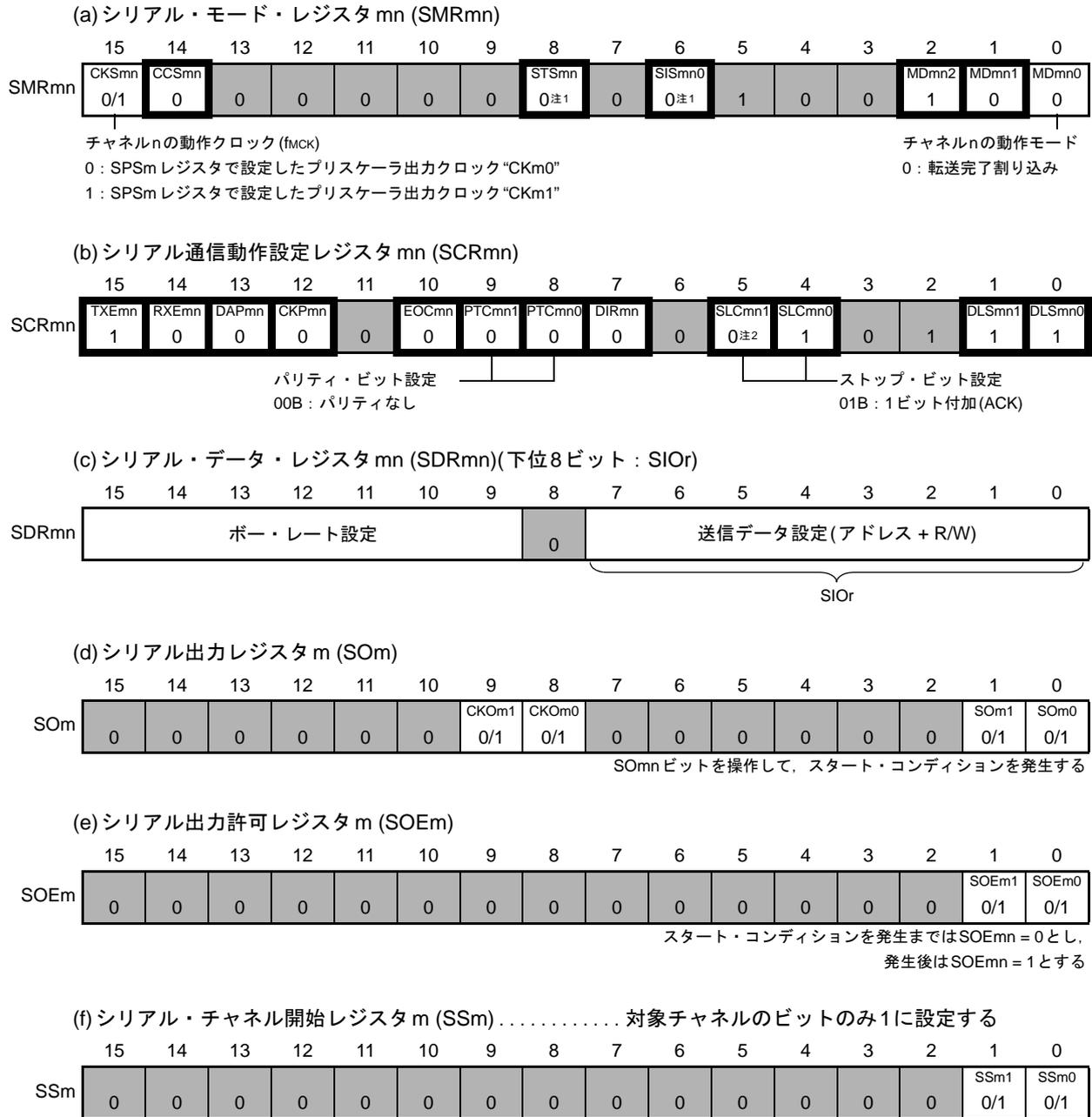
詳細は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1), mn=00, 01

(1) レジスタ設定

図 17 - 130 簡易 I²C (IIC00, IIC01) のアドレス・フィールド送信時のレジスタ設定内容例



注1. SMR00レジスタのみ。
 注2. SCR00レジスタのみ。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) r : IIC番号 (r = 00, 01), mn=00, 01

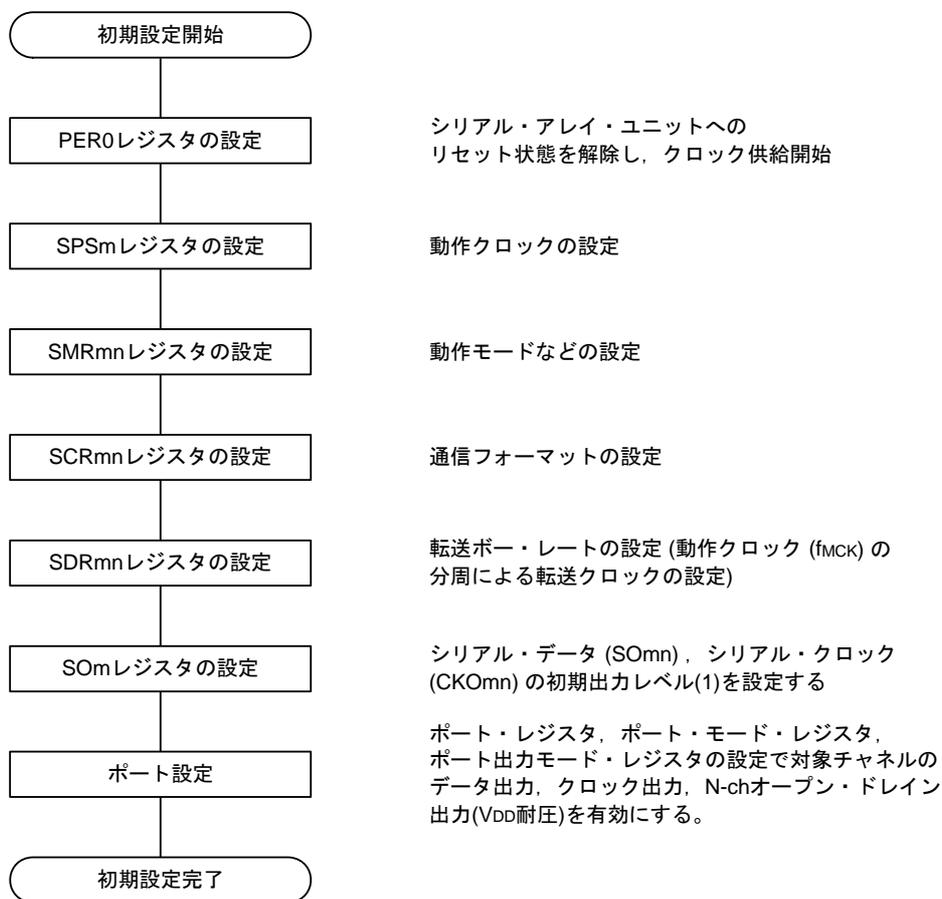
備考2. ■ : IICモードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

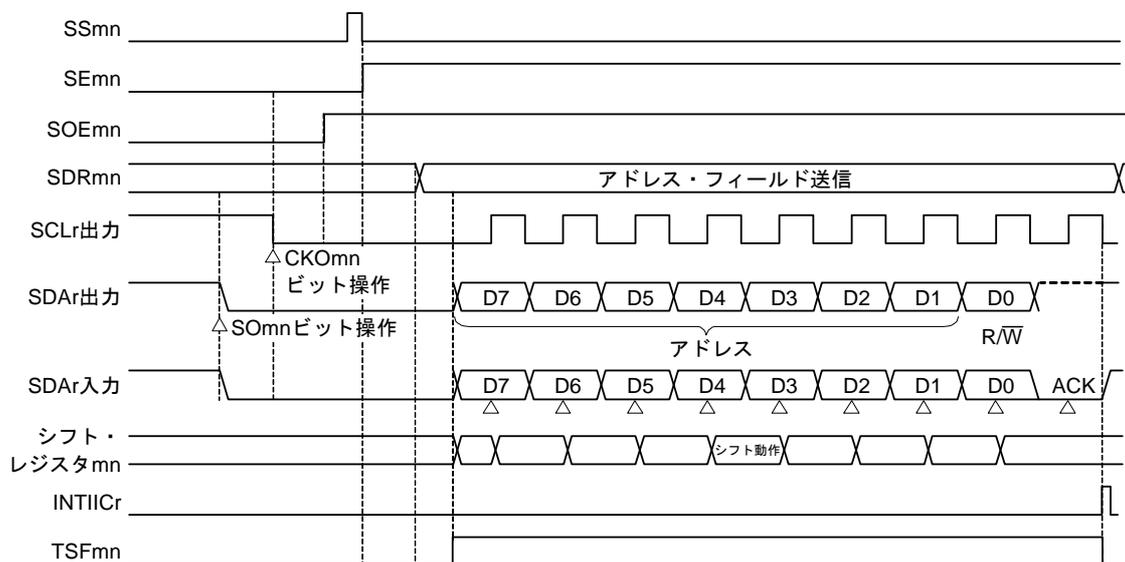
図17-131 アドレス・フィールド送信の初期設定手順



備考 初期設定完了時点では、簡易I²C (IIC00, IIC01)は出力禁止、動作停止状態としておきます。

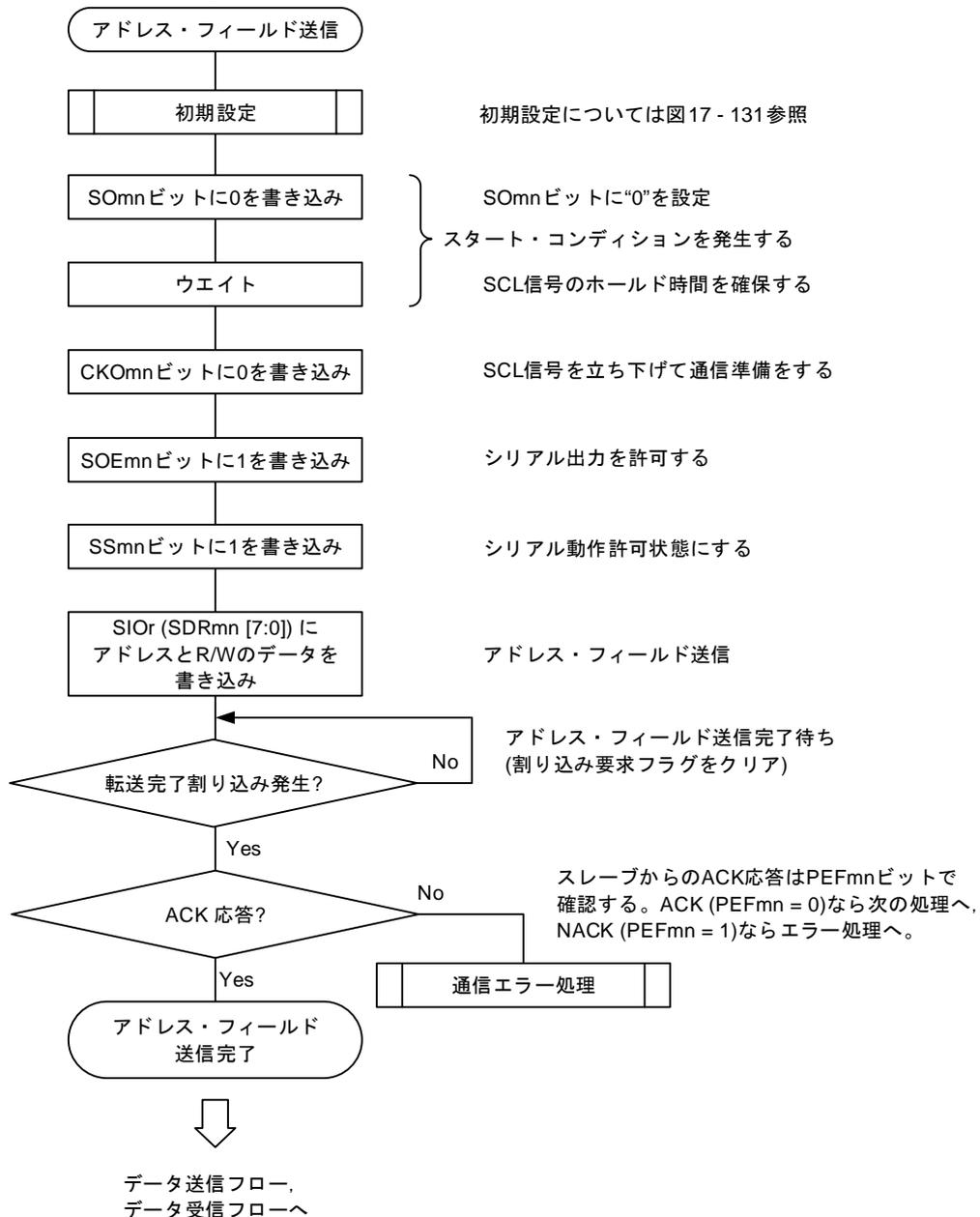
(3) 処理フロー

図17-132 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 00, 01), mn=00, 01

図17-133 アドレス・フィールド送信のフロー・チャート



17.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)	
エラー検出フラグ	ACKエラー・フラグ(PEFmn)	
転送データ長	8ビット	
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 	
データ・レベル	非反転出力(デフォルト: ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加(ACK受信タイミング用)	
データ方向	MSBファースト	

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1), mn=00, 01

(1) レジスタ設定

図 17 - 134 簡易 I²C (IIC00, IIC01) のデータ送信時のレジスタ設定内容例



- 注1. SMR01レジスタのみ。
- 注2. SCR00レジスタのみ。
- 注3. アドレス・フィールド送信で設定済みなので、設定不要です。
- 注4. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) r : IIC 番号 (r = 00, 01), mn=00, 01

備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図17-135 データ送金のタイミング・チャート

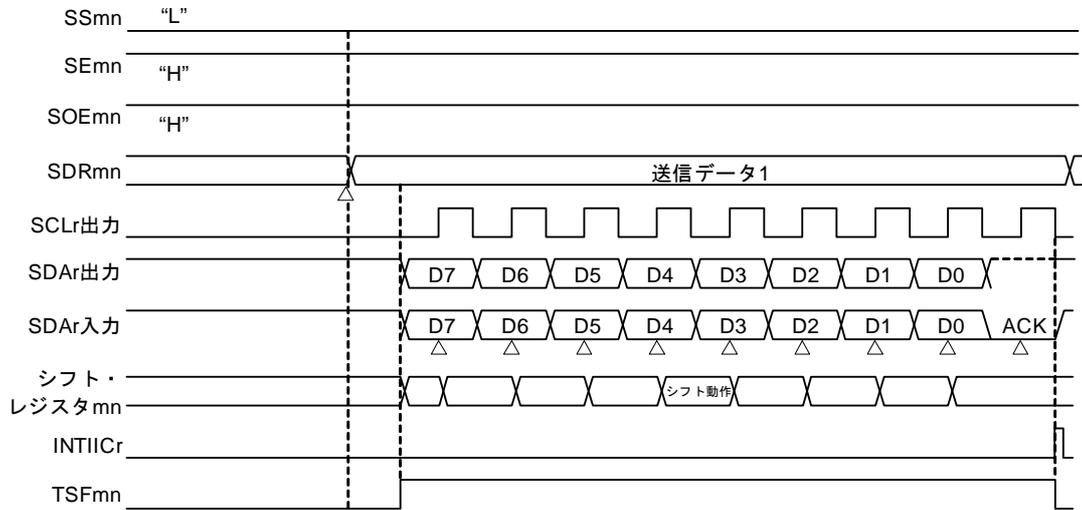
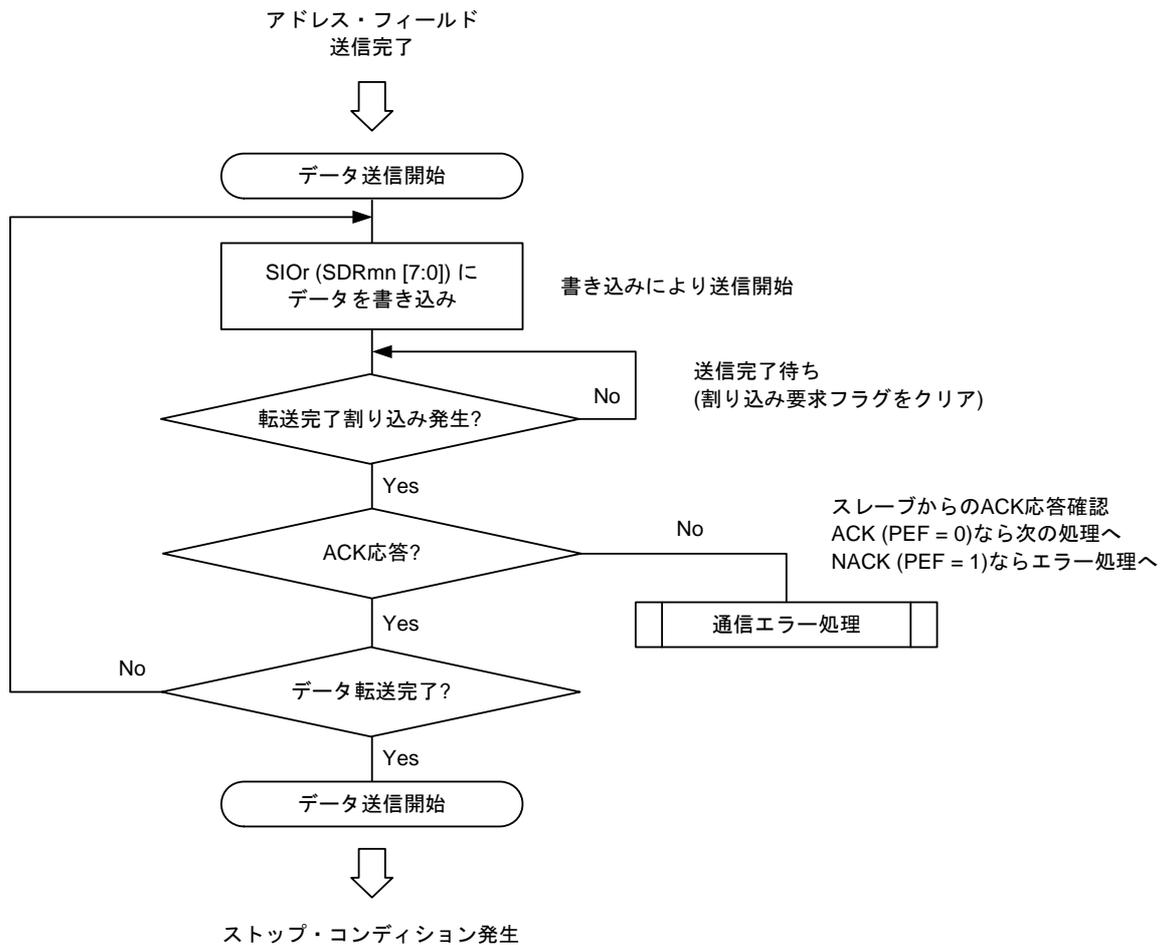


図17-136 データ送金のフロー・チャート



17.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	8ビット	
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 	
データ・レベル	非反転出力(デフォルト:ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加(ACK送信)	
データ方向	MSBファースト	

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1), mn=00, 01

(1) レジスタ設定

図 17 - 137 簡易 I²C (IIC00, IIC01) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0注2	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定注3								0	ダミー送信データ設定 (FFH)							
	SIO _r																

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1	CKOm0							SOm1	SOm0
	0	0	0	0	0	0	0/1注4	0/1注4	0	0	0	0	0	0	0/1注4	0/1注4

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

注1. SMR01レジスタのみ。

注2. SCR00レジスタのみ。

注3. アドレス・フィールド送信で設定済みなので、設定不要です。

注4. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) r : IIC 番号 (r = 00, 01), mn=00, 01

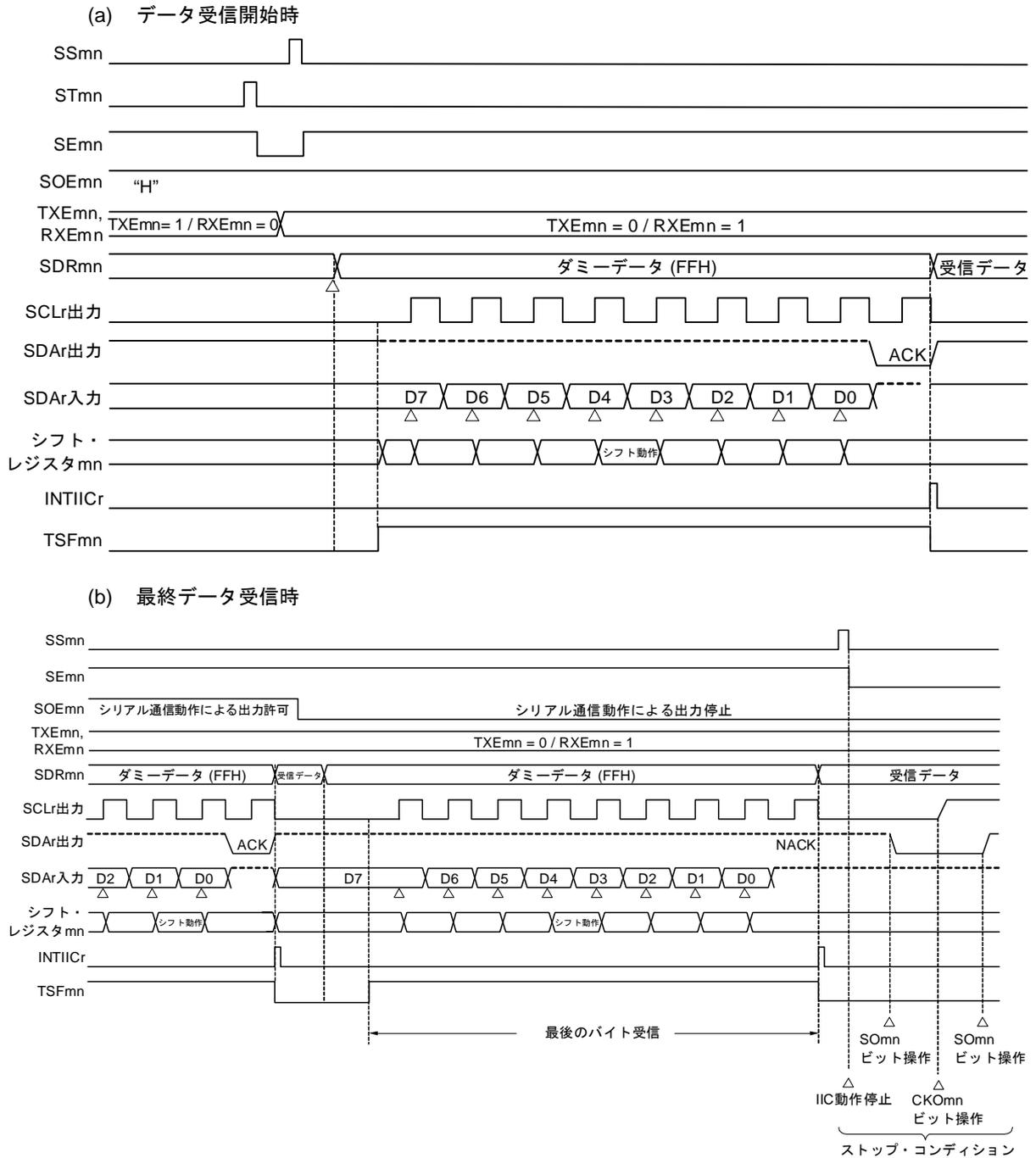
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

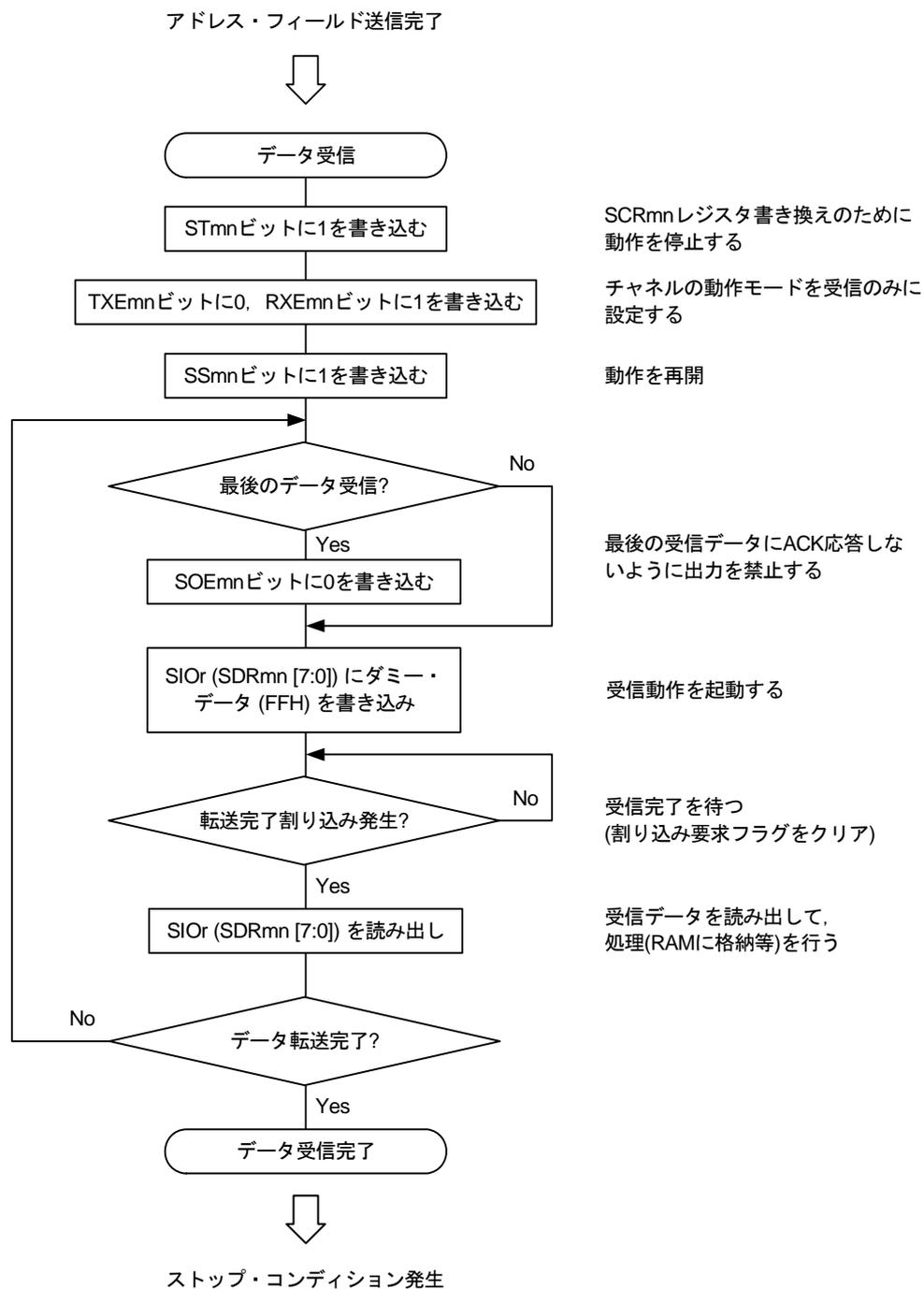
(2) 処理フロー

図17-138 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 00, 01), mn=00, 01

図17-139 データ受信のフロー・チャート



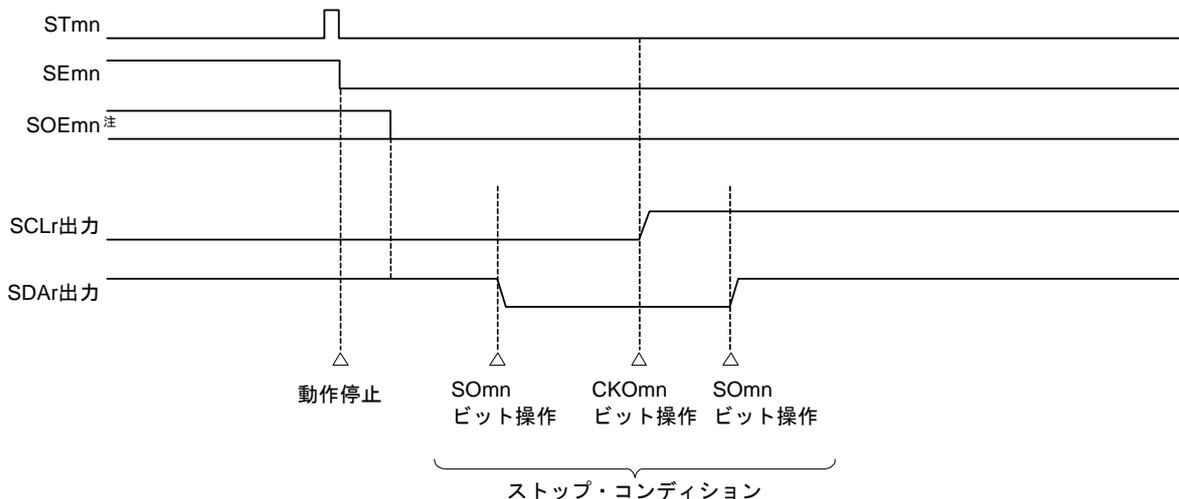
注意 最終データの受信時はACKを出しません(NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに "1" を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

17.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

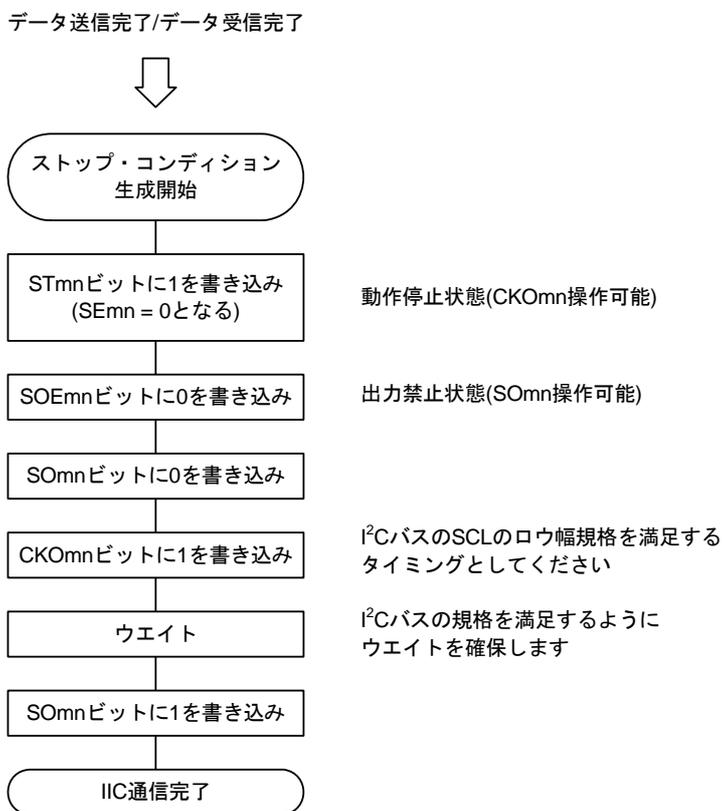
(1) 処理フロー

図17-140 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを“0”に設定しています。

図17-141 ストップ・コンディション発生のフロー・チャート



17.8.5 転送レートの算出

簡易I²C (IIC00, IIC01)通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{ \text{対象チャンネルの動作クロック (fmck) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn=00, 01

動作クロック (fmck) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 17 - 6 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fmCK)注	
	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時	
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1), mn=00, 01

fmCK = fCLK = 24 MHz の場合の I²C 転送レート設定例を示します。

I ² C 転送モード (希望転送レート)	fCLK = 24 MHz 時			
	動作クロック (fmCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	59	100 kHz	0.0%注
400 kHz	fCLK	31	375 kHz	6.25%注
1 MHz	fCLK	14	0.80 MHz	20.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

17.8.6 簡易 I²C (IIC00, IIC01) 通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC01) 通信時にエラーが発生した場合の処理手順を図 17 - 142, 図 17 - 143に示します。

図 17 - 142 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	→ SSRmn レジスタの BFFmn ビットが“0”となり, チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる

図 17 - 143 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが“0”となり, チャンネル n は動作停止状態になる	ACK が返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが“1”となり, チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) r : IIC 番号 (r = 00, 01), mn = 00, 01

第18章 データ演算回路(DOC)

18.1 概要

データ演算回路(DOC)は、16ビットのデータを比較、加算または減算をする機能です。

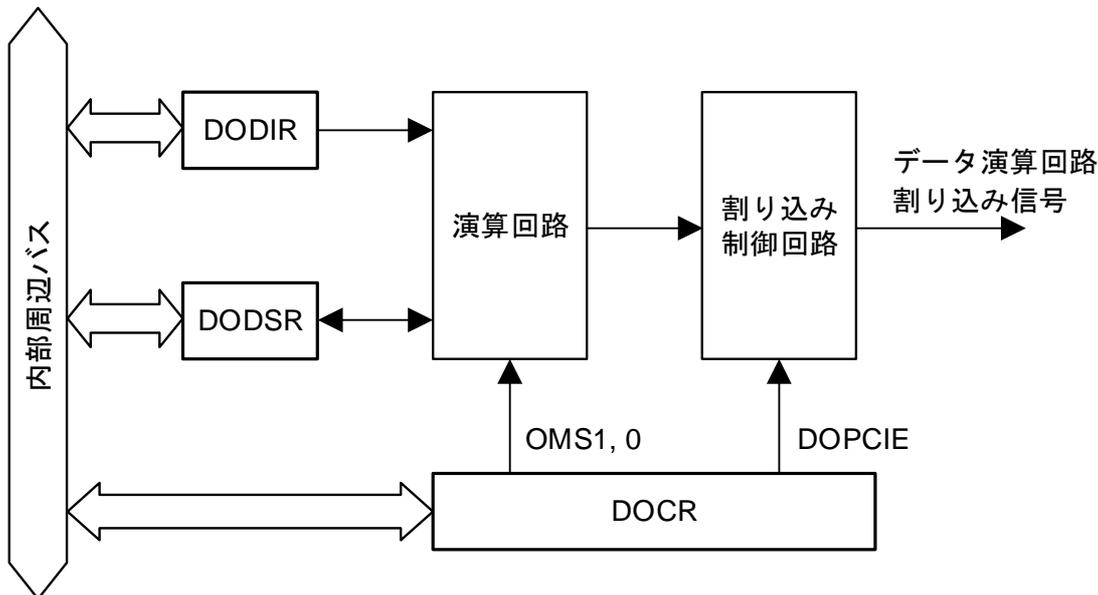
表18-1にデータ演算回路(DOC)の仕様を示します。データ演算回路のブロック図を図18-1に示します。

16ビットのデータを比較し、選択した条件に該当する場合に割り込みを発生させることができます。

表18-1 データ演算回路の仕様

項目	仕様
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果がFFFFHより大きくなったとき データ減算の結果が0000Hより小さくなったとき

図18-1 データ演算回路のブロック図



DOCR : DOCコントロールレジスタ
 DODIR : DOCデータインプットレジスタ
 DODSR : DOCデータセッティングレジスタ

18.2 データ演算回路を制御するレジスタ

表18-2にデータ演算回路を制御するレジスタを示します。

表18-2 データ演算回路を制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ2	PER2
周辺リセット制御レジスタ2	PRR2
DOCコントロールレジスタ	DOCR
DOCデータインプットレジスタ	DODIR
DOCデータセッティングレジスタ	DODSR

18.2.1 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

データ演算回路を使用するときは、必ずビット5 (DOCEN)を1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	FMCEN	DOCEN	0	0	0	0	0

DOCEN	データ演算回路の入カクロック供給の制御
0	入カクロック供給停止 ・データ演算回路で使用するSFRへのライト不可、リードした場合は0Hが読めます。ただし、初期化はされていません。注
1	入カクロック供給 ・データ演算回路で使用するSFRへのリード／ライト可

注 データ演算回路およびデータ演算回路で使用するSFRを初期化する場合、PRR2のビット5 (DOCRES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。

ビット0～4

注意2. 各周辺機能が動作許可の状態、PER2レジスタの対象ビットを切り替えしないでください。PER2による設定は、PER2に割り当てている各周辺機能が停止している状態で切り替えてください(ただし、FMCENは除く)。

18.2.2 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

データ演算回路をリセットする場合は、必ずビット5 (DOCRES)を1に設定してください。

PRR2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR2レジスタは00Hになります。

図18-3 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	0	DOCRES	0	0	0	0	0

DOCRES	データ演算回路のリセット制御
0	データ演算回路のリセット解除
1	データ演算回路はリセット状態

18.2.3 DOCコントロールレジスタ(DOCR)

図18-4 DOCコントロールレジスタ(DOCR)のフォーマット

アドレス : F0511H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DOCR	0	DOPCFCL	DOPCF	DOPCIE	0	DCSEL	OMS1	OMS0

DOPCFCL	DOPCFクリア
0	何もしない
1	DOPCFフラグをクリア
本ビットを“1”にするとDOPCFフラグをクリアします。 読むと“0”が読めます。	

DOPCF	データ演算回路フラグ
0	DOPCFCLビットに“1”を書き込んだとき
1	<ul style="list-style-type: none"> DCSELビットで選択した条件になったとき データ加算の結果がFFFFHより大きくなったとき データ減算の結果が0000Hより小さくなったとき
演算結果を示します。	

DOPCIE	データ演算回路割り込み許可
0	データ演算回路割り込み無効
1	データ演算回路割り込み有効
本ビットが“1”の場合、データ演算回路割り込みを許可します。	

DCSEL	検出条件選択
0	不一致を検出する。
1	一致を検出する。
データ比較モード選択時のみ有効です。 本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。	

OMS1	OMS0	動作モード選択
0	0	データ比較モード
0	1	データ加算モード
1	0	データ減算モード
1	1	設定禁止
本ビットの設定によりデータ演算回路の動作モードを選択します。		

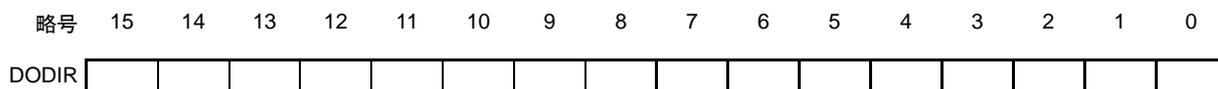
注意 ビット3, 7には、必ず“0”を設定してください。

18.2.4 DOCデータインプットレジスタ(DODIR)

DODIRレジスタは、演算対象の16ビットのデータを格納する16ビットの読み出し／書き込み可能なレジスタです。

図18-5 DOCデータインプットレジスタ(DODIR)のフォーマット

アドレス : F0512H リセット時 : 0000H R/W

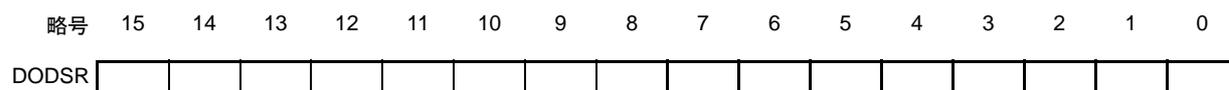


18.2.5 DOCデータセッティングレジスタ(DODSR)

DODSRレジスタは、16ビットの読み出し／書き込み可能なレジスタです。データ比較モードでは、基準となる16ビットのデータを格納します。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

図18-6 DOCデータセッティングレジスタ(DODSR)のフォーマット

アドレス : F0514H リセット時 : 0000H R/W



18.3 動作説明

18.3.1 データ比較モード

図18-7にデータ比較モードの動作例を示します。

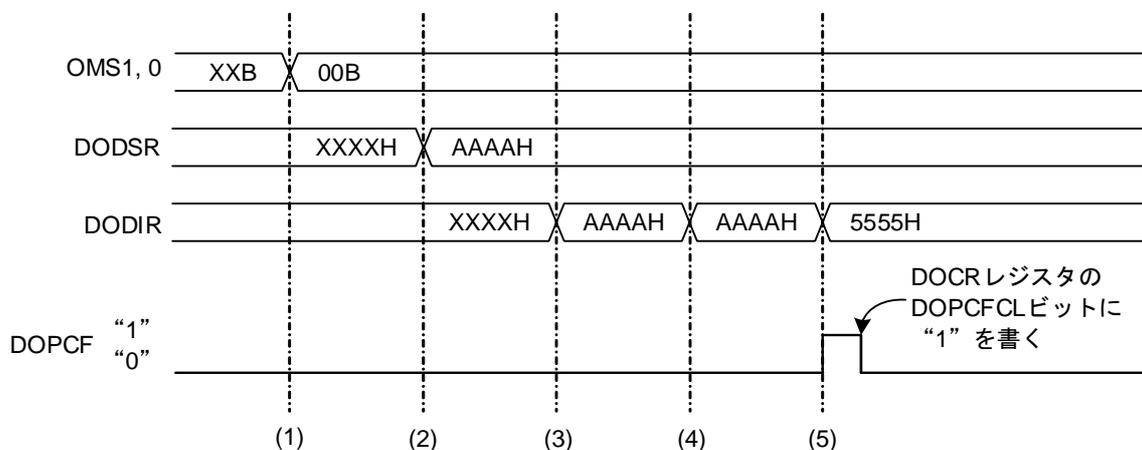
データ演算回路は、データ比較モード時、以下のように動作します。

以下はDCSEL = 0 (データ比較の結果、不一致を検出)設定時の動作例です。

- (1) DOCRレジスタのOMS1,0ビットに“00B”を書き込むと、データ比較モードになります。
- (2) DODSRレジスタに基準となる16ビットのデータを設定します。
- (3) DODIRレジスタに比較する16ビットのデータを書き込みます。
- (4) すべての比較するデータの書き込みが完了するまで、DODIRレジスタに比較する16ビットのデータを書き込みます。
- (5) DODIRレジスタに書き込まれたデータが、DODSRレジスタに設定されているデータと一致しなかった注
とき、DOCRレジスタのDOPCFフラグが“1”になります。また、DOCRレジスタのDOPCIEビットが“1”
の場合は、データ演算回路割り込みが発生します。

注 DOCRレジスタのDCSEL = 0の場合

図18-7 データ比較モードの動作例



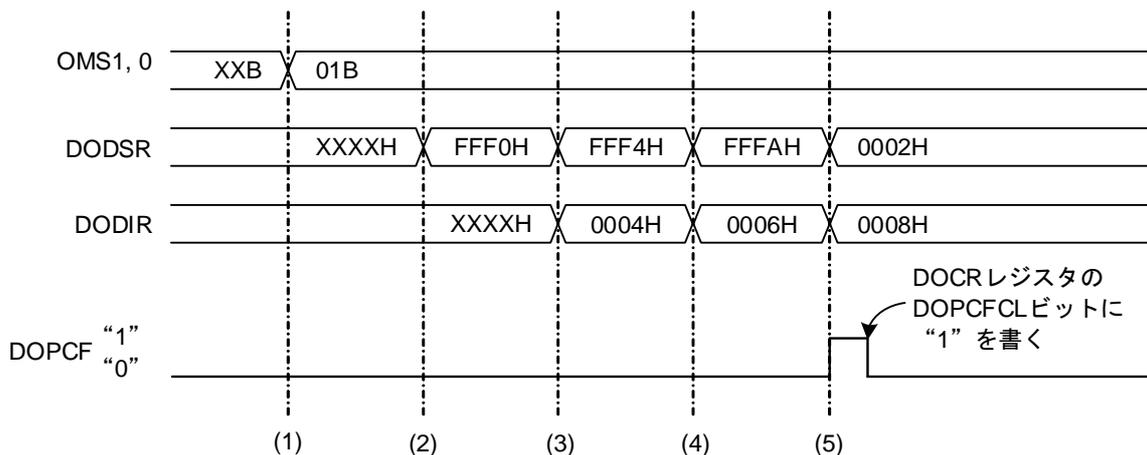
18.3.2 データ加算モード

図18-8にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCRレジスタのOMS1,0ビットに“01B”を書き込むと、データ加算モードになります。
- (2) DODSRレジスタに初期値として16ビットのデータを設定します。
- (3) DODIRレジスタに加算する16ビットのデータを書き込みます。演算結果はDODSRレジスタに格納されます。
- (4) すべての加算するデータの書き込みが完了するまで、DODIRレジスタに加算する16ビットのデータを書き込みます。
- (5) 演算結果が“FFFFH”よりも大きくなったときDOCRレジスタのDOPCFフラグが“1”になります。また、DOCRレジスタのDOPCFCLビットが“1”の場合は、データ演算回路割り込みが発生します。

図18-8 データ加算モードの動作例



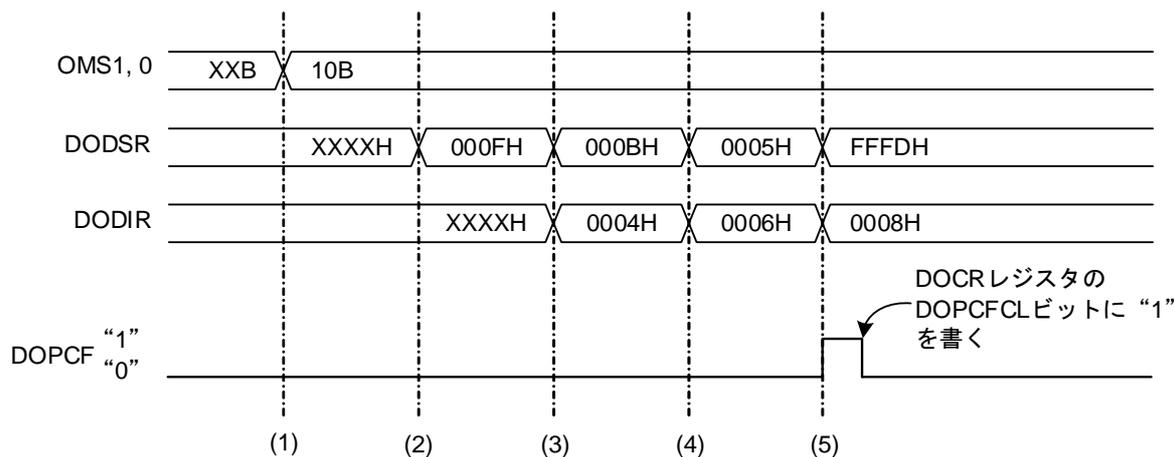
18.3.3 データ減算モード

図18-9にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCRレジスタのOMS1,0ビットに“10B”を書き込むと、データ減算モードになります。
- (2) DODSRレジスタに初期値として16ビットのデータを設定します。
- (3) DODIRレジスタに減算する16ビットのデータを書き込みます。演算結果はDODSRレジスタに格納されます。
- (4) すべての減算するデータの書き込みが完了するまで、DODIRレジスタに減算する16ビットのデータを書き込みます。
- (5) 演算結果が“0000H”よりも小さくなったときDOCRレジスタのDOPCFフラグが“1”になります。また、DOCRレジスタのDOPCFCLビットが“1”の場合は、データ演算回路割り込みが発生します。

図18-9 データ減算モードの動作例



18.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表18-3に割り込み要求の内容を示します。

表18-3 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none">データ比較の結果が一致または不一致のときデータ加算の結果がFFFFHより大きくなったときデータ減算の結果が0000Hより小さくなったとき

表 19 - 1 DTCの仕様

項目		仕様
起動要因		22 要因
配置可能なコントロールデータ		24 通り
転送可能な アドレス空間	アドレス空間	64 Kバイト空間(F0000H~FFFFFFH)ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、ミラー領域を介してアクセスできるコード・フラッシュ・メモリ領域注、データ・フラッシュ・メモリ領域注、拡張特殊機能レジスタ(2nd SFR)
	デスティネーション	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、拡張特殊機能レジスタ(2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送 ブロックサイズ	ノーマルモード(8ビット転送)	256バイト
	ノーマルモード(16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表 19 - 5 DTC起動要因とベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> DTCENi0~DTCENi7ビットを0(起動禁止)にする DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> DTCENi0~DTCENi7ビットを0(起動禁止)にする RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

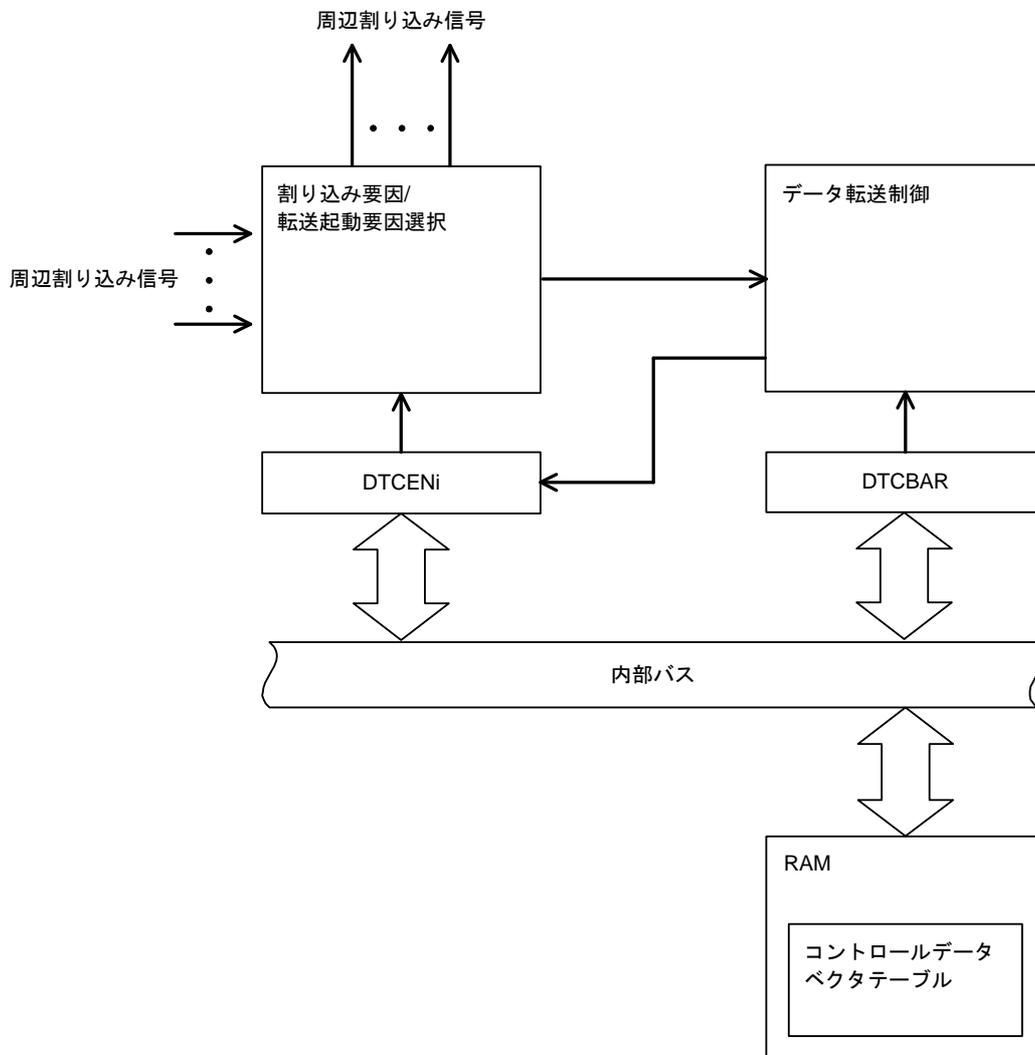
注 HALTモード、およびSNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0~2, j = 0~23

19.2 DTCの構成

図19 - 1にDTCのブロック図を示します。

図19 - 1 DTCのブロック図



19.3 DTCを制御するレジスタ

表19-2にDTCを制御するレジスタを示します。

表19-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTCベースアドレスレジスタ	DTCBAR

表19-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表19-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロックサイズレジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロードレジスタj	DTRL Dj
DTCソースアドレスレジスタj	DTSARj
DTCデスティネーションアドレスレジスタj	DTDARj

備考 j = 0 ~ 23

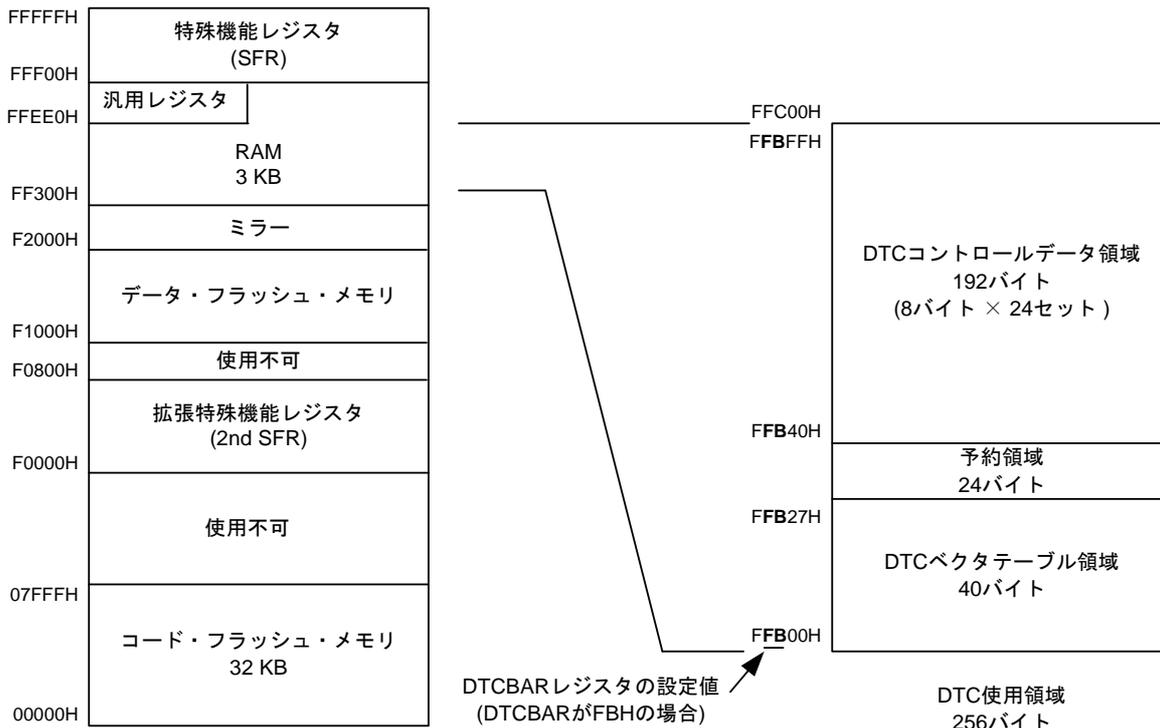
19.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図19-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図19-2 DTCBARレジスタにFBHを設定したときのメモリマップ例



DTCのコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- 注意2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 注意3. 次に示す製品の内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F117xC (x = A, B, G) : FF300H-FF709H
- 注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F117xC (x = A, B, G) : FF700H-FF8FFH

19.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23) レジスタの順に配置します。

先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図19-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENi (i = 0~2)のDTCENi0~DTCENi7ビットが0(起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

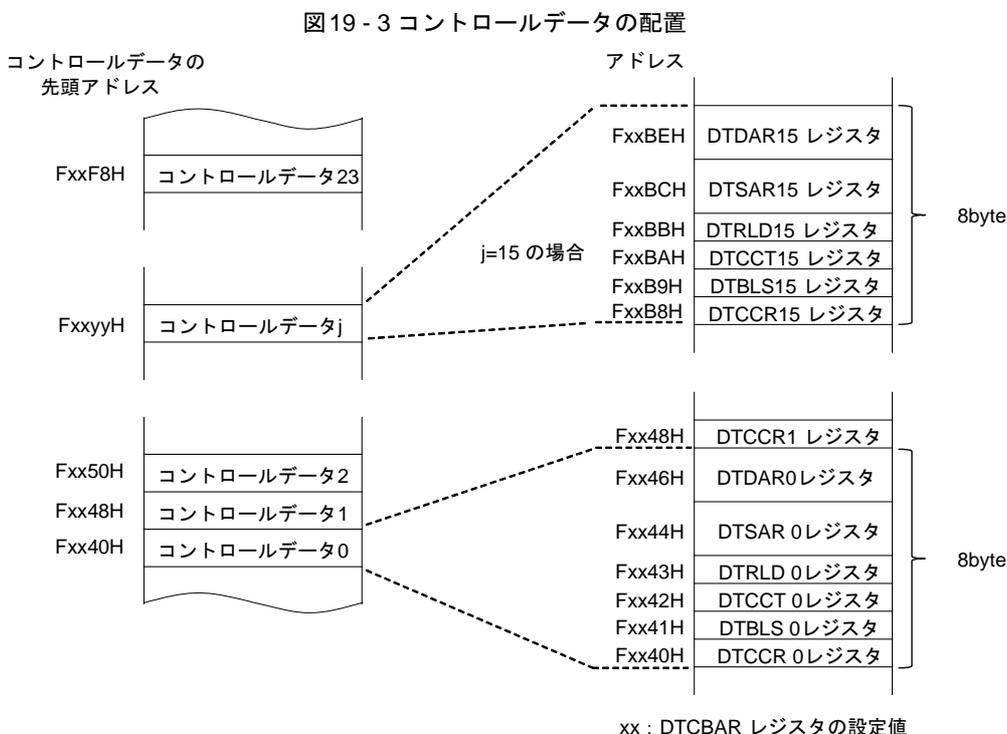


表19-4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考xx : DTCBAR レジスタの設定値

19.3.3 ベクタテーブル

DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出した下位8ビットのアドレスデータにより 24組のコントロールデータから 1つコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

ベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因に対応して00Hから16Hまでが割り当てられます。起動要因ごとにベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、DTC起動時にはこの下位4ビットのアドレスを元に24組のコントロールデータから 1つを選択します。表19-4にDTC起動要因とベクタアドレスを示します。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0 ~ 2) レジスタのDTCENi0 ~ DTCENi7 ビットが0 (起動禁止) のときに変更してください。

図19-4 コントロールデータの先頭アドレスとベクタテーブル

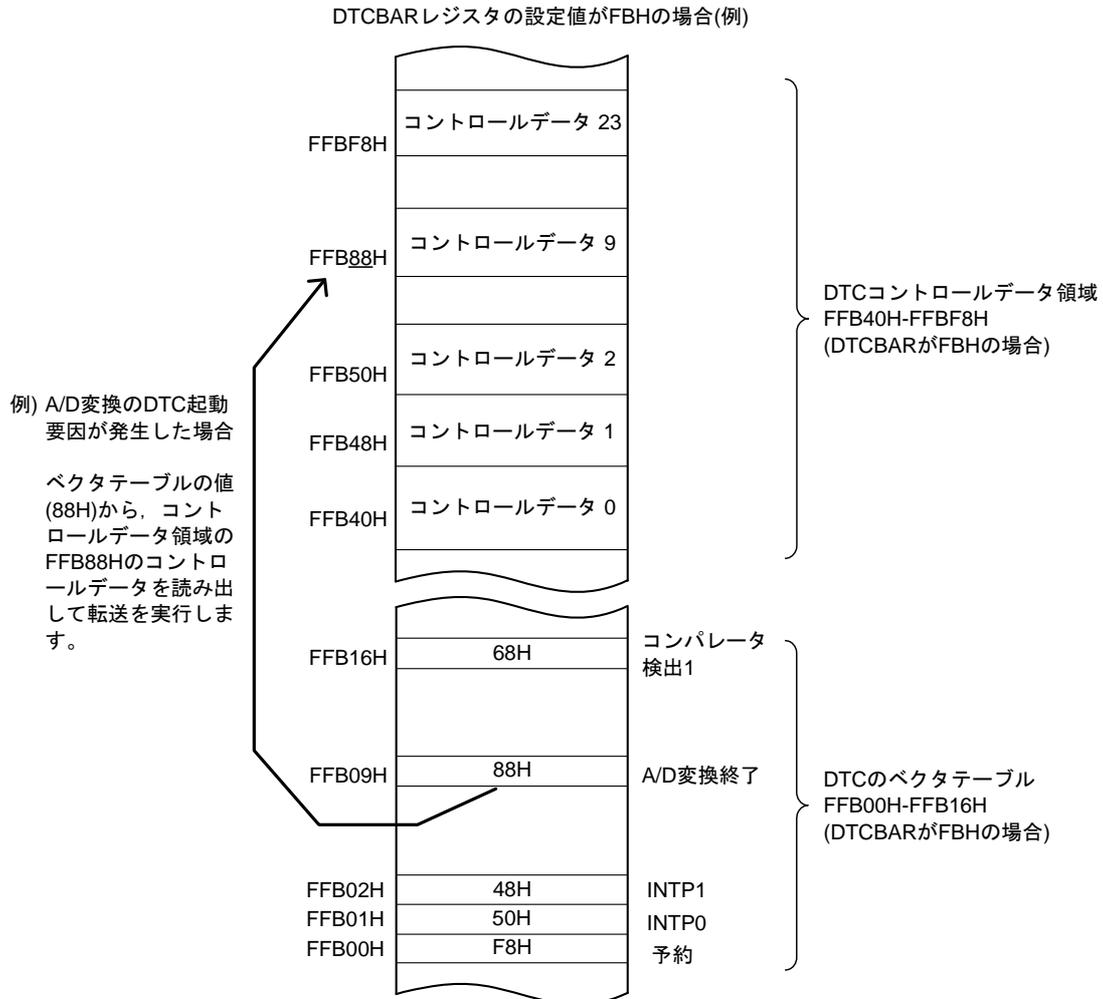


表 19 - 5 DTC 起動要因とベクタアドレス

DTC 起動要因 (割り込み要因発生元)	要因 番号	ベクタアドレス	優先順位
予約	0	DTCBAR レジスタの設定アドレス + 00H	高
INTP0	1	DTCBAR レジスタの設定アドレス + 01H	▲
INTP1	2	DTCBAR レジスタの設定アドレス + 02H	
INTP2	3	DTCBAR レジスタの設定アドレス + 03H	
INTP3	4	DTCBAR レジスタの設定アドレス + 04H	
INTP4	5	DTCBAR レジスタの設定アドレス + 05H	
INTP5	6	DTCBAR レジスタの設定アドレス + 06H	
INTP6	7	DTCBAR レジスタの設定アドレス + 07H	
キー入力	8	DTCBAR レジスタの設定アドレス + 08H	
A/D変換終了	9	DTCBAR レジスタの設定アドレス + 09H	
UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	10	DTCBAR レジスタの設定アドレス + 0AH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	11	DTCBAR レジスタの設定アドレス + 0BH	
タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	12	DTCBAR レジスタの設定アドレス + 0CH	
タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	13	DTCBAR レジスタの設定アドレス + 0DH	
タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	14	DTCBAR レジスタの設定アドレス + 0EH	
タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	15	DTCBAR レジスタの設定アドレス + 0FH	
12ビット・インターバル・タイマ	16	DTCBAR レジスタの設定アドレス + 10H	
8ビット・インターバル・タイマ00	17	DTCBAR レジスタの設定アドレス + 11H	
8ビット・インターバル・タイマ01	18	DTCBAR レジスタの設定アドレス + 12H	
8ビット・インターバル・タイマ10	19	DTCBAR レジスタの設定アドレス + 13H	
8ビット・インターバル・タイマ11	20	DTCBAR レジスタの設定アドレス + 14H	▼
コンパレータ検出0	21	DTCBAR レジスタの設定アドレス + 15H	
コンパレータ検出1	22	DTCBAR レジスタの設定アドレス + 16H	低

19.3.4 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	CMPEN	0	DTCEN	0	0	0

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 • DTCは動作不可
1	入カクロック供給 • DTCは動作可

注意 ビット0～2, 4, 6, 7には必ず“0”を設定してください。

19.3.5 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図19-6 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス : 19.3.2 コントローラデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ		転送データサイズを選択						
	0	8ビット						
	1	16ビット						
RPTINT		リピートモード割り込みの許可・禁止						
	0	割り込み発生禁止						
	1	割り込み発生許可						
MODEビットが0 (ノーマルモード)のときRPTINTビットの設定は無効です。								
CHNE		チェーン転送の許可・禁止						
	0	チェーン転送禁止						
	1	チェーン転送許可						
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止)にしてください。								
DAMOD		転送先アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが0 (転送先がリピートエリア)のときDAMODビットの設定は無効です。								
SAMOD		転送元アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが1 (転送元がリピートエリア)のときSAMODビットの設定は無効です。								
RPTSEL		リピートエリアの選択						
	0	転送先がリピートエリア						
	1	転送元がリピートエリア						
MODEビットが0 (ノーマルモード)のときRPTSELビットの設定は無効です。								
MODE		転送モードの選択						
	0	ノーマルモード						
	1	リピートモード						

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

19.3.6 DTCブロックサイズレジスタj (DTBLSj) (j = 0~23)

1回の起動で転送されるデータのブロックサイズを設定します。

図19-7 DTCブロックサイズレジスタj (DTBLSj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

19.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0~23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図19-8 DTC転送回数レジスタj (DTCCTj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
.	.
.	.
.	.
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

19.3.8 DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図19-9 DTC転送回数リロードレジスタj (DTRLDj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

19.3.9 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図19-10 DTCソースアドレスレジスタj (DTSARj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意1. 転送元アドレスに汎用レジスタ(FFEE0H~FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

19.3.10 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図19-11 DTCデスティネーションアドレスレジスタj (DTDARj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意1. 転送先アドレスに汎用レジスタ(FFEE0H~FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

19.3.11 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0 ~ 2)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表19-6に割り込み要因とDTCENi0~DTCENi7ビットの対応を示します。

DTCENiレジスタは8ビット・メモリ操作命令, および1ビット・メモリ操作命令で設定できます。

注意1. DTCENi0~DTCENi7ビットは, そのビットに対応する起動要因が発生しない箇所を変更してください。

注意2. DTC転送でDTCENiレジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには必ず“0”を設定してください。

図19-12 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0 ~ 2)のフォーマット

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
DTCENi7	DTC起動許可i7							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi7ビットは0(起動禁止)になります。								
DTCENi6	DTC起動許可i6							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi6ビットは0(起動禁止)になります。								
DTCENi5	DTC起動許可i5							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi5ビットは0(起動禁止)になります。								
DTCENi4	DTC起動許可i4							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi4ビットは0(起動禁止)になります。								
DTCENi3	DTC起動許可i3							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi3ビットは0(起動禁止)になります。								

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0(起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0(起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0(起動禁止)になります。	

表 19 - 6 割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	キー入力	A/D変換終了	UART0受信の 転送完了/ CSI01の転送 完了または バッファ空き/ IIC01の転送 完了	UART0送信の 転送完了/ CSI00の転送 完了または バッファ空き/ IIC00の転送 完了	タイマ・アレ イ・ユニット 0のチャネル0 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル1 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル2 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル3 のカウンタ完 了またはキャ プチャ完了
DTCEN2	12ビット・ インターバ ル・タイマ	8ビット・ インターバ ル・タイマ00	8ビット・ インターバ ル・タイマ01	8ビット・ インターバ ル・タイマ10	8ビット・ インターバ ル・タイマ11	コンパレータ 検出0	コンパレータ 検出1	予約

注意 機能が割り当てられていないビットには必ず“0”を設定してください。

備考 i = 0～2

19.3.12 DTCベースアドレスレジスタ(DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- 注意2. DTCBARレジスタを2回以上書き換えしないでください。
- 注意3. DTC転送でDTCBARレジスタをアクセスしないでください。
- 注意4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、19.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図19-13 DTCベースアドレスレジスタ(DTCBAR)のフォーマット

アドレス : F02E0H リセット時 : FDH R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

19.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj (j = 0 ~ 23) レジスタのCHNEビットが1 (チェイン転送許可) のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されます。

19.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0 ~ 2)レジスタで選択します。

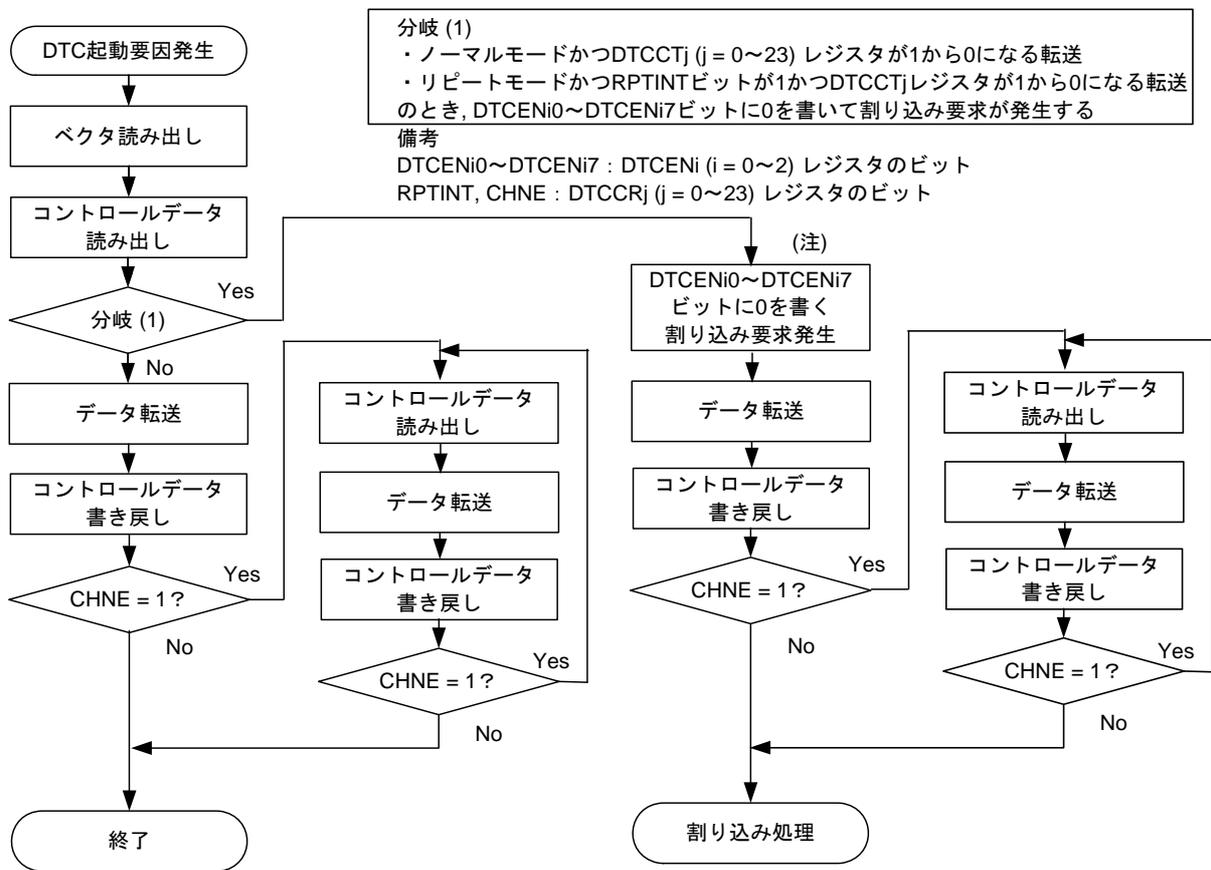
データ転送(チェーン転送の場合、連続して行う最初の転送)の設定が、

- ・ノーマルモードでDTCCTj (j = 0 ~ 23)レジスタが0になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0 ~ DTCENi7ビットを0(起動禁止)にします。

図19-14にDTC内部動作フローチャートを示します。

図19-14 DTC内部動作フローチャート



注 チェーン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0 ~ DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

19.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23)レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~2)レジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

表19-7にノーマルモードでのレジスタ機能を示します。図19-15にノーマルモードでのデータ転送を示します。

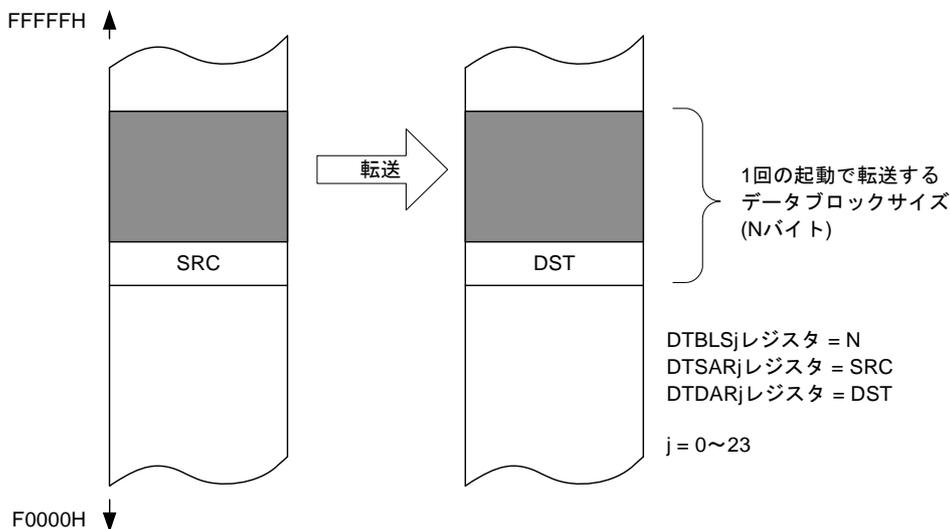
表19-7 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	使用しません注
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図19-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

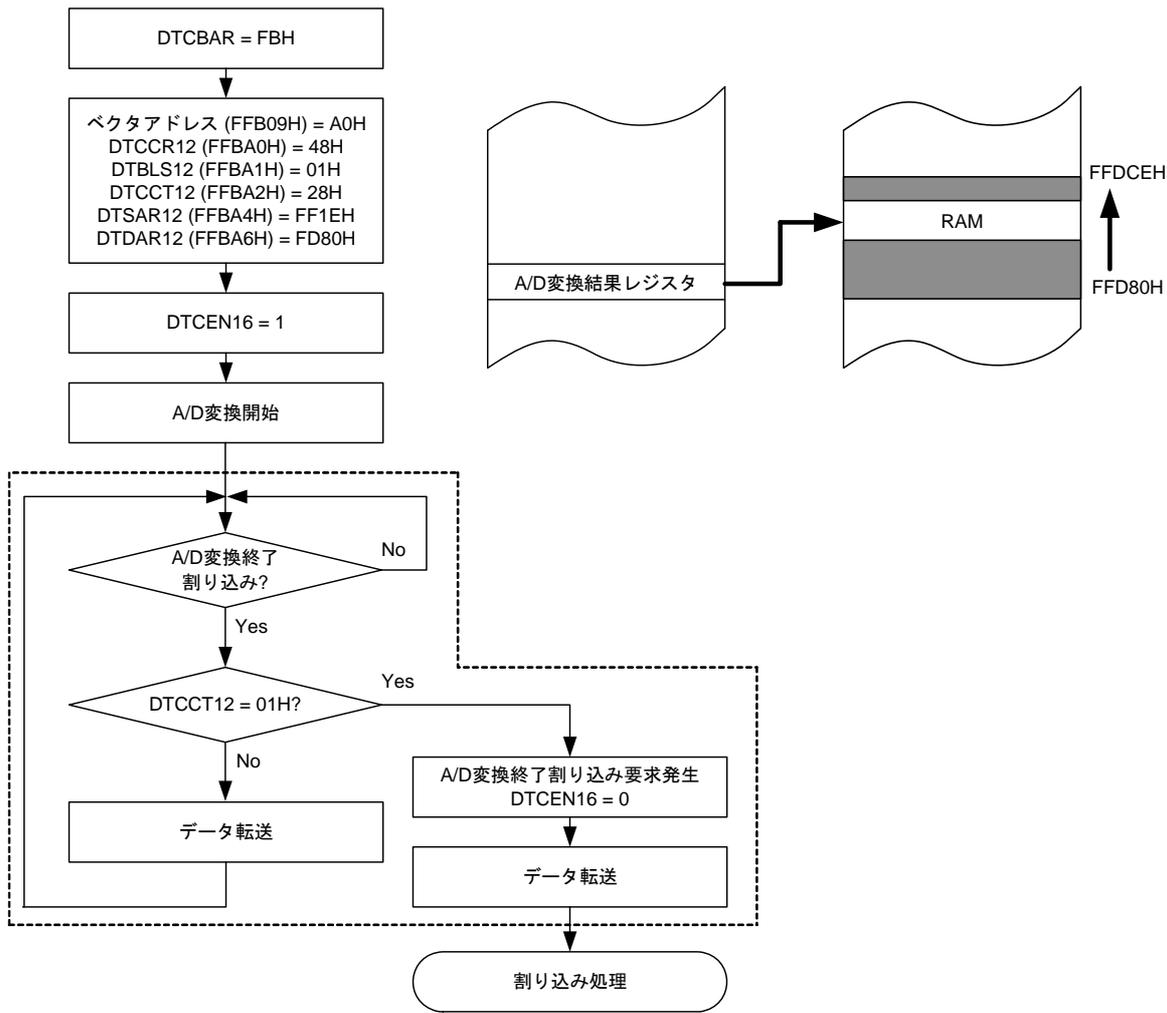
X : 0または1

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタアドレスはFFB09H, コントロールデータはFFBA0H～FFBA7Hに配置
- A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H～FFDCEHの80バイトへ40回転送

図19-16 ノーマルモードの使用例1：A/D変換結果の連続取り込み



内側の処理はDTCが自動で実行します。

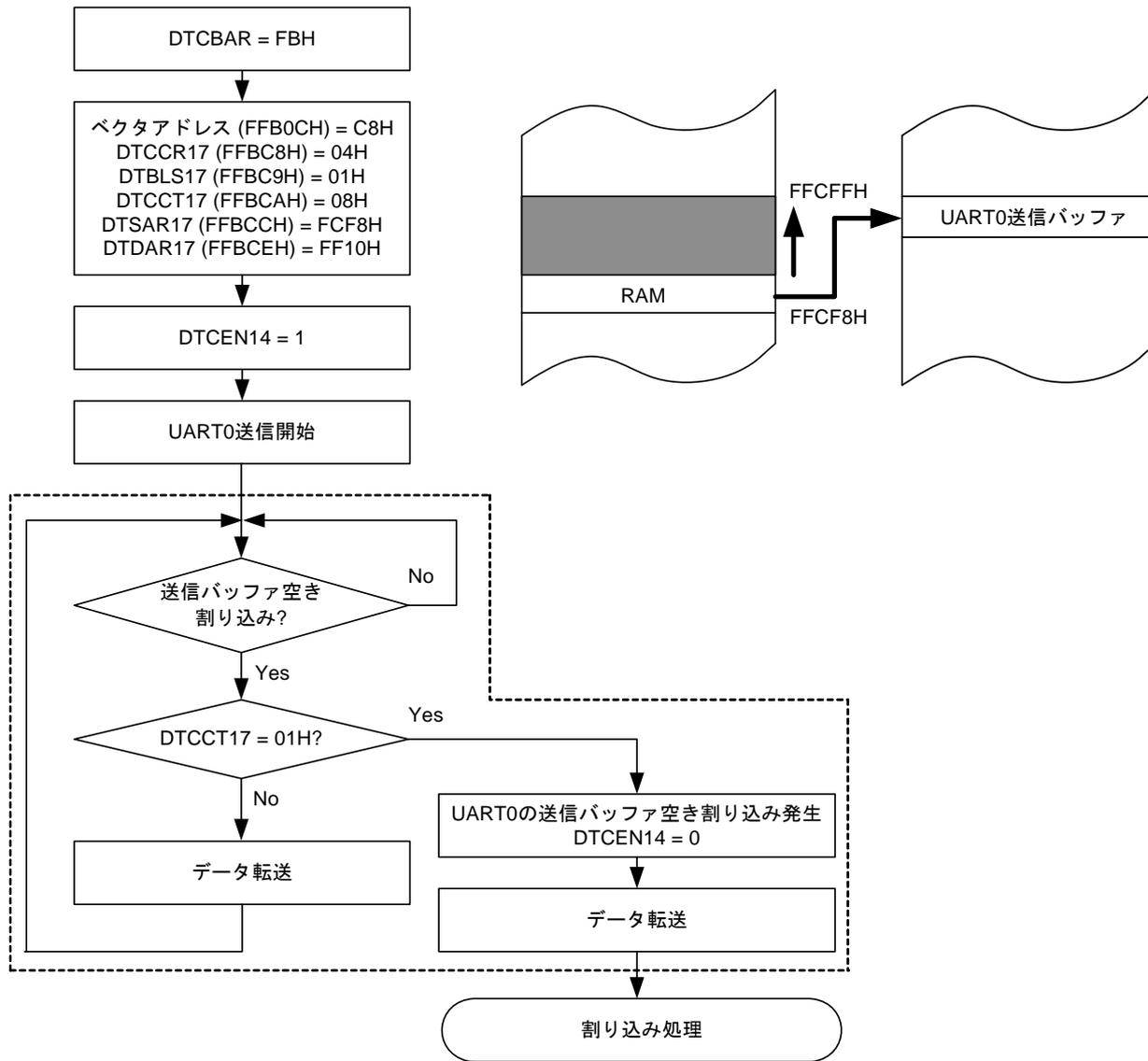
ノーマルモードのため、DTRL12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL12レジスタを初期化(00H)してください。

(2) ノーマルモードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタアドレスはFFB0BH, コントロールデータはFFBC8H~FFBCFHに配置
- RAMのFFCF8H~FFCFFHの8バイトをUART0の送信バッファ(FFF10H)へ転送

図19-17 ノーマルモードの使用例2 : UART0連続送信



[] 内の処理はDTCが自動で実行します。

ノーマルモードのため、DTRL17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL17レジスタを初期化(00H)してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

19.4.3 リピートモード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0～23) レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRj レジスタのRPTINTビットが1 (割り込み発生許可) でDTCCTj レジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～2) レジスタの対応するDTCENi0～DTCENi7ビットを0 (起動禁止) にします。DTCCRj レジスタのRPTINTビットが0 (割り込み発生禁止) の場合は、DTCCTj レジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0～DTCENi7ビットは0になりません。

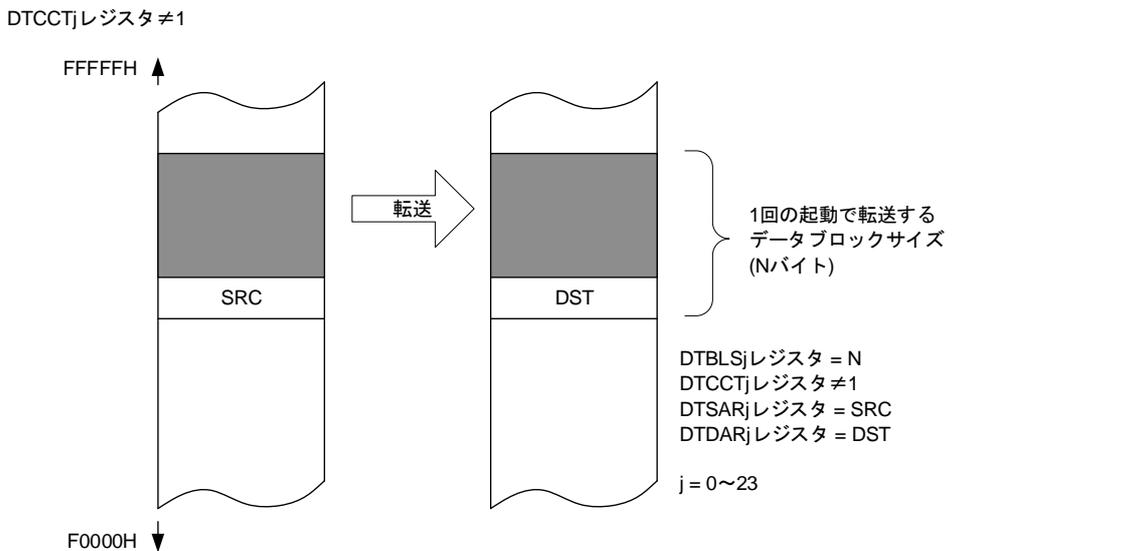
表19-8にリピートモードでのレジスタ機能を示します。図19-18にリピートモードでのデータ転送を示します。

表19-8 リピートモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTレジスタへリロード (データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

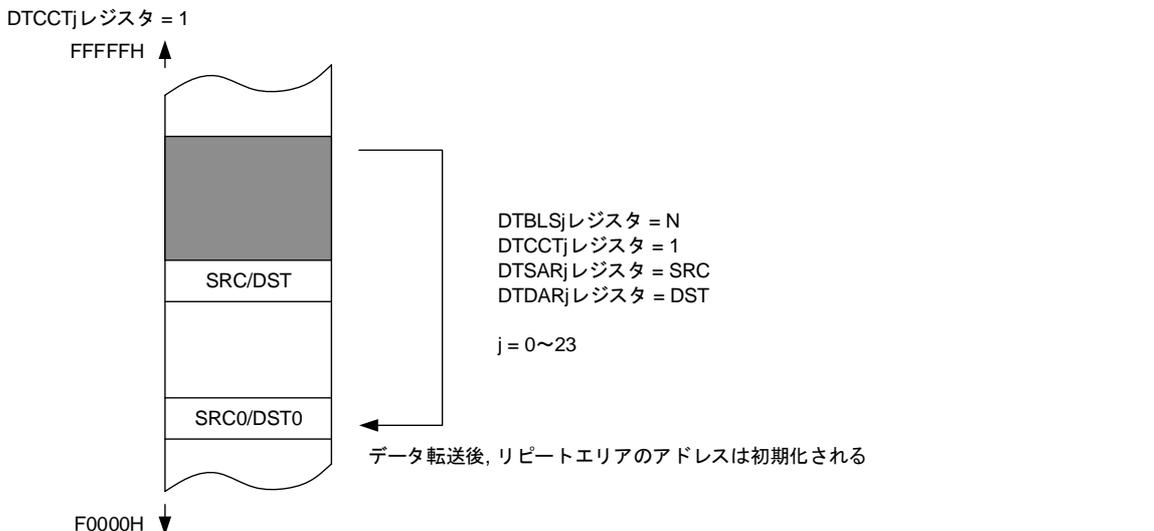
備考 j = 0～23

図19-18 リピートモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC + N	DST
1	X	1	1	リピートエリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST + N
X	1	0	1	加算	リピートエリア	SRC + N	DST + N

X : 0または1



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC + N	DST0

SRC0 : ソースアドレス初期値
DST0 : デスティネーションアドレス初期値
X : 0または1

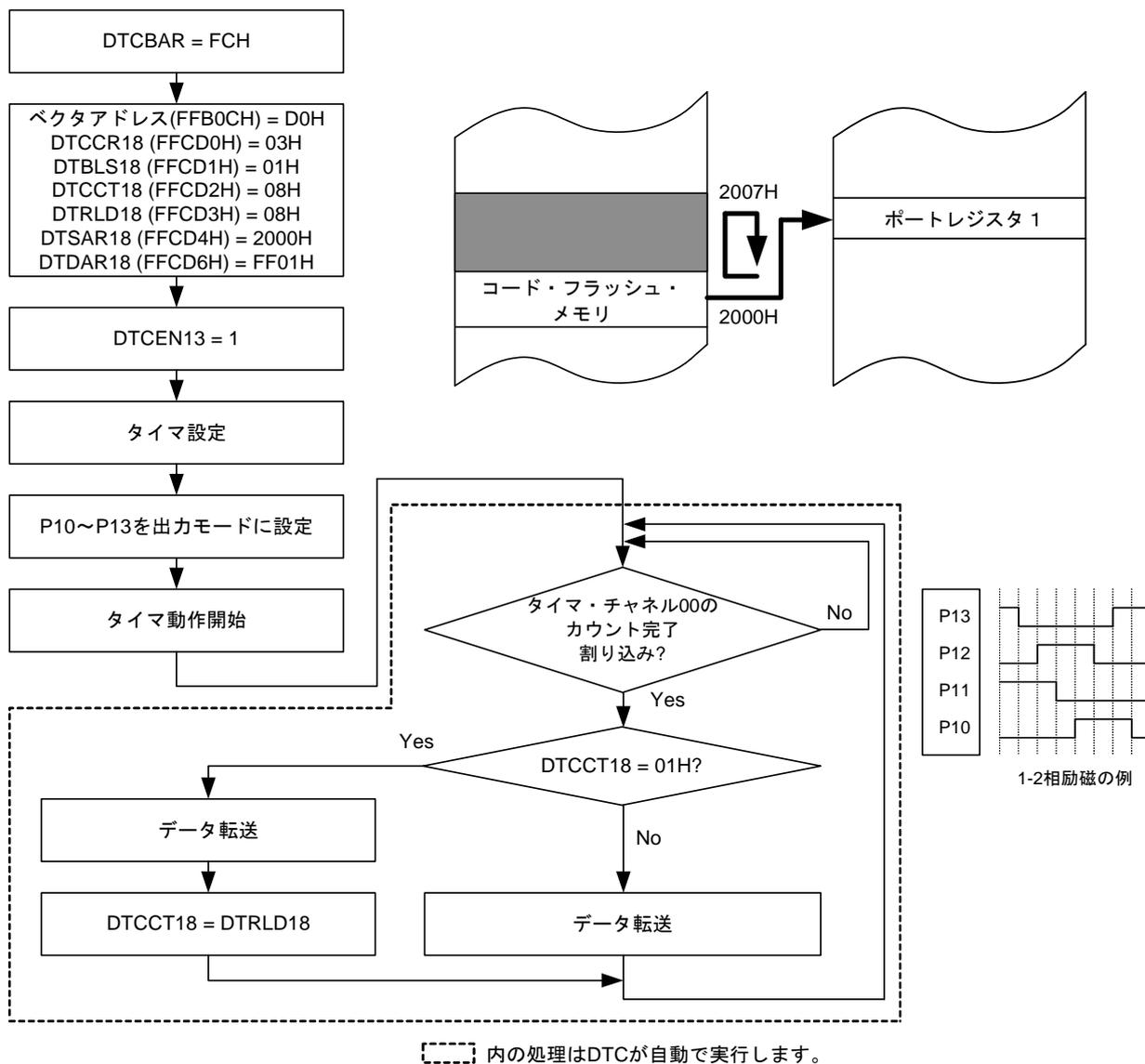
- 注意1. リピートモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。
- 注意2. リピートモード使用時は、リピートエリアのデータサイズを255バイト以内にしてください。

(1) リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力

タイマ・アレイ・ユニット0のチャンネル0のインターバルタイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ベクタアドレスはFFB0CH, コントロールデータはFFCD0H~FFCD7Hに配置
- コード・フラッシュ・メモリの02000H~02007Hの8バイトデータをミラー領域F2000H~F2007Hからポートレジスタ1(FFF01H)へ転送
- リピートモード割り込みは禁止

図19-19 リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN13をクリアしてください。

19.4.4 チェイン転送

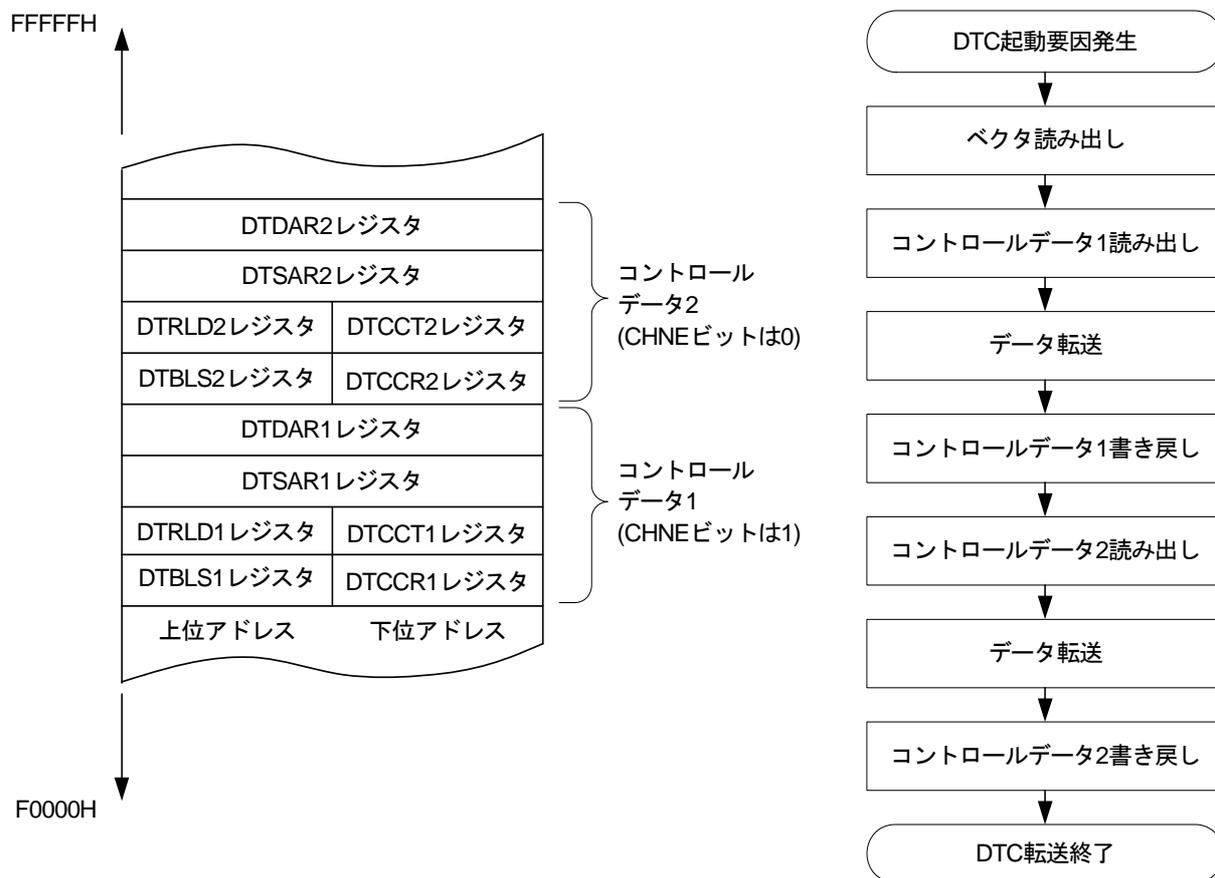
DTCCRj (j = 0~22) レジスタのCHNEビットが1 (チェイン転送許可) のとき、1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると、起動要因に対応したベクタアドレスから読み出されたデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェイン転送許可) であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェイン転送禁止) のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

図19-20にチェイン転送でのデータ転送を示します。

図19-20 チェイン転送でのデータ転送



注意1. DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止) にしてください。

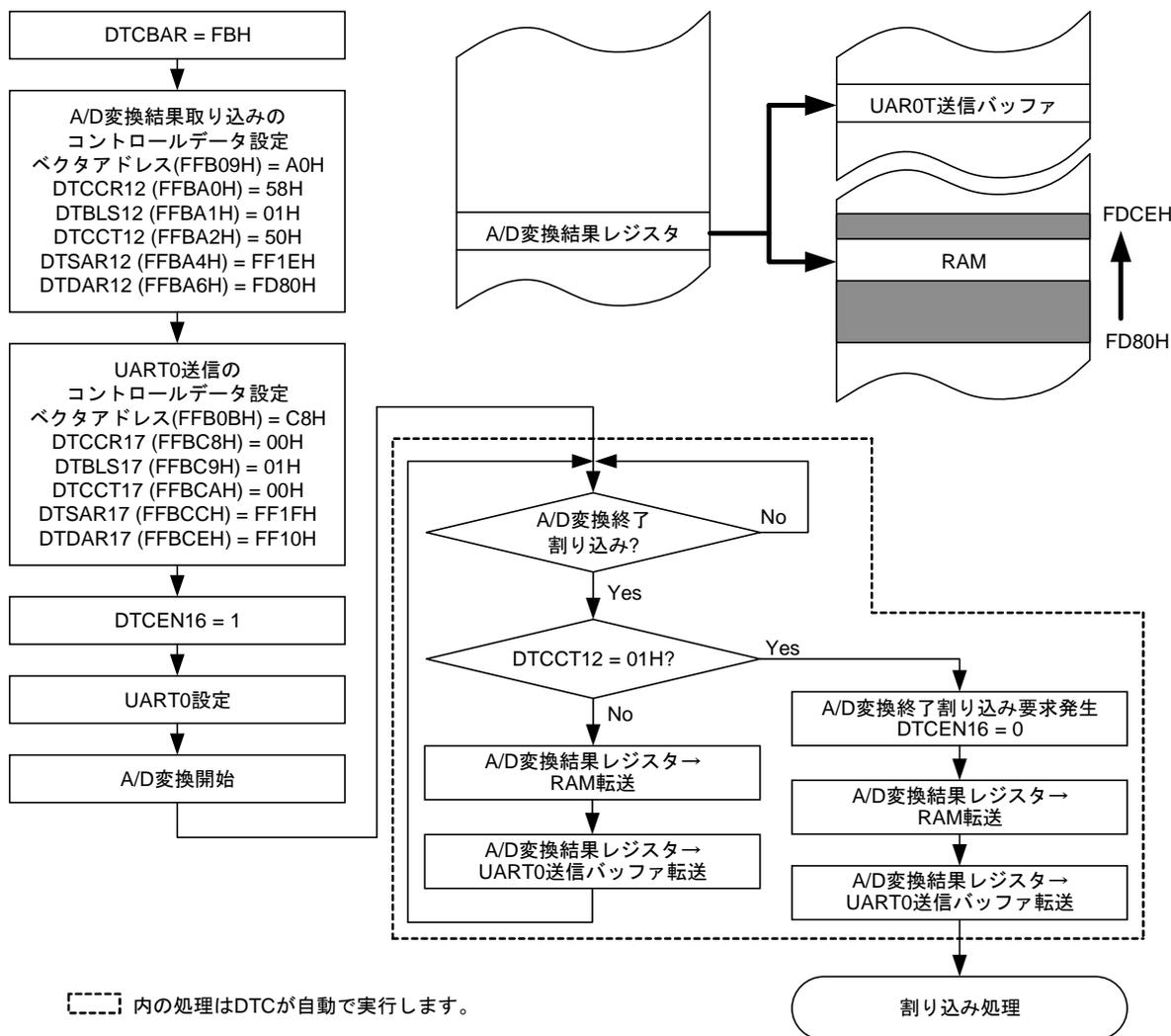
注意2. チェイン転送の場合、2回目以降のデータ転送では、DTCENi (i = 0~2) レジスタのDTCENi0~DTCENi7ビットは0 (起動禁止) になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタアドレスはFFB09H
- A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置
- UART0送信のコントロールデータはFFBA8H～FFBAFHに配置
- A/D変換結果レジスタ(FFF1FH, FFF1EH)の2バイトデータをRAMのFFD80H～FFDCFHに転送し、A/D変換結果レジスタの上位1バイト(FFF1FH)をUARTの送信バッファ(FFF10H)へ転送

図19-21 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



19.5 DTC使用上の注意事項

19.5.1 DTCのコントロールデータおよびベクタテーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベースアドレスレジスタ(DTCBAR)は、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベースアドレスレジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0~2)レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0~2)レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

19.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCのコントロールデータとベクタテーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 次に示す製品の内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F117xC (x = A, B, G) : FF300H-FF709H
- 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F117xC (x = A, B, G) : FF700H-FF8FFH
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。

19.5.3 DTC 保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和演算(MULU命令を除く)

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC 保留命令によるDTC 保留中は、全ての割り込み要求が保留されます。

19.5.4 データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, !データ・フラッシュ空間

19.5.5 DTC実行クロック数

表19-9にDTC起動時の実行状況と必要なクロック数を示します。

表19-9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表19-10 コントロールデータの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は、表19-11 1データの読み出し/書き込みに必要なクロック数を参照してください。

表19-10 コントロールデータの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロールレジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算	エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0~23, X: 0または1

表19-11 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・	データ・	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
		フラッシュ・メモリ	フラッシュ・メモリ		ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数注
データ書き込み	1	—	—	1	1	1+ウェイト数注

注 ウェイト数はアクセスする拡張特殊機能レジスタ (2nd SFR)に配置されたレジスタの仕様によって異なります。

19.5.6 DTC 応答時間

表 19 - 12にDTCにおける応答時間を示します。DTC 応答時間とはDTC 起動要因の検出からDTC 転送開始までの時間です。DTC 応答時間にDTC 実行クロック数は含まれません。

表 19 - 12 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合
最大応答時間：20クロック
- DTC 保留命令実行の場合(19.5.3 DTC 保留命令を参照)
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生するTRJ0レジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK (fCLK：CPU/周辺ハードウェアクロック)

19.5.7 DTC 起動要因

- DTC 起動要因を入力してからDTC 転送が完了するまでは同一起動要因を入力しないでください。
- DTC 起動要因が発生する箇所で、その起動要因に対応したDTC 起動許可ビットを操作しないでください。
- DTC 起動要因に8ビット・インターバル・タイマ、12ビット・インターバルタイマを選択し、DTC 転送完了後に再転送する場合は、各タイマ動作クロックの1クロック後に対応するDTCENi (i = 0 ~ 2) レジスタのDTCENi0 ~ DTCENi7ビットを1(起動許可)にしてください。
- DTC 起動要因が競合した場合は、CPUがDTC 転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は19.3.3 ベクタテーブルを参照してください。
- コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO = 0) かつIVCMP > IVREFの状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CnEPO = 1)、IVCMP < IVREFの状態、DTCを起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ(CnMON)を確認してからDTCを起動許可にしてください。(n = 0-1)

19.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能(低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注1, 3, 4, 5}

- 注1. SNOOZEモードは、 f_{CLK} に高速オンチップ・オシレータ・クロック (f_{IH}) または、中速オンチップ・オシレータ・クロック (f_{IM}) を選択している場合のみ設定可能です。
- 注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。
- 注3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。
- 注4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。
- 注5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み、AWCビットに1を書き込む)を行ってください。

第20章 イベント・リンク・コントローラ(ELC)

20.1 ELCの機能

イベント・リンク・コントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

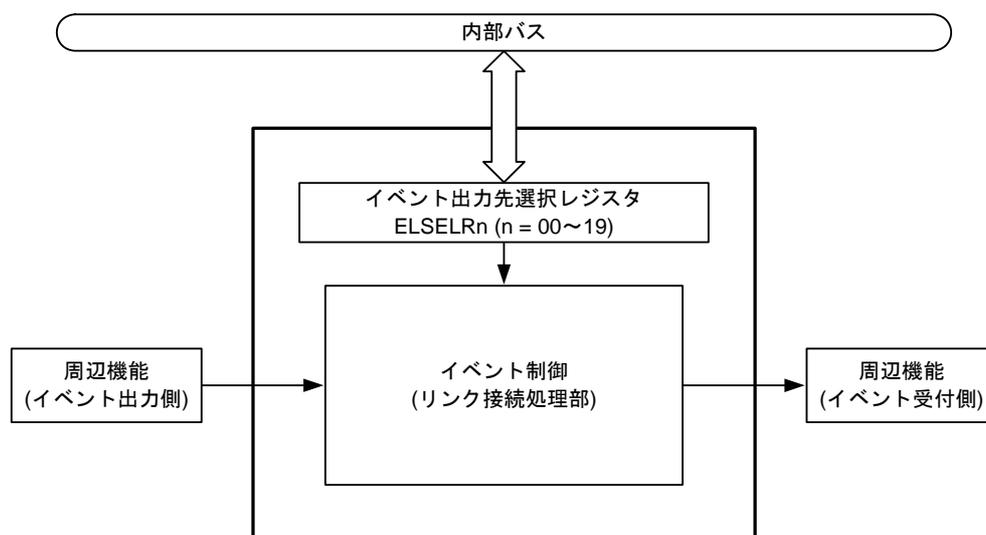
ELCには次の機能があります。

- 20種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 7種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

20.2 ELCの構成

図20-1にELCのブロック図を示します。

図20-1 ELCのブロック図



20.3 ELCを制御するレジスタ

表20-1にELCを制御するレジスタを示します。

表20-1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03 ^{注1}	ELSELR03
イベント出力先選択レジスタ04 ^{注2}	ELSELR04
イベント出力先選択レジスタ05 ^{注3}	ELSELR05
イベント出力先選択レジスタ06 ^{注2}	ELSELR06
イベント出力先選択レジスタ07 ^{注4}	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18
イベント出力先選択レジスタ19	ELSELR19

注1. 20ピン製品は、初期値(イベントリンク禁止)以外設定しないでください。

注2. 32, 30, 24, 20ピン製品は、初期値(イベントリンク禁止)以外設定しないでください。

注3. 32, 24, 20ピン製品は、初期値(イベントリンク禁止)以外設定しないでください。

注4. 30, 20ピン製品は、初期値(イベントリンク禁止)以外設定しないでください。

20.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 19)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間かつイベント出力先(イベント受付側)の機能が停止している期間に、ELSELRnレジスタを設定してください。

表20-2にELSELRnレジスタ(n = 00 ~ 19)と周辺機能の対応を、表20-3にELSELRnレジスタ(n = 00 ~ 19)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図20-2 イベント出力先選択レジスタ n (ELSELRn)のフォーマット

アドレス : F0240H (ELSELR00) ~ F0253H (ELSELR19) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	ELSELn3	ELSELn2	ELSELn1	ELSELn0

ELSELn3	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	0	イベントリンク禁止
0	0	0	1	リンクする周辺機能1の動作を選択 ^注
0	0	1	0	リンクする周辺機能2の動作を選択 ^注
0	0	1	1	リンクする周辺機能3の動作を選択 ^注
0	1	0	0	リンクする周辺機能4の動作を選択 ^注
0	1	0	1	リンクする周辺機能5の動作を選択 ^注
0	1	1	0	リンクする周辺機能6の動作を選択 ^注
0	1	1	1	リンクする周辺機能7の動作を選択 ^注
上記以外				設定禁止

注 表20-3 ELSELRnレジスタ(n = 00 ~ 19)に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表 20 - 2 ELSELRn レジスタ (n = 00 ~ 19) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	外部割り込みエッジ検出6	INTP6
ELSELR07	キーリターン信号検出	INTKR
ELSELR08	RTC2定周期信号/アラーム一致検出	INTRTC
ELSELR09	12ビット・インターバル・タイマ・インターバル信号検出	INTIT
ELSELR10	8ビット・インターバル・タイマ・チャンネル00のコンペアマッチまたは 16ビット・インターバル・タイマ・チャンネル0のコンペアマッチ(カスケード時)	INTIT00
ELSELR11	8ビット・インターバル・タイマ・チャンネル01のコンペアマッチ	INTIT01
ELSELR12	8ビット・インターバル・タイマ・チャンネル10のコンペアマッチまたは 16ビット・インターバル・タイマ・チャンネル1のコンペアマッチ(カスケード時)	INTIT10
ELSELR13	8ビット・インターバル・タイマ・チャンネル11のコンペアマッチ	INTIT11
ELSELR14	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR15	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR16	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR17	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR18	コンパレータ検出0	INTCMP0
ELSELR19	コンパレータ検出1	INTCMP1

表 20 - 3 ELSELRn レジスタ (n = 00 ~ 19) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn3 ~ ELSELn0 ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
0001B	1	A/Dコンバータ	A/D変換開始
0010B	2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0011B	3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0100B	4	オペアンプ0	動作開始
0101B	5	オペアンプ1	動作開始
0110B	6	オペアンプ2	動作開始
0111B	7	オペアンプ3	動作開始

注1. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル0のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI00端子のノイズフィルタをOFFに (TNFEN00 = 0) 設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル1のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI01端子のノイズフィルタをOFF (TNFEN01 = 0) に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

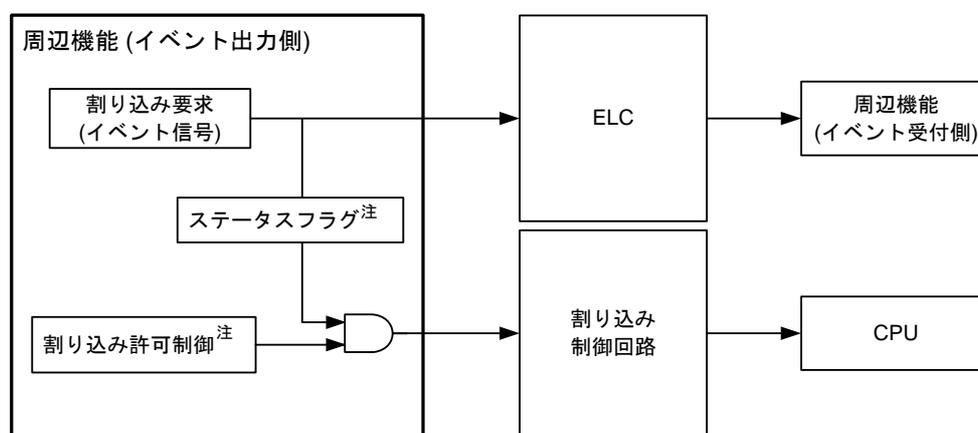
20.4 ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図20-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(表20-3 ELSELRnレジスタ(n=00~19)に設定する値とリンク先周辺機能の受付時の動作の対応参照)。

図20-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表20 - 4にイベントを受け付ける周辺機能の応答性を示します。

表20 - 4 イベントを受け付ける周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベントが直接、A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
4	オペアンプ0	動作開始	ELCからのイベントが直接、オペアンプのハードウェア・トリガになります。
5	オペアンプ1	動作開始	ELCからのイベントが直接、オペアンプのハードウェア・トリガになります。
6	オペアンプ2	動作開始	ELCからのイベントが直接、オペアンプのハードウェア・トリガになります。
7	オペアンプ3	動作開始	ELCからのイベントが直接、オペアンプのハードウェア・トリガになります。

第21章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		20ピン	24ピン	30ピン	32ピン	48ピン
マスカブル割り込み	外部	3	5	5	5	8
	内部	22	22	24	24	24

21.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表21-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

21.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります(表21-1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表 21 - 1 割り込み要因一覧(1/2)

割り込みの処理	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	48ピン	32ピン	30ピン	24ピン	20ピン	
	デフォルト・プライオリティ ^{注1}	名称									トリガ
マスクカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75% + 1/2 fil)	内部	0004H	(A)	○	○	○	○	○
	1	INTLVI	電圧検出 ^{注4}		0006H		○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)	○	○	○	○	○
	3	INTP1			000AH		○	○	○	○	○
	4	INTP2			000CH		○	○	○	○	○
	5	INTP3			000EH		○	○	○	○	—
	6	INTP4			0010H		○	—	—	—	—
	7	INTP5			0012H		○	—	○	—	—
	8	INTP6			0014H		○	—	—	—	—
	9	INTST0	UART0送信の転送完了, バッファ空き割り込み	内部	0016H	(A)	○	○	○	○	○
		INTCSI00	CSI00の転送完了, バッファ空き割り込み				○	○	○	○	○
		INTIIC00	IIC00の転送完了				○	○	○	○	○
	10	INTSR0	UART0受信の転送完了		0018H		○	○	○	○	○
		INTCSI01	CSI01の転送完了, バッファ空き割り込み				○	○	—	○	—
		INTIIC01	IIC01の転送完了				○	○	—	○	—
	11	INTSRE0	UART0受信の通信エラー発生		001EH		○	○	○	○	○
	12	INTTM00	TAU・チャンネル00のカウンタ完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)		0020H		○	○	○	○	○
	13	INTRTIT	RTC2補正タイミング		0022H		○	○	○	—	—
	14	INTFM	周波数測定完了		0024H		○	○	○	—	—
	15	INTTM01H	TAU・チャンネル01のカウンタ完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		0026H		○	○	○	○	○
	16	INTTM03H	TAU・チャンネル03のカウンタ完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		0028H		○	○	○	○	○
	17	INTTM01	TAU・チャンネル01のカウンタ完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)		002AH		○	○	○	○	○
18	INTTM02	TAU・チャンネル02のカウンタ完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)		002CH		○	○	○	○	○	
19	INTTM03	TAU・チャンネル03のカウンタ完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)		002EH		○	○	○	○	○	
20	INTAD	A/D変換終了		0034H		○	○	○	○	○	
21	INTRTC	リアルタイム・クロック2の定周期信号/アラーム一致検出		0036H		○	○	○	○	○	
22	INTIT	12ビット・インターバル・タイマ・インターバル信号検出		0038H		○	○	○	○	○	

- 注1. デフォルト・プライオリティは、複数のマスクカブル割り込みが発生している場合に、優先する順位です。
0が最高順位、31が最低順位です。
- 注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。
- 注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。
- 注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

表 21 - 1 割り込み要因一覧 (2/2)

割り込みの処理	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	48ピン	32ピン	30ピン	24ピン	20ピン	
	デフォルト・プライオリティ注1	名称									トリガ
マスクアブル	23	INTKR	キー・リターン信号検出	外部	003AH	(C)	○	○	—	○	—
	24	INTCMP0	コンパレータ検出0	内部	003CH	(A)	○	○	○	○	○
	25	INTCMP1	コンパレータ検出1		003EH		○	○	○	○	○
	26	INTDOC	DOC演算結果検出		0040H		○	○	○	○	○
	27	INTIT00	8ビット・インターバル・タイマ・チャンネル00コンペアマッチまたは16ビット・インターバル・タイマ・チャンネル0コンペアマッチ (カスケード時)		0044H		○	○	○	○	○
	28	INTIT01	8ビット・インターバル・タイマ・チャンネル01		0046H		○	○	○	○	○
	29	INTIT10	8ビット・インターバル・タイマ・チャンネル10コンペアマッチまたは16ビット・インターバル・タイマ・チャンネル1コンペアマッチ (カスケード時)		0048H		○	○	○	○	○
	30	INTIT11	8ビット・インターバル・タイマ・チャンネル11		004AH		○	○	○	○	○
31	INTFL	予約	0052H	○	○	○	○	○			
ソフトウェア	—	BRK	BRK命令の実行	—	007EH	(D)	○	○	○	○	○
リセット	—	RESET	RESET端子入力	—	0000H	—	○	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○	○
		LVD	電圧検出注3				○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○
		TRAP	不正命令の実行注4				○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○

注1. デフォルト・プライオリティは、複数のマスクアブル割り込みが発生している場合に、優先する順位です。

0が最高順位、31が最低順位です。

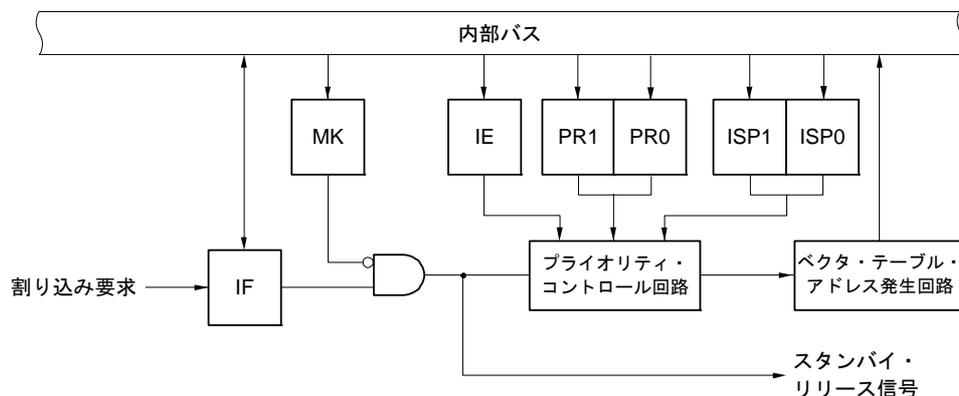
注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。

注3. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 1選択時。

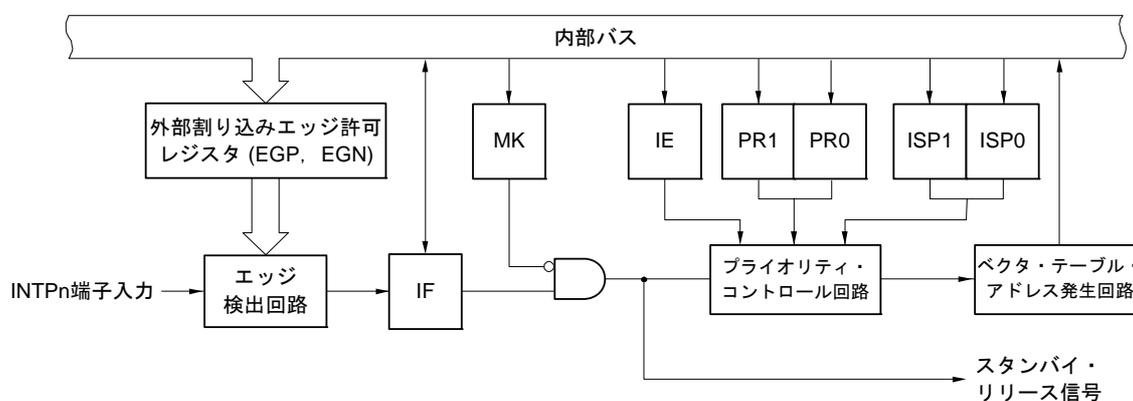
注4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図21-1 割り込み機能の基本構成 (1/2)

(A) 内部マスカブル割り込み



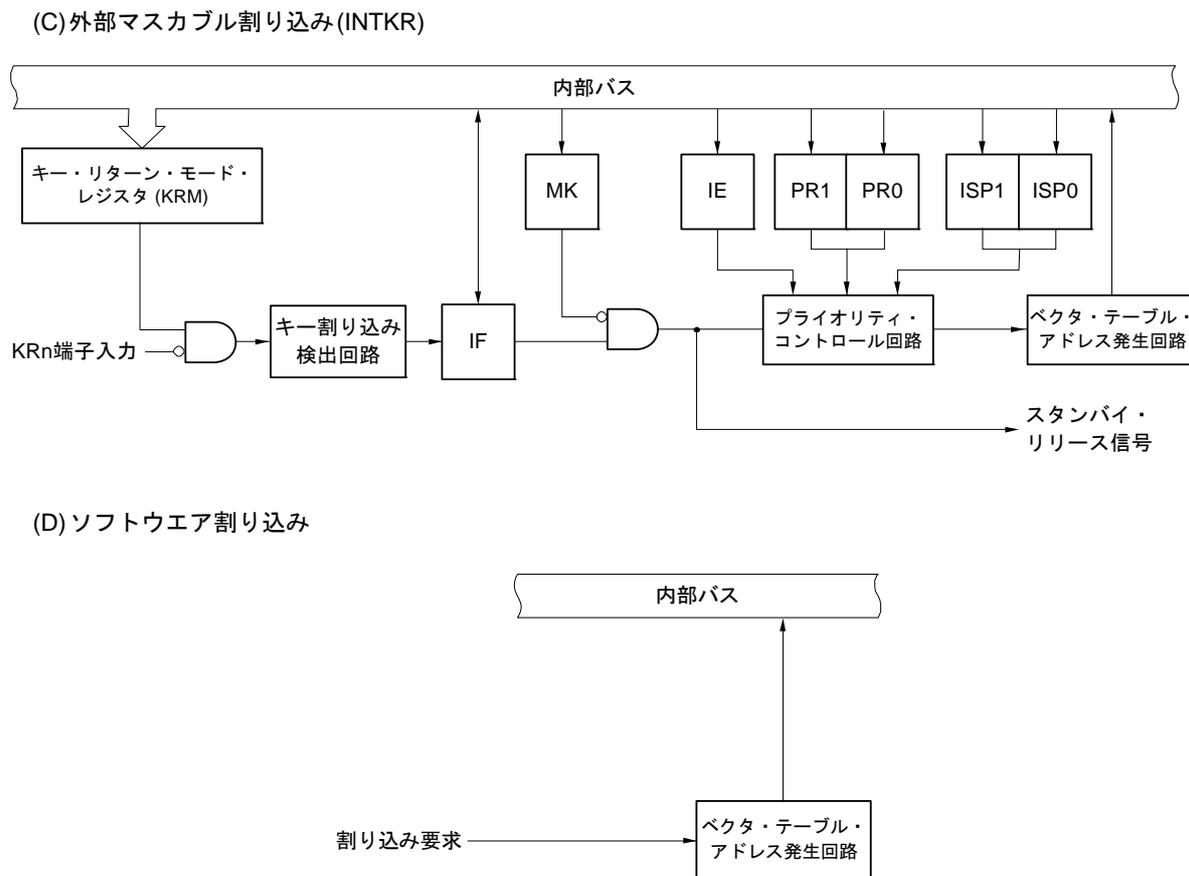
(B) 外部マスカブル割り込み (INTPn)



- IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースビス・プライオリティ・フラグ0
 ISP1 : インサースビス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

- 備考 20ピン : n = 0-2
 24, 30ピン : n = 0-3
 32ピン : n = 0-3, 5
 48ピン : n = 0-6

図21 - 2 割り込み機能の基本構成 (2/2)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースervice・プライオリティ・フラグ0
- ISP1 : インサースervice・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 24, 32ピン : n = 0-2
 48ピン : n = 0-3

21.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR10L, PR10H, PR11L, PR11H, PR12L)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表 21 - 2 に示します。

表 21 - 2 割り込み要求ソースに対応する各種フラグ(1/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		ビット48	ビット32	ビット80	ビット24	ビット20
		レジスタ		レジスタ		レジスタ					
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○	
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	
INTP4	PIF4		PMK4		PPR04, PPR14		○	—	—	—	
INTP5	PIF5		PMK5		PPR05, PPR15		○	—	○	—	
INTP6	PIF6	IF0H	PMK6	MK0H	PPR06, PPR16	PR00H, PR10H	○	—	—	—	—
INTST0注1	STIF0		STMK0		STPR00, STPR10		○	○	○	○	○
INTCSI00注1	CSIIIF00		CSIMK00		CSIPR000, CSIPR100		○	○	○	○	○
INTIIC00注1	IICIF00		IICMK00		IICPR000, IICPR100		○	○	○	○	○
INTSR0注2	SRIF0		SRMK0		SRPR00, SRPR10		○	○	○	○	○
INTCSI01注2	CSIIIF01		CSIMK01		CSIPR001, CSIPR101		○	○	—	○	—
INTIIC01注2	IICIF01		IICMK01		IICPR001, IICPR101		○	○	—	○	—
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10		○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○
INTRTIT	RTITIF		RTITMK		RTITPR0, RTITPR1		○	○	○	—	—
INTFM	FMIF	IF1L	FMMK	MK1L	FMPR0, FMPR1	PR01L, PR11L	○	○	○	—	—
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H		○	○	○	○	○
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H		○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○
INTAD	ADIF		IF1H		ADMK		MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○
INTRTC	RTCIF	RTCMK		RTCPR0, RTCPR1	○	○		○		○	○
INTIT	TMKAIF	TMKAMK		TMKAPR0, TMKAPR1	○	○		○		○	○
INTKR	KRIF	KRMK		KRPR0, KRPR1	○	○		—		○	—
INTCMP0	CMPIF0	CMPMK0		CMPPR00, CMPPR01	○	○		○		○	○
INTCMP1	CMPIF1	CMPMK1		CMPPR01, CMPPR11	○	○		○		○	○
INTDOC	DOCIF	DOCMK		DOCPR0, DOCPR1	○	○		○		○	○

- 注1. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット1はセット(1)されます。
また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注2. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生したら、IF0Hレジスタのビット2はセット(1)されます。
また、MK0H, PR00H, PR10Hレジスタのビット2は、3つすべての割り込み要因に対応しています。

表 21 - 2 割り込み要求ソースに対応する各種フラグ (2/2)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ		IF2L	IF1L	IF0L	IF24	IF20
	レジスタ	レジスタ	レジスタ	レジスタ							
INTIT00	ITIF00	IF2L	ITMK00	MK2L	ITPR000, ITPR100	PR02L,	○	○	○	○	○
INTIT01	ITIF01		ITMK01		ITPR001, ITPR101	PR12L	○	○	○	○	○
INTIT10	ITIF10		ITMK10		ITPR010, ITPR110	○	○	○	○	○	
INTIT11	ITIF11		ITMK11		ITPR011, ITPR111	○	○	○	○	○	
INTFL	FLIF		FLMK		FLPR0, FLPR1	○	○	○	○	○	

21.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタをあわせて16ビット・レジスタIF0, IF1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21-3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L)のフォーマット

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	RTITIF	TMIF00	SREIF0	0	0	SRIF0 CSIF01 IICIF01	STIF0 CSIF00 IICIF00	PIF6

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	0	TMIF03	TMIF02	TMIF01	TMIF03H	TMIF01H	FMIF

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	DOCIF	CMPIF1	CMPIF0	KRIF	TMKAIF	RTCIF	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	FLIF	0	0	0	ITIF11	ITIF10	ITIF01	ITIF00

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

21.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタをあわせて16ビット・レジスタMK0, MK1として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21-4 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L)のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	RTITMK	TMMK00	SREMK0	1	1	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	PMK6

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	0	0	TMMK03	TMMK02	TMMK01	TMMK03H	TMMK01H	FMMK

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	0	DOCMK	CMPMK1	CMPMK0	KRMK	TMKAMK	RTCMK	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	FLMK	0	0	0	ITMK11	ITMK10	ITMK01	ITMK00

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

21.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR10L, PR10H, PR11L, PR11H, PR12L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせると、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ, PR01LレジスタとPR01Hレジスタ, PR10LレジスタとPR10Hレジスタ, PR11LレジスタとPR11Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR10, PR11として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21-5 優先順位指定フラグ・レジスタ
(PR00L, PR00H, PR01L, PR01H, PR02L, PR10L, PR10H, PR11L, PR11H, PR12L)のフォーマット(1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	RTITPR0	TMPR000	SREPR00	1	1	SRPR00 CSIPR001 IICPR001	STPR00 CSIPR000 IICPR000	PPR06

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	RTITPR1	TMPR100	SREPR10	1	1	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100	PPR16

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	0	0	TMPR003	TMPR002	TMPR001	TMPR003H	TMPR001H	FMPR0

図21-6 優先順位指定フラグ・レジスタ
(PR00L, PR00H, PR01L, PR01H, PR02L, PR10L, PR10H, PR11L, PR11H, PR12L)のフォーマット(2/2)

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	0	0	TMPR103	TMPR102	TMPR101	TMPR103H	TMPR101H	FMPR1

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	0	DOCPR0	CMPPR01	CMPPR00	KRPR0	TMKAPR0	RTCPR0	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	0	DOCPR1	CMPPR11	CMPPR10	KRPR1	TMKAPR1	RTCPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	FLPR0	0	0	0	ITPR011	ITPR010	ITPR001	ITPR000

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	FLPR1	0	0	0	ITPR111	ITPR110	ITPR101	ITPR100

XXPR1X	XXPROX	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

21.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP6の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21 - 7 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-6)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

EGPnビットとEGNnビットに対応するポートを表21 - 3に示します。

表21 - 3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	48ピン	32ピン	30ピン	24ピン	20ピン
EGP0	EGN0	INTP0	○	○	○	○	○
EGP1	EGN1	INTP1	○	○	○	○	○
EGP2	EGN2	INTP2	○	○	○	○	○
EGP3	EGN3	INTP3	○	○	○	○	—
EGP4	EGN4	INTP4	○	—	—	—	—
EGP5	EGN5	INTP5	○	—	○	—	—
EGP6	EGN6	INTP6	○	—	—	—	—

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0)にしてからポート・モード・レジスタ (PMxx)を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n = 0-6

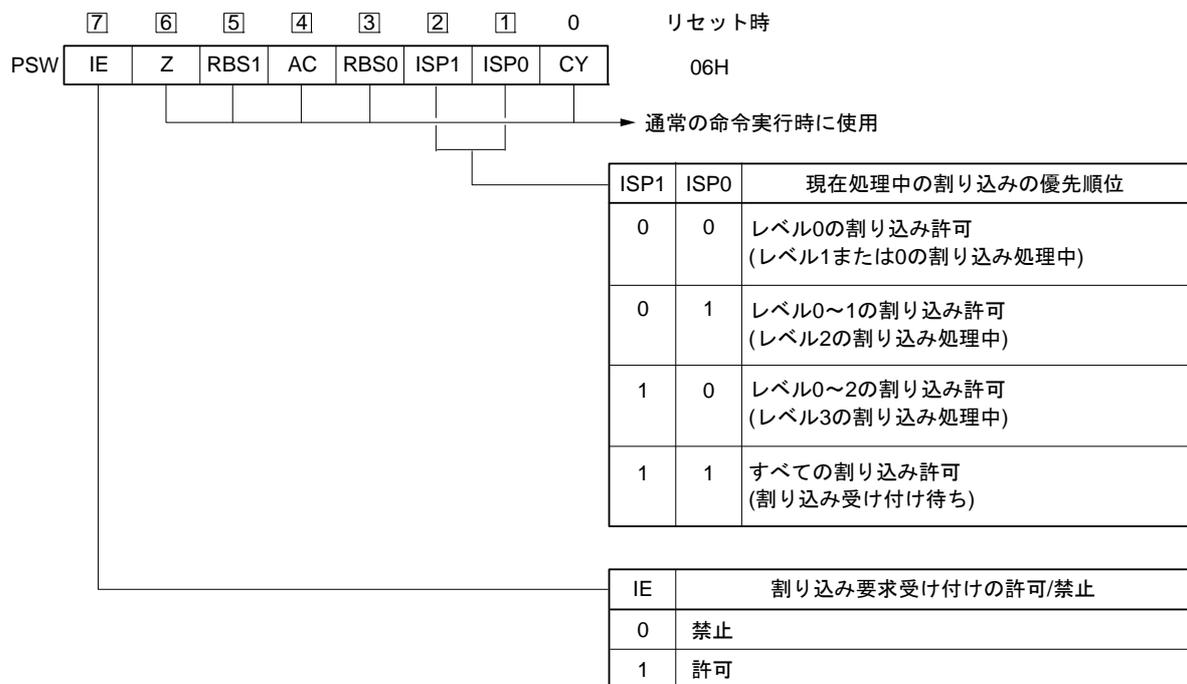
21.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図21-8 プログラム・ステータス・ワードの構成



21.4 割り込み処理動作

21.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表21-4のようになります。

割り込み要求の受け付けタイミングについては、図21-10、図21-11を参照してください。

表21-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

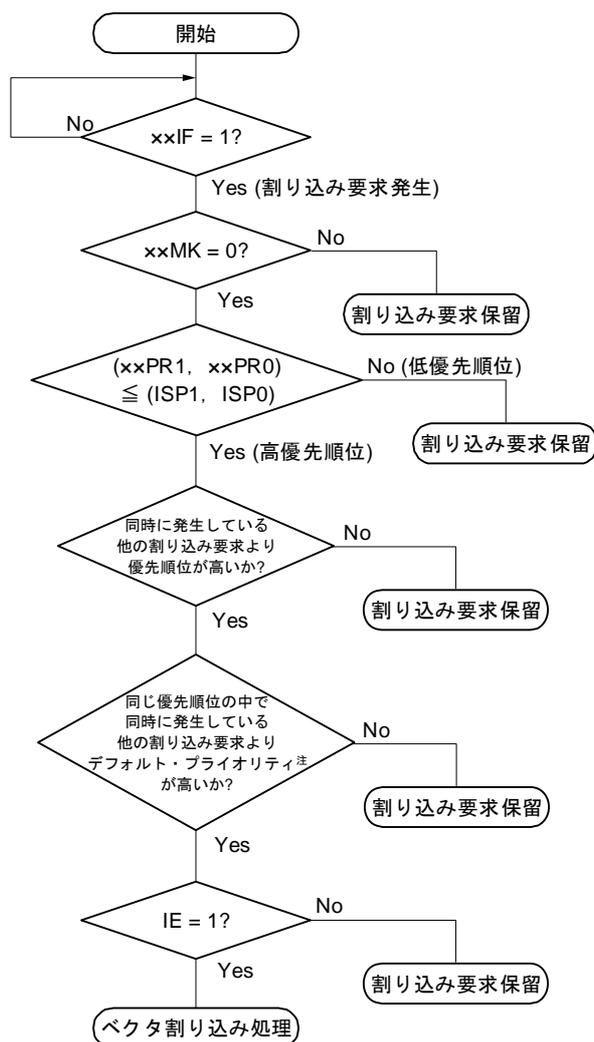
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図21-9に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図21 - 9 割り込み要求受け付け処理アルゴリズム



xxIF : 割り込み要求フラグ

xxMK : 割り込みマスク・フラグ

xxPR0 : 優先順位指定フラグ0

xxPR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図21 - 8参照)

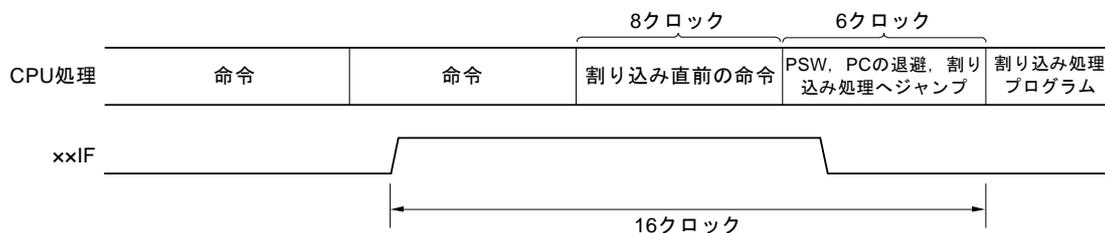
注 デフォルト・プライオリティは、表21 - 1 割り込み要因一覧を参照してください。

図21 - 10 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図21 - 11 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

21.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

21.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表21 - 5に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図21 - 12～図21 - 13に多重割り込みの例を示します。

表21 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR10L, PR10H, PR11L, PR11H, PR12Lレジスタに含まれるフラグです。

PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定(高優先順位)

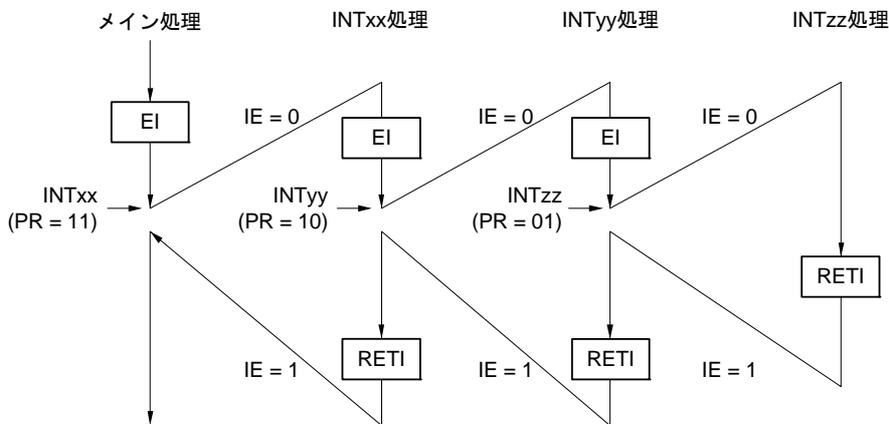
PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定

PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定(低優先順位)

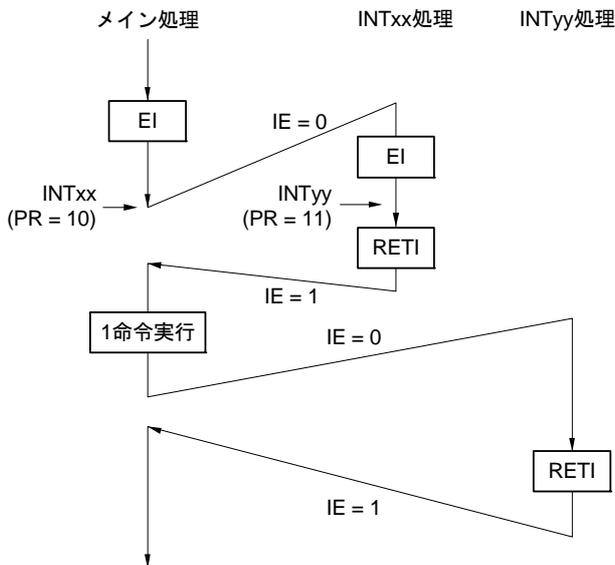
図21 - 12 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x= 0, xxPR0x= 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x= 0, xxPR0x= 1でレベル1を指定

PR = 10 : xxPR1x= 1, xxPR0x= 0でレベル2を指定

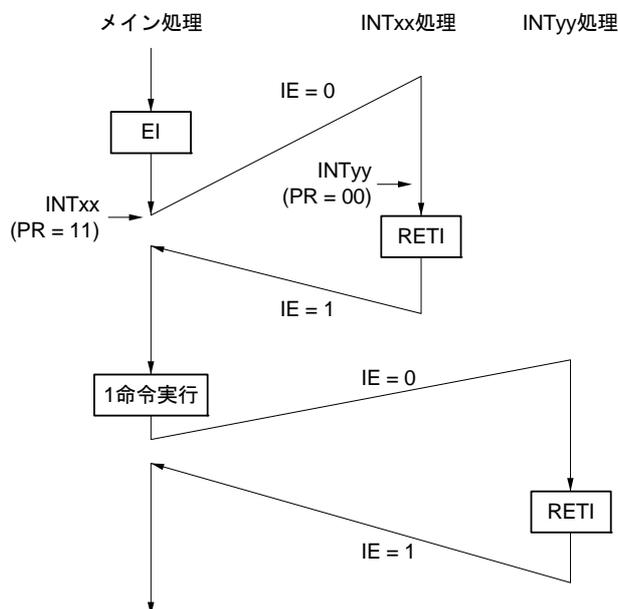
PR = 11 : xxPR1x= 1, xxPR0x= 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図21 - 13 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x= 0, xxPR0x= 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x= 0, xxPR0x= 1でレベル1を指定

PR = 10 : xxPR1x= 1, xxPR0x= 0でレベル2を指定

PR = 11 : xxPR1x= 1, xxPR0x= 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

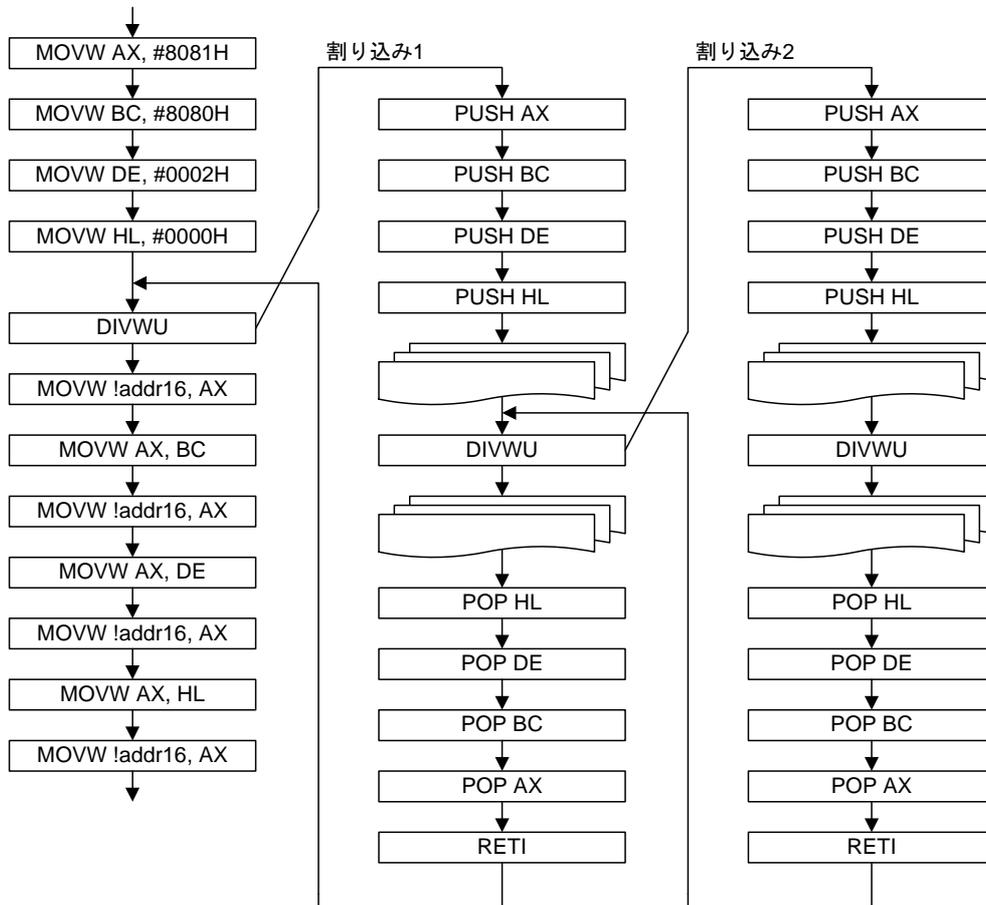
21.4.4 除算命令中の割り込み処理

RL78/I1Dは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)s	(SP-2) ← (PC-3)s
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCs ← 0000	PCs ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



(注意は次ページにあります。)

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

21.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図21 - 14に示します。

図21 - 14 割り込み要求の保留



備考1. 命令N : 割り込み要求の保留命令

備考2. 命令M : 割り込み要求の保留命令以外の命令

第22章 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	20, 30ピン	24, 32ピン	48ピン
キー割り込み入力チャネル	—	3ch	4ch

22.1 キー割り込みの機能

キー割り込み入力端子 (KR0-KR3) に立ち上がり/立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表22 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0 (KRM0)
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03

備考 KR0-KR2 : 24, 32ピン製品
KR0-KR3 : 48ピン製品

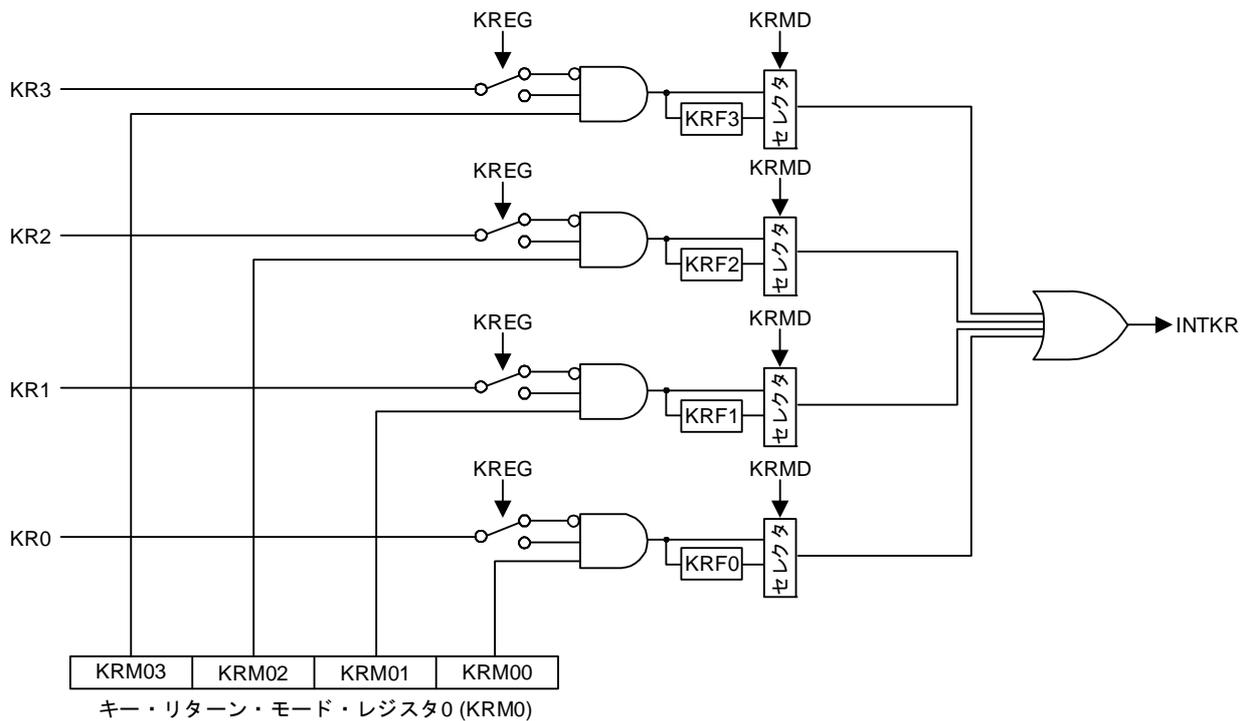
22.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表22 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・コントロール・レジスタ (KRCTL) キー・リターン・モード・レジスタ0 (KRM0) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・レジスタ3, 5 (PM3, PM5)

図22 - 1 キー割り込みのブロック図



備考 KR0-KR2 : 24, 32ピン製品
 KR0-KR3 : 48ピン製品

22.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次のレジスタで制御します。

- キー・リターン・コントロール・レジスタ (KRCTL)
- キー・リターン・モード・レジスタ0 (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ3, 5 (PM3, PM5)

22.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

キー・リターン・フラグ(KRF0-KRF3)の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-2 キー・リターン・コントロール・レジスタ (KRCTL)のフォーマット

アドレス : FFF34H リセット時 : 00H R/W

略号	<input type="checkbox"/> 7	6	5	4	3	2	1	<input type="checkbox"/> 0
KRCTL	KRMD	0	0	0	0	0	0	KREG
	KRMD	キー・リターン・フラグ (KRF0-KRF3) の使用						
	0	キー・リターン・フラグを使用しない						
	1	キー・リターン・フラグを使用する						
	KREG	検出エッジの選択 (KR0-KR3)						
	0	立ち下がリエッジ						
	1	立ち上がりエッジ						

22.3.2 キー・リターン・モード・レジスタ0 (KRM0)

KRM0レジスタはKR0-KR3信号を制御するレジスタです。

KRM0レジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-3 キー・リターン・モード・レジスタ0 (KRM0)のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	0	0	0	0	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. キー割り込み入力端子のプルアップ抵抗レジスタ3, 5 (PU3, PU5)の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。

注意2. キー割り込み入力端子にロウ・レベル(KREGに0を設定時)／ハイ・レベル(KREGに1を設定時)が入力されている状態で、KRM0レジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅(34.4 AC特性参照)を待つてから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

注意3. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考 n = 0-3

22.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー割り込みフラグ(KRF0-KRF3)を制御するレジスタです。

KRFレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-4 キー・リターン・フラグ・レジスタ (KRF)のフォーマット

アドレス : FFF35H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
KRF	0	0	0	0	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ(n = 0-3)
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注 “1”の書き込みは無効になります。KRFnをクリアする場合は、対象ビットに“0”を、他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

22.3.4 ポート・モード・レジスタ 3, 5 (PM3, PM5)

ポート3, ポート5の入力/出力を1ビット単位で設定するレジスタです。

キー割り込み入力 (KR0-KR3) として使用するとき, 各ポートに対応するポート・モード・レジスタ (PM3, PM5) のビットに“1”を設定してください。

PM3, PM5レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, PM3, PM5レジスタはFFHになります。

図22-5 ポート・モード・レジスタ 3, 5 (PM3, PM5) のフォーマット

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

アドレス : FFF25H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PMmn	PMmnの入出力モードの選択 (m = 3, 5, n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

第23章 スタンバイ機能

23.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI0, UART0のデータ受信、タイマ・トリガ信号(割り込み要求信号(INTRTC/INTIT)またはELCイベント入力)によるA/D変換要求、DTC起動要因により、STOPモードを解除し、CPUを動作させることなくCSI0, UART0のデータ受信、A/D変換、DTC動作を行います。CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意3. CSIO, UART0, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、17.3 シリアル・アレイ・ユニットを制御するレジスタ, 14.3 A/Dコンバータを制御するレジスタを参照してください。
- 注意4. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)とビット0 (ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 注意5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第29章 オプション・バイトを参照してください。

23.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第6章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第14章 A/Dコンバータ、第17章 シリアル・アレイ・ユニットを参照してください。

23.3 スタンバイ機能の動作

23.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”(割り込み処理許可)でかつ割り込み要求フラグが“1”(割り込み要求信号が発生)の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表23 - 1 HALTモード時の動作状態(1/2)

項目		HALTモードの設定			
		メイン・システム・クロックでCPU動作中のHALT命令実行時			
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でCPU動作時	X1クロック (f _X)で CPU動作時	外部メイン・システム・クロック (f _{EX})で CPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	f _{IH}	動作継続(停止不可)	動作禁止	動作禁止	
	f _{IM}	動作禁止	動作継続(停止不可)	動作禁止	
	f _X	動作禁止		動作継続(停止不可)	動作不可
	f _{EX}			動作不可	動作継続(停止不可)
サブシステム・クロック		f _{XT}	HALTモード設定前の状態を継続		
		f _{EXS}			
低速オンチップ・オシレータ・クロック		f _{IL}	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロック発振回路・クロック (f _{SX} , f _{SXR})動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止(DTC実行時は動作可能)			
ポート(ラッチ)		HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット		動作可能			
RTC		動作可能			
周波数測定機能		動作可能			
12ビット・インターバル・タイマ					
8ビット・インターバル・タイマ					
ウォッチドッグ・タイマ		第13章 ウォッチドッグ・タイマ参照			
クロック出力/プザー出力		動作可能			
A/Dコンバータ					
コンパレータ					
オペアンプ機能					
シリアル・アレイ・ユニット(SAU)					
データ演算回路(DOC)		DTCによるレジスタ設定にて動作可能			
データ・トランスファ・コントローラ(DTC)		動作可能			
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能		高速CRC			
		汎用CRC	RAM領域の演算で、DTC実行時は動作可能		
不正メモリ・アクセス検出機能		DTC実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 f_{IH} : 高速オンチップ・オシレータ・クロック f_{IL} : 低速オンチップ・オシレータ・クロック
 f_{IM} : 中速オンチップ・オシレータ・クロック f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック f_{XT} : XT1クロック
 f_{EXS} : 外部サブシステム・クロック

表 23 - 2 HALT モード時の動作状態 (2/2)

項目		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) で CPU動作時	外部サブシステム・クロック (fEXS) で CPU動作時	低速オンチップ・オシレータ・ クロック (fIL) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	fIH	動作禁止		
	fIM			
	fX			
	fEX			
サブシステム・クロック	fXT	動作継続(停止不可)	動作不可	動作禁止
	fEXS	動作不可	動作継続(停止不可)	動作禁止
低速オンチップ・オシレータ・ クロック	fIL	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC)の WUTMMCK0 ビットにて設定 WUTMMCK0 = 1 : 発振 (サブシステム・クロック発振回路・クロック (fsx, fsxr) 動作時は WUTMMCK0 = 1, SELLOSC = 1 の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1 のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0 のとき : 停止		動作継続(停止不可)
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止(DTC実行時は動作可能)		
データ・フラッシュ・メモリ				
RAM		動作停止(DTC実行時は動作可能)		
ポート(ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		RTCLPC = 0のときは動作可能(それ以外は動作禁止)		動作可能
RTC2		動作可能		
周波数測定機能		動作停止		
12ビット・インターバル・タイマ		動作可能		
8ビット・インターバル・タイマ		動作可能		
ウォッチドッグ・タイマ		第13章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		RTCLPC = 0のときは動作可能(それ以外は動作禁止)		
A/Dコンバータ		動作禁止		
コンパレータ		RTCLPC = 0のときは動作可能(それ以外は動作禁止)		動作可能
オペアンプ機能		動作可能		
シリアル・アレイ・ユニット(SAU)		RTCLPC = 0のときは動作可能(それ以外は動作禁止)		動作可能
データ演算回路(DOC)		DTCによるレジスタ設定にて動作可能		
データ・トランスファ・コントローラ(DTC)		RTCLPC = 0のときは動作可能(それ以外は動作禁止)		動作可能
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能		動作可能		
外部割り込み				
キー割り込み機能				
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC実行時は動作可能		
不正メモリ・アクセス検出機能		DTC実行時は動作可能		
RAMパリティ・チェック機能		動作可能		
RAMガード機能				
SFRガード機能				

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 fIH : 高速オンチップ・オシレータ・クロック fIL : 低速オンチップ・オシレータ・クロック
 fIM : 中速オンチップ・オシレータ・クロック fX : XT1クロック
 fEX : 外部メイン・システム・クロック fXT : XT1クロック
 fEXS : 外部サブシステム・クロック

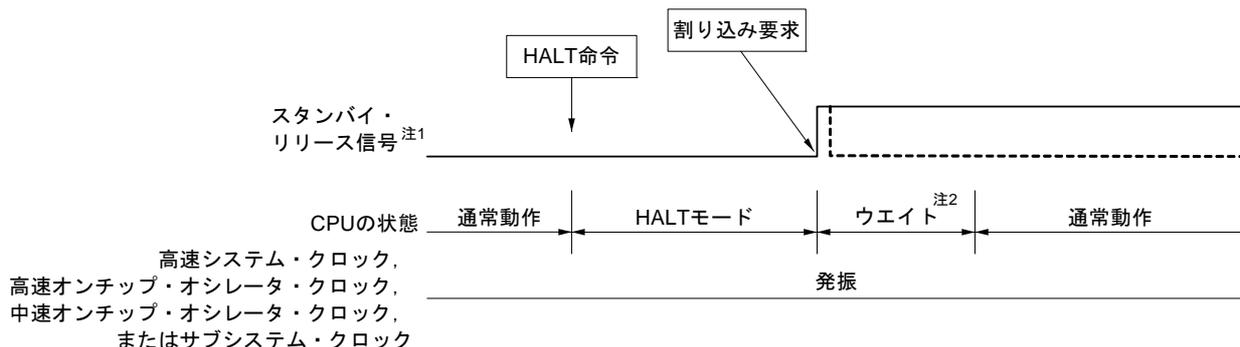
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成 (1/2)を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時: 15～16クロック
 - サブシステム・クロック時(RTCLPC = 0): 10～11クロック
 - サブシステム・クロック時(RTCLPC = 1): 11～12クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時: 9～10クロック
 - サブシステム・クロック時(RTCLPC = 0): 4～5クロック
 - サブシステム・クロック時(RTCLPC = 1): 5～6クロック

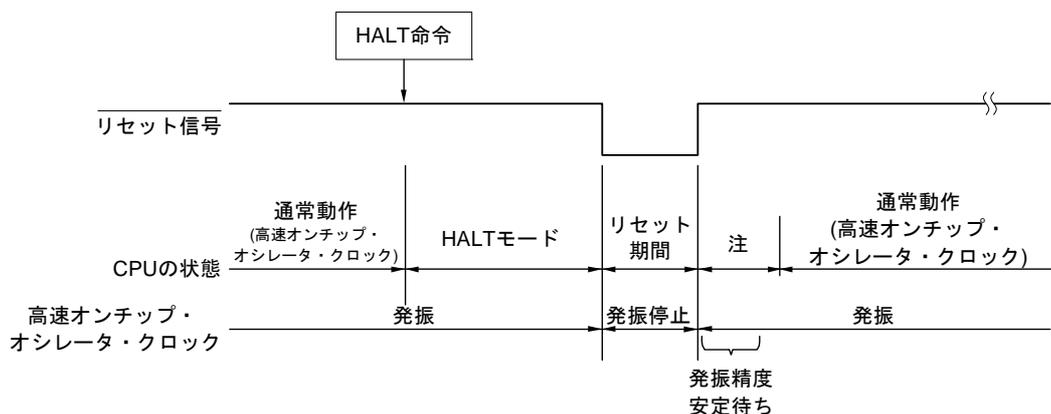
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

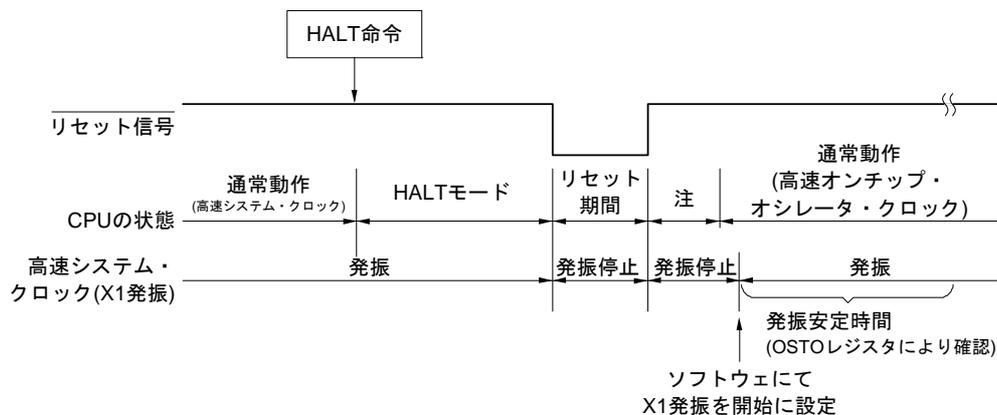
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23 - 2 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



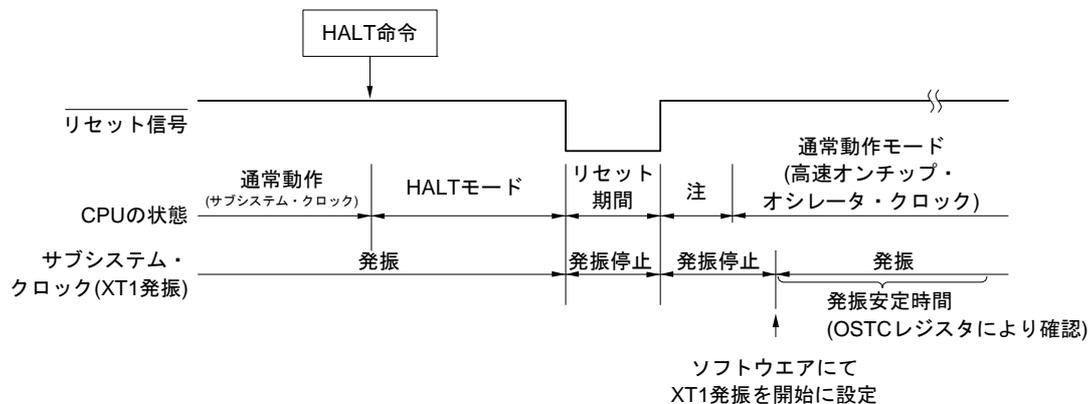
(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

図23-3 HALTモードのリセットによる解除(2/2)

(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが“0” (割り込み処理許可)かつ割り込み要求フラグが“1” (割り込み要求信号が発生)の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入っただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表 23 - 3 STOPモード時の動作状態

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・ オシレータ・クロック (f _{IH})で CPU動作時	中速オンチップ・ オシレータ・クロック (f _{IM})で CPU動作時	X1クロック (f _X)で CPU動作時	外部メイン・システム・ クロック (f _{EX})でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・ クロック	f _{IH}	停止			
	f _{IM}	停止	停止	停止	
	f _X	停止			
	f _{EX}	停止			
サブシステム・クロック	f _{XT}	STOPモード設定前の状態を継続			
	f _{EXS}	STOPモード設定前の状態を継続			
fil		オプション・バイト (000C0H)のビット0 (WDSTBYON)、ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロック発振回路・クロック (f _{SX} , f _{SXR})動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ		動作停止			
データ・フラッシュ・メモリ		動作停止			
RAM		動作停止			
ポート(ラッチ)		STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット		動作禁止			
RTC2		動作可能			
周波数測定機能		動作禁止			
12ビット・インターバル・タイマ		動作可能			
8ビット・インターバル・タイマ		動作可能			
ウォッチドッグ・タイマ		第13章 ウォッチドッグ・タイマ参照			
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能(それ以外は、動作禁止)			
A/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)			
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)			
オペアンプ機能		動作可能			
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止			
データ演算回路(DOC)		動作停止			
データ・トランスファ・コントローラ(DTC)		DTC起動要因受付動作可能(SNOOZEモードへ移行)			
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能		動作可能			
外部割り込み		動作可能			
キー割り込み機能		動作可能			
CRC演算機能	高速CRC	動作停止			
	汎用CRC	動作停止			
不正メモリ・アクセス検出機能		動作停止			
RAMパリティ・エラー検出機能		動作停止			
RAMガード機能		動作停止			
SFRガード機能		動作停止			

(備考は次ページにあります。)

備考	動作停止：	STOPモード移行時に自動的に動作停止	
	動作禁止：	STOPモード移行前に動作を停止させる	
	fIH：	高速オンチップ・オシレータ・クロック	fIL： 低速オンチップ・オシレータ・クロック
	fIM：	中速オンチップ・オシレータ・クロック	fX： X1クロック
	fEX：	外部メイン・システム・クロック	fXT： XT1クロック
	fEXS：	外部サブシステム・クロック	

(2) STOPモードの解除

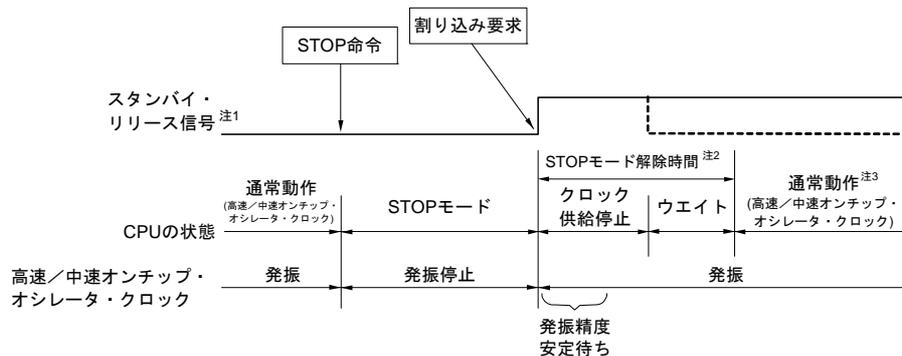
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図23-4 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速/中速オンチップ・オシレータ・クロック



注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成(1/2)を参照してください。

注2. STOPモード解除時間

クロック供給停止：

高速オンチップ・オシレータ・クロックの場合：18μs～65μs

中速オンチップ・オシレータ・クロックの場合：22μs～31μs (HSモード)

2.2 μs～3.4 μs (LSモード, 4MHz動作時)

2.9 μs～4.2 μs (LSモード, 2MHz動作時)

4.2 μs～5.9 μs (LSモード, 1MHz動作時)

4.2 μs～5.9 μs (LPモード, 1MHz動作時)

ウェイト：

(高速/中速オンチップ・オシレータ・クロック共通)

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注3. 中速オンチップ・オシレータ・クロックでSTOPモードから通常動作に遷移後、CPU/周辺ハードウェア・クロック (fCLK) を高速オンチップ・オシレータ・クロックに切り替える場合は、ソフトウェアで以下の時間が経過した後に切り替えてください。

HSモード時：24μs

LSモード時：10μs

LPモード時：7μs

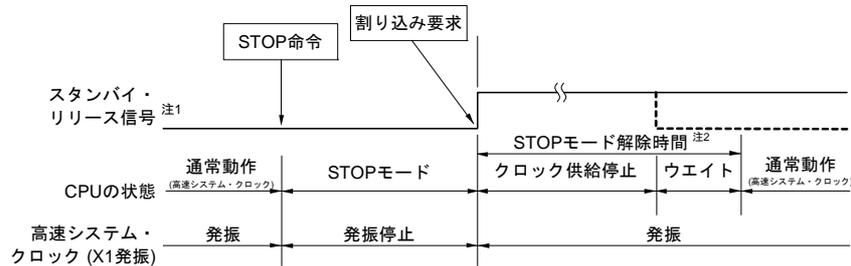
注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23 - 5 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図21 - 1 割り込み機能の基本構成 (1/2)を参照してください。

注2. STOPモード解除時間

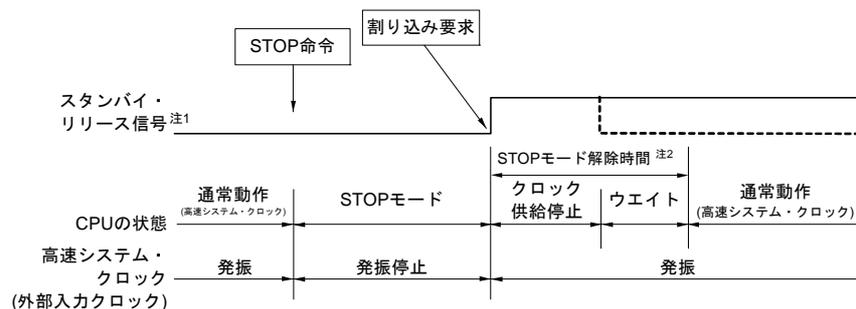
クロック供給停止：

18 μ s ~ 65 μ s または発振安定時間(OSTSで設定)の長い方

ウェイト

- ベクタ割り込み処理を行う場合：10~11クロック
- ベクタ割り込み処理を行わない場合：4~5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関する詳細は、図21 - 1 割り込み機能の基本構成 (1/2)を参照してください。

注2. STOPモード解除時間

クロック供給停止：

18 μ s ~ 65 μ s

ウェイト：

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

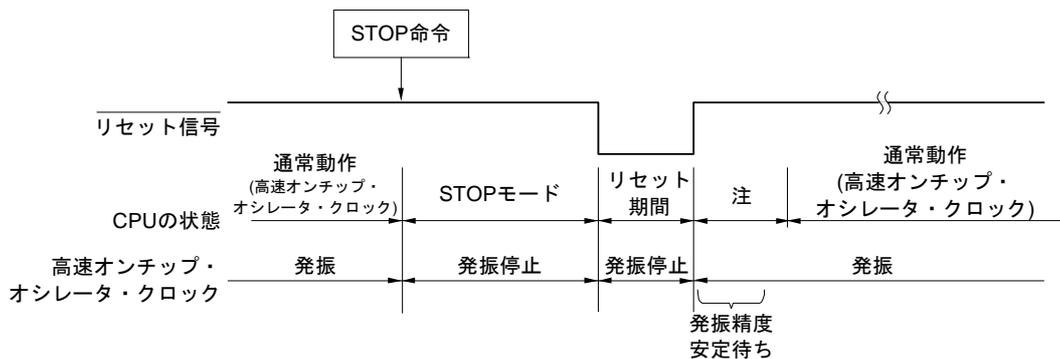
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

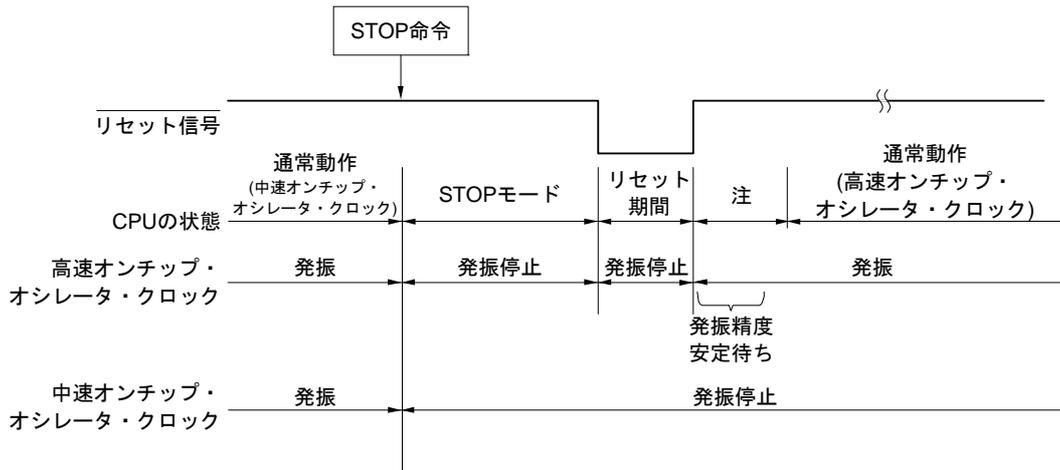
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-6 STOPモードのリセットによる解除

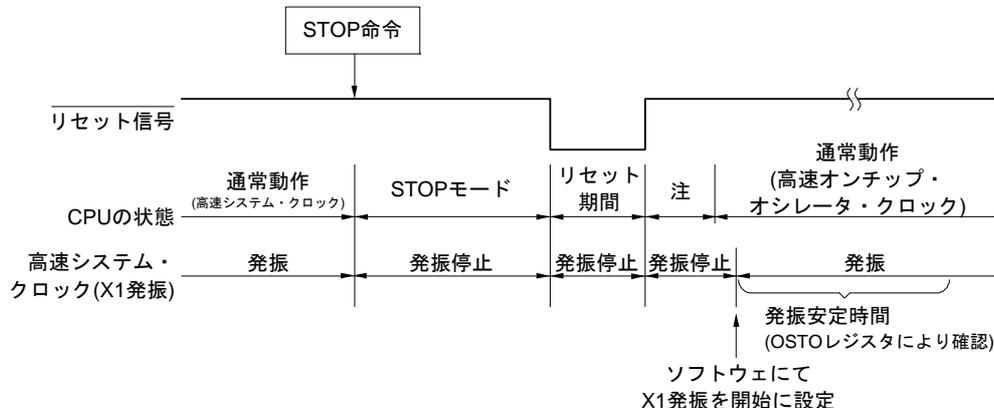
(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが中速オンチップ・オシレータ・クロックの場合



(3) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.3 SNOOZE モード

(1) SNOOZE モードの設定および動作状態

CSI0, UART0, A/Dコンバータ, DTCによって設定可能です。また, 設定前のCPUクロックが, 高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合, 設定可能です注。

CSI0, UART0をSNOOZEモードで使用する場合は, シリアル・スタンバイ・コントロール・レジスタm (SSCm)をSTOPモードに移行前に設定してください。詳細は, 17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は, A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は, 14.3 A/Dコンバータを制御するレジスタを参照してください。

DTC転送をSNOOZEモードで使用する場合は, STOPモードに移行する前に, 使用するDTC起動要因を許可してください。STOPモード中に, 許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は, 19.3 DTCを制御するレジスタを参照してください。

注 UART受信を使用してSTOPモードからSNOOZEモードへ遷移する場合, 高速オンチップ・オシレータを使用してください。

SNOOZEモードの移行では, 次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間:

高速オンチップ・オシレータ・クロックの場合: 18 μ s~65 μ s

中速オンチップ・オシレータ・クロックの場合: 22 μ s~31 μ s (HSモード)

~3.4 μ s (LSモード, 4MHz動作時)

~4.2 μ s (LSモード, 2MHz動作時)

~5.9 μ s (LSモード, 1MHz動作時)

~5.9 μ s (LPモード, 1MHz動作時)

備考 STOPモード→SNOOZEモードの遷移時間は, 温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合

HS (高速メイン)モード：“5.2～9.4 μ s” + 7クロック

LS (低速メイン)モード：“1.3～4.5 μ s” + 7クロック

LV (低電圧メイン)モード：“17.5～25.2 μ s” + 7クロック

- ベクタ割り込み処理を行わない場合

HS (高速メイン)モード：“5.2～9.4 μ s” + 1クロック

LS (低速メイン)モード：“1.3～4.5 μ s” + 1クロック

LV (低電圧メイン)モード：“17.5～25.2 μ s” + 1クロック

中速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合

HS (高速メイン)モード：“6.0～10.3 μ s” + 7クロック

LS (低速メイン)モード：“1.8～4.9 μ s” + 7クロック

LP (低電力メイン)モード：“3.8～4.9 μ s” + 7クロック

- ベクタ割り込み処理を行わない場合

HS (高速メイン)モード：“6.0～10.3 μ s” + 1クロック

LS (低速メイン)モード：“1.8～4.9 μ s” + 1クロック

LP (低電力メイン)モード：“3.8～4.9 μ s” + 1クロック

次にSNOOZEモード時の動作状態を示します。

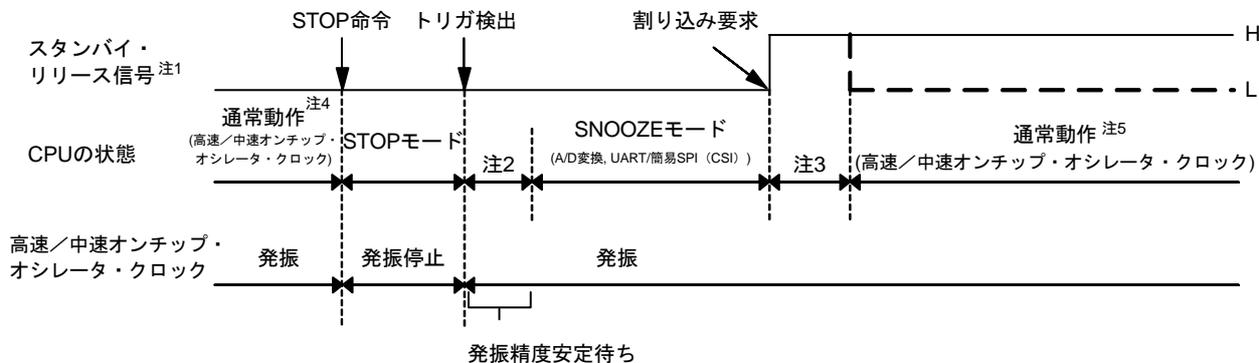
表 23 - 4 SNOOZE モード時の動作状態

項目		STOPモードの設定		STOPモード中にCSI0, UART0のデータ受信信号, A/Dコンバータのタイマ・トリガ信号入力, DTC起動要因発生時	
				高速オンチップ・オシレータ・クロック (fIH)でのCPU動作時	中速オンチップ・オシレータ・クロック (fIM)でのCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	fIH	動作開始	停止		
	fIM	停止	動作開始		
	fX	停止			
	fEX				
サブシステム・クロック	fXT	動作可能			
	fEXS				
fIL		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロック発振回路・クロック (fsx, fsxr)動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止 (DTC実行時は動作可能)			
ポート(ラッチ)		STOPモード中の状態を継続			
タイマ・アレイ・ユニット		動作禁止			
RTC2		動作可能			
周波数測定機能		動作禁止			
8ビット・インターバル・タイマ		動作可能			
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ		第13章 ウォッチドッグ・タイマ参照			
クロック出力/ブザー出力		カウント・クロックにfILまたはfsxr選択時かつRTCLPC = 0のときは動作可能(それ以外は, 動作禁止)			
A/Dコンバータ		動作可能			
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)			
オペアンプ機能		動作可能			
シリアル・アレイ・ユニット(SAU)		CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止			
データ演算回路(DOC)		DTCによるレジスタ設定にて動作可能			
データ・トランスファ・コントローラ(DTC)		動作可能			
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC	動作停止			
	汎用CRC	動作禁止			
不正メモリ・アクセス検出機能		DTC実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

備考 動作停止 : STOPモード移行時に自動的に動作停止
 動作禁止 : STOPモード移行前に動作を停止させる
 fIH : 高速オンチップ・オシレータ・クロック fIL : 低速オンチップ・オシレータ・クロック
 fIM : 中速オンチップ・オシレータ・クロック fX : X1クロック
 fEX : 外部メイン・システム・クロック fXT : XT1クロック
 fEXS : 外部サブシステム・クロック fsx : サブシステム・クロック発振回路・クロック
 fsxr : サブシステム・クロック発振回路・RTC2他クロック

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

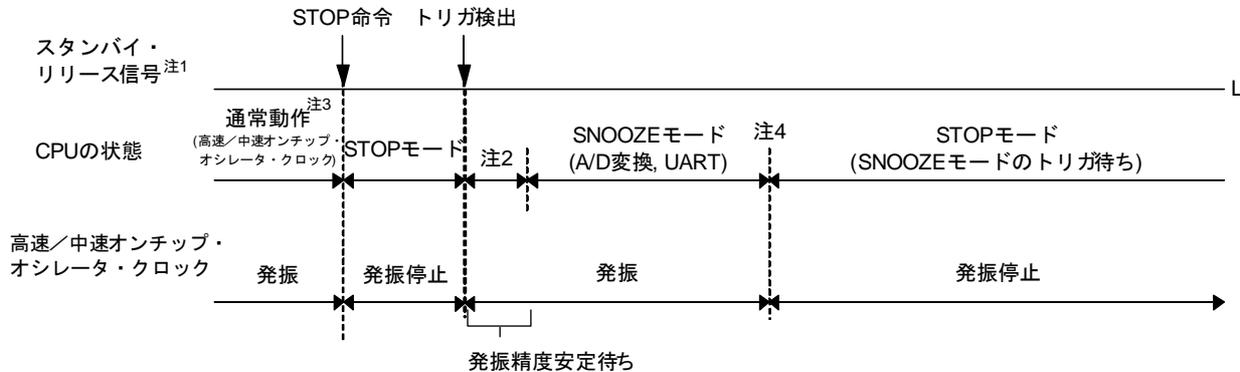
図23 - 7 SNOOZEモードの割り込み要求が発生する場合



- 注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. SNOOZEモード→通常動作の遷移時間
- 注4. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。
- 注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(AWC = 0/SWC = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図23 - 8 SNOOZEモードの割り込み要求が発生しない場合



- 注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。
- 注4. SNOOZEモードからSTOPモードへ移行するタイミングでSNOOZEモードに設定した機能以外の割り込みによるスタンバイ・リリース信号が発生した場合、CPU動作開始から15 μs(max.)の間、高速オンチップ・オシレータの周波数が遅くなる可能性があります。スタンバイ解除直後に電気的特性に示す周波数精度が必要な場合は、CPUクロック周波数で15 μs相当分ウエイトしてください。

備考 SNOOZEモード機能の詳細は、第14章 A/Dコンバータ、第17章 シリアル・アレイ・ユニットを参照してください。

第24章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表24-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

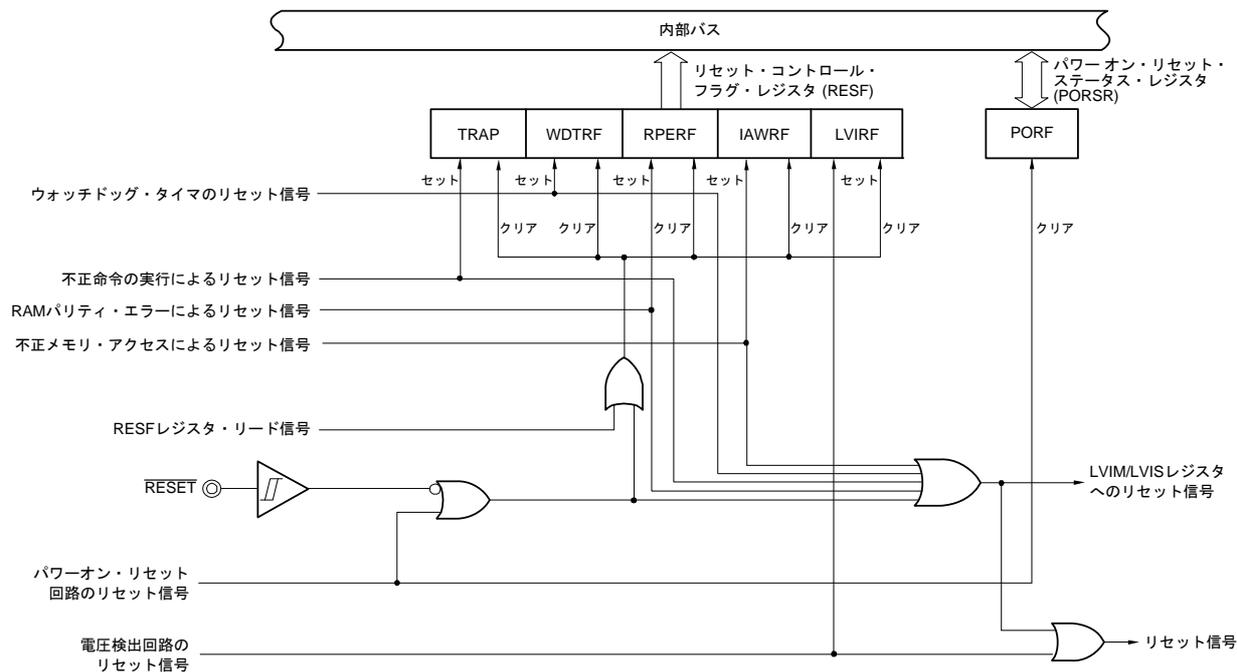
電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、34.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、XT1クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。

注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)
- P40以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

図24-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

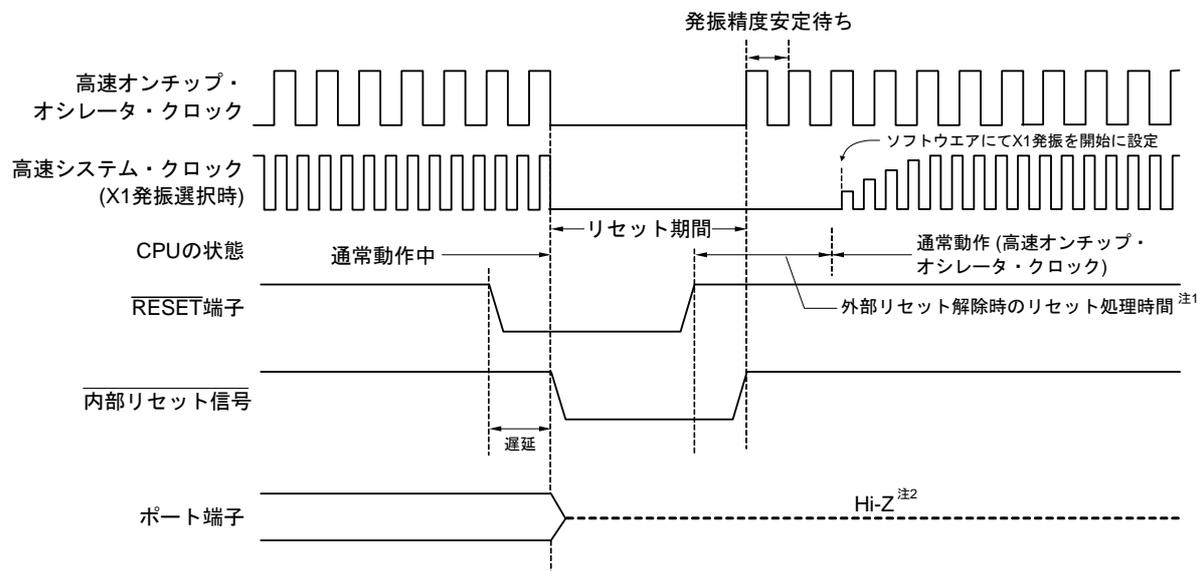
備考1. LVIM : 電圧検出レジスタ

備考2. LVIS : 電圧検出レベル・レジスタ

24.1 リセット動作のタイミング

RESET 端子にロウ・レベルが入力されて、リセットがかかり、RESET 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

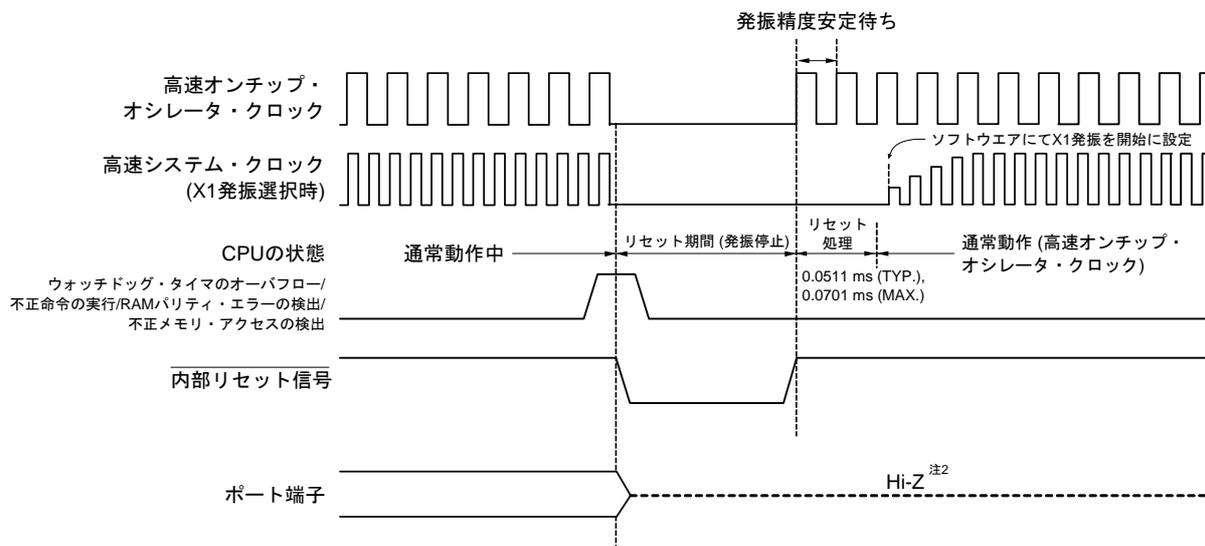
図24-2 RESET入力によるリセット・タイミング



(注、注意は、次ページにあります。)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図24-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注、注意は、次ページにあります。)

注1. 外部リセット解除時のリセット時間：

POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) が
かかります。

注2. ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリ
セットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。
詳細は、第25章 パワーオン・リセット回路または第26章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

表24-1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作停止
	f _{IM}	
	f _X	動作停止(X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効(端子は入力ポート・モード)
	f _{XT}	動作可能(XT1, XT2端子は入力ポート・モード)
サブシステム・クロック	f _{EXS}	クロックの入力無効(端子は入力ポート・モード)
	f _{IL}	動作停止
CPU		
コード・フラッシュ・メモリ	動作停止	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止	
ポート(ラッチ)	ハイ・インピーダンス ^注	
タイマ・アレイ・ユニット	動作停止	
リアルタイム・クロック2	PORリセット以外：動作可能 PORリセット： カレンダー動作可能, RTCC0, RTCC1, SUBCUDレジスタは動作停止	
周波数測定回路	動作停止	
12ビット・インターバル・タイマ		
8ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
コンパレータ		
オペアンプ機能		
シリアル・アレイ・ユニット(SAU)		
データ演算回路(DOC)		
データ・トランスファ・コントローラ(DTC)		
イベント・リンク・コントローラ(ELC)		
パワーオン・リセット機能	検出動作可能	
電圧検出機能	LVDリセット時は動作可能。それ以外のリセット時は動作停止。	
外部割り込み	動作停止	
キー割り込み機能		
CRC演算機能	高速CRC	
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

注 ポート端子P40は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル(内蔵プルアップ抵抗接続)

備考 f_{IH}： 高速オンチップ・オシレータ・クロック f_X： X1発振クロック
 f_{IM}： 中速オンチップ・オシレータ・クロック f_{EX}： 外部メイン・システム・クロック
 f_{XT}： XT1発振クロック f_{EXS}： 外部サブシステム・クロック周波数
 f_{IL}： 低速オンチップ・オシレータ・クロック

表24-2 各ハードウェアのリセット受け付け後の状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(0000H, 0001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 特殊機能レジスタ(SFR: Special Function Register)のリセット受け付け後の状態は、3.1.4 特殊機能レジスタ(SFR: Special Function Register)領域、3.1.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)領域を参照してください。

24.2 リセット要因を確認するレジスタ

24.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF)は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット (POR) 回路によるリセットおよび RESF レジスタのデータを読み出し後、RESF レジスタ以外の SFR にアクセスすることにより、TRAP、WDTRF、RPERF、IAWRF、LVIRF フラグはクリアされます。

図24-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求 ^{注2}							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ(WDT)による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
LVIRF	電圧検出(LVD)回路による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。表24-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表24-3に示します。

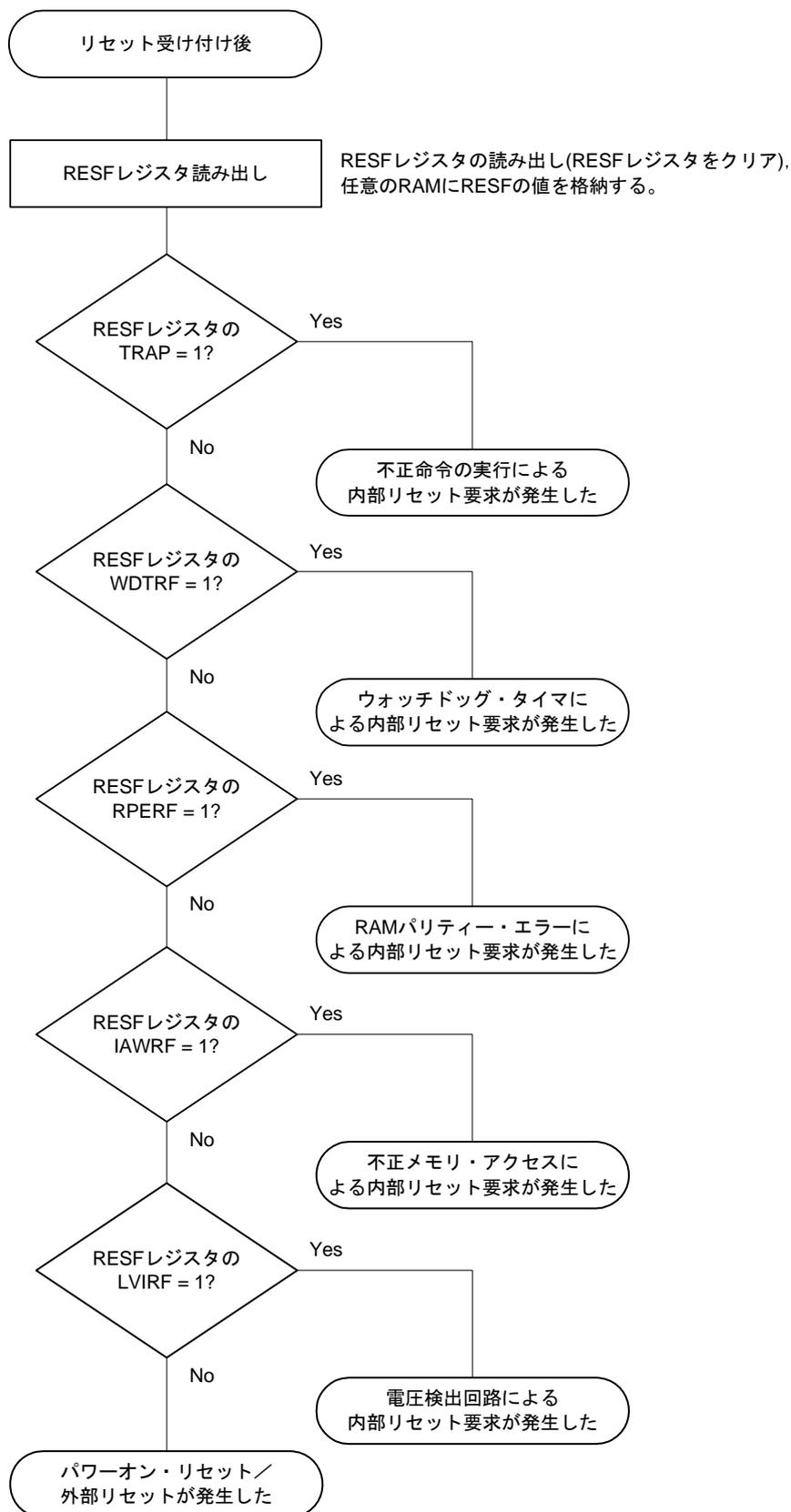
表24-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持
WDTRF			保持	セット(1)			
RPERF				保持	セット(1)		
IAWRF					保持	セット(1)	
LVIRF						保持	

RESFレジスタは、8ビット・メモリ操作命令で読み出し後、RESFレジスタ以外のSFRにアクセスすると、自動的にクリアされます。

リセット要因の手順を図24-5に示します。

図24-5 リセット要因の確認手順例



24.2.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSRレジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0 (PORF)は“1”書き込み有効であり、“0”書き込みは無効です。

パワーオン・リセット発生の有無を確認するときは、あらかじめPORFビットに“1”を書き込んでおいてください。

PORSRレジスタは、8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00Hになります。

注意1. PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注意2. PORFが“1”のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

図24-6 パワーオン・リセット・ステータス・レジスタ (PORSR)のフォーマット

アドレス : F00F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF
PORF	パワーオン・リセット発生確認							
0	“1”書き込みが行われていない、またはパワーオン・リセットが発生							
1	パワーオン・リセットは発生していない							

24.2.3 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

図24-7 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	0	ADCRES	0	0	SAU0RES	0	TAU0RES

PRR0n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考 n = 0, 2, 5

各ビットの制御対象を以下に示します。

表24-4 PRR0の各ビットにおける制御対象

ビット	ビット名	制御対象
0	TAU0RES	タイマ・アレイ・ユニット (ユニット0)
2	SAU0RES	シリアル・アレイ・ユニット (ユニット0)
5	ADCRES	A/Dコンバータ

24.2.4 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

図24-8 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス : F00FBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	CMPRES	0	0	0	0	0

PRR1n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考 n = 5

各ビットの制御対象を以下に示します。

表24-5 PRR1の各ビットにおける制御対象

ビット	ビット名	制御対象
5	CMPRES	コンパレータ0, コンパレータ1

24.2.5 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

図24 - 9 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	0	DOCRES	0	0	0	0	0

PRR2n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考 n = 5, 7

各ビットの制御対象を以下に示します。

表24 - 6 PRR2の各ビットにおける制御対象

ビット	ビット名	制御対象
5	DOCRES	データ演算回路 (DOC)
7	TMKARES	12ビット・インターバル・タイマ

第25章 パワーオン・リセット回路

25.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。ただし、34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(VDD)と検出電圧(VPDR)を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)およびパワーオン・リセット・ステータス・レジスタ(PORSR)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第24章 リセット機能を参照してください。

備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ(PORSR)で確認することができます。PORSRレジスタの詳細については、第24章 リセット機能を参照してください。

備考3. VPOR : POR電源立ち上がり検出電圧

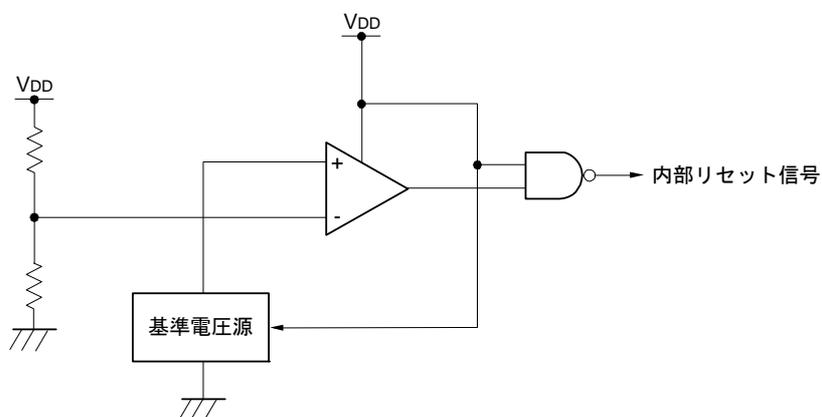
VPDR : POR電源立ち下がり検出電圧

詳細は、34.6.5 POR回路特性を参照してください。

25.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図25 - 1に示します。

図25 - 1 パワーオン・リセット回路のブロック図

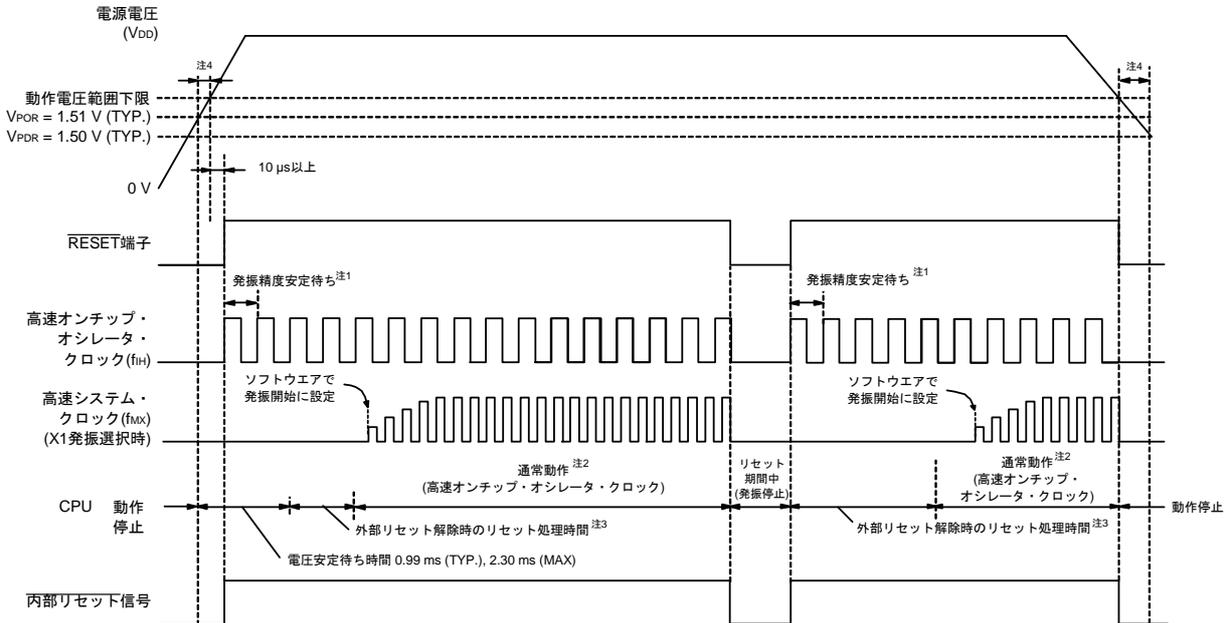


25.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) RESET端子による外部リセット入力使用時



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目：	0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
	0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

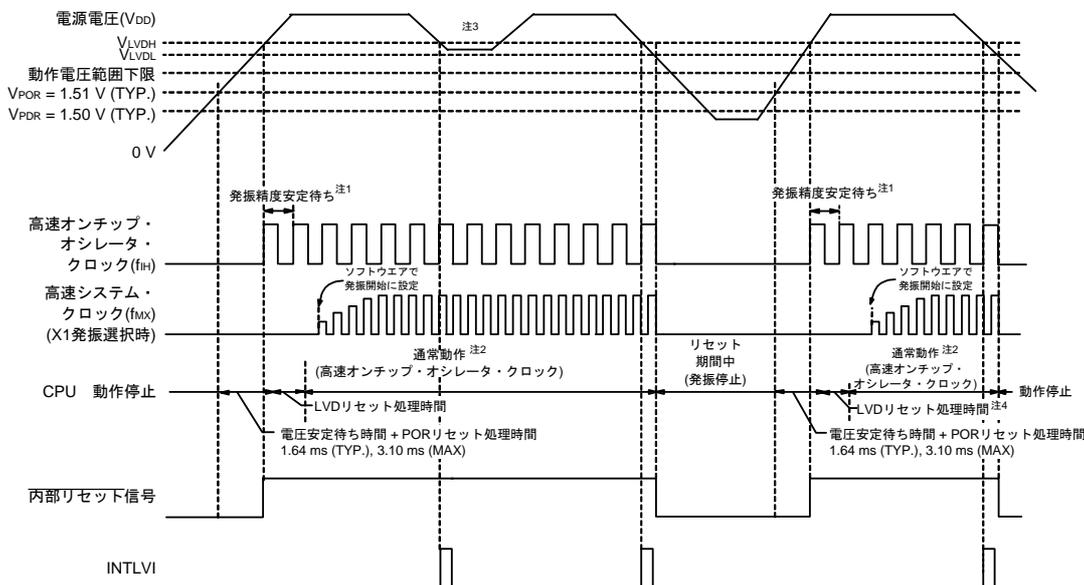
POR解除後2回目以降：	0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
	0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
- 注4. 電源立ち上がり時は、34.4 AC 特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 VPOR： POR電源立ち上がり検出電圧
 VPDR： POR電源立ち下がり検出電圧

注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第26章 電圧検出回路を参照してください。

図25-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング(2/3)

(2) LVD割り込み&リセットモード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

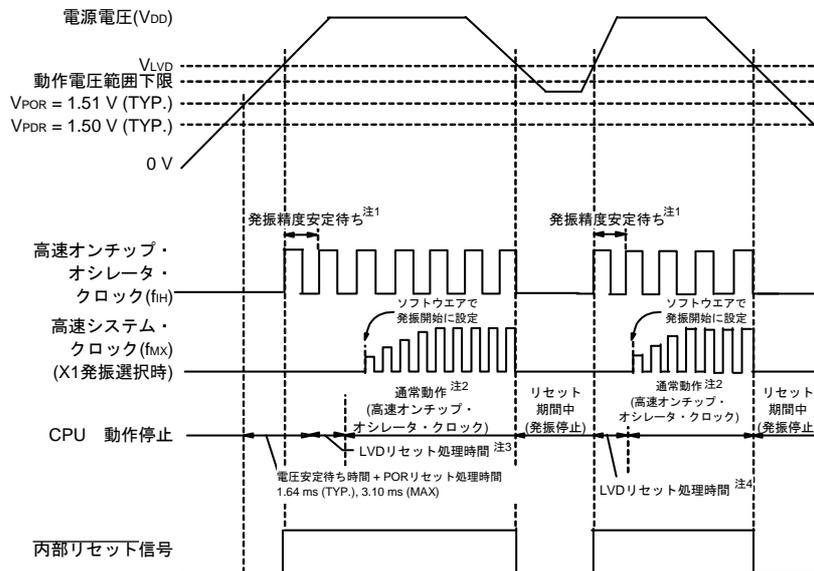


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧(V_{LVDL})を下回らずに、高電圧検出電圧(V_{LVDH})以上に復帰する場合を考慮して、INTLVI発生後は、“図26-10 動作電圧確認/リセットの設定手順”に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(V_{LVDH})に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

備考 V_{LVDH}, V_{LVDL} : LVD検出電圧
 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図25-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(3/3)

(3) LVD リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。

注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

注4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} : LVD検出電圧

V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

備考2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0 = 0, 1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図25-4 (3) LVDリセット・モード時の“注3”の時間と同じです。

第26章 電圧検出回路

26.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。また、検出電圧はLVISレジスタで再設定が可能です。電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL)は、検出レベルを14段階より選択できます(26.3.2 電圧検出レベル・レジスタ(LVIS)および第29章 オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用/割り込み発生用として使用します。リセット発生用としても使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生/解除用として使用します。また、検出電圧はLVISレジスタで再設定が可能です。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、割り込み発生/リセット解除用として使用します。また、検出電圧はLVISレジスタで再設定が可能です。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセット発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

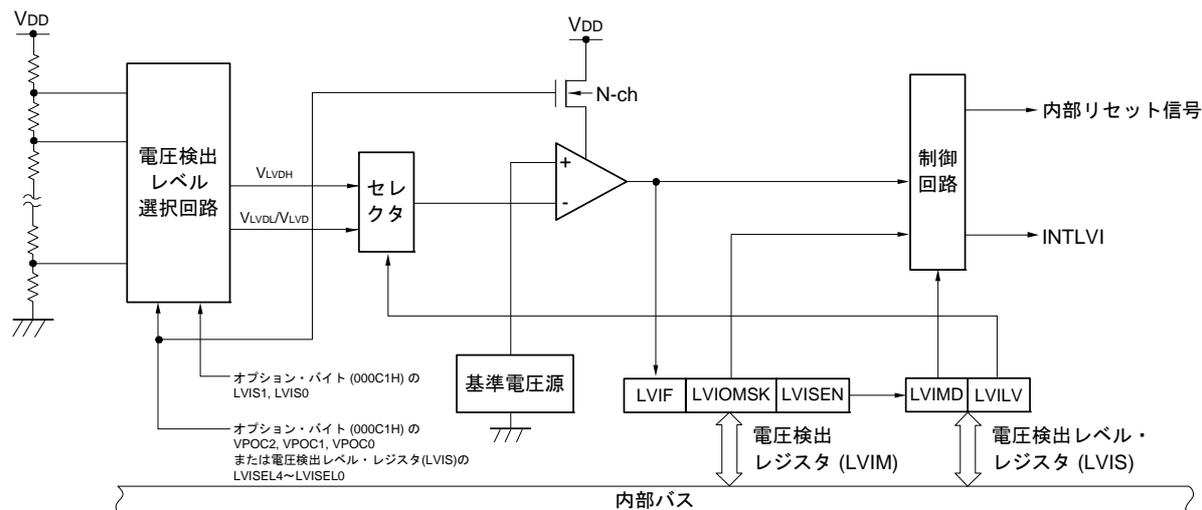
電圧検出回路動作時では、電圧検出フラグ(LVIF: 電圧検出レジスタ(LVIM)のビット0)を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFレジスタについての詳細は、第24章 リセット機能を参照してください。

26.2 電圧検出回路の構成

電圧検出回路のブロック図を図26-1に示します。

図26-1 電圧検出回路のブロック図



26.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

26.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図26-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFFA9H リセット時：00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF
LVISEN	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVISレジスタの書き換え禁止 (LVIOMSK = 0 (LVD出力マスク無効)になる)							
1	LVISレジスタの書き換え許可 (LVIOMSK = 1 (LVD出力マスク有効)になる)							
LVIOMSK	LVD出力マスク状態フラグ							
0	LVD出力マスク無効							
1	LVD出力マスク有効 ^{注3}							
LVIF	電圧検出フラグ							
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}), またはLVDオフ時							
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})							

注1. リセット値は、リセット要因により変化します。

LVDによるリセットのときには、LVIMレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、LVISENは“0”にクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. LVIOMSKビットは以下の間に自動で1となり、LVDによるリセットまたは割り込み発生がマスクされます。

- LVISEN = 1の期間

以下のいずれかの場合、割り込み&リセットモード時のみLVDによるリセットまたは割り込み発生がマスクされます。

- LVD割り込み発生から、LVD検出電圧が安定するまでの待ち時間
- LVILVビットの値変更から、LVD検出電圧が安定するまでの待ち時間

26.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。ユーザ・オプション・バイトで設定した電源下限電圧(LVD検出電圧)とLVD検出レベルの設定を、ソフトウェアで変更できます。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、注1になります。

注意 割り込み&リセットモード時に検出電圧を変更しないでください。

図26 - 3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 注1 R/W

略号	<input type="checkbox"/> 7	6	5	4	3	2	1	<input type="checkbox"/> 0
LVIS	LVIMD注2	0	LVISEL4	LVISEL3	LVISEL2	LVISEL1	LVISEL0	LVILV注2
LVIMD注2	電圧検出の動作モード							
0	割り込みモード							
1	リセット・モード							
LVISEL4注6	LVISEL3	LVISEL2	動作下限電圧(立ち下がりTYP値)注5					
0	0	1	1.84 V					
0	1	0	2.45 V					
0	1	1	2.75 V					
1	1	1	1.53 V (LVD OFF)					
上記以外			設定禁止					
LVISEL1	LVISEL0	LVD検出レベル設定注5						
0	0	LVISEL4/3/2による設定電圧 + 1.2 V注3						
0	1	LVISEL4/3/2による設定電圧 + 0.2 V注3						
1	0	LVISEL4/3/2による設定電圧 + 0.1 V注3						
1	1	LVISEL4/3/2による設定電圧注4						
LVILV注2	LVD検出レベル							
0	高電圧検出レベル(VLVDH)							
1	低電圧検出レベル(VLVDLまたはVLVD)							

- 注1. リセット値は、オプション・バイトの設定により変化します。
リセット解除後、ユーザ・オプション・バイトのVPOC2～VPOC0およびLVIS1, LVIS0の値がそれぞれLVISEL4～LVISEL2, LVISEL1, LVISEL0に反映されます。
LVIMDおよびLVILVのリセット値は、次のようになります。
オプションバイトLVIMDS1, LVIMDS0 = 1, 0のとき : LVIMD = 0, LVILV = 0
オプションバイトLVIMDS1, LVIMDS0 = 1, 1のとき : LVIMD = 1, LVILV = 1
オプションバイトLVIMDS1, LVIMDS0 = 0, 1のとき : LVIMD = 0, LVILV = 1
- 注2. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。
- 注3. おおよその検出値を示しています。実際の検出電圧は、電気的特性のLVDの項目を参照してください。
- 注4. LVIMDS1 - 0 = 1, 0のときは選択不可です。
- 注5. ソフトウェアによってLVISEL4-0を変更し2種類以上のLVD検出電圧を使用する場合、使用するLVD検出電圧のうち最も高い電圧値を示す設定値をユーザ・オプション・バイトのVPOC2-0, LVIS1-0ビットに設定して使用してください。
- 注6. LVISEL4の書き換えは禁止です。初期値から変更しないでください。
- 注意1. LVIMDビットおよびLVILVビットを書き換える場合は、図26 - 10の手順で行ってください。
- 注意2. LVDの動作モードと各モードの初期検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを図26 - 4に示します。オプション・バイトの詳細は第29章 オプション・バイトを参照してください。

図26-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

•LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V			0	1				
3.13 V	3.06 V			0	0				
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V			0	1				
2.92 V	2.86 V			1	1	1	0		
3.02 V	2.96 V	2.75 V		0	1	0	1		
—			上記以外は設定禁止						

•LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図26-5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

•LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—	—		上記以外は設定禁止					

•LVDオフ (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : Don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、34.6.6 LVD回路特性を参照してください。

26.4 電圧検出回路の動作

26.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と初期検出電圧(VLVD)の設定は、オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、26.3.2 電圧検出レベル・レジスタ(LVIS)を参照してください。
ビット7(LVIMD)は“1”(リセット・モード)
ビット0(LVILV)は“1”(電圧検出レベル: VLVD)

●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(V_{DD})が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(V_{DD})が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

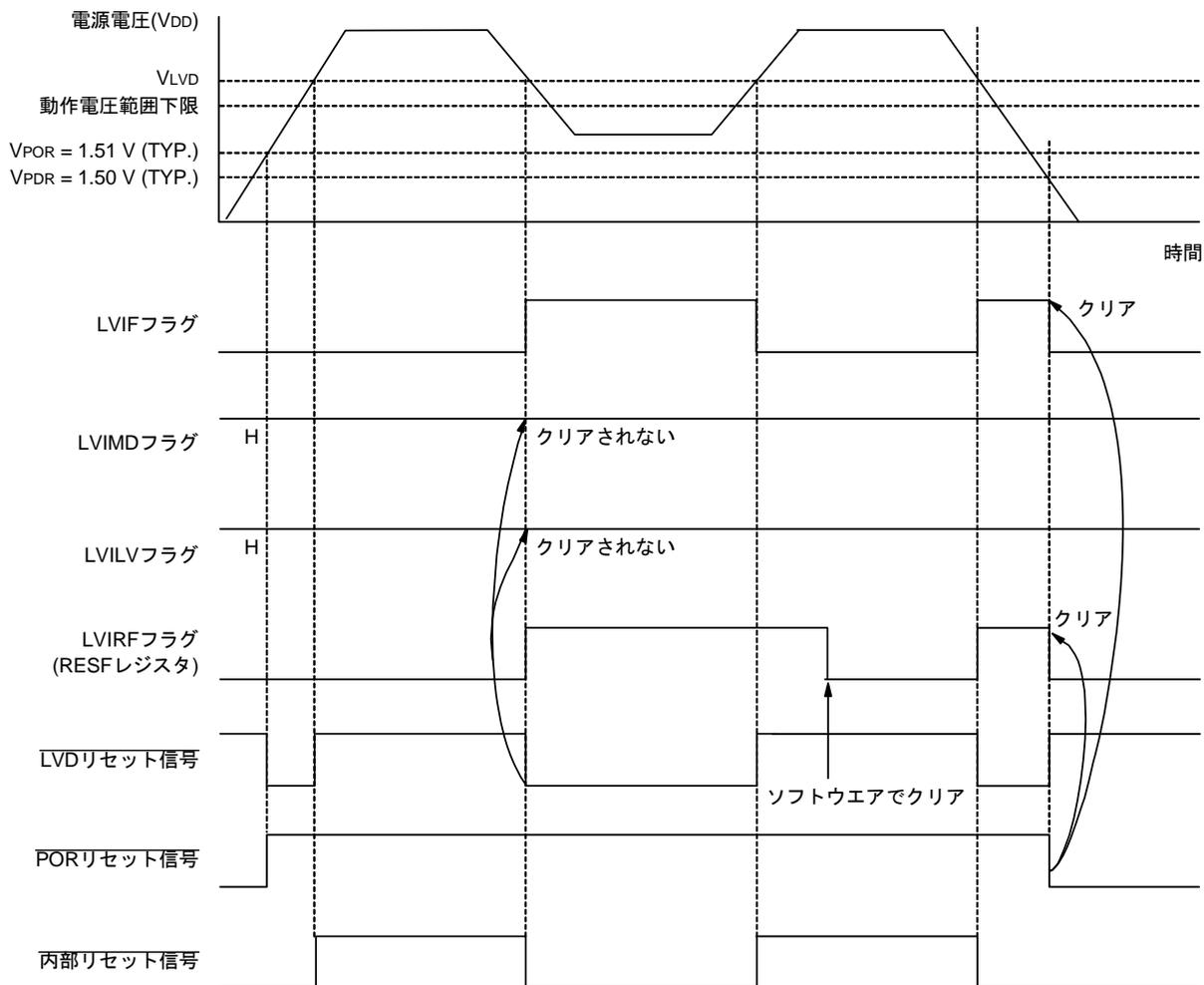
動作電圧降下時は電源電圧(V_{DD})が電圧検出レベル(VLVD)を下回るとLVDによる内部リセットが発生します。

LVDリセット発生時のリセット解除電圧は、オプション・バイトで設定した検出電圧と、LVISレジスタで設定した検出電圧の高い方の電圧になります。電源電圧が電圧検出レベルを超えるまでLVDによる内部リセット状態を保ちます。

LVDリセット以外のリセットでのリセット解除電圧は、オプション・バイトで設定した電圧検出レベルになります。

図26-6に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図26 - 6 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



備考 VPOR : POR 電源立ち上がり検出電圧
 VPDR : POR 電源立ち下がり検出電圧

26.4.2 割り込みモードとして使用する場合の設定

動作モード(割り込みモード(LVIMDS1, LVIMDS0 = 0, 1))と初期検出電圧(V_{LVD})の設定は、オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、26.3.2 電圧検出レベル・レジスタ(LVIS)を参照してください。

ビット7(LVIMD)は“0”(割り込みモード)

ビット0(LVILV)は“1”(電圧検出レベル : V_{LVD})

●LVD割り込みモードの動作

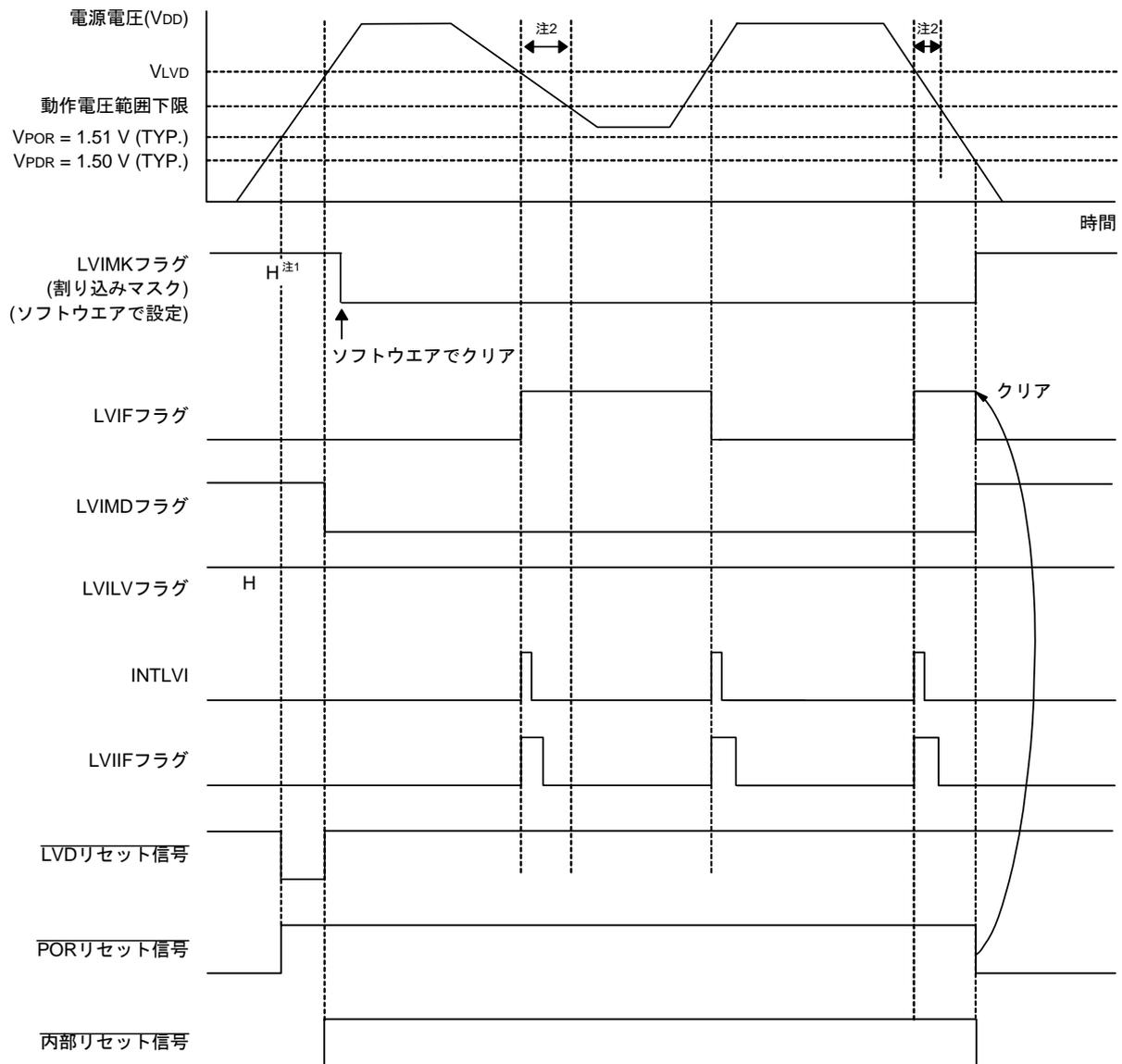
割り込みモード(オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)では、リセット発生直後、電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を上回るまではLVDによる内部リセット状態を保ちます。動作電圧(V_{DD})が電圧検出レベル(V_{LVD})を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は、電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えるとLVDによる割り込み要求信号(INTLVI)が発生します。動作電圧降下時は、34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

検出レベルを変更するなどLVISENビットを1にした(LVDをマスクした)後、LVISEN = 0にした時に、電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を下回っていた場合、LVDによる割り込み要求信号(INTLVI)が発生します。

図26-7に、LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図 26 - 7 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

注2. 動作電圧降下時は、34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

26.4.3 割り込み&リセット・モードとして使用時の設定

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 (VLVDH, VLVDL) の設定は、オプション・バイト000C1Hで設定します。検出電圧をLVISレジスタで変更する操作は禁止です。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、26.3.2 電圧検出レベル・レジスタ (LVIS) を参照してください。ビット7 (LVIMD) は“0” (割り込みモード)、ビット0 (LVILV) は“0” (高電圧検出レベル: VLVDH)

● LVD 割り込み&リセット・モードの動作

割り込み&リセット・モード (オプション・バイトの LVIMDS1, LVIMDS0 = 1, 0) は、電源投入時、電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えるまでは LVD による内部リセット状態を保ちます。

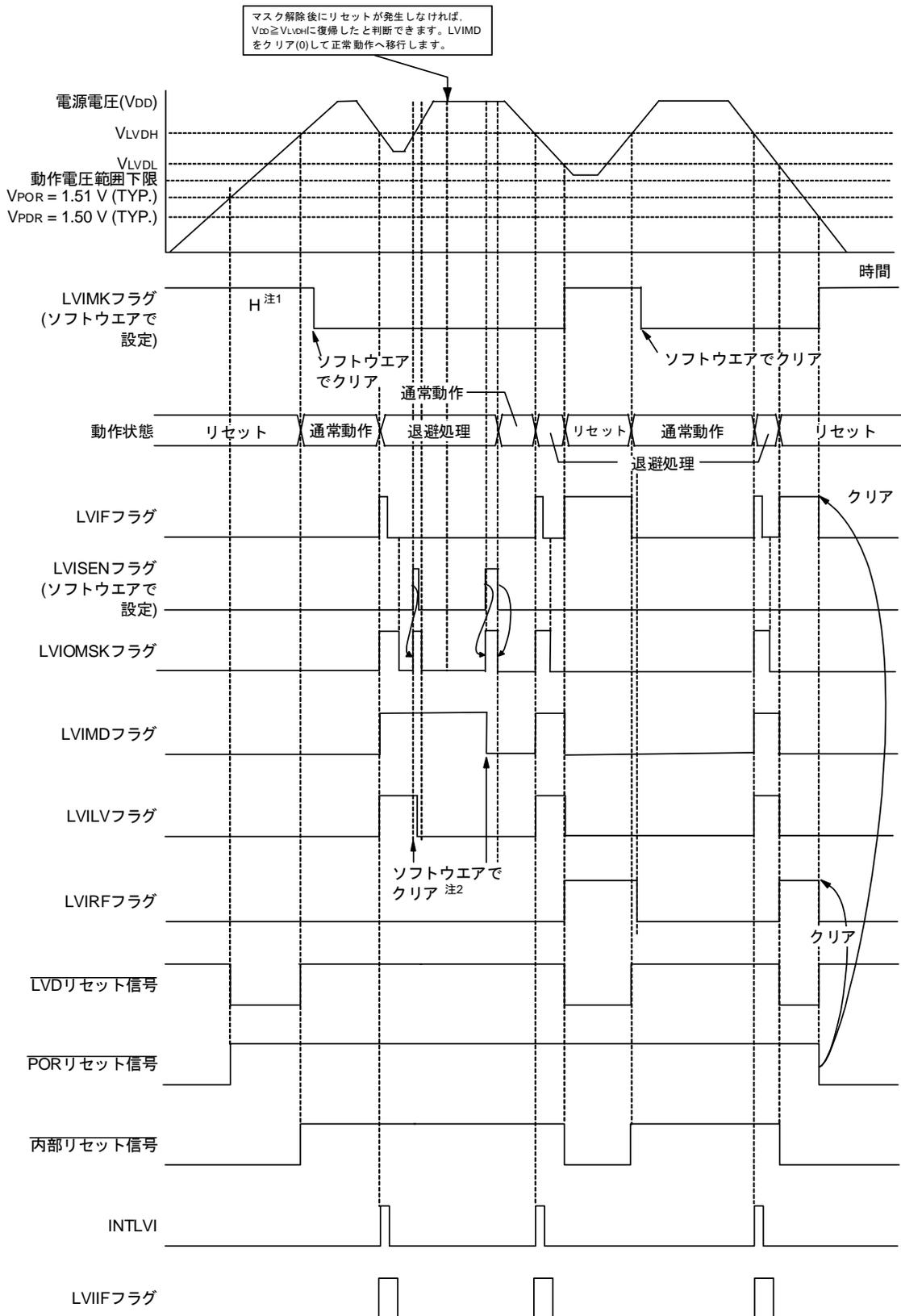
電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (VDD) が高電圧検出レベル (VLVDH) を下回ると LVD による割り込み要求信号 (INTLVI) が発生し、任意の退避処理を行うことができます。その後、電源電圧 (VDD) が低電圧検出レベル (VLVDL) を下回ると LVD による内部リセットが発生します。ただし、INTLVI 発生後、電源電圧 (VDD) が低電圧検出電圧 (VLVDL) を下回らずに高電圧検出電圧 (VLVDH) 以上に復帰しても割り込み要求信号は発生しません。

LVD 割り込み&リセット・モードの使用する場合は、“図 26 - 10 動作電圧確認/リセットの設定手順”に従って設定をしてください。

図 26 - 8 ~ 図 26 - 9 に、LVD 割り込み&リセット・モードの内部リセット信号と割り込み信号発生タイミングを示します。

図26-8 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



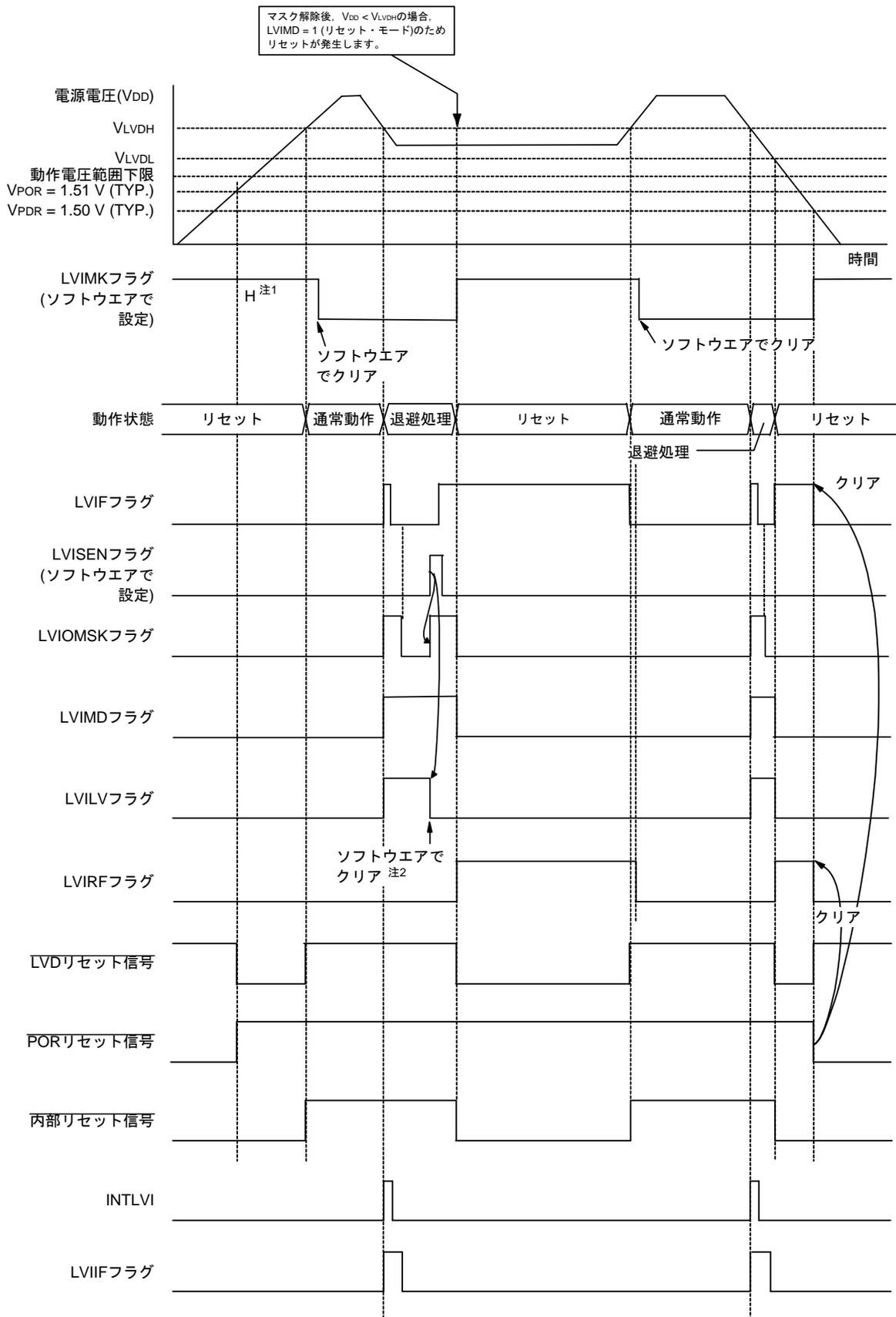
(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用时、割り込み発生後は、図26 - 10 動作電圧確認／リセットの設定手順に従って実施してください。

備考 VPOR : POR 電源立ち上がり検出電圧

VPDR : POR 電源立ち下がり検出電圧

図26 - 9 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)

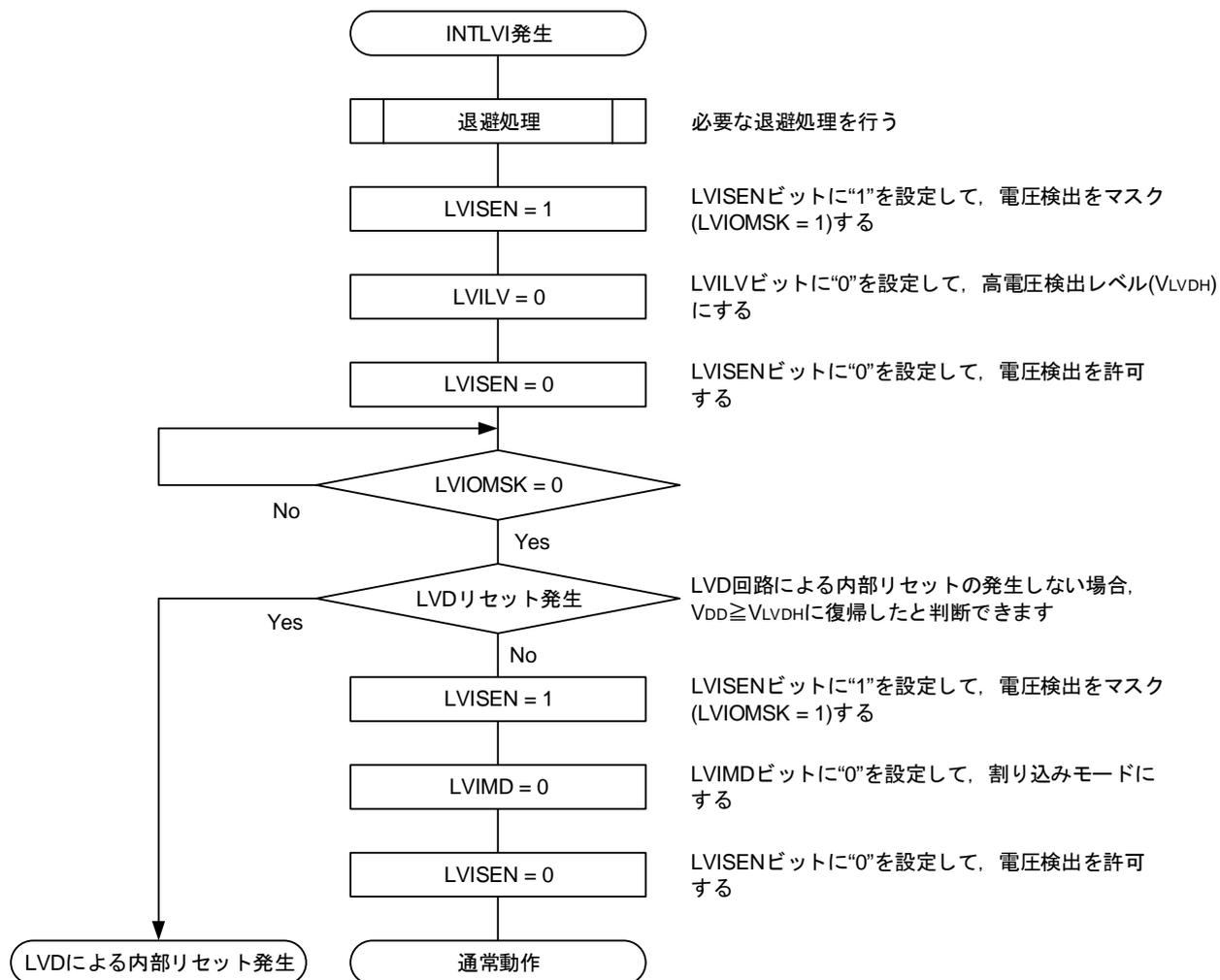


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図26 - 10 動作電圧確認／リセットの設定手順に従って実施してください。

備考 VPOR : POR 電源立ち上がり検出電圧
VPDR : POR 電源立ち下がり検出電圧

図26 - 10 動作電圧確認／リセットの設定手順



26.5 LVD 検出電圧の設定変更

ソフトウェアによりLVDの検出電圧を変更する場合は、以下の手順で変更してください。

LVD 検出電圧は割り込みモード、リセット・モードで変更可能です。

割り込み&リセット・モードでは、LVD 検出電圧値の変更はできません。初期値(オプション・バイト設定値)から変更しないでください。

ソフトウェアによってLVISレジスタLVISEL4～LVISEL0を変更して、2種類以上のLVD検出電圧を使用する場合、使用するLVD検出電圧のうち最も高い電圧値をオプション・バイト(000C1H)のVPOC2～VPOC0, LVIS1, LVIS0ビットに必ず設定してください。

図26 - 11 LVD 検出電圧設定変更

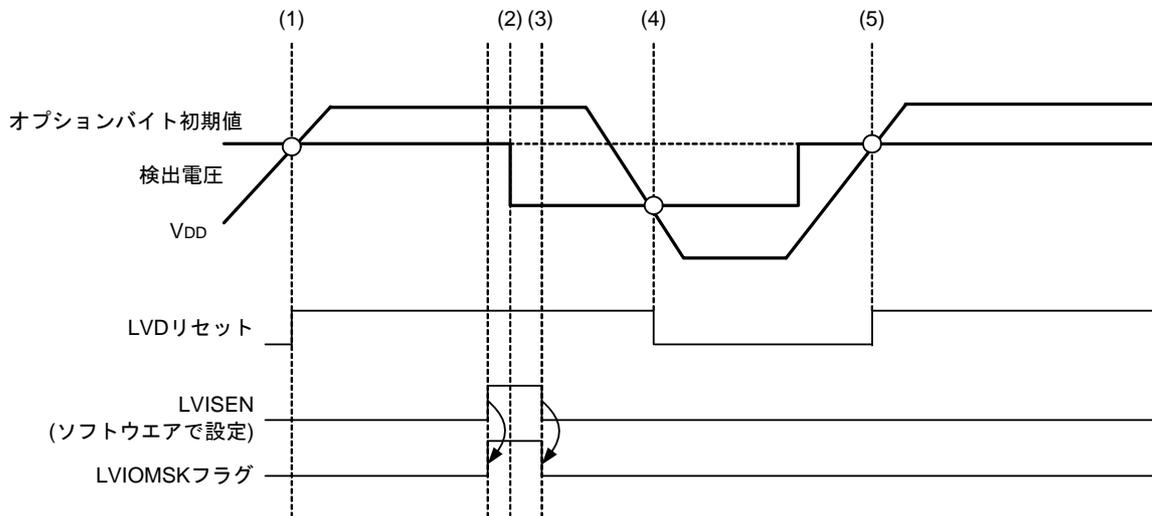


注 LVISEN = 0 設定後、 $V_{LVD} > V_{DD}$ ならばLVD検出し、リセット/割り込みが発生します。

26.5.1 LVD リセット・モード時のLVD 検出電圧の設定変更

図26 - 12にLVD リセット・モード時のLVD 検出電圧設定変更タイミング例を示します。

図26 - 12 LVD リセット・モード時のLVD 検出電圧設定変更タイミング例



■動作

- (1) 電源立ち上がりはオプション・バイトで設定した検出電圧でリセット解除
- (2) LVIENレジスタ変更
- (3) ソフトウェアにて安定待ち完了 ((2)より400 μsまたはf_{IL}の5クロック)
- (4) LVD検出(立ち下がり)はLVIENレジスタで設定した検出電圧
- (5) LVDリセット解除(立ち上がり)はオプション・バイトで設定した検出電圧

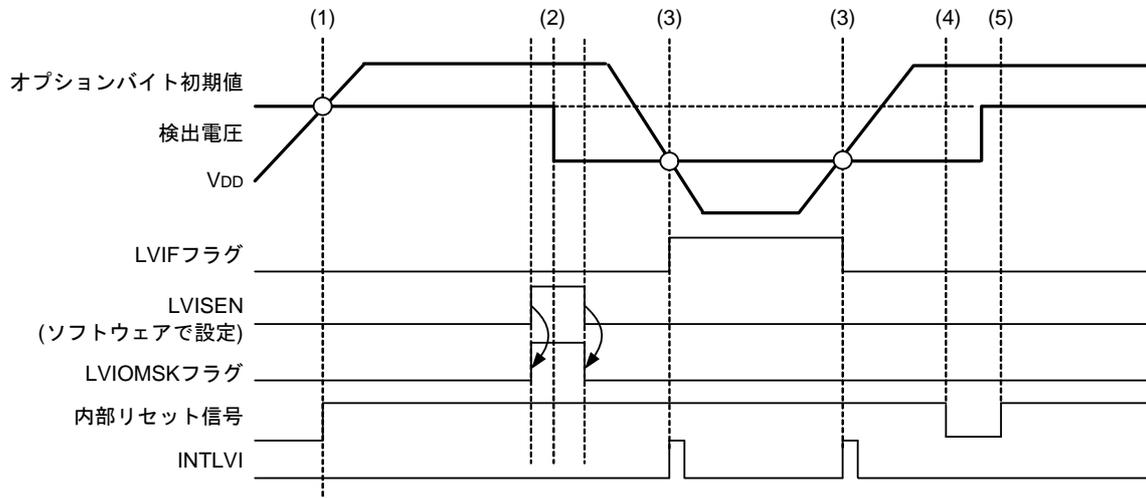
LVDリセット時のLVD 検出電圧の設定を変更する際は、以下に注意してください。

注意 LVD リセット・モード時のリセット解除電圧は、オプション・バイト設定値となります。

26.5.2 LVD 割り込みモード時のLVD 検出電圧の設定変更

図26 - 13にLVD 割り込みモード時のLVD 検出電圧設定変更タイミング例を示します。

図26 - 13 LVD 割り込みモード時のLVD 検出電圧設定変更タイミング例

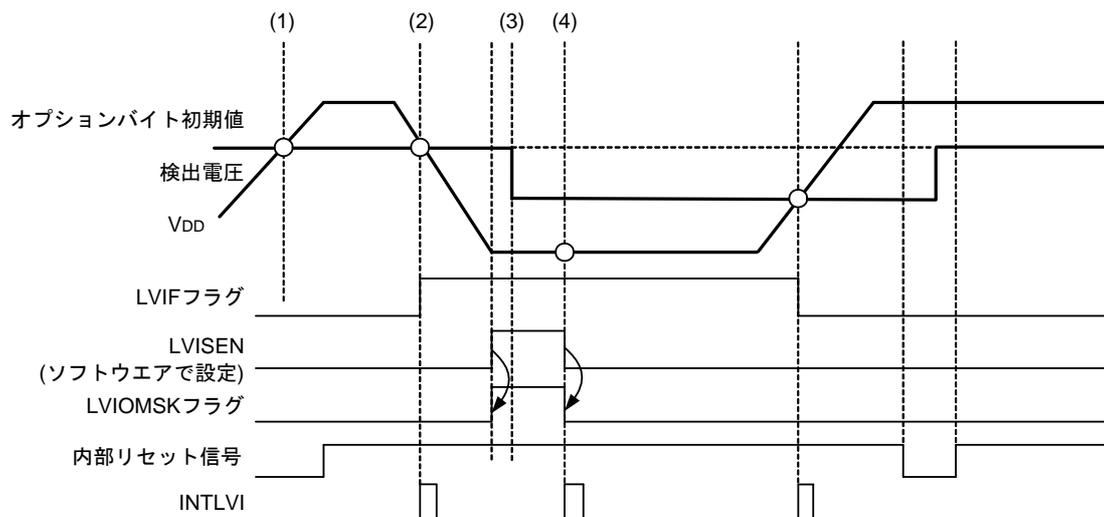


■動作

- (1) 電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除
- (2) LVISレジスタ変更
- (3) LVD検出(立ち下がり, 立ち上がり)はLVISレジスタで設定した検出電圧
- (4) 内部リセット発生
- (5) 内部リセット解除時にはオプション・バイト設定値に戻る。

LVD 割り込みモード時にLVD 検出電圧の設定を変更する際は、以下に注意してください。

- 注意1. 全リセット発生直後、LVD の内部リセットは $V_{DD} \geq V_{LVD}$ (オプション・バイト設定値)になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ (オプション・バイト設定値)を検出してLVD の内部リセットは解除されます。それ以降は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。
- 注意2. $V_{DD} < V_{LVD}$ でLVIS レジスタのLVISEL4～LVISEL0によりLVD 設定電圧を変更した場合、マスク解除時(LVISEN = 0)にLVD 割り込みが発生します(図26 - 14参照)。

図26 - 14 $V_{DD} < V_{LVD}$ 時, LVIS によるLVD 検出電圧の設定変更タイミング例

■動作

- (1) 電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除
- (2) LVD検出(立ち下がり)はオプション・バイトで設定した検出電圧
- (3) LVISレジスタ変更
- (4) マスク解除同時に $V_{DD} < V_{LVD}$ であるなら割り込みが発生

26.6 電圧検出回路の注意事項

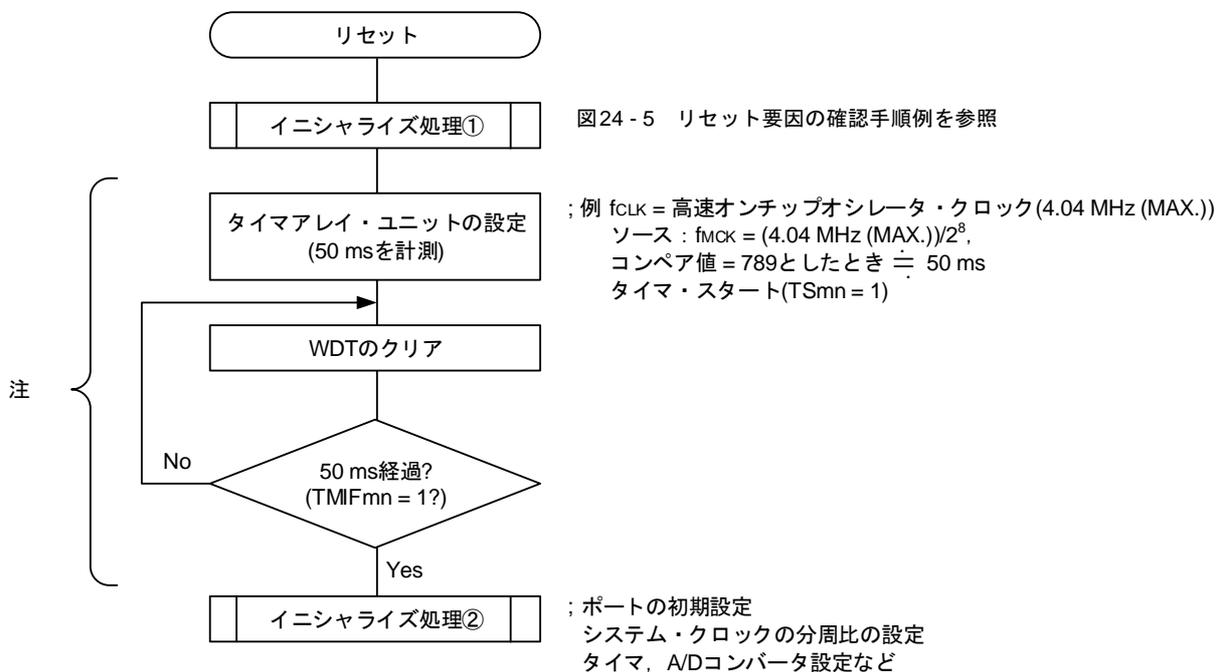
(1) 電源投入時の電圧変動について

電源電圧 (VDD) が LVD 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図26 - 15 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



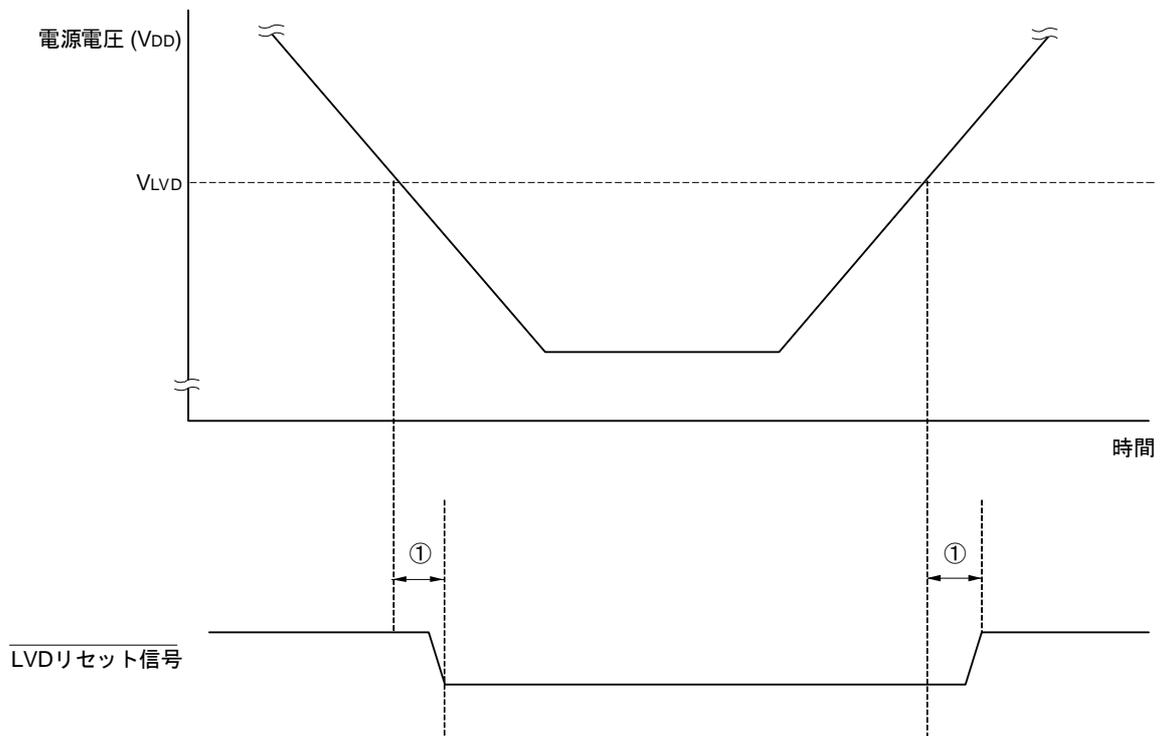
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 m = 0 n = 0-3

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVD 検出電圧 (V_{LVD}) になってから、LVD リセットが発生するまでには遅延が生じます。同じように LVD 検出電圧 (V_{LVD}) \leq 電源電圧 (V_{DD}) になってから、LVD リセットが解除されるまでにも遅延が生じます (図26 - 16参照)。

図26 - 16 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延(300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に 10 μ s 以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、34.4 AC特性に示す動作電圧範囲内の期間で 10 μ s 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第27章 安全機能

27.1 安全機能の概要

- ★ 安全規格 IEC60730 に対応するため、RL78/I1D では以下の安全機能を搭載しています。
- この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。
- (1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)
CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて、以下の2つの CRC を使い分けていただくことができます。
 - 「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
 - 「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。
 - (2) RAM パリティ・エラー検出機能
RAM をデータとして読み出すとき、パリティ・エラーを検出します。
 - (3) RAM ガード機能
CPU の暴走による RAM データの書き換えを防止します。
 - (4) SFR ガード機能
CPU の暴走による SFR の書き換えを防止します。
 - (5) 不正メモリ・アクセス検出機能
不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。
 - (6) 周波数検出機能
タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。
 - (7) A/D テスト機能
A/D コンバータの + 側基準電圧, ー側基準電圧, アナログ入力チャネル (ANI), 温度センサ出力および内部基準電圧出力を A/D 変換することにより、A/D コンバータの自己チェックができます。
 - (8) 入出力端子のデジタル出力信号レベル検出機能
入出力端子が出力モード時に、端子の出力レベルをリードすることができます。
- ★ 備考 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリ アプリケーションノート (R01AN1062, R01AN1296) を参照してください。

27.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
<ul style="list-style-type: none"> フラッシュ・メモリCRC制御レジスタ (CRC0CTL) フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) 	フラッシュ・メモリCRC演算機能 (高速CRC)
<ul style="list-style-type: none"> CRC入力レジスタ (CRCIN) CRCデータ・レジスタ (CRCD) 	CRC演算機能 (汎用CRC)
<ul style="list-style-type: none"> RAMパリティ・エラー制御レジスタ (RPECTL) 	RAMパリティ・エラー検出機能
<ul style="list-style-type: none"> 不正メモリ・アクセス検出制御レジスタ (IAWCTL) 	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
<ul style="list-style-type: none"> タイマ入力選択レジスタ0 (TIS0) 	周波数検出機能
<ul style="list-style-type: none"> A/Dテスト・レジスタ (ADTES) 	A/Dテスト機能
<ul style="list-style-type: none"> ポート・モード選択レジスタ (PMS) 	入出力端子のデジタル出力信号レベル検出機能

各レジスタの内容については、27.3 安全機能の動作の中で説明します。

27.3 安全機能の動作

27.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ 32 KB: 341 μ s@24 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

27.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲		
0	0	0	0	0	0	00000H-03FFBH (16K-4バイト)		
0	0	0	0	0	1	00000H-07FFBH (32K-4バイト)		
上記以外						設定禁止		

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

27.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

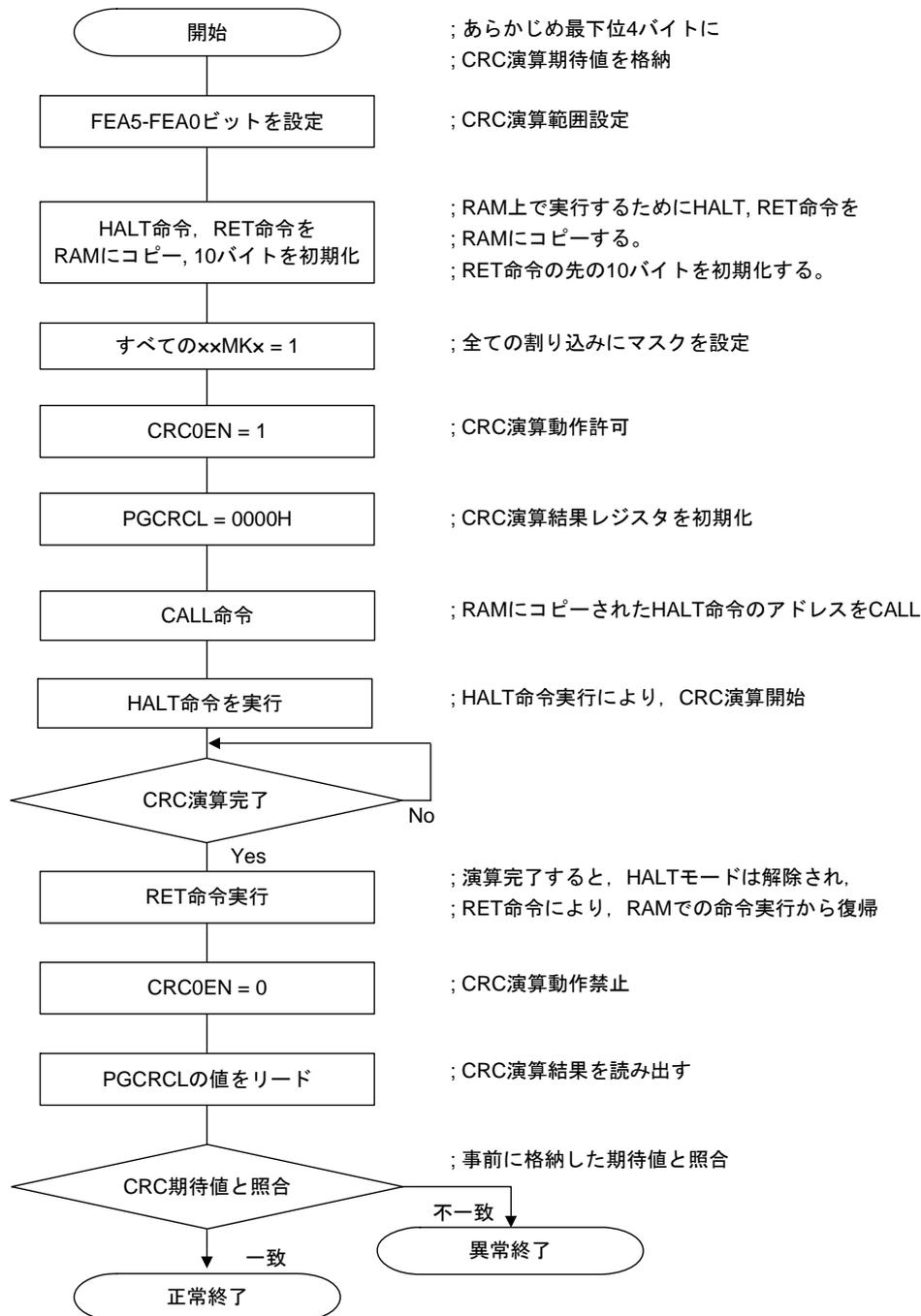
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0	高速CRC演算結果						
	0000H-FFFFH	高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図27-3に示します。

<動作フロー>

図27-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

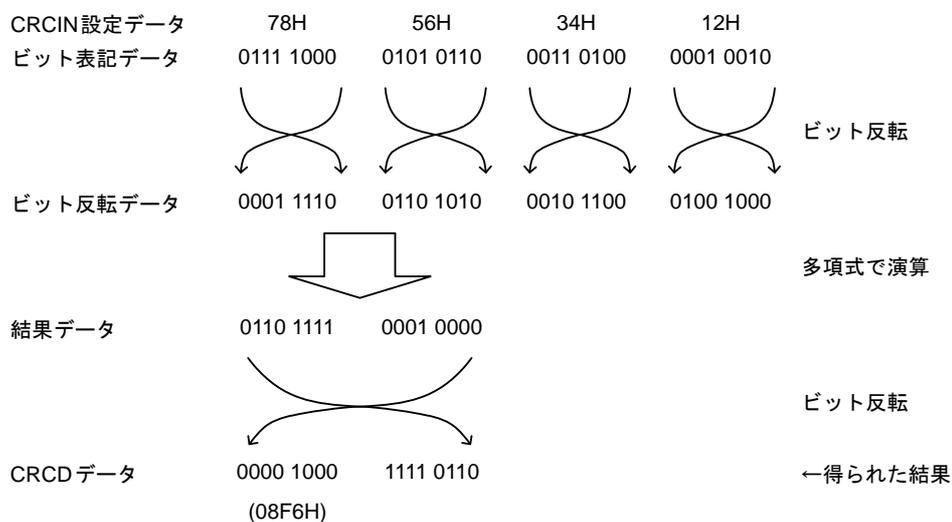
CRC演算の期待値は、総合開発環境 CubeSuite+ を使用して算出することができます。詳細は、CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

27.3.2 CRC演算機能(汎用CRC)

★ この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッグはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

27.3.2.1 CRC入力レジスタ (CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 4 CRC入力レジスタ (CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0		機能					
	00H-FFH		データ入力					

27.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

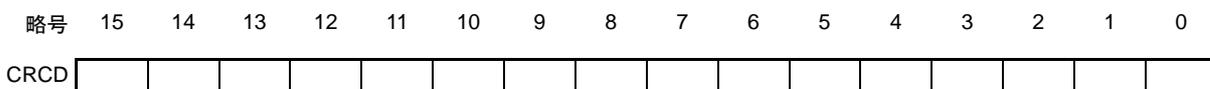
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK)の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-5 CRCデータ・レジスタ (CRCD)のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

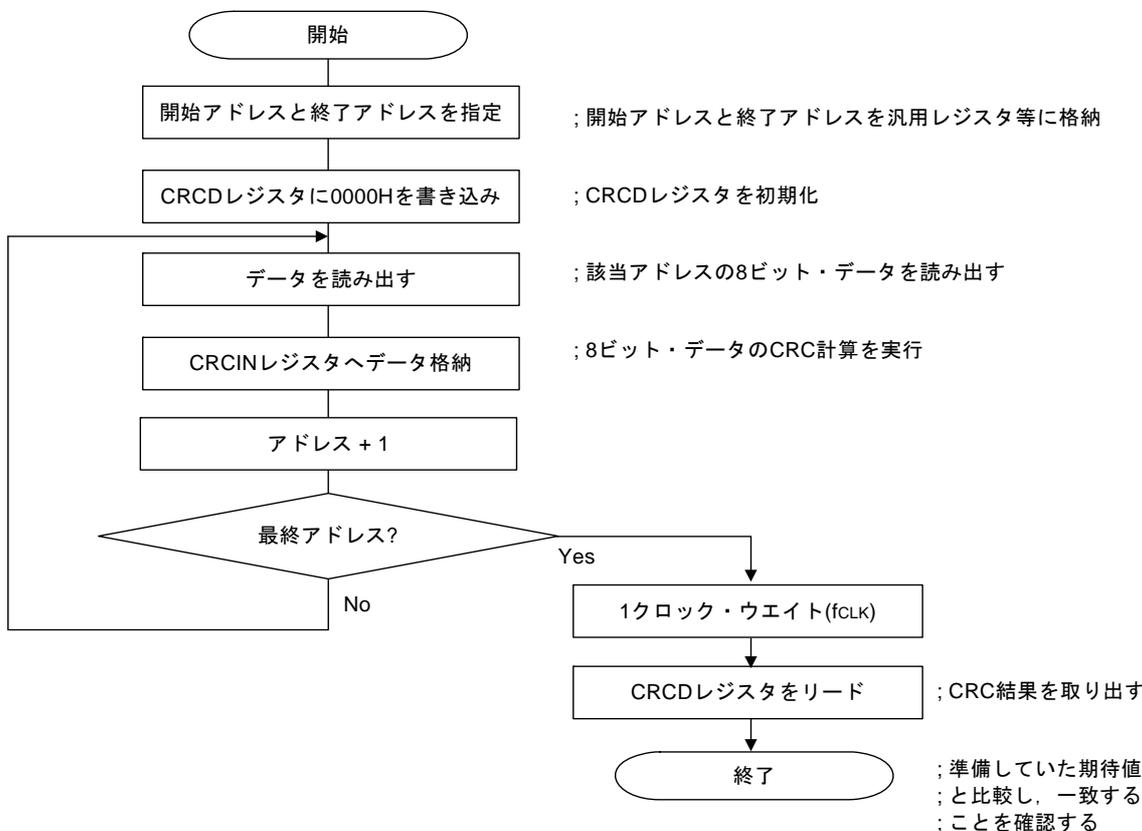


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図27-6 CRCIN演算機能 (汎用CRC)のフロー・チャート



27.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/I1DのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

27.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

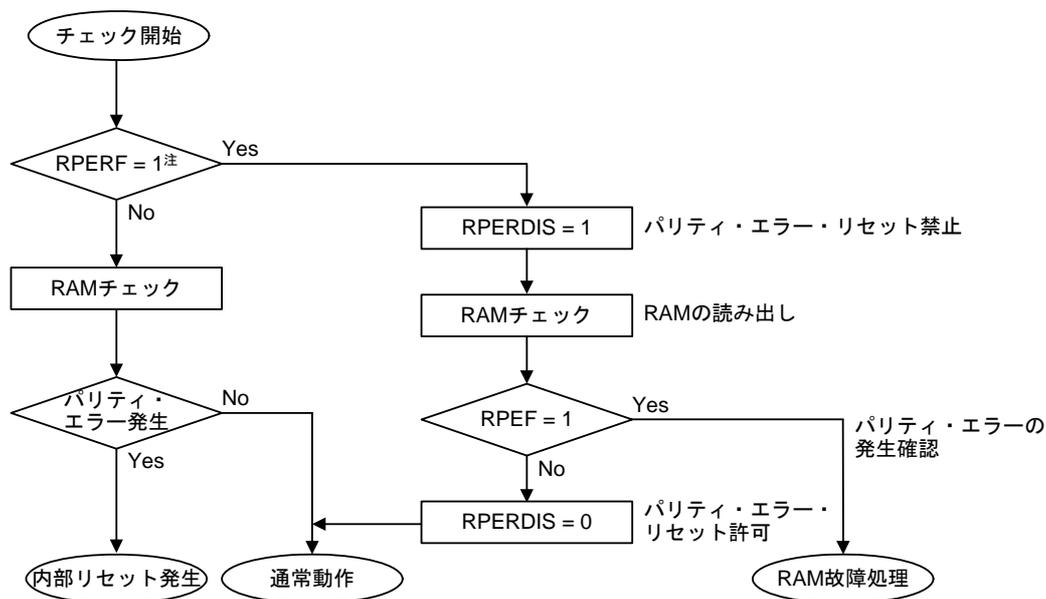
アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

- 備考1.** 初期状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)になっています。
- 備考2.** パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット(1)されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
- 備考3.** RPECTLレジスタのRPEFフラグは、RAMのパリティ・エラーによりセット(1)され、0の書き込みまたはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
- 備考4.** 汎用レジスタは、RAMパリティ・エラー検出の範囲に含まれません。

図27-8 RAMパリティチェックフロー



注 RAMパリティ・エラーによる内部リセットの確認は、第24章 リセット機能を参照してください。

27.3.4 RAMガード機能

- ★ このRAMガード機能は、指定した空間のデータを保護するための機能です。
RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1、GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAMガード空間注					
	0	0	無効。RAMへのライト可能					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

27.3.5 SFR ガード機能

★ SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT	ポート機能の制御レジスタのガード							
0	無効。ポート機能の制御レジスタのリード/ライト可能。							
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIORx 注							
GINT	割り込み機能のレジスタのガード							
0	無効。割り込み機能の制御レジスタのリード/ライト可能。							
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx							
GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード							
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。							
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, CKSEL, PERx, PRRx, OSMC, LVIM, LVIS, RPECTL, PMMC, MOCODIV, FMCKs							

注 Pxx (ポート・レジスタ)はガードされません。

27.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図27-11で「NG」と記載した範囲になります。

図27-11 不正アクセス検出空間

アドレス	機能	アクセス可否		命令フェッチ (実行)
		読み出し	書き込み	
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H				OK
FFEF0H	汎用レジスタ 32バイト	OK	OK	OK
FFEDFH				OK
zzzzzH	RAM ^注	OK	OK	OK
zzzzzH				OK
zzzzzH	Mirror	OK	NG	NG
F1000H	データ・フラッシュ・メモリ	OK	NG	NG
F0FFFH	使用不可	OK	OK	OK
F0800H	拡張特殊機能レジスタ (2nd SFR) 2 K バイト	OK	OK	OK
F07FFH				OK
F0000H	使用不可	NG	NG	OK
EF000H				OK
EEEEFH	使用不可	NG	NG	NG
yyyyyH	使用不可	NG	NG	NG
xxxxxH	コード・フラッシュ・メモリ ^注	OK	OK	OK
00000H				OK

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEF0H)	読み出し/命令フェッチ(実行)時 の検出最下位アドレス (yyyyyH)
R5F117x8 (x = 6, 7, A)	8192 × 8 ビット (00000H-01FFFH)	768 × 8 ビット (FFC00H-FFEF0H)	10000H
R5F117xA (x = 6, 7, A, B, G)	16384 × 8 ビット (00000H-03FFFH)	2048 × 8 ビット (FF700H-FFEF0H)	10000H
R5F117xC (x = A, B, G)	32768 × 8 ビット (00000H-07FFFH)	3072 × 8 ビット (FF300H-FFEF0H)	10000H

27.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWENビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN ^注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイトWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

27.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

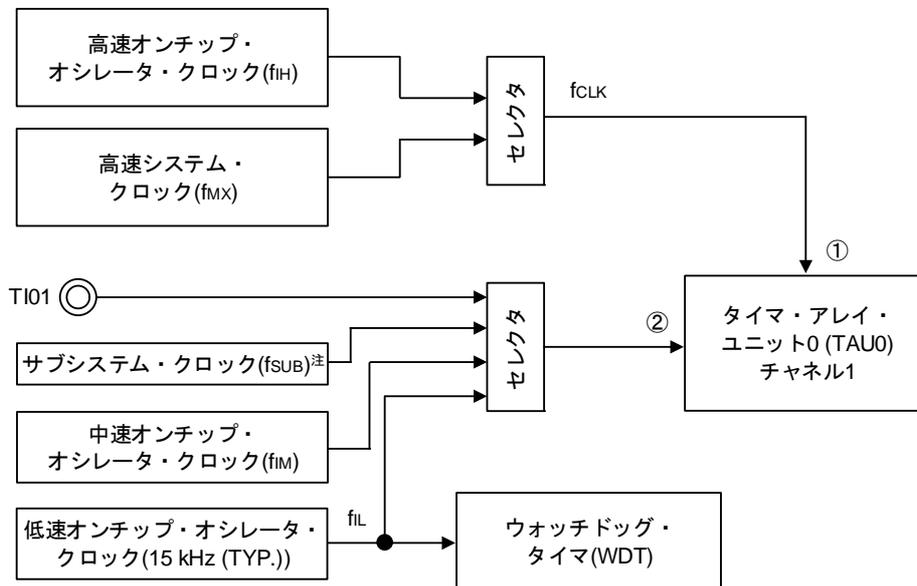
周波数検出機能は、CPU/周辺ハードウェア・クロック周波数 (fCLK) を使用し、タイマ・アレイ・ユニット0 (TAU0)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。

ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ① CPU/周辺ハードウェア・クロック周波数 (fCLK) :
 - 高速オンチップ・オシレータ・クロック (fIH)
 - 高速システム・クロック (fMX)
- ② タイマ・アレイ・ユニット0のチャンネル1入力 :
 - チャンネル1のタイマ入力 (TI01)
 - 低速オンチップ・オシレータ・クロック (fIL : 15 kHz (TYP.))
 - 中速オンチップ・オシレータ・クロック (fIM)
 - サブシステム・クロック (fSUB)注

図 27 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、7.8.4 入力パルス間隔測定としての動作を参照してください。

注 サブシステム・クロック搭載している製品のみ選択可能です。

27.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子 (TI00) の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子 (TI01) の入力信号					
0	0	1	ELCからのイベント入力信号					
0	1	0	タイマ入力端子 (TI01) の入力信号					
0	1	1	中速オンチップ・オシレータ・クロック (fIM)					
1	0	0	低速オンチップ・オシレータ・クロック (fIL)					
1	0	1	サブシステム・クロック (fSUB)					
上記以外			設定禁止					

27.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル(ANI)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

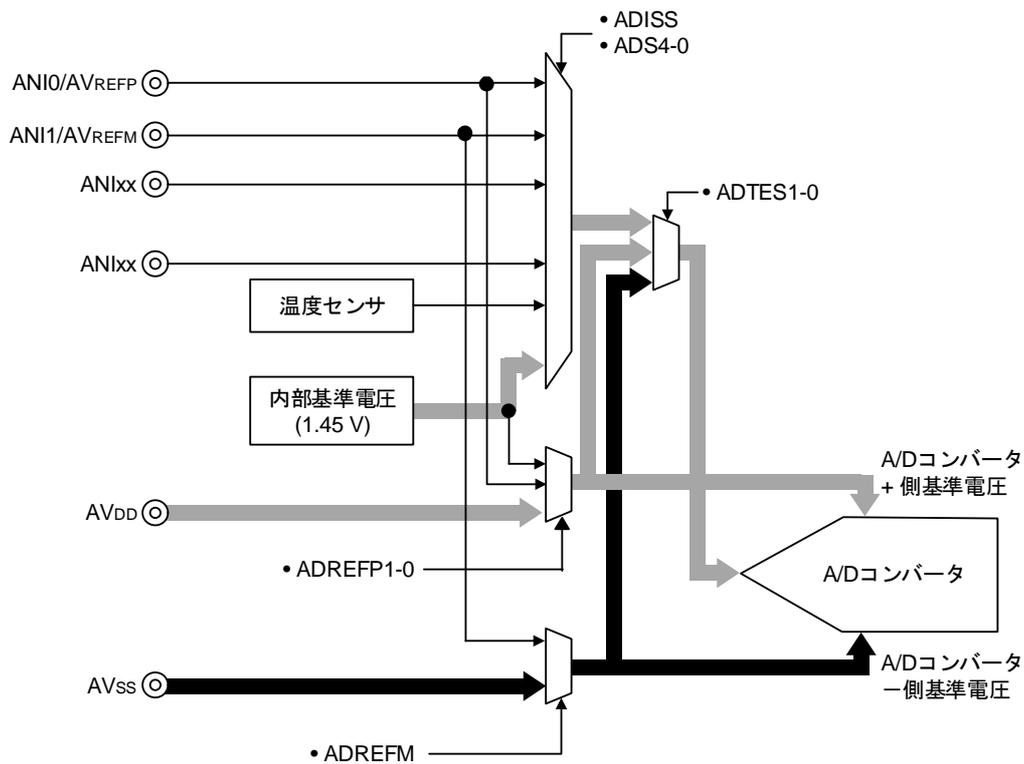
- ① ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANIX端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う(変換結果2-1)
- ⑤ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANIX端子のA/D変換を行う(変換結果1-2)
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)
- ⑨ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANIX端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」= 「変換結果1-2」= 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0, 「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図27 - 15 A/Dテスト機能の構成



27.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANLxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANLxx/温度センサ出力/内部基準電圧出力(1.45 V) (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

27.3.8.2 アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/Dテスト機能でANlxx／温度センサ出力／内部基準電圧(1.45 V)を測定するときは、A/Dテスト・レジスタ (ADTES)を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 17 アナログ入力チャンネル指定レジスタ (ADS)のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P10/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P11/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P12/ANI2 端子
0	0	0	0	1	1	ANI3	P13/ANI3 端子
0	0	0	1	0	0	ANI4	P14/ANI4 端子
0	0	0	1	0	1	ANI5	P15/ANI5 端子
0	0	0	1	1	0	ANI6	P16/ANI6 端子
0	0	0	1	1	1	ANI7	P17/ANI7 端子
0	0	1	0	0	0	ANI8	P25/ANI8 端子
0	0	1	0	0	1	ANI9	P24/ANI9 端子
0	0	1	0	1	0	ANI10	P23/ANI10 端子
0	0	1	0	1	1	ANI11	P22/ANI11 端子
0	0	1	1	0	0	ANI12	P21/ANI12 端子
0	0	1	1	0	1	ANI13	P20/ANI13 端子
0	1	0	0	0	0	ANI16	P02/ANI16 端子
0	1	0	0	0	1	ANI17	P03/ANI17 端子
0	1	0	0	1	0	ANI18	P04/ANI18 端子
1	0	0	0	0	0	—	温度センサ出力
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V)
上記以外						設定禁止	

注意1. ビット5, 6には必ず0を設定してください。

注意2. PMC レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ 0-2 (PM0-PM2) で入力モードに選択してください。

注意3. ポート・モード・コントロール・レジスタ 0-2 (PMC0-PMC2) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。

注意4. ADISS ビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意5. AVREFP を A/D コンバータの + 側の基準電圧として使用している場合、ANI0 を A/D 変換チャンネルとして選択しないでください。

注意6. AVREFM を A/D コンバータの - 側の基準電圧として使用している場合、ANI1 を A/D 変換チャンネルとして選択しないでください。

注意7. ADISS = 1 を設定した場合、+ 側の基準電圧に内部基準電圧出力 (1.45 V) は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、14.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定を参照してください。

注意8. STOP モードもしくはサブシステム・クロックで CPU 動作中に HALT モードへ移行する場合は、ADISS = 1 に設定しないでください。ADISS = 1 設定時は、34.3.2 電源電流特性に示す A/D コンバータ基準電圧電流 (IADREF) の電流値が加算されます。

27.3.9 入出力端子のデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルをリードすることができます。

27.3.9.1 ポート・モード選択レジスタ (PMS)

端子が出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-18 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

注意1. PMSレジスタのPMS0ビットを“1”に設定時は、ビット操作命令でポート・レジスタ(Pxx)を書き換えしないでください。ポート・レジスタ(Pxx)を書き換える場合は、8ビット・データ操作命令を使用してください。

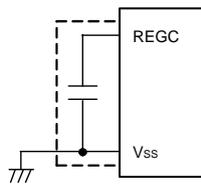
注意2. P60-P63を汎用ポートとして使用する場合、PMS0による端子の出力レベルのリードはできません。読み出した場合、0が読み出されます。

備考 m = 0-6, 10-12, 13
 n = 0-7

第28章 レギュレータ

28.1 レギュレータの概要

RL78/I1Dは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μF)を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表28-1のようになります。

表28-1 レギュレータ出力電圧条件

モード	出力電圧	条件
LV (低電圧メイン)モード	1.8 V	—
LP (低電力メイン)モード		
LS (低速メイン)モード		
HS (高速メイン)モード	1.8 V	STOPモード時
		サブシステム・クロック (f _{SUB})でCPU動作中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{IH})が共に停止
	サブシステム・クロック (f _{SUB})でCPU動作設定時のHALTモード中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{IH})が共に停止	
	2.1 V	上記以外(オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します(1.8 Vにはなりません)。

28.2 レギュレータを制御するレジスタ

レギュレータは、次のレジスタで制御します。

- レギュレータ・モード制御レジスタ (PMMC)

28.2.1 レギュレータ・モード制御レジスタ (PMMC)

PMMCレジスタは、内蔵されているレギュレータのモードを制御する8ビットのレジスタです。

PMMCレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。

リセット発生により、PMMCレジスタは00Hになります。

図28-1 レギュレータ・モード制御レジスタ (PMMC)のフォーマット

アドレス : F00F8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0
MCSEL	レギュレータ・モードの制御							
0	通常設定							
1	低消費設定							

注意1. MCSELが1の時フラッシュ動作モード選択レジスタ (FLMODE) を変更しないでください。

注意2. HS (高速メイン)モード, LV (低電圧メイン)モードではMCSELを1に設定しないでください。

注意3. LS (低速メイン)モードではMCSELが1の時にSTOPモード状態に遷移することは禁止です。

第29章 オプション・バイト

29.1 オプション・バイトの機能

RL78/I1Dのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

29.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・インターバル割り込みを使用する／使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ(RESET端子による外部リセット入力を使用)
- LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

注意1. 電源立ち上がり時は、34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください

(3) 000C2H/010C2H

○ フラッシュの動作モード設定

使用するメイン・システム・クロック周波数(fMAIN)、電源電圧(VDD)に応じて設定

- LV (低電圧メイン)モード
- LS (低速メイン)モード
- HS (高速メイン)モード

○ 高速オンチップ・オシレータの周波数設定

- 1 MHz～24 MHzから選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

29.1.2 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)

○ オンチップ・デバッグ動作制御

- オンチップ・デバッグ動作禁止／許可

○ セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理

- オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

29.2 ユーザ・オプション・バイトのフォーマット

図29-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス : 000C0H/010C0H^{注1}

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}						
0	0	設定禁止						
0	1	50%						
1	0	75% ^{注3}						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止(リセット解除後, カウント停止)							
1	カウンタ動作許可(リセット解除後, カウント開始)							
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)					
0	0	0	2 ⁹ /f _{IL} (3.71 ms)					
0	0	1	2 ⁷ /f _{IL} (7.42 ms)					
0	1	0	2 ⁸ /f _{IL} (14.84 ms)					
0	1	1	2 ⁹ /f _{IL} (29.68 ms)					
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)					
1	0	1	2 ¹³ /f _{IL} (474.90 ms)					
1	1	0	2 ¹⁴ /f _{IL} (949.80 ms)					
1	1	1	2 ¹⁶ /f _{IL} (3799.19 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)							
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}							
1	HALT/STOPモード時, カウンタ動作許可							

注1. ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

注3. ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTE への ACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)	ウィンドウ・オープン期間を75%に設定した 時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms ~ 2570.04 ms

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図29-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/4)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値								
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定			
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0		
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0		
1.88 V	1.84 V					0	1				
2.92 V	2.86 V					0	0				
1.98 V	1.94 V	1.84 V				0	1			1	0
2.09 V	2.04 V					0	1				
3.13 V	3.06 V					0	0				
2.61 V	2.55 V	2.45 V				1	0			1	0
2.71 V	2.65 V					0	1				
2.92 V	2.86 V	2.75 V				1	1			1	0
3.02 V	2.96 V		0	1							
—			上記以外は設定禁止								

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6 LVD回路特性を参照してください。

図29-3 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/4)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6 LVD回路特性を参照してください。

図29 - 4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(3/4)

アドレス : 000C1H/010C1H注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6 LVD回路特性を参照してください。

図29-5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(4/4)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDオフの設定(RESET端子による外部リセット入力を使用)

検出電圧		オプション・バイト設定値						
VLVDH		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : Don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、34.6.6 LVD回路特性を参照してください。

図29 - 6 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス : 000C2H/010C2H注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
CMODE1	CMODE0	フラッシュの動作モード設定					
			動作周波数範囲 (fMAIN)	動作電圧範囲 (VDD)			
0	0	LV (低電圧メイン)モード		1 MHz~4 MHz	1.6 V~3.6 V		
1	0	LS (低速メイン)モード		1 MHz~8 MHz	1.8 V~3.6 V		
1	1	HS (高速メイン)モード		1 MHz~16 MHz	2.4 V~3.6 V		
				1 MHz~24 MHz	2.7 V~3.6 V		
上記以外		設定禁止					
FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数			
				fIH			
0	0	0	0	24 MHz			
1	0	0	1	16 MHz			
0	0	0	1	12 MHz			
1	0	1	0	8 MHz			
0	0	1	0	6 MHz			
1	0	1	1	4 MHz			
0	0	1	1	3 MHz			
1	1	0	0	2 MHz			
1	1	0	1	1 MHz			
上記以外				設定禁止			

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5-4には、必ず10Bを書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、34.4 AC特性を参照してください。

29.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図 29-7 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス : 000C3H/010C3H注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去しない						

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD)のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値(0, 1, 0)を設定してください。

29.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	1AH	;VLVDLに1.63 Vを選択 ;VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB	2DH	;フラッシュの動作モードにLV (低電圧メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

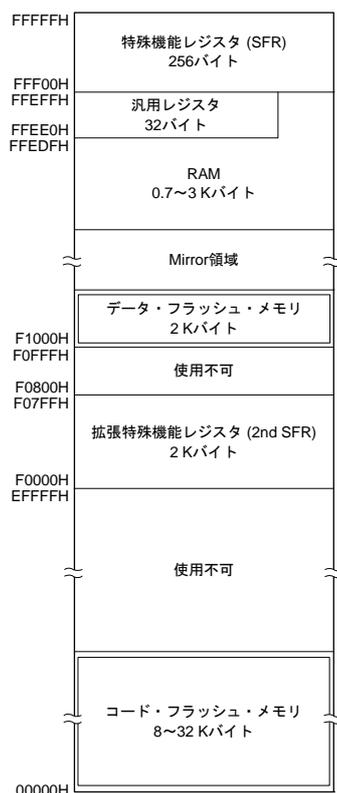
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		1AH	;VLVDLに1.63 Vを選択 ;VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB		2DH	;フラッシュの動作モードにLV (低電圧メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB		85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第30章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス (UART 通信) によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング (30.1 参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- 外部デバイス (UART 通信) によるシリアル・プログラミング (30.2 参照)

外部デバイス (マイコンや ASIC) との UART 通信を使用してオンボード上で書き込みができます。

- セルフ・プログラミング (30.6 参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

注意 フラッシュ・メモリを書き換える際、中速オンチップ・オシレータは停止 (MIOEN = 0) させ、メイン・オンチップ・オシレータ・クロック (foco) は高速オンチップ・オシレータを選択 (MCM1 = 0) してください。フラッシュ動作モード・レジスタ (FLMODE レジスタ) は変更しないでください。また、レギュレータ・モード制御レジスタ (PMMC) の MCSEL ビットは 0 でフラッシュ・メモリを書き換えてください。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます(バックグラウンド・オペレーション)。データ・フラッシュへのアクセスや書き込みについては、30.8 データ・フラッシュ を参照してください。

30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP5, PG-FP6
- E1, E2, E2 Lite, E20 オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装する前に専用プログラム・アダプタ (FA シリーズ)などでフラッシュ・メモリに書き込みます。

表 30 - 1 RL78/I1Dと専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
					20ピン	24ピン	30ピン	32ピン	48ピン
信号名		入出力	端子機能	LSSOP	HWQFN (4 × 4)	LSSOP	HVQFN (5 × 5)	LFQFP (7 × 7)	LQFP (7 × 7)
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20オンチップ デバッグ エミュレータ			TSSOP (4.4 × 6.5)					
—	TOOL0	入出力	送受信信号	TOOL0/ P40	2	23	4	31	45
SI/RxD	—	入出力	送受信信号						
—	RESET	出力	リセット信号	RESET	3	24	5	32	3
/RESET	—	出力							
V _{DD} 注1		入出力	V _{DD} 電圧生成/ 電源監視	V _{DD}	9	6	13	8	11
GND		—	グランド	V _{SS}	8	5	12	7	10
				REGC注2	7	4	11	6	9
FLMD1	EMV _{DD}	—	TOOL0端子駆動 電源	V _{DD}	9	6	13	8	11

注1. PG-FP6の信号名はV_{CC}です。

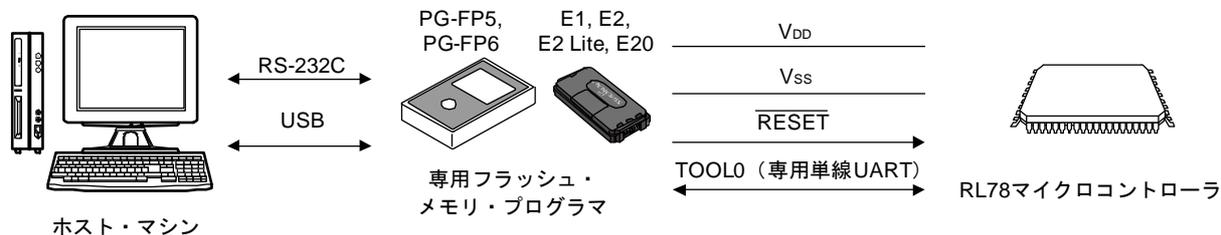
注2. REGC端子はコンデンサ(0.47~1 μF)を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

30.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

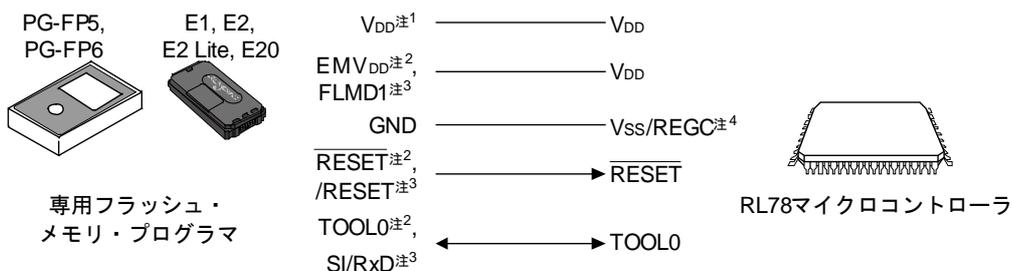
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

30.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図30-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はVccです。

注2. E1, E2, E2 Lite, E20オンチップデバッキングエミュレータ使用時。

注3. PG-FP5, PG-FP6使用時。

注4. REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, PG-FP6またはE1, E2, E2 Lite, E20 オンチップデバッグエミュレータのマニュアルを参照してください。

表30 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名注1
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20 オンチップ デバッグエミュレータ			
V _{DD} 注2		入出力	V _{DD} 電圧生成/電圧監視	V _{DD}
GND		—	グラウンド	V _{SS} , EV _{SS} , REGC注3
FLMD1	EMV _{DD}	—	TOOL0端子駆動電源	V _{DD}
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	$\overline{\text{RESET}}$	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. 接続先端子は、製品によって異なります。詳細は、表30 - 1を参照してください。

注2. PG-FP6の信号名はV_{CC}です。

注3. REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

30.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

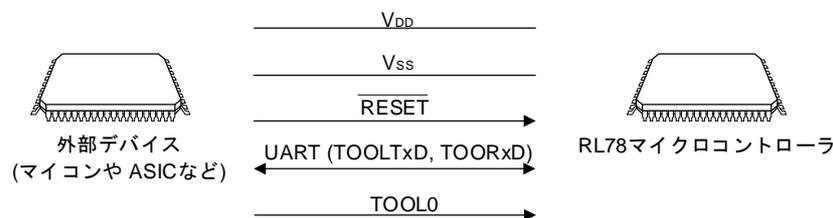
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

30.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30 - 3 フラッシュ・メモリにプログラムを書き込むための環境



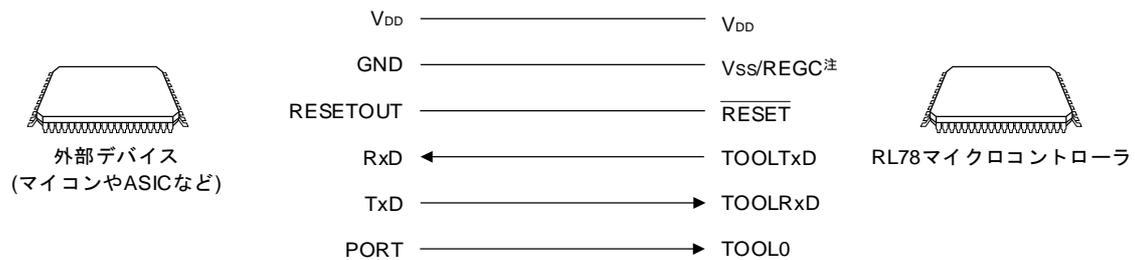
外部デバイスからRL78マイクロコントローラに書き込み/消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

30.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図30 - 4 外部デバイスとの通信



注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表30 - 3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成/電圧監視	VDD
GND	—	グラウンド	Vss, REGC ^注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

30.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、30.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

30.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時： 外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

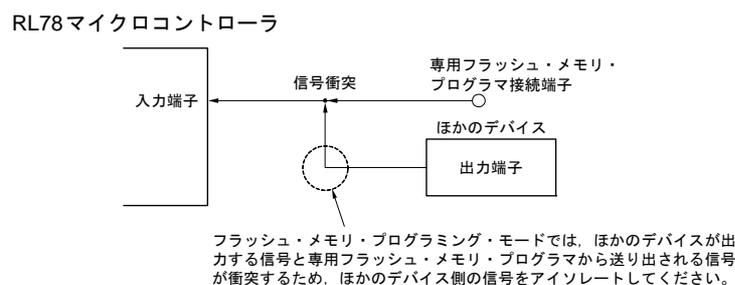
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子)を使用するので、SAUの端子は使用しません。

30.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図30 - 5 信号の衝突($\overline{\text{RESET}}$ 端子)



30.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

30.3.4 REGC 端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μF)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

30.3.5 X1, X2 端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (f_{IH}) を使用します。

30.3.6 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラムのV_{DD}注に、V_{SS}端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラムの書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、V_{DD}、V_{SS}端子はフラッシュ・メモリ・プログラムのV_{DD}注、GNDと必ず接続してください。

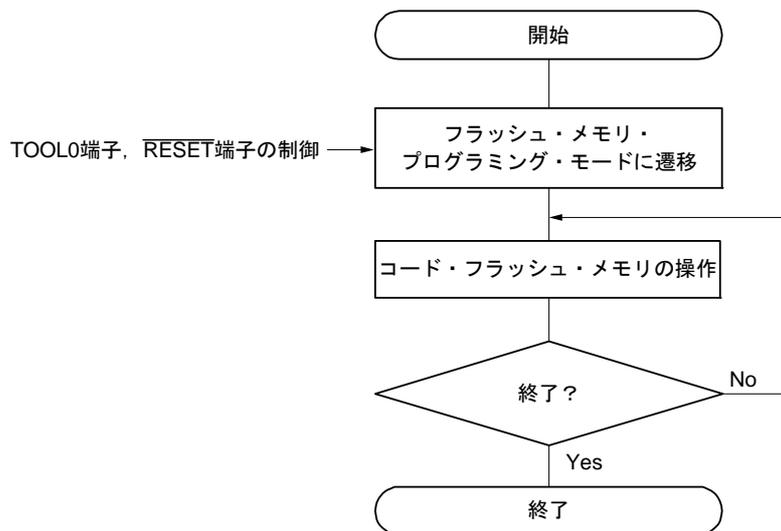
注 PG-FP6の信号名はV_{CC}です。

30.4 プログラミング方法

30.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図30-6 コード・フラッシュメモリの操作手順



30.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

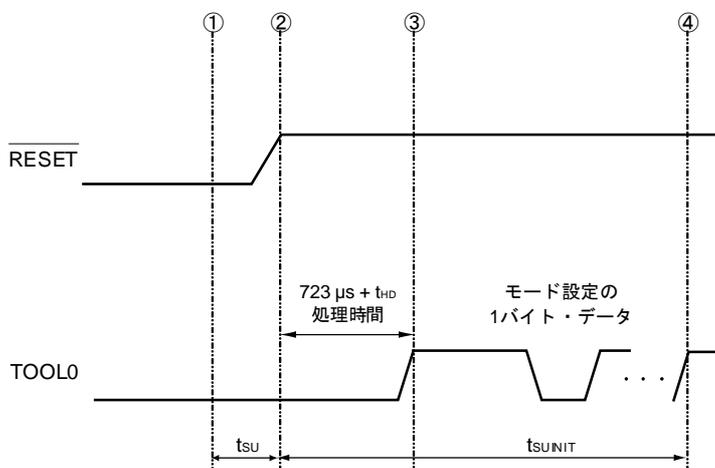
<外部デバイスを使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します(表30-4参照)。その後、図30-7に示す①~④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表30-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図30-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるポー・レート設定完了

備考 tsUNIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

詳細は、34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表30-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧(V _{DD})	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数(fCLK)	
2.7 V ≤ V _{DD} ≤ 3.6 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz ~ 24 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz ~ 8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz ~ 4 MHz	ワイド・ボルテージ・モード
2.4 V ≤ V _{DD} < 2.7 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz ~ 16 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz ~ 8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz ~ 4 MHz	ワイド・ボルテージ・モード
1.8 V ≤ V _{DD} < 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS (低速メイン)モード	1 MHz ~ 8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz ~ 4 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は、30.4.4 通信コマンドを参照してください。

30.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表30 - 6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・ プログラマ使用時, また は外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

30.4.4 通信コマンド

RL78マイクロコントローラは、表30-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表30-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名, フラッシュ・メモリ構成, プログラミング用ファームウェア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報(品名, ファームウェア・バージョンなど)を取得することができます。

表30-8 シグネチャ・データ一覧, 表30-9 シグネチャ・データ例を示します。

表30-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-07FFFH (32 KB) → FFH, 7FH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F17FFFH (2 KB) → FFH, 17H, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表30-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F117AC	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 31 = “1” 37 = “7” 41 = “A” 43 = “C” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-07FFFH (32 KB)	3バイト	FFH 7FH 00H
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F17FFFH (2 KB)	3バイト	FFH 17H 0FH
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

30.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP5, PG-FP6を使用した場合の各コマンド処理時間(参考値)を次に示します。

表30 - 10 PG-FP5, PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP5, PG-FP6のコマンド	Port: TOOL0 (UART)			
	Speed: 1M bps			
	8 Kバイト	12 Kバイト	16 Kバイト	32 Kバイト
消去	1	1	1 s	1 s
書き込み	1	1.5	1.5 s	1.5 s
ベリファイ	1	1	1.5 s	1.5 s
消去後, 書き込み	1	1.5	1.5 s	2 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード (フラッシュ動作モード : HS (高速メイン)モード)

30.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック (fsUB)動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP = 0)させ、65 μ s 経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。また、中速オンチップ・オシレータは停止(MIOEN = 0)させ、メイン・オンチップ・オシレータ・クロック (foco) は高速オンチップ・オシレータを選択(MCM1 = 0)してください。

注意4. フラッシュ・メモリを書き換える際、フラッシュ動作モードレジスタ (FLMODE レジスタ)は変更しないでください。また、レギュレータ・モード制御レジスタ (PMMC)のMCSELビットは0で書き換えてください。

備考 セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン)モード設定時はフルスピード・モードに、LS (低速メイン)モードおよびLV (低電圧メイン)モード設定時はワイド・ボルテージ・モードに設定してください。

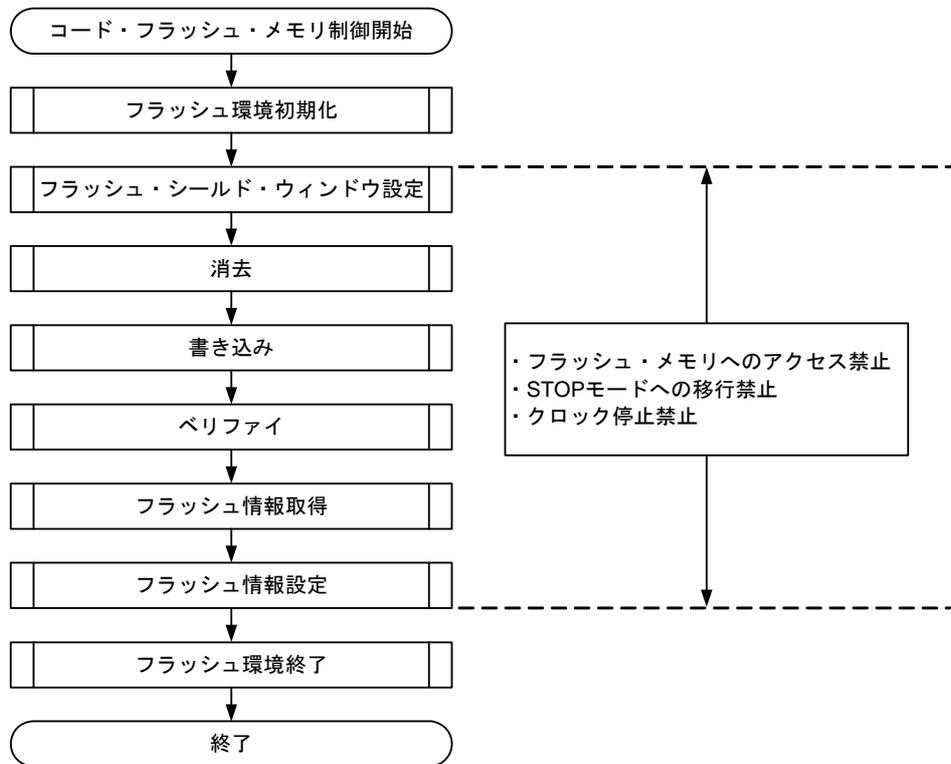
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ペリファイを行ううえで制限事項はありません。

30.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図30-8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



30.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

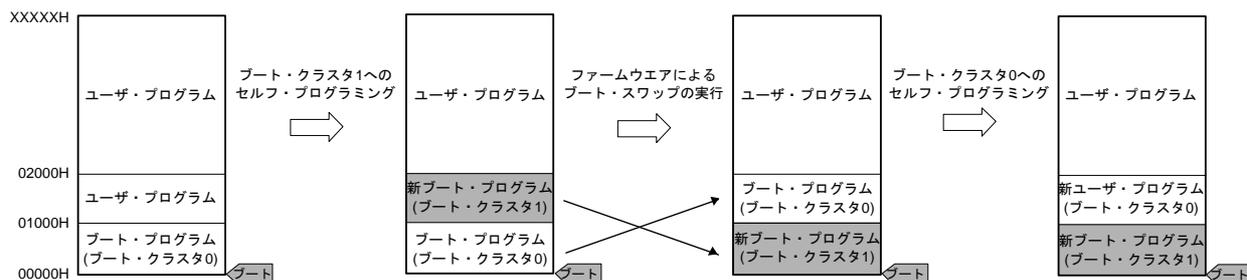
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^注の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78 マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図30-9 ブート・スワップ機能

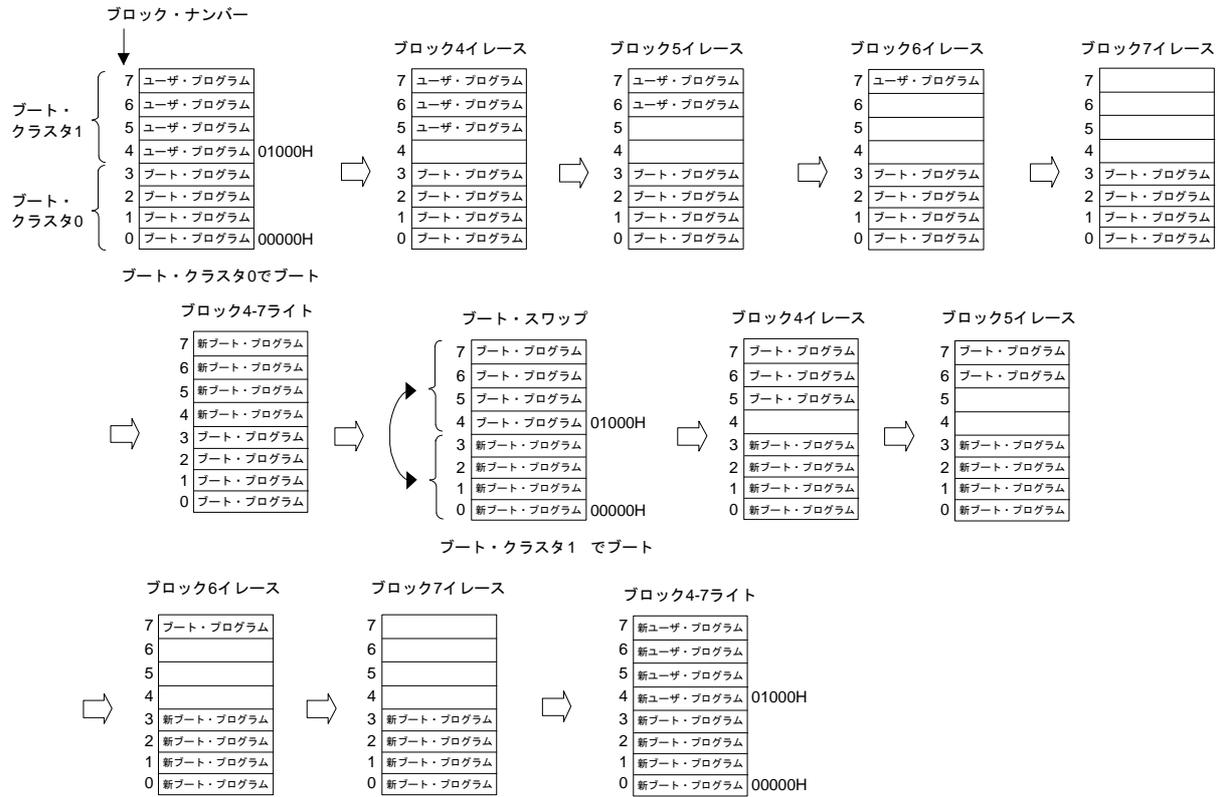


この図の例では、次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図30-10 ブート・スワップの実行例



30.6.3 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図30-11 フラッシュ・シールド・ウインドウの設定例
(対象デバイス：R5F104LE, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表30-11 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み/消去を禁止したい場合には、30.7 セキュリティ設定を参照してください。

30.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 30-12 に示します。

注意 ただし、フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は30.6.3を参照)。

表30-12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は30.6.3を参照)。

表30-13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート・クラスタ0の書き換え禁止」に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない(シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する)
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

30.8 データ・フラッシュ

30.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、「RL78ファミリ データ・フラッシュ・ライブラリ Type04」を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能(バックグラウンド・オペレーション(BGO)対応)
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、65 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、30.6 セルフ・プログラミングを参照してください。

30.8.2 データ・フラッシュを制御するレジスタ

30.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-12 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュのアクセス制御							
0	データ・フラッシュのアクセス禁止							
1	データ・フラッシュのアクセス許可							

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

30.8.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

- ①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0(DFLEN)に“1”を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
<各メイン・クロック・モードでのセットアップ時間>
 - HS (高速メイン)モード時 : 5 μ s
 - LS (低速メイン)モード時 : 720 ns
 - LP (低電力メイン)モード時 : 720 ns
 - LV (低電圧メイン)モード時 : 10 μ s
- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、65 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

注意4. CPU / 周辺ハードウェア・クロック周波数にサブシステム・クロックを選択した状態 (CLS = 1) でデータ・フラッシュを読み出した場合は、CPU / 周辺ハードウェア・クロックをサブシステム・クロックからメイン・システム・クロックに切り替え後、最初にデータ・フラッシュを読み出すときは以下の(1)~(3)の手順で読み出してください。

(1)メイン・システム・クロックに切り替わったこと (CLS = 0) 確認します。

(2)次に任意のデータ・フラッシュを読み出します。(読み出し値は不正)

(3)最後に各動作モードに応じて、以下時間経過後に読み出しを行ってください。

HS (高速メイン) モード : 5 μ s

LS (低速メイン) モード : 1 μ s

LV (低電圧メイン) モード : 10 μ s

LP (低消費メイン) モード : 1 μ s

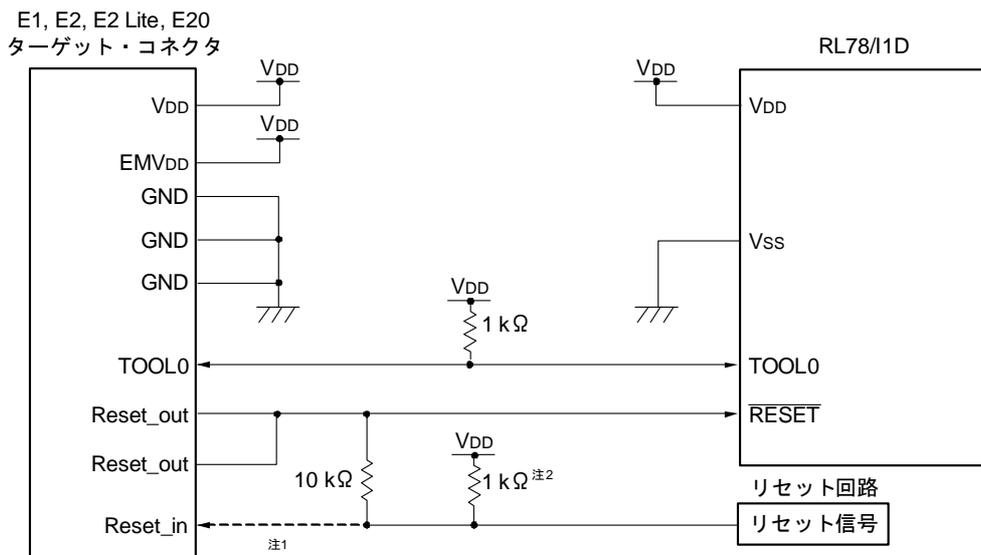
第31章 オンチップ・デバッグ機能

31.1 E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1, E2, E2 Lite, E20オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、VDD, $\overline{\text{RESET}}$, TOOL0, Vss 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図31 - 1 E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

31.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第29章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H, 000C4H-000CDHと010C3H, 010C4H-010CDHが切り替わるので、あらかじめ010C3H, 010C4H-010CDHにも同じ値を設定してください。

表31-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

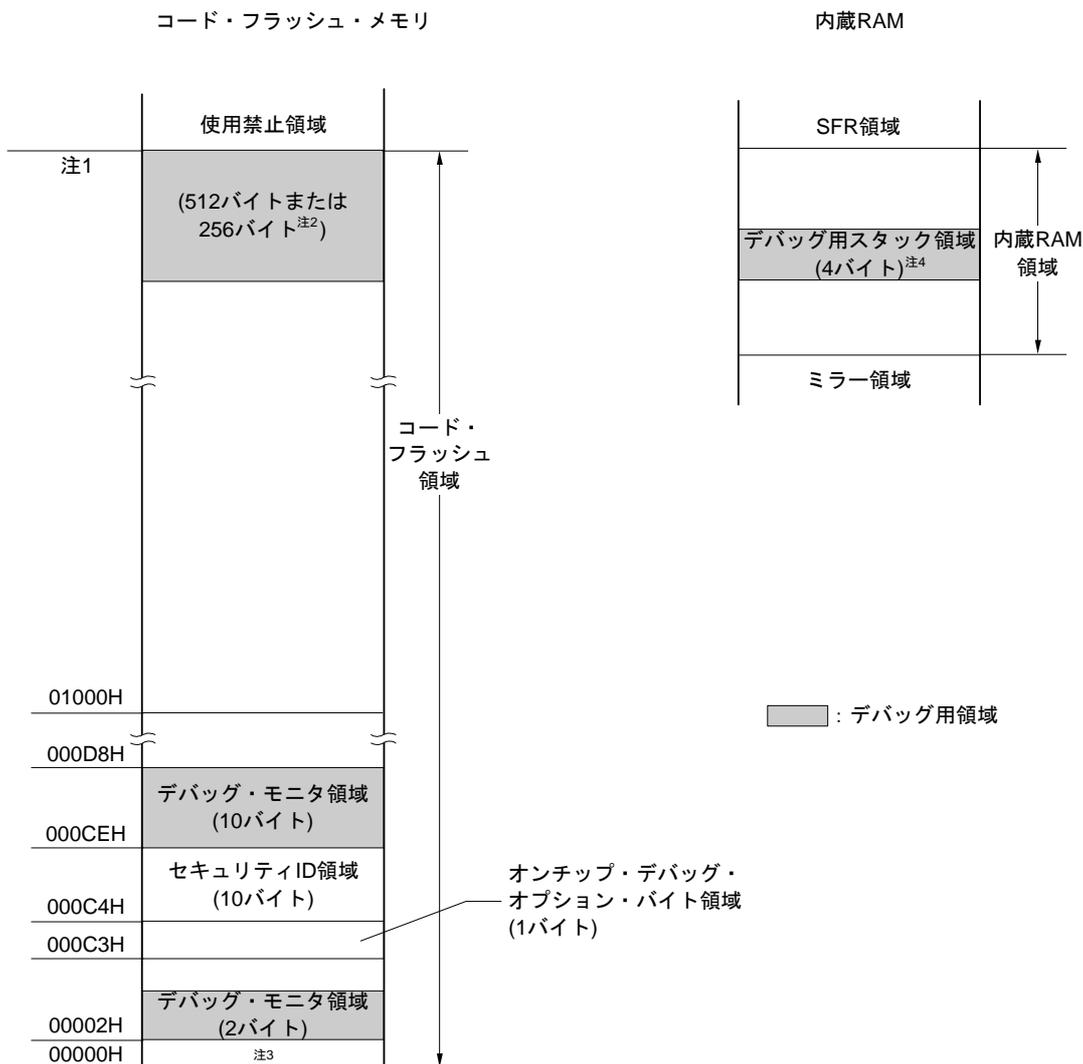
31.3 ユーザ資源の確保

RL78 マイクロコントローラとE1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図31-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図 31 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F117x8 (x = 6, 7, A)	01FFFH
R5F117xA (x = 6, 7, A, B, G)	03FFFH
R5F117xC (x = A, B, G)	07FFFH

注2. リアルタイムRAMモニタ (RRM) 機能, Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。

注3. デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。
セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

第32章 10進補正(BCD)回路

32.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

32.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

32.2.1 BCD補正結果レジスタ(BCDADJ)

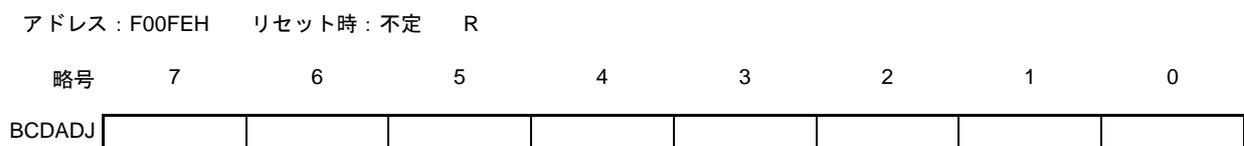
BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図32-1 BCD補正結果レジスタ(BCDADJ)のフォーマット



32.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める
- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
 - ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
 - ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ;①	99H	—	—	—
ADD A, #89H ;②	22H	1	1	66H
ADD A, !BCDADJ ;③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ;①	85H	—	—	—
ADD A, #15H ;②	9AH	0	0	66H
ADD A, !BCDADJ ;③	00H	1	1	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ;①	80H	—	—	—
ADD A, #80H ;②	00H	1	0	60H
ADD A, !BCDADJ ;③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令		Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H ;①	91H	—	—	—
SUB	A, #52H ;②	3FH	0	1	06H
SUB	A, !BCDADJ ;③	39H	0	0	—

第33章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015)を参照してください。

33.1 凡例

33.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様によります)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [,], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #: イミーディエト・データ指定
- !: 16ビット絶対アドレス指定
- !!: 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$!: 16ビット相対アドレス指定
- []: 間接アドレス指定
- ES: 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [,], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(表33-1の中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表33-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-5～表3-7 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-8～表3-12 拡張SFR(2nd SFR)一覧を参照してください。

33.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表33-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL	16ビット・レジスタの場合はXH=上位8ビット, XL=下位8ビット
Xs, XH, XL	20ビット・レジスタの場合はXs (ビット19-16), XH (ビット15-8), XL (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊖	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

33.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表 33 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

33.1.4 PREFIX 命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFFH の 64 Kバイト空間から、ES レジスタの値を付加した 00000H-FFFFFFH の 1 Mバイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表 33 - 4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

33.2 オペレーション一覧

表33-5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r 注3	1	1	—	A ← r			
		r, A 注3	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
A, ES:!addr16	4	2	5	A ← (ES, addr16)					
!addr16, A	3	1	—	(addr16) ← A					
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-6 オペレーション一覧(2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE + byte)			
		[DE+byte], A	2	1	—	(DE + byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE) + byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL + byte)			
		[HL+byte], A	2	1	—	(HL + byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL) + byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP + byte)			
		[SP+byte], A	2	1	—	(SP + byte) ← A			
		A, word[B]	3	1	4	A ← (B + word)			
		word[B], A	3	1	—	(B + word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B) + word)			
		ES:word[B], A	4	2	—	((ES, B) + word) ← A			
		A, word[C]	3	1	4	A ← (C + word)			
		word[C], A	3	1	—	(C + word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C) + word)			
		ES:word[C], A	4	2	—	((ES, C) + word) ← A			
		A, word[BC]	3	1	4	A ← (BC + word)			
		word[BC], A	3	1	—	(BC + word) ← A			
		A, ES:word[BC]	4	2	5	A ← ((ES, BC) + word)			
		ES:word[BC], A	4	2	—	((ES, BC) + word) ← A			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-7 オペレーション一覧(3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$				
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$				
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$				
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$				
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$				
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$				
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$				
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$				
		X, !addr16	3	1	4	$X \leftarrow (addr16)$				
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$				
		X, saddr	2	1	—	$X \leftarrow (saddr)$				
		B, !addr16	3	1	4	$B \leftarrow (addr16)$				
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$				
		B, saddr	2	1	—	$B \leftarrow (saddr)$				
		C, !addr16	3	1	4	$C \leftarrow (addr16)$				
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$				
	C, saddr	2	1	—	$C \leftarrow (saddr)$					
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$					
	XCH	A, r	注3	1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16		4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16			5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr			3	2	—	$A \leftrightarrow (saddr)$				
A, sfr			3	2	—	$A \leftrightarrow sfr$				
A, [DE]			2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]			3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]			2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]			3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]			3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]			4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]			3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]			4	3	—	$A \leftrightarrow ((ES, HL) + byte)$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-8 オペレーション一覧(4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL + B)				
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL) + B)				
		A, [HL+C]	2	2	—	A ↔ (HL + C)				
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL) + C)				
	ONEB	A	1	1	—	A ← 01H				
		X	1	1	—	X ← 01H				
		B	1	1	—	B ← 01H				
		C	1	1	—	C ← 01H				
		!addr16	3	1	—	(addr16) ← 01H				
		ES:!addr16	4	2	—	(ES, addr16) ← 01H				
		saddr	2	1	—	(saddr) ← 01H				
	CLRB	A	1	1	—	A ← 00H				
		X	1	1	—	X ← 00H				
		B	1	1	—	B ← 00H				
		C	1	1	—	C ← 00H				
		!addr16	3	1	—	(addr16) ← 00H				
		ES:!addr16	4	2	—	(ES,addr16) ← 00H				
		saddr	2	1	—	(saddr) ← 00H				
	MOVS	[HL+byte], X	3	1	—	(HL + byte) ← X	×		×	
		ES:[HL+byte], X	4	2	—	(ES, HL + byte) ← X	×		×	
	16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word			
			saddrp, #word	4	1	—	(saddrp) ← word			
sfrp, #word			4	1	—	sfrp ← word				
AX, rp 注3			1	1	—	AX ← rp				
rp, AX 注3			1	1	—	rp ← AX				
AX, !addr16			3	1	4	AX ← (addr16)				
!addr16, AX			3	1	—	(addr16) ← AX				
AX, ES:!addr16			4	2	5	AX ← (ES, addr16)				
ES:!addr16, AX			4	2	—	(ES, addr16) ← AX				
AX, saddrp			2	1	—	AX ← (saddrp)				
saddrp, AX			2	1	—	(saddrp) ← AX				
AX, sfrp			2	1	—	AX ← sfrp				
sfrp, AX			2	1	—	sfrp ← AX				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。CPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表33-9 オペレーション一覧(5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)					
ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fclk) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fclk) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 10 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp <small>注3</small>	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	1	—	A, CY ← A + r	x	x	x
		r, A	2	1	—	r, CY ← r + A	x	x	x
		A, !addr16	3	1	4	A, CY ← A + (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A + (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A + (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	x	x	x		

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
- 注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
- 注3. rp = AXを除く。
- 注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 11 オペレーション一覧 (7/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x
A, ES:[HL+byte]		3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x	
A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x		
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 12 オペレーション一覧(8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A - byte - CY	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	1	—	A, CY ← A - r - CY	x	x	x
		r, A	2	1	—	r, CY ← r - A - CY	x	x	x
		A, !addr16	3	1	4	A, CY ← A - (addr16) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A - (ES, addr16) - CY	x	x	x
		A, saddr	2	1	—	A, CY ← A - (saddr) - CY	x	x	x
		A, [HL]	1	1	4	A, CY ← A - (HL) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A - (ES, HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A - ((ES, HL) + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A - ((ES, HL) + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY ← A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	—	A ← A ∧ byte	x		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	x		
		A, r <small>注3</small>	2	1	—	A ← A ∧ r	x		
		r, A	2	1	—	r ← r ∧ A	x		
		A, !addr16	3	1	4	A ← A ∧ (addr16)	x		
		A, ES:!addr16	4	2	5	A ← A ∧ (ES:addr16)	x		
		A, saddr	2	1	—	A ← A ∧ (saddr)	x		
		A, [HL]	1	1	4	A ← A ∧ (HL)	x		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	x		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	x		
A, ES:[HL+byte]		3	2	5	A ← A ∧ ((ES:HL) + byte)	x			
A, [HL+B]		2	1	4	A ← A ∧ (HL + B)	x			
A, ES:[HL+B]		3	2	5	A ← A ∧ ((ES:HL) + B)	x			
A, [HL+C]		2	1	4	A ← A ∧ (HL + C)	x			
A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	x				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 13 オペレーション一覧(9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
		A, r 注3	2	1	—	$A \leftarrow A \vee r$	x		
		r, A	2	1	—	$r \leftarrow r \vee A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	x		
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	x			
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	x		
		A, r 注3	2	1	—	$A \leftarrow A \nabla r$	x		
		r, A	2	1	—	$r \leftarrow r \nabla A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	x		
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	x			
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	x				
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	x				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	x				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 14 オペレーション一覧(10/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A - byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x
		saddr, #byte	3	1	—	(saddr) - byte	x	x	x
		A, r 注3	2	1	—	A - r	x	x	x
		r, A	2	1	—	r - A	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, saddr	2	1	—	A - (saddr)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	CMP0	A	1	1	—	A - 00H	x	0	0
		X	1	1	—	X - 00H	x	0	0
		B	1	1	—	B - 00H	x	0	0
		C	1	1	—	C - 00H	x	0	0
		!addr16	3	1	4	(addr16) - 00H	x	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	x	0	0
		saddr	2	1	—	(saddr) - 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 15 オペレーション一覧(11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	x	x	x
		AX, AX	1	1	—	AX, CY ← AX + AX	x	x	x
		AX, BC	1	1	—	AX, CY ← AX + BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX + DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX + HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	x	x	x
		AX, BC	1	1	—	AX, CY ← AX - BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX - DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX - HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	—	AX - word	x	x	x
		AX, BC	1	1	—	AX - BC	x	x	x
		AX, DE	1	1	—	AX - DE	x	x	x
		AX, HL	1	1	—	AX - HL	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 16 オペレーション一覧(12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- ・GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

備考2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

表33 - 17 オペレーション一覧(13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	x	x	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	x	x	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	x	x	
	DEC	r	1	1	—	$r \leftarrow r - 1$	x	x	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	x	x	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	x	x	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			x
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			x
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			x
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			x
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			x
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			x
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			x
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			x
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. cntはビット・シフト数です。

表33 - 18 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			x
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			x
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			x
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			x
	ROLWC	AX,1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			x
BC,1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			x	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			x
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			x
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	x	x	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			x
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			x
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY,[HL].bit	2	1	4	$CY \leftarrow (HL).bit$			x
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			x
		CY,[HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			x
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			x
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			x	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 19 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			x
SET1	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
CLR1	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
SET1	SET1	CY	2	1	—	$CY \leftarrow 1$			1
CLR1	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
NOT1	NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 20 オペレーション一覧(16/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC ← CS, rp, SP ← SP - 4			
		\$!addr20	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4) _s , (SP - 3) ← (PC + 4) _H , (SP - 4) ← (PC + 4) _L , PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0000, addr5 + 1), PC _L ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-21 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		\$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 22 オペレーション一覧(18/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z V CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z V CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
- 注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
- 注3. クロック数は“条件不成立時/条件成立時”を表しています。
- 注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

第34章 電気的特性

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
- 注意2. 製品により搭載している端子が異なります。2.1 ポート機能～2.2.1 製品別の搭載機能を参照してください。
- 注意3. $T_A = +85\text{ }^{\circ}\text{C} \sim +105\text{ }^{\circ}\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。
- 注意4. 動作周囲温度が $85\text{ }^{\circ}\text{C}$ を超える場合、フラッシュ動作モードはHS (高速メイン)モードのみが使用可能です。レギュレータ・モードは通常設定(MCSEL = 0)でご使用ください。

34.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD, AVDD	VDD = AVDD	-0.3 ~ + 4.6	V
	AVREFP		0.3 ~ AVDD + 0.3注2	V
	AVSS		-0.5 ~ + 0.3	V
	AVREFM		-0.3 ~ AVDD + 0.3注2 かつ AVREFM ≤ AVREFP	V
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ + 2.8 かつ -0.3 ~ VDD + 0.3注1	V
入力電圧	Vi1	P00-P04, P30-P33, P40, P50-P57, P121-P124, P130, P137, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3注2	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ + 6.5	V
	Vi3	P10-P17, P20-P25	-0.3 ~ AVDD + 0.3注2	V
出力電圧	Vo1	P00-P04, P30-P33, P40, P50-P57, P60-P63, P130	-0.3 ~ VDD + 0.3注2	V
	Vo2	P10-P17, P20-P25	-0.3 ~ AVDD + 0.3注2	V
アナログ入力電圧	VAi1	ANI16-ANI18	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3注2, 3	V
	VAi2	ANI0-ANI13	-0.3 ~ AVDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3注2, 3	V
	VAi3	オペアンプ入力端子	-0.3 ~ AVDD + 0.3注2	V

注1. REGC 端子にはコンデンサ(0.47 ~ 1 μF)を介してVssに接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 4.6 V以下であること。

注3. A/D変換対象の端子は、AVREF(+) + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF (+) : A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P04, P30-P33, P40, P50-P57, P130	-40	mA
		端子合計	P00-P04, P40, P130	-70	mA
		-170 mA	P30-P33, P50-P57	-100	mA
	IOH2	1端子	P10-P17, P20-P25	-0.1	mA
		端子合計		-1.4	mA
	ロウ・レベル出力電流	IOL1	1端子	P00-P04, P30-P33, P40, P50-P57, P60-P63, P130	40
端子合計			P00-P04, P40, P130	70	mA
170 mA			P30-P33, P50-P57, P60-P63	100	mA
IOL2		1端子	P10-P17, P20-P25	0.4	mA
		端子合計		5.6	mA
動作周囲温度		TA	通常動作時		-40 ~ + 105
	フラッシュ・メモリ・プログラミング時				
保存温度	Tstg			-65 ~ + 150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.2 発振回路特性

34.2.1 X1, XT1 特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx)注	セラミック発振子/水晶振動子	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	1.0		20.0	MHz
		$2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0		16.0	
		$1.8 \text{ V} \leq V_{DD} < 2.4 \text{ V}$	1.0		8.0	
		$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$	1.0		4.0	
XT1クロック発振周波数 (fxT)注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS)の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、6.4 システム・クロック発振回路を参照してください。

34.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位	
高速オンチップ・オシレータ・クロック周波数注1,2	fiH		1		24	MHz	
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85 °C	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	-1.0		+1.0	%
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$	-5.0		+5.0	
		-40 ~ -20 °C	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	-1.5		+1.5	%
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$	-5.5		+5.5	
+85 ~ +105 °C	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	-2.0		+2.0	%		
中速オンチップ・オシレータ発振周波数注2	fiM		1		4	MHz	
中速オンチップ・オシレータ発振周波数精度		$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	-12		+12	%	
低速オンチップ・オシレータ・クロック周波数注2	fiL			15		kHz	
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%	

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット 0-3 および HOCODIV レジスタのビット 0-2 によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

34.3 DC特性

34.3.1 端子特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P04, P30-P33, P40, P50-P57, P130 1端子	$T_A = -40 \sim +85 \text{ }^\circ\text{C}$			-10.0 ^{注2}	mA
			$T_A = +85 \sim +105 \text{ }^\circ\text{C}$			-3.0 ^{注2}	mA
	P00-P04, P40, P130 合計 (デューティ $\leq 70\%$ 時 ^{注3})		$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-10.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			-5.0	mA
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			-2.5	mA
	P30-P33, P50-P57 合計 (デューティ $\leq 70\%$ 時 ^{注3})		$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-19.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			-10.0	mA
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			-5.0	mA
	全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})					-29.0	mA
	IOH2	P10-P17, P20-P25 1端子				-0.1 ^{注2}	mA
全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-1.4	mA

注1. V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ $\leq 70\%$ の条件での出力電流の値です。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます(デューティ比を $n\%$ に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

$$\langle \text{計算例} \rangle \quad I_{OH} = -10.0 \text{ mA} \text{ の場合, } n = 80\%$$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P30, P51-P56は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P04, P30-P33, P40, P50-P57, P130 1端子	$T_A = -40 \sim +85 \text{ } ^\circ\text{C}$			20.0 ^{注2}	mA
			$T_A = +85 \sim +105 \text{ } ^\circ\text{C}$			8.5 ^{注2}	mA
		P60-P63 1端子				15.0 ^{注2}	mA
		P00-P04, P40, P130 合計 (デューティ $\leq 70\%$ 時 ^{注3})	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			15.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			9.0	mA
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			4.5	mA
		P30-P33, P50-P57, P60-P63 合計 (デューティ $\leq 70\%$ 時 ^{注3})	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			35.0	mA
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			20.0	mA
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			10.0	mA
	全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})				50.0	mA	
	IOL2	P10-P17, P20-P25 1端子				0.4 ^{注2}	mA
全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})		$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			5.6	mA	

注1. 出力端子からV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ $\leq 70\%$ の条件での電流の値です。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> $I_{OL} = 10.0 \text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P00-P04, P30-P33, P40, P50-P57, P130,	通常入力バッファ	0.8 V _{DD}		V _{DD}	V
	V _{IH2}	P30, P32, P33, P51, P52, P54-P57	TTL入力バッファ	2.0		V _{DD}	V
			3.3 V \leq V _{DD} \leq 3.6 V				
	V _{IH2}	P30, P32, P33, P51, P52, P54-P57	TTL入力バッファ	1.5		V _{DD}	V
			1.6 V \leq V _{DD} < 3.3 V				
	V _{IH3}	P10-P17, P20-P25		0.7 AV _{DD}		AV _{DD}	V
V _{IH4}	P60-P63		0.7 V _{DD}		6.0	V	
V _{IH5}	EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8 V _{DD}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P00-P04, P30-P33, P40, P50-P57, P130	通常入力バッファ	0		0.2 V _{DD}	V
	V _{IL2}	P30, P32, P33, P51, P52, P54-P57	TTL入力バッファ	0		0.5	V
			3.3 V \leq V _{DD} \leq 3.6 V				
	V _{IL2}	P30, P32, P33, P51, P52, P54-P57	TTL入力バッファ	0		0.32	V
			1.6 V \leq V _{DD} < 3.3 V				
	V _{IL3}	P10-P17, P20-P25		0		0.3 AV _{DD}	V
V _{IL4}	P60-P63		0		0.3 V _{DD}	V	
V _{IL5}	EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2 V _{DD}	V	

注意 P30, P51-P56は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値(MAX.)はV_{DD}です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00-P04, P30-P33, P40, P50-P57, P130	2.7 V ≤ VDD ≤ 3.6 V, IOH = -2.0 mA	VDD - 0.6		V
			1.8 V ≤ VDD ≤ 3.6 V注3, IOH = -1.5 mA	VDD - 0.5		V
			1.6 V ≤ VDD ≤ 3.6 V注1, IOH = -1.0 mA	VDD - 0.5		V
	VOH2	P10-P17, P20-P25	1.6 V ≤ AVDD ≤ 3.6 V注2, IOH = -100 μA	AVDD - 0.5		V
ロウ・レベル出力電圧	VOL1	P00-P04, P30-P33, P40, P50-P57, P130	2.7 V ≤ VDD ≤ 3.6 V, IOL = 3.0 mA		0.6	V
			2.7 V ≤ VDD ≤ 3.6 V, IOL = 1.5 mA		0.4	V
			1.8 V ≤ VDD ≤ 3.6 V注3, IOL = 0.6 mA		0.4	V
			1.6 V ≤ AVDD ≤ 3.6 V注1, IOL = 0.3 mA		0.4	V
	VOL2	P10-P17, P20-P25	1.6 V ≤ AVDD ≤ 3.6 V注2, IOL = 400 μA		0.4	V
	VOL3	P60-P63	2.7 V ≤ VDD ≤ 3.6 V, IOL = 3.0 mA		0.4	V
			1.8 V ≤ VDD ≤ 3.6 V注3, IOL = 2.0 mA		0.4	V
			1.6 V ≤ AVDD ≤ 3.6 V注1, IOL = 1.0 mA		0.4	V

注1. TA = -40 ~ +85 °Cのみを保証します。

注2. +85 °C < TA ≤ +105 °C では2.4V ≤ AVDD ≤ 3.6Vの条件を保証します。

注3. +85 °C < TA ≤ +105 °C では2.4V ≤ VDD ≤ 3.6Vの条件を保証します。

注意 P30, P51-P56は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P00-P04, P30-P33, P40, P50-P57, P60-P63, P130	$V_I = V_{DD}$		1	μA		
	ILIH2	$\overline{\text{RESET}}$	$V_I = V_{DD}$		1	μA		
	ILIH3	X1, X2, EXCLK, XT1, XT2, EXCLKS	$V_I = V_{DD}$	入力ポート時, 外部クロック入力時	1	μA		
				発振子接続時	10	μA		
ILIH4	P10-P17, P20-P25	$V_I = AV_{DD}$		1	μA			
ロウ・レベル 入力リーク電流	ILIL1	P00-P04, P30-P33, P40, P50-P57, P60-P63, P130, P137	$V_I = V_{SS}$		-1	μA		
	ILIL2	$\overline{\text{RESET}}$	$V_I = V_{SS}$		-1	μA		
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	$V_I = V_{SS}$	入力ポート時, 外部クロック入力時	-1	μA		
				発振子接続時	-10	μA		
ILIL4	P10-P17, P20-P25	$V_I = AV_{SS}$		-1	μA			
内蔵プルアップ 抵抗	RU	P00-P04, P30-P33, P40, P50-P57, P130	$V_I = V_{SS}$, 入力ポート時		10	20	100	$\text{k}\Omega$

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.3.2 電源電流特性

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位						
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード	f _{IH} = 24 MHz ^{注3} , TA = -40 ~ +105 °C	基本動作	V _{DD} = 3.0 V		1.4		mA			
			HS (高速メイン)モード	f _{IH} = 24 MHz ^{注3} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V		3.2	6.3	mA			
			f _{IH} = 24 MHz ^{注3} , TA = +85 ~ +105 °C	通常動作	V _{DD} = 3.0 V			6.7					
			f _{IH} = 16 MHz ^{注3} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V		2.4	4.6					
			f _{IH} = 16 MHz ^{注3} , TA = +85 ~ +105 °C	通常動作	V _{DD} = 3.0 V			4.9					
			LS (低速メイン)モード (MCSEL = 0)	f _{IH} = 8 MHz ^{注3} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V V _{DD} = 2.0 V		1.1	2.0		mA		
			LS (低速メイン)モード (MCSEL = 1)	f _{IH} = 4 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V V _{DD} = 2.0 V		0.72	1.30		mA		
		f _{IM} = 4 MHz ^{注7} , TA = -40 ~ +85 °C		通常動作	V _{DD} = 3.0 V V _{DD} = 2.0 V		0.58	1.10					
			LV (低電圧メイン)モード	f _{IH} = 3 MHz ^{注3} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V V _{DD} = 2.0 V		1.2	1.8		mA		
				LP (低電力メイン)モード ^{注5} (MCSEL = 1)	f _{IH} = 1 MHz ^{注3} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V V _{DD} = 2.0 V		290	480		μA	
				f _{IM} = 1 MHz ^{注5} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V V _{DD} = 2.0 V		124	230				
			HS (高速メイン)モード	f _{MX} = 20 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続		2.7	5.3		mA	
		通常動作			V _{DD} = 3.0 V	方形波入力 発振子接続		2.8	5.5				
				f _{MX} = 20 MHz ^{注2} , TA = +85 ~ +105 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続			5.7			
		通常動作			V _{DD} = 3.0 V	方形波入力 発振子接続			5.8				
				f _{MX} = 10 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続		1.8	3.1			
		通常動作			V _{DD} = 3.0 V	方形波入力 発振子接続		1.9	3.2				
				LS (低速メイン)モード (MCSEL = 0)	f _{MX} = 8 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続		0.9	1.9		mA
		通常動作			V _{DD} = 2.0 V	方形波入力 発振子接続		1.0	2.0				
			LS (低速メイン)モード (MCSEL = 1)	f _{MX} = 8 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続		0.9	1.9			
		通常動作		V _{DD} = 2.0 V	方形波入力 発振子接続		1.0	2.0					
			LP (低電力メイン)モード (MCSEL = 1)	f _{MX} = 4 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続		0.6	1.1		mA	
		通常動作		V _{DD} = 2.0 V	方形波入力 発振子接続		0.6	1.1					
			LP (低電力メイン)モード (MCSEL = 1)	f _{MX} = 4 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続		100	190		μA	
		通常動作		V _{DD} = 2.0 V	方形波入力 発振子接続		136	250					
			LP (低電力メイン)モード (MCSEL = 1)	f _{MX} = 1 MHz ^{注2} , TA = -40 ~ +85 °C	通常動作	V _{DD} = 3.0 V	方形波入力 発振子接続		100	190		μA	
		通常動作		V _{DD} = 2.0 V	方形波入力 発振子接続		136	250					

(注, 備考は次ページにあります。)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(2/5)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	サブシステム・クロック動作	fsx = 32.768 kHz, TA = -40 °C ^{注4}	通常動作	方形波入力	3.2	6.1	μA
						発振子接続	3.3	6.1	
				fsx = 32.768 kHz, TA = +25 °C ^{注4}	通常動作	方形波入力	3.4	6.1	
						発振子接続	3.6	6.1	
				fsx = 32.768 kHz, TA = +50 °C ^{注4}	通常動作	方形波入力	3.5	6.7	
						発振子接続	3.7	6.7	
				fsx = 32.768 kHz, TA = +70 °C ^{注4}	通常動作	方形波入力	3.7	7.5	
						発振子接続	3.9	7.5	
				fsx = 32.768 kHz, TA = +85 °C ^{注4}	通常動作	方形波入力	4.0	8.9	
						発振子接続	4.2	8.9	
				fsx = 32.768 kHz, TA = +105 °C ^{注4}	通常動作	方形波入力	4.5	21.0	
						発振子接続	4.7	21.1	
				fiL = 15 kHz, TA = -40 °C ^{注6}	通常動作		1.8	5.9	
fiL = 15 kHz, TA = +25 °C ^{注6}	通常動作		1.9	5.9					
fiL = 15 kHz, TA = +85 °C ^{注6}	通常動作		2.3	8.7					
fiL = 15 kHz, TA = +105 °C ^{注6}	通常動作		3.0	20.9					

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LV（低電圧メイン）モード、LP（低電力メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、オペアンプ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

注2. 高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロック、サブ・クロックは停止時。

注3. 高速システム・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロック、サブ・クロックは停止時。

注4. 高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックは停止時。超低消費発振設定(AMPHS1, AMPHS0) = (1, 0)時。

注5. 高速システム・クロック、高速オンチップ・オシレータ・クロック、サブ・クロック、低速オンチップ・オシレータ・クロックは停止時。

注6. 高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブ・クロックは停止時。

注7. 高速システム・クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロック、サブ・クロックは停止時。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fiH : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考3. fiM : 中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

備考4. fiL : 低速オンチップ・オシレータ・クロック周波数

備考5. fsx : サブ・クロック周波数(XT1クロック周波数)

備考6. fsUB : サブシステム・クロック周波数(XT1クロック発振周波数または低速オンチップ・オシレータクロック周波数)

備考7. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25 °Cです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(3/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2 注2	HALTモード	HS (高速メイン)モード	$f_{IH} = 24 \text{ MHz}$ ^{注4} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		0.37	1.83	mA	
				$f_{IH} = 24 \text{ MHz}$ ^{注4} , $T_A = +85 \sim +105 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$			2.85		
				$f_{IH} = 16 \text{ MHz}$ ^{注4} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		0.36	1.38		
				$f_{IH} = 16 \text{ MHz}$ ^{注4} , $T_A = +85 \sim +105 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$			2.08		
			LS (低速メイン)モード (MCSEL = 0)	$f_{IH} = 8 \text{ MHz}$ ^{注4} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		250	710	μA	
					$V_{DD} = 2.0 \text{ V}$		250	710		
			LS (低速メイン)モード (MCSEL = 1)	$f_{IH} = 4 \text{ MHz}$ ^{注4} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		204	400	μA	
					$V_{DD} = 2.0 \text{ V}$		204	400		
				$f_{IM} = 4 \text{ MHz}$ ^{注7} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		40	250		
					$V_{DD} = 2.0 \text{ V}$		40	250		
			LV (低電圧メイン)モード	$f_{IH} = 3 \text{ MHz}$ ^{注4} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		425	800	μA	
					$V_{DD} = 2.0 \text{ V}$		425	800		
		LP (低電力メイン)モード (MCSEL = 1)	$f_{IH} = 1 \text{ MHz}$ ^{注4} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		192	400	μA		
				$V_{DD} = 2.0 \text{ V}$		192	400			
			$f_{IM} = 1 \text{ MHz}$ ^{注7} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$		27	100			
				$V_{DD} = 2.0 \text{ V}$		27	100			
		HS (高速メイン)モード	$f_{MX} = 20 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$	方形波入力	0.20	1.55	mA		
					発振子接続	0.40	1.74			
			$f_{MX} = 20 \text{ MHz}$ ^{注3} , $T_A = +85 \sim +105 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$	方形波入力		2.45			
					発振子接続		2.57			
			$f_{MX} = 10 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$	方形波入力	0.15	0.86			
					発振子接続	0.30	0.93			
			$f_{MX} = 10 \text{ MHz}$ ^{注3} , $T_A = +85 \sim +105 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$	方形波入力		1.28			
					発振子接続		1.36			
			LS (低速メイン)モード (MCSEL = 0)	$f_{MX} = 8 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$	方形波入力	68		550	μA
						発振子接続	120		590	
		$f_{MX} = 8 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$		$V_{DD} = 2.0 \text{ V}$	方形波入力	68	550			
					発振子接続	120	590			
LS (低速メイン)モード (MCSEL = 1)	$f_{MX} = 4 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$	方形波入力	23	128	μA				
			発振子接続	65	200					
	$f_{MX} = 4 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 2.0 \text{ V}$	方形波入力	23	128					
			発振子接続	65	200					
LP (低電力メイン)モード (MCSEL = 1)	$f_{MX} = 1 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 3.0 \text{ V}$	方形波入力	10	64	μA				
			発振子接続	48	150					
	$f_{MX} = 1 \text{ MHz}$ ^{注3} , $T_A = -40 \sim +85 \text{ }^\circ\text{C}$	$V_{DD} = 2.0 \text{ V}$	方形波入力	10	64					
			発振子接続	48	150					

(注、備考は次ページにあります。)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(4/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	サブシステム・クロック動作	fsx = 32.768 kHz, TA = -40 °C ^{注5}	方形波入力	0.24	0.57	μA	
					発振子接続	0.42	0.76		
				fsx = 32.768 kHz, TA = +25 °C ^{注5}	方形波入力	0.30	0.57		
					発振子接続	0.54	0.76		
				fsx = 32.768 kHz, TA = +50 °C ^{注5}	方形波入力	0.35	1.17		
					発振子接続	0.60	1.36		
				fsx = 32.768 kHz, TA = +70 °C ^{注5}	方形波入力	0.42	1.97		
					発振子接続	0.70	2.16		
				fsx = 32.768 kHz, TA = +85 °C ^{注5}	方形波入力	0.80	3.37		
					発振子接続	0.95	3.56		
				fsx = 32.768 kHz, TA = +105 °C ^{注5}	方形波入力	1.80	17.10		
					発振子接続	2.20	17.50		
				fIL = 15 kHz, TA = -40 °C ^{注6}		0.40	1.22		μA
				fIL = 15 kHz, TA = +25 °C ^{注6}		0.47	1.22		
fIL = 15 kHz, TA = +85 °C ^{注6}		0.80	3.30						
fIL = 15 kHz, TA = +105 °C ^{注6}		2.00	17.30						

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LV（低電圧メイン）モード、LP（低電力メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、オペアンプ、コンパレータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロック、サブ・クロックは停止時。

注4. 高速システム・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロック、サブ・クロックは停止時。

注5. 高速システム・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロック、高速オンチップ・オシレータ・クロックは停止時。RTCLPC = 1, かつ超低消費発振設定(AMPHS1, AMPHS0) = (1, 0)時。

注6. 高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、高速システム・クロック、サブ・クロックは停止時。

注7. 高速システム・クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロック、サブ・クロックは停止時。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考3. fIM : 中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

備考4. fIL : 低速オンチップ・オシレータ・クロック周波数

備考5. fsx : サブ・クロック周波数(XT1クロック周波数)

備考6. fsUB : サブシステム・クロック周波数(XT1クロック発振周波数または低速オンチップ・オシレータクロック周波数)

備考7. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25 °Cです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AVDD = VDD \leq 3.6 \text{ V}$, $VSS = AVSS = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AVDD = VDD \leq 3.6 \text{ V}$, $VSS = AVSS = 0 \text{ V}$)

(5/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流注1	I _{DD3}	STOPモード注2	T _A = -40 °C		0.16	0.51	μA
			T _A = +25 °C		0.22	0.51	
			T _A = +50 °C		0.27	1.10	
			T _A = +70 °C		0.37	1.90	
			T _A = +85 °C		0.60	3.30	
			T _A = +105 °C		1.50	17.00	

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

周辺機能(全製品共通)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC2動作電流	IRTC注1, 2, 3	fSX = 32.768 kHz			0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA注1, 2, 4	fSX = 32.768 kHz			0.04		μA
8ビット・インターバル・タイマ動作電流	ITMT注1, 9	fSX = 32.768 kHz	8ビット・カウンタ・モード × 2 ch動作		0.12		μA
		fMAINは停止(1ユニットあたり)	16ビット・カウンタ・モード動作		0.10		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC注6, 10	最高速変換時	AVDD = 3.0 V		420	720	μA
AVREF(+)電流	IAREF注11	AVREFP = 3.0 V, ADREFP1 = 0, ADREFP0 = 1			14.0	25.0	μA
内部基準電圧(1.45 V)電流	IADREF注1, 12				85.0		μA
温度センサ動作電流	ITMPS注1				85.0		μA
コンパレータ動作電流	ICMP注8, 10	AVDD = 3.6 V, レギュレータ 出力電圧 = 2.1 V	コンパレータ高速モード ウィンドウモード		12.5		μA
			コンパレータ低速モード ウィンドウモード		3.0		
			コンパレータ高速モード 基本モード		6.5		
			コンパレータ低速モード 基本モード		1.7		
	AVDD = 3.6 V, レギュレータ 出力電圧 = 1.8 V	コンパレータ高速モード ウィンドウモード		8.0			
		コンパレータ低速モード ウィンドウモード		2.2			
		コンパレータ高速モード 基本モード		4.0			
		コンパレータ低速モード 基本モード		1.3			
オペアンプ動作電流	IAMP注10, 13	低消費モード	オペアンプ1ユニット動作注14		2.5	4.0	μA
			オペアンプ2ユニット動作注14		4.5	8.0	
			オペアンプ3ユニット動作注14		6.5	11.0	
			オペアンプ4ユニット動作注14		8.5	14.0	
		高速モード	オペアンプ1ユニット動作注14		140	220	
			オペアンプ2ユニット動作注14		280	410	
			オペアンプ3ユニット動作注14		420	600	
			オペアンプ4ユニット動作注14		560	780	
LVD動作電流	ILVD注1, 7				0.10		μA

(注, 備考は次ページにあります。)

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ・クロック, 中速オンチップ・オシレータ・クロック, 高速システム・クロックは停止時。
- 注3. リアルタイム・クロック2(RTC2)にのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。
動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は, I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。
- 注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, I_{DD1}またはI_{DD2}にI_{IT}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。
ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電流値となります。
- 注7. LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値がRL78マイクロコントローラの電流値となります。
- 注8. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{COMP}を加算した値が, RL78マイクロコントローラの電流値となります。
- 注9. 8ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は, I_{DD1}またはI_{DD2}にI_{IT}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
- 注10. AVDDに流れる電流です。
- 注11. AVREFPに流れる電流です。
- 注12. 内部基準電圧(1.45 V)の生成で消費する電流です。
- 注13. オペアンプにのみ流れる電流。動作モードまたはHALTモードまたはSTOPモード時にオペアンプが動作中の場合, I_{DD1}またはI_{DD2}またはI_{DD3}にI_{AMP}を加算した値が, RL78マイクロコントローラの電流値です。
- 注14. オペアンプ・リファレンス電流回路の動作電流を含みます。

- 備考1. f_{IL}: 低速オンチップ・オシレータ・クロック周波数
- 備考2. f_{SUB}: サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考3. f_{CLK}: CPU/周辺ハードウェア・クロック周波数
- 備考4. TYP.値の温度条件は, T_A = 25 °Cです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
セルフ・プログラミング動作電流	IFSP注1, 3				2.0	12.20	mA
BGO電流	IBGO注1, 2				2.0	12.20	mA
SNOOZE動作電流	ISNOZ注1	ADC動作 AVREFP = VDD = 3.0V TA = -40 ~ +85 °C	モード遷移中注5		0.50	0.60	mA
			変換動作中注1		0.60	0.75	mA
			変換動作中注4		420	720	μA
		ADC動作 AVREFP = VDD = 3.0V TA = +85 ~ +105 °C	モード遷移中注5		0.50	1.10	mA
			変換動作中注1		0.60	1.34	mA
			変換動作中注4		420	720	μA
		簡易SPI (CSI) /UART 動作	TA = -40 ~ +85 °C		0.70	0.84	mA
			TA = +85 ~ +105 °C		0.70	1.54	mA

注1. VDDに流れる電流です。

注2. データ・フラッシュ書き換え時に流れる電流です。

注3. セルフ・プログラミング時に流れる電流です。

注4. AVDDに流れる電流です。

注5. SNOOZEモードへの移行時間は、23.3.3 SNOOZEモードを参照してください。

備考1. f_L: 低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB}: サブシステム・クロック周波数(XT1クロック発振周波数)

備考3. f_{CLK}: CPU/周辺ハードウェア・クロック周波数

備考4. TYP.値の温度条件は、TA = 25 °Cです。

34.4 AC特性

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック (fMAIN) 動作	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 3.6 V	0.04167		1	μs	
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs	
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 3.6 V	0.125		1	μs	
				1.8 V ≤ VDD ≤ 3.6 V PMMC. MCSEL = 0	0.25		1	μs	
			LP (低電力メイン) モード	1.8 V ≤ VDD ≤ 3.6 V	1			μs	
			LV (低電圧メイン) モード	1.8 V ≤ VDD ≤ 3.6 V	0.25		1	μs	
		1.6 V ≤ VDD < 1.8 V		0.34		1	μs		
		サブシステム・ クロック (fSUB) 動作	fsx	1.8 V ≤ VDD ≤ 3.6 V	28.5	30.5	31.3	μs	
			fil	1.8 V ≤ VDD ≤ 3.6 V		66.7		μs	
		セルフ・プログラミ ング時		HS (高速メイン) モード	2.7 V ≤ VDD ≤ 3.6 V	0.04167		1	μs
					2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
				LS (低速メイン) モード	1.8 V ≤ VDD ≤ 3.6 V	0.125		1	μs
LV (低電圧メイン) モード	1.8 V ≤ VDD ≤ 3.6 V			0.25		1	μs		
外部システム・ クロック周波数	fEX	2.7 V ≤ VDD ≤ 3.6 V		1.0		20.0	MHz		
		2.4 V ≤ VDD < 2.7 V		1.0		16.0	MHz		
		1.8 V ≤ VDD < 2.4 V		1		8	MHz		
		1.6 V ≤ VDD < 1.8 V		1		4	MHz		
	fEXS			32		35	kHz		
外部システム・ クロック入力 ハイ、ロウ・ レベル幅	tEXH, tEXL	2.7 V ≤ VDD ≤ 3.6 V		24			ns		
		2.4 V ≤ VDD < 2.7 V		30			ns		
		1.8 V ≤ VDD < 2.4 V		60			ns		
		1.6 V ≤ VDD < 1.8 V		120			ns		
	tEXHS, tEXLS			13.7			μs		
T100-T103, 入力ハイ・レベル 幅, ロウ・レベル幅	tTIH, tTIL			1/fMCK + 10			ns		

備考 fMCK: タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号 (m = 0),

n: チャンネル番号 (n = 0-3))

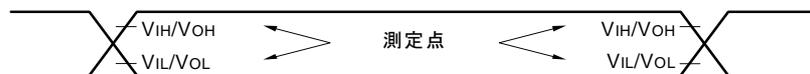
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

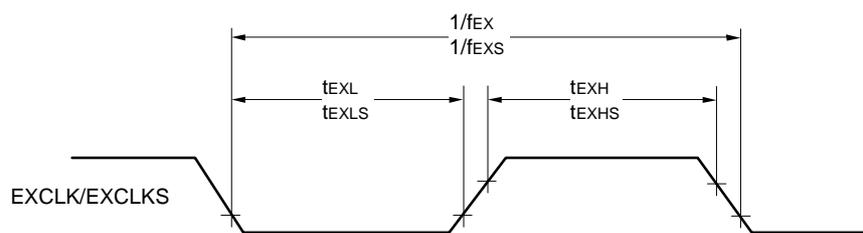
(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
TO00-TO03出力周波数	f _{TO}	HS (高速メイン)モード	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			8	MHz
			$2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			4	
		LS(低速メイン)モード	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			4	
		LP(低電力メイン)モード	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			0.5	
		LV(低電圧メイン)モード	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			2	
PCLBUZ0, PCLBUZ1出力周波数	f _{PCL}	HS (高速メイン)モード	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			8	MHz
			$2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			4	
		LS(低速メイン)モード	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			4	
		LP(低電力メイン)モード	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			1	
		LV(低電圧メイン)モード	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			4	
		$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			2		
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0-INTP6	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	1			μs
キー割り込み入力ロウ・レベル幅	t _{KR}	KR0-KR3	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	250			ns
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$	1			μs
RESETロウ・レベル幅	t _{RSL}			10			μs

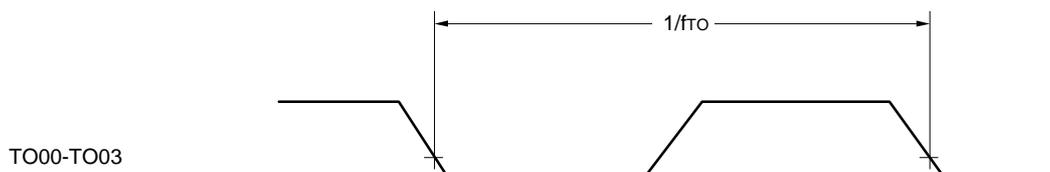
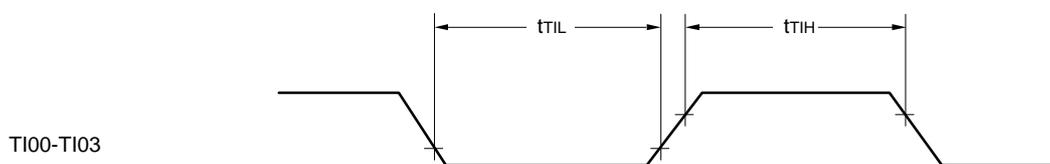
ACタイミング測定点



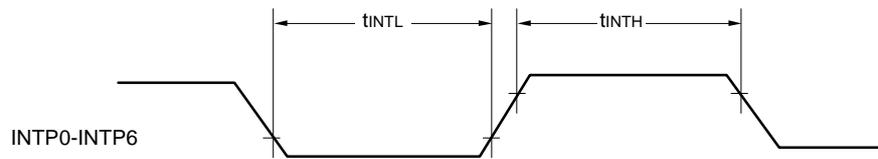
外部システム・クロック・タイミング



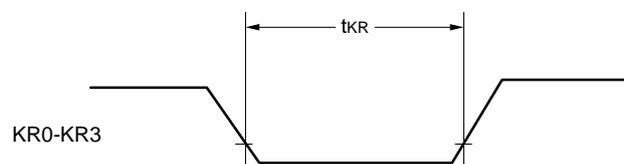
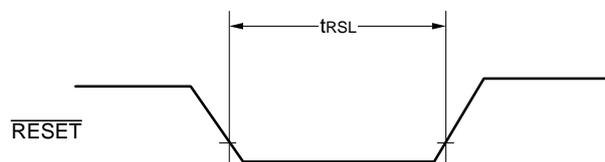
TI/TOタイミング



割り込み要求入力タイミング

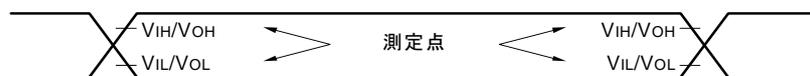


キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

34.5 周辺機能特性

AC タイミング測定点



34.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.4 V ≤ VDD ≤ 3.6 V		fMCK/6		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注2		4.0		1.3		0.1		0.6	Mbps
		1.8 V ≤ VDD ≤ 3.6 V	—			fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注2	—			1.3		0.1		0.6	Mbps
		1.7 V ≤ VDD ≤ 3.6 V	—		—		—			fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注2	—		—		—			0.6	Mbps
	1.6 V ≤ VDD ≤ 3.6 V	—		—		—			fMCK/6	bps	
	最大転送レート理論値 fMCK = fCLK注2	—		—		—			0.6	Mbps	

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)

16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

LS (低速メイン)モード : 8 MHz (1.8 V ≤ VDD ≤ 3.6 V)

LP (低電力メイン)モード : 1 MHz (1.8 V ≤ VDD ≤ 3.6 V)

LV (低電圧メイン)モード : 4 MHz (1.6 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注1		2.4 V ≤ VDD ≤ 3.6 V		fMCK/12	bps
		最大転送レート理論値 fMCK = fCLK注2		2.0	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

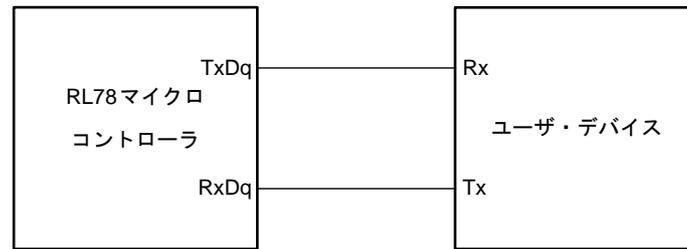
注2. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)

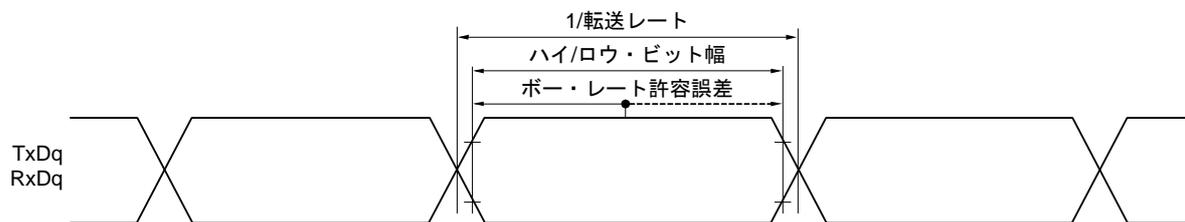
16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART番号 (q = 0), g : PIM, POM番号 (g = 5)

備考2. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャンネル番号 (mn = 00, 01))

(2) 同電位通信時(簡易SPI (CSI) モード) (マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)		LV (低電圧メイン)		単位
			モード		モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	$tkCY1 \geq f_{CLK}/2$	83.3		250		2000		500		ns
SCKp ハイ, ロウ・レベル幅	tkL1		$tkCY1/2$ - 10		$tkCY1/2$ - 50		$tkCY1/2$ - 50		$tkCY1/2$ - 50		ns
Slp セットアップ時間(対SCKp ↑) 注1	tsIK1		33		110		110		110		ns
Slp ホールド時間(対SCKp ↑)注1	tkSI1		10		10		10		10		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	$C = 20 \text{ pF}$ 注3		10		20		20		20	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), g : PIM, POM 番号 (g = 5)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKS_{mn} ビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00))

(3) 同電位通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4	2.7 V ≤ VDD ≤ 3.6 V	167		500		4000		1000		ns
			2.4 V ≤ VDD ≤ 3.6 V	250								
			1.8 V ≤ VDD ≤ 3.6 V	—								
			1.7 V ≤ VDD ≤ 3.6 V	—		—		—				
			1.6 V ≤ VDD ≤ 3.6 V	—		—		—				
SCKp ハイ、ロウ・レベル幅	tkH1, tkL1	2.7 V ≤ VDD ≤ 3.6 V	tkCY1/2 -		tkCY1/2 -		tkCY1/2 -		tkCY1/2 -		ns	
			18		50		50		50			
			2.4 V ≤ VDD ≤ 3.6 V	tkCY1/2 -								
			38									
			1.8 V ≤ VDD ≤ 3.6 V	—		—		—				
1.7 V ≤ VDD ≤ 3.6 V	—		—		—		tkCY1/2 -					
1.6 V ≤ VDD ≤ 3.6 V	—		—		—		100					
Slp セットアップ時間 (対 SCKp ↑) 注1	tsIK1	2.7 V ≤ VDD ≤ 3.6 V	58		110		110		110		ns	
			2.4 V ≤ VDD ≤ 3.6 V	75								
			1.8 V ≤ VDD ≤ 3.6 V	—		—		—				
			1.7 V ≤ VDD ≤ 3.6 V	—		—		—		220		
			1.6 V ≤ VDD ≤ 3.6 V	—		—		—				
Slp ホールド時間(対 SCKp ↑) 注1	tkSH1	2.4 V ≤ VDD ≤ 3.6 V	19		19		19		19		ns	
			1.8 V ≤ VDD ≤ 3.6 V	—								
			1.6 V ≤ VDD ≤ 3.6 V	—		—		—				
SCKp ↓ → SOp 出力遅延時間 注2	tkSO1	C = 30 pF 注3	2.4 V ≤ VDD ≤ 3.6 V	33.4		33.4		33.4		33.4	ns	
			1.8 V ≤ VDD ≤ 3.6 V	—								
			1.6 V ≤ VDD ≤ 3.6 V	—		—		—				

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. Cは、SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は通常入力バッファを選択し、SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), g : PIM, POM 番号 (g = 5)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00, 01))

(3) 同電位通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = +85 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4 2.7 V ≤ VDD ≤ 3.6 V	250		ns
			500		ns
SCKp ハイ, ロウ・レベル幅	tkH1,	2.7 V ≤ VDD ≤ 3.6 V	tkCY1/2 - 36		ns
	tkL1	2.4 V ≤ VDD ≤ 3.6 V	tkCY1/2 - 76		ns
Slp セットアップ時間(対SCKp ↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V	66		ns
		2.4 V ≤ VDD ≤ 3.6 V	133		ns
Slp ホールド時間(対SCKp ↑)注1	tKSI1		38		ns
SCKp ↓ → SOp 出力遅延時間注2	tKSO1	C = 30 pF注3		50	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は通常入力バッファを選択し、SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), g : PIM, POM 番号 (g = 5)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00, 01))

(4) 同電位通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム注4	tkcy2	2.7 V ≤ VDD ≤ 3.6 V	fMCK > 16 MHz	8/fMCK	—	—	—	—	—	—	ns	
			fMCK ≤ 16 MHz	6/fMCK	6/fMCK	6/fMCK	6/fMCK	6/fMCK				
		2.4 V ≤ VDD ≤ 3.6 V		6/fMCK かつ500	6/fMCK	6/fMCK	6/fMCK	6/fMCK	6/fMCK			
		1.8 V ≤ VDD ≤ 3.6 V		—	6/fMCK	6/fMCK	6/fMCK	6/fMCK				
		1.7 V ≤ VDD ≤ 3.6 V		—	—	—	—	—				
		1.6 V ≤ VDD ≤ 3.6 V		—	—	—	—	—				
SCKp ハイ・ロウ・レベル幅	tkH2, tkL2	2.7 V ≤ VDD ≤ 3.6 V		tkcy2/2 - 8	tkcy2/2 - 8	tkcy2/2 - 8	tkcy2/2 - 8	tkcy2/2 - 8	tkcy2/2 - 8	ns		
		2.4 V ≤ VDD ≤ 3.6 V		tkcy2/2 - 18	tkcy2/2 - 18	tkcy2/2 - 18	tkcy2/2 - 18	tkcy2/2 - 18				
		1.8 V ≤ VDD ≤ 3.6 V		—	—	—	—	—				
		1.7 V ≤ VDD ≤ 3.6 V		—	—	—	—	tkcy2/2				
		1.6 V ≤ VDD ≤ 3.6 V		—	—	—	—	tkcy2/2 - 66				
Slp セットアップ時間(対SCKp ↑)注1	tsik2	2.7 V ≤ VDD ≤ 3.6 V		1/fMCK + 20	1/fMCK + 30	1/fMCK + 30	1/fMCK + 30	1/fMCK + 30	ns			
		2.4 V ≤ VDD ≤ 3.6 V		1/fMCK + 30	—	—	—	—				
		1.8 V ≤ VDD ≤ 3.6 V		—	—	—	—	—				
		1.7 V ≤ VDD ≤ 3.6 V		—	—	—	—	1/fMCK + 40				
		1.6 V ≤ VDD ≤ 3.6 V		—	—	—	—	—				
Slp ホールド時間(対SCKp ↑)注1	tkSI2	2.4 V ≤ VDD ≤ 3.6 V		1/fMCK + 31	1/fMCK + 31	1/fMCK + 31	1/fMCK + 31	1/fMCK + 31	ns			
		1.8 V ≤ VDD ≤ 3.6 V		—	—	—	—	—				
		1.7 V ≤ VDD ≤ 3.6 V		—	—	—	—	1/fMCK + 250				
		1.6 V ≤ VDD ≤ 3.6 V		—	—	—	—	—				
SCKp ↓ → SOp 出力遅延時間注2	tkSO2	C = 30 pF注3	2.7 V ≤ VDD ≤ 3.6 V		2/fMCK + 44	2/fMCK + 110	2/fMCK + 110	2/fMCK + 110	2/fMCK + 110	ns		
			2.4 V ≤ VDD ≤ 3.6 V		2/fMCK + 75	—	—	—	—			
			1.8 V ≤ VDD ≤ 3.6 V		—	—	—	—	—			
			1.7 V ≤ VDD ≤ 3.6 V		—	—	—	—	2/fMCK + 220			
			1.6 V ≤ VDD ≤ 3.6 V		—	—	—	—	—			

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注4. SNOOZEモードでの転送レートは、MAX.: 1 Mbpsです。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 5)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号(mn = 00, 01))

(4) 同電位通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

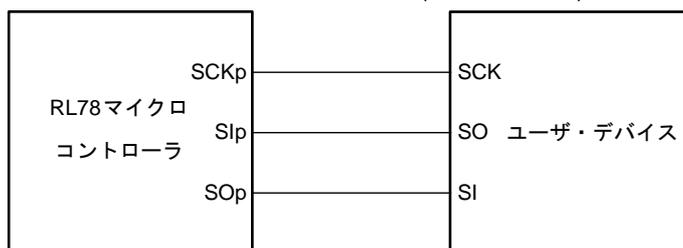
(2/2)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)		LV (低電圧メイン)		単位	
				モード		モード		モード		モード			
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SSI00セット アップ時間	tSSIK	DAPmn = 0	2.7 V ≤ VDD ≤ 3.6 V	120		120		120		120		ns	
			2.4 V ≤ VDD < 2.7 V	200		200		200		200			
			1.8 V ≤ VDD < 2.4 V	—									
			1.6 V ≤ VDD < 1.8 V	—		—		—		400			
	DAPmn = 1	2.7 V ≤ VDD ≤ 3.6 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		ns
		2.4 V ≤ VDD < 2.7 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		
		1.8 V ≤ VDD < 2.4 V	—										
		1.6 V ≤ VDD < 1.8 V	—		—		—		1/fMCK + 400				
SSI00ホールド 時間	tkSSI	DAPmn = 0	2.7 V ≤ VDD ≤ 3.6 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		ns	
			2.4 V ≤ VDD < 2.7 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		1/fMCK + 200			
			1.8 V ≤ VDD < 2.4 V	—									
			1.6 V ≤ VDD < 1.8 V	—		—		—		1/fMCK + 400			
	DAPmn = 1	2.7 V ≤ VDD ≤ 3.6 V	120		120		120		120		120		ns
		2.4 V ≤ VDD < 2.7 V	200		200		200		200		200		
		1.8 V ≤ VDD < 2.4 V	—										
		1.6 V ≤ VDD < 1.8 V	—		—		—		400				

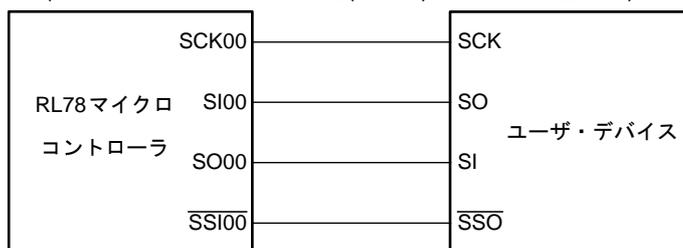
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 5)

簡易SPI (CSI) モード接続図(同電位通信時)



簡易SPI (CSI) モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



備考1. p : CSI番号(p = 00, 01)

備考2. m : ユニット番号, n : チャネル番号(mn = 00, 01)

(4) 同電位通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKp サイクル・タイム注4	tkCY2	2.7 V ≤ V _{DD} ≤ 3.6 V	f _{MCK} > 16 MHz	16/f _{MCK}		ns
			f _{MCK} ≤ 16 MHz	12/f _{MCK}		ns
		2.4 V ≤ V _{DD} < 2.7 V		12/f _{MCK}	かつ1000	
SCKp ハイ, ロウ・レベル幅	tkH2, tkL2	2.7 V ≤ V _{DD} ≤ 3.6 V		tkCY2/2 - 16		ns
		2.4 V ≤ V _{DD} < 2.7 V		tkCY2/2 - 36		ns
Slp セットアップ時間(対SCKp ↑)注1	tsIK2	2.7 V ≤ V _{DD} ≤ 3.6 V		1/f _{MCK} + 40		ns
		2.4 V ≤ V _{DD} < 2.7 V		1/f _{MCK} + 60		ns
Slp ホールド時間(対SCKp ↑)注1	tkSI2			1/f _{MCK} + 62		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO2	C = 30 pF注3	2.7 V ≤ V _{DD} ≤ 3.6 V		2/f _{MCK} + 66	ns
			2.4 V ≤ V _{DD} < 2.7 V		2/f _{MCK} + 113	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOp 出カラインの負荷容量です。

注4. SNOOZE モードでの転送レートは, MAX.: 1 Mbps です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), g : PIM, POM 番号 (g = 5)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKS_{mn} ビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00, 01))

(4) 同電位通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

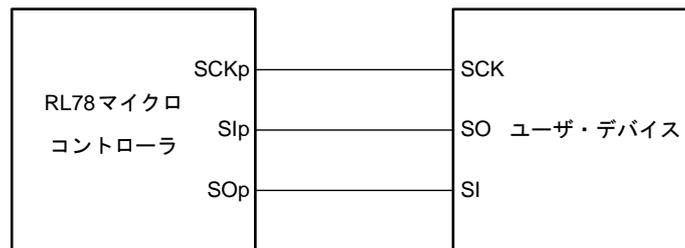
(2/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
SSI00セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ V _{DD} ≤ 3.6 V	240		ns
			2.4 V ≤ V _{DD} < 2.7 V	400		ns
		DAPmn = 1	2.7 V ≤ V _{DD} ≤ 3.6 V	1/f _{MCK} + 240		ns
			2.4 V ≤ V _{DD} < 2.7 V	1/f _{MCK} + 400		ns
SSI00ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ V _{DD} ≤ 3.6 V	1/f _{MCK} + 240		ns
			2.4 V ≤ V _{DD} < 2.7 V	1/f _{MCK} + 400		ns
		DAPmn = 1	2.7 V ≤ V _{DD} ≤ 3.6 V	240		ns
			2.4 V ≤ V _{DD} < 2.7 V	400		ns

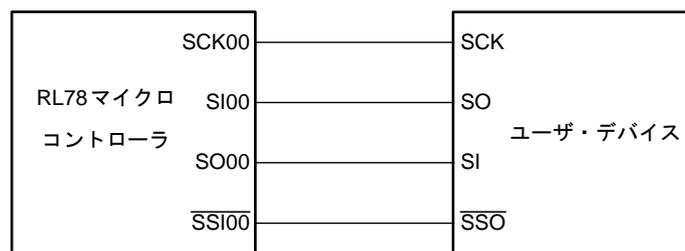
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 5)

簡易SPI (CSI) モード接続図(同電位通信時)



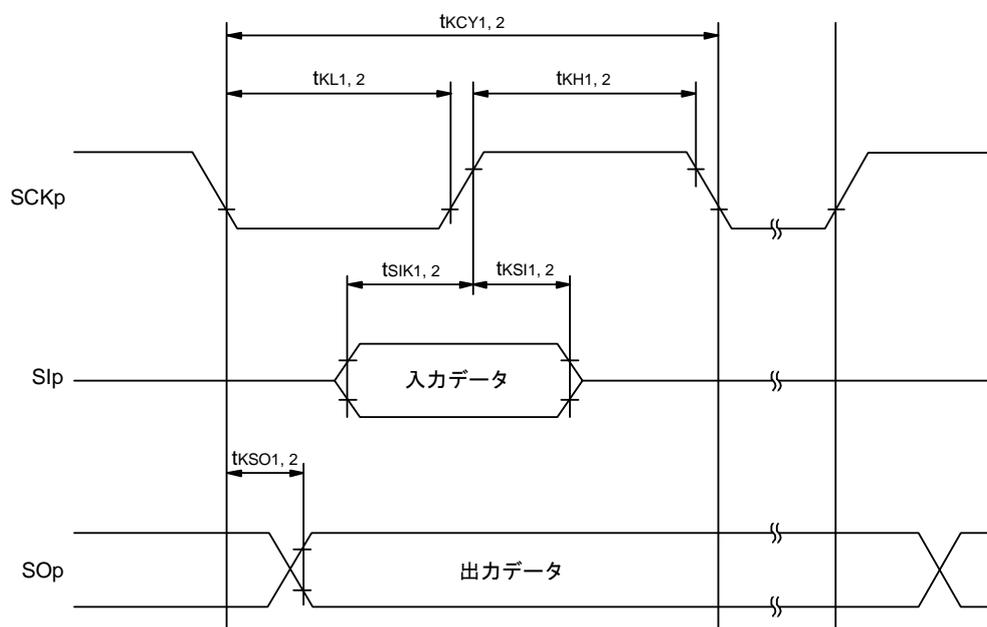
簡易SPI (CSI) モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



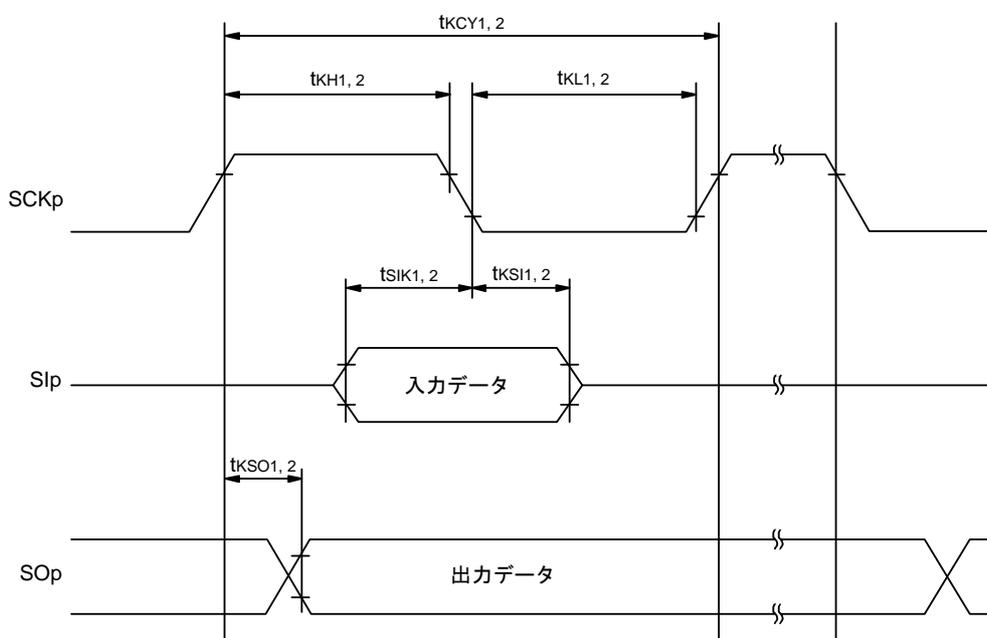
備考1. p : CSI番号(p = 00, 01)

備考2. m : ユニット番号, n : チャネル番号(mn = 00, 01)

簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01)

備考2. m : ユニット番号, n : チャネル番号(mn = 00, 01)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			SCLrクロック周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		400 ^{注1}		
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ		—		—		—			
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ		—		300 ^{注1}		250 ^{注1}		300 ^{注1}	
		1.7 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ		—		—		—		250 ^{注1}	
		1.6 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ		—		—		—		—	
SCLr = "L"の ホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		1150		1150		ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	—		—		—		—		
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	—		1550		1550		1550		
		1.7 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—		—		—		1850		
		1.6 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—		—		—		—		
SCLr = "H"の ホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		1150		1150		ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	—		—		—		—		
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	—		1550		1550		1550		
		1.7 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—		—		—		1850		
		1.6 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—		—		—		—		
データ・セット アップ時間(受信時)	t _{SU: DAT}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 85 ^{注2}		1/f _{MCK} + 145 ^{注2}		1/f _{MCK} + 145 ^{注2}		1/f _{MCK} + 145 ^{注2}		ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	—		—		—		—		
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	—		1/f _{MCK} + 230 ^{注2}		1/f _{MCK} + 230 ^{注2}		1/f _{MCK} + 230 ^{注2}		
		1.7 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—		—		—		1/f _{MCK} + 290 ^{注2}		
		1.6 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—		—		—		—		
データ・ホールド 時間(送信時)	t _{HD: DAT}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	—	—	—	355	—	355	—	355	
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	—	—	—	—	—	—	—	—	
		1.7 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—	—	—	—	—	—	—	405	
		1.6 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	—	—	—	—	—	—	—	—	

(注, 注意は次ページにあります。)

注1. $t_{fMCK}/4$ 以下に設定してください。

注2. f_{MCK} 値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択し、SCLrは通常出力モードを選択します。

(5) 同電位通信時(簡易I²Cモード)

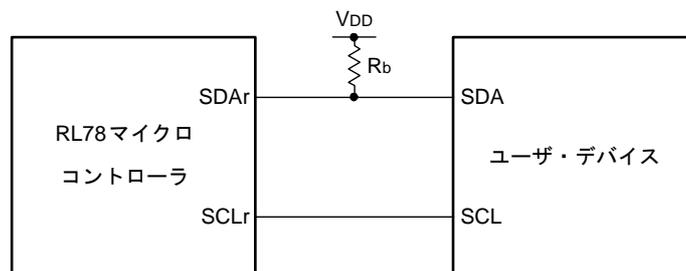
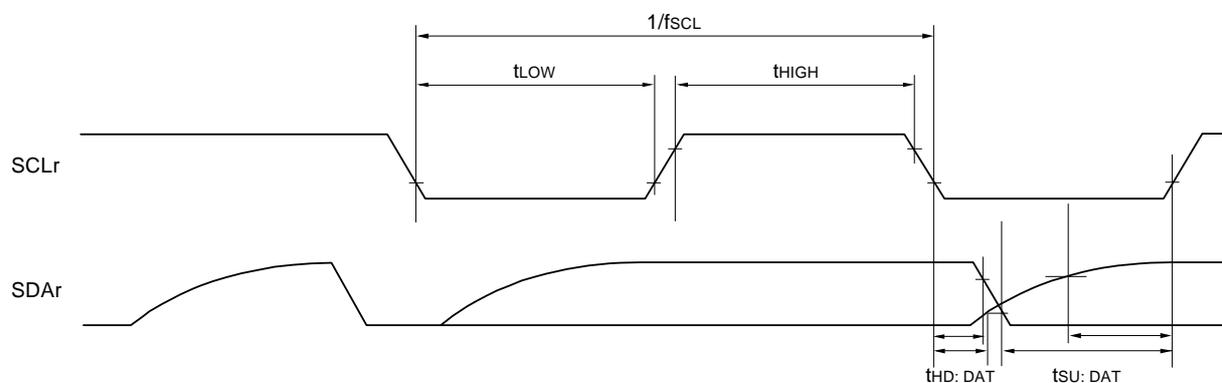
(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fSCL	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		2.4 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ		100注1	kHz
SCLr = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
SCLr = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
データ・セットアップ時間(受信時)	tsu: DAT	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 220 注2		ns
		2.4 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 580 注2		ns
データ・ホールド時間(送信時)	thd: DAT	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		2.4 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	0	1420	ns

注1. かつfMCK/4以下に設定してください。

注2. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(VDD耐圧)モードを選択し、SCLrは通常出力モードを選択します。

簡易I²Cモード接続図(同電位通信時)簡易I²Cモード・シリアル転送タイミング(同電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr)プルアップ抵抗値, C_b [F]: 通信ライン(SCLr, SDAr)負荷容量値

備考2. r: IIC番号(r = 00, 01), g: PIM番号(g = 5), h: POM番号(h = 5)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKS_{mn}ビットで設定する動作クロック。m: ユニット番号(m = 0), n: チャンネル番号(n = 0, 1), mn = 00, 01)

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)(専用ポー・レート・ジェネレータ出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)		LV (低電圧メイン)		単位		
			モード		モード		モード		モード				
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.			
転送レート 注1,2		受信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1	bps	
			最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps	
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1,2		fMCK/6 注1,2		fMCK/6 注1,2		fMCK/6 注1,2		fMCK/6 注1,2	bps
		最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps		

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

注2. VDD ≥ Vbで使用してください。

注3. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)
16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

LS (低速メイン)モード: 8 MHz (1.8 V ≤ VDD ≤ 3.6 V)

LP (低電力メイン)モード: 1 MHz (1.8 V ≤ VDD ≤ 3.6 V)

LV (低電圧メイン)モード: 4 MHz (1.6 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0), g: PIM, POM番号(g = 5)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00, 01))

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード) (専用ポー・レート・ジェネレータ出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			転送レート 注2	送信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		注1		注1		
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注2		1.2注2		1.2注2		1.2注2	Mbps
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注3, 4		注3, 4		注3, 4		注3, 4	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注5		0.43注5		0.43注5		0.43注5	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. VDD ≥ Vbで使用してください。

注4. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)(専用ポー・レート・ジェネレータ出力)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート注1,2		受信	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V		f _{MCK} /12注1	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} 注3		2.0	Mbps
			2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V		f _{MCK} /12注1,2	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} 注3		0.66	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

注2. V_{DD} ≥ V_bで使用してください。

注3. CPU/周辺ハードウェア・クロック(f_{CLK})の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V ≤ V_{DD} ≤ 3.6 V)

16 MHz (2.4 V ≤ V_{DD} ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]: 通信ライン電圧

備考2. q: UART番号(q = 0), g: PIM, POM番号(g = 5)

備考3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00, 01))

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)(専用ポー・レート・ジェネレータ出力)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注2	送信	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V		注1	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V		1.2注2	Mbps
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V		注3, 4	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V		0.43注5	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ V_{DD} ≤ 3.6 V, 2.3 V ≤ V_b ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. V_{DD} ≥ V_bで使用してください。

注4. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V ≤ V_{DD} < 3.3 V, 1.6 V ≤ V_b ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

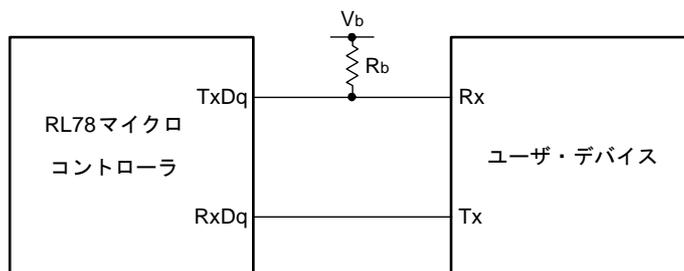
$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

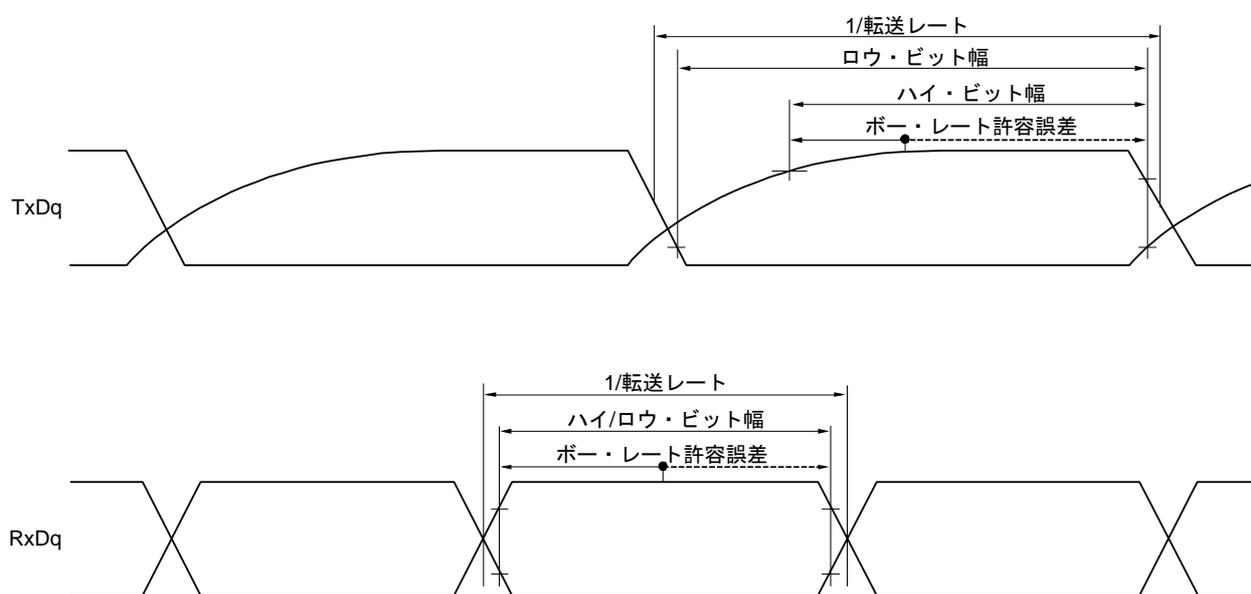
注5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q: UART番号($q = 0$), g: PIM, POM番号($g = 5$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR mn)のCKSM n ビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号($mn = 00, 01$))

(7) 異電位(2.5 V系)通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85 °C, 2.7 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LP (低電カメイン)		LV (低電圧メイン)		単位
				モード		モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/2	2.7V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300		1500		1500		1500		ns
SCKp ハイ・レベル幅	tkH1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		tkCY1/2 - 120		tkCY1/2 - 120		tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKp ロー・レベル幅	tkL1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ		tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slp セットアップ時間(対SCKp ↑) 注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		121		479		479		479		ns
Slp ホールド時間(対SCKp ↑)注1	tKSI1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10		10		ns
SCKp ↓ → SOP出力遅延時間注1	tkSO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ			130		130		130		130	ns
Slp セットアップ時間(対SCKp ↓) 注2	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		33		110		110		110		ns
Slp ホールド時間(対SCKp ↓)注2	tKSI1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10		10		ns
SCKp ↑ → SOP出力遅延時間注2	tkSO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ			10		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOP 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

備考1. Rb [Ω]: 通信ライン(SCKp, SOP)プルアップ抵抗値, Cb [F]: 通信ライン(SCKp, SOP)負荷容量値, Vb [V]: 通信ライン電圧

備考2. p: CSI番号(p=00), m: ユニット番号(m=0), n: チャネル番号(n=0), g: PIM, POM番号(g=5)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn=00))

(8) 異電位(1.8 V, 2.5 V系)通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電カメイン)		LV (低電圧メイン)		単位
			モード		モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	tkCY1	tkCY1 ≥ fCLK/4 2.7V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500		1150		1150		1150		ns
			1150		1150		1150		1150		ns
SCKp ハイ・ レベル幅	tkH1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ 1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 170		tkCY1/2 - 170		tkCY1/2 - 170		tkCY1/2 - 170		ns
			tkCY1/2 - 458		tkCY1/2 - 458		tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKp ロー・ レベル幅	tkL1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ 1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns
			tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns

注 VDD ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V, 2.5 V系)通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電カメイン)		LV (低電圧メイン)		単位
			モード		モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ 時間 (対SCKp ↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		479		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注3, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		479		ns
Slpホールド時間 (対SCKp ↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		19		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		19		ns
SCKp ↓ → SOp出 力遅延時間注1	tKSO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195		195	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注3, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483		483	ns
Slpセットアップ 時間 (対SCKp ↓)注2	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		110		110		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注3, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		110		ns
Slpホールド時間 (対SCKp ↓)注2	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		19		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		19		ns
SCKp ↑ → SOp出 力遅延時間注2	tKSO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25		25	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注3, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

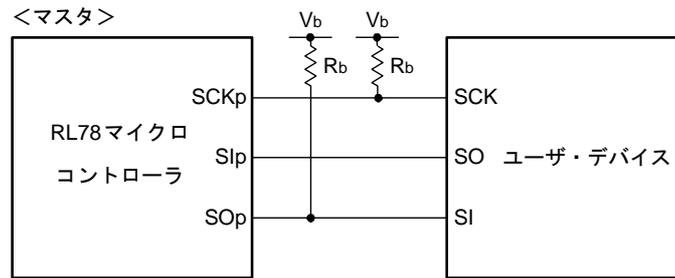
注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注3. VDD ≥ Vbで使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

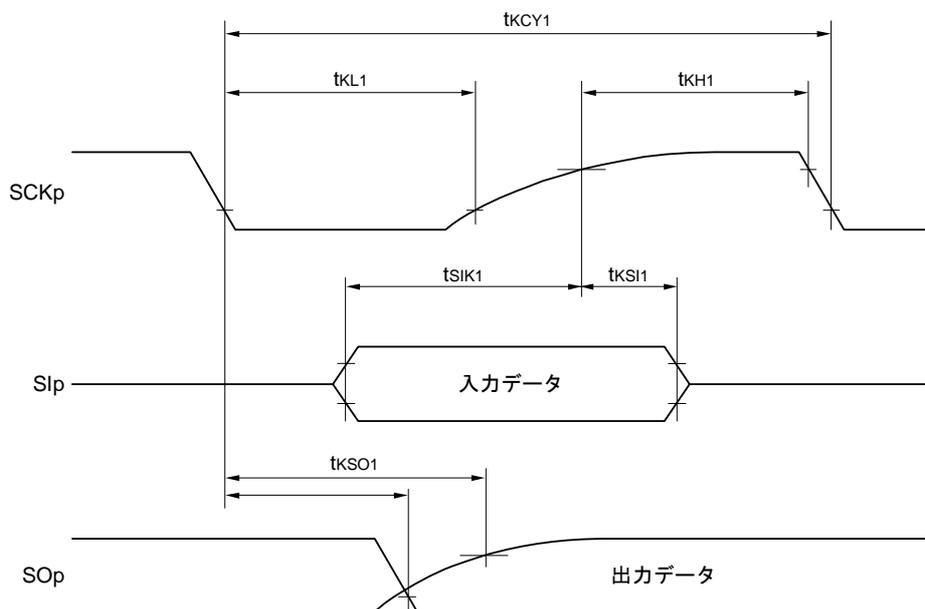
備考2. p : CSI番号($p = 00, 01$), m : ユニット番号($m = 0$), n : チャネル番号($n = 0, 1$), g : PIM, POM番号($g = 5$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

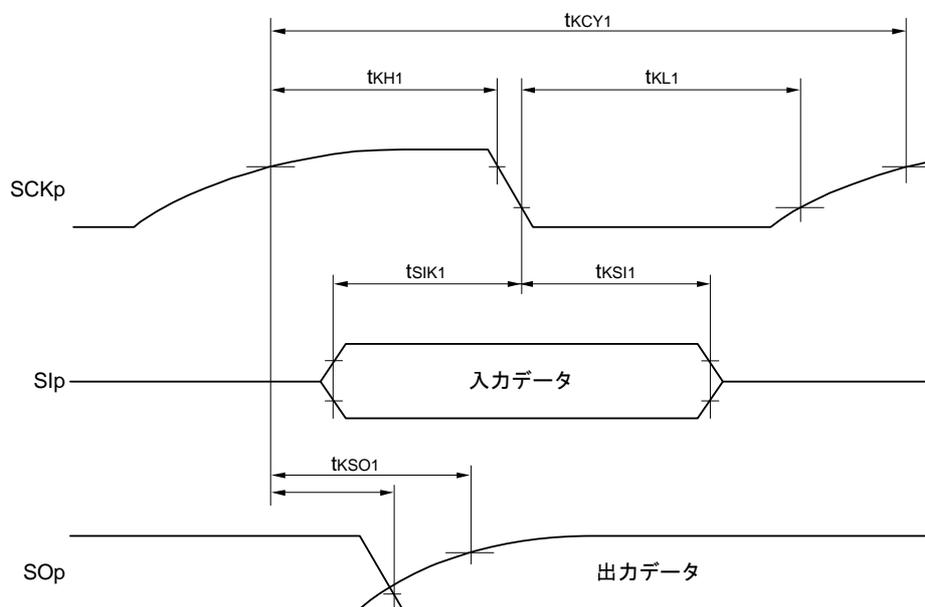
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号($mn = 00, 01$))

簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 5)

(8) 異電位(1.8 V, 2.5 V系)通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4 2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000		ns
			2300		ns
SCKp ハイ・レベル幅	tkH1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 340		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 916		ns
SCKp ロウ・レベル幅	tkL1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 36		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 100		ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V, 2.5 V系)通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	354		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	958		ns
Slpホールド時間(対SCKp ↑)注1	tKSI1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注1	tKSO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		390	ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		966	ns
Slpセットアップ時間(対SCKp ↓)注2	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	88		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
Slpホールド時間(対SCKp ↓)注2	tKSI1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↑ → SOp出力遅延時間注2	tKSO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		50	ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

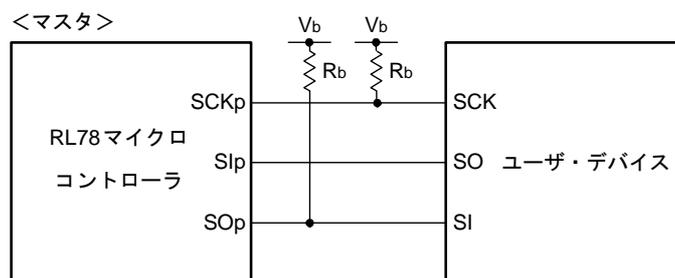
注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注3. VDD ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SCKp, SOp)負荷容量値, V_b [V]: 通信ライン電圧

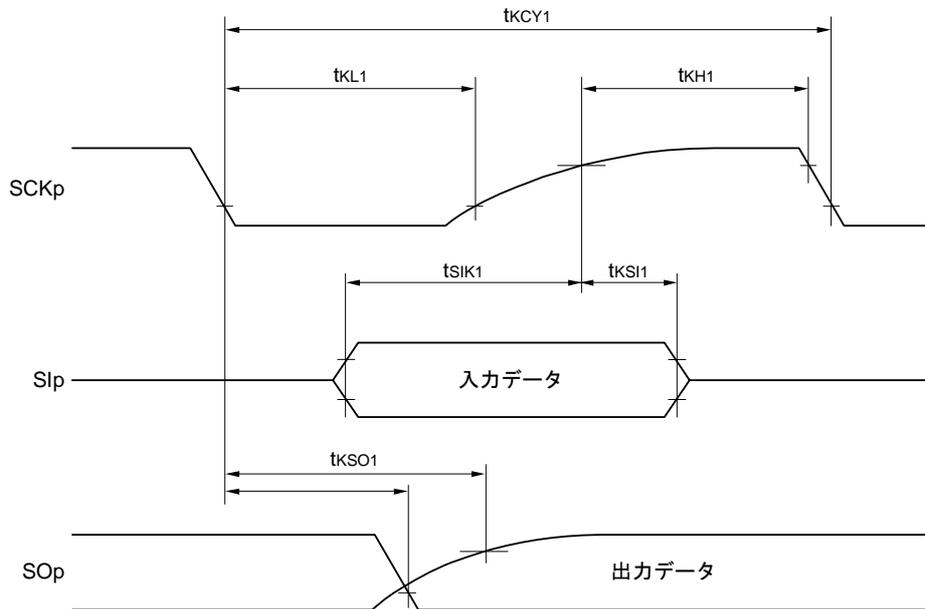
備考2. p: CSI番号($p = 00, 01$), m: ユニット番号($m = 0$), n: チャンネル番号($n = 0, 1$), g: PIM, POM番号($g = 5$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

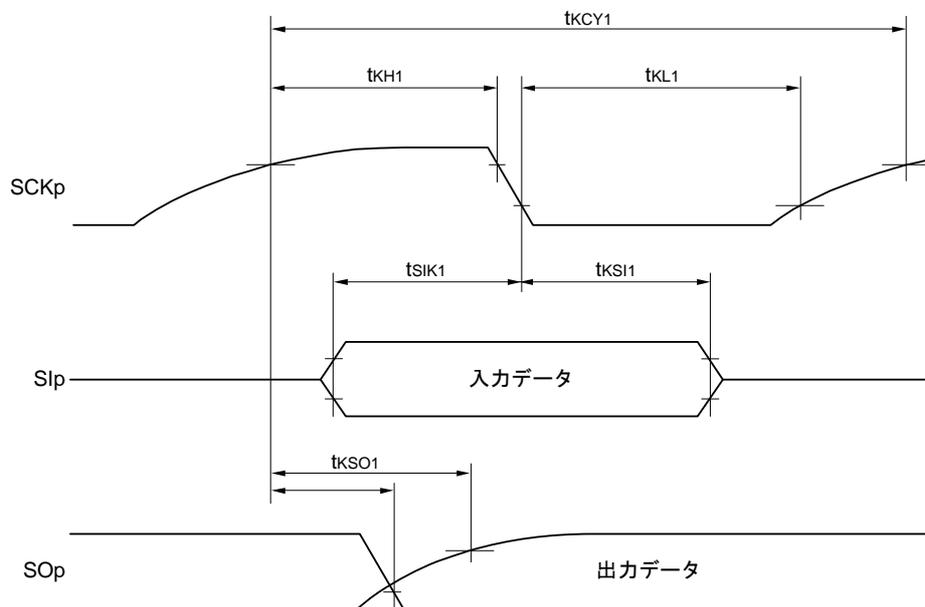
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号($mn = 00, 01$))

簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 5)

(9) 異電位(1.8 V系, 2.5 V系)通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.8 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

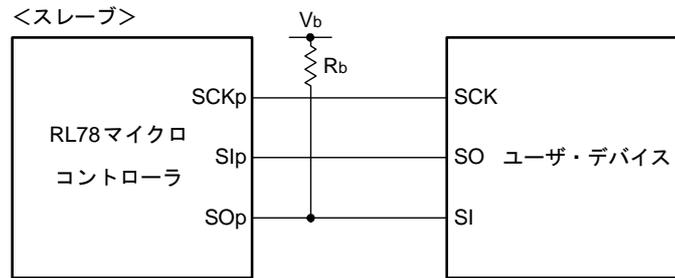
項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LP (低電カメイン)		LV (低電圧メイン)		単位
				モード		モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム注1	tkcy2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK ≤ 24 MHz	16/fMCK		—		—		—		ns
			16 MHz < fMCK ≤ 20 MHz	14/fMCK		—		—		—		ns
			8 MHz < fMCK ≤ 16 MHz	12/fMCK		—		—		—		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		16/fMCK		—		—		ns
			fMCK ≤ 4 MHz	6/fMCK		10/fMCK		10/fMCK		10/fMCK		ns
	1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2	20 MHz < fMCK ≤ 24 MHz	36/fMCK		—		—		—		ns	
		16 MHz < fMCK ≤ 20 MHz	32/fMCK		—		—		—		ns	
		8 MHz < fMCK ≤ 16 MHz	26/fMCK		—		—		—		ns	
		4 MHz < fMCK ≤ 8 MHz	16/fMCK		16/fMCK		—		—		ns	
		fMCK ≤ 4 MHz	10/fMCK		10/fMCK		10/fMCK		10/fMCK		ns	
SCKpハ イ、ロウ・ レベル幅	tkH2, tkL2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		tkcy2/2 - 18		tkcy2/2 - 50		tkcy2/2 - 50		tkcy2/2 - 50		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		tkcy2/2 - 50		tkcy2/2 - 50		tkcy2/2 - 50		tkcy2/2 - 50		ns
Slpセッ トアッ プ時 間 (対SCK ↑)注3	tSIK2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
Slpホー ルド時 間 (対SCK ↑)注3	tKSI2			1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
SCKp ↓ → SOp出力 遅延 時間注4	tKSO2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 214		2/fMCK + 573		2/fMCK + 573		2/fMCK + 573	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ			2/fMCK + 573		2/fMCK + 573		2/fMCK + 573		2/fMCK + 573	ns

(注. 注意は次ページに, 備考は次々ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. $V_{DD} \geq V_b$ で使用してください。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。
- 注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値,

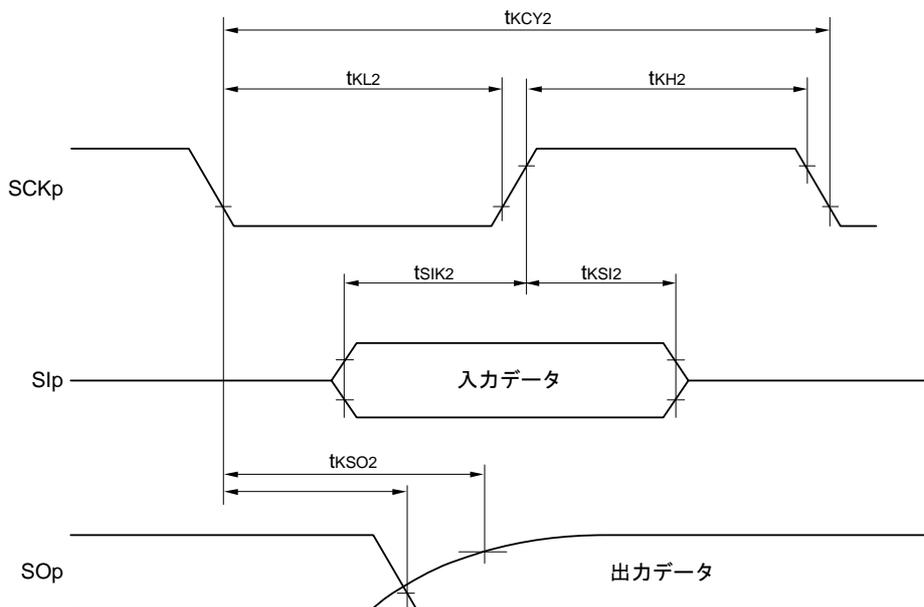
V_b [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャンネル番号(n = 0, 1), g: PIM, POM番号(g = 5)

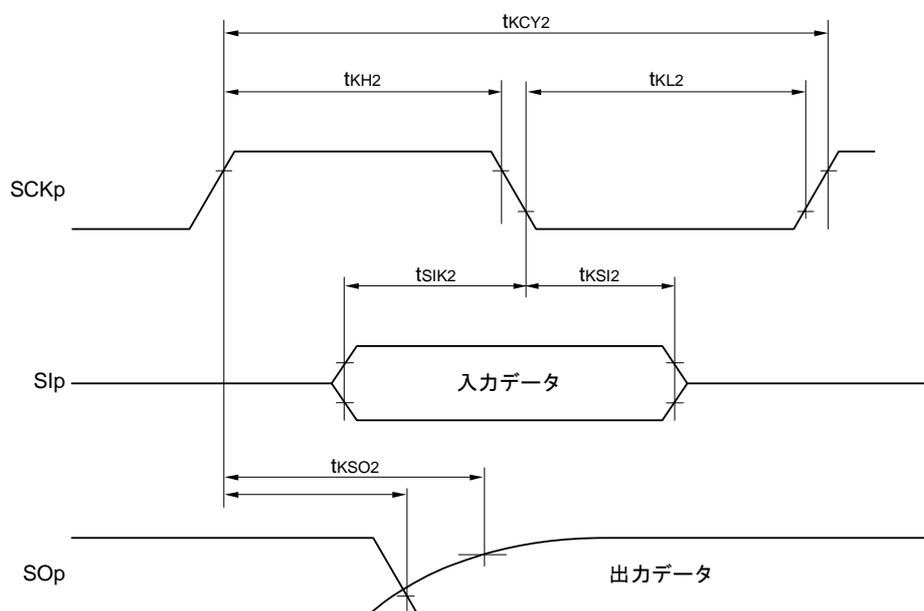
備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャンネル番号(mn = 00, 01))

簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 5)

(9) 異電位(1.8 V系, 2.5 V系)通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

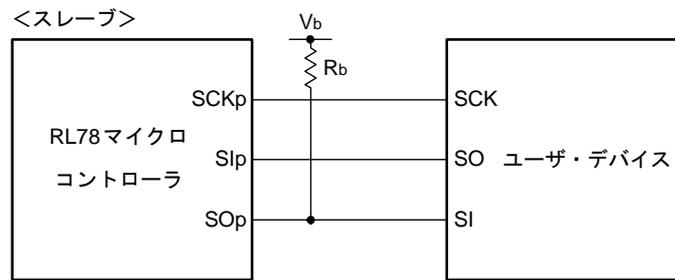
項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
SCKpサイクル・タイム注1	tkCY2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK ≤ 24 MHz	32/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	28/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	24/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
			fMCK ≤ 4 MHz	12/fMCK		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	20 MHz < fMCK ≤ 24 MHz	72/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	64/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	52/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	32/fMCK		ns
			fMCK ≤ 4 MHz	20/fMCK		ns
SCKpハイ, ロウ・レベル幅	tkH2,	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 - 36		ns	
	tkL2	2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	tkCY2/2 - 100		ns	
Slpセットアップ時間(対SCKp↑) 注3	tSIK2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 40		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	1/fMCK + 60		ns	
Slpホールド時間(対SCKp↑)注3	tkSI2		1/fMCK + 62		ns	
SCKp↓→SOp出力遅延時間注4	tkSO2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	2/fMCK + 428		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	2/fMCK + 1146		ns	

(注, 注意は次ページに, 備考は次々ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. $V_{DD} \geq V_b$ で使用してください。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。
- 注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値,

V_b [V]: 通信ライン電圧

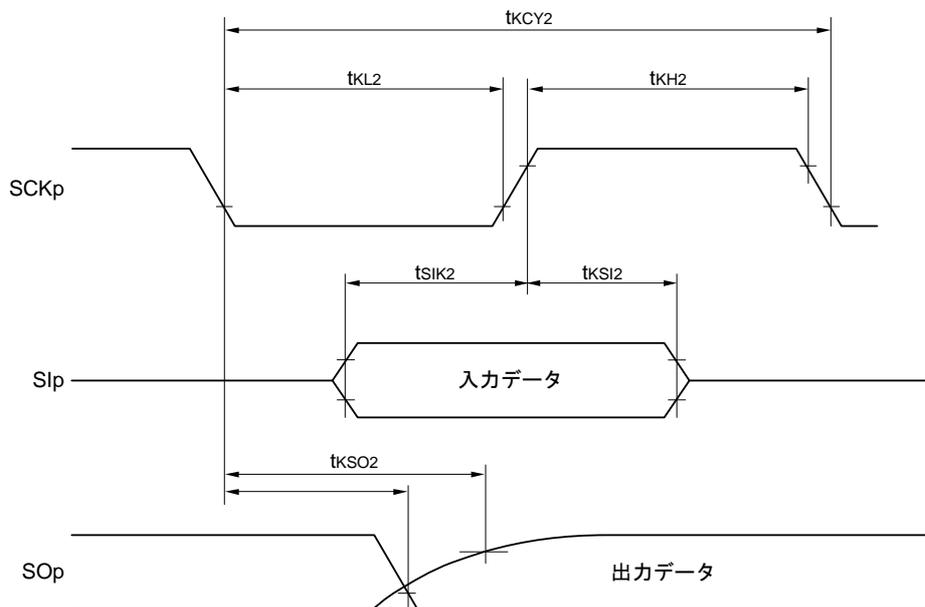
備考2. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャンネル番号(n = 0, 1), g: PIM, POM番号(g = 5)

備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

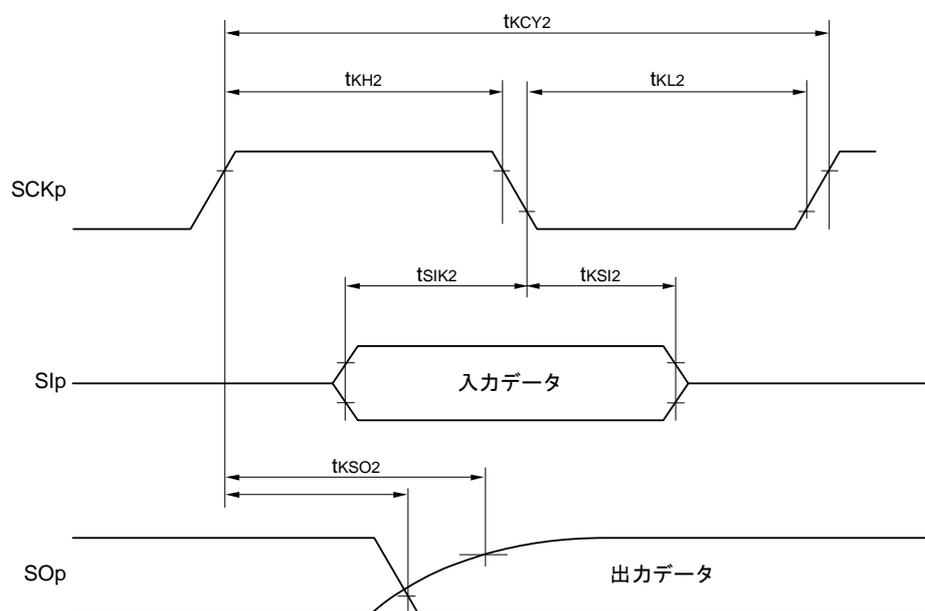
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00, 01))

簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 5)

(10) 異電位通信時(1.8 V系, 2.5 V系) 通信時(簡易I²Cモード)

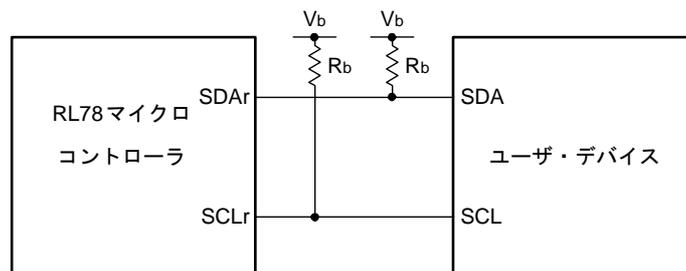
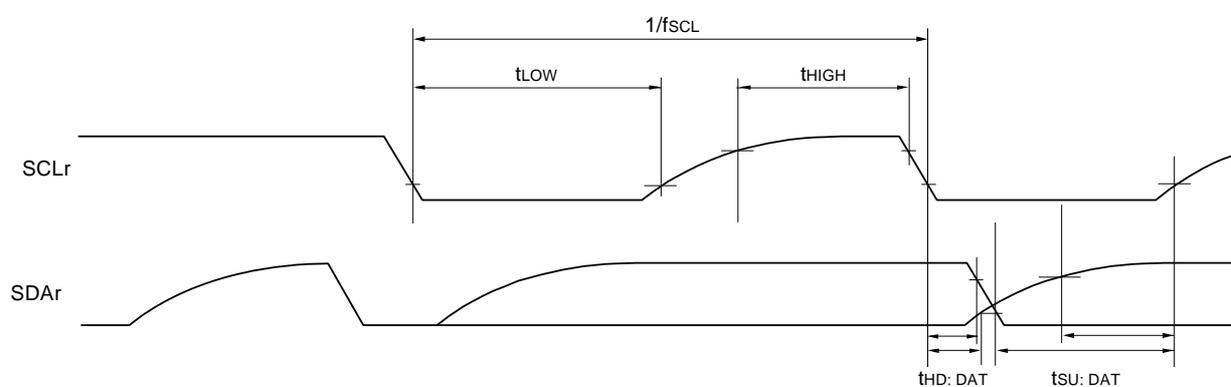
(TA = -40 ~ +85 °C, 1.8 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電カメイン)		LV (低電圧メイン)		単位
			モード		モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック 周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 注1		300注1		250注1		300注1	kHz
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		400注1		300注1		250注1		300注1	kHz
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ		300注1		300注1		250注1		300注1	kHz
SCLr = "L" の ホールド・ タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1550		1550		1550		ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1150		1550		1550		1550		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	1550		1550		1550		1550		ns
SCLr = "H" の ホールド・ タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	200		610		610		610		ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	600		610		610		610		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	610		610		610		610		ns
データ・ セットアップ 時間(受信時)	t _{SU} : DAT	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135 注3		1/f _{MCK} + 190 注2		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
データ・ ホールド時間 (送信時)	t _{HD} : DAT	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	0	355	0	355	0	355	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	0	405	0	405	0	405	0	405	ns

注1. かつf_{MCK}/4以下に設定してください。注2. V_{DD} ≥ V_bで使用してください。注3. f_{MCK}値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し、SCLrはN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)簡易I²Cモード・シリアル転送タイミング(異電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F]: 通信ライン(SDAr, SCLr)負荷容量値,

V_b [V]: 通信ライン電圧

備考2. r : IIC番号($r = 00, 01$), g : PIM, POM番号($g = 5$)

備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0$), n : チャネル番号($n = 0, 1$), $mn = 00, 01$)

(10) 異電位通信時(1.8 V系, 2.5 V系) 通信時(簡易I²Cモード)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fSCL	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		400 ^{注1}	kHz
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		100 ^{注1}	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		100 ^{注1}	
SCLr = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	4600		
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	4650		
SCLr = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	500		ns
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	2400		
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1830		
データ・セットアップ時間(受信時)	tSU : DAT	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 340 ^{注3}		ns
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 760 ^{注3}		
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 570 ^{注3}		
データ・ホールド時間(送信時)	tHD : DAT	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	1420	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	0	1215	

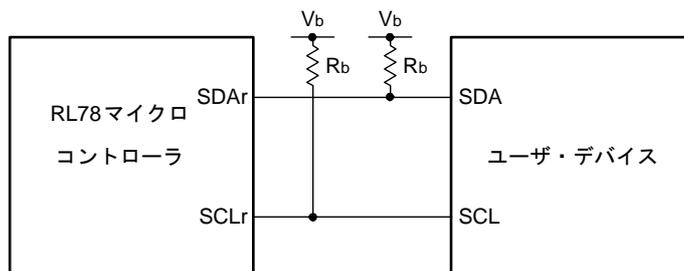
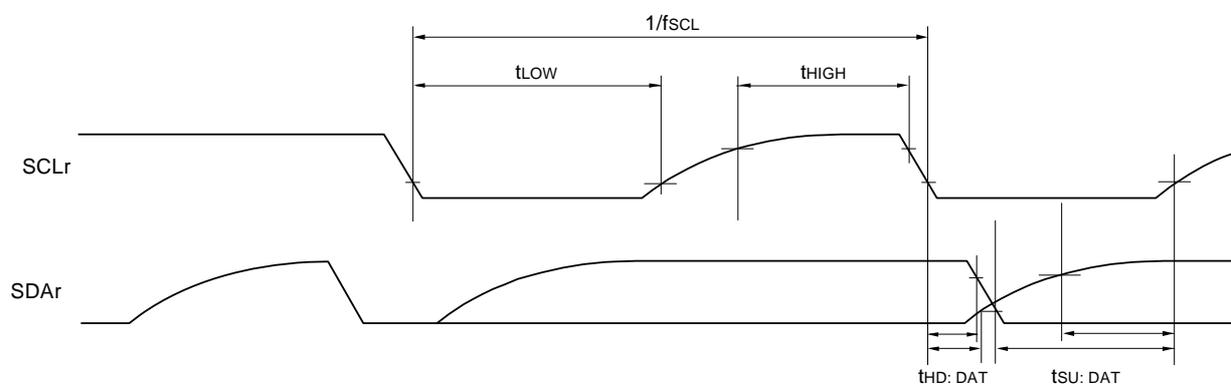
注1. かつfMCK/4以下に設定してください。

注2. VDD ≥ Vbで使用してください。

注3. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(VDD耐圧)モードを選択し、SCLrはN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)簡易I²Cモード・シリアル転送タイミング(異電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F]: 通信ライン(SDAr, SCLr)負荷容量値,

V_b [V]: 通信ライン電圧

備考2. r : IIC番号($r = 00, 01$), g : PIM, POM番号($g = 5$)

備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0$), n : チャネル番号($n = 0, 1$), $mn = 00, 01$)

34.6 アナログ特性

34.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャンネル	基準電圧 基準電圧 (+) = AVREFP 基準電圧 (-) = AVREFM	基準電圧 (+) = AVDD 基準電圧 (-) = AVSS	基準電圧 (+) = 内部基準電圧 基準電圧 (-) = AVSS
高精度チャンネルANI0-ANI13 (入力バッファ電源: AVDD)	34.6.1 (1) 参照 34.6.1 (7) 参照	34.6.1 (2) 参照 34.6.1 (7) 参照	34.6.1 (5) 参照 34.6.1 (10) 参照
標準チャンネルANI16-ANI18 (入力バッファ電源: VDD)	34.6.1 (3) 参照 34.6.1 (8) 参照	34.6.1 (4) 参照 34.6.1 (9) 参照	
内部基準電圧, 温度センサ出力電圧	34.6.1 (3) 参照 34.6.1 (8) 参照	34.6.1 (4) 参照 34.6.1 (9) 参照	—

(1) 基準電圧 (+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧 (-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
変換対象 : ANI2-ANI13

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$, 基準電圧 (+) = AV_{REFP} ,
基準電圧 (-) = $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 ^{注1}	
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8 ^{注2}			
総合誤差 ^{注3}	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 6.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 5.0	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.5	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	3.375			μs
		ADTYP = 0, 10ビット分解能 ^{注1}	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	6.75			
		ADTYP = 0, 8ビット分解能 ^{注2}	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	13.5			
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	2.5625			
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	5.125			
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	10.25			
ゼロスケール誤差 ^{注3}	EZS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 4.5	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 4.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	
フルスケール誤差 ^{注3}	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 4.5	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 4.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	
積分直線性誤差 ^{注3}	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 1.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 1.0	
微分直線性誤差 ^{注3}	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 1.5	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 1.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 1.0	
アナログ入力電圧	VAIN			0		AV_{REFP}	V

注1. ADCRレジスタの下位2bitは使用できません。

注2. ADCRレジスタの下位4bitは使用できません。

注3. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注意 AVDDは常にVDDと同電位としてください。

(2) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,

変換対象 : ANI0-ANI13

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = AVDD,

基準電圧 (-) = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
			1.8 V ≤ AVDD ≤ 3.6 V	8		10注1	
			1.6 V ≤ AVDD ≤ 3.6 V	8注2			
総合誤差注3	AINL	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±7.5	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V			±5.5	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V			±3.0	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	3.375			μs
		ADTYP = 0, 10ビット分解能注1	1.8 V ≤ AVDD ≤ 3.6 V	6.75			
		ADTYP = 0, 8ビット分解能注2	1.6 V ≤ AVDD ≤ 3.6 V	13.5			
		ADTYP = 1, 8ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	2.5625			
			1.8 V ≤ AVDD ≤ 3.6 V	5.125			
			1.6 V ≤ AVDD ≤ 3.6 V	10.25			
ゼロスケール誤差注3	EzS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±6.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V			±5.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V			±2.5	
フルスケール誤差注3	EFS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±6.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V			±5.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V			±2.5	
積分直線性誤差注3	ILE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±3.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V			±2.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V			±1.5	
微分直線性誤差注3	DLE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±2.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V			±2.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V			±1.5	
アナログ入力電圧	VAIN			0		AVDD	V

注1. ADCRレジスタの下位2bitは使用できません。

注2. ADCRレジスタの下位4bitは使用できません。

注3. 量子化誤差(±1/2 LSB)を含みません。

注意 AVDDは常にVDDと同電位としてください。

(3) 基準電圧(+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧(-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$)

選択時, 変換対象: ANI16-ANI18, 内部基準電圧, 温度センサ出力電圧

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$,

基準電圧(+) = AV_{REFP} , 基準電圧(-) = $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
		$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 ^{注1}	
		$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8 ^{注2}			
総合誤差 ^{注3}	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 7.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 5.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 3.0	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	4.125		μs
		ADTYP = 0, 10ビット分解能 ^{注1}	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	9.5		
		ADTYP = 0, 8ビット分解能 ^{注2}	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	57.5		
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	3.3125		
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	7.875		
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	54.25		
ゼロスケール誤差 ^{注3}	Ezs	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 5.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 5.0	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 2.5	
フルスケール誤差 ^{注3}	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 5.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 5.0	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 2.5	
積分直線性誤差 ^{注3}	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 3.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 2.0	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 1.5	
微分直線性誤差 ^{注3}	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 2.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 2.0	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$		± 1.5	
アナログ入力電圧	VAIN		0		AV_{REFP}	V
		内部基準電圧 ($1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$)	$VBGR$ ^{注4}			
		温度センサ出力電圧 ($1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$)	$VTMP525$ ^{注4}			

注1. ADCRレジスタの下位2bitは使用できません。

注2. ADCRレジスタの下位4bitは使用できません。

注3. 量子化誤差($\pm 1/2$ LSB)を含みません。

注4. 34.6.2 温度センサ/内部基準電圧出力特性を参照してください。

注意 AV_{DD} は常に V_{DD} と同電位としてください。

(4) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,

変換対象 : ANI16-ANI18, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85 °C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = AVDD, 基準電圧 (-) = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES	2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit	
		1.8 V ≤ AVDD ≤ 3.6 V	8		10 ^{注1}		
		1.6 V ≤ AVDD ≤ 3.6 V	8 ^{注2}				
総合誤差 ^{注3}	AINL	12ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±8.5	LSB	
		10ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±6.0		
		8ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±3.5		
変換時間	tCONV	ADTYP = 0, 12ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V	4.125			μs	
		ADTYP = 0, 10ビット分解能 ^{注1} 1.8 V ≤ AVDD ≤ 3.6 V	9.5				
		ADTYP = 0, 8ビット分解能 ^{注2} 1.6 V ≤ AVDD ≤ 3.6 V	57.5				
		ADTYP = 1, 8ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	3.3125			
			1.8 V ≤ AVDD ≤ 3.6 V	7.875			
ゼロスケール誤差 ^{注3}	EzS	12ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±8.0	LSB	
		10ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±5.5		
		8ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±3.0		
フルスケール誤差 ^{注3}	EFS	12ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±8.0	LSB	
		10ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±5.5		
		8ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±3.0		
積分直線性誤差 ^{注3}	ILE	12ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±3.5	LSB	
		10ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±2.5		
		8ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±1.5		
微分直線性誤差 ^{注3}	DLE	12ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±2.5	LSB	
		10ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±2.5		
		8ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±2.0		
アナログ入力電圧	VAIN		0		AVDD	V	
		内部基準電圧 (1.8 V ≤ VDD ≤ 3.6 V)	VBGR ^{注4}				
		温度センサ出力電圧 (1.8 V ≤ VDD ≤ 3.6 V)	VTMPS25 ^{注4}				

注1. ADCRレジスタの下位2bitは使用できません。

注2. ADCRレジスタの下位4bitは使用できません。

注3. 量子化誤差(±1/2 LSB)を含みません。

注4. 34.6.2 温度センサ/内部基準電圧出力特性を参照してください。

注意 AVDDは常にVDDと同電位としてください。

- (5) 基準電圧 (+) = 内部基準電圧 (1.45 V) (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,
対象 ANI 端子 : ANI0-ANI13, ANI16-ANI18

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$, 基準電圧 (+) = 内部基準電圧,

基準電圧 (-) = $AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	16			μs
ゼロスケール誤差注	EZS	8ビット分解能			± 4.0	LSB
積分直線性誤差	ILE	8ビット分解能			± 2.0	LSB
微分直線性誤差	DLE	8ビット分解能			± 2.5	LSB
アナログ入力電圧	VAIN		0		V _{BGR}	V

注 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注意 AV_{DD} は常に V_{DD} と同電位としてください。

- (6) 基準電圧 (+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = $AV_{REFM}/ANI1$ (ADREFM = 1) 選択時,
変換対象 : ANI2-ANI13

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$, 基準電圧 (+) = AV_{REFP} ,

基準電圧 (-) = $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
総合誤差注	AINL	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 6.0	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	3.375			μs
ゼロスケール誤差注	EZS	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 4.5	LSB
フルスケール誤差注	EFS	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 4.5	LSB
積分直線性誤差注	ILE	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	LSB
微分直線性誤差注	DLE	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 1.5	LSB
アナログ入力電圧	VAIN		0		AV_{REFP}	V

注 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注意 AV_{DD} は常に V_{DD} と同電位としてください。

(7) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,

変換対象 : ANI0-ANI13

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AVDD = VDD \leq 3.6 \text{ V}$, $VSS = 0 \text{ V}$, $AVSS = 0 \text{ V}$, 基準電圧 (+) = AVDD,

基準電圧 (-) = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$	8		12	bit
総合誤差注	AINL	12ビット分解能	$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 7.5	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$	3.375			μs
ゼロスケール誤差注	EZS	12ビット分解能	$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 6.0	LSB
フルスケール誤差注	EFS	12ビット分解能	$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 6.0	LSB
積分直線性誤差注	ILE	12ビット分解能	$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 3.0	LSB
微分直線性誤差注	DLE	12ビット分解能	$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 2.0	LSB
アナログ入力電圧	VAIN			0		AVDD	V

注 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注意 AVDDは常にVDDと同電位としてください。

(8) 基準電圧(+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧(-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$)

選択時, 変換対象: ANI16-ANI18, 内部基準電圧, 温度センサ出力電圧

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$,

基準電圧(+) = AV_{REFP} , 基準電圧(-) = $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
総合誤差注1	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 7.0	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	4.125			μs
ゼロスケール誤差注1	EZS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 5.0	LSB
フルスケール誤差注1	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 5.0	LSB
積分直線性誤差注1	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 3.0	LSB
微分直線性誤差注1	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	LSB
アナログ入力電圧	VAIN			0		AV_{REFP}	V
		内部基準電圧 ($2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$)		V_{BGR} 注2			V
		温度センサ出力電圧 ($2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$)		V_{TMP25} 注2			V

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. 34.6.2 温度センサ/内部基準電圧出力特性を参照してください。

注意 AV_{DD} は常に V_{DD} と同電位としてください。

(9) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,

変換対象 : ANI16-ANI18, 内部基準電圧, 温度センサ出力電圧

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AVDD = VDD \leq 3.6 \text{ V}$, $VSS = 0 \text{ V}$, $AVSS = 0 \text{ V}$, 基準電圧 (+) = AVDD, 基準電圧 (-) = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$	8		12	bit
総合誤差注1	AINL	12ビット分解能 $2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 8.5	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能 $2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$	4.125			μs
ゼロスケール誤差注1	EZS	12ビット分解能 $2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 8.0	LSB
フルスケール誤差注1	EFS	12ビット分解能 $2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 8.0	LSB
積分直線性誤差注1	ILE	12ビット分解能 $2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 3.5	LSB
微分直線性誤差注1	DLE	12ビット分解能 $2.4 \text{ V} \leq AVDD \leq 3.6 \text{ V}$			± 2.5	LSB
アナログ入力電圧	VAIN		0		AVDD	V
		内部基準電圧 ($2.4 \text{ V} \leq VDD \leq 3.6 \text{ V}$)	VBGR注2		V	
		温度センサ出力電圧 ($2.4 \text{ V} \leq VDD \leq 3.6 \text{ V}$)	VTMP25注2		V	

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注2. 34.6.2 温度センサ/内部基準電圧出力特性を参照してください。

注意 AVDDは常にVDDと同電位としてください。

(10)基準電圧 (+) = 内部基準電圧 (1.45 V) (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,
変換対象 : ANI0-ANI13, ANI16-ANI18

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$, 基準電圧 (+) = 内部基準電圧,
基準電圧 (-) = $AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	16.0			μs
ゼロスケール誤差注	EZS	8ビット分解能			± 4.0	LSB
積分直線性誤差注	ILE	8ビット分解能			± 2.0	LSB
微分直線性誤差注	DLE	8ビット分解能			± 2.5	LSB
アナログ入力電圧	VAIN		0		V _{BGR}	V

注 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注意 AV_{DD} は常に V_{DD} と同電位としてください。

34.6.2 温度センサ/内部基準電圧出力特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMPS25}	ADS レジスタ = 80H 設定, $T_A = +25 \text{ }^\circ\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADS レジスタ = 81H 設定	1.38	1.45	1.50	V
温度係数	F _{VTMPS}	温度センサ出力電圧の温度依存		-3.6		mV/ $^\circ\text{C}$
動作安定待ち時間	t _{AMP}	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	5			μs
		$1.8 \text{ V} \leq V_{DD} < 2.4 \text{ V}$	10			

34.6.3 コンパレータ

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力電圧範囲	lvref0	IVREF0 端子		0		$V_{DD} - 1.4$ 注	V
	lvref1	IVREF1 端子		1.4注		V_{DD}	V
	lvcmp	IVCMP0, IVCMP1 端子		-0.3		$V_{DD} + 0.3$	V
出力遅延	td	AV _{DD} = 3.0 V 入カスルーレート > 50 mV/μs	コンパレータ高速モード, 基本モード			1.2	μs
			コンパレータ高速モード, ウィンドウモード			2.0	μs
			コンパレータ低速モード, 基本モード		3.0		μs
			コンパレータ低速モード, ウィンドウモード		4		μs
動作安定待ち 時間	tcMP			100			μs

注 ウィンドウモードの場合, $V_{ref1} - V_{ref0} \geq 0.2 \text{ V}$ としてください。

34.6.4 オペアンプ特性

(TA = -40 ~ +85 °C, 1.8 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

(TA = +85 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
同相入力範囲	Vicm1	低消費モード	0.2		AVDD - 0.5	V
	Vicm2	高速モード	0.3		AVDD - 0.6	V
出力電圧範囲	Vo1	低消費モード	0.1		AVDD - 0.1	V
	Vo2	高速モード	0.1		AVDD - 0.1	V
入力オフセット電圧	Vioff		-10		10	mV
開放利得	Av		60	120		dB
GB積	GBW1	低消費モード		0.04		MHz
	GBW2	高速モード		1.7		MHz
位相余裕	PM	CL = 20 pF	50			deg
利得余裕	GM	CL = 20 pF	10			dB
入力換算ノイズ	Vnoise1	f = 1 kHz	低消費モード	230		nV/√Hz
	Vnoise2	f = 10 kHz		200		nV/√Hz
	Vnoise3	f = 1 kHz	高速モード	90		nV/√Hz
	Vnoise4	f = 2 kHz		70		nV/√Hz
電源除去比	PSRR			90		dB
同相信号除去比	CMRR			90		dB
動作安定待ち時間	Tstd1	CL = 20 pF	低消費モード	650		μs
	Tstd2	オペアンプ起動のみ注	高速モード	13		μs
	Tstd3	CL = 20 pF	低消費モード	650		μs
	Tstd4	オペアンプおよびリファレンス電流回路同時起動	高速モード	13		μs
セトリング時間	Tset1	CL = 20 pF	低消費モード		750	μs
	Tset2		高速モード		13	μs
スルーレート	Tslew1	CL = 20 pF	低消費モード	0.02		V/μs
	Tslew2		高速モード	1.1		V/μs
負荷電流	Iload1	低消費モード	-100		100	μA
	Iload2	高速モード	-100		100	μA
負荷容量	CL				20	pF

注 オペアンプ・リファレンス電流回路があらかじめ起動している場合。

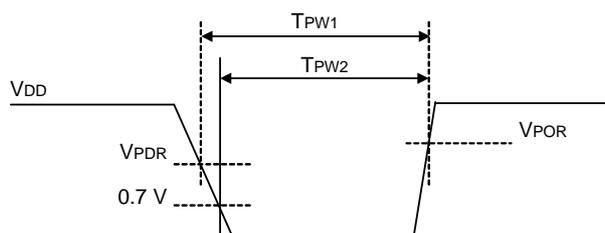
34.6.5 POR回路特性

(TA = -40 ~ +105 °C, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	VPOR	電源立ち上がり時	TA = -40 ~ +85 °C	1.47	1.51	1.55	V
			TA = +85 ~ +105 °C	1.45	1.51	1.57	V
	VPDR	電源立ち下がり時注1	TA = -40 ~ +85 °C	1.46	1.50	1.54	V
			TA = +85 ~ +105 °C	1.44	1.50	1.56	V
最小 パルス幅 注2	TPW1	STOP/SUB HALT/SUB RUN以外	TA = -40 ~ +105 °C	300			μs
	TPW2	STOP/SUB HALT/SUB RUNの時	TA = -40 ~ +105 °C	300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能か外部リセット端子で、リセット状態にしてください。

注2. VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0 (HIOSTOP)とビット7 (MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は、VDDが0.7 Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



34.6.6 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

(T_A = -40 ~ +85 °C, V_{PDR} ≤ AV_{DD} = V_{DD} ≤ 3.6 V, V_{SS} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		VLVD11	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		VLVD12	電源立ち上がり時	1.74	1.77	1.81	V
			電源立ち下がり時	1.70	1.73	1.77	V
		VLVD13	電源立ち上がり時	1.64	1.67	1.70	V
			電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅	t _{LW}		300			μs	
検出遅延					300	μs	

(T_A = +85 ~ +105 °C, V_{PDR} ≤ AV_{DD} = V_{DD} ≤ 3.6 V, V_{SS} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
検出電圧	電源電圧レベル	VLVD2	電源立ち上がり時	3.01	3.13	3.25	V	
			電源立ち下がり時	2.94	3.06	3.18	V	
		VLVD3	電源立ち上がり時	2.90	3.02	3.14	V	
			電源立ち下がり時	2.85	2.96	3.07	V	
		VLVD4	電源立ち上がり時	2.81	2.92	3.03	V	
			電源立ち下がり時	2.75	2.86	2.97	V	
		VLVD5	電源立ち上がり時	2.71	2.81	2.92	V	
			電源立ち下がり時	2.64	2.75	2.86	V	
		VLVD6	電源立ち上がり時	2.61	2.71	2.81	V	
			電源立ち下がり時	2.55	2.65	2.75	V	
		VLVD7	電源立ち上がり時	2.51	2.61	2.71	V	
			電源立ち下がり時	2.45	2.55	2.65	V	
		最小パルス幅	t _{LW}		300			μs
		検出遅延					300	μs

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDA0	VPOC0, VPOC1, VPOC2 = 0, 0, 0, 立ち下がりリセット電圧	1.60	1.63	1.66	V	
	VLVDA1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がり割り込み電圧	1.70	1.73	1.77	V
	VLVDA2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
			立ち下がり割り込み電圧	1.80	1.84	1.87	V
	VLVDA3	LVIS0, LVIS1 = 0, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDB0	VPOC0, VPOC1, VPOC2 = 0, 0, 1, 立ち下がりリセット電圧	1.80	1.84	1.87	V	
	VLVDB1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS0, LVIS1 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC0, VPOC1, VPOC2 = 0, 1, 0, 立ち下がりリセット電圧	2.40	2.45	2.50	V	
	VLVDC1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDD0	VPOC0, VPOC1, VPOC2 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.81	V	
VLVDD1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V	
		立ち下がり割り込み電圧	2.80	2.86	2.91	V	
VLVDD2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	

(TA = +85 ~ +105 °C, VPDR ≤ AVDD = VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD0	VPOC0, VPOC1, VPOC2 = 0, 1, 1, 立ち下がりリセット電圧	2.64	2.75	2.86	V	
	VLVDD1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がり割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
立ち下がり割り込み電圧			2.85	2.96	3.07	V	

34.6.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +105 °C, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

注意 VDDが34.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

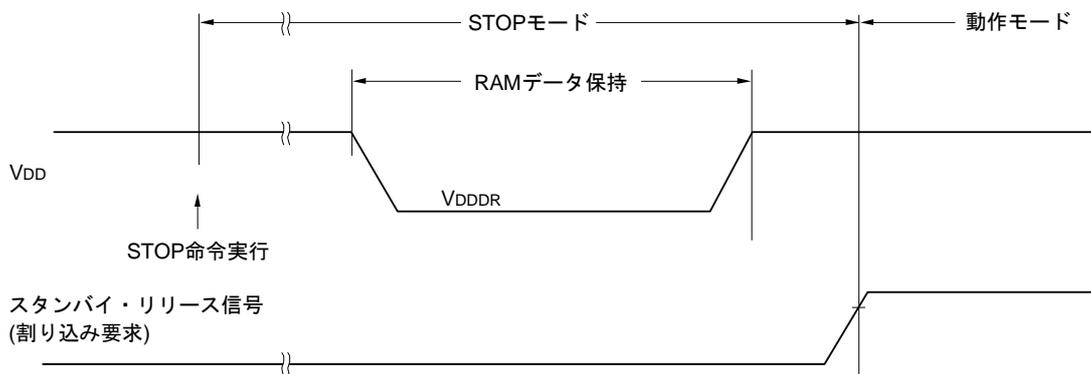
34.7 RAMデータ保持特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR	$T_A = -40 \sim +85 \text{ } ^\circ\text{C}$	1.46注		3.6	V
		$T_A = +85 \sim +105 \text{ } ^\circ\text{C}$	1.44注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



34.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK		1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C _{erwr}	保持年数：20年 $T_A = 85 \text{ } ^\circ\text{C}$ 注4	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年 $T_A = 25 \text{ } ^\circ\text{C}$ 注4		1,000,000		
		保持年数：5年 $T_A = 85 \text{ } ^\circ\text{C}$ 注4	100,000			
		保持年数：20年 $T_A = 85 \text{ } ^\circ\text{C}$ 注4	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

注4. 保持の平均温度です。

34.9 専用フラッシュ・メモリ・プログラマ通信(UART)

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

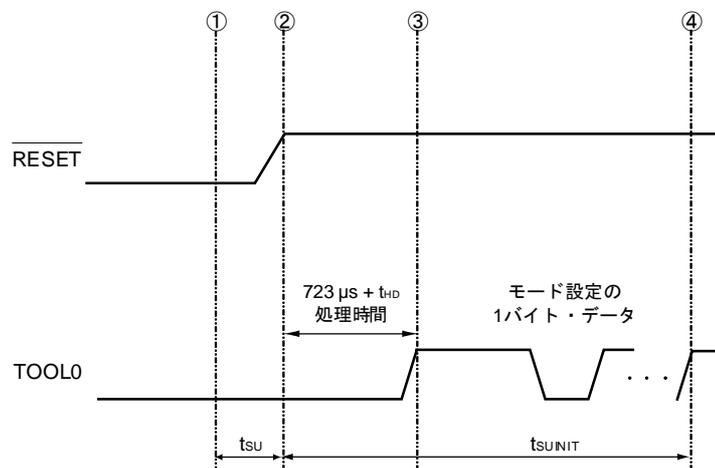
($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間注1	tsUNIT	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間注1	tsu	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く注1, 2)	tHD	外部リセット解除前に POR, LVDリセットは解除	1			ms

注1. 端子リセット解除前にPOR, LVDリセットは解除されていること

注2. Flashファーム処理時間723 μs は含まない



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsUNIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

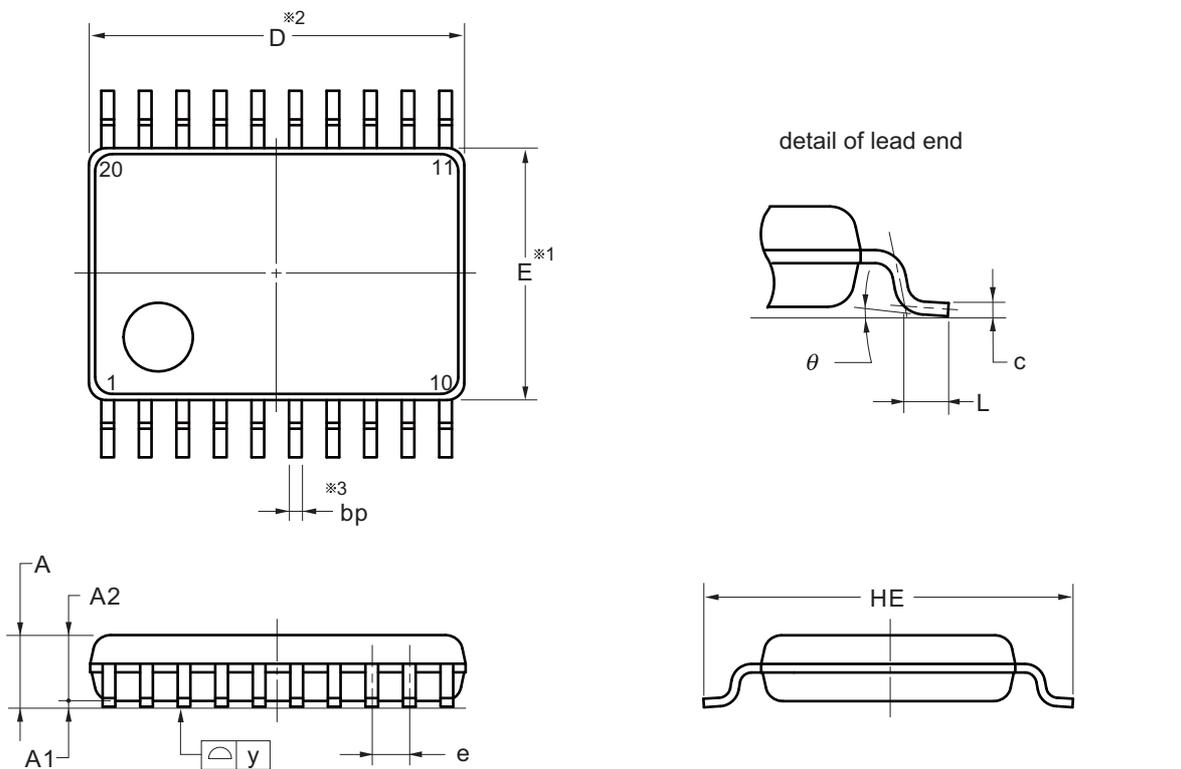
tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第35章 外形図

35.1 20ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1

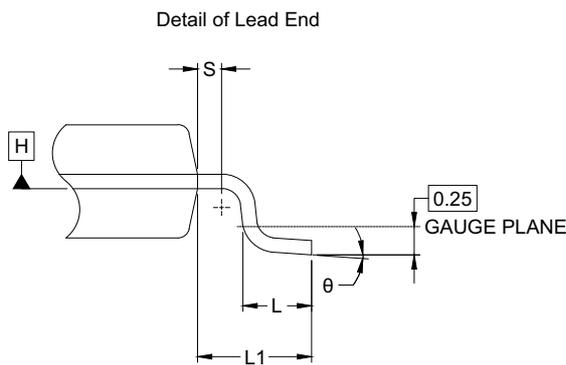
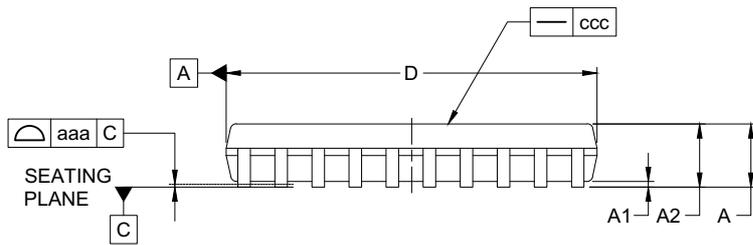
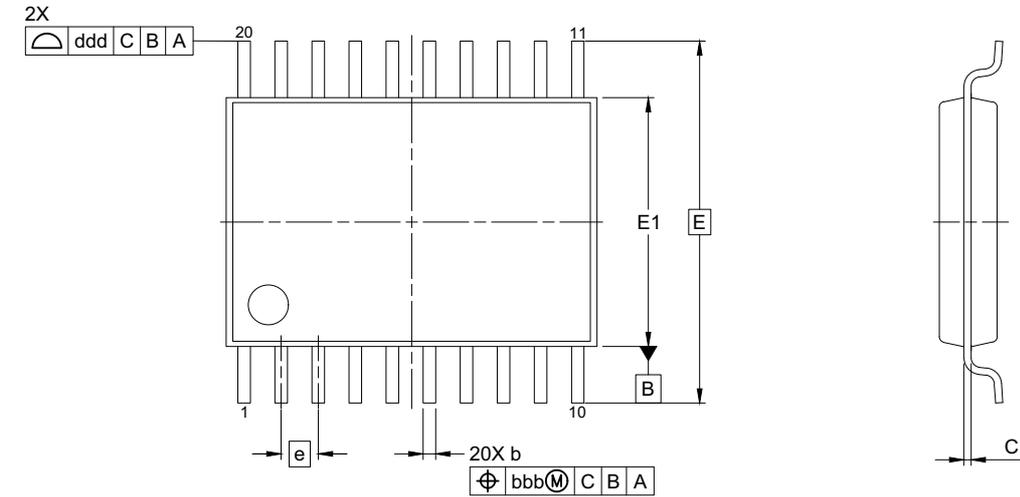
**NOTE**

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

(UNIT:mm)

ITEM	DIMENSIONS
D	6.50±0.10
E	4.40±0.10
HE	6.40±0.20
A	1.45 MAX.
A1	0.10±0.10
A2	1.15
e	0.65±0.12
bp	0.22 ^{+0.10} _{-0.05}
c	0.15 ^{+0.05} _{-0.02}
L	0.50±0.20
y	0.10
θ	0° to 10°

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-TSSOP20-4.40x6.50-0.65	PTSP0020JI-A	0.08

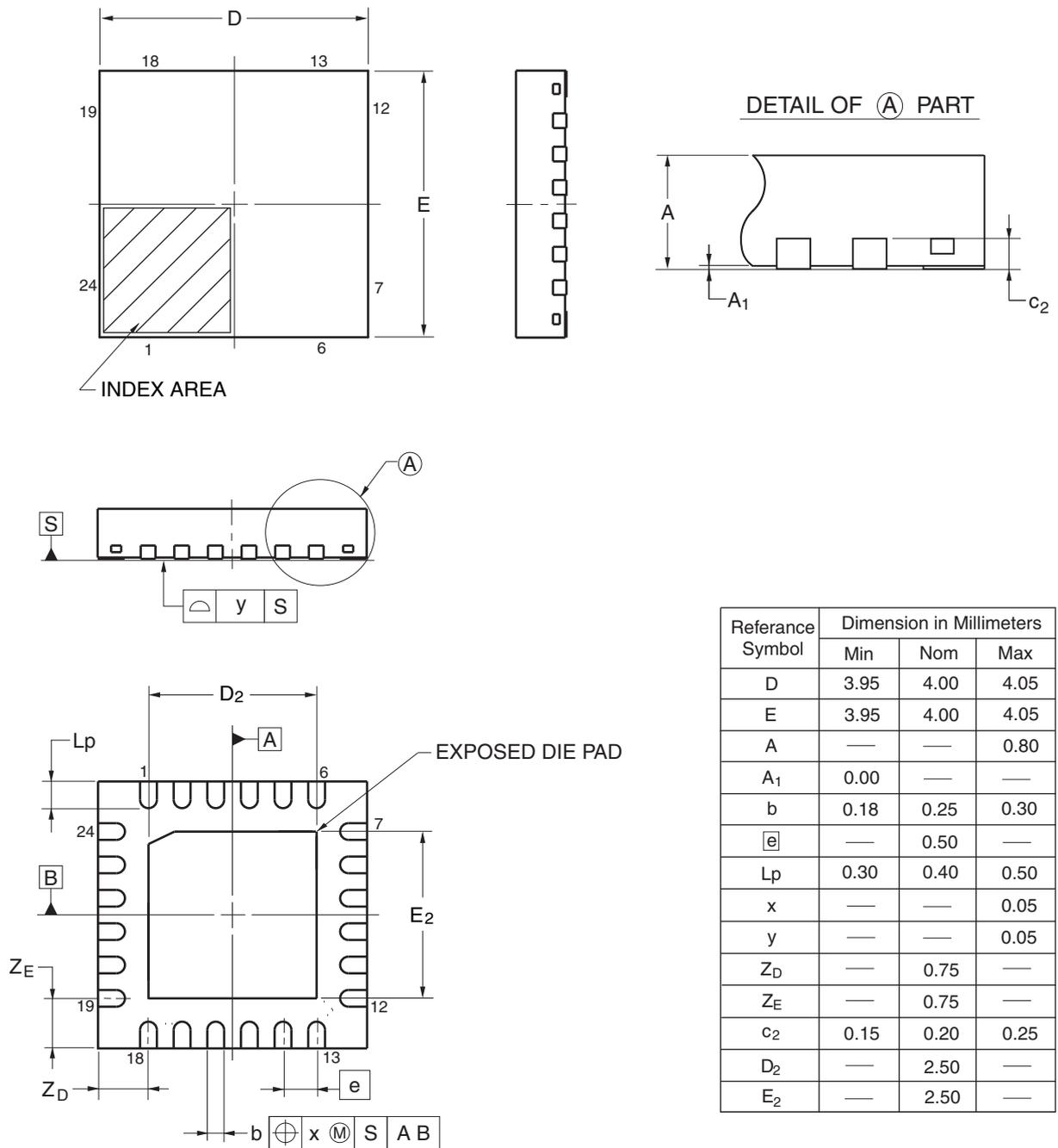


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	1.20
A1	0.05	-	0.15
A2	0.80	1.00	1.05
b	0.19	-	0.30
C	0.09	0.127	0.20
D	6.40	6.50	6.60
E1	4.30	4.40	4.50
E	6.40 BSC		
e	0.65 BSC		
L1	1.00 REF		
L	0.50	0.60	0.75
S	0.20	-	-
θ	0°	-	8°
aaa	0.10		
bbb	0.10		
ccc	0.05		
ddd	0.20		

NOTES:
 1. DIMENSION 'D' AND 'E1' DOES NOT INCLUDE MOLD FLASH.
 2. DIMENSION 'b' DOES NOT INCLUDE TRIM OFFSET.
 3. DIMENSION 'D' AND 'E1' TO BE DETERMINED AT DATUM PLANE [H].

35.2 24ピン製品

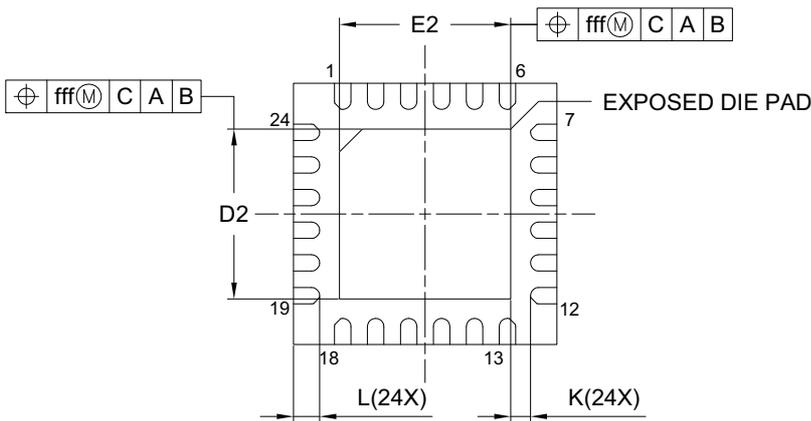
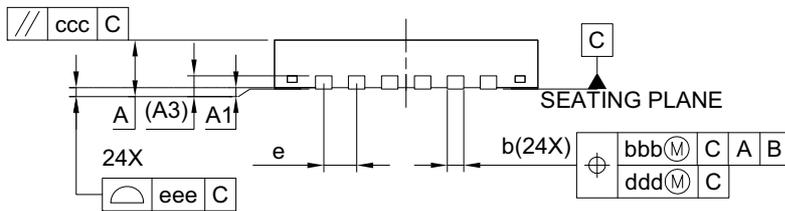
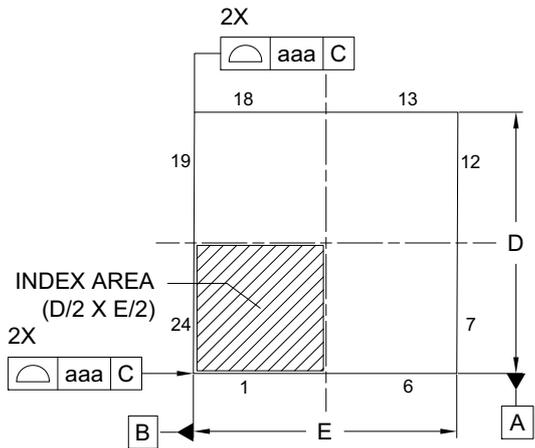
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN24-4x4-0.50	PWQN0024KE-A	P24K8-50-CAB-3	0.04



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	3.95	4.00	4.05
E	3.95	4.00	4.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	2.50	—
E ₂	—	2.50	—

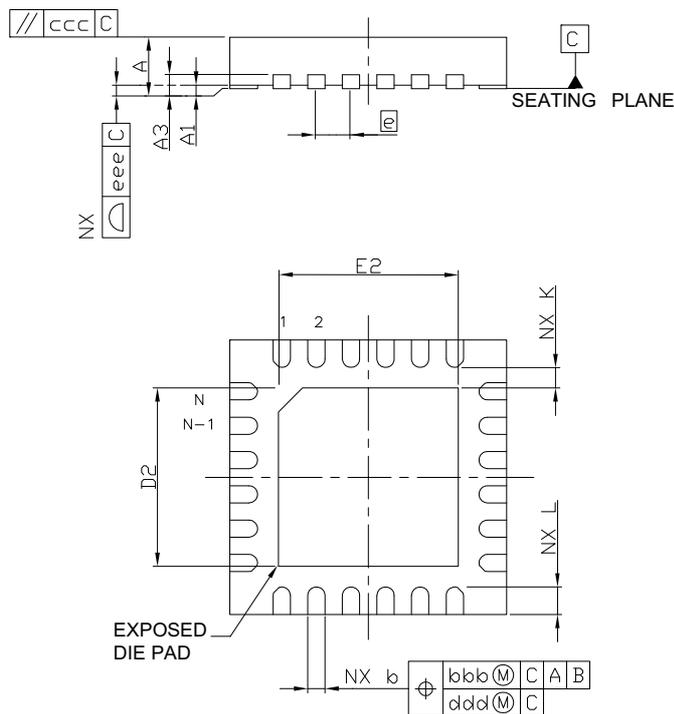
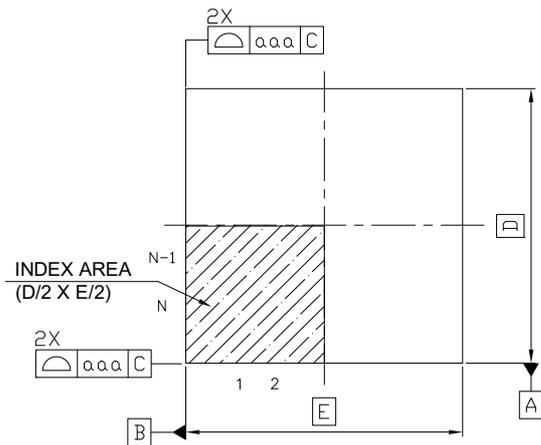
©2013 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN024-4x4-0.50	PWQN0024KF-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D2	2.55	2.60	2.65
E2	2.55	2.60	2.65
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

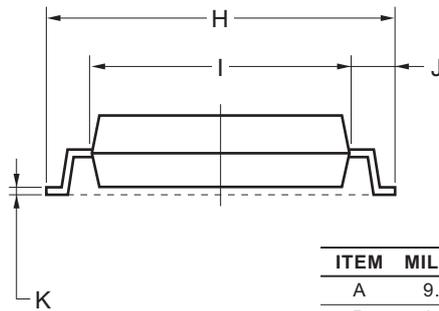
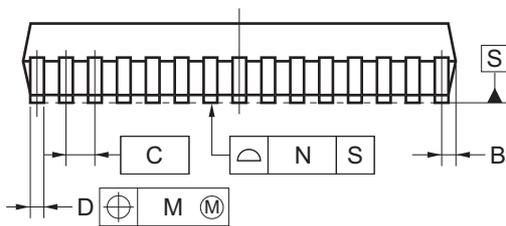
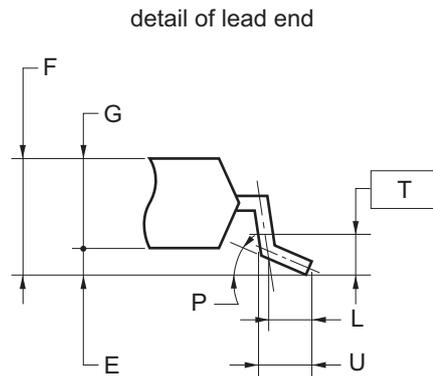
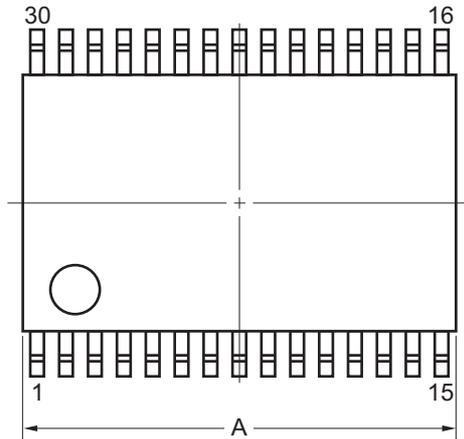
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN24-4×4-0.50	PWQN0024KH-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	—	0.05
A ₃	0.20 REF.		
b	0.20	0.25	0.30
D	—	4.00	—
E	—	4.00	—
e	—	0.50	—
N	24		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	2.50	2.60	2.70
E ₂	2.50	2.60	2.70
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

35.3 30ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



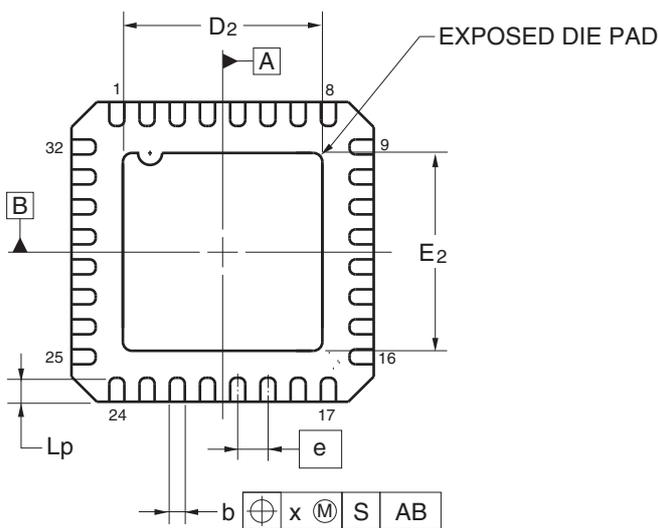
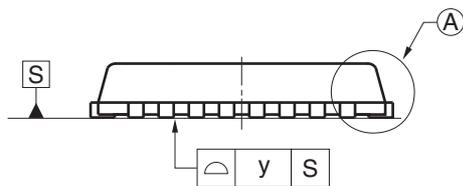
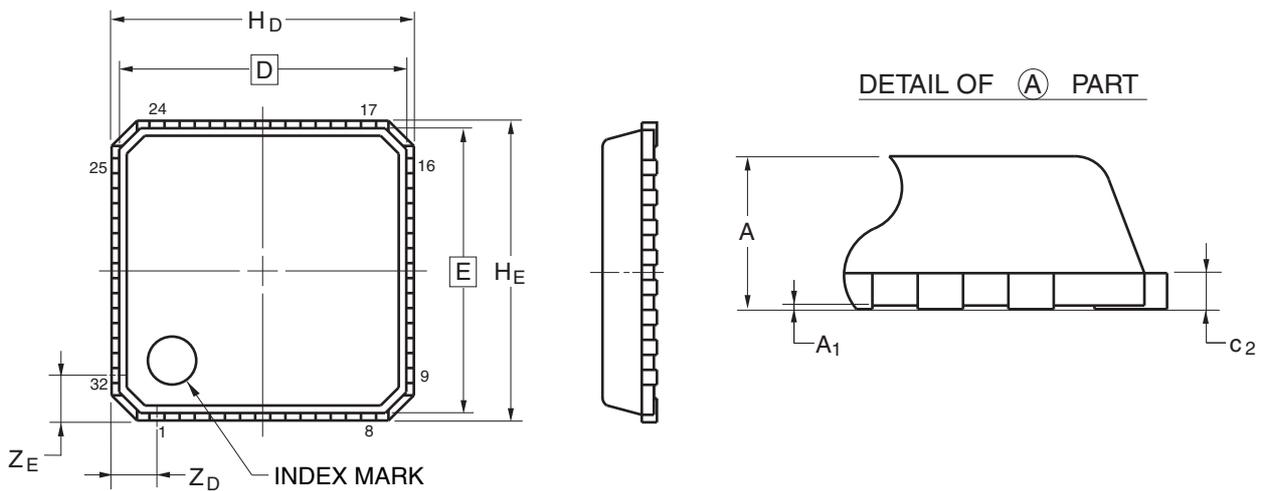
NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

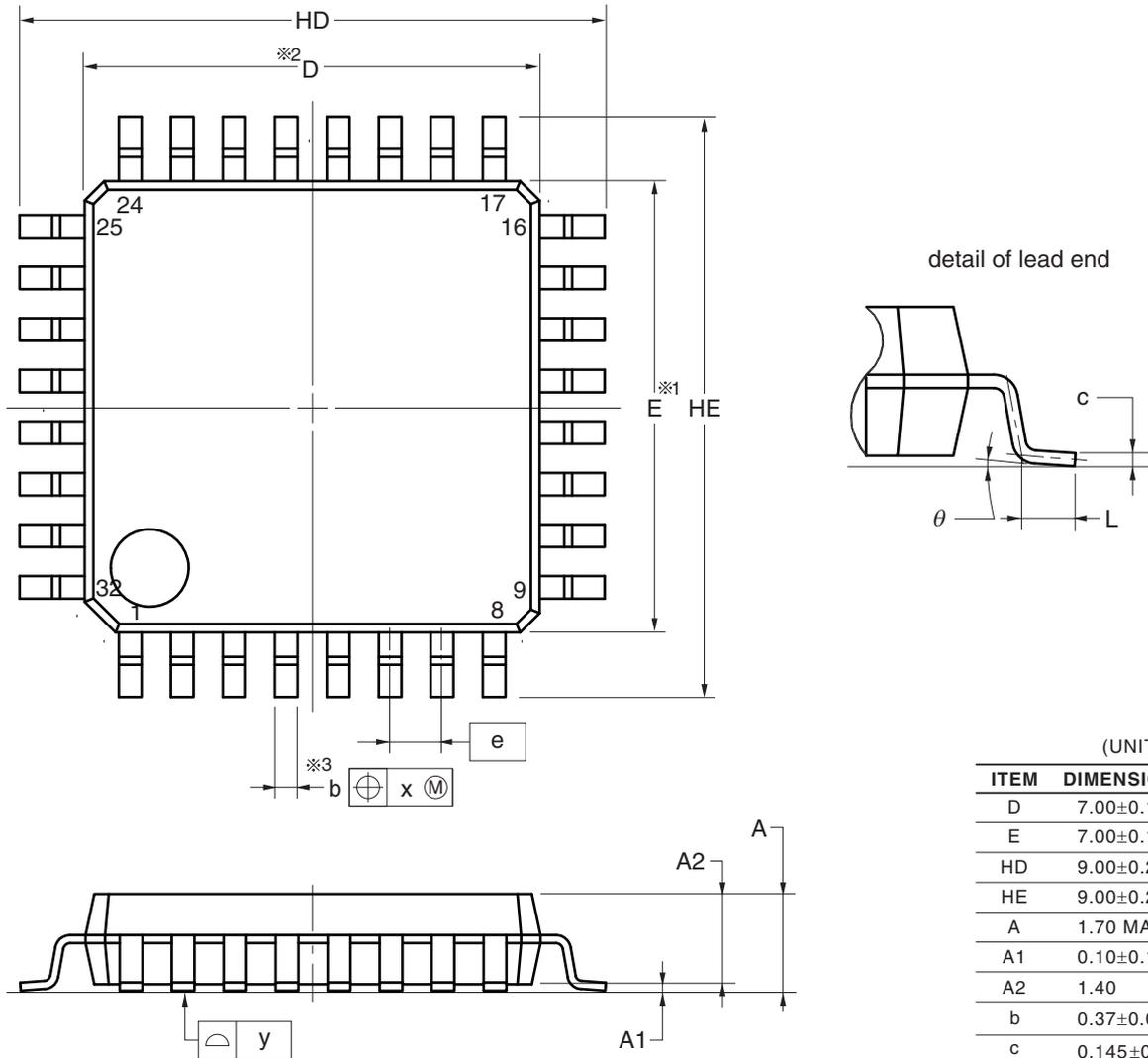
35.4 32ピン製品

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HVQFN32-5x5-0.50	PVQN0032KE-A	P32K9-50B-BAH	0.058



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	4.75	—
E	—	4.75	—
A	—	—	0.90
A ₁	0.00	—	—
b	0.20	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.10
y	—	—	0.05
H _D	4.95	5.00	5.05
H _E	4.95	5.00	5.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.19	0.20	0.21
D ₂	—	3.30	—
E ₂	—	3.30	—

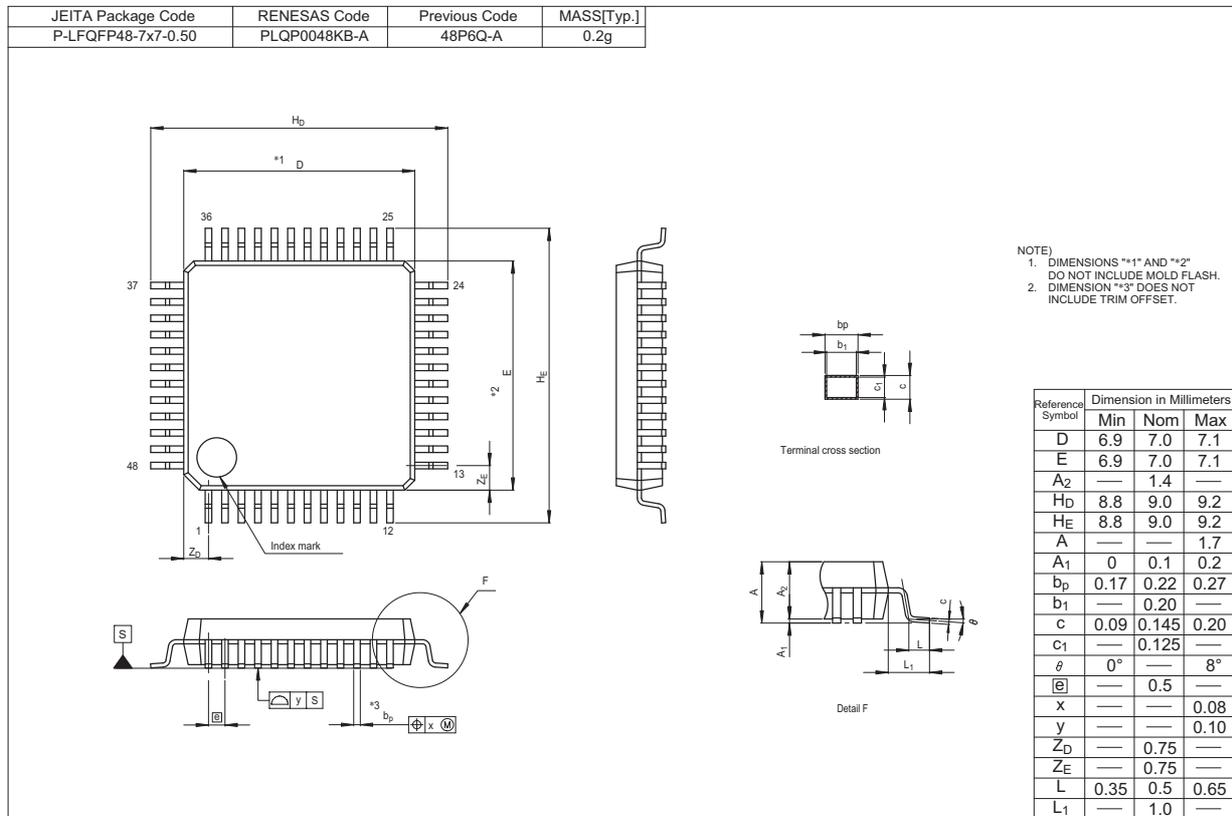
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



NOTE

1. Dimensions “ $\ast 1$ ” and “ $\ast 2$ ” do not include mold flash.
2. Dimension “ $\ast 3$ ” does not include trim offset.

35.5 48ピン製品



付録A 改版履歴

A.1 本版で改訂された主な箇所

(1/1)

箇所	内容	分類
第1章 概説		
p.4	図1-1 RL78/I1Dの型名とメモリサイズ・パッケージ 説明を変更	(d)
p.5	1.2 型名一覧 表の説明を変更	(d)
第27章 安全機能		
p.774	27.1 安全機能の概要 説明および備考を変更	(c)
p.779	27.3.2 CRC演算機能（汎用CRC） 説明を変更	(c)
p.784	27.3.4 RAMガード機能 説明を変更	(c)
p.785	27.3.5 SFRガード機能 説明を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

(a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,

(d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/8)

版数	内容	適用箇所
Rev. 2.40	3線シリアルI/O, 3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPI(CSI)に変更	
	1.1 特徴 注を追加	第1章 概説
	1.2 型名一覧 24ピン RENESAS Codeを追加	
	4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系)対応 注を追加	第4章 ポート機能
	図8-8 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)のフォーマット(3/3) RWAITビットの説明を変更	第8章 リアルタイム・クロック2
	図8-22 リアルタイム・クロック2の読み出し手順 注意を変更	
	図8-23 リアルタイム・クロック2の書き込み手順 注意1を変更	
	第17章 シリアル・アレイ・ユニット 注を追加	第17章 シリアル・アレイ・ユニット
	17.1.3 簡易I ² C(IIC00, IIC01) ウェイトをクロック・ストレッチに変更	
	図17-59 簡易SPI(CSI00, CSI01)のスレーブ受信時のレジスタ設定内容例 スレーブ受信モードを簡易SPI(CSI)スレーブ受信モードに変更	
	図17-89 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2) スレーブ受信モードを簡易SPI(CSI)スレーブ受信モードに変更	
	図17-90 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2) スレーブ受信モードを簡易SPI(CSI)スレーブ受信モードに変更	
	17.8 簡易I ² C(IIC00, IIC01)通信の動作 ウェイトをクロック・ストレッチに変更	
	34.3.2 電源電流特性 注1, 注4, 注5を変更	第34章 電气的特性
	34.3.2 電源電流特性 注1, 注5を変更	
	34.3.2 電源電流特性 注1を変更, 注2を削除	
35.2 24ピン製品 RENESAS Code PWQN0024KH-Aを追加	第35章 外形図	

版数	内容	適用箇所
Rev. 2.30	PG-FP6を追加, E2, E2 Lite, E20を追加	全体
	1.1 特徴 を訂正	第1章 概説
	図1-1 RL78/I1Dの型名とメモリサイズ・パッケージ を変更, 注1 を追加	
	1.2 型名一覧 表を変更	
	1.3.1 20ピン製品 を変更	
	図2-9 端子タイプ7-1-4の端子ブロック図 注意 を追加	第2章 端子機能
	図2-12 端子タイプ8-1-3の端子ブロック図 注意 を追加	
	図2-13 端子タイプ8-1-4の端子ブロック図 注意1, 2 を追加	
	図2-14 端子タイプ8-6-4の端子ブロック図 を変更, 注意1, 2 を追加	
	図2-15 端子タイプ12-1-1の端子ブロック図 タイトルを訂正 および 注意 を追加	
	表3-10 拡張特殊機能レジスタ(2nd SFR)一覧 を変更	第3章 CPUアーキテクチャ
	図3-36 CALL, CALLTの例 を訂正	
	表6-5 CPUクロックの移行とSFRレジスタの設定例 (5) 表を訂正	第6章 クロック発生回路
	図7-20 タイマ・チャンネル停止レジスタm(TTm)のフォーマット を変更	第7章 タイマ・アレイ・ユニット
	8.3 リアルタイム・クロック2を制御するレジスタ 注1を訂正	
	8.3.3 サブシステム・クロック供給モード制御レジスタ(OSMC) 説明を訂正	第8章 リアルタイム・クロック2
	表13-3 ウォッチドッグ・タイマのオーバフロー時間の設定 表を変更	第13章 ウォッチドッグ・タイマ
	図14-34 温度センサ出力電圧/内部基準電圧を選択時の設定 を訂正	第14章 A/Dコンバータ
	図17-13 シリアル・ステータス・レジスタmn(SSRmn)のフォーマット 注意1を訂正	第17章 シリアル・アレイ・ユニット
	図17-21 シリアル・スタンバイ・コントロール・レジスタm(SSCm)のフォーマット を訂正	
	図17-34 マスタ送信(連続送信モード時)のフロー・チャート を訂正	
	図17-114 UART送信(連続送信モード時)のフロー・チャート を訂正	
	図23-8 SNOOZEモードの割り込み要求が発生しない場合 を訂正	
	表30-1 RL78/I1Dと専用フラッシュ・メモリ・プログラムの配線表 を変更	第23章 スタンバイ機能
	表30-1 RL78/I1Dと専用フラッシュ・メモリ・プログラムの配線表 注1を追加	
	図30-2 専用フラッシュ・メモリ・プログラマとの通信 注1を追加	
	表30-2 端子接続一覧 注2を追加	
	30.3.6 電源 注を追加	
	図30-7 フラッシュ・メモリ・プログラミング・モードへの引き込み を変更	
	30.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間(参考値) タイトルを変更 および 説明を変更	
	表30-10 PG-FP5, PG-FP6使用時の各コマンド処理時間(参考値) タイトルおよびヘッダを変更	

(3/8)

版数	内容	適用箇所	
Rev. 2.30	30.8.3 データ・フラッシュへのアクセス手順 注意4を追加	第30章 フラッシュ・メモリ	
	34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング 図を訂正	第34章 電気的特性	
	35.1 20ピン製品 外形図を追加	第35章 外形図	
	35.2 24ピン製品 外形図を追加		
Rev. 2.20	1.3.1 20ピン製品 製品名を追加	第1章 概説	
	1.3.2 24ピン製品 製品名を追加		
	1.3.3 30ピン製品 製品名を追加		
	1.3.4 32ピン製品 製品名を追加		
	1.3.4 33ピン製品 説明を変更および製品名を追加		
	1.3.5 48ピン製品 製品名を追加		
	1.6 機能概要 説明を変更		
	1.6 機能概要 注を追加		
	2.1.1 20ピン製品 表項目名を変更	第2章 端子機能	
	2.1.2 24ピン製品 表項目名を変更		
	2.1.3 30ピン製品 表項目名を変更		
	2.1.4 32ピン製品 表項目名を変更		
	2.1.5 48ピン製品 表項目名を変更		
	図3-2 メモリ・マップ(R5F117xA (x = 6, 7, A, B, G)) 注1を変更	第3章 CPUアーキテクチャ	
	表3-9 拡張特殊機能レジスタ(2nd SFR)一覧(2/5) リセット時の値を変更		
	3.3.4 レジスタ・インダイレクト・アドレッシング 説明を変更		
	図4-4 ポート入力モード・レジスタのフォーマット 説明を変更	第4章 ポート機能	
	5.2.1 フラッシュ動作モード選択レジスタ (FLMODE) 説明を変更	第5章 オペレーション・ステート・コントロール	
	図6-11 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット および 注1を変更	第6章 クロック発生回路	
	図6-11 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット 備考を追加		
	6.4.5 低速オンチップ・オシレータ 説明を変更		
	6.6.2 X1発振回路の設定例 注意を追加		
	6.6.3 XT1発振回路の設定例 説明を変更 および 備考を追加		
	表6-7 CPUクロックの移行について(1/5) 説明を変更		
	表6-8 CPUクロックの移行について(2/5) 説明を変更		
	表6-9 CPUクロックの移行について(3/5) 説明を変更		
	表6-10 CPUクロックの移行について(4/5) 説明を変更		
	表6-11 CPUクロックの移行について(5/5) 説明を変更		
	表6-12 メイン・システム・クロックの切り替えに要する最大時間 説明を変更		
	図7-13 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4) 説明を変更		第7章 タイマ・アレイ・ユニット
	図7-21 タイマ入力選択レジスタ0 (TIS0)のフォーマット 注意1 説明を変更		
	図7-41 TO0nビットの一括操作によるTO0nの端子状態 注意を削除		

版数	内容	適用箇所
Rev. 2.20	図8-4 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマットおよび注1を変更	第8章 リアルタイム・クロック2
	図8-4 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット備考を追加	
	表9-1 周波数測定回路の構成 PER0を削除	第9章 周波数測定回路
	9.3 周波数測定回路を制御するレジスタ PER0を削除	
	図9-3 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマットおよび注1を変更	
	図9-3 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット備考を追加	
	図9-9 基準クロックによる周波数測定回路の設定手順 を変更	
	図10-4 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマットおよび注1を変更	第10章 12ビット・インターバル・タイマ
	図10-4 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット備考を追加	
	図11-7 8ビット・インターバル・タイマ分周レジスタn(TRTMDn)のフォーマット を変更	第11章 8ビット・インターバル・タイマ
	11.4.2 タイマ動作 説明を変更	
	11.4.5 8ビット・インターバル・タイマの設定手順 を追加	
	12.3.2 クロック出力/プザー出力端子のポート機能を制御するレジスタ 説明を変更	第12章 クロック出力/プザー出力制御回路
	12.5 クロック出力/プザー出力制御回路の注意事項 説明を変更	
	表13-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定 注を追加	第13章 ウォッチドッグ・タイマ
	図14-19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例 を変更	第14章 A/Dコンバータ
	図14-20 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 を変更	
	図14-21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例 を変更	
	図14-22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 を変更	
	図14-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例 を変更	
図14-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 を変更		
図14-27 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例 を変更		
図14-28 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 を変更		
図14-29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例 を変更		

版数	内容	適用箇所	
Rev. 2.20	図 14 - 30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 を変更	第 14 章 A/D コンバータ	
	図 14 - 31 ソフトウェア・トリガ・モード設定 を変更		
	図 14 - 32 ハードウェア・トリガ・ノーウエイト・モード設定 を変更		
	図 14 - 33 ハードウェア・トリガ・ウエイト・モード設定 を変更		
	図 14 - 34 温度センサ出力電圧/内部基準電圧を選択時の設定 を変更		
	図 14 - 39 SNOOZE モード設定のフローチャート を変更		
	14.10 A/D コンバータの注意事項 説明を変更		
	図 15 - 1 コンパレータのブロック図 を変更	第 15 章 コンパレータ	
	表 15 - 2 コンパレータ関連レジスタの設定手順 注3を削除		
	図 16 - 2 オペアンプ・モード制御レジスタ (AMP _{MC})のフォーマット 注意 1 を変更	第 16 章 オペアンプ	
	図 16 - 7 オペアンプ状態遷移図 を変更		
	図 16 - 7 オペアンプ状態遷移図 注3および備考2を削除		
	図 16 - 7 オペアンプ状態遷移図 注意を追加		
	16.4.3 ソフトウェア・トリガ・モード フローチャート および 注1, 2を変更		
	16.4.4 ELCトリガ・モード フローチャート および 注1,3を変更		
	16.4.5 ELCおよびA/Dトリガ・モード フローチャート および 注1,3を変更		
	図 17 - 1 シリアル・アレイ・ユニット0のブロック図 を変更		第 17 章 シリアル・アレイ・ユニット
	17.2.2 シリアル・データ・レジスタ mn (SDR _{mn})の低位8/9ビット 注2を変更		
	図 17 - 10 シリアル・データ・レジスタ mn (SDR _{mn})のフォーマット 注意3を変更		
	図 17 - 20 送信データのレベル反転例 を変更		
	17.5.7 SNOOZE モード機能 説明を変更		
	図 17 - 73 SNOOZE モード動作(1回起動)時のタイミング・チャート 注を変更		
	図 17 - 74 SNOOZE モード動作(1回起動)時のフロー・チャート を変更		
	図 17 - 75 SNOOZE モード動作(連続起動)時のタイミング・チャート を変更		
	図 17 - 76 SNOOZE モード動作(連続起動)時のフロー・チャート を変更		
	図 17 - 112 UART送信(シングル送信モード時)のフロー・チャート を変更		
	図 17 - 115 UART (UART0)のUART受信時のレジスタ設定内容例(1/2) 注2を変更		
	17.7.3 SNOOZE モード機能 説明を変更		
図 17 - 124 SNOOZE モード動作 (EOC _{m1} = 0, SSE _{Cm} = 0/1 もしくは EOC _{m1} = 1, SSE _{Cm} = 0)時のフロー・チャート を変更			
図 17 - 126 SNOOZE モード動作 (EOC _{m1} = 1, SSE _{Cm} = 1)時のフロー・チャート を変更			
表 19 - 1 DTCの仕様 起動要因を変更	第 19 章 データ・トランスファ・コントローラ (DTC)		
19.5.7 DTC起動要因 説明を追加			
20.3.1 イベント出力先選択レジスタ n (ELSEL _{Rn}) (n = 00 ~ 19) 説明を変更	第 20 章 イベント・リンク・コントローラ (ELC)		
表 21 - 1 割り込み要因一覧(2/2) 注3を削除	第 21 章 割り込み機能		

版数	内容	適用箇所
Rev. 2.20	表 23 - 3 STOPモード時の動作状態 を変更	第23章 スタンバイ機能
	図 23 - 4 STOPモードの割り込み要求発生による解除(1/2) 注2 を変更	
	23.3.3 SNOOZEモード 説明を変更	
	図 23 - 8 SNOOZEモードの割り込み要求が発生しない場合 注4 追加	
	24.1 リセット動作のタイミング 注意を削除	第24章 リセット機能
	図 25 - 3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生 of タイミング(2/3) 説明変更	第25章 パワーオン・リセット回路
	26.1 電圧検出回路の機能 説明を変更	第26章 電圧検出回路
	26.4.2 割り込みモードとして使用する場合の設定 説明を変更	
	29.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H) (3) 説明を変更	第29章 オプション・バイト
	図 29 - 1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット 注3追加	
	図 29 - 6 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット 変更	
	図 30 - 4 外部デバイスとの通信 を変更	第30章 フラッシュ・メモリ
	34.3.2 電源電流特性 条件を変更	第34章 電氣的特性
	34.3.2 電源電流特性 条件を変更 注1を変更	
	34.3.2 電源電流特性 条件 および 単位を変更	
	34.3.2 電源電流特性 注5を追加	
	34.8 フラッシュ・メモリ・プログラミング特性 を変更	
	34.8 フラッシュ・メモリ・プログラミング特性 注4を追加	
35.5 48ピン製品 外形図を変更	第35章 外形図	
Rev. 2.10	機能名を変更(リアルタイム・クロック → リアルタイム・クロック2)	全般
	1.6 機能概要を変更	第1章 概説
	CPUアーキテクチャに説明を追加	第3章 CPUアーキテクチャ
	図 3 - 2 メモリ・マップ(R5F117xA (x = 6, 7, A, B, G))を変更	
	6.1 クロック発生回路の機能の説明を変更	第6章 クロック発生回路
	図 6 - 3 システム・クロック制御レジスタ(CKC)のフォーマットを変更	
	図 6 - 3 システム・クロック制御レジスタ(CKC)のフォーマットの注2を変更	
	図 6 - 4 クロック動作ステータス制御レジスタ(CSC)のフォーマットの注意4の誤記を修正	
	図 6 - 4 クロック動作ステータス制御レジスタ(CSC)のフォーマットの注意6を変更	
	表 6 - 14 fIH⇔fIMで要する最大クロック数を変更	
	6.6.7 クロック発振停止前の条件の説明を変更	
	表 6 - 16 クロック発振停止前の条件とフラグ設定を変更	
	6.7 発振子と発振回路定数の説明を変更	第7章 タイマ・アレイ・ユニット
	7.9.1 ワンショット・パルス出力機能としての動作の注意を変更	
	図 8 - 8 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)のフォーマット(3/3)に注1, 2を追加	第8章 リアルタイム・クロック2

版数	内容	適用箇所
Rev. 2.10	図 14 - 5 A/D 電圧コンパレータ使用時のタイミング・チャートを変更	第 14 章 A/D コンバータ
	図 14 - 13 アナログ入力チャンネル指定レジスタ (ADS) のフォーマットを変更	
	図 14 - 20 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 14 - 27 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	
	図 14 - 28 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 14 - 29 ハードウェア・トリガ・ウェイト・モード (スキャン・モード, 連続変換モード) 動作タイミング例を変更	
	図 14 - 30 ハードウェア・トリガ・ウェイト・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 15 - 5 コンパレータフィルタ制御レジスタ (COMPFIR) のフォーマットの注 1 を変更	第 15 章 コンパレータ
	図 15 - 5 コンパレータフィルタ制御レジスタ (COMPFIR) のフォーマットの注 2 を変更	
	図 15 - 6 コンパレータ出力制御レジスタ (COMPOCR) のフォーマットの注 2,3 を変更	
	図 17 - 8 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (1/2) を変更	第 17 章 シリアル・アレイ・ユニット
	図 17 - 9 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (2/2) を変更	
	図 17 - 15 シリアル・チャンネル停止レジスタ m (STm) のフォーマットを変更	
	19.3.2 コントロールデータの配置の説明を変更	第 19 章 データ・トランスファ・コントローラ (DTC)
	表 19 - 4 コントロールデータの先頭アドレスを変更	
	19.3.3 ベクタテーブルの説明を変更	
	図 19 - 4 コントロールデータの先頭アドレスとベクタテーブルを変更	
	19.4.2 ノーマルモードの説明を変更	
	図 19 - 16 ノーマルモードの使用例 1 : A/D 変換結果の連続取り込みを変更	
	表 30 - 1 RL78/I1D と専用フラッシュ・メモリ・プログラムの配線表を変更	第 30 章 フラッシュ・メモリ
図 30 - 2 専用フラッシュ・メモリ・プログラマとの通信を変更		
表 30 - 2 端子接続一覧を変更		
30.8.3 データ・フラッシュへのアクセス手順の誤記を修正		
34.1 絶対最大定格を変更	第 34 章 電気的特性	
34.3.1 端子特性を変更		
34.3.2 電源電流特性の注釈番号の誤記を変更		
Rev. 2.00	オペレーション・ステート・コントロールに改称	第 5 章 オペレーション・ステート・コントロール
	表 5 - 2 の動作電流を変更	第 7 章 タイマ・アレイ・ユニット
	冒頭の, チャンネルの説明を変更, 修正	
	図 7 - 13 の説明を追加	
	17.7.2 UART 受信の表の誤記を修正	第 17 章 シリアル・アレイ・ユニット
19.5.3 DTC 保留命令に説明を追加	第 19 章 データ・トランスファ・コントローラ (DTC)	

(8/8)

版数	内容	適用箇所
Rev. 2.00	21. 4. 4 除算命令中の割り込み処理に注意を追加	第21章 割り込み機能
	21. 4. 5 割り込み要求の保留に説明を追加	
	図23-4の注2に説明を追加	第23章 スタンバイ機能
	図23-4に注3を追加	
	(1) SNOOZE モードの設定および動作状態に説明を追加	
	表33-16に注意を追加	第33章 命令セットの概要
	34. 3. 2 電源電流特性に注7を追加	第34章 電気的特性
	34. 3. 2 電源電流特性に説明を追加	
	34. 3. 2 電源電流特性の説明を変更	
	34. 3. 2 電源電流特性の誤記を修正	
35. 2 24ピン製品の外形図を変更	第35章 外形図	
Rev. 1.00	初版作成	全般

RL78/I1D ユーザーズマニュアル ハードウェア編

発行年月日 2014年7月29日 Rev.1.00
2024年3月22日 Rev.2.41

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/I1D