

# RX113グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ  
RXファミリ/RX100シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、  
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## 製品間の仕様の相違点

本 MCU 製品は、発注型名の違いにより、以下のような仕様の相違点があります。

表1 発注型名による仕様の相違点

型名	仕様差分			
	発注型名末尾 #3A、#2A		発注型名末尾 #30、#20 (注1)	
ピン数	100ピン製品	64ピン製品	100ピン製品	64ピン製品
35. 静電容量式タッチセンサ (CTSUS)	サポートあり	サポートなし	サポートなし	サポートなし

注1. 旧バージョン製品のため、新規発注はできません。



# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX113グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

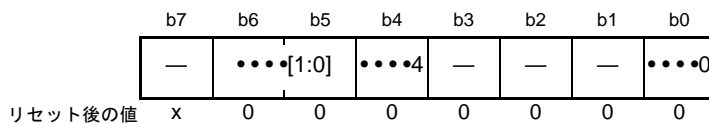
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX113グループ データシート	R01DS0216JJ
ユーザズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX113グループ ユーザズマニュアル ハードウェア編	本ユーザズマニュアル
ユーザズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ RXv1命令セットアーキテクチャ ユーザズマニュアル ソフトウェア編	R01US0032JJ
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

## 2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

### X.X.X .....レジスタ

アドレス xxxx xxxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	••••0	••••ビット (2)	0 : •••••• (3) 1 : 設定しないでください	R/W (1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	••••ビット	0 : •••••• 1 : ••••••	R
b6-b5	••••[1:0]	••••ビット	00 : •••••• (3) 01 : •••••• 上記以外は設定しないでください	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。  
 R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。制限の内容については、各レジスタの説明や注記を参照ください。  
 R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

### 3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash®は、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

# 目次

特長 .....	43
1. 概要 .....	44
1.1 仕様概要 .....	44
1.2 製品一覧 .....	49
1.3 ブロック図 .....	51
1.4 端子機能 .....	52
1.5 ピン配置図 .....	56
2. CPU .....	67
2.1 特長 .....	67
2.2 CPU レジスタセット .....	68
2.2.1 汎用レジスタ (R0 ~ R15) .....	69
2.2.2 制御レジスタ .....	69
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP) .....	70
2.2.2.2 割り込みテーブルレジスタ (INTB) .....	70
2.2.2.3 プログラムカウンタ (PC) .....	70
2.2.2.4 プロセッサステータスワード (PSW) .....	71
2.2.2.5 バックアップ PC (BPC) .....	72
2.2.2.6 バックアップ PSW (BPSW) .....	73
2.2.2.7 高速割り込みベクタレジスタ (FINTV) .....	73
2.2.3 DSP 機能命令関連レジスタ .....	73
2.2.3.1 アキュムレータ (ACC) .....	73
2.3 プロセッサモード .....	74
2.3.1 スーパーバイザモード .....	74
2.3.2 ユーザモード .....	74
2.3.3 特権命令 .....	74
2.3.4 プロセッサモード間の移行 .....	74
2.4 データタイプ .....	75
2.5 エンディアン .....	75
2.5.1 エンディアンの設定 .....	75
2.5.2 I/O レジスタアクセス .....	79
2.5.3 I/O レジスタアクセスの注意事項 .....	79
2.5.4 データ配置 .....	79
2.5.4.1 レジスタのデータ配置 .....	79
2.5.4.2 メモリ上のデータ配置 .....	80
2.5.5 命令コード配置の注意事項 .....	80
2.6 ベクタテーブル .....	81
2.6.1 固定ベクタテーブル .....	81
2.6.2 可変ベクタテーブル .....	82
2.7 命令動作 .....	83
2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ .....	83

2.8	パイプライン .....	83
2.8.1	概要 .....	83
2.8.2	命令とパイプライン処理 .....	85
2.8.2.1	単一のマイクロオペレーションに変換される命令とパイプライン処理 .....	85
2.8.2.2	複数のマイクロオペレーションに変換される命令とパイプライン処理 .....	87
2.8.2.3	パイプラインの基本動作 .....	90
2.8.3	命令処理時間の計算方法 .....	92
2.8.4	割り込み応答サイクル数 .....	93
3.	動作モード .....	94
3.1	動作モードの種類と選択 .....	94
3.2	レジスタの説明 .....	95
3.2.1	モードモニタレジスタ (MDMONR) .....	95
3.2.2	システムコントロールレジスタ 1 (SYSCR1) .....	96
3.3	動作モードの説明 .....	97
3.3.1	シングルチップモード .....	97
3.3.2	ブートモード .....	97
3.3.2.1	ブートモード (USB インタフェース) .....	97
3.3.2.2	ブートモード (SCI インタフェース) .....	97
3.3.2.3	ブートモード (FINE インタフェース) .....	97
3.4	動作モード遷移 .....	97
3.4.1	モード設定端子のレベルと動作モード遷移 .....	97
4.	アドレス空間 .....	99
4.1	アドレス空間 .....	99
5.	I/O レジスタ .....	101
5.1	I/O レジスタアドレス一覧 (アドレス順) .....	103
6.	リセット .....	126
6.1	概要 .....	126
6.2	レジスタの説明 .....	128
6.2.1	リセットステータスレジスタ 0 (RSTSR0) .....	128
6.2.2	リセットステータスレジスタ 1 (RSTSR1) .....	129
6.2.3	リセットステータスレジスタ 2 (RSTSR2) .....	130
6.2.4	ソフトウェアリセットレジスタ (SWRR) .....	131
6.3	動作説明 .....	132
6.3.1	RES# 端子リセット .....	132
6.3.2	パワーオンリセット .....	132
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット .....	134
6.3.4	独立ウォッチドッグタイマリセット .....	135
6.3.5	ソフトウェアリセット .....	136
6.3.6	コールドスタート / ウォームスタート判定機能 .....	136
6.3.7	リセット発生要因の判定 .....	137

7.	オプション設定メモリ .....	138
7.1	概要 .....	138
7.2	レジスタの説明 .....	139
7.2.1	オプション機能選択レジスタ 0 (OFS0) .....	139
7.2.2	オプション機能選択レジスタ 1 (OFS1) .....	141
7.2.3	エンディアン選択レジスタ (MDE) .....	143
7.3	使用上の注意事項 .....	144
7.3.1	オプション設定メモリの設定例 .....	144
7.3.2	電圧監視 1 リセットと IWDTR リセット併用時の注意事項 .....	144
8.	電圧検出回路 (LVDAa) .....	145
8.1	概要 .....	145
8.2	レジスタの説明 .....	148
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1) .....	148
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR) .....	149
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1) .....	150
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR) .....	151
8.2.5	電圧監視回路制御レジスタ (LVCMPCR) .....	152
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR) .....	153
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0) .....	154
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0) .....	155
8.3	VCC 入力電圧のモニタ .....	156
8.3.1	Vdet1 のモニタ .....	156
8.3.2	Vdet2 のモニタ .....	156
8.4	電圧監視 1 割り込み、電圧監視 1 リセット .....	157
8.5	電圧監視 2 割り込み、電圧監視 2 リセット .....	159
8.6	イベントリンク出力機能 .....	161
8.6.1	割り込み処理とイベントリンクの関係 .....	161
8.7	使用上の注意事項 .....	161
8.7.1	オプション機能選択レジスタ 1 (OFS1) 使用時の注意事項 .....	161
9.	クロック発生回路 .....	162
9.1	概要 .....	162
9.2	レジスタの説明 .....	164
9.2.1	システムクロックコントロールレジスタ (SCKCR) .....	164
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3) .....	166
9.2.3	PLL コントロールレジスタ (PLLCR) .....	167
9.2.4	PLL コントロールレジスタ 2 (PLLCR2) .....	168
9.2.5	USB 専用 PLL コントロールレジスタ (UPLLCR) .....	169
9.2.6	USB 専用 PLL コントロールレジスタ 2 (UPLLCR2) .....	170
9.2.7	メインクロック発振器コントロールレジスタ (MOSCCR) .....	171
9.2.8	サブクロック発振器コントロールレジスタ (SOSCCR) .....	172

9.2.9	低速オンチップオシレータコントロールレジスタ (LOCOCR) .....	173
9.2.10	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR) .....	174
9.2.11	高速オンチップオシレータコントロールレジスタ (HOCOCR) .....	175
9.2.12	発振安定フラグレジスタ (OSCOVFSR) .....	176
9.2.13	発振停止検出コントロールレジスタ (OSTDCR) .....	178
9.2.14	発振停止検出ステータスレジスタ (OSTDSR) .....	179
9.2.15	LCD ソースクロックコントロールレジスタ (LCDSCLKCR) .....	180
9.2.16	LCD ソースクロックコントロールレジスタ 2 (LCDSCLKCR2) .....	181
9.2.17	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) .....	182
9.2.18	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) .....	183
9.2.19	CLKOUT 出力コントロールレジスタ (CKOCR) .....	184
9.2.20	メインクロック発振器強制発振コントロールレジスタ (MOFCR) .....	185
9.3	メインクロック発振器 .....	186
9.3.1	発振子を接続する方法 .....	186
9.3.2	外部クロックを入力する方法 .....	187
9.3.3	メインクロックを使用しない場合の端子処理 .....	187
9.3.4	外部クロック入力に関する注意事項 .....	187
9.4	サブクロック発振器 .....	188
9.4.1	32.768kHz 水晶振動子を接続する方法 .....	188
9.4.2	サブクロックを使用しない場合の端子処理 .....	188
9.5	発振停止検出機能 .....	189
9.5.1	発振停止検出と検出後の動作 .....	189
9.5.2	発振停止検出割り込み .....	190
9.6	PLL 回路 .....	191
9.7	内部クロック .....	191
9.7.1	システムクロック .....	191
9.7.2	周辺モジュールクロック .....	191
9.7.3	FlashIF クロック .....	191
9.7.4	USB クロック .....	192
9.7.5	LCD ソースクロック .....	192
9.7.6	CAC クロック .....	192
9.7.7	RTC 専用クロック .....	192
9.7.8	IWDT 専用クロック .....	192
9.7.9	SSI クロック .....	192
9.7.10	ローパワータイマクロック .....	192
9.8	使用上の注意事項 .....	193
9.8.1	クロック発生回路に関する注意事項 .....	193
9.8.2	SCKCR3 レジスタ書き換え時の注意事項 .....	193
9.8.3	発振子に関する注意事項 .....	193
9.8.4	ボード設計上の注意 .....	194

9.8.5	サブクロックに関する注意事項 .....	195
10.	クロック周波数精度測定回路 (CAC) .....	199
10.1	概要 .....	199
10.2	レジスタの説明 .....	201
10.2.1	CAC コントロールレジスタ 0 (CACR0) .....	201
10.2.2	CAC コントロールレジスタ 1 (CACR1) .....	202
10.2.3	CAC コントロールレジスタ 2 (CACR2) .....	203
10.2.4	CAC 割り込み要求許可レジスタ (CAICR) .....	204
10.2.5	CAC ステータスレジスタ (CASTR) .....	205
10.2.6	CAC 上限値設定レジスタ (CAULVR) .....	206
10.2.7	CAC 下限値設定レジスタ (CALLVR) .....	206
10.2.8	CAC カウンタバッファレジスタ (CACNTBR) .....	206
10.3	動作説明 .....	207
10.3.1	クロック周波数測定 .....	207
10.3.2	CACREF 端子のデジタルフィルタ機能 .....	208
10.4	割り込み要求 .....	208
10.5	使用上の注意事項 .....	209
10.5.1	モジュールストップ機能の設定 .....	209
11.	消費電力低減機能 .....	210
11.1	概要 .....	210
11.2	レジスタの説明 .....	214
11.2.1	スタンバイコントロールレジスタ (SBYCR) .....	214
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA) .....	215
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB) .....	216
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC) .....	218
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD) .....	219
11.2.6	動作電力コントロールレジスタ (OPCCR) .....	220
11.2.7	サブ動作電力コントロールレジスタ (SOPCCR) .....	221
11.2.8	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) .....	226
11.3	クロックの切り替えによる消費電力の低減 .....	228
11.4	モジュールストップ機能 .....	228
11.5	動作電力低減機能 .....	228
11.5.1	動作電力制御モード設定方法 .....	228
11.6	低消費電力状態 .....	230
11.6.1	スリープモード .....	230
11.6.1.1	スリープモードへの移行 .....	230
11.6.1.2	スリープモードの解除 .....	231
11.6.1.3	スリープモード復帰クロックソース切り替え機能 .....	231
11.6.2	ディープスリープモード .....	232
11.6.2.1	ディープスリープモードへの遷移 .....	232



11.6.2.2	ディープスリープモードの解除 .....	233
11.6.3	ソフトウェアスタンバイモード .....	234
11.6.3.1	ソフトウェアスタンバイモードへの移行 .....	234
11.6.3.2	ソフトウェアスタンバイモードの解除 .....	235
11.6.3.3	ソフトウェアスタンバイモードの応用例 .....	236
11.7	使用上の注意事項 .....	237
11.7.1	I/O ポートの状態 .....	237
11.7.2	DTC のモジュールストップ .....	237
11.7.3	内蔵周辺モジュールの割り込み .....	237
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み .....	237
11.7.5	WAIT 命令の実行タイミング .....	237
11.7.6	スリープモード中の DTC によるレジスタの書き換えについて .....	237
12.	レジスタライトプロテクション機能 .....	238
12.1	レジスタの説明 .....	239
12.1.1	プロテクトレジスタ (PRCR) .....	239
13.	例外処理 .....	240
13.1	例外事象 .....	240
13.1.1	未定義命令例外 .....	241
13.1.2	特権命令例外 .....	241
13.1.3	リセット .....	241
13.1.4	ノンマスカブル割り込み .....	241
13.1.5	割り込み .....	241
13.1.6	無条件トラップ .....	241
13.2	例外の処理手順 .....	242
13.3	例外事象の受け付け .....	244
13.3.1	受け付けタイミングと退避される PC 値 .....	244
13.3.2	ベクタと PC、PSW の退避場所 .....	244
13.4	例外の受け付け / 復帰時のハードウェア処理 .....	245
13.5	ハードウェア前処理 .....	246
13.5.1	未定義命令例外 .....	246
13.5.2	特権命令例外 .....	246
13.5.3	リセット .....	246
13.5.4	ノンマスカブル割り込み .....	247
13.5.5	割り込み .....	247
13.5.6	無条件トラップ .....	247
13.6	例外処理ルーチンからの復帰 .....	248
13.7	例外事象の優先順位 .....	248
14.	割り込みコントローラ (ICUb) .....	249
14.1	概要 .....	249
14.2	レジスタの説明 .....	251

14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	251
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	252
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 249)	253
14.2.4	高速割り込み設定レジスタ (FIR)	254
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	255
14.2.6	DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	256
14.2.7	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	257
14.2.8	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	258
14.2.9	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	259
14.2.10	ノンマスクابل割り込みステータスレジスタ (NMISR)	260
14.2.11	ノンマスクابل割り込み許可レジスタ (NMIER)	262
14.2.12	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	263
14.2.13	NMI 端子割り込みコントロールレジスタ (NMICR)	264
14.2.14	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	264
14.2.15	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	265
14.3	ベクタテーブル	266
14.3.1	割り込みのベクタテーブル	266
14.3.2	高速割り込みのベクタテーブル	273
14.3.3	ノンマスクابل割り込みのベクタテーブル	273
14.4	割り込みの動作説明	273
14.4.1	割り込み検出	273
14.4.1.1	エッジ検出の割り込みステータスフラグ	273
14.4.1.2	レベル検出の割り込みステータスフラグ	275
14.4.2	割り込み要求の許可 / 禁止	276
14.4.3	割り込み要求先の選択	276
14.4.4	優先順位の判定	277
14.4.5	多重割り込み	277
14.4.6	高速割り込み	278
14.4.7	デジタルフィルタ	278
14.4.8	外部端子割り込み	279
14.5	ノンマスクابل割り込みの動作説明	280
14.6	低消費電力状態からの復帰	281
14.6.1	スリープモードおよびディープスリープモードからの復帰	281
14.6.2	ソフトウェアスタンバイモードからの復帰	281
14.7	使用上の注意事項	281
14.7.1	ノンマスクابل割り込み使用時の WAIT 命令の注意事項	281
15.	バス	282
15.1	概要	282
15.2	バスの説明	284
15.2.1	CPU バス	284

15.2.2	メモリバス .....	284
15.2.3	内部メインバス .....	284
15.2.4	内部周辺バス .....	285
15.2.5	ライトバッファ機能（内部周辺バス） .....	286
15.2.6	並列動作 .....	287
15.2.7	制約事項 .....	287
15.3	レジスタの説明 .....	288
15.3.1	バスエラーステータスクリアレジスタ（BERCLR） .....	288
15.3.2	バスエラー監視許可レジスタ（BEREN） .....	288
15.3.3	バスエラーステータスレジスタ 1（BERSR1） .....	289
15.3.4	バスエラーステータスレジスタ 2（BERSR2） .....	289
15.3.5	バスプライオリティ制御レジスタ（BUSPRI） .....	290
15.4	バスエラー監視部 .....	292
15.4.1	バスエラーの種類 .....	292
15.4.1.1	不正アドレスアクセス .....	292
15.4.1.2	タイムアウト .....	292
15.4.2	バスエラー発生時の動作 .....	292
15.4.3	バスエラーの発生条件 .....	293
16.	データトランスファコントローラ（DTCa） .....	294
16.1	概要 .....	294
16.2	レジスタの説明 .....	296
16.2.1	DTC モードレジスタ A（MRA） .....	296
16.2.2	DTC モードレジスタ B（MRB） .....	297
16.2.3	DTC 転送元レジスタ（SAR） .....	298
16.2.4	DTC 転送先レジスタ（DAR） .....	298
16.2.5	DTC 転送カウントレジスタ A（CRA） .....	299
16.2.6	DTC 転送カウントレジスタ B（CRB） .....	300
16.2.7	DTC コントロールレジスタ（DTCCR） .....	300
16.2.8	DTC ベクタベースレジスタ（DTCVBR） .....	301
16.2.9	DTC アドレスモードレジスタ（DTCADM0D） .....	301
16.2.10	DTC モジュール起動レジスタ（DTCST） .....	302
16.2.11	DTC ステータスレジスタ（DTCSTS） .....	303
16.3	起動要因 .....	304
16.3.1	転送情報の配置と DTC ベクタテーブル .....	304
16.4	動作説明 .....	306
16.4.1	転送情報リードスキップ機能 .....	308
16.4.2	転送情報ライトバックスキップ機能 .....	309
16.4.3	ノーマル転送モード .....	310
16.4.4	リピート転送モード .....	311
16.4.5	ブロック転送モード .....	312

16.4.6	チェーン転送 .....	313
16.4.7	動作タイミング .....	314
16.4.8	DTC の実行サイクル .....	317
16.4.9	DTC のバス権解放タイミング .....	317
16.5	DTC の設定手順 .....	318
16.6	DTC 使用例 .....	319
16.6.1	ノーマル転送 .....	319
16.6.2	カウンタが“0”のときのチェーン転送 .....	320
16.7	割り込み要因 .....	321
16.8	イベントリンク .....	321
16.9	消費電力低減機能 .....	322
16.10	使用上の注意事項 .....	323
16.10.1	転送情報先頭アドレス .....	323
16.10.2	転送情報の配置 .....	323
17.	イベントリンクコントローラ (ELC) .....	324
17.1	概要 .....	324
17.2	レジスタの説明 .....	325
17.2.1	イベントリンクコントロールレジスタ (ELCR) .....	325
17.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 1 ~ 4, 7, 10, 12, 14, 15, 17 ~ 20, 22, 24, 25) .....	326
17.2.3	イベントリンクオプション設定レジスタ A (ELOPA) .....	328
17.2.4	イベントリンクオプション設定レジスタ B (ELOPB) .....	328
17.2.5	イベントリンクオプション設定レジスタ C (ELOPC) .....	329
17.2.6	イベントリンクオプション設定レジスタ D (ELOPD) .....	329
17.2.7	ポートグループ指定レジスタ 1 (PGR1) .....	330
17.2.8	ポートグループコントロールレジスタ 1 (PGC1) .....	331
17.2.9	ポートバッファレジスタ 1 (PDBF1) .....	332
17.2.10	イベント接続ポート指定レジスタ m (PELm) (m = 0, 1) .....	333
17.2.11	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR) .....	334
17.3	動作説明 .....	335
17.3.1	割り込み処理とイベントリンクの関係 .....	335
17.3.2	イベントのリンク .....	336
17.3.3	タイマ系周辺モジュールのイベント信号入力時の動作 .....	337
17.3.4	A/D コンバータ、D/A コンバータのイベント信号入力時の動作 .....	337
17.3.5	I/O ポートのイベント信号入力時の動作とイベント生成 .....	337
17.3.6	イベントリンクの動作設定手順例 .....	341
17.4	使用上の注意事項 .....	342
17.4.1	ELSRn レジスタの設定について .....	342
17.4.2	出力ポートグループのビットローテート動作の設定について .....	342
17.4.3	DTC 転送終了のイベント信号使用時の注意事項 .....	342

17.4.4	クロック設定について .....	342
17.4.5	モジュールストップ機能の設定 .....	342
18.	I/Oポート .....	343
18.1	概要 .....	343
18.2	入出力ポートの構成 .....	345
18.3	レジスタの説明 .....	353
18.3.1	ポート方向レジスタ (PDR) .....	353
18.3.2	ポート出力データレジスタ (PODR) .....	354
18.3.3	ポート入力データレジスタ (PIDR) .....	355
18.3.4	ポートモードレジスタ (PMR) .....	356
18.3.5	オープンドレイン制御レジスタ 0 (ODR0) .....	357
18.3.6	オープンドレイン制御レジスタ 1 (ODR1) .....	358
18.3.7	プルアップ制御レジスタ (PCR) .....	359
18.3.8	ポート切り替えレジスタ A (PSRA) .....	360
18.4	ポート方向レジスタ (PDR) の初期化 .....	361
18.5	未使用端子の処理 .....	362
19.	マルチファンクションピンコントローラ (MPC) .....	363
19.1	概要 .....	363
19.2	レジスタの説明 .....	373
19.2.1	書き込みプロテクトレジスタ (PWPR) .....	373
19.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 2, 4, 7) .....	374
19.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 0 ~ 7) .....	375
19.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7) .....	377
19.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 2) .....	379
19.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 4, 6) .....	381
19.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6) .....	382
19.2.8	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 2) .....	383
19.2.9	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7) .....	384
19.2.10	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7) .....	386
19.2.11	PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7) .....	388
19.2.12	PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 4) .....	390
19.2.13	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7) .....	391
19.2.14	PFn 端子機能制御レジスタ (PFnPFS) (n = 6, 7) .....	392
19.2.15	PJn 端子機能制御レジスタ (PJnPFS) (n = 0, 2, 3, 6, 7) .....	393
19.3	使用上の注意事項 .....	394
19.3.1	端子入出力機能設定手順 .....	394
19.3.2	MPC レジスタ設定する場合の注意事項 .....	394
19.3.3	アナログ機能を使う場合の注意事項 .....	395
19.3.4	LCD コントローラ/ドライバ (LCDC) 機能を使う場合の注意事項 .....	395
19.3.5	静電容量式タッチセンサ (CTSUS) 機能を使う場合の注意事項 .....	395

20.	マルチファンクションタイマパルスユニット 2 (MTU2a)	396
20.1	概要	396
20.2	レジスタの説明	402
20.2.1	タイマコントロールレジスタ (TCR)	402
20.2.2	タイマモードレジスタ (TMDR)	405
20.2.3	タイマ I/O コントロールレジスタ (TIOR)	407
20.2.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	418
20.2.5	タイマ割り込み許可レジスタ (TIER)	419
20.2.6	タイマステータスレジスタ (TSR)	422
20.2.7	タイマバッファ動作転送モードレジスタ (TBTM)	423
20.2.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	424
20.2.9	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	425
20.2.10	タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA, TADCORB)	426
20.2.11	タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA, TADCOBRB)	427
20.2.12	タイマカウンタ (TCNT)	427
20.2.13	タイマジェネラルレジスタ (TGR)	428
20.2.14	タイマスタートレジスタ (TSTR)	429
20.2.15	タイマシンクロレジスタ (TSYR)	430
20.2.16	タイマリードライト許可レジスタ (TRWER)	431
20.2.17	タイマアウトプットマスタ許可レジスタ (TOER)	432
20.2.18	タイマアウトプットコントロールレジスタ 1 (TOCR1)	433
20.2.19	タイマアウトプットコントロールレジスタ 2 (TOCR2)	435
20.2.20	タイマアウトプットレベルバッファレジスタ (TOLBR)	437
20.2.21	タイマゲートコントロールレジスタ (TGCR)	438
20.2.22	タイマサブカウンタ (TCNTS)	439
20.2.23	タイマデッドタイムデータレジスタ (TDDR)	439
20.2.24	タイマ周期データレジスタ (TCDR)	440
20.2.25	タイマ周期バッファレジスタ (TCBR)	440
20.2.26	タイマ割り込み間引き設定レジスタ (TITCR)	441
20.2.27	タイマ割り込み間引き回数カウンタ (TITCNT)	442
20.2.28	タイマバッファ転送設定レジスタ (TBTER)	443
20.2.29	タイマデッドタイム許可レジスタ (TDER)	444
20.2.30	タイマ波形コントロールレジスタ (TWCR)	445
20.2.31	ノイズフィルタコントロールレジスタ (NFCR)	446
20.2.32	バスマスタとのインタフェース	449
20.3	動作説明	450
20.3.1	基本動作	450
20.3.2	同期動作	456
20.3.3	バッファ動作	458
20.3.4	カスケード接続動作	463

20.3.5	PWM モード .....	468
20.3.6	位相計数モード .....	472
20.3.7	リセット同期 PWM モード .....	478
20.3.8	相補 PWM モード .....	481
20.3.9	A/D 変換開始要求ディレイド機能 .....	512
20.3.10	外部パルス幅測定機能 .....	516
20.3.11	デッドタイム補償用機能 .....	517
20.3.12	ノイズフィルタ機能 .....	519
20.4	割り込み要因 .....	520
20.4.1	割り込み要因と優先順位 .....	520
20.4.2	DTC の起動 .....	522
20.4.3	A/D コンバータの起動 .....	522
20.5	動作タイミング .....	524
20.5.1	入出力タイミング .....	524
20.5.2	割り込み信号タイミング .....	530
20.6	使用上の注意事項 .....	533
20.6.1	モジュールストップ機能の設定 .....	533
20.6.2	カウントクロックの制限事項 .....	533
20.6.3	周期設定上の注意事項 .....	534
20.6.4	TCNT カウンタの書き込みとクリアの競合 .....	534
20.6.5	TCNT カウンタの書き込みとカウントアップの競合 .....	535
20.6.6	TGR レジスタの書き込みとコンペアマッチの競合 .....	535
20.6.7	バッファレジスタの書き込みとコンペアマッチの競合 .....	536
20.6.8	バッファレジスタの書き込みと TCNT カウンタクリアの競合 .....	536
20.6.9	TGR レジスタの読み出しとインプットキャプチャの競合 .....	537
20.6.10	TGR レジスタの書き込みとインプットキャプチャの競合 .....	538
20.6.11	バッファレジスタの書き込みとインプットキャプチャの競合 .....	539
20.6.12	カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/ アンダフローの競合 .....	540
20.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値 .....	541
20.6.14	相補 PWM モードでのバッファ動作の設定 .....	541
20.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ .....	542
20.6.16	リセット同期 PWM モードのオーバフローフラグ .....	543
20.6.17	オーバフロー/アンダフローとカウンタクリアの競合 .....	544
20.6.18	TCNT カウンタの書き込みとオーバフロー/アンダフローの競合 .....	544
20.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ 遷移する場合の注意事項 .....	545
20.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル .....	545
20.6.21	モジュールストップ状態時の割り込み .....	545
20.6.22	カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時インプット キャプチャ .....	545

20.6.23	相補 PWM モードの出力保護機能未使用時の注意事項 .....	546
20.6.24	MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項 .....	546
20.6.25	相補 PWM モード同期クリアするときの異常動作防止について .....	547
20.6.26	コンペアマッチによる割り込み信号の連続出力 .....	549
20.6.27	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項 .....	549
20.7	MTU 出力端子の初期化方法 .....	551
20.7.1	動作モード .....	551
20.7.2	動作中の異常などによる再設定時の動作 .....	551
20.7.3	動作中の異常などによる端子の初期化手順、モード遷移の概要 .....	552
20.8	ELC によるリンク動作 .....	579
20.8.1	ELC へのイベント信号出力 .....	579
20.8.2	ELC からのイベント信号受信による MTU の動作 .....	579
20.8.3	ELC からのイベント信号受信による MTU の注意事項 .....	580
21.	ポートアウトプットイネーブル 2 (POE2a) .....	581
21.1	概要 .....	581
21.2	レジスタの説明 .....	584
21.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1) .....	584
21.2.2	出力レベルコントロール/ステータスレジスタ 1 (OCSR1) .....	586
21.2.3	入力レベルコントロール/ステータスレジスタ 2 (ICSR2) .....	587
21.2.4	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) .....	588
21.2.5	ポートアウトプットイネーブルコントロールレジスタ 1 (POECSR1) .....	589
21.2.6	ポートアウトプットイネーブルコントロールレジスタ 2 (POECSR2) .....	590
21.2.7	入力レベルコントロール/ステータスレジスタ 3 (ICSR3) .....	591
21.3	動作説明 .....	592
21.3.1	入力レベル検出動作 .....	594
21.3.2	出力レベル比較動作 .....	595
21.3.3	レジスタによるハイインピーダンス制御 .....	596
21.3.4	発振停止検出によるハイインピーダンス制御 .....	596
21.3.5	ハイインピーダンスからの解除 .....	596
21.4	割り込み .....	597
21.5	使用上の注意事項 .....	597
21.5.1	ソフトウェアスタンバイモードへの移行について .....	597
21.5.2	POE を使用しない場合について .....	597
21.5.3	端子の MTU 機能設定について .....	597
22.	8 ビットタイマ (TMR) .....	598
22.1	概要 .....	598
22.2	レジスタの説明 .....	603
22.2.1	タイマカウンタ (TCNT) .....	603
22.2.2	タイムコンスタントレジスタ A (TCORA) .....	604
22.2.3	タイムコンスタントレジスタ B (TCORB) .....	604



22.2.4	タイマコントロールレジスタ (TCR) .....	605
22.2.5	タイマカウンタコントロールレジスタ (TCCR) .....	606
22.2.6	タイマコントロール/ステータスレジスタ (TCSR) .....	608
22.2.7	タイマカウンタスタートレジスタ (TCSTR) .....	610
22.3	動作説明 .....	611
22.3.1	パルス出力 .....	611
22.3.2	外部カウンタリセット入力 .....	612
22.4	動作タイミング .....	613
22.4.1	TCNT カウンタのカウンタタイミング .....	613
22.4.2	コンペアマッチ時の割り込みタイミング .....	614
22.4.3	コンペアマッチ時の出力信号タイミング .....	614
22.4.4	コンペアマッチによるカウンタクリアタイミング .....	615
22.4.5	TCNT カウンタの外部リセットタイミング .....	615
22.4.6	オーバフローによる割り込みタイミング .....	616
22.5	カスケード接続時の動作 .....	617
22.5.1	16 ビットカウントモード .....	617
22.5.2	コンペアマッチカウントモード .....	617
22.6	割り込み要因 .....	618
22.6.1	割り込み要因と DTC 起動 .....	618
22.7	ELC によるリンク動作 .....	619
22.7.1	ELC へのイベント信号出力 .....	619
22.7.2	ELC からのイベント信号受信による TMR 動作 .....	619
22.7.3	ELC からのイベント信号受信による TMR の注意事項 .....	620
22.8	使用上の注意事項 .....	621
22.8.1	モジュールストップ機能の設定 .....	621
22.8.2	周期設定上の注意 .....	621
22.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合 .....	621
22.8.4	TCNT カウンタへの書き込みとカウントアップの競合 .....	622
22.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合 .....	622
22.8.6	コンペアマッチ A、B の競合 .....	623
22.8.7	内部クロックの切り替えと TCNT カウンタの動作 .....	623
22.8.8	カスケード接続時のクロックソース設定 .....	625
22.8.9	コンペアマッチ割り込みの連続出力 .....	625
23.	コンペアマッチタイマ (CMT) .....	626
23.1	概要 .....	626
23.2	レジスタの説明 .....	627
23.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0) .....	627
23.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1) .....	627
23.2.3	コンペアマッチタイマコントロールレジスタ (CMCR) .....	628
23.2.4	コンペアマッチタイマカウンタ (CMCNT) .....	629

23.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR) .....	629
23.3	動作説明 .....	630
23.3.1	周期カウント動作 .....	630
23.3.2	CMCNT カウンタのカウントタイミング .....	630
23.4	割り込み .....	631
23.4.1	割り込み要因 .....	631
23.4.2	コンペアマッチ割り込みの発生タイミング .....	631
23.5	ELC によるリンク動作 .....	632
23.5.1	ELC へのイベント信号出力 .....	632
23.5.2	ELC からのイベント信号受信による CMT の動作 .....	632
23.5.3	ELC からのイベント信号受信による CMT の注意事項 .....	632
23.6	使用上の注意事項 .....	633
23.6.1	モジュールストップ機能の設定 .....	633
23.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合 .....	633
23.6.3	CMCNT カウンタへの書き込みとカウントアップの競合 .....	633
24.	リアルタイムクロック (RTCA) .....	634
24.1	概要 .....	634
24.2	レジスタの説明 .....	636
24.2.1	64Hz カウンタ (R64CNT) .....	636
24.2.2	秒カウンタ (RSECCNT)/ バイナリカウンタ 0 (BCNT0) .....	637
24.2.3	分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1) .....	638
24.2.4	時カウンタ (RHRCNT)/ バイナリカウンタ 2 (BCNT2) .....	639
24.2.5	曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3) .....	640
24.2.6	日カウンタ (RDAYCNT) .....	641
24.2.7	月カウンタ (RMONCNT) .....	642
24.2.8	年カウンタ (RYRCNT) .....	643
24.2.9	秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR) .....	644
24.2.10	分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR) .....	645
24.2.11	時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR) .....	646
24.2.12	曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR) .....	648
24.2.13	日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER) .....	649
24.2.14	月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER) .....	650
24.2.15	年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER) .....	651
24.2.16	年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER) .....	652
24.2.17	RTC コントロールレジスタ 1 (RCR1) .....	653

24.2.18	RTC コントロールレジスタ 2 (RCR2) .....	655
24.2.19	RTC コントロールレジスタ 3 (RCR3) .....	658
24.2.19.1	32.768kHz 水晶振動子の使用に関する注意事項 .....	658
24.2.20	時間誤差補正レジスタ (RADJ) .....	659
24.3	動作説明 .....	660
24.3.1	電源投入後のレジスタの初期設定概要 .....	660
24.3.2	クロックとカウントモード設定手順 .....	661
24.3.3	時刻設定手順 .....	662
24.3.4	30 秒調整手順 .....	662
24.3.5	64Hz カウンタおよび時刻読み出し手順 .....	663
24.3.6	アラーム機能 .....	664
24.3.7	アラーム割り込み禁止手順 .....	665
24.3.8	時計誤差補正機能 .....	665
24.3.8.1	自動補正機能 .....	666
24.3.8.2	ソフトウェアによる補正 .....	667
24.3.8.3	補正モードの変更手順 .....	667
24.3.8.4	補正機能の停止手順 .....	667
24.4	割り込み要因 .....	668
24.5	使用上の注意事項 .....	670
24.5.1	カウント動作時のレジスタ書き込みについて .....	670
24.5.2	周期割り込みの使用について .....	670
24.5.3	RTCCOUT (1Hz/64Hz) 出力について .....	670
24.5.4	レジスタ設定後の低消費電力モード移行について .....	671
24.5.5	レジスタの書き込み / 読み出し時の注意事項 .....	671
24.5.6	カウントモードの変更について .....	671
24.5.7	リアルタイムクロックを使用しない場合の初期化手順 .....	672
25.	ローパワータイマ (LPT) .....	673
25.1	概要 .....	673
25.2	レジスタの説明 .....	674
25.2.1	ローパワータイマコントロールレジスタ 1 (LPTCR1) .....	674
25.2.2	ローパワータイマコントロールレジスタ 2 (LPTCR2) .....	676
25.2.3	ローパワータイマコントロールレジスタ 3 (LPTCR3) .....	677
25.2.4	ローパワータイマ周期設定レジスタ (LPTPRD) .....	678
25.2.5	ローパワータイマコンペアレジスタ 0 (LPCMR0) .....	680
25.2.6	ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR) .....	681
25.3	動作説明 .....	682
25.3.1	周期カウント動作 .....	682
25.3.2	ローパワータイマカウンタのカウントタイミング .....	684
25.3.3	ローパワータイマカウンタのクリアタイミング .....	684
25.4	イベントリンクコントローラ (ELC) を介した割り込みによるソフトウェアスタンバイ	

	モードの解除について .....	685
25.5	使用上の注意事項 .....	685
25.5.1	ソフトウェアスタンバイモードへの遷移に関する注意事項について .....	685
26.	<b>独立ウォッチドッグタイマ (IWDtA)</b> .....	<b>686</b>
26.1	概要 .....	686
26.2	レジスタの説明 .....	688
26.2.1	IWDT リフレッシュレジスタ (IWDTRR) .....	688
26.2.2	IWDT コントロールレジスタ (IWDTCR) .....	689
26.2.3	IWDT ステータスレジスタ (IWDTSR) .....	692
26.2.4	IWDT リセットコントロールレジスタ (IWDTRCR) .....	693
26.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR) .....	694
26.2.6	オプション機能選択レジスタ 0 (OFS0) .....	694
26.3	動作説明 .....	695
26.3.1	カウント開始条件別の各動作 .....	695
26.3.1.1	レジスタスタートモード .....	695
26.3.1.2	オートスタートモード .....	697
26.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御 .....	699
26.3.3	リフレッシュ動作 .....	700
26.3.4	ステータスフラグ .....	702
26.3.5	リセット出力 .....	702
26.3.6	割り込み要因 .....	702
26.3.7	カウンタ値の読み出し .....	703
26.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応 .....	704
26.4	使用上の注意事項 .....	704
26.4.1	リフレッシュ動作について .....	704
26.4.2	クロック分周比の設定 .....	704
26.4.3	電圧監視 1 リセットと IWDT リセット併用時の注意事項 .....	704
27.	<b>USB2.0 ホスト / ファンクションモジュール (USBc)</b> .....	<b>705</b>
27.1	概要 .....	705
27.2	レジスタの説明 .....	707
27.2.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG) .....	707
27.2.2	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0) .....	710
27.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0) .....	711
27.2.4	CFIFO ポートレジスタ (CFIFO)、 DOFIFO ポートレジスタ (DOFIFO)、 D1FIFO ポートレジスタ (D1FIFO) .....	714
27.2.5	CFIFO ポート選択レジスタ (CFIFOSEL)、 DOFIFO ポート選択レジスタ (DOFIFOSEL)、 D1FIFO ポート選択レジスタ (D1FIFOSEL) .....	716
27.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR)、 DOFIFO ポートコントロールレジスタ (DOFIFOCTR)、 D1FIFO ポートコントロールレジスタ (D1FIFOCTR) .....	720

27.2.7	割り込み許可レジスタ 0 (INTENB0) .....	722
27.2.8	割り込み許可レジスタ 1 (INTENB1) .....	723
27.2.9	BRDY 割り込み許可レジスタ (BRDYENB) .....	724
27.2.10	NRDY 割り込み許可レジスタ (NRDYENB) .....	725
27.2.11	BEMP 割り込み許可レジスタ (BEMPENB) .....	726
27.2.12	SOF 出力コンフィギュレーションレジスタ (SOFCFG) .....	727
27.2.13	割り込みステータスレジスタ 0 (INTSTS0) .....	728
27.2.14	割り込みステータスレジスタ 1 (INTSTS1) .....	731
27.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS) .....	734
27.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS) .....	735
27.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS) .....	736
27.2.18	フレームナンバレジスタ (FRMNUM) .....	737
27.2.19	USB リクエストタイプレジスタ (USBREQ) .....	738
27.2.20	USB リクエストバリュージスタ (USBVAL) .....	739
27.2.21	USB リクエストインデックスレジスタ (USBINDX) .....	739
27.2.22	USB リクエストレングスレジスタ (USBLENG) .....	740
27.2.23	DCP コンフィギュレーションレジスタ (DCPCFG) .....	741
27.2.24	DCP マックスパケットサイズレジスタ (DCPMAXP) .....	742
27.2.25	DCP コントロールレジスタ (DCPCTR) .....	743
27.2.26	パイプウィンドウ選択レジスタ (PIPESEL) .....	747
27.2.27	パイプコンフィギュレーションレジスタ (PIPECFG) .....	748
27.2.28	パイプマックスパケットサイズレジスタ (PIPEMAXP) .....	750
27.2.29	パイプ周期制御レジスタ (PIPEPERI) .....	751
27.2.30	パイプ n コントロールレジスタ (PIPE <sub>n</sub> CTR) (n = 1 ~ 9) .....	752
27.2.31	パイプ n トランザクションカウンタイネーブルレジスタ (PIPE <sub>n</sub> TRE) (n = 1 ~ 5) .....	760
27.2.32	パイプ n トランザクションカウンタレジスタ (PIPE <sub>n</sub> TRN) (n = 1 ~ 5) .....	761
27.2.33	デバイスアドレス n コンフィギュレーションレジスタ (DEVADD <sub>n</sub> ) (n = 0 ~ 5) .....	762
27.2.34	USB モジュール制御レジスタ (USBMC) .....	763
27.2.35	BC コントロールレジスタ 0 (USBBCCTRL0) .....	764
27.3	動作説明 .....	766
27.3.1	システム制御 .....	766
27.3.1.1	USB 関連レジスタの設定 .....	766
27.3.1.2	コントローラ機能の選択設定 .....	766
27.3.1.3	USB データバス抵抗制御 .....	766
27.3.1.4	USB 外部接続回路例 .....	767
27.3.2	割り込み要因 .....	772
27.3.3	割り込みの説明 .....	774
27.3.3.1	BRDY 割り込み .....	774
27.3.3.2	NRDY 割り込み .....	778

27.3.3.3	BEMP 割り込み .....	780
27.3.3.4	デバイスステート遷移割り込み .....	782
27.3.3.5	コントロール転送ステージ遷移割り込み .....	783
27.3.3.6	フレーム番号更新割り込み .....	784
27.3.3.7	VBUS 割り込み .....	784
27.3.3.8	レジューム割り込み .....	784
27.3.3.9	OVRCCR 割り込み .....	784
27.3.3.10	BCHG 割り込み .....	785
27.3.3.11	DTCH 割り込み .....	785
27.3.3.12	SACK 割り込み .....	785
27.3.3.13	SIGN 割り込み .....	785
27.3.3.14	ATTCH 割り込み .....	785
27.3.3.15	EOFERR 割り込み .....	785
27.3.3.16	PortableDevice 検知割り込み .....	786
27.3.4	パイプコントロール .....	787
27.3.4.1	パイプコントロールレジスタの切り替え手順 .....	788
27.3.4.2	転送タイプ .....	788
27.3.4.3	エンドポイント番号 .....	789
27.3.4.4	マックスパケットサイズ設定 .....	789
27.3.4.5	トランザクションカウンタ (パイプ 1 ~ 5 読み出し方向) .....	789
27.3.4.6	応答 PID .....	790
27.3.4.7	データ PID シーケンスビット .....	791
27.3.4.8	応答 PID = NAK 機能 .....	791
27.3.4.9	自動応答モード .....	791
27.3.4.10	OUT-NAK モード .....	791
27.3.4.11	Null 自動応答モード .....	792
27.3.5	FIFO バッファメモリ .....	792
27.3.5.1	FIFO バッファメモリ .....	792
27.3.5.2	FIFO バッファクリア .....	793
27.3.5.3	FIFO ポートの機能 .....	794
27.3.6	DCP を使用したコントロール転送 .....	796
27.3.6.1	ホストコントローラ機能選択時のコントロール転送 .....	796
27.3.6.2	ファンクションコントローラ機能選択時のコントロール転送 .....	797
27.3.7	バルク転送 (パイプ 1 ~ 5) .....	798
27.3.8	インタラプト転送 (パイプ 6 ~ 9) .....	799
27.3.8.1	ホストコントローラ機能選択時のインタラプト転送時の インターバルカウンタ .....	799
27.3.9	アイソクロナス転送 (パイプ 1、2) .....	800
27.3.9.1	アイソクロナス転送のエラー検出 .....	800
27.3.9.2	データ PID .....	801
27.3.9.3	インターバルカウンタ .....	801

27.3.10	SOF 補完機能 .....	807
27.3.11	パイプスケジュール .....	807
27.3.11.1	トランザクション発行条件 .....	807
27.3.11.2	転送スケジュール .....	808
27.3.11.3	USB 通信許可 .....	808
27.4	使用上の注意事項 .....	808
27.4.1	モジュールストップ機能の設定 .....	808
27.5	Battery Charging 検知処理 .....	809
27.5.1	ファンクションコントローラ時の処理 .....	809
27.5.2	ホストコントローラ時の処理 .....	811
28.	シリアルコミュニケーションインタフェース (SCle, SCIf) .....	814
28.1	概要 .....	814
28.2	レジスタの説明 .....	823
28.2.1	レシーブシフトレジスタ (RSR) .....	823
28.2.2	レシーブデータレジスタ (RDR) .....	823
28.2.3	トランスミットデータレジスタ (TDR) .....	824
28.2.4	トランスミットシフトレジスタ (TSR) .....	824
28.2.5	シリアルモードレジスタ (SMR) .....	825
28.2.6	シリアルコントロールレジスタ (SCR) .....	829
28.2.7	シリアルステータスレジスタ (SSR) .....	833
28.2.8	スマートカードモードレジスタ (SCMR) .....	838
28.2.9	ビットレートレジスタ (BRR) .....	840
28.2.10	シリアル拡張モードレジスタ (SEMR) .....	847
28.2.11	ノイズフィルタ設定レジスタ (SNFR) .....	849
28.2.12	I <sup>2</sup> C モードレジスタ 1 (SIMR1) .....	850
28.2.13	I <sup>2</sup> C モードレジスタ 2 (SIMR2) .....	851
28.2.14	I <sup>2</sup> C モードレジスタ 3 (SIMR3) .....	852
28.2.15	I <sup>2</sup> C ステータスレジスタ (SISR) .....	854
28.2.16	SPI モードレジスタ (SPMR) .....	855
28.2.17	拡張シリアルモード有効レジスタ (ESMER) .....	856
28.2.18	コントロールレジスタ 0 (CR0) .....	857
28.2.19	コントロールレジスタ 1 (CR1) .....	857
28.2.20	コントロールレジスタ 2 (CR2) .....	858
28.2.21	コントロールレジスタ 3 (CR3) .....	859
28.2.22	ポートコントロールレジスタ (PCR) .....	859
28.2.23	割り込みコントロールレジスタ (ICR) .....	860
28.2.24	ステータスレジスタ (STR) .....	861
28.2.25	ステータスクリアレジスタ (STCR) .....	862
28.2.26	Control Field 0 データレジスタ (CF0DR) .....	862
28.2.27	Control Field 0 コンペアイネーブルレジスタ (CF0CR) .....	863

28.2.28	Control Field 0 受信データレジスタ (CF0RR) .....	863
28.2.29	プライマリ Control Field 1 データレジスタ (PCF1DR) .....	863
28.2.30	セカンダリ Control Field 1 データレジスタ (SCF1DR) .....	864
28.2.31	Control Field 1 コンペアイネーブルレジスタ (CF1CR) .....	864
28.2.32	Control Field 1 受信データレジスタ (CF1RR) .....	864
28.2.33	タイマコントロールレジスタ (TCR) .....	865
28.2.34	タイマモードレジスタ (TMR) .....	865
28.2.35	タイマプリスケアラレジスタ (TPRE) .....	866
28.2.36	タイマカウントレジスタ (TCNT) .....	866
28.3	調歩同期式モードの動作 .....	867
28.3.1	シリアル送信 / 受信フォーマット .....	867
28.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	869
28.3.3	クロック .....	870
28.3.4	CTS、RTS 機能 .....	870
28.3.5	SCI の初期化 ( 調歩同期式モード ) .....	871
28.3.6	シリアルデータの送信 ( 調歩同期式モード ) .....	873
28.3.7	シリアルデータの受信 ( 調歩同期式モード ) .....	876
28.4	マルチプロセッサ通信機能 .....	880
28.4.1	マルチプロセッサシリアルデータ送信 .....	881
28.4.2	マルチプロセッサシリアルデータ受信 .....	882
28.5	クロック同期式モードの動作 .....	885
28.5.1	クロック .....	885
28.5.2	CTS、RTS 機能 .....	886
28.5.3	SCI の初期化 ( クロック同期式モード ) .....	887
28.5.4	シリアルデータの送信 ( クロック同期式モード ) .....	888
28.5.5	シリアルデータの受信 ( クロック同期式モード ) .....	892
28.5.6	シリアルデータの送受信同時動作 ( クロック同期式モード ) .....	895
28.6	スマートカードインタフェースモードの動作 .....	896
28.6.1	接続例 .....	896
28.6.2	データフォーマット ( ブロック転送モード時を除く ) .....	897
28.6.3	ブロック転送モード .....	898
28.6.4	受信データサンプリングタイミングと受信マージン .....	899
28.6.5	SCI の初期化 ( スマートカードインタフェースモード ) .....	900
28.6.6	シリアルデータの送信 ( ブロック転送モードを除く ) .....	902
28.6.7	シリアルデータの受信 ( ブロック転送モードを除く ) .....	905
28.6.8	クロック出力制御 .....	907
28.7	簡易 I <sup>2</sup> C モードの動作 .....	908
28.7.1	開始条件、再開条件、停止条件の生成 .....	909
28.7.2	クロック同期化 .....	911
28.7.3	SSDA 出力遅延 .....	912



28.7.4	SCI の初期化 ( 簡易 I <sup>2</sup> C モード )	913
28.7.5	マスタ送信動作 ( 簡易 I <sup>2</sup> C モード )	914
28.7.6	マスタ受信動作 ( 簡易 I <sup>2</sup> C モード )	916
28.7.7	バスハングアップからの回復	918
28.8	簡易 SPI モードの動作	919
28.8.1	マスタモード、スレーブモードと各端子の状態	920
28.8.2	マスタモード時の SS 機能	920
28.8.3	スレーブモード時の SS 機能	920
28.8.4	クロックと送受信データの関係	921
28.8.5	SCI の初期化 ( 簡易 SPI モード )	921
28.8.6	シリアルデータの送受信 ( 簡易 SPI モード )	922
28.9	拡張シリアルモード制御部の動作説明	923
28.9.1	シリアル通信プロトコル	923
28.9.2	Start Frame 送信	923
28.9.3	Start Frame 受信	927
28.9.3.1	プライオリティインタラプトビット	932
28.9.4	バス衝突検出機能	933
28.9.5	RXDX12 端子入力デジタルフィルタ機能	934
28.9.6	ビットレート測定機能	935
28.9.7	RXDX12 受信データサンプリングタイミング選択機能	936
28.9.8	タイマ	937
28.10	ノイズ除去機能	939
28.11	割り込み要因	940
28.11.1	TXI 割り込みおよび RXI 割り込みバッファ動作	940
28.11.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	940
28.11.3	スマートカードインタフェースモードにおける割り込み	941
28.11.4	簡易 I <sup>2</sup> C モードにおける割り込み	942
28.11.5	拡張シリアルモード制御部の割り込み要求	943
28.12	イベントリンク機能	944
28.13	使用上の注意事項	945
28.13.1	モジュールストップ機能の設定	945
28.13.2	ブレークの検出と処理について	945
28.13.3	マーク状態とブレークの送付	945
28.13.4	受信エラーフラグと送信動作について ( クロック同期式モードおよび簡易 SPI モード )	945
28.13.5	TDR レジスタへのライトについて	945
28.13.6	クロック同期送信時の制約事項 ( クロック同期式モードおよび簡易 SPI モード )	946
28.13.7	DTC 使用上の制約事項	947
28.13.8	通信の開始に関する注意事項	947

28.13.9	低消費電力状態時の動作について .....	947
28.13.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力 .....	949
28.13.11	簡易 SPI モードの制約事項 .....	950
28.13.12	拡張シリアルモード制御部の使用上の制約事項 1 .....	950
28.13.13	拡張シリアルモード制御部の使用上の制約事項 2 .....	951
28.13.14	トランスミットイネーブルビット (TE ビット) に関する注意事項 .....	952
28.13.15	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項 .....	952
<b>29.</b>	<b>IrDA インタフェース .....</b>	<b>953</b>
29.1	概要 .....	953
29.2	レジスタの説明 .....	954
29.2.1	IrDA 制御レジスタ (IRCR) .....	954
29.3	動作説明 .....	956
29.3.1	送信 .....	956
29.3.2	受信 .....	956
29.3.3	High パルス幅の選択 .....	957
29.4	使用上の注意事項 .....	958
29.4.1	モジュールストップ機能の設定 .....	958
29.4.2	SCI5 の設定について .....	958
29.4.3	受信時の最小パルス幅について .....	958
29.4.4	IrDA の初期設定 / 再設定に関する注意事項 .....	958
<b>30.</b>	<b>I<sup>2</sup>C バスインタフェース (RIIC) .....</b>	<b>959</b>
30.1	概要 .....	959
30.2	レジスタの説明 .....	962
30.2.1	I <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1) .....	962
30.2.2	I <sup>2</sup> C バスコントロールレジスタ 2 (ICCR2) .....	964
30.2.3	I <sup>2</sup> C バスモードレジスタ 1 (ICMR1) .....	967
30.2.4	I <sup>2</sup> C バスモードレジスタ 2 (ICMR2) .....	968
30.2.5	I <sup>2</sup> C バスモードレジスタ 3 (ICMR3) .....	970
30.2.6	I <sup>2</sup> C バスファンクション許可レジスタ (ICFER) .....	972
30.2.7	I <sup>2</sup> C バスステータス許可レジスタ (ICSER) .....	974
30.2.8	I <sup>2</sup> C バス割り込み許可レジスタ (ICIER) .....	976
30.2.9	I <sup>2</sup> C バスステータスレジスタ 1 (ICSR1) .....	978
30.2.10	I <sup>2</sup> C バスステータスレジスタ 2 (ICSR2) .....	980
30.2.11	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2) .....	983
30.2.12	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2) .....	984
30.2.13	I <sup>2</sup> C バスビットレート Low レジスタ (ICBRL) .....	985
30.2.14	I <sup>2</sup> C バスビットレート High レジスタ (ICBRH) .....	986
30.2.15	I <sup>2</sup> C バス送信データレジスタ (ICDRT) .....	987
30.2.16	I <sup>2</sup> C バス受信データレジスタ (ICDRR) .....	988
30.2.17	I <sup>2</sup> C バスシフトレジスタ (ICDRS) .....	988

30.2.18	タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) .....	989
30.3	動作説明 .....	990
30.3.1	通信データフォーマット .....	990
30.3.2	初期設定 .....	991
30.3.3	マスタ送信動作 .....	993
30.3.4	マスタ受信動作 .....	996
30.3.5	スレーブ送信動作 .....	1002
30.3.6	スレーブ受信動作 .....	1005
30.4	SCL 同期回路 .....	1008
30.5	SDA 出力遅延機能 .....	1009
30.6	デジタルノイズフィルタ回路 .....	1010
30.7	アドレス一致検出機能 .....	1011
30.7.1	スレーブアドレス一致検出機能 .....	1011
30.7.2	ジェネラルコールアドレス検出機能 .....	1013
30.7.3	デバイス ID アドレス検出機能 .....	1014
30.7.4	ホストアドレス検出機能 .....	1016
30.8	SCL の自動 Low ホールド機能 .....	1017
30.8.1	送信データ誤送信防止機能 .....	1017
30.8.2	NACK 受信転送中断機能 .....	1018
30.8.3	受信データ取りこぼし防止機能 .....	1019
30.9	アービトレーションロスト検出機能 .....	1021
30.9.1	マスタアービトレーションロスト検出機能 (MALE ビット) .....	1021
30.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット) .....	1023
30.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット) .....	1024
30.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能 .....	1025
30.10.1	スタートコンディション発行動作 .....	1025
30.10.2	リスタートコンディション発行動作 .....	1025
30.10.3	ストップコンディション発行動作 .....	1026
30.11	バスハングアップ .....	1027
30.11.1	タイムアウト検出機能 .....	1027
30.11.2	SCL 追加出力機能 .....	1028
30.11.3	RIIC リセット、内部リセット .....	1029
30.12	SMBus 動作 .....	1030
30.12.1	SMBus タイムアウト測定 .....	1030
30.12.2	パケットエラーコード (PEC) .....	1031
30.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド) .....	1032
30.13	割り込み要因 .....	1033
30.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作 .....	1033
30.14	リセット時/コンディション検出時のレジスタおよび機能の初期化 .....	1034
30.15	イベントリンク機能 (出力) .....	1035

30.15.1	割り込み処理とイベントリンクの関係 .....	1035
30.16	使用上の注意事項 .....	1036
30.16.1	モジュールストップ機能の設定 .....	1036
30.16.2	通信の開始に関する注意事項 .....	1036
31.	シリアルサウンドインタフェース (SSI) .....	1037
31.1	概要 .....	1037
31.2	レジスタの説明 .....	1039
31.2.1	制御レジスタ (SSICR) .....	1039
31.2.2	ステータスレジスタ (SSISR) .....	1043
31.2.3	FIFO 制御レジスタ (SSIFCR) .....	1046
31.2.4	FIFO ステータスレジスタ (SSIFSR) .....	1048
31.2.5	送信 FIFO データレジスタ (SSIFTDR) .....	1050
31.2.6	受信 FIFO データレジスタ (SSIFRDR) .....	1050
31.2.7	TDM モードレジスタ (SSITDMR) .....	1051
31.3	動作説明 .....	1052
31.3.1	バスフォーマット .....	1052
31.3.2	非圧縮モード .....	1052
31.3.3	WS コンティニューモード .....	1058
31.3.4	動作状態 .....	1059
31.3.5	送信動作 .....	1060
31.3.6	受信動作 .....	1063
31.3.7	シリアルビットクロック制御 .....	1065
31.4	割り込み要因 .....	1065
31.5	使用上の注意事項 .....	1066
31.5.1	モジュールストップ機能の設定 .....	1066
31.5.2	転送モードを切り替える場合の注意事項 .....	1066
31.5.3	WS コンティニューモードの制限事項 .....	1066
31.5.4	ステータスフラグのクリアに関する注意事項 .....	1066
32.	シリアルペリフェラルインタフェース (RSPI) .....	1068
32.1	概要 .....	1068
32.2	レジスタの説明 .....	1071
32.2.1	RSPI 制御レジスタ (SPCR) .....	1071
32.2.2	RSPI スレーブセレクト極性レジスタ (SSLP) .....	1073
32.2.3	RSPI 端子制御レジスタ (SPPCR) .....	1074
32.2.4	RSPI ステータスレジスタ (SPSR) .....	1075
32.2.5	RSPI データレジスタ (SPDR) .....	1078
32.2.6	RSPI シーケンス制御レジスタ (SPSCR) .....	1081
32.2.7	RSPI シーケンスステータスレジスタ (SPSSR) .....	1082
32.2.8	RSPI ビットレートレジスタ (SPBR) .....	1083
32.2.9	RSPI データコントロールレジスタ (SPDCR) .....	1084

32.2.10	RSPI クロック遅延レジスタ (SPCKD) .....	1086
32.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND) .....	1087
32.2.12	RSPI 次アクセス遅延レジスタ (SPND) .....	1088
32.2.13	RSPI 制御レジスタ 2 (SPCR2) .....	1089
32.2.14	RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7) .....	1090
32.3	動作説明 .....	1093
32.3.1	RSPI 動作の概要 .....	1093
32.3.2	RSPI 端子の制御 .....	1094
32.3.3	RSPI システム構成例 .....	1095
32.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ) .....	1095
32.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ) .....	1096
32.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ) .....	1097
32.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ) .....	1098
32.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ) .....	1099
32.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ) .....	1100
32.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ) .....	1100
32.3.4	データフォーマット .....	1101
32.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0) .....	1102
32.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1) .....	1106
32.3.5	転送フォーマット .....	1110
32.3.5.1	CPHA ビット = 0 の場合 .....	1110
32.3.5.2	CPHA ビット = 1 の場合 .....	1111
32.3.6	通信動作モード .....	1112
32.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0) .....	1112
32.3.6.2	送信のみ動作 (SPCR.TXMD = 1) .....	1113
32.3.7	送信バッファエンプティ / 受信バッファフル割り込み .....	1114
32.3.8	エラー検出 .....	1116
32.3.8.1	オーバランエラー .....	1117
32.3.8.2	パリティエラー .....	1119
32.3.8.3	モードフォルトエラー .....	1120
32.3.9	RSPI の初期化 .....	1121
32.3.9.1	SPE ビットのクリアによる初期化 .....	1121
32.3.9.2	システムリセット .....	1121
32.3.10	SPI 動作 .....	1122
32.3.10.1	マスタモード動作 .....	1122
32.3.10.2	スレーブモード動作 .....	1132
32.3.11	クロック同期式動作 .....	1136
32.3.11.1	マスタモード動作 .....	1136
32.3.11.2	スレーブモード動作 .....	1140

32.3.12	ループバックモード .....	1142
32.3.13	パリティビット機能の自己判断 .....	1143
32.3.14	割り込み要因 .....	1144
32.4	使用上の注意事項 .....	1145
32.4.1	モジュールストップ機能の設定 .....	1145
32.4.2	消費電力低減機能の注意事項 .....	1145
32.4.3	通信の開始に関する注意事項 .....	1145
32.4.4	SPRF/SPTEF フラグに関する注意事項 .....	1145
33.	<b>CRC 演算器 (CRC)</b> .....	<b>1146</b>
33.1	概要 .....	1146
33.2	レジスタの説明 .....	1147
33.2.1	CRC コントロールレジスタ (CRCCR) .....	1147
33.2.2	CRC データ入力レジスタ (CRCDIR) .....	1147
33.2.3	CRC データ出力レジスタ (CRCDOR) .....	1148
33.3	CRC 演算器の動作説明 .....	1149
33.4	使用上の注意事項 .....	1152
33.4.1	モジュールストップ機能の設定 .....	1152
33.4.2	転送時の注意事項 .....	1152
34.	<b>LCD コントローラ / ドライバ (LCDC)</b> .....	<b>1153</b>
34.1	概要 .....	1153
34.2	レジスタの説明 .....	1156
34.2.1	LCD モードレジスタ 0 (LCDM0) .....	1156
34.2.2	LCD モードレジスタ 1 (LCDM1) .....	1157
34.2.3	LCD クロック制御レジスタ 0 (LCDC0) .....	1158
34.2.4	LCD 昇圧レベル制御レジスタ (VLCD) .....	1159
34.3	LCD 表示データレジスタ .....	1160
34.4	LCD 表示データレジスタの選択 .....	1163
34.4.1	A パターン領域、B パターン領域のデータ表示 .....	1164
34.4.2	点滅表示 (A パターン領域と B パターン領域のデータを交互に表示) .....	1164
34.5	LCD コントローラ / ドライバの設定 .....	1165
34.6	動作停止手順 .....	1168
34.7	LCD 駆動電圧 VL1, VL2, VL3, VL4 の供給 .....	1169
34.7.1	外部抵抗分割方式 .....	1169
34.7.2	内部昇圧方式 .....	1171
34.7.3	容量分割方式 .....	1172
34.8	コモン信号とセグメント信号 .....	1173
34.9	表示モード .....	1181
34.9.1	スタティック表示例 .....	1181
34.9.2	2 時分割表示例 .....	1184
34.9.3	3 時分割表示例 .....	1187

34.9.4	4 時分割表示例 .....	1191
34.9.5	8 時分割表示例 .....	1195
34.10	使用上の注意事項 .....	1199
34.10.1	モジュールストップ機能の設定 .....	1199
35.	静電容量式タッチセンサ (CTSU) .....	1200
35.1	概要 .....	1201
35.2	レジスタの説明 .....	1202
35.2.1	CTSU 制御レジスタ 0 (CTSUCR0) .....	1202
35.2.2	CTSU 制御レジスタ 1 (CTSUCR1) .....	1204
35.2.3	CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS) .....	1205
35.2.4	CTSU センサ安定待ち時間レジスタ (CTSUSST) .....	1206
35.2.5	CTSU 計測チャンネルレジスタ 0 (CTSUMCH0) .....	1207
35.2.6	CTSU 計測チャンネルレジスタ 1 (CTSUMCH1) .....	1208
35.2.7	CTSU チャンネル有効制御レジスタ 0 (CTSUCHAC0) .....	1209
35.2.8	CTSU チャンネル有効制御レジスタ 1 (CTSUCHAC1) .....	1210
35.2.9	CTSU チャンネル送受信制御レジスタ 0 (CTSUCHTRC0) .....	1211
35.2.10	CTSU チャンネル送受信制御レジスタ 1 (CTSUCHTRC1) .....	1212
35.2.11	CTSU 高域ノイズ低減制御レジスタ (CTSUDCLKC) .....	1213
35.2.12	CTSU ステータスレジスタ (CTSUST) .....	1214
35.2.13	CTSU 高域ノイズ低減スペクトラム拡散制御レジスタ (CTSUSSC) .....	1216
35.2.14	CTSU センサオフセットレジスタ 0 (CTSUSO0) .....	1217
35.2.15	CTSU センサオフセットレジスタ 1 (CTSUSO1) .....	1218
35.2.16	CTSU センサカウンタ (CTSUSC) .....	1219
35.2.17	CTSU リファレンスカウンタ (CTSURC) .....	1220
35.2.18	CTSU エラーステータスレジスタ (CTSUERRS) .....	1221
35.2.19	CTSU 基準電流調整レジスタ (CTSUTRMR) .....	1222
35.3	動作説明 .....	1223
35.3.1	計測動作原理 .....	1223
35.3.2	計測モード .....	1225
35.3.2.1	初期設定フロー .....	1226
35.3.2.2	ステータスカウンタ .....	1227
35.3.2.3	自己容量シングルスキャンモード動作 .....	1228
35.3.2.4	自己容量マルチスキャンモード動作 .....	1230
35.3.2.5	相互容量フルスキャンモード動作 .....	1232
35.3.3	複数モードに関わる共通事項 .....	1235
35.3.3.1	センサ安定待ち時間と計測時間 .....	1235
35.3.3.2	割り込み .....	1236
35.4	使用上の注意事項 .....	1238
35.4.1	計測結果データ (CTSUSC カウンタ、CTSURC カウンタ) .....	1238
35.4.2	ソフトウェアトリガ .....	1238

35.4.3	外部トリガ .....	1238
35.4.4	強制停止の注意事項 .....	1239
35.4.5	TSCAP 端子 .....	1239
35.4.6	計測動作中 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項 .....	1239
36.	12 ビット A/D コンバータ (S12ADb) .....	1240
36.1	概要 .....	1240
36.2	レジスタの説明 .....	1243
36.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 15, 21) .....	1243
36.2.2	A/D データ二重化レジスタ (ADDBLDR) .....	1245
36.2.3	A/D 温度センサデータレジスタ (ADTSDR) .....	1246
36.2.4	A/D 内部基準電圧データレジスタ (ADOCDR) .....	1247
36.2.5	A/D コントロールレジスタ (ADCSR) .....	1248
36.2.6	A/D チャネル選択レジスタ A (ADANSA) .....	1252
36.2.7	A/D チャネル選択レジスタ A1 (ADANSA1) .....	1253
36.2.8	A/D チャネル選択レジスタ B (ADANSB) .....	1254
36.2.9	A/D チャネル選択レジスタ B1 (ADANSB1) .....	1255
36.2.10	A/D 変換値加算モード選択レジスタ (ADADS) .....	1256
36.2.11	A/D 変換値加算モード選択レジスタ 1 (ADADS1) .....	1257
36.2.12	A/D 変換値加算回数選択レジスタ (ADADC) .....	1258
36.2.13	A/D コントロール拡張レジスタ (ADCER) .....	1259
36.2.14	A/D 開始トリガ選択レジスタ (ADSTRGR) .....	1260
36.2.15	A/D 変換拡張入力コントロールレジスタ (ADEXICR) .....	1262
36.2.16	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, 21, L, T, O) .....	1263
36.2.17	A/D 高電位側基準電圧コントロールレジスタ (ADHVREFCNT) .....	1264
36.3	動作説明 .....	1265
36.3.1	スキヤンの動作説明 .....	1265
36.3.2	シングルスキャンモード .....	1266
36.3.2.1	基本動作 .....	1266
36.3.2.2	温度センサ出力選択時の A/D 変換動作 .....	1267
36.3.2.3	内部基準電圧選択時の A/D 変換動作 .....	1268
36.3.2.4	ダブルトリガモード選択時の動作 .....	1269
36.3.3	連続スキャンモード .....	1270
36.3.3.1	基本動作 .....	1270
36.3.4	グループスキャンモード .....	1271
36.3.4.1	基本動作 .....	1271
36.3.4.2	ダブルトリガモード選択時の動作 .....	1272
36.3.4.3	ソフトウェアトリガ使用時の注意 .....	1273
36.3.5	アナログ入力のサンプリングとスキャン変換時間 .....	1274
36.3.6	レジスタのオートクリア機能の使用例 .....	1275
36.3.7	A/D 変換値加算機能 .....	1275



36.3.8	非同期トリガによる A/D 変換の開始 .....	1276
36.3.9	周辺モジュールからの同期トリガによる A/D 変換の開始 .....	1276
36.4	割り込み要因 .....	1277
36.4.1	スキャン終了時の割り込み要求 .....	1277
36.5	イベントリンク機能 .....	1278
36.5.1	ELC へのイベント出力動作 .....	1278
36.5.2	ELC からのイベントによる 12 ビット A/D コンバータの動作 .....	1278
36.5.3	ELC からのイベントによる 12 ビット A/D コンバータの注意事項 .....	1278
36.6	基準電圧の選択方法 .....	1278
36.6.1	高電位側基準電圧に内部基準電圧を選択する手順 .....	1278
36.7	A/D 変換精度の定義 .....	1279
36.8	使用上の注意事項 .....	1280
36.8.1	データレジスタの読出し注意事項 .....	1280
36.8.2	A/D 変換停止時の注意事項 .....	1280
36.8.3	A/D 変換強制停止と開始時の動作タイミング .....	1280
36.8.4	スキャン終了割り込み処理の注意事項 .....	1280
36.8.5	モジュールストップ機能の設定 .....	1280
36.8.6	低消費電力状態への遷移時の注意 .....	1280
36.8.7	AVCC0 と VCC の電圧関係について .....	1281
36.8.8	ソフトウェアスタンバイモード解除時の注意 .....	1281
36.8.9	許容信号源インピーダンスについて .....	1281
36.8.10	絶対精度への影響 .....	1283
36.8.11	アナログ電源端子他の設定範囲 .....	1283
36.8.12	ボード設計上の注意 .....	1283
36.8.13	ノイズ対策上の注意 .....	1284
36.8.14	12 ビット A/D コンバータ入力を使用する場合のポートの設定 .....	1284
36.8.15	AVCC0 と VCC の電源投入順序について .....	1284
37.	12 ビット D/A コンバータ (R12DAA) .....	1285
37.1	概要 .....	1285
37.2	レジスタの説明 .....	1286
37.2.1	D/A データレジスタ m (DADRm) (m = 0, 1) .....	1286
37.2.2	D/A 制御レジスタ (DACR) .....	1287
37.2.3	データレジスタフォーマット選択レジスタ (DADPR) .....	1287
37.2.4	D/A A/D 同期スタート制御レジスタ (DAADSCR) .....	1288
37.2.5	D/A VREF 制御レジスタ (DAVREFCR) .....	1289
37.3	動作説明 .....	1290
37.3.1	D/A 変換と A/D 変換の干渉対策 .....	1291
37.3.2	内部基準電圧を基準電圧として使用する時の注意点 .....	1293
37.4	イベントリンクの動作設定手順 .....	1294
37.5	イベントリンク動作における注意事項 .....	1294

37.6	使用上の注意事項 .....	1295
37.6.1	モジュールストップ機能の設定 .....	1295
37.6.2	モジュールストップ時の D/A コンバータの動作 .....	1295
37.6.3	ソフトウェアスタンバイモード時の D/A コンバータの動作 .....	1295
37.6.4	D/A 変換と A/D 変換の干渉対策有効時の注意事項 .....	1295
37.6.5	AVCC0 と VCC の電圧関係について .....	1295
38.	温度センサ (TEMPSA) .....	1296
38.1	概要 .....	1296
38.2	レジスタの説明 .....	1297
38.2.1	温度センサ校正データレジスタ (TSCDRH, TSCDRL) .....	1297
38.3	温度センサの使用方法 .....	1298
38.3.1	使用前の準備 .....	1298
38.3.2	12 ビット A/D コンバータの設定 .....	1300
38.3.3	温度センサの A/D 変換結果 .....	1300
39.	コンパレータ B (CMPBa) .....	1301
39.1	概要 .....	1301
39.2	レジスタの説明 .....	1304
39.2.1	コンパレータ B 制御レジスタ 1 (CPBCNT1) .....	1304
39.2.2	コンパレータ B 制御レジスタ 2 (CPBCNT2) .....	1304
39.2.3	コンパレータ B フラグレジスタ (CPBFLG) .....	1305
39.2.4	コンパレータ B 割り込み制御レジスタ (CPBINT) .....	1306
39.2.5	コンパレータ B フィルタ選択レジスタ (CPBF) .....	1307
39.2.6	コンパレータ B モード選択レジスタ (CPBMD) .....	1307
39.2.7	コンパレータ B リファレンス入力電圧選択レジスタ (CPBREF) .....	1308
39.2.8	コンパレータ B 出力制御レジスタ (CPBOCR) .....	1309
39.3	動作説明 .....	1310
39.3.1	コンパレータ B <sub>n</sub> デジタルフィルタ (n = 0, 1) .....	1314
39.3.2	コンパレータ B <sub>n</sub> 出力機能 (n = 0, 1) .....	1315
39.3.3	コンパレータ B を使用したソフトウェアスタンバイモード復帰例 .....	1315
39.4	コンパレータ B0、コンパレータ B1 割り込み .....	1316
39.5	イベントリンク出力機能 .....	1316
39.5.1	割り込み処理とイベントリンクの関係 .....	1316
39.6	使用上の注意事項 .....	1316
39.6.1	モジュールストップ機能の設定 .....	1316
40.	データ演算回路 (DOC) .....	1317
40.1	概要 .....	1317
40.2	レジスタの説明 .....	1318
40.2.1	DOC コントロールレジスタ (DOCR) .....	1318
40.2.2	DOC データインプットレジスタ (DODIR) .....	1319
40.2.3	DOC データセッティングレジスタ (DODSR) .....	1319

40.3	動作説明 .....	1320
40.3.1	データ比較モード .....	1320
40.3.2	データ加算モード .....	1321
40.3.3	データ減算モード .....	1322
40.4	割り込み要求 .....	1322
40.5	イベントリンク出力機能 .....	1323
40.5.1	割り込み処理とイベントリンクの関係 .....	1323
40.6	使用上の注意事項 .....	1323
40.6.1	モジュールストップ機能の設定 .....	1323
41.	RAM .....	1324
41.1	概要 .....	1324
41.2	動作説明 .....	1324
41.2.1	消費電力低減機能 .....	1324
42.	フラッシュメモリ (FLASH) .....	1325
42.1	概要 .....	1325
42.2	ROM の領域とメモリプレーン、ブロックの構成 .....	1326
42.3	E2 データフラッシュの領域とブロックの構成 .....	1327
42.4	レジスタの説明 .....	1328
42.4.1	E2 データフラッシュ制御レジスタ (DFLCTL) .....	1328
42.4.2	フラッシュ P/E モードエントリレジスタ (FENTRYR) .....	1329
42.4.3	プロテクト解除レジスタ (FPR) .....	1330
42.4.4	プロテクト解除ステータスレジスタ (FPSR) .....	1330
42.4.5	フラッシュ P/E モード制御レジスタ (FPMCR) .....	1331
42.4.6	フラッシュ初期設定レジスタ (FISR) .....	1332
42.4.7	フラッシュリセットレジスタ (FRESETR) .....	1334
42.4.8	フラッシュ領域選択レジスタ (FASR) .....	1334
42.4.9	フラッシュ制御レジスタ (FCR) .....	1335
42.4.10	フラッシュエクストラ領域制御レジスタ (FEXCR) .....	1337
42.4.11	フラッシュ処理開始アドレスレジスタ H (FSARH) .....	1338
42.4.12	フラッシュ処理開始アドレスレジスタ L (FSARL) .....	1338
42.4.13	フラッシュ処理終了アドレスレジスタ H (FEARH) .....	1339
42.4.14	フラッシュ処理終了アドレスレジスタ L (FEARL) .....	1339
42.4.15	フラッシュリードバッファレジスタ H (FRBH) .....	1340
42.4.16	フラッシュリードバッファレジスタ L (FRBL) .....	1340
42.4.17	フラッシュライトバッファレジスタ H (FWBH) .....	1340
42.4.18	フラッシュライトバッファレジスタ L (FWBL) .....	1341
42.4.19	フラッシュステータスレジスタ 0 (FSTATR0) .....	1342
42.4.20	フラッシュステータスレジスタ 1 (FSTATR1) .....	1344
42.4.21	フラッシュエラーアドレスモニタレジスタ H (FEAMH) .....	1345
42.4.22	フラッシュエラーアドレスモニタレジスタ L (FEAML) .....	1345

42.4.23	フラッシュスタートアップ設定モニタレジスタ (FSCMR) .....	1346
42.4.24	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR) .....	1346
42.4.25	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR) .....	1347
42.4.26	ユニーク ID レジスタ n (UIDRn) (n=0 ~ 31) .....	1347
42.5	スタートアッププログラム保護機能 .....	1348
42.6	エリアプロテクション .....	1349
42.7	プログラム/イレーズ .....	1350
42.7.1	シーケンサのモード .....	1350
42.7.1.1	E2 データフラッシュアクセス禁止モード .....	1350
42.7.1.2	リードモード .....	1351
42.7.1.3	P/E モード .....	1351
42.7.2	モード遷移 .....	1351
42.7.2.1	E2 データフラッシュアクセス禁止モードからリードモードへの遷移 .....	1351
42.7.2.2	リードモードから P/E モードへの遷移 .....	1352
42.7.2.3	P/E モードからリードモードへの遷移 .....	1354
42.7.3	ソフトウェアコマンド一覧 .....	1356
42.7.4	ソフトウェアコマンド使用方法 .....	1357
42.7.4.1	プログラム .....	1357
42.7.4.2	ブロックイレーズ .....	1359
42.7.4.3	ブランクチェック .....	1361
42.7.4.4	スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム ....	1363
42.7.4.5	ユニーク ID リード .....	1364
42.7.4.6	ソフトウェアコマンドの強制停止 .....	1365
42.7.5	割り込み .....	1365
42.8	ブートモード .....	1366
42.8.1	ブートモード (USB インタフェース) .....	1367
42.8.1.1	ブートモード (USB インタフェース) の動作条件 .....	1367
42.8.2	ブートモード (SCI インタフェース) .....	1371
42.8.2.1	ブートモード (SCI インタフェース) の動作条件 .....	1371
42.8.2.2	ブートモード (SCI インタフェース) の起動方法 .....	1373
42.8.3	ブートモード (FINE インタフェース) .....	1374
42.8.3.1	ブートモード (FINE インタフェース) の動作条件 .....	1374
42.9	フラッシュメモリアccess禁止機能 .....	1375
42.9.1	ID コードプロテクト .....	1375
42.9.1.1	ブートモード ID コードプロテクト .....	1376
42.9.1.2	オンチップデバッグエミュレータ ID コードプロテクト .....	1378
42.10	通信プロトコル .....	1379
42.10.1	ブートモード (SCI インタフェース) の状態遷移 .....	1379
42.10.2	コマンドとレスポンスの構成 .....	1381
42.10.3	ブートモードステータス問い合わせ .....	1382

42.10.4	問い合わせコマンド .....	1383
42.10.4.1	サポートデバイス問い合わせ .....	1383
42.10.4.2	データ領域有無問い合わせ .....	1383
42.10.4.3	ユーザ領域情報問い合わせ .....	1384
42.10.4.4	データ領域情報問い合わせ .....	1384
42.10.4.5	ブロック情報問い合わせ .....	1385
42.10.5	設定コマンド .....	1386
42.10.5.1	デバイス選択 .....	1386
42.10.5.2	動作周波数選択 .....	1387
42.10.5.3	プログラム/イレーズステート遷移 .....	1388
42.10.6	ID コード認証コマンド .....	1389
42.10.6.1	ID コードチェック .....	1389
42.10.6.2	イレーズレディ .....	1390
42.10.7	プログラム/イレーズコマンド .....	1390
42.10.7.1	ユーザ/データ領域プログラム準備 .....	1391
42.10.7.2	プログラム .....	1391
42.10.7.3	イレーズ準備 .....	1392
42.10.7.4	ブロックイレーズ .....	1392
42.10.8	リードチェックコマンド .....	1393
42.10.8.1	メモリリード .....	1393
42.10.8.2	ユーザ領域チェックサム .....	1394
42.10.8.3	データ領域チェックサム .....	1394
42.10.8.4	ユーザ領域ブランクチェック .....	1395
42.10.8.5	データ領域ブランクチェック .....	1395
42.10.8.6	アクセスウィンドウ情報プログラム .....	1396
42.10.8.7	アクセスウィンドウリード .....	1397
42.11	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明 .....	1398
42.11.1	ビットレート自動調整の制御手順 .....	1399
42.11.2	本 MCU の情報を取得する制御手順 .....	1400
42.11.3	デバイス指定、ビットレート変更の制御手順 .....	1401
42.11.4	プログラム/イレーズステートへの遷移 .....	1402
42.11.5	ブートモード ID コードプロテクトの解除 .....	1403
42.11.6	イレーズレディ処理 .....	1404
42.11.7	ユーザ領域、データ領域のイレーズ .....	1405
42.11.8	ユーザ領域、データ領域のプログラム .....	1406
42.11.9	ユーザ領域のデータを確認 .....	1407
42.11.10	データ領域のデータを確認 .....	1408
42.11.11	ユーザ領域にアクセスウィンドウを設定 .....	1409
42.12	セルフプログラミングでの書き換え .....	1410
42.12.1	概要 .....	1410

42.13	使用上の注意事項 .....	1411
42.14	使用上の注意事項 (ブートモード) .....	1412
<b>43.</b>	<b>電气的特性 .....</b>	<b>1413</b>
43.1	絶対最大定格 .....	1413
43.2	DC 特性 .....	1415
43.2.1	標準 I/O 端子出力特性 (1) .....	1427
43.2.2	標準 I/O 端子出力特性 (2) .....	1429
43.2.3	標準 I/O 端子出力特性 (3) .....	1431
43.3	AC 特性 .....	1433
43.3.1	クロックタイミング .....	1433
43.3.2	リセットタイミング .....	1437
43.3.3	低消費電力状態からの復帰タイミング .....	1438
43.3.4	制御信号タイミング .....	1441
43.3.5	内蔵周辺モジュールタイミング .....	1442
43.4	USB 特性 .....	1455
43.5	A/D 変換特性 .....	1457
43.6	D/A 変換特性 .....	1462
43.7	温度センサ特性 .....	1465
43.8	コンパレータ特性 .....	1465
43.9	LCD 特性 .....	1467
43.9.1	外部抵抗分割方式 .....	1467
43.9.2	内部昇圧方式 .....	1467
43.9.3	容量分割方式 .....	1469
43.10	CTSU 特性 .....	1469
43.11	パワーオンリセット回路、電圧検出回路特性 .....	1470
43.12	発振停止検出タイミング .....	1473
43.13	ROM (コード格納用フラッシュメモリ) 特性 .....	1474
43.14	E2 データフラッシュ (データ格納用フラッシュメモリ) 特性 .....	1476
43.15	使用上の注意事項 .....	1477
43.15.1	VCL コンデンサ、バイパスコンデンサ接続方法 .....	1477
付録 1.	各処理状態におけるポートの状態 .....	1480
付録 2.	外形寸法図 .....	1482
改訂記録	.....	1485

32MHz、32ビットRX MCU、50DMIPS、最大512Kバイトフラッシュメモリ、USB2.0フルスピードホスト/  
ファンクション/OTG、最大12本の通信機能、シリアルサウンドインタフェース、LCDコントローラ/ドライバ、  
静電容量式タッチセンサ、12ビットA/D、12ビットD/A、RTC

### 特長

#### ■ 32ビットRX CPUコア内蔵

- 最大動作周波数 32MHz  
50DMIPS の性能 (32MHz 動作時)
- 32×32 → 64ビット演算結果 (1命令) のアキュムレータ
- 乗除算器 32×32ビット (乗算命令は1CPUクロック)
- 高速割り込み
- 5段パイプラインのCISC ハードウェアアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

#### ■ 消費電力低減機能

- 1.8V ~ 3.6V 動作の単一電源
- 3種類の低消費電力モード
- ソフトウェアスタンバイ中でも動作可能なローパワータイマを搭載
- 消費電流  
高速動作モード: 0.11mA/MHz  
ソフトウェアスタンバイモード: 0.44μA
- ソフトウェアスタンバイからの復帰時間: 4.8μs

#### ■ 内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 128K ~ 512K バイトの容量
- 1.8V で書き換え可能
- 命令、オペランド用

#### ■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

#### ■ 内蔵SRAM (ウェイトなし)

- 32K、64K バイトの容量

#### ■ DTC

- 4種類の転送モード
- 割り込要因ごとに転送設定可能

#### ■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

#### ■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 6種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

#### ■ クロック機能

- 外部クロック入力周波数: ~ 20MHz
- メインクロック発振子周波数: 1 ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- PLL 回路入力: 4MHz ~ 8MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 32MHz±1% (-20 ~ 85°C)
- USB 専用 PLL 回路: 6MHz、8MHz
- IWDTC 専用オンチップオシレータ内蔵: 15kHz
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

#### ■ リアルタイムクロック内蔵

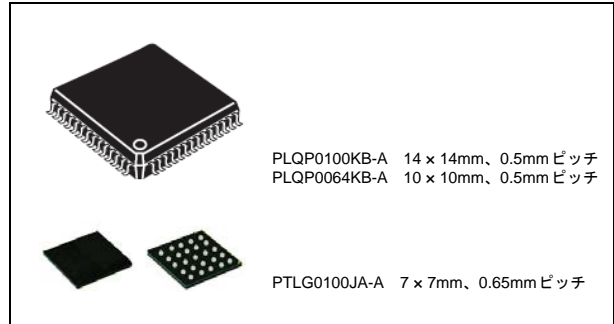
- 補正機能 (30秒、うるう年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- RTC でソフトウェアスタンバイモードから復帰可能

#### ■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDTC 専用低速オンチップオシレータクロック動作

#### ■ IEC60730 対応機能内蔵

- クロック周波数精度測定回路、独立ウォッチドッグタイマ、RAM テストアシスト機能など



#### ■ 最大12本の通信機能を内蔵

- USB: USB2.0 ホスト/ファンクション/OTG (ON-The-Go) (1チャンネル)、フルスピード (12Mbps)、ロースピード (1.5Mbps)、アイソクロナス転送、BC (バッテリーチャージャ) に対応
- SCI: 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード (最大8チャンネル)
- IrDA インタフェース (1チャンネル、SCI5 と連携)
- I<sup>2</sup>C バスインタフェース最大400kbps 転送 SMBus に対応 (1チャンネル)
- RSPI: 最大16Mbps (1チャンネル)
- シリアルサウンドインタフェース (SSI) (1チャンネル)

#### ■ 最大14本の拡張タイマ機能

- 16ビットMTU: インพุットキャプチャ、アウトプットコンペア、相補PWM出力、位相計数モード (6チャンネル)
- 8ビットTMR (4チャンネル)
- 16ビットCMT (4チャンネル)

#### ■ LCDコントローラ/ドライバ

- セグメント信号出力×コモン信号出力: 40×4本、36×8本
- 昇圧回路内蔵、コントラスト調整、5V パネルに対応
- 点滅機能

#### ■ 12ビットA/Dコンバータ内蔵

- 最大17チャンネル
- 最小1.0μs 変換が可能
- モータ制御に適したダブルトリガ (データ二重化) 機能

#### ■ 12ビットD/Aコンバータ内蔵

- 2チャンネル

#### ■ コンパレータ B

- 2チャンネル

#### ■ 静電容量式タッチセンサ (CTSUC)

- 検出端子: 12チャンネル (100ピンのみ)
- 自己および相互容量方式に対応した高感度の静電容量検出
- 高ノイズ耐性を実現する外乱ノイズ除去回路内蔵
- 小ピンでもタッチチャンネル数増加可能な相互容量方式にも対応

#### ■ 温度センサ内蔵

#### ■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

#### ■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

#### ■ ユニーク ID

- マイコン個体ごとの32バイト長のIDコード

#### ■ 動作周囲温度

- -40 ~ +85°C
- -40 ~ +105°C

## 1. 概要

### 1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/4)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> <li>最高動作周波数：32MHz</li> <li>32ビットRX CPU</li> <li>最短命令実行時間：1命令1クロック</li> <li>アドレス空間：4Gバイト・リニアアドレス</li> <li>レジスタ <ul style="list-style-type: none"> <li>汎用レジスタ：32ビット×16本</li> <li>制御レジスタ：32ビット×8本</li> <li>アキュムレータ：64ビット×1本</li> </ul> </li> <li>基本命令：73種類</li> <li>DSP機能命令：9種類</li> <li>アドレッシングモード：10種類</li> <li>データ配置 <ul style="list-style-type: none"> <li>命令：リトルエンディアン</li> <li>データ：リトルエンディアン/ビッグエンディアンを選択可能</li> </ul> </li> <li>32ビット乗算器：32ビット×32ビット→64ビット</li> <li>除算器：32ビット÷32ビット→32ビット</li> <li>パレルシフタ：32ビット</li> </ul>
メモリ	ROM	<ul style="list-style-type: none"> <li>容量：128K/256K/384K/512Kバイト</li> <li>32MHz、ノーウェイトアクセス</li> <li>書き換え方法：シリアルライタプログラミング（調歩同期式シリアル通信/USB通信）、セルフプログラミング</li> </ul>
	RAM	<ul style="list-style-type: none"> <li>容量：32K/64Kバイト</li> <li>32MHz、ノーウェイトアクセス</li> </ul>
	E2データフラッシュ	<ul style="list-style-type: none"> <li>容量：8Kバイト</li> <li>プログラム/イレーズ回数：1,000,000回（typ）</li> </ul>
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、USB専用PLL周波数シンセサイザ、IWDTP専用オンチップオシレータ</li> <li>発振停止検出：あり</li> <li>クロック周波数精度測定回路（CAC）：あり</li> <li>システムクロック（ICLK）、周辺モジュールクロック（PCLK）、FlashIFクロック（FCLK）を個別に設定可能</li> <li>CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz</li> <li>周辺モジュールはPCLK同期：Max 32MHz</li> <li>フラッシュ周辺回路はFCLK同期：Max 32MHz</li> <li>ICLKの周波数は、FCLK、PCLKB、PCLKDのn倍（n：1, 2, 4, 8, 16, 32, 64）のみ設定可能</li> </ul>
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路（LVDAa）	<ul style="list-style-type: none"> <li>VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを生成</li> <li>電圧検出1は検出電圧を10レベルから選択可能</li> <li>電圧検出2は検出電圧を4レベルから選択可能</li> </ul>
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> <li>モジュールストップ機能</li> <li>3種類の低消費電力モード</li> <li>スリープモード、ディープスリープモード、ソフトウェアスタンバイモード</li> </ul>
	動作電力低減機能	<ul style="list-style-type: none"> <li>動作電力制御モード</li> <li>高速動作モード、中速動作モード、低速動作モード</li> </ul>
割り込み	割り込みコントローラ（ICUb）	<ul style="list-style-type: none"> <li>割り込みベクタ数：120</li> <li>外部割り込み：要因数9（NMI、IRQ0～IRQ7端子）</li> <li>ノンマスクابل割り込み：要因数4（NMI端子、電圧監視1割り込み、電圧監視2割り込み、IWDTP割り込み）</li> <li>16レベルの割り込み優先順位を設定可能</li> </ul>



表 1.1 仕様概要 (2/4)

分類	モジュール/機能	説明
DMA	データトランスファコントローラ (DTCa)	<ul style="list-style-type: none"> <li>転送モード：ノーマル転送モード、リポート転送モード、ブロック転送モード</li> <li>起動要因：割り込み要因により起動</li> <li>チェーン転送機能あり</li> </ul>
I/Oポート	汎用入出力ポート	100ピン/64ピン <ul style="list-style-type: none"> <li>入出力：82/46</li> <li>入力：1/1</li> <li>プルアップ抵抗：71/41</li> <li>オープンドレイン出力：60/34</li> <li>5Vトレラント：4/4</li> </ul>
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> <li>44種類のイベント信号を直接モジュールへリンク可能</li> <li>タイマ系のモジュールはイベント入力時の動作の選択が可能</li> <li>ポートBのイベントリンク動作が可能</li> </ul>
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> <li>(16ビット×6チャンネル) × 1ユニット</li> <li>16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能</li> <li>チャンネルごとにカウントクロック (PCLK/1, PCLK/4, PCLK/16, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類)</li> <li>インプットキャプチャ機能</li> <li>21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ</li> <li>パルス出力モード</li> <li>相補PWM出力モード</li> <li>リセット同期PWMモード</li> <li>位相計数モード</li> <li>A/Dコンバータの変換開始トリガを生成可能</li> </ul>
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>(16ビット×2チャンネル) × 2ユニット</li> <li>4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能</li> </ul>
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> <li>14ビット×1チャンネル</li> <li>カウントクロック：IWDT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周</li> </ul>
	リアルタイムクロック (RTCA)	<ul style="list-style-type: none"> <li>クロックソース：サブクロックにて動作</li> <li>カレンダーカウントモード/バイナリカウントモードを選択可能</li> <li>割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み</li> </ul>
	ローパワータイマ (LPT)	<ul style="list-style-type: none"> <li>16ビット×1チャンネル</li> <li>クロックソース：サブクロック、IWDT専用低速オンチップオシレータ 2分周、4分周、8分周、16分周、32分周</li> </ul>
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> <li>(8ビット×2チャンネル) × 2ユニット</li> <li>7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192) と外部クロックを選択可能</li> <li>任意のデューティのパルス出力やPWM出力が可能</li> <li>2チャンネルをカスケード接続し16ビットタイマとして使用可能</li> </ul>

表 1.1 仕様概要 (3/4)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCle, SCIf)	<ul style="list-style-type: none"> <li>8チャンネル (チャンネル0、1、2、5、6、8、9 : SCle、チャンネル12 : SCIf)</li> <li>シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース</li> <li>内蔵ボーレートジェネレータで任意のビットレートを選択可能</li> <li>LSBファースト/MSBファーストを選択可能</li> <li>MTU2からの平均転送レートクロック入力が可能</li> <li>簡易I<sup>2</sup>C機能</li> <li>簡易SPI機能</li> <li>マスタ/スレーブモードをサポート (SCIfのみ)</li> <li>スタートフレーム、インフォメーションフレームから構成 (SCIfのみ)</li> <li>調歩同期式モード時のスタートビットの検出 : Lowまたは立ち下がりエッジを選択可能</li> </ul>
	IrDAインタフェース (IRDA)	<ul style="list-style-type: none"> <li>1チャンネル (SCI5を使用)</li> <li>IrDA規格バージョン1.0に準拠した波形のエンコード/デコードをサポート</li> </ul>
	I <sup>2</sup> Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>通信フォーマット : I<sup>2</sup>Cバスフォーマット/SMBusフォーマット</li> <li>マスタ/スレーブを選択可能</li> <li>ファストモード対応</li> </ul>
通信機能	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能</li> <li>マスタ/スレーブモードを選択可能</li> <li>データフォーマット</li> <li>LSBファースト/MSBファーストを選択可能</li> <li>転送ビット長 (8~16、20、24、32ビット) を選択可能</li> <li>送信/受信バッファは128ビット</li> <li>一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)</li> <li>送信/受信バッファ構成はダブルバッファ</li> </ul>
	USB2.0ホスト/ファンクションモジュール (USBc)	<ul style="list-style-type: none"> <li>USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵</li> <li>ホスト/ファンクションモジュール : 1ポート</li> <li>USBバージョン2.0準拠</li> <li>転送スピード : フルススピード (12Mbps)、ローススピード (1.5Mbps)</li> <li>OTG (ON-The-Go) に対応</li> <li>アイソクロナス転送に対応</li> <li>BC (バッテリーチャージャ) に対応</li> </ul>
	シリアルサウンドインタフェース (SSI)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>二重通信可能</li> <li>多様なシリアルオーディオフォーマットをサポート</li> <li>マスタ/スレーブ機能をサポート</li> <li>プログラマブルワードクロック、ビットクロック生成機能</li> <li>8/16/18/20/22/24/32ビットデータフォーマットをサポート</li> <li>送受信8段FIFO内蔵</li> <li>SSIWS信号を停止せず動作するWSコンティニューモードをサポート</li> </ul>
LCDコントローラ/ドライバ (LCDC)	<ul style="list-style-type: none"> <li>内部昇圧/容量分割/外部抵抗分割の切り替えが可能</li> <li>セグメント信号出力×コモン信号出力 : 40×4本、36×8本</li> </ul>	
12ビットA/Dコンバータ (S12ADb)	<ul style="list-style-type: none"> <li>1ユニット (1ユニット×17チャンネル)</li> <li>分解能 : 12ビット</li> <li>最小変換時間 : 1チャンネル当たり1.0μs (ADCLK = 32MHz動作時)</li> <li>動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グルーブスキャンモード)</li> <li>ダブルトリガモード (A/D変換データ二重化機能)</li> <li>A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC</li> </ul>	
温度センサ (TEMPSA)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>温度を電圧に変換し12ビットA/Dコンバータでデジタル化</li> </ul>	
12ビットD/Aコンバータ (R12DAA)	<ul style="list-style-type: none"> <li>2チャンネル</li> <li>分解能 : 12ビット</li> <li>出力電圧 : 0.35 ~ AVCC - 0.47V</li> </ul>	

表 1.1 仕様概要 (4/4)

分類	モジュール/機能	説明
CRC演算器 (CRC)		<ul style="list-style-type: none"> <li>8ビット単位の任意のデータ長に対してCRCコードを生成</li> <li>3つの多項式から選択可能  <math>X^8 + X^2 + X + 1</math>, <math>X^{16} + X^{15} + X^2 + 1</math>, <math>X^{16} + X^{12} + X^5 + 1</math> </li> <li>LSBファースト/MSBファースト通信用CRCコード生成の選択が可能</li> </ul>
コンパレータB (CMPBa)		<ul style="list-style-type: none"> <li>2チャンネル</li> <li>リファレンス電圧とアナログ入力電圧の比較機能</li> <li>ウィンドウコンパレータ動作/基本コンパレータ動作の選択</li> </ul>
静電容量式タッチセンサ (CTSUS)		検出端子12チャンネル (100ピンのみ)
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
ユニークID		マイコン個体ごとの32バイト長のIDコード
電源電圧/動作周波数		VCC = 1.8~2.4V : 8MHz, VCC = 2.4~2.7V : 16MHz, VCC = 2.7~3.6V : 32MHz
消費電流		3.6mA@32MHz (typ)
動作周囲温度		Dバージョン : -40~+85°C、Gバージョン : -40~+105°C
パッケージ		100ピンLFQFP (PLQP0100KB-A) 14 × 14mm、0.50mmピッチ 100ピンTFLGA (PTLG0100JA-A) 7 × 7mm、0.65mmピッチ 64ピンLFQFP (PLQP0064KB-A) 10 × 10mm、0.50mmピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX113グループ	
		100ピン	64ピン
割り込み	外部割り込み	NMI, IRQ0~IRQ7	
DMA	データ転送コントローラ	あり	
タイマ	マルチファンクションタイマパルスユニット2	6チャンネル (MTU0~MTU5)	
	ポートアウトプットインエーブル2	あり	
	コンパッチタイマ	2チャンネル×2ユニット	
	リアルタイムクロック	あり	
	ローパワータイマ	1チャンネル	
	8ビットタイマ	2チャンネル×2ユニット	
	独立ウォッチドッグタイマ	あり	
通信機能	シリアルコミュニケーションインタフェース (SCIe) [簡易IIC、簡易SPI]	7チャンネル (SCI0, 1, 2, 5, 6, 8, 9)	5チャンネル (SCI1, 5, 6, 8, 9)
	IrDAインタフェース	1チャンネル (SCI5)	
	シリアルコミュニケーションインタフェース (SCIf) [簡易IIC、簡易SPI]	1チャンネル (SCI12)	
	I <sup>2</sup> Cバスインタフェース	1チャンネル	
	シリアルペリフェラルインタフェース	1チャンネル	
	USB2.0ホスト/ファンクションモジュール	1チャンネル	
	シリアルサウンドインタフェース	1チャンネル	
12ビットA/Dコンバータ (内、高精度チャンネル)	17チャンネル (9チャンネル)	11チャンネル (3チャンネル)	
温度センサ	あり		
コンパレータB	2チャンネル		
12ビットD/Aコンバータ	2チャンネル		
CRC演算器	あり		
イベントリンクコントローラ	あり		
静電容量式タッチセンサ	12チャンネル	なし	
LCD	40 SEG × 4 COM 36 SEG × 8 COM	20 SEG × 4 COM 16 SEG × 8 COM	
パッケージ	100ピンLFQFP 100ピンTFLGA	64ピンLFQFP	

## 1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	品名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	動作周囲温度
RX113	R5F51138ADFP	R5F51138ADFP#3A	PLQP0100KB-A	512Kバイト	64Kバイト	8Kバイト	32MHz	-40 ~ +85°C
	R5F51138ADFM	R5F51138ADFM#3A	PLQP0064KB-A					
	R5F51138ADLJ	R5F51138ADLJ#2A	PTLG0100JA-A					
	R5F51137ADFP	R5F51137ADFP#3A	PLQP0100KB-A	384Kバイト				
	R5F51137ADFM	R5F51137ADFM#3A	PLQP0064KB-A					
	R5F51137ADLJ	R5F51137ADLJ#2A	PTLG0100JA-A					
	R5F51136ADFP	R5F51136ADFP#3A	PLQP0100KB-A	256Kバイト	32Kバイト			
	R5F51136ADFM	R5F51136ADFM#3A	PLQP0064KB-A					
	R5F51136ADLJ	R5F51136ADLJ#2A	PTLG0100JA-A					
	R5F51135ADFP	R5F51135ADFP#3A	PLQP0100KB-A	128Kバイト				
	R5F51135ADFM	R5F51135ADFM#3A	PLQP0064KB-A					
	R5F51135ADLJ	R5F51135ADLJ#2A	PTLG0100JA-A					
	R5F51138AGFP	R5F51138AGFP#3A	PLQP0100KB-A	512Kバイト	64Kバイト			-40 ~ +105°C
	R5F51138AGFM	R5F51138AGFM#3A	PLQP0064KB-A					
	R5F51137AGFP	R5F51137AGFP#3A	PLQP0100KB-A					
	R5F51137AGFM	R5F51137AGFM#3A	PLQP0064KB-A					
	R5F51136AGFP	R5F51136AGFP#3A	PLQP0100KB-A	256Kバイト	32Kバイト			
	R5F51136AGFM	R5F51136AGFM#3A	PLQP0064KB-A					
	R5F51135AGFP	R5F51135AGFP#3A	PLQP0100KB-A					
	R5F51135AGFM	R5F51135AGFM#3A	PLQP0064KB-A					

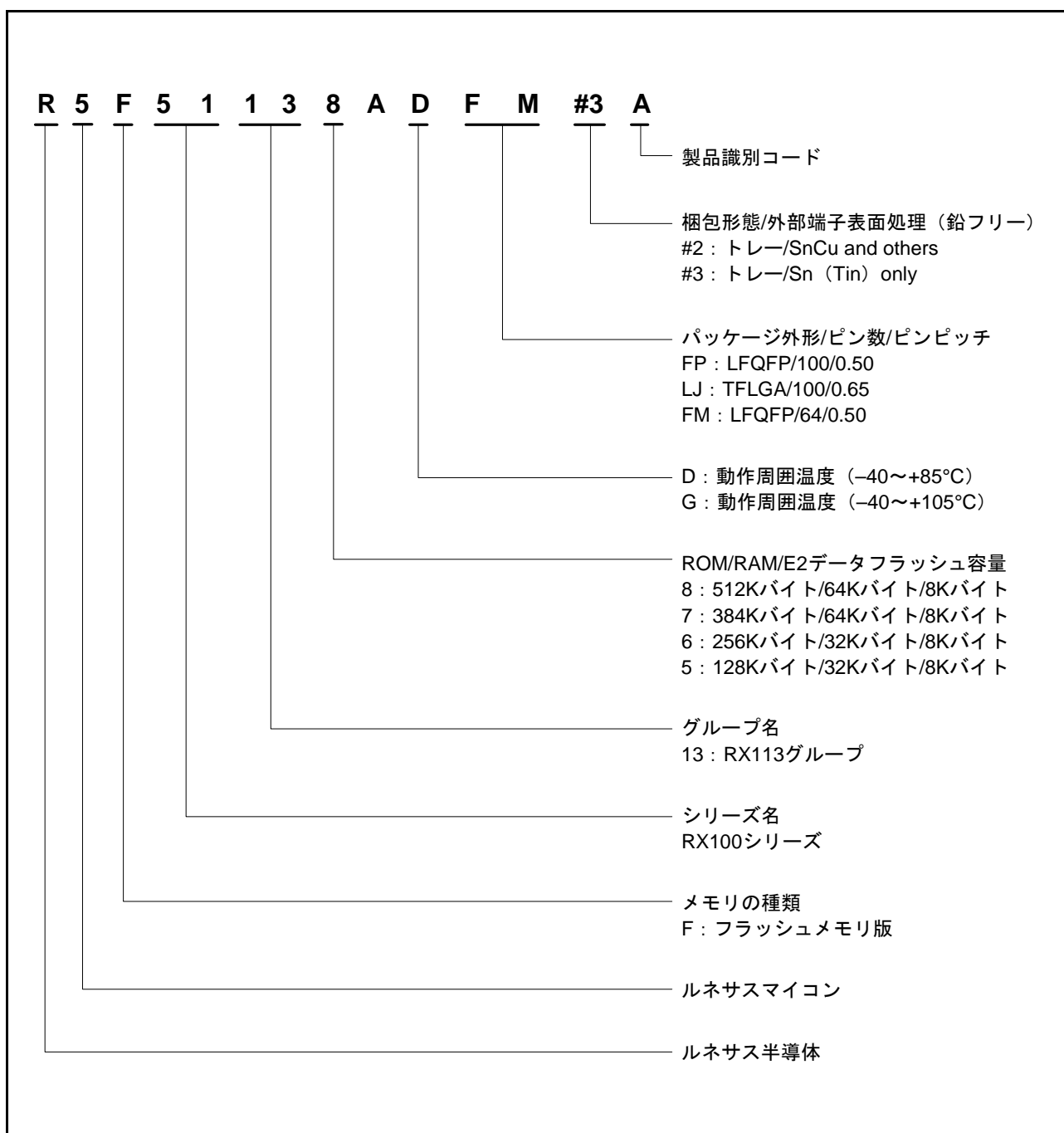


図 1.1 型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図 1.2 にブロック図を示します。

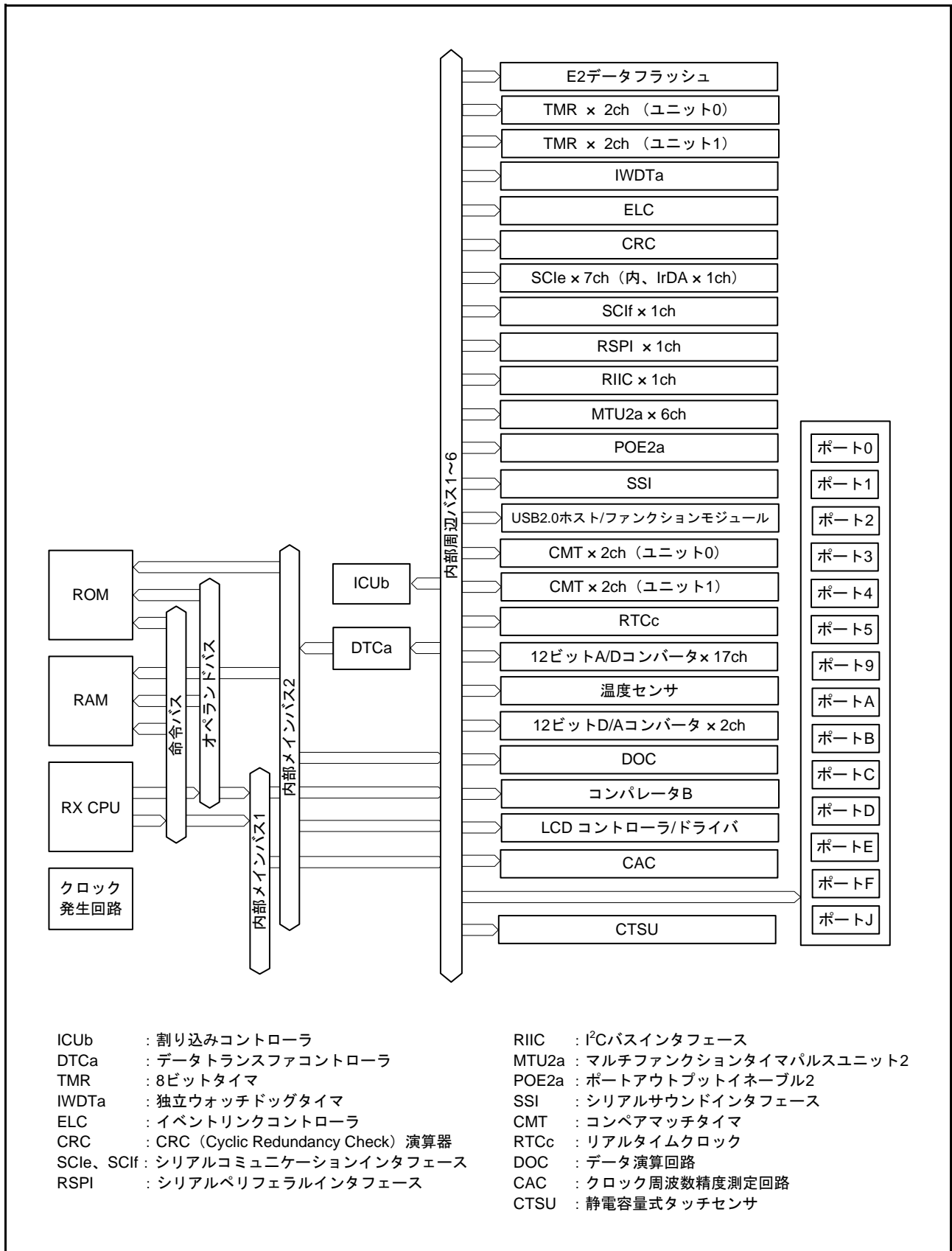


図 1.2 ブロック図

## 1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/4)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7 $\mu$ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	VCC_USB	入力	USB用電源端子。VCCに接続してください
	VSS_USB	入力	USB用グランド端子。VSSに接続してください
アナログ電源	AVCC0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナログ電源端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナロググランド端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
	VREFH	入力	12ビットD/Aコンバータの基準電源端子
	VREFL	入力	12ビットD/Aコンバータの基準グランド端子
クロック	XTAL	出力/ 入力 (注1)	水晶発振器接続端子。また、XTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振器を接続してください
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB#	入力	ブートモード (USBインタフェース) で使用する端子
	UPSEL	入力	ブートモード (USBインタフェース) で使用する端子
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
LVD	CMPA2	入力	電圧検出2用検出対象電圧端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
マルチファンクション タイムパルスユニット2	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/ 外部パルス入力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子



表 1.4 端子機能一覧 (2/4)

分類	端子名	入出力	機能	
ポートアウトプット イネーブル2	POE0#~POE3#, POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子	
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子	
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子	
	TMC10~TMC13	入力	カウンタに入力する外部クロックの入力端子	
	TMRI0~TMRI3	入力	カウンタリセット入力端子	
シリアル コミュニケーション インタフェース (SC1e)	• 調歩同期モード/クロック同期モード			
	SCK0, SCK1, SCK2, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子	
	RXD0, RXD1, RXD2, RXD5, RXD6, RXD8, RXD9	入力	受信データ入力端子	
	TXD0, TXD1, TXD2, TXD5, TXD6, TXD8, TXD9	出力	送信データ出力端子	
	CTS0#, CTS1#, CTS2#, CTS5#, CTS6#, CTS8#, CTS9#	入力	送受信開始制御入力端子	
	RTS0#, RTS1#, RTS2#, RTS5#, RTS6#, RTS8#, RTS9#	出力	送受信開始制御出力端子	
	• 簡易I <sup>2</sup> Cモード			
	SSCL0, SSCL1, SSCL2, SSCL5, SSCL6, SSCL8, SSCL9	入出力	I <sup>2</sup> Cクロック入出力端子	
	SSDA0, SSDA1, SSDA2, SSDA5, SSDA6, SSDA8, SSDA9	入出力	I <sup>2</sup> Cデータ入出力端子	
	• 簡易SPIモード			
	SCK0, SCK1, SCK2, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子	
	SMISO0, SMISO1, SMISO2, SMISO5, SMISO6, SMISO8, SMISO9	入出力	スレーブ送出データ入出力端子	
	SMOSI0, SMOSI1, SMOSI2, SMOSI5, SMOSI6, SMOSI8, SMOSI9	入出力	マスタ送出データ入出力端子	
	SS0#, SS1#, SS2#, SS5#, SS6#, SS8#, SS9#	入力	チップセレクト入力端子	
	IrDAインタフェース	IRTXD5	出力	IrDAフォーマットでのデータ出力端子
		IRRXD5	入力	IrDAフォーマットでのデータ入力端子

表 1.4 端子機能一覧 (3/4)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIf)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御入力端子
	RTS12#	出力	送受信開始制御出力端子
	• 簡易I <sup>2</sup> Cモード		
	SSCL12	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA12	入出力	I <sup>2</sup> Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	SCIf受信データ入力端子
TXDX12	出力	SCIf送信データ出力端子	
SIOX12	入出力	SCIf送受信データ入出力端子	
I <sup>2</sup> Cバスインタフェース	SCL0	入出力	I <sup>2</sup> Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I <sup>2</sup> Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
シリアルサウンド インタフェース	SSISCK0	入出力	SSIシリアルビットクロック端子
	SSIWS	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_MCLK	入力	オーディオ用のマスタクロック端子
USB2.0ホスト/ ファンクション モジュール	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子
	USB0_DM	入出力	USB内蔵トランシーバD-入出力端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V) の供給許可信号
	USB0_OVRCURA, USB0_OVRCURB	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
12ビットA/Dコンバータ	AN000~AN015, AN021	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子

表 1.4 端子機能一覧 (4/4)

分類	端子名	入出力	機能
コンパレータ B	CMPB0	入力	コンパレータ B0用のアナログ端子
	CVREFB0	入力	コンパレータ B0用のリファレンス電圧端子
	CMPB1	入力	コンパレータ B1用のアナログ端子
	CVREFB1	入力	コンパレータ B1用のリファレンス電圧端子
	CMPOB0	出力	コンパレータ B0用出力端子
	CMPOB1	出力	コンパレータ B1用出力端子
LCD	VL1, VL2, VL3, VL4	入出力	LCD駆動用電圧端子
	CAPH, CAPL	入出力	LCDコントローラ/ドライバ用コンデンサ接続端子
	COM0~COM7	出力	LCDコントローラ/ドライバのコモン信号出力端子
	SEG00~SEG39	出力	LCDコントローラ/ドライバのセグメント信号出力端子
CTSU	TS0~TS11	入力	静電容量接触検出端子 (タッチ端子)
	TSCAP	入出力	タッチドライバー用2次電源端子
I/Oポート	P02, P04, P07	入出力	3ビットの入出力端子
	P10~P17	入出力	8ビットの入出力端子
	P20~P27	入出力	8ビットの入出力端子
	P30~P32, P35	入出力	4ビットの入出力端子 (P35は入力端子)
	P40~P44, P46	入出力	6ビットの入出力端子
	P50~P56	入出力	7ビットの入出力端子
	P90~P92	入出力	3ビットの入出力端子
	PA0~PA7	入出力	8ビットの入出力端子
	PB0~PB7	入出力	8ビットの入出力端子
	PC0~PC7	入出力	8ビットの入出力端子
	PD0~PD4	入出力	5ビットの入出力端子
	PE0~PE7	入出力	8ビットの入出力端子
	PF6, PF7	入出力	2ビットの入出力端子
	PJ0, PJ2, PJ3, PJ6, PJ7	入出力	5ビットの入出力端子

注1. 外部クロックを入力する場合です。

1.5 ピン配置図

図 1.3 ~ 図 1.5 にピン配置図を示します。また、表 1.5 ~ 表 1.7 に機能別端子一覧を示します。

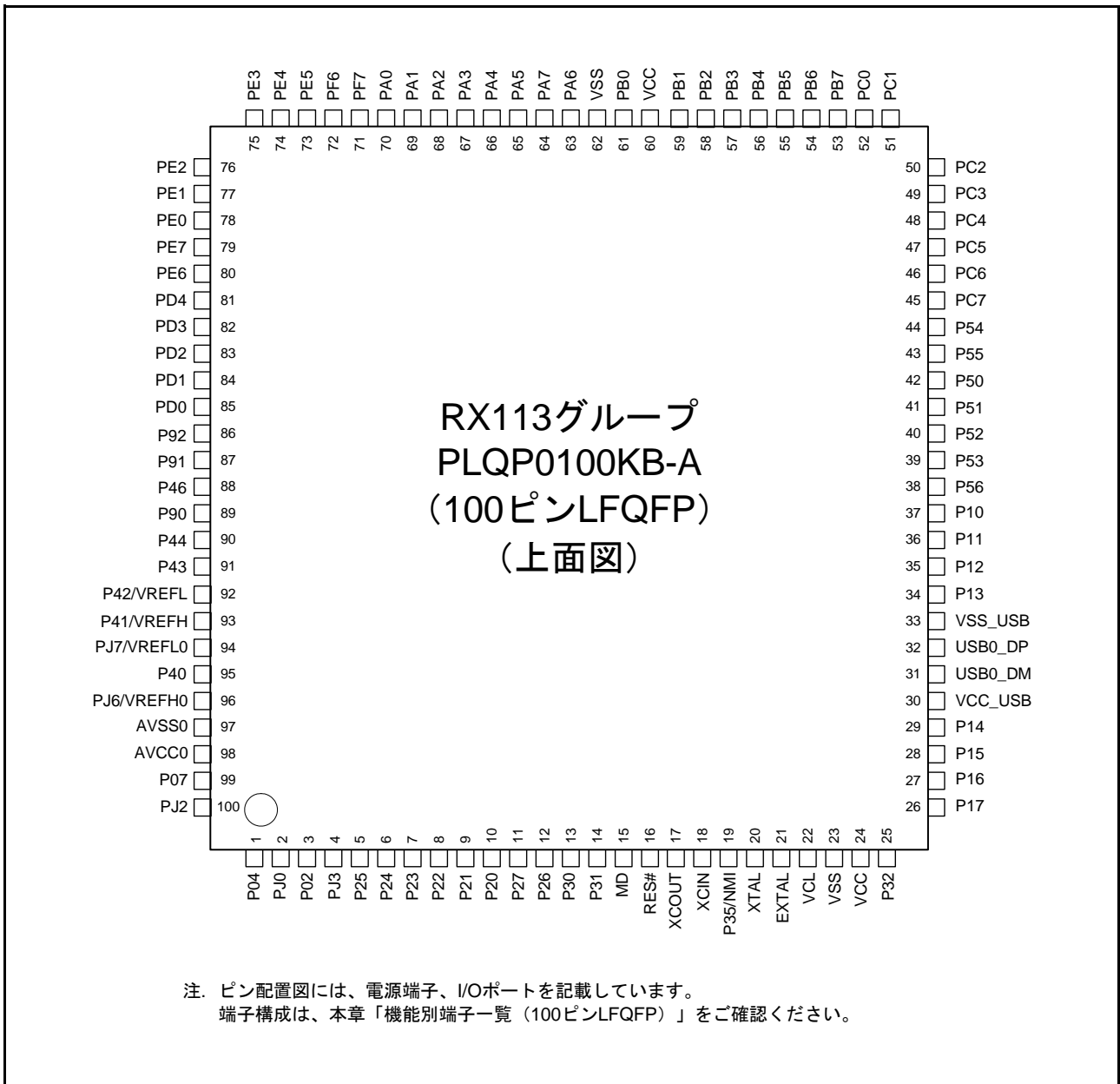


図 1.3 100 ピン LQFP ピン配置図

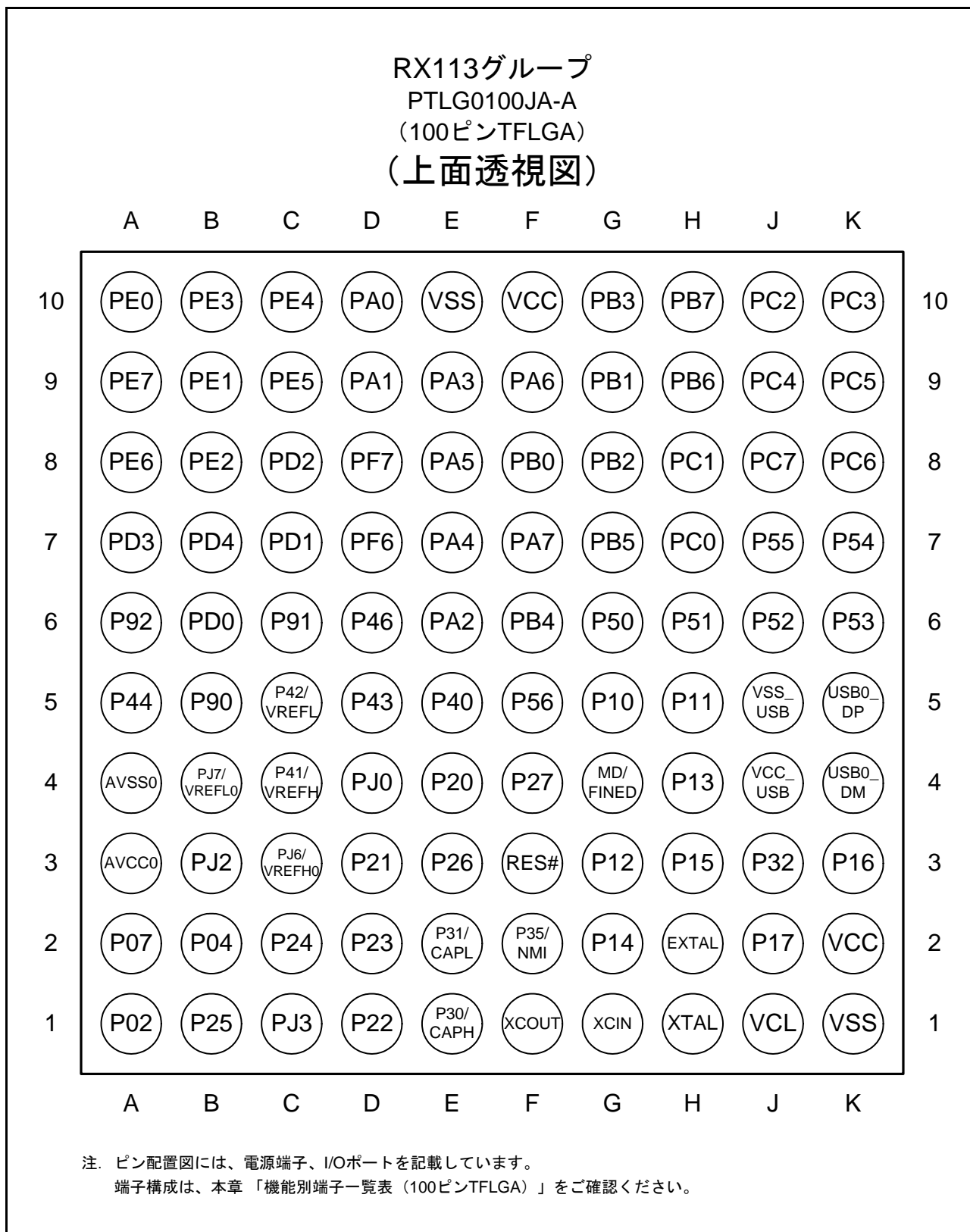


図 1.4 100ピンTFLGAピン配置図

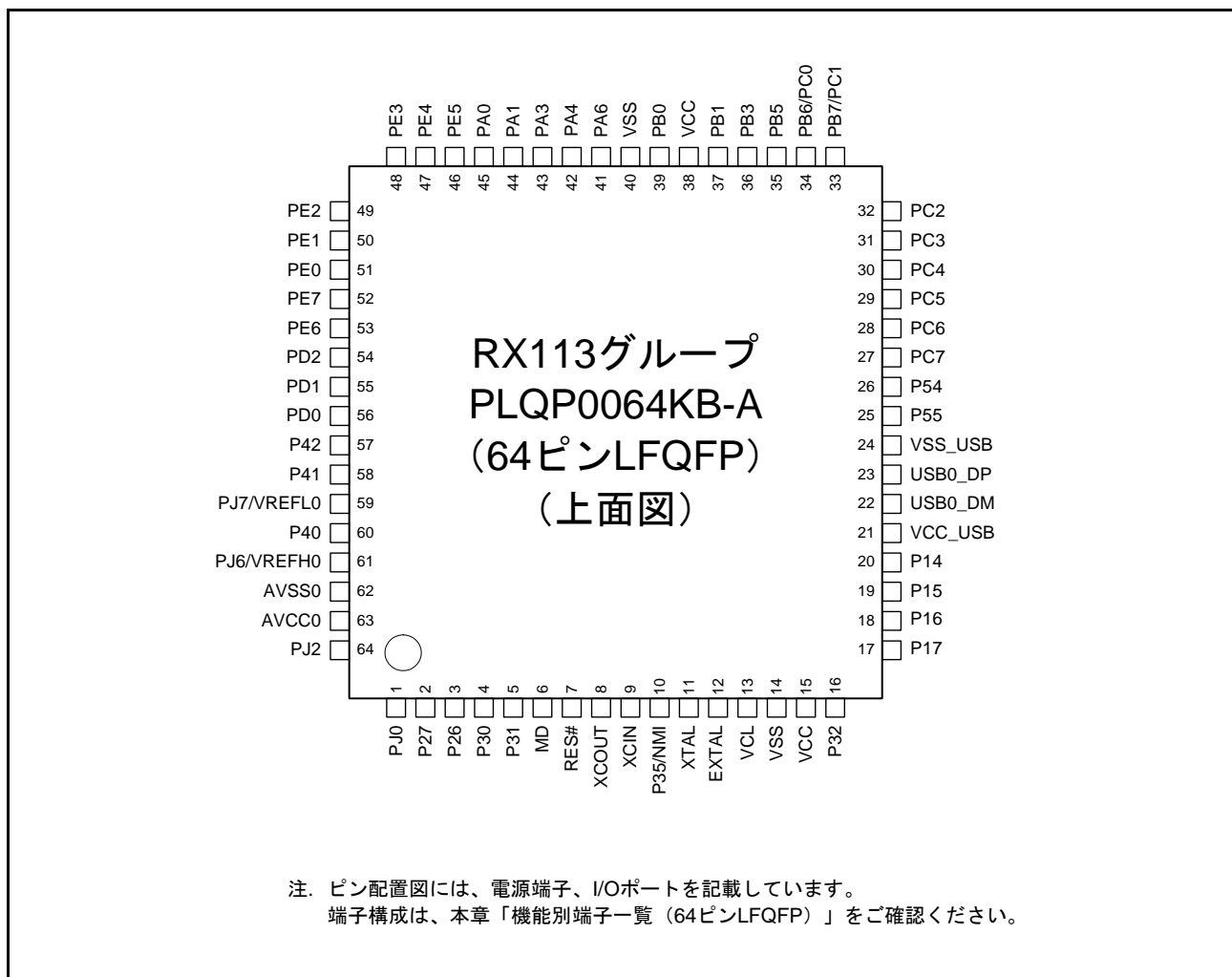


図 1.5 64ピンLFQFPピン配置図

表 1.5 機能別端子一覧 (100ピンLQFP) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RiIC, USB, SSI)	LCD、タッチ	その他
1		P04	MTIOC0A/POE2#/TMCI3	SCK6	TS1	
2		PJ0				DA0
3		P02	MTIOC0D/POE3#/TMRI3	RXD6/SMISO6/SSCL6	TS2	
4		PJ3	MTIOC3C	CTS6#/RTS6#/SS6#	TS3	
5		P25	MTIOC4C/MTCLKB		TS4	ADTRG0#
6		P24	MTIOC4A/MTCLKA/TMRI1		TS5	
7		P23	MTIOC3D/MTCLKD	CTS0#/RTS0#/SS0#	TS6	
8		P22	MTIOC3B/MTCLKC/TMO0	SCK0	TS7	
9		P21	MTIOC1B/TMCI0	RXD0/SMISO0/SSCL0	TS8	
10		P20	MTIOC1A/TMRI0	TXD0/SMOSI0/SSDA0	TS9	
11		P27	MTIOC2B/TMCI3	SCK12/SCK1/RXD6/SMISO6/SSCL6	TS10	IRQ3/ADTRG0#/ CACREF/CMPA2
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUSEN/ TXD6/SMOSI6/SSDA6	TSCAP	
13		P30	MTIOC4B/POE8#/TMRI3	RXD1/SMISO1/SSCL1	CAPH	IRQ0
14		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	CAPL	IRQ1
15	MD					FINED
16	RES#					
17	XCOU					
18	XCIN					
19	UPSEL	P35				NMI
20	XTAL					
21	EXTAL					
22	VCL					
23	VSS					
24	VCC					
25		P32	MTIOC0C/RTCOU/TMO3	TXD6/SMOSI6/SSDA6/CTS6#/RTS6#/ SS6#	TS11	IRQ2
26		P17	MTIOC0C/MTIOC3A/ MTIOC3B/POE8#/TMO1	SCK1/MISOA/SDA0/RXD12/RXD12/ SMISO12/SSCL12		IRQ7
27		P16	MTIOC3C/MTIOC3D/ RTCOU/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL0/ USB0_VBUS/USB0_VBUSEN/ USB0_OVRCURB		IRQ6/ADTRG0#
28		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/RSPCKA		IRQ5/CLKOUT/ CACREF
29	UB#	P14	MTIOC0A/MTIOC3A/ MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/SSDA12/ USB0_OVRCURA		IRQ4
30	VCC_USB					
31				USB0_DM		
32				USB0_DP		
33	VSS_USB					
34		P13	MTIOC0B/TMO3	CTS12#/RTS12#/SS12#/CTS0#/RTS0#/ SS0#	SEG00	IRQ3
35		P12	TMCI1	SCK12/SCK0	SEG01	IRQ2
36		P11	MTIC5U/POE0#	RXD12/RXD12/SMISO12/SSCL12/ RXD0/SMISO0/SSCL0	SEG02	IRQ7
37		P10	MTIC5V/POE1#	TXD12/TXD12/SIOX12/SMOSI12/ SSDA12/TXD0/SMOSI0/SSDA0	SEG03	IRQ6
38		P56	MTIOC1A/MTIC5W/POE2#	TXD1/SMOSI1/SSDA1	SEG04	IRQ5
39		P53	MTIOC2B	SSLA0/CTS2#/RTS2#/SS2#	SEG05	
40		P52		MISOA/RXD2/SMISO2/SSCL2	SEG06	

表 1.5 機能別端子一覧 (100ピンLQFP) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、タッチ	その他
41		P51	MTIOC4C	RSPCKA/SCK2	SEG07	
42		P50	MTIOC2A	MOSIA/TXD2/SMOSI2/SSDA2	SEG08	
43		P55	MTIOC4D/TMO3		VL1	
44		P54	MTIOC4B/TMC1		VL2	
45		PC7	MTIOC3A/MTCLKB/TMO2	TXD1/SMOSI1/SSDA1/MISOA/TXD8/ SMOSI8/SSDA8/USB0_OVRCURB	VL3	CACREF
46		PC6	MTIOC3C/MTCLKA/TMC12	RXD1/SMISO1/SSCL1/MOSIA/RXD8/ SMISO8/SSCL8/USB0_EXICEN	VL4	
47		PC5	MTIOC3B/MTCLKD/TMR12	SCK1/RSPCKA/SCK8/USB0_ID	COM0	
48		PC4	MTIOC3D/MTCLKC/POE0#/ TMC1	SSLA0/CTS8#/RTS8#/SS8#/SCK5/ USB0_VBUSEN/USB0_VBUS (注1)	COM1	IRQ2/CLKOUT
49		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/IRTXD5	COM2	
50		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/IRRXD5/SSLA3	COM3	
51		PC1	MTIOC3A	SCK5/SSLA2	SEG09	
52		PC0	MTIOC3C	CTS5#/RTS5#/SS5#/SSLA1	SEG10	
53		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9/SSITXD0	SEG11/ COM4	
54		PB6	MTIOC3D	RXD9/SMISO9/SSCL9/SSIRXD0	SEG12/ COM5	
55		PB5	MTIOC1B/MTIOC2A/ POE1#/TMR1	SCK9/SSISCK0	SEG13/ COM6	
56		PB4		CTS9#/RTS9#/SS9#	SEG14	
57		PB3	MTIOC0A/MTIOC3B/ MTIOC4A/POE3#/TMO0	SCK6/AUDIO_MCLK/USB0_OVRCURA	SEG15/ COM7	
58		PB2		CTS6#/RTS6#/SS6#	SEG16	
59		PB1	MTIOC0C/MTIOC4C/TMC10	TXD6/SMOSI6/SSDA6/SSIWS0	SEG17	IRQ4
60	VCC					
61		PB0	MTIOC0C/MTIC5W/ RTCOUT	SCL0/RSPCKA/RXD6/SMISO6/SSCL6		IRQ2/ADTRG0#
62	VSS					
63		PA6	MTIC5V/MTCLKB/ MTIOC2A/POE2#/TMC13	CTS5#/RTS5#/SS5#/SDA0/MOSIA/RXD8/ SMISO8/SSCL8		IRQ3
64		PA7		TXD8/SMOSI8/SSDA8	SEG18	
65		PA5		SCK8	SEG19	
66		PA4	MTIOC2B/MTIC5U/ MTCLKA/TMR10	TXD5/SMOSI5/SSDA5/IRTXD5/SSLA0/ CTS8#/RTS8#/SS8#	SEG20	IRQ5/CVREFB1
67		PA3	MTIOC0D/MTIOC1B/ MTCLKD/POE0#	RXD5/SMISO5/SSCL5/IRRXD5/MISOA	SEG21	IRQ6/CMPB1
68		PA2		RXD5/SMISO5/SSCL5/IRRXD5/SSLA3	SEG22	
69		PA1	MTIOC0B/MTCLKC/ RTCOUT	SCK5/SSLA2	SEG23	
70		PA0	MTIOC4A	SSLA1	SEG24	CACREF
71		PF7	MTIOC3A		SEG25	
72		PF6	MTIOC3C		SEG26	
73		PE5	MTIOC2B/MTIOC4C	MISOA/TXD9/SMOSI9/SSDA9	SEG27	IRQ5/AN013/CMPB1
74		PE4	MTIOC1A/MTIOC3A/ MTIOC4D	MOSIA/RXD9/SMISO9/SSCL9/SSIWS0	SEG28	IRQ4/AN012
75		PE3	MTIOC0A/MTIOC1B/ MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA/SCK9/ AUDIO_MCLK	SEG29	IRQ3/AN011
76		PE2	MTIOC4A	RXD12/RDX12/SMISO12/SSCL12/ SSIRXD0	SEG30	IRQ7/AN010/CVREFB0
77		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/ SSDA12/SSITXD0	SEG31	IRQ1/AN009/CMPB0
78		PE0	MTIOC2A/POE3#	SCK12/CTS9#/RTS9#/SS9#/SSISCK0	SEG32	IRQ0/AN008



表 1.5 機能別端子一覧 (100ピンLQFP) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SC1e, SC1f, RSPI, RIIC, USB, SSI)	LCD、 タッチ	その他
79		PE7			SEG33	IRQ7/AN015/CMPOB0
80		PE6			SEG34	IRQ6/AN014
81		PD4	POE3#		SEG35	IRQ4
82		PD3	POE8#		SEG36	IRQ3
83		PD2	MTIOC4D		SEG37	IRQ2
84		PD1	MTIOC4B		SEG38	IRQ1
85		PD0			SEG39	IRQ0
86		P92 (注2)				AN021
87		P91 (注2)				AN007
88		P46 (注2)				AN006
89		P90 (注2)				AN005
90		P44 (注2)				AN004
91		P43 (注2)				AN003
92	VREFL	P42 (注2)				AN002
93	VREFH	P41 (注2)				AN001
94	VREFL0	PJ7 (注2)				
95		P40 (注2)				AN000
96	VREFH0	PJ6 (注2)				
97	AVSS0					
98	AVCC0					
99		P07		TXD6/SMOSI6/SSDA6	TS0	ADTRG0#
100		PJ2				DA1

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.6 機能別端子一覧 (100ピンTFLGA) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、タッチ	その他
A1		P02	MTIOC0D/POE3#/TMR13	RXD6/SMISO6/SSCL6	TS2	
A2		P07		TXD6/SMOSI6/SSDA6	TS0	ADTRG0#
A3	AVCC0					
A4	AVSS0					
A5		P44 (注2)				AN004
A6		P92 (注2)				AN021
A7		PD3	POE8#		SEG36	IRQ3
A8		PE6			SEG34	IRQ6/AN014
A9		PE7			SEG33	IRQ7/AN015/CMPOB0
A10		PE0	MTIOC2A/POE3#	SCK12/CTS9#/RTS9#/SS9#/SSISCK0	SEG32	IRQ0/AN008
B1		P25	MTIOC4C/MTCLKB		TS4	ADTRG0#
B2		P04	MTIOC0A/POE2#/TMC13	SCK6	TS1	
B3		PJ2				DA1
B4	VREFL0	PJ7 (注2)				
B5		P90 (注2)				AN005
B6		PD0			SEG39	IRQ0
B7		PD4	POE3#		SEG35	IRQ4
B8		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12/ SSIRXD0	SEG30	IRQ7/AN010/CVREFB0
B9		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/ SSDA12/SSITXD0	SEG31	IRQ1/AN009/CMPB0
B10		PE3	MTIOC0A/MTIOC1B/ MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA/SCK9/ AUDIO_MCLK	SEG29	IRQ3/AN011
C1		PJ3	MTIOC3C	CTS6#/RTS6#/SS6#	TS3	
C2		P24	MTIOC4A/MTCLKA/TMR11		TS5	
C3	VREFH0	PJ6 (注2)				
C4	VREFH	P41 (注2)				AN001
C5	VREFL	P42 (注2)				AN002
C6		P91 (注2)				AN007
C7		PD1	MTIOC4B		SEG38	IRQ1
C8		PD2	MTIOC4D		SEG37	IRQ2
C9		PE5	MTIOC2B/MTIOC4C	MISOA/TXD9/SMOSI9/SSDA9	SEG27	IRQ5/AN013/CMPOB1
C10		PE4	MTIOC1A/MTIOC3A/ MTIOC4D	MOSIA/RXD9/SMISO9/SSCL9/SSIWS0	SEG28	IRQ4/AN012
D1		P22	MTIOC3B/MTCLKC/TMO0	SCK0	TS7	
D2		P23	MTIOC3D/MTCLKD	CTS0#/RTS0#/SS0#	TS6	
D3		P21	MTIOC1B/TMC10	RXD0/SMISO0/SSCL0	TS8	
D4		PJ0				DA0
D5		P43 (注2)				AN003
D6		P46 (注2)				AN006
D7		PF6	MTIOC3C		SEG26	
D8		PF7	MTIOC3A		SEG25	
D9		PA1	MTIOC0B/MTCLKC/ RTCOUT	SCK5/SSLA2	SEG23	
D10		PA0	MTIOC4A	SSLA1	SEG24	CACREF
E1		P30	MTIOC4B/POE8#/TMR13	RXD1/SMISO1/SSCL1	CAPH	IRQ0
E2		P31	MTIOC4D/TMC12	CTS1#/RTS1#/SS1#	CAPL	IRQ1
E3		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUSEN/ TXD6/SMOSI6/SSDA6	TSCAP	
E4		P20	MTIOC1A/TMR10	TXD0/SMOSI0/SSDA0	TS9	

表 1.6 機能別端子一覧 (100ピンTFLGA) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、タッチ	その他
E5		P40(注2)				AN000
E6		PA2		RXD5/SMISO5/SSCL5/IRRXD5/SSLA3	SEG22	
E7		PA4	MTIOC2B/MTIC5U/ MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/IRTXD5/SSLA0/ CTS8#/RTS8#/SS8#	SEG20	IRQ5/CVREFB1
E8		PA5		SCK8	SEG19	
E9		PA3	MTIOC0D/MTIOC1B/ MTCLKD/POE0#	RXD5/SMISO5/SSCL5/IRRXD5/MISOA	SEG21	IRQ6/CMPB1
E10	VSS					
F1	XCOUT					
F2	UPSEL	P35				NMI
F3	RES#					
F4		P27	MTIOC2B/TMCI3	SCK12/SCK1/RXD6/SMISO6/SSCL6	TS10	IRQ3/ADTRG0#/ CACREF/CMPA2
F5		P56	MTIOC1A/MTIC5W/POE2#	TXD1/SMOSI1/SSDA1	SEG04	IRQ5
F6		PB4		CTS9#/RTS9#/SS9#	SEG14	
F7		PA7		TXD8/SMOSI8/SSDA8	SEG18	
F8		PB0	MTIOC0C/MTIC5W/ RTCOUT	SCL0/RSPCKA/RXD6/SMISO6/SSCL6		IRQ2/ADTRG0#
F9		PA6	MTIC5V/MTCLKB/ MTIOC2A/POE2#/TMCI3	CTS5#/RTS5#/SS5#/SDA0/MOSIA/RXD8/ SMISO8/SSCL8		IRQ3
F10	VCC					
G1	XCIN					
G2	UB#	P14	MTIOC0A/MTIOC3A/ MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/SSDA12/ USB0_OVRCURA		IRQ4
G3		P12	TMCI1	SCK12/SCK0	SEG01	IRQ2
G4	MD					FINED
G5		P10	MTIC5V/POE1#	TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12/TXD0/SMOSI0/SSDA0	SEG03	IRQ6
G6		P50	MTIOC2A	MOSIA/TXD2/SMOSI2/SSDA2	SEG08	
G7		PB5	MTIOC1B/MTIOC2A/ POE1#/TMRI1	SCK9/SSISCK0	SEG13/ COM6	
G8		PB2		CTS6#/RTS6#/SS6#	SEG16	
G9		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6/SSIWS0	SEG17	IRQ4
G10		PB3	MTIOC0A/MTIOC3B/ MTIOC4A/POE3#/TMO0	SCK6/AUDIO_MCLK/USB0_OVRCURA	SEG15/ COM7	
H1	XTAL					
H2	EXTAL					
H3		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/RSPCKA		IRQ5/CLKOUT/ CACREF
H4		P13	MTIOC0B/TMO3	CTS12#/RTS12#/SS12#/CTS0#/RTS0#/ SS0#	SEG00	IRQ3
H5		P11	MTIC5U/POE0#	RXD12/RXD12/SMISO12/SSCL12/RXD0/ SMISO0/SSCL0	SEG02	IRQ7
H6		P51	MTIOC4C	RSPCKA/SCK2	SEG07	
H7		PC0	MTIOC3C	CTS5#/RTS5#/SS5#/SSLA1	SEG10	
H8		PC1	MTIOC3A	SCK5/SSLA2	SEG09	
H9		PB6	MTIOC3D	RXD9/SMISO9/SSCL9/SSIRXD0	SEG12/ COM5	
H10		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9/SSITXD0	SEG11/ COM4	
J1	VCL					
J2		P17	MTIOC0C/MTIOC3A/ MTIOC3B/POE8#/TMO1	SCK1/MISOA/SDA0/RXD12/RDX12/ SMISO12/SSCL12		IRQ7

表 1.6 機能別端子一覧 (100ピンTFLGA) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、タッチ	その他
J3		P32	MTIOC0C/RTCOUT/TMO3	TXD6/SMOSI6/SSDA6/CTS6#/RTS6#/SS6#	TS11	IRQ2
J4	VCC_USB					
J5	VSS_USB					
J6		P52		MISOA/RXD2/SMISO2/SSCL2	SEG06	
J7		P55	MTIOC4D/TMO3		VL1	
J8		PC7	MTIOC3A/MTCLKB/TMO2	TXD1/SMOSI1/SSDA1/MISOA/TXD8/SMOSI8/SSDA8/USB0_OVRCURB	VL3	CACREF
J9		PC4	MTIOC3D/MTCLKC/POE0#/TMC1	SSLA0/CTS8#/RTS8#/SS8#/SCK5/USB0_VBUSEN/USB0_VBUS (注1)	COM1	IRQ2/CLKOUT
J10		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/IRRXD5/SSLA3	COM3	
K1	VSS					
K2	VCC					
K3		P16	MTIOC3C/MTIOC3D/RTCOUT/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL0/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB		IRQ6/ADTRG0#
K4				USB0_DM		
K5				USB0_DP		
K6		P53	MTIOC2B	SSLA0/CTS2#/RTS2#/SS2#	SEG05	
K7		P54	MTIOC4B/TMC1		VL2	
K8		PC6	MTIOC3C/MTCLKA/TMC12	RXD1/SMISO1/SSCL1/MOSIA/RXD8/SMISO8/SSCL8/USB0_EXICEN	VL4	
K9		PC5	MTIOC3B/MTCLKD/TMR12	SCK1/RSPCKA/SCK8/USB0_ID	COM0	
K10		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/IRTXD5	COM2	

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.7 機能別端子一覧 (64ピンLQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、タッチ	その他
1		PJ0				DA0
2		P27	MTIOC2B/TMCI3	SCK1/SCK12/RXD6/SMISO6/SSCL6		IRQ3/CMPA2/CACREF/ ADTRG0#
3		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUSEN/ TXD6/SMOSI6/SSDA6		
4		P30	MTIOC4B/POE8#/TMR13	RXD1/SMISO1/SSCL1	CAPH	IRQ0
5		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	CAPL	IRQ1
6	MD					FINED
7	RES#					
8	XCOUT					
9	XCIN					
10	UPSEL	P35				NMI
11	XTAL					
12	EXTAL					
13	VCL					
14	VSS					
15	VCC					
16		P32	MTIOC0C/RTCOUT/TMO3	TXD6/SMOSI6/SSDA6/CTS6#/RTS6#/ SS6#		IRQ2
17		P17	MTIOC0C/MTIOC3A/ MTIOC3B/POE8#/TMO1	SCK1/MISOA/SDA0/RXD12/RXDX12/SMI- SO12/SSCL12		IRQ7
18		P16	MTIOC3C/MTIOC3D/ RTCOUT/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL0/ USB0_VBUS/USB0_VBUSEN/USB0_OVR- CURB		IRQ6/ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/RSPCKA		IRQ5/CLKOUT/ CACREF
20	UB#	P14	MTIOC0A/MTIOC3A/ MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/SSDA12/ USB0_OVRCURA		IRQ4
21	VCC_USB					
22				USB0_DM		
23				USB0_DP		
24	VSS_USB					
25		P55	MTIOC4D/TMO3		VL1	
26		P54	MTIOC4B/TMCI1		VL2	
27		PC7	MTIOC3A/MTCLKB/TMO2	TXD1/SMOSI1/SSDA1/MISOA/TXD8/ SMOSI8/SSDA8/USB0_OVRCURB	VL3	CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	RXD1/SMISO1/SSCL1/MOSIA/RXD8/ SMISO8/SSCL8/USB0_EXICEN	VL4	
29		PC5	MTIOC3B/MTCLKD/TMRI2	SCK1/RSPCKA/SCK8/USB0_ID	COM0	
30		PC4	MTIOC3D/MTCLKC/POE0#/ TMCI1	SSLA0/CTS8#/RTS8#/SS8#/SCK5/ USB0_VBUSEN/USB0_VBUS (注1)	COM1	IRQ2/CLKOUT
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/IRTXD5	COM2	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3/IRRXD5	COM3	
33		PB7/PC1	MTIOC3B	TXD9/SMOSI9/SSDA9/SSITXD0	SEG11/ COM4	
34		PB6/PC0	MTIOC3D	RXD9/SMISO9/SSCL9/SSIRXD0	SEG12/ COM5	
35		PB5	MTIOC2A/MTIOC1B/ POE1#/TMR11	SCK9/SSISCK0	SEG13/ COM6	
36		PB3	MTIOC0A/MTIOC3B/ MTIOC4A/POE3#/TMO0	SCK6/AUDIO_MCLK/USB0_OVRCURA	SEG15/ COM7	
37		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6/SSIWS0	SEG17	IRQ4
38	VCC					

表 1.7 機能別端子一覧 (64ピンLQFP) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、タッチ	その他
39		PB0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA/RXD6/SMISO6/SSCL6		IRQ2/ADTRG0#
40	VSS					
41		PA6	MTIC5V/MTCLKB/ MTIOC2A/POE2#/TMCi3	CTS5#/RTS5#/SS5#/SDA0/MOSIA		IRQ3
42		PA4	MTIC5U/MTCLKA/ MTIOC2B/TMRI0	TXD5/SMOSI5/SSDA5/IRTXD5/SSLA0	SEG20	IRQ5/CVREFB1
43		PA3	MTIOC0D/MTCLKD/ MTIOC1B/POE0#	RXD5/SMISO5/SSCL5/IRRXD5/MISOA	SEG21	IRQ6/CMPB1
44		PA1	MTIOC0B/MTCLKC/ RTCOUT	SCK5/SSLA2	SEG23	
45		PA0	MTIOC4A	SSLA1	SEG24	CACREF
46		PE5	MTIOC4C/MTIOC2B	MISOA/TXD9/SMOSI9/SSDA9	SEG27	IRQ5/AN013/CMPOB1
47		PE4	MTIOC4D/MTIOC1A/ MTIOC3A	MOSIA/RXD9/SMISO9/SSCL9/SSIWS0	SEG28	IRQ4/AN012
48		PE3	MTIOC0A/MTIOC1B/ MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/RSPCKA/SCK9/ AUDIO_MCLK	SEG29	IRQ3/AN011
49		PE2	MTIOC4A	RXD12/RXD12/SIOX12/SMOSI12/ SSIRXD0	SEG30	IRQ7/AN010/CVREFB0
50		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/ SSDA12/SSITXD0	SEG31	IRQ1/AN009/CMPB0
51		PE0	MTIOC2A/POE3#	SCK12/CTS9#/RTS9#/SS9#/SSISCK0	SEG32	IRQ0/AN008
52		PE7			SEG33	IRQ7/AN015/CMPOB0
53		PE6			SEG34	IRQ6/AN014
54		PD2	MTIOC4D		SEG37	IRQ2
55		PD1	MTIOC4B		SEG38	IRQ1
56		PD0			SEG39	IRQ0
57	VREFL	P42 (注2)				AN002
58	VREFH	P41 (注2)				AN001
59	VREFL0	PJ7 (注2)				
60		P40 (注2)				AN000
61	VREFH0	PJ6 (注2)				
62	AVSS0					
63	AVCC0					
64		PJ2				DA1

注1. 5Vトレラントではありません。

注2. これら端子の入出力バッファの電源はAVCC0です。

## 2. CPU

本 MCU は、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、9 種類の DSP 機能命令の合計 82 種類の命令と、10 種類のアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間、即値-レジスタ、即値-メモリの演算をはじめ、ビット操作、メモリーメモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが伸びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「Out-of-Order Completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

### 2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
  - 汎用レジスタ：32 ビット×16 本
  - 制御レジスタ：32 ビット×8 本
  - アキュムレータ：64 ビット×1 本
- 基本命令：73 種類（算術 / 論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
  - 分岐距離に応じた相対分岐命令
  - 可変長命令形式（1 バイト長～8 バイト長）
  - 頻出命令に短縮フォーマットを用意
- DSP 機能命令：9 種類
  - 16 ビット×16 ビットの乗算、積和命令に対応
  - アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
  - 「Out-of-Order Completion」の採用
- プロセッサモード
  - スーパバイザモード、ユーザモード
- データ配置
  - リトルエンディアン / ビッグエンディアン選択可能

## 2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（8本）、および DSP 機能命令で使用するアキュムレータ（1本）があります。

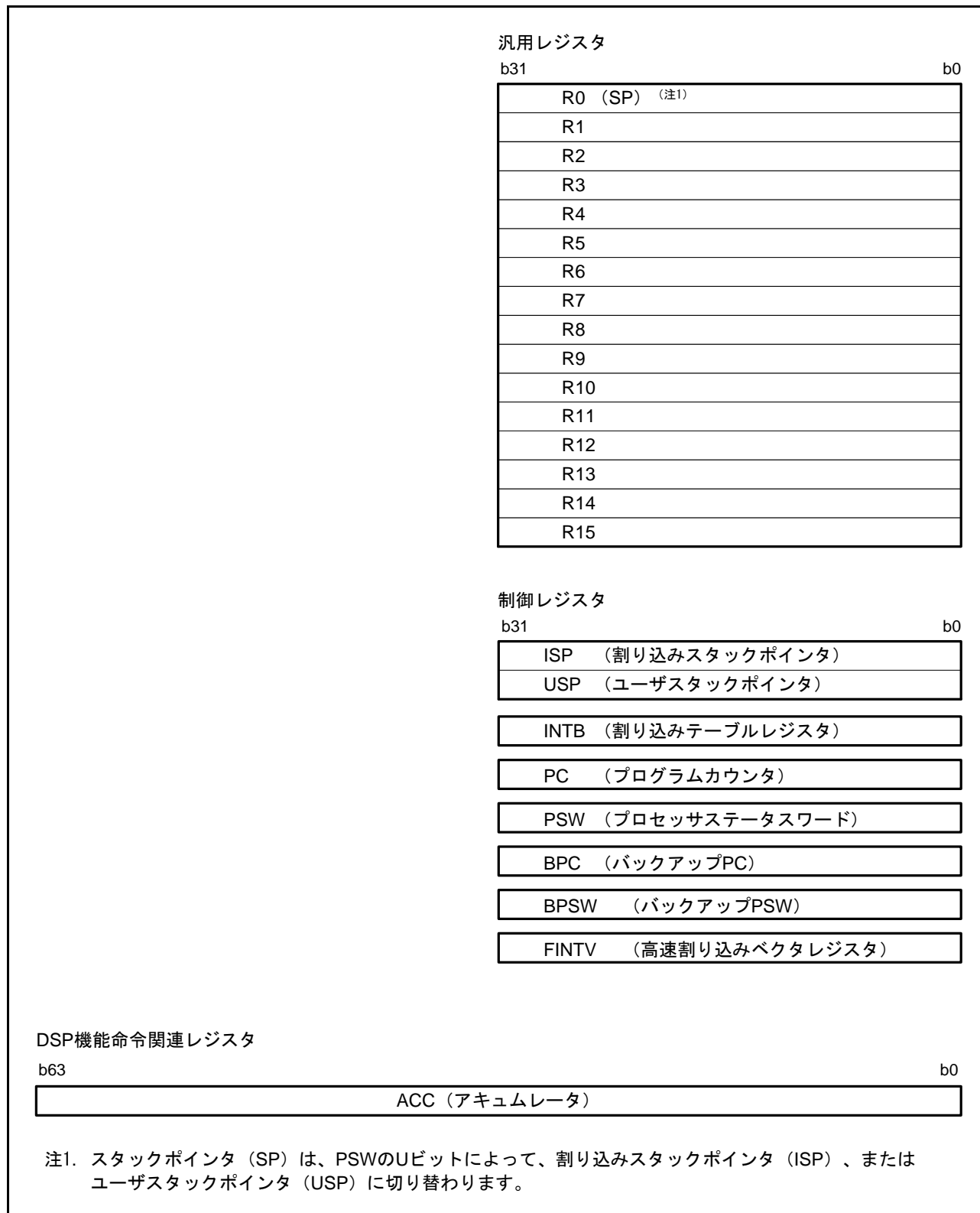


図 2.1 CPU レジスタセット



### 2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

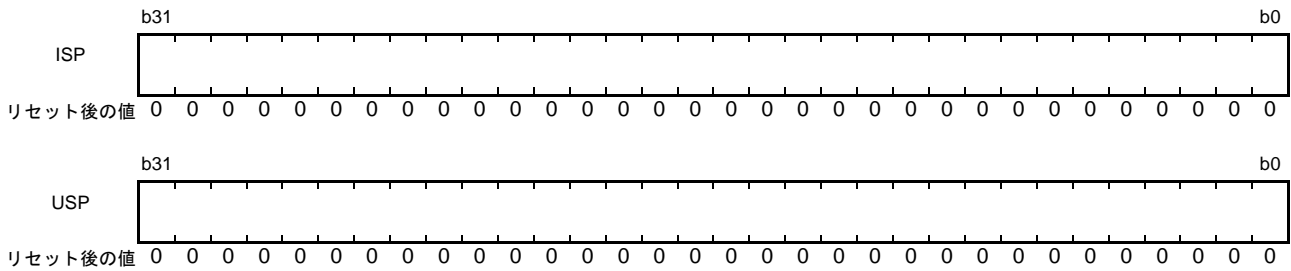
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

### 2.2.2 制御レジスタ

制御レジスタには、以下の8本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)

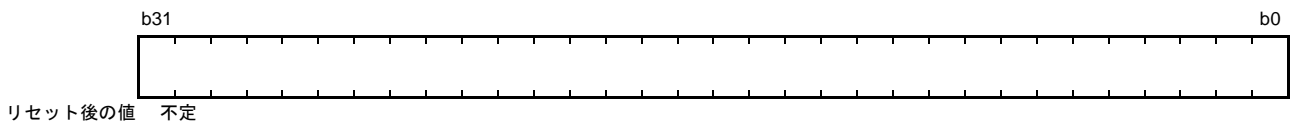
### 2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

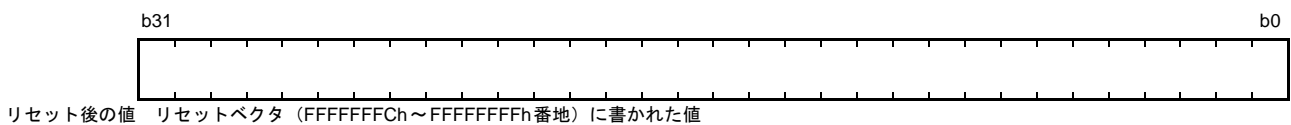
ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

### 2.2.2.2 割り込みテーブルレジスタ (INTB)



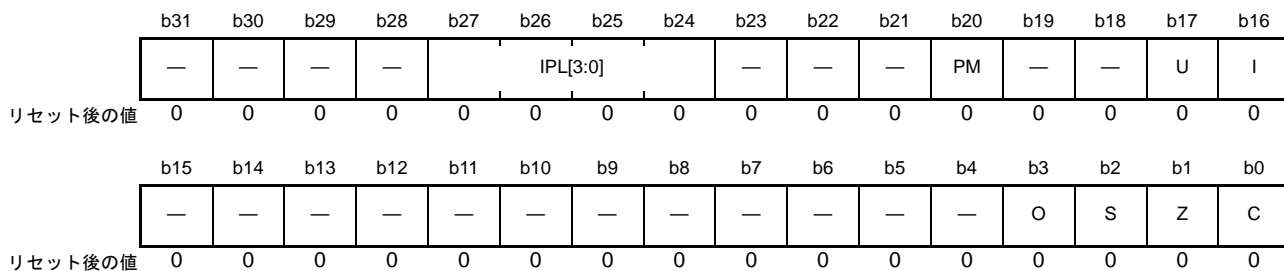
割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

### 2.2.2.3 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

### 2.2.2.4 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I(注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U(注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0](注1)	プロセッサ割り込み優先レベル	b27    b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

### C フラグ (キャリフラグ)

演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

### Z フラグ (ゼロフラグ)

演算結果が 0 であったことを示します。

### S フラグ (サインフラグ)

演算結果が負であったことを示します。

### O フラグ (オーバフローフラグ)

演算中にオーバフローしたことを示します。

### I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

### U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

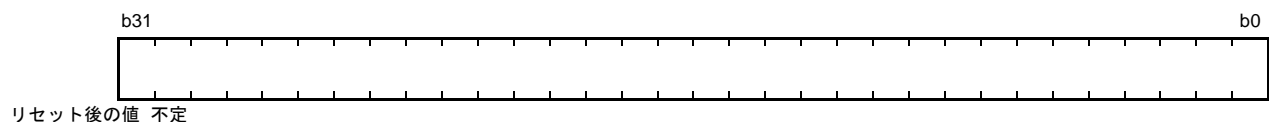
### PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

### IPL[3:0] ビット (プロセッサ割り込み優先レベル)

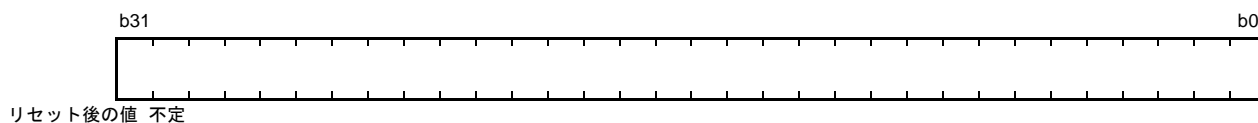
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

## 2.2.2.5 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

### 2.2.2.6 バックアップ PSW (BPSW)

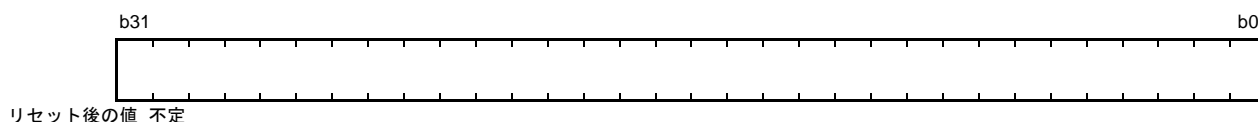


バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

### 2.2.2.7 高速割り込みベクタレジスタ (FINTV)

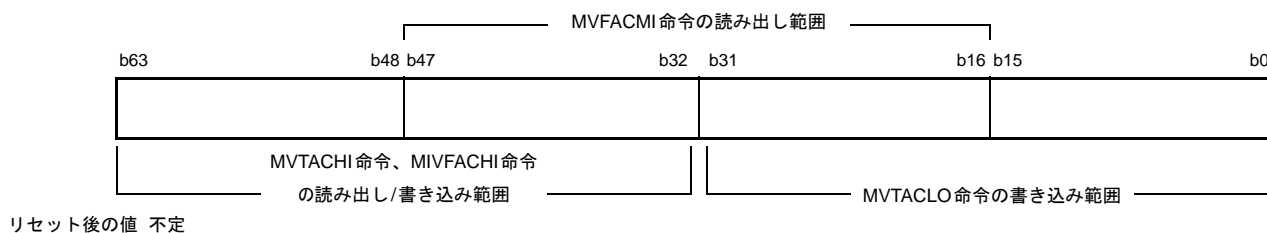


高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込み発生時の分岐先番地を設定してください。

## 2.2.3 DSP 機能命令関連レジスタ

### 2.2.3.1 アクキュムレータ (ACC)



アクキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL, EMULU, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MIVFACHI 命令、MVFACMI 命令を使用します。MIVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

## 2.3 プロセッサモード

RX CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパーバイザモードで動作します。

### 2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード (PSW)」を参照してください。

### 2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

### 2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

### 2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

#### (1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

#### (2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

## 2.4 データタイプ

RX CPU は、整数、ビット、ストリングの3種類のデータを扱うことができます。  
詳細は「RX ファミリユーザーズマニュアルソフトウェア編」を参照してください。

## 2.5 エンディアン

RX CPU の命令は、リトルエンディアン固定です。  
データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

### 2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ~ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ~ D0

LH は、汎用レジスタの D15 ~ D8

HL は、汎用レジスタの D23 ~ D16

HH は、汎用レジスタの D31 ~ D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表2.1 リトルエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットでリード	1番地を 32ビットでリード	2番地を 32ビットでリード	3番地を 32ビットでリード	4番地を 32ビットでリード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットでリード	1番地を 32ビットでリード	2番地を 32ビットでリード	3番地を 32ビットでリード	4番地を 32ビットでリード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットでライト	1番地に 32ビットでライト	2番地に 32ビットでライト	3番地に 32ビットでライト	4番地に 32ビットでライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットでライト	1番地に 32ビットでライト	2番地に 32ビットでライト	3番地に 32ビットでライト	4番地に 32ビットでライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送



表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

## 2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

## 2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

## 2.5.4 データ配置

### 2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.2 に示します。

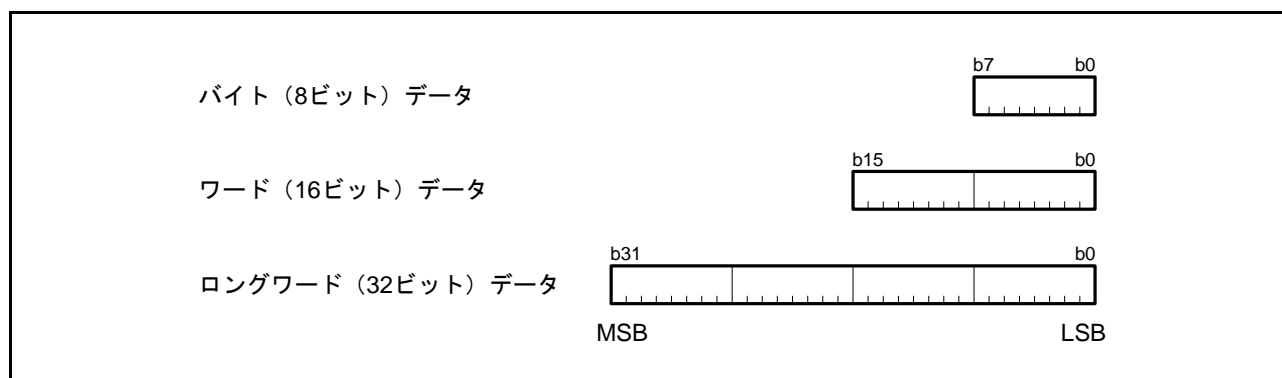


図 2.2 レジスタのデータ配置

### 2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）の3種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図2.3に示します。

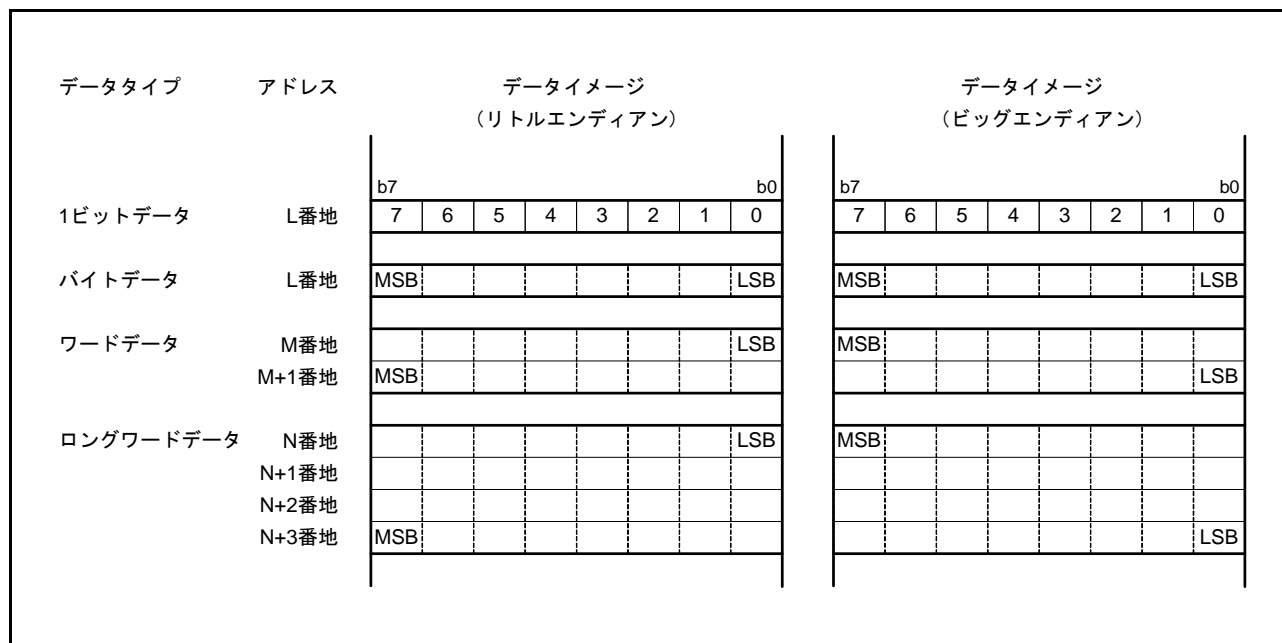


図 2.3 メモリ上のデータ配置

### 2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

## 2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

### 2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h～FFFFFFFh番地に、特権命令例外、未定義命令例外、ノンマスカブル割り込み、リセットの各ベクタを配置しています。図2.4に固定ベクタテーブルを示します。

	MSB	LSB
FFFFFF80h	(予約領域)	
:	:	
FFFFFFCCh	(予約領域)	
FFFFFFD0h	特権命令例外	
FFFFFFD4h	(予約領域)	
FFFFFFD8h	(予約領域)	
FFFFFFDCh	未定義命令例外	
FFFFFFE0h	(予約領域)	
FFFFFFE4h	(予約領域)	
FFFFFFE8h	(予約領域)	
FFFFFFECh	(予約領域)	
FFFFFFF0h	(予約領域)	
FFFFFFF4h	(予約領域)	
FFFFFFF8h	ノンマスカブル割り込み	
FFFFFFFCh	リセット	

図 2.4 固定ベクタテーブル

## 2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.5 に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

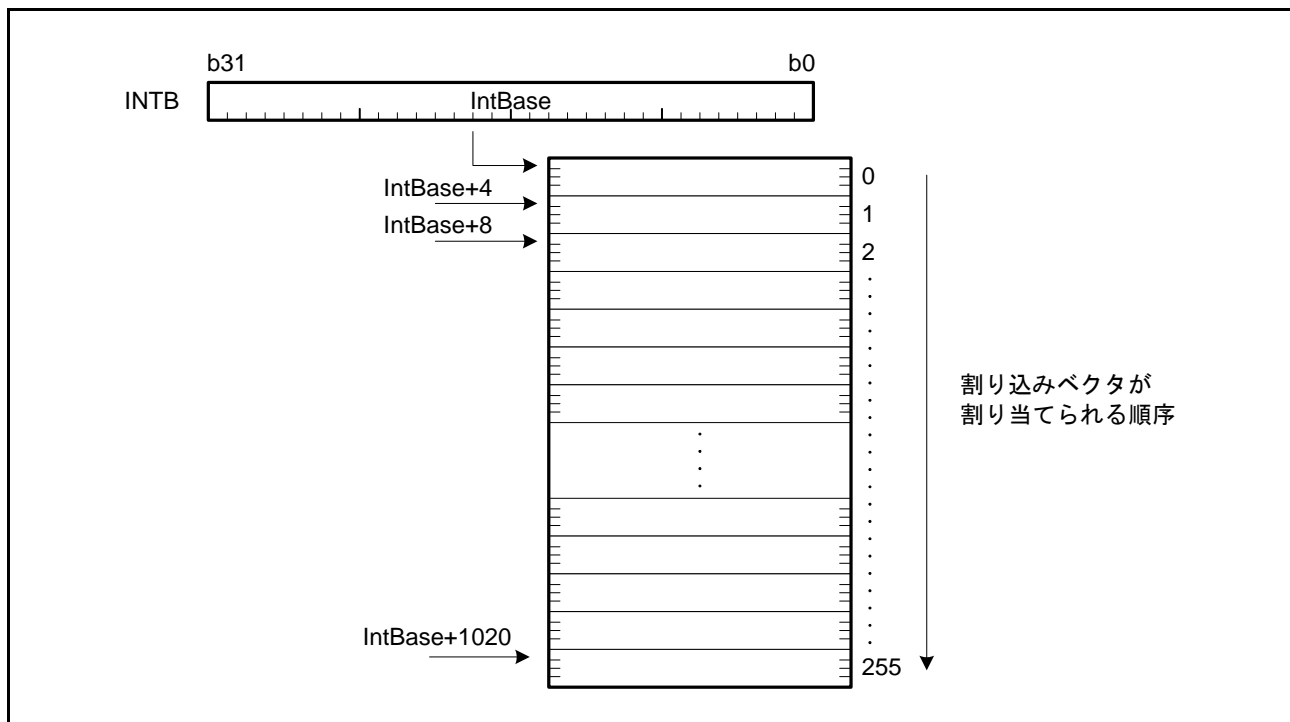


図 2.5 可変ベクタテーブル

## 2.7 命令動作

### 2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE）は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

## 2.8 パイプライン

### 2.8.1 概要

RX CPU は5段のパイプラインステージで構成されています。RX CPU の命令は、1つまたは、複数のマイクロオペレーションに変換され、RX CPU はマイクロオペレーションをパイプライン処理します。パイプラインステージは、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

#### (1) IF ステージ（命令フェッチステージ）

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPU は4バイト×4本の命令キューを備えており、D（デコード）ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

#### (2) D ステージ（デコードステージ）

D ステージは命令のデコード処理（DEC）を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し（RF）を行い、先行する命令の演算結果を参照する処理の場合は、バイパス（BYP）を行います。バイパスにより、演算結果のレジスタへの書き込み（RW）と同時に、D ステージでのレジスタ参照が可能です。

#### (3) E ステージ（実行ステージ）

演算やアドレス計算など（OP）を行います。

#### (4) Mステージ（メモリアクセスステージ）

オペランドのメモリアクセス（OA1, OA2）を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらにM1、M2の2段のサブステージに分かれます。RX CPUでは、M1、M2の各ステージに1個のメモリアクセスが存在することができます。

- M1ステージ（メモリアクセスステージ1）

オペランドのメモリアクセス（OA1）を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2ステージに進みます。要求受け付けとロードデータ到着が同時（ノーウェイトのメモリアクセス）の場合は、WBステージに進みます。

- M2ステージ（メモリアクセスステージ2）

オペランドのメモリアクセス（OA2）を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WBステージに進みます。

#### (5) WBステージ（ライトバックステージ）

演算結果やメモリから読み出したデータをレジスタに書きます（RW）。メモリからの読み出しデータとそれ以外の演算結果は同時（同じサイクル）にレジスタに書けます。

図 2.6 にパイプライン構成とその動作を示します。

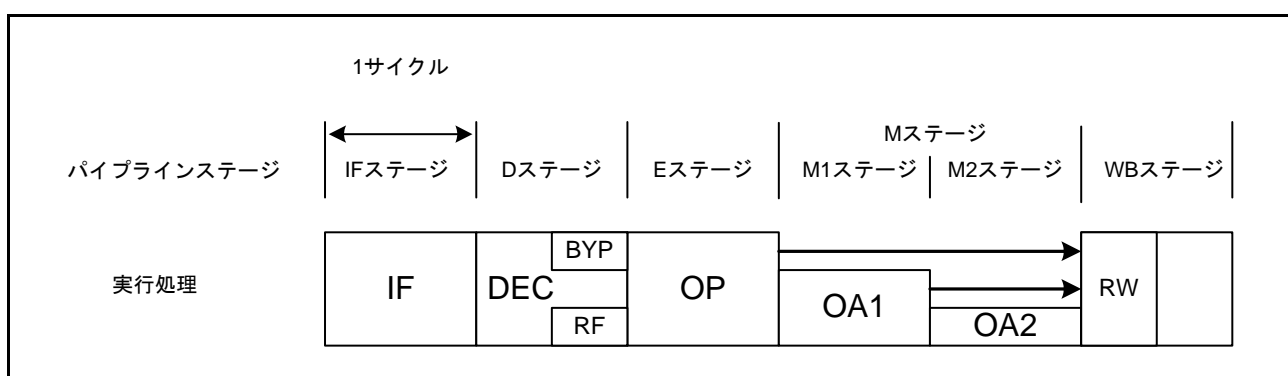


図 2.6 パイプライン構成と動作



## 2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

### 2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ) DIV、DIVU、EMUL、EMULU、 RMPA、SATRを除く	<ul style="list-style-type: none"> <li>• {ABS, NEG, NOT} "Rd"/"Rs, Rd"</li> <li>• {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd"</li> <li>• ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd"</li> <li>• {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"</li> <li>• {CMP, TST} "#IMM, Rs"/"Rs, Rs2"</li> <li>• NOP</li> <li>• {ROL, ROR, SAT} "Rd"</li> <li>• SBB "Rs, Rd"</li> <li>• {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"</li> </ul>	図2.7	1
算術/論理演算命令 (除算)	• DIV "#IMM, Rd"/"Rs, Rd"	図2.7	3~20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	図2.7	2~18 (注1)
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> <li>• MOV "#IMM, Rd"/"Rs, Rd"</li> <li>• {MOVU, REVL, REVW} "Rs, Rd"</li> <li>• SC<i>Cnd</i> "Rd"</li> <li>• {STNZ, STZ} "#IMM, Rd"</li> </ul>	図2.7	1
転送命令 (ロード動作)	<ul style="list-style-type: none"> <li>• {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd" /"[-Rs], Rd"/"[Ri, Rb], Rd"</li> <li>• POP "Rd"</li> </ul>	図2.8	スループット : 1 レイテンシ : 2 (注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> <li>• MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" /"Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]"</li> <li>• PUSH "Rs"</li> <li>• PUSHC "CR"</li> <li>• SC<i>Cnd</i> "[Rd]"/"dsp[Rd]"</li> </ul>	図2.9	1
ビット操作命令 (レジスタ)	<ul style="list-style-type: none"> <li>• {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd"</li> <li>• BM<i>Cnd</i> "#IMM, Rd"</li> <li>• BTST "#IMM, Rs"/"Rs, Rs2"</li> </ul>	図2.7	1
分岐命令	<ul style="list-style-type: none"> <li>• B<i>Cnd</i> "pcdsp"</li> <li>• {BRA, BSR} "pcdsp"/"Rs"</li> <li>• {JMP, JSR} "Rs"</li> </ul>	図2.17	分岐成立 : 3 分岐不成立 : 1
システム操作命令	<ul style="list-style-type: none"> <li>• {CLRPSW, SETPSW} "flag"</li> <li>• MVTC "#IMM, CR"/"Rs, CR"</li> <li>• MVFC "CR, Rd"</li> <li>• MVTIPL "#IMM"</li> </ul>	—	1
DSP機能命令	<ul style="list-style-type: none"> <li>• {MACHI, MACLO, MULHI, MULLO} "Rs, Rs2"</li> <li>• {MVFACHI, MVFACMI} "Rd"</li> <li>• {MVTACHI, MVTACLO} "Rs"</li> <li>• RACW "#IMM"</li> </ul>	図2.7	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.7 ～図 2.9 に示します。

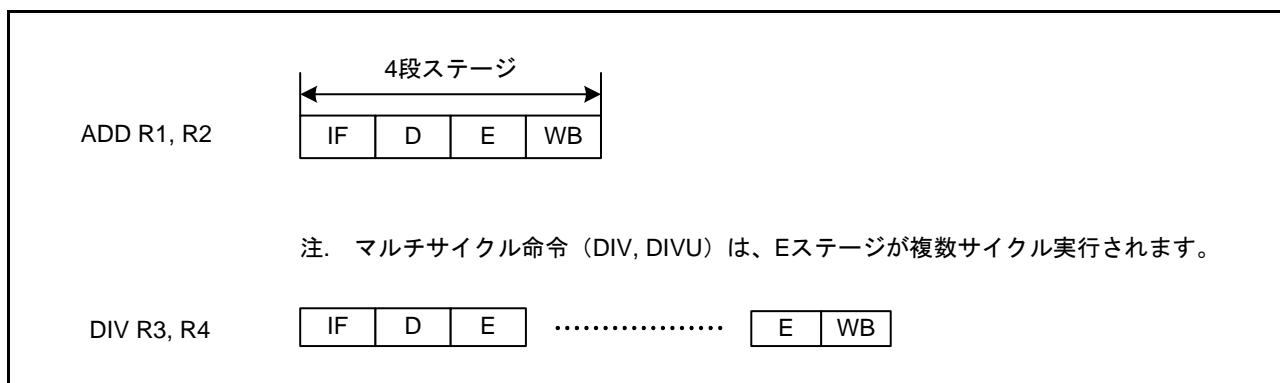


図 2.7 レジスタ間、即値－レジスタ演算

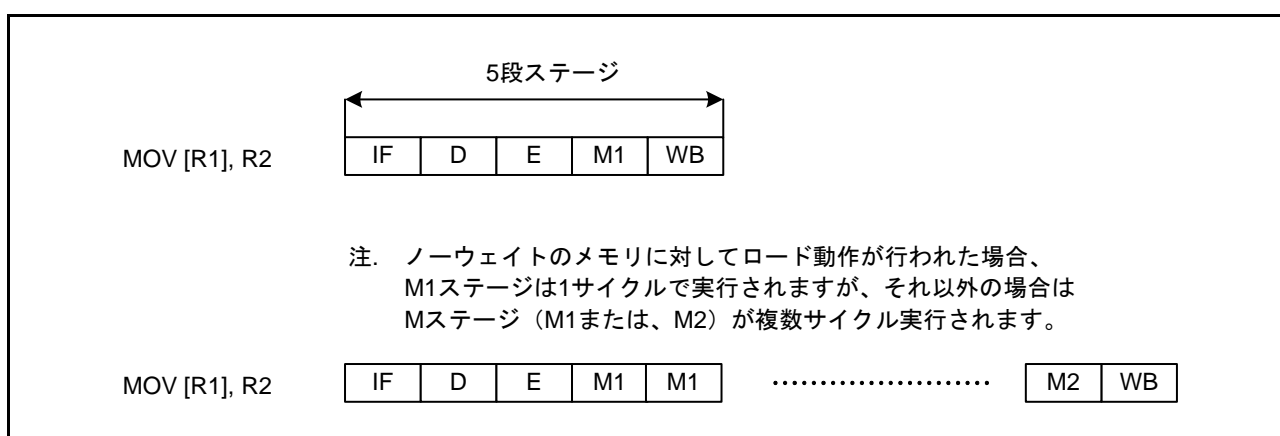


図 2.8 ロード動作

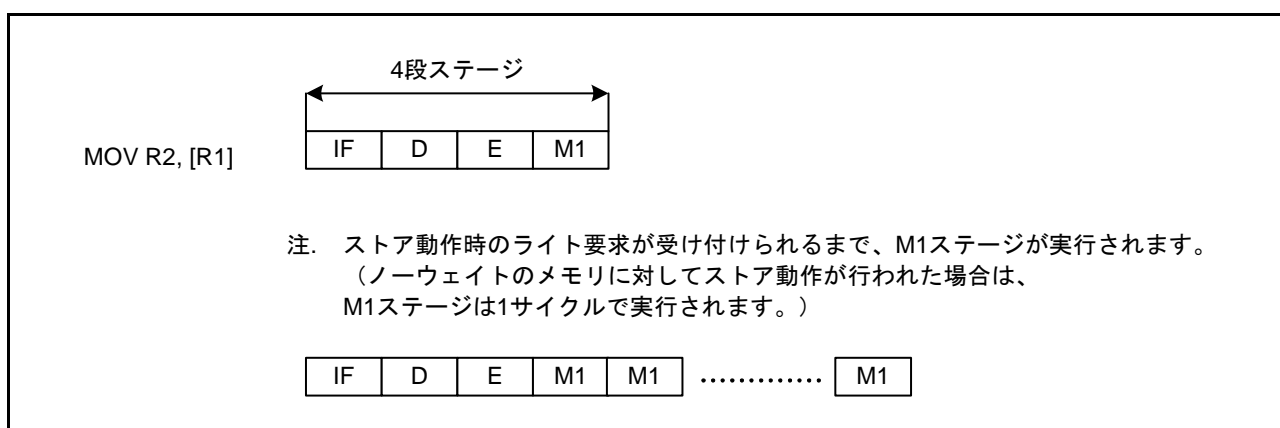


図 2.9 ストア動作

### 2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表 2.14 複数マイクロオペレーションに変換される命令 (1/2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (メモリソースオペランド)	<ul style="list-style-type: none"> <li>{ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd”</li> <li>{CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2”</li> </ul>	図 2.10	3
算術/論理演算命令 (除算)	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5~22
	• DIVU “[Rs], Rd / dsp[Rs], Rd”	—	4~20
算術/論理演算命令 (乗算 32bit × 32bit → 64bit) (レジスタ間、レジスター即値)	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図 2.12	2
算術/論理演算命令 (乗算 32bit × 32bit → 64bit) (メモリソースオペランド)	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術/論理演算命令 (積和演算)	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数(注1)
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数(注1)
	• RMPA.L	—	6+4n nは処理ロングワード数(注1)
算術/論理演算命令 (RMPA命令 用64ビット符号付き飽和処理)	• SATR	—	3
転送命令 (メモリ間転送)	<ul style="list-style-type: none"> <li>MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]” /“dsp[Rs], dsp[Rd]”</li> <li>PUSH “[Rs]”/“dsp[Rs]”</li> </ul>	図 2.11	3
ビット操作命令 (メモリソースオペランド)	<ul style="list-style-type: none"> <li>{BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]” /“Rs, [Rd]”/“Rs, dsp[Rd]”</li> <li>BM<i>Cnd</i> “#IMM, [Rd]”/“#IMM, dsp[Rd]”</li> <li>BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]”</li> </ul>	図 2.11	3
転送命令 (ロード命令)	• POPC “CR”	—	スループット : 3 レイテンシ : 4(注2)
転送命令 (複数レジスタの退避)	• PUSHM “Rs-Rs2”	—	n nはレジスタ数(注3)
転送命令 (複数レジスタの復帰)	• POPM “Rs-Rs2”	—	スループット : n レイテンシ : n+1 nはレジスタ数(注2、注4)
転送命令 (レジスタ間の交換)	• XCHG “Rs, Rd”	図 2.13	2
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図 2.14	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット : n<5?5:1+n レイテンシ : n<4?5:2+n nはレジスタ数(注2)

表2.14 複数マイクロオペレーションに変換される命令 (2/2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
ストリング操作命令 (注5)	• SCMPU	—	$2+4\times\text{floor}(n/4)+4\times(n\%4)$ nは比較バイト数 (注1)
	• SMOVB	—	n>3? $6+3\times\text{floor}(n/4)+3\times(n\%4)$ : $2+3n$ nは転送バイト数 (注1)
	• SMOVF, SMOVU	—	$2+3\times\text{floor}(n/4)+3\times(n\%4)$ nは転送バイト数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注1)
	• SSTR.L	—	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	$3+3\times\text{floor}(n/4)+3\times(n\%4)$ nは比較バイト数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3\times\text{floor}(n/2)+3\times(n\%2)$ nは比較ワード数 (注1)
	• SUNTIL.L, SWHILE.L	—	$3+3\times n$ nは比較ロングワード数
システム操作命令	• RTE	—	6
	• RTFI	—	3

?: 条件演算子

注1. floor(x) : x以下の最大の整数

注2. スルービット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注4. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注5. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.10 ～図 2.14 に示します。

注． mop : マイクロオペレーション、stall : パイプラインストール

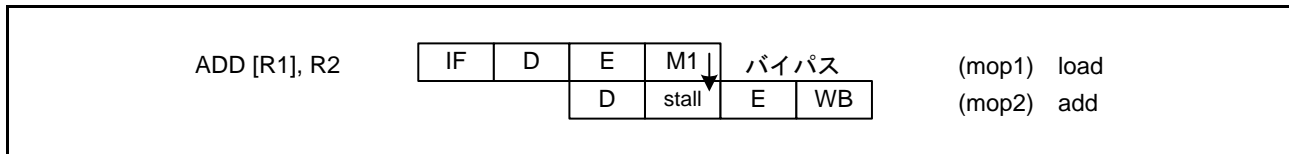


図 2.10 算術論理演算命令（メモリスソースオペランド）

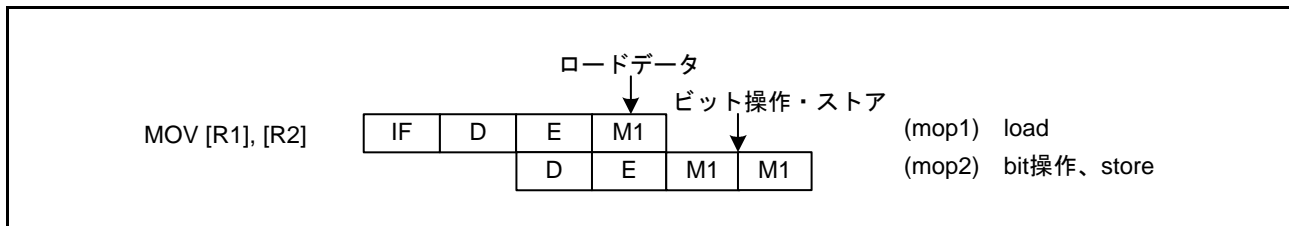


図 2.11 MOV 命令（メモリ間転送）、ビット操作命令（メモリスソースオペランド）

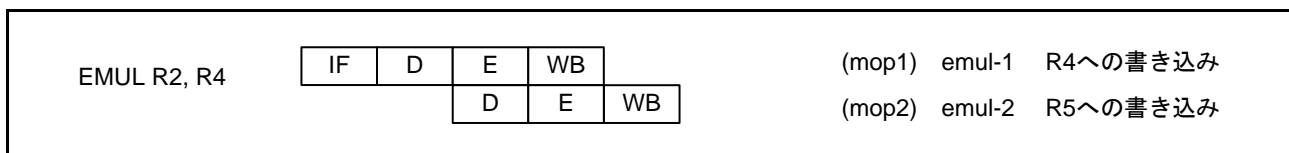


図 2.12 EMUL、EMULU 命令（レジスタ間、レジスター即値）

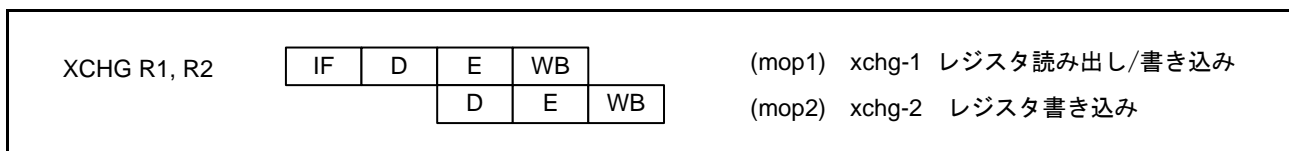


図 2.13 XCHG 命令（レジスタ）

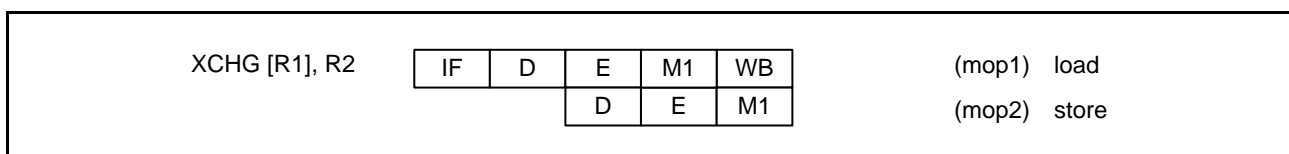


図 2.14 XCHG 命令（メモリスソースオペランド）

### 2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は1ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPUは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

#### (1) パイプライン処理が乱れるケース

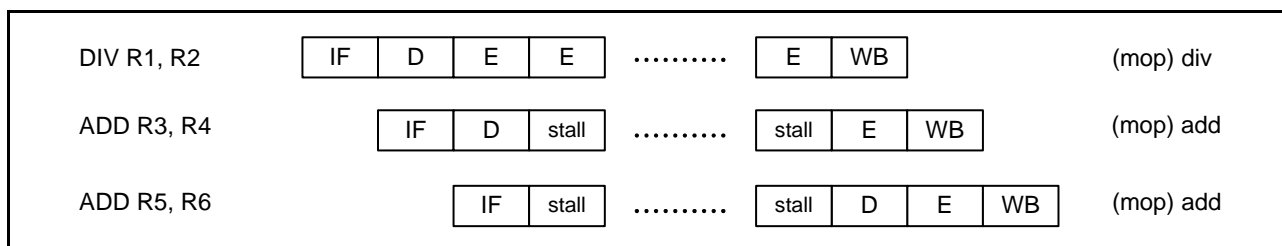


図 2.15 Eステージの実行に複数サイクルを要する命令の実行時

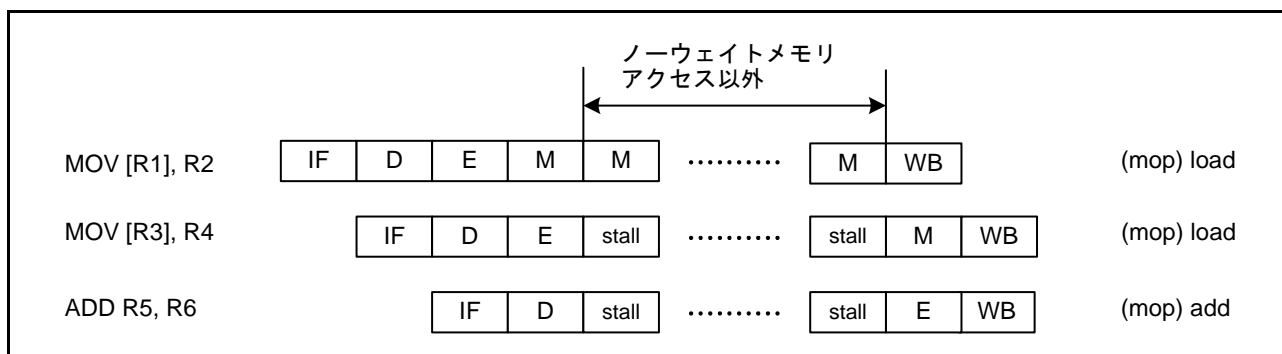


図 2.16 オペランドアクセスが1サイクルで終了しない場合

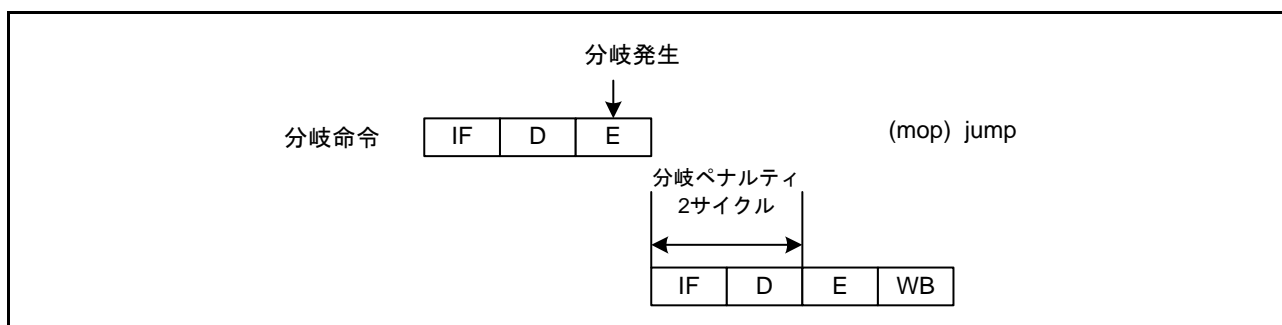


図 2.17 分岐（無条件分岐または、条件分岐で条件が成立した場合）

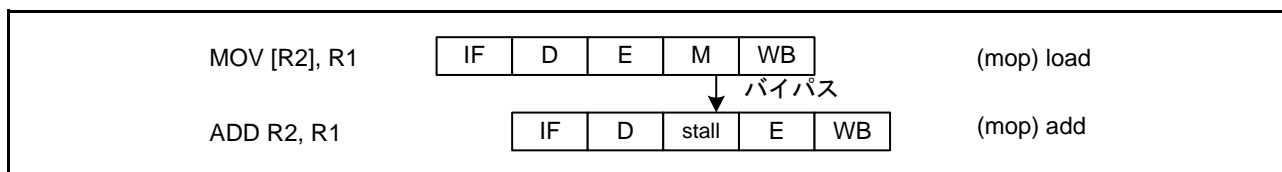


図 2.18 メモリから読み出したオペランドを後続命令が使用する場合

## (2) パイプライン処理が乱れないケース

## (a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

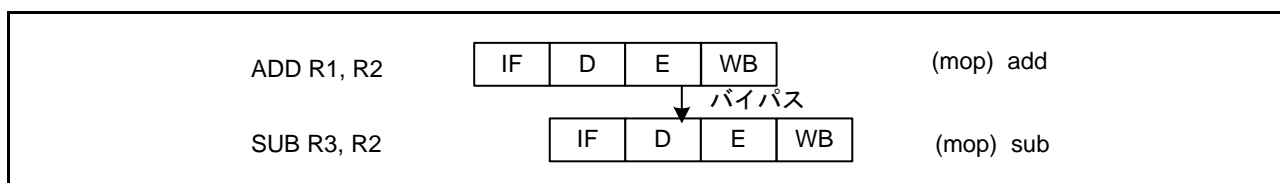


図 2.19 バイパス

## (b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

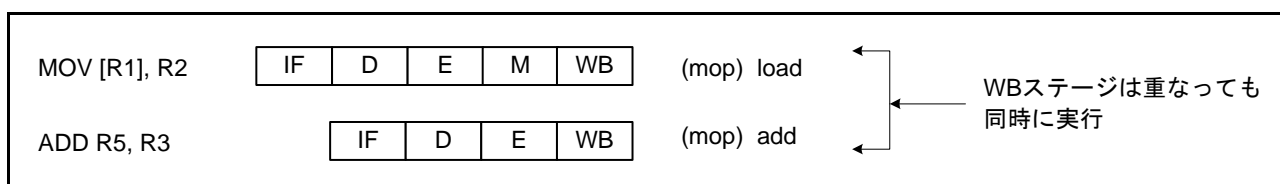


図 2.20 メモリロードと演算の WB ステージが重なっている場合

## (c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

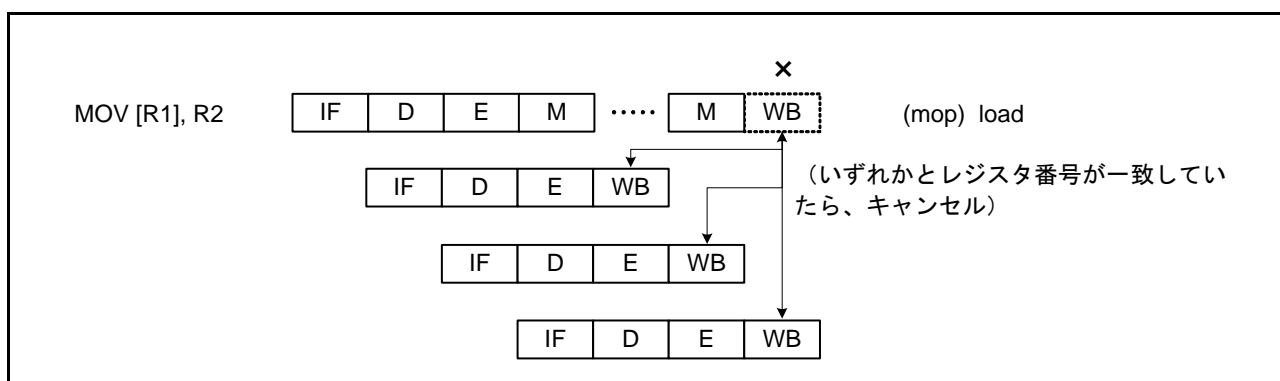


図 2.21 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

**(d) メモリロードしたデータを後続命令が参照しない場合**

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。  
(Out-of-Order Completion)

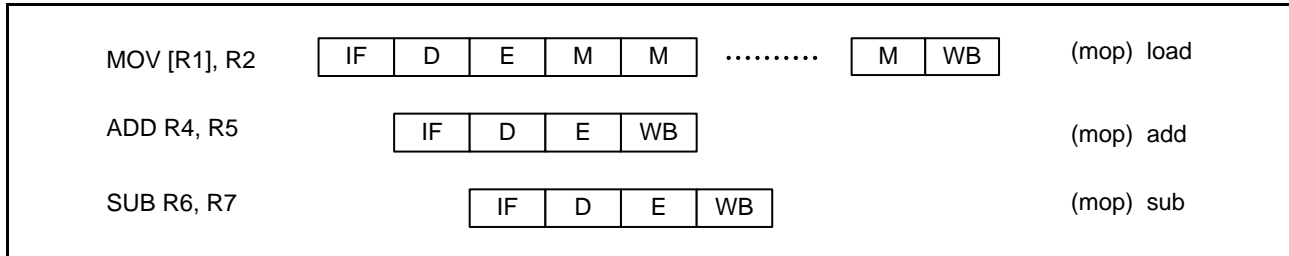


図 2.22 メモリロードしたデータを後続命令が参照しない場合

**2.8.3 命令処理時間の計算方法**

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします（表 2.13、表 2.14 を参照）。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スループット”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。



## 2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な ROM、RAM を搭載しています。プログラム（含むベクタ）は ROM、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受け付けタイミングはパイプラインの状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

### 3. 動作モード

#### 3.1 動作モードの種類と選択

動作モードはリセット解除時の端子のレベルで選択します。

リセット解除時のモード設定端子（MD, UB#）のレベルと、そのとき選択される動作モードの関係を表3.1に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表3.1 モード設定端子による動作モードの選択

モード設定端子		動作モード
MD (注1)	UB#	
Low	Low	ブートモード (USBインタフェース)
Low	Highまたはオープン	ブートモード (SCIインタフェース)
High	—	シングルチップモード
Low → High (注2)	Highまたはオープン	ブートモード (FINEインターフェース)

注1. MCU動作中にMD端子を変化させないください。

注2. MD端子をLowでリセット解除後、20～100msの間にHighへ切り替えてください。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション設定メモリのMDE.MDE[2:0]ビットで設定します。

設定値は表3.2を参照してください。

表3.2 シングルチップモードのエンディアンの設定

MDE.MDE[2:0]ビット	エンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

## 3.2 レジスタの説明

### 3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0	0/1 (注1)

注1. モード端子 (MD) の設定によって異なります。MD 端子がLowの場合は“0”、Highの場合は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0 : MD端子は“Low” 1 : MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

### 3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

#### RAME ビット (RAM 有効ビット)

RAMの有効または無効を選択します。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「43. 電気的特性」に規定するRAM保持電圧 ( $V_{RAM}$ ) 以上の電圧を保持する必要があります。

### 3.3 動作モードの説明

#### 3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

#### 3.3.2 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモードです。USB または調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵フラッシュメモリ（ROM、E2 データフラッシュ）を書き換えることができます。詳細は、「42. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモードで起動します。

##### 3.3.2.1 ブートモード（USB インタフェース）

MD 端子を Low、UB# 端子を Low にしてリセットを解除すると、ブートモード（USB インタフェース）で起動します。ブートモード（USB インタフェース）については、「42.8.1 ブートモード (USB インタフェース)」を参照してください。

##### 3.3.2.2 ブートモード（SCI インタフェース）

MD 端子を Low、UB# 端子を High またはオープンにしてリセットを解除すると、ブートモード（SCI インタフェース）で起動します。ブートモード（SCI インタフェース）については、「42.8.2 ブートモード (SCI インタフェース)」を参照してください。

##### 3.3.2.3 ブートモード（FINE インタフェース）

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモードです。FINE インタフェースを使用して、MCU 外部から内蔵 ROM（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「42.8.3 ブートモード (FINE インタフェース)」を参照してください。

MD 端子を Low、UB# 端子を High またはオープンにしてリセット解除後、20 ～ 100ms の間に MD 端子を High へ切り替えると、ブートモード（FINE インタフェース）で起動します。

### 3.4 動作モード遷移

#### 3.4.1 モード設定端子のレベルと動作モード遷移

MD 端子、UB# 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

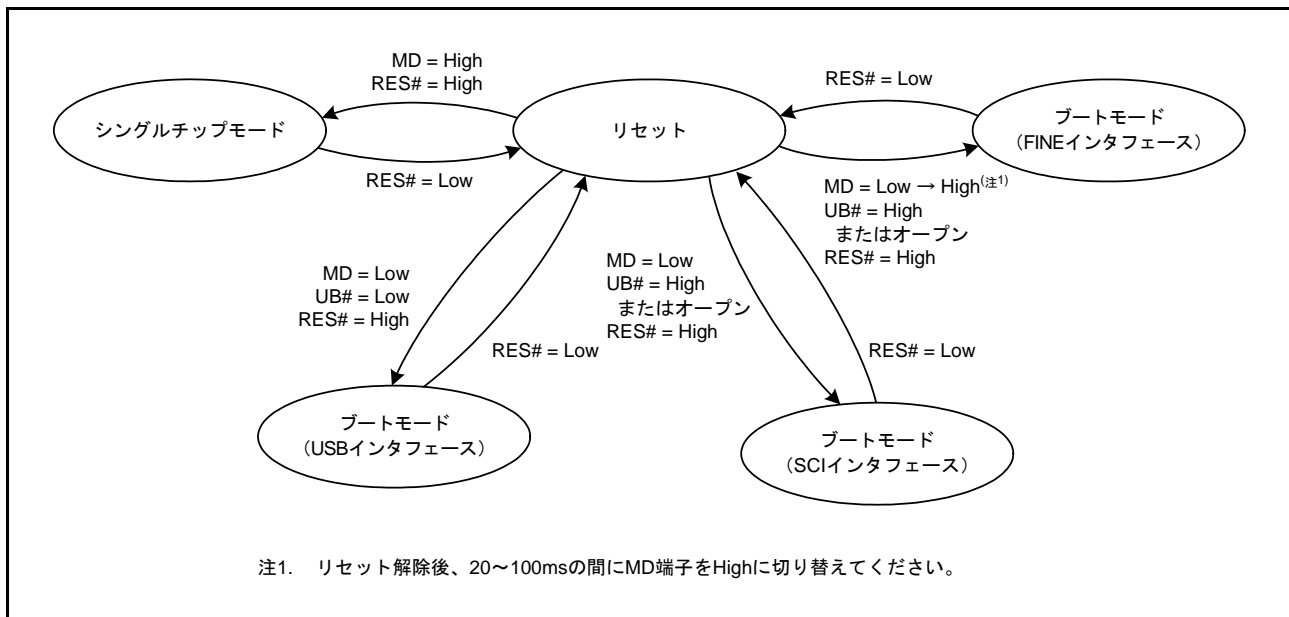


図 3.1 モード設定端子のレベルと動作モード

## 4. アドレス空間

### 4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域最大 4G バイトをリニアにアクセス可能です。

図 4.1 にメモリマップを示します。

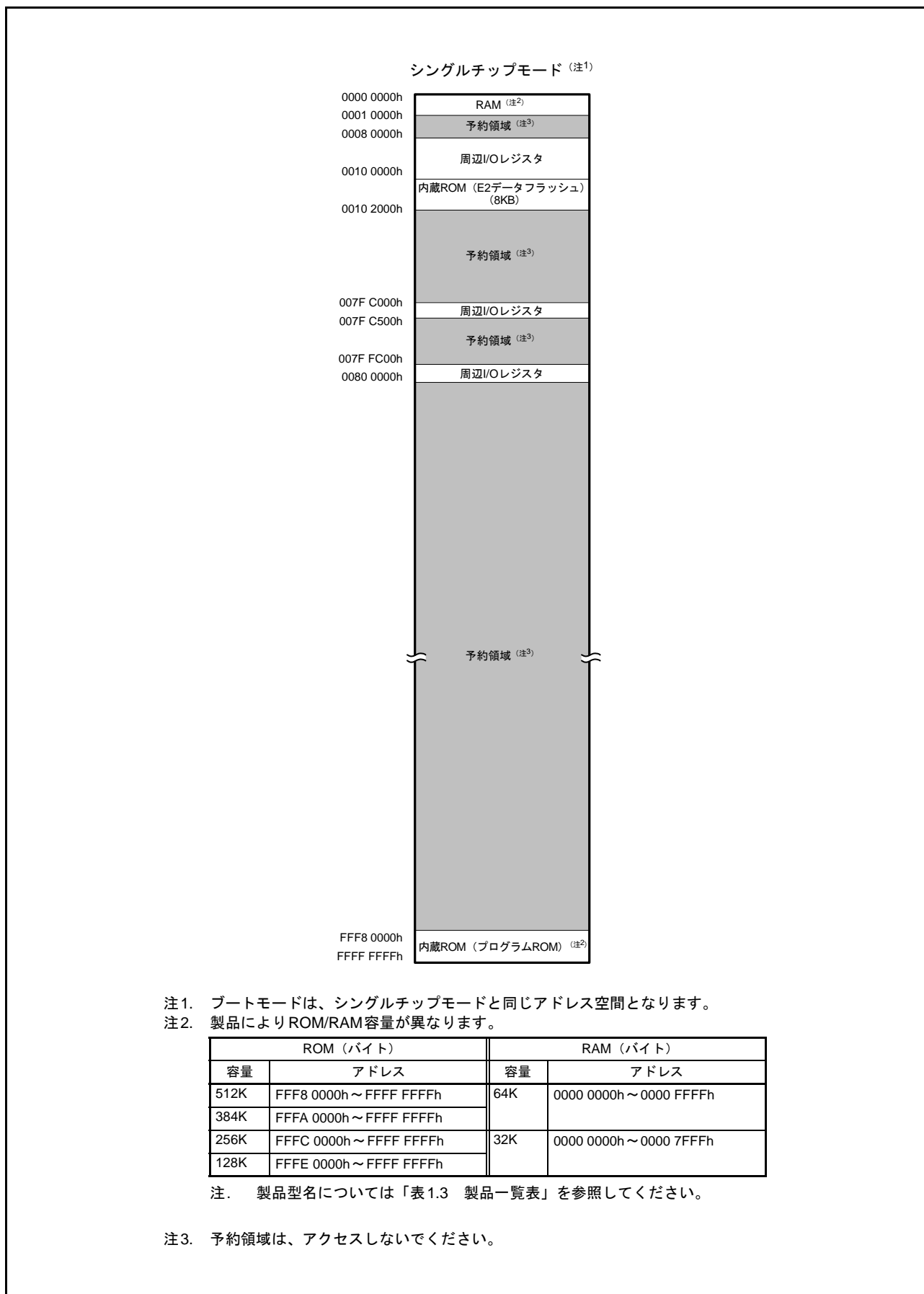


図 4.1 メモリマップ



## 5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

### (1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

### (2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

#### [注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

#### [命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

### (3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部ではICLK  $\geq$  PCLK（またはFCLK）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表 5.1 では1PCLK（またはFCLK）の幅を持たせて記載しています。

また、ICLK < PCLK（またはFCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

注1. CPUからのレジスタアクセスが、異なるバスマスタ（DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

### (4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ）への書き込みは禁止です。

## 5.1 I/Oレジスタアドレス一覧（アドレス順）

表5.1 I/Oレジスタアドレス一覧 (1/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3CLK	3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3CLK	3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3CLK	11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3CLK	11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3CLK	11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3CLK	11章
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3CLK	11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3CLK	9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3CLK	9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3CLK	9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3CLK	9章
0008 002Ch	SYSTEM	USB専用PLLコントロールレジスタ	UPLLCR	16	16	3CLK	9章
0008 002Eh	SYSTEM	USB専用PLLコントロールレジスタ2	UPLLCR2	8	8	3CLK	9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3CLK	9章
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3CLK	9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3CLK	9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3CLK	9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3CLK	9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3CLK	9章
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3CLK	9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3CLK	9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3CLK	9章
0008 0050h	SYSTEM	LCDソースクロックコントロールレジスタ	LCDSCLKCR	8	8	3CLK	9章
0008 0051h	SYSTEM	LCDソースクロックコントロールレジスタ2	LCDSCLKCR2	8	8	3CLK	9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3CLK	11章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3CLK	11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3CLK	9章
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCR	8	8	3CLK	9章
0008 00AAh	SYSTEM	サブ動作電力コントロールレジスタ	SOPCCR	8	8	3CLK	11章
0008 00B0h	LPT	ローパワータイマコントロールレジスタ1	LPTCR1	8	8	3CLK	35章
0008 00B1h	LPT	ローパワータイマコントロールレジスタ2	LPTCR2	8	8	3CLK	35章
0008 00B2h	LPT	ローパワータイマコントロールレジスタ3	LPTCR3	8	8	3CLK	35章
0008 00B4h	LPT	ローパワータイマ周期設定レジスタ	LPTPRD	16	16	3CLK	35章
0008 00B8h	LPT	ローパワータイマコンペアレジスタ0	LPCMR0	16	16	3CLK	35章
0008 00BCh	LPT	ローパワータイマスタンバイ復帰許可レジスタ	LPWUCR	16	16	3CLK	35章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTS2R	8	8	3CLK	6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3CLK	6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3CLK	8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3CLK	8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3CLK	8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3CLK	8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3CLK	12章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2CLK	15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2CLK	15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2CLK	15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2CLK	15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2CLK	15章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2CLK	16章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2CLK	16章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2CLK	16章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2CLK	16章

表5.1 I/Oレジスタアドレス一覧 (2/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK	16章
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK	14章
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK	14章
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK	14章
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK	14章
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK	14章
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK	14章
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK	14章
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK	14章
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK	14章
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2ICLK	14章
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2ICLK	14章
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2ICLK	14章
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK	14章
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK	14章
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK	14章
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK	14章
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK	14章
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK	14章
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK	14章
0008 703Ch	ICU	割り込み要求レジスタ 060	IR060	8	8	2ICLK	14章
0008 703Dh	ICU	割り込み要求レジスタ 061	IR061	8	8	2ICLK	14章
0008 703Eh	ICU	割り込み要求レジスタ 062	IR062	8	8	2ICLK	14章
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK	14章
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK	14章
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK	14章
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK	14章
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK	14章
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK	14章
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK	14章
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK	14章
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK	14章
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK	14章
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK	14章
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2ICLK	14章
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK	14章
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK	14章
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK	14章
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK	14章
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK	14章
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK	14章
0008 706Dh	ICU	割り込み要求レジスタ 109	IR109	8	8	2ICLK	14章
0008 706Eh	ICU	割り込み要求レジスタ 110	IR110	8	8	2ICLK	14章
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK	14章
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK	14章
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK	14章
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK	14章
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK	14章
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK	14章
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK	14章
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK	14章
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK	14章
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK	14章
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (3/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK	14章
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK	14章
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK	14章
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK	14章
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK	14章
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK	14章
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK	14章
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK	14章
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK	14章
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK	14章
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK	14章
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK	14章
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK	14章
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK	14章
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK	14章
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK	14章
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK	14章
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK	14章
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK	14章
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK	14章
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK	14章
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK	14章
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK	14章
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK	14章
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK	14章
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK	14章
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK	14章
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK	14章
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK	14章
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK	14章
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK	14章
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK	14章
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK	14章
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK	14章
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK	14章
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK	14章
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK	14章
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK	14章
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK	14章
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK	14章
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK	14章
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK	14章
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK	14章
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK	14章
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK	14章
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK	14章
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK	14章
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK	14章
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK	14章
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK	14章
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK	14章
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK	14章
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK	14章
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (4/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK	14章
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK	14章
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK	14章
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK	14章
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK	14章
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK	14章
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK	14章
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK	14章
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK	14章
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK	14章
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK	14章
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK	14章
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK	14章
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK	14章
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK	14章
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK	14章
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK	14章
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DTCER027	8	8	2ICLK	14章
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DTCER028	8	8	2ICLK	14章
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DTCER029	8	8	2ICLK	14章
0008 711Eh	ICU	DTC 起動許可レジスタ 030	DTCER030	8	8	2ICLK	14章
0008 711Fh	ICU	DTC 起動許可レジスタ 031	DTCER031	8	8	2ICLK	14章
0008 7124h	ICU	DTC 起動許可レジスタ 036	DTCER036	8	8	2ICLK	14章
0008 7125h	ICU	DTC 起動許可レジスタ 037	DTCER037	8	8	2ICLK	14章
0008 712Dh	ICU	DTC 起動許可レジスタ 045	DTCER045	8	8	2ICLK	14章
0008 712Eh	ICU	DTC 起動許可レジスタ 046	DTCER046	8	8	2ICLK	14章
0008 713Ah	ICU	DTC 起動許可レジスタ 058	DTCER058	8	8	2ICLK	14章
0008 713Bh	ICU	DTC 起動許可レジスタ 059	DTCER059	8	8	2ICLK	14章
0008 713Ch	ICU	DTC 起動許可レジスタ 060	DTCER060	8	8	2ICLK	14章
0008 713Dh	ICU	DTC 起動許可レジスタ 061	DTCER061	8	8	2ICLK	14章
0008 7140h	ICU	DTC 起動許可レジスタ 064	DTCER064	8	8	2ICLK	14章
0008 7141h	ICU	DTC 起動許可レジスタ 065	DTCER065	8	8	2ICLK	14章
0008 7142h	ICU	DTC 起動許可レジスタ 066	DTCER066	8	8	2ICLK	14章
0008 7143h	ICU	DTC 起動許可レジスタ 067	DTCER067	8	8	2ICLK	14章
0008 7144h	ICU	DTC 起動許可レジスタ 068	DTCER068	8	8	2ICLK	14章
0008 7145h	ICU	DTC 起動許可レジスタ 069	DTCER069	8	8	2ICLK	14章
0008 7146h	ICU	DTC 起動許可レジスタ 070	DTCER070	8	8	2ICLK	14章
0008 7147h	ICU	DTC 起動許可レジスタ 071	DTCER071	8	8	2ICLK	14章
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2ICLK	14章
0008 7167h	ICU	DTC 起動許可レジスタ 103	DTCER103	8	8	2ICLK	14章
0008 716Ah	ICU	DTC 起動許可レジスタ 106	DTCER106	8	8	2ICLK	14章
0008 716Dh	ICU	DTC 起動許可レジスタ 109	DTCER109	8	8	2ICLK	14章
0008 716Eh	ICU	DTC 起動許可レジスタ 110	DTCER110	8	8	2ICLK	14章
0008 7172h	ICU	DTC 起動許可レジスタ 114	DTCER114	8	8	2ICLK	14章
0008 7173h	ICU	DTC 起動許可レジスタ 115	DTCER115	8	8	2ICLK	14章
0008 7174h	ICU	DTC 起動許可レジスタ 116	DTCER116	8	8	2ICLK	14章
0008 7175h	ICU	DTC 起動許可レジスタ 117	DTCER117	8	8	2ICLK	14章
0008 7179h	ICU	DTC 起動許可レジスタ 121	DTCER121	8	8	2ICLK	14章
0008 717Ah	ICU	DTC 起動許可レジスタ 122	DTCER122	8	8	2ICLK	14章
0008 717Dh	ICU	DTC 起動許可レジスタ 125	DTCER125	8	8	2ICLK	14章
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2ICLK	14章
0008 7181h	ICU	DTC 起動許可レジスタ 129	DTCER129	8	8	2ICLK	14章
0008 7182h	ICU	DTC 起動許可レジスタ 130	DTCER130	8	8	2ICLK	14章
0008 7183h	ICU	DTC 起動許可レジスタ 131	DTCER131	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (5/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 7184h	ICU	DTC 起動許可レジスタ 132	DTCER132	8	8	2ICLK	14章
0008 7186h	ICU	DTC 起動許可レジスタ 134	DTCER134	8	8	2ICLK	14章
0008 7187h	ICU	DTC 起動許可レジスタ 135	DTCER135	8	8	2ICLK	14章
0008 7188h	ICU	DTC 起動許可レジスタ 136	DTCER136	8	8	2ICLK	14章
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2ICLK	14章
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2ICLK	14章
0008 718Bh	ICU	DTC 起動許可レジスタ 139	DTCER139	8	8	2ICLK	14章
0008 718Ch	ICU	DTC 起動許可レジスタ 140	DTCER140	8	8	2ICLK	14章
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2ICLK	14章
0008 71AEh	ICU	DTC 起動許可レジスタ 174	DTCER174	8	8	2ICLK	14章
0008 71AFh	ICU	DTC 起動許可レジスタ 175	DTCER175	8	8	2ICLK	14章
0008 71B1h	ICU	DTC 起動許可レジスタ 177	DTCER177	8	8	2ICLK	14章
0008 71B2h	ICU	DTC 起動許可レジスタ 178	DTCER178	8	8	2ICLK	14章
0008 71B4h	ICU	DTC 起動許可レジスタ 180	DTCER180	8	8	2ICLK	14章
0008 71B5h	ICU	DTC 起動許可レジスタ 181	DTCER181	8	8	2ICLK	14章
0008 71B7h	ICU	DTC 起動許可レジスタ 183	DTCER183	8	8	2ICLK	14章
0008 71B8h	ICU	DTC 起動許可レジスタ 184	DTCER184	8	8	2ICLK	14章
0008 71BBh	ICU	DTC 起動許可レジスタ 187	DTCER187	8	8	2ICLK	14章
0008 71BCh	ICU	DTC 起動許可レジスタ 188	DTCER188	8	8	2ICLK	14章
0008 71D7h	ICU	DTC 起動許可レジスタ 215	DTCER215	8	8	2ICLK	14章
0008 71D8h	ICU	DTC 起動許可レジスタ 216	DTCER216	8	8	2ICLK	14章
0008 71DBh	ICU	DTC 起動許可レジスタ 219	DTCER219	8	8	2ICLK	14章
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DTCER220	8	8	2ICLK	14章
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DTCER223	8	8	2ICLK	14章
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DTCER224	8	8	2ICLK	14章
0008 71E3h	ICU	DTC 起動許可レジスタ 227	DTCER227	8	8	2ICLK	14章
0008 71E4h	ICU	DTC 起動許可レジスタ 228	DTCER228	8	8	2ICLK	14章
0008 71E7h	ICU	DTC 起動許可レジスタ 231	DTCER231	8	8	2ICLK	14章
0008 71E8h	ICU	DTC 起動許可レジスタ 232	DTCER232	8	8	2ICLK	14章
0008 71EBh	ICU	DTC 起動許可レジスタ 235	DTCER235	8	8	2ICLK	14章
0008 71ECh	ICU	DTC 起動許可レジスタ 236	DTCER236	8	8	2ICLK	14章
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DTCER239	8	8	2ICLK	14章
0008 71F0h	ICU	DTC 起動許可レジスタ 240	DTCER240	8	8	2ICLK	14章
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DTCER247	8	8	2ICLK	14章
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DTCER248	8	8	2ICLK	14章
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK	14章
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK	14章
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK	14章
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK	14章
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK	14章
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK	14章
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK	14章
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK	14章
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK	14章
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK	14章
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK	14章
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK	14章
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK	14章
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK	14章
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK	14章
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK	14章
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK	14章
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK	14章
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK	14章



表5.1 I/Oレジスタアドレス一覧 (6/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK	14章
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK	14章
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK	14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	14章
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK	14章
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK	14章
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK	14章
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK	14章
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK	14章
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK	14章
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK	14章
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK	14章
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK	14章
0008 7324h	ICU	割り込み要因プライオリティレジスタ 036	IPR036	8	8	2ICLK	14章
0008 7325h	ICU	割り込み要因プライオリティレジスタ 037	IPR037	8	8	2ICLK	14章
0008 7326h	ICU	割り込み要因プライオリティレジスタ 038	IPR038	8	8	2ICLK	14章
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK	14章
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK	14章
0008 733Ah	ICU	割り込み要因プライオリティレジスタ 058	IPR058	8	8	2ICLK	14章
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 059	IPR059	8	8	2ICLK	14章
0008 733Ch	ICU	割り込み要因プライオリティレジスタ 060	IPR060	8	8	2ICLK	14章
0008 733Fh	ICU	割り込み要因プライオリティレジスタ 063	IPR063	8	8	2ICLK	14章
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK	14章
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK	14章
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK	14章
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK	14章
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK	14章
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK	14章
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK	14章
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK	14章
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK	14章
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK	14章
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 090	IPR090	8	8	2ICLK	14章
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK	14章
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK	14章
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK	14章
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK	14章
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK	14章
0008 736Ch	ICU	割り込み要因プライオリティレジスタ 108	IPR108	8	8	2ICLK	14章
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK	14章
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK	14章
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK	14章
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK	14章
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK	14章
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK	14章
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK	14章
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK	14章
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK	14章
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK	14章
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK	14章
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK	14章
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK	14章
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK	14章



表5.1 I/Oレジスタアドレス一覧 (7/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK	14章
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK	14章
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK	14章
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK	14章
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2ICLK	14章
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK	14章
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK	14章
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK	14章
0008 73E6h	ICU	割り込み要因プライオリティレジスタ 230	IPR230	8	8	2ICLK	14章
0008 73EAh	ICU	割り込み要因プライオリティレジスタ 234	IPR234	8	8	2ICLK	14章
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK	14章
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK	14章
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK	14章
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK	14章
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK	14章
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK	14章
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK	14章
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK	14章
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK	14章
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK	14章
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK	14章
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK	14章
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK	14章
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK	14章
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK	14章
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK	14章
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK	14章
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK	14章
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK	14章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK	14章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK	14章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ 0	CMSTR0	16	16	2~3PCLKB	23章
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	23章
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	23章
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	23章
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	23章
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	23章
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	23章
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ 1	CMSTR1	16	16	2~3PCLKB	23章
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	23章
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	23章
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	23章
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	23章
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	23章
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	23章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB	26章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB	26章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB	26章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB	26章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB	26章

表5.1 I/Oレジスタアドレス一覧 (8/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 8040h	DA	D/A データレジスタ 0	DADR0	16	16	2~3PCLKB	37章
0008 8042h	DA	D/A データレジスタ 1	DADR1	16	16	2~3PCLKB	37章
0008 8044h	DA	D/A 制御レジスタ	DACR	8	8	2~3PCLKB	37章
0008 8045h	DA	データレジスタフォーマット選択レジスタ	DADPR	8	8	2~3PCLKB	37章
0008 8046h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2~3PCLKB	37章
0008 8047h	DA	D/A VREF制御レジスタ	DAVREFCR	8	8	2~3PCLKB	37章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	22章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	22章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	22章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	22章
0008 8204h	TMR0	タイムコンスタントレジスタ A	TCORA	8	8	2~3PCLKB	22章
0008 8204h	TMR01	タイムコンスタントレジスタ A	TCORA	16	16	2~3PCLKB	22章
0008 8205h	TMR1	タイムコンスタントレジスタ A	TCORA	8	8	2~3PCLKB	22章
0008 8206h	TMR0	タイムコンスタントレジスタ B	TCORB	8	8	2~3PCLKB	22章
0008 8206h	TMR01	タイムコンスタントレジスタ B	TCORB	16	16	2~3PCLKB	22章
0008 8207h	TMR1	タイムコンスタントレジスタ B	TCORB	8	8	2~3PCLKB	22章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB	22章
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2~3PCLKB	22章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2~3PCLKB	22章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	22章
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	22章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	22章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	22章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	22章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	22章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	22章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	22章
0008 8214h	TMR2	タイムコンスタントレジスタ A	TCORA	8	8	2~3PCLKB	22章
0008 8214h	TMR23	タイムコンスタントレジスタ A	TCORA	16	16	2~3PCLKB	22章
0008 8215h	TMR3	タイムコンスタントレジスタ A	TCORA	8	8	2~3PCLKB	22章
0008 8216h	TMR2	タイムコンスタントレジスタ B	TCORB	8	8	2~3PCLKB	22章
0008 8216h	TMR23	タイムコンスタントレジスタ B	TCORB	16	16	2~3PCLKB	22章
0008 8217h	TMR3	タイムコンスタントレジスタ B	TCORB	8	8	2~3PCLKB	22章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	22章
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2~3PCLKB	22章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2~3PCLKB	22章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	22章
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	22章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	22章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	22章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	33章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	33章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	33章
0008 8300h	R1IC0	I <sup>2</sup> Cバスコントロールレジスタ 1	ICCR1	8	8	2~3PCLKB	30章
0008 8301h	R1IC0	I <sup>2</sup> Cバスコントロールレジスタ 2	ICCR2	8	8	2~3PCLKB	30章
0008 8302h	R1IC0	I <sup>2</sup> Cバスモードレジスタ 1	ICMR1	8	8	2~3PCLKB	30章
0008 8303h	R1IC0	I <sup>2</sup> Cバスモードレジスタ 2	ICMR2	8	8	2~3PCLKB	30章
0008 8304h	R1IC0	I <sup>2</sup> Cバスモードレジスタ 3	ICMR3	8	8	2~3PCLKB	30章
0008 8305h	R1IC0	I <sup>2</sup> Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	30章
0008 8306h	R1IC0	I <sup>2</sup> Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	30章
0008 8307h	R1IC0	I <sup>2</sup> Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	30章
0008 8308h	R1IC0	I <sup>2</sup> Cバスステータスレジスタ 1	ICSR1	8	8	2~3PCLKB	30章
0008 8309h	R1IC0	I <sup>2</sup> Cバスステータスレジスタ 2	ICSR2	8	8	2~3PCLKB	30章
0008 830Ah	R1IC0	スレーブアドレスレジスタ L0	SARL0	8	8	2~3PCLKB	30章

表5.1 I/Oレジスタアドレス一覧 (9/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNLT	8	8	2~3PCLKB	30章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	30章
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8(注1)	2~3PCLKB	30章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	30章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	30章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	30章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	30章
0008 8310h	RIIC0	I <sup>2</sup> CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	30章
0008 8311h	RIIC0	I <sup>2</sup> CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	30章
0008 8312h	RIIC0	I <sup>2</sup> Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	30章
0008 8313h	RIIC0	I <sup>2</sup> Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	30章
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2~3PCLKB	32章
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKB	32章
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLKB	32章
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2~3PCLKB	32章
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32	2~3PCLKB   2ICLK	32章
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKB	32章
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKB	32章
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLKB	32章
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2~3PCLKB	32章
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLKB	32章
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKB	32章
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLKB	32章
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2~3PCLKB	32章
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2~3PCLKB	32章
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2~3PCLKB	32章
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2~3PCLKB	32章
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2~3PCLKB	32章
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2~3PCLKB	32章
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2~3PCLKB	32章
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2~3PCLKB	32章
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2~3PCLKB	32章
0008 8410h	IRDA	IrDA制御レジスタ	IRCR	8	8	2~3PCLKB	29章
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	20章
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	20章
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	20章
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	20章
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	20章
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	20章
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	20章
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	20章
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	20章
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	20章
0008 860Ah	MTU	タイマアウトブットマスタ許可レジスタ	TOER	8	8	2~3PCLKB	20章
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2~3PCLKB	20章
0008 860Eh	MTU	タイマアウトブットコントロールレジスタ1	TOCR1	8	8	2~3PCLKB	20章
0008 860Fh	MTU	タイマアウトブットコントロールレジスタ2	TOCR2	8	8	2~3PCLKB	20章
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2~3PCLKB	20章
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2~3PCLKB	20章
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2~3PCLKB	20章
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2~3PCLKB	20章
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	20章
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	20章
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	20章

表5.1 I/Oレジスタアドレス一覧 (10/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	20章
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2~3PCLKB	20章
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2~3PCLKB	20章
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	20章
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	20章
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	20章
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	20章
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	20章
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	20章
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2~3PCLKB	20章
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2~3PCLKB	20章
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2~3PCLKB	20章
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2~3PCLKB	20章
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2~3PCLKB	20章
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	20章
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	20章
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2~3PCLKB	20章
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2~3PCLKB	20章
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2~3PCLKB	20章
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2~3PCLKB	20章
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2~3PCLKB	20章
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2~3PCLKB	20章
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2~3PCLKB	20章
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2~3PCLKB	20章
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2~3PCLKB	20章
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	20章
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	20章
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	20章
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	20章
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	20章
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	20章
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	20章
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	20章
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	20章
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	20章
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	20章
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	20章
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2~3PCLKB	20章
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	20章
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	20章
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	20章
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	20章
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2~3PCLKB	20章
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2~3PCLKB	20章
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2~3PCLKB	20章
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	20章
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	20章
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	20章
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	20章
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	20章
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	20章
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2~3PCLKB	20章
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	20章
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	20章

表5.1 I/Oレジスタアドレス一覧 (11/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセ ス サイクル数	参照章
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2~3PCLKB	20章
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	20章
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	20章
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	20章
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	20章
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	20章
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2~3PCLKB	20章
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	20章
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	20章
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2~3PCLKB	20章
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2~3PCLKB	20章
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2~3PCLKB	20章
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2~3PCLKB	20章
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2~3PCLKB	20章
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2~3PCLKB	20章
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2~3PCLKB	20章
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2~3PCLKB	20章
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2~3PCLKB	20章
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2~3PCLKB	20章
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2~3PCLKB	20章
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2~3PCLKB	20章
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	20章
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2~3PCLKB	20章
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2~3PCLKB	20章
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2~3PCLKB	21章
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2~3PCLKB	21章
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8, 16	2~3PCLKB	21章
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	21章
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	21章
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2~3PCLKB	21章
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2~3PCLKB	21章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	36章
0008 9004h	S12AD	A/Dチャネル選択レジスタA	ADANSA	16	16	2~3PCLKB	36章
0008 9006h	S12AD	A/Dチャネル選択レジスタA1	ADANSA1	16	16	2~3PCLKB	36章
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2~3PCLKB	36章
0008 900Ah	S12AD	A/D変換値加算モード選択レジスタ1	ADADS1	16	16	2~3PCLKB	36章
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	36章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	36章
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	36章
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	36章
0008 9014h	S12AD	A/Dチャネル選択レジスタB	ADANSB	16	16	2~3PCLKB	36章
0008 9016h	S12AD	A/Dチャネル選択レジスタB1	ADANSB1	16	16	2~3PCLKB	36章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADBLDR	16	16	2~3PCLKB	36章
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSRDR	16	16	2~3PCLKB	36章
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	36章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	36章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	36章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	36章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	36章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	36章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	36章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	36章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	36章
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2~3PCLKB	36章

表5.1 I/Oレジスタアドレス一覧 (12/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 9032h	S12AD	A/D データレジスタ 9	ADDR9	16	16	2~3PCLKB	36章
0008 9034h	S12AD	A/D データレジスタ 10	ADDR10	16	16	2~3PCLKB	36章
0008 9036h	S12AD	A/D データレジスタ 11	ADDR11	16	16	2~3PCLKB	36章
0008 9038h	S12AD	A/D データレジスタ 12	ADDR12	16	16	2~3PCLKB	36章
0008 903Ah	S12AD	A/D データレジスタ 13	ADDR13	16	16	2~3PCLKB	36章
0008 903Ch	S12AD	A/D データレジスタ 14	ADDR14	16	16	2~3PCLKB	36章
0008 903Eh	S12AD	A/D データレジスタ 15	ADDR15	16	16	2~3PCLKB	36章
0008 904Ah	S12AD	A/D データレジスタ 21	ADDR21	16	16	2~3PCLKB	36章
0008 9060h	S12AD	A/D サンプリングステートレジスタ 0	ADSSSTR0	8	8	2~3PCLKB	36章
0008 9061h	S12AD	A/D サンプリングステートレジスタ L	ADSSSTRL	8	8	2~3PCLKB	36章
0008 9070h	S12AD	A/D サンプリングステートレジスタ T	ADSSSTRT	8	8	2~3PCLKB	36章
0008 9071h	S12AD	A/D サンプリングステートレジスタ O	ADSSSTRO	8	8	2~3PCLKB	36章
0008 9073h	S12AD	A/D サンプリングステートレジスタ 1	ADSSSTR1	8	8	2~3PCLKB	36章
0008 9074h	S12AD	A/D サンプリングステートレジスタ 2	ADSSSTR2	8	8	2~3PCLKB	36章
0008 9075h	S12AD	A/D サンプリングステートレジスタ 3	ADSSSTR3	8	8	2~3PCLKB	36章
0008 9076h	S12AD	A/D サンプリングステートレジスタ 4	ADSSSTR4	8	8	2~3PCLKB	36章
0008 9077h	S12AD	A/D サンプリングステートレジスタ 5	ADSSSTR5	8	8	2~3PCLKB	36章
0008 9078h	S12AD	A/D サンプリングステートレジスタ 6	ADSSSTR6	8	8	2~3PCLKB	36章
0008 9079h	S12AD	A/D サンプリングステートレジスタ 7	ADSSSTR7	8	8	2~3PCLKB	36章
0008 907Ch	S12AD	A/D 高電位側基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2~3PCLKB	36章
0008 9080h	S12AD	A/D サンプリングステートレジスタ 21	ADSSSTR21	8	8	2~3PCLKB	36章
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A000h	SMCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A002h	SMCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A003h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A004h	SMCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A006h	SMCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 A009h	SCI0	I <sup>2</sup> C モードレジスタ 1	SIMR1	8	8	2~3PCLKB	28章
0008 A00Ah	SCI0	I <sup>2</sup> C モードレジスタ 2	SIMR2	8	8	2~3PCLKB	28章
0008 A00Bh	SCI0	I <sup>2</sup> C モードレジスタ 3	SIMR3	8	8	2~3PCLKB	28章
0008 A00Ch	SCI0	I <sup>2</sup> C ステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 A00Dh	SCI0	SPI モードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 A029h	SCI1	I <sup>2</sup> C モードレジスタ 1	SIMR1	8	8	2~3PCLKB	28章
0008 A02Ah	SCI1	I <sup>2</sup> C モードレジスタ 2	SIMR2	8	8	2~3PCLKB	28章



表5.1 I/Oレジスタアドレス一覧 (13/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 A02Bh	SCI1	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	28章
0008 A02Ch	SCI1	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A040h	SMCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A042h	SMCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A044h	SMCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A046h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 A049h	SCI2	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	28章
0008 A04Ah	SCI2	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	28章
0008 A04Bh	SCI2	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	28章
0008 A04Ch	SCI2	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 A0A9h	SCI5	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	28章
0008 A0AAh	SCI5	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	28章
0008 A0ABh	SCI5	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	28章
0008 A0ACh	SCI5	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 A0C9h	SCI6	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	28章
0008 A0CAh	SCI6	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (14/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセ ス サイクル数	参照章
0008 A0CBh	SCI6	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	28章
0008 A0CCh	SCI6	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A100h	SMCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A102h	SMCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A104h	SMCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A106h	SMCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 A109h	SCI8	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	28章
0008 A10Ah	SCI8	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	28章
0008 A10Bh	SCI8	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	28章
0008 A10Ch	SCI8	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A120h	SMCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A122h	SMCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A124h	SMCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A126h	SMCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 A129h	SCI9	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	28章
0008 A12Ah	SCI9	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	28章
0008 A12Bh	SCI9	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	28章
0008 A12Ch	SCI9	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 A500h	SSI0	制御レジスタ	SSICR	32	32	2~3PCLKB	31章
0008 A504h	SSI0	ステータスレジスタ	SSISR	32	32	2~3PCLKB	31章
0008 A510h	SSI0	FIFO制御レジスタ	SSIFCR	32	32	2~3PCLKB	31章
0008 A514h	SSI0	FIFOステータスレジスタ	SSIFSR	32	32	2~3PCLKB	31章
0008 A518h	SSI0	送信FIFOデータレジスタ	SSIFTDR	32	32	2~3PCLKB	31章
0008 A51Ch	SSI0	受信FIFOデータレジスタ	SSIFRDR	32	32	2~3PCLKB	31章
0008 A520h	SSI0	TDMモードレジスタ	SSITDMR	32	32	2~3PCLKB	31章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	10章



表5.1 I/Oレジスタアドレス一覧 (15/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	40章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	40章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	40章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	17章
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2~3PCLKB	17章
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2~3PCLKB	17章
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	17章
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	17章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	17章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	17章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	17章
0008 B10Fh	ELC	イベントリンク設定レジスタ14	ELSR14	8	8	2~3PCLKB	17章
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	17章
0008 B112h	ELC	イベントリンク設定レジスタ17	ELSR17	8	8	2~3PCLKB	17章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	17章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	17章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	17章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	17章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	17章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	17章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	17章
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	17章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	17章
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	17章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	17章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	17章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	17章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	17章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	17章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	17章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	28章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	28章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	28章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	28章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	28章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	28章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	28章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	28章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	28章
0008 B309h	SCI12	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	28章
0008 B30Ah	SCI12	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	28章
0008 B30Bh	SCI12	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	28章
0008 B30Ch	SCI12	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	28章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	28章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	28章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	28章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	28章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	28章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	28章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (16/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	28章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	28章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	28章
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	28章
0008 B32Ah	SCI12	Control Field 0コンペイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	28章
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	28章
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	28章
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	28章
0008 B32Eh	SCI12	Control Field 1コンペイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	28章
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2~3PCLKB	28章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	28章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	28章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	28章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	28章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Fh	PORTF	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章

表5.1 I/Oレジスタアドレス一覧 (17/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB	18章
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB	18章
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB	18章
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB	18章
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB	18章
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	リード時: 3~4PCLKB ライト時: 2~3PCLKB	18章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C081h	PORT0	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	18章
0008 C0A4h	PORTJ	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	19章

表5.1 I/Oレジスタアドレス一覧 (18/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2~3PCLKB	18章
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	19章
0008 C144h	MPC	P04端子機能制御レジスタ	P04PFS	8	8	2~3PCLKB	19章
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	19章
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2~3PCLKB	19章
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2~3PCLKB	19章
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	19章
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	19章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	19章
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	19章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	19章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	19章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	19章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	19章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	19章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	19章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	19章
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	19章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	19章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	19章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	19章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	19章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	19章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	19章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	19章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	19章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	19章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	19章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	19章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	19章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	19章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	19章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	19章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	19章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	19章
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	19章
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	19章
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	19章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	19章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	19章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	19章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	19章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	19章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	19章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	19章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	19章
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	19章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	19章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	19章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	19章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	19章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	19章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	19章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	19章

表5.1 I/Oレジスタアドレス一覧 (19/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	19章
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	19章
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	19章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	19章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	19章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	19章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	19章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	19章
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	19章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	19章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	19章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	19章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	19章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	19章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	19章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	19章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	19章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	19章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	19章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	19章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	19章
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	19章
0008 C1BEh	MPC	PF6端子機能制御レジスタ	PF6PFS	8	8	2~3PCLKB	19章
0008 C1BFh	MPC	PF7端子機能制御レジスタ	PF7PFS	8	8	2~3PCLKB	19章
0008 C1D0h	MPC	PJ0端子機能制御レジスタ	PJ0PFS	8	8	2~3PCLKB	19章
0008 C1D2h	MPC	PJ2端子機能制御レジスタ	PJ2PFS	8	8	2~3PCLKB	19章
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	19章
0008 C1D6h	MPC	PJ6端子機能制御レジスタ	PJ6PFS	8	8	2~3PCLKB	19章
0008 C1D7h	MPC	PJ7端子機能制御レジスタ	PJ7PFS	8	8	2~3PCLKB	19章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	9章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4~5PCLKB	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	8章
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB	24章
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	24章
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2~3PCLKB	24章
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB	24章
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2~3PCLKB	24章
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB	24章
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB	24章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	24章
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB	24章
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	24章
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	24章
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	24章
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	24章
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB	24章
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	24章
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB	24章
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	24章
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB	24章

表5.1 I/Oレジスタアドレス一覧 (20/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	24章
0008 C418h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB	24章
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	24章
0008 C418h	RTC	バイナリカウンタ0アラーム許可レジスタ	BCNT0AER	8	8	2~3PCLKB	24章
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	24章
0008 C41Ah	RTC	バイナリカウンタ1アラーム許可レジスタ	BCNT1AER	8	8	2~3PCLKB	24章
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	24章
0008 C41Ch	RTC	バイナリカウンタ2アラーム許可レジスタ	BCNT2AER	16	16	2~3PCLKB	24章
0008 C41Eh	RTC	年アラーム許可レジスタ	RYRAREN	8	8	2~3PCLKB	24章
0008 C41Eh	RTC	バイナリカウンタ3アラーム許可レジスタ	BCNT3AER	8	8	2~3PCLKB	24章
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	24章
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	24章
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	24章
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	24章
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2~3PCLKB	39章
0008 C581h	CMPB	コンパレータB制御レジスタ2	CPBCNT2	8	8	2~3PCLKB	39章
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2~3PCLKB	39章
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2~3PCLKB	39章
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2~3PCLKB	39章
0008 C585h	CMPB	コンパレータBモード選択レジスタ	CPBMD	8	8	2~3PCLKB	39章
0008 C586h	CMPB	コンパレータBリファレンス入力電圧選択レジスタ	CPBREF	8	8	2~3PCLKB	39章
0008 C587h	CMPB	コンパレータB出力制御レジスタ	CPBOCR	8	8	2~3PCLKB	39章
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	27章
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上	27章
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	27章
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8, 16	3~4PCLKB	27章
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8, 16	3~4PCLKB	27章
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8, 16	3~4PCLKB	27章
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	27章
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	27章
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	27章
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	27章
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	27章
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	27章
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	27章
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	27章
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	27章
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	27章
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	27章
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	27章
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	27章
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	27章
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	27章
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	27章
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	27章
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上	27章
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	27章
000A 0056h	USB0	USBリクエストバリュレジスタ	USBVAL	16	16	9PCLKB以上	27章
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	27章
000A 005Ah	USB0	USBリクエストレンクスレジスタ	USBLENG	16	16	9PCLKB以上	27章
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	27章
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	27章
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	27章
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	27章



表5.1 I/Oレジスタアドレス一覧 (21/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	27章
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	27章
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	27章
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	27章
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	27章
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	27章
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	27章
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	27章
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	27章
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	27章
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	27章
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	27章
000A 0090h	USB0	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	27章
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	27章
000A 0094h	USB0	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	27章
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	27章
000A 0098h	USB0	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	27章
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	27章
000A 009Ch	USB0	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	27章
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	27章
000A 00A0h	USB0	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	27章
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	27章
000A 00B0h	USB0	BCコントロールレジスタ0	USBBCCTRL0	16	16	9PCLKB以上	27章
000A 00CCh	USB0	USBモジュール制御レジスタ	USBMC	16	16	9PCLKB以上	27章
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB以上	27章
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB以上	27章
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLKB以上	27章
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLKB以上	27章
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLKB以上	27章
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLKB以上	27章
000A 0800h	LCDC	LCDモードレジスタ0	LCDM0	8	8	1~2PCLKB	34章
000A 0801h	LCDC	LCDモードレジスタ1	LCDM1	8	8	1~2PCLKB	34章
000A 0802h	LCDC	LCDクロック制御レジスタ0	LCDC0	8	8	1~2PCLKB	34章
000A 0803h	LCDC	LCD昇圧レベル制御レジスタ	VLCD	8	8	1~2PCLKB	34章
000A 0840h	LCDC	LCD表示データレジスタ00	SEG00	8	8	1~2PCLKB	34章
000A 0841h	LCDC	LCD表示データレジスタ01	SEG01	8	8	1~2PCLKB	34章
000A 0842h	LCDC	LCD表示データレジスタ02	SEG02	8	8	1~2PCLKB	34章
000A 0843h	LCDC	LCD表示データレジスタ03	SEG03	8	8	1~2PCLKB	34章
000A 0844h	LCDC	LCD表示データレジスタ04	SEG04	8	8	1~2PCLKB	34章
000A 0845h	LCDC	LCD表示データレジスタ05	SEG05	8	8	1~2PCLKB	34章
000A 0846h	LCDC	LCD表示データレジスタ06	SEG06	8	8	1~2PCLKB	34章
000A 0847h	LCDC	LCD表示データレジスタ07	SEG07	8	8	1~2PCLKB	34章
000A 0848h	LCDC	LCD表示データレジスタ08	SEG08	8	8	1~2PCLKB	34章
000A 0849h	LCDC	LCD表示データレジスタ09	SEG09	8	8	1~2PCLKB	34章
000A 084Ah	LCDC	LCD表示データレジスタ10	SEG10	8	8	1~2PCLKB	34章
000A 084Bh	LCDC	LCD表示データレジスタ11	SEG11	8	8	1~2PCLKB	34章
000A 084Ch	LCDC	LCD表示データレジスタ12	SEG12	8	8	1~2PCLKB	34章
000A 084Dh	LCDC	LCD表示データレジスタ13	SEG13	8	8	1~2PCLKB	34章
000A 084Eh	LCDC	LCD表示データレジスタ14	SEG14	8	8	1~2PCLKB	34章
000A 084Fh	LCDC	LCD表示データレジスタ15	SEG15	8	8	1~2PCLKB	34章
000A 0850h	LCDC	LCD表示データレジスタ16	SEG16	8	8	1~2PCLKB	34章
000A 0851h	LCDC	LCD表示データレジスタ17	SEG17	8	8	1~2PCLKB	34章
000A 0852h	LCDC	LCD表示データレジスタ18	SEG18	8	8	1~2PCLKB	34章
000A 0853h	LCDC	LCD表示データレジスタ19	SEG19	8	8	1~2PCLKB	34章

表5.1 I/Oレジスタアドレス一覧 (22/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
000A 0854h	LCDC	LCD表示データレジスタ20	SEG20	8	8	1~2PCLKB	34章
000A 0855h	LCDC	LCD表示データレジスタ21	SEG21	8	8	1~2PCLKB	34章
000A 0856h	LCDC	LCD表示データレジスタ22	SEG22	8	8	1~2PCLKB	34章
000A 0857h	LCDC	LCD表示データレジスタ23	SEG23	8	8	1~2PCLKB	34章
000A 0858h	LCDC	LCD表示データレジスタ24	SEG24	8	8	1~2PCLKB	34章
000A 0859h	LCDC	LCD表示データレジスタ25	SEG25	8	8	1~2PCLKB	34章
000A 085Ah	LCDC	LCD表示データレジスタ26	SEG26	8	8	1~2PCLKB	34章
000A 085Bh	LCDC	LCD表示データレジスタ27	SEG27	8	8	1~2PCLKB	34章
000A 085Ch	LCDC	LCD表示データレジスタ28	SEG28	8	8	1~2PCLKB	34章
000A 085Dh	LCDC	LCD表示データレジスタ29	SEG29	8	8	1~2PCLKB	34章
000A 085Eh	LCDC	LCD表示データレジスタ30	SEG30	8	8	1~2PCLKB	34章
000A 085Fh	LCDC	LCD表示データレジスタ31	SEG31	8	8	1~2PCLKB	34章
000A 0860h	LCDC	LCD表示データレジスタ32	SEG32	8	8	1~2PCLKB	34章
000A 0861h	LCDC	LCD表示データレジスタ33	SEG33	8	8	1~2PCLKB	34章
000A 0862h	LCDC	LCD表示データレジスタ34	SEG34	8	8	1~2PCLKB	34章
000A 0863h	LCDC	LCD表示データレジスタ35	SEG35	8	8	1~2PCLKB	34章
000A 0864h	LCDC	LCD表示データレジスタ36	SEG36	8	8	1~2PCLKB	34章
000A 0865h	LCDC	LCD表示データレジスタ37	SEG37	8	8	1~2PCLKB	34章
000A 0866h	LCDC	LCD表示データレジスタ38	SEG38	8	8	1~2PCLKB	34章
000A 0867h	LCDC	LCD表示データレジスタ39	SEG39	8	8	1~2PCLKB	34章
000A 0900h	CTSU	CTSU制御レジスタ0	CTSUCR0	8	8	1~2PCLKB	35章
000A 0901h	CTSU	CTSU制御レジスタ1	CTSUCR1	8	8	1~2PCLKB	35章
000A 0902h	CTSU	CTSU同期ノイズ低減設定レジスタ	CTSUSDPRS	8	8	1~2PCLKB	35章
000A 0903h	CTSU	CTSUセンサ安定待ち時間レジスタ	CTSUSST	8	8	1~2PCLKB	35章
000A 0904h	CTSU	CTSU計測チャネルレジスタ0	CTSUMCH0	8	8	1~2PCLKB	35章
000A 0905h	CTSU	CTSU計測チャネルレジスタ1	CTSUMCH1	8	8	1~2PCLKB	35章
000A 0906h	CTSU	CTSUチャネル有効制御レジスタ0	CTSUCHAC0	8	8	1~2PCLKB	35章
000A 0907h	CTSU	CTSUチャネル有効制御レジスタ1	CTSUCHAC1	8	8	1~2PCLKB	35章
000A 090Bh	CTSU	CTSUチャネル送受信制御レジスタ0	CTSUCHTRC0	8	8	1~2PCLKB	35章
000A 090Ch	CTSU	CTSUチャネル送受信制御レジスタ1	CTSUCHTRC1	8	8	1~2PCLKB	35章
000A 0910h	CTSU	CTSU高域ノイズ低減制御レジスタ	CTSUDCLKC	8	8	1~2PCLKB	35章
000A 0911h	CTSU	CTSUステータスレジスタ	CTSUST	8	8	1~2PCLKB	35章
000A 0912h	CTSU	CTSU高域ノイズ低減スペクトラム拡散制御レジスタ	CTSUSSC	16	16	1~2PCLKB	35章
000A 0914h	CTSU	CTSUセンサオフセットレジスタ0	CTSUSO0	16	16	1~2PCLKB	35章
000A 0916h	CTSU	CTSUセンサオフセットレジスタ1	CTSUSO1	16	16	1~2PCLKB	35章
000A 0918h	CTSU	CTSUセンサカウンタ	CTSUSC	16	16	1~2PCLKB	35章
000A 091Ah	CTSU	CTSUリファレンスカウンタ	CTSURC	16	16	1~2PCLKB	35章
000A 091Ch	CTSU	CTSUエラーステータスレジスタ	CTSUERRS	16	16	1~2PCLKB	35章
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2~3FCLK	42章
007F C0ACh	TEMPS	温度センサ校正データレジスタ	TSCDRL	8	8	1~2PCLKB	38章
007F C0ADh	TEMPS	温度センサ校正データレジスタ	TSCDRH	8	8	1~2PCLKB	38章
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	42章
007F C0B2h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2~3FCLK	42章
007F C0B4h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2~3FCLK	42章
007F C0B6h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2~3FCLK	42章
007F C0B7h	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2~3FCLK	42章
007F C0B8h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2~3FCLK	42章
007F C0BAh	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	8	8	2~3FCLK	42章
007F C0C0h	FLASH	プロテクト解除レジスタ	FPR	8	8	2~3FCLK	42章
007F C0C1h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2~3FCLK	42章
007F C0C2h	FLASH	フラッシュリードバッファレジスタL	FRBL	16	16	2~3FCLK	42章
007F C0C4h	FLASH	フラッシュリードバッファレジスタH	FRBH	16	16	2~3FCLK	42章
007F FF80h	FLASH	フラッシュP/Eモード制御レジスタ	FPMCR	8	8	2~3FCLK	42章
007F FF81h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2~3FCLK	42章



表5.1 I/Oレジスタアドレス一覧 (23/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数	参照章
007F FF82h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2~3FCLK	42章
007F FF84h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	8	8	2~3FCLK	42章
007F FF85h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2~3FCLK	42章
007F FF86h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2~3FCLK	42章
007F FF88h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	8	8	2~3FCLK	42章
007F FF89h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2~3FCLK	42章
007F FF8Ah	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	42章
007F FF8Bh	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	42章
007F FF8Ch	FLASH	フラッシュライトバッファレジスタL	FWBL	16	16	2~3FCLK	42章
007F FF8Eh	FLASH	フラッシュライトバッファレジスタH	FWBH	16	16	2~3FCLK	42章
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	42章
007F FFBh	CTSU	CTSU基準電流調整レジスタ	CTSUTMR	8	8	2~3FCLK	35章

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLレジスタのアドレスへアクセスしてください。表30.6に16ビットアクセスのレジスタ配置を示します。

## 6. リセット

### 6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 1 リセット、電圧監視 2 リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES# 端子リセット	RES# 端子の入力電圧がLow
パワーオンリセット	VCCの上昇 (監視電圧 : VPOR) (注1)
電圧監視1リセット	VCCの下降 (監視電圧 : Vdet1) (注1)
電圧監視2リセット	VCCの下降 (監視電圧 : Vdet2) (注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧 (VPOR, Vdet1, Vdet2) については、「8. 電圧検出回路 (LVDAa)」、「43. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因					
	RES#端子 リセット	パワーオン リセット	独立ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—
コールドスタート/ウォームスタート 判別フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—
独立ウォッチドッグタイマリセット 検出フラグ (RSTSR2.IWDTRF)	○	○	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL[3:0])	○	○	○	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0, EXVCCINP2, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL[1:0])	○	○	○	○	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	—
リアルタイムクロックのレジスタ (注2)	—	—	—	—	—	—
上記以外のレジスタ、CPUおよび 内部状態	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

注2. 一部の制御ビット (RCR1.CIE, RCR1.RTCOS, RCR2.RTCOE, ADJ30, RESET) は、すべてのリセットにより初期化されま  
す。対象となる制御ビットについては、「24. リアルタイムクロック (RTCA)」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

## 6.2 レジスタの説明

### 6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	—	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0 : パワーオンリセット未検出 1 : パワーオンリセット検出	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1RF	電圧監視1リセット検出フラグ	0 : 電圧監視1リセット未検出 1 : 電圧監視1リセット検出	R/(W) (注1)
b3	LVD2RF	電圧監視2リセット検出フラグ	0 : 電圧監視2リセットの未検出 1 : 電圧監視2リセットの検出	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

#### PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

#### LVD1RF フラグ (電圧監視1リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

#### LVD2RF フラグ (電圧監視2リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

## 6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

### CWSF フラグ（コールドスタート/ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

["1"になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき

### 6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	—	IWDTR F
リセット後の値	0	0	0	0	0	0 (注1)	0	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

#### IWDTRF フラグ (独立ウォッチドッグタイマリセット検出 フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1" になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

#### SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1" になる条件]

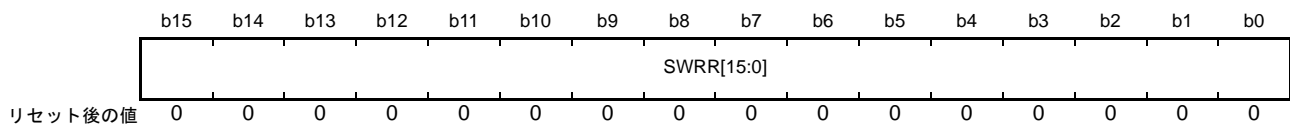
- ソフトウェアリセットを行なったとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

## 6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとMCUがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

## 6.3 動作説明

### 6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「43. 電気的特性」を参照してください。

### 6.3.2 パワーオンリセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に VIH 以上になるようにしてください。VIH は、「43. 電気的特性」を参照してください。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

図 6.1 にパワーオンリセット回路例と動作例を示します。



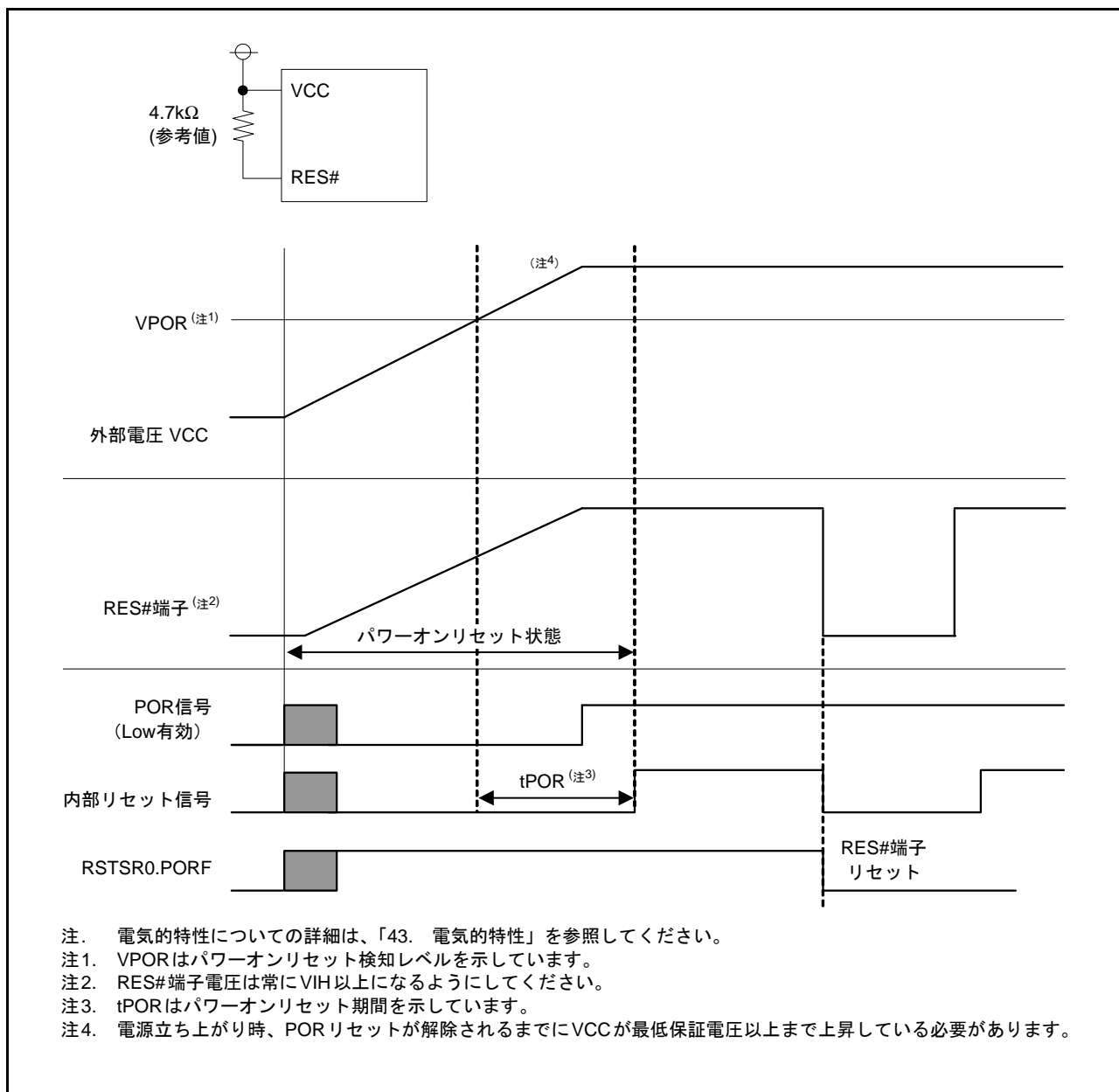


図 6.1 パワーオンリセット回路例と動作例

### 6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が  $V_{det1}$  以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が  $V_{det2}$  以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が  $V_{det1}$  以下になり、その後  $V_{det1}$  を超えてから LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が  $V_{det1}$  以下になってから LVD1 リセット時間 ( $t_{LVD1}$ ) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

$V_{det1}$ 、および  $V_{det2}$  の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAa)」を参照してください。

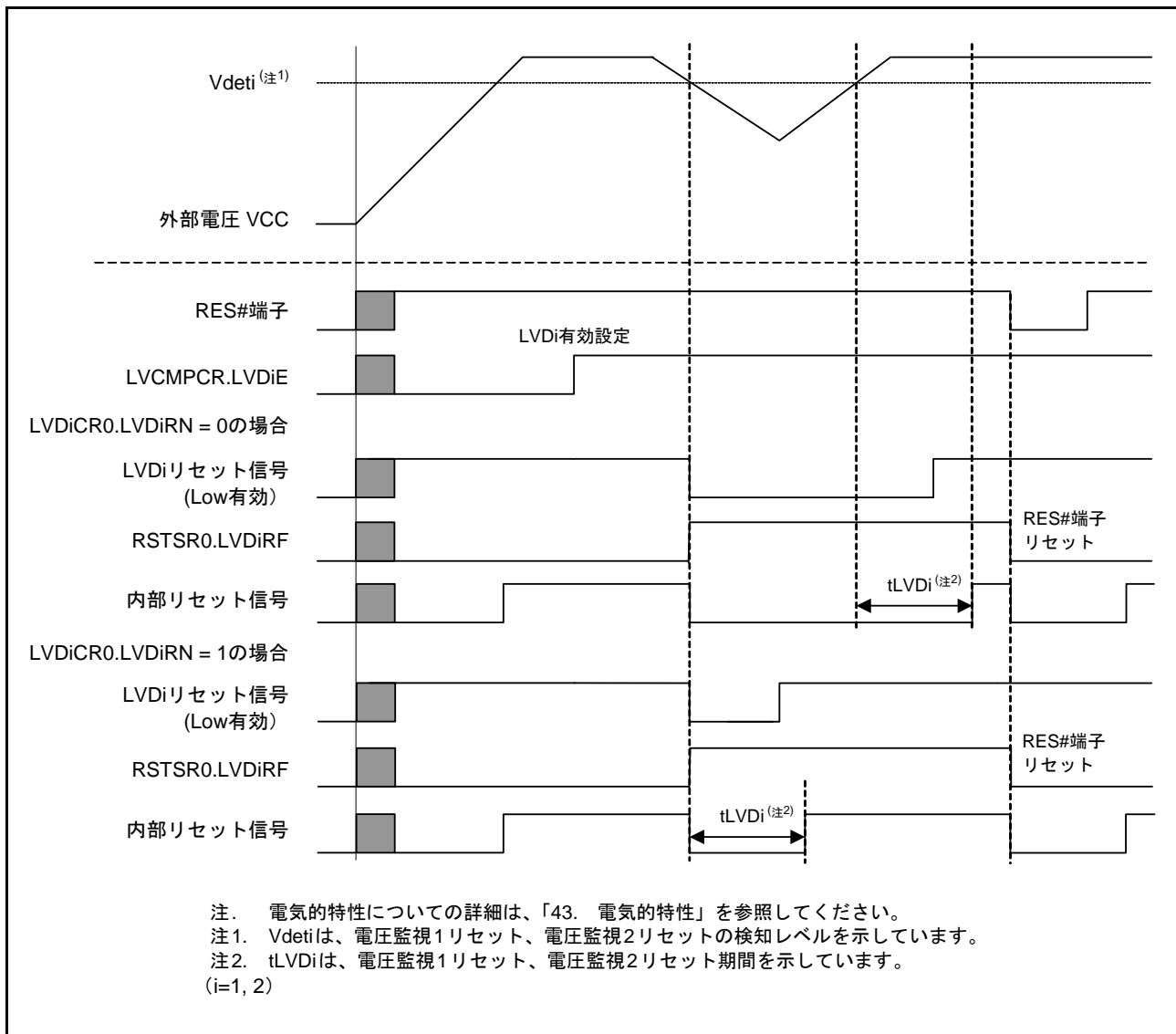


図 6.2 電圧監視1リセット、電圧監視2リセット動作例

### 6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDTリセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPUがリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「26. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

### 6.3.5 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRRレジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間（tRESW2）経過後に内部リセットは解除され、CPUがリセット例外処理を開始します。

### 6.3.6 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSFフラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSFフラグはパワーオンリセットが発生すると“0”（コールドスタート）になります。その他のリセットを行っても“0”になりません。また、プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

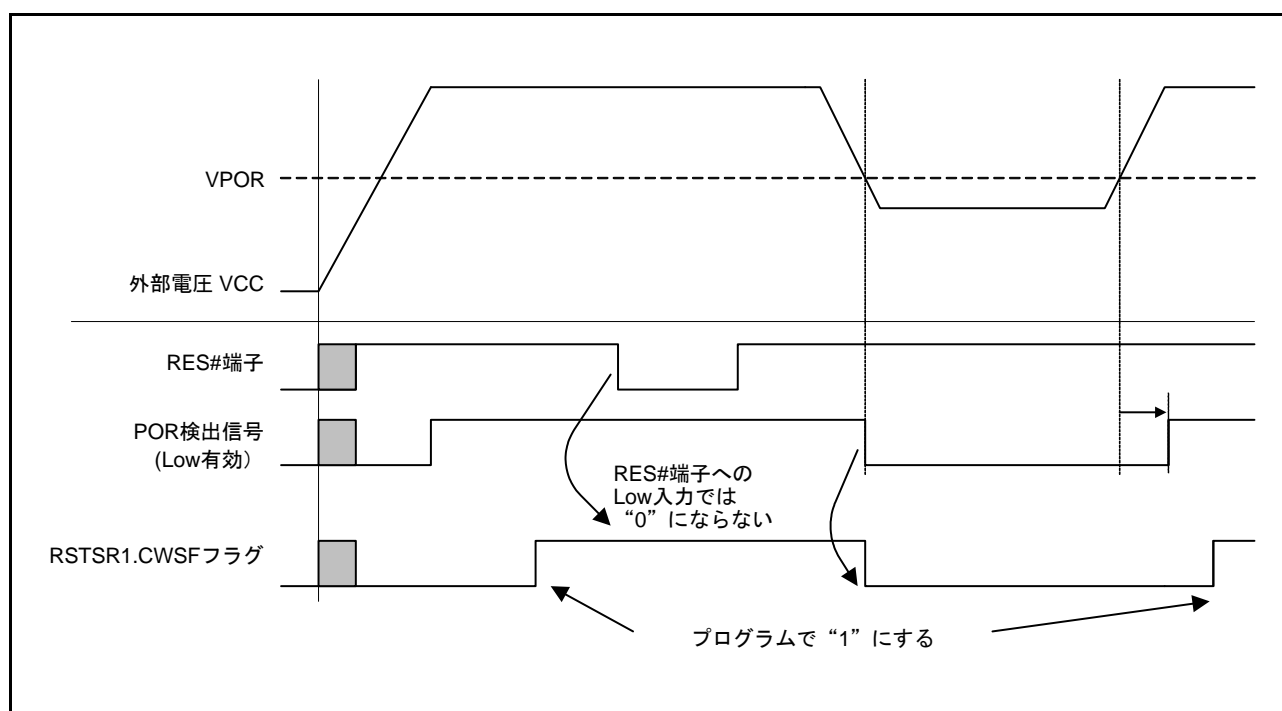


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

### 6.3.7 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

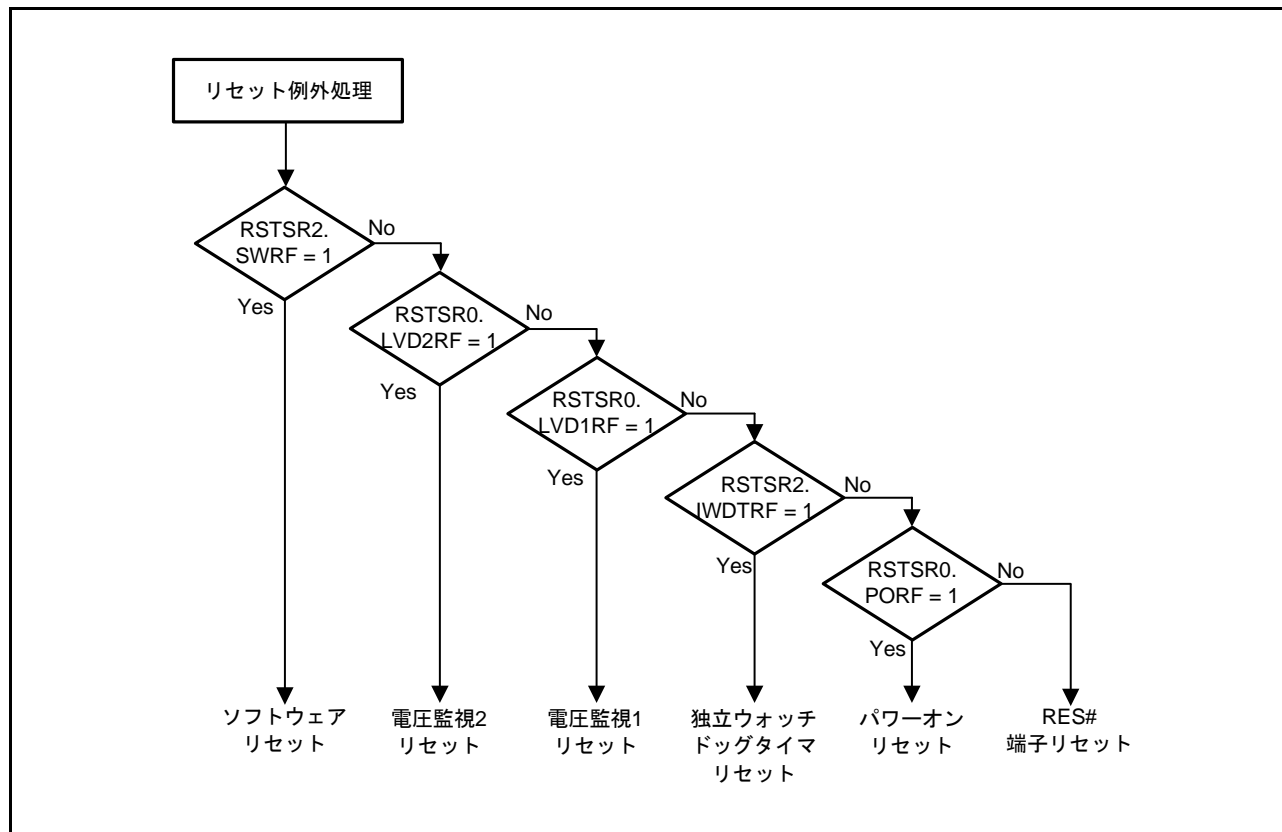


図 6.4 リセット発生要因判定フロー例

## 7. オプション設定メモリ

### 7.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

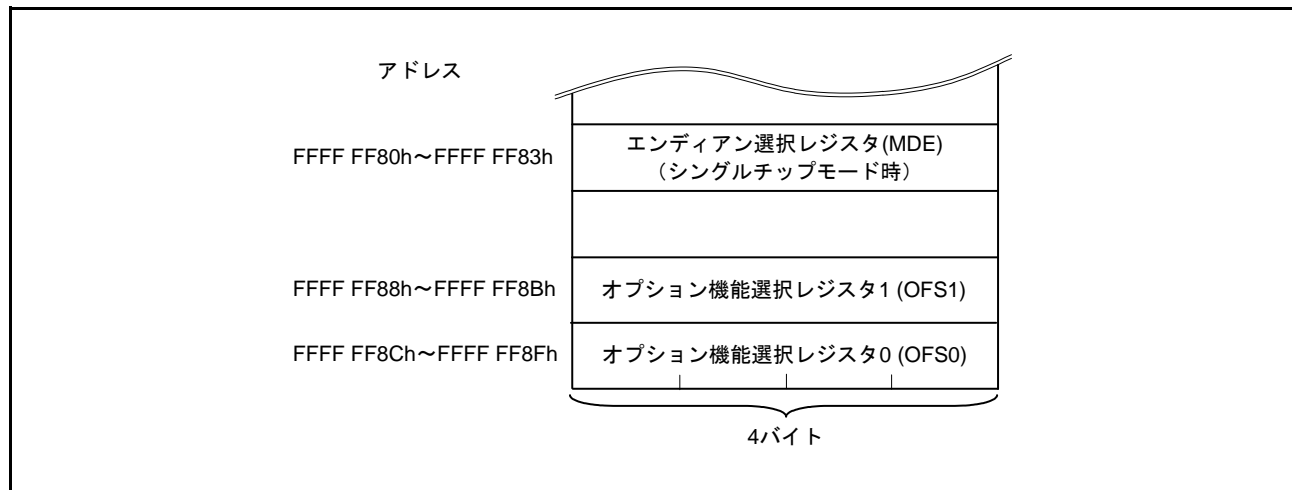


図 7.1 オプション設定メモリ領域

## 7.2 レジスタの説明

## 7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値(注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDTSTRIRQS	IWDTRPSS[1:0]	IWDTRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]			IWDTSTRT	—		

リセット後の値 ユーザの設定値(注1)

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0 : リセット後、IWDTはオートスタートモードにて自動的に起動 1 : リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0 : 128サイクル (007Fh) 0 1 : 512サイクル (01FFh) 1 0 : 1024サイクル (03FFFh) 1 1 : 2048サイクル (07FFFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0 : 1分周 (周期 136ms) 0 0 1 0 : 16分周 (周期 2.18s) 0 0 1 1 : 32分周 (周期 4.36s) 0 1 0 0 : 64分周 (周期 8.73s) 1 1 1 1 : 128分周 (周期 17.5s) 0 1 0 1 : 256分周 (周期 34.9s) 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b12	IWDTSTRIRQS	IWDTリセット割り込み要求選択ビット	0 : ノンマスク割り込み要求を許可 1 : リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモードおよびディープスリープモード遷移時のカウント停止有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

OFS0 レジスタは、リセット後の独立ウォッチドッグタイマ (IWDT) の動作を選択するレジスタです。

OFS0 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。  
ブートモード時、OFS0 レジスタの設定は無効となります。

#### **IWDTSTRT ビット (IWDT スタートモード選択ビット)**

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

#### **IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)**

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「26. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

#### **IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)**

IWDT 専用クロックを分周するプリスケアラの分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 128 ~ 524288 クロックの間で設定できます。

詳細は「26. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

#### **IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)**

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「26. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

#### **IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)**

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「26. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

#### **IWDRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)**

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「26. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

#### **IWDTSLCSTP ビット (IWDT スリープモードカウント停止 制御ビット)**

スリープモード、ソフトウェアスタンバイモードおよびディープスリープモード遷移時のカウント停止を選択します。

詳細は「26. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。



## 7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	STUPLVD1LVL[3:0]			—	—	STUPLV D1REN	FASTS TUP	
リセット後の値 ユーザの設定値(注1)															

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b0	FASTSTUP	電源立上げ時起動時間短縮ビット	0: 電源立上げ時起動時間短縮 1: 通常起動	R
b1	STUPLVD1REN	起動時電圧監視1リセット有効ビット	0: 起動時電圧監視1リセット有効(注2) 1: 起動時電圧監視1リセット無効	R
b3-b2	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b7-b4	STUPLVD1LVL[3:0]	起動時電圧監視1リセット検出レベル 選択ビット	b7 b4 0 1 0 0: 3.10V 0 1 0 1: 3.00V 0 1 1 0: 2.90V 0 1 1 1: 2.79V 1 0 0 0: 2.68V 1 0 0 1: 2.58V 1 0 1 0: 2.48V 1 0 1 1: 2.06V 1 1 0 0: 1.96V 1 1 0 1: 1.86V STUPLVD1RENビット=0のときは、 上記以外は設定しないでください	R
b8	HOCOEN	HOCO発振有効ビット	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注2. 起動時電圧監視1リセットを有効にし、かつ、独立ウォッチドッグタイマのリセット出力を設定して使用する場合、リセット直後にプログラムでも電圧監視1リセットを有効にしてください。  
詳細は、「7.3.2 電圧監視1リセットとIWDTRリセット併用時の注意事項」を参照ください。

OFS1 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時、OFS1 レジスタの設定は無効となります。

**FASTSTUP ビット（電源立上げ時起動時間短縮ビット）**

電気的特性の電源投入時 VCC 立ち上がり勾配（起動時間短縮時）を満たせる場合、本ビットを“0”（電源立上げ時起動時間短縮）に設定すると、起動時間を短縮することができます。電源投入時 VCC 立ち上がり勾配（起動時間短縮時）を満たせない場合は、本ビットに“0”を設定しないでください。

**STUPLVD1REN ビット（起動時電圧監視 1 リセット有効ビット）**

リセット後、電圧監視 1 リセットを有効にするか無効にするかを選択します。

電圧検出 1 回路で監視する Vdet1 電圧は、STUPLVD1LVL[3:0] ビットで選択されます。

このビットを“0”（起動時電圧監視 1 リセット有効）に設定して電源を立ち上げる場合、電源投入時 VCC 立ち上がり勾配の規定は、「43. 電気的特性」に掲載の電源投入時 VCC 立ち上がり勾配（起動時電圧監視 1 リセット有効時）となり、電源投入時 VCC 立ち上がり勾配の Max 値側の規定はありません。

なお、STUPLVD1REN ビットを“0”にした場合、FASTSTUP ビットの設定にかかわらず電圧監視 1 リセット有効で起動します。

**STUPLVD1LVL[3:0] ビット（起動時電圧監視 1 リセット検出レベル選択ビット）**

STUPLVD1REN ビットを“0”にした場合の電圧検出 1 回路の電圧検出レベルを選択します。

**HOCOEN ビット（HOCO 発振有効ビット）**

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを“0”にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0”にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット（SCKCR3.CKSEL[2:0]）を書き換えることにより、切り替わります。

また、OFS1.HOCOEN ビットに“0”を設定している場合、HOCO 発振安定時間（tHOCO）はハードウェアで確保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数（fHOCO）の精度のクロックが供給されます。

### 7.2.3 エンディアン選択レジスタ (MDE)

アドレス MDE (シングルチップモード時) : FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	—
リセット後の値 ユーザの設定値(注1)															

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0 : ビッグエンディアン 1 1 1 : リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

MDE レジスタは、CPU のエンディアンを選択するレジスタです。エンディアンの選択は、FFFF FF80h 番地のエンディアン選択レジスタ (MDE) で行います。

MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは“FFFF FFFFh”になります。

#### MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

## 7.3 使用上の注意事項

### 7.3.1 オプション設定メモリの設定例

オプション設定メモリはROM上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに“ffff ff8h”を設定する場合

```
.org      0fff ff8ch
.lword   0ffffff8h
```

注． プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

### 7.3.2 電圧監視1リセットとIWDTRリセット併用時の注意事項

オプション設定メモリのOFS1.STUPLVD1RENビットを“0”（起動時電圧監視1リセット有効）、かつOFS0.IWDTRSTIRQSビットまたはIWDTRCR.RSTIRQSビットを“1”（IWDTRリセット出力許可）にして使用する場合、「8.4 電圧監視1割り込み、電圧監視1リセット」の手順に従ってプログラムの先頭で電圧監視1リセットを有効にしてください。

## 8. 電圧検出回路 (LVDAa)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

### 8.1 概要

電圧検出 1 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 10 レベルから選択できます。電圧検出 2 は、VCC と CMPA2 端子入力電圧の切り替えで、検出電圧を 4 レベルから選択できます。電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路のブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet1	Vdet2
	検出対象	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合 LVCMPCR.EXVCCINP2 ビットで VCC と CMPA2 端子への入力電圧の切り替え可能
	検出電圧	LVDLVLR.LVD1LVL[3:0] ビットで 10 レベルから選択可能	LVDLVLR.LVD2LVL[1:0] ビットで 4 レベルから選択可能
	モニタフラグ	LVD1SR.LVD1MON フラグ： Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ： Vdet1 通過検出	LVD2SR.LVD2MON フラグ： Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ： Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後に CPU 動作再開、 または Vdet1 > VCC の一定時間後に CPU 動作再開 を選択可能	Vdet2 > VCC または CMPA2 端子でリセット： VCC または CMPA2 端子 > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC または CMPA2 端子の一定時間後に CPU 動作再開を選択 可能
	割り込み	電圧監視 1 割り込み	電圧監視 2 割り込み
ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、VCC > Vdet1 の両方、 またはどちらかで割り込み要求		ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC または CMPA2 端子、VCC または CMPA2 端子 > Vdet2 の両方、またはどちらかで割 り込み要求	
イベントリンク機能	あり Vdet1 通過検出イベント出力	なし	

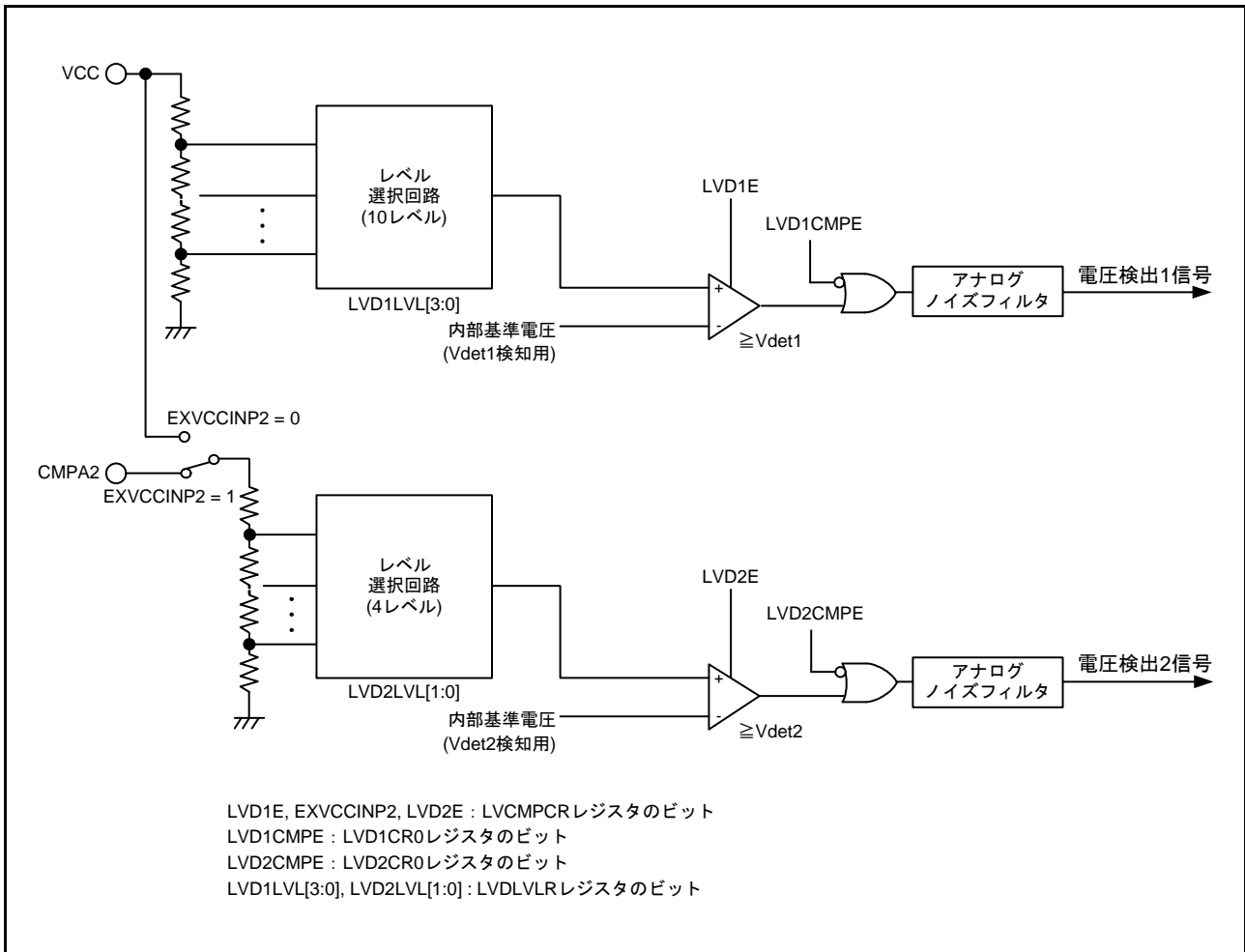


図 8.1 電圧検出回路ブロック図

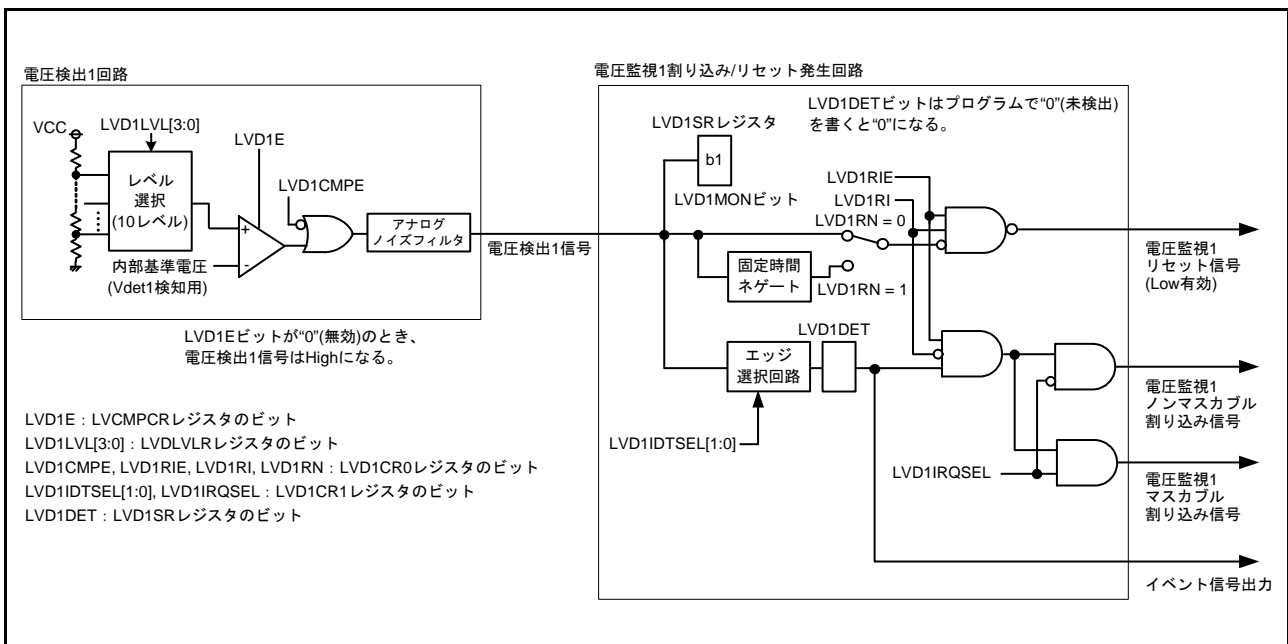


図 8.2 電圧監視1 割り込み / リセット発生回路のブロック図

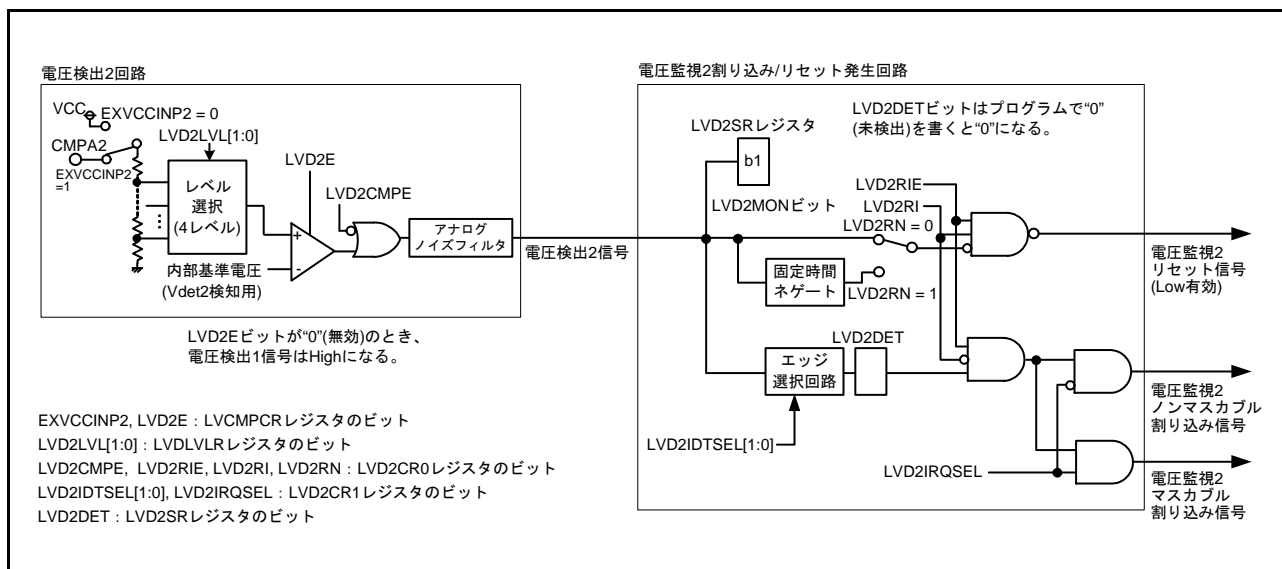


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

表 8.2 に電圧検出回路で使用する入出力端子を示します。

表 8.2 電圧検出回路の入出力端子

端子名	入出力	機能
CMPA2	入力	電圧検出2用検出対象電圧端子

## 8.2 レジスタの説明

### 8.2.1 電圧監視1回路制御レジスタ1 (LVD1CR1)

アドレス 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IR QSEL	LVD1IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視1割り込み ELCイベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。



## 8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

### LVD1DET フラグ（電圧監視 1 電圧変化検出フラグ）

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”（禁止）にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

### LVD1MON フラグ（電圧監視 1 信号モニタフラグ）

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

## 8.2.3 電圧監視2回路制御レジスタ1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : VCCまたはCMPA2端子 $\geq$ Vdet2 (上昇) 検出時 0 1 : VCCまたはCMPA2端子 $<$ Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

## 8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : VCCまたはCMPA2端子 < Vdet2 1 : VCCまたはCMPA2端子 ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

**LVD2DET フラグ（電圧監視 2 電圧変化検出フラグ）**

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”（禁止）にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

**LVD2MON フラグ（電圧監視 2 信号モニタフラグ）**

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

## 8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	EXVCC INP2	—	—	—
リセット後の値	0	0	0(注1)	0	0	0	0	0

注1. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EXVCCINP2	電圧検出2比較電圧外部入力 選択ビット(注1)	0: 電源電圧 (VCC) 1: CMPA2端子入力電圧	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. EXVCCINP2ビットは、LVD1EおよびLVD2Eビットが共に“0”（電圧検出1回路および電圧検出2回路無効）の場合にのみ変更可能です。

**LVD1E ビット（電圧検出1許可ビット）**

電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

**LVD2E ビット（電圧検出2許可ビット）**

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

## 8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2LVL[1:0]		LVD1LVL[3:0]			

リセット後の値 0 0 0 0 0(注1) 1(注1) 1(注1) 1(注1)

注1. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は、OFS1.STUPLVD1LVL[3:0]ビットと同じ値になります。

ビット	シンボル	ビット名	機能	R/W																																																					
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>: 3.10V</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>: 3.00V</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>: 2.90V</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>: 2.79V</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>: 2.68V</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>: 2.58V</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>: 2.48V</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>: 2.06V</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>: 1.96V</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>: 1.86V</td> </tr> </table> 上記以外は設定しないでください	b3	b0		0	1	0	0	: 3.10V	0	1	0	1	: 3.00V	0	1	1	0	: 2.90V	0	1	1	1	: 2.79V	1	0	0	0	: 2.68V	1	0	0	1	: 2.58V	1	0	1	0	: 2.48V	1	0	1	1	: 2.06V	1	1	0	0	: 1.96V	1	1	0	1	: 1.86V	R/W
b3	b0																																																								
0	1	0	0	: 3.10V																																																					
0	1	0	1	: 3.00V																																																					
0	1	1	0	: 2.90V																																																					
0	1	1	1	: 2.79V																																																					
1	0	0	0	: 2.68V																																																					
1	0	0	1	: 2.58V																																																					
1	0	1	0	: 2.48V																																																					
1	0	1	1	: 2.06V																																																					
1	1	0	0	: 1.96V																																																					
1	1	0	1	: 1.86V																																																					
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	<table border="0"> <tr> <td>b5</td> <td>b4</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>: 2.90V</td> </tr> <tr> <td>0</td> <td>1</td> <td>: 2.60V</td> </tr> <tr> <td>1</td> <td>0</td> <td>: 2.00V</td> </tr> <tr> <td>1</td> <td>1</td> <td>: 1.80V(注1)</td> </tr> </table>	b5	b4		0	0	: 2.90V	0	1	: 2.60V	1	0	: 2.00V	1	1	: 1.80V(注1)	R/W																																						
b5	b4																																																								
0	0	: 2.90V																																																							
0	1	: 2.60V																																																							
1	0	: 2.00V																																																							
1	1	: 1.80V(注1)																																																							
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																					

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. LVCMPPCR.EXVCCINP2ビットが“0”（電源電圧（VCC））の場合、“11b”は設定禁止です。

LVDLVLRレジスタを変更するときは、LVCMPPCR.LVD1EビットおよびLVCMPPCR.LVD2Eビットを共に“0”（電圧検出n回路無効）（n = 1, 2）にしてから行ってください。

また、LVD1LVLレジスタで設定の電圧検出レベルの範囲とLVD2LVLレジスタで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「43. 電気的特性」を参照してください。

## 8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

b7	b6	b5	b4	b3	b2	b1	b0
LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE

リセット後の値 1 (注1) 0 (注2) 0 0 x 0 (注2) 0 0 (注2)

x: 不定

注1. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は“0”になります。

注2. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0: 電圧監視1回路比較結果出力禁止 1: 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0: Vdet1通過時に電圧監視1割り込み 1: 下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0: VCC > Vdet1検出から一定時間 (tLVD1) 経過後にネゲート 1: 電圧監視1リセットアサートから一定時間 (tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

## LVD1RIE ビット (電圧監視 1 割り込み / リセット許可ビット)

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）かつ LVD1CMPE ビットが“1”（電圧検出 1 回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスクブル割り込みを発生させないでください。

## LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”（VCC > Vdet1 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にしないでください。

## 8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE
リセット後の値	1	0	0	0	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0 : VCCまたはCMPA2端子 > Vdet2 検出から一定時間 (tLVD2) 経過後にネゲート 1 : 電圧監視2リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

**LVD2RIE ビット (電圧監視 2 割り込み / リセット許可ビット)**

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）かつ LVD2CMPE ビットが“1”（電圧検出 2 回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 2 リセットおよび電圧監視 2 ノンマスクブル割り込みを発生させないでください。

**LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)**

LVD2RN ビットを“1”（電圧監視 2 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”（VCC または CMPA2 端子 > Vdet2 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD2RN ビットを“1”（電圧監視 2 リセットアサートから一定時間経過後にネゲート）にしないでください。

### 8.3 VCC 入力電圧のモニタ

#### 8.3.1 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVLR.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効) にする
- (3) td(E-A) 待ってから、LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする。

#### 8.3.2 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVLR.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMPCR.EXVCCINP2 ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする
- (3) LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効) にする
- (4) td(E-A) 待ってから、LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする。



## 8.4 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.3 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.4 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1 (注1)	LVDLVLRL.VLD1LVL[3:0] ビットで検出電圧を選択する	
2 (注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み) にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視 1 リセット) にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可) にする
5 (注1)	LVCMPCLR.LVD1E ビットを“1” (電圧検出 1 回路有効) にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする	
8	2μs 以上待つ	—
9	LVD1SR.LVD1DET ビットを“0”にする	—
10	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可) にする	—

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1~10 で設定してください。

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止) にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視 1 回路比較結果出力禁止) にする	—
3 (注1)	LVCMPCLR.LVD1E ビットを“0” (電圧検出 1 回路無効) にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止) にする
5	LVCMPCLR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1~5 で設定してください。

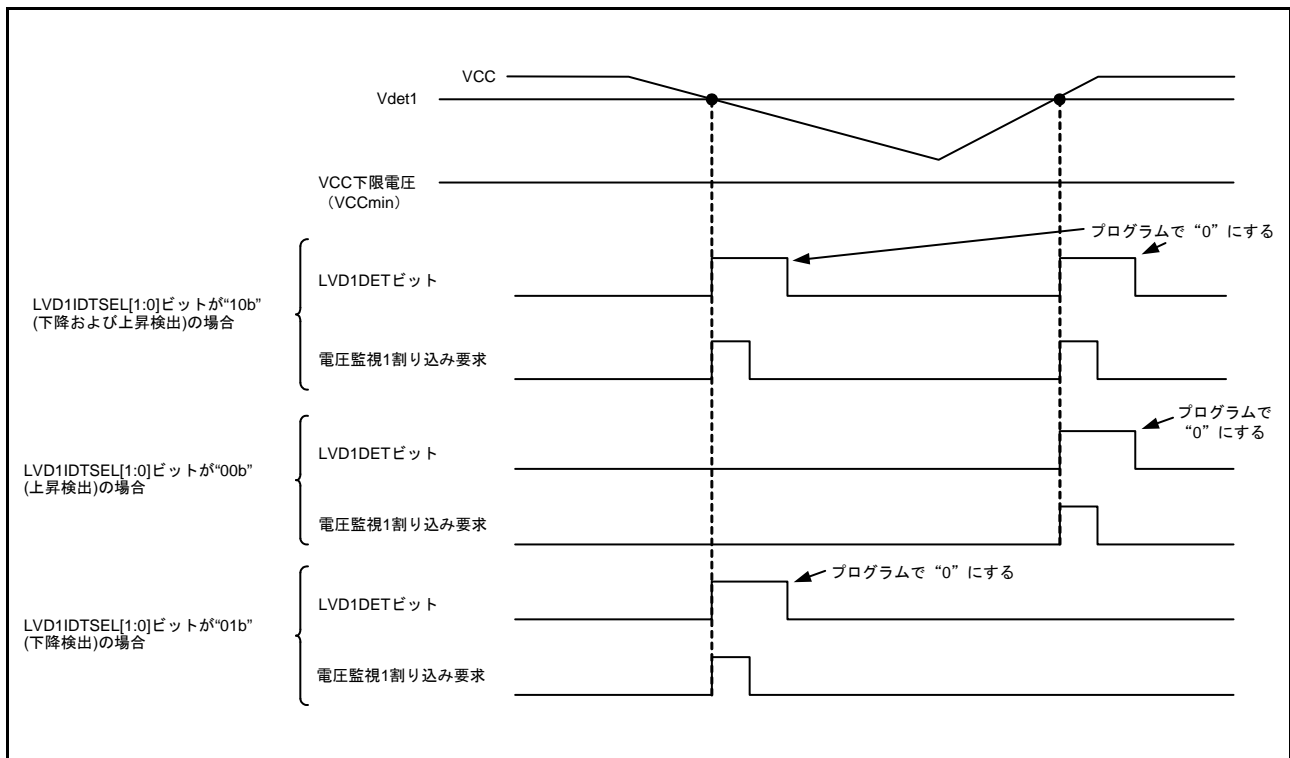


図 8.4 電圧監視 1 割り込み動作例

## 8.5 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.5 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1(注1)	LVDLVLR.LVD2LVL[1:0]ビットで検出電圧を選択する	
2(注1)	LVCMPER.EXVCCINP2ビットを“0” (VCC電圧) または“1” (CMPA2端子入力電圧) にする	
3(注1)	LVD2CR0.LVD2RIビットを“0” (電圧監視 2 割り込み) にする	LVD2CR0.LVD2RIビットを“1” (電圧監視 2 リセット) にする。 LVD2CR0.LVD2RNビットでリセットネゲートの種類を選択する
4	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSELビットで割り込みの種類を選択する	—
5	—	LVD2CR0.LVD2RIEビットを“1” (電圧監視 2 割り込み/リセット許可) にする
6(注1)	LVCMPER.LVD2Eビットを“1” (電圧検出 2 回路有効) にする	
7(注1)	td(E-A)以上待つ	
8	LVD2CR0.LVD2CMPEビットを“1” (電圧監視 2 回路比較結果出力許可) にする	
9	2μs以上待つ	—
10	LVD2SR.LVD2DETビットを“0”にする	—
11	LVD2CR0.LVD2RIEビットを“1” (電圧監視 2 割り込み/リセット許可) にする	—

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後にLVD2CR1.LVD2IRQSEL, LVD2IDTSELビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、2、3、6、7は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順1～11で設定してください。

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1	LVD2CR0.LVD2RIEビットを“0” (電圧監視 2 割り込み/リセット禁止) にする	—
2	LVD2CR0.LVD2CMPEビットを“0” (電圧監視 2 回路比較結果出力禁止) にする	—
3(注1)	LVCMPER.LVD2Eビットを“0” (電圧検出 2 回路無効) にする	
4	—	LVD2CR0.LVD2RIEビットを“0” (電圧監視 2 割り込み/リセット禁止) にする
5	LVCMPER.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPEを除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後にLVD2CR1.LVD2IRQSEL, LVD2IDTSELビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順3は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順1～5で設定してください。

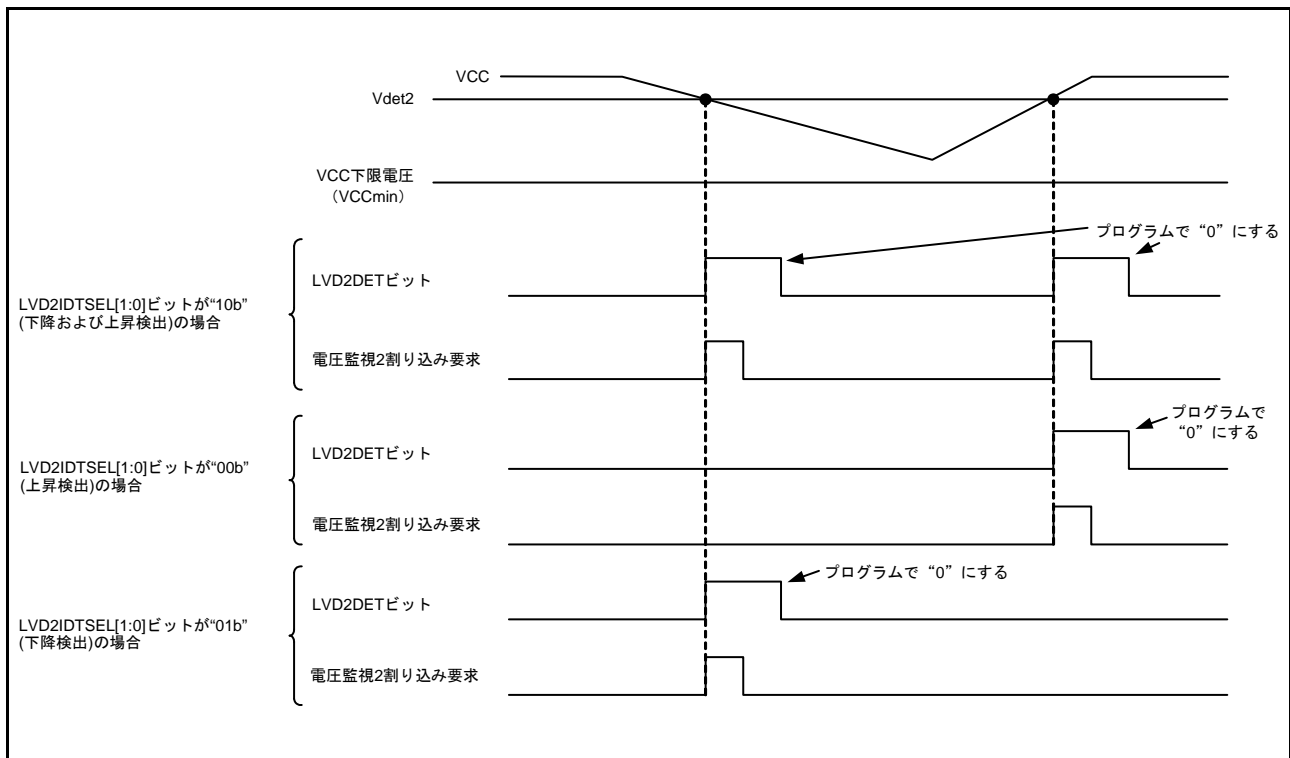


図 8.5 電圧監視 2 割り込み動作例

## 8.6 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。

### (1) Vdet1 通過検出イベント出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

### 8.6.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイ中でも電圧監視 1、電圧監視 2 割り込みを出力することができますが、ELC 用のイベント信号の出力については、以下の通りです。

- ソフトウェアスタンバイモード期間中に Vdet1 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。

## 8.7 使用上の注意事項

### 8.7.1 オプション機能選択レジスタ 1 (OFS1) 使用時の注意事項

オプション設定メモリを使用した電圧監視 1 リセット自動起動を、IWDT リセットと同時に使用する場合、リセット直後にプログラムでも電圧監視 1 リセットを有効にしてください。

## 9. クロック発生回路

### 9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表 9.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> <li>• CPU、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成</li> <li>• 周辺モジュールに供給される周辺モジュールクロック (PCLKB, PCLKD) の生成 周辺モジュールクロック (PCLKD) はS12AD用、周辺モジュールクロック (PCLKB) は、S12AD以外の周辺モジュール用の動作クロックです。</li> <li>• FlashIFに供給されるFlashIFクロック (FCLK) の生成</li> <li>• USBに供給されるUSBクロック (UCLK) の生成</li> <li>• CACに供給されるCACクロック (CACCLK) の生成</li> <li>• RTCに供給されるRTC専用サブクロック (RTCSCCLK) の生成</li> <li>• IWDTに供給されるIWDT専用クロック (IWDTCCLK) の生成</li> <li>• LCDに供給されるLCDソースクロック (LCDSRCCLK) の生成</li> <li>• SSIに供給されるSSIクロック (SSISCK) の生成</li> <li>• LPTに供給されるLPTクロック (LPTCLK) の生成</li> </ul>
動作周波数 (注1)	<ul style="list-style-type: none"> <li>• ICLK : 32MHz (max) (注2)</li> <li>• PCLKB : 32MHz (max) (注2)</li> <li>• PCLKD : 32MHz (max) (注2)</li> <li>• FCLK : 1MHz~32MHz (ROM、E2データフラッシュ P/E時) 32MHz (max) (E2データフラッシュ読み出し時)</li> <li>• UCLK : 48MHz</li> <li>• CACCLK : 各発振器のクロックと同じ</li> <li>• RTCSCCLK : 32.768kHz</li> <li>• IWDTCCLK : 15kHz</li> <li>• LCDSRCCLK : 各発振器のクロックと同じ</li> <li>• LPTCLK : 選択した発振器のクロックと同じ</li> </ul>
メインクロック発振器 (注3)	<ul style="list-style-type: none"> <li>• 発振器周波数 : 1MHz~20MHz (VCC ≥ 2.4V)、1MHz~8MHz (VCC &lt; 2.4V)</li> <li>• 外部クロック入力周波数 : 20MHz (max)</li> <li>• 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子</li> <li>• 接続端子 : EXTAL、XTAL</li> <li>• 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能</li> </ul>
サブクロック発振器	<ul style="list-style-type: none"> <li>• 発振器周波数 : 32.768kHz</li> <li>• 接続できる発振器、または付加回路 : 水晶振動子</li> <li>• 接続端子 : XCIN、XCOUT</li> </ul>
PLL回路 (注4)	<ul style="list-style-type: none"> <li>• 入力クロック源 : メインクロック</li> <li>• 入力分周比 : 1、2、4分周から選択可能</li> <li>• 入力周波数 : 4MHz~8MHz</li> <li>• 逡倍比 : 6、8逡倍から選択可能</li> <li>• 発振周波数 : 32MHz~48MHz (VCC ≥ 2.4V)</li> </ul>
USB専用PLL回路 (注4)	<ul style="list-style-type: none"> <li>• 入力クロック源 : メインクロック</li> <li>• 入力分周比 : 1、2分周から選択可能</li> <li>• 入力周波数 : 6MHz、8MHz</li> <li>• 逡倍比 : 6、8逡倍から選択可能</li> <li>• 発振周波数 : 48MHz (VCC ≥ 2.4V)</li> </ul>
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz
IWDT専用オンチップオシレータ	発振周波数 : 15kHz

注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.6 動作電力コントロールレジスタ (OPCCR)」を参照してください。

注2. ICLK:FCLK, PCLKB, PCLKD = 1:N (Nは整数) の分周比関係になるように設定してください。

注3. USB専用PLLを48MHz、PLLを32MHzで発振する場合、メインクロック発振器は8MHzまたは16MHzにしてください。

注4. PLLとUSB専用PLLは外部電圧 (VCC) が2.4V以上で使用可能です。

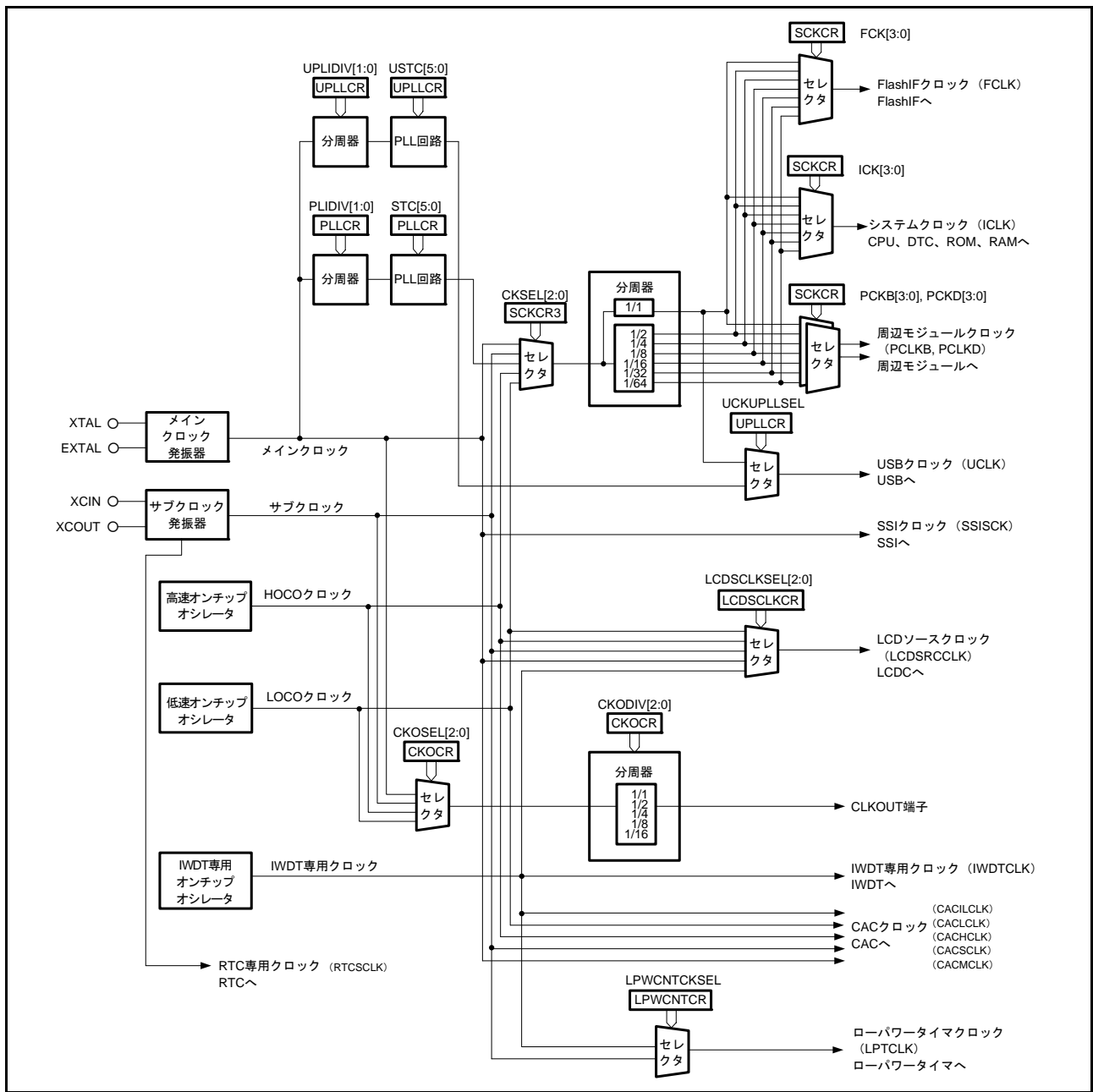


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力/入力 (注1)	発振子接続端子。また、XTAL 端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	32.768kHzの水晶振動子を接続
XCOU	出力	
CLKOUT	出力	クロック出力端子

注1. 外部クロックを入力する場合です。

## 9.2 レジスタの説明

### 9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	FCK[3:0]				ICK[3:0]				—	—	—	—	—	—	—	—	
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	PCKB[3:0]				—	—	—	—	PCKD[3:0]				
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロック D (PCLKD) 選択ビット (注1、注2)	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロック B (PCLKB) 選択ビット (注1、注2)	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b23-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0]	システムクロック (ICLK) 選択ビット (注1、注2)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット (注1、注2)	b31 b28 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. PLLを選択し、かつPLLの発振周波数が48MHzの場合、1分周は設定禁止です。

注2. ICLK:FCLK, PCLKB, PCLKD = 1:N (Nは整数) の分周比関係になるように設定してください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。



SCKCR レジスタへの書き込み後、後続の命令で SCKCR レジスタ、SCKCR3 レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

#### **PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)**

周辺モジュールクロック D (PCLKD) の周波数を選択します。

#### **PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)**

周辺モジュールクロック B (PCLKB) の周波数を選択します。

#### **ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)**

システムクロック (ICLK) の周波数を選択します。

#### **FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)**

FlashIF クロック (FCLK) の周波数を選択します。

## 9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 000 : LOCO 選択 001 : HOCO 選択 010 : メインクロック発振器選択 011 : サブクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

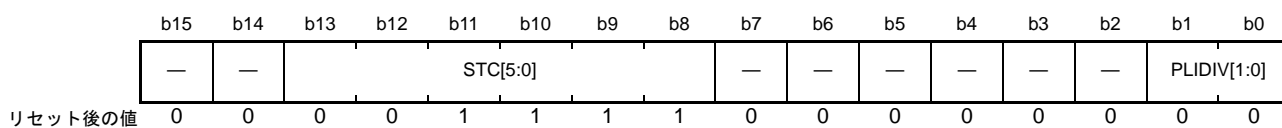
**CKSEL[2:0] ビット (クロックソース選択ビット)**

システムクロック (ICLK)、周辺モジュールクロック (PCLKB, PCLKD)、FlashIF クロック (FCLK)、USB クロック (UCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、サブクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

### 9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逡倍率設定ビット	b13 b8 0 0 1 0 1 1 : x6 0 0 1 1 1 1 : x8 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLCR2.PLEN ビットが“0”（PLL 動作）のとき、PLLCR レジスタへの書き込みは禁止です。

#### PLIDIV[1:0] ビット（PLL 入力分周比選択ビット）

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数（4MHz～8MHz）の範囲に入るように設定してください。

#### STC[5:0] ビット（周波数逡倍率設定ビット）

PLL の周波数逡倍率を設定します。

STC[5:0] ビットは、PLL の発振周波数（32MHz～48MHz）の範囲に入るように設定してください。

## 9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL停止制御ビット	0 : PLL動作 1 : PLL停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

### PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLLEN ビットで PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグが“1”になっていることを確認してから、システムクロックを PLL クロックに切り替えてください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.PLOVF フラグの“0”を確認してから設定してください。
- PLL の停止設定は、PLL 動作かつ OSCOVFSR.PLOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで PLL を選択しているときは、PLLEN ビットを“1”（PLL 停止）にする書き込みは禁止です。

外部電圧 (VCC) が 2.4V 未満のとき、もしくは SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、PLLEN ビットを“0”（PLL 動作）にする書き込みは禁止です。

## 9.2.5 USB 専用 PLL コントロールレジスタ (UPLLCR)

アドレス 0008 002Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	USTC[5:0]					—	—	—	UCKUPLLSEL	—	—	UPLIDIV[1:0]		
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	UPLIDIV[1:0]	USB専用PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 上記以外は設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UCKUPLLSEL	UCLKソースUSB専用PLL選択ビット	0 : UCLKにシステムクロックを選択 1 : UCLKにUSB専用PLLを選択	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	USTC[5:0]	周波数通倍率設定ビット	b13 b8 0 0 1 0 1 1 : x6 0 0 1 1 1 1 : x8 上記以外は、設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

UPLLCR2.UPLLEN ビットが“0”（USB 専用 PLL 動作）のとき、UPLLCR レジスタへの書き込みは禁止です。

**UPLIDIV[1:0] ビット (USB 専用 PLL 入力分周比選択ビット)**

USB 専用 PLL のクロックソースの入力分周比を選択します。

UPLIDIV[1:0] ビットは、USB 専用 PLL の入力周波数（6MHz、8MHz）になるように設定してください。

**UCKUPLLSEL ビット (UCLK ソース USB 専用 PLL 選択ビット)**

UCLK の USB 専用 PLL クロックを選択します。本ビットに“1”を設定した場合、UCLK には USB 専用 PLL（48MHz）を供給し、システムクロックには SCKCR3.CKSEL[2:0] ビットで選択した発振器（～32MHz）のクロックを供給します。

本ビットで、UCLK のソースクロックを変更する場合は、MSTPCRB.MSTPB19 ビットを“1”（モジュールストップ状態へ遷移）に設定して、変更前のクロックで3サイクル以上待ってから行ってください。

**USTC[5:0] ビット (周波数通倍率設定ビット)**

USB 専用 PLL の周波数通倍率を設定します。

USTC[5:0] ビットは、USB 専用 PLL の発振周波数（48MHz）になるように設定してください。

## 9.2.6 USB 専用 PLL コントロールレジスタ 2 (UPLLCR2)

アドレス 0008 002Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	UPLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UPLLEN	USB 専用 PLL 停止制御ビット	0 : USB 専用 PLL 動作 1 : USB 専用 PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

UPLLCR2 レジスタは USB 専用 PLL 回路の動作を制御します。

### UPLLEN ビット (USB 専用 PLL 停止制御ビット)

USB 専用 PLL の動作を制御します。

UPLLEN ビットで USB 専用 PLL を動作設定に変更後、OSCOVFSR.UPLOVF フラグが“1”になっていることを確認してから USB 専用 PLL クロックの使用を開始してください。

USB 専用 PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- USB 専用 PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.UPLOVF フラグが“0”を確認してから設定してください。
- USB 専用 PLL の停止設定は、USB 専用 PLL 動作かつ OSCOVFSR.UPLOVF フラグが“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、USB 専用 PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.UPLOVF フラグが“1”を確認してから WAIT 命令を実行してください。
- USB 専用 PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.UPLOVF フラグが“0”を確認してから WAIT 命令を実行してください。

外部電圧 (VCC) が 2.4V 未満のとき、もしくは SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、UPLLEN ビットを“0” (USB 専用 PLL 動作) にする書き込みは禁止です。

UPLLCR.UCKUPLLSEL ビットで UCLK に USB 専用 PLL を選択し、かつ MSTPCRB.MSTPB19 ビットを“0” (モジュールストップ状態の解除) に設定しているときは、UPLLEN ビットを“1” (USB 専用 PLL 停止) にする書き込みは禁止です。

## 9.2.7 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0:メインクロック発振器動作 1:メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

メインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

### MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

MOSTP ビットにてメインクロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインクロック発振器の停止設定は、メインクロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- システムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL を動作させているとき (PLLCR2.PPLEN = 0)
- USB 専用 PLL を動作させているとき (UPLLCR2.UPLLEN = 0)

以下の条件を満たす場合、MOSTP ビットを“0”にしないでください。

- 低速動作モードを選択しているとき (SOPCCR.SOPCM = 1)

## 9.2.8 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0: サブクロック発振器動作 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

### SOSTP ビット (サブクロック発振器停止ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、SOSTP ビットおよび RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

SOSTP ビットまたは RCR3.RTCEN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

SOSTP ビット、または RCR3.RTCEN ビットでサブクロック発振器を動作設定に変更後、サブクロック発振器安定時間 ( $t_{SUBOSC}$ ) が経過した後、サブクロックの使用を開始してください。

サブクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- サブクロック発振器を停止設定後、再度動作設定にする場合、停止期間はサブクロックで5サイクル以上の時間となるようにしてください。
- サブクロック発振器の停止設定は、サブクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、サブクロック発振器を動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモードに移行する場合は、サブクロック発振器停止設定後、サブクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットでサブクロック発振器を選択しているとき、SOSTP ビットを“1”（サブクロック発振器停止）にする書き込みは禁止です。



## 9.2.9 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

### LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 ( $t_{LOCO}$ ) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、LCSTP を“0” (LOCO 動作) にする書き込みは禁止です。

## 9.2.10 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0 : IWDT専用オンチップオシレータ動作 1 : IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット（OFS0.IWDTSTRT）が“0”（IWDT動作）のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1”（IWDT停止）のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0”（IWDT専用オンチップオシレータ動作）の後、“1”（IWDT専用オンチップオシレータ停止）に設定することはできません。

**ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)**

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDT専用クロック発振安定時間（ $t_{LLOCO}$ ）に相当する一定時間経過後、MCU内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

### 9.2.11 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス 0008 0036h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HCSTP

リセット後の値 0 0 0 0 0 0 0 0/1  
(注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

高速オンチップオシレータウェイトコントロールレジスタを設定してから本レジスタを設定してください。

#### HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してからシステムクロックを HOCO クロックに切り替えてください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1” (HOCO 停止) にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、HCSTP を“0” (HOCO 動作) にする書き込みは禁止です。

## 9.2.12 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	UPLOV F	—	HCOVF	PLOVF	—	MOOV F
リセット後の値	0	0	0	0	0/1	0	0	0

(注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCOVFビットのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“0”になります。

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能 (注1)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0: PLL停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能 (注1)	R
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	UPLOVF	USB専用PLLクロック発振安定フラグ	0: USB専用PLL停止、または発振安定待ち中 1: 発振安定、UCLKとして使用可能	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合、設定値 (待ち時間) が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

**MOOVF フラグ (メインクロック発振安定フラグ)**

メインクロックの発振安定の状態を示します。

["1"になる条件]

- MOSCCR.MOSTP ビットが“1” (メインクロック発振器停止) のときに、MOSTP ビットを“0” (メインクロック発振器動作) にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

["0"になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

**PLOVF フラグ (PLL クロック発振安定フラグ)**

PLL クロックの発振安定の状態を示します。

["1"になる条件]

- PLLCR2.PLEN ビットが“1” (PLL 停止) のときに、PLEN ビットを“0” (PLL 動作) にした後、MOOVF フラグが“1”になり、かつ PLL クロック発振安定時間 (tPLL) が経過し、MCU 内部に PLL クロックの供給が開始されたとき

["0"になる条件]

- PLLCR2.PLEN ビットを“1”にした後、PLL の発振停止処理が完了したとき

**HCOVF フラグ (HOCO クロック発振安定フラグ)**

HOCO クロックの発振安定の状態を示します。

["1" になる条件]

- HOCO<sub>CR</sub>.HCSTP ビットが "1" (HOCO 停止) のときに、HCSTP ビットを "0" (HOCO 動作) にした後、HOCOWTCR レジスタの設定値に応じた時間が経過し、MCU 内部に HOCO クロックの供給が開始されたとき

["0" になる条件]

- HOCO<sub>CR</sub>.HCSTP ビットを "1" にした後、HOCO の発振停止処理が完了したとき

**UPLOVF フラグ (USB 専用 PLL クロック発振安定フラグ)**

USB 専用 PLL クロックの発振安定の状態を示します。

["1" になる条件]

- UPLLCR2.UPLLEN ビットが "1" (USB 専用 PLL 停止) のときに、UPLLEN ビットを "0" (USB 専用 PLL 動作) にした後、MOOVF フラグが "1" になり、かつ PLL クロック発振安定時間 (t<sub>PLL</sub>) が経過し、MCU 内部へ USB 専用 PLL クロックの供給が開始されたとき

["0" になる条件]

- UPLLCR2.UPLLEN ビットを "1" にした後、USB 専用 PLL の発振停止処理が完了したとき

## 9.2.13 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0: 発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1: 発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

**OSTDIE ビット（発振停止検出割り込み 許可ビット）**

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

**OSTDE ビット（発振停止検出機能 許可ビット）**

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”（メインクロック発振停止検出）のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

## 9.2.14 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

## OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF = 0 が読み出し値に反映されるまで ICLK3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

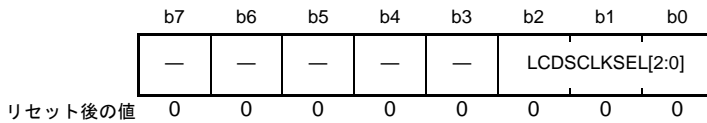
- OSTDCR.OSTDE ビットが“1”（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

## 9.2.15 LCD ソースクロックコントロールレジスタ (LCDSCLKCR)

アドレス 0008 0050h



ビット	シンボル	ビット名	機能	R/W
b2-b0	LCDSCLKSEL[2:0]	LCD ソースクロック選択ビット	b2 b0 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択 0 1 1 : サブクロック発振器選択 1 0 0 : IWDTC専用オンチップオシレータ選択 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

## LCDSCLKSEL[2:0] ビット (LCD ソースクロック選択ビット)

LCD ソースクロック (LCDSRCCLK) を、LOCO、HOCO、メインクロック発振器、サブクロック発振器、IWDTC専用オンチップオシレータから選択します。

選択クロックを変更する場合、LCDSCLKCR2.LCDCLKSTP ビットを“1” (LCD ソースクロック出力ストップ状態へ遷移) に設定して、変更前のクロックで3サイクル以上とシステムクロックで2サイクル以上待ってから行ってください。また、変更後は、レジスタを読み出し選択クロックが変更されていることを確認してください。

LCDCLKCR2.LCDCLKSTP ビットが“0” (LCD ソースクロック出力ストップ状態の解除) の状態でソフトウェアスタンバイモードに遷移した場合、LCD ソースクロック (LCDSRCCLK) の動作は選択したクロックによって異なります。

LOCO、HOCO、メインクロック発振器を選択した場合は、停止します。

サブクロック発振器を選択した場合は、RCR3.RTCEN ビットの設定および SOSCCR.SOSTP ビットの設定により、動作/停止を選択することができます。

IWDTC専用オンチップオシレータを選択した場合は、IWDTCのオートスタートモード選択時、OFS0.SLCSTP ビットの設定により、動作/停止を選択することができます。IWDTCのレジスタスタートモード選択時、IWDTCSTPR.SLCSTP ビットの設定により、動作/停止を選択することができます。



## 9.2.16 LCD ソースクロックコントロールレジスタ 2 (LCDSCLKCR2)

アドレス 0008 0051h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCDSCLKSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LCDSCLKSTP	LCD ソースクロック出カストップ制御ビット	0 : LCD ソースクロック出カストップ状態の解除 1 : LCD ソースクロック出カストップ状態へ遷移	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

LCDSCLKCR2 レジスタは、LCD ソースクロック (LCDSRCCLK) の制御をします。

**LCDSCLKSTP ビット (LCD ソースクロック出カストップ制御ビット)**

LCDSRCCLK の停止 / 出力を制御します。

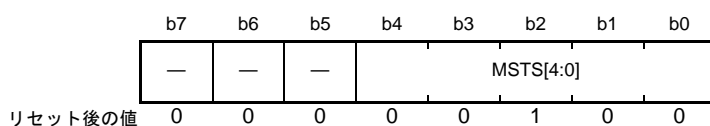
本ビットの書き換えは、LCDSCLKCR.LCDSCLKSEL[2:0] ビットで選択したクロックの発振が安定しているときに行ってください。

本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、選択中のクロックで2サイクル経過したのち、WAIT 命令を実行してください。

また、本ビットを書き換えた後、選択中のクロックを停止する場合は、書き換え後、選択中のクロックで2サイクル経過したのち、クロック停止を実行してください。

## 9.2.17 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4      b0 00000: 待ち時間 = 2サイクル (0.5 $\mu$ s) 00001: 待ち時間 = 1024サイクル (256 $\mu$ s) 00010: 待ち時間 = 2048サイクル (512 $\mu$ s) 00011: 待ち時間 = 4096サイクル (1.024ms) 00100: 待ち時間 = 8192サイクル (2.048ms) 00101: 待ち時間 = 16384サイクル (4.096ms) 00110: 待ち時間 = 32768サイクル (8.192ms) 00111: 待ち時間 = 65536サイクル (16.384ms) 上記以外は設定しないでください 待ち時間はLOCO = 4.0MHz (0.25 $\mu$ s, TYP) の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

## MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“0000b”を設定してください。

MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LOSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

## 9.2.18 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス 0008 00A5h



ビット	シンボル	ビット名	機能	R/W
b4-b0	HSTS[4:0]	高速オンチップオシレータウェイト時間設定ビット	b4      b0 00101: 待ち時間 = 138サイクル (34.5 $\mu$ s) (注1、注2、注4) 00110: 待ち時間 = 266サイクル (66.5 $\mu$ s) (注3、注4) 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。
- 注1. この値を設定した場合、HOCO発振安定時間 ( $t_{HOCO}$ ) を確保できないため、クロック供給開始時は電気的特性に記載のHOCO周波数精度は保証されません。なお、発振開始から $t_{HOCO}$ 経過後には、電気的特性に記載のHOCO周波数精度となります。
- 注2. OFS1.HOCOENビットに“0”を設定している場合、HOCO発振安定時間 ( $t_{HOCO}$ ) はハードウェアで確保されているため、CPUリセット解除後から電気的特性に記載のHOCO発振周波数 ( $f_{HOCO}$ ) の精度のクロックが供給されます。
- 注3. この値を設定するとHOCO発振安定時間 ( $t_{HOCO}$ ) が確保され、クロック供給開始直後から電気的特性に記載のHOCO発振周波数 ( $f_{HOCO}$ ) の精度のクロックが供給されます。
- 注4. 待ち時間はLOCO = 4.0MHz (0.25 $\mu$ s, TYP) の場合

## HSTS[4:0] ビット (高速オンチップオシレータ ウェイト時間設定ビット)

HOCO動作 (HOCOEN.HCSTP ビットに“0”) 設定時およびソフトウェアスタンバイモード解除時のHOCOの発振安定待ち時間を選択します。

HSTS[4:0] ビットで設定したサイクル分、LOCOでカウントした後、MCU内部へのHOCOクロック供給が開始されます。LOCOによるカウントは、LOCOEN.LOSTPビットの設定に関わらず行われ、ハードウェアで自動的にLOCOの動作、停止が制御されます。

カウントが完了するまでの間、MCU内部へのクロック供給は行われません。

カウント完了後、MCU内部へのクロック供給が開始され、OSCOVFSR.HCOVFフラグが“1”になります。

HOCOWTCRレジスタは、次の場合には書き換え可能です。それ以外は書き換えしないでください。

- HOCOEN.HCSTPビットを“0” (動作) にし、かつOSCOVFSR.HCOVFフラグの“1”を確認した場合
- HOCOEN.HCSTPビットを“1” (停止) にし、かつOSCOVFSR.HCOVFフラグの“0”を確認した場合

## 9.2.19 CLKOUT 出力コントロールレジスタ (CKOCR)

アドレス 0008 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKOSTP	CKODIV[2:0]			—	CKOSEL[2:0]			—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKOSEL[2:0]	CLKOUT 出力ソース選択ビット	b10 b8 000: LOCOクロック 001: HOCOクロック 010: メインクロック 011: サブクロック 上記以外は設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b12	CKODIV[2:0]	CLKOUT 出力分周比選択ビット	b14 b12 000: 分周なし 001: 2分周 010: 4分周 011: 8分周 100: 16分周 上記以外は設定しないでください	R/W
b15	CKOSTP	CLKOUT 出力停止制御ビット	0: CLKOUT 端子出力許可 (注1) 1: CLKOUT 端子出力禁止 (Low 固定)	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 対応する端子の端子機能制御レジスタ、ポートモードレジスタの設定も必要です。

**CKOSEL[2:0] ビット (CLKOUT 出力ソース選択ビット)**

CLKOUT 端子から出力するクロックのソースを LOCO クロック、HOCO クロック、メインクロック、サブクロックから選択します。

**CKODIV[2:0] ビット (CLKOUT 出力分周比選択ビット)**

CKOSEL[2:0] ビットで選択したクロックの分周比を選択します。

変更するときは CKOSTP ビットを“1”にしてください。

なお、出力するクロックの周波数が、VCC が 2.7V 以上の場合は 8MHz 以下、VCC が 2.7V 未満のときは 4MHz 以下になるように分周比を設定してください。

CLKOUT 端子から出力されるクロックの特性は、「表 43.30 内蔵周辺モジュールタイミング (1)」を参照してください。

**CKOSTP ビット (CLKOUT 出力停止制御ビット)**

CLKOUT 端子の出力を制御します。

“0”にすると選択したクロックが出力されます。“1”にすると Low が出力されます。

クロックを発振させたまま CKOSTP ビットを書き換えると、出力にグリッチが発生することがあります。

## 9.2.20 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

b7	b6	b5	b4	b3	b2	b1	b0
—	MOSEL	MODRV21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	VCC ≥ 2.4V 0 : 1MHz ~ 10MHz 1 : 10MHz ~ 20MHz VCC < 2.4V 0 : 1MHz ~ 8MHz 1 : 設定禁止	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

**MODRV21 (メインクロック発振器ドライブ能力切り替えビット)**

メインクロック発振器のドライブ能力の切り替えをします。

**MOSEL (メインクロック発振器切り替えビット)**

メインクロック発振器の発振源の切り替えを行います。

### 9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

#### 9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図9.2に示します。

必要に応じてダンピング抵抗 ( $R_d$ ) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 ( $R_f$ ) を追加するよう指示があった場合は、その指示に従ってEXTAL、XTAL間に $R_f$ を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表9.1のメインクロック発振器の発振子周波数の範囲内としてください。

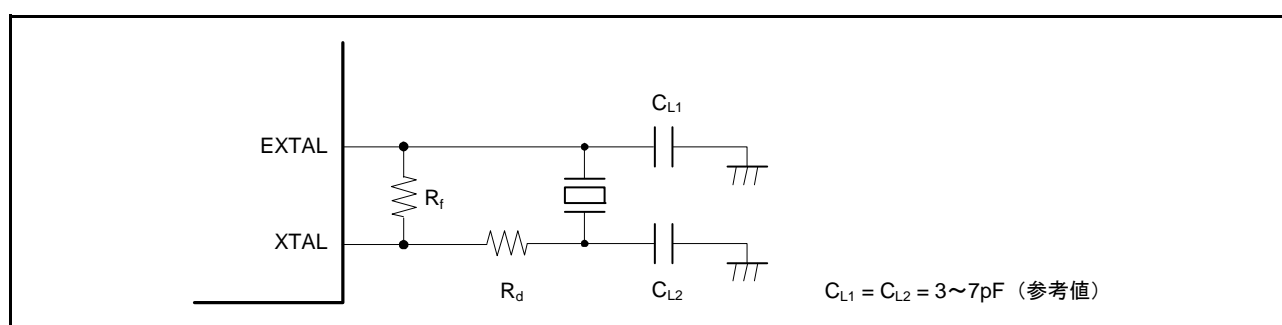


図 9.2 水晶振動子の接続例

表9.3 ダンピング抵抗 (参考値)

周波数 (MHz)	2	8	16	20
$R_d$ ( $\Omega$ )	0	0	0	0

水晶振動子の等価回路を図9.3に示します。水晶振動子は表9.4に示す特性のものを参考として使用してください。

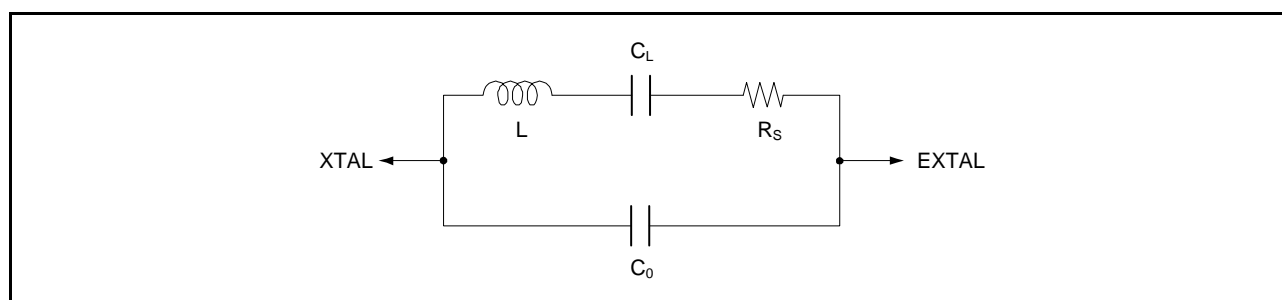


図 9.3 水晶振動子の等価回路

表9.4 水晶振動子の特性 (参考値)

周波数 (MHz)	8	12	16
$R_S$ max ( $\Omega$ )	200	120	56
$C_0$ max (pF)	1.3	1.3	1.4

### 9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.4に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にしてください。このとき EXTAL 端子は、Hi-Z になります。

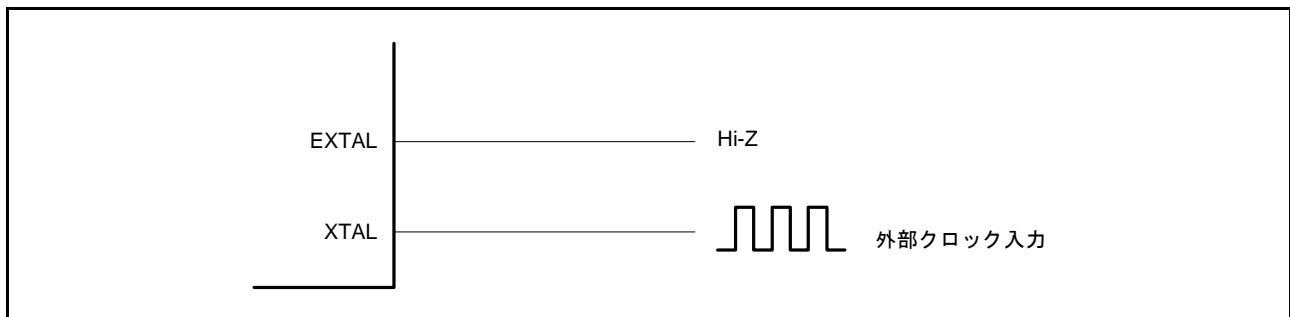


図 9.4 外部クロックの接続例

### 9.3.3 メインクロックを使用しない場合の端子処理

メインクロックを使用しない場合の端子処理は、「18.5 未使用端子の処理」を参照ください。

### 9.3.4 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

## 9.4 サブクロック発振器

サブクロック発振器へクロックを供給する方法には、水晶振動子を接続する方法があります。

### 9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、**図 9.5** に示すように 32.768kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗 ( $R_d$ ) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 ( $R_f$ ) を追加するよう指示があった場合は、その指示に従って XCIN、XCOUT 間に  $R_f$  を挿入してください。発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のサブクロック発振器の発振子周波数の範囲内としてください。

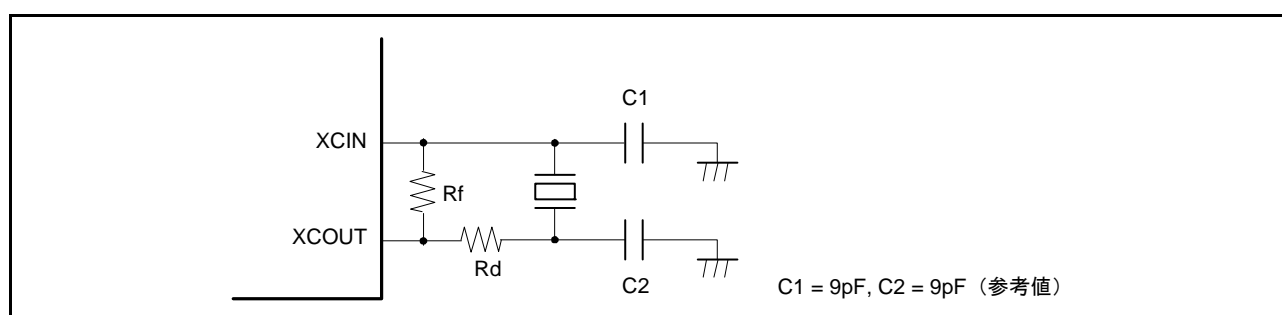


図 9.5 32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を**図 9.6** に示します。水晶振動子は**表 9.5** に示す特性のものを使用してください。

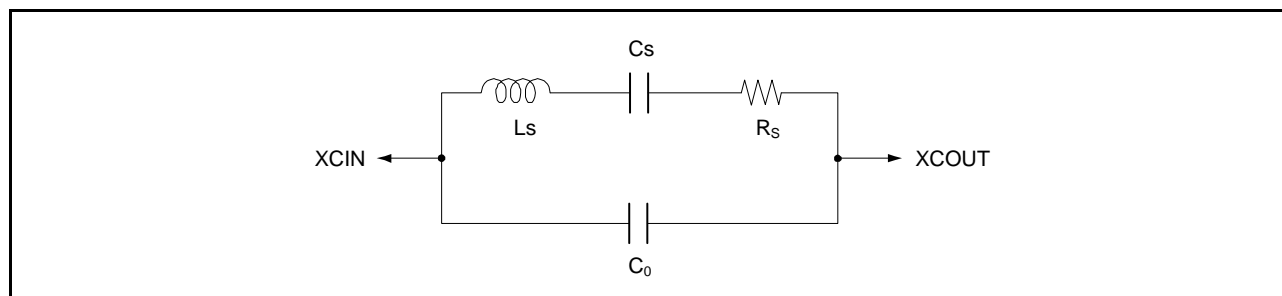


図 9.6 水晶振動子の等価回路

表 9.5 水晶振動子の特性 (参考値)

周波数 (kHz)	32.768 (低CL)
$R_s$ max (k $\Omega$ )	37
$C_0$ max (pF)	0.9

### 9.4.2 サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合は、SOSCCR.SOSTP ビットを“1” (サブクロック発振器停止) に、かつ RCR3.RTCEN ビットを“0” (サブクロック発振器停止) にし、XCOUT 端子は解放、XCIN 端子は抵抗を介して VCC または VSS に接続してください。



## 9.5 発振停止検出機能

### 9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTUの出力を強制的にハイインピーダンスとすることも可能です。詳細は、「20. マルチファンクションタイマパルスユニット2 (MTU2a)」、「21. ポートアウトプットイネーブル2 (POE2a)」を参照してください。

本MCUは、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、「43. 電気的特性」の発振停止検出回路特性参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクトにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL クロックが選択されている場合に発振停止を検出すると、SCKCR3.CKSEL[2:0] の設定値は変わらないまま、システムクロックのクロックソースは PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

また、UPLLCR.UCKPLLSEL ビットで USB 専用 PLL クロックが選択されている場合に発振停止を検出しても、UPLLCR.UCKPLLSEL ビットの設定値は変わらず、UCLK のクロックソースは USB 専用 PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻りたい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロックを選択した場合のシステムクロック、CAC メインクロック (CACMCLK)、LCD ソースクロックとしてメインクロックを選択した場合の LCD ソースクロック、および、SSI クロックを選択していた場合です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

発振停止検出によって PLL の自励発振周波数で動作するのは、システムクロックソースとして PLL クロックを選択した場合のシステムクロック、および、UCLK ソースとしての USB 専用 PLL クロックを選択していた場合の UCLK です。

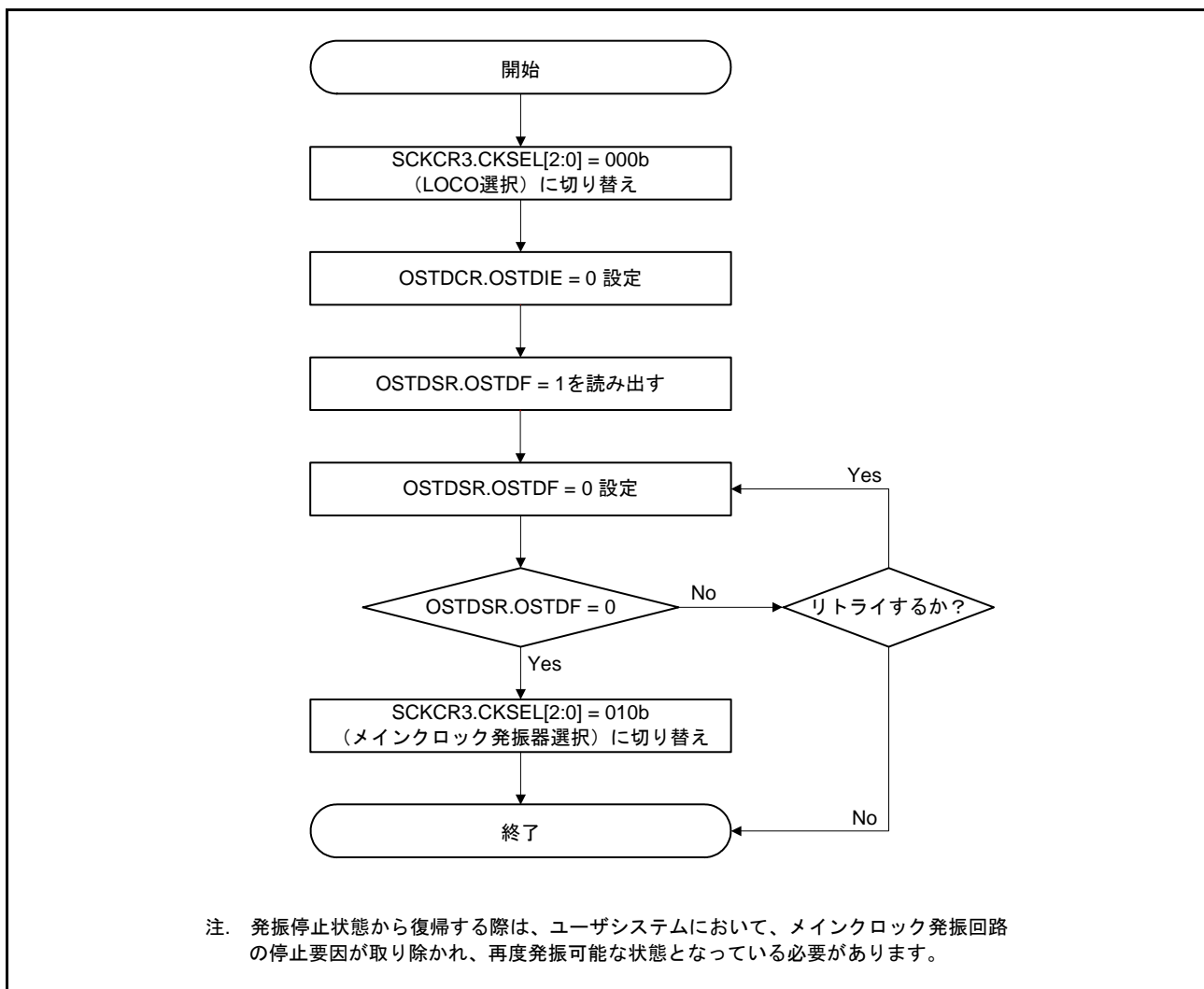


図 9.7 発振停止検出からの復帰のフローチャート例

## 9.5.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル 2 (POE) へメインクロック発振器の停止を通知します。POE は、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ 3 の OSTST ハイインピーダンスフラグ (ICSR3.OSTSTF) を“1”にします。この ICSR3.OSTSTF フラグは、発振停止を検出後、PCLK で 10 サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度“1”にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態では、「ノンマスクابل割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスクابل割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

## 9.6 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

## 9.7 内部クロック

内部クロックは、クロック源としてメインクロック、サブクロック、HOCO クロック、LOCO クロック、PLL クロック、USB 専用 PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKB, PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) USB モジュール用の動作クロック：USB クロック (UCLK)
- (5) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (6) RTC モジュール用の動作クロック：RTC 専用サブクロック (RTCSCCLK)
- (7) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)
- (8) LCD モジュール用の動作クロック：LCD ソースクロック (LCDSRCCLK)
- (9) SSI モジュール用の動作クロック：SSI クロック (SSISCK)
- (10) ローパワータイマ用の動作クロック：LPT クロック (LPTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0] ビット、ICK[3:0] ビット、PCKB[3:0] ビット、PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0] ビット、PLIDIV[1:0] ビット、UPLLCR.UPLIDIV[1:0] ビット、USTC[5:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

### 9.7.1 システムクロック

システムクロック (ICLK) は、CPU、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLIDIV[1:0] ビットで設定します。

### 9.7.2 周辺モジュールクロック

周辺モジュールクロック (PCLKB, PCLKD) は、周辺モジュール用の動作クロックです。

PCLKB, PCLKD の周波数は、SCKCR.PCKB[3:0] ビット、PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLIDIV[1:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

### 9.7.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLIDIV[1:0] ビットで設定します。

### 9.7.4 USB クロック

USB クロック (UCLK) は、USB モジュール用の動作クロックです。UCLK の周波数は、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLIDIV[1:0] ビット、UPLLCR.UPLIDIV[1:0] ビット、USTC[5:0] ビットで設定します。

USB モジュールへは 48MHz のクロックを供給する必要があります。USB モジュールを使用する場合は UCLK が 48MHz となるようにしてください。

### 9.7.5 LCD ソースクロック

LCD ソースクロック (LCDSRCCLK) は、LCD モジュール用の動作クロックの元となるクロックです。

LCDSRCCLK は、メインクロック発振器、サブクロック発振器、高速オンチップオシレータ、低速オンチップオシレータ、IWDTC 専用オンチップオシレータから選択されたクロックです。

### 9.7.6 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、サブクロック発振器で生成される CACSCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDTC 専用オンチップオシレータで生成される CACILCLK があります。

### 9.7.7 RTC 専用クロック

RTC 専用クロック (RTCSCLK) は、RTC モジュールの動作クロックです。

RTCSCLK はサブクロック発振器で生成されたクロックです。

### 9.7.8 IWDTC 専用クロック

IWDTC 専用クロック (IWDTCCLK) は、IWDTC モジュールの動作クロックです。

IWDTCCLK は、IWDTC 専用オンチップオシレータで内部発振によって生成されたクロックです。

### 9.7.9 SSI クロック

SSI クロック (SSISCK) は、SSI モジュール用の動作クロックです。

SSISCK は、メインクロック発振器で生成されたクロックです。

### 9.7.10 ローパワータイマクロック

ローパワータイマクロック (LPTCLK) は、ローパワータイマ用の動作クロックです。LPTCLK には、サブクロック発振器で生成されるクロックまたは IWDTC 専用オンチップオシレータで生成されるクロックがあります。

## 9.8 使用上の注意事項

### 9.8.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB, PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のようにしてください。  
各周波数は電気的特性の AC タイミングのクロックサイクル時間  $t_{cyc}$  の動作保証範囲内に収まるように選択してください。  
周波数は表 9.1 の周波数範囲内に収まるように設定してください。  
周辺モジュールは、基本的に PCLKB、PCLKD を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK)、周辺モジュールクロック B、D (PCLKB, PCLKD)、FlashIF クロック (FCLK) との間には下記の周波数関係が必要です。  
ICLK:FCLK, PCLKB, PCLKD = N:1 (N は整数) の周波数関係
- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

### 9.8.2 SCKCR3 レジスタ書き換え時の注意事項

SCKCR3 レジスタが書き換えられた場合、クロックソースの切り替え時に短いクロックパルス (グリッチ) が発生しないよう、一時的にクロック出力を停止させています。この期間内に下記の条件を満たす信号が入力された場合、割り込みコントローラで検出できないことがあります。

- (1) PCLKB の分周比が 1 分周 (SCKCR.PCKB[3:0] ビットが “0000b”) の場合、切り替え後の PCLKB の 4 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- (2) PCLKB の分周比が 2 分周 (SCKCR.PCKB[3:0] ビットが “0001b”) の場合、切り替え後の PCLKB の 2.5 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- (3) SCKCR3.CKSEL[2:0] ビットを “011b” (サブクロック) に変更したときの RTC 周期割り込み  
外部端子割り込み、NMI 端子割り込みを使用する場合は、上記 (1)、(2) の条件が満たされないように、十分にパルス幅の広い信号を入力してください。また、RTC 周期割り込みを使用する場合は、RTC 周期割り込みが発生してから、次の RTC 周期割り込みが発生するまでの間にクロックソースを切り替えてください。

### 9.8.3 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 9.8.4 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.8 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

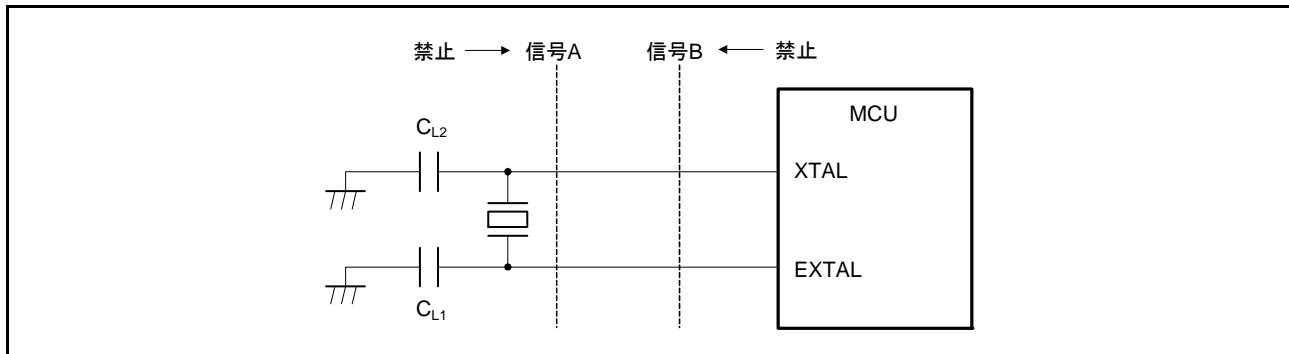


図 9.8 発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

### 9.8.5 サブクロックに関する注意事項

サブクロックは、システムクロックとして使用される場合、リアルタイムクロックのカウントソースとして使用される場合、およびその両方に使用される場合があります。また、サブクロックを使用しない場合も含めて、設定に関して以下のような注意および制限事項があります。

- サブクロックの動作/停止は、サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット (SOSCCR.SOSTP) および RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロックは動作状態となります。
- サブクロックをシステムクロックとして使用し、かつリアルタイムクロックのカウントソースとして使用する場合は、図 9.9 のフローチャートの例に従って初期設定してください。その後、「24.3.2 クロックとカウントモード設定手順」に記載されたクロック設定手順に従って設定してください。

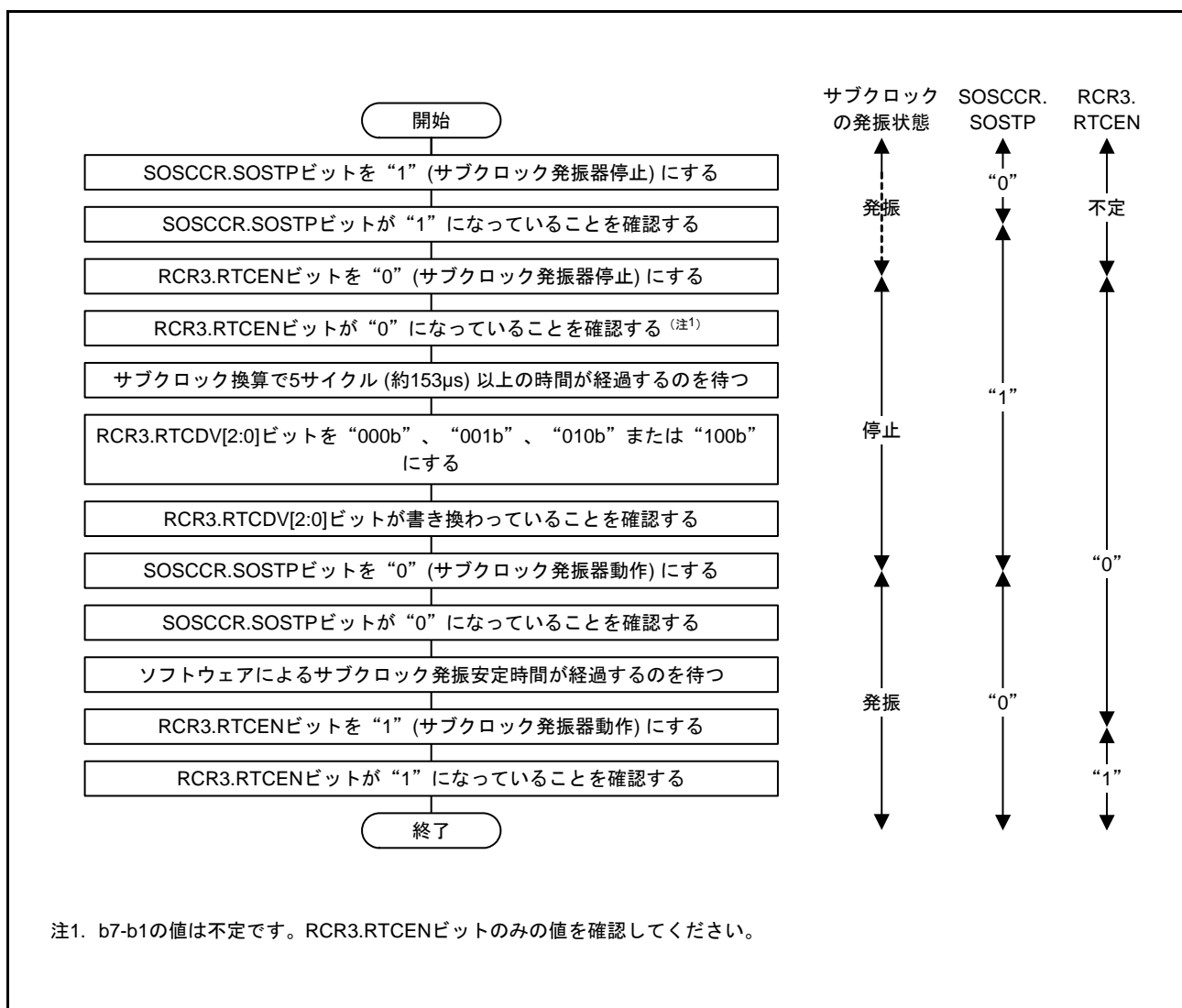


図 9.9 サブクロックをリアルタイムクロックのカウントソースに使用する場合の初期化フローチャート例



- サブクロックをリアルタイムクロックのカウンタソースのみに使用する場合は、図 9.10 のフローチャートの例に従って初期設定してください。その後、「24.3.2 クロックとカウンタモード設定手順」に記載されたクロック設定手順に従って設定してください。

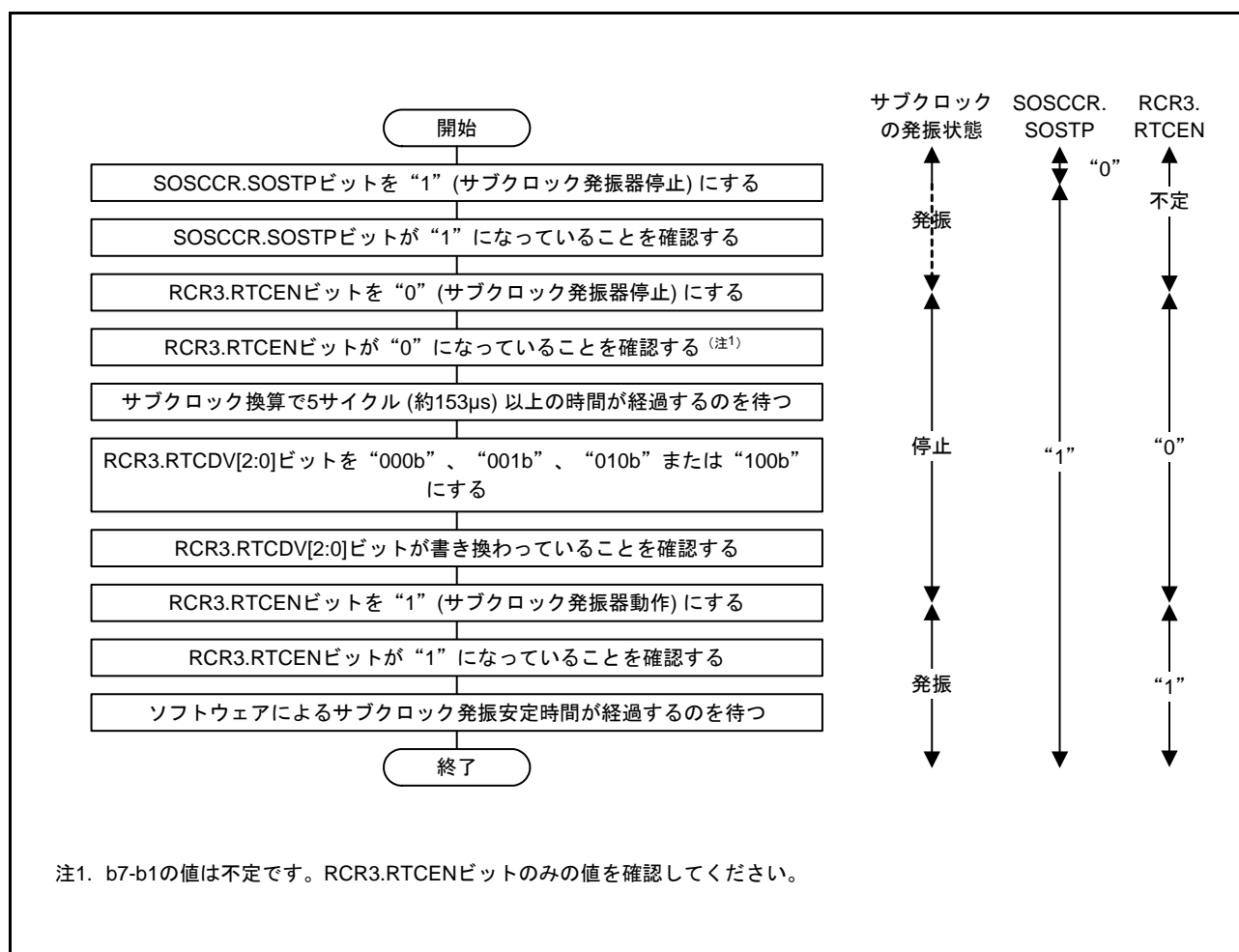


図 9.10 サブクロックをリアルタイムクロックのカウンタソースのみに使用する場合の初期化フローチャート例



- サブクロックをシステムクロックのみに使用する場合は、図 9.11 のフローチャートの例に従って初期設定してください。

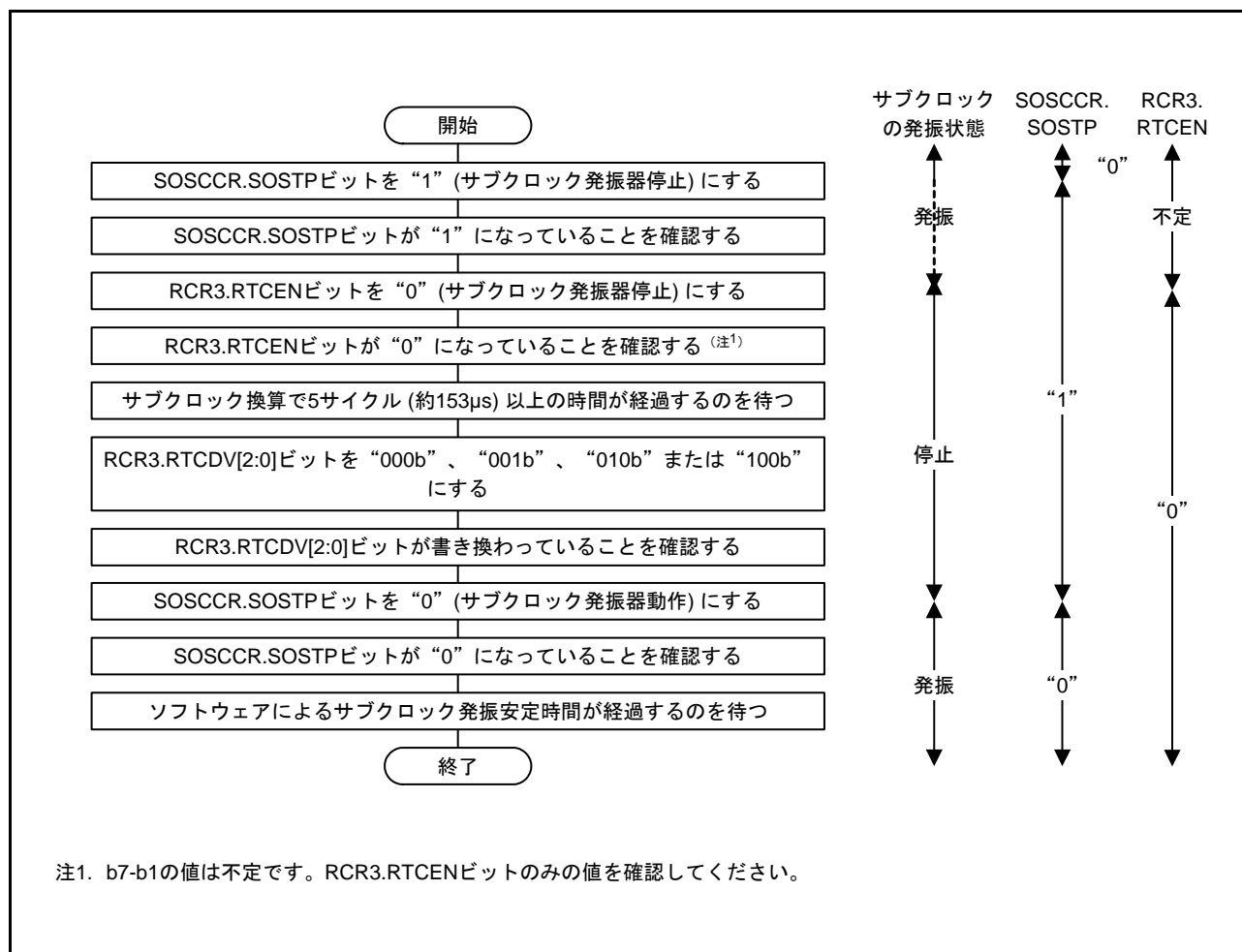


図 9.11 サブクロックをシステムクロックのみに使用する場合の初期化フローチャート例

- サブクロックを使用しない場合は、図 9.12 のフローチャートの例に従って初期設定してください。

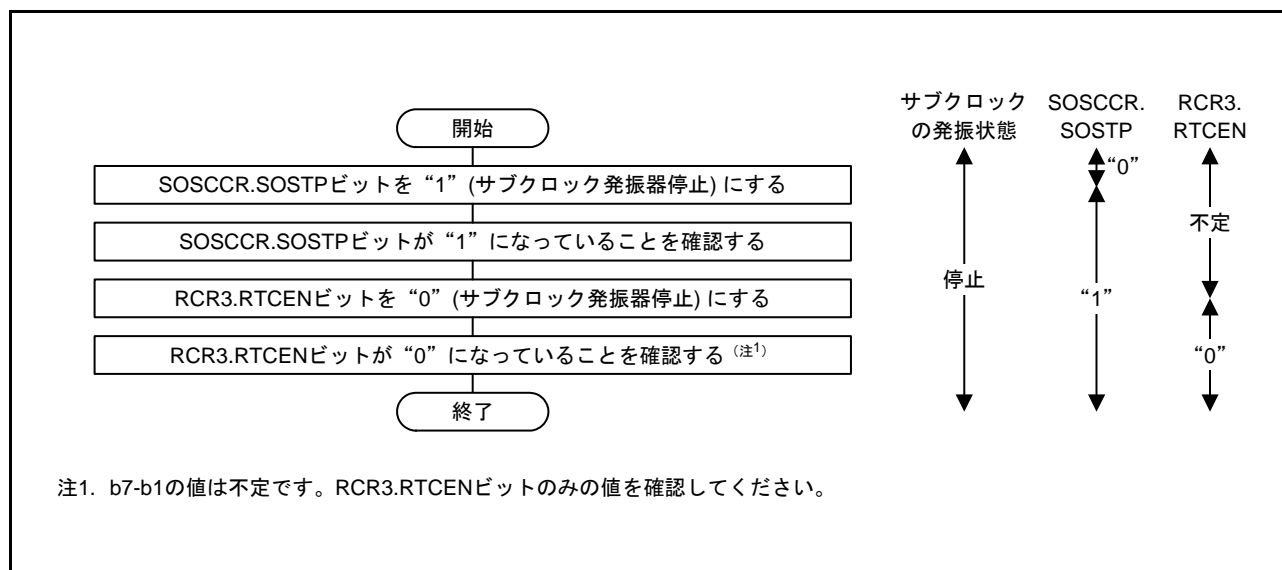


図 9.12 サブクロックを使用しない場合の初期化フローチャート例

- RCR3.RTCEN ビットの状態によらず、SOSCCR.SOSTP ビットを“0”（動作）に変更した場合は、発振安定時間を待ってから使用してください。
- コールドスタート後、サブクロック制御回路の状態は不定であるため、サブクロックの使用有無に関わらず、初期化が必要です。初期化は SOSCCR.SOSTP ビットおよび RCR3.RTCEN ビットの両方を停止側に設定することで行ってください。RCR3.RTCEN ビットの初期化については、「24.2.19 RTC コントロールレジスタ 3 (RCR3)」を参照してください。  
40 ピン以下のパッケージ製品はサブクロック発振器の端子がありませんが、同様にサブクロック制御回路を初期化してください。
- サブクロック発振器を動作させる場合、RCR3.RTCDV[2:0] ビットの設定も必要です。また、RCR3.RTCDV[2:0] ビットの設定は、サブクロック発振器停止中に行ってください。動作中の書き換えは禁止です。
- SOSCCR.SOSTP ビットの書き換え後、RCR3.RTCEN ビットの書き換えを行う場合、またはその逆を行う場合、先に書き換えを行った方のビットが書き換わっていることを確認してから、後のビットの書き換えを行ってください。

## 10. クロック周波数精度測定回路 (CAC)

### 10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CACの仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> <li>• メインクロック</li> <li>• サブクロック</li> <li>• HOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDT専用クロック (IWDTCCLK)</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
測定基準クロック	<ul style="list-style-type: none"> <li>• 外部から CACREF 端子に入力したクロック</li> <li>• メインクロック</li> <li>• サブクロック</li> <li>• HOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDT専用クロック (IWDTCCLK)</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> <li>• 測定終了割り込み</li> <li>• 周波数エラー割り込み</li> <li>• オーバフロー割り込み</li> </ul>
消費電力低減機能	モジュールストップ状態への遷移が可能

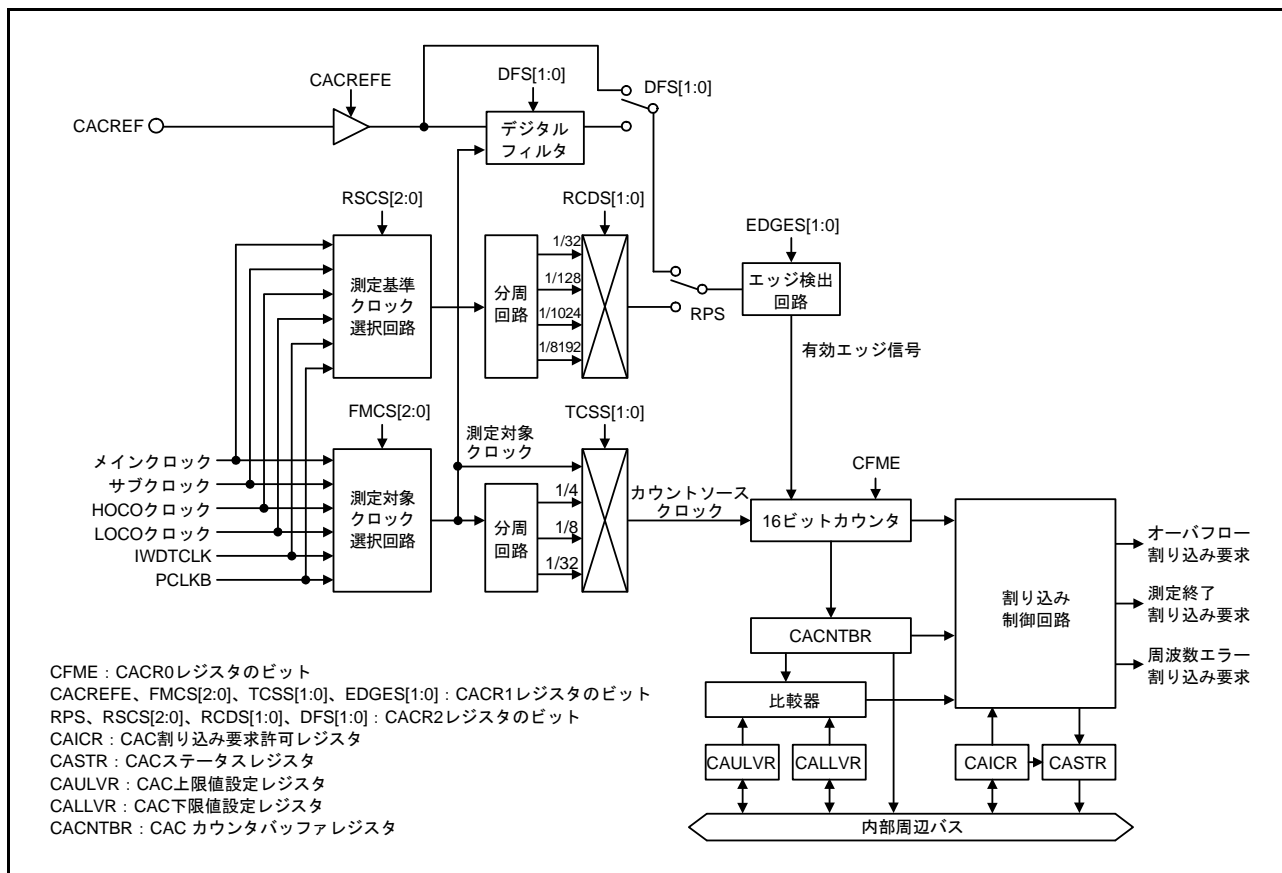


図 10.1 CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

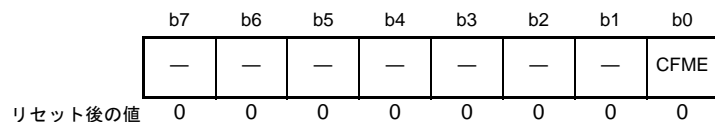
表 10.2 CAC の入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

## 10.2 レジスタの説明

### 10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h



ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

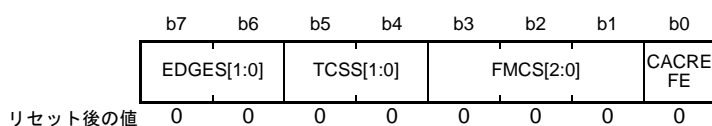
#### CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

## 10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース 選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

**CACREFE ビット (CACREF 端子入力有効ビット)**

CACREF 端子入力の有効 / 無効を指定するビットです。

**FMCS[2:0] ビット (測定対象クロック選択ビット)**

周波数を測定する測定対象クロックを選択します。

**TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)**

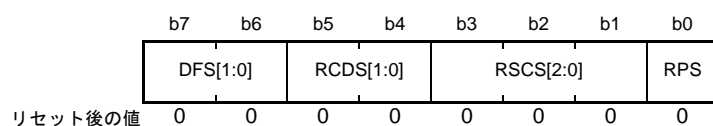
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

**EDGES[1:0] ビット (有効エッジ選択ビット)**

このビットの設定により基準信号の有効エッジを選択します。

## 10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 測定対象クロック 1 0 : 測定対象クロックの4分周クロック 1 1 : 測定対象クロックの16分周クロック	R/W

注. CACR2レジスタは、CACR0.CFMEビットが"0"のときに設定してください。

**RPS ビット (基準信号選択ビット)**

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

**RSCS[2:0] ビット (測定基準クロック選択ビット)**

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

**RCDS[1:0] ビット (測定基準クロック分周比選択ビット)**

このビットの設定により測定基準クロックの分周比を選択します。

**DFS[1:0] ビット (デジタルフィルタ機能選択ビット)**

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

## 10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**FERRIE ビット (周波数エラー割り込み要求許可ビット)**

周波数エラー割り込み要求の有効/無効を指定するビットです。

**MENDIE ビット (測定終了割り込み要求許可ビット)**

測定終了割り込み要求の有効/無効を指定するビットです。

**OVFIE ビット (オーバフロー割り込み要求許可ビット)**

オーバフロー割り込み要求の有効/無効を指定するビットです。

**FERRFCL ビット (FERRF フラグクリアビット)**

このビットを“1”にすると CASTR.FERRF フラグをクリアします。

**MENDFCL ビット (MENDF フラグクリアビット)**

このビットを“1”にすると CASTR.MENDF フラグをクリアします。

**OVFFCL ビット (OVFF フラグクリアビット)**

このビットを“1”にすると CASTR.OVFF フラグをクリアします。



### 10.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

#### FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた(周波数エラー)ことを示します。

["1"になる条件]

- クロック周波数が設定値を外れたとき

["0"になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

#### MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

["1"になる条件]

- 測定終了したとき

["0"になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

#### OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

["1"になる条件]

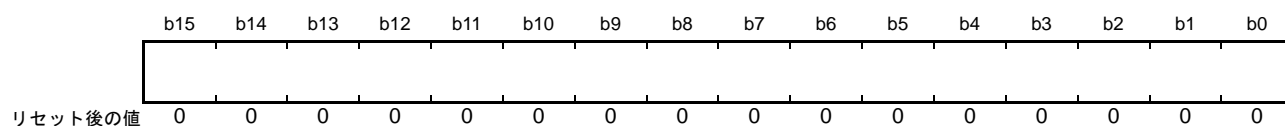
- カウンタがオーバフローしたとき

["0"になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

### 10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



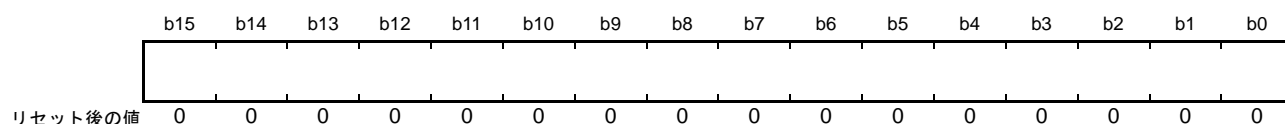
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

### 10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



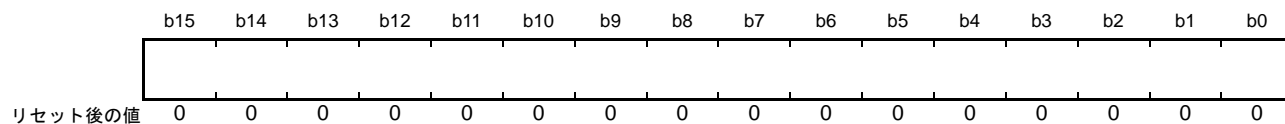
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

### 10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

## 10.3 動作説明

### 10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

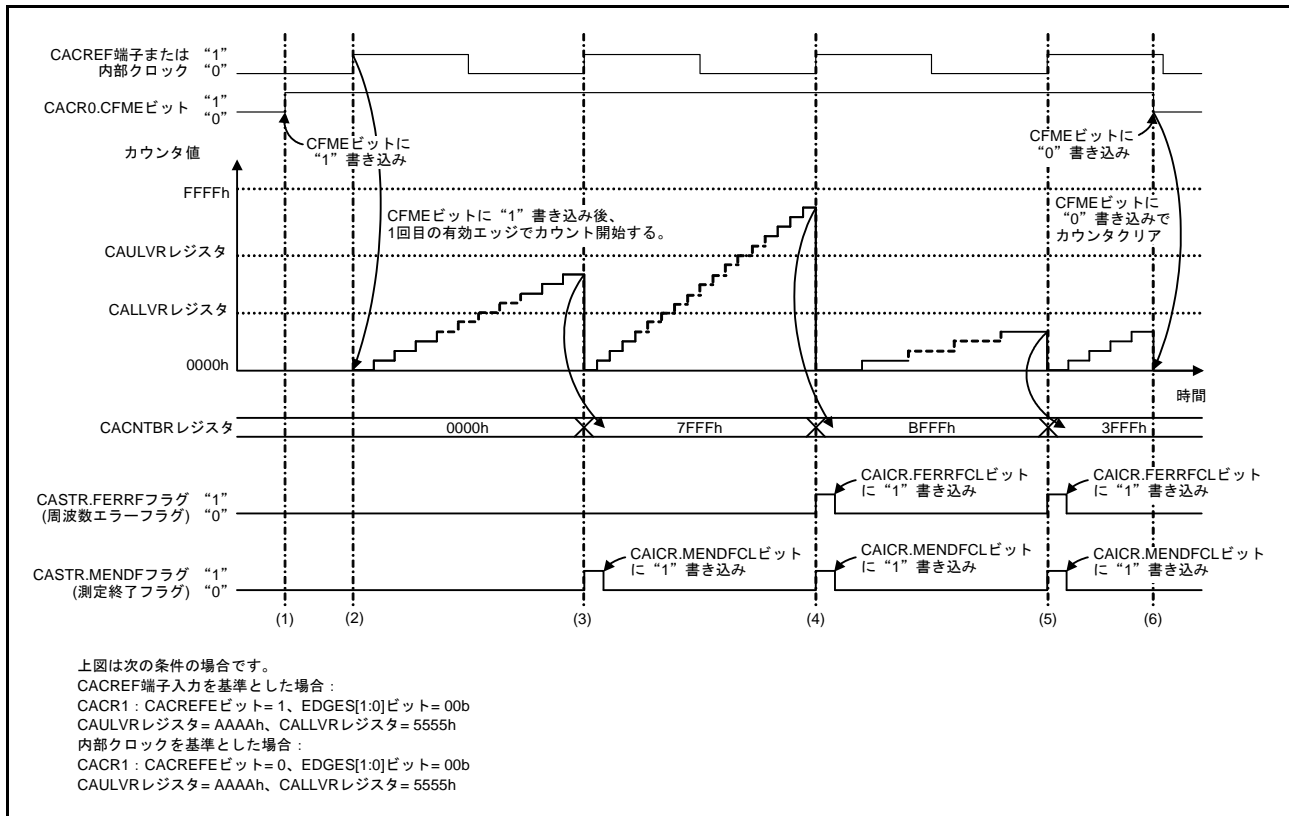


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを "0"、CACR1.CACREFE ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。  
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに "1" を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウンタアップが開始します。  
内部クロックを基準とした場合は、CFME ビットに "1" を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ ≤ CAULVR レジスタかつ CACNTBR レジスタ ≥ CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが "1" にセットされます。また、CAICR.MENDIE ビットを "1" に設定している場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

### 10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが3回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが3回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

## 10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの3種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較をした結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない。
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

## 10.5 使用上の注意事項

### 10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

## 11. 消費電力低減機能

### 11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD用クロック (PCLKD)、FlashIFクロック (FCLK) に対し、個別に分周比を設定することが可能(注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> <li>• CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能</li> </ul>
低消費電力状態	<ul style="list-style-type: none"> <li>• スリープモード</li> <li>• ディープスリープモード</li> <li>• ソフトウェアスタンバイモード</li> </ul>
動作電力低減機能	<ul style="list-style-type: none"> <li>• 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時およびディープスリープモード時の消費電力を低減することが可能</li> <li>• 動作電力制御状態：3種類 高速動作モード 中速動作モード 低速動作モード</li> </ul>

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み(注1)
解除後の状態(注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインロック発振器	動作可能	動作可能	停止
サブロック発振器	動作可能	動作可能	動作可能
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT専用オンチップオシレータ	動作可能(注3)	動作可能(注3)	動作可能(注3)
PLL	動作可能	動作可能	停止
USB専用PLL	動作可能	動作可能	停止
CPU	停止(保持)	停止(保持)	停止(保持)
RAM0 (0000 0000h~0000 3FFFh)	動作可能(保持)	停止(保持)	停止(保持)
DTC	動作可能(注5)	停止(保持)	停止(保持)
フラッシュメモリ	動作	停止(保持)	停止(保持)
独立ウォッチドッグタイマ (IWDT)	動作可能(注3)	動作可能(注3)	動作可能(注3)
リアルタイムクロック (RTC)	動作可能	動作可能	動作可能
ローパワータイマ (LPT)	動作可能(注10)	動作可能(注10)	動作可能(注10)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止(保持)(注4)
I/Oポート	動作	動作	保持
RTCOU出力	動作可能	動作可能	動作可能
CLKOUT出力	動作可能	動作可能	動作可能(注6)
コンパレータB	動作可能	動作可能	動作可能(注7)
LCDコントローラ/ドライバ	動作可能(注8)	動作可能(注8)	動作可能(注9)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。  
停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

- 注1. 外部端子割り込み (NMI, IRQ0~IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視、USB、LPTコンペアマッチ (ELC経由))
- 注2. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注3. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット (OFS0.IWDTSLCSTP) の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット (IWDTCTSPR.SLCSTP) の設定により、動作/停止を選択することができます。
- 注4. 周辺モジュールは状態を保持します。
- 注5. スリープモード中は、システム制御関連のレジスタ (「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ) への書き込みは禁止です。
- 注6. クロック出力ソース選択ビット (CKOCR.CKOSEL[2:0]) = 011b (サブクロック発振器) 以外を選択している場合は、停止します。
- 注7. デジタルフィルタ機能は使用禁止です。比較結果のCMPOBn端子への出力のみ動作可能です。
- 注8. LCDCLKCR.LCDSCLKSEL[2:0]ビット = 100b (IWDT専用オンチップオシレータ) を選択している場合は注3に従って動作/停止します。
- 注9. LCDCLKCR.LCDSCLKSEL[2:0]ビット = 100b (IWDT専用オンチップオシレータ) を選択している場合は注3に従って動作/停止し、LCDCLKCR.LCDSCLKSEL[2:0]ビット = 011b (サブクロック発振器) を選択している場合は動作可能です。LCDCLKCR.LCDSCLKSEL[2:0]ビットで"100b"または"011b"以外を選択している場合は停止します。
- 注10. ローパワータイマコントロールレジスタのローパワータイマクロックソース選択ビット (LPTCR1.LPCNTCKSEL) = 1 (IWDT専用オンチップオシレータ選択) を選択している場合は注3に従って動作/停止し、ローパワータイマクロックソース選択ビット (LPTCR1.LPCNTCKSEL) = 0 (サブクロック発振器選択) を選択している場合は動作可能です。

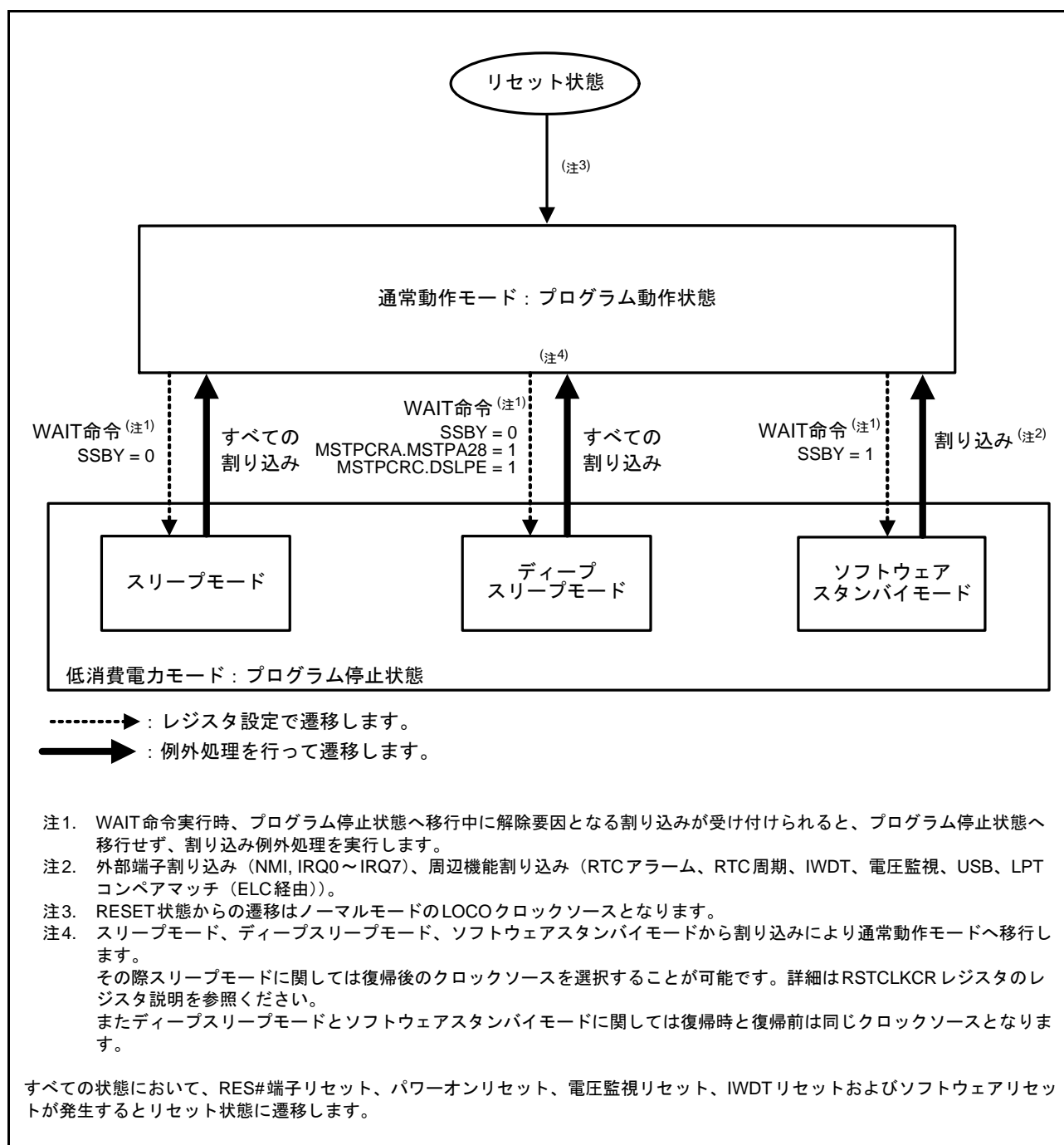


図 11.1 モード遷移



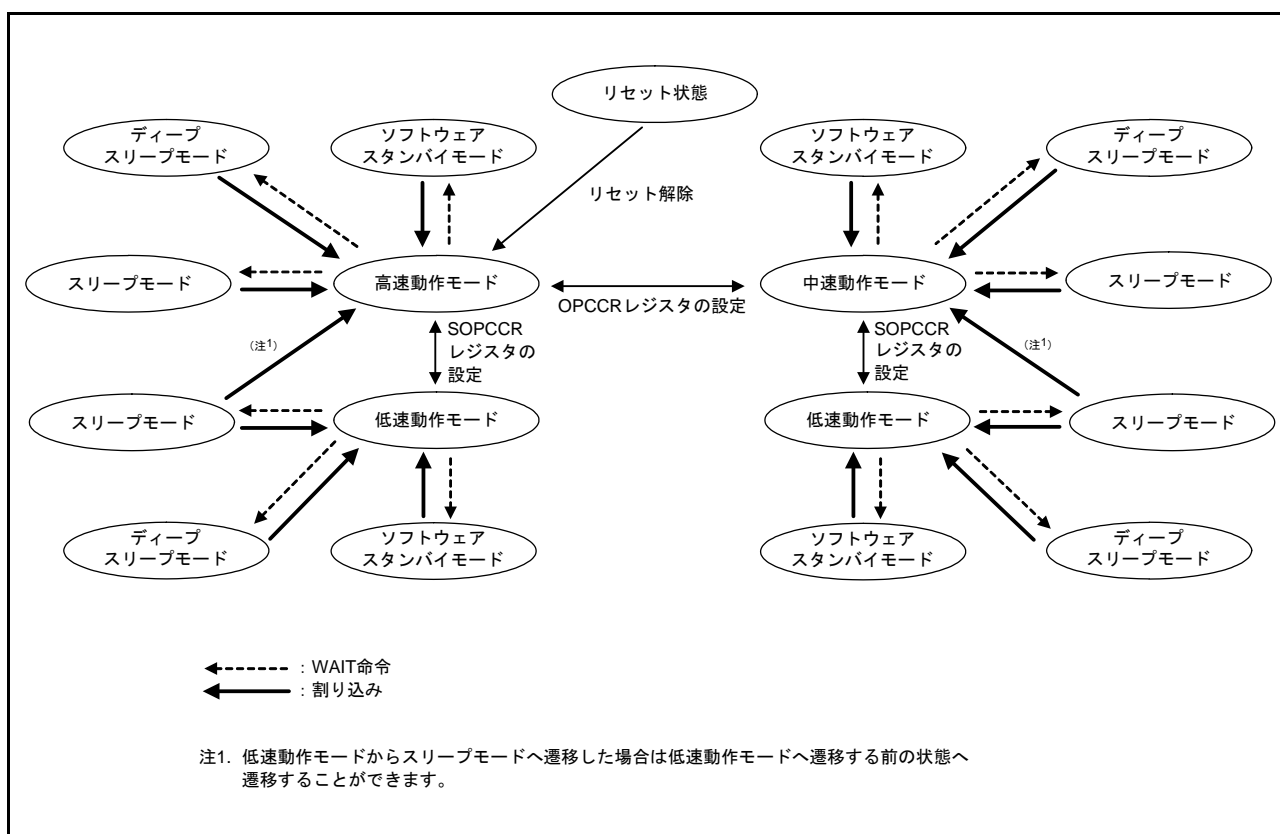


図 11.2 動作モード

- ソフトウェアスタンバイモードに遷移した場合に、サブクロック発振器の停止は行いません。
- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。  
ただし、低速動作モードからスリープモードへ遷移した場合は低速動作モードへ遷移する前の状態へ遷移することができます。
- リセット解除後は高速動作モードで動作開始します。

表 11.3 各動作モードでの発振器の使用可否

	PLL	USB専用PLL	HOCO	LOCO	ILOCO	メインクロック発振器	サブクロック発振器
高速動作モード	○ (注1)	○ (注1)	○	○	○	○	○
中速動作モード	○ (注1)	○ (注1)	○	○	○	○	○
低速動作モード	×	×	×	×	○	×	○

○：使用可能

×：使用不可能

注1. PLLとUSB専用PLLは電源電圧が2.4V以上で使用可能です。

## 11.2 レジスタの説明

### 11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0 : WAIT命令実行後、スリープモードまたはディープスリープモードに遷移 1 : WAIT命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

#### SSBY ビット (ソフトウェアスタンバイ ビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

## 11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	—	—	—	—	—	—	—	—	MSTPA 18	MSTPA 17	—
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	—	—	—	—	MSTPA 9	—	—	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルス ユニット2モジュール ストップ設定ビット	対象モジュール：MTU (MTU0～MTU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ1 (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2, CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュール ストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	MSTPA18	12ビットD/Aコンバータモジュール ストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b19	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPA28	データ転送ファコンローラ モジュールストップ設定ビット	対象モジュール：DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

## 11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB 31	MSTPB 30	MSTPB 29	—	—	MSTPB 26	MSTPB 25	—	MSTPB 23	—	MSTPB 21	—	MSTPB 19	—	MSTPB 17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB 10	MSTPB 9	—	—	MSTPB 6	—	MSTPB 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーション インタフェース SCIf モジュール ストップ設定ビット	対象モジュール：SCIf (SCI12) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	ELCモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPB10	コンパレータBモジュールストップ設定 ビット	対象モジュール：コンパレータB 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPi0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19 (注1)	MSTPB19	USB0モジュールストップ設定ビット	対象モジュール：USB0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I <sup>2</sup> Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーションインタ フェース6モジュールストップ設定 ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーション インタフェース5モジュールストップ 設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b29	MSTPB29	シリアルコミュニケーションインタ フェース2モジュールストップ設定 ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ 設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタ フェース0モジュールストップ設定 ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 本ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。また、本ビットが“0”（モジュールストップ状態の解除）の状態では、クロックを発振設定にしてください。本ビットを書き変えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後UCLKで2サイクル経過したのち、WAIT命令を実行してください。また、本ビットを“1”（モジュールストップ状態へ遷移）に書き換えた後、クロックを停止する場合は、書き換え後、UCLKで2サイクル経過したのち、クロック停止を実行してください。

## 11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	—	—	MSTPC 27	MSTPC 26	—	—	—	—	—	MSTPC 20	MSTPC 19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC 0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット(注1)	対象モジュール：RAM0 (0000 0000h～0000 FFFFh) 0：RAM0動作 1：RAM0停止	R/W
b18-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路モジュールストップ設定ビット(注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPC20	IrDAモジュールストップ設定ビット	対象モジュール：IRDA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25-b21	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPC26	シリアルコミュニケーションインタフェース9設定ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタフェース8設定ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0：ディープスリープモード禁止 1：ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出カクロックで2サイクル経過したのち、WAIT命令を実行してください。

## DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの移行の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SSBY ビットおよびMSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPUがWAIT命令を実行した場合、ディープスリープモードに移行します。詳細は「11.6.2 ディープスリープモード」を参照してください。

## 11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス 0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPD 15	—	—	—	MSTPD 11	MSTPD 10	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b9-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10	MSTPD10	タッチセンサコントロールユニット モジュールストップ設定ビット	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPD11	LCDコントローラ モジュールストップ設定ビット	対象モジュール：LCDC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	MSTPD15(注1)	シリアルサウンドインタフェース モジュールストップ設定ビット	対象モジュール：SSI 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. シリアルサウンドインタフェースで、メインクロック発振器を使用する場合

本ビットの書き換えは、メインクロック発振器の発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後メインクロックで2サイクル経過したのち、WAIT命令を実行してください。また、本ビットを書き換えた後、メインクロック発振器を停止する場合は、書き換え後メインクロックで2サイクル経過したのち、メインクロック発振器を停止してください。

### 11.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0: 高速動作モード 0 1 0: 中速動作モード 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0: 遷移完了 1: 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”（遷移中）のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間
- SOPCCR.SOPCM ビットが“1”（低速動作モード）のとき

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

なお、動作電力制御モードへの遷移中 (OPCCR.OPCMTSF フラグが“1”) は、E2 データフラッシュから正しい値が読み出せません。DTC 転送を使用して E2 データフラッシュを読み出す設定をしている場合は、OPCCR.OPCM[2:0] ビットを書き換える前に DTC モジュールを停止させてください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

#### OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御モードを選択します。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。



### OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

### 11.2.7 サブ動作電力コントロールレジスタ（SOPCCR）

アドレス 0008 00AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択ビット	0：高速動作モードまたは中速動作モード(注1) 1：低速動作モード	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0：遷移完了 1：遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. OPCCR.OPCM[2:0]の設定による。

SOPCCR レジスタは、低速動作モードへの遷移を制御し、通常動作モード、スリープモード時、ディープスリープモード時の消費電力を低減させるためのレジスタです。

SOPCCR レジスタの設定によって、低速動作モードへ遷移、または低速動作モードから復帰することができます。

低速動作モードはサブクロック発振器専用の動作モードです。

低速動作モード中（SOPCM = 1 のとき）は OPCCR レジスタの書き換えは無効になります。

以下に該当する場合、SOPCCR レジスタの書き換えは無効になります。

- SOPCCR.SOPCMTSF フラグが“1”（遷移中）のとき
- スリープモードへ遷移するための WAIT 命令実行から通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリが P/E 中はこのレジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は「11.5 動作電力低減機能」を参照してください。

なお、動作電力制御モードへの遷移中（SOPCCR.SOPCMTSF フラグが“1”）は、E2 データフラッシュから正しい値が読み出せません。DTC 転送を使用して E2 データフラッシュを読み出す設定をしている場合は、SOPCCR.SOPCM ビットを書き換える前に DTC モジュールを停止させてください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

**SOPCM ビット (サブ動作電力制御モード選択ビット)**

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御を選択します。

このビットに“1”を設定すると低速動作モードに遷移します。“0”に設定すると、低速動作モードへ遷移する前の動作モード (OPCCR.OPCM[2:0] に設定されている動作モード) に戻ります。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

**SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)**

サブ動作電力制御モード切り替え時の切り替え制御状態を表します。

SOPCM ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、SOPCM ビットを書き換えは、このフラグが“0”のときに行ってください。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

表 11.4 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPCM [2:0] ビット	SOPCM ビット	動作電圧範囲	動作周波数範囲				
				フラッシュメモリリード時				フラッシュメモリP/E時
				ICLK	FCLK	PCLKD	PCLKB	FCLK
高速動作モード	000b	0	2.7 ~ 3.6V	~ 32MHz	~ 32MHz	~ 32MHz	~ 32MHz	1MHz ~ 32MHz
			2.4 ~ 2.7V	~ 16MHz	~ 16MHz	~ 16MHz	~ 16MHz	—
			1.8 ~ 2.4V	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	—
中速動作モード	010b	0	2.4 ~ 3.6V	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	1MHz ~ 12MHz
			1.8 ~ 2.4V	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	1MHz ~ 8MHz
低速動作モード	000b	1	1.8 ~ 3.6V	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	—
	010b	1	1.8 ~ 3.6V					

注. フラッシュメモリP/E時、FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。

各動作電力制御モードについて以下に説明します。

● 高速動作モード

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB が 32MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 3.6V です。ただし、2.4V ~ 2.7V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 16MHz に制限されます。また、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 8MHz に制限されます。

P/E 時の動作周波数範囲は 1 ~ 32MHz、動作電圧範囲は 2.7V ~ 3.6V です。

リセット解除後は、本モードで起動します。

図 11.3 に高速動作モードにおける動作電圧と動作周波数の関係を示します。

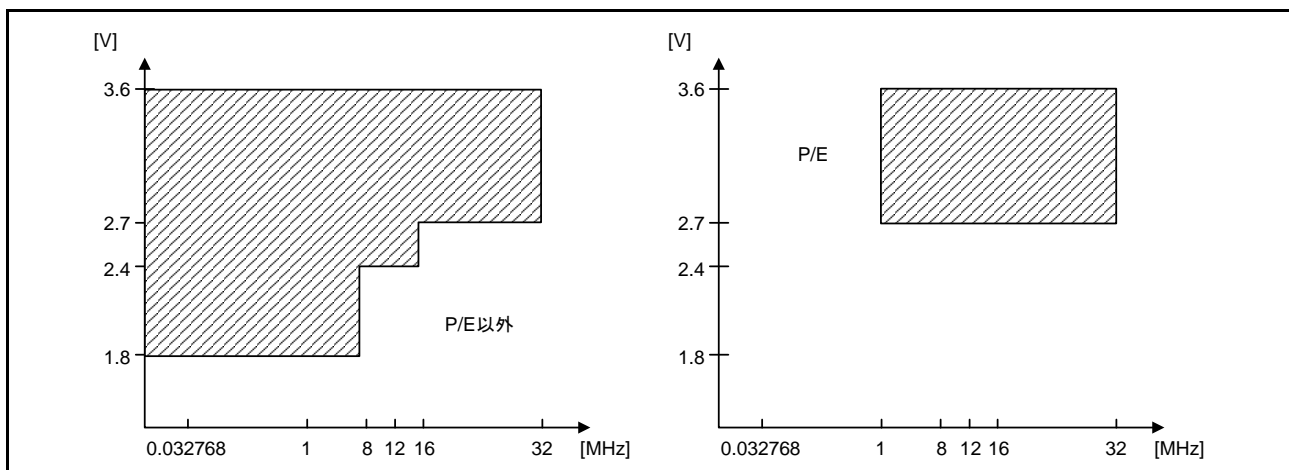


図 11.3 高速動作モードにおける動作電圧と動作周波数の関係

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB が 12MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 3.6V です。ただし、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 8MHz に制限されます。

P/E 時は、動作周波数範囲が 1 ~ 12MHz、動作電圧範囲が 1.8V ~ 3.6V となります。ただし、1.8V ~ 2.4V 未満の電圧範囲での P/E 時の最大動作周波数は 8MHz に制限されます。

同条件（周波数・電圧）で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。中速動作モード選択時には以下の制限事項があります。

- PLL と USB 専用 PLL は 2.4V 以上で使用可能です。

図 11.4 に中速動作モードにおける動作電圧と動作周波数の関係を示します。

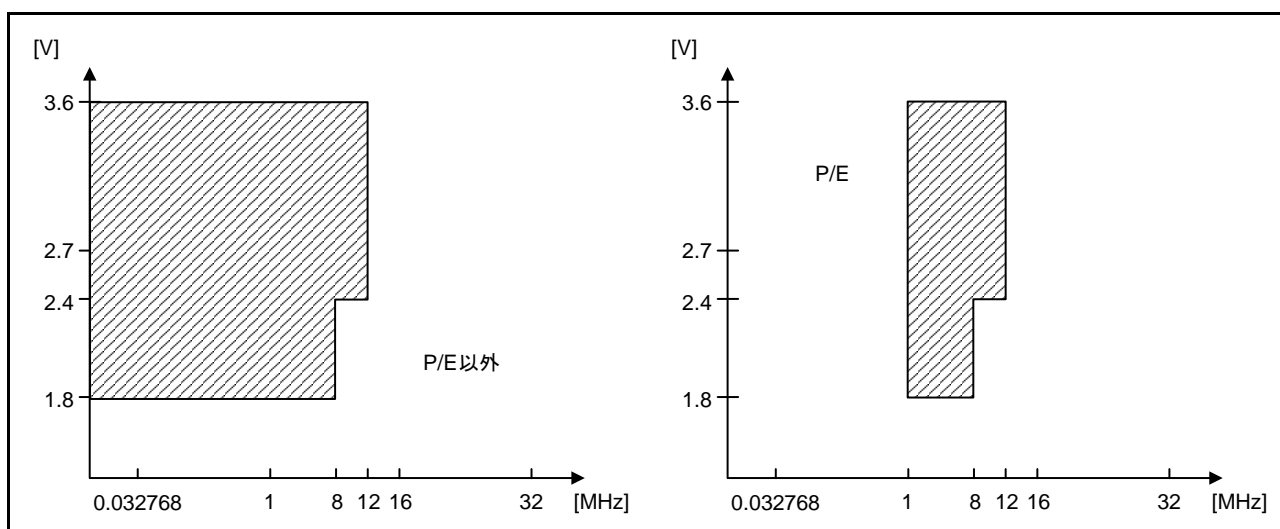


図 11.4 中速動作モードにおける動作電圧と動作周波数の関係

注． フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 低速動作モード

SOPCCR レジスタの SOPCM ビットに“1”を書くことにより、低速動作モードに移ります。低速動作モード中に OPCM の設定を変更することはできません。低速動作モードは 32.768kHz のサブ発振器専用の動作モードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 32.768kHz で、動作電圧範囲は、1.8V ~ 3.6V です。

低速動作モード選択時には以下の制限事項があります。

- フラッシュメモリの P/E 動作は禁止です。
- PLL/USB 用 PLL、メインクロック発振器、LOCO 及び HOCO は使用禁止です。

注． PLLCR2.PLLEN ビットが“0”（PLL 動作）のとき、SOPCM ビットへの“1”書き込みは無効になります。  
 UPLLCR2.UPLLEN ビットが“0”（USB 専用 PLL 動作）のとき、SOPCM ビットへの“1”書き込みは無効になります。  
 HOCOCCR.HCSTP ビットが“0”（HOCO 動作）のとき、SOPCM ビットへの“1”書き込みは無効になります。  
 MOSCCR.MOSTP ビットが“0”（MOSC 動作）のとき、SOPCM ビットへの“1”書き込みは無効になります。  
 LOCOCCR.LCSTP ビットが“0”（LOCO 動作）のとき、SOPCM ビットに“1”を書き込まないでください。

図 11.5 に低速動作モードにおける動作電圧と動作周波数の関係を示します。

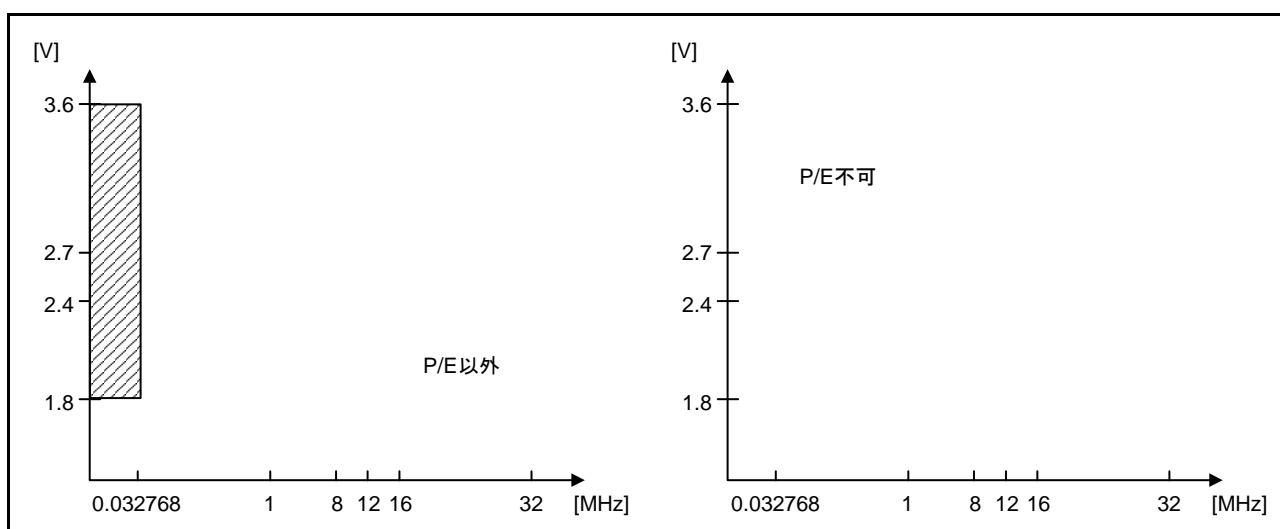


図 11.5 低速動作モードにおける動作電圧と動作周波数の関係

## 11.2.8 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCK EN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL [2:0]	スリープモード復帰クロック ソース選択ビット	b2 b0 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 (注1) 0 1 0 : メインクロック発振器選択 RSTCKENビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロック ソース切り替え許可ビット	0 : スリープモード解除時クロックソース切り替え無効 1 : スリープモード解除時クロックソース切り替え有効	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. HOCOは復帰先が高速動作モード時のみ選択可能です。

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタのHOCO停止ビット (HOCOCCR.HCSTP)、低速オンチップオシレータコントロールレジスタのLOCO停止ビット (LOCOCCR.LCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

## RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが“1”の場合のみ有効です。

図 11.2 の動作モードで、スリープモードから高速動作モードへ復帰する場合は、LOCO、HOCO、メインクロック発振器が選択可能です。また、スリープモードから中速動作モードへ復帰する場合は、LOCO、メインクロック発振器が選択可能です。ただし、この場合、各クロック (ICLK, FCLK, PCLKD, PCLKB) の周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下にしてください。

表 11.5 スリープモードから高速動作モードおよび中速動作モードへ復帰する場合

スリープ時の動作モード	スリープ時の クロックソース	RSTCKSEL	復帰後の 動作モード	復帰後のクロックソース
高速動作モードまたは、 高速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	高速動作モード	LOCO
		001b (HOCO)		HOCO
		010b (メインクロック発振器)		メインクロック発振器
中速動作モードまたは、 中速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	中速動作モード	LOCO
		010b (メインクロック発振器)		メインクロック発振器 (注1)

注1. 各クロック (ICLK, FCLK, PCLKD, PCLKB) の周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下にしてください。

**RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)**

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

本ビットを有効に設定した状態でスリープモードから復帰する場合は、SOPCCR レジスタの SOPCM ビットは自動的に“0” (中速動作モードまたは高速動作モード) に書き換わります。

分周設定 (SCKCR レジスタ) の値は保持されます。

スリープモードから中速動作モードへメインクロック発振器を選択して復帰する場合は、各クロックの周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下になるようにしてください。

### 11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、PCKB[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。  
フラッシュインタフェースは FCK[3:0] ビットで設定した動作クロックで動作します。  
詳細は「9. クロック発生回路」を参照してください。

### 11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRD レジスタに対応する MSTPmi ビット (m = A ~ D, i = 31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

### 11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時の消費電力を低減することができます。

#### 11.5.1 動作電力制御モード設定方法

動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 例 1：高速動作モードから中速動作モードへの切り替え

(高速動作モードで高速動作)

↓

各クロックの周波数を中速動作モードの最大動作周波数以下に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

OPCCR.OPCM[2:0] ビットを“010b” (中速動作モード) に設定

↓

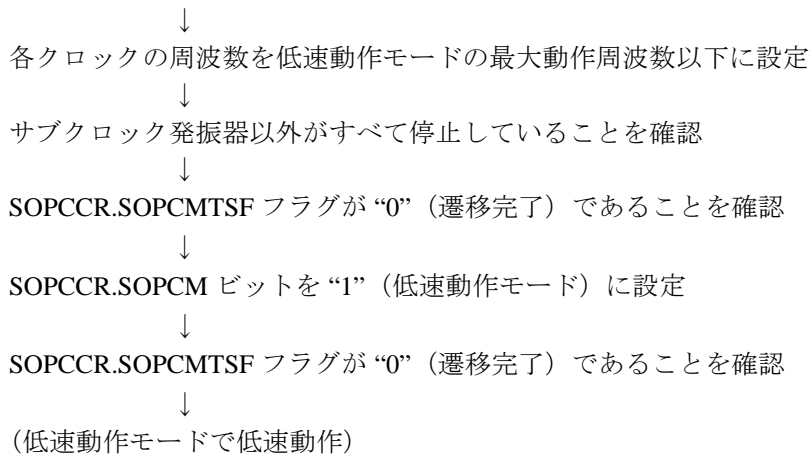
OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

(中速動作モードで中速動作)

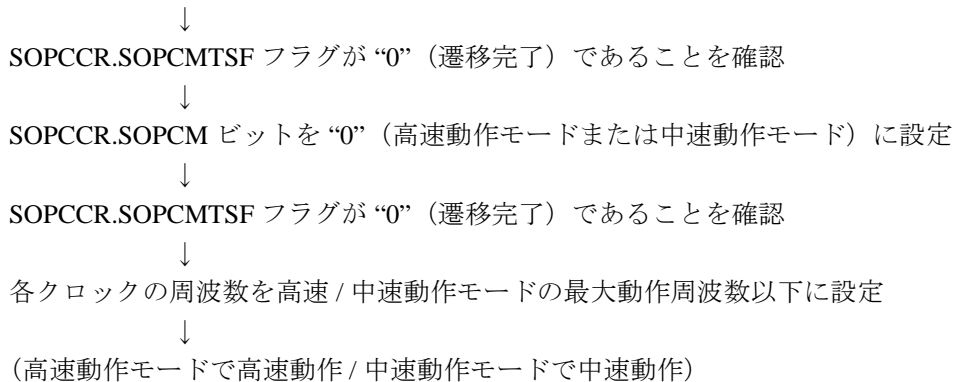


- 例2：高速 / 中速動作モードから低速動作モードへの切り替え  
(高速動作モードで高速動作 / 中速動作モードで中速動作)

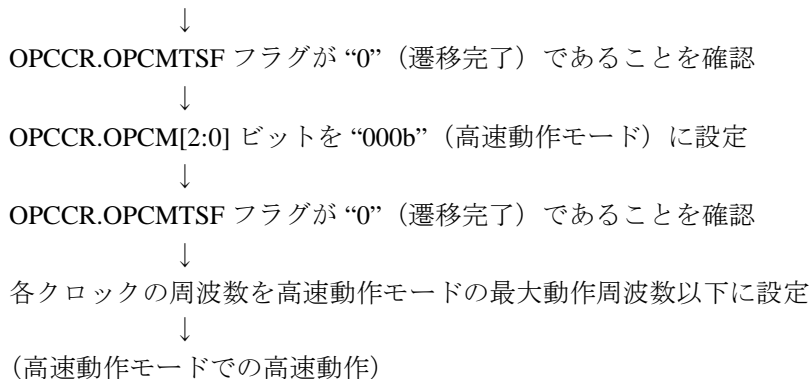


(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 例1：低速動作モードから高速 / 中速動作モードへの切り替え  
(低速動作モードで低速動作)



- 例2：中速動作モードから高速動作モードへの切り替え  
(中速動作モードで中速動作)



## 11.6 低消費電力状態

### 11.6.1 スリープモード

#### 11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注 1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先 (注 2) を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注 3) を、CPU の PSW.IPL[3:0] ビット (注 1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注 3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注 1) は自動的に“1”になります)。

注 1. 詳細は「2. CPU」を参照してください。

注 2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注 3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

### 11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDTC のアンダフローによるリセットによって行われます。

- 割り込みによる解除  
割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合（割り込み優先レベルが（注1）CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、スリープモードは解除されません。
- RES# 端子リセットによる解除  
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除  
パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除  
電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除  
IWDTC のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDTC がカウントを停止する条件（OFS0.IWDTCSTRT = 0 かつ OFS0.IWDTCSLCSTP = 1、または OFS0.IWDTCSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1）では、IWDTC が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

### 11.6.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロック切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.8 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.17 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」または「9.2.18 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)」を参照してください。

## 11.6.2 ディープスリープモード

### 11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します。

ディープスリープモードでは、CPUに加え、DTC、ROM、RAMのクロックも停止します。周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCS1PR.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.SLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ディープスリープモードへ遷移後も、IWDT はカウントを継続します。同様にレジスタスタートモードで使用している場合、IWDTCS1PR.SLCSTP ビットが“0”のときは、ディープスリープモードへ遷移後、IWDT はカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット(注1)を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先(注2)を CPU に設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル(注3)を、CPU の PSW.IPL[3:0] ビット(注1)よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みの IERm.IENn(注3)を“1”にする。
- (5) 最後に書きこみを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行により CPU の PSW.I(注1)は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

### 11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスクされた割り込みが CPU でマスクされている場合（割り込みの優先レベル(注1)が CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合)には、ディープスリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、ディープスリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。

- 独立ウォッチドッグタイマによる解除

IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

### 11.6.3 ソフトウェアスタンバイモード

#### 11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、およびサブクロック発振器以外のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態、サブクロック発振器の状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DTC の DTCST.DTCST ビットを“0”にしてください。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先 (注2) を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注3) を CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

### 11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ7)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、電圧監視、USB、LPT コンペアマッチ (ELC 経由))、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、RTC アラーム、RTC 周期、IWDT、電圧監視、USB、LPT コンペアマッチ (ELC 経由) の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットまたは HOCOWTCR.HSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ

IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

### 11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.6 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がリエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICU)」を参照してください。

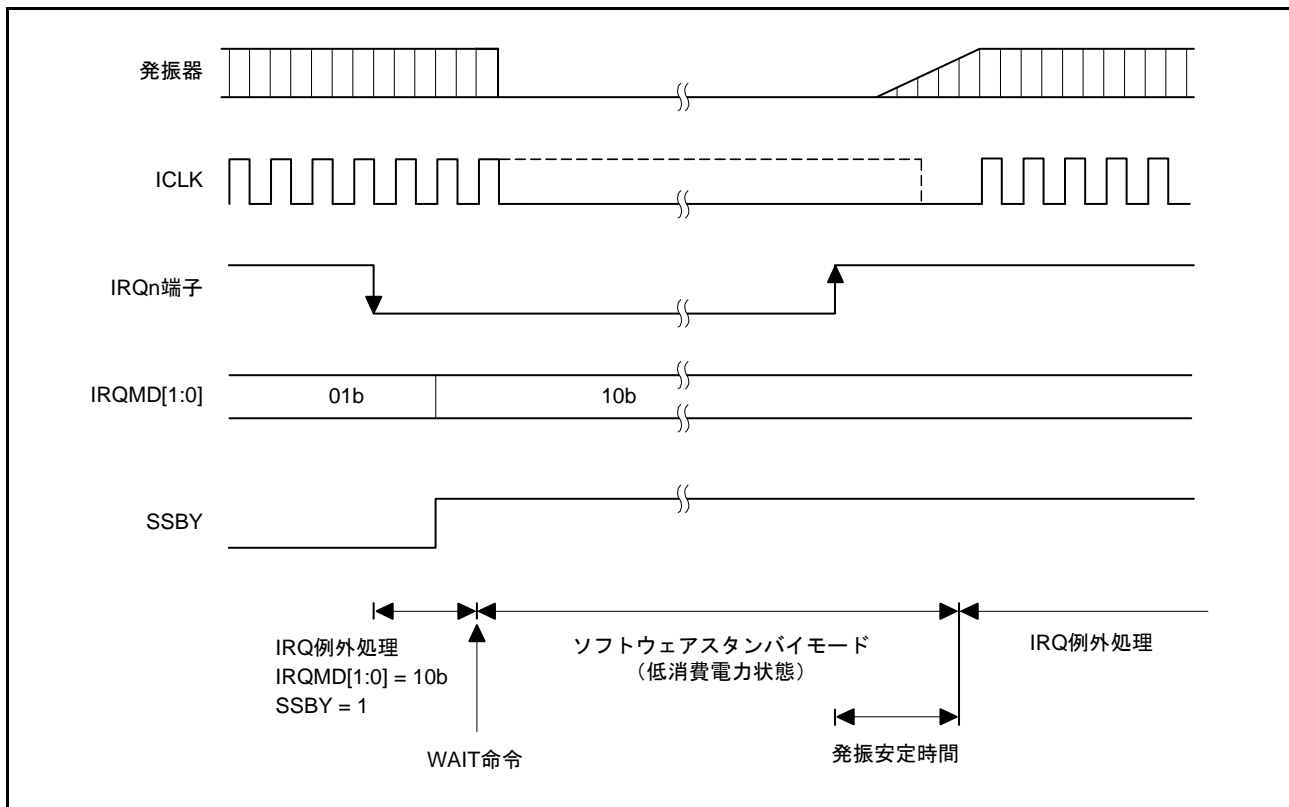


図 11.6 ソフトウェアスタンバイモードの応用例



## 11.7 使用上の注意事項

### 11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

### 11.7.2 DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態にしてください。

詳細は「16. データトランスファコントローラ (DTCa)」を参照してください。

### 11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

### 11.7.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC、および MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

### 11.7.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

### 11.7.6 スリープモード中の DTC によるレジスタの書き換えについて

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DTC によって IWDT 関連のレジスタを書き換えしないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えしないでください。

## 12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

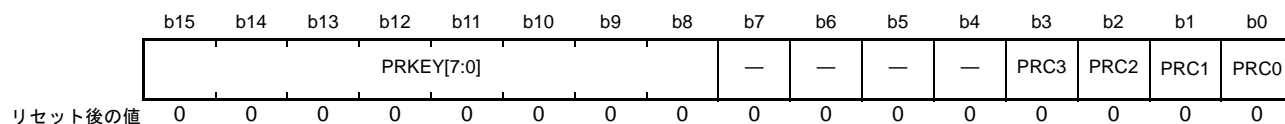
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, OSTDCR, OSTDSR, CKOCR, UPLLCR, UPLLCR2, LCDSCLKCR, LCDSCLKCR2</li> </ul>
PRC1 ビット	<ul style="list-style-type: none"> <li>動作モード関連レジスタ SYSCR1</li> <li>消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, SOPCCR</li> <li>クロック発生回路関連レジスタ MOFCR, MOSCWTCR</li> <li>ソフトウェアリセットレジスタ SWRR</li> </ul>
PRC2 ビット	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ HOCOWTCR</li> <li>ローパワータイマ関連レジスタ LPTCR1, LPTCR2, LPTCR3, LPTPRD, LPCMR0, LPWUCR</li> </ul>
PRC3 ビット	<ul style="list-style-type: none"> <li>LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR</li> </ul>

## 12.1 レジスタの説明

### 12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能関連レジスタ、ソフトウェアリセットレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	ローパワータイマ、クロック発生回路関連レジスタの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCR レジスタの書き換えの可否を制御します。 PRCR レジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

#### PRCi ビット (プロテクトビット i) (i = 0 ~ 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

## 13. 例外処理

### 13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、6 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードに移行します。

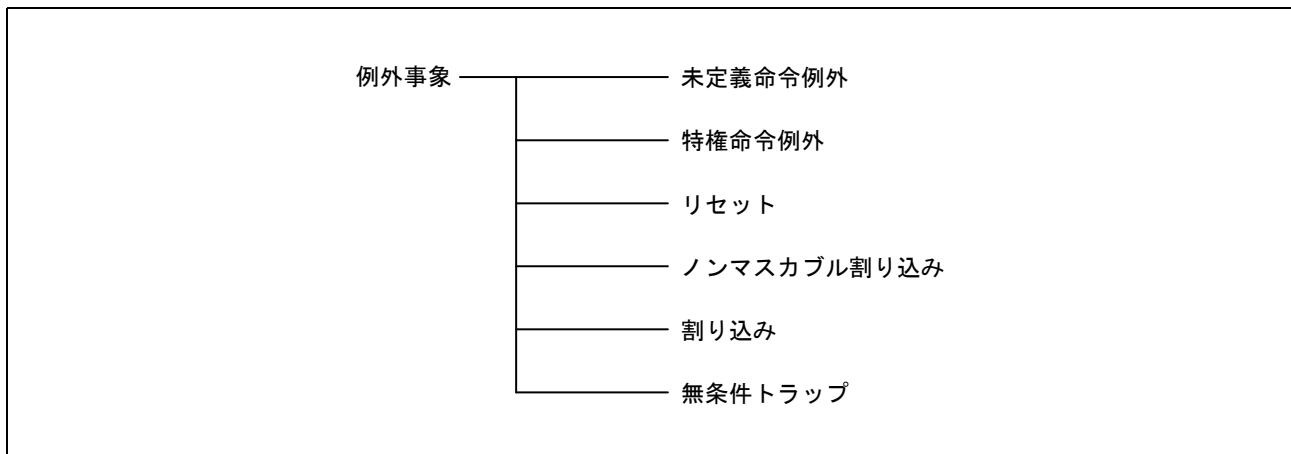


図 13.1 例外事象の種類

### 13.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

### 13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

### 13.1.3 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

### 13.1.4 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

### 13.1.5 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

### 13.1.6 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

### 13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

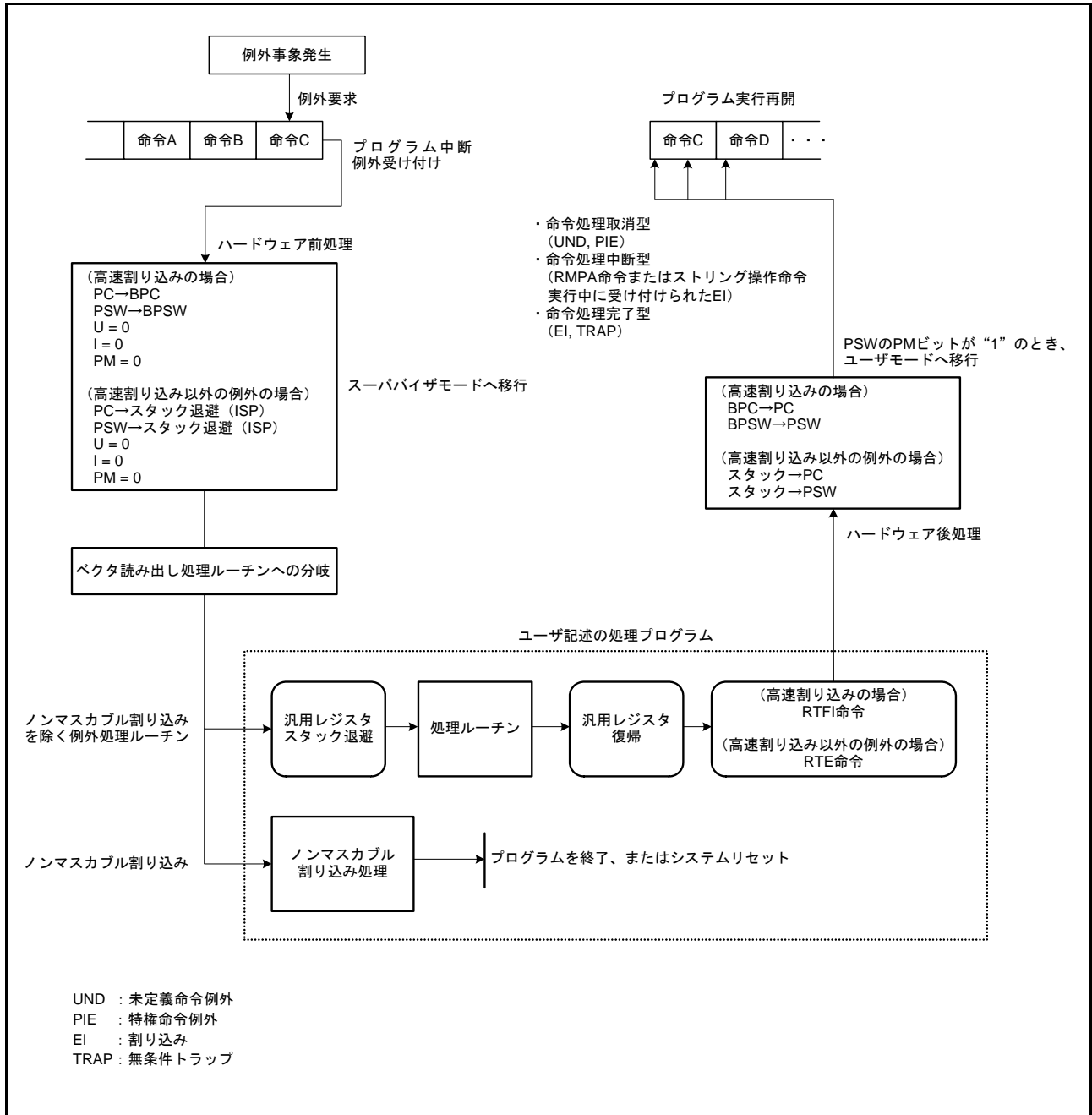


図 13.2 例外の処理手順の概要

例外が受け付けられると、RX CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

### 13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

#### 13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避される PC 値

例外事象		処理型	受け付け タイミング	BPC/スタックに退避される PC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスクابل 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
無条件トラップ		命令処理完了型	命令の区切り	次の命令の PC 値

#### 13.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 13.2 に示します。

表 13.2 ベクタと PC、PSW の退避場所

例外事象		ベクタ	PC、PSW の退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスクابل割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC, BPSW
	高速割り込み以外	可変ベクタテーブル (INTB)	スタック
無条件トラップ		可変ベクタテーブル (INTB)	スタック



## 13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

### (1) 例外受け付け時のハードウェア前処理

#### (a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

#### (b) PSW の PM、U、I ビットの更新

I: 0にする

U: 0にする

PM: 0にする

#### (c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

#### (d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

### (2) RTE 命令、RTFI 命令実行時のハードウェア後処理

#### (a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

#### (b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

## 13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

### 13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFDCh 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

### 13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFD0h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

### 13.5.3 リセット

1. 制御を初期化します。
2. FFFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

### 13.5.4 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
5. FFFFFFF8h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

### 13.5.5 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

### 13.5.6 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

### 13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC, BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

### 13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 未定義命令例外 特権命令例外
	5 無条件トラップ

## 14. 割り込みコントローラ (ICUb)

本章に記載している PCLK とは PCLKB を指します。

### 14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC の起動を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み</li> <li>割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定</li> </ul>
	外部端子割り込み	<ul style="list-style-type: none"> <li>IRQ0～IRQ7端子からの割り込み</li> <li>要因数：8</li> <li>割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能</li> <li>デジタルフィルタ機能：あり</li> </ul>
	ソフトウェア割り込み	<ul style="list-style-type: none"> <li>レジスタ書き込みによる割り込み</li> <li>要因数：1</li> </ul>
	イベントリンク割り込み	ELC イベントより、ELSR18I、ELSR19I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。1 要因にのみ設定
	DTC 制御	割り込み要因により DTC を起動可能 (注1)
ノンマスクابل 割り込み	NMI 端子割り込み	<ul style="list-style-type: none"> <li>NMI 端子からの割り込み</li> <li>割り込み検出：立ち下がりエッジ/立ち上がりエッジ</li> <li>デジタルフィルタ機能：あり</li> </ul>
	発振停止検出割り込み	発振停止検出時の割り込み
	IWDT アンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1 割り込み	電圧検出回路1 (LVD1) の電圧監視割り込み
	電圧監視2 割り込み	電圧検出回路2 (LVD2) の電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> <li>スリープモード、ディープスリープモード：ノンマスクابل割り込み、全割り込み要因で復帰</li> <li>ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ7 割り込み、RTC アラーム/周期割り込みで復帰</li> </ul>	

注1. DTC の起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

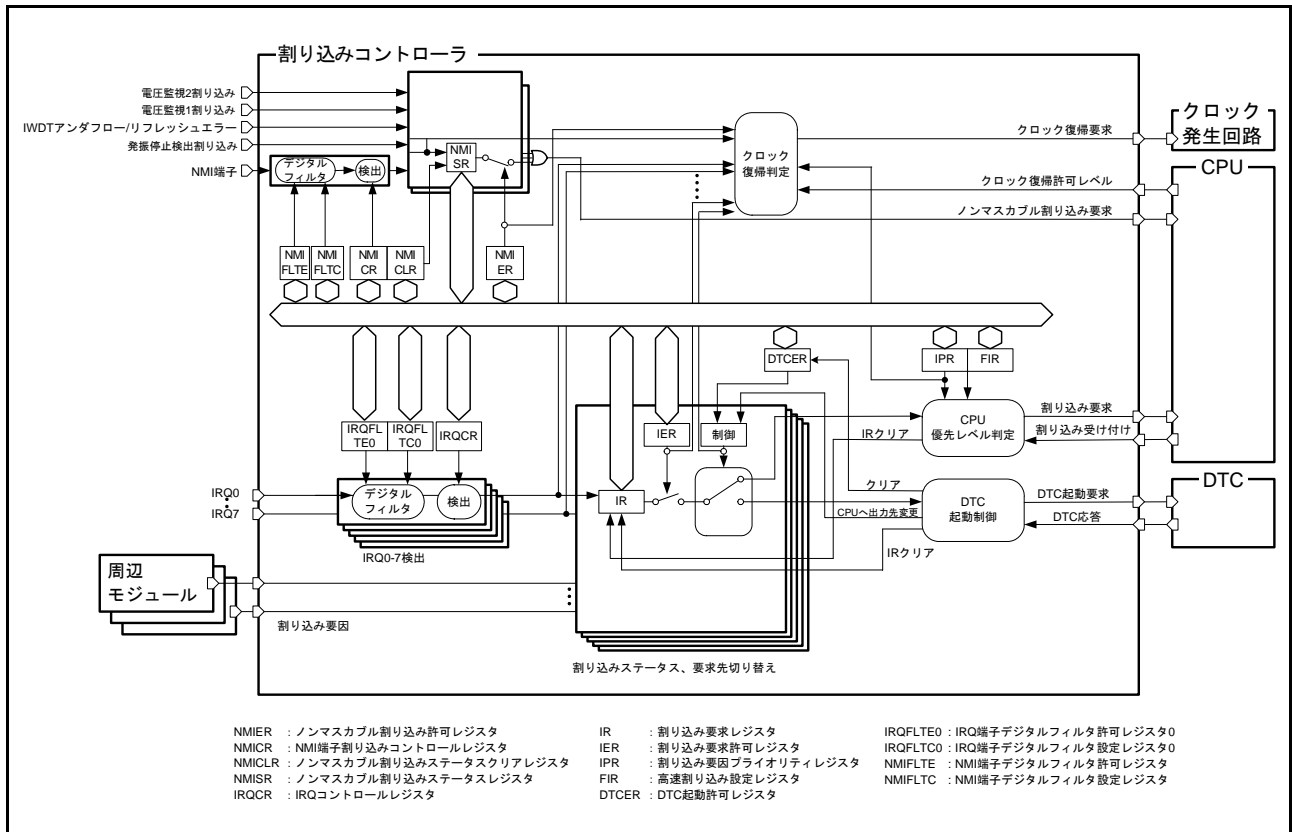


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~IRQ7	入力	外部割り込み要求端子

## 14.2 レジスタの説明

### 14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス 0008 7010h~0008 70F9h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。  
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

#### IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子からの割り込みは、IRQCRI.IRQMD[1:0] ビット (i=0~7) の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

#### (1) エッジ検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC に設定している場合、IR フラグへの“0”書き込みは禁止です。

#### (2) レベル検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

## 14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

**IENj ビット (割り込み要求許可ビット) (j = 7 ~ 0)**

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグは、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

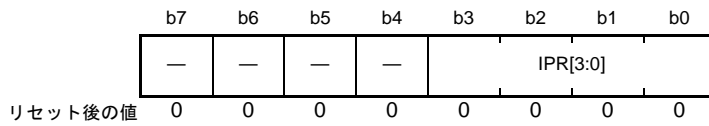
割り込み要因と IERm.IENj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。



## 14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 249)

アドレス 0008 7300h ~ 0008 73F9h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3    b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

**IPR[3:0] ビット (割り込み優先レベル設定ビット)**

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC への起動要求には影響を与えません。

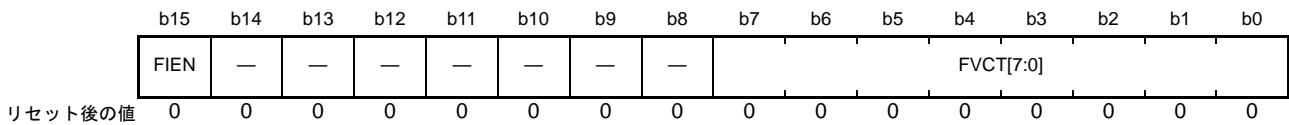
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0) した状態で行ってください。

### 14.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC への起動要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0) した状態で行ってください。

#### FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

#### FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタの設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合については「14.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビット (m = 02h ~ 1Fh, j = 7 ~ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

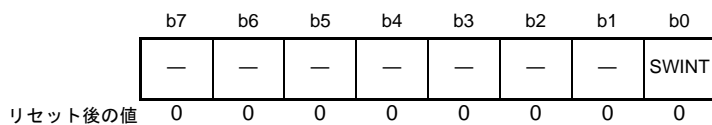
設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

### 14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h



ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

#### SWINT ビット (ソフトウェア割り込み起動ビット)

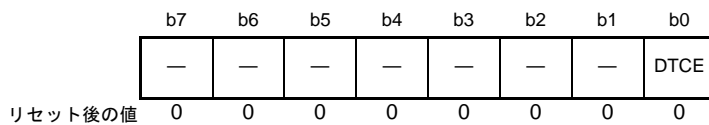
SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 起動許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 起動要求を発行します。

### 14.2.6 DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス 0008 711Bh ~ 0008 71F8h



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC起動許可ビット	0 : DTC 起動禁止 1 : DTC 起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

#### DTCE ビット (DTC 起動許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

["1" になる条件]

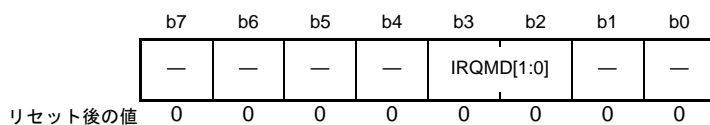
- DTCE ビットに“1”を書いたとき

["0" になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

## 14.2.7 IRQ コントロールレジスタ i (IRQCRI) (i = 0 ~ 7)

アドレス 0008 7500h ~ 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

**IRQMD[1:0] ビット (IRQ 検出設定ビット)**

外部端子割り込み要因 (IRQ0 ~ IRQ7) の検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

## 14.2.8 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス 0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

**FLTEN<sub>i</sub> ビット (IRQ<sub>i</sub> デジタルフィルタ許可ビット) (i = 0 ~ 7)**

外部端子割り込み要因 (IRQ0 ~ IRQ7) のデジタルフィルタの使用を許可するビットです。

FLTEN<sub>i</sub> ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN<sub>i</sub> ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL<sub>i</sub>[1:0] ビットで設定したサンプリングクロックごとに IRQ<sub>i</sub> 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

## 14.2.9 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス 0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

**FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)**

外部端子割り込み要求端子 (IRQ0 ~ IRQ7) のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8クロックに1回)、PCLK/32 (32クロックに1回)、PCLK/64 (64クロックに1回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

## 14.2.10 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2S T	LVD1S T	IWDTS T	—	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1S	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2S	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

**NMIST フラグ (NMI ステータスフラグ)**

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

["1" になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

["0" になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

**OSTST フラグ (発振停止検出割り込みステータスフラグ)**

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

["1" になる条件]

- 発振停止検出割り込みが発生したとき

["0" になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき



**IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)**

IWDT アンダフロー/リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

**LVD1ST フラグ (電圧監視 1 割り込みステータス フラグ)**

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

**LVD2ST フラグ (電圧監視 2 割り込みステータス フラグ)**

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

## 14.2.11 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2E N	LVD1E N	IWDTE N	—	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0: NMI端子割り込み禁止 1: NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0: 発振停止検出割り込み禁止 1: 発振停止検出割り込み許可	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/(W)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0: IWDTアンダフロー/リフレッシュエラー割り込み禁止 1: IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0: 電圧監視1割り込み禁止 1: 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0: 電圧監視2割り込み禁止 1: 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

**NMIEN ビット (NMI 端子割り込み許可ビット)**

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

**OSTEN ビット (発振停止検出割り込み許可ビット)**

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

**IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)**

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

**LVD1EN ビット (電圧監視1割り込み許可ビット)**

電圧監視1割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

**LVD2EN ビット (電圧監視2割り込み許可ビット)**

電圧監視2割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

## 14.2.12 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	—	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/(W)
b3	IWDTCCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

**NMICLR ビット (NMI クリアビット)**

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

**OSTCLR ビット (OST クリアビット)**

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

**IWDTCCLR ビット (IWDT クリアビット)**

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

**LVD1CLR ビット (LVD1 クリアビット)**

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

**LVD2CLR ビット (LVD2 クリアビット)**

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

## 14.2.13 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

**NMIMD ビット (NMI 検出設定ビット)**

NMI 端子割り込みの検出方法を設定します。

## 14.2.14 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**NFLTEN ビット (NMI デジタルフィルタ許可ビット)**

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

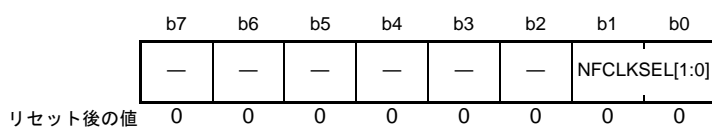
NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

## 14.2.15 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス 0008 7594h



ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)**

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

### 14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

#### 14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ (INTB) に設定した番地から、1024バイト (4バイト × 256要因分) の領域に連続に配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタに4の倍数を設定してください。

なお、INT命令、およびBRK命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表14.3の割り込みのベクタテーブルと同じ領域を利用します。BRK命令はベクタ番号0のみ、INT命令は指定した番号 (0 ~ 255) のベクタとなります。

表14.3に割り込みのベクタテーブルを示します。表14.3の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
ssstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1/6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	無条件 トラップ専用	0	0000h	—	×	×	×	—	—	—
—	無条件 トラップ専用	1	0004h	—	×	×	×	—	—	—
—	無条件 トラップ専用	2	0008h	—	×	×	×	—	—	—
—	無条件 トラップ専用	3	000Ch	—	×	×	×	—	—	—
—	無条件 トラップ専用	4	0010h	—	×	×	×	—	—	—
—	無条件 トラップ専用	5	0014h	—	×	×	×	—	—	—
—	無条件 トラップ専用	6	0018h	—	×	×	×	—	—	—
—	無条件 トラップ専用	7	001Ch	—	×	×	×	—	—	—
—	無条件 トラップ専用	8	0020h	—	×	×	×	—	—	—
—	無条件 トラップ専用	9	0024h	—	×	×	×	—	—	—
—	無条件 トラップ専用	10	0028h	—	×	×	×	—	—	—
—	無条件 トラップ専用	11	002Ch	—	×	×	×	—	—	—
—	無条件 トラップ専用	12	0030h	—	×	×	×	—	—	—
—	無条件 トラップ専用	13	0034h	—	×	×	×	—	—	—
—	無条件 トラップ専用	14	0038h	—	×	×	×	—	—	—
—	無条件 トラップ専用	15	003Ch	—	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	×	×	×	—	—	—
—	予約	18	0048h	—	×	×	×	—	—	—
—	予約	19	004Ch	—	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	—	—	—
—	予約	21	0054h	—	×	×	×	—	—	—
—	予約	22	0058h	—	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	—	—	—
—	予約	26	0068h	—	×	×	×	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	×	IER03.IEN3	IPR003	DTCER027
CMT0	CMIO	28	0070h	エッジ	○	○	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	×	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	×	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	×	IER03.IEN7	IPR007	DTCER031
CAC	FERRF	32	0080h	レベル	○	×	×	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	×	×	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	×	×	IER04.IEN2	IPR034	—

表 14.3 割り込みのベクタテーブル (2/6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	予約	35	008Ch	—	×	×	×	—	—	—
USB0	D0FIFO0	36	0090h	エッジ	○	○	×	IER04.IEN4	IPR036	DTCER036
	D1FIFO0	37	0094h	エッジ	○	○	×	IER04.IEN5	IPR037	DTCER037
	USBIO	38	0098h	エッジ	○	×	×	IER04.IEN6	IPR038	—
—	予約	39	009Ch	—	×	×	×	—	—	—
—	予約	40	00A0h	—	×	×	×	—	—	—
—	予約	41	00A4h	—	×	×	×	—	—	—
—	予約	42	00A8h	—	×	×	×	—	—	—
—	予約	43	00ACh	—	×	×	×	—	—	—
RSPiO	SPEiO	44	00B0h	レベル	○	×	×	IER05.IEN4	IPR044	—
	SPRiO	45	00B4h	エッジ	○	○	×	IER05.IEN5		DTCER045
	SPTiO	46	00B8h	エッジ	○	○	×	IER05.IEN6		DTCER046
	SPiIO	47	00BCh	レベル	○	×	×	IER05.IEN7		—
—	予約	48	00C0h	—	×	×	×	—	—	—
—	予約	49	00C4h	—	×	×	×	—	—	—
—	予約	50	00C8h	—	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	—	—	—
—	予約	52	00D0h	—	×	×	×	—	—	—
—	予約	53	00D4h	—	×	×	×	—	—	—
—	予約	54	00D8h	—	×	×	×	—	—	—
—	予約	55	00DCh	—	×	×	×	—	—	—
—	予約	56	00E0h	—	×	×	×	—	—	—
DOC	DOPCF	57	00E4h	レベル	○	×	×	IER07.IEN1	IPR057	—
CMPB	CMPB0	58	00E8h	エッジ	○	○	×	IER07.IEN2	IPR058	DTCER058
	CMPB1	59	00ECh	エッジ	○	○	×	IER07.IEN3	IPR059	DTCER059
CTSU	CTSUWR	60	00F0h	エッジ	○	○	×	IER07.IEN4	IPR060	DTCER060
	CTSURD	61	00F4h	エッジ	○	○	×	IER07.IEN5		DTCER061
	CTSUFN	62	00F8h	エッジ	○	×	×	IER07.IEN6		—
RTC	CUP	63	00FCh	エッジ	○	×	×	IER07.IEN7	IPR063	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	○	IER08.IEN7	IPR071	DTCER071
—	予約	72	0120h	—	×	×	×	—	—	—
—	予約	73	0124h	—	×	×	×	—	—	—
—	予約	74	0128h	—	×	×	×	—	—	—
—	予約	75	012Ch	—	×	×	×	—	—	—
—	予約	76	0130h	—	×	×	×	—	—	—
—	予約	77	0134h	—	×	×	×	—	—	—
—	予約	78	0138h	—	×	×	×	—	—	—
—	予約	79	013Ch	—	×	×	×	—	—	—
ELC	ELSR19I	80	0140h	エッジ	○	×	○	IER0A.IEN0	IPR080	—



表 14.3 割り込みのベクタテーブル (3/6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	予約	81	0144h	—	x	x	x	—	—	—
—	予約	82	0148h	—	x	x	x	—	—	—
—	予約	83	014Ch	—	x	x	x	—	—	—
—	予約	84	0150h	—	x	x	x	—	—	—
—	予約	85	0154h	—	x	x	x	—	—	—
—	予約	86	0158h	—	x	x	x	—	—	—
—	予約	87	015Ch	—	x	x	x	—	—	—
LVD	LVD1	88	0160h	エッジ	○	x	○	IER0B.IEN0	IPR088	—
	LVD2	89	0164h	エッジ	○	x	○	IER0B.IEN1	IPR089	—
USB0	USB0	90	0168h	レベル	○	x	○	IER0B.IEN2	IPR090	—
—	予約	91	016Ch	—	x	x	x	—	—	—
RTC	ALM	92	0170h	エッジ	○	x	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	x	○	IER0B.IEN5	IPR093	—
—	予約	94	0178h	—	x	x	x	—	—	—
—	予約	95	017Ch	—	x	x	x	—	—	—
—	予約	96	0180h	—	x	x	x	—	—	—
—	予約	97	0184h	—	x	x	x	—	—	—
—	予約	98	0188h	—	x	x	x	—	—	—
—	予約	99	018Ch	—	x	x	x	—	—	—
—	予約	100	0190h	—	x	x	x	—	—	—
—	予約	101	0194h	—	x	x	x	—	—	—
S12AD	S12ADIO	102	0198h	エッジ	○	○	x	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	x	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	x	x	x	—	—	—
—	予約	105	01A4h	—	x	x	x	—	—	—
ELC	ELSR18I	106	01A8h	エッジ	○	○	x	IER0D.IEN2	IPR106	DTCER106
—	予約	107	01ACh	—	x	x	x	—	—	—
SSIO	SSIF0	108	01B0h	レベル	○	x	x	IER0D.IEN4	IPR108	—
	SSIRXIO	109	01B4h	エッジ	○	○	x	IER0D.IEN5		DTCER109
	SSITXIO	110	01B8h	エッジ	○	○	x	IER0D.IEN6		DTCER110
—	予約	111	01BCh	—	x	x	x	—	—	—
—	予約	112	01C0h	—	x	x	x	—	—	—
—	予約	113	01C4h	—	x	x	x	—	—	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	x	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	x	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	x	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	x	IER0E.IEN5		DTCER117
	TCIV0	118	01D8h	エッジ	○	x	x	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	x	x	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	x	x	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	x	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	x	IER0F.IEN2		DTCER122
	TCIV1	123	01ECh	エッジ	○	x	x	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	x	x	IER0F.IEN4		—

表 14.3 割り込みのベクタテーブル (4/6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
MTU2	TGIA2	125	01F4h	エッジ	○	○	×	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	×	IER0F.IEN6		DTCER126
	TCIV2	127	01FCh	エッジ	○	×	×	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	×	×	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	×	IER10.IEN1	IPR129	DTCER129
	TGIB3	130	0208h	エッジ	○	○	×	IER10.IEN2		DTCER130
	TGIC3	131	020Ch	エッジ	○	○	×	IER10.IEN3		DTCER131
	TGID3	132	0210h	エッジ	○	○	×	IER10.IEN4		DTCER132
	TCIV3	133	0214h	エッジ	○	×	×	IER10.IEN5	IPR133	—
MTU4	TGIA4	134	0218h	エッジ	○	○	×	IER10.IEN6	IPR134	DTCER134
	TGIB4	135	021Ch	エッジ	○	○	×	IER10.IEN7		DTCER135
	TGIC4	136	0220h	エッジ	○	○	×	IER11.IEN0		DTCER136
	TGID4	137	0224h	エッジ	○	○	×	IER11.IEN1		DTCER137
	TCIV4	138	0228h	エッジ	○	○	×	IER11.IEN2	IPR138	DTCER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	IER11.IEN3	IPR139	DTCER139
	TGIV5	140	0230h	エッジ	○	○	×	IER11.IEN4		DTCER140
	TGIW5	141	0234h	エッジ	○	○	×	IER11.IEN5		DTCER141
—	予約	142	0238h	—	×	×	×	—	—	—
—	予約	143	023Ch	—	×	×	×	—	—	—
—	予約	144	0240h	—	×	×	×	—	—	—
—	予約	145	0244h	—	×	×	×	—	—	—
—	予約	146	0248h	—	×	×	×	—	—	—
—	予約	147	024Ch	—	×	×	×	—	—	—
—	予約	148	0250h	—	×	×	×	—	—	—
—	予約	149	0254h	—	×	×	×	—	—	—
—	予約	150	0258h	—	×	×	×	—	—	—
—	予約	151	025Ch	—	×	×	×	—	—	—
—	予約	152	0260h	—	×	×	×	—	—	—
—	予約	153	0264h	—	×	×	×	—	—	—
—	予約	154	0268h	—	×	×	×	—	—	—
—	予約	155	026Ch	—	×	×	×	—	—	—
—	予約	156	0270h	—	×	×	×	—	—	—
—	予約	157	0274h	—	×	×	×	—	—	—
—	予約	158	0278h	—	×	×	×	—	—	—
—	予約	159	027Ch	—	×	×	×	—	—	—
—	予約	160	0280h	—	×	×	×	—	—	—
—	予約	161	0284h	—	×	×	×	—	—	—
—	予約	162	0288h	—	×	×	×	—	—	—
—	予約	163	028Ch	—	×	×	×	—	—	—
—	予約	164	0290h	—	×	×	×	—	—	—
—	予約	165	0294h	—	×	×	×	—	—	—
—	予約	166	0298h	—	×	×	×	—	—	—
—	予約	167	029Ch	—	×	×	×	—	—	—
—	予約	168	02A0h	—	×	×	×	—	—	—
—	予約	169	02A4h	—	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (5/6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
POE	OEI1	170	02A8h	レベル	○	×	×	IER15.IEN2	IPR170	—
	OEI2	171	02ACh	レベル	○	×	×	IER15.IEN3	IPR171	—
—	予約	172	02B0h	—	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	×	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	×	×	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	IER16.IEN1	IPR177	DTCER177
	CMIB1	178	02C8h	エッジ	○	○	×	IER16.IEN2		DTCER178
	OVI1	179	02CCh	エッジ	○	×	×	IER16.IEN3		—
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	IER16.IEN4	IPR180	DTCER180
	CMIB2	181	02D4h	エッジ	○	○	×	IER16.IEN5		DTCER181
	OVI2	182	02D8h	エッジ	○	×	×	IER16.IEN6		—
TMR3	CMIA3	183	02DCh	エッジ	○	○	×	IER16.IEN7	IPR183	DTCER183
	CMIB3	184	02E0h	エッジ	○	○	×	IER17.IEN0		DTCER184
	OVI3	185	02E4h	エッジ	○	×	×	IER17.IEN1		—
SCI2	ERI2	186	02E8h	レベル	○	×	×	IER17.IEN2	IPR186	—
	RXI2	187	02ECh	エッジ	○	○	×	IER17.IEN3		DTCER187
	TXI2	188	02F0h	エッジ	○	○	×	IER17.IEN4		DTCER188
	TEI2	189	02F4h	レベル	○	×	×	IER17.IEN5		—
—	予約	190	02F8h	—	×	×	×	—	—	—
—	予約	191	02FCh	—	×	×	×	—	—	—
—	予約	192	0300h	—	×	×	×	—	—	—
—	予約	193	0304h	—	×	×	×	—	—	—
—	予約	194	0308h	—	×	×	×	—	—	—
—	予約	195	030Ch	—	×	×	×	—	—	—
—	予約	196	0310h	—	×	×	×	—	—	—
—	予約	197	0314h	—	×	×	×	—	—	—
—	予約	198	0318h	—	×	×	×	—	—	—
—	予約	199	031Ch	—	×	×	×	—	—	—
—	予約	200	0320h	—	×	×	×	—	—	—
—	予約	201	0324h	—	×	×	×	—	—	—
—	予約	202	0328h	—	×	×	×	—	—	—
—	予約	203	032Ch	—	×	×	×	—	—	—
—	予約	204	0330h	—	×	×	×	—	—	—
—	予約	205	0334h	—	×	×	×	—	—	—
—	予約	206	0338h	—	×	×	×	—	—	—
—	予約	207	033Ch	—	×	×	×	—	—	—
—	予約	208	0340h	—	×	×	×	—	—	—
—	予約	209	0344h	—	×	×	×	—	—	—
—	予約	210	0348h	—	×	×	×	—	—	—
—	予約	211	034Ch	—	×	×	×	—	—	—
—	予約	212	0350h	—	×	×	×	—	—	—
—	予約	213	0354h	—	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (6/6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
SCI0	ERI0	214	0358h	レベル	○	×	×	IER1A.IEN6	IPR214	—
	RX10	215	035Ch	エッジ	○	○	×	IER1A.IEN7		DTCER215
	TX10	216	0360h	エッジ	○	○	×	IER1B.IEN0		DTCER216
	TE10	217	0364h	レベル	○	×	×	IER1B.IEN1		—
SCI1	ERI1	218	0368h	レベル	○	×	×	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	×	IER1B.IEN3		DTCER219
	TX11	220	0370h	エッジ	○	○	×	IER1B.IEN4		DTCER220
	TE11	221	0374h	レベル	○	×	×	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	×	×	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	×	IER1B.IEN7		DTCER223
	TX15	224	0380h	エッジ	○	○	×	IER1C.IEN0		DTCER224
	TE15	225	0384h	レベル	○	×	×	IER1C.IEN1		—
SCI6	ERI6	226	0388h	レベル	○	×	×	IER1C.IEN2	IPR226	—
	RX16	227	038Ch	エッジ	○	○	×	IER1C.IEN3		DTCER227
	TX16	228	0390h	エッジ	○	○	×	IER1C.IEN4		DTCER228
	TE16	229	0394h	レベル	○	×	×	IER1C.IEN5		—
SCI8	ERI8	230	0398h	レベル	○	×	×	IER1C.IEN6	IPR230	—
	RX18	231	039Ch	エッジ	○	○	×	IER1C.IEN7		DTCER231
	TX18	232	03A0h	エッジ	○	○	×	IER1D.IEN0		DTCER232
	TE18	233	03A4h	レベル	○	×	×	IER1D.IEN1		—
SCI9	ERI9	234	03A8h	レベル	○	×	×	IER1D.IEN2	IPR234	—
	RX19	235	03ACh	エッジ	○	○	×	IER1D.IEN3		DTCER235
	TX19	236	03B0h	エッジ	○	○	×	IER1D.IEN4		DTCER236
	TE19	237	03B4h	レベル	○	×	×	IER1D.IEN5		—
SCI12	ERI12	238	03B8h	レベル	○	×	×	IER1D.IEN6	IPR238	—
	RX112	239	03BCh	エッジ	○	○	×	IER1D.IEN7		DTCER239
	TX112	240	03C0h	エッジ	○	○	×	IER1E.IEN0		DTCER240
	TE112	241	03C4h	レベル	○	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	×	×	IER1E.IEN6	IPR246	—
	RX10	247	03DCh	エッジ	○	○	×	IER1E.IEN7	IPR247	DTCER247
	TX10	248	03E0h	エッジ	○	○	×	IER1F.IEN0	IPR248	DTCER248
	TE10	249	03E4h	レベル	○	×	×	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	×	×	×	—	—	—
—	予約	251	03ECh	—	×	×	×	—	—	—
—	予約	252	03F0h	—	×	×	×	—	—	—
—	予約	253	03F4h	—	×	×	×	—	—	—
—	予約	254	03F8h	—	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

### 14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPU の高速割り込みベクタレジスタ (FINTV) です。

### 14.3.3 ノンマスカブル割り込みのベクタテーブル

ノンマスカブル割り込みのベクタ領域は“FFFF FFF8h”です。

## 14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動) の選択
- 割り込み優先順位判定

### 14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ<sub>i</sub> 端子 (i=0~7) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

#### 14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR<sub>n</sub>.IR フラグの動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR<sub>n</sub>.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR<sub>n</sub>.IR フラグは自動的に“0”になります。割り込み要求先が DTC の場合は、DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DTC 起動時の動作」を参照してください。ソフトウェアで IR<sub>n</sub>.IR フラグをクリアする必要はありません。

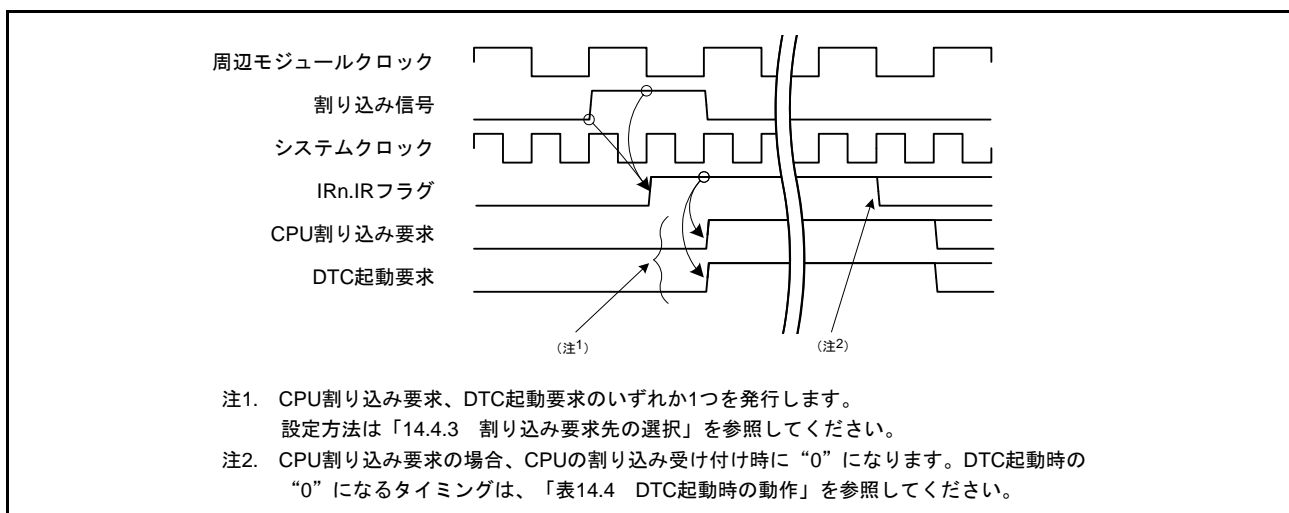


図 14.2 エッジ検出の IR<sub>n</sub>.IR フラグの動作

図 14.3 ~ 図 14.5 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ~ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ~ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注1) IRn.IR フラグの再セットのタイミングを図 14.3 に示します。

注 1. ただし、SCI、RSPI、RIIC、SSI の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「28. シリアルコミュニケーションインタフェース (SCle, SCIf)」、「30. I<sup>2</sup>C バスインタフェース (RIIC)」、「32. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

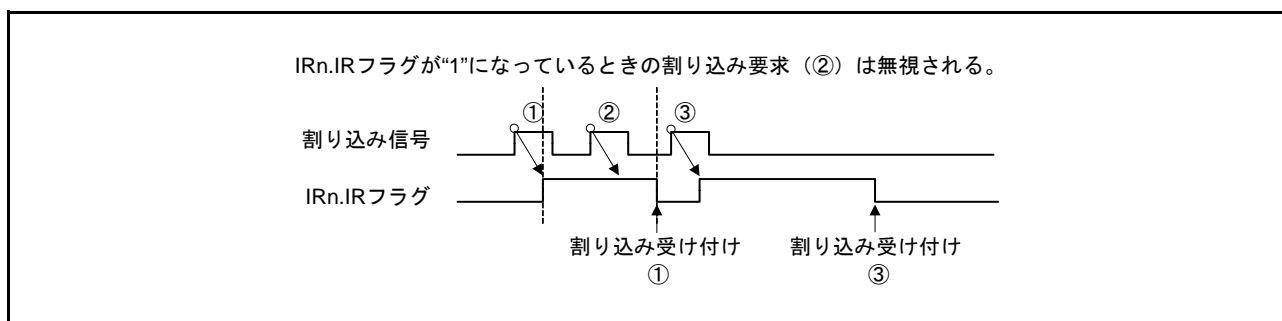


図 14.3 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.4 に示します。

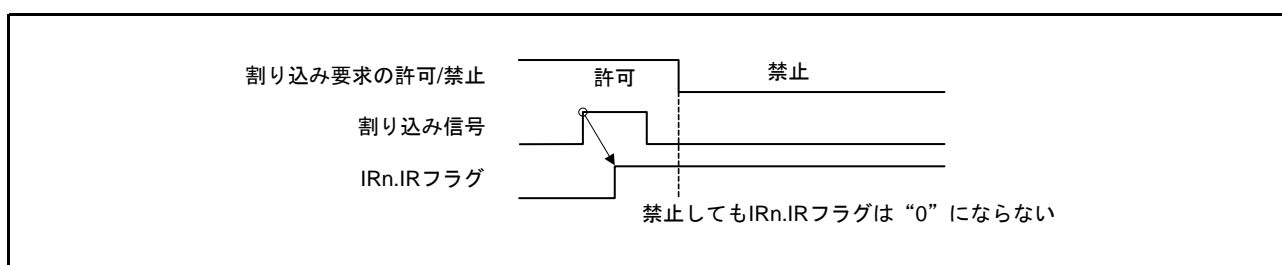


図 14.4 割り込み要求の禁止と IRn.IR フラグの関係

### 14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRn.IR フラグの動作を図 14.5 に示します。

割り込み信号がアサートされている間、IRn.IR フラグを“1”にし続けます。IRn.IR フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および IRn.IR フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

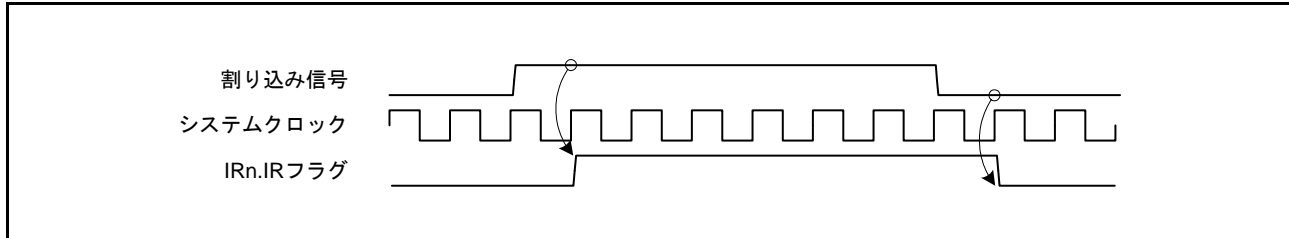


図 14.5 レベル検出時の IRn.IR フラグの動作

レベル検出割り込みの処理手順を図 14.6 に示します。

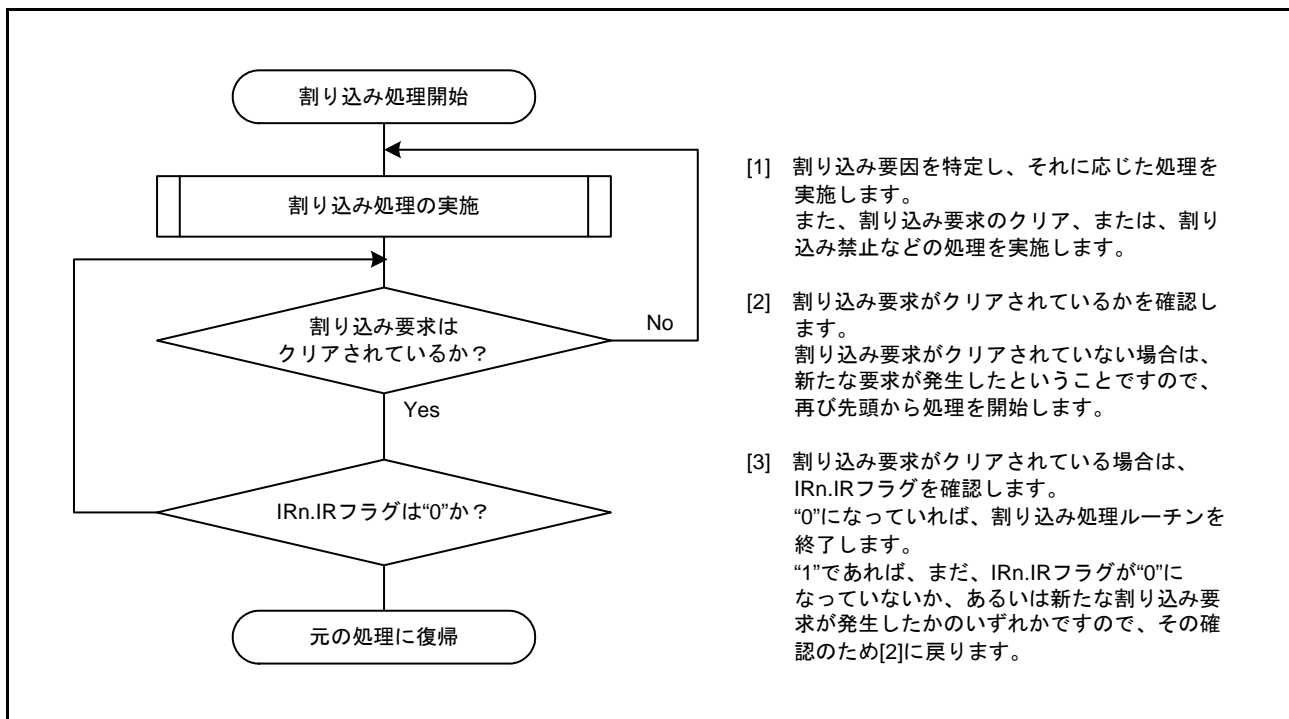


図 14.6 レベル検出割り込み処理手順

### 14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグが“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「28. シリアルコミュニケーションインタフェース (SCIE, SCIf)」、「30. I<sup>2</sup>C バスインタフェース (RIIC)」、「32. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

### 14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ 端子で DTC を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

#### (1) DTC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット (DTCERn.DTCE) を“1”に設定する

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を“1”にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「16. データトランスファコントローラ (DTCa)」の「16.5 DTC の設定手順」を参照してください。

#### (2) CPU 割り込み要求

割り込み要求先が DTC でない要因は、CPU 割り込み対象となります。

上記の DTC 起動の設定がされていない状態で、IERm.IENj ビットを“1”にしてください。

DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。



表 14.4 DTC 起動時の動作

割り込み要求先	DISEL	残り転送回数	1要求ごとの動作	IR (注1)	転送後の割り込み要求先
DTC (注2)	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後のDTCデータ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされCPUに切り替え

DTC の DISEL は DTC.MRB.DISEL ビットで設定します。

注1. IRn.IRフラグが“1”のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注2. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IRフラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「16. データトランスファコントローラ (DTCa)」の「表 16.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが“0”のときに行ってください。

「(1) DTC 起動」を設定してから転送が完了していない状態 (DTCERn.DTCE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DTC 起動」の設定を行う。

#### 14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

##### (1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0]) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

##### (2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

#### 14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1” (割り込み許可) にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

### 14.4.6 高速割り込み

高速割り込みは、CPUの割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの1つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、`IPRn.IPR[3:0]` ビットの設定にかかわらず、15（最高）です。また、他のレベル15の割り込み要因よりも優先的に受け付けられます。ただし、`PSW.IPL[3:0]` ビットの値が“1111b”（優先レベル15）の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、`FIR.FVCT[7:0]` ビットにその要因のベクタ番号を設定し、`FIR.FIEN` ビットを“1”（高速割り込みを許可）にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

### 14.4.7 デジタルフィルタ

外部割り込み要求端子 `IRQi` ( $i=0\sim 7$ ) と `NMI` 端子割り込みには、デジタルフィルタ機能を持っています。

デジタルフィルタは入力信号をフィルタ用サンプリングクロック (`PCLK`) でサンプリングし、サンプリング周期3回に満たないパルスを除去します。

`IRQi` 端子のデジタルフィルタを使用する場合、`IRQFLTC0.FCLKSELi[1:0]` ビット ( $i=0\sim 7$ ) でサンプリング周波数 (`PCLK`, `PCLK/8`, `PCLK/32`, `PCLK/64`) を設定し、`IRQFLTE0.FLTENi` ビットを“1”（デジタルフィルタ有効）にしてください。

`NMI` 端子割り込みのデジタルフィルタを使用する場合、`NMIFLTC.NFCLKSEL[1:0]` ビットでサンプリング周波数 (`PCLK`, `PCLK/8`, `PCLK/32`, `PCLK/64`) を設定し、`NMIFLTC.NFLTEN` ビットを“1”（デジタルフィルタ有効）にしてください。

図14.7にデジタルフィルタの動作例を示します。

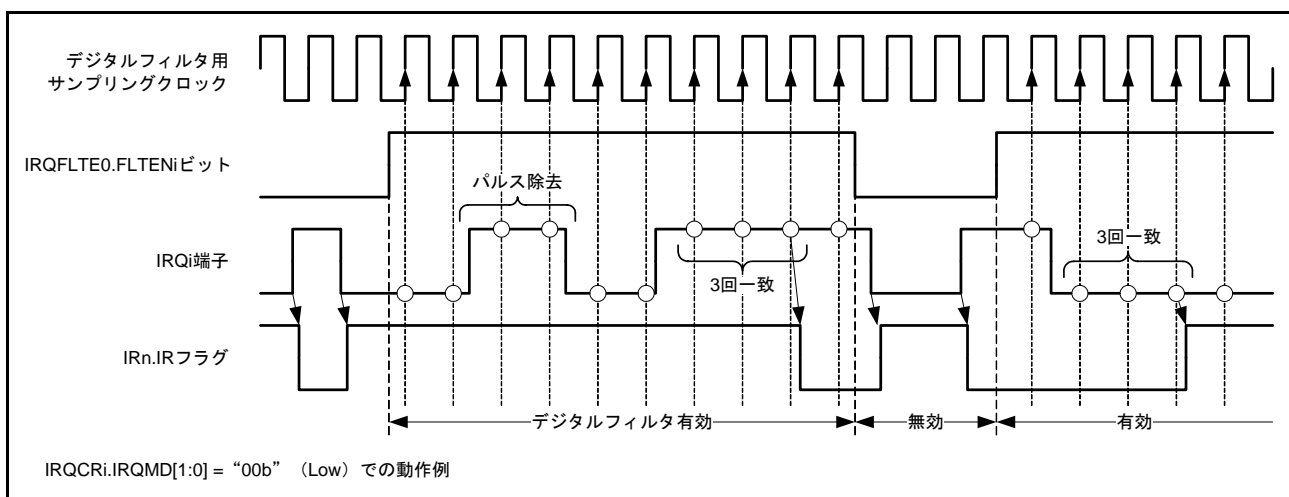


図 14.7 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、`IRQFLTE0.FLTENi` ビット、および `NMIFLTC.NFLTEN` ビットを“0”（デジタルフィルタ無効）にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、`IRQFLTE0.FLTENi` ビット、もしくは `NMIFLTC.NFLTEN` ビットを“1”（デジタルフィルタ有効）にしてください。

#### 14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビットを“0” (割り込み要求禁止) にする。
2. IRQFLTE0.FLTENi ビット (i = 0 ~ 7) を“0” (デジタルフィルタ無効) にする。
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグを“0”にする (エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを“1” (デジタルフィルタ有効) にする。
8. DTC 起動の場合 DTCERn.DTCE ビットを設定する (設定しない場合は CPU 割り込み)。
9. IERm.IENj ビットを“1” (割り込み要求許可) にする。

## 14.5 ノンマスカブル割り込みの動作説明

ノンマスカブル割り込みにはNMI端子割り込み、発振停止検出割り込み、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込みがあります。ノンマスカブル割り込みはCPUへの割り込みのみであり、DTCの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスカブル割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスカブル割り込みの有無はノンマスカブル割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスカブル割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してください。

初期状態では「ノンマスカブル割り込み禁止」となっています。ノンマスカブル割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスカブル割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“0”(デジタルフィルタ無効)にする。
3. NMI端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子割り込みの検出方法を設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“1”(デジタルフィルタ有効)にする。
7. ノンマスカブル割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスカブル割り込みの使用を許可する。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスカブル割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスカブル割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

## 14.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 14.3 割り込みのベクタテーブル」に示します。

詳細は「11. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

### 14.6.1 スリープモードおよびディープスリープモードからの復帰

ノンマスクابل割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
  - (1) 割り込み要求先が CPU であること
  - (2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
  - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスクابل割り込み
  - NMIER レジスタによって該当する割り込み要求が許可されていること

### 14.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
  - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
  - (2) 割り込み要求先が CPU であること
  - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
  - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること  
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスクابل割り込み
  - NMIER レジスタによって該当する割り込み要求が許可されていること
- ソフトウェアスタンバイモードへの移行/復帰の手順
  - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0.FLTENi ビットを“0”、NMIFLTE.NFLTEN ビットを“0”) にしてください。
  - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0.FLTENi ビットを“1”、NMIFLTE.NFLTEN ビットを“1”) にしてください。

## 14.7 使用上の注意事項

### 14.7.1 ノンマスクابل割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

## 15. バス

### 15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> <li>• CPU (命令) を接続</li> <li>• 内蔵メモリを接続 (RAM, ROM)</li> <li>• システムクロック (ICLK) に同期して動作</li> </ul>
	オペランドバス	<ul style="list-style-type: none"> <li>• CPU (オペランド) を接続</li> <li>• 内蔵メモリを接続 (RAM, ROM)</li> <li>• システムクロック (ICLK) に同期して動作</li> </ul>
メモリバス	メモリバス1	<ul style="list-style-type: none"> <li>• RAMを接続</li> </ul>
	メモリバス2	<ul style="list-style-type: none"> <li>• ROMを接続</li> </ul>
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> <li>• CPUを接続</li> <li>• システムクロック (ICLK) に同期して動作</li> </ul>
	内部メインバス2	<ul style="list-style-type: none"> <li>• DTCを接続</li> <li>• 内蔵メモリを接続 (RAM, ROM)</li> <li>• システムクロック (ICLK) に同期して動作</li> </ul>
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> <li>• 周辺機能 (DTC、割り込みコントローラ、バスエラー監視部) を接続</li> <li>• システムクロック (ICLK) に同期して動作</li> </ul>
	内部周辺バス2	<ul style="list-style-type: none"> <li>• 周辺機能を接続</li> <li>• 周辺モジュールクロック (PCLKB) に同期して動作</li> </ul>
	内部周辺バス3	<ul style="list-style-type: none"> <li>• 周辺機能 (USB) を接続</li> <li>• 周辺モジュールクロック (PCLKB) に同期して動作</li> </ul>
	内部周辺バス6	<ul style="list-style-type: none"> <li>• ROM (P/E時)、E2データフラッシュを接続</li> <li>• FlashIFクロック (FCLK) に同期して動作</li> </ul>

P/E : プログラム / イレース

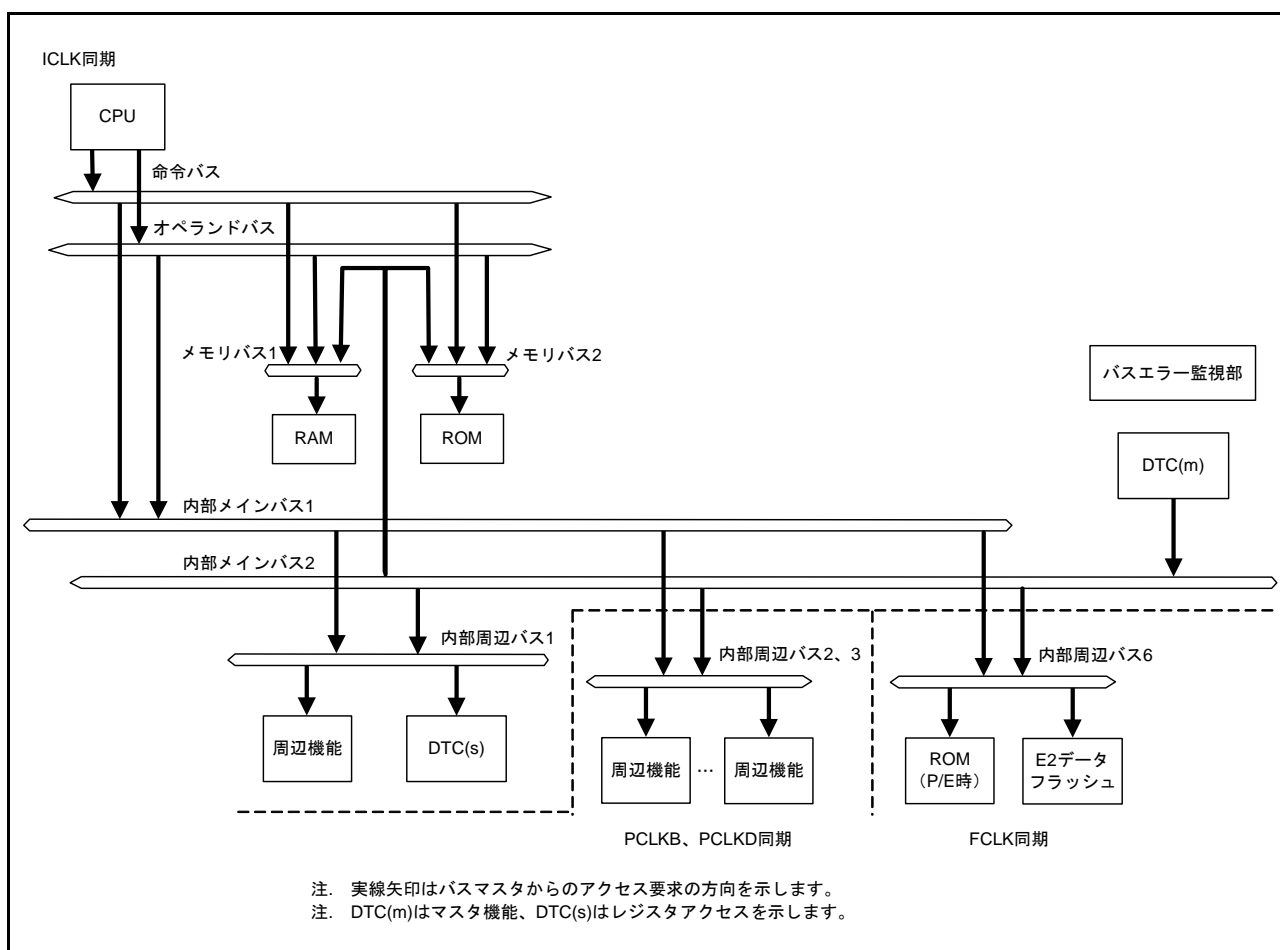


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h ~ 0000 FFFFh	メモリバス1	RAM
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	
000A 0000h ~ 000B FFFFh	内部周辺バス 3	
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	E2データフラッシュ、ROM (プログラム/イレーズ用)
8000 0000h ~ FFFF FFFFh	メモリバス2	ROM
FF00 0000h ~ FFFF FFFFh		(読み出し専用)

## 15.2 バスの説明

### 15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み/消去は内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM などの並列動作が可能となります。

### 15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 > CPU バス（オペランド > 命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

### 15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ (DTC) が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC のバス権要求を調停します。優先順位は、表 15.3 に示すようになります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1～内部周辺バス 3、内部周辺バス 6）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	バスマスタ
高 ↑	DTC
低	CPU



### 15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1、3以外の周辺機能
内部周辺バス3	USB
内部周辺バス6	ROM (P/E時) /E2データフラッシュ

内部周辺バス1～3、6は、それぞれ、CPU（内部メインバス1）とCPU以外のバスマスタ（内部メインバス2）からのバス権要求を調停します。

2本の内部メインバスの優先順位は、バスプライオリティ制御レジスタ（BUSPRI）により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット（BUSPRI.BPIB[1:0]）、内部周辺バス2、3プライオリティ制御ビット（BUSPRI.BPGB[1:0]）、内部周辺バス6プライオリティ制御ビット（BUSPRI.BPFB[1:0]）によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2 > 内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。

BUSPRIレジスタの設定の違いにより、受け付けられる要求の順番が変わることがありますので注意してください。図 15.2 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

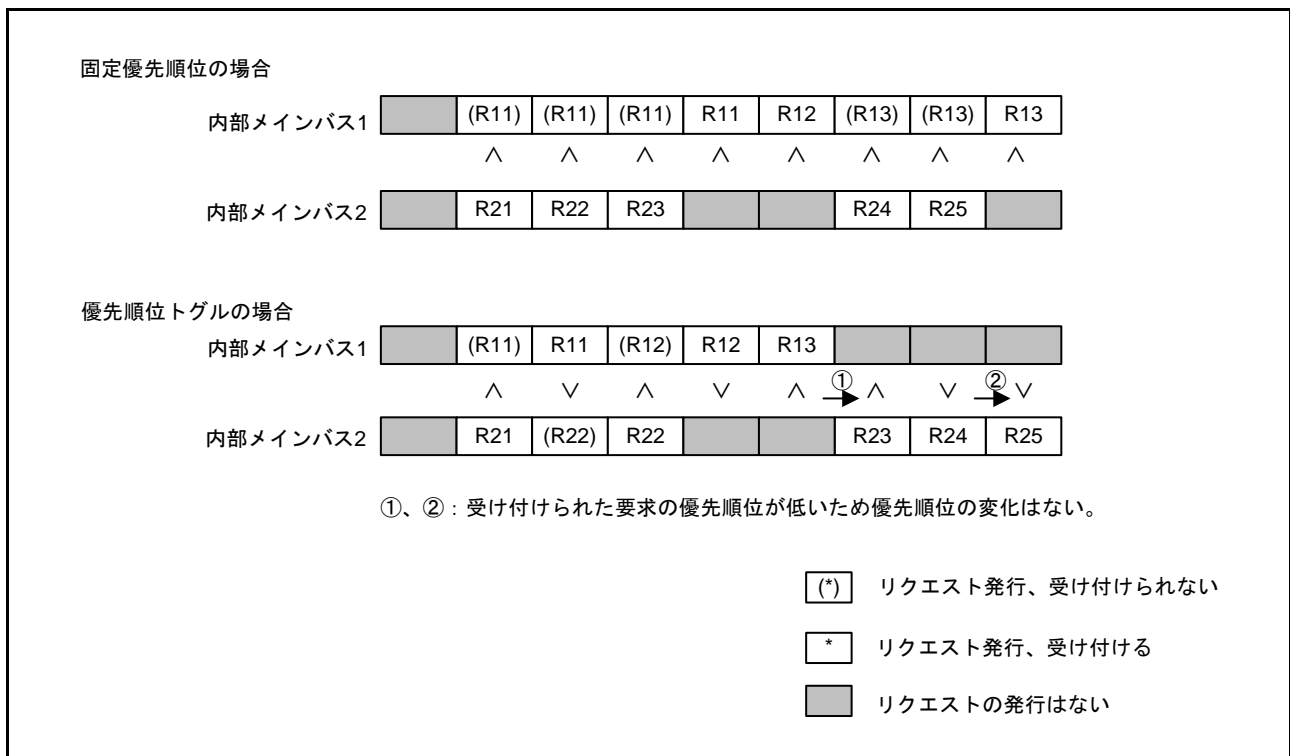


図 15.2 内部周辺バス優先順位

### 15.2.5 ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。

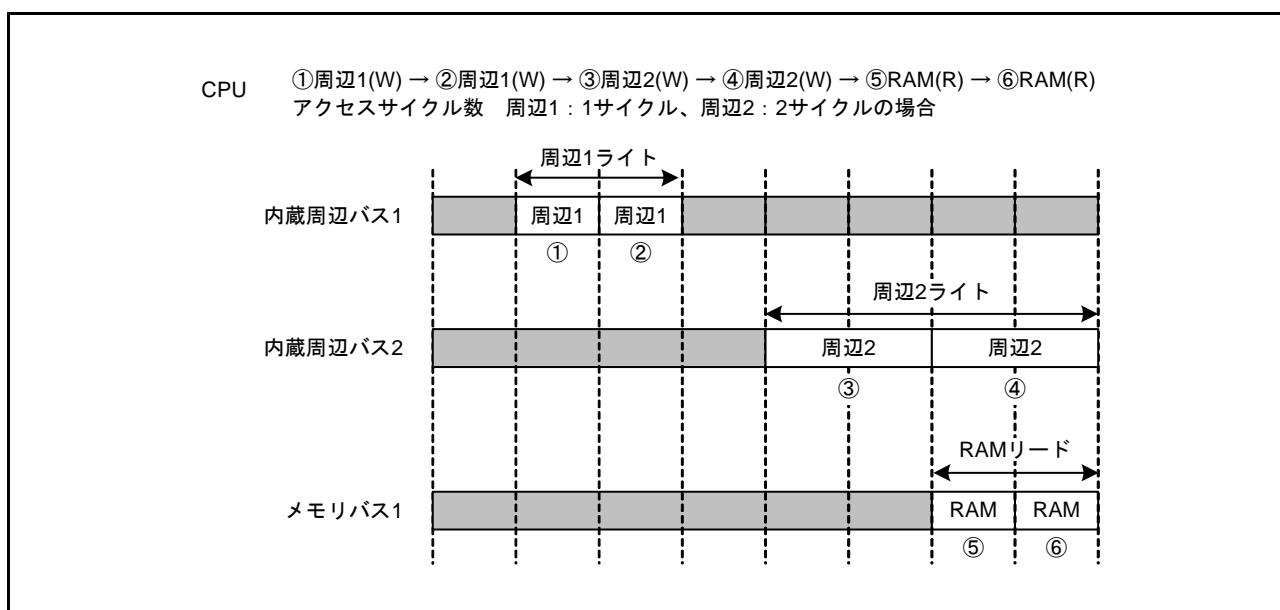


図 15.3 ライトバッファ機能

### 15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがROMを、オペランドがRAMをアクセス中に、DTCは周辺-周辺バス間の転送を行うことができます。図15.4に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれROMとRAMを同時にアクセスすることが可能です。また、CPUがROMとRAMをアクセス中に、DTCは内部メインバス2を使って、周辺バスを同時にアクセスすることができます。

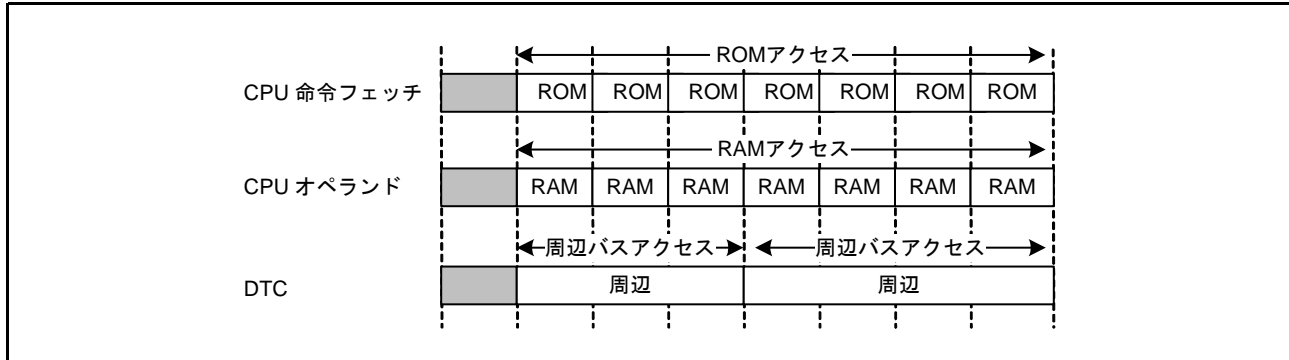


図 15.4 並列動作の例

### 15.2.7 制約事項

#### (1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

#### (2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) RMPA 命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

## 15.3 レジスタの説明

### 15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

#### STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

### 15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

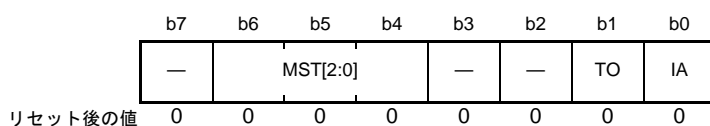
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止) にしないようにしてください。

### 15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



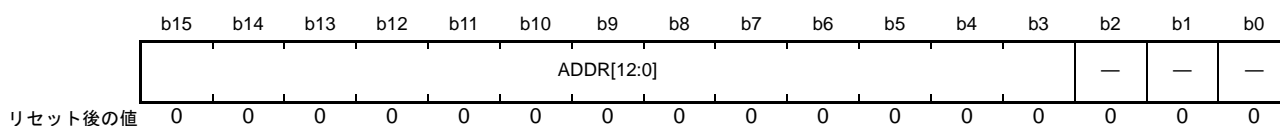
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

#### MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

### 15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

## 15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BPFB[1:0]	—	—	—	BPGB[1:0]	—	BPIB[1:0]	—	BPRO[1:0]	—	BPRA[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2、3プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTCが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

**BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)**

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス2とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

**BPRO[1:0] ビット (メモリバス2 (ROM) プライオリティ制御ビット)**

メモリバス2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス1とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

**BPIB[1:0] ビット（内部周辺バス 1 プライオリティ制御ビット）**

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

**BPGb[1:0] ビット（内部周辺バス 2、3 プライオリティ制御ビット）**

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

**BPFb[1:0] ビット（内部周辺バス 6 プライオリティ制御ビット）**

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

## 15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

### 15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセスのバスエラーがあります。  
不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出します。

#### 15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、不正アドレス領域にアクセスしたときに発生します。

どの領域が不正アドレスアクセスエラーを発生するかを表 15.5 に示します。

#### 15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2, 3) : バスアクセス開始後、周辺モジュールクロック (PCLKB) で 768 サイクル以内にバスアクセスが終了しない場合  
タイムアウトが発生すると PCLKB で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6) : バスアクセス開始後、FlashIF クロック (FCLK) で 768 サイクル以内にバスアクセスが終了しない場合  
タイムアウトが発生すると FCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。

### 15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知 :  
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。



### 15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラーが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類	
		不正アドレスアクセス	タイムアウト
0000 0000h ~ 0007 FFFFh	メモリバス1	—	—
0008 0000h ~ 0008 7FFFh	内部周辺バス1	—	—
0008 8000h ~ 0009 FFFFh	内部周辺バス2	△	—
000A 0000h ~ 000B FFFFh	内部周辺バス3	△	△
000C 0000h ~ 000E FFFFh	予約領域	○	—
0010 0000h ~ 00FF FFFFh	内部周辺バス6	△	—
0100 0000h ~ 07FF FFFFh	予約領域	○	—
0800 0000h ~ 0FFF FFFFh	予約領域	—	—
1000 0000h ~ 7FFF FFFFh	予約領域	○	—
8000 0000h ~ FFFF FFFFh	メモリバス2	—	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

注. 実装されるRAM、データフラッシュ、ROMの容量は製品により異なります。製品ごとの仕様については、「41. RAM」、「42. フラッシュメモリ (FLASH)」を参照してください。

## 16. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。  
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

### 16.1 概要

表 16.1 に DTC の仕様を、図 16.1 に DTC のブロック図を示します。

表 16.1 DTC の仕様

項目	内容
転送チャンネル数	<ul style="list-style-type: none"> <li>DTC 起動が可能なすべての割り込み要因の数と同数</li> </ul>
転送モード	<ul style="list-style-type: none"> <li>ノーマル転送モード 1回の起動で1つのデータを転送する</li> <li>リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32ビットで、最大1024バイト転送可能</li> <li>ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能</li> </ul>
チェーン転送機能	<ul style="list-style-type: none"> <li>1回の転送要求に対して複数種類のデータ転送を連続して実行可能</li> <li>「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能</li> </ul>
転送空間	<ul style="list-style-type: none"> <li>ショートアドレスモードのとき16Mバイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)</li> <li>フルアドレスモードのとき4Gバイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)</li> </ul>
データ転送単位	<ul style="list-style-type: none"> <li>1データ：1バイト(8ビット)、1ワード(16ビット)、1ロングワード(32ビット)</li> <li>1ブロックサイズ：1~256データ</li> </ul>
CPU割り込み要求	<ul style="list-style-type: none"> <li>DTCを起動した割り込みでCPUへの割り込み要求を発生可能</li> <li>1回のデータ転送終了後にCPUへの割り込み要求を発生可能</li> <li>指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能</li> </ul>
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への遷移が可能

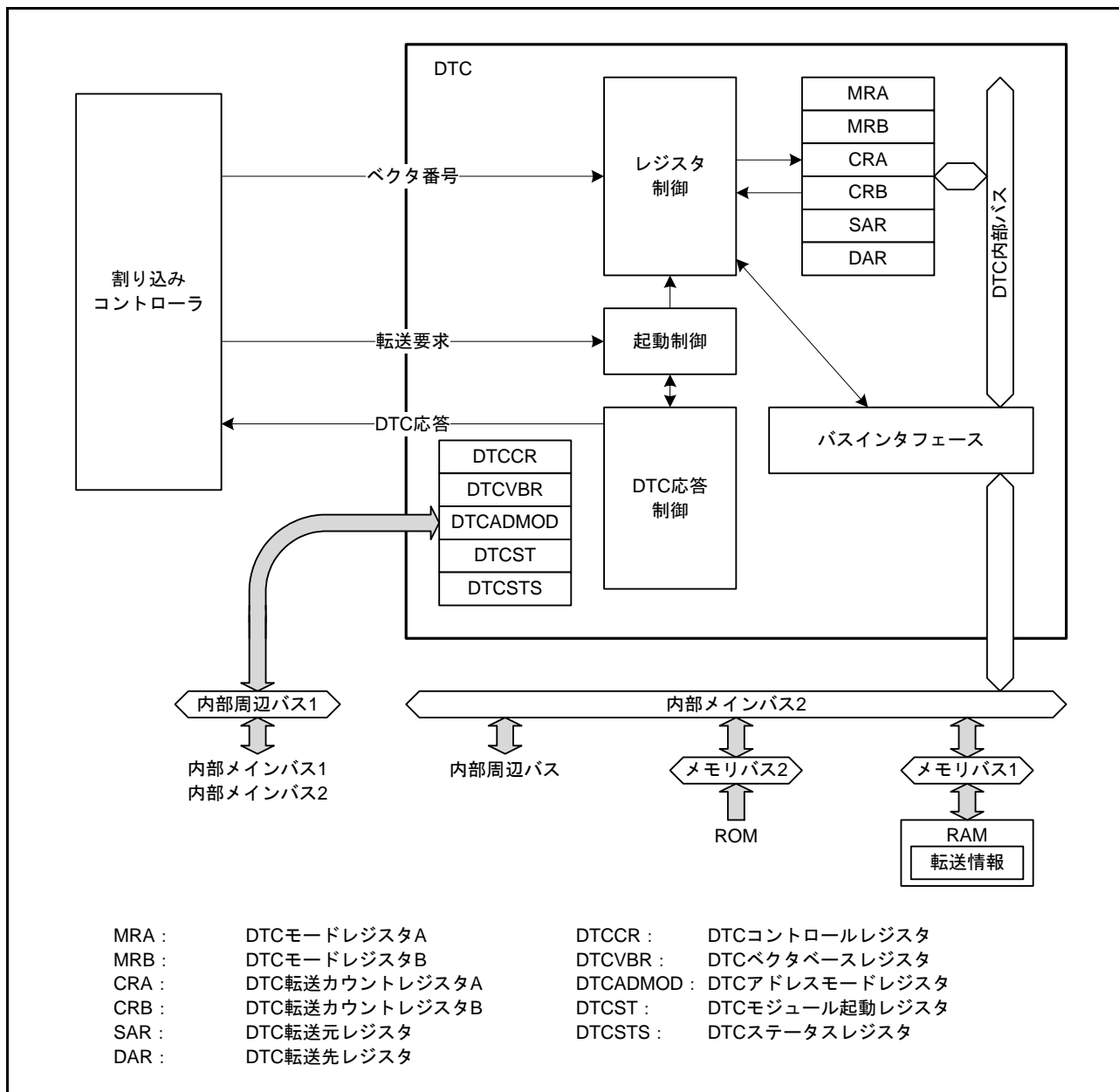


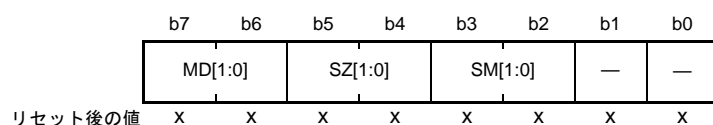
図 16.1 DTC のブロック図

## 16.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは転送要求を受け付けると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報としてRAM領域にライトバックされます。

### 16.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが"00b"のとき+1、 "01b"のとき+2、"10b"のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイト(8ビット)転送 0 1 : ワード(16ビット)転送 1 0 : ロングワード(32ビット)転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRAレジスタは、DTCの動作モードを選択するレジスタです。CPUから直接アクセスすることはできません。

## 16.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	“0”にしてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0 : 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0 : 指定した回数のデータ転送が終了したとき、CPU への割り込み要求が発生 1 : データ転送のたびに、CPU への割り込み要求が発生	—
b6	CHNS	DTC チェーン転送選択ビット	0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが1 → 0、または1 → CRAH となったとき、チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

**DTS ビット (DTC 転送モード選択ビット)**

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

**CHNS ビット (DTC チェーン転送選択ビット)**

チェーン転送の条件を選択します。

CHNE ビットが“0”のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 16.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

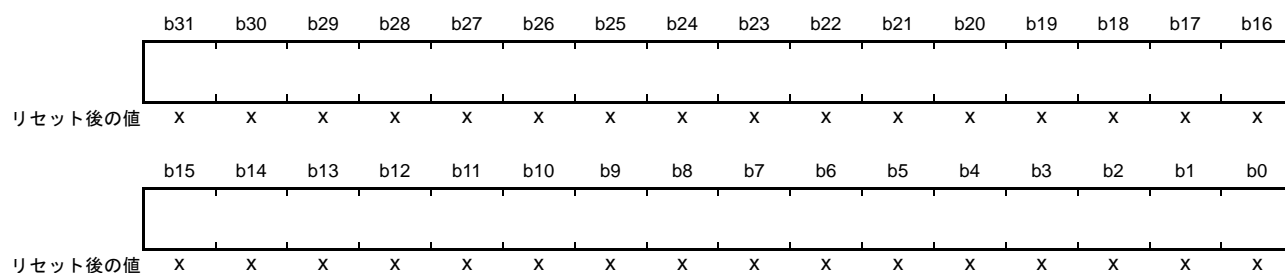
**CHNE ビット (DTC チェーン転送許可ビット)**

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「16.4.6 チェーン転送」を参照してください。

### 16.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

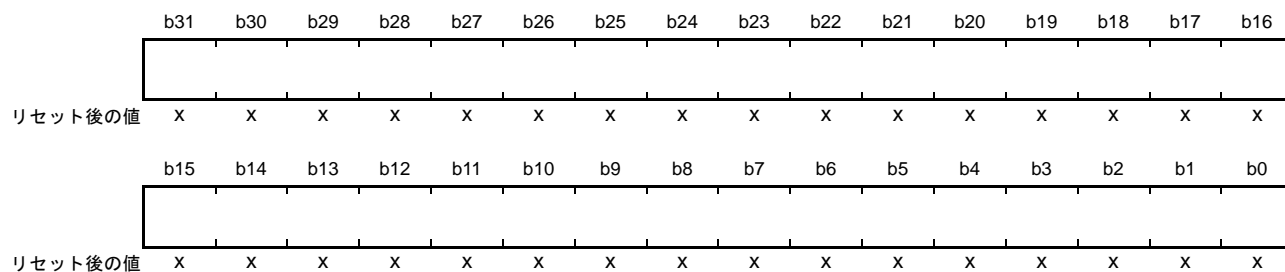
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

### 16.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

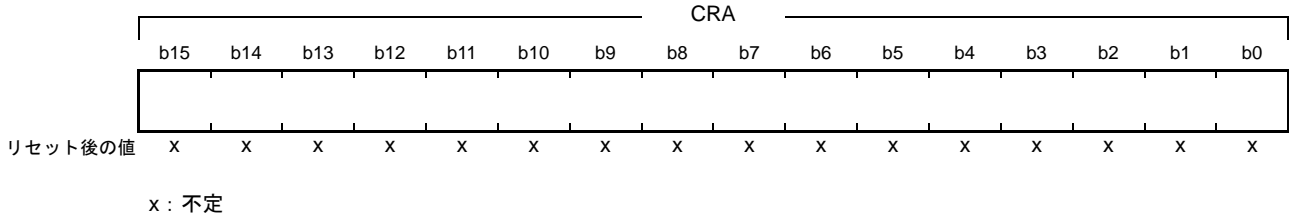
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

### 16.2.5 DTC 転送カウントレジスタ A (CRA)

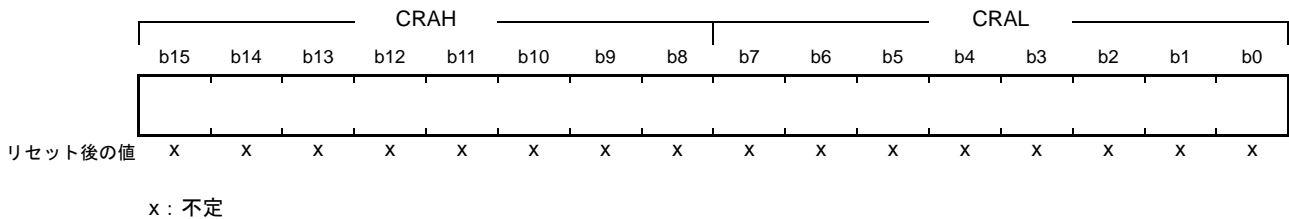
- ノーマル転送モード

アドレス (CPUから直接アクセス不可)



- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

#### (1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

#### (2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

#### (3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

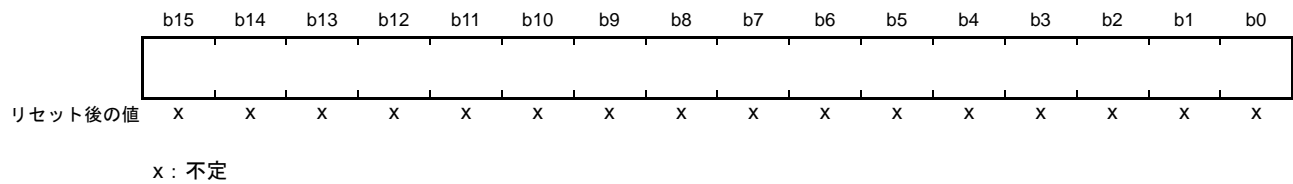
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

### 16.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

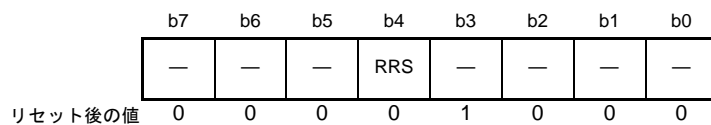
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

### 16.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC の動作を制御するレジスタです。

#### RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

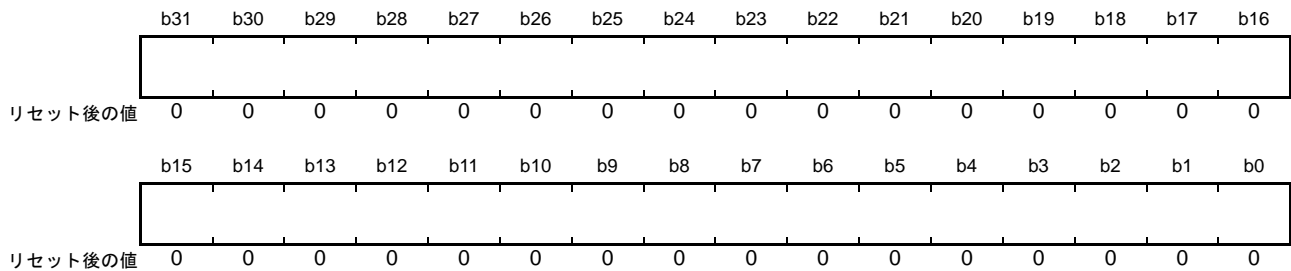
ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。



### 16.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

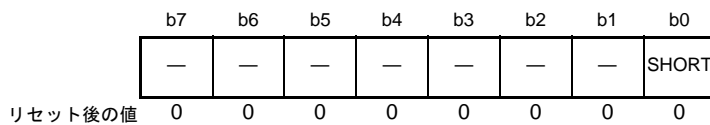


DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

### 16.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス DTC.DTCADMOD 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0 : フルアドレスモード 1 : ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

#### SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

## 16.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**DTCST ビット (DTC モジュール起動ビット)**

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

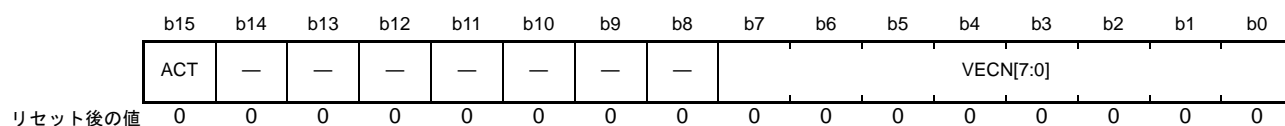
モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「16.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

## 16.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中 (ACT フラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTC アクティブフラグ	0: データ転送は実行していない 1: データ転送実行中	R

**VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)**

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (データ転送実行中) であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (データ転送は実行していない) であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

**ACT フラグ (DTC アクティブフラグ)**

データ転送の実行状態を示します。

[“1” になる条件]

- 転送要求に対して DTC が起動したとき

[“0” になる条件]

- 1 回の転送要求に対するデータ転送が終了したとき

### 16.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を “1” にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが “0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを “1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

#### 16.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが “0” になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n に対する転送情報 n の先頭アドレスは、DTCVBR + 4n 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADM.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 16.2 に示します。

RAM 領域上の転送情報の配置を図 16.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「16.10.2 転送情報の配置」を参照してください。

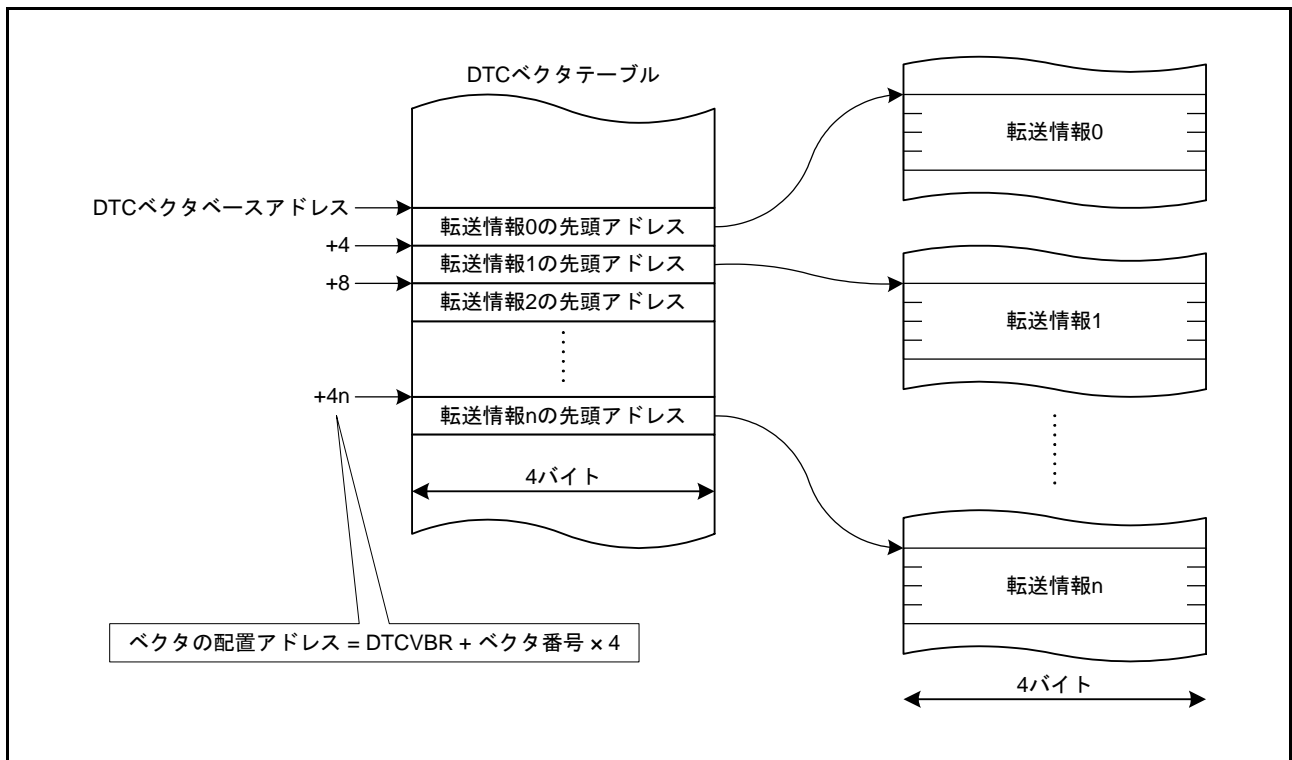


図 16.2 DTC ベクタテーブルと転送情報の対応

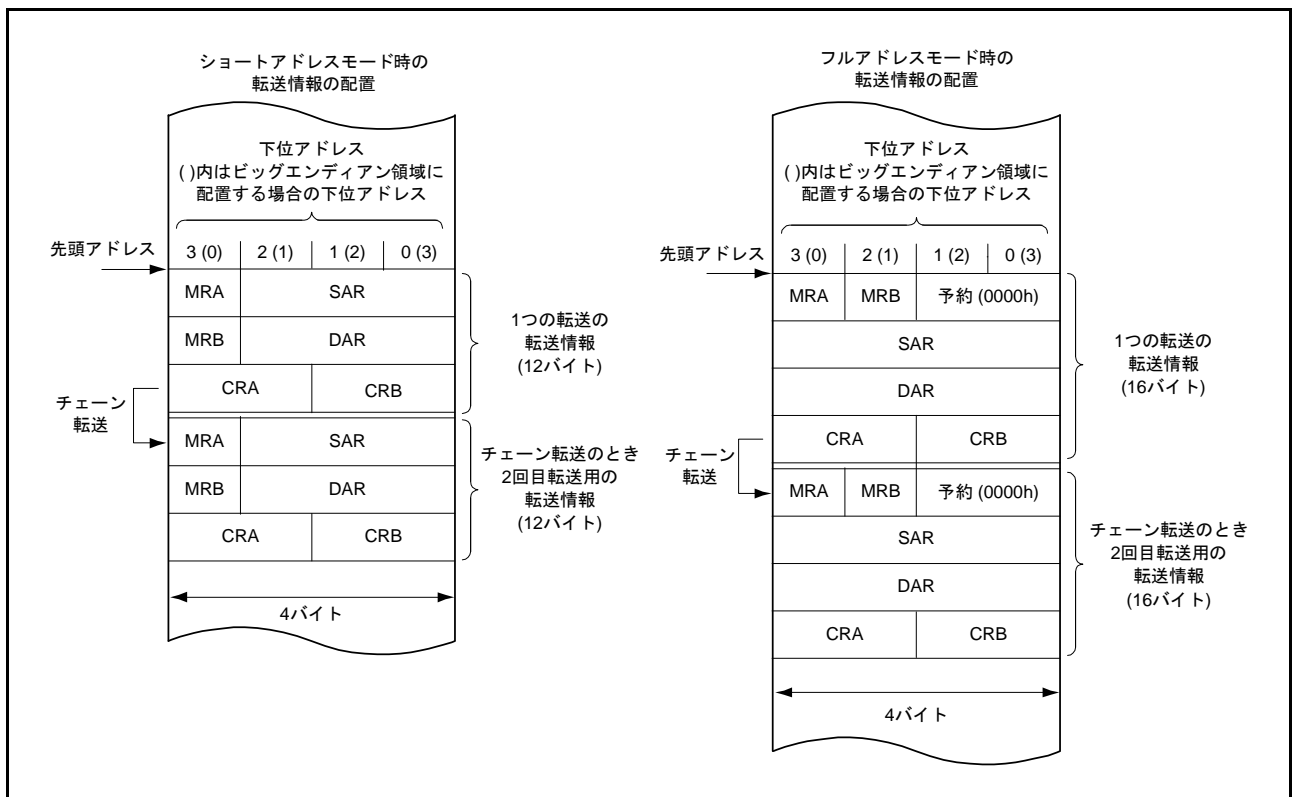


図 16.3 RAM 領域上の転送情報の配置

## 16.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定 (インクリメント/デクリメント/固定) に従って、転送後に更新されます。

DTC の転送モードを表 16.2 に示します。

表 16.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます(チェーン転送)。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 16.4 に示します。チェーン転送の条件を表 16.3 に示します。

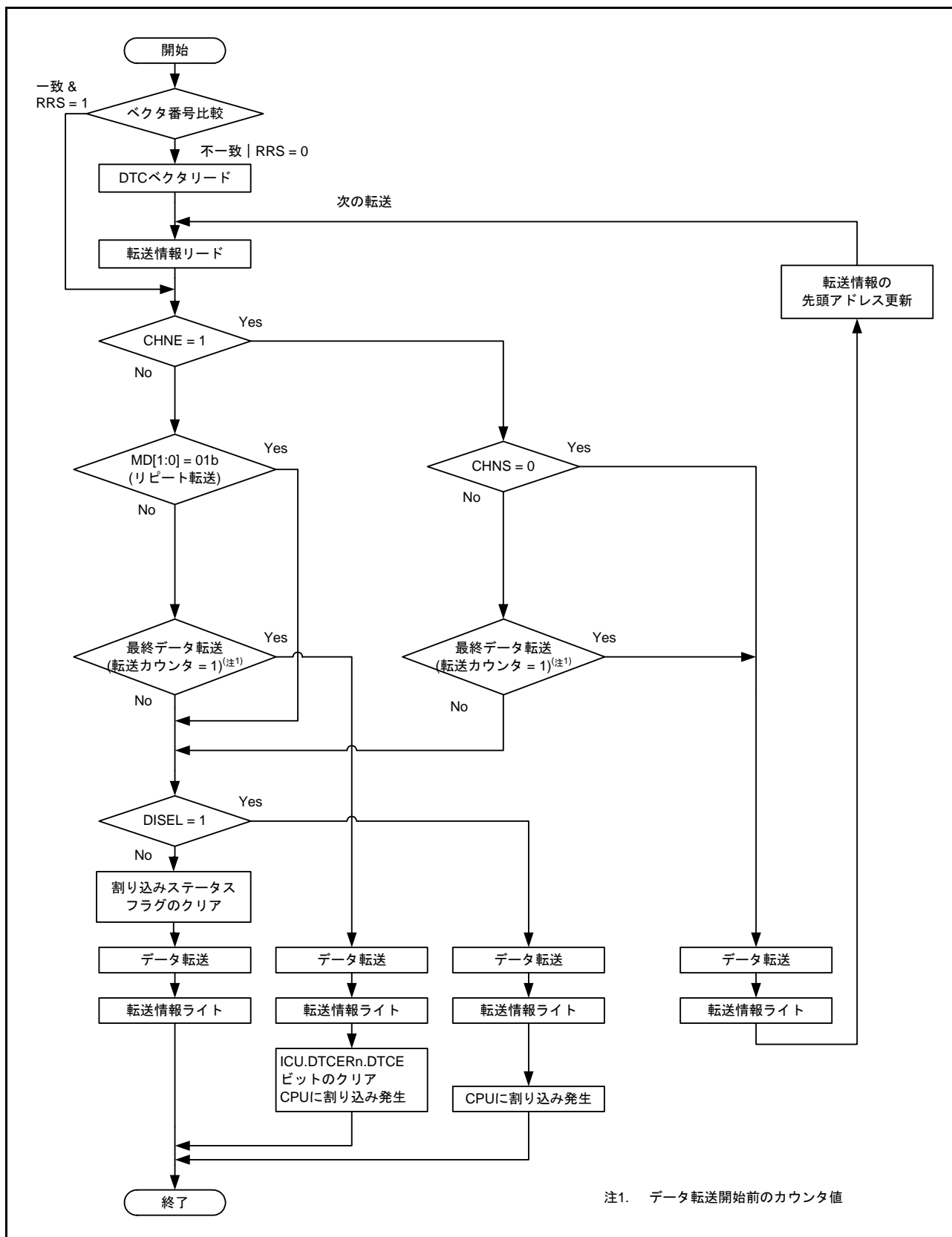


図 16.4 DTC 動作フローチャート

表 16.3 チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リポート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リポート転送モードでは(1 → CRAH)となります。表中の(1 → \*)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

#### 16.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 16.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。



### 16.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 16.4 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 16.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

### 16.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表16.5に、ノーマル転送モードのメモリマップを図16.5に示します。

表16.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

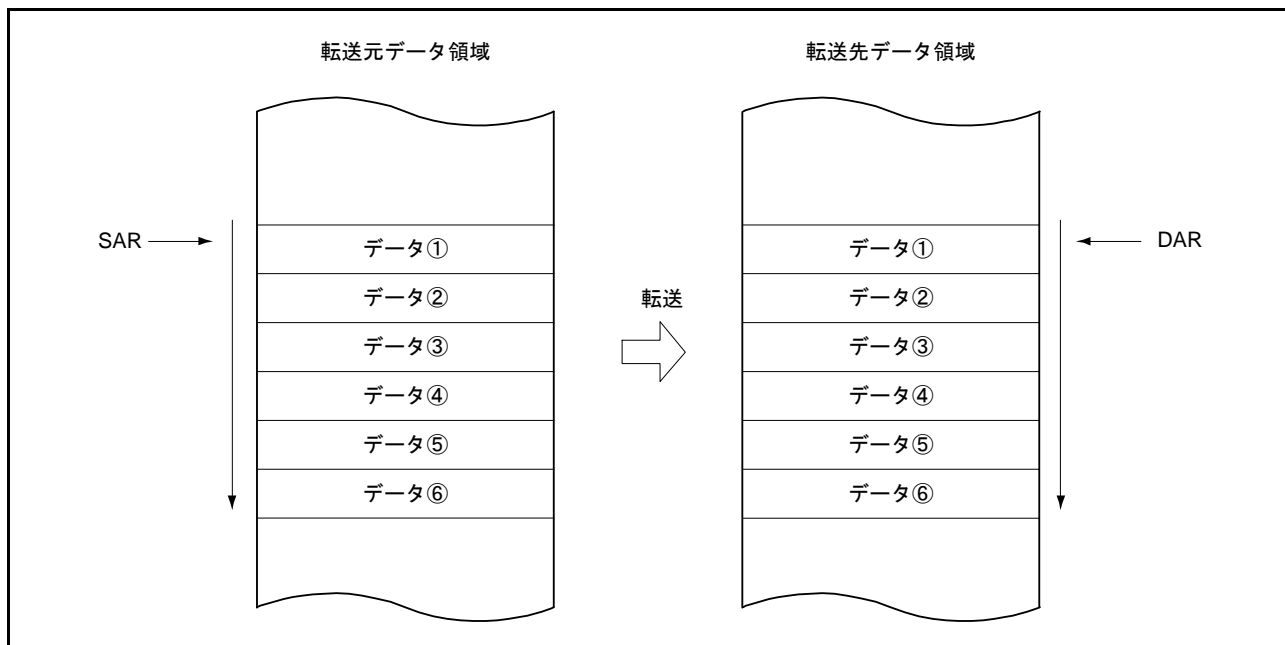


図16.5 ノーマル転送モードのメモリマップ

### 16.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”(指定した回数のデータ転送が終了したとき、CPU への割り込みが発生)の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 16.6 に、リピート転送モードのメモリマップを図 16.6 に示します。

表 16.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット=0 のとき	MRB.DTS ビット=1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	インクリメント/デクリメント/固定(注1)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL - 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1. アドレス固定のときは、ライトバックはスキップされます。

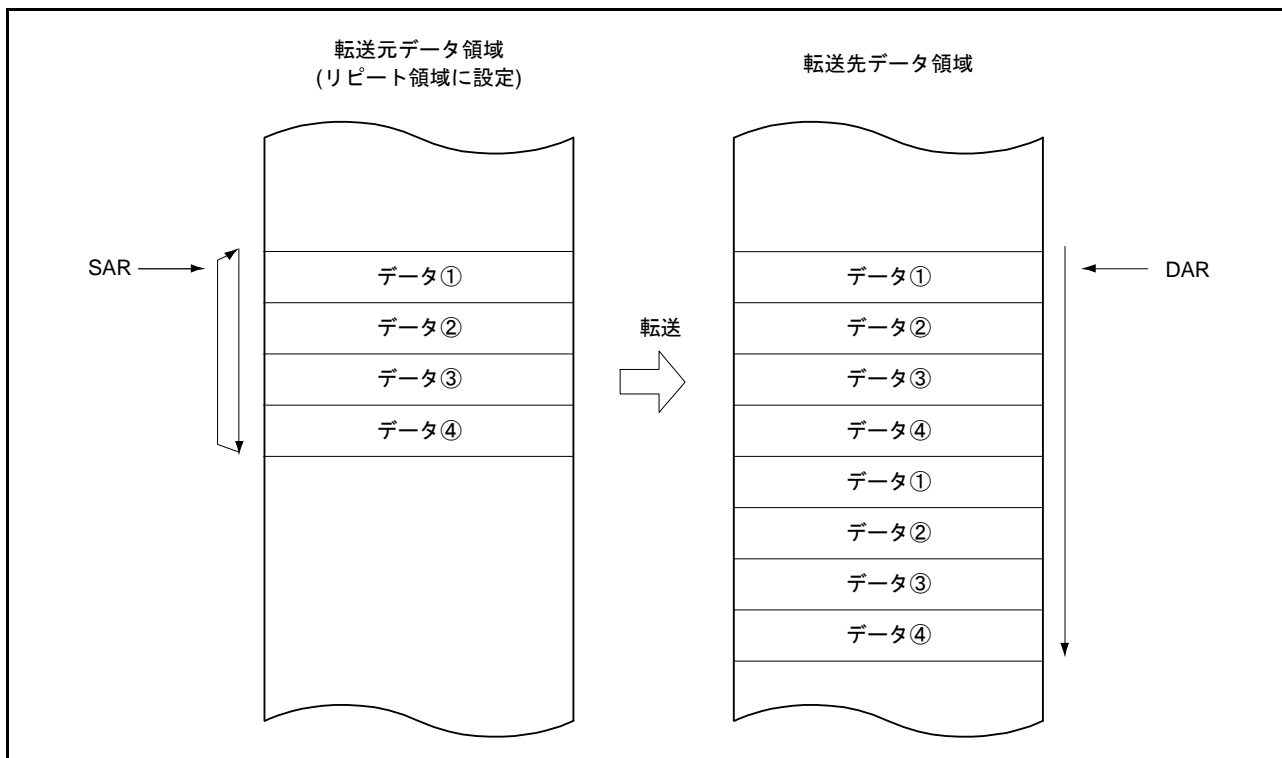


図 16.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

### 16.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数(ブロック回数)は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 16.7 に、ブロック転送モードのメモリマップを図 16.7 に示します。

表 16.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		MRB.DTSビット=0のとき	MRB.DTSビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	SARレジスタの初期値
DAR	転送先アドレス	DARレジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. アドレス固定のときは、ライトバックはスキップされます。

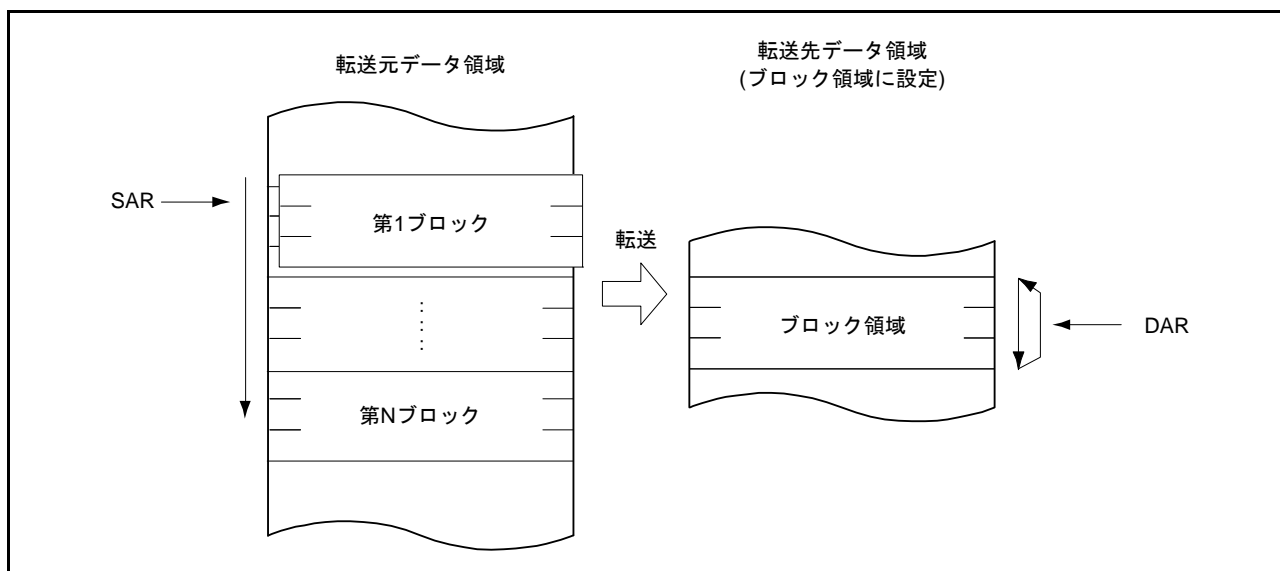


図 16.7 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

### 16.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”(データ転送のたびに、CPU への割り込み要求が発生)にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報(SAR, DAR, CRA, CRB, MRA, MRB)はそれぞれ個別に設定できます。図 16.8 にチェーン転送の動作を示します。

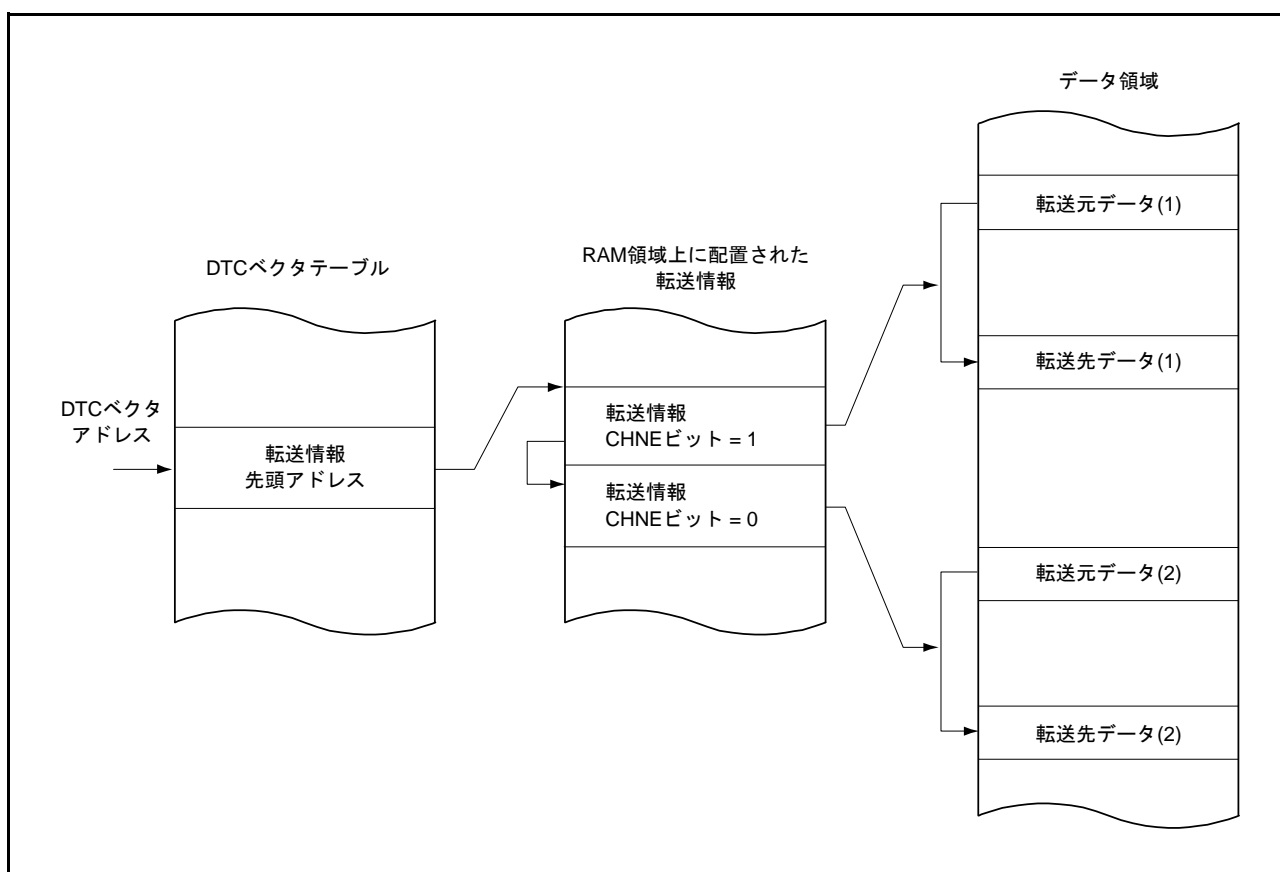


図 16.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 16.3 のチェーン転送の条件を参照してください。

### 16.4.7 動作タイミング

DTC の動作タイミングの例を図 16.9 ~ 図 16.13 に示します。

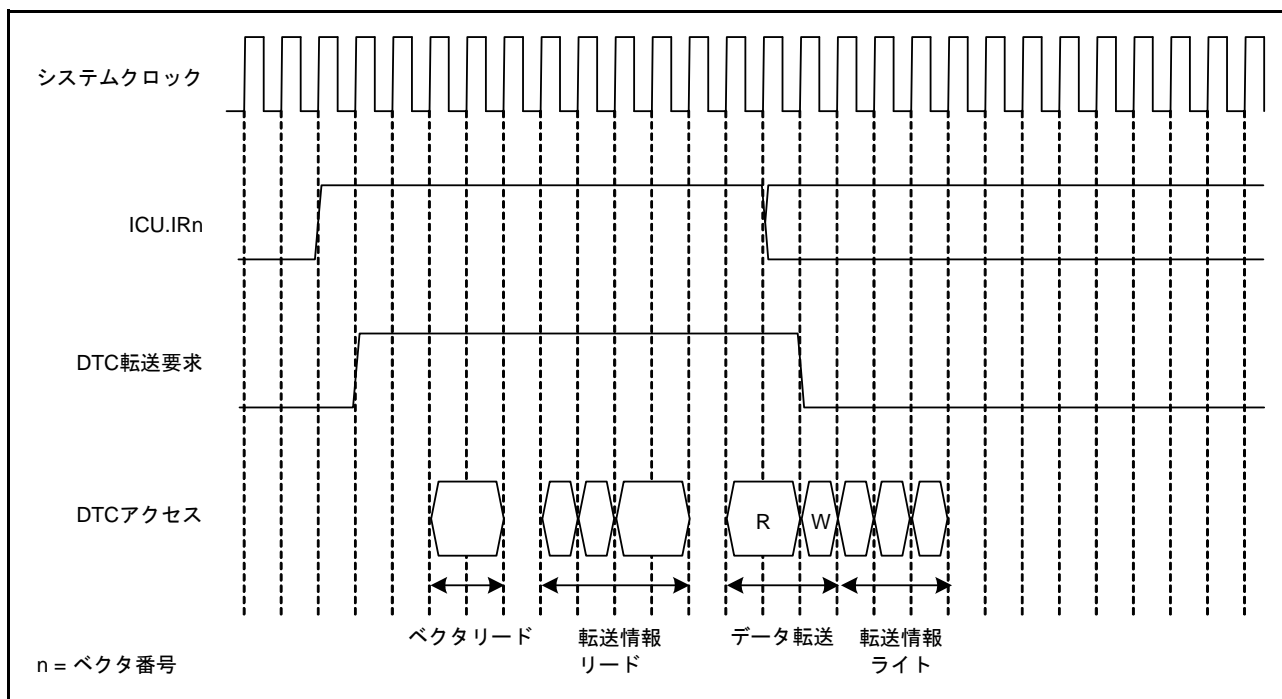


図 16.9 DTC 動作タイミング例 (1)  
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

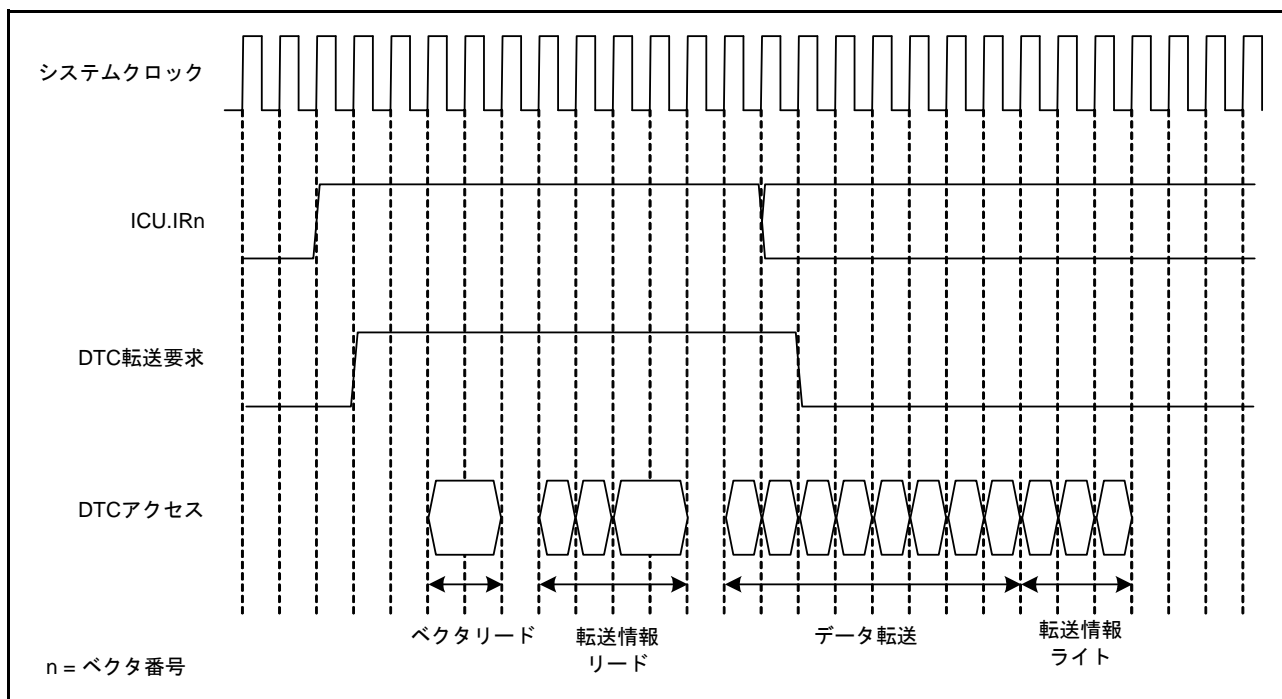


図 16.10 DTC 動作タイミング例 (2)  
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

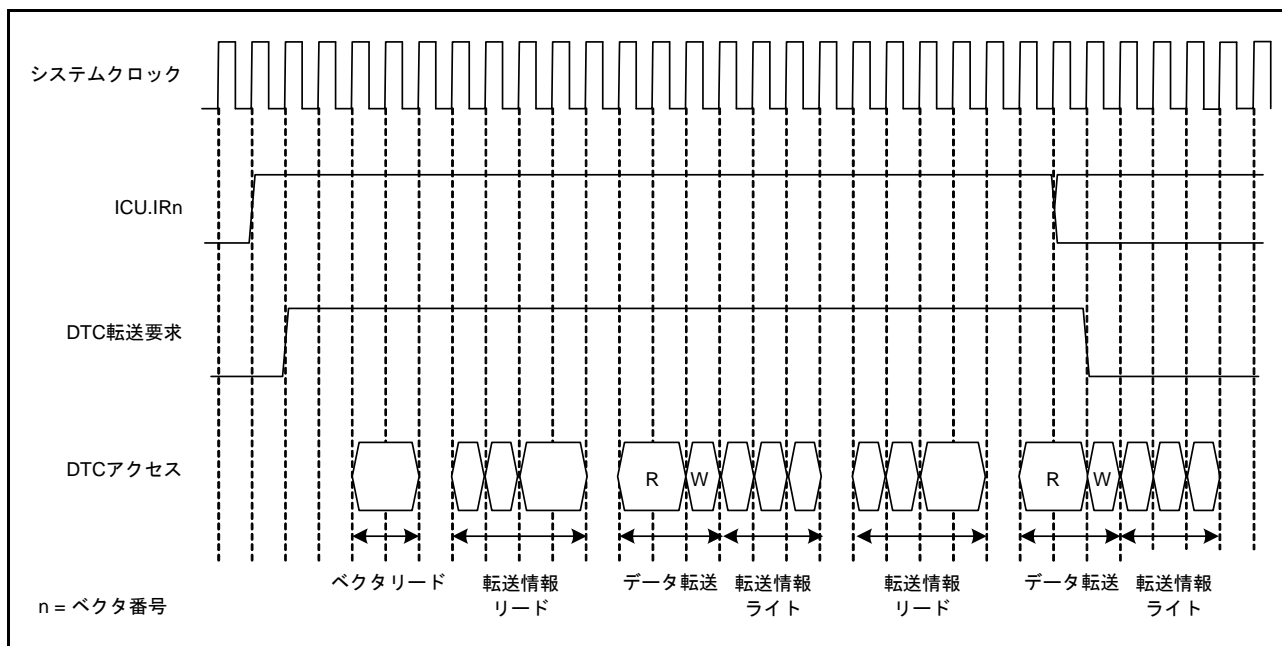


図 16.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

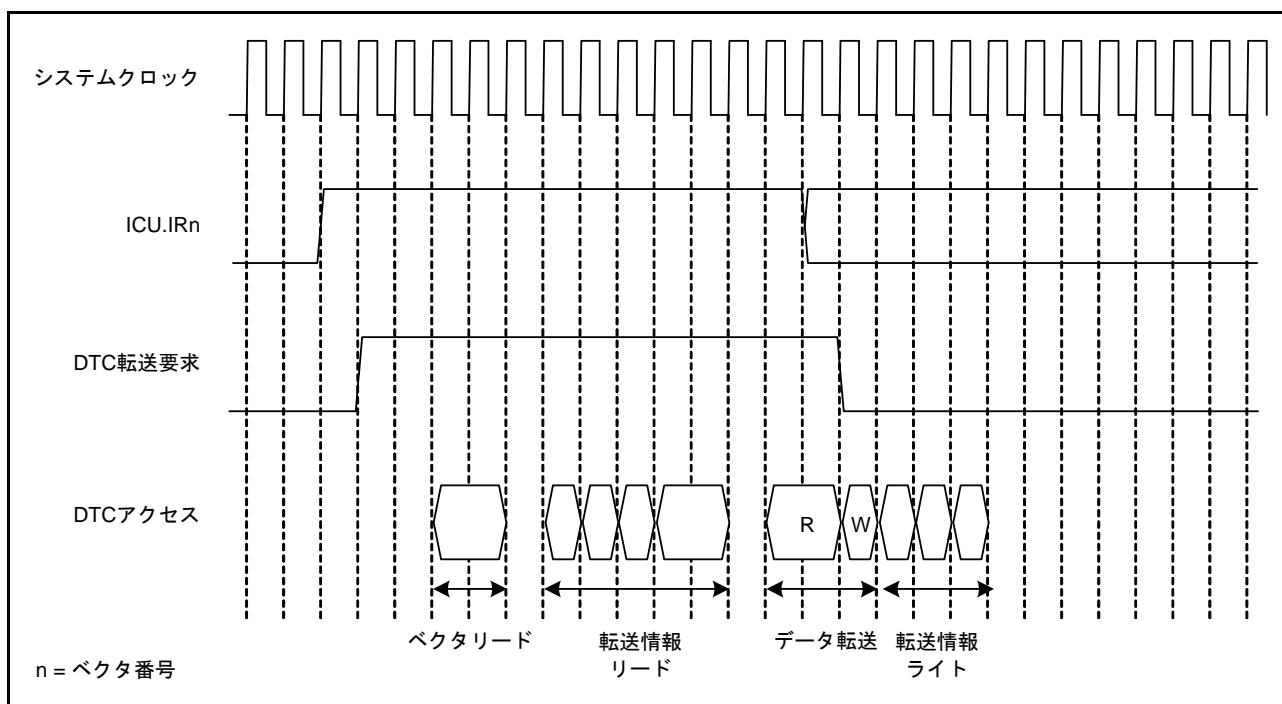


図 16.12 DTC 動作タイミング例 (4)  
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

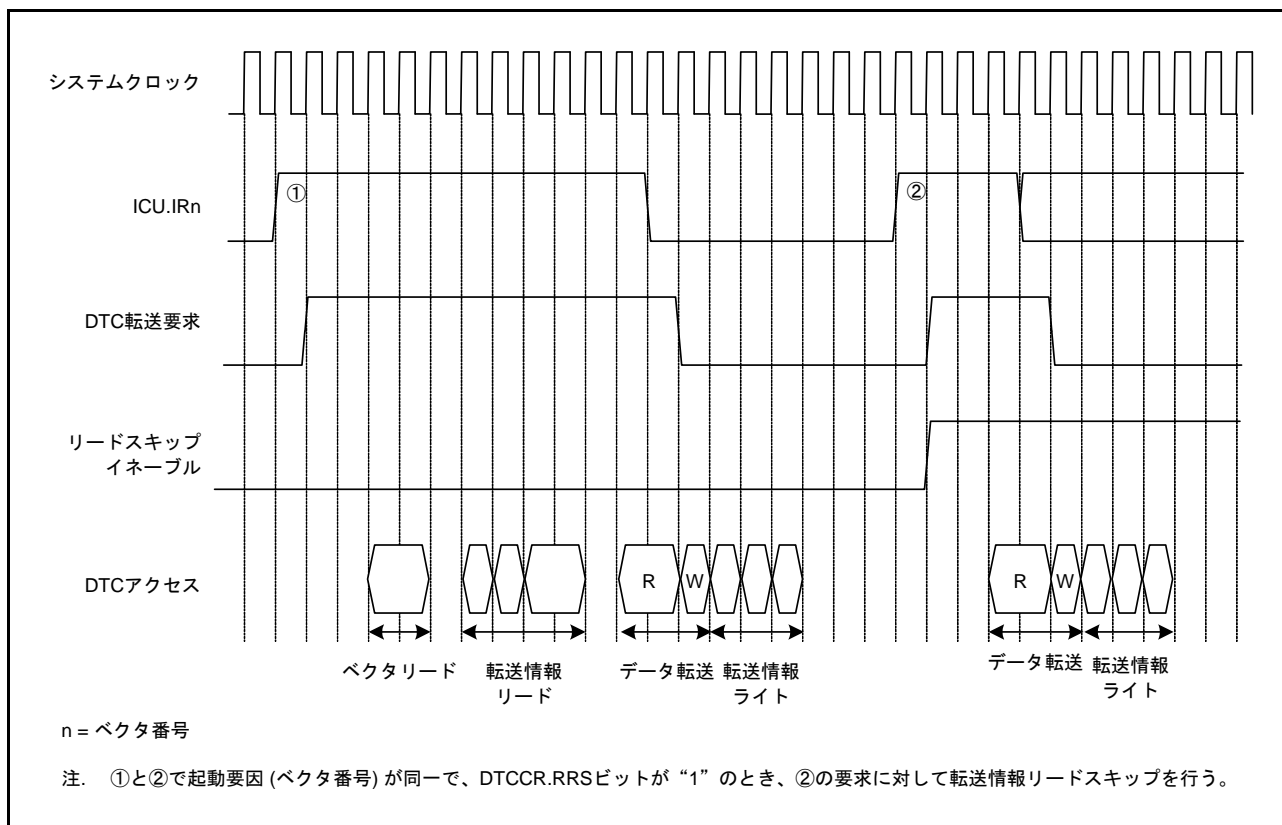


図 16.13 転送情報リードスキップ時の動作例  
 (ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合)



### 16.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 16.8 に示します。

各処理状態の実施順序は、「16.4.7 動作タイミング」を参照してください。

表 16.8 DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき

注 5. SAR レジスタ、または DAR レジスタがアドレス固定のとき

注 6. SAR レジスタと DAR レジスタがともにアドレス固定のとき

注 7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「41. RAM」、「42. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」を参照してください。)

### 16.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

## 16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 16.14 に DTC の起動に必要な設定手順を示します。

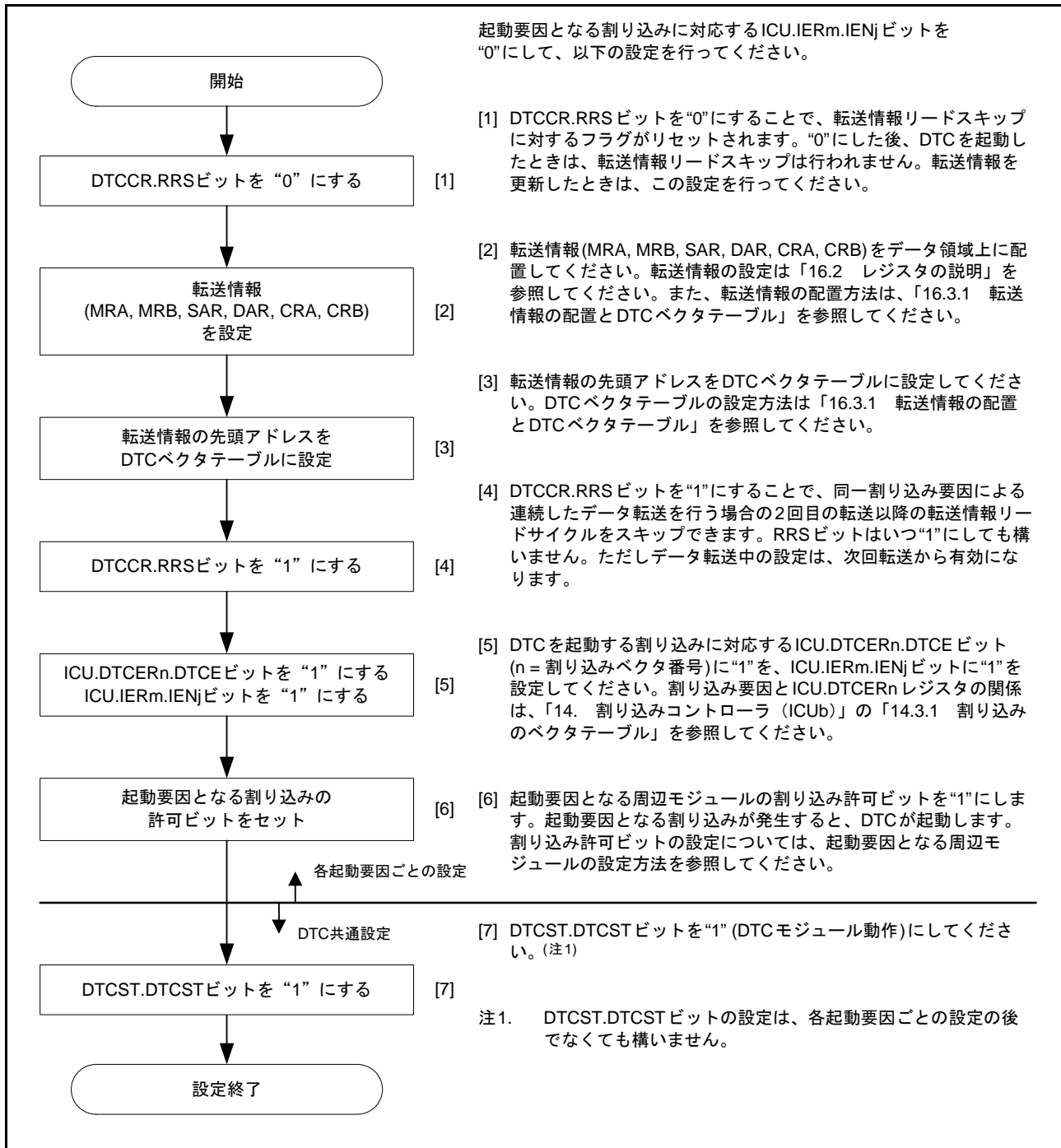


図 16.14 DTC の設定手順

## 16.6 DTC 使用例

### 16.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数 of データ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

### 16.6.2 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ~ 21 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが“0”のときのチェーン転送を図 16.15 に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが “0” になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数 of データ転送が終了したとき CPU への割り込みが発生) にしてください。
- (2) 第1のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第1の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数 of データ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。
- (4) DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。
- (5) 引き続き、DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。
- (6) 上記 (4)、(5) を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

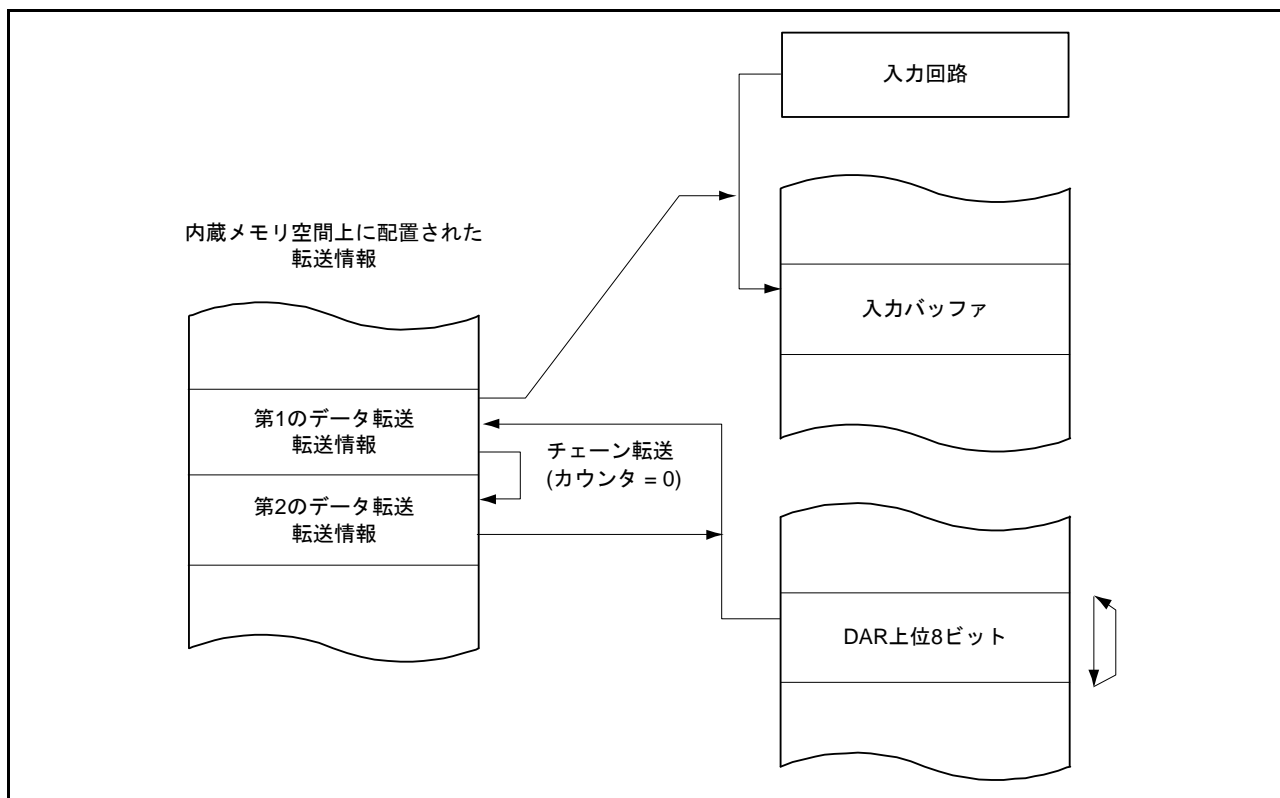


図 16.15 カウンタが“0”のときのチェーン転送

## 16.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1” (データ転送のために、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

## 16.8 イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。

## 16.9 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0”(DTC モジュール停止)にした後、それぞれ以下の処理をしてください。

### (1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DTC のモジュールストップが解除されます。

### (2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

### (3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモードに移行します。

### (4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1”にしてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

## 16.10 使用上の注意事項

### 16.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4の倍数を指定してください。4の倍数以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

### 16.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図16.16に示すとおり配置してください。

たとえば、CRA、CRB設定データを16ビットで書く場合、ビッグエンディアンの場合は+8h(+Ch)番地にCRA設定データ、+Ah(+Eh)番地にCRB設定データを書いてください。リトルエンディアンの場合は+8h(+Ch)番地にCRB設定データ、+Ah(+Eh)番地にCRA設定データを書いてください。32ビットで書く場合は、エンディアンにかかわらず32ビットのMSB側にCRA設定データ、LSB側にCRB設定データを配置して+8h(+Ch)番地に書いてください。

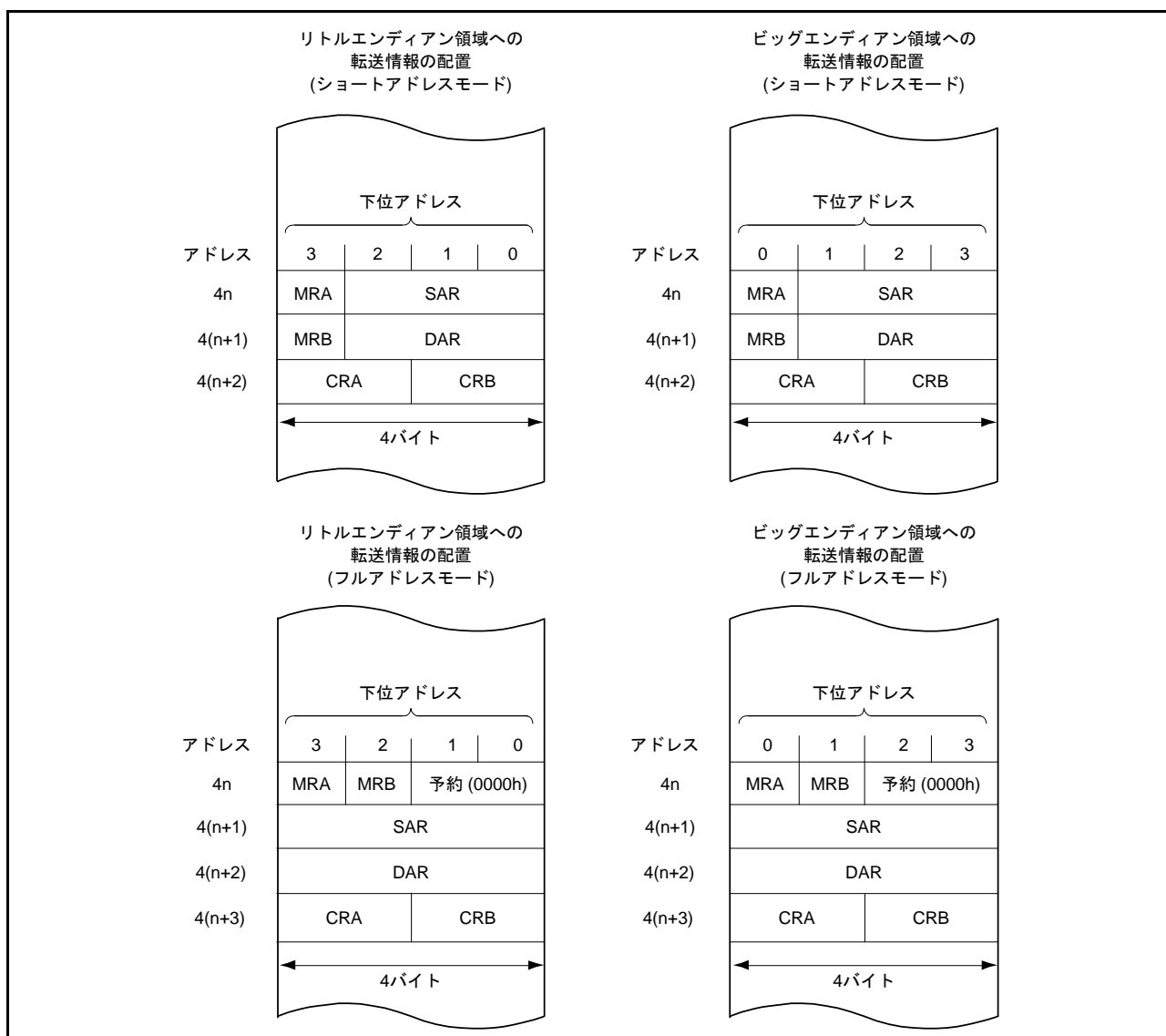


図 16.16 転送情報の配置

## 17. イベントリンクコントローラ (ELC)

### 17.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 17.1 に ELC の仕様を示します。図 17.1 に ELC のブロック図を示します。

表 17.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> <li>45種類のイベント信号を、直接周辺モジュールへリンク可能</li> <li>タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能</li> <li>ポートBのイベントリンク動作が可能</li> </ul> シングルポート(注1)：指定した1本のポートにイベントリンクの動作設定が可能 ポートグループ(注1)：最大8本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。64ピンパッケージ製品において、ポート切り替えレジスタA (PSRA)でPC0、PC1を選択した場合、PB6、PB7をリンク動作させることはできません。

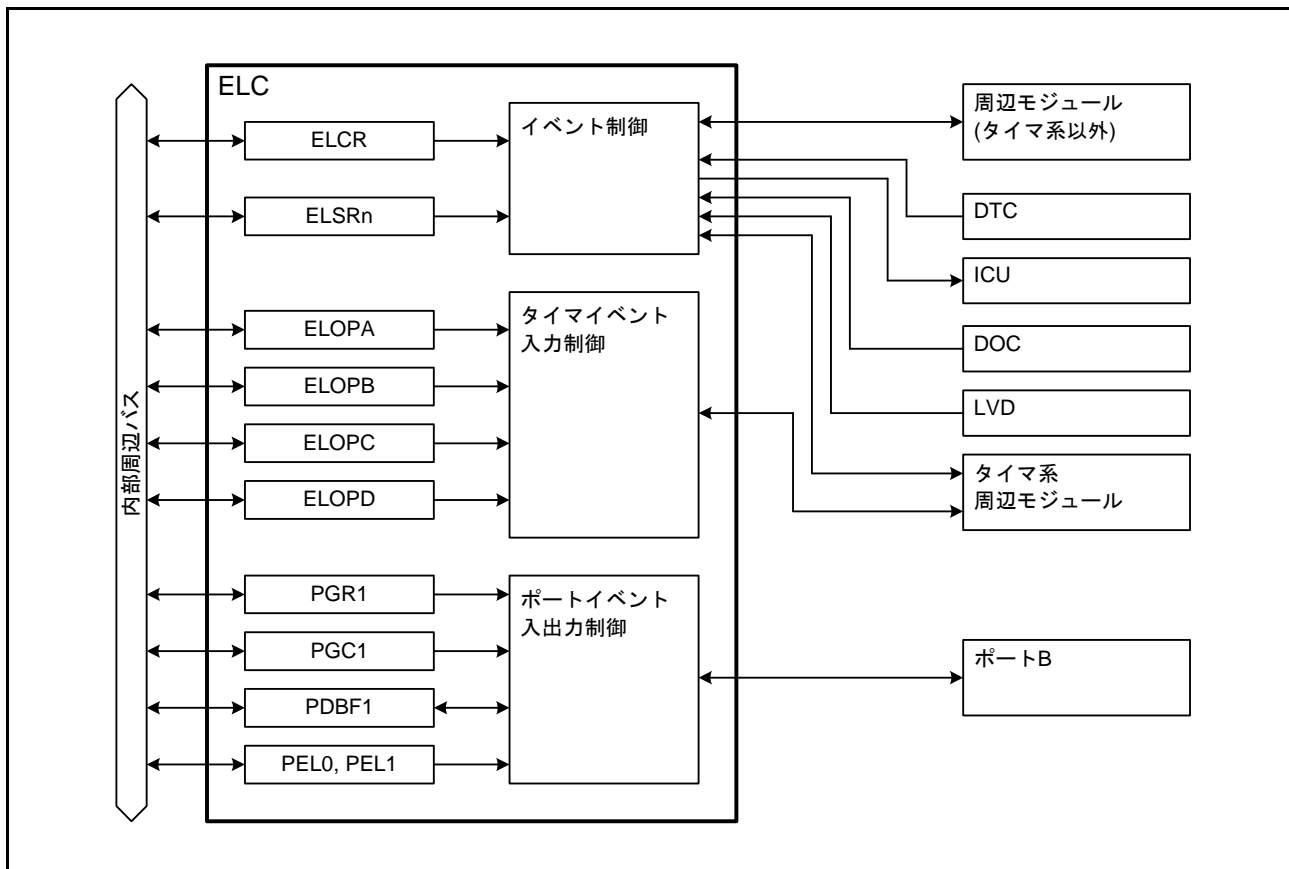


図 17.1 ELC のブロック図 (n = 1 ~ 4, 7, 10, 12, 14, 15, 17 ~ 20, 22, 24, 25)



## 17.2 レジスタの説明

### 17.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

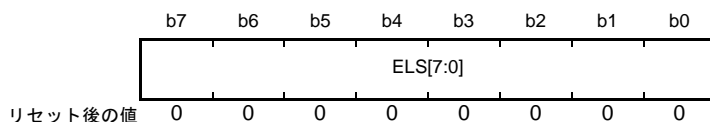
	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

## 17.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 1 ~ 4, 7, 10, 12, 14, 15, 17 ~ 20, 22, 24, 25)

アドレス ELC.ELSR1 0008 B102h, ELC.ELSR2 0008 B103h, ELC.ELSR3 0008 B104h, ELC.ELSR4 0008 B105h,  
ELC.ELSR7 0008 B108h, ELC.ELSR10 0008 B10Bh, ELC.ELSR12 0008 B10Dh, ELC.ELSR14 0008 B10Fh,  
ELC.ELSR15 0008 B110h, ELC.ELSR17 0008 B112h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h,  
ELC.ELSR20 0008 B115h, ELC.ELSR22 0008 B117h, ELC.ELSR24 0008 B119h, ELC.ELSR25 0008 B11Ah



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	00h : 該当する周辺モジュールへのイベント信号の出力は無効 08h~6Ah : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 17.2 に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を表 17.3 に示します。

表 17.2 ELSRn レジスタと周辺モジュールの対応

レジスタ名	周辺モジュール
ELSR1	MTU1
ELSR2	MTU2
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	TMR0
ELSR12	TMR2
ELSR14	CTSU
ELSR15	S12AD
ELSR17	DA0
ELSR18	ICU (割り込み1)(注1)
ELSR19	ICU (LPT専用割り込み)(注2)
ELSR20	出力ポートグループ1
ELSR22	入力ポートグループ1
ELSR24	シングルポート0(注3)
ELSR25	シングルポート1(注3)

注1. イベント信号は“63h”~“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

注2. イベント信号は“5Dh” (LPT・コンペアマッチ)を指定してください。

注3. ELSR24、ELSR25レジスタにDOC・データ演算条件成立信号(6Ah)は、設定しないでください。

表 17.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
08h	マルチファンクションタイマ パルスユニット2	MTU1・コンペアマッチ1A
09h		MTU1・コンペアマッチ1B
0Ah		MTU1・オーバフロー
0Bh		MTU1・アンダフロー
0Ch		MTU2・コンペアマッチ2A
0Dh		MTU2・コンペアマッチ2B
0Eh		MTU2・オーバフロー
0Fh		MTU2・アンダフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h		MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Fh		コンペアマッチタイマ
22h	8ビットタイマ	TMR0・コンペアマッチA0
23h		TMR0・コンペアマッチB0
24h		TMR0・オーバフロー
28h		TMR2・コンペアマッチA2
29h		TMR2・コンペアマッチB2
2Ah		TMR2・オーバフロー
3Ah		シリアルコミュニケーション インタフェース
3Bh	SCI5・受信データフル	
3Ch	SCI5・送信データエンプティ	
3Dh	SCI5・送信完了	
4Eh	I <sup>2</sup> Cバスインタフェース	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル
50h		RIIC0・送信データエンプティ
51h		RIIC0・送信終了
58h	12ビットA/Dコンバータ	S12AD・A/D変換終了
59h	コンパレータB0	コンパレータB0・比較結果変化
5Ah	コンパレータB0・B1	コンパレータB0・B1共通比較結果変化
5Bh	電圧検出回路	LVD1・電圧検出
5Dh	ローパワータイマ	LPT・コンペアマッチ
61h	データトランスファコントローラ	DTC・転送終了
63h	I/Oポート	入力ポートグループ1・入力エッジ検出
65h		シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント
6Ah	データ演算回路	DOC・データ演算条件成立
上記以外は設定しないでください		

## 17.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス ELC.ELOPA 0008 B11Fh

b7	b6	b5	b4	b3	b2	b1	b0
MTU3MD[1:0]	MTU2MD[1:0]	MTU1MD[1:0]	—	—	—	—	—

リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	MTU1MD[1:0]	MTU1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注1) 1 1 : イベント出力禁止	R/W
b5-b4	MTU2MD[1:0]	MTU2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注2) 1 1 : イベント出力禁止	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注3) 1 1 : イベント出力禁止	R/W

注1. MTU1.TCNTレジスタの値がMTU1.TGRAレジスタにキャプチャされます。

注2. MTU2.TCNTレジスタの値がMTU2.TGRAレジスタにキャプチャされます。

注3. MTU3.TCNTレジスタの値がMTU3.TGRAレジスタにキャプチャされます。

ELOPAレジスタは、イベント信号が入力されたときのMTU1～MTU3の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

## 17.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス ELC.ELOPB 0008 B120h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MTU4MD[1:0]	—

リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注1) 1 1 : イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNTレジスタの値がMTU4.TGRAレジスタにキャプチャされます。

ELOPBレジスタは、イベント信号が入力されたときのMTU4の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

## 17.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス ELC.ELOPC 0008 B121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMT1MD[1:0]	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときの CMT1 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

## 17.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス ELC.ELOPD 0008 B122h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	TMR2MD[1:0]	—	—	—	TMR0MD[1:0]	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPD レジスタは、イベント信号が入力されたときの TMR0、TMR2 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

## 17.2.7 ポートグループ指定レジスタ 1 (PGR1)

アドレス ELC.PGR1 0008 B123h

b7	b6	b5	b4	b3	b2	b1	b0
PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0 : ポートグループに指定しない 1 : ポートグループに指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGR1 レジスタは、I/O ポートのグループ設定をするレジスタです。8 ビットのポートの内、このレジスタで“1”にしたビットに対応するポートがポートグループに選択されます。

たとえば、PGR1.PGR6 ビットと PGR1.PGR3 ビットを“1”にした場合、PB6 端子と PB3 端子がポートグループに選択されます。

表 17.4 に PGR1 レジスタとポートの対応を示します。

表 17.4 ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGR)	ポートグループコントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)
ポートB	PGR1レジスタ	PGC1レジスタ	PDBF1レジスタ

## 17.2.8 ポートグループコントロールレジスタ 1 (PGC1)

アドレス ELC.PGC1 0008 B125h

b7	b6	b5	b4	b3	b2	b1	b0
—	PGCO[2:0]			—	PGCO VE	PGC1[1:0]	
リセット後の値	1	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PGC1[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0 : ポートへの入力信号の立ち上がりエッジを検出して、イベント信号を出力 0 1 : ポートへの入力信号の立ち下がりエッジを検出して、イベント信号を出力 1 x : ポートへの入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b2	PGCOVE	PDBF1上書き指定ビット	0 : PDBF1レジスタへの上書き無効 1 : PDBF1レジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作セレクトビット	b6 b4 0 0 0 : イベント信号が入力されると、Lowを出力 0 0 1 : イベント信号が入力されると、Highを出力 0 1 0 : イベント信号が入力されると、トグル(反転)出力 0 1 1 : イベント信号が入力されると、バッファ値を出力 1 x x : イベント信号が入力されると、ポートグループ内でビットローテート出力(MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PGC1 レジスタは、出力に設定されたポートグループに対して、イベント信号が入力されたときにポートから出力する信号の形式を指定するレジスタです。また、入力に設定されたポートグループに対して、PDBF1 レジスタへの上書き有効/無効の指定およびイベント発生条件(ポートへの入力信号の変化)の設定を行うレジスタです。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

PGC1 レジスタとポートの対応については、表 17.4 を参照してください。

## 17.2.9 ポートバッファレジスタ 1 (PDBF1)

アドレス ELC.PDBF1 0008 B127h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0ビット	イベント信号が入力されたときにPODRレジスタに転送するデータを設定します。設定した値は、PGC1.PGCO[2:0]ビットが“011b”、“1xxb”の場合に有効です。入力ポートグループに指定したビットへの書き込みは無効となります。詳細は、「17.3 動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1ビット		R/W
b2	PDBF2	ポートバッファ 2ビット		R/W
b3	PDBF3	ポートバッファ 3ビット		R/W
b4	PDBF4	ポートバッファ 4ビット		R/W
b5	PDBF5	ポートバッファ 5ビット		R/W
b6	PDBF6	ポートバッファ 6ビット		R/W
b7	PDBF7	ポートバッファ 7ビット		R/W

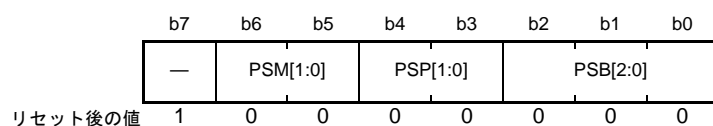
PDBF1 レジスタは、PGR1 レジスタと対になる 8 ビットのレジスタです。PDBF1 レジスタの動作については、「17.3.5 I/O ポートのイベント信号入力時の動作とイベント生成」を参照してください。

PDBF1 レジスタとポートの対応については、表 17.4 を参照してください。



## 17.2.10 イベント接続ポート指定レジスタ m (PELm) (m = 0, 1)

アドレス ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> <li>出力ポートに設定したとき : ポート出力データを指定 b6 b5 0 0 : イベント信号が入力されると、Low を出力 0 1 : イベント信号が入力されると、High を出力 1 x : イベント信号が入力されると、トグル(反転)出力</li> <li>入力ポートに設定したとき : イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント信号を出力 0 1 : 立ち下がりエッジを検出して、イベント信号を出力 1 x : 立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力</li> </ul>	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B のビットに対して、最大 2 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

## 17.2.11 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みはMOV命令を使用してください。

**SEGビット(ソフトウェアイベント発生ビット)**

WEビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読めます。“1”を書いても“1”になりません。

**WEビット(SEGビット書き込み許可ビット)**

WEビットが“1”のときのみ、SEGビットに対する書き込みが可能になります。  
WEビットを“1”にするには、WIビットに“0”、WEビットに“1”を同時に書いてください。  
WEビットを“0”にするには、WIビットに“0”、WEビットに“0”を同時に書いてください。

**WIビット(ELSEGRレジスタ書き込み禁止ビット)**

WIビットの書き込み値が“0”のときのみ、ELSEGRレジスタに対する書き込みが可能になります。読むと“1”が読めます。

## 17.3 動作説明

### 17.3.1 割り込み処理とイベントリンクの関係

本MCUに内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可/禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが“1”になり、割り込み要求が許可のとき、CPUに対して割り込みを要求します。

これに対して、ELCは、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続(リンク)することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図17.2に割り込み処理とELCの関係を示します。

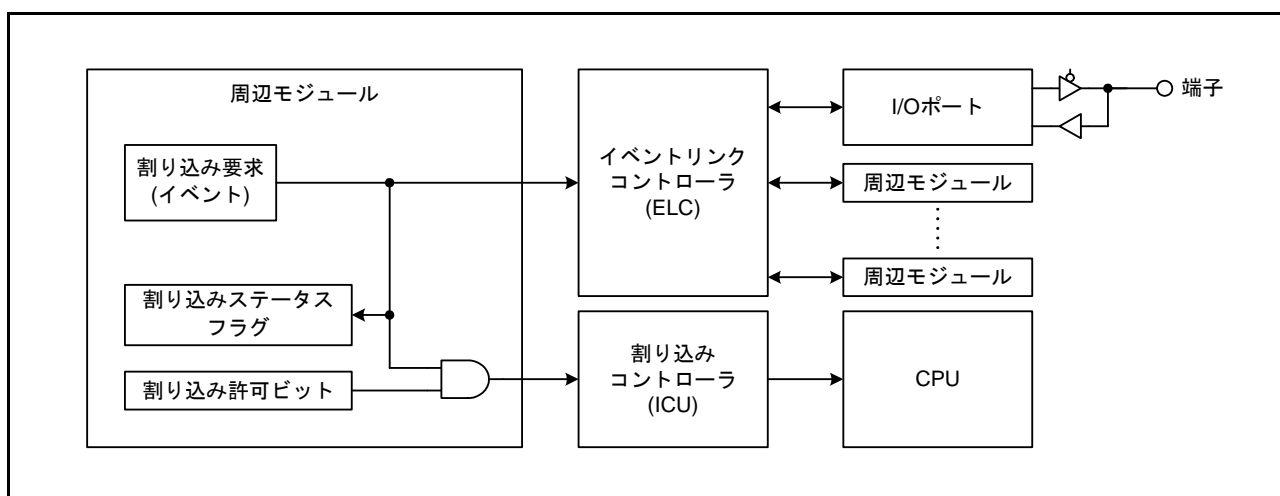


図 17.2 割り込み処理と ELC の関係

### 17.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1つの周辺モジュールに、1種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSRn レジスタを設定してください。表 17.5 にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表 17.5 イベント信号入力時の周辺モジュール別動作一覧

周辺モジュール	イベント信号入力時の動作		
MTU CMT TMR	ELOPA～ELOPDレジスタの設定により以下の動作が選択できます。 <ul style="list-style-type: none"> <li>• イベント信号が入力されると、カウントスタート</li> <li>• イベント信号が入力されると、カウントリスタート</li> <li>• 入力したイベント数をカウント(CMT, TMR)</li> <li>• イベント信号が入力されると、キャプチャ動作(MTU)</li> </ul>		
A/Dコンバータ	イベント信号が入力されると、A/D変換開始		
D/Aコンバータ	イベント信号が入力されると、D/A変換開始		
I/Oポート(出力)	イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が変化(出力端子のレベルが変化)	ポートグループ	<ul style="list-style-type: none"> <li>• PODRレジスタの値が、指定された値に変化</li> <li>• PDBF1レジスタの値をPODRレジスタに転送</li> <li>• ローテート出力</li> </ul>
		シングルポート	PODRレジスタの値が指定された値に変化
I/Oポート(入力)	入力端子のレベルが変化	ポートグループ	イベント発生
		シングルポート	
	イベント信号入力時	ポートグループ	入力端子の信号レベルをPDBF1レジスタに転送
		シングルポート	この組み合わせは使用できません
割り込み制御	イベント信号が入力されると、CPUに割り込みを要求、DTC転送開始		

### 17.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

タイマ系周辺モジュールは、ELOPA ~ ELOPD レジスタによりイベント信号入力時の動作を設定します。

#### (1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット(注1)が“1”になります。カウントスタートビットが“1”のときに入力されたイベント信号は無視されます。

#### (2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット(注1)は保持されるため、カウントスタートビットが“1”のときにイベント信号を入力するとカウンタは0からカウントを再開します。

#### (3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

#### (4) インプットキャプチャ動作

イベント信号が入力されると、カウンタの値をキャプチャします。

注1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

### 17.3.4 A/D コンバータ、D/A コンバータのイベント信号入力時の動作

ADCSR.ADST ビット、DACR.DAOEO ビット(注1)が“1”になり、A/D 変換またはD/A 変換がスタートします。

注1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

### 17.3.5 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B です。

#### (1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク (シングルポートへのイベントリンク) と、8 本ある I/O ポートの内の任意の複数本へのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット (m = 0, 1) で行います。ポートグループの設定は、PGR1 レジスタにより任意のビット (2 ビット以上) を“1”にすることで行います。PGR1 レジスタで“1”にしたポートの内、出力に設定したポートは出力ポートグループに、入力に設定したポートは入力ポートグループになります。

1 本のポートに対してシングルポートとポートグループの両方の設定をした場合、入力ポートでは両方の機能が有効になり、出力ポートではポートグループの機能のみが有効になります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

## (2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PELm.PSM[1:0] ビット (m = 0, 1) で設定します。図 17.3 (1) にシングルポートのイベントリンク動作を示します。

## (3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODR レジスタの値) が PELm.PSM[1:0] ビットで指定したとおりに変化します。図 17.3 (2) にシングルポートのイベントリンク動作を示します。

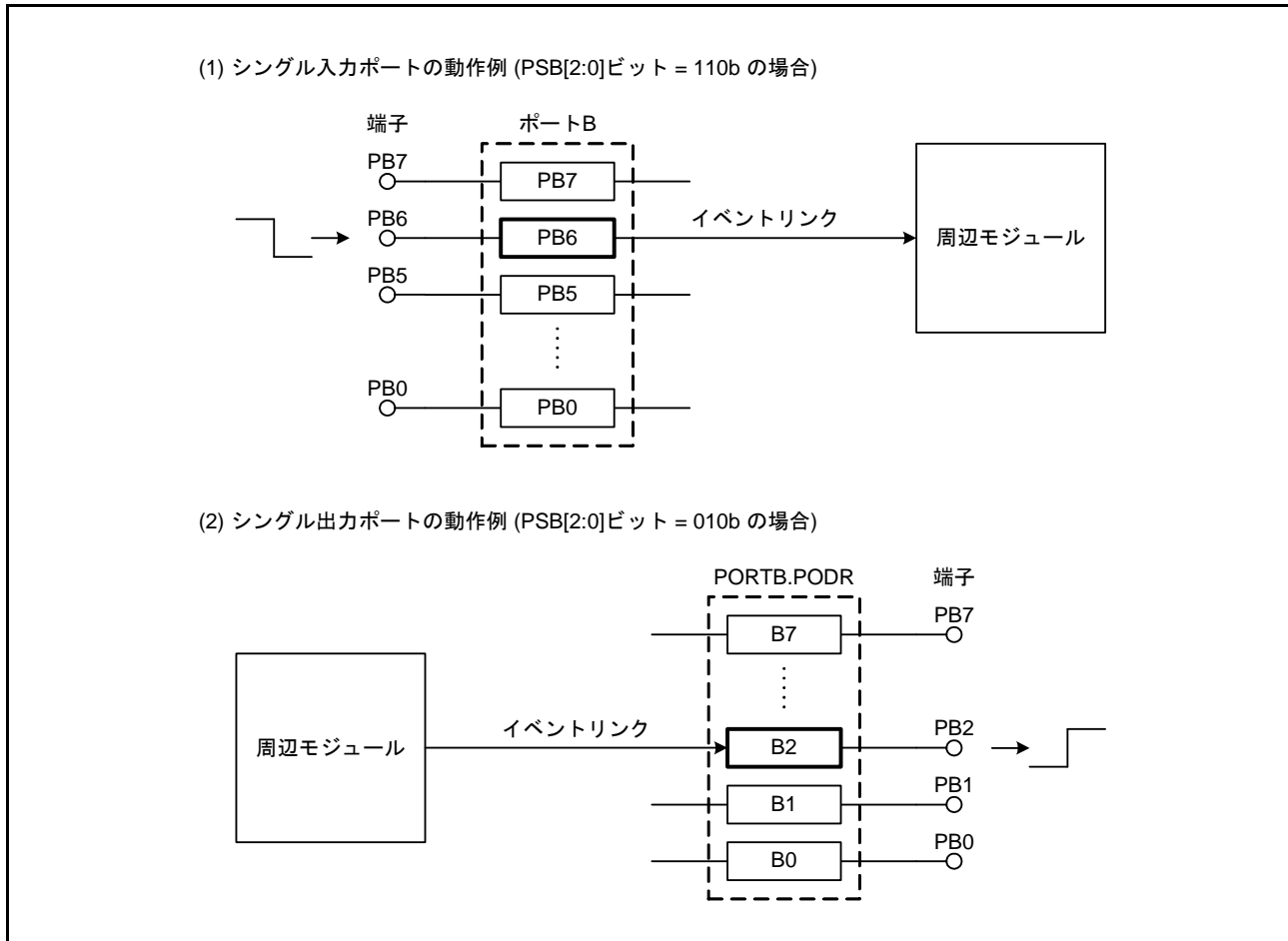


図 17.3 シングルポートのイベントリンク動作 (ポート B の場合)

## (4) 入力ポートグループでのイベント発生

入力ポートグループは、対応する端子への入力信号のいずれかが変化すると、イベント信号を出力します。イベント発生条件は PGC1.PGCI[1:0] ビットで設定します。

### (5) 入力ポートグループへのイベント信号の入力

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBF1 レジスタに転送されます。入力ポートグループに指定されていないポートに対応するビットの値は変化しません。図 17.4 に入力ポートグループのイベントリンク動作を示します。

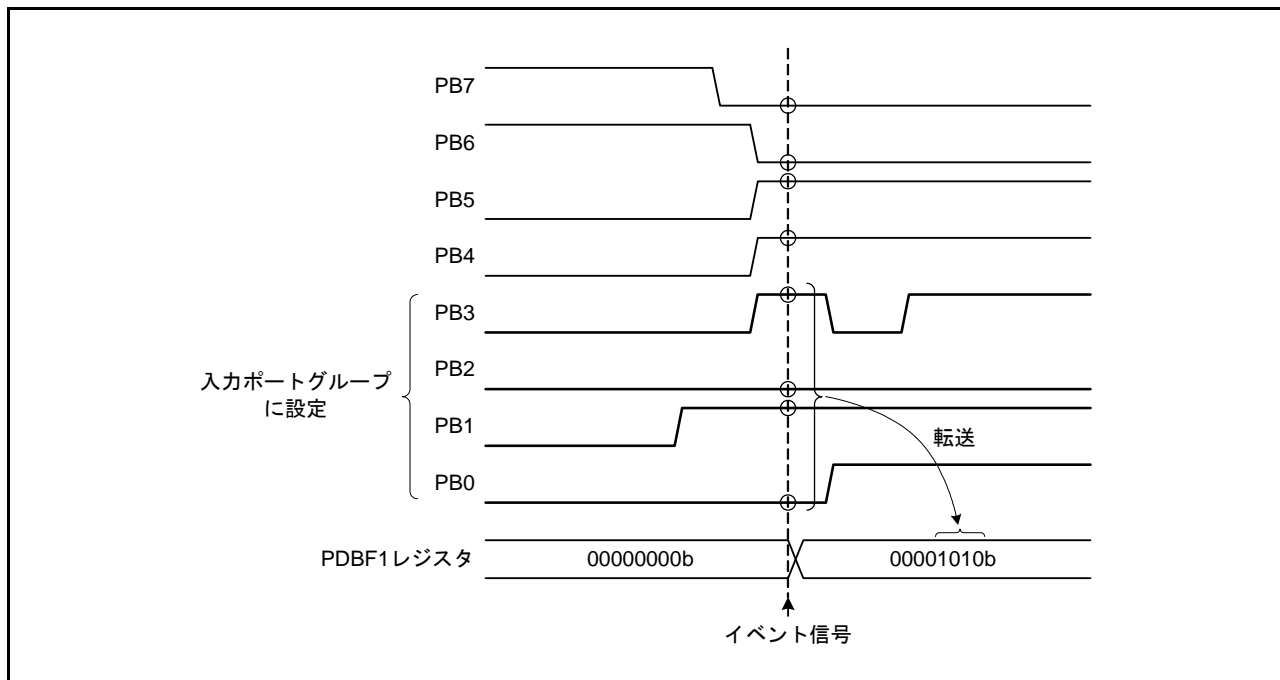


図 17.4 入力ポートグループのイベントリンク動作 (ポート B の場合)

### (6) 出力ポートグループへのイベント信号の入力

出力ポートグループにイベント信号が入力されると、対応する PODR レジスタの値が PGC1.PGCO[2:0] ビットで設定されたとおりに変化します。図 17.5 に出力ポートグループのイベントリンク動作を示します。

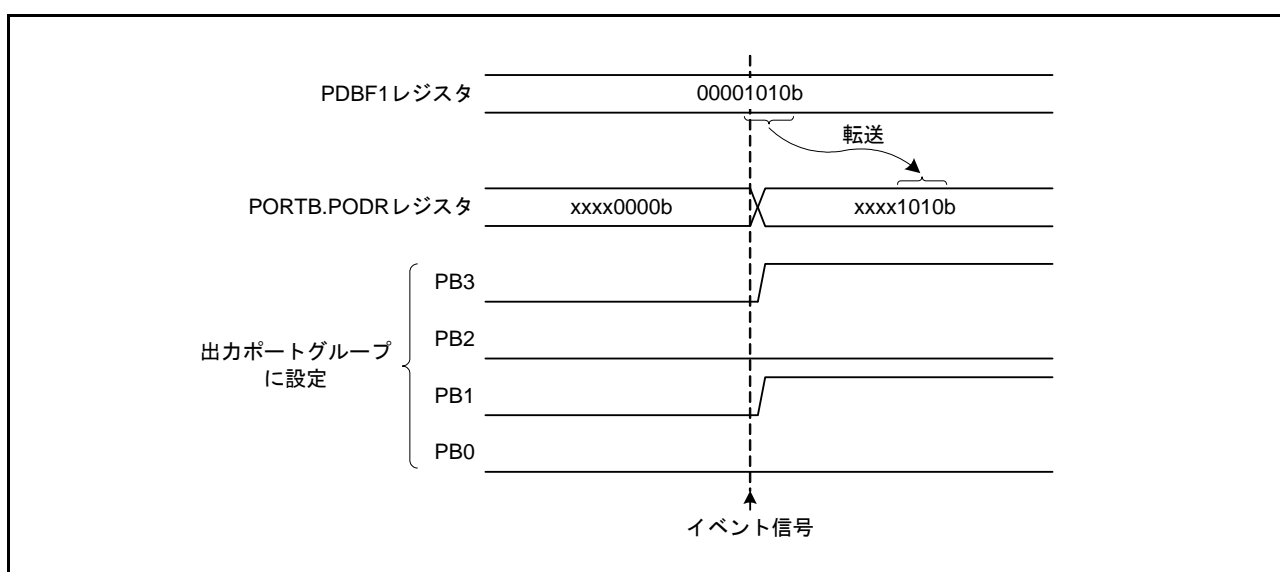


図 17.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

## (7) PDBF1 レジスタの動作

### (a) 入力ポートグループ

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBF1 レジスタに転送されます。この状態で、再度入力ポートグループにイベント信号が入力された場合、PGC1.PGCOVE ビットの設定によって以下のように異なる動作をします。

- PGC1.PGCOVE ビット = 0 (上書き無効) のとき

前回のイベント信号入力により PDBF1 レジスタに転送された値が、CPU または DTC によってリードされている場合、そのときの端子のレベルが PDBF1 レジスタに転送されます。リードされていない場合、端子のレベルは PDBF1 レジスタに転送されず、入力したイベント信号は無効となります。

- PGC1.PGCOVE ビット = 1 (上書き有効) のとき

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが、PDBF1 レジスタに転送されます。

### (b) 出力ポートグループ

出力ポートグループが PDBF1 レジスタの値を出力する設定 (PGC1.PGCO[2:0] ビット = 011b) になっている場合、出力ポートグループにイベント信号が入力されると、PDBF1 レジスタの値が PODR レジスタに転送されます。出力ポートグループに設定されていないポートに対応するビットには、データは転送されません。

出力ポートグループがグループ内でのビットローテート出力 (PGC1.PGCO[2:0] ビット = 1xxb) に設定されている場合、1 回目のイベント信号で PDBF1 レジスタから PODR レジスタにデータが転送され、2 回目以降のイベント信号で当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。

図 17.6 にビットローテートの動作を示します。

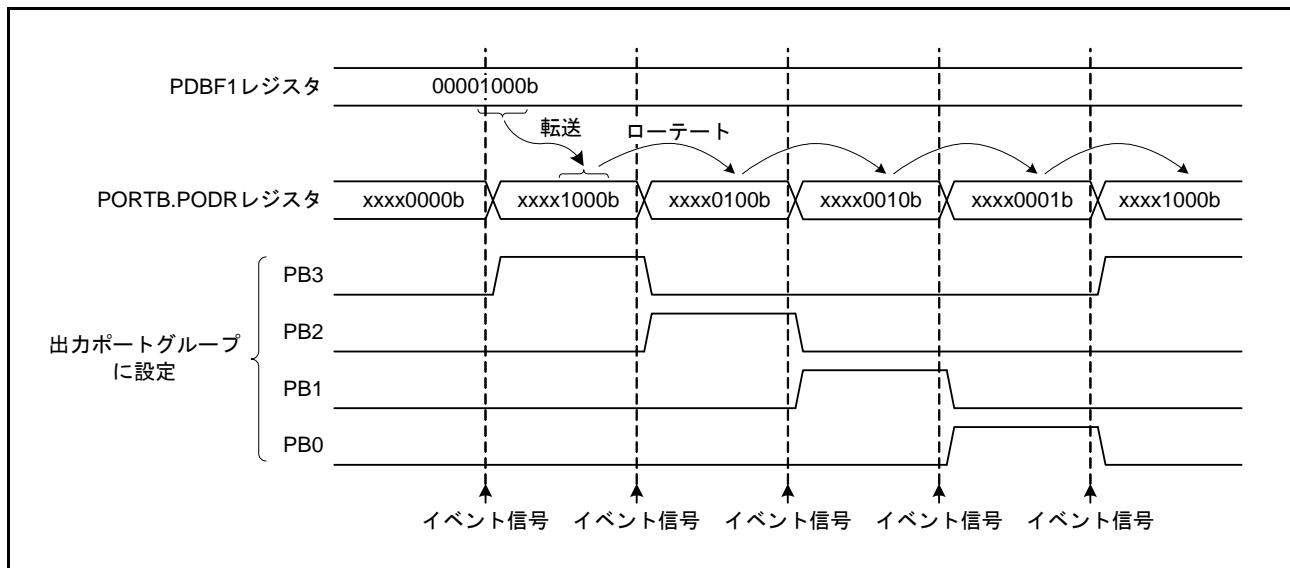


図 17.6 出力ポートグループのビットローテート動作 (ポート B の場合)



### (8) PODR レジスタ、PDBF1 レジスタへの書き込み制限

ELCR.ELCON ビットが“1” (ELC 機能は有効) のとき、下記の条件で PODR レジスタ、PDBF1 レジスタへの書き込みが無効となります。

- 入力ポートグループに指定しイベントリンクを設定すると、対応する PDBF1 レジスタのビットへの書き込みは無効になります。ただし、イベント信号として DOC を選択した場合は、書き込みは有効です。
- 出力ポートグループに指定すると、対応する PODR レジスタのビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。ただし、イベント信号として DOC を選択した場合は、書き込みは有効です。

### 17.3.6 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

- (1) イベント信号により動作する (リンク先) 周辺モジュールの初期設定を行います。
- (2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。  
PODR レジスタ： 出力に設定したポートの初期値を設定します。  
PDR レジスタ： ポートの入出力方向を設定します。  
PGR1 レジスタ： ポートグループとして動作させる場合、グループ化の対象となるポートを設定します。  
PGC1 レジスタ： ポートグループとして動作させる場合の動作を設定します。  
PELm レジスタ： シングルポートとして動作させる場合、対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します (m = 0, 1)。
- (3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。
- (4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPA ~ ELOPD レジスタを設定します。
- (5) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。
- (6) イベント信号を出力する (リンク元) 周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。
- (7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに“00h”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全周辺モジュールのイベントリンク動作が停止します。

注． LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに“00h”を設定してから実施してください。

## 17.4 使用上の注意事項

### 17.4.1 ELSRn レジスタの設定について

#### (1) ELSR18 レジスタの設定

イベント信号は“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

#### (2) ELSR19 レジスタの設定

イベント信号は“5Dh”(LPT・コンペアマッチ)を指定してください。

#### (3) ELSR24、ELSR25 レジスタの設定

DOC・データ演算条件成立信号(6Ah)は、設定しないでください。

### 17.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBF1 レジスタの値を変更する場合、変更後に ELSRn レジスタを再設定してください。また、ビットローテート動作に使用するイベントの発生間隔は、1 PCLKB 以上にしてください。

### 17.4.3 DTC 転送終了のイベント信号使用時の注意事項

DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへの DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

### 17.4.4 クロック設定について

イベントリンクを使用するには ELC の設定の他に、ELC と対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード(ソフトウェアスタンバイモード)の場合は動作できません。

### 17.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

## 18. I/Oポート

### 18.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ  $y$  (ODR $y$ ) ( $y=0, 1$ )、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMRレジスタの詳細については、「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

また、64ピンパッケージ製品には、一部端子の汎用入出力機能を切り替えて PORTC を 8ビットのポートとして使用することが可能なポート切り替えレジスタ A (PSRA) を備えています。ただし、ポート切り替えレジスタ A (PSRA) で PC0、PC1 を選択した場合、イベントリンクコントローラ (ELC) の PB6、PB7 の入力および出力ポートイベント機能は使用できません。

パッケージによって、I/Oポートの構成が異なります。表 18.1 に I/Oポートの仕様を、表 18.2 に I/Oポートの機能を示します。

表 18.1 I/Oポートの仕様

ポートシンボル	パッケージ		パッケージ	
	100ピン	本数	64ピン	本数
PORT0	P02, P04, P07	3	—	—
PORT1	P10~P17	8	P14~P17	4
PORT2	P20~P27	8	P26, P27	2
PORT3	P30~P32, P35	4	P30~P32, P35	4
PORT4	P40~P44, P46	6	P40~P42	3
PORT5	P50~P56	7	P54, P55	2
PORT9	P90~P92	3	—	—
PORTA	PA0~PA7	8	PA0, PA1, PA3, PA4, PA6	5
PORTB	PB0~PB7	8	PB0, PB1, PB3, PB5~PB7	6
PORTC	PC0~PC7	8	PC2~PC7	6
PORTD	PD0~PD4	5	PD0~PD2	3
PORTE	PE0~PE7	8	PE0~PE7	8
PORTF	PF6, PF7	2	—	—
PORTJ	PJ0, PJ2, PJ3, PJ6, PJ7	5	PJ0, PJ2, PJ6, PJ7	4
	ポートの合計数	83	ポートの合計数	47

注. ポート切り替えレジスタ A (PSRA) で、PB6とPC0、PB7とPC1は切り替え可能です。

表 18.2 I/Oポートの機能

ポートシンボル	ポートレジスタ	入力プルアップ機能	オープンドレイン出力機能	5Vトレラント	入出力レベル
PORT0	P02, P04, P07	○	○	—	VCC
PORT1	P10～P15	○	○	—	
	P16, P17	○	○	○	
PORT2	P20～P27	○	○	—	
PORT3	P30～P32	○	○	—	
	P35	—	—	—	
PORT4	P40～P44, P46	—	—	—	AVCC0
PORT5	P50～P53, P56	○	○	—	VCC
	P54, P55	○	—	—	
PORT9	P90～P92	—	—	—	AVCC0
PORTA	PA0～PA5, PA7	○	○	—	VCC
	PA6	○	○	○	
PORTB	PB1～PB7	○	○	—	VCC
	PB0	○	○	○	
PORTC	PC0～PC7	○	○	—	VCC
PORTD	PD0～PD4	○	—	—	VCC
PORTE	PE0～PE7	○	○	—	VCC
PORTF	PF6, PF7	○	—	—	VCC
PORTJ	PJ0, PJ2	○	—	—	VCC
	PJ3	○	○	—	
	PJ6, PJ7	—	—	—	AVCC0

入力プルアップ機能、オープンドレイン出力機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

18.2 入出力ポートの構成

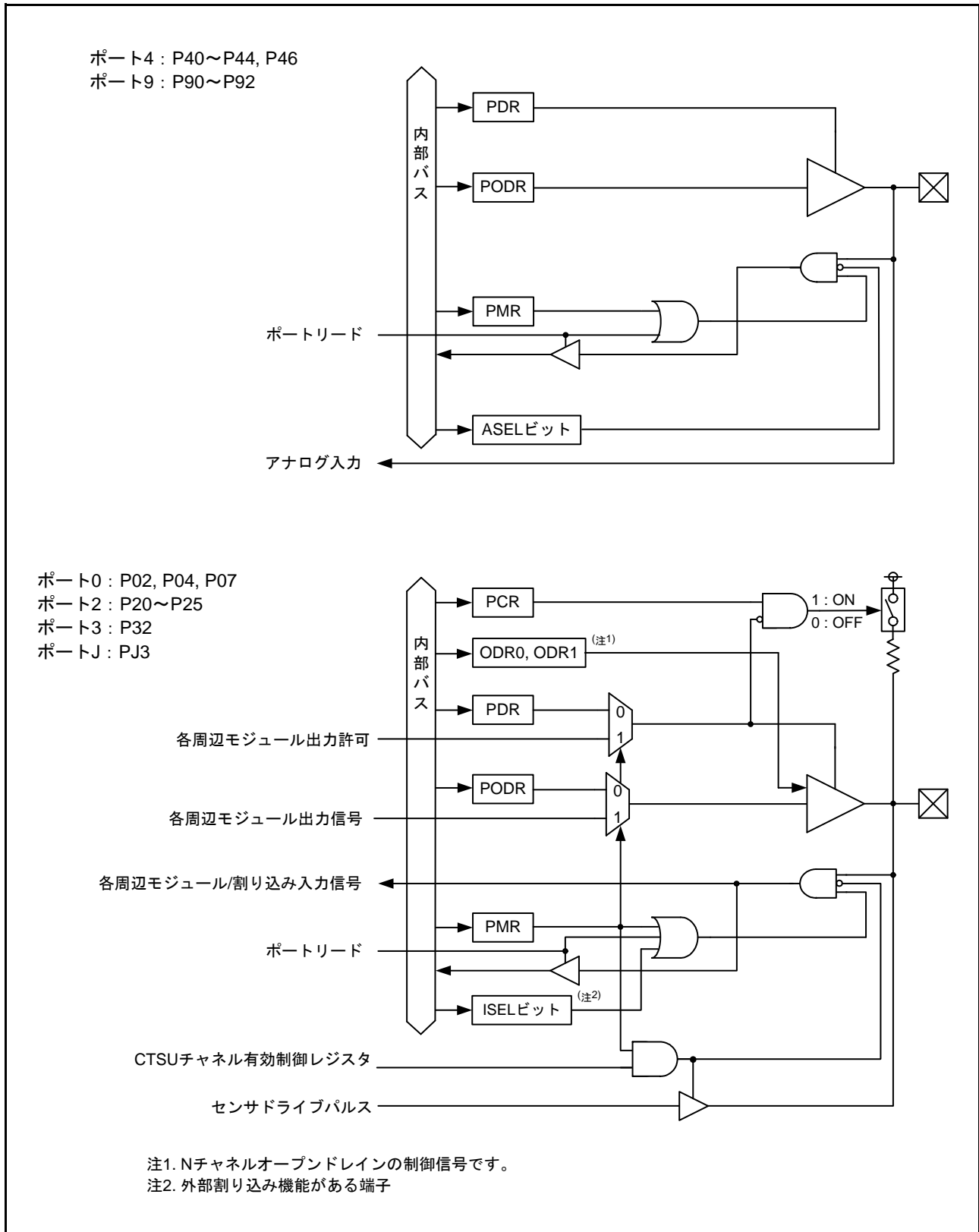


図 18.1 入出力ポートの構成 (1)

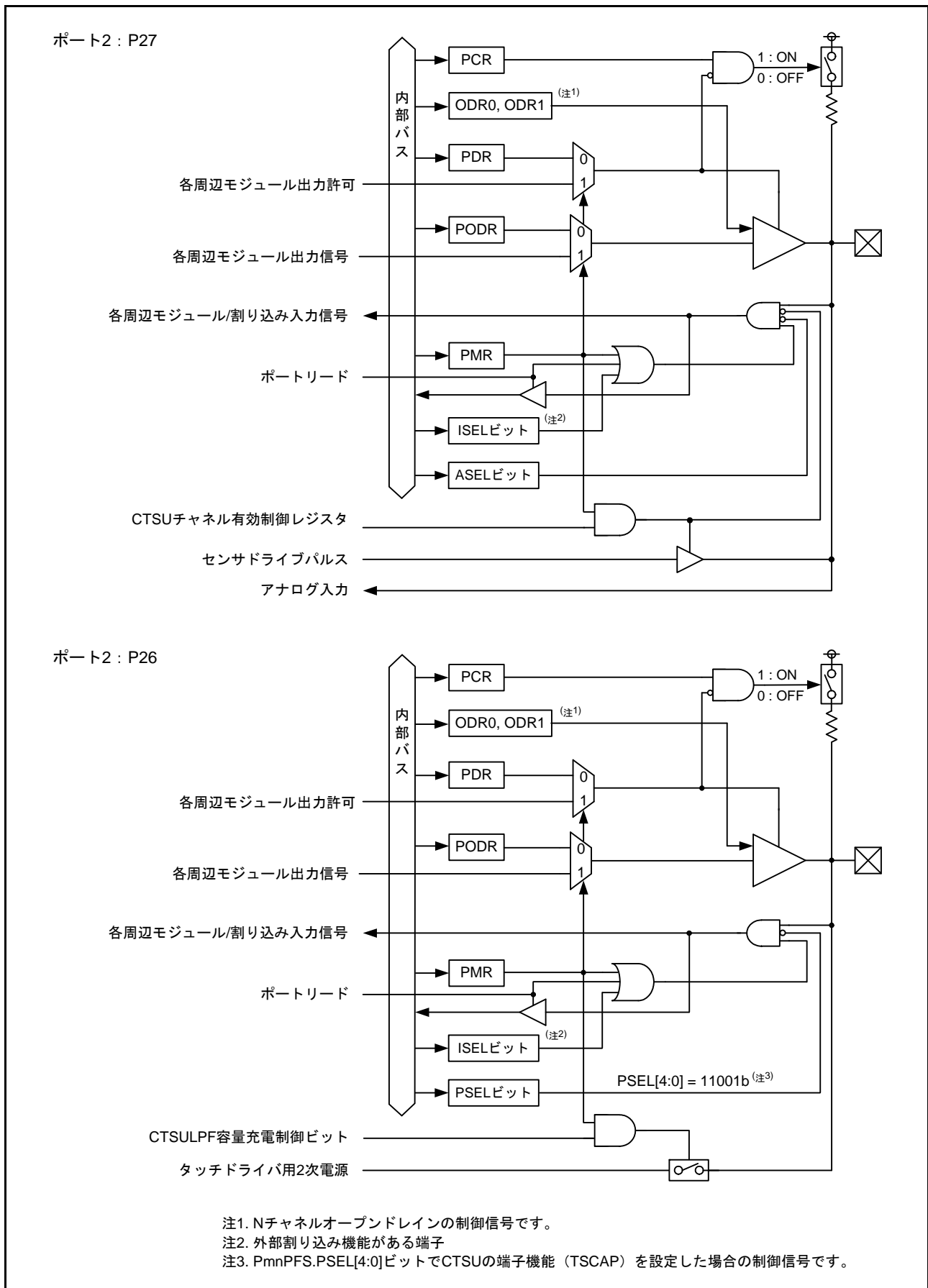


図 18.2 入出力ポートの構成 (2)

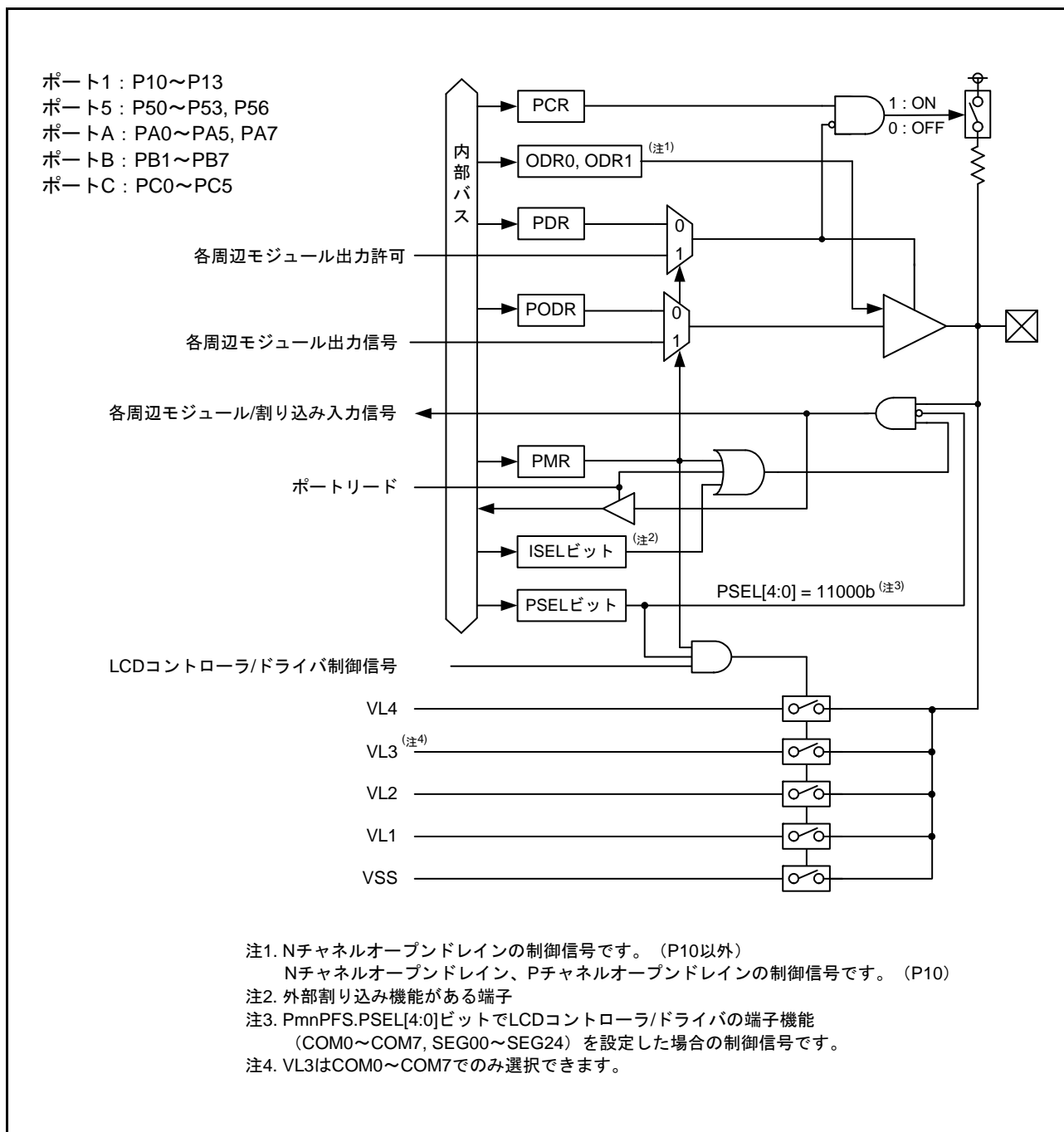


図 18.3 入出力ポートの構成 (3)

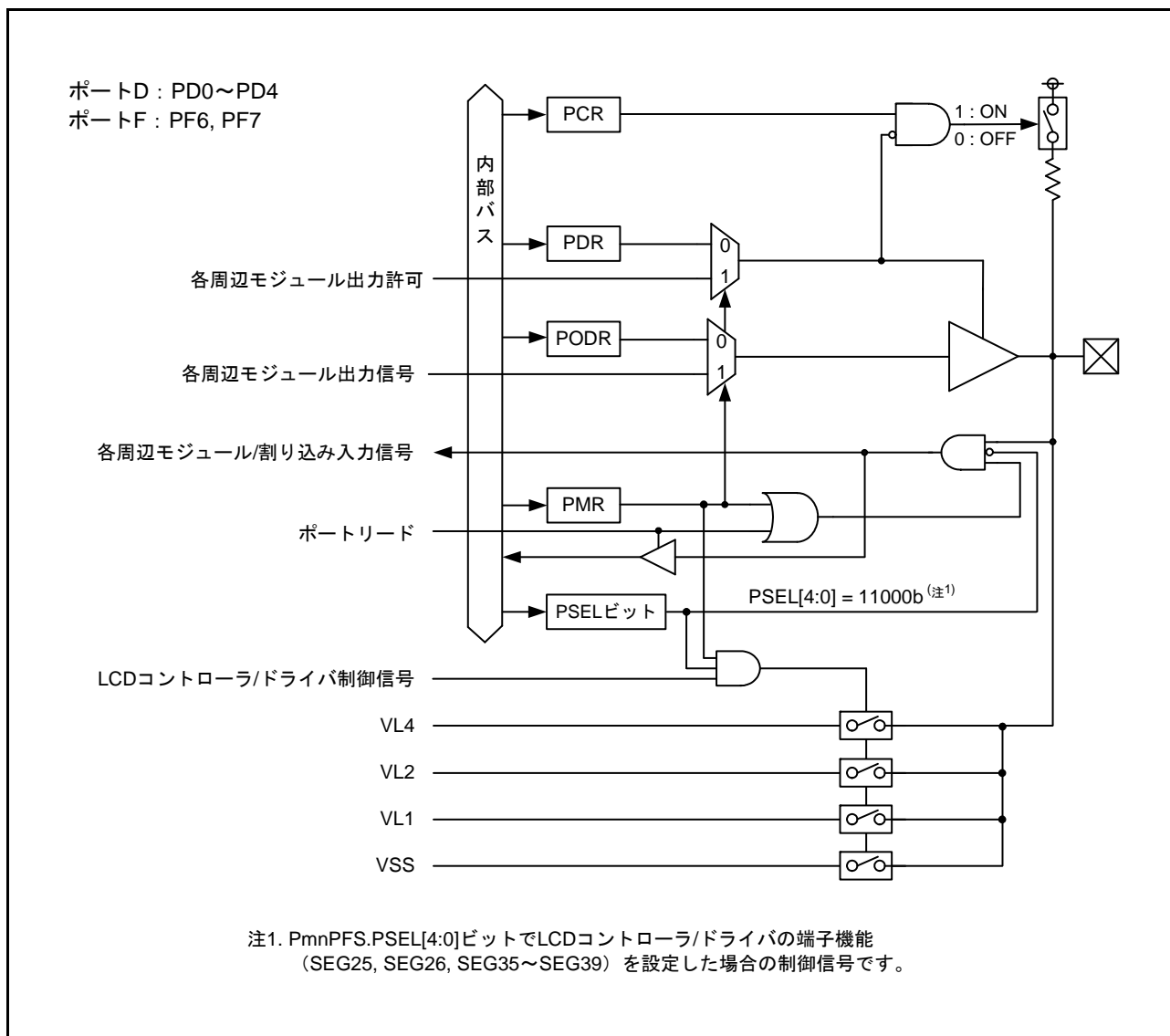


図 18.4 入出力ポートの構成 (4)



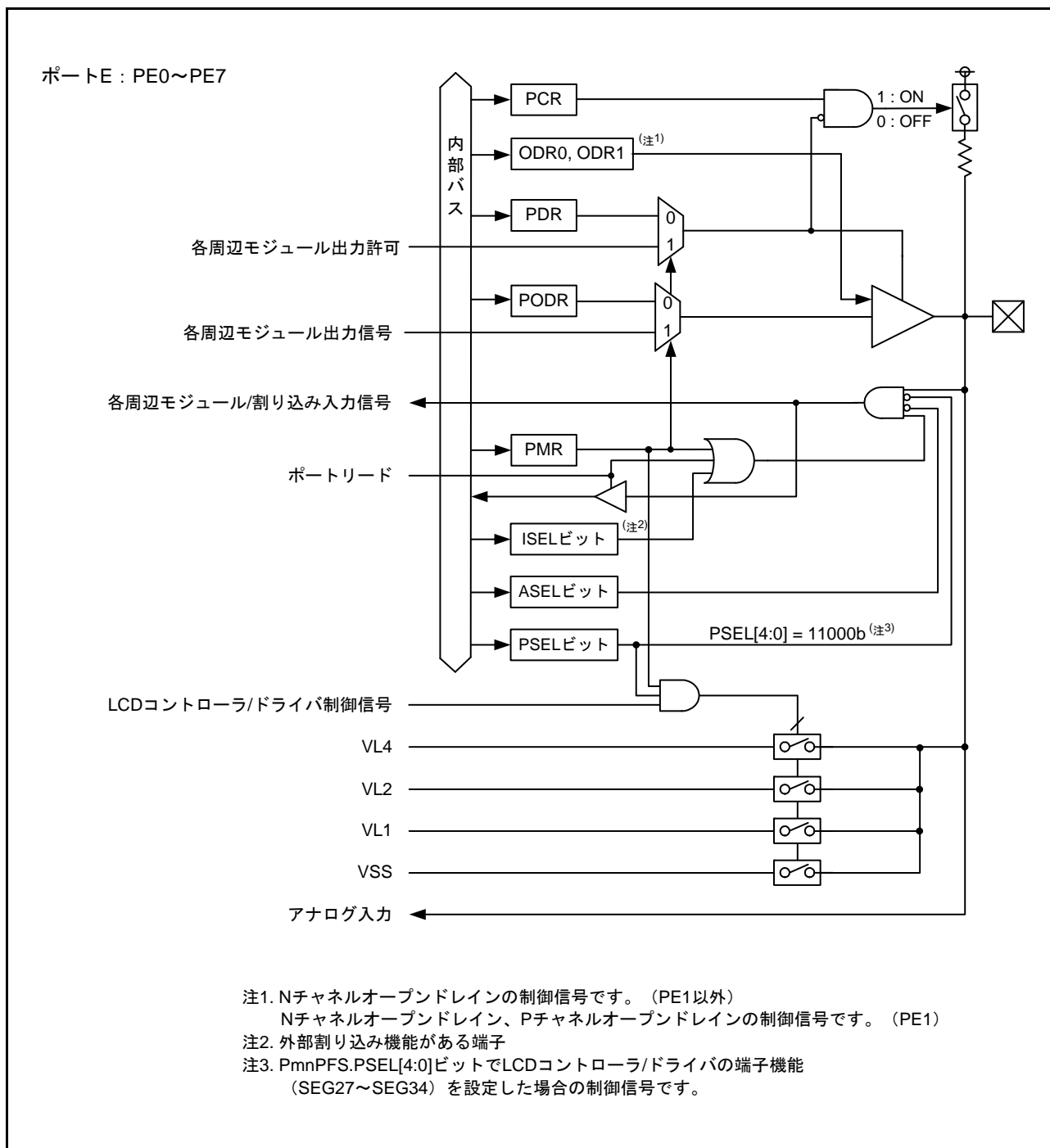


図 18.5 入出力ポートの構成 (5)

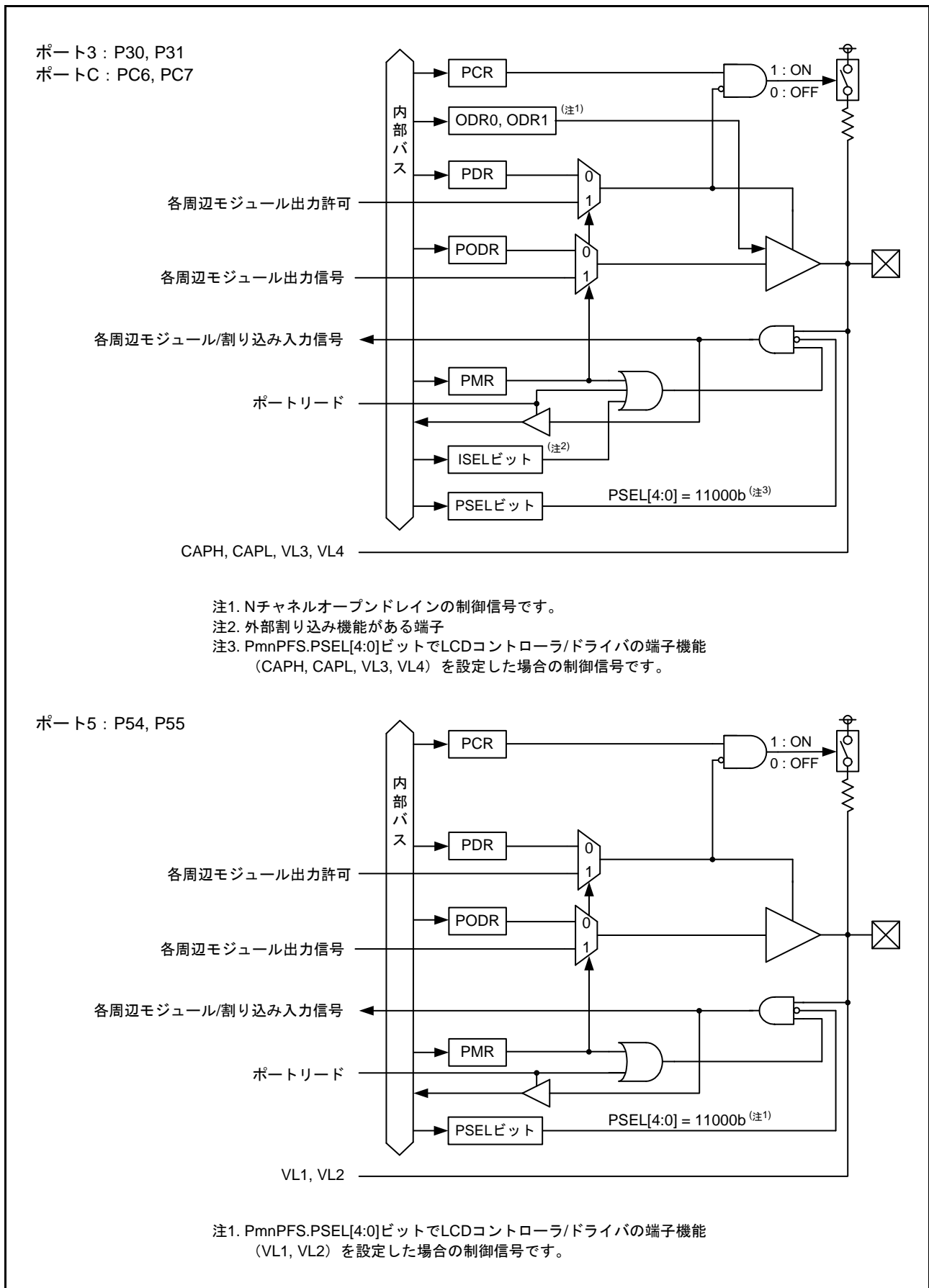


図 18.6 入出力ポートの構成 (6)

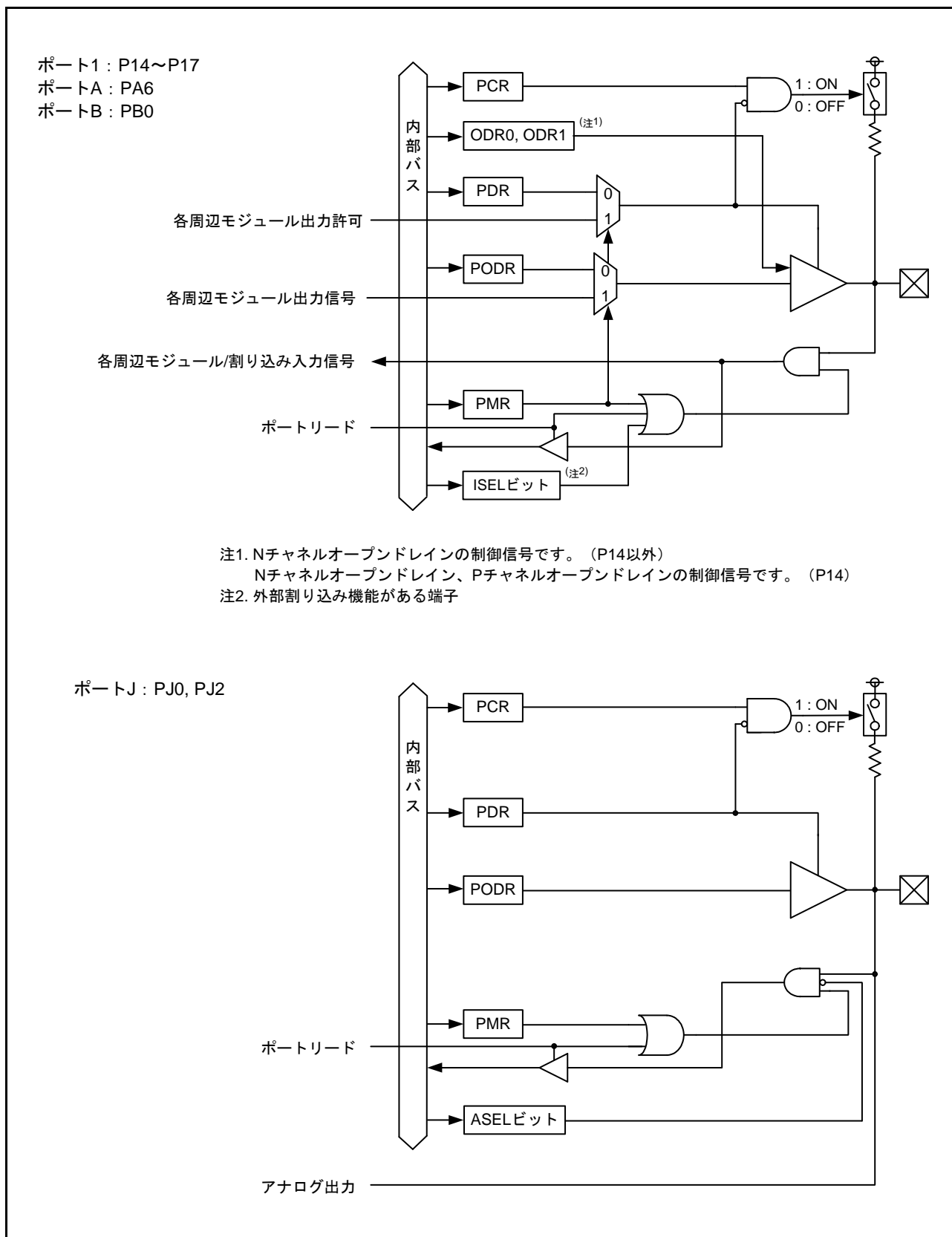


図 18.7 入出力ポートの構成 (7)

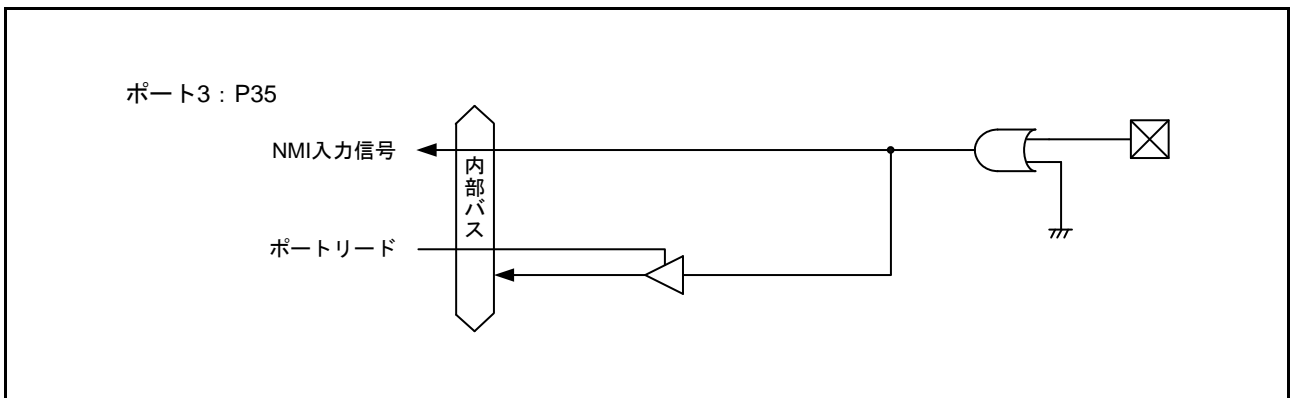


図 18.8 入出力ポートの構成 (8)

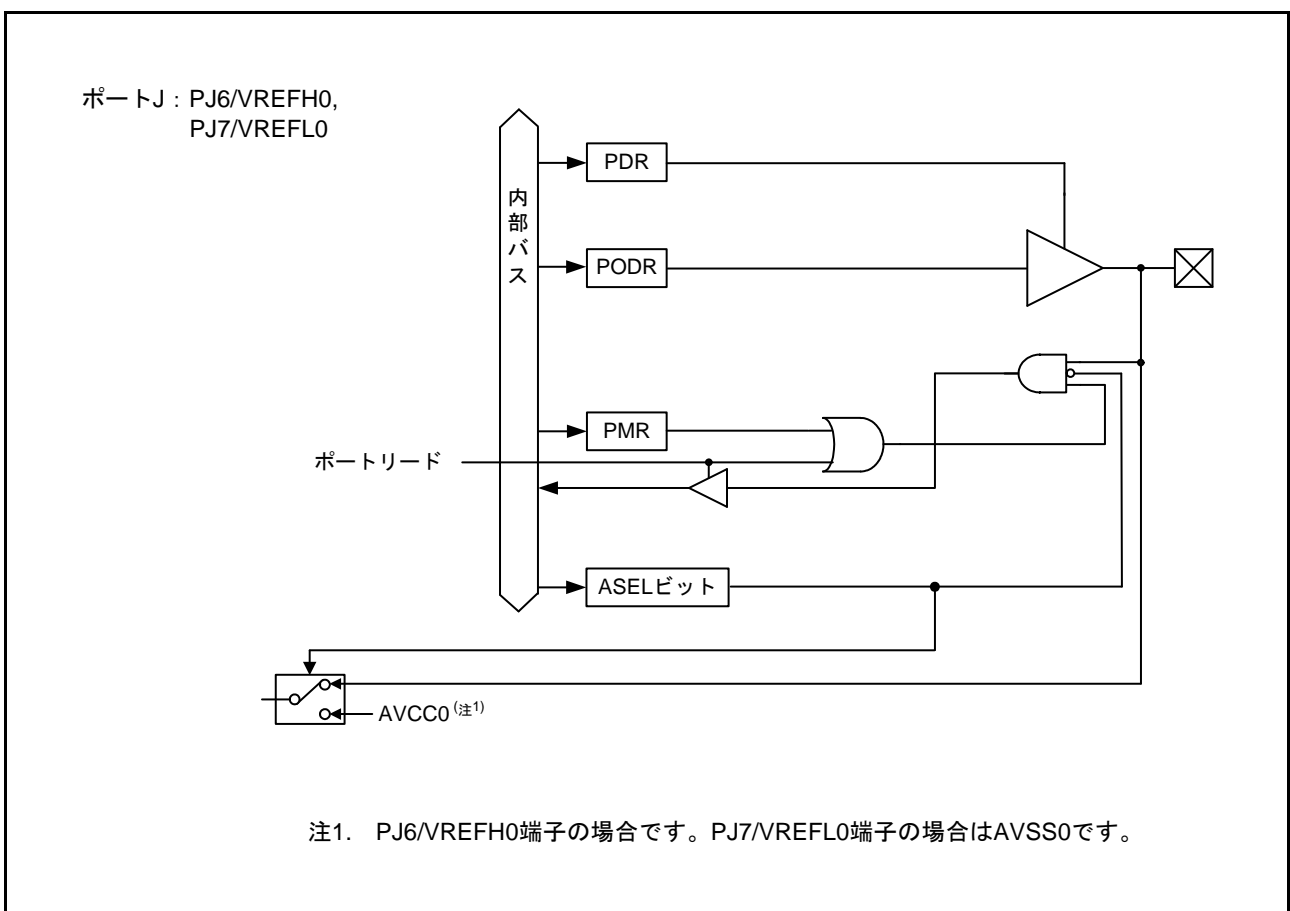


図 18.9 入出力ポートの構成 (9)

## 18.3 レジスタの説明

### 18.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h,  
PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h,  
PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh,  
PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh,  
PORTF.PDR 0008 C00Fh, PORTJ.PDR 0008 C012h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0 : 入力 (入力ポートとして機能) 1 : 出力 (出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 5, 9, A ~ F, J

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタはポート m の方向レジスタで、各ビットがポート m の各端子に対応しており、1ビット単位で指定できます。表 18.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。予約ビットには、表 18.3、表 18.4 に従って“0”または“1”を設定してください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

## 18.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h,  
PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h,  
PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh,  
PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh,  
PORTF.PODR 0008 C02Fh, PORTJ.PODR 0008 C032h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 5, 9, A ~ F, J

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

表 18.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.PODR.B5 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

## 18.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h,  
PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h,  
PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh,  
PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh,  
PORTF.PIDR 0008 C04Fh, PORTJ.PIDR 0008 C052h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	ポートの端子状態を反映	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 5, 9, A ~ F, J

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

P35 は NMI 端子の状態が読み出されます。

表 18.1 に記載されていない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。書き込みは無効になります。

#### < PJ6、PJ7 を汎用入出力ポートとして使用する場合の注意点 >

PJ6、PJ7 を汎用入出力ポートとして使用する場合、下記手順に従い設定してください。

1. PJ6PFS.ASEL ビットを“0”にする。(PJ6 ポートを使用する場合)  
PJ7PFS.ASEL ビットを“0”にする。(PJ7 ポートを使用する場合)
2. PORTJ.PMR.B6 を“0”にする。(PJ6 ポートを使用する場合)  
PORTJ.PMR.B7 を“0”にする。(PJ7 ポートを使用する場合)

## 18.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h,  
PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h,  
PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh,  
PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh,  
PORTF.PMR 0008 C06Fh, PORTJ.PMR 0008 C072h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0端子モード制御ビット	0: 汎用入出力ポートとして使用 1: 周辺機能として使用	R/W
b1	B1	Pm1端子モード制御ビット		R/W
b2	B2	Pm2端子モード制御ビット		R/W
b3	B3	Pm3端子モード制御ビット		R/W
b4	B4	Pm4端子モード制御ビット		R/W
b5	B5	Pm5端子モード制御ビット		R/W
b6	B6	Pm6端子モード制御ビット		R/W
b7	B7	Pm7端子モード制御ビット		R/W

m = 0 ~ 5, 9, A ~ F, J

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

表 18.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.PMR.B5 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。



## 18.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h,  
PORT3.ODR0 0008 C086h, PORT5.ODR0 0008 C08Ah, PORTA.ODR0 0008 C094h,  
PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTE.ODR0 0008 C09Ch,  
PORTJ.ODR0 0008 C0A4h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	<ul style="list-style-type: none"> <li>• P20, P30, P50, PA0, PB0, PC0, PE0</li> <li>b0 0 : CMOS出力</li> <li>1 : Nチャンネルオープンドレイン</li> <li>b1 読むと“0”が読めます。書く場合、“0”としてください</li> <li>• P10</li> <li>b0 b1</li> <li>0 0 : CMOS出力</li> <li>0 1 : Nチャンネルオープンドレイン</li> <li>1 0 : Pチャンネルオープンドレイン</li> <li>1 1 : 設定しないでください</li> </ul>	R/W
b1	B1			R/W
b2	B2	Pm1出力形態指定ビット	<ul style="list-style-type: none"> <li>• P11, P21, P31, P51, PA1, PB1, PC1</li> <li>b2 0 : CMOS出力</li> <li>1 : Nチャンネルオープンドレイン</li> <li>b3 読むと“0”が読めます。書く場合、“0”としてください</li> <li>• PE1</li> <li>b3 b2</li> <li>0 0 : CMOS出力</li> <li>0 1 : Nチャンネルオープンドレイン</li> <li>1 0 : Pチャンネルオープンドレイン</li> <li>1 1 : 設定しないでください</li> </ul>	R/W
b3	B3			R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャンネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャンネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 0 ~ 3, A ~ C, E, J

表 18.1 に記載されていない端子に対応するビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

## 18.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT0.ODR1 0008 C081h, PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h,  
PORT5.ODR1 0008 C08Bh, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h,  
PORTC.ODR1 0008 C099h, PORTE.ODR1 0008 C09Dh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	<ul style="list-style-type: none"> <li>• P04, P24, PA4, PB4, PC4, PE4</li> <li>b0 0 : CMOS出力</li> <li>1 : Nチャネルオープンドレイン</li> <li>b1 読むと“0”が読めます。書く場合、“0”としてください</li> <li>• P14</li> <li>b1 b0</li> <li>0 0 : CMOS出力</li> <li>0 1 : Nチャネルオープンドレイン</li> <li>1 0 : Pチャネルオープンドレイン</li> <li>1 1 : 設定しないでください</li> </ul>	R/W
b1	B1			R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 0 ~ 2, 5, A ~ C, E

表 18.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.ODR1.B2 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

## 18.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h,  
PORT3.PCR 0008 C0C3h, PORT5.PCR 0008 C0C5h, PORTA.PCR 0008 C0CAh,  
PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh,  
PORTE.PCR 0008 C0CEh, PORTF.PCR 0008 C0CFh, PORTJ.PCR 0008 C0D2h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 3, 5, A ~ E, J

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

表 18.1 に記載されていない端子に対応するビットおよび PORT3.PCR.B5 は予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

### 18.3.8 ポート切り替えレジスタ A (PSRA)

アドレス PORT.PSRA 0008 C121h

b7	b6	b5	b4	b3	b2	b1	b0
PSEL7	PSEL6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSEL6	PB6/PC0切り替えビット	0 : PB6汎用入出力ポート機能を選択 1 : PC0汎用入出力ポート機能を選択	R/W
b7	PSEL7	PB7/PC1切り替えビット	0 : PB7汎用入出力ポート機能を選択 1 : PC1汎用入出力ポート機能を選択	R/W

注. PSRAレジスタは64ピンパッケージ製品用のレジスタです。

PSRAレジスタは、PB6、PB7の汎用入出力機能と、PC0、PC1の汎用入出力機能のどちらを使用するかを選択します。PSEL6、PSEL7ビットに“1”を書き込むとPORTCを8ビットのポートとして使用することができます。「図 18.10 PSRAレジスタによる汎用入出力ポートの切り替え例」に各ポートの対応を示します。

周辺機能の入出力機能は、PB6、PB7にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMRレジスタで対応する端子モード制御ビットに“1”を書き込んでください。

本レジスタの書き換えは、該当端子のPMRレジスタ、PDRレジスタ、PCRレジスタが“0”の状態で行ってください。

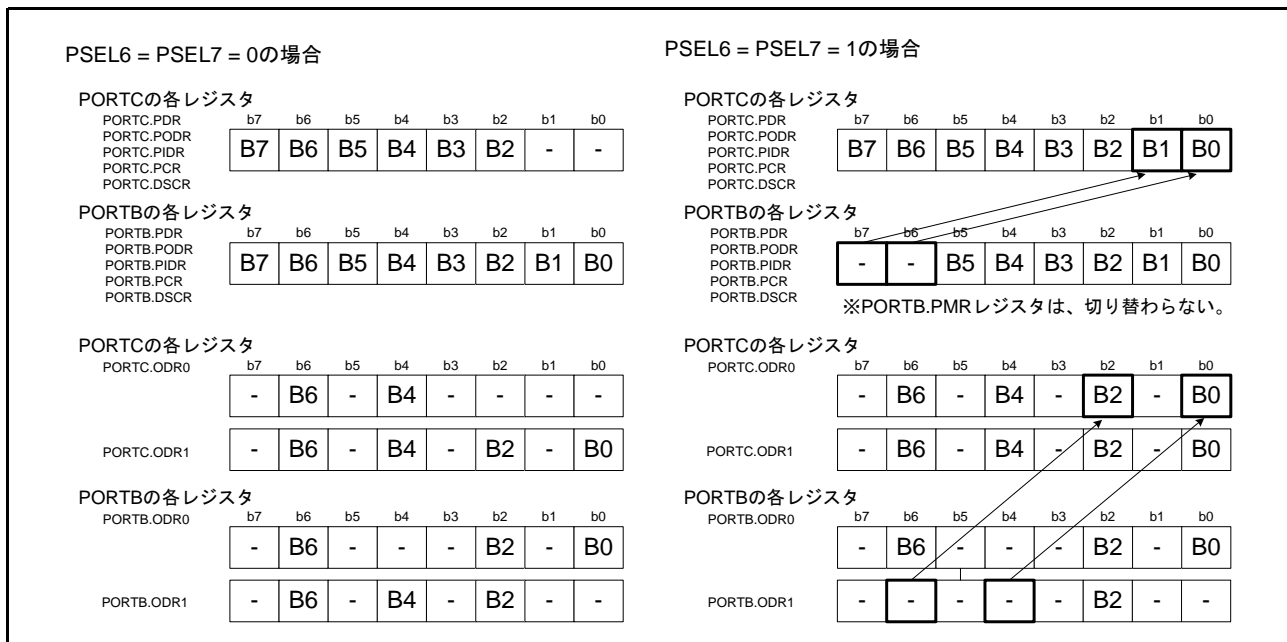


図 18.10 PSRAレジスタによる汎用入出力ポートの切り替え例

## 18.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 18.3、表 18.4 を参照して初期化してください。

- 表 18.3、表 18.4 の空欄は、「表 18.1 I/O ポートの仕様」に記載されている端子に対応するビットです。使用するシステムに応じて“1”（出力）か“0”（入力）を設定してください。ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。このビットには“0”（入力）を設定してください。
- 表 18.3、表 18.4 の空欄以外は、予約ビットです。予約ビットには表 18.3、表 18.4 に従って“0”（入力）または“1”（出力）を設定ください。予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 18.3 100ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0		1	1		1		1	1
PORT1								
PORT2								
PORT3	1	1	0	1	1			
PORT4	1		1					
PORT5	1							
PORT9	1	1	1	1	1			
PORTA								
PORTB								
PORTC								
PORTD	1	1	1					
PORTE								
PORTF			1	1	1	1	1	1
PORTJ			1	1			1	

表 18.4 64ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3	1	1	0	1	1			
PORT4	1	1	1	1	1			
PORT5	1	1			1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA	1		1			1		
PORTB				1		1		
PORTC								
PORTD	1	1	1	1	1			
PORTE								
PORTF	1	1	1	1	1	1	1	1
PORTJ			1	1	1		1	

## 18.5 未使用端子の処理

表 18.5 に未使用端子の処理内容を示します。

表 18.5 未使用端子の処理内容

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
P35/NMI	抵抗を介してVCCに接続 (プルアップ)
VCC_USB	VCCに接続
VSS_USB	VSSに接続
USB0_DM, USB0_DP	端子を開放
EXTAL	抵抗を介してVSSに接続 (プルダウン)
XTAL	端子を開放
XCIN	サブクロックを使用しない場合は、RCR3.RTCENビットを“0”、およびSOSCCR.SOSTPビットを“1” (サブクロック発振器停止) に設定し、抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン)
XCOUT	端子を開放
ポート0~3、5、A~F、J (PJ0, PJ2, PJ3)	<ul style="list-style-type: none"> <li>• 入力に設定 (PORTn.PDRビット=0) し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1)</li> <li>• 出力に設定 (PORTn.PDRビット=1) し、出力データを“0”に設定 (PORTn.PODRビット=0) とし、端子を開放 (注1、注2)</li> </ul>
ポート4、9、J (PJ6, PJ7)	<ul style="list-style-type: none"> <li>• 入力に設定 (PORTn.PDRビット=0) し、1端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または1端子ごとに抵抗を介してAVSS0に接続 (プルダウン) (注1)</li> <li>• 出力に設定 (PORTn.PDRビット=1) し、出力データを“0”に設定 (PORTn.PODRビット=0) とし、端子を開放 (注1、注2)</li> </ul>
ポート0~5、9、A~F、J (PJ3) (64ピンパッケージの場合。存在しないポートに対して)	出力に設定 (PORTn.PDRビット=1) し、出力データを“0”に設定 (PORTn.PODRビット=0) とし、端子を開放 (注1、注2) (「18.4 ポート方向レジスタ (PDR) の初期化」参照)
VREFH0	VREFH0として使用しない場合は、PJ6PFS.ASELビットを“0” (汎用ポートPJ6) に設定 ポートPJ6としても使用しない場合は、ポート4、9、J (PJ6, PJ7) の処理と同様
VREFL0	VREFL0として使用しない場合は、PJ7PFS.ASELビットを“0” (汎用ポートPJ7) に設定 ポートPJ7としても使用しない場合は、ポート4、9、J (PJ6, PJ7) の処理と同様
VREFH	VREFHとして使用しない場合は、P41PFS.ASELビットを“0” (汎用ポートP41) に設定 ポートP41としても使用しない場合は、ポート4、9、J (PJ6, PJ7) の処理と同様
VREFL	VREFLとして使用しない場合は、P42PFS.ASELビットを“0” (汎用ポートP42) に設定 ポートP42としても使用しない場合は、ポート4、9、J (PJ6, PJ7) の処理と同様
VL1	VL1として使用しない場合は、P55PFS.PSELビットを“11000b”以外に設定 ポートP55としても使用しない場合は、ポート0~3、5、A~F、J (PJ0, PJ2, PJ3) の処理と同様
VL2	VL2として使用しない場合は、P54PFS.PSELビットを“11000b”以外に設定 ポートP54としても使用しない場合は、ポート0~3、5、A~F、J (PJ0, PJ2, PJ3) の処理と同様
VL3	VL3として使用しない場合は、PC7PFS.PSELビットを“11000b”以外に設定 ポートPC7としても使用しない場合は、ポート0~3、5、A~F、J (PJ0, PJ2, PJ3) の処理と同様
VL4	VL4として使用しない場合は、PC6PFS.PSELビットを“11000b”以外に設定 ポートPC6としても使用しない場合は、ポート0~3、5、A~F、J (PJ0, PJ2, PJ3) の処理と同様
AVCC0	12ビットA/Dコンバータ、12ビットD/Aコンバータを使用しない場合は、VCCに接続
AVSS0	12ビットA/Dコンバータ、12ビットD/Aコンバータを使用しない場合は、VSSに接続

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

## 19. マルチファンクションピンコントローラ (MPC)

### 19.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 19.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 19.1 マルチプル端子の割り当て端子一覧 (1/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
割り込み		NMI (入力)	P35	○	○
割り込み	IRQ0	IRQ0 (入力)	P30	○	○
			PE0	○	○
			PD0	○	○
	IRQ1	IRQ1 (入力)	P31	○	○
			PE1	○	○
			PD1	○	○
	IRQ2	IRQ2 (入力)	P32	○	○
			PB0	○	○
			PC4	○	○
			P12	○	×
			PD2	○	○
	IRQ3	IRQ3 (入力)	P27	○	○
			PE3	○	○
			PA6	○	○
			P13	○	×
			PD3	○	×
	IRQ4	IRQ4 (入力)	P14	○	○
			PB1	○	○
			PE4	○	○
			PD4	○	×
	IRQ5	IRQ5 (入力)	P15	○	○
			PA4	○	○
			PE5	○	○
			P56	○	×
	IRQ6	IRQ6 (入力)	P16	○	○
			PA3	○	○
			PE6	○	○
P10			○	×	
IRQ7	IRQ7 (入力)	P17	○	○	
		PE2	○	○	
		PE7	○	○	
		P11	○	×	

表 19.1 マルチプル端子の割り当て端子一覧 (2/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
マルチファンクション タイマユニット2	MTU0	MTIOC0A (入出力)	P14	○	○
			PB3	○	○
			PE3	○	○
			P04	○	×
		MTIOC0B (入出力)	P15	○	○
			PA1	○	○
			P13	○	×
		MTIOC0C (入出力)	P17	○	○
			P32	○	○
			PB0	○	○
			PB1	○	○
		MTIOC0D (入出力)	PA3	○	○
	P02		○	×	
	MTU1	MTIOC1A (入出力)	PE4	○	○
			P20	○	×
			P56	○	×
		MTIOC1B (入出力)	PA3	○	○
			PB5	○	○
			PE3	○	○
	MTU2	MTIOC2A (入出力)	P26	○	○
			PA6	○	○
			PB5	○	○
			PE0	○	○
			P50	○	×
MTIOC2B (入出力)		P27	○	○	
		PA4	○	○	
		PE5	○	○	
マルチファンクション タイマユニット2	MTU3	MTIOC3A (入出力)	P14	○	○
			P17	○	○
			PC7	○	○
			PE4	○	○
			PC1	○	×
			PF7	○	×
	MTIOC3B (入出力)	P17	○	○	
		PB3	○	○	
		PB7	○	○	
		PC5	○	○	
			P22	○	×



表 19.1 マルチプル端子の割り当て端子一覧 (3/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
マルチファンクション タイマユニット2	MTU3	MTIOC3C (入出力)	P16	○	○
			PC6	○	○
			PJ3	○	×
			PC0	○	×
			PF6	○	×
		MTIOC3D (入出力)	P16	○	○
			PB6	○	○
			PC4	○	○
			P23	○	×
		MTU4	MTIOC4A (入出力)	PA0	○
	PB3			○	○
	PE2			○	○
	P24			○	×
	MTIOC4B (入出力)		P30	○	○
			P54	○	○
			PC2	○	○
			PE3	○	○
			PD1	○	○
	MTIOC4C (入出力)		PB1	○	○
			PE1	○	○
			PE5	○	○
			P25	○	×
			P51	○	×
	MTIOC4D (入出力)	P31	○	○	
P55		○	○		
PC3		○	○		
PE4		○	○		
PD2		○	○		
マルチファンクション タイマユニット2	MTU5	MTIC5U (入力)	PA4	○	○
			P11	○	×
		MTIC5V (入力)	PA6	○	○
			P10	○	×
		MTIC5W (入力)	PB0	○	○
			P56	○	×

表 19.1 マルチプル端子の割り当て端子一覧 (4/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
マルチファンクション タイマユニット2	MTU	MTCLKA (入力)	P14	○	○
			PA4	○	○
			PC6	○	○
			P24	○	×
		MTCLKB (入力)	P15	○	○
			PA6	○	○
			PC7	○	○
			P25	○	×
		MTCLKC (入力)	PA1	○	○
			PC4	○	○
			P22	○	×
		MTCLKD (入力)	PA3	○	○
PC5	○		○		
P23	○		×		
ポートアウトプット イネーブル2	POE0	POE0# (入力)	PC4	○	○
			PA3	○	○
			P11	○	×
	POE1	POE1# (入力)	PB5	○	○
			P10	○	×
	POE2	POE2# (入力)	PA6	○	○
			P04	○	×
			P56	○	×
	POE3	POE3# (入力)	PB3	○	○
			PE0	○	○
			P02	○	×
			PD4	○	×
	POE8	POE8# (入力)	P17	○	○
			P30	○	○
			PE3	○	○
			PD3	○	×
8ビットタイマ	TMR0	TMO0 (出力)	P22	○	×
			PB3	○	○
		TMC10 (入力)	P21	○	×
			PB1	○	○
		TMR10 (入力)	P20	○	×
			PA4	○	○
	TMR1	TMO1 (出力)	P17	○	○
			P26	○	○
		TMC11 (入力)	P12	○	×
			P54	○	○
TMR11 (入力)	PC4	○	○		
	P24	○	×		
			PB5	○	○

表 19.1 マルチプル端子の割り当て端子一覧 (5/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
8ビットタイマ	TMR2	TMO2 (出力)	P16	○	○
			PC7	○	○
		TMCI2 (入力)	P15	○	○
			P31	○	○
			PC6	○	○
		TMRI2 (入力)	P14	○	○
	PC5		○	○	
	TMR3	TMO3 (出力)	P13	○	×
			P32	○	○
			P55	○	○
		TMCI3 (入力)	P04	○	×
			P27	○	○
			PA6	○	○
		TMRI3 (入力)	P02	○	×
P30			○	○	
シリアルコミュニケーション インタフェース	SCI0	RXD0 (入力) / SMISO0 (入出力) / SSCL0 (入出力)	P21	○	×
			P11	○	×
		TXD0 (出力) / SMOSI0 (入出力) / SSDA0 (入出力)	P20	○	×
			P10	○	×
		SCK0 (入出力)	P22	○	×
			P12	○	×
		CTS0# (入力) / RTS0# (出力) / SS0# (入力)	P23	○	×
			P13	○	×
	SCI1	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	P15	○	○
			P30	○	○
			PC6	○	○
		TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	P16	○	○
			P26	○	○
			PC7	○	○
			P56	○	×
		SCK1 (入出力)	P17	○	○
			P27	○	○
			PC5	○	○
		CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P14	○	○
			P31	○	○
SCI2	RXD2 (入力) / SMISO2 (入出力) / SSCL2 (入出力)	P52	○	×	
		P50	○	×	
	SCK2 (入出力)	P51	○	×	
		P53	○	×	

表 19.1 マルチプル端子の割り当て端子一覧 (6/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	
シリアルコミュニケーション インタフェース	SCI5/IRDA	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力) / IRRXD5 (入力)	PA3	○	○	
			PC2	○	○	
			PA2	○	×	
		TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力) / IRTXD5 (出力)	PA4	○	○	
			PC3	○	○	
			SCK5 (入出力)	PA1	○	○
		PC4		○	○	
		PC1		○	×	
		CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA6	○	○	
			PC0	○	×	
		SCI6	RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力)	P02	○	×
				P27	○	○
	PB0			○	○	
	TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力)		P07	○	×	
			P26	○	○	
			PB1	○	○	
	SCK6 (入出力)		P32	○	○	
			P04	○	×	
			PB3	○	○	
	CTS6# (入力) / RTS6# (出力) / SS6# (入力)		P32	○	○	
			PJ3	○	×	
			PB2	○	×	
	SCI8	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	PC6	○	○	
			PA6	○	×	
			PC7	○	○	
		TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力)	PA7	○	×	
			PC5	○	○	
			PA5	○	×	
		SCK8 (入出力)	PC4	○	○	
			PA4	○	×	
			CTS8# (入力) / RTS8# (出力) / SS8# (入力)	PC4	○	○
		PA4		○	×	
		SCI9		RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	PB6	○
			PE4		○	○
	TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力)		PB7	○	○	
			PE5	○	○	
SCK9 (入出力)	PB5		○	○		
	PE3		○	○		
CTS9# (入力) / RTS9# (出力) / SS9# (入力)	PB4		○	×		
	PE0		○	○		

表 19.1 マルチプル端子の割り当て端子一覧 (7/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
シリアルコミュニケーション インタフェース	SCI12	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PE2	○	○
			P17	○	○
			P11	○	×
		TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PE1	○	○
			P14	○	○
			P10	○	×
		SCK12 (入出力)	PE0	○	○
			P27	○	○
			P12	○	×
		CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PE3	○	○
			P13	○	×
		I <sup>2</sup> Cバスインタフェース	IIC0	SCL0 (入出力)	P16
PB0	○				○
SDA0 (入出力)	P17			○	○
	PA6			○	○
シリアルペリフェラル インタフェース	RSPI0	RSPCKA (入出力)	P15	○	○
			PB0	○	○
			PC5	○	○
			PE3	○	○
			P51	○	×
		MOSIA (入出力)	P16	○	○
			PA6	○	○
			PE4	○	○
			PC6	○	○
			P50	○	×
		MISOA (入出力)	P17	○	○
			PC7	○	○
			PA3	○	○
			P52	○	×
			PE5	○	○
		SSLA0 (入出力)	P14	○	○
			PA4	○	○
			PC4	○	○
			P53	○	×
		SSLA1 (出力)	PA0	○	○
			PC0	○	×
		SSLA2 (出力)	PA1	○	○
			PC1	○	×
		SSLA3 (出力)	PC2	○	○
			PA2	○	×

表 19.1 マルチプル端子の割り当て端子一覧 (8/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
USB2.0ホスト/ ファンクションモジュール	USB0	USB0_EXICEN (出力)	PC6	○	○
		USB0_VBUSEN (出力)	P16	○	○
			PC4	○	○
			P26	○	○
		USB0_OVRCURA (入力)	P14	○	○
			PB3	○	○
		USB0_OVRCURB (入力)	P16	○	○
			PC7	○	○
USB0_ID (入力)	PC5	○	○		
USB0_VBUS (入力) (注2)	P16	○	○		
USB0_VBUS (入力) (注3)	PC4	○	○		
リアルタイムクロック	RTCOU (出力)	P16	○	○	
		P32	○	○	
		PB0	○	○	
		PA1	○	○	
12ビットA/Dコンバータ	AN000 (入力) (注1)	P40	○	○	
	AN001 (入力) (注1)	P41	○	○	
	AN002 (入力) (注1)	P42	○	○	
	AN003 (入力) (注1)	P43	○	×	
	AN004 (入力) (注1)	P44	○	×	
	AN005 (入力) (注1)	P90	○	×	
	AN006 (入力) (注1)	P46	○	×	
	AN007 (入力) (注1)	P91	○	×	
	AN008 (入力) (注1)	PE0	○	○	
	AN009 (入力) (注1)	PE1	○	○	
	AN010 (入力) (注1)	PE2	○	○	
	AN011 (入力) (注1)	PE3	○	○	
	AN012 (入力) (注1)	PE4	○	○	
	AN013 (入力) (注1)	PE5	○	○	
	AN014 (入力) (注1)	PE6	○	○	
	AN015 (入力) (注1)	PE7	○	○	
	AN0021 (入力) (注1)	P92	○	×	
	VREFH0 (入力)	PJ6	○	○	
	VREFL0 (入力)	PJ7	○	○	
	ADTRG0# (入力)	P16	○	○	
P27		○	○		
PB0		○	○		
P25		○	×		
P07		○	×		
12ビットD/Aコンバータ	DA0 (出力) (注1)	PJ0	○	○	
	DA1 (出力) (注1)	PJ2	○	○	
	VREFH	P41	○	○	
	VREFL	P42	○	○	

表 19.1 マルチプル端子の割り当て端子一覧 (9/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
クロック		CLKOUT (出力)	P15	○	○
			PC4	○	○
クロック周波数精度測定回路		CACREF (入力)	P27	○	○
			PA0	○	○
			PC7	○	○
			P15	○	○
電圧検出回路		CMPA2 (入力) (注1)	P27	○	○
コンパレータB		CMPB0 (入力) (注1)	PE1	○	○
		CVREFB0 (入力) (注1)	PE2	○	○
		CMPOB0 (出力)	PE7	○	○
		CMPB1 (入力) (注1)	PA3	○	○
		CVREFB1 (入力) (注1)	PA4	○	○
		CMPOB1 (出力)	PE5	○	○
シリアルサウンドインタフェース	SSIO	SSISCK0 (入出力)	PB5	○	○
			PE0	○	○
		SSIWS0 (入出力)	PB1	○	○
			PE4	○	○
		SSIRXD0 (入力)	PB6	○	○
			PE2	○	○
		SSITXD0 (入力)	PB7	○	○
			PE1	○	○
	SSI	AUDIO_MCLK (入力)	PB3	○	○
			PE3	○	○
LCDコントローラ/ドライバ		COM0 (出力)	PC5	○	○
		COM1 (出力)	PC4	○	○
		COM2 (出力)	PC3	○	○
		COM3 (出力)	PC2	○	○
		SEG00 (出力)	P13	○	×
		SEG01 (出力)	P12	○	×
		SEG02 (出力)	P11	○	×
		SEG03 (出力)	P10	○	×
		SEG04 (出力)	P56	○	×
		SEG05 (出力)	P53	○	×
		SEG06 (出力)	P52	○	×
		SEG07 (出力)	P51	○	×
		SEG08 (出力)	P50	○	×
		SEG09 (出力)	PC1	○	×
		SEG10 (出力)	PC0	○	×
		SEG11/COM4 (出力)	PB7	○	○
		SEG12/COM5 (出力)	PB6	○	○
SEG13/COM6 (出力)	PB5	○	○		
SEG14 (出力)	PB4	○	×		
SEG15/COM7 (出力)	PB3	○	○		
SEG16 (出力)	PB2	○	×		

表 19.1 マルチプル端子の割り当て端子一覧 (10/10)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ	
				100ピン	64ピン
LCDコントローラ/ドライバ		SEG17 (出力)	PB1	○	○
		SEG18 (出力)	PA7	○	×
		SEG19 (出力)	PA5	○	×
		SEG20 (出力)	PA4	○	○
		SEG21 (出力)	PA3	○	○
		SEG22 (出力)	PA2	○	×
		SEG23 (出力)	PA1	○	○
		SEG24 (出力)	PA0	○	○
		SEG25 (出力)	PF7	○	×
		SEG26 (出力)	PF6	○	×
		SEG27 (出力)	PE5	○	○
		SEG28 (出力)	PE4	○	○
		SEG29 (出力)	PE3	○	○
		SEG30 (出力)	PE2	○	○
		SEG31 (出力)	PE1	○	○
		SEG32 (出力)	PE0	○	○
		SEG33 (出力)	PE7	○	○
		SEG34 (出力)	PE6	○	○
		SEG35 (出力)	PD4	○	×
		SEG36 (出力)	PD3	○	×
		SEG37 (出力)	PD2	○	○
		SEG38 (出力)	PD1	○	○
		SEG39 (出力)	PD0	○	○
	静電容量式タッチセンサ		CAPH (出力)	P30	○
		CAPL (出力)	P31	○	○
		VL1 (入出力)	P55	○	○
		VL2 (入出力)	P54	○	○
		VL3 (入出力)	PC7	○	○
		VL4 (入出力)	PC6	○	○
		TS0 (出力)	P07	○	×
		TS1 (出力)	P04	○	×
		TS2 (出力)	P02	○	×
		TS3 (出力)	PJ3	○	×
		TS4 (出力)	P25	○	×
		TS5 (出力)	P24	○	×
		TS6 (出力)	P23	○	×
	TS7 (出力)	P22	○	×	
	TS8 (出力)	P21	○	×	
	TS9 (出力)	P20	○	×	
	TS10 (出力)	P27	○	×	
	TS11 (出力)	P32	○	×	
	TSCAP (入出力)	P26	○	×	

注1. この端子機能を使用する場合は、該当端子の設定を汎用入力にしてください (PORT.PDR.BmビットおよびPORT.PMR.Bmビットを“0”にする)。

注2. 5Vトレラント対応

注3. 5Vトレラント非対応



## 19.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

### 19.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
BOWI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

#### PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

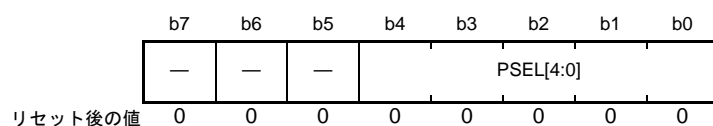
PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

#### BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

## 19.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 2, 4, 7)

アドレス P02PFS 0008 C142h, P04PFS 0008 C144h, P07PFS 0008 C147h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できません。ただし、同じ番号の IRQn (外部端子割り込み) を2つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

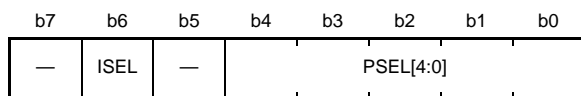
IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表 19.2 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子		
	P02	P04	P07
00000b (初期値)	Hi-Z		
00001b	MTIOC0D	MTIOC0A	—
00101b	TMRI3	TMCI3	—
00111b	POE3#	POE2#	—
01001b	—	—	ADTRG0#
01011b	RXD6 SMISO6 SSCL6	SCK6	TXD6 SMOSI6 SSDA6
11001b	TS2	TS1	TS0

19.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0 ~ 7)

アドレス P10PFS 0008 C148h, P11PFS 0008 C149h, P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P14PFS 0008 C14Ch, P15PFS 0008 C14Dh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P10 : IRQ6 (100ピン) P11 : IRQ7 (100ピン) P12 : IRQ2 (100ピン) P13 : IRQ3 (100ピン) P14 : IRQ4 (100ピン、64ピン) P15 : IRQ5 (100ピン、64ピン) P16 : IRQ6 (100ピン、64ピン) P17 : IRQ7 (100ピン、64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.3 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	P10	P11	P12	P13	P14	P15	P16	P17
00000b (初期値)	Hi-Z							
00001b	MTIC5V	MTIC5U	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	—	—	—	MTIOC0A	—	—	MTIOC0C
00101b	—	—	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00111b	POE1#	POE0#	—	—	—	CACREF	RTCOUT	POE8#
01001b	—	—	—	—	—	CLKOUT	ADTRG0#	—
01010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	—	—	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	SCK0	CTS0# RTS0# SS0#	CTS1# RTS1# SS1#	—	—	—
01100b	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	SCK12	CTS12# RTS12# SS12#	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—	RXD12 SMISO12 SSCL12 RXDX12
01101b	—	—	—	—	SSLA0	RSPCKA	MOSIA	MISOA
01111b	—	—	—	—	—	—	SCL0	SDA0
10001b	—	—	—	—	—	—	USB0_VBUS N	—
10010b	—	—	—	—	—	—	USB0_VBUS (注1)	—
10011b	—	—	—	—	USB0_OVRCU RA	—	USB0_OVRCU RB	—
11000b	SEG03	SEG02	SEG01	SEG00	—	—	—	—

— : 設定しないでください。

注1. 5Vトレラント対応

表 19.4 64ピン端子入出力機能レジスタ設定

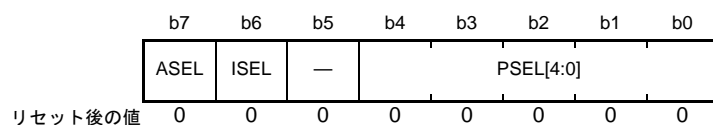
PSEL[4:0] 設定値	端子			
	P14	P15	P16	P17
00000b (初期値)	Hi-Z			
00001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	MTIOC0A	—	—	MTIOC0C
00101b	TMRI2	TMCi2	TMO2	TMO1
00111b	—	CACREF	RTCOUT	POE8#
01001b	—	CLKOUT	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01100b	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—	RXD12 SMISO12 SSCL12 RXDX12
01101b	SSLA0	RSPCKA	MOSIA	MISOA
01111b	—	—	SCL0	SDA0
10001b	—	—	USB0_VBUSEN	—
10010b	—	—	USB0_VBUS (注1)	—
10011b	USB0_OVRCURA	—	USB0_OVRCURB	—

— : 設定しないでください。

注1. 5Vトレラント対応

## 19.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)

アドレス P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h,  
P24PFS 0008 C154h, P25PFS 0008 C155h, P26PFS 0008 C156h, P27PFS 0008 C157h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P27 : IRQ3 (100ピン、64ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P27 : CMPA2 (100ピン、64ピン)	R/W

表 19.5 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b (初期値)	Hi-Z							
00001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
00101b	TMRI0	TMCIO	TMO0	—	TMRI1	—	TMO1	TMCI3
00111b	—	—	—	—	—	—	—	CACREF
01001b	—	—	—	—	—	ADTRG0#	—	ADTRG0#
01010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	—	—	—	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	CTS0# RTS0# SS0#	—	—	—	RXD6 SMISO6 SSCL6
01100b	—	—	—	—	—	—	TXD6 SMOSI6 SSDA6	SCK12
10011b	—	—	—	—	—	—	USB0_VBU SEN	—
11001b	TS9	TS8	TS7	TS6	TS5	TS4	TSCAP	TS10

— : 設定しないでください。

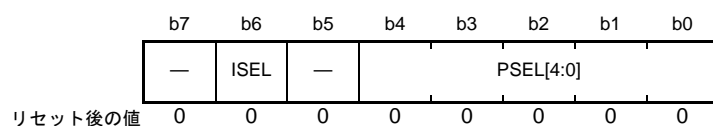
表 19.6 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子	
	P26	P27
00000b (初期値)	Hi-Z	
00001b	MTIOC2A	MTIOC2B
00101b	TMO1	TMCI3
00111b	—	CACREF
01001b	—	ADTRG0#
01010b	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	RXD6 SMISO6 SSCL6
01100b	TXD6 SMOSI6 SSDA6	SCK12
10011b	USB0_VBUSEN	—

— : 設定しないでください。

## 19.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 2)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0 (100ピン、64ピン) P31 : IRQ1 (100ピン、64ピン) P32 : IRQ2 (100ピン、64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.7 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子		
	P30	P31	P32
00000b (初期値)	Hi-Z		
00001b	MTIOC4B	MTIOC4D	MTIOC0C
00101b	TMRI3	TMC12	TMO3
00111b	POE8#	—	RTCOUT
01010b	RXD1 SMISO1 SSCL1	—	—
01011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6
01100b	—	—	CTS6# RTS6# SS6#
11000b	CAPH	CAPL	—
11001b	—	—	TS11

— : 設定しないでください。

注. CAPH、CAPL端子をポートあるいはLCD以外の周辺機能として使用する場合は、LCDM0、LCDM1レジスタの値を“00h”に設定してください。

表 19.8 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子		
	P30	P31	P32
00000b (初期値)	Hi-Z		
00001b	MTIOC4B	MTIOC4D	MTIOC0C
00101b	TMRI3	TMC12	TMO3
00111b	POE8#	—	RTCOUT
01010b	RXD1 SMISO1 SSCL1	—	—
01011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6
01100b	—	—	CTS6# RTS6# SS6#
11000b	CAPH	CAPL	—

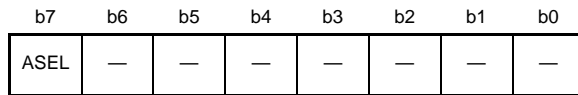
— : 設定しないでください。

注. CAPH、CAPL端子をポートあるいはLCD以外の周辺機能として使用する場合は、LCDM0、LCDM1レジスタの値を“00h”に設定してください。



19.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 4, 6)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h, P44PFS 0008 C164h, P46PFS 0008 C166h

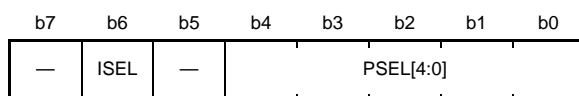


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (100ピン、64ピン) P41 : AN001/VREFH (100ピン、64ピン) P42 : AN002/VREFL (100ピン、64ピン) P43 : AN003 (100ピン) P44 : AN004 (100ピン) P46 : AN006 (100ピン)	R/W

## 19.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6)

アドレス P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P53PFS 0008 C16Bh,  
P54PFS 0008 C16Ch, P55PFS 0008 C16Dh, P56PFS 0008 C16Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P56 : IRQ5 (100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.9 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子						
	P50	P51	P52	P53	P54	P55	P56
00000b (初期値)	Hi-Z						
00001b	MTIOC2A	MTIOC4C	—	MTIOC2B	MTIOC4B	MTIOC4D	MTIC5W
00011b	—	—	—	—	—	—	MTIOC1A
00101b	—	—	—	—	TMCI1	TMO3	—
00111b	—	—	—	—	—	—	POE2#
01010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	CTS2# RTS2# SS2#	—	—	TXD1 SMOSI1 SSDA1
01101b	MOSIA	RSPCKA	MISOA	SSLA0	—	—	—
11000b	SEG08	SEG07	SEG06	SEG05	VL2	VL1	SEG04

— : 設定しないでください。

注. VL1、VL2端子をポートあるいはLCD以外の周辺機能として使用する場合は、LCDM0、LCDM1レジスタの値を“00h”に設定してください。

表 19.10 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子	
	P54	P55
00000b (初期値)	Hi-Z	
00001b	MTIOC4B	MTIOC4D
00101b	TMCI1	TMO3
11000b	VL2	VL1

注. VL1、VL2端子をポートあるいはLCD以外の周辺機能として使用する場合は、LCDM0、LCDM1レジスタの値を“00h”に設定してください。

## 19.2.8 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 2)

アドレス P90PFS 0008 C188h, P91PFS 0008 C189h, P92PFS 0008 C18Ah

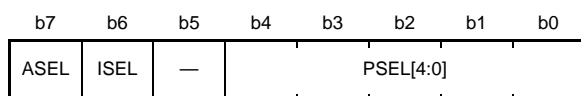
b7	b6	b5	b4	b3	b2	b1	b0
ASEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P90 : AN005 (100ピン) P91 : AN007 (100ピン) P92 : AN021 (100ピン)	R/W

19.2.9 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)

アドレス PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h, PA6PFS 0008 C196h, PA7PFS 0008 C197h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA3 : IRQ6 (100ピン、64ピン) PA4 : IRQ5 (100ピン、64ピン) PA6 : IRQ3 (100ピン、64ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PA3 : CMPB1 (100ピン、64ピン) PA4 : CVREFB1 (100ピン、64ピン)	R/W

表 19.11 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
00000b (初期値)	Hi-Z							
00001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
00010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
00011b	—	—	—	MTIOC1B	MTIOC2B	—	MTIOC2A	—
00101b	—	—	—	—	TMRI0	—	TMC13	—
00111b	CACREF	RTCOUT	—	POE0#	—	—	POE2#	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5 IRRXD5	RXD5 SMISO5 SSCL5 IRRXD5	TXD5 SMOSI5 SSDA5 IRTXD5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	—	—	—	—	CTS8# RTS8# SS8#	—	CTS5# RTS5# SS5#	—
01101b	SSLA1	SSLA2	SSLA3	MISOA	SSLA0	—	MOSIA	—
01111b	—	—	—	—	—	—	SDA0	—
11000b	SEG24	SEG23	SEG22	SEG21	SEG20	SEG19	—	SEG18

— : 設定しないでください。

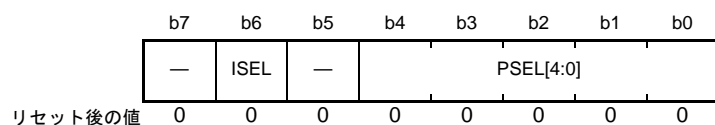
表 19.12 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子				
	PA0	PA1	PA3	PA4	PA6
0000b (初期値)	Hi-Z				
00001b	MTIOC4A	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	—	—	MTIOC1B	MTIOC2B	MTIOC2A
00101b	—	—	—	TMRI0	TMCI3
00111b	CACREF	RTCOUT	POE0#	—	POE2#
01010b	—	SCK5	RXD5 SMISO5 SSCL5 IRRXD5	TXD5 SMOSI5 SSDA5 IRTXD5	—
01011b	—	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA1	SSLA2	MISOA	SSLA0	MOSIA
01111b	—	—	—	—	SDA0
11000b	SEG24	SEG23	SEG21	SEG20	—

— : 設定しないでください。

19.2.10 P<sub>Bn</sub> 端子機能制御レジスタ (P<sub>Bn</sub>PFS) (n = 0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB0 : IRQ2 (100ピン、64ピン) PB1 : IRQ4 (100ピン、64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.13 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
00010b	MTIOC0C	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
00011b	—	—	—	MTIOC3B	—	—	—	—
00101b	—	TMCIO	—	TMO0	—	TMR1	—	—
00111b	RTCOUT	—	—	POE3#	—	POE1#	—	—
01001b	ADTRG0#	—	—	—	—	—	—	—
01010b	—	—	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
01101b	RSPCKA	—	—	—	—	—	—	—
01111b	SCL0	—	—	—	—	—	—	—
10011b	—	—	—	USB0_OVRCURA	—	—	—	—
10111b	—	SSIWS0	—	AUDIO_MCLK	—	SSISCK0	SSIRXD0	SSITXD0
11000b	—	SEG17	SEG16	COM7 SEG15	SEG14	COM6 SEG13	COM5 SEG12	COM4 SEG11

— : 設定しないでください。

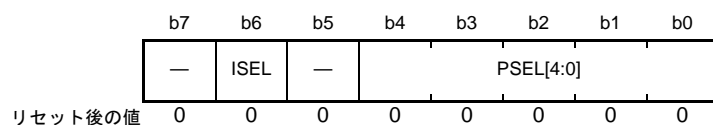
表 19.14 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子					
	PB0	PB1	PB3	PB5	PB6	PB7
0000b (初期値)	Hi-Z					
00001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A	MTIOC3D	MTIOC3B
00010b	MTIOC0C	MTIOC4C	MTIOC4A	MTIOC1B	—	—
00011b	—	—	MTIOC3B	—	—	—
00101b	—	TMCIO	TMO0	TMR1	—	—
00111b	RTCOUT	—	POE3#	POE1#	—	—
01001b	ADTRG0#	—	—	—	—	—
01010b	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—	—	—
01101b	RSPCKA	—	—	—	—	—
01111b	SCL0	—	—	—	—	—
10011b	—	—	USB0_OVRCURA	—	—	—
10111b	—	SSIWS0	AUDIO_MCLK	SSISCK0	SSIRXD0	SSITXD0
11000b	—	SEG17	COM7 SEG15	COM6 SEG13	COM5 SEG12	COM4 SEG11

— : 設定しないでください。

## 19.2.11 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)

アドレス PC0PFS 0008 C1A0h, PC1PFS 0008 C1A1h, PC2PFS 0008 C1A2h, PC3PFS 0008 C1A3h,  
PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PC4 : IRQ2 (100ピン、64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.15 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z							
00001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00101b	—	—	—	—	TMCI1	TMRI2	TMCI12	TMO2
00111b	—	—	—	—	POE0#	—	—	CACREF
01001b	—	—	—	—	CLKOUT	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5 IRRXD5	TXD5 SMOSI5 SSDA5 IRTXD5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	SCK1	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10001b	—	—	—	—	USB0_VBU SEN	—	—	—
10010b	—	—	—	—	USB0_VBU S (注1)	—	—	—
10011b	—	—	—	—	—	USB0_ID	USB0_EXIC EN	USB0_OVR CURB
11000b	SEG10	SEG09	COM3	COM2	COM1	COM0	VL4	VL3

— : 設定しないでください。

注. VL3、VL4端子をポートあるいはLCD以外の周辺機能として使用する場合は、LCDM0、LCDM1レジスタの値を“00h”に設定してください。

注1. 5Vトレラント非対応



表 19.16 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子					
	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z					
00001b	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00101b	—	—	TMC11	TMRI2	TMC112	TMO2
00111b	—	—	POE0#	—	—	CACREF
01001b	—	—	CLKOUT	—	—	—
01010b	RXD5 SMISO5 SSCL5 IRRXD5	TXD5 SMOSI5 SSDA5 IRTXD5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	—	—	CTS8# RTS8# SS8#	SCK1	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1
01101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10001b	—	—	USB0_VBUSEN	—	—	—
10010b	—	—	USB0_VBUS (注1)	—	—	—
10011b	—	—	—	USB0_ID	USB0_EXICEN	USB0_OVRCURB
11000b	COM3	COM2	COM1	COM0	VL4	VL3

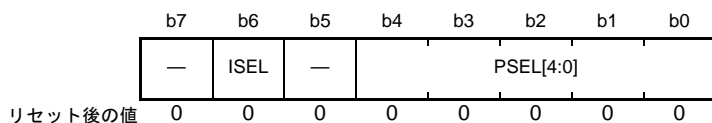
— : 設定しないでください。

注. VL3、VL4端子をポートあるいはLCD以外の周辺機能として使用する場合は、LCDM0、LCDM1レジスタの値を“00h”に設定してください。

注1. 5Vトレラント非対応

## 19.2.12 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 4)

アドレス PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh,  
PD4PFS 0008 C1ACh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD0 : IRQ0 (100ピン、64ピン) PD1 : IRQ1 (100ピン、64ピン) PD2 : IRQ2 (100ピン、64ピン) PD3 : IRQ3 (100ピン) PD4 : IRQ4 (100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.17 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子				
	PD0	PD1	PD2	PD3	PD4
00000b (初期値)	Hi-Z				
00001b	—	MTIOC4B	MTIOC4BD	—	—
00111b	—	—	—	POE8#	POE3#
11000b	SEG39	SEG38	SEG37	SEG36	SEG35

— : 設定しないでください。

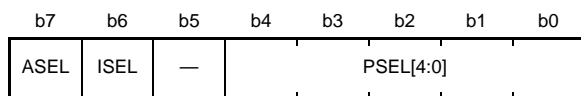
表 19.18 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子		
	PD0	PD1	PD2
00000b (初期値)	Hi-Z		
00001b	—	MTIOC4B	MTIOC4BD
11000b	SEG39	SEG38	SEG37

— : 設定しないでください。

19.2.13 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h,  
PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h, PE7PFS 0008 C1B7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE0 : IRQ0 (100ピン、64ピン) PE1 : IRQ1 (100ピン、64ピン) PE2 : IRQ7 (100ピン、64ピン) PE3 : IRQ3 (100ピン、64ピン) PE4 : IRQ4 (100ピン、64ピン) PE5 : IRQ5 (100ピン、64ピン) PE6 : IRQ6 (100ピン、64ピン) PE7 : IRQ7 (100ピン、64ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN008 (100ピン、64ピン) PE1 : AN009/CMPB0 (100ピン、64ピン) PE2 : AN010/CVREFB0 (100ピン、64ピン) PE3 : AN011 (100ピン、64ピン) PE4 : AN012 (100ピン、64ピン) PE5 : AN013 (100ピン、64ピン) PE6 : AN014 (100ピン、64ピン) PE7 : AN015 (100ピン、64ピン)	R/W

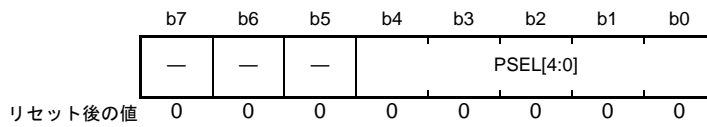
表 19.19 100ピン、64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
00000b (初期値)	Hi-Z							
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
00010b	MTIOC2A	—	—	MTIOC1B	MTIOC1A	MTIOC2B	—	—
00011b	—	—	—	MTIOC0A	MTIOC3A	—	—	—
00111b	POE3#	—	—	POE8#	—	CMPOB1	—	CMPOB0
01010b	CTS9# RTS9# SS9#	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
01101b	—	—	—	RSPCKA	MOSIA	MISOA	—	—
10111b	SSISCK0	SSITXD0	SSIRXD0	AUDIO_MCLK	SSIWS0	—	—	—
11000b	SEG32	SEG31	SEG30	SEG29	SEG28	SEG27	SEG34	SEG33

— : 設定しないでください。

## 19.2.14 PFn 端子機能制御レジスタ (PFnPFS) (n = 6, 7)

アドレス PF6PFS 0008 C1BEh, PF7PFS 0008 C1BFh



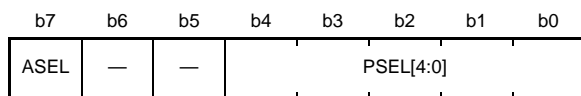
ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.20 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子	
	PF6	PF7
00000b (初期値)	Hi-Z	
00001b	MTIOC3C	MTIOC3A
11000b	SEG26	SEG25

19.2.15 PJn 端子機能制御レジスタ (PJnPFS) (n = 0, 2, 3, 6, 7)

アドレス PJ0PFS 0008 C1D0h, PJ2PFS 0008 C1D2h, PJ3PFS 0008 C1D3h, PJ6PFS 0008 C1D6h, PJ7PFS 0008 C1D7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PJ0 : DA0 (100ピン、64ピン) PJ2 : DA1 (100ピン、64ピン)	R/W
			0 : 高電位側の基準電源端子にAVCC0端子を選択 1 : 高電位側の基準電源端子にVREFH0端子を選択 PJ6 : AVCC0/VREFH0 (100ピン、64ピン)	
			0 : 低電位側の基準電源グランド端子にAVSS0端子を選択 1 : 低電位側の基準電源グランド端子にVREFL0端子を選択 PJ7 : AVSS0/VREFL0 (100ピン、64ピン)	

表 19.21 100ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子
	PJ3
00000b (初期値)	Hi-Z
00001b	MTIOC3C
01011b	CTS6# RTS6# SS6#
11001b	TS3

## 19.3 使用上の注意事項

### 19.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 当該端子にアサインされる入出力信号を周辺モジュール内の I/O レジスタで設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m = 0 ~ 5, A ~ F, J, n = 0 ~ 7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”設定し、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR レジスタを“1”に設定し、選択された端子入出力機能に切り替えます。

### 19.3.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC レジスタにより同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 4、9、E は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。

5. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 19.22 に示します。

表 19.22 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	0000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 19.2 ~ 表 19.21 参照)	割り込み入力と併用する場合は、ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x(注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x(注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn入力端子として機能しません。

- 注.
- 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
  - PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
  - RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。

### 19.3.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタ (PmnPFS) の ASEL ビットを“1”にしてください。

### 19.3.4 LCD コントローラ / ドライバ (LCDC) 機能を使う場合の注意事項

LCD コントローラ / ドライバの端子機能 (COM0 ~ COM7, SEG00 ~ SEG39, CAPH, CAPL, VL1 ~ VL4) を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、PmnPFS.PSEL[4:0] ビットにより LCD 機能を選択してから、PMR レジスタを“1”に設定してください。また、LCD コントローラ / ドライバの端子機能を使用するときは、当該ビットの ISEL 設定に関わらず IRQ 入力端子として使用しないでください。

### 19.3.5 静電容量式タッチセンサ (CTSU) 機能を使う場合の注意事項

静電容量式タッチセンサの端子機能 (TS0 ~ TS11, TSCAP) を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、PmnPFS.PSEL[4:0] ビットにより CTSU 機能を選択してから、PMR レジスタを“1”に設定してください。また、静電容量式タッチセンサの端子機能を使用するときは、当該ビットの ISEL 設定に関わらず IRQ 入力端子として使用しないでください。

## 20. マルチファンクションタイマパルスユニット 2 (MTU2a)

本章に記載している PCLK とは PCLKB を指します。

### 20.1 概要

本 MCU は、6 チャンネル (MTU0 ~ MTU5) の 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU) を内蔵しています。

表 20.1 に MTU の仕様を、表 20.2 に MTU の機能一覧を示します。また、図 20.1 に MTU のブロック図を示します。

表 20.1 MTU の仕様

項目	内容
パルス入出力	最大 16 本
パルス入力	3 本
カウントクロック	チャンネルごとに 8 または 7 種類 (MTU5 は 4 種類)
設定可能動作	<b>【MTU0 ~ MTU4】</b> <ul style="list-style-type: none"> <li>コンペアマッチによる波形出力</li> <li>インプットキャプチャ機能 (ノイズフィルタ設定機能)</li> <li>カウンタクリア動作</li> <li>複数のタイマカウンタ (TCNT) への同時書き込み</li> <li>コンペアマッチ/インプットキャプチャによる同時クリア</li> <li>カウンタの同期動作による各レジスタの同期入出力</li> <li>同期動作と組み合わせることによる最大 12 相の PWM 出力</li> </ul>
	<b>【MTU0, MTU3, MTU4】</b> <ul style="list-style-type: none"> <li>バッファ動作を設定可能</li> <li>相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能</li> </ul>
	<b>【MTU1, MTU2】</b> <ul style="list-style-type: none"> <li>独立に位相計数モードを設定可能</li> <li>カスケード接続動作</li> </ul>
	<b>【MTU3, MTU4】</b> <ul style="list-style-type: none"> <li>連動動作による相補 PWM、リセット同期 PWM 3 相のポジ、ネガ計 6 相の出力が可能</li> </ul>
	<b>【MTU5】</b> <ul style="list-style-type: none"> <li>デッドタイム補償用カウンタ機能</li> <li>インプットキャプチャ機能 (ノイズフィルタ設定可能)</li> <li>カウンタクリア動作</li> </ul>
相補 PWM モード	<ul style="list-style-type: none"> <li>カウンタの山、谷での割り込み</li> <li>A/D コンバータの変換スタートトリガを間引き機能</li> </ul>
割り込み要因	28 種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/D コンバータの変換スタートトリガを生成可能
消費電力低減機能	モジュールストップ状態への設定が可能



表 20.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKC MTCLKD	—	—	—
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	—
	High出力	○	○	○	○	—
	トグル出力	○	○	○	○	—
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	—
PWMモード1	○	○	○	○	○	—
PWMモード2	○	○	○	—	—	—
相補PWMモード	—	—	—	○	○	—
リセット同期PWM	—	—	—	○	○	—
AC同期モータ駆動モード	○	—	—	○	○	—
位相計数モード	—	○	○	—	—	—
バッファ動作	○	—	—	○	○	—
デッドタイム補償用 カウンタ機能	—	—	—	—	—	○
DTCの起動	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー	TGRの コンペアマッチ または インプット キャプチャ

表20.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ TGRBの コンペアマッチ または インプット キャプチャ TGREの コンペアマッチ TGRFの コンペアマッチ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時 TCNTの アンダフロー (谷)	—
割り込み要因	7要因 <ul style="list-style-type: none"> <li>•コンペアマッチ /インプット キャプチャ 0A</li> <li>•コンペアマッチ /インプット キャプチャ 0B</li> <li>•コンペアマッチ /インプット キャプチャ 0C</li> <li>•コンペアマッチ /インプット キャプチャ 0D</li> <li>•コンペア マッチ 0E</li> <li>•コンペア マッチ 0F</li> <li>•オーバフロー</li> </ul>	4要因 <ul style="list-style-type: none"> <li>•コンペアマッチ /インプット キャプチャ 1A</li> <li>•コンペアマッチ /インプット キャプチャ 1B</li> <li>•オーバフロー</li> <li>•アンダフロー</li> </ul>	4要因 <ul style="list-style-type: none"> <li>•コンペアマッチ /インプット キャプチャ 2A</li> <li>•コンペアマッチ /インプット キャプチャ 2B</li> <li>•オーバフロー</li> <li>•アンダフロー</li> </ul>	5要因 <ul style="list-style-type: none"> <li>•コンペアマッチ /インプット キャプチャ 3A</li> <li>•コンペアマッチ /インプット キャプチャ 3B</li> <li>•コンペアマッチ /インプット キャプチャ 3C</li> <li>•コンペアマッチ /インプット キャプチャ 3D</li> <li>•オーバフロー</li> </ul>	5要因 <ul style="list-style-type: none"> <li>•コンペアマッチ /インプット キャプチャ 4A</li> <li>•コンペアマッチ /インプット キャプチャ 4B</li> <li>•コンペアマッチ /インプット キャプチャ 4C</li> <li>•コンペアマッチ /インプット キャプチャ 4D</li> <li>•オーバフロー / アンダフロー</li> </ul>	3要因 <ul style="list-style-type: none"> <li>•コンペアマッチ /インプット キャプチャ 5U</li> <li>•コンペアマッチ /インプット キャプチャ 5V</li> <li>•コンペアマッチ /インプット キャプチャ 5W</li> </ul>
イベントリンク機能 (出力)	—	4要因 <ul style="list-style-type: none"> <li>•コンペアマッチ 1A</li> <li>•コンペアマッチ 1B</li> <li>•オーバフロー</li> <li>•アンダフロー</li> </ul>	4要因 <ul style="list-style-type: none"> <li>•コンペアマッチ 2A</li> <li>•コンペアマッチ 2B</li> <li>•オーバフロー</li> <li>•アンダフロー</li> </ul>	5要因 <ul style="list-style-type: none"> <li>•コンペアマッチ 3A</li> <li>•コンペアマッチ 3B</li> <li>•コンペアマッチ 3C</li> <li>•コンペアマッチ 3D</li> <li>•オーバフロー</li> </ul>	6要因 <ul style="list-style-type: none"> <li>•コンペアマッチ 4A</li> <li>•コンペアマッチ 4B</li> <li>•コンペアマッチ 4C</li> <li>•コンペアマッチ 4D</li> <li>•オーバフロー</li> <li>•アンダフロー</li> </ul>	—
イベントリンク機能 (入力)	—	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	—
A/D変換開始要求ディレイド機能	—	—	—	—	•TADCORAとTCNTの一致で、A/D変換開始要求 または TADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能	—	—	—	•TGRAのコンペアマッチ割り込みを間引き	•TCIV割り込みを間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注1)					

○：可能  
—：不可能

注1. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

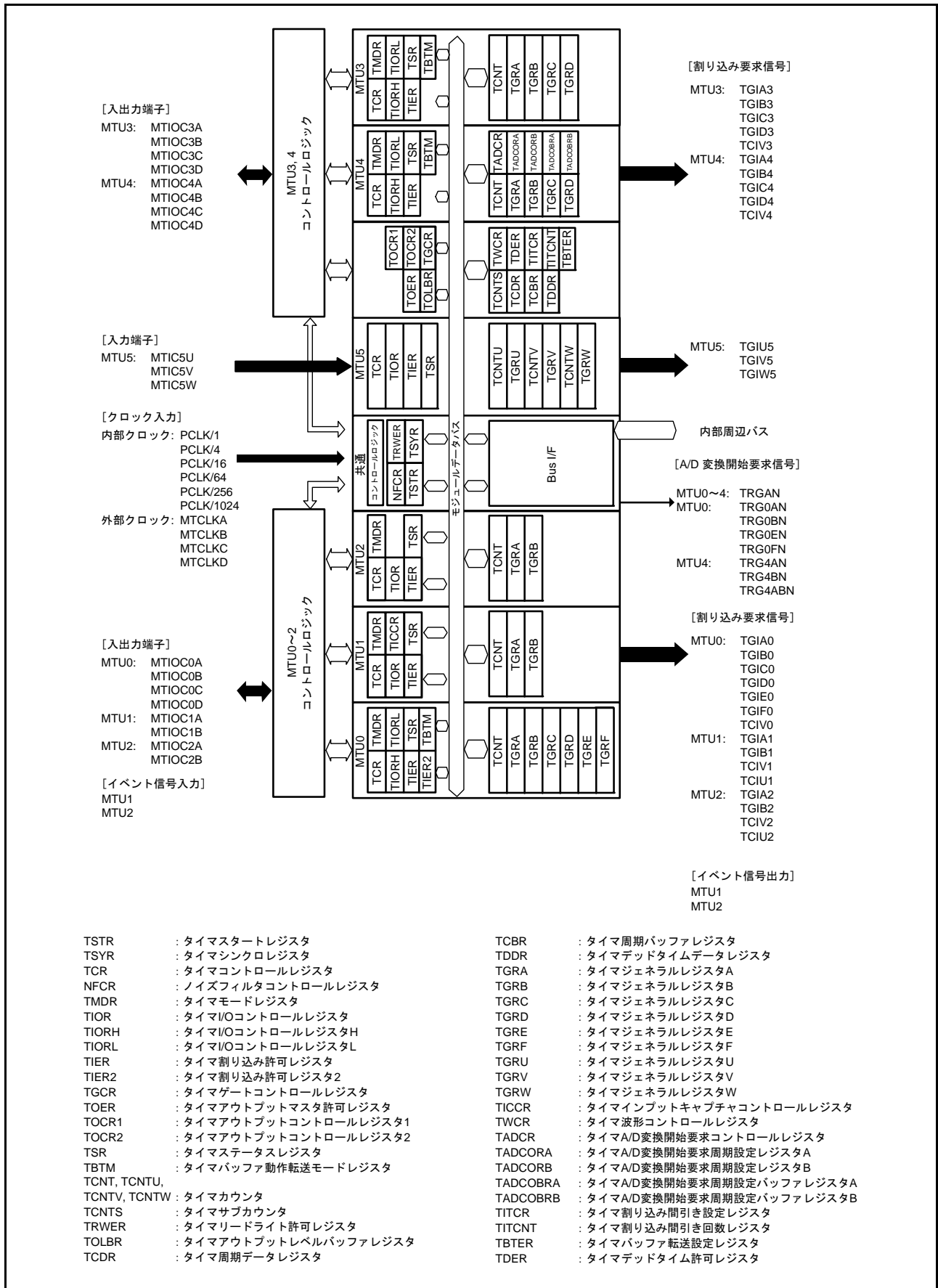


図 20.1 MTU のブロック図

表 20.3 に MTU で使用する入出力端子を示します。

表 20.3 MTU の入出力端子

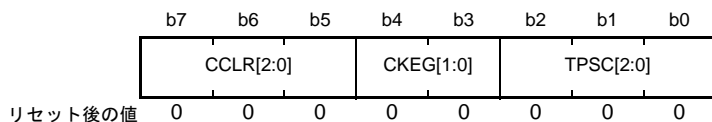
モジュール シンボル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロック A 入力端子 (MTU1 の位相計数モード A 相入力)
	MTCLKB	入力	外部クロック B 入力端子 (MTU1 の位相計数モード B 相入力)
	MTCLKC	入力	外部クロック C 入力端子 (MTU2 の位相計数モード A 相入力)
	MTCLKD	入力	外部クロック D 入力端子 (MTU2 の位相計数モード B 相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC0B	入出力	MTU0.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC0C	入出力	MTU0.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC0D	入出力	MTU0.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC1B	入出力	MTU1.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC2B	入出力	MTU2.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC3B	入出力	MTU3.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC3C	入出力	MTU3.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC3D	入出力	MTU3.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC4B	入出力	MTU4.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC4C	入出力	MTU4.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC4D	入出力	MTU4.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
MTU5	MTIC5U	入力	MTU5.TGRU のインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRV のインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRW のインプットキャプチャ入力/外部パルス入力端子

## 20.2 レジスタの説明

### 20.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR

アドレス MTU0.TCR 0008 8700h, MTU1.TCR 0008 8780h, MTU2.TCR 0008 8800h,  
MTU3.TCR 0008 8600h, MTU4.TCR 0008 8601h

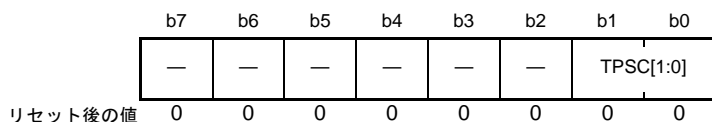


ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 20.6～表 20.9 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	表 20.4、表 20.5 を参照してください	R/W

x : Don't care

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 0008 8884h, MTU5.TCRV 0008 8894h, MTU5.TCRW 0008 88A4h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 20.10 を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU には、MTU0～MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR レジスタがあります。

TCR レジスタは、各チャネルの TCNT カウンタを制御するレジスタです。TCR レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

#### TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT カウンタのカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 20.6～表 20.10 を参照してください。

#### CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソースのエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります (例 : PCLK/4 の両エッジ = PCLK/2 の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLK/4 もしくはそれより遅い場合に有効です。カウントク

ロックソースに PCLK/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

### CCLR[2:0] ビット (カウンタクリアビット)

TCNT カウンタのカウンタクリア要因を選択します。詳細は表 20.4、表 20.5 を参照してください。

表 20.4 CCLR[2:0] (MTU0, MTU3, MTU4)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYR.SYNCn (n = 0, 3, 4) ビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。

表 20.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYR.SYNCn (n = 1, 2) ビットを“1”にすることにより行います。

注2. MTU1、MTU2ではb7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

表 20.6 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック：MTCLKA端子入力力でカウント
	1	0	1	外部クロック：MTCLKB端子入力力でカウント
	1	1	0	外部クロック：MTCLKC端子入力力でカウント
	1	1	1	外部クロック：MTCLKD端子入力力でカウント

表20.7 TPSC[2:0] (MTU1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	MTU2.TCNTのオーバフロー/アンダフローでカウント

注. MTU1が位相計数モード時、この設定は無効になります。

表20.8 TPSC[2:0] (MTU2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

注. MTU2が位相計数モード時、この設定は無効になります。

表20.9 TPSC[2:0] (MTU3, MTU4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3 MTU4	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	内部クロック : PCLK/256でカウント
	1	0	1	内部クロック : PCLK/1024でカウント
	1	1	0	外部クロック : MTCLKA 端子入力でカウント
	1	1	1	外部クロック : MTCLKB 端子入力でカウント

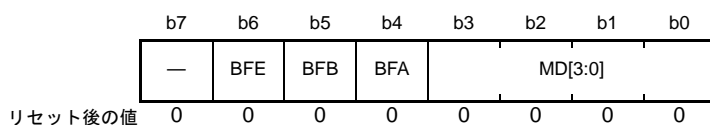
表20.10 TPSC[1:0] (MTU5)

チャンネル	ビット1	ビット0	説明
	TPSC[1]	TPSC[0]	
MTU5	0	0	内部クロック : PCLK/1でカウント
	0	1	内部クロック : PCLK/4でカウント
	1	0	内部クロック : PCLK/16でカウント
	1	1	内部クロック : PCLK/64でカウント



## 20.2.2 タイマモードレジスタ (TMDR)

アドレス MTU0.TMDR 0008 8701h, MTU1.TMDR 0008 8781h, MTU2.TMDR 0008 8801h,  
MTU3.TMDR 0008 8602h, MTU4.TMDR 0008 8603h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表20.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0: TGRAとTGRCレジスタは通常動作 1: TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0: TGRBとTGRDレジスタは通常動作 1: TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0: MTU0.TGREとMTU0.TGRFレジスタは通常動作 1: MTU0.TGREとMTU0.TGRFレジスタはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDRレジスタは、各チャネルの動作モードを設定するレジスタです。TMDRレジスタの設定は、TCNTカウンタの動作が停止した状態で行ってください。

表20.11 MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU3	MTU4
MD[3]	MD[2]	MD[1]	MD[0]						
0	0	0	0	ノーマルモード	○	○	○	○	○
0	0	0	1	設定しないでください					
0	0	1	0	PWMモード1	○	○	○	○	○
0	0	1	1	PWMモード2	○	○	○		
0	1	0	0	位相計数モード1		○	○		
0	1	0	1	位相計数モード2		○	○		
0	1	1	0	位相計数モード3		○	○		
0	1	1	1	位相計数モード4		○	○		
1	0	0	0	リセット同期PWMモード(注1)				○	
1	0	0	1	設定しないでください。					
1	0	1	x	設定しないでください。					
1	1	0	0	設定しないでください。					
1	1	0	1	相補PWMモード1(山で転送)(注1)				○	
1	1	1	0	相補PWMモード2(谷で転送)(注1)				○	
1	1	1	1	相補PWMモード3(山と谷で転送)(注1)				○	

x: Don't care

注. 各チャネルで○が付いている動作モード以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。

MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となりMTU3の設定に従います。MTU4はノーマルモードに設定してください。

### BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作にするか、TGRA レジスタと TGRC レジスタを組み合わせでバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC レジスタのコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU4.TIER.TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4.TMDR レジスタの BFA ビットには“0”を書いてください。

TGRC レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、[図 20.40](#) を参照してください。

### BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作にするか、TGRB レジスタと TGRD レジスタを組み合わせでバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD レジスタのコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU3.TIER.TGIED ビット、MTU4.TIER.TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4 の TMDR.BFB ビットには“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、[図 20.40](#) を参照してください。

### BFE ビット (バッファ動作 E ビット)

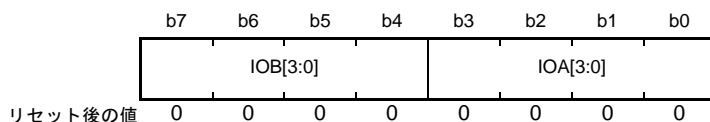
MTU0.TGRE レジスタと MTU0.TGRF レジスタを通常動作またはバッファ動作させるかどうかを選択します。TGRF レジスタをバッファレジスタとして使用した場合も、TGRF レジスタのコンペアマッチは発生します。

MTU1 ~ MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

## 20.2.3 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH

アドレス MTU0.TIORH 0008 8702h, MTU1.TIOR 0008 8782h, MTU2.TIOR 0008 8802h,  
MTU3.TIORH 0008 8604h, MTU4.TIORH 0008 8606h

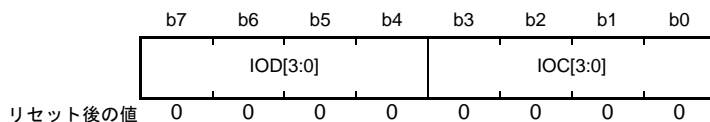


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット	下記の表を参照してください(注1) MTU0.TIORH : 表 20.20    MTU1.TIOR : 表 20.22 MTU2.TIOR : 表 20.23    MTU3.TIORH : 表 20.24 MTU4.TIORH : 表 20.26	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット	下記の表を参照してください(注1) MTU0.TIORH : 表 20.12    MTU1.TIOR : 表 20.14 MTU2.TIOR : 表 20.15    MTU3.TIORH : 表 20.16 MTU4.TIORH : 表 20.18	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0]ビット (m = A, B) の値を出力禁止 (“0000b”または“0100b”) へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL

アドレス MTU0.TIORL 0008 8703h, MTU3.TIORL 0008 8605h, MTU4.TIORL 0008 8607h

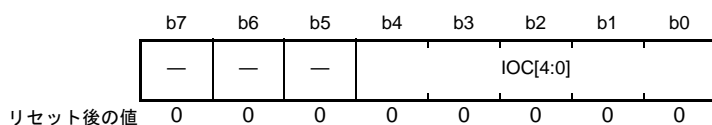


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	下記の表を参照してください(注1) MTU0.TIORL : 表 20.21    MTU3.TIORL : 表 20.25 MTU4.TIORL : 表 20.27	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	下記の表を参照してください(注1) MTU0.TIORL : 表 20.13    MTU3.TIORL : 表 20.17 MTU4.TIORL : 表 20.19	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0]ビット (m = C, D) の値を出力禁止 (“0000b”または“0100b”) へ変更するとHi-Zになります。

- MTU5.TIORU, MTU5.TIORV, MTU5.TIORW

アドレス MTU5.TIORU 0008 8886h, MTU5.TIORV 0008 8896h, MTU5.TIORW 0008 88A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表20.28	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計11本のTIORレジスタがあります。

TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTR.CSTnビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタあるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表20.12 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 20.13 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ (注2)

x : Don't care

注1. MTU0.TMDR.BFBビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 20.14 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表20.15 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.16 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.17 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR.BFBビットを“1”にしてMTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.18 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.19 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表20.20 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。



表 20.21 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU0.TGRCの機能	MTIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ(注1)
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ(注2)	

x : Don't care

注1. MTU0.TMDR.BFAビットを“1”にしてMTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 20.22 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ	

x : Don't care

表20.23 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.24 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.25 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR.BFAビットを“1”にしてMTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.26 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.27 TIORL (MTU4)

ビット3 IOC[3]	ビット2 IOC[2]	ビット1 IOC[1]	ビット0 IOC[0]	説明	
				MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU4.TMDR.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.28 TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU5.TGRU、MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU3、MTU4と連動したデッドタイム補償機能使用時のみとしてください。詳細は「20.3.10 外部パルス幅測定機能」、  
「20.3.11 デッドタイム補償機能」を参照してください。

## 20.2.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 0008 88B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの“0000h”クリアを禁止 1 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの“0000h”クリアを禁止 1 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの“0000h”クリアを禁止 1 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、TCNTV、TCNTW カウンタのクリア要求を設定するレジスタです。

## 20.2.5 タイマ割り込み許可レジスタ (TIER)

- MTU0.TIER, MTU3.TIER

アドレス MTU0.TIER 0008 8704h, MTU3.TIER 0008 8608h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 0008 8784h, MTU2.TIER 0008 8804h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER

アドレス MTU4.TIER 0008 8609h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可 A ビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可 B ビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可 C ビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可 D ビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTU4.TCNT カウンタのアンダフロー (谷) による A/D 変換要求を禁止 1: MTU4.TCNT カウンタのアンダフロー (谷) による A/D 変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D 変換開始要求の発生を禁止 1: A/D 変換開始要求の発生を許可	R/W

MTU には、MTU0 に 2 本、MTU1 ~ MTU5 に各 1 本、計 7 本の TIER レジスタがあります。

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を設定するレジスタです。

**TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)**

割り込み要求 (TGIm) を許可または禁止します。(m = A, B)

**TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)**

MTU0、MTU3、MTU4 で割り込み要求 (TGIm) を許可または禁止します。(m = C, D)

MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

**TCIEV ビット (オーバフロー割り込み許可ビット)**

割り込み要求 (TCIV) を許可または禁止します。

**TCIEU ビット (アンダフロー割り込み許可ビット)**

MTU1、MTU2 で割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

**TTGE2 ビット (A/D 変換開始要求許可 2 ビット)**

相補 PWM モードで、MTU4.TCNT カウンタのアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。

MTU0 ~ MTU3 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

**TTGE ビット (A/D 変換開始要求許可ビット)**

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータ開始要求の発生を許可または禁止します。

- MTU0.TIER2

アドレス MTU0.TIER2 0008 8724h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可 E ビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可 F ビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)**

MTU0.TCNT カウンタと MTU0.TGRm レジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。(m = E, F)



- MTU5.TIER

アドレス MTU5.TIER 0008 88B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5 U	TGIE5V	TGIE5 W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可 5W ビット	0 : TGIW5 割り込み要求を禁止 1 : TGIW5 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可 5V ビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可 5U ビット	0 : TGIU5 割り込み要求を禁止 1 : TGIU5 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

### TGIE5W、TGIE5V、TGIE5U ビット (TGR 割り込み許可 5m ビット)

割り込み要求 (TGIm5) を許可または禁止します。(m = W, V, U)

## 20.2.6 タイマステータスレジスタ (TSR)

アドレス MTU0.TSR 0008 8705h, MTU1.TSR 0008 8785h, MTU2.TSR 0008 8805h,  
MTU3.TSR 0008 862Ch, MTU4.TSR 0008 862Dh

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	—	—	—	—	—	—

リセット後の値 1 1 x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTカウンタはダウンカウント 1 : TCNTカウンタはアップカウント	R

MTU には、MTU0 ~ MTU4 に各 1 本、計 5 本の TSR レジスタがあります。

TSR レジスタは、各チャンネルのステータスを表示するレジスタです。

### TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4 の TCNT カウンタのカウント方向を示すステータスフラグです。

MTU0 では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

## 20.2.7 タイマバッファ動作転送モードレジスタ (TBTM)

- MTU0.TBTM

アドレス MTU0.TBTM 0008 8726h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TBTM, MTU4.TBTM

アドレス MTU3.TBTM 0008 8638h, MTU4.TBTM 0008 8639h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのコンペアマッチA発生時 1: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b1	TTSB	タイミング選択Bビット	0: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのコンペアマッチB発生時 1: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b2	TTSE	タイミング選択Eビット	0: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0のコンペアマッチE発生時 1: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0.TCNTカウンタクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各1本、計3本のTBTMレジスタがあります。

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。

### TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”に設定しないでください。

### TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”に設定しないでください。

### TTSE ビット (タイミング選択 E ビット)

バッファ動作時のMTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングを設定します。MTU3、MTU4では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。なお、MTU0をPWMモード以外で使用する場合は、TTSEビットを“1”に設定しないでください。

## 20.2.8 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 0008 8790h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU1に1本のTICCRレジスタがあります。

TICCRレジスタは、MTU1.TCNTカウンタとMTU2.TCNTカウンタのカスケード接続時のインプットキャプチャ条件を設定するレジスタです。

## 20.2.9 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

アドレス MTU4.TADCR 0008 8640h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCIV4 割り込み間引き機能と連動しない 1 : TCIV4 割り込み間引き機能と連動する	R/W
b1	ITB3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGIA3 割り込み間引き機能と連動しない 1 : TGIA3 割り込み間引き機能と連動する	R/W
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCIV4 割り込み間引き機能と連動しない 1 : TCIV4 割り込み間引き機能と連動する	R/W
b3	ITA3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGIA3 割り込み間引き機能と連動しない 1 : TGIA3 割り込み間引き機能と連動する	R/W
b4	DT4BE	ダウンカウント TRG4BN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウント TRG4BN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウント TRG4AN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング 選択ビット	詳細は表 20.29 を参照してください	R/W

注. TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、または TITCR の間引き回数設定ビット (T3ACOR[2:0], T4VCOR[2:0]) を“000b”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. b6、b4~b0 は、相補 PWM モード以外では、“0”にしてください。

TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定するレジスタです。

表20.29 BF[1:0]ビットによる転送タイミングの設定

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

### 20.2.10 タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA, TADCORB)

アドレス MTU4.TADCORA 0008 8644h, MTU4.TADCORB 0008 8646h

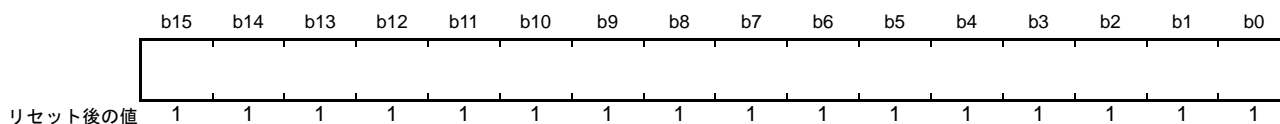


注. TADCORA、TADCORBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCORA、TADCORBレジスタは、A/D変換開始要求周期を設定するレジスタです。MTU4.TCNTカウンタと一致したとき、対応するA/D変換開始要求を発生します。

### 20.2.11 タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA, TADCOBRB)

アドレス MTU4.TADCOBRA 0008 8648h, MTU4.TADCOBRB 0008 864Ah

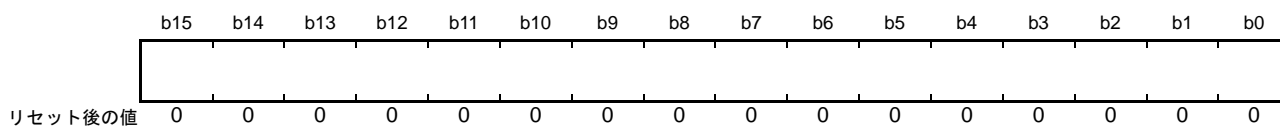


注. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRBレジスタは、TADCORA、TADCORBレジスタのバッファレジスタで、A/D変換開始要求周期を設定するレジスタです。TADCOBRA、TADCOBRBレジスタから山か谷でTADCORA、TADCORBレジスタに転送します。

### 20.2.12 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 0008 8706h, MTU1.TCNT 0008 8786h, MTU2.TCNT 0008 8806h,  
MTU3.TCNT 0008 8610h, MTU4.TCNT 0008 8612h, MTU5.TCNTU 0008 8880h,  
MTU5.TCNTV 0008 8890h, MTU5.TCNTW 0008 88A0h



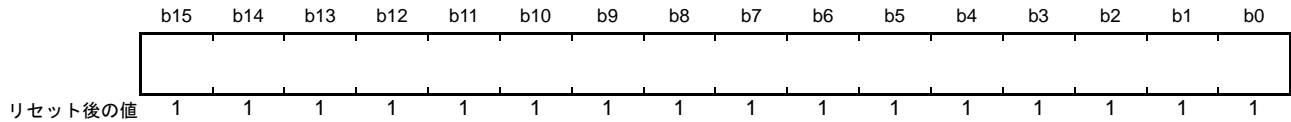
注. TCNTカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTUには、MTU0～MTU4に各1本、MTU5にMTU5.TCNTU/V/Wの3本、計8本のTCNTカウンタがあります。

TCNTカウンタは、読み出し/書き込み可能なカウンタです。

## 20.2.13 タイマジェネラルレジスタ (TGR)

MTU0.TGRA 0008 8708h, MTU0.TGRB 0008 870Ah, MTU0.TGRC 0008 870Ch,  
 MTU0.TGRD 0008 870Eh, MTU0.TGRE 0008 8720h, MTU0.TGRF 0008 8722h,  
 MTU1.TGRA 0008 8788h, MTU1.TGRB 0008 878Ah, MTU2.TGRA 0008 8808h,  
 アドレス MTU2.TGRB 0008 880Ah, MTU3.TGRA 0008 8618h, MTU3.TGRB 0008 861Ah,  
 MTU3.TGRC 0008 8624h, MTU3.TGRD 0008 8626h, MTU4.TGRA 0008 861Ch,  
 MTU4.TGRB 0008 861Eh, MTU4.TGRC 0008 8628h, MTU4.TGRD 0008 862Ah,  
 MTU5.TGRU 0008 8882h, MTU5.TGRV 0008 8892h, MTU5.TGRW 0008 88A2h



注. TGRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTUには、MTU0に6本、MTU1、MTU2に各2本、MTU3、MTU4に各4本、MTU5に3本、計21本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDレジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4のTGRCレジスタとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

MTU0.TGRE、MTU0.TGRFレジスタはコンペアレジスタとして機能し、MTU0.TCNTカウンタとMTU0.TGREレジスタが一致したとき、A/D変換開始要求を発生することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRC-TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWレジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。



## 20.2.14 タイマスタートレジスタ (TSTR)

- MTU.TSTR (MTU0 ~ MTU4)

アドレス MTU.TSTR 0008 8680h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTカウンタはカウント停止 1 : MTU0.TCNTカウンタはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTカウンタはカウント停止 1 : MTU1.TCNTカウンタはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTカウンタはカウント停止 1 : MTU2.TCNTカウンタはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTカウンタはカウント停止 1 : MTU3.TCNTカウンタはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTカウンタはカウント停止 1 : MTU4.TCNTカウンタはカウント動作	R/W

TSTR レジスタは MTU0 ~ MTU4 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TMDR レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT カウンタのカウントクロックを設定する場合は、TCNT カウンタのカウント動作を停止してから行ってください。

## CSTn ビット (カウンタスタート n ビット) (n = 0 ~ 4)

各チャネルの TCNT カウンタの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 0008 88B4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWカウンタはカウント停止 1 : MTU5.TCNTWカウンタはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVカウンタはカウント停止 1 : MTU5.TCNTVカウンタはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUカウンタはカウント停止 1 : MTU5.TCNTUカウンタはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

## 20.2.15 タイマシンクロレジスタ (TSYR)

アドレス MTU.TSYR 0008 8681h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU0.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU1.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU2.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU3.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU4.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W

TSYR レジスタはMTU0～MTU4のTCNTカウンタの独立動作または同期動作を選択するレジスタです。対応するビットを“1”にしたチャンネルが同期動作を行います。

**SYNCn ビット (タイマ同期 n ビット) (n = 0 ~ 4)**

独立動作または他のチャンネルとの同期動作を選択します。

同期動作を選択すると、複数のTCNTカウンタの同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルのSYNCnビットを“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTカウンタのクリア要因を設定する必要があります。

## 20.2.16 タイマリードライト許可レジスタ (TRWER)

アドレス MTU.TRWER 0008 8684h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0 : レジスタの読み出し/書き込みを禁止する 1 : レジスタの読み出し/書き込みを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWER レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定するレジスタです。

**RWE ビット (リードライト許可ビット)**

誤書き込み防止のレジスタへの読み出し / 書き込みの許可 / 禁止を設定します。

[“0”になる条件]

- RWE ビット = 1 を読み出し後、RWE ビットに “0” を書いたとき
- 誤書き込み防止の対象レジスタおよび対象カウンタ

MTUn.TCR、MTUn.TMDR、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOER、MTU.TOCR1、MTU.TOCR2、MTU.TGCR、MTU.TCDR、MTU.TDDR と MTUn.TCNT の計 22 レジスタです。(n = 3, 4)

## 20.2.17 タイマアウトプットマスタ許可レジスタ (TOER)

アドレス MTU.TOER 0008 860Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、I/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) にあらかじめ汎用入出力ポートに非アクティブレベルを出力する設定をした上で、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を設定するレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4 において、TOER レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値を設定してください。

TOER レジスタは、TSTR.CST3、CST4 ビットを“0”にした後で設定してください (図 20.35、図 20.38 を参照)。

## 20.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1)

アドレス MTU.TOCR1 0008 860Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注2、注3)	表20.30を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注2、注3)	表20.31を参照してください	R/W
b2	TOCS	TOC選択ビット	0: TOCR1レジスタの設定を有効にする 1: TOCR2レジスタの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット (注1)	0: TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1: TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W (注4)
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0: トグル出力を禁止 1: トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1.TOCLビットを“1”に設定することにより、CPU暴走時の誤書き込みを防止することができます。

注2. TOCR1.TOCSビットを“0”に設定することにより、本設定が有効になります。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1レジスタは、相補PWMモード/リセット同期PWMモードのPWM周期に同期したトグル出力の許可/禁止、およびPWM出力の出力レベル反転の制御を設定するレジスタです。

**OLSPビット（出力レベル選択Pビット）**

リセット同期PWMモード/相補PWMモード時に、正相の出力レベルを選択します。

**OLSNビット（出力レベル選択Nビット）**

リセット同期PWMモード/相補PWMモード時に、逆相の出力レベルを選択します。

**TOCSビット（TOC選択ビット）**

相補PWMモード/リセット同期PWMモードの出力レベルの設定をTOCR1レジスタとTOCR2レジスタのどちらの設定を有効にするか選択します。

**TOCLビット（TOCレジスタ書き込み禁止ビット）**

TOCR1.TOCS, OLSN, OLSPビットへの書き込み禁止/許可の設定をします。

**PSYEビット（PWM同期出力許可ビット）**

PWM周期に同期したトグル出力の許可/禁止を設定します。

表 20.30 出力レベル選択機能

ビット0	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 20.31 出力レベル選択機能

ビット1	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 20.2 に示します。

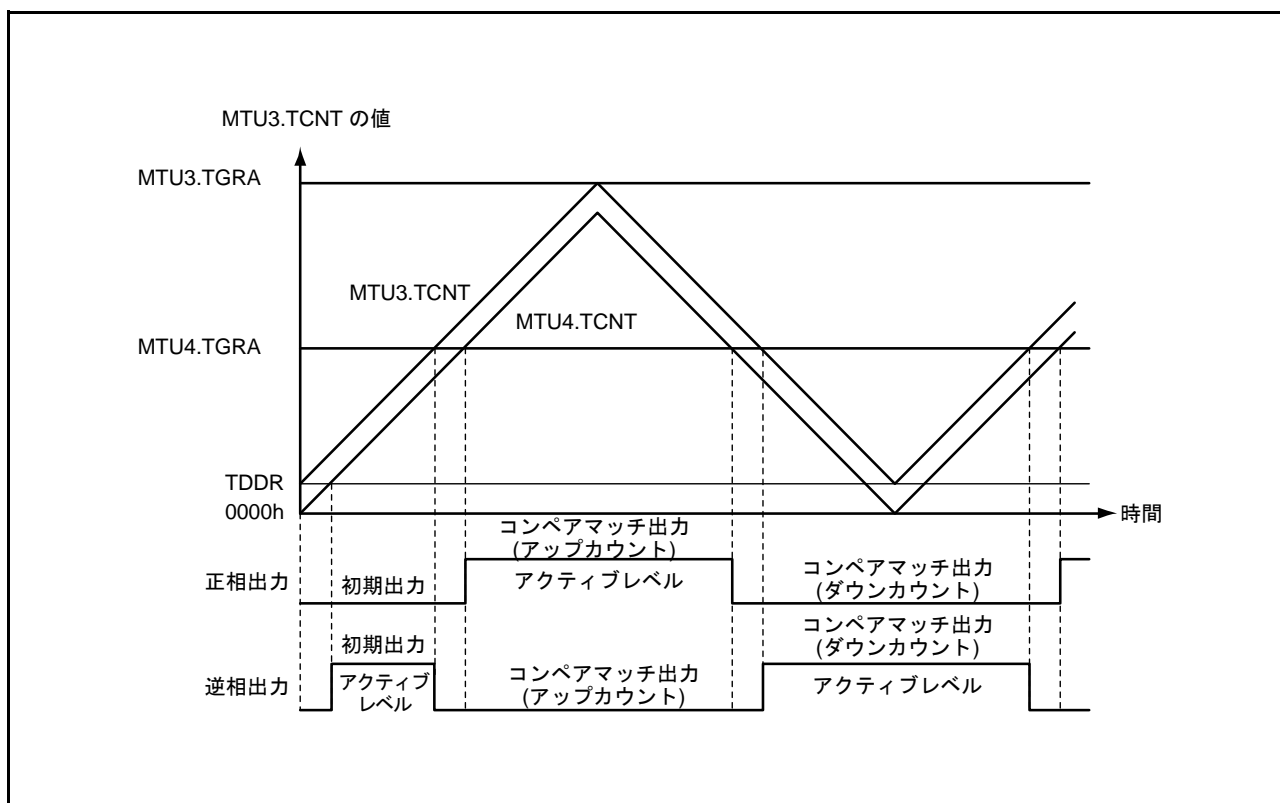


図 20.2 相補 PWM モードの出力レベルの例

## 20.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2)

アドレス MTU.TOCR2 0008 860Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します。 表20.32を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します。 表20.33を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します。 表20.34を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します。 表20.35を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。 表20.36を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します。 表20.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRレジスタからTOCR2レジスタへのバッファ転送タイミングを選択します。 詳細は表20.38を参照してください	R/W

注1. TOCR1.TOCSビットを“1”に設定することにより、本レジスタの設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。(i = 1 ~ 3)

TOCR2 レジスタは、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を設定するレジスタです。

表 20.32 MTIOC3B 出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 20.33 MTIOC3D 出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 20.34 MTIOC4A出力レベル選択機能

ビット2		機能		
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 20.35 MTIOC4C出力レベル選択機能

ビット3		機能		
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 20.36 MTIOC4B出力レベル選択機能

ビット4		機能		
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 20.37 MTIOC4D出力レベル選択機能

ビット5		機能		
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 20.38 TOCR2.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時
0	0	TOLBRレジスタからTOCR2レジスタへ転送しない	TOLBRレジスタからTOCR2レジスタへ転送しない
0	1	MTU4.TCNTの山でTOLBRレジスタからTOCR2レジスタへ転送する	MTU4.TCNT、MTU3.TCNTカウンタクリア時にTOLBRレジスタからTOCR2レジスタへ転送する
1	0	MTU4.TCNTの谷でTOLBRレジスタからTOCR2レジスタへ転送する	設定しないでください
1	1	MTU4.TCNTの山と谷でTOLBRレジスタからTOCR2レジスタへ転送する	設定しないでください



## 20.2.20 タイマアウトプットレベルバッファレジスタ (TOLBR)

アドレス MTU.TOLBR 0008 8636h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2.OLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2.OLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2.OLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2.OLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2.OLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2.OLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TOLBR レジスタは TOCR2 レジスタのバッファレジスタで、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力レベルを設定するレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 20.3 に示します。

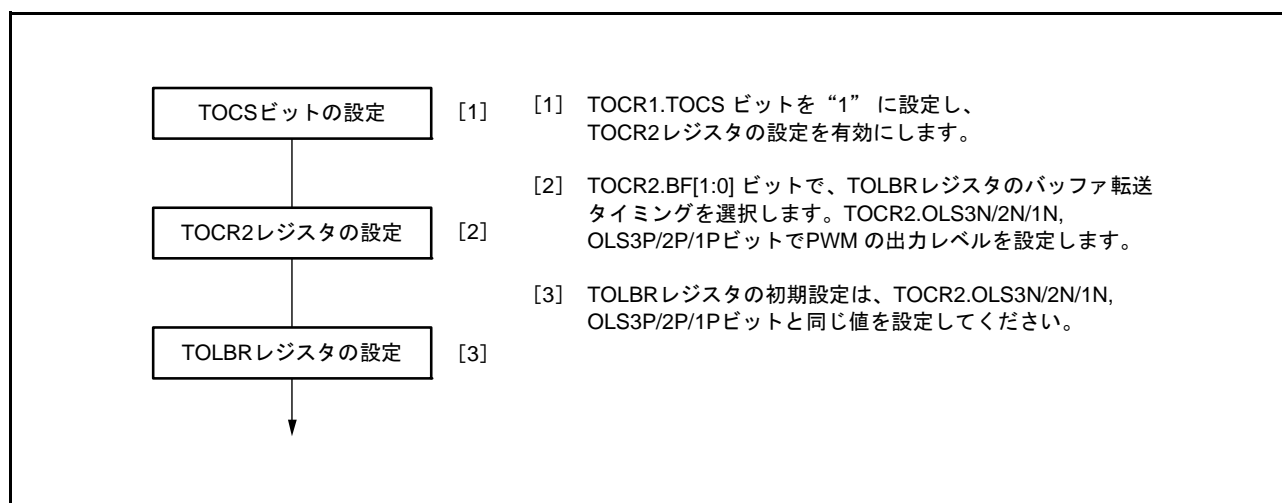


図 20.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

## 20.2.21 タイマゲートコントロールレジスタ (TGCR)

アドレス MTU.TGCR 0008 860Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力のためになります。表20.39を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替え切り替えは、外部入力（入力元は、MTU0.TGRA, TGRB, TGRCレジスタのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCR.UF、VF、WFビットの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCR レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を設定するレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCR レジスタの設定は無効です。

**UF、VF、WF ビット（出力相切り替えビット）**

これらのビットの設定は TGCR.FB ビットが“1”のときのみ有効です。このときは、ビット0～2の設定が、外部入力の代わりになります。表 20.39 を参照してください。

**FB ビット（外部フィードバック信号許可ビット）**

正相/逆相の出力の切り替えを MTU0.TGRA, TGRB, TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCR レジスタのビット2～0に“0”または“1”を書き込むことによって行うかを選択します。

**P ビット（正相出力（P）制御ビット）**

正相端子の出力（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

**N ビット（逆相出力（N）制御ビット）**

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

**BDC ビット (ブラシレス DC モータビット)**

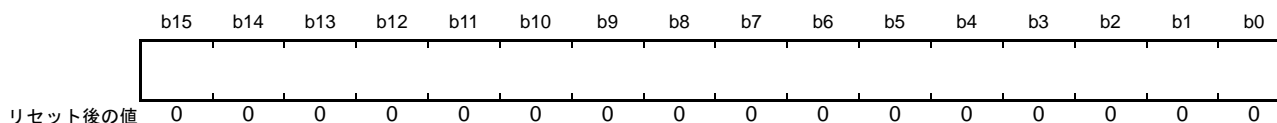
TGCR レジスタの機能を有効にするか、無効にするかを選択します。

表 20.39 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

**20.2.22 タイマサブカウンタ (TCNTS)**

アドレス MTU.TCNTS 0008 8620h



注. TCNTSカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTS カウンタは、相補 PWM モードに設定したときのみ使用される読み出し専用カウンタです。

**20.2.23 タイマデッドタイムデータレジスタ (TDDR)**

アドレス MTU.TDDR 0008 8616h

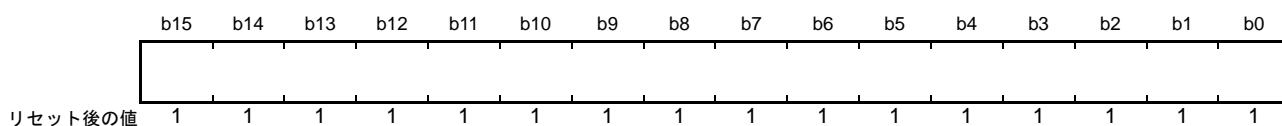


注. TDDRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDR レジスタは、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定するレジスタです。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDR レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。

### 20.2.24 タイマ周期データレジスタ (TCDR)

アドレス MTU.TCDR 0008 8614h

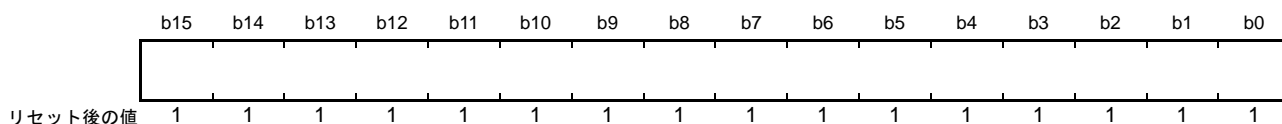


注. TCDRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDR レジスタは、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TCDR レジスタの値は PWM 周期の 1/2 の値を設定してください。TCDR レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。

### 20.2.25 タイマ周期バッファレジスタ (TCBR)

アドレス MTU.TCBR 0008 8622h

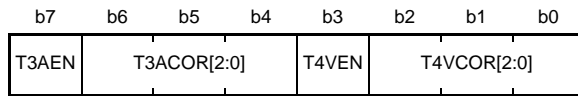


注. TCBRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBR レジスタは TCDR レジスタのバッファレジスタで、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。

## 20.2.26 タイマ割り込み間引き設定レジスタ (TITCR)

アドレス MTU.TITCR 0008 8630h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定ビット	TCIV4 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表20.40を参照してください	R/W
b3	T4VEN	T4VEN ビット	0 : TCIV4 割り込みの間引きを禁止する 1 : TCIV4 割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定ビット	TGIA3 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表20.41を参照してください	R/W
b7	T3AEN	T3AEN ビット	0 : TGIA3 割り込みの間引きを禁止する 1 : TGIA3 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数に“0”を設定すると間引きは行いません。  
また、割り込み間引き回数の変更前に、TITCR.T3AEN、TITCR.T4VEN ビットを“0”に設定して TITCNT カウンタをクリアしてください。

表20.40 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

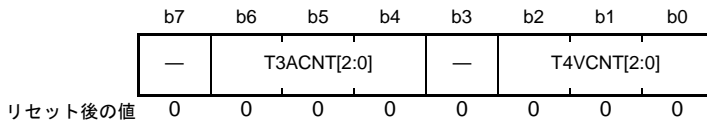
ビット2	ビット1	ビット0	説明
T4VCOR[2]	T4VCOR[1]	T4VCOR[0]	
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表20.41 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T3ACOR[2]	T3ACOR[1]	T3ACOR[0]	
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

## 20.2.27 タイマ割り込み間引き回数カウンタ (TITCNT)

アドレス MTU.TITCNT 0008 8631h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR.T4VENビットに1を設定時、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR.T3AENビットに1を設定時、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNTカウンタの値をクリアするには、TITCR.T3AENビットとTITCR.T4VENビットを“0”にしてください。

TITCNTカウンタは、割り込み間引き対象の割り込み要因発生回数をカウントするカウンタです。TITCNTカウンタは、MTU3.TCNT および MTU4.TCNT カウンタのカウント動作停止後も、値を保持します。

## T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITCR.T4VCOR[2:0] ビットと TITCNT.T4VCNT[2:0] ビットが一致したとき
- TITCR.T4VEN ビットが“0”のとき
- TITCR.T4VCOR[2:0] ビットが“000b”のとき

## T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITCR.T3ACOR[2:0] ビットと TITCNT.T3ACNT[2:0] ビットが一致したとき
- TITCR.T3AEN ビットが“0”のとき
- TITCR.T3ACOR[2:0] ビットが“000b”のとき

## 20.2.28 タイマバッファ転送設定レジスタ (TBTER)

アドレス MTU.TBTER 0008 8632h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定します。詳細は表20.42を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTER レジスタは、相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定するレジスタです。

表 20.42 TBTER.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する(注2)
1	1	設定しないでください

注. 対象バッファレジスタ : MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBR レジスタ

注1. TMDR.MD[3:0]ビットの設定に従い転送します。詳細は「20.3.8 相補PWMモード」を参照してください。

注2. 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VENビットを“0”に設定したとき、またはTITCRレジスタの間引き回数設定ビット (T3ACOR[2:0]、T4VCOR[2:0]) を“000b”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE[1]ビットを“0”に設定) にしてください。  
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

## 20.2.29 タイマデッドタイム許可レジスタ (TDER)

アドレス MTU.TDER 0008 8634h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイム許可レジスタビット	0: デッドタイムを生成しない 1: デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDR ≥ 1に設定してください。

TDER レジスタは、相補 PWM モードのデッドタイム生成を設定するレジスタです。TDER レジスタは MTU3 に 1 本あります。TDER レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

**TDER ビット (デッドタイム許可レジスタビット)**

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 を読み出し後、TDER ビットに“0”を書いたとき



## 20.2.30 タイマ波形コントロールレジスタ (TWCR)

アドレス MTU.TWCR 0008 8660h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0 : TOCRレジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注1)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット	0 : MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをする	R/(W) (注2)

注1. 相補PWMモードのとき以外は、“1”に設定しないでください。

注2. 相補PWMモード1のとき以外は、“1”に設定しないでください。

TWCRレジスタは、相補PWMモードでMTU3.TNCT, MTU4.TNCTカウンタの同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをする/しないを設定するレジスタです。

TWCR.CCE, WREビットの設定は、TCNTカウンタの動作が停止した状態で行ってください。

**WREビット（初期出力抑止許可ビット）**

相補PWMモードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補PWMモードの谷のT<sub>b</sub>区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WREビットの設定によらず、TOCRレジスタで設定した初期値を出力します。また、MTU3.TCNT, MTU4.TCNTカウンタスタート直後の谷のT<sub>b</sub>区間で同期クリアが発生した場合も、TOCRレジスタで設定した初期値を出力します。

相補PWMモードの谷のT<sub>b</sub>区間については、図20.40を参照してください。

["1"になる条件]

- WRE = 0を読み出し後、WREビットに“1”を書いたとき

**CCEビット（コンペアマッチクリア許可ビット）**

相補PWMモード1で、MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをする/しないを設定します。

["1"になる条件]

- CCE = 0を読み出し後、CCEビットに“1”を書いたとき

## 20.2.31 ノイズフィルタコントロールレジスタ (NFCR)

- MTU0.NFCR, MTU1.NFCR, MTU2.NFCR, MTU3.NFCR, MTU4.NFCR

アドレス MTU0.NFCR 0008 8690h, MTU1.NFCR 0008 8691h, MTU2.NFCR 0008 8692h,  
MTU3.NFCR 0008 8693h, MTU4.NFCR 0008 8694h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTIOCnA 端子のノイズフィルタは無効 1 : MTIOCnA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTIOCnB 端子のノイズフィルタは無効 1 : MTIOCnB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット (注1)	0 : MTIOCnC 端子のノイズフィルタは無効 1 : MTIOCnC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット (注1)	0 : MTIOCnD 端子のノイズフィルタは無効 1 : MTIOCnD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. MTU1、MTU2では予約ビットになります。読むと“0”が読めます。書き込み値は無効です。

MTUn.NFCR レジスタ (n = 0 ~ 4) は、MTIOCnm 端子 (n = 0 ~ 4, m = A ~ D) のノイズフィルタの有効/無効、ノイズフィルタのサンプリングクロックを設定するレジスタです。

**NFAEN ビット (ノイズフィルタ A 許可ビット)**

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で、NFAEN ビットを切り替えてください。

**NFBEN ビット (ノイズフィルタ B 許可ビット)**

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で、NFBEN ビットを切り替えてください。

**NFCEN ビット (ノイズフィルタ C 許可ビット)**

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で、NFCEN ビットを切り替えてください。

**NFDEN ビット (ノイズフィルタ D 許可ビット)**

MTIOCN<sub>D</sub> 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットを“0000b”(ノーマルモード)以外に設定した状態で、NFDEN ビットを切り替えてください。

**NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)**

ノイズフィルタのサンプリング周期を設定します。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。NFCS[1:0] ビットを“11b”に設定しカウントソースを外部クロックとした場合、NFCS[1:0] ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU5.NFCR

アドレス MTU5.NFCR 0008 8695h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは無効 1 : MTIC5U端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは無効 1 : MTIC5V端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは無効 1 : MTIC5W端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU5.NFCR レジスタは、8ビットの読み出し/書き込み可能なレジスタです。MTU5.NFCR レジスタは、MTIC5m 端子のノイズフィルタの有効/無効を制御します。また、ノイズフィルタのサンプリングクロックを設定します。(m = U, V, W)

#### NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFUEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFUEN ビットを切り替えてください。

#### NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFVEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFVEN ビットを切り替えてください。

#### NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFWEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFWEN ビットを切り替えてください。

#### NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後インプットキャプチャ機能に設定してください。

### 20.2.32 バスマスタとのインタフェース

TCNT カウンタ、TGR レジスタ、TCNTS カウンタ、TCBR レジスタ、TDDR レジスタ、TCDR レジスタ、TADCR レジスタ、TADCORA/TADCORB レジスタ、および TADCOBRA/TADCOBRB レジスタは 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し/書き込みを行ってください。

## 20.3 動作説明

### 20.3.1 基本動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (1) カウンタの動作

TSTR.CST0 ~ CST4 ビット、MTU5.TSTR.CSTU5, CSTV5, CSTW5 ビットを“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作設定手順例を図 20.4 に示します。

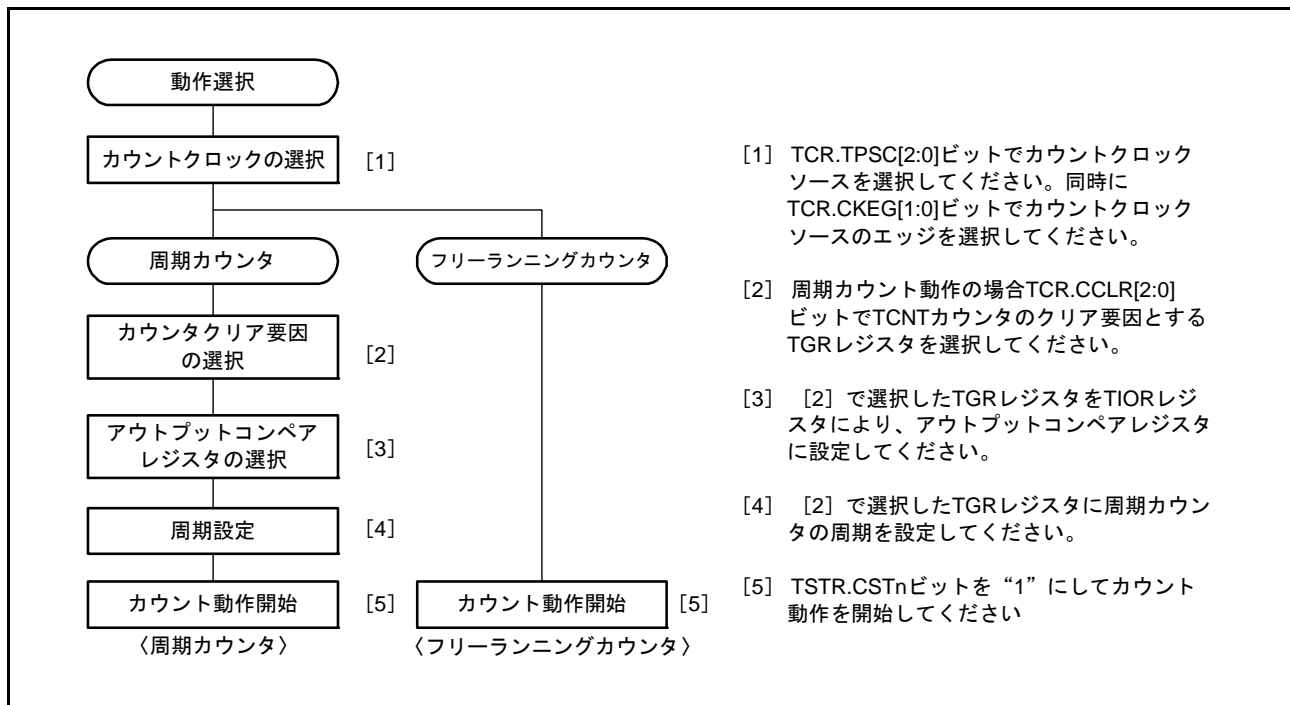


図 20.4 カウント動作設定手順例

### (b) フリーランニングカウンタ動作と周期カウンタ動作

MTUのTCNTカウンタは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRレジスタの対応するCSTnビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTカウンタがオーバーフロー（“FFFFh”→“0000h”）すると、対応するTIER.TCIEVビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図20.5に示します。

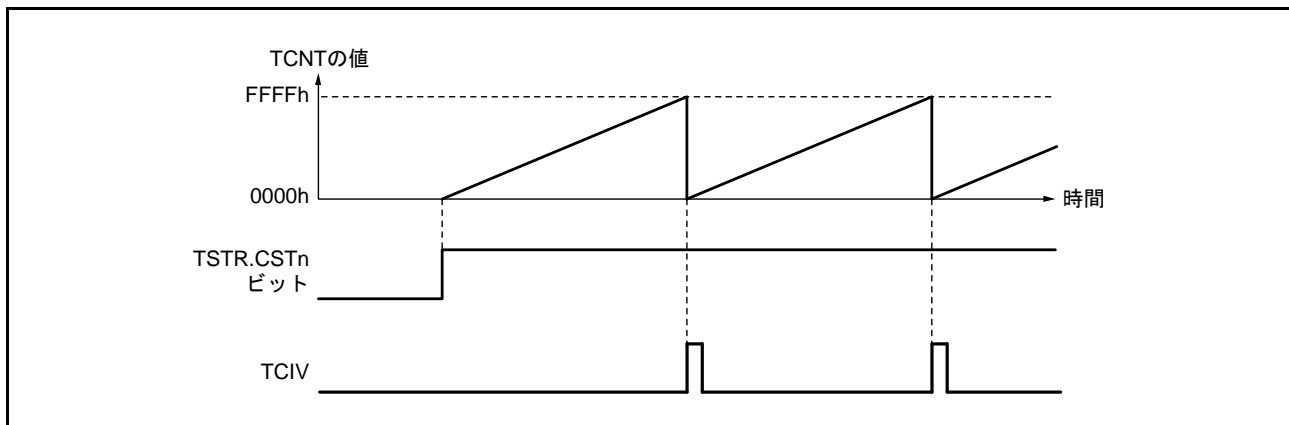


図 20.5 フリーランニングカウンタの動作

TCNTカウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTカウンタは周期カウンタ動作を行います。周期設定用のTGRレジスタをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRレジスタの値と一致すると、TCNTカウンタは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図20.6に示します。

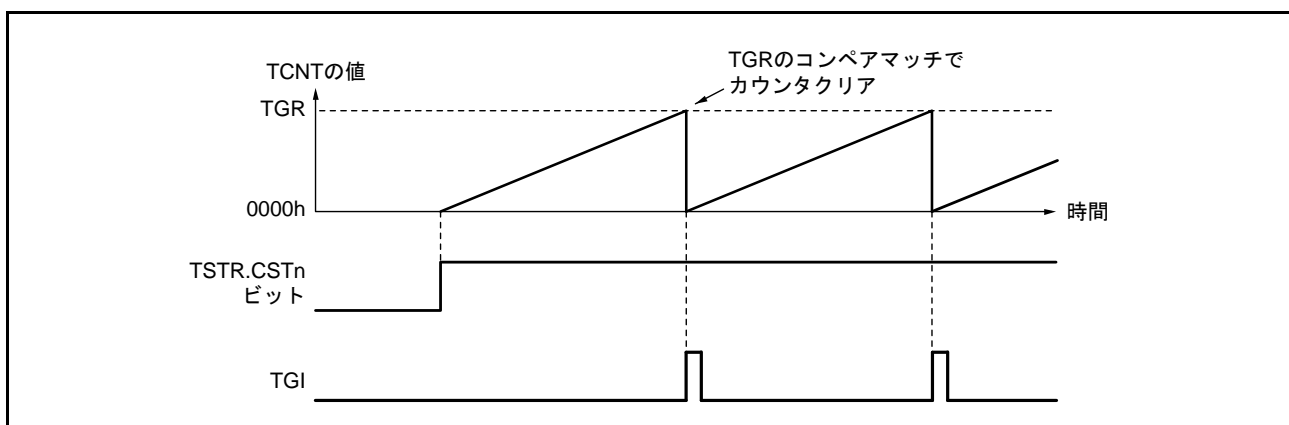


図 20.6 周期カウンタの動作

## (2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

### (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図20.7に示します。

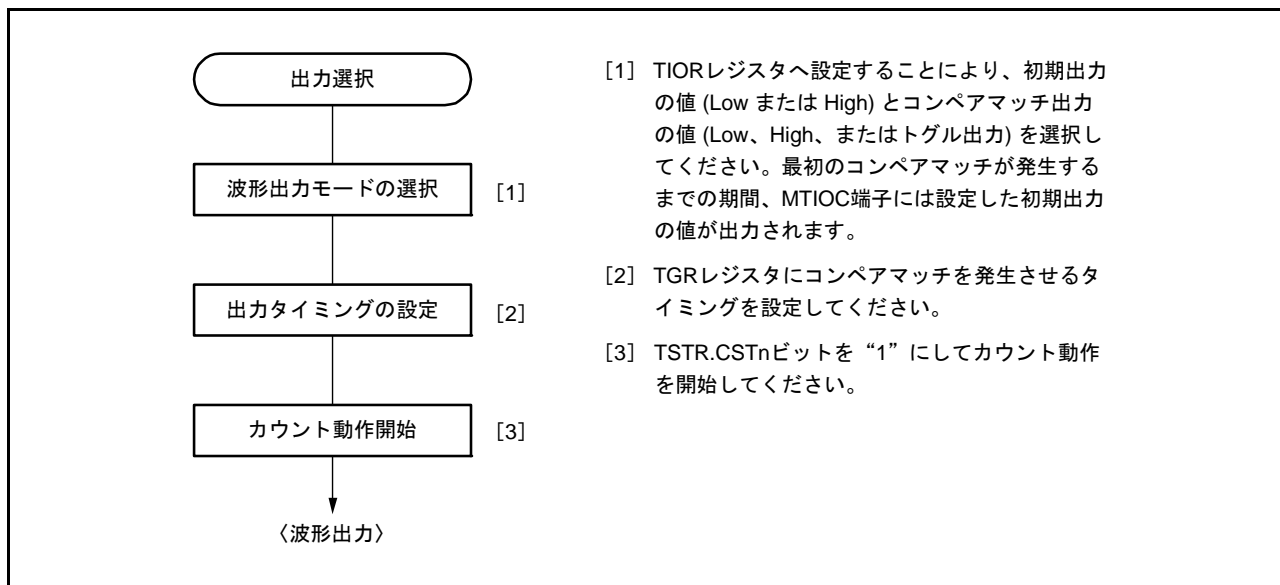


図 20.7 コンペアマッチによる波形出力動作例



## (b) 波形出力動作例

Low 出力 / High 出力例を図 20.8 に示します。

TCNT カウンタをフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

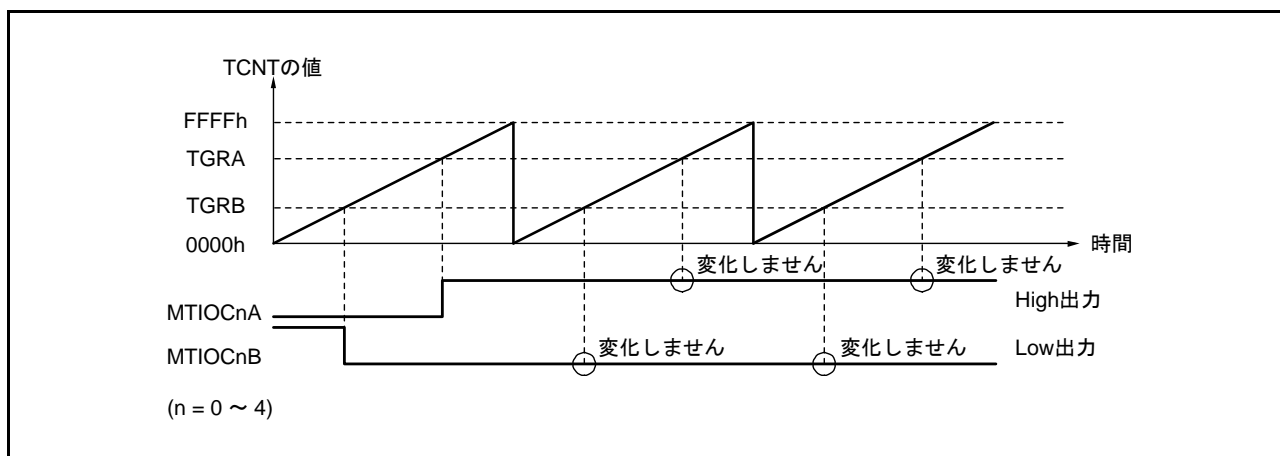


図 20.8 Low 出力 / High 出力の動作例

トグル出力の例を図 20.9 に示します。

TCNT カウンタを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

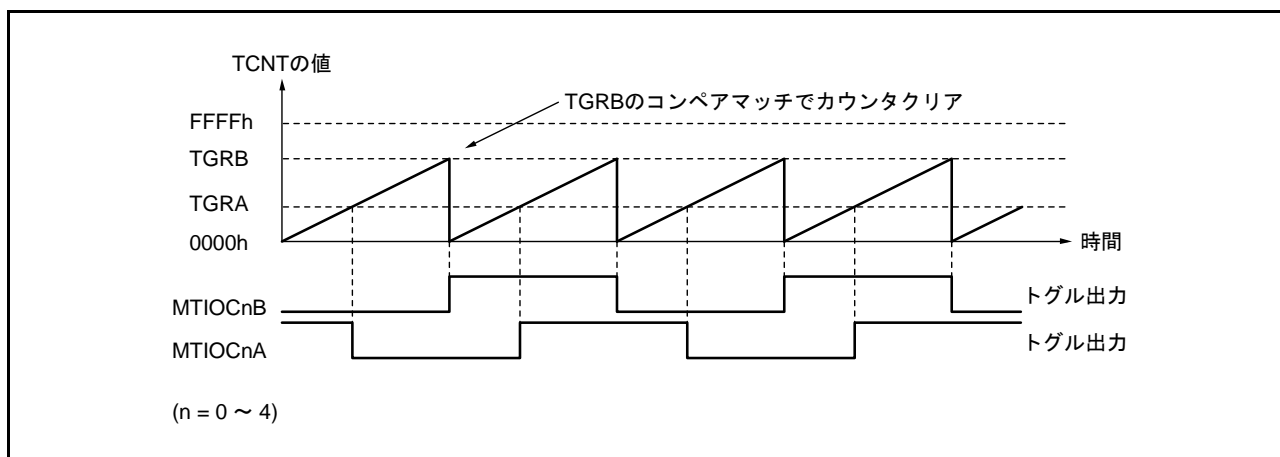


図 20.9 トグル出力の動作例

### (3) インพุットキャプチャ機能

MTIOCnm 端子 (n = 0 ~ 4, m = A ~ D)、および MTIC5m 端子 (m = W, V, U) の入力エッジを検出して TCNT カウンタの値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注． MTU0、MTU1 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

#### (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 20.10 に示します。

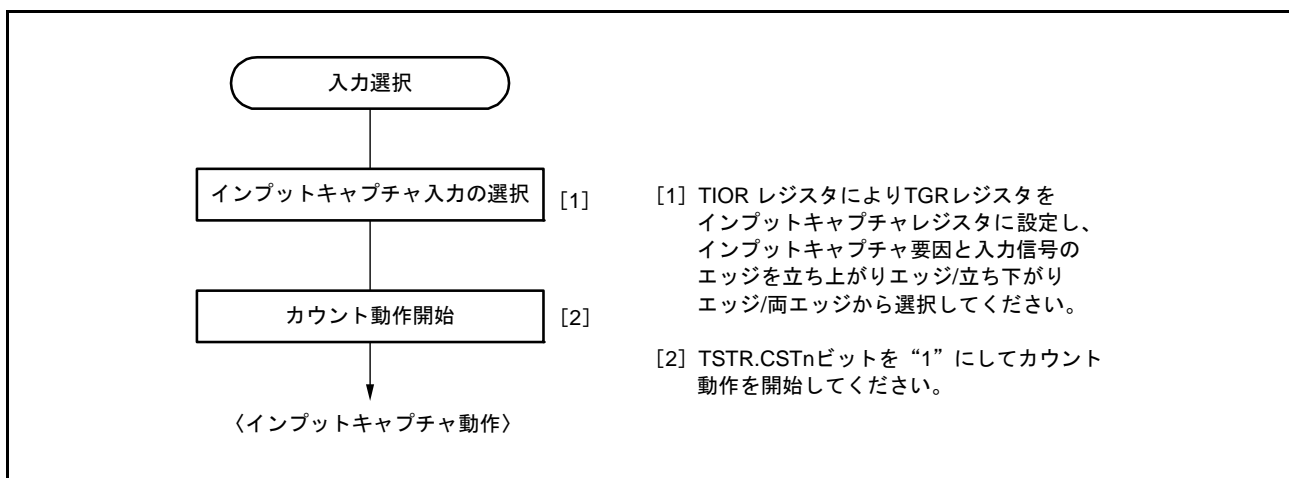


図 20.10 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 20.11 に示します。

MTIOCnA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCnB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

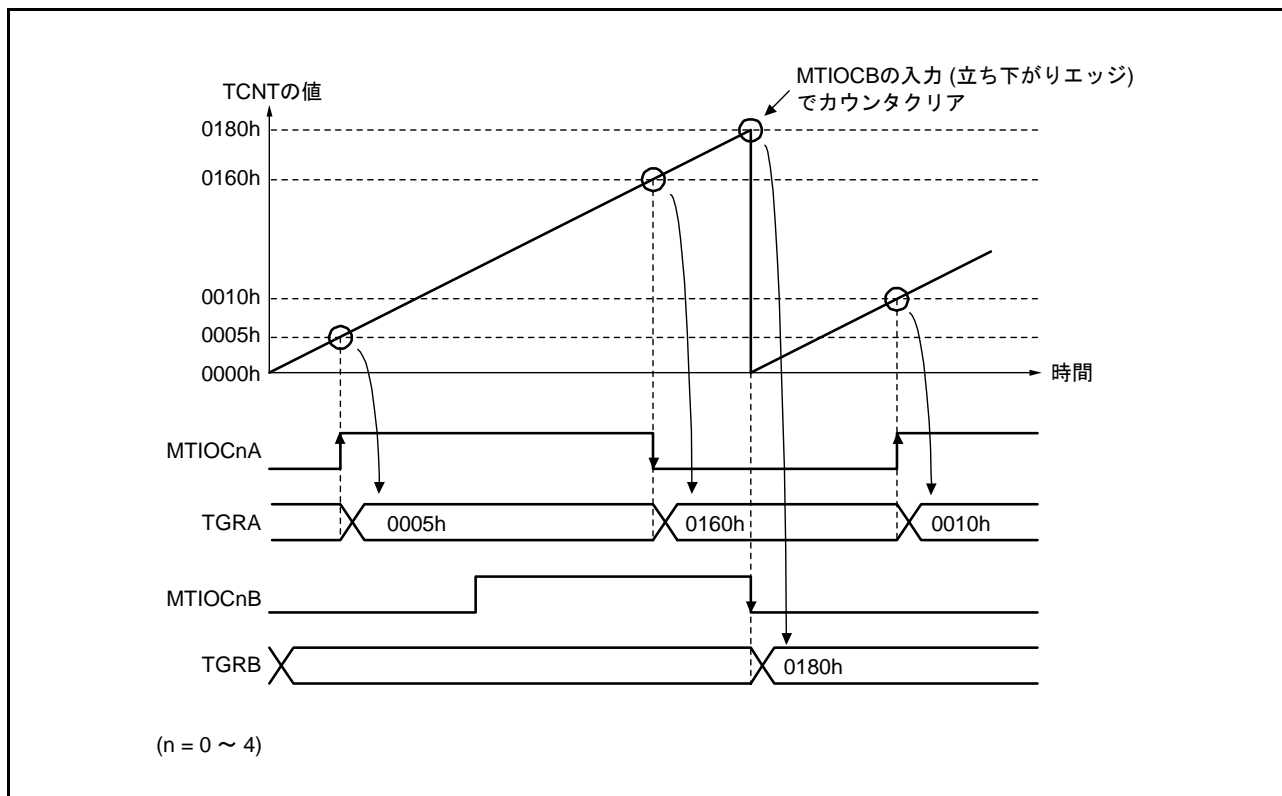


図 20.11 インพุットキャプチャ動作例

### 20.3.2 同期動作

同期動作は、複数の TCNT カウンタの値を同時に書き換えることができます（同期セット）。また、TCR の設定により複数の TCNT カウンタを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加することができます。

MTU0 ~ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図 20.12 に示します。

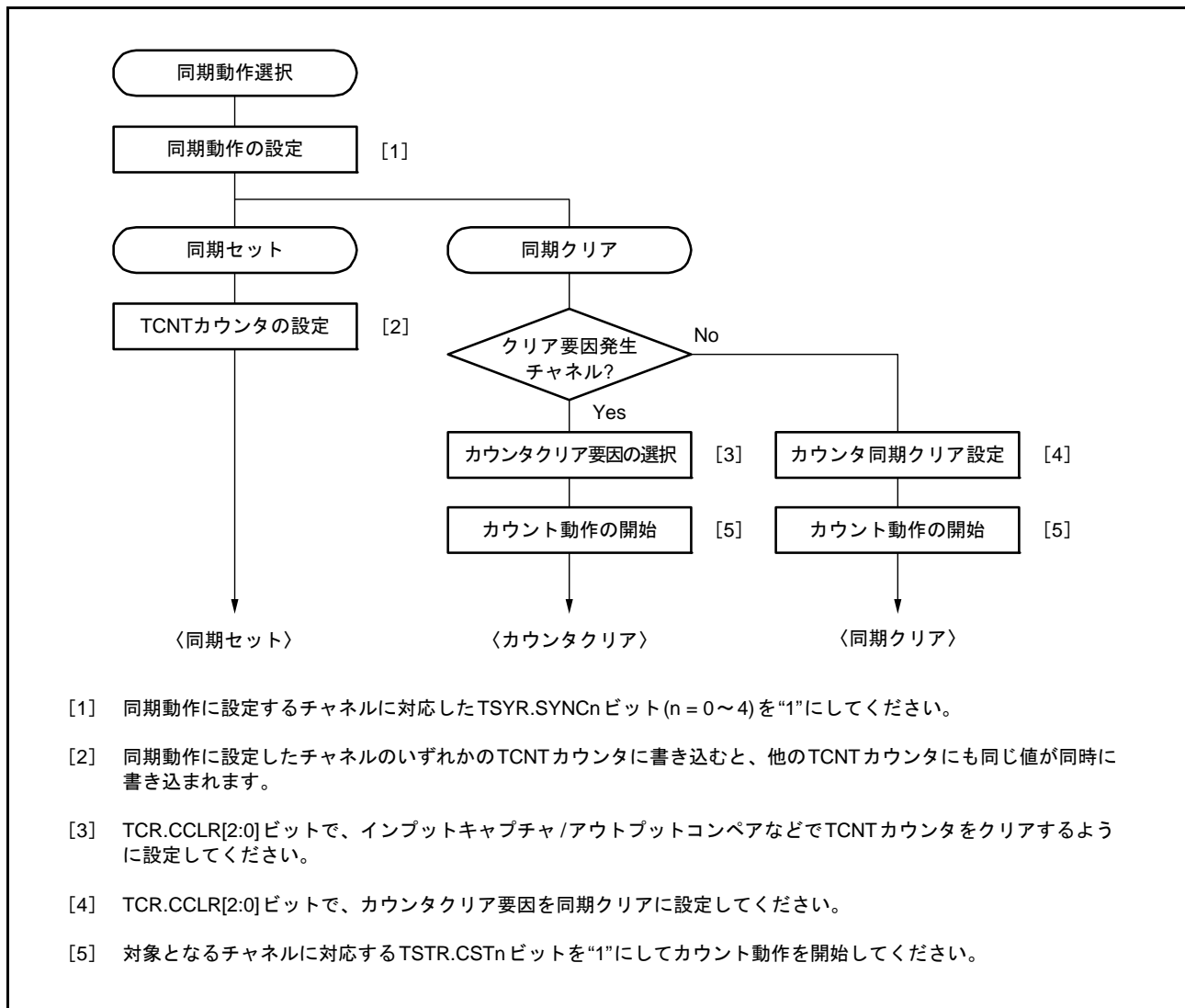


図 20.12 同期動作の設定手順例

## (2) 同期動作の例

同期動作の例を図 20.13 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB レジスタのコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT カウンタは同期セット、MTU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、MTU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「20.3.5 PWM モード」を参照してください。

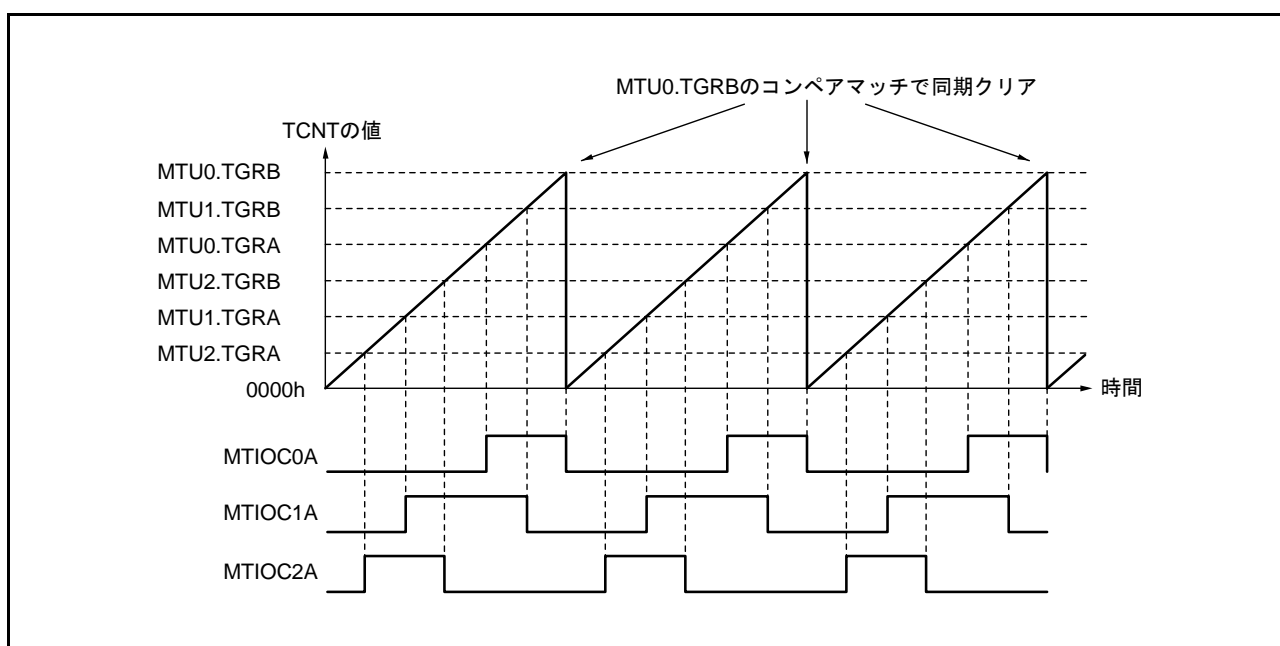


図 20.13 同期動作の動作例

### 20.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC レジスタと TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF レジスタもバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE レジスタはインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 20.43 にバッファ動作時のレジスタの組み合わせを示します。

表 20.43 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 20.14 に示します。

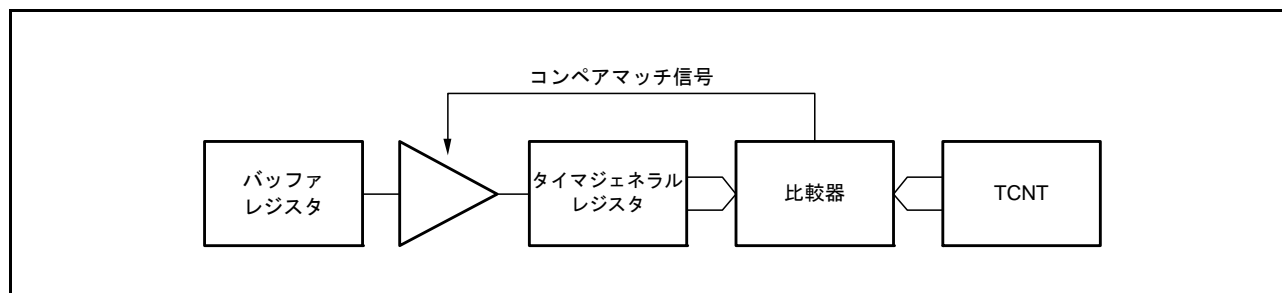


図 20.14 コンペアマッチバッファ動作

• TGR レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT カウンタの値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 20.15 に示します。

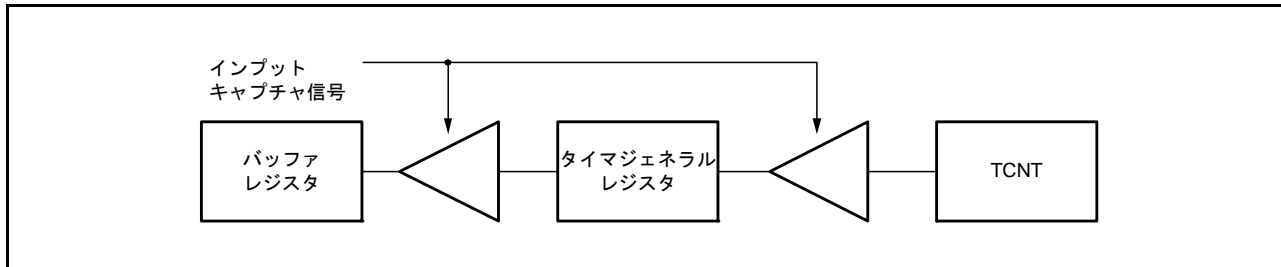


図 20.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 20.16 に示します。

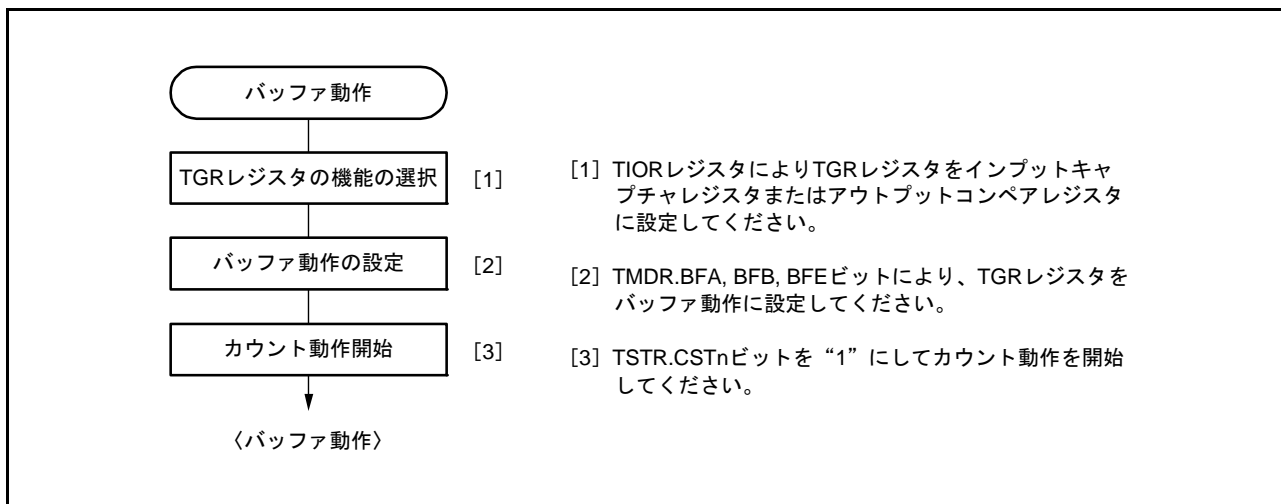


図 20.16 バッファ動作の設定手順例

## (2) バッファ動作例

## (a) TGR レジスタがアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定した場合の動作例を図 20.17 に示します。TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは“0”に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「20.3.5 PWM モード」を参照してください。

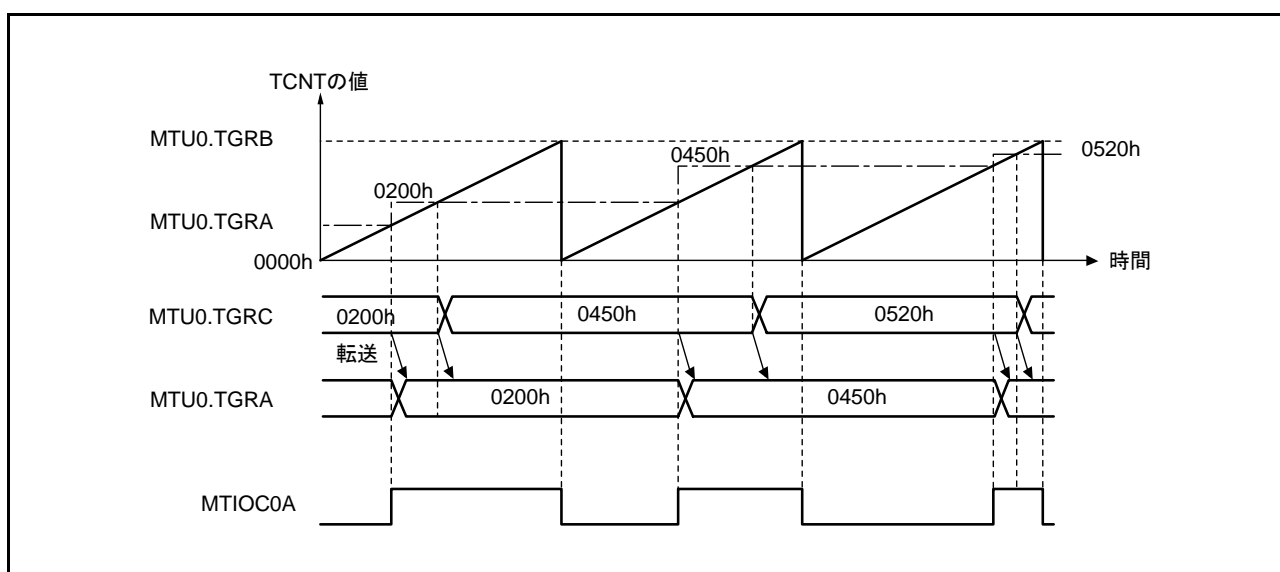


図 20.17 バッファ動作例 (1)



## (b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定したときの動作例を図 20.18 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに転送されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

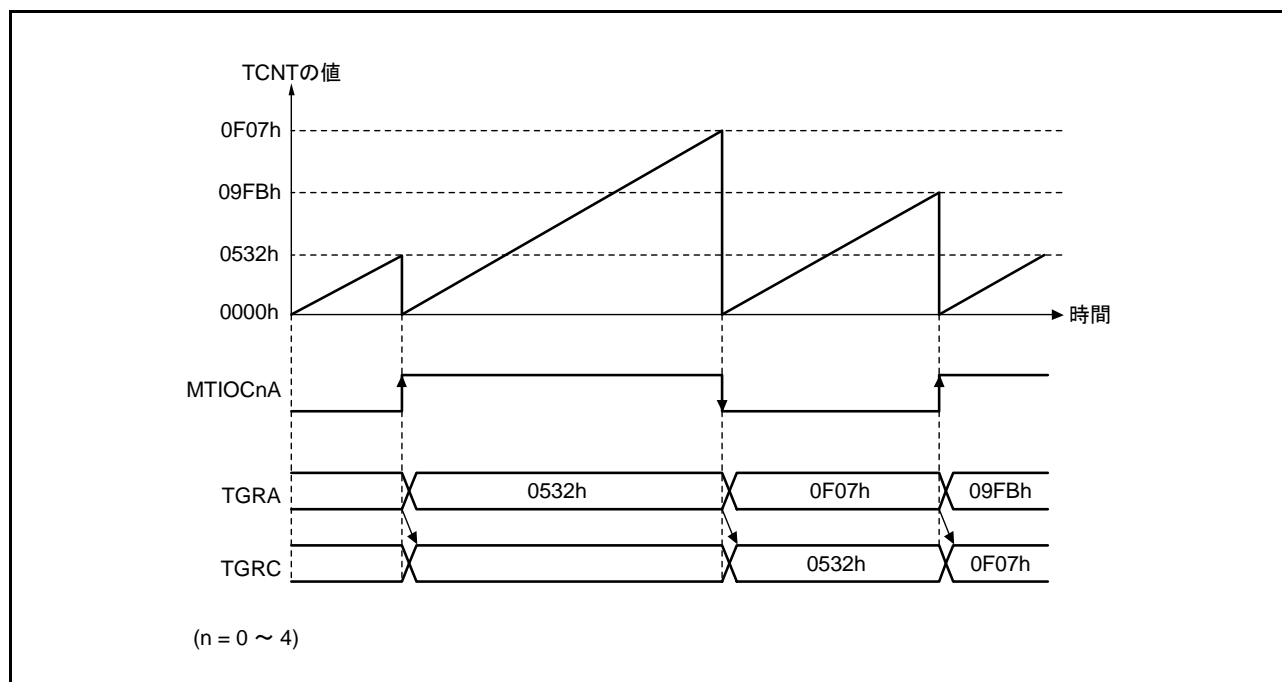


図 20.18 バッファ動作例 (2)

### (3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

MTU0.TBTM, MTU3.TBTM, MTU4.TBTM レジスタを設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT カウンタクリア時のいずれか一方です。ここで TCNT カウンタのクリア時とは次の条件のいずれかが成立したときです。

- TCNT カウンタがオーバーフローしたとき (“FFFFh” → “0000h”)
- カウンタの動作中、TCNT カウンタに “0000h” が書き込まれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT カウンタが “0000h” になったとき

注． TBTM レジスタの設定は TCNT カウンタが停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA レジスタと MTU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 20.19 に示します。MTU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” に設定しています。

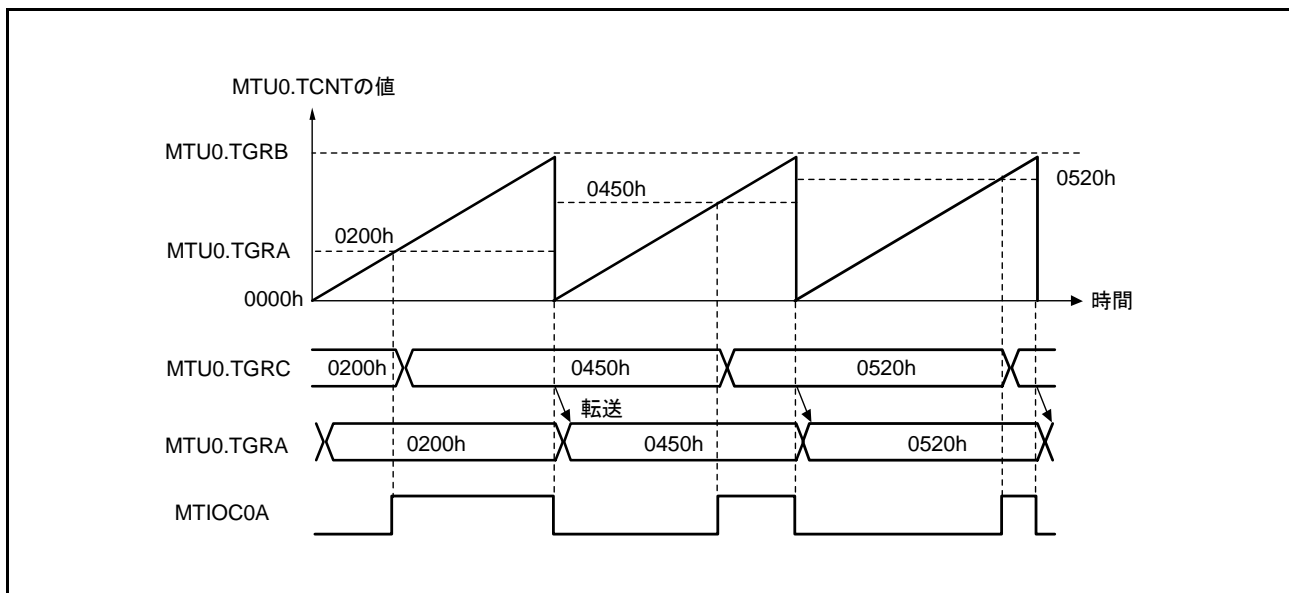


図 20.19 MTU0.TGRC レジスタから MTU0.TGRA レジスタのバッファ転送タイミングを MTU0.TCNT カウンタクリア時に選択した場合の動作例

### 20.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、MTU1のカウンタクロックをTCR.TPSC[2:0]ビットで“111b”（MTU2.TCNTのオーバフロー/アンダフローでカウント）に設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTカウンタが位相計数モードのときのみです。

表20.44にカスケード接続の組み合わせを示します。

注． MTU1、MTU2を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表20.44 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTカウンタとMTU2.TCNTカウンタの同時インプットキャプチャをする場合、TICCRレジスタで設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和をとった信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は、「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「20.6.22 カスケード接続におけるMTU1.TCNT、MTU2.TCNTカウンタ同時インプットキャプチャ」を参照してください。

TICCRレジスタ設定値とインプットキャプチャ入力端子の対応を表20.45に示します。

表20.45 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCRレジスタ設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0（初期値）	MTIOC1A
	I2AEビット=1	MTIOC1A, MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0（初期値）	MTIOC1B
	I2BEビット=1	MTIOC1B, MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0（初期値）	MTIOC2A
	I1AEビット=1	MTIOC2A, MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0（初期値）	MTIOC2B
	I1BEビット=1	MTIOC2B, MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 20.20 に示します。

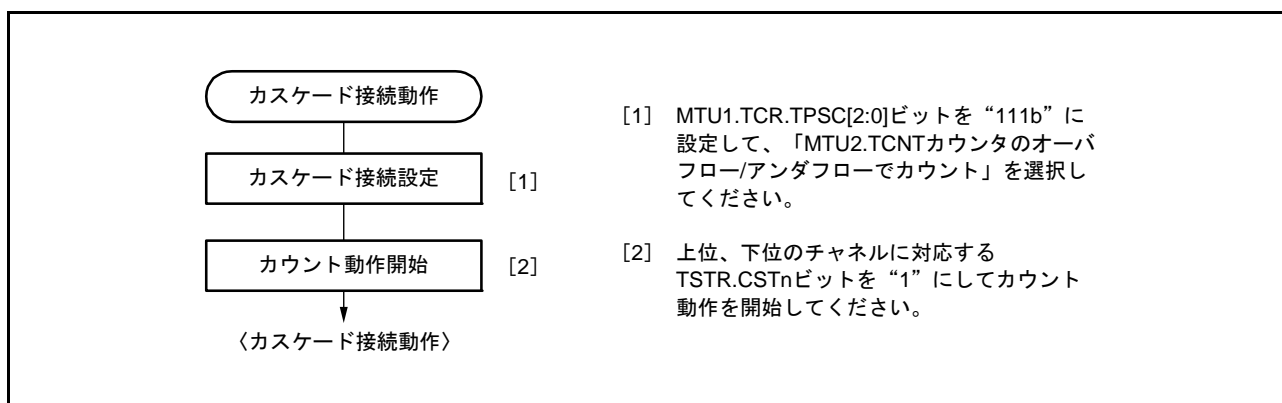


図 20.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 20.21 に示します。

MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフローでアップカウント、MTU2.TCNT カウンタのアンダフローでダウンカウントされます。

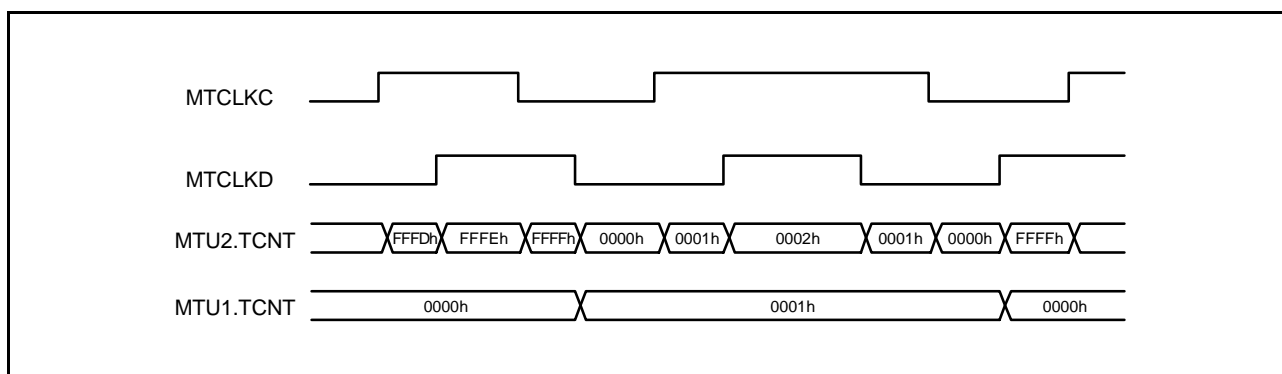


図 20.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 20.22 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA レジスタのインプットキャプチャ条件に設定されます。また、MTU2.TGRA レジスタのインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

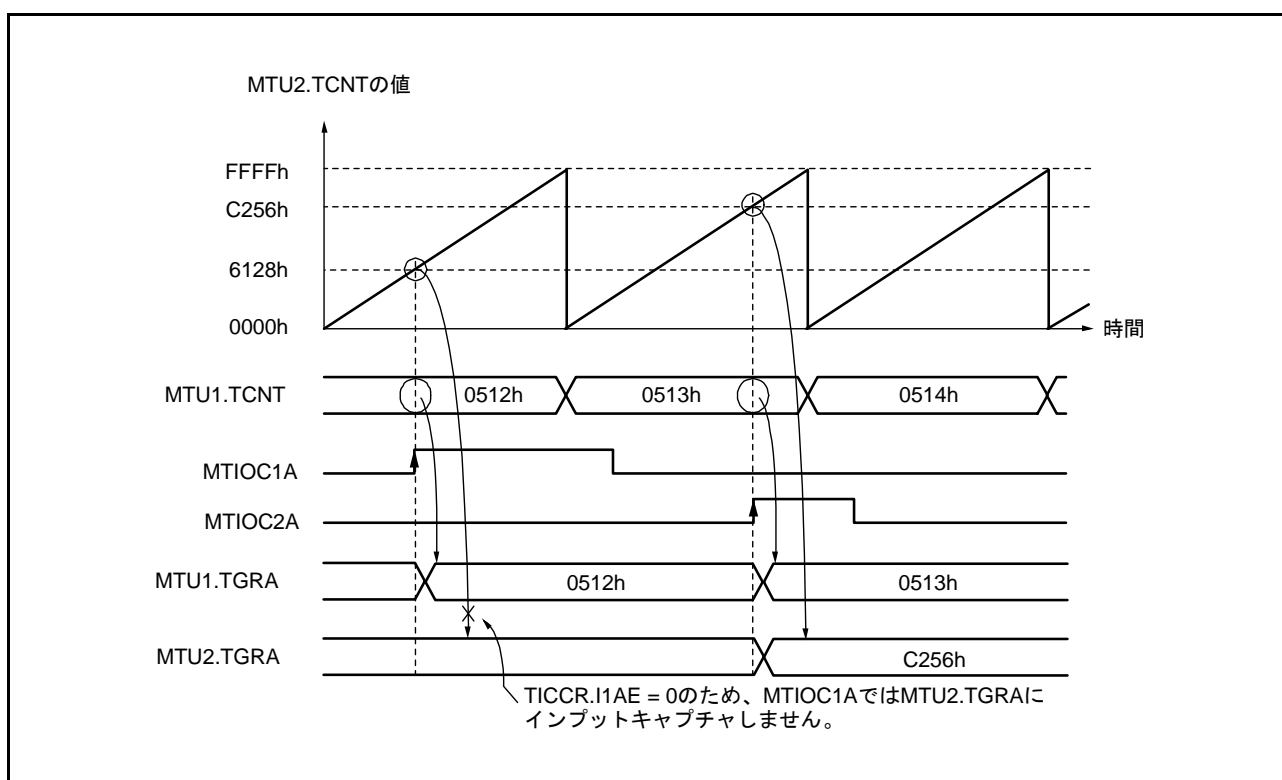


図 20.22 カスケード接続動作例 (b)

## (4) カスケード接続動作例 (c)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE に “1” を設定して、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 20.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビット、MTU2.TIOR.IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA レジスタおよび MTU2.TGRA レジスタのインプットキャプチャ条件となります。

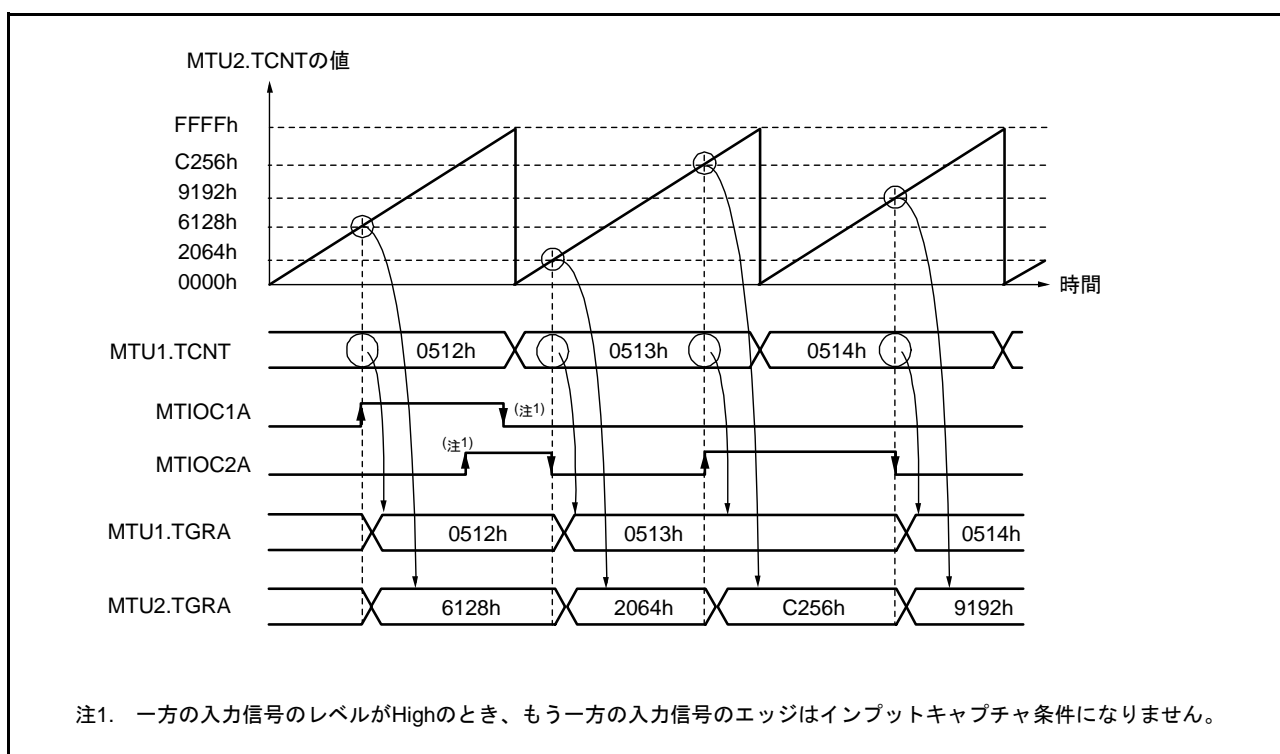


図 20.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 20.24 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA レジスタのインプットキャプチャ条件になることはありません。

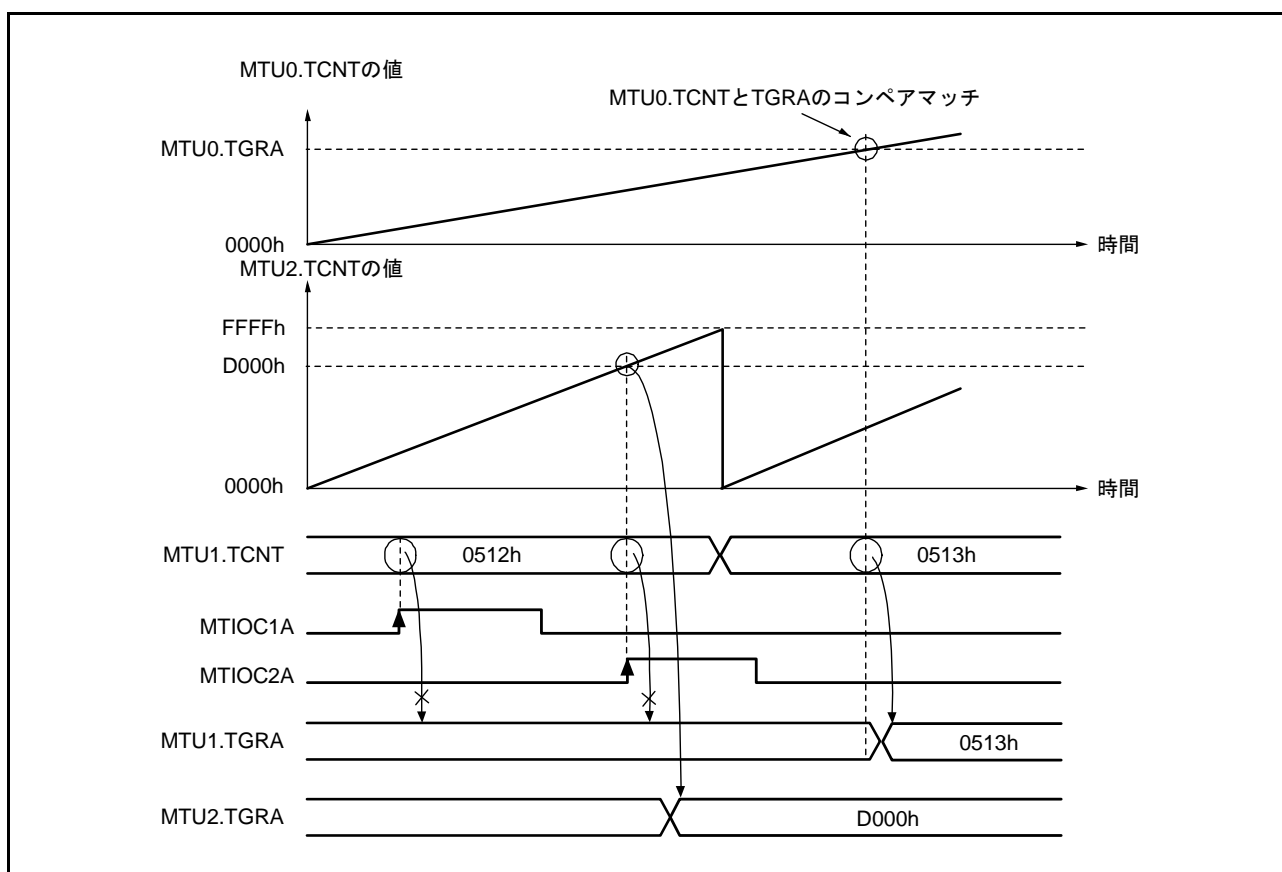


図 20.24 カスケード接続動作例 (d)

### 20.3.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

#### (a) PWM モード 1

TGRA レジスタと TGRB, TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA、MTIOChC 端子から PWM 出力を生成します。MTIOChA、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA, TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

#### (b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 20.46 に示します。

表 20.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B
MTU3	MTU3.TGRA	MTIOC3A	設定できません
	MTU3.TGRB		
	MTU3.TGRC	MTIOC3C	
	MTU3.TGRD		
MTU4	MTU4.TGRA	MTIOC4A	
	MTU4.TGRB		
	MTU4.TGRC	MTIOC4C	
	MTU4.TGRD		

注. PWM モード 2 のとき、周期を設定した TGR レジスタの PWM 出力はできません。



(1) PWM モードの設定手順例

PWM モードの設定手順例を図 20.25 に示します。

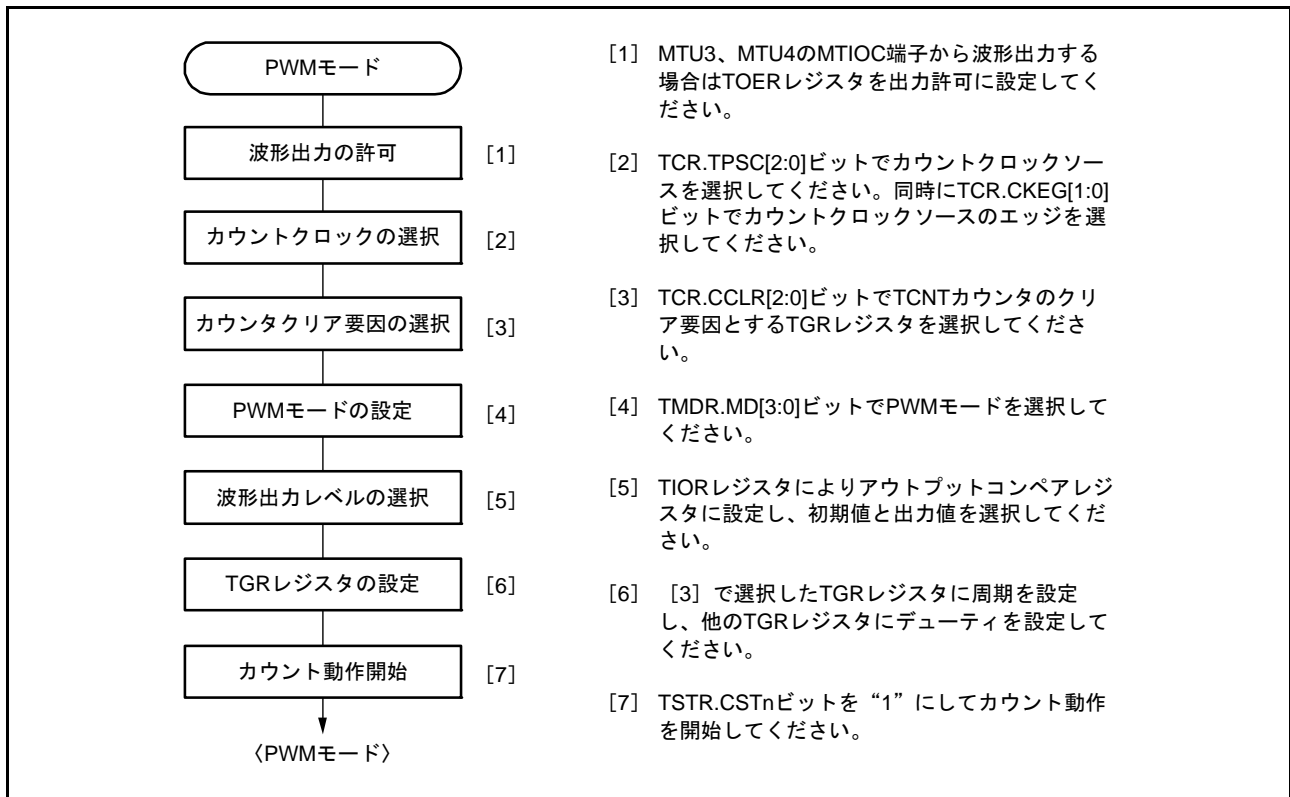


図 20.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 20.26 に示します。

この図は、TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TGRB レジスタの出力値を High に設定した場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティになります。

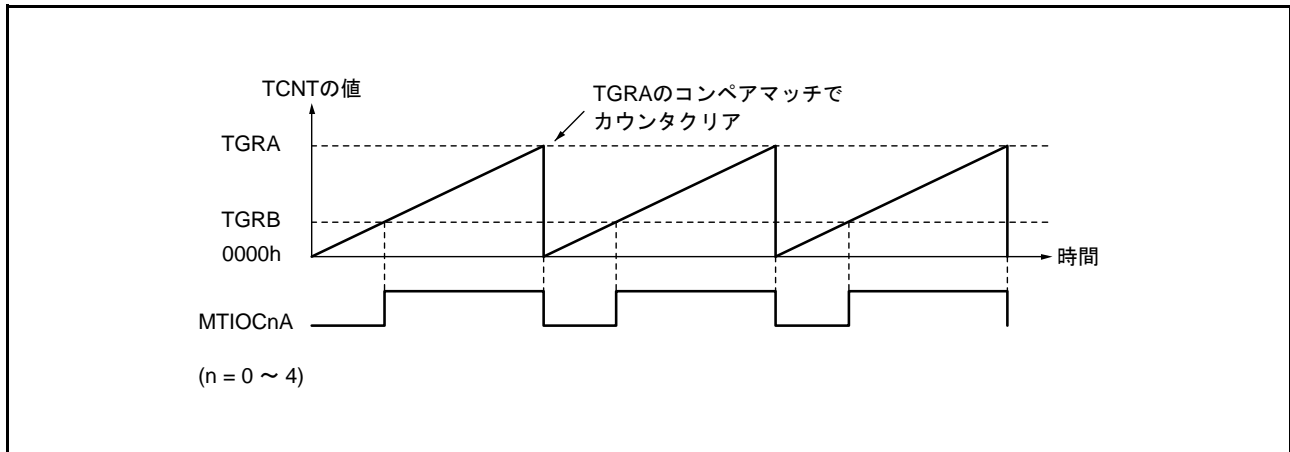


図 20.26 PWM モードの動作例

PWM モード2の動作例を図 20.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT カウンタのクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD, MTU1.TGRA) の初期出力値を Low、出力値を High に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB レジスタに設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

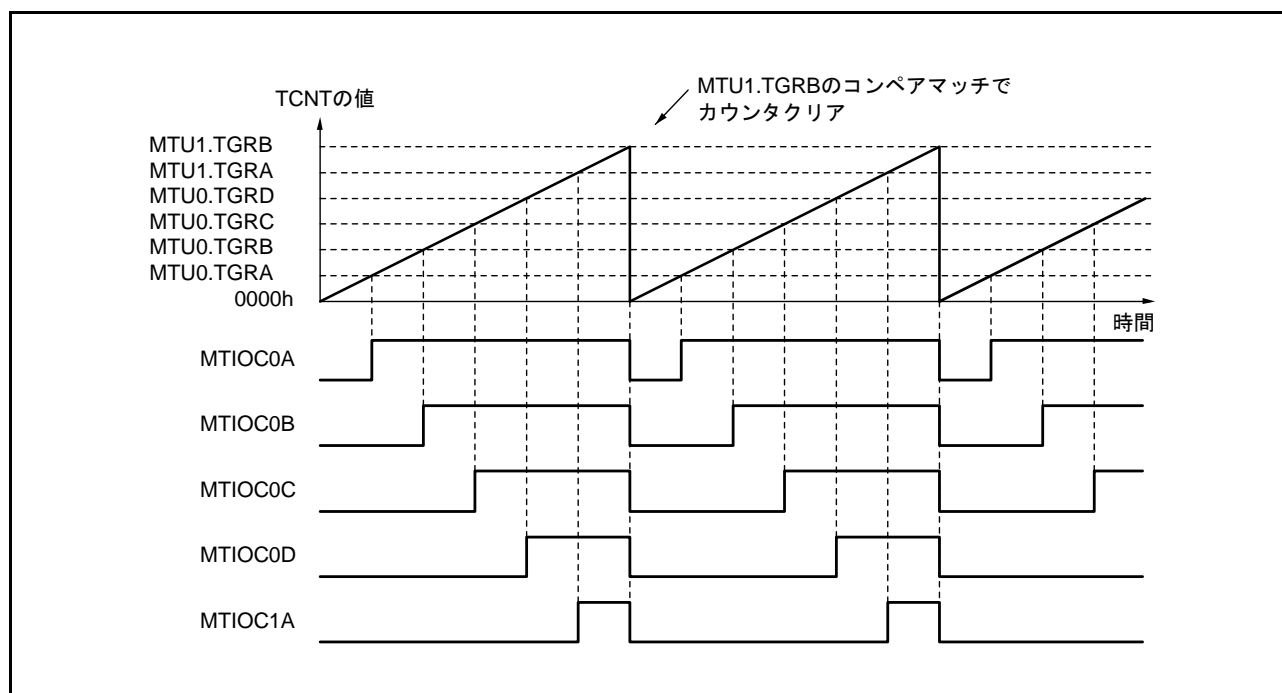


図 20.27 PWM モードの動作例

PWM モード1で、デューティ比0%、デューティ比100%のPWM波形を出力する例を図20.28に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

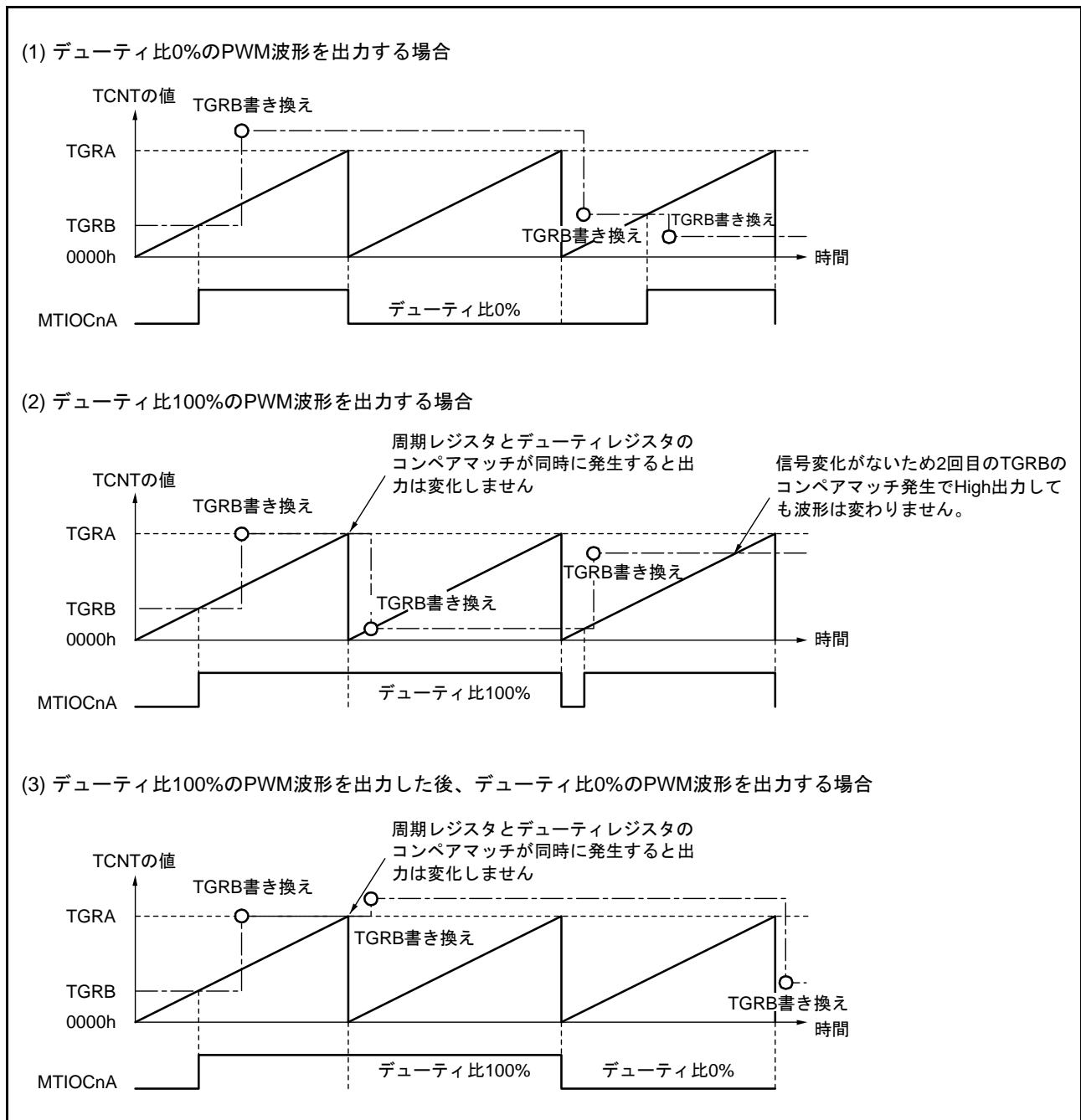


図 20.28 PWM モード動作例 ( デューティ 0%、デューティ 100% の PWM 波形を出力する例 )  
(n = 0 ~ 4)

### 20.3.6 位相計数モード

位相計数モードに設定すると、TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウントクロックには外部クロックが選択され、TCNT カウンタはアップカウンタ/ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0] ビット、TIOR, TIER, TGR レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生すると、対応する TIER.TCIEV ビットが“1”ならば、TCIV 割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応する TIER.TCIEU ビットが“1”ならば TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグの読み出しにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を2相エンコーダパルスの入力端子として使用できます。表 20.47 に外部クロック端子とチャンネルの対応を示します。

表 20.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 20.29 に示します。

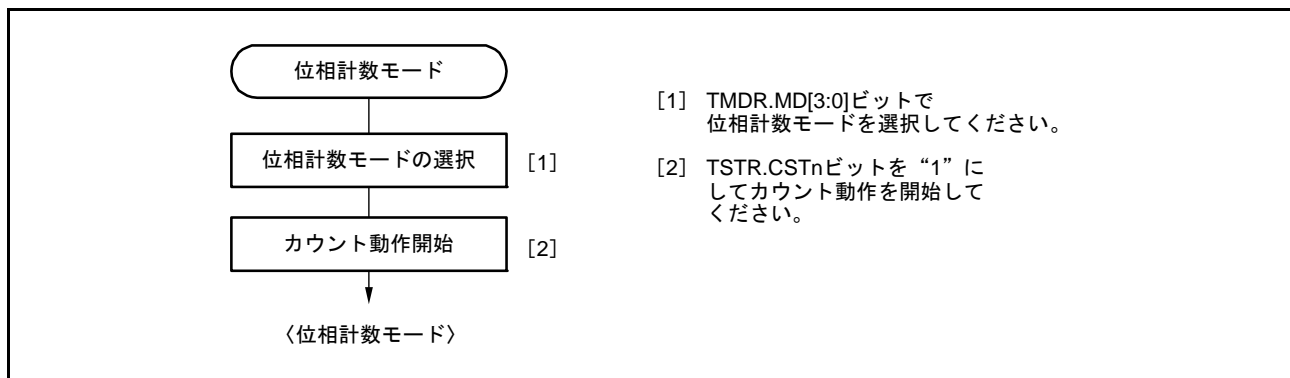


図 20.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTカウンタがアップカウント/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図20.30に、TCNTカウンタのアップカウント/ダウンカウント条件を表20.48に示します。

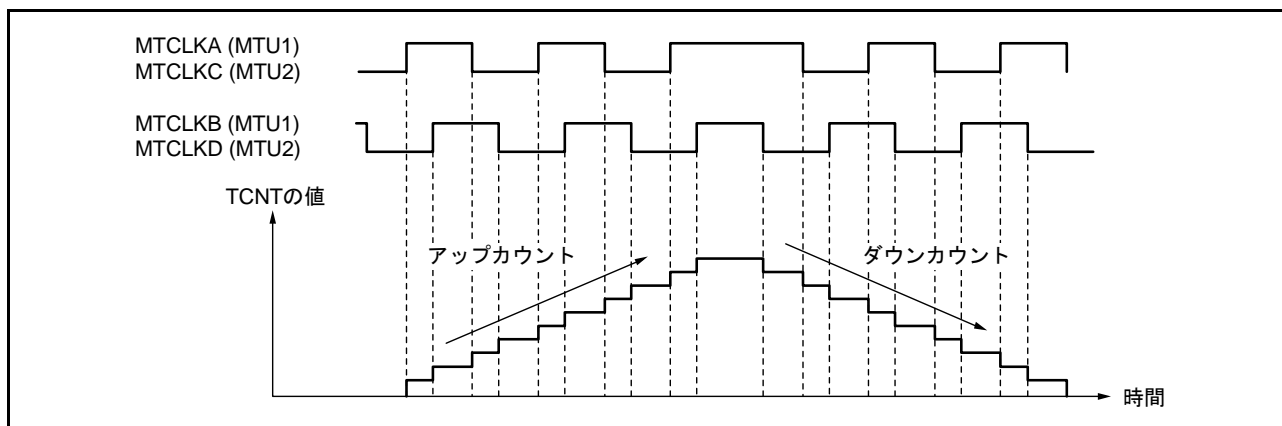


図 20.30 位相計数モード1の動作例

表20.48 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図20.31に、TCNTカウンタのアップカウント/ダウンカウント条件を表20.49に示します。

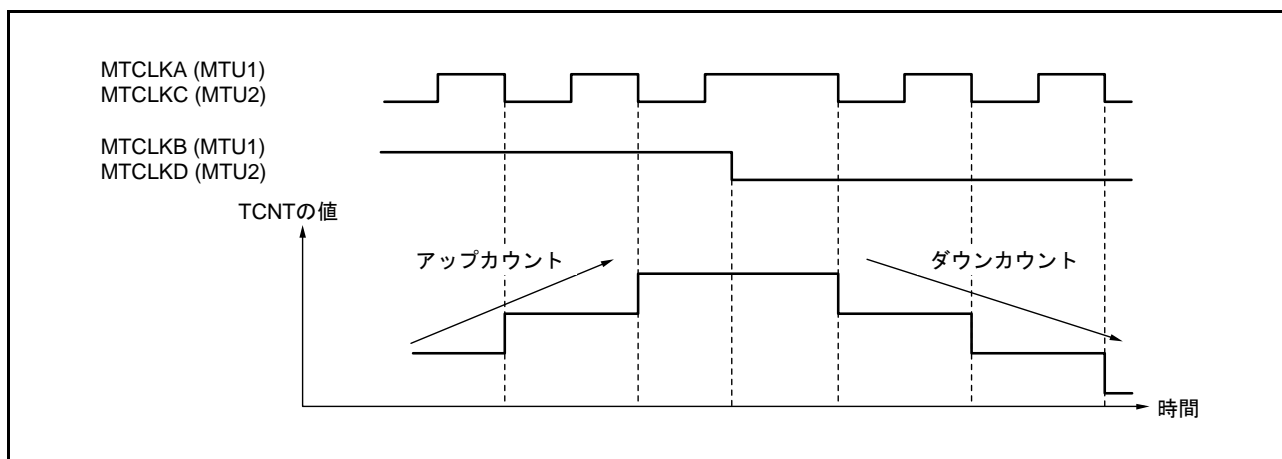


図 20.31 位相計数モード2の動作例

表 20.49 位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	Low	カウントしない (Don't care)
	High	アップカウント
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	High	カウントしない (Don't care)
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図20.32に、TCNTカウンタのアップカウント/ダウンカウント条件を表20.50に示します。

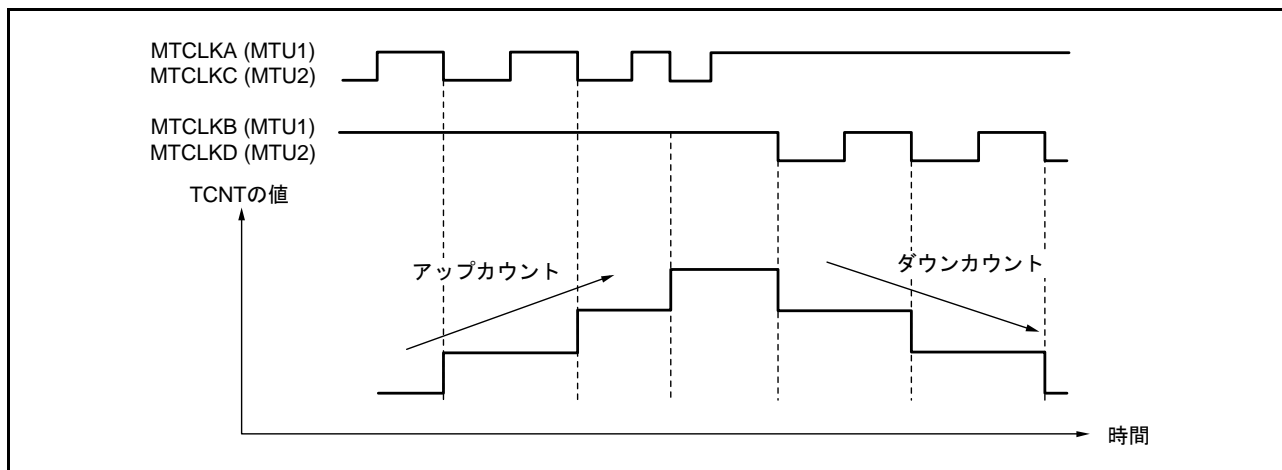


図 20.32 位相計数モード3の動作例

表 20.50 位相計数モード3のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	カウントしない (Don't care)
↑	Low	カウントしない (Don't care)
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	カウントしない (Don't care)
↑	High	カウントしない (Don't care)
↓	Low	カウントしない (Don't care)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図20.33に、TCNTカウンタのアップカウント/ダウンカウント条件を表20.51に示します。

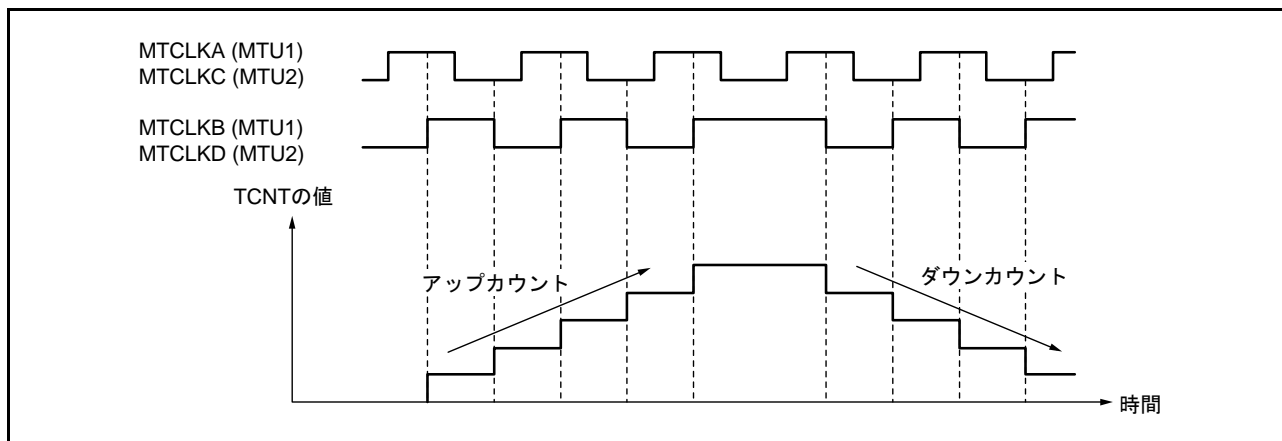


図 20.33 位相計数モード4の動作例

表 20.51 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ



### (3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 20.34 に示します。

MTU1 は位相計数モード1に設定し、MTCLKA と MTCLKB にエンコーダパルスのA相、B相を入力します。

MTU0.TCNT カウンタを MTU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA レジスタと MTU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB レジスタは入力キャプチャ機能で使用し、MTU0.TGRB レジスタと MTU0.TGRD レジスタをバッファ動作させます。MTU0.TGRB レジスタの入力キャプチャ要因は、MTU1 のカウントクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1.TGRA レジスタと MTU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0.TGRA レジスタと MTU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウンタ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

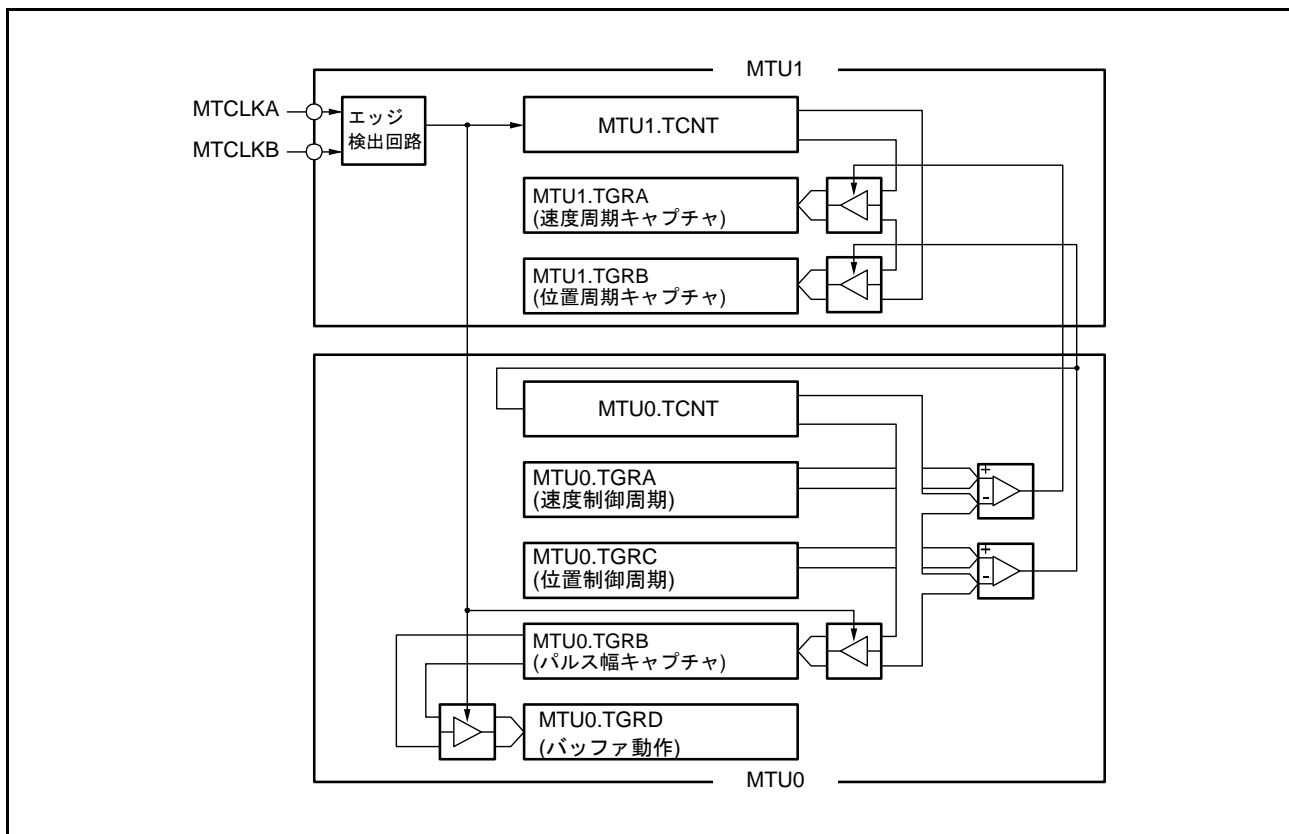


図 20.34 位相計数モードの応用例

### 20.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、および MTIOC4D 端子は PWM 出力端子となり、MTU3.TCNT カウンタはアップカウンタとして機能します。

PWM 出力端子を表 20.52 に、レジスタの設定を表 20.53 に示します。

表 20.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)

表 20.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h" を初期設定
MTU4.TCNT	"0000h" を初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定

## (1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 20.35 に示します。

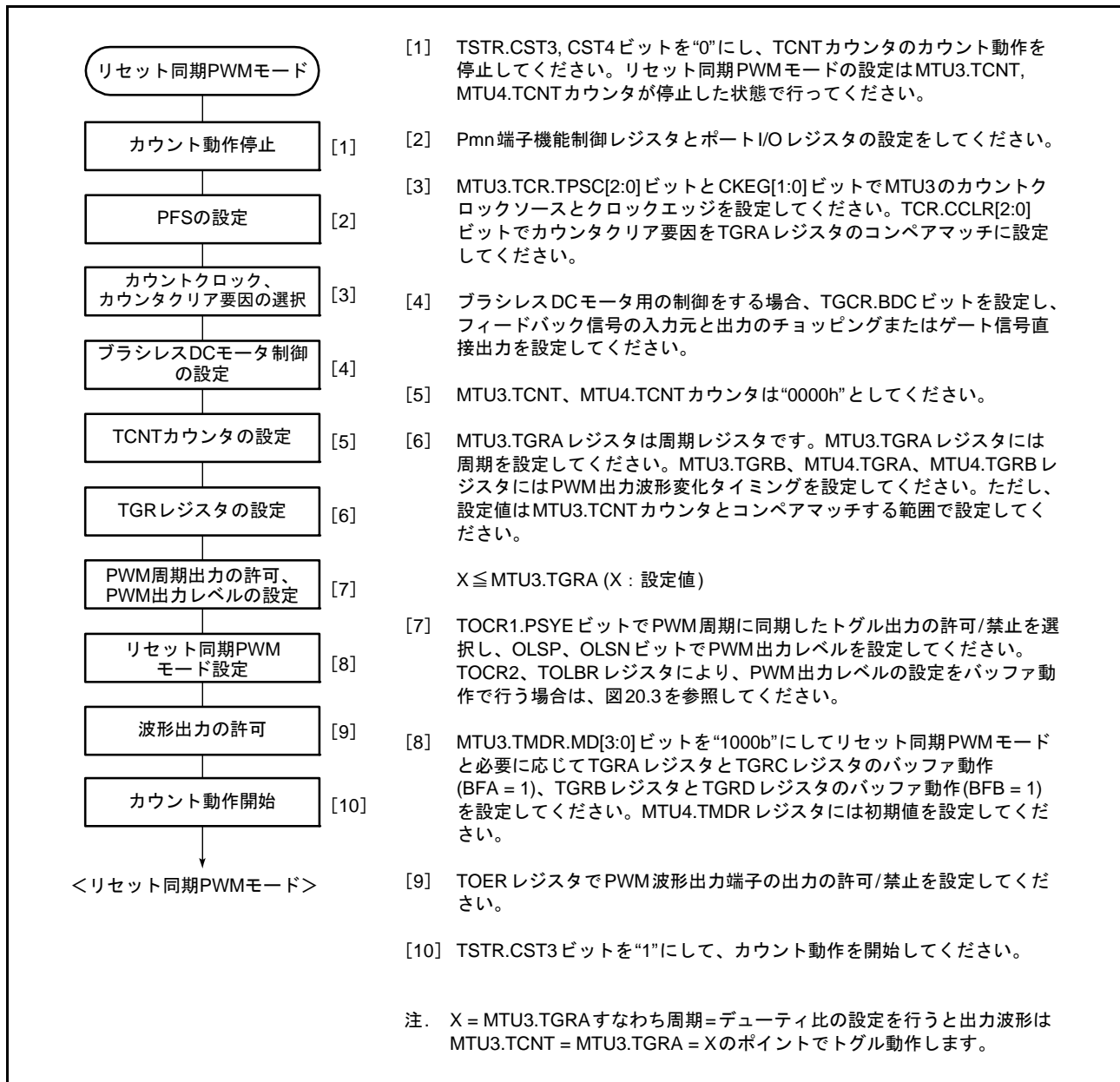


図 20.35 リセット同期 PWM モードの設定手順例

## (2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 20.36 に示します。

リセット同期 PWM モードでは、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップカウンタとして動作します。MTU3.TCNT カウンタが MTU3.TGRA レジスタとコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB レジスタのコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

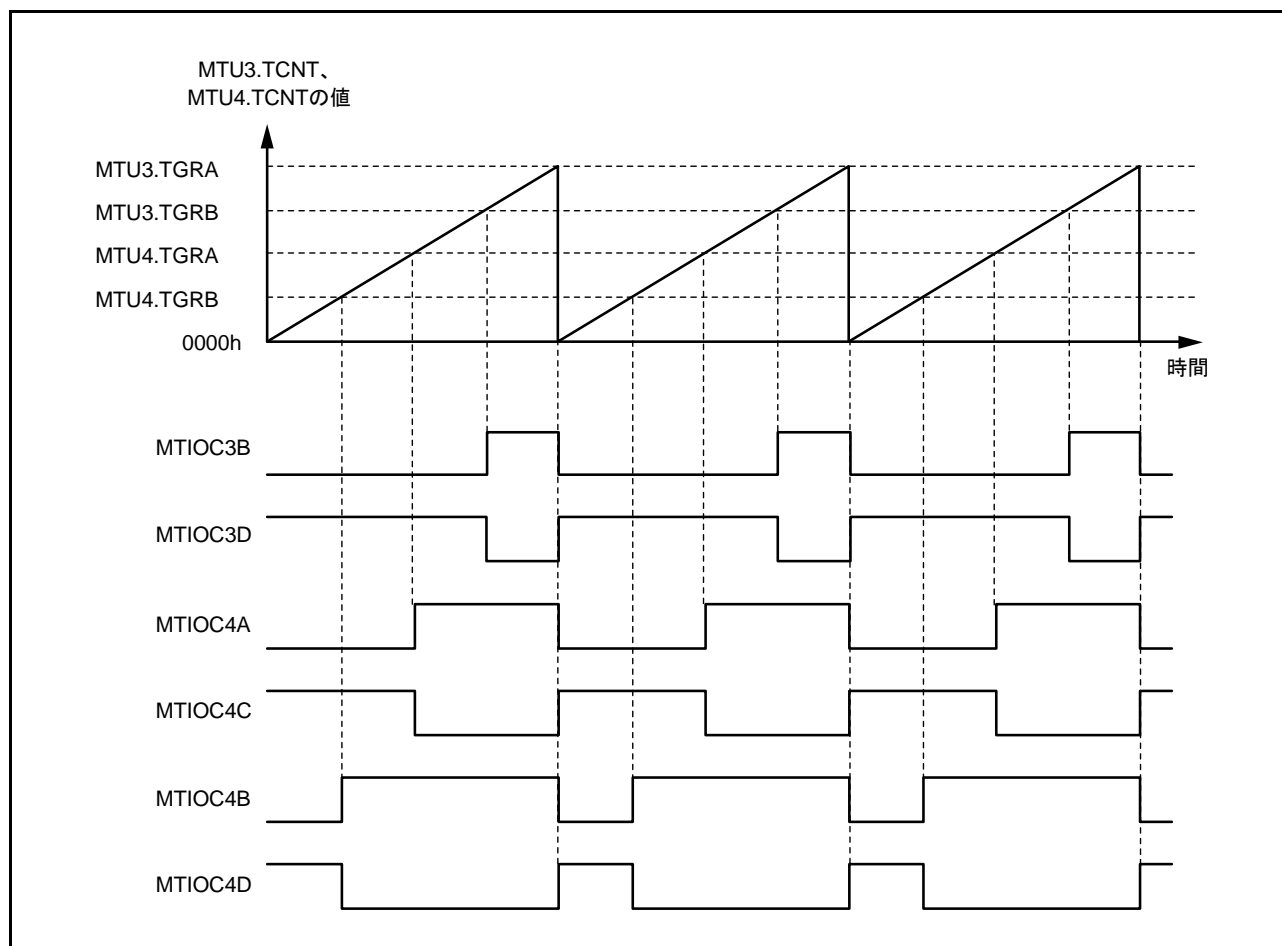


図 20.36 リセット同期 PWM モードの動作例 (TOCR1 レジスタの OLSN = 1、OLSP = 1 に設定した場合)

### 20.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を 6 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 20.54 に、使用するレジスタの設定を表 20.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 20.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート(注1)
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）

注1. MTIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表20.55 相補PWMモード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	MTU3.TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRA	MTU3.TCNTの上限値を設定(キャリア周期の1/2 + デッドタイム)	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRB	PWM出力1のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU3.TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
MTU4	MTU4.TCNT	"0000h"を初期設定しカウントアップスタート	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRA	PWM出力2のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRB	PWM出力3のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU4.TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
タイマデッドタイムデータレジスタ (TDDR)	MTU4.TCNTとMTU3.TCNTのオフセット値(デッドタイムの値)を設定	TRWERレジスタの設定(注1)によりマスク可能	
タイマ周期データレジスタ (TCDR)	MTU4.TCNTの上限値の値を設定(キャリア周期の1/2)	TRWERレジスタの設定(注1)によりマスク可能	
タイマ周期/バッファレジスタ (TCBR)	TCDRレジスタのバッファレジスタ	読み出し/書き込み可能	
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能	
テンポラリレジスタ1 (TEMP1)	PWM出力1/MTU3.TGRBのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ2 (TEMP2)	PWM出力2/MTU4.TGRAのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ3 (TEMP3)	PWM出力3/MTU4.TGRBのテンポラリレジスタ	読み出し/書き込み不可	

注1. TRWERレジスタ(タイマリードライト許可レジスタ)の設定によりアクセスの許可/禁止が可能です。

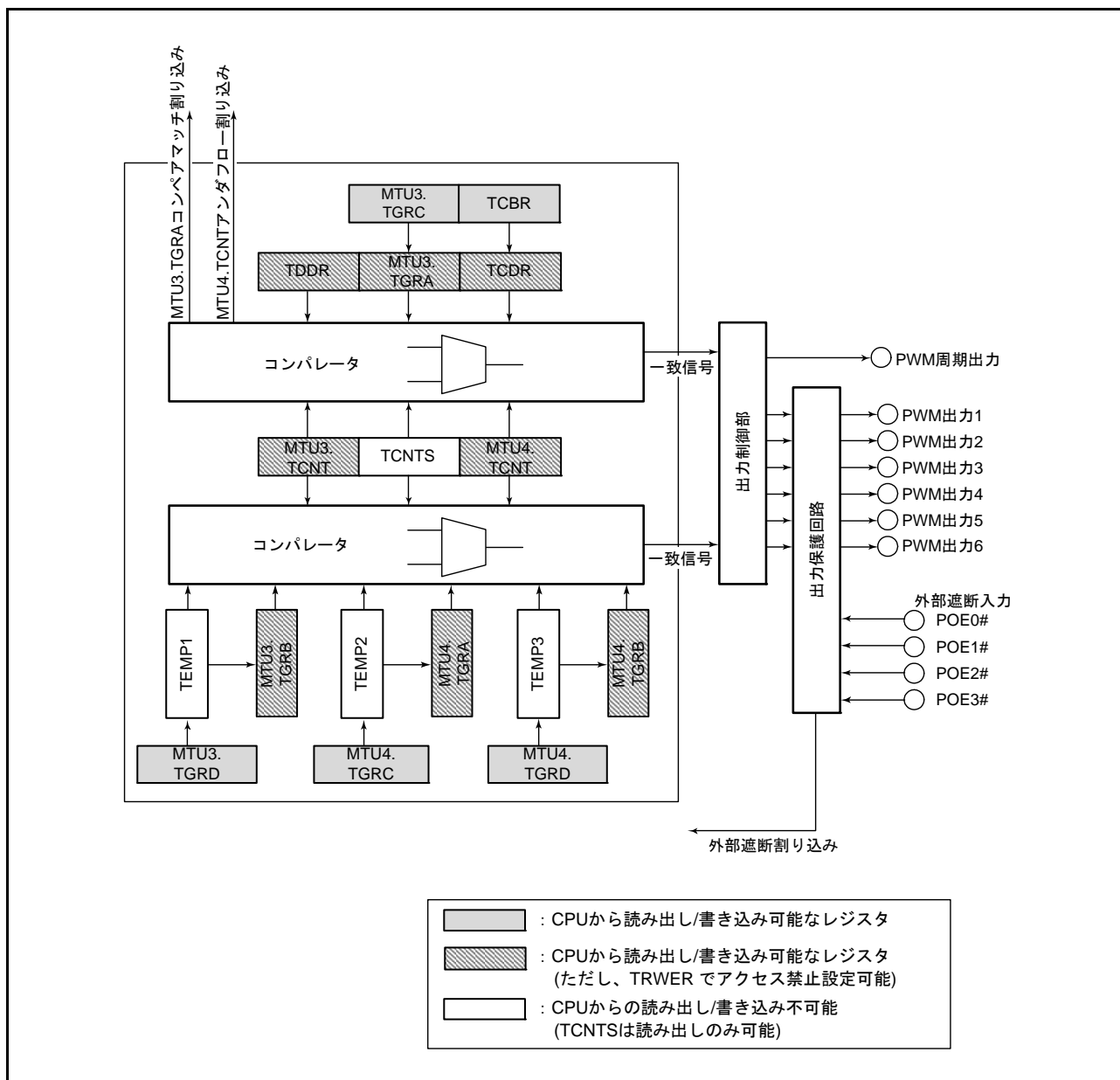


図 20.37 相補 PWM モード時の MTU3、MTU4 ブロック図

## (1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 20.38 に示します。



図 20.38 相補 PWM モードの設定手順例



## (2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 出力が可能です。図 20.39 に相補 PWM モードのカウンタ動作を示します。図 20.40 に相補 PWM モード動作例を示します。

### (a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの3本のカウンタがアップダウンカウンタ動作を行います。

MTU3.TCNT カウンタは、相補 PWM モードに設定され TSTR.CST3 ビットが“0”のとき、TDDR レジスタに設定された値が自動的に初期値として設定されます。

CST3 ビットが“1”に設定されると、MTU3.TGRA レジスタに設定された値までアップカウント動作を行い、MTU3.TGRA レジスタと一致するとダウンカウントに切り替わります。その後、TDDR レジスタと一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT カウンタには、初期値として“0000h”を設定します。

CST4 ビットが“1”に設定されると、MTU3.TCNT カウンタに同期して動作しアップカウントを行い、TCDR レジスタと一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS カウンタは、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

MTU3 と MTU4 の TCNT カウンタがアップダウンカウント時、MTU3.TCNT カウンタが TCDR レジスタと一致するとダウンカウントを開始し、TCNTS カウンタが TCDR レジスタと一致するとアップカウントに切り替わります。また、MTU3.TGRA レジスタと一致すると“0000h”になります。

MTU3.TCNT、MTU4.TCNT カウンタがダウンカウント時、MTU4.TCNT カウンタが TDDR レジスタと一致するとアップカウントを開始し、TCNTS カウンタが TDDR レジスタと一致するとダウンカウントに切り替わります。また、“0000h”に一致すると TCNTS カウンタは MTU3.TGRA レジスタの値が設定されます。

TCNTS カウンタは、カウンタ動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

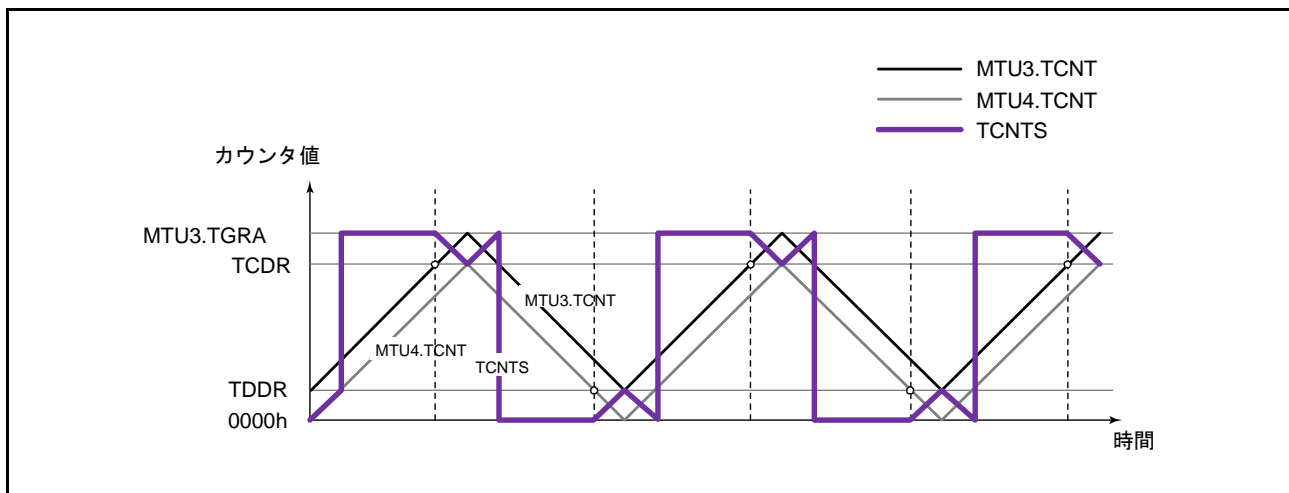


図 20.39 相補 PWM モードのカウンタ動作

## (b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用して PWM 出力のデューティ制御を行います。図 20.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB, MTU4.TGRA, MTU4.TGRB レジスタです。これらのレジスタとカウンタが一致すると TOCR1.OLSN, OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD, MTU4.TGRC, MTU4.TGRD レジスタです。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタのデータを書き換える場合は、最後に必ず MTU4.TGRD レジスタへの書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBR レジスタ、MTU3.TGRC レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後、テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTS カウンタがアップカウント時に MTU3.TGRA レジスタと一致したとき)、または Tb2 区間が終了したとき (TCNTS カウンタがダウンカウント時に "0000h" と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、TMDR.MD[3:0] ビットで選択できます。図 20.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 20.40 では Tb2) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの3本、カウンタとコンペアレジスタ、テンポラリレジスタの各2本のレジスタが比較され、PWM 出力を制御します。

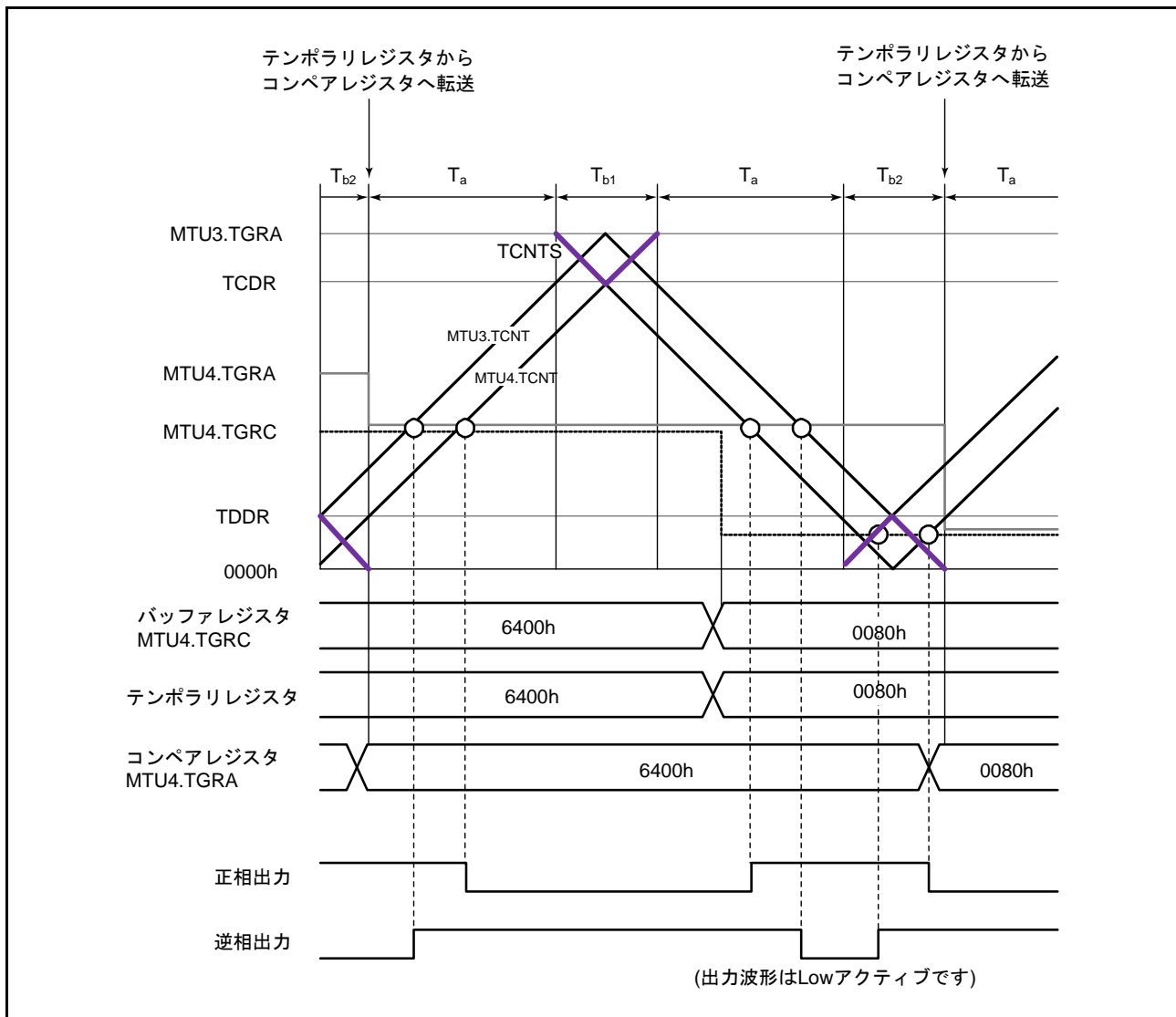


図 20.40 相補 PWM モード動作例

### (c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

TMDR.MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして動作し、PWM 周期の  $1/2 +$  デッドタイム  $T_d$  を設定します。TCBR レジスタは、TCDR レジスタのバッファレジスタとして動作し、PWM 周期の  $1/2$  を設定します。また、TDDR レジスタには、デッドタイム  $T_d$  を設定します。

デッドタイムを生成しない場合は、TDER.TDER ビットを“0”に設定し、MTU3.TGRC、MTU3.TGRA レジスタには、PWM 周期の  $1/2+1$  を、TDDR レジスタには“1”を設定します。

バッファレジスタ MTU3.TGRD、MTU4.TGRC、MTU4.TGRD レジスタの 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR レジスタを除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT カウンタは、相補 PWM モードに設定する前に“0000h”に設定してください。

表 20.56 初期設定の必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MTU3.TGRC	PWM周期の1/2 + デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合はPWM周期の1/2+1)
TDDR	デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合1)
TCBR	PWM周期の1/2
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD	各相のPWMデューティの初期値
MTU4.TCNT	“0000h”

注. MTU3.TGRCレジスタの設定値は、TCBRレジスタに設定するPWM周期の1/2の値とTDDRレジスタに設定するデッドタイムTdの値の和としてください。ただし、TDERレジスタでデッドタイム生成をなしに設定した場合は、PWM周期の1/2+1としてください。

#### (d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルを TOCR1.OLSN, OLSP ビット、または、TOCR2.OLS1P ~ OLS3P, OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

#### (e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、TDDR レジスタに設定します。TDDR レジスタに設定した値が、MTU3.TCNT カウンタのカウンタスタート値となり、MTU3.TCNT カウンタと MTU4.TCNT カウンタのデッドタイムを生成します。TDDR レジスタの内容変更は、相補 PWM モードを解除した状態で行ってください。

#### (f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、TDER.TDER ビットを“0”に設定します。TDER レジスタは、“1”を読み出し後、“0”を書いたときのみ、“0”に設定できます。

MTU3.TGRA, TGRC レジスタには PWM 周期の 1/2 + 1 を設定し、TDDR レジスタには“1”を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 20.41 にデッドタイムを生成しない場合の動作例を示します。

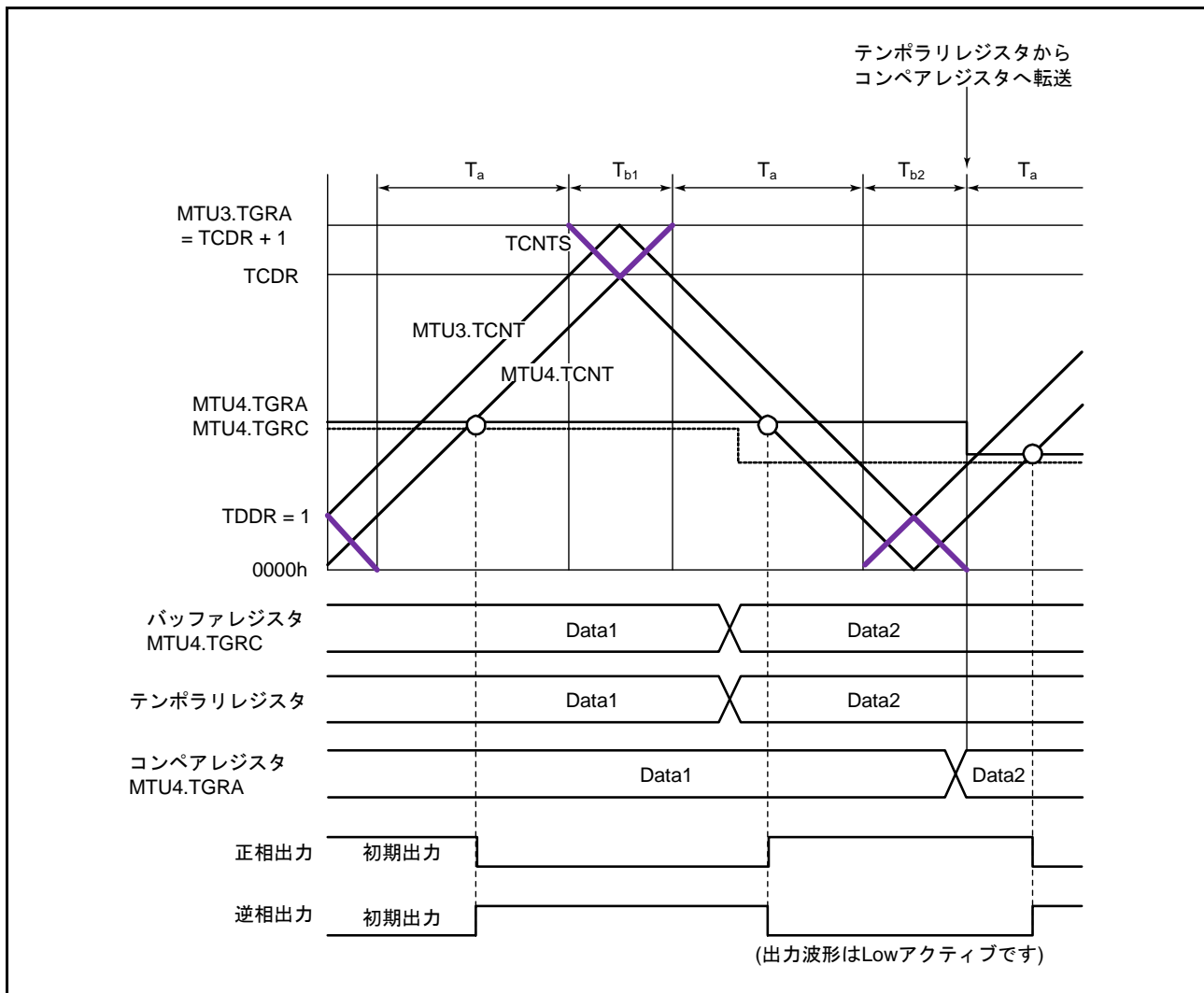


図 20.41 デッドタイムを生成しない場合の動作例

### (g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT カウンタの上限値を設定する MTU3.TGRA レジスタと MTU4.TCNT カウンタの上限値を設定する TCDR レジスタの 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり :  $MTU3.TGRA$  の設定値 =  $TCDR$  の設定値 +  $TDDR$  の設定値

デッドタイム生成なし :  $MTU3.TGRA$  の設定値 =  $TCDR$  の設定値 + 1

$TCDR$  レジスタと  $TDDR$  レジスタの関係が、次の関係になるように設定してください。

$TCDR$  の設定値 >  $TDDR$  の設定値  $\times 2 + 2$

また、 $MTU3.TGRA$ ,  $TCDR$  レジスタの設定は、バッファレジスタの  $MTU3.TGRC$ ,  $TCBR$  レジスタに値を設定することで行ってください。 $MTU4.TGRD$  レジスタへの書き込みを行い転送を許可すると、 $MTU3.TGRC$ ,  $TCBR$  レジスタに設定した値は、 $TMDR.MD[3:0]$  ビットで選択した転送タイミングで  $MTU3.TGRA$ ,  $TCDR$  レジスタに同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 20.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

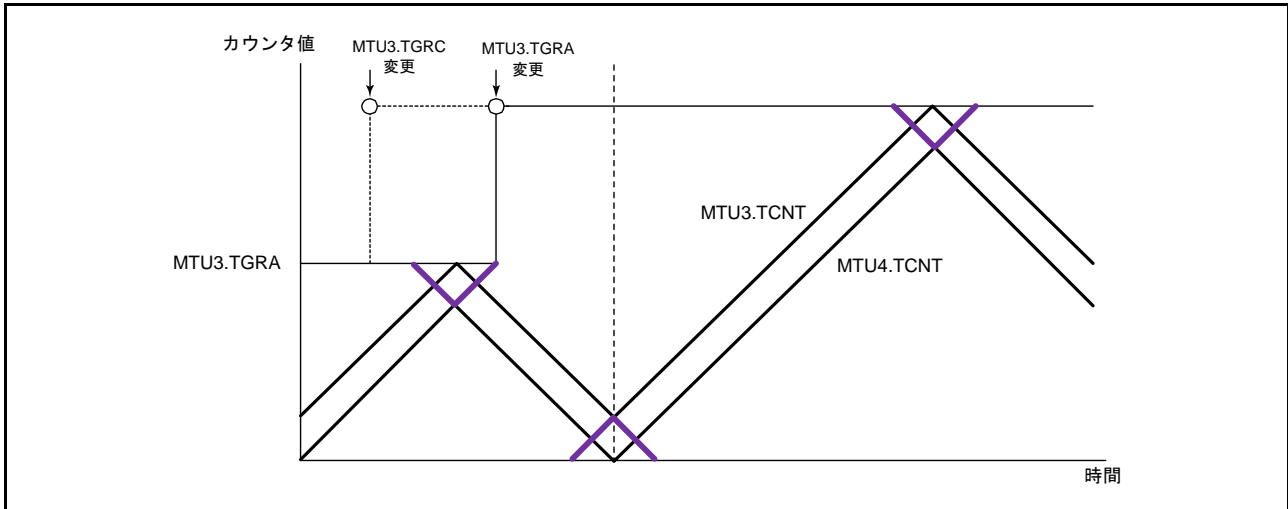


図 20.42 PWM 周期の変更例

#### (h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用および PWM 周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS カウンタがカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS カウンタがカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS カウンタが停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、TMDR.MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 20.43 に相補 PWM モードのデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD レジスタへの書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD レジスタに書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD レジスタのデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD レジスタに書き込み動作を行ってください。またこのとき、MTU4.TGRD レジスタに書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

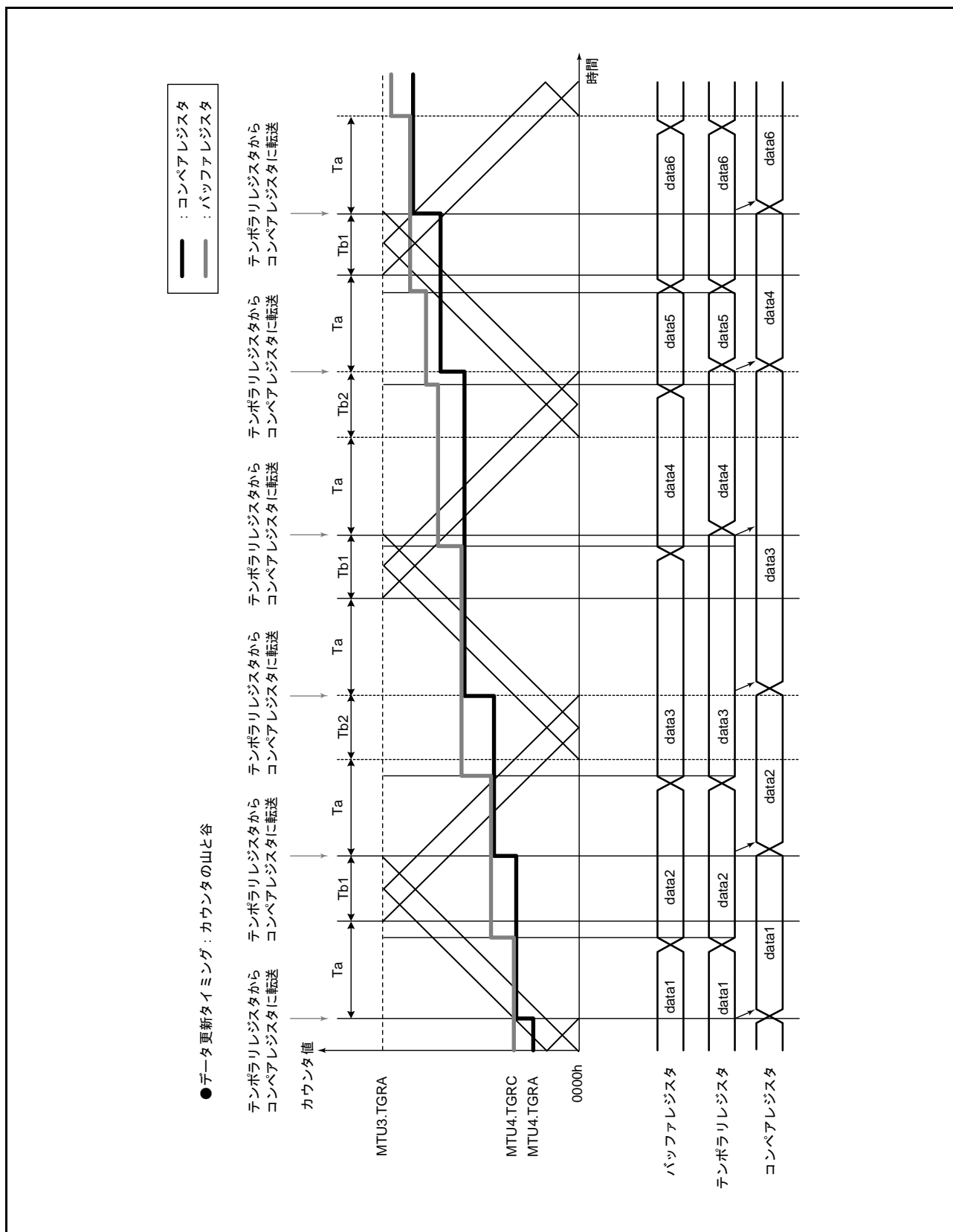


図 20.43 相補 PWM モードでのデータ更新例

## (i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1.OLSN, OLSP ビットの設定または、TOCR2.OLS1N ~ OLS3N, OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、TMDR レジスタで相補 PWM モードを設定してから MTU4.TCNT カウンタが TDDR レジスタに設定された値より大きくなるまで出力されます。図 20.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR レジスタの値より小さい場合の波形例を図 20.45 に示します。

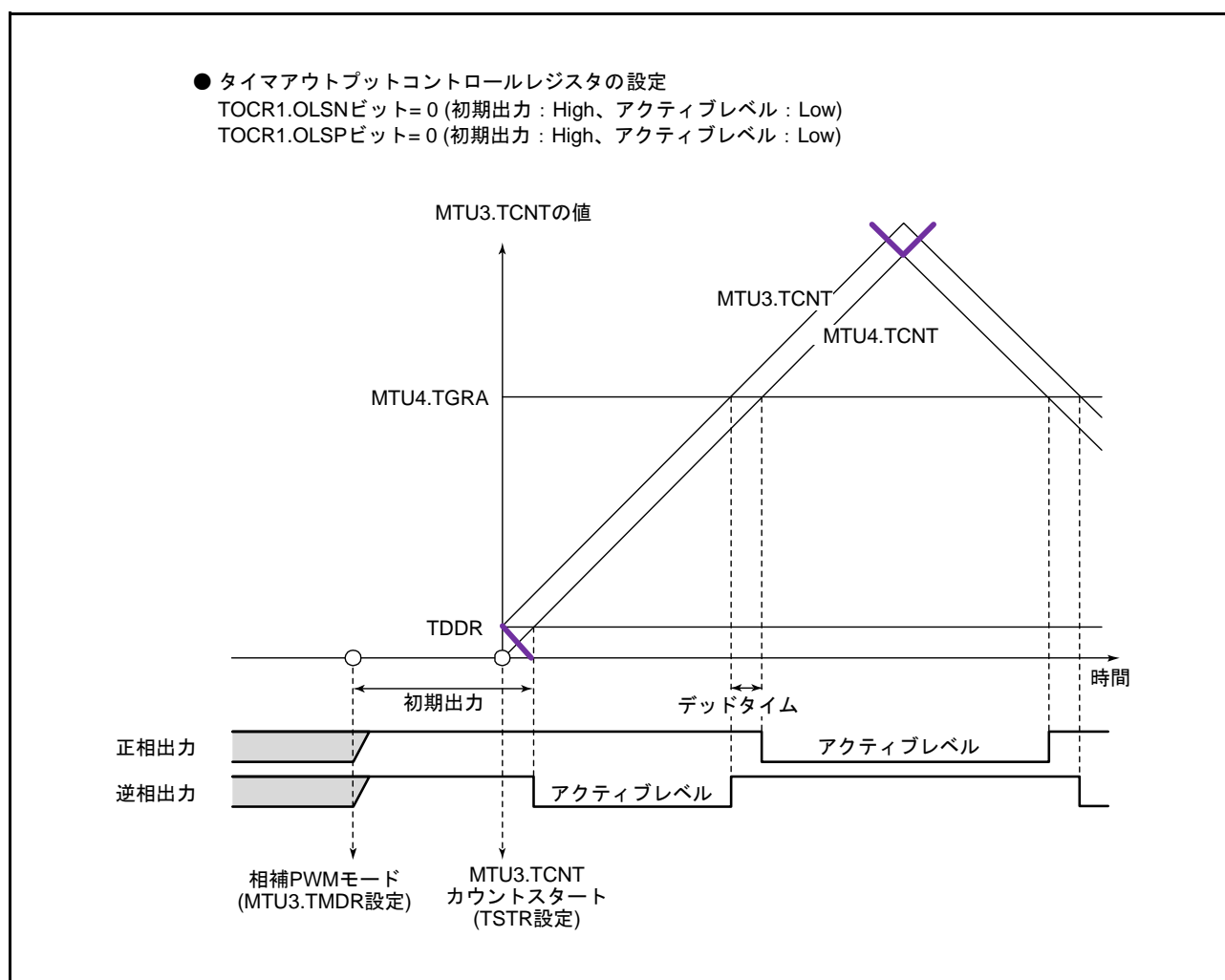


図 20.44 相補 PWM モードの初期出力例 (1)



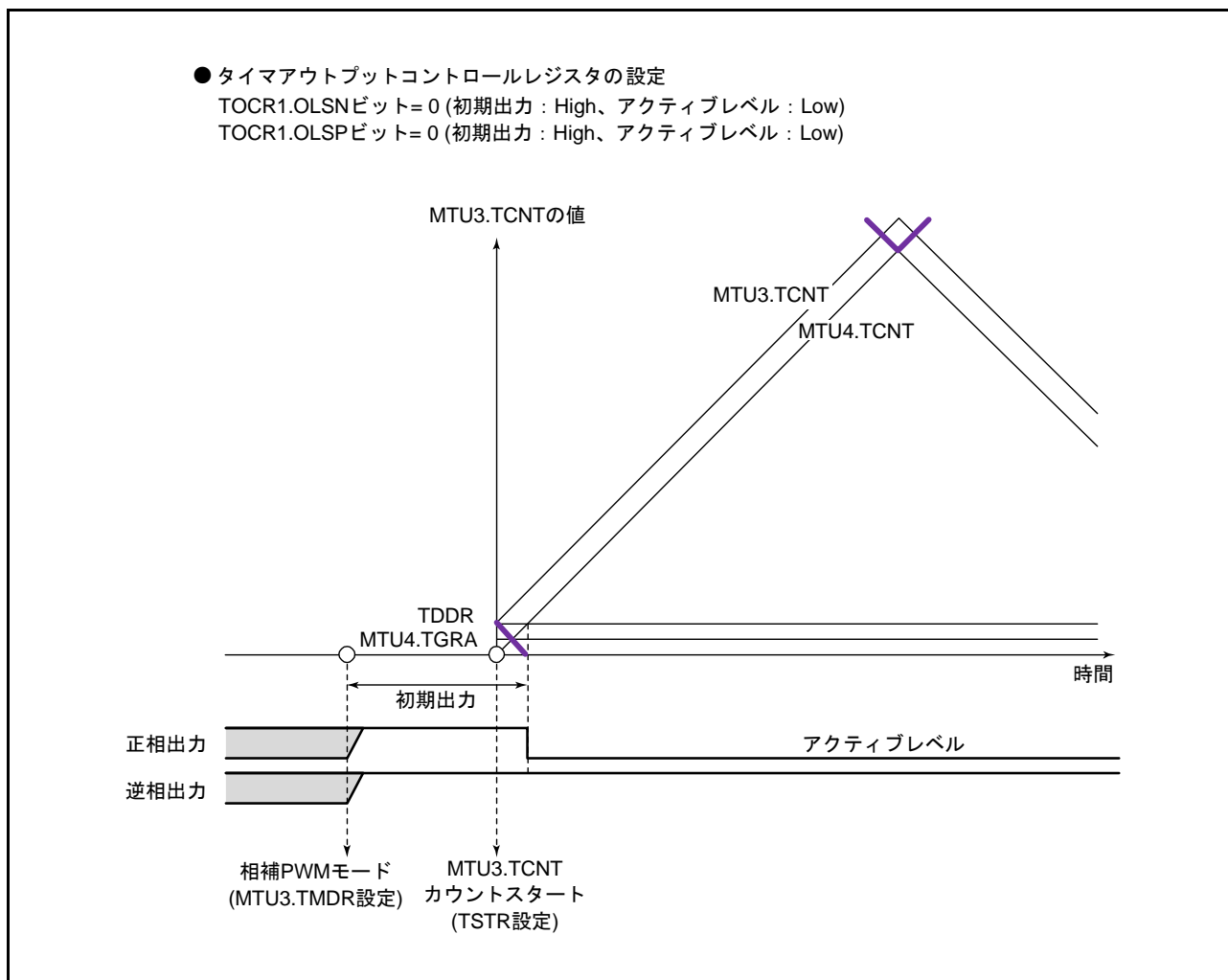


図 20.45 相補 PWM モードの初期出力例 (2)

### (j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS カウンタがカウント動作する期間では、デューティ 0% ~ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 20.46 ~ 図 20.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは、実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 20.46 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ （または  $c \rightarrow d \rightarrow a' \rightarrow b'$ ）の順番で発生します。

コンペアマッチが  $a \rightarrow b \rightarrow c \rightarrow d$  の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または  $c \rightarrow d \rightarrow a' \rightarrow b'$  の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 20.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 20.48 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

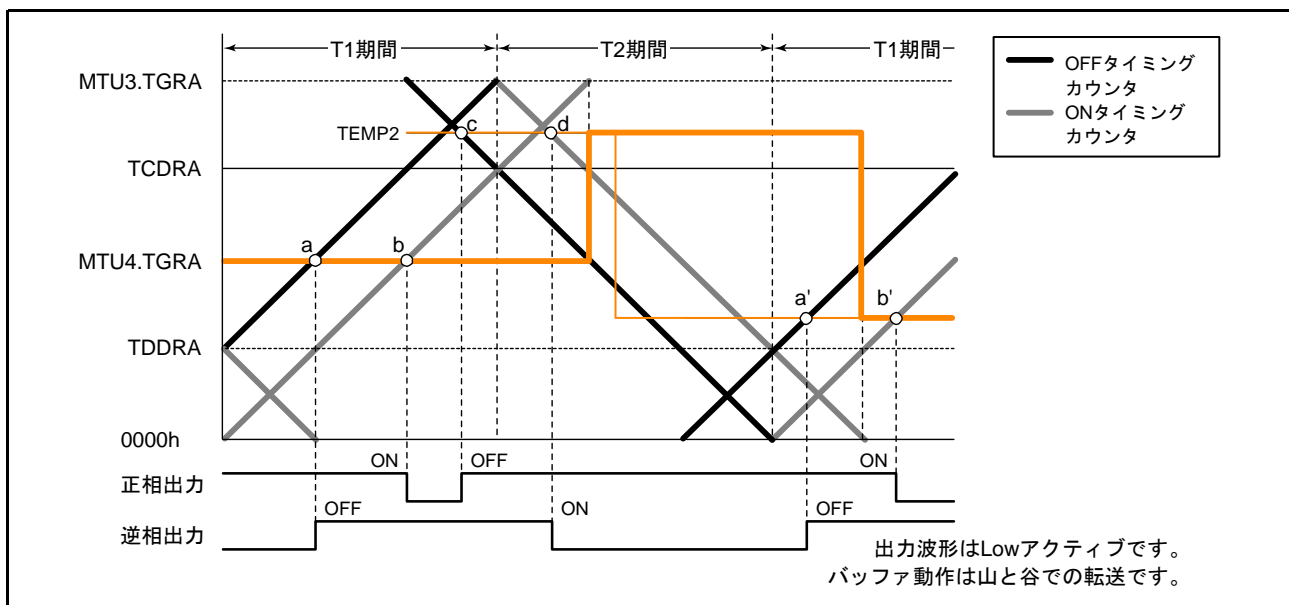


図 20.46 相補 PWM モード波形出力例 (1)

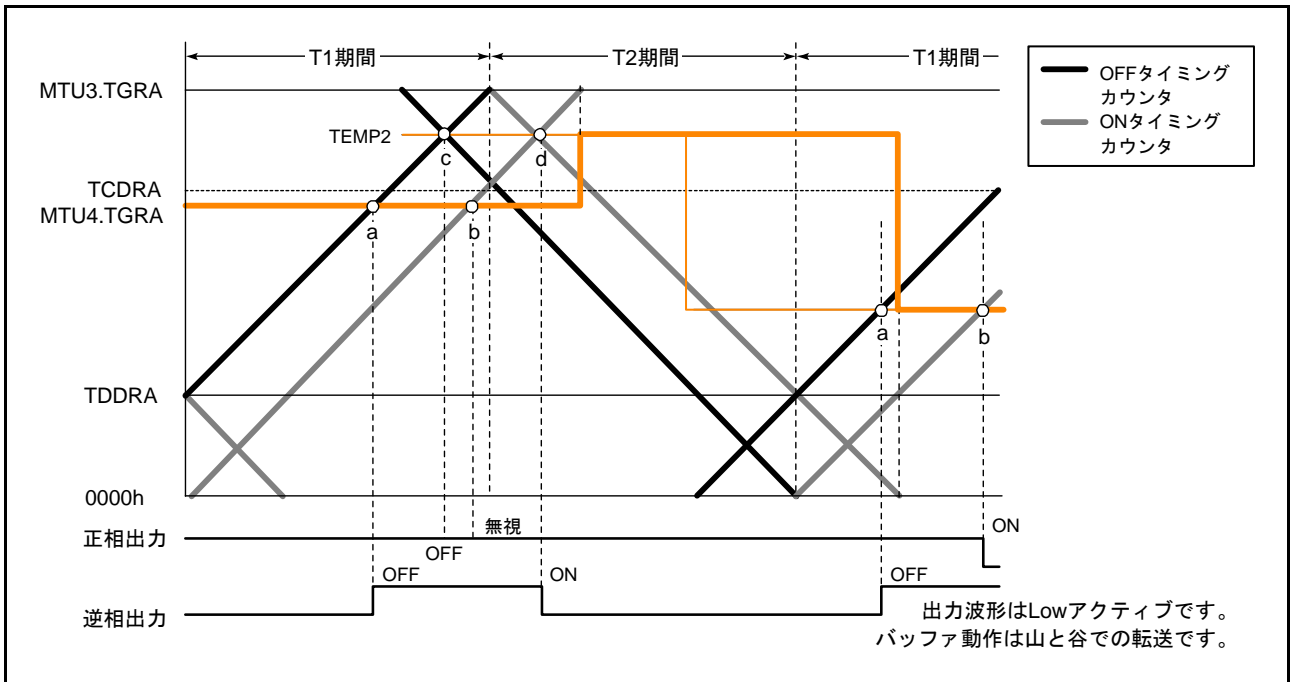


図 20.47 相補 PWM モード波形出力例 (2)

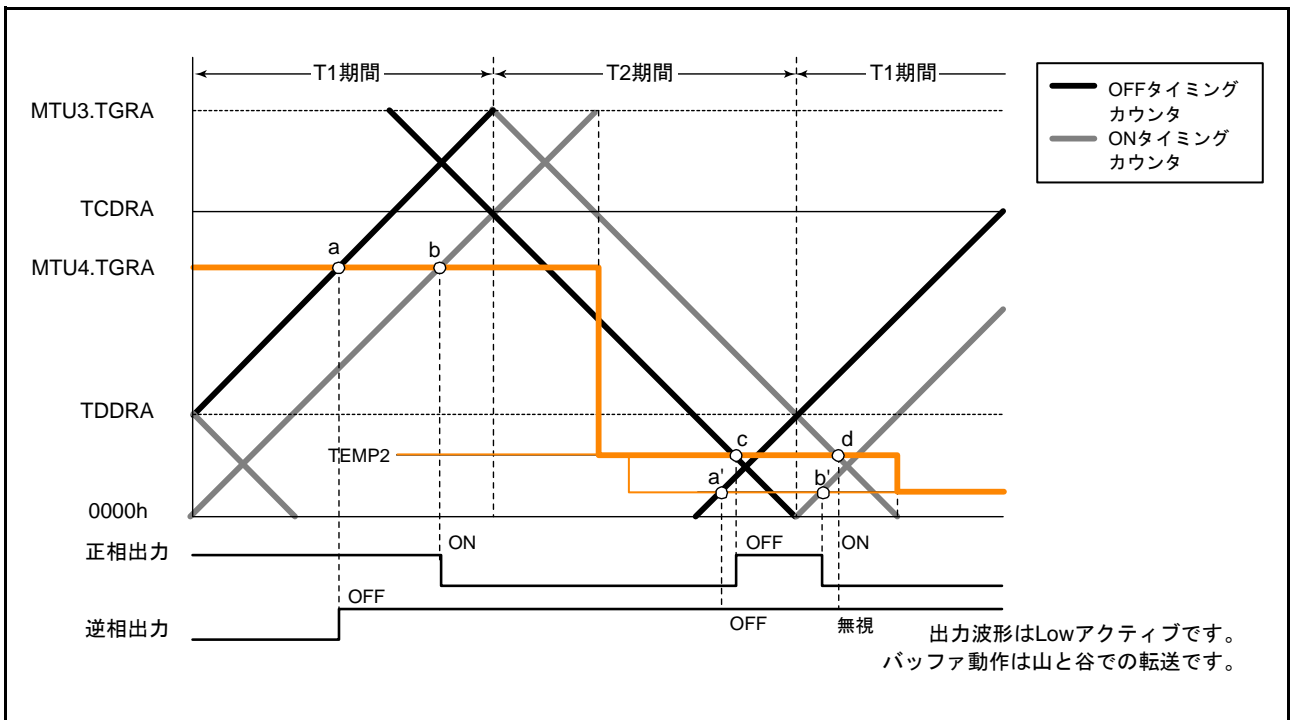


図 20.48 相補 PWM モード波形出力例 (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 20.49 ~ 図 20.53 に出力例を示します。

デューティ比 100% 出力は、データレジスタの値を “0000h” に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、データレジスタの値を MTU3.TGRA レジスタの値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

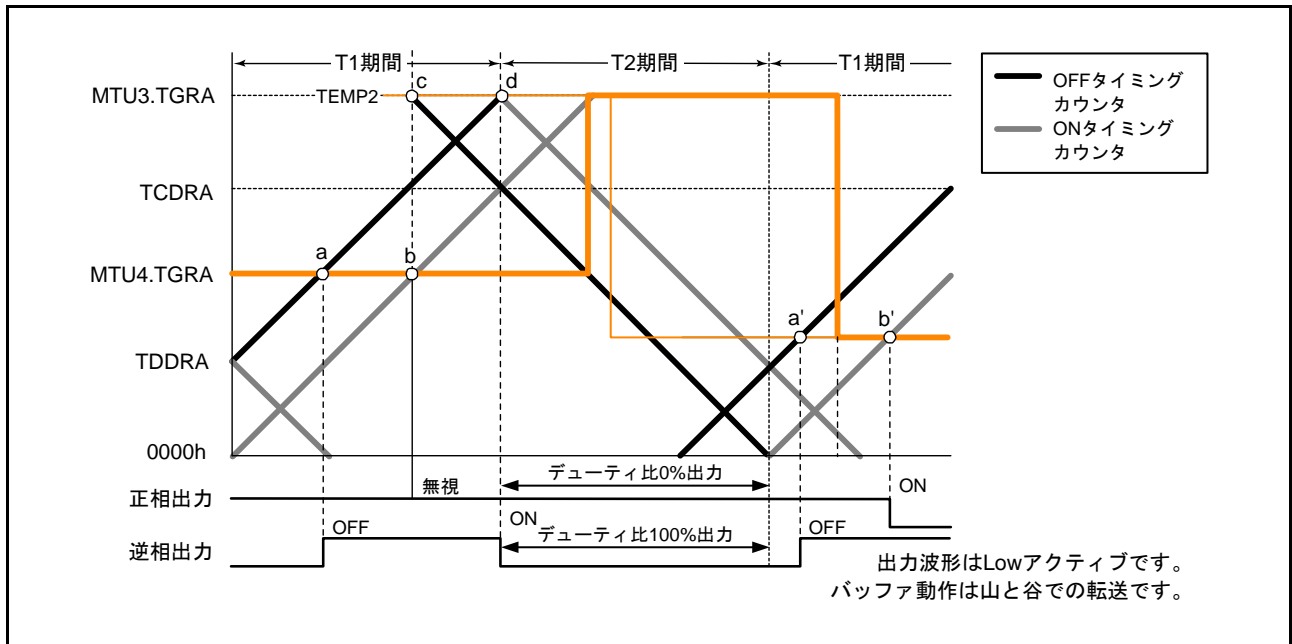


図 20.49 相補 PWM モード 0%、100% 波形出力例 (1)

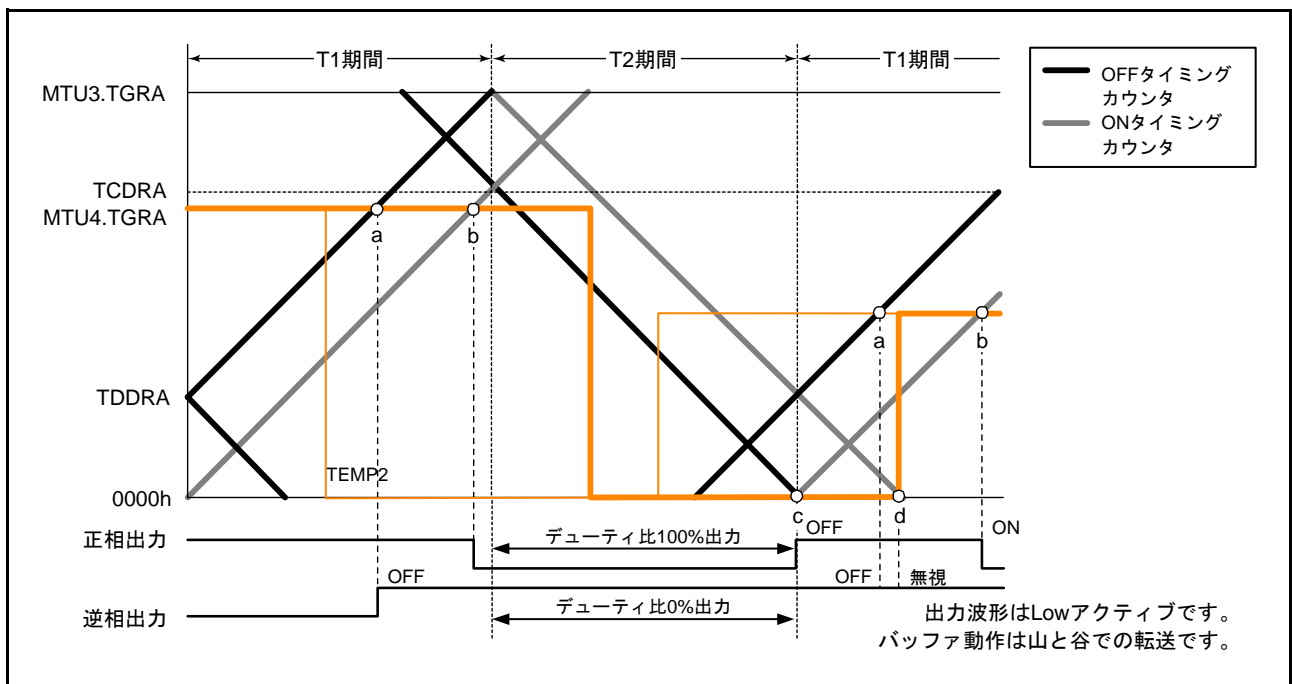


図 20.50 相補 PWM モード 0%、100% 波形出力例 (2)

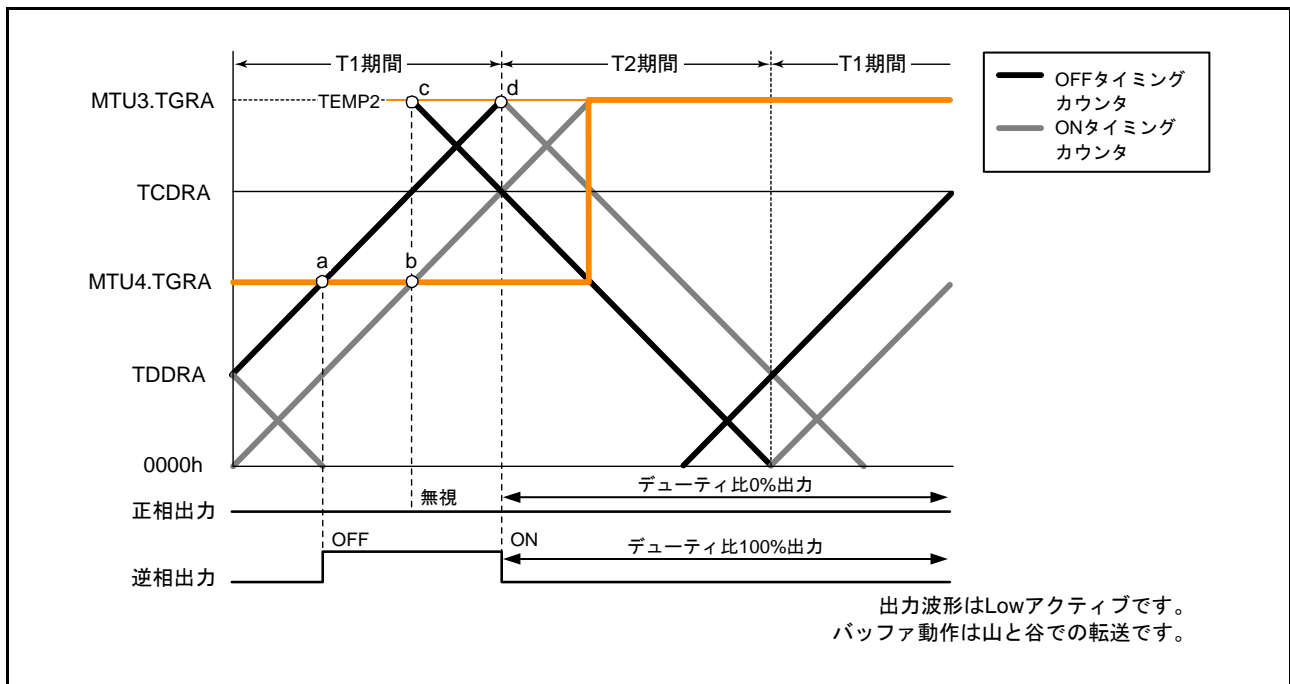


図 20.51 相補 PWM モード 0%、100% 波形出力例 (3)

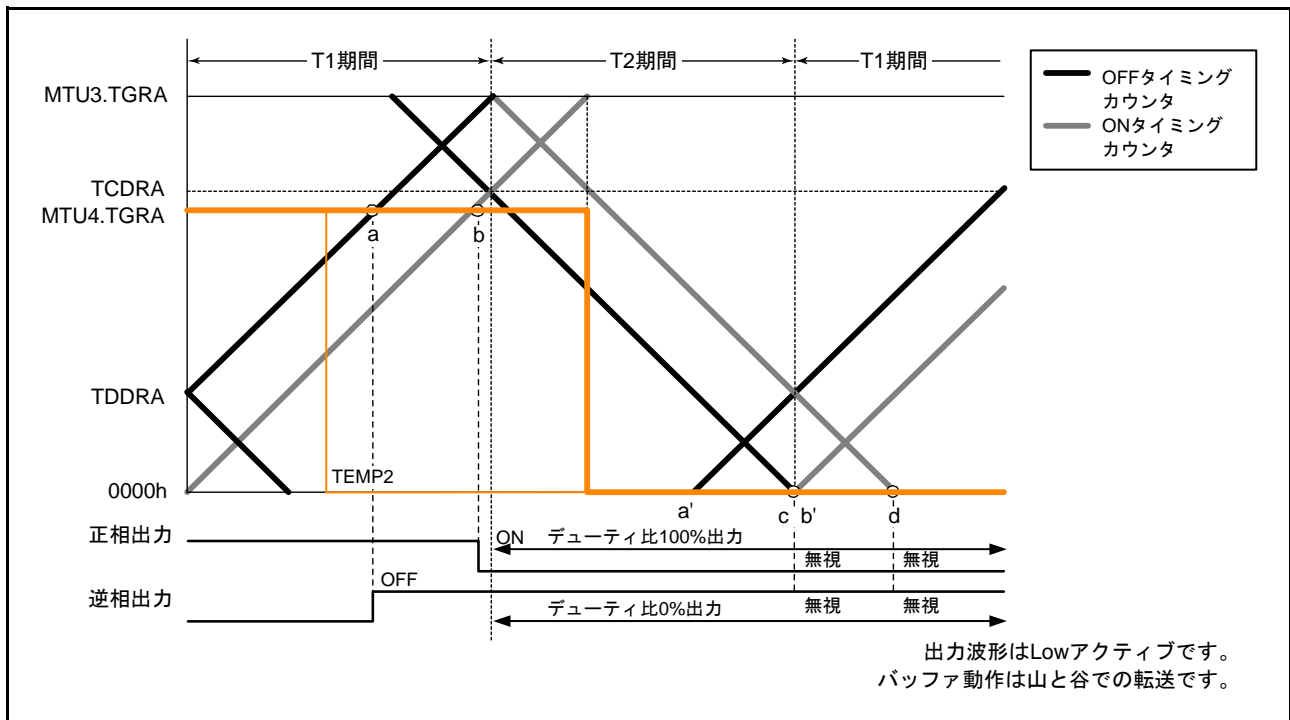


図 20.52 相補 PWM モード 0%、100% 波形出力例 (4)

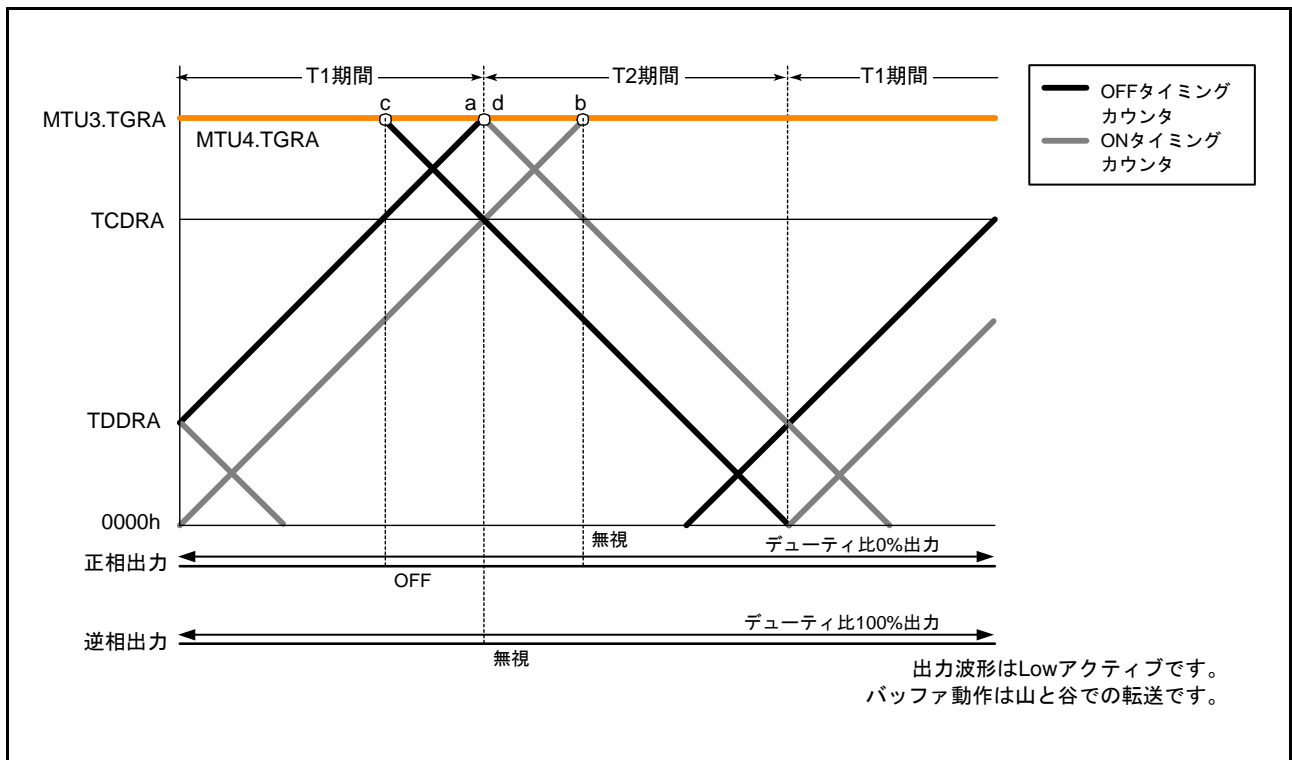


図 20.53 相補 PWM モード 0%、100% 波形出力例 (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1.PSYE ビットを“1”にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 20.54 に示します。

この出力は、MTU3.TCNT カウンタと MTU3.TGRA レジスタのコンペアマッチと MTU4.TCNT カウンタと“0000h”のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は High 出力です。

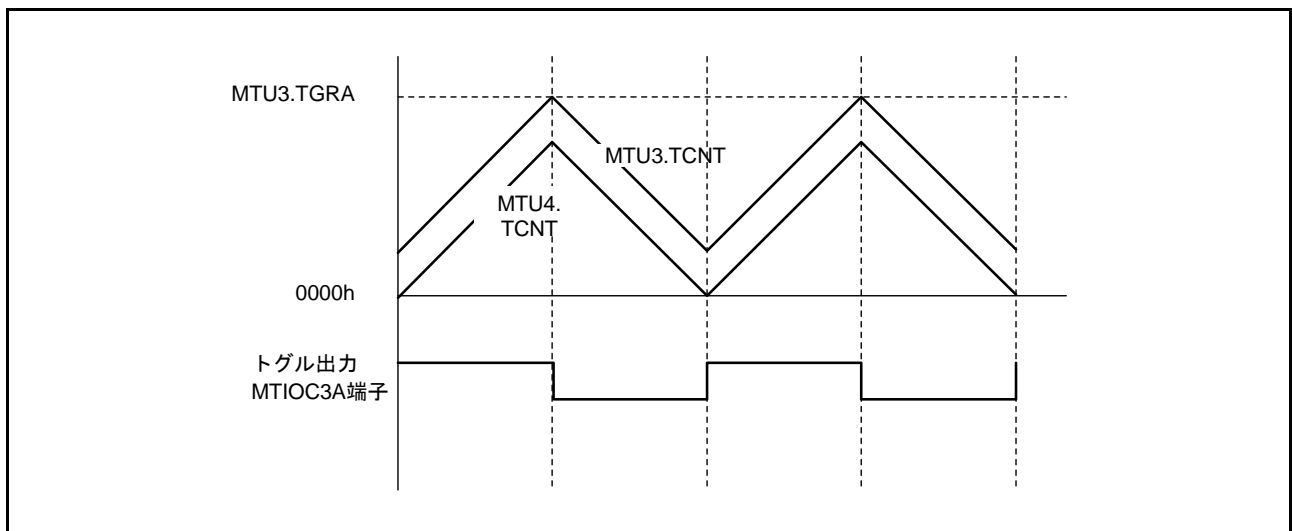


図 20.54 PWM 出力に同期したトグル出力波形例

## (m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYR レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0] ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 20.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

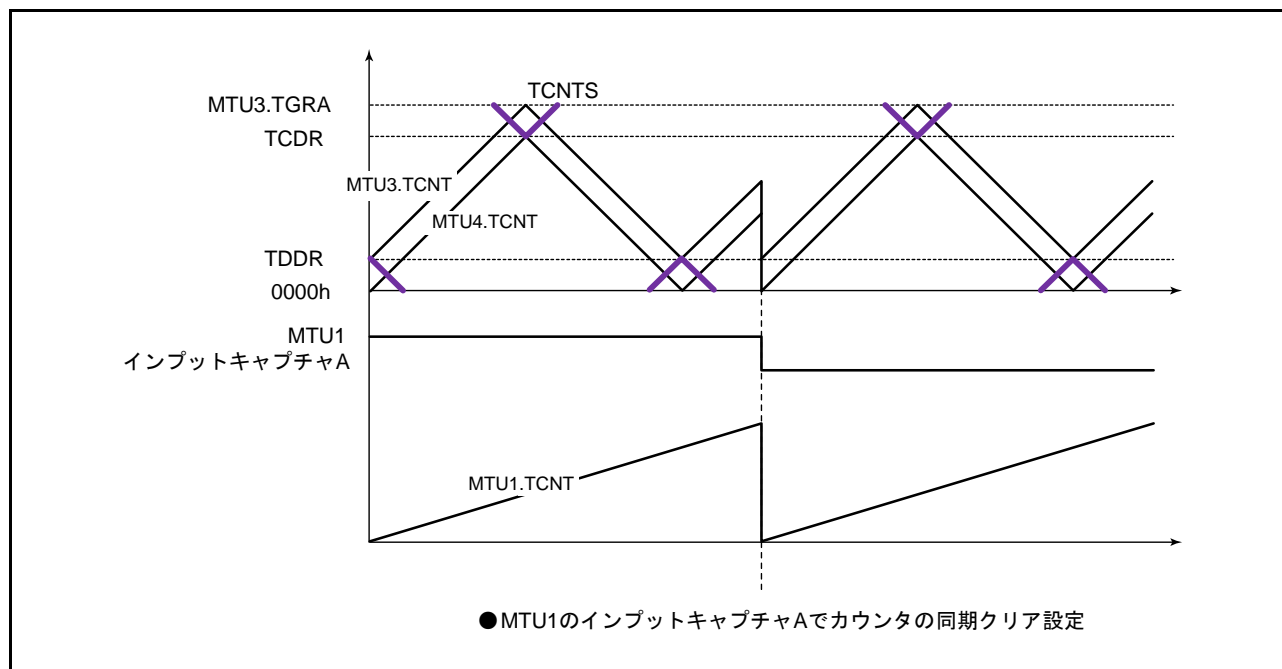


図 20.55 他のチャネルに同期したカウンタクリア

## (n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR.WRE ビットを“1”に設定することにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

TWCR.WRE ビットを“1”に設定することで初期出力を抑止することができるのは、同期クリアが図 20.56 の⑩、⑪のような Tb2 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1.OLSN, OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 20.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

MTU3、MTU4 のカウンタクリア要因は MTU0 ~ MTU2 からの同期クリアです。

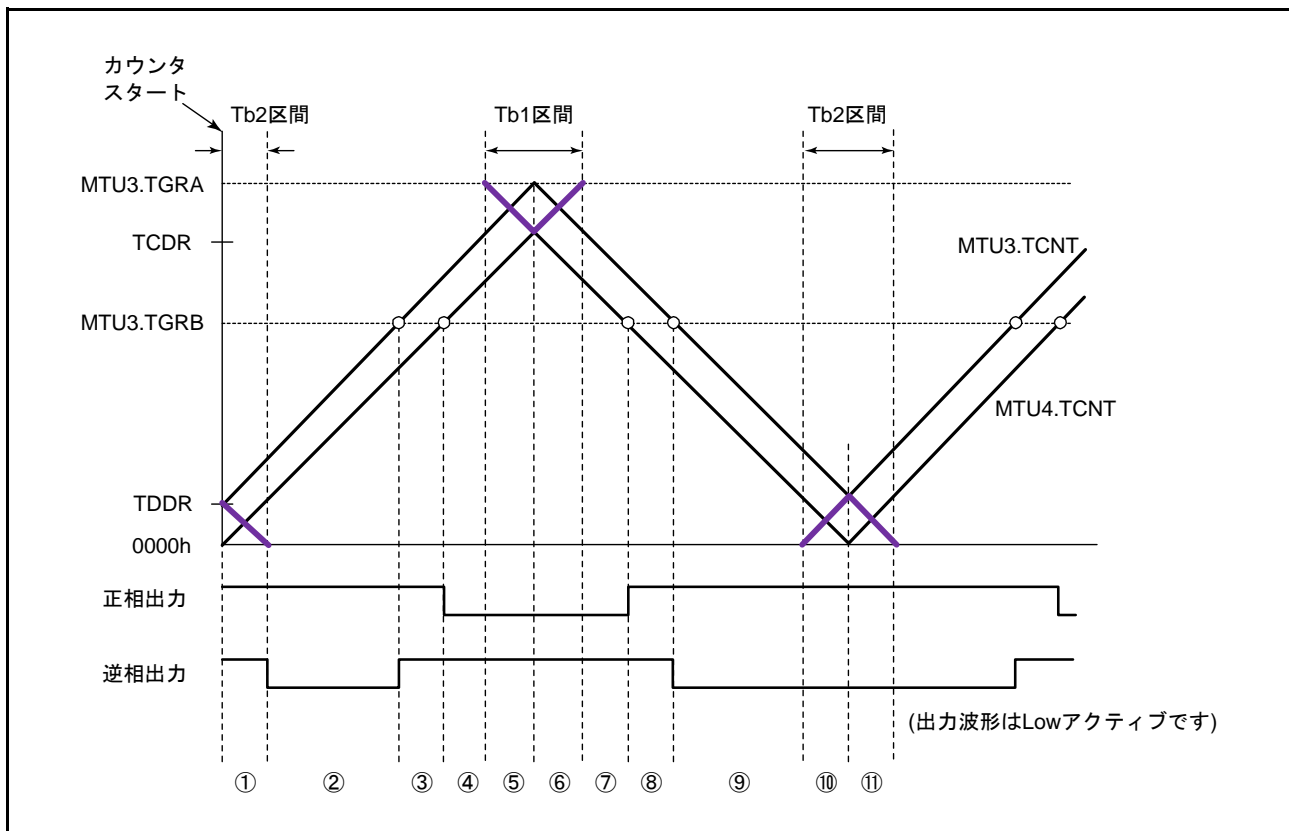


図 20.56 同期カウンタクリアタイミング



● 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 20.57 に示します。

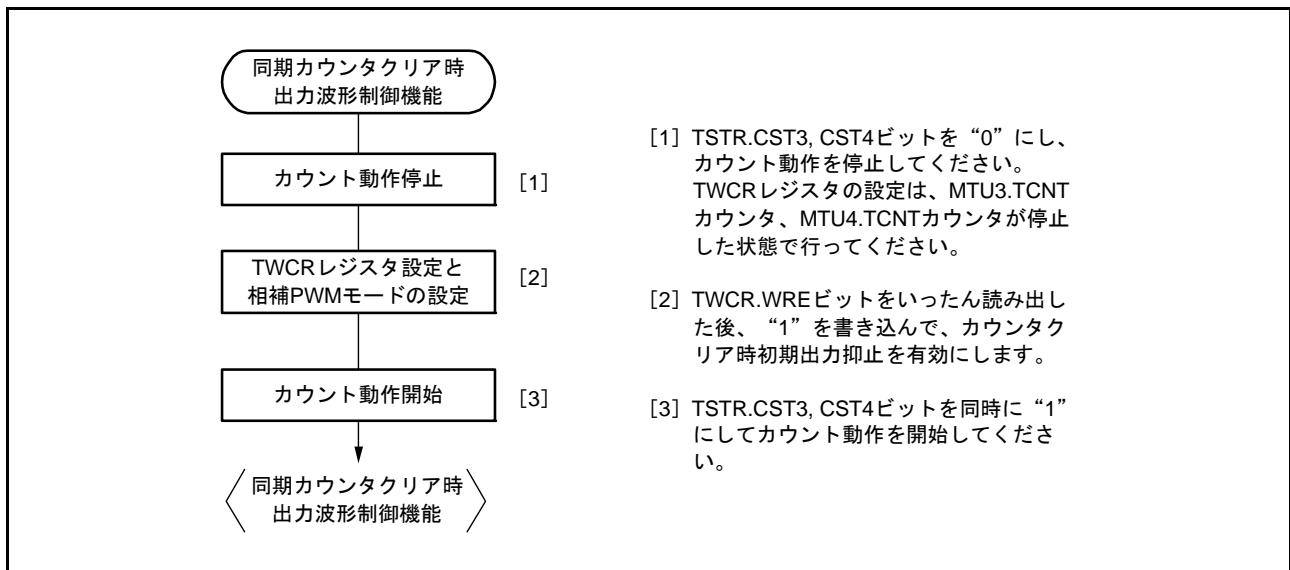


図 20.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

● 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 20.58 ~ 図 20.61 に、TWCR.WRE ビットを“1”に設定した状態で MTU を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 20.58 ~ 図 20.61 の同期カウンタクリアのタイミングは、それぞれ図 20.56 の③、⑥、⑧、⑪で示したタイミングです。

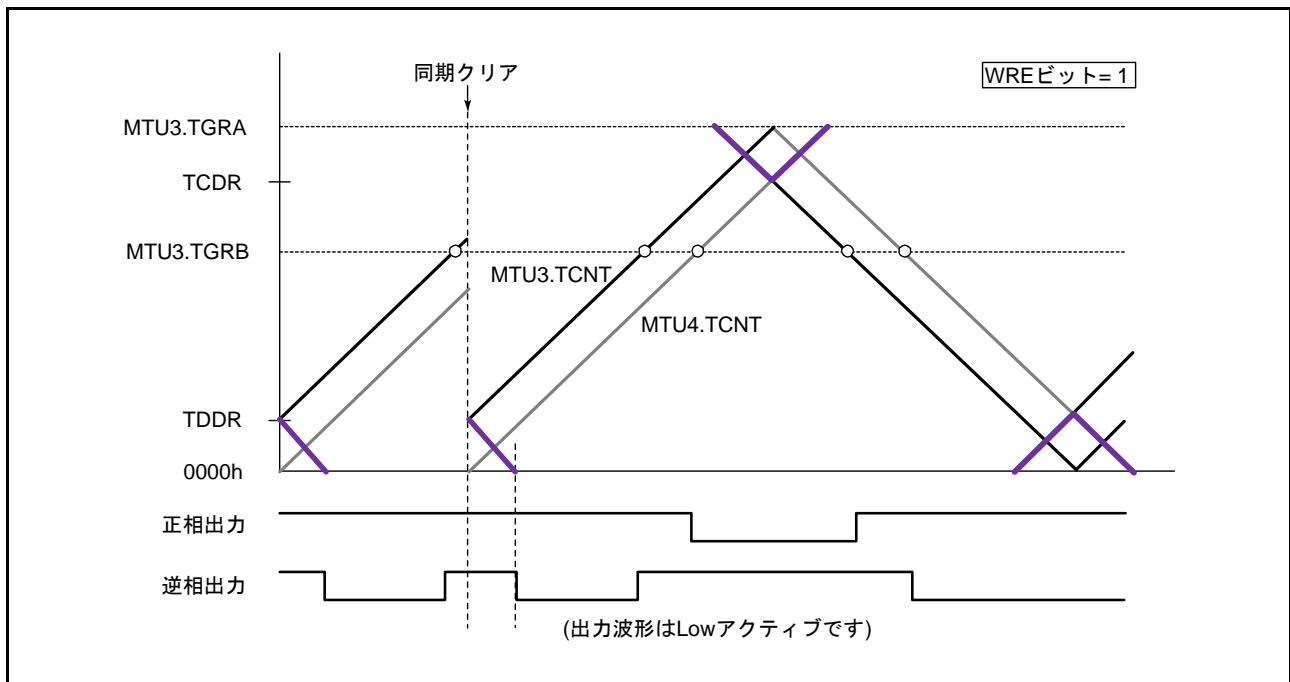


図 20.58 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 20.56 のタイミング③、TWCR.WRE ビット = 1)

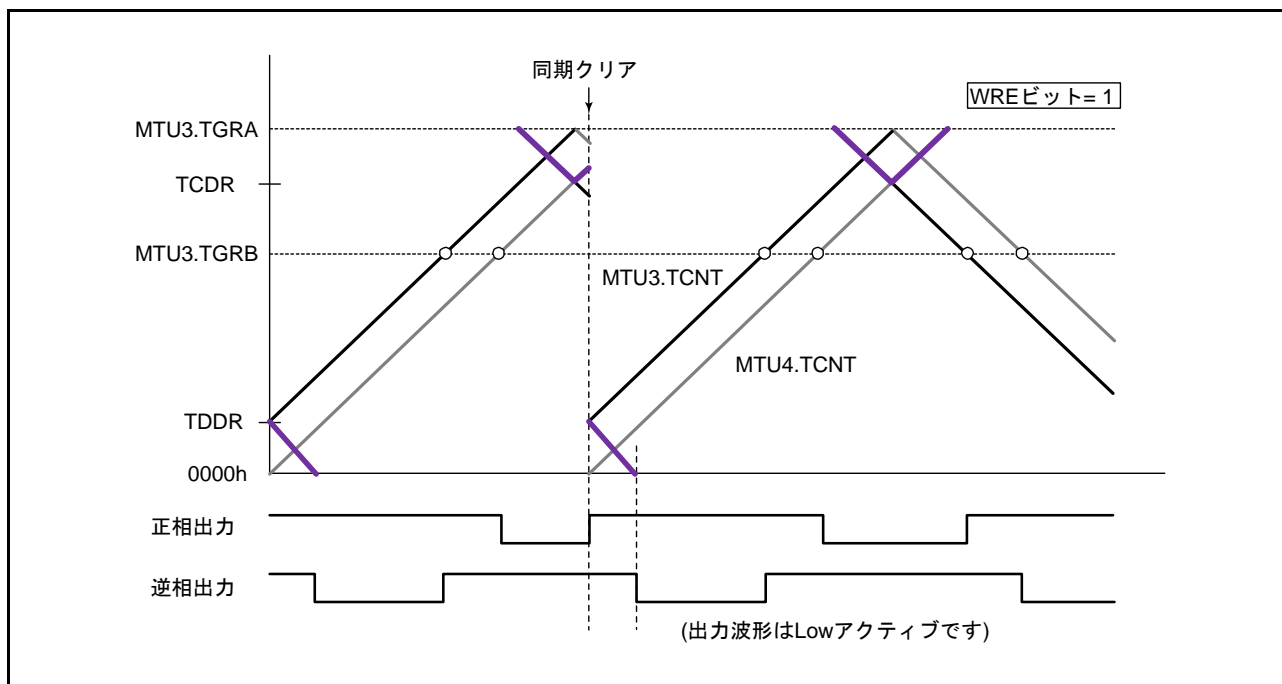


図 20.59 山のTb区間で同期クリアが発生した場合  
(図 20.56 のタイミング⑥、TWCR.WRE ビット = 1)

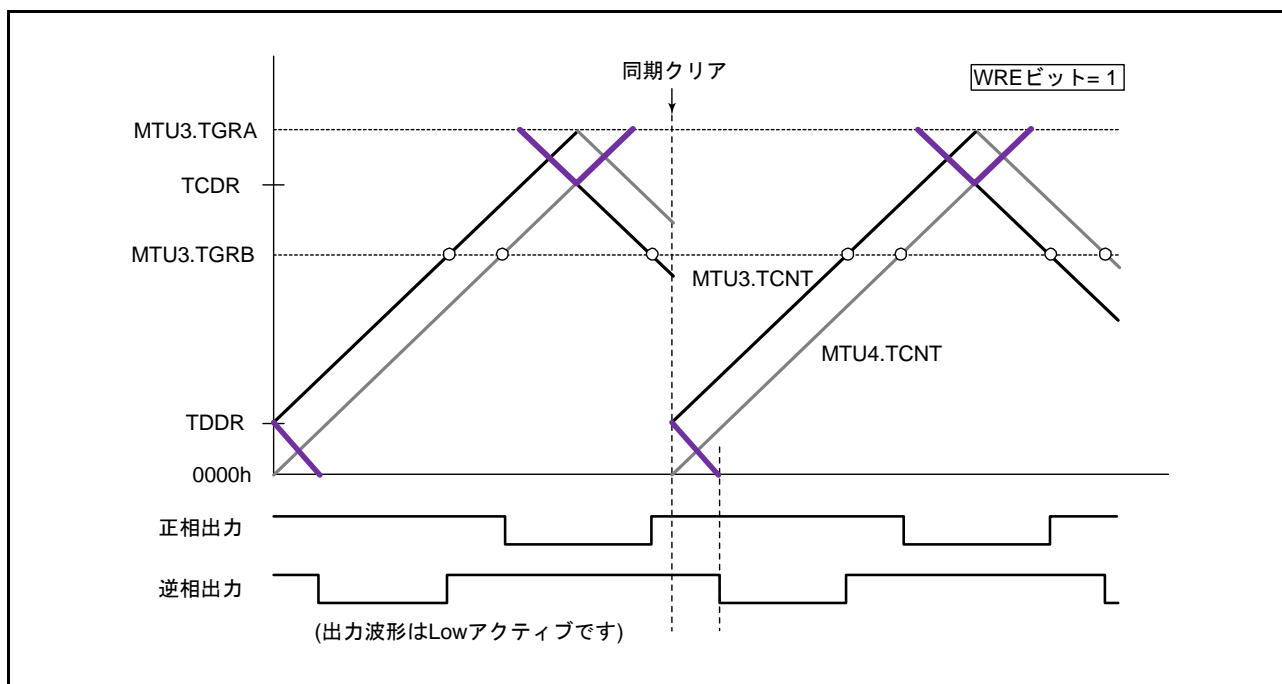


図 20.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合  
(図 20.56 のタイミング⑧、TWCR.WRE ビット = 1)

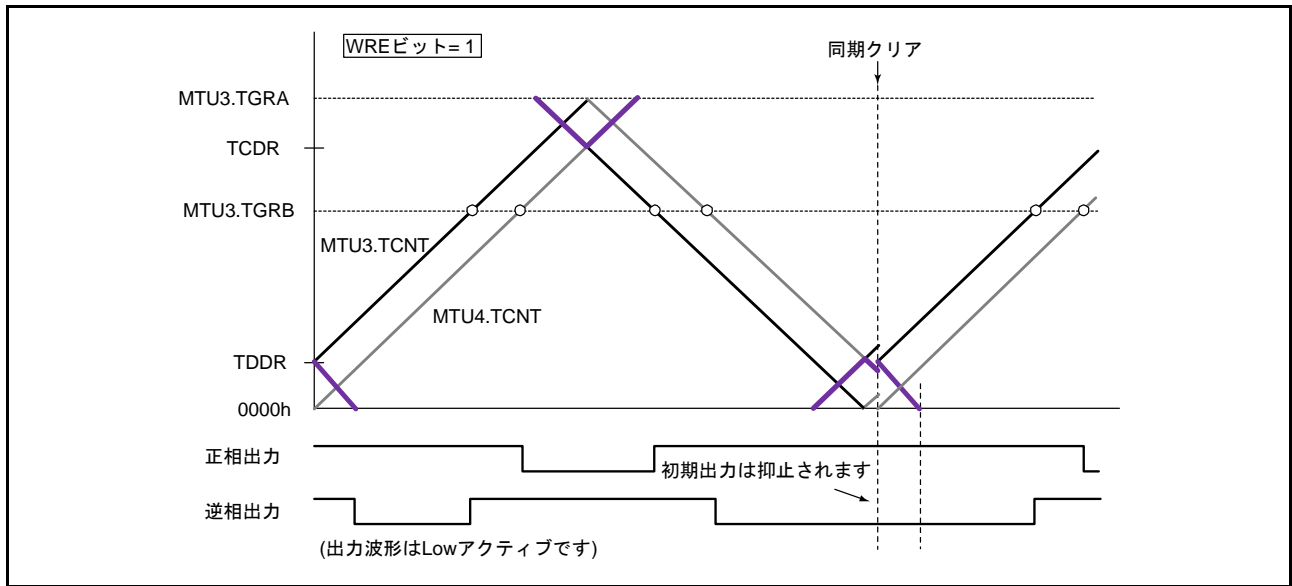


図 20.61 谷の Tb 区間で同期クリアが発生した場合  
(図 20.56 のタイミング①、TWCR.WRE ビット = 1)

(o) MTU3.TGRA レジスタのコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCR.CCE ビットを設定することにより、MTU3.TGRA レジスタのコンペアマッチで MTU3.TCNT カウンタ、MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 20.62 に動作例を示します。

- 注． 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注． 他のチャンネルとの同期クリア機能に設定しないでください。(TSYR.SYNCn ビット (n = 0 ~ 4) を “1” に設定しないでください)
- 注． PWM デューティ比は、“0000h” を設定しないでください。
- 注． TOCR1.PSYE ビットを “1” に設定しないでください。

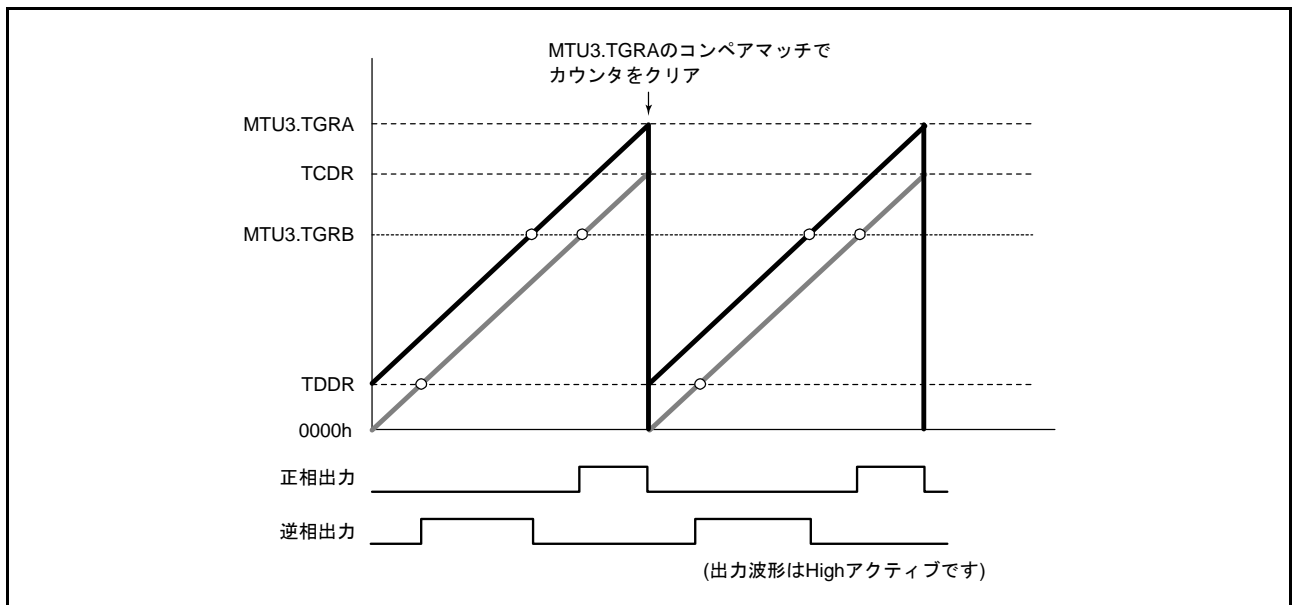


図 20.62 MTU3.TGRA レジスタのコンペアマッチにおけるカウンタクリアの動作例

## (p) AC同期モータ ( ブラシレス DC モータ ) の駆動波形出力例

相補 PWM モードでは、TGCR レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 20.63 ~ 図 20.66 に TGCR レジスタを使用したブラシレス DC モータの駆動波形例を示します。

3相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR.FB ビットを“0”に設定します。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します。MTIOC0A、MTIOC0B、MTIOC0C 端子の3つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCR.FB ビットが“1”の場合は、TGCR.UF, VF, WF ビットの各ビットに“0”または“1”を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの6相 PWM 出力端子から出力されます。

この6相出力は TGCR.N ビットまたは TGCR.P ビットを“1”に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。TGCR.N ビットまたは TGCR.P ビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON 出力時レベル) は、TGCR.N ビットまたは TGCR.P ビットの設定にかかわらず、TOCR1.OLSN, TOCR1.OLSP ビットで設定できます。

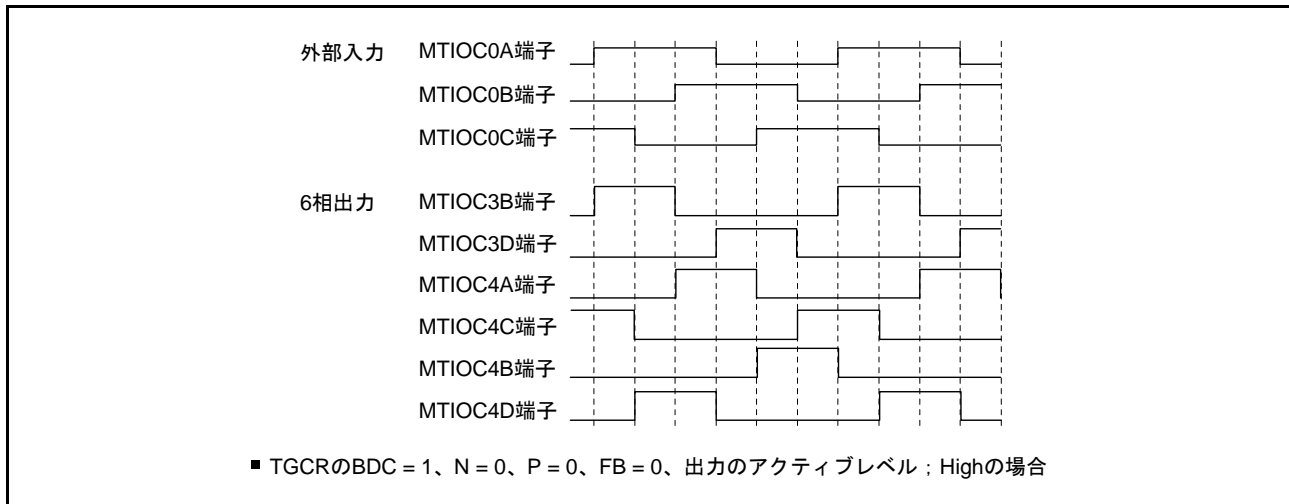


図 20.63 外部入力による出力相の切り替え動作例 (1)

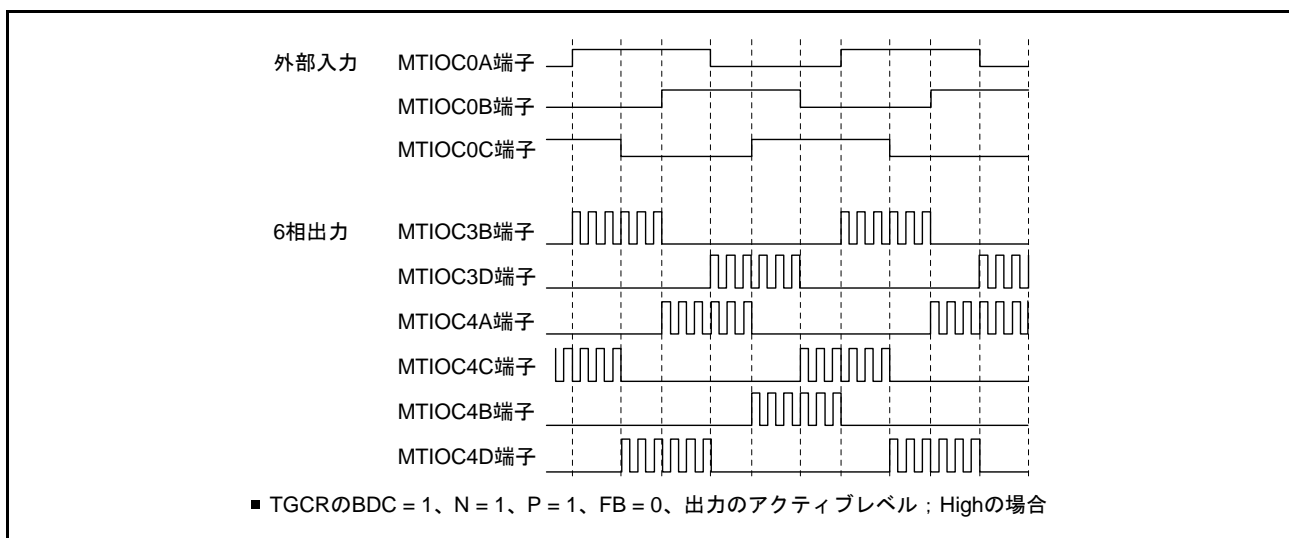


図 20.64 外部入力による出力相の切り替え動作例 (2)

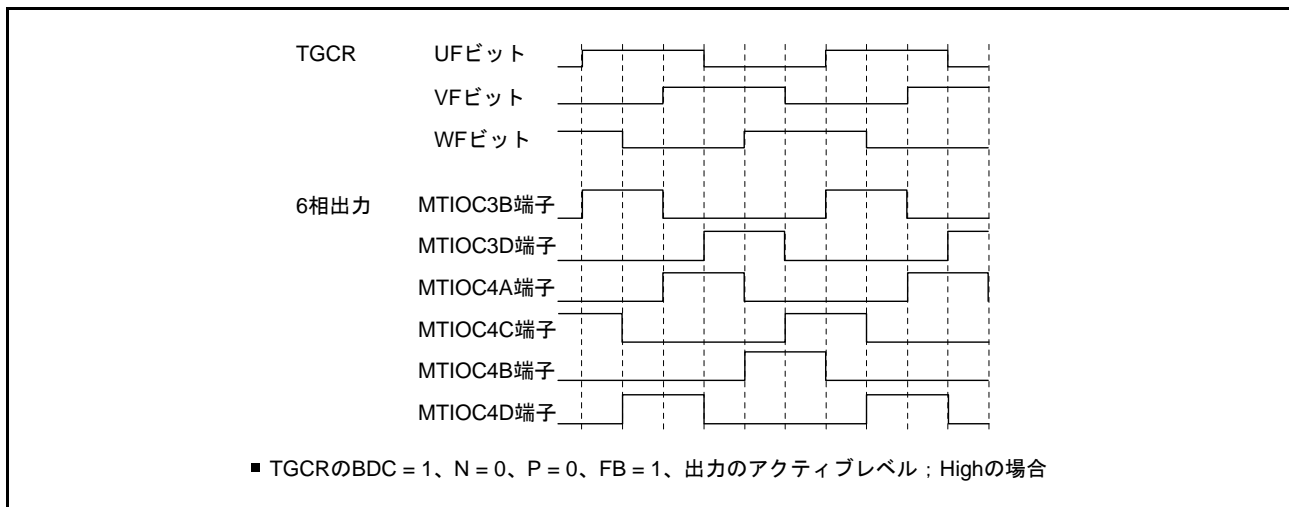


図 20.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

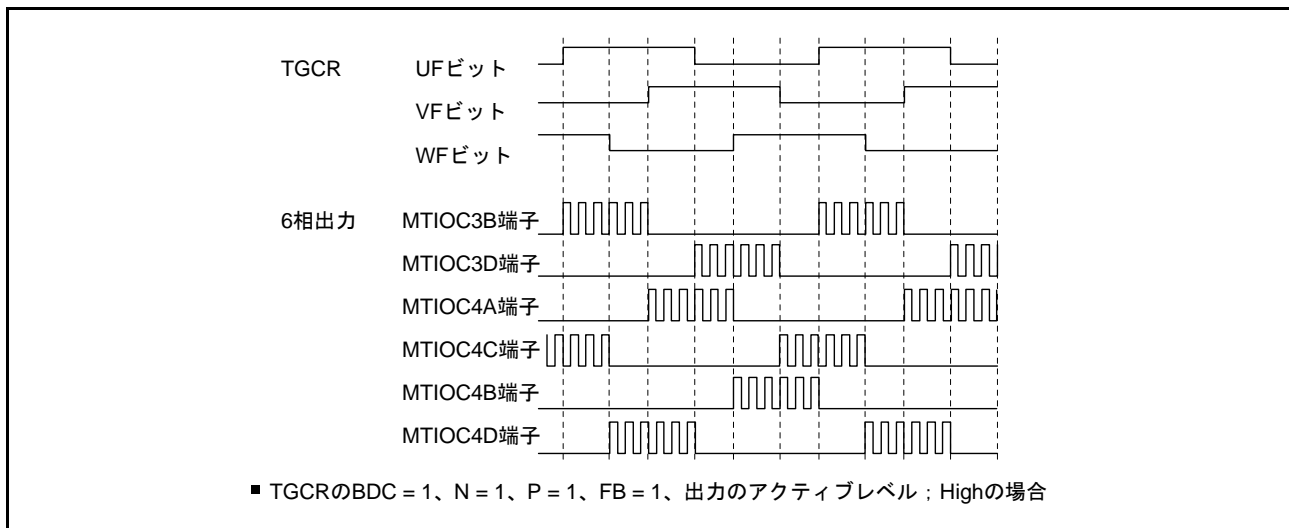


図 20.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

#### (q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA レジスタのコンペアマッチ、MTU4.TCNT カウンタのアンダフロー（谷）、MTU3、MTU4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA レジスタのコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT カウンタの山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT カウンタのアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2 ビットを“1”にすることで設定できます。

### (3) 相補 PWM モードの割り込み間引き機能

MTU3 と MTU4 の TGIA3 (山の割り込み)、および TCIV4 (谷の割り込み) は、TITCR レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTER レジスタを設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

TADCR レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「20.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR レジスタの設定は、MTU3.TIER、MTU4.TIER レジスタの設定で TGIA3 と TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しない状態、かつコンペアマッチによる TGIA3、TGIA4 割り込み要求が発生しない状態で行ってください。また、間引き回数の変更前に、TITCR.T3AEN、T4VEN ビットを“0”にして、間引きカウンタをクリアしてください。

#### (a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 20.67 に示します。また、割り込み間引き回数の変更可能期間を図 20.68 に示します。

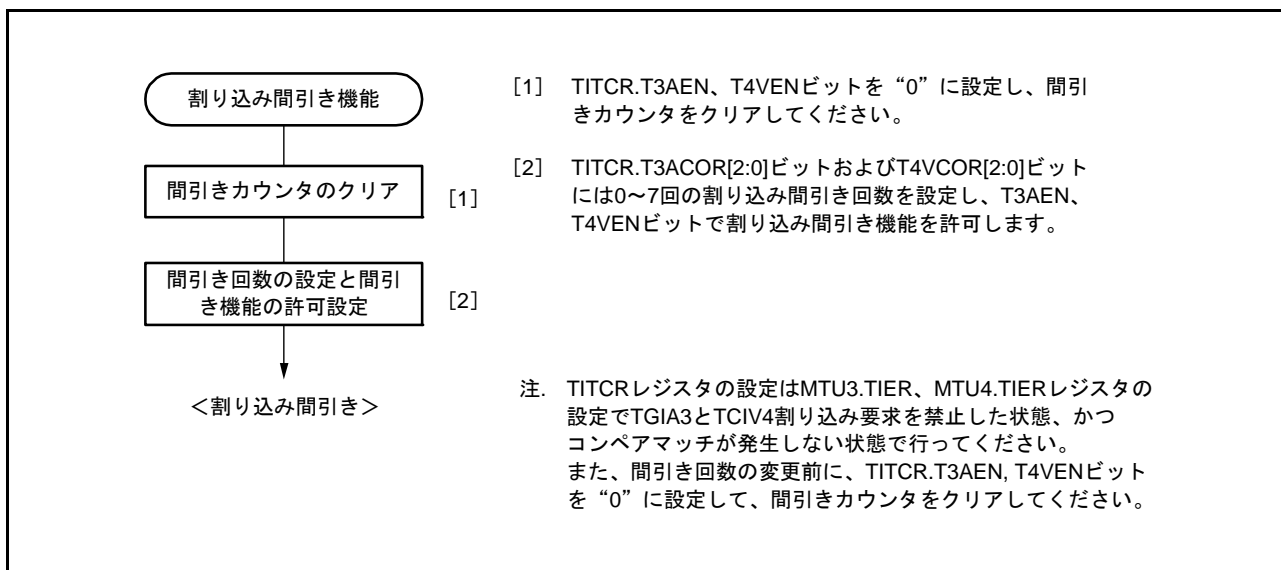


図 20.67 割り込み間引き機能の設定手順例

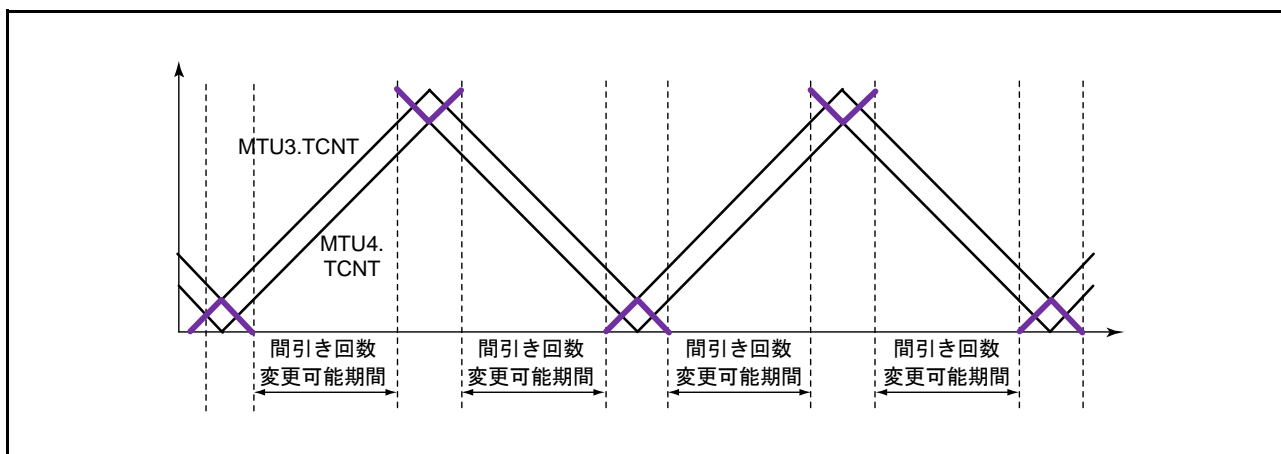


図 20.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

TITCR.T3ACOR[2:0] ビットで割り込みの間引き回数を3回に設定し、TITCR.T3AEN ビットを“1”に設定した場合の、MTU3.TGIA 割り込み間引きの動作例を図 20.69 に示します。

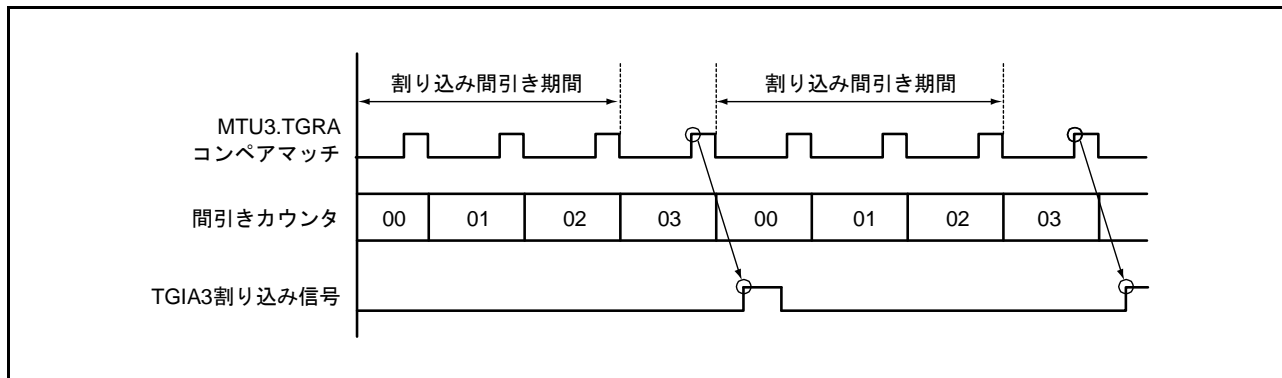


図 20.69 割り込み間引き機能の動作例

## (c) 割り込み間引きと連動したバッファ転送制御

TBTER.BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (TBTER.BTE[1:0] = 01b) にした場合の動作例を図 20.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] = 10b) にした場合の動作例を図 20.71 に示します。この設定にした場合、バッファ転送許可期間内にバッファレジスタへの書き込みを行った場合は、バッファレジスタからテンポラリレジスタへのバッファ転送を即時に行います。バッファ転送許可期間外でバッファレジスタへの書き込みを行った場合は、次のバッファ転送許可期間が始まるタイミングで、バッファレジスタからテンポラリレジスタへのバッファ転送を行います。

なお、TITCR.T3AEN ビットを“1”に設定した場合、TITCR.T4VEN ビットを“1”に設定した場合、TITCR.T3AEN ビットと TITCR.T4VEN ビットをとともに“1”に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR.T3AEN ビットと TITCR.T4VEN ビットの設定とバッファ転送許可期間の関係を図 20.72 に示します。

- 注 . 本機能は、割り込み間引き機能と組み合わせて使用してください。  
 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VEN ビットを“0”に設定したとき、または TITCR レジスタの間引き回数設定ビット (T3ACOR[2:0], T4VCOR[2:0]) を“000b”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE[1] ビットを“0”に設定) してください。  
 割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

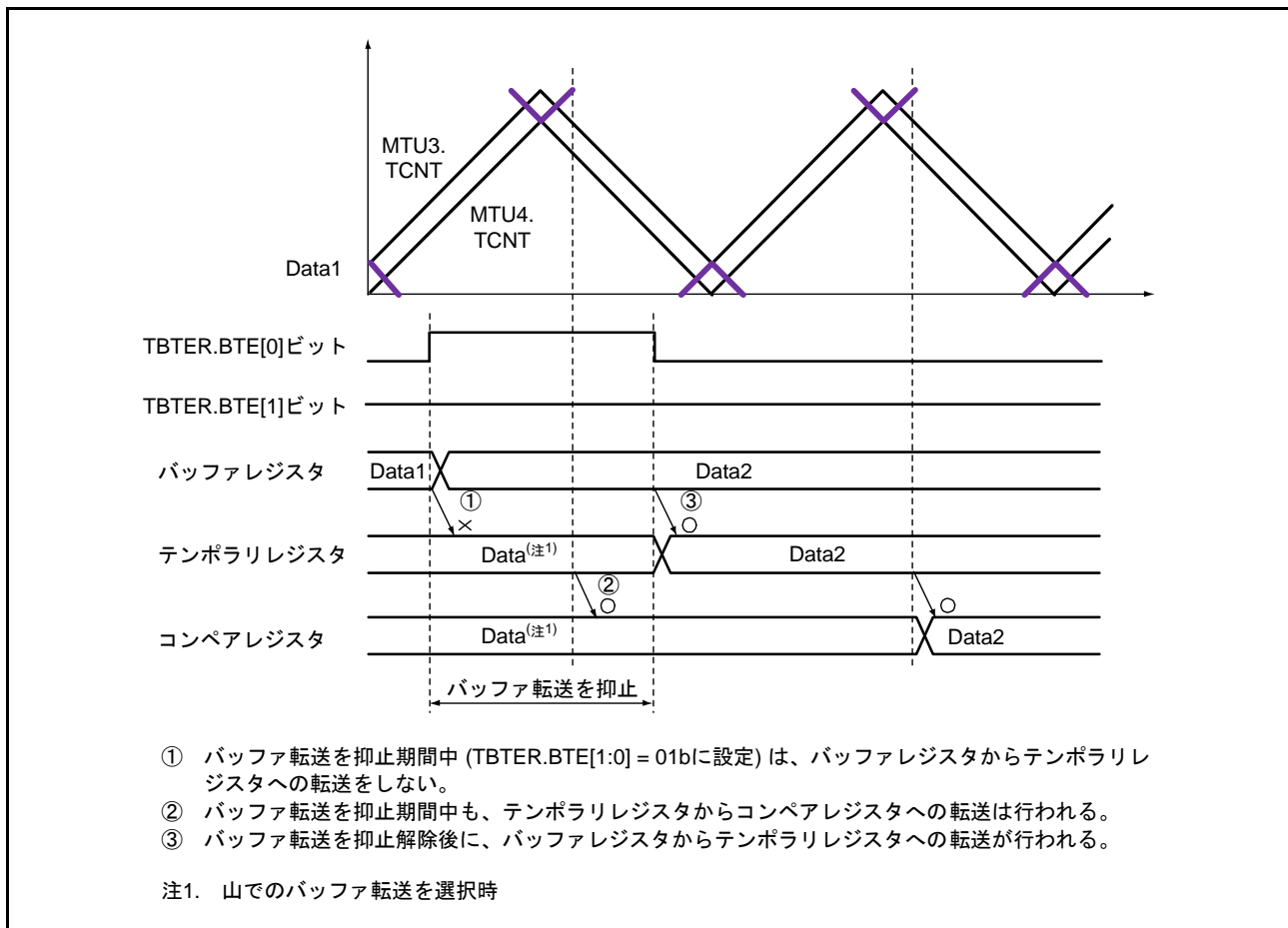


図 20.70 バッファ転送を抑制する設定 (TBTER.BTE[1:0] ビット = 01b) にした場合の動作例



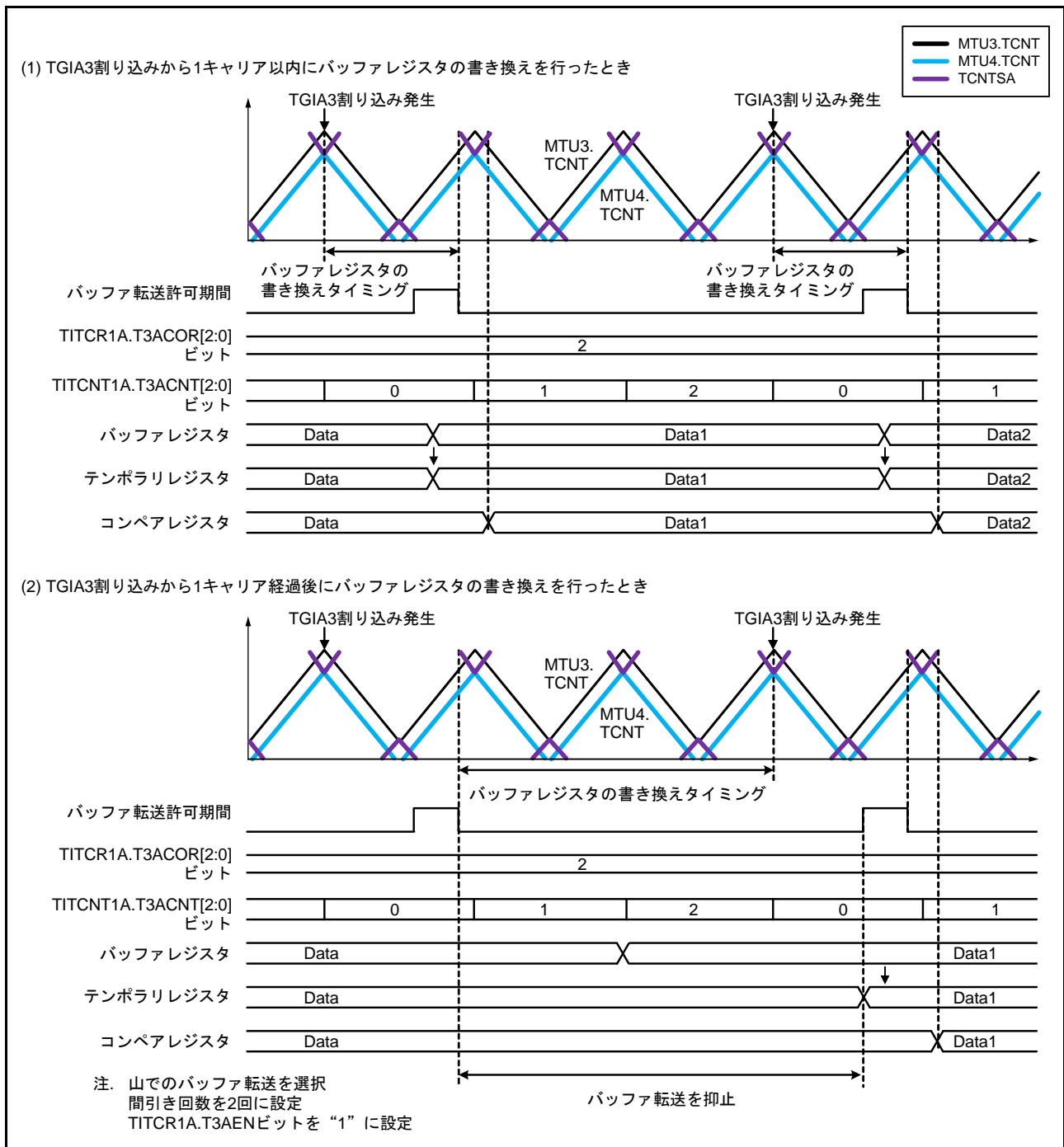


図 20.71 バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] ビット = 10b) にした場合の動作例

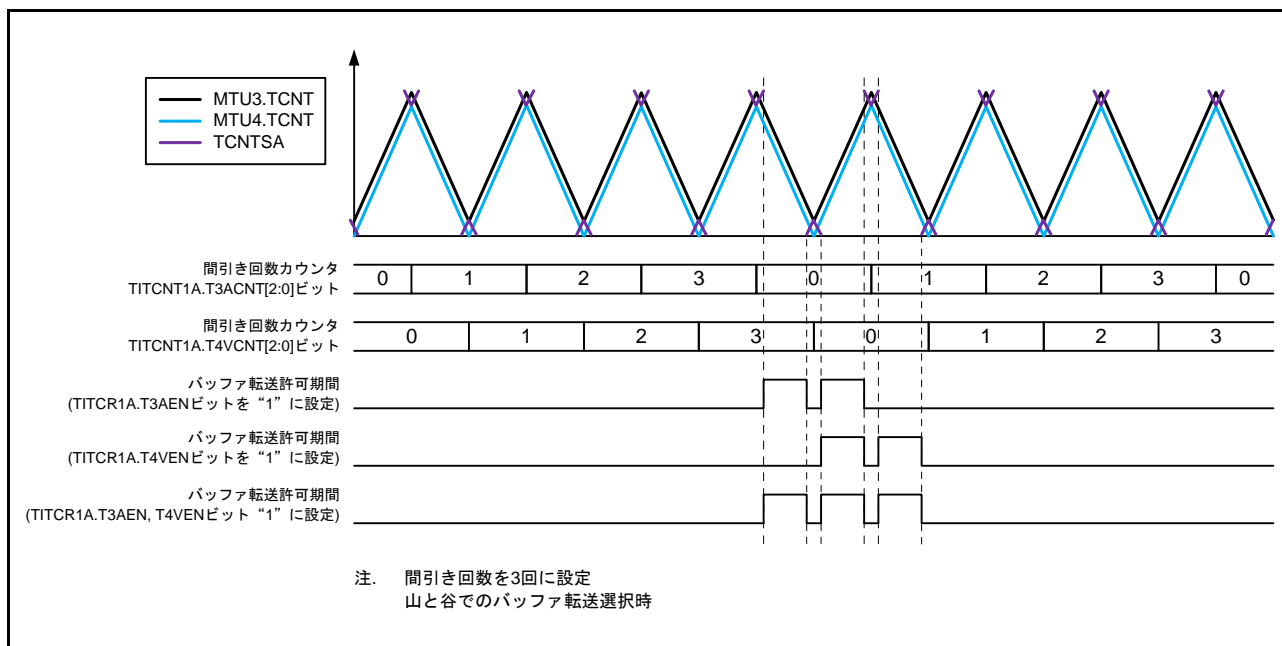


図 20.72 TITCR.T3AEN, T4VEN ビットの設定とバッファ転送許可期間の関係

#### (4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

##### (a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWER.RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタは MTU3 および MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR および MTU4.TCR、MTU3.TMDR および MTU4.TMDR、MTU3.TIORH および MTU4.TIORH、MTU3.TIORL および MTU4.TIORL、MTU3.TIER および MTU4.TIER、MTU3.TCNT および MTU4.TCNT、MTU3.TGRA および MTU4.TGRA、MTU3.TGRB および MTU4.TGRB、MTU.TOER、MTU.TOCR1、MTU.TOCR2、MTU.TGCR、MTU.TCDR、MTU.TDDR

計 22 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効です。

##### (b) PWM 出力の停止機能

MTU0、MTU3、MTU4 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。詳細は、「21. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

### 20.3.9 A/D 変換開始要求ディレイド機能

MTU4.TADCR, TADCORA, TADCORB, TADCOBRA, TADCOBRB レジスタを設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT カウンタと MTU4.TADCORA, TADCORB レジスタを比較し、これらが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

また、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を間引くことが可能です。

#### (1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 20.73 に示します。

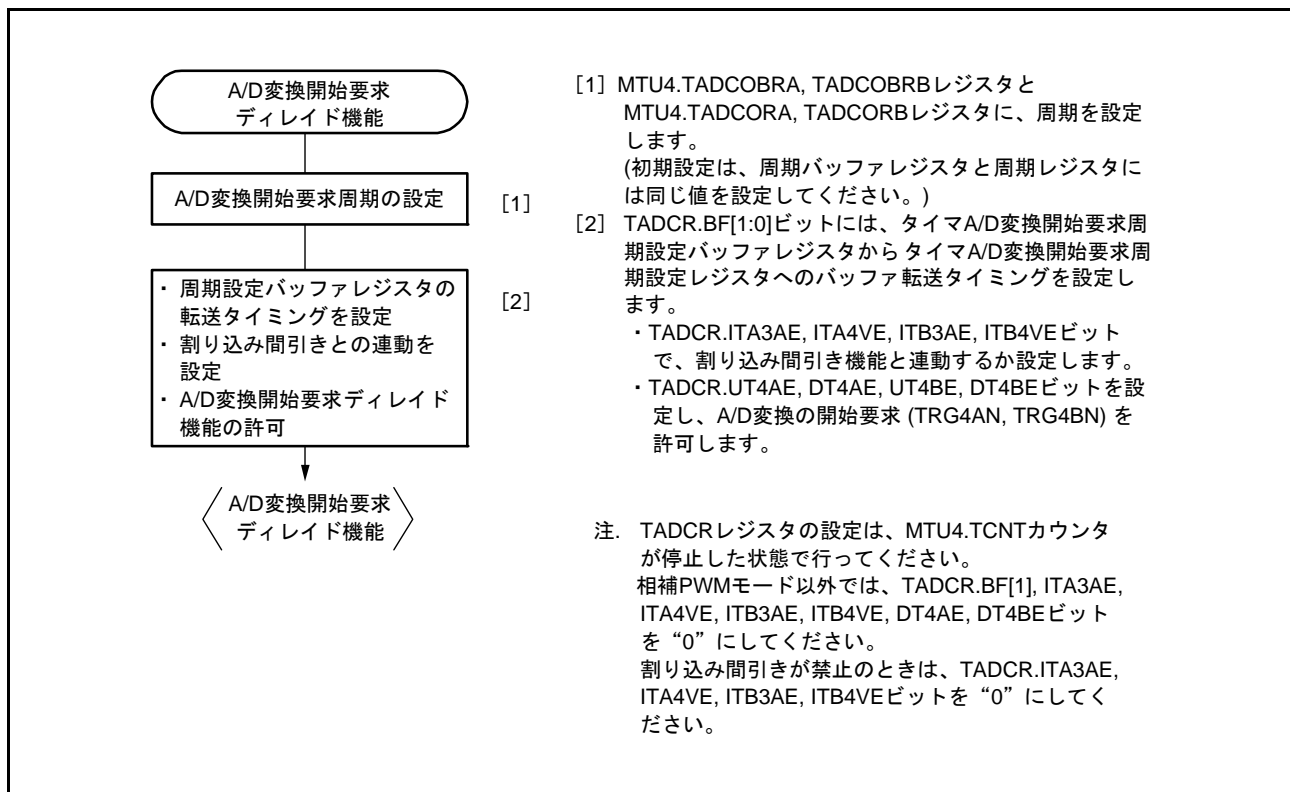


図 20.73 A/D 変換開始要求ディレイド機能の設定手順例

## (2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT カウンタの谷に設定し、MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 20.74 に示します。

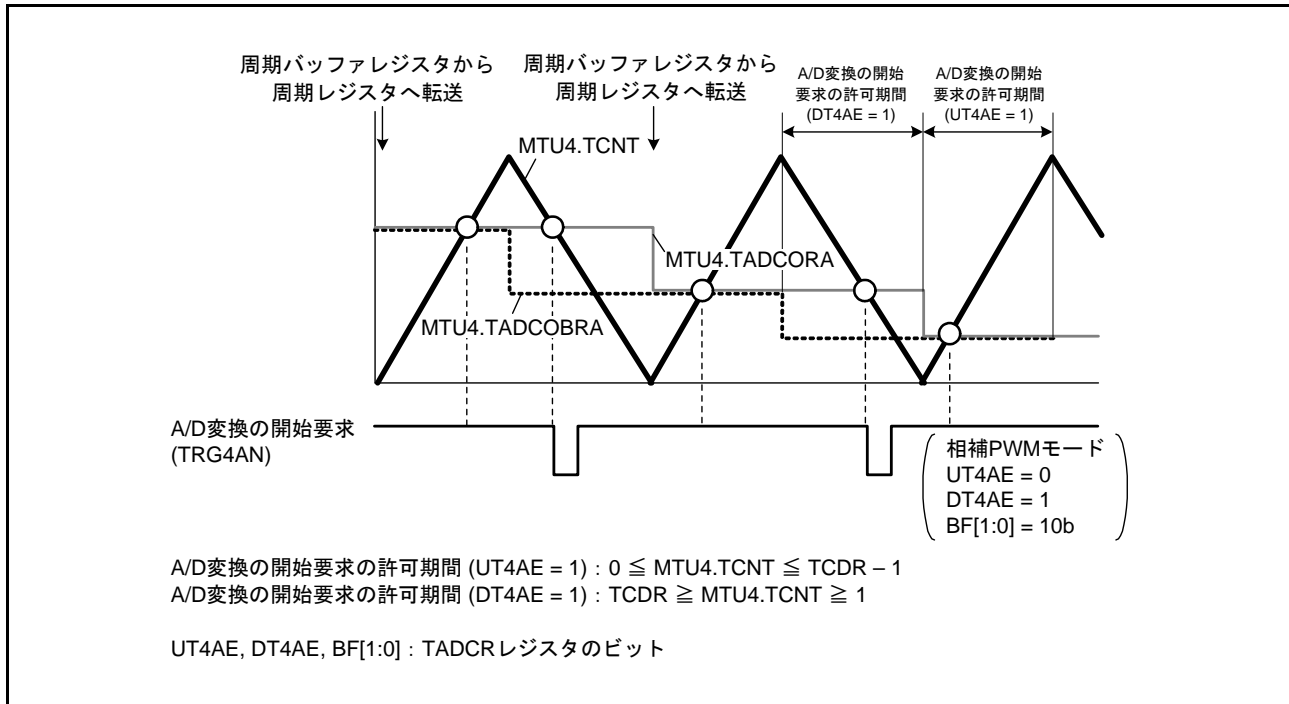


図 20.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

## (3) A/D 変換の開始要求の許可期間

MTU4.TADCR レジスタの UT4AE, UT4BE ビットで許可した期間内に MTU4.TCNT カウンタと MTU4.TADCORA, MTU4.TADCORB レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR レジスタの UT4AE, UT4BE ビットを“1”にすると、MTU4.TCNT カウンタのアップカウント期間 ( $0 \leq \text{MTU4.TCNT} \leq \text{TCDR} - 1$ ) に A/D 変換の開始要求を許可します。MTU4.TADCR レジスタの DT4AE, DT4BE ビットを“1”にすると、MTU4.TCNT カウンタのダウンカウント期間 ( $\text{TCDR} \geq \text{MTU4.TCNT} \geq 1$ ) に A/D 変換の開始要求を許可します (図 20.74)。

## (4) バッファ転送

タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) のデータ更新は、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへの転送タイミングは、MTU4.TADCR.BF[1:0] ビットを設定することにより選択することができます。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「20.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR レジスタの BF[1] ビットを“0”にしてください。

## (5) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を行うことが可能です。MTU4.TCNT カウンタのアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 20.75 に示します。

また、MTU4.TCNT カウンタのアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 20.76 に示します。

相補 PWM モード以外では、割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCR レジスタの ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”にしてください。

注. 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、または TITCR.T3ACOR[2:0], T4VCOR[2:0] ビットを“000b”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

A/D コンバータへの変換要求信号は、TRG4ABN (TRG4AN または TRG4BN) になりますので注意してください。また、本機能使用時、MTU4.TADCORA, MTU4.TADCORB レジスタには“0002h”～“TCDR-2”を設定してください。

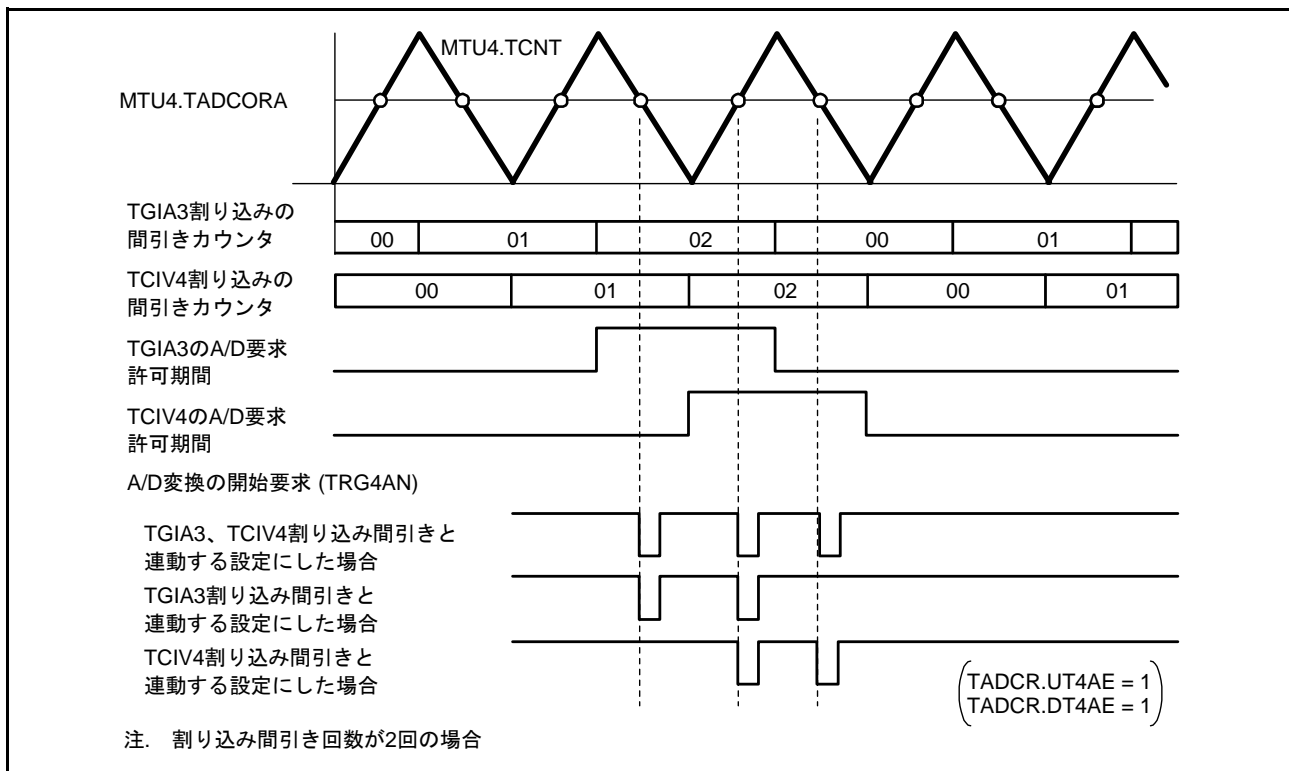


図 20.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時およびダウンカウント時に TRG4AN 出力を許可したとき)

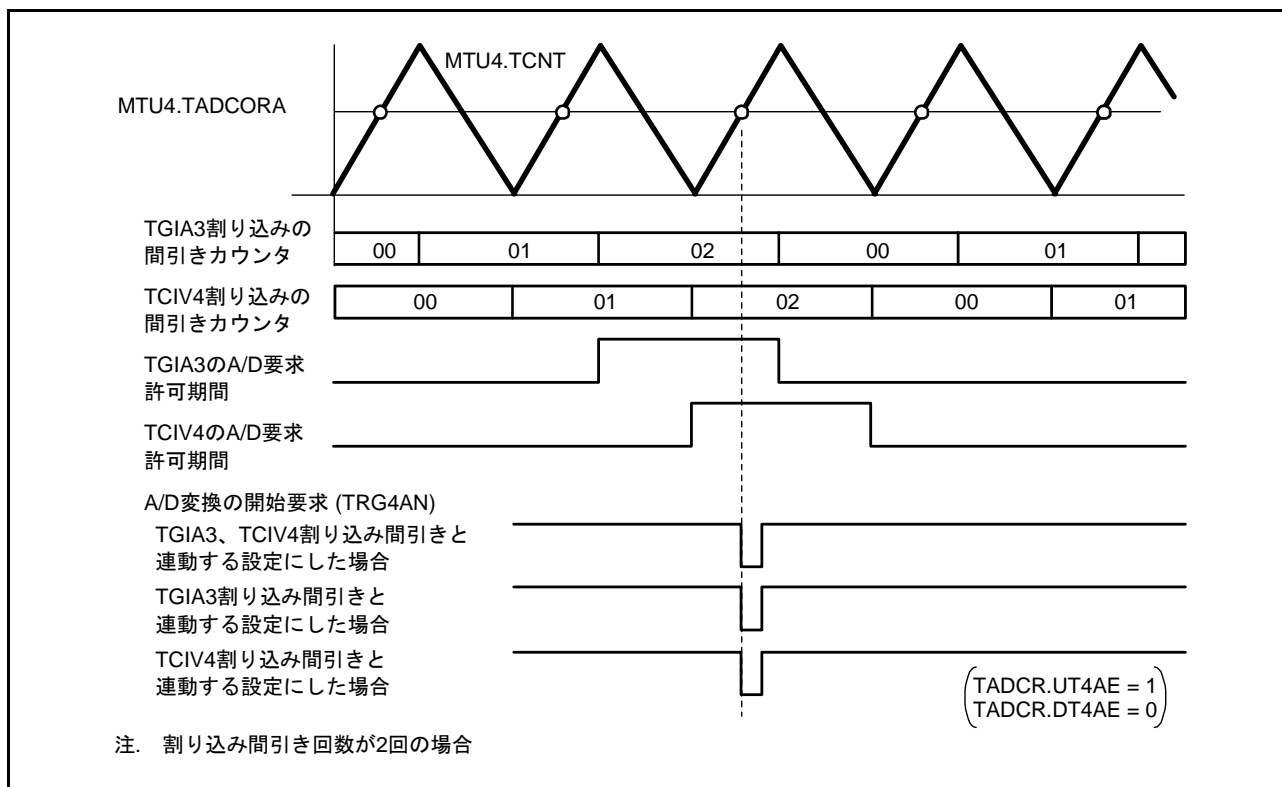


図 20.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時に TRG4AN 出力を許可したとき)

### 20.3.10 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU, TIORV, TIORW レジスタの IOC[4:0] ビットにパルス幅測定を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU, TCNTV, TCNTW カウンタはカウントアップします。

外部パルス幅測定の設定例を図 20.77、動作例を図 20.78 に示します。

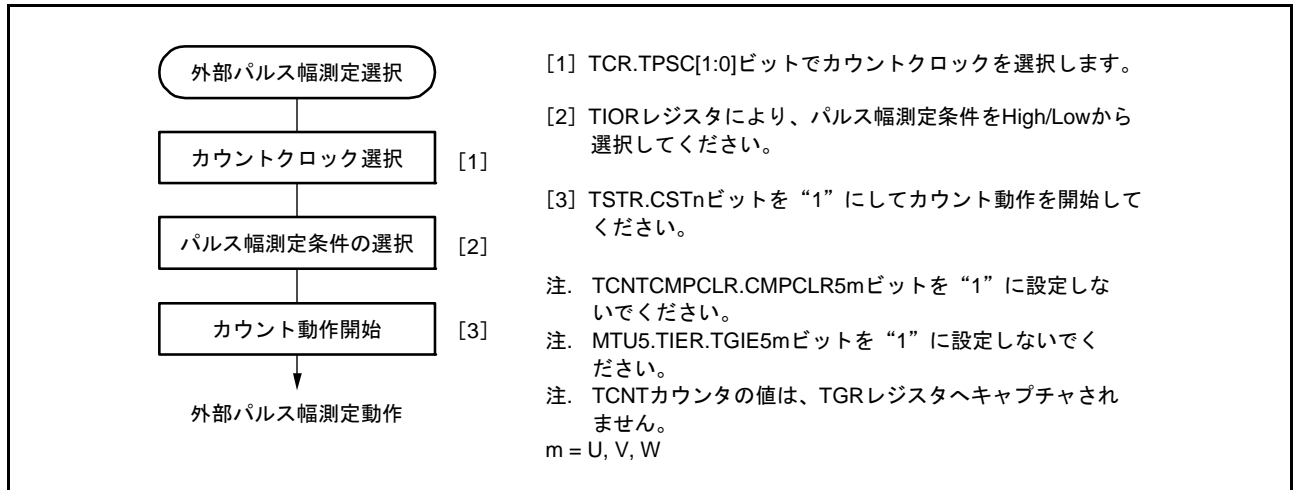


図 20.77 外部パルス幅測定の設定手順例

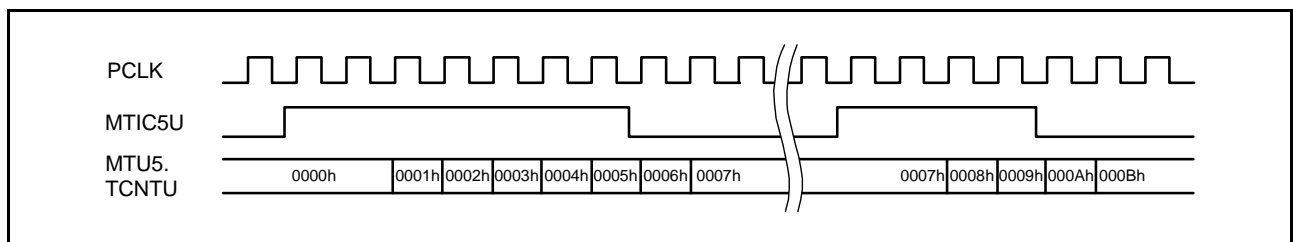


図 20.78 外部パルス幅測定動作例 (High 幅測定)



### 20.3.11 デッドタイム補償機能

MTU3 ~ MTU5 を組み合わせて、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を補償することができます。

図 20.79 に MTU3 ~ MTU5 を組み合わせてデッドタイム遅れを補償するモータ制御回路の例を示します。

MTU5 の外部パルス測定機能でデッドタイム遅れを測定して、PWM 出力のコンペアレジスタに設定するデューティを補正することで、MTU3、MTU4 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 20.80）。MTU3 ~ MTU5 を使用したデッドタイム補償の設定手順を図 20.81 に示します。このときの MTU5 の動作については、(2) 相補 PWM の山と谷での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作を参照してください。

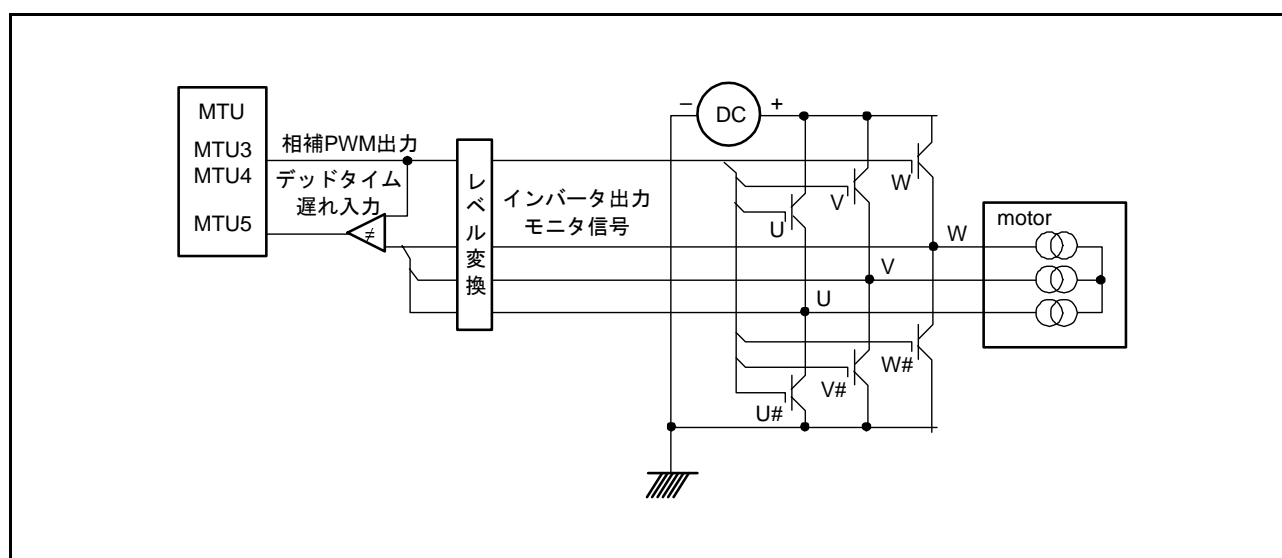


図 20.79 モータ制御回路構成例

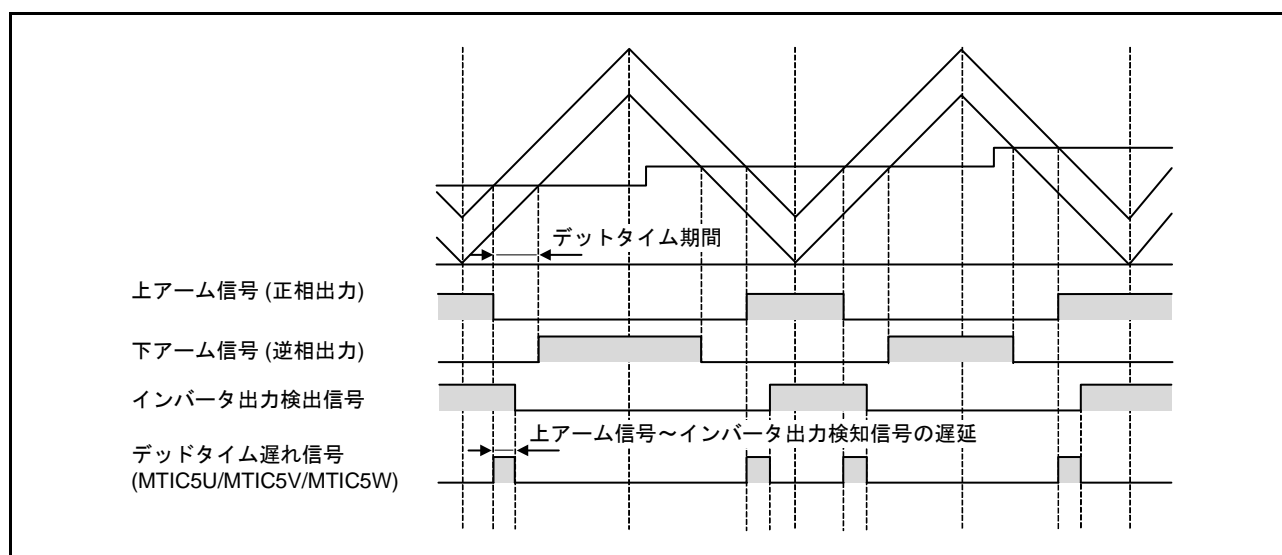


図 20.80 相補 PWM モード動作時のデッドタイム遅れ

## (1) デッドタイム補償機能の設定手順例

MTU5 の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図 20.81 に示します。

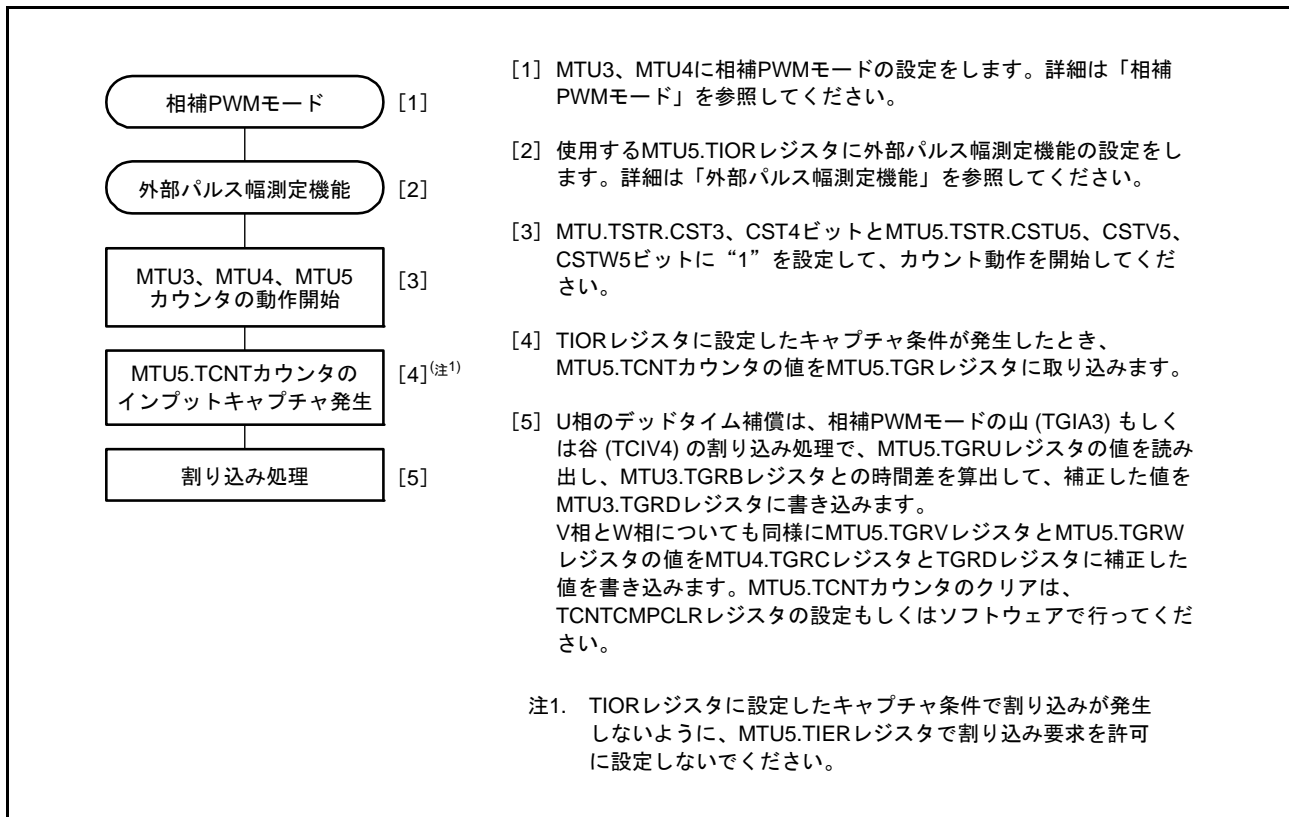


図 20.81 デッドタイム補償機能の設定手順例

(2) 相補 PWM の山と谷での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU3、MTU4 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU、TCNTV、TCNTW カウンタの値を TGRU、TGRV、TGRW レジスタに転送する機能です。転送タイミングは TIORU、TIORV、TIORW レジスタに設定します。また TCNTCMPCLR.CMPCLR5U、CMPCLR5V、CMPCLR5W ビットを“1”にすると TGRU、TGRV、TGRW レジスタへの転送タイミングで TCNTU、TCNTV、TCNTW カウンタが“0000h”になります。

図 20.82 は TCNTU カウンタをフリーランでクリアせずに使用し、相補 PWM の山と谷で TGRU レジスタにキャプチャを行った動作例です。

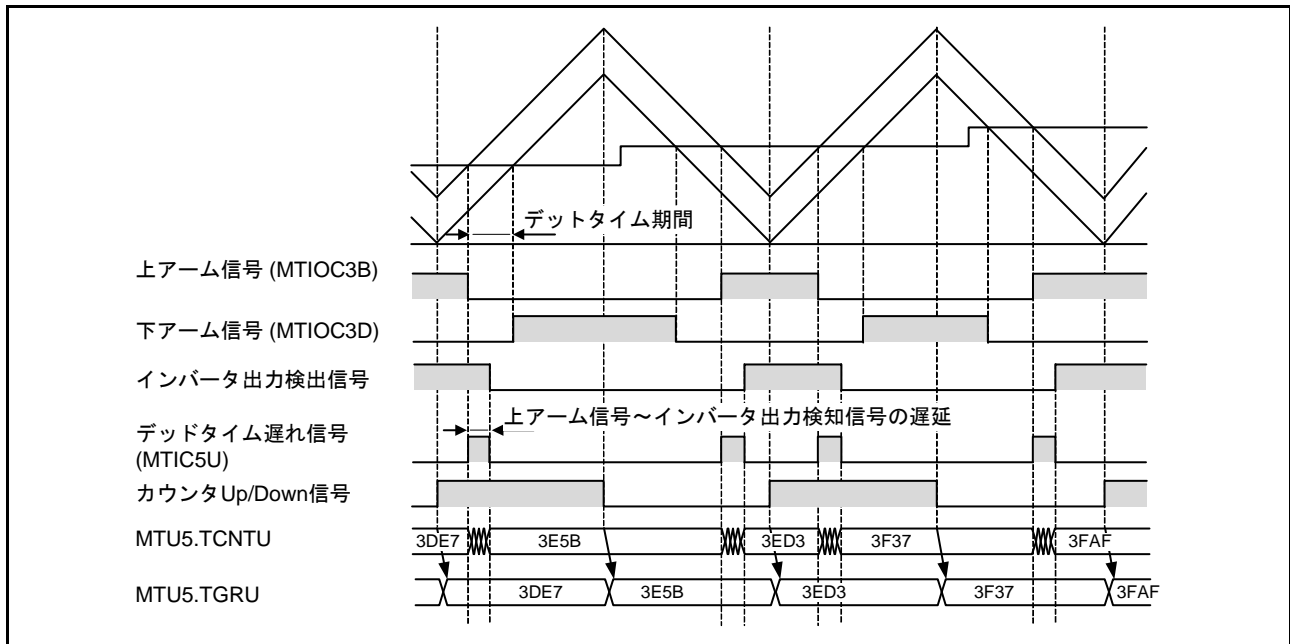


図 20.82 相補 PWM モード時の山と谷での MTU5.TCNTU カウンタキャプチャ動作

20.3.12 ノイズフィルタ機能

MTU の入力キャプチャ入力端子または外部パルス入力端子には、ノイズフィルタ機能を持っています。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は端子ごとにノイズフィルタ機能の許可/停止が設定でき、サンプリングクロックは、チャンネルごとに設定が可能です。図 20.83 にノイズフィルタのタイミングを示します。

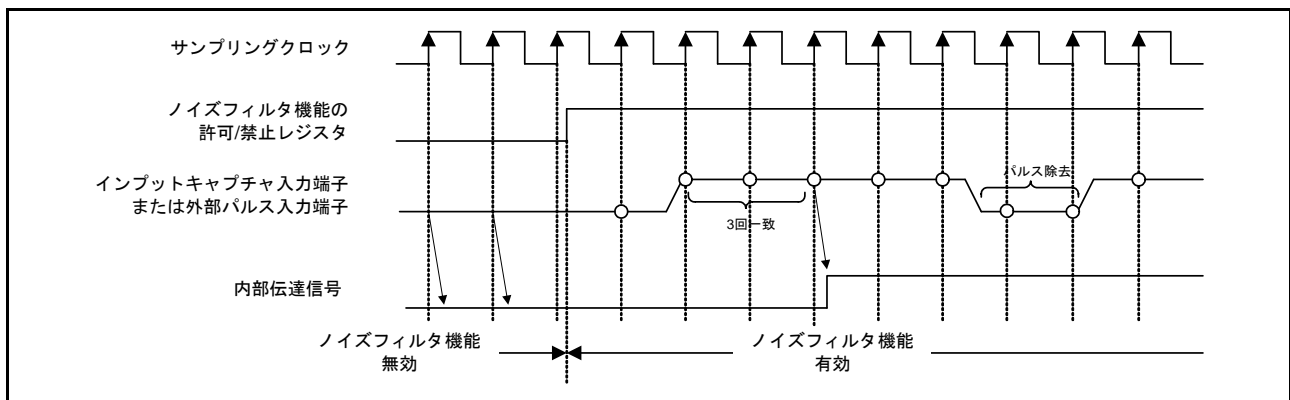


図 20.83 ノイズフィルタのタイミング

## 20.4 割り込み要因

### 20.4.1 割り込み要因と優先順位

割り込み要因には、TGR レジスタのインプットキャプチャ/コンペアマッチ、TCNT カウンタのオーバーフロー、アンダフローの3種類があります。各割り込み要因は、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可/禁止ビットが“1”であれば、割り込みを要求します。チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 20.57 に MTU の割り込み要因の一覧を示します。

表 20.57 MTU 割り込み要因 (1)

チャンネル	名称	割り込み要因	DTCの起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	高 ↑ 低
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV0	MTU0.TCNTのオーバーフロー	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV1	MTU1.TCNTのオーバーフロー	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV2	MTU2.TCNTのオーバーフロー	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV3	MTU3.TCNTのオーバーフロー	不可能	
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV4	MTU4.TCNTのオーバーフロー/アンダフロー	可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能	
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能	

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

**(1) インพุットキャプチャ/コンペアマッチ割り込み**

TIER.TGIE ビットが“1”のとき、各チャネルの TGR レジスタのインพุットキャプチャ/コンペアマッチの発生により、割り込み要求を発生します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 21 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

**(2) オーバフロー割り込み**

TIER.TCIEV ビットが“1”のとき、各チャネルの TCNT カウンタのオーバフローの発生により、割り込み要求を発生します。MTU には、各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

**(3) アンダフロー割り込み**

TIER.TCIEU ビットが“1”のとき、各チャネルの TCNT カウンタのアンダフローの発生により、割り込み要求を発生します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

### 20.4.2 DTC の起動

各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチ割り込み、MTU4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「16. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3 が各 4 本、MTU1、MTU2 が各 2 本、MTU4 が 5 本、MTU5 が 3 本、計 20 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

### 20.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動できます。

各割り込み要因と A/D 変換開始要求の対応を、表 20.58 に示します。

#### (1) TGRA レジスタのインプットキャプチャ/コンペアマッチと、相補 PWM モード時の MTU4.TCNT カウンタの谷での A/D コンバータの起動

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。また、MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせた場合は MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になったときも A/D コンバータを起動できます。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGE2 ビットが“1”にされていた場合
- MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせ、MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

#### (2) MTU0.TCNT カウンタと MTU0.TGRE レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチの発生により、A/D 変換開始要求 TRGOEN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRGOEN が選択されていれば、A/D 変換が開始されます。

#### (3) MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによって、A/D コンバータを起動できません。

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチの発生により、A/D 変換開始要求 TRG0FN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0FN が選択されていれば、A/D 変換が開始されます。

#### (4) MTU0.TGRA レジスタと MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRA、MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRA、MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチの

発生により、A/D 変換開始要求 TRG0AN, TRG0BN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0AN, TRG0BN が選択されていれば、A/D 変換が開始されます。

#### (5) A/D 変換開始要求ディレイド機能による A/D コンバータの起動

TADCR.UT4AE, DT4AE, UT4BE, DT4BE ビットを“1”にした場合、TADCORA, TADCORB レジスタと MTU4.TCNT カウンタの一致によって、TRG4AN, TRG4BN を発生し、A/D コンバータを起動できます。詳細は「20.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN または TRG4BN が発生したとき、TRG4ABN が発生します。A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されていれば、A/D 変換が開始されます。

表 20.58 各割り込み要因と A/D 変換開始要求の対応

対象	A/D コンバータ起動要因	A/D 変換開始要求
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGAN
MTU1.TGRA と MTU1.TCNT		
MTU2.TGRA と MTU2.TCNT		
MTU3.TGRA と MTU3.TCNT		
MTU4.TGRA と MTU4.TCNT		
MTU4.TCNT	相補 PWM モード時の MTU4.TCNT の谷	
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRG0AN
MTU0.TGRB と MTU0.TCNT		TRG0BN
MTU0.TGRE と MTU0.TCNT	コンペアマッチ	TRG0EN
MTU0.TGRF と MTU0.TCNT		TRG0FN
TADCORA と MTU4.TCNT		TRG4AN
TADCORB と MTU4.TCNT		TRG4BN
TADCORA と MTU4.TCNT または TADCORB と MTU4.TCNT		TRG4ABN

## 20.5 動作タイミング

### 20.5.1 入出力タイミング

#### (1) TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TGI 割り込みのカウンタタイミングを図 20.84、図 20.85 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT カウンタのカウンタタイミングを図 20.86 に、外部クロック動作（位相計数モード）の場合の TCNT カウンタのカウンタタイミングを図 20.87 に示します。

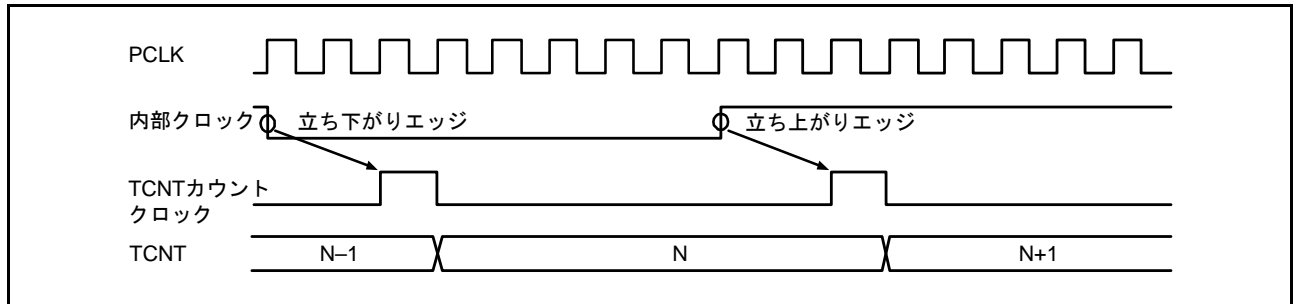


図 20.84 内部クロック動作時のカウンタタイミング (MTU0 ~ MTU4)

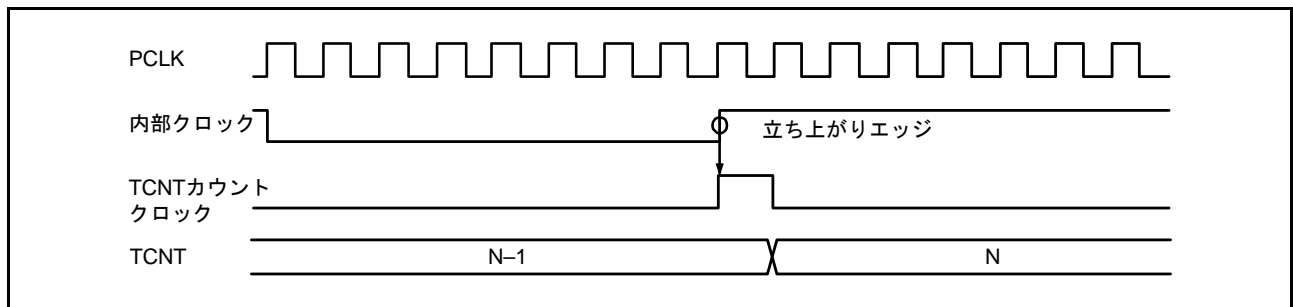


図 20.85 内部クロック動作時のカウンタタイミング (MTU5)

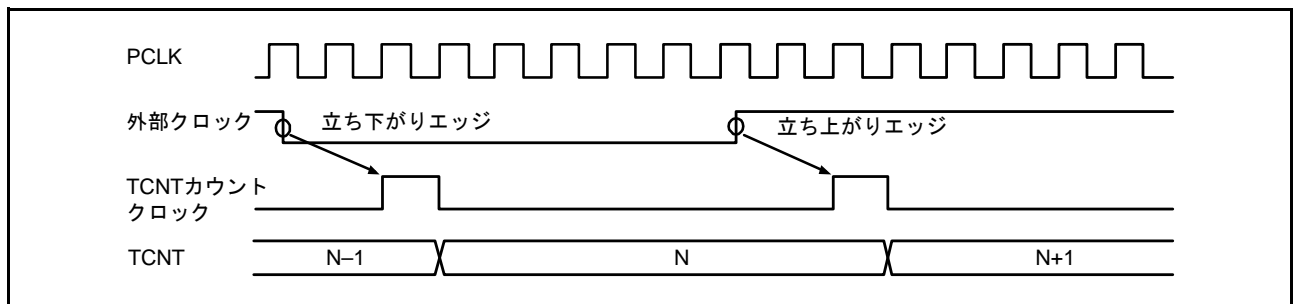


図 20.86 外部クロック動作時のカウンタタイミング (MTU0 ~ MTU4)

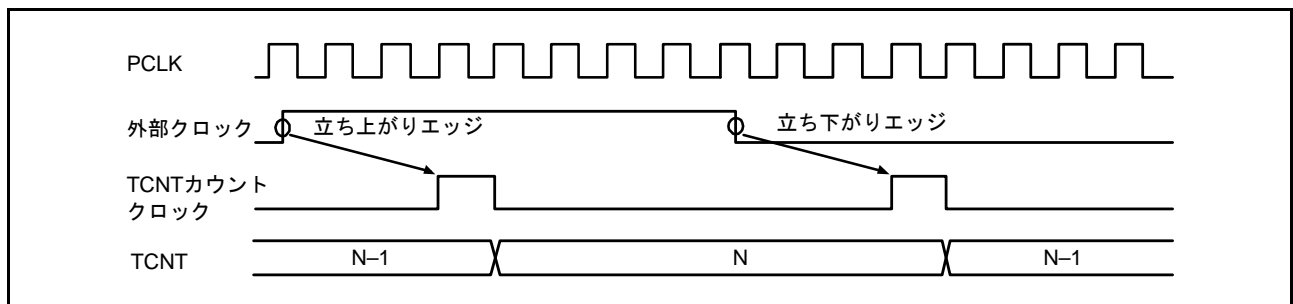


図 20.87 外部クロック動作時のカウンタタイミング (位相計数モード)



## (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT カウンタと TGR レジスタが一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT カウンタと TGR レジスタが一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 20.88 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 20.89 に示します。

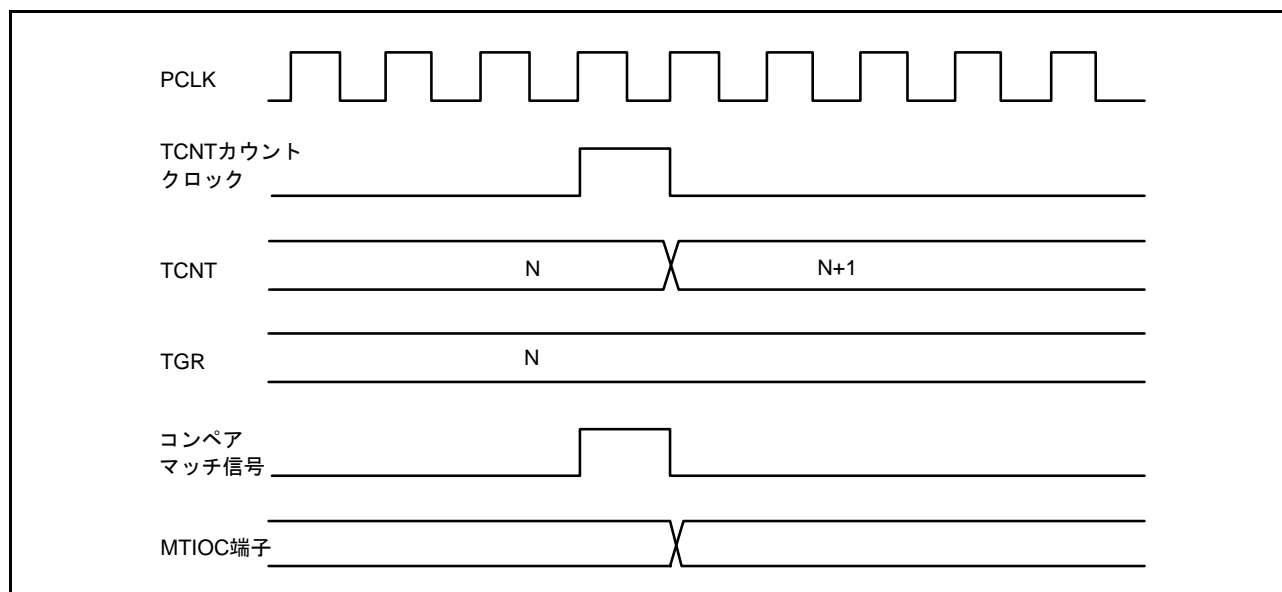


図 20.88 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

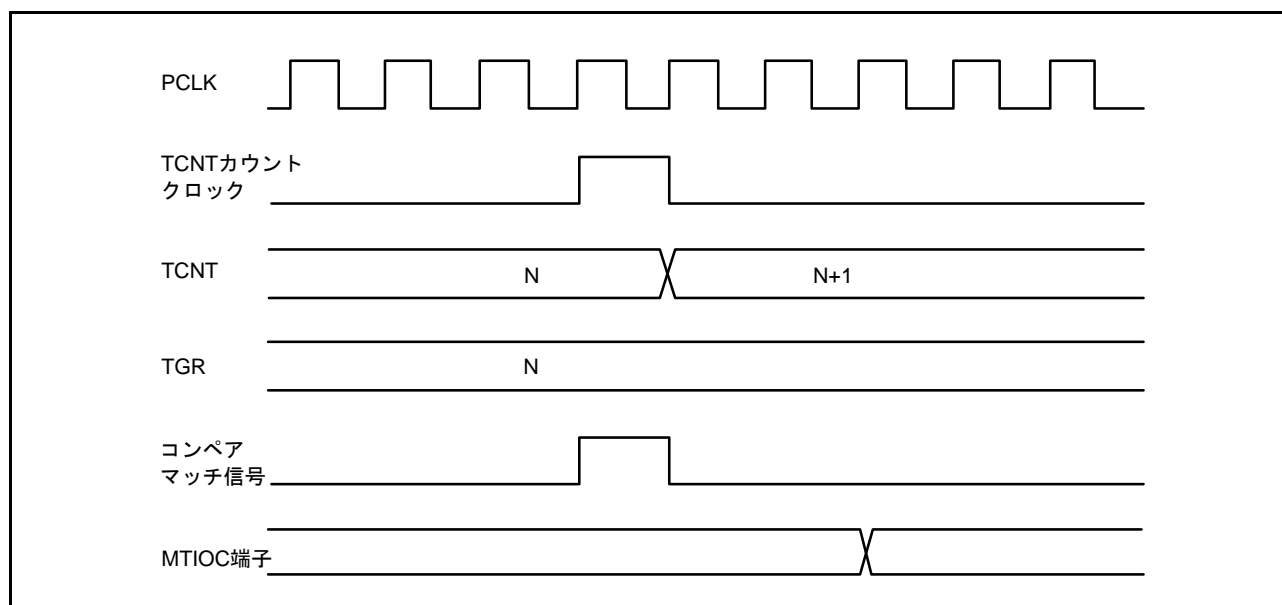


図 20.89 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

### (3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 20.90 に示します。

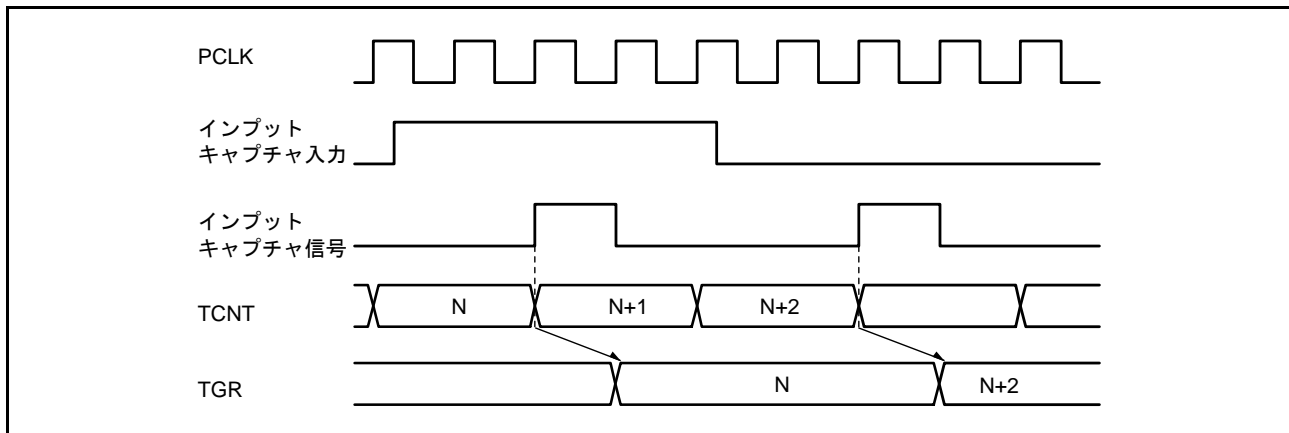


図 20.90 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 20.91、図 20.92 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 20.93 に示します。

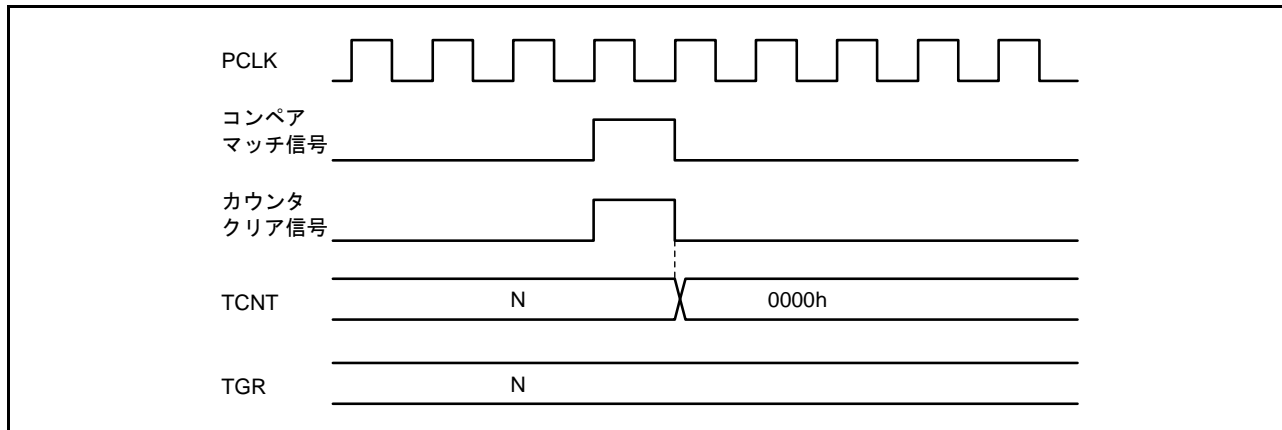


図 20.91 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4)

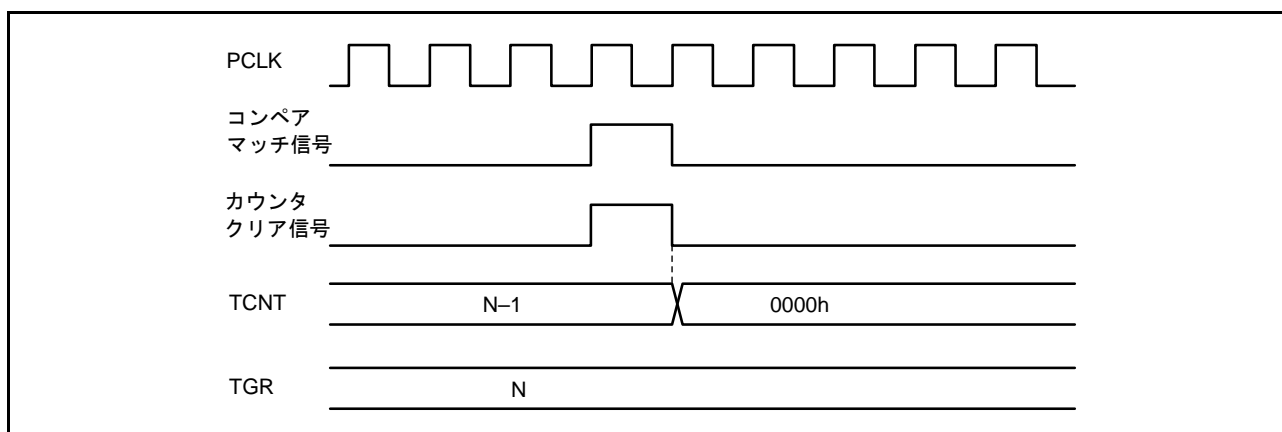


図 20.92 カウンタクリアタイミング (コンペアマッチ) (MTU5)

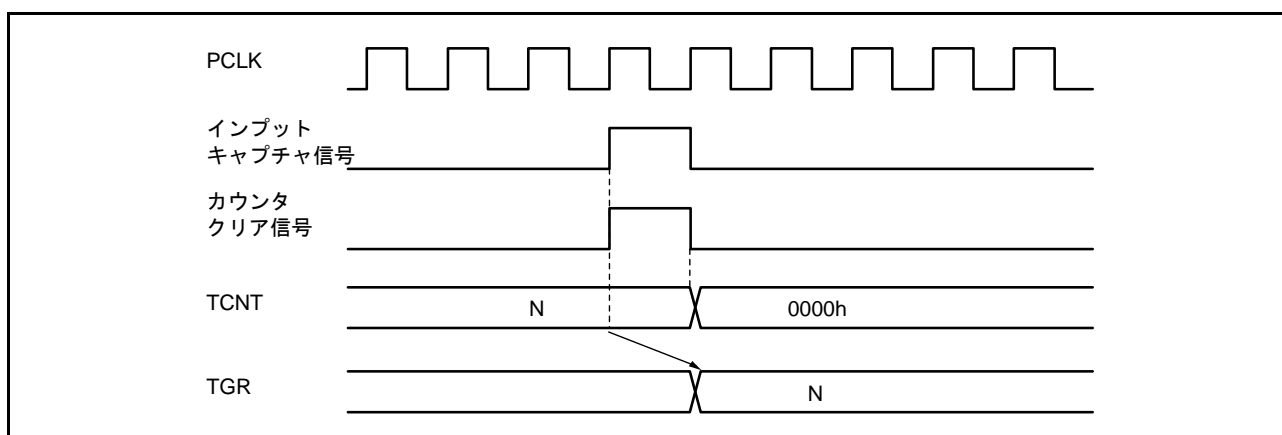


図 20.93 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 20.94 ~ 図 20.96 に示します。

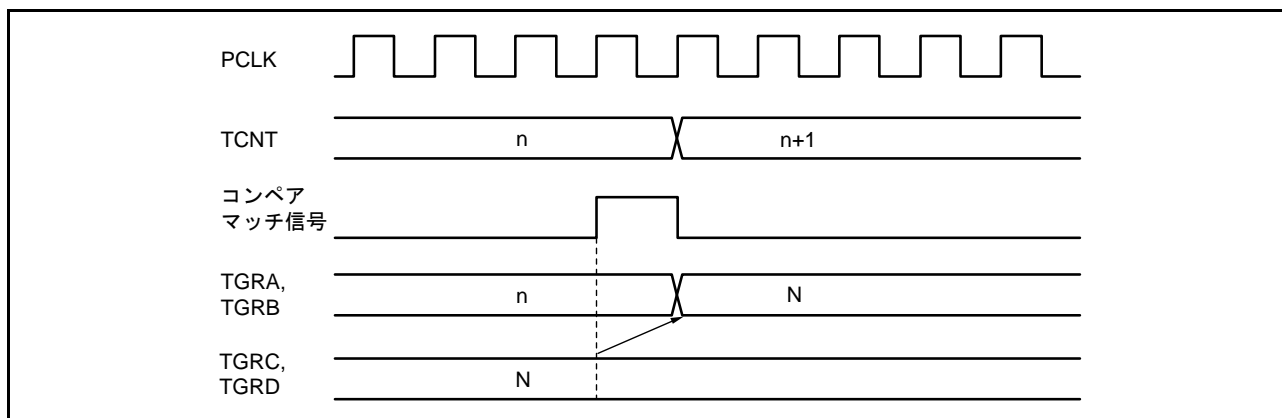


図 20.94 バッファ動作タイミング (コンペアマッチ)

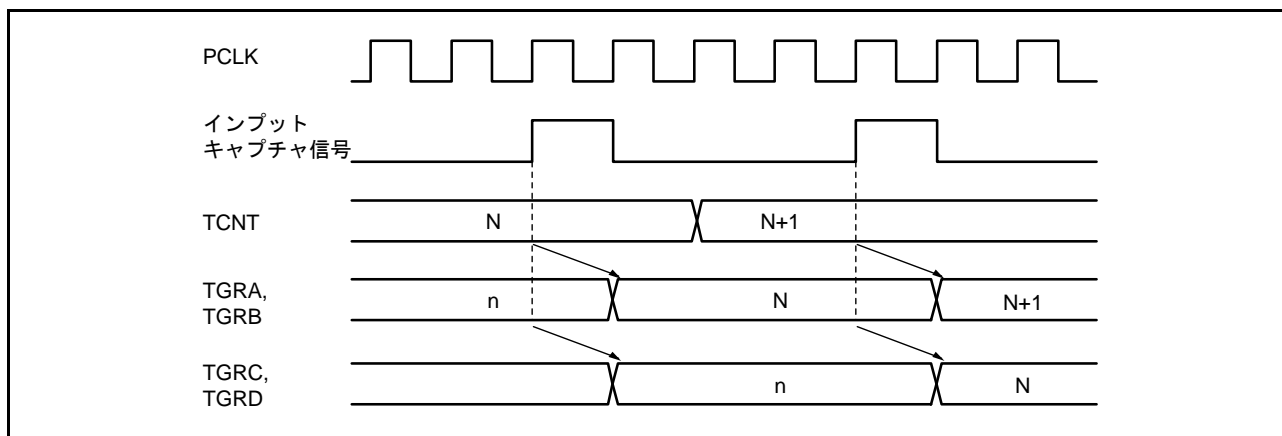


図 20.95 バッファ動作タイミング (インプットキャプチャ)

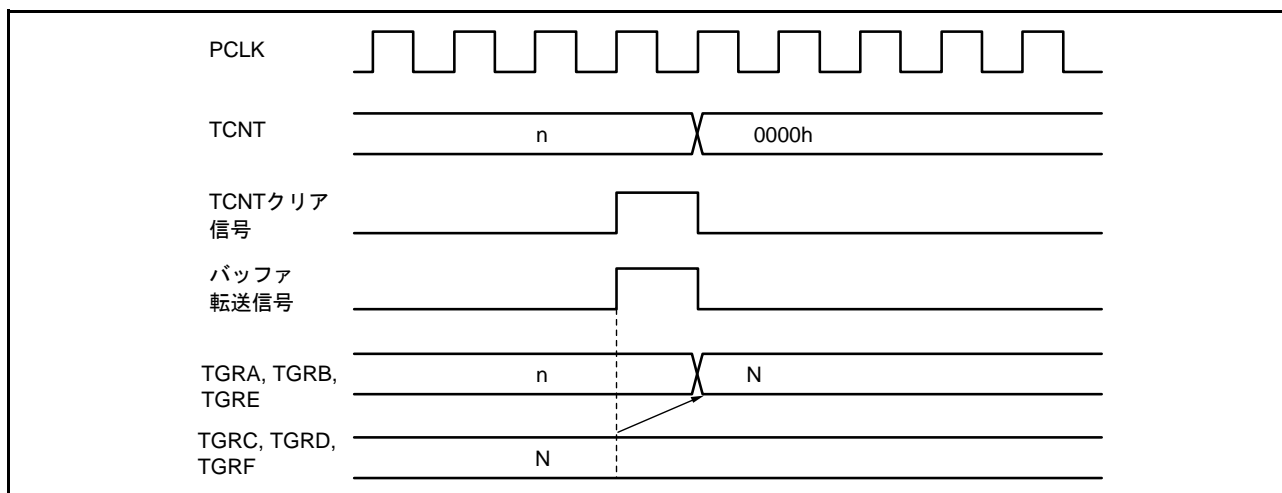


図 20.96 バッファ動作タイミング (TCNT カウンタクリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 20.97 ~ 図 20.99 に示します。

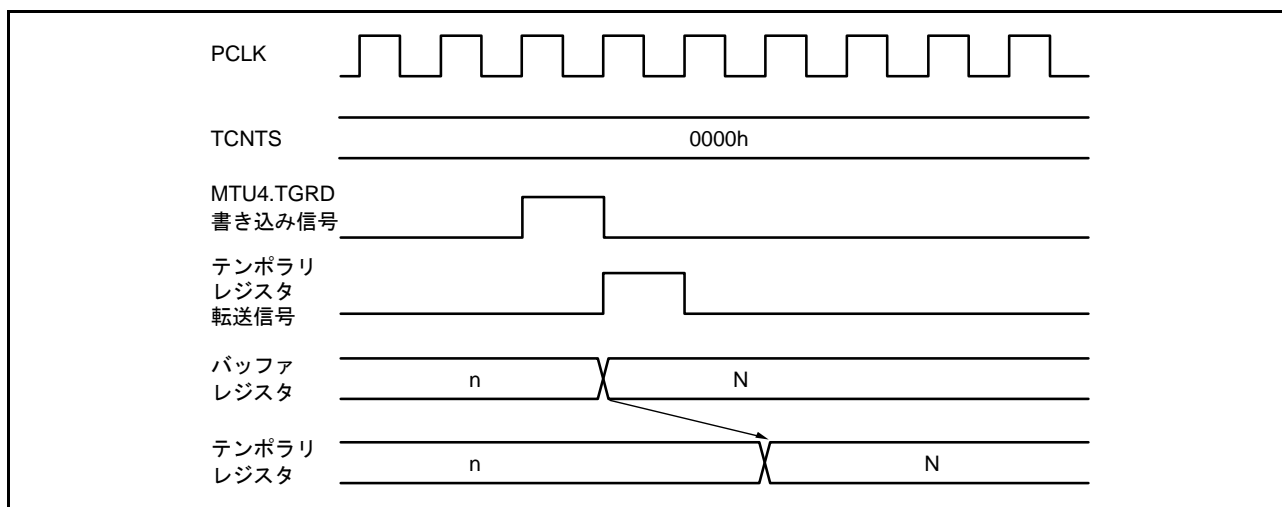


図 20.97 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ停止中)

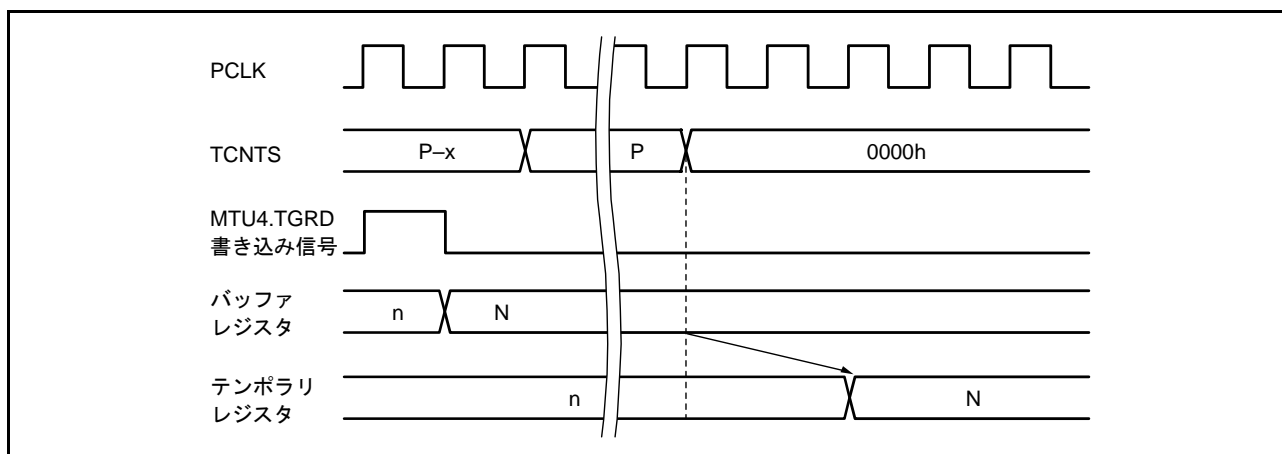


図 20.98 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ動作中)

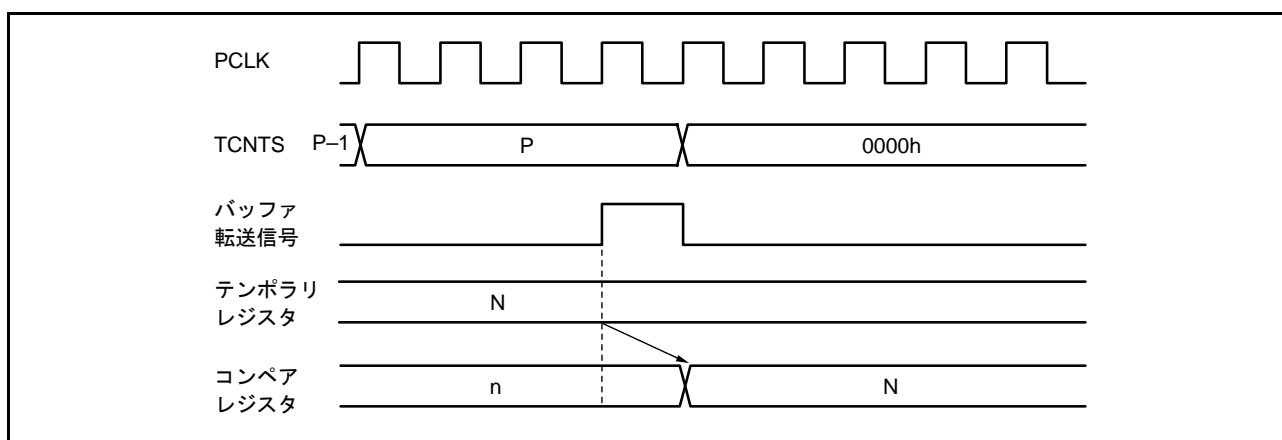


図 20.99 テンポラリレジスタからコンペアレジスタへの転送タイミング

## 20.5.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 20.100、図 20.101 に示します。

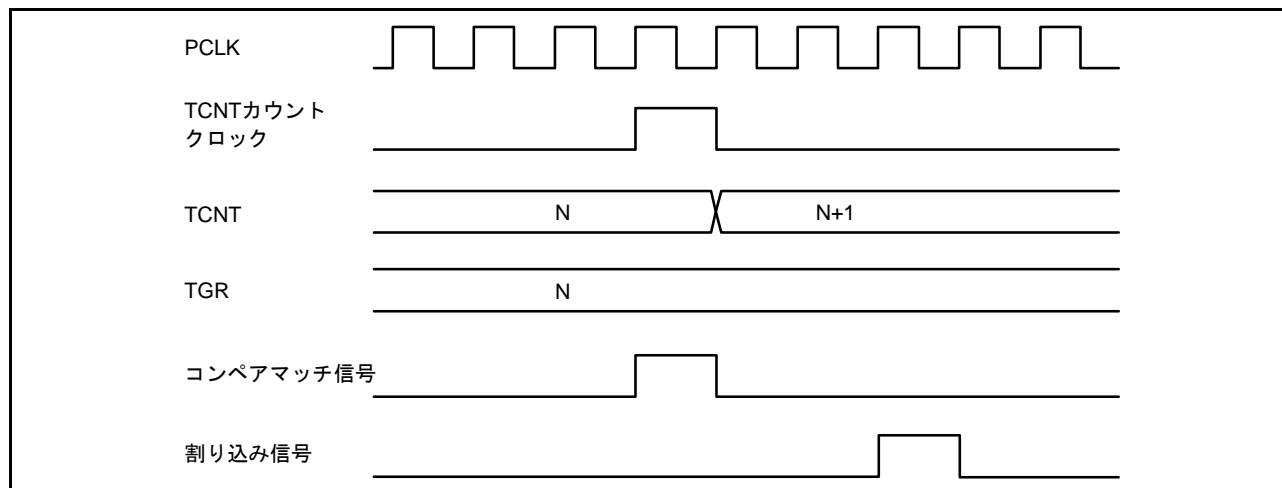


図 20.100 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4)

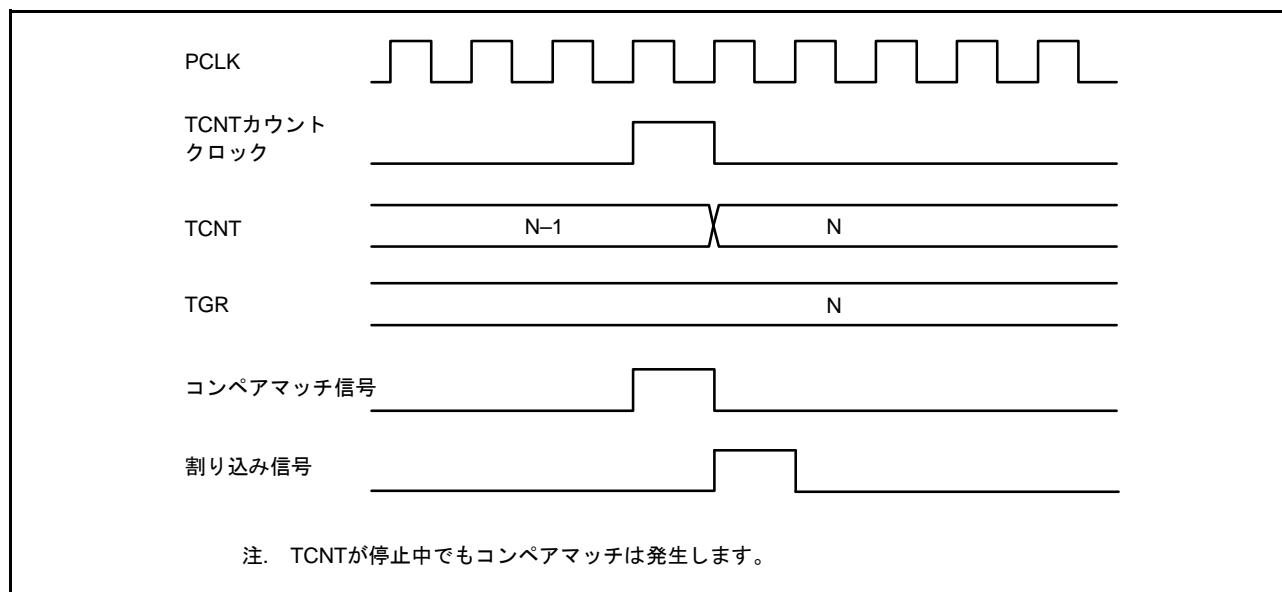


図 20.101 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャの発生による TGI 割り込み要求信号のタイミングを図 20.102、図 20.103 に示します。

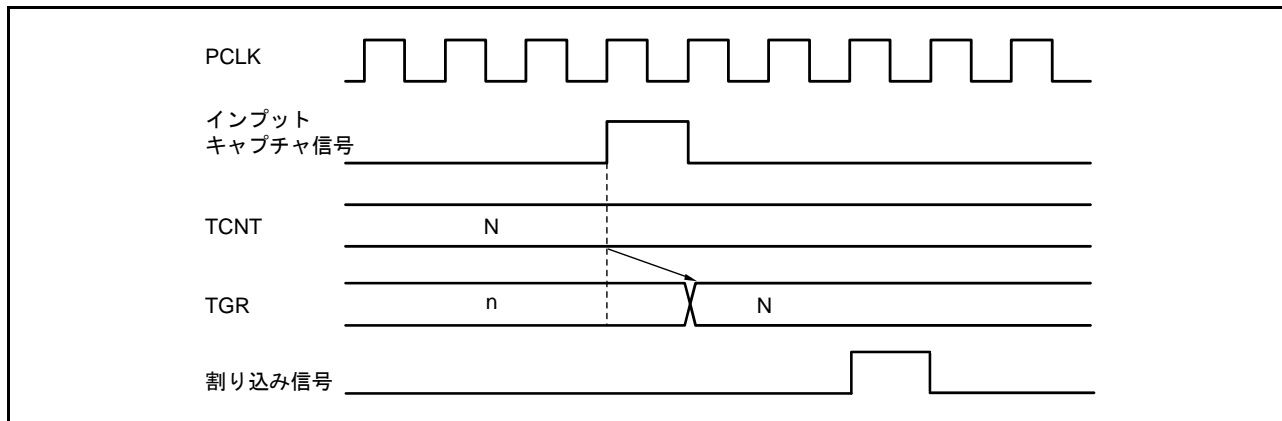


図 20.102 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4)

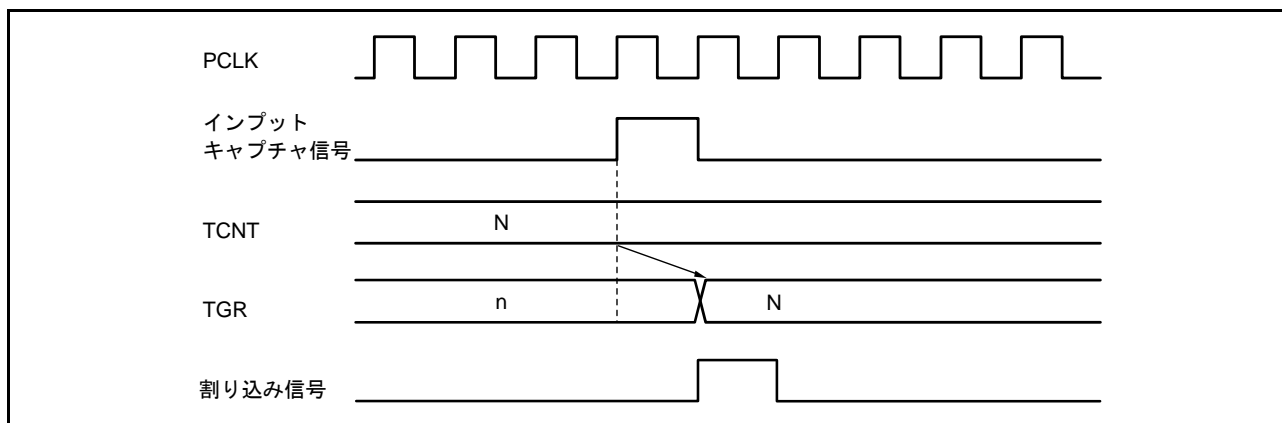


図 20.103 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

## (3) TCIV/TCIU 割り込みタイミング

オーバーフローの発生による TCIV 割り込み要求信号のタイミングを図 20.104 に示します。  
アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 20.105 に示します。

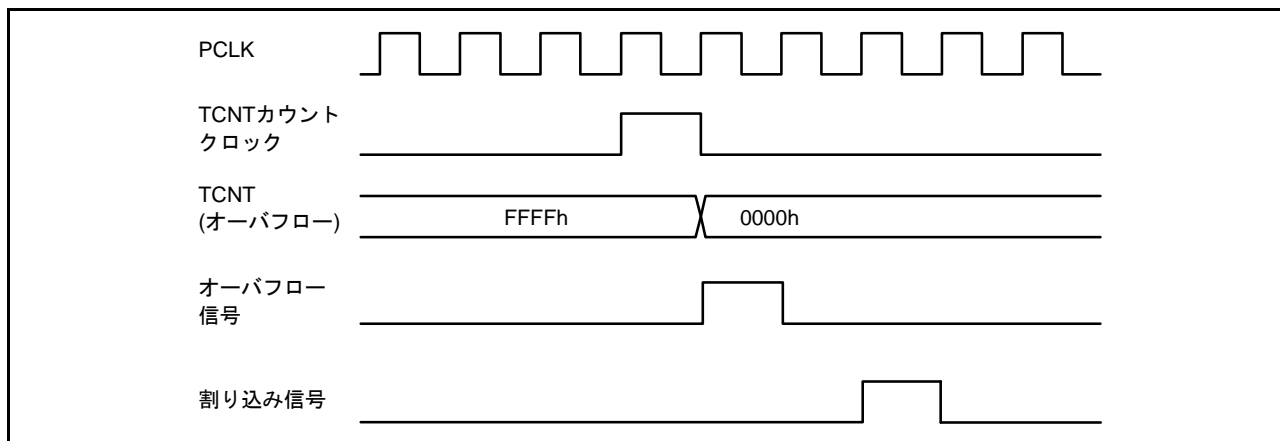


図 20.104 TCIV 割り込みタイミング

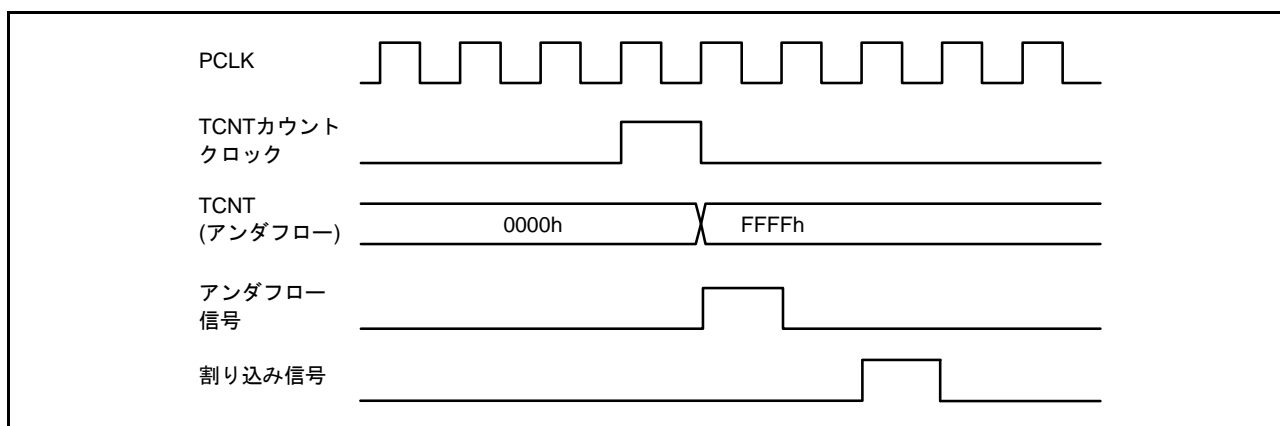


図 20.105 TCIU 割り込みタイミング



## 20.6 使用上の注意事項

### 20.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、MTU の動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

### 20.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入カクロックの位相差およびオーバーラップはそれぞれ 1.5 PCLK 以上、パルス幅は 2.5 PCLK 以上必要です。位相計数モードの入カクロックの条件を図 20.106 に示します。

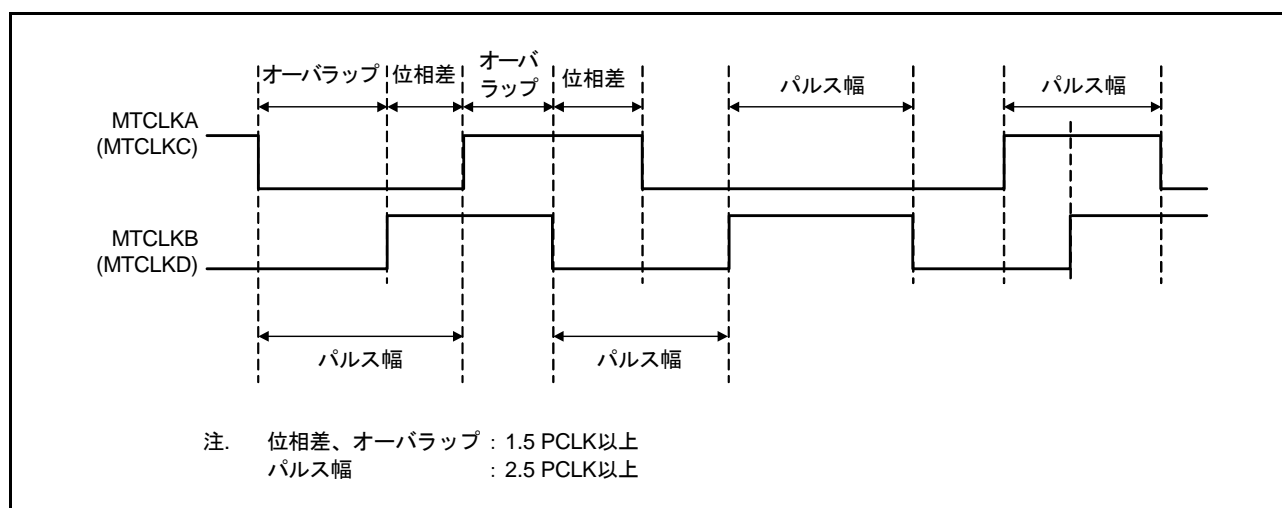


図 20.106 位相計数モード時の位相差、オーバーラップ、およびパルス幅

### 20.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TGR レジスタの値と一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

- MTU0 ～ MTU4 の場合

$$f = \frac{\text{CNTCLK}}{N+1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR.TPSC[2:0] ビットで設定したカウントクロックの周波数

N : TGR レジスタの設定値

### 20.6.4 TCNT カウンタの書き込みとクリアの競合

TCNT カウンタの書き込みサイクル中で、カウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われず、TCNT カウンタのクリアが優先されます。

このタイミングを図 20.107 に示します。

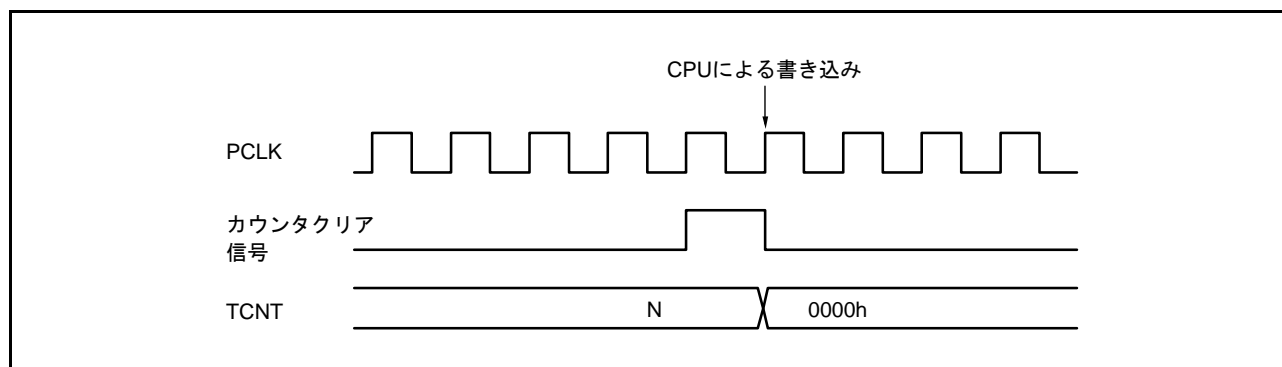


図 20.107 TCNT カウンタの書き込みとカウンタクリアの競合

### 20.6.5 TCNT カウンタの書き込みとカウントアップの競合

TCNT カウンタの書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT カウンタへの書き込みが優先されます。

このタイミングを図 20.108 に示します。

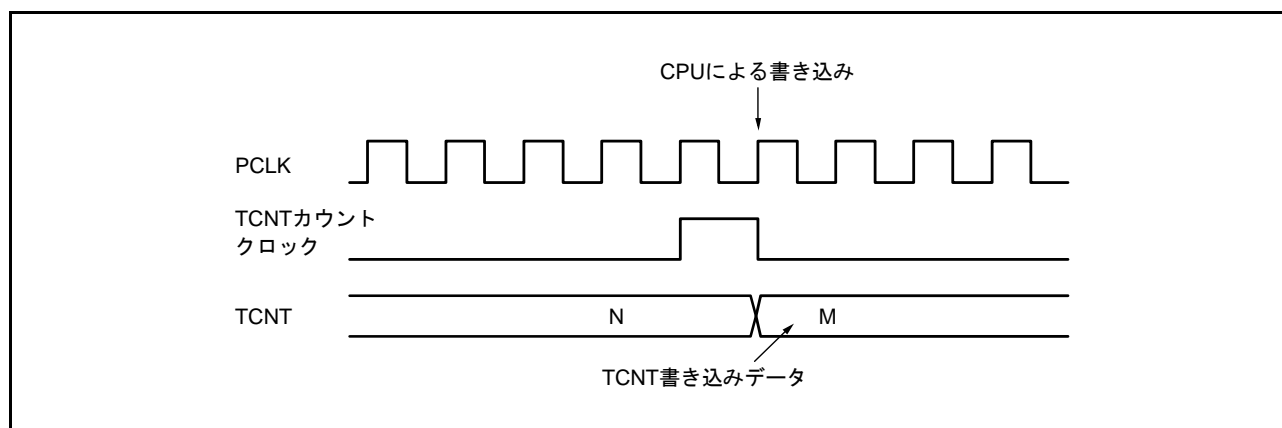


図 20.108 TCNT カウンタの書き込みとカウントアップの競合

### 20.6.6 TGR レジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 20.109 に示します。

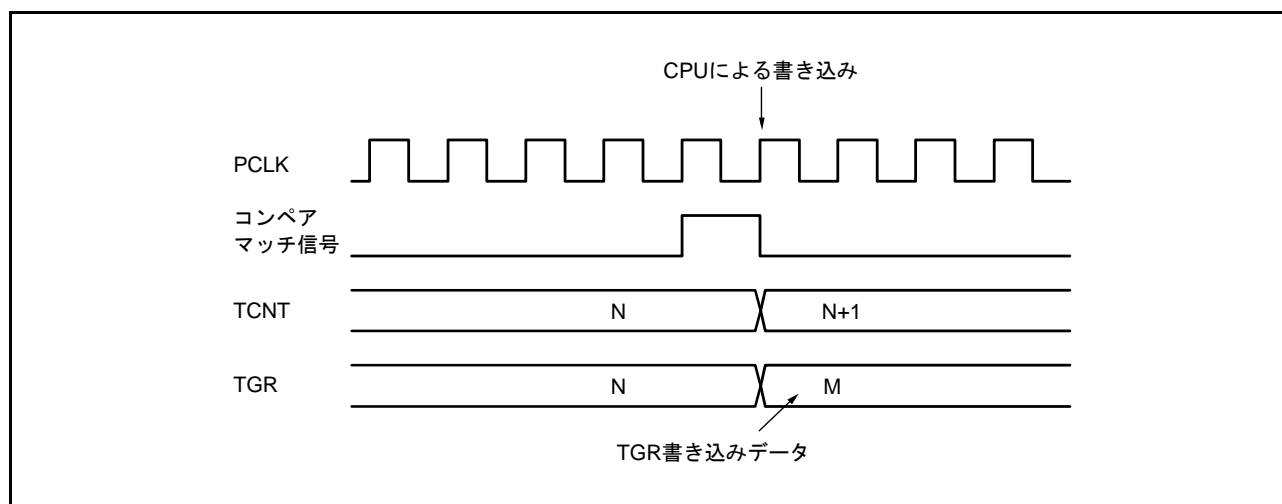


図 20.109 TGR レジスタの書き込みとコンペアマッチの競合

### 20.6.7 バッファレジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 20.110 に示します。

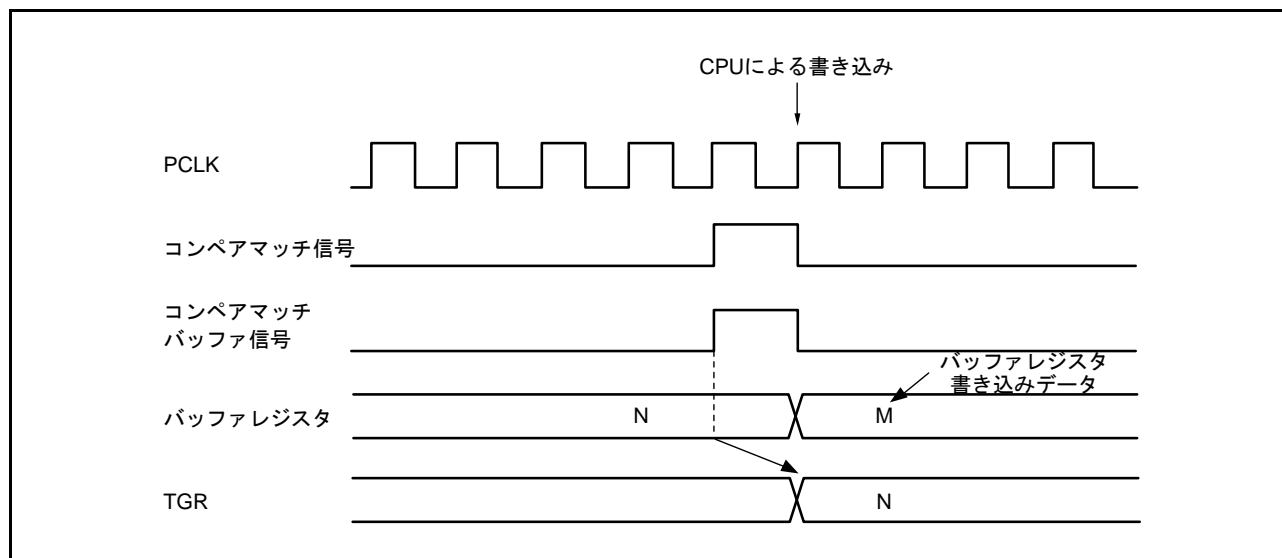


図 20.110 バッファレジスタの書き込みとコンペアマッチの競合

### 20.6.8 バッファレジスタの書き込みと TCNT カウンタクリアの競合

TBTM レジスタでバッファ転送タイミングを TCNT カウンタクリア時に設定した場合、TGR レジスタの書き込みサイクル中に TCNT カウンタクリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 20.111 に示します。

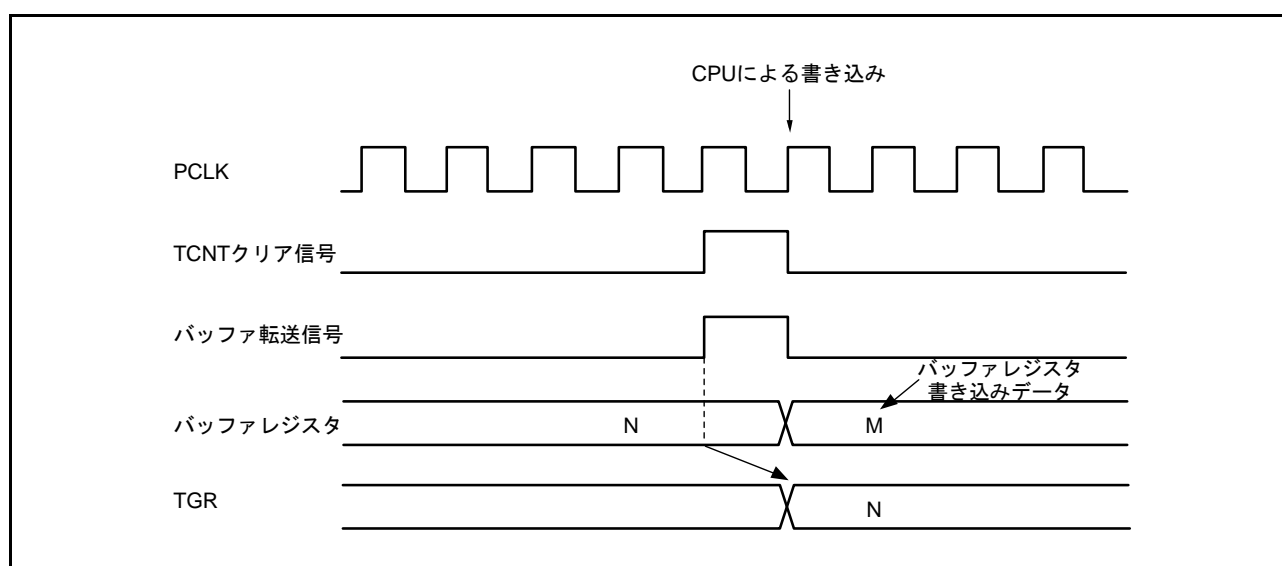


図 20.111 バッファレジスタの書き込みと TCNT カウンタクリアの競合

### 20.6.9 TGR レジスタの読み出しと入力キャプチャの競合

TGR レジスタの読み出しサイクル中に入力キャプチャ信号が発生すると、読み出しされるデータは、入力キャプチャ転送前のデータとなります。

このタイミングを図 20.112 に示します。

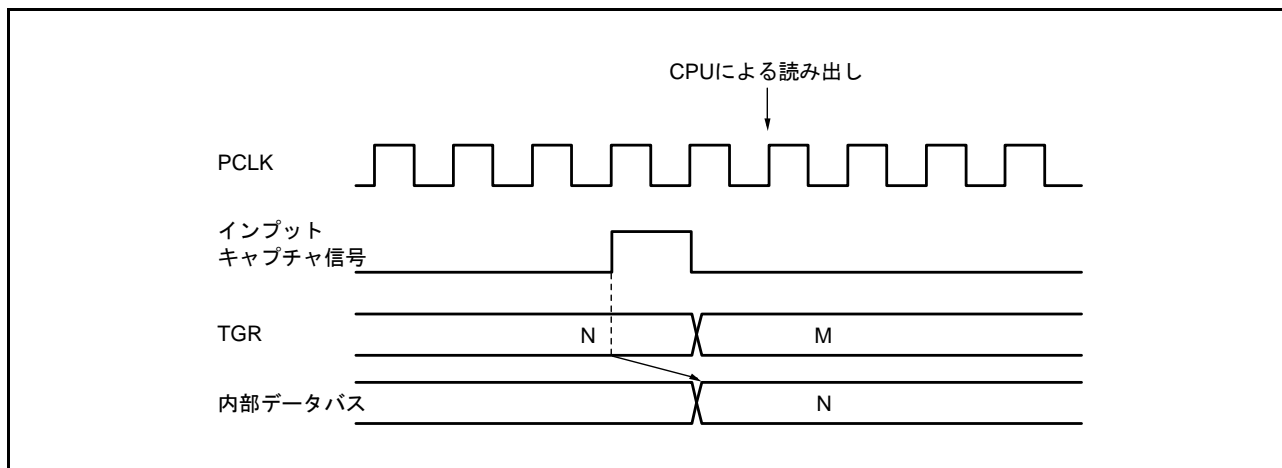


図 20.112 TGR レジスタの読み出しと入力キャプチャの競合 (MTU0 ~ MTU5)

### 20.6.10 TGR レジスタの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ~ MTU4 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 20.113、図 20.114 に示します。

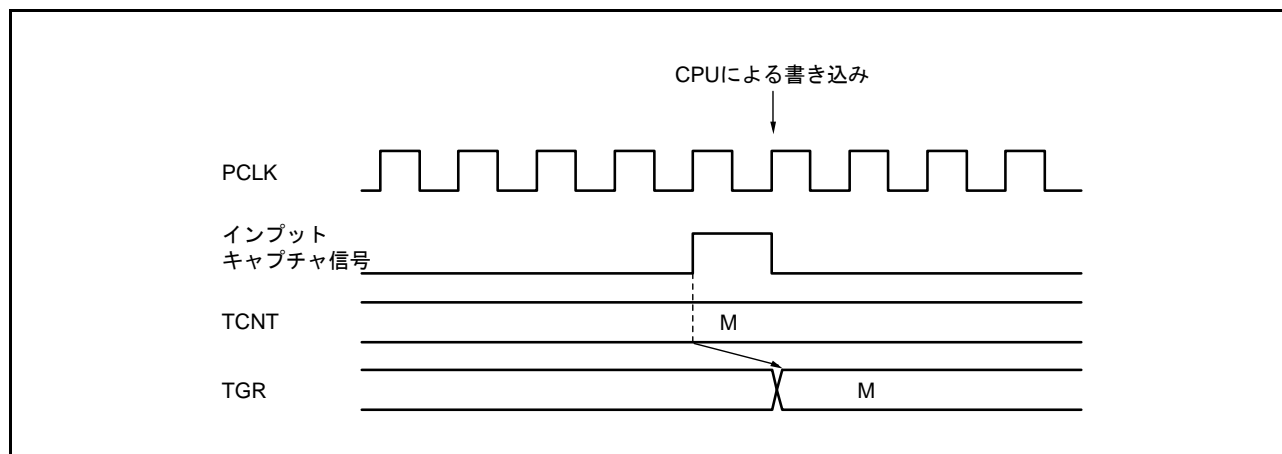


図 20.113 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU0 ~ MTU4)

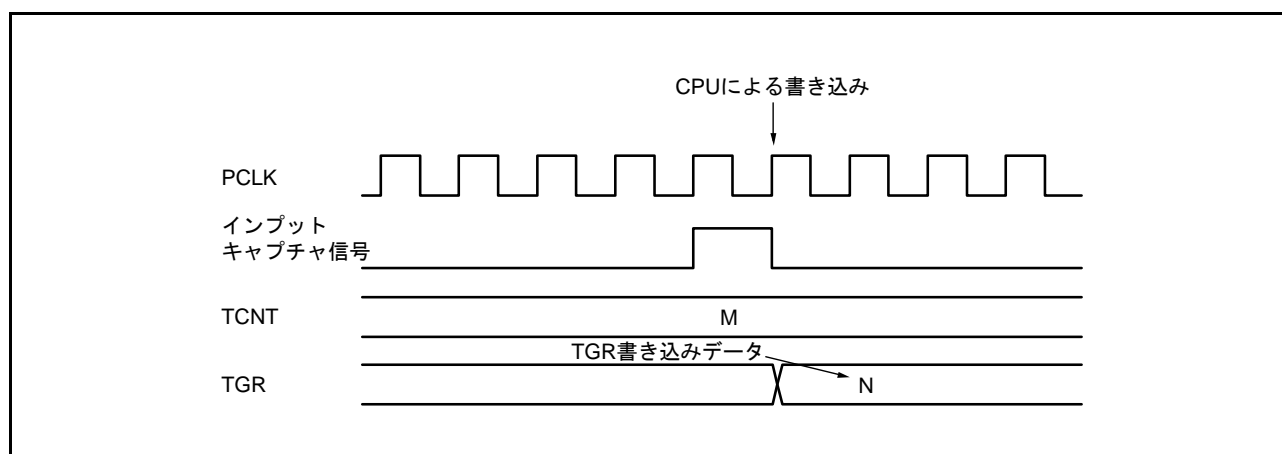


図 20.114 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU5)

### 20.6.11 バッファレジスタの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中に入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 20.115 に示します。

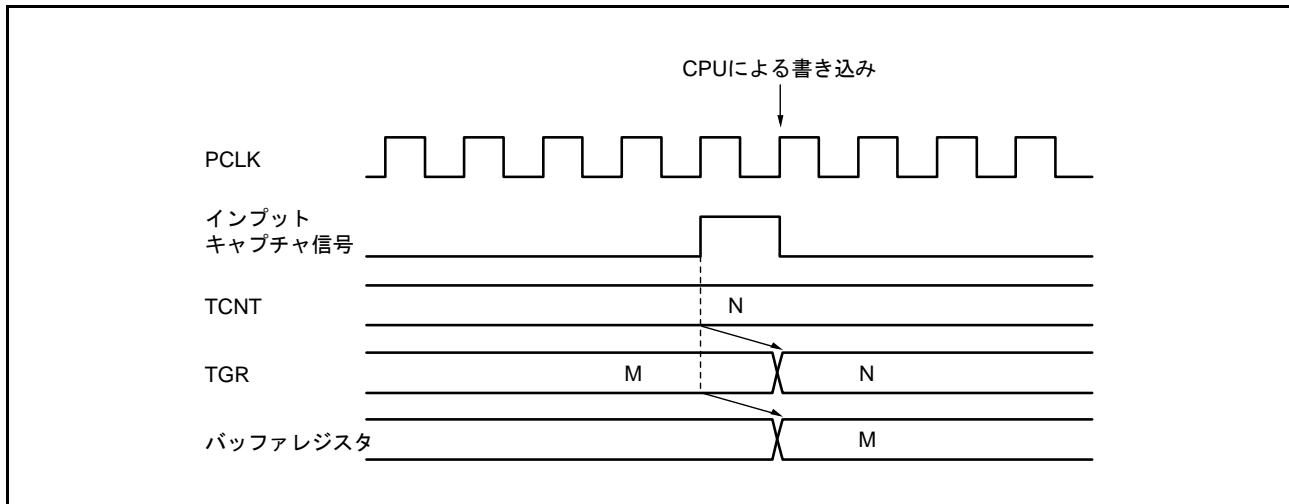


図 20.115 バッファレジスタの書き込みと入力キャプチャの競合

## 20.6.12 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタがカウントする瞬間 (MTU2.TCNT カウンタがオーバフロー/アンダフローする瞬間) と MTU2.TCNT カウンタの書き込みが競合すると、MTU2.TCNT カウンタへの書き込みが行われ、MTU1.TCNT カウンタのカウント信号が禁止されます。このとき、MTU1.TGRA レジスタがコンペアマッチレジスタとして動作し MTU1.TCNT カウンタの値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 の入力キャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD レジスタは入力キャプチャ動作します。さらに MTU1.TGRB レジスタの入力キャプチャ要因に MTU0.TGRC レジスタのコンペアマッチ/入力キャプチャを選択した場合には、MTU1.TGRB レジスタは入力キャプチャ動作します。

このタイミングを図 20.116 に示します。

また、カスケード接続動作で TCNT カウンタのクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

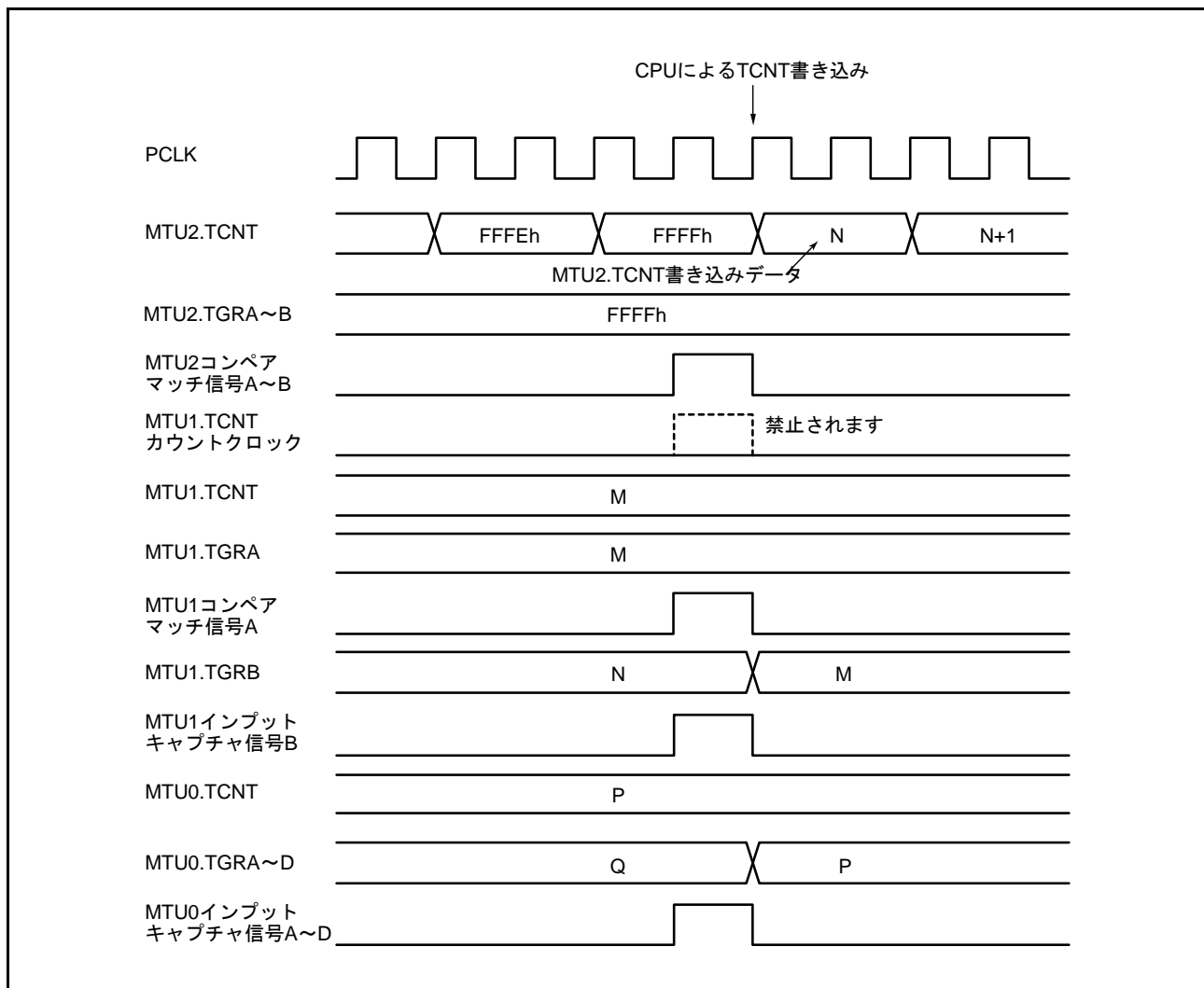


図 20.116 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合



### 20.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT, MTU4.TCNT カウンタが相補 PWM モードで動作している時にカウント動作を停止すると、MTU3.TCNT カウンタは TDDR レジスタの値、MTU4.TCNT カウンタは“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 20.117 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT, MTU4.TCNT カウンタにカウント初期値の設定を行ってください。

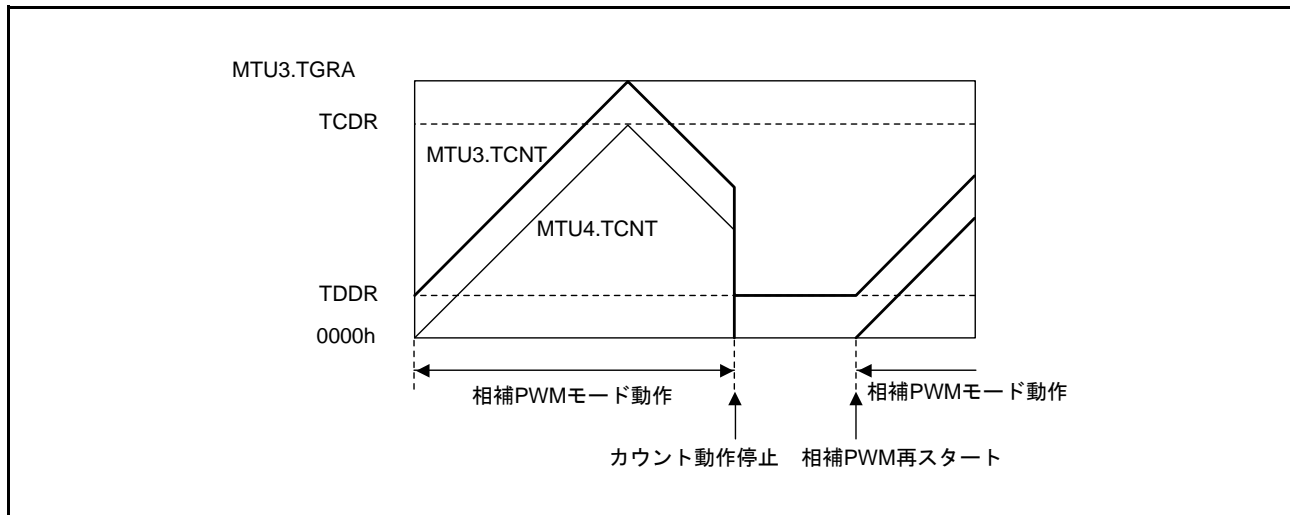


図 20.117 相補 PWM モード停止時のカウンタ値 (MTU3、MTU4 動作)

### 20.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA)、タイマ周期データレジスタ (TCDR)、コンペアレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) の書き替えは、バッファ動作で行ってください。また、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットは“0”にしてください。MTU4.TMDR.BFA ビットを“1”に設定すると MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。MTU3.TMDR.BFA ビットを“1”にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能し、さらに TCBR レジスタは TCDR レジスタのバッファレジスタとして機能します。

### 20.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットを“0”に設定してください。MTU4.TMDR.BFA ビットを“1”に設定すると、MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR.BFA ビットを“1”にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD レジスタがバッファレジスタとして動作している場合、対応する TGIC、TGID 割り込み要求は発生しません。

MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“1”にし、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“0”にした場合の MTU3.TGR, MTU4.TGR レジスタ、MTIOC3m、MTIOC4m の動作例を図 20.118 に示します。(m = A ~ D)

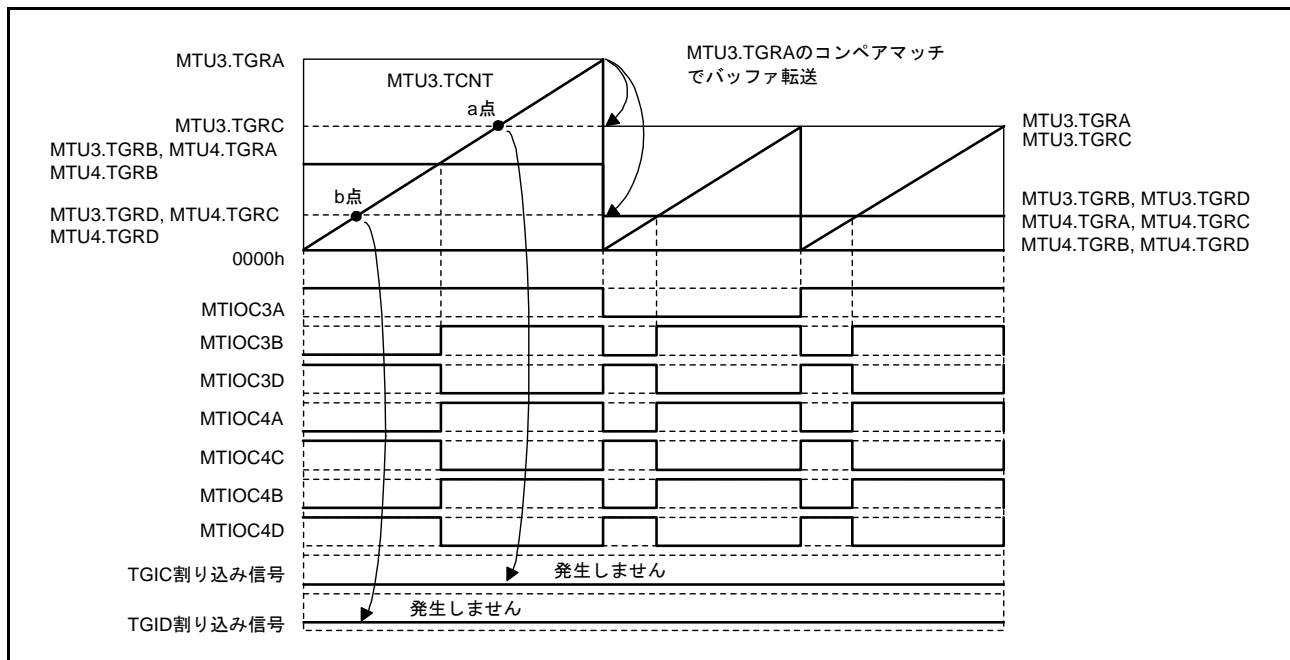


図 20.118 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

### 20.6.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR.CST3 ビットを“1”に設定すると、MTU3.TCNT カウンタと MTU4.TCNT カウンタのカウンタ動作が開始します。このとき、MTU4.TCNT カウンタのカウンタクロックソースとカウンタエッジは MTU3.TCR レジスタの設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT カウンタがアップカウントし“FFFFh”になると、MTU3.TGRA レジスタとのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT カウンタともにクリアされます。このとき、対応する TCIV 割り込み要求は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合の動作例を図 20.119 に示します。

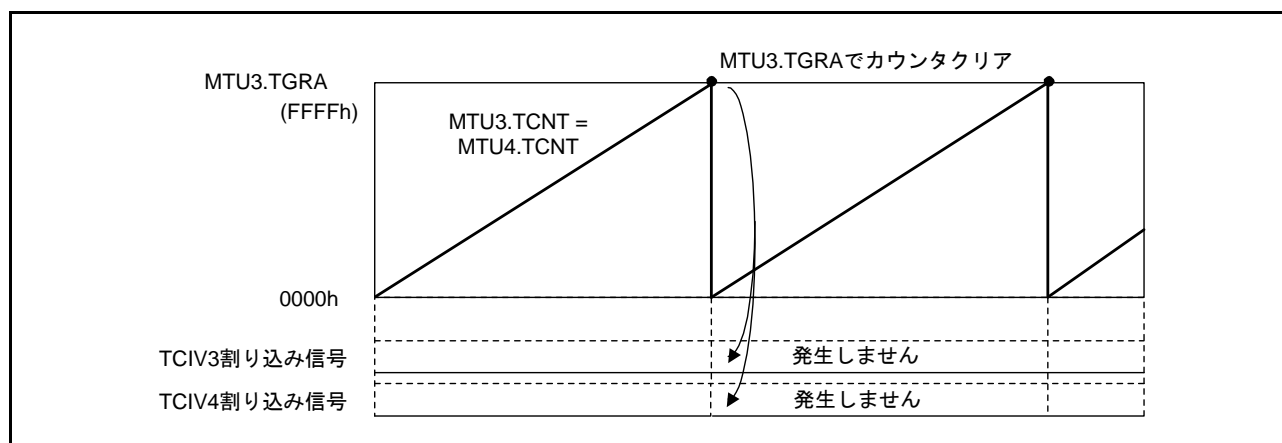


図 20.119 リセット同期 PWM モードのオーバーフローフラグ

### 20.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCNT カウンタのクリアが優先されて、対応する TCIV 割り込みは発生しません。オーバフローとインプットキャプチャによるカウンタクリアが同時に発生すると、インプットキャプチャ割り込み信号が出力され、オーバフロー割り込み信号は出力されません。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタに“FFFFh”を設定した場合の動作タイミングを図 20.120 に示します。

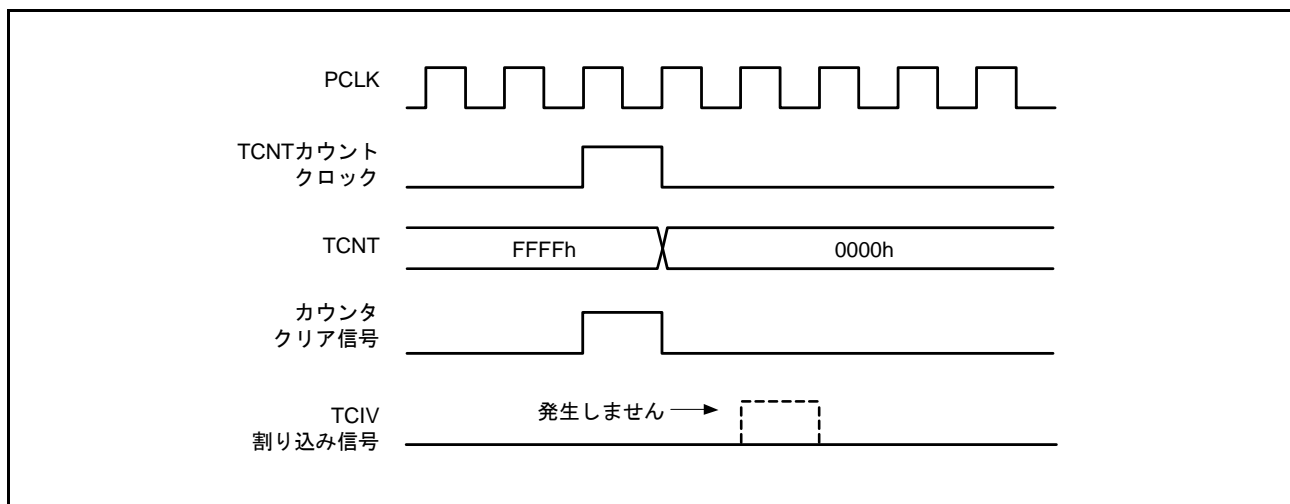


図 20.120 オーバフローとカウンタクリアの競合

### 20.6.18 TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

TCNT カウンタの書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT カウンタへの書き込みが優先されます。対応する割り込みは発生しません。

TCNT カウンタの書き込みとオーバフロー競合時の動作タイミングを図 20.121 に示します。

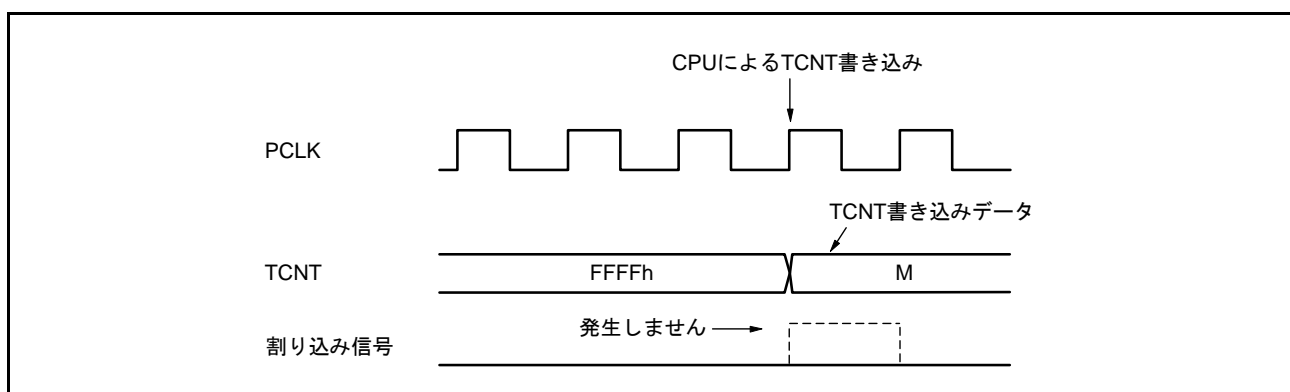


図 20.121 TCNT カウンタの書き込みとオーバフローの競合

### 20.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

MTU3、MTU4 のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH, MTU3.TIORL, MTU4.TIORH, MTU4.TIORL レジスタに“11h”を書いて出力端子を Low に初期化した後、レジスタの初期値“00h”を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値“00h”を設定してからリセット同期 PWM モードに遷移してください。

### 20.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは TOCR1.OLSP, OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR レジスタは“00h”にしてください。相補 PWM モードで TDER.TDER ビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSN ビットの設定によらず、TOCR1.OLSP ビットの設定による正相出力の反転レベルとなります。

### 20.6.21 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPU の割り込み要因、または DTC の起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

### 20.6.22 カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時インプットキャプチャ

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT カウンタに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT カウンタ (上位 16 ビットのカウンタ) が MTU2.TCNT カウンタ (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT = FFF1h、MTU2.TCNT = 0000h の値を MTU1.TGRA レジスタと MTU2.TGRA レジスタ、もしくは MTU1.TGRB レジスタと MTU2.TGRB レジスタに転送すべきところを誤って MTU1.TCNT = FFF0h、MTU2.TCNT = 0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT カウンタと MTU2.TCNT カウンタを同時にキャプチャできる機能を使用すれば、MTU1.TCNT カウンタと MTU2.TCNT カウンタのキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は、「20.2.8 タイマインプットキャプチャ

コントロールレジスタ (TICCR)」を参照してください。

### 20.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効となっています。詳細は、「21. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

### 20.6.24 MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項

MTU5.TCNT<sub>m</sub> カウンタ (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR<sub>m</sub> レジスタに「MTU5.TCNT<sub>m</sub> カウンタ値 + 1」の値を設定しないでください。MTU5.TCNT<sub>m</sub> カウンタのカウント動作を停止した状態で、MTU5.TGR<sub>m</sub> レジスタに「MTU5.TCNT<sub>m</sub> カウンタ値 + 1」の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5<sub>m</sub> ビットが“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT<sub>m</sub> カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

### 20.6.25 相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCR.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 : 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合 (図 20.122 参照)。

条件 2 : 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB \leq TDDR$ 、 $MTU4.TGRA \leq TDDR$ 、 $MTU4.TGRB \leq TDDR$  のいずれかが成立する状態で、同期クリアした場合 (図 20.123 参照)。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ  $MTU3.TGRB$ 、 $MTU4.TGRA$ 、 $MTU4.TGRB$  レジスタのすべてが、デッドタイムデータレジスタ (TDDR) の 2 倍以上になるように設定した状態で、同期クリアする

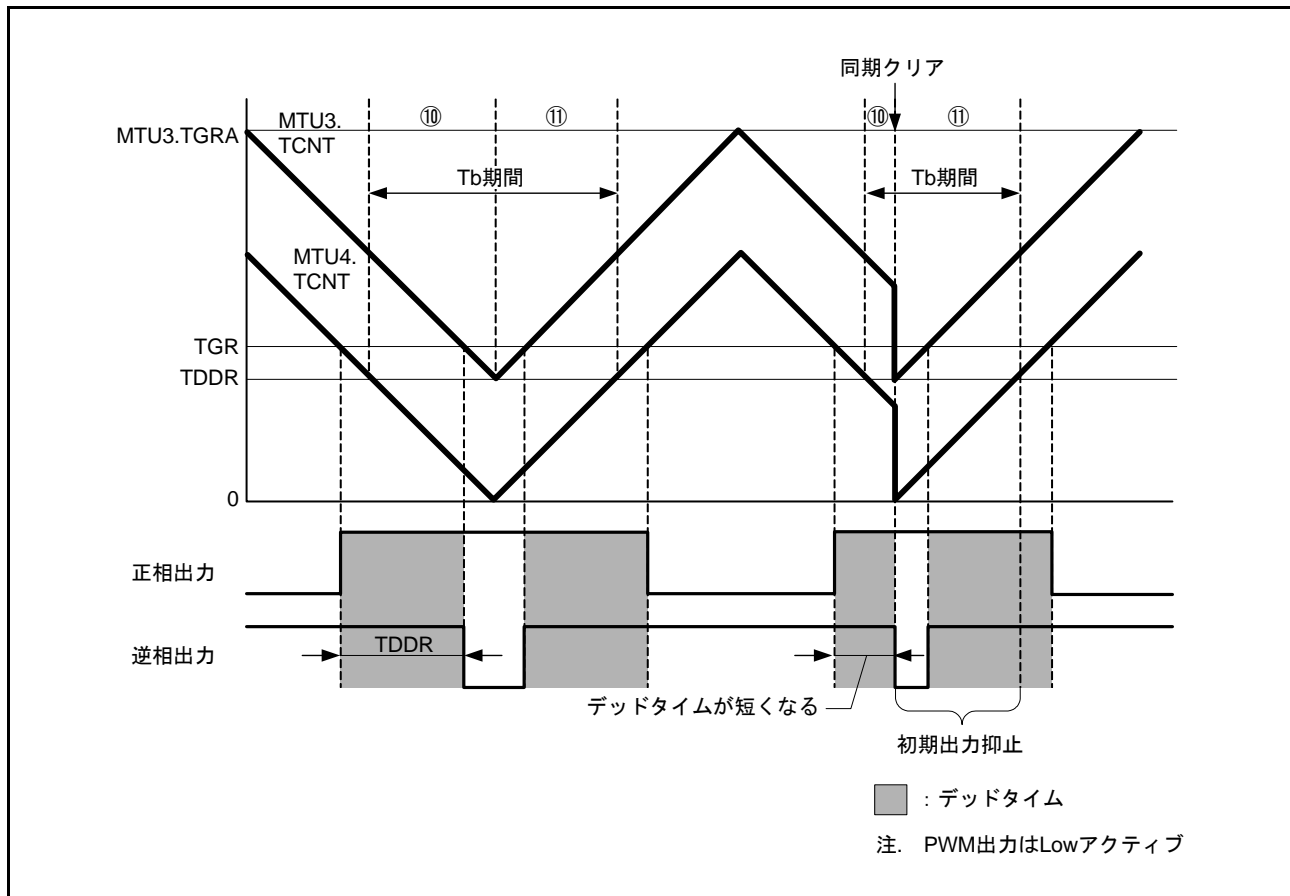


図 20.122 同期クリア例 (条件 1 の場合)

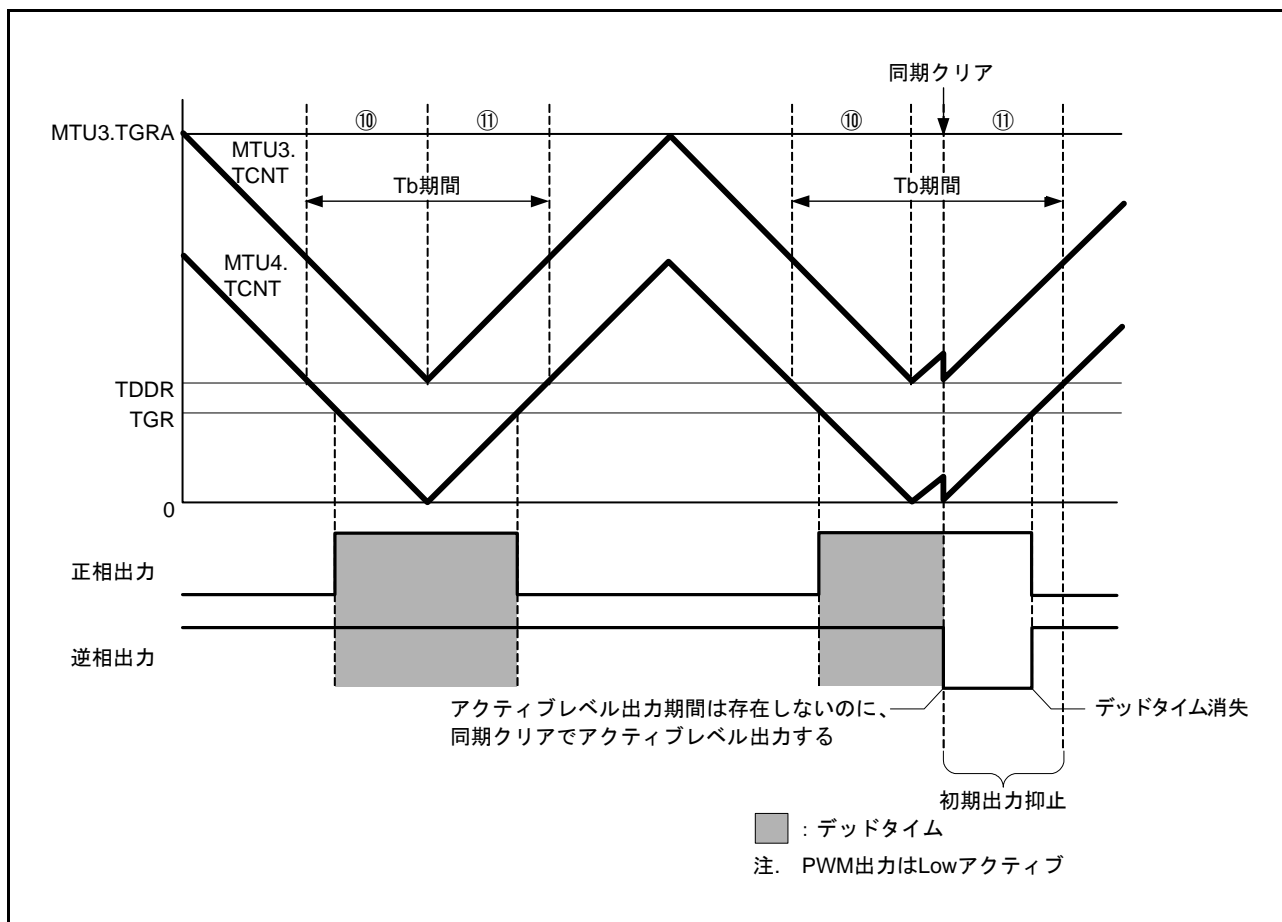


図 20.123 同期クリア例 (条件 2 の場合)



### 20.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 20.124 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

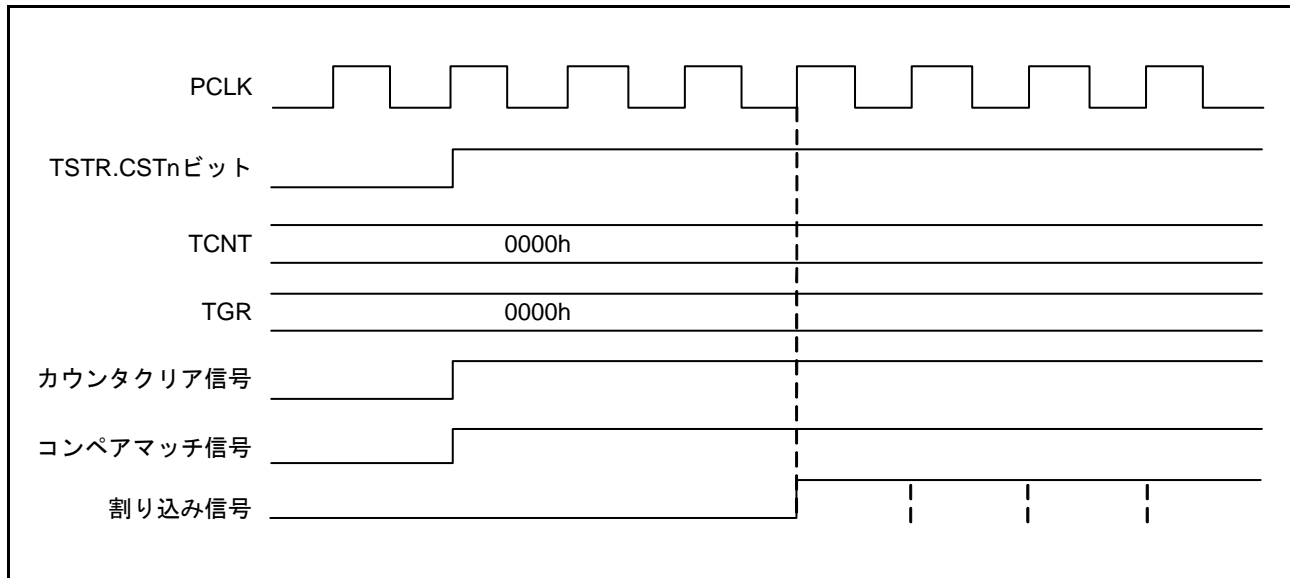


図 20.124 コンペアマッチによる割り込み信号の連続出力

### 20.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに“0”、かつ、MTU4.TADCR レジスタの UT4AE, UT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 20.125)。
- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR レジスタの DT4AE, DT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 20.126)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTU4.TADCORA/TADCORB} \leq \text{TCDR} - 2$  を満たすように MTU4.TADCORA, MTU4.TADCORB レジスタを設定してください。

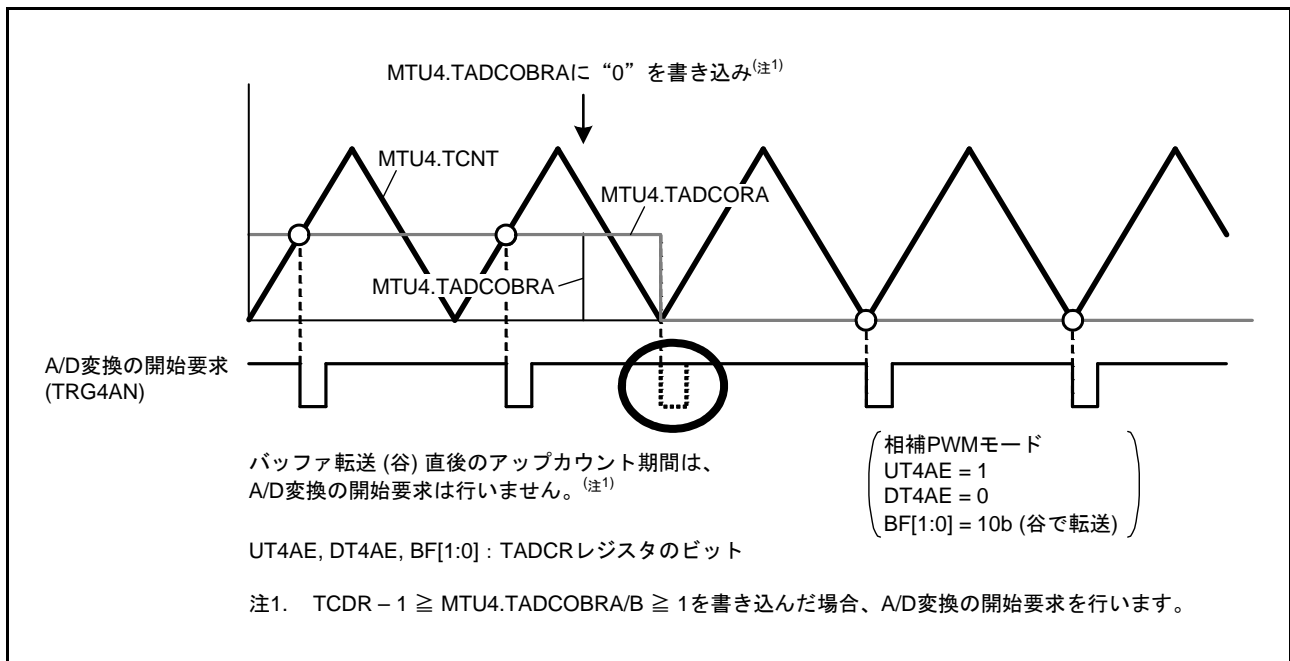


図 20.125 MTU4.TADCOBRA に“0”を書き込んだときの A/D 変換の開始要求

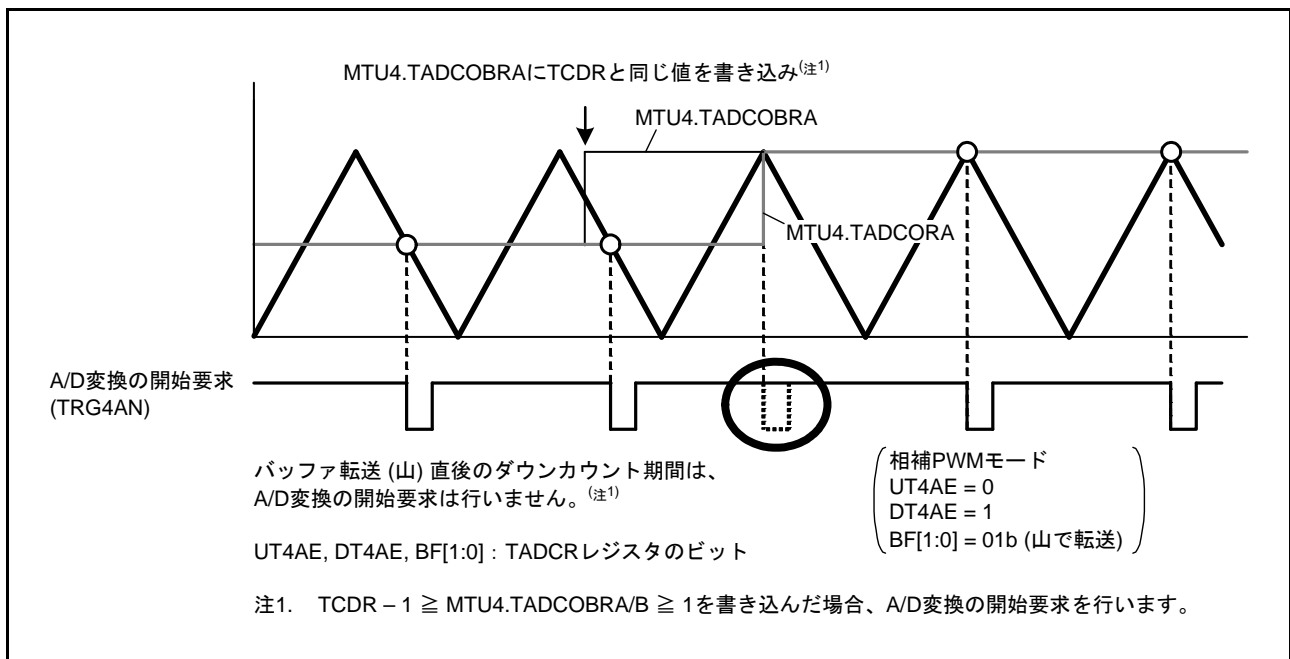


図 20.126 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求

## 20.7 MTU 出力端子の初期化方法

### 20.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4)
- PWM モード 1 (MTU0 ~ MTU4)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 4 (MTU1, MTU2)
- 相補 PWM モード (MTU3, MTU4)
- リセット同期 PWM モード (MTU3, MTU4)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

### 20.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) は、TOER レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 2 (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 20.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード    PWM1 : PWM モード 1    PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 4    CPWM : 相補 PWM モード    RPWM : リセット同期 PWM モード

表 20.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23), (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

### 20.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要

- TIOR レジスタの設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR レジスタの設定により端子を初期化してください。
- PWM モード1 では MTIOChB/MTIOChD ( $n = 3, 4$ ) 端子に波形が出力されません。端子の機能を MTIOChB/MTIOChD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード2 では周期レジスタの端子に波形が出力されません。端子の機能を MTIOChm 端子 ( $n = 0 \sim 2, m = A \sim D$ ) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード2 では TGRC、TGRD レジスタがバッファレジスタとして動作している場合、対応する MTIOChC/MTIOChD 端子 ( $n = 0, 3, 4$ ) に波形が出力されません。端子の機能を MTIOChC/MTIOChD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード1 では TGRC、TGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、対応する MTIOChC/MTIOChD 端子 ( $n = 0, 3, 4$ ) に波形が出力されません。端子の機能を MTIOChC/MTIOChD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、TOER レジスタで MTU3、MTU4 を1度出力禁止にしてください。このとき、端子の機能を MTIOChm 端子 ( $n = 3, 4, m = A \sim D$ ) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

注. 特に断りがない場合、本項記述中の  $n$  にはチャンネル番号が入ります。

以下、表 20.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

## (1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.127 に示します。

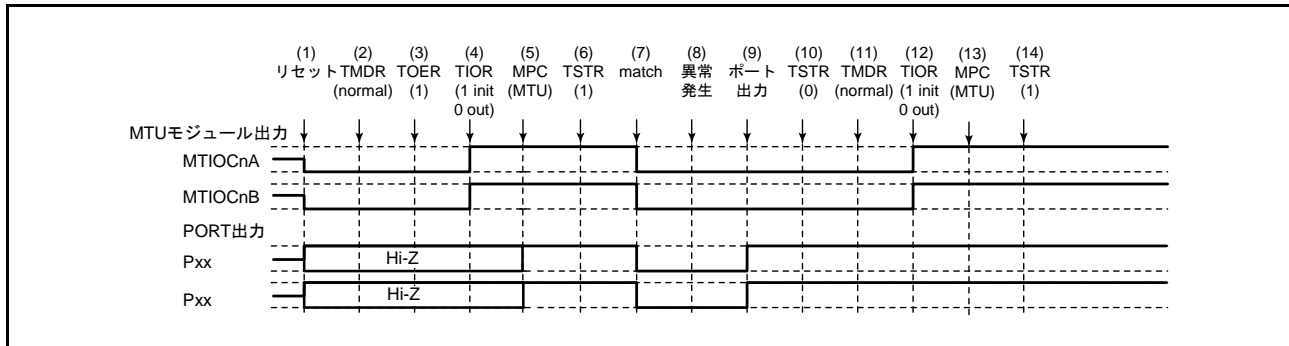


図 20.127 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

## (2) ノーマルモードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 20.128 に示します。

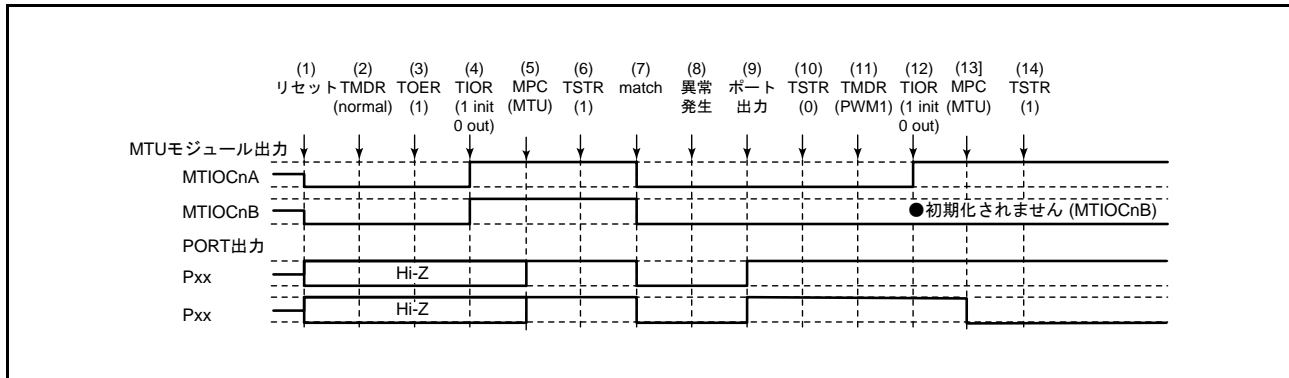


図 20.128 ノーマルモードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (10) は図 20.127 と共通です。

(11) PWM モード1を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

## (3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 20.129 に示します。

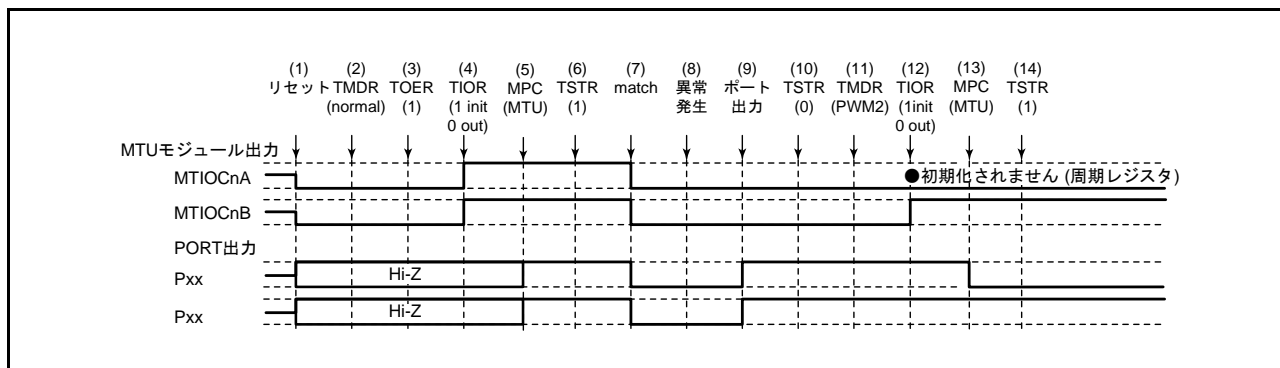


図 20.129 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (10) は図 20.127 と共通です。

(11) PWM モード2を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード2では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2に移行してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. PWM モード2は MTU0 ~ MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

## (4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.130 に示します。

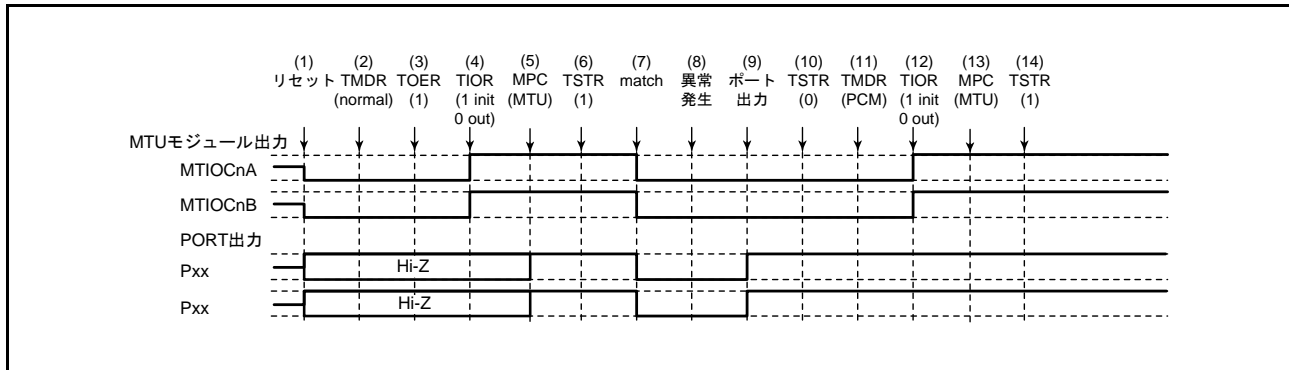


図 20.130 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 20.127 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。



## (5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.131 に示します。

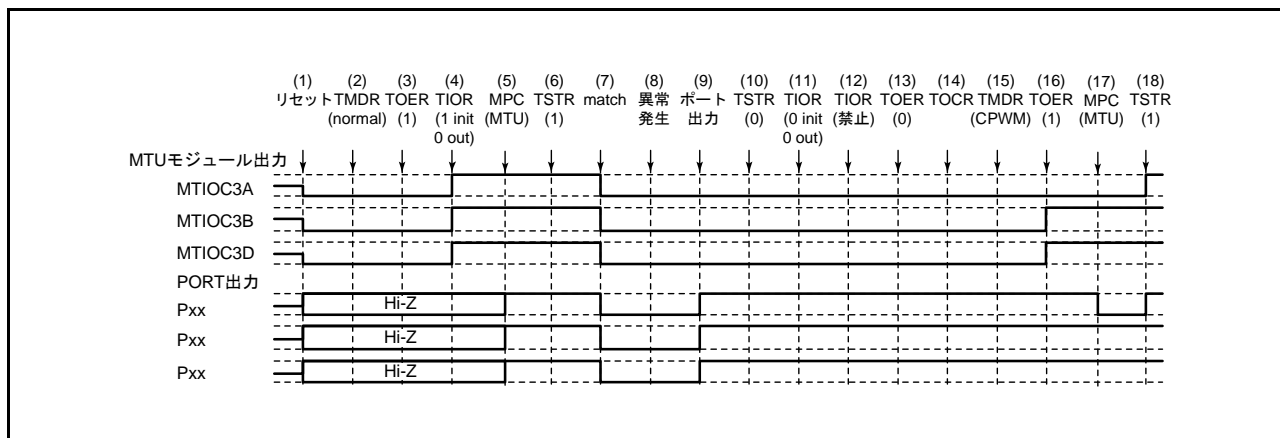


図 20.131 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.127 と共通です。

- (11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (13) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (14) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (15) 相補 PWM モードを設定します。
- (16) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTR レジスタで再スタートします。

### (6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.132 に示します。

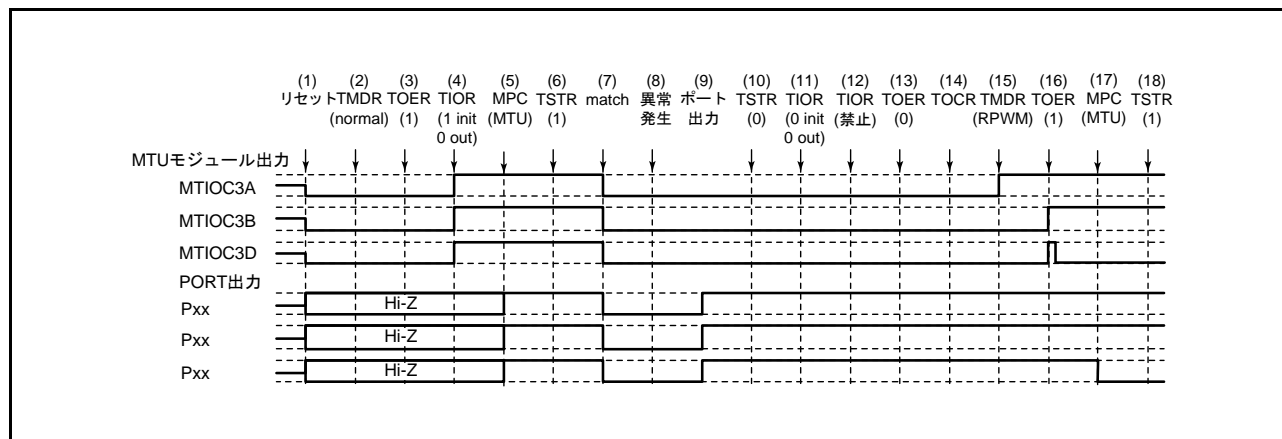


図 20.132 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 20.131 と共通です。

(14) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM モードを設定します。

(16) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTR レジスタで再スタートします。

## (7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.133 に示します。

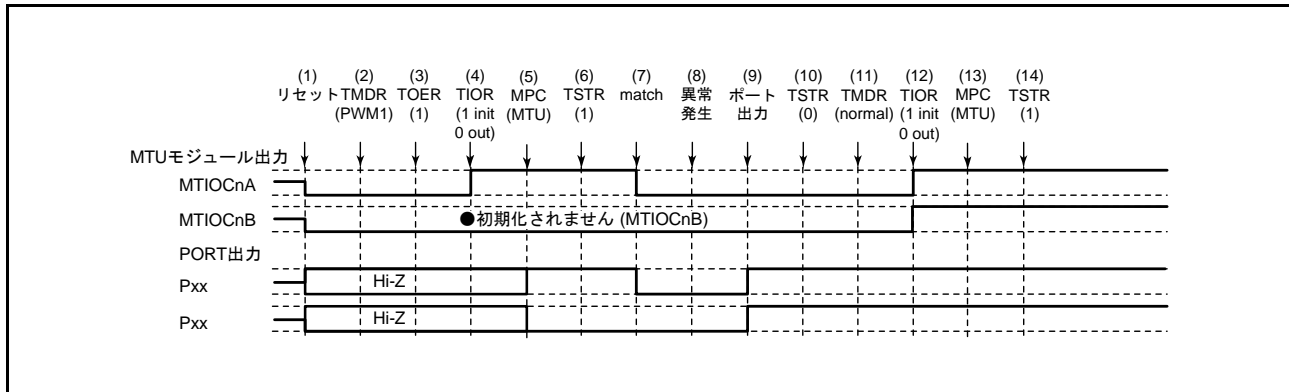


図 20.133 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

## (8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.134 に示します。

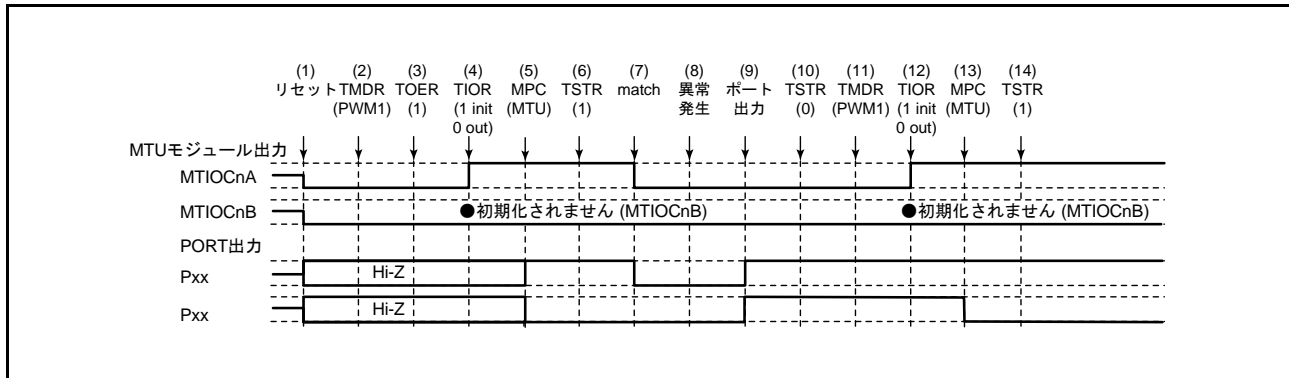


図 20.134 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.133 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

## (9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 20.135 に示します。

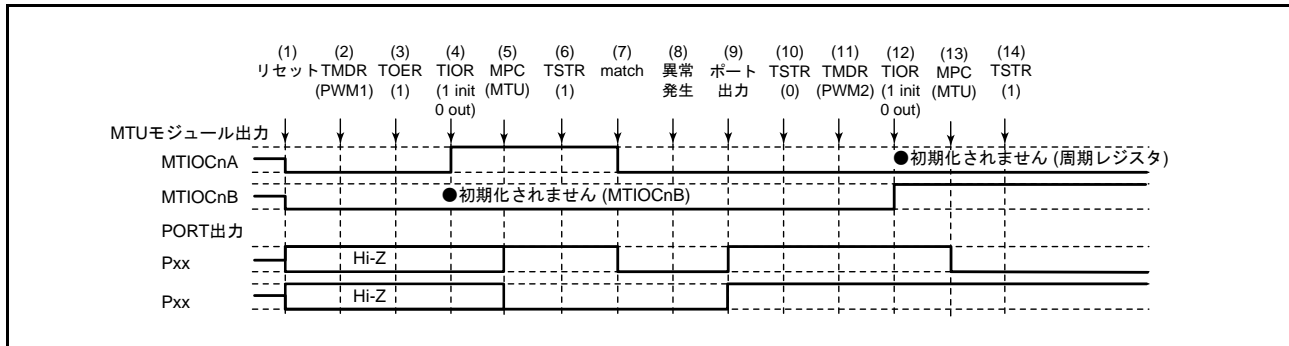


図 20.135 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 20.133 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注． PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

## (10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.136 に示します。

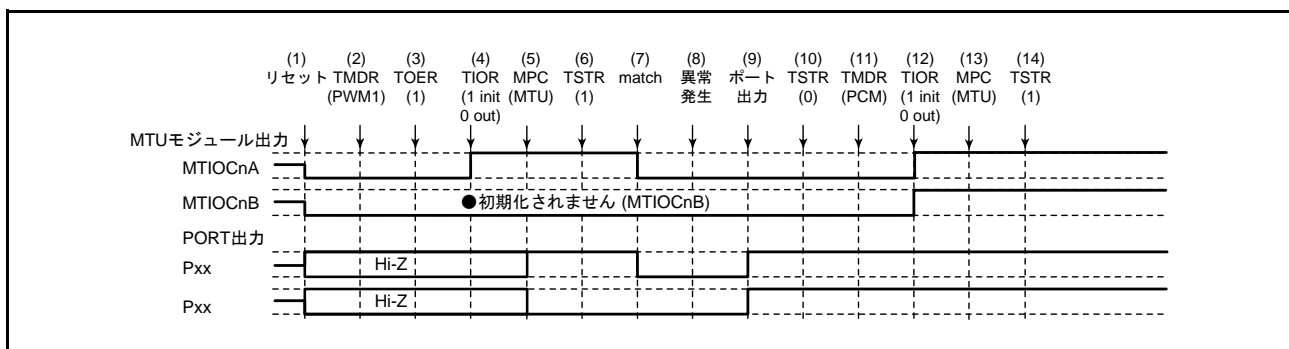


図 20.136 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 20.133 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

## (11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.137 に示します。

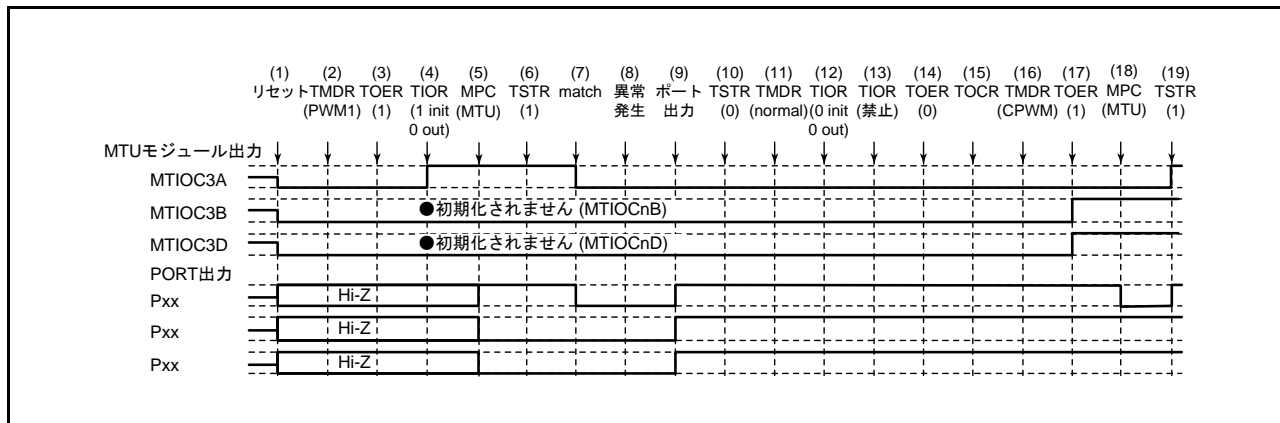


図 20.137 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.133 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (15) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM モードを設定します。
- (17) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTR レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.138 に示します。

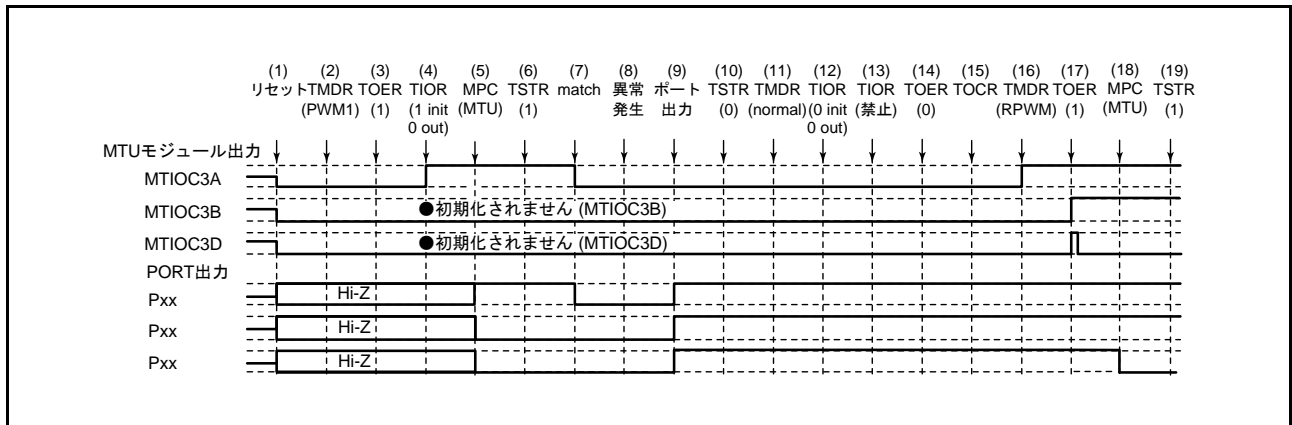


図 20.138 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 20.137 と共通です。

(15) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM モードを設定します。

(17) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTR レジスタで再スタートします。

## (13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.139 に示します。

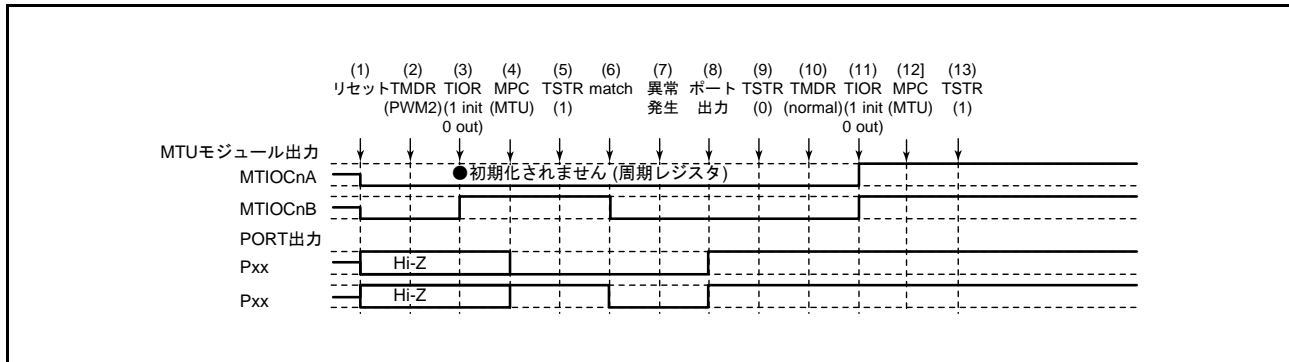


図 20.139 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOCnA が周期レジスタの場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。



## (14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.140 に示します。

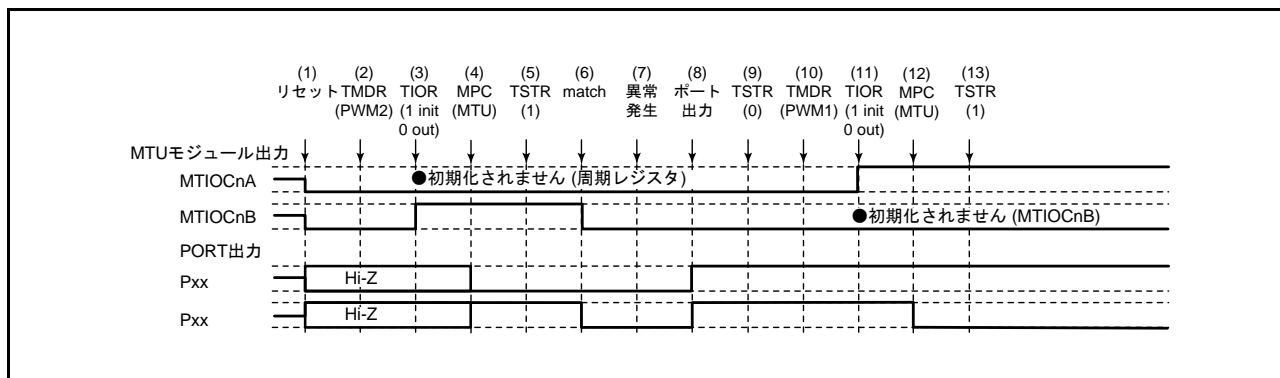


図 20.140 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 20.139 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

## (15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 20.141 に示します。

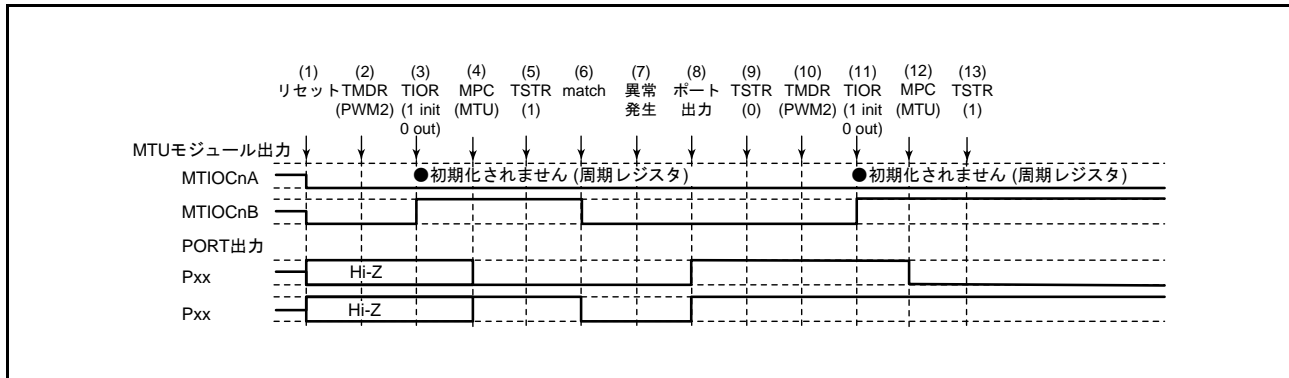


図 20.141 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1)～(9)は図 20.139 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

## (16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.142 に示します。

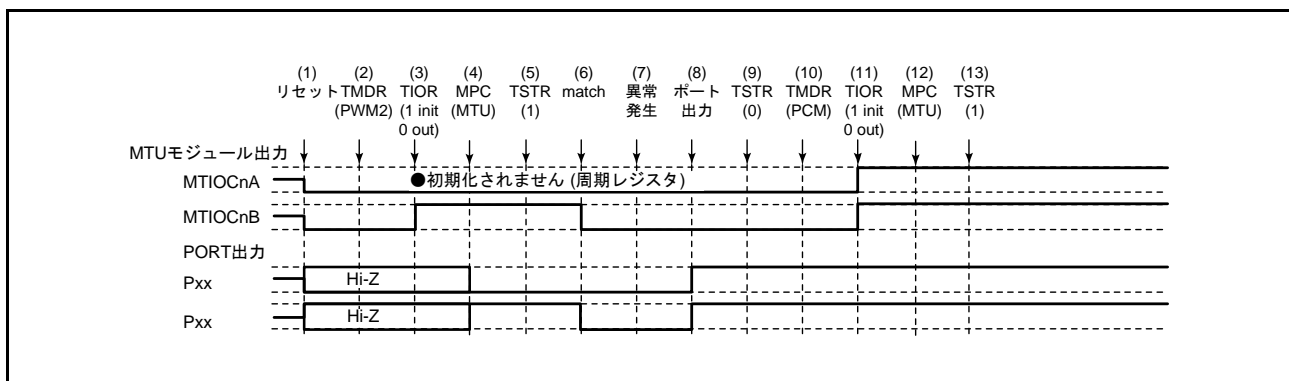


図 20.142 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1)～(9)は図 20.139 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

## (17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.143 に示します。

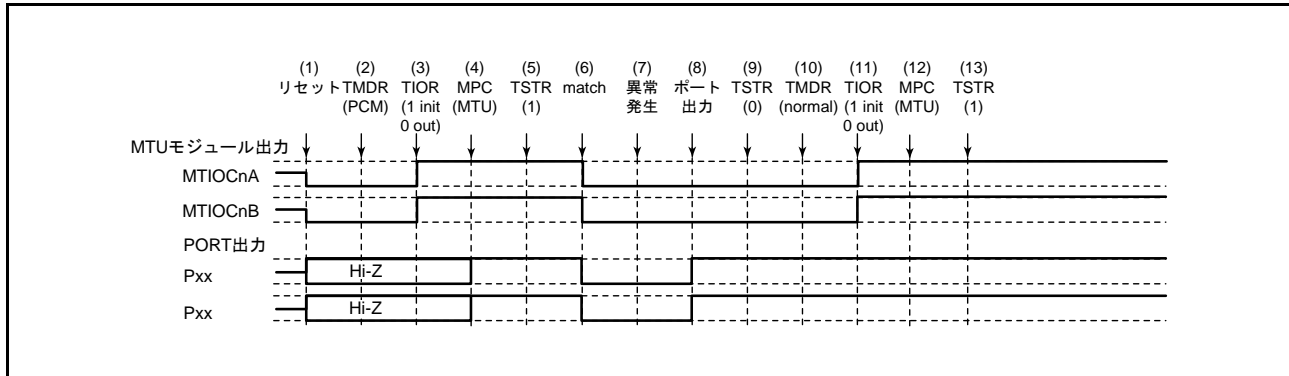


図 20.143 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

## (18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 20.144 に示します。

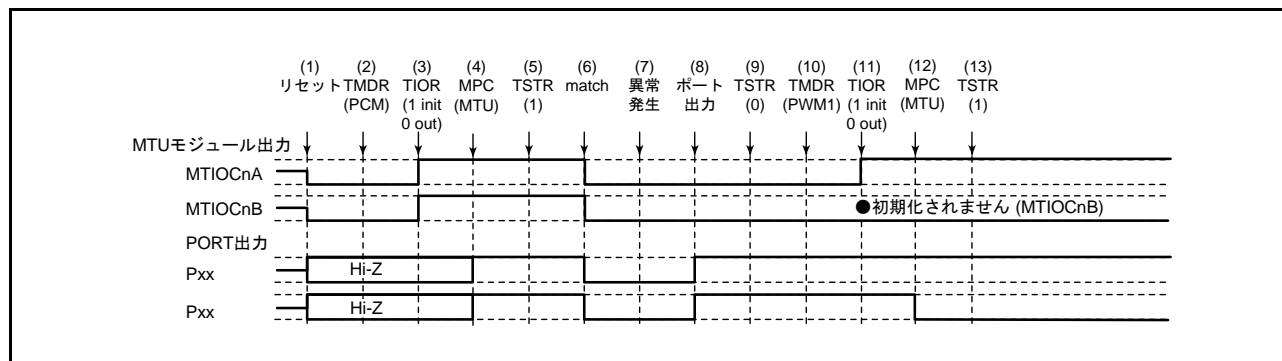


図 20.144 位相計数モードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (9) は図 20.143 と共通です。

(10) PWM モード1を設定します。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

## (19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 20.145 に示します。

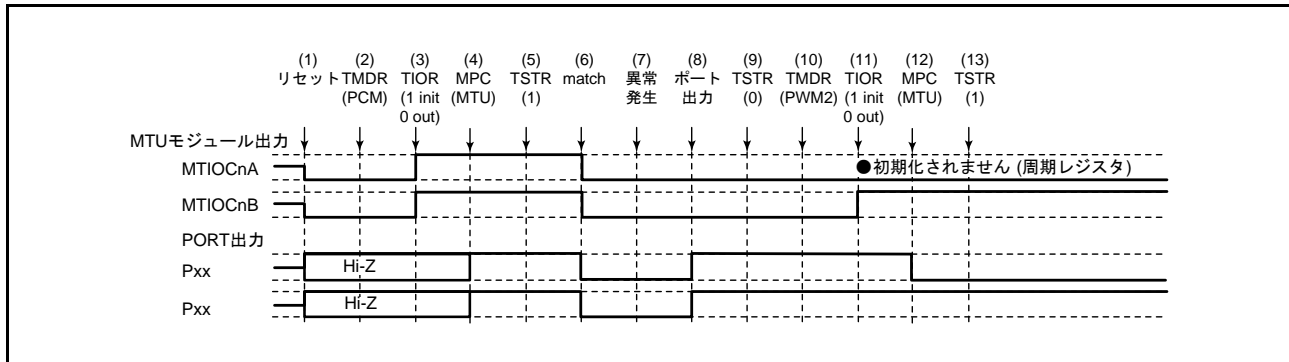


図 20.145 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (9) は図 20.143 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

## (20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.146 に示します。

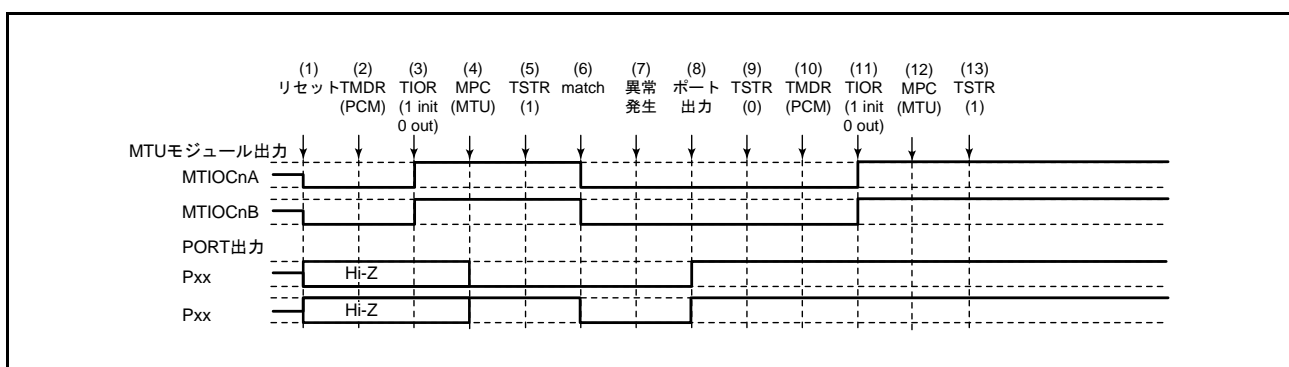


図 20.146 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 20.143 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

## (21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.147 に示します。

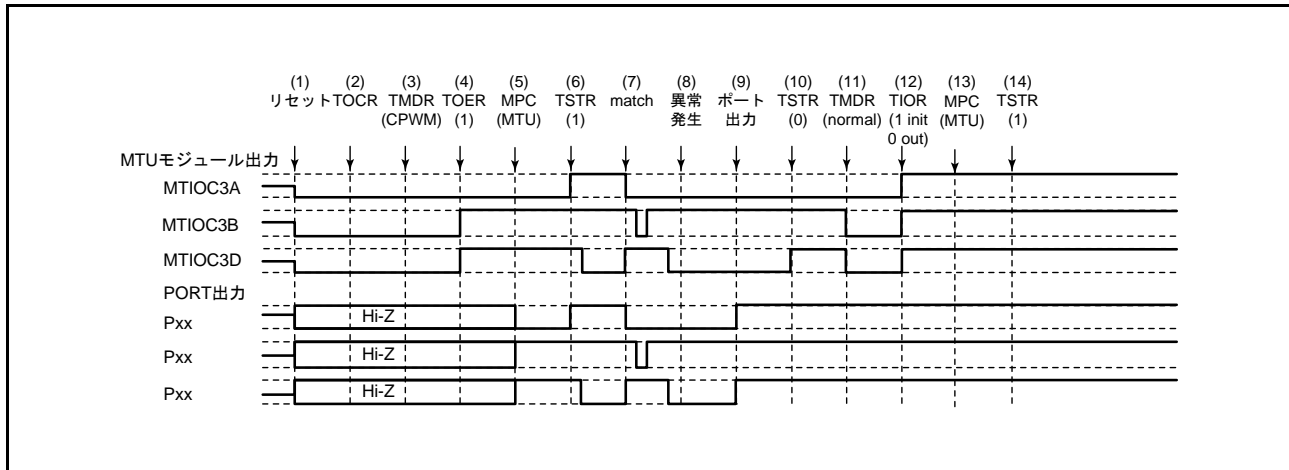


図 20.147 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM モードを設定します。
- (4) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

## (22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.148 に示します。

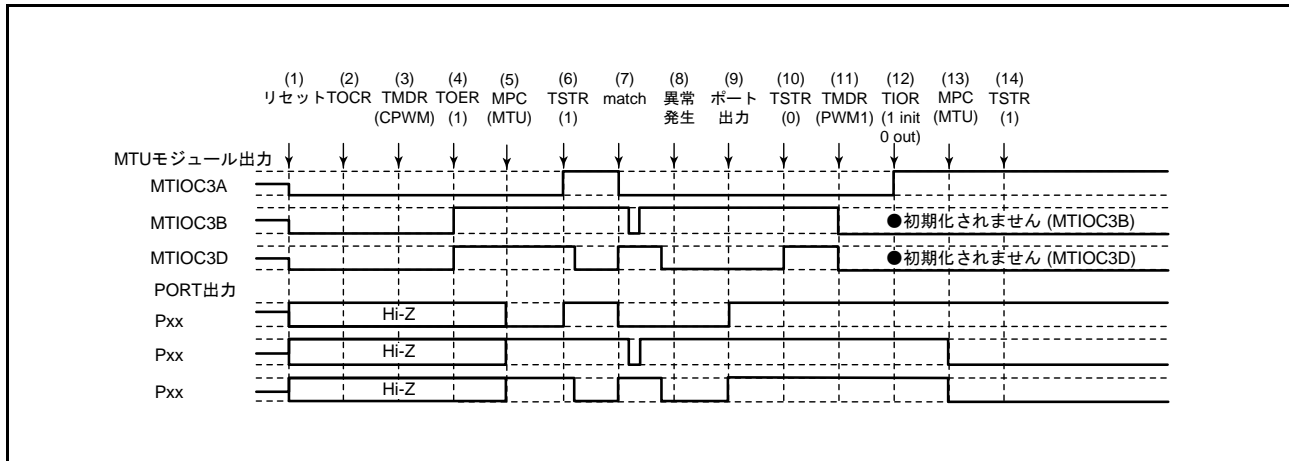


図 20.148 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.147 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.149 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

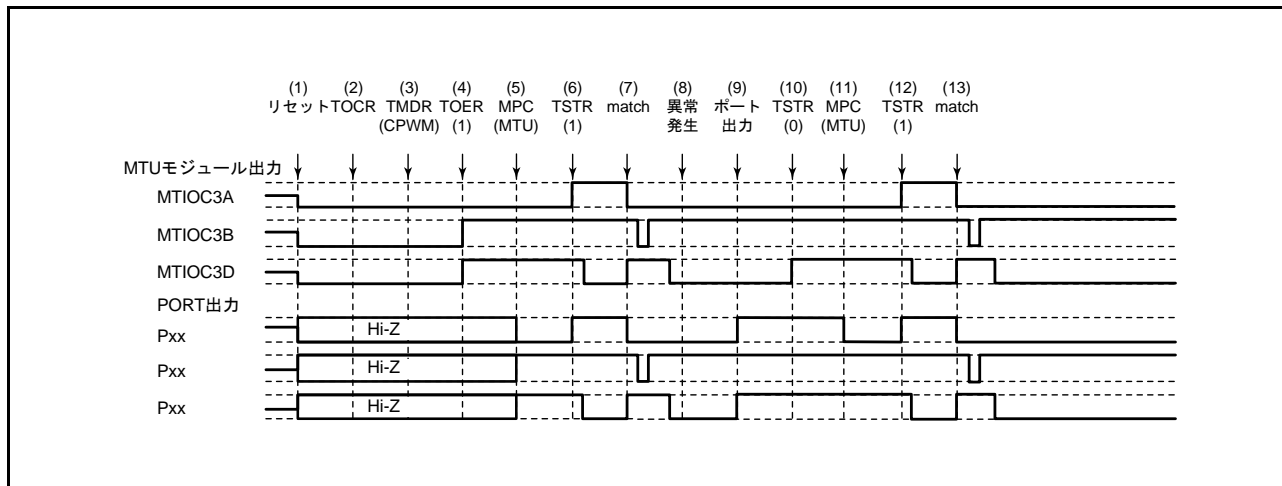


図 20.149 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.147 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。



## (24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.150 に示します（周期、デューティ設定を全く新しい設定値で再スタートする場合）。

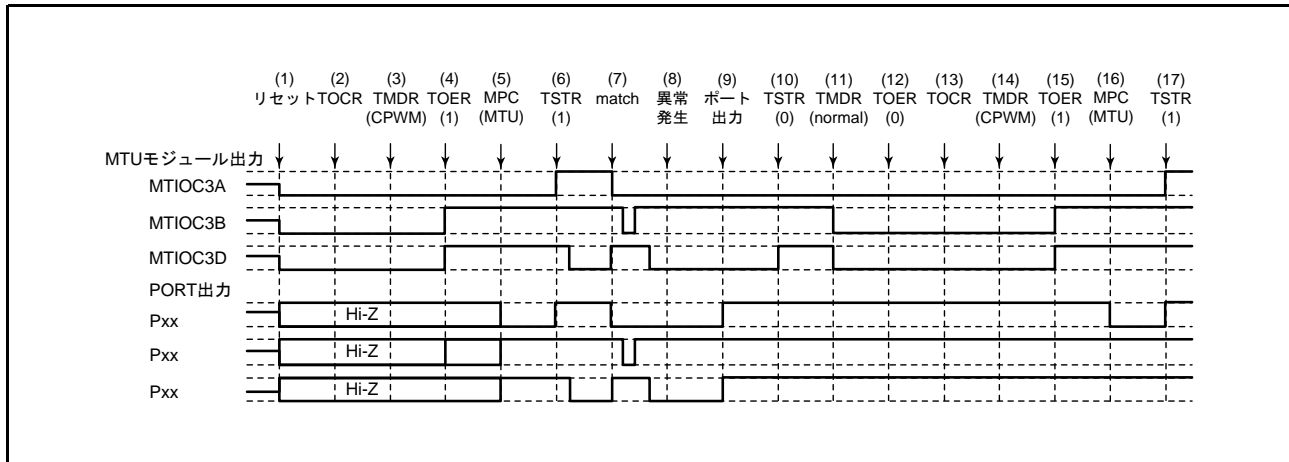


図 20.150 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.147 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOER レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM モードを設定します。

(15) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTR レジスタで再スタートします。

### (25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.151 に示します。

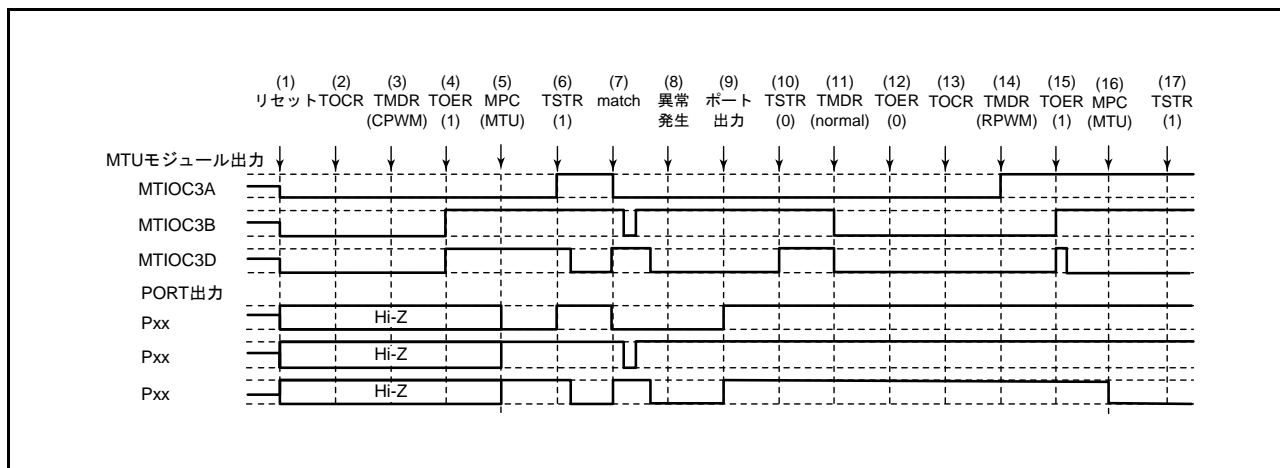


図 20.151 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 20.147 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOER レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM モードを設定します。

(15) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTR レジスタで再スタートします。

## (26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.152 に示します。

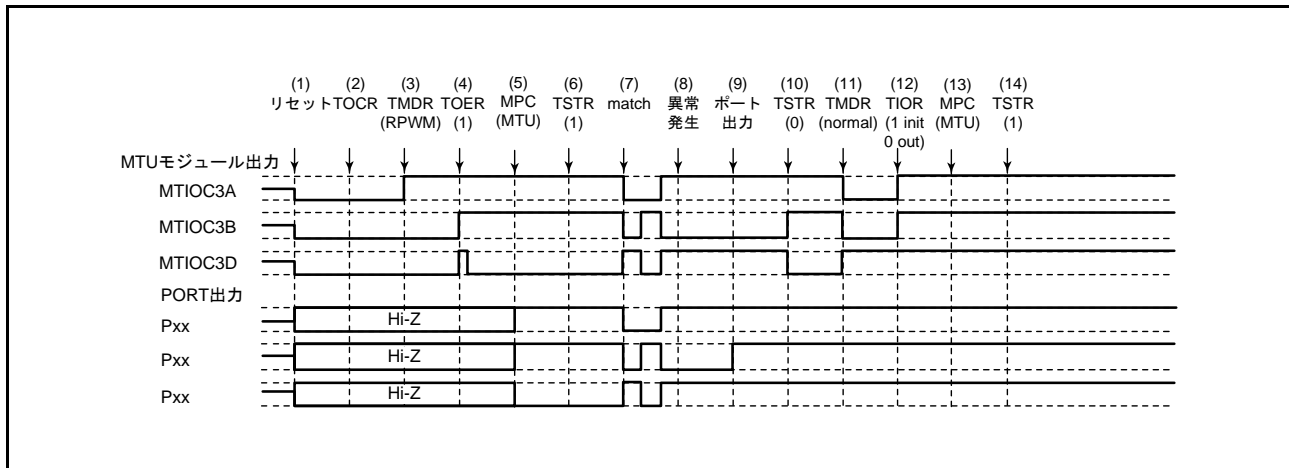


図 20.152 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) リセット同期 PWM モードを設定します。
- (4) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

### (27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.153 に示します。

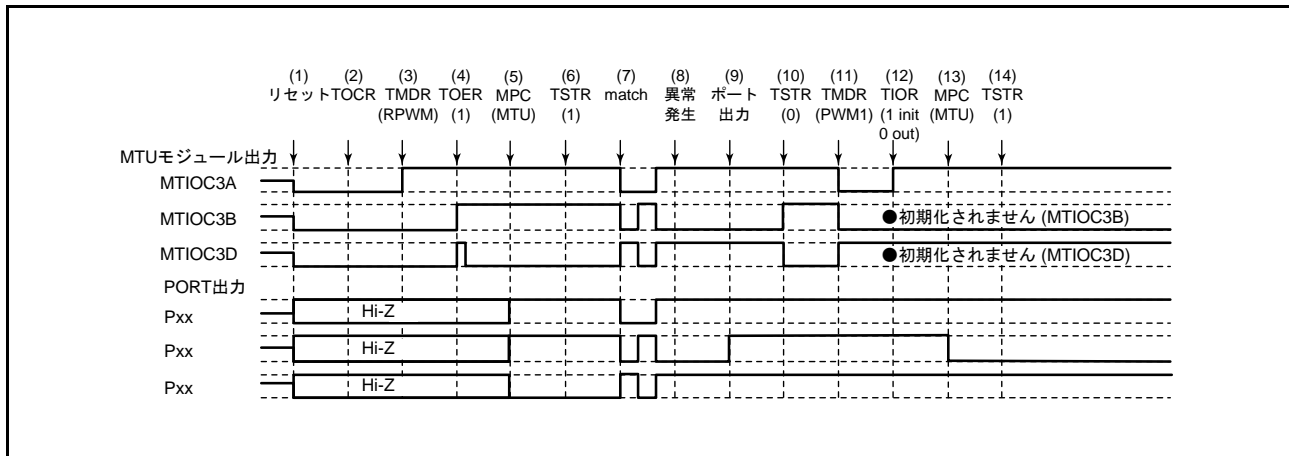


図 20.153 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.152 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

### (28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.154 に示します。

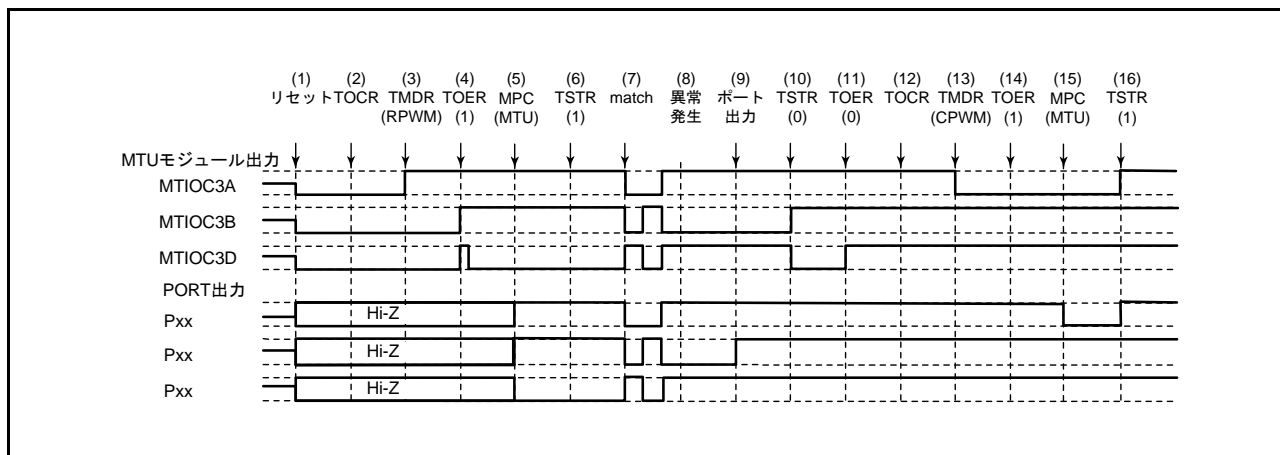


図 20.154 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.152 と共通です。

- (11) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (12) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTR レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.155 に示します。

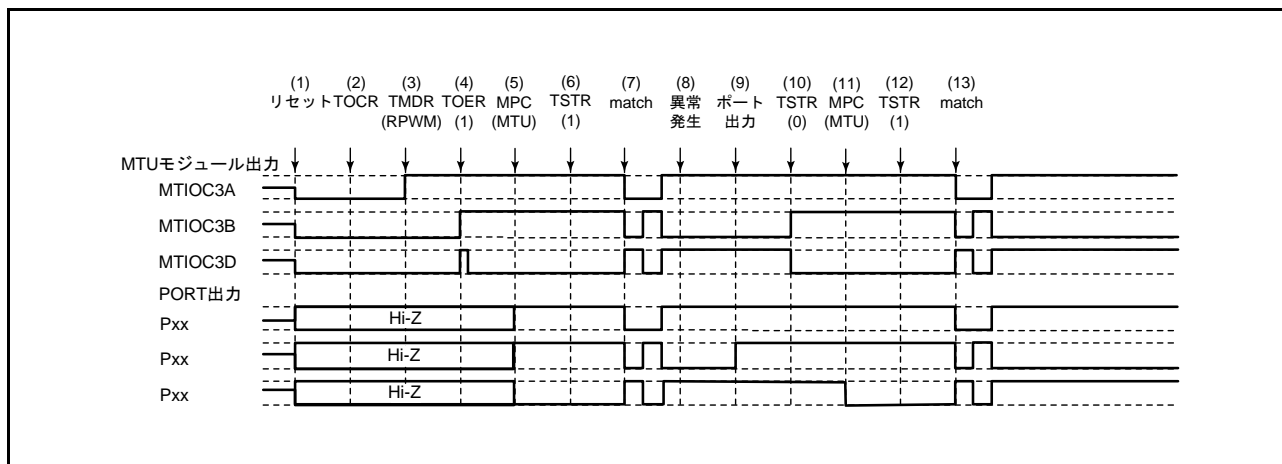


図 20.155 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 20.152 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

## 20.8 ELC によるリンク動作

### 20.8.1 ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

### 20.8.2 ELC からのイベント信号受信による MTU の動作

MTU は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。

#### (1) カウントスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントスタート動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に機能します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値“00h”にしてください。ELSRn レジスタで指定したイベントが発生すると、表 20.60 に示した TSTR.CSTn ビットが“1”になり、MTU のカウントがスタートします。

ただし、TSTR.CSTn ビットが“1”のときに指定したイベントが発生した場合は、そのイベントは無効となります。各チャンネルに対して使用する TSTR レジスタのビット名は表 20.60 を参照してください。

カウントスタート動作の設定手順の詳細については「20.3.1 (1) カウンタの動作」を参照ください。

表 20.60 ELC とリンク動作するタイマスタートレジスタ

チャンネル番号	タイマスタートレジスタ
MTU1	TSTR.CST1 ビット
MTU2	TSTR.CST2 ビット
MTU3	TSTR.CST3 ビット
MTU4	TSTR.CST4 ビット

#### (2) インพุットキャプチャ動作

ELC の ELOPA、ELOPB レジスタで MTU2 のインพุットキャプチャ動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値“00h”にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値を TGR レジスタへキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、MTU の TIOR レジスタのビットをインพุットキャプチャに設定し、TSTR.CSTn ビットを“1”にしカウンタをスタートさせてください。

このとき TIOcNA 端子 (インพุットキャプチャ端子) の入力は無効となります。

各チャンネルに対して使用する TGR レジスタ、TIOR レジスタのビット名は表 20.61 を参照してください。

インพุットキャプチャの設定手順の詳細については「20.3.1 (3) インพุットキャプチャ機能」を参照ください。

表 20.61 ELC 動作時のインพุットキャプチャ動作において使用する各チャンネルでのタイマジェネラルレジスタ、タイマ I/O コントロールレジスタ

チャンネル番号	タイマジェネラルレジスタ	タイマ I/O コントロールレジスタのビット名
MTU1	MTU1.TGRA レジスタ	MTU1.TIOR.IOA[3:0] ビット
MTU2	MTU2.TGRA レジスタ	MTU2.TIOR.IOA[3:0] ビット
MTU3	MTU3.TGRA レジスタ	MTU3.TIORH.IOA[3:0] ビット
MTU4	MTU4.TGRA レジスタ	MTU4.TIORH.IOA[3:0] ビット

### (3) カウントリスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントリスタート動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値 “00h” にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。TSTR.CSTn ビットが “1” になっていればカウント動作を継続することができます。対応する TSTR.CSTn ビットは表 20.60 を参照ください。

## 20.8.3 ELC からのイベント信号受信による MTU の注意事項

以下に MTU をイベントリンクによる動作で使用する際の注意事項を示します。

### (1) カウントスタート動作

TSTR.CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTR.CSTn ビットへの書き込みサイクルは行われずイベント発生による “1” 書き込みが優先されます。

### (2) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。



## 21. ポートアウトプットイネーブル 2 (POE2a)

ポートアウトプットイネーブル 2 (POE) は、POE0# ~ POE3#、POE8# 端子の入力変化、MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力状態、クロック発生回路の発振停止検出、レジスタ設定 (SPOER レジスタ) によって MTU 相補 PWM 出力端子および MTU0 出力端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) をハイインピーダンスにすることができます。

また、同時に割り込み要求を発行することができます。

本章に記載している PCLK とは PCLKB を指します。

### 21.1 概要

表 21.1 に POE の仕様を、図 21.1 に POE のブロック図を示します。

表 21.1 POE の仕様

項目	内容
入力レベル検出による ハイインピーダンス制御	<ul style="list-style-type: none"> <li>POE0# ~ POE3#、POE8# の各入力端子に立ち下がリエッジ、PCLK/8クロックごとに16回、PCLK/16クロックごとに16回、PCLK/128クロックごとに16回のLowサンプリングが設定可能</li> <li>POE0# ~ POE3# 端子の立ち下がリエッジまたはLowサンプリングによって、MTU相補PWM出力端子をハイインピーダンスに設定可能</li> <li>POE8# 端子の立ち下がリエッジまたはLowサンプリングによって、MTU0出力端子をハイインピーダンスに設定可能</li> </ul>
出力レベル比較による ハイインピーダンス制御	<ul style="list-style-type: none"> <li>MTU相補PWM出力端子の出力レベルを比較し、同時にアクティブレベル出力が1PCLKクロック以上続いた場合、MTU相補PWM出力端子をハイインピーダンスに設定可能</li> </ul>
発振停止検出による ハイインピーダンス制御	<ul style="list-style-type: none"> <li>クロック発生回路が発振停止した場合、MTU相補PWM出力端子およびMTU0出力端子をハイインピーダンスに設定可能</li> </ul>
ソフトウェア (レジスタ) による ハイインピーダンス制御	<ul style="list-style-type: none"> <li>POEのレジスタ書き込みをすることで、MTU相補PWM出力端子およびMTU0出力端子をハイインピーダンスに設定可能</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>POE0# ~ POE3#、POE8# の入力レベル検出結果またはMTU相補PWM出力端子の出力レベルの比較結果により、それぞれの割り込みを発生</li> </ul>

POE は、図 21.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、クロック発生回路の発振停止検出信号の入力、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

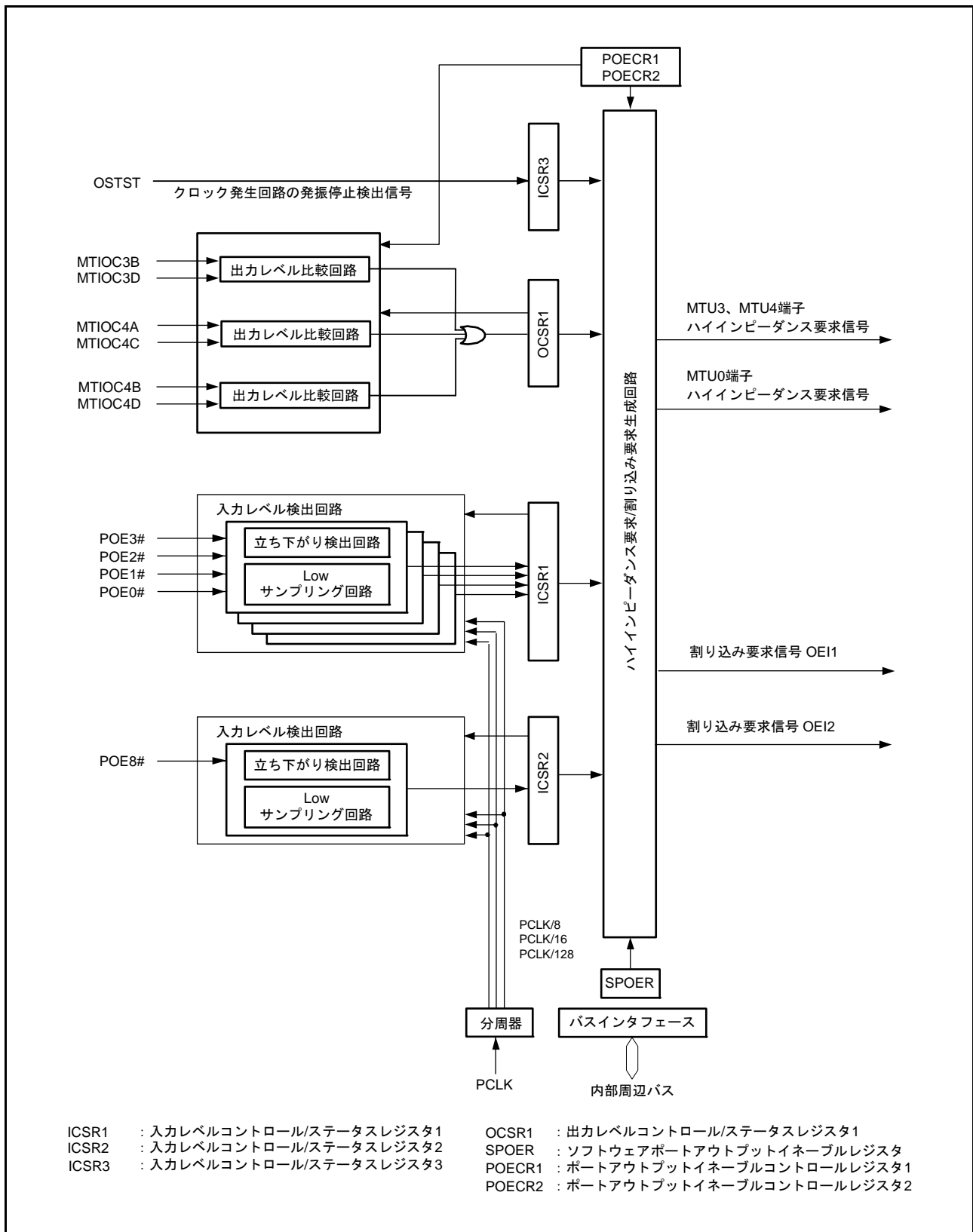


図 21.1 POE のブロック図

表 21.2 に POE で使用する入出力端子を示します。

表 21.2 POEの入出力端子

端子名	入出力	機能
POE0#~POE3#	入力	MTU相補PWM出力端子をハイインピーダンスにする要求信号
POE8#	入力	MTU0の出力端子をハイインピーダンスにする要求信号
MTIOC3B	出力	MTU3相補PWM出力端子
MTIOC3D	出力	MTU3相補PWM出力端子
MTIOC4A	出力	MTU4相補PWM出力端子
MTIOC4B	出力	MTU4相補PWM出力端子
MTIOC4C	出力	MTU4相補PWM出力端子
MTIOC4D	出力	MTU4相補PWM出力端子
MTIOC0A	出力	MTU0出力端子
MTIOC0B	出力	MTU0出力端子
MTIOC0C	出力	MTU0出力端子
MTIOC0D	出力	MTU0出力端子

表 21.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 21.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	どの組み合わせに対して出力レベル比較を行いハイインピーダンス制御を行うかは、POEのレジスタで設定できます。 1PCLKクロック以上同時にアクティブレベル出力が続いた場合、MTU相補PWM出力端子をハイインピーダンスにします。 (MTU.TOCR1.TOCSビット="0"のときに、MTU.TOCR1.OLSP、OLSNビットが"0"の場合はLow出力、“1”の場合はHigh出力。 MTU.TOCR1.TOCSビット="1"のときに、MTU.TOCR2.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが"0"の場合はLow出力、“1”の場合はHigh出力)
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	

## 21.2 レジスタの説明

### 21.2.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

アドレス 0008 8900h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE0#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE0#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE0#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b3-b2	POE1M[1:0]	POE1モード選択ビット	b3 b2 0 0 : POE1#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE1#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE1#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE1#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b5-b4	POE2M[1:0]	POE2モード選択ビット	b5 b4 0 0 : POE2#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE2#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE2#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE2#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b7-b6	POE3M[1:0]	POE3モード選択ビット	b7 b6 0 0 : POE3#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE3#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE3#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE3#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b8	PIE1	ポート割り込み許可1ビット	0 : 入力レベル検出によるOE11割り込み要求を禁止 1 : 入力レベル検出によるOE11割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子にハイインピーダンス要求なし 1 : POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b13	POE1F	POE1フラグ	0 : POE1#端子にハイインピーダンス要求なし 1 : POE1#端子にハイインピーダンス要求あり	R/(W) (注2)
b14	POE2F	POE2フラグ	0 : POE2#端子にハイインピーダンス要求なし 1 : POE2#端子にハイインピーダンス要求あり	R/(W) (注2)
b15	POE3F	POE3フラグ	0 : POE3#端子にハイインピーダンス要求なし 1 : POE3#端子にハイインピーダンス要求あり	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

POE0M[1:0] ~ POE3M[1:0] ビットで Low サンプルングを設定している場合、POE0F ~ POE3F フラグに“0”を書き込むには、POE0# ~ POE3# 端子に High を入力する必要があります。

詳細は「21.3.5 ハイインピーダンスからの解除」を参照してください。

#### PIE1 ビット (ポート割り込み許可 1 ビット)

POE3F ~ POE0F フラグのいずれかが“1”になったときに、OEI1 割り込みを要求するかどうかを指定します。

#### POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

#### POE1F フラグ (POE1 フラグ)

POE1# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE1# 端子に POE1M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

#### POE2F フラグ (POE2 フラグ)

POE2# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE2# 端子に POE2M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

#### POE3F フラグ (POE3 フラグ)

POE3# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE3# 端子に POE3M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

## 21.2.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0: 出力レベル比較によるOIE1 割り込み要求を禁止 1: 出力レベル比較によるOIE1 割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読んだ後に“0”のみ書けます。

**OIE1 ビット (出力短絡割り込み許可 1 ビット)**

OSF1 フラグが“1”のときに、OIE1 割り込みを要求するかどうかを指定します。

**OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)**

OSF1 フラグが“1”のときに、MTU 相補 PWM 出力端子をハイインピーダンスにするかどうかを指定します。

**OSF1 フラグ (出力短絡フラグ 1)**

表 21.3 に示す MTU 相補 PWM 出力端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。POE2.PnCZEA (n = 1, 2, 3) ビットが“0”のとき、または MTU のアウトプットコンペア機能を有効にしていないとき、対応する MTU 相補 PWM 出力端子が同時にアクティブレベルになっても OSF1 フラグは“1”になりません。アクティブレベルについては MTU.TOCR1、TOCR2 レジスタの設定に依存します。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき (注1)

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき  
“0”を書くには、MTU 相補 PWM 出力端子から非アクティブを出力する必要があります。  
詳細は「21.3.5 ハイインピーダンスからの解除」参照してください。

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

## 21.2.3 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

アドレス 0008 8908h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8F	—	—	POE8E	PIE2	—	—	—	—	—	—	POE8M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#端子入力の立ち下がリエッジで要求を受け付ける 0 1 : POE8#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE8#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE8#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : OEI2割り込み要求を禁止 1 : OEI2割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

## PIE2 ビット (ポート割り込み許可 2 ビット)

POE8F フラグが“1”になったときに、OEI2 割り込みを要求するかどうかを指定します。

## POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8F フラグが“1”になったときに、MTU0 用端子をハイインピーダンスにするかどうかを指定します。

## POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE8M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE8# 端子に High を入力する必要があります。

詳細は「21.3.5 ハイインピーダンスからの解除」参照してください。

## 21.2.4 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 890Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CH0HIZ	CH34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b1	CH0HIZ	MTU0出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**CH34HIZ ビット (MTU3、MTU4 出力ハイインピーダンス許可ビット)**

MTU 相補 PWM 出力端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

**CH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)**

MTU0 用端子 (MTIOC0A/MTIOC0B/MTIOC0C/MTIOC0D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき



## 21.2.5 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 890Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PE3ZE	PE2ZE	PE1ZE	PE0ZE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PE0ZE	MTIOC0Aハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	PE1ZE	MTIOC0Bハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	PE2ZE	MTIOC0Cハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b3	PE3ZE	MTIOC0Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

## 21.2.6 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2CR2)

アドレス 0008 890Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	P1CZEA	P2CZEA	P3CZEA	—	—	—	—
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	P3CZEA	MTUポート3ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b5	P2CZEA	MTUポート2ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b6	P1CZEA	MTUポート1ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

本機能を使用しない場合、“00h”を書いてください。

**P3CZEA ビット (MTU ポート 3 ハイインピーダンス許可ビット)**

MTU 相補 PWM 出力端子の MTIOC4B と MTIOC4D をハイインピーダンスするかどうかを許可します。また、MTIOC4B と MTIOC4D の出力レベル比較を行うかどうかを許可します。

**P2CZEA ビット (MTU ポート 2 ハイインピーダンス許可ビット)**

MTU 相補 PWM 出力端子の MTIOC4A と MTIOC4C をハイインピーダンスするかどうかを許可します。また、MTIOC4A と MTIOC4C の出力レベル比較を行うかどうかを許可します。

**P1CZEA ビット (MTU ポート 1 ハイインピーダンス許可ビット)**

MTU 相補 PWM 出力端子の MTIOC3B と MTIOC3D をハイインピーダンスするかどうかを許可します。また、MTIOC3B と MTIOC3D の出力レベル比較を行うかどうかを許可します。

## 21.2.7 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス 0008 890Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0 : 発振停止ハイインピーダンス要求なし 1 : 発振停止ハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

**OSTSTE ビット (OSTST ハイインピーダンス許可ビット)**

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 用端子をハイインピーダンスにするかどうかを許可します。

**OSTSTF フラグ (OSTST ハイインピーダンスフラグ)**

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。発振停止状態になると“1”になります。OSTSTF フラグを“0”にするときは、発振停止検出信号がネゲート状態のときに“0”を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに“0”を書いても“0”になりません。アサート中とは、発振停止を検出後、10PCLK クロック経過するまでの期間です。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

### 21.3 動作説明

以下にハイインピーダンスの対象になる端子と条件を示します。

#### (1) MTU0 用端子 (MTIOC0A)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出  
POECR1.PE0ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定  
POECR1.PE0ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出  
POECR1.PE0ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき

#### (2) MTU0 用端子 (MTIOC0B)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出  
POECR1.PE1ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定  
POECR1.PE1ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出  
POECR1.PE1ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき

#### (3) MTU0 用端子 (MTIOC0C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出  
POECR1.PE2ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定  
POECR1.PE2ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出  
POECR1.PE2ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき

#### (4) MTU0 用端子 (MTIOC0D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出  
POECR1.PE3ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定  
POECR1.PE3ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出  
POECR1.PE3ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき

## (5) MTU3 用端子 (MTIOC3B, MTIOC3D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出  
POE2R.P1CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較  
POE2R.P1CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定  
POE2R.P1CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出  
POE2R.P1CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき

## (6) MTU4 用端子 (MTIOC4A, MTIOC4C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出  
POE2R.P2CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較  
POE2R.P2CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定  
POE2R.P2CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出  
POE2R.P2CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき

## (7) MTU4 用端子 (MTIOC4B, MTIOC4D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出  
POE2R.P3CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較  
POE2R.P3CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定  
POE2R.P3CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出  
POE2R.P3CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき

### 21.3.1 入力レベル検出動作

ICSR1、ICSR2 レジスタで設定した入力条件が POE0# ~ POE3#、POE8# 端子に発生した場合、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

#### (1) 立ち下がリエッジ検出

POE0# ~ POE3#、POE8# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

立ち下がリエッジは、PCLK でサンプリングを行った後、検出します。POE0# ~ POE3#、POE8# 端子に 1PCLK クロック未満の Low が入力された場合、立ち下がリエッジが検出できるかどうかは保証できません。

POE0# ~ POE3#、POE8# 端子入力から端子のハイインピーダンスまでのタイミング例を図 21.2 に示します。

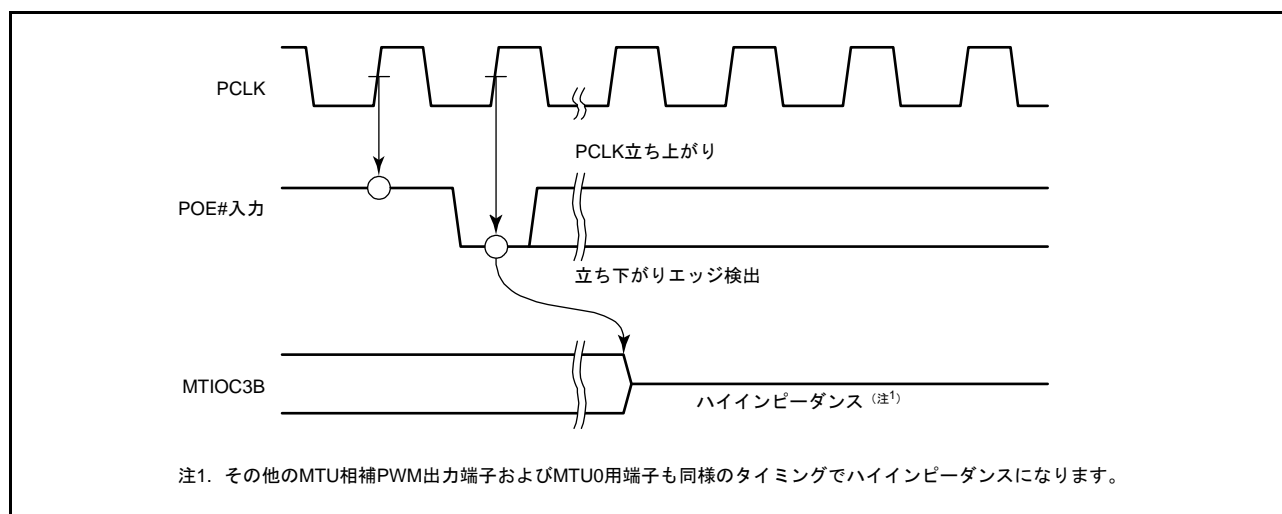


図 21.2 立ち下がリエッジ検出動作

(2) Low 検出

図 21.3 に Low 検出動作を示します。ICSR1、ICSR2 レジスタで設定したサンプリングクロックで、16回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にします。このとき、一度でも High を検出した場合は Low 検出とみなしません。また、サンプリングクロックが出力されていない期間は、POE0# ~ POE3#、POE8# 端子が変化しても無視されます。

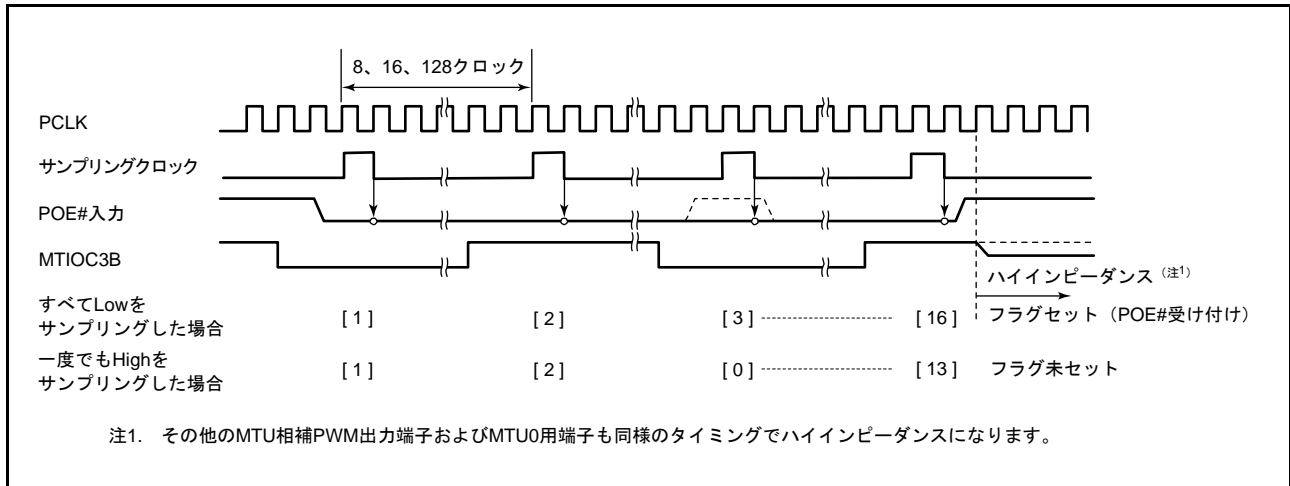


図 21.3 Low 検出動作

21.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、MTU 相補 PWM 出力端子の出力レベル比較動作を図 21.4 に示します。他の端子の組み合わせについても同様です。

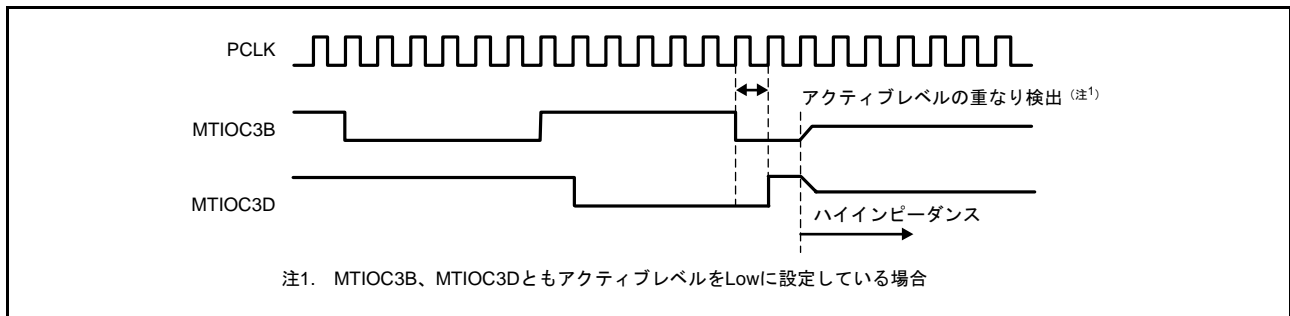


図 21.4 出力レベル比較動作

### 21.3.3 レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) への書き込みによって、MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御をします。

SPOER.CH34HIZ ビットを“1”にすることで、POECR2 レジスタで設定した MTU 相補 PWM 出力の端子 (MTU3, MTU4) をハイインピーダンスにします。

SPOER.CH0HIZ ビットを“1”にすることで、POECR1 レジスタで設定した MTU0 用出力端子をハイインピーダンスにします。

### 21.3.4 発振停止検出によるハイインピーダンス制御

ICSR3.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR2 レジスタで設定した MTU 相補 PWM 出力端子および POECR1 レジスタで設定した MTU0 用端子をハイインピーダンスにします。

### 21.3.5 ハイインピーダンスからの解除

入力レベル検出でハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、リセットで初期状態に戻るか、ICSR1.POE3F、POE2F、POE1F、POE0F フラグ、ICSR2.POE8F フラグを“0”にすることにより解除されます。ただし、ICSR1.POE3M[1:0]、POE2M[1:0]、POE1M[1:0]、POE0M[1:0] ビット、ICSR2.POE8M[1:0] ビットで Low サンプリングに設定している場合には、POE0# ~ POE3#、POE8# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル比較でハイインピーダンスになった MTU 相補 PWM 出力端子は、リセットで初期状態に戻るか、OCSR1.OSF1 フラグを“0”にすることにより解除されます。ただし、MTU 相補 PWM 出力端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU のレジスタを設定することで行うことができます。

クロック発生回路の発振停止によりハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、ICSR3.OSTSTF ビットまたは ICSR3.OSTSTE ビットを“0”にすることによりハイインピーダンスが解除されます。

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットによりハイインピーダンスになった MTU 相補 PWM 出力端子または MTU0 用端子は、端子に対応するビット (SPOER.CH34HIZ, SPOER.CH0HIZ) を“0”にすることによりハイインピーダンスが解除されます。



## 21.4 割り込み

POE は入力レベル検出動作、出力レベル比較動作、クロック発生回路の発振停止において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 21.4 に割り込みの種類と割り込み要求を出す条件を示します。OEI1 割り込みと OEI2 割り込みを受け付けたとき、当該割り込みの例外処理ルーチンの先頭で当該フラグが“1”になっていることを確認してください。

表 21.4 割り込み要求の種類と条件

名称	割り込み要因	該当フラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, POE1F, POE2F, POE3F, OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0F、POE1F、POE2F、またはPOE3Fフラグが“1”になったとき、もしくはOCSR1.OIE1ビットが“1”の状態(OCSR1.OSF1フラグが“1”になったとき)
OEI2	アウトプットイネーブル割り込み2	POE8F	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE8Fフラグが“1”になったとき)

## 21.5 使用上の注意事項

### 21.5.1 ソフトウェアスタンバイモードへの移行について

POE を使用する場合は、ソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードでは、POE の動作が停止するため、端子のハイインピーダンス制御はできません。

### 21.5.2 POE を使用しない場合について

POE を使用しない場合は、ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) に“00h”を、ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) に“00h”をそれぞれ書き込んでください。

### 21.5.3 端子の MTU 機能設定について

POE によるハイインピーダンス制御は、端子が PMR レジスタと PmnPFS レジスタによって MTU の該当端子に選択されている場合のみ機能します。汎用入出力ポートに選択されている場合は、ハイインピーダンス制御はできません。

また、POE0# ~ POE3#、POE8# を入力レベル検出機能として使用する場合、端子の機能を PMR レジスタや PmnPFS レジスタによって POE の入力端子に設定した後、MTU を動作させる前に ICSR1.POE<sub>k</sub>F フラグ、ICSR2.POE8F フラグをクリアしてください (k = 0 ~ 3)。

## 22. 8ビットタイマ (TMR)

本MCUは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ(TMR)を2ユニット(ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能なほか、2本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

また、本章に記載しているPCLKとはPCLKBを指します。

### 22.1 概要

表22.1にTMRの仕様を、表22.2にTMRの機能一覧を示します。

図22.1にユニット0、図22.2にユニット1のブロック図を示します。

表22.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> <li>内部クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192</li> <li>外部クロック：外部カウントクロック</li> </ul>
チャンネル数	(8ビット×2チャンネル)×2ユニット
コンペアマッチ	<ul style="list-style-type: none"> <li>8ビットモード(コンペアマッチA、コンペアマッチB)</li> <li>16ビットモード(コンペアマッチA、コンペアマッチB)</li> </ul>
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> <li>16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位)とする16ビットタイマ</li> <li>コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント)</li> </ul>
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー (TMR0, 2)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作(TMR0, 2) (2) イベントカウンタ動作(TMR0, 2) (3) カウンタリスタート動作(TMR0, 2)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

表22.2 TMRの機能一覧

項目		ユニット0			ユニット1		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRIO	TMR1.TCORA TMR1.TCORB TMRIO1	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRIO	TMR2.TCORA TMR2.TCORB TMRIO2	TMR3.TCORA TMR3.TCORB TMRIO3	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRIO2
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出 力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起 動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフ ロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフ ロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフ ロー	TMR0の コンペア マッチA	—	TMR3の オーバフ ロー	TMR2の コンペア マッチA	—
ELC出力 イベント	コンペアマッチA	○	—	○	○	—	○
	コンペアマッチB	○	—	○	○	—	○
	TCNTのオーバフ ロー	○	—	○	○	—	○
ELC入力 イベント	カウントスタート	○	—	—	○	—	—
	イベントカウンタ	○	—	—	○	—	—
	カウントリスタート	○	—	—	○	—	—
モジュールストップの設定 (注1)		(ユニット0) MSTPCRA.MSTPA5 ビット、(ユニット1) MSTPCRA.MSTPA4 ビット					

○：可能

—：不可能

注1. 詳細は「11. 消費電力低減機能」を参照してください。

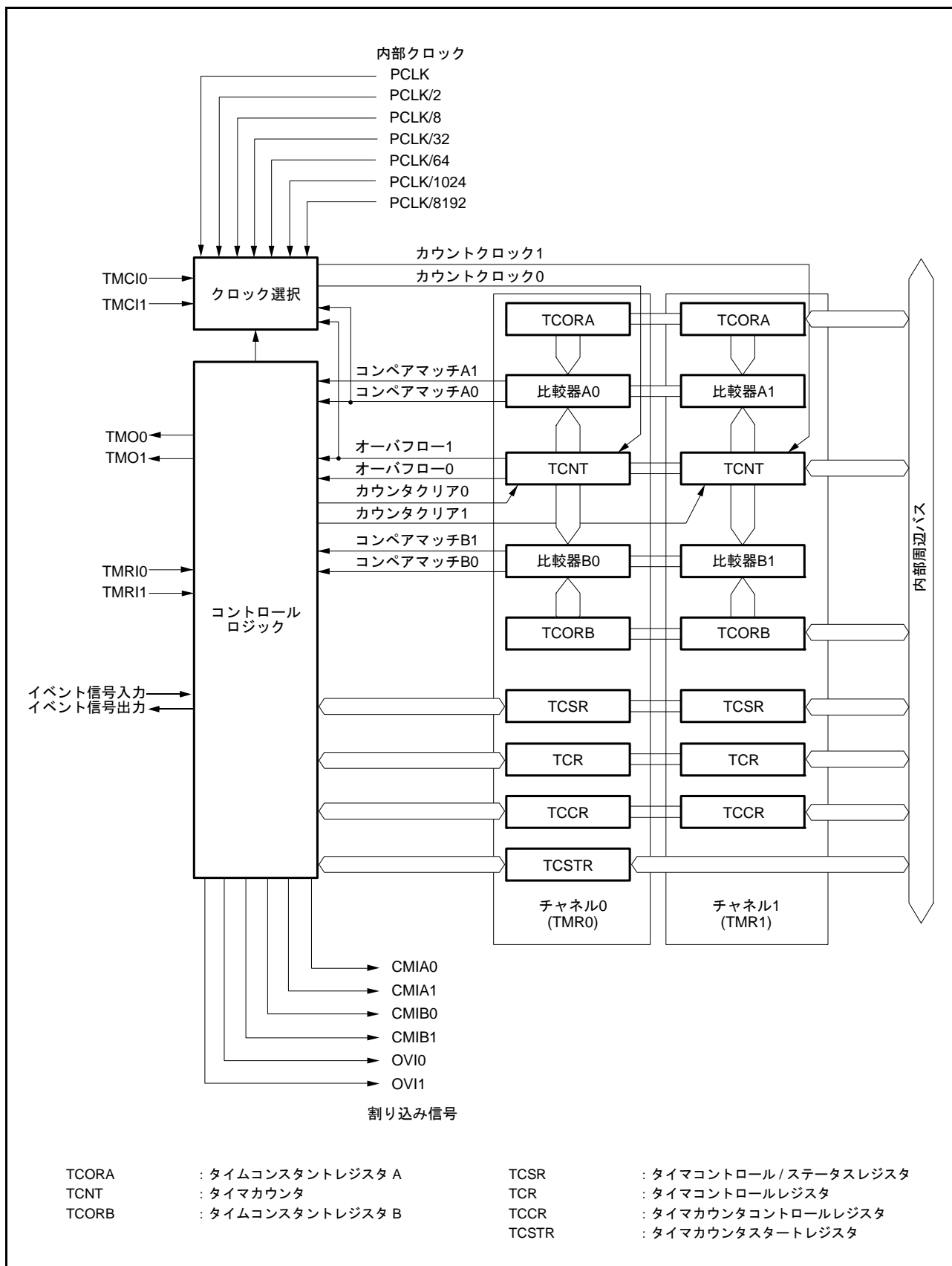


図 22.1 TMR (ユニット 0) のブロック図

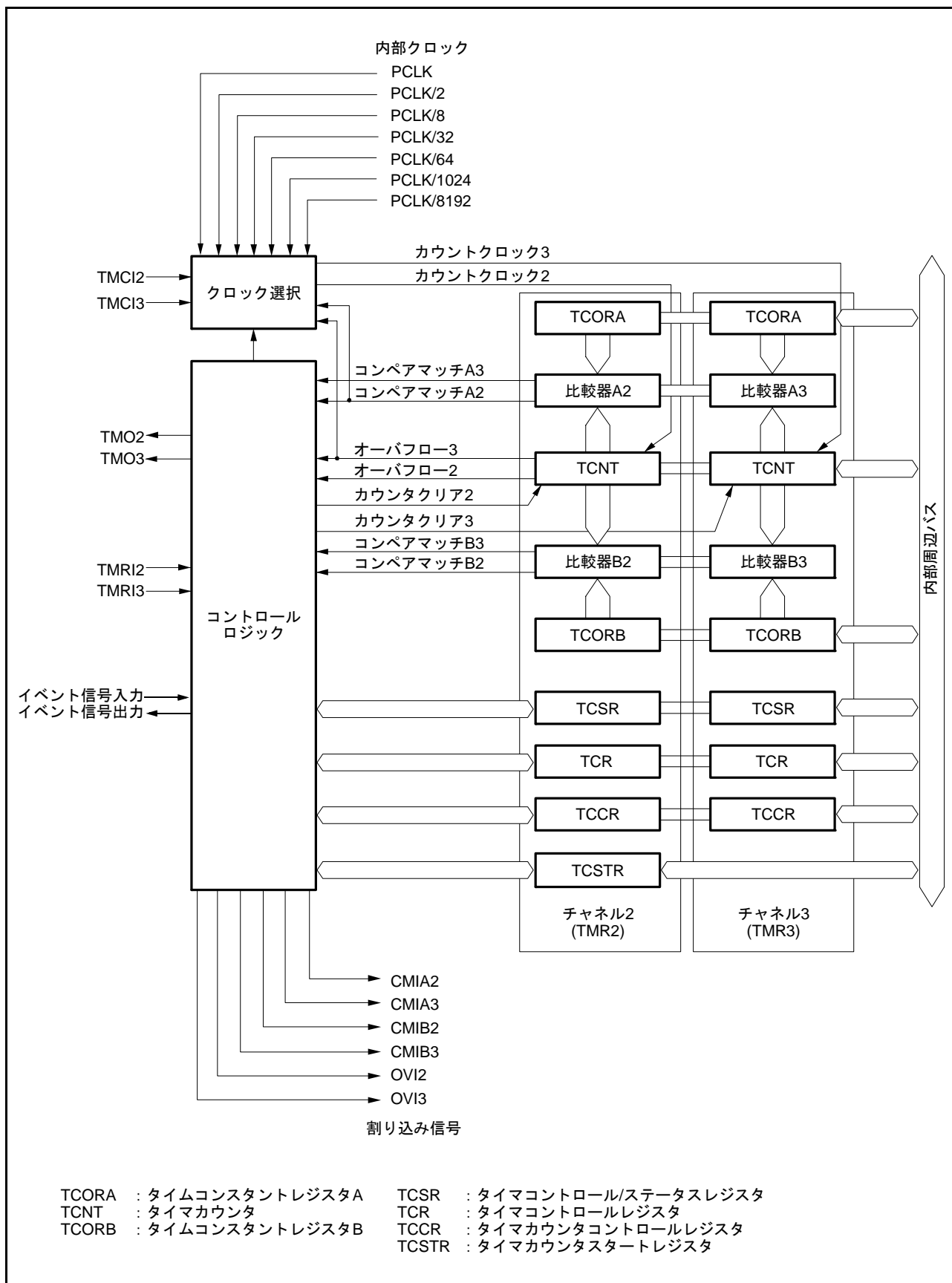


図 22.2 TMR (ユニット1) のブロック図

表 22.3 に TMR で使用する入出力端子を示します。

表 22.3 TMRの入出力端子

ユニット	チャンネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMC10	入力	外部カウントクロック入力
		TMR10	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMC11	入力	外部カウントクロック入力
		TMR11	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMC12	入力	外部カウントクロック入力
		TMR12	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMC13	入力	外部カウントクロック入力
		TMR13	入力	外部カウンタリセット入力

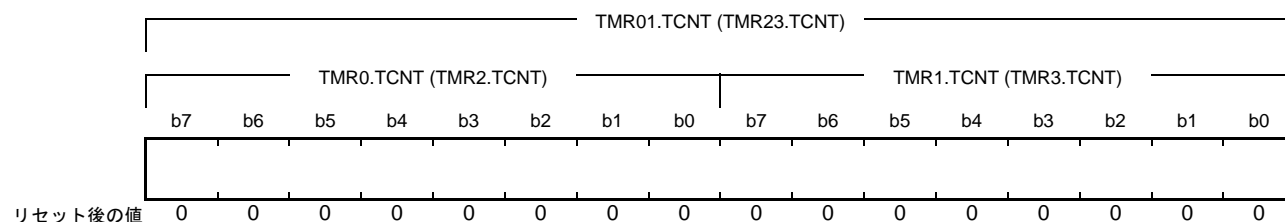
## 22.2 レジスタの説明

表 22.4 16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR

### 22.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,  
TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h



TCNT カウンタは、8ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16ビットカウンタ (TMR01.TCNT, TMR23.TCNT) としてワードアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

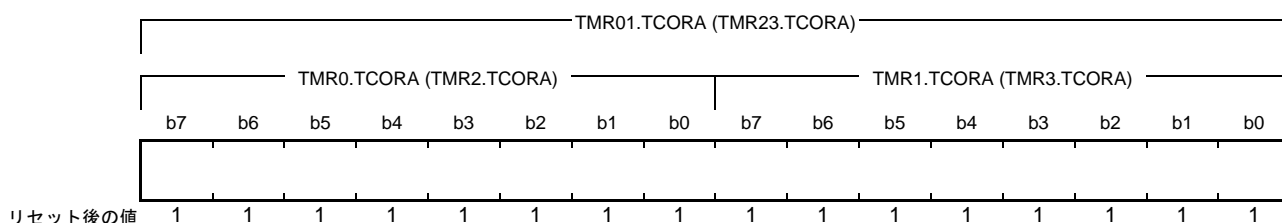
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込み (Low パルス) を出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 22.6 TMR の割り込み要因」を参照してください。

### 22.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,  
TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

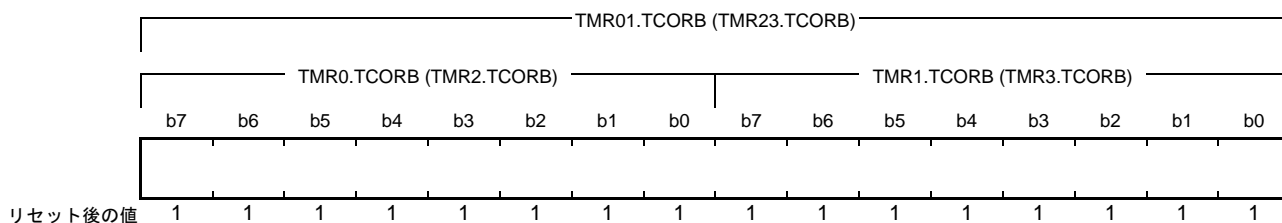
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA) としてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込み (Low パルス) を出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO<sub>n</sub> 端子からのタイマ出力を制御することができます。

### 22.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,  
TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB) としてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込み (Low パルス) を出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO<sub>n</sub> 端子からのタイマ出力を制御することができます。



## 22.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット (注1)	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	タイマオーバーフロー割り込み許可ビット	0 : オーバフローによる割り込み要求(OVIn)を禁止 1 : オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0 : コンペアマッチAによる割り込み要求(CMIAAn)を禁止 1 : コンペアマッチAによる割り込み要求(CMIAAn)を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0 : コンペアマッチBによる割り込み要求(CMIBn)を禁止 1 : コンペアマッチBによる割り込み要求(CMIBn)を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

### CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

### OVIE ビット (タイマオーバーフロー割り込み許可ビット)

TCNT カウンタのオーバーフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

### CMIEA ビット (コンペアマッチ割り込み許可 A ビット)

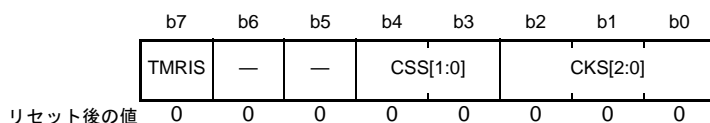
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAAn) の許可または禁止を選択します。

### CMIEB ビット (コンペアマッチ割り込み許可 B ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBn) の許可または禁止を選択します。

### 22.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,  
TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表22.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表22.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部カウンタリセット信号の立ち上がりでクリア 1 : 外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する8ビットのレジスタです。偶数チャンネルのアドレスに対して16ビットアクセスすると、同時に2つのTCCRレジスタにアクセスできます。

#### CKS[2:0] ビット (クロック選択ビット)

#### CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよびCSS[1:0] ビットは、カウントクロックを選択します。詳細は、表22.5を参照してください。

#### TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表22.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCRレジスタ					機能	
	CSS[1:0]		CKS[2:0]				
	b4	b3	b2	b1	b0		
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)	
	0	1	0	0	0	内部クロック：PCLKでカウント	
					1	内部クロック：PCLK/2でカウント	
					0	内部クロック：PCLK/8でカウント	
					1	内部クロック：PCLK/32でカウント	
				1	0	0	内部クロック：PCLK/64でカウント
						1	内部クロック：PCLK/1024でカウント
						0	内部クロック：PCLK/8192でカウント
						1	クロック入力を禁止
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT)のオーバフロー信号でカウント(注2)	
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)	
	0	1	0	0	0	内部クロック：PCLKでカウント	
					1	内部クロック：PCLK/2でカウント	
					0	内部クロック：PCLK/8でカウント	
					1	内部クロック：PCLK/32でカウント	
				1	0	0	内部クロック：PCLK/64でカウント
						1	内部クロック：PCLK/1024でカウント
						0	内部クロック：PCLK/8192でカウント
						1	クロック入力を禁止
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT)のコンペアマッチAでカウント(注2)	

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

注2. TMR0 (TMR2)のクロック入力をTMR1.TCNT (TMR3.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3)のクロック入力をTMR0.TCNT (TMR2.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウントクロックが発生しません。この設定は行わないでください。

## 22.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO<sub>n</sub>端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

**OSA[1:0] ビット (アウトプット選択ビット A)**

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO<sub>n</sub> 端子の出力方法を選択します。

**OSB[1:0] ビット (アウトプット選択ビット B)**

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO<sub>n</sub> 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]	0	0	OSA[1:0]
リセット後の値	x	x	x	1	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めず。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO<sub>n</sub>端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

#### OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO<sub>n</sub> 端子の出力方法を選択します。

#### OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO<sub>n</sub> 端子の出力方法を選択します。

### 22.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR2.TCSTR 0008 821Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0 : ELCによるカウント停止状態 1 : ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

#### TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウンタの状態を確認できます。

読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウンタ停止状態です。

このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみに有効となります。

詳細は、「22.7 ELC によるリンク動作」および、「17. イベントリンクコントローラ (ELC)」を参照してください。

## 22.3 動作説明

### 22.3.1 パルス出力

任意のデューティパルスを出力させる例を図 22.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b”(コンペアマッチ A によりクリア)に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b”(High 出力)、TCSR.OSB[1:0] ビットを“01b”(Low 出力)にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介入なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

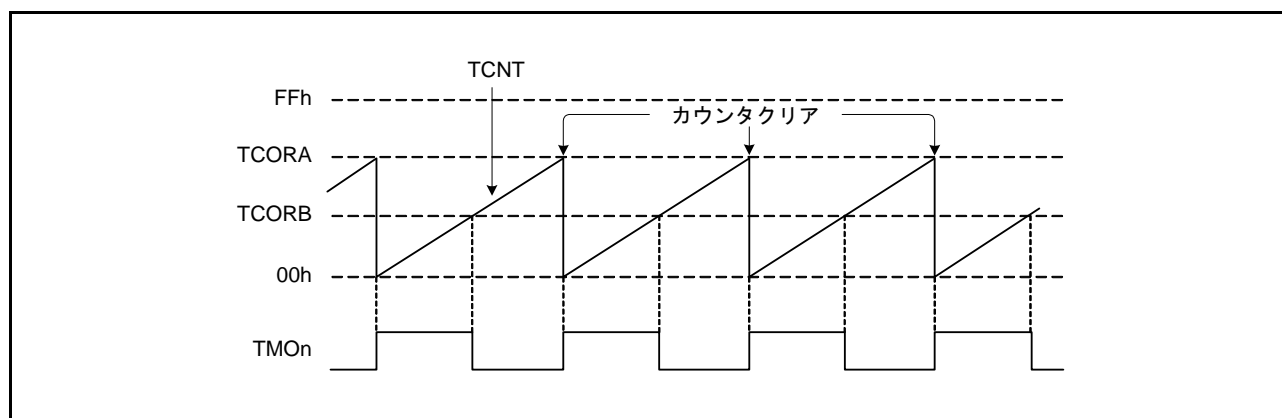


図 22.3 パルス出力例 (n = 0 ~ 3)

### 22.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 22.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを “1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

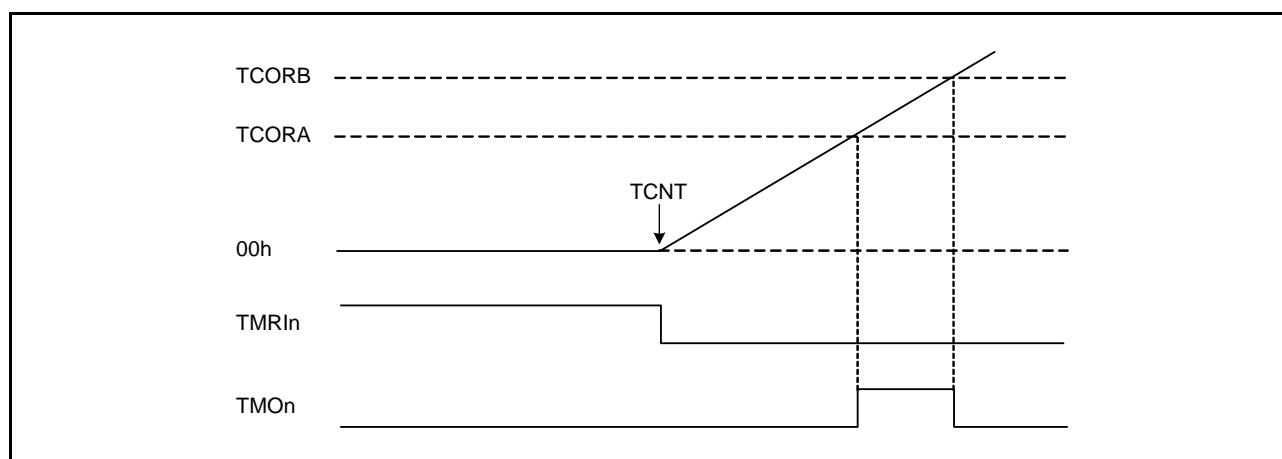


図 22.4 外部カウンタリセット信号入力例 (n = 0 ~ 3)



## 22.4 動作タイミング

### 22.4.1 TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 22.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 22.6 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

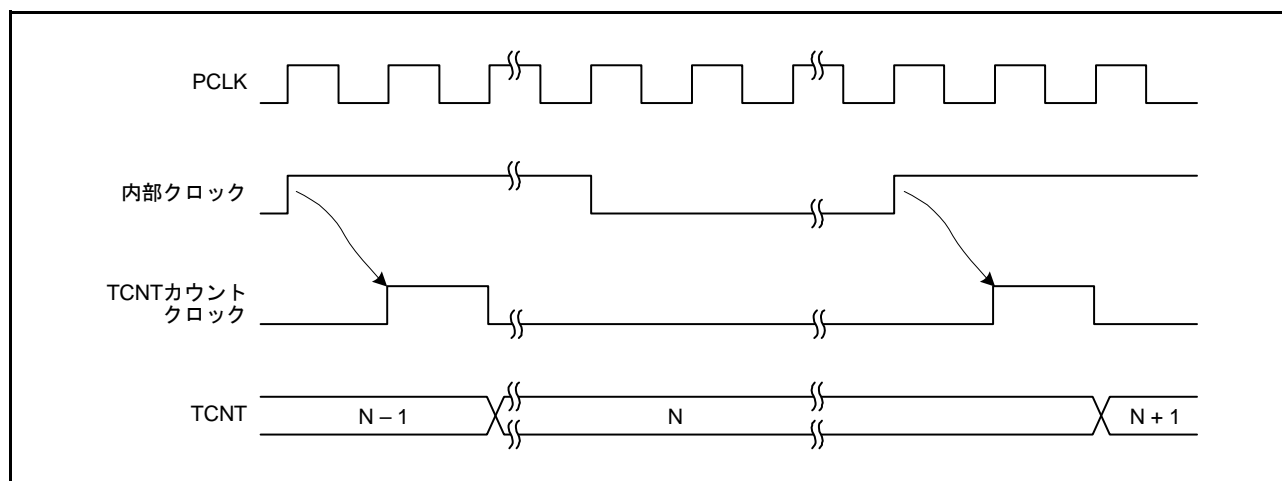


図 22.5 内部クロック動作時のカウンタタイミング

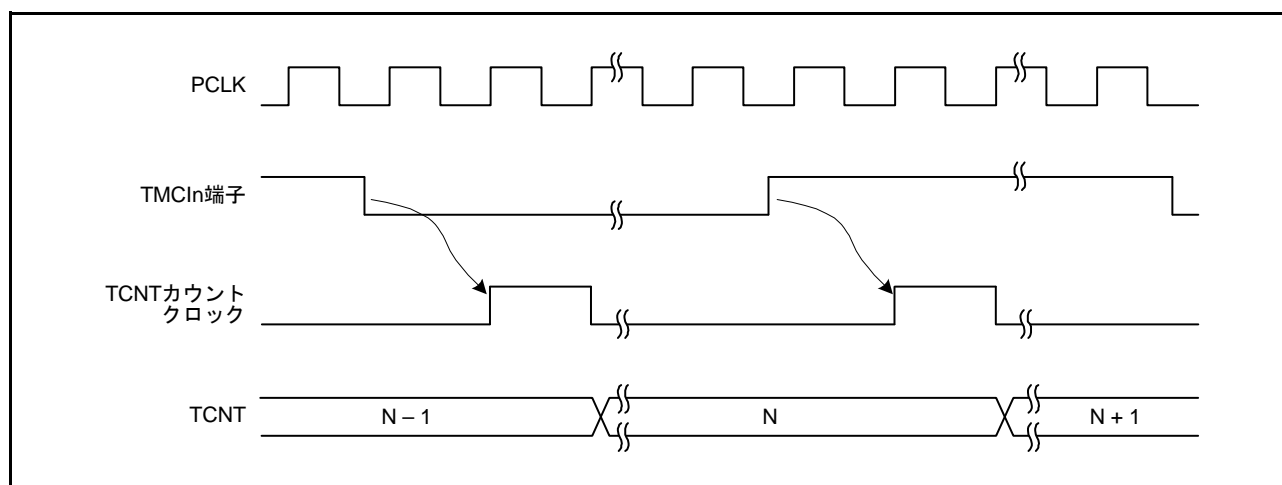


図 22.6 外部クロック動作時のカウンタタイミング (両エッジの場合)

### 22.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 22.7 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 22.6 を参照してください。

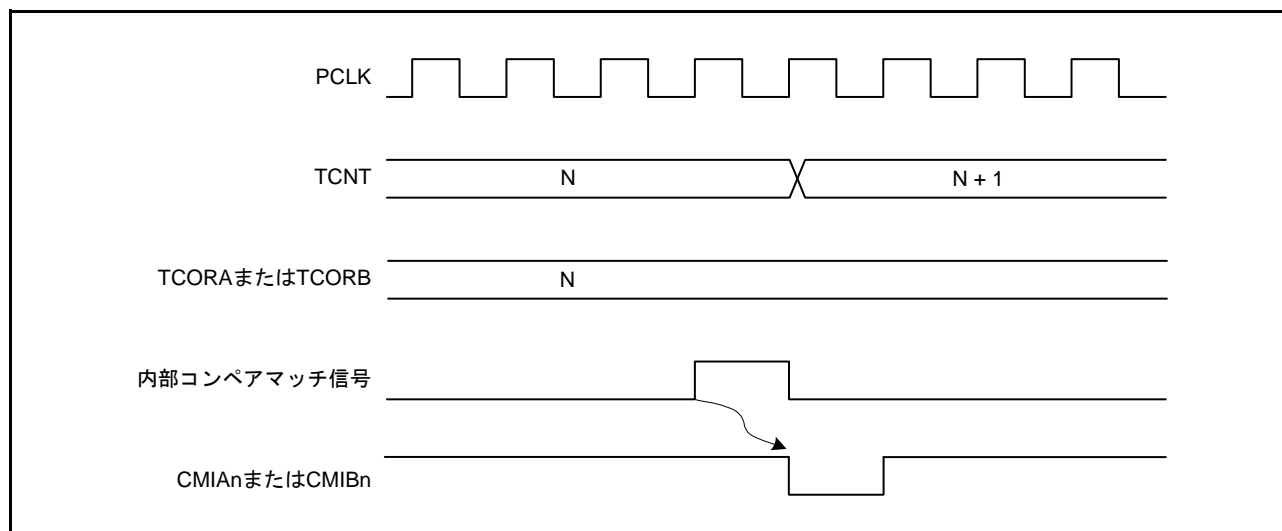


図 22.7 コンペアマッチ時の割り込みタイミング ( $n = 0 \sim 3$ )

### 22.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO $n$ ) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 22.8 に示します。

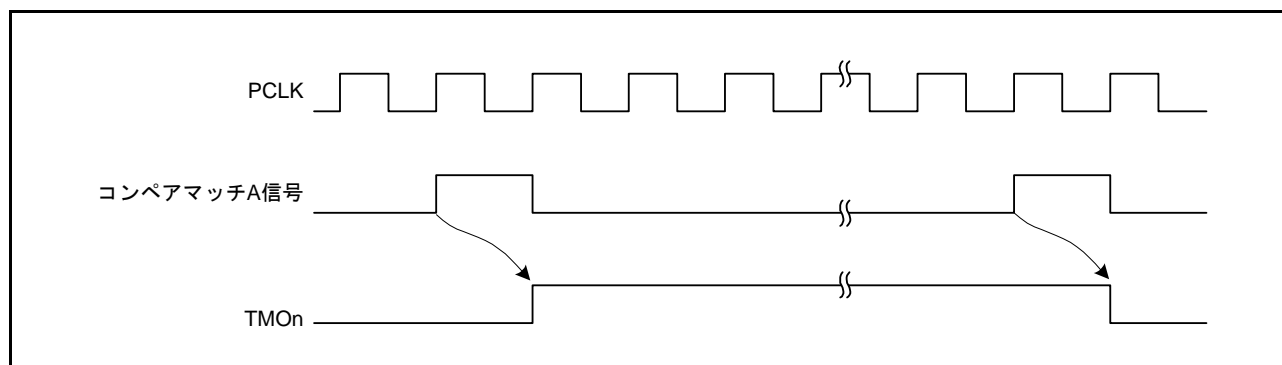


図 22.8 コンペアマッチ A 信号による出力信号タイミング ( $n = 0 \sim 3$ )

#### 22.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 22.9 に示します。

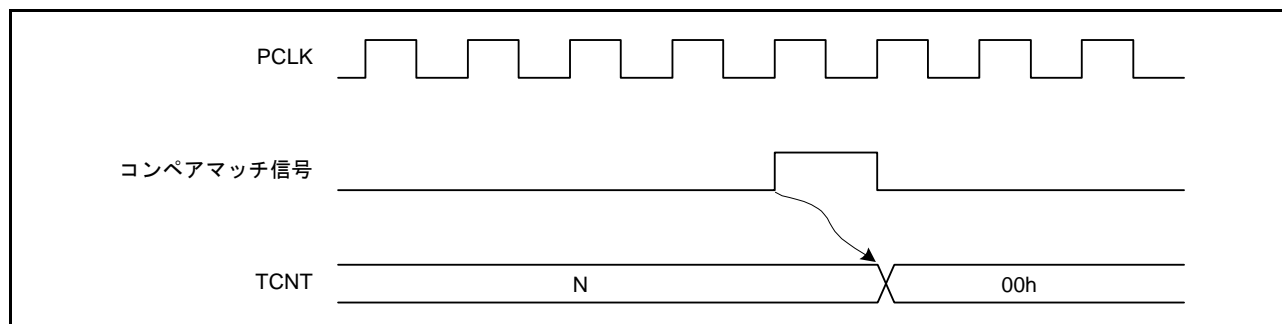


図 22.9 コンペアマッチによるカウンタクリアタイミング

#### 22.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 22.10、図 22.11 に示します。

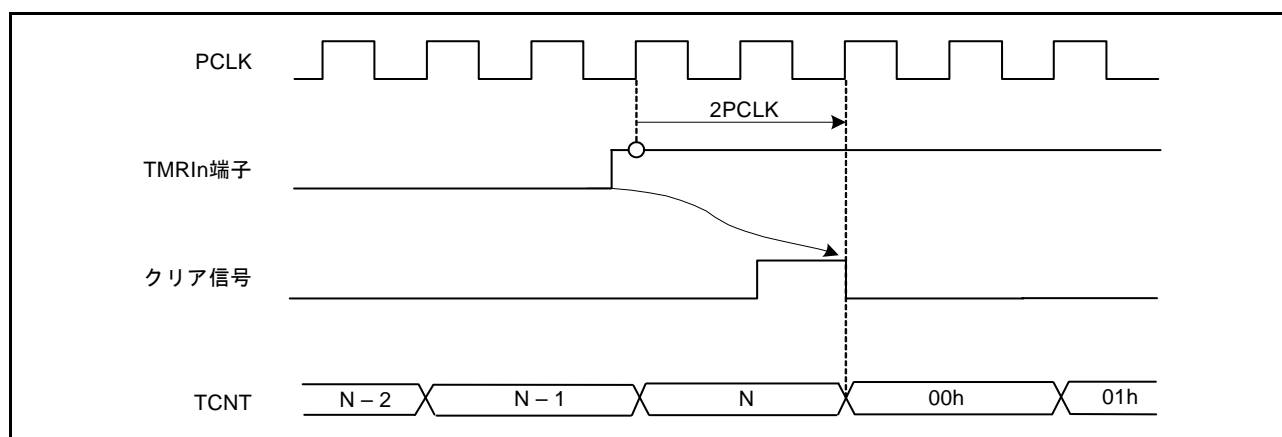


図 22.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

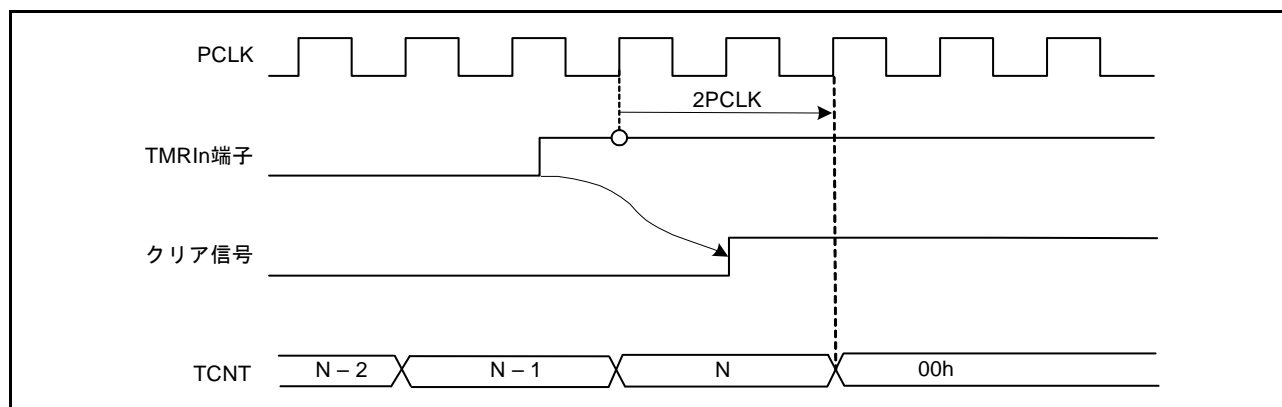


図 22.11 外部カウンタリセット信号によるクリアタイミング (High)

### 22.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 22.12 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 22.6 を参照してください。

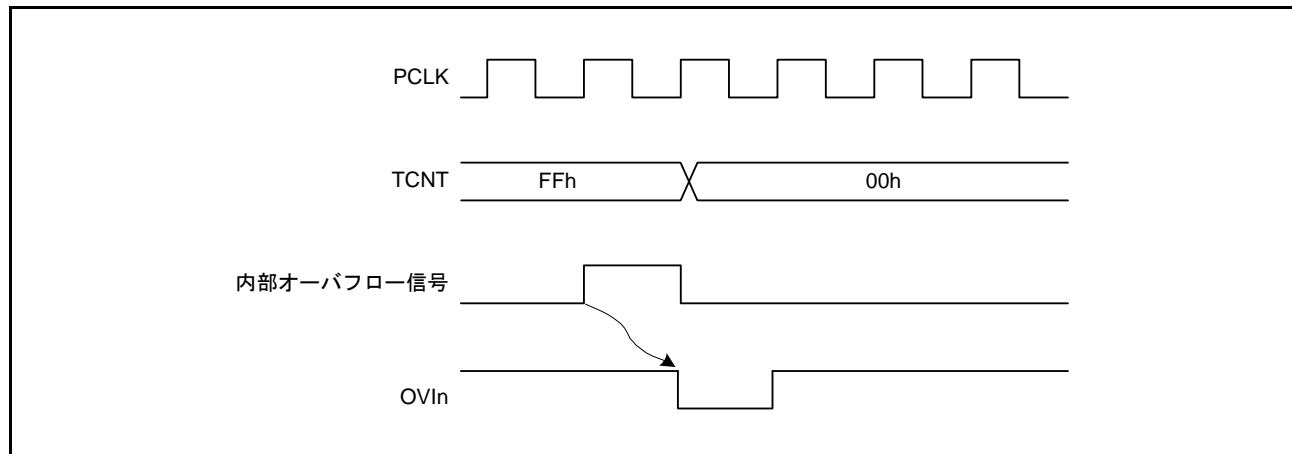


図 22.12 オーバフローによる割り込みタイミング (n = 0 ~ 3)

## 22.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット0について説明しています。ユニット1のカスケード接続時の動作についても、ユニット0と同様です。

### 22.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

#### (1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。  
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

#### (2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

### 22.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO<sub>n</sub> 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャンネルの設定に従います。

## 22.6 割り込み要因

### 22.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA<sub>n</sub>、CMIB<sub>n</sub>、OVIn の 3 種類があります。表 22.6 に各割り込み要因と優先順位を示します。

なお、CMIA<sub>n</sub>、CMIB<sub>n</sub> 割り込みにより DTC を起動することができます。

表 22.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高 ↑ ↓ 低
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OV10	TMR0.TCNT のオーバーフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OV11	TMR1.TCNT のオーバーフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OV12	TMR2.TCNT のオーバーフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OV13	TMR3.TCNT のオーバーフロー	不可能	

## 22.7 ELCによるリンク動作

### 22.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャンネルは TMR0 と TMR2 です。

イベント信号は該当する割り込み要求許可ビット (TMR0.TCR.OVIE/TMR2.TCR.OVIE、TMR0.TCR.CMIEA/TMR2.TCR.CMIEA、TMR0.TCR.CMIEB/TMR2.TCR.CMIEB) の設定に関係なく出力することができます。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

### 22.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

#### (1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが“1”にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD[1:0]、ELOPD.TMR2MD[1:0] ビットにおいてカウントスタートが選択されたときのみ有効となります。

#### (2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

#### (3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウンタ動作を継続することができます。

### 22.7.3 ELCからのイベント信号受信によるTMRの注意事項

以下にTMRをイベントリンクによる動作で使用する際の注意事項を示します。

#### (1) カウントスタート動作

TCSTR.TCSビットへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCSTR.TCSビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

#### (2) イベントカウンタ動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

#### (3) カウントリスタート動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。



## 22.8 使用上の注意事項

### 22.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

### 22.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります ( $f$  : カウンタ周波数、PCLK : 動作周波数、 $N$  : TCORA、TCORB レジスタの設定値)。

$$f = \text{PCLK} / (N + 1)$$

### 22.8.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 22.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

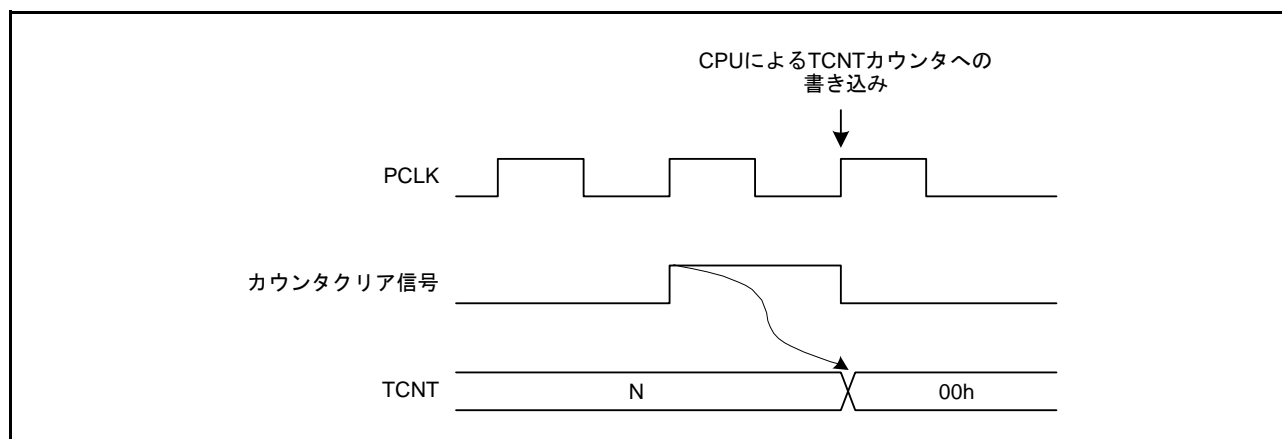


図 22.13 TCNT カウンタへの書き込みとカウンタクリアの競合

### 22.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 22.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

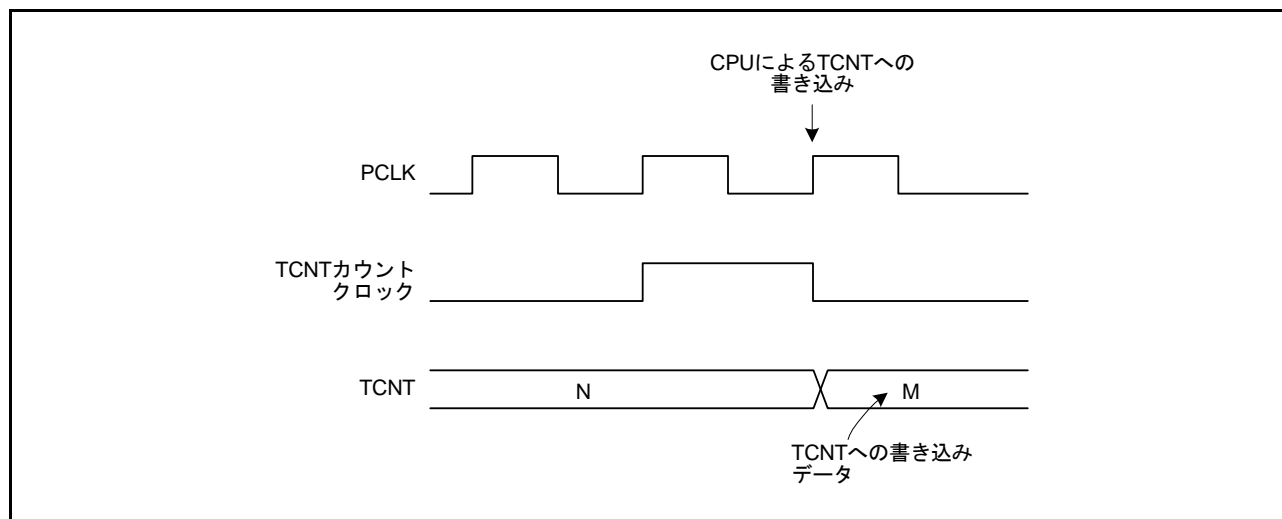


図 22.14 TCNT カウンタへの書き込みとカウントアップの競合

### 22.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 22.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

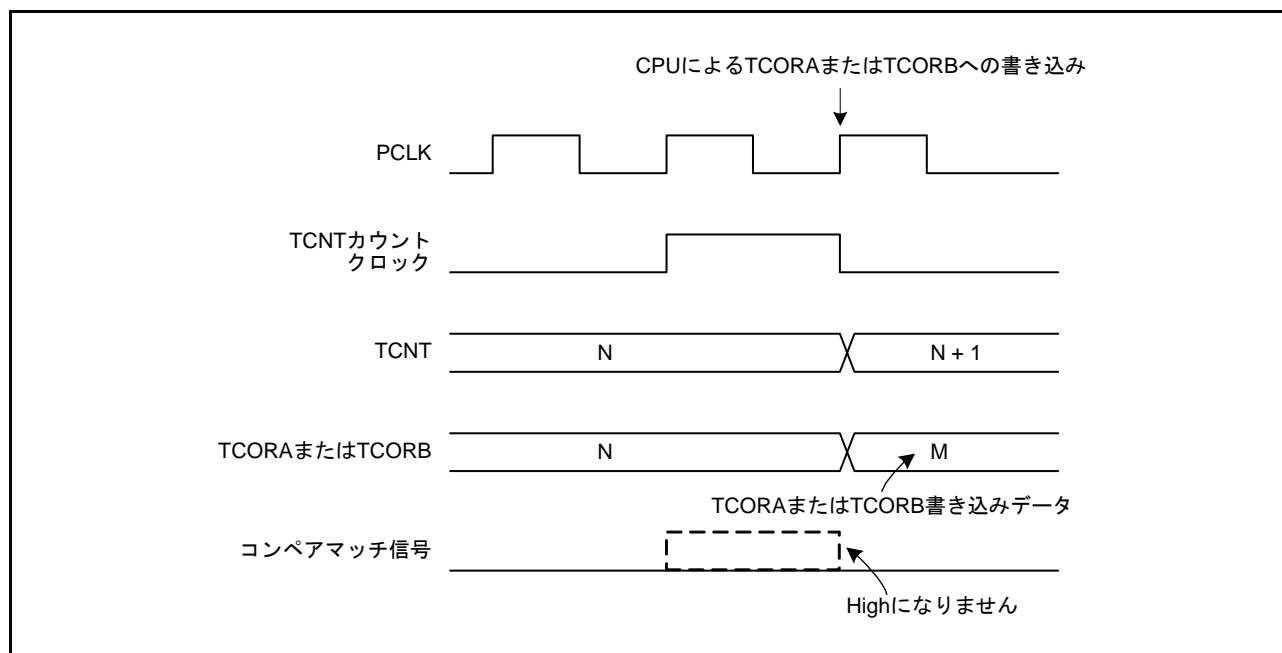


図 22.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

### 22.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 22.7 に示す出力設定の優先順位の高い方が出力されます。

表 22.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

### 22.8.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 22.8 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 22.8 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 22.8 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

No.	TCCR.CKS[2:0] ビット書き換えタイミング	TCNT カウンタの動作
1	Low→Low (注1)の切り替え	<p style="text-align: center;">TCCR.CKS[2:0] ビット書き換え</p>

表22.8 内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウンタクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
3	High→Low (注4)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウンタクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
4	High→Highの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウンタクロック</p> <p>TCNT N N+1 N+2</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

- 注1. Low→停止、および停止→Lowの場合を含みます。
- 注2. 停止→Highの場合を含みます。
- 注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
- 注4. High→停止の場合を含みます。

### 22.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

### 22.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 22.16 に示します。

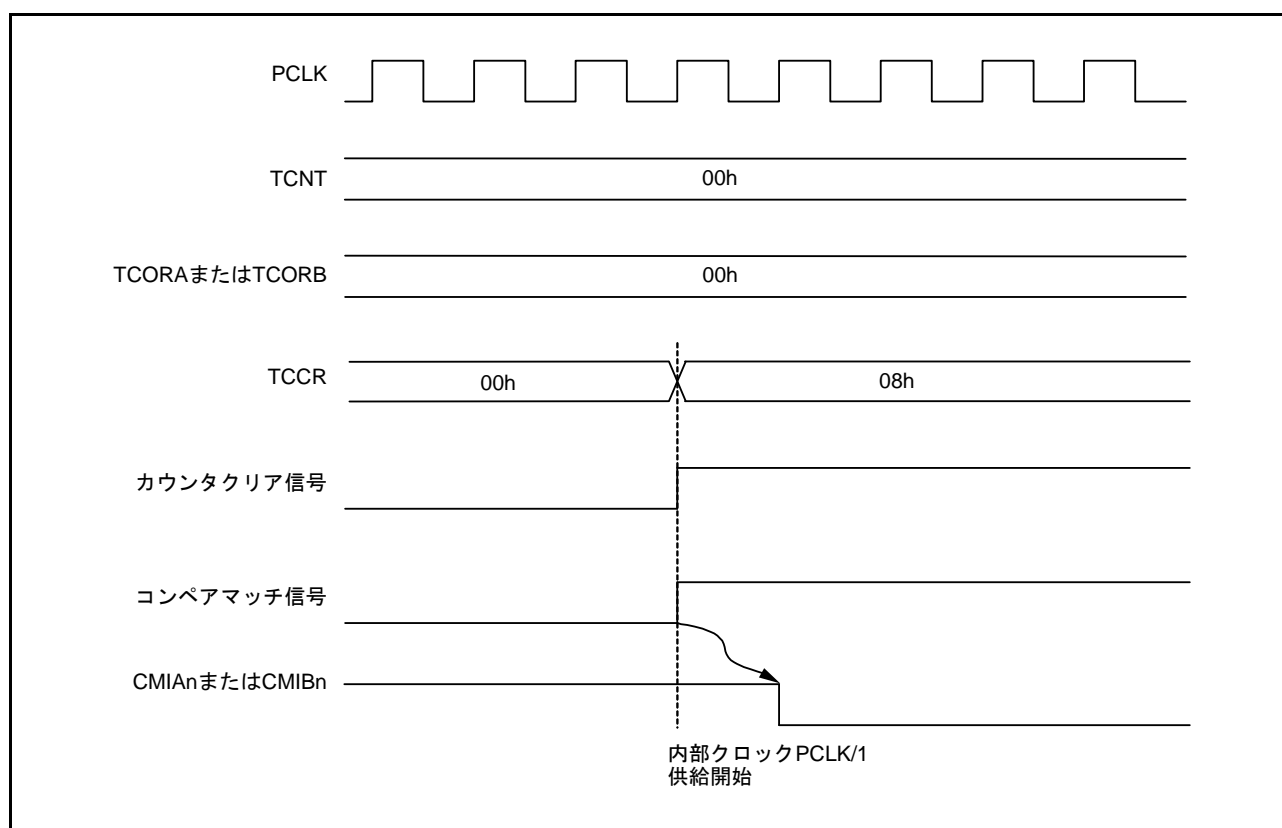


図 22.16 コンペアマッチ割り込みの連続出力 (n = 0 ~ 3)

## 23. コンペアマッチタイマ (CMT)

本 MCU は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャンネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

### 23.1 概要

表 23.1 に CMT の仕様を示します。

図 23.1 に CMT (ユニット 0) のブロック図を示します。2 チャンネルの CMT で 1 ユニットの構成し、ユニット 0 とユニット 1 は同じ仕様です。ユニット 0 のコンペアマッチタイマスタートレジスタ 0 (CMSTR0)、コンペアマッチ割り込み (CMI0, CMI1) が、ユニット 1 ではコンペアマッチタイマスタートレジスタ 1 (CMSTR1)、コンペアマッチ割り込み (CMI2, CMI3) に対応します。

表 23.1 CMT の仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> <li>4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能</li> </ul>
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

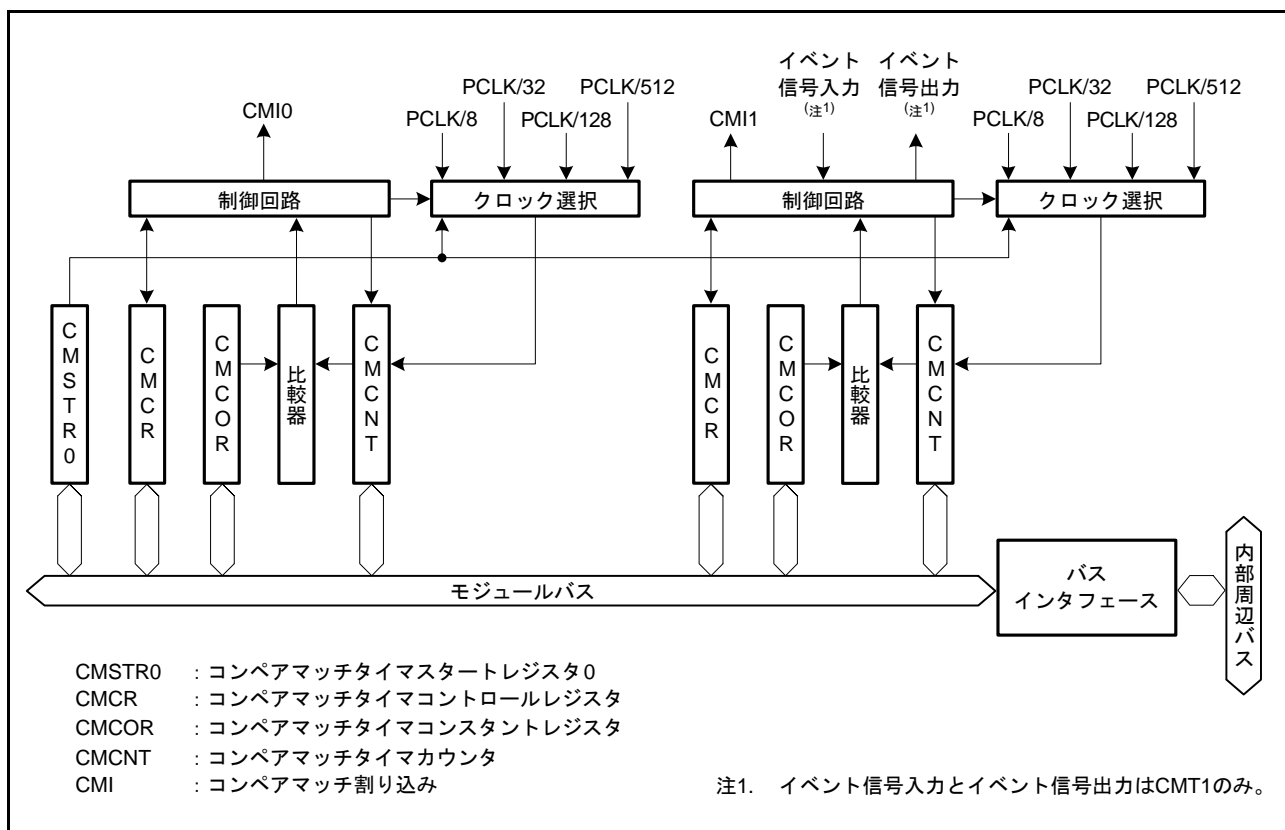


図 23.1 CMT (ユニット 0) のブロック図

## 23.2 レジスタの説明

### 23.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

### 23.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

## 23.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**CKS[1:0] ビット (クロック選択ビット)**

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

CMSTRm.STRn ビット (m=0, 1、n=0~3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

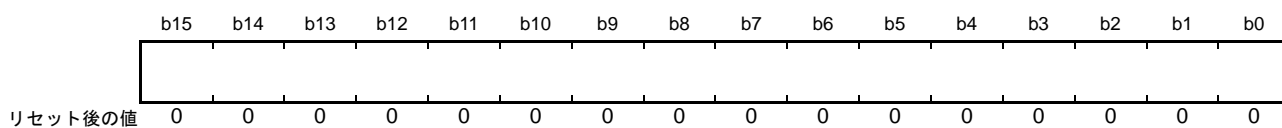
**CMIE ビット (コンペアマッチ割り込み許可ビット)**

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n=0~3) の発生を許可するか禁止するかを選択します。



### 23.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



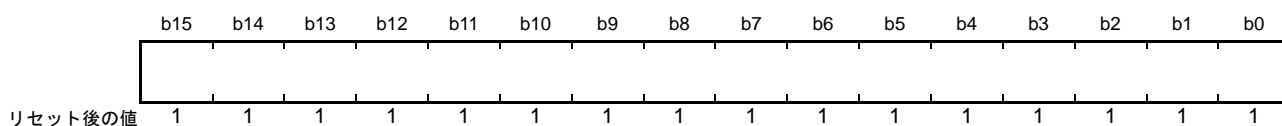
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1、n = 0 ~ 3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) が発生します。

### 23.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

## 23.3 動作説明

### 23.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ( $m=0, 1$ ,  $n=0 \sim 3$ ) を“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ( $n=0 \sim 3$ ) が発生します。CMCNT カウンタは“0000h”からカウントアップを再開します。CMCNT カウンタの動作を図 23.2 に示します。

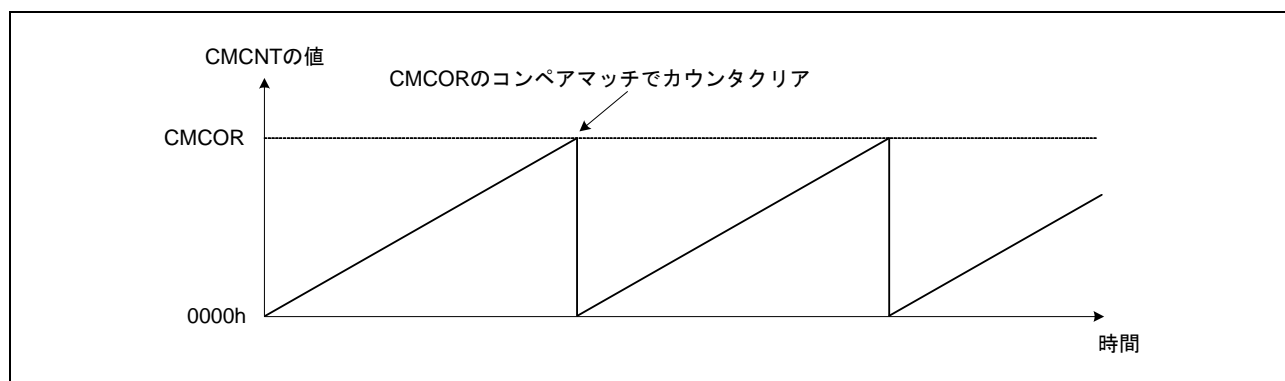


図 23.2 CMCNT カウンタの動作

### 23.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 23.3 に示します。

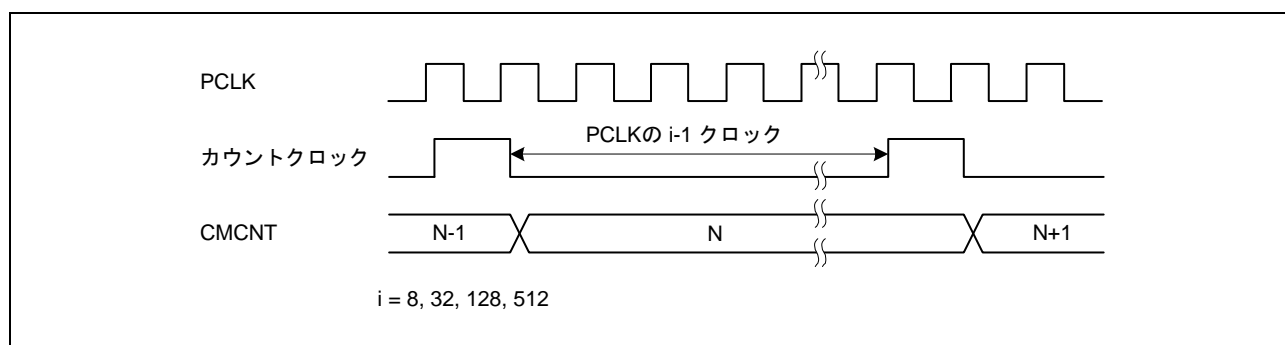


図 23.3 CMCNT カウンタのカウントタイミング

## 23.4 割り込み

### 23.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み(CMI<sub>n</sub>) (n=0~3)があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求によりCPU割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ(ICUb)」を参照してください。

表23.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動
CMI0	CMT0のコンペアマッチ	可能
CMI1	CMT1のコンペアマッチ	可能
CMI2	CMT2のコンペアマッチ	可能
CMI3	CMT3のコンペアマッチ	可能

### 23.4.2 コンペアマッチ割り込みの発生タイミング

CMCNTカウンタの値とCMCORレジスタの値が一致したときに、コンペアマッチ割り込み(CMI<sub>n</sub>) (n=0~3)が発生します。

コンペアマッチ信号は、一致した最後のステート(CMCNTカウンタが一致したカウント値を更新するタイミング)で発生します。したがって、CMCNTカウンタの値とCMCORレジスタの値とが一致した後、CMCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図23.4に示します。

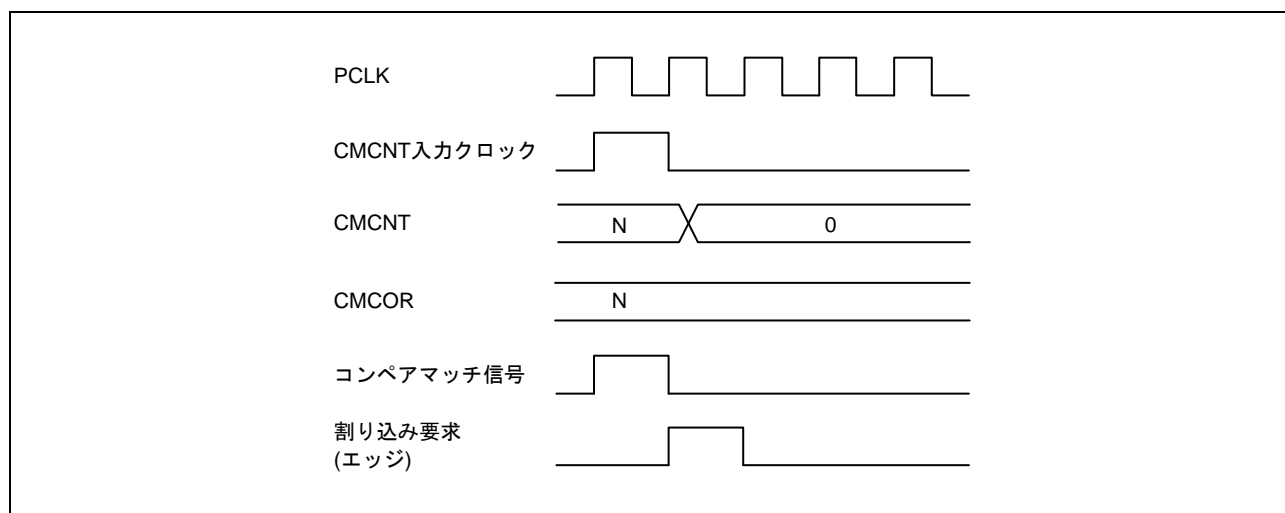


図23.4 コンペアマッチ割り込みタイミング

## 23.5 ELC によるリンク動作

### 23.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

### 23.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

#### (1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

#### (2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

#### (3) カウンタリスタート動作

ELC の ELOPC レジスタで CMT のカウンタリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

### 23.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

#### (1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

#### (2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

#### (3) カウンタリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

## 23.6 使用上の注意事項

### 23.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

### 23.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図23.5に示します。

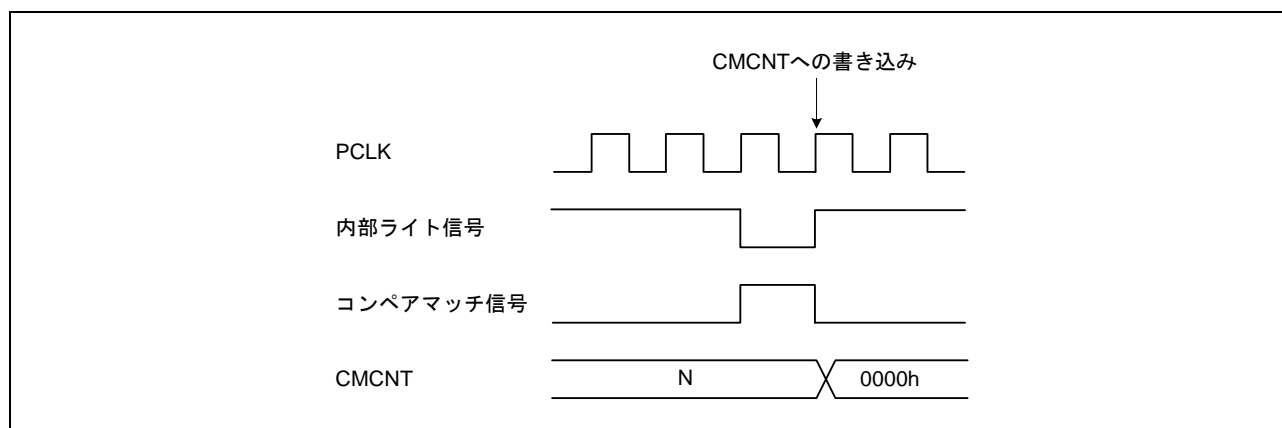


図 23.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

### 23.6.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図23.6に示します。

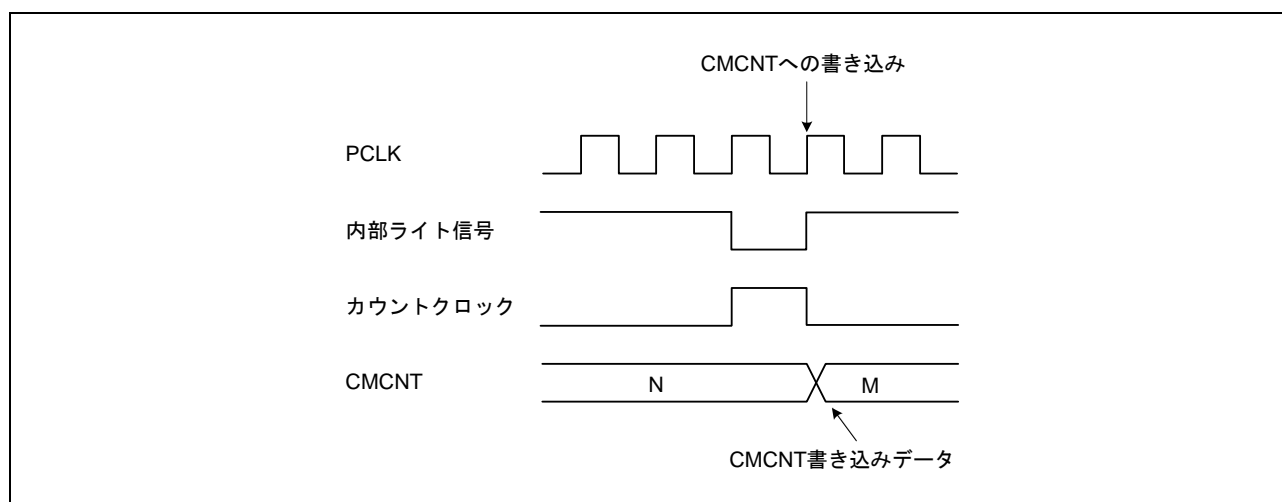


図 23.6 CMCNTカウンタへの書き込みとカウントアップの競合

## 24. リアルタイムクロック (RTCA)

本章に記載している PCLK とは PCLKB を指します。

### 24.1 概要

RTC はカウントモードとして、カレンダーカウントモードとバイナリカウントモードの 2 種類を持ち、レジスタの設定により切り替えて使用します。

カレンダーカウントモードは、2000 年から 2099 年の 100 年間で、うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは、年、月、日、曜日、時、分の概念を持たず、秒のみをカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダーに対応できます。

RTC は、カウントソースをプリスケアラで分周した 128Hz のクロックを基準クロックとして年、月、日、曜日、午前/午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 24.1 に RTC の仕様を、図 24.1 に RTC のブロック図を、表 24.2 に RTC の入出力端子を示します。

表 24.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース(注1)	サブクロック (XCIN)
時計/カレンダー機能	<ul style="list-style-type: none"> <li>• カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間/24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) うるう年自動補正機能</li> <li>• バイナリカウントモード 秒を 32 ビットでカウント、バイナリ表示</li> <li>• 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz, 2Hz, 4Hz, 8Hz, 16Hz, 32Hz, 64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>• アラーム割り込み (ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 <ul style="list-style-type: none"> <li>• カレンダーカウントモード: 年、月、日、曜日、時、分、秒</li> <li>• バイナリカウントモード: 32 ビットバイナリカウンタの各ビット</li> </ul> </li> <li>• 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒 周期から選択可能</li> <li>• 桁上げ割り込み (CUP) 次のいずれかのタイミングで割り込み要求発生 <ul style="list-style-type: none"> <li>• 64Hz カウンタから秒カウンタへの桁上げが発生したとき</li> <li>• 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき</li> </ul> </li> <li>• アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能</li> </ul>

注 1. 周辺モジュールクロック周波数 (PCLK)  $\geq$  カウントソース周波数となるようにしてください。

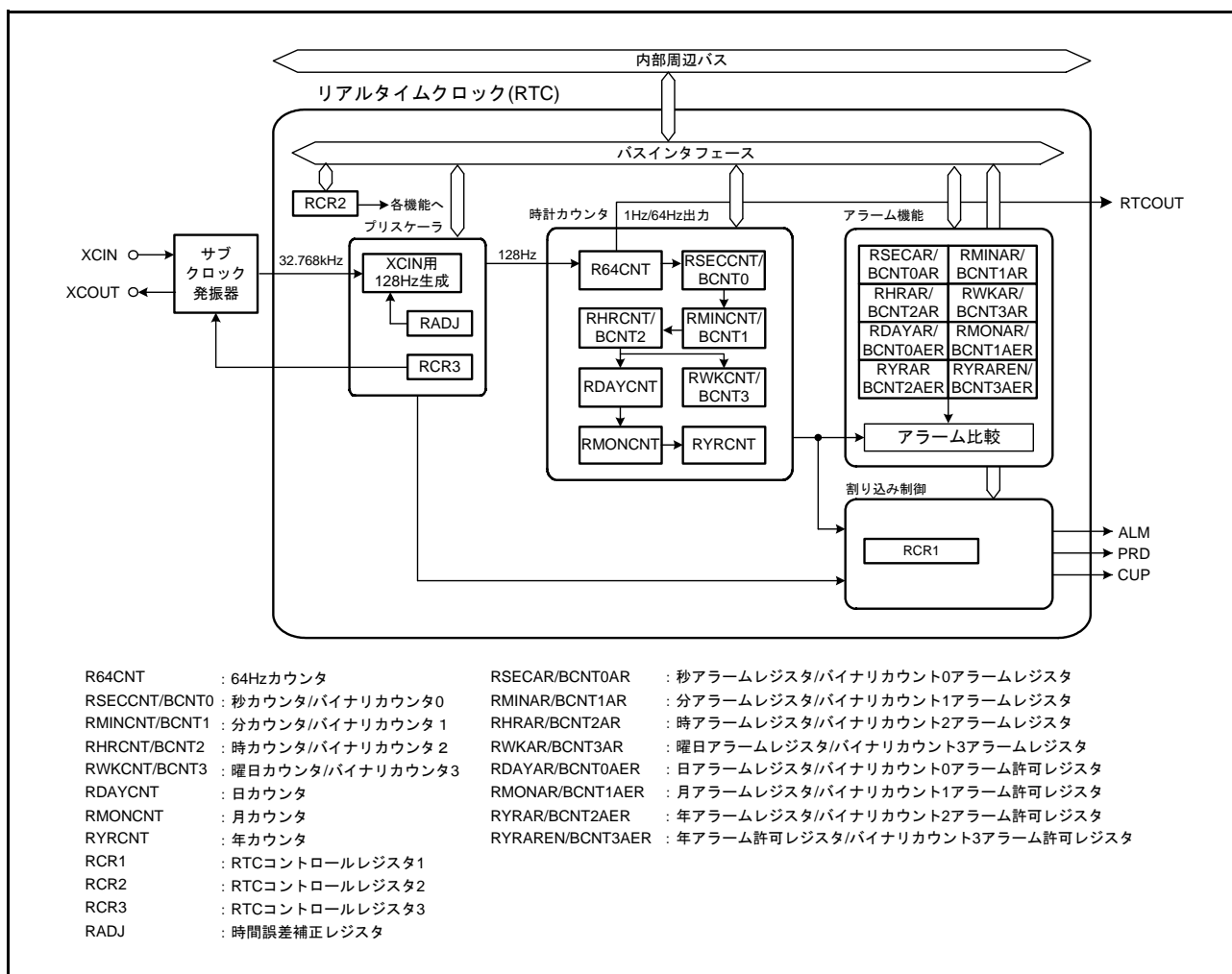


図 24.1 RTCのブロック図

表 24.2 RTCの入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOUT	出力	
RTCOUT	出力	1Hz/64Hzの波形を出力します。

## 24.2 レジスタの説明

RTC のレジスタの書き込み / 読み出しは、「24.5.5 レジスタの書き込み / 読み出し時の注意事項」に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x (不定) のビットは、リセットでは初期化されません。また、カウント動作時 (RCR2.START ビット = 1 のとき) にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 / 64Hz カウンタは動作を継続します。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードへ遷移しないでください。詳細は、「24.5.4 レジスタ設定後の低消費電力モード移行について」を参照ください。

### 24.2.1 64Hz カウンタ (R64CNT)

アドレス RTC.R64CNT 0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz ビット	秒以下の桁の1Hz～64Hzの状態を示します	R
b1	F32HZ	32Hz ビット		R
b2	F16HZ	16Hz ビット		R
b3	F8HZ	8Hz ビット		R
b4	F4HZ	4Hz ビット		R
b5	F2HZ	2Hz ビット		R
b6	F1HZ	1Hz ビット		R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

R64CNT カウンタは、カレンダーカウントモード / バイナリカウントモード共通で使用します。

R64CNT カウンタは、128Hz の基準クロックでアップカウントするカウンタで、秒周期を生成します。

R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。

RTC ソフトウェアリセットまたは 30 秒調整を実行すると“00h”になります。

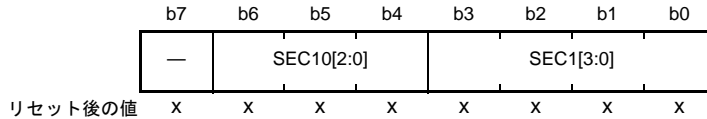
読み出し時は、「24.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。



## 24.2.2 秒カウンタ (RSECCNT)/ バイナリカウンタ 0 (BCNT0)

### (1) カレンダカウントモード時

アドレス RTC.RSECCNT 0008 C402h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウントビット	一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると、十秒の位が+1されます	R/W
b6-b4	SEC10[2:0]	10秒カウントビット	十秒の位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

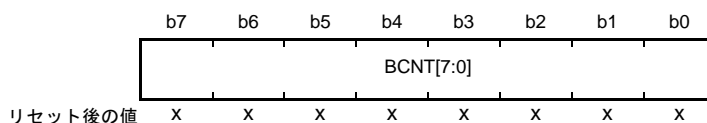
RSECCNT カウンタは、BCD コード化された秒部分の設定、カウント用のカウンタであり、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RSECCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

### (2) バイナリカウントモード時

アドレス RTC.BCNT0 0008 C402h



x: 不定

BCNT0 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b7 ~ b0 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

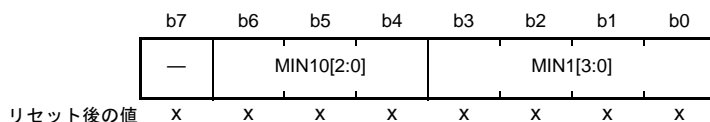
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「24.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

## 24.2.3 分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1)

## (1) カレンダカウントモード時

アドレス RTC.RMINCNT 0008 C404h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウントビット	一分の位は1分ごとに0から9をカウントします。桁上げが発生すると、十分の位が+1されます	R/W
b6-b4	MIN10[2:0]	10分カウントビット	十分の位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

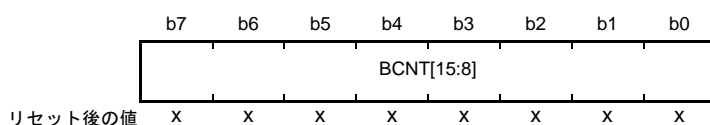
RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMINCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「24.5.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

## (2) バイナリカウントモード時

アドレス RTC.BCNT1 0008 C404h



x: 不定

BCNT1 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb15～b8です。

32ビットバイナリカウンタは、64Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

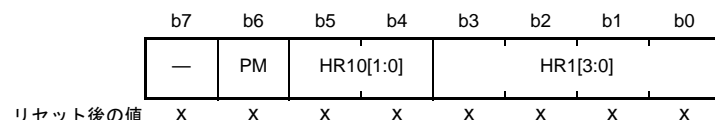
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「24.3.5 64Hzカウンタおよび時刻読み出し手順」に従ってください。

## 24.2.4 時カウンタ (RHCNT)/ バイナリカウンタ 2 (BCNT2)

## (1) カレンダカウントモード時

アドレス RTC.RHCNT 0008 C406h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウントビット	一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると、十時間の位が+1されます	R/W
b5-b4	HR10[1:0]	10時間カウントビット	十時間の位は一時間の位の桁上げごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

RHCNT カウンタは、BCD コード化された時部分の設定、カウント用のカウンタであり、分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが “0” : 10進 (BCD) で “00” ~ “11”

RCR2.HR24 ビットが “1” : 10進 (BCD) で “00” ~ “23”

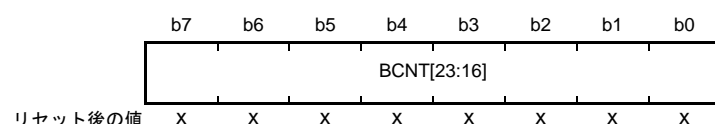
上記以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHCNT カウンタを読み出す場合は、RCR2.HR24 ビットが “0” の場合のみ PM ビットが有効になります。RCR2.HR24 ビットが “1” の場合は、PM ビットの値を無視してください。

RHCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

## (2) バイナリカウントモード時

アドレス RTC.BCNT2 0008 C406h



x: 不定

BCNT2 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b23 ~ b16 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

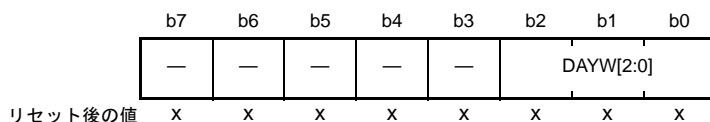
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「24.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

## 24.2.5 曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3)

## (1) カレンダーカウントモード時

アドレス RTC.RWKCNT 0008 C408h



x: 不定

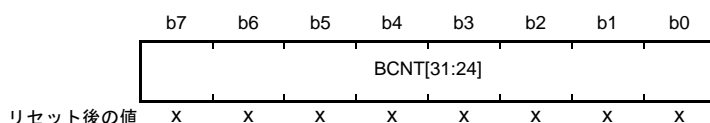
ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b7-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

RWKCNT カウンタはコード化された曜日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は、10進で“0”～“6”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

レジスタの書き込み/読み出しの注意事項については「24.5.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

## (2) バイナリカウントモード時

アドレス RTC.BCNT3 0008 C408h

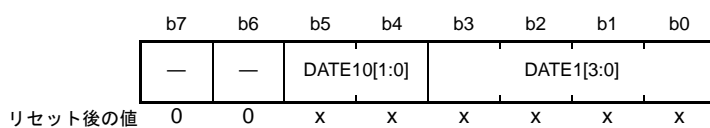


x: 不定

BCNT3 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb31～b24です。32ビットバイナリカウンタは、64Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、「24.3.5 64Hzカウンタおよび時刻読み出し手順」に従ってください。

## 24.2.6 日カウンタ (RDAYCNT)

アドレス RTC.RDAYCNT 0008 C40Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウントビット	一日の位は1日ごとに0~9をカウントします。桁上げが発生すると十日の位が+1されます	R/W
b5-b4	DATE10[1:0]	10日カウントビット	十日の位は一日の位の桁上げごとに0~3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。

RDAYCNT カウンタは、BCD コード化された日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

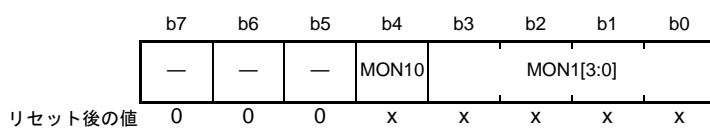
うるう年は年カウンタ (RYRCNT) の“00”を2000年とみなして2000年から2099年を、400、100、4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で“01”~“31”です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RDAYCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「24.5.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

## 24.2.7 月カウンタ (RMONCNT)

アドレス RTC.RMONCNT 0008 C40Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウントビット	一月の位は1月ごとに0~9をカウントします。桁上げが発生すると十月の位が+1されます	R/W
b4	MON10	10月カウントビット	十月の位は一月の位の桁上げごとに0~1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。

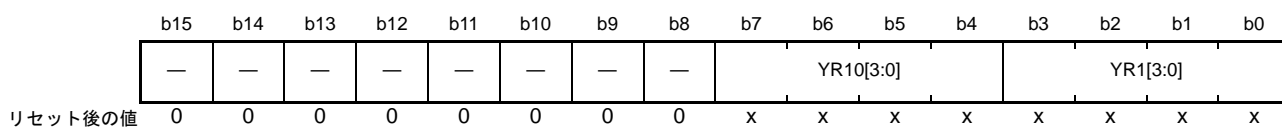
RMONCNT カウンタは、BCD コード化された月部分の設定、カウント用のカウンタであり、日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“01”～“12”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMONCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

## 24.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 0008 C40Eh



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウントビット	一年の位は1年ごとに0~9をカウントします。桁上げが発生すると十年の位が+1されます	R/W
b7-b4	YR10[3:0]	10年カウントビット	十年の位は一年の位の桁上げごとに0~9をカウントします	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRCNT カウンタは、カレンダーカウントモード時に使用します。

RYRCNT カウンタは、BCD コード化された年部分の設定、カウント用のカウンタであり、月カウンタの1年ごとの桁上げによって、カウント動作を行います。

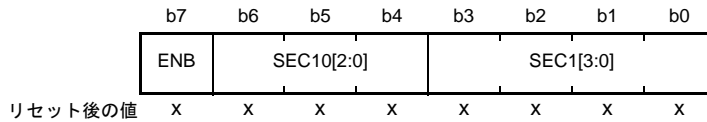
設定可能範囲は、10進 (BCD) で“00”～“99”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RYRCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「24.5.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

## 24.2.9 秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

### (1) カレンダカウントモード時

アドレス RTC.RSECAR 0008 C410h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	十秒の位の設定値	R/W
b7	ENB	ENBビット	0 : RSECCNTカウンタの値と比較を行わない 1 : RSECCNTカウンタの値と比較を行う	R/W

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

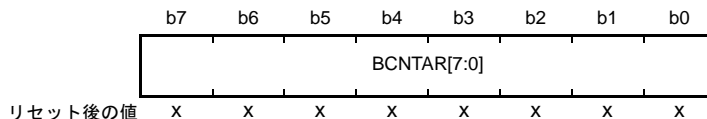
設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

### (2) バイナリカウントモード時

アドレス RTC.BCNT0AR 0008 C410h



x : 不定

BCNT0AR カウンタは、32 ビットバイナリカウンタの b7～b0 に対応する書き込み / 読み出し可能なアラームレジスタです。

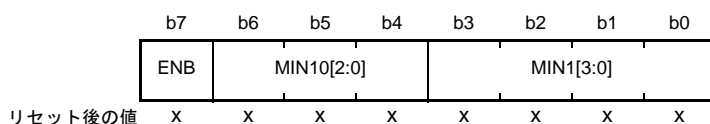
RTC ソフトウェアリセットを実行すると“00h”になります。



## 24.2.10 分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

### (1) カレンダカウントモード時

アドレス RTC.RMINAR 0008 C412h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	十分の位の設定値	R/W
b7	ENB	ENBビット	0 : RMINCNTカウンタの値と比較を行わない 1 : RMINCNTカウンタの値と比較を行う	R/W

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

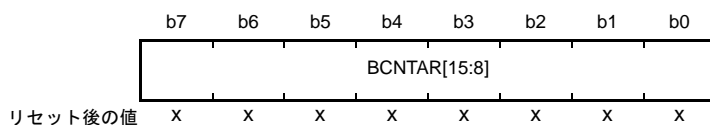
設定可能範囲は、10進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

### (2) バイナリカウントモード時

アドレス RTC.BCNT1AR 0008 C412h



x : 不定

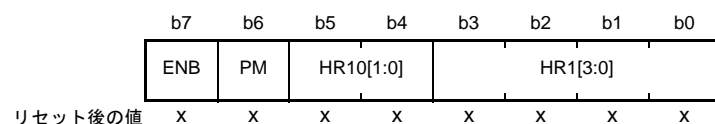
BCNT1AR カウンタは、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

## 24.2.11 時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

### (1) カレンダカウントモード時

アドレス RTC.RHRAR 0008 C414h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	十時間の位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	ENB	ENBビット	0 : RHCNTカウンタの値と比較を行わない 1 : RHCNTカウンタの値と比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RHRAR レジスタの値と RHCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10進 (BCD) で“00”～“11”

RCR2.HR24 ビットが“1” : 10進 (BCD) で“00”～“23”

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24 ビットが“0”の場合は、PM ビットの設定も行ってください。

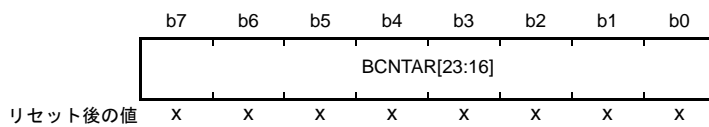
RCR2.HR24 ビットが“1”の場合は、PM ビットの値は無効となります。

RHRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「24.5.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

## (2) バイナリカウントモード時

アドレス RTC.BCNT2AR 0008 C414h



x : 不定

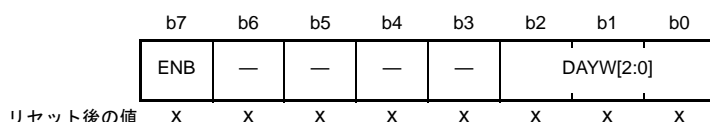
BCNT2AR カウンタは、32 ビットバイナリカウンタの b23 ~ b16 に対応する書き込み / 読み出し可能なア  
ラームレジスタです。

RTC ソフトウェアリセットを実行すると “00h” になります。

## 24.2.12 曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

### (1) カレンダカウントモード時

アドレス RTC.RWKAR 0008 C416h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b6-b3	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0: RWKCNTカウンタの値と比較を行わない 1: RWKCNTカウンタの値と比較を行う	R/W

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

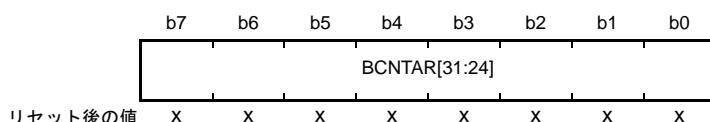
設定可能範囲は、10進で“0”～“6”であり、それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

### (2) バイナリカウントモード時

アドレス RTC.BCNT3AR 0008 C416h



x: 不定

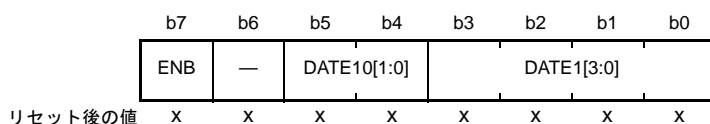
BCNT3AR カウンタは、32ビットバイナリカウンタの b31～b24 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

## 24.2.13 日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)

### (1) カレンダカウントモード時

アドレス RTC.RDAYAR 0008 C418h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	十日の位の設定値	R/W
b6	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RDAYCNTカウンタの値と比較を行わない 1 : RDAYCNTカウンタの値と比較を行う	R/W

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

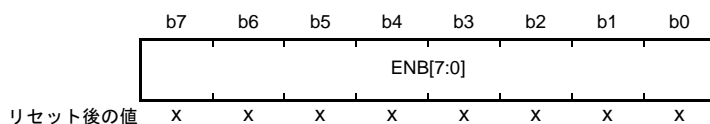
設定可能範囲は、10 進 (BCD) で“01”～“31”であり、それ以外の値が設定されると、正常に動作しません。

RDAYAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

### (2) バイナリカウントモード時

アドレス RTC.BCNT0AER 0008 C418h



x : 不定

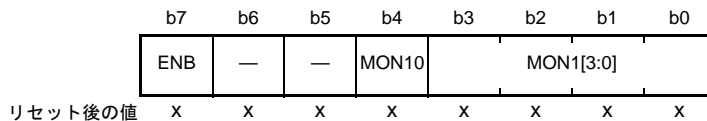
BCNT0AER レジスタは、32 ビットバイナリカウンタの b7～b0 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

## 24.2.14 月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)

### (1) カレンダカウントモード時

アドレス RTC.RMONAR 0008 C41Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	一月の位の設定値	R/W
b4	MON10	10月ビット	十月の位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RMONCNTカウンタの値と比較を行わない 1 : RMONCNTカウンタの値と比較を行う	R/W

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

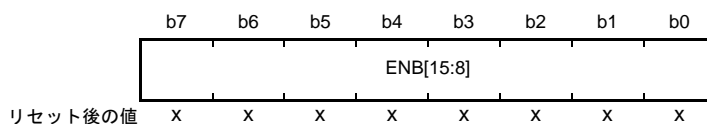
設定可能範囲は、10 進 (BCD) で“01”～“12”であり、それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

### (2) バイナリカウントモード時

アドレス RTC.BCNT1AER 0008 C41Ah



x : 不定

BCNT1AER レジスタは、32 ビットバイナリカウンタの b15～b8 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

## 24.2.15 年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)

### (1) カレンダカウントモード時

アドレス RTC.RYRAR 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。設定可能範囲は、10 進 (BCD) で“00”～“99”であり、それ以外の値が設定されると、正常に動作しません。

RYRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「24.5.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“0000h”になります。

### (2) バイナリカウントモード時

アドレス RTC.BCNT2AER 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ENB[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23～b16 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“0000h”になります。

## 24.2.16 年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)

### (1) カレンダーカウントモード時

アドレス RTC.RYRAREN 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENB ビット	0 : RYRCNTカウンタの値と比較を行わない 1 : RYRCNTカウンタの値と比較を行う	R/W

RYRAREN レジスタは、ENB ビットが“1”であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

### (2) バイナリカウントモード時

アドレス RTC.BCNT3AER 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

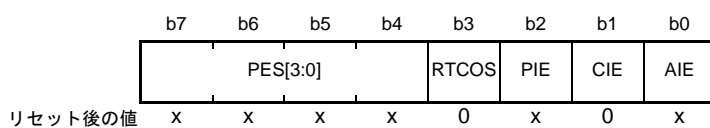
BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。



## 24.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 0008 C422h



x : 不定

ビット	シンボル	ビット名	機能	R/W																																				
b0	AIE	アラーム割り込み許可ビット	0 : アラーム割り込み要求を禁止 1 : アラーム割り込み要求を許可	R/W																																				
b1	CIE	桁上げ割り込み許可ビット	0 : 桁上げ割り込み要求を禁止 1 : 桁上げ割り込み要求を許可	R/W																																				
b2	PIE	周期割り込み許可ビット	0 : 周期割り込み要求を禁止 1 : 周期割り込み要求を許可	R/W																																				
b3	RTCOS	RTCOUT出力選択ビット	0 : RTCOUTは1Hzを出力 1 : RTCOUTは64Hzを出力	R/W																																				
b7-b4	PES[3:0]	周期割り込み選択ビット	<table border="0"> <tr> <td>b7</td> <td>b4</td> <td></td> </tr> <tr> <td>0 1 1 0</td> <td></td> <td>: 周期割り込み発生時の周期は1/256秒ごと</td> </tr> <tr> <td>0 1 1 1</td> <td></td> <td>: 周期割り込み発生時の周期は1/128秒ごと</td> </tr> <tr> <td>1 0 0 0</td> <td></td> <td>: 周期割り込み発生時の周期は1/64秒ごと</td> </tr> <tr> <td>1 0 0 1</td> <td></td> <td>: 周期割り込み発生時の周期は1/32秒ごと</td> </tr> <tr> <td>1 0 1 0</td> <td></td> <td>: 周期割り込み発生時の周期は1/16秒ごと</td> </tr> <tr> <td>1 0 1 1</td> <td></td> <td>: 周期割り込み発生時の周期は1/8秒ごと</td> </tr> <tr> <td>1 1 0 0</td> <td></td> <td>: 周期割り込み発生時の周期は1/4秒ごと</td> </tr> <tr> <td>1 1 0 1</td> <td></td> <td>: 周期割り込み発生時の周期は1/2秒ごと</td> </tr> <tr> <td>1 1 1 0</td> <td></td> <td>: 周期割り込み発生時の周期は1秒ごと</td> </tr> <tr> <td>1 1 1 1</td> <td></td> <td>: 周期割り込み発生時の周期は2秒ごと</td> </tr> <tr> <td colspan="3">上記以外は、周期割り込みを発生しない</td> </tr> </table>	b7	b4		0 1 1 0		: 周期割り込み発生時の周期は1/256秒ごと	0 1 1 1		: 周期割り込み発生時の周期は1/128秒ごと	1 0 0 0		: 周期割り込み発生時の周期は1/64秒ごと	1 0 0 1		: 周期割り込み発生時の周期は1/32秒ごと	1 0 1 0		: 周期割り込み発生時の周期は1/16秒ごと	1 0 1 1		: 周期割り込み発生時の周期は1/8秒ごと	1 1 0 0		: 周期割り込み発生時の周期は1/4秒ごと	1 1 0 1		: 周期割り込み発生時の周期は1/2秒ごと	1 1 1 0		: 周期割り込み発生時の周期は1秒ごと	1 1 1 1		: 周期割り込み発生時の周期は2秒ごと	上記以外は、周期割り込みを発生しない			R/W
b7	b4																																							
0 1 1 0		: 周期割り込み発生時の周期は1/256秒ごと																																						
0 1 1 1		: 周期割り込み発生時の周期は1/128秒ごと																																						
1 0 0 0		: 周期割り込み発生時の周期は1/64秒ごと																																						
1 0 0 1		: 周期割り込み発生時の周期は1/32秒ごと																																						
1 0 1 0		: 周期割り込み発生時の周期は1/16秒ごと																																						
1 0 1 1		: 周期割り込み発生時の周期は1/8秒ごと																																						
1 1 0 0		: 周期割り込み発生時の周期は1/4秒ごと																																						
1 1 0 1		: 周期割り込み発生時の周期は1/2秒ごと																																						
1 1 1 0		: 周期割り込み発生時の周期は1秒ごと																																						
1 1 1 1		: 周期割り込み発生時の周期は2秒ごと																																						
上記以外は、周期割り込みを発生しない																																								

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されるので、RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

**AIE ビット (アラーム割り込み許可ビット)**

アラーム割り込み要求の許可または禁止を選択します。

**CIE ビット (桁上げ割り込み許可ビット)**

秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0) への桁上げ、または 64Hz カウンタ (R64CNT) 読み出しと、64Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

**PIE ビット (周期割り込み許可ビット)**

周期割り込み要求の許可または禁止を選択します。

**RTCOS ビット (RTCOUT 出力選択ビット)**

RTCOUT の出力周期を選択するビットです。RTCOS ビットは、カウント動作停止中 (RCR2.START ビット = 0) かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、「19.3.1 端子入出力機能設定手順」を参照してください。

**PES[3:0] ビット (周期割り込み選択ビット)**

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込みを要求します。

## 24.2.18 RTC コントロールレジスタ 2 (RCR2)

アドレス RTC.RCR2 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START

リセット後の値 x x x x 0 0 0 x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット	0: プリスケアラとカウンタは停止 1: プリスケアラとカウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	<ul style="list-style-type: none"> <li>書き込み時</li> <li>0: 書き込み無効</li> <li>1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化</li> <li>読み出し時</li> <li>0: 通常の時計動作またはRTCソフトウェアリセット完了</li> <li>1: RTCソフトウェアリセット中</li> </ul>	R/W
b2	ADJ30	30秒調整ビット(注2)	<ul style="list-style-type: none"> <li>書き込み時</li> <li>0: 書き込み無効</li> <li>1: 30秒調整の実行</li> <li>読み出し時</li> <li>0: 通常の時計動作または30秒調整が完了</li> <li>1: 30秒調整中</li> </ul>	R/W
b3	RTCOE	RTCOUT出力許可ビット	0: RTCOUT出力禁止 1: RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット(注3)	0: 自動補正機能禁止 1: 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット(注3)	0: 1分(バイナリカウンタモード時は32秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する 1: 10秒(バイナリカウンタモード時は8秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する	R/W
b6	HR24	時間モードビット(注2、注3)	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択ビット	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. バイナリカウンタモードでは予約ビットです。書く場合は“0”を書いてください。

注3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「24.5.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、カウント制御に関するレジスタです。

**START ビット (スタートビット)**

プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されるので、START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

**RESET ビット (RTC ソフトウェアリセットビット)**

プリスケアラおよび RTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

#### ADJ30 ビット (30 秒調整ビット)

30 秒調整を行うビットです。

ADJ30 ビットに“1”が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに“1”が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に“0”になります。ADJ30 ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケアラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0”になります。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

#### RTC OE ビット (RTC OUT 出力許可ビット)

RTC OUT (1Hz/64Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止する (START ビットに“0”を書く) ときは、同時に RTC OE ビットの値を書き換えしないでください。

RTC OUT を外部端子に出力する場合は、RTC OE ビットを許可にし、かつポート制御の設定もしてください。

#### AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

#### AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

#### HR24 ビット (時間モードビット)

RTC の時間モードを 12 時間モードで動作させるか、24 時間モードで動作させるかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えしないでください。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

**CNTMD ビット (カウントモード選択ビット)**

RTC のカウントモードを、カレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。

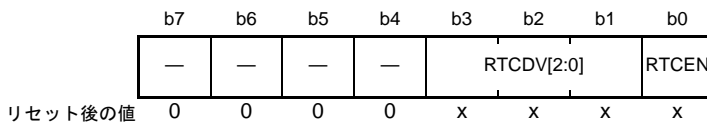
カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。

本ビットは、カウントソースに同期して更新され、RTC ソフトウェアリセット完了までに値が確定します。

初期設定の詳細は、「24.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

## 24.2.19 RTC コントロールレジスタ 3 (RCR3)

アドレス RTC.RCR3 0008 C426h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	サブクロック発振器制御ビット	0 : サブクロック発振器停止 1 : サブクロック発振器動作	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 0 0 0 : 低CL用ドライブ能力中 0 0 1 : 低CL用ドライブ能力高 0 1 0 : 低CL用ドライブ能力低 1 0 0 : 標準CL用ドライブ能力 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR3 レジスタは、クロック発生回路にあるサブクロック発振器を制御するためのレジスタです。サブクロック発振器の制御については、「9. クロック発生回路」を参照してください。

本レジスタはカレンダーカウントモード/バイナリカウントモードで共通の機能です。

本レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

**RTCEN ビット (サブクロック発振器制御ビット)**

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、RTCEN ビットおよびクロック発生回路のレジスタ (SOSCCR.SOSTP ビット) で制御され、いずれかのビットが“動作”に設定されているとサブクロック発振器は動作状態となります。

サブクロックを RTC のカウントソースとして使用する場合は、RTCEN ビットでサブクロック発振器の動作設定を行ってください。

**RTCDV[2:0] ビット (サブクロック発振器ドライブ能力制御ビット)**

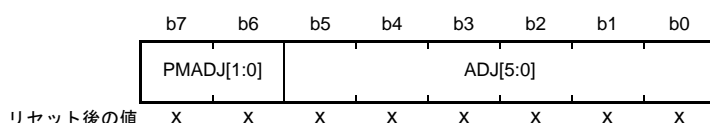
サブクロック発振器のドライブ能力を制御します。RTCDV[2:0] ビットの設定は、SOSCCR.SOSTP ビットが“1”、かつ RCR3.RTCEN ビットが“0”のときに行ってください。

## 24.2.19.1 32.768kHz 水晶振動子の使用に関する注意事項

XCIN 端子や XCOOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。水晶振動子を使用した基板を作成する際には、アプリケーションノート「サブクロック回路のデザインガイド」(R01AN1830JJ) を参考に、ノイズ対策を実施してください。

## 24.2.20 時間誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 0008 C42Eh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值ビット	誤差補正值を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0 : 補正動作を行いません 0 1 : 時計を進める 1 0 : 時計を遅らせる 1 1 : 設定しないでください	R/W

RADJ レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定 (自動補正しない設定) による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

**ADJ[5:0] ビット (補正值ビット)**

時計の誤差に応じて補正值 (サブクロックのクロックサイクル数) を設定します。

**PMADJ[1:0] ビット (プラスマイナスビット)**

ADJ[5:0] ビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

## 24.3 動作説明

### 24.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込みの初期設定をしてください。

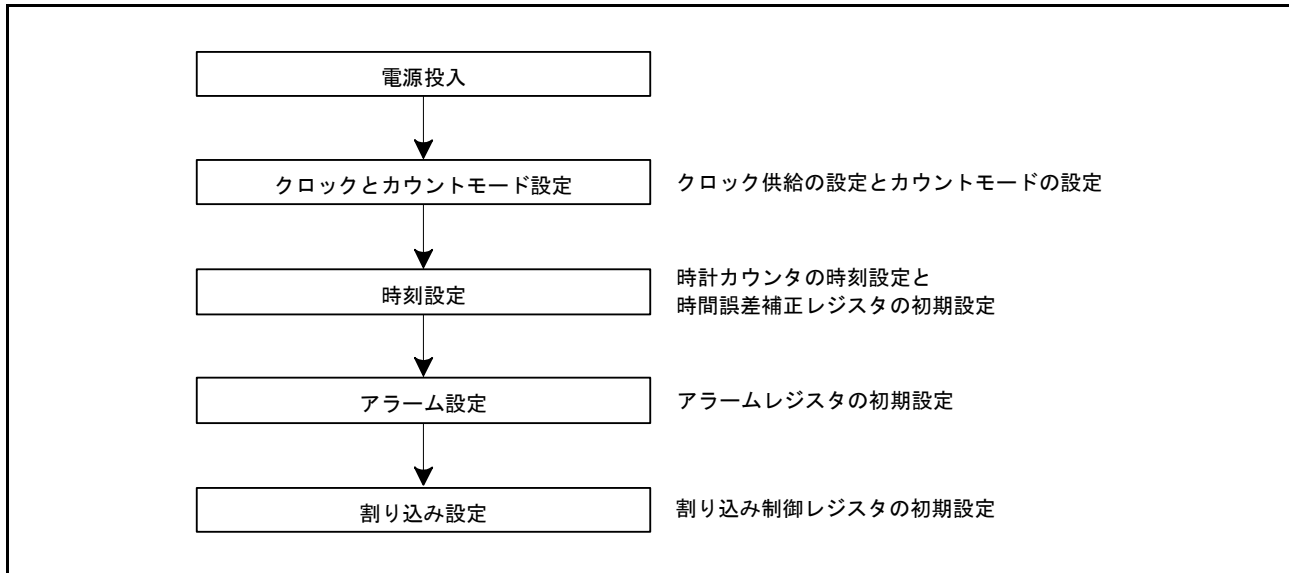


図 24.2 電源投入後の初期設定概要



### 24.3.2 クロックとカウントモード設定手順

図 24.3 にクロック設定手順を示します。

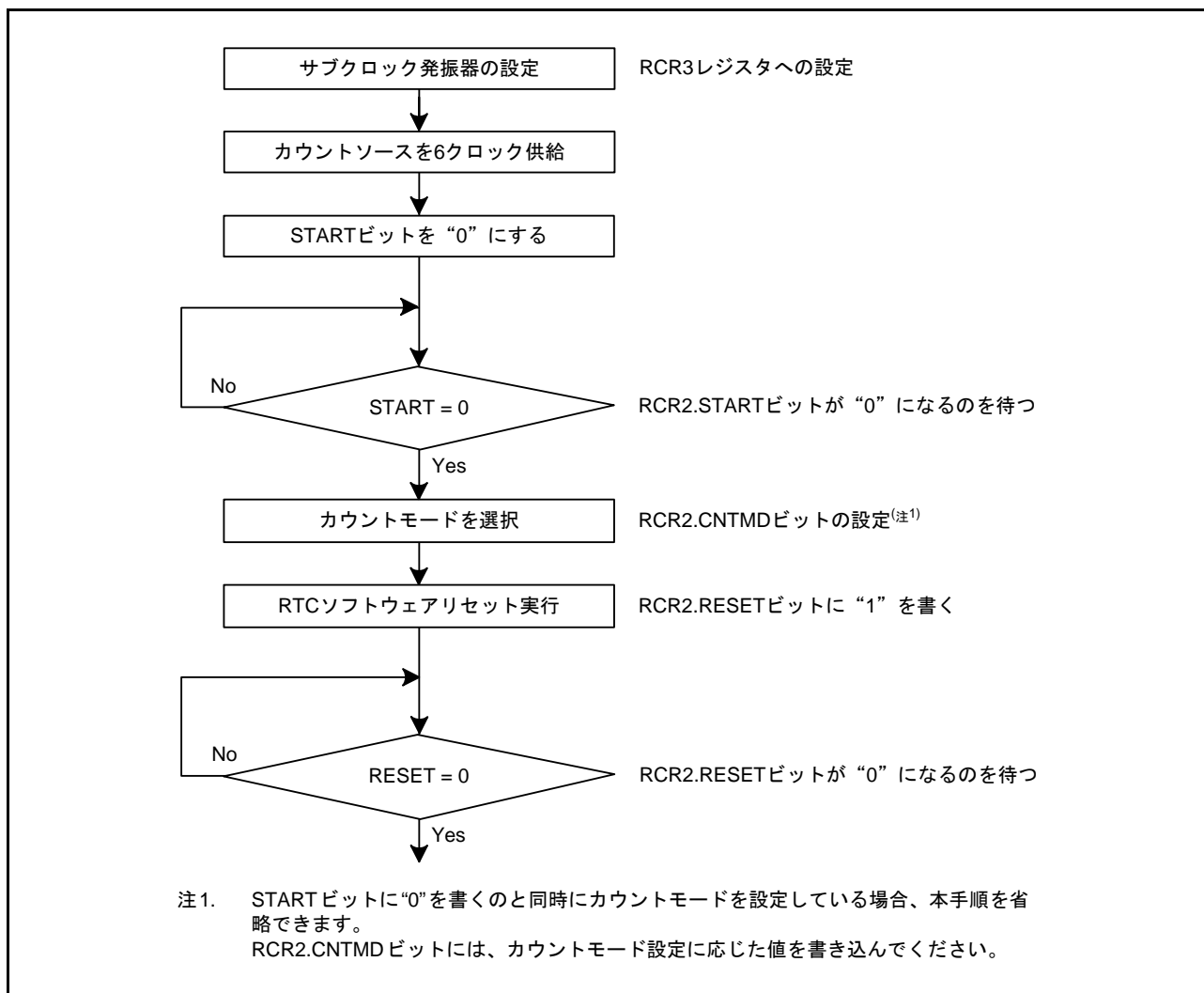


図 24.3 クロック設定手順

## 24.3.3 時刻設定手順

図 24.4 に時刻設定手順を示します。

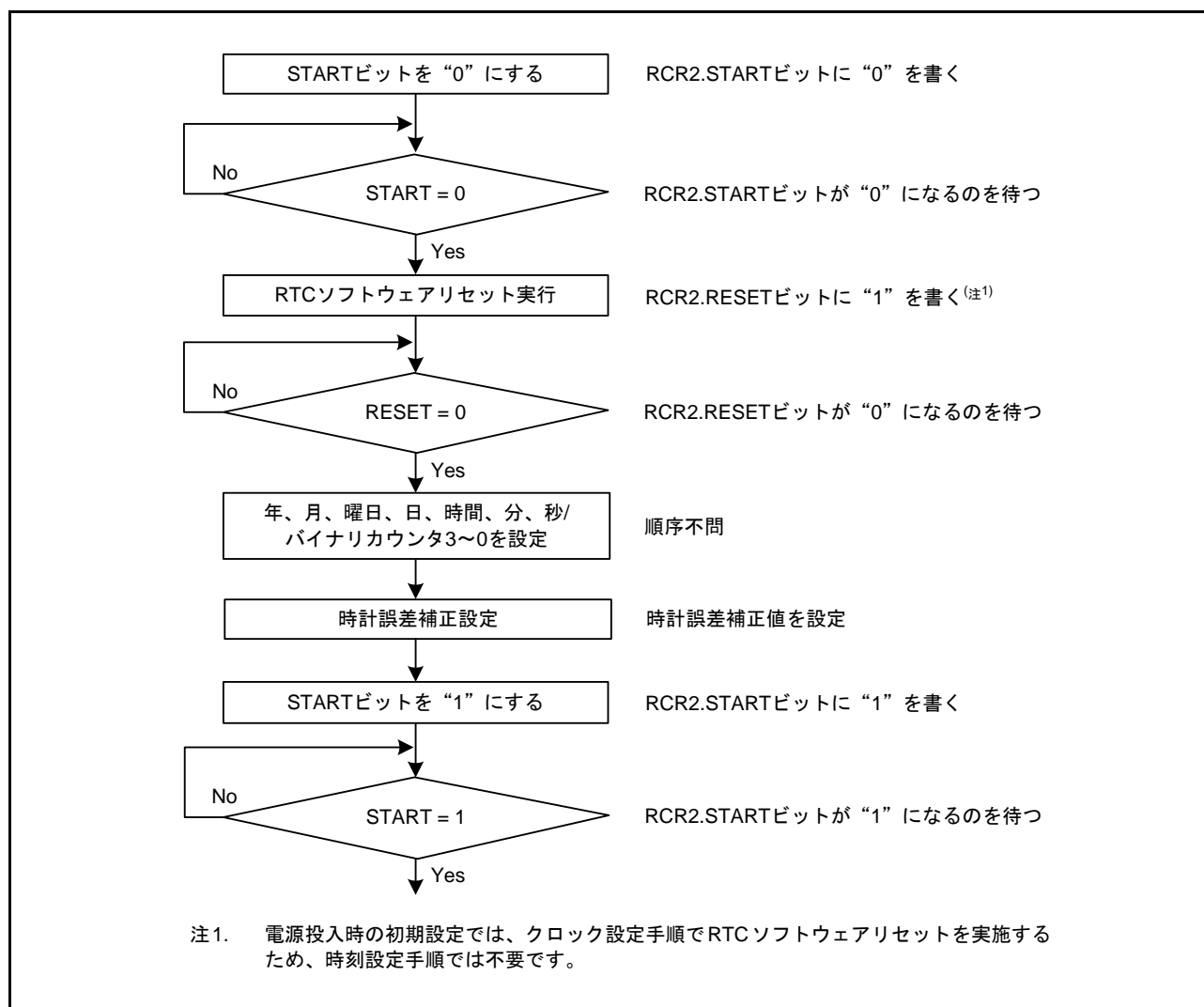


図 24.4 時刻設定手順

## 24.3.4 30秒調整手順

図 24.5 に30秒調整手順を示します。30秒調整機能はカレンダーカウントモードでのみ使用可能です。

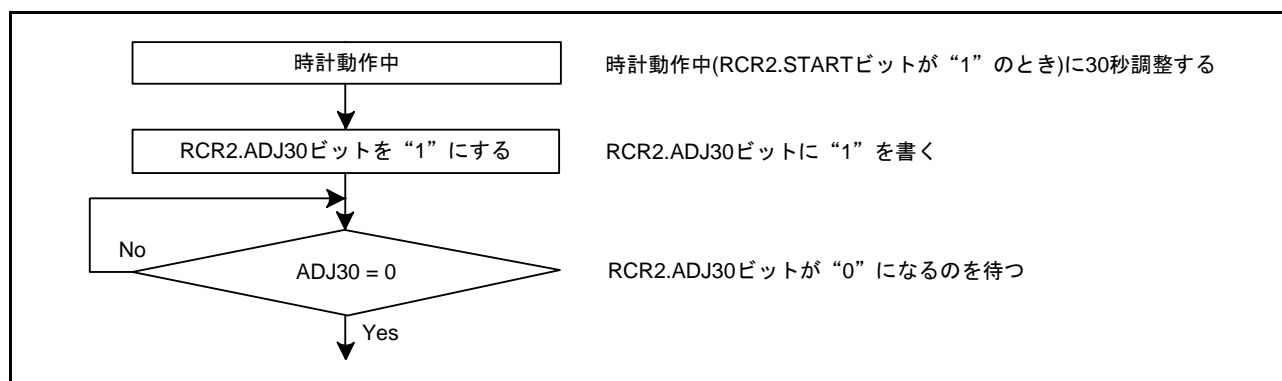


図 24.5 30秒調整手順

## 24.3.5 64Hz カウンタおよび時刻読み出し手順

図 24.6 に 64Hz カウンタおよび時刻読み出し手順を示します。

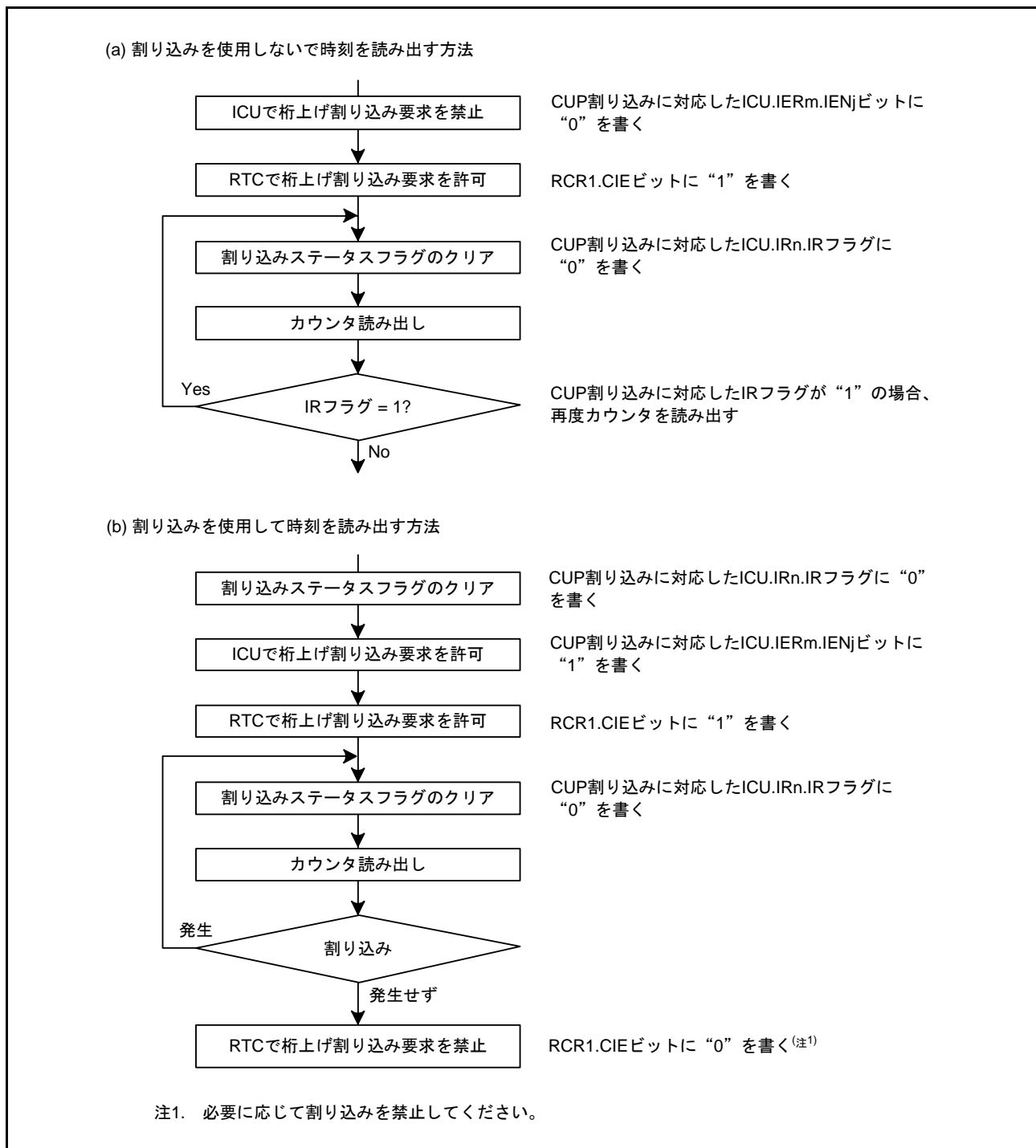


図 24.6 時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 24.6 の (a) に、桁上げ割り込みを使用する方法を図 24.6 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

## 24.3.6 アラーム機能

図 24.7 にアラーム機能の使用方法を示します。

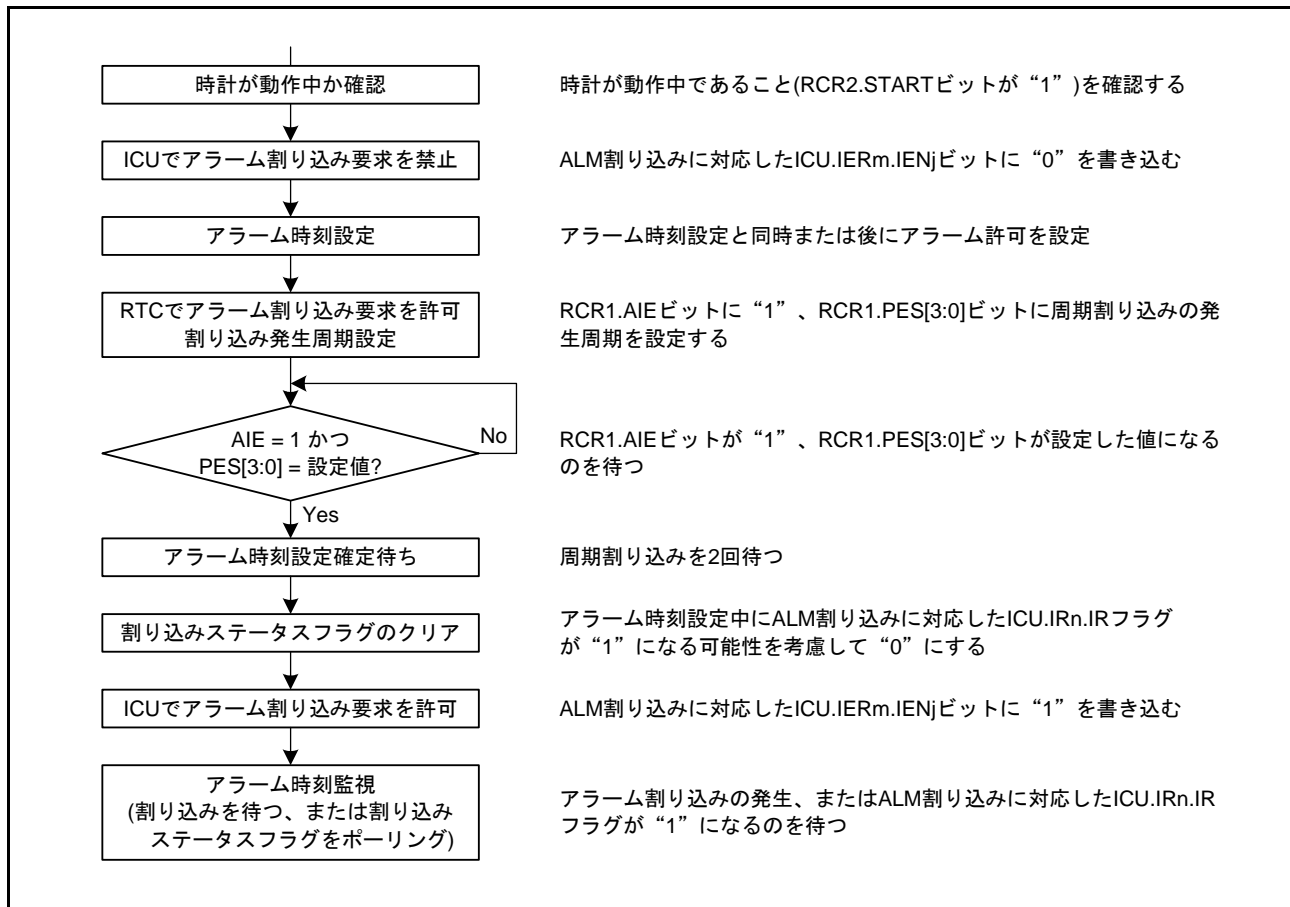


図 24.7 アラーム機能の使用方法

カレンダーカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタのENBビットに“1”を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに“0”を書き込みます。

バイナリカウントモードでは、32ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタのENBビットに“1”を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラーム許可レジスタのENBビットに“0”を書き込みます。

カウンタとアラーム時刻が一致した場合は、ALM割り込みに対応したIRフラグが“1”になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ALM割り込みに対応した割り込み要求許可ビットに“1”が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ALM割り込みに対応したIRフラグは“0”を書き込むと“0”になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。

### 24.3.7 アラーム割り込み禁止手順

図 24.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。

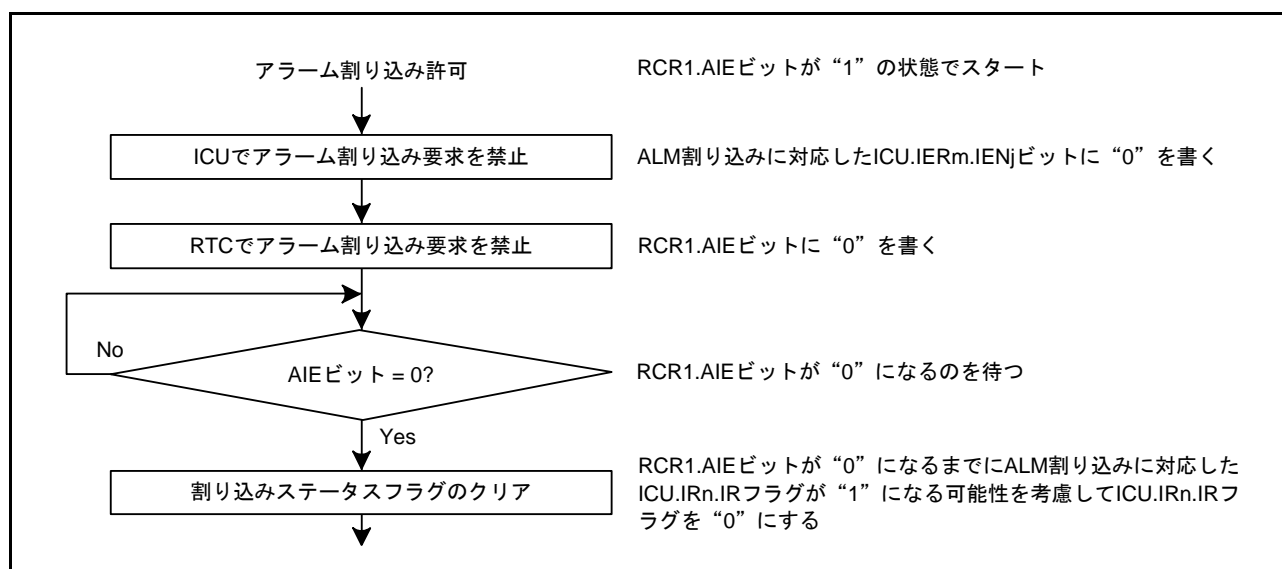


図 24.8 アラーム割り込み要求を禁止する手順

### 24.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差（遅れる / 進む）を補正します。サブクロック選択時、32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

### 24.3.8.1 自動補正機能

RCR2.AADJE ビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1) サブクロック周波数 = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みません。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

例 2) サブクロック周波数 = 32.766kHz

補正方法：

サブクロックの周波数が 32.766kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 20 (14h)

例 3) サブクロック周波数 = 32.764kHz

補正方法：

サブクロックの周波数が 32.764kHz の場合、32,764 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 4 クロックサイクル分、時計が遅れます。8 秒なら 32 クロックサイクル分、時計が遅れるため、8 秒ごとに“32”クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 1 の場合)

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 32 (20h)

### 24.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1) サブクロック周波数 = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 1 (01h)  
1 秒の割り込みごとに RADJ レジスタに書き込む

### 24.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にする
- (2) RCR2.AADJE ビットを“1” (自動補正機能許可) にする
- (3) RCR2.AADJP ビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にする
- (2) RCR2.AADJE ビットを“0” (ソフトウェアによる補正機能有効) にする
- (3) 任意のタイミングで RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

### 24.3.8.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にしてください。

## 24.4 割り込み要因

RTC の割り込み要因には、以下の 3 種類があります。表 24.3 に RTC の割り込み要因を示します。

表 24.3 RTCの割り込み要因

名称	割り込み要因
ALM	アラーム割り込み
PRD	周期割り込み
CUP	桁上げ割り込み

### (1) アラーム割り込み (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します（詳細は「24.3.6 アラーム機能」を参照してください）。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグが“1”になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待ち、一度 ALM 割り込みに対応した IR フラグを“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

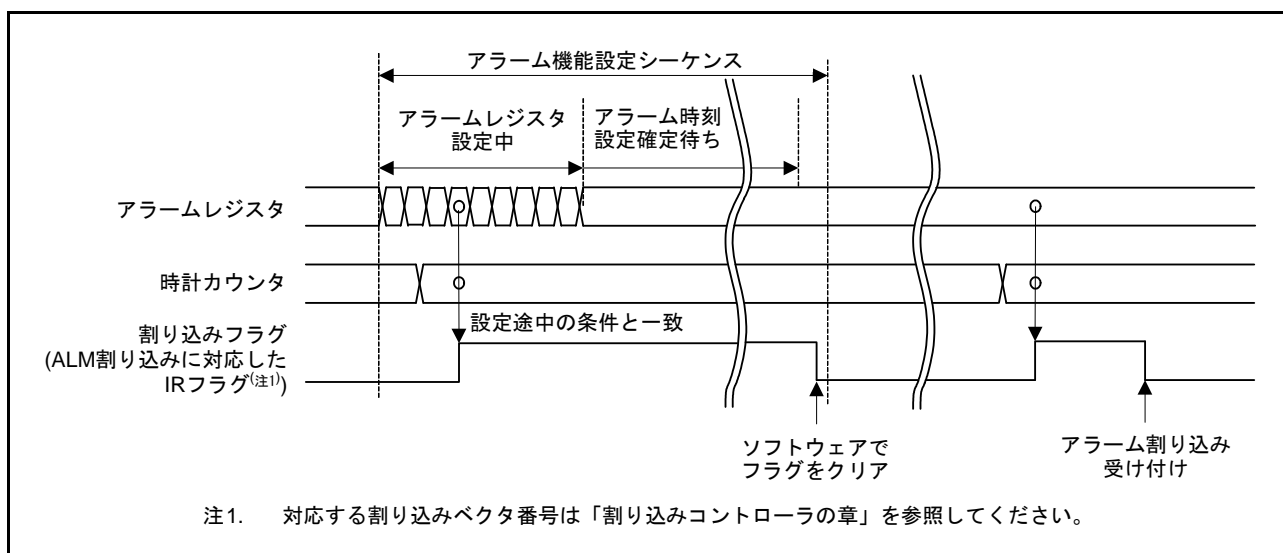


図 24.9 アラーム割り込み (ALM) のタイミングチャート

### (2) 周期割り込み (PRD)

2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期で発生する割り込みです。RCR1.PES[3:0] ビットによって周期の選択が可能です。



## (3) 桁上げ割り込み (CUP)

秒カウンタ/バイナリカウンタ 0 への桁上げが発生したとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときに発生する割り込みです。

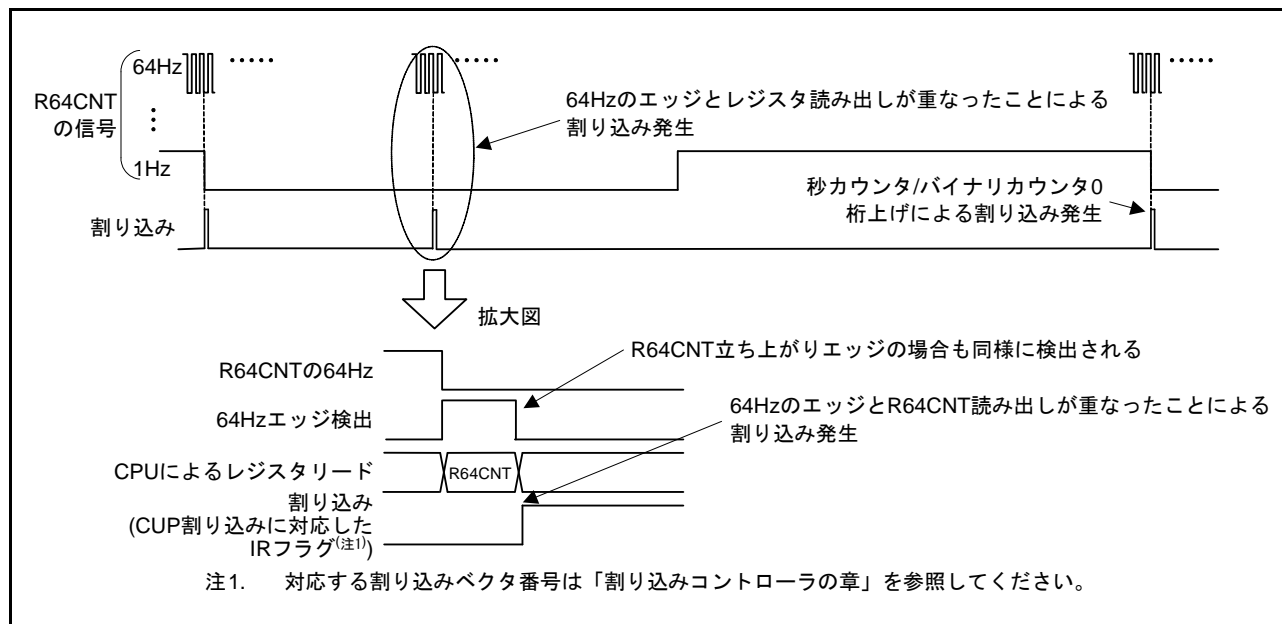


図 24.10 桁上げ割り込み (CUP) のタイミングチャート

## 24.5 使用上の注意事項

### 24.5.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビット=1 のとき）は、以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0, RMINCNT/BCNT1, RHRCNT/BCNT2, RDAYCNT, RWKCNT/BCNT3, RMONCNT, RYRCNT, RCR1.RTCOS, RCR2.RTCOE, RCR2.HR24

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

### 24.5.2 周期割り込みの使用について

周期割り込みの使用方法を図 24.11 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT、RSECCNT/BCNT0 カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值の分だけ周期がずれます。

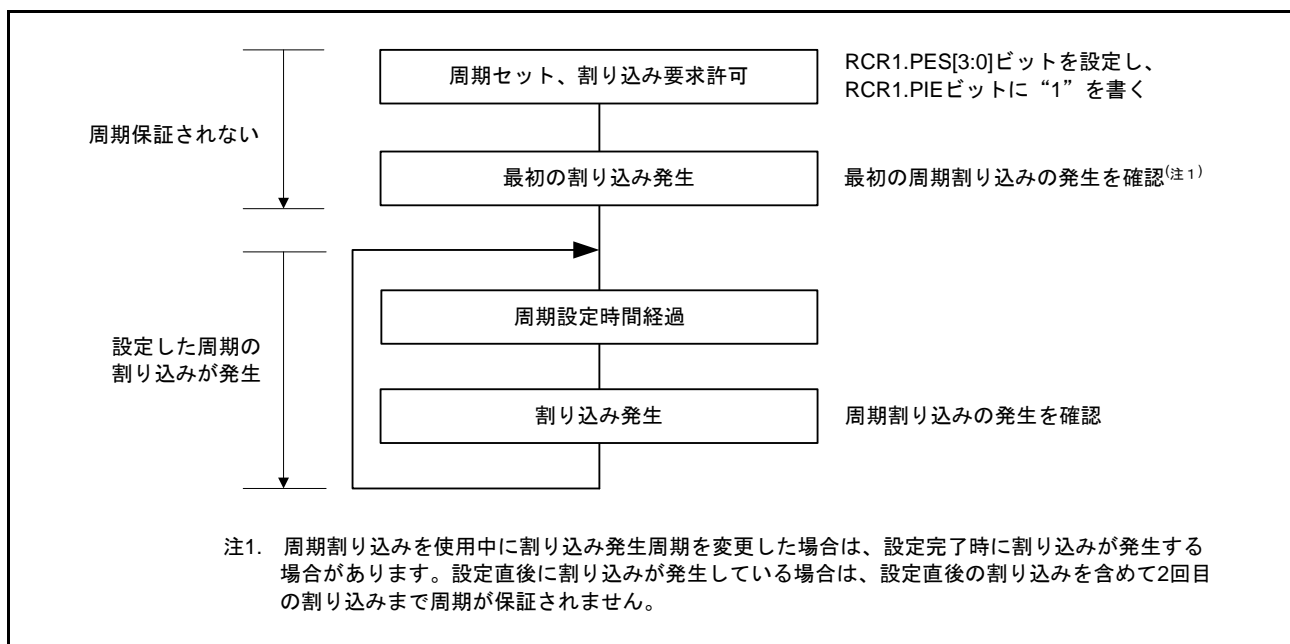


図 24.11 周期割り込み機能の使用方法

### 24.5.3 RTCOUT (1Hz/64Hz) 出力について

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力の周期は、補正值の分だけ周期がずれます。

#### 24.5.4 レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態（ソフトウェアスタンバイモード）へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

#### 24.5.5 レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタ / バイナリカウンタなど、カウントレジスタの読み出しは、「24.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラーム許可レジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR3 レジスタに書いた値は、書き込み後 4 回目の読み出しから反映されます。
- RCR1.CIE、RTCOS ビット、RCR2.RTCOE ビットは、書き込み後すぐに書いた値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモードから復帰した後に時計カウンタの値を読み出すときは、時計動作中（RCR2.START ビット = 1）で 1/128 秒待ってから読み出しを行ってください。
- リセット発生後、RTC レジスタへの書き込みは、カウントソース 6 サイクル経過後に行ってください。

#### 24.5.6 カウントモードの変更について

カウントモード（カレンダー / バイナリ）を変更する場合には、RCR2.START ビットを“0”に設定し、カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は「24.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

### 24.5.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われなため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、**図 24.12** に示す初期化手順に従って、レジスタの初期化をしてください。

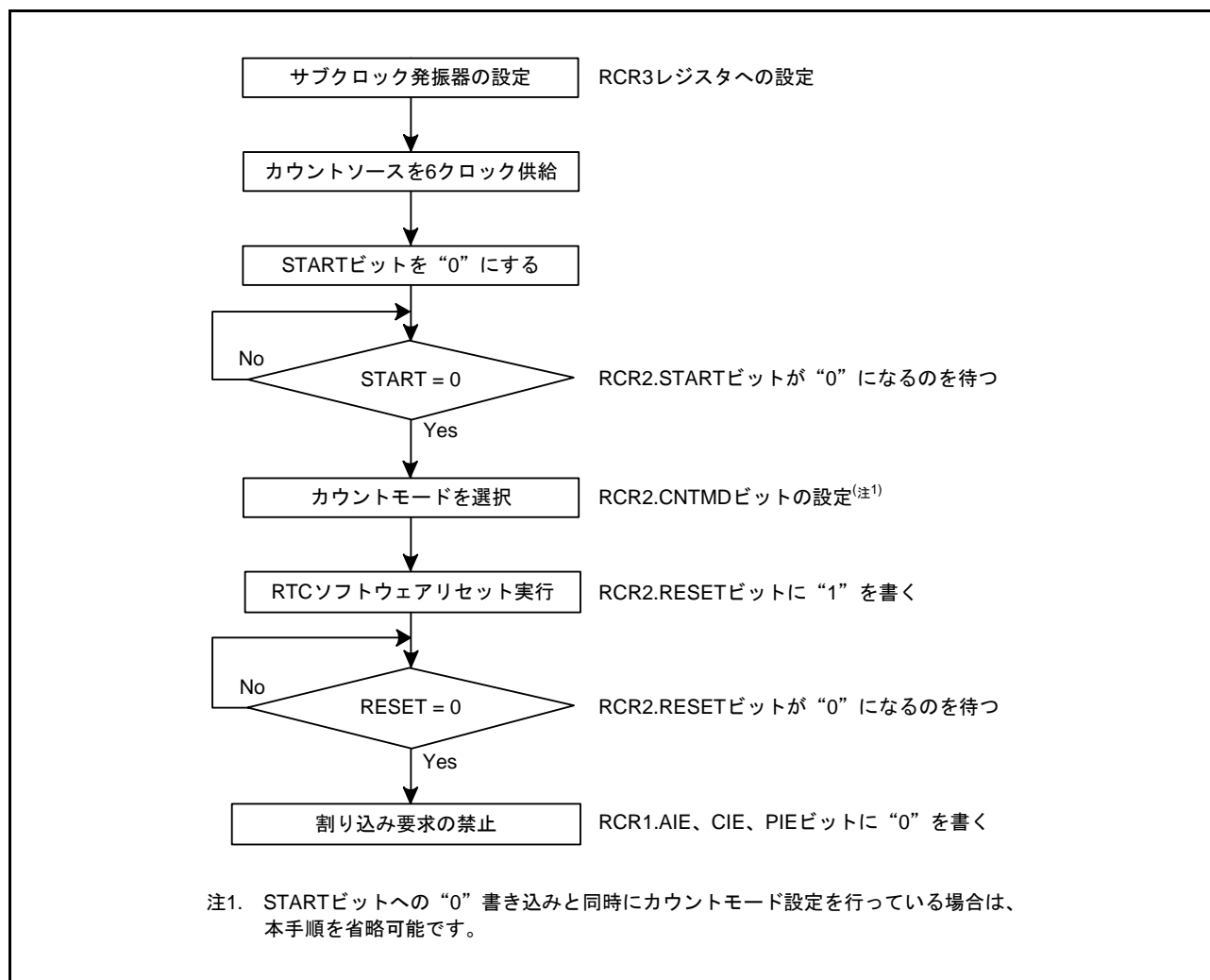


図 24.12 初期化手順

## 25. ローパワータイマ (LPT)

### 25.1 概要

本 MCU は、1 チャンネルの 16 ビットタイマにより構成されるローパワータイマ (LPT) を内蔵しています。LPT は、クロックソースとしてサブクロックまたは IWDT 専用クロックを使用しており、ソフトウェアスタンバイモード時もカウント動作を継続することが可能です。コンペアマッチ信号により、ソフトウェアスタンバイモードから通常動作モードに復帰することが可能です。

表 25.1 に LPT の仕様を、図 25.1 に LPT のブロック図を示します。

表 25.1 LPT の仕様

項目	内容
クロックソース	サブクロック、IWDT 専用クロック
クロック分周比	2分周、4分周、8分周、16分周、32分周
カウント動作	<ul style="list-style-type: none"> <li>16ビットのアップカウンタによるアップカウント</li> <li>ソフトウェアスタンバイモード時もカウント動作継続可能</li> </ul>
コンペアマッチ	コンペアマッチ0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)
イベントリンク機能 (出力)	コンペアマッチ0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生) によりイベント信号出力

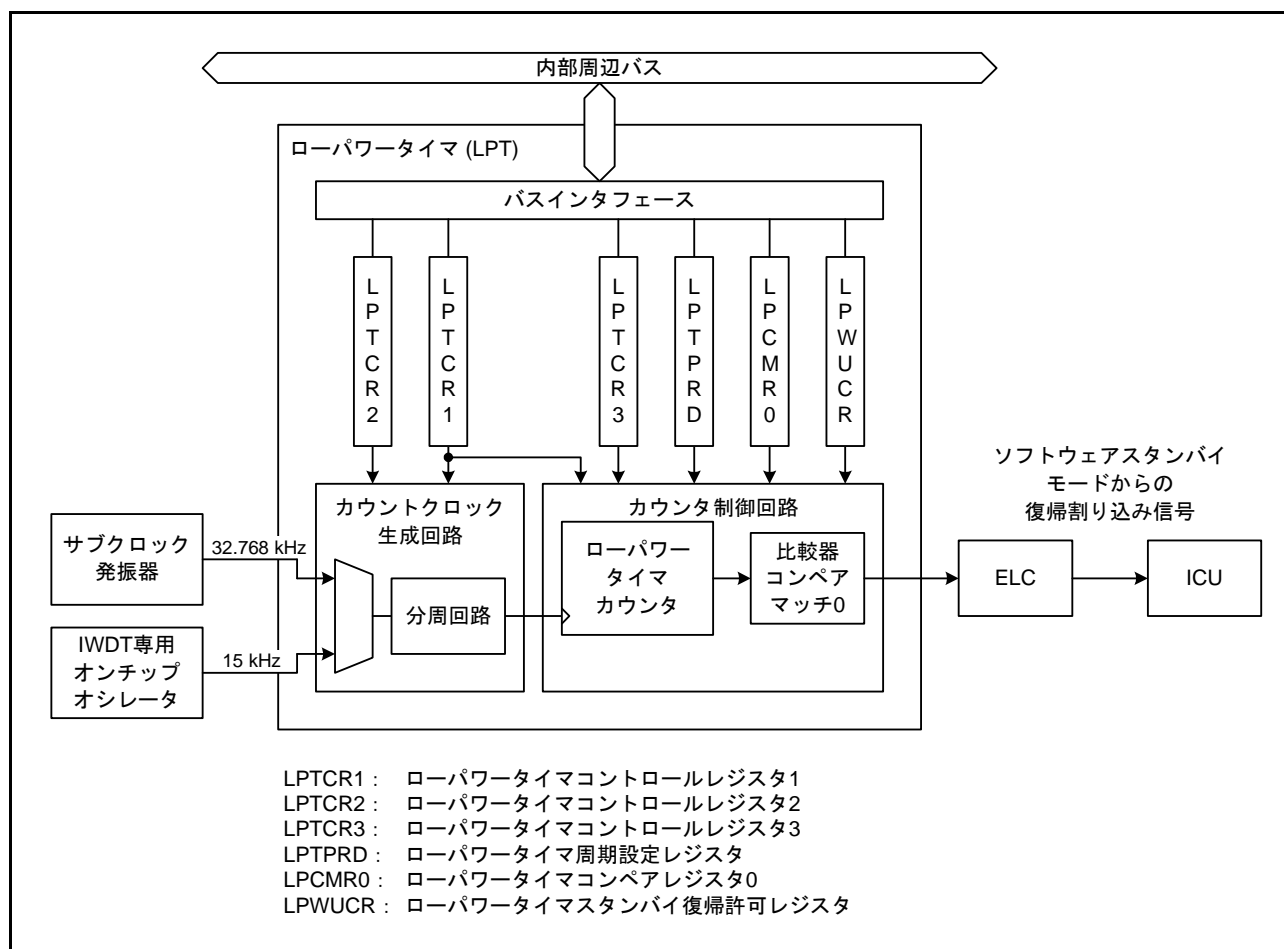


図 25.1 LPT のブロック図

## 25.2 レジスタの説明

### 25.2.1 ローパワータイマコントロールレジスタ 1 (LPTCR1)

アドレス LPT.LPTCR1 0008 00B0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LPCMR E0	—	LPCNT CKSEL	—	LPCNTPSSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	LPCNTPSSEL[2:0]	クロック分周比選択ビット	b2 b0 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LPCNTCKSEL	クロックソース選択ビット(注1)	0 : サブクロック 1 : IWDT専用クロック (IWDTCLK)(注2)	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LPCMRE0	コンペアマッチ0許可ビット	0 : コンペアマッチ0禁止 1 : コンペアマッチ0許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の周波数  $\geq 4 \times$  (クロックソースの周波数) となるようにしてください。

注2. IWDT専用オンチップオシレータが生成するクロック (IWDTCLK) がローパワータイマに供給されます。本ビットを変更する場合は、IWDT専用オンチップオシレータが安定発振している状態で行ってください。

また、ローパワータイマのクロックソースとしてIWDTCLKを使用する場合、IWDTオートスタートモード動作時はOFS0.IWDTSLCSTPビットに“0”(カウント停止無効)を、それ以外の時はIWDCSTPR.SLCSTPビットに“0”(カウント停止無効)を設定してください。この設定をしなかった場合、ソフトウェアスタンバイモード時にIWDT専用オンチップオシレータが停止します。

LPTCR1 レジスタは、ローパワータイマの制御を行います。

#### LPCNTPSSEL[2:0] ビット (クロック分周比選択ビット)

ローパワータイマのクロックソースの分周比を選択します。

本ビットは、LPTCR2.LPCNTSTP ビットが“1”(ローパワータイマへのクロックを停止)のときに変更してください。LPTCR2.LPCNTSTP ビットが“0”(ローパワータイマにクロックを供給)のとき、本ビットへの書き込みは禁止です。

#### LPCNTCKSEL ビット (クロックソース選択ビット)

ローパワータイマのクロックソースをサブクロック、IWDT専用クロックから選択します。

本ビットは、LPTCR2.LPCNTSTP ビットが“1”(ローパワータイマへのクロックを停止)のときに変更してください。LPTCR2.LPCNTSTP ビットが“0”(ローパワータイマにクロックを供給)のとき、本ビットへの書き込みは禁止です。

**LPCMRE0 ビット (コンペアマッチ 0 許可ビット)**

ローパワータイマによるコンペアマッチ 0 の許可または禁止を設定します。

本ビットが“1”、かつ、LPWUCR.LPWKUPEN ビットが“1”(ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可)のときにローパワータイマを動作状態にしてソフトウェアスタンバイモードに遷移すると、ローパワータイマカウンタの値が LPCMR0 レジスタの設定値と一致したときにイベントリンクコントローラ (ELC) を介してソフトウェアスタンバイモードから通常動作モードに復帰します。

本ビットは、LPTCR3.LPCNTEN ビットが“0”(ローパワータイマカウンタ停止)のときに設定してください。LPTCR3.LPCNTEN ビットが“1”(ローパワータイマカウンタ動作)のとき、本ビットへの書き込みは禁止です。

ソフトウェアスタンバイモードからの復帰に使用する場合は、割り込みの設定と ELC の設定が必要です。

ELC の設定の詳細については、「17. イベントリンクコントローラ (ELC)」を、割り込みの設定の詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

なお、コンペアマッチ 0 による割り込み要求は、ソフトウェアスタンバイモード時にのみ発生します。通常動作モード、スリープモード、およびディープスリープモード時は発生しません。

## 25.2.2 ローパワータイマコントロールレジスタ 2 (LPTCR2)

アドレス LPT.LPTCR2 0008 00B1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LPCNT STP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTSTP	クロック供給制御ビット	0 : ローパワータイマにクロックを供給 1 : ローパワータイマへのクロックを停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1” (書き込み許可)にした後で書き換えてください。

LPTCR2 レジスタは、ローパワータイマで使用するクロックの供給制御を行います。

**LPCNTSTP ビット (クロック供給制御ビット)**

ローパワータイマで使用するクロックの供給 / 停止を制御します。本ビットを“0”にすると、ローパワータイマカウンタおよび分周回路にクロックが供給されます。



## 25.2.3 ローパワータイマコントロールレジスタ 3 (LPTCR3)

アドレス LPT.LPTCR3 0008 00B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LPCNT RST	LPCNT EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTEN	ローパワータイマカウンタ動作制御ビット	0: ローパワータイマカウンタ停止 1: ローパワータイマカウンタ動作	R/W
b1	LPCNTRST	ローパワータイマカウンタクリアビット(注1)	<ul style="list-style-type: none"> <li>書き込み時</li> <li>0: 何もしない</li> <li>1: 分周回路およびローパワータイマカウンタをクリア</li> <li>読み出し時</li> <li>0: クリア完了</li> <li>1: クリア中</li> </ul>	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. 連続してローパワータイマカウンタをクリアする場合、LPCNTRSTビットが“0”になったことを確認した後、LPTCR1.LPCNTCKSELビットで選択したクロックで1サイクル以上待ってからLPCNTRSTビットに“1”を書いてください。

LPTCR3 レジスタは、ローパワータイマカウンタと分周回路の動作制御およびクリアを行います。

**LPCNTEN ビット (ローパワータイマカウンタ動作制御ビット)**

ローパワータイマカウンタおよび分周回路の動作/停止を制御します。

LPTCR2.LPCNTSTP ビットが“0”(ローパワータイマにクロックを供給)のときに本ビットを“1”にすると、ローパワータイマカウンタおよび分周回路が動作を開始します。LPTCR2.LPCNTSTP ビットが“1”(ローパワータイマへのクロックを停止)のとき、本ビットへの書き込みは禁止です。

本ビットが“1”のときは、LPCNTRST ビットに“1”を書き込まないでください。

**LPCNTRST ビット (ローパワータイマカウンタクリアビット)**

ローパワータイマカウンタおよび分周回路をクリアします。

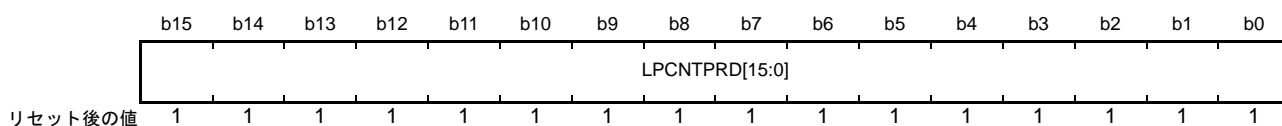
LPTCR2.LPCNTSTP ビットが“0”(ローパワータイマにクロックを供給)のときに本ビットに“1”を書き込むと、ローパワータイマで使用するクロックに同期してクリアが実行され、クリアが完了すると本ビットは自動的に“0”になります。LPTCR2.LPCNTSTP ビットが“1”(ローパワータイマへのクロックを停止)のとき、本ビットへの書き込みは禁止です。

本ビットに“1”を書いた場合、値が“0”(クリア完了)になったことを確認してから次の処理を実行してください。

本ビットへの書き込みは、LPCNTEN ビットが“0”(ローパワータイマカウンタ停止)のときに行ってください。

### 25.2.4 ローパワータイマ周期設定レジスタ (LPTPRD)

アドレス LPT.LPTPRD 0008 00B4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCNTPRD[15:0]	ローパワータイマ周期設定ビット	ローパワータイマの周期を設定 設定範囲：0001h~FFFFh	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

LPTPRD レジスタは、ローパワータイマの周期を設定するレジスタです。

ローパワータイマの周期は、「LPTPRD + 1」に比例し、下記の計算式で求められます。

$$\text{ローパワータイマの周期} = \text{クロックソースの周期} \times \text{分周比} \times (\text{LPTPRD} + 1)$$

ローパワータイマカウンタの値と本設定値が一致すると、カウンタは“0000h”になり、カウントを継続します。

本レジスタに“0000h”を設定しないでください。

本レジスタは、LPTCR3.LPCNTEN ビットが“0”(ローパワータイマカウンタ停止)のときに設定してください。LPTCR3.LPCNTEN ビットが“1”(ローパワータイマカウンタ動作)のとき、本レジスタへの書き込みは禁止です。

表 25.2 および表 25.3 にローパワータイマの周期設定例を示します。周期に対し、一番近い設定例です。

表 25.2 ローパワータイマの周期設定例(IWDTCLKの場合)

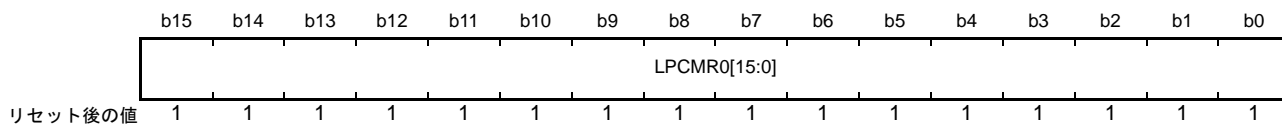
分周比	2分周			4分周			8分周			16分周			32分周			
	目標の周期 (ms)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)
1	0006h	0.93	-6.67	0003h	1.07	6.67	0001h	1.07	6.67	—	—	—	—	—	—	—
2	000Dh	1.87	-6.67	0006h	1.87	-6.67	0003h	2.13	6.67	0001h	2.13	6.67	—	—	—	—
5	0024h	4.93	-1.33	0011h	4.80	-4.00	0008h	4.80	-4.00	0004h	5.33	6.67	0001h	4.27	-14.67	—
10	004Ah	10.00	0.00	0024h	9.87	-1.33	0011h	9.60	-4.00	0008h	9.60	-4.00	0004h	10.67	6.67	—
20	0095h	20.00	0.00	004Ah	20.00	0.00	0024h	19.73	-1.33	0011h	19.20	-4.00	0008h	19.20	-4.00	—
50	0176h	50.00	0.00	00BAh	49.87	-0.27	005Ch	49.60	-0.80	002Dh	49.07	-1.87	0016h	49.07	-1.87	—
100	02EDh	100.00	0.00	0176h	100.00	0.00	00BAh	99.73	-0.27	005Ch	99.20	-0.80	002Dh	98.13	-1.87	—
200	05DBh	200.00	0.00	02EDh	200.00	0.00	0176h	200.00	0.00	00BAh	199.47	-0.27	005Ch	198.40	-0.80	—
500	0EA4h	499.87	-0.03	0751h	499.73	-0.05	03A8h	499.73	-0.05	01D3h	499.20	-0.16	00E9h	499.20	-0.16	—
1000	1D4Ah	999.87	-0.01	0EA4h	999.73	-0.03	0751h	999.47	-0.05	03A8h	999.47	-0.05	01D3h	998.40	-0.16	—
2000	3A96h	1999.87	-0.01	1D4Ah	1999.73	-0.01	0EA4h	1999.47	-0.03	0751h	1998.93	-0.05	03A8h	1998.93	-0.05	—
5000	927Bh	5000.00	0.00	493Dh	5000.00	0.00	249Eh	5000.00	0.00	124Eh	4999.47	-0.01	0926h	4998.40	-0.03	—
10000	—	—	—	—	—	—	493Dh	10000.00	0.00	249Eh	10000.00	0.00	124Eh	9998.93	-0.01	—
20000	—	—	—	—	—	—	927Bh	20000.00	0.00	493Dh	20000.00	0.00	249Eh	20000.00	0.00	—
50000	—	—	—	—	—	—	—	—	—	B71Ah	50000.00	0.00	5B8Ch	49998.93	0.00	—

表 25.3 ローパワータイマの周期設定例(サブクロックの場合)

分周比	2分周			4分周			8分周			16分周			32分周			
	目標の周期 (ms)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)
1	000Fh	0.98	-2.34	0007h	0.98	-2.34	0003h	0.98	-2.34	0001h	0.98	-2.34	—	—	—	—
2	001Fh	1.95	-2.34	000Fh	1.95	-2.34	0007h	1.95	-2.34	0003h	1.95	-2.34	0001h	1.95	-2.34	-2.34
5	0050h	4.94	-1.12	0027h	4.88	-2.34	0013h	4.88	-2.34	0009h	4.88	-2.34	0004h	4.88	-2.34	-2.34
10	00A2h	9.95	-0.51	0050h	9.89	-1.12	0027h	9.77	-2.34	0013h	9.77	-2.34	0009h	9.77	-2.34	-2.34
20	0146h	19.96	-0.21	00A2h	19.90	-0.51	0050h	19.78	-1.12	0027h	19.53	-2.34	0013h	19.53	-2.34	-2.34
50	0332h	49.99	-0.02	0198h	49.93	-0.15	00CBh	49.80	-0.39	0065h	49.80	-0.39	0032h	49.80	-0.39	-0.39
100	0665h	99.98	-0.02	0332h	99.98	-0.02	0198h	99.85	-0.15	00CBh	99.61	-0.39	0065h	99.61	-0.39	-0.39
200	0CCBh	199.95	-0.02	0665h	199.95	-0.02	0332h	199.95	-0.02	0198h	199.71	-0.15	00CBh	199.22	-0.39	-0.39
500	1FFFh	500.00	0.00	0FFFh	500.00	0.00	07FFh	500.00	0.00	03FFh	500.00	0.00	01FFh	500.00	0.00	0.00
1000	3FFFh	1000.00	0.00	1FFFh	1000.00	0.00	0FFFh	1000.00	0.00	07FFh	1000.00	0.00	03FFh	1000.00	0.00	0.00
2000	7FFFh	2000.00	0.00	3FFFh	2000.00	0.00	1FFFh	2000.00	0.00	0FFFh	2000.00	0.00	07FFh	2000.00	0.00	0.00
5000	—	—	—	9FFFh	5000.00	0.00	4FFFh	5000.00	0.00	27FFh	5000.00	0.00	13FFh	5000.00	0.00	0.00
10000	—	—	—	—	—	—	9FFFh	10000.00	0.00	4FFFh	10000.00	0.00	27FFh	10000.00	0.00	0.00
20000	—	—	—	—	—	—	—	—	—	9FFFh	20000.00	0.00	4FFFh	20000.00	0.00	0.00
50000	—	—	—	—	—	—	—	—	—	—	—	—	C7FFh	50000.00	0.00	0.00

## 25.2.5 ローパワータイマコンペアレジスタ 0 (LPCMR0)

アドレス LPT.LPCMR0 0008 00B8h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCMR0[15:0]	ローパワータイマコンペア0ビット	ローパワータイマカウンタとのコンペアマッチ値0を設定	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

LPCMR0 レジスタは、ローパワータイマカウンタとのコンペアマッチ値0を設定するレジスタです。

LPCMR0 レジスタには、LPTPRD レジスタに設定した値以下の値を設定してください。

本レジスタは、LPTCR3.LPCNTEN ビットが“0”(ローパワータイマカウンタ停止)のときに設定してください。LPTCR3.LPCNTEN ビットが“1”(ローパワータイマカウンタ動作)のとき、本レジスタへの書き込みは禁止です。

## 25.2.6 ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR)

アドレス LPT.LPWUCR 0008 00BCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LPWKU PEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	LPWKUPEN	ローパワータイマスタンバイ復帰許可ビット	0 : ローパワータイマによるソフトウェアスタンバイモードからの復帰を禁止 1 : ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

LPWUCR レジスタは、ローパワータイマのコンペアマッチ 0 でソフトウェアスタンバイモードから通常動作モードに復帰する機能の許可制御を行います。

**LPWKUPEN ビット (ローパワータイマスタンバイ復帰許可ビット)**

ローパワータイマのコンペアマッチ 0 でソフトウェアスタンバイモードから通常動作モードに復帰する機能の許可または禁止を設定します。

本ビットは、LPTCR3.LPCNTEN ビットが“0”(ローパワータイマカウンタ停止)のときに設定してください。LPTCR3.LPCNTEN ビットが“1”(ローパワータイマカウンタ動作)のとき、本ビットへの書き込みは禁止です。

## 25.3 動作説明

### 25.3.1 周期カウント動作

ローパワータイマは、MCUの動作モードにかかわらず動作する16ビットのアップカウンタです(注1)。

LPTCR1.LPCNTPSSEL[2:0]ビットで分周比、LPTCR1.LPCNTCKSELビットでクロックソースを選択し、LPTCR2.LPCNTSTPビットを“0”(ローパワータイマにクロックを供給)にした後、LPTCR3.LPCNTENビットを“1”(ローパワータイマカウンタ動作)にすると、選択したクロックによってローパワータイマカウンタがカウントを開始します。

ローパワータイマカウンタの値がLPTPRDレジスタの値と一致すると、カウンタの値は“0000h”からカウントを再開します。

LPTCR1.LPCMRE0ビットが“1”(コンペアマッチ0許可)かつLPWUCR.LPWKUPENビットが“1”(ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可)の場合、ソフトウェアスタンバイモード中にローパワータイマカウンタの値がLPCMROレジスタの値と一致すると、イベントリンクコントローラ(ELC)を介してソフトウェアスタンバイモードから通常動作モードに復帰します。

図25.2にローパワータイマの動作を、図25.3に初期設定手順例を示します。

注1. LPTCR1.LPCNTCKSELビットで“1”(IWDT専用クロック)を選択している場合、IWDTがオートスタートモードで、かつOFS0.IWDTSLCSTPビットを“1”(カウント停止有効)にしている、またはレジスタスタートモードで、かつIWDTCSTPR.SLCSTPビットを“1”(カウント停止有効)にしていると、低消費電力状態ではIWDTCLKが停止するため、カウンタが停止します。

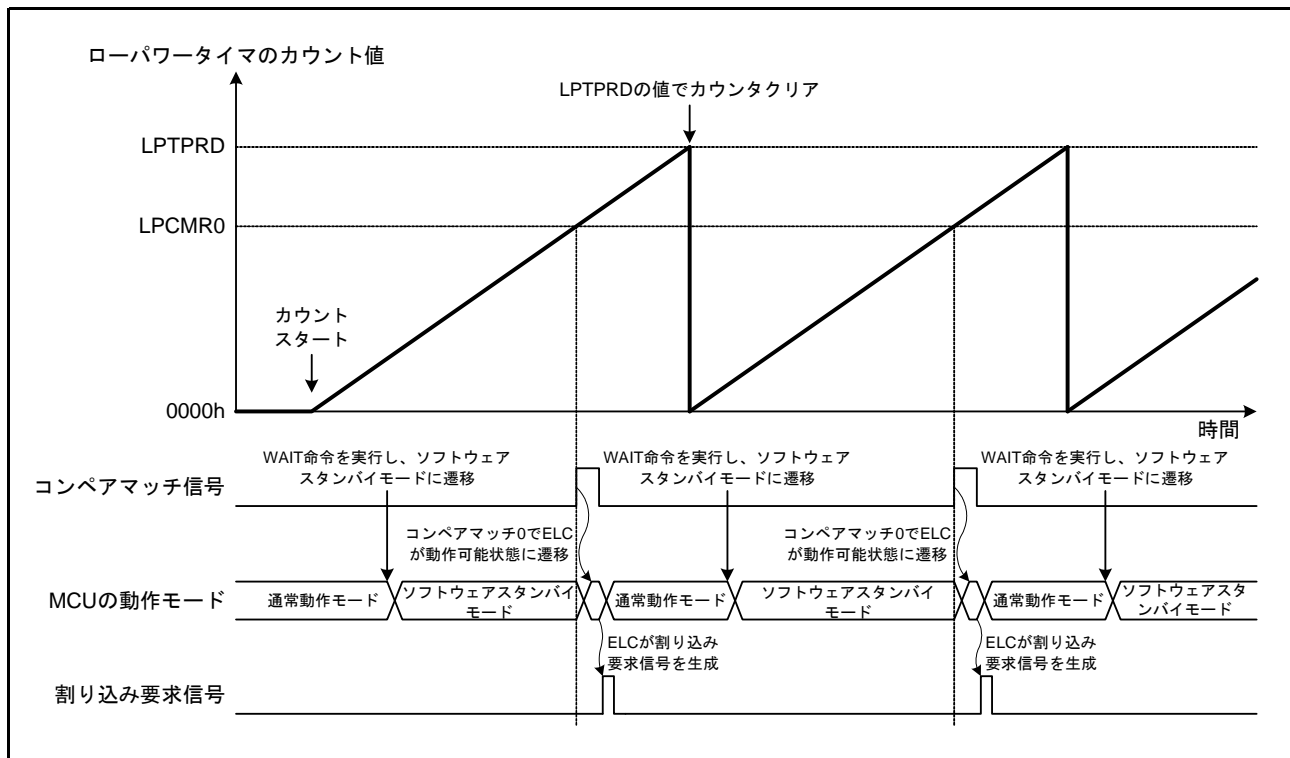


図25.2 ローパワータイマの動作

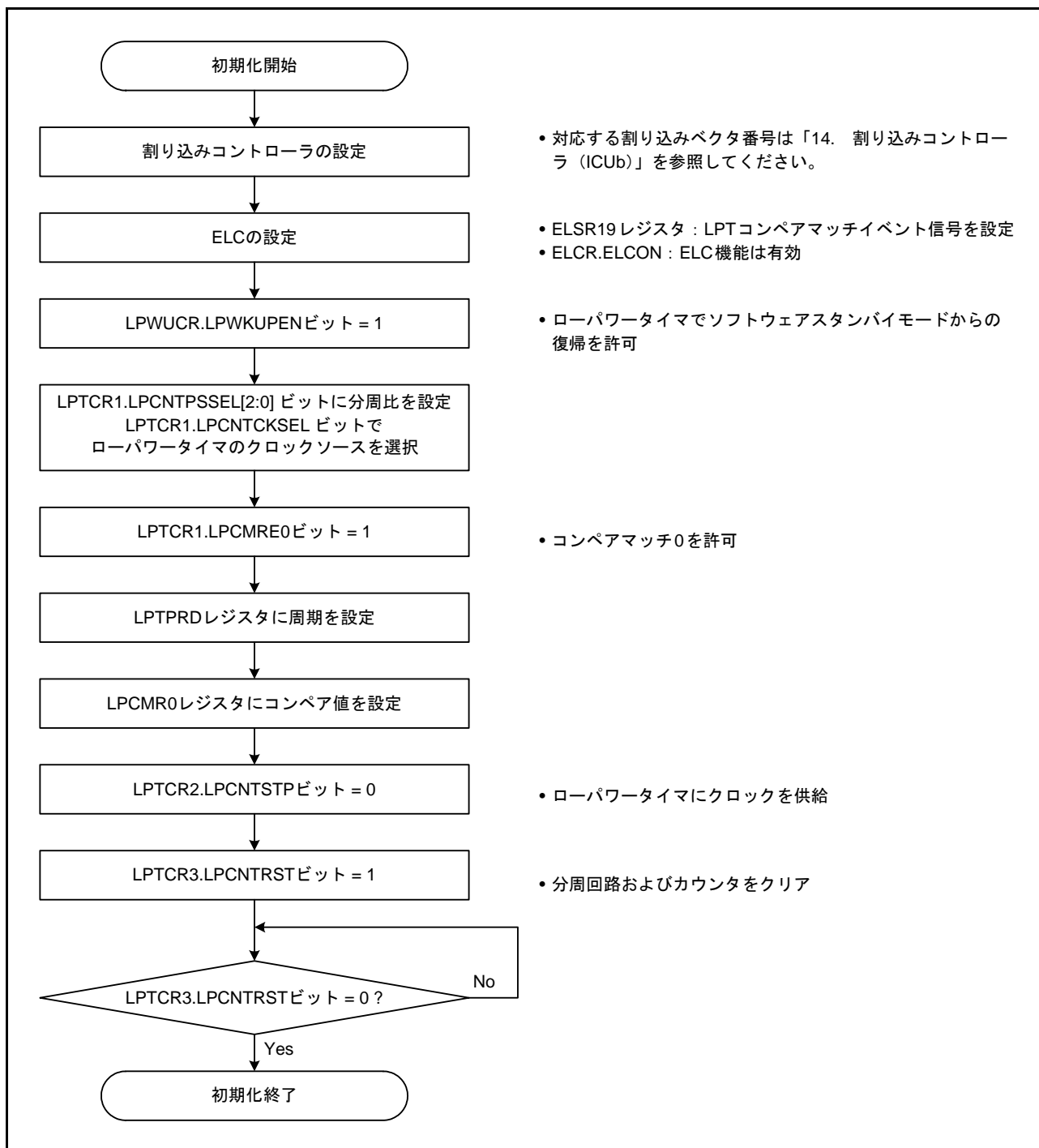


図 25.3 初期設定手順例

### 25.3.2 ローパワータイマカウンタのカウントタイミング

LPTCR1.LPCNTCKSEL ビットで選択したクロックソースを2～32分周した5種類の分周クロックの内、ローパワータイマカウンタに入力するカウントクロックをLPTCR1.LPCNTPSSEL[2:0] ビットで選択できます。

このときのローパワータイマカウンタのカウントタイミングを図 25.4 に示します。

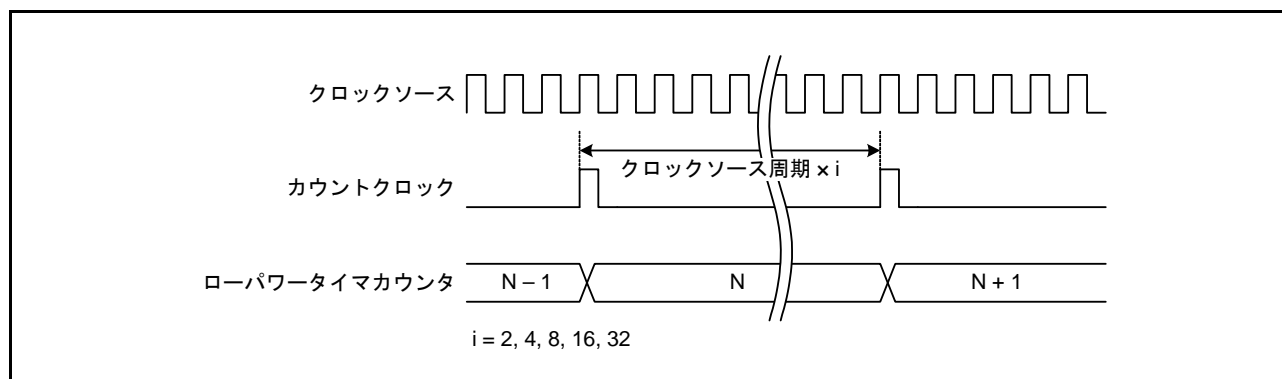


図 25.4 ローパワータイマカウンタのカウントタイミング

### 25.3.3 ローパワータイマカウンタのクリアタイミング

LPTCR3.LPCNTRST ビットに“1”を書くと(注1)、ローパワータイマカウンタがクリアされます。

LPTCR3.LPCNTRST ビットは、カウンタのクリアが完了すると自動的に“0”になります。

このときのローパワータイマカウンタのクリアタイミングを図 25.5 に示します。

注1. LPTCR3.LPCNTRST ビットへの書き込みは、LPTCR3.LPCNTEN ビットが“0” (ローパワータイマカウンタ停止) のときに行ってください。

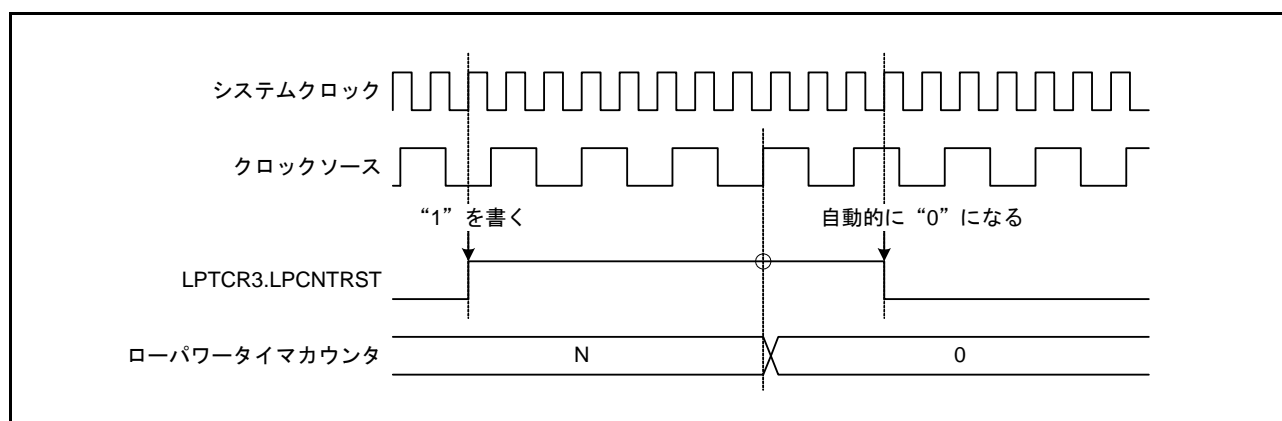


図 25.5 ローパワータイマカウンタのクリアタイミング



## 25.4 イベントリンクコントローラ (ELC) を介した割り込みによるソフトウェアスタンバイモードの解除について

ローパワータイマは、ソフトウェアスタンバイモード時のみ、LPT のコンペアマッチ 0 によるイベント信号をイベントリンクコントローラ (ELC) に出力します。

ELC の ELSR19 レジスタに “5Dh” (LPT・コンペアマッチ) を設定することで、イベント信号による割り込みが発生し、ソフトウェアスタンバイモードから通常動作モードに復帰することができます。

## 25.5 使用上の注意事項

### 25.5.1 ソフトウェアスタンバイモードへの遷移に関する注意事項について

ソフトウェアスタンバイモードから通常動作モードに復帰して、再度ソフトウェアスタンバイモードに遷移する場合、LPTCR1.LPCNTCKSEL ビットで選択したクロックで 1 サイクル以上待ってから WAIT 命令を実行する必要があります。

## 26. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

### 26.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、またはディープスリープモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

表 26.1 に IWDT の仕様を、図 26.1 に IWDT のブロック図を示します。

表 26.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> <li>• オートスタートモード：リセット解除後、自動的にカウント開始</li> <li>• レジスタスタートモード：リフレッシュ動作 (IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>• リセット (ダウンカウンタ、レジスタは初期値に戻る)</li> <li>• 低消費電力状態 (レジスタ設定による(注2))</li> <li>• アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)</li> </ul>
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> <li>• ダウンカウンタがアンダフローしたとき</li> <li>• リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)</li> </ul>
ノンマスカブル割り込み要因	<ul style="list-style-type: none"> <li>• ダウンカウンタがアンダフローしたとき</li> <li>• リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)</li> </ul>
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号 (内部信号)	<ul style="list-style-type: none"> <li>• リセット出力</li> <li>• 割り込み要求出力</li> <li>• スリープモードカウンタ停止制御出力</li> </ul>
オートスタートモード (オプション機能選択レジスタ 0 (OFS0) 制御)	<ul style="list-style-type: none"> <li>• リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット)</li> <li>• 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット)</li> <li>• 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット)</li> <li>• 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0] ビット)</li> <li>• リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット)</li> <li>• スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウンタ停止の選択 (OFS0.IWDTSLCSTP ビット)</li> </ul>
レジスタスタートモード (IWDT レジスタ制御)	<ul style="list-style-type: none"> <li>• リフレッシュ動作後のクロック分周比の選択 (IWDTCSR.CKS[3:0] ビット)</li> <li>• 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCSR.TOPS[1:0] ビット)</li> <li>• 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCSR.RPSS[1:0] ビット)</li> <li>• 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCSR.RPES[1:0] ビット)</li> <li>• リセット出力、または割り込み要求出力の選択 (IWDTCSR.RSTIRQS ビット)</li> <li>• スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウンタ停止の選択 (IWDTCSR.SLCSTP ビット)</li> </ul>

注1. 周辺モジュールクロック周波数 (PCLK)  $\geq 4 \times$  (カウントソースの分周後周波数) となるようにしてください。

注2. オートスタートモード時、OFS0.IWDTSLCSTP ビットが“1”の場合、レジスタスタートモード時、IWDTCSR.SLCSTP ビットが“1”の場合。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 26.1 に IWDT のブロック図を示します。

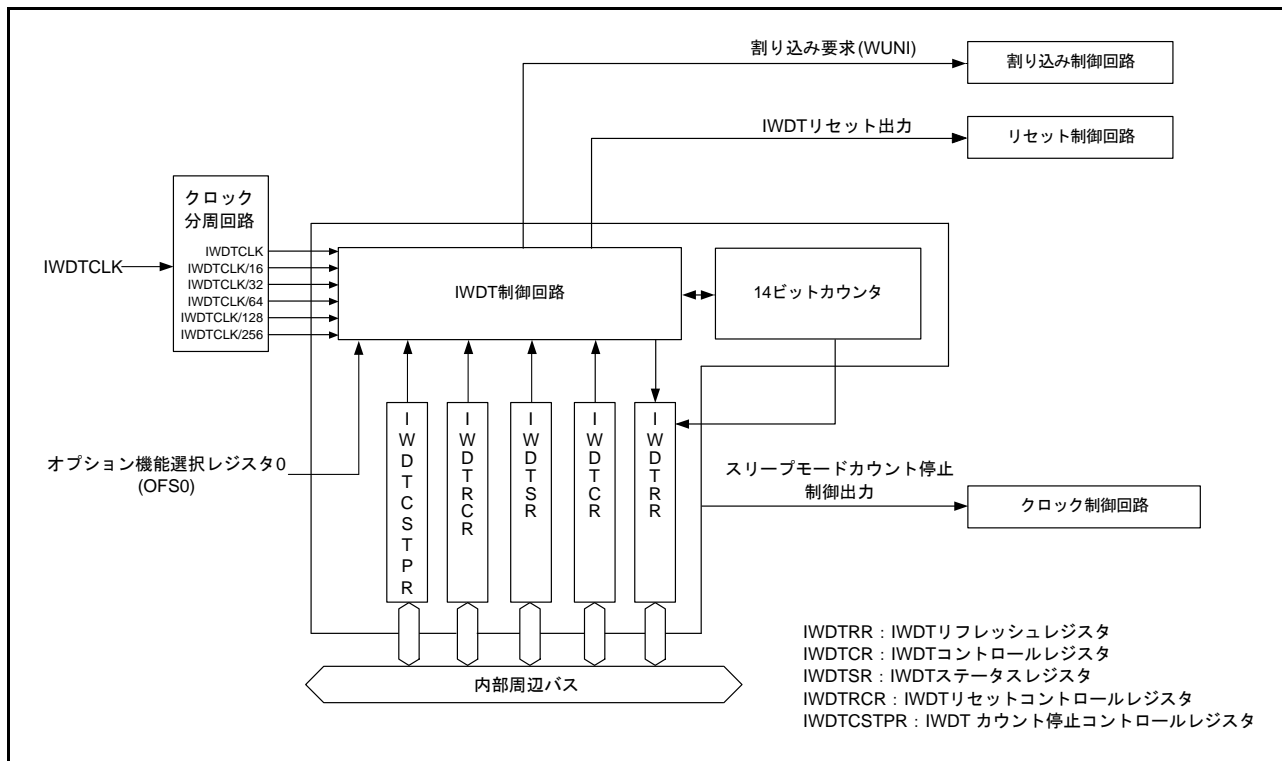
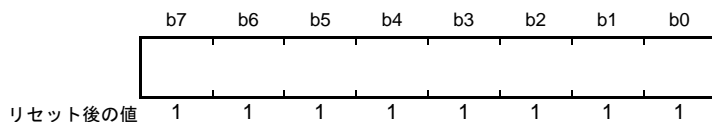


図 26.1 IWDT のブロック図

## 26.2 レジスタの説明

### 26.2.1 IWDt リフレッシュレジスタ (IWDtRR)

アドレス IWDt.IWDtRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDtRR レジスタは、IWDt のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDtRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)により IWDt のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDtTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDtCR.TOPs[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDtCR.TOPs[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「26.3.3 リフレッシュ動作」を参照してください。

## 26.2.2 IWDTCR コントロールレジスタ (IWDTCR)

アドレス IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128サイクル(007Fh) 0 1 : 512サイクル(01FFh) 1 0 : 1024サイクル(03FFh) 1 1 : 2048サイクル(07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「26.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「26.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDTCR レジスタの対応」を参照してください。

**TOPS[1:0] ビット (タイムアウト期間選択ビット)**

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 26.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 26.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

**CKS[3:0] ビット (クロック分周比選択ビット)**

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 128 ~ 524288 クロックの間で設定できます。

**RPES[1:0] ビット (ウィンドウ終了位置選択ビット)**

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 26.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始/終了位置のカウンタ値を示します。

表 26.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

**RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)**

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 26.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可/禁止期間の関係を示します。

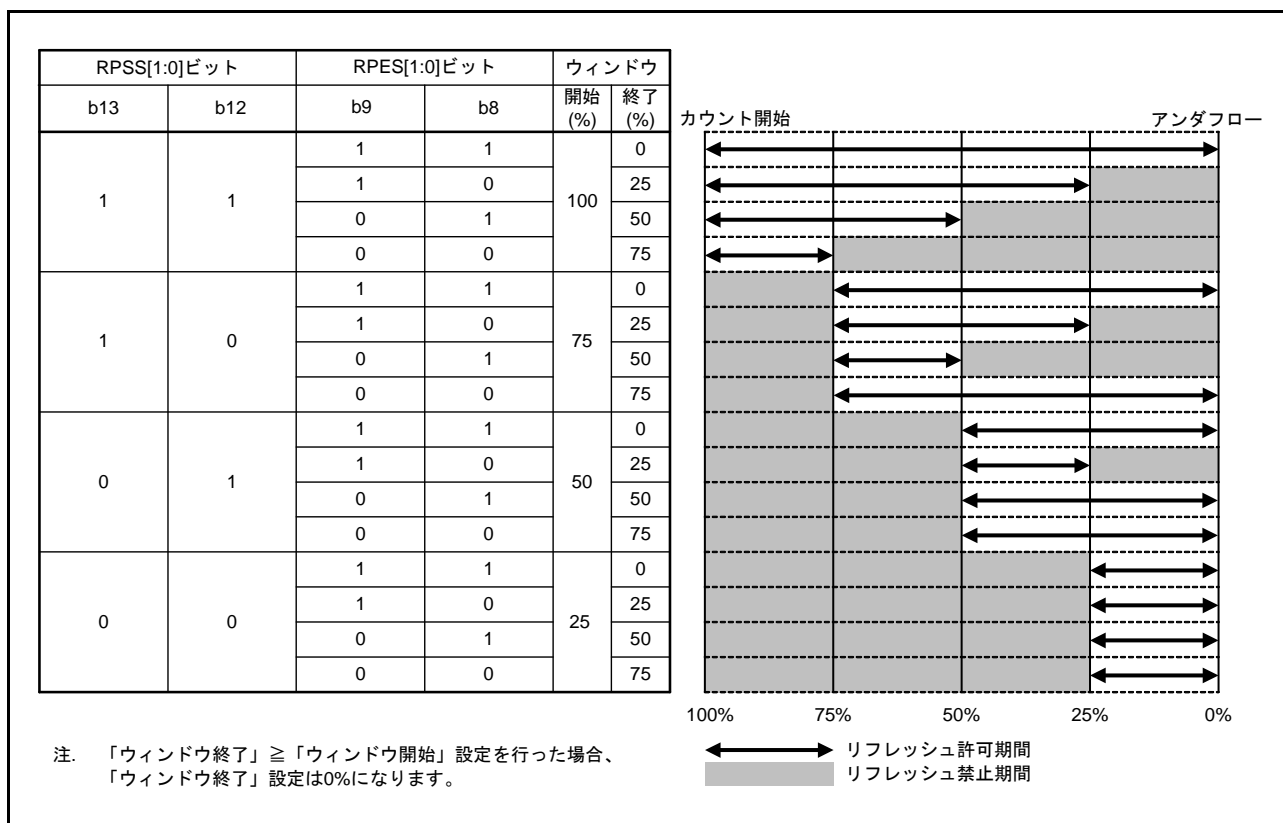
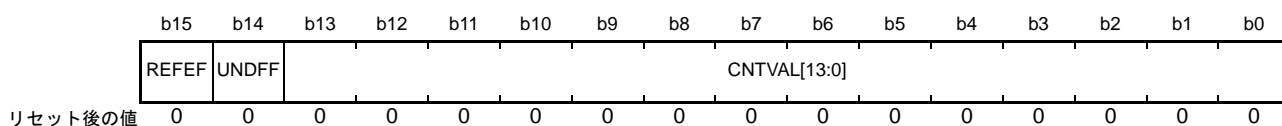


図 26.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

### 26.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

#### CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

#### UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

#### REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。



## 26.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ノンマスクブル割り込み要求出力を許可 1 : リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「26.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「26.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

### 26.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)

アドレス IWDT.IWDTCSSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
SLCSTP	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSSTPR レジスタへの書き込みには制限があります。詳細については、「26.3.2 IWDTCSR レジスタ、IWDTCSR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「26.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

#### SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止を選択します。

### 26.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「26.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

## 26.3 動作説明

### 26.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが“1”(レジスタスタートモード)の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSNTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0”(オートスタートモード)の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

#### 26.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが“1”の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSNTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSNTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット出力、または割り込み要求出力のいずれかを選択します。

図 26.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

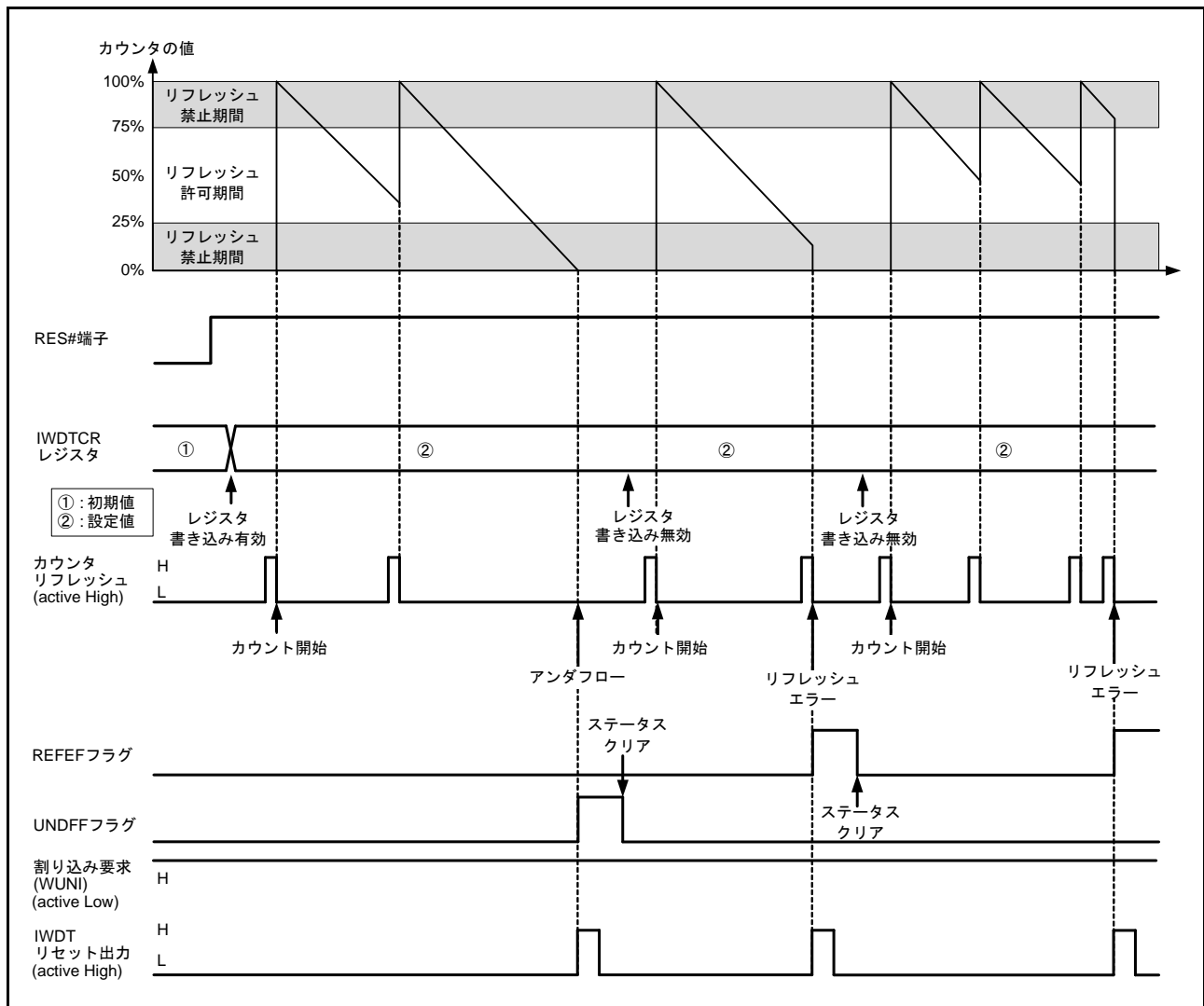


図 26.3 レジスタスタートモード動作例

### 26.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが“0”の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSSTR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態への遷移時での IWDT のカウンタのカウンタ停止制御の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求 (WUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。OFS0.IWDRSTIRQS ビットで、リセット出力、または割り込み要求出力のいずれかを選択します。

図 26.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力許可 (OFS0.IWDRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

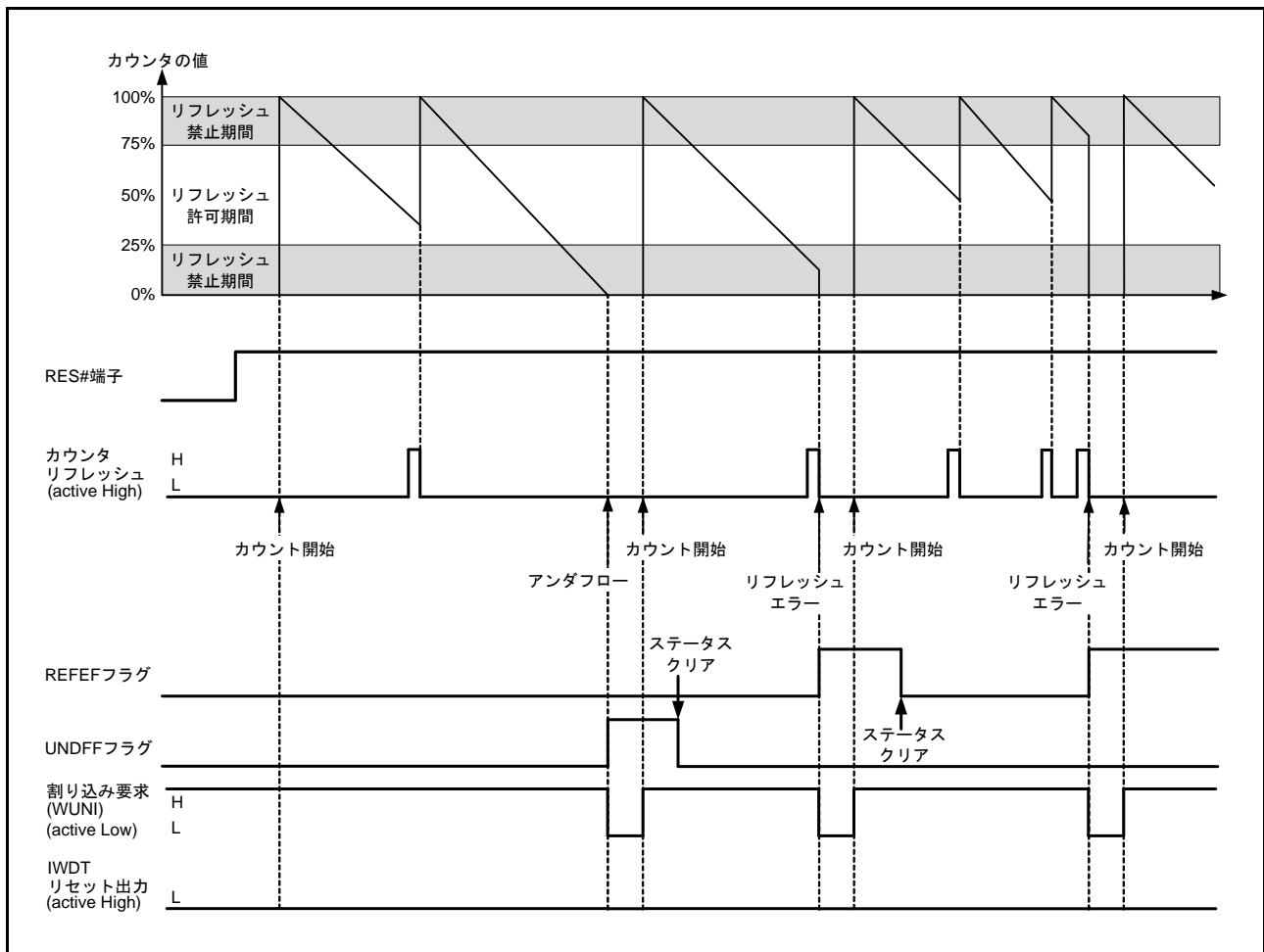


図 26.4 オートスタートモード動作例

### 26.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタ書き込み制御

IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSSTPR レジスタへの書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR レジスタ、IWDTRCR レジスタ、または IWDTCSSTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が “1” となり、以後 IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSSTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 26.5 に IWDTCR レジスタ書き込み制御波形を示します。

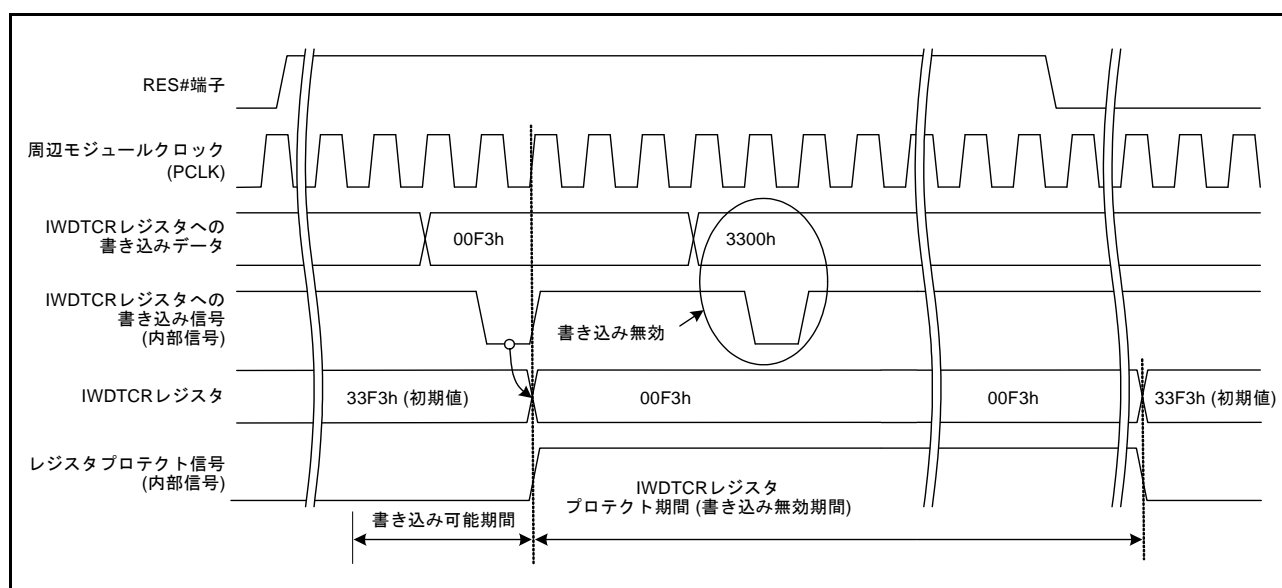


図 26.5 IWDTCR レジスタ書き込み制御波形

### 26.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始(リフレッシュによるカウント開始)を行うには、IWDTRR レジスタへの“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”(1回目)→“00h”(2回目)の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h”→“FFh”順の書き込み動作が成立するため、“00h”(n-1回目)→“00h”(n回目)→“FFh”のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h”→“FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、またはIWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

#### 【リフレッシュ有効書き込み例】

- “00h”→“FFh”
- “00h”(n-1回目)→“00h”(n回目)→“FFh”
- “00h”→別レジスタアクセスまたはIWDTRR レジスタの読み出し→“FFh”

#### 【リフレッシュ無効書き込み例】

- “23h”(“00h”以外)→“FFh”
- “00h”→“54h”(“FFh”以外)
- “00h”→“AAh”(“00h”および“FFh”以外)→“FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります(1サイクル間のIWDTC専用クロック(IWDTCCLK)数は、IWDTCR.CKS[3:0]ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値はIWDTSR.CNTVAL[13:0]ビットで確認できます。

#### 【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“03FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“03FFh”より前(たとえば“0402h”)であっても、IWDTSR.CNTVAL[13:0]ビットの値が“03FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“03FFh”とした場合、IWDTRR レジスタへ“00h”→“FFh”を書き込み直後にIWDTSR.CNTVAL[13:0]ビットの値を読み出して“0403h”(“03FFh”の4カウント前)以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合IWDTRR レジスタへ“00h”→“FFh”を書き込み直後にIWDTSR.CNTVAL[13:0]ビットの値を読み出して“0003h”(アンダフローの4カウント前)以上であればアンダフローは発生せず、リフレッシュを行います。



図 26.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

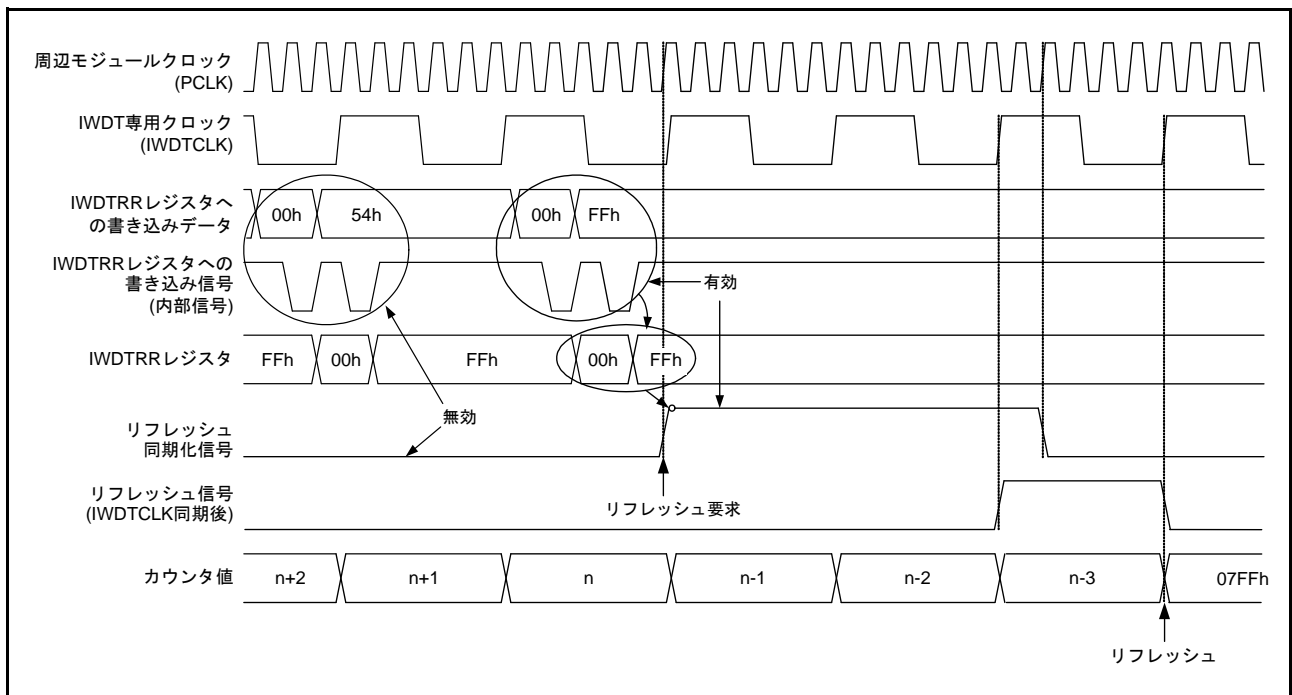


図 26.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

### 26.3.4 ステータスフラグ

IWDTSR.REFDEF フラグ、IWDTSR.UNDFE フラグは、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFDEF フラグ、または IWDTSR.UNDFE フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLK 2 クロック必要です。

### 26.3.5 リセット出力

レジスタスタートモード時、IWDTSCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

### 26.3.6 割り込み要因

レジスタスタートモード時、IWDTSCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、OFS0.IWDRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスカブル割り込みです。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表 26.4 IWDT の割り込み要因

名称	割り込み要因	DTCの起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能

### 26.3.7 カウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 26.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

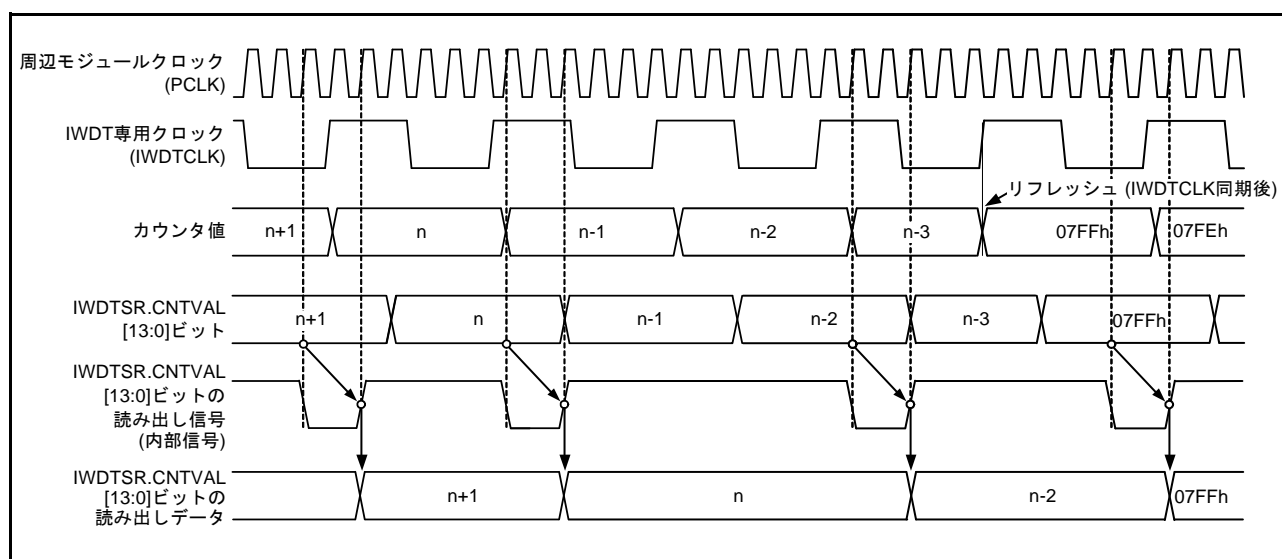


図 26.7 IWDT カウンタ値の読み出し処理  
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

### 26.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 26.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

OFS0 レジスタについては、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 26.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

## 26.4 使用上の注意事項

### 26.4.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

### 26.4.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK)  $\geq 4 \times$  (カウントソースの分周後周波数) となるようにしてください。

### 26.4.3 電圧監視 1 リセットと IWDT リセット併用時の注意事項

オプション設定メモリの OFS1.STUPLVD1REN ビットを“0” (起動時電圧監視 1 リセット有効)、かつ OFS0.IWDRSTIRQS ビットまたは IWDTCCR.RSTIRQS ビットを“1” (IWDT リセット出力許可) にして使用する場合、「8.4 電圧監視 1 割り込み、電圧監視 1 リセット」の手順に従ってプログラムの先頭で電圧監視 1 リセットを有効にしてください。

## 27. USB2.0 ホスト / ファンクションモジュール (USBc)

### 27.1 概要

本 MCU は、USB2.0 ホスト/ファンクションモジュールを内蔵しています。

USB は、ホストコントローラとファンクションコントローラを備えた USB コントローラです。

ホストコントローラと、ファンクションコントローラは、USB (Universal Serial Bus) 規格 2.0 のフルスピードおよびロースピード転送に対応します。また、USB は USB トランシーバを内蔵し、USB 規格 2.0 で定義されている全転送タイプに対応しています。Battery Charging Specification Revision 1.2 に対応しています。

データ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1～9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表 27.1 に USB の仕様を示します。

表 27.1 USB の仕様

項目	内容
特長	<ul style="list-style-type: none"> <li>• USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG (On-The-Go)に対応(1チャンネル)</li> <li>• ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能</li> <li>• セルフパワーモードおよびバスパワーモードを選択可能</li> <li>• BC1.2 (Battery Charging Specification Revision 1.2)に対応</li> </ul>
	ホストコントローラ機能選択時(ROM容量が32Kバイト以上の製品のみ) <ul style="list-style-type: none"> <li>• フルスピード転送(12 Mbps)およびロースピード転送(1.5 Mbps)に対応</li> <li>• SOF、パケット送信のスケジュールを自動化</li> <li>• アイソクロナス転送、インタラプト転送の転送インターバル設定機能</li> </ul>
	ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> <li>• フルスピード転送(12 Mbps)およびロースピード転送(1.5 Mbps)に対応</li> <li>• コントロール転送ステージ管理機能</li> <li>• デバイスステート管理機能</li> <li>• SET_ADDRESSリクエストに対する自動応答機能</li> <li>• SOF補完機能</li> </ul>
通信データ転送タイプ	<ul style="list-style-type: none"> <li>• コントロール転送</li> <li>• バルク転送</li> <li>• インタラプト転送</li> <li>• アイソクロナス転送</li> </ul>
パイプコンフィギュレーション	<ul style="list-style-type: none"> <li>• USB通信用バッファメモリを内蔵</li> <li>• 最大10本のパイプを選択可能(デフォルトコントロールパイプを含む)</li> <li>• パイプ1～9は任意のエンドポイント番号を割り付け可能</li> </ul>
	各パイプの設定可能な転送条件 <ul style="list-style-type: none"> <li>• パイプ0：コントロール転送、64バイトシングルバッファ</li> <li>• パイプ1、2：バルク転送時、64バイトダブルバッファ指定可能 アイソクロナス転送時、256バイトダブルバッファ指定可能</li> <li>• パイプ3～5：バルク転送、64バイトダブルバッファ指定可能</li> <li>• パイプ6～9：インタラプト転送、64バイトシングルバッファ</li> </ul>
その他の機能	<ul style="list-style-type: none"> <li>• トランザクションカウントによる受信トランスファ終了機能</li> <li>• BRDY割り込みイベント通知タイミング変更機能(BFRE)</li> <li>• DnFIFOポート(n=0,1)で指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM)</li> <li>• トランスファ終了による応答PIDのNAK設定機能(SHTNAK)</li> <li>• D+/D-のブルアップ抵抗、ブルダウン抵抗をチップに内蔵</li> </ul>
消費電力低減機能	モジュールストップ状態への遷移が可能

図 27.1 に USB のブロック図を示します。

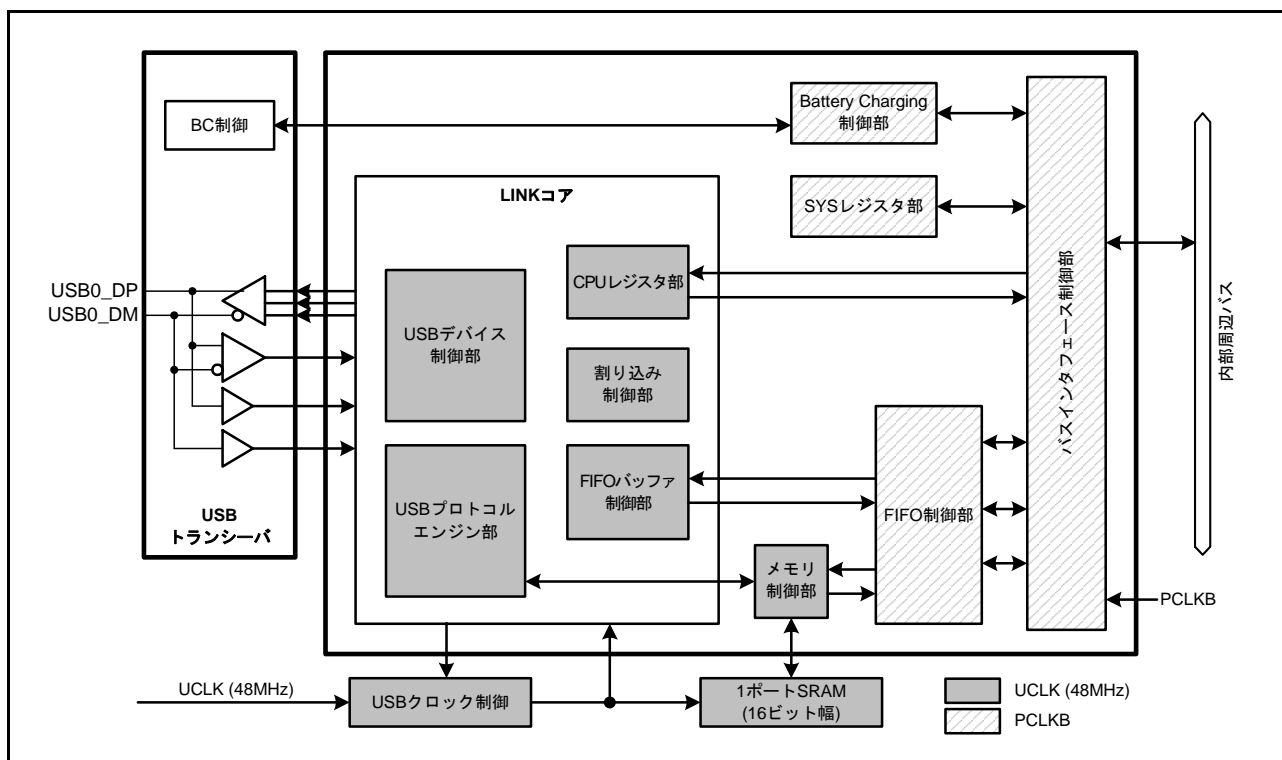


図 27.1 USB のブロック図

表 27.2 に USB の入出力端子を示します。

表 27.2 USBの入出力端子

ポート	端子名	入出力	機能
USB	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB0_DM	入出力	USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB0_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます(注1)
	USB0_EXICEN	出力	外部電源(OTG)チップのローパワー制御信号
	USB0_VBUSEN	出力	外部電源チップへのVBUS (5 V)の供給許可信号
	USB0_OVRCURA USB0_OVRCURB	入力	外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	OTG動作時miniABコネクタのID入力信号を接続します
共通	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グランド端子

注1. P16は5Vトレラントです。  
5VトレラントでないPC4を使用する場合は、VBUSを3.3Vまで降圧して接続してください。

## 27.2 レジスタの説明

### 27.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

アドレス USB0.SYSCFG 000A 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	CNEN	—	DCFM	DRPD	DPRPU	DMRPU	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USB動作許可ビット	0 : USBの動作禁止 1 : USBの動作許可	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DMRPU	D-ライン抵抗制御ビット(注1)	0 : プルアップ禁止 1 : プルアップ許可	R/W
b4	DPRPU	D+ライン抵抗制御ビット(注1)	0 : プルアップ禁止 1 : プルアップ許可	R/W
b5	DRPD	D+/D-ライン抵抗制御ビット	0 : プルダウン禁止 1 : プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CNEN	シングルエンドレシーバ許可ビット	0 : シングルエンドレシーバ動作禁止 1 : シングルエンドレシーバ動作許可	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBクロック許可ビット(注2)	0 : USBへのクロック供給停止 1 : USBへのクロック供給許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DMRPUビットとDPRPUビットを同時に許可することは禁止です。

注2. SCKEビットに“1”を書いた後、SCKEビットを読み出し、“1”となっていることを確認してください。

#### USBEビット (USB動作許可ビット)

USBの動作禁止/許可を指定します。

USBEビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表27.3に示します。

USBEビットの変更は、SCKEビットが“1”のときに行ってください。

ホストコントローラ機能選択時は、DRPDビットを“1”にした後、SYSSTS0.LNST[1:0]フラグのチャタリング除去を行い、USBバスの状態が安定したことを確認した後で、USBEビットを“1”にしてください。

表27.3 USBEビットへの“0”書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	備考
ファンクションコントローラ機能	SYSSTS0	LNST[1:0]	ホストコントローラ機能選択時は値保持
	DVSTCTR0	RHST[2:0]	
	INTSTS0	DVSQ[2:0]	ホストコントローラ機能選択時は値保持
	USBREQ	BREQUEST[7:0], BMREQUESTTYPE[7:0]	ホストコントローラ機能選択時は値保持
	USBVAL	—	ホストコントローラ機能選択時は値保持
	USBINDX	—	ホストコントローラ機能選択時は値保持
	USBLENG	—	ホストコントローラ機能選択時は値保持
ホストコントローラ機能	DVSTCTR0	RHST[2:0]	
	FRMNUM	FRNM[10:0]	ファンクションコントローラ機能選択時は値保持

### DMRPU ビット (D-ライン抵抗制御ビット)

ファンクションコントローラ機能選択時、D-ラインのプルアップの禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に DMRPU ビットを“1”にすると、USB は D-ラインをプルアップ許可し、USB ホストに対してロースピードデバイスとしてアタッチを通知することができます。また、DMRPU ビットを“1”から“0”に変更することにより、USB は D-ラインのプルアップを禁止にするので、USB ホストに対してデタッチしたと見せることができます。

DMRPU ビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

### DPRPU ビット (D+ライン抵抗制御ビット)

ファンクションコントローラ機能選択時、D+ラインのプルアップの禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に DPRPU ビットを“1”にすると、USB は D+ラインをプルアップ許可し、USB ホストに対してフルスピードデバイスとしてアタッチを通知することができます。また、DPRPU ビットを“1”から“0”に変更することにより、USB は D+ラインのプルアップを禁止にするので、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

### DRPD ビット (D+/D-ライン抵抗制御ビット)

ホストコントローラ機能選択時、D+/D-ラインのプルダウンの禁止 / 許可を指定します。

DRPD ビットへの“1”書き込みは、ホストコントローラ機能選択時に行ってください。ファンクションコントローラ機能選択時は、“0”にしてください。

### DCFM ビット (コントローラ機能選択ビット)

USB の機能を選択します。

DCFM ビットの変更は、DMRPU ビットが“0”、DPRPU ビットが“0”、かつ DRPD ビットが“0”のときに行ってください。

### CNEN ビット (シングルエンドレシーバ許可ビット)

CNEN ビットを“1”にすると、USB はシングルエンドレシーバを許可し、LNST[1:0] フラグで D+/D- のステータスをモニタすることができます。

CNEN ビットは、Battery Charging の Portable Device 動作時に使用します。



**SCKE ビット (USB クロック許可ビット)**

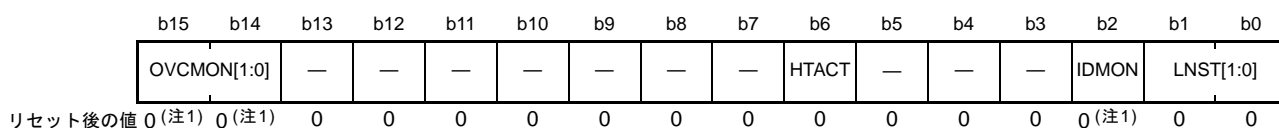
USB への 48 MHz クロック供給の停止 / 許可を指定します。

SCKE ビットが “0” の場合、SYSCFG レジスタのみ、読み出し / 書き込みができます。

USB 関連の他のレジスタは、SCKE ビットが “0” の場合には、読み出し / 書き込みはできません。

### 27.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USB0.SYSSTS0 000A 0004h



ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスマニタフラグ	表27.4を参照してください	R
b2	IDMON	外部ID0入力端子モニタフラグ	0 : USB0_ID端子がLowのとき 1 : USB0_ID端子がHighのとき	R
b5-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	HTACT	USBホストシーケンサステータスマニタフラグ	0 : USBのホストシーケンサが完全に停止している 1 : USBのホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OVCMON[1:0]	外部USB0_OVRCURA/ USB0_OVRCURB入力端子モニタフラグ	OVCMON[1]フラグにUSB0_OVRCURA端子の状態が表示され OVCMON[0]フラグにUSB0_OVRCURB端子の状態が表示され	R

注1. USB0\_OVRCURA/USB0\_OVRCURB端子およびUSB0\_ID端子の状態に依存します。

#### LNST[1:0] フラグ (USB データラインステータスマニタフラグ)

USB データバスライン (D+ ライン、D- ライン) のステータスが表示されます。詳細は表 27.4 を参照してください。

LNST[1:0] フラグの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (SYSCFG.DPRPU ビットを“1”にする) 以後、ホストコントローラ機能選択時には、プルダウン許可 (SYSCFG.DRPD ビットを“1”にする) 以後に行ってください。

#### HTACT フラグ (USB ホストシーケンサステータスマニタフラグ)

USB のホストシーケンサが完全に停止しているとき、HTACT フラグは“0”になります。

#### OVCMON[1:0] フラグ (外部 USB0\_OVRCURA/USB0\_OVRCURB 入力端子モニタフラグ)

外部電源チップからのオーバカレントのステータスが表示されます。

表27.4 USBデータバスライン(D+ライン、D-ライン)のステータス

LNST[1:0] フラグ	ロースピード動作時	フルスピード動作時
00b	SE0	SE0
01b	K-State	J-State
10b	J-State	K-State
11b	SE1	SE1

## 27.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USB0.DVSTCTR0 000A 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HNPBT OA	EXICE N	VBUSE N	WKUP	RWUP E	USBR ST	RESU ME	UACT	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスフラグ	<ul style="list-style-type: none"> <li>• ホストコントローラ機能選択時               <ul style="list-style-type: none"> <li>b2 b0</li> <li>0 0 0: 通信速度不定(パワード時あるいは非接続時)</li> <li>1 x x: USBバスリセット処理中</li> <li>0 0 1: ロースピード接続時</li> <li>0 1 0: フルスピード接続時</li> </ul> </li> <li>• ファンクションコントローラ機能選択時               <ul style="list-style-type: none"> <li>b2 b0</li> <li>0 0 0: 通信速度不定</li> <li>0 0 1: USBバスリセット処理中またはロースピード接続時</li> <li>0 1 0: USBバスリセット処理中またはフルスピード接続時</li> </ul> </li> </ul>	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT	USBバス許可ビット	0: ダウンポート動作禁止(SOF送出禁止) 1: ダウンポート動作許可(SOF送出許可)	R/W
b5	RESUME	レジューム出力ビット	0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
b6	USBRST	USBバスリセット出力ビット	0: USBバスリセット信号を出力しない 1: USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0: ダウンポートリモートウェイクアップ禁止 1: ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	USB0_VBUSEN出力端子制御ビット	0: 外部USB0_VBUSEN端子はLowを出力する 1: 外部USB0_VBUSEN端子はHighを出力する	R/W
b10	EXICEN	USB0_EXICEN出力端子制御ビット	0: 外部USB0_EXICEN端子はLowを出力する 1: 外部USB0_EXICEN端子はHighを出力する	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル(HNP)制御ビット	OTGにて使用時に、BデバイスからAデバイスに切り替えるときに使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

### RHST[2:0] フラグ (USB バスリセットステータスフラグ)

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ビットに“1”を書いた後、RHST[2:0] フラグは“100b”を示します。

ソフトウェアで USBRST ビットに“0”を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] フラグの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] フラグは“010b” (DPRPU = 1 にてアタッチ時) または“001b” (DMRPU = 1 にてアタッチ時) を示し、DVST 割り込みが発生します。

### UACT ビット (USB バス許可ビット)

ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF パケットの送出制御) を行います。

UACT ビットを“1”にすると、USB は USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアで UACT ビットに“1”を書いてから、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを“0”にした場合、USB は SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB は UACT ビットを“0”にします。

- 通信中 (UACT ビットが“1”のとき) に DTCH 割り込みを検出した場合
- 通信中 (UACT ビットが“1”のとき) に EOFERR 割り込みを検出した場合

UACT ビットに“1”を書くときは、USB バスリセット処理終了時 (USBRST ビットへの“0”書き込み)、または、サスペンドからのレジューム処理終了時 (RESUME ビットへの“0”書き込み) のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0”にしてください。

### RESUME ビット (レジューム出力ビット)

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを“1”にすると、USB はポートを K-State ドライブし、レジューム出力を行います。

RWUPE = 1 かつ USB サスペンド状態でリモートウェイクアップ信号を検出したときに、USB は RESUME ビットを“1”にします。

USB は、RESUME ビットが“1”の期間 (ソフトウェアで RESUME ビットに“0”を書き込むまで) K-State 出力を継続します。RESUME ビットが“1”の期間 (レジューム期間) は USB 規格 2.0 に準拠した時間を確保してください。

RESUME ビットへの“1”書き込みは、サスペンド中にのみ行ってください。

レジューム終了 (RESUME ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

### USBRST ビット (USB バスリセット出力ビット)

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを“1”にすると、USB は USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB は、USBRST ビットが“1”の期間 (ソフトウェアで USBRST ビットに“0”を書くまで) SE0 出力を継続します。USBRST ビットが“1”の期間 (USB バスリセット期間) は USB 規格 2.0 に準拠した時間を確保してください。

通信中 (UACT ビットが“1”) またはレジューム中 (RESUME ビットが“1”) に USBRST ビットに“1”を書いた場合、USB は UACT ビットが“0”かつ RESUME ビットが“0”の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了 (USBRST ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

### RWUPE ビット (ウェイクアップ検出許可ビット)

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ (レジューム信号出力) の禁止 / 許可を指定します。

RWUPE ビットを“1”にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号 (2.5  $\mu$ s 間の K-State) を検出し、レジューム処理 (K-State のドライブ) を行います。

RWUPE ビットを“0”にした場合、USB が USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

RWUPE ビットを“1”にしたときには、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットを“1”にしてください)。

ファンクションコントローラ機能選択時は、“0”にしてください。

### WKUP ビット (ウェイクアップ出力ビット)

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ (レジューム信号出力) 禁止 / 許可を指定します。

USB は、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを“1”にすると、USB は 10 ms の K-State を出力した後、WKUP ビットを“0”にします。

USB 規格 2.0 では、リモートウェイクアップ信号の送信までに最短 5 ms の USB バスアイドル状態を保持する必要があります。このため、USB は、サスペンド状態を検出した直後に WKUP ビットに“1”を書いて、2 ms 待ってから K-State を出力します。

WKUP ビットへの“1”書き込みは、デバイスステートがサスペンド (INTSTS0.DVSNQ[2:0] フラグが“1xxb”) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。

WKUP ビットを“1”にする場合は、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットが“1”の状態に WKUP ビットに“1”を書いてください)。

ホストコントローラ機能選択時は、“0”を書いてください。

### HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御ビット)

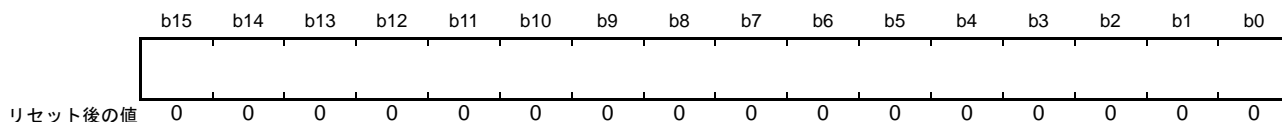
OTG にて使用時に、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが“1”であれば、内部ファンクション制御は SYSCFG.DPRPU ビットを“0”または SYSCFG.DCFM ビットを“1”にしても HNP 処理が終了するまでサスペンド状態を維持します。このとき、D+ の立ち下がりを検出しても、レジューム (RESM) 割り込みは発生しません。

“1”にした後、ホストアタッチ (相手のプルアップ) 検出または HNP 処理タイムアウト時にソフトウェアにて“0”を書き、HNP 処理を終了させます。

## 27.2.4 CFIFO ポートレジスタ (CFIFO)、 D0FIFO ポートレジスタ (D0FIFO)、 D1FIFO ポートレジスタ (D1FIFO)

### (1) MBW ビットが“1”の場合

アドレス USB0.CFIFO 000A 0014h, USB0.D0FIFO 000A 0018h, USB0.D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

### (2) MBW ビットが“0”の場合

アドレス USB0.CFIFO.L 000A 0014h, USB0.D0FIFO.L 000A 0018h, USB0.D1FIFO.L 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の3つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータの読み出し/書き込みを行うポートレジスタ (CFIFO, D0FIFO, D1FIFO) 以外に、FIFO ポートに割り当てるパイプを選択するポート選択レジスタ (CFIFOSEL, D0FIFOSEL, D1FIFOSEL)、ポートコントロールレジスタ (CFIFOCTR, D0FIFOCTR, D1FIFOCTR) で構成されています。

各 FIFO ポートには、以下の注意事項があります。

- DCP (コントロール転送) 用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DTC 転送による FIFO バッファへのアクセスはD0FIFOあるいはD1FIFO ポートを通して行ってください。
- CPU による D0FIFO あるいは D1FIFO ポートへのアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、ポート選択レジスタの CURPIPE[3:0] ビットに設定するパイプ番号 (選択パイプ) を変更できません (DTC 転送機能使用時など)。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状況には、アクセス権がCPU側にある場合と Serial Interface Engine (SIE) 側にある場合の2種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスできません。

### FIFO ポートビット

FIFO ポートビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。

FIFO ポートレジスタへのアクセスは、FIFO ポートコントロールレジスタ (CFIFOCTR, D0FIFOCTR, D1FIFOCTR) の FRDY フラグが“1”を示しているときのみ可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL, D0FIFOSEL, D1FIFOSEL) の MBW ビットの設定値により異なります。

MBW ビットが“1”(16 ビット幅)の場合は、MDE.MDE[2:0] ビットの値と、BIGEND ビット (CFIFOSEL.BIGEND, D0FIFOSEL.BIGEND, D1FIFOSEL.BIGEND) の設定値との関係により、RAM 上とデータ配置が変わる場合があります。16 ビットアクセス時のエンディアン動作を表 27.5 に示します。

なお、送信データ総数が奇数バイトの場合、最後のデータを書くときは下位バイトにバイトアクセスしてください。

MBW ビットが“0”(8 ビット幅)の場合は、下位バイトにバイトアクセスしてください。

表27.5 16ビットアクセス時のエンディアン動作表

MDE.MDE[2:0] ビット	CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット15~8	ビット7~0	備考
000b (ビッグエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	
111b (リトルエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	バイト逆転あり

## 27.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、 D0FIFO ポート選択レジスタ (D0FIFOSEL)、 D1FIFO ポート選択レジスタ (D1FIFOSEL)

- CFIFOSEL

アドレス USB0.CFIFOSEL 000A 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP選択時のCFIFOポートアクセス方向ビット	0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリワインドビット	0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: CFIFOの全受信データ読み出し終了時にDTLN[8:0]フラグ(CFIFOCTR.DTLN[8:0], D0FIFOCTR.DTLN[8:0], D1FIFOCTR.DTLN[8:0])をクリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO受信データ読み出しごとにDTLN[8:0]フラグをカウントダウン	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が“0000b”の場合には、パイプ指定なしとなります。

なお、DTC 転送許可状態でパイプ番号の変更は行わないでください。



**CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定ビット)**

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

**ISEL ビット (DCP 選択時の CFIFO ポートアクセス方向ビット)**

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

**MBW ビット (CFIFO ポートアクセスビット幅ビット)**

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

**REW ビット (バッファポインタリワインドビット)**

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

• D0FIFOSEL、D1FIFOSEL

アドレス USB0.D0FIFOSEL 000A 0028h, USB0.D1FIFOSEL 000A 002Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DTC転送要求許可ビット	0: DTC転送要求禁止 1: DTC転送要求許可	R/W
b13	DCLRM	選択パイプのデータ読み出し後の自動バッファメモリクリアモード	0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリwindビット	0: バッファポインタリwindしない 1: バッファポインタリwindする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: DnFIFOの全受信データ読み出し終了時にDTLN[8:0]フラグ(CFIFOCTR.DTLN[8:0], D0FIFOCTR.DTLN[8:0], D1FIFOCTR.DTLN[8:0])をクリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: DnFIFO受信データ読み出しごとにDTLN[8:0]フラグをカウントダウン (n = 0, 1)	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットを“0000b”にした場合には、パイプ指定なしとなります。

なお、DTC 転送許可状態でパイプ番号の変更は行わないでください。

**CURPIPE[3:0] ビット (FIFO ポートアクセスパイプ指定ビット)**

D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットを書き戻し後、続けてアクセスすることができます。

#### MBW ビット (FIFO ポートアクセスビット幅ビット)

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

#### DREQE ビット (DTC 転送要求許可ビット)

DTC 転送要求発行の禁止 / 許可を指定します。

DTC 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを“1”にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを“0”にした後で変更を行ってください。

#### DCLRM ビット (選択パイプのデータ読み出し後の自動バッファメモリクリアモード)

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。

DCLRM ビットを“1”にした場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または PIPECFG.BFRE ビットを“1”にしたときにショートパケットを受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ビットへの“1”書き込みを USB が行います。

SOFCFG.BRDYM ビットを“1”にして USB を使用するときには、DCLRM ビットを“0”にしてください。

#### REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと“1”の設定と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

#### RCNT ビット (リードカウントモードビット)

CFIFOCTR.DTLN[8:0] フラグの読み出しモードを指定します。

PIPECFG.BFRE ビットを“1”にして DnFIFO にアクセスを行う場合は、RCNT ビットを“0”にしてください。

## 27.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)、 D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、 D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス USB0.CFIFOCTR 000A 0022h, USB0.D0FIFOCTR 000A 002Ah, USB0.D1FIFOCTR 000A 002Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示フラグ	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]フラグの説明を参照してください	R
b12-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディフラグ	0: FIFOポートアクセス不可能 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0: 何もしない 1: CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効ビット	0: 無効 1: 書き込み終了	R/W

注1. 読むと“0”が読めます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、D1FIFO レジスタに対応しています。

### DTLN[8:0] フラグ (受信データ長表示フラグ)

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] フラグの値は、DnFIFOSEL.RCNT ビット (n=0, 1) の設定値により以下のように異なります。

- RCNT ビットが“0”のとき

CPU または DTC が FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB は受信データ長を DTLN[8:0] フラグに表示します。

PIPECFG.BFRE ビットが“1”のときには、読み出しが完了しても BCLR = 1 を行うまでは USB は受信データ長を保持します。

- RCNT ビットが“1”のとき

読み出しごとに USB は DTLN[8:0] フラグの表示をダウンカウントします (MBW ビットが“0”のときは1ずつ、MBW ビットが“1”のときは2ずつダウンカウント)。

1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] フラグを“0”にします。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN[8:0] フラグに表示します。

### FRDY フラグ (FIFO ポートレディフラグ)

CPU または DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB は FRDY フラグを“1”にしますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR ビットを“1”にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが“1”のときに、ショートパケットを受信し、データ読み出しを完了した場合

### BCLR ビット (CPU バッファクリアビット)

選択パイプの CPU 側の FIFO バッファをクリアする場合に“1”にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能な状態である場合でも、USB は片面の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR ビットを“1”にすると、USB は FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の DCPCTR.PID[1:0] ビットを“00b” (NAK) に設定した後で BCLR ビットを“1”にしてください。

選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に“1”を書いた場合には、USB はそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの“1”書き込みは、USB が FIFO ポートコントロールの FRDY フラグが“1”を示しているときに実施してください。

### BVAL ビット (バッファメモリ有効ビット)

CURPIPE[3:0] ビットに指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に“1”にします。

選択パイプが送信方向のとき、以下の場合に BVAL ビットを“1”にしてください。USB は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL ビットを“1”にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に BVAL ビットを“1”にする

MaxPacketSize 分のデータを書くと、USB が BVAL ビットを“1”にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL ビットへの“1”書き込みは、USB が FRDY フラグに“1”を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL ビットへの“1”書き込みを行わないでください。

## 27.2.7 割り込み許可レジスタ 0 (INTENB0)

アドレス USB0.INTENB0 000A 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注1. RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ設定できます。ホストコントローラ機能選択時は、“1”にしないでください。

ソフトウェアで INTENB0 レジスタを“1”にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込み要求を発生させます。

USB は、INTENB0 レジスタの設定値（割り込み通知の禁止/許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが“1”の状態、ソフトウェアで INTENB0 レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は USB 割り込み要求を発生させます。

## 27.2.8 割り込み許可レジスタ 1 (INTENB1)

アドレス USB0.INTENB1 000A 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCH E	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	PDDETINTE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDDETINTE0	PDDETINT0検知割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH E	接続検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注. INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定できます。ファンクションコントローラ機能選択時は、“1”にしないでください。

INTENB1レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、およびSETUPトランザクションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアでINTENB1レジスタを“1”にしたビットに対応する割り込みをUSBが検出した場合に、USBはUSB割り込み要求を発生させます。

USBは、INTENB1レジスタの設定値（割り込み通知の禁止/許可）にかかわらず、各割り込み要因の検出条件を満たしたときにINTSTS1レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応するINTSTS1レジスタのステータスビットが“1”の状態、ソフトウェアでINTENB1レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBはUSB割り込み要求を発生させます。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。



## 27.2.9 BRDY 割り込み許可レジスタ (BRDYENB)

アドレス USB0.BRDYENB 000A 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B RDYE	PIPE8B RDYE	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	PIPE3B RDYE	PIPE2B RDYE	PIPE1B RDYE	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BRDYE	パイプ1のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BRDYE	パイプ2のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BRDYE	パイプ3のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BRDYE	パイプ8のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BRDYE	パイプ9のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY フラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアで BRDYENB レジスタを“1”にしたパイプに対して、USB が BRDY 割り込みを検出した場合に、USB は BRDYSTS.PIPE<sub>n</sub>BRDY フラグ (n=0~9) の対応するフラグを“1”にし、INTSTS0.BRDY フラグを“1”にします。このときに INTENB0.BRDYE ビットが“1”であれば、USB は BRDY 割り込みを発生させます。

BRDYSTS.PIPE<sub>n</sub>BRDY フラグのうち、少なくとも1つのビットが“1”のときに、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BRDY 割り込みを発生させます。



## 27.2.10 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス USB0.NRDYENB 000A 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1NRDYE	パイプ1のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2NRDYE	パイプ2のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3NRDYE	パイプ3のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8NRDYE	パイプ8のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9NRDYE	パイプ9のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプのNRDY 割り込み検出時に INTSTS0.NRDY フラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアで NRDYENB レジスタを“1”にしたパイプに対して、USB がNRDY 割り込み要因を検出した場合に、USB はNRDYSTS.PIPE<sub>n</sub>NRDY フラグ (n = 0 ~ 9) の対応するビットを“1”にし、INTSTS0.NRDY フラグを“1”にします。このときに INTENB0.NRDYE = 1 であれば、USB はNRDY 割り込みを発生させません。

NRDYSTS.PIPE<sub>n</sub>NRDY フラグの少なくともひとつのフラグが“1”の状態、ソフトウェアで NRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB はNRDY 割り込み要求を発生させます。

## 27.2.11 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス USB0.BEMPENB 000A 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMPE	PIPE8B EMPE	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	PIPE3B EMPE	PIPE2B EMPE	PIPE1B EMPE	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BEMPE	パイプ1のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BEMPE	パイプ2のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BEMPE	パイプ3のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BEMPE	パイプ8のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BEMPE	パイプ9のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0.BEMP フラグを“1”にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアで BEMPENB レジスタを“1”にしたパイプに対して、USB が BEMP 割り込み要因を検出した場合に、USB は BEMPSTS.PIPE<sub>n</sub>BEMP フラグ (n=0~9) の対応するフラグを“1”にし、INTSTS0.BEMP フラグを“1”にします。このときに INTENB0.BEMPE = 1 であれば、USB は BEMP 割り込みを発生させません。

BEMPSTS.PIPE<sub>n</sub>BEMP フラグのうち、少なくともひとつのフラグが“1”の状態、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BEMP 割り込み要求を発生させます。

## 27.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG)

アドレス USB0.SOFCFG 000A 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタフラグ(注1)	エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDYM	BRDY 割り込みステータスクリアタイミング設定ビット	0 : ソフトウェアでステータスをクリア 1 : FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBがステータスをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRNENSEL	トランザクション有効期間切り替えビット(注1)	0 : ロースピード未対応 1 : ロースピード対応	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USBモジュールのクロックを停止するときには、本ビットが“0”であることを確認してください。

**EDGESTS フラグ (エッジ割り込み出力ステータスマニタフラグ)**

エッジ割り込み出力信号がエッジ処理中であるとき、“1”を示します。

USB のクロックを停止するときは、EDGESTS フラグが“0”であることを確認してください。

**BRDYM ビット (BRDY 割り込みステータスクリアタイミング設定ビット)**

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

**TRNENSEL ビット (トランザクション有効期間切り替えビット)**

フルスピードまたはロースピード通信中のポートにおいて、1フレーム中に USB がトークン発行を行う期間 (トランザクション有効期間) を指定します。

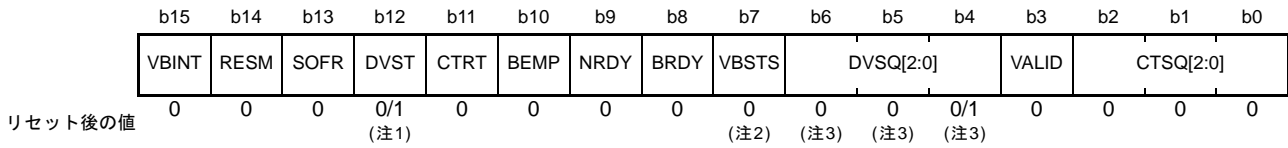
TRNENSEL ビットには、ロースピードデバイスが接続されたときに“1”にしてください。

TRNENSEL ビットは、ホストコントローラ機能選択時のみ有効です。

ファンクションコントローラ機能選択時は、“0”にしてください。

27.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USB0.INTSTS0 000A 0040h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージフラグ	b2 b0 0 0 0 : アイドルまたはセットアップステージ 0 0 1 : コントロールリードデータステージ 0 1 0 : コントロールリードステータスステージ 0 1 1 : コントロールライトデータステージ 1 0 0 : コントロールライトステータスステージ 1 0 1 : コントロールライト(NoData)ステータスステージ 1 1 0 : コントロール転送シーケンスエラー	R
b3	VALID	USBリクエストフラグ	0 : セットアップパケットを受信していない 1 : セットアップパケットを受信した	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステートフラグ	b6 b4 0 0 0 : Poweredステート 0 0 1 : Defaultステート 0 1 0 : Addressステート 0 1 1 : Configuredステート 1 x x : Suspendedステート	R
b7	VBSTS	VBUS入カステータスフラグ	0 : USB0_VBUS端子がLow 1 : USB0_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスフラグ	0 : BRDY割り込み発生なし 1 : BRDY割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータスフラグ	0 : NRDY割り込み発生なし 1 : NRDY割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータスフラグ	0 : BEMP割り込み発生なし 1 : BEMP割り込み発生あり	R
b11	CTRTR	コントロール転送ステージ遷移割り込みステータスフラグ(注5)	0 : コントロール転送ステージ遷移割り込み発生なし 1 : コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータスフラグ(注5)	0 : デバイスステート遷移割り込み発生なし 1 : デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータスフラグ	0 : SOF割り込み発生なし 1 : SOF割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータスフラグ(注5、注6)	0 : レジューム割り込み発生なし 1 : レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS割り込みステータスフラグ(注6)	0 : VBUS割り込み発生なし 1 : VBUS割り込み発生あり	R/W (注4)

x : Don't care

- 注1. MCUがリセットされると“0”、USBバスリセットのとき“1”になります。
- 注2. USB0\_VBUS端子がHighのとき“1”、Lowのとき“0”になります。
- 注3. MCUがリセットされると“000b”、USBバスリセットのとき“001b”になります。
- 注4. VBINTフラグ、RESMフラグ、SOFRフラグ、DVSTフラグ、CTRTRフラグまたはVALIDフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。“0”を示しているステータスフラグへの“0”書き込みを行わないでください。
- 注5. RESMフラグ、DVSTフラグ、CTRTRフラグのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”(禁止)にしてください。
- 注6. VBINTフラグ、RESMフラグが示すステータス変化をクロック停止中(SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

**CTSQ[2:0] フラグ (コントロール転送ステージフラグ)**

ホストコントローラ機能選択時、読み出しは無効です。

**VALID フラグ (USB リクエストフラグ)**

ホストコントローラ機能選択時、読み出しは無効です。

**DVSQ[2:0] フラグ (デバイスステートフラグ)**

USB バスリセットで DVSQ[2:0] フラグは初期化されます。

ホストコントローラ機能選択時、読み出しは無効です。

**BRDY フラグ (バッファレディ割り込みステータスフラグ)**

BRDY 割り込みステータスが表示されます。

BRDYENB.PIPE<sub>n</sub>BRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BRDYSTS.PIPE<sub>n</sub>BRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BRDY 割り込み状態を検出したとき) に、USB は BRDY フラグを“1”にします。

PIPE<sub>n</sub>BRDY ステータスのアサート条件は、「27.3.3.1 BRDY 割り込み」を参照ください。

ソフトウェアで、PIPE<sub>n</sub>BRDYE ビットで許可しているパイプに対応する PIPE<sub>n</sub>BRDY フラグのすべてに“0”を書くと、USB は BRDY フラグを“0”にします。

ソフトウェアで BRDY フラグに対して“0”を書いても、BRDY フラグを“0”にすることはできません。

**NRDY フラグ (バッファノットレディ割り込みステータスフラグ)**

NRDYENB.PIPE<sub>n</sub>NRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する NRDYSTS.PIPE<sub>n</sub>NRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が NRDY 割り込み状態を検出したとき) に、USB は NRDY フラグを“1”にします。

PIPE<sub>n</sub>NRDY ステータスのアサート条件は、「27.3.3.2 NRDY 割り込み」を参照ください。

ソフトウェアで、PIPE<sub>n</sub>NRDYE ビットで許可しているパイプに対応する PIPE<sub>n</sub>NRDY フラグのすべてに“0”を書くと、USB は NRDY フラグを“0”にします。

ソフトウェアで NRDY フラグに対して“0”を書いても、NRDY フラグを“0”にすることはできません。

**BEMP フラグ (バッファエンプティ割り込みステータスフラグ)**

BEMPENB.PIPE<sub>n</sub>BEMPE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BEMPSTS.PIPE<sub>n</sub>BEMP フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BEMP 割り込み状態を検出したとき) に、USB は BEMP フラグを“1”にします。

PIPE<sub>n</sub>BEMP ステータスのアサート条件は、「27.3.3.3 BEMP 割り込み」を参照ください。

ソフトウェアで、PIPE<sub>n</sub>BEMPE ビットで許可しているパイプに対応する PIPE<sub>n</sub>BEMP フラグすべてに“0”を書くと、USB は BEMP フラグを“0”にします。

ソフトウェアで BEMP フラグに対して“0”を書いても、BEMP フラグを“0”にすることはできません。

**CTRT フラグ (コントロール転送ステージ遷移割り込みステータスフラグ)**

ファンクションコントローラ機能設定時、USB がコントロール転送のステージ遷移を検出したときに、USB は CTSQ[2:0] フラグの値を更新し、CTRT フラグを“1”にします。

コントロール転送ステージ遷移割り込みが発生したときには、USB がコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

**DVST フラグ (デバイスステート遷移割り込みステータスフラグ)**

ファンクションコントローラ機能設定時、USB がデバイスステートの変化を検出したときに、USB は DVSQ[2:0] フラグの値を更新し、DVST フラグを“1”にします。

デバイスステート遷移割り込みが発生したときには、USB が次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

**SOFR フラグ (フレーム番号更新割り込みステータスフラグ)**

(1) ホストコントローラ機能設定時

ソフトウェアで DVSTCTR0.UACT ビットを“1”にしているとき、フレームナンバの更新タイミングで SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

(2) ファンクションコントローラ機能設定時

フレームナンバの更新時に USB は SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

USB ホストからの SOF パケットが破損したときでも、内部補完により、USB は SOFR 割り込みを検出します。

**RESM フラグ (レジューム割り込みステータスフラグ)**

ファンクションコントローラ機能設定時、USB がサスペンド状態 (DVSQ[2:0] フラグが“1xxb”) であり、かつ、USB0\_DP 端子の立ち下りを検出したときに、RESM フラグを“1”にします。

ホストコントローラ機能選択時、読み出し値は無効です。

**VBINT フラグ (VBUS 割り込みステータスフラグ)**

USB が USB0\_VBUS 端子入力値の変化 (High から Low への変化あるいは Low から High への変化) を検出したときに、VBINT フラグを“1”にします。USB は USB0\_VBUS 端子の入力値を、VBSTS フラグに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

## 27.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス USB0.INTSTS1 000A 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	PDDDETINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDDDETINT0	PDDDET0検知割り込みステータスフラグ	0 : PDDDET0検知割り込み発生あり 1 : PDDDET0検知割り込み発生なし	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答 割り込みステータスフラグ	0 : SACK割り込み発生なし 1 : SACK割り込み発生あり	R/W (注1)
b5	SIGN	セットアップトランザクションエラー割 り込みステータスフラグ	0 : SIGN割り込み発生なし 1 : SIGN割り込み発生あり	R/W (注1)
b6	EOFERR	EOFエラー検出割り込みステータスフラ グ	0 : EOFERR割り込み発生なし 1 : EOFERR割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH割り込みステータスフラグ	0 : ATTCH割り込み発生なし 1 : ATTCH割り込み発生あり	R/W (注1)
b12	DTCH	USB切断検出割り込みステータスフラ グ	0 : DTCH割り込み発生なし 1 : DTCH割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBパス変化割り込みステータスフラ グ(注2)	0 : BCHG割り込み発生なし 1 : BCHG割り込み発生あり	R/W (注1)
b15	OVRCR	オーバカレント入力変化割り込みステ ータスフラグ(注2)	0 : OVRCR割り込み発生なし 1 : OVRCR割り込み発生あり	R/W (注1)

注1. INTSTS1レジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

注2. OVRCRフラグおよびBCHGフラグが示すステータス変化をクロック停止中(SYSCFG.SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはSYSCFG.SCKEビットを“1”にした後に行ってください。OVRCRフラグおよびBCHGフラグ以外の割り込みは、クロック停止中(SYSCFG.SCKEビットが“0”)は検出しません。

INTSTS1レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

**PDDDETINT0 フラグ (PDDDET0 検知割り込みステータスフラグ)**

ホストコントローラ機能選択時、PortableDevice 検知割り込みステータスを表示します。

USBがUSB Physical Layer トランシーバ(PHY)のVDPDET入力値の変化(HighからLowへの変化あるいはLowからHighへの変化)を検出したときに、本フラグを“1”にします。USBはVDPDET入力値を、PDDDETSTS0フラグに表示します。PDDDETINT割り込み発生時は、ソフトウェアでPDDDETSTS0フラグ読み出しの回数一致を行い、チャタリング除去を実施してください。



### SACK フラグ (セットアップトランザクション正常応答割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USB が発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、USB は SACK 割り込みを検出し、SACK フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は SACK 割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

### SIGN フラグ (セットアップトランザクションエラー割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USB が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、USB は SIGN 割り込みを検出し、SIGN フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は SIGN 割り込み発生をします。

USB の SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USB がタイムアウトを検出したとき
- ACK パケットが破損したとき
- ACK 以外のハンドシェイク (NAK、NYET、または STALL) を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

### EOFERR フラグ (EOF エラー検出割り込みステータスフラグ)

ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。

USB2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを USB が検出したときに、EOFERR 割り込みを検出し、EOFERR フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

### ATTCH フラグ (ATTCH 割り込みステータスフラグ)

ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。

USB がポートにフルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5  $\mu$ s 間検出したとき、USB は ATTCH 割り込みを検出し、ATTCH フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込み発生をします。

USB の ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5  $\mu$ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5  $\mu$ s 間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。



### DTCH フラグ (USB 切断検出割り込みステータスフラグ)

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクタ検出時に、USB は DTCH 割り込みを検出し、DTCH フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込み発生します。

USB は、USB 2.0 仕様に準じた基準でバスディスコネクタを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

### BCHG フラグ (USB バス変化割り込みステータスフラグ)

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルまたはロースピード信号レベルでの状態変化が発生した（J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した）ときに、USB は BCHG 割り込みを検出し、BCHG フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

USB ポートの現在の入力状態を、SYSSTS0.LNST[1:0] フラグに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST[1:0] フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

### OVRCCR フラグ (オーバカレント入力変化割り込みステータスフラグ)

USB0\_OVRCURA および USB0\_OVRCURB 入力端子の変化割り込みステータスが表示されます。

USB0\_OVRCURA または USB0\_OVRCURB 端子入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）したときに、USB は OVRCCR 割り込みを検出し、OVRCCR フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

## 27.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USB0.BRDYSTS 000A 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B RDY	PIPE8B RDY	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	PIPE3B RDY	PIPE2B RDY	PIPE1B RDY	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SOFCFG.BRDYMビットが“0”の場合、BRDYSTSレジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

注2. SOFCFG.BRDYMビットが“0”の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

### 27.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USB0.NRDYSTS 000A 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NRDYSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

### 27.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USB0.BEMPSTS 000A 004Ah

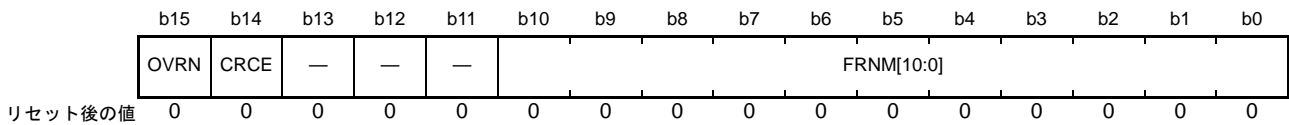
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMP	PIPE8B EMP	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	PIPE3B EMP	PIPE2B EMP	PIPE1B EMP	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータスフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BEMPSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

## 27.2.18 フレームナンバレジスタ (FRMNUM)

アドレス USB0.FRNUM 000A 004Ch



ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号フラグ	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラーフラグ	0: エラーなし 1: エラー発生	R/W (注1)
b15	OVRN	オーバラン/アンダラン検出ステータスフラグ	0: エラーなし 1: エラー発生	R/W (注1)

注1. 各ステータスを“0”にする場合は、クリアしたいフラグに“0”を、その他のフラグには“1”を書いてください。

**FRNM[10:0] フラグ (フレーム番号フラグ)**

USB は、1 ms に 1 回の SOF 発行タイミングまたは SOF 受信時に FRNM[10:0] フラグを書き換え、最新のフレーム番号を表示します。

**CRCE フラグ (受信データエラーフラグ)**

アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアで、CRCE フラグに“0”を書くことにより CRCE フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させます。

**OVRN フラグ (オーバラン/アンダラン検出ステータスフラグ)**

アイソクロナス転送を行っているパイプに対するオーバラン/アンダランエラー検出の有無が表示されます。

ソフトウェアで、OVRN フラグに“0”を書くことにより OVRN フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

**(1) ホストコントローラ機能選択時**

以下のいずれかの場合に、USB が OVRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

**(2) ファンクションコントローラ機能選択時**

以下のいずれかの場合に、USB が OVRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

## 27.2.19 USB リクエストタイプレジスタ (USBREQ)

アドレス USB0.USBREQ 000A 0054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USB リクエスト bmRequestType の値	R/W (注1)
b15-b8	BREQUEST[7:0]	リクエストビット	USB リクエスト bRequest の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

**BMREQUESTTYPE[7:0] ビット (リクエストタイプビット)**

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラ機能選択時  
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BMREQUESTTYPE[7:0] ビットの書き換えは行わないでください
- ファンクションコントローラ機能選択時  
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です

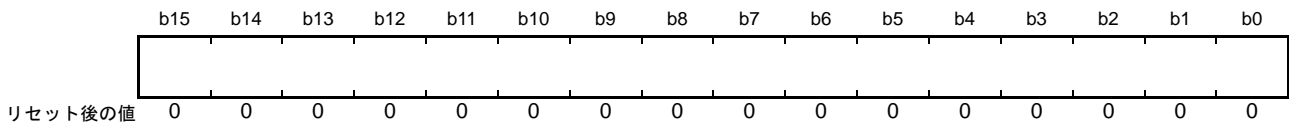
**BREQUEST[7:0] ビット (リクエストビット)**

USB リクエスト bRequest の値を格納します。

- ホストコントローラ機能選択時  
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BREQUEST[7:0] ビットの書き換えは行わないでください。
- ファンクションコントローラ機能選択時  
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

### 27.2.20 USB リクエストバリュeregスタ (USBVAL)

アドレス USB0.USBVAL 000A 0056h



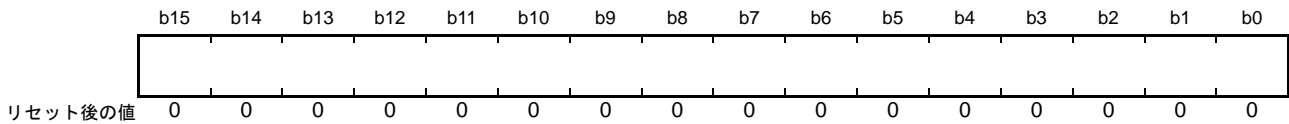
USBVAL レジスタは、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時  
送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。  
DCPCTR.SUREQ ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時  
SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。書き込みは無効です。

### 27.2.21 USB リクエストインデックスレジスタ (USBINDX)

アドレス USB0.USBINDX 000A 0058h



USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

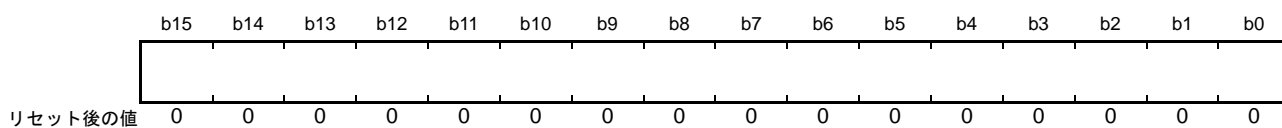
USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時  
送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。  
DCPCTR.SUREQ ビットが“1”の状態を書き換えしないでください
- ファンクションコントローラ選択時  
SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。書き込みは無効です。

## 27.2.22 USB リクエストレングスレジスタ (USBLENG)

アドレス USB0.USBLENG 000A 005Ah



USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した **wLength** の値が格納されます。ホストコントローラ機能選択時、送信する **wLength** の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

- ホストコントローラ機能選択時  
送信する **SETUP** トランザクションの **USB** リクエスト **wLength** の値を設定してください。  
**DCPCTR.SUREQ** ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時  
**SETUP** トランザクションで受信した **USB** リクエスト **wLength** の値を表示します。書き込みは無効です。



## 27.2.23 DCP コンフィギュレーションレジスタ (DCPCFG)

アドレス USB0.DCPCFG 000A 005Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SHTNA K	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR	転送方向設定ビット(注1)	0：データ受信方向 1：データ送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

**DIR ビット (転送方向設定ビット)**

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを“0”にしてください。

**SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)**

コントロール転送が受信方向の場合に、トランスファ終了時に DCPCTR.PID[1:0] ビットを“00b” (NAK)に変更するかどうかを指定します。

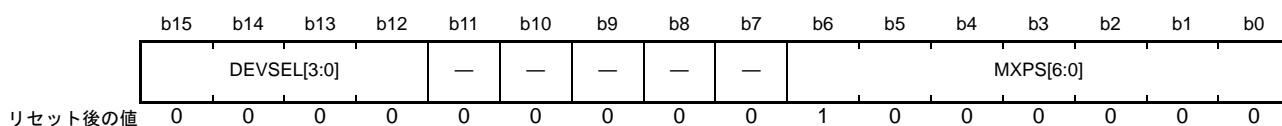
SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを“1”にしている場合、USB は、トランスファの終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを“00b” (NAK)に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき

### 27.2.24 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USB0.DCPMAXP 000A 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット(注1)	DCPの最大データペイロード(マックスパケットサイズ)設定 b6                      b0 0001000 : 8バイト 0010000 : 16バイト 0011000 : 24バイト 0100000 : 32バイト 0101000 : 40バイト 0110000 : 48バイト 0111000 : 56バイト 1000000 : 64バイト 1001000 : 72バイト 1010000 : 80バイト 1011000 : 88バイト 1100000 : 96バイト 1101000 : 104バイト 1110000 : 112バイト 1111000 : 120バイト 上記以外は設定しないでください	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注2)	b15    b12 0000 : アドレス0000 0001 : アドレス0001 0010 : アドレス0010 0011 : アドレス0011 0100 : アドレス0100 0101 : アドレス0101 上記以外は設定しないでください	R/W

- 注1. MXPS[6:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、ポート選択レジスタのCURPIPE[3:0]ビットへDCPを設定後、ポートコントロールレジスタのBCLRビットを“1”にしてバッファクリア処理を実施してください。
- 注2. DEVSEL[3:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態およびDCPCTR.SUREQビットが“0”の期間に実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

#### MXPS[6:0] ビット (マックスパケットサイズビット)

DCPの最大データペイロード (マックスパケットサイズ) をMXPS[6:0] ビットに設定してください。初期値は、40h (64 バイト) です。

MXPS[6:0] ビットの設定は、USB 規格 2.0 に準拠した値を設定してください。

MXPS[6:0] ビットが“0”の状態ではFIFO バッファへの書き込み、またはPID[1:0] = 01b (BUF) の設定は行わないでください。

**DEVSEL[3:0] ビット (デバイス選択ビット)**

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n = 0 ~ 5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0] ビットの値を“0000b”にしてください。

**27.2.25 DCP コントロールレジスタ (DCPCTR)**

アドレス USB0.DCPCTR 000A 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK応答 0 1 : BUF応答(バッファ状態に従う) 1 0 : STALL応答 1 1 : STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0 : コントロール転送終了許可しない 1 : コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : DCPはトランザクションで未使用 1 : DCPはトランザクションで使用	R
b6	SQMON	シーケンスグループビットモニタフラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスグループビットセットビット (注2)	0 : 書き込みは無効 1 : DATA1指定	R/W (注1)
b8	SQCLR	シーケンスグループビットクリアビット (注2)	0 : 書き込みは無効 1 : DATA0指定	R/W (注1)
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR	SUREQビットクリアビット	0 : 書き込みは無効 1 : SUREQビットをクリア	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ	SETUPトークン送出ビット	0 : 書き込みは無効 1 : セットアップパケット送出	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

### PID[1:0] ビット (応答 PID ビット)

PID[1:0] ビットでコントロール転送における USB の応答を制御します。

#### (1) ホストコントローラ機能選択時

以下の手順でPID[1:0] ビットを“00b” (NAK) から“01b” (BUF) に変更してください。

- 送信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK) の状態でFIFOバッファに送信データを書き込み完了し、“01b” (BUF 応答) を書いてください。PID[1:0] = 01b (BUF) の書き込み後、USB は OUT トランザクションを実行します。

- 受信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK) の状態でFIFOバッファが空の状態であることを確認し (空の状態にし)、PID[1:0] = 01b (BUF) を書き込んでください。PID[1:0] = 01b (BUF) の書き込み後、USB は IN トランザクションを実行します。

以下の場合に、USB がPID[1:0] ビットの値を変更します。

- ソフトウェアでPID[1:0] ビットに“01b” (BUF) を設定しているときに、USB がMaxPacketSizeを超えるデータを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。
- CRCエラーなどの受信エラーを3回連続で検出した場合には、USB はPID[1:0] = 00b (NAK) を表示します。
- STALL ハンドシェイクを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。

#### (2) ファンクションコントローラ機能選択時

以下の場合に、USB がPID[1:0] ビットの値を変更します。

- USB がSETUP パケットを受信したときに、USB はPID[1:0] ビットをPID[1:0] = 00b (NAK) に変更します。このとき、USB はINTSTS0.VALID フラグを“1”にし、ソフトウェアでVALID フラグを“0”にするまでは、ソフトウェアでPID[1:0] ビットを変更できません。
- ソフトウェアでPID[1:0] ビットに“01b” (BUF) を設定しているときに、USB がMaxPacketSizeを超えるデータを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。
- USB がコントロール転送シーケンスエラーを検出した場合、PID[1:0] = 1xb (STALL) を表示します。
- USB がUSB バスリセットを検出した場合、PID[1:0] = 00b (NAK) を表示します。

SET\_ADDRESS リクエスト処理 (自動処理) 時には、USB はPID[1:0] ビットの設定値を参照しません。PID[1:0] ビットはUSB バスリセットで初期化されます。

### CCPL ビット (コントロール転送終了許可ビット)

ファンクションコントローラ機能選択時に、CCPL ビットを“1”にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応するPID[1:0] ビットが“01b” (BUF) のとき、ソフトウェアでCCPL ビットを“1”にすると、USBはコントロール転送のステータスステージを完了させます。

コントロールリード転送時ではUSBホストからのOUTトランザクションに対してACKハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時ではUSBホストからのINトランザクションに対してZero-Lengthパケットを送信します。ただし、SET\_ADDRESSリクエスト検出時は、CCPLビットの設定値に関係なくUSBはSETUPステージからステータスステージ完了まで自動応答を行います。

新たなSETUPパケットを受信したときに、USBはCCPLビットを“1”から“0”に変更します。

INTSTS0.VALIDフラグが“1”のとき、ソフトウェアでCCPLビットへの“1”書き込みを行うことができません。

CCPLビットはUSBバスリセットで初期化されます。

ホストコントローラ機能選択時には、CCPLビットへは“0”を書き込んでください。

### PBUSY フラグ (パイプビジーフラグ)

DCPがPID[1:0] ビットを“01b” (BUF) から“00b” (NAK)に変更した場合に、DCPのトランザクションで使用されなくなったかを表示します。

USBは、当該パイプのUSBトランザクションを開始したときにPBUSYフラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYフラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0]=00b (NAK)を設定した後、PBUSYフラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「27.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

### SQMON フラグ (シーケンスストグルビットモニタフラグ)

DCPの転送において、次のトランザクションのシーケンスストグルビット値が表示されます。

トランザクションが正常処理するとUSBはSQMONフラグをトグルさせます。ただし、受信方向転送時のデータPID不一致発生時には、SQMONフラグをトグルさせません。

ファンクションコントローラ機能選択時、SETUPパケット正常受信時に、USBはSQMONフラグを“1” (期待値をDATA1に設定)にします。

また、ファンクションコントローラ機能選択時、USBはステータスステージのIN/OUTトランザクションではSQMONフラグを参照しません。また正常終了してもトグルさせません。

### SQSET ビット (シーケンスストグルビットセットビット)

DCPの転送において、次のトランザクションのシーケンスストグルビット値をDATA1に設定することができます。

SQCLRビットとSQSETビットを同時に“1”にしないでください。

### SQCLR ビット (シーケンスストグルビットクリアビット)

DCPの転送において、次のトランザクションのシーケンスストグルビット値をDATA0に設定することができます。SQCLRビットは“0”になります。

SQCLRビットとSQSETビットを同時に“1”にしないでください。

### SUREQCLR ビット (SUREQ ビットクリアビット)

ホストコントローラ機能選択時に、SUREQCLR ビットを“1”にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは“0”になります。

SETUP トランザクションにおいて、SUREQ ビットが“1”のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを“1”にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB が自動的に SUREQ ビットを“0”にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットの“0”による通信停止時、またはデータ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは“0”を書いてください。

### SUREQ ビット (SETUP トークン送出ビット)

ホストコントローラ機能選択時、SUREQ ビットを“1”にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを“0”にします。

また、SUREQCLR ビットをソフトウェアで“1”にすることにより、USB は SUREQ ビットを“0”にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを“1”にしてください。SUREQ ビットを“1”にする前に、DCP の PID[1:0] ビットを“00b” (NAK) に設定していることを確認してください。また、SUREQ ビットを“1”にした後、SETUP トランザクションが終了するまで (SUREQ ビットが“1”) の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを“1”にしてください。その他のときには、“0”を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは“0”を書いてください。

### BSTS フラグ (バッファステータスフラグ)

DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS フラグの意味は、ポート選択レジスタの ISEL ビットの設定値により以下のように異なります。

- ISEL ビットが“0”のとき、受信データの読み出しが可能かどうかを表示
- ISEL ビットが“1”のとき、送信データの書き込みが可能かどうかを表示

## 27.2.26 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USB0.PIPESEL 000A 0064h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択ビット	b3 b0 0000: 未選択 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パイプ1～9の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタで行ってください。

PIPESELレジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP、およびPIPEPERIレジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

**PIPESEL[3:0] ビット (パイプウィンドウ選択ビット)**

書き込み/読み出しを対象とするPIPECFG、PIPEMAXP、PIPEPERIレジスタに対応するパイプ番号を指定します。

PIPESEL[3:0]ビットで指定したパイプ番号に対応するPIPECFG、PIPEMAXP、PIPEPERIレジスタの読み出し/書き込みができます。

PIPESEL[3:0]ビットを“0000b”にしたときは、PIPECFG、PIPEMAXPおよびPIPEPERIレジスタの各ビットは、すべて“0”が読めます。書き込みは無効です。



## 27.2.27 パイプコンフィギュレーションレジスタ (PIPECFG)

アドレス USB0.PIPECFG 000A 0068h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TYPE[1:0]	—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット(注1)	選択パイプのエンドポイント番号を指定します。 0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット(注2、注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0: トランスファ終了時にパイプの割り付けを継続 1: トランスファ終了時にパイプの割り付けを禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット(注2、注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定ビット(注2、注3)	0: データ送受信でBRDY 割り込み 1: データ読み出し完了時にBRDY 割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット(注1)	<ul style="list-style-type: none"> <li>パイプ1、2の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: アイソクロナス転送</li> <li>パイプ3~5の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: 設定しないでください</li> <li>パイプ6~9の場合 b15 b14 0 0: パイプ不使用 0 1: 設定しないでください 1 0: インタラプト転送 1 1: 設定しないでください</li> </ul>	R/W

注1. TYPE[1:0]ビット、SHTNAKビットおよびEPNUM[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSY = 0を確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでPIPEnCTR.ACLRMビットに“1”、“0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFG レジスタは、パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。



**EPNUM[3:0] ビット (エンドポイント番号ビット)**

選択パイプのエンドポイント番号を指定します。

“0000b” の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください (EPNUM[3:0] ビットが “0000b” の設定は重複可能です)。

**DIR ビット (転送方向指定ビット)**

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを “0” にしている場合、USB は選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB は選択パイプを送信方向に使用します。

**SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)**

選択パイプが受信方向の場合に、トランスファ終了時に PID[1:0] ビットを “00b” (NAK) に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプがパイプ 1～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを “1” にしている場合、USB は、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PIPEnCTR.PID[1:0] ビットを “00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

**DBLB ビット (ダブルバッファモードビット)**

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1～5 選択時に有効です。

**BFRE ビット (BRDY 割り込み動作指定ビット)**

USB から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB は、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアでポートコントロールレジスタの BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB は BRDY 割り込みを発生させません。

詳細は、「27.3.3.1 BRDY 割り込み」を参照してください。

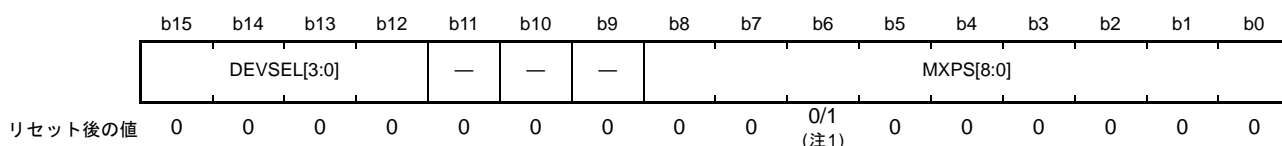
**TYPE[1:0] ビット (転送タイプビット)**

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。

選択パイプを PID[1:0] = 01b (BUF) に設定する (選択したパイプを使用した USB 通信を開始する) 前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

## 27.2.28 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USB0.PIPEMAXP 000A 006Ch



ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズビット(注2)	<ul style="list-style-type: none"> <li>パイプ1、2 : 1バイト(001h)~256バイト(100h)</li> <li>パイプ3~5 : 8バイト(008h)、16バイト(010h)、 32バイト(020h)、64バイト(040h) ([8:7]ビットおよび[2:0]のビットはありません)</li> <li>パイプ6~9 : 1バイト(001h)~64バイト(040h) ([8:7]ビットのビットはありません)</li> </ul>	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注3)	b15 b12 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外は設定しないでください	R/W

注1. PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないとき“0000h”、選択しているとき“0040h”です。

注2. MXPS[8:0]ビットの設定の変更は、PIPEnCTR.PID[1:0]=00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. DEVSEL[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0]=00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEMAXP レジスタは、パイプ1~9に対して、マックスパケットサイズを指定するレジスタです。

**MXPS[8:0] ビット (MAX パケットサイズビット)**

選択パイプの最大データペイロード (マックスパケットサイズ) を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格 2.0 に準拠した値を設定してください。ただし、パイプ1、2の最大値は“256”です。MXPS[8:0] ビットが“000h”のとき、FIFO バッファへの書き込み、または PIPEnCTR.PID[1:0] ビットを“01b” (BUF) にしないでください。

**DEVSEL[3:0] ビット (デバイス選択ビット)**

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n=0~5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を“0000b”にしてください。

## 27.2.29 パイプ周期制御レジスタ (PIPEPERI)

アドレス USB0.PIPEPERI 000A 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔ビット (注1)	選択パイプのインターバルエラー検出間隔をフレーム タイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュ ビット	0 : バッファフラッシュしない 1 : バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IITV[2:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプの PIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEPERI レジスタはパイプ1～9に対して、アイソクロナスIN転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

**IITV[2:0] ビット (インターバルエラー検出間隔ビット)**

IITV[2:0] ビットを設定し、USB通信を行った後で別の値に変更する場合には、PID[1:0] = 00b (NAK) 設定後 PIPEnCTR.ACLRM ビットを“1”にして、インターバルタイムの初期化を行ってください。

パイプ3～5に対しては、IITV[2:0] ビットは存在しません。パイプ3～5に対応する IITV[2:0] ビットの位置には“000b”を設定してください。

**IFIS ビット (アイソクロナスINバッファフラッシュビット)**

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) がアイソクロナスIN転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向がIN転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中にUSBホストからINトークンをUSBが受信しなかった場合に、USBが自動的にFIFOバッファをクリアする機能です。

ダブルバッファ設定時 (PIPECFG.DBLB ビットを“1”にしたとき) は、USBがクリアするのは古い方の1面分データのみです。

FIFOバッファクリアのタイミングは、INトークンを受信するはずのフレーム直後のSOFパケット受信時です。またSOFパケットが破損した場合でも内部補完機能によりSOFを受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0] ビットを“000b”にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを“000b”にしてください。

## 27.2.30 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9)

- PIPEnCTR (n = 1 ~ 5)

アドレス USB0.PIPE1CTR 000A 0070h, USB0.PIPE2CTR 000A 0072h, USB0.PIPE3CTR 000A 0074h,  
USB0.PIPE4CTR 000A 0076h, USB0.PIPE5CTR 000A 0078h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答(バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用	R
b6	SQMON	シーケンスグルビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスグルビットセットビット(注2)	0 : 書き込み無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	シーケンスグルビットクリアビット(注2)	0 : 書き込み無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット(注3)	0 : 禁止 1 : 許可(全バッファ初期化)	R/W
b10	ATREPM	自動応答モードビット(注2)	0 : 自動応答禁止 1 : 自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタフラグ	0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスフラグ	0 : CPUからのバッファアクセス不可能 1 : CPUからのバッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEnCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

### PID[1:0] ビット (応答 PID ビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b”(NAK)です。当該パイプでUSB転送を行う場合にはPID[1:0] ビットを“01b”(BUF)に変更してください。PID[1:0] ビット設定値ごとの基本動作(通信パケットにエラーがない場合の動作)は表 27.6 および表 27.7 のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0] ビットを“01b”(BUF)から“00b”(NAK)に変更する場合、“00b”(NAK)を書いた後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSYフラグが“1”であることを確認してください。

以下の場合にはUSBがPID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアで選択パイプのPIPECFG.SHTNAK ビットを“1”にしている場合、USBがトランスファ終了を認識したときに、PID[1:0] = 00b (NAK)を表示します。
- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータパケットを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBはPID[1:0] = 00b (NAK)を表示します。
- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBはPID[1:0] = 00b (NAK)を表示します。
- ホストコントローラ機能選択時に、STALLハンドシェイクを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b”を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b”を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度“10b”を書いてから“00b”を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度NAK状態にしてから“01b”を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度“00b”を書いてから“01b”を書いてください。

### PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在トランザクションで使用しているかどうかが表示されます。

USBは、当該パイプのUSBトランザクションを開始したときにPBUSYフラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYフラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0] = 00b (NAK)を設定した後、PBUSYフラグを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「27.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

### SQMON フラグ (シーケンストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理するとUSBはSQMONフラグをトグルさせます。ただし、受信方向転送時のデータPID不一致発生時には、SQMONフラグをトグルさせません。

### SQSET ビット (シーケンストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値をDATA1にセットするときに“1”を指定します。



ソフトウェアで SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを“0”にします。

#### SQCLR ビット (シーケンストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアで SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを“0”にします。

#### ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止/許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 27.8 に示します。

#### ATREPM ビット (自動応答モードビット)

当該パイプの自動応答禁止/許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを“1”にすることが可能です。

ATREPM ビットを“1”にした場合、USB ホストからのトークンに対し USB は以下のように応答します。

(1) 当該パイプが Bulk-IN 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“1”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0] = 01b (BUF) にしている場合、IN トークンに対して USB は Zero Length パケットを送信します。

USB ホストからの ACK 受信のたびに (1 トランザクションは IN トークン受信 → Zero Length パケット送信 → ACK 受信)、USB はシーケンストグルビット (データ PID) の更新 (トグル) を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該パイプが Bulk-OUT 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“0”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0] = 01b (BUF) にしている場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを“1”にして USB 通信を行う場合、FIFO バッファは空の状態を設定を行ってください。ATREPM ビットを“1”にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは“0”にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは“0”を書いてください。

#### INBUFM フラグ (送信バッファモニタフラグ)

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向 (PIPECFG.DIR ビットが“1”) に設定している場合に、CPU または DTC が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB は INBUFM フラグを“1”にします。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM フラグを“0”にします。ダブルバッファ使用時 (PIPECFG.DBLEB ビットが“1”) には、USB が 2 面分のデータを送信完了しかつ CPU または DTC が 1 面分のデータ書き込みを完了していないときに、INBUFM フラグを“0”にします。

当該パイプを受信方向（PIPECFG.DIR ビットが“0”）に設定している場合には、INBUFM フラグはBSTS フラグと同じ値を示します。

### BSTS フラグ（バッファステータスフラグ）

当該パイプのFIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 27.9 に示すように異なります。

表 27.6 PID[1:0]ビットによるUSBの動作一覧(ホストコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIR ビット)	USBの動作
"00b" (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
"01b" (BUF)	バルク または インタラプト	設定値に依存しない	DVSTCTR0.UACT ビットが“1”で、かつ当該パイプに対応するFIFO バッファが送受信可能な状態ならばトークンを発行する DVSTCTR0.UACT ビットが“0”である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応するFIFO バッファの状態にかかわらずトークンを発行する
"10b" (STALL) または "11b" (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 27.7 PID[1:0]ビットによるUSBの動作一覧(ファンクションコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIR ビット)	USBの動作
"00b" (NAK)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う
"01b" (BUF)	バルク	受信方向 (DIR ビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応するFIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 (DIR ビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応するFIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 (DIR ビットが“1”)	対応するFIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
	アイソクロナス	受信方向 (DIR ビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応するFIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
		送信方向 (DIR ビットが“1”)	対応するFIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する
"10b" (STALL) または "11b" (STALL)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う

表27.8 ACLRM = 1設定時にUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容(ダブルバッファ設定時はFIFOバッファを2面ともクリア)	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	FIFOバッファトグル制御	PIPECFG.DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表27.9 BSTSフラグの動作

DIRビット	BFREビット	DCLRMビット	BSTSフラグの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了した後でソフトウェアでポートコントロールレジスタのBCLRビットに“1”を書いたときに“0”になります
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”になり、データの書き込みが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください



- PIPEnCTR (n = 6 ~ 9)

アドレス USB0.PIPE6CTR 000A 007Ah, USB0.PIPE7CTR 000A 007Ch, USB0.PIPE8CTR 000A 007Eh,  
USB0.PIPE9CTR 000A 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	—	PID[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答(バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプをUSBバスにて未使用 1 : 当該パイプはUSBバスにて使用	R
b6	SQMON	シーケンストグルビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンストグルビットセットビット(注2)	0 : 無効 1 : DATA1指定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリアビット(注2)	0 : 無効 1 : DATA0指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット(注2、注3)	0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可(全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。“1”のみ書けます。

注2. SQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

### PID[1:0] ビット (応答PIDビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b” (NAK) です。当該パイプでUSB転送を行う場合にはPID[1:0] ビットを“01b” (BUF)に変更してください。PID[1:0] ビットの設定値ごとの基本動作(通信パケットにエラーがない場合の動作)は表 27.6 および表 27.7 のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0] ビットを“01b” (BUF)から“00b” (NAK)に変更する場合、“00b” (NAK)を書き込んだ後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSYフラグが“1”であることを確認してください。

以下の場合にはUSBがPID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータパケットを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBはPID[1:0] = 00b (NAK)を表示します。

- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを3回連続で検出した場合には、USB はPID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度“10b” を書いてから“00b” を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度 NAK 状態にしてから“01b” を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度“00b” を書いてから“01b” を書いてください。

### PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在 USB バスで使用中かどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを“1”から“0”に変更します。

ソフトウェアで PID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

### SQMON フラグ (シーケンストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

### SQSET ビット (シーケンストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに“1”を指定します。

ソフトウェアで SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを“0”にします。

### SQCLR ビット (シーケンストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアで SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを“0”にします。

### ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止/許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 27.10 に示します。

**BSTS フラグ (バッファステータスフラグ)**

当該パイプの FIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 27.9 に示すように異なります。

表27.10 ACLRMビットを“1”にしたときにUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	パイプの初期化をしたい場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

### 27.2.31 パイプ n トランザクションカウンタインーブルレジスタ (PIPE<sub>n</sub>TRE) (n = 1 ~ 5)

アドレス USB0.PIPE1TRE 000A 0090h, USB0.PIPE2TRE 000A 0094h, USB0.PIPE3TRE 000A 0098h,  
USB0.PIPE4TRE 000A 009Ch, USB0.PIPE5TRE 000A 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0: 無効 1: カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PIPE<sub>n</sub>TREレジスタの各ビットの変更は、PID[1:0] = 00b (NAK)時に実施してください。  
対応するパイプのPIPE<sub>n</sub>CTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更したあとで各ビットの設定値を変更する場合には、PIPE<sub>n</sub>CTR.PBUSYフラグが“0”であることを確認してから各ビットを変更してください。ただし、USBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

#### TRCLR ビット (トランザクションカウンタクリアビット)

当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、TRCLR ビットを“0”にします。

#### TRENB ビット (トランザクションカウンタ許可ビット)

トランザクションカウンタ無効/有効を指定します。

受信パイプに対して、ソフトウェアでPIPE<sub>n</sub>TRNレジスタに総パケット数を設定した後でTRENBビットを“1”にすると、USBはPIPE<sub>n</sub>TRNレジスタの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- PIPECFG.SHTNAKビットが“1”のとき、PIPE<sub>n</sub>TRNレジスタの設定値と同数のパケット受信を終了時点で対応するパイプのPIPE<sub>n</sub>CTR.PID[1:0]ビットを“00b” (NAK)に変更します。
- PIPECFG.BFREビットが“1”のとき、PIPE<sub>n</sub>TRNレジスタの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY割り込みをアサートします

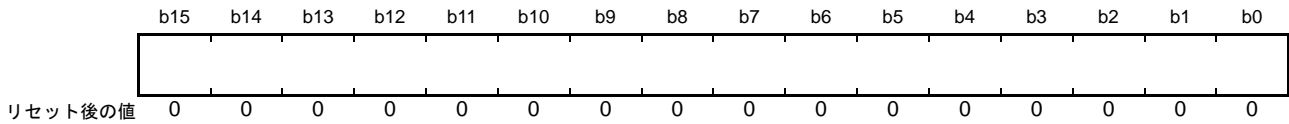
送信パイプについては、TRENBビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRENBビットを“0”にしてください。

トランザクションカウンタ機能を使用する場合、TRENBビットを“1”にする前にPIPE<sub>n</sub>TRNレジスタの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前にTRENBビットを“1”にしてください。

27.2.32 パイプ n トランザクションカウンタレジスタ (PIPE<sub>n</sub>TRN) (n = 1 ~ 5)

アドレス USB0.PIPE1TRN 000A 0092h, USB0.PIPE2TRN 000A 0096h, USB0.PIPE3TRN 000A 009Ah,  
USB0.PIPE4TRN 000A 009Eh, USB0.PIPE5TRN 000A 00A2h



PIPE<sub>n</sub>TRN レジスタは、USB バスリセット時も設定値が保持されます。

- レジスタ書き込み時：
  - 当該 PIPE が受信すべき総パケット数（トランザクション回数）を設定します
- レジスタ読み出し時：
  - PIPE<sub>n</sub>TRE.TRENB ビットが“0”の場合は、設定したトランザクション回数が表示されます。
  - PIPE<sub>n</sub>TRE.TRENB ビットが“1”の場合は、カウント中のトランザクション回数が表示されます

USB は、受信時の状態が以下のすべてを満たしたときに PIPE<sub>n</sub>TRN レジスタを 1 インクリメントします。

- PIPE<sub>n</sub>TRE.TRENB ビットが“1”である
- パケット受信時に (PIPE<sub>n</sub>TRN 設定値 ≠ 現在のカウンタ値 +1) である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

USB は、以下のいずれかの条件が満たされたときに PIPE<sub>n</sub>TRN レジスタの表示を“0000h”にします。

- 以下の条件がすべて満たされたとき
  - PIPE<sub>n</sub>TRE.TRENB ビットが“1”である
  - パケット受信時に (PIPE<sub>n</sub>TRN 設定値 = 現在のカウンタ値 +1) である
  - 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した
- 以下の条件がすべて満たされたとき
  - PIPE<sub>n</sub>TRE.TRENB ビットが“1”である
  - ショートパケットを受信した
- 以下の条件がすべて満たされたとき
  - PIPE<sub>n</sub>TRE.TRENB ビットが“1”である
  - ソフトウェアで PIPE<sub>n</sub>TRE.TRCLR ビットを“1”にした

送信パイプについては、PIPE<sub>n</sub>TRN レジスタを“0000h”にしてください。

トランザクションカウンタ機能を使用しない場合は、PIPE<sub>n</sub>TRN レジスタを“0000h”にしてください。

PIPE<sub>n</sub>TRN レジスタのトランザクション回数の設定は、PIPE<sub>n</sub>TRE.TRENB ビットが“0”のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始 (PIPE<sub>n</sub>TRE.TRENB ビットが“1”) 前に PIPE<sub>n</sub>TRE.TRCLR ビットに“1”を書いてください (カレントカウンタ値のクリア)。

### 27.2.33 デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス USB0.DEVADD0 000A 00D0h, USB0.DEVADD1 000A 00D2h, USB0.DEVADD2 000A 00D4h,  
USB0.DEVADD3 000A 00D6h, USB0.DEVADD4 000A 00D8h, USB0.DEVADD5 000A 00DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0 : DEVADDn レジスタ未使用 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定しないでください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ~ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID[1:0] ビットに“01b” (BUF) を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが“1”になっている

#### USBSPD[1:0] ビット (通信対象デバイスの転送速度ビット)

通信対象の周辺デバイスの USB 転送速度を設定します。

ロースピードデバイスが接続されたときには、“01b” にしてしてください。フルスピードデバイスに対しては“10b” にしてしてください。

ホストコントローラ機能選択時、USB は、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、“00b” にしてしてください。

## 27.2.34 USB モジュール制御レジスタ (USBMC)

アドレス USB0.USBMC 000A 00CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VDDUS BE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VDDUSBE	USB 電源回路 ON/OFF 制御ビット	0 : USB 電源回路はOFF 1 : USB 電源回路はON	R/W
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**VDDUSBE ビット (USB 電源回路 ON/OFF 制御ビット)**

USB 電源回路では、バッテリーチャージ用の基準電圧を生成しています。バッテリーチャージ機能を使用するときに“1”を設定してください。

## 27.2.35 BC コントロールレジスタ 0 (USBBCCTRL0)

アドレス USB0.USBBCCTRL0 000A 00B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PDDETSTS0	CHGDETSTS0	BATCHGE0	—	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPDME0	D-端子プルダウン制御ビット	0: プルダウンOFF 1: プルダウンON	R/W
b1	IDPSRCE0	D+端子IDPSRC出力制御ビット	0: 停止 1: 10 $\mu$ A出力	R/W
b2	IDMSINKE0	D-端子0.6V入力検知(コンパレータ&シンク)制御ビット	0: 検知OFF 1: 検知ON(コンパレータ&シンク電流ON)	R/W
b3	VDPSRCE0	D+端子VDPSRC(0.6V)出力制御ビット	0: 停止 1: 0.6V出力	R/W
b4	IDPSINKE0	D+端子0.6V入力検知(コンパレータ&シンク)制御ビット	0: 検知OFF 1: 検知ON(コンパレータ&シンク電流ON)	R/W
b5	VDMSRCE0	D-端子VDMSRC(0.6V)出力制御ビット	0: 停止 1: 0.6V出力	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	BATCHGE0	BC(バッテリーチャージャ)機能Ch0全般の許可制御ビット	0: 禁止 1: 許可	R/W
b8	CHGDETSTS0	D-端子0.6V入力検知ステータスフラグ(注1)	0: 未検知 1: 検知	R
b9	PDDETSTS0	D+端子0.6V入力検知ステータスフラグ(注2)	0: 未検知 1: 検知	R
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IDMSINKE0 = 1のとき有効

注2. IDPSINKE0 = 1のとき有効

**RPDME0 ビット (D- 端子プルダウン制御ビット)**

バッテリーチャージ機能を使用するときに“1”を設定して、D-端子プルダウン制御してください。

**IDPSRCE0 ビット (D+ 端子 IDPSRC 出力制御ビット)**

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、データ端子接続検知した際に電流出力許可を実施し、D+端子をプルアップします。

**IDMSINKE0 ビット (D- 端子 0.6V 入力検知 (コンパレータ & シンク) 制御ビット)**

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Primary Detection 時にホスト側より D- に出力される VDMSRC (0.6V) の接続検知、もしくはファンクション側より D+ に出力される VDPSRC (0.6V) がホスト経由でファンクション側の D- に接続されていることの検知を許可します。

**VDPSRCE0 ビット (D+ 端子 VDPSRC (0.6V) 出力制御ビット)**

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Primary Detection 時に出力許可を実施し、D+ に VDPSRC (0.6V) を電圧印加します。



**IDPSINKE0 ビット (D+ 端子 0.6V 入力検知 (コンパレータ & シンク) 制御ビット)**

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Secondary Detection 時にファンクション側より D- に出力される VDMSRC (0.6V) がホスト経由でファンクション側の D+ に接続されていること (DCP) の検知を許可します。またホストコントローラ機能選択時、Primary Detection 時にファンクション側より D+ に出力される VDPSRC (0.6V) の接続検知を許可します。

**VDMSRCE0 ビット (D- 端子 VDMSRC (0.6V) 出力制御ビット)**

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Secondary Detection 時に出力許可を実施し、D- に VDMSRC (0.6V) を電圧印加します。またホストコントローラ機能選択時、Primary Detection 時に出力許可を実施し、D- に VDMSRC (0.6V) を電圧印加します。

**CHGDETSTS0 フラグ (D- 端子 0.6V 入力検知ステータスフラグ)**

ファンクションコントローラ機能選択時、Primary Detection 時にホスト側より D- に出力される VDMSRC (0.6V) の接続検知、もしくはファンクション側より D+ に出力される VDPSRC (0.6V) がホスト経由でファンクション側の D- に接続されていることを検知した場合、本フラグが“1”にセットされます。

**PDDTSTS0 フラグ (D+ 端子 0.6V 入力検知ステータスフラグ)**

ファンクションコントローラ機能選択時、Secondary Detection 時にファンクション側より D- に出力される VDMSRC (0.6V) がホスト経由でファンクション側の D+ に接続されている (DCP) ことを検知した場合、本ビットが“1”にセットされます。

ホストコントローラ機能選択時、Primary Detection 時にファンクション側より D+ に出力される VDPSRC (0.6V) の接続検知した場合、本フラグが“1”にセットされます。

## 27.3 動作説明

### 27.3.1 システム制御

USB の初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

#### 27.3.1.1 USB 関連レジスタの設定

USB へのクロック供給が開始された (SYSCFG.SCKE ビットが“1”) 状態で、SYSCFG.USBE ビットを“1”にすることにより、動作が許可され、USB は動作を開始します。

#### 27.3.1.2 コントローラ機能の選択設定

USB は、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFM ビットで行います。ただし、DCFm ビットの設定は、リセット解除直後の初期設定時、または D+/D- のプルアップと D+/D- のプルダウンがすべて禁止 (SYSCFG.DPRPU = 0、DMRPU = 0 かつ DRPD = 0) のときに行ってください。

#### 27.3.1.3 USB データバス抵抗制御

USB は、D+/D- のプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU、DMRPU、DRPD ビットの設定によりプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USB ホストへの接続を認識したあとで、DPRPU ビットまたは DMRPU ビットを“1”に設定し、D+ (フルスピード時)/D- (ロースピード時) をプルアップしてください。

また、PC と通信中に DPRPU ビットまたは DMRPU ビットに“0”を設定した場合は、USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することができます。

ホストコントローラ機能選択時は、DRPD ビットを“1”に設定し、D+/D- をプルダウンしてください。

表 27.11 USB データバス抵抗制御

設定内容			USBデータバス抵抗制御		
DRPD	DPRPU	DMRPU	D-	D+	Remarks
0	0	0	Open	Open	未使用時
0	1	0	Open	プルアップ	ファンクションコントローラ(フルスピード)として動作させる場合
0	0	1	プルアップ	Open	ファンクションコントローラ(ロースピード)として動作させる場合
1	0	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
上記以外			—	—	設定禁止

### 27.3.1.4 USB 外部接続回路例

図 27.2 にセルフパワー時の USB コネクタの OTG 接続例を示します。

USB は、D+、D- 信号のプルアップ抵抗と D+、D- 信号のプルダウン抵抗を制御します。SYSCFG.DPRPU ビット、DMRPU ビット、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に DPRPU ビットまたは DMRPU ビットに“0”を設定した場合は、USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイスの切断を通知することができます。

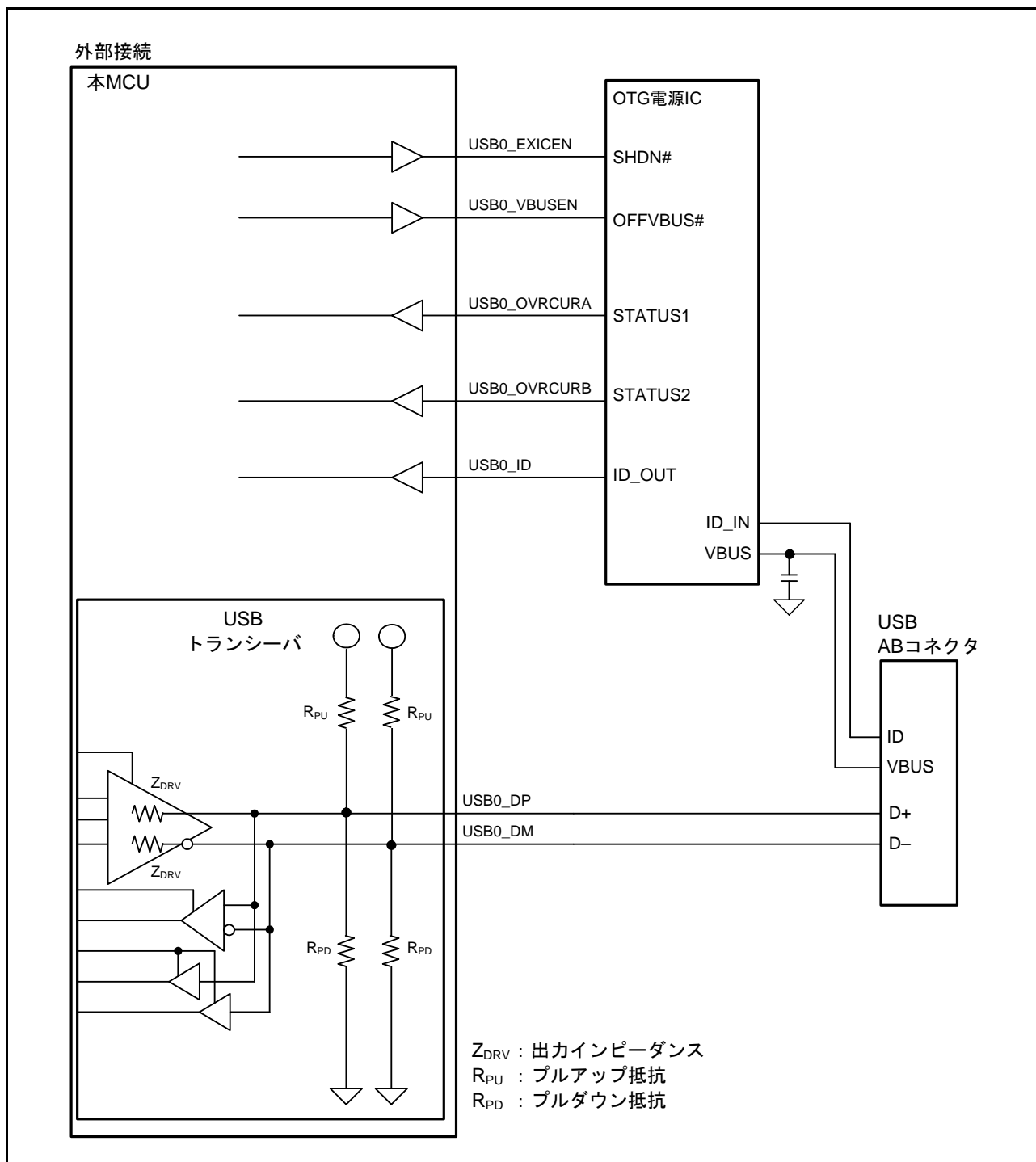


図 27.2 セルフパワー時の USB コネクタの OTG 接続例

図 27.3 にセルフパワー時の USB コネクタのファンクション接続例を示します。

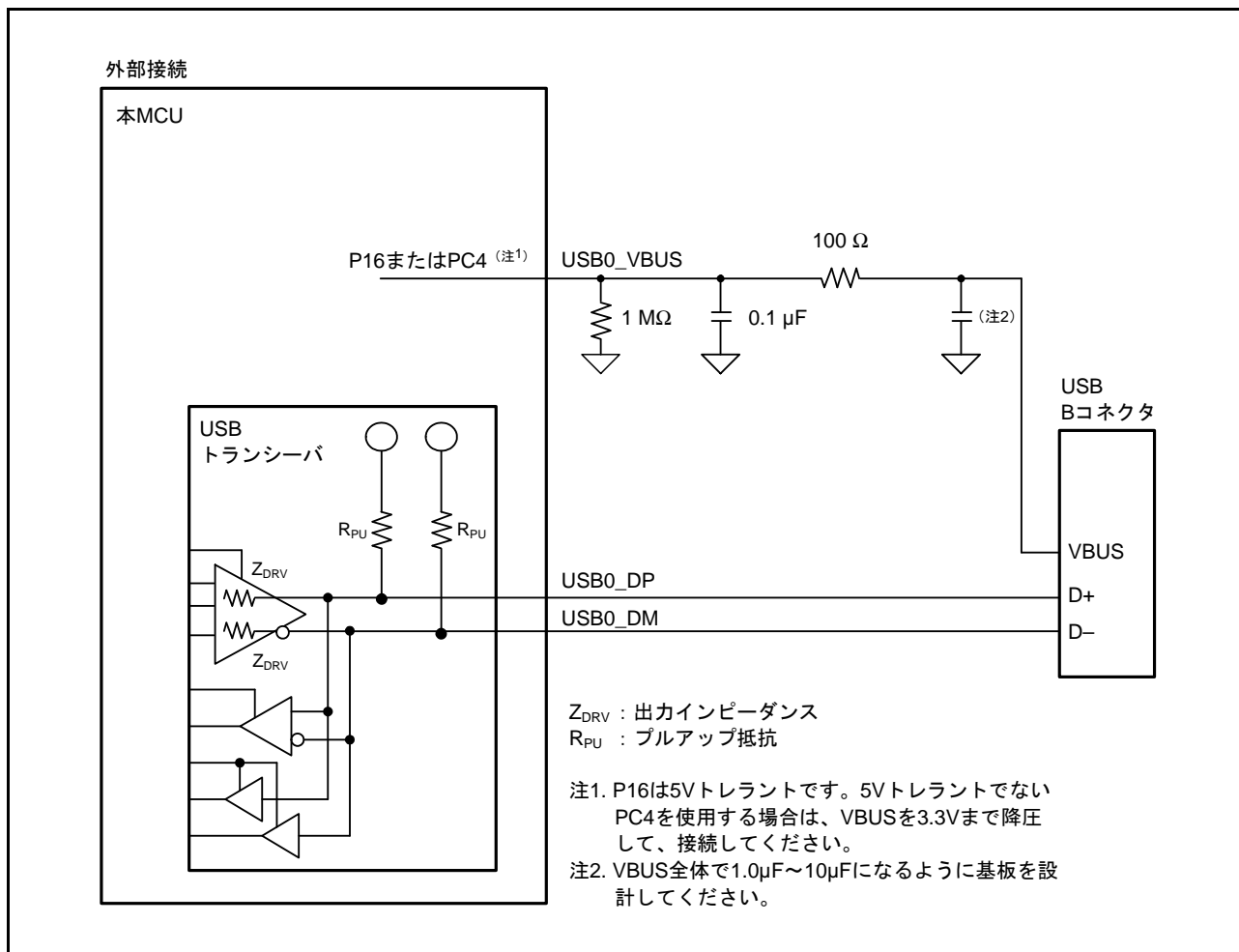


図 27.3 セルフパワー時の USB コネクタのファンクション接続例

図 27.4 に Battery Charging Specification Revision 1.2 対応時の USB コネクタのファンクション接続例を示します。

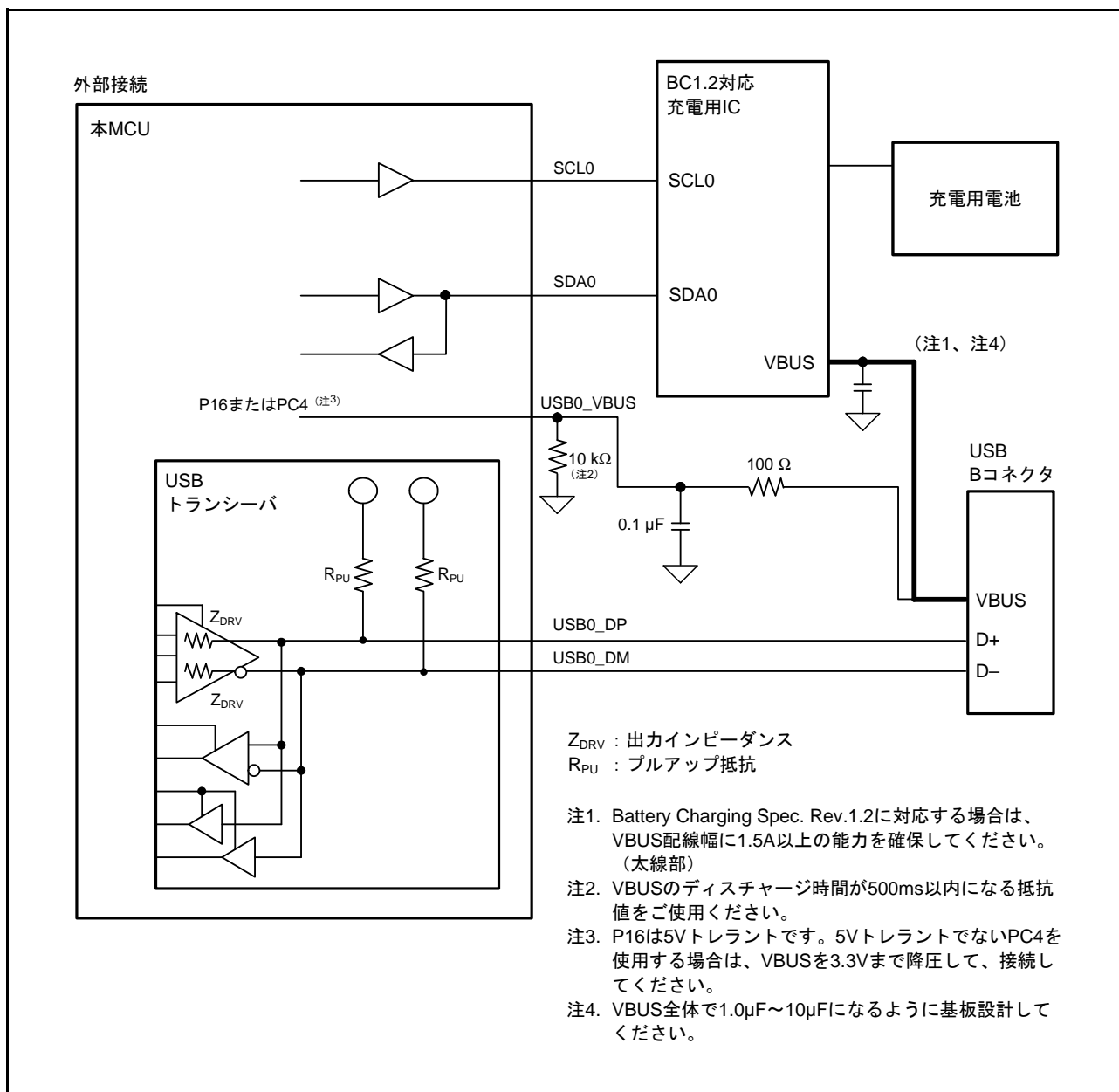


図 27.4 Battery Charging Specification Rev.1.2 対応時の USB コネクタのファンクション接続例

図 27.5 に USB コネクタのホスト接続例を示します。

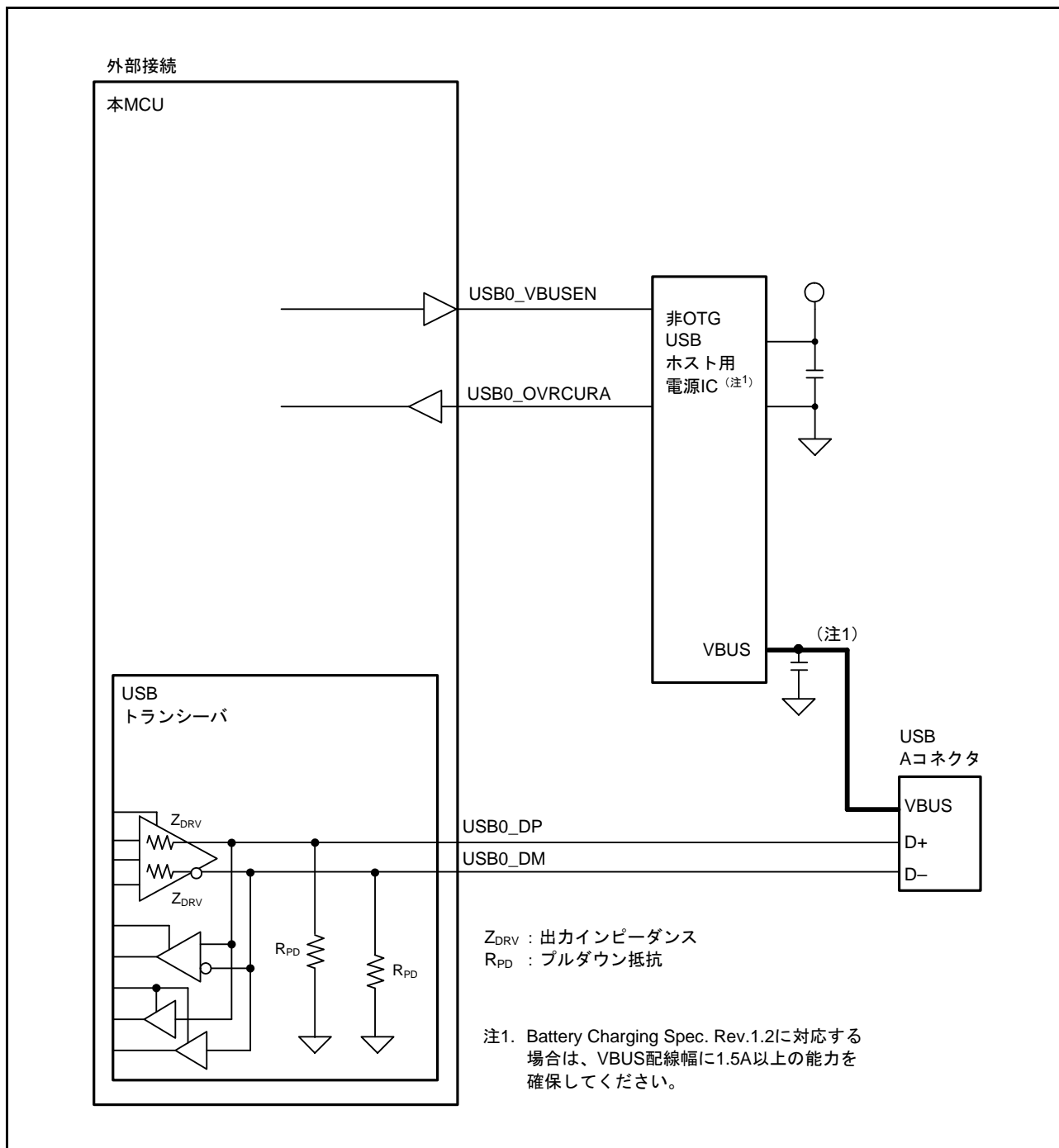


図 27.5 USB コネクタのホスト接続例

図 27.6 にバスパワー時の USB コネクタのファンクション接続例を示します。

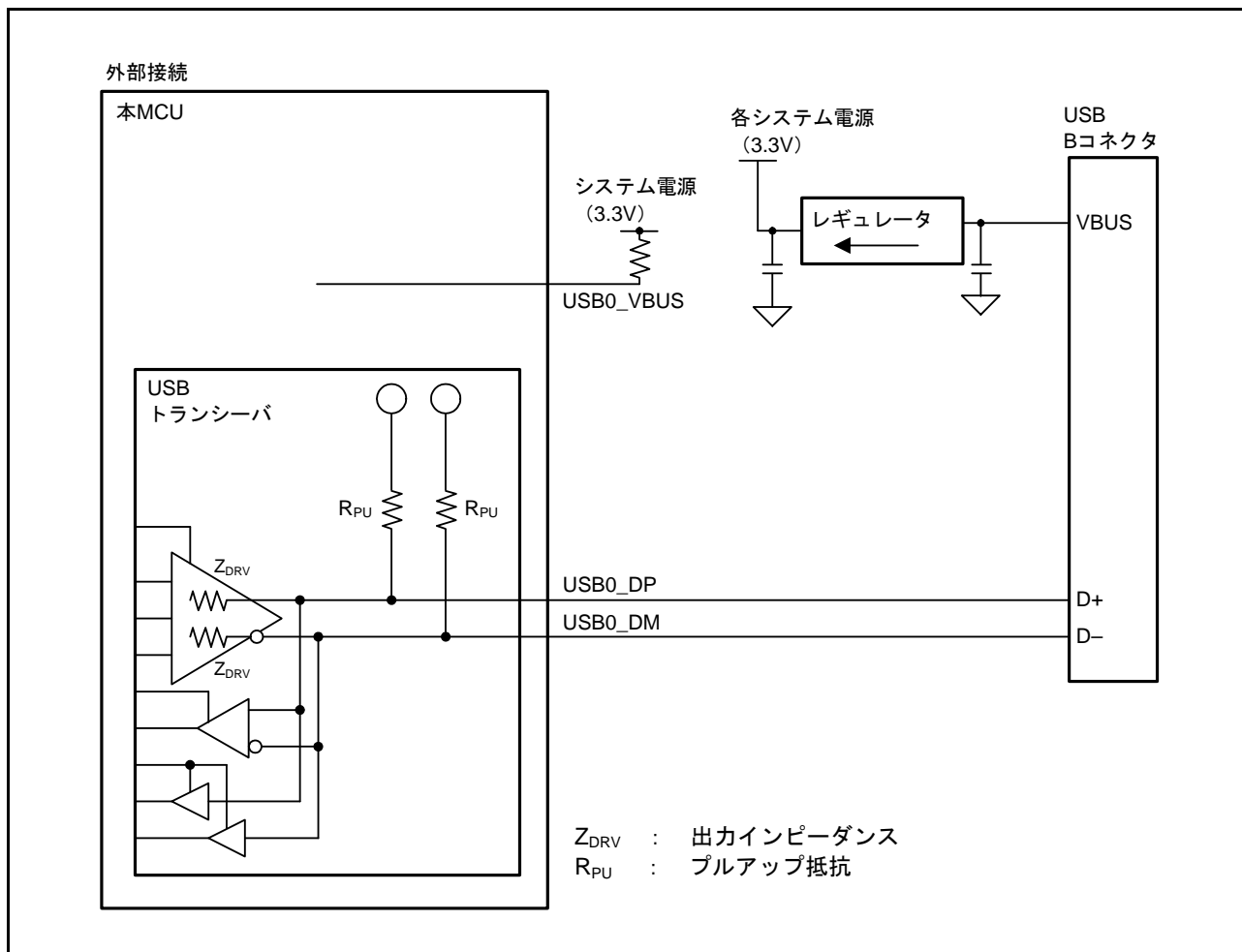


図 27.6 バスパワー時の USB コネクタのファンクション接続例

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。

## 27.3.2 割り込み要因

表 27.12 に USB の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ (ICU) に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表 27.12 割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	<ul style="list-style-type: none"> <li>USB0_VBUS入力端子の状態変化を検出したとき(Low → High、High → Lowの両方の変化)</li> </ul>	ホスト/ ファンクション (注1)	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> <li>サスペンド状態においてUSBバスの状態変化を検出したとき(J-State → K-StateまたはJ-State → SE0)</li> </ul>	ファンクション	—
SOFR	フレーム番号更新割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> <li>フレーム番号の異なるSOFパケットを送信したとき</li> </ul> [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> <li>フレーム番号の異なるSOFパケットを受信したとき</li> </ul>	ホスト/ ファンクション	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> <li>デバイスステートの遷移を検出したとき(以下) USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信</li> </ul>	ファンクション	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> <li>コントロール転送のステージ遷移を検出したとき(以下) セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生</li> </ul>	ファンクション	INTSTS0. CTSQ[2:0]
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> <li>バッファメモリ中の全データを送信してバッファが空になったとき</li> <li>マックスパケットサイズを超えたパケットを受信したとき</li> </ul>	ホスト/ ファンクション	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> <li>発行したトークンに対して周辺デバイス側からのSTALLを受信したとき</li> <li>発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき(無応答が3回連続、またはパケット受信エラーが3回連続)</li> <li>アイソクロナス転送時にオーバーラン/アンダランが発生したとき</li> </ul> [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> <li>PID[1:0] = 01b (BUF)を設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき</li> <li>アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフィングエラーが発生したとき</li> <li>アイソクロナス転送でデータ受信時にオーバーラン/アンダランが発生したとき</li> </ul>	ホスト/ ファンクション	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> <li>バッファがレディ(リードまたはライト可能状態)になったとき</li> </ul>	ホスト/ ファンクション	BRDYSTS. PIPEnBRDY
OVRCCR	オーバカレント変化割り込み	<ul style="list-style-type: none"> <li>USB0_OVRCURAおよびUSB0_OVRCURB入力端子の状態変化を検出したとき(Low → High、High → Lowの両方の変化)</li> </ul>	ホスト	INTSTS1. OVRCCR
BCHG	バス変化割り込み	<ul style="list-style-type: none"> <li>USBバスステートの変化を検出したとき</li> </ul>	ホスト/ ファンクション	SYSSTS0. LNST[1:0]
DTCH	フルスピード動作時切断検出	<ul style="list-style-type: none"> <li>フルスピード動作時周辺デバイスの切断を検出したとき</li> </ul>	ホスト	DVSTCTR0. RHST[2:0]
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> <li>USBバスステートが2.5 μs連続したJ-STATE、または2.5 μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。</li> </ul>	ホスト	—
EOFERR	EOFエラー検出	<ul style="list-style-type: none"> <li>周辺デバイスのEOFエラーを検出</li> </ul>	ホスト	—
SACK	SETUP正常	<ul style="list-style-type: none"> <li>セットアップトランザクションの正常応答(ACK)を受信したとき</li> </ul>	ホスト	—
SIGN	SETUPエラー	<ul style="list-style-type: none"> <li>セットアップトランザクションのエラー(無応答またはACKパケット破損)を3回連続で検出したとき</li> </ul>	ホスト	—
PDDTINT0	PortableDevice検知割り込み	<ul style="list-style-type: none"> <li>PortableDeviceの接続を検知したとき</li> </ul>	ホスト	INTSTS1. PDDTINT0

注1. 本割り込みは、ホスト機能時にも発生しますが、通常ホスト機能時には使用しません。



図 27.7 に USB の割り込み関連図を示します。

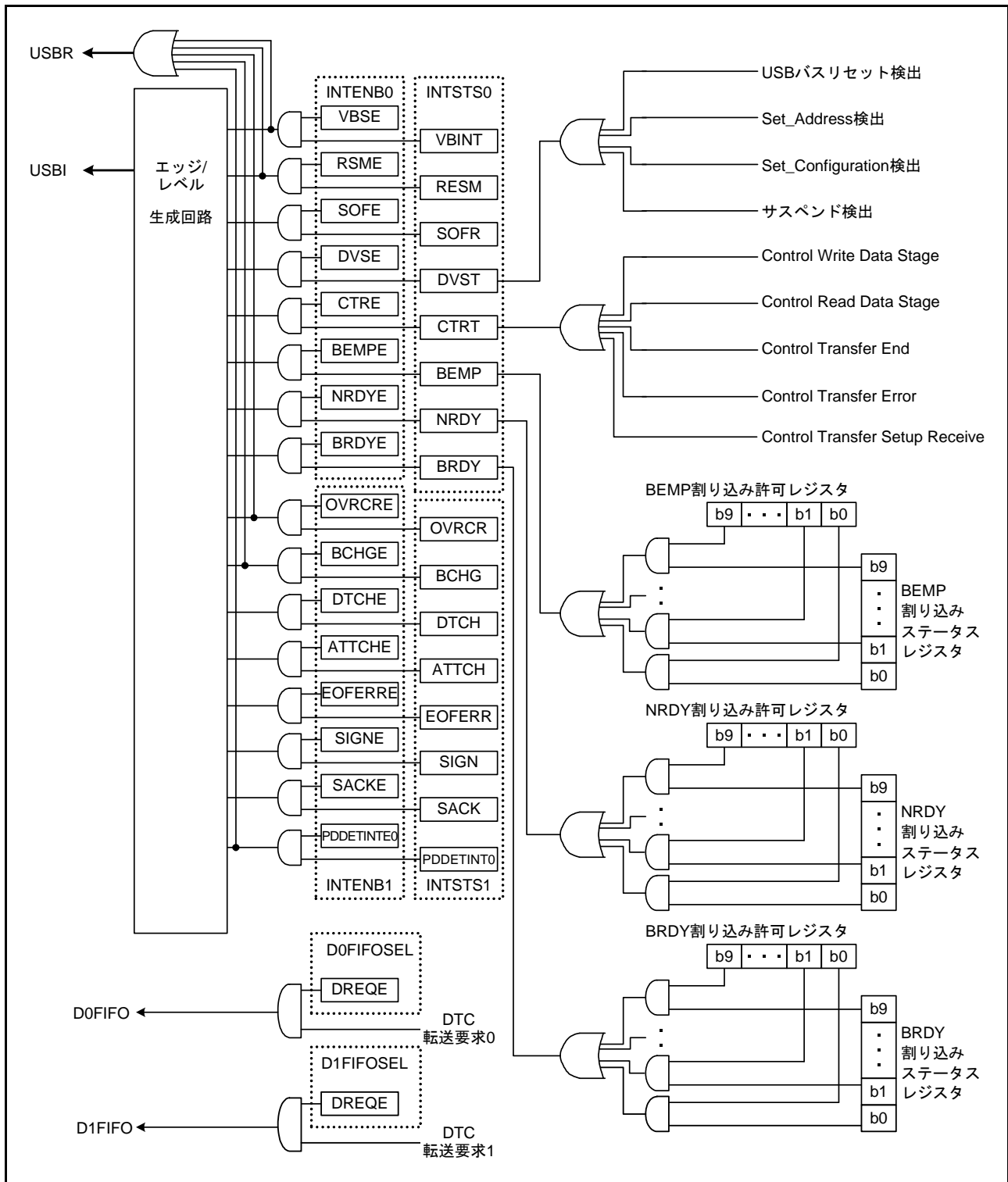


図 27.7 USB 割り込みの関連図

表 27.13 に USB の割り込み一覧を示します。

表 27.13 USBの割り込み一覧

割り込み名称	割り込みステータスフラグ	DTCの起動
D0FIFO	DTC転送要求0	可能
D1FIFO	DTC転送要求1	可能
USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み、バス変化割り込み、フルスピード動作時切断検出、デバイス接続検出、EOFエラー検出、SETUP正常、SETUPエラー、PortableDevice検知割り込み	不可能
USBR	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み、PortableDevice検知割り込み	不可能

### 27.3.3 割り込みの説明

#### 27.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB は BRDYSTS レジスタの当該ビットを“1”にします。このとき、ソフトウェアで当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを“1”にし、かつ、INTENB0.BRDYE ビットを“1”にしていれば、USB は BRDY 割り込みを発生させます。

BRDY 割り込みは、SOFCFG.BRDYM ビットおよび各パイプの PIPECFG.BFRE ビットの設定により、発生条件およびクリア方法が異なります。

##### (1) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する BRDYSTS.PIPEnBRDY フラグを“1”にします。

##### (a) 送信方向に設定したパイプの場合

- ソフトウェアで DIR ビットを“0”から“1”に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき (BSTS フラグ読み出し値が“0”のとき) に、USB が当該パイプの packets 送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに“1”を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

**(b) 受信方向に設定したパイプの場合**

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき (BSTS フラグ読み出し値が“0”のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき  
データ PID 不一致のトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能状態であったとき  
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアで、当該パイプに対応する PIPE<sub>n</sub>BRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき、他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

**(2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき**

この設定の場合、USB は、受信パイプにおいて 1 トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットを“1”にします。

USB は、以下のいずれかのときに 1 トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- パイプ n トランザクションカウンタ (PIPE<sub>n</sub>TRN) を使用し、PIPE<sub>n</sub>TRN レジスタ設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB は 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの BRDY フラグが“1”、DTLN[8:0] フラグが“0”の状態になった時点で、USB は 1 トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで“1”を書いてください。

この設定の場合には、USB は送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアで、当該パイプに対応する BRDYSTS.PIPE<sub>n</sub>BRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、PIPE<sub>n</sub>CTR.ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

### (3) SOFCFG.BRDYM ビットが“1”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDYSTS.PIPE<sub>n</sub>BRDY フラグの値は各パイプの BSTS フラグに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって USB が“1”、“0”にします。

#### (a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば“1”になり、書き込み不可能な状態になれば“0”になります。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

#### (b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば“1”になり、すべてのデータを読み出したら（読み出しが不可能の状態になったら）“0”になります。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアで BCLR = 1 を書くまで該当ビットには“1”が表示され BRDY 割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアで、PIPE<sub>n</sub>BRDY フラグを“0”にすることはできません。

SOFCFG.BRDYM ビットが“1”のときは、PIPECFG.BFRE ビットはすべて（全パイプ）“0”にしてください。

図 27.8 に、BRDY 割り込み発生タイミング図を示します。

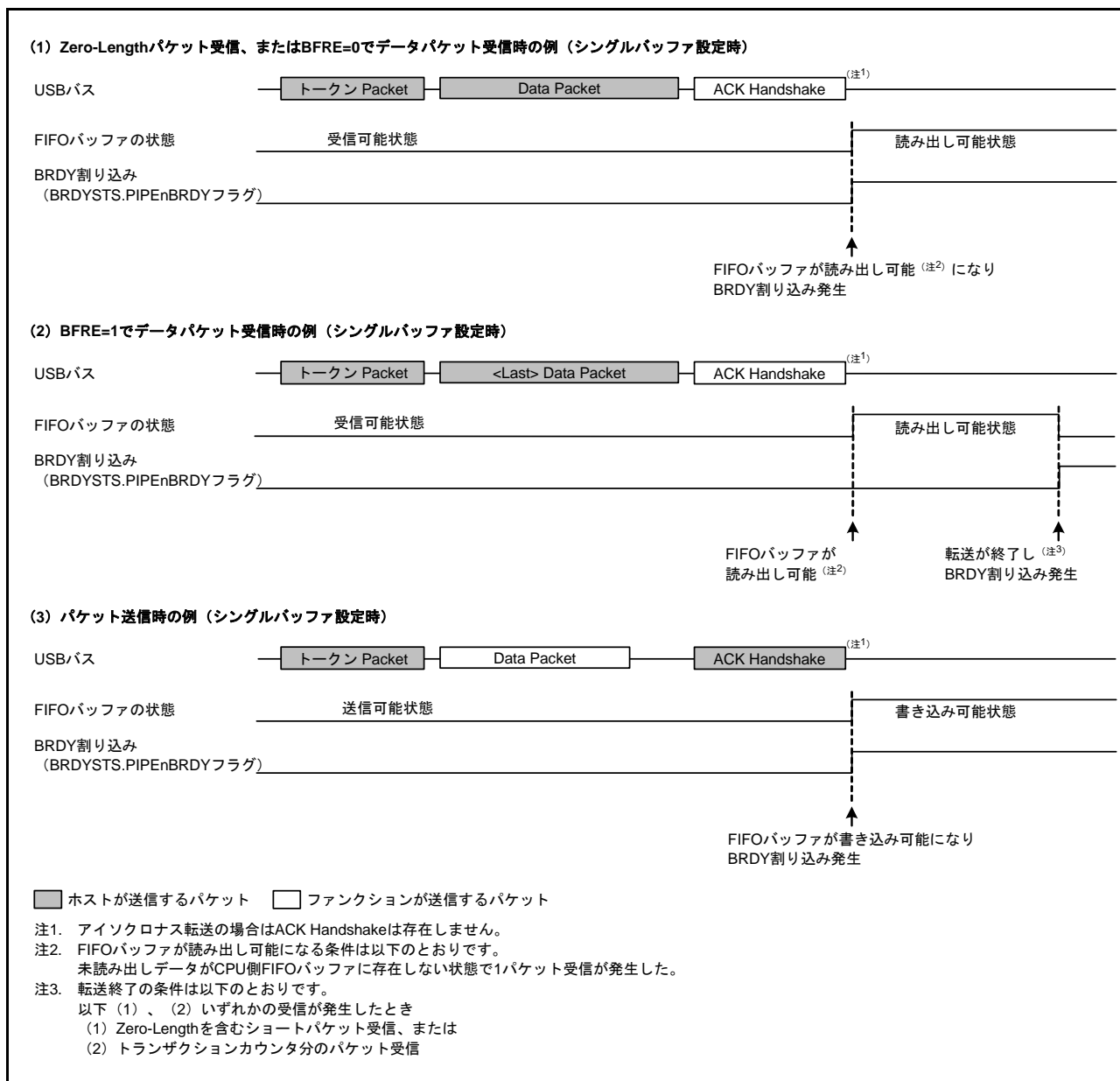


図 27.8 BRDY 割り込み発生タイミング図

USB が INTSTS0.BRDY フラグをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 27.14 に BRDY フラグクリア条件表を示します。

表 27.14 BRDYフラグクリア条件表

BRDYMビット	BRDYフラグのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを“0”にすると、USBはBRDYフラグを“0”にします
1	全パイプのBSTSフラグが“0”になったときに、USBはBRDYフラグを“0”にします

### 27.3.3.2 NRDY 割り込み

ソフトウェアで  $PID[1:0] = 01b$  (BUF) に設定したパイプに対して、USB が内部 NRDY 割り込み要求を発生させた場合に、USB は  $NRDYSTS.PIPEnNRDY$  フラグの対応するビットを“1”にします。このとき、ソフトウェアによって  $NRDYENB$  レジスタの対応するビットを“1”にしている場合、USB は  $INTSTS0.NRDY$  フラグを“1”にし、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の **SETUP** トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の **SETUP** トランザクションでは、**SACK** 割り込みまたは **SIGN** 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

#### (1) ホストコントローラ機能選択時

##### (a) 送信方向パイプの場合

USB は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき  
このとき、USB は OUT トークンに続けて Zero-Length パケットを送信し、 $NRDYSTS.PIPEnNRDY$  フラグの対応するフラグを“1”にし、 $FRMNUM.OVRN$  フラグも“1”にします。
- 転送タイプがアイソクロナス以外のパイプ、かつ **SETUP** トランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出）した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき  
このとき、USB は、 $PIPEnNRDY$  フラグの対応するビットを“1”にし、対応するパイプの  $PID[1:0]$  ビットを“00b” (NAK) に変更します。
- SETUP** トランザクション以外の通信において、周辺デバイスから **STALL Handshake** を受信したとき  
このとき USB は、 $PIPEnNRDY$  フラグの対応するビットを“1”にし、対応するパイプの  $PID[1:0]$  ビットを“11b” (STALL) に変更します。

##### (b) 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき  
このとき USB は、IN トークンに対する受信データを破棄し、当該パイプに対応する  $PIPEnNRDY$  フラグを“1”にし、 $OVRN$  フラグも“1”にします。  
更に、IN トークンに対する受信データにパケットエラーを検出した場合には、 $FRMNUM.CRCE$  フラグも“1”にします。
- 転送タイプがアイソクロナス転送以外のパイプで、USB が発行した IN トークンに対して周辺デバイスが無応答（周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき  
このとき USB は、当該パイプに対応する  $PIPEnNRDY$  フラグを“1”にし、対応するパイプの  $PID[1:0]$  ビットを“00b” (NAK) に変更します。

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答（周辺デバイスからのDATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき  
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にします（対応するパイプの PID[1:0] ビットの変更は行いません）。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッピングエラーを検出したとき  
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にし、CRCE フラグを“1”にします。
- STALL Handshake を受信したとき  
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にし、対応するパイプの PID[1:0] ビットを“11b” (STALL) に変更します。

## (2) ファンクションコントローラ機能選択時

### (a) 送信方向パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき  
IN トークン受信時に USB は NRDY 割り込み要求を発生させ NRDYSTS.PIPEnNRDY フラグを“1”にします。  
割り込み発生パイプの転送タイプがアイソクロナスの場合、USB は Zero-Length パケットを送信し、FRMNUM.OVRN フラグを“1”にします。

### (b) 受信方向パイプの場合

- FIFO バッファに空きがない状態で OUT トークンを受信したとき  
割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB は NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にし、OVRN フラグを“1”にします。  
割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB は、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にします。  
ただし、再送時（データ PID 不一致発生時）には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき  
SOF 受信のタイミングで USB は、NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にします。



図 27.9 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

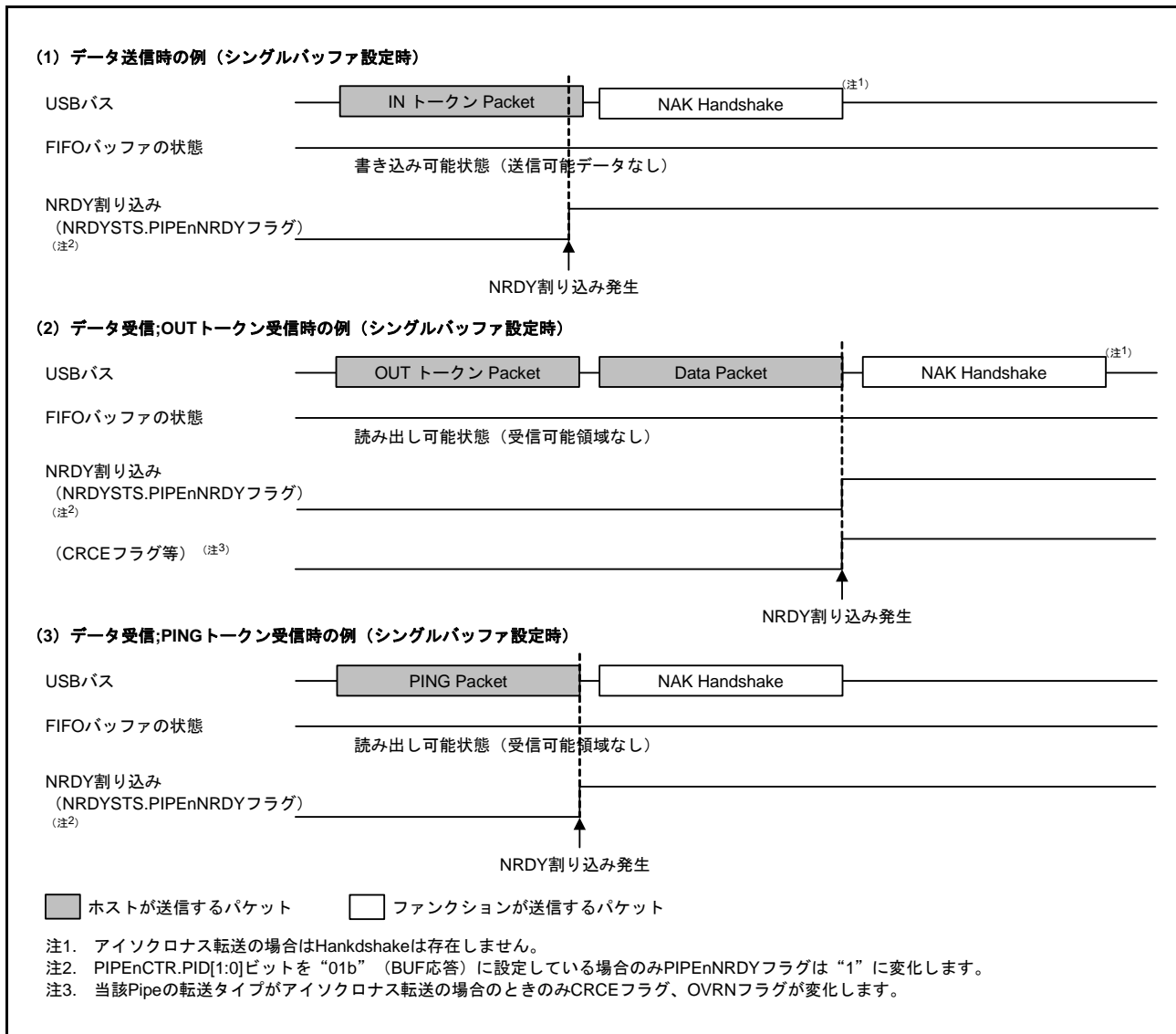


図 27.9 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

### 27.3.3.3 BEMP 割り込み

ソフトウェアで PID[1:0] = 01b (BUF) に設定したパイプに対して、USB が、BEMP 割り込みを検出した場合に、USB は BEMPSTS.PIPEnBEMP フラグの対応するフラグを“1”にします。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.BEMP フラグを“1”にし、USB 割り込みが発生します。

以下の場合に、USB は内部 BEMP 割り込み要求を発生させます。

#### (1) 送信方向パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき、シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。ただし、以下の場合には内部 BEMP 割り込み要求を発生させません。



- ダブルバッファ設定時に、1面分のデータ送信完了時にCPUまたはDTCがCPU側のFIFOバッファに対する書き込みを開始している場合
- また、PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタのBCLR ビットに“1”を書くことによるバッファクリア（エンプティ）。
- ファンクションコントローラ機能設定時、コントロール転送 Status ステージのIN転送（Zero-Length パケット送信）時

## (2) 受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき、USB は、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP フラグの対応するビットを“1”にし、受信データを破棄し、対応するパイプのPID[1:0] ビットを“11b” (STALL) に変更します。このとき USB は、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時  
BEMPSTS.PIPEnBEMP フラグに“0”を書くことにより、ステータスをクリアすることができます。  
BEMPSTS.PIPEnBEMP フラグに“1”を書いても、動作に影響ありません。

図 27.10 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

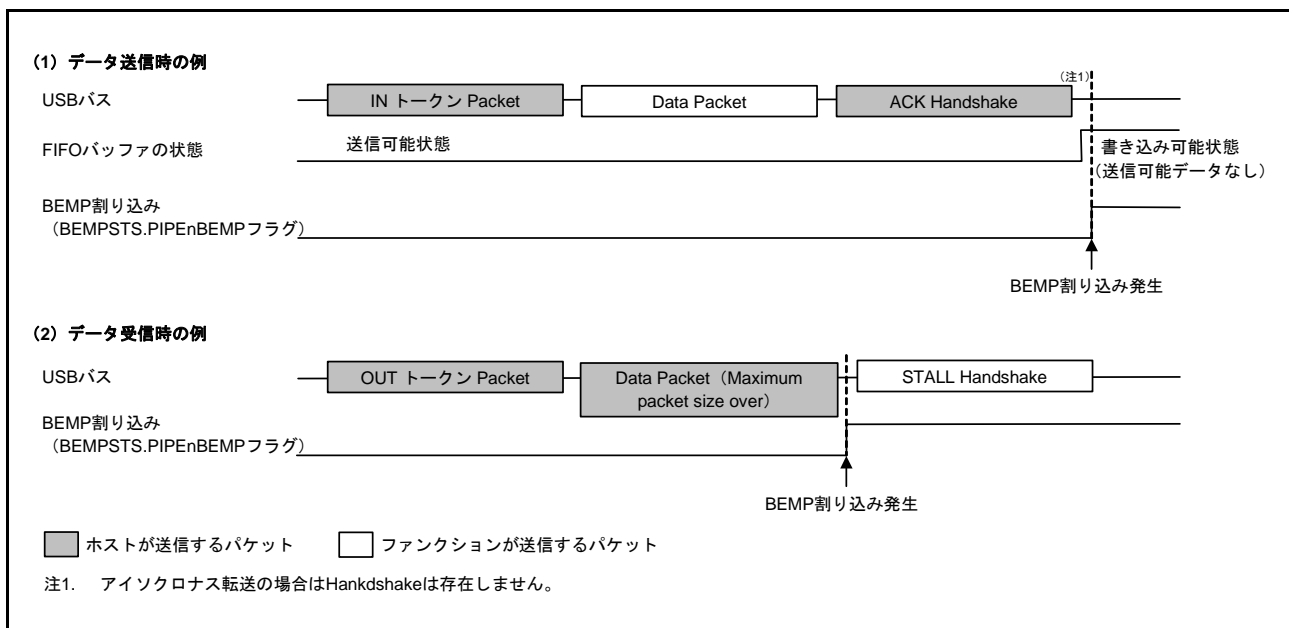


図 27.10 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

### 27.3.3.4 デバイスステート遷移割り込み

図 27.11 に USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQ[2:0] フラグにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

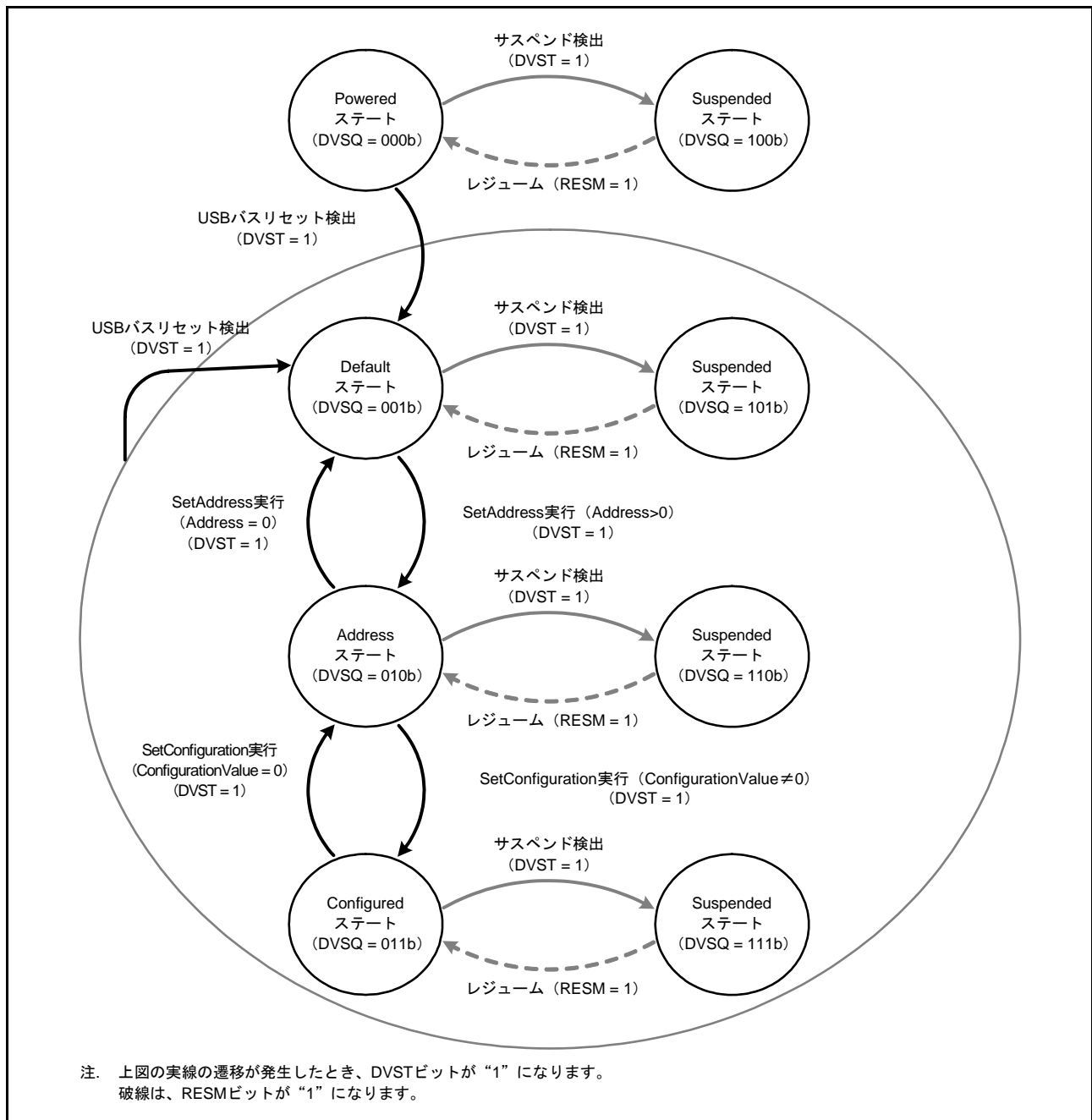


図 27.11 デバイスステート遷移図

### 27.3.3.5 コントロール転送ステージ遷移割り込み

図 27.12 に USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ[2:0] フラグにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが“1xb”(STALL 応答)になります。

#### コントロールリード転送時

- データステージの IN トークンに対して、1度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが“PID = DATA0”のパケットを受信

#### コントロールライト転送時

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットが“PID = DATA0”のパケットを受信
- ステータスステージで OUT トークン受信

#### コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = 1) は、CTSQ[2:0] = 110b の値がシステムから CTRT フラグに“0”を書く (割り込みステータスクリア) まで保持されます。このため、CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、USB で保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します)。



### 27.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

### 27.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB は、USB 規格 2.0 に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

### 27.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

### 27.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

### 27.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5  $\mu$ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5  $\mu$ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5  $\mu$ s 間継続したとき

### 27.3.3.15 EOFERR 割り込み

USB 2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

### 27.3.3.16 PortableDevice 検知割り込み

USB-PHY からの PDDDET 出力の変化 (“High” から “Low” への変化、および “Low” から “High” への変化)を検出したときに割り込みが発生します。PortableDevice 検知割り込み発生時は、ソフトウェアで PDDDETSTS0 フラグ読み出しの回数一致を行い、デバウンス処理を実施してください。

## 27.3.4 パイプコントロール

表 27.15 に USB のパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。USB にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表27.15 パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE[1:0]	転送タイプを指定	パイプ1～9：設定可能
	BFRE	BRDY 割り込みモードを選択	パイプ1～5：設定可能
	DBLB	ダブルバッファを選択	パイプ1～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM[3:0]	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は“0000b”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能(バルク転送選択時のみ設定可能) パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL[3:0]	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS[8:0]	マックスパケットサイズ	USB規格2.0に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～5：設定不可能 パイプ6～9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PBUSY	パイプビジー確認	
	PID[1:0]	応答PID	「27.3.4.6 応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	—	トランザクションカウンタ	パイプ1～5：設定可能

### 27.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止 (PID[1:0] = 00b (NAK)) されているときのみ書き換えが可能になります。

USB 通信が許可 (PID[1:0] = 01b (BUF)) されているとき、書き換えが禁止されているレジスタおよびビットを以下に示します。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR, SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM, ACLRM, SQCLR, SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

USB 通信許可 (PID[1:0] = 01b (BUF)) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを“00b” (NAK) に変更します。
3. 当該パイプの PBUSY フラグが“0”になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE[3:0] ビットにも設定されていないパイプ情報のみ書き換えが可能です。

CURPIPE[3:0] に設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

### 27.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ 1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3～5：バルク転送を設定してください。
- パイプ 6～9：インタラプト転送を設定してください。



### 27.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント“0”に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント“0”固定）です。
- パイプ1～9：1から15までを選択して設定してください。  
ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定してください。

### 27.3.4.4 マックスパケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ1～5はUSB規格2.0で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6～9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID[1:0]=01b (BUF)）に設定してください。

- DCP：8、16、32、64から選択して設定してください。
- パイプ1～5：バルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2：アイソクロナス転送時は、1から256の値を設定してください。
- パイプ6～9：1から64の値を設定してください。

### 27.3.4.5 トランザクションカウンタ (パイプ1～5読み出し方向)

USBは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する PIPE<sub>n</sub>TRN レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、PIPECFG.SHTNAK ビット設定が“1”との組み合わせによりカレントカウンタが指定回数に一致すると、当該 PIPE<sub>n</sub>CTR.PID[1:0] ビットを NAK 状態とし、次の転送を禁止状態にします。PIPE<sub>n</sub>TRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPE<sub>n</sub>TRE.TRENB ビットの設定により、PIPE<sub>n</sub>TRN レジスタ読み出し時の情報が異なります。

- TRENB ビットが“0”：設定したトランザクションカウンタ値が読めます。
- TRENB ビットが“1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID[1:0]=01b (BUF) の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

### 27.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットにて各パイプの応答 PID を設定します。各設定における USB の動作は下記のとおりです。

#### (1) ホストコントローラ機能選択時の応答 PID 設定

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定：バッファメモリの状況に応じてトランザクションが実施されます。  
OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。  
IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注． DCP のセットアップトランザクションは、DCPCTR.SUREQ ビットで設定します。

#### (2) ファンクションコントローラ機能選択時の応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して STALL 応答します。

注． セットアップトランザクションに対しては、PID[1:0] ビットの設定にかかわらず、ACK 応答し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USB による書き込みが発生する場合があります。USB により PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

#### (3) ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トークンの発行を自動的に停止します。  
アイソクロナス以外の転送で、NRDY 割り込みが発生したとき  
(詳細は、「27.3.3.2 NRDY 割り込み」を参照してください)  
ーバルク転送時に PIPECFG.SHTNAK ビットを“1”にした場合でショートパケットを受信したとき  
ーバルク転送時に SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トークンの発行を自動的に停止します。  
ー送信したトークンに対して STALL を受信したとき  
ー受信したデータパケットがマックスパケットサイズを超えたとき

#### (4) ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トランザクションに対して NAK 応答します。  
SETUP トークンを正常に受信したとき (DCP のみ)  
バルク転送時に PIPECFG.SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トランザクションに対して STALL 応答します。  
ー受信データパケットでマックスパケットサイズオーバーエラーを検出したとき  
ーコントロール転送シーケンスエラーを検出したとき (DCP のみ)

### 27.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、DCPCTRレジスタおよびPIPEnCTRレジスタのSQMONフラグにて確認できます。データ送信時はACKハンドシェイク受信タイミングで、データ受信時はACKハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTRレジスタおよびPIPEnCTRレジスタのSQCLRビット、SQSETビットにてデータPIDシーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時にUSBが自動的にシーケンスビットを設定します。セットアップステージ終了時はDATA1になります。ステータスステージではシーケンスビットは参照せず、PID=DATA1で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeatureリクエストの送信または受信時などは、ソフトウェアでデータPIDシーケンスビットを設定する必要がありますので注意してください。

### 27.3.4.8 応答PID = NAK 機能

USBには、PIPECFG.SHTNAKビットを“1”にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答PID=NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答PID=BUF）設定を行う必要があります。

なお、応答PID=NAK機能はバルク転送時のみ動作することが可能です。

### 27.3.4.9 自動応答モード

バルク転送のパイプ（パイプ1～5）において、PIPEnCTR.ATREPMビットを“1”にすると、自動応答モードとなります。OUT転送時（PIPECFG.DIRビットが“0”）にはOUT-NAKモードとなり、IN転送時（DIRビットが“1”）にはNull自動応答モードとなります。

### 27.3.4.10 OUT-NAKモード

バルクOUT転送のパイプにおいて、PIPEnCTR.ATREPMビットを“1”にすると、OUTトークンに対してNAK応答し、NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードに設定して、パイプ動作許可（応答PID=BUF）を行ってください。パイプ動作許可後に、OUT-NAKモードが有効になります。ただし、パイプ動作禁止にする直前でOUTトークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードを解除して、パイプ動作許可（応答PID=BUF）を行ってください。通常モードでは、OUTデータ受信が可能となります。

### 27.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを“1”にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。PIPEnCTR.INBUFM フラグが“0”であることで確認してください。INBUFM フラグが“1”の場合には、バッファ内にデータが存在しているため、PIPEnCTR.ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10 μs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

## 27.3.5 FIFO バッファメモリ

### 27.3.5.1 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB にて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と USB (SIE 側) にある場合があります。

#### (1) バッファステータス

表 27.16 および表 27.17 に USB のバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS フラグおよび PIPEnCTR.INBUFM フラグにて確認できます。バッファメモリの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で指定します。

なお、INBUFM フラグは送信方向のパイプ 1～5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS フラグは CPU 側のバッファの状態を、INBUFM フラグは SIE 側のバッファの状態を判断するために使用します。CPU または DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM フラグで送信完了を確認できます。

表 27.16 BSTS フラグによるバッファステータス

ISELまたはDIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、またはZero-Lengthパケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Lengthパケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPUは書き込み可能

表27.17 INBUFMフラグによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

### 27.3.5.2 FIFO バッファクリア

表 27.18 に USB による FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアすることができます。

パイプ 1～5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表27.18 各バッファクリア一覧

FIFO バッファクリアの種類	CPU側バッファメモリをクリアします	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです	受信したパケットをすべて破棄する自動バッファクリアモードです
当該レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
当該ビット	BCLR ビット	DCLRM ビット	ACLRM ビット
“0”になる条件	“1”書き込みで“0”になる	1：モード有効 0：モード無効	1：モード有効 0：モード無効

#### (1) 自動バッファクリアモード機能

USB には、PIPEnCTR.ACLRM ビットを“1”にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットを“1”にし、続けて“0”にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの“1”書き込みと“0”書き込みの間隔を 100ns 以上とってください。

### 27.3.5.3 FIFO ポートの機能

表 27.19 に USB の FIFO ポート機能設定表を示します。データ書き込み時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN[8:0] フラグが“0”) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] フラグにて確認します。

表 27.19 FIFOポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN読み出しモード選択
	REW	バッファメモリリwind(再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後自動クリア(DnFIFO専用)
	DREQE	DTC転送許可(DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向(DCP専用)
	CURPIPE	カレントパイプ選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	バッファメモリ書き込み終了
	BCLR	CPU側バッファメモリクリア
	DTLN	受信データ長確認

#### (1) FIFO ポート選択

表 27.20 に各 FIFO ポートで選択可能なパイプ表を示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します)、ポートコントロールレジスタの FRDY フラグが“1”であることを確認し、FIFO ポートへアクセスしてください。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG.DIR ビットに従います。ただし、DCP のみポート選択レジスタの ISEL ビットにより決定します。

表 27.20 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DTCアクセス	D0FIFO/D1FIFOポートレジスタ

## (2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビット設定と同時に REW ビットを“1”にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0”にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY フラグが“1”であることを確認する必要があります。



### 27.3.6 DCP を使用したコントロール転送

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

#### 27.3.6.1 ホストコントローラ機能選択時のコントロール転送

##### (1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに“1”を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0”になります。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP.DEVSEL[3:0] ビットを“0”にし、DEVADD0.USBSPPD[1:0] ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL[3:0] ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDn レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP.DEVSEL[3:0]=0010b のときは DEVADD2 レジスタを、PIPEMAXP.DEVSEL[3:0]=0101b のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN フラグおよび SACK フラグ)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR.SQMON フラグの内容にかかわらず、DATA0 のデータパケット (USB リクエスト) が送信されます。

##### (2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットし、PID[1:0] ビットを“01b” (BUF) に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

##### (3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR.DTLN[8:0] フラグで受信データ長を確認のうえ、CFIFOCTR.BCLR ビットでバッファメモリクリアを行ってください。



### 27.3.6.2 ファンクションコントローラ機能選択時のコントロール転送

#### (1) セットアップステージ

USBは、USBに対する正常なセットアップパケットに対してACK応答します。セットアップステージのUSBの動作を以下に示します。

新しいセットアップパケットを受信すると、USBは以下のビットをセットします。

- INTSTS0.VALID フラグを“1”にする
- DCPCTR.PID[1:0] ビットを“00b”(NAK)にセット
- DCPCTR.CCPL ビットを“0”にする

セットアップパケットに引き続きデータパケット受信すると、USBは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、VALIDフラグを“0”にした後にしてください。VALIDフラグが“1”の状態ではPID[1:0]=01b(BUF)設定が行えず、データステージを終了することができません。

VALIDフラグの機能により、USBは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBは、受信したUSBリクエストの方向ビット (bmRequestTypeのビット8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USBのステージ管理については図27.12を参照してください。

#### (2) データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFOSEL.ISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してデータ転送を行ってください。

#### (3) ステータスステージ

DCPCTR.PID[1:0]ビットが“01b”(BUF)の状態、DCPCTR.CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合  
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合  
USBはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

#### (4) コントロール転送自動応答機能

USBは、正常なSET\_ADDRESSリクエストに自動応答します。SET\_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestTypeが“00h”でない場合：コントロールライト転送以外
- wIndexが“00h”でない場合：リクエストエラー
- wLengthが“00h”でない場合：ノーデータコントロール転送以外
- wValueが“7Fh”より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]フラグが“011b”(Configuredステート)の場合：デバイスステートエラーのコントロール転送

SET\_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

### 27.3.7 バルク転送 (パイプ1～5)

バルク転送は、バッファメモリ使用方法 (シングル/ダブルバッファ設定) の選択ができます。

USBは、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能 (PIPECFG.BFRE ビット：「27.3.3.1 (2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき」参照)
- トランザクションカウント機能  
(PIPE<sub>n</sub>TRE.TRENB, TRCLR ビット、PIPE<sub>n</sub>TRN レジスタ：「27.3.4.5 トランザクションカウンタ (パイプ1～5読み出し方向)」参照)
- 応答 PID = NAK 機能 (PIPECFG.SHTNAK ビット：「27.3.4.8 応答 PID = NAK 機能」参照)
- 自動応答モード (PIPE<sub>n</sub>CTR.ATREPM ビット：「27.3.4.9 自動応答モード」参照)

### 27.3.8 インタラプト転送 (パイプ 6 ~ 9)

ファンクションコントローラ機能選択時、USB は、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

#### 27.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0] ビットに、トランザクションのインターバルを設定します。USB コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

##### (1) カウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEEnCTR.ACLRM ビットを“1”にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド

IITV[2:0] ビットは初期化されません。DVSTCTR0.UACT ビットを“1”にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

##### (2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID[1:0] を“00b” (NAK) または“1xb” (STALL) に設定した場合
- IN 方向 (受信) の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向 (送信) の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

### 27.3.9 アイソクロナス転送 (パイプ 1、2)

USB は、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (PIPEPERL.IITV[2:0] ビット指定)
- アイソクロナス IN 転送データセットアップコントロール (IDLY 機能)
- アイソクロナス IN 転送バッファフラッシュ機能 (PIPEPERL.IFIS ビット指定)

#### 27.3.9.1 アイソクロナス転送のエラー検出

USB は、アイソクロナス転送のエラー発生を、ソフトウェアで管理可能なように、下記のエラー情報の検出機能を持っています。表 27.21 および表 27.22 に USB がエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

##### (a) PID エラー

- 受信パケットの PID が不正な場合

##### (b) CRC エラー、ビットスタッフィングエラー

- 受信パケットの CRC にエラーがあった場合またはビットスタッフィングが不正な場合

##### (c) マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

##### (d) オーバラン、アンダランエラー

- ホストコントローラ機能選択時  
IN 方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合  
OUT 方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時  
IN 方向 (送信) の転送時に IN トークン受信時にバッファメモリにデータがない場合  
OUT 方向 (受信) の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

##### (e) インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合
- アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合

表 27.21 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、FRMNUM.OVRN フラグを“1”にします。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表27.22 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、FRMNUM.CRCEフラグを“1”にします
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PID[1:0]ビットを1xb (STALL)にセットします

### 27.3.9.2 データ PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

IN 方向

- DATA0：データパケットの PID として送信します
- DATA1：送信しません
- DATA2：送信しません
- mData：送信しません

OUT 方向

- DATA0：データパケットの PID として正常受信します
- DATA1：データパケットの PID として正常受信します
- DATA2：パケットを無視します
- mData：パケットを無視します

### 27.3.9.3 インターバルカウンタ

PIPEPERL.IITV[2:0] ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 27.23 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表27.23 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウンタは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2IITV[2:0] フレームです。

### (1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEEnCTR.ACLRM ビットを“1”にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERL.IITV[2:0] ビットは初期化されません。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウンタを開始します。

1. PID[1:0] = 01b (BUF) 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID[1:0] = 01b (BUF) 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを“00b” (NAK) または“1xb” (STALL) に設定した場合  
インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド  
IITV[2:0] ビットは初期化されません。SOF を受信すると、受信前の値からカウンタを開始します。

### (2) ホストコントローラ機能選択時のインターバルカウントと転送制御

PIPEPERL.IITV[2:0] ビットの設定値に従って USB はトークン発行間隔を制御します。USB は  $2^{IITV[2:0]}$  回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB は、ソフトウェアで PID[1:0] ビットを“01b” (BUF) に設定した次のフレームからトークン発行間隔のカウンタを開始します。

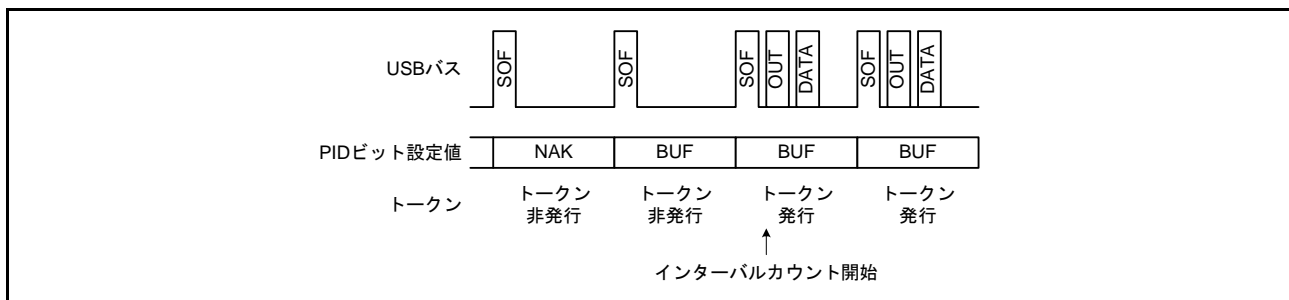


図 27.13 IITV[2:0] = 000b の場合のトークン発行有無

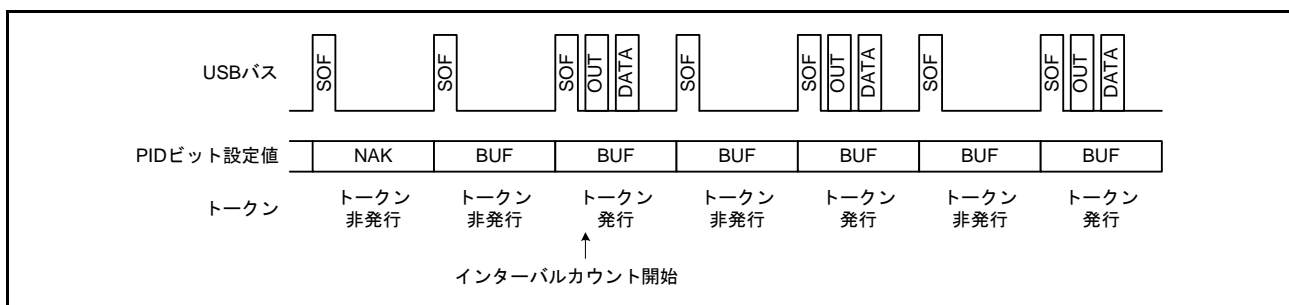


図 27.14 IITV[2:0] = 001b の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB はトークンを発行します。

**(a) 選択パイプがアイソクロナス IN 転送パイプの場合**

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

CPU または DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USB がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB は FRMNUM.OVRN フラグを“1”にし、NRDY 割り込みを発生させます。

**(b) 選択パイプがアイソクロナス OUT 転送パイプの場合**

CPU または DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で、送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB は OVRN フラグを“1”にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合は。

- USB が端子リセットされた場合  
（このとき、IITV[2:0] ビットへの設定値も“0”になります）
- ソフトウェアで PIPEnCTR.ACLRM ビットを“1”にした場合

**(3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御****(a) 選択パイプがアイソクロナス OUT 転送パイプの場合**

PIPEPERI.IITV[2:0] ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、USB は NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB がデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV[2:0]=000b 以外のときには、インターバルカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイム起動後、ソフトウェアで PID[1:0] ビットに“00b” (NAK) を設定した場合、USB は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。

- IITV[2:0]=000b の場合  
選択パイプの PID[1:0] ビットを“01b” (BUF) に変更した時点でインターバルのカウントを開始します。

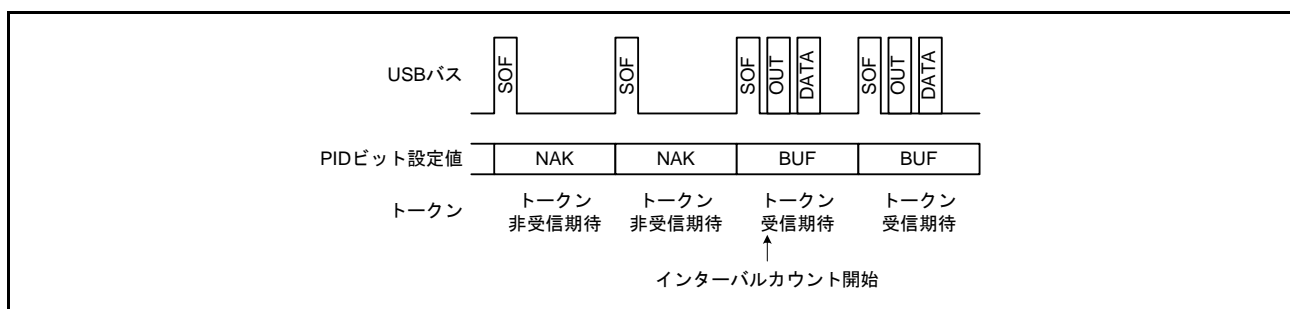


図 27.15 IITV[2:0] = 000b の場合のフレームとトークン受信期待有無の関係



- IITV[2:0] = 000b 以外の場合

選択パイプの PID[1:0] ビットを “01b” (BUF) に変更した後、最初の DATA パケット正常受信完了時点からインターバルのカウンタを開始します。

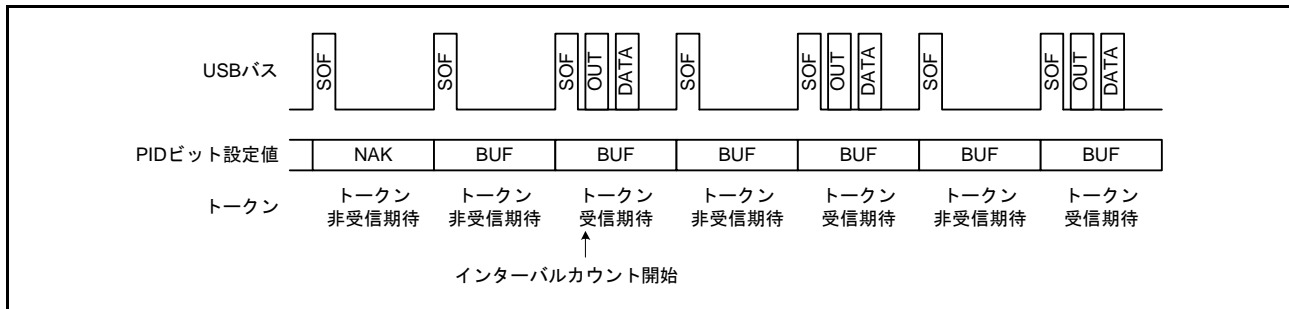


図 27.16 IITV[2:0] = 000b 以外の場合のフレームとトークン受信期待有無の関係

#### (b) 選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERL.IFIS ビットを “1” にして使用します。

IFIS ビットが “0” の場合には PIPEPERL.IITV[2:0] ビットへの設定値とは関係なく、受信したトークンにตอบสนองしてデータパケットを送信します。

IFIS ビットが “1” のときは、FIFO バッファに送信可能なデータが存在している状態で、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなかったとき、USB は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB が正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウンタ開始条件は、IITV[2:0] ビットの設定値により異なります (OUT 時と同様です)。

ファンクションコントローラ機能選択時のインターバルカウンタ開始条件は以下のいずれかの場合です。

- USB がハードウェアリセットされた場合 (このとき、IITV[2:0] ビットへの設定値も “000b” になります)
- ソフトウェアで PIPEnCTR.ACLRM ビットを “1” にした場合
- USB が USB バスリセットを検出した場合

#### (4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送付が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリは 1 パケット分だけとなります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 27.17 に USB で、IITV[2:0] = 000b (毎フレーム) にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。



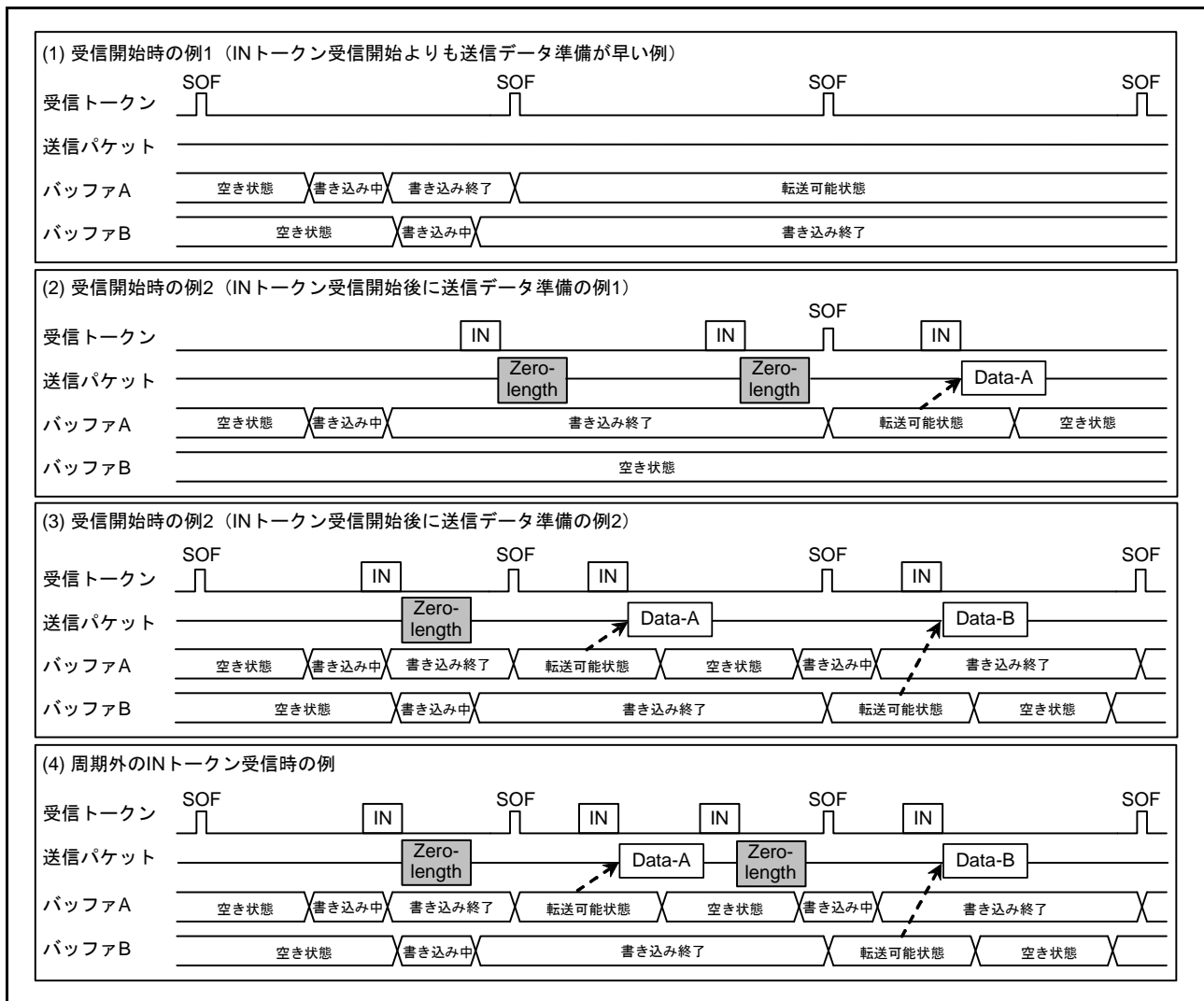


図 27.17 データセットアップ機能動作例

#### (5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USBは、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず、次フレームのSOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOFパケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能はPIPEPERI.IITV[2:0]ビットの設定値により動作開始タイミングが異なります。

- IITV[2:0] = 000b の場合  
パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV[2:0] = 000b 以外の場合  
最初の正常なトランザクション以降バッファフラッシュ動作します。

図 27.18 に USB のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

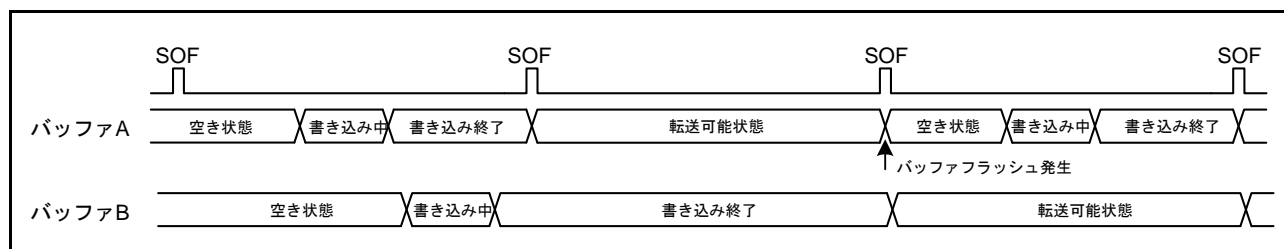


図 27.18 バッファフラッシュ機能動作例

図 27.19 に USB のインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は FRMNUM.OVRN フラグで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

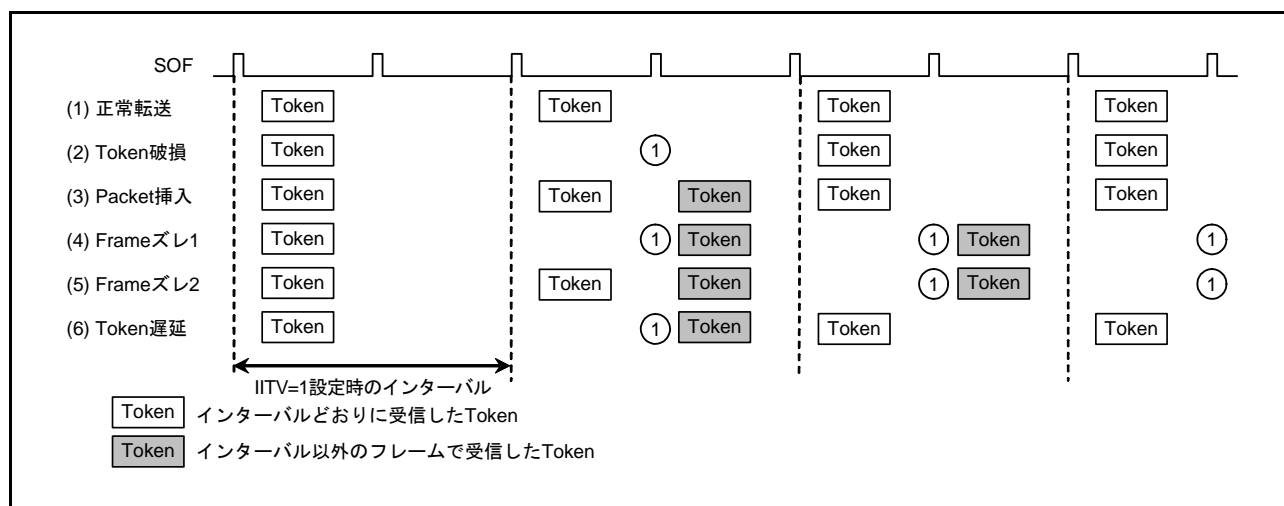


図 27.19 IITV[2:0] = 001b のときのインターバルエラー発生例

### 27.3.10 SOF 補完機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1 ms 間隔で SOF パケットを受信できなかった場合に、USB は SOF を補完します。SOF 補完動作の開始は SYSCFG.USBE ビットが“1”、SYSCFG.SCKE ビットが“1”かつ SOF パケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- サスペンド検出

また、SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48 MHz で 1 ms をカウントし補完する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補完する
- サスペンド時および USB バスリセット受信中は補完しない

USB は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] フラグは更新されません。

### 27.3.11 パイプスケジュール

#### 27.3.11.1 トランザクション発行条件

USB は、ホストコントローラ機能選択時、DVSTCTR0.UACT ビットを“1”にしたあと、表 27.24 に示す条件でトランザクションを発行します。

表27.24 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID[1:0]	IITV[0]	バッファの状態	SUREQ
セットアップ	— (注1)	— (注1)	— (注1)	— (注1)	“1” 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注1)
	OUT	BUF	無効	送信データあり	— (注1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注1)
	OUT	BUF	有効	送信データあり	— (注1)
アイソクロナス転送	IN	BUF	有効	(注2)	— (注1)
	OUT	BUF	有効	(注3)	— (注1)

注1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

注2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

注3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Lengthパケットを送信します。

### 27.3.11.2 転送スケジュール

USB のフレーム内の転送スケジューリング方法について説明します。USB は、SOF を送信後、以下に示す順番で転送を行います。

#### 1. 周期的転送の実行

パイプ1 → パイプ2 → パイプ6 → パイプ7 → パイプ8 → パイプ9 の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

#### 2. コントロール転送のセットアップトランザクション

DCP を確認してセットアップトランザクションが可能であれば送信します。

#### 3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP → パイプ1 → パイプ2 → パイプ3 → パイプ4 → パイプ5 の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

### 27.3.11.3 USB 通信許可

DVSTCTR0.UACT ビットを“1”にすることにより、SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを“0”にすると、SOF の送信を停止しサスペンドとなります。UACT ビットを“1”から“0”にする場合、次の SOF を送信してから停止します。

## 27.4 使用上の注意事項

### 27.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USB の動作禁止 / 許可することができます。リセット後の値では、USB の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

## 27.5 Battery Charging 検知処理

Battery Charging 規格が定める Data Contact Detection 処理 (D+ 線接触確認)、Primary Detection 処理 (Charger 検知処理)、Secondary Detection 処理 (Charger 判定処理) の制御をコントロールすることができます。

以下の項で、Function Device, Host Device それぞれの場合に求められる動作を説明します。

### 27.5.1 ファンクションコントローラ時の処理

Battery Charging の Portable Device として動作させる場合、以下の処理が求められます。

- (1) Data 線 (D+/D-) の接触を検知し、Primary Detection 処理を開始。
- (2) Primary Detection 開始後、40 ms のマスク期間後、D- の電圧レベルにより、Primary Detection の結果を確認。
- (3) Primary Detection で Charger 検知となった場合、さらに、Secondary Detection を開始する。
- (4) Secondary Detection 開始後、40 ms のマスク期間後、D+ の電圧レベルにより、Secondary Detection の結果を確認。

(1) に対しては、VBINT 割り込み、VBSTS フラグにより、VBUS を検知した後、300 ms ~ 900 ms のソフトウェアウェイト後、USBBCCTRL0 レジスタの VDPSRCE0 ビット、IDMSINKE0 ビットを“1”にします。もしくは、IDPSRCE0 ビットを“1”にし、LNST[1:0] フラグにより、D+ 線が High から Low になることを検知し、IDPSRCE0 ビットを“0”、VDPSRCE0 ビット、IDMSINKE0 ビットを“1”にします。VDPSRCE0 ビット、IDMSINKE0 ビットは同時に“1”にしてください。(注1)

(2) に対しては、VDPSRCE0 ビット、IDMSINKE0 ビットを“1”にして 40 ms のソフトウェアウェイト後、CHGDETSTS0 フラグにより、Primary Detection の結果を判断します。(注2)

(3) に対しては、(2) の処理で CHGDETSTS0 フラグが“1”になっている場合、Charger 検知したとして判断し、VDPSRCE0 ビット、IDMSINKE0 ビットを“0”にし、VDMSRCE0 ビット、IDPSINKE0 ビットを“1”にします。

(4) に対しては、VDMSRCE0 ビット、IDPSINKE0 ビットを“1”にして 40 ms のソフトウェアウェイト後、PDDETSTS0 フラグにより、Secondary Detection の結果を判断します。

以下に処理フロー図を示します。

- 注 1. Battery Charging 規格では、Data Contact Detection (D+/D- ラインの接触確認) のための処理フローとして 2 通りの実装方法を示してあります。一つは、D+ ラインに 7 ~ 13  $\mu$ A の電流を印加することで D+ ラインを Logic High 状態にしておき、D+/D- ラインが相手と接触するとホスト機器側のプルダウン抵抗により Logic Low になることを検知する方法です。もう一方の方法は、VBUS 検知後 300 ms ~ 900 ms 間ウェイトする方法です。
- 注 2. Primary Detection では、D- ラインが 0.25 V ~ 0.4 V 以上、0.8 V ~ 2.0 V 以下であることを検知することで相手機器が Battery Charging 対応ホスト機器 (Charging Downstream Port) と判断します。CHGDETSTS0 フラグが D- ラインの 0.25 V ~ 0.4 V 以上ということだけを示すような PHY を使用される場合、LNST[1:0] フラグにより D- ラインが 0.8 V ~ 2.0 V 以下であることの確認処理を適宜追加してください。

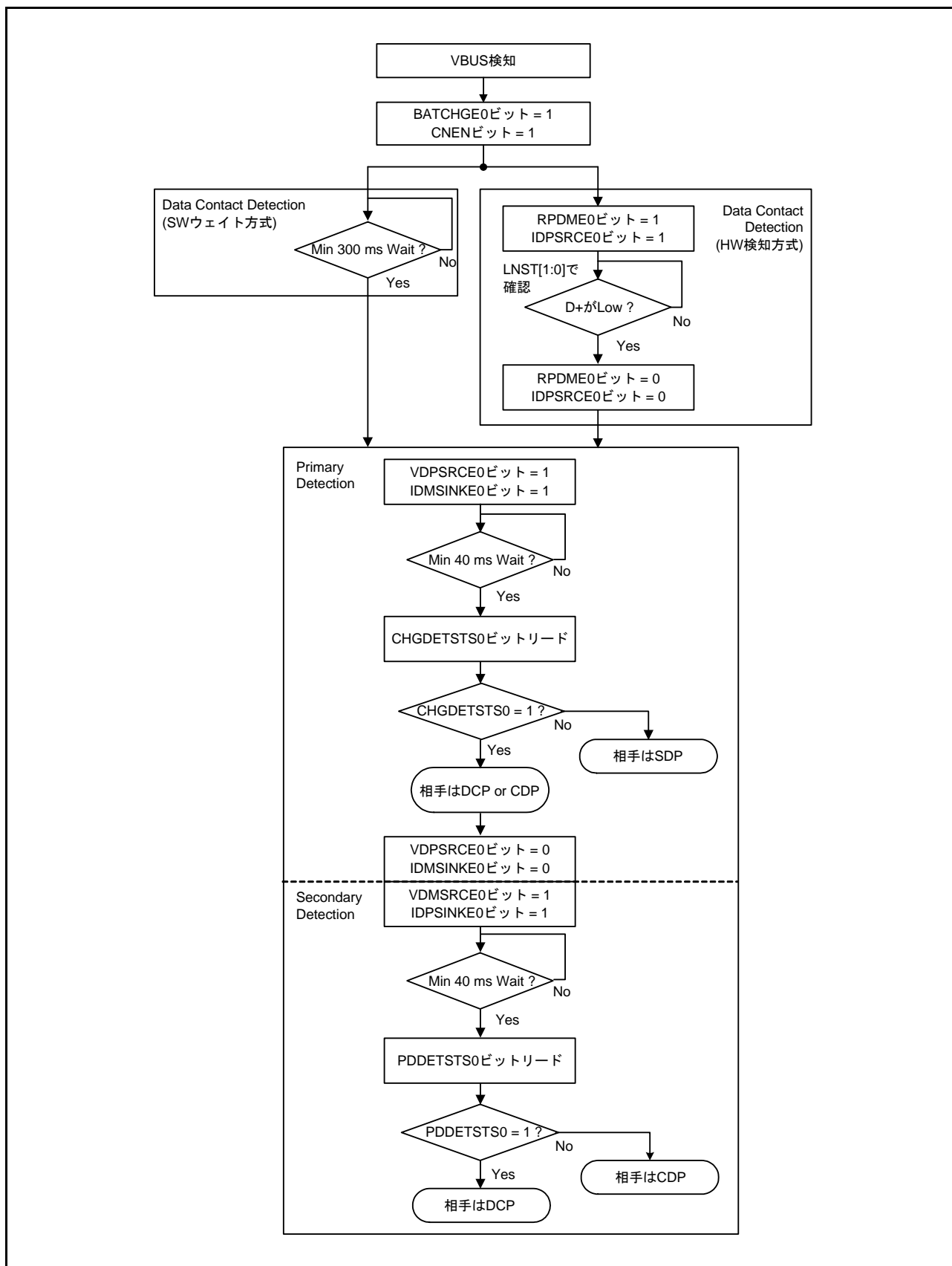


図 27.20 Portable Device としての処理フロー

### 27.5.2 ホストコントローラ時の処理

Battery Charging の Charging Downstream Port として動作させる場合は、以下の処理が求められます。

- (1) VBUS のドライブを開始。
- (2) PortableDevice 検知回路を有効にする。
- (3) PortableDevice 検知信号をモニタし、PortableDevice 検知信号が High であれば D-ラインのドライブを開始。
- (4) PortableDevice 検知信号が Low であることを検知して、D-ラインのドライブを終了。

Battery Charging 規格では、もしくは、以下の処理でもよいとなっています。

- (A) 切断検知後、200 ms以内にD-ラインのドライブを開始。
- (B) 接続検知後、10 ms以内にD-ラインのドライブを終了。

つまり、Portable Device が「27.5.1 ファンクションコントローラ時の処理」で示した Primary Detection を検知することができるために、D-ラインをドライブすることが求められます。上記の(1)～(4)の方式は、ハードウェアとして Portable Device 検知機能を持っている場合であり、Portable Device を検知した場合に D-ラインをドライブする方式です。(A)～(B)はハードウェアとして Portable Device 検知機能を持たない場合、もしくは使用しない場合であり、Portable Device 検知の有無に関わらず、Dis-Connect 状態で D-ラインのドライブ ON、Connect 状態でドライブ OFF の制御を行う方式です。Battery Charging 規格では、どちらの方式を採用してもよいとされています。

(3)、(4)に対しては、PDDETINT 割り込みで PortableDevice 検知信号の変化を検知し、PDDETSTS0 フラグをリードし、現在の信号状態を知ることができます。

(A)、(B)はソフトウェアタイマのみで実現可能です。

(1)～(4)の処理、(A)～(B)の処理の処理フロー図を、それぞれ以下に示します。

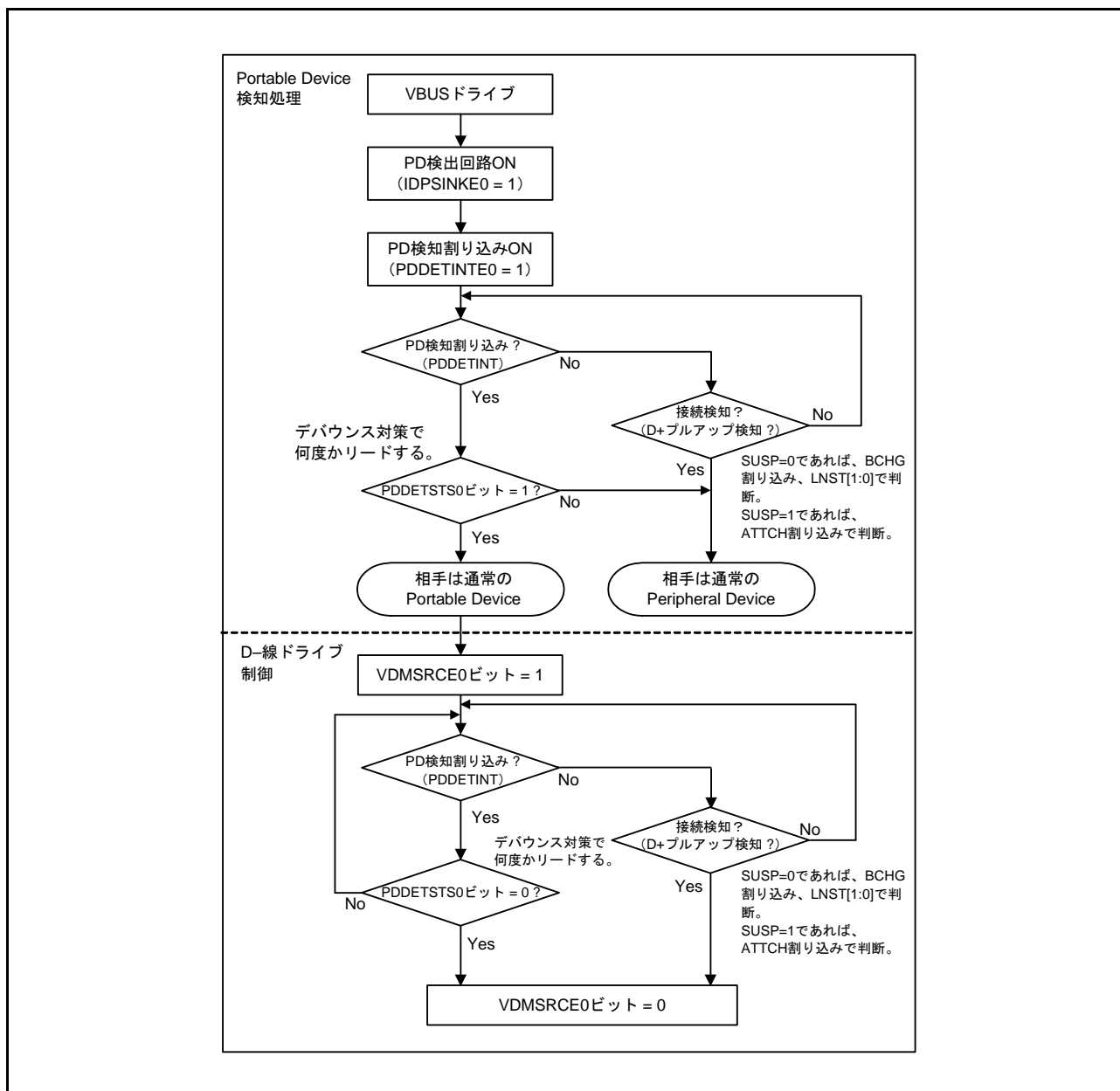


図 27.21 Charging Downstream Port としての処理フロー ((1) ~ (4) の処理)



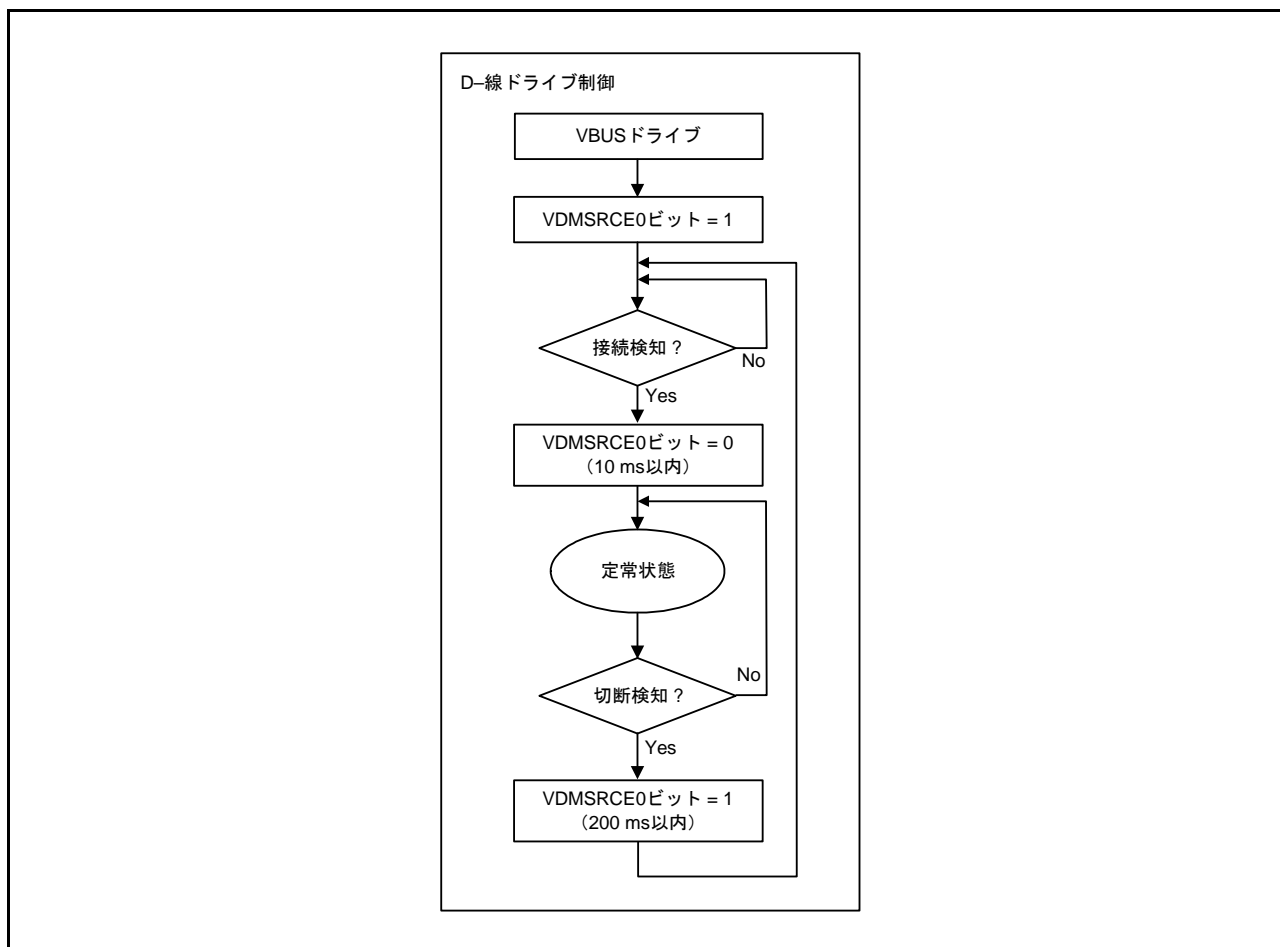


図 27.22 Charging Downstream Port としての処理フロー ((A) ~ (B) の処理)

## 28. シリアルコミュニケーションインタフェース (SCIE, SCIf)

本 MCU は、独立した 8 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIE モジュール (SCIO, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9) と、SCIf モジュール (SCI12) から構成されています。

SCIE (SCIO, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I<sup>2</sup>C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIf (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

### 28.1 概要

表 28.1 に SCIE の仕様を、表 28.2 に SCIf の仕様を、表 28.3 に SCI チャンネル別機能一覧を示します。

図 28.1 に SCIO、SCI2、SCI6、SCI8、SCI9 のブロック図を、図 28.2 に SCI1、SCI5 のブロック図を、図 28.3 に SCI12 (SCIf) のブロック図を示します。

表 28.1 SCIE の仕様 (1/2)

項目	内容	
シリアル通信方式	<ul style="list-style-type: none"> <li>調歩同期式</li> <li>クロック同期式</li> <li>スマートカードインタフェース</li> <li>簡易 I<sup>2</sup>C バス</li> <li>簡易 SPI バス</li> </ul>	
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能	
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
入出力端子	表 28.4～表 28.6 参照	
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)	
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー開始条件/再開始条件/停止条件生成終了 (簡易 I <sup>2</sup> C モード用)	
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能	
調歩同期モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能
	ブ레이크検出	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出すことでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 MTU からの転送レートクロック入力が可能 (SCI1, SCI5)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵

表 28.1 SCleの仕様 (2/2)

項目		内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
	通信フォーマット	I <sup>2</sup> Cバスフォーマット
簡易I <sup>2</sup> Cモード	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「28.2.9 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
	データ長	8ビット
簡易SPIモード	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	イベントリンク機能(SCI5のみ対応)	エラー(受信エラー・エラーシグナル検出)イベント出力 受信データフルイベント出力 送信データエンプティイベント出力 送信終了イベント出力

注1. 簡易I<sup>2</sup>Cモードでは、MSBファーストでのみ使用可能です。

表 28.2 SCIfの仕様 (1/2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> <li>調歩同期式</li> <li>クロック同期式</li> <li>スマートカードインタフェース</li> <li>簡易I<sup>2</sup>Cバス</li> <li>簡易SPIバス</li> </ul>
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 28.4～表 28.7参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー 開始条件/再開条件/停止条件生成終了(簡易I <sup>2</sup> Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 MTUからの転送レートクロック入力が可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去		RXDn端子入力経路にデジタルノイズフィルタを内蔵

表 28.2 SCIFの仕様 (2/2)

	項目	内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I <sup>2</sup> Cモード	通信フォーマット	I <sup>2</sup> Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「28.2.9 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame 送信	<ul style="list-style-type: none"> <li>Break Field Low widthの出力が可能/出力完了割り込み機能あり</li> <li>バス衝突検出機能あり/検出割り込み機能あり</li> </ul>
	Start Frame 受信	<ul style="list-style-type: none"> <li>Break Field Low widthの検出が可能/検出完了割り込み機能あり</li> <li>Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり</li> <li>Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能</li> <li>Control Field 1にプライオリティインタラプトビットを設定可能</li> <li>Break FieldがないStart Frameにも対応可能</li> <li>Control Field 0がないStart Frameにも対応可能</li> <li>ビットレート測定機能あり</li> </ul>
	入出力制御機能	<ul style="list-style-type: none"> <li>TXDX12/RXDX12信号の極性選択が可能</li> <li>RXDX12信号にデジタルフィルタ機能を設定可能</li> <li>RXDX12端子とTXDX12端子を兼用した半二重通信が可能</li> <li>RXDX12端子受信データサンプリングタイミング選択可能</li> </ul>
	タイマ機能	<ul style="list-style-type: none"> <li>リロードタイマ機能として使用可能</li> </ul>

注1. 簡易I<sup>2</sup>Cモードでは、MSBファーストでのみ使用可能です。

表 28.3 SCIチャネル別機能一覧

項目	SCI0, SCI2, SCI6, SCI8, SCI9	SCI1	SCI5	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I <sup>2</sup> Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
拡張シリアルモード	—	—	—	○
MTUクロック入力	—	○	○	○
イベントリンク機能	—	—	○	—

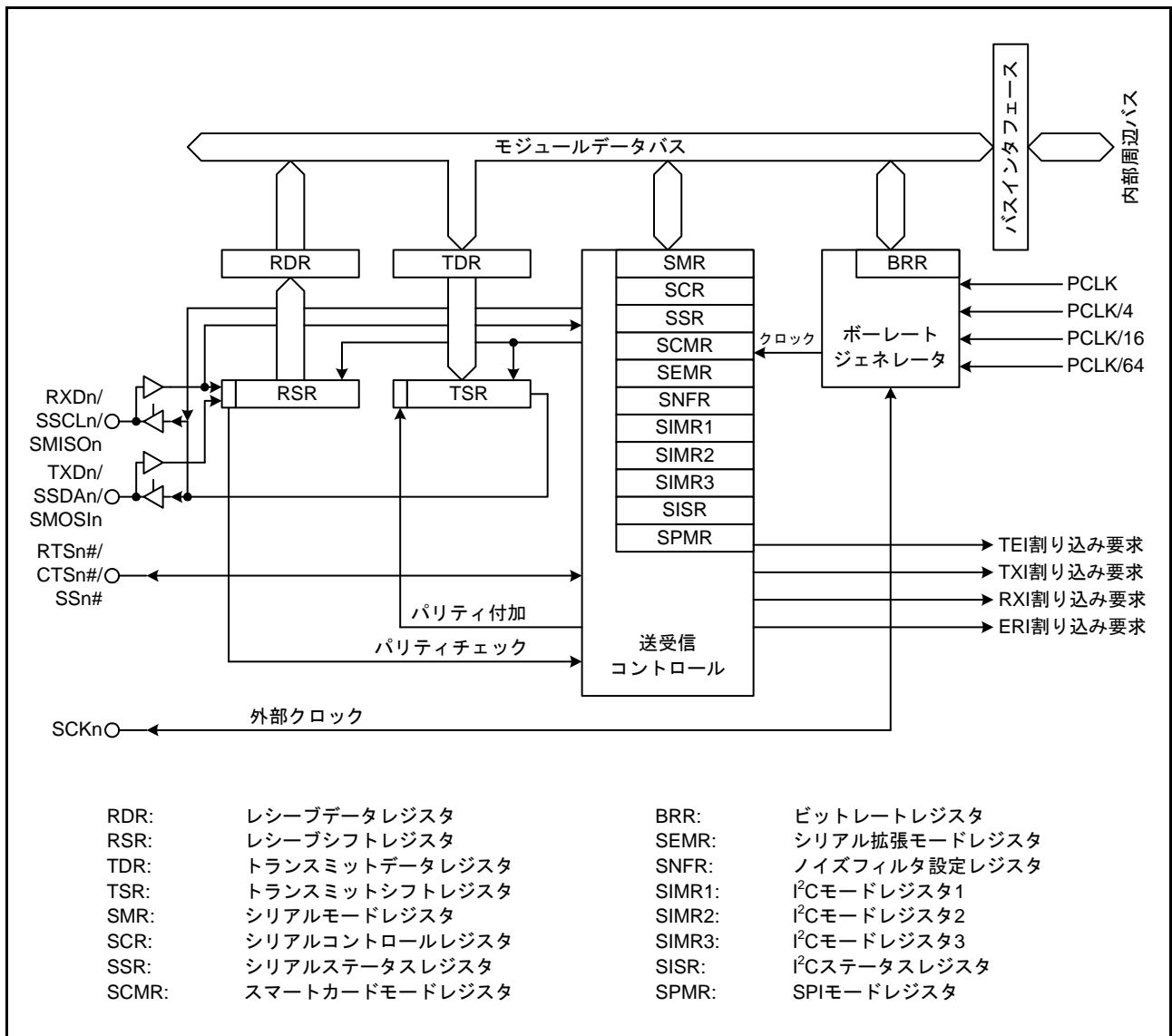


図 28.1 SCIE (SCI0, SCI2, SCI6, SCI8, SCI9) のブロック図

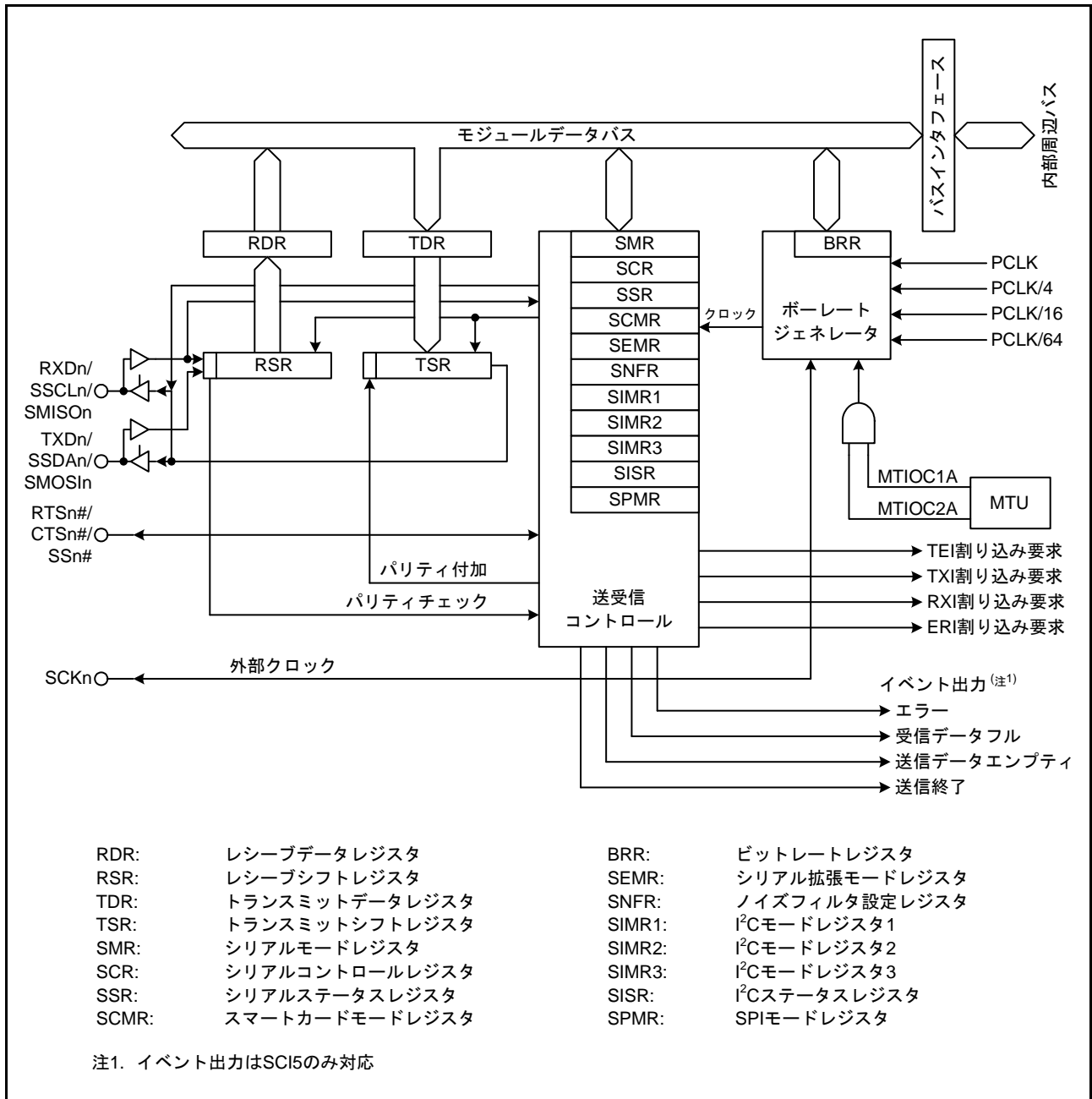


図 28.2 SCle (SCI1, SCI5) のブロック図

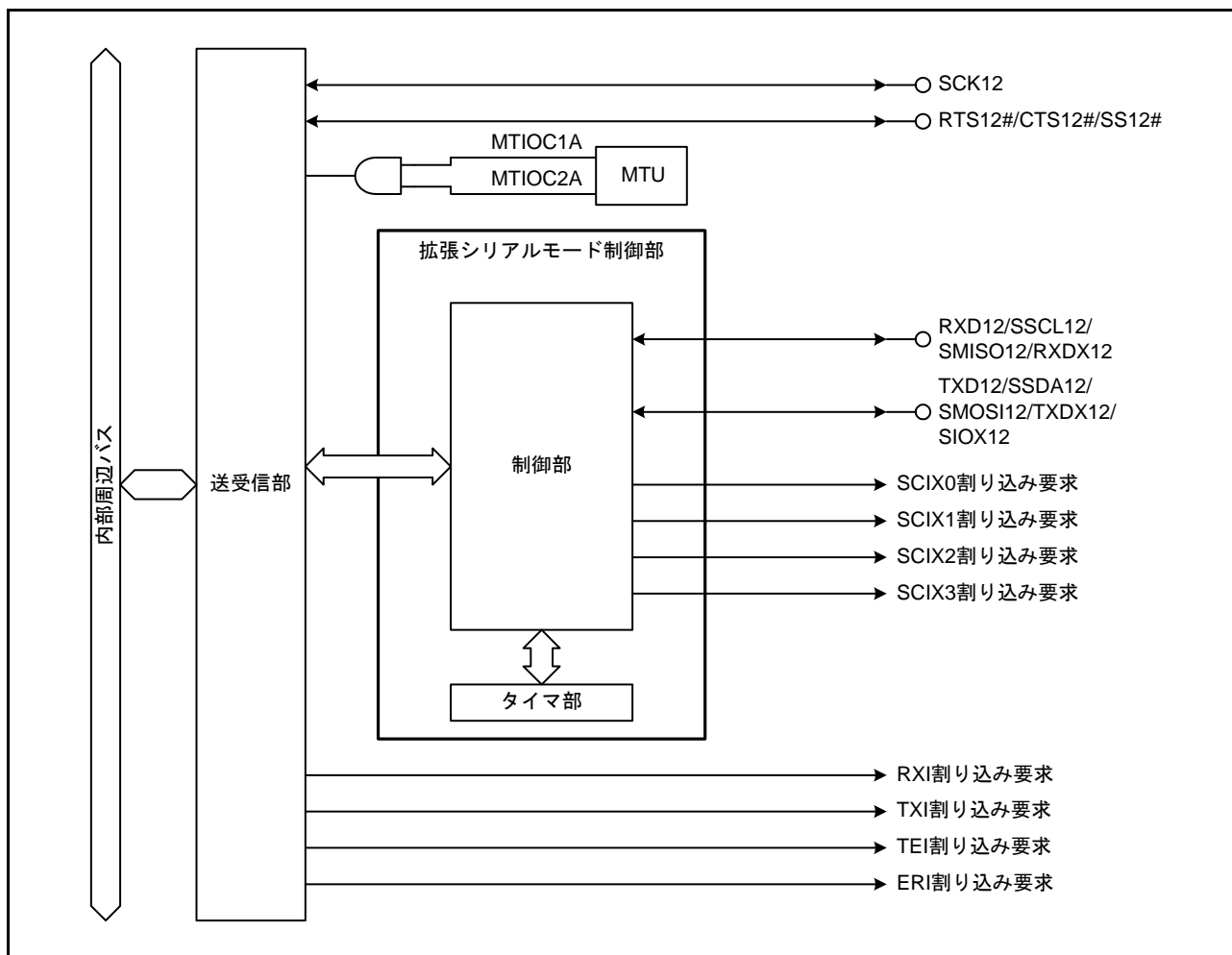


図 28.3 SCIf (SCI12) のブロック図

表 28.4 ~ 表 28.7 に SCI の入出力端子をモード別に示します。

表 28.4 SCI の入出力端子 (調歩同期式/クロック同期式モード)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2	入力	SCI2の受信データ入力端子
	TXD2	出力	SCI2の送信データ出力端子
	CTS2#/RTS2#	入出力	SCI2送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 28.5 SCI の入出力端子 (簡易 I<sup>2</sup>C モード) (1/2)

チャンネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0の I <sup>2</sup> C クロック入出力端子
	SSDA0	入出力	SCI0の I <sup>2</sup> C データ入出力端子
SCI1	SSCL1	入出力	SCI1の I <sup>2</sup> C クロック入出力端子
	SSDA1	入出力	SCI1の I <sup>2</sup> C データ入出力端子
SCI2	SSCL2	入出力	SCI2の I <sup>2</sup> C クロック入出力端子
	SSDA2	入出力	SCI2の I <sup>2</sup> C データ入出力端子
SCI5	SSCL5	入出力	SCI5の I <sup>2</sup> C クロック入出力端子
	SSDA5	入出力	SCI5の I <sup>2</sup> C データ入出力端子



表 28.5 SCIの入出力端子(簡易I<sup>2</sup>Cモード) (2/2)

チャンネル	端子名	入出力	機能
SCI6	SSCL6	入出力	SCI6のI <sup>2</sup> Cクロック入出力端子
	SSDA6	入出力	SCI6のI <sup>2</sup> Cデータ入出力端子
SCI8	SSCL8	入出力	SCI8のI <sup>2</sup> Cクロック入出力端子
	SSDA8	入出力	SCI8のI <sup>2</sup> Cデータ入出力端子
SCI9	SSCL9	入出力	SCI9のI <sup>2</sup> Cクロック入出力端子
	SSDA9	入出力	SCI9のI <sup>2</sup> Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI <sup>2</sup> Cクロック入出力端子
	SSDA12	入出力	SCI12のI <sup>2</sup> Cデータ入出力端子

表 28.6 SCIの入出力端子(簡易SPIモード)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	SMISO2	入出力	SCI2のスレーブ送出データ入出力端子
	SMOSI2	入出力	SCI2のマスタ送出データ入出力端子
	SS2#	入力	SCI2チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 28.7 SCIの入出力端子(拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

## 28.2 レジスタの説明

### 28.2.1 レシーブシフトレジスタ (RSR)

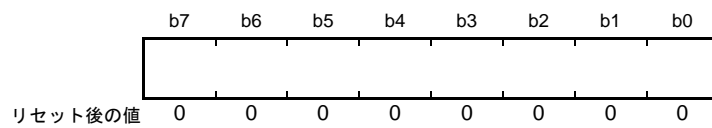
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

### 28.2.2 レシーブデータレジスタ (RDR)

アドレス SC10.RDR 0008 A005h, SC11.RDR 0008 A025h, SC12.RDR 0008 A045h, SC15.RDR 0008 A0A5h,  
SC16.RDR 0008 A0C5h, SC18.RDR 0008 A105h, SC19.RDR 0008 A125h, SC12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

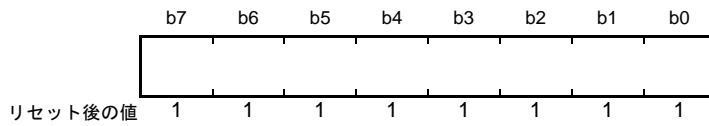
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

### 28.2.3 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 A003h, SCI1.TDR 0008 A023h, SCI2.TDR 0008 A043h, SCI5.TDR 0008 A0A3h,  
SCI6.TDR 0008 A0C3h, SCI8.TDR 0008 A103h, SCI9.TDR 0008 A123h, SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

### 28.2.4 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

### 28.2.5 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

#### (1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SC10.SMR 0008 A000h, SC11.SMR 0008 A020h, SC12.SMR 0008 A040h, SC15.SMR 0008 A0A0h, SC16.SMR 0008 A0C0h, SC18.SMR 0008 A100h, SC19.SMR 0008 A120h, SC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PE ビット = 1 のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効) 0 : データ長8ビットで送受信 (注2) 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I <sup>2</sup> Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「28.2.9 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7)は送信されません。

注4. SCR.TE ビット = 0、SCR.RE ビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

**CKS[1:0] ビット (クロックセレクトビット)**

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「28.2.9 ビットレートレジスタ (BRR)」を参照してください。

**MP ビット (マルチプロセッサモードビット)**

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

**STOP ビット (ストップビットレングスビット)**

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

**PM ビット (パリティモードビット)**

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

**PE ビット (パリティイネーブルビット)**

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

**CHR ビット (キャラクタレングスビット)**

送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

## (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMCIO.SMR 0008 A000h, SMC11.SMR 0008 A020h, SMC12.SMR 0008 A040h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h, SMC18.SMR 0008 A100h, SMC19.SMR 0008 A120h, SMC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表 28.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0 : 非ブロック転送モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 非GSMモードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「28.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

**CKS[1:0] ビット (クロックセレクトビット)**

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「28.2.9 ビットレートレジスタ (BRR)」を参照してください。

**BCP[1:0] ビット (基本クロックパルスビット)**

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「28.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表 28.8 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「28.2.9 ビットレートレジスタ(BRR)」中のSの値を表します。

### PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「28.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

### PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

### BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「28.6.3 ブロック転送モード」を参照してください。

### GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「28.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「28.6.8 クロック出力制御」を参照してください。



## 28.2.6 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

## (1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SCR 0008 A002h, SCI1.SCR 0008 A022h, SCI2.SCR 0008 A042h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI8.SCR 0008 A102h, SCI9.SCR 0008 A122h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロックまたはMTUクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 MTUクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。  (クロック同期式の場合) b1 b0 0 x: 内部クロック SCKn端子はクロック出力端子となります 1 x: 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0: TEI割り込み要求を禁止 1: TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0: 通常の受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF, ORER, FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブル ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SCI1、SCI5、SCI12のみ選択可能。

注3. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

**CKE[1:0] ビット (クロックイネーブルビット)**

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 MTU クロックは SEMR.ACS0 ビットと組み合わせて設定します。

**TEIE ビット (トランスミットエンド インタラプトイネーブルビット)**

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I<sup>2</sup>C モードでは、開始/再開/停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

**MPIE ビット (マルチプロセッサインタラプトイネーブルビット)**

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「28.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、RDRF、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

**RE ビット (レシーブイネーブルビット)**

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

**TE ビット (トランスミットイネーブルビット)**

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

**RIE ビット (レシーブインタラプトイネーブルビット)**

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

**TIE ビット (トランスミットインタラプトイネーブルビット)**

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

## (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC10.SCR 0008 A002h, SMC11.SCR 0008 A022h, SMC12.SCR 0008 A042h, SMC15.SCR 0008 A0A2h,  
SMC16.SCR 0008 A0C2h, SMC18.SCR 0008 A102h, SMC19.SCR 0008 A122h, SMC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> <li>SMR.GMビット=0の場合 b1 b0 0 0 : 出力ディセーブル SCKn端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください</li> <li>SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定</li> </ul>	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「28.11 割り込み要因」を参照してください。

**CKE[1:0] ビット (クロックイネーブルビット)**

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「28.6.8 クロック出力制御」を参照してください。

**TEIE ビット (トランスミットエンドインタラプトイネーブルビット)**

スマートカードインタフェースモードでは“0”としてください。

**MPIE ビット (マルチプロセッサインタラプトイネーブルビット)**

スマートカードインタフェースモードでは“0”としてください。

**RE ビット (レシーブイネーブルビット)**

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

**TE ビット (トランスミットイネーブルビット)**

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

**RIE ビット (レシーブインタラプトイネーブルビット)**

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

**TIE ビット (トランスミットインタラプトイネーブルビット)**

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

### 28.2.7 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

#### (1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SSR 0008 A004h, SCI1.SSR 0008 A024h, SCI2.SSR 0008 A044h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI8.SSR 0008 A104h, SCI9.SSR 0008 A124h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

#### MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

#### TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき  
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態でも TDR レジスタへ送信データを書き込んだとき  
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

### PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき  
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき  
PER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。  
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

### FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき  
2ストップモードのときは、1ビット目のストップビットが "1" であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき  
FER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。  
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

### ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき  
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき  
ORER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。  
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

**RDRF フラグ (受信データフルフラグ)**

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを読み出したとき

**TDRE フラグ (送信データエンプティフラグ)**

TDR レジスタ内の送信データの有無を表示します。

["1"になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

**(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)**

アドレス SMC10.SSR 0008 A004h, SMC11.SSR 0008 A024h, SMC12.SSR 0008 A044h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h, SMC18.SSR 0008 A104h, SMC19.SSR 0008 A124h, SMC12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0"としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。



### TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき  
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき  
セットされるタイミングは、レジスタの設定により以下のように異なります。  
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後  
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後  
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後  
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき  
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

### PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき  
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき  
PER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。  
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

### ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき  
ERS フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。  
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。



**ORER フラグ (オーバランエラーフラグ)**

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき  
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき  
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。  
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

**RDRF フラグ (受信データフルフラグ)**

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

**TDRE フラグ (送信データエンプティフラグ)**

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

## 28.2.8 スマートカードモードレジスタ (SCMR)

アドレス SCIO.SCMR 0008 A006h, SCI1.SCMR 0008 A026h, SCI2.SCMR 0008 A046h, SCI5.SCMR 0008 A0A6h, SCI6.SCMR 0008 A0C6h, SCI8.SCMR 0008 A106h, SCI9.SCMR 0008 A126h, SCI12.SCMR 0008 B306h, SMCIO.SCMR 0008 A006h, SMC11.SCMR 0008 A026h, SMC12.SCMR 0008 A046h, SMC15.SCMR 0008 A0A6h, SMC16.SCMR 0008 A0C6h, SMC18.SCMR 0008 A106h, SMC19.SCMR 0008 A126h, SMC112.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	—	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I <sup>2</sup> Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット (注2、注3)	0: TDRレジスタのデータビットをそのままTSRレジスタに転送、RSRレジスタのデータビットをそのままRDRレジスタに転送 1: TDRレジスタのデータビットを反転してTSRレジスタに転送、RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データ転送方向ビット (注2、注4)	0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表28.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. スマートカードインタフェースモード、調歩同期式モード(マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。

注3. 簡易I<sup>2</sup>Cモードで動作させる場合は、“0”にしてください

注4. 簡易I<sup>2</sup>Cモードで動作させる場合は、“1”にしてください

**SMIF ビット (スマートカードインタフェースモードセレクトビット)**

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式(マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I<sup>2</sup>Cモードで動作させるときは、“0”を設定します。

**SINV ビット (送受信データインパートビット)**

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

**BCP2 ビット (基本クロックパルスビット2)**

スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を、SMR.BCP[1:0]ビットと組み合わせて選択します。

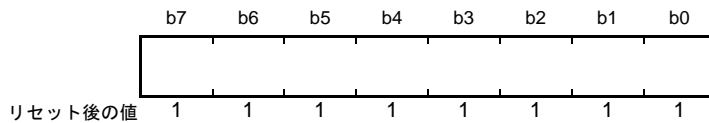
表 28.9 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「28.2.9 ビットレートレジスタ(BRR)」中のSの値を表します。

## 28.2.9 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 A001h, SCI1.BRR 0008 A021h, SCI2.BRR 0008 A041h, SCI5.BRR 0008 A0A1h,  
SCI6.BRR 0008 A0C1h, SCI8.BRR 0008 A101h, SCI9.BRR 0008 A121h, SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I<sup>2</sup>C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 28.10 に示します。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 28.10 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCS ビット	BRR レジスタの設定値	誤差 (%)
調歩同期式、 マルチプロ セッサ通信	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易 SPI		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース		$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I <sup>2</sup> C (注1)		$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 ( $0 \leq N \leq 255$ )

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 28.12、表 28.13 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I<sup>2</sup>C モードでの SCL 出力の High/Low 幅が I<sup>2</sup>C-bus 規格を満たすようビットレートを調整してください。

表 28.11 SCL High/Low 幅算出式

モード	SCL	算出式 (秒(s))
I <sup>2</sup> C	High 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 28.12 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 28.13 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 28.14 に、各動作周波数における設定可能な最高ビットレートを表 28.15 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 28.18 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 28.20 に、簡易 I<sup>2</sup>C モードにおける BRR レジスタの値 N の設定例を表 28.22 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「28.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 28.16、表 28.19 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットを“1”にしたときのビットレートは表 28.14 の 2 倍になります。

表28.14 ビットレートに対するBRRの設定例(調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. SEMR.ABCSビットが“0”のときの例です。  
 ABCSビットを“1”にしたときは、ビットレートが2倍になります。

表 28.15 各動作周波数における最高ビットレート(調歩同期式モード)

PCLK (MHz)	n	N	最高ビットレート (bps)	PCLK (MHz)	n	N	最高ビットレート (bps)
8	0	0	250000	17.2032	0	0	537600
9.8304	0	0	307200	18	0	0	562500
10	0	0	312500	19.6608	0	0	614400
12	0	0	375000	20	0	0	625000
12.288	0	0	384000	25	0	0	718250
14	0	0	437500	30	0	0	937500
16	0	0	500000				

注. SEMR.ABCSビットを“1”にしたときは、ビットレートが2倍になります。

表 28.16 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表 28.17 MTUクロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	MTUクロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000

表28.18 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	3	155	3	249						
500	2	249	3	77	3	124	3	155	3	194	3	233
1k	2	124	2	155	2	249	3	77	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—		
2M	0	0 (注1)			0	1			—	—		
2.5M			0	0 (注1)			0	1			0	2
4M					0	0 (注1)						
5M							0	0 (注1)				
6.25M									0	0 (注1)		
7.5M											0	0 (注1)

空欄：誤差が5%を超えるため、設定できません。

—：設定可能ですが1～5%の誤差がでます。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表28.19 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000



表 28.20 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01

表 28.21 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表 28.22 ビットレートに対するBRRの設定例(簡易I<sup>2</sup>Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	1	23	-2.3
25k	1	9	-6.3
50k	1	4	-6.3
100k	1	2	-21.9
250k	0	3	-6.3
350k	0	2	-10.7

表28.23 各ビットレート設定でのSCL High/Low幅最小値(簡易I<sup>2</sup>Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.50/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)					
	25			30		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33
50k	1	3	8.96/10.24	1	4	9.33/10.66
100k	1	1	4.48/5.12	1	2	5.60/6.40
250k	0	3	2.24/2.56	0	3	1.86/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60

## 28.2.10 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 A007h, SCI1.SEMR 0008 A027h, SCI2.SEMR 0008 A047h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI8.SEMR 0008 A107h, SCI9.SEMR 0008 A127h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	—	NFEN	ABCS	—	—	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0: 外部クロック 1: MTUから出力される2つのコンペアマッチ出力の論理積 (SCI1、SCI5、SCI12のみ有効)	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0: 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I <sup>2</sup> Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

**ACS0ビット (調歩同期クロックソースセレクトビット)**

調歩同期式モードにおける、クロックソースを選択します。

ACS0ビットは、調歩同期式モード (SMR.CMビット=0) で、外部クロック入力 (SCR.CKE[1:0]ビット=10b、11b) のときに有効です。外部クロックまたは、内蔵MTUのコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0ビットを“0”にしてください。

MTUのMTIOC1A、MTIOC2A出力を基本クロックソースにすることができます。詳細は表28.24を参照してください。

SCI0、SCI2、SCI6、SCI8、SCI9のACS0ビットは予約ビットです。SCI0、SCI2、SCI6、SCI8、SCI9では“0”にしてください。

表28.24 SCIのチャネルと使用できるコンペアマッチ出力

SCI	MTU	コンペアマッチ出力
SCI1	MTU1, MTU2	MTIOC1A, MTIOC2A
SCI5	MTU1, MTU2	MTIOC1A, MTIOC2A
SCI12	MTU1, MTU2	MTIOC1A, MTIOC2A

MTU の MTIOC1A、MTIOC2A 出力を選択したときの設定例を図 28.4 に示します。

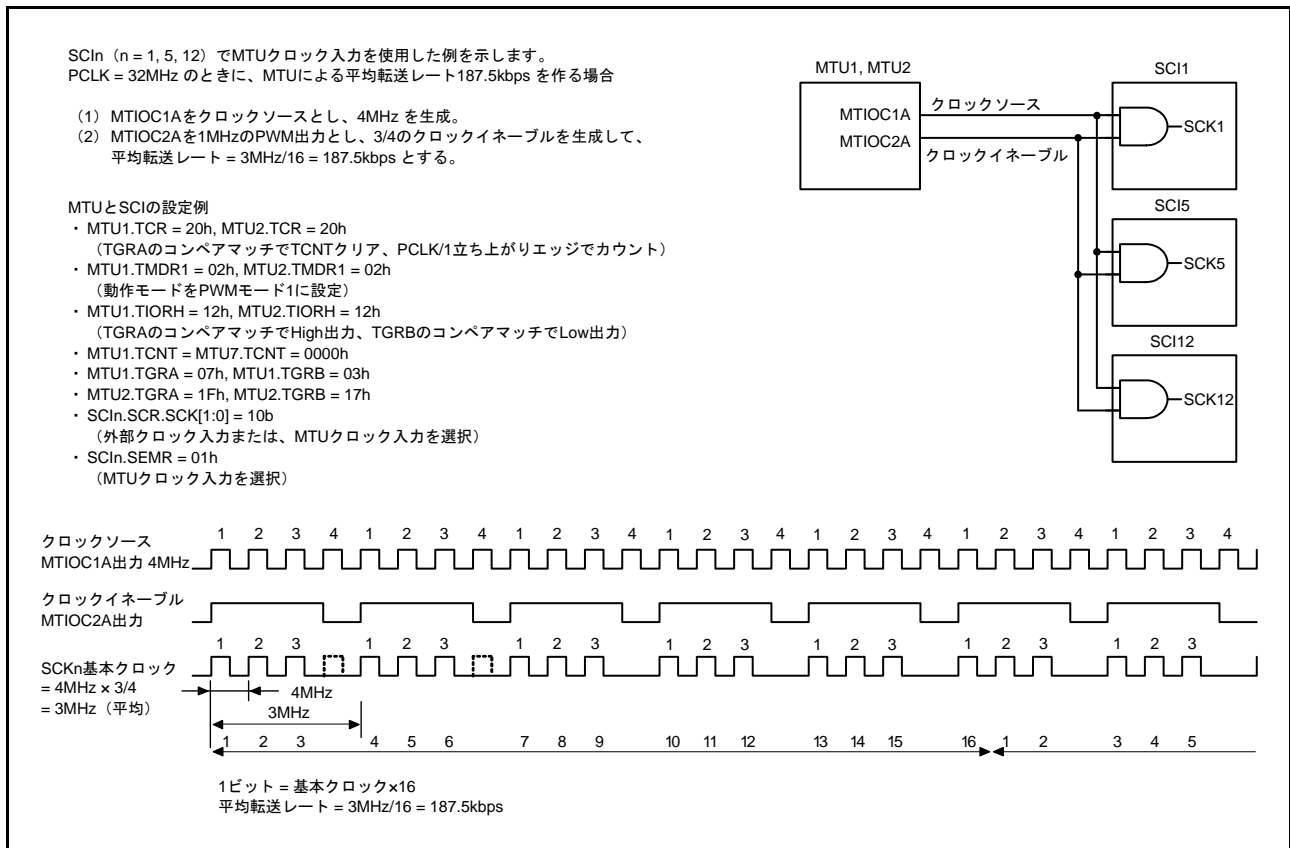


図 28.4 MTU クロック入力時の平均転送レート設定例

### NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I<sup>2</sup>C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

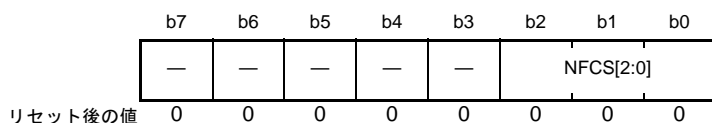
### RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

### 28.2.11 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 0008 A008h, SCI1.SNFR 0008 A028h, SCI2.SNFR 0008 A048h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI8.SNFR 0008 A108h, SCI9.SNFR 0008 A128h, SCI12.SNFR 0008 B308h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用  簡易 I <sup>2</sup> C モード時、SMR.CKS[1:0] ビットで選択した内蔵 ボーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用  上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

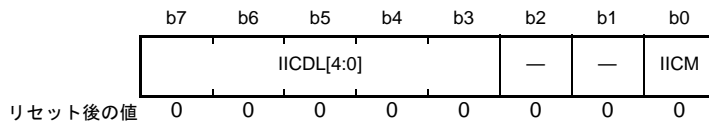
#### NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易 I<sup>2</sup>C モード時は“001b”～“100b”の中で設定してください。

28.2.12 I<sup>2</sup>C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 0008 A009h, SCI1.SIMR1 0008 A029h, SCI2.SIMR1 0008 A049h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI8.SIMR1 0008 A109h, SCI9.SIMR1 0008 A129h, SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I <sup>2</sup> Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1: 簡易I <sup>2</sup> Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 00000: 出力遅延なし 00001: 0~1サイクル 00010: 1~2サイクル 00011: 2~3サイクル 00100: 3~4サイクル 00101: 4~5サイクル : : 11110: 29~30サイクル 11111: 30~31サイクル	R/W (注1)

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I<sup>2</sup>C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

**IICM ビット (簡易 I<sup>2</sup>C モードセレクトビット)**

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

**IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)**

SSCL<sub>n</sub> 端子出力の立ち下がりに対する SSDA<sub>n</sub> 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I<sup>2</sup>C モード以外では“00000b”を設定してください。簡易 I<sup>2</sup>C モード時は、“00001b” ~ “11111b” のいずれかを設定してください。

28.2.13 I<sup>2</sup>C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 0008 A00Ah, SCI1.SIMR2 0008 A02Ah, SCI2.SIMR2 0008 A04Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI8.SIMR2 0008 A10Ah, SCI9.SIMR2 0008 A12Ah, SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I <sup>2</sup> C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I<sup>2</sup>C モードの送受信制御を選択するためのレジスタです。

**IICINTM ビット (I<sup>2</sup>C 割り込みモードセレクトビット)**

簡易 I<sup>2</sup>C モード時の割り込み要求の要因を選択します。

**IICCCSC ビット (クロック同期化ビット)**

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCCSC ビットに“1”を設定します。

IICCCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

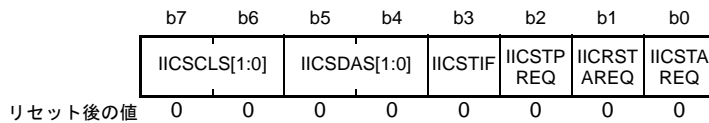
デバッグ時を除いて IICCCSC ビットには“1”を設定してください。

**IICACKT ビット (ACK 送信データビット)**

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

28.2.14 I<sup>2</sup>C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 0008 A00Bh, SCI1.SIMR3 0008 A02Bh, SCI2.SIMR3 0008 A04Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI8.SIMR3 0008 A10Bh, SCI9.SIMR3 0008 A12Bh, SCI12.SIMR3 0008 B30Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

注1. SSCLn端子とSSDAn端子が両方ともHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。

注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”)のときに再開条件生成または停止条件生成を行ってください。

注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3レジスタは、簡易I<sup>2</sup>Cモードの開始条件、停止条件生成、および、SSDAn端子、SSCLn端子の出力値固定を制御するためのレジスタです。

**IICSTAREQ ビット (開始条件生成ビット)**

開始条件の生成を行うときは、IICSTAREQビットを“1”にするとともに、IICSDAS[1:0]ビット、IICSCLS[1:0]ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき



**IICRSTAREQ ビット (再開条件生成ビット)**

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 再開条件の生成が完了したとき

**IICSTPREQ ビット (停止条件生成ビット)**

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 停止条件の生成が完了したとき

**IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)**

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1"になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0"になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I<sup>2</sup>C モード以外の場合)
- SCR.TE ビットが“0”のとき

**IICSDAS[1:0] ビット (SSDA 出力セレクトビット)**

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

**IICSCLS[1:0] ビット (SSCL 出力セレクトビット)**

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

28.2.15 I<sup>2</sup>C ステータスレジスタ (SISR)

アドレス SCI0.SISR 0008 A00Ch, SCI1.SISR 0008 A02Ch, SCI2.SISR 0008 A04Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI8.SISR 0008 A10Ch, SCI9.SISR 0008 A12Ch, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I<sup>2</sup>C モード関連のステータスをモニタします。

**IICACKR フラグ (ACK 受信データフラグ)**

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

## 28.2.16 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 0008 A00Dh, SCI1.SPMR 0008 A02Dh, SCI2.SPMR 0008 A04Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI8.SPMR 0008 A10Dh, SCI9.SPMR 0008 A12Dh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0: SSn#端子機能禁止 1: SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0: CTS機能禁止(RTS出力機能有効) 1: CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0: SMOSIn端子: 送信、SMISOn端子: 受信(マスタモード) 1: SMOSIn端子: 受信、SMISOn端子: 送信(スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0: クロック極性反転なし 1: クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0: クロック遅れなし 1: クロック遅れあり	R/W (注1)

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

**SSE ビット (SSn# 端子機能イネーブルビット)**

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット=00b かつ MSS ビット=0) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

**CTSE ビット (CTS イネーブルビット)**

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I<sup>2</sup>C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

**MSS ビット (マスタスレーブセレクトビット)**

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、SMOSIn 端子から受信データを入力し、SMISOn 端子から送信データを出力します。

簡易 SPI モード以外では“0”にしてください。

**MFF フラグ (モードフォルトフラグ)**

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

["1" になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

**CKPOL ビット (クロック極性セレクトビット)**

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 28.58 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では "0" としてください。

**CKPH ビット (クロック位相セレクトビット)**

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 28.58 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では "0" としてください。

**28.2.17 拡張シリアルモード有効レジスタ (ESMER)**

アドレス SC112.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0 : 拡張シリアルモード無効 1 : 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

**ESME ビット (拡張シリアルモード有効ビット)**

ESME ビットが "1" の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを "0" にすると、拡張シリアルモード制御部は初期化された状態になります。

表 28.25 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能 (注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1. PCLK 選択時のみ動作します。

## 28.2.18 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12入カステータスフラグ	0 : RXDX12入力許可状態 1 : RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

## 28.2.19 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

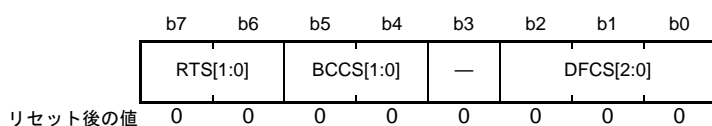
b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]			PIBE	CF1DS[1:0]	CF0RE	BFE	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Fieldの検出が無効 1 : Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ 選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプト ビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプト ビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

### 28.2.20 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0: フィルタ無効 0 0 1: フィルタクロックは基本クロック (注1) 0 1 0: フィルタクロックはPCLK/8 0 1 1: フィルタクロックはPCLK/16 1 0 0: フィルタクロックはPCLK/32 1 0 1: フィルタクロックはPCLK/64 1 1 0: フィルタクロックはPCLK/128 1 1 1: 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	b5 b4 0 0: 基本クロック 0 1: 基本クロックの2分周 1 0: 基本クロックの4分周 1 1: 設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリング タイミング選択ビット	<ul style="list-style-type: none"> <li>● SCI12.SEMR.ABCSビット=0の場合</li> </ul> b7 b6 0 0: 基本クロックの8クロック目の立ち上がり 0 1: 基本クロックの10クロック目の立ち上がり 1 0: 基本クロックの12クロック目の立ち上がり 1 1: 基本クロックの14クロック目の立ち上がり  <ul style="list-style-type: none"> <li>● SCI12.SEMR.ABCSビット=1の場合</li> </ul> b7 b6 0 0: 基本クロックの4クロック目の立ち上がり 0 1: 基本クロックの5クロック目の立ち上がり 1 0: 基本クロックの6クロック目の立ち上がり 1 1: 基本クロックの7クロック目の立ち上がり	R/W

注. 基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。

注1. 基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

## 28.2.21 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**SDST ビット (Start Frame 検出開始ビット)**

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

## 28.2.22 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXD12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXD12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXD12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**SHARPS ビット (TXDX12/RXD12 端子兼用選択ビット)**

SHARPS ビットが“1”の場合、TXDX12/RXD12 端子を兼用した半二重通信が可能となります。

## 28.2.23 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width 検出割り込み許可ビット	0 : Break Field Low width 検出割り込み禁止 1 : Break Field Low width 検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W



## 28.2.24 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width 検出フラグ	["1"]になる条件 • Break Field Low width 検出したとき • Break Field Low width 出力完了したとき • タイマがアンダフローしたとき ["0"]になる条件 • STCR.BFDCL ビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0 一致フラグ	["1"]になる条件 • Control Field 0 受信データが設定データと一致したとき ["0"]になる条件 • STCR.CF0MCL ビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1 一致フラグ	["1"]になる条件 • Control Field 1 受信データが設定データと一致したとき ["0"]になる条件 • STCR.CF1MCL ビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプト ビット検出フラグ	["1"]になる条件 • プライオリティインタラプトビットを検出したとき ["0"]になる条件 • STCR.PIBDCL ビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"]になる条件 • バス衝突を検出したとき ["0"]になる条件 • STCR.BCDCL ビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"]になる条件 • 有効エッジを検出したとき ["0"]になる条件 • STCR.AEDCL ビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

## 28.2.25 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDCL	BCDCL	PIBDC L	CF1MC L	CF0MC L	BFDCCL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

## 28.2.26 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

b7	b6	b5	b4	b3	b2	b1	b0
[Empty Register]							

リセット後の値 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

## 28.2.27 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

b7	b6	b5	b4	b3	b2	b1	b0
CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

## 28.2.28 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値 0 0 0 0 0 0 0 0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

## 28.2.29 プライマリ Control Field 1 データレジスタ (PCF1DR)

アドレス SCI12.PCF1DR 0008 B32Ch

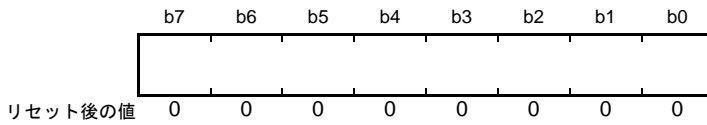
b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値 0 0 0 0 0 0 0 0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

## 28.2.30 セカンダリ Control Field 1 データレジスタ (SCF1DR)

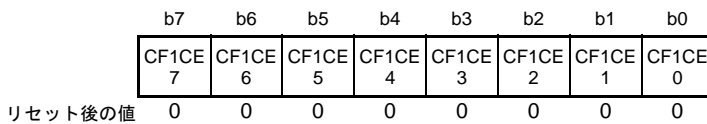
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

## 28.2.31 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

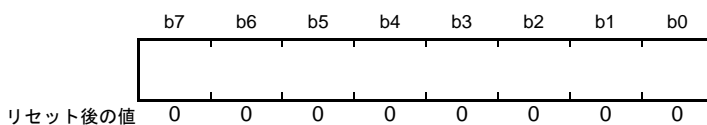
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブルビット	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブルビット	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブルビット	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブルビット	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブルビット	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブルビット	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブルビット	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブルビット	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

## 28.2.32 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

## 28.2.33 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

## 28.2.34 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット(注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット(注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

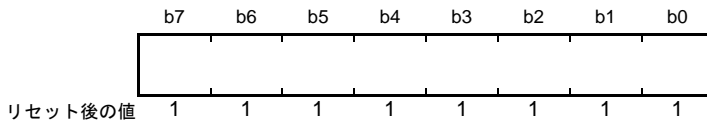
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

## TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

### 28.2.35 タイムプリスケアラレジスタ (TPRE)

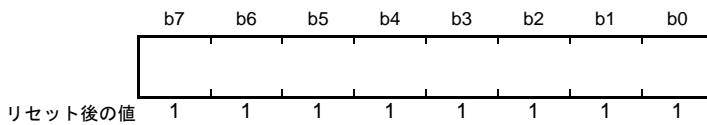
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

### 28.2.36 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

### 28.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 28.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

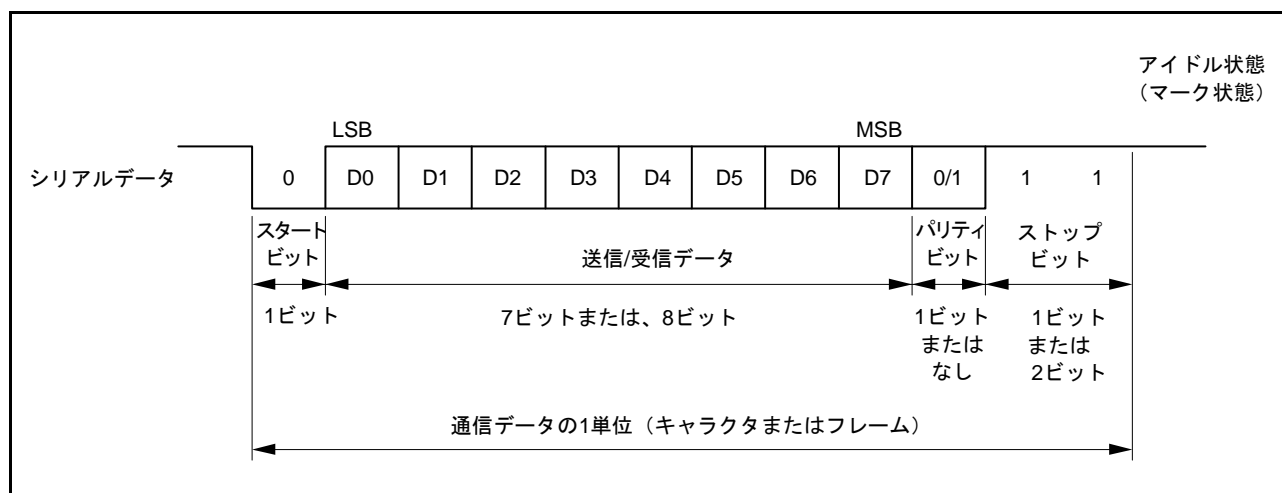


図 28.5 調歩同期式シリアル通信のデータフォーマット  
(8 ビットデータ / パリティあり / 2 ストップビットの例)

#### 28.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 28.26 に示します。

フォーマットは 12 種類あり、SMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「28.4 マルチプロセッサ通信機能」を参照してください。

表 28.26 シリアル送信/受信フォーマット(調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP	P			
0	0	0	1	S	8ビットデータ								STOP	P	STOP	P	
0	1	0	0	S	8ビットデータ								P	STOP	P		
0	1	0	1	S	8ビットデータ								P	STOP	P	STOP	P
1	0	0	0	S	7ビットデータ							STOP	P				
1	0	0	1	S	7ビットデータ							STOP	P	STOP	P		
1	1	0	0	S	7ビットデータ							P	STOP	P			
1	1	0	1	S	7ビットデータ							P	STOP	P	STOP	P	
0	—	1	0	S	8ビットデータ								MPB	STOP	P		
0	—	1	1	S	8ビットデータ								MPB	STOP	P	STOP	P
1	—	1	0	S	7ビットデータ							MPB	STOP	P			
1	—	1	1	S	7ビットデータ							MPB	STOP	P	STOP	P	

S: スタートビット  
 STOP: ストップビット  
 P: パリティビット  
 MPB: マルチプロセッサビット



### 28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図28.6に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSビットが“0”のとき  $N = 16$
- SEMR.ABCSビットが“1”のとき  $N = 8$

D: クロックのデューティ ( $D = 0.5 \sim 1.0$ )

L: フレーム長 ( $L = 9 \sim 13$ )

F: クロック周波数の偏差の絶対値

式(1)で、 $F = 0$ 、 $D = 0.5$ とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20～30%の余裕を持たせてください。

注1. いずれもSEMR.ABCSビットが“0”のときの値です。ABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

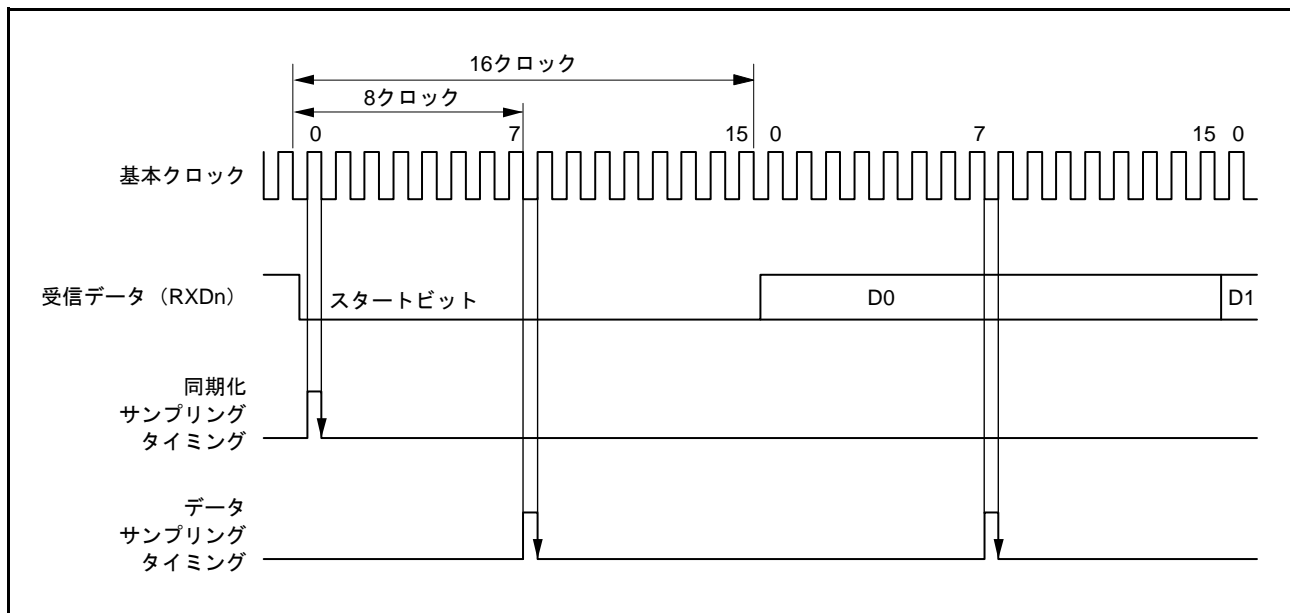


図 28.6 調歩同期式モードの受信データサンプリングタイミング

### 28.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=1, 5, 12）の設定により、MTIOC1A、MTIOC2Aからの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図28.7に示すように送信データの中央でクロックが立ち上がります。

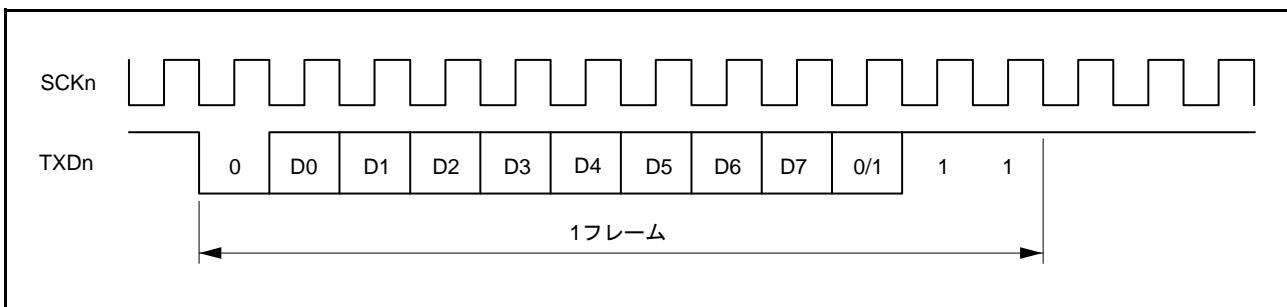


図 28.7 出力クロックと送信データの位相関係  
(調歩同期式モード: SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

### 28.3.4 CTS、RTS 機能

CTS機能は、CTS#端子入力を使用して送信制御を行う機能です。

SPMR.CTSEビットを“1”にするとCTS機能が有効になります。CTS機能が有効のとき、CTS#端子入力がLowのときのみ送信動作を開始します。

送信動作中にCTS#端子をHighにした場合、送信中のフレームは影響を受けず送信を継続します。

RTS機能は、RTS#端子出力を使用して受信要求を行う機能で、受信可能状態になるとLowを出力します。RTS#端子からLow、Highを出力する条件は以下の通りです。

[Lowになる条件]

以下の条件をすべて満たす場合

- SCR.REビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSRレジスタのORER、FER、PERフラグがすべて“0”

[Highになる条件]

Lowになる条件を満たさない場合

なお、CTS/RTSはどちらか一方しか選択できません。

### 28.3.5 SCIの初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 28.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグおよび RDR レジスタは初期化されませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンプティ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

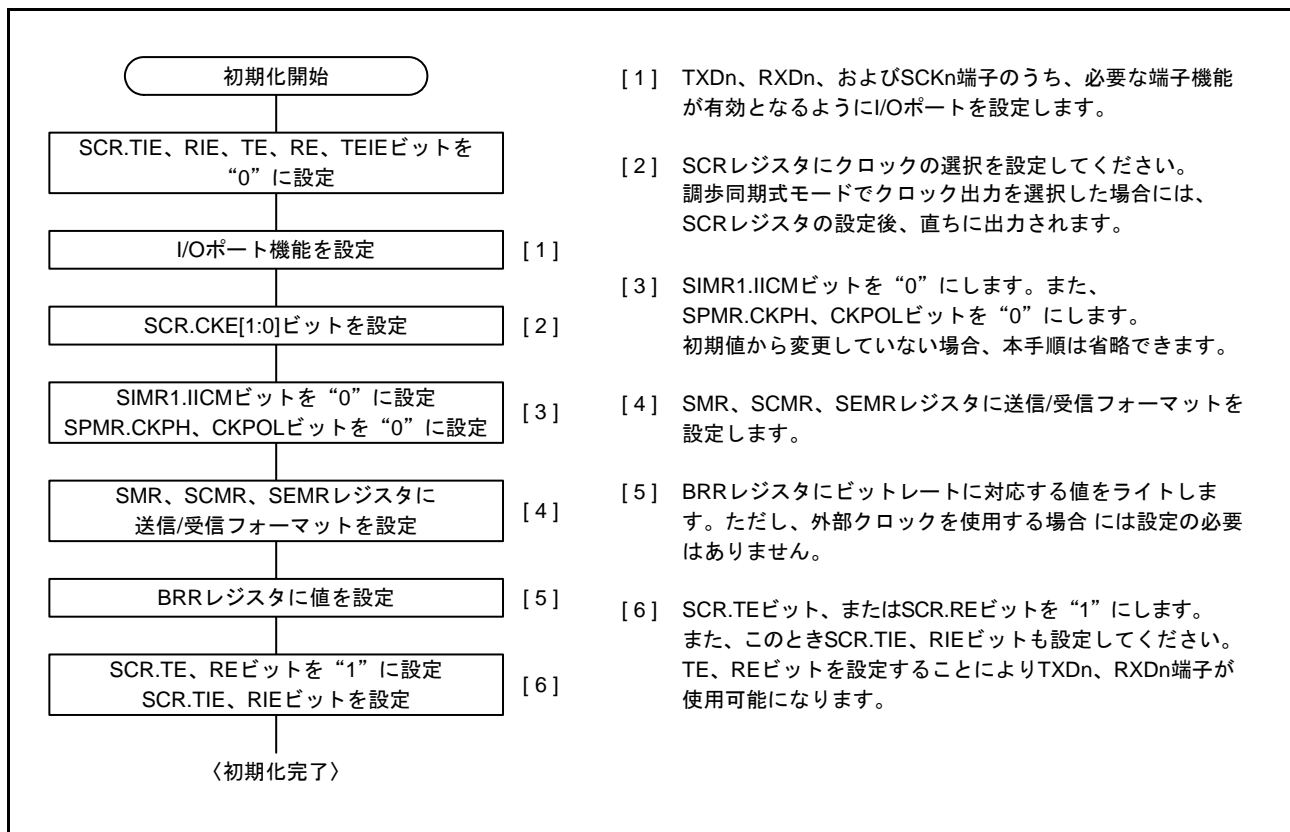


図 28.8 SCIの初期化フローチャートの例 (調歩同期式モード)

図 28.9 は、リセット解除後に図 28.8 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。調歩同期式モードでは、この期間 TXD 端子は High になります。

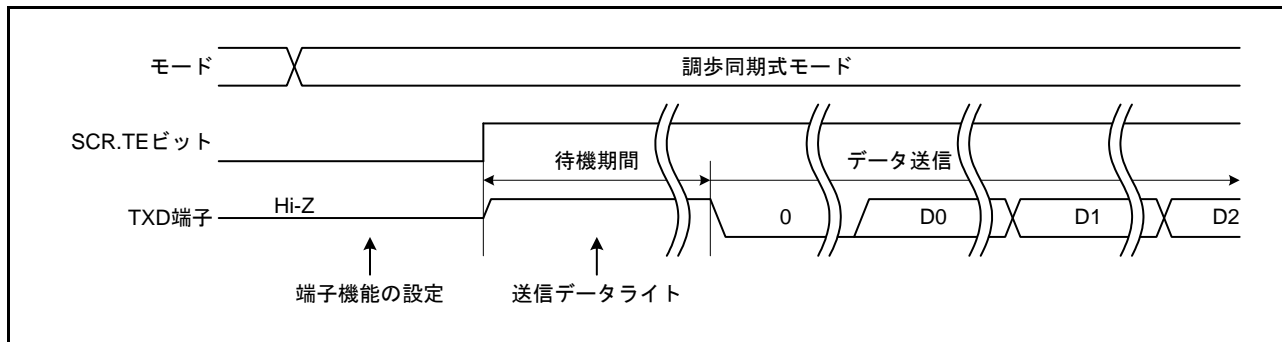


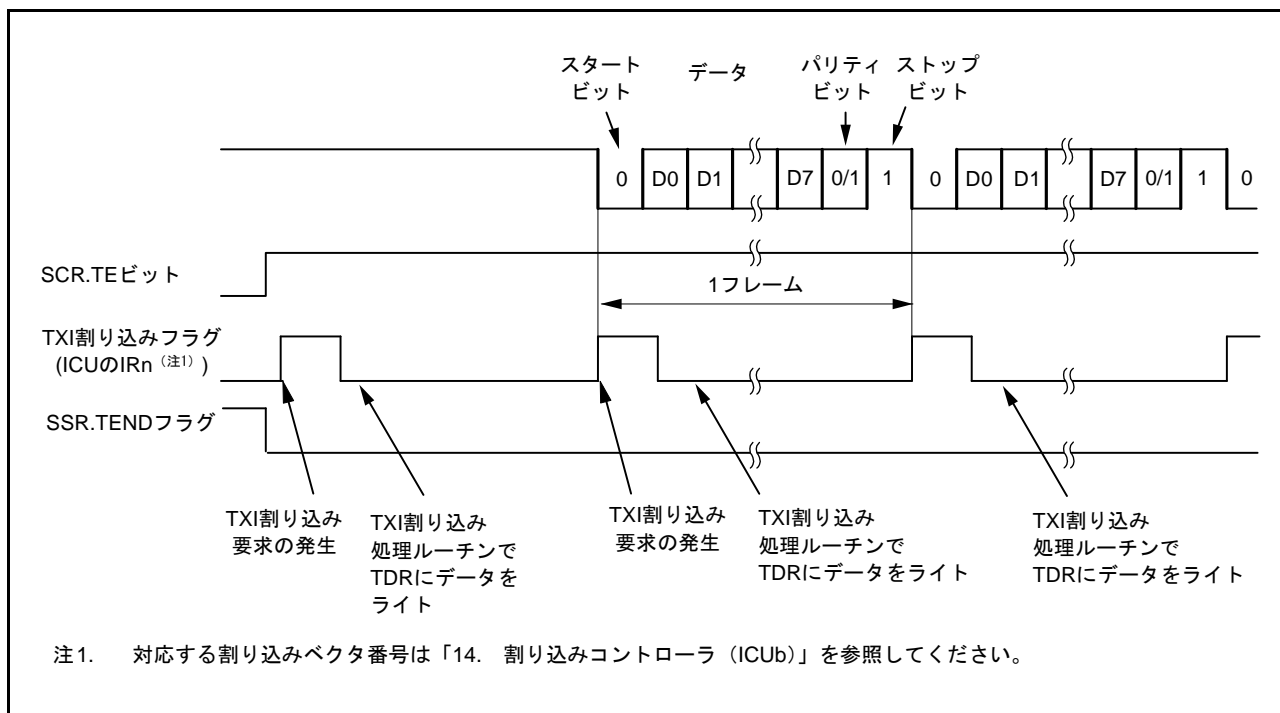
図 28.9 調歩同期式モード時のデータ送信タイミング例

### 28.3.6 シリアルデータの送信 (調歩同期式モード)

図 28.10 ~ 図 28.12 に調歩同期式モードのシリアル送信時の動作例を示します。  
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタに書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

図 28.13 にシリアル送信のフローチャートの例を示します。



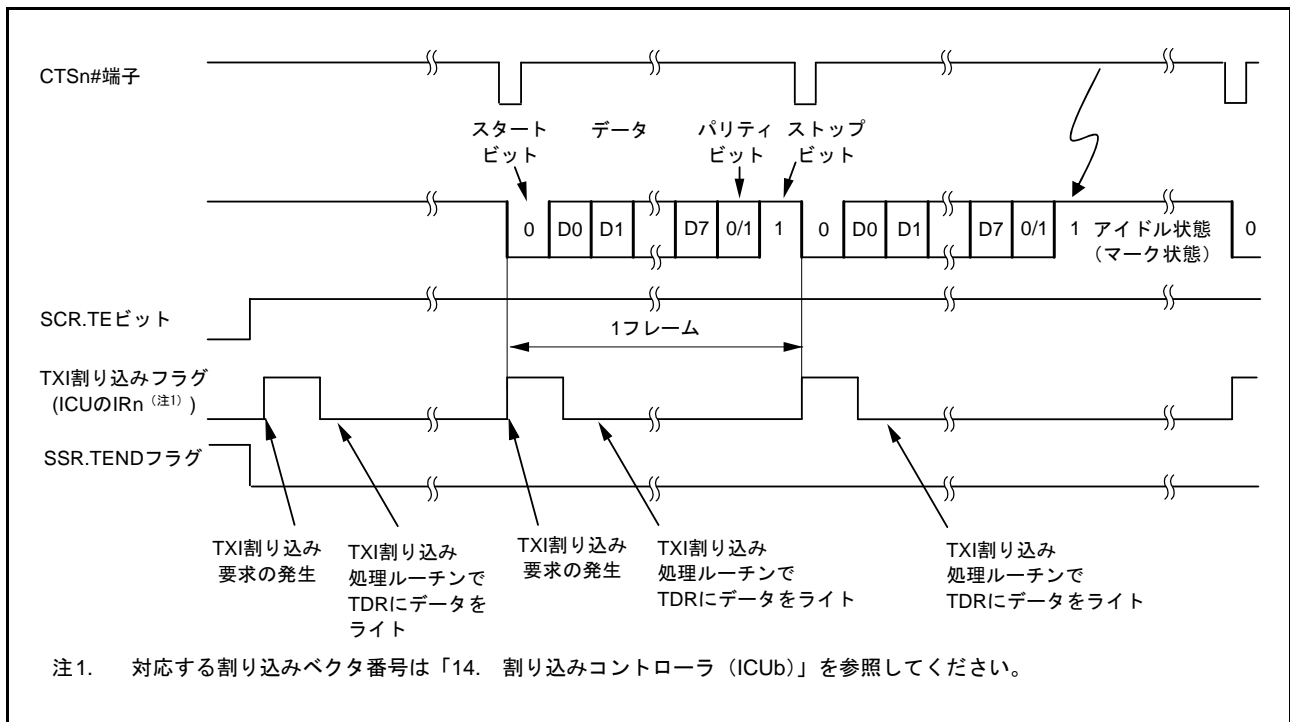


図 28.11 調歩同期式モードのシリアル送信の動作例 (2)  
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

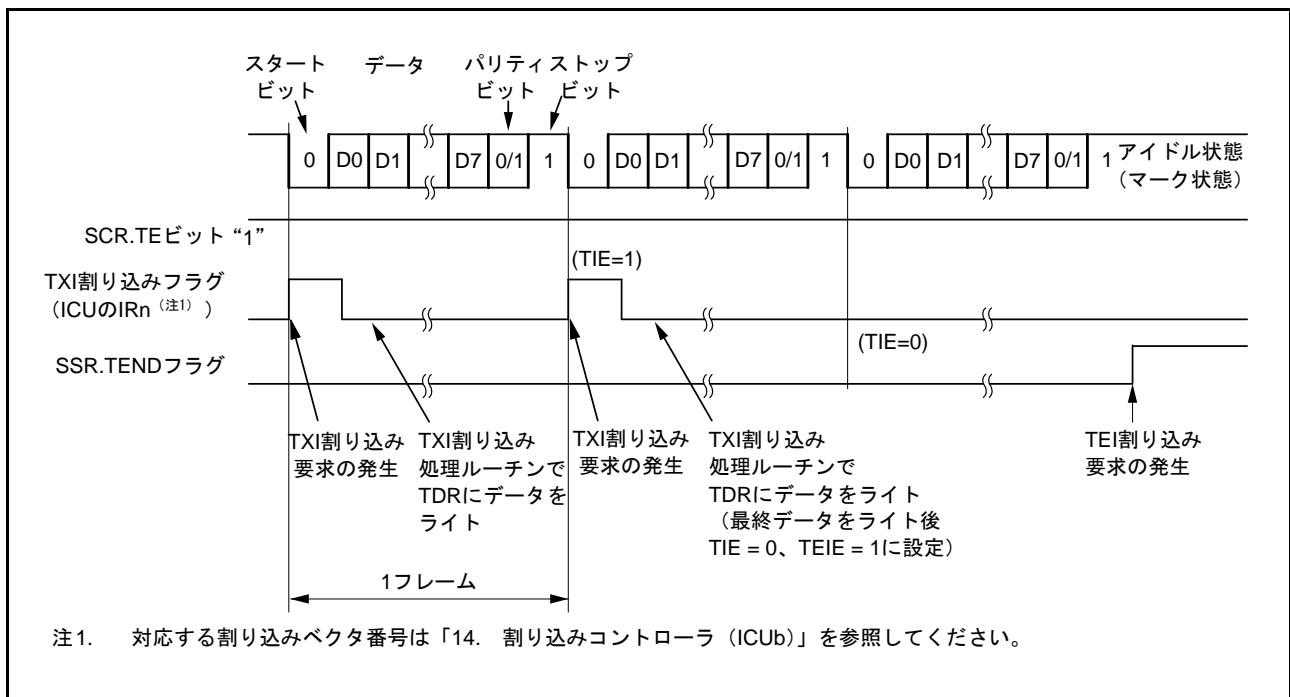


図 28.12 調歩同期式モードのシリアル送信の動作例 (3)  
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信中～送信終了時)

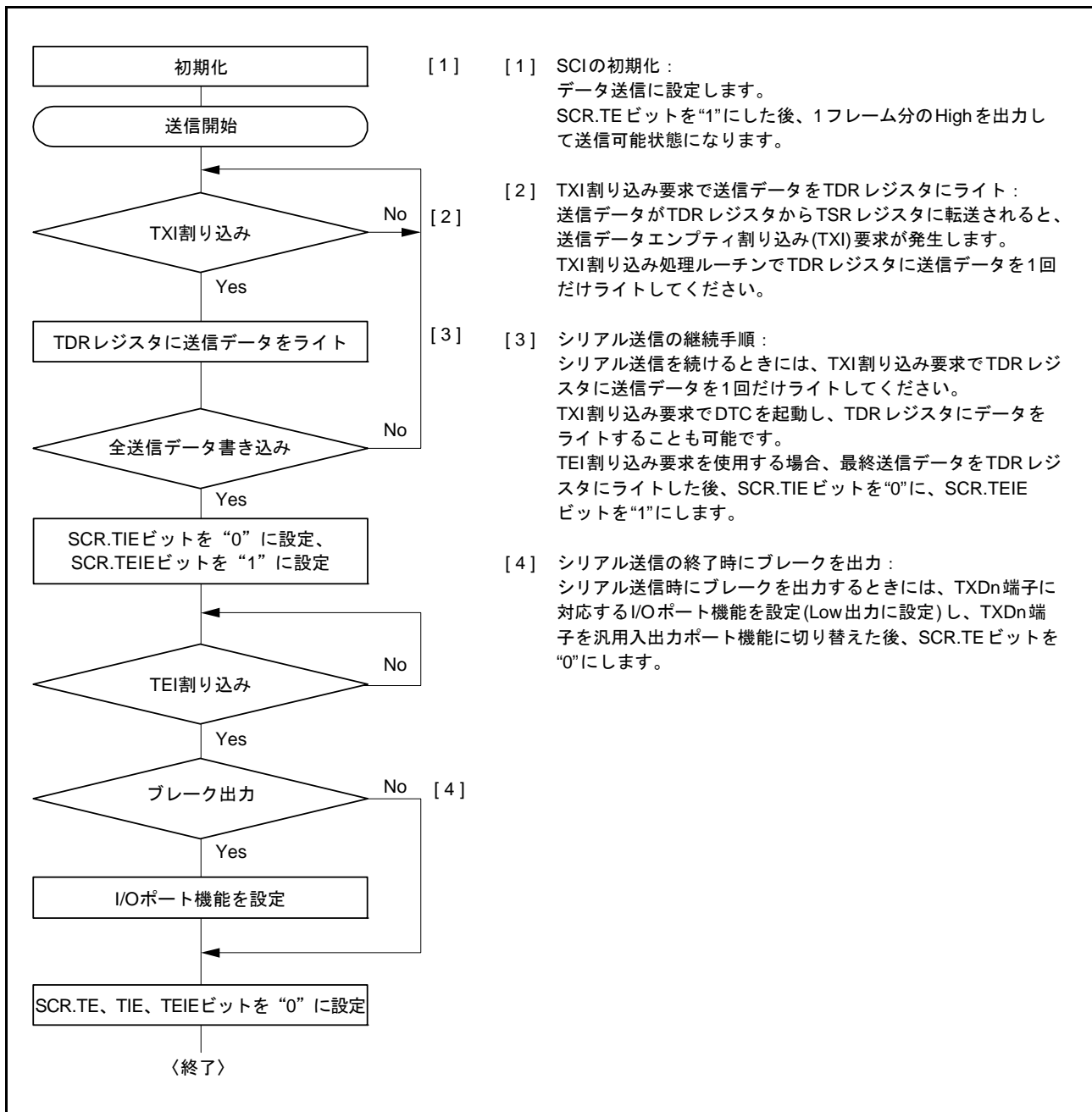


図 28.13 調歩同期式モードのシリアル送信のフローチャート例

### 28.3.7 シリアルデータの受信 (調歩同期式モード)

図 28.14、図 28.15 に調歩同期式モードのシリアル受信時の動作例を示します。  
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

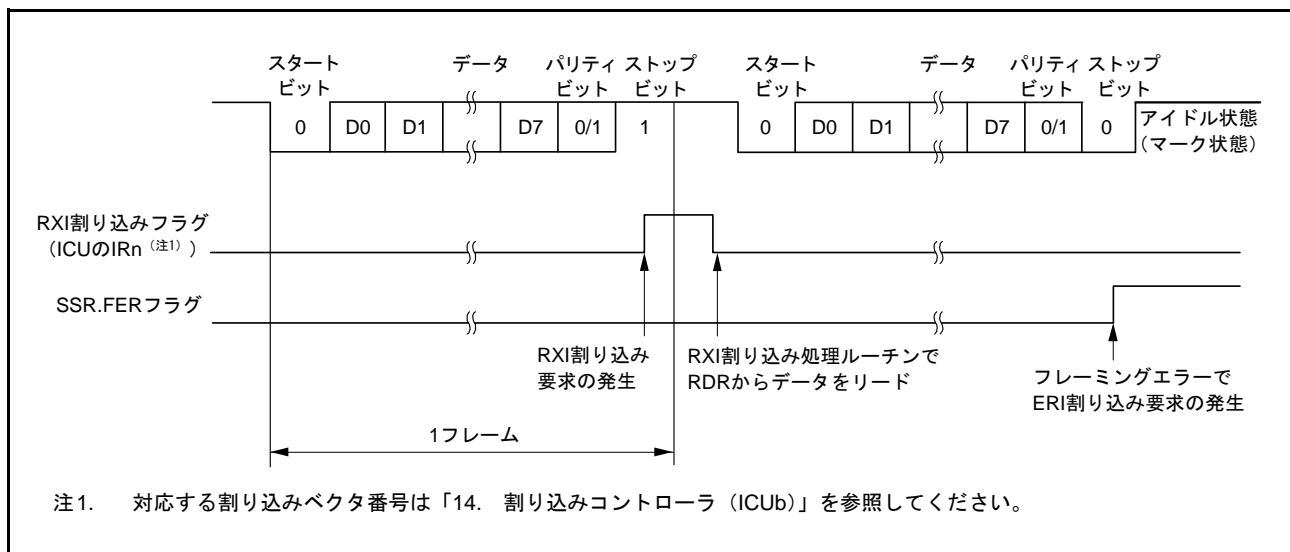


図 28.14 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)  
(8 ビットデータ / パリティあり / 1 ストップビットの例)



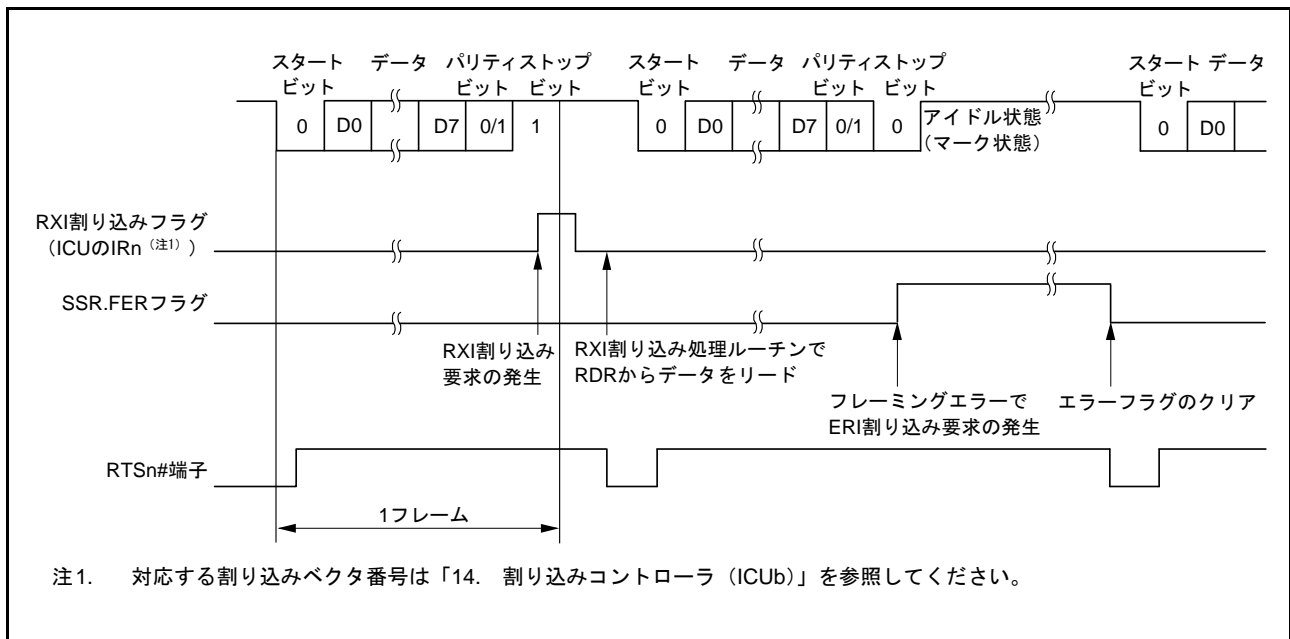


図 28.15 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)  
(8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 28.27 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 28.16、図 28.17 にシリアル受信のフローチャートの例を示します。

表 28.27 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー + フレーミングエラー
1	0	1	消失	オーバランエラー + パリティエラー
0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

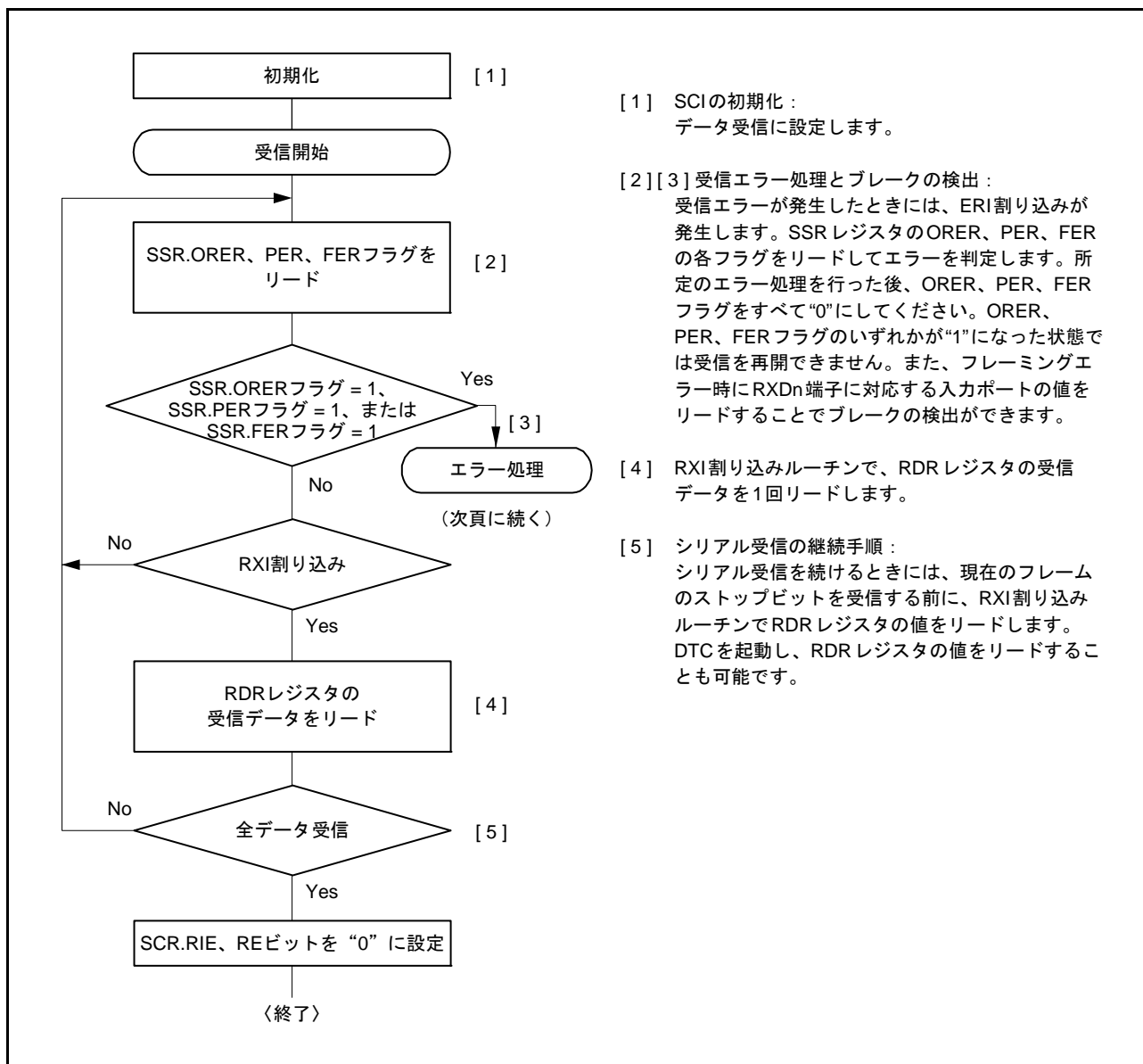


図 28.16 調歩同期式モードのシリアル受信のフローチャート例 (1)

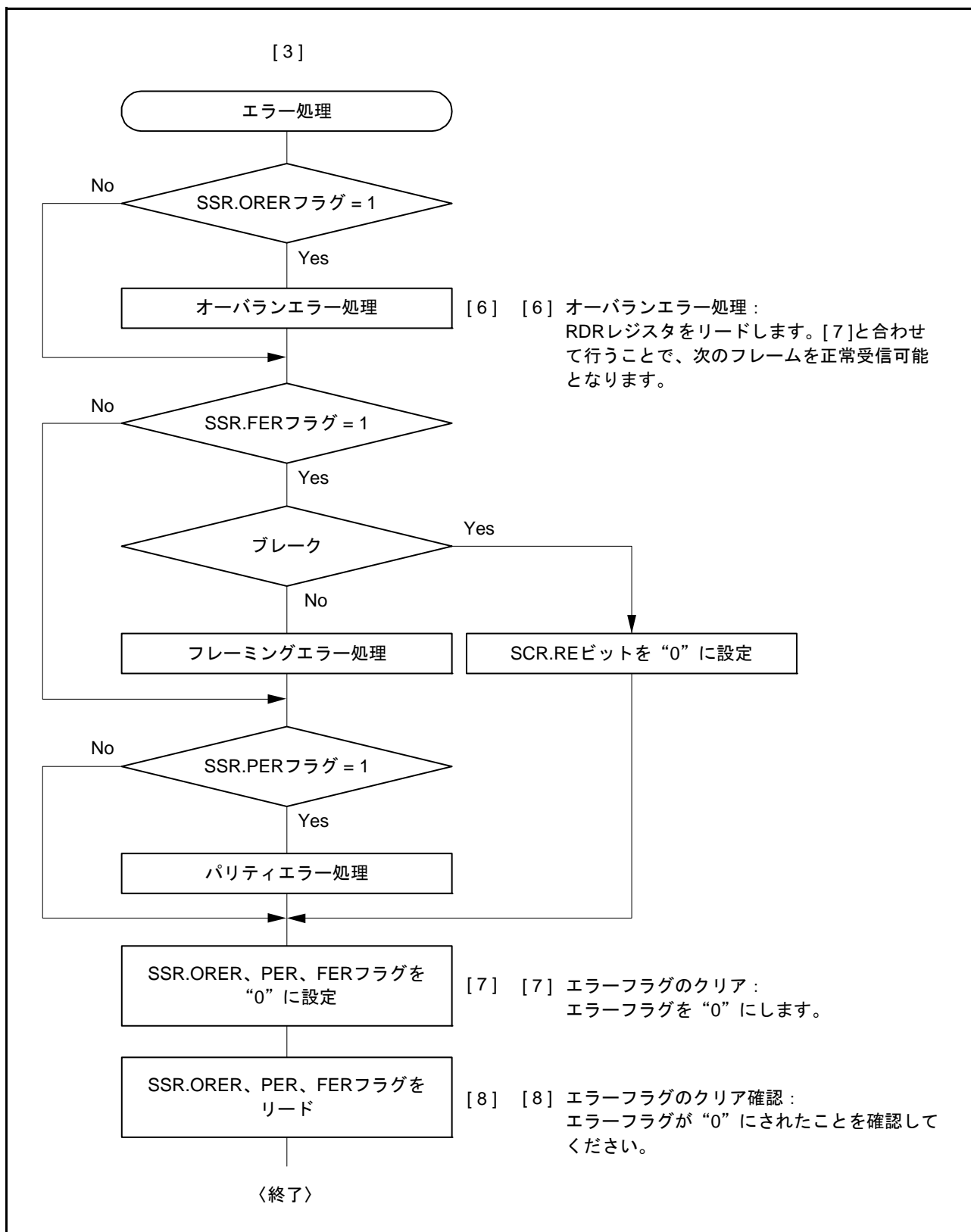


図 28.17 調歩同期式モードのシリアル受信のフローチャート例 (2)

## 28.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 28.18 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともに SCR.MPIE ビットが“0”になって通常の受信動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

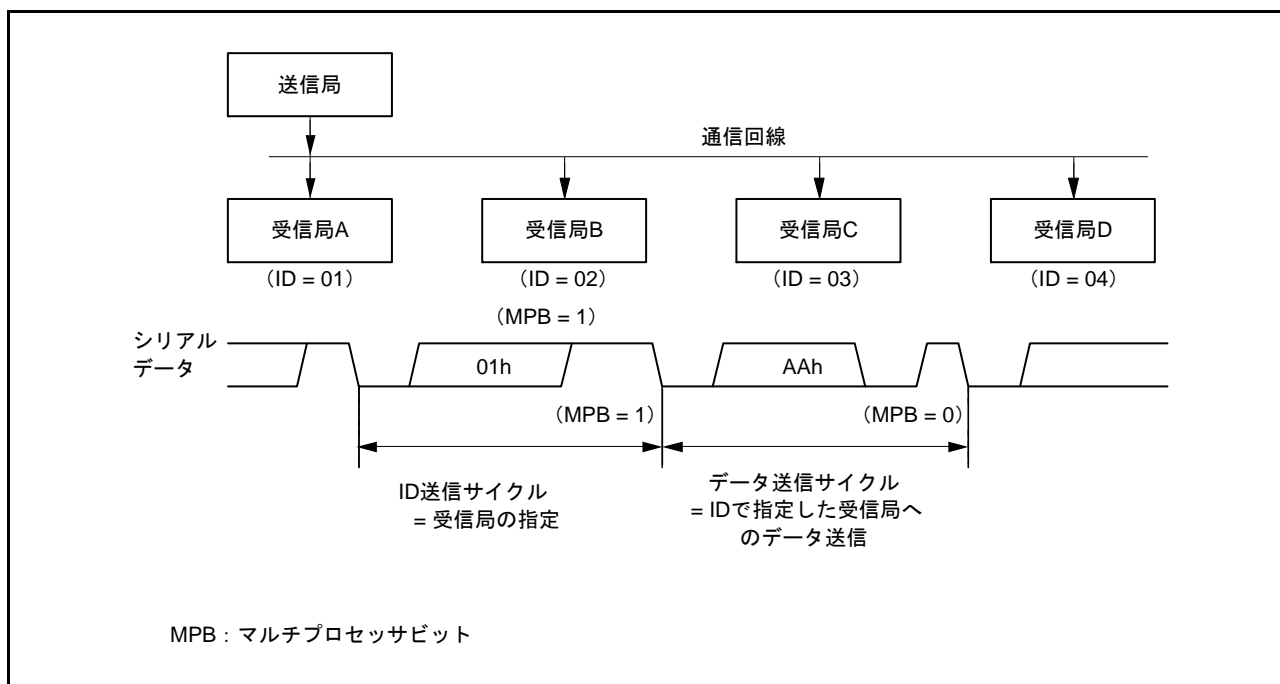


図 28.18 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ“AAh”の送信の例)

### 28.4.1 マルチプロセッサシリアルデータ送信

図 28.19 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

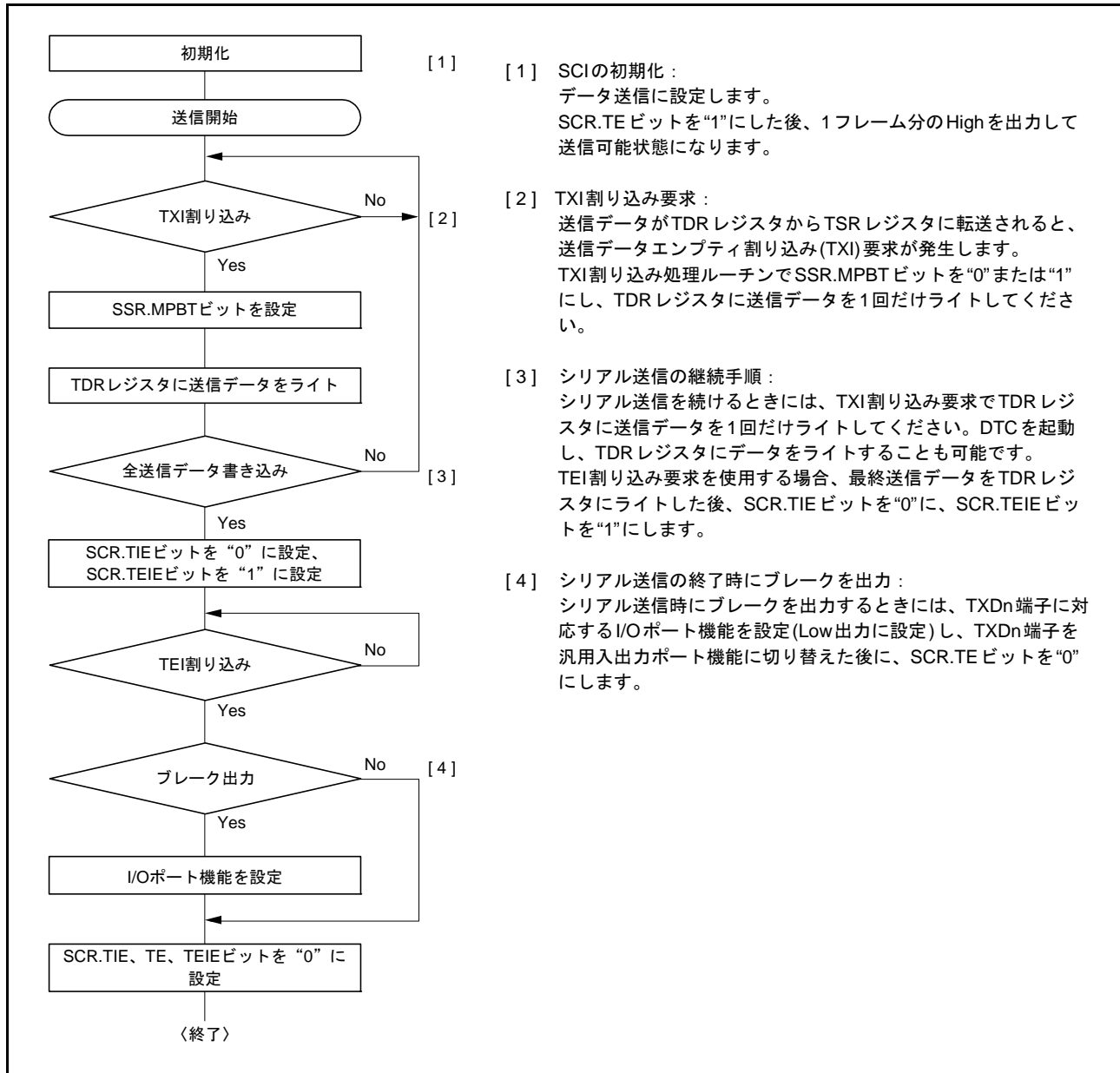


図 28.19 マルチプロセッサシリアル送信のフローチャートの例

### 28.4.2 マルチプロセッサシリアルデータ受信

図 28.21、図 28.22 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 28.20 に受信時の動作例を示します。

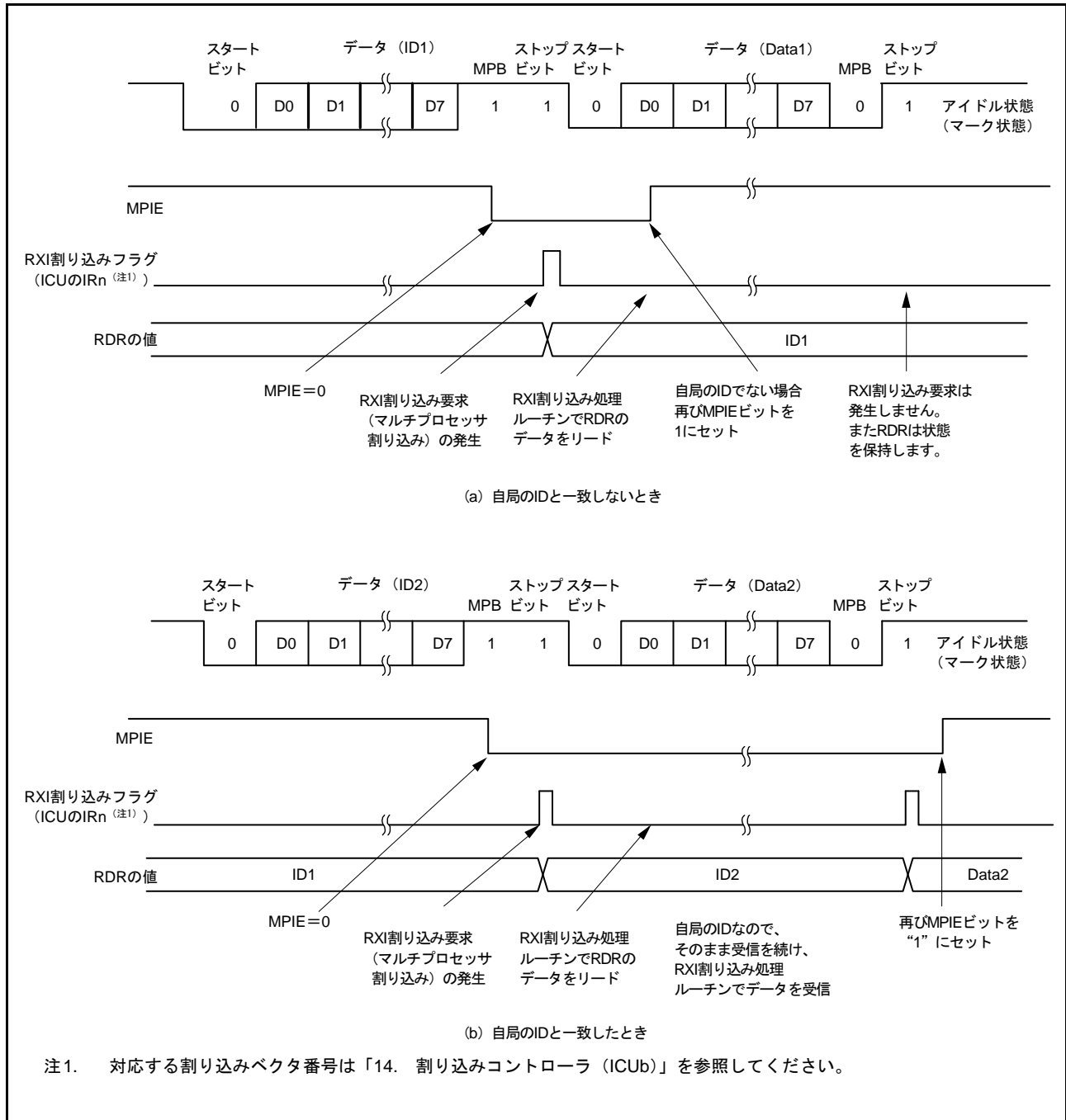


図 28.20 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

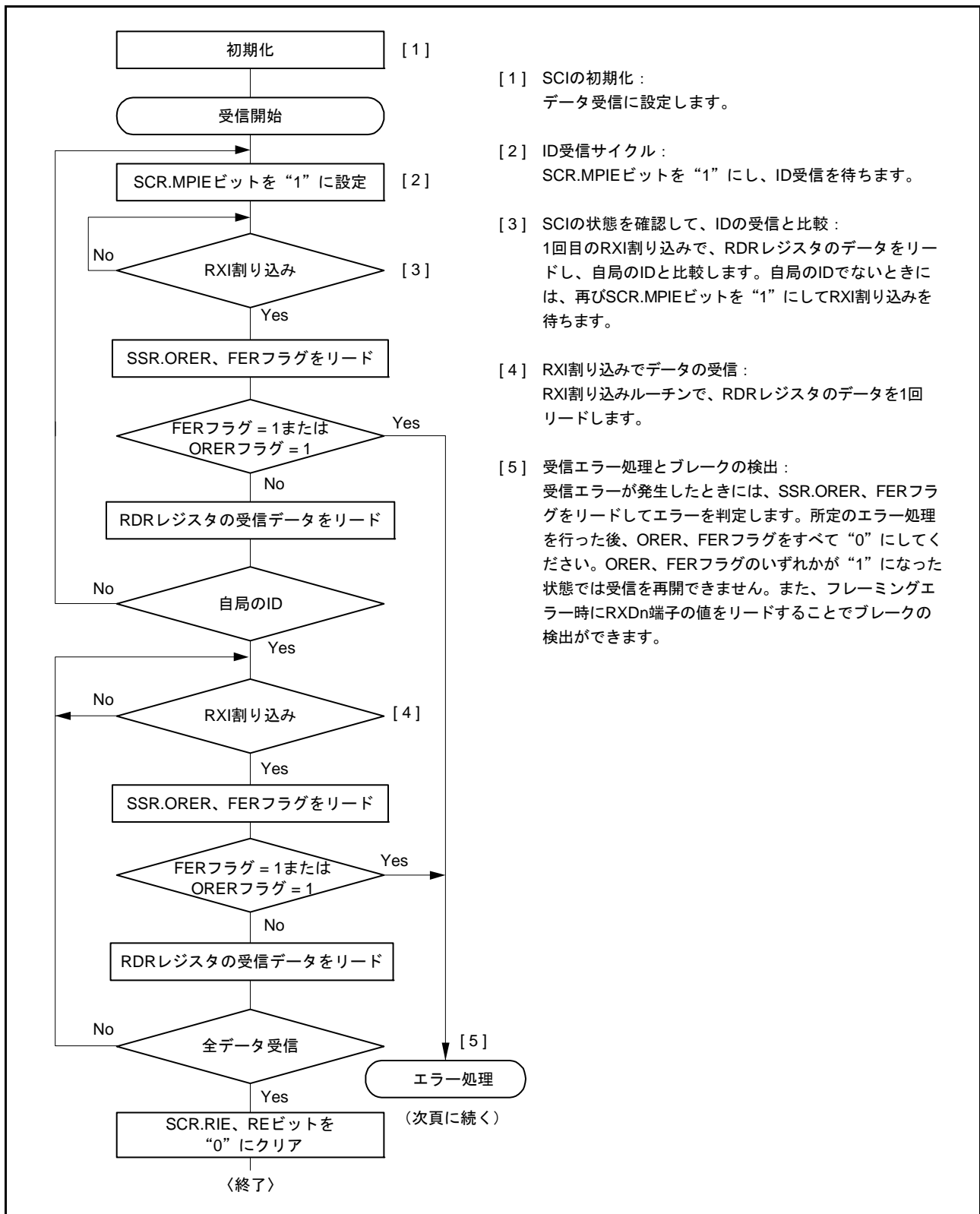


図 28.21 マルチプロセッサシリアル受信のフローチャートの例 (1)

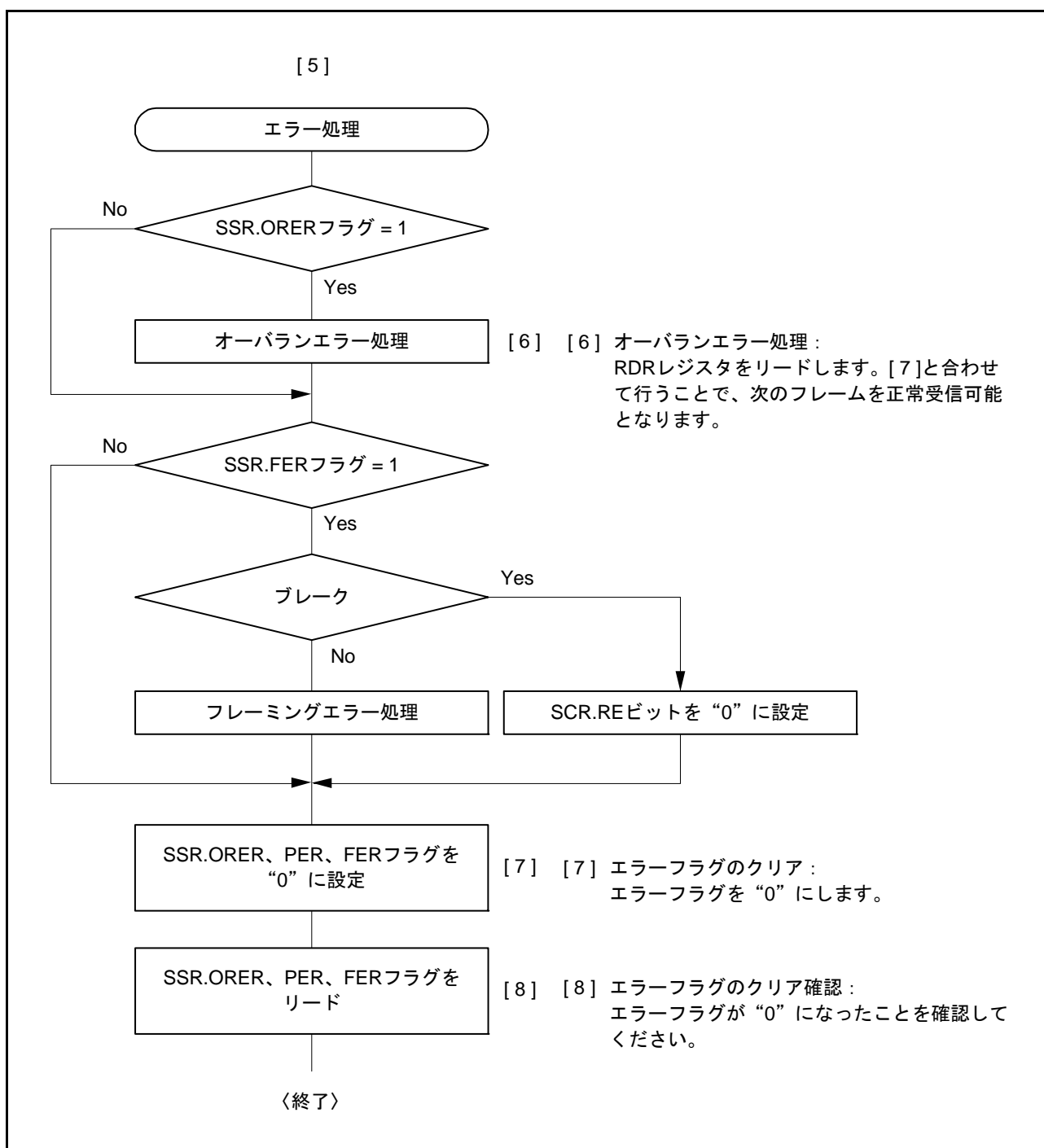


図 28.22 マルチプロセッサシリアル受信のフローチャートの例 (2)



## 28.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 28.23 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

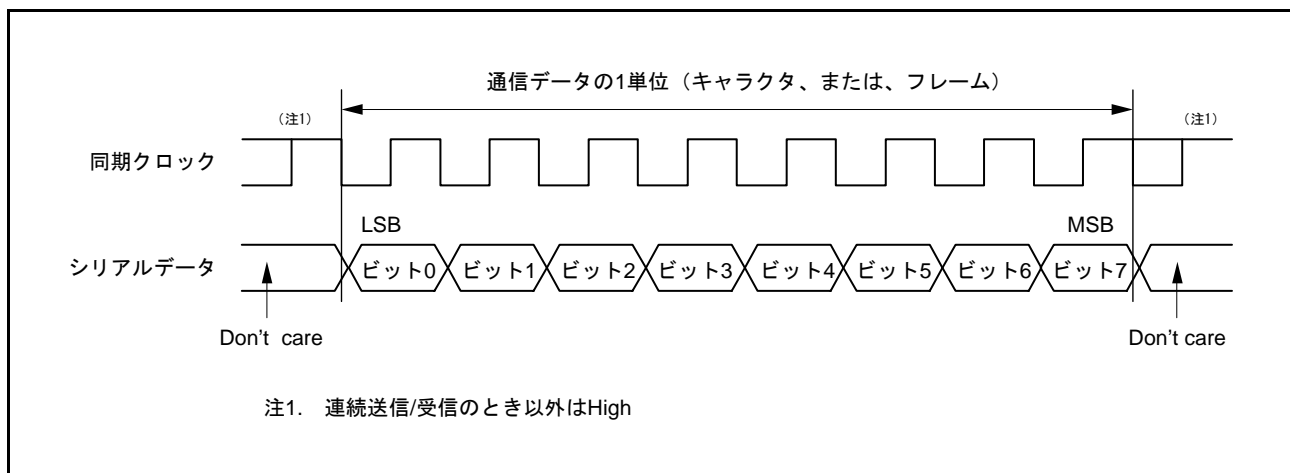


図 28.23 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

### 28.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

### 28.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

#### [Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 未読の受信データがない (SCR.RE ビットが“1”のとき)
- 未送信のデータがある (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

#### [High になる条件]

Low になる条件を満たさない場合

### 28.5.3 SCIの初期化(クロック同期式モード)

データの送受信前にSCRレジスタに初期値“00h”を書き込み、図28.24のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

SCR.REビットを“0”にしても、SSRレジスタのORER、FER、PERフラグおよびRDRレジスタは初期化されませんので注意してください。

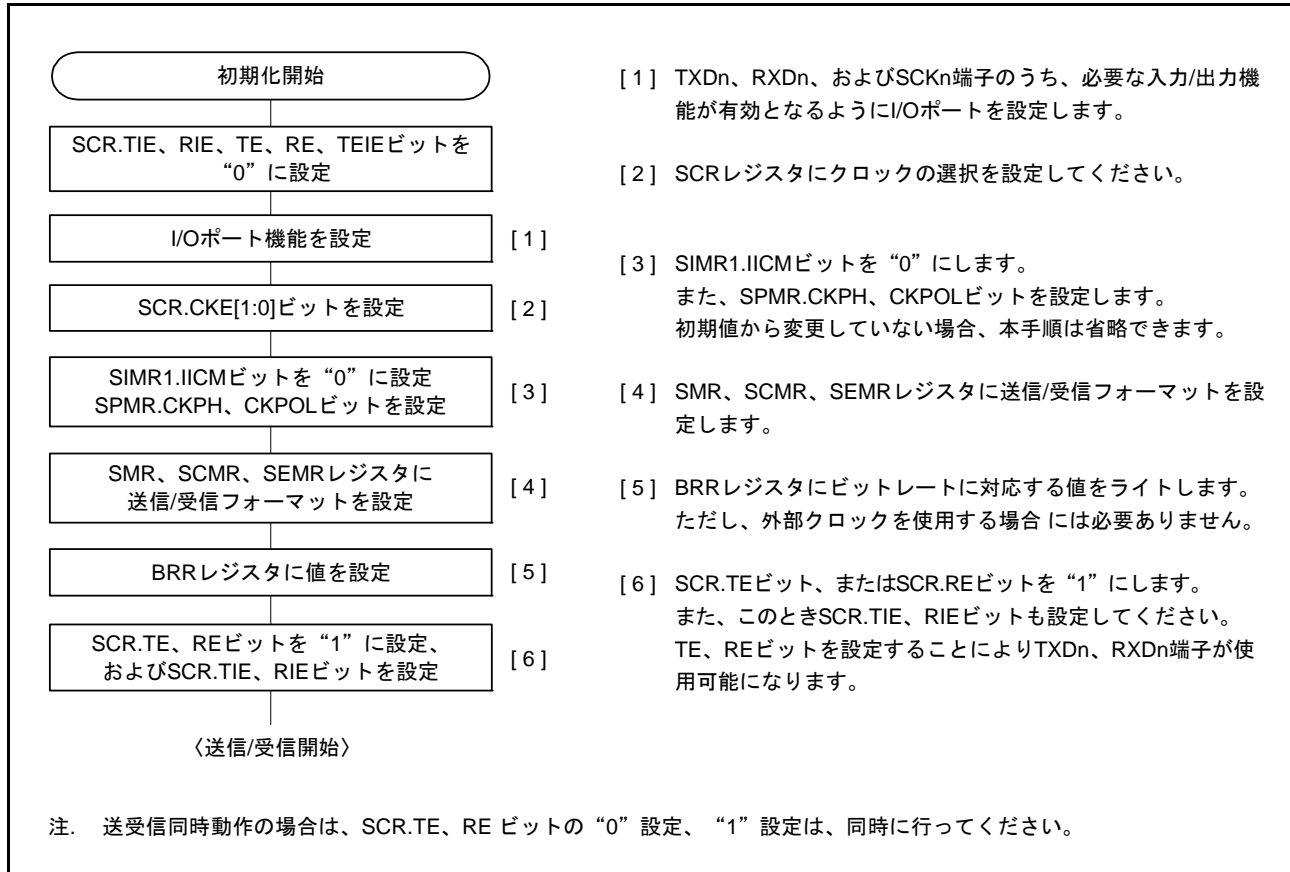


図 28.24 SCIの初期化フローチャートの例(クロック同期式モード)

### 28.5.4 シリアルデータの送信 (クロック同期式モード)

図 28.25、図 28.26、図 28.27 にクロック同期式モードのシリアル送信時の動作例を示します。  
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力が高になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 28.28 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけではクリアされませんので注意してください。

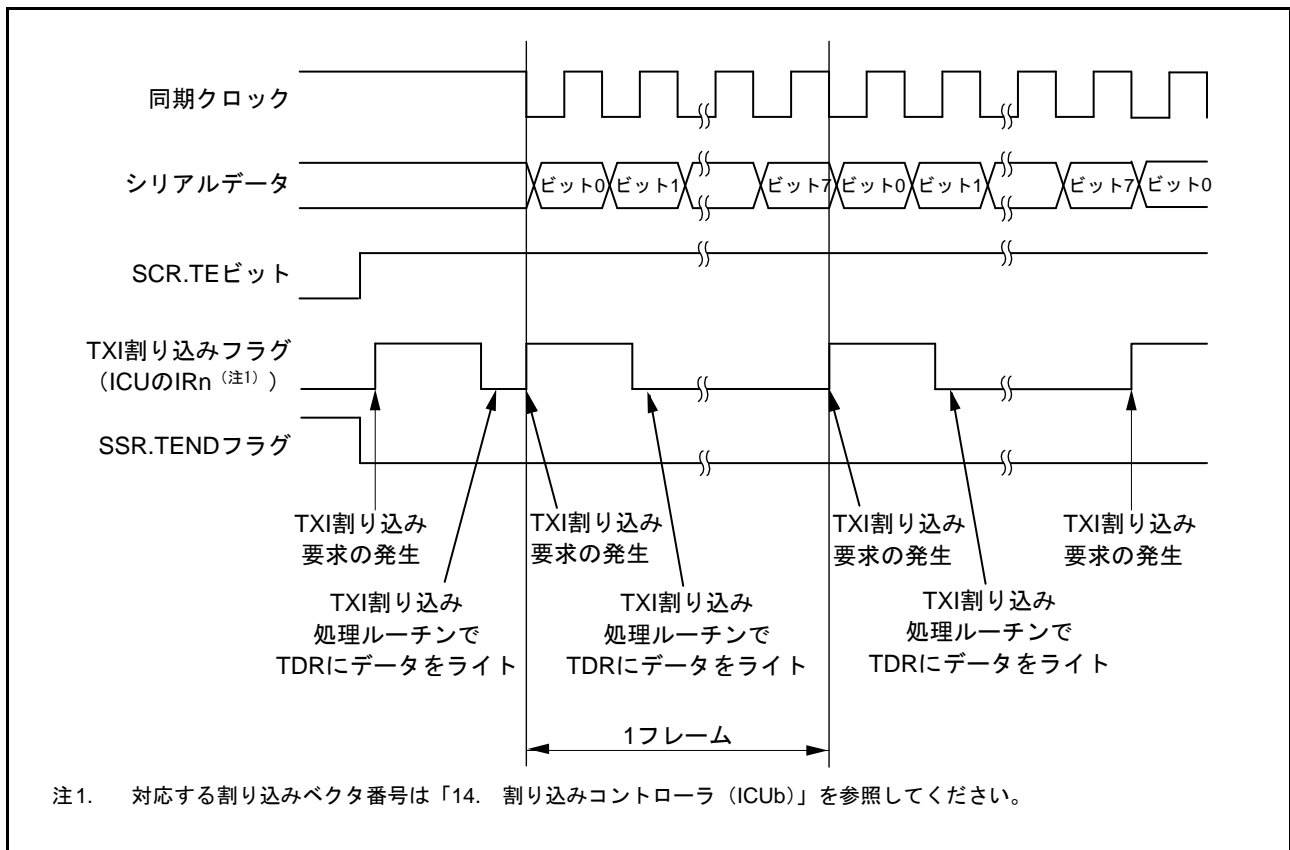


図 28.25 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

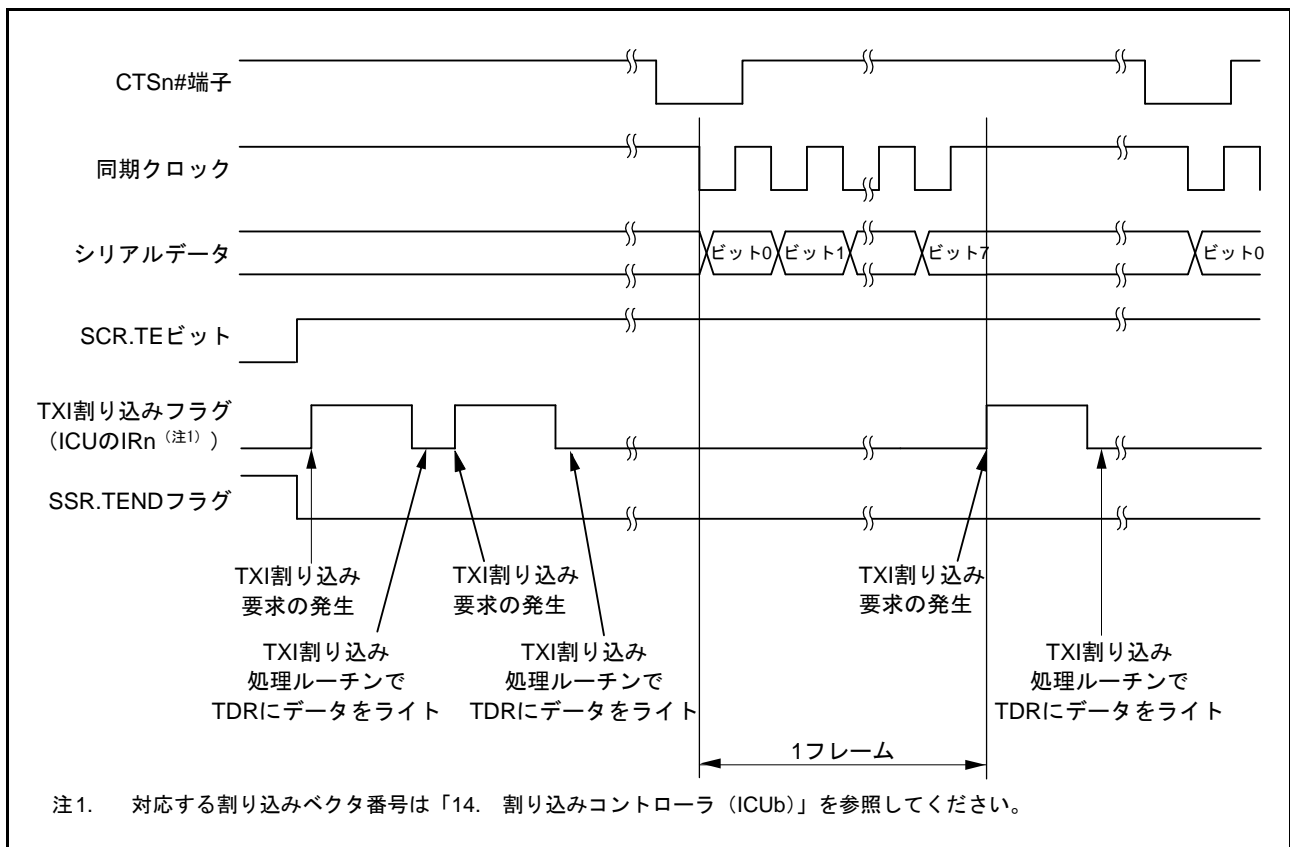


図 28.26 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

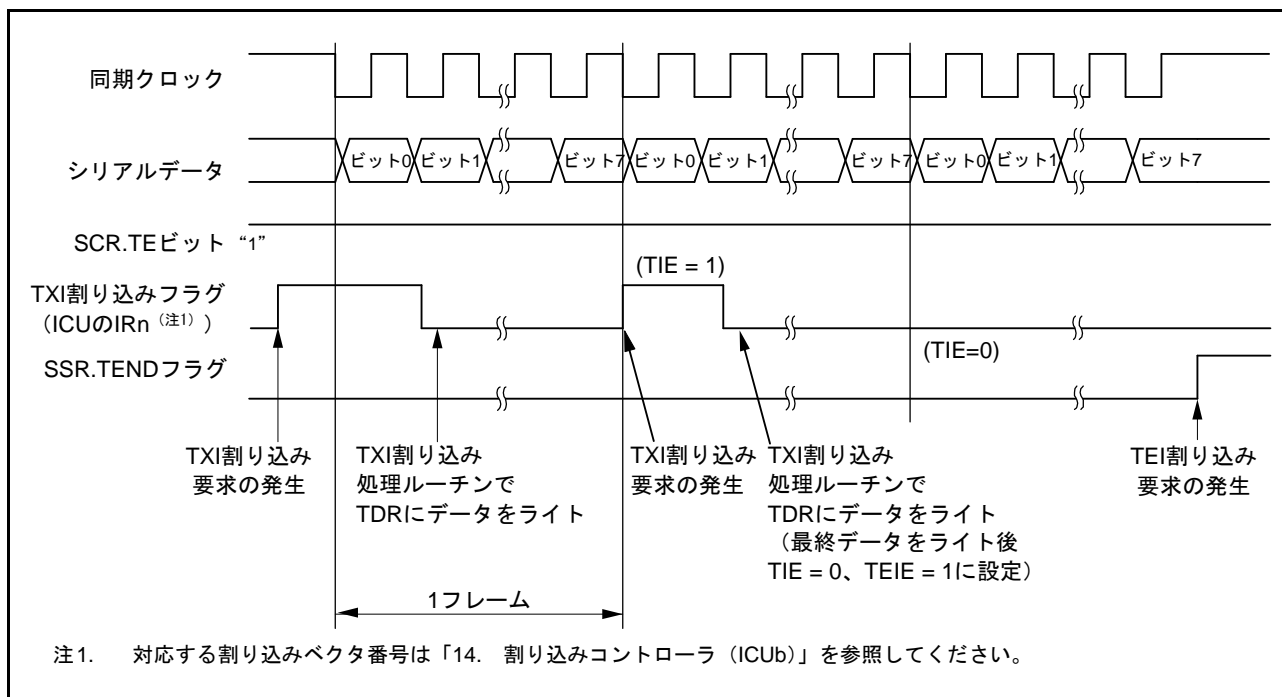


図 28.27 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

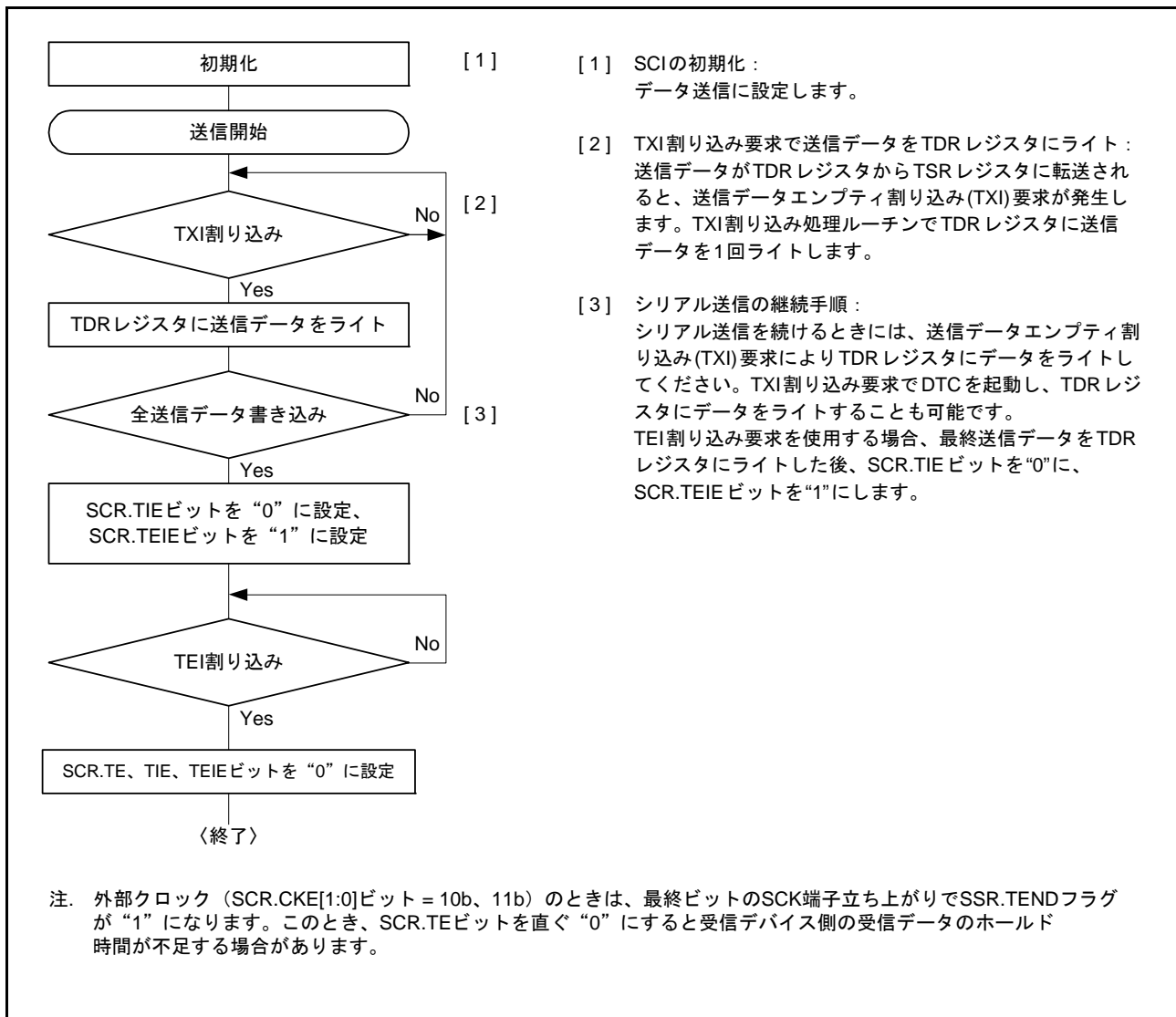


図 28.28 クロック同期式モードのシリアル送信のフローチャート例

### 28.5.5 シリアルデータの受信 (クロック同期式モード)

図 28.29、図 28.30 にクロック同期式モードのシリアル受信時の動作例を示します。  
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします (RTS 機能使用時)。

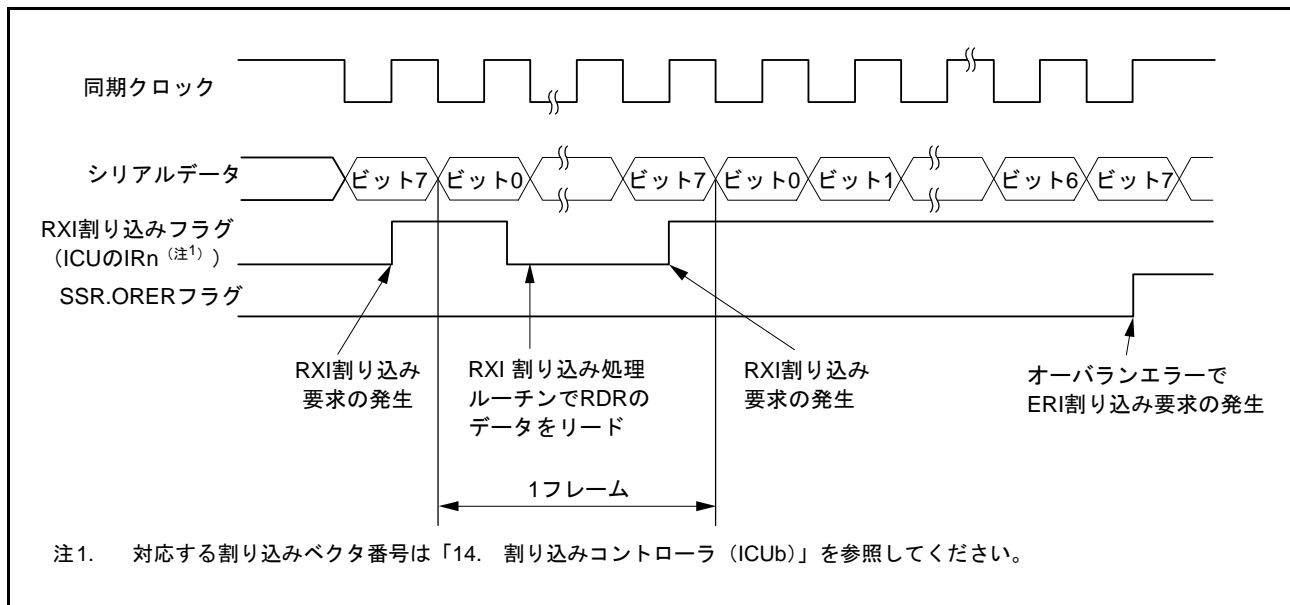


図 28.29 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)



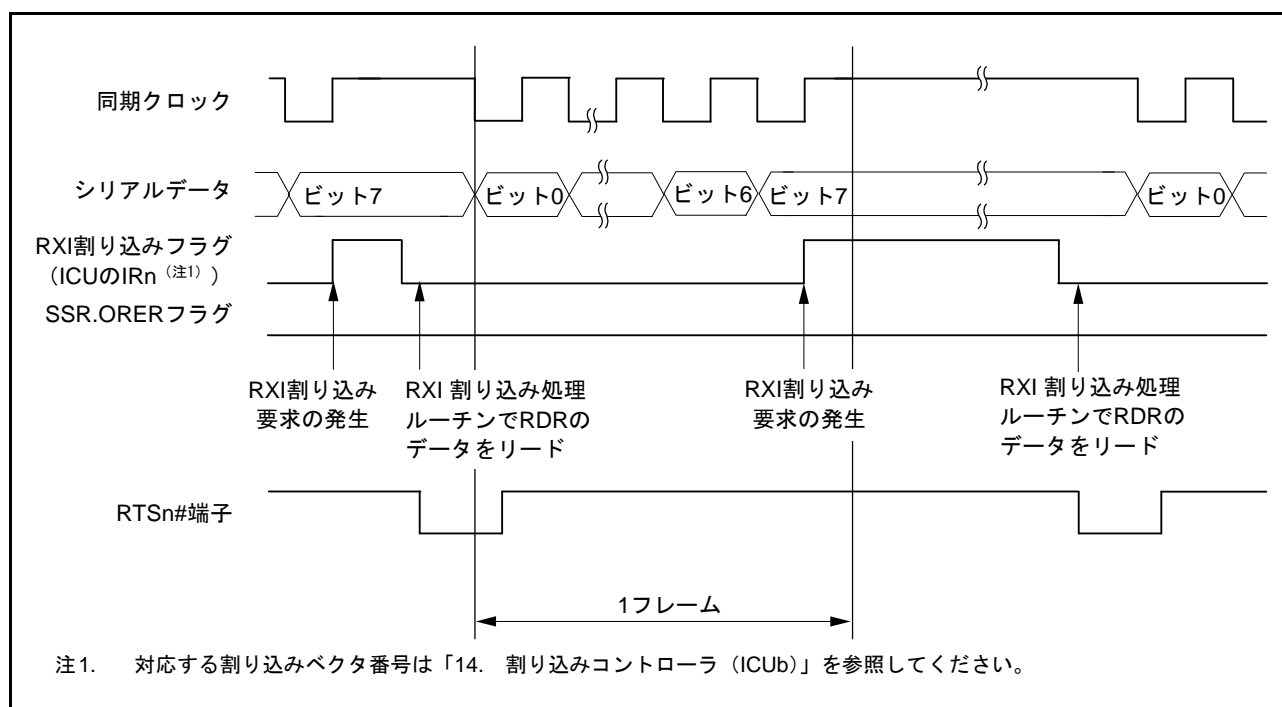


図 28.30 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 28.31 にシリアル受信のフローチャートの例を示します。

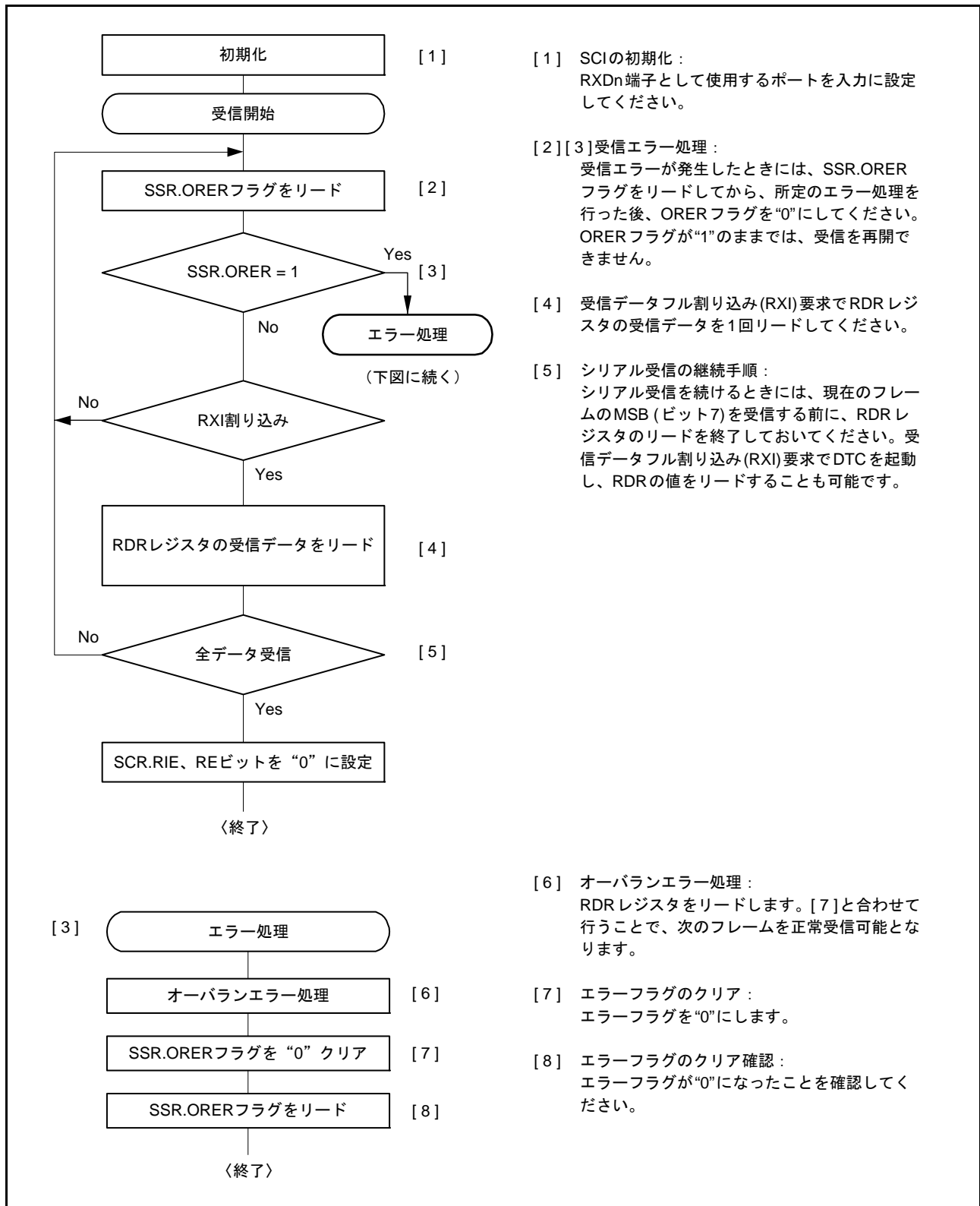


図 28.31 クロック同期式モードのシリアル受信のフローチャート例

### 28.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 28.32 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

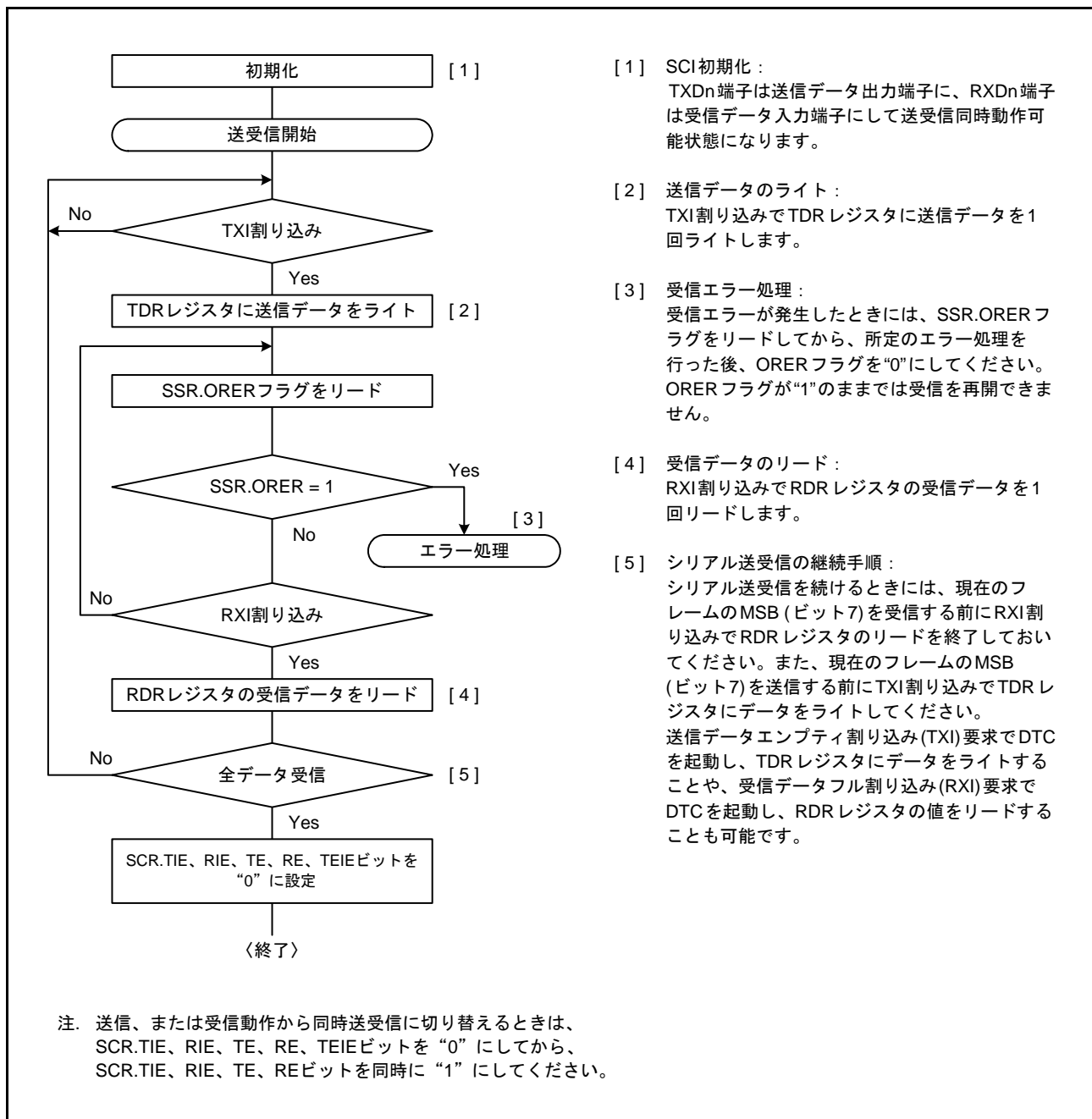


図 28.32 クロック同期式モードのシリアル送受信同時動作のフローチャート例

## 28.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 28.6.1 接続例

図 28.33 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

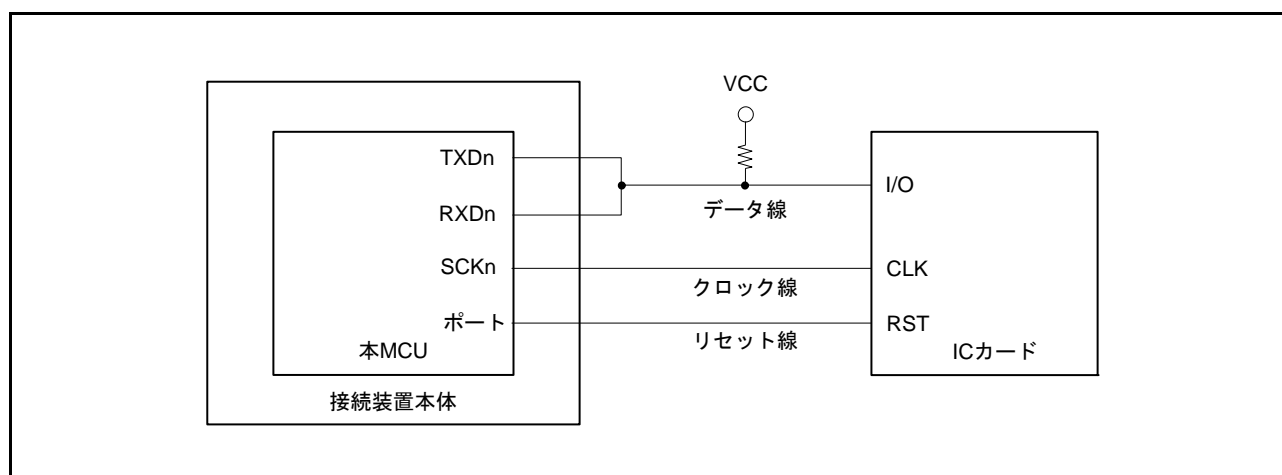


図 28.33 スマートカード (IC カード) との接続例

### 28.6.2 データフォーマット (ブロック転送モード時を除く)

図 28.34 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

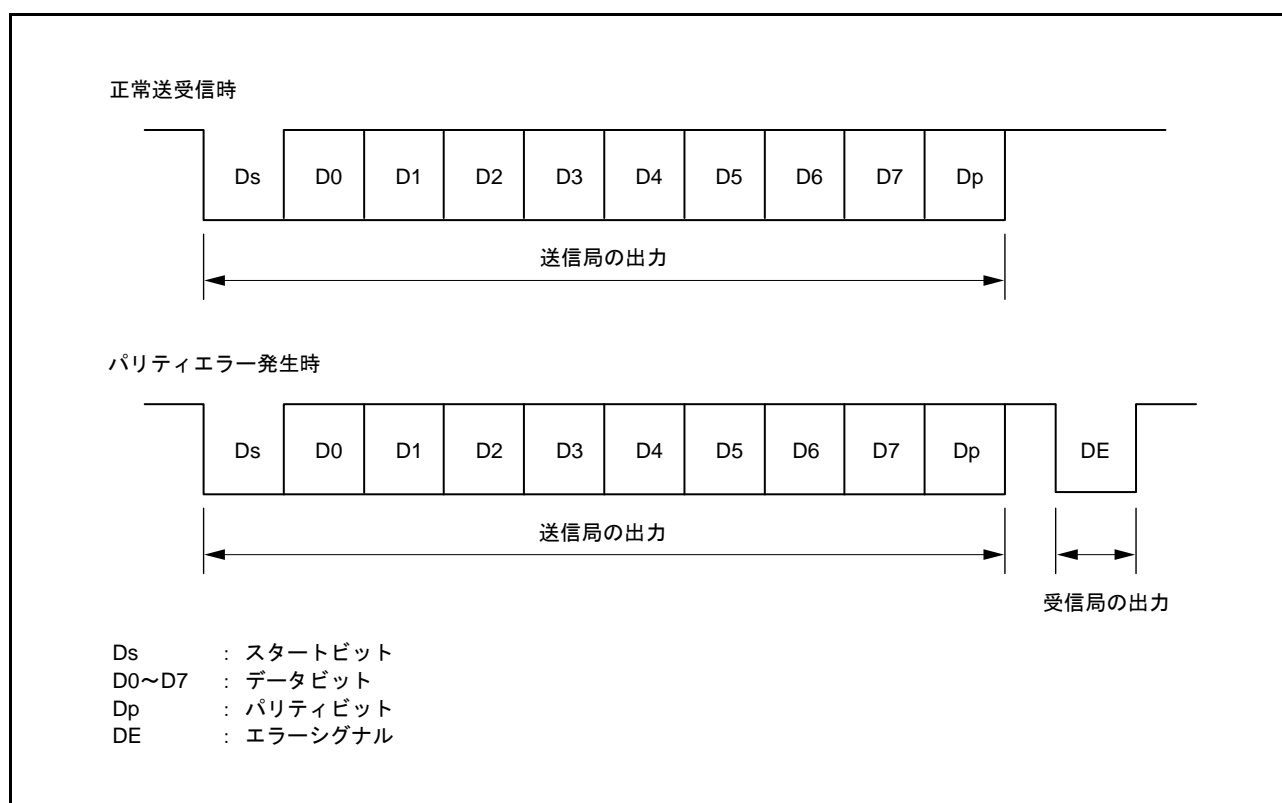


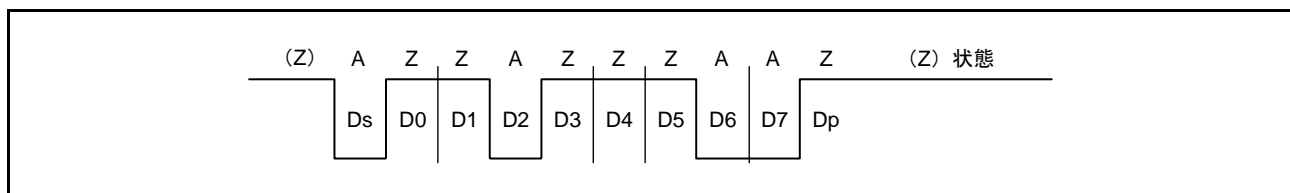
図 28.34 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

### (1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 28.35** に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。**図 28.35** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには“0”を設定してください。



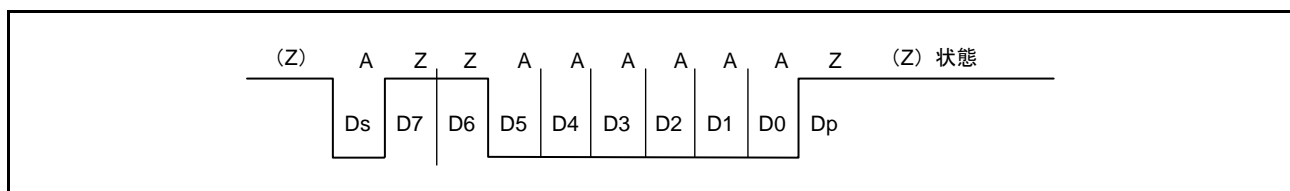
**図 28.35** ダイレクトコンベンション  
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

### (2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。**図 28.36** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR.PM ビットに“1”を設定してパリティビットを反転させてください。



**図 28.36** インバースコンベンション  
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

## 28.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

### 28.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期化します。図 28.37 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%)$$

M: 受信マージン(%)

N: クロックに対するビットレートの比(N = 32, 64, 372, 256)

D: クロックデューティ(D = 0 ~ 1.0)

L: フレーム長(L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

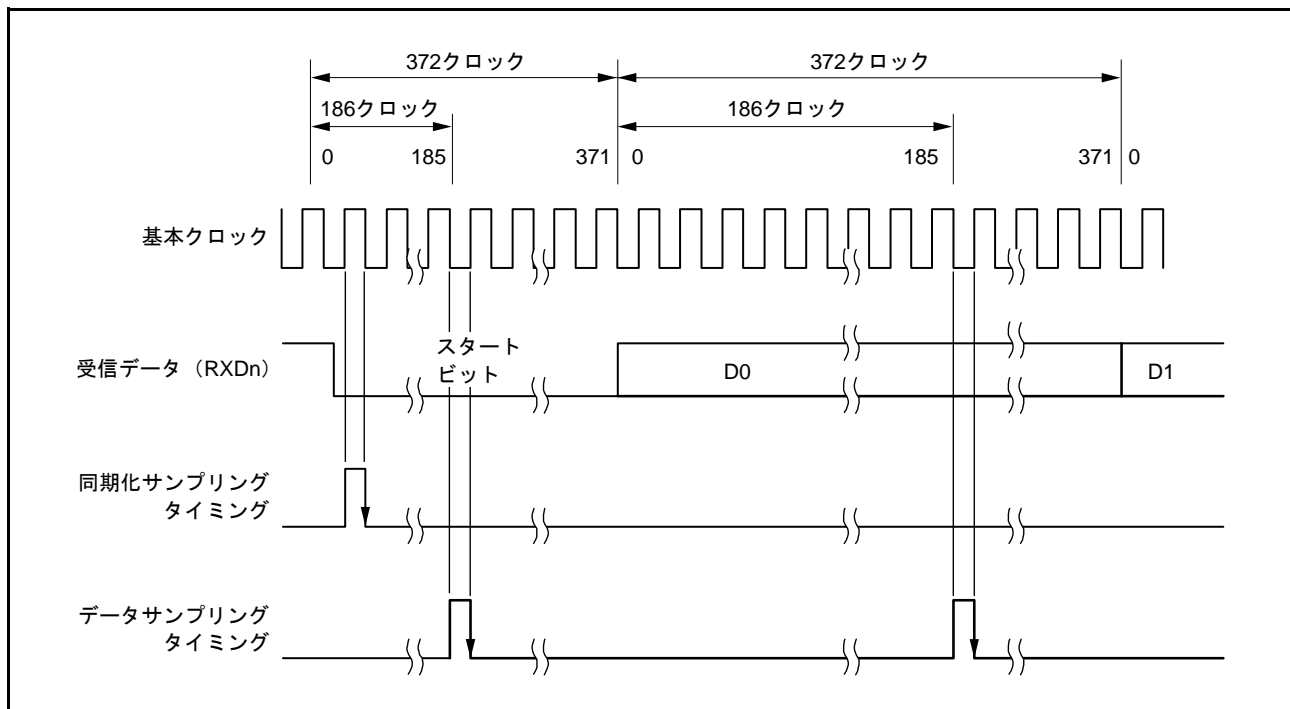


図 28.37 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

### 28.6.5 SCIの初期化(スマートカードインタフェースモード)

図 28.38 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを“00b”にする必要はありません。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 28.38 の [1] と [3] を実施し、[11] で TE ビット=1、RE ビット=0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 28.38 の [1] と [3] を実施し、[11] で TE ビット=0、RE ビット=1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

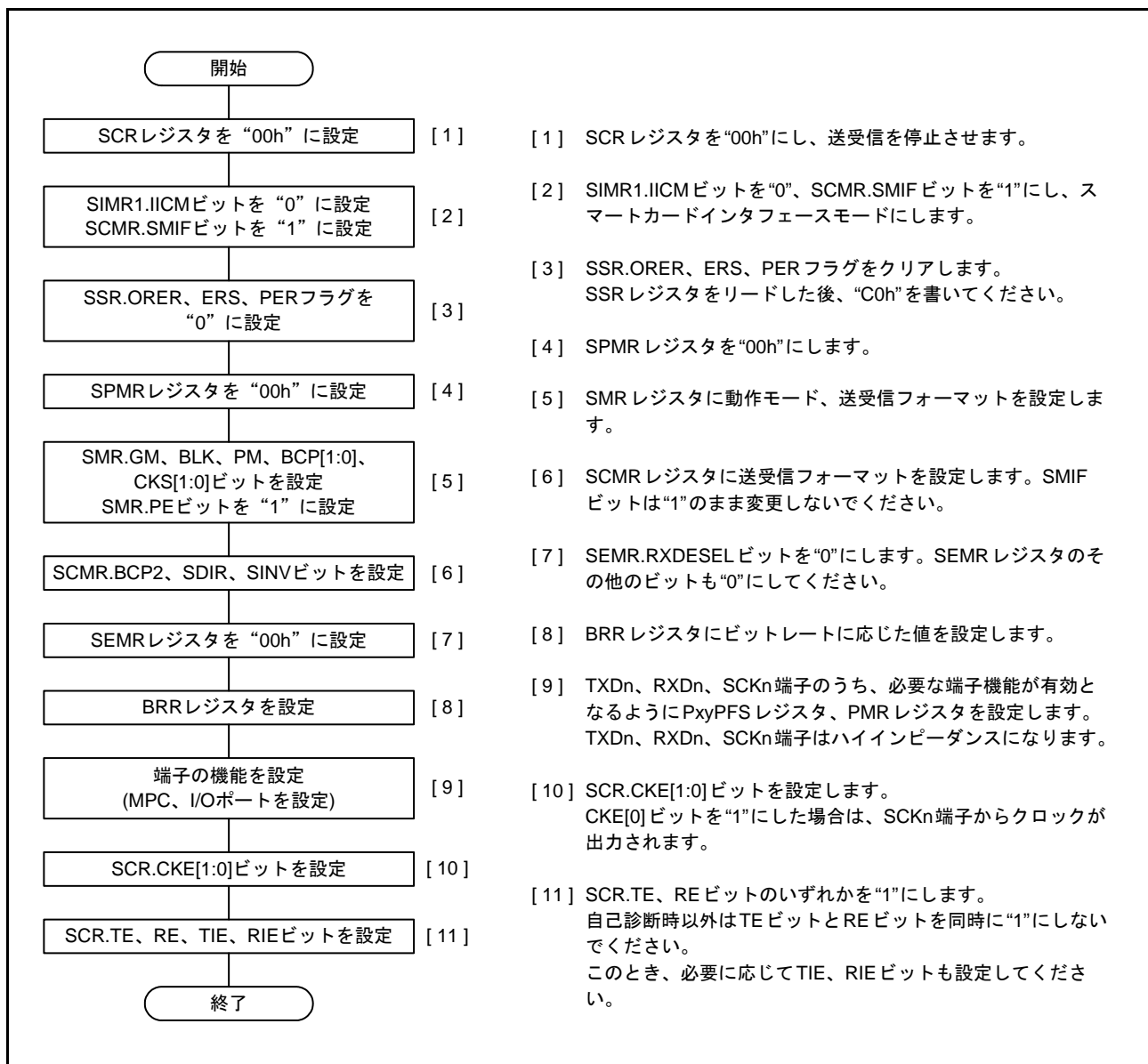


図 28.38 SCIの初期化フローチャートの例(スマートカードインタフェースモード)



図 28.39 は、リセット解除後に図 28.38 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”(クロック出力)であれば、クロックを出力し続けます。

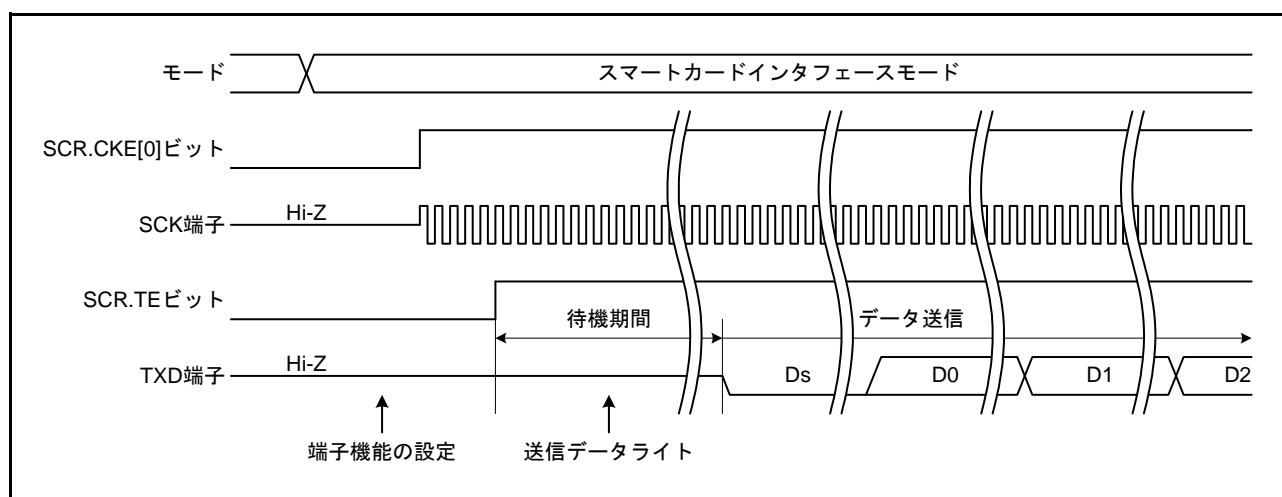


図 28.39 スマートカードインタフェースモード時のデータ送信タイミング例

### 28.6.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 28.40 に示します。

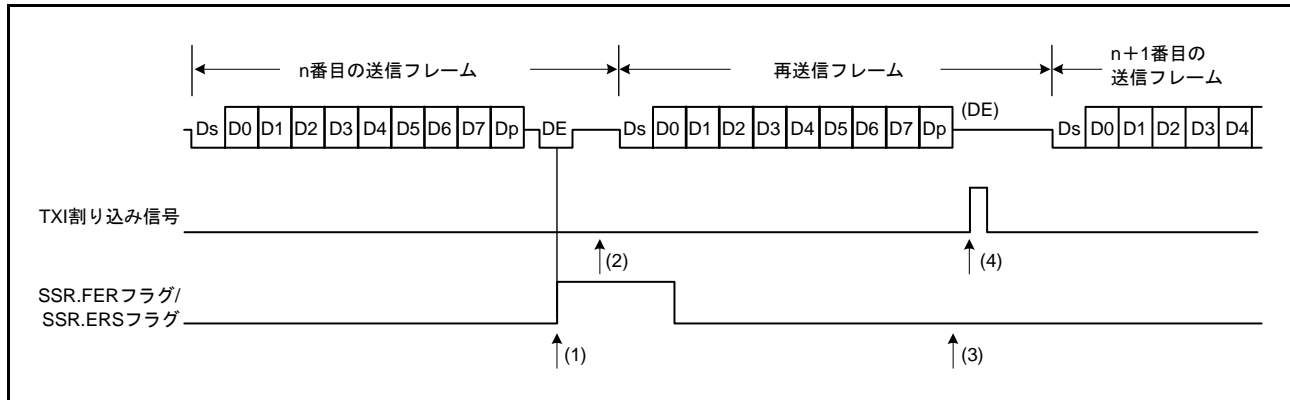


図 28.40 SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”になります。このとき **SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングまでに **ERS** フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、**SSR.TEND** フラグはセットされません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグがセットされます。このとき、**SCR.TIE** ビットが“1”であれば、**TXI** 割り込み要求が発生します。送信データを **TDR** レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 28.41 に示します。

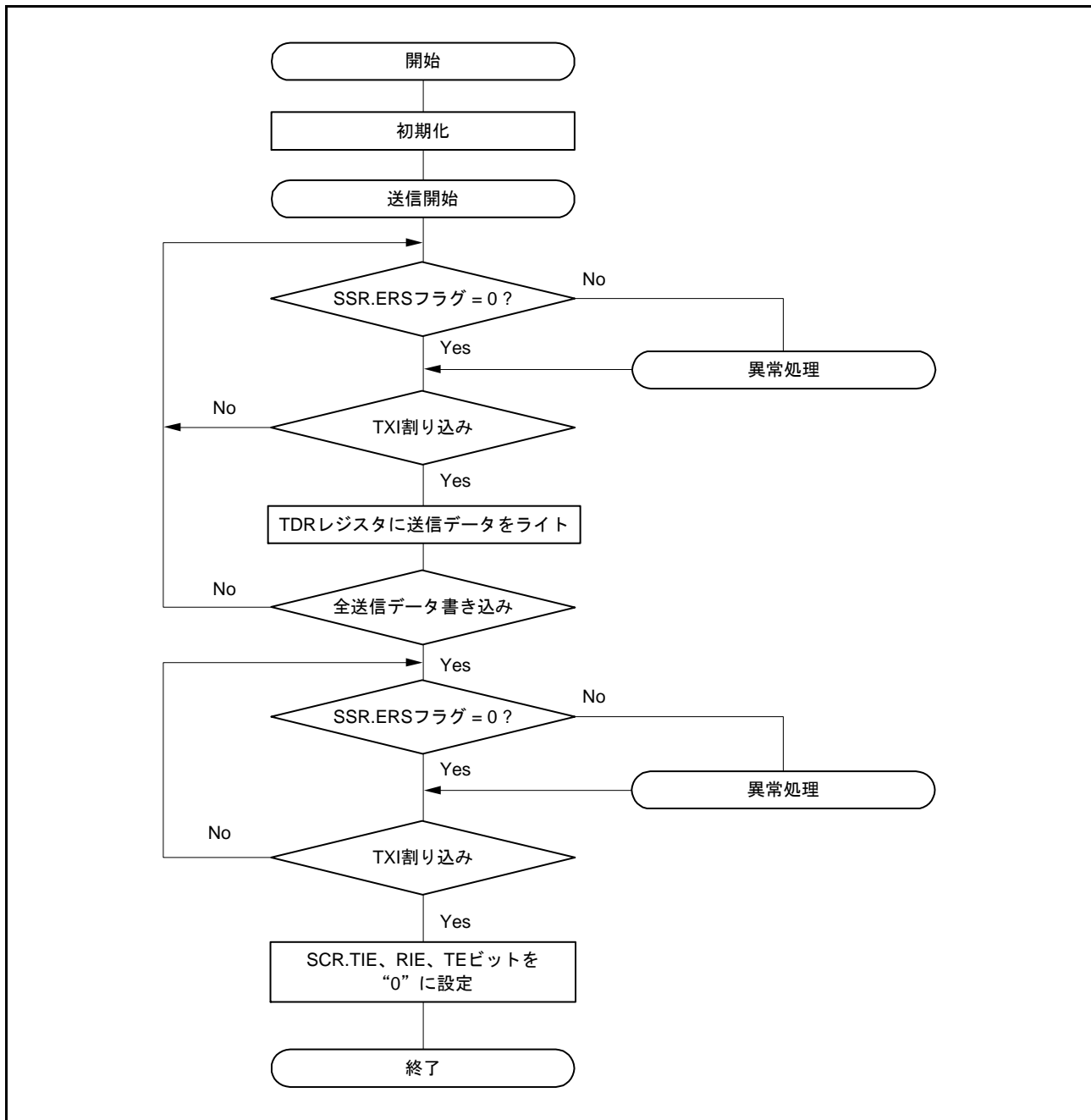


図 28.41 スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC を起動することで自動的に行うことができます。送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてくだ

さい。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC の設定方法は「16. データトランスファコントローラ (DTCa)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 28.42 に TEND フラグ発生タイミングを示します。

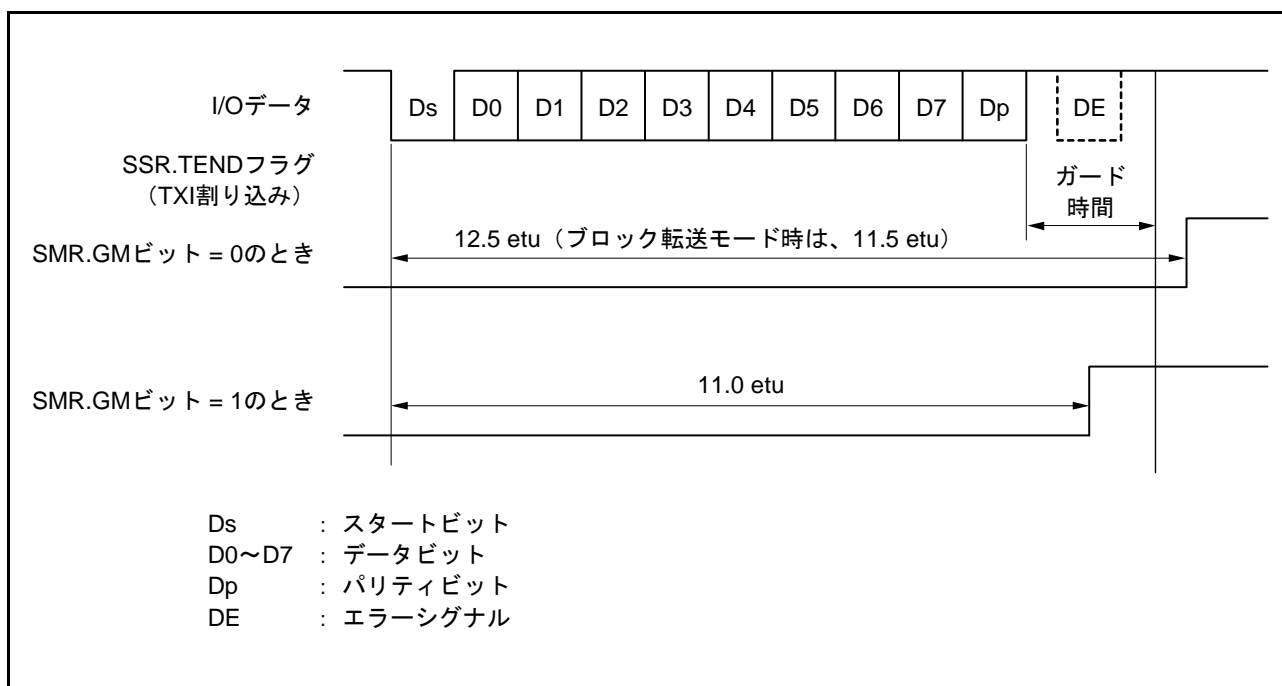


図 28.42 送信時の SSR.TEND フラグの発生タイミング

### 28.6.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 28.43 に示します。

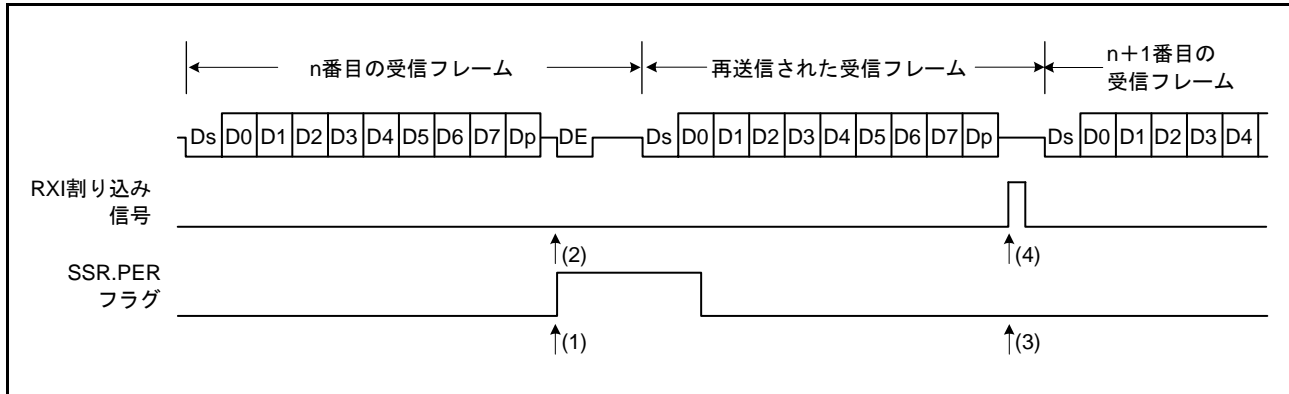


図 28.43 SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

- (1) 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”になります。このとき、**SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、**SSR.PER** フラグはセットされません。
- (4) 正常に受信を完了したと判断して、**RIE** ビットが“1”であれば、**RXI** 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 28.44 に示します。

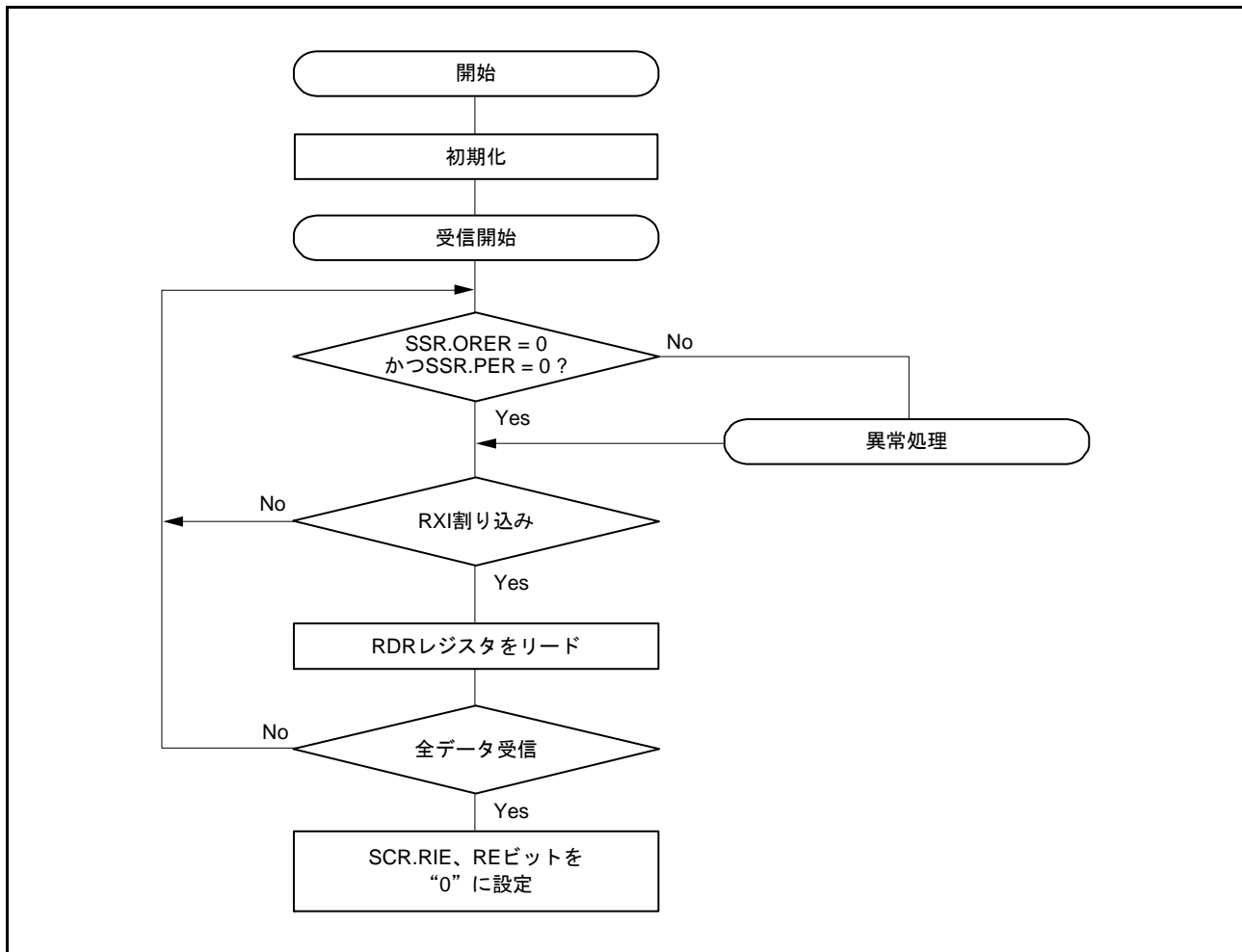


図 28.44 スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくこと、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC は起動されず、受信データはスキップされるため DTC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。

注． ブロック転送モードの場合は、「28.3 調歩同期式モードの動作」を参照してください。

### 28.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを“01b”(クロック出力)にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数(ビットレート)の設定については、「28.2.9 ビットレートレジスタ(BRR)」を参照してください。CKE[1:0] ビットを“00b”(Low 出力固定)や“10b”(High 出力固定)にすると、SCK 端子から Low や High を出力できます。

図 28.45 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが“0”(非 GSM モード)の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

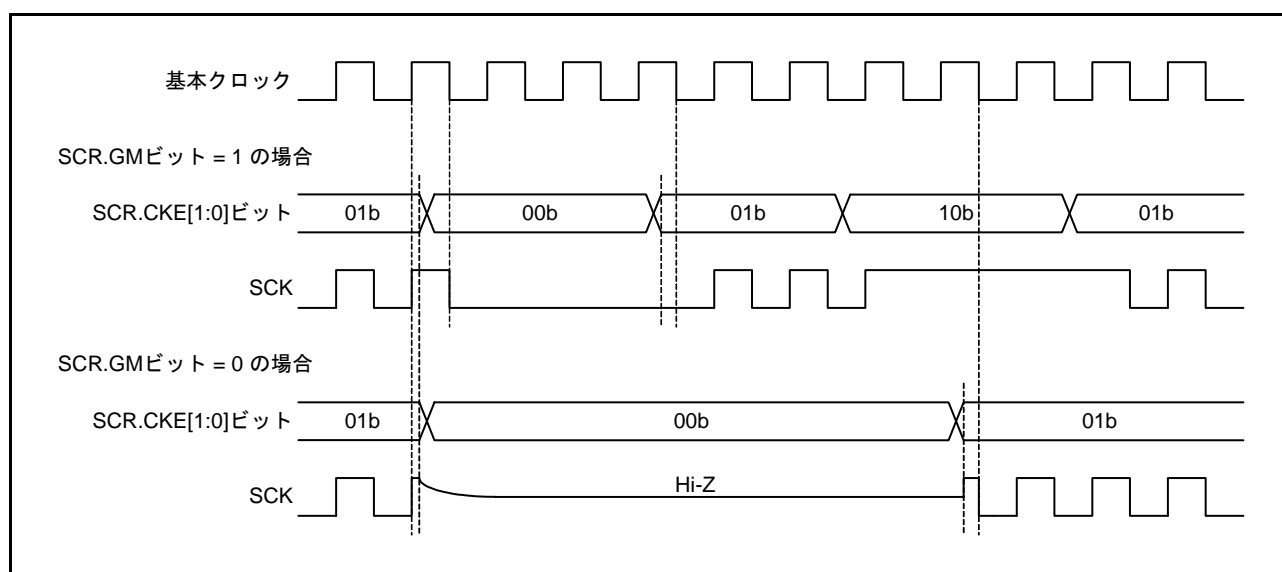


図 28.45 クロック出力制御

### 28.7 簡易 I<sup>2</sup>C モードの動作

簡易 I<sup>2</sup>C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、**MSB** から順に送信されます。

図 28.46 に I<sup>2</sup>C バスフォーマットを、図 28.47 に I<sup>2</sup>C バスタイミングを示します。

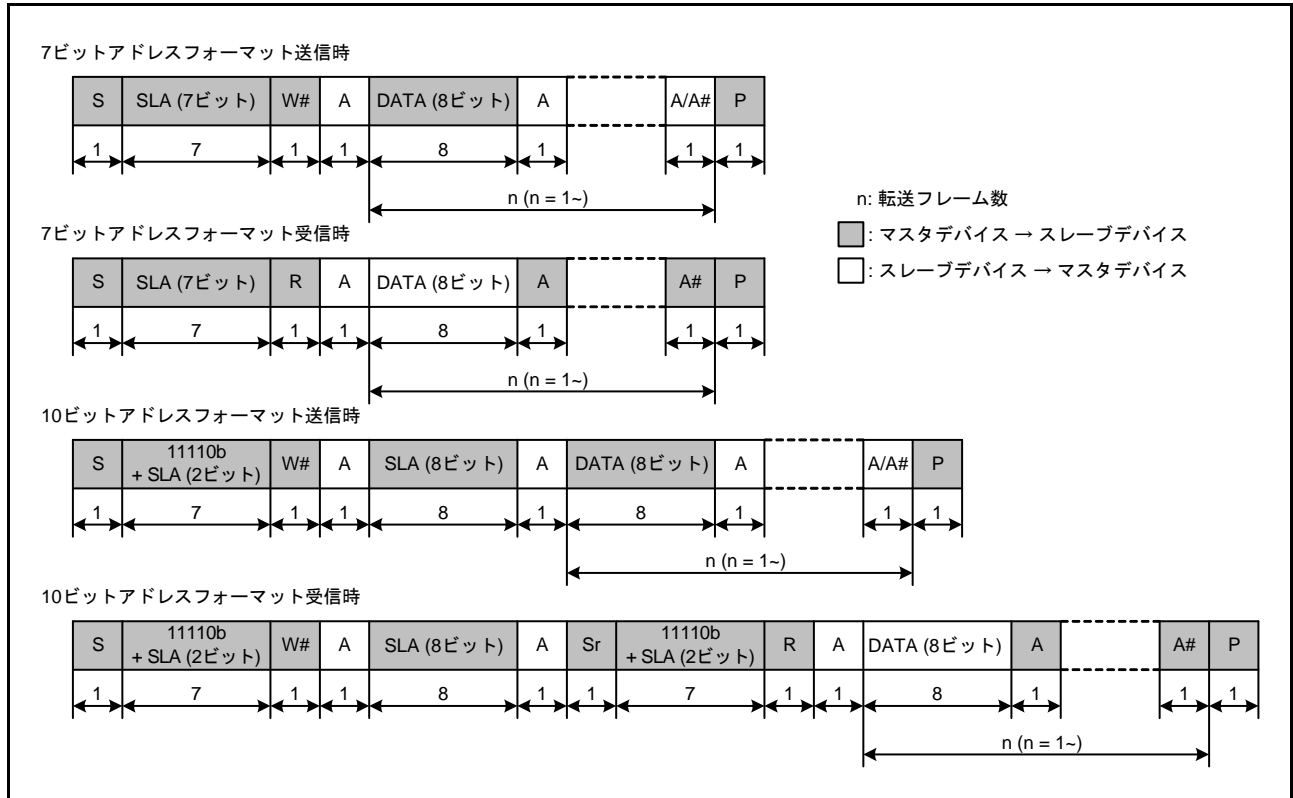


図 28.46 I<sup>2</sup>C バスフォーマット

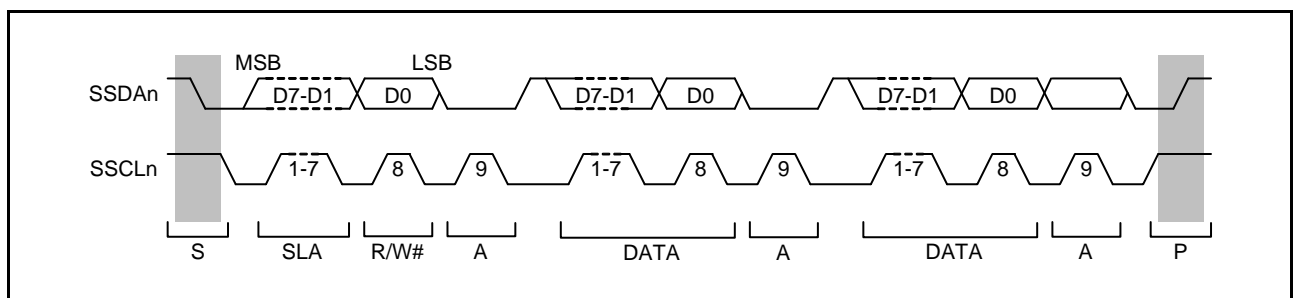


図 28.47 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)



- S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがLowからHighに変化します。

### 28.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 28.48 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

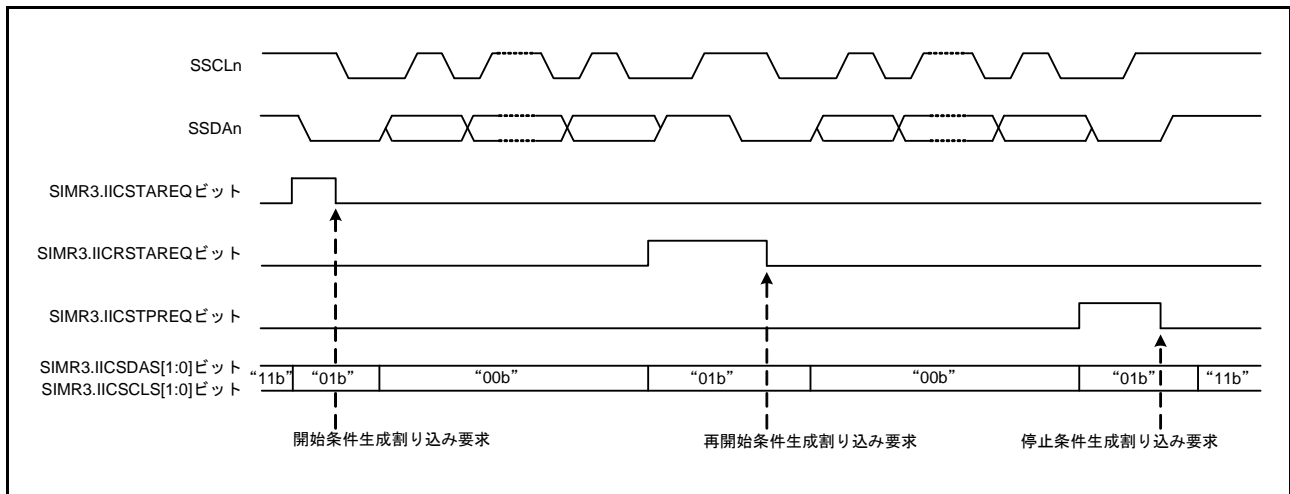


図 28.48 開始条件、再開条件、停止条件生成の動作タイミング

### 28.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 28.49 にクロック同期化の動作例を示します。

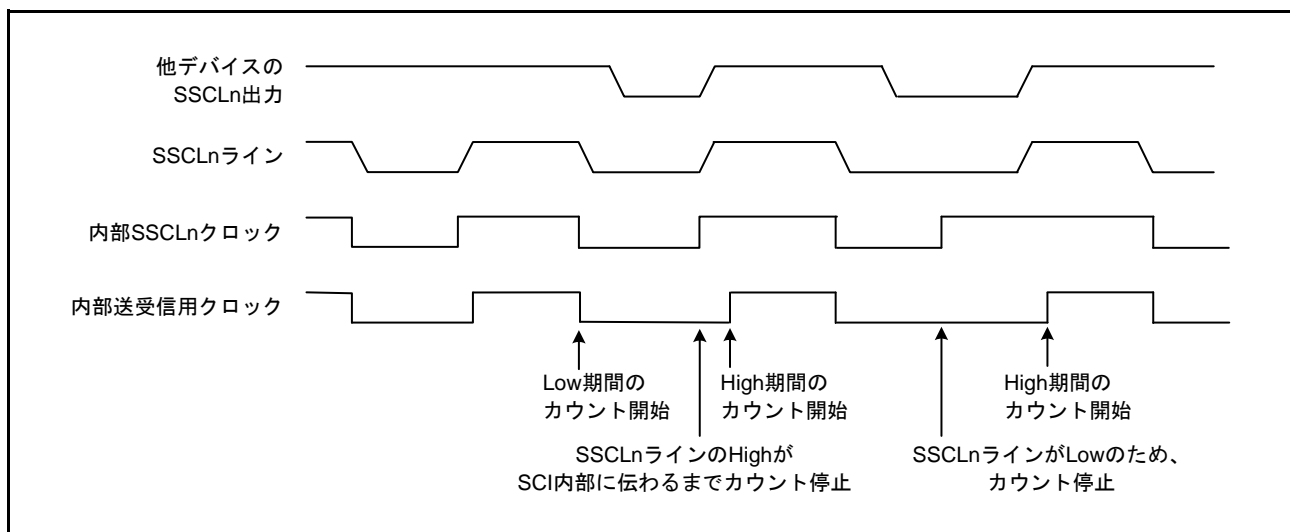


図 28.49 クロック同期化の動作例

### 28.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0～31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I<sup>2</sup>C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 28.50 に SSDA 出力遅延のタイミングを示します。

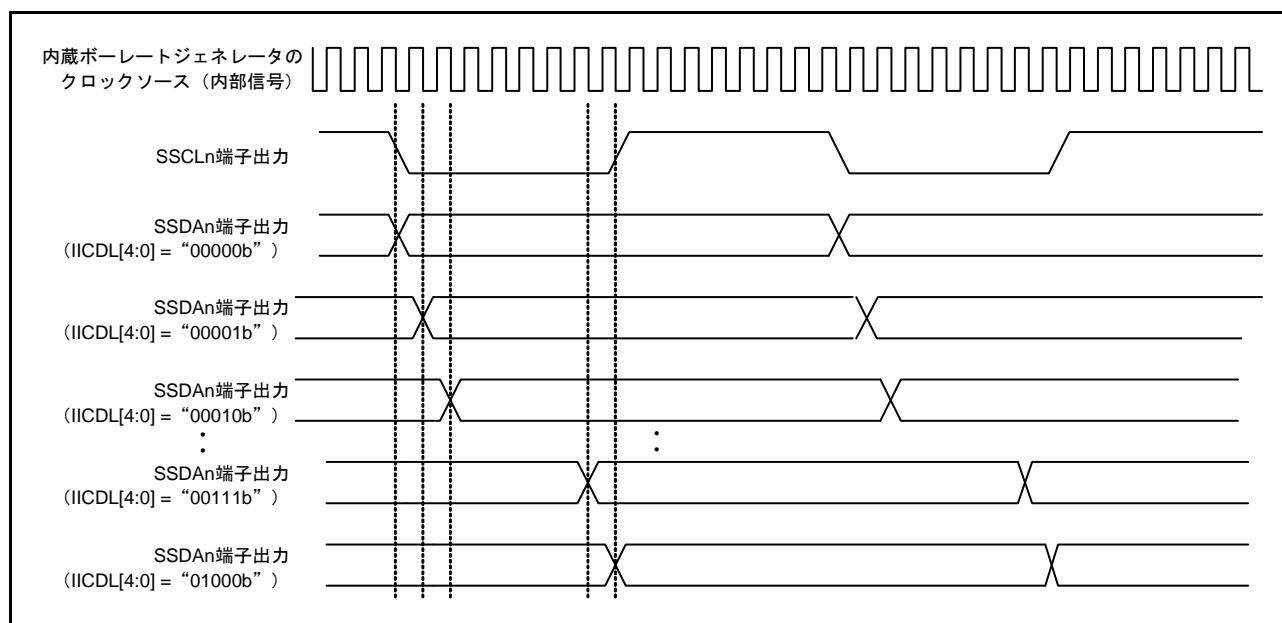


図 28.50 SSDA 出力遅延のタイミング

### 28.7.4 SCIの初期化 (簡易 I<sup>2</sup>C モード)

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図 28.51 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易 I<sup>2</sup>C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

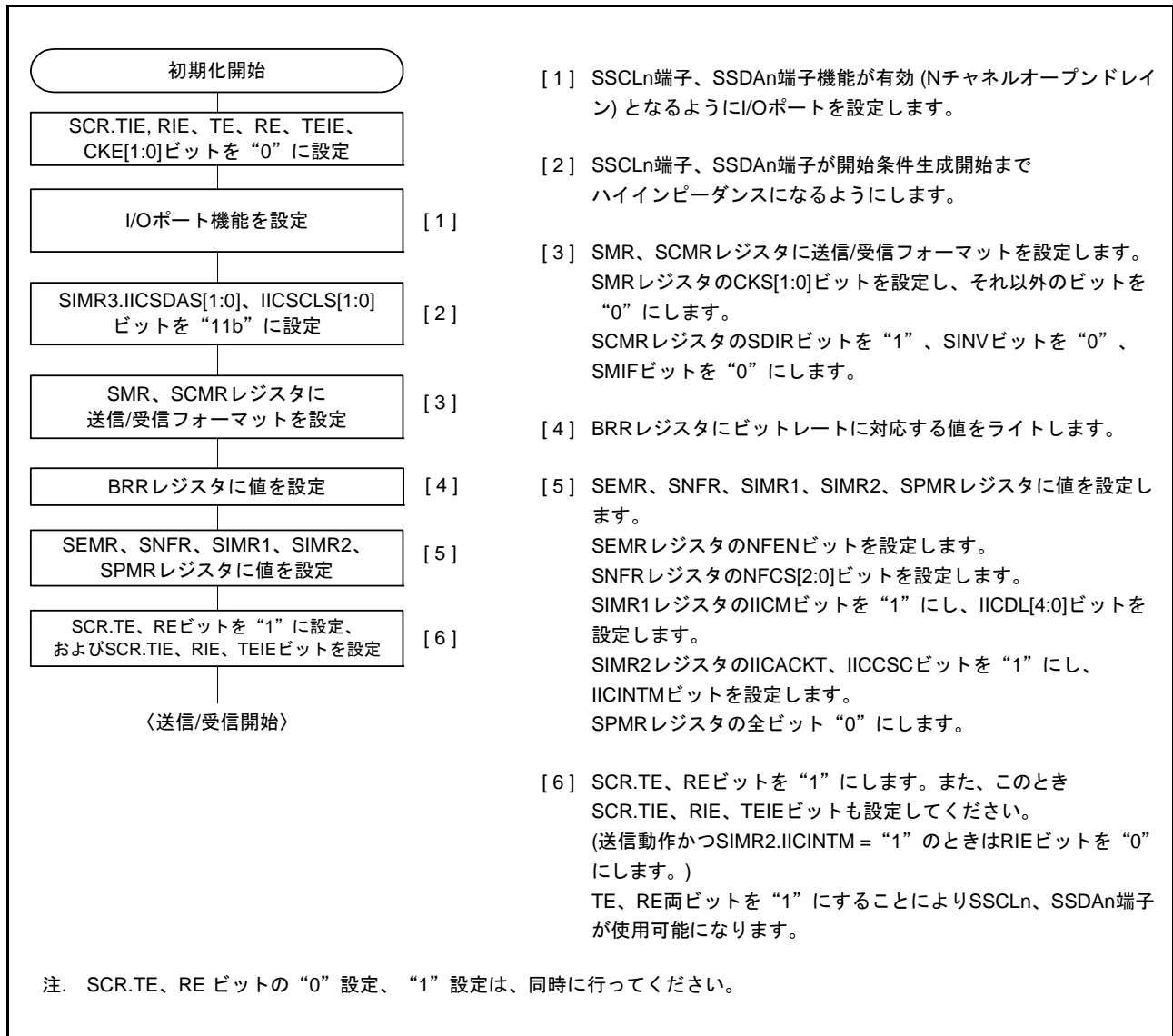


図 28.51 SCIの初期化フローチャート例 (簡易 I<sup>2</sup>C モード)

### 28.7.5 マスタ送信動作 (簡易 I<sup>2</sup>C モード)

図 28.52、図 28.53 に簡易 I<sup>2</sup>C モードのマスタ送信の動作例を、図 28.54 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 28.32 を参照してください。

10 ビットスレーブアドレス時は、図 28.54 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I<sup>2</sup>C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

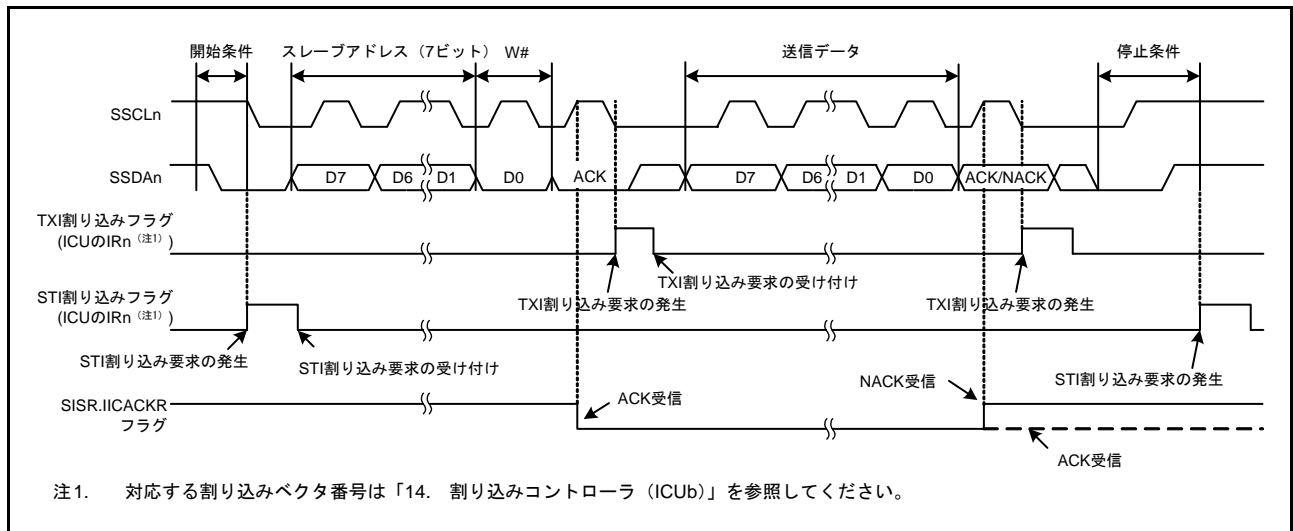


図 28.52 簡易 I<sup>2</sup>C バスモードのマスタ送信の動作例 1  
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

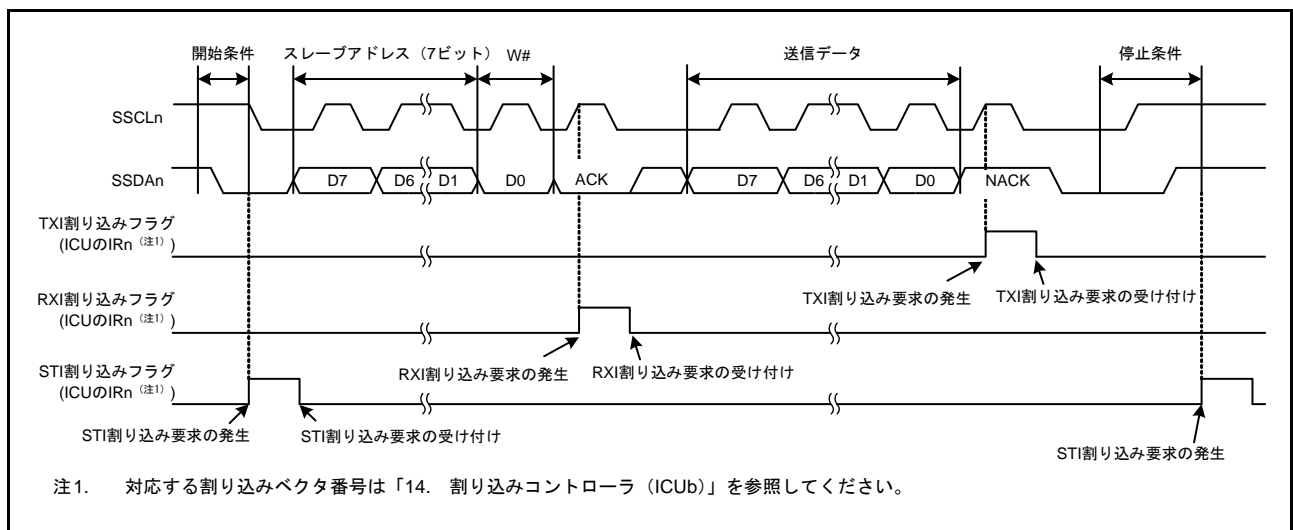
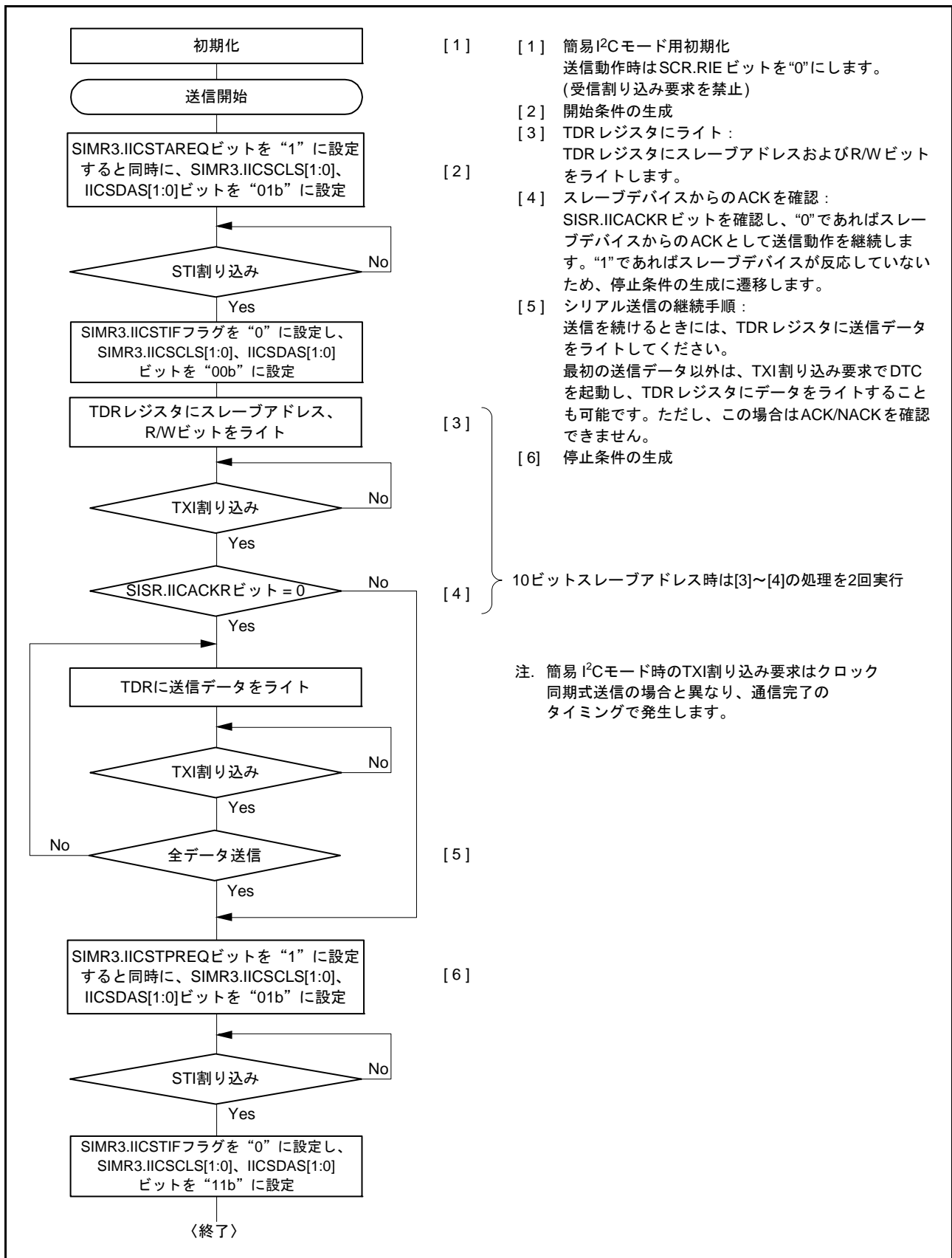


図 28.53 簡易 I<sup>2</sup>C バスモードのマスタ送信の動作例 2  
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)



- [1] [1] 簡易I<sup>2</sup>Cモード用初期化  
送信動作時はSCR.RIEビットを“0”にします。  
(受信割り込み要求を禁止)
  - [2] [2] 開始条件の生成
  - [3] [3] TDRレジスタにライト：  
TDRレジスタにスレーブアドレスおよびR/Wビット  
をライトします。
  - [4] [4] スレーブデバイスからのACKを確認：  
SISR.IICACKRビットを確認し、“0”であればスレー  
ブデバイスからのACKとして送信動作を継続しま  
す。“1”であればスレーブデバイスが反応していな  
いため、停止条件の生成に遷移します。
  - [5] [5] シリアル送信の継続手順：  
送信を続けるときには、TDRレジスタに送信デー  
タをライトしてください。  
最初の送信データ以外は、TXI割り込み要求でDTC  
を起動し、TDRレジスタにデータをライトすること  
も可能です。ただし、この場合はACK/NACKを確認  
できません。
  - [6] [6] 停止条件の生成
- [3] }  
[4] } 10ビットスレーブアドレス時は[3]~[4]の処理を2回実行

注. 簡易 I<sup>2</sup>Cモード時のTXI割り込み要求はクロック同期式送信の場合と異なり、通信完了のタイミングで発生します。

図 28.54 簡易 I<sup>2</sup>C モードのマスター送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

### 28.7.6 マスタ受信動作 (簡易 I<sup>2</sup>C モード)

図 28.55 に簡易 I<sup>2</sup>C モードのマスタ受信の動作例を、図 28.56 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I<sup>2</sup>C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

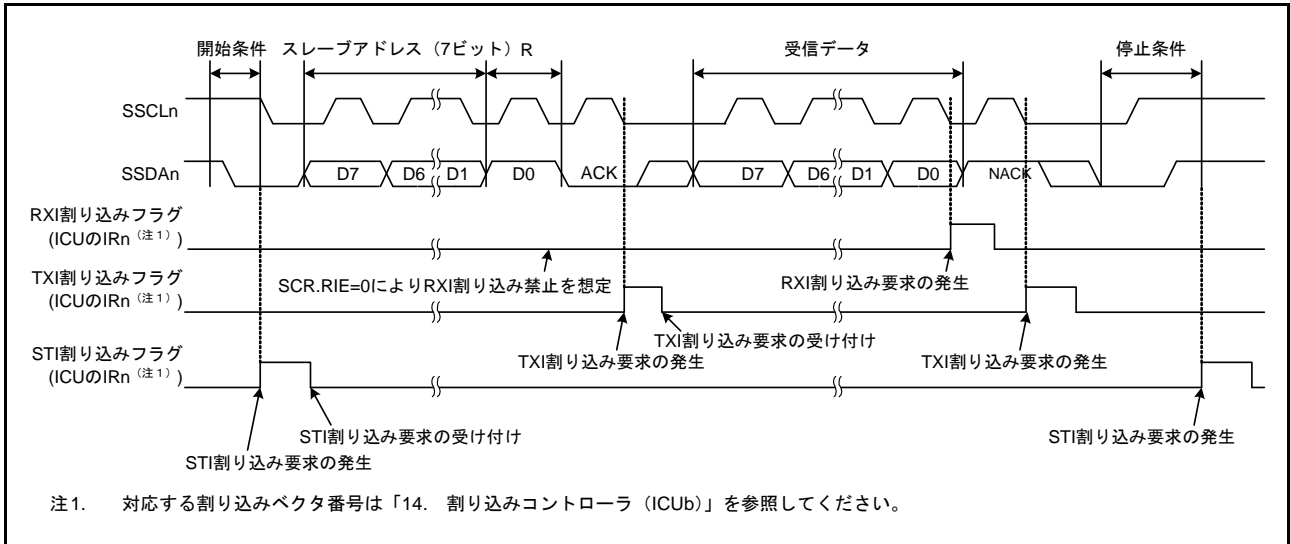


図 28.55 簡易 I<sup>2</sup>C バスモードのマスタ受信の動作例 (7ビットスレーブアドレス、送信割り込み、受信割り込み使用時)



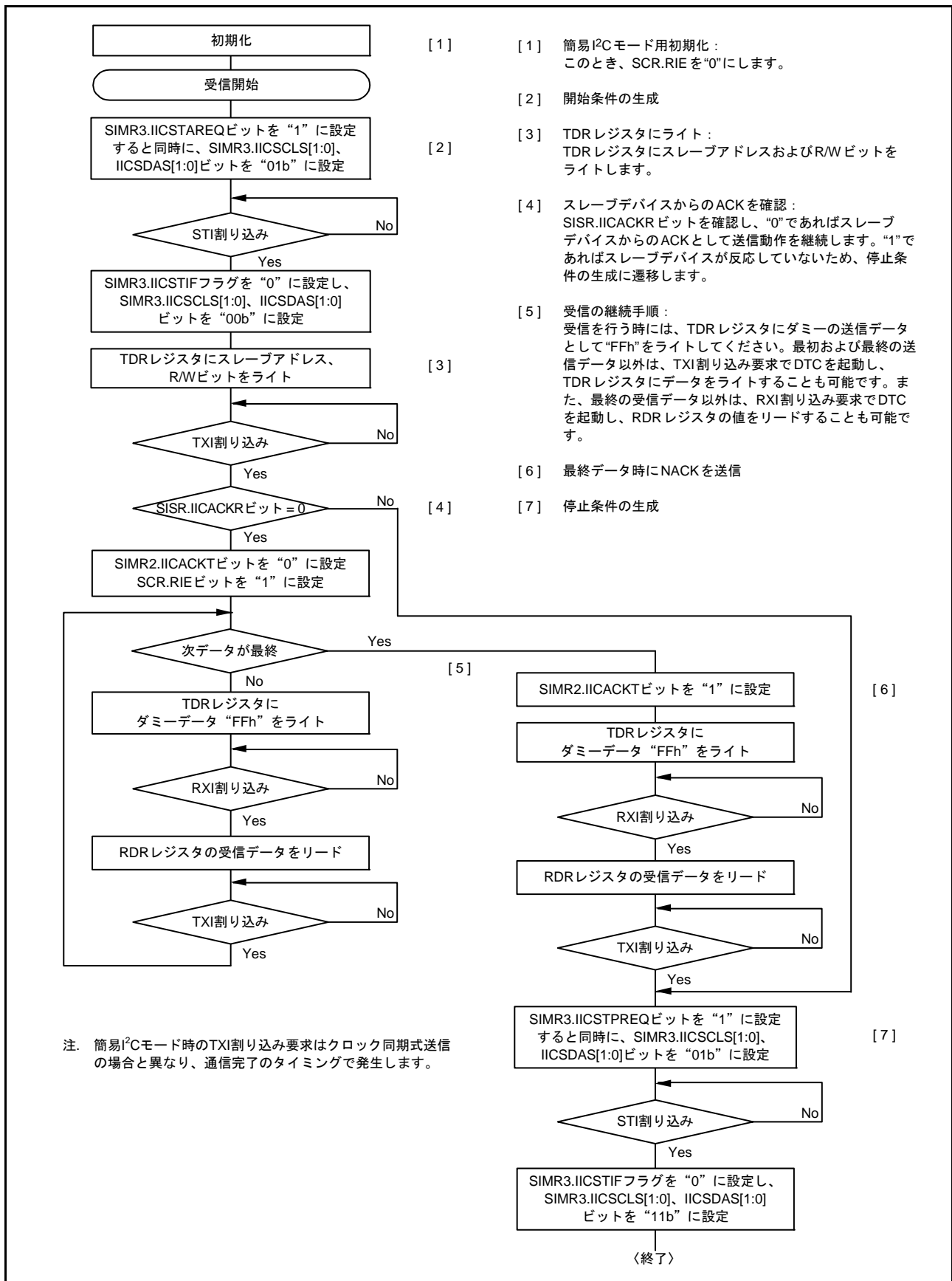


図 28.56 簡易 I<sup>2</sup>C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

### 28.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
- (2) SIMR3 レジスタを “F0h” にして、バスを解放する。
- (3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
- (4) SCR.TE ビットと RE ビットを同時に “1” にする。

## 28.8 簡易 SPI モードの動作

SCIの拡張機能として、1つまたは複数のマスタから複数のスレーブに通信が可能な簡易SPIモードをサポートしています。

クロック同期式モードの設定（SCMR.SMIFビット=0、SIMR1.IICMビット=0、SMR.CMビット=1）、かつ、SPMR.SSEビットを“1”にすることにより、簡易SPIモードになります。なお、簡易SPIモード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側のSS端子機能は不要であり、SPMR.SSEビットを“0”にします。

図28.57に簡易SPIモードの接続例を示します。マスタからのSS信号出力については、汎用ポートで制御してください。

簡易SPIモードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成され、パリティビットの付加はできません。SCMR.SINVビットを“1”にすることで、送受信データを反転できます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

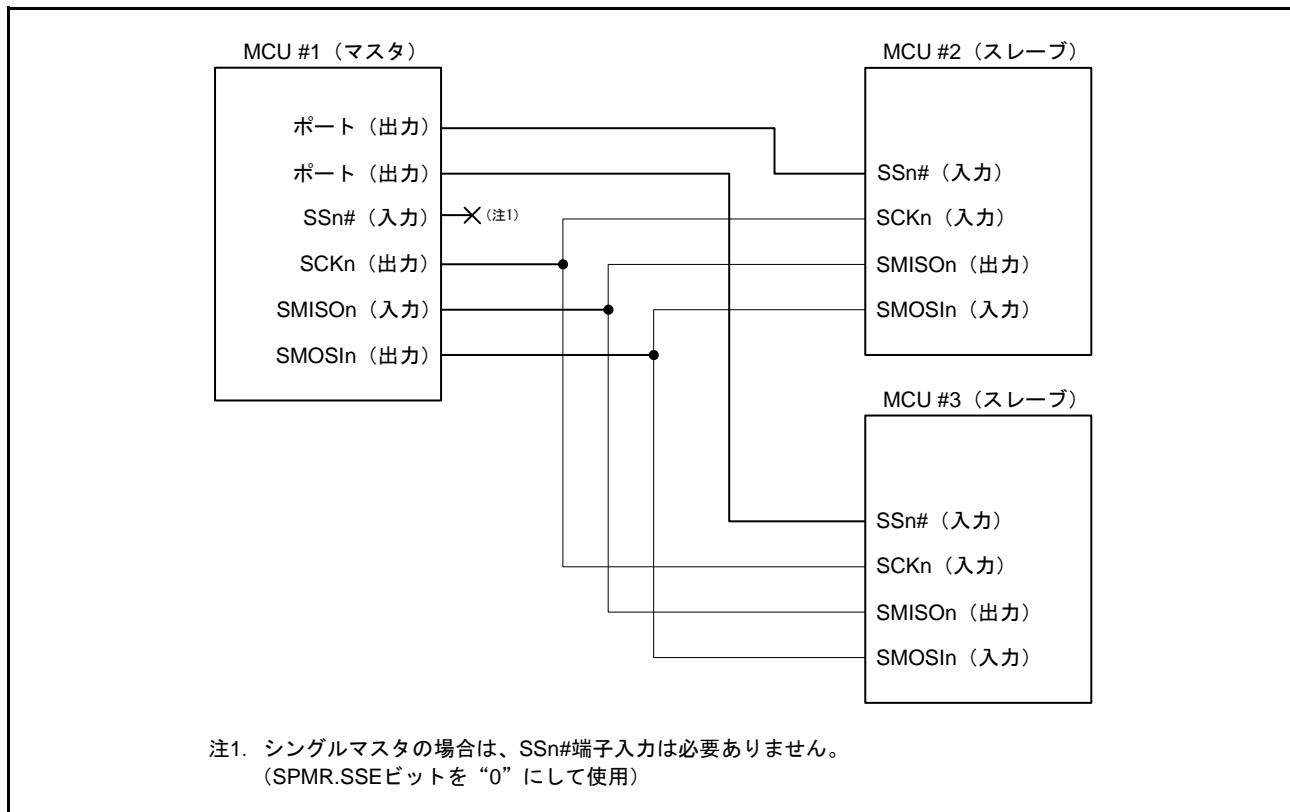


図 28.57 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

### 28.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 28.28 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 28.28 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

### 28.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

### 28.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

### 28.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 28.58 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

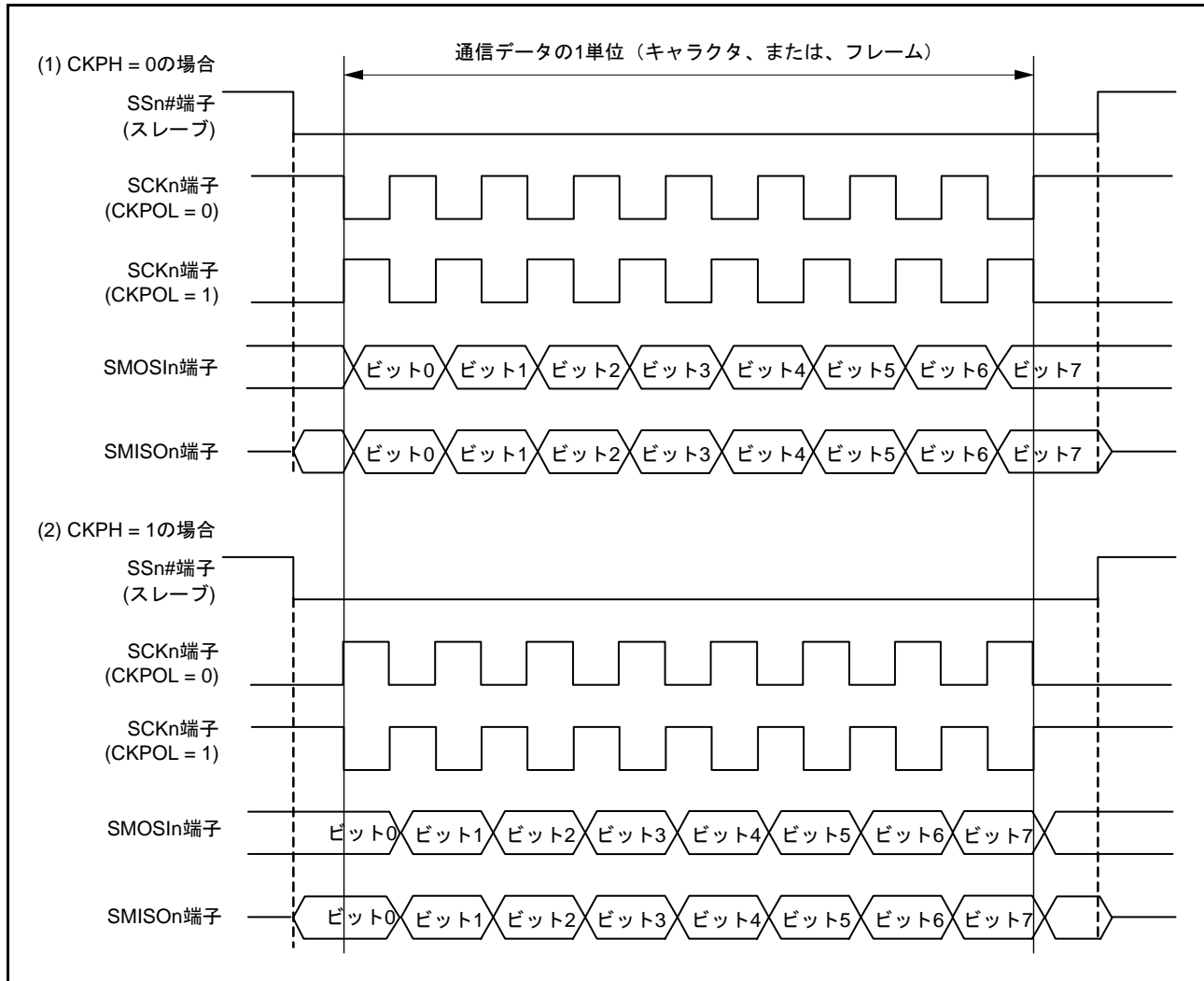


図 28.58 簡易 SPI モードのクロックと送受信データの関係

### 28.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 28.24 の SCI の初期化フローチャート例) と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

### 28.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

## 28.9 拡張シリアルモード制御部の動作説明

### 28.9.1 シリアル通信プロトコル

SCI12 の拡張シリアルモード制御部は、図 28.59 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

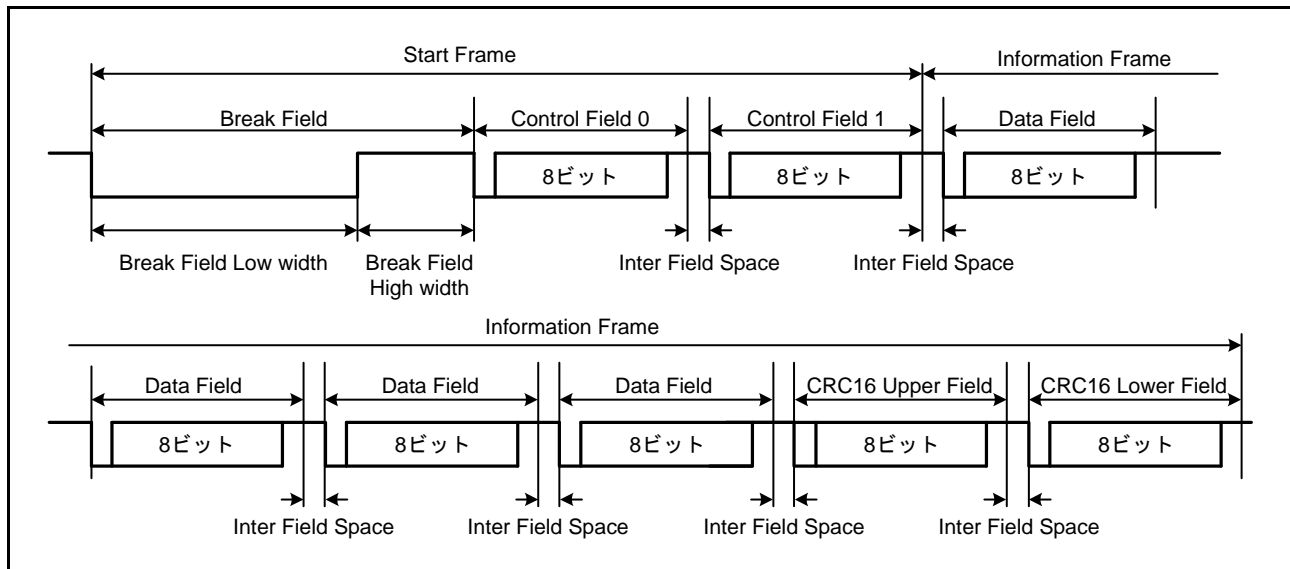


図 28.59 拡張シリアルモード制御部シリアル通信プロトコル

### 28.9.2 Start Frame 送信

図 28.60 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 28.61、図 28.62 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
- (2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) TCR.TCST ビットに“0”を書き込んでタイマのカウントを停止させた後、Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了した後、Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了した後、Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

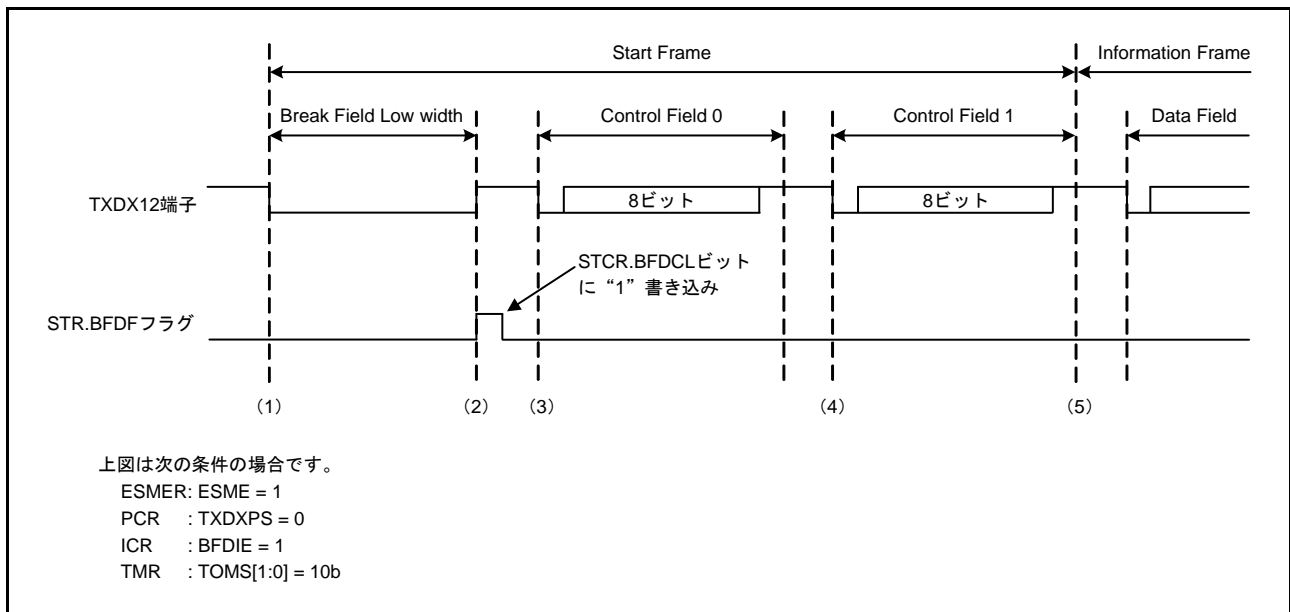


図 28.60 Start Frame 送信時の動作例



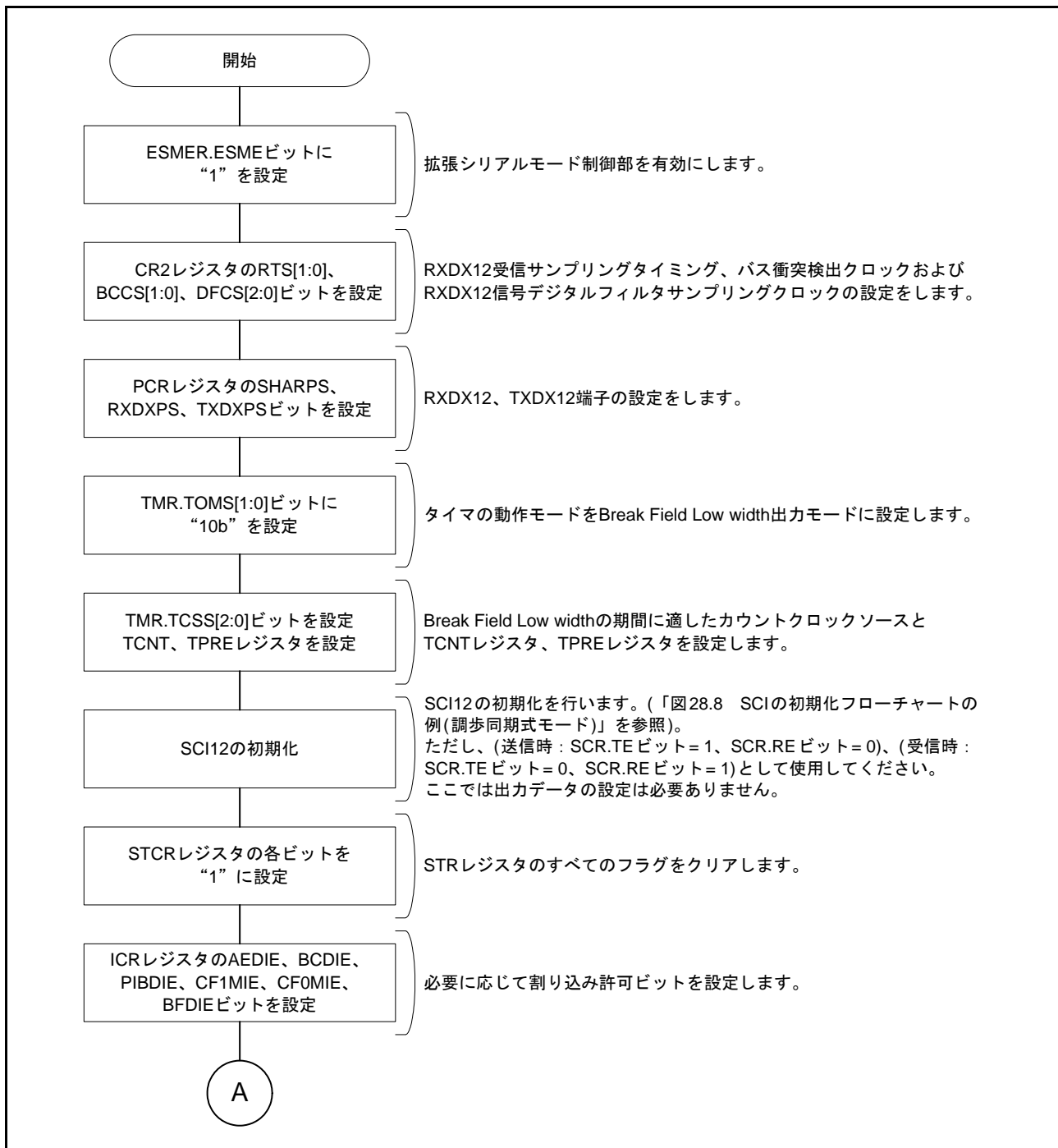


図 28.61 Start Frame 送信フローチャート例 (1)

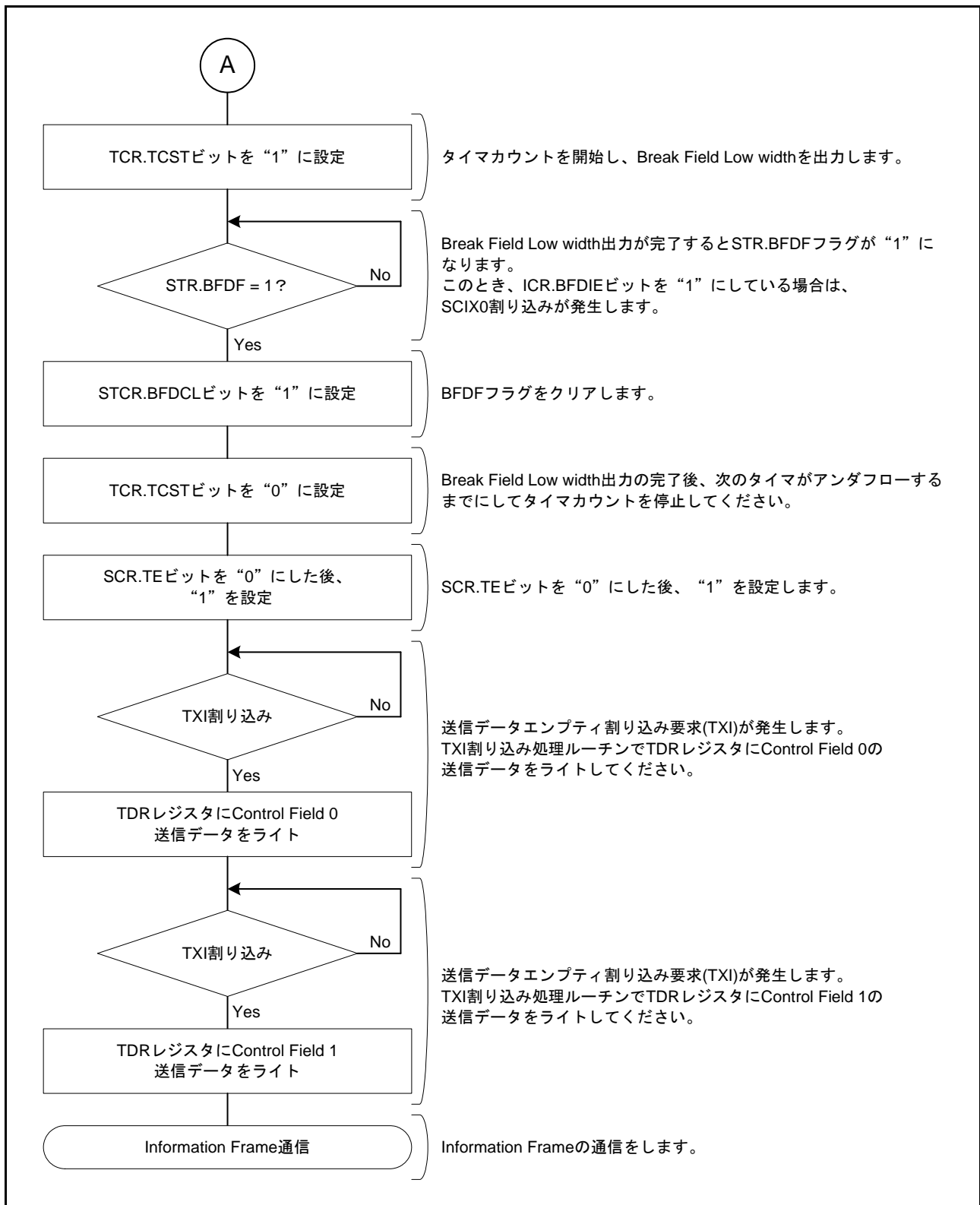


図 28.62 Start Frame 送信フローチャート例 (2)

### 28.9.3 Start Frame 受信

拡張シリアルモード制御部では、表 28.29 のような構成の Start Frame を検出することができます。

表 28.29 Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 28.63 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 28.64、図 28.65 に Start Frame の受信を行うためのフローチャート、図 28.66 に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

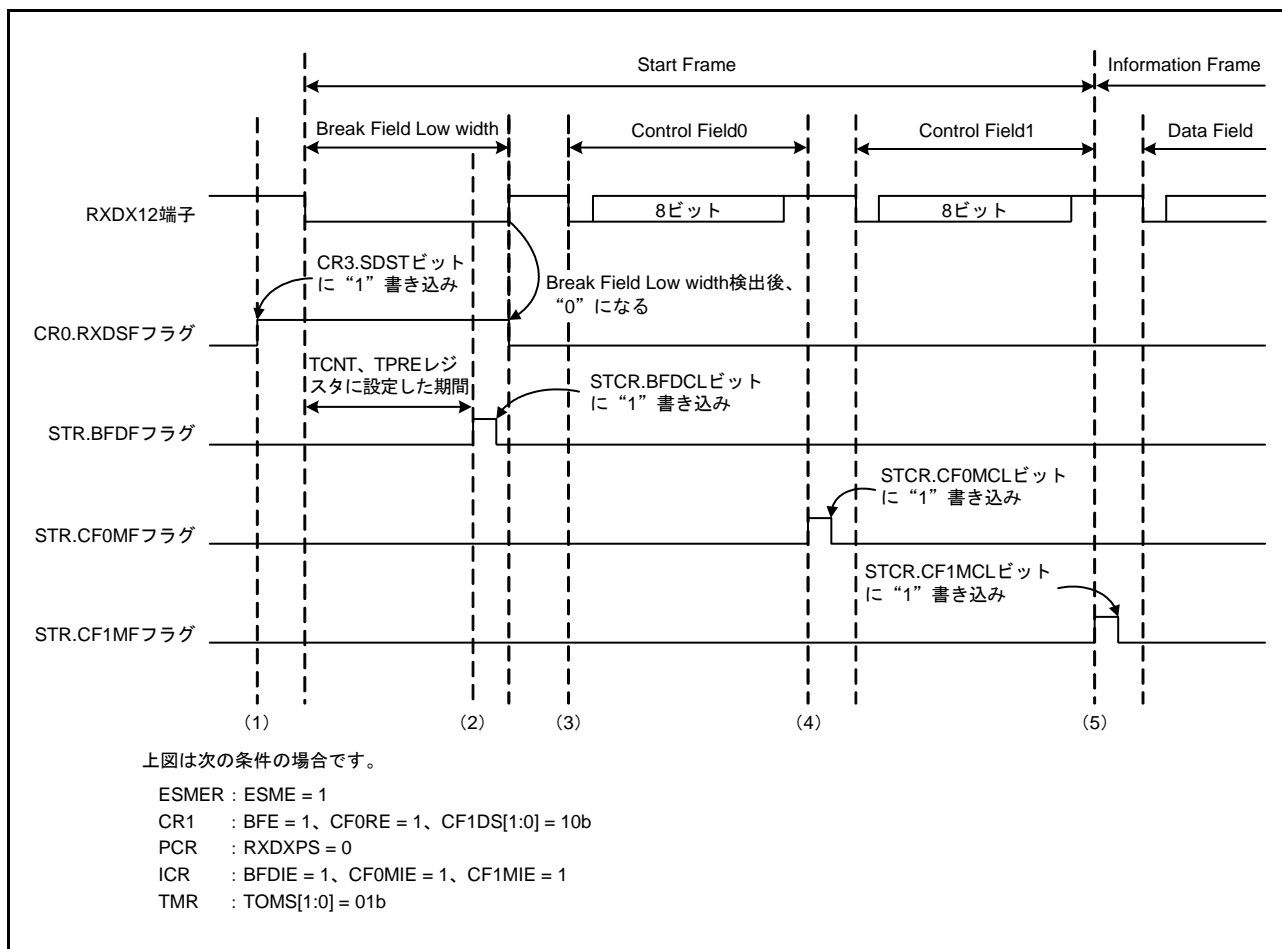


図 28.63 Start Frame 受信時の動作例

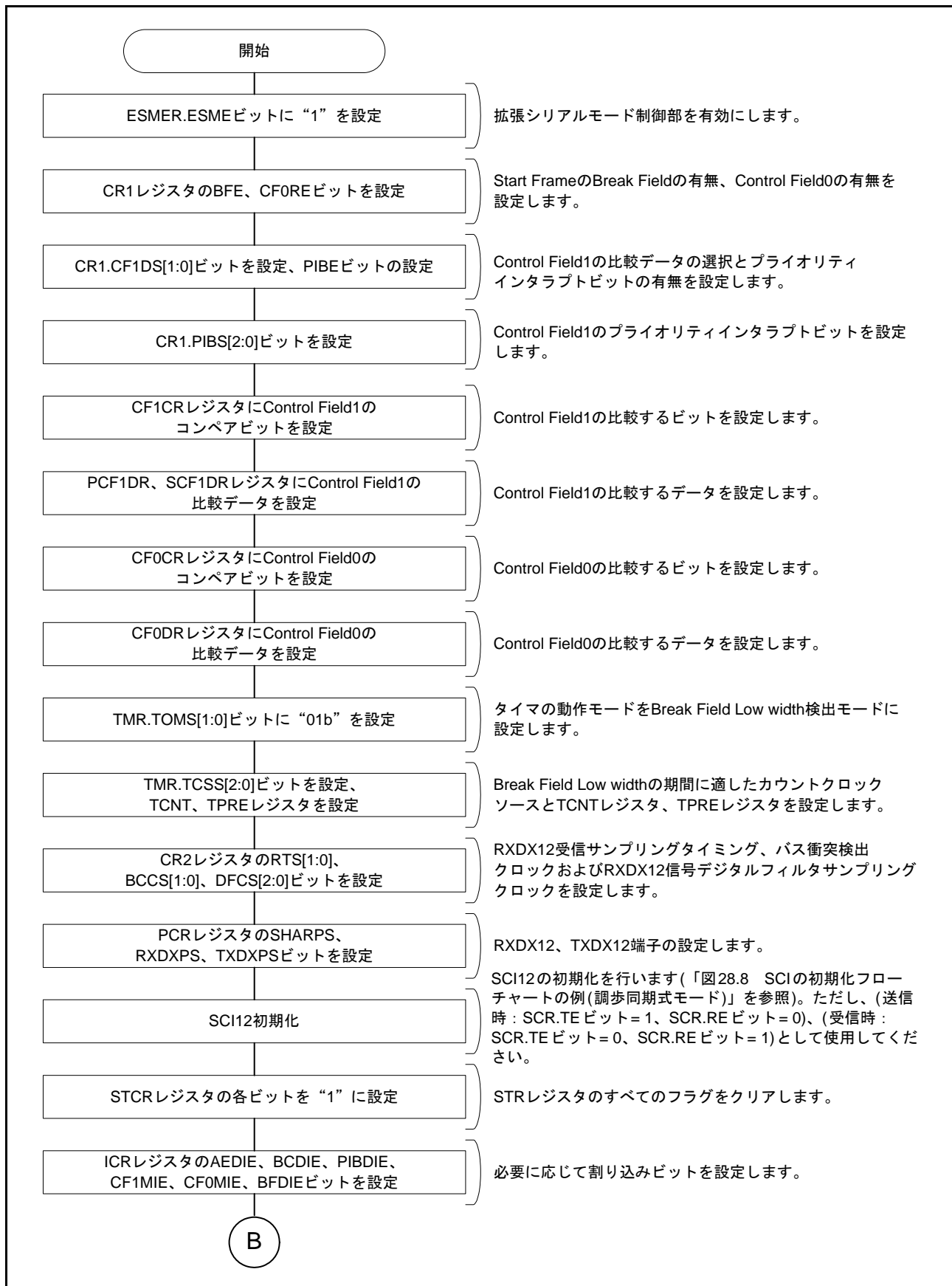


図 28.64 Start Frame 受信フローチャート例 (1)

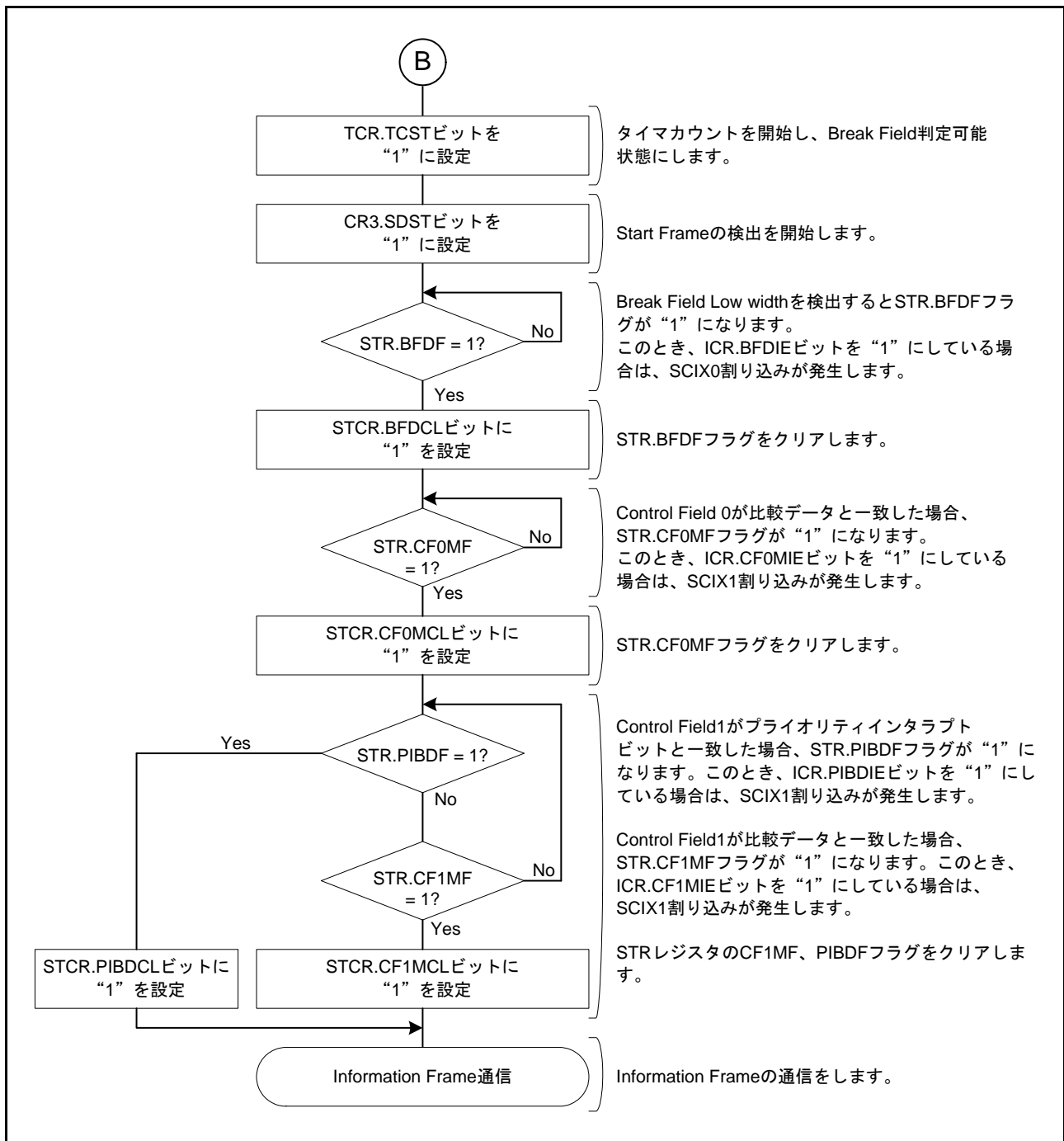


図 28.65 Start Frame 受信フローチャート例 (2)

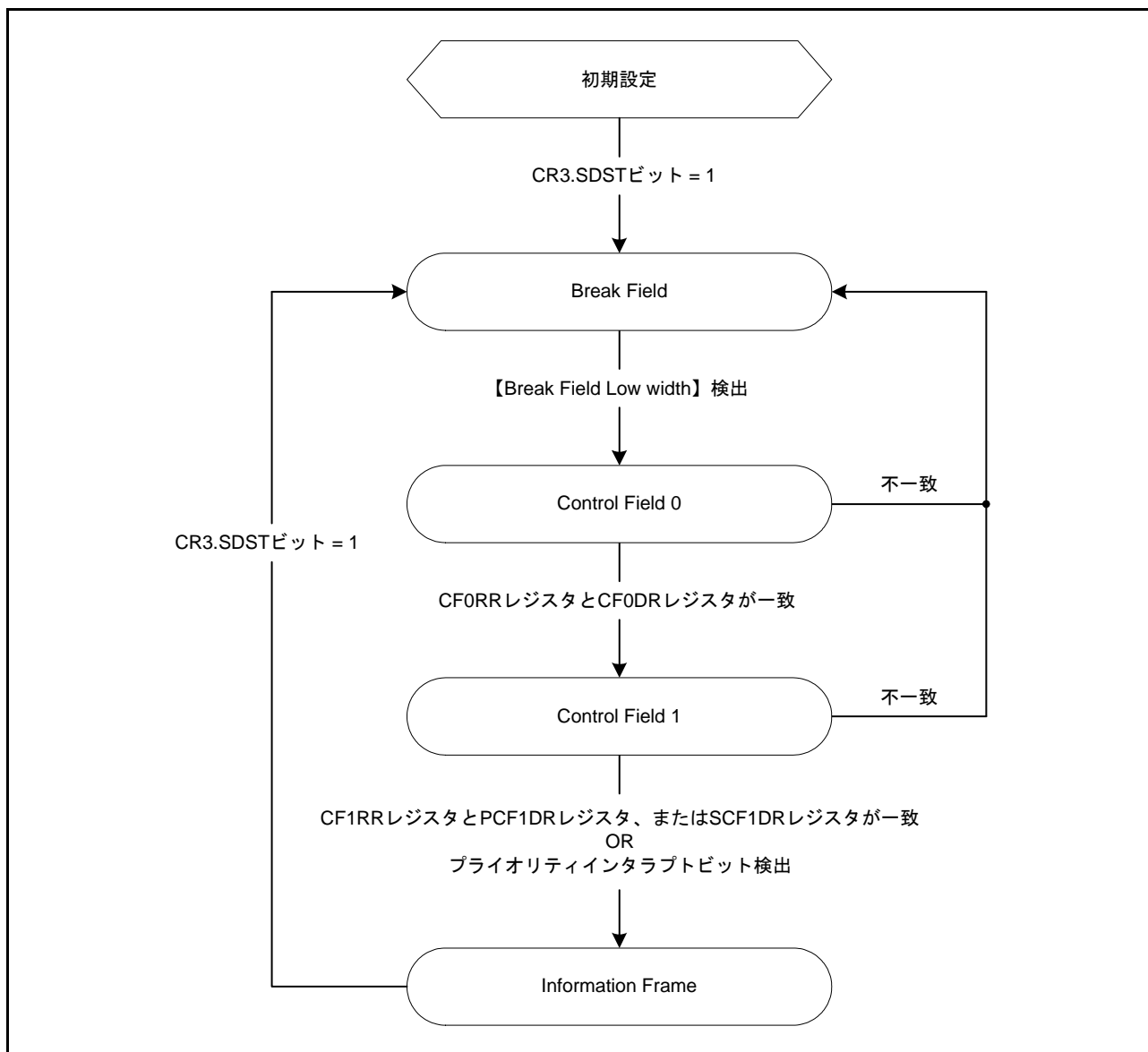


図 28.66 Start Frame 受信時の状態遷移図

### 28.9.3.1 プライオリティインタラプトビット

図 28.67 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1)～(4) は図 28.63 の Start Frame 受信時の動作例 (1)～(4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

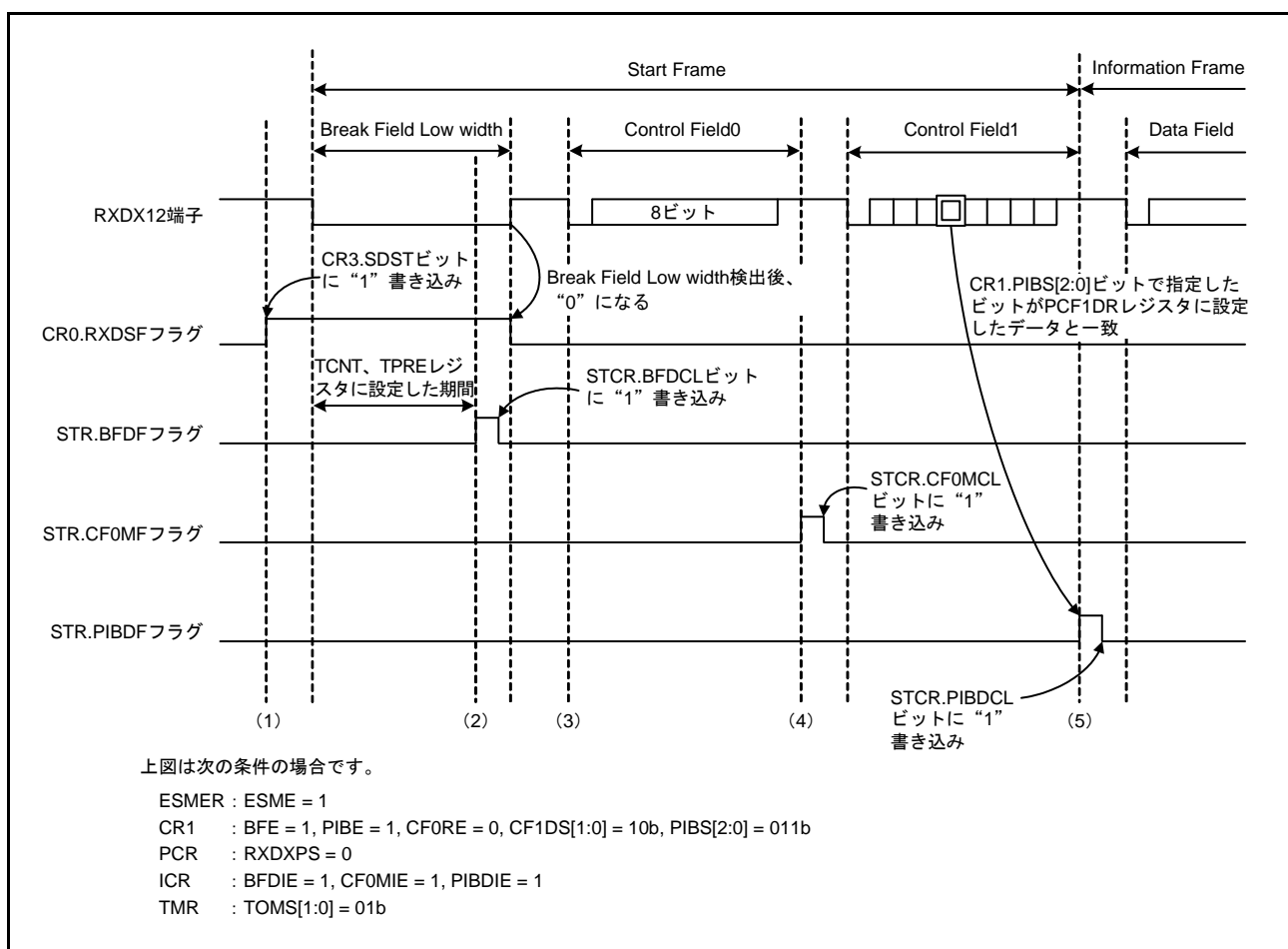


図 28.67 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)



### 28.9.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 28.68 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIX2 割り込みが発生します。

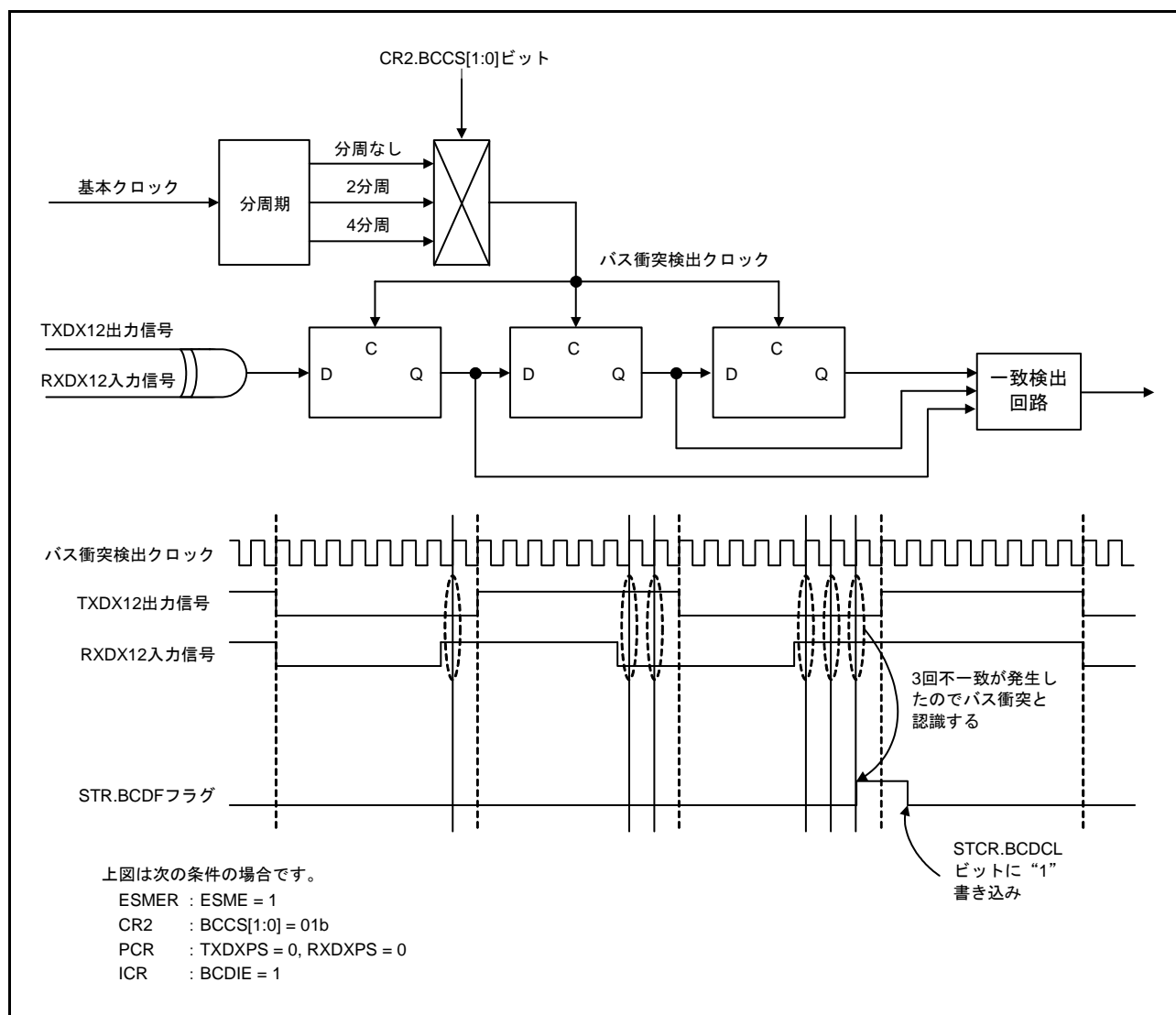


図 28.68 バス衝突検出機能の動作例

### 28.9.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号はCR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 28.69 にデジタルフィルタ機能の動作例を示します。

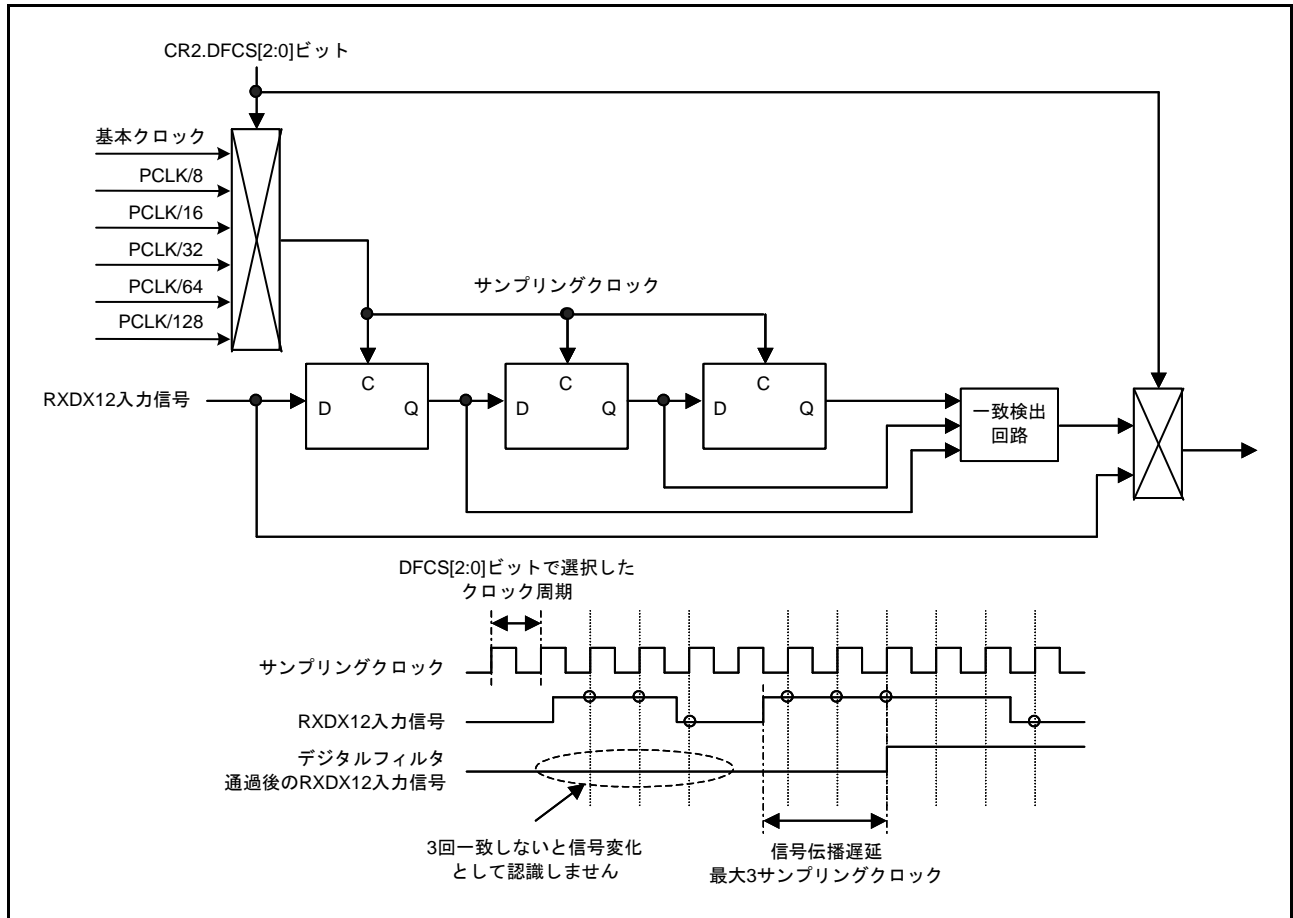


図 28.69 デジタルフィルタ機能の動作例

### 28.9.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 28.70 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ(立ち上がりエッジおよび立ち下がりエッジ)が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

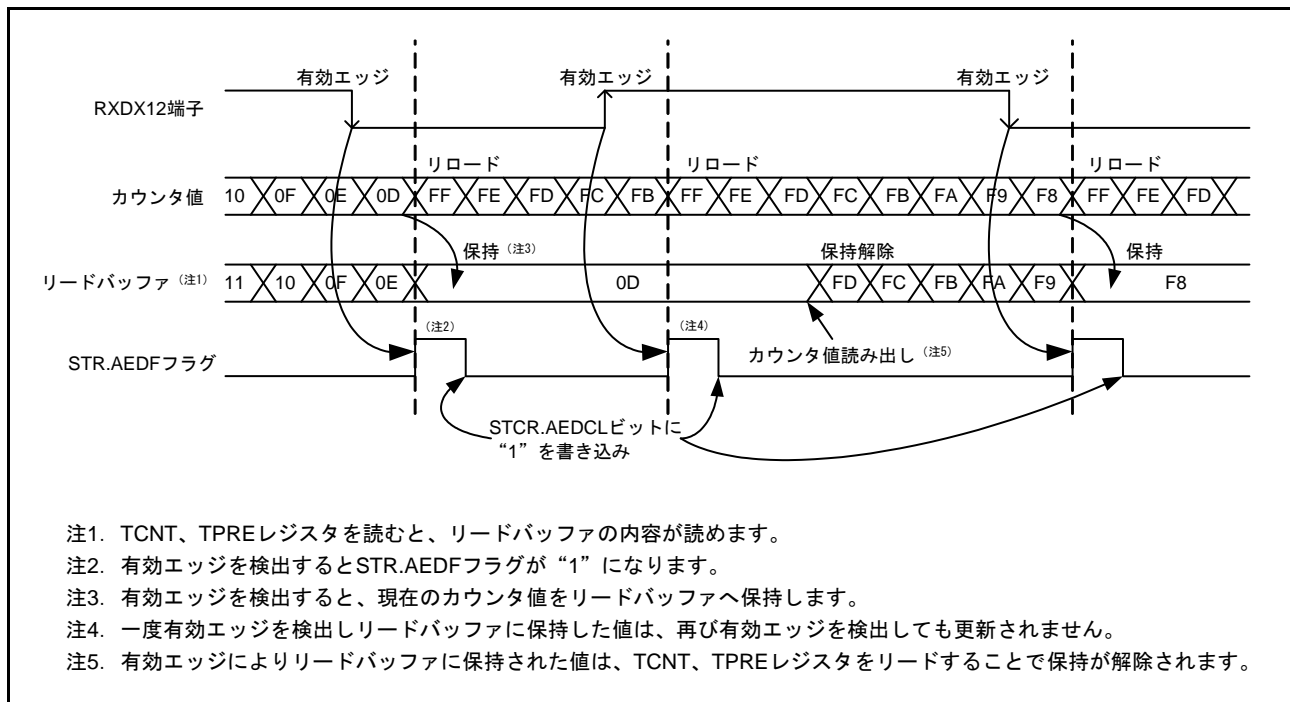


図 28.70 ビットレート測定機能動作例

### 28.9.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが“1”の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 28.71 に RXDX12 受信データサンプリングタイミングを示します。

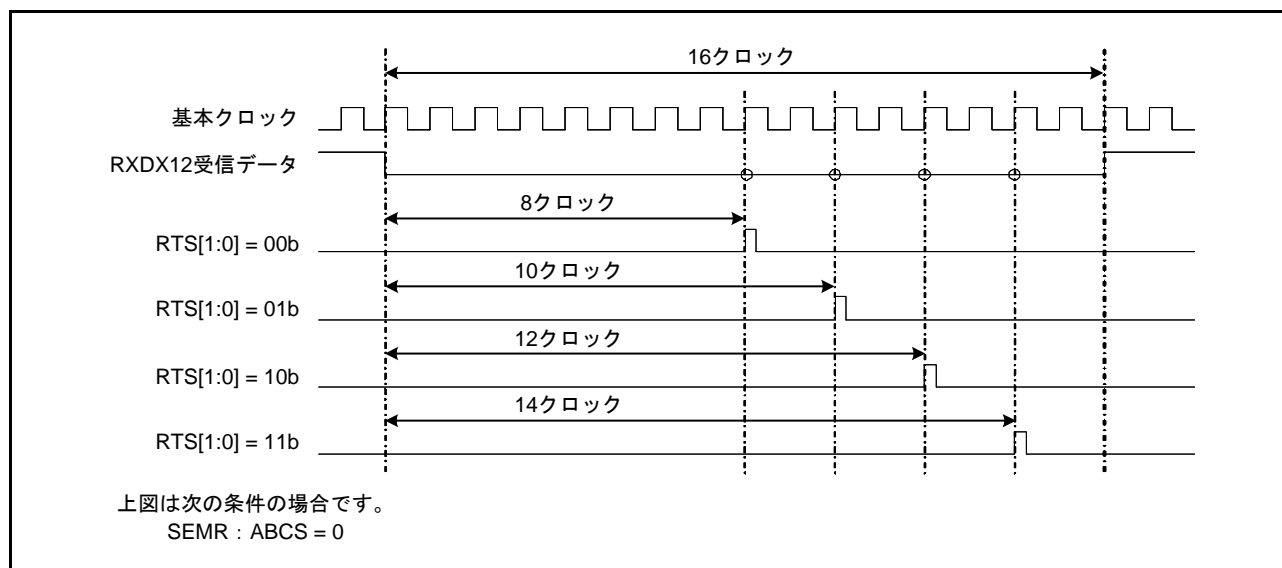


図 28.71 RXDX12 受信データサンプリングタイミング

## 28.9.8 タイマ

タイマには次の動作モードがあります。

### (1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを“10b”に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに“0”を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 28.72 に Break Field Low width 出力モードの動作例を示します。

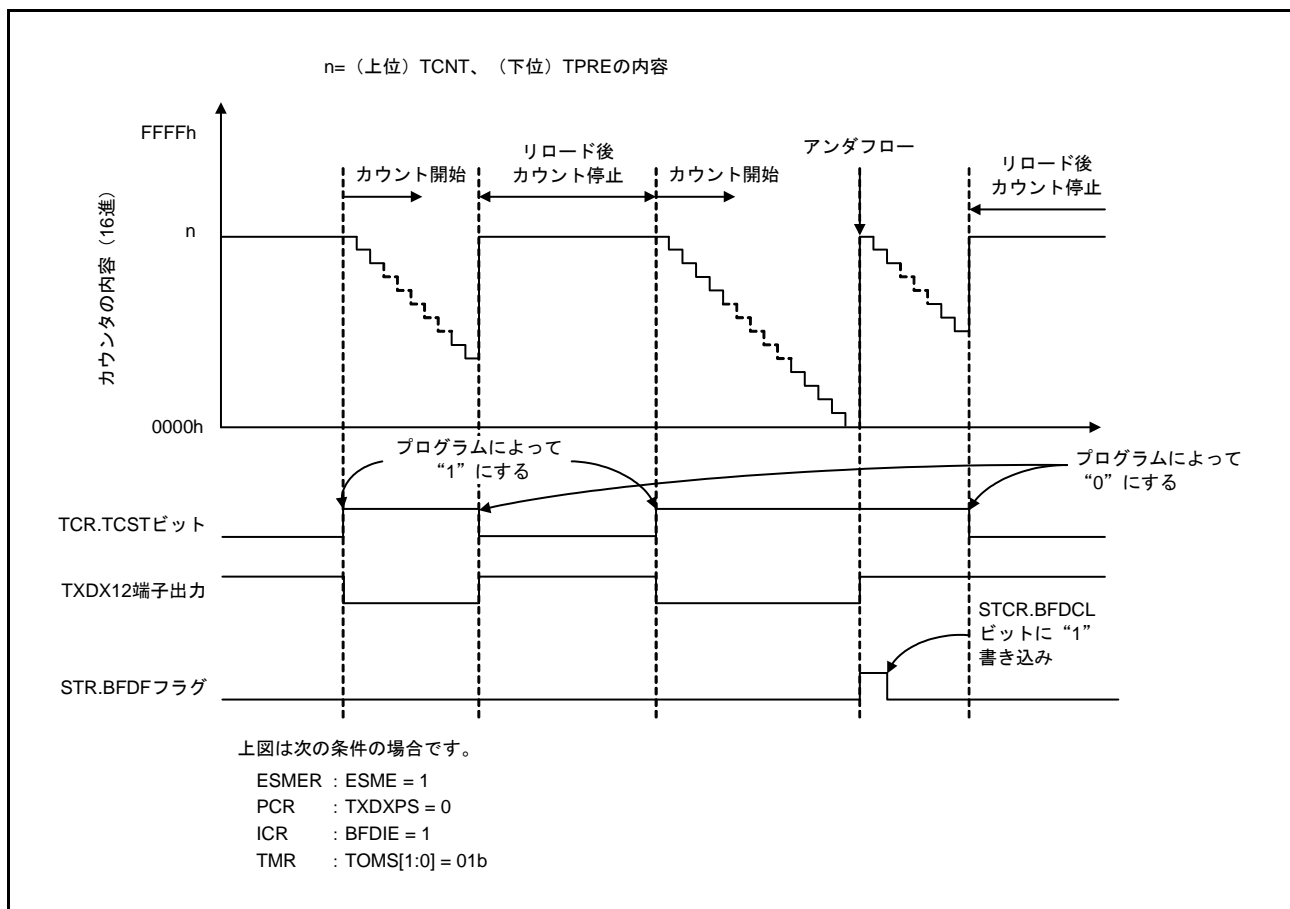


図 28.72 Break Field Low width 出力モードの動作例

## (2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRES レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 28.73 に Break Field Low width 判定モードの動作例を示します。

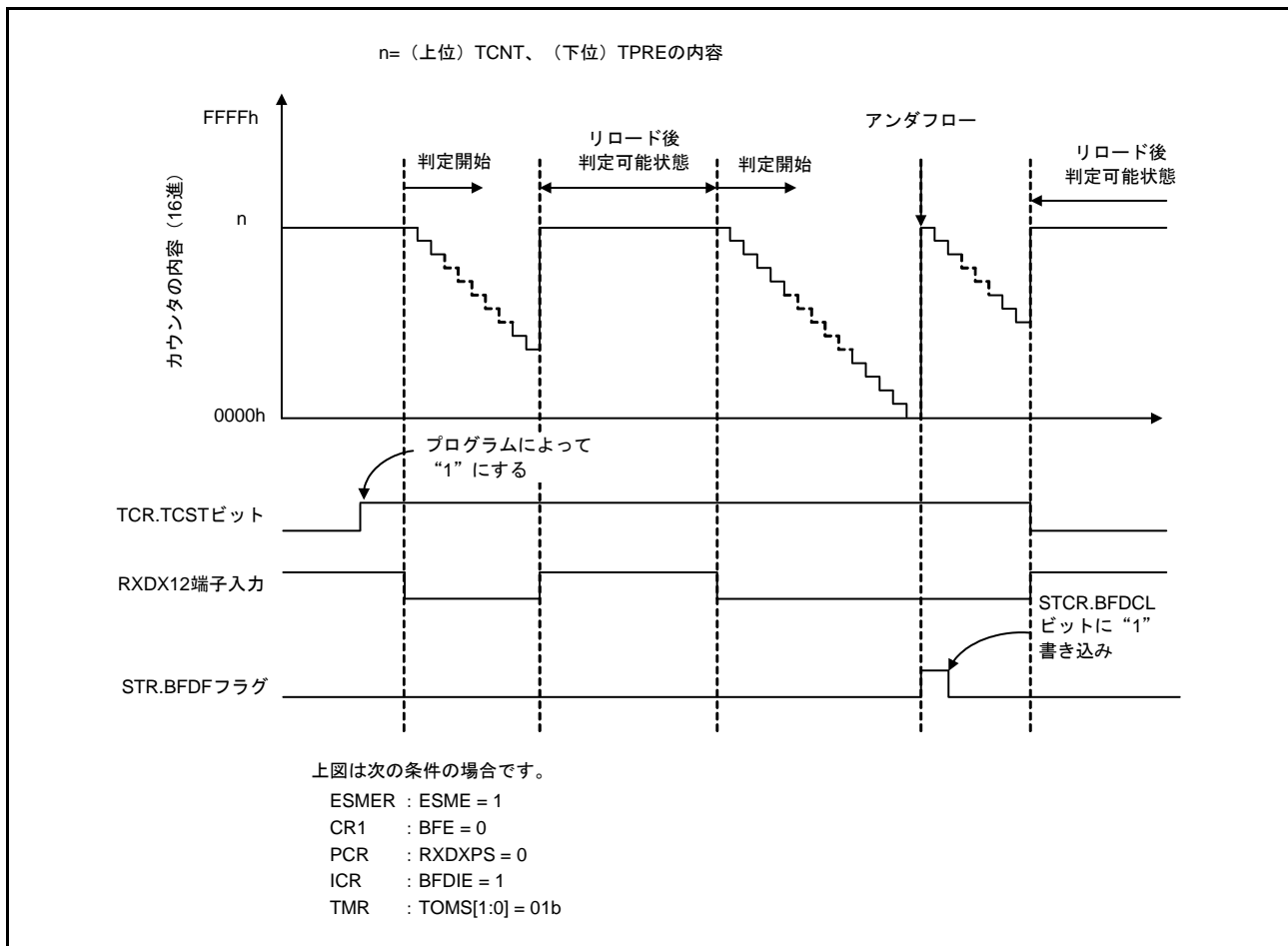


図 28.73 Break Field Low width 判定モードの動作例

## (3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRES レジスタに入力するカウントクロックソースの周期で TPRES レジスタがダウンカウントします。TPRES レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

## 28.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 28.74 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCS = 1 のとき1ビット期間の1/8) となります。

簡易I<sup>2</sup>Cモード時はSSDAn、SSCLnの入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックからSNFR.NFCS[2:0]ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間にSCR.TEビット=0、SCR.REビット=0にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

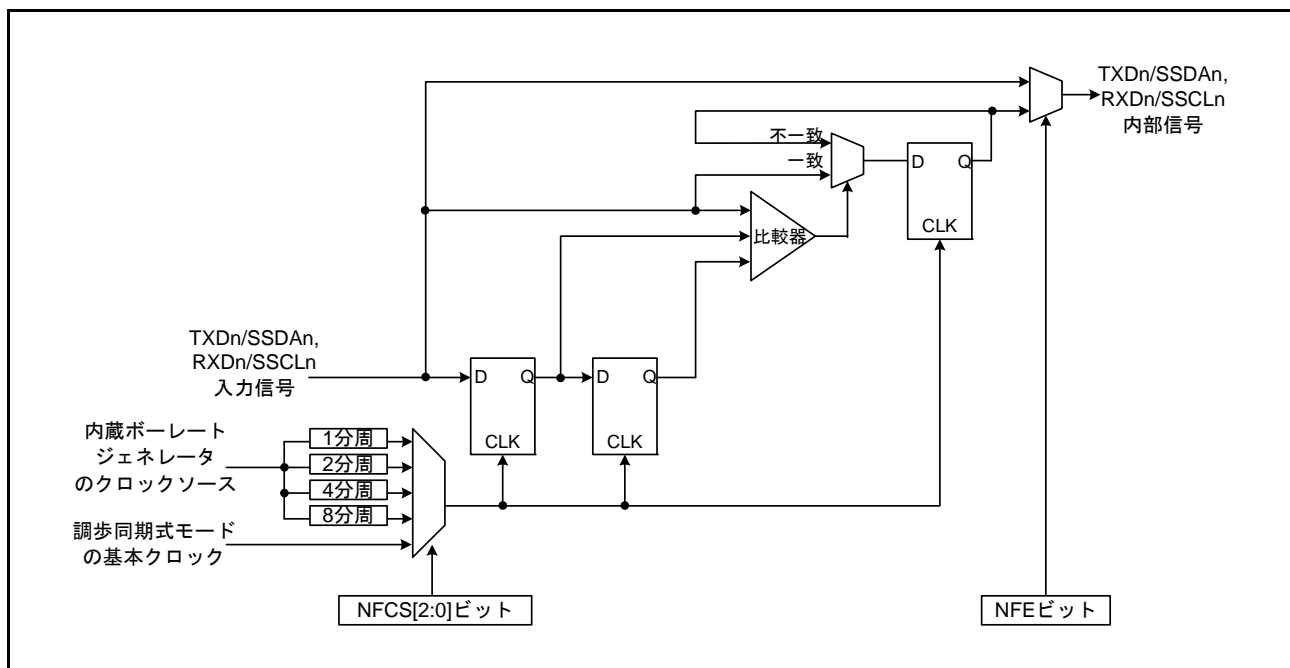


図 28.74 デジタルノイズフィルタ回路のブロック図

## 28.11 割り込み要因

### 28.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

### 28.11.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 28.30 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタから TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることで発生します。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。(注1)

ただし、SCR.TIE ビットが“1”の状態でも SCR.TE ビットを“0”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタに送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタに格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。



表 28.30 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動
ERI	受信エラー	ORER, FER, PER	不可能
RXI	受信データフル	RDRF	可能
TXI	送信データエンプティ	TDRE	可能
TEI	送信終了	TEND	不可能

### 28.11.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 28.31 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 28.31 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能
RXI	受信データフル	—	可能
TXI	送信データエンプティ	TEND	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「16. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

### 28.11.4 簡易 I<sup>2</sup>C モードにおける割り込み

簡易 I<sup>2</sup>C モードでは、表 28.32 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I<sup>2</sup>C モードも、DTC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力 Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力 High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 28.32 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTC の起動
	IICINTM ビット=0	IICINTM ビット=1		
RXI	ACK 検出	受信	—	可能
TXI	NACK 検出	送信	—	可能 (注 1)
STI	開始条件、再開条件、停止条件生成終了		IICSTIF	不可能

注 1. SIMR2.IICINTM ビット=1 (受信割り込み、送信割り込みを選択) の場合のみ DTC の起動が可能です。

### 28.11.5 拡張シリアルモード制御部の割り込み要求

SCIf の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 28.33 に各割り込み要求の内容を示します。

表 28.33 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BDFD	<ul style="list-style-type: none"> <li>• タイマに設定した期間より長い Break Field Low width を検出したとき</li> <li>• タイマに設定した期間、Break Field Low width 出力が完了したとき</li> <li>• タイマがアンダフローしたとき</li> </ul>
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生するとき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

## 28.12 イベントリンク機能

SCI5 は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でも割り込み要因が発生した場合でもイベントは出力可能です。

### (1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

### (2) 受信データフルイベント出力

- 受信データが受信データレジスタ (RDR レジスタ) にセットされたことを示します。
- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが“0”のとき、ACK を検出したことを示します。
- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I<sup>2</sup>C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

### (3) 送信データエンプティイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- 送信データレジスタ (TDR レジスタ) から送信シフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが“0”のとき、NACK を検出したことを示します。
- 簡易 I<sup>2</sup>C モードで、SIMR2.IICINTM ビットが“1”のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

### (4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I<sup>2</sup>C モードで開始条件、再開条件、停止条件の生成が完了したことを示します。

## 28.13 使用上の注意事項

### 28.13.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

### 28.13.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも“1” (パリティエラーの発生あり) になる可能性があります。SEMR.RXDESEL ビットが“0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0” (フレーミングエラーの発生なし) にしても、再び FER フラグが“1” になりますので注意してください。SEMR.RXDESEL ビットが“1” のとき、SCI は、SSR.FER フラグを“1” にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0” にすれば、ブレーク中は SSR.FER フラグの“0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりですタートビットの始まりを検出し、受信動作を開始します。

### 28.13.3 マーク状態とブレークの送付

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを“1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを“1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを“1” にしてから PMR レジスタの対応するビットを“1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送出したいときは、対応する PODR レジスタのビットを“0” (Low 出力) にした後、PMR レジスタの対応するビットを“0” (汎用入出力ポート) にします。TE ビットを“0” にする場合、この後実施してください。TE ビットを“0” にすると現在の送信状態とは無関係に送信部は初期化されます。

### 28.13.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が“1” になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0” にしておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても受信エラーフラグは“0” になりませんので注意してください。

### 28.13.5 TDR レジスタへのライトについて

TDR レジスタへのデータのライトを行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタにライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

### 28.13.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

#### (1) 送信開始時

CPU または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 28.75 参照)。

#### (2) 連続送信時

- ビット7の送信クロックの立ち上がり以前に、TDR レジスタまたは TDRL レジスタに次の送信データを書き込んでください (図 28.75 参照)。
- ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 28.75 参照)。

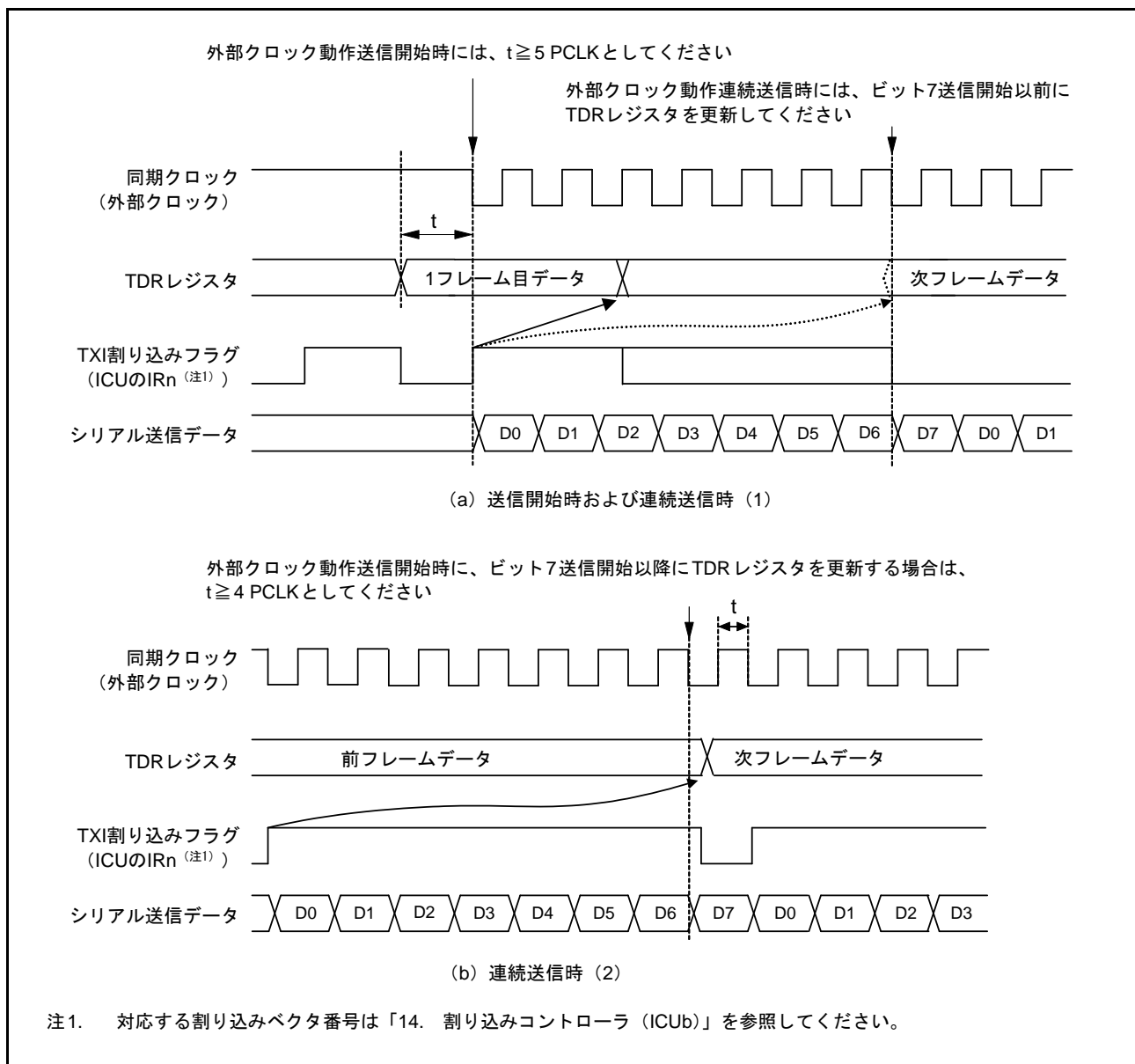


図 28.75 クロック同期式モード送信での外部クロック使用の制約事項

### 28.13.7 DTC 使用上の制約事項

DTCにより、RDRレジスタのリードを行うときは起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

### 28.13.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

### 28.13.9 低消費電力状態時の動作について

#### (1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 28.76 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 28.77、図 28.78 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

#### (2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 28.79 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。



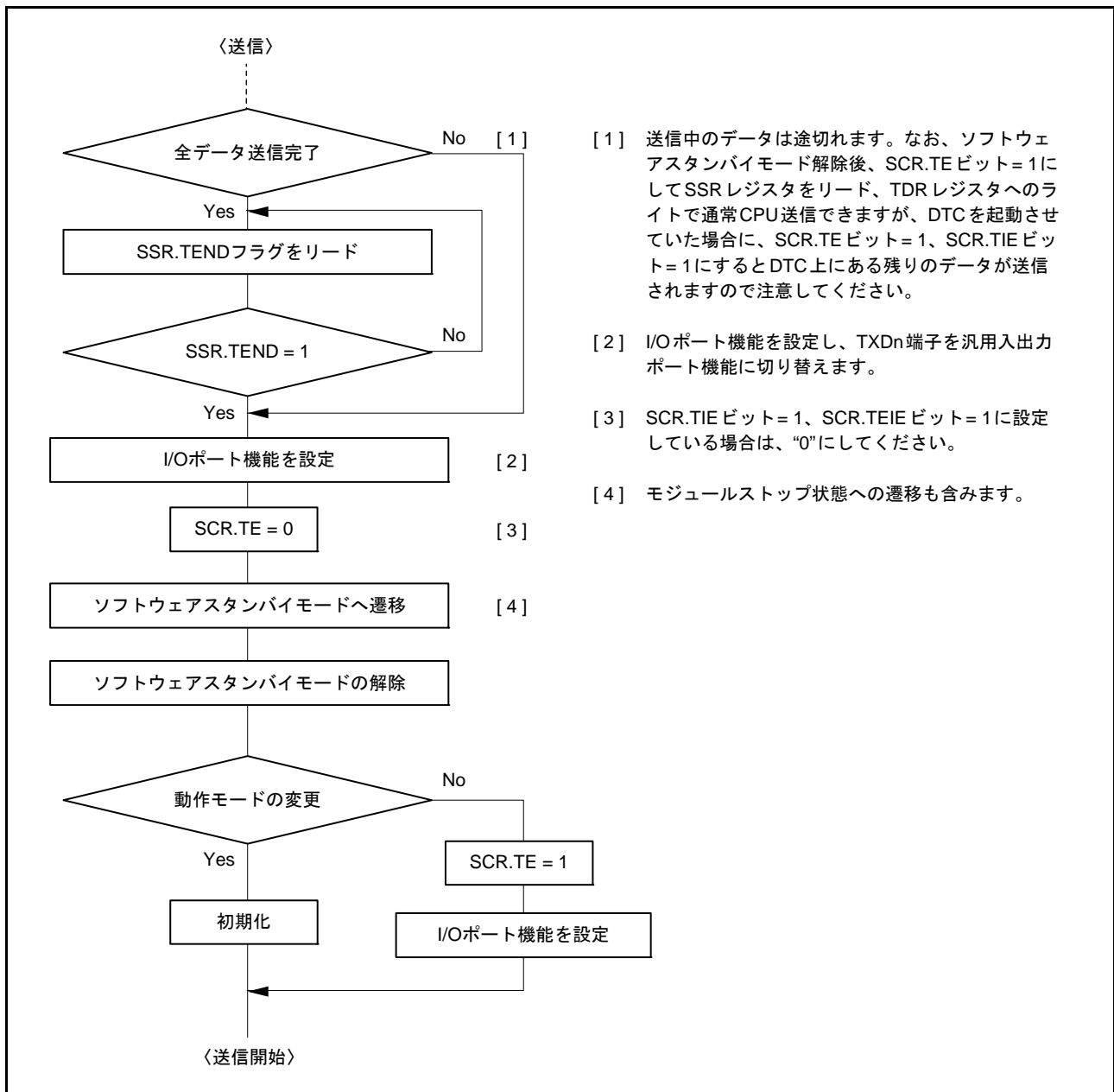


図 28.76 送信時のソフトウェアスタンバイモード遷移フローチャートの例

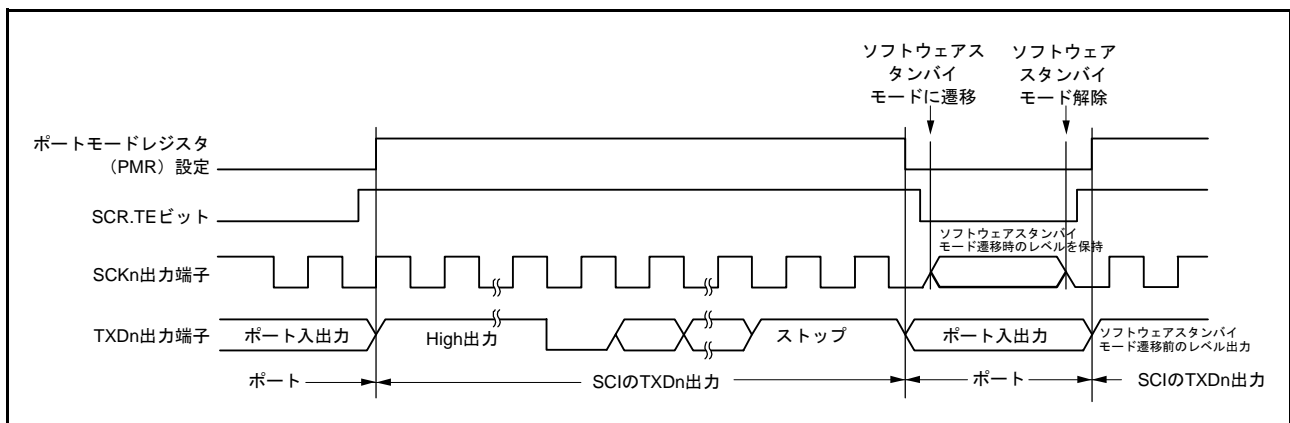


図 28.77 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)



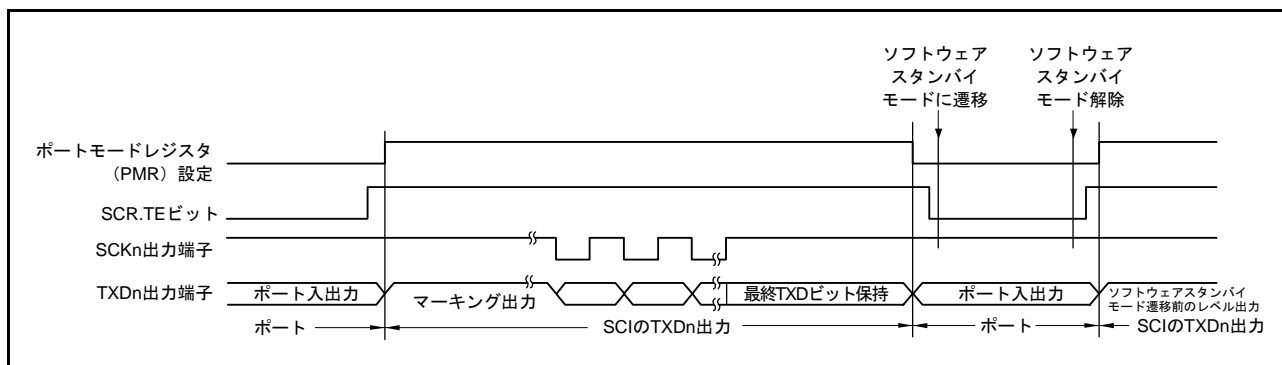


図 28.78 ソフトウェアスタンバイモード移行時のポートの端子状態 (内部クロック、クロック同期送信)

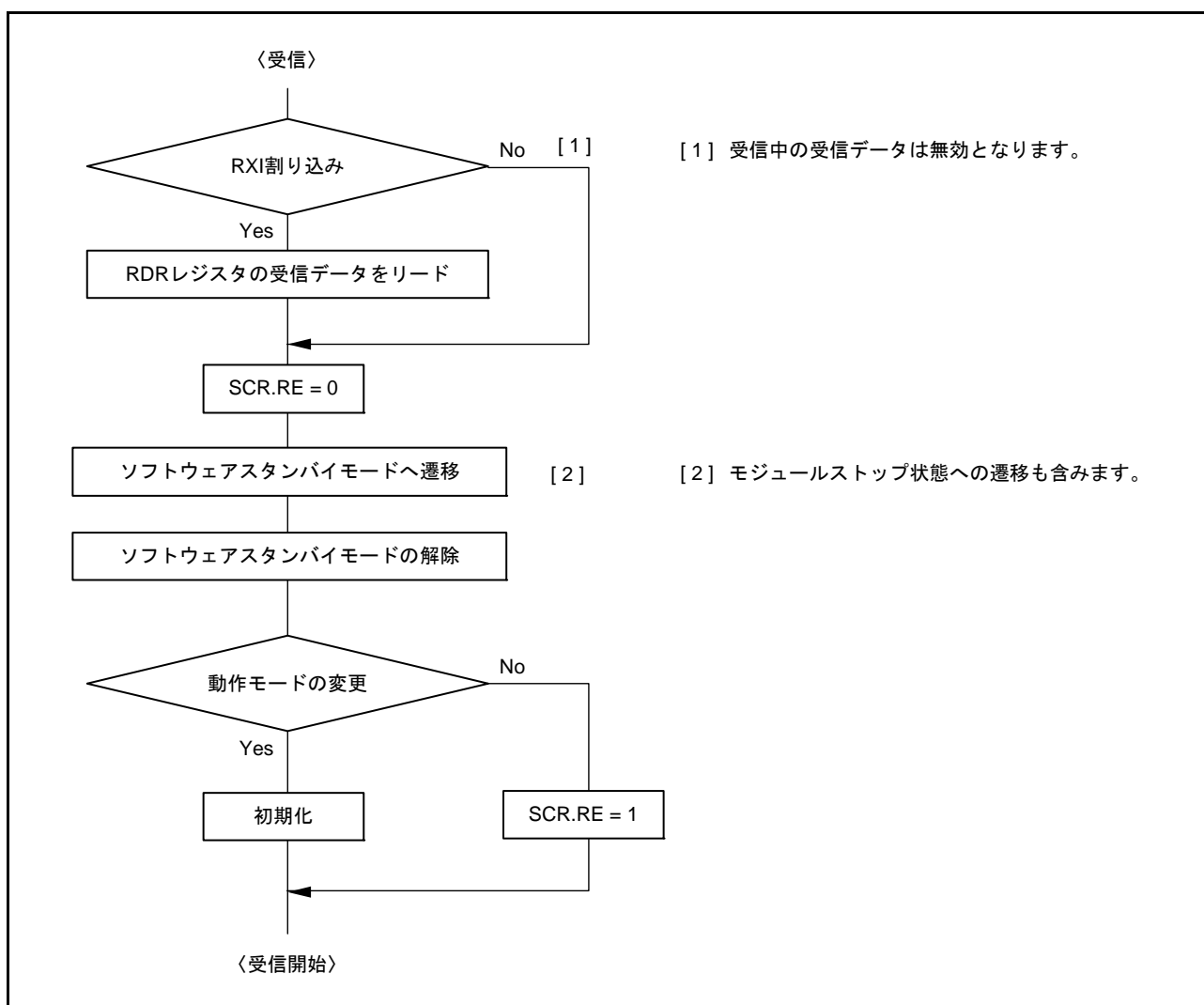


図 28.79 受信時のソフトウェアスタンバイモード移行フローチャートの例

### 28.13.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

### 28.13.11 簡易 SPI モードの制約事項

#### (1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。  
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット=1) の場合、図 28.80 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

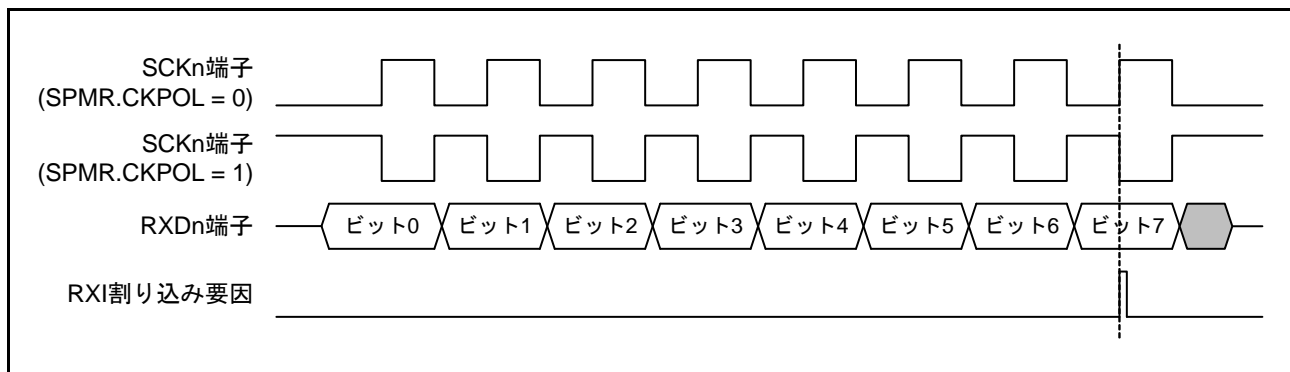


図 28.80 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

#### (2) スレーブモード

- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

### 28.13.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき  
(TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCR.TE ビットが“1”のとき

## 28.13.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、図 28.81 のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

- (1) SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、SCR.RIE ビットを“1”に切り替えてください。
- (2) SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

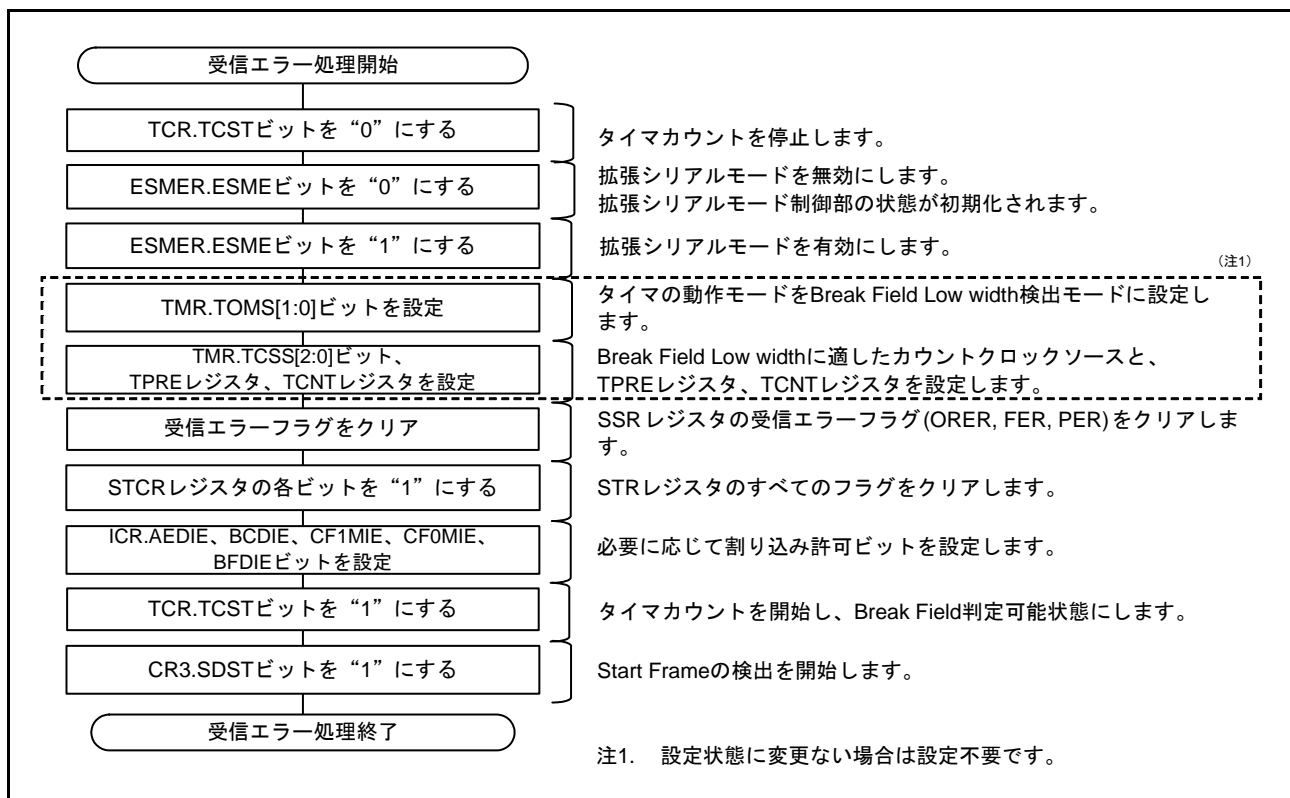


図 28.81 受信エラー処理のフローチャートの例 (Start Frame 受信中)

### 28.13.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが“0” (シリアル送信動作を禁止) のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを“0”にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) TE ビットを“1”にしてから、端子の機能を「TXDn」にする (注1)。また、TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」にする。

注1. TXI 割り込みが許可されているときに TE ビットを“1”にすると、割り込みが発生します。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICU.IERm.IENj ビットを“1”にしてください。

### 28.13.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

## 29. IrDA インタフェース

IrDA インタフェースは SCI5 と連携して IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を実現します。

本章に記載している PCLK とは PCLKB を指します。

### 29.1 概要

IRCR レジスタの IRE ビットで IrDA 機能を有効にすると、SCI5 の TXD5, RXD5 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IRTXD5/IRRXD5 端子)。これを赤外線送受信トランスミッタ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現できます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより、設定を変更してください。

図 29.1 に IrDA と SCI5 の連携イメージのブロック図を示します。

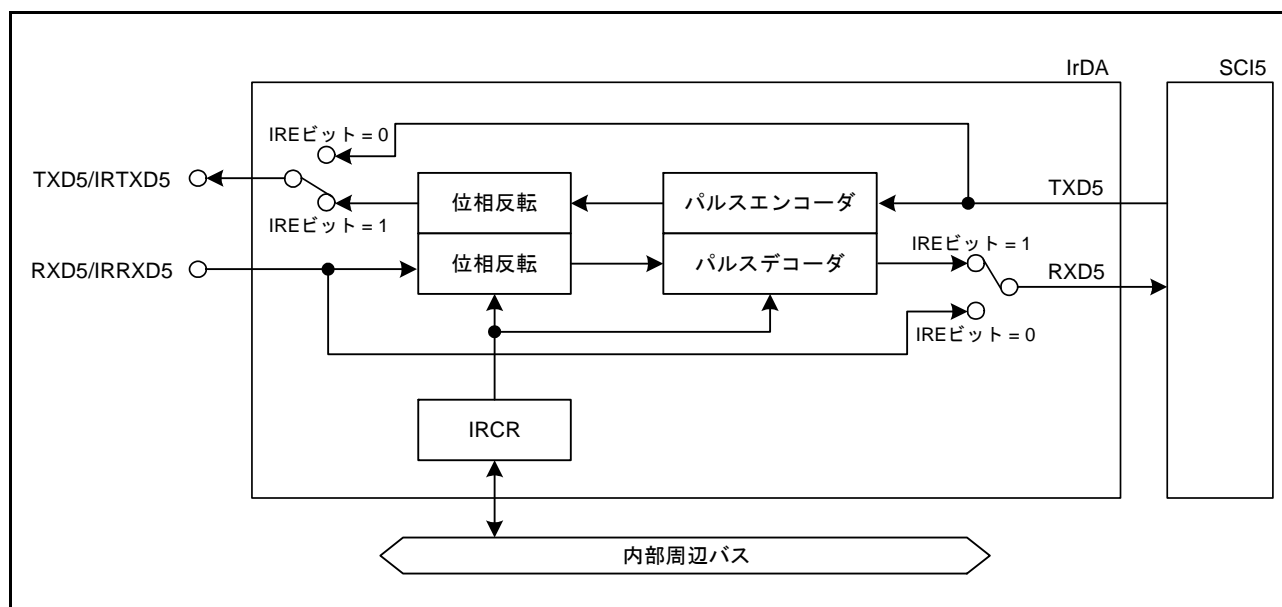


図 29.1 IrDA と SCI5 の連携イメージのブロック図

表 29.1 IrDA のインタフェースの入出力端子

端子名	入出力	機能
IRTXD5	出力	送信データ出力端子
IRRXD5	入力	受信データ入力端子

## 29.2 レジスタの説明

### 29.2.1 IrDA 制御レジスタ (IRCR)

アドレス IRDA.IRCR 0008 8410h

	b7	b6	b5	b4	b3	b2	b1	b0
	IRE	IRCKS[2:0]		IRTXIN V	IRRXIN V	—	—	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	IRRXINV	IrRXデータ極性切り替えビット	0 : IRRXD5入力をそのまま受信データとして使用 1 : IRRXD5入力を反転して受信データとして使用	R/W
b3	IRTXINV	IrTXデータ極性切り替えビット	0 : 送信データをそのままIRTXD5出力 1 : 送信データを反転してIRTXD5出力	R/W
b6-b4	IRCKS[2:0]	IrDA出力パルス幅選択ビット	b6 b4 0 0 0 : B × 3/16 (B = ビット周期) 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	IRE	IrDA有効ビット	0 : シリアル入出力端子は、通常のシリアル機能として動作 1 : シリアル入出力端子は、IrDA機能として動作	R/W

注. モジュールストップ状態、スリープモード、ディープスリープモード、ソフトウェアスタンバイモードではIRCRレジスタの値は保持されます。

#### IRRXINV ビット (IrRX データ極性切り替えビット)

IrRXD 入力のロジックレベルの反転を指定します。

IRRXINV = 0 のとき、IrRXD 入力をそのまま受信データとして使用します。

IRRXINV = 1 のとき、IrRXD 入力を反転して受信データとして使用します。

本ビットは、IRE ビットが“0”のとき、またはIRE ビットを“1”にすると同時に設定してください。

#### IRTXINV ビット (IrTX データ極性切り替えビット)

IrTXD 出力のロジックレベルの反転を指定します。

IRTXINV = 0 のとき、送信データをそのまま IrTXD 出力し、IRCKS で指定したパルス幅のハイレベルパルスとなります。

IRTXINV = 1 のとき、送信データを反転して IrTXD 出力し、IRCKS で指定したパルス幅のローレベルパルスとなります。

本ビットは、IRE ビットが“0”のとき、またはIRE ビットを“1”にすると同時に設定してください。

#### IRCKS[2:0] ビット (IrDA 出力パルス幅選択ビット)

IrDA 機能を有効にしたとき、IRTXD5 出力パルスエンコード時の High パルス幅を設定します。

IRCKS[2:0] ビットは下記の手順で設定してください。

- (1) IRCR レジスタで、IrDA 機能を設定 (IRE ビット = 1 (IrDA 許可)) する
- (2) IRCKS[2:0] ビットを一度、“000b” に設定する
- (3) SCI5 の SCI5.SCR.TE ビットを“1”(送信許可) にする

- (4)  $18/(16 \times \text{SCI5 のビットレート})$  の時間を待つ
- (5) IRCKS[2:0] ビットを目的の値に設定する

**IRE ビット (IrDA 有効ビット)**

シリアル入出力端子を通常のシリアル機能にするか、IrDA 機能にするかを選択します。

## 29.3 動作説明

### 29.3.1 送信

送信時には、SCI5からの出力信号(UARTフレーム)はIrDAインタフェースによりIRフレームに変換されます(図29.2参照)。IRCR.IRTXINVビットが“0”でデータが“0”のとき、ビット周期の3/16のHighパルスが出力されます(初期値)。なお、Highパルス幅は、IRCR.IRCKS[2:0]ビットの設定値により変化させることもできます。規格では、Highパルス幅は、最小で1.41 $\mu$ s、最大でビット周期 $\times(3/16 + 2.5\%)$ 、または $(\text{ビット周期} \times 3/16) + 1.08\mu\text{s}$ と定められています。周辺モジュールクロックPCLKが20MHzのとき、表29.2に示すように、最小のHighパルス幅としては1.6 $\mu$ s(101b : PCLK/32)が設定可能です。また、データが“1”のときは、パルスは出力されません。

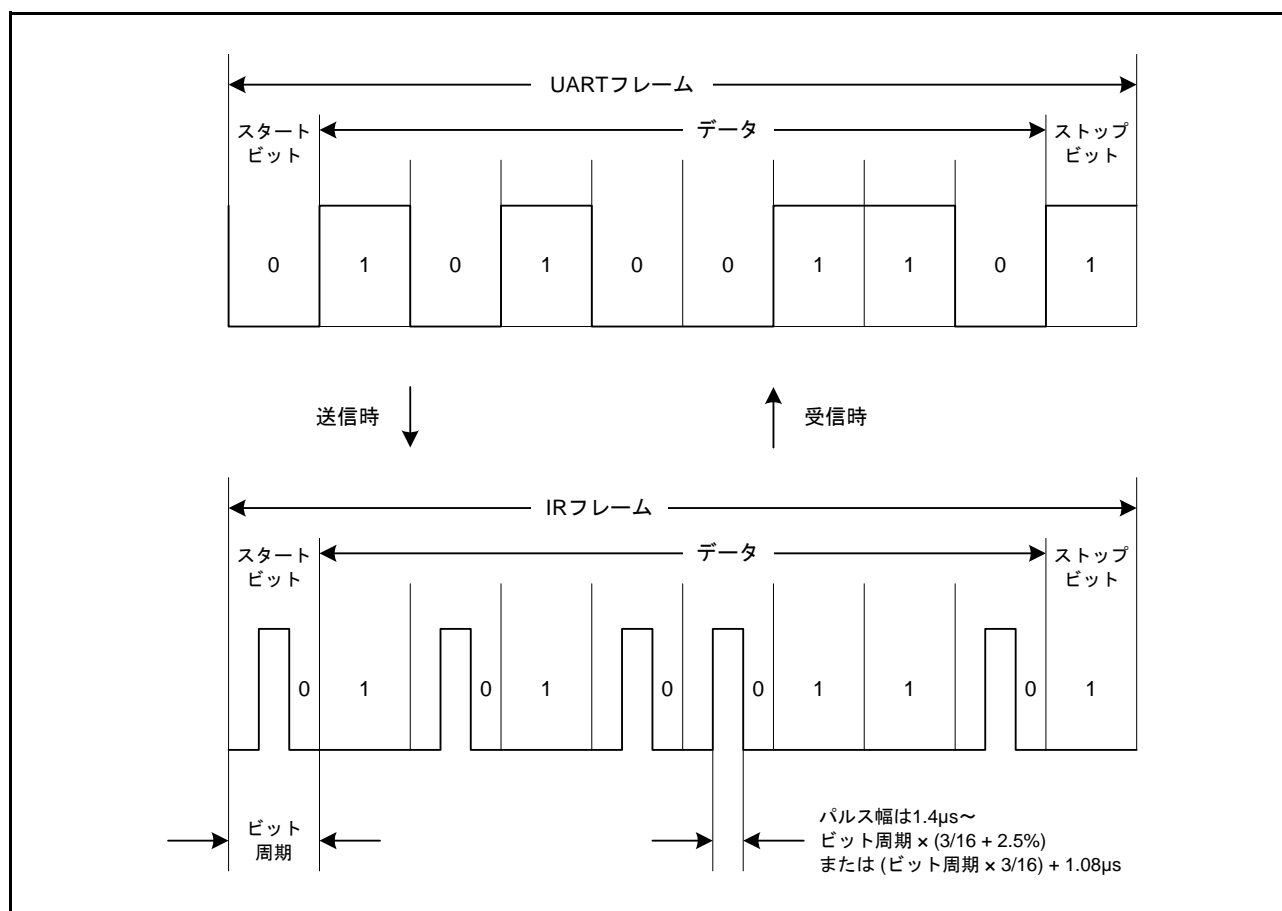


図 29.2 IrDA の送信 / 受信動作図

### 29.3.2 受信

受信時には、IRフレームのデータはIrDAインタフェースによりUARTフレームに変換され、SCI5に入力されます。IRCR.IRRXINVビットが“0”で、Highパルスが検出されたときにLowデータが入力され、1ビット期間中にパルスがない場合にはHighデータが入力されます。



### 29.3.3 High パルス幅の選択

IrDA 規格 (パルス幅は、最小 1.41 $\mu$ s、最大ビット周期  $\times$  (3/16 + 2.5%) または (ビット周期  $\times$  3/16) + 1.08 $\mu$ s) に見合った波形にエンコードするために、IRCKS[2:0] ビットを設定する必要があります。IRCKS[2:0] ビットのデフォルト値は 000b (ビット周期  $\times$  3/16) であり、これよりパルス幅を短くする場合に設定可能な IRCKS[2:0] ビットの設定値と本モジュールの動作周波数、ビットレートの対応を表 29.2 に示します。

表 29.2 IRCKS[2:0] ビット設定 (IRCKS[2:0] = 000b (ビット周期  $\times$  3/16) よりパルス幅を狭くする場合)

周辺モジュール 動作周波数 PCLK (MHz)	ビットレート (bps) (上段)/ビット周期 $\times$ 3/16 ( $\mu$ s) (下段) (注1)					
	2400	9600	19200	38400	57600	115200
4.9152	011b-111b	011b-110b	011b-101b	011b-100b	011b-100b	011b
5	011b-111b	011b-110b	011b-101b	011b-100b	011b-100b	011b
6	100b-111b	100b-110b	100b-101b	100b	100b	— (注2)
6.144	100b-111b	100b-110b	100b-101b	100b	100b	— (注2)
7.3728	100b-111b	100b-110b	100b-101b	100b-101b	100b	— (注2)
8	100b-111b	100b-111b	100b-110b	100b-101b	100b	— (注2)
9.8304	100b-111b	100b-111b	100b-110b	100b-101b	100b-101b	100b
10	100b-111b	100b-111b	100b-110b	100b-101b	100b-101b	100b
12	101b-111b	101b-111b	101b-110b	101b	101b	— (注2)
12.288	101b-111b	101b-111b	101b-110b	101b	101b	— (注2)
14	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
14.7456	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
16	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
16.9344	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
17.2032	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
18	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
19.6608	101b-111b	101b-111b	101b-111b	101b-110b	101b-110b	101b
20	101b-111b	101b-111b	101b-111b	101b-110b	101b-110b	101b
25	110b-111b	110b-111b	110b-111b	110b	110b	— (注2)

注1. IrDAインタフェースでは、ビットレートの設定はできません。ビットレートの設定については、「28. シリアルコミュニケーションインタフェース (SCiE, SCIf)」を参照してください。

注2. ビット周期  $\times$  3/16 未満のパルス幅は設定できません。IRCKS[2:0] ビット = 000b としてください。

## 29.4 使用上の注意事項

### 29.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、IrDA の動作を禁止 / 許可することができます。リセット後の値では、IrDA の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

### 29.4.2 SCI5 の設定について

本 IrDA を使用するときには、SCI5 の SEMR.ABCS ビットを “0”、SMR.STOP ビットを “1” (2 ストップビット) にしてください。

### 29.4.3 受信時の最小パルス幅について

本 IrDA の入力信号 (IRRXD5) は、IrDA 規格 1.0 に準拠した波形を入力してください (IrDA 規格 1.0 の最小パルス幅は 1.4 $\mu$ s です)。

### 29.4.4 IrDA の初期設定 / 再設定に関する注意事項

SCI5.SCR.TE, RE ビットを “1” に変更する場合、IRCR.IRE ビットを “1” (IrDA 動作)、IRCR.IRCKS[2:0] ビットを “000b” に選択したうえで下記の手順が必要です。

(1) 送信許可について

- SCI.SCR.TE ビットを “1” (送信許可) にした後、 $18/(16 \times \text{SCI5 のビットレート})$  の時間を待ってから I/O ポート機能を、IRTXD5 端子へ切り替えてください。

(2) 受信許可について

- I/O ポート機能を IRRXD5 端子に切り替えた後、 $18/(16 \times \text{SCI5 のビットレート})$  の時間を待ってから SCI.SCR.RE ビットを “1” (受信許可) にしてください。

なお、送受信を行うときは、 $18/(16 \times \text{SCI5 のビットレート})$  の待ち時間は同時に待つことが可能です。

## 30. I<sup>2</sup>Cバスインタフェース (RIIC)

本 MCU は、1 チャンネルの I<sup>2</sup>C バスインタフェース (RIIC) を内蔵しています。

RIIC は、NXP 社が提唱する I<sup>2</sup>C バス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

### 30.1 概要

表 30.1 に RIIC の仕様を、図 30.1 に RIIC のブロック図を、図 30.2 に入出力端子の外部回路接続例 (I<sup>2</sup>C バス構成例) を示します。表 30.2 に RIIC で使用する入出力端子を示します。

表 30.1 RIIC の仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> <li>I<sup>2</sup>C バスフォーマット/SMBus フォーマット</li> <li>マスタ/スレーブ選択可能</li> <li>設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保</li> </ul>
転送速度	ファストモード対応 (~400 kbps)
シリアルクロック (SCL)	マスタ時、SCL のデューティ比を 4% ~ 96% の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> <li>異なるスレーブアドレスを 3 種類まで設定可能</li> <li>7 ビット/10 ビットアドレスフォーマット対応 (混在可能)</li> <li>ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能</li> </ul>
アクリッジ応答	<ul style="list-style-type: none"> <li>送信時、アクリッジビットの自動ロード</li> <li>ノットアクリッジ受信時に次送信データ転送の自動中断が可能</li> <li>受信時、アクリッジビットの自動送出</li> <li>8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリッジ応答のソフトウェア制御が可能</li> </ul>
ウェイト機能	<ul style="list-style-type: none"> <li>受信時、SCL ラインの Low ホールドによるウェイトが可能</li> <li>8 クロック目と 9 クロック目の間でウェイト</li> <li>9 クロック目と 1 クロック目の間でウェイト</li> </ul>
SDA 出力遅延機能	アクリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> <li>マルチマスタ対応</li> <li>他のマスタとの SCL 衝突時、SCL の同期動作可能</li> <li>スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能</li> <li>マスタ時、送信データ不一致でアービトレーションロスト検出可能</li> <li>バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止)</li> <li>ノットアクリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能</li> <li>スレーブ送信時、データ不一致でアービトレーションロスト検出可能</li> </ul>
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL の長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 <ul style="list-style-type: none"> <li>通信エラー / 通信イベント発生</li> <li>アービトレーションロスト検出</li> <li>NACK 検出</li> <li>タイムアウト検出</li> <li>スタートコンディション検出 (リスタートコンディション含む)</li> <li>ストップコンディション検出</li> <li>受信データフル (スレーブアドレス一致時含む)</li> <li>送信データエンプティ (スレーブアドレス一致時含む)</li> <li>送信終了</li> </ul>
消費電力低減機能	モジュールストップ状態への遷移が可能

表 30.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> <li>4種類</li> <li>マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード</li> </ul>
イベントリンク機能 (出力)	<p>4種類(RIIC0)</p> <ul style="list-style-type: none"> <li>通信エラー/通信イベント発生</li> <li>アービトレーションロスト検出</li> <li>NACK検出</li> <li>タイムアウト検出</li> <li>スタートコンディション検出(リスタートコンディション含む)</li> <li>ストップコンディション検出</li> <li>受信データフル(スレーブアドレス一致時含む)</li> <li>送信データエンプティ(スレーブアドレス一致時含む)</li> <li>送信終了</li> </ul>

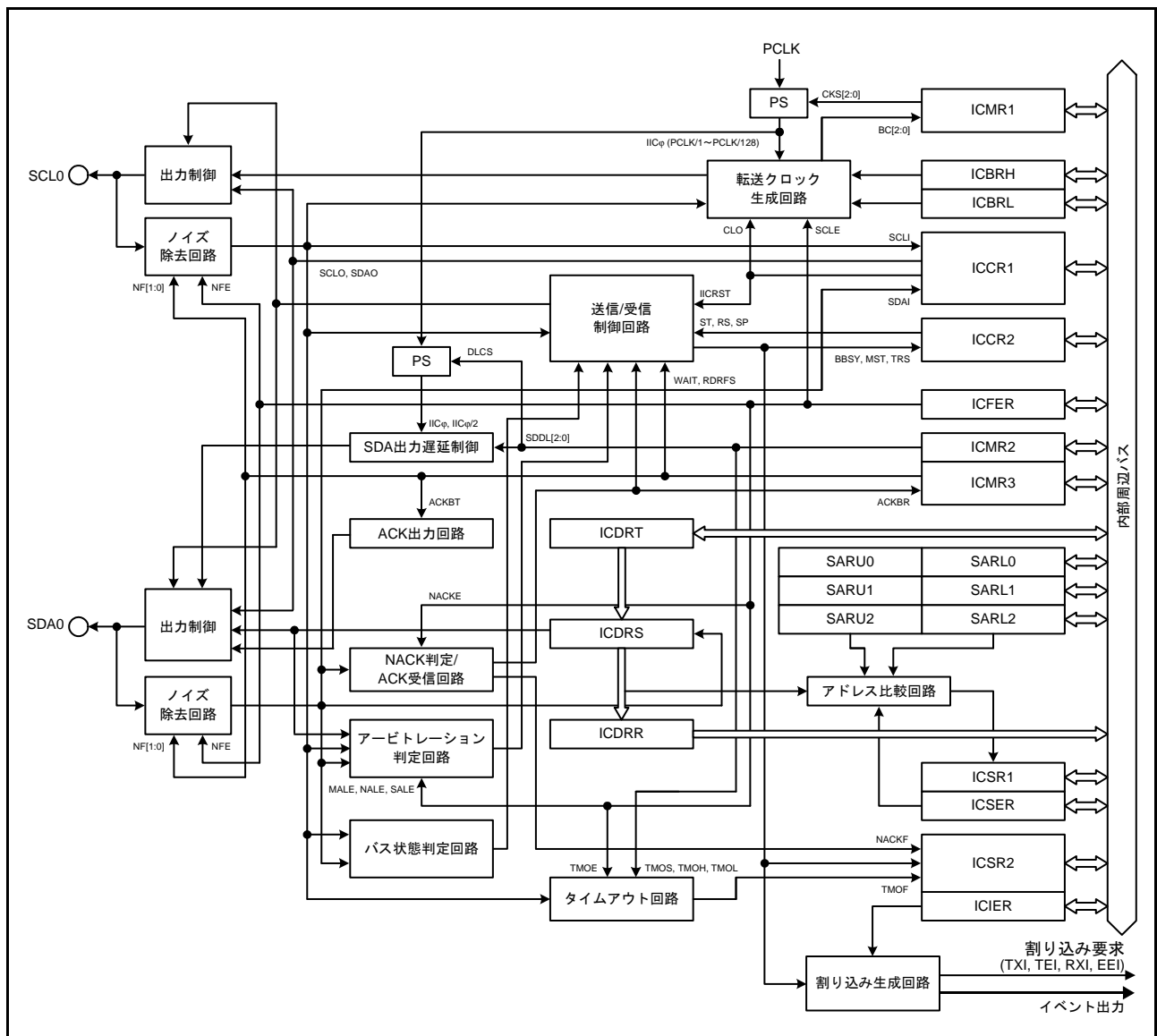


図 30.1 RIICのブロック図

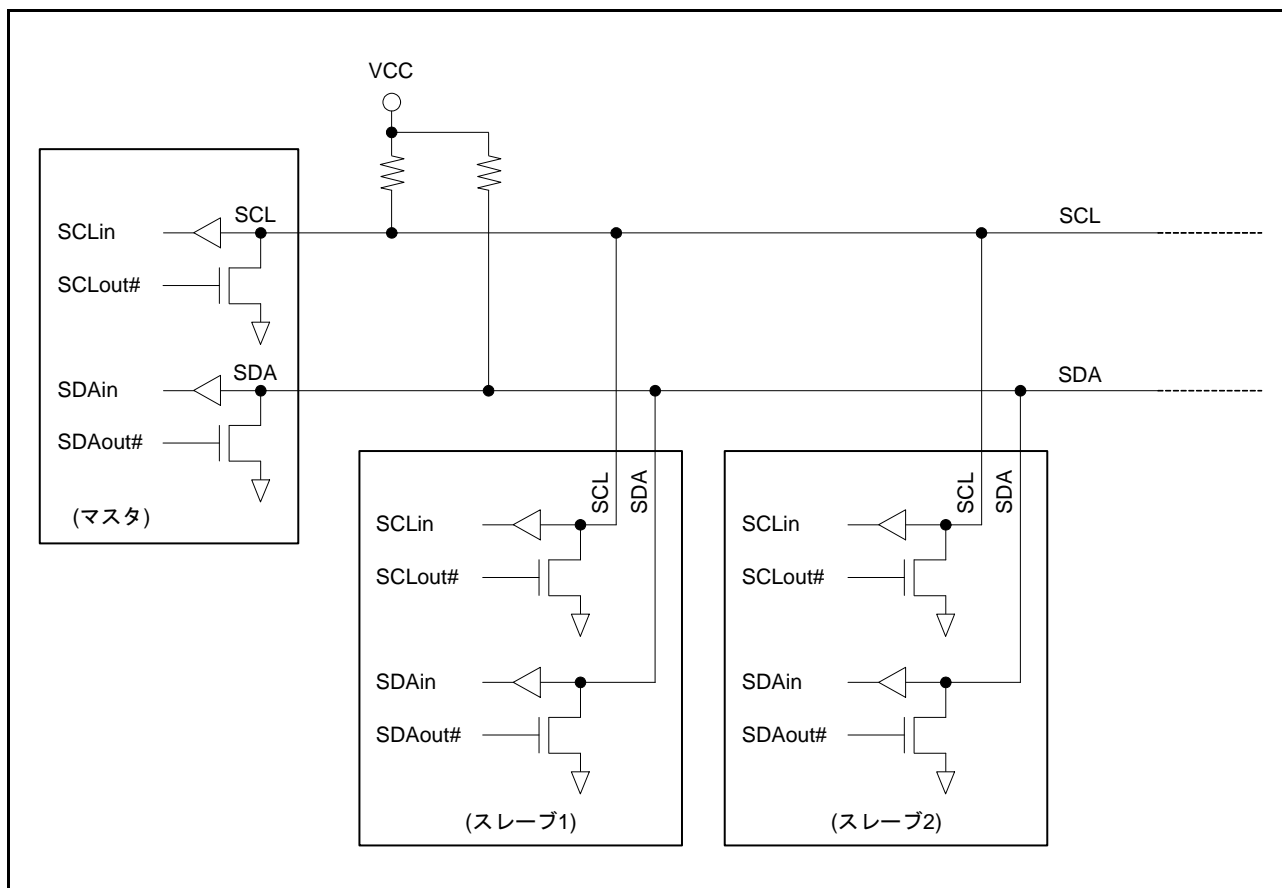


図 30.2 入出力端子の外部回路接続例 (I<sup>2</sup>C バス構成例)

RIIC の各信号の入力レベルは、I<sup>2</sup>C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 30.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

## 30.2 レジスタの説明

30.2.1 I<sup>2</sup>Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA0ラインはLow 1 : SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL0ラインはLow 1 : SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> <li>リード時</li> <li>0 : SDA0端子をLowにしている</li> <li>1 : SDA0端子を解放している</li> <li>ライト時</li> <li>0 : SDA0端子をLowにする</li> <li>1 : SDA0端子を解放する (外部プルアップ抵抗によりHigh出力)</li> </ul>	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> <li>リード時</li> <li>0 : SCLO端子をLowにしている</li> <li>1 : SCLO端子を解放している</li> <li>ライト時</li> <li>0 : SCLO端子をLowにする</li> <li>1 : SCLO端子を解放する (外部プルアップ抵抗によりHigh出力)</li> </ul>	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL追加出力ビット	0 : SCLを追加で出力しない(通常状態) 1 : SCLを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I <sup>2</sup> Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCLO/SDAO出力ラッチを解除)	R/W
b7	ICE	I <sup>2</sup> Cバスインタフェース許可ビット	0 : 禁止(SCLO、SDAO端子非駆動状態) 1 : 許可(SCLO、SDAO端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

**SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)**

RIIC が出力する SDA0 信号、SCLO 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも “0” を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

**CLO ビット (SCL 追加出力ビット)**

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「30.11.2 SCL 追加出力機能」を参照してください。

**IICRST ビット (I<sup>2</sup>C バスインタフェース内部リセットビット)**

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 30.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I<sup>2</sup>C バスシフトレジスタ (ICDRS)、I<sup>2</sup>C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「30.14 リセット時/コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 30.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

**ICE ビット (I<sup>2</sup>C バスインタフェース許可ビット)**

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 30.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときには、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

30.2.2 I<sup>2</sup>Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I <sup>2</sup> Cバスが解放状態(バスフリー状態) 1: I <sup>2</sup> Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

**STビット(スタートコンディション発行要求ビット)**

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

**RSビット(リスタートコンディション発行要求ビット)**

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。



リスタートコンディション発行の詳細動作については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレーブモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

### SP ビット(ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき(ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

### TRS ビット(送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき(ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき(RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

### MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

### BBSY フラグ (バスビジー検出フラグ)

I<sup>2</sup>C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されると認識して“1”になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき“0”になります。

["1"になる条件]

- スタートコンディションを検出したとき

["0"になる条件]

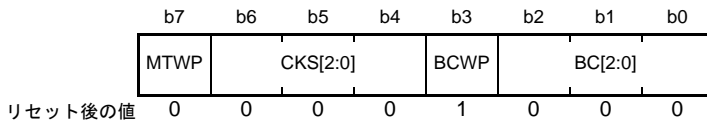
- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

ターゲットコンディションを検出しなかったとき

- ICCR1.ICE ビットが“0”の状態でも ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

### 30.2.3 I<sup>2</sup>C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可(読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック(IICφ)ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

#### BC[2:0] ビット (ビットカウンタ)

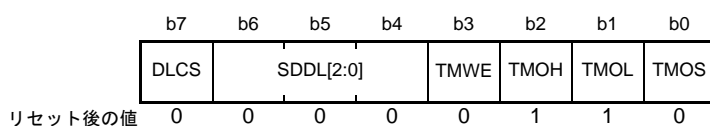
SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し(データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつSCL0ラインがLowの状態で行ってください。

BC[2:0]ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出(リスタートコンディション含む)で自動的に“000b”に戻ります。

30.2.4 I<sup>2</sup>Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0: SCL0ラインがLow期間中のカウントアップを禁止 1: SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0: SCL0ラインがHigh期間中のカウントアップを禁止 1: SCL0ラインがHigh期間中のカウントアップを許可	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0: タイムアウト機能の内部カウンタへの書き込み禁止 1: タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> <li>ICMR2.DLCSビット=0 (IICφ) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1サイクル 0 1 0: IICφの2サイクル 0 1 1: IICφの3サイクル 1 0 0: IICφの4サイクル 1 0 1: IICφの5サイクル 1 1 0: IICφの6サイクル 1 1 1: IICφの7サイクル</li> <li>ICMR2.DLCSビット=1 (IICφ/2) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1~2サイクル 0 1 0: IICφの3~4サイクル 0 1 1: IICφの5~6サイクル 1 0 0: IICφの7~8サイクル 1 0 1: IICφの9~10サイクル 1 1 0: IICφの11~12サイクル 1 1 1: IICφの13~14サイクル</li> </ul>	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット=1 (IICφ/2) の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IICφ) となります。

**TMOS ビット (タイムアウト検出時間選択ビット)**

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCL0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「30.11.1 タイムアウト検出機能」を参照してください。

**TMOL ビット (タイムアウトLカウント制御ビット)**

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にSCL0ラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

**TMOH ビット (タイムアウトHカウント制御ビット)**

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

**TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット)**

スレーブアドレスレジスタ (SARL0/SARU0) のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

本ビットを 1 にすると、SARL0/SARU0 のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) のアドレスが割り当てられます。

**SDDL[2:0] ビット (SDA 出力遅延カウンタ)**

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I<sup>2</sup>C バス仕様 (データ有効時間/アクノリッジ有効時間 (注1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 - データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「30.5 SDA 出力遅延機能」を参照してください。

**注 1. データ有効時間/アクノリッジ有効時間**

3,450 ns ( ~ 100 kbps : スタンダードモード (Sm))

900 ns ( ~ 400 kbps : ファストモード (Fm))

30.2.5 I<sup>2</sup>Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : 9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドしない) 1 : 8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I <sup>2</sup> Cバス選択ビット	0 : I <sup>2</sup> Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

## NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「30.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLのHigh幅またはLow幅のいずれか短い方] - {1.5 × t<sub>IICcyc</sub> (内部基準クロック (IICφ) の周期) + 120 ns (アナログノイズフィルタノイズ除去幅、参考値)} と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

## ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

#### ACKBT ビット (送信アクリッジビット)

受信モード時にアクリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

#### ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

#### RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりでは SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりでは SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりでは RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりでは“1”にし、8 クロック目の立ち下がりでは SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

#### WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I<sup>2</sup>C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL の 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

#### SMBS ビット (SMBus/I<sup>2</sup>C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。



30.2.6 I<sup>2</sup>C バスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0: デジタルノイズフィルタを使用しない 1: デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**TMOE ビット (タイムアウト検出機能有効ビット)**

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「30.11.1 タイムアウト検出機能」を参照してください。

**MALE ビット (マスターアービトレーションロスト検出許可ビット)**

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

**NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)**

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

**SALE ビット (スレーブアービトレーションロスト検出許可ビット)**

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。



**NACKE ビット (NACK 受信転送中断許可ビット)**

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「30.8.2 NACK 受信転送中断機能」を参照してください。

**SCLE ビット (SCL 同期回路有効ビット)**

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I<sup>2</sup>C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

30.2.7 I<sup>2</sup>C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

**SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)**

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

**GCAE ビット (ジェネラルコールアドレス許可ビット)**

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

**DIDE ビット (デバイス ID アドレス検出許可ビット)**

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「30.7.3 デバイス ID アドレス検出機能」を参照してください。

#### HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつHOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”またはHOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

30.2.8 I<sup>2</sup>Cバス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

**TMOIE ビット (タイムアウト割り込み要求許可ビット)**

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

**ALIE ビット (アービトレーションロスト割り込み要求許可ビット)**

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

**STIE ビット (スタートコンディション検出割り込み要求許可ビット)**

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

**SPIE ビット (ストップコンディション検出割り込み要求許可ビット)**

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

**NAKIE ビット (NACK 受信割り込み要求許可ビット)**

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

**RIE ビット (受信データフル割り込み要求許可ビット)**

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

**TEIE ビット (送信終了割り込み要求許可ビット)**

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

**TIE ビット (送信データエンプティ割り込み要求許可ビット)**

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

30.2.9 I<sup>2</sup>Cバスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス(1111 100b) + 0 (write)と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

## AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの9個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

- ICSEY.SARyEビットが“1” (スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの9個目の SCL の立ち上がり

#### GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSEY.GCAEビットが“1” (ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSEY.GCAEビットが“1” (ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

#### DID フラグ (デバイス ID アドレス検出フラグ)

["1" になる条件]

- ICSEY.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSEY.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICSEY.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

#### HOA フラグ (ホストアドレス検出フラグ)

["1" になる条件]

- ICSEY.HOAEビットが“1” (ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSEY.HOAEビットが“1” (ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

30.2.10 I<sup>2</sup>Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンptyフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

**TMOF フラグ (タイムアウト検出フラグ)**

SCL0ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスターモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

**AL フラグ (アービトレーションロストフラグ)**

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIICは送信中にSDA0ラインのレベルを監視し、出力データとSDA0ラインのレベルが一致しない場合ALフラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時のNACK送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1”になる条件]

【マスターアービトレーションロスト検出有効時: ICFER.MALEビット=1】

- マスター送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK期間を除くSCLの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき(内部SDA出力がHigh出力



(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)

- ICCR2.STビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき
- ICCR2.BBSYフラグが“1”の状態ですタートコンディション発行要求)に設定したとき

【NACKアービトレーションロスト検出有効時：ICFER.NALEビット=1】

- 受信モード時のNACK送信において、ACK期間のSCLの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALEビット=1】

- スレーブ送信モード時のデータ送信において、ACK期間を除くSCLの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

表30.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.STビットが“1”の状態ですタートコンディション検出時に出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき
			1	送信データ不一致	ICCR2.BBSYフラグが“1”の状態ですタートコンディション発行要求)に設定したとき マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

### START フラグ(スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション(リスタートコンディション含む)を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

### STOP フラグ(ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

### NACKF フラグ(NACK検出フラグ)

【“1”になる条件】

- ICFER.NACKE ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1” になると RIIC は通信動作を中断します。NACKF フラグが“1” の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0” にしてください。

### RDRF フラグ (受信データフルフラグ)

["1" になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで“1” になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0” のとき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

### TEND フラグ (送信終了フラグ)

["1" になる条件]

- TDRE フラグが“1” の状態で、9 個目の SCL の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

### TDRE フラグ (送信データエンプティフラグ)

["1" になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1” になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1” のとき

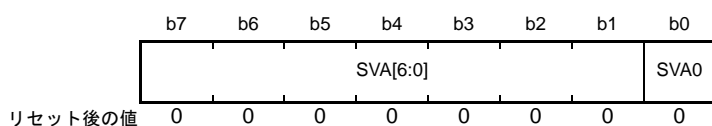
["0" になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0” になったとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKE ビットが“1” の状態で NACKF フラグが“1” になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが“0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは“1” になりません。

## 30.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

**SVA0 ビット (10 ビットアドレス最下位ビット)**

10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

**SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)**

7ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

## 30.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)**

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) であつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

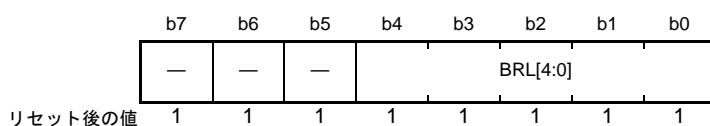
**SVA[1:0] ビット (10 ビットアドレス上位ビット)**

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

30.2.13 I<sup>2</sup>Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「30.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

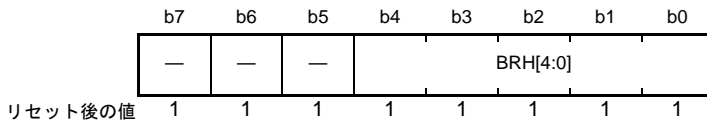
注 1. データセットアップ時間 (t<sub>SU:DAT</sub>)

250 ns ( ~ 100 kbps : スタンダードモード (Sm))

100 ns ( ~ 400 kbps : ファストモード (Fm))

30.2.14 I<sup>2</sup>Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I<sup>2</sup>C 転送速度および SCL のデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi \text{ (注1)} + \text{SCL0 ライン立ち上がり時間 (tr)} \\ + \text{SCL0 ライン立ち下がり時間 (tf)} \}$$

$$\text{デューティ比} = \{ \text{SCL0 ライン立ち上がり時間 (tr)} \text{ (注2)} + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0 ライン立ち下がり時間 (tf)} \text{ (注2)} \\ + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注 1. IICφ = PCLK × 分周比

注 2. SCL0 ライン立ち上がり時間 (tr)、SCL0 ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I<sup>2</sup>C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 30.5 に示します。

表 30.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

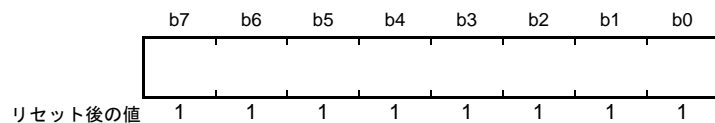
  

転送速度 (kbps)	動作周波数 PCLK (MHz)					
	30			32		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)

注. SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。  
 SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI<sup>2</sup>Cバス仕様書を参照してください。

### 30.2.15 I<sup>2</sup>Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



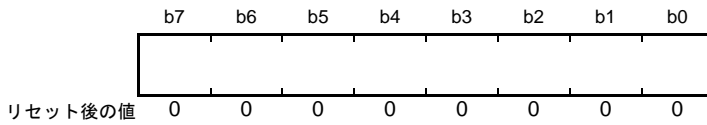
I<sup>2</sup>Cバスシフトレジスタ (ICDRS)の空きを検出すると、ICDRTレジスタに書き込まれた送信データがICDRSレジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRTレジスタとICDRSレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ送信中に、次に送信するデータをICDRTレジスタに書いておくと連続送信動作が可能です。

ICDRTレジスタは常に読み出し/書き込み可能です。ICDRTレジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに1回だけ行ってください。

### 30.2.16 I<sup>2</sup>Cバス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



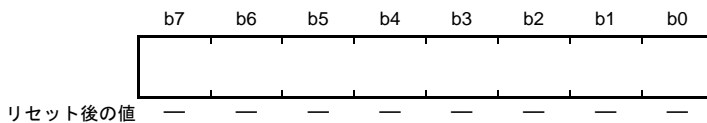
1バイトのデータの受信が終了すると、受信したデータはI<sup>2</sup>Cバスシフトレジスタ (ICDRS) からICDRRレジスタへ転送され、次のデータを受信可能にします。

ICDRSレジスタとICDRRレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ受信中に、すでに受信したデータをICDRRレジスタから読んでおくと連続受信動作が可能です。

ICDRRレジスタに書き込みはできません。ICDRRレジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに1回だけ行ってください。

受信データをICDRRレジスタから読み出さないまま (ICSR2.RDRFフラグが“1”の状態のまま) 次の受信データを受け取ると、RIICはRDRFフラグが次に“1”になるタイミングの1つ手前のSCL0の立ち下がりでのSCL0ラインをLowにホールドします。

### 30.2.17 I<sup>2</sup>Cバスシフトレジスタ (ICDRS)



ICDRSレジスタは、データを送信/受信するためのシフトレジスタです。

送信時はICDRTレジスタから送信データがICDRSレジスタに転送され、SDA0端子からデータが送信されます。受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。

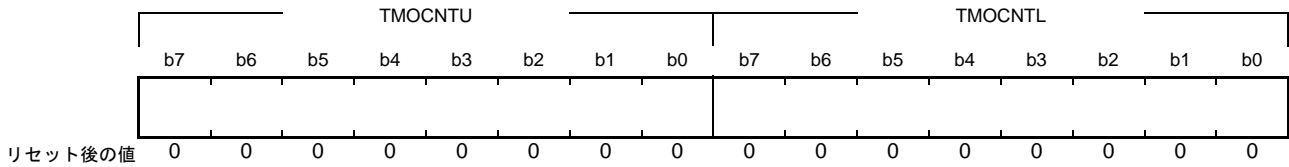
ICDRSレジスタは直接アクセスすることはできません。



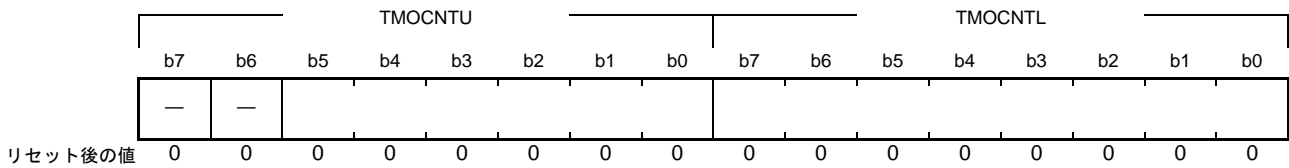
## 30.2.18 タイムアウト内部カウンタ (TMOCNTL/TMOCNTU)

アドレス RIIC0.TMOCNTL 0008 830Ah, RIIC0.TMOCNTU 0008 830Bh

・ ICMR2.TMOS = 0 (ロングモード)時



・ ICMR2.TMOS = 1 (ショートモード)時



注. 本レジスタはSARL0、SARU0レジスタと同一アドレスに配置されています。ICMR2.TMWEビットを“1”にしてから値を設定してください。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、タイムアウト検出のための内部カウンタです。ロングモード時は16ビットカウンタとして、ショートモード時は14ビットカウンタとして動作し、カウンタがオーバーフローするとタイムアウトとなります。

TMOCNTL、TMOCNTUレジスタは、SARL0、SARU0レジスタと同一アドレスに配置されており、ICMR2.TMWEビットが“1”のときはTMOCNTL、TMOCNTUレジスタ、ICMR2.TMWEビットが“0”のときはSARL0、SARU0レジスタが選択されます。

TMOCNTL、TMOCNTUレジスタは、ライトオンリーのレジスタです。読み出しはできません。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、リセット時、ICCR1.IICRSTビットを“1”にしたとき、もしくはICFER.TMOEビットが“1”でかつ、ICMR1.CKS[2:0]ビットが“000b” (PCLK/1) の場合に、ICMR2レジスタのTMOH/TMOLビットで設定したカウンタクリア条件 (SCL立ち上がり / 立ち下がりエッジ検出) が成立したとき、クリア (TMOCNTL = 00h, TMOCNTU = 00h) されます。

ICMR1.CKS[2:0]ビットが“000b” (PCLK/1) のとき以外は、自動でクリアされませんので、必要に応じてTMOCNTLカウンタとTMOCNTUカウンタに“00h”を書いてクリアしてください。

TMOCNTLカウンタとTMOCNTUカウンタは、16ビットレジスタとして16ビットアクセスすることもできます。

16ビットアクセスする場合は、表30.6に記載のアドレスへアクセスしてください。

表30.6 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 830Ah	RIIC0.TMOCNTU	RIIC0.TMOCNTL

### 30.3 動作説明

#### 30.3.1 通信データフォーマット

I<sup>2</sup>C バスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 30.3 に I<sup>2</sup>C バスフォーマットを、図 30.4 に I<sup>2</sup>C バスタイミングを示します。

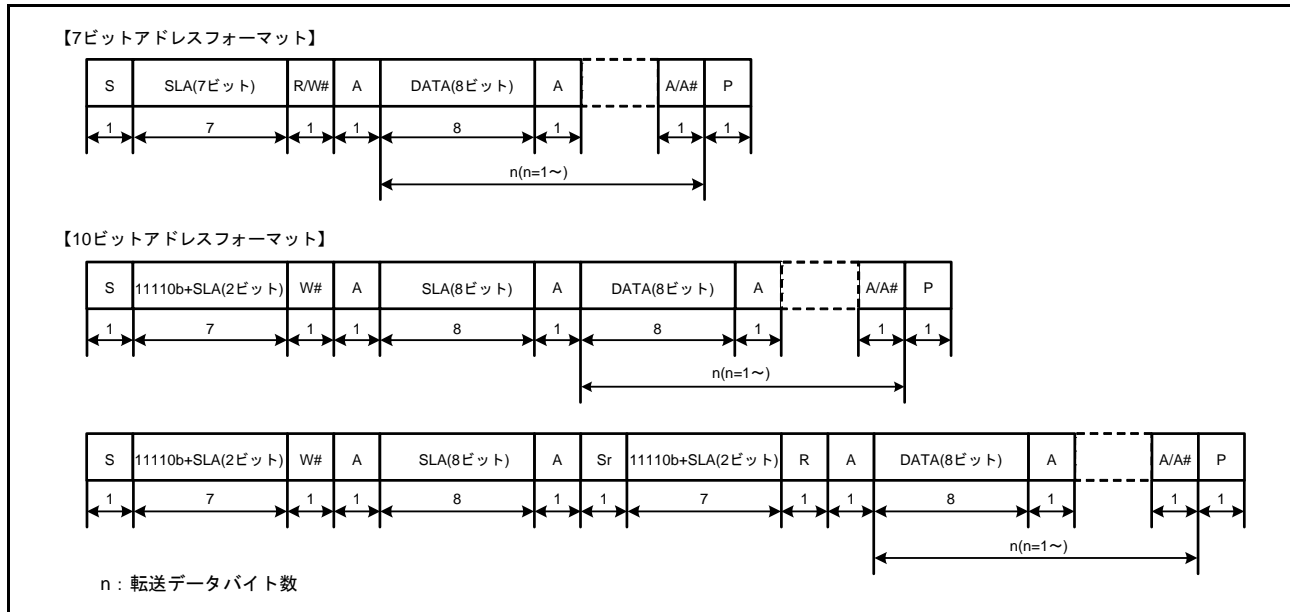


図 30.3 I<sup>2</sup>C バスフォーマット

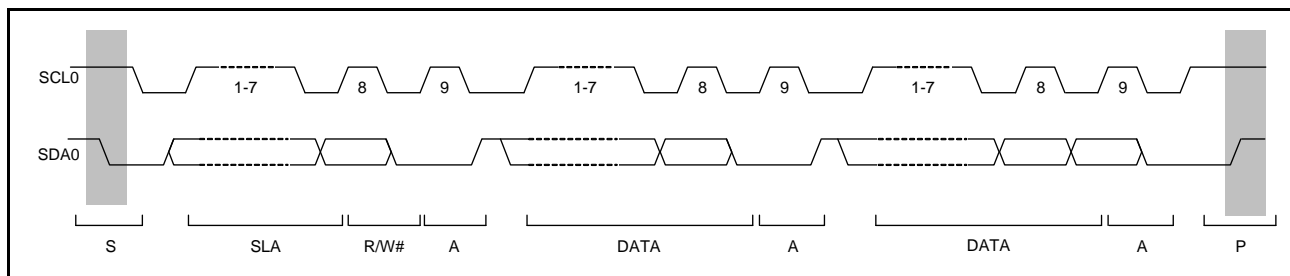


図 30.4 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではセットアップ時間経過後にSDA0ラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがLowからHighに変化します。

### 30.3.2 初期設定

データの送信/受信を開始する場合、**図 30.5** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0”(SCL0、SDA0 端子非駆動状態)にしたまま ICCR1.IICRST ビットを“1”(RIIC リセット)にした後、ICCR1.ICE ビットを“1”(内部リセット)にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 30.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0”(RIIC リセット解除)にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

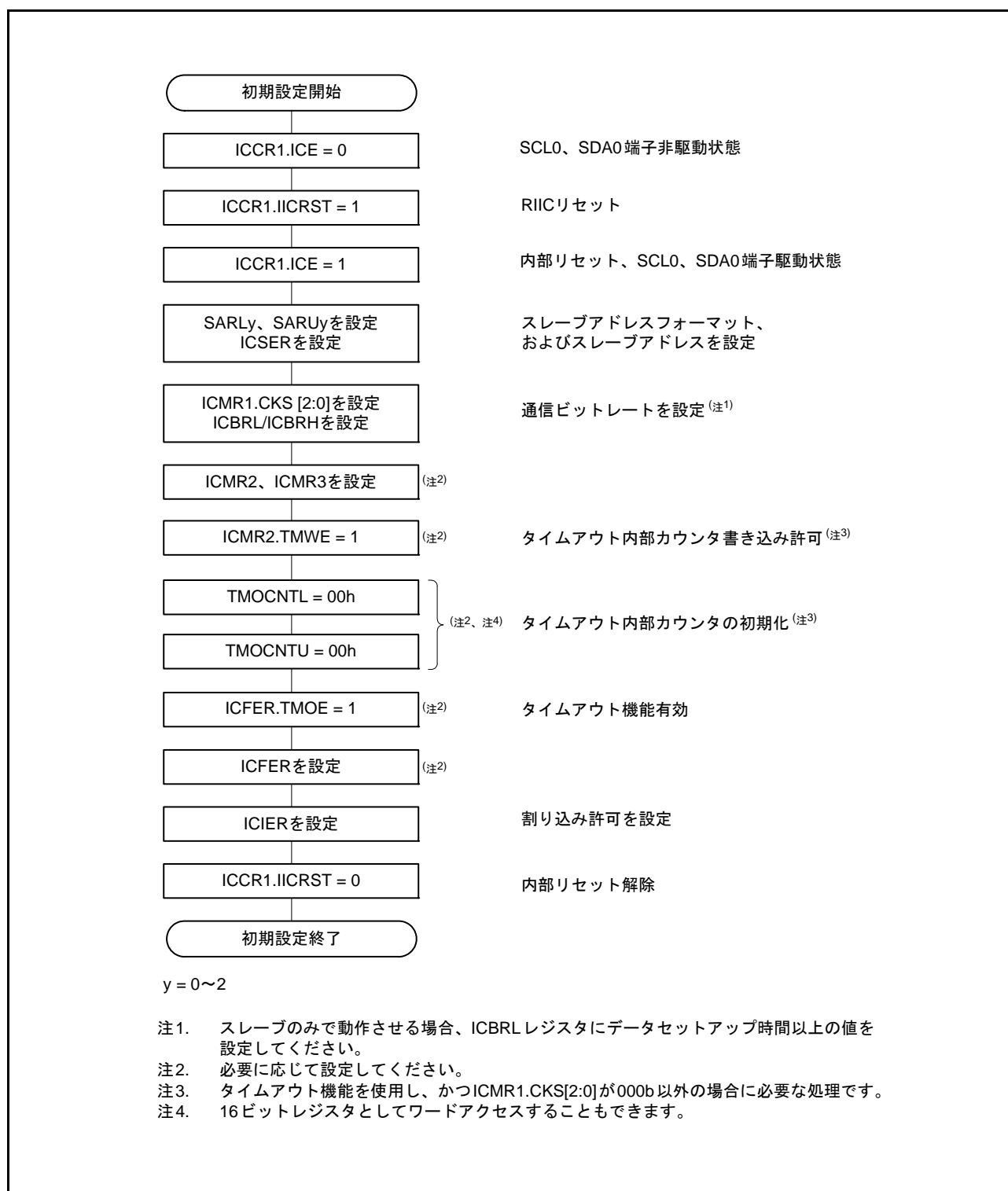


図 30.5 RIIC の初期化フローチャート例

### 30.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。図 30.6 にマスタ送信の使用例を、図 30.7 ~ 図 30.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

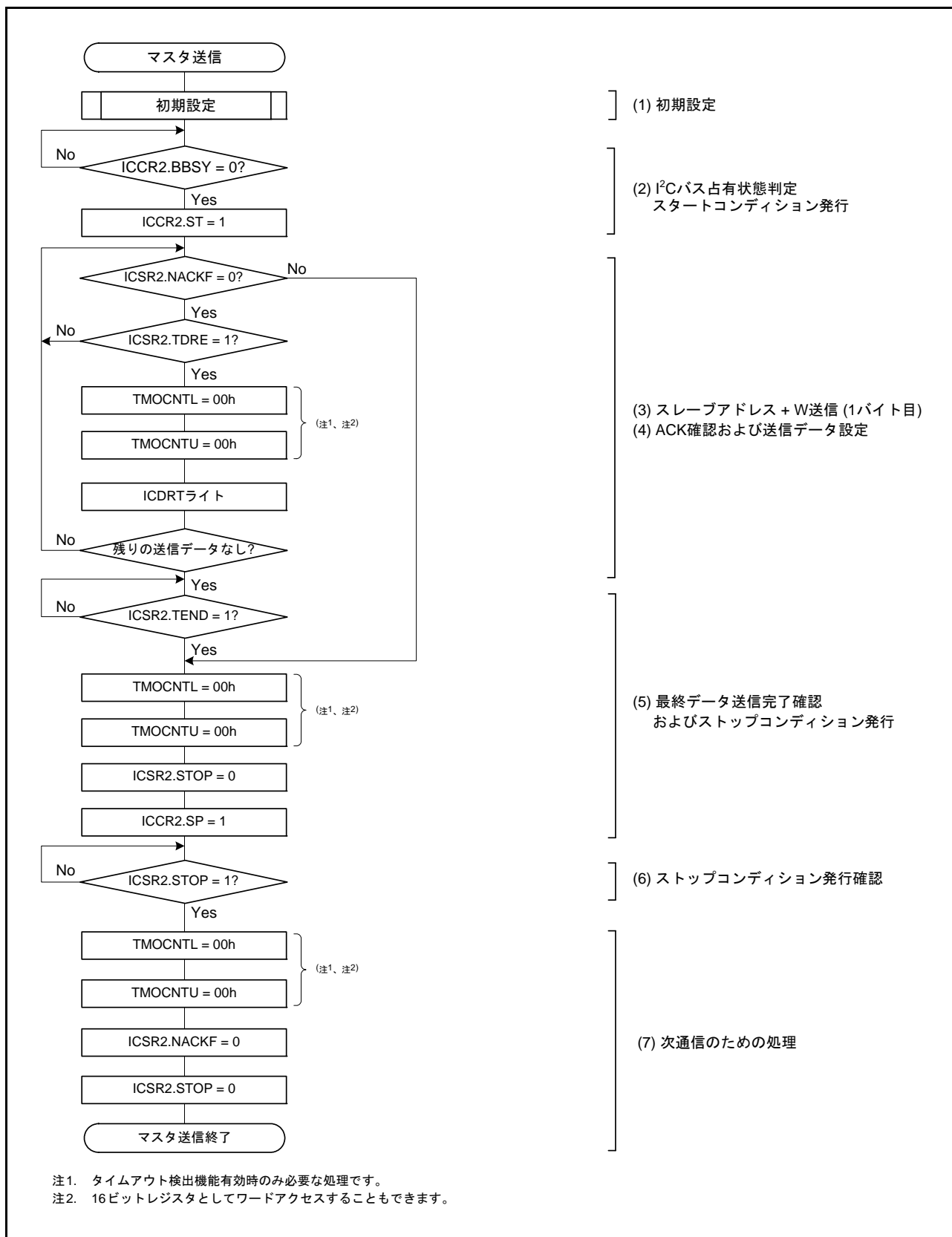


図 30.6 マスタ送信のフローチャート例

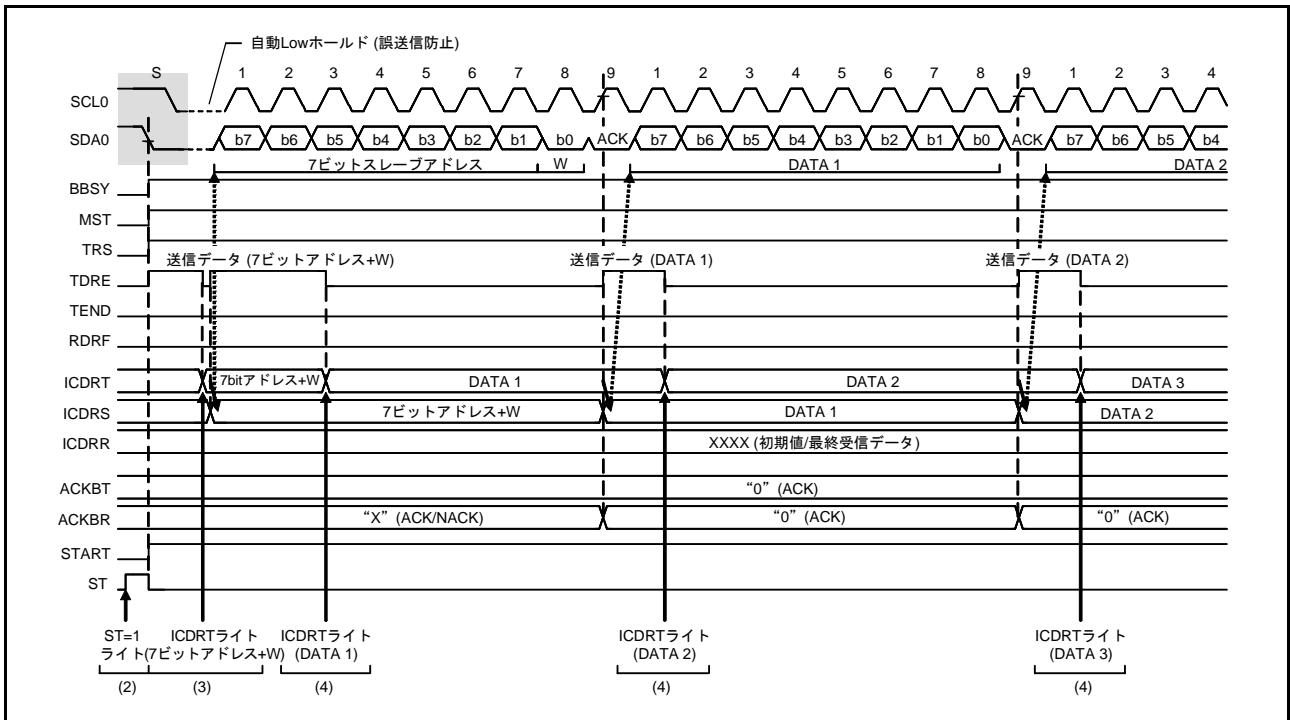


図 30.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

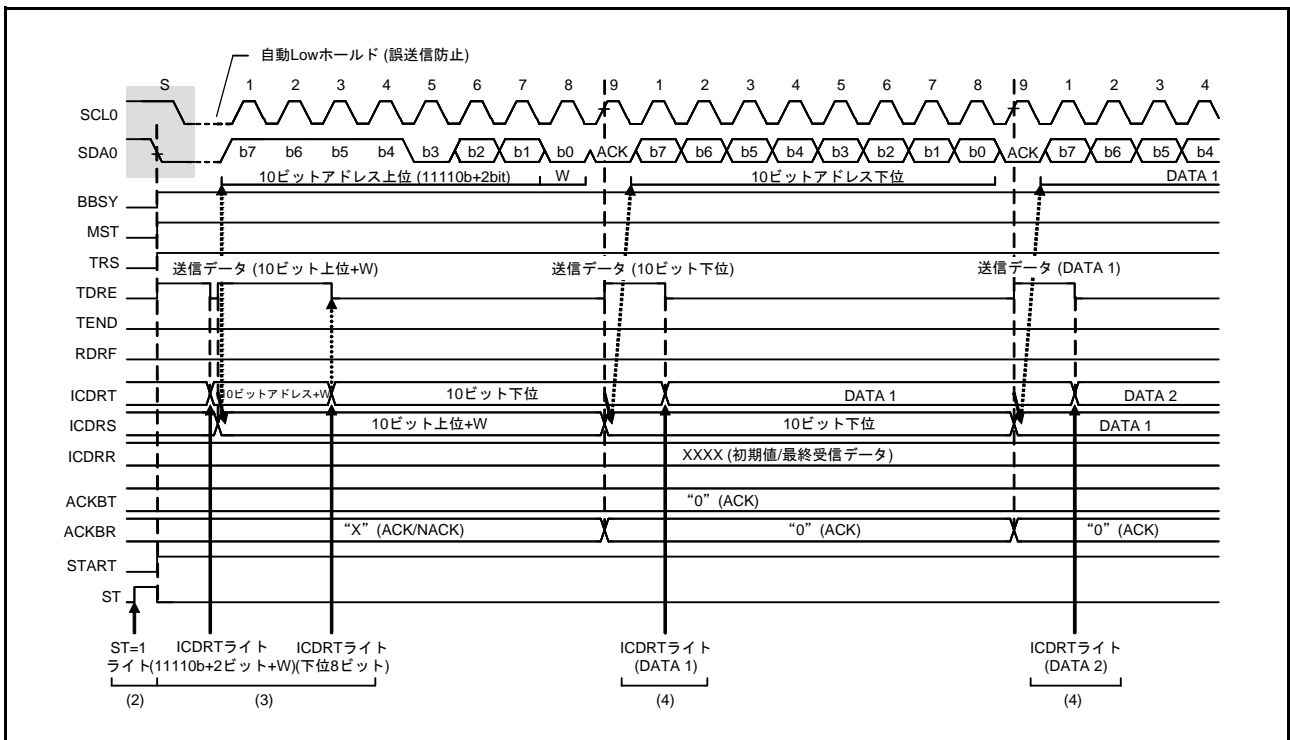


図 30.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

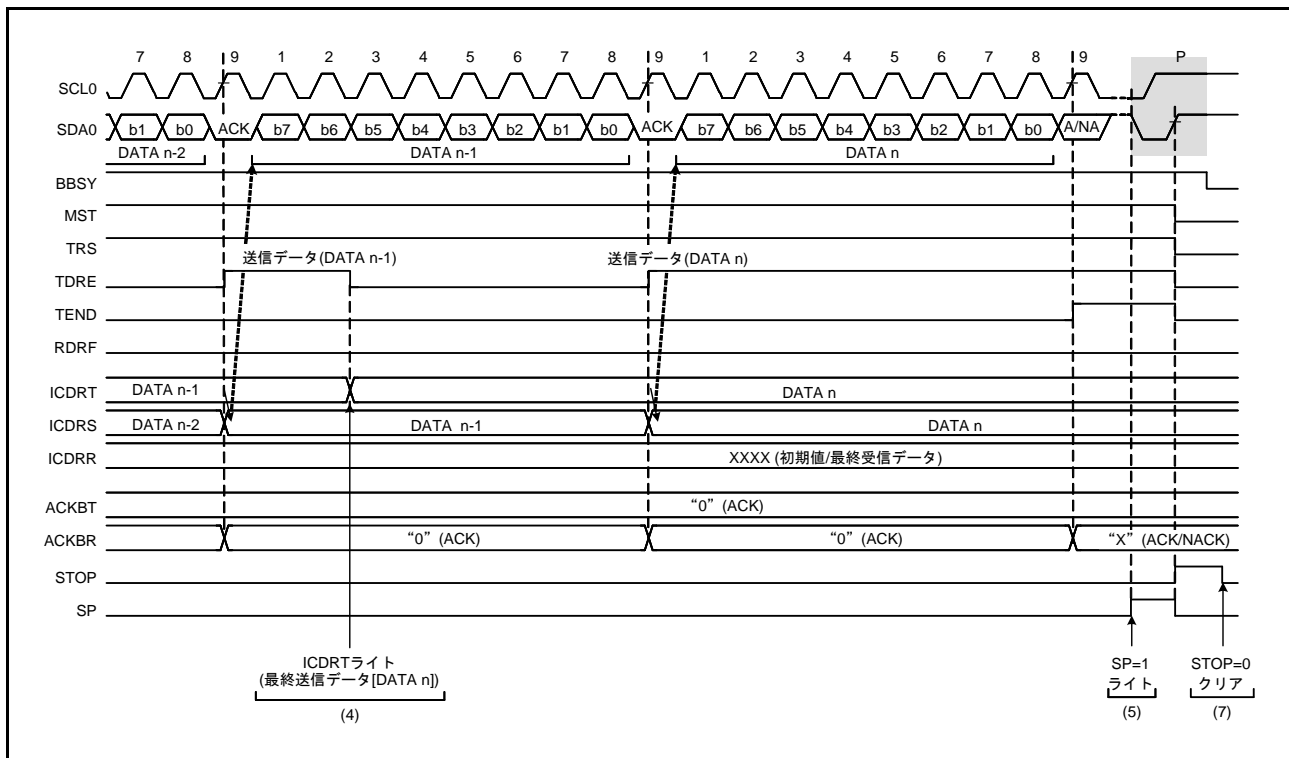


図 30.9 マスタ送信の動作タイミング (3)

### 30.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アックノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 30.10、図 30.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 30.12 ~ 図 30.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信



モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

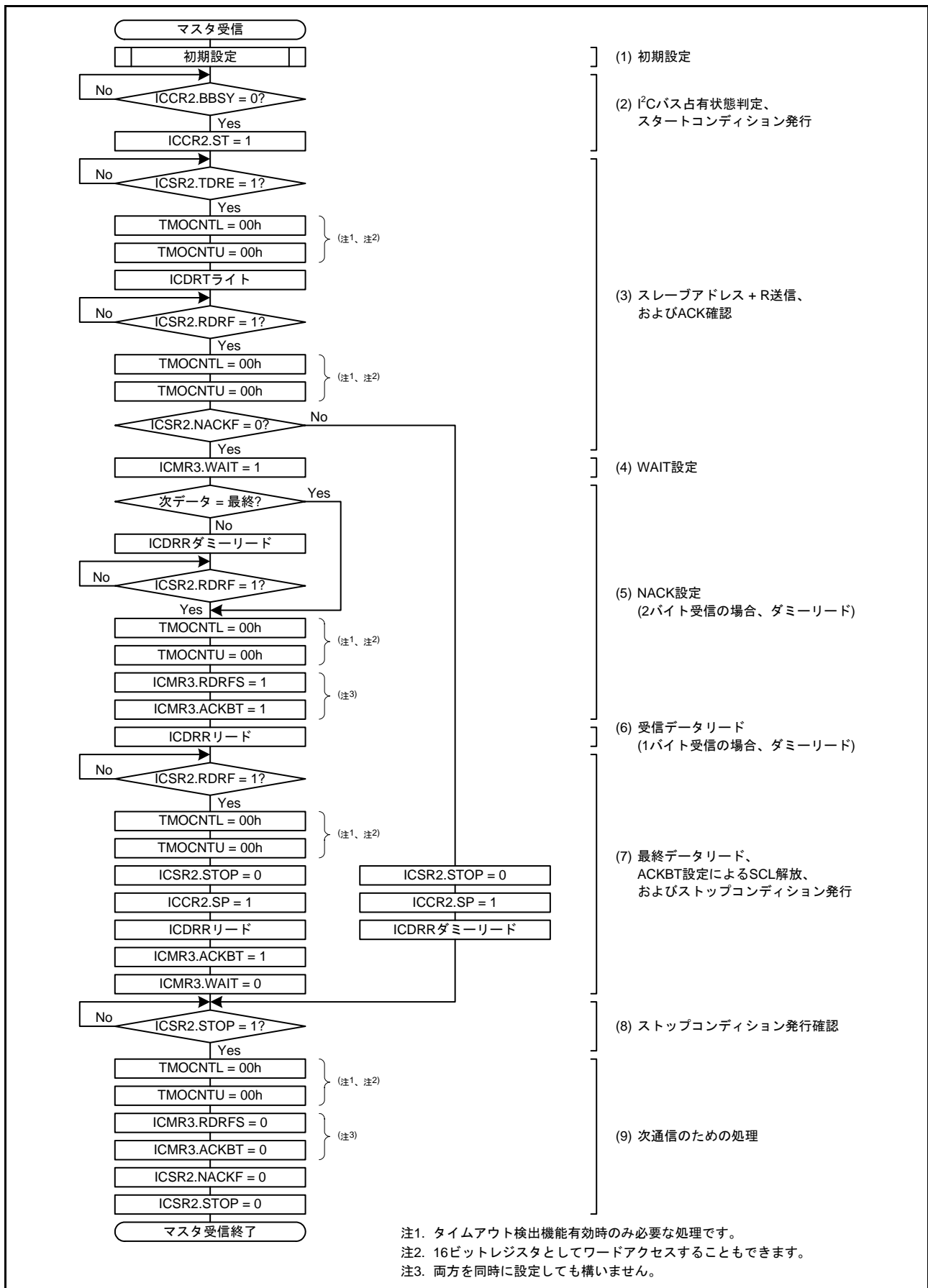


図 30.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合)

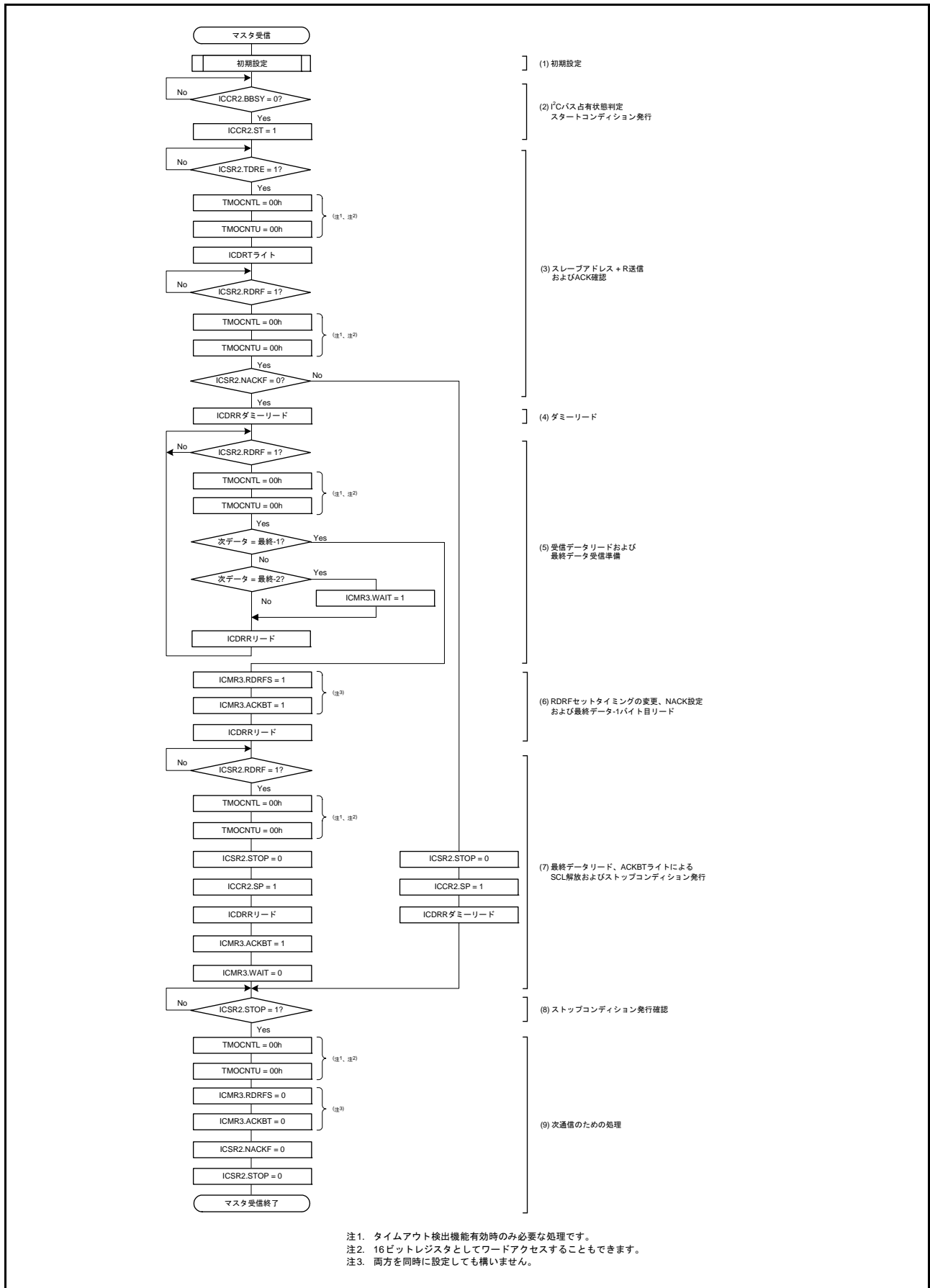


図 30.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

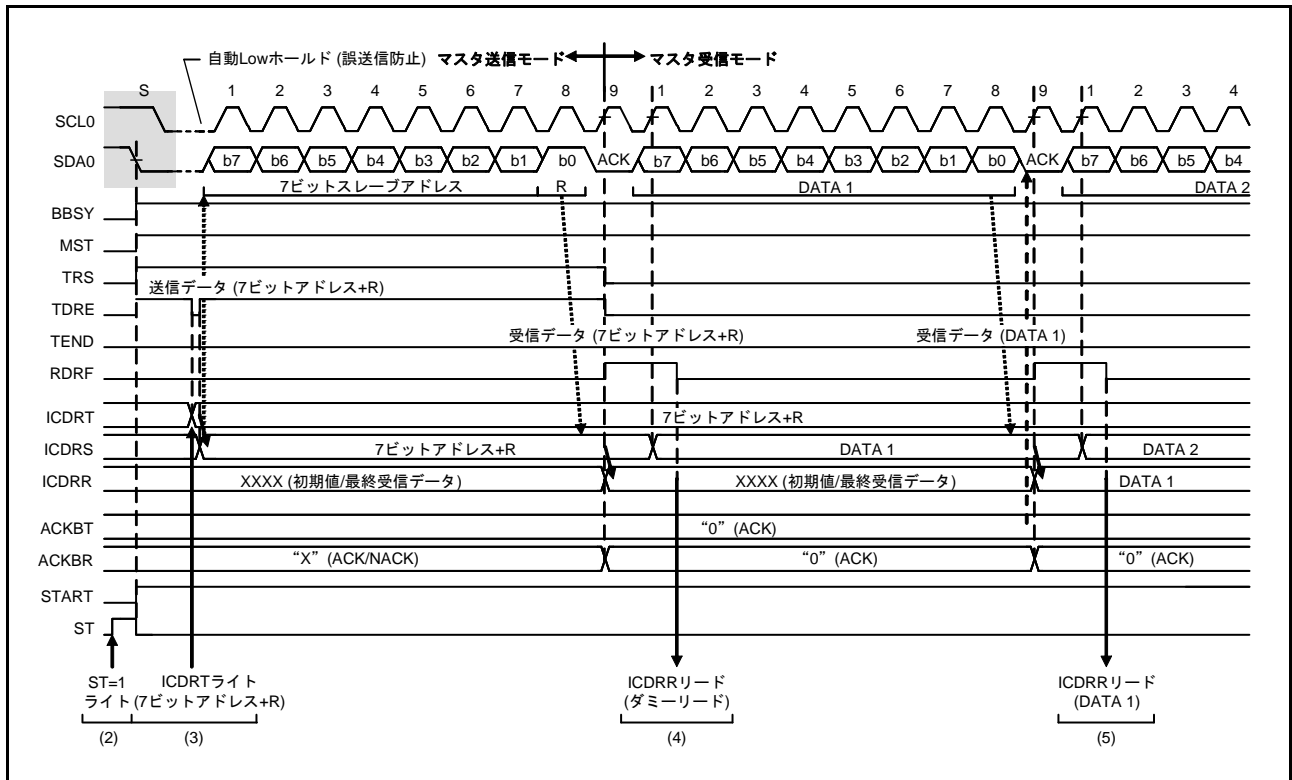


図 30.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット=0 のとき)

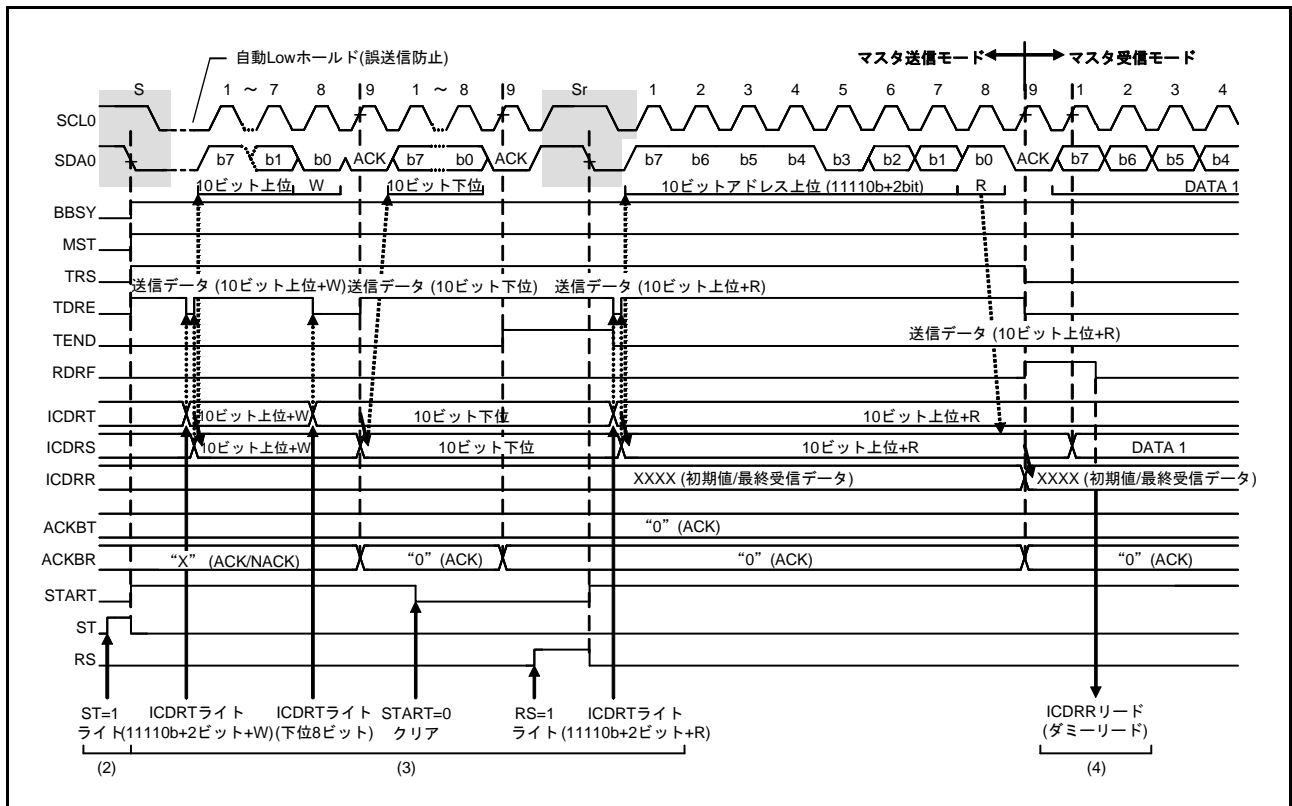


図 30.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS ビット=0 のとき)

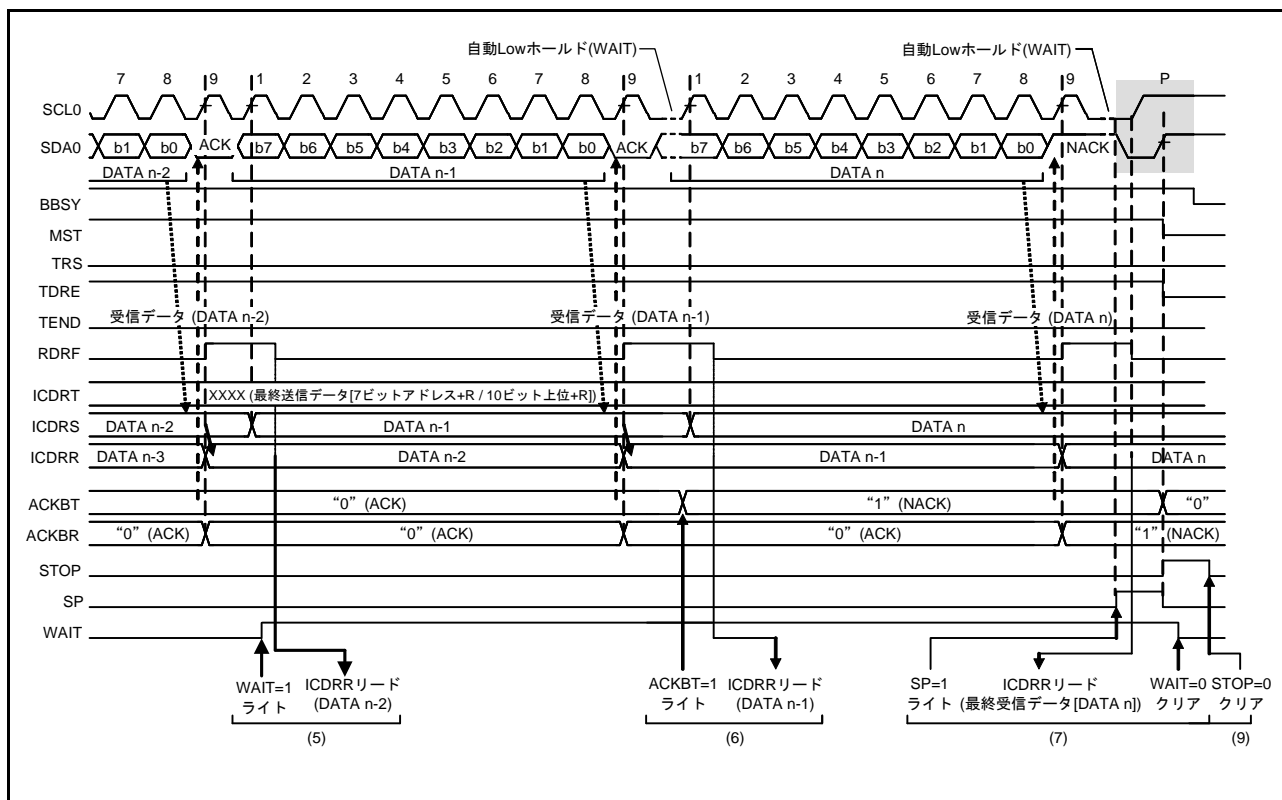


図 30.14 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

### 30.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 30.15 にスレーブ送信の使用例を示します。図 30.16、図 30.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。  
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

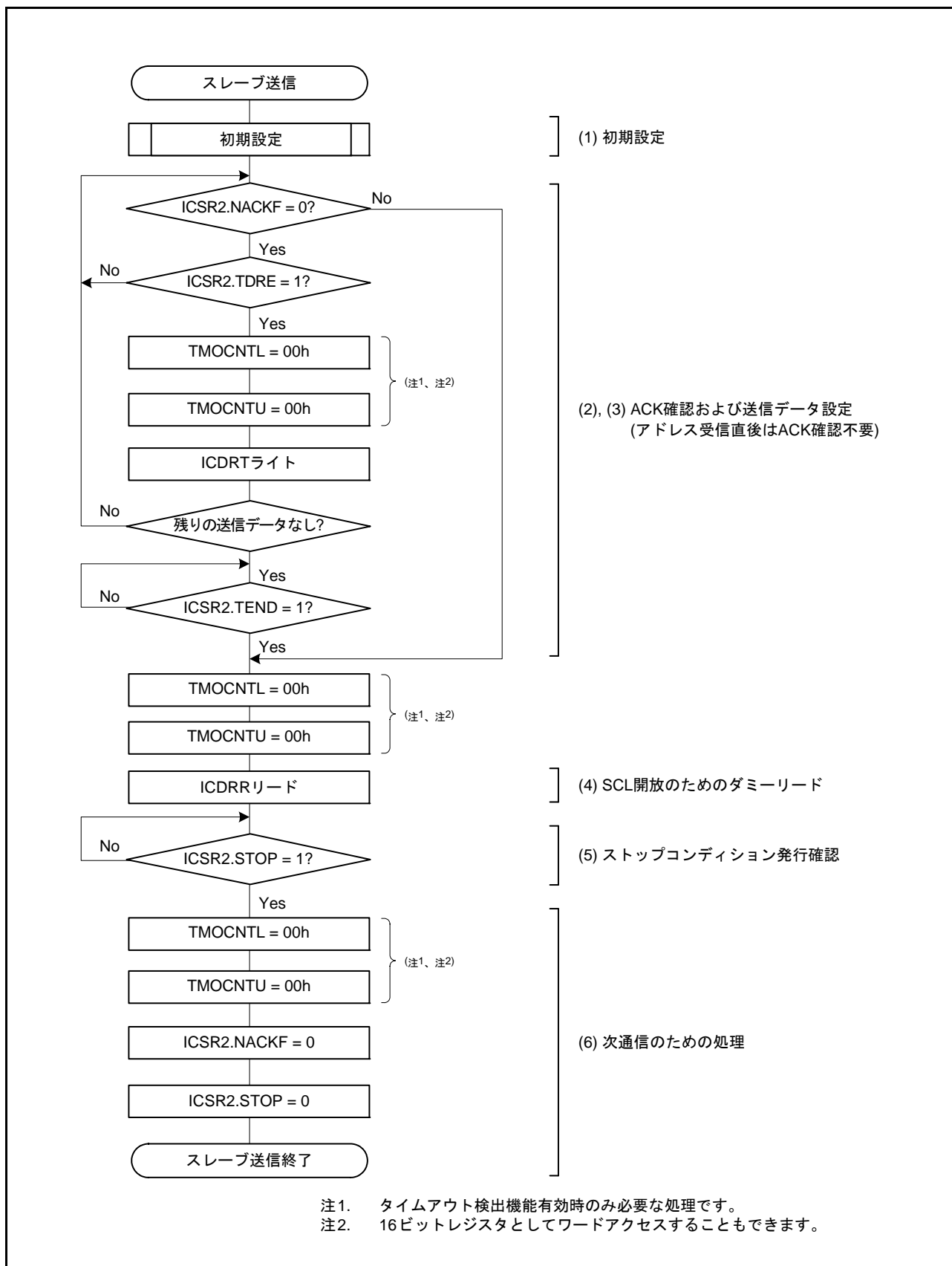


図 30.15 スレーブ送信のフローチャート例

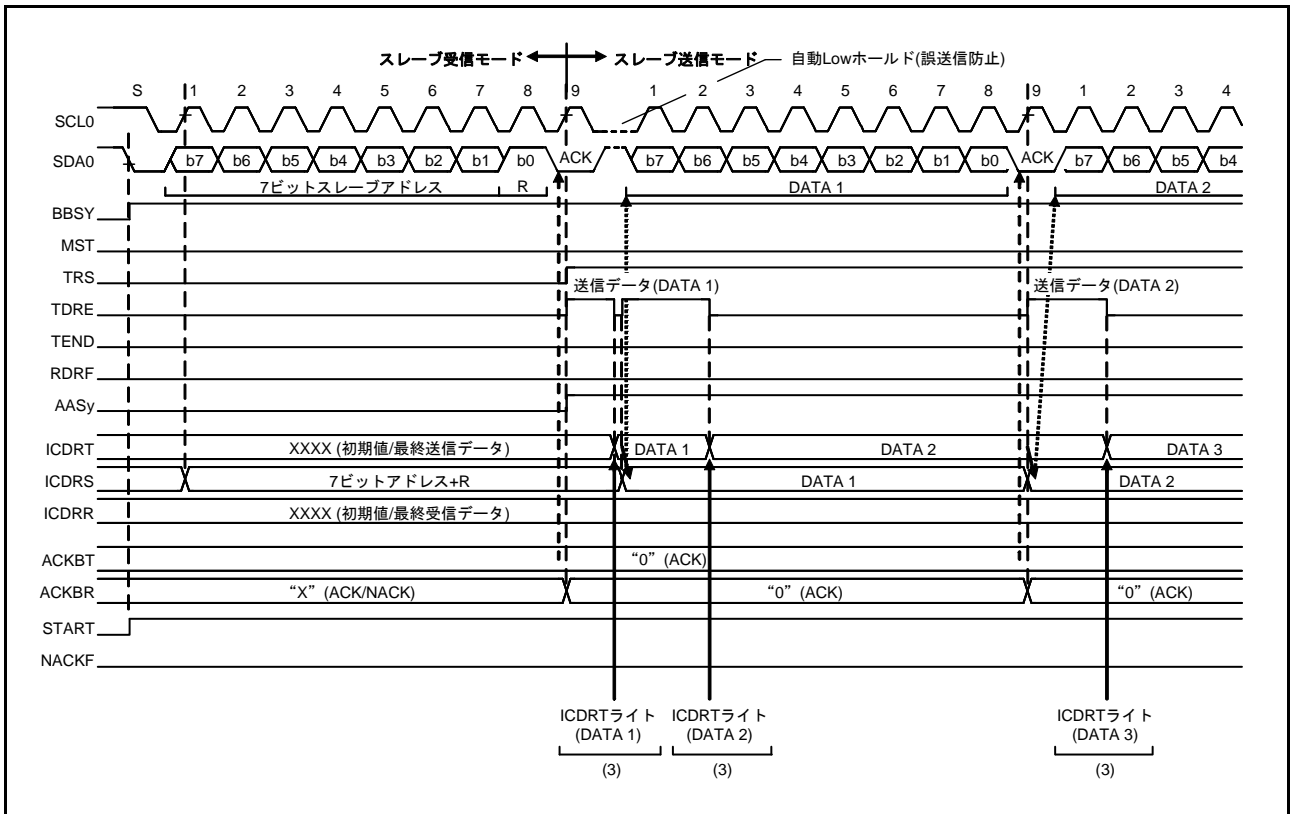


図 30.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

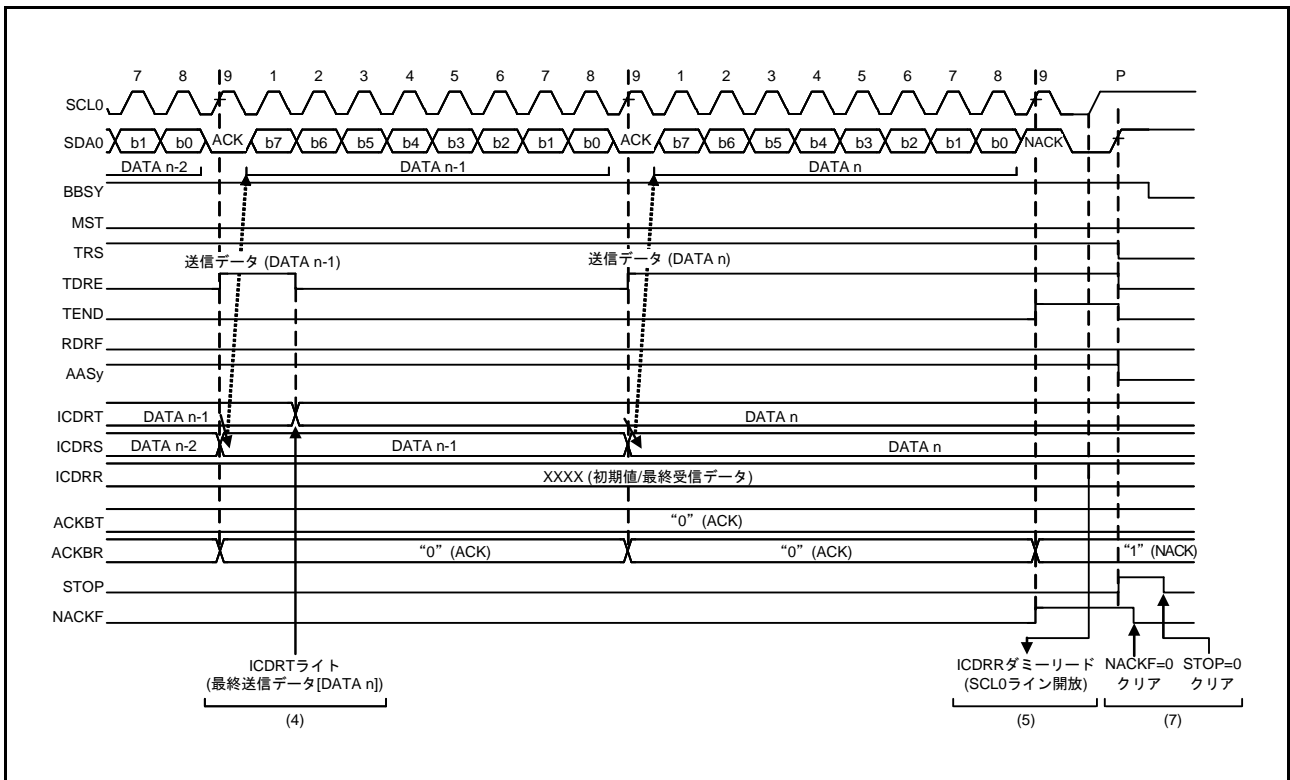


図 30.17 スレーブ送信の動作タイミング (2)



### 30.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 30.18 にスレーブ受信の使用例を図 30.19、図 30.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「30.3.2 初期設定」を参照してください。  
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。
- (3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL 立ち下がり SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) を自動的に “0” にします。
- (6) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.STOP フラグを “0” にしてください。

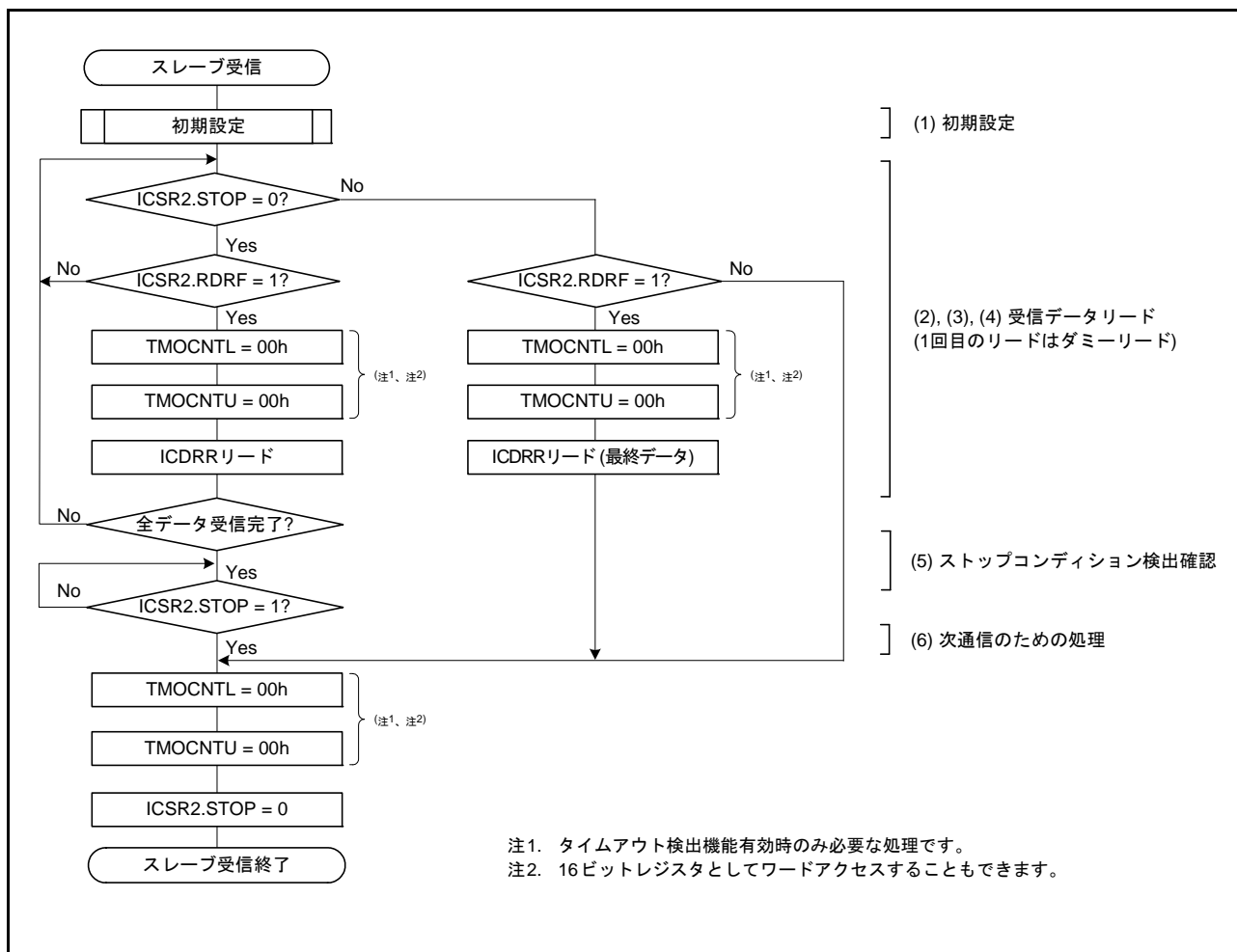


図 30.18 スレーブ受信のフローチャート例

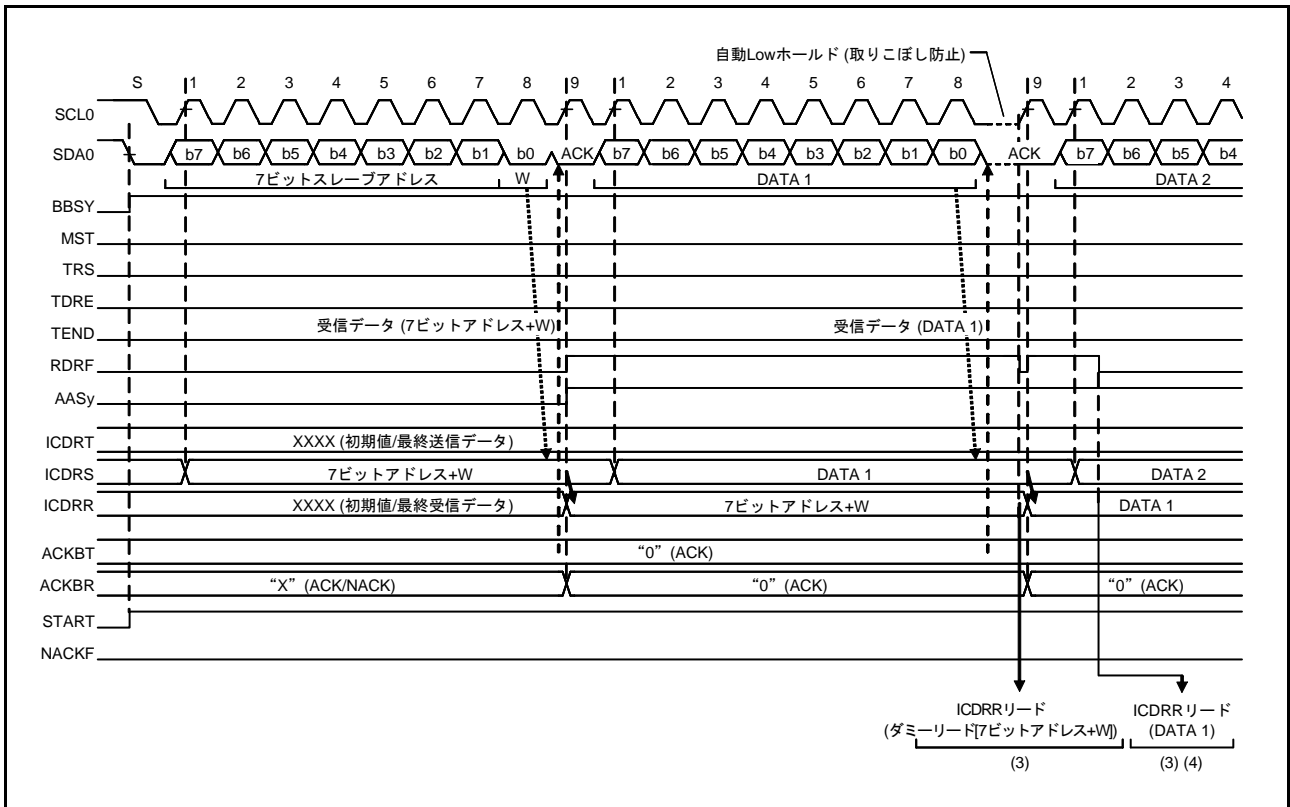


図 30.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

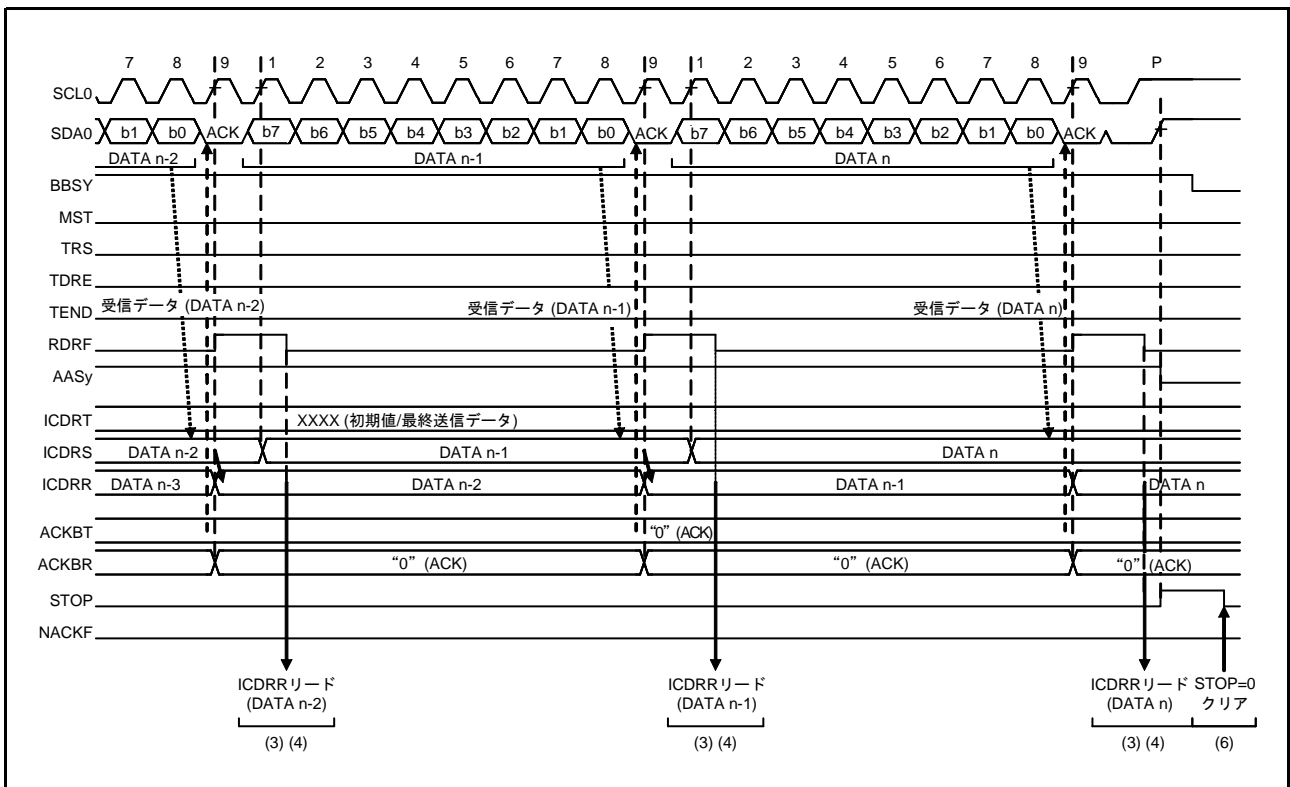


図 30.20 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

### 30.4 SCL 同期回路

RIIC の SCL 生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL を生成します。

I<sup>2</sup>C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL 出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

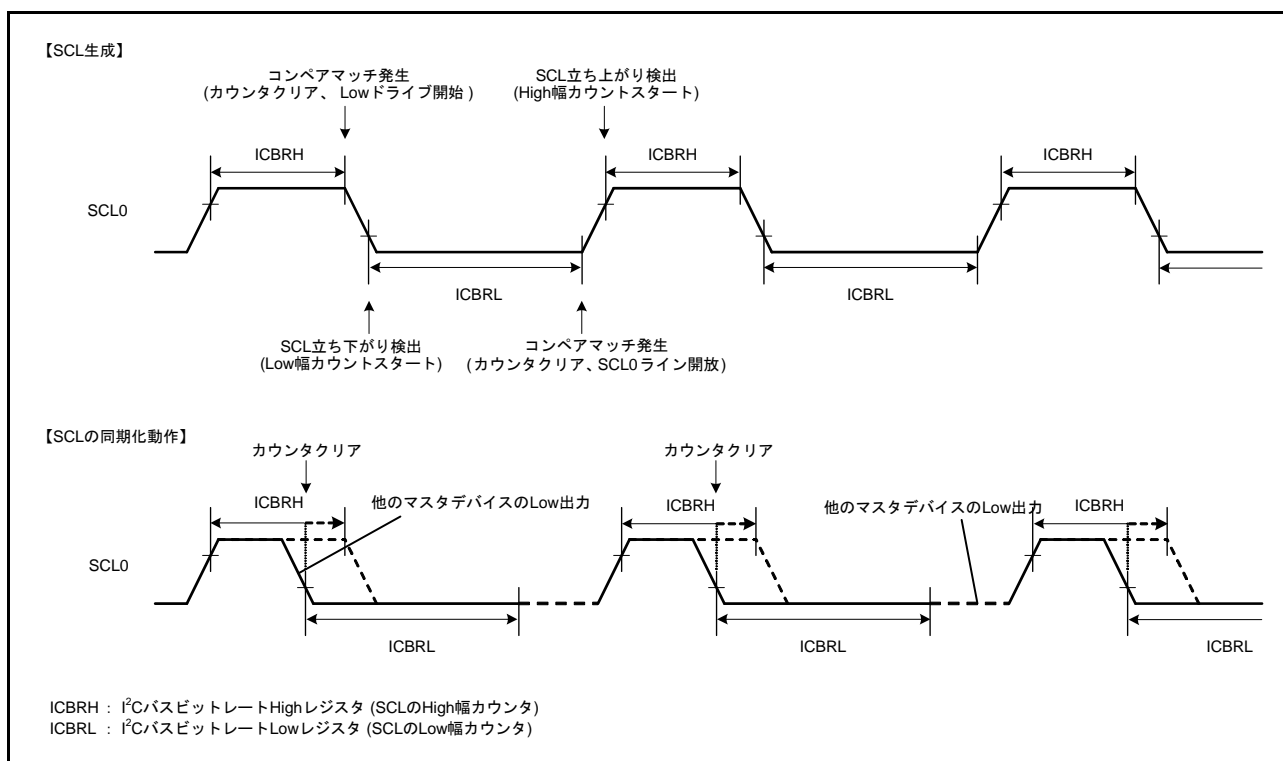


図 30.21 RIIC の SCL 生成および SCL 同期化動作

### 30.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLの立ち下がり検出からSDA出力を遅延させ、確実にSCLのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を行います。

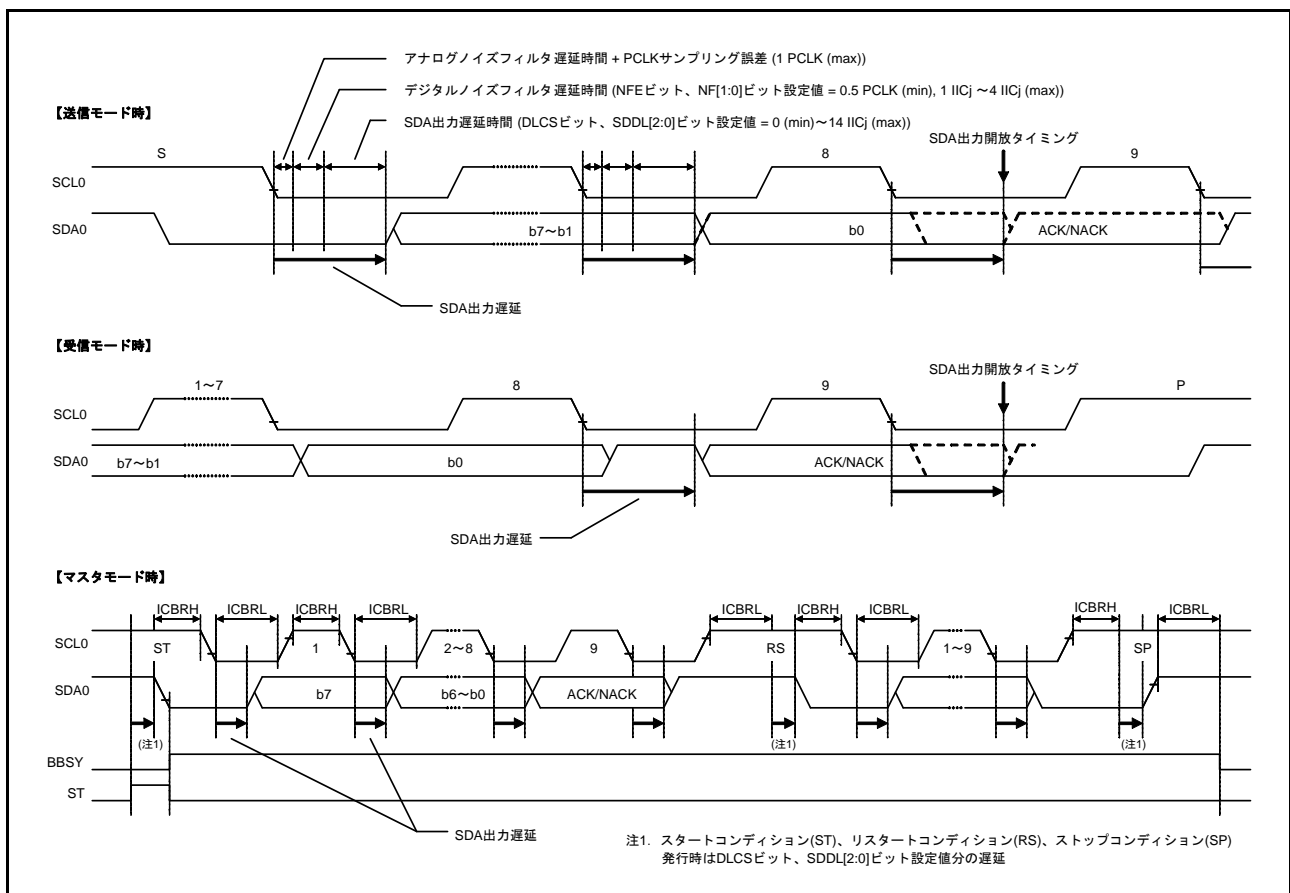


図 30.22 SDA出力遅延タイミング

### 30.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 30.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて  $1 IIC\phi \sim 4 IIC\phi$  サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は  $IIC\phi$  の立ち下がり でサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、 $PCLK = 4 \text{ MHz}$  時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

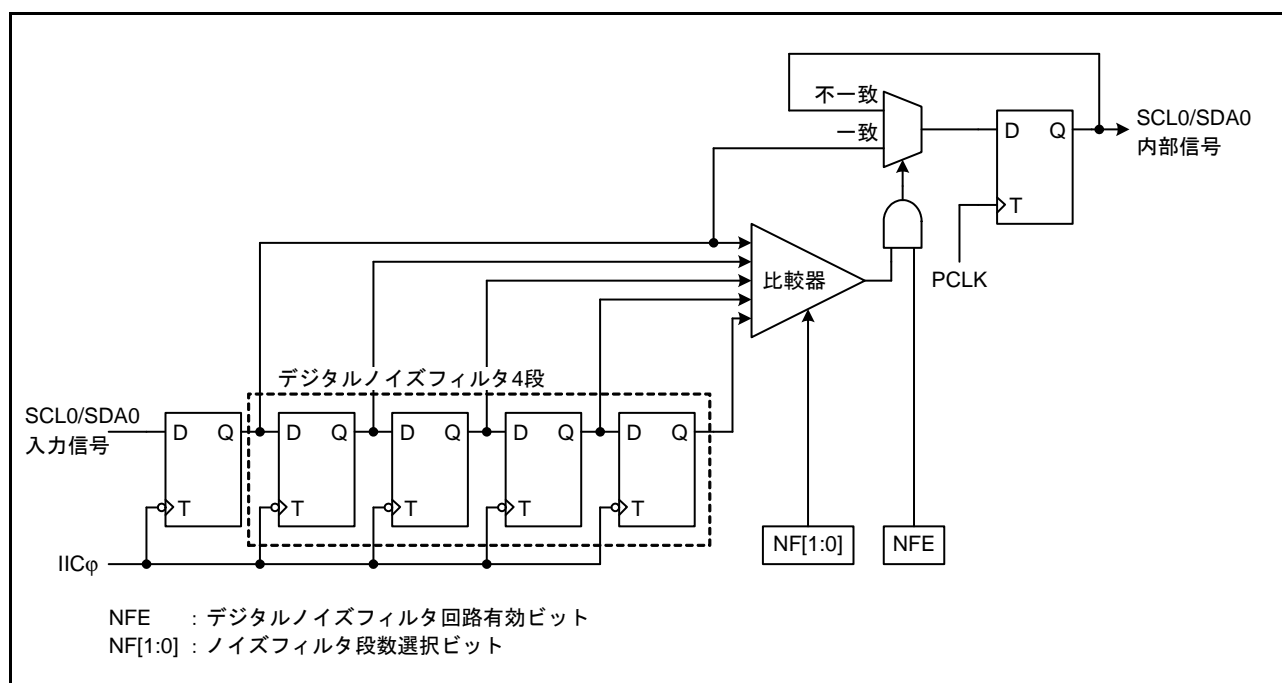


図 30.23 デジタルノイズフィルタ回路のブロック図

## 30.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

### 30.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、9個目のSCLの立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、このとき受信したR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図30.24~図30.26にAASyフラグが“1”になるタイミングを示します。

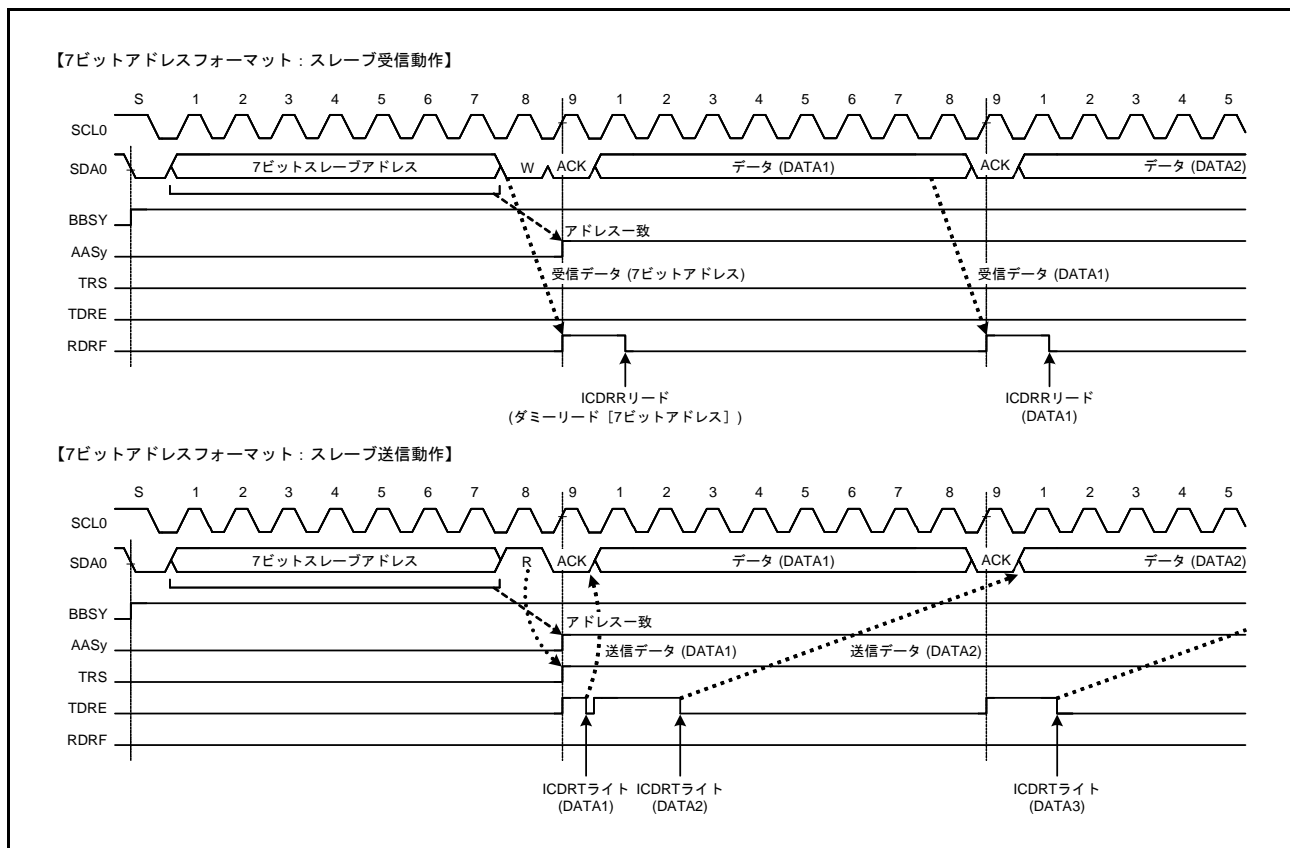


図 30.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

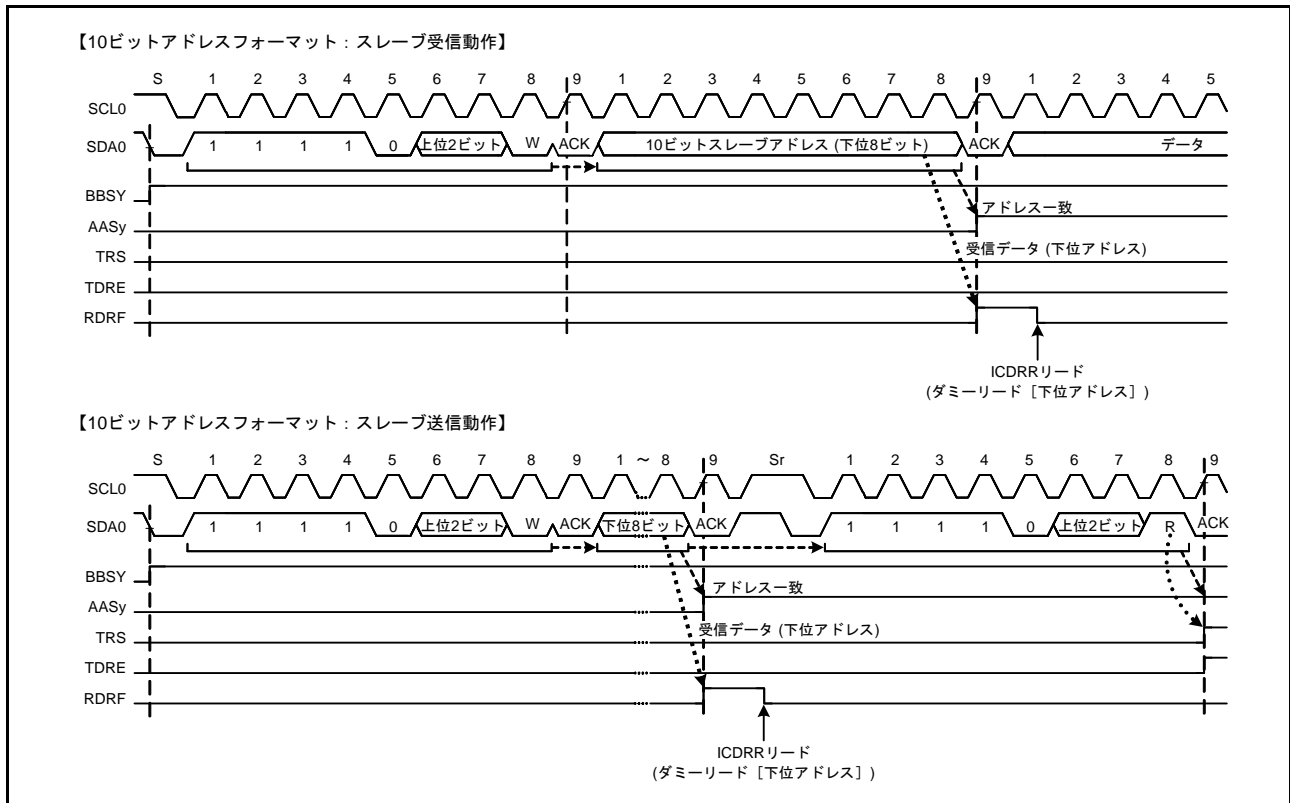


図 30.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

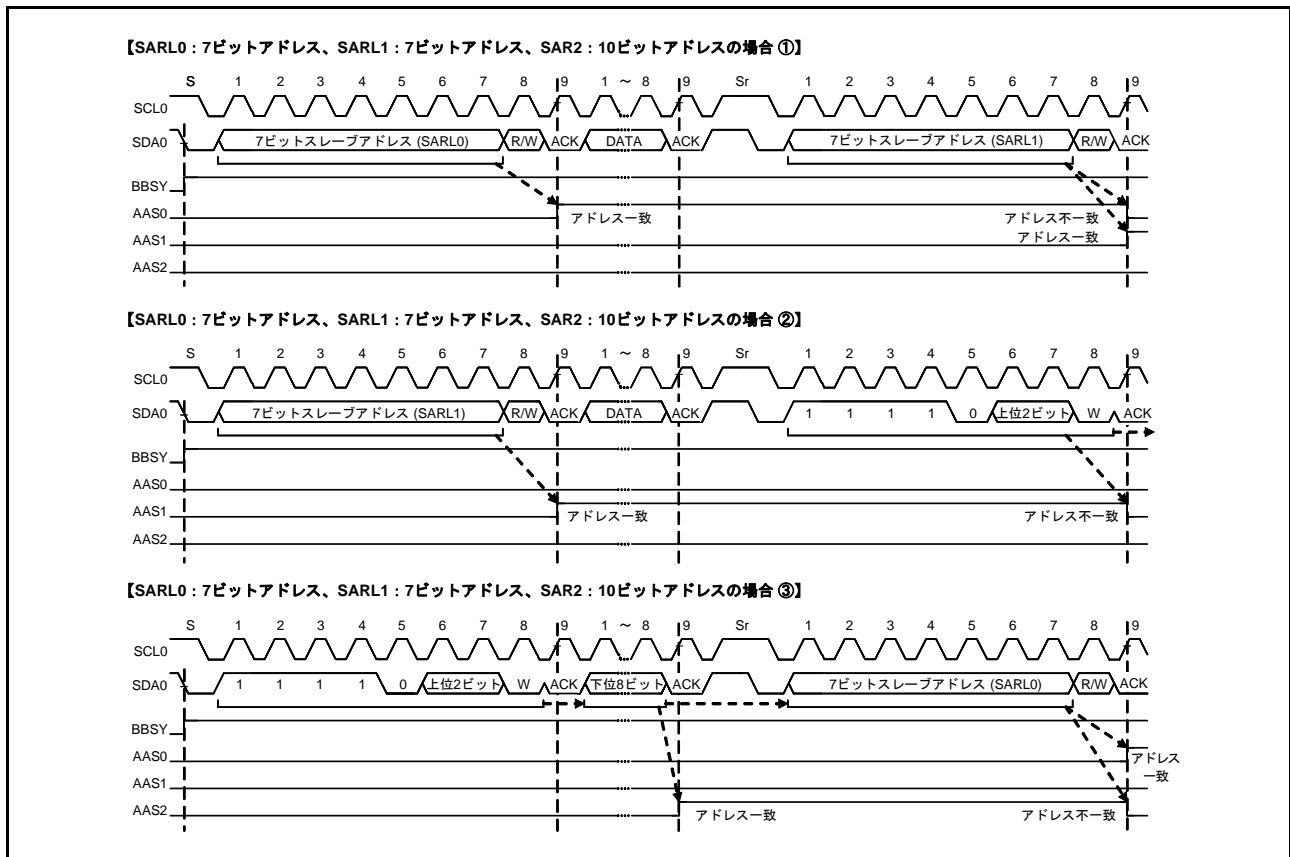


図 30.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング



### 30.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス(0000 000b + 0 (write))の検出機能を備えています。ICSER.GCAEビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが0000 000b + 1 (read) (スタートバイト)だった場合、RIICはこのアドレスをAll“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、9個目のSCLの立ち上がりでICSR1.GCAフラグを“1”にし、同時にICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み(RXI)を発生させることができ、GCAフラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

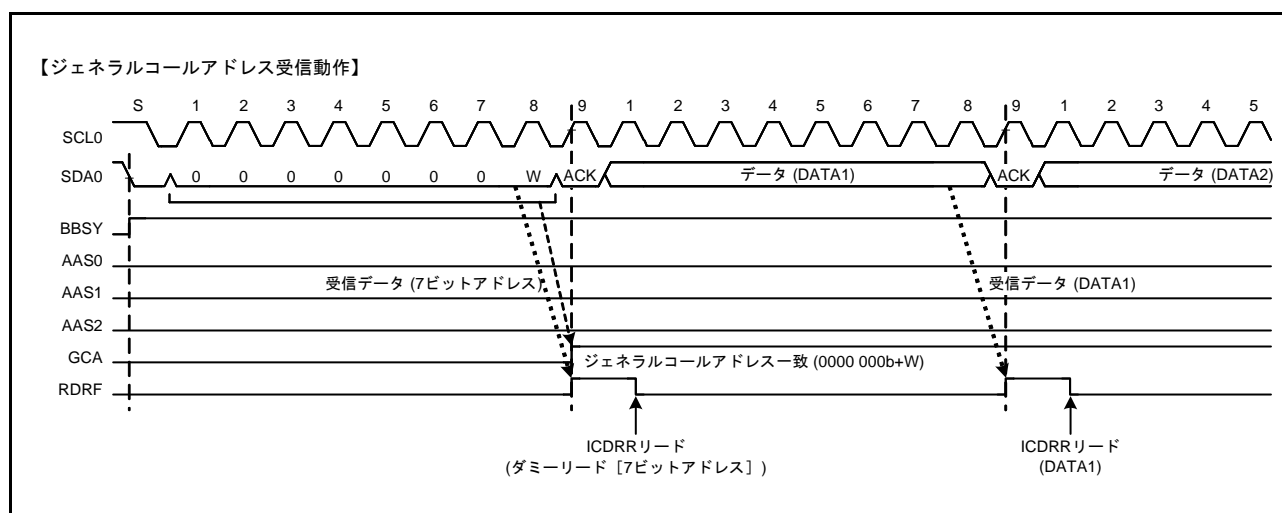


図 30.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

### 30.7.3 デバイス ID アドレス検出機能

RIIC は I<sup>2</sup>C バス仕様に準拠したデバイス ID アドレスの検出機能を備えています。ICSR.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき 9 個目の SCL の立ち上がりで ICSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AAS<sub>y</sub> フラグ (y=0 ~ 2) が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが“1”のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを“1”にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが“0”のとき DID フラグを“1”にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE フラグが“1”であることを確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

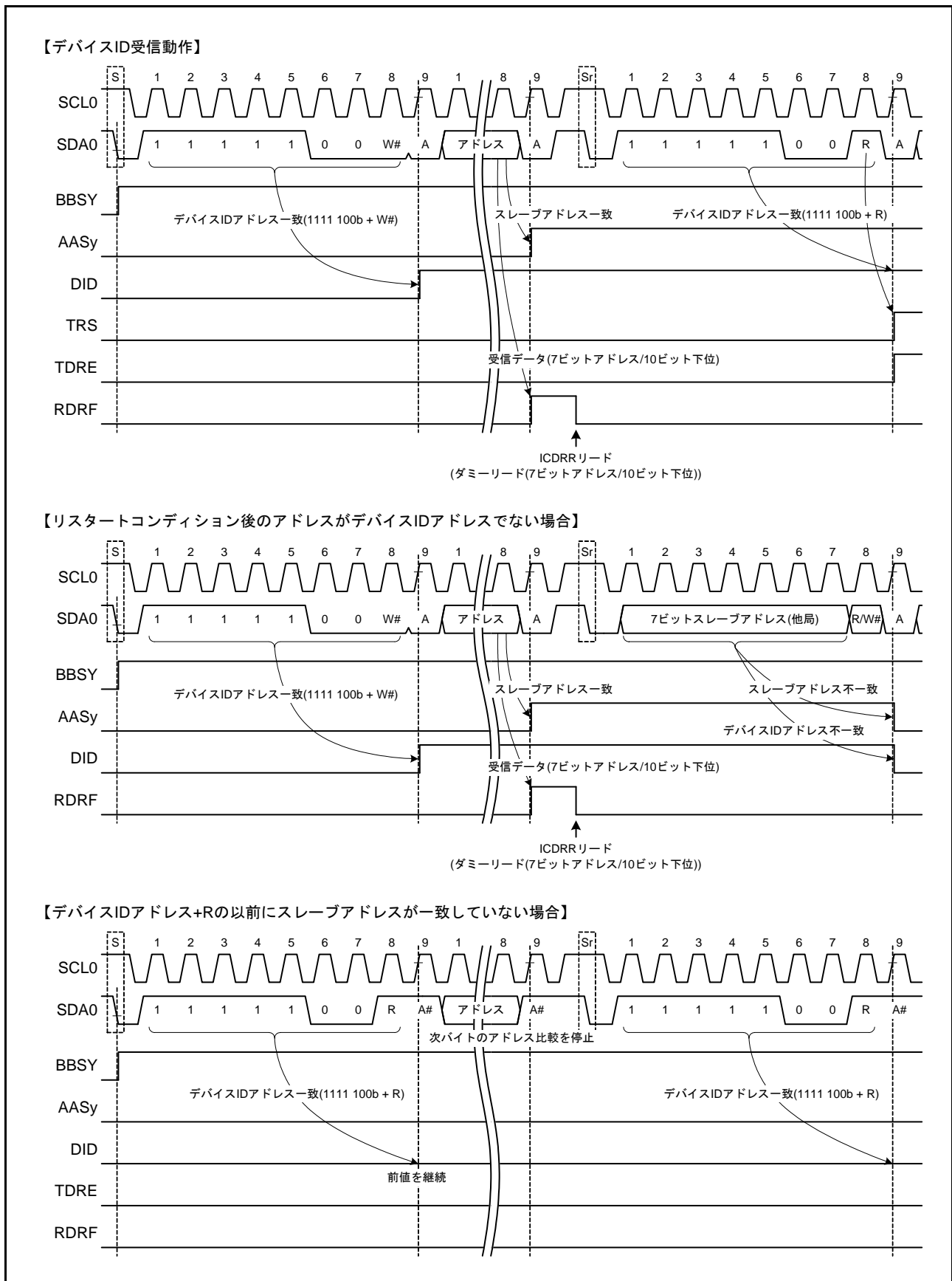


図 30.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

### 30.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、9個目のSCLの立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

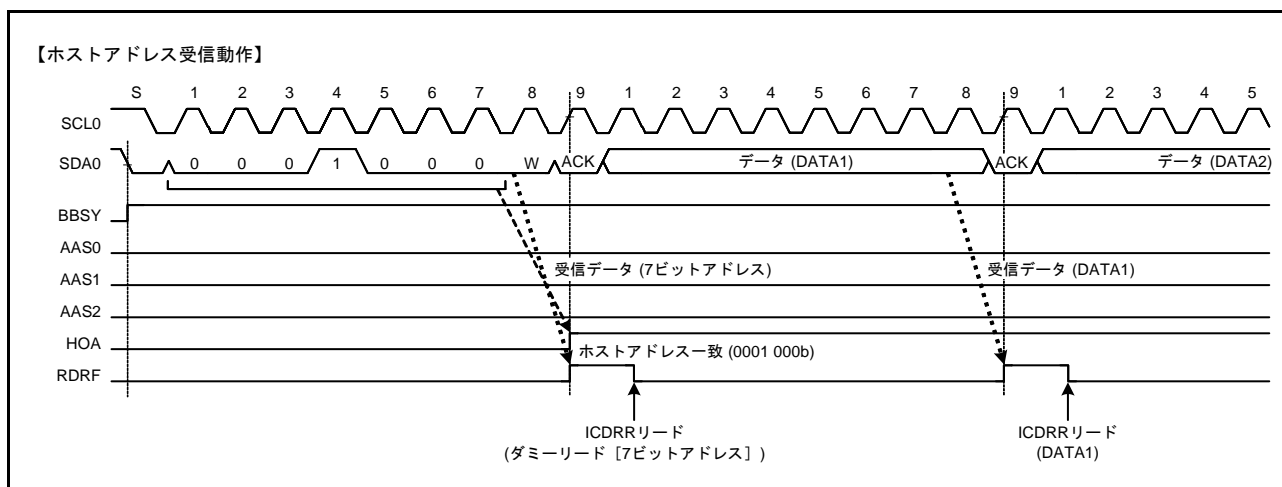


図 30.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

### 30.8 SCLの自動Lowホールド機能

#### 30.8.1 送信データ誤送信防止機能

RIICは送信モード時(ICCR2.TRSビット=1)、シフトレジスタ(ICDRSレジスタ)が空の状態かつ送信データ(ICDRTレジスタ)が書かれていない場合、以下に示す区間、自動的にSCL0ラインのLowホールドを行います。このLowホールドは送信データの書き込みが行われるまでの期間Low区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後のLow区間
- 9クロック目と1クロック目の間のLow区間

《スレーブ送信モード》

- 9クロック目と1クロック目の間のLow区間

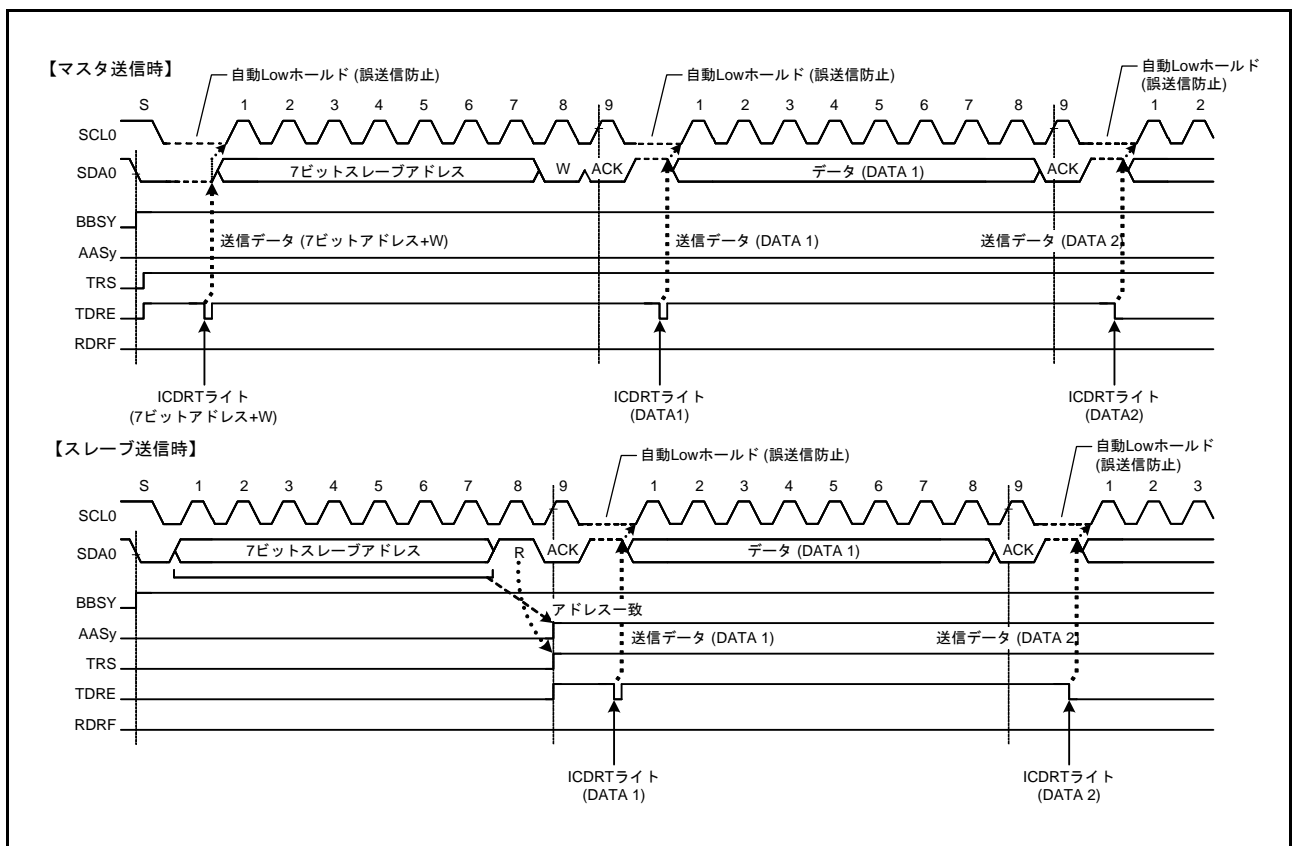


図 30.30 送信モードの自動 Low ホールド動作

### 30.8.2 NACK 受信転送中断機能

RIICは送信モード時(ICCR2.TRSビット=1)にNACKを受信した場合、転送動作を中断する機能を備えています。この機能はICFER.NACKFビットが“1”(転送中断許可)のとき有効で、NACK受信時にすでに次の送信データが書き込まれていた場合(ICSR2.TDREフラグ=0の状態)、9個目のSCLの立ち上がり時の次のデータ送信動作を自動的に中断します。これにより次送信データのMSBが“0”のときのSDA0ラインLow出力固定を防止することができます。

なおNACK受信転送中断機能で転送動作が中断された場合(ICSR2.NACKFフラグ=1)、以後の送信動作および受信動作は行いません。動作を再開するにはNACKFフラグを“0”にしてください。マスタ送信モードの場合には、リスタートコンディション発行後にNACKFフラグを“0”にして動作をやり直すか、ストップコンディション発行後にNACKFフラグを“0”にし、その後スタートコンディションの発行からやり直してください。

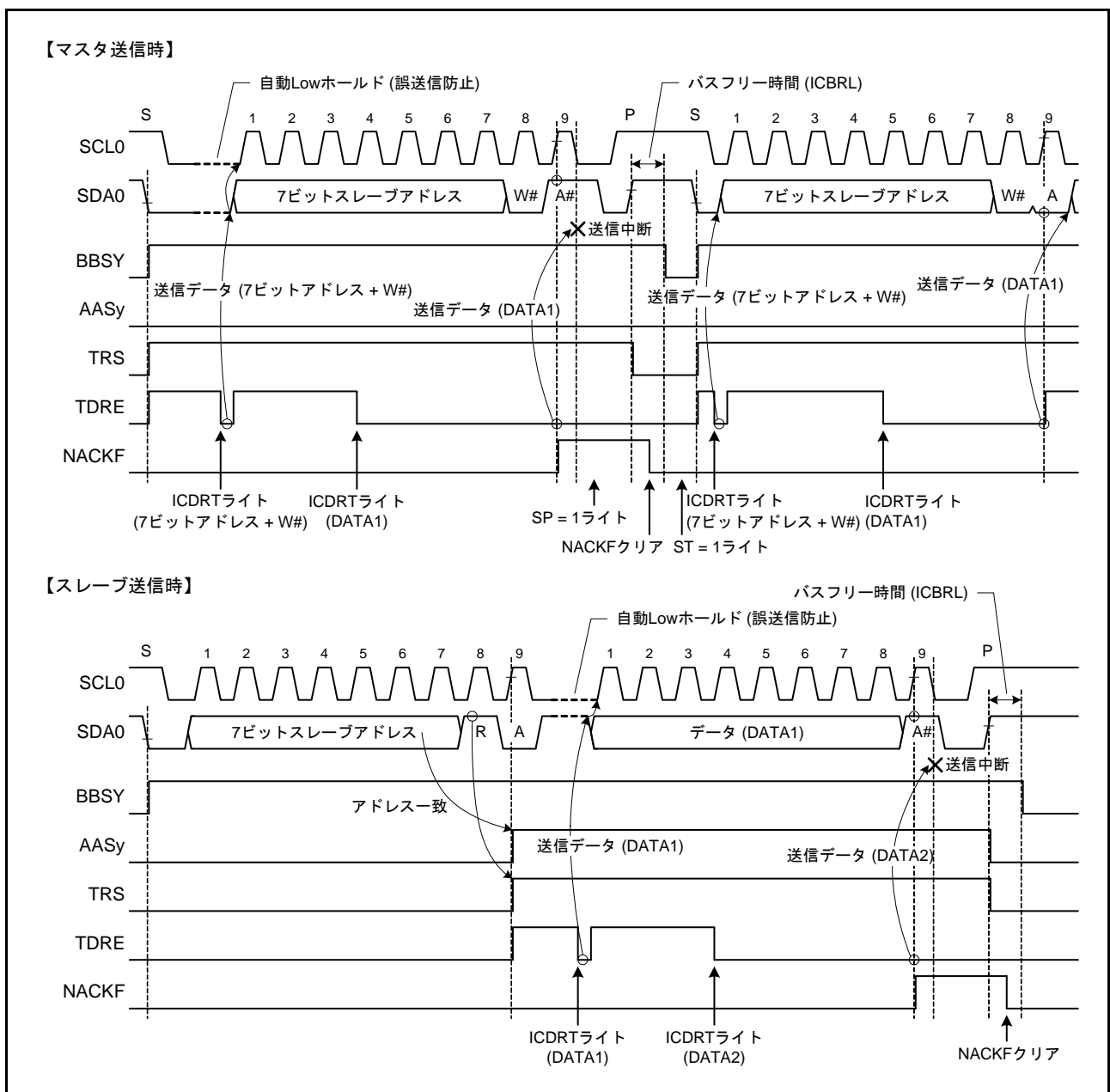


図 30.31 NACK 受信時の転送中断動作 (NACKF ビット = 1 のとき)

### 30.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIICでは ICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

#### (1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICは WAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICは SCL の8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

#### (2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICは RDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが8個目の SCL の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

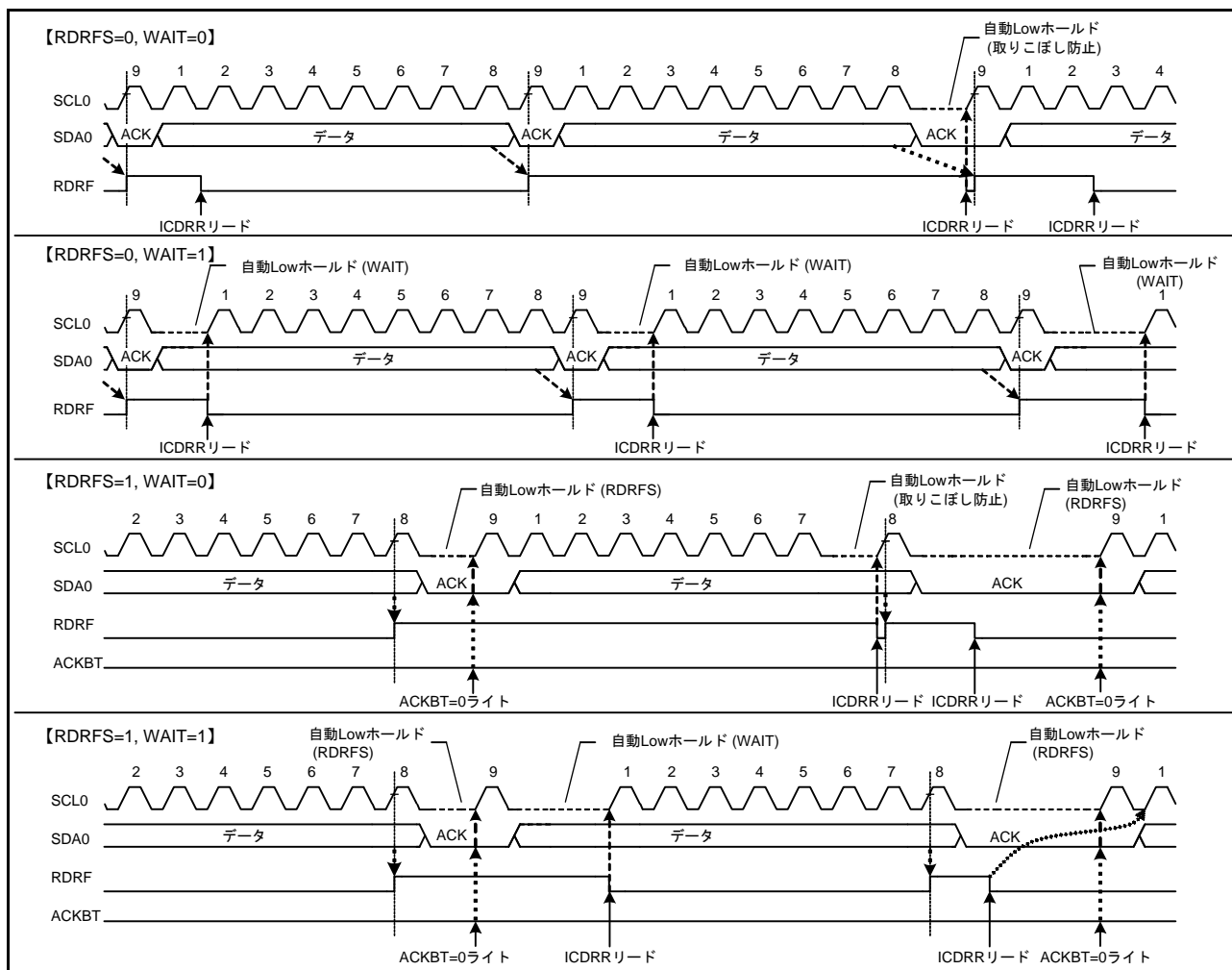


図 30.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)



### 30.9 アービトレーションロスト検出機能

RIICにはI<sup>2</sup>Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

#### 30.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDA0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDA0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー中)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDA0ラインに不一致が生じた場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

#### マスタアービトレーションロスト条件

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときにSDA信号とSDA0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”でICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDA0ライン上の信号の状態が不一致のとき

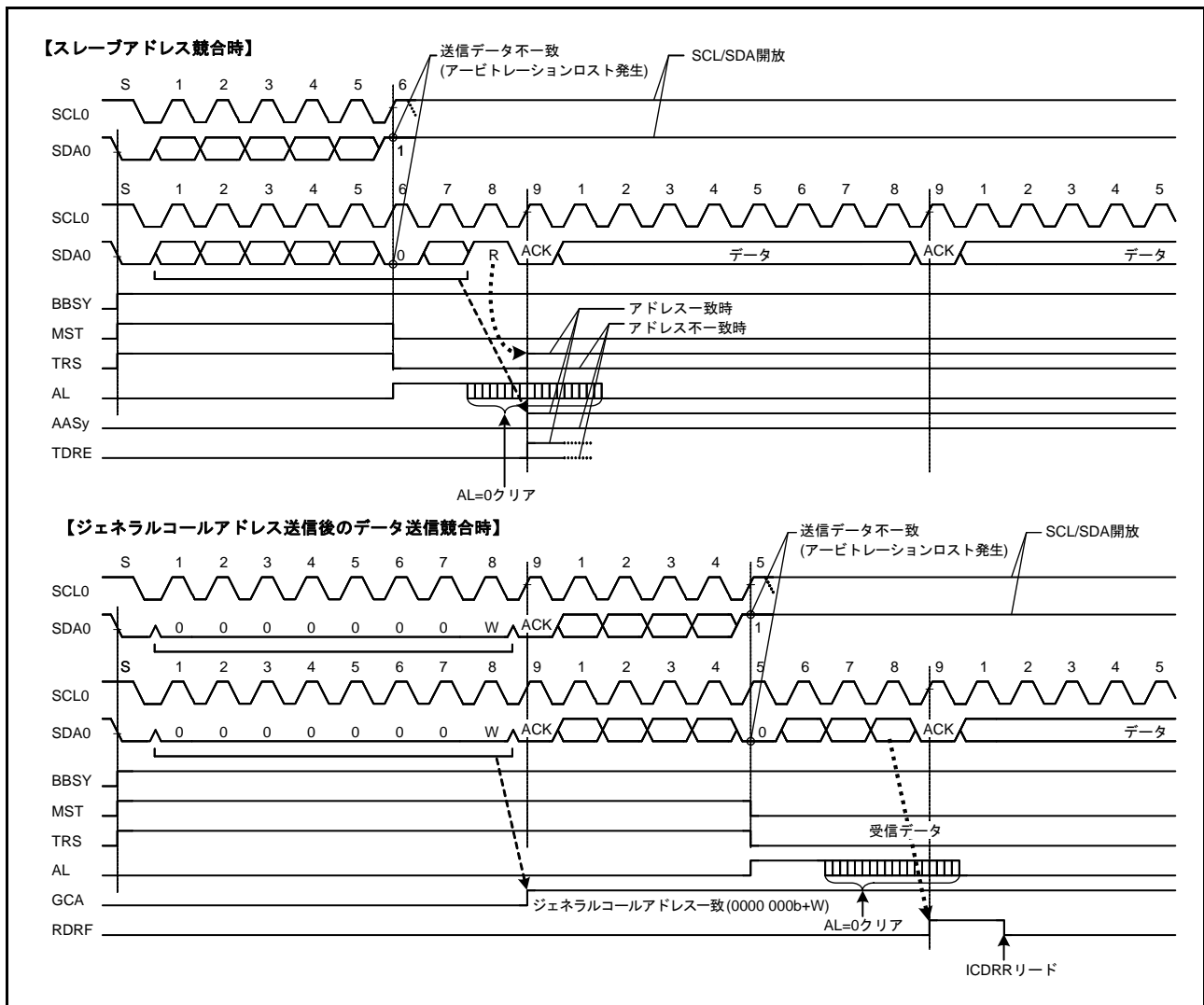


図 30.33 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

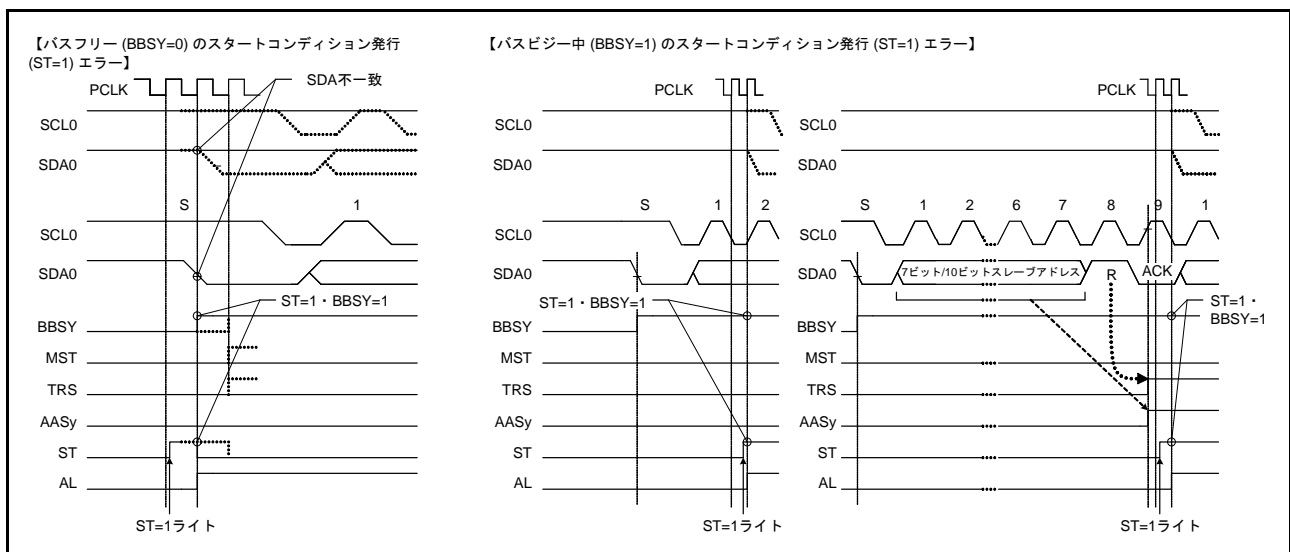


図 30.34 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

### 30.9.2 NACK 送信アービトレーションロス検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDA0ライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロス機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図30.35にNACK送信アービトレーションロス検出動作例を示します。

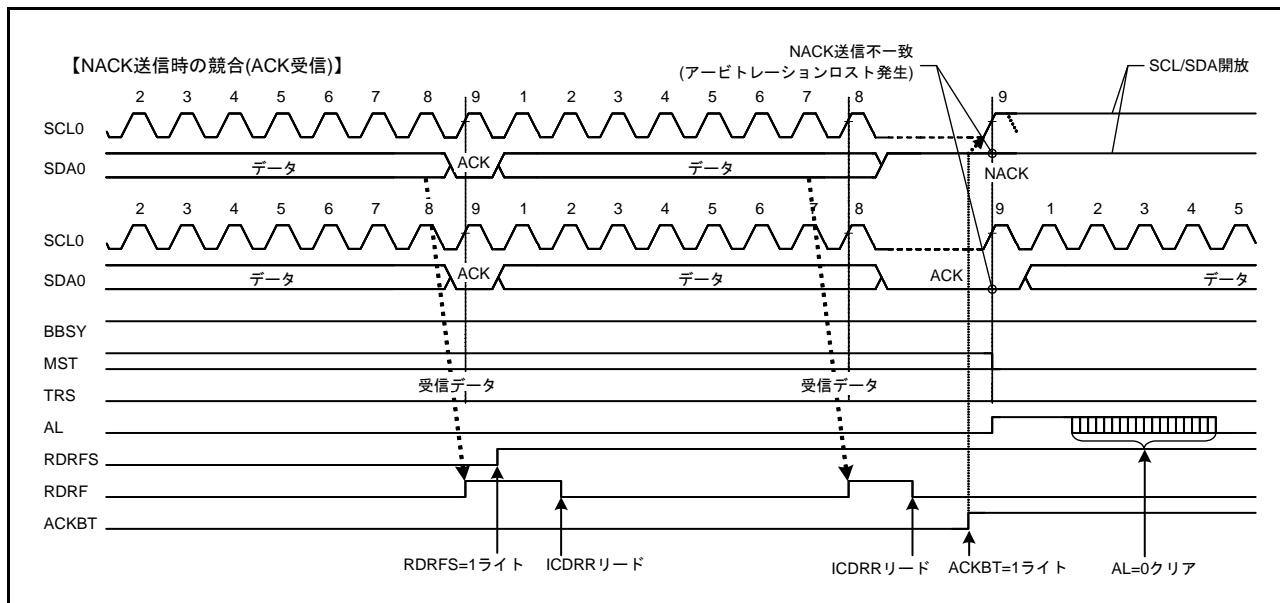


図 30.35 NACK 送信アービトレーションロス検出動作例 (NALE ビット = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロスが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCL出力と競合し通信を阻害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロスが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID(ユニークデバイスアイデンティファイ)不一致時のNACK送信以降、およびアサインアドレス確定後のGet UDID(汎用)のNACK送信以降の余剰処理("FFh"送信処理)を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1”(NACK 送信アービトレーションロスト検出許可)の状態ですべて以下に示す条件が成立したとき、アービトレーションロストを検出します。

### NACK 送信アービトレーションロスト条件

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

### 30.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1”(スレーブアービトレーションロスト検出許可)の状態ですべて以下に示す条件が成立したとき、アービトレーションロストを検出します。

### スレーブアービトレーションロスト条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

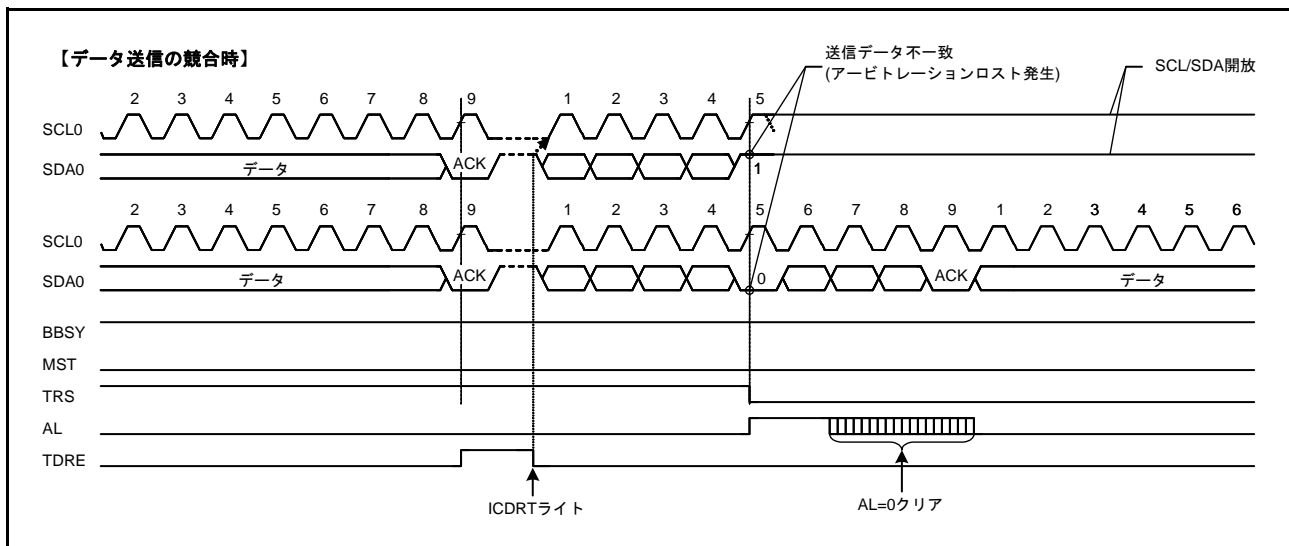


図 30.36 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

## 30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

### 30.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

#### スタートコンディション発行動作

- (1) SDA0ラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0ラインを立ち下げ (High から Low に遷移)
- (4) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

### 30.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態かつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

#### リスタートコンディション発行動作

- (1) SDA0ラインを開放
- (2) ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- (3) SCL0ラインを開放 (Low から High に遷移)
- (4) SCL0ラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0ラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0ラインを立ち下げ (High から Low に遷移)
- (8) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

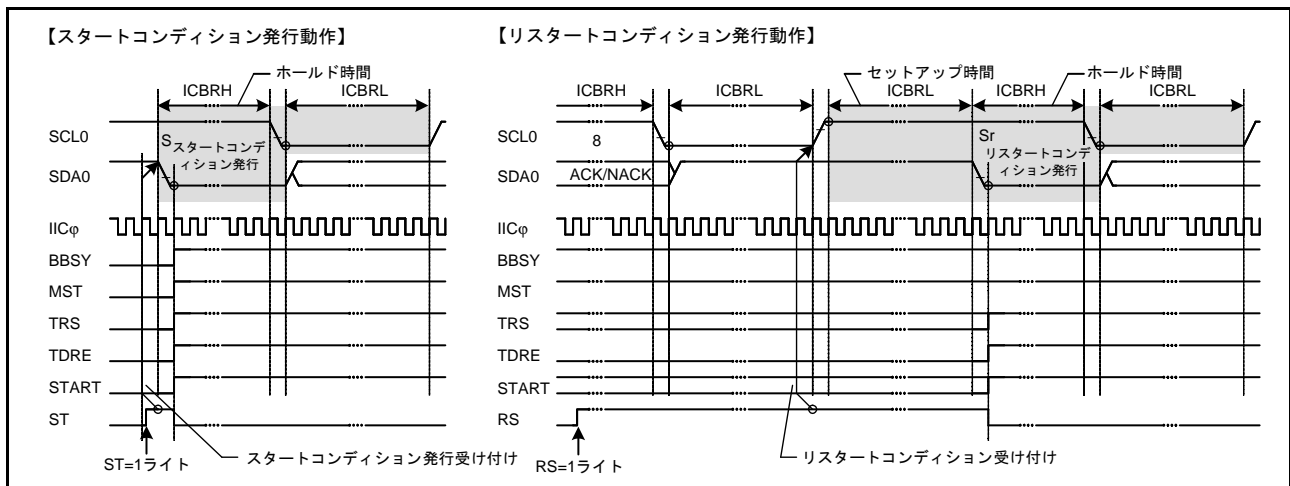


図 30.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

### 30.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1” (バスビジー) の状態であつ ICCR2.MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

#### ストップコンディション発行動作

- (1) SDA0 ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
- (3) SCL0 ラインを開放 (Low から High に遷移)
- (4) SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA0 ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間、バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

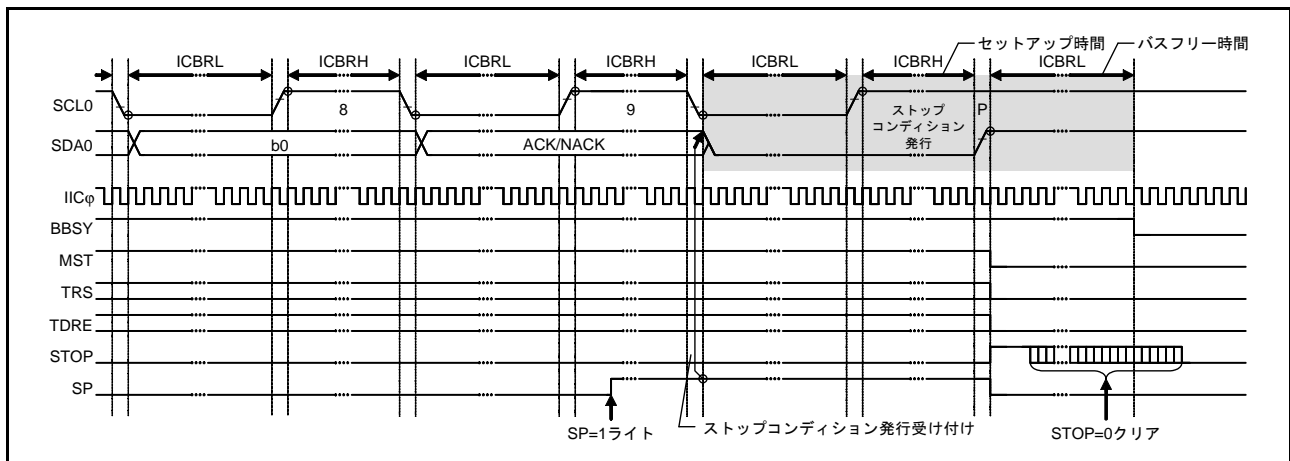


図 30.38 ストップコンディション発行動作タイミング (SP ビット)

## 30.11 バスハングアップ

I<sup>2</sup>Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0ラインやSDA0ラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL0ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCL追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCL0、SDA0、SCLI、SDAIビットを確認することで、RIIC自身がSCL0ライン/SDA0ラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

### 30.11.1 タイムアウト検出機能

RIICにはSCL0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCL0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0ラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCL0ラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

注. タイムアウト検出機能を使用するときは、「30.2.4 I<sup>2</sup>Cバスモードレジスタ2 (ICMR2)」、「30.2.18 タイムアウト内部カウンタ (TMOCNTL/TMOCNTU)」、「30.3.2 初期設定」を参照してください。



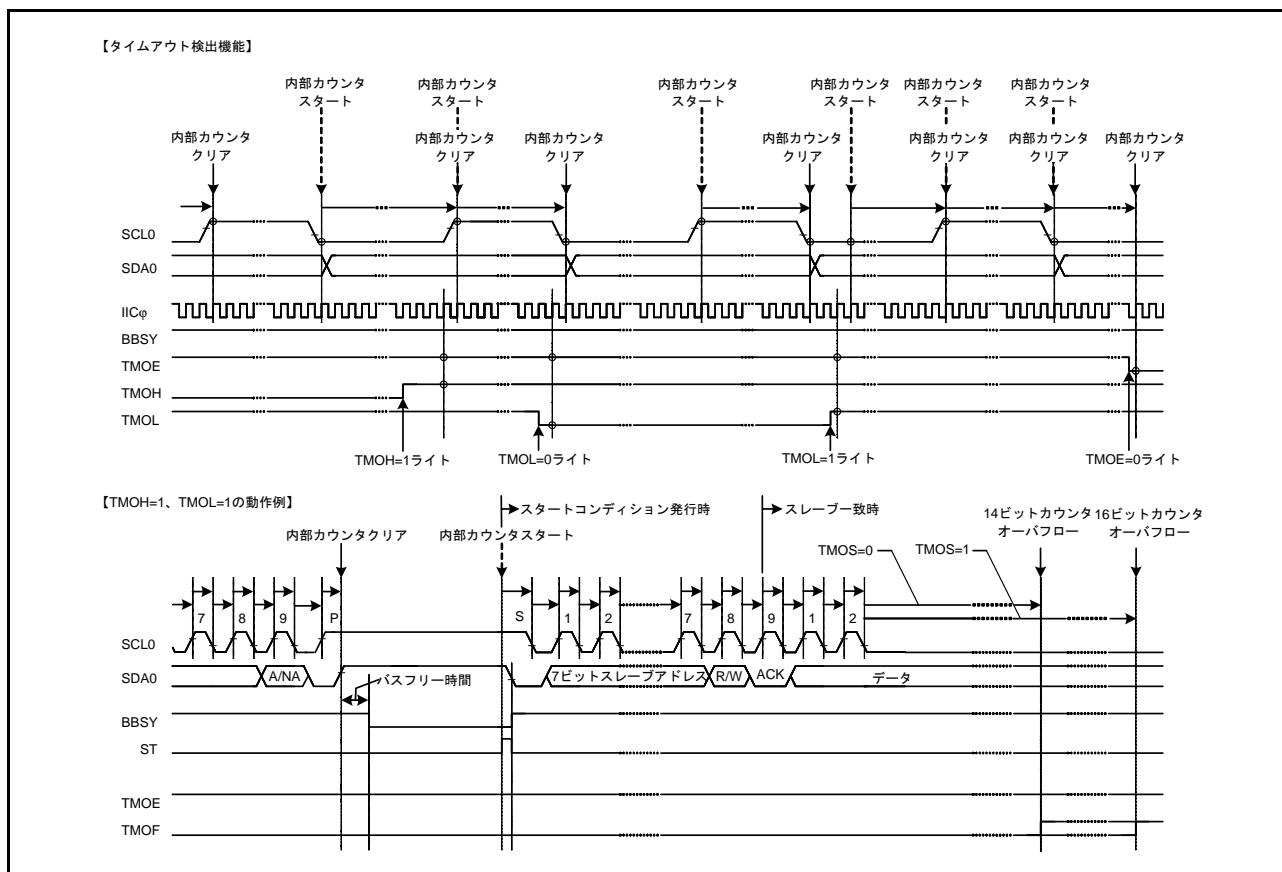


図 30.39 タイムアウト検出機能 (ICMR1.CKS[2:0] = 000b に設定した場合)

### 30.11.2 SCL 追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスの SDA0 ライン Low 固定状態を開放するための SCL 追加出力機能を備えています。

SCL 追加出力機能は、SCL を 1 クロックずつ追加で出力する機能で、主にマスタモード時にスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された周波数のクロックが SCL0 端子から 1 クロック分追加で出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。このとき ICCR2.BBSY フラグが“1”であると SCL0 端子は Low になり、BBSY フラグが“0”であると SCL0 端子は High になります。CLO ビットが“0”であることを確認した後“1”を書くことにより、追加クロックを連続して出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL 追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA0 ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0” (マスタアービトレーションロスト検出禁止) にして使用してください。



### ICCR1.CLO ビットの使用条件

- バスフリー状態 (ICCR2.BBSY フラグ=0) またはマスタモード (ICCR2.MST ビット=1、BBSY フラグ=1 の状態) のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 30.40 に SCL 追加出力機能 (CLO ビット) を示します。

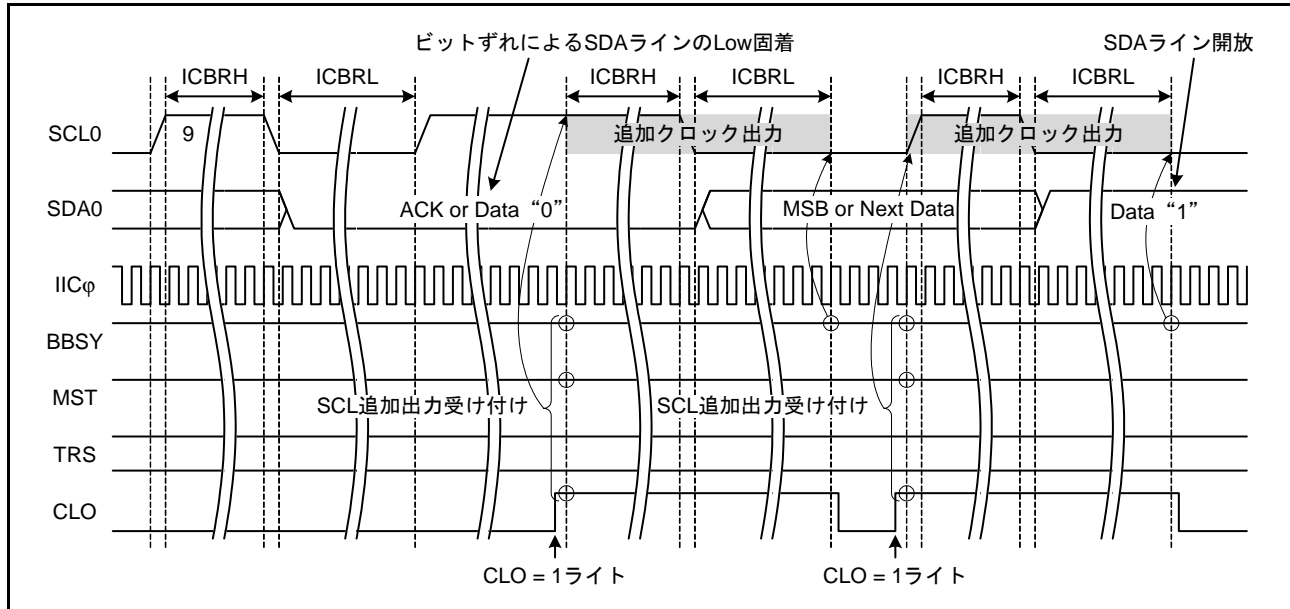


図 30.40 SCL 追加出力機能 (CLO ビット)

### 30.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL0 端子 / SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE、IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「30.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

## 30.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARU<sub>y</sub>.FS ビット (y = 0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

### 30.12.1 SMBus タイムアウト測定

#### (1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔：T<sub>LOW:SEXT</sub>) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) T<sub>LOW:SEXT</sub> : 25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト T<sub>TIMEOUT</sub> : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 / SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

#### (2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔：T<sub>LOW:MEXT</sub>) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) T<sub>LOW:MEXT</sub> : 10 ms (max) 以内である必要があります、スタートコンディションからストップコンディションまでのすべての T<sub>LOW:MEXT</sub> を加算した結果が T<sub>LOW:SEXT</sub> : 25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見ることがあります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス)  $T_{LOW:MEXT} : 10 \text{ ms (max)}$  または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト  $T_{TIMEOUT} : 25 \text{ ms (min)}$  を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

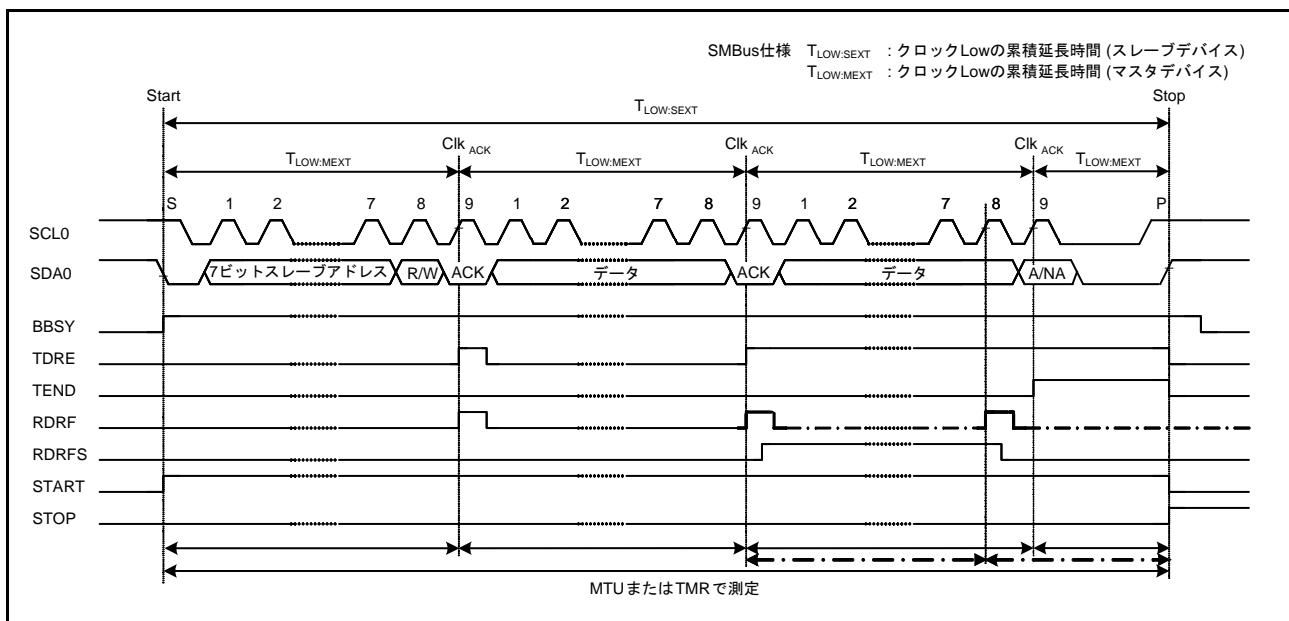


図 30.41 SMBus タイムアウト測定

### 30.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「33. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL0 ラインを Low にホールドしてください。

### 30.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

### 30.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント発生(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 30.7 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCを起動してデータ転送を行うことができます。

表 30.7 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	割り込み条件
EEI	通信エラー/通信イベント発生	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI (注2)	受信データフル	RDRF	可能	RDRF = 1かつRIE = 1
TXI (注1)	送信データエンプティ	TDRE	可能	TDRE = 1かつTIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

#### 30.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した IR フラグが“1”のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

## 30.14 リセット時/コンディション検出時のレジスタおよび機能の初期化

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表30.8にリセット時/コンディション検出時のレジスタおよび機能のリセット状況を示します。

表30.8 リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP				(注1)	リセット
	TRS					
	MST					
	BBSY					
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	"1"になる	リセット
	STOP				保持	"1"になる
	TEND				(注1)	リセット
	TDRE					
	その他					
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1. リセットされません。条件に応じて"0"または"1"になります。

## 30.15 イベントリンク機能 (出力)

RIIC0は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー/通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

### 30.15.1 割り込み処理とイベントリンクの関係

RIICの割り込みには、通信エラー/通信イベント発生(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可/禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にCPUに対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELCを介して他のモジュールに伝達されます。

割り込み要因については、表 30.7 を参照してください。

## 30.16 使用上の注意事項

### 30.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

### 30.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0” を確認
- (4) IR フラグを “0” にする



## 31. シリアルサウンドインタフェース (SSI)

本 MCU は、I<sup>2</sup>S バス仕様に準拠した 1 チャンネルのシリアルサウンドインタフェース (SSI) を内蔵しています。SSI は、I<sup>2</sup>S バス互換、および MSB ファースト右詰め/左詰めフォーマットに対応しており、さまざまなデバイスとオーディオデータの送受信を行うことができます。

### 31.1 概要

表31.1 SSIの仕様

項目	内容
チャンネル数	1チャンネル (SSI0)
動作モード	非圧縮モード
転送フォーマット	<ul style="list-style-type: none"> <li>• I<sup>2</sup>S フォーマットに対応可能</li> <li>• MSB ファーストに対応可能</li> <li>• 右詰め/左詰めを選択可能</li> </ul>
機能	<ul style="list-style-type: none"> <li>• トランスミッタ、またはレシーバのいずれとしても動作可能</li> <li>• チャンネル0は全二重通信可能</li> <li>• 各種オーディオフォーマットに対応可能</li> <li>• SSISCK0 (シリアルビットクロック) は16fs、32fs、48fs、64fs (fs : サンプルレイト) から選択可能</li> <li>• マスタクロック (MCLK) を以下のいずれかから選択可能</li> <li>• オーディオ用マスタクロック端子 (AUDIO_MCLK) : 1~25MHz</li> <li>• メインクロック</li> <li>• 送信部、受信部に8段FIFOバッファ内蔵</li> <li>• データ転送停止時にワードセレクト (SSIWS0) を停止するかしないかを選択可能</li> </ul>
割り込み要因	3種類 <ul style="list-style-type: none"> <li>• 通信エラー</li> <li>• 送信アンダフロー、送信オーバフロー、受信アンダフロー、受信オーバフロー、アイドル</li> <li>• 受信データフル</li> <li>• 送信データエンプティ</li> </ul>
消費電力低減機能	モジュールストップ状態への設定が可能

図 31.1 に SSI のブロック図を示します。

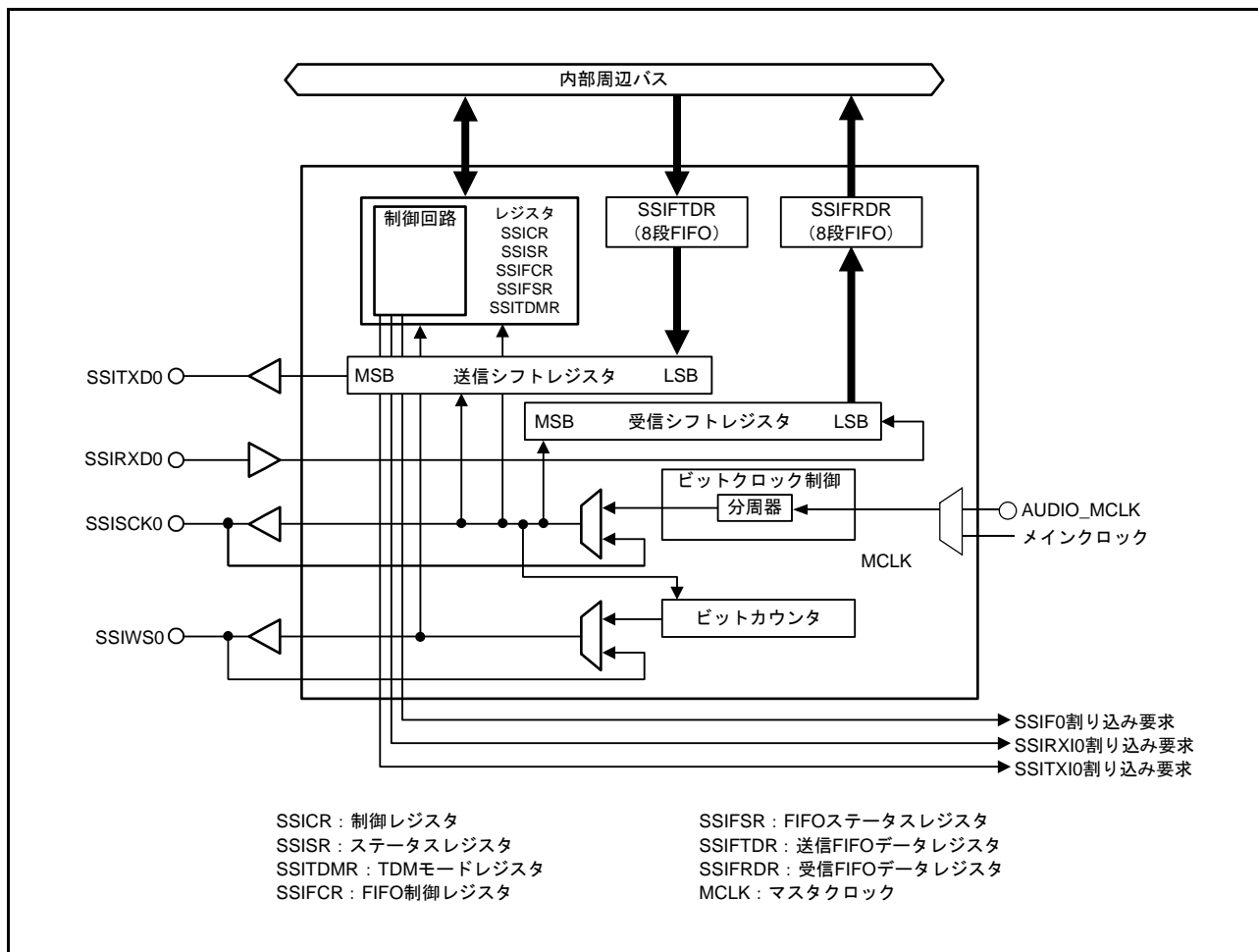


図 31.1 SSI のブロック図

表 31.2 に SSI の入出力端子を示します。

表31.2 SSIの入出力端子

チャンネル	端子名	入出力	機能
SSIO	SSISCK0	入出力	シリアルビットクロック端子
	SSIWS0	入出力	ワードセレクト端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_MCLK	入力	オーディオ用マスタクロック端子 (マスタクロックを入力)

### 31.2 レジスタの説明

#### 31.2.1 制御レジスタ (SSICR)

アドレス SSI0.SSICR 0008 A500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	CHNL[1:0]	DWL[2:0]			SWL[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]			MUEN	—	TEN	REN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W																																										
b0	REN	受信許可ビット	0 : 受信動作を禁止 1 : 受信動作を許可	R/W																																										
b1	TEN	送信許可ビット	0 : 送信動作を禁止 1 : 送信動作を許可	R/W																																										
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																										
b3	MUEN	ミュート許可ビット(注1)	0 : ミュート状態にしない 1 : ミュート状態にする	R/W																																										
b7-b4	CKDV[3:0]	シリアルビットクロック周波数設定ビット(注3)	<table border="0"> <tr> <td>b7</td> <td>b4</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>0</td> <td>: MCLK</td> </tr> <tr> <td>0 0 0 1</td> <td>0</td> <td>: MCLK/2</td> </tr> <tr> <td>0 0 1 0</td> <td>0</td> <td>: MCLK/4</td> </tr> <tr> <td>0 0 1 1</td> <td>0</td> <td>: MCLK/8</td> </tr> <tr> <td>0 1 0 0</td> <td>0</td> <td>: MCLK/16</td> </tr> <tr> <td>0 1 0 1</td> <td>0</td> <td>: MCLK/32</td> </tr> <tr> <td>0 1 1 0</td> <td>0</td> <td>: MCLK/64</td> </tr> <tr> <td>0 1 1 1</td> <td>0</td> <td>: MCLK/128</td> </tr> <tr> <td>1 0 0 0</td> <td>1</td> <td>: MCLK/6</td> </tr> <tr> <td>1 0 0 1</td> <td>1</td> <td>: MCLK/12</td> </tr> <tr> <td>1 0 1 0</td> <td>1</td> <td>: MCLK/24</td> </tr> <tr> <td>1 0 1 1</td> <td>1</td> <td>: MCLK/48</td> </tr> <tr> <td>1 1 0 0</td> <td>1</td> <td>: MCLK/96</td> </tr> </table> 上記以外は設定しないでください	b7	b4		0 0 0 0	0	: MCLK	0 0 0 1	0	: MCLK/2	0 0 1 0	0	: MCLK/4	0 0 1 1	0	: MCLK/8	0 1 0 0	0	: MCLK/16	0 1 0 1	0	: MCLK/32	0 1 1 0	0	: MCLK/64	0 1 1 1	0	: MCLK/128	1 0 0 0	1	: MCLK/6	1 0 0 1	1	: MCLK/12	1 0 1 0	1	: MCLK/24	1 0 1 1	1	: MCLK/48	1 1 0 0	1	: MCLK/96	R/W
b7	b4																																													
0 0 0 0	0	: MCLK																																												
0 0 0 1	0	: MCLK/2																																												
0 0 1 0	0	: MCLK/4																																												
0 0 1 1	0	: MCLK/8																																												
0 1 0 0	0	: MCLK/16																																												
0 1 0 1	0	: MCLK/32																																												
0 1 1 0	0	: MCLK/64																																												
0 1 1 1	0	: MCLK/128																																												
1 0 0 0	1	: MCLK/6																																												
1 0 0 1	1	: MCLK/12																																												
1 0 1 0	1	: MCLK/24																																												
1 0 1 1	1	: MCLK/48																																												
1 1 0 0	1	: MCLK/96																																												
b8	DEL	シリアルデータディレイビット(注3)	0 : I <sup>2</sup> S フォーマット互換 SSIWS0とSSITXD0/SSIRXD0間で1クロックサイクルの遅延 1 : MSBファースト右詰め、左詰めフォーマット互換 SSIWS0とSSITXD0/SSIRXD0間の遅延なし	R/W																																										
b9	PDTA	パラレルデータアロケーションビット(注3)	(データワード長が8, 16ビットのとき) 0 : パラレルデータ (SSIFTDR, SSIFRDR) の下位側を先行して送受信 1 : パラレルデータ (SSIFTDR, SSIFRDR) の上位側を先行して送受信  (データワード長が18, 20, 22, 24ビットのとき) 0 : パラレルデータ (SSIFTDR, SSIFRDR) を左詰め 1 : パラレルデータ (SSIFTDR, SSIFRDR) を右詰め	R/W																																										
b10	SDTA	シリアルデータアライメントビット(注3)	0 : シリアルデータ、パディングビットの順に送受信 1 : パディングビット、シリアルデータの順に送受信	R/W																																										
b11	SPDP	シリアルパディング極性ビット(注3)	0 : パディングデータは“0” 1 : パディングデータは“1”	R/W																																										

ビット	シンボル	ビット名	機能	R/W
b12	SWSP	ワードセレクト極性ビット	0 : SSIWS0は第1システムワードでLow、第2システムワードでHigh 1 : SSIWS0は第1システムワードでHigh、第2システムワードでLow	R/W
b13	SCKP	シリアルビットクロック極性ビット (注3)	0 : SSIWS0、SSITXD0はSSISCK0の立ち下がリエッジで変化 (SSIWS0、SSIRXD0はSSISCK0の立ち上がりエッジでサンプリング) 1 : SSIWS0、SSITXD0はSSISCK0の立ち上がりエッジで変化 (SSIWS0、SSIRXD0はSSISCK0の立ち下がリエッジでサンプリング)	R/W
b14	SWSD	ワードセレクト方向ビット(注2、注3)	0 : SSIWS0端子は入力 (スレーブモード) 1 : SSIWS0端子は出力 (マスターモード)	R/W
b15	SCKD	シリアルビットクロック方向ビット (注2、注3)	0 : SSISCK0端子は入力 (スレーブモード) 1 : SSISCK0端子は出力 (マスターモード)	R/W
b18-b16	SWL[2:0]	システムワード長ビット(注3)	システムワード長は、シリアルビットクロック周波数/2fsを設定してください b18 b16 0 0 0 : 8ビット (シリアルビットクロック周波数 = 16fs) 0 0 1 : 16ビット (シリアルビットクロック周波数 = 32fs) 0 1 0 : 24ビット (シリアルビットクロック周波数 = 48fs) 0 1 1 : 32ビット (シリアルビットクロック周波数 = 64fs) 上記以外は設定しないでください	R/W
b21-b19	DWL[2:0]	データワード長ビット(注3)	b21 b19 0 0 0 : 8ビット 0 0 1 : 16ビット 0 1 0 : 18ビット 0 1 1 : 20ビット 1 0 0 : 22ビット 1 0 1 : 24ビット 上記以外は設定しないでください	R/W
b23-b22	CHNL[1:0]	チャンネルビット(注3)	b23 b22 0 0 : 1チャンネル 上記以外は設定しないでください	R/W
b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25	I IEN	アイドル割り込み許可ビット	0 : アイドル割り込みを禁止 1 : アイドル割り込みを許可	R/W
b26	ROIEN	受信オーバーフロー割り込み許可ビット	0 : 受信オーバーフロー割り込みを禁止 1 : 受信オーバーフロー割り込みを許可	R/W
b27	RUIEN	受信アンダフロー割り込み許可ビット	0 : 受信アンダフロー割り込みを禁止 1 : 受信アンダフロー割り込みを許可	R/W
b28	TOIEN	送信オーバーフロー割り込み許可ビット	0 : 送信オーバーフロー割り込みを禁止 1 : 送信オーバーフロー割り込みを許可	R/W
b29	TUIEN	送信アンダフロー割り込み許可ビット	0 : 送信アンダフロー割り込みを禁止 1 : 送信アンダフロー割り込みを許可	R/W
b30	CKS	オーディオクロック選択ビット(注3)	0 : AUDIO_MCLK入力 1 : メインクロック	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ミュート中は、シリアルデータ値に関係なくLowを出力しますが、モジュール内部のデータ転送は停止しません。送信FIFOのデータ数は減少していきますので、送信アンダフローを発生させないためには、SSIFTDRレジスタにダミーデータを書き込んでください。また、MUENビットを“1”にすると、SSIWS0端子に同期せずSSITXD0端子をLowにします。

注2. SWSDビットとSCKDビットには同じ値を設定してください。それ以外の設定は禁止です。

注3. アイドル状態以外での書き換えは禁止です。

**REN ビット (受信許可ビット)**

受信動作を許可または禁止します。REN ビットを“1”にすると、受信動作を開始します。

**TEN ビット (送信許可ビット)**

送信動作を許可または禁止します。TEN ビットを“1”にすると、送信動作を開始します。

SSI0 の SSITXD0 端子は、TEN ビットの設定によらず、マルチファンクションピンコントローラ (MPC) で端子の機能を SSITXD0 に設定すると出力になります。

表31.3 SSITXD0, SSIRXD0の端子状態

レジスタ設定			SSI0	
MPC 設定	TEN	REN	SSITXD0	SSIRXD0
SSI の端子	0	0	出力	入力
	0	1	出力	入力
	1	0	出力	入力
	1	1	出力	入力
SSI 以外の機能	x	x	選択した機能に依存	選択した機能に依存

x : Don't care

— : 設定しないでください。

**CKDV[3:0] ビット (シリアルビットクロック周波数設定ビット)**

マスタモード時のシリアルビットクロックの周波数を選択するビットです。スレーブモードのときは SSISCK0 端子からの入力クロックが使用されますので、設定は無視されます。シリアルビットクロックはシフトレジスタの動作クロックになります。

## [ 計算例 ]

$f_s$  (サンプリングレート) = SSIWS0 周波数 = 96kHz、システムワード長 = 32 ビットの場合

ビットクロック周波数 = 96kHz × 32 ビット × 2 = 6.144MHz が必要となるため、MCLK = 12.288MHz の場合は、CKDV[3:0] = 0001b (MCLK/2) を設定します。

**PDTA ビット (パラレルデータアロケーション ビット)**

このビットの設定は、受信モード時の SSIFRDR レジスタと送信モード時の SSIFTDR レジスタに格納するデータの割り当てを指定します。

受信動作時、SSI はシリアルバスから受信したデータを PDTA ビットの設定に従って、SSIFRDR レジスタへ格納します。

送信動作時、SSI は SSIFTDR レジスタに格納したデータを送信シフトレジスタに格納し PDTA ビットの設定に従って、シリアルバスへ送信します。

(1) PDTA ビットが“0” のとき

DWL[2:0]ビット	SSIFTDR/SSIFRDRレジスタ										
000b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">24 23</td> <td style="text-align: center;">16 15</td> <td style="text-align: center;">8 7</td> <td style="text-align: right;">0</td> </tr> <tr> <td colspan="2">第4ワード</td> <td colspan="2">第3ワード</td> <td>第1ワード</td> </tr> </table>	31	24 23	16 15	8 7	0	第4ワード		第3ワード		第1ワード
31	24 23	16 15	8 7	0							
第4ワード		第3ワード		第1ワード							
001b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">16 15</td> <td style="text-align: right;">0</td> </tr> <tr> <td colspan="2">第2ワード</td> <td>第1ワード</td> </tr> </table>	31	16 15	0	第2ワード		第1ワード				
31	16 15	0									
第2ワード		第1ワード									
010b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">14 13</td> <td style="text-align: right;">0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	14 13	0	有効		無効				
31	14 13	0									
有効		無効									
011b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">12 11</td> <td style="text-align: right;">0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	12 11	0	有効		無効				
31	12 11	0									
有効		無効									
100b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">10 9</td> <td style="text-align: right;">0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	10 9	0	有効		無効				
31	10 9	0									
有効		無効									
101b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">8 7</td> <td style="text-align: right;">0</td> </tr> <tr> <td colspan="2">有効</td> <td>無効</td> </tr> </table>	31	8 7	0	有効		無効				
31	8 7	0									
有効		無効									

(2) PDTA ビットが“1” のとき

DWL[2:0]ビット	SSIFTDR/SSIFRDRレジスタ									
000b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">24 23</td> <td style="text-align: center;">16 15</td> <td style="text-align: center;">8 7</td> <td style="text-align: right;">0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> <td>第3ワード</td> <td>第4ワード</td> </tr> </table>	31	24 23	16 15	8 7	0	第1ワード	第2ワード	第3ワード	第4ワード
31	24 23	16 15	8 7	0						
第1ワード	第2ワード	第3ワード	第4ワード							
001b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">16 15</td> <td style="text-align: right;">0</td> </tr> <tr> <td>第1ワード</td> <td>第2ワード</td> </tr> </table>	31	16 15	0	第1ワード	第2ワード				
31	16 15	0								
第1ワード	第2ワード									
010b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">18 17</td> <td style="text-align: right;">0</td> </tr> <tr> <td>無効</td> <td>有効</td> </tr> </table>	31	18 17	0	無効	有効				
31	18 17	0								
無効	有効									
011b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">20 19</td> <td style="text-align: right;">0</td> </tr> <tr> <td>無効</td> <td>有効</td> </tr> </table>	31	20 19	0	無効	有効				
31	20 19	0								
無効	有効									
100b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">22 21</td> <td style="text-align: right;">0</td> </tr> <tr> <td>無効</td> <td>有効</td> </tr> </table>	31	22 21	0	無効	有効				
31	22 21	0								
無効	有効									
101b	<table border="1"> <tr> <td style="text-align: right;">31</td> <td style="text-align: center;">24 23</td> <td style="text-align: right;">0</td> </tr> <tr> <td>無効</td> <td>有効</td> </tr> </table>	31	24 23	0	無効	有効				
31	24 23	0								
無効	有効									

**SCKP ビット (シリアルビットクロック極性ビット)**

SSISCK0 信号の極性を設定するビットです。

表 31.4 に SCKP ビットの設定と各信号の出力/入力タイミングについて記載します。

表 31.4 SCKP ビットの設定と各信号の動作タイミング

	SCKP ビット = 0	SCKP ビット = 1
受信時の SSIRXD0 入力サンプリングタイミング	SSISCK0 の立ち上がりエッジ	SSISCK0 の立ち下がりエッジ
送信時の SSITXD0 出力変化タイミング	SSISCK0 の立ち下がりエッジ	SSISCK0 の立ち上がりエッジ
スレーブモード時 (SWSD ビット = 0) の SSIWS0 入力サンプリングタイミング	SSISCK0 の立ち上がりエッジ	SSISCK0 の立ち下がりエッジ
マスターモード時 (SWSD ビット = 1) の SSIWS0 出力変化タイミング	SSISCK0 の立ち下がりエッジ	SSISCK0 の立ち上がりエッジ

**CHNL[1:0] ビット (チャンネルビット)**

システムワードごとにデコードされるチャンネル数を選択するビットです。本モジュールでは、“00b” を設定してください。

## 31.2.2 ステータスレジスタ (SSISR)

アドレス SSIO.SSISR 0008 A504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	TCHNO[1:0]	TSWNO	RCHNO[1:0]	RSWNO	IDST		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	IDST	アイドルステータスフラグ	0 : SSIが通信動作中 1 : SSIが通信アイドル中	R
b1	RSWNO	受信システムワード番号フラグ	受信ワード番号	R
b3-b2	RCHNO[1:0]	受信チャンネル番号フラグ	読んだ場合“00b”が読めます	R
b4	TSWNO	送信システムワード番号フラグ	送信ワード番号	R
b6-b5	TCHNO[1:0]	送信チャンネル番号フラグ	読んだ場合“00b”が読めます	R
b24-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25	IIRQ	アイドル割り込みステータスフラグ	0 : アイドル状態ではない 1 : アイドル状態	R
b26	ROIRQ	受信オーバーフロー割り込みステータスフラグ	0 : 受信オーバーフローは発生していない 1 : 受信オーバーフローが発生	R/(W) (注1)
b27	RUIRQ	受信アンダフロー割り込みステータスフラグ	0 : 受信アンダフローは発生していない 1 : 受信アンダフローが発生	R/(W) (注1)
b28	TOIRQ	送信オーバーフロー割り込みステータスフラグ	0 : 送信オーバーフローは発生していない 1 : 送信オーバーフローが発生	R/(W) (注1)
b29	TUIRQ	送信アンダフロー割り込みステータスフラグ	0 : 送信アンダフローは発生していない 1 : 送信アンダフローが発生	R/(W) (注1)
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグが“1”であることを確認した後、“0”を書くとし“0”になります。また、フラグをクリアする場合は、クリアしたいフラグにのみ“0”を、他のフラグには“1”を書いてください。なお、“1”になっていないフラグに“0”を書かないでください。

**IDST フラグ (アイドルステータスフラグ)**

本ステータスフラグは、通信が停止したアイドル状態であることを示します。

このフラグは、SSICR.TEN ビットまたは SSICR.REN ビットを“1”に設定後、通信が開始したとき、“0”になります。また、TEN ビット、REN ビットがともに“0”になり、かつシステムワードの通信が終了すると、“1”になります。

なお、スレーブモードにおいて、通信が終了する前に外部デバイスがシリアルビットクロック入力を停止すると、このフラグは“1”になりません。

**RSWNO フラグ (受信システムワード番号フラグ)**

このフラグは、初期値が“1”で受信シフトレジスタから SSIFRDR レジスタにデータが転送されると値が反転します。

SSICR.REN ビットが“0”から“1”に変化したときに、“1”に初期化されます。

SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、受信シフトレジスタから SSIFRDR レジスタに転送されたデータがどのシステムワードであるかを示します。

**TSWNO フラグ (送信システムワード番号フラグ)**

現在のワード番号を示します。

このフラグは、初期値が“1”で SSIFTDR レジスタから、送信シフトレジスタにデータが転送されると値が反転します。

SSICR.TEN ビットが“0”から“1”に変化したときに、“1”に初期化されます。

SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、SSIFTDR レジスタから送信シフトレジスタに転送されたデータのシステムワードを示します。

**IIRQ フラグ (アイドル割り込みステータスフラグ)**

本ステータスフラグは SSI がアイドル状態であるかどうかを示します。ポーリングを可能にするため、このフラグは、SSICR.IIEN ビットの設定にかかわらず“1”になります。

割り込みは、SSICR.IIEN ビットを“0”にすることでマスクできますが、このフラグに“0”を書き込んでも割り込みをクリアできません。

IIRQ フラグ = 1 かつ SSICR.IIEN ビット = 1 のとき、割り込みが発生します。

**ROIRQ フラグ (受信オーバフロー割り込みステータスフラグ)**

本ステータスフラグは要求レートより高いレートで受信データが供給されたことを示します。受信オーバフローが発生した場合は、受信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.ROIEN ビットの設定にかかわらず“1”になります。“0”にするには、“1”になっていることを確認した後、“0”を書き込んでください。

ROIRQ フラグ = 1 かつ SSICR.ROIEN ビット = 1 のとき、割り込みが発生します。

ROIRQ フラグ = 1 のとき、受信 FIFO がフル (SSIFSR.RDC[3:0] フラグ = 8h) の状態で、送信シフトレジスタから SSIFRDR レジスタへデータが転送されたことを示しています。これによりデータが損失される可能性があります。

注． オーバフローが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。

**RUIRQ フラグ (受信アンダフロー割り込みステータスフラグ)**

本ステータスフラグは要求レートより低いレートで受信データが供給されたことを示します。受信アンダフローが発生した場合は、受信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.RUIEN ビットの設定にかかわらず“1”になります。“0”にするには、“1”になっていることを確認した後、“0”を書き込んでください。

RUIRQ フラグ = 1 かつ SSICR.RUIEN ビット = 1 のとき、割り込みが発生します。

RUIRQ フラグ = 1 のとき、受信 FIFO が空 (SSIFSR.RDC[3:0] フラグ = 0h) の状態で SSIFRDR レジスタが読み出されたことを示しています。このとき、無効な受信データが格納される可能性があります。

**TOIRQ フラグ (送信オーバフロー割り込みステータスフラグ)**

本ステータスフラグは要求レートより高いレートで送信データが供給されたことを示します。送信オーバフローが発生した場合は、送信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.TOIEN ビットの設定にかかわらず“1”になります。“0”にするには、“1”になっていることを確認した後、“0”を書き込んでください。

TOIRQ フラグ = 1 かつ SSICR.TOIEN ビット = 1 のとき、割り込みが発生します。

TOIRQ フラグ = 1 のとき、送信 FIFO がフル (SSIFSR.TDC[3:0] フラグ = 8h) の状態で SSIFTDR レジスタへの書き込みが発生したことを示しています。これによりデータが損失される可能性があります。



**TUIRQ フラグ (送信アンダフロー割り込みステータスフラグ)**

本ステータスフラグは要求レートより低いレートで送信データが供給されたことを示します。送信アンダフローが発生した場合は、送信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.TUIEN ビットの設定にかかわらず“1”になります。“0”にクリアするには、“1”になっていることを確認した後、“0”を書き込んでください。

TUIRQ フラグ=1 かつ SSICR.TUIEN ビット=1 のとき、割り込みが発生します。

TUIRQ フラグ=1 のとき、送信する前に SSIFTDR レジスタに送信データが書き込まれなかったことを示しています。これにより同じデータが1回多く送信される可能性があります。

注. 送信アンダフローが発生すると、送信停止後、アイドル状態になるまで、SSIFTDR レジスタに最後に入力したデータが送信されます。

## 31.2.3 FIFO 制御レジスタ (SSIFCR)

アドレス SSI0.SSIFCR 0008 A510h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TTRG[1:0]	RTRG[1:0]	TIE	RIE	TFRST	RFRST		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFRST	受信FIFOデータレジスタリセットビット(注4)	0: 受信FIFOデータリセット解除 1: 受信FIFOデータリセット状態	R/W
b1	TFRST	送信FIFOデータレジスタリセットビット(注4)	0: 送信FIFOデータリセット解除 1: 送信FIFOデータリセット状態	R/W
b2	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み (RXI) 要求を禁止 1: 受信データフル割り込み (RXI) 要求を許可 (注1)	R/W
b3	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み (TXI) 要求を禁止 1: 送信データエンプティ割り込み (TXI) 要求を許可 (注2)	R/W
b5-b4	RTRG[1:0]	受信FIFOしきい値設定ビット(注4)	b5 b4 0 0 : 1 0 1 : 2 1 0 : 4 1 1 : 6	R/W
b7-b6	TTRG[1:0]	送信FIFOしきい値設定ビット(注4)	b7 b6 0 0 : 7 (1) (注3) 0 1 : 6 (2) (注3) 1 0 : 4 (4) (注3) 1 1 : 2 (6) (注3)	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	SSIRST	SSIソフトウェアリセットビット	0: SSIソフトウェアリセット解除 1: SSIソフトウェアリセット状態	R/W
b30-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	AUCKE	マスタクロック許可ビット (注4)	0: マスタクロック無効 1: マスタクロック有効	R/W

注1. RXI要求の解除は、SSIFSR.RDFフラグを“0”にする（フラグを“0”にする手順についてはSSIFSR.RDFフラグの説明参照）か、RIEビットを“0”にすることで行えます。

注2. TXI要求の解除は、SSIFSR.TDEフラグを“0”にする（フラグを“0”にする手順についてはSSIFSR.TDEフラグの説明参照）か、TIEビットを“0”にすることで行えます。

注3. ( ) 内の数値はSSIFSR.TDEフラグが“1”になるときのSSIFDRレジスタの空き段数を意味します。

注4. アイドル状態以外での書き換えは禁止です。

SSIFCR レジスタは、SSIFDR レジスタおよびSSIFRDR レジスタの格納データ数のリセット、送信FIFOしきい値、受信FIFOしきい値の設定を行うレジスタです。

**RFRST ビット (受信FIFOデータレジスタリセットビット)**

SSIFRDR レジスタ内のデータを無効にし、データを空の状態にリセットします。

**TFRST ビット (送信FIFOデータレジスタリセットビット)**

SSIFDR レジスタ内のデータを無効にし、データを空の状態にリセットします。

**RIE ビット (受信データフル割り込み許可ビット)**

受信動作時に、SSIFSR.RDF フラグが“1”になったときに、受信データフル割り込み (RXI) 要求の発生を許可 / 禁止します。

**TIE ビット (送信データエンプティ割り込み許可ビット)**

送信動作時に、SSIFSR.TDE フラグが“1”になったときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

**RTRG[1:0] ビット (受信 FIFO しきい値設定ビット)**

受信 FIFO しきい値を設定します。SSIFRDR レジスタ (受信 FIFO) に格納された受信データの数が RTRG[1:0] ビットの設定値以上になったとき、SSIFSR.RDF フラグが“1”になり、受信データの読み出しが要求されます。このとき SSIFCR.RIE ビットが“1”であれば受信データフル割り込み (RXI) 要求が生成されます。

**TTRG[1:0] ビット (送信 FIFO しきい値設定ビット)**

送信 FIFO しきい値を設定します。SSIFTDR レジスタ (送信 FIFO) に格納された送信データの数が TTRG[1:0] ビットの設定値以下になったとき、SSIFSR.TDE フラグが“1”になり、送信データの書き込みが要求されます。このとき SSIFCR.TIE ビットが“1”であれば送信データエンプティ割り込み (TXI) 要求が生成されます。

**SSIRST ビット (SSI ソフトウェアリセットビット)**

“1”を書き込むと、SSI の内部状態、SSIFCR レジスタ以外のレジスタ、および SSIFCR レジスタ内の本ビットを除くビットが初期化されます。本ビットは自動で“0”にクリアされないため、“1”の書き込みを確認後、“0”を書いてください。本ビットに“0”を書き込むのと同時に、他のビットに“1”を書き込まないでください。また、本ビットを書き換えた後は、ビットが書き換わったことを確認してから次の処理を行ってください。

## 31.2.4 FIFO ステータスレジスタ (SSIFSR)

アドレス SSI0.SSIFSR 0008 A514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	TDC[3:0]				—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	RDC[3:0]				—	—	—	—	—	—	—	—	RDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	RDF	受信データフルフラグ	0 : SSIFRDRレジスタの受信データ数が受信FIFOしきい値より少ないことを表示 1 : SSIFRDRレジスタの受信データ数が受信FIFOしきい値以上であることを表示	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	RDC[3:0]	受信データ表示フラグ	SSIFRDRレジスタに格納されたデータ数を示します	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TDE	送信データエンプティフラグ	0 : SSIFTDRレジスタの送信データ数が送信FIFOしきい値より多いことを表示 1 : SSIFTDRレジスタの送信データ数が送信FIFOしきい値以下であることを表示 (注2)	R/(W) (注1)
b23-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	TDC[3:0]	送信データ表示フラグ	SSIFTDRレジスタに格納されたデータ数を示します	R
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグが“1”であることを確認した後、“0”を書くことにより“0”になります。また、フラグをクリアする場合は、クリアしたいフラグにのみ“0”を、他のフラグには“1”を書いてください。なお、“1”になっていないフラグに“0”を書かないでください。

注2. SSIFTDRレジスタは8段のFIFOレジスタであるため、TDEフラグ = 1の状態でも書き込むことができるデータの最大数は「8から指定した送信FIFOしきい値を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SSIFTDRレジスタのデータ数はTDC[3:0]フラグで示されます。

SSIFSRレジスタは、SSIFTDRレジスタおよびSSIFRDRレジスタの動作状態を示すステータスフラグで構成されます。

## RDF フラグ (受信データフルフラグ)

受信データがSSIFRDRレジスタに転送されたとき、SSIFRDRレジスタのデータ数が受信FIFOしきい値以上になり、SSIFRDRレジスタから受信データの読み出しが可能になったことを示します。

["1"になる条件]

- SSIFCR.RTRG[1:0]ビットで指定した値以上の数の受信データがSSIFRDRレジスタに格納されたとき

["0"になる条件]

- RDFフラグが“1”であることを確認した後、RDFフラグに“0”を書き込んだとき
- DTC転送 (ブロック転送時は、ブロックの最終転送) により、SSIFRDRレジスタから受信データを読み出したとき (DTC転送時、RDFフラグを“0”にしないでください)

注. SSIFRDRレジスタは32バイトのFIFOレジスタであるため、RDFフラグが“1”のときに読み出すことができるデータの最大数は、RDC[3:0]フラグで示されます。SSIFRDRレジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。

**RDC[3:0] フラグ (受信データ表示フラグ)**

SSIFRDR レジスタに格納されたデータ数を示します。

“0h” は受信データがないことを、“8h” は 32 バイトの受信データが SSIFRDR レジスタに格納されていることを示します。

**TDE フラグ (送信データエンプティフラグ)**

SSIFTDR レジスタから送信シフトレジスタにデータが転送されたとき、SSIFTDR レジスタのデータ数が送信 FIFO しきい値以下になり、SSIFTDR レジスタへ送信データの書き込みが可能になったことを示します。

[“1” になる条件]

- SSIFTDR レジスタに書き込んだ送信データの数が SSIFCR.TTRG[1:0] ビットで指定した値以下のとき

[“0” になる条件]

- TDE フラグが “1” であることを確認した後、TDE フラグに “0” を書き込んだとき
- DTC 転送 (ブロック転送時は、ブロックの最終転送) により、SSIFTDR レジスタに送信データを書き込んだとき (DTC 転送時、TDE フラグを “0” にしないでください)

注. SSIFTDR レジスタは 32 バイトの FIFO レジスタであるため、TDE フラグが “1” のときに書き込むことができるデータの最大数は、「8 - TDC[3:0]」になります。SSIFTDR レジスタにすべてのデータを書き込んだ後、さらに書き込みを続けると書き込みは無効になり、オーバフローとなります。

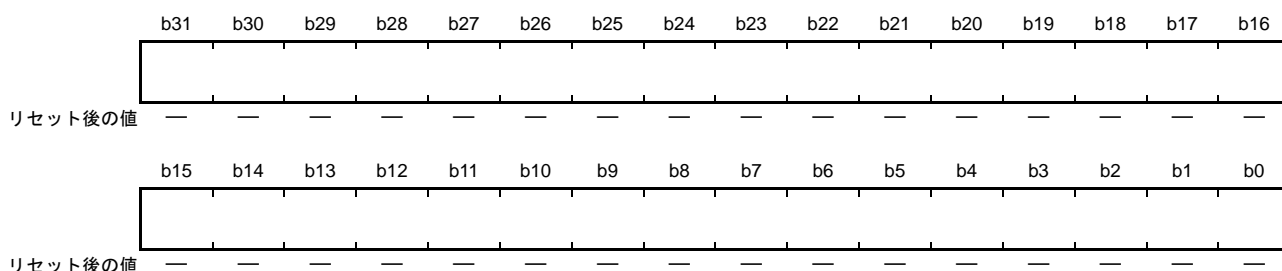
**TDC[3:0] フラグ (送信データ表示フラグ)**

SSIFTDR レジスタに格納されたデータ数を示します。

“0h” は送信データがないことを、“8h” は 32 バイトの送信データが SSIFTDR レジスタに格納されていることを示します。

### 31.2.5 送信 FIFO データレジスタ (SSIFTDR)

アドレス SSIO.SSIFTDR 0008 A518h



SSIFTDR レジスタは、送信データを格納する 32 ビット×8 段の書き込み専用の FIFO レジスタです。

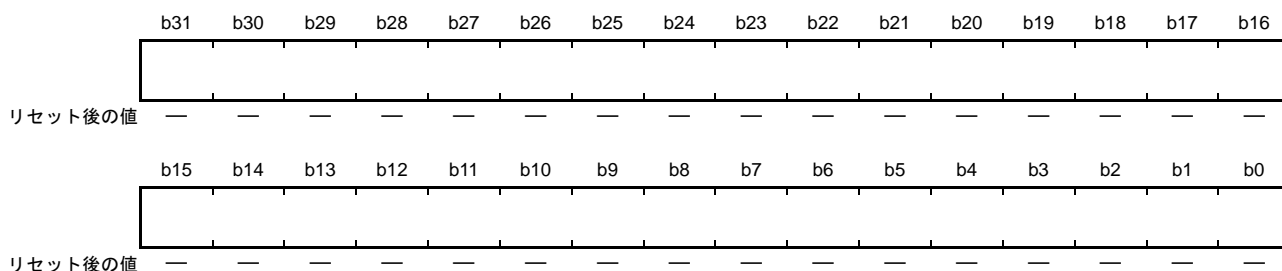
SSIFTDR レジスタは、データワード長設定とは関係なく、64 ビット (FIFO 2 段) 単位で送信データを書き込んでください。32 ビット境界で送信データが終了した場合は、残りの 32 ビットには“0000 0000h”を書き込み、64 ビット単位での書き込みが完了した状態で、送信を停止してください。

SSI は送信シフトレジスタが空であると、SSIFTDR レジスタに書き込まれた送信データを送信シフトレジスタに転送してシリアル送信を開始します。SSIFTDR レジスタの送信データが空になるまで連続シリアル送信ができます。

SSIFTDR レジスタが送信データでいっぱい (32 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視され、オーバーフローとなります。

### 31.2.6 受信 FIFO データレジスタ (SSIFRDR)

アドレス SSIO.SSIFRDR 0008 A51Ch



SSIFRDR レジスタは、受信データを格納する 32 ビット×8 段の読み出し専用の FIFO レジスタです。SSI は 4 バイトのシリアルデータを受信するたびに、受信したシリアルデータを受信シフトレジスタから SSIFRDR レジスタへ PDTA ビットの設定に従って格納します。最大 32 バイトの格納が終了するまで連続した受信動作が可能です。SSIFRDR レジスタは読み出しはできますが書き込みはできません。

SSIFRDR レジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダフローとなります。

SSIFRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われ、受信オーバーフローとなります。

## 31.2.7 TDM モードレジスタ (SSITDMR)

アドレス SSIO.SSITDMR 0008 A520h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CONT	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CONT	WSコンティニューモードビット	0 : WSコンティニューモードを禁止 1 : WSコンティニューモードを許可 (注1)	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスタモード (SSICR.SCKDビット = 1かつSSICR.SWSDビット = 1) の場合のみ設定可能です。

SSITDMR レジスタは、読み出し/書き込み可能な 32 ビットのレジスタで、WS コンティニューモードの設定を行います。

### 31.3 動作説明

#### 31.3.1 バスフォーマット

SSI は、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 31.5 に示す 6 個のモードから選択できます。

表31.5 バスフォーマット

	TEN	REN	SCKD	SWSD	MUEN	IEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	1	0	0	制御ビット						コンフィギュレーションビット									
非圧縮スレーブトランスミッタ	1	0	0	0																
非圧縮スレーブトランシーバ	1	1	0	0																
非圧縮マスタレシーバ	0	1	1	1																
非圧縮マスタトランスミッタ	1	0	1	1																
非圧縮マスタトランシーバ	1	1	1	1																

#### 31.3.2 非圧縮モード

本 SSI は、非圧縮モードのみサポートしています。I<sup>2</sup>S 互換フォーマットだけでなく、MSB ファースト右詰め/左詰めフォーマットにも対応しています。

##### (1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワードセレクト信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

##### (2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワードセレクト信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

##### (3) スレーブトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワードセレクト信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

##### (4) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワードセレクト信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI の設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

##### (5) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワードセレクト信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI のコンフィギュレーションビットの設定に従います。



## (6) マスタランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。クロックとワードセレクト信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI のコンフィギュレーションビットの設定に従います。

## (7) 動作設定ーワード長関連

非圧縮モードでは、SSICR レジスタのワード長に関するすべてのビットが有効です。SSI は多数のコンフィギュレーションをサポートできますが、ここでは I<sup>2</sup>S 互換、MSB ファースト左詰め、MSB ファースト右詰めの各フォーマットについて説明します。

なお、ここでは SSITXD0、SSIRXD0 をまとめて SSIDATA と記載します。

### • I<sup>2</sup>S 互換フォーマット

図 31.2、図 31.3 に、パディングなしとパディングありの I<sup>2</sup>S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

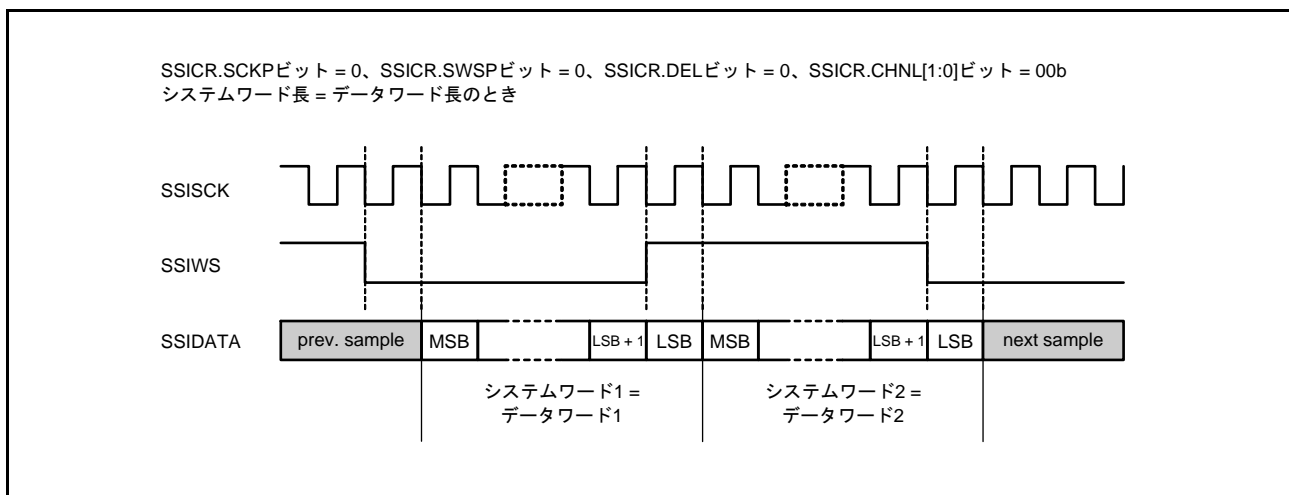


図 31.2 I<sup>2</sup>S 互換フォーマット (パディングなし)

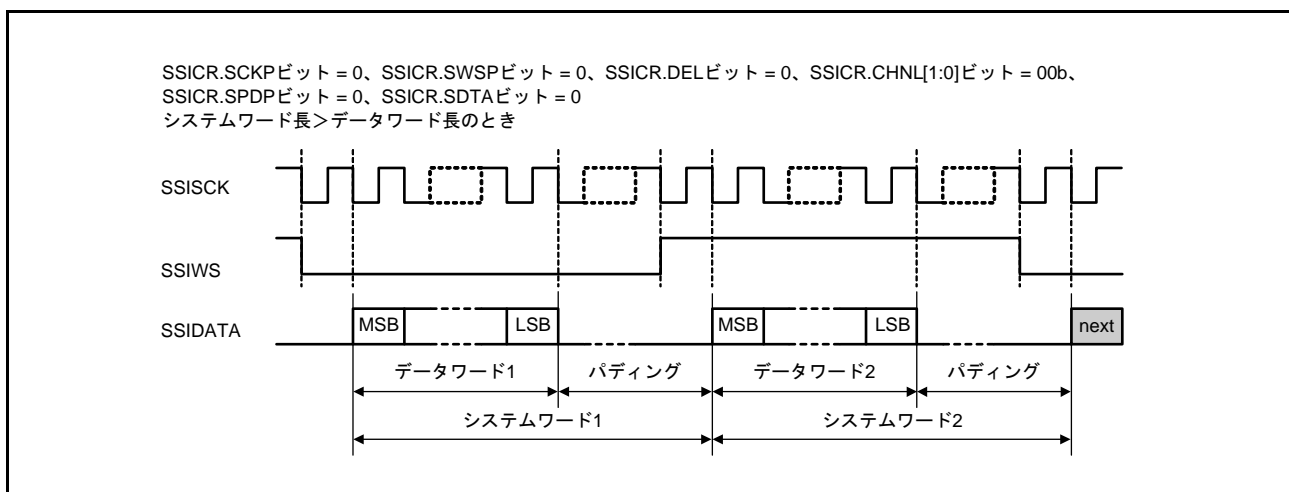


図 31.3 I<sup>2</sup>S 互換フォーマット (パディングあり)

• MSB ファースト左詰めフォーマット

図 31.4 に MSB ファースト左詰めフォーマットのパディングありの図を示します。

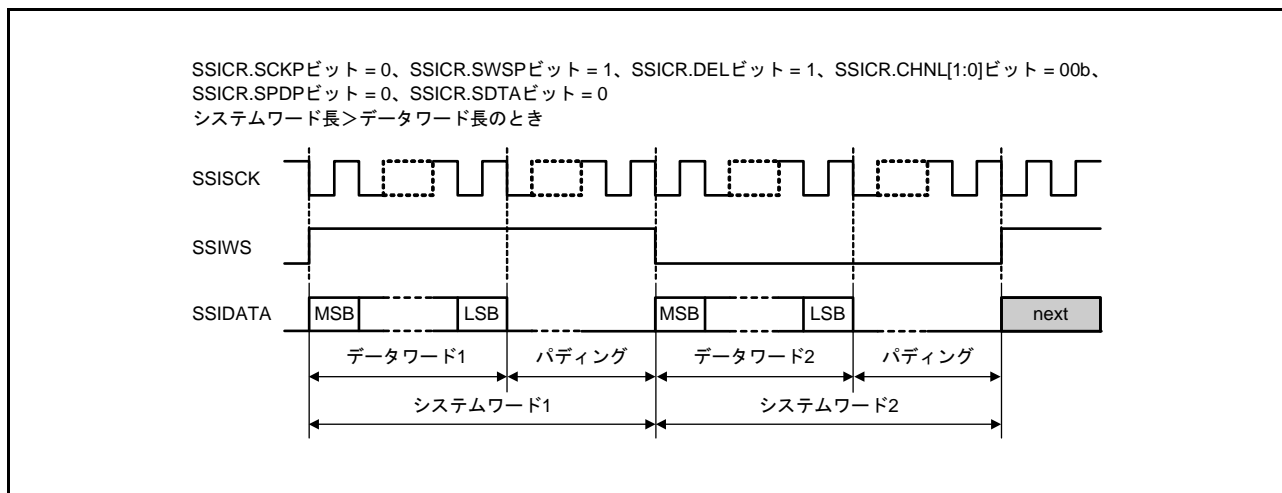


図 31.4 MSB ファースト左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)

• MSB ファースト右詰めフォーマット

図 31.5 に MSB ファースト右詰めフォーマットのパディングありの図を示します。

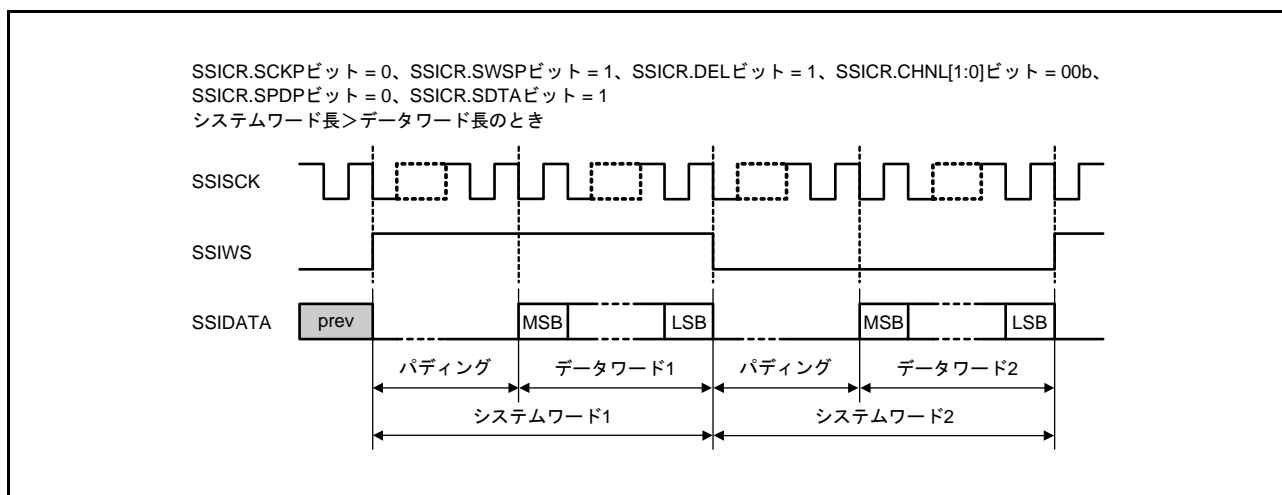


図 31.5 MSB ファースト右詰めフォーマット (パディングビット、シリアルデータの順に送受信)

表 31.6 に有効な設定とシステムワードごとのパディングビット数を示します。

表 31.6 有効な設定とシステムワードごとのパディングビット数

SSICR.CHNL[1:0]ビット (システムワードごとにデ コードされるチャンネル数)	SSICR.SWL[2:0]ビット (システムワード長)	SSICR.DWL[2:0]ビット (データワード長)							
		000b	001b	010b	011b	100b	101b		
		8ビット	16ビット	18ビット	20ビット	22ビット	24ビット		
00b	1 チャンネル	000b	8 ビット	0	—	—	—	—	—
		001b	16 ビット	8	0	—	—	—	—
		010b	24 ビット	16	8	6	4	2	0
		011b	32 ビット	24	16	14	12	10	8

(8) 動作設定ーワード長関連以外の設定

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用的でない設定があります。

図 31.6 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

なお、図 31.6 ~ 図 31.14 では、図を簡単にするために、システムワード 6 ビット、データワード 4 ビットとしています。

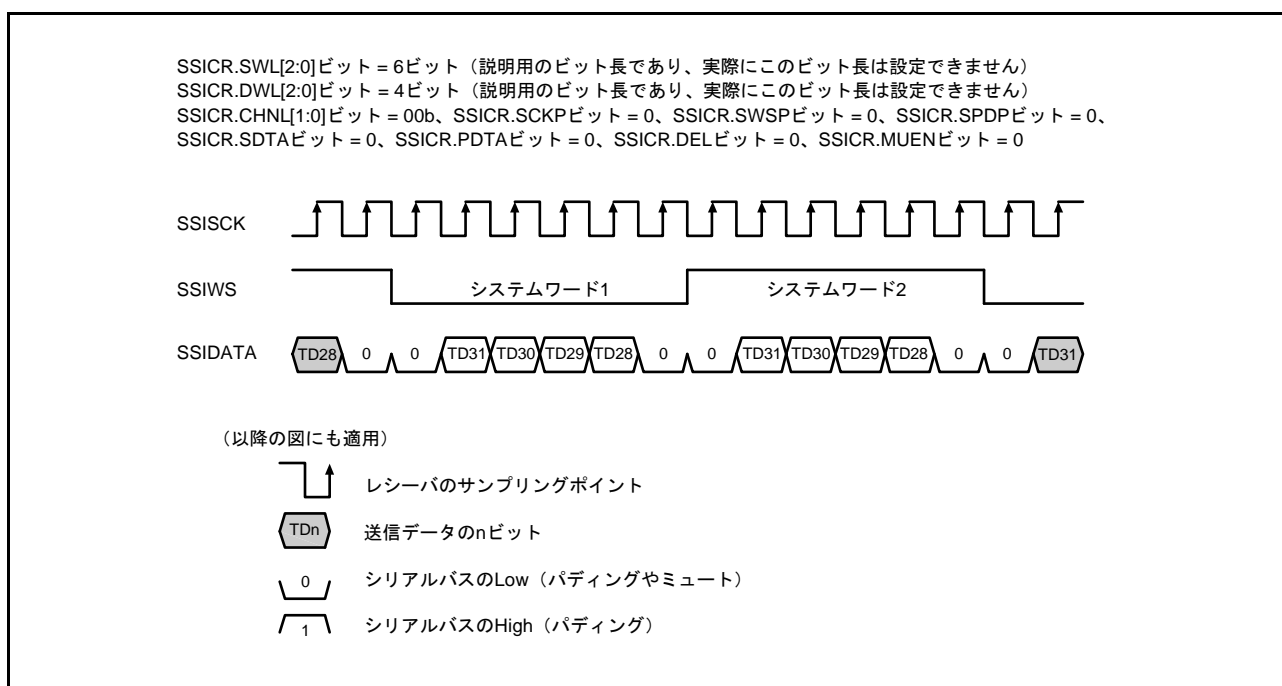


図 31.6 基本フォーマット例 (送信モード)

- 反転クロック

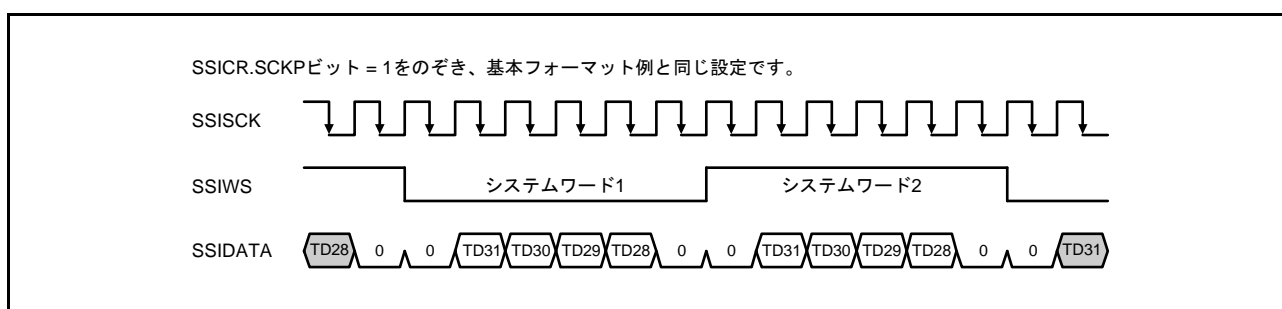


図 31.7 反転クロック

- 反転ワードセレクト信号

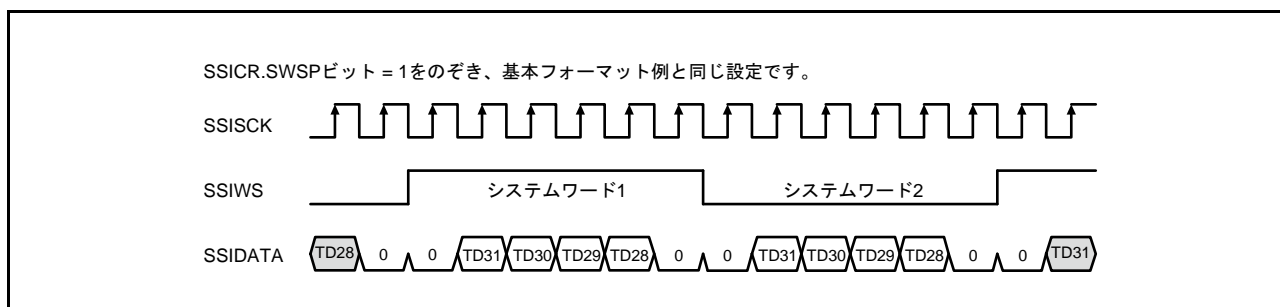


図 31.8 反転ワードセレクト信号

- 反転パディング極性

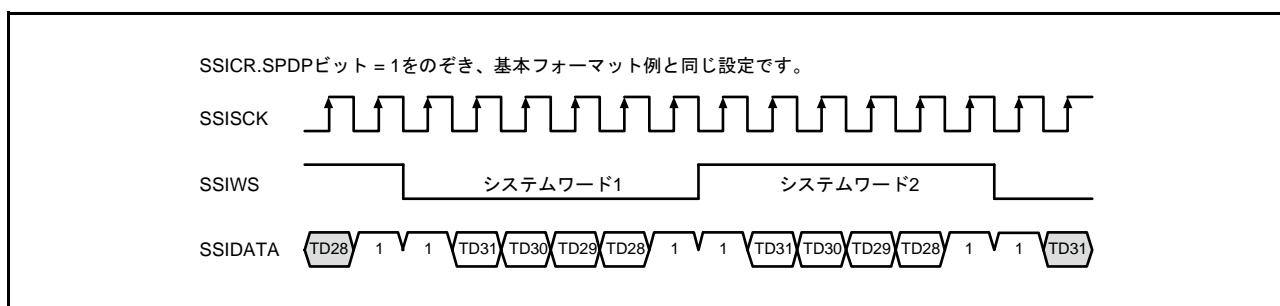


図 31.9 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

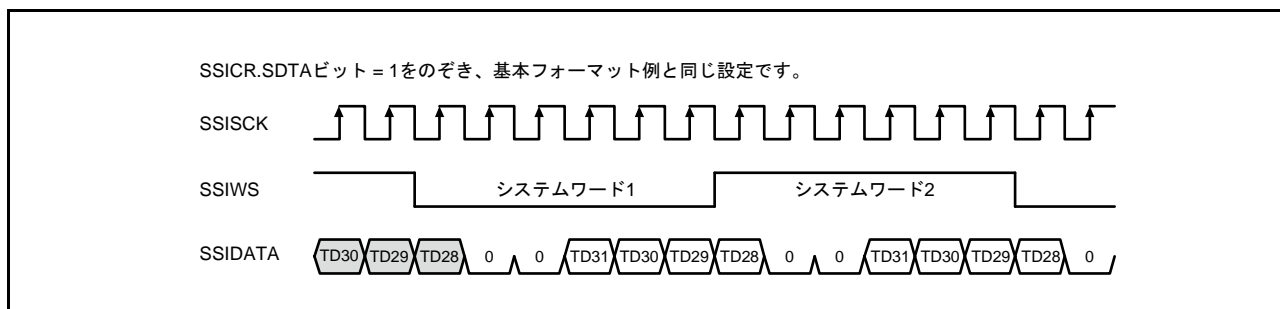


図 31.10 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

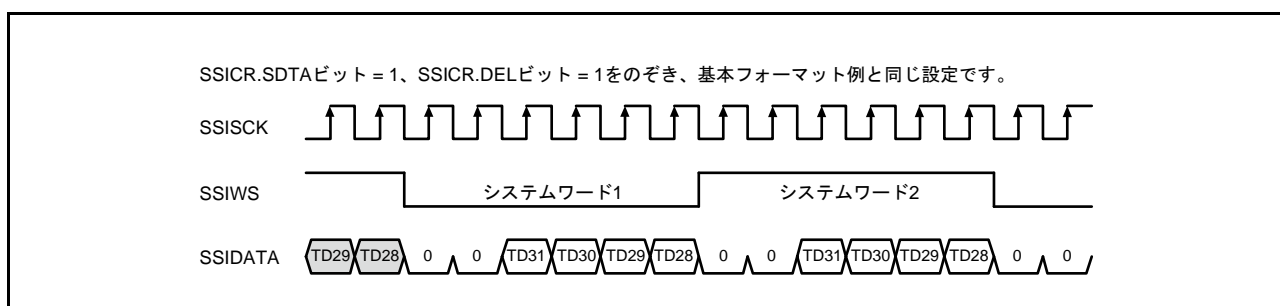


図 31.11 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

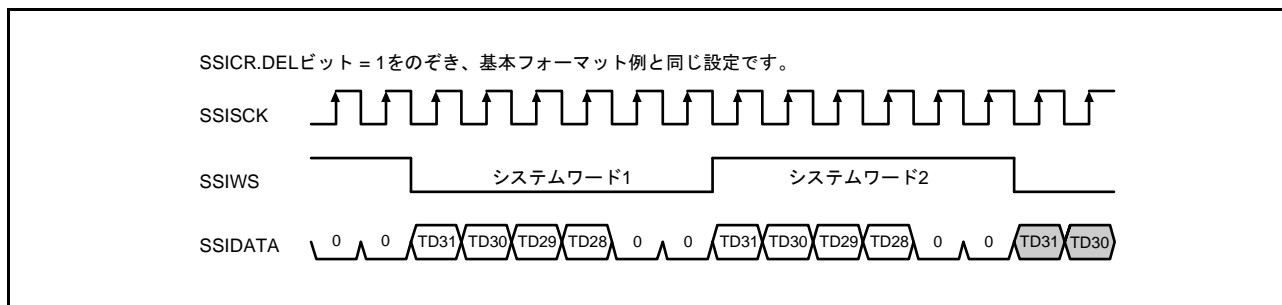


図 31.12 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

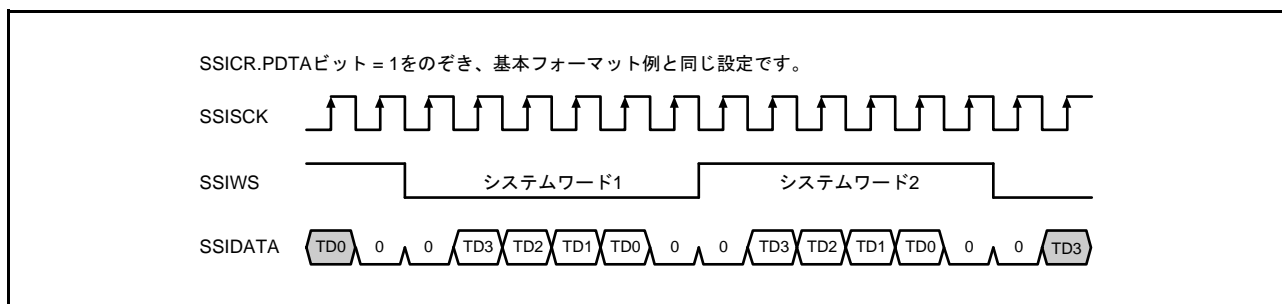


図 31.13 パラレルデータの右詰め、遅延あり

- ミュート有効

SSICR.MUEN ビットを“1”にすると、SSIWS0 信号に同期せず SSITXD0 端子を Low (“0”) にします。

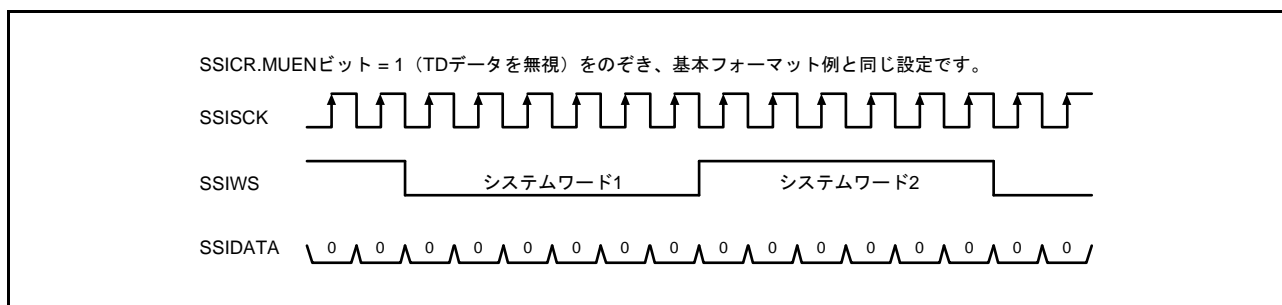


図 31.14 ミュート有効

### 31.3.3 WS コンティニューモード

WS コンティニューモードは、データ転送の許可/禁止に関係なく SSIWS0 信号をトグルし続けるモードです。このモードは SSITDMR.CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを“0”に（転送停止）しても SSIWS0 信号は停止せずにトグルし続けます。一方、このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも“0”にした場合は、SSIWS0 信号が停止します。

図 31.15、図 31.16 に WS コンティニューモードの許可/禁止設定の動作を示します。

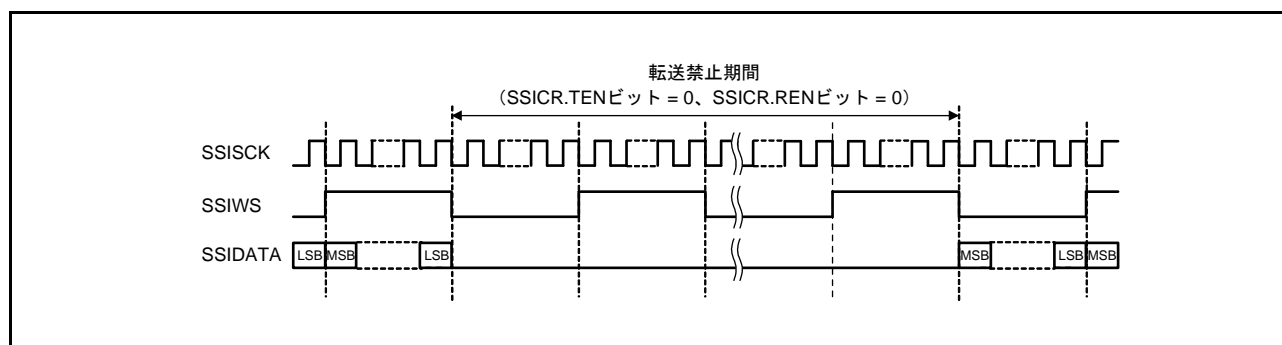


図 31.15 WS コンティニューモード許可

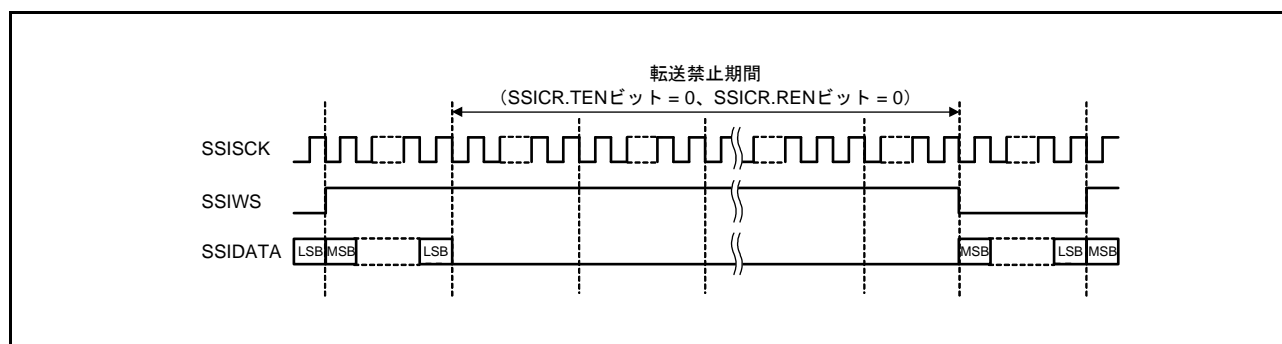


図 31.16 WS コンティニューモード禁止

### 31.3.4 動作状態

アイドル、通信動作およびアイドル待ちの3つの動作状態があります。図 31.17 に動作状態遷移図を示します。

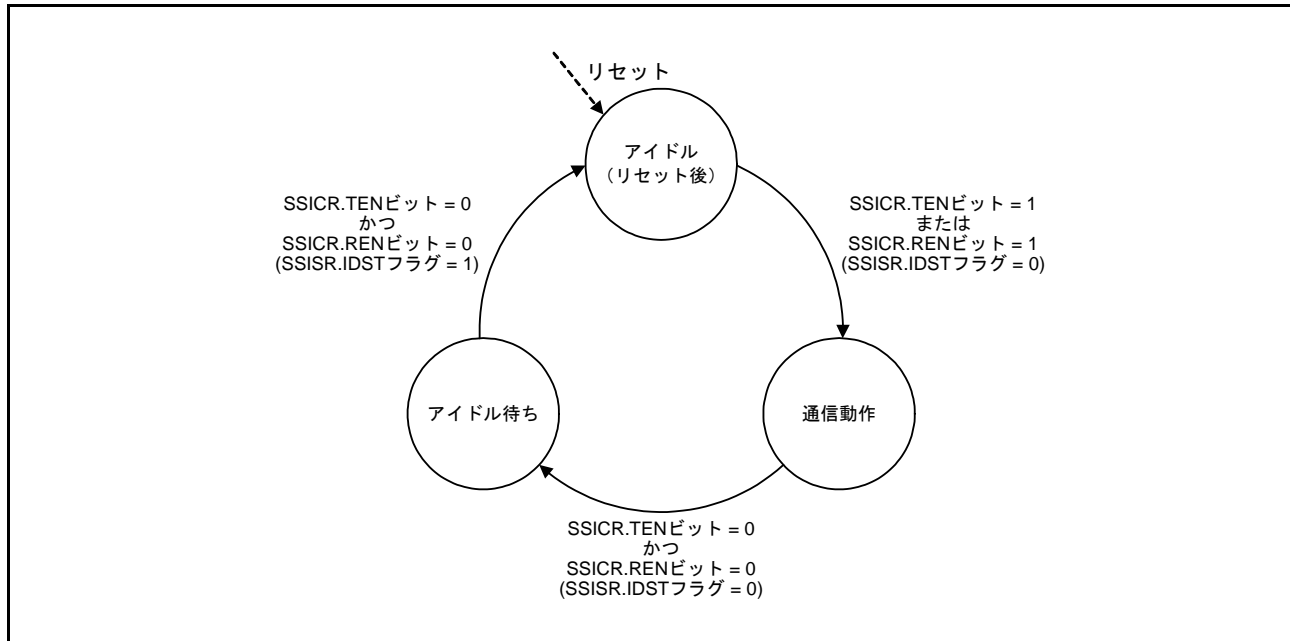


図 31.17 動作状態遷移図

#### (1) アイドル状態

リセット解除後、MSTPCRD.MSTPD14, MSTPD15 ビットを“0”にすると、本状態に遷移します。この状態で制御レジスタに必要な設定を行います。設定後、SSICR.TEN ビットまたは SSICR.REN ビットを“1”にし、通信動作に遷移します。

#### (2) 通信動作状態

この状態の通信動作は選択された動作状態に依存しています。詳細については「31.3.5 送信動作」と「31.3.6 受信動作」を参照してください。

#### (3) アイドル待ち状態

通信動作状態時に、SSICR.TEN ビットと SSICR.REN ビットの両方を“0”にすると本状態に遷移し、通信終了を待ちます。この状態でシステムワードの通信が終了すると、SSISR.IDST フラグが“1”になり、アイドル状態に遷移します。

### 31.3.5 送信動作

送信は DTC 転送または割り込みで制御できます。CPU 負荷を低減するという点では、DTC 制御の方が優れています。

DTC を使用した送信では、データのアンダフローやオーバフローの発生時、または DTC 転送終了は、割り込みによって通知されます。DTC 転送による送信時は、SSIFTDR レジスタに 64 ビット (FIFO 2 段) 単位で送信データを書き込むために、2 の倍数になるよう DTC 転送回数を設定してください。

別の制御方法としては、必要に応じて SSI がデータ供給のために生成する割り込みを用いる方法があります。割り込みによる送信時は、データフォーマットとは関係なく送信データを 64 ビット単位で書き込み、32 ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、“0000 0000h” を書き込み、64 ビット境界で書き込みが完了した状態にしてください。

送信を停止する場合、64 ビット単位で書き込みが完了した状態で SSIFTDR レジスタへの書き込みを停止してください。書き込み停止後、送信アンダフローの発生を待ってから、SSICR.TEN ビットを“0”に設定してください。送信アンダフロー中は、SSIFTDR レジスタに最後に入力したデータがアイドル状態に遷移するまで送信され続けます。TEN ビットを“0”にした後、SSISR.IIRQ フラグが“1” (アイドル状態) になるまで、クロック (注 1) を供給してください。送信途中に、送信アンダフローエラー、送信オーバフローエラーが発生した場合、送信データの SSIFTDR レジスタへの書き込みが 64 ビット単位でなくなる場合があります。その場合は、データ書き込みを停止し、送信アンダフローエラーが発生するまで待ち、送信アンダフロー発生時の TSWNO フラグをチェックしてください。TSWNO フラグが“1”の場合は、SSIFTDR レジスタに“0000 0000h”を書き込み再度アンダフローの発生を待ってください。TSWNO フラグが“0”になるのが確認できたら、TEN ビットを“0”にした後、SSISR.IIRQ フラグが“1” (アイドル状態) になるまで、クロック (注 1) を供給してください。

図 31.18 に DTC を使用した送信フローを、図 31.19 に割り込みを使用した送信フローを示します。

- 注 1. SSICR.SCKD ビット = 0 のとき SSISCK0 端子からの入力クロック  
SSICR.SCKD ビット = 1 のときマスタクロック



(1) DTC を使用した送信

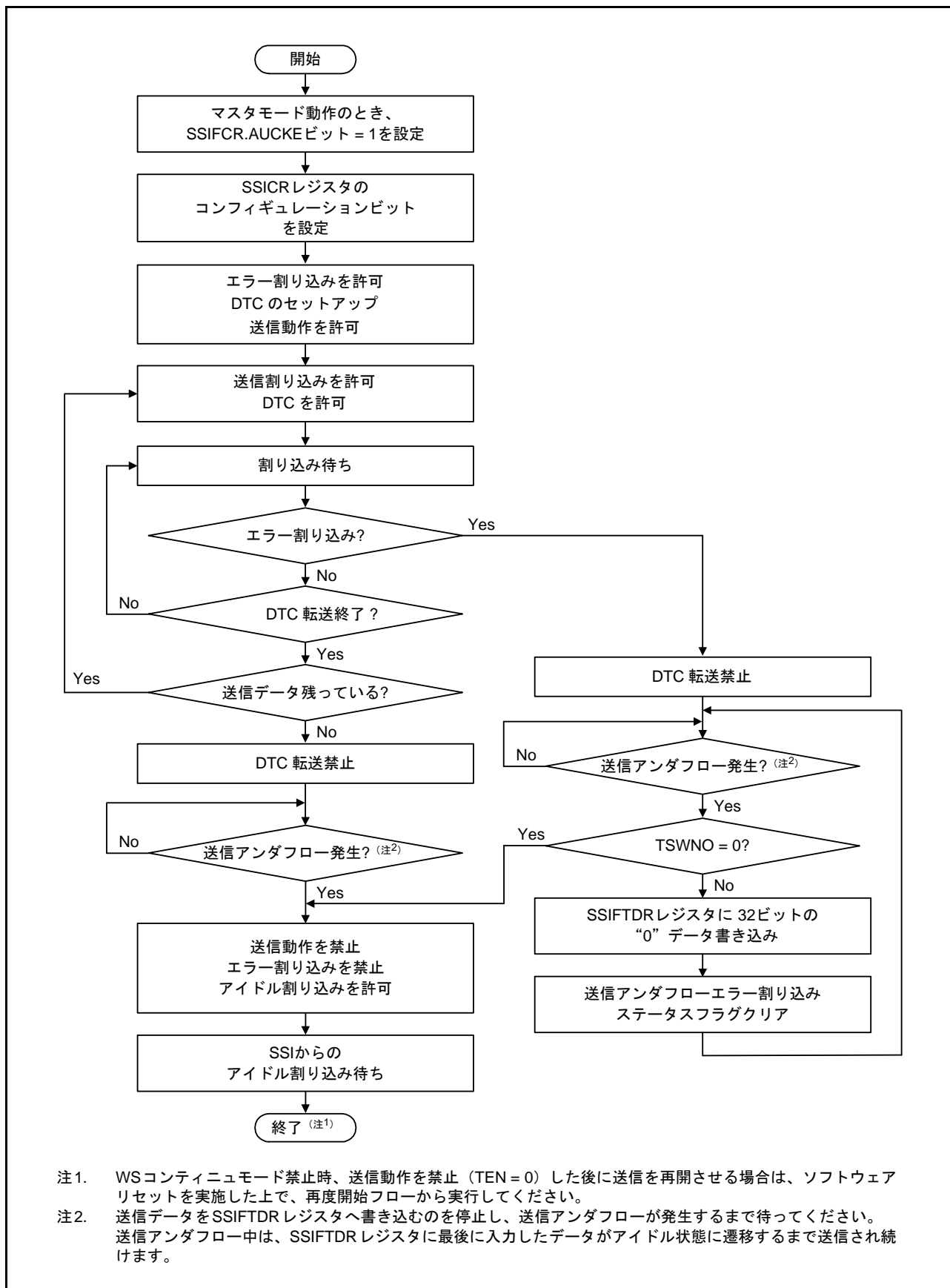


図 31.18 DTC を使用した送信

## (2) 割り込みを使用した送信

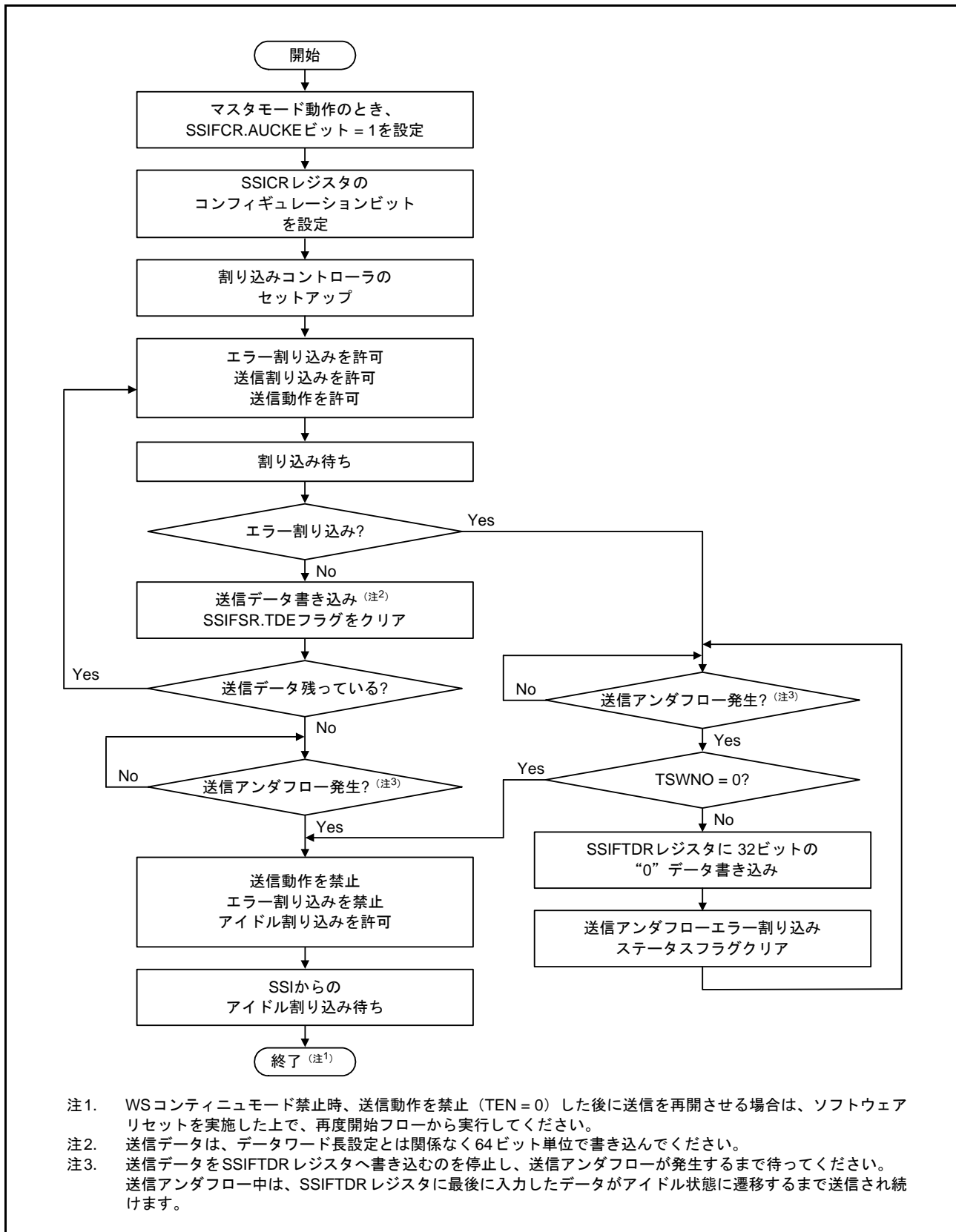


図 31.19 割り込みを使用した送信

## 31.3.6 受信動作

送信同様、受信も DTC 転送または割り込みで制御できます。

図 31.20、図 31.21 にそれぞれの動作フローチャートを示します。

受信を停止する場合、SSICR.REN ビットを“0”にした後、SSISR.IIRQ フラグが“1”（アイドル状態）になるまで、クロック（注1）を供給してください。

注1. SSICR.SCKD ビット = 0 のとき SSISCK0 端子からの入力クロック  
SSICR.SCKD ビット = 1 のときマスタクロック

## (1) DTC を使用した受信

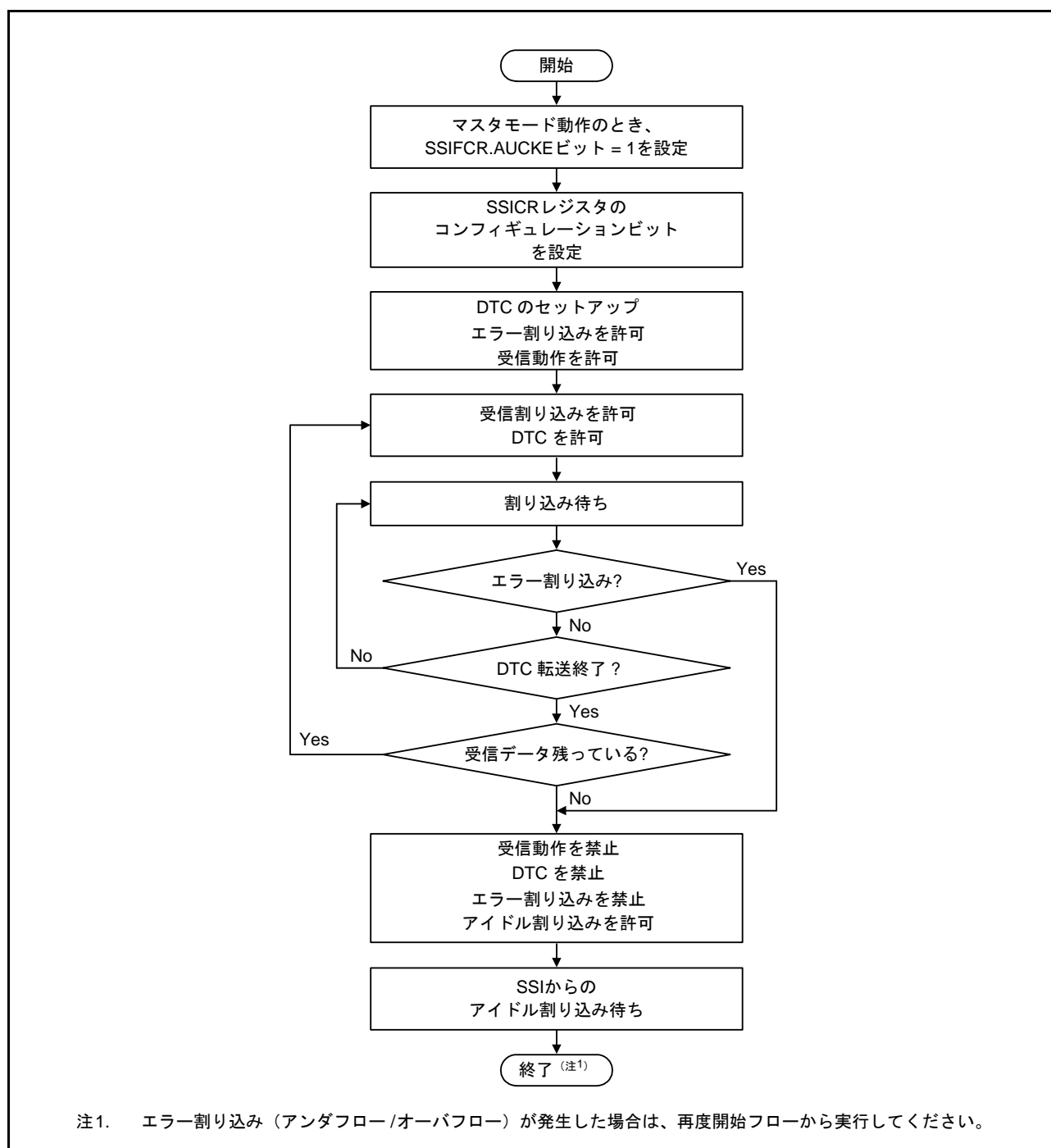


図 31.20 DTC を使用した受信

(2) 割り込みを使用した受信

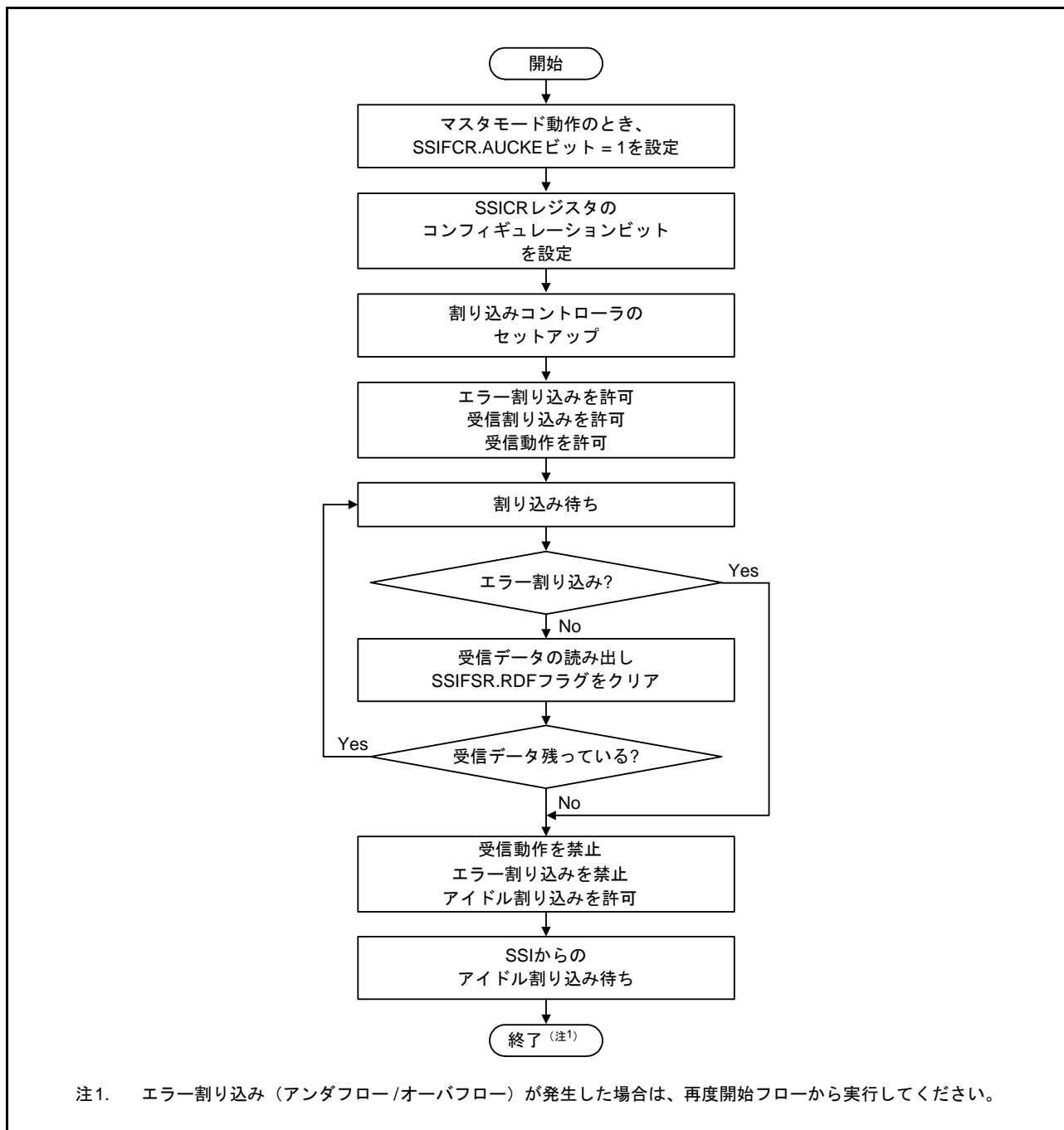


図 31.21 割り込みを使用した受信

### 31.3.7 シリアルビットクロック制御

SSIはSSICR.SCKDビットとSSICR.CKDV[3:0]ビットにより、シリアルビットクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD ビット=0)、SSIはスレーブモードであり、シフトレジスタが使うビットクロックはSSISCK0端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD ビット=1)、SSIはマスターモードであり、シフトレジスタが使うビットクロックはマスタクロック (MCLK) またはそれを分周したクロックです。マスタクロックは、SSICR.CKDV[3:0]ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK0端子の出力はビットクロックと同じになります。

### 31.4 割り込み要因

表 31.7 に各割り込み要因を示します。各割り込み要因は、SSICR.TUIEN, TOIEN, RUIEN, ROIEN, I IEN ビットと SSIFCR.TIE, RIE ビットで許可または禁止ができます。

表31.7 SSIの割り込み要因

チャンネル	割り込み要因	内容	割り込み ステータスフラグ	割り込み 許可ビット	DTC起動
SSI0	SSIF0	送信アンダフロー割り込み	SSISR.TUIRQ	SSICR.TUIEN	不可能
		送信オーバーフロー割り込み	SSISR.TOIRQ	SSICR.TOIEN	
		受信アンダフロー割り込み	SSISR.RUIRQ	SSICR.RUIEN	
受信オーバーフロー割り込み		SSISR.ROI RQ	SSICR.ROIEN		
アイドル割り込み		SSISR.IIRQ	SSICR.I IEN		
	SSIRX10	受信データフル割り込み (RXI)	SSIFSR.RDF	SSIFCR.RIE	可能
	SSITX10	送信データエンプティ割り込み (TXI)	SSIFSR.TDE	SSIFCR.TIE	可能

## 31.5 使用上の注意事項

### 31.5.1 モジュールストップ機能の設定

MSTPCRD レジスタにより、モジュールストップ状態への遷移/解除を行うことができます。初期値では SSI はモジュールストップ状態です。モジュールストップ状態を解除することにより、SSI のレジスタへのアクセスが可能になります。

MSTPCRD レジスタの詳細は、「11. 消費電力低減機能」を参照してください。

### 31.5.2 転送モードを切り替える場合の注意事項

WS コンティニューモード禁止 (SSITDMR.CONT=0) の状態で、トランスミッタ、レシーバ、トランシーバ間でモード遷移する場合は、SSICR.TEN ビットと SSICR.REN ビットを“0”にし、一度アイドル状態に遷移してください。アイドル状態で、SSICR.TEN ビットと SSICR.REN ビットを再設定し転送を再開してください。

### 31.5.3 WS コンティニューモードの制限事項

WS コンティニューモードの設定を切り替える場合、切り替え直後の SSISCK0 信号、SSIWS0 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

### 31.5.4 ステータスフラグのクリアに関する注意事項

SSISR レジスタの ROIRQ、RUIRQ、TOIRQ、TUIRQ フラグは、読み出したときに“1”が読めたフラグだけ“0”にできます。しかし、これらのフラグが“1”のときに表 31.8 に示すレジスタを読み出すと、SSISR レジスタを読んでいないにもかかわらず、“1”が読めたという条件が成立し、“0”を書くだけでフラグがクリアされてしまいます。

同様に SSIFSR レジスタの RDF、TDE フラグについても、これらのフラグが“1”のときに表 31.9 に示すレジスタを読み出すと、SSIFSR レジスタを読んでいないにもかかわらず、“1”が読めたという条件が成立し、“0”を書くだけでフラグがクリアされてしまいます。

ステータスフラグをクリアする場合は、読み出したときに“1”が読めたフラグにのみ“0”を書いてください。

表31.8 SSISRレジスタの読み出し条件が成立するレジスタ一覧

アドレス	モジュール名	レジスタ名	シンボル
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT
0008 8044h	R12DA	D/A制御レジスタ	DACR
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA
0008 8304h	RIIC0	I <sup>2</sup> Cバスモードレジスタ3	ICMR3
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU
0008 9004h	S12AD	A/Dチャンネル選択レジスタA	ADANSA
0008 A004h	SCI0	シリアルステータスレジスタ	SSR
0008 A044h	SCI2	シリアルステータスレジスタ	SSR
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR
0008 A104h	SCI8	シリアルステータスレジスタ	SSR
0008 B004h	CAC	CACステータスレジスタ	CASTR
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3
0008 B304h	SCI12	シリアルステータスレジスタ	SSR
0008 C004h	PORT4	ポート方向レジスタ	PDR
0008 C044h	PORT4	ポート入力データレジスタ	PIDR
0008 C084h	PORT2	オープンドレイン制御レジスタ0	ODR0
0008 C144h	MPC	P04端子機能制御レジスタ	P04PFS
0008 C404h	RTC	分カウンタ	RMINCNT
0008 C404h	RTC	バイナリカウンタ1	BCNT1
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF

表31.9 SSIFSRレジスタの読み出し条件が成立するレジスタ一覧

アドレス	モジュール名	レジスタ名	シンボル
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2
0008 8614h	MTU	タイマ周期データレジスタ	TCDR
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV
0008 9014h	S12AD	A/Dチャンネル選択レジスタB	ADANSB
0008 C094h	PORTA	オープンドレイン制御レジスタ0	ODR0
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS
0008 C414h	RTC	時アラームレジスタ	RHRAR
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR

## 32. シリアルペリフェラルインタフェース (RSPI)

本章に記載している PCLK とは PCLKB を指します。

### 32.1 概要

本 MCU は、1 チャンルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 32.1 に RSPI の仕様を、図 32.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 と規定しています。

表 32.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	1チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> <li>• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式)/クロック同期式動作 (3 線式) でシリアル通信が可能</li> <li>• 送信のみの動作が可能</li> <li>• 通信モード：全二重または送信のみを選択可能</li> <li>• RSPCK の極性を変更可能</li> <li>• RSPCK の位相を変更可能</li> </ul>
データフォーマット	<ul style="list-style-type: none"> <li>• MSB ファースト/LSB ファーストの切り替え可能</li> <li>• 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能</li> <li>• 送信/受信バッファは 128 ビット</li> <li>• 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)</li> </ul>
ビットレート	<ul style="list-style-type: none"> <li>• マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周)</li> <li>• スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 8 分周)</li> </ul> High 幅：PCLK の 4 サイクル、Low 幅：PCLK の 4 サイクル
バッファ構成	<ul style="list-style-type: none"> <li>• 送信および受信バッファはそれぞれダブルバッファ構成</li> <li>• 送信および受信バッファは 128 ビット</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• モードフォルトエラー検出</li> <li>• オーバランエラー検出</li> <li>• パリティエラー検出</li> </ul>
SSL 制御機能	<ul style="list-style-type: none"> <li>• 1 チャンネルあたり 4 本の SSL 端子 (SSLA0 ~ SSLA3)</li> <li>• シングルマスタ設定時には、SSLA0 ~ SSLA3 端子を出力</li> <li>• マルチマスタ設定時：SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は出力または未使用</li> <li>• スレーブ設定時：SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は未使用</li> <li>• SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK</li> <li>• RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK</li> <li>• 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK</li> <li>• SSL 極性変更機能</li> </ul>
マスタ転送時の制御方式	<ul style="list-style-type: none"> <li>• 最大 8 コマンドで構成された転送を連続してループ実行可能</li> <li>• 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延</li> <li>• 送信バッファへのライトで転送を起動可能</li> <li>• SSL ネゲート時の MOSI 信号値を設定可能</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>• 割り込み要因 受信バッファフル割り込み 送信バッファエンブティ割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)</li> </ul>



表 32.1 RSPIの仕様 (2/2)

項目	内容
その他の機能	<ul style="list-style-type: none"> <li>• CMOS/オープンドレイン出力切り替え機能</li> <li>• RSPI初期化機能</li> <li>• ループバックモード機能</li> </ul>
消費電力低減機能	モジュールストップ状態への設定が可能

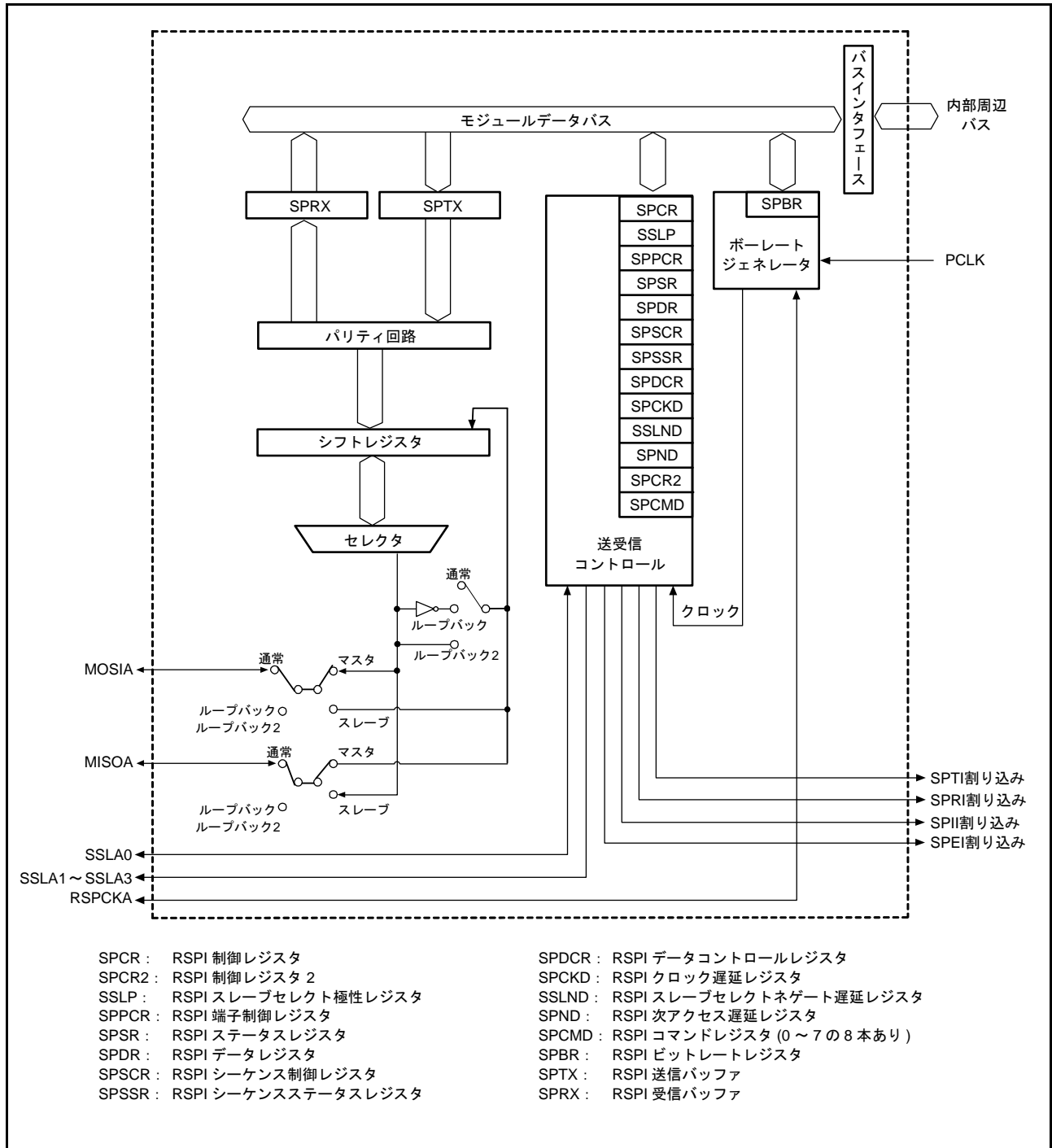


図 32.1 RSPI のブロック図

表 32.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「32.3.2 RSPI 端子の制御」を参照してください。

表 32.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

## 32.2 レジスタの説明

### 32.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作(4線式) 1: クロック同期式動作(3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	RSPI受信バッファフル割り込み許可ビット	0: RSPI受信バッファフル割り込み要求の発生を禁止 1: RSPI受信バッファフル割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の場合、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの値を変更しないでください。

#### SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SCLA0 ~ SCLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットを“0”にしないでください。

#### TXMD ビット (通信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「32.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

**MODFEN ビット (モードフォルトエラー検出許可ビット)**

モードフォルトエラーの検出を許可/禁止するためのビットです(「32.3.8 エラー検出」を参照)。また、RSPIはMODFENビットとMSTRビットとの組み合わせに従って、SSLA0～SSLA3端子の入出力方向を決定します(「32.3.2 RSPI端子の制御」を参照)。

**MSTR ビット (RSPI マスタ/スレーブモード選択ビット)**

RSPIのマスタ/スレーブモードを選択するためのビットです。また、RSPIはMSTRビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0～SSLA3端子の方向を決定します。

**SPEIE ビット (RSPI エラー割り込み許可ビット)**

RSPIがモードフォルトエラーを検出してSPSR.MODFフラグを“1”にした場合、RSPIがオーバランエラーを検出してSPSR.OVRFフラグを“1”にした場合、またはパリティエラーを検出してSPSR.PERFフラグを“1”にした場合のRSPIエラー割り込み要求の発生を許可/禁止します。詳細については、「32.3.8 エラー検出」を参照してください。

**SPTIE ビット (送信バッファエンプティ割り込み許可ビット)**

RSPIが送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の発生を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIEビットと同時または後に、SPEビットを“1”にすることで発生します。

RSPI機能は無効(SPEビットが“0”)に遷移しても、SPTIEビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

**SPE ビット (RSPI 機能許可ビット)**

RSPI機能の有効/無効を選択します。

SPSR.MODFフラグが“1”の場合には、SPEビットを“1”にすることはできません。詳細は「32.3.8 エラー検出」を参照してください。

SPEビットを“0”にすると、RSPI機能が無効化され、モジュール機能の一部が初期化されます。詳細は「32.3.9 RSPIの初期化」を参照してください。また、SPEビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

**SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)**

RSPIがシリアル転送完了後の受信バッファフルを検出し、RSPI受信バッファフル割り込み要求の発生を許可/禁止します。

## 32.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の場合、SSLP レジスタを書き換えしないでください。

### 32.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0 : 通常モード 1 : ループバックモード(データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0 : 通常モード 1 : ループバックモード(データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0 : MOSIアイドル時のMOSIA端子の出力値はLow 1 : MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の場合、SPPCR レジスタを書き換えしないでください。

#### SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路(反転)を接続します。(ループバックモード)

#### SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

#### MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間(バースト転送における SSL 保持期間を含む)の MOSIA 端子の出力値を選択します。

#### MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間(バースト転送における SSL 保持期間を含む)に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

## 32.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0: RSPIがアイドル状態 1: RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし 1: モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R (注2)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合、“1”としてください。

**OVRF フラグ (オーバランエラーフラグ)**

オーバランエラーの発生状況を示します。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

**IDLNF フラグ (RSPI アイドルフラグ)**

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の (条件 1) と (条件 2) の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが “1” (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- 下記 1. が満たされたとき (条件 1)、または下記 2. ~ 4. がすべて満たされたとき (条件 2)

1. SPCR.SPE ビットが “0” (RSPI 初期化) のとき
2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
3. SPSSR.SPCP[2:0] ビットが “000b” (シーケンス制御の先頭) であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態)

【スレーブモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき

**MODF フラグ (モードフォルトエラーフラグ)**

モードフォルトエラーの発生を示します。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1” (マスタモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを読んだ後、MODF フラグに “0” を書いたとき

**PERF フラグ (パリティエラーフラグ)**

パリティエラーの発生を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書いたとき



**SPTEF フラグ (送信バッファEMPTYフラグ)**

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.SPE ビットが“0”(RSPI 初期化)のとき
- 送信バッファからシフトレジスタに送信データが転送されたとき

[“0”になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

**SPRF フラグ (受信バッファフルフラグ)**

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0”(全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき  
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

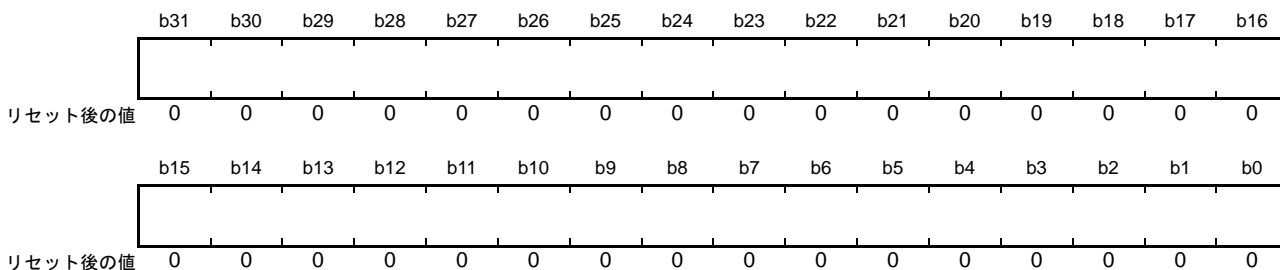
[“0”になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

### 32.2.5 RSPI データレジスタ (SPDR)

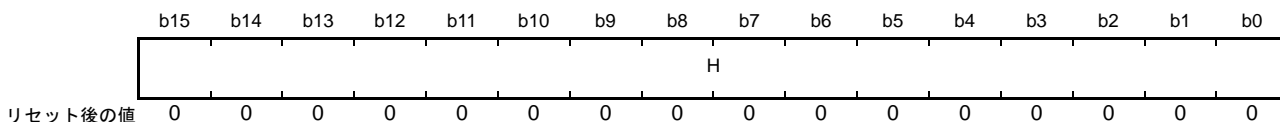
- ロングワードアクセス時

アドレス RSPI0.SPDR 0008 8384h



- ワードアクセス時

アドレス RSPI0.SPDR.H 0008 8384h



SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 32.2 に示します。

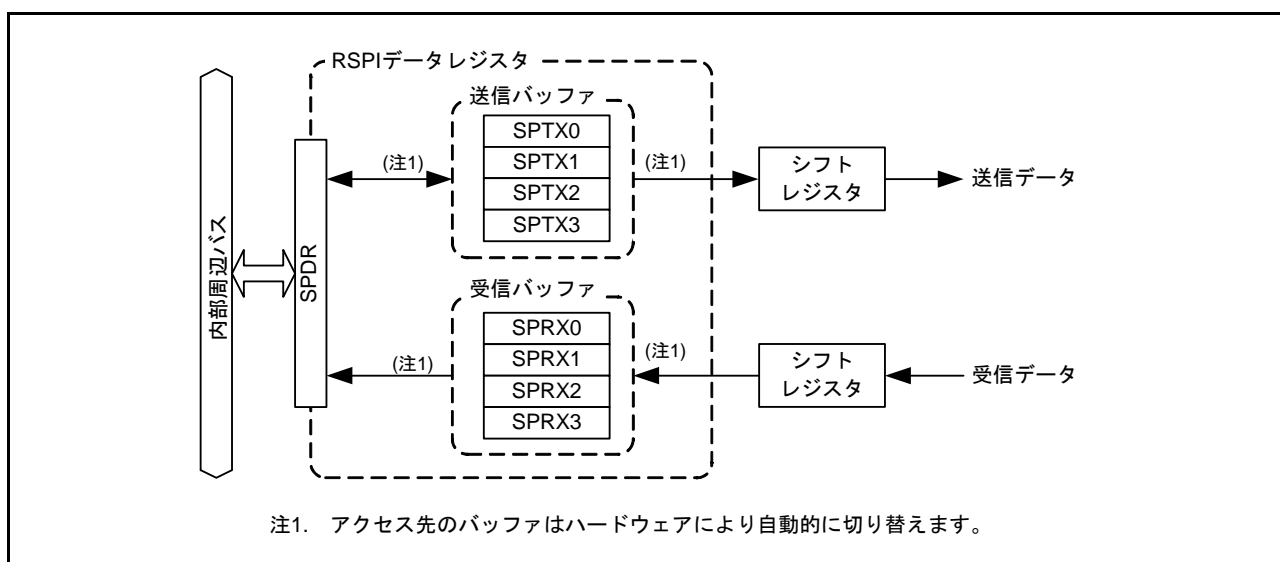


図 32.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTXn (n = 0 ~ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn (n = 0 ~ 3) の非参照ビットには、SPTXn (n = 0 ~ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

### (1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

#### (a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 32.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

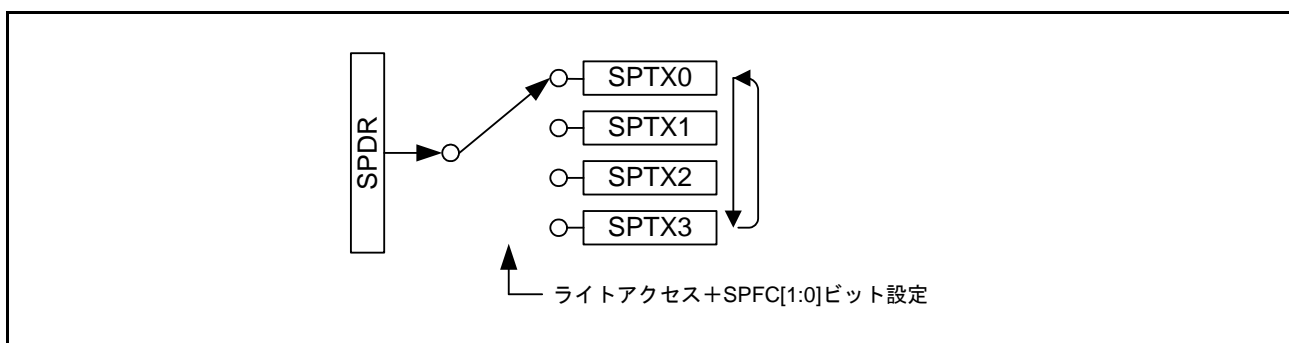


図 32.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序
  - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
  - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
  - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
  - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定

したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンpty割り込み発生までの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

### (b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信/送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 32.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

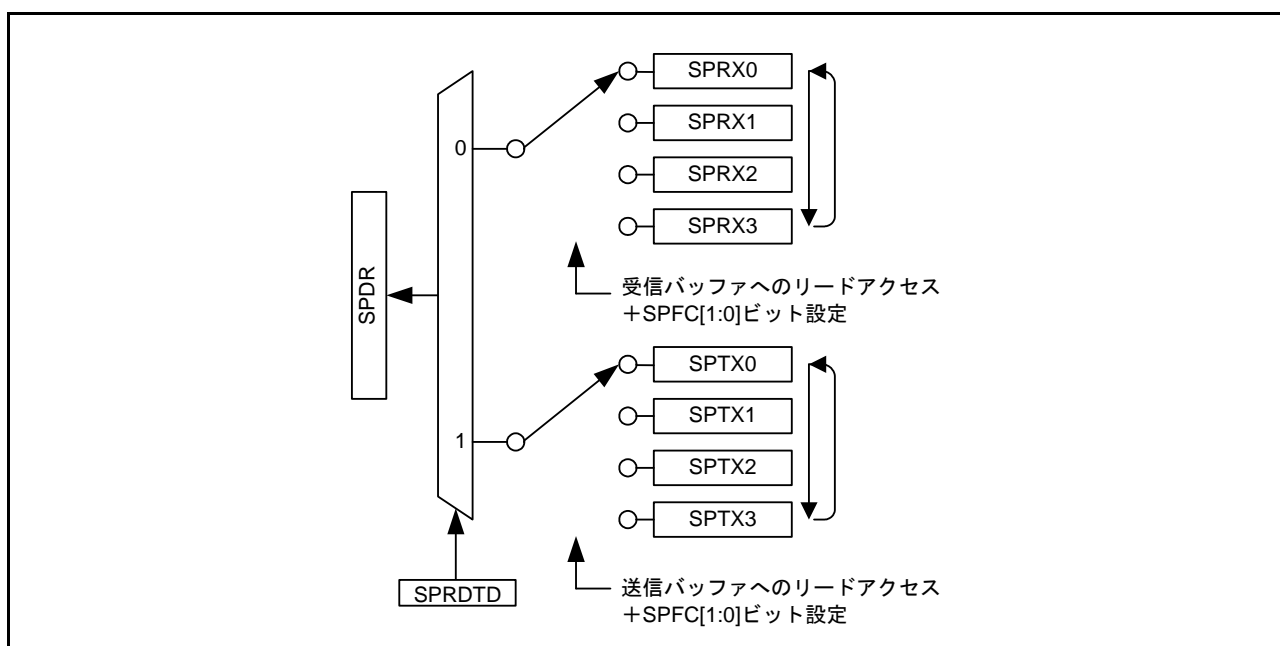


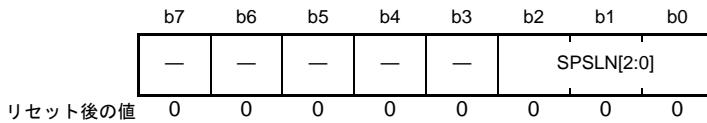
図 32.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が“0”の状態では“1”を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンpty割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンpty割り込みが発生するまでの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファの読み出し値は、すべて“0”となります。

## 32.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	<table border="1"> <tr> <td>b2</td> <td>b0</td> <td>シーケンス長</td> <td>参照するSPCMD0~7レジスタ(番号)</td> </tr> <tr> <td>0 0 0</td> <td>1</td> <td>0→0→...</td> <td></td> </tr> <tr> <td>0 0 1</td> <td>2</td> <td>0→1→0→...</td> <td></td> </tr> <tr> <td>0 1 0</td> <td>3</td> <td>0→1→2→0→...</td> <td></td> </tr> <tr> <td>0 1 1</td> <td>4</td> <td>0→1→2→3→0→...</td> <td></td> </tr> <tr> <td>1 0 0</td> <td>5</td> <td>0→1→2→3→4→0→...</td> <td></td> </tr> <tr> <td>1 0 1</td> <td>6</td> <td>0→1→2→3→4→5→0→...</td> <td></td> </tr> <tr> <td>1 1 0</td> <td>7</td> <td>0→1→2→3→4→5→6→0→...</td> <td></td> </tr> <tr> <td>1 1 1</td> <td>8</td> <td>0→1→2→3→4→5→6→7→0→...</td> <td></td> </tr> </table> 設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ(番号)	0 0 0	1	0→0→...		0 0 1	2	0→1→0→...		0 1 0	3	0→1→2→0→...		0 1 1	4	0→1→2→3→0→...		1 0 0	5	0→1→2→3→4→0→...		1 0 1	6	0→1→2→3→4→5→0→...		1 1 0	7	0→1→2→3→4→5→6→0→...		1 1 1	8	0→1→2→3→4→5→6→7→0→...		R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ(番号)																																					
0 0 0	1	0→0→...																																						
0 0 1	2	0→1→0→...																																						
0 1 0	3	0→1→2→0→...																																						
0 1 1	4	0→1→2→3→0→...																																						
1 0 0	5	0→1→2→3→4→0→...																																						
1 0 1	6	0→1→2→3→4→5→0→...																																						
1 1 0	7	0→1→2→3→4→5→6→0→...																																						
1 1 1	8	0→1→2→3→4→5→6→7→0→...																																						
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

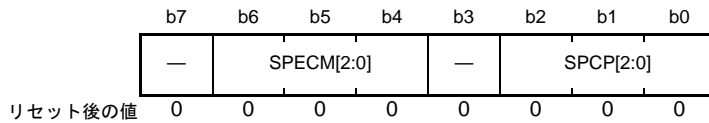
**SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)**

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

## 32.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。  
SPSSR レジスタへの書き込みは無効です。

**SPCP[2:0] ビット (RSPI コマンドポインタビット)**

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD<sub>m</sub> レジスタを示します。  
なお、RSPI のシーケンス制御については、「32.3.10.1 マスタモード動作」を参照してください。

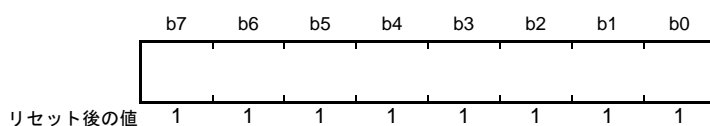
**SPECM[2:0] ビット (RSPI エラーコマンドビット)**

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD<sub>m</sub> レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「32.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「32.3.10.1 マスタモード動作」を参照してください。

## 32.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”の場合、SPBR レジスタを書き換えしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, ……), N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 32.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 32.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート PCLK = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

## 32.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

**SPFC[1:0] ビット (フレーム数設定ビット)**

SPDR レジスタに格納できる(1回の転送起動)フレーム数を設定します。SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI受信バッファフル割り込みが発生と送信バッファエンpty割り込みが発生または送信開始するためのフレーム数も変更します。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンpty割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり RSPI 受信バッファフル割り込みが発生します。

表 32.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。



表 32.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

**SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)**

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「32.2.5 RSPI データレジスタ (SPDR)」を参照してください。

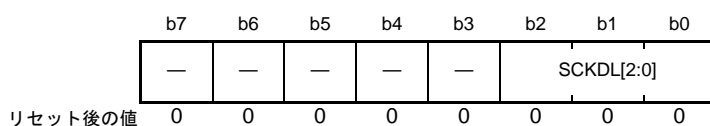
**SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)**

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットは選択しないでください。

## 32.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPCKD レジスタを書き換えしないでください。

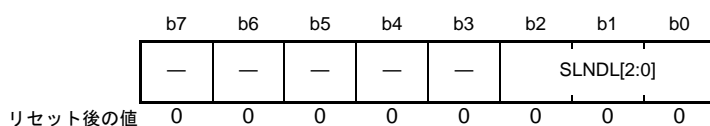
**SCKDL[2:0] ビット (RSPCK 遅延設定ビット)**

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

## 32.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLAi信号をネゲートするまでの期間(SSLネゲート遅延)を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の場合、SSLNDレジスタを書き換えしないでください。

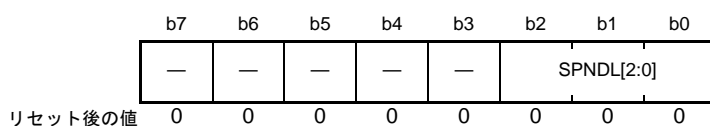
**SLNDL[2:0]ビット(SSLネゲート遅延設定ビット)**

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

## 32.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間(次アクセス遅延)を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPND レジスタを書き換えしないでください。

**SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)**

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

## 32.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う (SPCR.TXMD = 0 のとき) 送信データにパリティビットを付加するが、受信データ のパリティチェックは行わない (SPCR.TXMD = 1 のとき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPI アイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の場合、SPCR2 レジスタの SPPE、SPOE ビットの設定値を変更しないでください。

**SPPE ビット (パリティ許可ビット)**

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

**SPOE ビット (パリティモードビット)**

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

**SPIIE ビット (RSPI アイドル割り込み許可ビット)**

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

**PTE ビット (パリティ自己診断ビット)**

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

32.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,  
RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,  
RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA	
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1 RSPCK + 2 PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1 RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1 RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の場合、SPCMDm レジスタを書き換えしないでください。

#### CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

#### CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

#### BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「32.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

#### SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

#### SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「32.3.10.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

**SPB[3:0] ビット (RSPI データ長設定ビット)**

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPLW ビットが“0”のときは、“0100b”(8ビット)～“1111b”(16ビット)の範囲で値を設定してください。

**LSBF ビット (RSPI LSB ファーストビット)**

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSB ファーストにするかLSB ファーストにするかを選択します。

**SPNDEN ビット (RSPI 次アクセス遅延許可ビット)**

マスタモードのRSPIがシリアル転送を終了してSSLAi信号を非アクティブにしてから、次アクセスのSSLAi信号アサートを可能にするまでの期間(次アクセス遅延)を設定します。SPNDENビットが“0”のとき、RSPIは次アクセス遅延を1RSPCK+2PCLKにします。SPNDENビットが“1”のとき、RSPIはSPNDレジスタの設定に従った次アクセス遅延を挿入します。

RSPIをスレーブモードで使用する場合には、SPNDENビットを“0”にしてください。

**SLNDEN ビット (SSL ネゲート遅延設定許可ビット)**

マスタモードのRSPIが、RSPCKを発振停止してからSSLAi信号を非アクティブにするまでの期間(SSLネゲート遅延)を設定します。SLNDENビットが“0”のとき、RSPIはSSLネゲート遅延を1RSPCKにします。SLNDENビットが“1”のとき、RSPIはSSLNDレジスタの設定に従ったRSPCK遅延でSSLをネゲートします。

RSPIをスレーブモードで使用する場合には、SLNDENビットを“0”にしてください。

**SCKDEN ビット (RSPCK 遅延設定許可ビット)**

マスタモードのRSPIが、SSLAi信号をアクティブにしてからRSPCKを発振するまでの期間(RSPCK遅延)を設定します。SCKDENビットが“0”のとき、RSPIはRSPCK遅延を1RSPCKにします。SCKDENビットが“1”のとき、RSPIはSPCKDレジスタの設定に従ったRSPCK遅延でRSPCKの発振を開始します。

RSPIをスレーブモードで使用する場合には、SCKDENビットを“0”にしてください。



### 32.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

#### 32.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 32.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 32.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	SPI 動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKA 信号	入力	出力	出力 /Hi-Z	入力	出力
MOSIA 信号	入力	出力	出力 /Hi-Z	入力	出力
MISOA 信号	出力 /Hi-Z	入力	入力	出力	入力
SSLA0 信号	入力	出力	入力	Hi-Z(注1)	Hi-Z(注1)
SSLA1～SSLA3 信号	Hi-Z(注1)	出力	出力 /Hi-Z	Hi-Z(注1)	Hi-Z(注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送レート	～ PCLK/8	～ PCLK/2	～ PCLK/2	～ PCLK/8	～ PCLK/2
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ	内蔵ポーレートジェネレータ	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ～ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	RSPCK 発振	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバランエラー検出	あり (注2)				
パリティエラー検出	あり (注2、注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMD ビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPE ビットが“0”のときは、パリティエラー検出を行いません。

### 32.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR、MODFEN、SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。I/O ポートの ODRn.Bi ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を表 32.6 に示します。I/O ポートの設定も同じとなるよう設定してください。

表 32.6 RSPI 端子の状態と制御ビット設定値の関係

モード	端子	端子状態(注2)	
		I/OポートのODRn.Biビット=0	I/OポートのODRn.Biビット=1
シングルマスタ (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3	CMOS出力	オープンドレイン出力
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
マルチマスタ (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKA(注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLA0	入力	入力
	SSLA1~SSLA3(注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIA(注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MISOA	入力	入力
スレーブ (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKA	入力	入力
	SSLA0	入力	入力
	SSLA1~SSLA3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIA	入力	入力
	MISOA(注4)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKA	入力	入力
	SSLA0~SSLA3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIA	入力	入力
	MISOA	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLA0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLA0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) のRSPIは、SPPCR.MOIFE、MOIFV ビットの設定に従って、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSI信号値を表 32.7 のように決定します。

表 32.7 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIA信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

### 32.3.3 RSPI システム構成例

#### 32.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 32.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

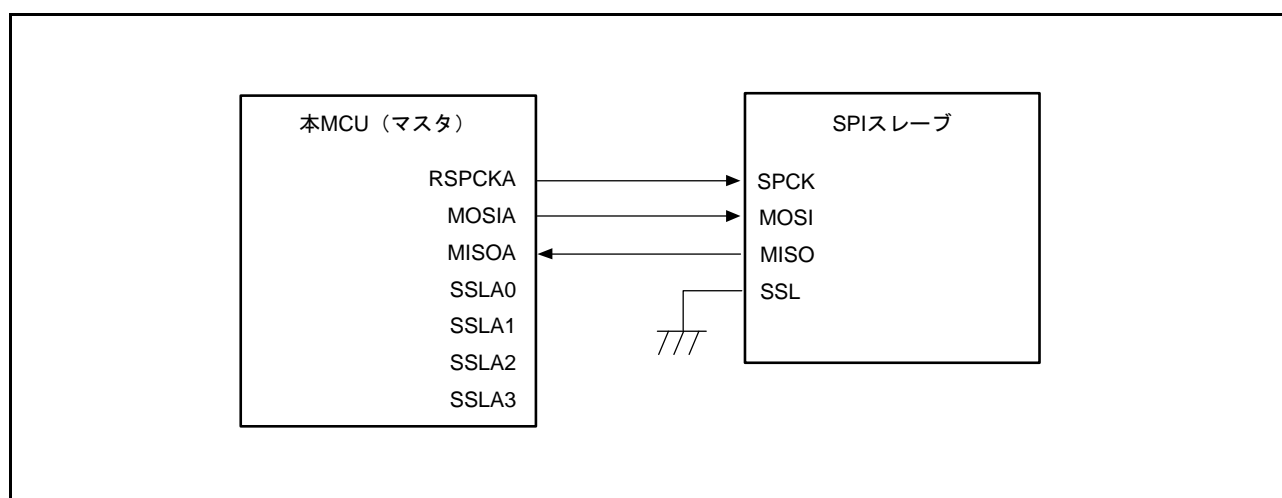


図 32.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

### 32.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 32.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 32.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

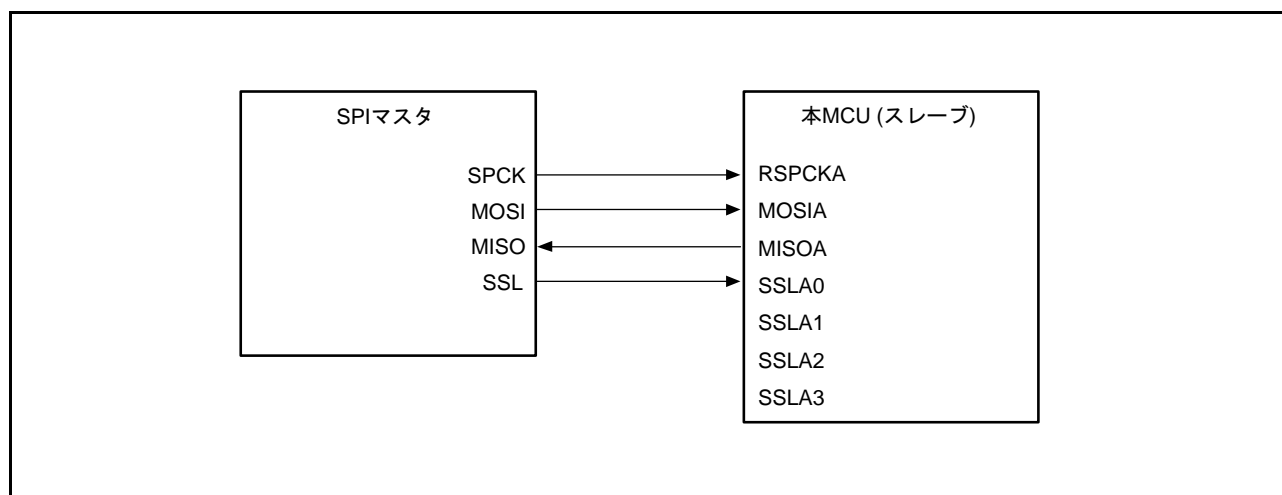


図 32.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

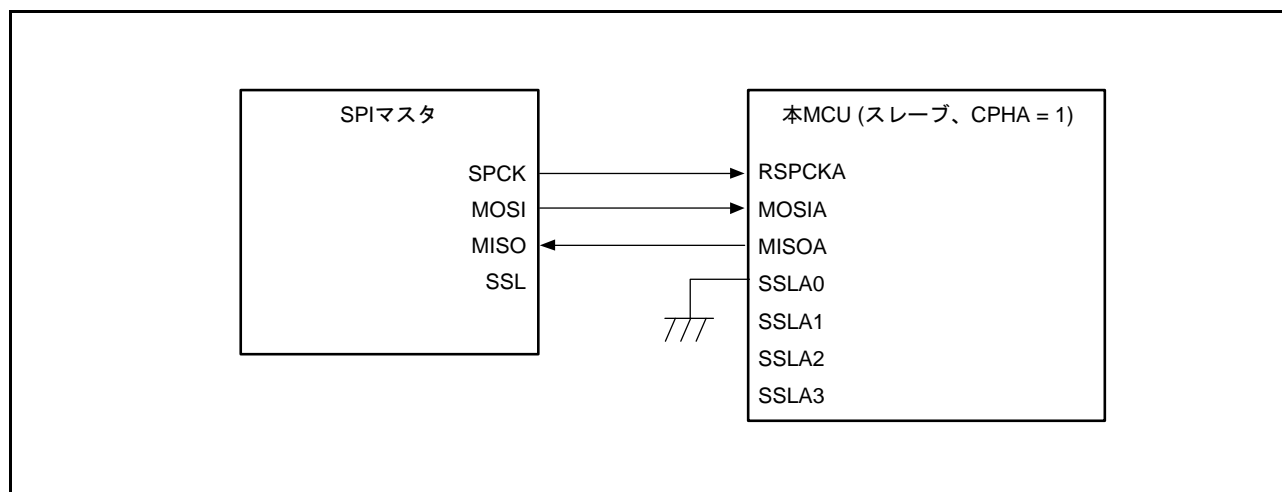


図 32.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

### 32.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 32.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 32.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

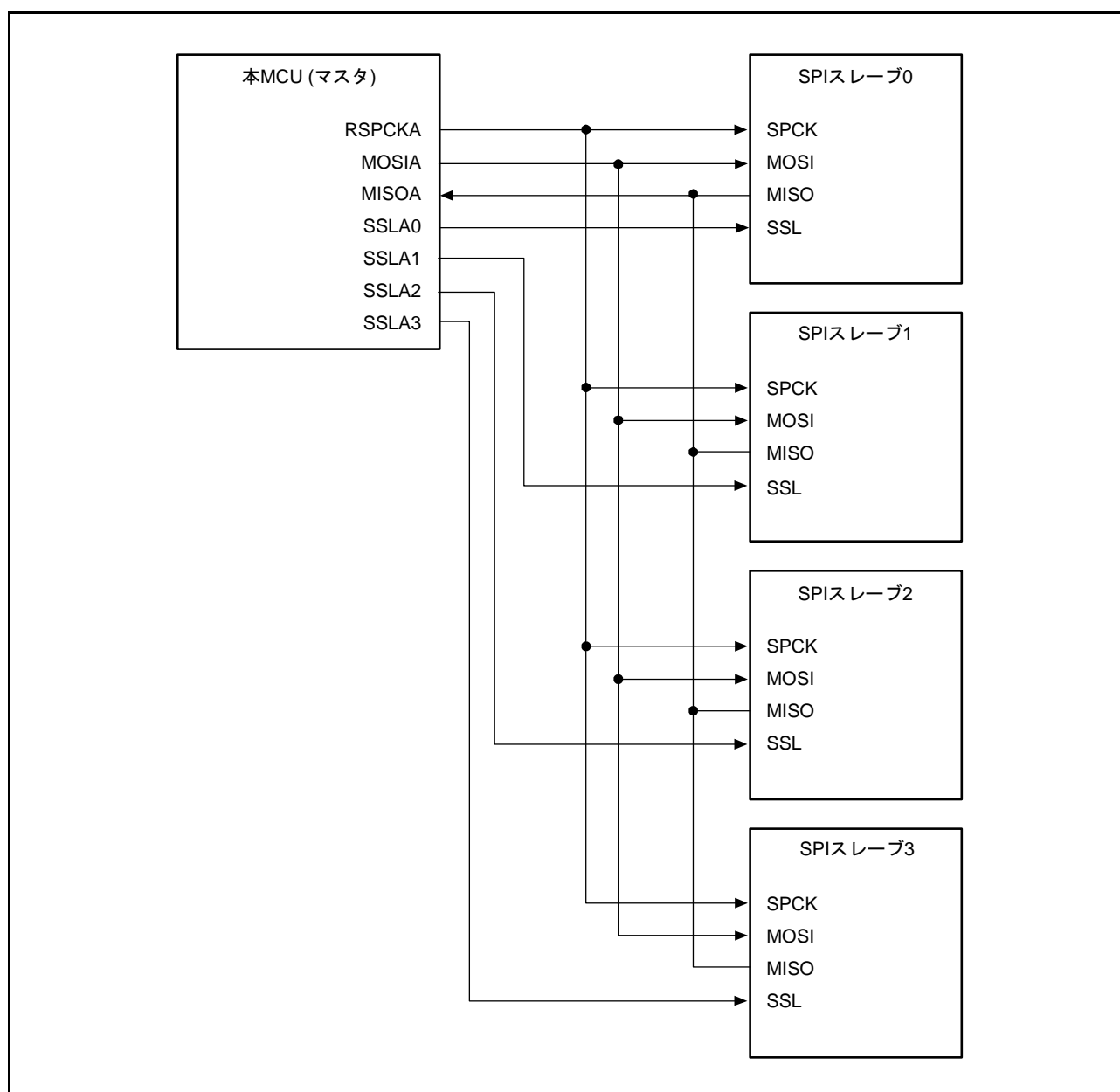


図 32.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

### 32.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 32.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 32.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

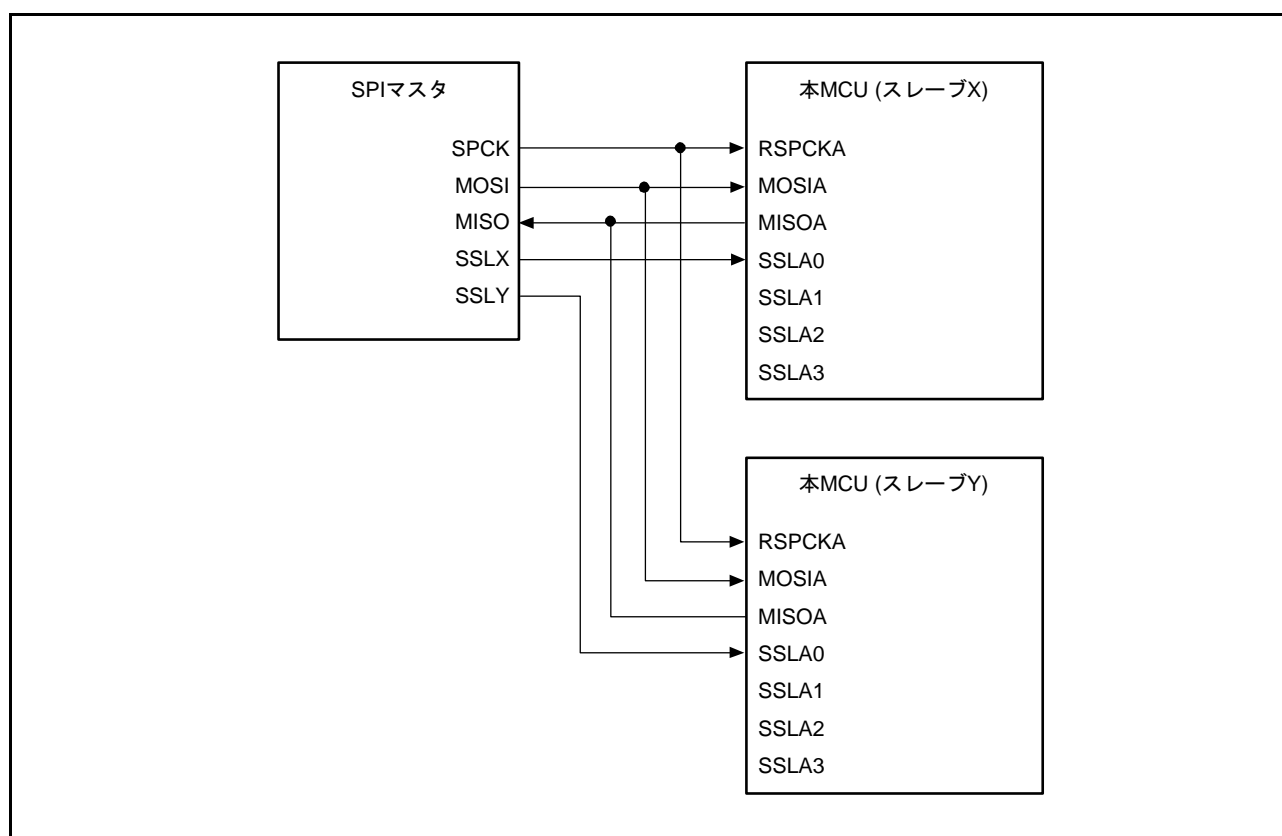


図 32.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

### 32.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 32.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 32.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

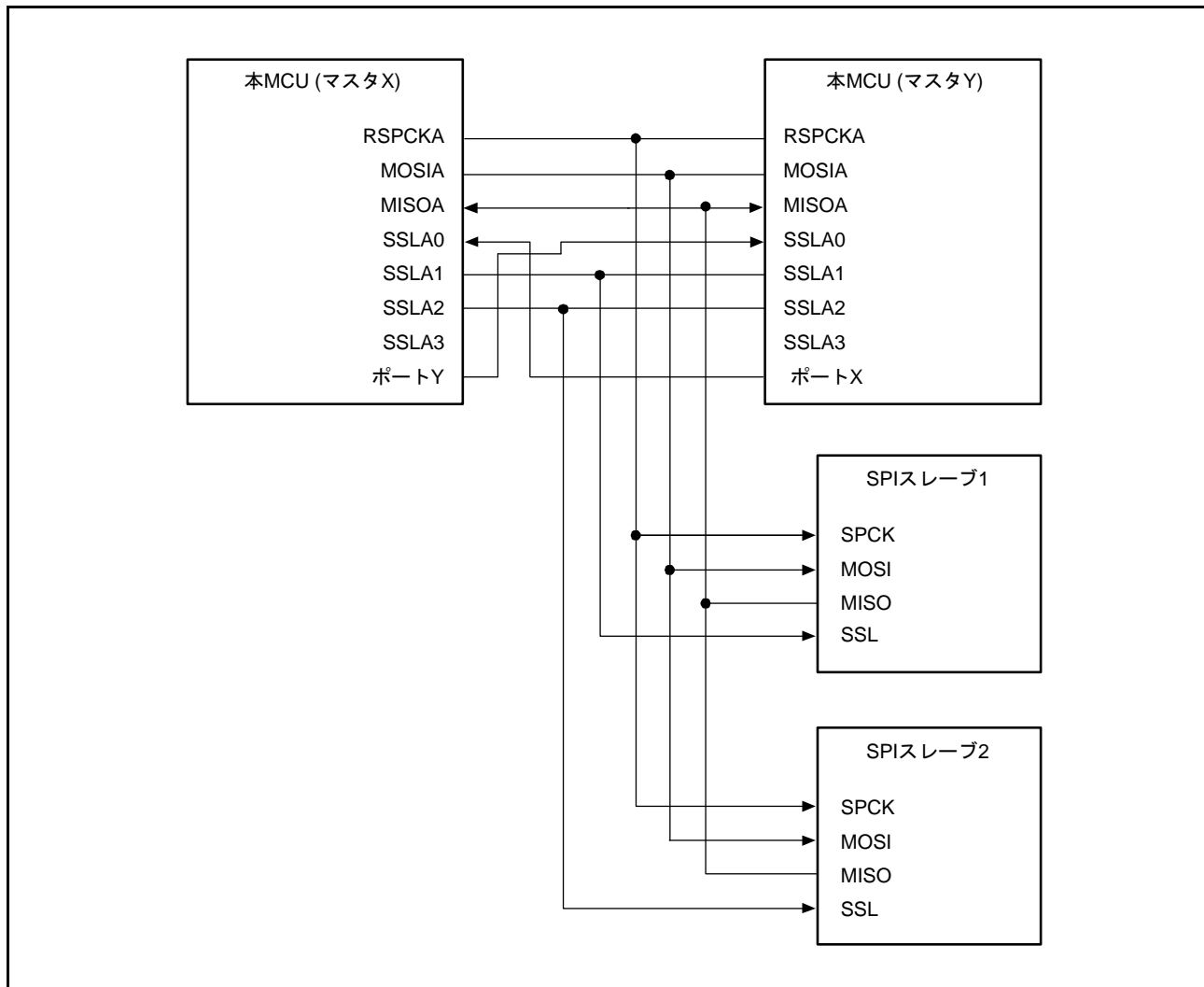


図 32.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

### 32.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 32.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

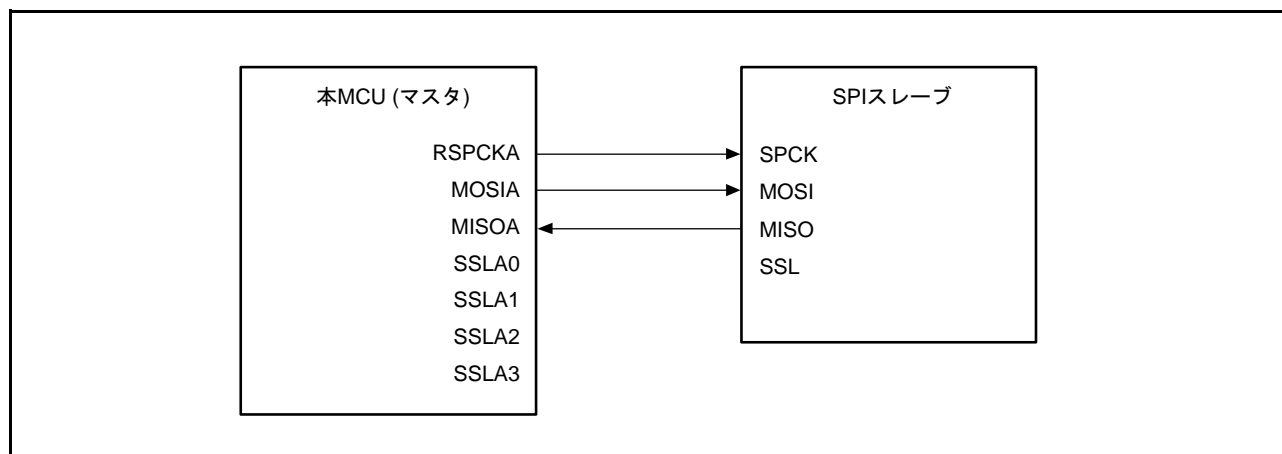


図 32.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

### 32.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 32.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

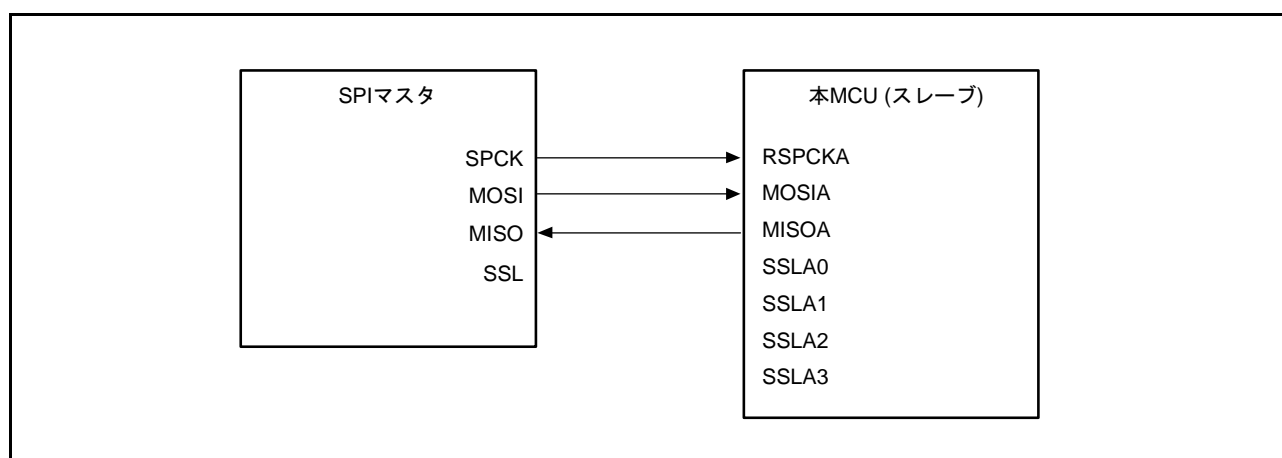


図 32.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例  
(本 MCU = スレーブ、CPHA = 1)



### 32.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ  $m$  (SPCMD $m$ )、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

#### (a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ  $m$  の RSPI データ長設定ビット (SPCMD $m$ .SPB[3:0]) で設定したビット長のデータの送受信を行います。

#### (b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ  $m$  の RSPI データ長設定ビット (SPCMD $m$ .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

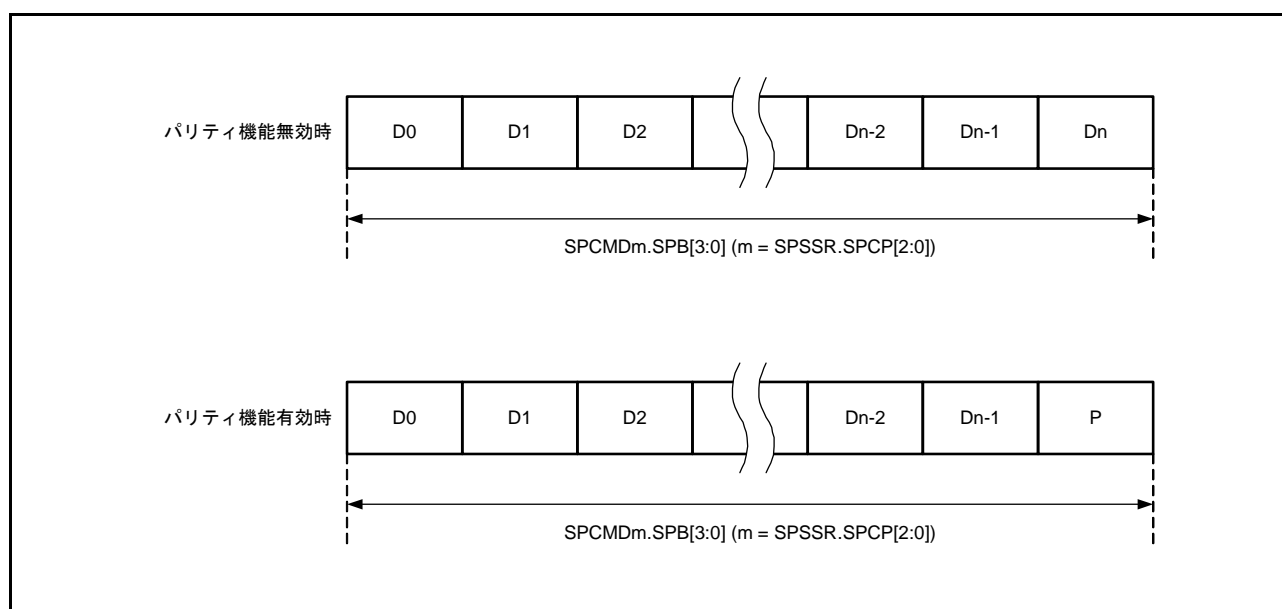


図 32.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

### 32.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

#### (1) MSB ファースト転送 (32 ビットデータ)

図 32.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

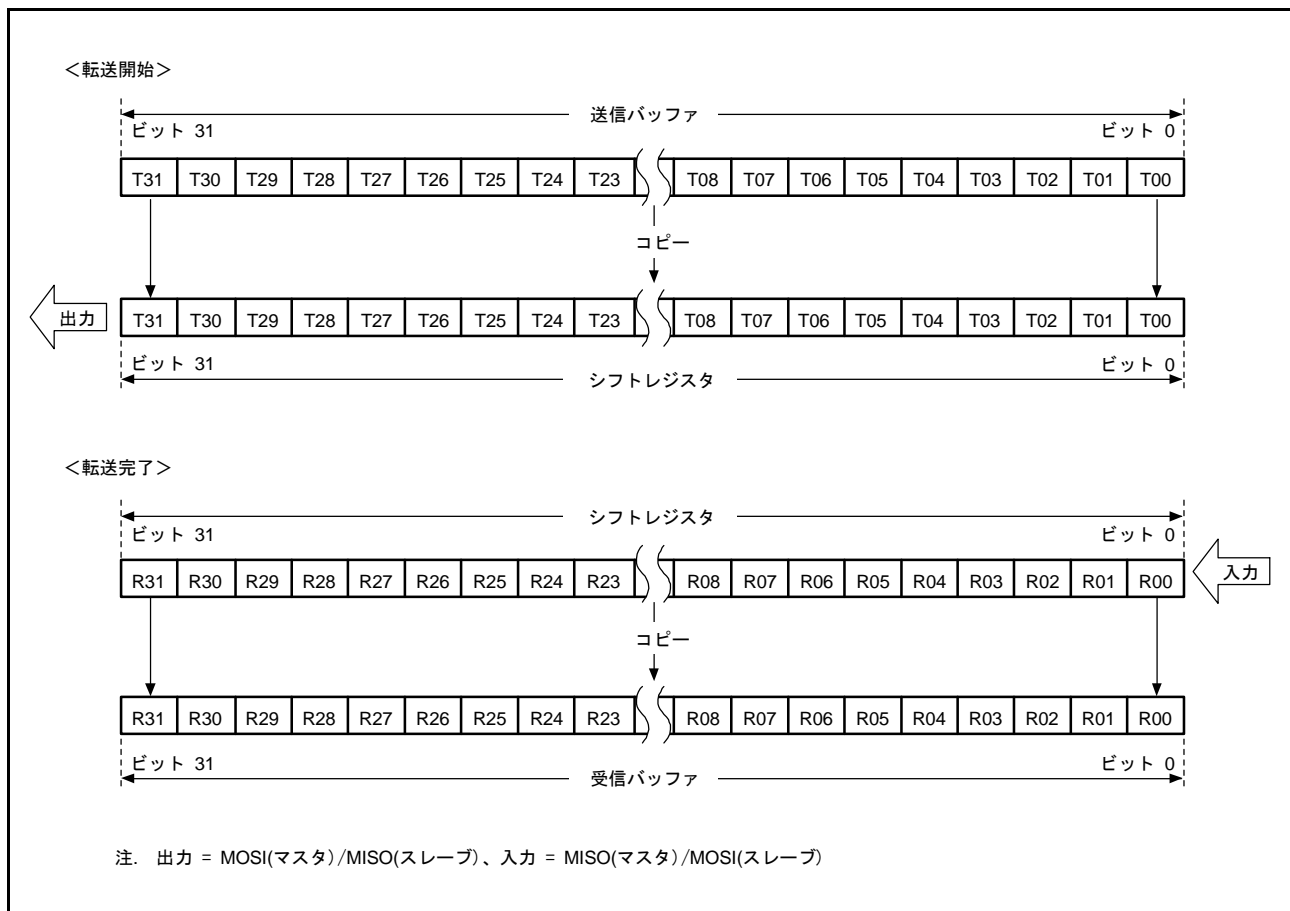


図 32.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

## (2) MSB ファースト転送 (24 ビットデータ)

図 32.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

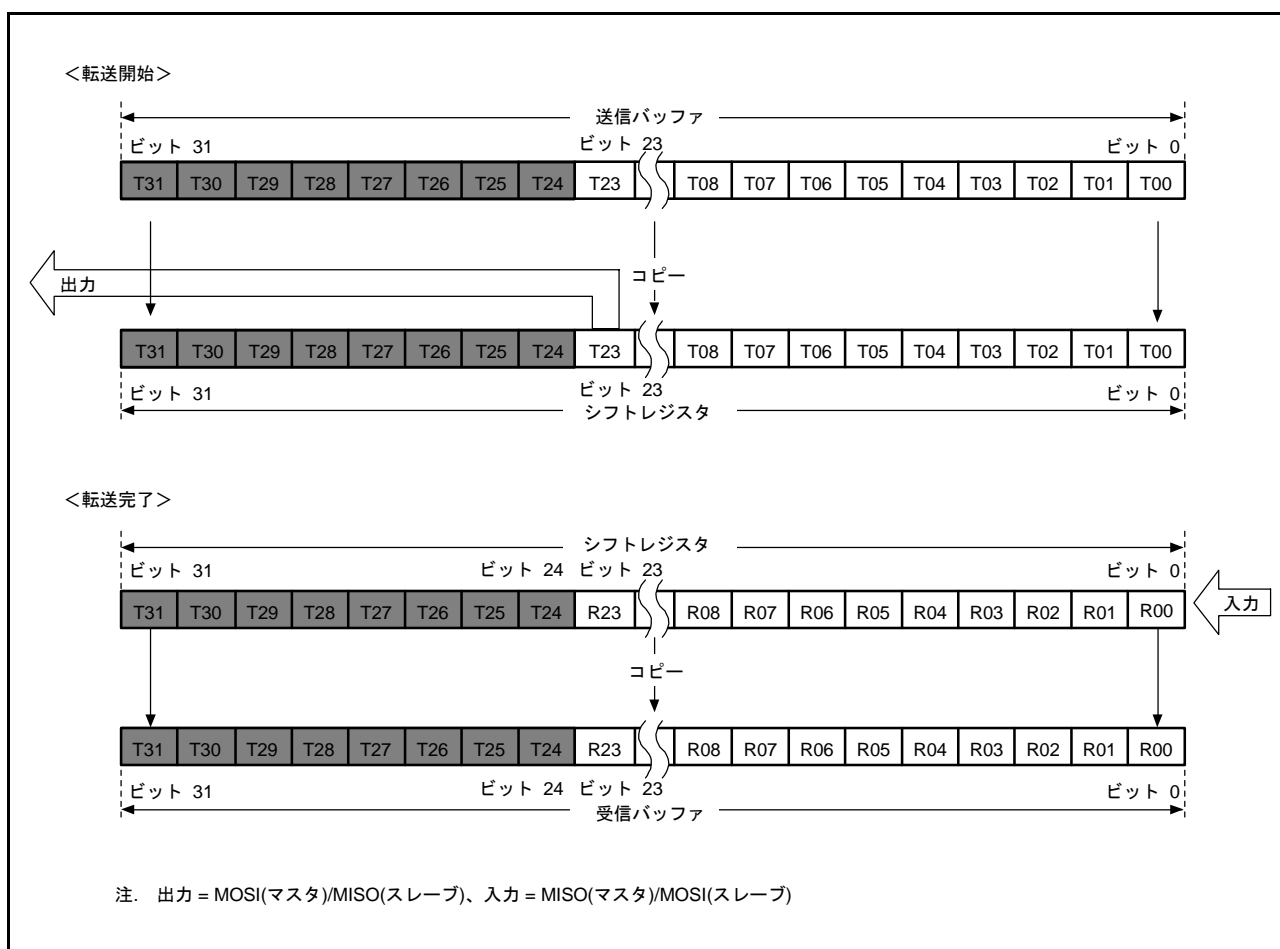


図 32.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

## (3) LSB ファースト転送 (32 ビットデータ)

図 32.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

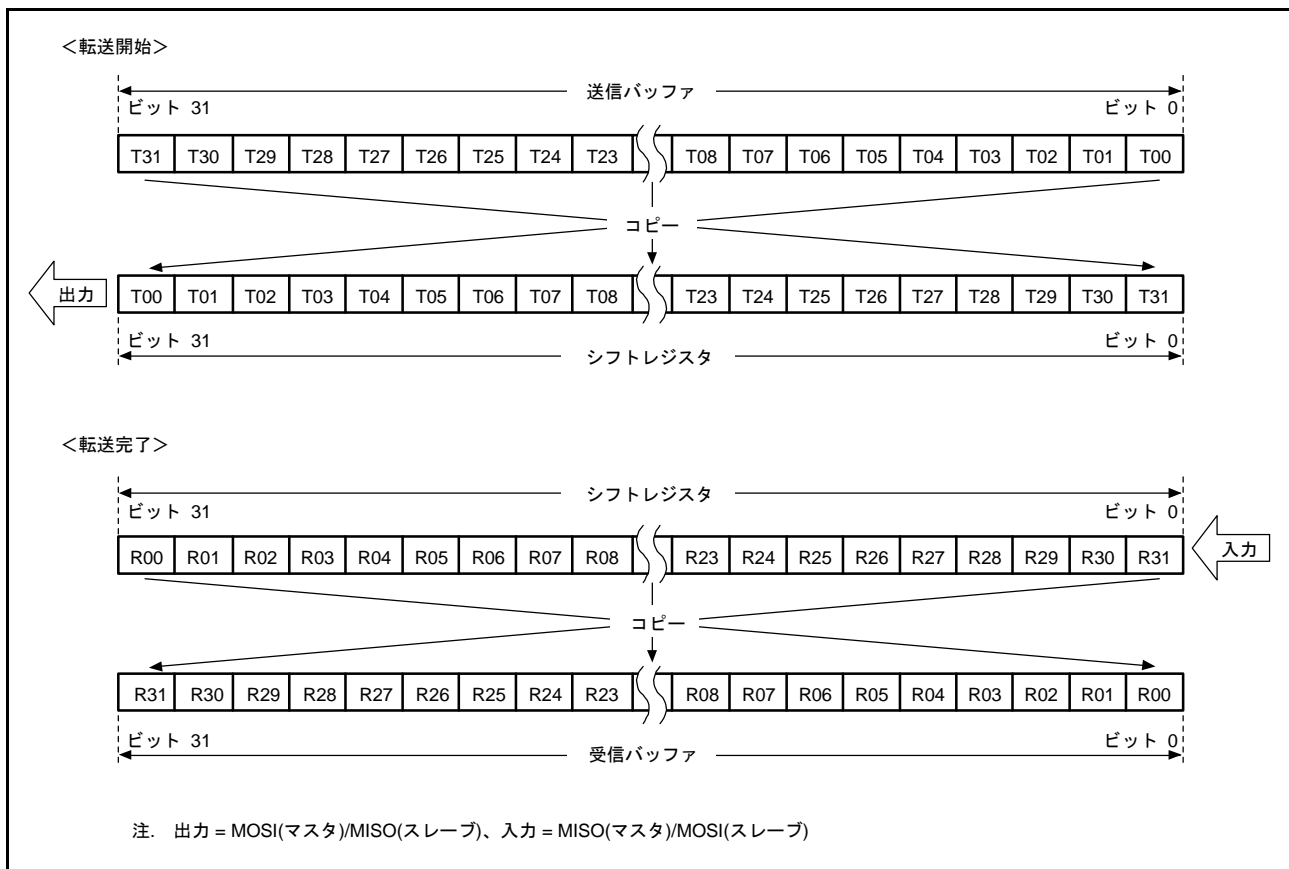


図 32.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 32.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

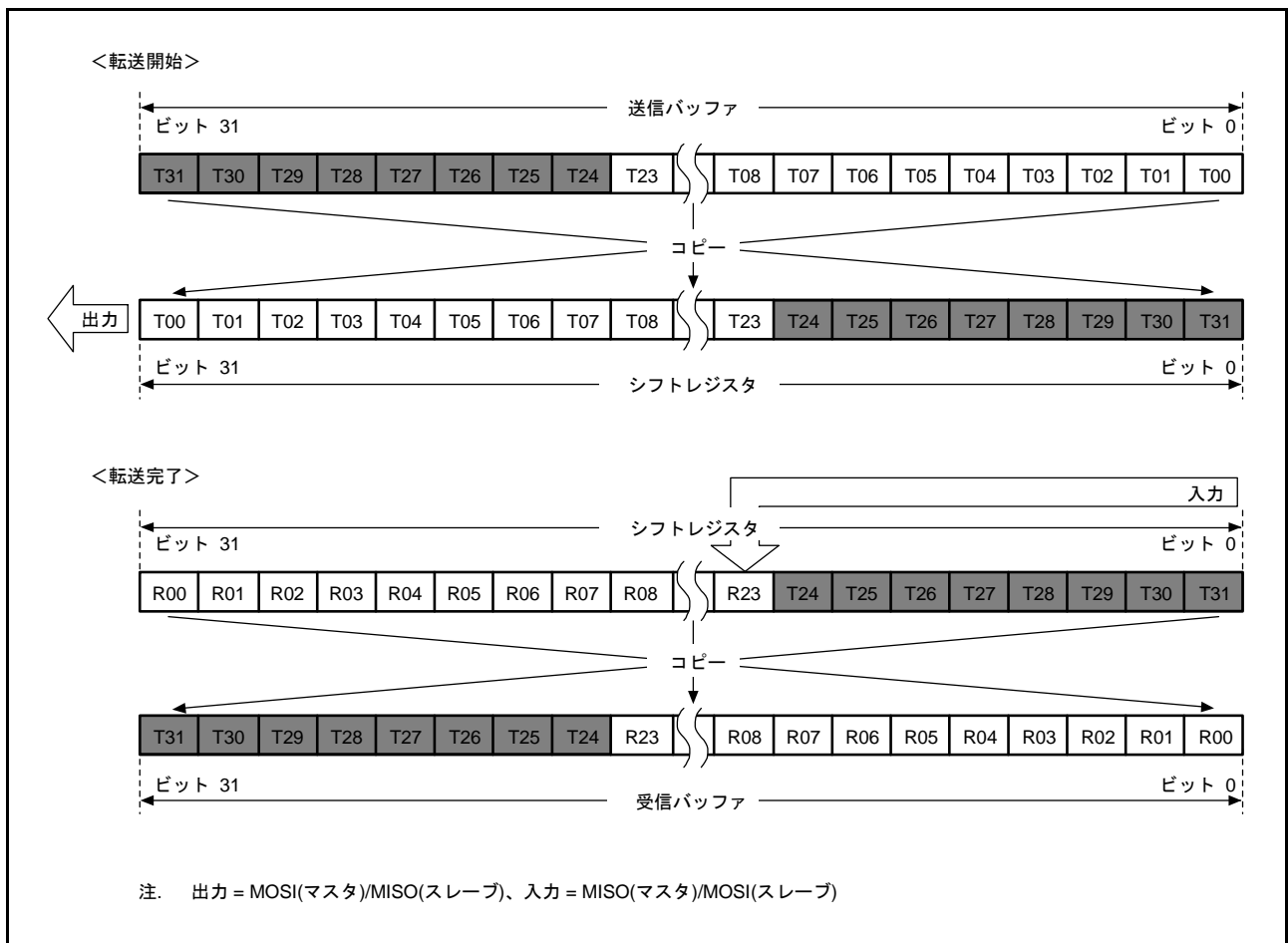


図 32.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

## 32.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

## (1) MSB ファースト転送 (32 ビットデータ)

図 32.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

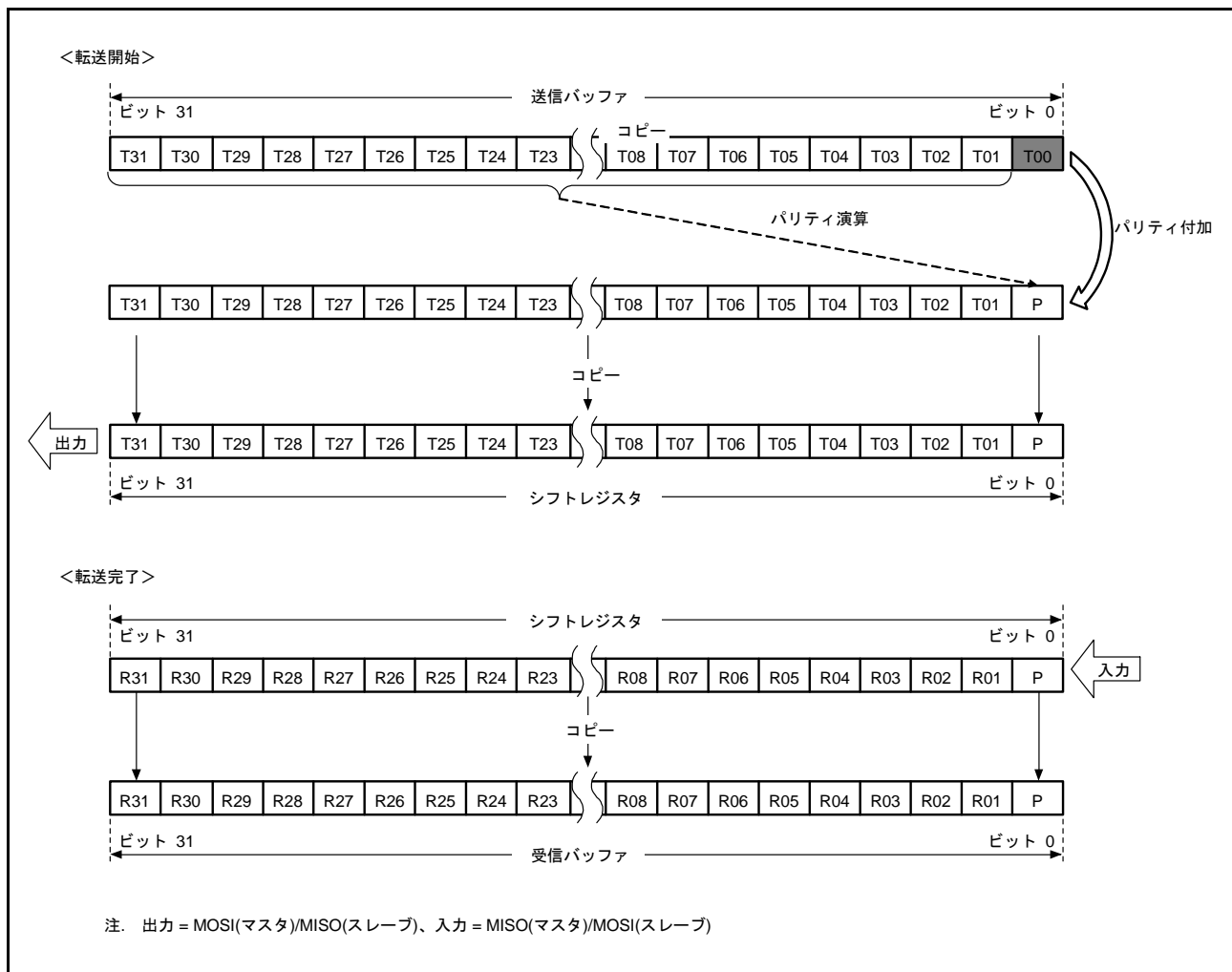


図 32.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 32.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

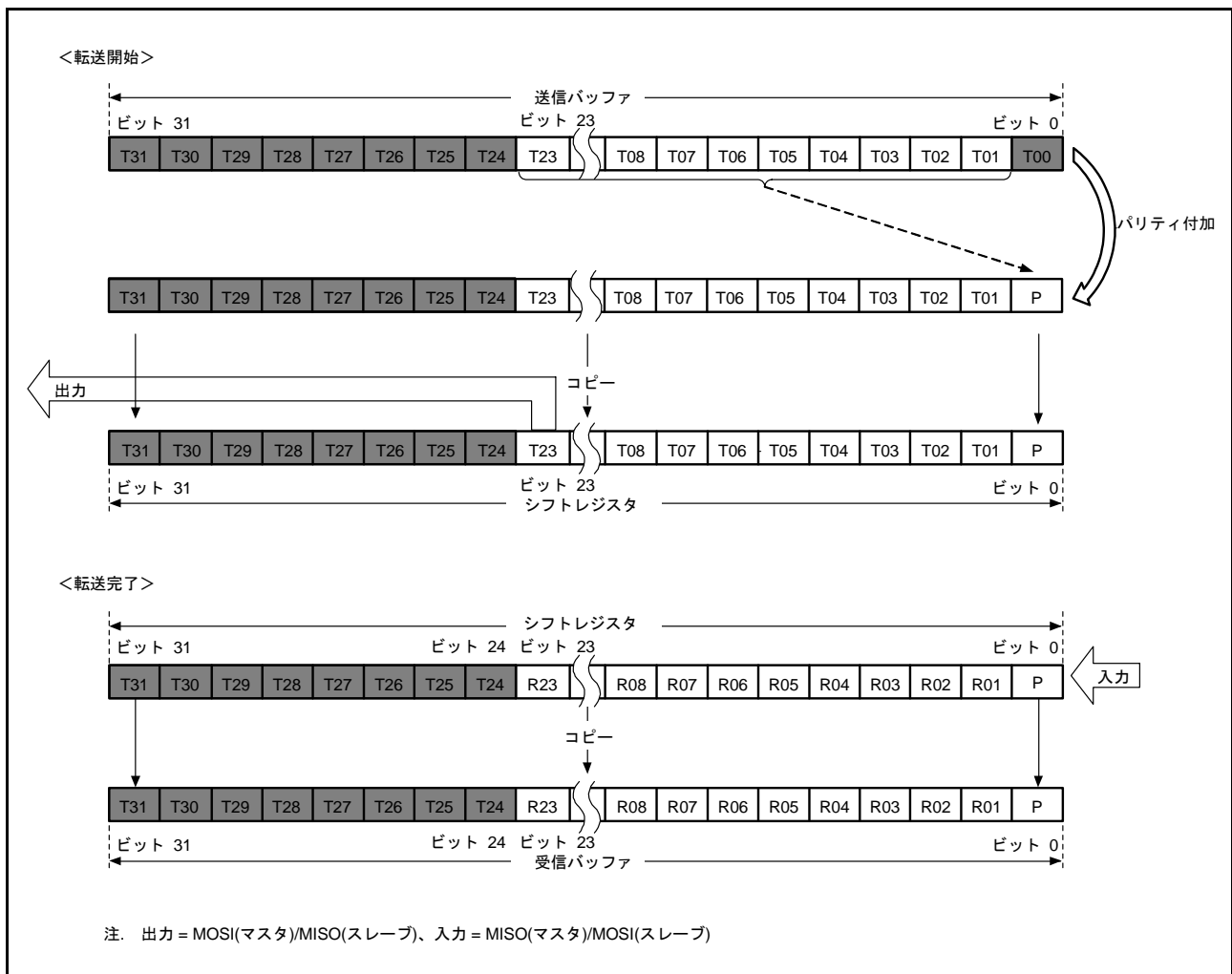


図 32.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 32.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまとると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

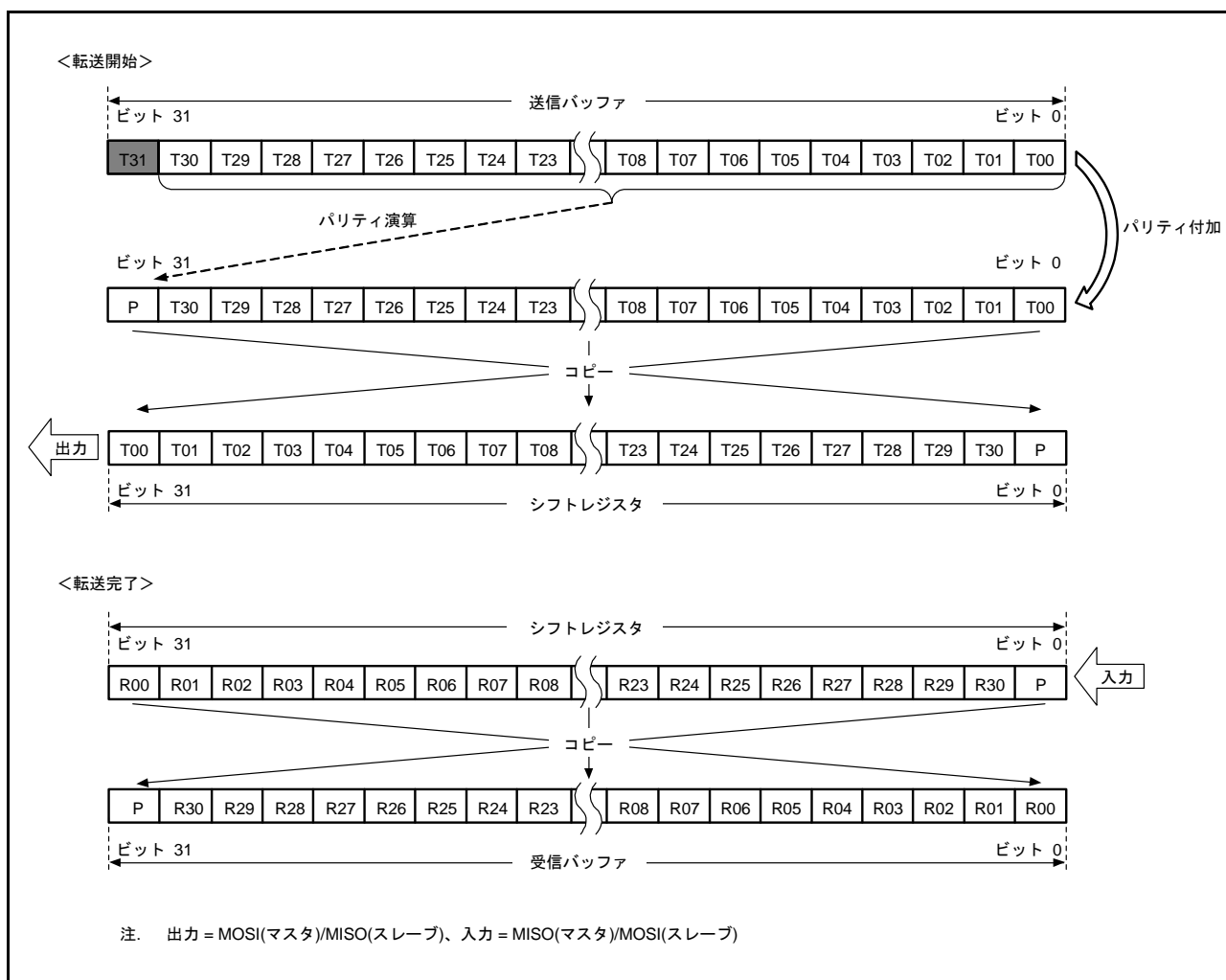


図 32.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)



(4) LSB ファースト転送 (24 ビットデータ)

図 32.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

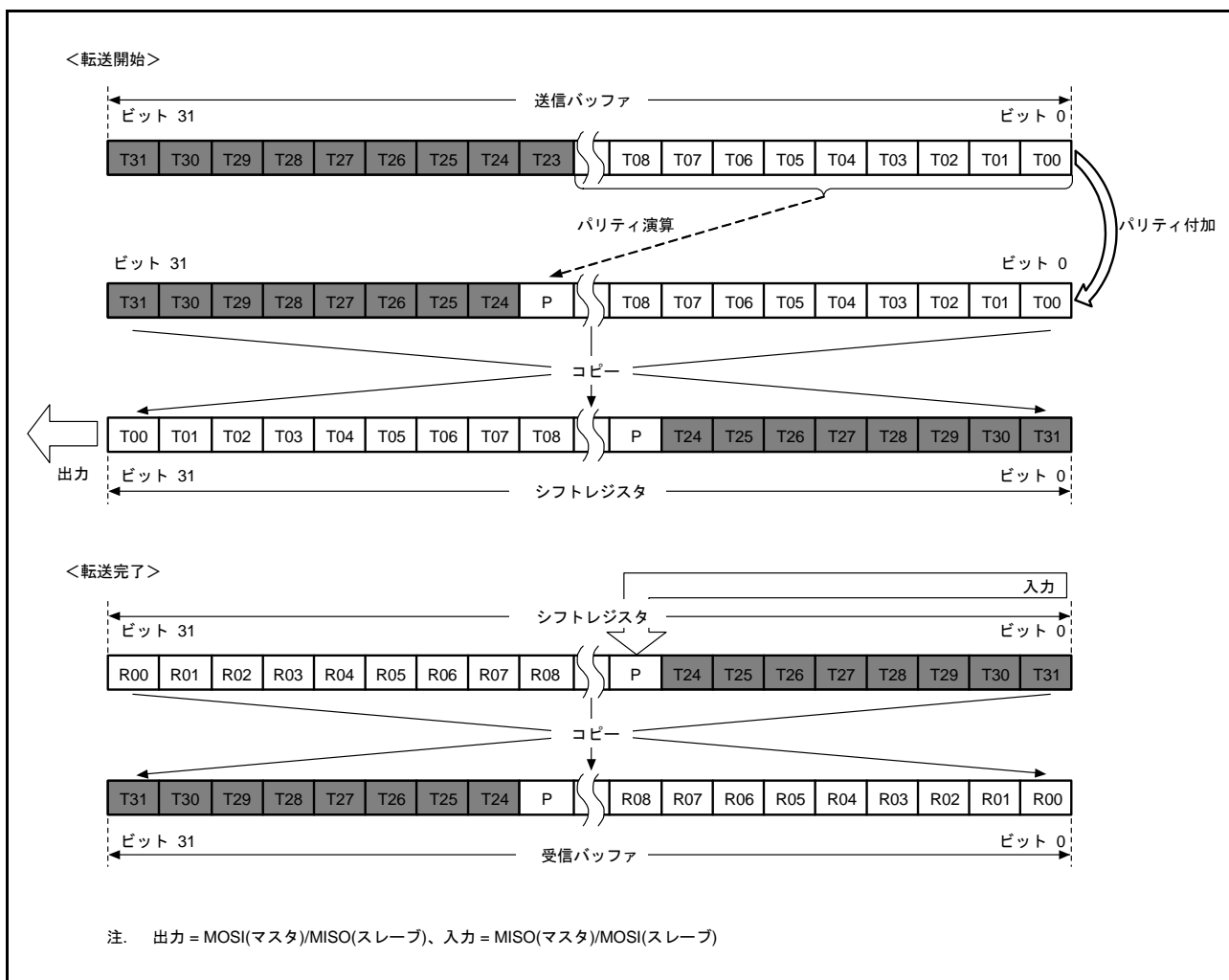


図 32.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

### 32.3.5 転送フォーマット

#### 32.3.5.1 CPHA ビット = 0 の場合

図 32.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 32.22 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「32.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「32.3.10.1 マスタモード動作」を参照してください。

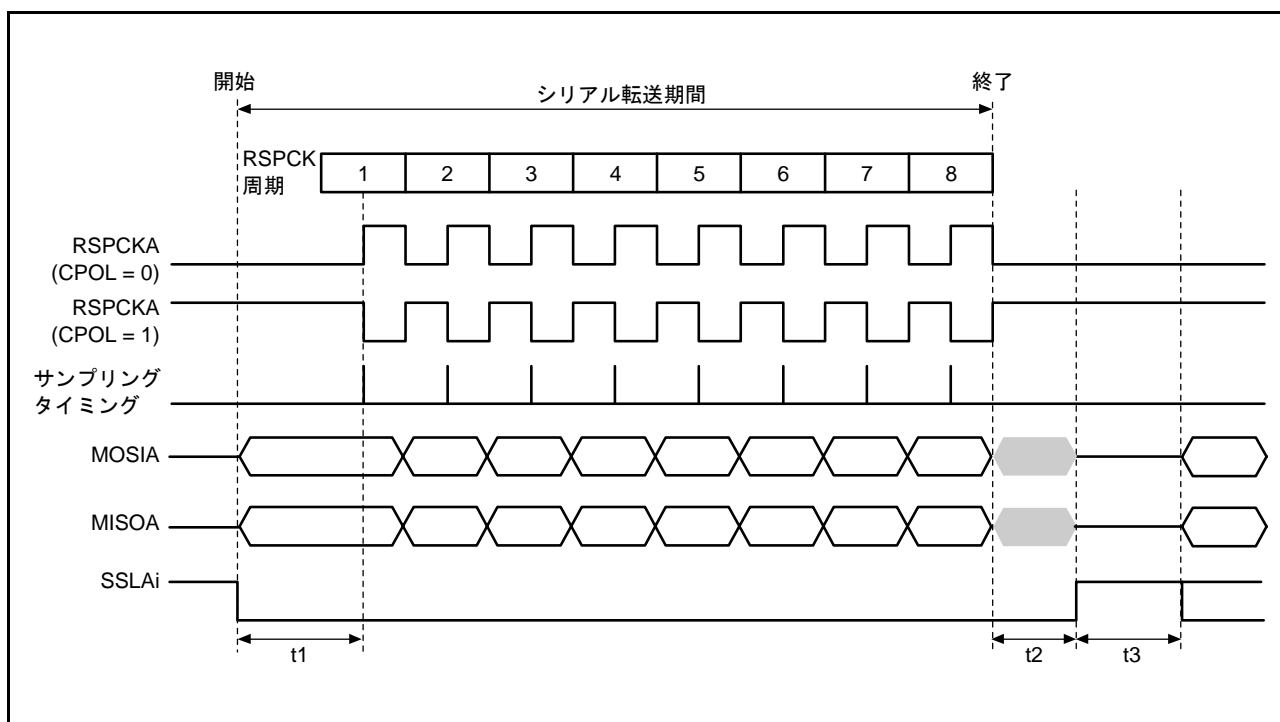


図 32.22 RSPI 転送フォーマット (CPHA ビット = 0)

### 32.3.5.2 CPHA ビット = 1 の場合

図 32.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 32.23 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「32.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「32.3.10.1 マスタモード動作」を参照してください。

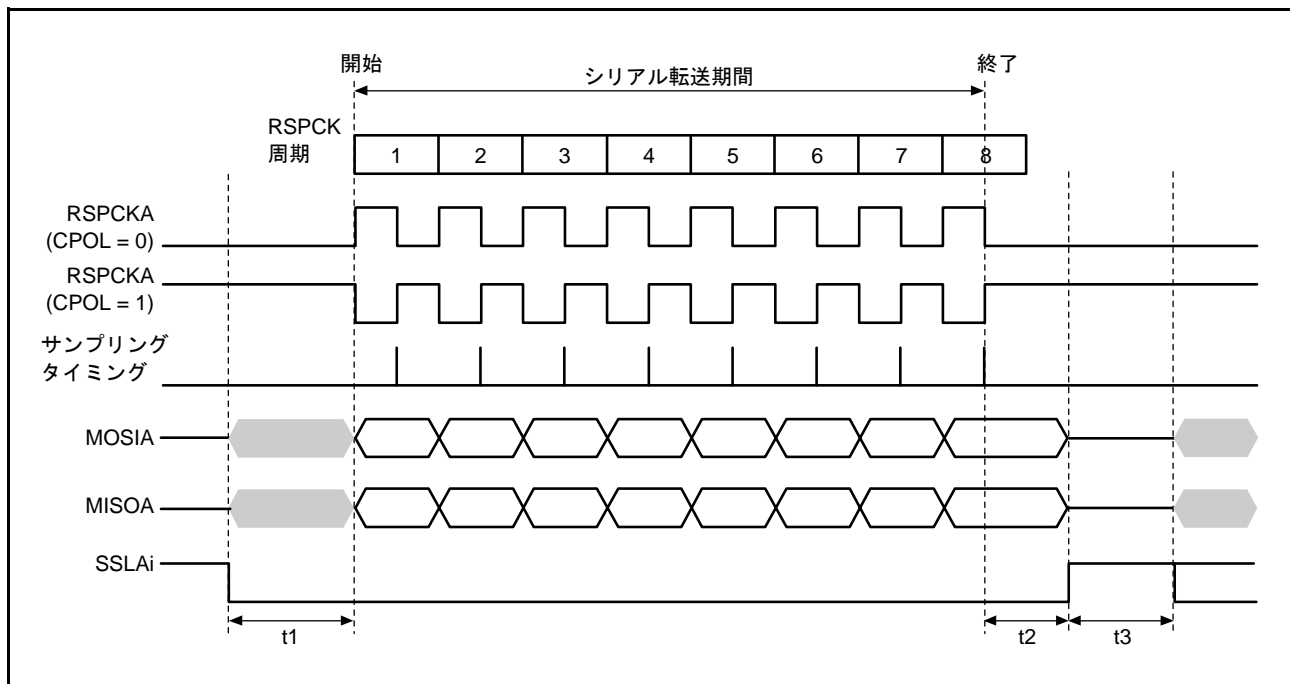


図 32.23 RSPI 転送フォーマット (CPHA ビット = 1)

### 32.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 32.24、図 32.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

#### 32.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 32.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 32.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

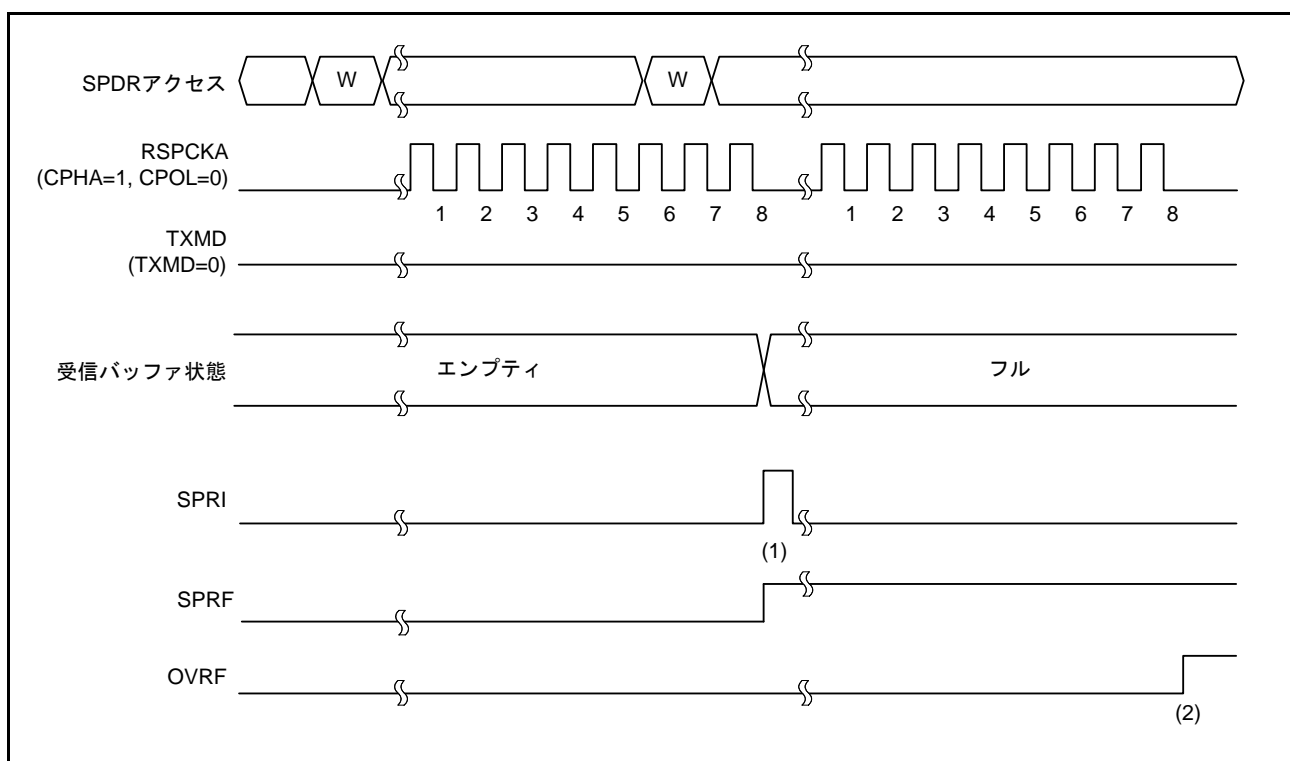


図 32.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

## 32.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 32.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 32.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

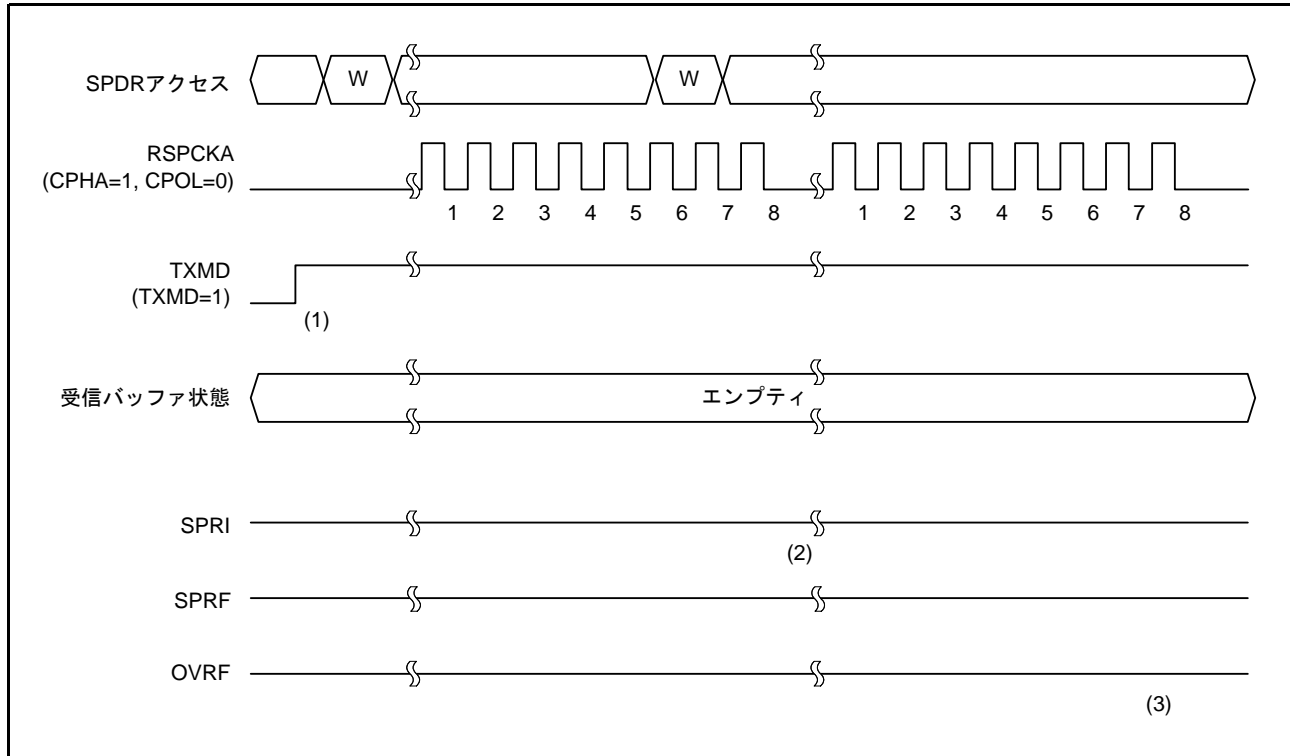


図 32.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD = 1) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

## 32.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 32.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 32.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 32.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

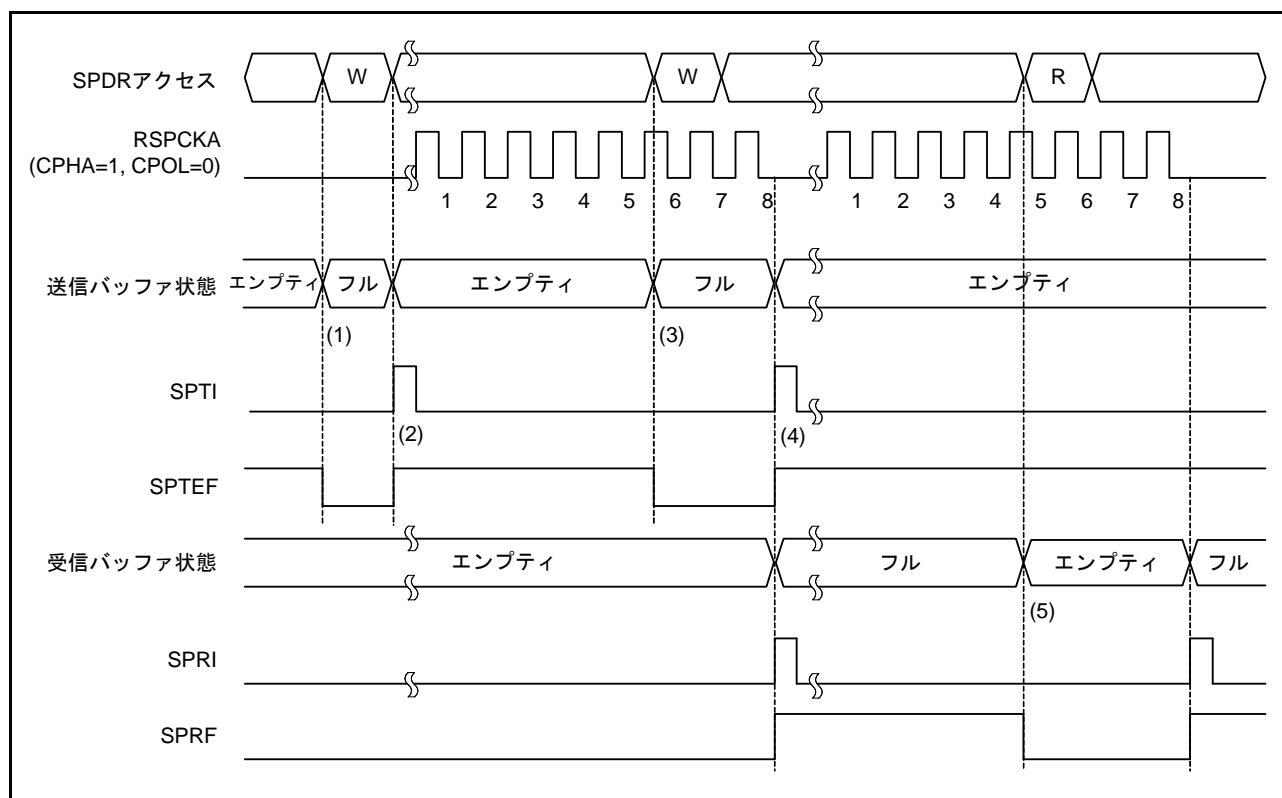


図 32.26 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を発生し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「32.3.10 SPI 動作」、「32.3.11 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生させ、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが“0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンpty割り込みルーチンまたは SPTEF フラグによる送信バッファエンpty判定処理で行ってください。また、送信バッファエンpty割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

SPCR.SPE ビットを“0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に“0”にしてください。SPCR.SPE ビットが“0”のときに SPCR.SPTIE ビットが“1”であると、送信バッファエンpty割り込み要求が発生します。

受信バッファフル (SPRF フラグが“1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「32.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、SPTEF フラグ / SPRF フラグによって確認することもできます。



### 32.3.8 エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 32.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 32.8 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> <li>送信バッファ内容を保持</li> <li>書き込みデータ欠落</li> </ul>	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回受信したデータをバスに出力	なし
3	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> <li>RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止</li> <li>RSPI機能は無効</li> </ul>	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止</li> <li>RSPI機能は無効</li> </ul>	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> <li>シリアル転送中断</li> <li>送受信データ欠落</li> <li>MISOA出力信号のドライブ停止</li> <li>RSPI機能は無効</li> </ul>	モードフォルトエラー検出

表 32.8 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、または SPSR.SPTEF フラグが“1”のときに SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI 受信バッファフル割り込み要求発生時、または SPSR.SPRF フラグが“1”のときに SPDR レジスタの読み出しを実行するようにしてください。

3 に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、3 に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR レジスタの受信バッファに保持されているので、正しく読み出されます (シリアル転送が終了する前に SPDR レジスタを読み出さないと、オーバランエラーが発生します)。

4 に示したオーバランエラーについては「32.3.8.1 オーバランエラー」で、5 に示したパリティエラーについては「32.3.8.2 パリティエラー」で説明します。また、6～8 に示したモードフォルトエラーについては「32.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「32.3.7 送信バッファエンプティ / 受信バッファフル割り込み」を参照してください。



### 32.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 32.27 に、SPRF フラグと OVRF フラグの動作を示します。図 32.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 32.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

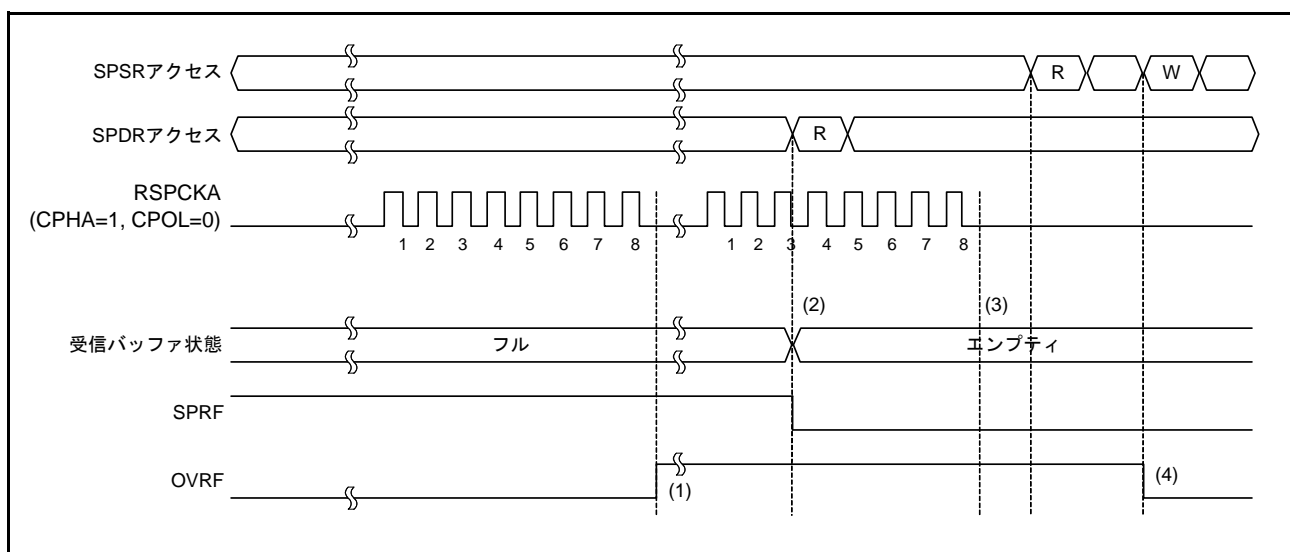


図 32.27 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態 で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出

しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

### 32.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 32.28 に、OVRF フラグと PERF フラグの動作を示します。図 32.28 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 32.28 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

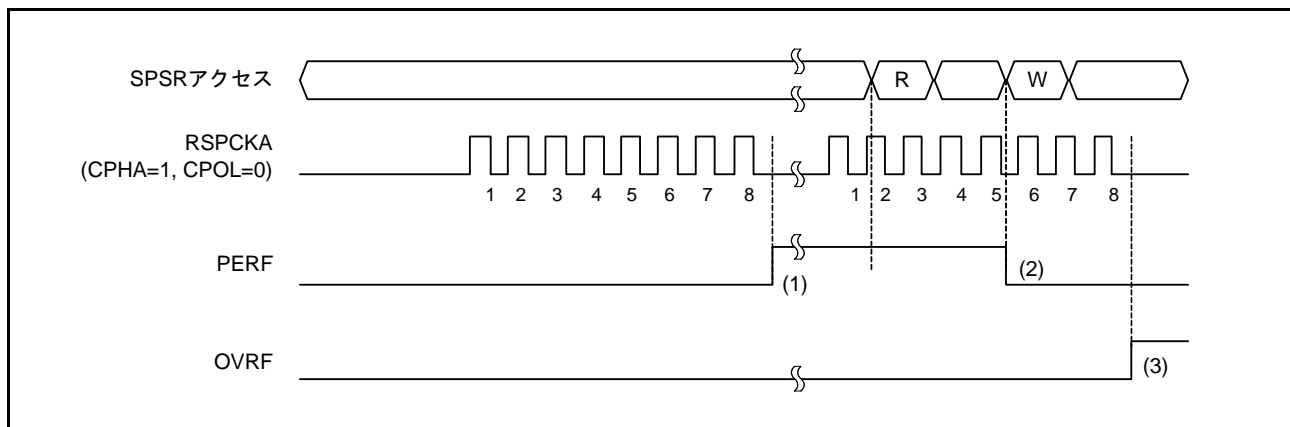


図 32.28 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態では SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

### 32.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間(有効データのドライブ開始から最終有効データの取り込みまで)にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します(「32.3.9 RSPIの初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。

### 32.3.9 RSPI の初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

#### 32.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF、OVRF、MODF、PERF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。

#### 32.3.9.2 システムリセット

システムリセットによる初期化では、「32.3.9.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

### 32.3.10 SPI 動作

#### 32.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出 (「32.3.8 エラー検出」を参照) のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

##### (1) シリアル転送の開始

RSPI 送信バッファが空 (SPTEF フラグが “1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「32.3.5 転送フォーマット」を参照してください。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。

##### (2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPRF フラグが “0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「32.3.5 転送フォーマット」を参照してください。

### (3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

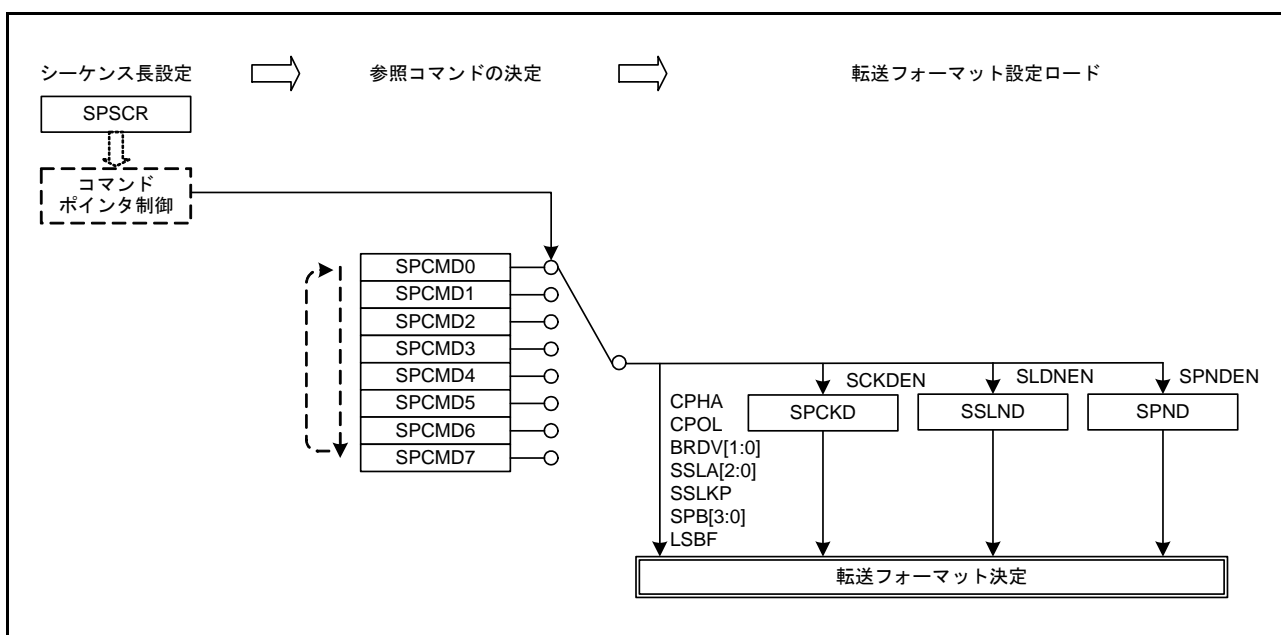


図 32.29 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

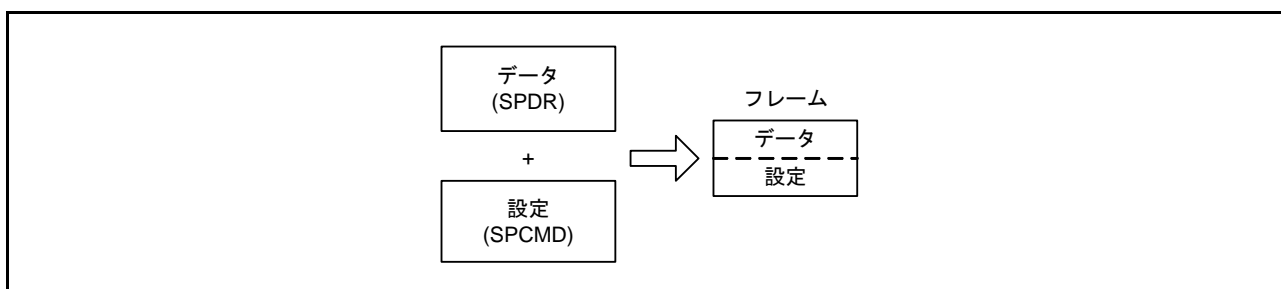


図 32.30 フレームの概念図

表 32.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 32.31 に示します。

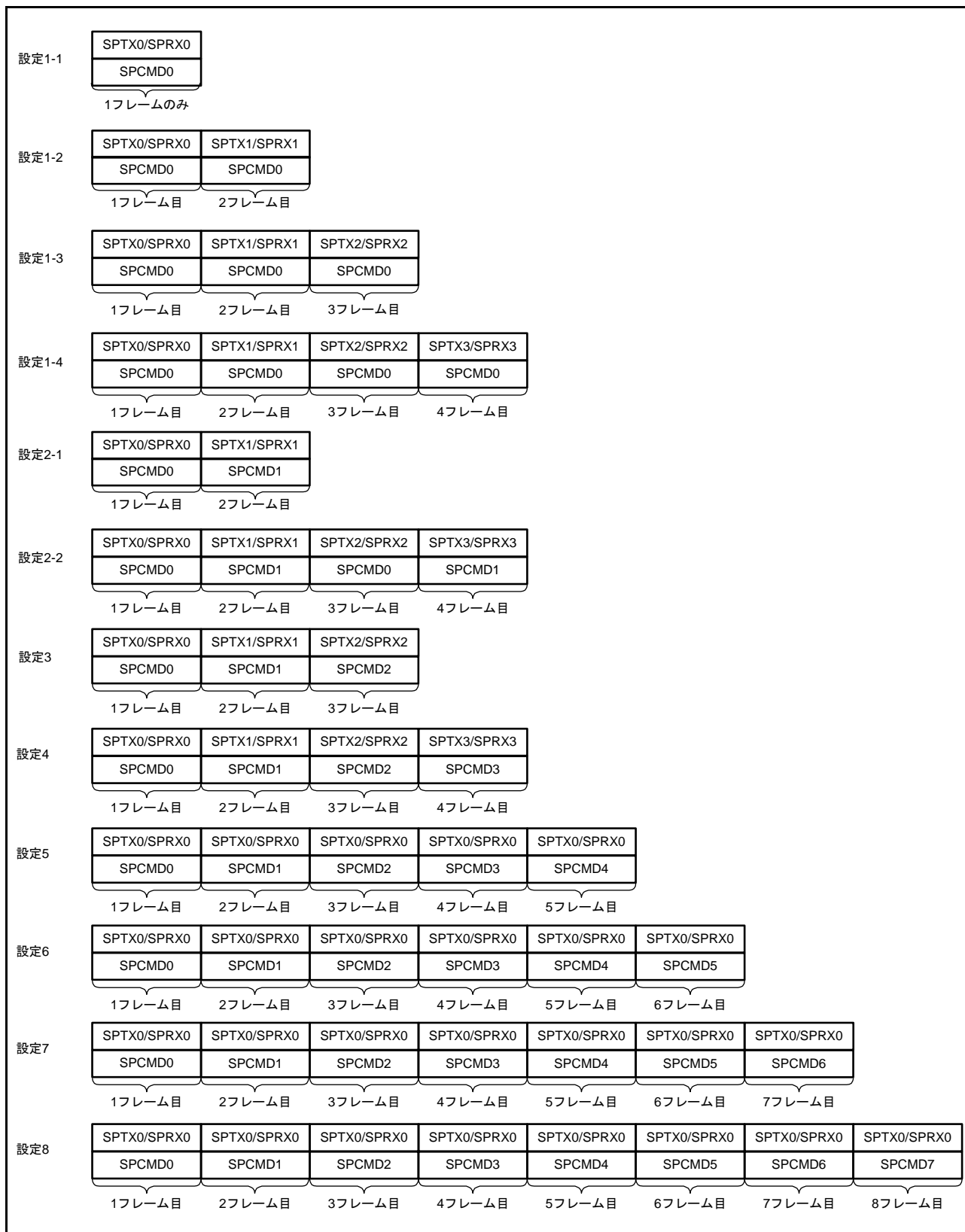


図 32.31 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応



#### (4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPIはシリアル転送中のSSLAi信号レベルを次のシリアル転送のSSLAi信号アサート開始まで保持します。次のシリアル転送でのSSLAi信号レベルが、現在のシリアル転送でのSSLAi信号レベルと同じであれば、RSPIはSSLAi信号アサート状態を保持したまま連続的にシリアル転送を実行することができます(バースト転送)。

図32.32に、SPCMD0、SPCMD1レジスタの設定を使用してバースト転送を実現した場合のSSLAi信号動作例を示します。図32.32に記載した(1)～(7)のRSPI動作内容について、以下に説明します。なお、SSLAi出力信号の極性は、SSLPレジスタの設定値に依存します。

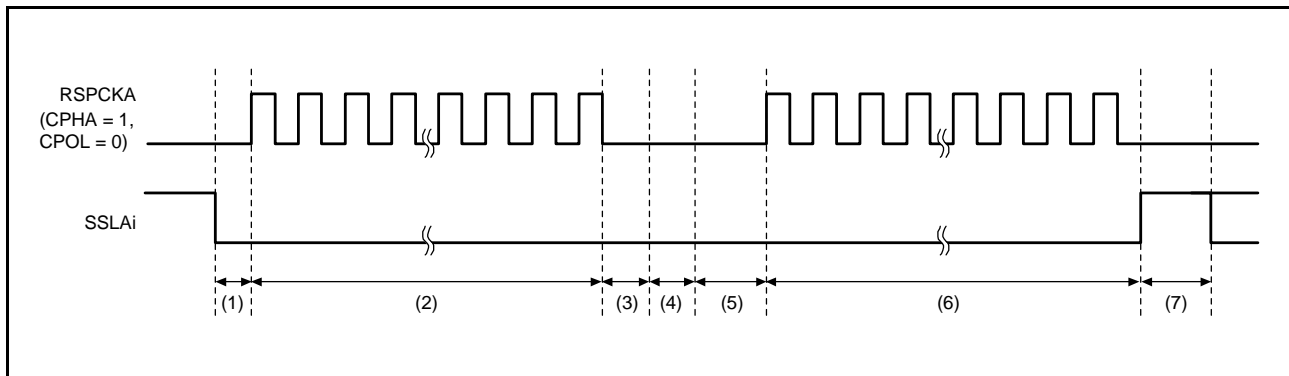


図 32.32 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPIは次転送のコマンドに対応した SSLAi 信号のアサート時(図32.32の(5))に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPIは内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

## (5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表32.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「32.3.5 転送フォーマット」を参照してください。

表32.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

## (6) SSLネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLNDENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLNDENビットとSSLNDレジスタを使用して、表32.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「32.3.5 転送フォーマット」を参照してください。

表32.10 SLNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLNDENビット	SSLND.SLNDL[2:0]ビット	SSLネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

## (7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表32.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「32.3.5 転送フォーマット」を参照してください。

表32.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

## (8) 初期化フロー

図 32.33 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

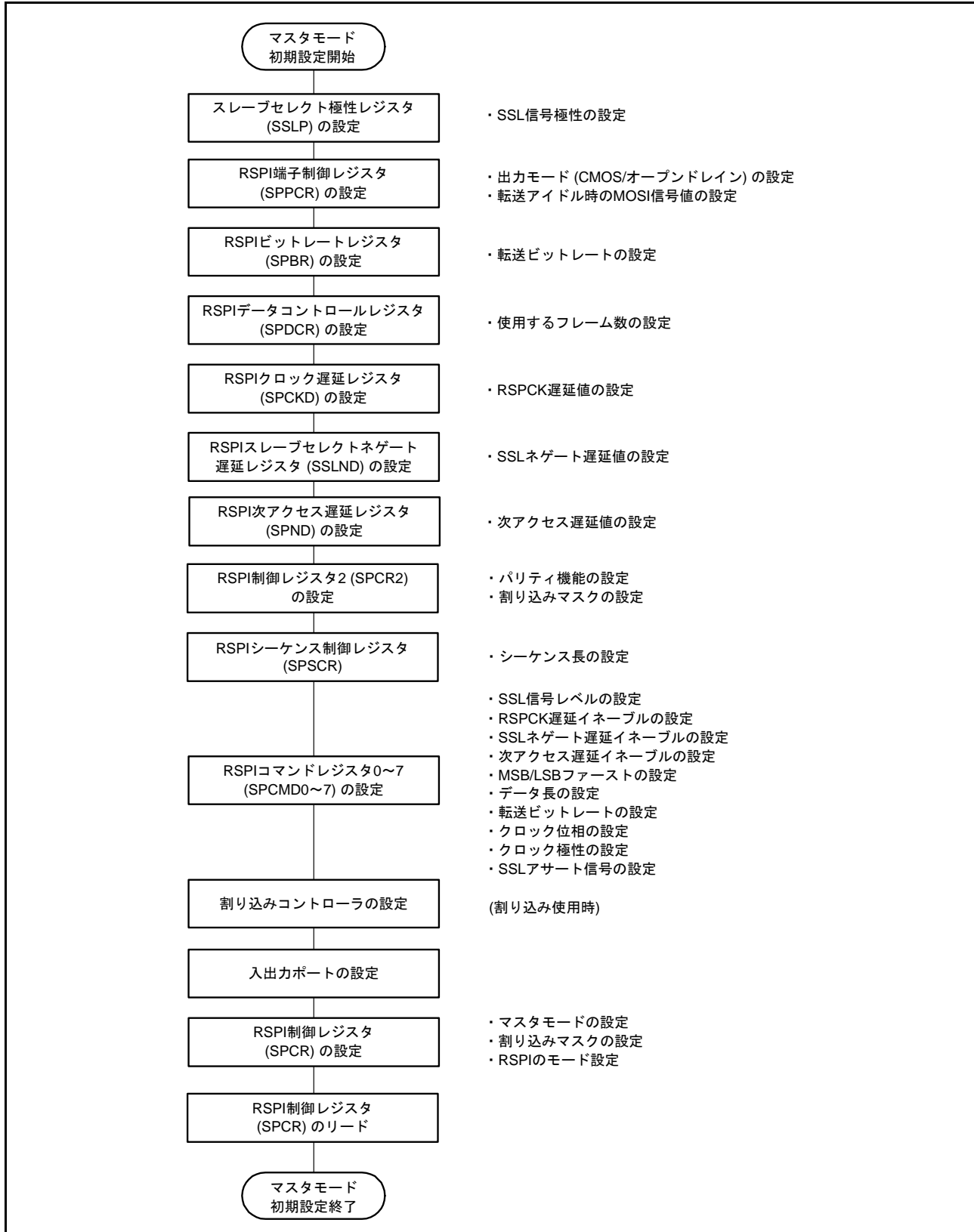


図 32.33 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 32.34 ~ 図 32.36 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書き込んでから IDLNF フラグが“1”になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

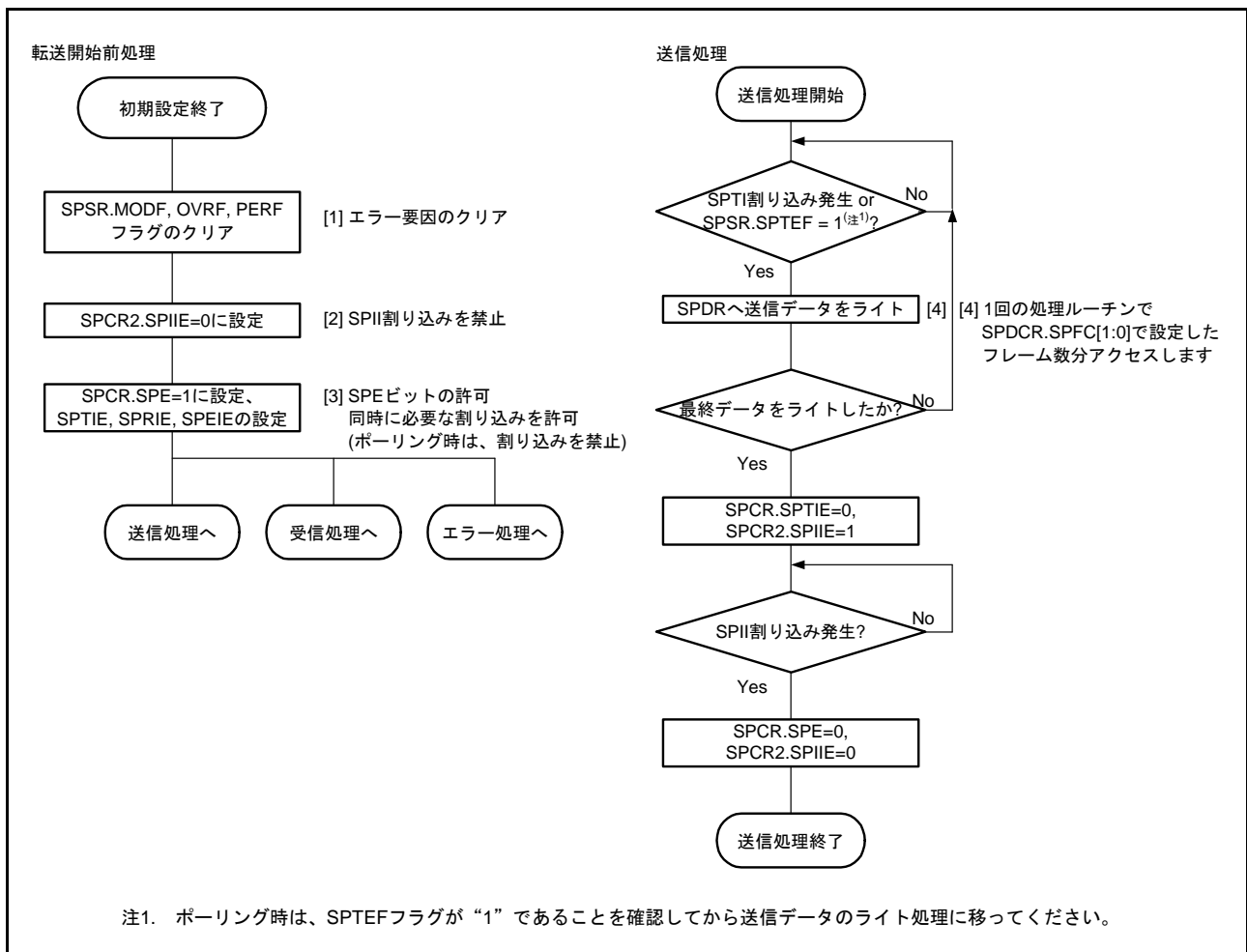


図 32.34 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

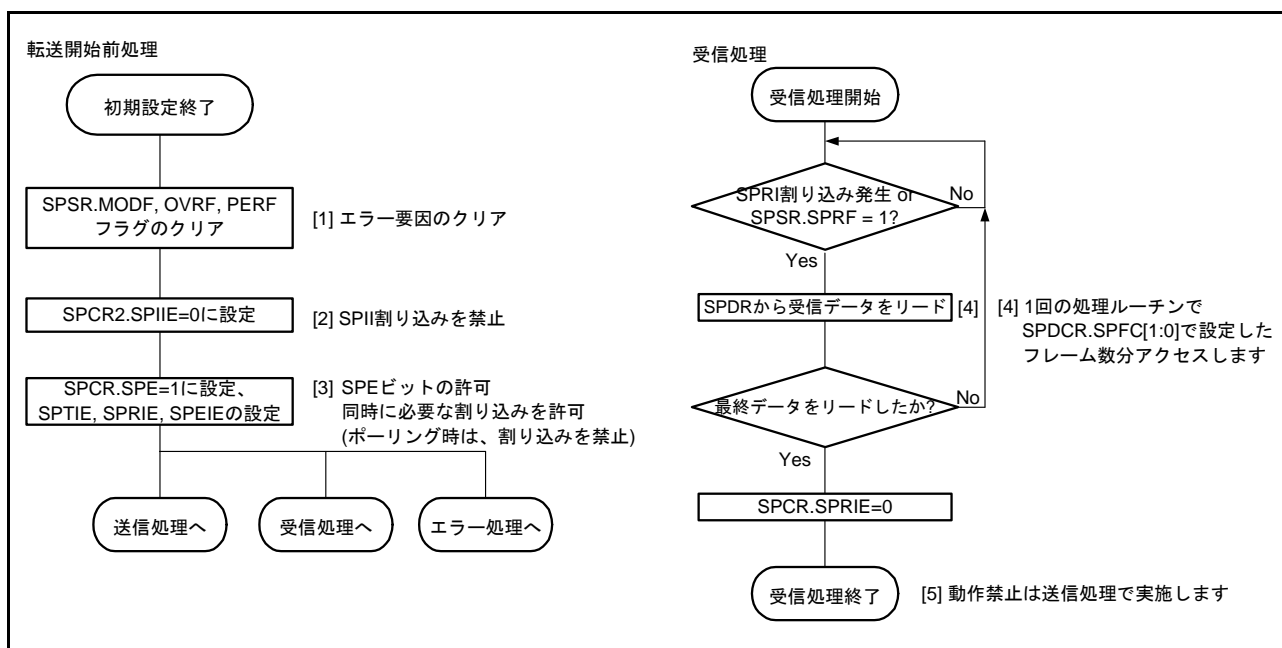


図 32.35 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

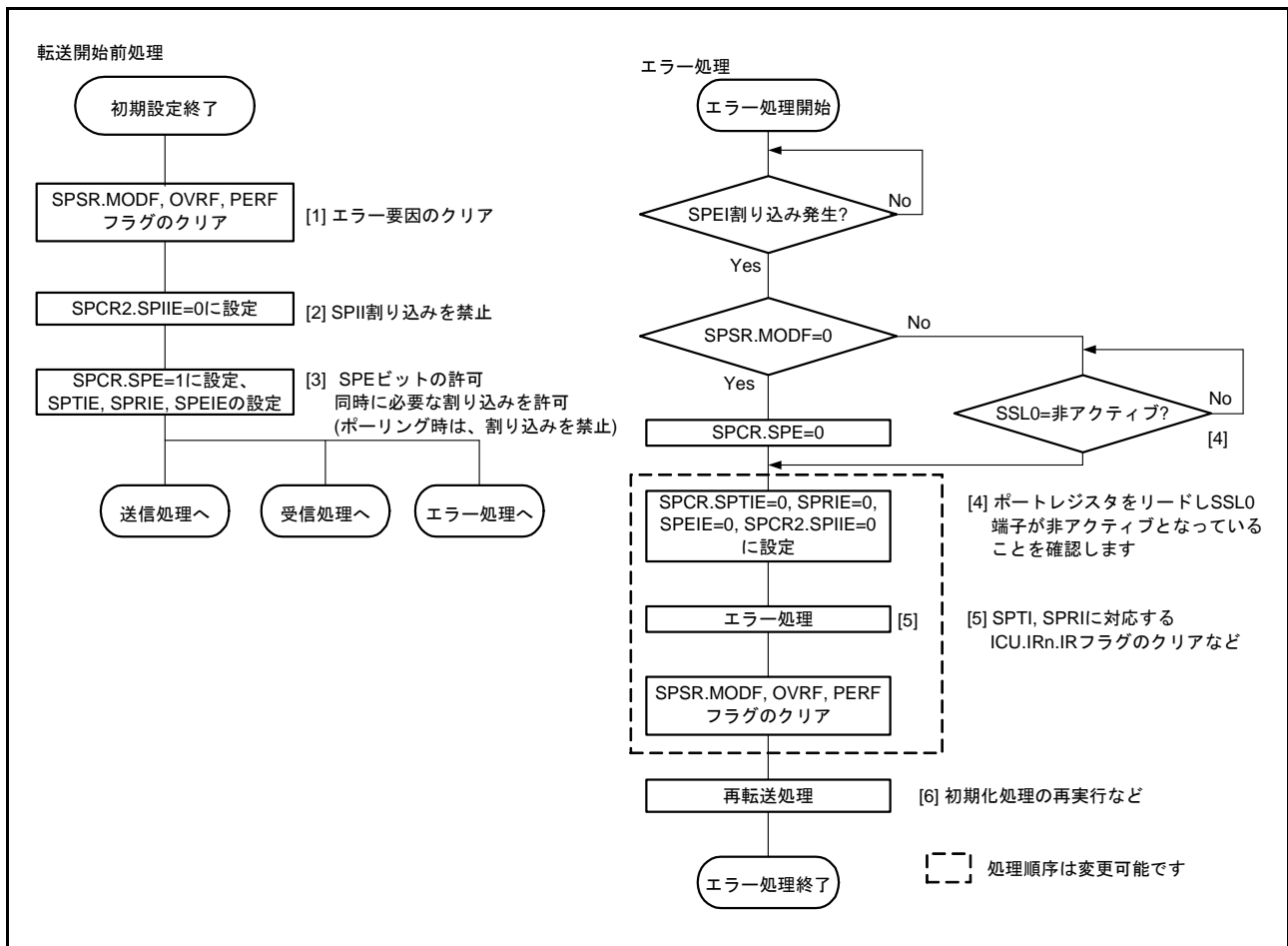


図 32.36 マスタモード時のフローチャート (エラー)

### 32.3.10.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHAビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHAビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHAビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。

#### (2) シリアル転送の終了

SPCMD0.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合 (SPRFフラグが“0”の場合)には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します (「32.3.8 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。

#### (3) シングルスレーブ時の注意点

SPCMD0.CPHAビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図32.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号がアクティブ状態に固定されるため、CPHAビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHAビットを“1”にしてください。CPHAビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。



#### (4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送 (バースト転送) を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

#### (5) 初期化フロー

図 32.37 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

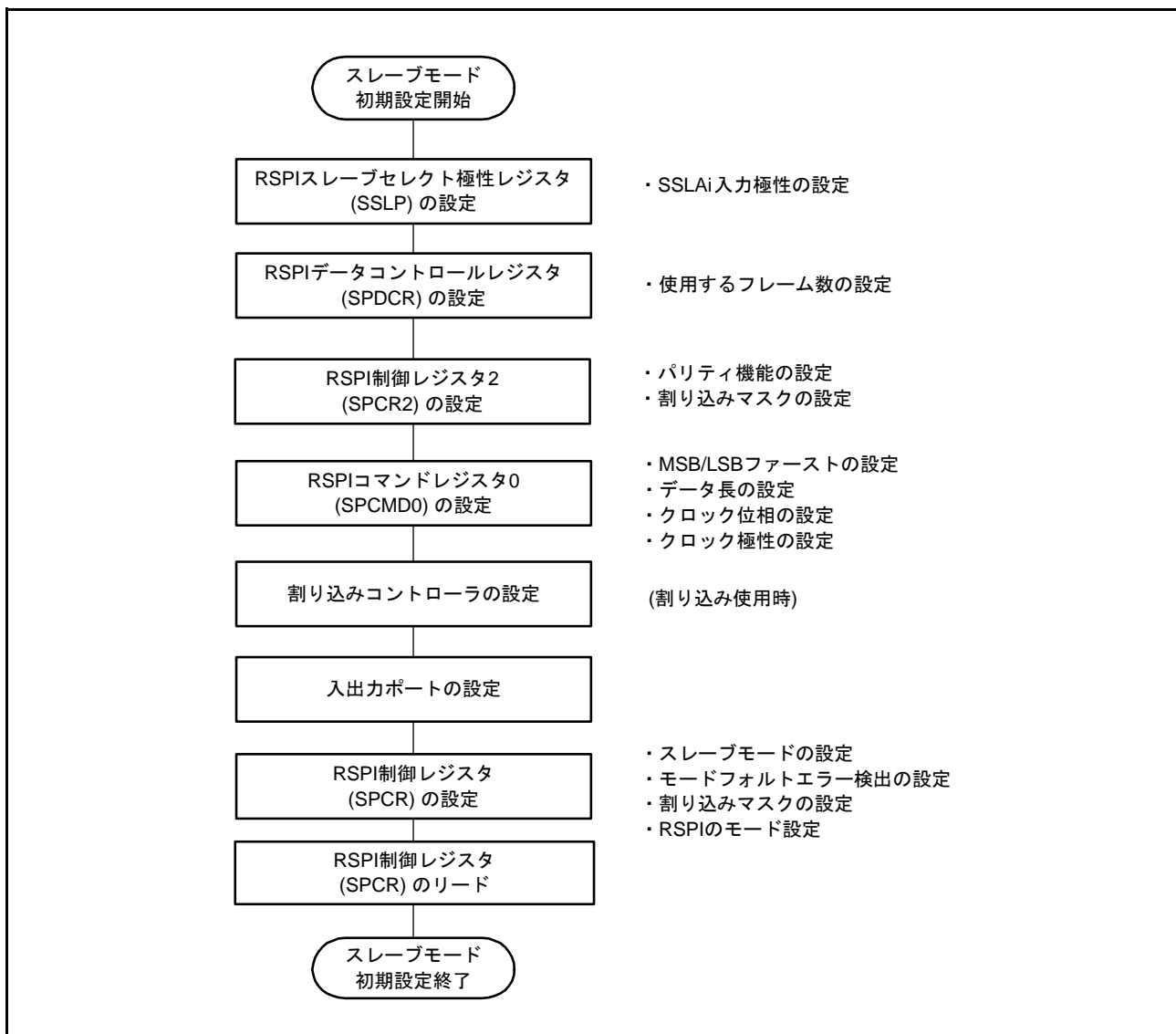


図 32.37 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 32.38 ~ 図 32.40 に示します。

(a) 送信処理フロー

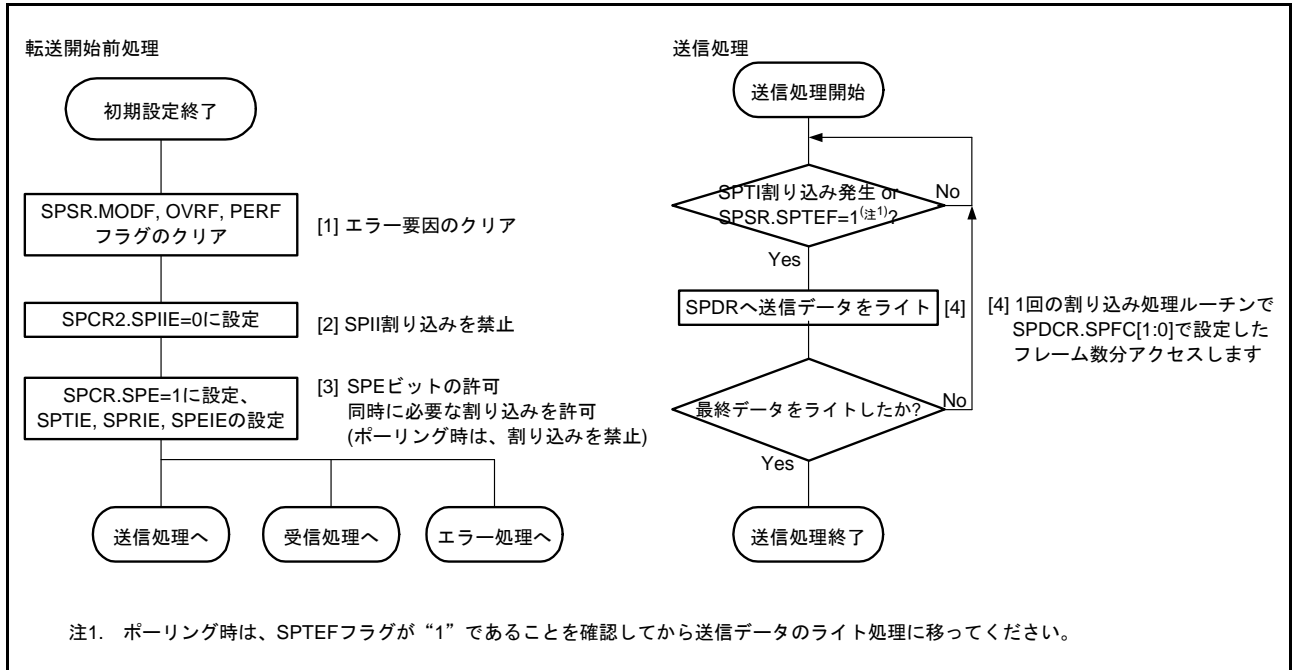


図 32.38 スレープモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

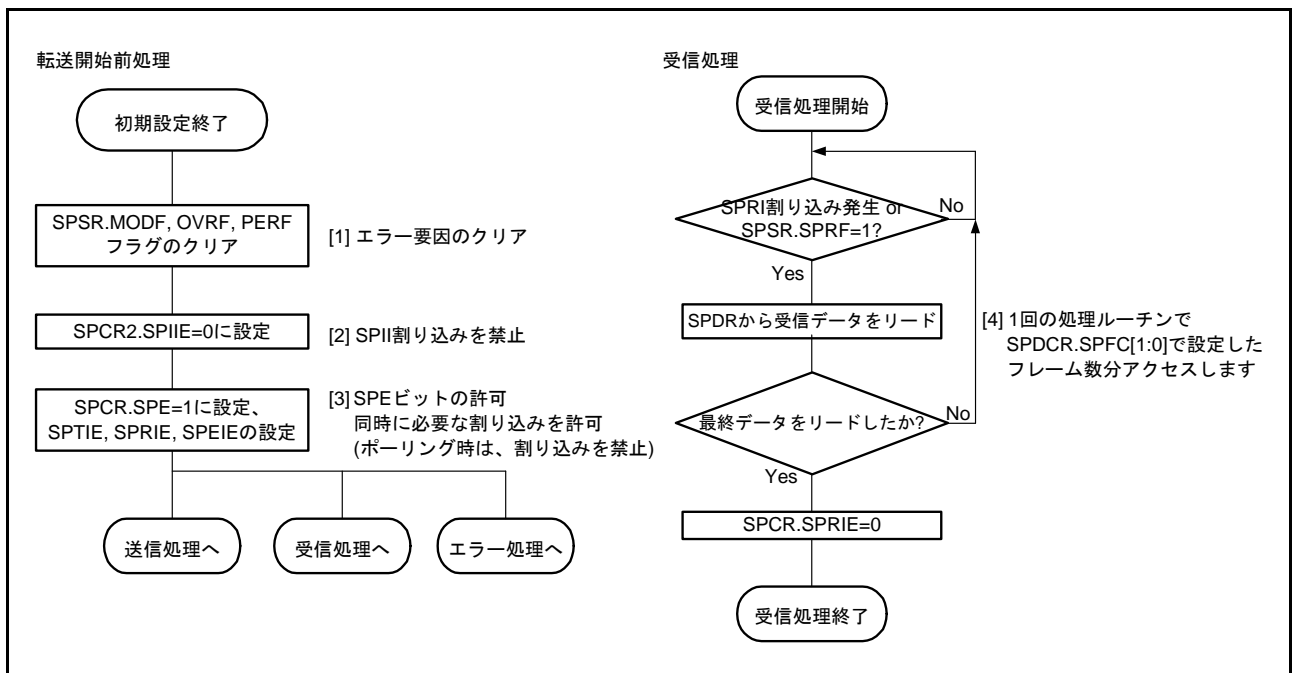


図 32.39 スレープモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

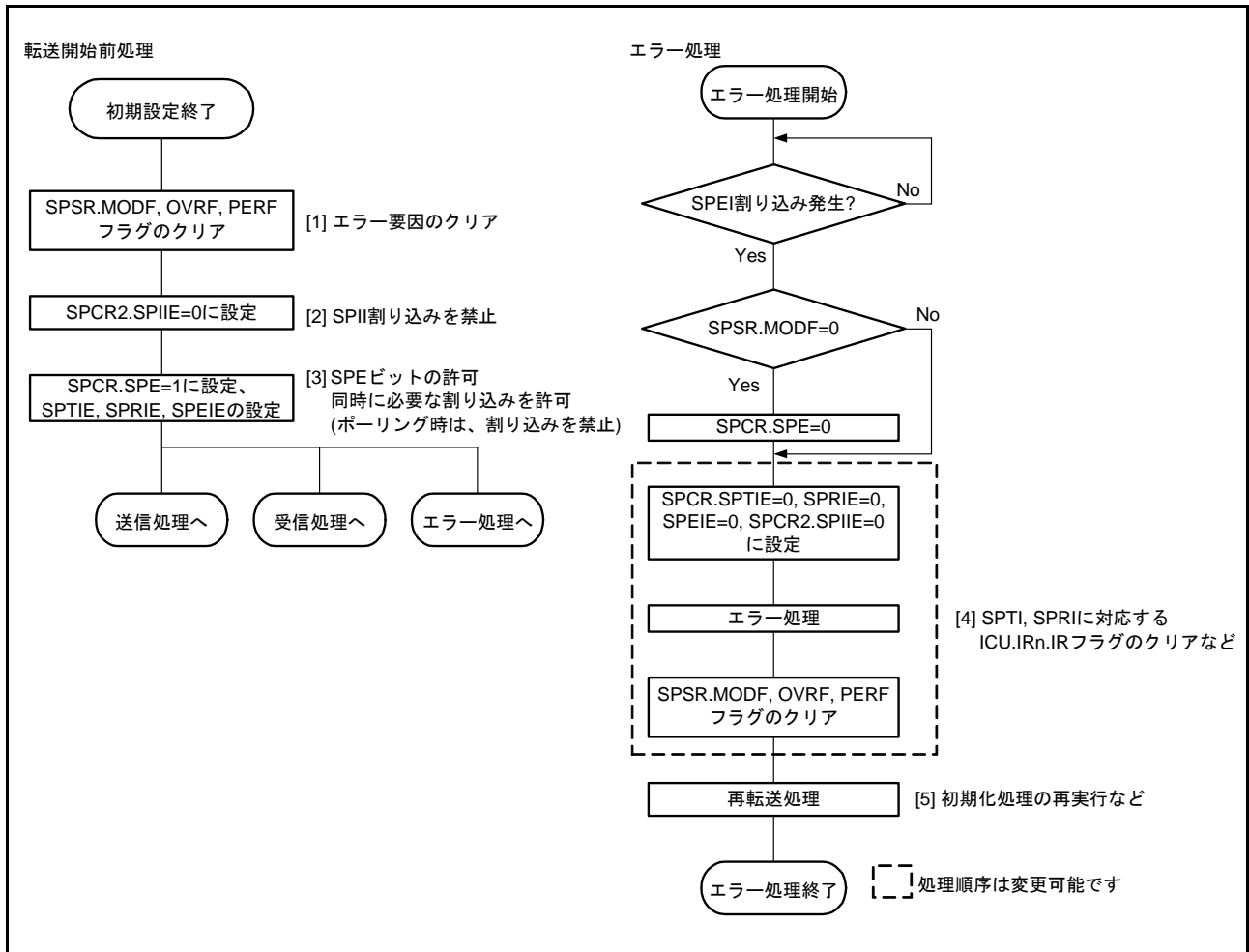


図 32.40 スレーブモード時のフローチャート (エラー処理)

### 32.3.11 クロック同期式動作

RSPI は、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の 3 本の端子を用いて通信を行い、SSLAi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にしないでください。

#### 32.3.11.1 マスタモード動作

##### (1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

##### (2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

##### (3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

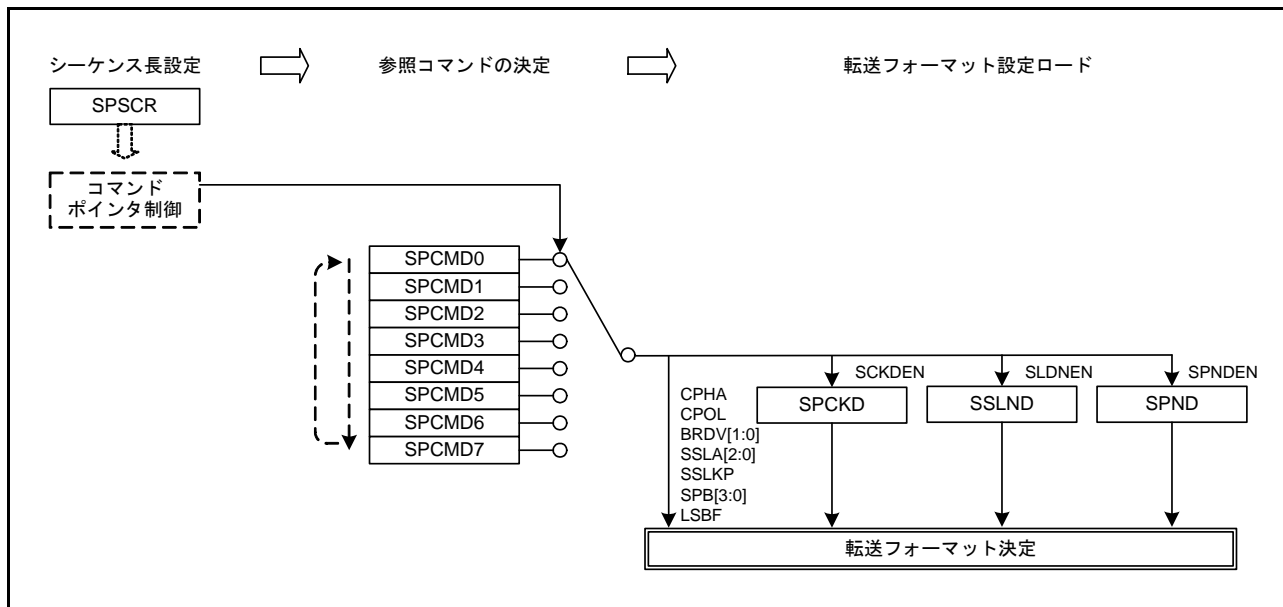


図 32.41 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

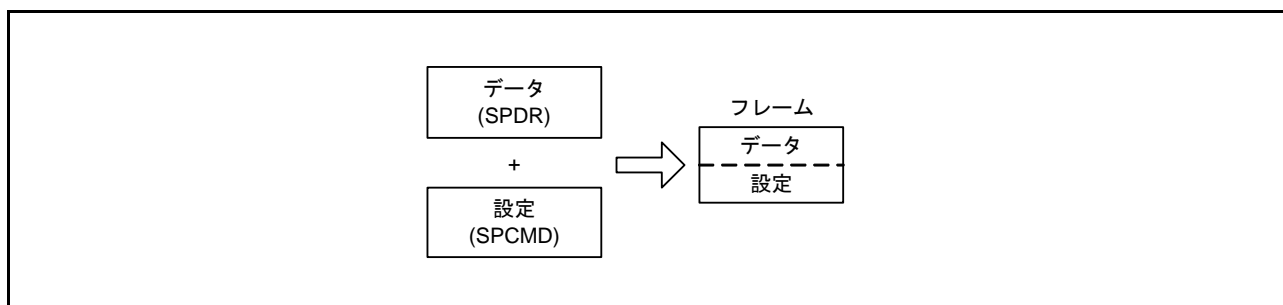


図 32.42 フレーム概念図

表 32.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 32.43 に示します。

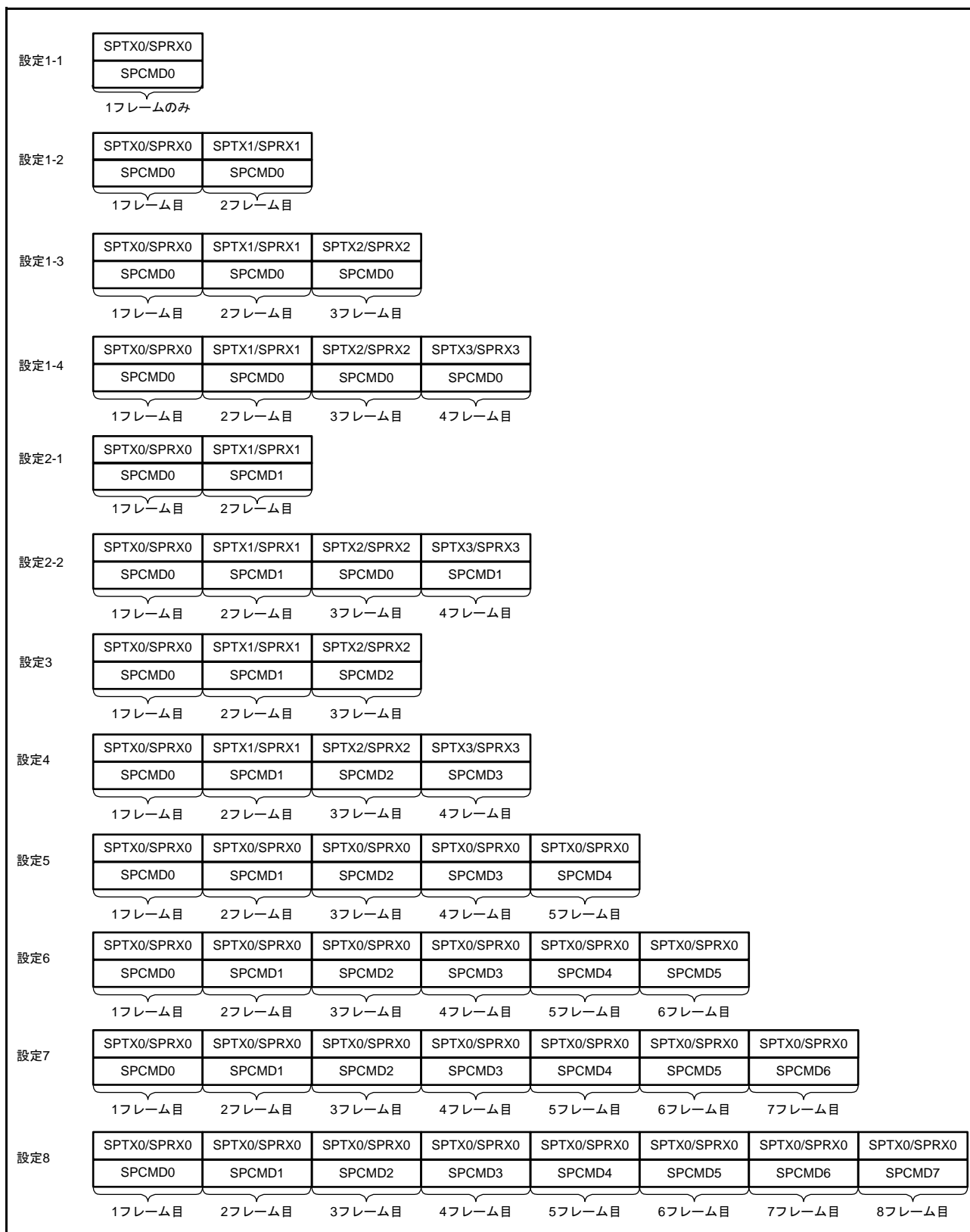


図 32.43 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 32.44 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

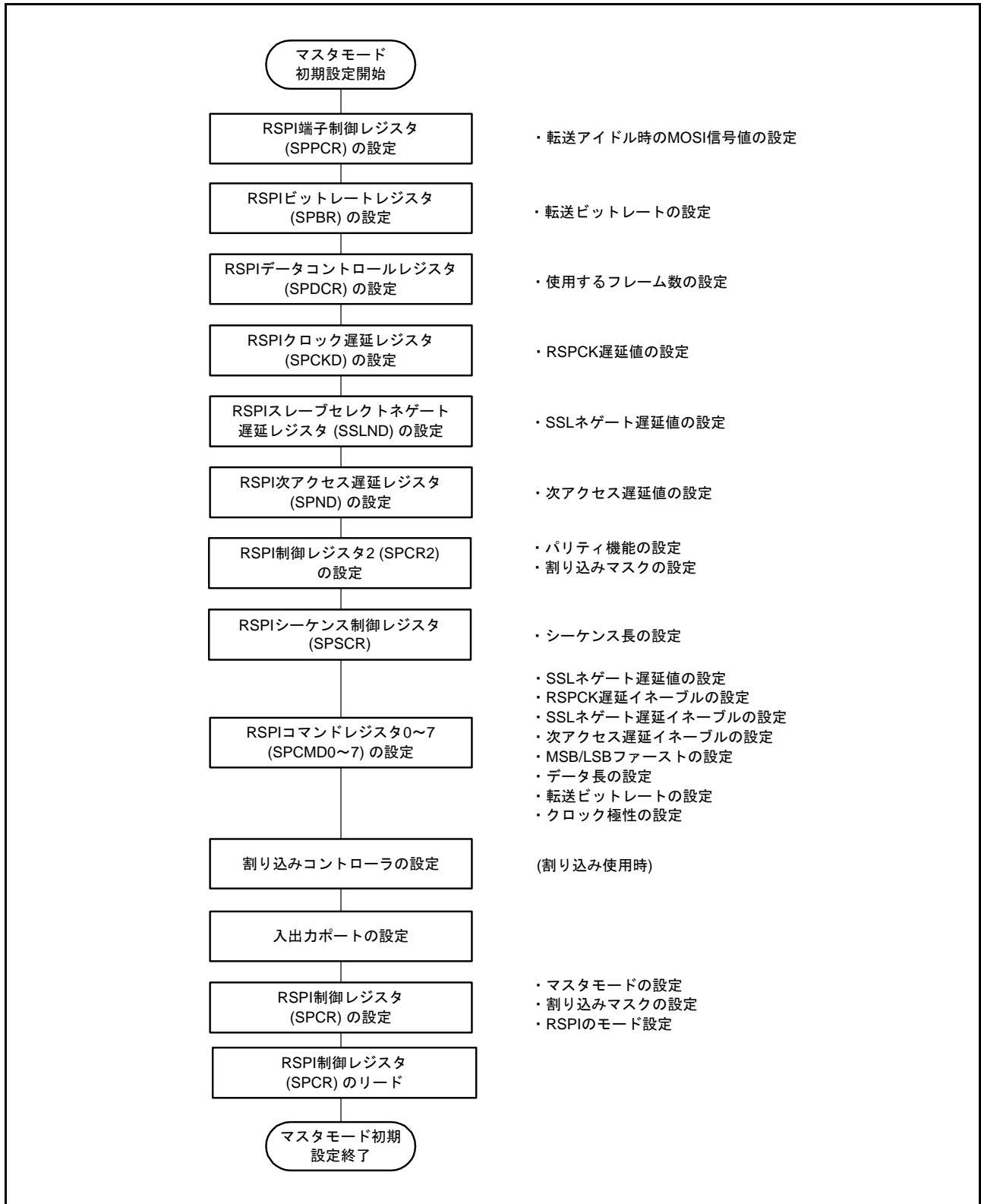


図 32.44 マスタモード時の初期化フロー例 (クロック同期式動作)

### (5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「32.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

## 32.3.11.2 スレーブモード動作

### (1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLA0入力信号を使用しません。

### (2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRFフラグが“0”) の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「32.3.5 転送フォーマット」を参照してください。



## (3) 初期化フロー

図 32.45 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

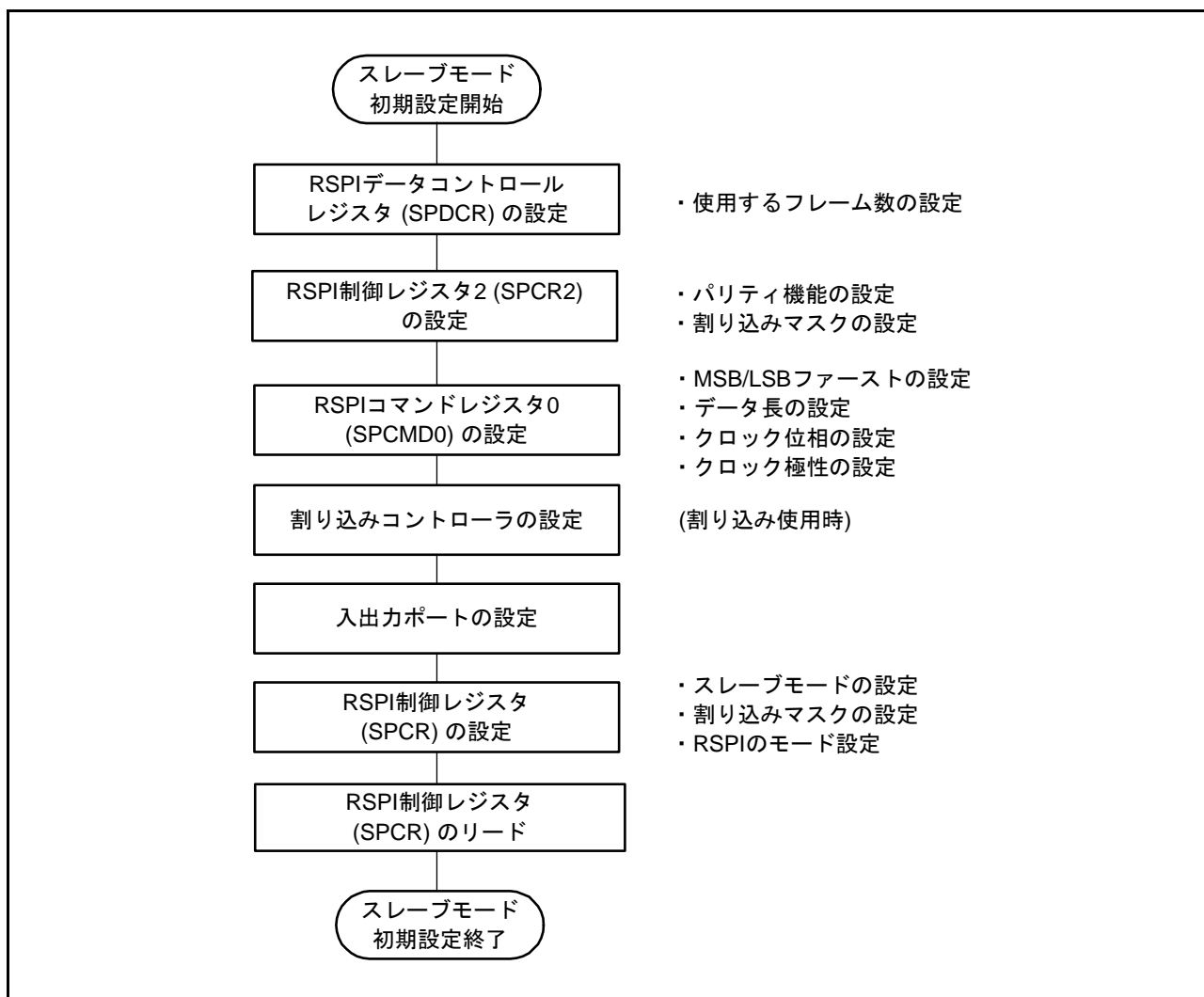


図 32.45 スレーブモード時の初期化フロー例 (クロック同期式動作)

## (4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「32.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

### 32.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 32.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 32.46 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 32.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

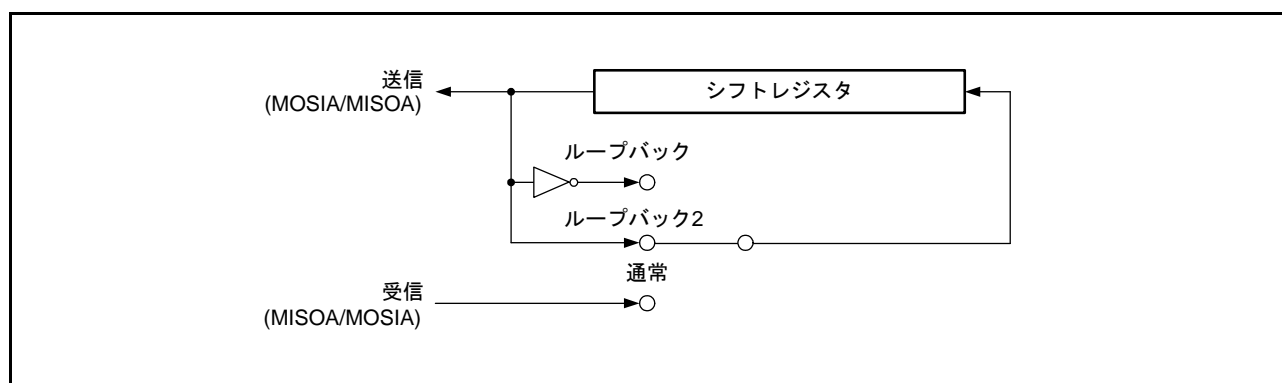


図 32.46 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

## 32.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 32.47 に示すのフローに従い、パリティ回路の自己診断を行います。

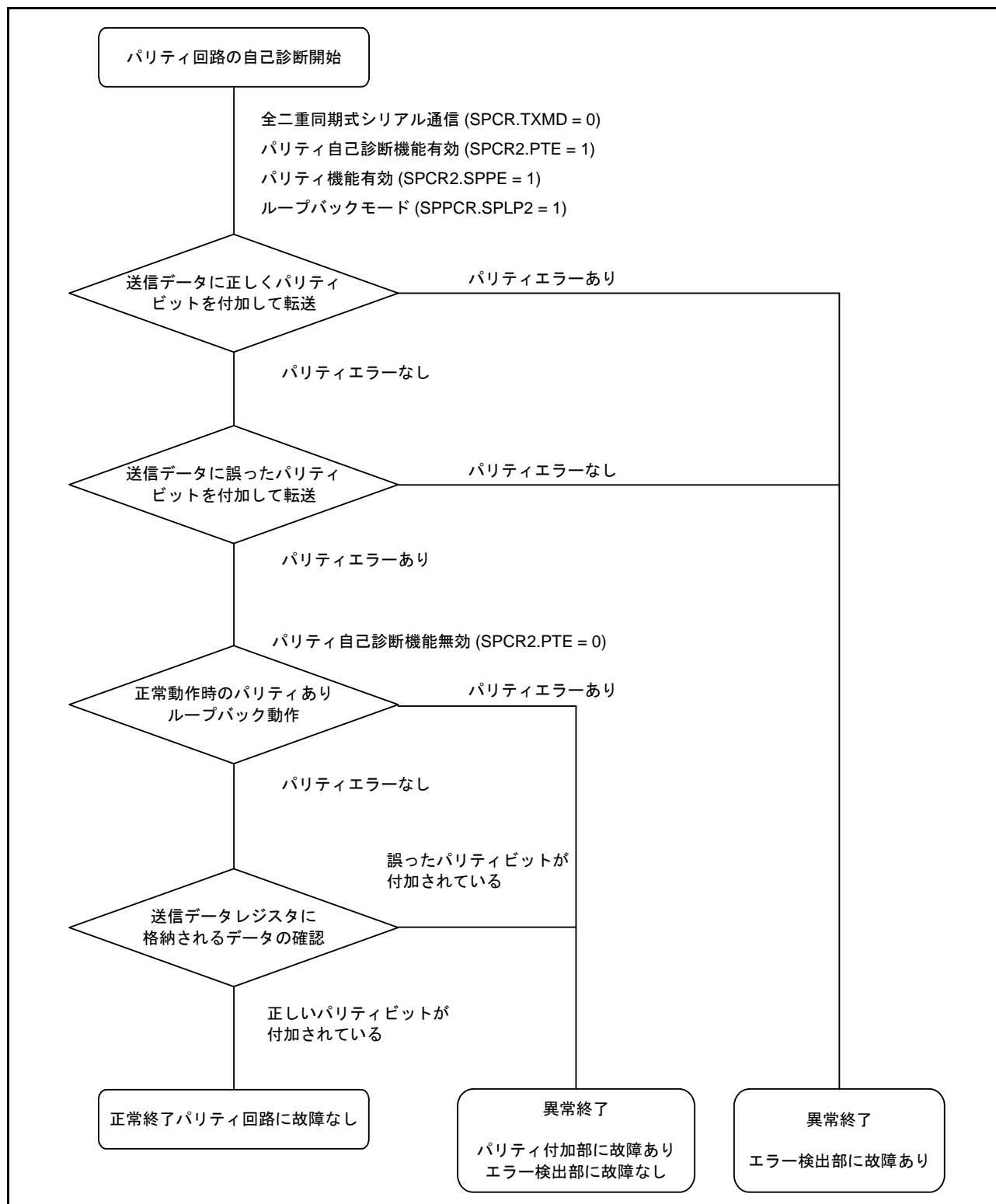


図 32.47 パリティ回路の自己判断フロー

### 32.3.14 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 32.13 に RSPI の割り込み要因を示します。表 32.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC の設定方法は「16. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPRTIE ビットまたは SPCR.SPRTIE ビット) を“0”にすることでクリアが可能です。

表 32.13 RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DTC 起動
受信バッファフル	SPRI	SPCR.SPRTIE ビットが“1”の状態を受信バッファフル (SPRF フラグが“1”) になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPRTIE ビットが“1”の状態を送信バッファエンプティ (SPTEF フラグが“1”) になったとき	可能
RSPI エラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態で SPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPI アイドル	SPII	SPCR2.SPIIE ビットが“1”の状態に IDLNF フラグが“0”になったとき	不可能

## 32.4 使用上の注意事項

### 32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

### 32.4.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

### 32.4.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること)を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット)を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット)を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

### 32.4.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを“0”にしてください。

## 33. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRCコード生成を行います。

### 33.1 概要

表 33.1 に CRC 演算器の仕様を示します。図 33.1 に CRC 演算器のブロック図を示します。

表 33.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコードを生成 (n=自然数)
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> <li>8ビットCRC <math>X^8 + X^2 + X + 1</math></li> <li>16ビットCRC <math>X^{16} + X^{15} + X^2 + 1</math> <math>X^{16} + X^{12} + X^5 + 1</math></li> </ul>
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位で書いてください。

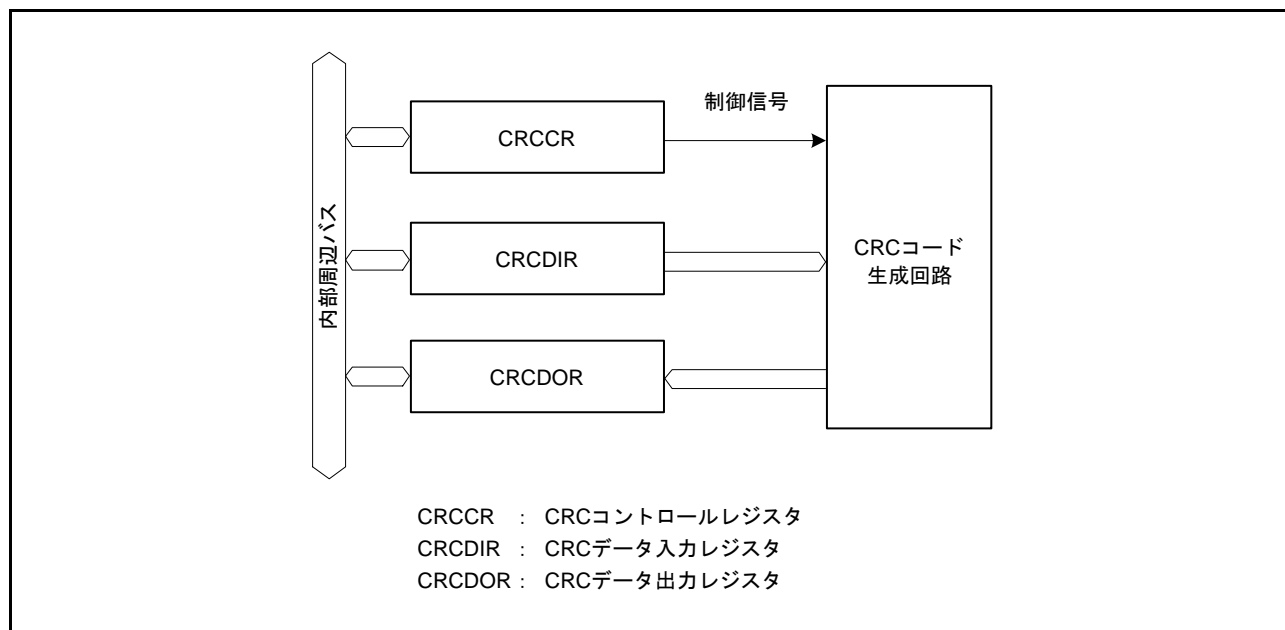
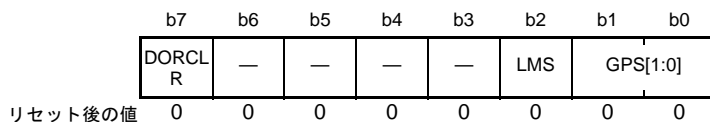


図 33.1 CRC演算器のブロック図

## 33.2 レジスタの説明

### 33.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h



ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8ビットCRC ( $X^8 + X^2 + X + 1$ ) 1 0 : 16ビットCRC ( $X^{16} + X^{15} + X^2 + 1$ ) 1 1 : 16ビットCRC ( $X^{16} + X^{12} + X^5 + 1$ )	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

#### LMS ビット (CRC 演算切り替えビット)

生成した16ビットのCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイト (b7～b0) から先に、MSBファーストで通信を行う場合はCRCコードの上位バイト (b15～b8) から先に送信してください。CRCコードの送信および受信については、「33.3 CRC演算器の動作説明」を参照してください。

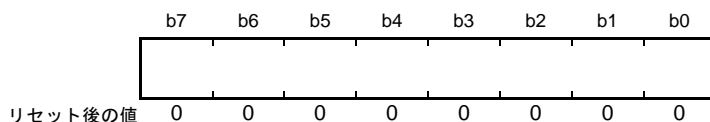
#### DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDORレジスタが“0000h”になります。

読むと“0”が読めます。“1”のみ書けます。

### 33.2.2 CRC データ入力レジスタ (CRCDIR)

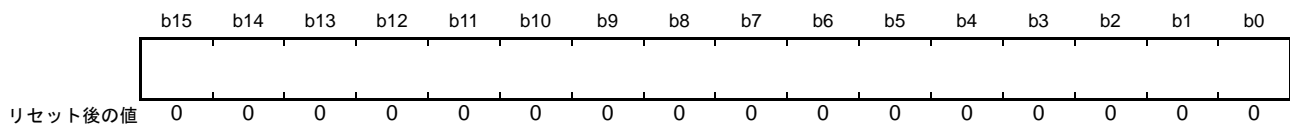
アドレス 0008 8281h



CRCDIRレジスタは、読み出し／書き込み可能なレジスタです。CRC演算対象となるデータを書いてください。

### 33.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" ですので、初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。



### 33.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト / MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ( $X^{16} + X^{12} + X^5 + 1$ ) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の前に、CRC データ出力レジスタ (CRCDOR) の値をクリアします。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

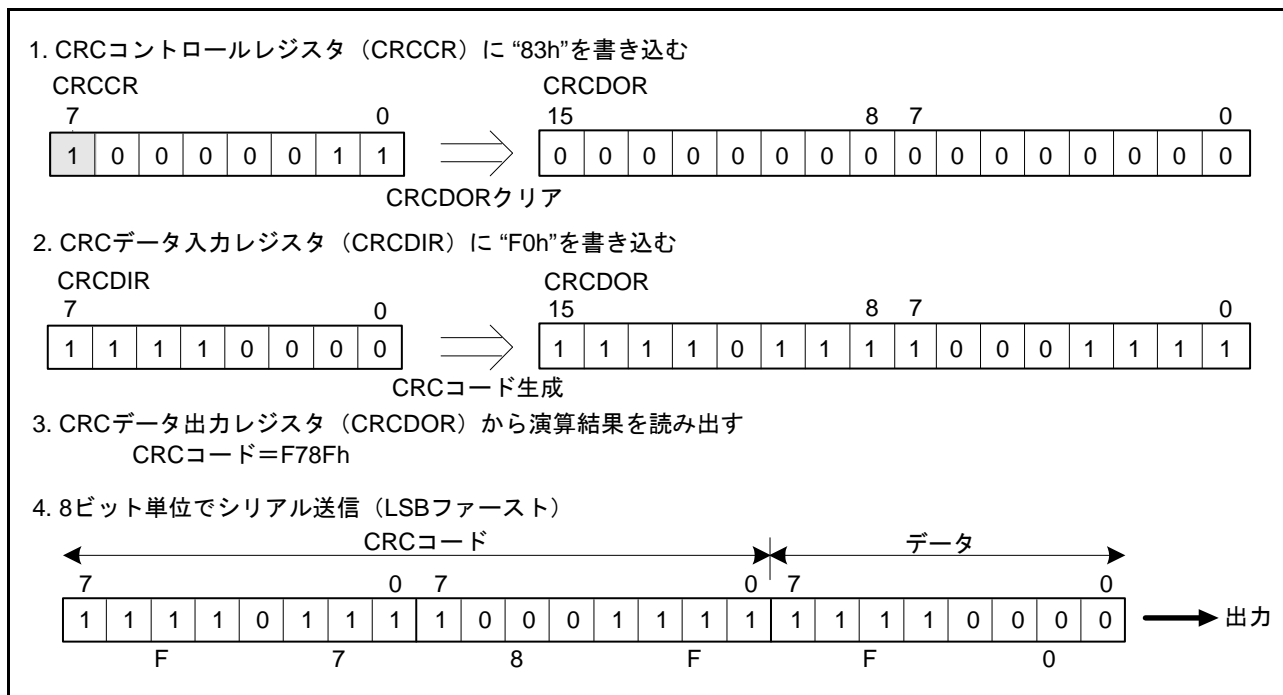


図 33.2 LSB ファーストでのデータ送信

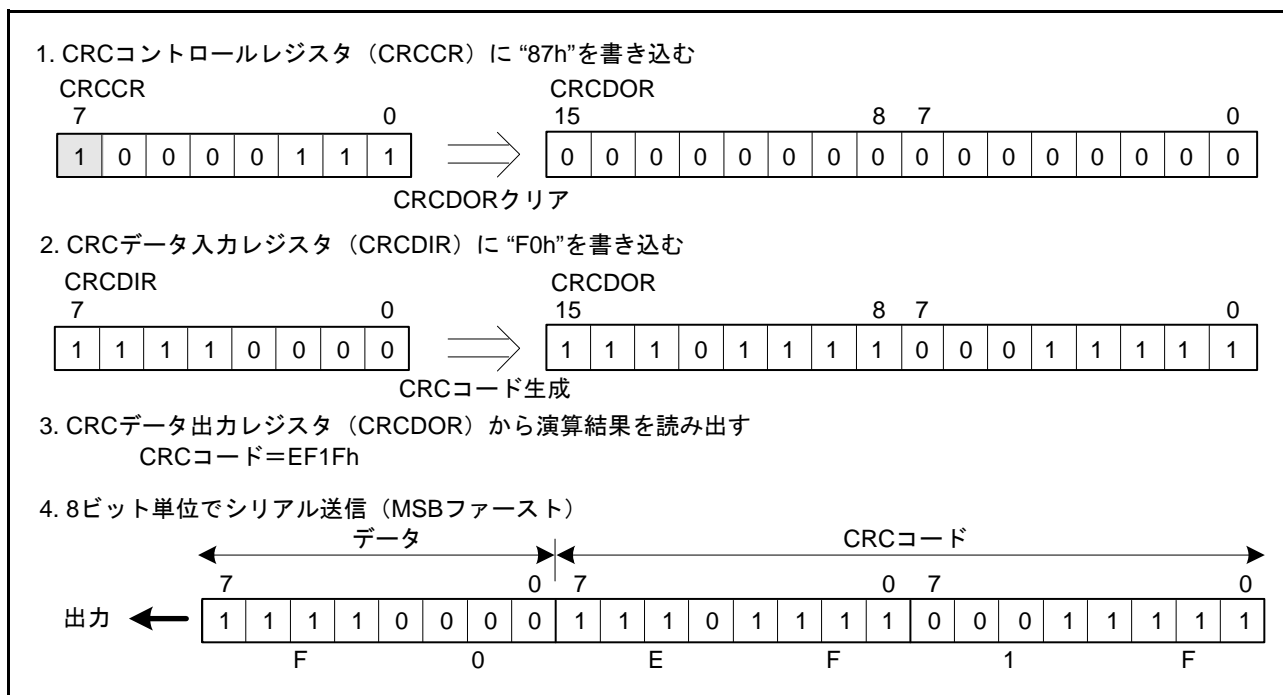


図 33.3 MSB ファーストでのデータ送信

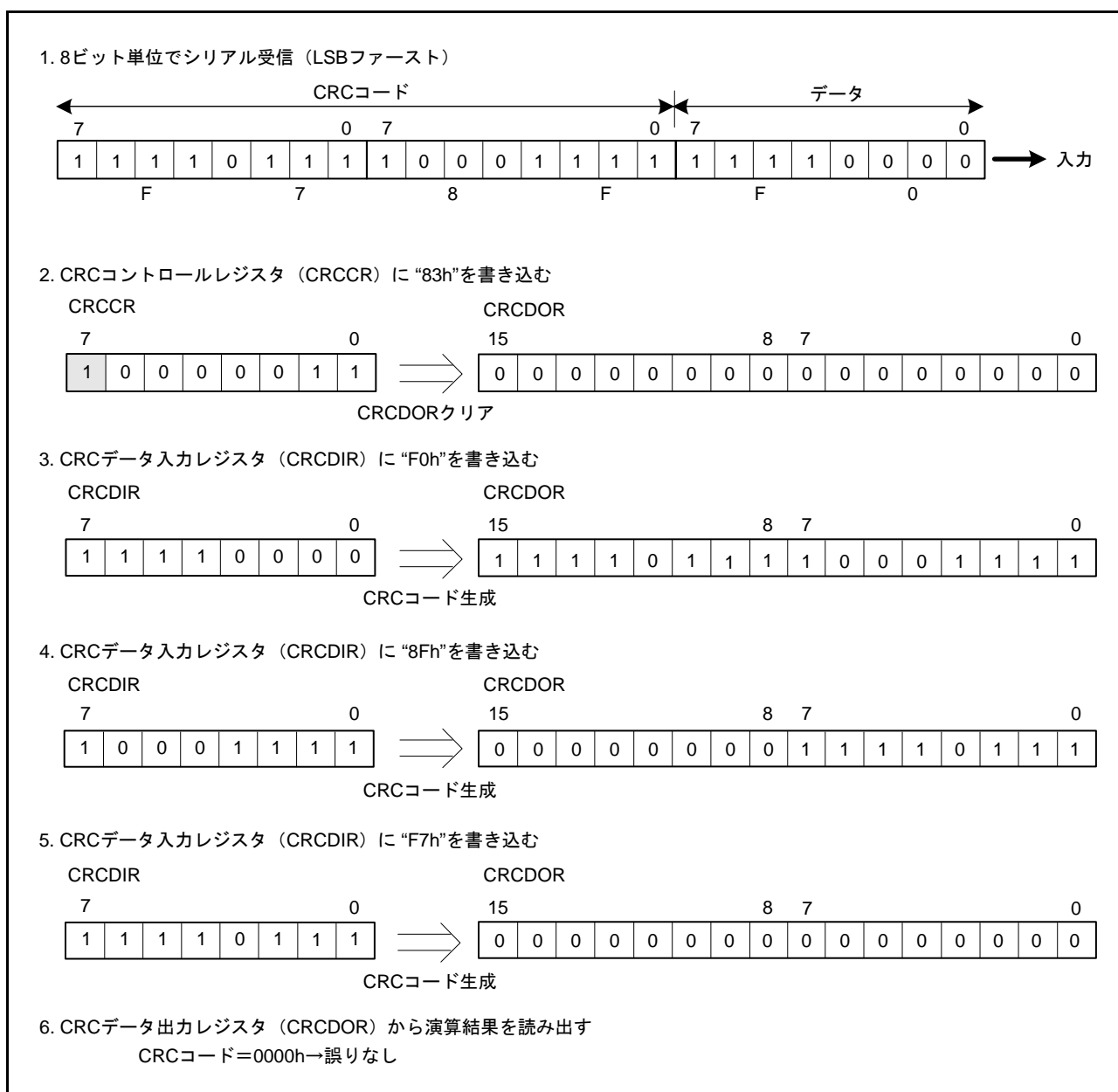


図 33.4 LSBファーストでのデータ受信

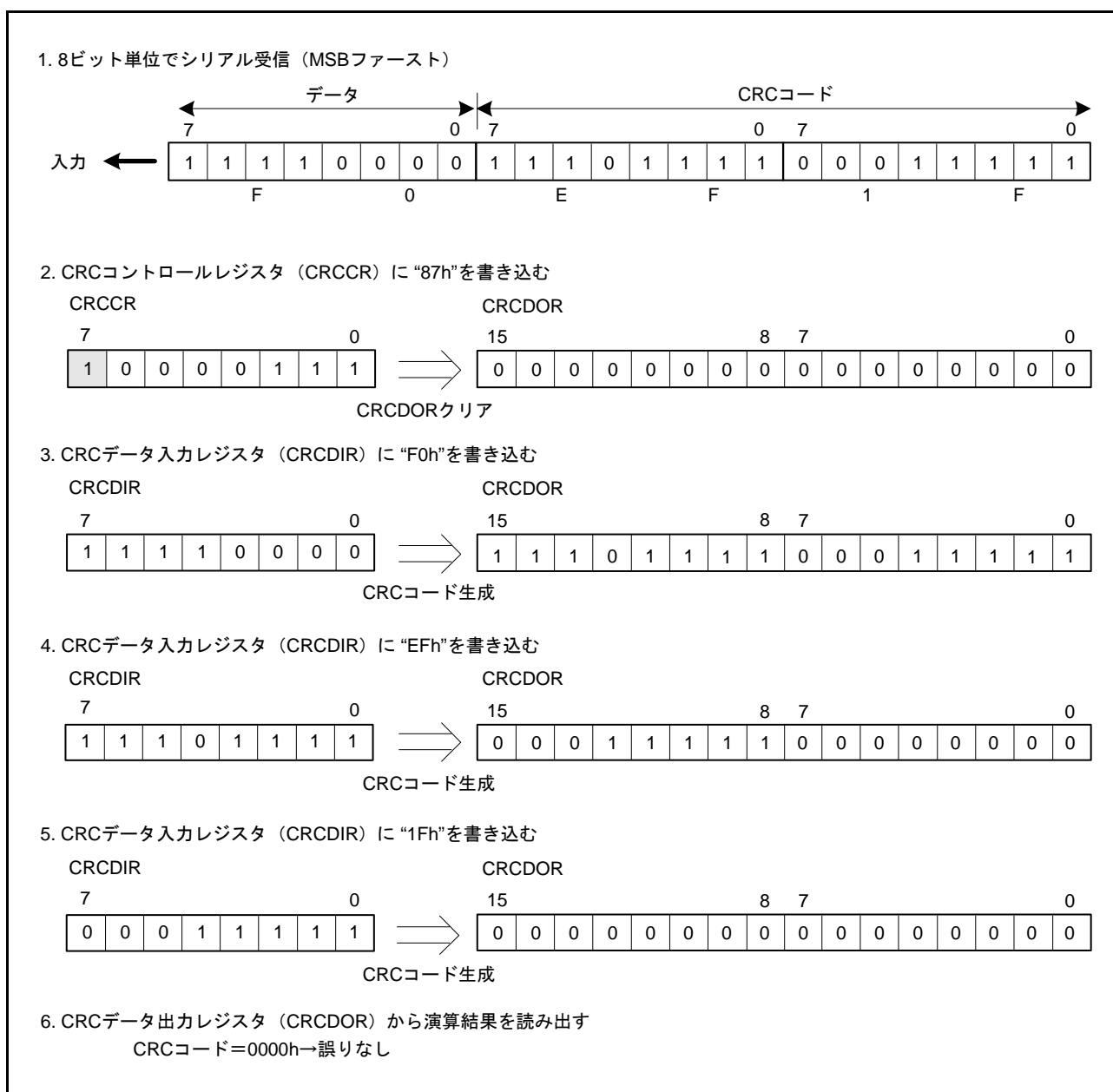


図 33.5 MSBファーストでのデータ受信

## 33.4 使用上の注意事項

### 33.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止/許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

### 33.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので注意してください。

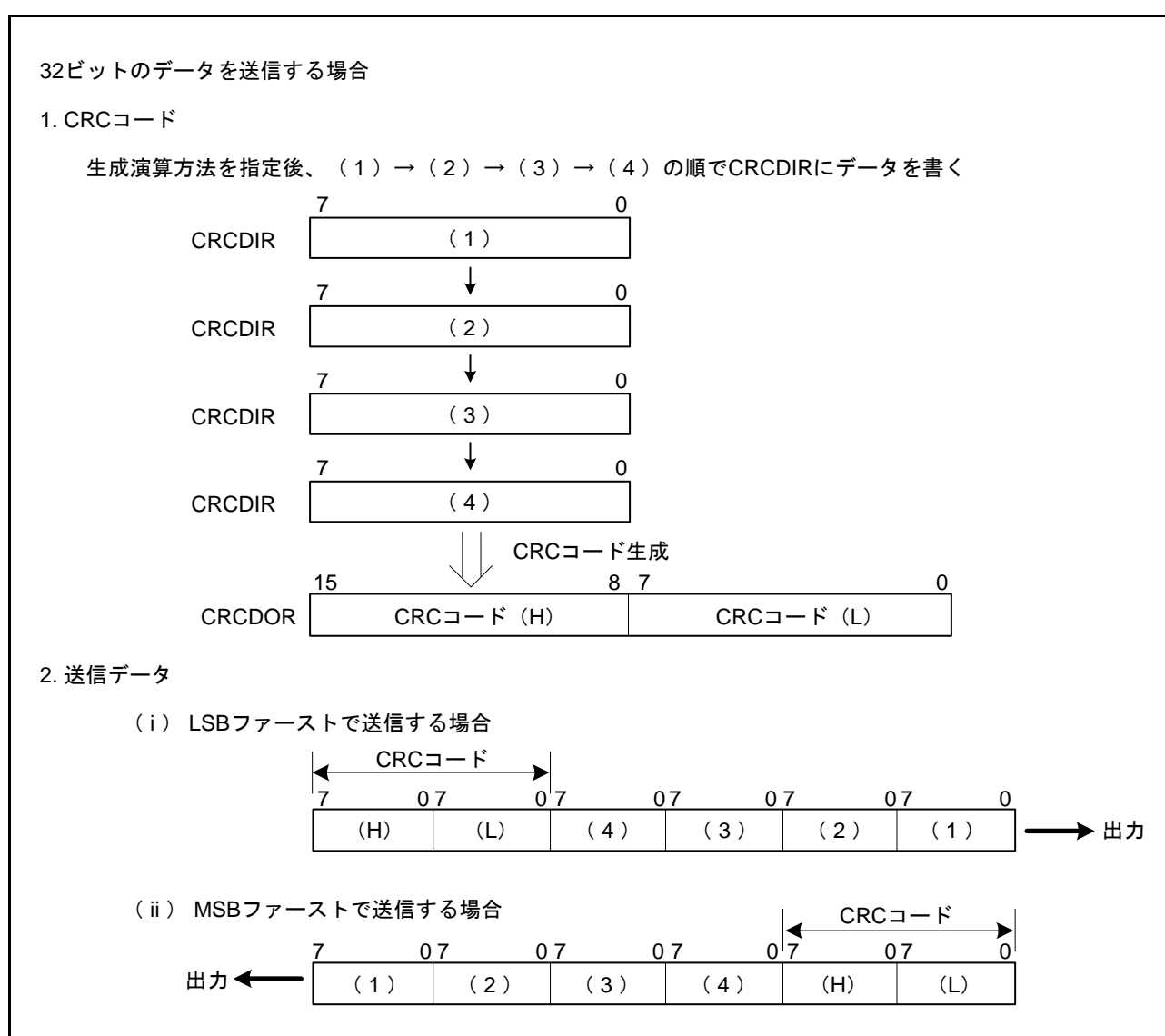


図 33.6 LSBファーストとMSBファーストの送信データ

## 34. LCDコントローラ/ドライバ (LCDC)

本MCUは、LCD表示のためのコントローラと表示端子を内蔵しています。

### 34.1 概要

表34.1 LCDコントローラ/ドライバの仕様

項目	内容
特長	<ul style="list-style-type: none"> <li>液晶波形 (A波形、B波形) の選択が可能</li> <li>LCD駆動電圧生成回路は内部昇圧/容量分割/外部抵抗分割の切り替えが可能</li> <li>表示データレジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能</li> <li>昇圧回路動作時に生成する基準電圧を16段階から選択可能 (コントラスト調整)</li> <li>LCD点滅、表示切り替えが可能</li> </ul>
端子数	端子数については、「表34.2 製品ごとのLCD表示機能端子」を参照してください
ソースクロック	メインクロック、サブクロック、低速および高速オンチップオシレータクロック、IWDТ専用オンチップオシレータ
低消費電力機能	モジュールストップ状態への設定が可能

LCD表示機能端子はパッケージごとに本数が異なります。表34.2に製品ごとのLCD表示機能端子数を示します。

表34.2 製品ごとのLCD表示機能端子

項目	本MCU															
	64ピン								100ピン							
LCDコントローラ/ ドライバ	セグメント端子 (SEG) 数 : 20 (16) (注1) コモン端子 (COM) 数 : 8								セグメント端子 (SEG) 数 : 40 (36) (注1) コモン端子 (COM) 数 : 8							
兼用I/Oポート	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
ポート1	—	—	—	—	—	—	—	—	—	—	—	—	SEG 00	SEG 01	SEG 02	SEG 03
ポート3	—	—	—	—	—	—	CAPL (注2)	CAPH (注2)	—	—	—	—	—	—	CAPL (注2)	CAPH (注2)
ポート5	—	—	VL1 (注3)	VL2 (注3)	—	—	—	—	—	SEG 04	VL1 (注3)	VL2 (注3)	SEG 05	SEG 06	SEG 07	SEG 08
ポートA	—	—	—	SEG 20	SEG 21	—	SEG 23	SEG 24	SEG 18	—	SEG 19	SEG 20	SEG 21	SEG 22	SEG 23	SEG 24
ポートB	SEG 11/ COM4	SEG 12/ COM5	SEG 13/ COM6	—	SEG 15/ COM7	—	SEG 17	—	SEG 11/ COM4	SEG 12/ COM5	SEG 13/ COM6	SEG 14	SEG 15/ COM7	SEG 16	SEG 17	—
ポートC	VL3 (注3)	VL4 (注3)	COM 0	COM 1	COM 2	COM 3	—	—	VL3 (注3)	VL4 (注3)	COM 0	COM 1	COM 2	COM 3	SEG0 9	SEG1 0
ポートD	—	—	—	—	—	SEG 37	SEG 38	SEG 39	—	—	—	SEG 35	SEG 36	SEG 37	SEG 38	SEG 39
ポートE	SEG 33	SEG 34	SEG 27	SEG 28	SEG 29	SEG 30	SEG 31	SEG 32	SEG 33	SEG 34	SEG 27	SEG 28	SEG 29	SEG 30	SEG 31	SEG 32
ポートF	—	—	—	—	—	—	—	—	SEG 25	SEG 26	—	—	—	—	—	—

注1. ( ) 内は8時分割選択時の信号出力本数です。

注2. CAPH、CAPLは、LCDコントローラ/ドライバ用コンデンサ接続端子です。

注3. VL1、VL2、VL3、VL4はLCD駆動用電源です。

表 34.3、表 34.4 に各表示モードにおける表示可能な最大画素数を、図 34.1 にブロック図を示します。

表 34.3 64ピン製品の最大表示画素数

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割数	最大表示画素数
液晶波形 (A波形)	外部抵抗分割	—	スタティック	20 (20セグメント×1コモン)
		1/2	2	40 (20セグメント×2コモン)
			3	60 (20セグメント×3コモン)
		1/3	3	80 (20セグメント×4コモン)
			4	
	1/4	8	128 (16セグメント×8コモン)	
	内部昇圧	1/3	3	60 (20セグメント×3コモン)
			4	80 (20セグメント×4コモン)
		1/4	8	128 (16セグメント×8コモン)
	容量分割	1/3	3	60 (20セグメント×3コモン)
4			80 (20セグメント×4コモン)	
液晶波形 (B波形)	外部抵抗分割、 内部昇圧	1/3	4	128 (16セグメント×8コモン)
		1/4	8	
	容量分割	1/3	4	80 (20セグメント×4コモン)

表 34.4 100ピン製品の最大表示画素数

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割数	最大表示画素数
液晶波形 (A波形)	外部抵抗分割	—	スタティック	40 (40セグメント×1コモン)
		1/2	2	80 (40セグメント×2コモン)
			3	120 (40セグメント×3コモン)
		1/3	3	160 (40セグメント×4コモン)
			4	
	1/4	8	288 (36セグメント×8コモン)	
	内部昇圧	1/3	3	120 (40セグメント×3コモン)
			4	160 (40セグメント×4コモン)
		1/4	8	288 (36セグメント×8コモン)
	容量分割	1/3	3	120 (40セグメント×3コモン)
4			160 (40セグメント×4コモン)	
液晶波形 (B波形)	外部抵抗分割、 内部昇圧	1/3	4	288 (36セグメント×8コモン)
		1/4	8	
	容量分割	1/3	4	160 (40セグメント×4コモン)

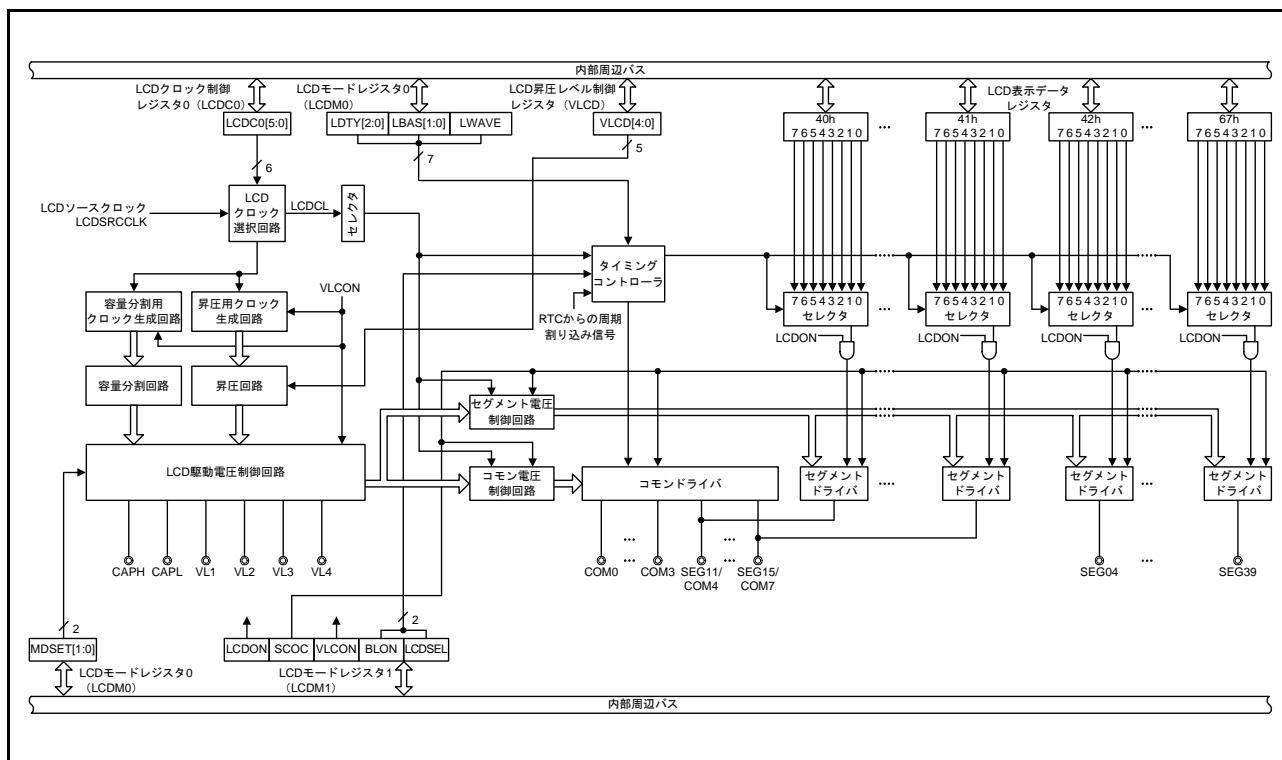
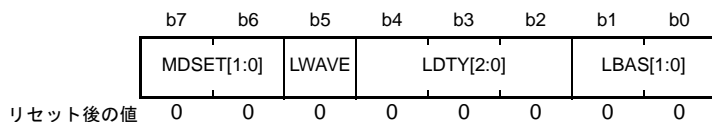


図 34.1 LCDコントローラ/ドライバのブロック図

### 34.2 レジスタの説明

#### 34.2.1 LCD モードレジスタ 0 (LCDM0)

アドレス LCDC.LCDM0 000A 0800h



ビット	シンボル	ビット名	機能	R/W
b0	LBAS[1:0]	LCD表示バイアス法選択ビット	b1 b0 0 0 : 1/2バイアス法 0 1 : 1/3バイアス法 1 0 : 1/4バイアス法 1 1 : 設定禁止	R/W
b1				R/W
b2	LDTY[2:0]	LCD表示時分割数選択ビット	b4 b2 0 0 0 : スタティック 0 0 1 : 2時分割 0 1 0 : 3時分割 0 1 1 : 4時分割 1 0 1 : 8時分割 上記以外は設定しないでください	R/W
b3				R/W
b4				R/W
b5	LWAVE	LCD表示波形選択ビット	0 : A波形 1 : B波形	R/W
b6	MDSET[1:0]	LCD駆動電圧生成回路選択ビット	b7 b6 0 0 : 外部抵抗分割方式 0 1 : 内部昇圧方式 (注1) 1 0 : 容量分割方式 (注1) 1 1 : 設定禁止	R/W
b7				R/W

- 注. LCDM1.SCOCビット = 1のときに、LCDM0レジスタの値を書き換えしないでください。
- 注. スタティックを選択した場合 (LDTY[2:0]ビット = 000b)、LBAS[1:0]ビットはリセット後の値 (00b) にしてください。リセット後の値以外を設定した場合の動作は保証しません。
- 注. 表示波形、時分割数、バイアス法の設定は表34.5に示す組み合わせのみサポートします。表34.5で示す組み合わせ以外は設定禁止です。
- 注1. LCDソースクロック (LCDSRCCLK) として、IWDTCCLKの選択は禁止です。

表 34.5 表示波形/時分割数/バイアス法の設定の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY[2:0]		LBAS[1:0]		外部抵抗分割	内部昇圧	容量分割	
A波形	8	1/4	0	1	0	1	1	0	○	○	×
A波形	4	1/3	0	0	1	1	0	1	○	○	○
A波形	3	1/3	0	0	1	0	0	1	○	○	○
A波形	3	1/2	0	0	1	0	0	0	○	×	×
A波形	2	1/2	0	0	0	1	0	0	○	×	×
A波形	スタティック		0	0	0	0	0	0	○	×	×
B波形	8	1/4	1	1	0	1	1	0	○	○	×
B波形	4	1/3	1	0	1	1	0	1	○	○	○

○ : 対応    × : 非対応



## 34.2.2 LCD モードレジスタ 1 (LCDM1)

アドレス LCDC.LCDM1 000A 0801h

b7	b6	b5	b4	b3	b2	b1	b0
LCDON	SCOC	VLCON	BLON	LCDSE L	—	—	LCDVL M

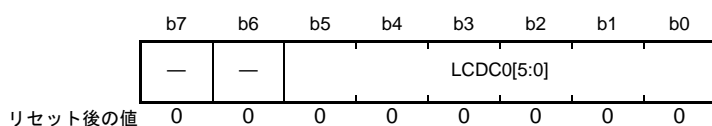
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	LCDVLM (注1)	昇圧端子初期値切り替え制御ビット	0 : VCC 電圧 > 3.8V の場合 1 : VCC 電圧 ≤ 3.8V の場合 内部昇圧方式設定時は、このビットに“1”を設定してください	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	LCDSEL	表示データ領域制御ビット	b4 b3 0 0 : Aパターン領域 (LCD表示データレジスタの下位4ビット) のデータを表示 0 1 : Bパターン領域 (LCD表示データレジスタの上位4ビット) のデータを表示 1 0 : Aパターン領域とBパターン領域のデータを交互に表示 (RTCの周期割り込み (PRD) タイミングに対応した点滅表示) 1 1 : Aパターン領域とBパターン領域のデータを交互に表示 (RTCの周期割り込み (PRD) タイミングに対応した点滅表示)	R/W
b4	BLON (注2)	表示データ領域制御ビット		R/W
b5	VLCON	昇圧回路/容量分割回路動作許可/停止ビット	0 : 昇圧回路もしくは容量分割回路の動作停止 1 : 昇圧回路もしくは容量分割回路の動作許可	R/W
b6	SCOC	LCD表示許可/禁止ビット	b7 b6 0 0 : セグメント端子/コモン端子にグランドレベルを出力 0 1 : 表示オフ (セグメント出力はすべて非選択信号出力) 1 0 : セグメント端子/コモン端子にグランドレベルを出力 1 1 : 表示オン	R/W
b7	LCDON	LCD表示許可/禁止ビット		R/W

- 注. LCD表示を行わないとき、消費電力を低減させるため、SCOCビットに“0”、VLCONビットに“0”を設定してください。
- 注. 外部抵抗分割方式設定時 (LCDM0.MDSET[1:0]ビット = 00b) または容量分割方式設定時 (MDSET[1:0]ビット = 10b) は、LCDVLMに“0”を設定してください。
- 注. SCOCビット = 1のときVLCONビット、LCDVLMビットを書き換えないでください。
- 注. 表示モードに8時分割数を選択した場合、BLONビットに“0”、とLCDSELビットに“0”を設定してください。
- 注. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0.MDSET[1:0]ビット = 01b) にしてから)、基準電圧セットアップ時間 (5 ms (min)) をウェイトしたあとに、VLCONビットに“1”を設定してください。
- 注1. 昇圧回路使用時に、VLx端子の初期状態を設定して昇圧安定時間を短くするための機能です。昇圧開始時のVCC電圧が3.8Vより大きい場合はLCDVLMビット = 0、VCC電圧が3.8V以下の場合はLCDVLMビット = 1としてください。
- 注2. LCDソースクロック (LCDSRCLK) としてIWDTCCLKを選択する場合は、BLONビット = 0にしてください。

### 34.2.3 LCD クロック制御レジスタ 0 (LCDC0)

アドレス LCDC.LCDC0 000A 0802h



ビット	シンボル	ビット名	機能	R/W
b0	LCDC0[5:0]	LCDクロック (LCDCL) 設定ビット	LCDソースクロックにメインクロック、HOCOクロック、LOCOクロックを選択した場合 b5 b0 0 1 0 0 0 1 : 256分周 0 1 0 0 1 0 : 512分周 0 1 0 0 1 1 : 1024分周 0 1 0 1 0 0 : 2048分周 0 1 0 1 0 1 : 4096分周 0 1 0 1 1 0 : 8192分周 0 1 0 1 1 1 : 16384分周 0 1 1 0 0 0 : 32768分周 0 1 1 0 0 1 : 65536分周 0 1 1 0 1 0 : 131072分周 0 1 1 0 1 1 : 262144分周 1 0 1 0 1 1 : 524288分周 上記以外は設定しないでください。 ----- LCDソースクロックにサブクロックを選択した場合 b5 b0 0 0 0 1 0 0 : 32分周 0 0 0 1 0 1 : 64分周 0 0 0 1 1 0 : 128分周 0 0 0 1 1 1 : 256分周 0 0 1 0 0 0 : 512分周 0 0 1 0 0 1 : 1024分周 上記以外は設定しないでください。 ----- LCDソースクロックにIWDT専用オンチップオシレータを選択した場合 b5 b0 0 0 0 0 1 1 : 16分周 (注1) 0 0 0 1 0 0 : 32分周 (注1) 0 0 0 1 0 1 : 64分周 (注1) 0 0 0 1 1 0 : 128分周 (注1) 0 0 0 1 1 1 : 256分周 (注1) 上記以外は設定しないでください。	R/W
b1				R/W
b2				R/W
b3				R/W
b4				R/W
b5				R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. フレーム周波数は32Hz～128Hzの範囲内で設定してください。さらに、内部昇圧方式に設定した場合、LCDクロック (LCDCL) は、512Hz以下に設定してください。

注. LCDM1.SCOCビット = 1のときLCDC0ビットを設定しないでください。

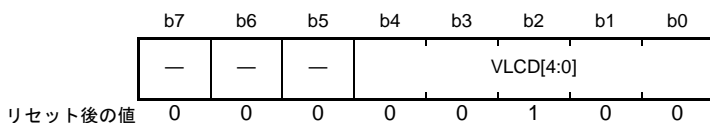
注1. 内部昇圧方式設定 (LCDM0.MDSET[1:0]ビット = 01b) 時、容量分割方式設定 (LCDM0.MDSET[1:0]ビット = 10b) 時は、LCDソースクロック (LCDSRCCLK) として、IWDTCCLKの選択は禁止です。

LCD クロックと時分割数で、フレーム周波数が決まります。

LCD ソースクロック (LCDSRCCLK) の選択については、「9. クロック発生回路」を参照してください。

### 34.2.4 LCD 昇圧レベル制御レジスタ (VLCD)

アドレス LCDC.VLCD 000A 0803h



ビット	シンボル	ビット名	機能			R/W					
b0	VLCD[4:0]	基準電圧選択 (コントラスト調整) ビット	b4	b3	b2	b1	b0	VL1電圧	VL4電圧		R/W
b1								基準電圧	1/3バイアス法時	1/4バイアス法時	R/W
b2			0	0	1	0	0	1.00V	3.00V	4.00V	R/W
b3			0	0	1	0	1	1.05V	3.15V	4.20V	R/W
b4			0	0	1	1	0	1.10V	3.30V	4.40V	R/W
			0	0	1	1	1	1.15V	3.45V	4.60V	
			0	1	0	0	0	1.20V	3.60V	4.80V	
			0	1	0	0	1	1.25V	3.75V	5.00V	
			0	1	0	1	0	1.30V	3.90V	5.20V	
			0	1	0	1	1	1.35V	4.05V	設定禁止	
			0	1	1	0	0	1.40V	4.20V	設定禁止	
			0	1	1	0	1	1.45V	4.35V	設定禁止	
			0	1	1	1	0	1.50V	4.50V	設定禁止	
	0	1	1	1	1	1.55V	4.65V	設定禁止			
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください			R/W					

- 注. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。
- 注. VLCDレジスタの値を変更する場合は、昇圧回路の動作を停止 (LCDM1.VLCONビット = 0) してから行ってください。
- 注. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0.MDSET[1:0]ビット = 01b) にしてから)、基準電圧セットアップ時間 (5 ms (min)) をウェイトしたあとに、LCDM1.VLCONビットに“1”を設定してください。

VLCD レジスタは、昇圧回路動作時に生成する基準電圧を選択 (コントラスト調整) するレジスタです。基準電圧は、16段階から選択することができます。電圧範囲については、「43. 電気的特性」を参照してください。

### 34.3 LCD 表示データレジスタ

LCD 表示データレジスタは、表 34.6、表 34.7 のようにマッピングしています。LCD 表示データレジスタの内容を変更することで LCD 表示内容を変更できます。

表 34.6 LCD 表示データレジスタの内容とセグメント出力/コモン出力の関係

8時分割以外 (スタティック、2時分割、3時分割、4時分割)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	リセット時	100ピン	64ピン
		COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0			
SEG00	000A 0840h	SEG00 (Bパターン領域)				SEG00 (Aパターン領域)				00h	○	—
SEG01	000A 0841h	SEG01 (Bパターン領域)				SEG01 (Aパターン領域)				00h	○	—
SEG02	000A 0842h	SEG02 (Bパターン領域)				SEG02 (Aパターン領域)				00h	○	—
SEG03	000A 0843h	SEG03 (Bパターン領域)				SEG03 (Aパターン領域)				00h	○	—
SEG04	000A 0844h	SEG04 (Bパターン領域)				SEG04 (Aパターン領域)				00h	○	—
SEG05	000A 0845h	SEG05 (Bパターン領域)				SEG05 (Aパターン領域)				00h	○	—
SEG06	000A 0846h	SEG06 (Bパターン領域)				SEG06 (Aパターン領域)				00h	○	—
SEG07	000A 0847h	SEG07 (Bパターン領域)				SEG07 (Aパターン領域)				00h	○	—
SEG08	000A 0848h	SEG08 (Bパターン領域)				SEG08 (Aパターン領域)				00h	○	—
SEG09	000A 0849h	SEG09 (Bパターン領域)				SEG09 (Aパターン領域)				00h	○	—
SEG10	000A 084Ah	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				00h	○	—
SEG11	000A 084Bh	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				00h	○	○
SEG12	000A 084Ch	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				00h	○	○
SEG13	000A 084Dh	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				00h	○	○
SEG14	000A 084Eh	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				00h	○	—
SEG15	000A 084Fh	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				00h	○	○
SEG16	000A 0850h	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				00h	○	—
SEG17	000A 0851h	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				00h	○	○
SEG18	000A 0852h	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				00h	○	—
SEG19	000A 0853h	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				00h	○	—
SEG20	000A 0854h	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				00h	○	○
SEG21	000A 0855h	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				00h	○	○
SEG22	000A 0856h	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				00h	○	—
SEG23	000A 0857h	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				00h	○	○
SEG24	000A 0858h	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				00h	○	○
SEG25	000A 0859h	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				00h	○	—
SEG26	000A 085Ah	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				00h	○	—
SEG27	000A 085Bh	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				00h	○	○
SEG28	000A 085Ch	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				00h	○	○
SEG29	000A 085Dh	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				00h	○	○
SEG30	000A 085Eh	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				00h	○	○
SEG31	000A 085Fh	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				00h	○	○
SEG32	000A 0860h	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				00h	○	○
SEG33	000A 0861h	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				00h	○	○
SEG34	000A 0862h	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				00h	○	○
SEG35	000A 0863h	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				00h	○	—
SEG36	000A 0864h	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				00h	○	—
SEG37	000A 0865h	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				00h	○	○
SEG38	000A 0866h	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				00h	○	○
SEG39	000A 0867h	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				00h	○	○

○ : サポートする — : サポートしない

表 34.7 LCD表示データレジスタの内容とセグメント出力/コモン出力の関係

8時分割

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	リセット時	100ピン	64ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG00	000A 0840h	SEG00								00h	○	—
SEG01	000A 0841h	SEG01								00h	○	—
SEG02	000A 0842h	SEG02								00h	○	—
SEG03	000A 0843h	SEG03								00h	○	—
SEG04	000A 0844h	SEG04								00h	○	—
SEG05	000A 0845h	SEG05								00h	○	—
SEG06	000A 0846h	SEG06								00h	○	—
SEG07	000A 0847h	SEG07								00h	○	—
SEG08	000A 0848h	SEG08								00h	○	—
SEG09	000A 0849h	SEG09								00h	○	—
SEG10	000A 084Ah	SEG10								00h	○	—
SEG11	000A 084Bh	SEG11 (注1)								00h	○	○
SEG12	000A 084Ch	SEG12 (注1)								00h	○	○
SEG13	000A 084Dh	SEG13 (注1)								00h	○	○
SEG14	000A 084Eh	SEG14								00h	○	—
SEG15	000A 084Fh	SEG15 (注1)								00h	○	○
SEG16	000A 0850h	SEG16								00h	○	—
SEG17	000A 0851h	SEG17								00h	○	○
SEG18	000A 0852h	SEG18								00h	○	—
SEG19	000A 0853h	SEG19								00h	○	—
SEG20	000A 0854h	SEG20								00h	○	○
SEG21	000A 0855h	SEG21								00h	○	○
SEG22	000A 0856h	SEG22								00h	○	—
SEG23	000A 0857h	SEG23								00h	○	○
SEG24	000A 0858h	SEG24								00h	○	○
SEG25	000A 0859h	SEG25								00h	○	—
SEG26	000A 085Ah	SEG26								00h	○	—
SEG27	000A 085Bh	SEG27								00h	○	○
SEG28	000A 085Ch	SEG28								00h	○	○
SEG29	000A 085Dh	SEG29								00h	○	○
SEG30	000A 085Eh	SEG30								00h	○	○
SEG31	000A 085Fh	SEG31								00h	○	○
SEG32	000A 0860h	SEG32								00h	○	○
SEG33	000A 0861h	SEG33								00h	○	○
SEG34	000A 0862h	SEG34								00h	○	○
SEG35	000A 0863h	SEG35								00h	○	—
SEG36	000A 0864h	SEG36								00h	○	—
SEG37	000A 0865h	SEG37								00h	○	○
SEG38	000A 0866h	SEG38								00h	○	○
SEG39	000A 0867h	SEG39								00h	○	○

○ : サポートする — : サポートしない

注1. COM4～COM7端子とSEG11～SEG13, SEG15端子は兼用しています。

スタティック、2時分割、3時分割、または4時分割で使用する場合、LCD表示データレジスタの各アドレスの下位4ビットはAパターン領域、上位4ビットはBパターン領域となります。

A パターン領域のデータと COM 信号の対応は、b0 ⇔ COM0, b1 ⇔ COM1, b2 ⇔ COM2, b3 ⇔ COM3 となります。

B パターン領域のデータと COM 信号の対応は、b4 ⇔ COM0, b5 ⇔ COM1, b6 ⇔ COM2, b7 ⇔ COM3 となります。

LCDM1.BLON ビット = LCDM1.LCDSEL ビット = 0 選択時には A パターン領域のデータを、LCDM1.BLON ビット = 0, LCDM1.LCDSEL ビット = 1 選択時には B パターン領域のデータを、LCD パネルに表示します。

### 34.4 LCD 表示データレジスタの選択

本 MCU では、スタティック、2 時分割、3 時分割、または 4 時分割で使用する場合、LCDM1.BLON ビットと LCDM1.LCDSEL ビットの設定により、LCD 表示データレジスタを次の 3 種類から選択することができます。

- A パターン領域 (LCD 表示データレジスタの下位 4 ビット) のデータ表示
- B パターン領域 (LCD 表示データレジスタの上位 4 ビット) のデータ表示
- A パターン領域と B パターン領域のデータを交互に表示 (RTC の周期割り込み (PRD) タイミングに対応した点滅表示)

注. 8 時分割使用時は、LCD 表示データレジスタ (A パターン、B パターンまたは点滅表示) を選択することはできません。

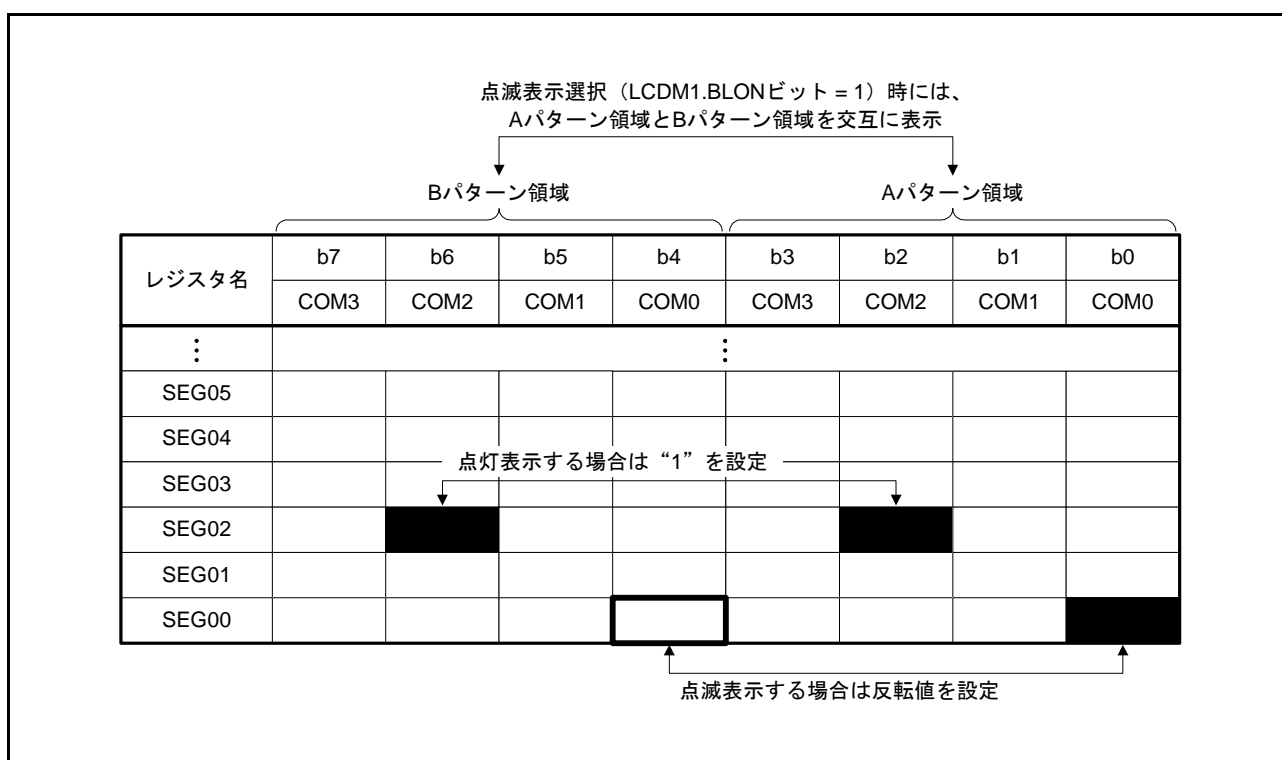


図 34.2 パターン切り替え表示時の LCD 表示データレジスタの設定例

### 34.4.1 Aパターン領域、Bパターン領域のデータ表示

LCDM1.BLON ビット = LCDM1.LCDSEL ビット = 0 設定時では、Aパターン領域 (LCD表示データレジスタの下位4ビット) のデータが表示データとして出力されます。

LCDM1.BLON ビット = 0, LCDM1.LCDSEL ビット = 1 設定時では、Bパターン領域 (LCD表示データレジスタの上位4ビット) のデータが表示データとして出力されます。

表示領域については、「34.3 LCD表示データレジスタ」を参照してください。

### 34.4.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)

LCDM1.BLON ビット = 1 設定時では、RTCの周期割り込み (PRD) タイミングに対応して、Aパターン領域とBパターン領域のデータを交互に表示します。RTCの周期割り込み (0.5s設定のみ) タイミングの設定については、「24. リアルタイムクロック (RTCA)」を参照してください。

パターン切り替え表示時のLCD表示データレジスタの設定例を図34.2に示します。LCDを点滅表示する場合、Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください (ex. SEG00レジスタのb0に“1”を設定し、SEG00レジスタのb4に“0”を設定)。また、LCDを点滅表示しない場合は、同値を設定してください (ex. SEG02レジスタのb2に“1”を設定し、SEG02レジスタのb6に“1”を設定)。

表示領域については、「34.3 LCD表示データレジスタ」を参照してください。

次に、表示切り替えのタイミング動作を示します。

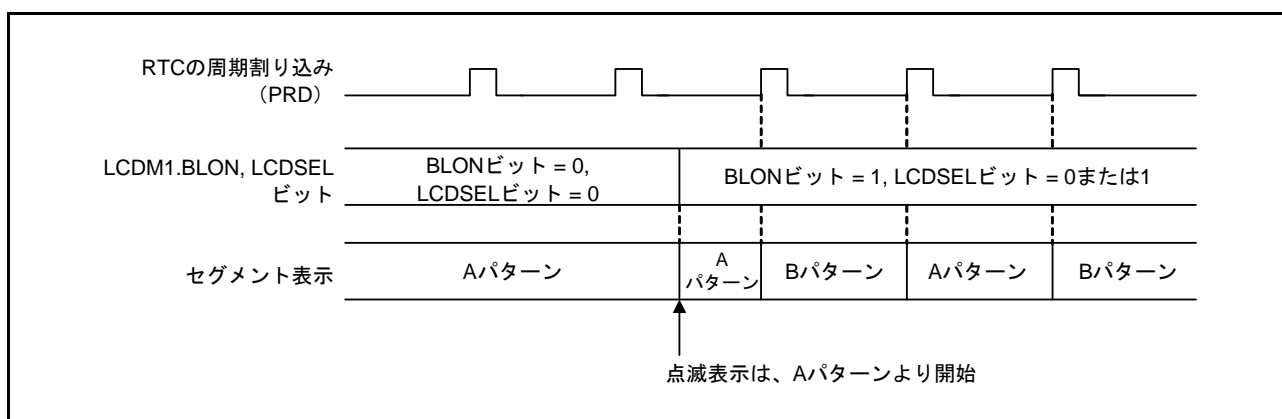


図 34.3 Aパターン表示から点滅表示への切り替え動作

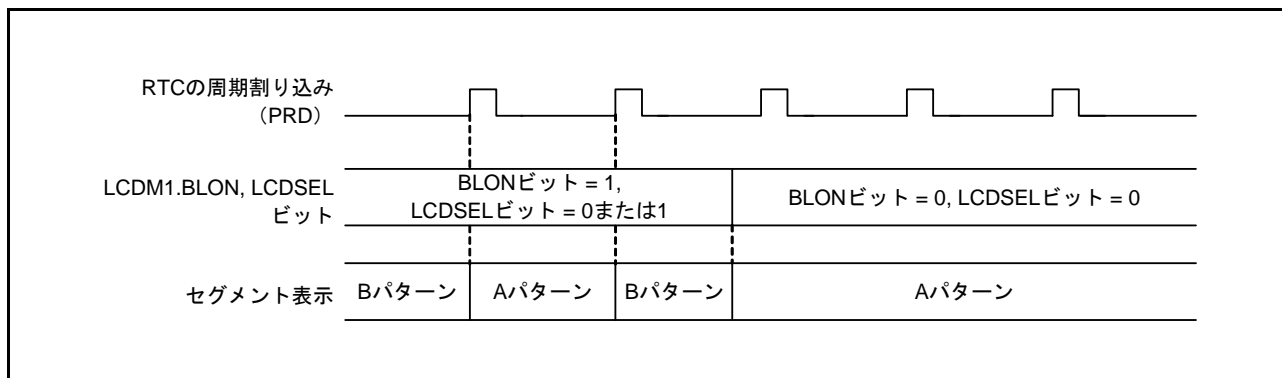


図 34.4 点滅表示からAパターン表示への切り替え動作



### 34.5 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

注. LCDコントローラ/ドライバを動作させる場合は、(1)～(3)の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

注. (1)～(3)の設定手順のフローチャートは、CPUの処理となっています。

#### (1) 外部抵抗分割方式

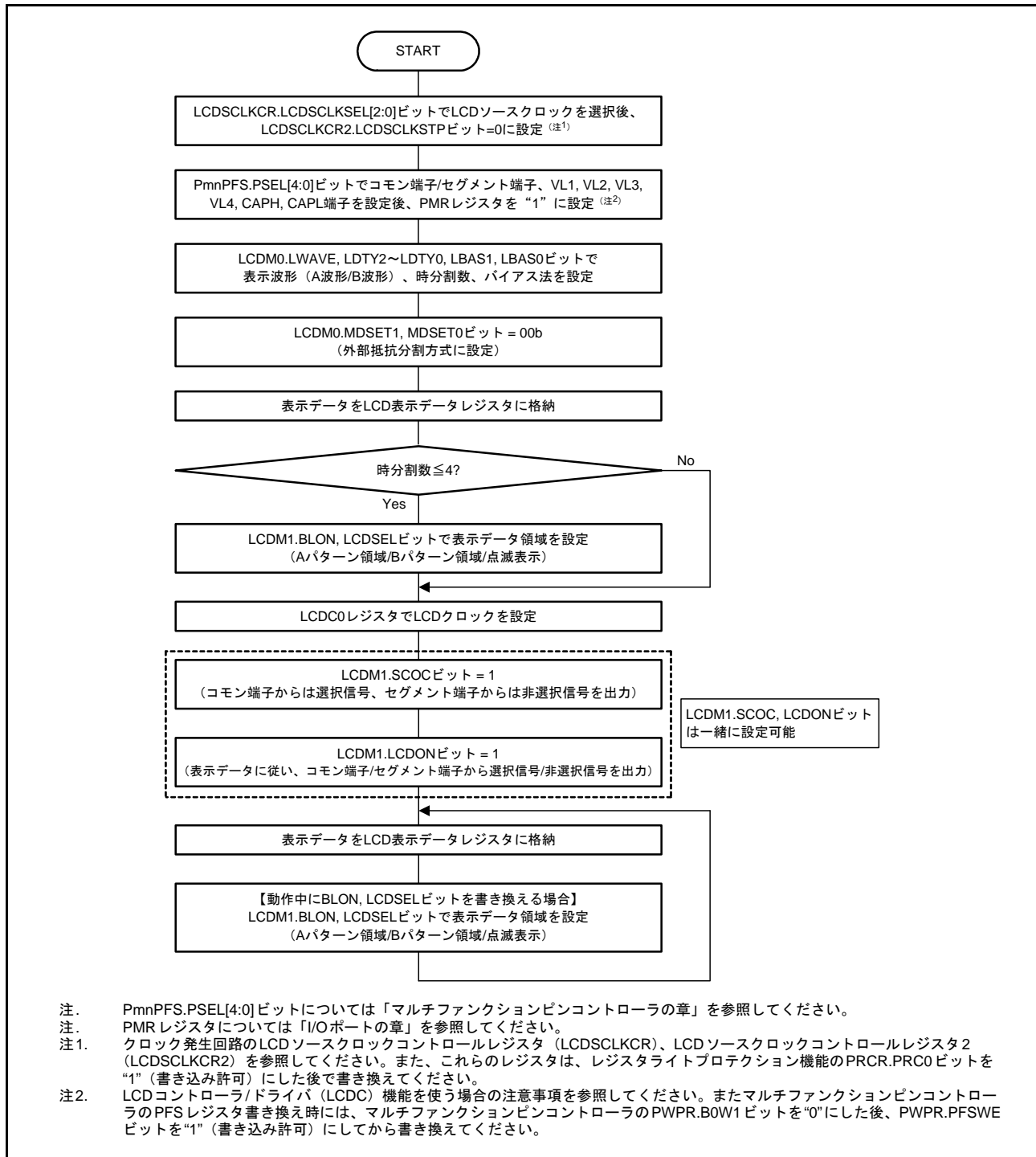


図 34.5 外部抵抗分割方式の設定手順

## (2) 内部昇圧方式

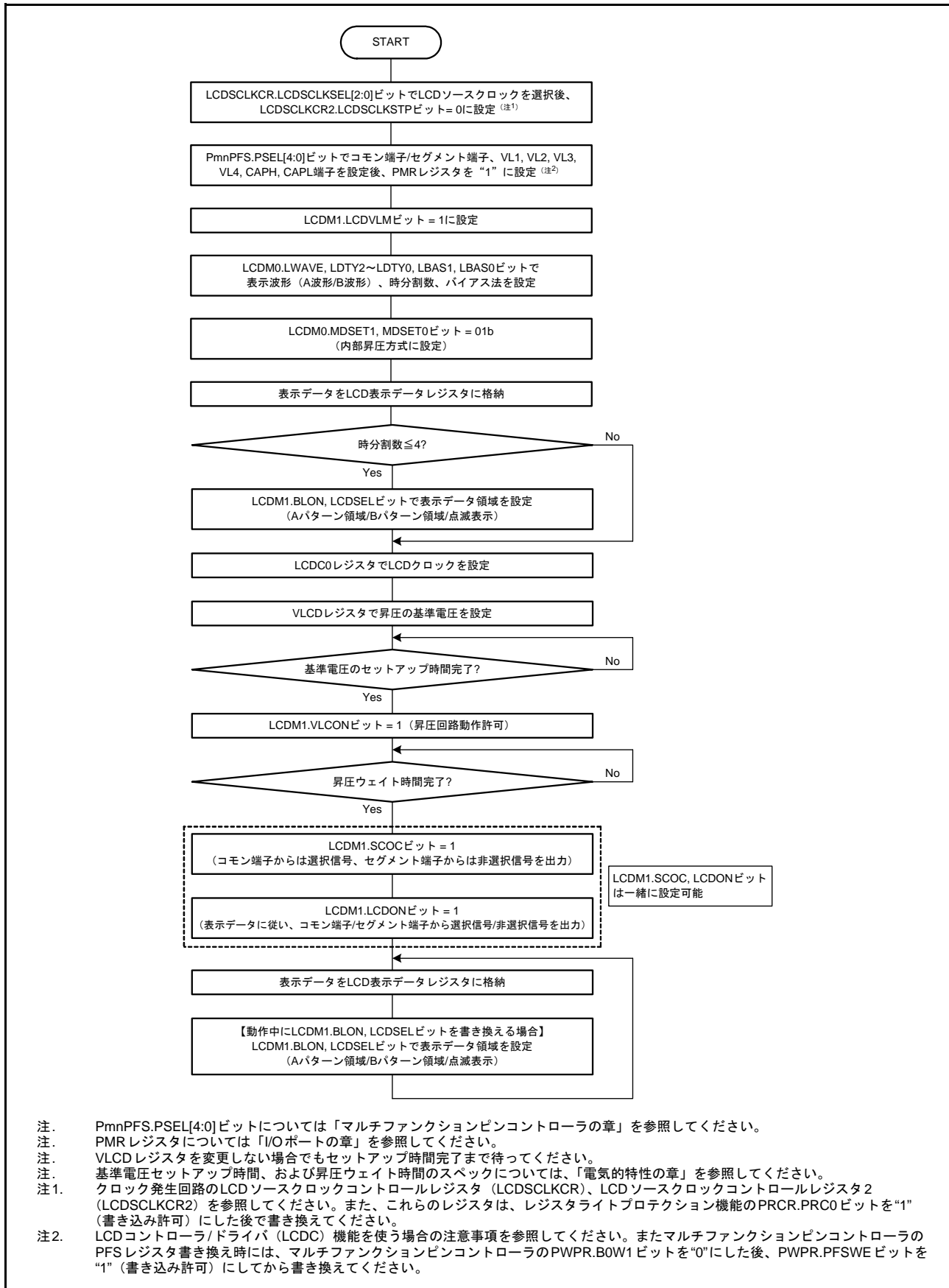


図 34.6 内部昇圧方式の設定手順

## (3) 容量分割方式

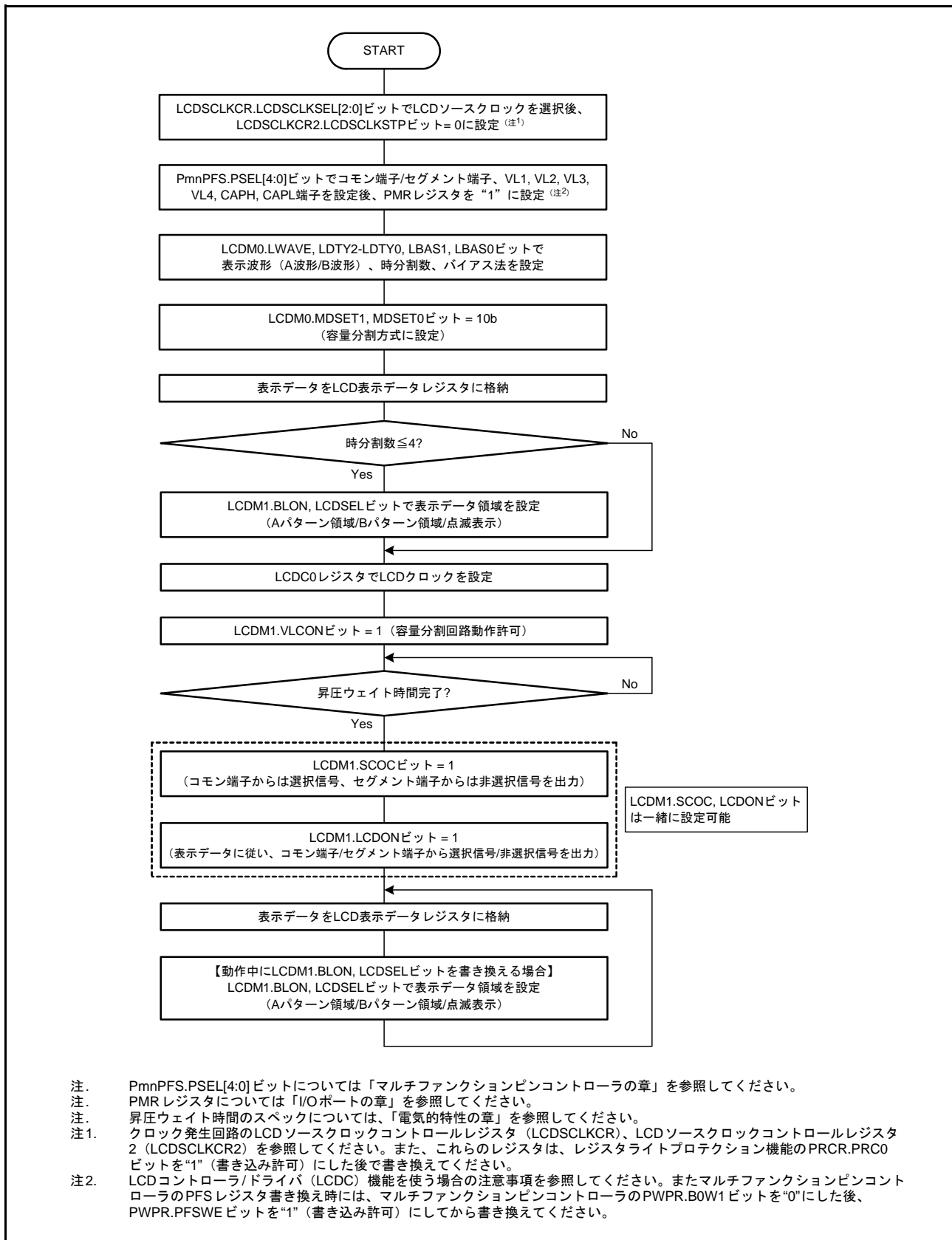


図 34.7 容量分割方式の設定手順

### 34.6 動作停止手順

LCD パネル表示中に動作を停止させたい場合は、次に示すフローチャートの設定で行ってください。  
LCDM1.LCDON ビット = 0 かつ LCDM1.SCOC ビット = 0 に設定することで、LCD の動作は停止します。

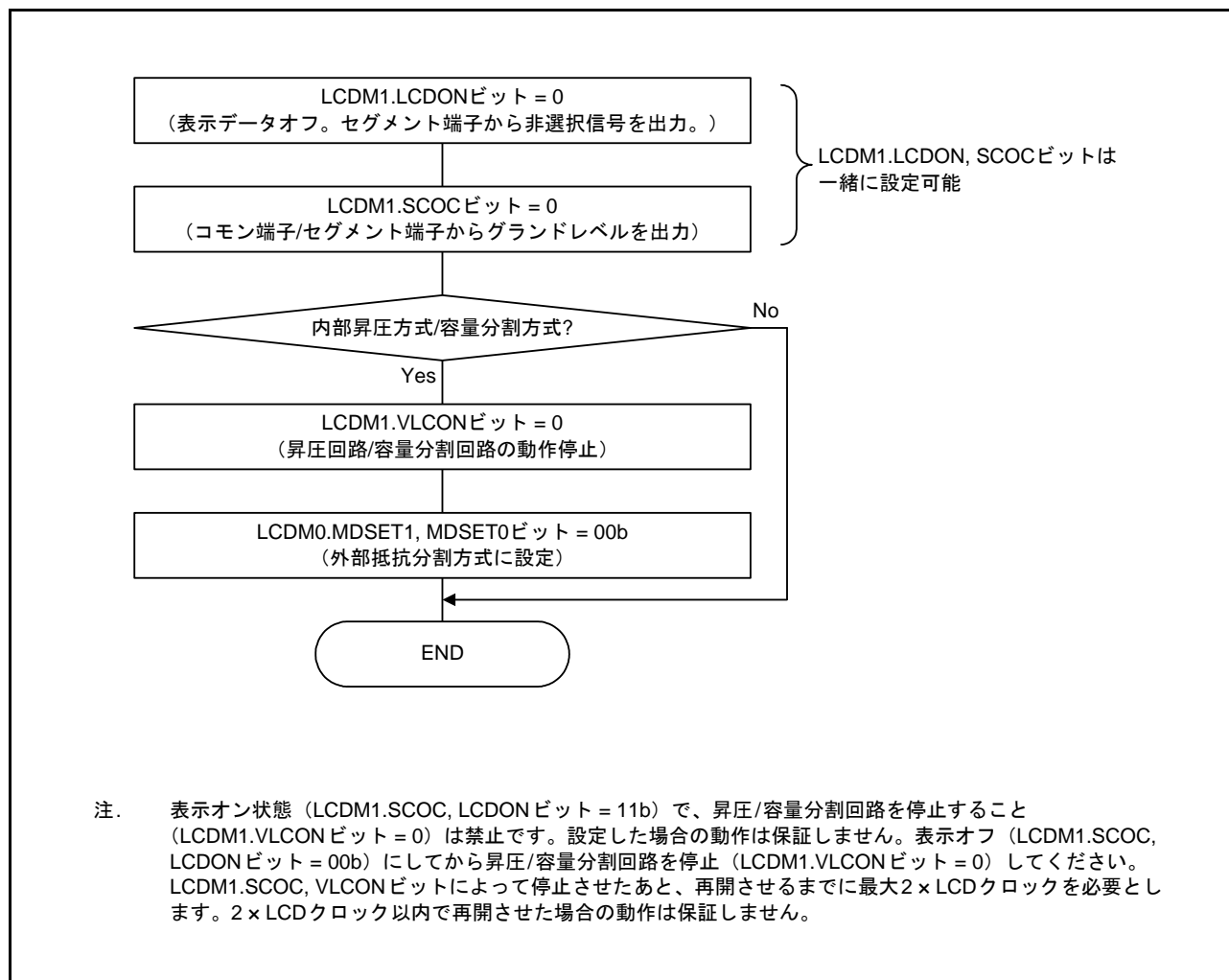


図 34.8 動作停止手順

### 34.7 LCD 駆動電圧 VL1, VL2, VL3, VL4 の供給

#### 34.7.1 外部抵抗分割方式

図 34.9、図 34.10 に各バイアス法に応じた LCD 駆動用電源の接続例を示します。

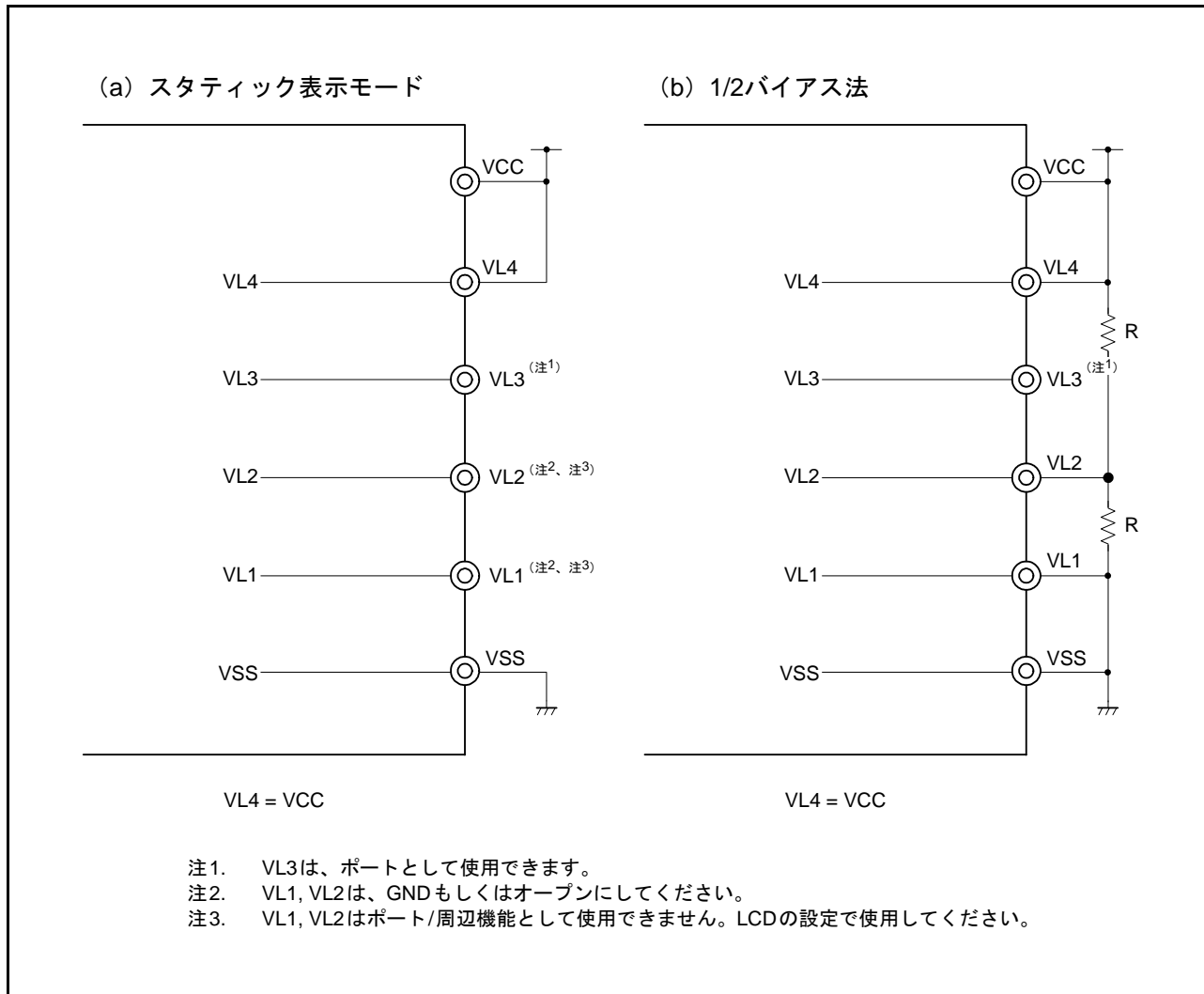


図 34.9 LCD 駆動用電源の接続例 (外部抵抗分割方式) (1)

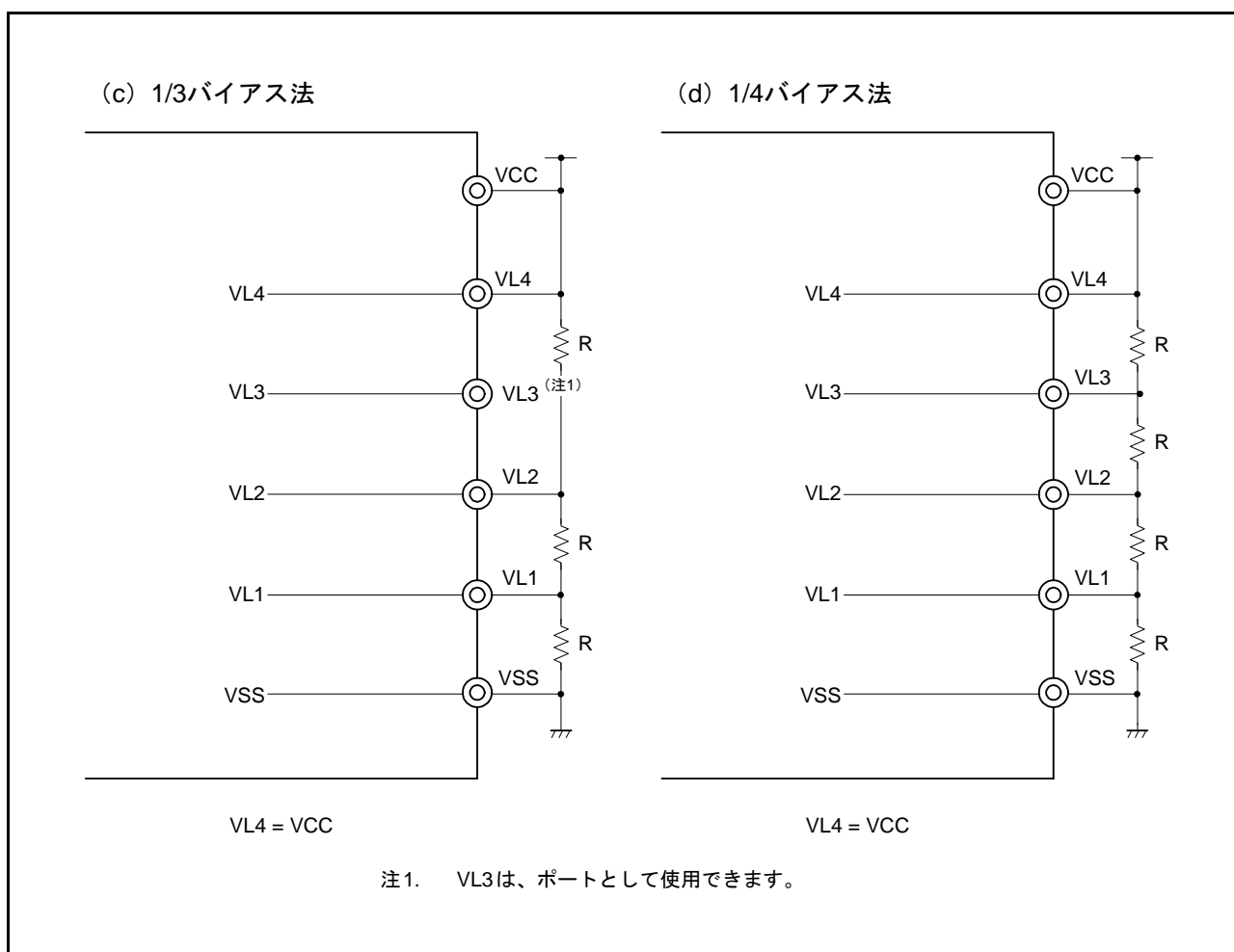


図 34.10 LCD 駆動用電源の接続例（外部抵抗分割方式）(2)

注. 外部抵抗分解用抵抗  $R$  の参考値は、 $10\text{k}\Omega \sim 1\text{M}\Omega$  です。また VL1 ~ VL4 端子の電位を安定させる場合には、必要に応じて、VL1 ~ VL4 端子 - GND 間にコンデンサを接続してください。これらの参考値は、 $0.22\mu\text{F}$  程度です。使用する LCD パネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行ったうえで、値を調整して決定してください。

### 34.7.2 内部昇圧方式

本 MCU は、LCD 駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ (0.47 $\mu$ F $\pm$ 30%) により、LCD 駆動電圧を生成します。内部昇圧方式は、1/3 バイアス法または 1/4 バイアス法のみ使用できます。

内部昇圧方式の LCD 駆動電圧は、本体とは別の電源なので、VCC の変化に関わらず、一定の電圧を供給できます。

また、LCD 昇圧レベル制御レジスタ (VLCD) レジスタの設定により、コントラストを調整することができます。

表 34.8 LCD 駆動電圧 (内部昇圧方式)

LCD 駆動用電源端子	表示モード	1/3 バイアス法	1/4 バイアス法
VL4		3 $\times$ VL1	4 $\times$ VL1
VL3		—	3 $\times$ VL1
VL2		2 $\times$ VL1	2 $\times$ VL1
VL1		LCD 基準電圧	LCD 基準電圧

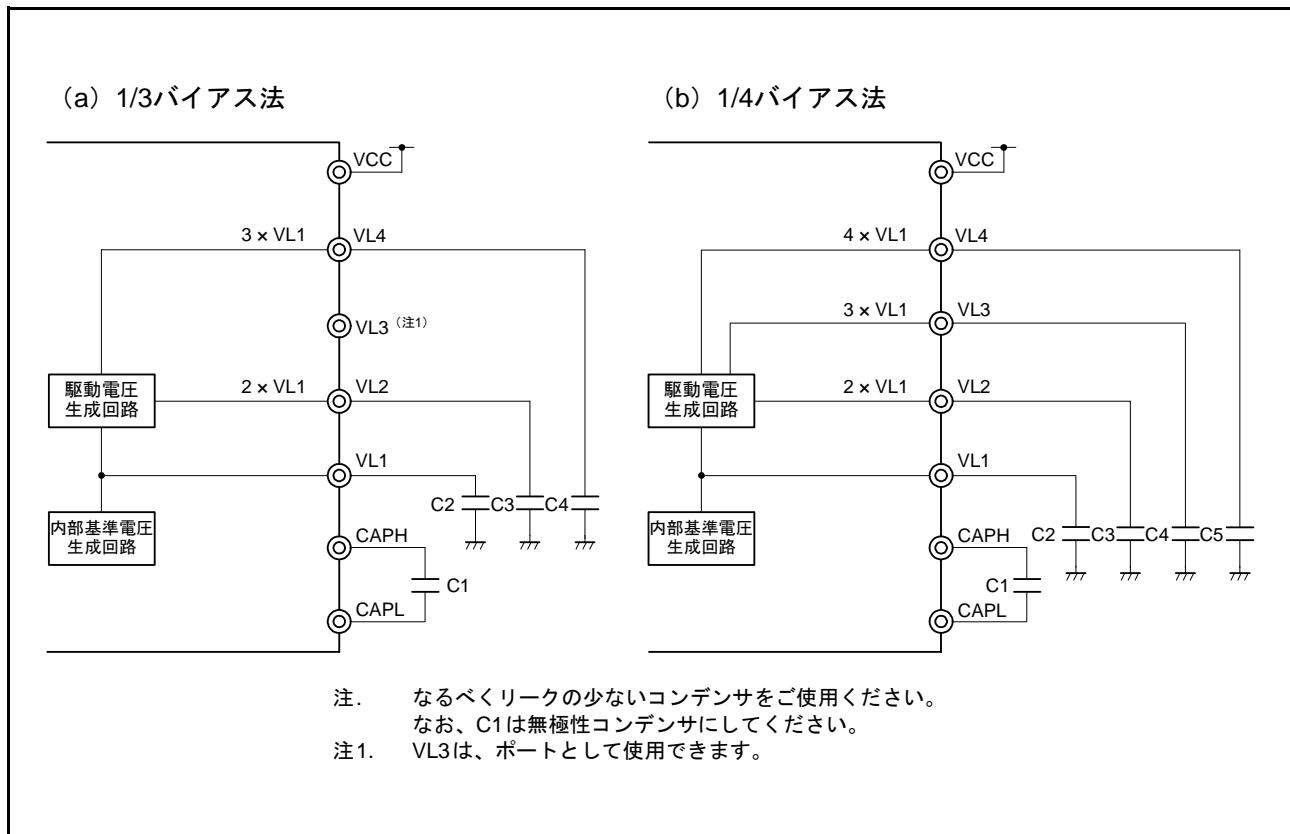


図 34.11 LCD 駆動用電源の接続例 (内部昇圧方式)

### 34.7.3 容量分割方式

本 MCU は、LCD 駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ (0.47 $\mu$ F $\pm$ 30%) により、LCD 駆動電圧を生成します。容量分割方式は、1/3 バイアス法のみ使用できます。

外部抵抗分割方式とは異なり、容量分割方式では常時電流が流れないため、消費電流を低減することができます。

表 34.9 LCD 駆動電圧 (容量分割方式)

LCD 駆動用電源端子	表示モード	1/3 バイアス法
VL4		VCC
VL3		—
VL2		$2/3 \times VL4$
VL1		$1/3 \times VL4$

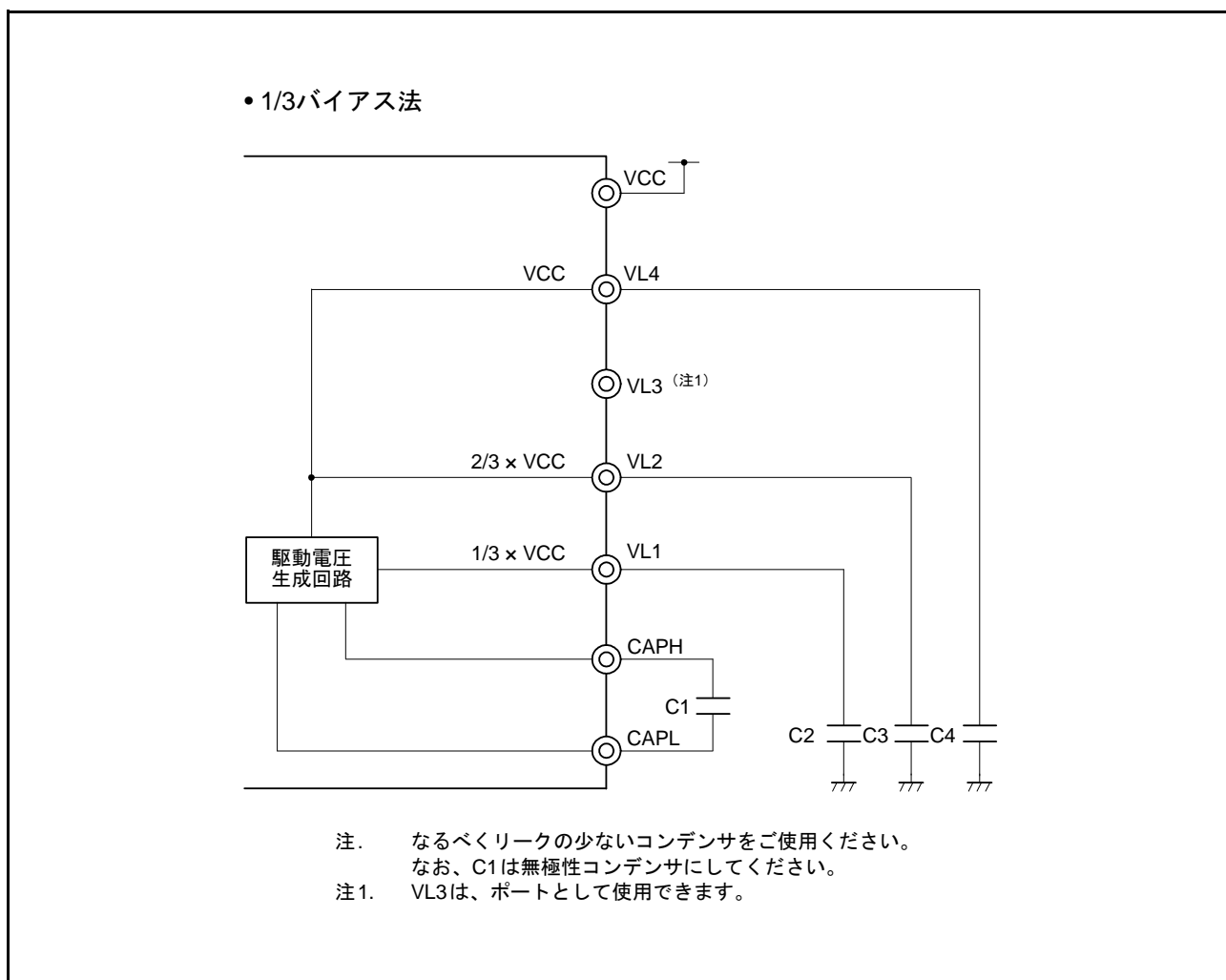


図 34.12 LCD 駆動用電源の接続例 (容量分割方式)



### 34.8 コモン信号とセグメント信号

LCD パネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧 (LCD 駆動電圧 VLCD) 以上になると点灯します。VLCD 以下の電位差になると消灯します。

LCD パネルは、コモン信号とセグメント信号に DC 電圧が加えられると劣化するため、AC 電圧によって駆動されます。

#### (1) コモン信号

コモン信号は、設定する時分割数に応じて表 34.10 に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティックモードの場合は COM0 ~ COM3 に同一信号が出力されます。

表 34.10 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック	↑	↑	↑	↑	—	—	—	—
2時分割	↑	↑	—	—	—	—	—	—
3時分割	↑	↑	↑	—	—	—	—	—
4時分割	↑	↑	↑	↑	—	—	—	—
8時分割	↑	↑	↑	↑	↑	↑	↑	↑

— : 使用しない

## (2) セグメント信号

セグメント信号は、LCD 表示データレジスタ（「34.3 LCD 表示データレジスタ」参照）に対応しています。

8 時分割方式で使用する場合、各 LCD 表示データレジスタの b0 から b7 が、コモン信号 COM0 から COM7 に対応します。COM0 から COM7 の各選択タイミングに同期して、b0 から b7 のデータが順次読み出され、各ビットの内容が“1”なら選択電圧に変換され、“0”なら非選択電圧に変換されてセグメント端子 (SEG00 ~ SEG10, SEG14, SEG16 ~ SEG39) に出力されます。

8 時分割方式以外で使用する場合、A パターン領域では、各表示データレジスタの b0 から b3 が COM0 から COM3 に、B パターン領域では、各表示データレジスタの b4 から b7 が COM0 から COM3 に対応します。コモン信号出力の各タイミングに同期して、LCD 表示データレジスタのデータが読み出され、各ビットの内容が“1”なら選択電圧に変換され、“0”なら非選択電圧に変換されてセグメント端子 (SEG00 ~ SEG39) に出力されます。

以上のことから、LCD 表示データレジスタには使用する LCD パネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに 1 対 1 に対応するビットデータを書き込むようにしてください。

注． 搭載するセグメント端子は、製品により異なります。

- ・ 64 ピン製品 : SEG11 ~ SEG13, SEG15, SEG17, SEG20, SEG21, SEG23, SEG24, SEG27 ~ SEG34, SEG37 ~ SEG39
- ・ 100 ピン製品 : SEG00 ~ SEG39

## (3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表 34.11 に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ  $\pm VLCD$  の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表 34.11 LCD 駆動電圧

## (a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号			
VL4/VSS		-VLCD/+VLCD	0V/0V

## (b) 1/2 バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		VSS/VL4	VL4/VSS
選択信号レベル	VL4/VSS	-VLCD/+VLCD	0V/0V
非選択信号レベル	VL2	$-\frac{1}{2}VLCD / +\frac{1}{2}VLCD$	$+\frac{1}{2}VLCD / -\frac{1}{2}VLCD$

## (c) 1/3 バイアス法 (A 波形、B 波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		VSS/VL4	VL2/VL1
選択信号レベル	VL4/VSS	-VLCD/+VLCD	$-\frac{1}{3}VLCD / +\frac{1}{3}VLCD$
非選択信号レベル	VL1/VL2	$-\frac{1}{3}VLCD / +\frac{1}{3}VLCD$	$+\frac{1}{3}VLCD / -\frac{1}{3}VLCD$

## (d) 1/4 バイアス法 (A 波形、B 波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		VSS/VL4	VL2
選択信号レベル	VL4/VSS	-VLCD/+VLCD	$-\frac{1}{2}VLCD / +\frac{1}{2}VLCD$
非選択信号レベル	VL1/VL3	$-\frac{1}{4}VLCD / +\frac{1}{4}VLCD$	$+\frac{1}{4}VLCD / -\frac{1}{4}VLCD$

図 34.13、図 34.14 にコモン信号波形を、図 34.15 ~ 図 34.17 にコモン信号とセグメント信号の電圧と位相を示します。

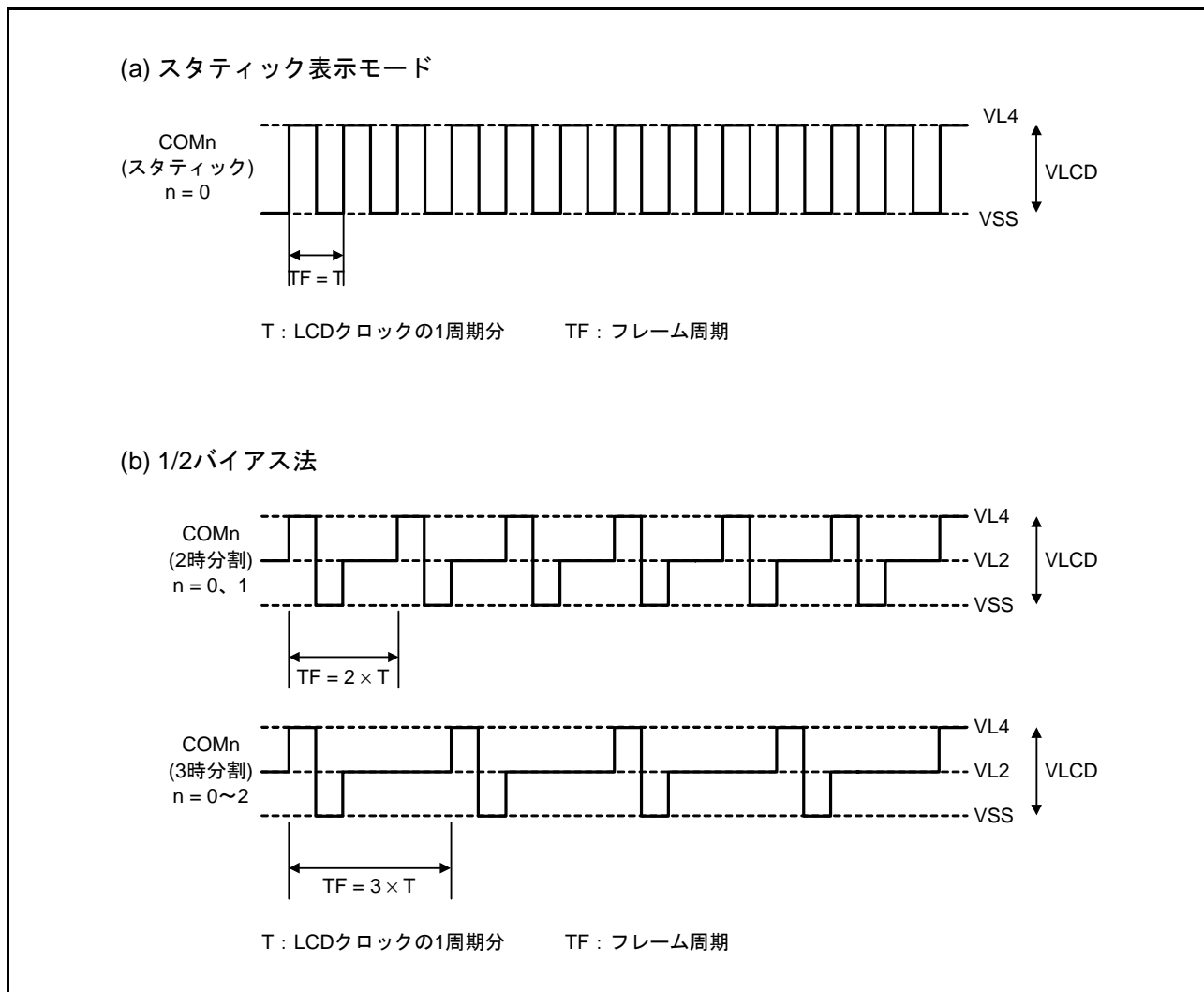


図 34.13 コモン信号波形 (1)

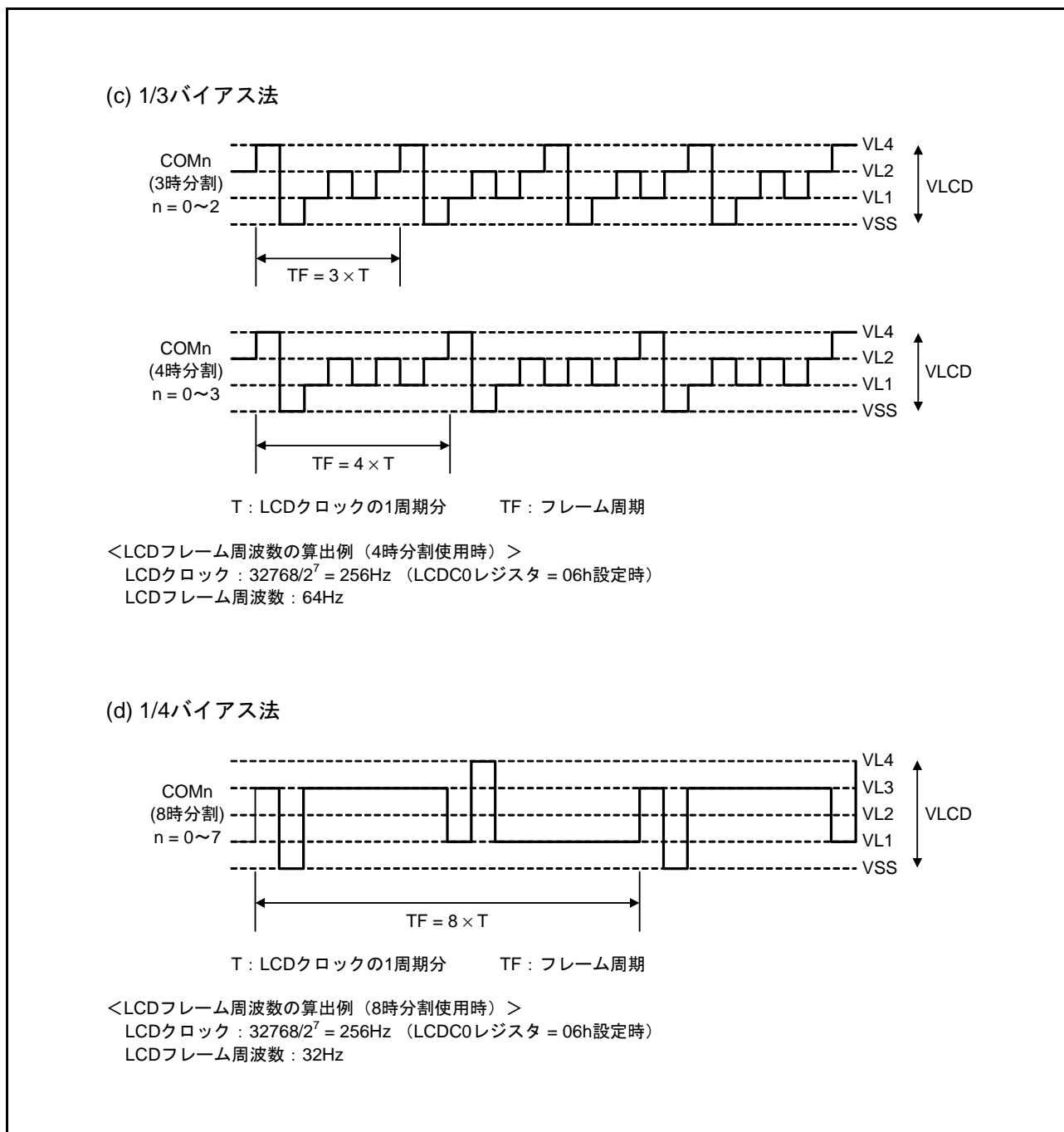


図 34.14 コモン信号波形 (2)

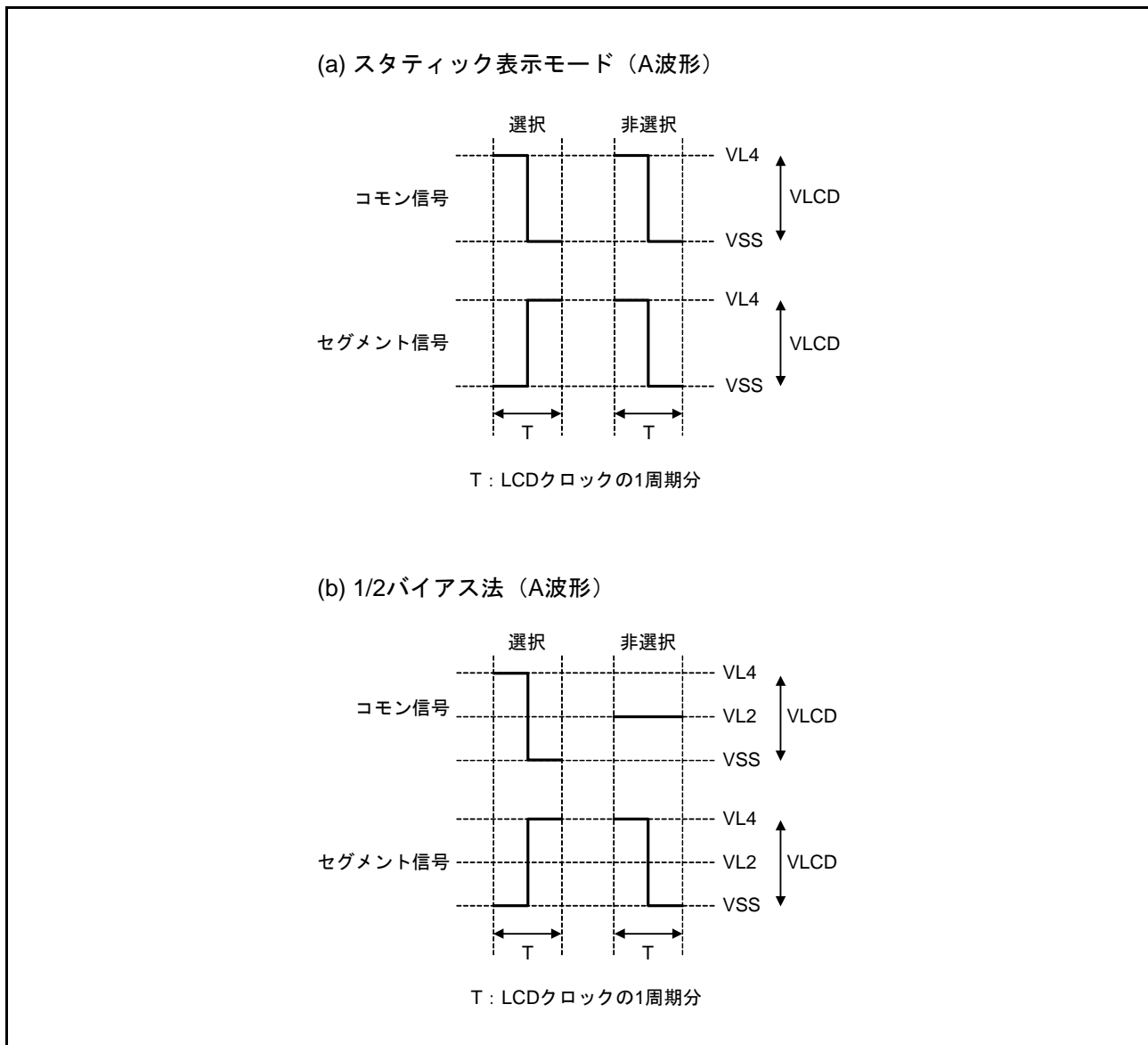


図 34.15 コモン信号とセグメント信号の電圧と位相 (1)

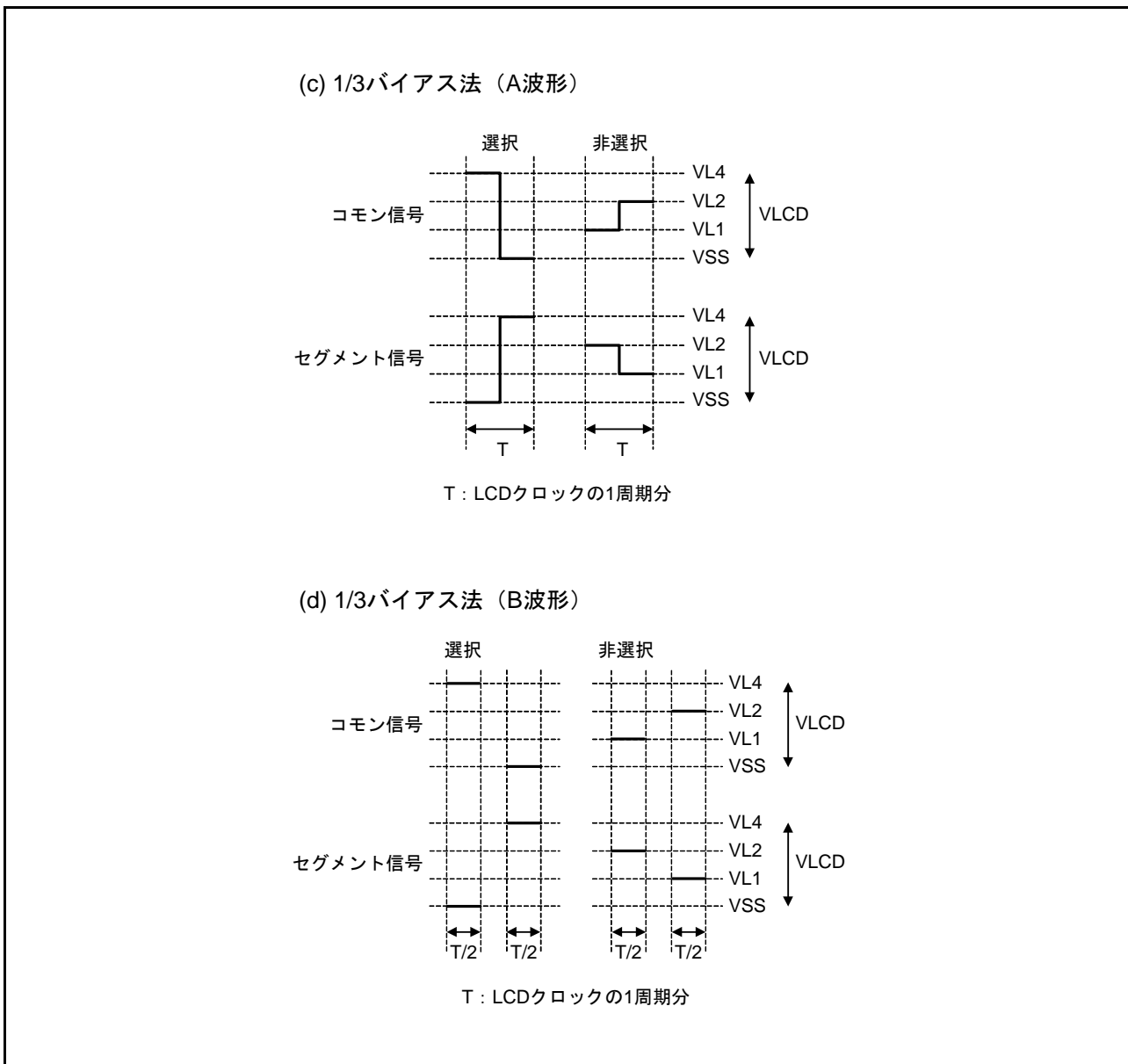


図 34.16 コモン信号とセグメント信号の電圧と位相 (2)

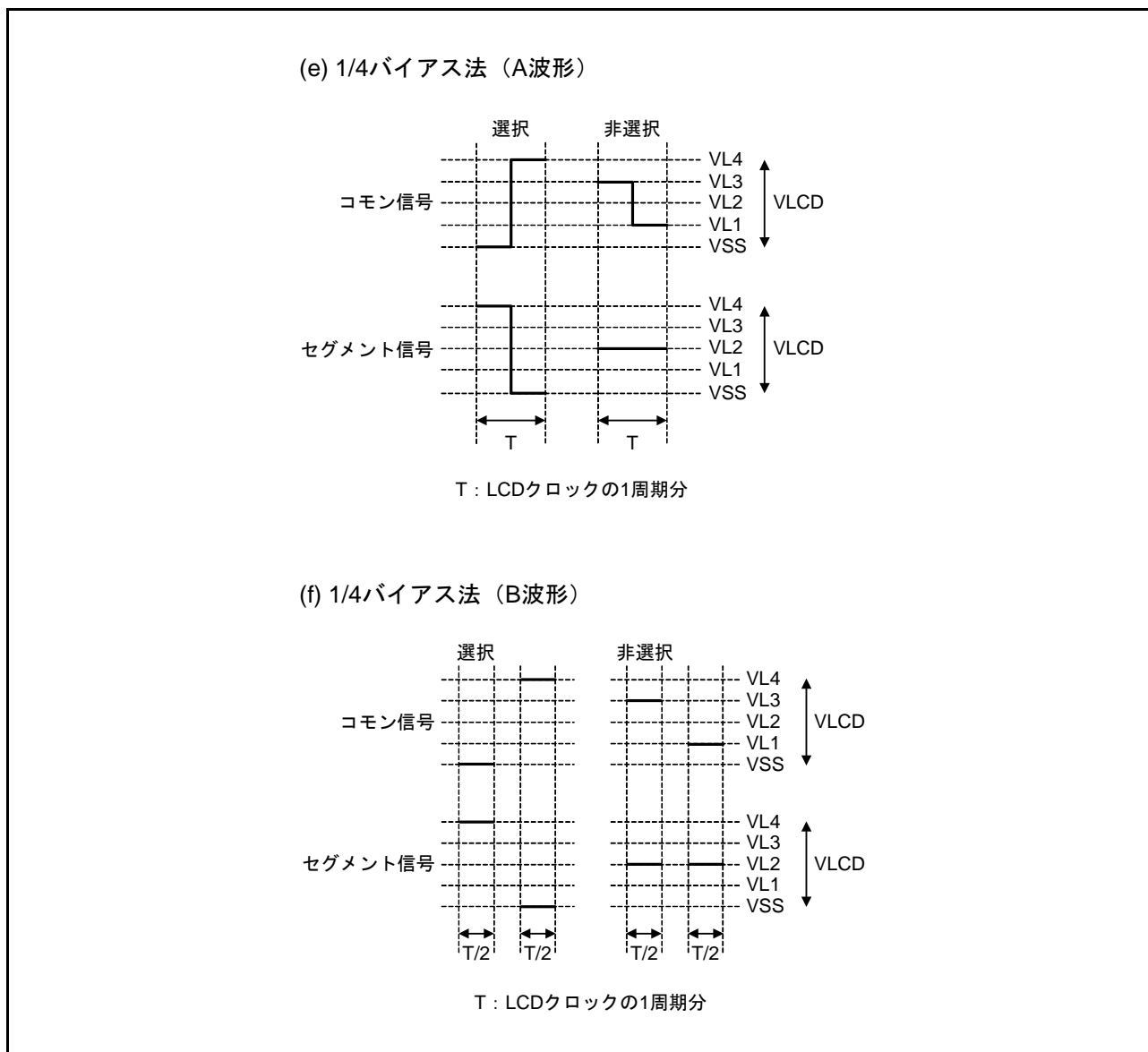


図 34.17 コモン信号とセグメント信号の電圧と位相 (3)



### 34.9 表示モード

#### 34.9.1 スタティック表示例

図 34.19 は、図 34.18 の表示パターンを持つスタティック方式の 3 桁の LCD パネルとセグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0) との接続を示します。表示例は“12.3”で、LCD 表示データレジスタの内容はこれに対応しています。

ここでは 2 桁目の“2.” (2.) を例にとって説明します。図 34.18 の表示パターンに従って、COM0 のコモン信号の選択タイミングで選択、非選択電圧を SEG08 ~ SEG15 端子に出力する必要があります。

表 34.12 選択 (1)、非選択 (0) のデータ例 (COM0)

セグメント	SEG08	SEG09	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	1	0	1	1	0	1	1	1

表 34.12 により SEG15 に対応する LCD 表示データレジスタには、“xxx1b”を用意すればよいことが分かります。

SEG11, SEG12 と COM0 との LCD 駆動波形を図 34.20 に示します。COM0 との選択タイミングで SEG11 が選択電圧になるときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

COM1 ~ COM3 には COM0 と同じ波形が出力されますので、COM0 ~ COM3 を接続してドライブ能力を上げることができます。

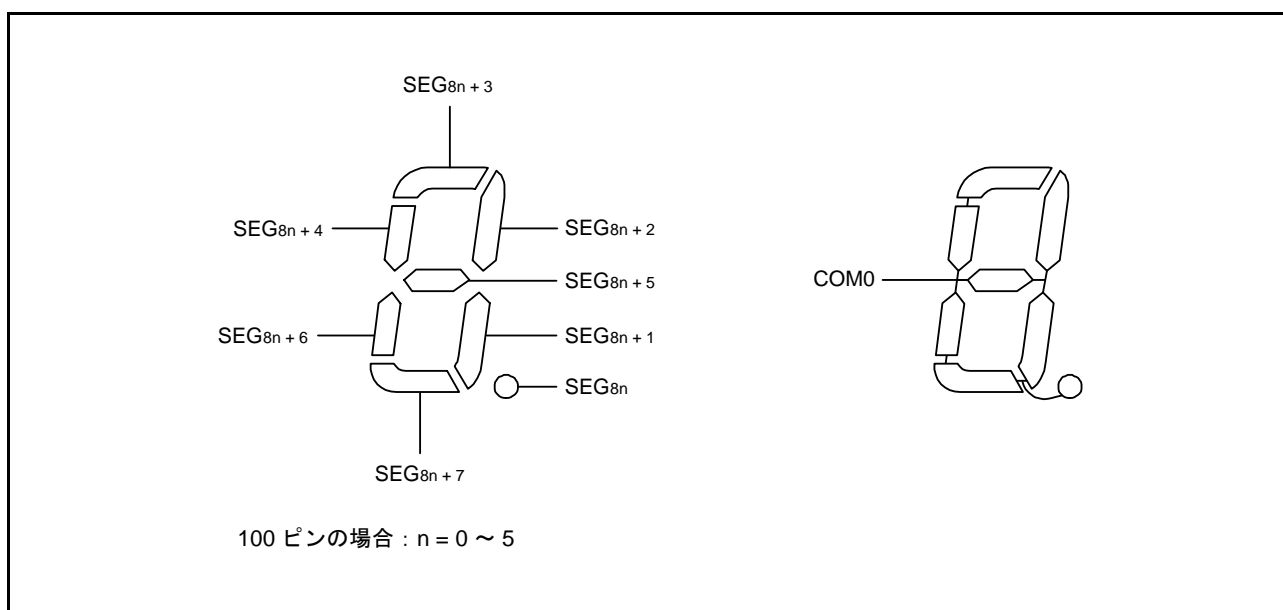


図 34.18 スタティック LCD の表示パターンと電極結線

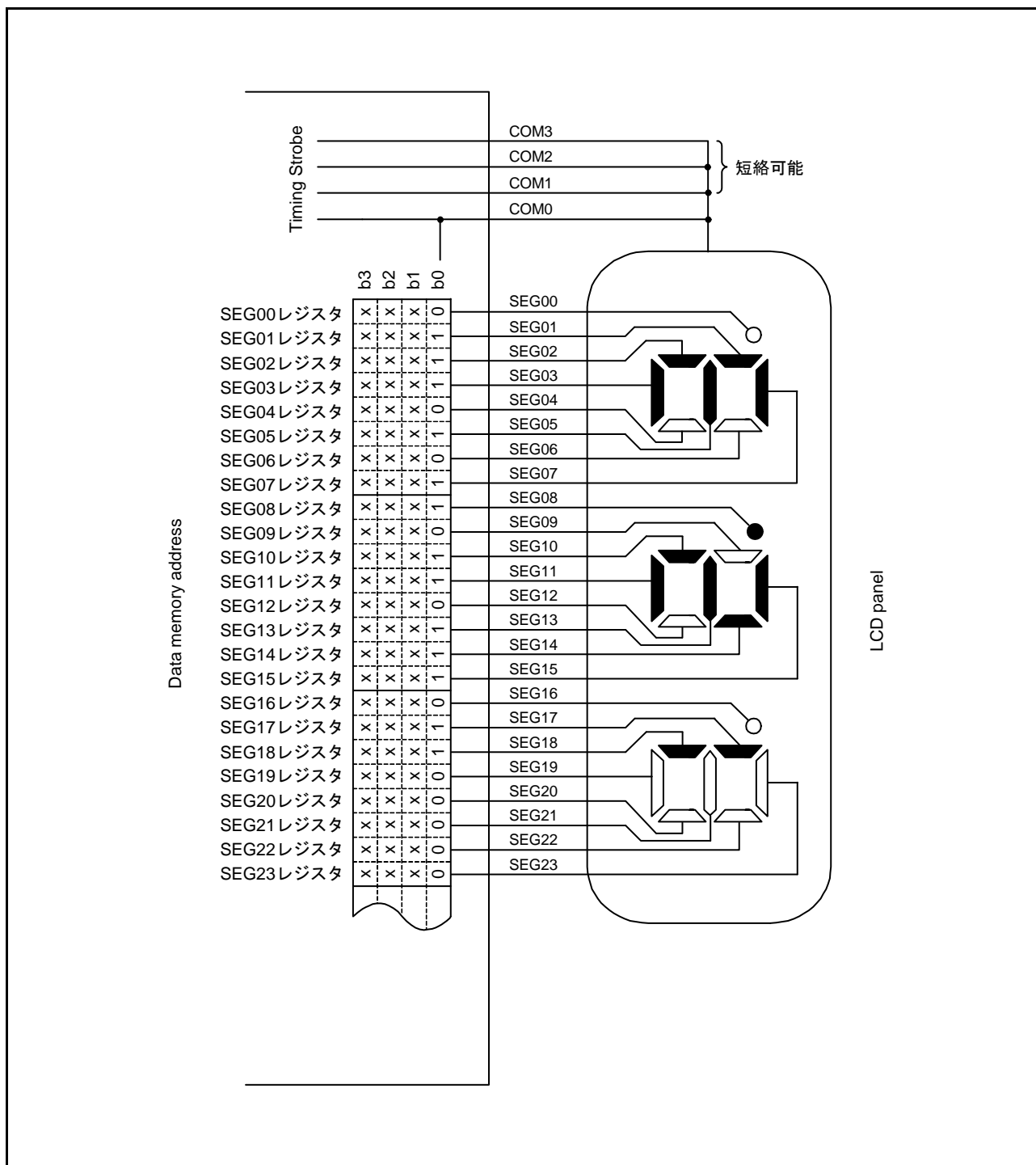


図 34.19 スタティック LCD パネルの結線例

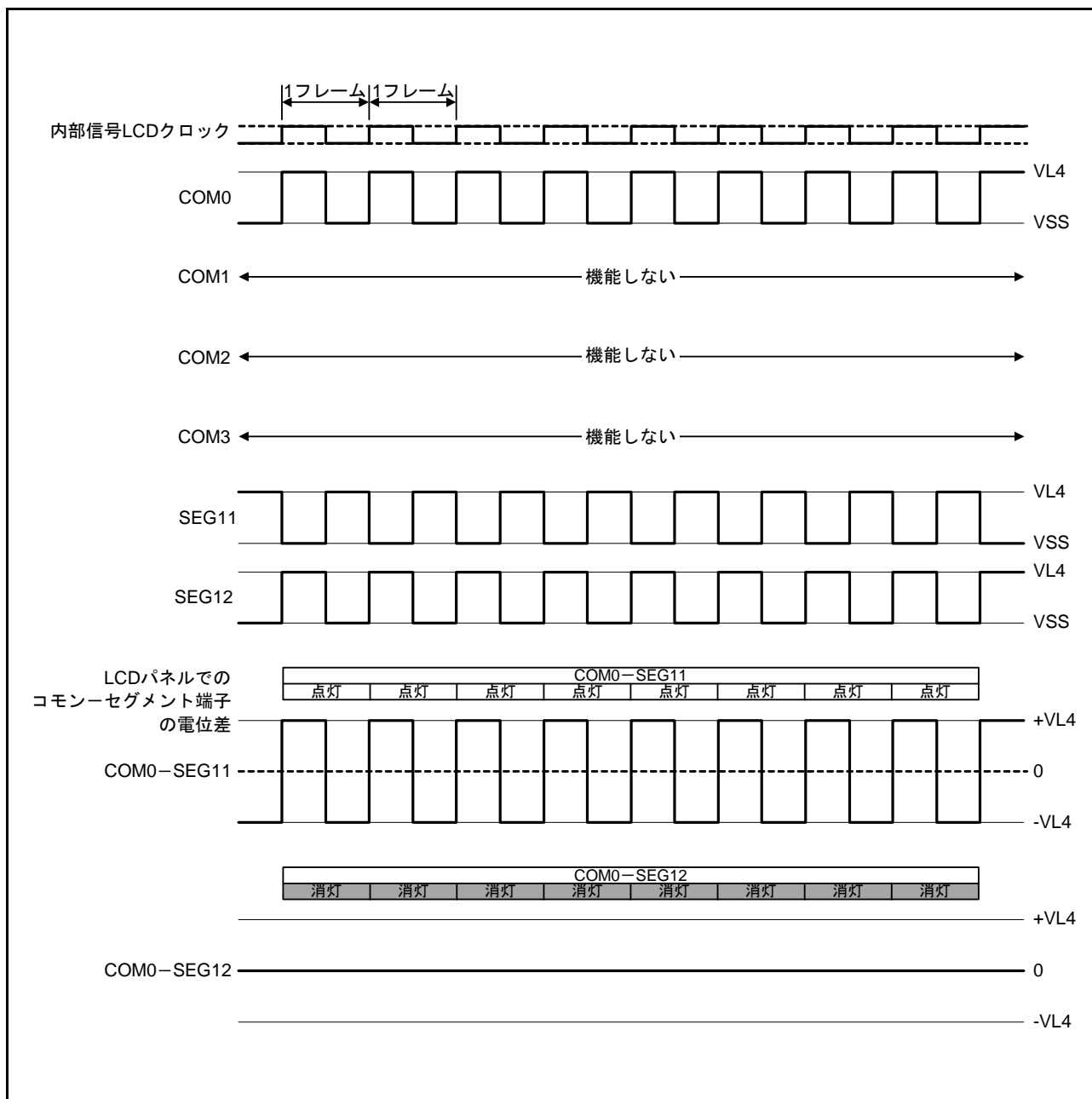


図 34.20 SEG11, SEG12 と COM0 とのスタティック LCD 駆動波形例

### 34.9.2 2時分割表示例

図 34.22 は、図 34.21 の表示パターンを持つ 2 時分割方式の 6 桁 LCD パネルとセグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0, COM1) との接続を示します。表示例は “12345.6” で、LCD 表示データレジスタの内容はそれらに対応しています。

ここでは 4 桁目の “3” (3) を例にとって説明します。図 34.21 の表示パターンに従って、COM0, COM1 の各コモン信号の選択タイミングで選択、非選択電圧を SEG12 ~ SEG15 端子に出力する必要があります。

表 34.13 選択 (1)、非選択 (0) のデータ例 (COM0, COM1)

コモン \ セグメント	SEG12	SEG13	SEG14	SEG15
COM0	1	1	0	0
COM1	0	1	1	1

表 34.13 により、たとえば SEG15 に対応する LCD 表示データレジスタには、“xx10b” を用意すればよいことが分かります。

SEG15 と各コモン信号間の LCD 駆動波形例を図 34.23 に示します。COM1 の選択タイミングで SEG15 が選択電圧のときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

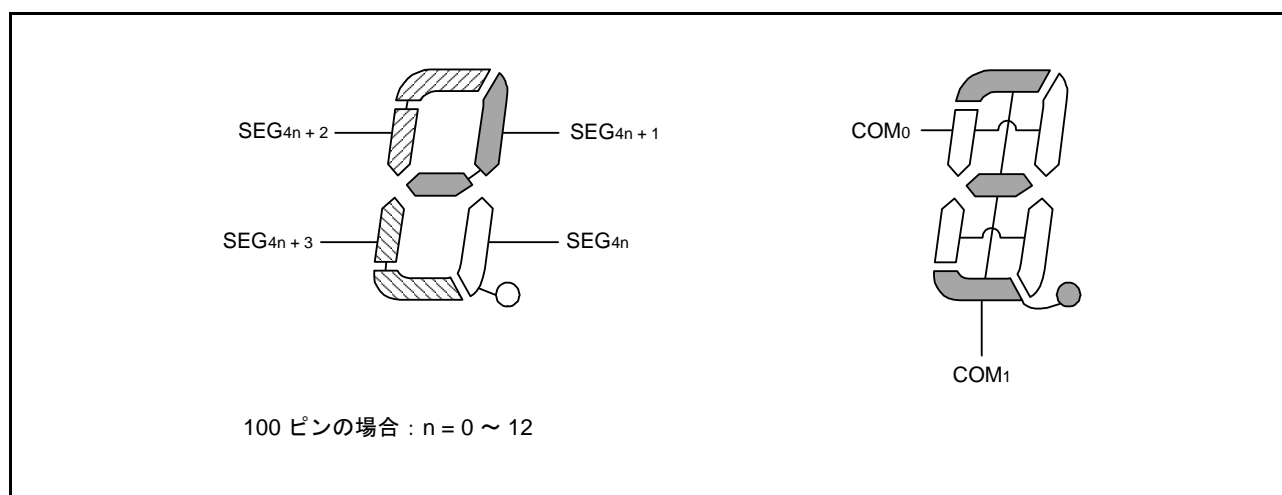


図 34.21 2時分割 LCD 表示パターンと電極結線

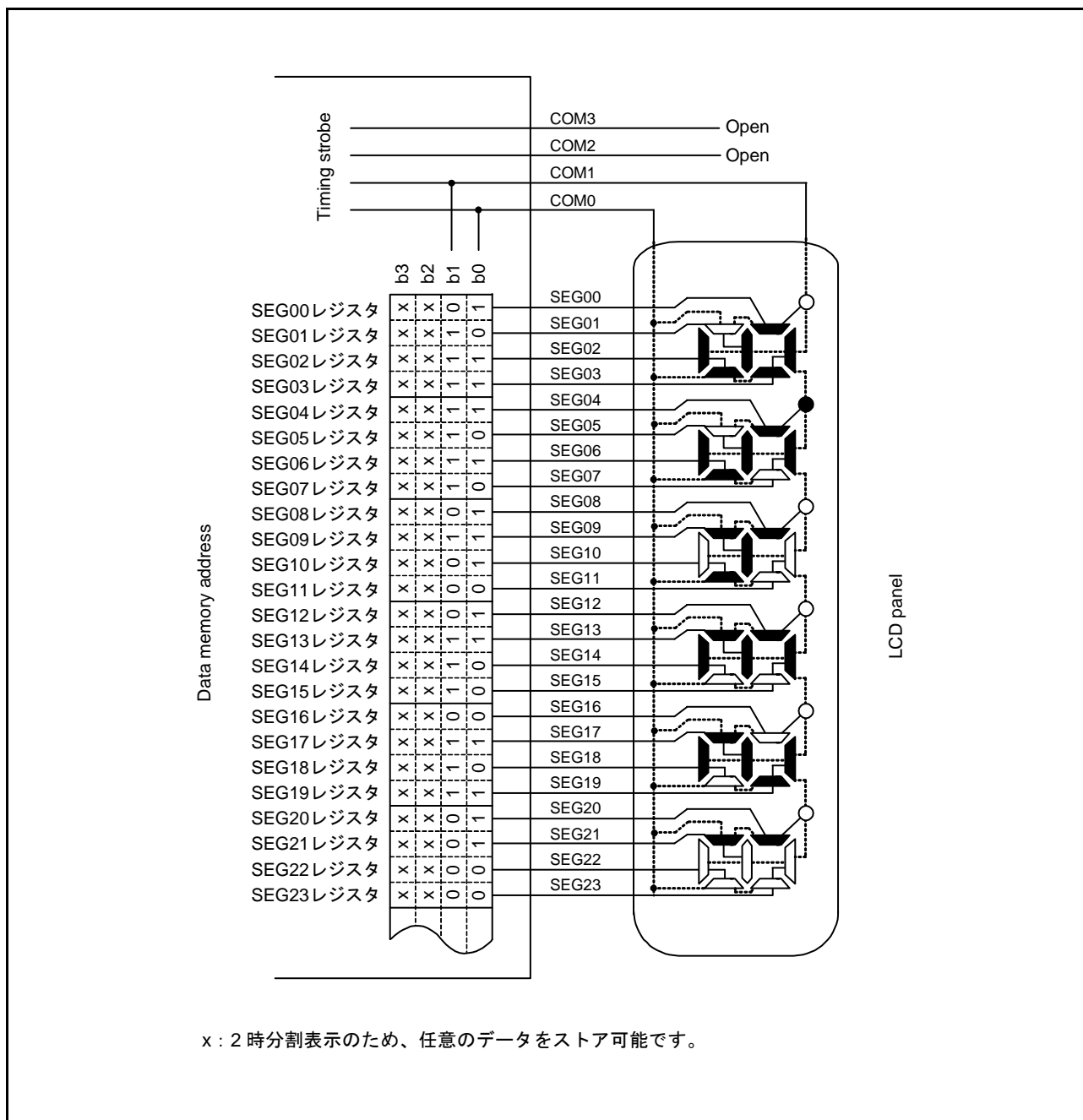


図 34.22 2 時分割 LCD パネルの結線例

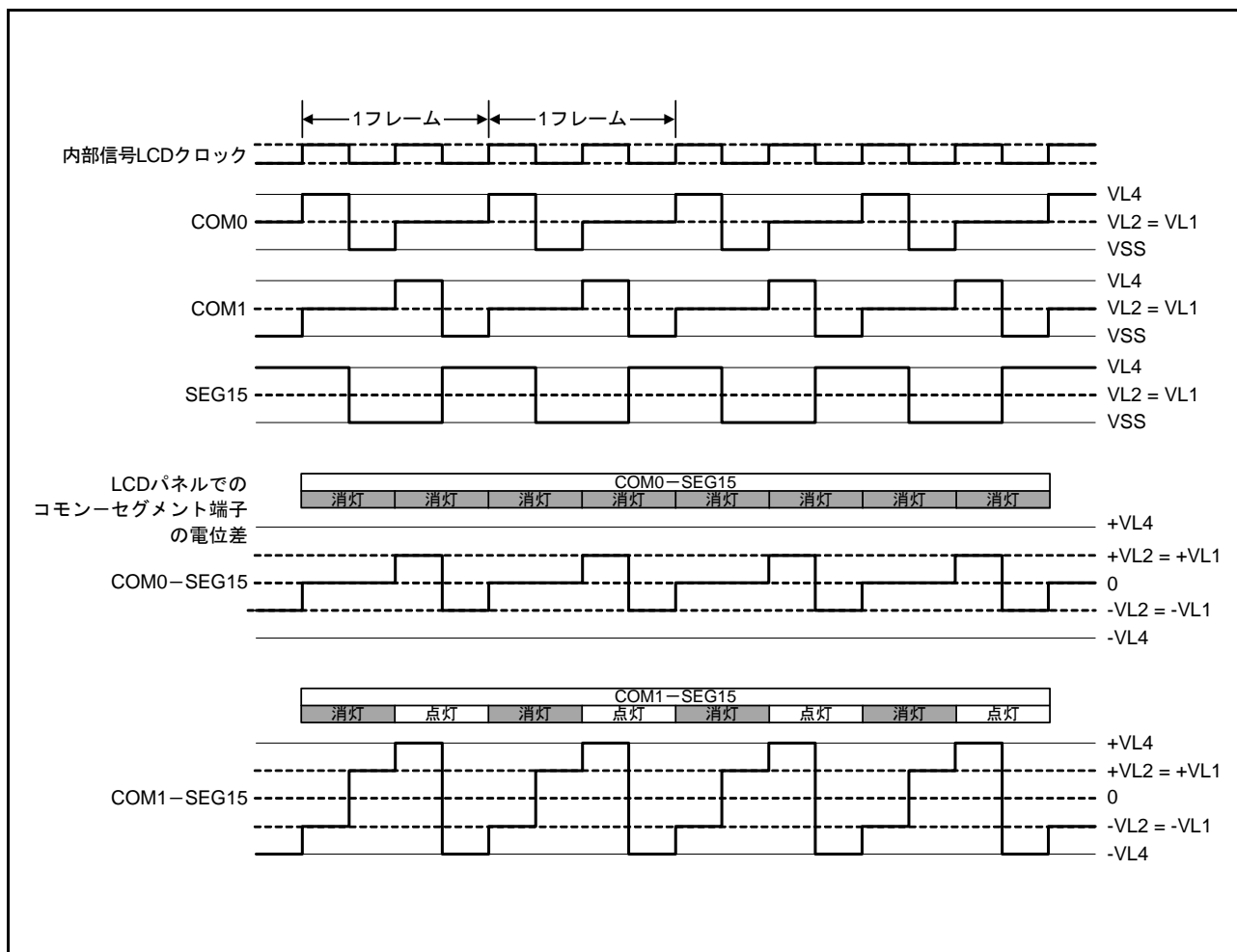


図 34.23 SEG15 と各コモン信号間の 2 時分割 LCD 駆動波形例 (1/2 バイアス法)

### 34.9.3 3時分割表示例

図 34.25 は、図 34.24 の表示パターンを持つ 3 時分割方式の 8 桁 LCD パネルとセグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0 ~ COM2) との接続を示します。表示例は“123456.78”で、LCD 表示データレジスタの内容はこれに対応しています。

ここでは 3 桁目の“6.” (6.) を例にとって説明します。図 34.24 の表示パターンに従って、COM0 ~ COM2 の各コモン信号の選択タイミングで選択、非選択電圧を SEG06 ~ SEG08 端子に出力する必要があります。

表 34.14 選択 (1)、非選択 (0) のデータ例 (COM0 ~ COM2)

コモン	セグメント	SEG06	SEG07	SEG08
COM0		0	1	1
COM1		1	1	1
COM2		1	1	—

表 34.14 により SEG06 に対応する LCD 表示データレジスタには、“x110b”を用意すればよいことが分かります。

SEG06 と各コモン信号間の LCD 駆動波形例を図 34.26、図 34.27 に示します。COM1 の選択タイミングで SEG06 が選択電圧のとき、および COM2 の選択タイミングで SEG06 が選択電圧のときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

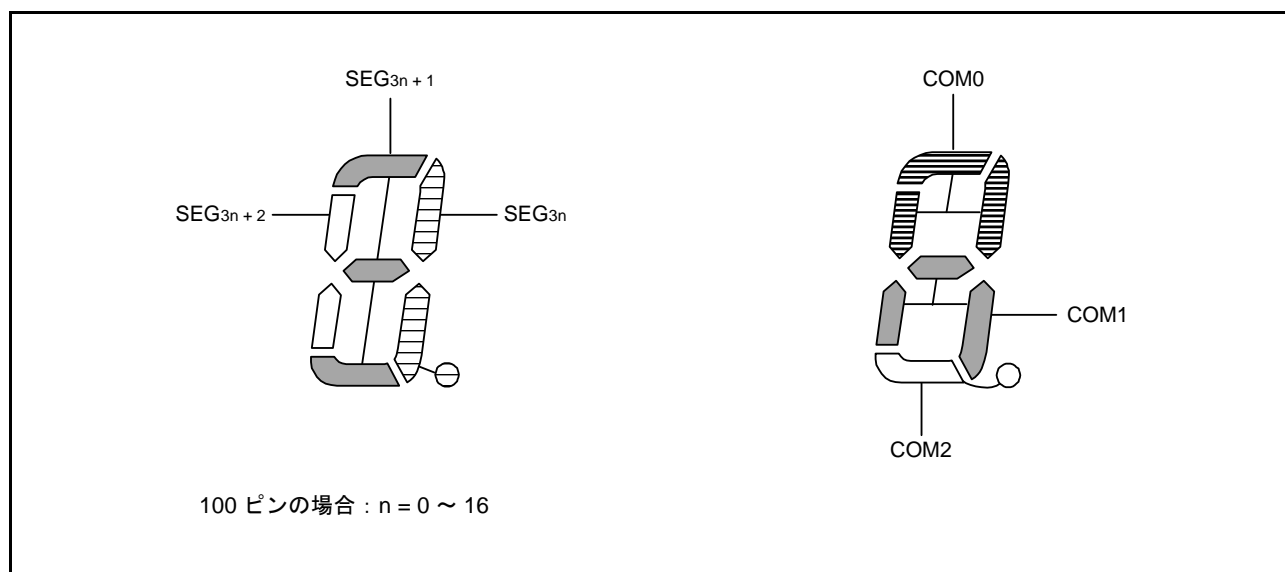


図 34.24 3 時分割 LCD 表示パターンと電極結線

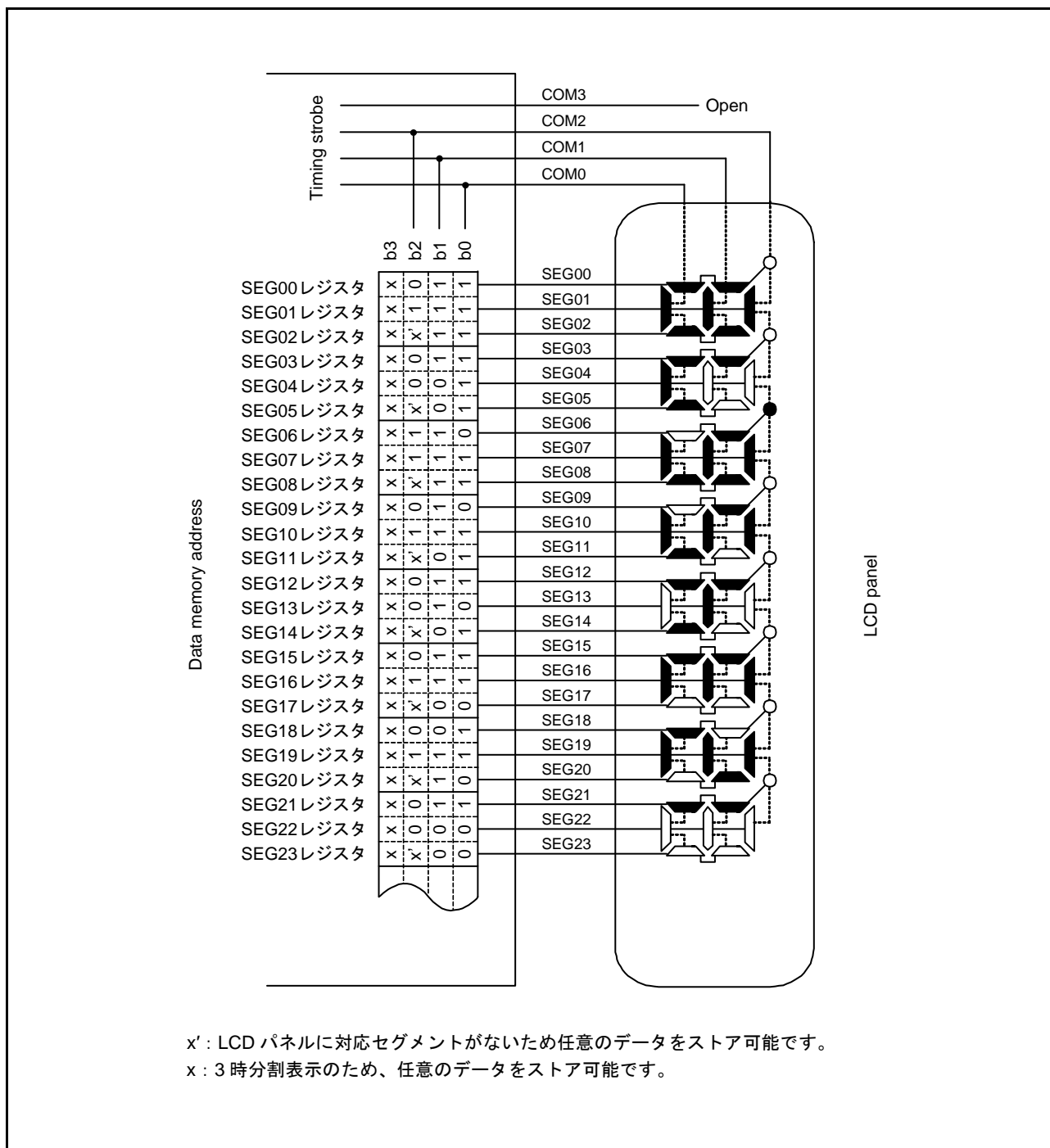


図 34.25 3 時分割 LCD パネルの結線例



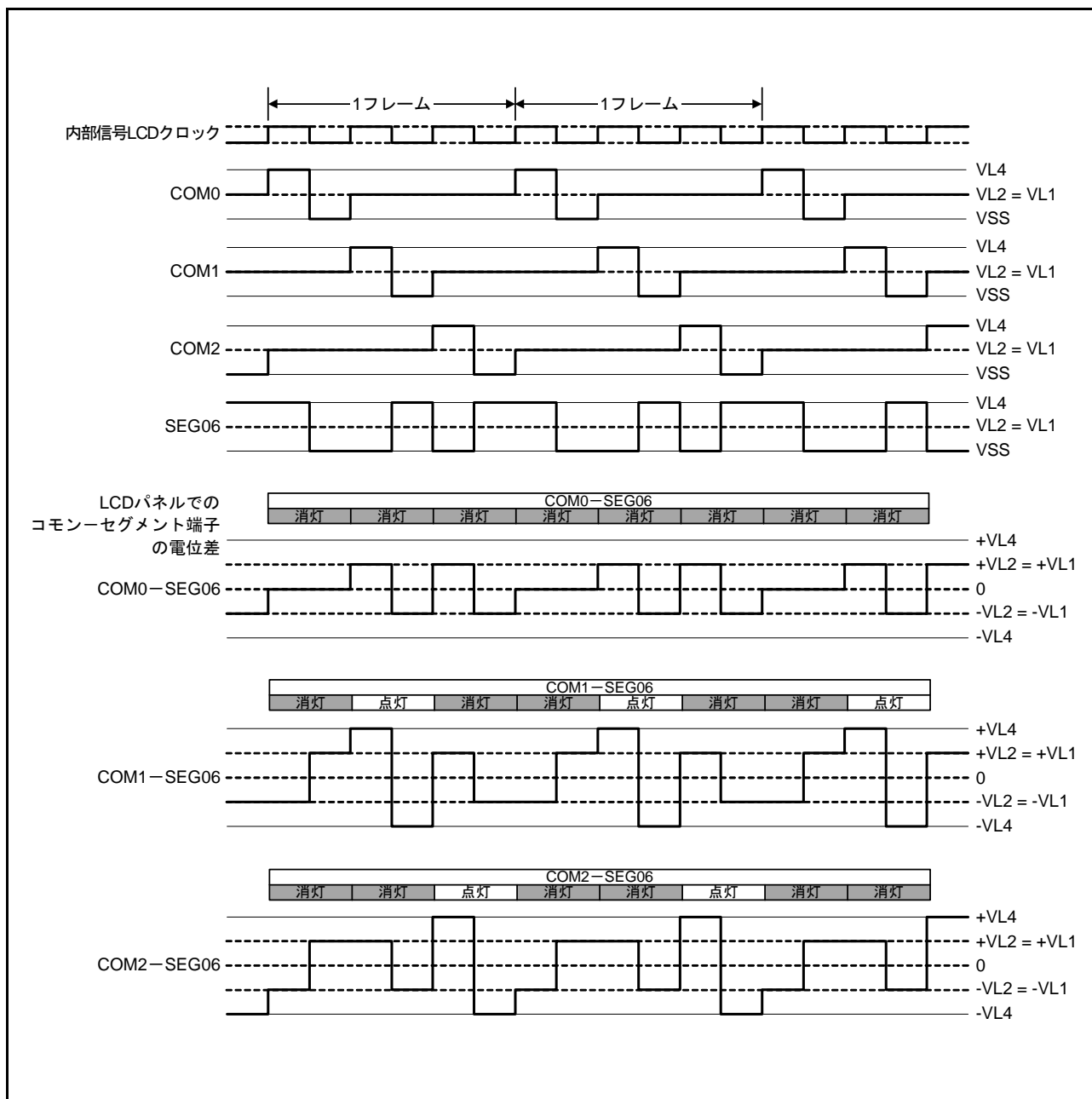


図 34.26 SEG06 と各コモン信号間の 3 時分割 LCD 駆動波形例 (1/2 バイアス法)

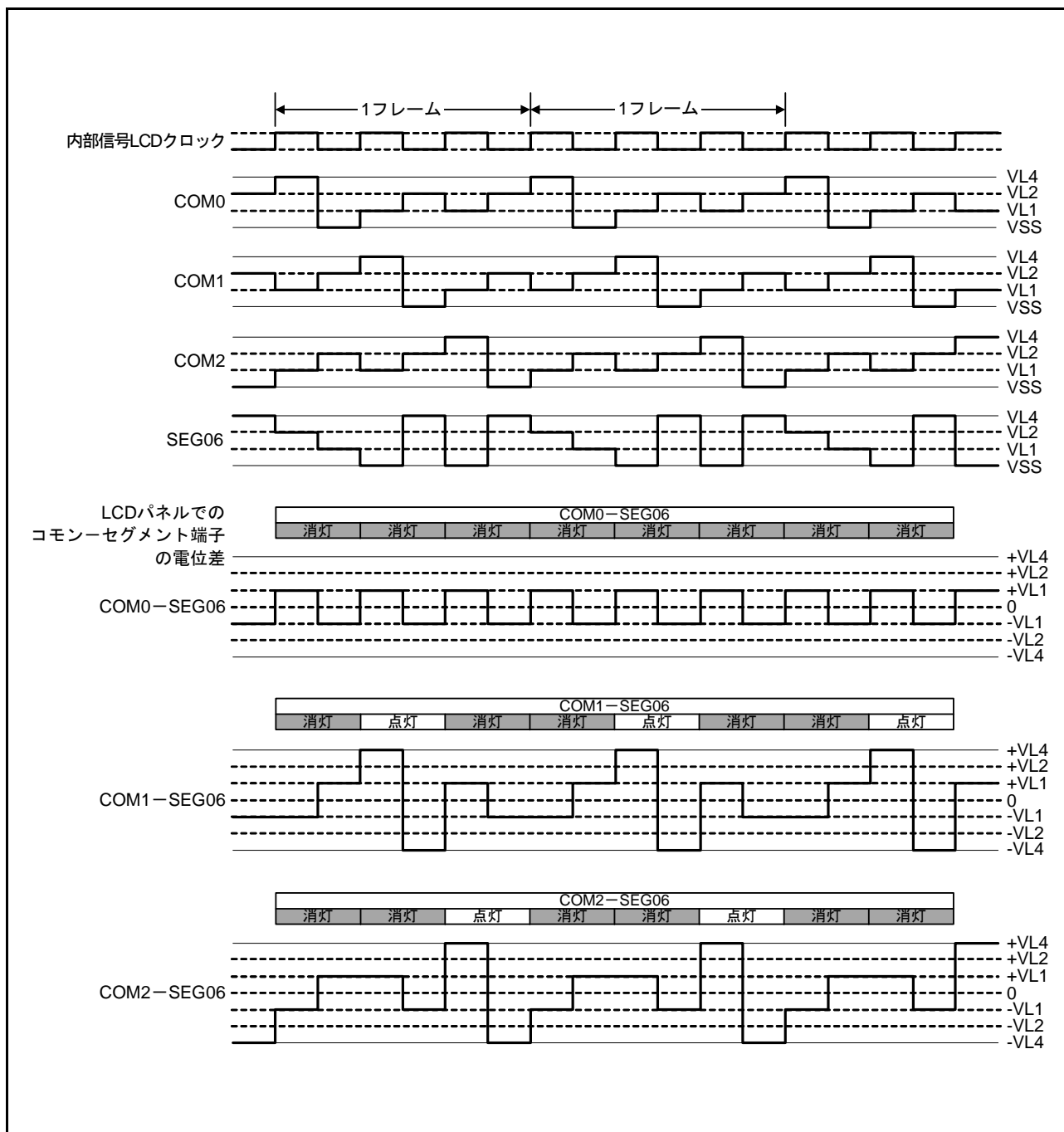


図 34.27 SEG06 と各コモン信号間の 3 時分割 LCD 駆動波形例 (1/3 バイアス法)

### 34.9.4 4 時分割表示例

図 34.29 は、図 34.28 の表示パターンを持つ 4 時分割方式の 12 桁 LCD パネルとセグメント信号 (SEG00 ~ SEG23) およびコモン信号 (COM0 ~ COM3) との接続を示します。表示例は“123456.789012”で、LCD 表示データレジスタの内容はこれに対応しています。

ここでは 7 桁目の“6.” (6.) を例にとって説明します。図 34.28 の表示パターンに従って、COM0 ~ COM3 の各コモン信号の選択タイミングで選択、非選択電圧を SEG12, SEG13 端子に出力する必要があります。

表 34.15 選択 (1)、非選択 (0) のデータ例 (COM0 ~ COM3)

コモン	セグメント	SEG12	SEG13
COM0		1	1
COM1		0	1
COM2		1	1
COM3		1	1

表 34.15 により SEG12 に対応する LCD 表示データレジスタには、“1101b”を用意すればよいことが分かります。

SEG12 と各コモン信号間の LCD 駆動波形例を図 34.30、図 34.31 に示します。COM0 の選択タイミングで SEG12 が選択電圧になるときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

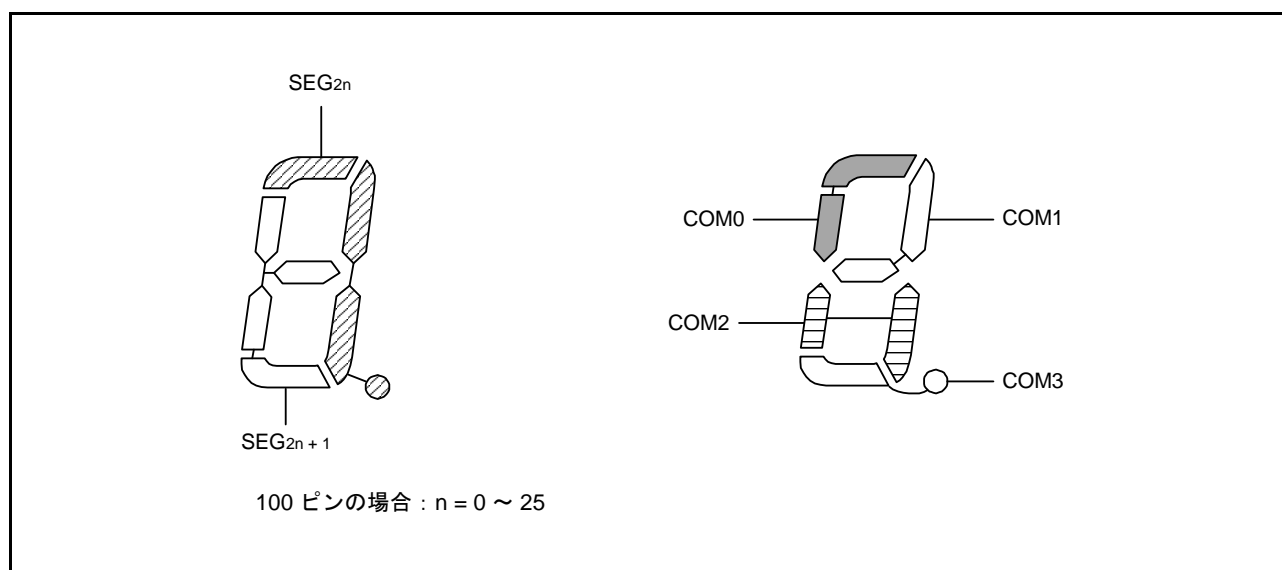


図 34.28 4 時分割 LCD 表示パターンと電極結線

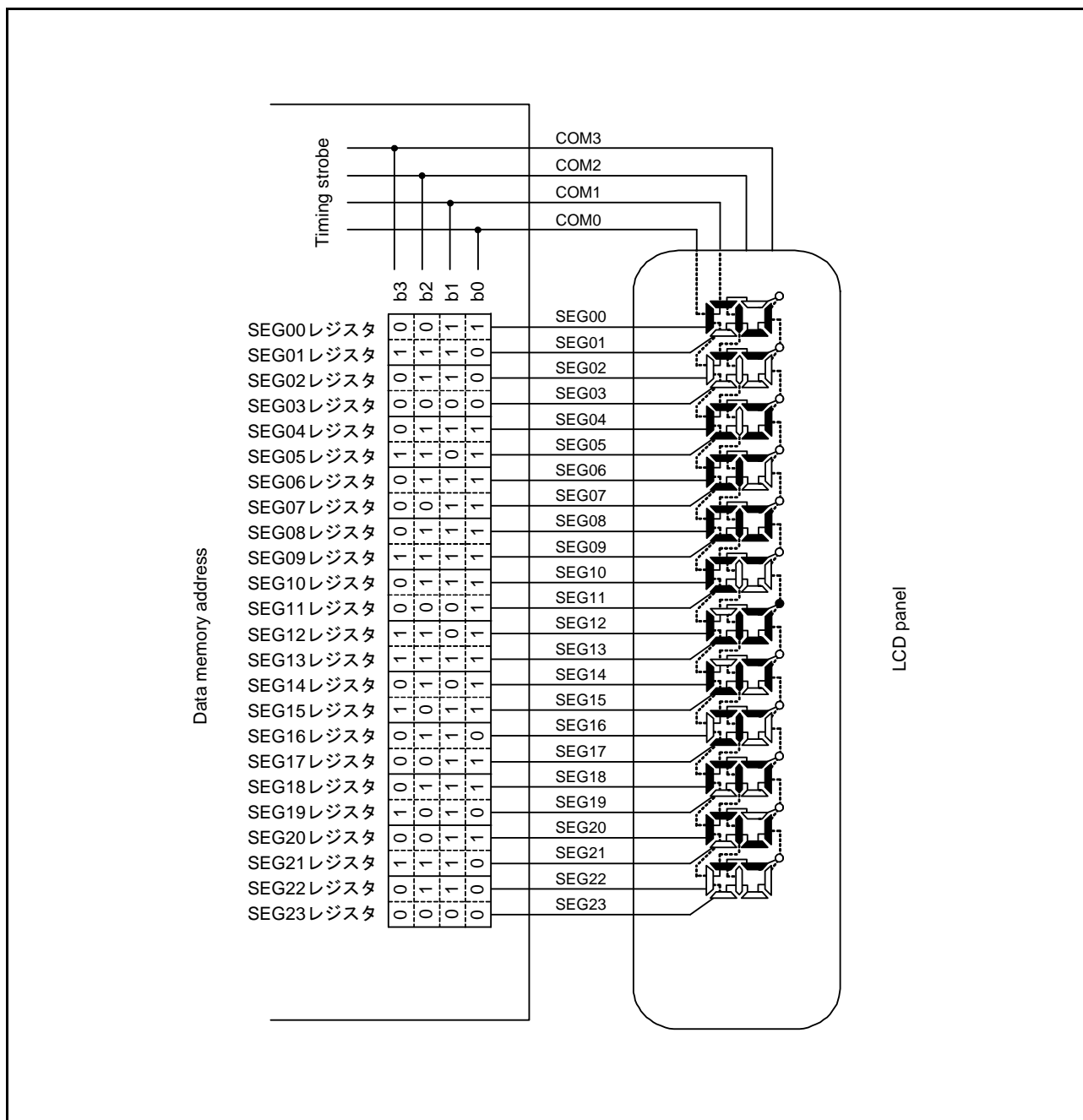


図 34.29 4 時分割 LCD パネルの結線例

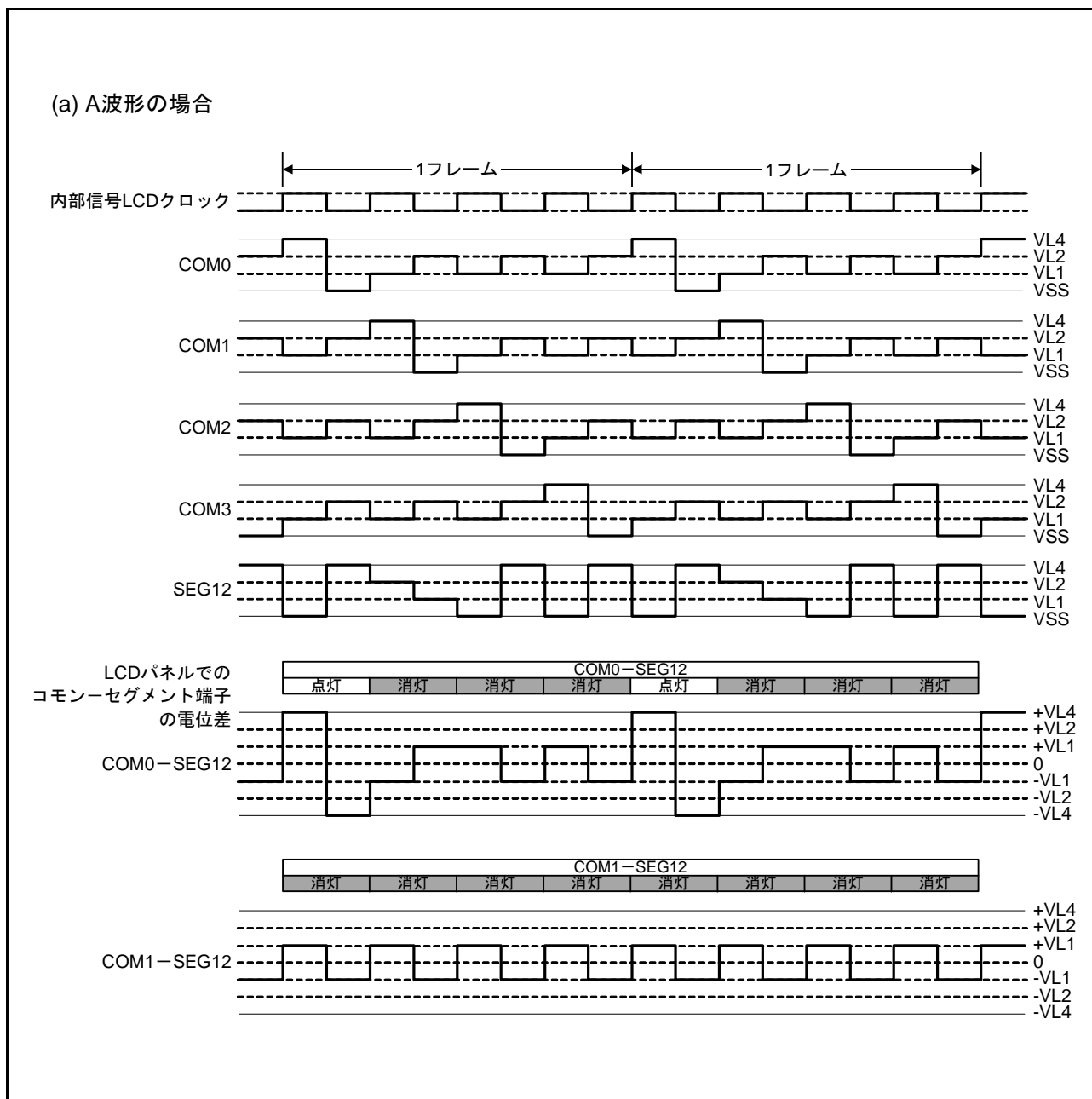


図 34.30 SEG12 と各コモン信号間の 4 時分割 LCD 駆動波形例 (1/3 バイアス法) (1)

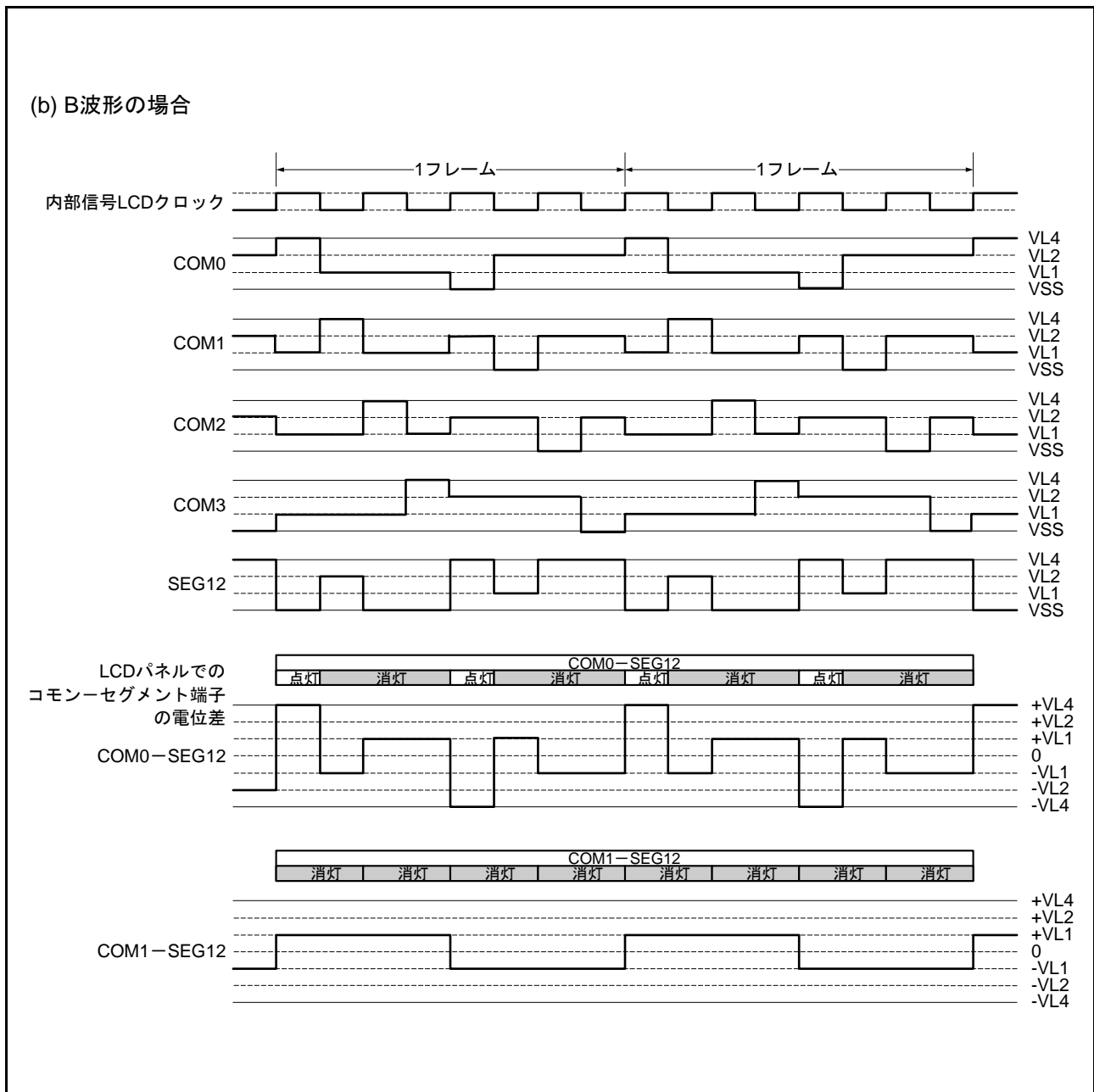


図 34.31 SEG12 と各コモン信号間の 4 時分割 LCD 駆動波形例 (1/3 バイアス法) (2)

### 34.9.5 8時分割表示例

図 34.33 は、図 34.32 の表示パターンを持つ 8 時分割方式の 15×8 のドット LCD パネルとセグメント信号 (SEG04 ~ SEG18) およびコモン信号 (COM0 ~ COM7) との接続を示します。表示例は “123” で、LCD 表示データレジスタの内容はこれに対応しています。

ここでは 1 桁目の “3” (三) を例にとって説明します。図 34.32 の表示パターンに従って、COM0 ~ COM7 の各コモン信号の選択タイミングで選択、非選択電圧を SEG04 ~ SEG08 端子に出力する必要があります。

表 34.16 選択 (1)、非選択 (0) のデータ例 (COM0 ~ COM7)

コモン \ セグメント	SEG04	SEG05	SEG06	SEG07	SEG08
COM0	1	1	1	1	1
COM1	0	1	0	0	0
COM2	0	0	1	0	0
COM3	0	1	0	0	0
COM4	1	0	0	0	0
COM5	1	0	0	0	1
COM6	0	1	1	1	0
COM7	0	0	0	0	0

表 34.16 により SEG04 に対応する LCD 表示データレジスタには、“00110001b” を用意すればよいことが分かります。

SEG04 と各コモン信号間の LCD 駆動波形例を図 34.34、図 34.35 に示します。COM0 の選択タイミングで SEG04 が選択電圧になるときに、LCD 点灯レベルの波形が発生することが分かります。

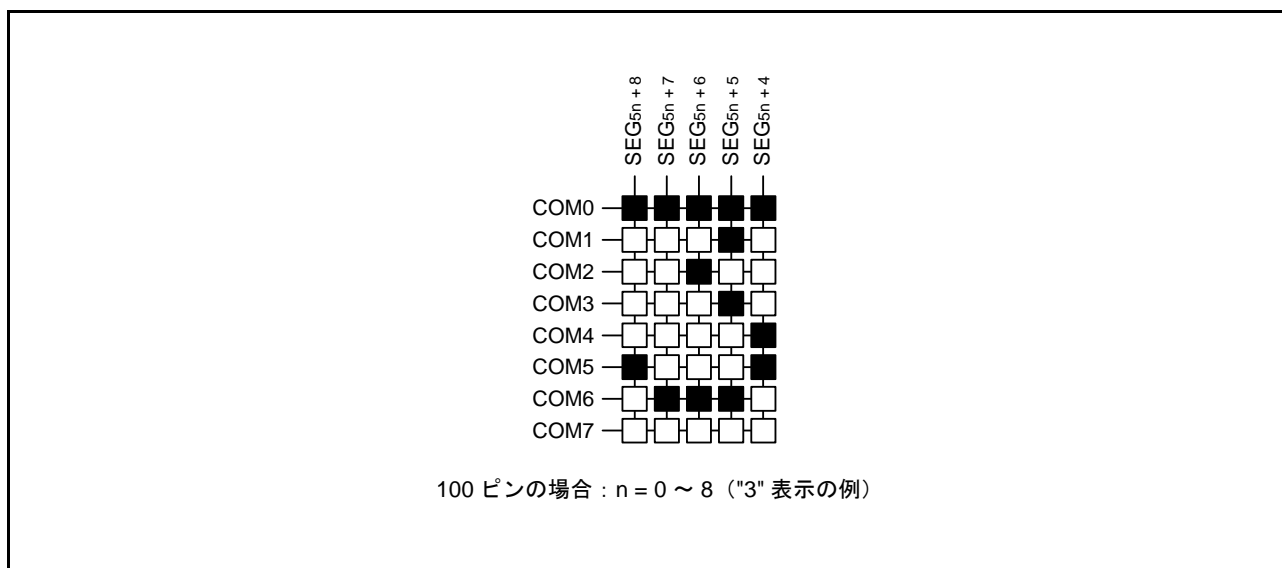


図 34.32 8 時分割 LCD 表示パターンと電極結線

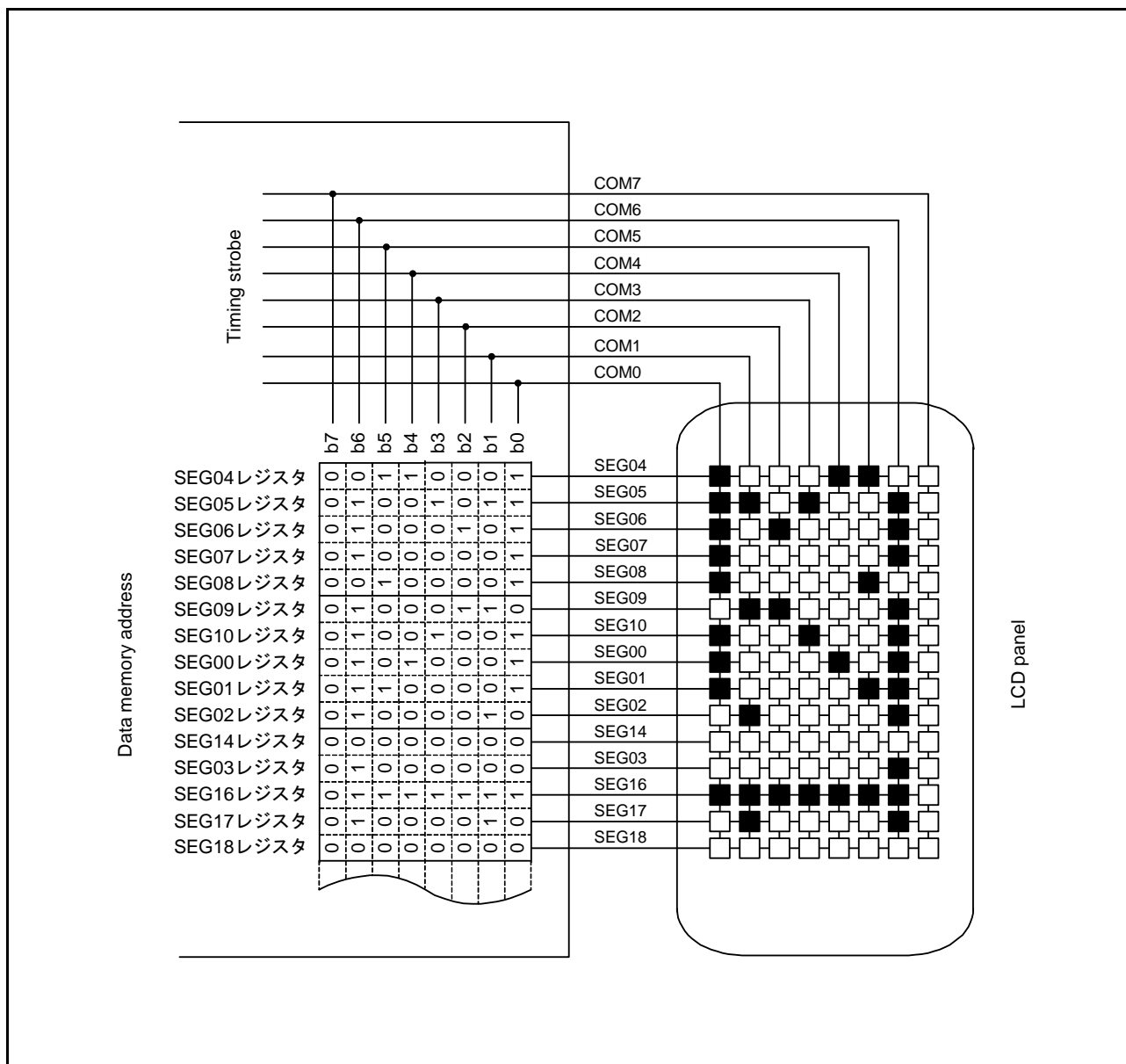


図 34.33 8 時分割 LCD パネルの結線例



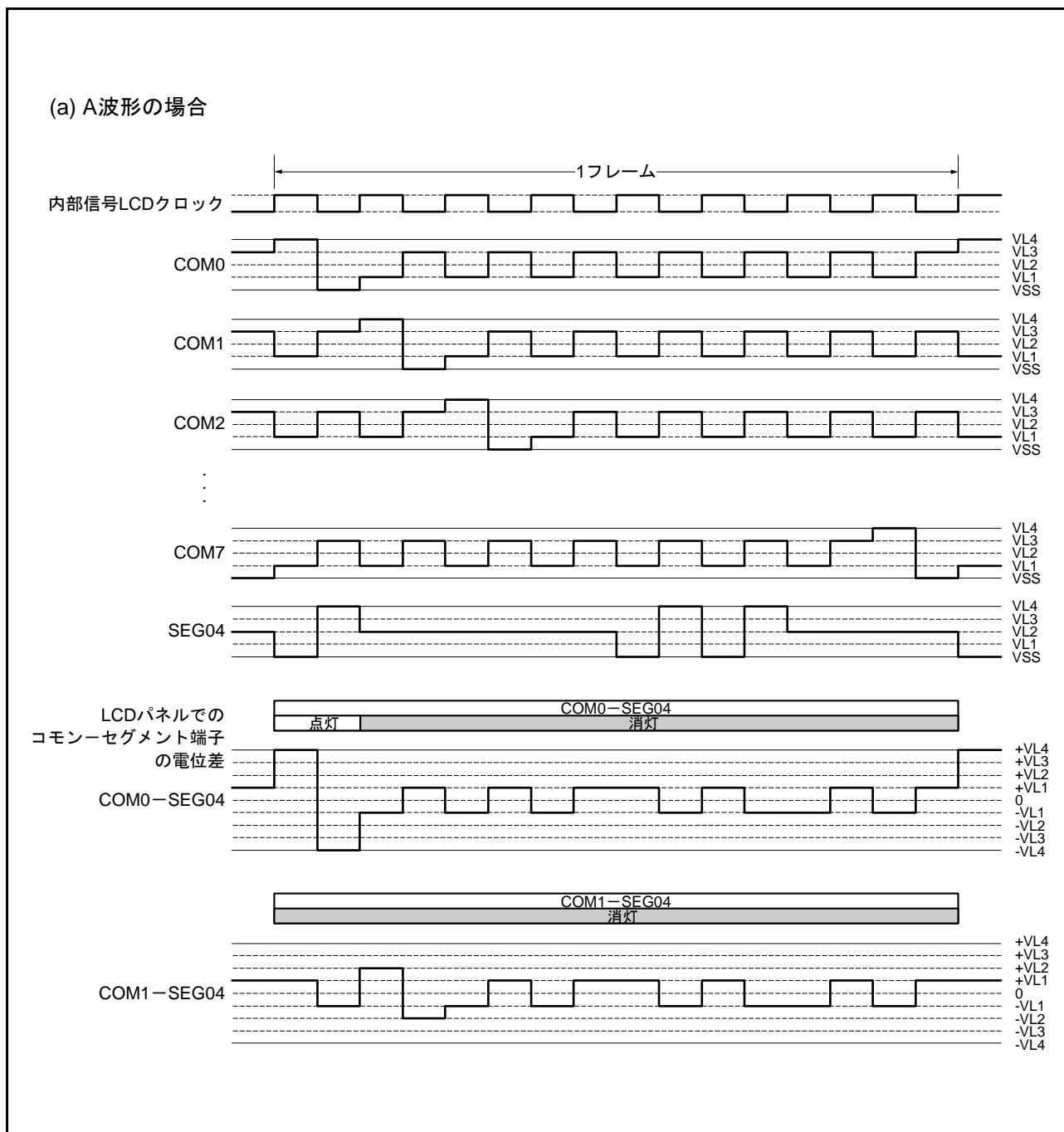


図 34.34 SEG04 と各コモン信号間の 8 時分割 LCD 駆動波形例 (1/4 バイアス法) (1/2)

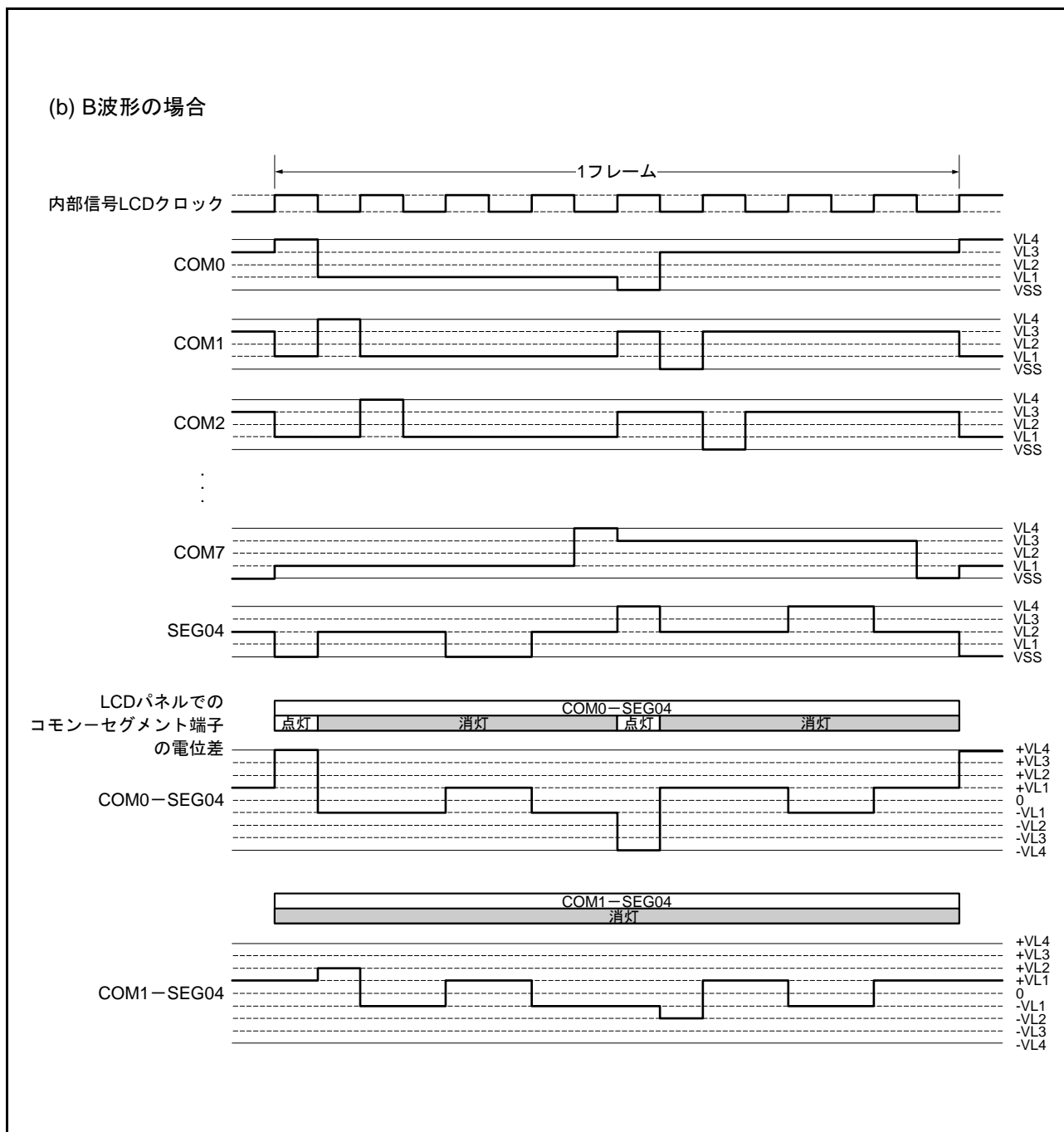


図 34.35 SEG04 と各コモン信号間の 8 時分割 LCD 駆動波形例 (1/4 バイアス法) (2/2)

## 34.10 使用上の注意事項

### 34.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) と LCD ソースクロックコントロールレジスタ 2 (LCDSCLKCR2) により、LCD の動作を禁止 / 許可することができます。リセット後の値では、LCD の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

## 35. 静電容量式タッチセンサ (CTSUS)

静電容量式タッチセンサユニット (CTSUS: Capacitive Touch Sensing Unit) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に接触しません。

図 35.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

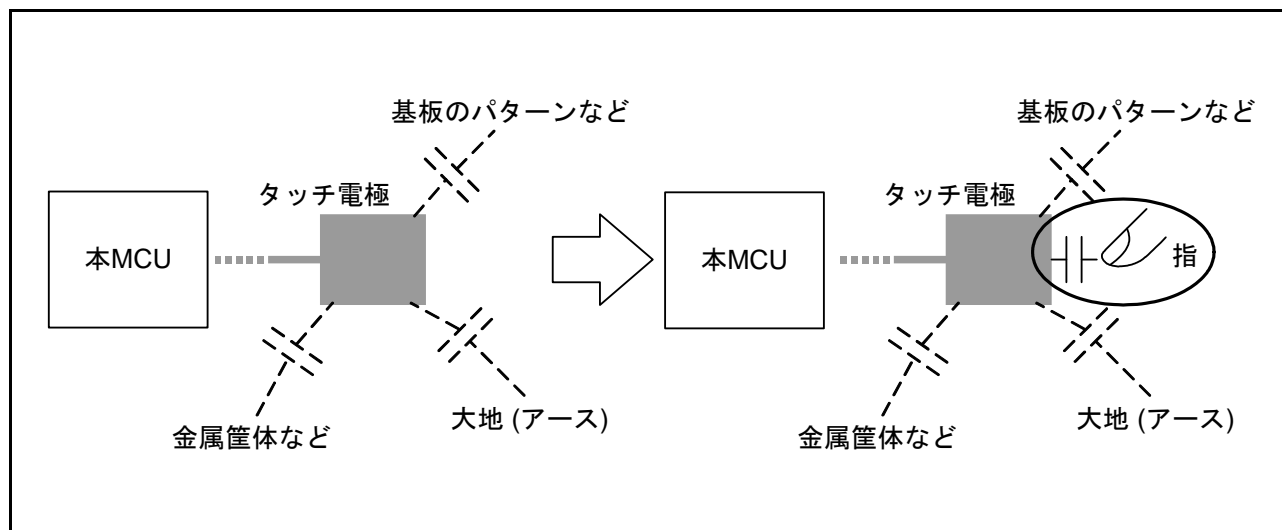


図 35.1 指による静電容量の増加

静電容量の検出方式には自己容量方式と相互容量方式があります。

自己容量方式では、指とひとつの電極との間に生じる静電容量を検出します。一方、相互容量方式は、二つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

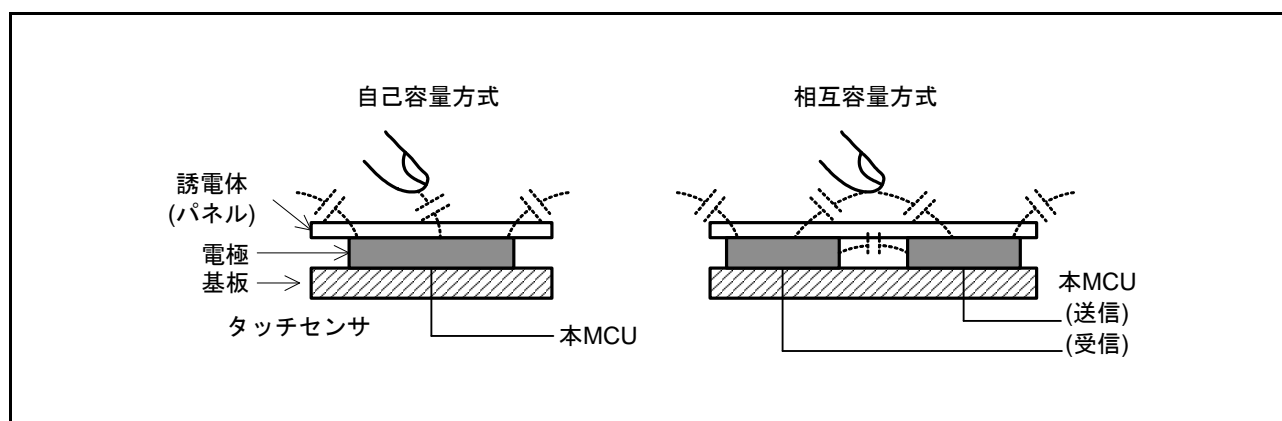


図 35.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。

CTSUS の計測動作原理については、「35.3.1 計測動作原理」を参照してください。

本章に記載している PCLK とは PCLKB を指します。

### 35.1 概要

表 35.1 に CTSU の仕様を、図 35.3 に CTSU のブロック図を示します。

表 35.1 CTSUの仕様

項目	内容
動作クロック	PCLK、PCLK/2またはPCLK/4
端子	TS0～TS11 TSCAP
計測モード	自己容量シングルスキャンモード 自己容量マルチスキャンモード 相互容量フルスキャンモード
ノイズ対策	同期系ノイズ対策、高域ノイズ対策
計測開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>外部トリガ(イベントリンクコントローラ(ELC)からのイベント入力)</li> </ul>

CTSUS は、図 35.3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、制御レジスタで構成されます。

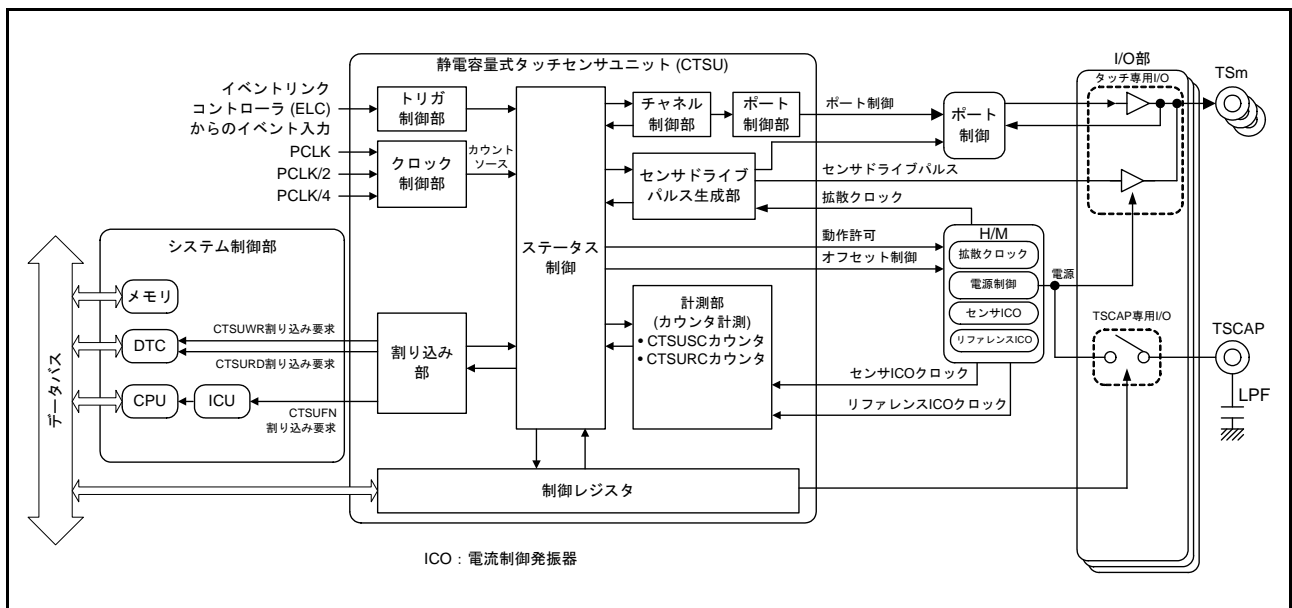


図 35.3 CTSUS のブロック図 (m = 0 ~ 11)

表 35.2 CTSUSの入出力端子

端子名	入出力	機能
TS0～TS11	入出力	静電容量計測端子(タッチ端子)
TSCAP	—	LPF接続用端子

## 35.2 レジスタの説明

### 35.2.1 CTSU 制御レジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 000A 0900h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CTSUI NIT	CTSUI OC	CTSUS NZ	CTSUC AP	CTSUS TRT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSUS計測動作開始ビット	0 : 計測動作停止 1 : 計測動作開始	R/W
b1	CTSUCAP	CTSUS計測動作開始トリガ選択ビット	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	CTSUSNZ	CTSUS待機時省電力有効ビット	0 : 待機時省電力機能無効 1 : 待機時省電力機能有効	R/W
b3	CTSUIOC	CTSUS送信端子制御ビット	0 : TS端子からLow出力 1 : TS端子からHigh出力	R/W
b4	CTSUIINIT	CTSUS制御部初期化ビット	“1”を書くとCTSUS制御部とレジスタが初期化され ます(注1)。読むと“0”が読めます	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CTSUSC、CTSUSRC、CTSUSMCH0、CTSUSMCH1、CTSUSTの各レジスタが初期化されます。

CTSUCAP ビット、CTSUSNZ ビットは、CTSUSTRT ビットが“0”のときに設定してください。なお、CTSUSTRT ビットを“1”にするのと同時に設定するのは問題ありません。

#### CTSUSTRT ビット (CTSUS 計測動作開始ビット)

計測動作開始 / 停止を指定します。

CTSUCAP ビットが“0”(ソフトウェアトリガ)のとき、CTSUSTRT ビットを“1”にすると計測が開始され、計測終了時には自動的に“0”になります。

CTSUCAP ビットが“1”(外部トリガ)のとき、CTSUSTRT ビットを“1”にすると、外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUS の状態を、表 35.3 に示します。

表 35.3 CTSUS の状態

CTSUSTRT ビット	CTSUCAP ビット	CTSUS の状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中 / 外部トリガ待ち(注1)

注1. CTSUST.CTSUSTC[2:0] フラグで状態を判断できます。  
計測中 : CTSUST.CTSUSTC[2:0] フラグ ≠ 000b  
外部トリガ待ち : CTSUST.CTSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットが“1”のとき、CTSUSTRT ビットに“1”を上書きした場合は、書き込みは無視され動作は継続されます。

CTSUSTRT ビットが“1”のとき、計測動作を強制的に終了させたい場合(強制終了)は、CTSUSTRT ビッ

トを“0”にするのと同時に CTSUINIT ビットを“1”にしてください。

#### CTSUCAP ビット (CTSU 計測動作開始トリガ選択ビット)

計測開始条件を指定します。詳細は CTSUSTRT ビットを参照してください。

#### CTSUSNZ ビット (CTSU 待機時省電力有効ビット)

待機時省電力動作の有効/無効を選択します。また本ビットにより、CTSU 電源はサスペンド状態となり、待機状態の低電力化が可能になります。

サスペンド状態は、CTSU 電源が起動し、外部 TSCAP が充電された後、充電を保ったまま CTSU 電源が OFF された状態です。

表 35.4 CTSU 電源状態制御

CTSUCR1.CTSUPONビット	CTSUSNZビット	CTSUCAPビット	CTSUSTRTビット	CTSU電源の状態
0	0	0	0	停止
1	0	—	—	動作状態
1	1	0	0	サスペンド状態

注. 上記以外は設定しないでください。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットに“0”を設定した後 16 μs 待ってから、CTSUSTRT ビットに“1”を設定してください。計測終了後、再びサスペンド状態にするときは、CTSUSNZ ビットに“1”を設定してください。

#### CTSUIOC ビット (CTSU 送信端子制御ビット)

CTSUERRS.CTSUTSOD ビットを“1”にした場合に、TS 端子から出力するレベルを選択します。

CTSUTSOD ビットを“0”にした場合、このビットは無視されます。

#### CTSUINIT ビット (CTSU 制御部初期化ビット)

本ビットに“1”を設定することで内部制御レジスタを初期化できます。動作中に強制終了させる場合は、CTSUSTRT ビットを“0”にするのと同時に CTSUINIT ビットを“1”にしてください。この場合は動作が停止し、内部制御レジスタが初期化されます。

CTSUSTRT ビットを“1”(CTSU 動作開始)にするのと同時に CTSUINIT ビットを“1”にしないでください。

### 35.2.2 CTSU 制御レジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 000A 0901h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUMD[1:0]		CTSUCLK[1:0]		CTSUA TUNE1	CTSUA TUNE0	CTSUC SW	CTSUP ON
リセット後の値 0 0 0 0 0 0 0 0							

ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSU 電源供給許可ビット	0 : 電源OFF 1 : 電源ON	R/W
b1	CTSUCSW	CTSU LPF 容量充電制御ビット	0 : 容量スイッチOFF 1 : 容量スイッチON	R/W
b2	CTSUA TUNE0	CTSU 電源動作モード設定ビット	VCC ≥ 2.4 V 0 : 通常動作モード 1 : 低電圧動作モード VCC < 2.4 V 0 : 設定しないでください 1 : 低電圧動作モード	R/W
b3	CTSUA TUNE1	CTSU 電源能力調整ビット	0 : 通常出力 1 : 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSU 動作クロック選択ビット	b5 b4 0 0 : PCLK 0 1 : PCLK/2 (PCLKを2分周したクロック) 1 0 : PCLK/4 (PCLKを4分周したクロック) 1 1 : 設定しないでください	R/W
b7-b6	CTSUMD[1:0]	CTSU 計測モード選択ビット	b7 b6 0 0 : 自己容量シングルスキャンモード 0 1 : 自己容量マルチスキャンモード 1 0 : 設定しないでください 1 1 : 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

#### CTSUPON ビット (CTSUS 電源供給許可ビット)

CTSUS の電源制御を行います。CTSUPON ビットと CTSUCSW ビットは、同時に同値を設定してください。

#### CTSUCSW ビット (CTSUS LPF 容量充電制御ビット)

TSCAP 端子に接続される LPF 容量の充電制御 (容量スイッチの ON/OFF) を行います。

容量スイッチを ON にしてから TSCAP 端子に接続している容量が充電されるまで、一定時間待った後、計測を開始 (CTSUCR0.CTSUSTRT = 1) してください。計測に先立って、I/O ポートで TSCAP 端子に Low を出力し、すでに充電されている LPF 容量を放電してください。また CTSUPON ビットと CTSUCSW ビットは、同時に同値を設定してください。

#### CTSUA TUNE0 ビット (CTSUS 電源動作モード設定ビット)

CTSUS の電源動作モードを設定します。CTSUS を動作させる VCC の下限に応じて本ビットを設定してください。一例として、バッテリー動作など VCC が変動するシステム (VCC 電圧範囲が 2 ~ 3 V) においてタッチ計測を行う場合は、初期の VCC 電圧に関わらず本ビットに“1”を設定してください。



**CTSUAUTUNE1 ビット (CTSU 電源能力調整ビット)**

CTSU の電源能力を設定します。通常は、“0” を設定してください。

**CTSUCLK[1:0] ビット (CTSU 動作クロック選択ビット)**

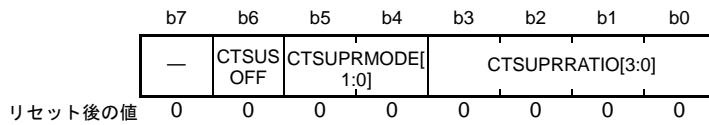
CTSU の動作クロックを選択します。

**CTSUMD[1:0] ビット (CTSU 計測モード選択ビット)**

CTSU の計測モードを設定します。詳細は、「35.3.2 計測モード」を参照してください。

**35.2.3 CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)**

アドレス CTSU.CTSUSDPRS 000A 0902h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUPRRATIO[3:0]	CTSU計測時間、計測パルス数調整ビット	推奨設定値：3 (0011b)	R/W
b5-b4	CTSUPRMODE[1:0]	CTSU基本周期、基本パルス数設定ビット	b5 b4 0 0：510パルス 0 1：126パルス 1 0：62パルス(推奨設定値) 1 1：設定禁止	R/W
b6	CTSUSOFF	CTSU高域ノイズ低減機能OFF設定ビット	0：高域ノイズ低減機能ON 1：高域ノイズ低減機能OFF	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUSDPRS レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

**CTSUPRRATIO[3:0] ビット (CTSU 計測時間、計測パルス数調整ビット)**

計測時間、計測パルス数を決定します。計測時間、計測パルス数は以下の式で計算できます。

基本パルスは、CTSUPRMODE[1:0] ビットによって決定されます。

計測パルス数 = 基本パルス数 × (CTSUPRRATIO[3:0] ビット + 1)

計測時間 = (基本パルス数 × (CTSUPRRATIO[3:0] ビット + 1) + (基本パルス数 - 2) × 0.25) × ベースクロック周期

注． ベースクロック周期については、「35.2.15 CTSU センサオフセットレジスタ 1 (CTSUSO1)」を参照してください。

**CTSUPRMODE[1:0] ビット (CTSU 基本周期、基本パルス数設定ビット)**

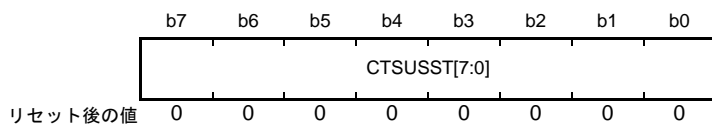
計測における、基本パルス数を選択します。

**CTSUSOFF ビット (CTSU 高域ノイズ低減機能 OFF 設定ビット)**

高域ノイズを低減する機能の ON/OFF を設定します。高域ノイズ低減機能を OFF するときは本ビットに“1”を設定してください。

### 35.2.4 CTSU センサ安定待ち時間レジスタ (CTSUSST)

アドレス CTSU.CTSUSST 000A 0903h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUセンサ安定待ち時間制御ビット	固定値“00010000b”を設定してください	R/W

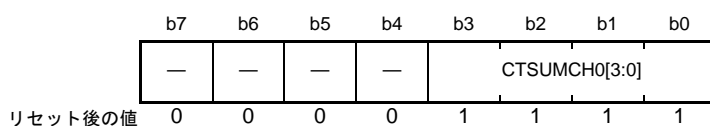
CTSUSST レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

#### CTSUSST[7:0] ビット (CTSU センサ安定待ち時間制御ビット)

TSCAP 端子の電圧の安定待ち時間を設定します。固定値“00010000b”を設定してください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、正しいタッチ計測結果が得られません。

## 35.2.5 CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)

アドレス CTSU.CTSMCH0 000A 0904h



ビット	シンボル	ビット名	機能	R/W																																																						
b3-b0	CTSUMCH0[3:0]	CTSU計測チャンネル0ビット	<ul style="list-style-type: none"> <li>自己容量シングルスキャンモード  <table border="0"> <tr><td>b3</td><td>b0</td></tr> <tr><td>0 0 0 0</td><td>: TS0</td></tr> <tr><td>0 0 0 1</td><td>: TS1</td></tr> <tr><td>0 0 1 0</td><td>: TS2</td></tr> <tr><td>0 0 1 1</td><td>: TS3</td></tr> <tr><td>0 1 0 0</td><td>: TS4</td></tr> <tr><td>0 1 0 1</td><td>: TS5</td></tr> <tr><td>0 1 1 0</td><td>: TS6</td></tr> <tr><td>0 1 1 1</td><td>: TS7</td></tr> <tr><td>1 0 0 0</td><td>: TS8</td></tr> <tr><td>1 0 0 1</td><td>: TS9</td></tr> <tr><td>1 0 1 0</td><td>: TS10</td></tr> <tr><td>1 0 1 1</td><td>: TS11</td></tr> </table>           上記以外：設定後の計測動作開始 (CTSUCR0.CTUSUSTRTビット = 1)は禁止         </li> <li>自己容量シングルスキャン以外の計測モード  <table border="0"> <tr><td>b3</td><td>b0</td></tr> <tr><td>0 0 0 0</td><td>: TS0</td></tr> <tr><td>0 0 0 1</td><td>: TS1</td></tr> <tr><td>0 0 1 0</td><td>: TS2</td></tr> <tr><td>0 0 1 1</td><td>: TS3</td></tr> <tr><td>0 1 0 0</td><td>: TS4</td></tr> <tr><td>0 1 0 1</td><td>: TS5</td></tr> <tr><td>0 1 1 0</td><td>: TS6</td></tr> <tr><td>0 1 1 1</td><td>: TS7</td></tr> <tr><td>1 0 0 0</td><td>: TS8</td></tr> <tr><td>1 0 0 1</td><td>: TS9</td></tr> <tr><td>1 0 1 0</td><td>: TS10</td></tr> <tr><td>1 0 1 1</td><td>: TS11</td></tr> <tr><td>1 1 1 1</td><td>: 計測停止中</td></tr> </table> </li> </ul>	b3	b0	0 0 0 0	: TS0	0 0 0 1	: TS1	0 0 1 0	: TS2	0 0 1 1	: TS3	0 1 0 0	: TS4	0 1 0 1	: TS5	0 1 1 0	: TS6	0 1 1 1	: TS7	1 0 0 0	: TS8	1 0 0 1	: TS9	1 0 1 0	: TS10	1 0 1 1	: TS11	b3	b0	0 0 0 0	: TS0	0 0 0 1	: TS1	0 0 1 0	: TS2	0 0 1 1	: TS3	0 1 0 0	: TS4	0 1 0 1	: TS5	0 1 1 0	: TS6	0 1 1 1	: TS7	1 0 0 0	: TS8	1 0 0 1	: TS9	1 0 1 0	: TS10	1 0 1 1	: TS11	1 1 1 1	: 計測停止中	R/W (注1)
b3	b0																																																									
0 0 0 0	: TS0																																																									
0 0 0 1	: TS1																																																									
0 0 1 0	: TS2																																																									
0 0 1 1	: TS3																																																									
0 1 0 0	: TS4																																																									
0 1 0 1	: TS5																																																									
0 1 1 0	: TS6																																																									
0 1 1 1	: TS7																																																									
1 0 0 0	: TS8																																																									
1 0 0 1	: TS9																																																									
1 0 1 0	: TS10																																																									
1 0 1 1	: TS11																																																									
b3	b0																																																									
0 0 0 0	: TS0																																																									
0 0 0 1	: TS1																																																									
0 0 1 0	: TS2																																																									
0 0 1 1	: TS3																																																									
0 1 0 0	: TS4																																																									
0 1 0 1	: TS5																																																									
0 1 1 0	: TS6																																																									
0 1 1 1	: TS7																																																									
1 0 0 0	: TS8																																																									
1 0 0 1	: TS9																																																									
1 0 1 0	: TS10																																																									
1 0 1 1	: TS11																																																									
1 1 1 1	: 計測停止中																																																									
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																						

注1. 自己容量シングルスキャンモード(CTSUCR1.CTSMUMD[1:0]ビット = 00b)時のみ、書き込み可能です。

CTSUMCH0 レジスタは、CTSUCR0.CTUSUSTRT ビットが“0”のときに設定してください。

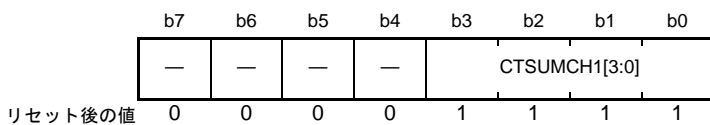
## CTSUMCH0[3:0] ビット (CTSU 計測チャンネル 0 ビット)

自己容量シングルスキャンモードでは、計測するチャンネルを設定し、それ以外のモードでは、測定している受信チャンネルを示します。

自己容量シングルスキャンモードでのチャンネル設定では、有効チャンネル(0000b ~ 1011b)以外は設定しないでください。また、それ以外のモードでは本ビットへの書き込みは無効となります。

### 35.2.6 CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)

アドレス CTSU.CTSMCH1 000A 0905h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUMCH1[3:0]	CTSUS計測チャンネル1ビット	b3    b0 0 0 0 0 : TS0 0 0 0 1 : TS1 0 0 1 0 : TS2 0 0 1 1 : TS3 0 1 0 0 : TS4 0 1 0 1 : TS5 0 1 1 0 : TS6 0 1 1 1 : TS7 1 0 0 0 : TS8 1 0 0 1 : TS9 1 0 1 0 : TS10 1 0 1 1 : TS11 1 1 1 1 : 計測停止中	R
b7-b4	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

#### CTSUMCH1[3:0] ビット (CTSUS 計測チャンネル 1 ビット)

相互容量フルスキャンモードで計測中の送信チャンネルを示します。計測停止中、または自己容量シングルスキャンモードおよび自己容量マルチスキャンモードでは、“1111b”になります。

## 35.2.7 CTSU チャネル有効制御レジスタ 0 (CTSUCHAC0)

アドレス CTSU.CTSUCHAC0 000A 0906h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUC HAC07	CTSUC HAC06	CTSUC HAC05	CTSUC HAC04	CTSUC HAC03	CTSUC HAC02	CTSUC HAC01	CTSUC HAC00

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHAC00	CTSUチャネル有効制御00ビット	0: 計測対象外 1: 計測対象  本ビットはTS0～TS7端子の設定を行います	R/W
b1	CTSUCHAC01	CTSUチャネル有効制御01ビット		R/W
b2	CTSUCHAC02	CTSUチャネル有効制御02ビット		R/W
b3	CTSUCHAC03	CTSUチャネル有効制御03ビット		R/W
b4	CTSUCHAC04	CTSUチャネル有効制御04ビット		R/W
b5	CTSUCHAC05	CTSUチャネル有効制御05ビット		R/W
b6	CTSUCHAC06	CTSUチャネル有効制御06ビット		R/W
b7	CTSUCHAC07	CTSUチャネル有効制御07ビット		R/W

CTSUCHAC0 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

**CTSUCHAC0j ビット (CTSU チャネル有効制御 0j ビット) (j = 0 ~ 7)**

静電容量を計測する端子 (送信、受信) を設定します。

CTSUCHAC00 ビットは、TS0 端子に、CTSUCHAC07 ビットは、TS7 端子に対応します。

## 35.2.8 CTSU チャネル有効制御レジスタ 1 (CTSUCHAC1)

アドレス CTSU.CTSUCHAC1 000A 0907h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CTSUC HAC13	CTSUC HAC12	CTSUC HAC11	CTSUC HAC10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHAC10	CTSUチャネル有効制御10ビット	0: 計測対象外 1: 計測対象  本ビットはTS8～TS11端子の設定を行います	R/W
b1	CTSUCHAC11	CTSUチャネル有効制御11ビット		R/W
b2	CTSUCHAC12	CTSUチャネル有効制御12ビット		R/W
b3	CTSUCHAC13	CTSUチャネル有効制御13ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUCHAC1 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

**CTSUCHAC1j ビット (CTSU チャネル有効制御 1j ビット) (j = 0 ~ 3)**

静電容量を計測する端子 (送信、受信) を設定します。

CTSUCHAC10 ビットは、TS8 端子に、CTSUCHAC13 ビットは、TS11 端子に対応します。

## 35.2.9 CTSU チャネル送受信制御レジスタ 0 (CTSUCHTRC0)

アドレス CTSU.CTSUCHTRC0 000A 090Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUC HTRC07	CTSUC HTRC06	CTSUC HTRC05	CTSUC HTRC04	CTSUC HTRC03	CTSUC HTRC02	CTSUC HTRC01	CTSUC HTRC00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHTRC00	CTSUチャネル送受信制御00ビット	0: 受信 1: 送信  本ビットはTS0～TS7端子の設定を行います	R/W
b1	CTSUCHTRC01	CTSUチャネル送受信制御01ビット		R/W
b2	CTSUCHTRC02	CTSUチャネル送受信制御02ビット		R/W
b3	CTSUCHTRC03	CTSUチャネル送受信制御03ビット		R/W
b4	CTSUCHTRC04	CTSUチャネル送受信制御04ビット		R/W
b5	CTSUCHTRC05	CTSUチャネル送受信制御05ビット		R/W
b6	CTSUCHTRC06	CTSUチャネル送受信制御06ビット		R/W
b7	CTSUCHTRC07	CTSUチャネル送受信制御07ビット		R/W

CTSUCHTRC0 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

**CTSU チャネル送受信制御 0j ビット (CTSU チャネル送受信制御 0j ビット) (j = 0 ~ 7)**

相互容量フルスキャンモードでの TS 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。

CTSUCHTRC00 ビットは、TS0 端子に、CTSUCHTRC07 ビットは、TS7 端子に対応します。

## 35.2.10 CTSU チャネル送受信制御レジスタ 1 (CTSUCHTRC1)

アドレス CTSU.CTSUCHTRC1 000A 090Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CTSUC HTRC13	CTSUC HTRC12	CTSUC HTRC11	CTSUC HTRC10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHTRC10	CTSUチャネル送受信制御10ビット	0: 受信 1: 送信	R/W
b1	CTSUCHTRC11	CTSUチャネル送受信制御11ビット		R/W
b2	CTSUCHTRC12	CTSUチャネル送受信制御12ビット	本ビットはTS8～TS11端子の設定を行います	R/W
b3	CTSUCHTRC13	CTSUチャネル送受信制御13ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUCHTRC1 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

**CTSUCHTRC1j ビット (CTSU チャネル送受信制御 1j ビット) (j = 0 ~ 3)**

相互容量フルスキャンモードでの TS 端子に対する受信、送信の割り当てを行います。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。

CTSUCHTRC10 ビットは、TS8 端子に、CTSUCHTRC13 ビットは、TS11 端子に対応します。



## 35.2.11 CTSU 高域ノイズ低減制御レジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 000A 0910h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CTSUSSCNT[1:0]	—	—	—	CTSUSSMOD[1:0]	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択ビット	“00b”に設定してください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU 拡散クロック制御ビット	“11b”に設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUDCLKC レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

**CTSUSSMOD[1:0] ビット (CTSU 拡散クロックモード選択ビット)**

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は、固定値“00b”を設定してください。本ビットが設定されない場合、高域ノイズ低減の効果が正しく得られません。

**CTSUSSCNT[1:0] ビット (CTSU 拡散クロック制御ビット)**

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は、固定値“11b”を設定してください。本ビットが設定されない場合、タッチ計測が正しく行われない可能性があります。

## 35.2.12 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 000A 0911h

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUPS	CTSUR OVF	CTSUS OVF	CTSUD TSR	—	CTSUSTC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSUS計測ステータスカウンタ	b2 b0 0 0 0 : Status0 0 0 1 : Status1 0 1 0 : Status2 0 1 1 : Status3 1 0 0 : Status4 1 0 1 : Status5	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CTSUDTSR	CTSUSデータ転送ステータスフラグ	0 : 計測結果が読み出されている 1 : 計測結果が読み出されていない	R
b5	CTSUSOVF	CTSUSセンサカウンタオーバーフローフラグ	0 : オーバフローなし 1 : オーバフローあり	R/W
b6	CTSUROVF	CTSUSリファレンスカウンタオーバーフローフラグ	0 : オーバフローなし 1 : オーバフローあり	R/W
b7	CTSUPS	CTSUS相互容量計測状態フラグ	0 : 1回目の計測 1 : 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、CTSUCR0.CTSUSTRT ビットが“0”のときにクリアしてください。

**CTSUSTC[2:0] フラグ (CTSUS 計測ステータスカウンタ)**

現在の計測ステータスを示します。各ステータスの詳細は、「35.3.2.2 ステータスカウンタ」を参照してください。

**CTSUDTSR フラグ (CTSUS データ転送ステータスフラグ)**

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に“1”になり、ソフトウェアまたはDTCでリファレンスカウンタを読み出すと“0”となります。

また本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUSOVF フラグ (CTSUS センサカウンタオーバーフローフラグ)**

センサカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した計測結果 (CTSUSC カウンタ) は“FFFFh”が読み出されます。

オーバーフローが発生しても設定された期間まで計測処理は継続されます。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、計測完了後 (完了割り込み発生後)、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで“1”を読み出した後、“0”を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

**CTSUROVF フラグ (CTSUS リファレンスカウンタオーバーフローフラグ)**

リファレンスカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した計測結果 (CTSUSRC カウンタ) は“FFFFFFh”が読み出されます。

オーバーフローが発生しても設定された期間まで計測処理は継続されます。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、計測完了後 (完了割り込み発生後)、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで“1”を読み出した後、“0”を書き込むことによりクリアされます。また、CTSUSCR0.CTUSINIT ビットでもクリアされます。

**CTSUSPS フラグ (CTSUS 相互容量計測状態フラグ)**

相互容量フルスキャンモード (CTSUSCR1.CTUSUMD[1:0] ビット = 11b) で1チャンネルあたり2回の計測をするうちの、1回目または2回目を示します。

計測停止中または他の計測モードでは、本フラグは“0”を示します。

## 35.2.13 CTSU 高域ノイズ低減スペクトラム拡散制御レジスタ (CTSUSSC)

アドレス CTSU.CTSSUSC 000A 0912h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	CTSUSSDIV[3:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUSスペクトラム拡散分周設定ビット	ベースクロックの分周設定に合わせて、スペクトラム拡散分周設定値を設定します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

## CTSUSSDIV[3:0] ビット (CTSUS スペクトラム拡散分周設定ビット)

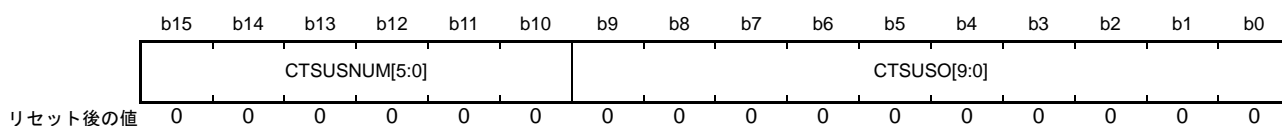
ベースクロックの分周設定に合わせて、スペクトラム拡散分周設定値を設定します。表 35.5 のベースクロック周波数と CTSUSSDIV[3:0] ビット設定値の関係を参考に値を設定してください。

表 35.5 ベースクロック周波数とCTSUSSDIV[3:0]ビット設定値の関係

ベースクロック周波数 fb (MHz)	CTSUSSDIV[3:0]ビット設定値
$4.00 \leq fb$	0000b
$2.00 \leq fb < 4.00$	0001b
$1.33 \leq fb < 2.00$	0010b
$1.00 \leq fb < 1.33$	0011b
$0.80 \leq fb < 1.00$	0100b
$0.67 \leq fb < 0.80$	0101b
$0.57 \leq fb < 0.67$	0110b
$0.50 \leq fb < 0.57$	0111b
$0.44 \leq fb < 0.50$	1000b
$0.40 \leq fb < 0.44$	1001b
$0.36 \leq fb < 0.40$	1010b
$0.33 \leq fb < 0.36$	1011b
$0.31 \leq fb < 0.33$	1100b
$0.29 \leq fb < 0.31$	1101b
$0.27 \leq fb < 0.29$	1110b
$fb < 0.27$	1111b

## 35.2.14 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 000A 0914h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUSOセンサオフセット調整ビット	b9 b0 0000000000: 電流オフセット量0 0000000001: 電流オフセット量1 0000000010: 電流オフセット量2 : : 1111111110: 電流オフセット量1022 1111111111: 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSUSNUM計測回数設定ビット	CTSUSNUMの計測回数を設定します	R/W

**CTSUSO[9:0] ビット (CTSUSO センサオフセット調整ビット)**

センサ ICO の入力電流オフセットを調整する制御ビットです。タッチ計測時に非タッチ状態の静電容量により発生するセンサ ICO 入力電流をオフセットし、CTSUSO センサカウンタのオーバフローを防ぎます。

次に計測する TS 端子への設定は、CTSUSWR 割り込みの発生後に行ってください。

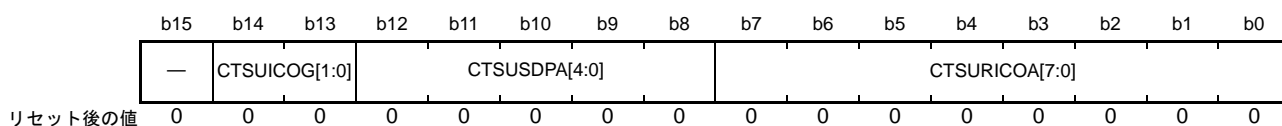
**CTSUSNUM[5:0] ビット (CTSUSNUM 計測回数設定ビット)**

CTSUSDPRS.CTUSUPRRATIO[3:0] ビットおよび CTSUSDPRS.CTUSUPRMODE[1:0] ビットで決定される計測パルス数を計測時間で何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。

次に計測する TS 端子への設定は、CTSUSWR 割り込みの発生後に行ってください。

### 35.2.15 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 000A 0916h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSUS リファレンスICO電流調整ビット	b7 b0 00000000: 入力電流量0 00000001: 入力電流量1 00000010: 入力電流量2 : : 11111110: 入力電流量254 11111111: 入力電流量最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSUS ベースクロック設定ビット	b12 b8 00000: 動作クロックの2分周 (注1) 00001: 動作クロックの4分周 00010: 動作クロックの6分周 00011: 動作クロックの8分周 00100: 動作クロックの10分周 00101: 動作クロックの12分周 00110: 動作クロックの14分周 00111: 動作クロックの16分周 01000: 動作クロックの18分周 01001: 動作クロックの20分周 01010: 動作クロックの22分周 01011: 動作クロックの24分周 01100: 動作クロックの26分周 01101: 動作クロックの28分周 01110: 動作クロックの30分周 01111: 動作クロックの32分周 10000: 動作クロックの34分周 10001: 動作クロックの36分周 10010: 動作クロックの38分周 10011: 動作クロックの40分周 10100: 動作クロックの42分周 10101: 動作クロックの44分周 10110: 動作クロックの46分周 10111: 動作クロックの48分周 11000: 動作クロックの50分周 11001: 動作クロックの52分周 11010: 動作クロックの54分周 11011: 動作クロックの56分周 11100: 動作クロックの58分周 11101: 動作クロックの60分周 11110: 動作クロックの62分周 11111: 動作クロックの64分周	R/W
b14-b13	CTSUICOG[1:0]	CTSUS ICOゲイン調整ビット	b14 b13 00: ゲイン100% 01: ゲイン66% 10: ゲイン50% 11: ゲイン40%	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相互容量フルスキャンモード(CTSUCR1.CTSUMD[1:0]ビット = 11b)の高域ノイズ低減機能OFF状態(CTSUSDPRS.CTSUSOFFビット = 1)では、CTSUSDPA[4:0]ビット = 00000bは設定しないでください。

CTSUSWR 割り込み発生後、CTSUSCC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。また、CTSUSO1 レジスタへの書き込み動作により Status3 へ遷移します。そのため、CTSUSO1 レジスタに書き込む場合は、1度に全ビットに書き込むようにしてください。

**CTSURICOA[7:0] ビット (CTSU リファレンス ICO 電流調整ビット)**

リファレンス ICO の入力電流により、発振周波数を調整します。

**CTSUSDPA[4:0] ビット (CTSU ベースクロック設定ビット)**

動作クロックを分周して、センサドライブパルスの元となるベースクロックを生成します。

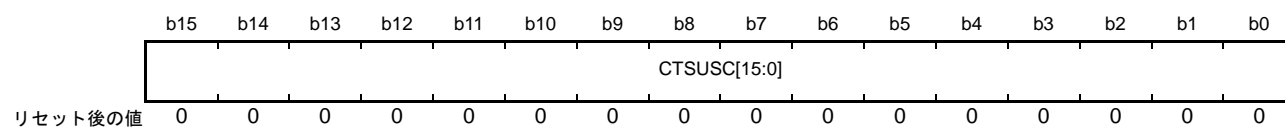
設定手順の詳細は、「35.3.2.1 初期設定フロー」を参照してください。

**CTSUICOG[1:0] ビット (CTSU ICO ゲイン調整ビット)**

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。非タッチータッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、ゲイン調整ビットで適切なゲインに調整してください。

**35.2.16 CTSU センサカウンタ (CTSUSC)**

アドレス CTSU.CTSUSC 000A 0918h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUセンサカウンタビット	オーバフロー発生時は“FFFFh”を示します	R

CTSURD 割り込み発生後、CTSUSC カウンタ、CTSURC カウンタの順に読み出してください。

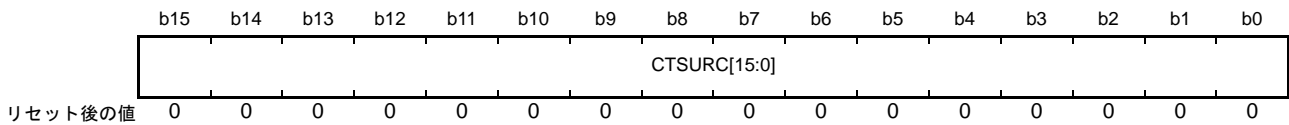
**CTSUSC[15:0] ビット (CTSU センサカウンタビット)**

計測のためにセンサ ICO クロックをカウントするインクリメントカウンタです。

本ビットは、CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、次の計測で CTSU 計測ステータスカウンタが Status4 に遷移する (CTSUST.CTSUSTC[2:0] フラグが “100b” になる) 直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでも本ビットはクリアされます。

## 35.2.17 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 000A 091Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSU リファレンスカウンタビット	オーバフロー発生時は“FFFFh”を示します	R

CTSURD 割り込み発生後、CTSUSC カウンタ、CTSURC カウンタの順に読み出してください。

Status3 の指定した安定時間を経過しても CTSURC カウンタの読み出しが行われていない場合は、読み出されるまで Status3 を継続します。

**CTSURC[15:0] ビット (CTSU リファレンスカウンタビット)**

リファレンス ICO クロックをカウントするインクリメントカウンタです。

リファレンス ICO はセンサ ICO によるタッチ計測を最適化するために使用します。CTSU に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、同一個体ではほぼ同様の特性を持ち、ダイナミックレンジや電流一周波数の特性が近似しています。リファレンス ICO 電流調整ビットで設定できる電流量の範囲がほぼ ICO のダイナミックレンジになるため、センサ ICO に入力する電流量もこのダイナミックレンジに収める必要があります。まず、ICO の個体差を確認するためにリファレンス ICO を使い、電流一周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得できますので、リファレンス ICO 電流調整ビットに値を設定し、リファレンス ICO カウンタを計測することで、入力した電流量に対する ICO の発振周波数 (カウンタ値 / 計測時間) を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。したがって、センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流量をオフセットする必要があります。

本ビットは、CTSURD 割り込み発生後に読み出してください。本ビットは読み出した後、次の計測で CTSU 計測ステータスカウンタが Status4 に遷移する (CTSUST.CTSUSTC[2:0] フラグが “100b” になる) 前にクリアされます。また、CTSUCR0.CTSUINIT ビットでも本ビットはクリアされます。



## 35.2.18 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 000A 091Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUI COMP	—	—	—	—	—	—	—	CTSUT SOC	—	—	—	CTSUD RV	CTSUT SOD	CTSUSPMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSPMD[1:0]	キャリブレーションモードビット	b1 b0 0 0 : 静電容量計測モード 0 1 : 設定禁止 1 0 : キャリブレーションモード 1 1 : 設定禁止	R/W
b2	CTSUTSOD	TS端子固定出力ビット	0 : 静電容量計測モード 1 : TS端子固定出力(High/Low出力)	R/W
b3	CTSUDRV	キャリブレーション設定ビット1	0 : 静電容量計測モード 1 : キャリブレーション設定1	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CTSUTSOC	キャリブレーション設定ビット2	0 : 静電容量計測モード 1 : キャリブレーション設定2	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	CTSUICOMP	TSCAP電圧異常監視ビット	0 : TSCAP電圧正常 1 : TSCAP電圧異常	R

**CTSUSPMD[1:0] ビット (キャリブレーションモードビット)**

CTSUSPMD[1:0] ビットは、CTSU のキャリブレーションを行う場合に使用します。  
静電容量を計測する場合は、“00b” にしてください。

**CTSUTSOD ビット (TS 端子固定出力ビット)**

CTSUTSOD ビットは、CTSU のキャリブレーションを行う場合に使用します。CTSUTSOD ビットを“1”にした場合、CTSUCR0.CTSUIOC ビットで指定したレベルが TS 端子から出力されます。  
静電容量を計測する場合は、“0” にしてください。

**CTSUDRV ビット (キャリブレーション設定ビット 1)**

CTSUDRV ビットは、CTSU のキャリブレーションを行う場合に使用します。  
静電容量を計測する場合は、“0” にしてください。

**CTSUTSOC ビット (キャリブレーション設定ビット 2)**

CTSUTSOC ビットは、CTSU のキャリブレーションを行う場合に使用します。  
静電容量を計測する場合は、“0” にしてください。

**CTSUICOMP ビット (TSCAP 電圧異常監視ビット)**

TSCAP 電圧の異常状態を監視します。CTSUSO1 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。本ビットは、TSCAP 電圧を監視し、異常となった場合、“1”になります。なお、TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了しますので、センサ ICO カウンタ値からは異常を検知することが困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整

ビット (CTSURICOA[7:0]) に “0” 以外を設定した場合は、タッチ計測終了時に本ビットを確認してください。  
本ビットは、CTSUCR1.CTSUPON ビットに “0” を書き込み、電源 OFF とすることでクリアされます。

### 35.2.19 CTSU 基準電流調整レジスタ (CTSUTRMR)

アドレス CTSU.CTSUTRMR 007F FFBEh



CTSUTRMR レジスタには、工場出荷時に個々のチップごとに一定の条件で調整した基準電流値が書き込まれています。

書き換える場合は、CTSUERRS.CTSUSPMD[1:0] ビットを “10b” (キャリブレーションモード) にしてから書き換えてください。リセットすると工場出荷時に書かれた値に戻ります。

CTSUSPMD[1:0] ビットが “00b” (静電容量計測モード) のときは書き換えないでください。

### 35.3 動作説明

#### 35.3.1 計測動作原理

図 35.4 に計測部回路を示します。

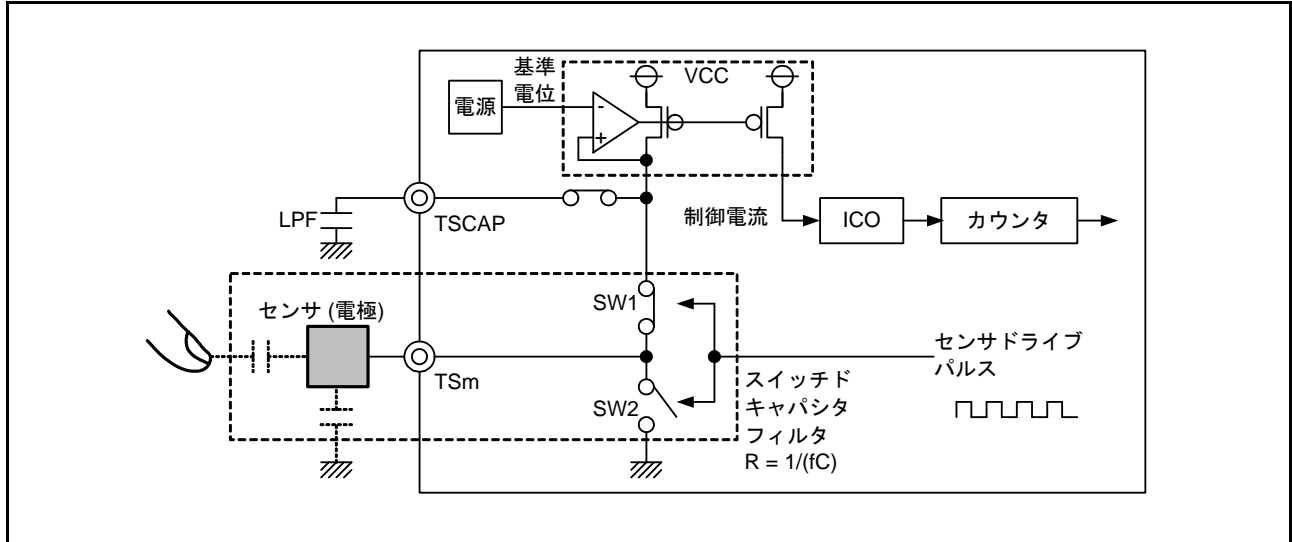


図 35.4 計測部回路 (m = 0 ~ 11)

図 35.5 ~ 図 35.7 に CTSU の電流周波数変換方式の静電容量計測動作原理を示します。

(1) SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます ( 図 35.5)。

(2) SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます ( 図 35.6)。

(1) と (2) の充放電を早いタイミングで切り替えることにより、スイッチドキャパシタフィルタに電流が流れます。このとき、人体の接近により静電容量値が変わるため、流れる電流が変化します。TSCAP 電源を生成する回路からスイッチドキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。人体の接近によって変わるクロック周波数をカウンタで計測し、読み出したカウンタ値を用いて、ソフトウェアで人体の接近を判定します ( 図 35.7)。

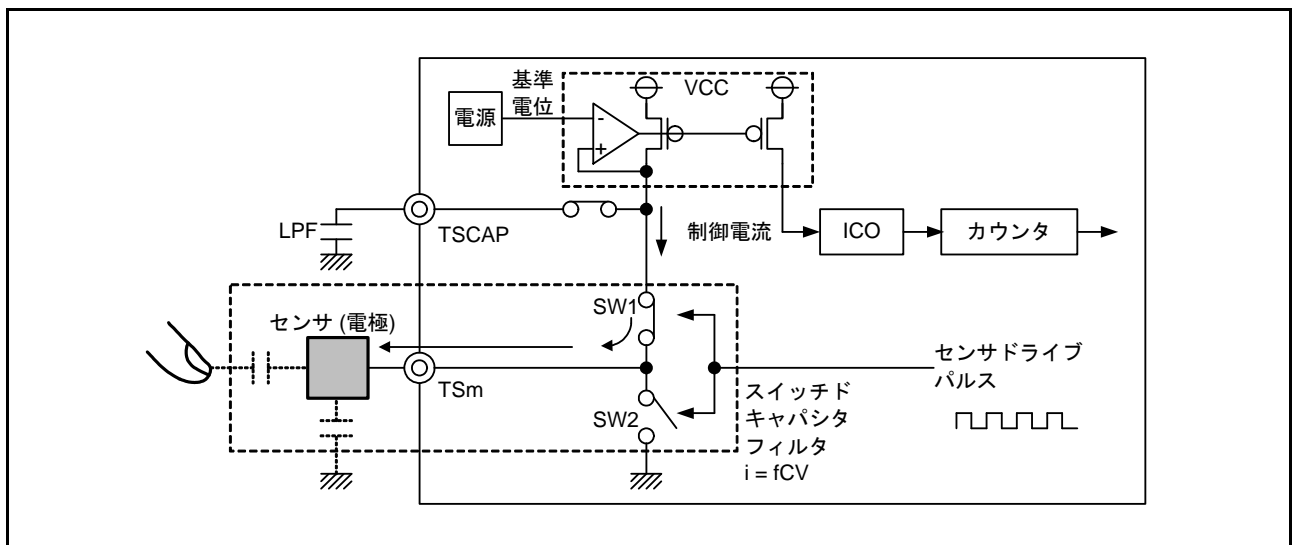


図 35.5 充電動作 (m = 0 ~ 11)

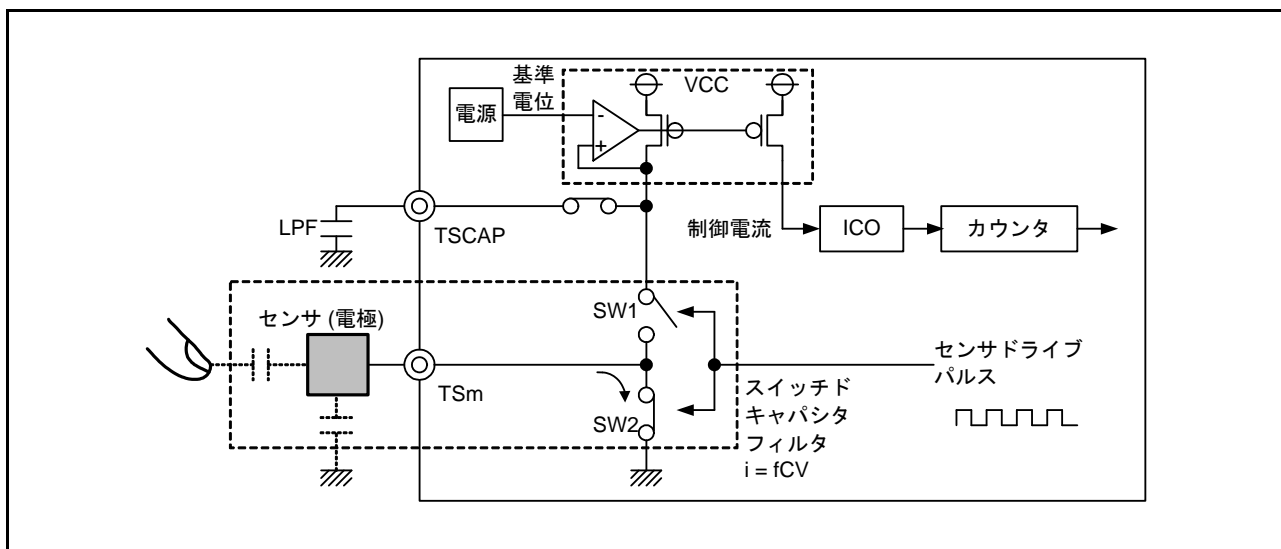


図 35.6 放電動作 (m = 0 ~ 11)

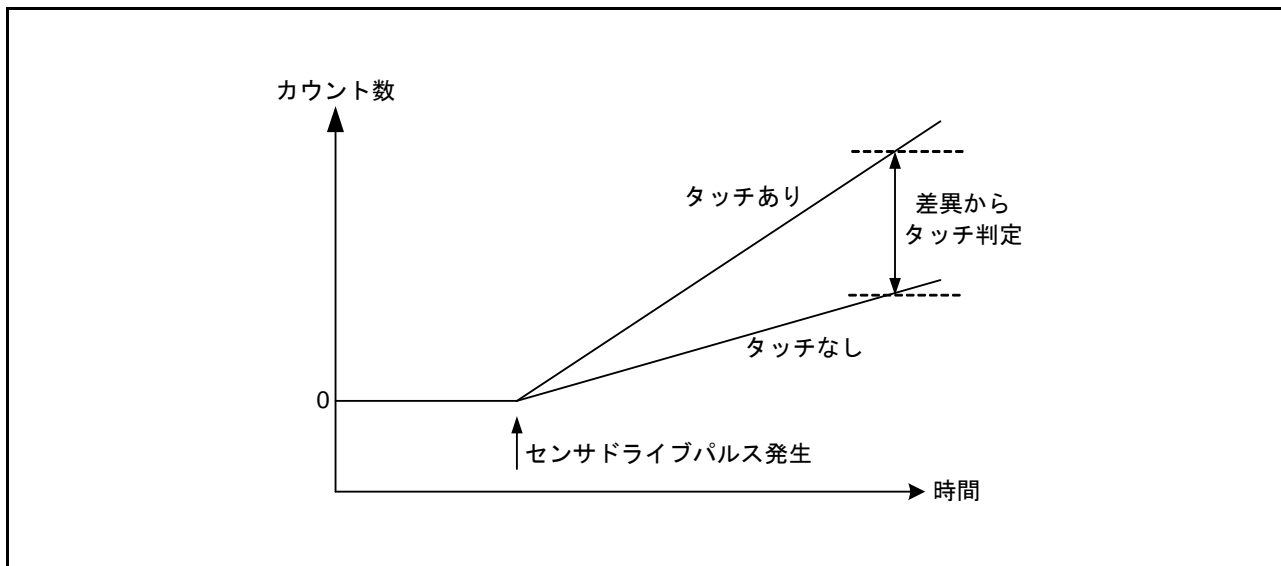


図 35.7 接触 / 非接触による計測値の変化

### 35.3.2 計測モード

CTSは、自己容量方式と相互容量方式に対応しています。図 35.8 に自己容量方式と相互容量方式の概要を示します。

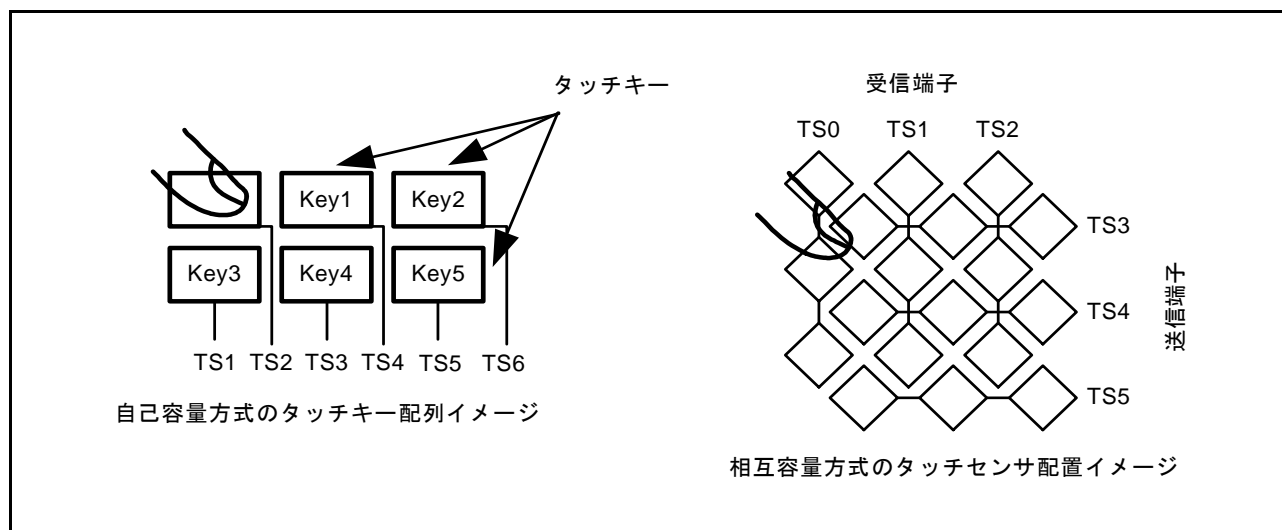


図 35.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれの人体の接近による静電容量を計測します。自己容量方式には、シングルスキャンとマルチスキャンの計測モードがあります。

相互容量方式では、対向する2つの電極（送信端子、受信端子）間の容量を計測します。

## 35.3.2.1 初期設定フロー

図 35.9 に、CTSUS の初期設定フローを示します。

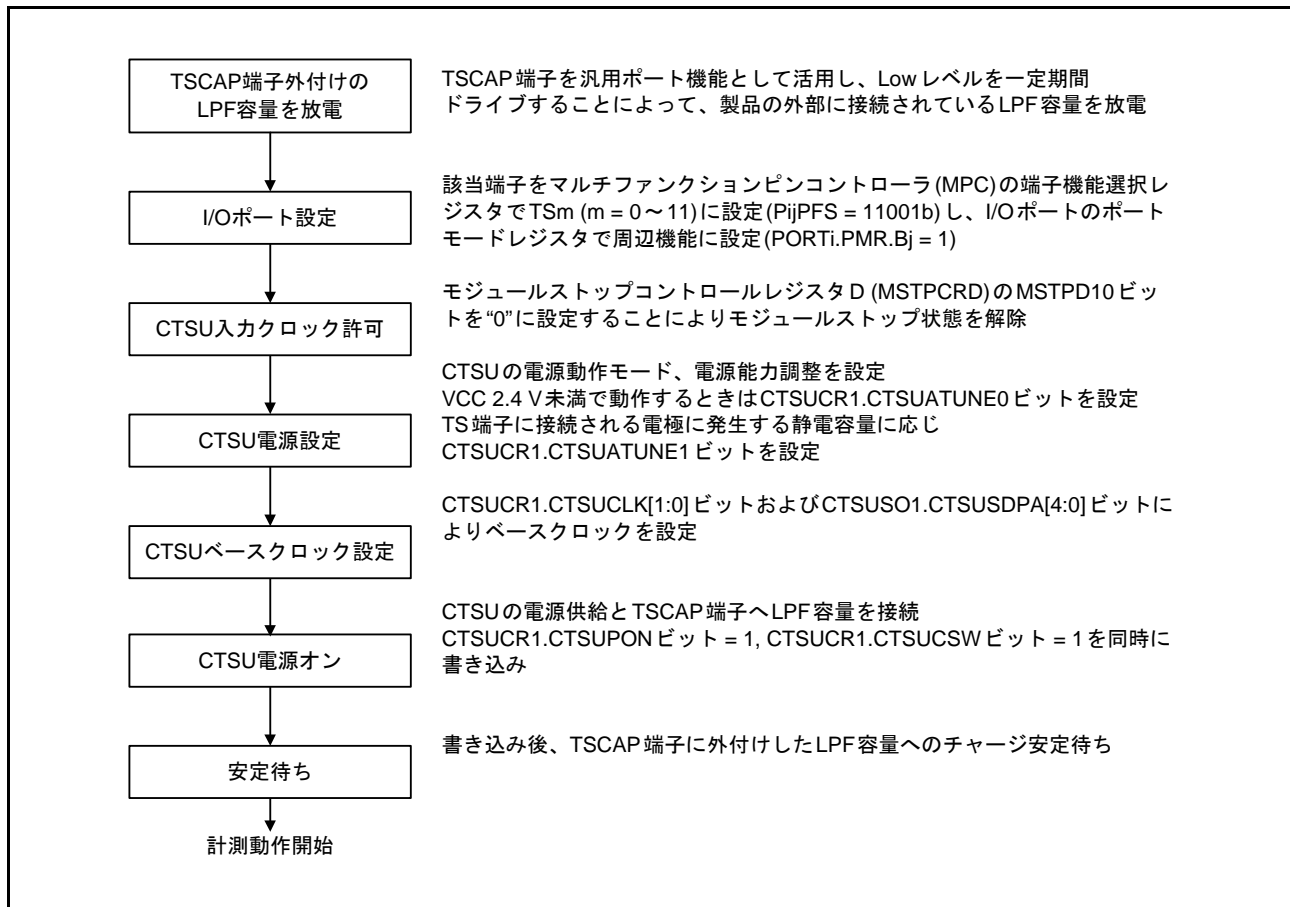


図 35.9 CTSUS 初期設定フロー

図 35.10 に、CTSUS の動作を停止し、スタンバイ状態にするフローを示します。

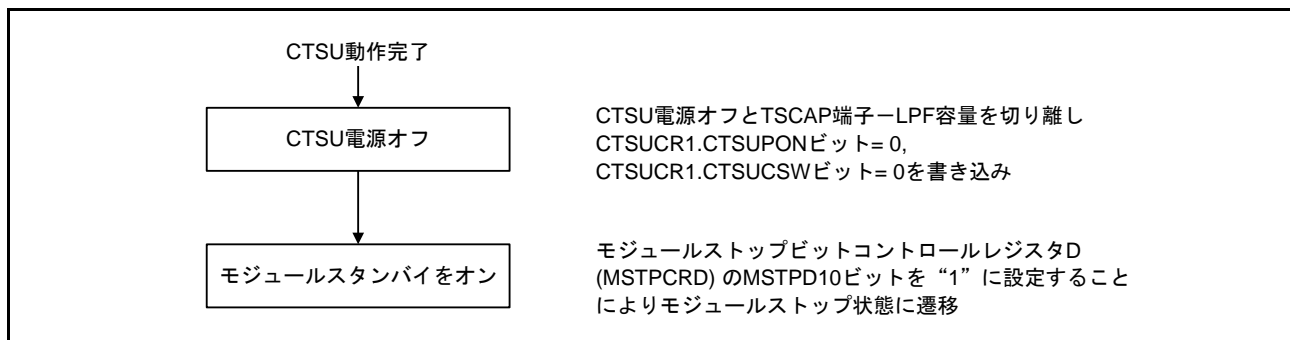


図 35.10 CTSUS 停止フロー

停止から再開する場合は、図 35.9 の初期設定フローに従ってください。

### 35.3.2.2 ステータスカウンタ

CTSUS ステータスレジスタ (CTSUST) の計測ステータスカウンタは、現在の計測ステータスを示します。計測ステータスは、4つの計測モードで共通です。図 35.11 にステータス動作遷移図を示します。

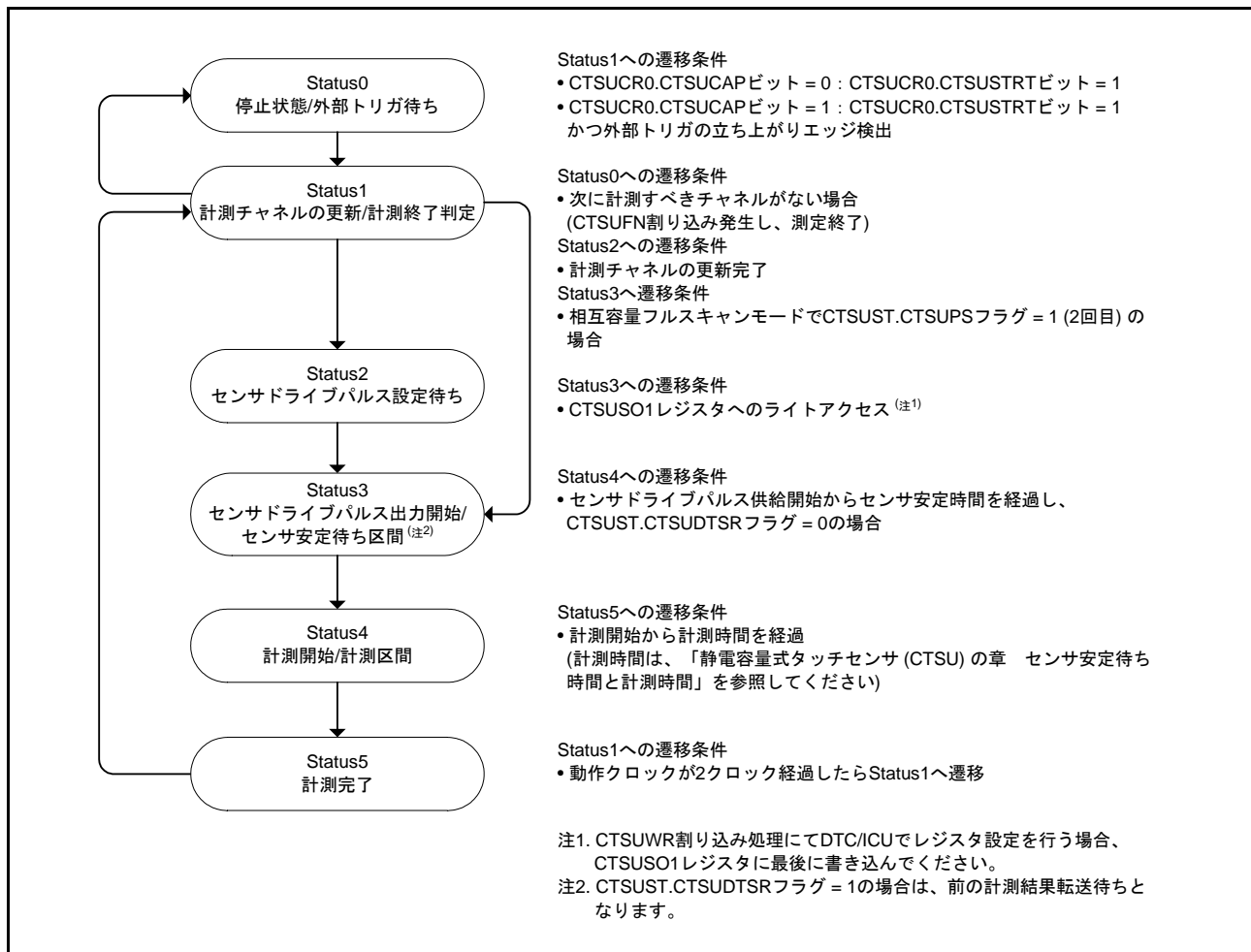


図 35.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより“0”にクリアされます。また外部トリガでは“1”が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態時に強制終了 (CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”の同時書き込み) することにより、強制的に Status0 に遷移し停止します。

また、CTSUMCH0 レジスタ、CTSUCHAC0 レジスタ、CTSUCHAC1 レジスタと CTSUCHTRC0 レジスタ、CTSUCHTRC1 レジスタの設定で計測するチャンネルがない場合は、Status1 へ遷移後、すぐに CTSUFN 割り込みを発生し Status0 に遷移します。計測するチャンネルがないケースは以下のとおりです。

- CTSUCHAC0 レジスタ、CTSUCHAC1 レジスタで測定対象チャンネルを指定しない場合
- 自己容量シングルスキャンモードで、CTSUMCH0 レジスタで指定したチャンネルが CTSUCHAC0 レジスタ、CTSUCHAC1 レジスタで測定対象外となっていた場合
- 相互容量フルスキャンモードで、CTSUCHAC0 レジスタ、CTSUCHAC1 レジスタと CTSUCHTRC0 レジスタ、CTSUCHTRC1 レジスタの組み合わせで、計測する送信チャンネルまたは受信チャンネルが存在しない場合

### 35.3.2.3 自己容量シングルスキャンモード動作

自己容量シングルスキャンモードは、任意の1チャンネルの静電容量を計測します。図 35.12 にソフトウェアフローと動作例を、図 35.13 にタイミングチャートを示します。

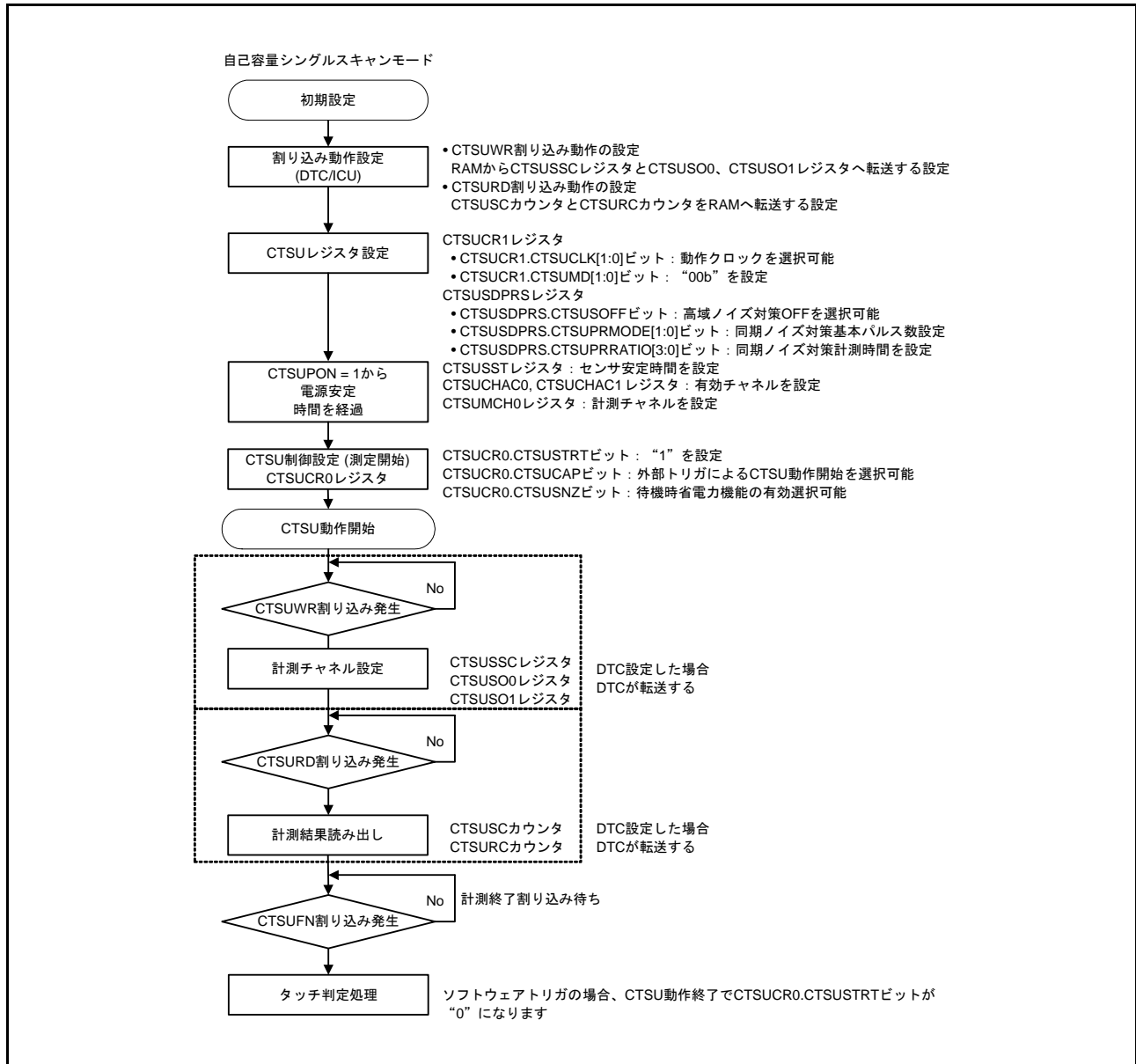


図 35.12 自己容量シングルスキャンモードのソフトウェアフローと動作例



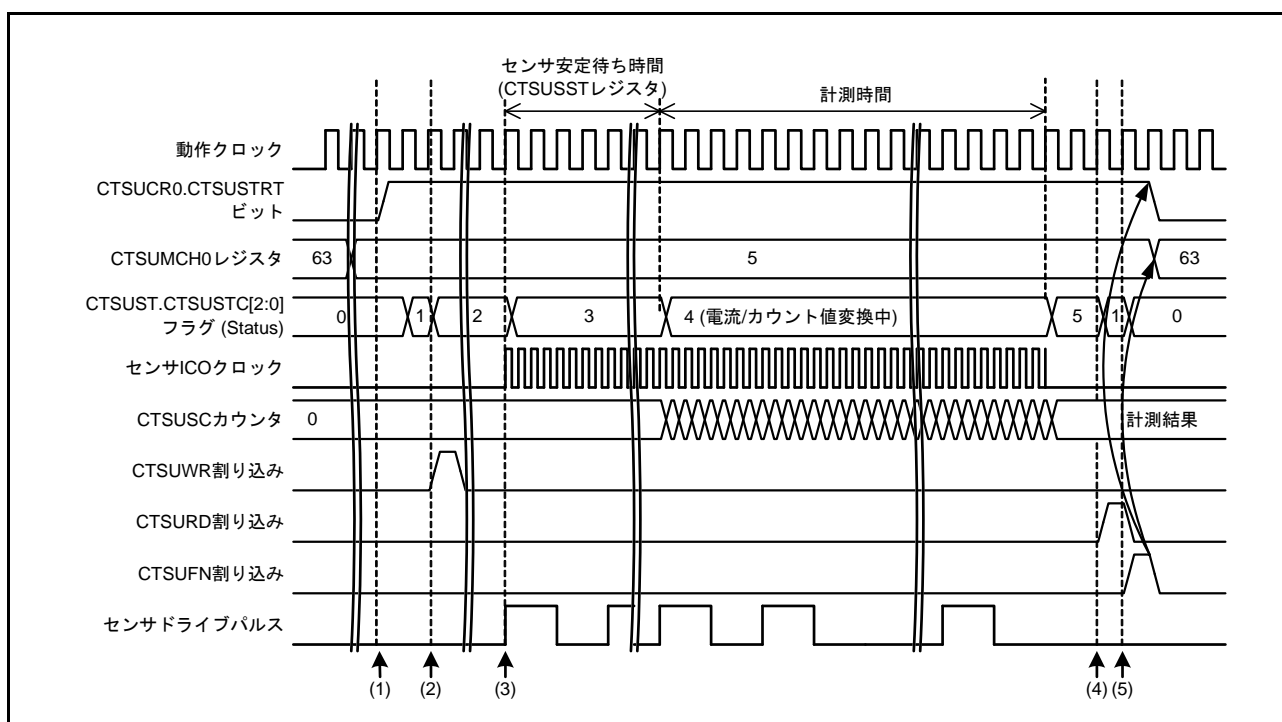


図 35.13 自己容量シングルスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 35.13 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 計測終了割り込み (CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 35.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表 35.6 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

### 35.3.2.4 自己容量マルチスキャンモード動作

自己容量マルチスキャンモードは、CTSUCHAC0 レジスタ、CTSUCHAC1 レジスタで計測対象に設定したすべてのチャンネルに対して静電容量を昇順で順次計測します。図 35.14 にソフトウェアフローと動作例を、図 35.15 にタイミングチャートを示します。

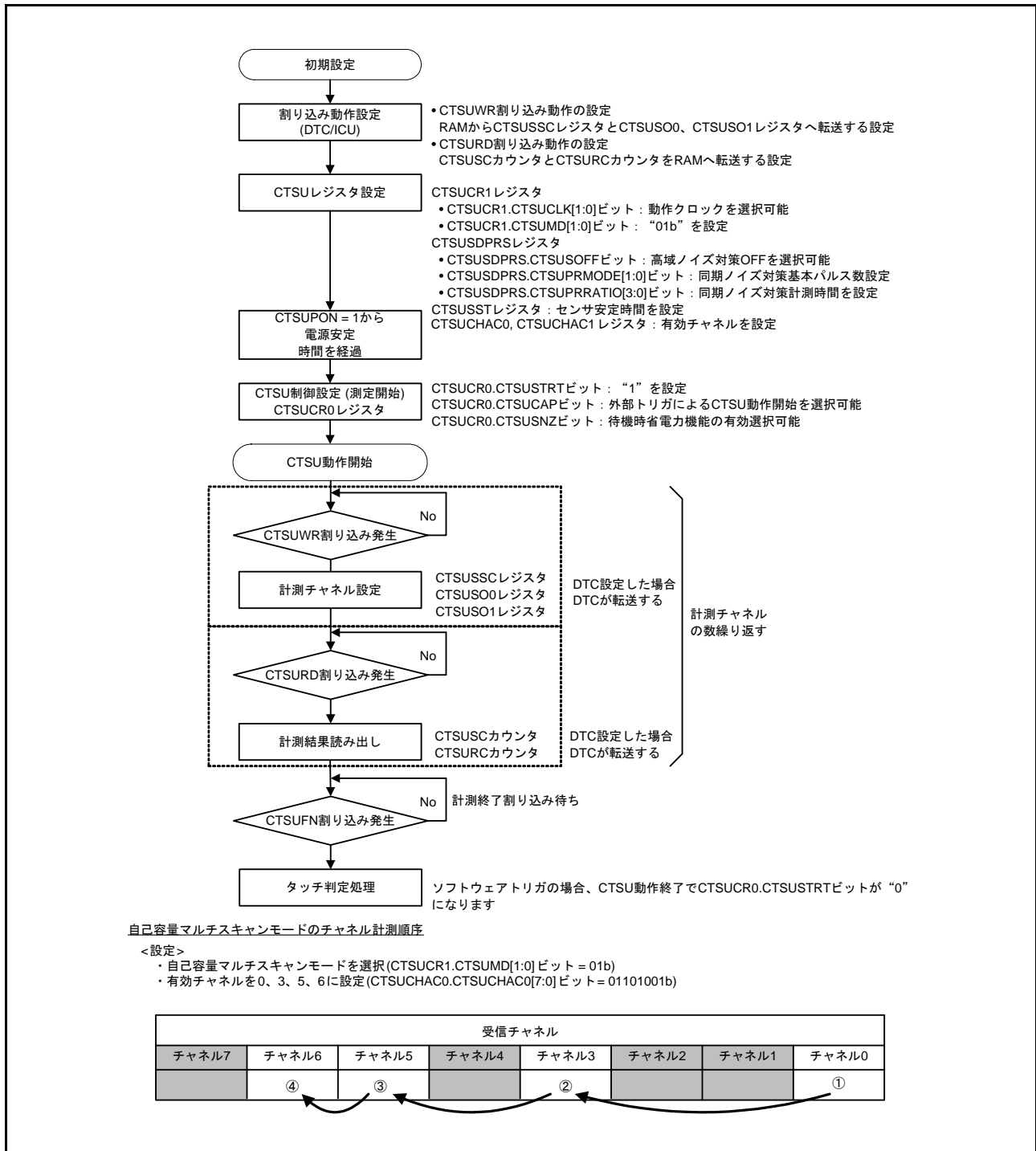


図 35.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

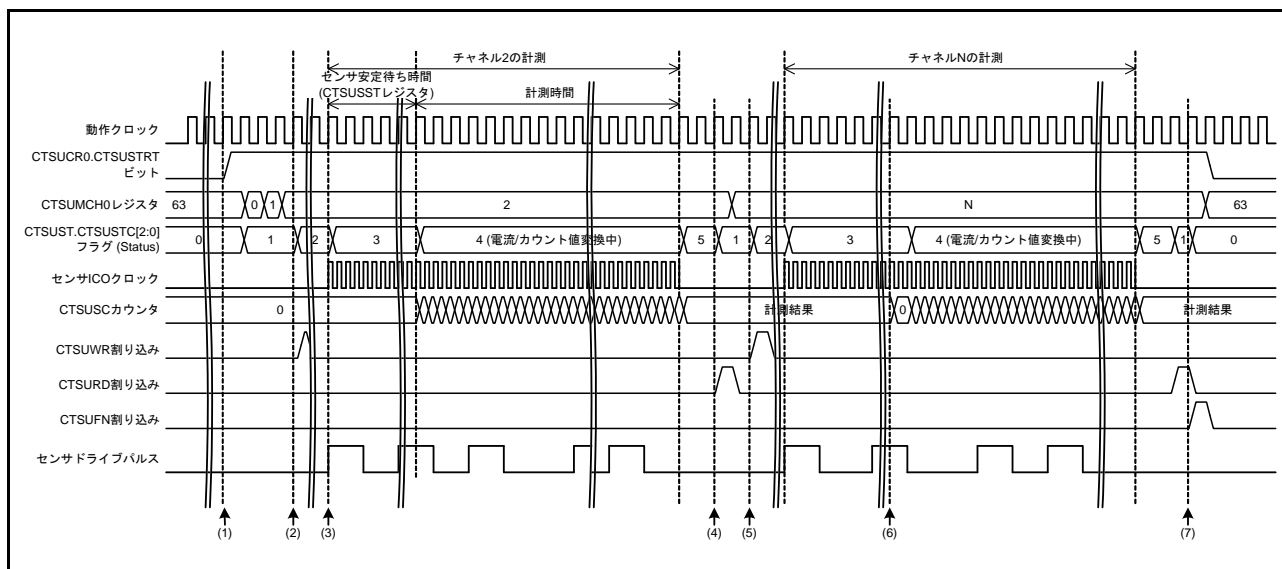


図 35.15 自己容量マルチスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 35.15 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTUSSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICOC クロックとリファレンス ICOC クロックが動作します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 次に計測するチャンネルが決定した後、計測チャンネルの設定要求 (CTSUWR) を出力します。
- (6) 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
- (7) すべてのチャンネル計測が完了したら、計測終了割り込み (CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 35.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 35.7 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

### 35.3.2.5 相互容量フルスキャンモード動作

相互容量フルスキャンモードは、受信チャンネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャンネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行い、より高いタッチ感度を実現します。

計測チャンネルは CTSUCHTRC0 レジスタ、CTSUCHTRC1 レジスタで設定した送信、受信と CTSUCHAC0 レジスタ、CTSUCHAC1 レジスタで計測対象に設定したチャンネルに対して静電容量を順次計測します。計測対象の端子に対して送信と受信を割り当て、総当たりで計測します。図 35.16 にソフトウェアフローと動作例を、図 35.17 にタイミングチャートを示します。

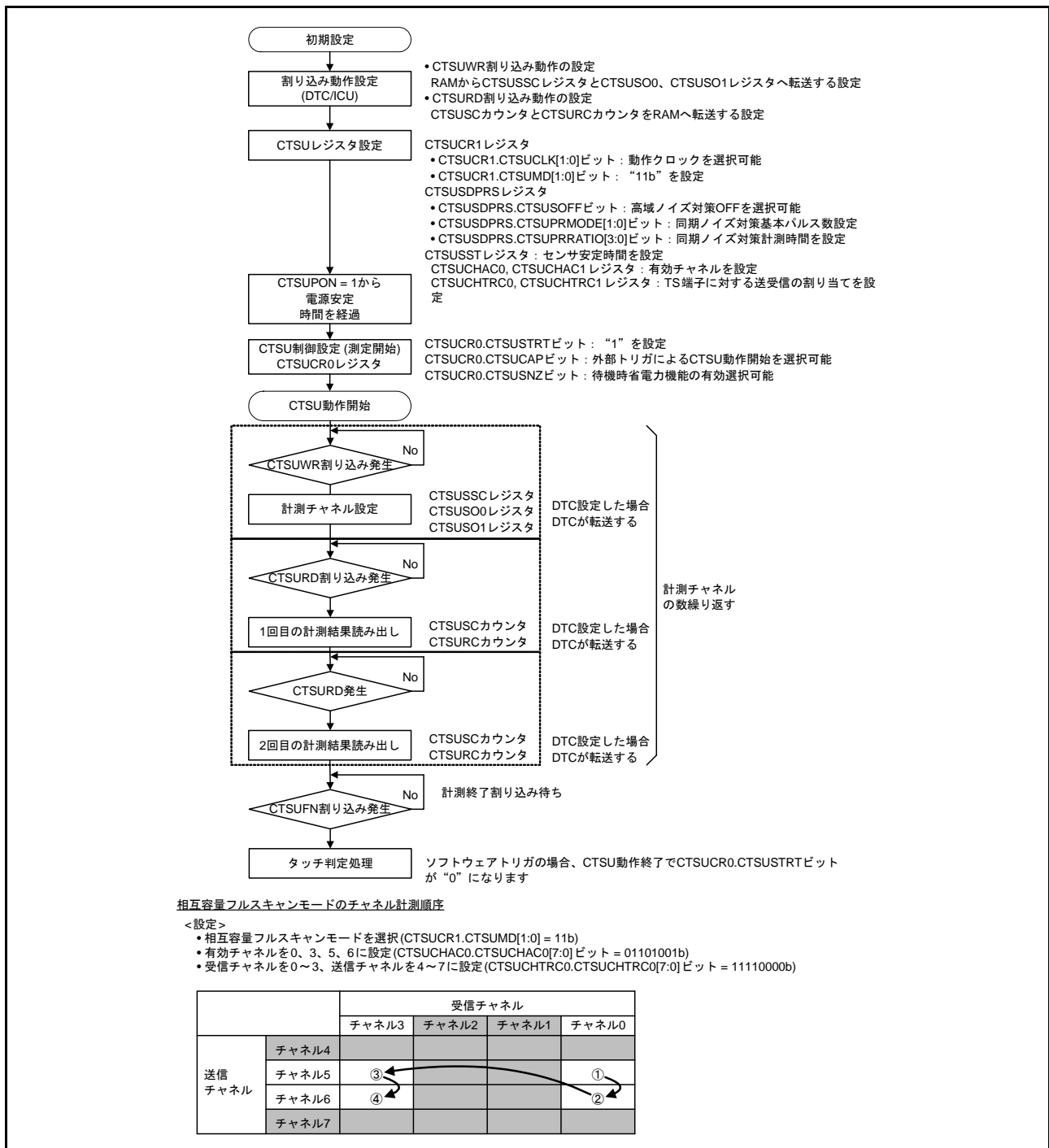


図 35.16 相互容量フルスキャンモードのソフトウェアフローと動作例

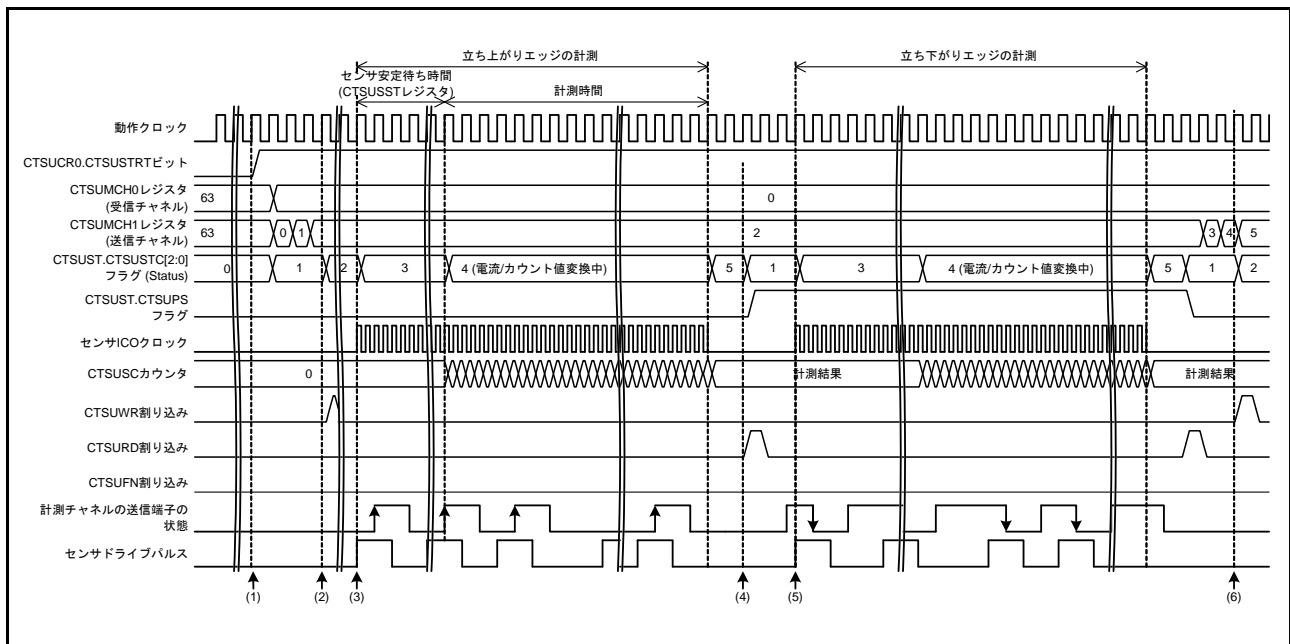


図 35.17 相互容量フルスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 35.17 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUSWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。  
同時に、計測チャンネルの送信端子にセンサドライブパルスの High 期間に対して、立ち上がりエッジとなるパルスを出力します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSUSRD) を出力します。
- (5) 同一チャンネルに対して、センサドライブパルスの High 期間に対して、立ち下がりエッジとなるパルスを出力した計測を行います。
- (6) 同一チャンネルに対して 2 回の計測が完了した後、次に計測するチャンネルが決定し、同様の計測を行います。
- (7) すべてのチャンネル計測が完了したら計測終了割り込み (CTSUSFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、相互容量計測状態フラグ (CTSUSST.CTSUPS フラグ) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 35.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 35.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャンネルのタッチ端子		送信チャンネルのタッチ端子		備考
	計測チャンネル	非計測チャンネル	計測チャンネル	非計測チャンネル	
0	Low	Low	Low	Low	—
1	Low	Low	Low/High	Low	—
2	Low	Low	Low	Low	—
3	パルス	Low	パルス	Low	1回目の計測：受信チャンネルと同相のパルス 2回目の計測：受信チャンネルと逆相のパルス
4	パルス	Low	パルス	Low	—
5	Low	Low	Low	Low	—

### 35.3.3 複数モードに関わる共通事項

#### 35.3.3.1 センサ安定待ち時間と計測時間

図 35.18 にセンサ安定待ち時間と計測時間のタイミングチャートを示します。

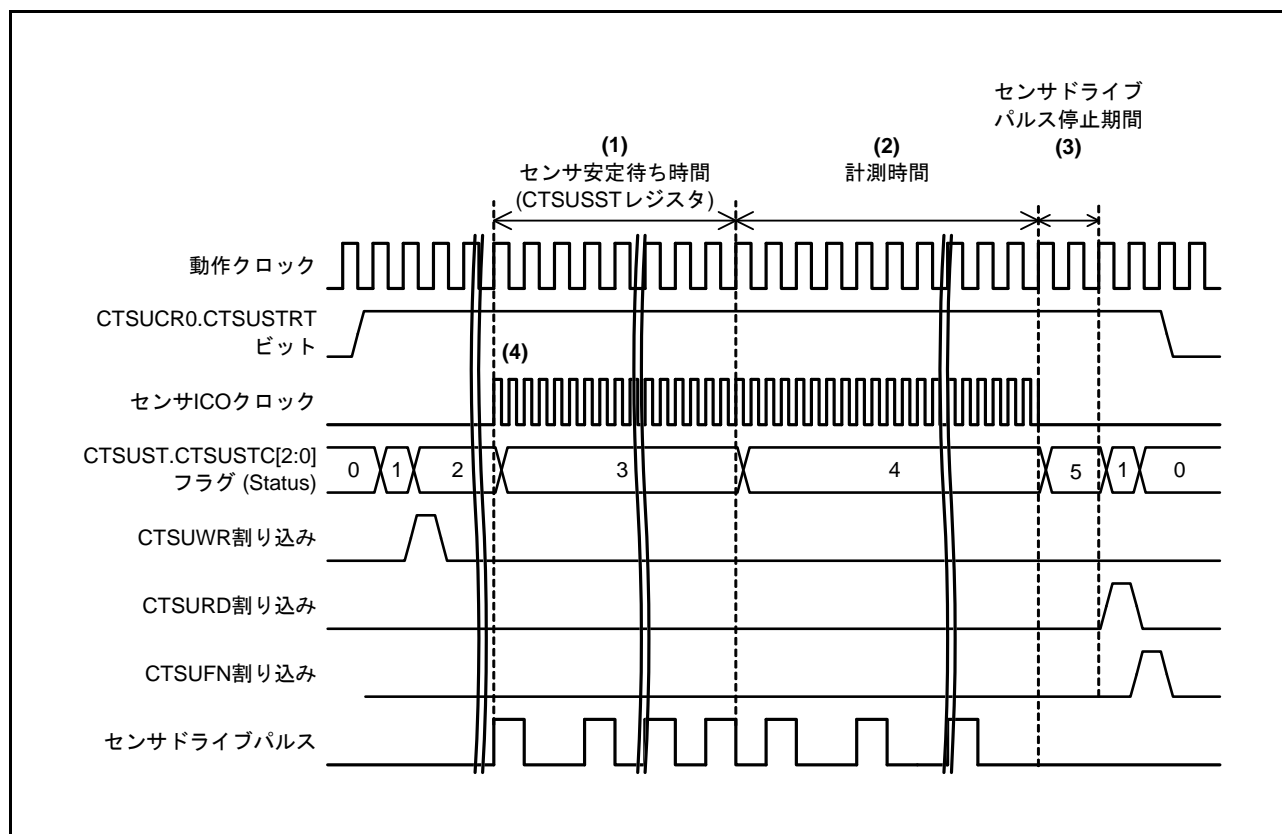


図 35.18 センサ安定待ち時間と計測時間

- (1) CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
- (2) センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが“0”になり、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0], CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットで決定します。計測時間が経過すると当該チャンネルの計測を終了します。
- (3) 計測時間経過後、動作クロック 2 サイクルで Status1 へ遷移し、CTSURD 割り込みを発生しますので、CTSUSC カウンタおよび CTSURC カウンタの内容を読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了した場合は、CTSUCR0.CTSUSTRT ビットが“0”になります。
- (4) センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグの値が“011b” (Status3) または“100b” (Status4) の期間に発振します。

### 35.3.3.2 割り込み

CTSUSには、以下の3種類の割り込みがあります。

- チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUSWR)
- 測定データ転送要求割り込み (CTSUSRD)
- 測定終了割り込み (CTSUSFN)

#### (1) チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUSWR)

計測チャンネルごとの設定データをRAM上に用意しておき、あらかじめCTSUSWR割り込みに対応したDTC/ICUの転送設定を行います。CTSUSWR割り込みはStatus1からStatus2へ遷移したタイミングで出力します。対応するチャンネルの設定データをRAMからCTSUSSSCレジスタとCTSUSO0レジスタ、CTSUSO1レジスタに書き込んでください(図35.19)。CTSUSO1レジスタへのライトアクセスには次のStatusへ遷移する制御があるため、CTSUSO1レジスタを最後に設定してください。

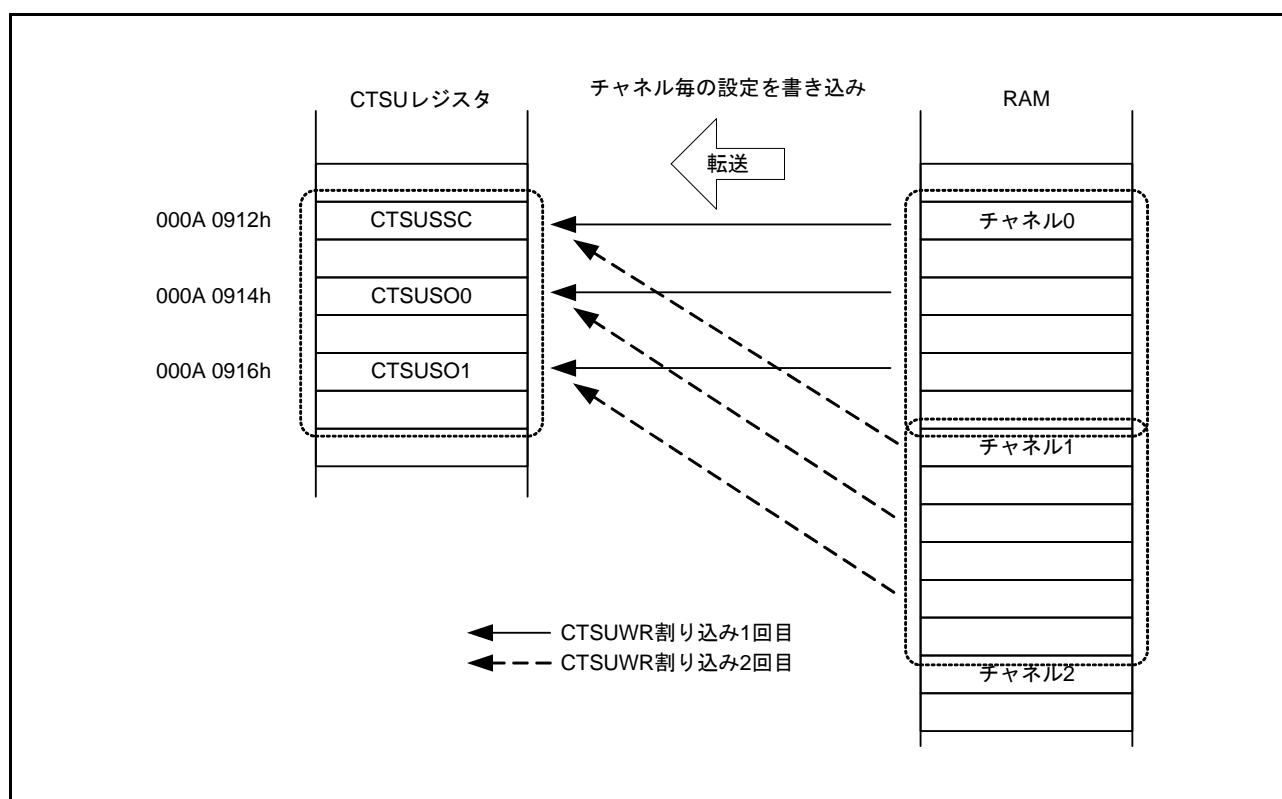


図 35.19 CTSUSWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSSC レジスタと CTSUSO0、CTSUSO1 レジスタ) は、連続したアドレスに配置されています。割り込みが発生したときの動作として以下のとおり設定してください。

- 転送先アドレス : CTSUSSSC レジスタのアドレス
- 転送先アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送(先頭バイトのアドレスは固定)
- 転送元アドレス : RAM上に用意した設定データの最小チャンネルの CTSUSSSC レジスタデータ格納アドレス
- 転送元アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送(先頭バイトのアドレスは前回の割り込み処理から継続)
- 割り込みによる転送回数 : 計測する回数を指定



## (2) 測定データ転送要求割り込み (CTSURD)

あらかじめ、CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。1 チャンネル計測終了後の Status5 から Status1 に遷移するタイミングで CTSURD 割り込みを出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください(図 35.20)。

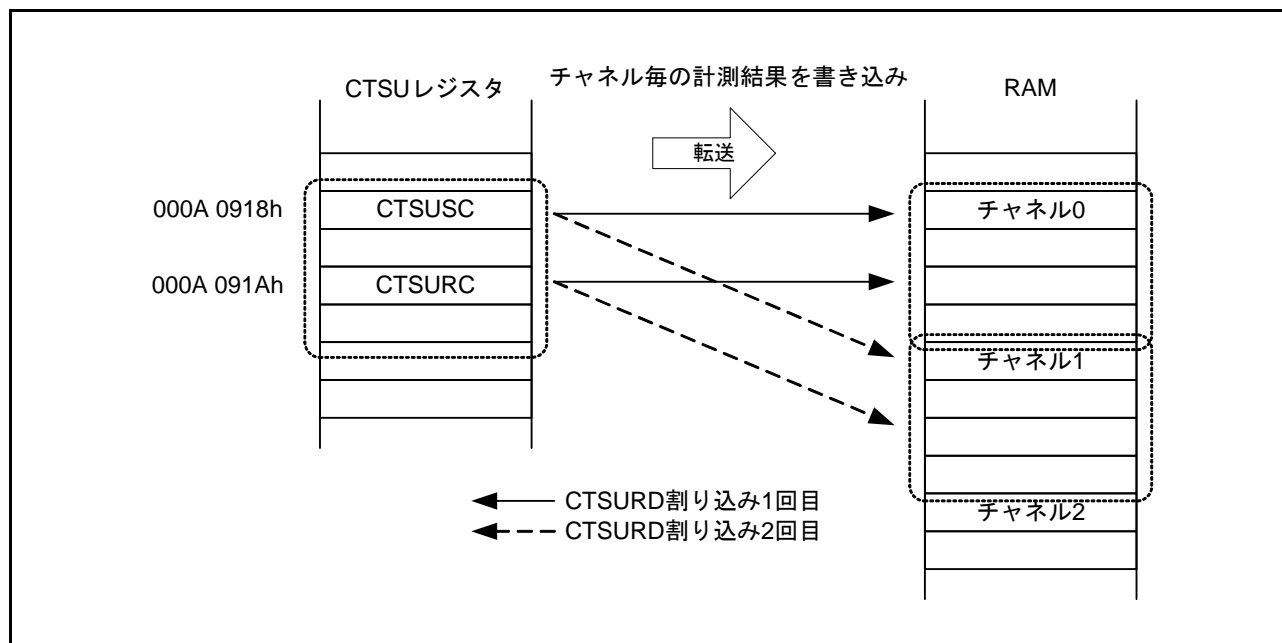


図 35.20 CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTSUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。割り込みが発生したときの動作として以下のとおり設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送 (先頭アドレスは固定)
- 転送先アドレス : RAM 上に用意した設定データの最少チャンネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送 (先頭アドレスは前回の割り込み処理から継続)
- 割り込みによる転送回数 : 計測する回数を指定

## (3) 測定終了割り込み (CTSUFN)

すべてのチャンネル計測が終了した Status1 から Status0 に遷移するタイミングで割り込みが発生します。ソフトウェアによるオーバフローフラグ (CTSUST.CTSUSOVF, CTSUROVF フラグ) の確認と読み出された計測結果により、タッチの有無を判定します。

割り込み要求の受付、禁止は割り込み制御部で行います。

## 35.4 使用上の注意事項

### 35.4.1 計測結果データ (CTSUSC カウンタ、CTSUSRC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

### 35.4.2 ソフトウェアトリガ

CTSUCR1.CTSUCLK[1:0] ビットで“10b” (PCLK/4) を選択した場合、計測完了後に、CTSUCR0.CTSUSTRT ビットへの“1”書き込みを再開させる場合は、割り込み発生から3サイクル以上待ってから書き込むようにしてください。

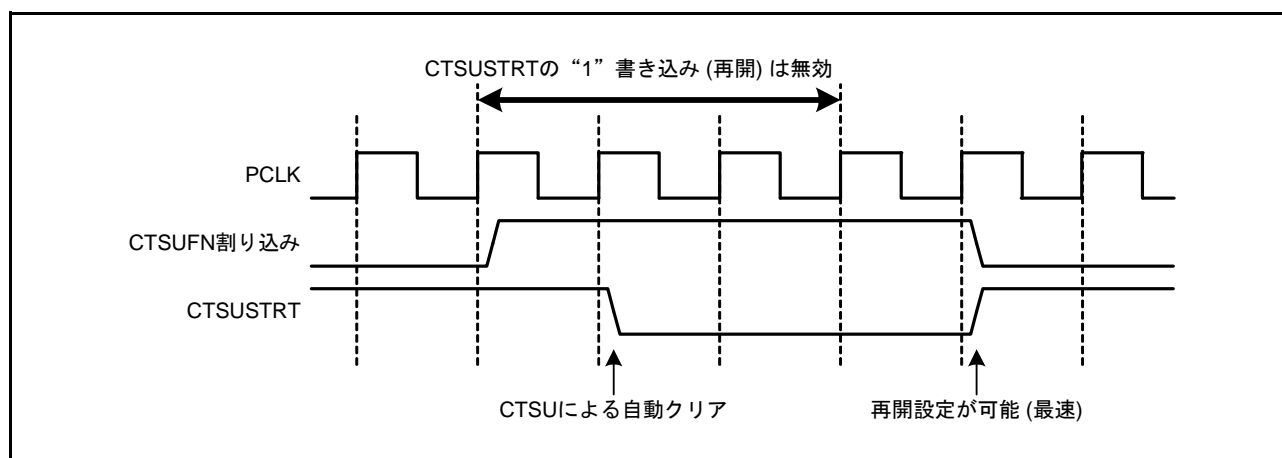


図 35.21 再開時の注意事項

### 35.4.3 外部トリガ

- 計測時間中に外部トリガが入力された場合、計測は開始されません。次の外部イベントは、CTSUFN 割り込みが発生した動作クロックの1サイクル後から有効になります。
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”の同時書き込み(強制停止)で停止します。

#### 35.4.4 強制停止の注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”を同時に書き込んでください。動作が停止し、内部制御レジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUMCH0 レジスタ
- CTSUMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

また強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC や ICU の停止 / 無効処理を行ってください。

搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSUSU に対しても強制終了および初期化処理を行ってください。


#### 35.4.5 TSCAP 端子

TSCAP 端子には、CTSUSU の内部電圧を安定させるためのコンデンサを接続する必要があります。TSCAP 端子とコンデンサの間、およびコンデンサと GND の間の配線は、できるだけ太く、短くしてください。

TSCAP 端子に接続されたコンデンサは、スイッチを ON (CTSUCR1.CTSUCSW ビット = 1) にして接続する前に、I/O ポート制御により Low を出力させ、十分に放電させてください。

#### 35.4.6 計測動作中 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項

計測動作中 (CTSUCR0.CTSUSTRT ビット = 1) に、上位システムから「周辺モジュールクロックを停止」や「タッチ端子 (TS 端子、TSCAP 端子) に関わるポート設定変更」を行わないでください。

本制約を違反する制御をした場合は、強制停止 (CTSUCR0.CTSUSTRT ビット = 0、CTSUCR0.CTSUINIT ビット = 1) 後、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに同時に“0”を書き込み、CTSUCR0.CTSUSNZ ビットに“0”を設定し、 35.9 の初期設定フローから再開するようにしてください。

## 36. 12ビットA/Dコンバータ (S12ADb)

本章に記載しているPCLKとはPCLKBを指します。

### 36.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大17チャンネルのアナログ入力、温度センサ出力、または内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大17チャンネルのアナログ入力か、温度センサ出力、または内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大17チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大17チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大17チャンネルのアナログ入力を任意に選択して2つのグループ（グループAとグループB）に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループA）で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納（A/D変換データの二重化）します。

温度センサ出力または内部基準電圧は、それぞれ単独でA/D変換を行います。

高電位側の基準電源端子には、VREFH0端子かAVCC0端子を選択することができます。

低電位側の基準電源グラウンド端子には、VREFL0端子かAVSS0端子を選択することができます。

表36.1に12ビットA/Dコンバータの仕様を、表36.2に12ビットA/Dコンバータの機能概要を示します。図36.1に12ビットA/Dコンバータのブロック図を示します。

表36.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	1ユニット
入力チャンネル	17チャンネル
拡張アナログ入力	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1.0μs (A/D変換クロック ADCLK = 32MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK(注1)とA/D変換クロックADCLK(注1)を以下の分周比で設定可能 PCLK : ADCLK分周比 = 1 : 1、1 : 2、1 : 4、1 : 8、2 : 1、4 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	アナログ入力用17本、ダブルトリガモードでのA/D変換データ二重化用1本 温度センサ用1本、内部基準電圧用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 加算モード時はA/D変換結果の加算値を14ビットでA/Dデータレジスタに保持 A/D変換データの二重化 <ul style="list-style-type: none"> <li>選択した1つのチャンネルのアナログ入力のA/D変換データを1回目はA/Dデータレジスタyに保持、2回目のA/Dデータは二重化レジスタに保持</li> <li>シングルスキャンモードとグループスキャンモードでダブルトリガモード選択時のみ二重化が可能</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>シングルスキャンモード：任意に選択した最大17チャンネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換</li> <li>連続スキャンモード：任意に選択した最大17チャンネルのアナログ入力を繰り返しA/D変換(注2)</li> <li>グループスキャンモード：最大17チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択した全チャンネルのアナログ入力を1回のみ変換 グループAとグループBは、各々の変換開始条件を選択することで異なるタイミングで変換開始可能</li> </ul>

表 36.1 12ビットA/Dコンバータの仕様 (2/2)

項目	内容
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>同期トリガ MTU、ELCからのトリガ</li> <li>非同期トリガ ADTRG0#端子によるA/D変換の開始が可能</li> </ul>
機能	<ul style="list-style-type: none"> <li>サンプリングステート数可変機能</li> <li>A/D変換値加算モード</li> <li>ダブルトリガモード (A/D変換データ二重化機能)</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生</li> <li>ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生</li> <li>グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生</li> <li>グループスキャンモードでダブルトリガモードの設定では、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生。</li> <li>S12ADI0またはGBADI割り込みでデータトランスファコントローラ (DTC) を起動可能</li> </ul>
イベントリンク機能	<ul style="list-style-type: none"> <li>グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生可能</li> <li>ELCからのトリガによりA/D変換開始可能</li> </ul>
基準電圧	<ul style="list-style-type: none"> <li>高電位側基準電圧はVREFH0、AVCC0、内部基準電圧から選択可能</li> <li>低電位側基準電圧はVREFL0かAVSS0を選択可能</li> </ul>
消費電力低減機能	<ul style="list-style-type: none"> <li>モジュールストップ状態への設定が可能 (注3)</li> </ul>

注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 温度センサ出力または内部基準電圧を選択した場合は、連続スキャンモードおよびグループスキャンモードを使用しないでください。

注3. モジュールストップ状態を解除後は、1μs待ってからA/D変換を開始してください。

表 36.2 12ビットA/Dコンバータの機能概要

項目			機能	
アナログ入力チャネル			AN000～AN015、AN021、温度センサ出力、内部基準電圧	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	ADTRG0#	可能	
	同期トリガ	MTU0のTGRAのコンペアマッチ/インプットキャプチャ		TRG0AN
		MTU0のTGRBのコンペアマッチ/インプットキャプチャ		TRG0BN
		MTU0～MTU4のTGRAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー (谷)		TRGAN
		MTU0のTRGEのコンペアマッチ		TRG0EN
		MTU0のTRGFのコンペアマッチ		TRG0FN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)		TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)		TRG4BN
		MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能1)		TRG4ABN
ELCからのトリガ		可能		
割り込み			S12ADI0、GBADI割り込み	
モジュールストップ機能の設定 (注1)			MSTPCRA.MSTPA17ビット	

注1. 詳細は「11. 消費電力低減機能」を参照してください。

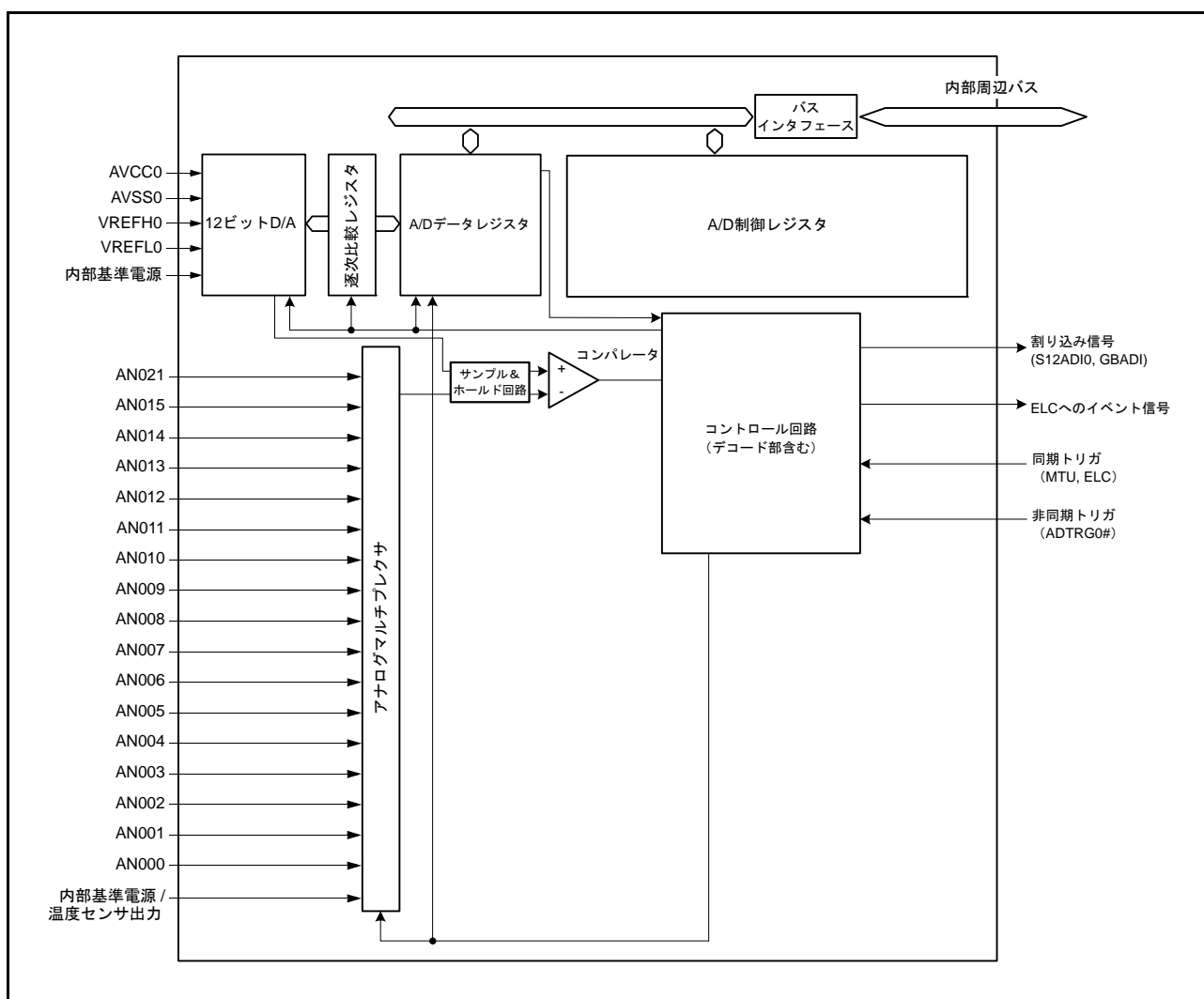


図 36.1 12ビットA/Dコンバータのブロック図

表 36.3 に 12 ビット A/D コンバータで使用する入力端子を示します。

表 36.3 12ビットA/Dコンバータの入力端子

端子名	入力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準グランド端子
AN000 ~ AN0015, AN021	入力	アナログ入力端子
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

## 36.2 レジスタの説明

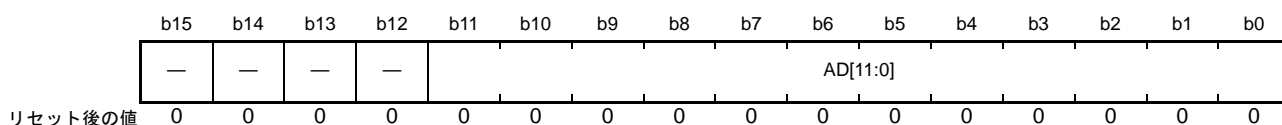
### 36.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 15, 21)

ADDRy レジスタは、チャンネルのアナログ入力 (AN000 ~ AN015, AN021) を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT = 0 (右詰めフォーマットに設定)

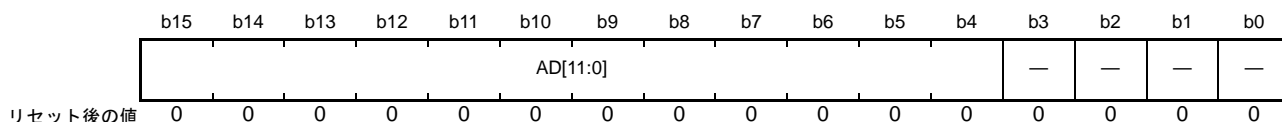
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDR21 0008 904Ah



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT = 1 (左詰めフォーマットに設定)

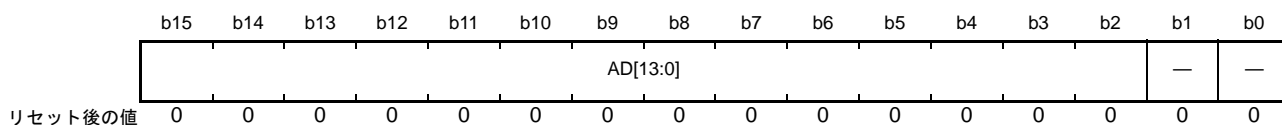
アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDR21 0008 904Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス ADDR0 0008 9020h ~ ADDR15 0008 903Eh, ADDR21 0008 904Ah



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D変換値加算モードに設定した場合、ADDRy.AD[13:0]ビットは同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADRFMTビットの設定は無効となり、左詰めのフォーマットになります。

A/D変換値加算モードを選択したチャンネルに対しての最小値と最大値を以下に示します。

- 1回変換時：0000h  $\leq$  ADDRy (y = 0 ~ 15, 21)  $\leq$  3FFCh  
ADDRy (y = 0 ~ 15, 21) : ビット 15、14 = 00b、ビット 13 ~ 2 = AD[11:0]、  
ビット 1、0 = 00b
- 2回変換時：0000h  $\leq$  ADDRy (y = 0 ~ 15, 21)  $\leq$  7FF8h  
ADDRy (y = 0 ~ 15, 21) : ビット 15 = 0、ビット 14 ~ 2 = AD[12:0]、  
ビット 1、0 = 00b
- 3回変換時：0000h  $\leq$  ADDRy (y = 0 ~ 15, 21)  $\leq$  BFF4h  
ADDRy (y = 0 ~ 15, 21) : ビット 15 ~ 2 = AD[13:0]、ビット 1、0 = 00b
- 4回変換時：0000h  $\leq$  ADDRy (y = 0 ~ 15, 21)  $\leq$  FFF0h  
ADDRy (y = 0 ~ 15, 21) : ビット 15 ~ 2 = AD[13:0]、ビット 1、0 = 00b



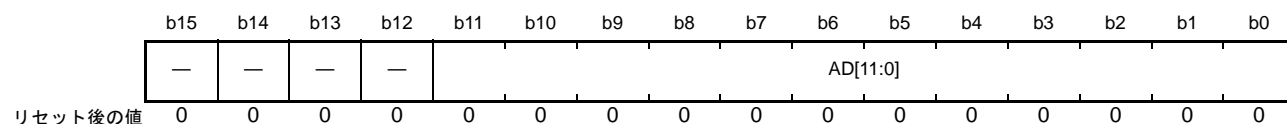
### 36.2.2 A/D データ二重化レジスタ (ADDBLDR)

ADDBLDR レジスタは、二重化を選択したチャンネルのアナログ入力をダブルトリガモード選択時の2回目のトリガによってA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT = 0 (右詰めフォーマットに設定)

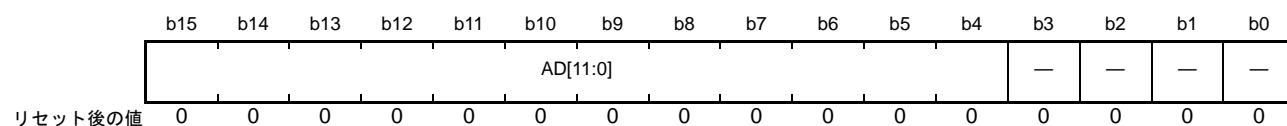
アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT = 1 (左詰めフォーマットに設定)

アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D変換値加算モードを選択した場合

アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D変換値加算モードに設定した場合、ADDBLDR.AD[13:0]ビットは同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADRFMTビットの設定は無効となり、左詰めフォーマットになります。

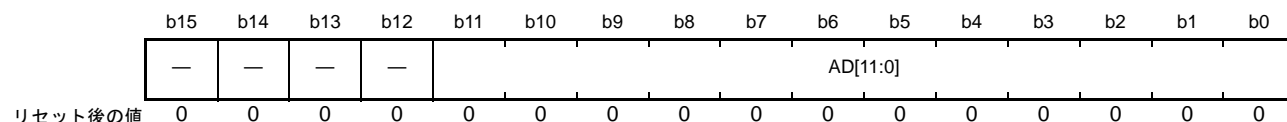
### 36.2.3 A/D 温度センサデータレジスタ (ADTSDR)

ADTSDR レジスタは、温度センサ出力をA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D変換値加算モードの設定によって、以下に示すフォーマットになります。

- ADCER.ADRFMT = 0 (右詰めフォーマットに設定)

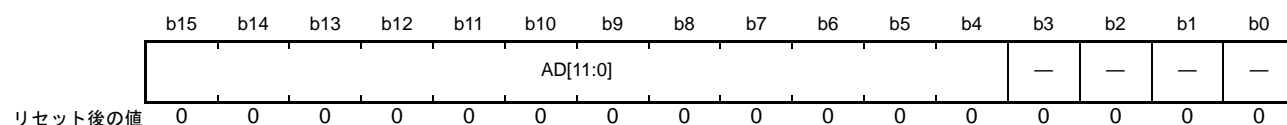
アドレス 0008 901Ah



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT = 1 (左詰めフォーマットに設定)

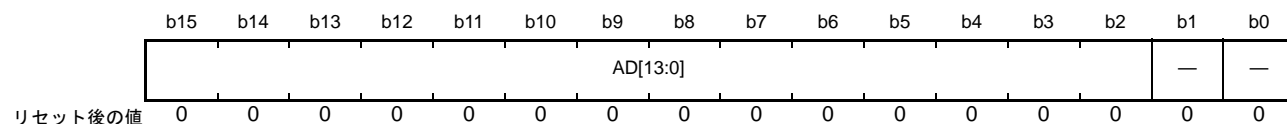
アドレス 0008 901Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D変換値加算機能を選択した場合

アドレス 0008 901Ah



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	温度センサ出力のA/D変換値加算結果	R

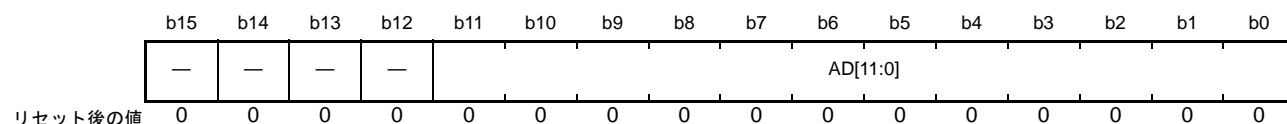
A/D変換値加算モードに設定した場合、ADTSDR.AD[13:0]ビットは、温度センサ出力のA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADRFMTビットの設定は無効となり、左詰めフォーマットになります。

### 36.2.4 A/D 内部基準電圧データレジスタ (ADOCADR)

ADOCADR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT = 0 (右詰めフォーマットに設定)

アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT = 1 (左詰めフォーマットに設定)

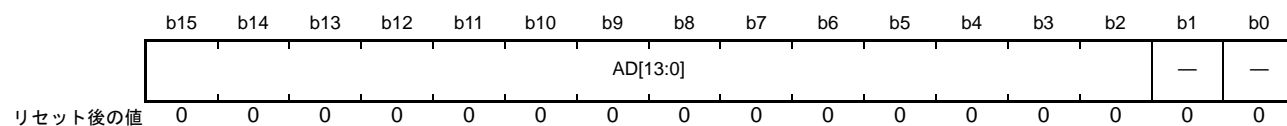
アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D 変換値加算モードに設定した場合、ADOCADR.AD[13:0] ビットは内部基準電圧の A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めフォーマットになります。

## 36.2.5 A/D コントロールレジスタ (ADCSR)

アドレス 0008 9000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	A/D変換データ二重化チャンネル選択ビット	A/D変換データを二重化するアナログ入力を17チャンネルから1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にGBADI割り込み発生を禁止 1: グループBのスキャン終了後にGBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット(注1)	0: 同期トリガ (MTU, ELC) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG0#) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換動作モード選択ビット	0: 通常変換動作 1: 高速変換動作	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADIO割り込み発生を禁止 1: スキャン終了後のS12ADIO割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子（非同期トリガ）でA/D変換を開始する方法  
外部端子（ADTRG0#）にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

## DBLANS[4:0] ビット (A/D 変換データ二重化チャンネル選択ビット)

ダブルトリガモードでA/D変換データを二重化する1チャンネルを選択します。DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、ダブルトリガモードの1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ二重化レジスタに格納されます。表36.4にA/D変換データ二重化チャンネルの選択表を示します。ダブルトリガモードでの加算モードは、DBLANS[4:0]ビットで選択したチャンネルをADADSレジスタで選択することで可能です。ダブルトリガモードを選択した場合は、ADANSA、ADANSA1レジスタで選択したチャンネルは無効になり、DBLANS[4:0]ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。チャンネルのアナログ入力をA/D変換する場合は、温度センサ出力および内部基準電圧のA/D変換は選択しないでください。DBLANS[4:0]ビットは、ADSTビットが“0”のときに設定してください（ADSTビットへの“1”書き込みと同時に設定もしないでください）。

表 36.4 DBLANS ビット設定値とダブルトリガ有効チャンネルの関係

DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル
00000	AN000	01001	AN009
00001	AN001	01010	AN010
00010	AN002	01011	AN011
00011	AN003	01100	AN012
00100	AN004	01101	AN013
00101	AN005	01110	AN014
00110	AN006	01111	AN015
00111	AN007	10101	AN021
01000	AN008		

**GBADIE ビット (グループ B スキャン終了割り込み許可ビット)**

グループスキャンモードでのグループ B のスキャン終了割り込み (GBADI) の発生を許可 / 禁止します。

**DBLE ビット (ダブルトリガモード選択ビット)**

ダブルトリガモードは、ADSTRGR.TRSA[3:0] ビットで選択した MTU、ELC からのトリガでスキャンを開始したことを条件に以下 1 と 2 の動作となります。

1. ADIE ビットが“1”に設定されている場合に、1 回目のスキャン終了時はスキャン終了割り込みを出力せず、2 回目のスキャン終了時にスキャン終了割り込みを出力します。
2. DBLANS[4:0] ビットで選択したアナログ入力のア/D 変換データを、1 回目は A/D データレジスタ y に格納し、2 回目は A/D データ二重化レジスタに格納します。

DBLE ビットを“1”にすると ADANSA、ADANSA1 レジスタで選択したチャンネルは無効になります。連続スキャンモードではダブルトリガモードを選択しないでください。また、温度センサ出力および内部基準電圧の A/D 変換は選択しないでください。ダブルトリガモード選択中はソフトウェアトリガは使用しないでください。DBLE ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

**TRGE ビット (トリガ開始許可ビット)**

同期トリガ、非同期トリガによる A/D 変換の開始を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

**ADHSC ビット (A/D 変換動作モード選択ビット)**

A/D 変換動作モードを通常変換モードにするか、高速変換モードにするかを選択します。

通常変換モードは、AVCC0 は 1.8V ~ 3.6V で動作できます。

高速変換モードは AVCC0 は 2.4V 以上で動作できます。

1 $\mu$ s 変換を実現するためには、高速変換モードを選択、AVCC0 を 2.7V 以上、ADCLK クロックを 32MHz にしてください。

### ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADIO) の発生を許可/禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”にセットされていれば、S12ADIO 割り込みが発生します。

温度センサ出力または内部基準電圧を選択した場合も A/D 変換が終了したときに、ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[3:0] ビットで選択した MTU、ELC からのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

### ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA、ADANSA1 レジスタで選択した最大 17 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA、ADANSA1 レジスタで選択した最大 17 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。ADCSR.ADST ビットを“0”にすると A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[3:0] ビットで選択した MTU、ELC からのトリガを開始条件として、ADANSA、ADANSA1 レジスタで選択した最大 17 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また同様に ADSTRGR.TRSB[3:0] ビットで選択した MTU、ELC からのトリガを A/D 変換開始条件として、ADANSB、ADANSB1 レジスタで選択した最大 17 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択した場合は、シングルスキャンモードを選択し、ADANSA、ADANSA1 レジスタで選択したチャンネルをすべて非選択としてから A/D 変換を行います。選択した温度センサ出力または内部基準電圧の A/D 変換が終了すると停止します。

ADCS ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

**ADST ビット (A/D 変換スタートビット)**

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

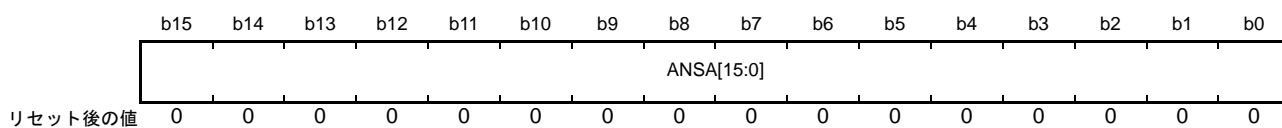
- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG に“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[3:0] ビットで選択した同期トリガ (MTU, ELC) を検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[3:0]ビットで選択した同期トリガ (MTU, ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[3:0] ビットを“0000b”に設定し、非同期トリガを検出したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネルの A/D 変換が終了したとき
- シングルスキャンモードで、温度センサ出力または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき

## 36.2.6 A/D チャンネル選択レジスタ A (ADANSA)

アドレス 0008 9004h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSA[15:0]	A/D変換チャンネル0~15選択ビット	0 : AN000~AN015を変換対象から外す 1 : AN000~AN015を変換対象とする	R/W

ADANSA レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN015 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

**ANSA[15:0] ビット (A/D 変換チャンネル 0 ~ 15 選択ビット)**

A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN015 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA[0] ビットが AN000、ANSA[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換は行わないでください。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA[15:0] ビットの設定は無効になります。

ANSA[15:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。



## 36.2.7 A/D チャネル選択レジスタ A1 (ADANSA1)

アドレス 0008 9006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ANSA1 [5]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ANSA1[5]	A/D変換チャンネル21選択ビット	0 : AN021を変換対象から外す 1 : AN021を変換対象とする	R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA1 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN021 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

**ANSA1[5] ビット (A/D 変換チャンネル 21 選択ビット)**

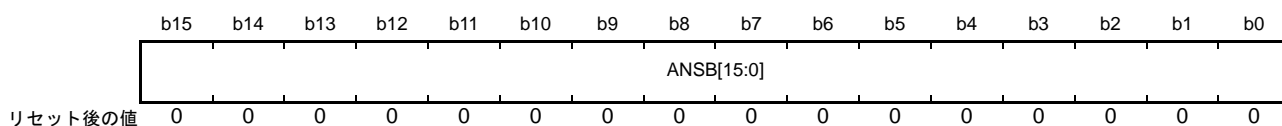
A/D 変換を行うチャンネルのアナログ入力 AN021 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA1[5] ビットが AN021 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換は行わないでください。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA1[5] ビットの設定は無効になります。

ANSA1[5] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

### 36.2.8 A/D チャンネル選択レジスタ B (ADANSB)

アドレス 0008 9014h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSB[15:0]	A/D変換チャンネル0～15選択ビット	0 : AN000～AN015を変換対象から外す 1 : AN000～AN015を変換対象とする	R/W

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 0～15 の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。

#### ANSB[15:0] ビット (A/D 変換チャンネル 0～15 選択ビット)

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN000～AN015 の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、ADANSA レジスタまたはダブルトリガモードでの ADCSR.DBLANS[4:0] ビットで選択したグループ A のチャンネル以外から設定します。ANSB[0] ビットが AN000、ANSB[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換はしないでください。

ANSB[15:0] ビットは、ADST ビットが“0”のときに設定してください。

## 36.2.9 A/D チャネル選択レジスタ B1 (ADANSB1)

アドレス 0008 9016h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ANSB1 [5]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ANSB1[5]	A/D変換チャンネル21選択ビット	0 : AN021を変換対象から外す 1 : AN021を変換対象とする	R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 21 の選択を行います。ADANSB1 レジスタは他のスキャンモードでは使用しません。

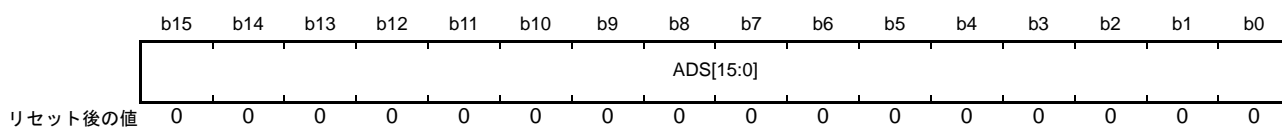
**ANSB1[5] ビット (A/D 変換チャンネル 21 選択ビット)**

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN021 の選択を行います。ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、ADANSA1 レジスタまたはダブルトリガモードでの ADCSR.DBLANS[4:0] ビットで選択したグループ A のチャンネル以外から設定します。ANSB1[5] ビットが AN021 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換はしないでください。

ANSB1[5] ビットは、ADST ビットが“0”のときに設定してください。

## 36.2.10 A/D 変換値加算モード選択レジスタ (ADADS)

アドレス 0008 9008h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ADS[15:0]	A/D変換値加算チャンネル0～15選択ビット	0 : AN000～AN015のA/D変換値加算モード非選択 1 : AN000～AN015のA/D変換値加算モード選択	R/W

ADADS レジスタは、A/D 変換を連続 2～4 回実施して加算（積算）する A/D 変換チャンネル 0～15 を選択します。

**ADS[15:0] ビット (A/D 変換値加算チャンネル 0～15 選択ビット)**

ADANSA.ANSA[15:0] ビットまたは ADCSR.DBLANS[4:0] ビットと ADANSB.ANSB[15:0] ビットで選択した A/D 変換チャンネルと同一番号の ADS[15:0] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数（2～4 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS0[15:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

## 36.2.11 A/D 変換値加算モード選択レジスタ 1 (ADADS1)

アドレス 0008 900Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ADS1[5]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ADS1[5]	A/D変換値加算チャンネル21選択ビット	0 : AN021のA/D変換値加算モード非選択 1 : AN021のA/D変換値加算モード選択	R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS1 レジスタは、A/D 変換を連続 2～4 回実施して加算（積算）する A/D 変換チャンネル 21 を選択します。

**ADS1[5] ビット (A/D 変換値加算チャンネル 21 選択ビット)**

ADANSA1.ANSA[5] ビットまたは ADCSR.DBLANS[4:0] ビットと ADANSB1.ANSB[5] ビットで選択した A/D 変換チャンネルと同一番号の ADS1[5] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数（2～4 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS1[5] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 36.2 にビット ADS0[2] と ADS0[4] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算回数は 3 回に設定 (ADADC.ADC[1:0] = 11b)、AN000 ~ AN004、AN006 が選択 (ADANSA.ANSA[15:0] = 005Fh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN004 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 4 に返します。AN006 の変換後、再度 AN000 から同じシーケンスで動作します。

加算モードを選択しないチャンネルの A/D データレジスタのフォーマットは、ADCER.ADRFMT ビット (右詰め / 左詰め) の設定により決定されます。

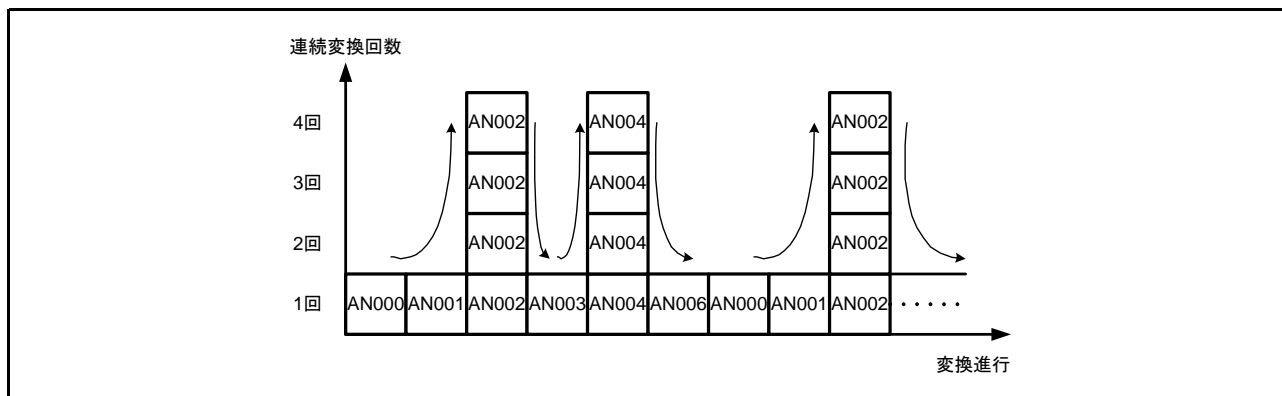
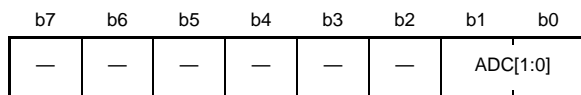


図 36.2 ADADC.ADC[1:0] = 11b かつ ADS0[2] = 1、ADS0[4] = 1 選択時のスキャン変換シーケンス

### 36.2.12 A/D 変換値加算回数選択レジスタ (ADADC)

アドレス 0008 900Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) 1 1 : 4回変換 (3回加算を行う)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算回数の設定を行います。

#### ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算モードが選択されたチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

## 36.2.13 A/D コントロール拡張レジスタ (ADCER)

アドレス 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	—	—	—	—	—	—	ACE	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b14-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0 : A/Dデータレジスタのフォーマットを右詰めにする 1 : A/Dデータレジスタのフォーマットを左詰めにする	R/W

**ACE ビット (自動クリアイネーブルビット)**

CPU、DTCによって ADDR<sub>y</sub>、ADOC<sub>DR</sub>、ADDBL<sub>DR</sub>、ADTSD<sub>DR</sub> レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。自動クリアにより ADDR<sub>y</sub>、ADOC<sub>DR</sub>、ADDBL<sub>DR</sub>、ADTSD<sub>DR</sub> レジスタの未更新故障を検出することができます。

**ADRFMT ビット (A/D データレジスタフォーマット選択ビット)**

ADDR<sub>y</sub>、ADOC<sub>DR</sub>、ADDBL<sub>DR</sub>、ADTSD<sub>DR</sub> レジスタに格納するデータの右詰め / 左詰めを選択します。

A/D 変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMT ビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「36.2.1 A/D データレジスタ y (ADDR<sub>y</sub>) (y = 0 ~ 15, 21)」、「36.2.2 A/D データ二重化レジスタ (ADDBL<sub>DR</sub>)」、「36.2.3 A/D 温度センサデータレジスタ (ADTSD<sub>DR</sub>)」、「36.2.4 A/D 内部基準電圧データレジスタ (ADOC<sub>DR</sub>)」を参照してください。

## 36.2.14 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス 0008 9010h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	TRSA[3:0]				—	—	—	—	TRSB[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	TRSB[3:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TRSA[3:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**TRSB[3:0] ビット (グループ B 専用 A/D 変換開始トリガ選択ビット)**

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[3:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[3:0] ビットを“0000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

表 36.5 に TRSB[3:0] ビットでの A/D 起動要因選択一覧を示します。

**TRSA[3:0] ビット (A/D 変換開始トリガ選択ビット)**

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ (MTU, ELC) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガ (ADTRG0#) を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[3:0] ビットの設定値にかかわらず有効です。

表 36.6 に TRSA[3:0] ビットでの A/D 起動要因選択一覧を示します。



表 36.5 TRSB[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
MTU	TRG0AN	MTU0のTGRAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTGRBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU4のTGRAのインプットキャプチャ/コンペアマッチまたは相補PWMモード時のMTU4.TCNTのアンダフロー (谷)	0	0	1	1
	TRG0EN	MTU0のTGREのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTGRFのコンペアマッチ	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能1)	1	0	0	0
ELC	ELC	ELCからのトリガ	1	0	0	1

表 36.6 TRSA[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
ADC	ADST	ソフトウェアトリガ	—	—	—	—
外部入力	ADTRG0#	A/D変換起動トリガ端子	0	0	0	0
MTU	TRG0AN	MTU0のTGRAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTGRBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU4のTGRAのインプットキャプチャ/コンペアマッチまたは相補PWMモード時のMTU4.TCNTのアンダフロー (谷)	0	0	1	1
	TRG0EN	MTU0のTGREのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTGRFのコンペアマッチ	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能1)	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能1)	1	0	0	0
ELC	ELC	ELCからのトリガ	1	0	0	1

## 36.2.15 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCS	TSS	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算機能選択ビット	0: 温度センサ出力A/D変換値加算機能非選択 1: 温度センサ出力A/D変換値加算機能選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算モード選択ビット	0: 内部基準電圧A/D変換値加算モード非選択 1: 内部基準電圧A/D変換値加算モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSS	温度センサ出力A/D変換選択ビット	0: 温度センサ出力をA/D変換しない 1: 温度センサ出力をA/D変換する	R/W
b9	OCS	内部基準電圧A/D変換選択ビット	0: 内部基準電圧をA/D変換しない 1: 内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**TSSAD ビット (温度センサ出力 A/D 変換値加算機能選択ビット)**

温度センサ出力の A/D 変換を選択し TSSAD ビットに“1”をセットすると、ADADC.ADC[1:0] で設定した回数 (2 ~ 4 回) 分、温度センサ出力を連続して A/D 変換し、積算した値を A/D 温度センサデータレジスタに返します。TSSAD ビットの設定は、ADST ビットが“0”のときに行ってください。

**OCSAD ビット (内部基準電圧 A/D 変換値加算モード選択ビット)**

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4 回) 分、内部基準電圧を連続して A/D 変換し、積算した値を A/D 内部基準電圧データレジスタ (ADOCADR) に返します。OCSAD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

**TSS ビット (温度センサ出力 A/D 変換選択ビット)**

温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADANSA、ADANSA1 レジスタ、ADANSB、ADANSB1 レジスタの全ビットと ADCSR.DBLE ビット、OCS ビットの全てに“0”を設定し、シングルスキャンモードで実行してください。TSS ビットの設定は、ADST ビットが“0”のときに行ってください。コンパレータ B (CMPB) が内部基準電圧を使用する設定にした場合は、TSS ビットを“1”にしても温度センサ出力は選択されません。

TSS ビットを“1”にセットした後の 1 回目の変換結果は使用しないでください。なお、1 回目の変換完了後から 2 回目の変換開始までの間に 5 $\mu$ s の安定化待ち時間を入れてください。

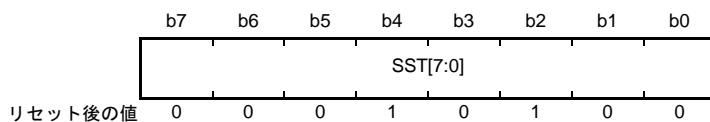
**OCS ビット (内部基準電圧 A/D 変換選択ビット)**

内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場合は、シングルスキャンモードを選択し、ADANSA、ADANSA1 レジスタの全ビットを“0”にしてください。OCS ビットの設定は、ADST ビットが“0”のときに行ってください。

OCS ビットを“1”にセットした後の 1 回目の変換結果は使用しないでください。なお、1 回目の変換完了後から 2 回目の変換開始までの間に 5 $\mu$ s の安定化待ち時間を入れてください。

## 36.2.16 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, 21, L, T, O)

アドレス ADSSTR0 0008 9060h, ADSSTR1 0008 9073h, ADSSTR2 0008 9074h, ADSSTR3 0008 9075h,  
ADSSTR4 0008 9076h, ADSSTR5 0008 9077h, ADSSTR6 0008 9078h, ADSSTR7 0008 9079h,  
ADSSTR21 0008 9080h, ADSSTR21 0008 9061h, ADSSTR21 0008 9070h, ADSSTR21 0008 9071h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	6~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRn は、アナログ入力のサンプリング時間の設定を行うレジスタです。

実際のサンプリング時間はレジスタ設定値の +1 ステートになります。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 32MHz であれば 1 ステート = 31.25ns になります。初期値は 20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、6 ステート以上 255 ステート以下の値を設定してください。

表 36.7 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

表 36.7 A/D サンプリングステートレジスタと対象チャネルの関係

ビット名	対象チャネル
ADSSTR0.SST[7:0] ビット	AN000
ADSSTR1.SST[7:0] ビット	AN001
ADSSTR2.SST[7:0] ビット	AN002
ADSSTR3.SST[7:0] ビット	AN003
ADSSTR4.SST[7:0] ビット	AN004
ADSSTR5.SST[7:0] ビット	AN005
ADSSTR6.SST[7:0] ビット	AN006
ADSSTR7.SST[7:0] ビット	AN007
ADSSTR21.SST[7:0] ビット	AN008 ~ AN015
ADSSTR21.SST[7:0] ビット	AN021
ADSSTR21.SST[7:0] ビット	温度センサ出力
ADSSTR21.SST[7:0] ビット	内部基準電圧

## 36.2.17 A/D 高電位側基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス 0008 907Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSVSEL	HVREFDIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HVREFDIS	高電位側基準電圧ディスチャージビット	0 : 高電位側基準電圧経路をディスチャージ終了 1 : 高電位側基準電圧経路をディスチャージ開始	R/W
b1	OCSVSEL	高電位側基準電圧選択ビット	0 : 高電位側基準電圧にAVCC0かVREFH0を選択 (PJ6PFS.ASELビット=0 : 高電位側基準電圧= AVCC0) (PJ6PFS.ASELビット=1 : 高電位側基準電圧= VREFH0) 1 : 高電位側基準電圧に内部基準電圧を選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ADHVREFCNT レジスタは、高電位側基準電圧の設定を行います。

**HVREFDIS ビット (高電位側基準電圧ディスチャージビット)**

高電位側基準電圧経路のディスチャージ開始/終了を設定します。なお本ビットが有効になるのは OCSVSEL = 1 のときのみです。OCSVSEL ビットを“1”にするのと同時に、本ビットを“1”にして、高電位側基準電圧経路をディスチャージしてください。ディスチャージ完了後は本ビットを“0”にし、A/D 変換を開始してください。両ビットを“1”にした後のみ、OCSVSEL ビット = 1、HVREFDIS ビット = 0 にすることができます。内部基準電圧を選択するときは両ビットを設定後に読み出して、OCSVSEL ビット = 1、HVREFDIS ビット = 0 にされていることを確認してください。

**OCSVSEL ビット (高電位側基準電圧選択ビット)**

高電位側基準電圧の設定を行います。AVCC0、VREFH0、内部基準電圧から選択できます。本ビットを“0”にした場合、PJ6PFS.ASEL ビット = 0 の時は AVCC0 が、PJ6PFS.ASEL ビット = 1 の時は VREFH0 がそれぞれ高電位側基準電圧として選択されます。本ビットを“1”にすると、内部基準電圧が高電位側基準電圧として選択されます。本ビットを“1”にする際は、同時に HVREFDIS を“1”にして、高電位側基準電圧経路をディスチャージしてください。ディスチャージ完了後は HVREFDIS ビットを“0”にし、A/D 変換を開始してください。

両ビットを“1”にした後のみ、OCSVSEL ビット = 1、HVREFDIS ビット = 0 にすることができます。内部基準電圧を選択するときは両ビットをセット後に読み出して、OCSVSEL ビット = 1、HVREFDIS ビット = 0 がされていることを確認してください。A/D 変換が可能なチャンネルは AN000 ~ AN015、AN021 で、内部基準電圧、温度センサ出力の A/D 変換は禁止です。

内部基準電圧を選択した場合は電圧発生回路が動作し、75 $\mu$ A 程度電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても電圧発生回路は自動的に OFF しません。

## 36.3 動作説明

### 36.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。また、変換モードには高速変換モードと通常変換モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択したトリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA、ADANSA1 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA、ADANSA1 レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB、ADANSB1 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

高速変換モードは  $AVCC0 \geq 2.4V$  で選択可能なモードです。通常変換モードは  $AVCC0 \geq 1.8V$  で選択可能なモードです。高速変換モードは通常変換モードに比べて、6 サイクル分変換時間が短縮されます。

温度センサ出力、または内部基準電圧を選択する場合は、シングルスキャンモードで A/D 変換を行ってください。

この動作は、シングルスキャンモードで1チャンネルのみを選択したスキャンと同じ動作になります。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[3:0] ビットで選択した、MTU からのトリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換データを二重化します。

どのスキャンモードであっても ADCSR.ADST ビットが“1”の期間 (スキャン中) は、A/D 変換開始条件となるソフトウェアトリガ、同期トリガ、または非同期トリガ入力は無効となります。

## 36.3.2 シングルスキャンモード

### 36.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。チャンネル選択でのスキャン時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) を“0” (非選択) に設定します。ダブルトリガモードは非選択とした動作を説明します。

- (1) ソフトウェア、同期トリガ (MTU, ELC) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA、ADANSA1 レジスタで選択した ANn の n が小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていると、S12ADI0割り込み要求を発生します。
- (4) ADCSR.ADST ビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

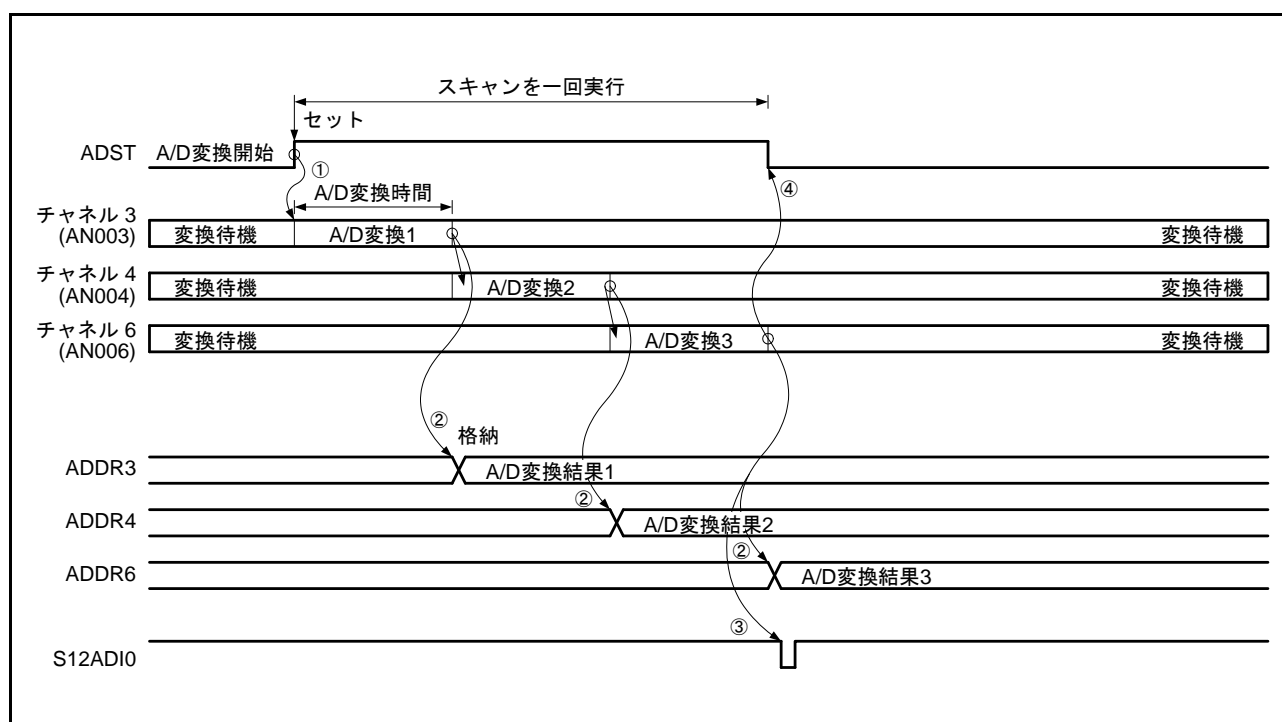


図 36.3 シングルスキャンモードの動作例 (基本動作 : AN003、AN004、AN006 選択)

### 36.3.2.2 温度センサ出力選択時の A/D 変換動作

温度センサ出力の A/D 変換を行う場合は、変換動作開始前に次の設定を行ってください。

- ADCSR.ADST ビットを“0” (A/D 変換停止) にする。
- ADCSR.ADCS[1:0] ビットを“00b” (シングルスキャンモード) にする。
- ADANSA、ADANSA1 レジスタを“0000h” (すべての外部アナログ入力を変換対象から外す) に設定する。
- ADCSR.DBLE ビットを“0” (ダブルトリガモード非選択) に設定する。
- ADEXICR.TSS ビットを“1” (温度センサ出力を A/D 変換する) に設定する。
- ADEXICR.OCS ビットを“0” (内部基準電圧を A/D 変換しない) に設定する。

また、サンプリング時間が  $5\mu\text{s}$  以上になるように、ADSSTRT レジスタに適切な値を設定してください。コンパレータ B (CMPB) が内部基準電圧を使用する設定にした場合は、ADEXICR.TSS ビットを“1”にしても温度センサ出力は選択されません。

図 36.4 に温度センサ出力の A/D 変換手順と動作を示します。

- (1) A/D コンバータ内にたまった電荷を抜くために、ADST ビットを“1” (A/D 変換開始) にします (図中①)。このときの変換結果は使用しないでください。
- (2) トリガが入力されるか、あるいは ADST ビットを“1”にすると、温度センサ出力の A/D 変換が開始されます (図中②)。
- (3) A/D 変換が終了すると、変換結果が ADTSDR レジスタに格納されます。このとき ADCSR.ADIE ビットが“1” (スキャン終了後の S12ADI0 割り込み発生の許可) であれば、S12ADI0 割り込み要求が発生します (図中③)。
- (4) ADST ビットが“0”になり、A/D コンバータは待機状態になります (図中④)。

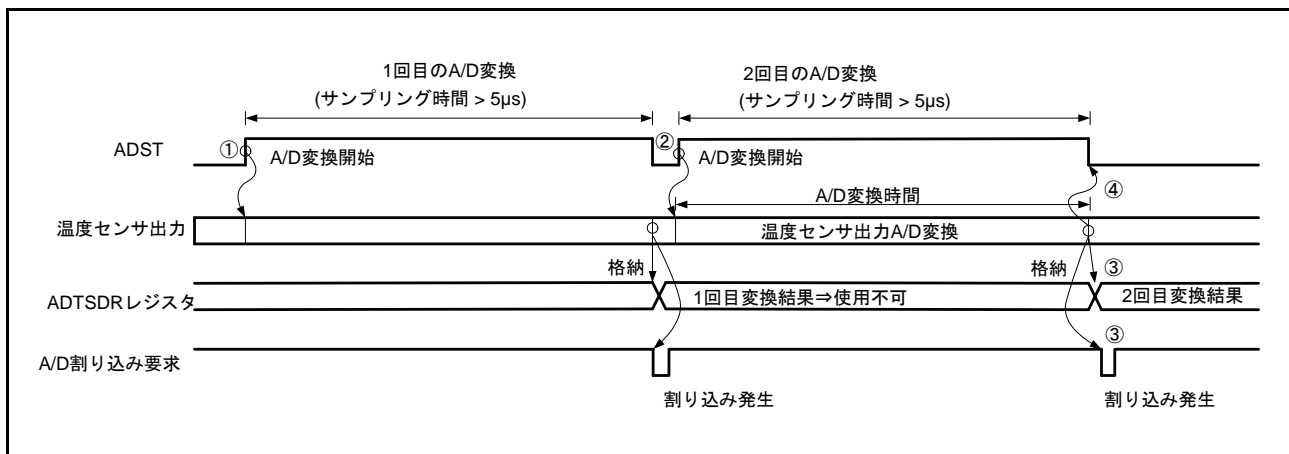


図 36.4 シングルスキャンモードの動作例 (温度センサ出力選択)



### 36.3.2.3 内部基準電圧選択時の A/D 変換動作

内部基準電圧の A/D 変換を行う場合は、変換動作開始前に次の設定を行ってください。

- ADCSR.ADST ビットが“0” (A/D 変換停止) にする。
- ADCSR.ADCS[1:0] ビットを“00b” (シングルスキャンモード) にする。
- ADANSA、ADANSA1 レジスタを“0000h” (すべての外部アナログ入力を変換対象から外す) に設定する。
- ADCSR.DBLE ビットを“0” (ダブルトリガモード非選択) に設定する。
- ADEXICR.TSS ビットを“0” (温度センサ出力を A/D 変換しない) に設定する。
- ADEXICR.OCS ビットを“1” (内部基準電圧を A/D 変換する) に設定する。

また、サンプリング時間が 5 $\mu$ s 以上になるように、ADSSTRO レジスタに適切な値を設定してください。

図 36.5 に内部基準電圧の A/D 変換手順と動作を示します。

- (1) A/D コンバータ内にたまった電荷を抜くために、ADST ビットを“1” (A/D 変換開始) にします (図中①)。  
このときの変換結果は使用しないでください。
- (2) トリガが入力されるか、あるいは ADST ビットを“1” にすると、内部基準電圧の A/D 変換が開始されます (図中②)。
- (3) A/D 変換が終了すると、変換結果が ADOCDR レジスタに格納されます。このとき ADCSR.ADIE ビットが“1” (スキャン終了後の S12ADIO 割り込み発生許可) であれば、S12ADIO 割り込み要求が発生します (図中③)。
- (4) ADST ビットが“0” になり、A/D コンバータは待機状態になります (図中④)。

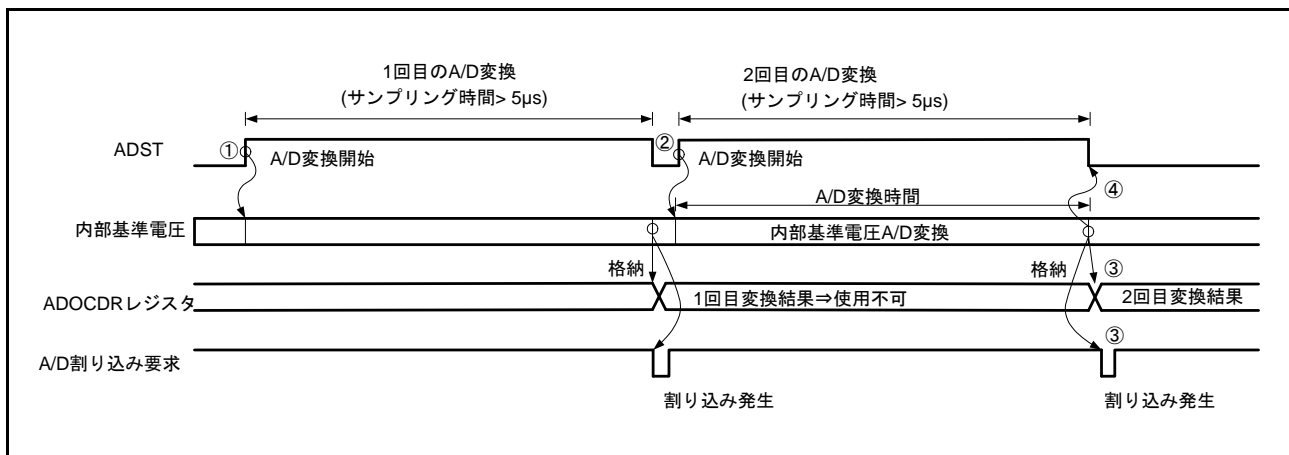


図 36.5 シングルスキャンモードの動作例 (内部基準電圧選択)



### 36.3.2.4 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

温度センサ出力 A/D 変換選択ビット (ADEXICR.TSS) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCs) を“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA、ADANSA1 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[3:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR<sub>y</sub>) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADIO 割り込み許可) の設定に関わらず、S12ADIO 割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADIO 割り込み許可) に設定されていれば、S12ADIO 割り込み要求を発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

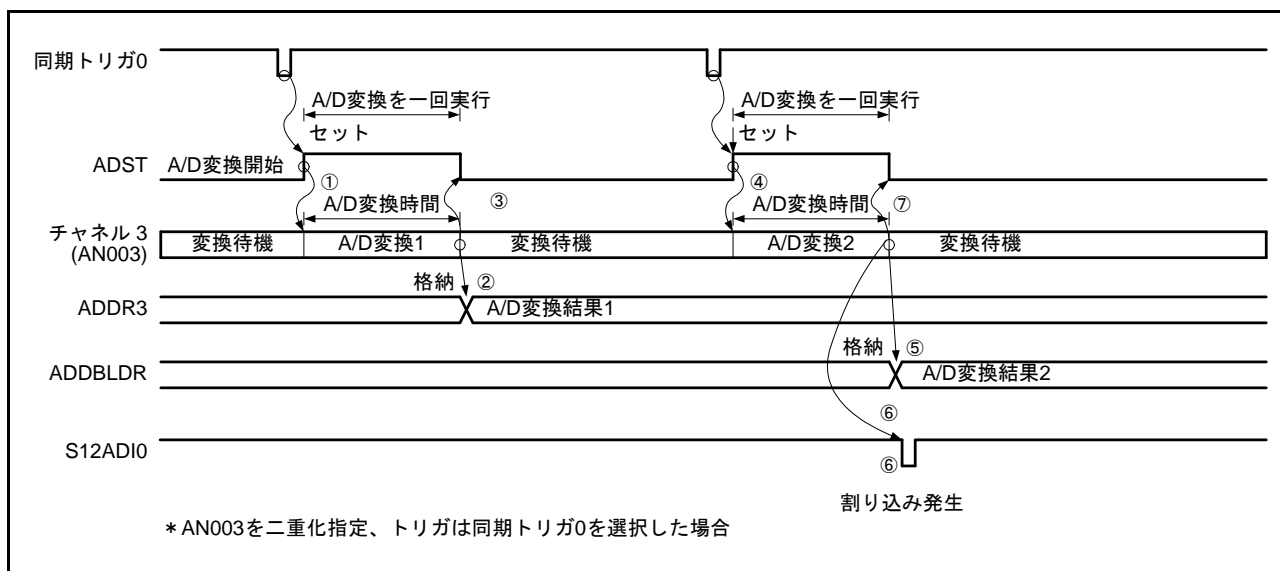


図 36.6 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

### 36.3.3 連続スキャンモード

#### 36.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU, ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA、ADANSA1 レジスタで選択した AN<sub>n</sub> の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR<sub>y</sub>) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADIO 割り込み許可) に設定されていると、S12ADIO 割り込み要求を発生します。  
また12ビットA/Dコンバータは、継続して ADANSA、ADANSA1 レジスタで選択した AN<sub>n</sub> の n が小さい番号順に A/D 変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D変換開始) の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを“0” (A/D変換停止) に設定すると A/D 変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1” (A/D変換開始) にセットすると再び ADANSA、ADANSA1 レジスタで選択した AN<sub>n</sub> の n が小さい番号順に A/D 変換を開始します。

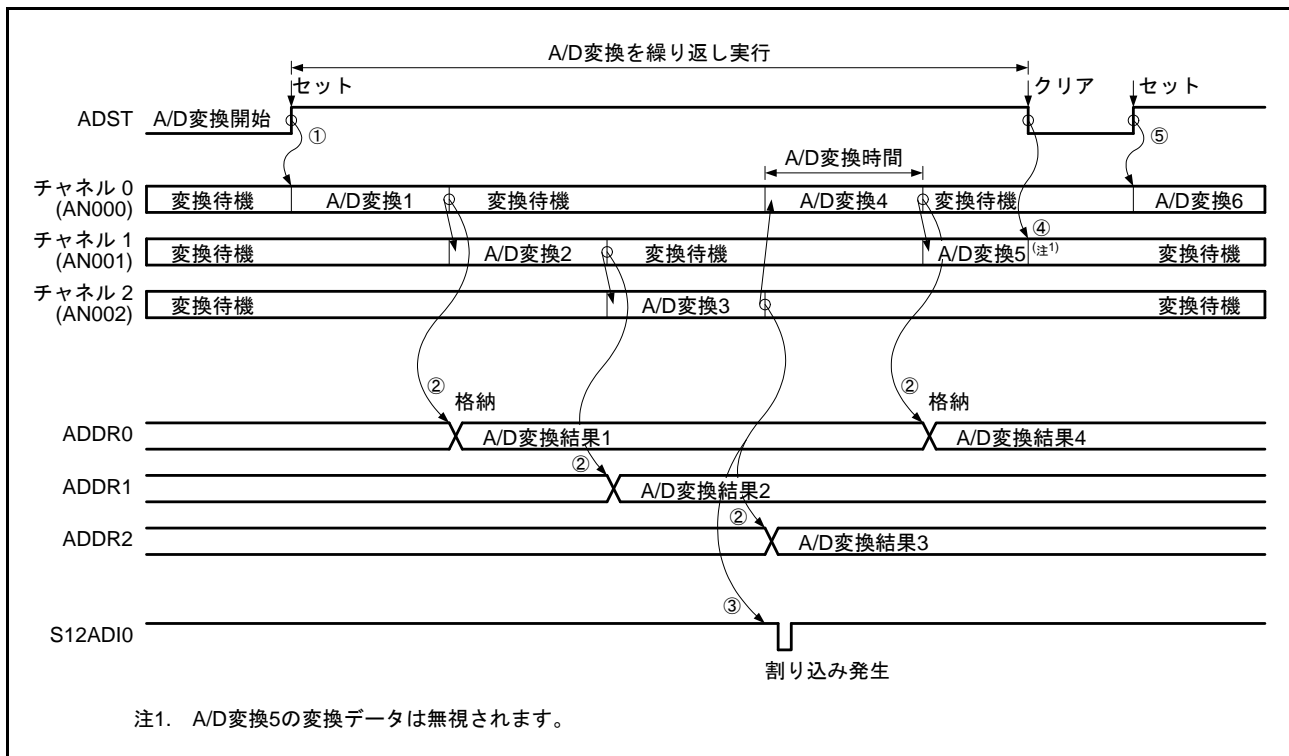


図 36.7 連続スキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

### 36.3.4 グループスキャンモード

#### 36.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[3:0] ビットでグループ B のトリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSS) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定してください。

以下に MTU からのトリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始する設定です。

- (1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
- (2) グループ A のスキャン終了時に ADCSR.ADIE ビットが“1” (S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込みを出力します。
- (3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (GBADI 割り込み許可) に設定されていると、GBADI 割り込みを出力します。

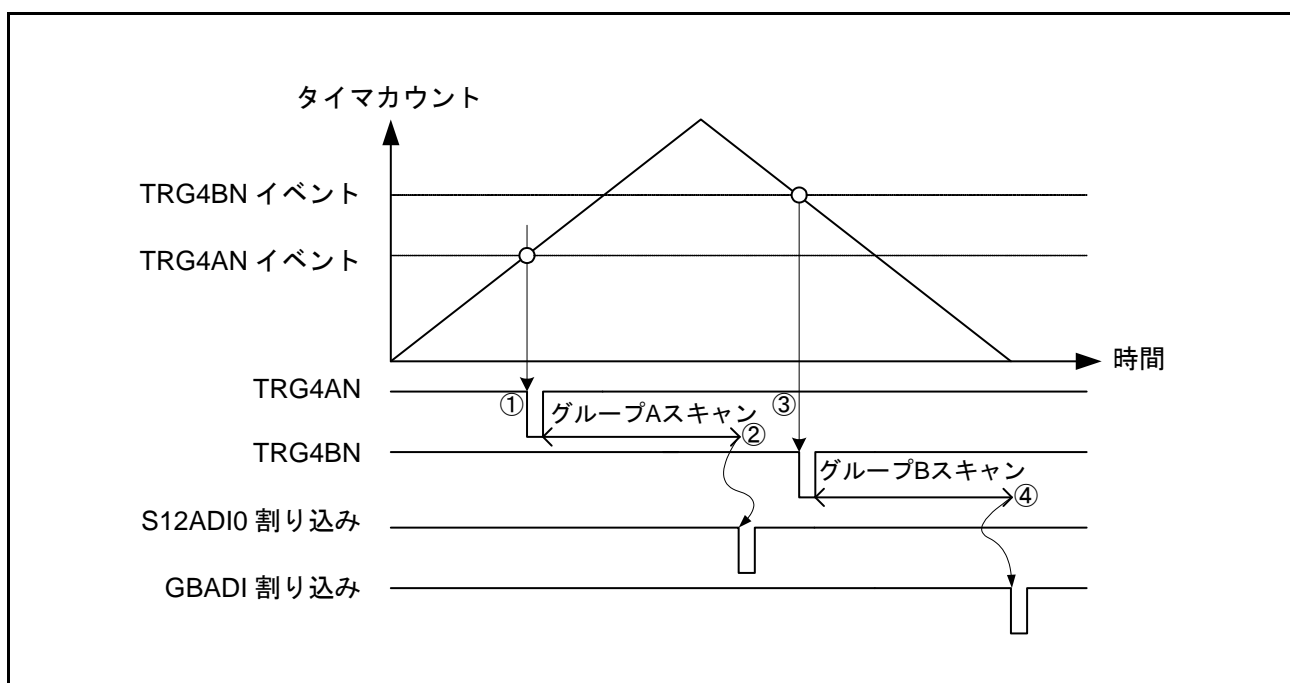


図 36.8 グループスキャンモードの動作 (MTU からのトリガ発生による基本動作)

### 36.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A を同期トリガで開始するシングルスキャンモードを 2 回行います。グループ B は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[3:0] ビットでグループ B のトリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガ (ADTRG0#) は使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSS) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からのトリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4BN トリガで変換開始し、グループ B は MTU からの TRG0AN トリガで変換開始する設定です。

- (1) MTU からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (GBADI 割り込み許可) に設定されていると、GBADI 割り込みを出力します。
- (3) MTU からの 1 回目の TRG4BN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、変換データを ADDRy に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
- (5) MTU からの 2 回目の TRG4BN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1” (S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込みを出力します。

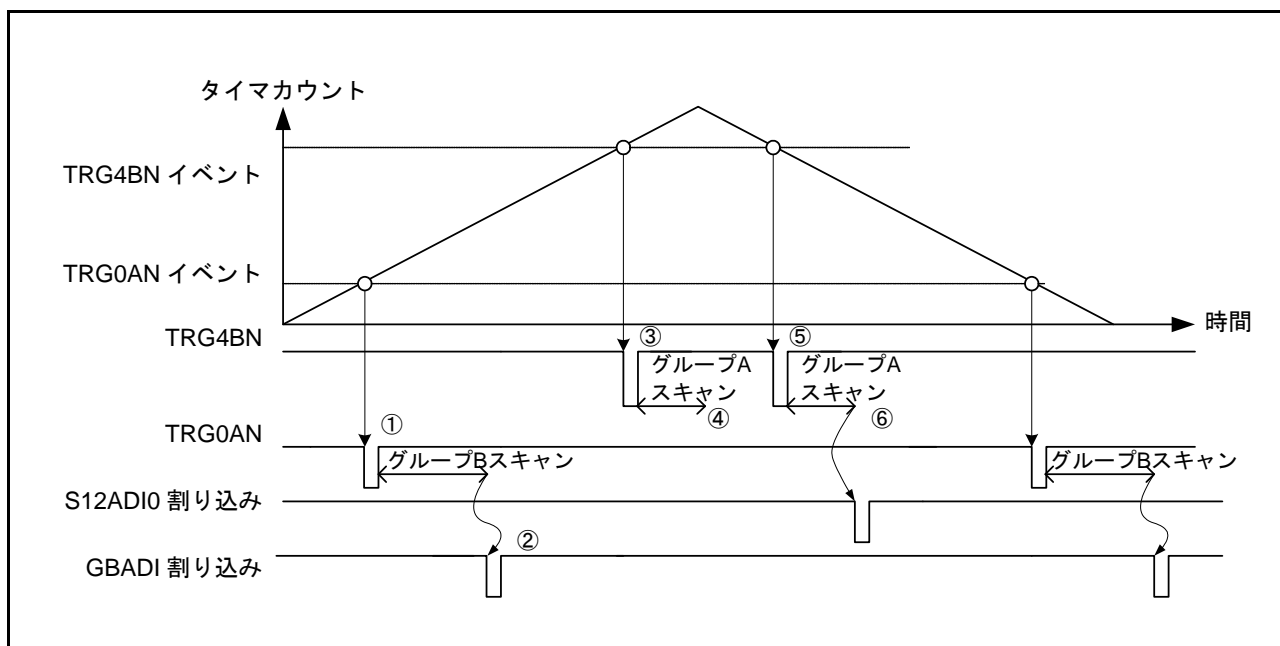


図 36.9 グループスキャンモードでダブルトリガモード選択時の動作 (MTU からのトリガ発生による基本動作)

### 36.3.4.3 ソフトウェアトリガ使用時の注意

ダブルトリガモード選択時にソフトウェアトリガを入力すると、選択したチャンネルのスキャンを行い ADCSR.ADIE ビットが“1” (S12ADIO 割り込み許可) に設定されていると、スキャンの偶数回、奇数回に関係なく S12ADIO 割り込みを出力します。また、ソフトウェアトリガによるスキャンが偶数回であってもデータの二重化は行われません。以下にダブルトリガモード選択時に、同期トリガによるスキャンの間にソフトウェアトリガが入力された場合を示します。

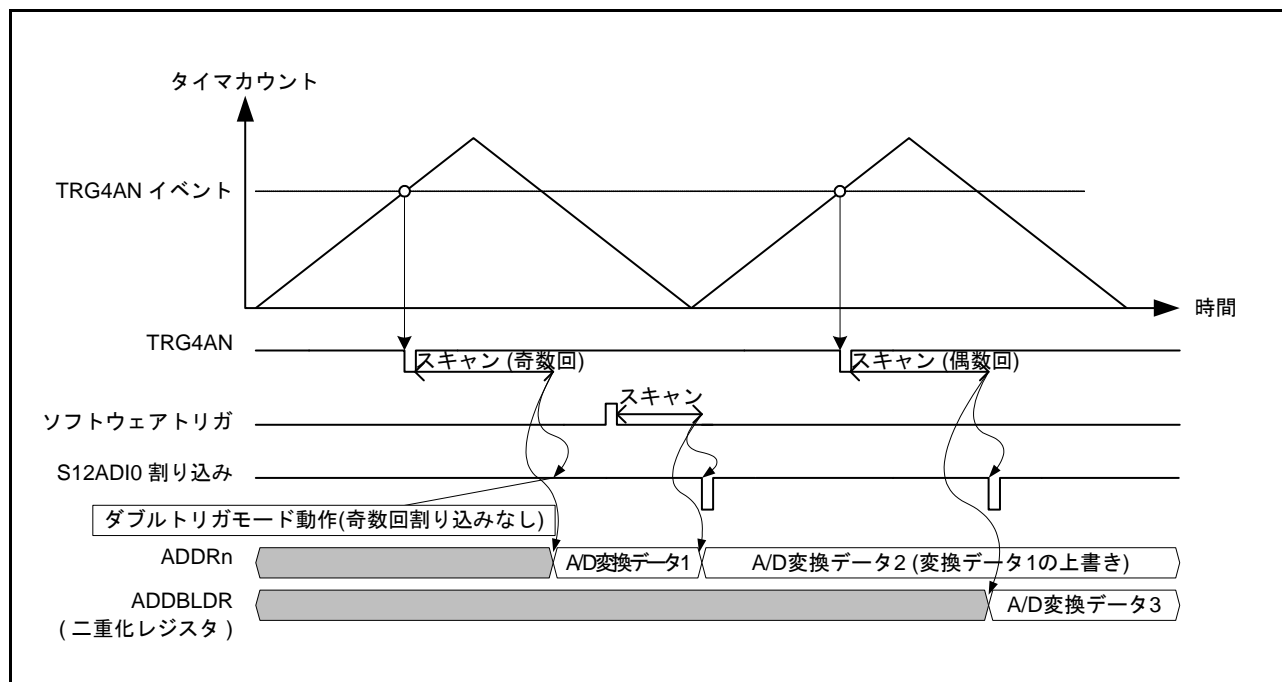


図 36.10 ソフトウェアトリガ使用時のダブルトリガ動作注意例

### 36.3.5 アナログ入力のサンプリングとスキャン変換時間

スキャン変換は、ソフトウェア起動、MTU、ELCによる起動およびADTRG0#（外部トリガ）による起動が選択できます。スキャン変換開始遅延時間（ $t_D$ ）の後にA/D変換処理が開始されます。

図36.11にシングルスキャンモード、ソフトウェア起動とMTU、ELCによるスキャン変換を行う場合のタイミングを示します。また、図36.12にシングルスキャンモード、ADTRG0#（外部トリガ）要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間（ $t_{SCAN}$ ）はスキャン変換開始遅延時間（ $t_D$ ）、A/D変換処理時間（ $t_{CONV}$ ）、スキャン変換終了遅延時間（ $t_{ED}$ ）を含めた時間となります。スキャン変換時間を表36.8に示します。

選択チャンネル数が  $n$  のシングルスキャンのスキャン変換時間（ $t_{SCAN}$ ）は、次のように表されます。

$$t_{SCAN} = t_D + (t_{SPL} + t_{CONV}) n + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンの  $t_{SCAN}$  から  $t_{ED}$  を省いた時間です。

連続スキャンの2サイクル目以降は、 $(t_{SPL} + t_{CONV}) n$  固定となります。

表36.8 スキャン変換時間（PCLKとADCLKのサイクル数で示す）

項目	記号	種類/条件	サイクル
スキャン変換開始遅延時間(注1)	$t_D$	MTU、ELC、ソフトウェアトリガ	2 PCLK + 3 ADCLK
		外部トリガ	4 PCLK + 3 ADCLK
サンプリング時間(注1)	$t_{SPL}$	ADSSTRn.SST[7:0]ビット（初期設定値14h）	(レジスタの設定値+1) ADCLK
A/D変換処理時間(注1)	$t_{CONV}$	高速変換モード	23 ADCLK
		通常変換モード	29 ADCLK
スキャン変換終了遅延時間(注1)	$t_{ED}$	—	1 PCLK + 2 ADCLK(注2)

注1.  $t_D$ 、 $t_{SPL}$ 、 $t_{CONV}$ 、 $t_{ED}$ の各タイミングについては図36.11、図36.12を参照してください。

注2. 2ADCLKは固定値で、プラス1PCLK以内に割り込みが出力されず。強制停止の処理時間は、「36.8.3 A/D変換強制停止と開始時の動作タイミング」を参照してください。

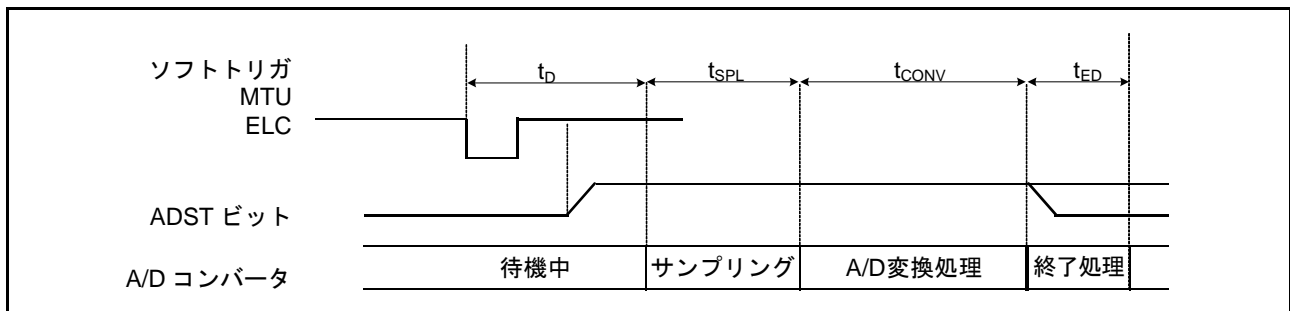


図36.11 スキャン変換のタイミング（ソフトウェア起動、MTU、ELCの場合）

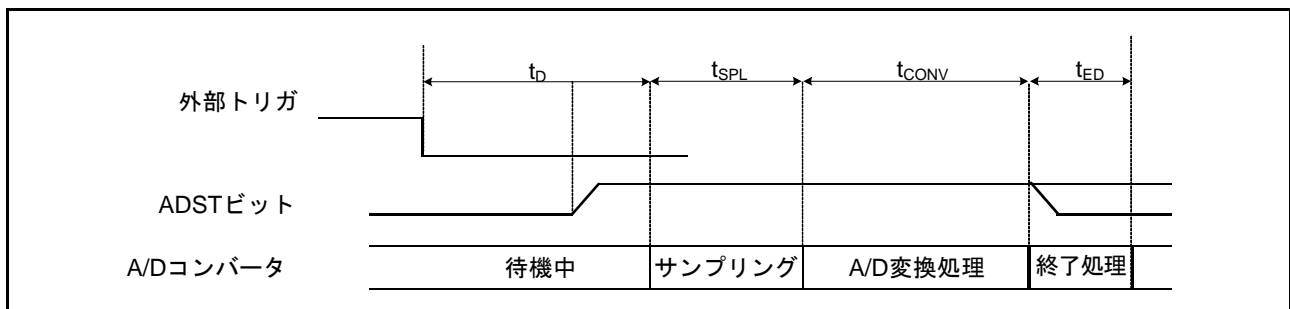


図36.12 スキャン変換のタイミング（ADTRG0# 要因の場合）

### 36.3.6 レジスタのオートクリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC によって A/D データレジスタ (ADDRy, ADOCDR, ADTSDR, ADDBLDR) を読み出す際、自動的に ADDRy、ADOCDR、ADTSDR、ADDBLDR レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADOCDR、ADTSDR、ADDBLDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000hであることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

### 36.3.7 A/D 変換値加算機能

同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算機能は、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。



### 36.3.8 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[3:0]) を “0000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 36.13 に非同期トリガ入力タイミングを示します。

ADST ビットがセットされてから A/D 変換が開始するまでの時間は、「36.8.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

グループスキャンモードで使用するグループ B 専用 A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[3:0]) は、非同期トリガを選択できません。

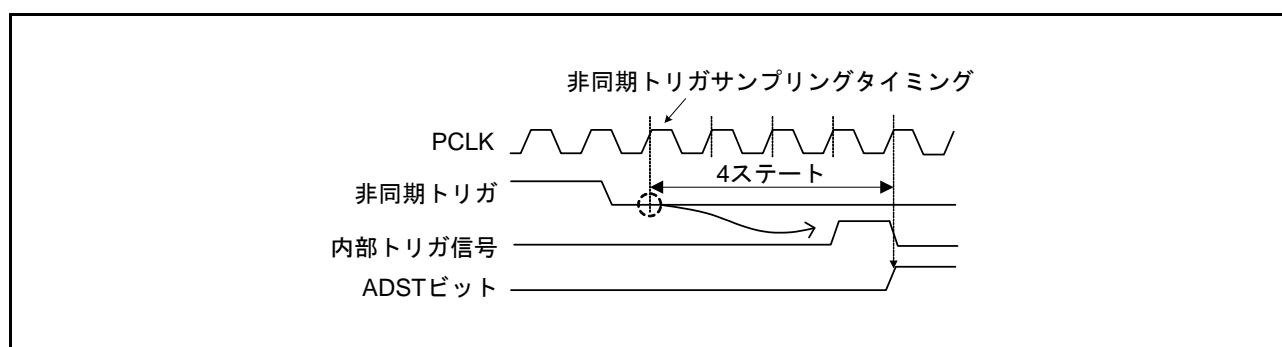


図 36.13 非同期トリガ入力タイミング

### 36.3.9 周辺モジュールからの同期トリガによる A/D 変換の開始

MTU、ELC からの同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[3:0]、TRSB[3:0] ビットで該当の起動要因にセットします。

グループスキャンモードで使用するグループ B の A/D 変換開始要因は、ADSTRGR.TRSB[3:0] ビットで選択します。グループスキャンモードでは、ADSTRGR.TRSA[3:0] ビットと ADSTRGR.TRSB[3:0] ビットで異なる A/D 変換開始要因を選択してください。



## 36.4 割り込み要因

### 36.4.1 スキャン終了時の割り込み要求

12ビットA/Dコンバータは、CPUへのスキャン終了割り込み要求であるS12ADI0、GBADI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADI0を許可、“0”にするとS12ADI0を禁止できます。

ADCSR.GBADIEビットを“1”にするとGBADIを許可、“0”にするとGBADIを禁止できます。

また、S12ADI0、GBADI発生時にDTCを起動できます。S12ADI0、GBADI割り込みで変換されたデータの読み出しをDTCで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は「16. データトランスファコントローラ (DTCa)」を参照してください。

## 36.5 イベントリンク機能

### 36.5.1 ELC へのイベント出力動作

ELC では、S12ADI0 割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。GBADI 割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12ビットA/Dコンバータは、A/D変換終了イベントを出力します。

### 36.5.2 ELC からのイベントによる 12ビットA/Dコンバータの動作

12ビットA/DコンバータはELCのELSRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

### 36.5.3 ELC からのイベントによる 12ビットA/Dコンバータの注意事項

A/D変換中にイベントが発生した場合は、イベントは無効になります。

## 36.6 基準電圧の選択方法

A/Dコンバータは高電位側基準電圧をVREFH0とAVCC0、内部基準電圧、低電位側基準電圧をVREFL0とAVSS0からそれぞれ選択することができます。A/D変換前に設定してください。高電位側基準電圧はADHVREFCNT.OCSVSELビットが“0”のときはVREFH0かAVCC0をPJ6PFS.ASELビットで選択し、“1”のときは内部基準電圧を選択します。内部基準電圧選択時の手順は「36.6.1 高電位側基準電圧に内部基準電圧を選択する手順」を参照してください。また、低電位側基準電圧はPJ7PFS.ASELビットで選択します。詳細は、「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

### 36.6.1 高電位側基準電圧に内部基準電圧を選択する手順

高電位側基準電圧に内部基準電圧を選択して、A/D変換を実行する手順を以下に示します。このときA/D変換が可能なチャンネルはAN000～AN015、AN021で、内部基準電圧、温度センサ出力のA/D変換は禁止です。

- ① ADHVREFCNT.OCSVSELビットとADHVREFCNT.HVREFDISビットを同時に“1”にし、A/Dコンバータ内部の高電位側基準電圧経路をディスチャージしてください。
- ② 1 $\mu$ sのディスチャージ期間をソフトウェアで待つようにしてください。
- ③ ADHVREFCNT.HVREFDISビットを“0”にしてディスチャージを完了してください。このとき、OCSVSELビット=1、HVREFDISビット=0になっていることを読み出して確認してください。VREFH0やAVCC0選択からディスチャージを経ずに内部基準電圧を選択しようとしてもOCSVSELビット=1、HVREFDISビット=0にすることはできません。
- ④ 5 $\mu$ sの内部基準電圧安定待ち時間をソフトウェアで待つからA/D変換を実行してください。

図 36.14 に高電位側基準電圧に内部基準電圧を選択する手順の波形図を示します。

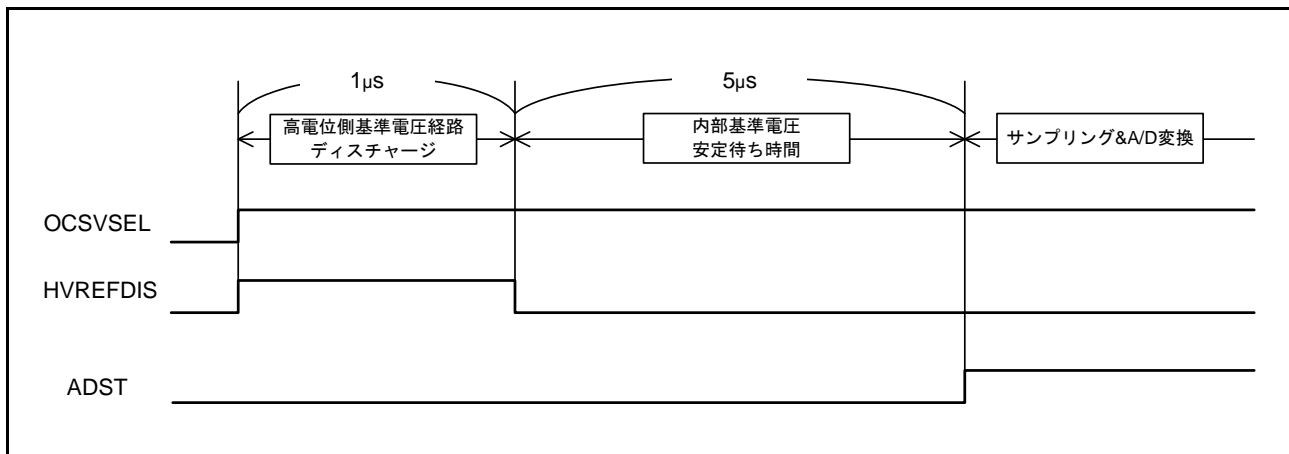


図 36.14 高電位側基準電圧に内部基準電圧を選択する手順

### 36.7 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能  
12 ビット A/D コンバータのデジタル変換出力コード数
- オフセット誤差  
デジタル出力が最小電圧値 000000000000 から 000000000001 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- フルスケール誤差  
デジタル出力が 111111111110 から 111111111111 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- 量子化誤差  
12 ビット A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる。
- 非直線性誤差  
ゼロ電圧からフルスケール誤差までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度  
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

## 36.8 使用上の注意事項

### 36.8.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

### 36.8.2 A/D変換停止時の注意事項

A/D変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D変換を停止させるためには、ADCSR.TRGEビットを“0”に設定し、A/D変換開始条件をソフトウェアトリガにした後、ADCSR.ADSTビットを“0”（A/D変換停止）に設定してください。

### 36.8.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大4クロックの時間を必要とします。ADCSR.ADSTビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大2クロックの時間を必要とします。

### 36.8.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

### 36.8.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタA (MSTPCRA)により、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

### 36.8.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGEビットを“0”（ソフトウェアトリガ）に設定し、ADCSR.ADSTビットを“0”に設定してください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ遷移させてください。

### 36.8.7 AVCC0 と VCC の電圧関係について

AVCC0 と VCC は個別に設定可能ですが、以下の制約があります。

- PJ0端子とPJ2端子をDA出力として使用する場合は、DA出力電圧をVCCより高くならないようにしてください。
- PJ0端子とPJ2端子を入出力ポートとして使用する場合は、VCC電圧はAVCC0電圧より高くならないようにしてください。
- PJ0端子とPJ2端子を使用しない場合は、本制約はありません。

### 36.8.8 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間またはPLL回路の安定時間経過後、さらに1 $\mu$ s以上待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

### 36.8.9 許容信号源インピーダンスについて

本MCUのアナログ入力は、高速変換1.0 $\mu$ sを実現するために、信号源インピーダンスが0.3k $\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の2.6k $\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号には追従できないことがあります(図36.15)。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

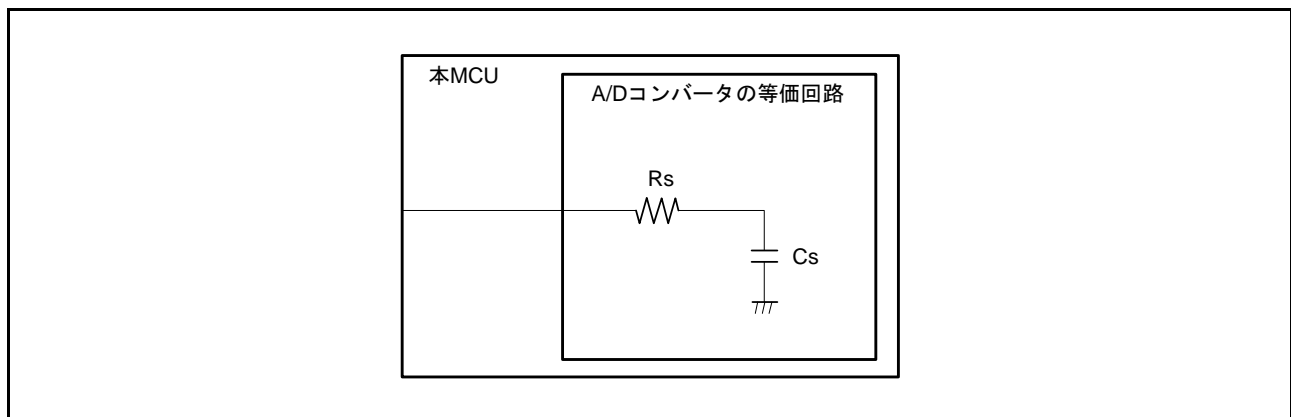


図 36.15 アナログ入力端子の内部等価回路

図 36.16 にアナログ入力端子と外部センサの等価回路を示します。

A/D 変換を正しく行うためには、図 36.16 に示す内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間と言います。

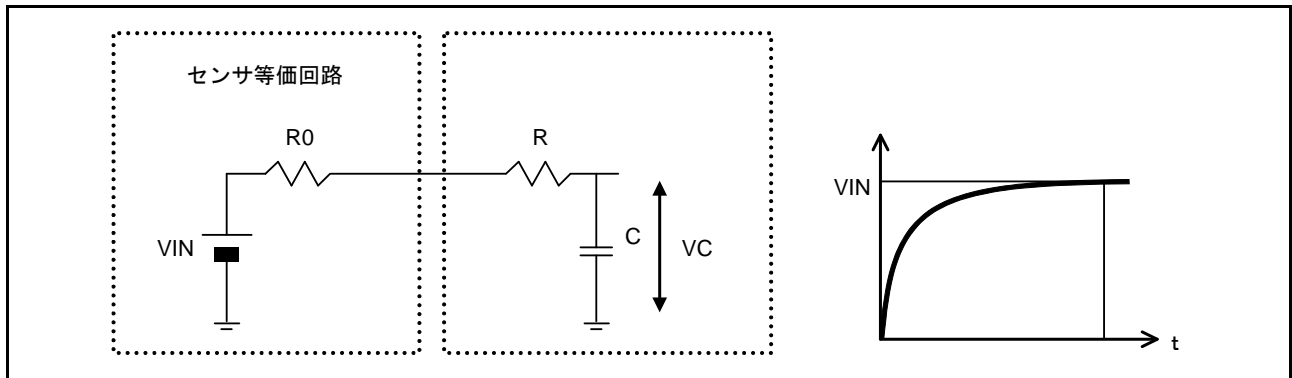


図 36.16 アナログ入力端子と外部センサの等価回路

サンプリング時間を  $T[s]$ 、センサの出力インピーダンスを  $R0[\Omega]$ 、マイコンの内部抵抗を  $R[\Omega]$ 、A/D コンバータの精度 (誤差) を  $x[LSB]$ 、分解能を  $y$  [階調] (12 ビットでは 4096) とすると、コンデンサ C の両端の電位差  $VC$  は、

$$VC = VIN \left\{ 1 - e^{-\frac{T}{C(R0+R)}} \right\}$$

で表され、 $t = T$  のとき、変換誤差を  $x$  以下にするには、

$$VC = VIN - \frac{x}{y} VIN = VIN \left( 1 - \frac{x}{y} \right)$$

でなければならないため、

$$\begin{aligned} e^{-\frac{T}{C(R0+R)}} &= \frac{x}{y} \\ -\frac{T}{C(R0+R)} &= \ln \frac{x}{y} \\ R0 &= -\frac{T}{C \ln \frac{x}{y}} - R \end{aligned}$$

と計算できます。

fPCLKD = 32MHz 時に、誤差を 0.1LSB 以下にするセンサの出力インピーダンス  $R0$  は、 $T = 0.3\mu s$ 、 $x = 0.1$ 、 $y = 4096$ 、 $R = 2.6k\Omega$  (参考値)、 $C = 7pF$  (参考値) を代入して、

$$\begin{aligned} R0 &= -\frac{0.3 \times 10^{-6}}{7 \times 10^{-12} \times \ln \left( \frac{0.1}{4096} \right)} - 2.6 \times 10^3 \\ &= 1435 \end{aligned}$$

と計算できます。

以上から、A/D コンバータの精度 (誤差) を 0.1LSB 以下にするためには、センサの出力インピーダンス  $R0$  が約  $1.4k\Omega$  以下でないといけないことがわかります。

なお、実際の誤差は、上記の 0.1LSB に絶対精度が加わった値になります。

これらの値は目安であり、評価により動作確認が必要になります。

### 36.8.10 絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS0 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

### 36.8.11 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて MCU を使用した場合は、MCU の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN<sub>n</sub> に印加する電圧は、 $VREFL0 \leq VAN \leq VREFH0$  の範囲としてください。

VREFH0 端子によるリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$  にしてください。

アナログ入力端子 AN<sub>n</sub> (n = 0 ~ 7, 21) に印加する電圧は、 $AVSS0 \leq VAN \leq AVCC0$  にしてください。

アナログ入力端子 AN<sub>n</sub> (n = 8 ~ 15) に印加する電圧は、 $VSS \leq VAN \leq VCC$ 、および  $VSS \leq VAN \leq AVCC$  にしてください。

- 各電源端子 (AVCC0 - AVSS0, VREFH0 - VREFL0, VCC - VSS) の関係

AVSS0 と VSS との関係は  $AVSS0 = VSS$  としてください。また、図 36.17 に示すように各々の電源間に最短で閉ループが形成できるように 0.1μF のコンデンサを接続し、供給元で  $VREFL0 = AVSS0 = VSS$  になるように接続してください。12 ビット A/D コンバータを使用しない場合は、 $AVCC0 = VCC$ 、 $AVSS0 = VSS$  としてください。

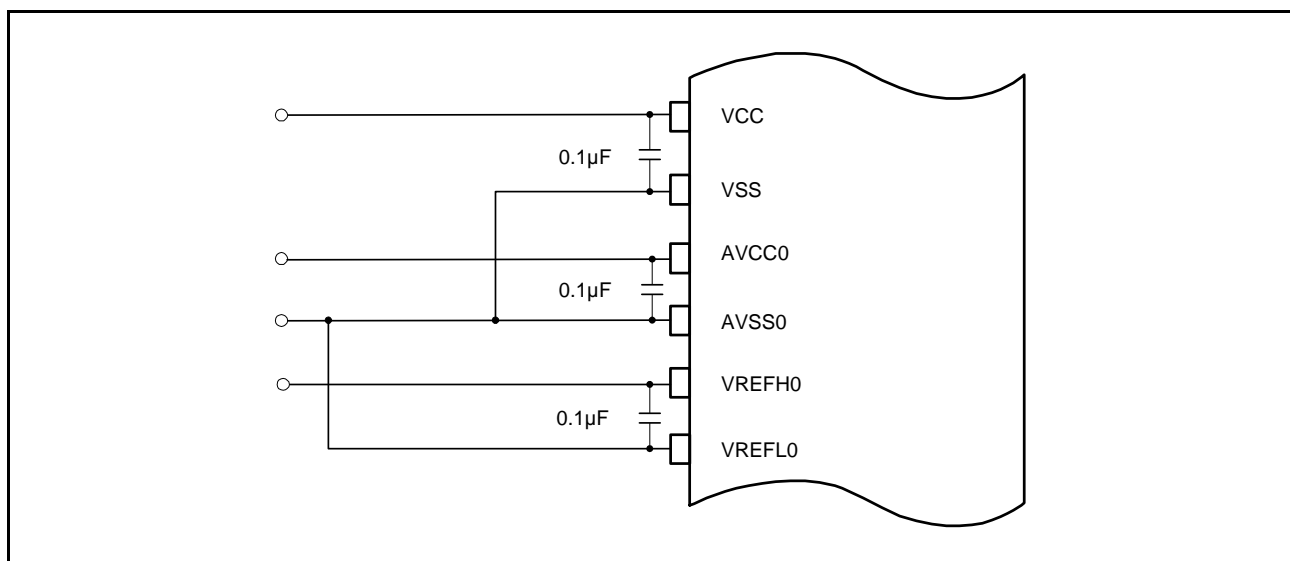
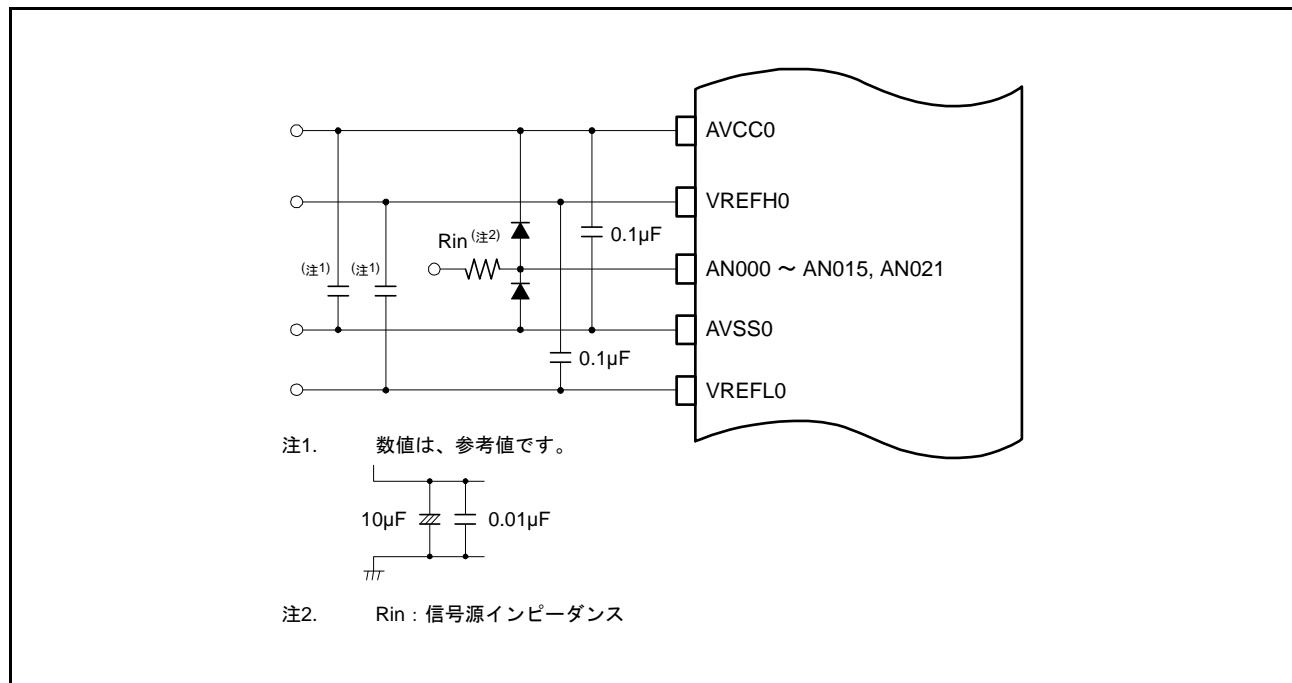


図 36.17 各電源端子の接続例

### 36.8.12 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN015, AN021)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

### 36.8.13 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN015, AN021) の破壊を防ぐために、 36.18 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN015, AN021) を基準に保護回路を接続してください。

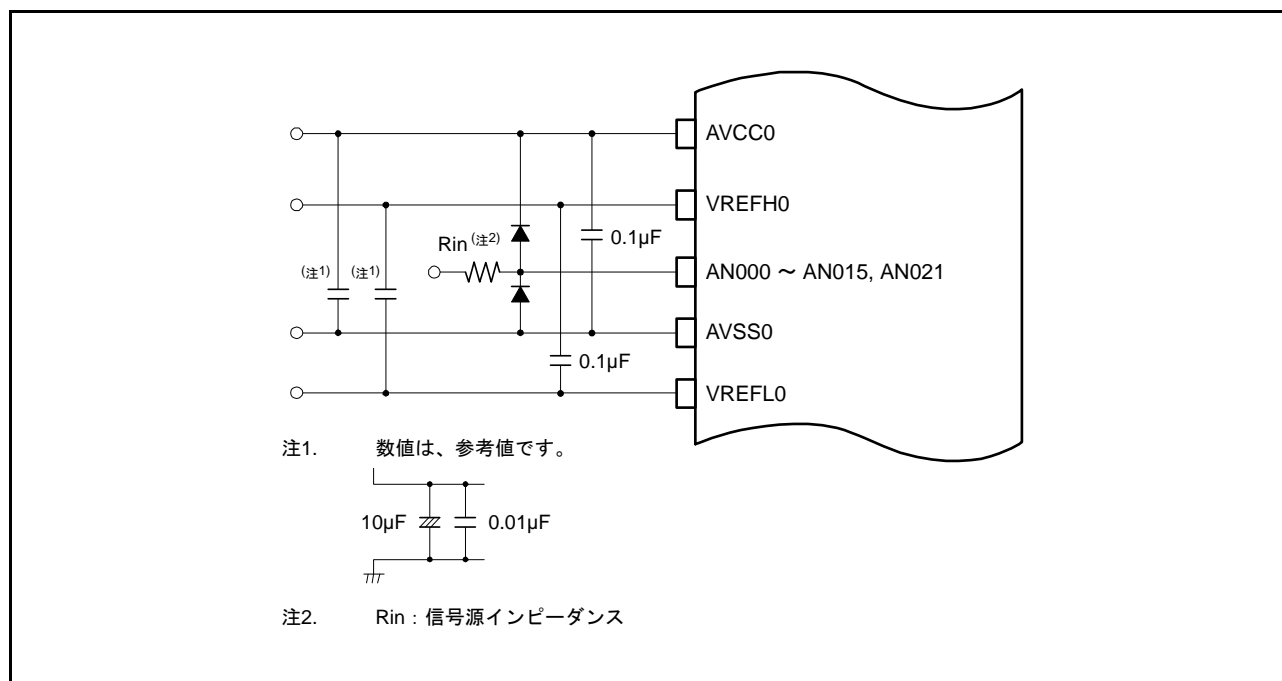


図 36.18 アナログ入力保護回路の例

### 36.8.14 12ビットA/Dコンバータ入力を使用する場合のポートの設定

12ビットA/Dコンバータを使用する場合は、ポート4、ポート9、PJ6およびPJ7のポート出力は使用しないでください。ポート4、ポート9、PJ6およびPJ7の回路の一部で、アナログ電源を使用しているためです。

### 36.8.15 AVCC0とVCCの電源投入順序について

AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。



## 37. 12ビットD/Aコンバータ (R12DAA)

### 37.1 概要

本MCUは、12ビットD/Aコンバータを2チャンネル内蔵しています。

表37.1に12ビットD/Aコンバータの仕様を示します。図37.1に12ビットD/Aコンバータのブロック図を示します。

表37.1 12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャンネル	2チャンネル
アナログモジュールの干渉対策	<ul style="list-style-type: none"> <li>D/A変換とA/D変換の干渉対策</li> </ul> 12ビットA/Dコンバータが出力する12ビットD/A同期D/A変換許可信号により、D/A変換データの更新タイミングを制御する。これにより、12ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能
イベントリンク機能(入力)	イベント信号の入力により、チャンネル0のD/A変換を開始可能

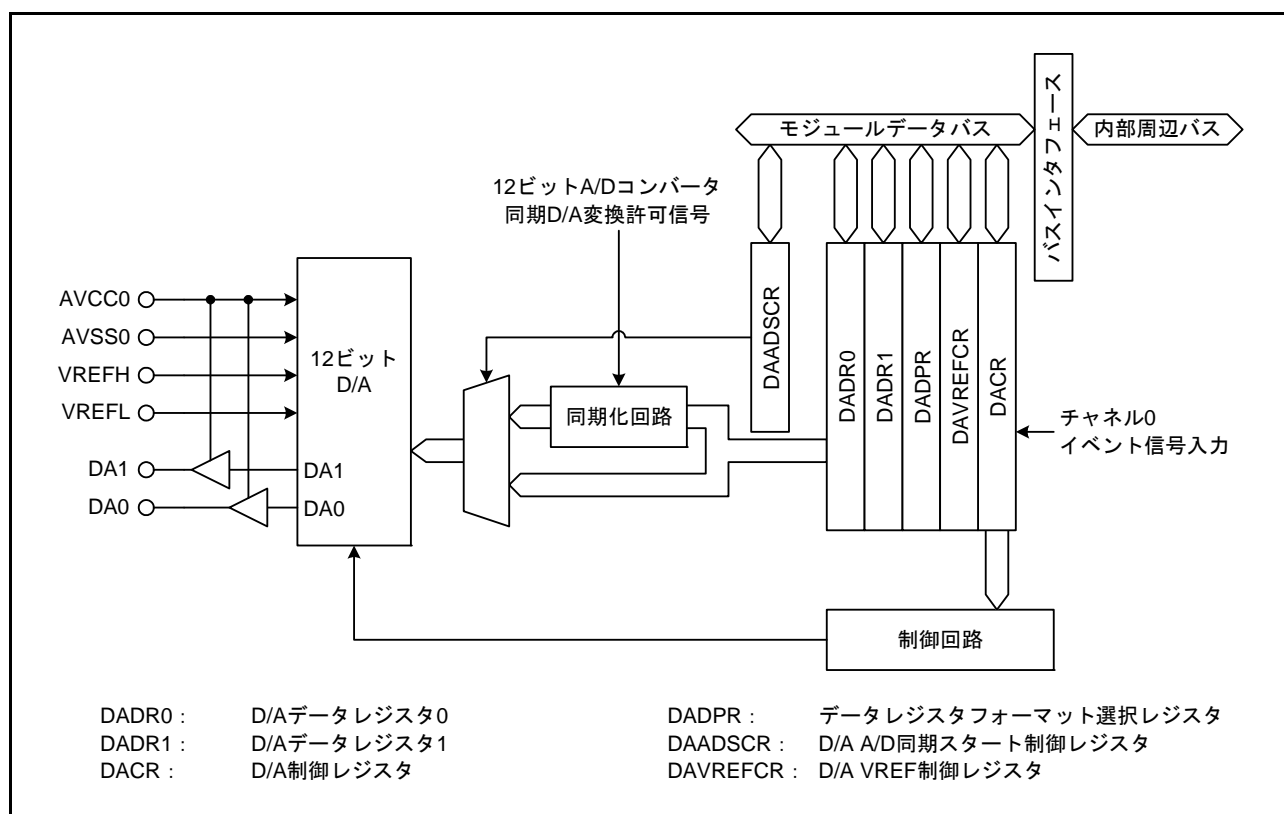


図37.1 12ビットD/Aコンバータのブロック図

表 37.2 に 12 ビット D/A コンバータで使用する入出力端子を示します。

表37.2 12ビットD/Aコンバータの入出力端子

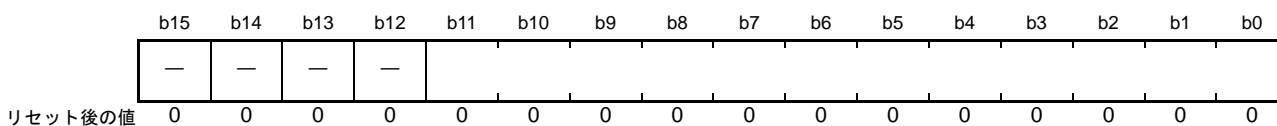
端子名	入出力	機能
AVCC0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナログ電源端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VCCに接続してください
AVSS0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナロググランド端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VSSに接続してください
VREFH	入力	12ビットD/Aコンバータの基準電源端子
VREFL	入力	12ビットD/Aコンバータの基準グランド端子
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

## 37.2 レジスタの説明

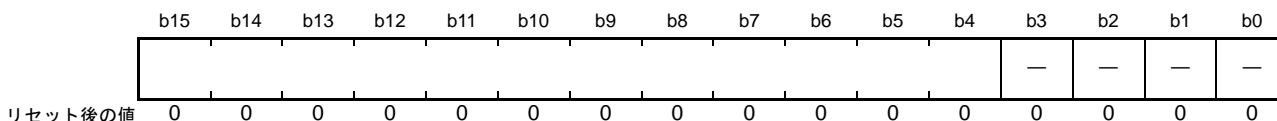
### 37.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス DA.DADR0 0008 8040h, DA.DADR1 0008 8042h

- ・ DADPR.DPSEL ビット = 0 (データは右詰め)



- ・ DADPR.DPSEL ビット = 1 (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換され D/A コンバータから出力されます。

DADPR.DPSEL ビットの設定によって 12 ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

## 37.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 8044h

b7	b6	b5	b4	b3	b2	b1	b0
DAOE1	DAOE0	—	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	DAOE0	D/A出力許可0ビット	0 : チャネル0のアナログ出力(DA0)を禁止 1 : チャネル0のD/A変換を許可 チャネル0のアナログ出力(DA0)を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0 : チャネル1のアナログ出力(DA1)を禁止 1 : チャネル1のD/A変換を許可 チャネル1のアナログ出力(DA1)を許可	R/W

このレジスタは、DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータ停止中に設定してください(ADCSR.ADSTビットが“0”のときに設定してください)。このとき確実に12ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

**DAOE0 ビット (D/A 出力許可 0 ビット)**

D/A変換とアナログ出力を制御します。

イベントリンク機能により、DAOE0ビットを“1”にできます。ELCのELSR17レジスタで設定されたイベントが発生すると、DAOE0ビットが“1”になり、D/A変換出力を開始します。

**DAOE1 ビット (D/A 出力許可 1 ビット)**

D/A変換とアナログ出力を制御します。

## 37.2.3 データレジスタフォーマット選択レジスタ (DADPR)

アドレス DA.DADPR 0008 8045h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	フォーマット選択ビット	0 : D/Aデータレジスタは右詰め 1 : D/Aデータレジスタは左詰め	R/W

## 37.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 8046h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0: 12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換しない(D/A変換とA/D変換の干渉対策の無効) 1: 12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換する(D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、12 ビット D/A コンバータの変換開始タイミングを 12 ビット A/D コンバータからの 12 ビット A/D コンバータ同期 D/A 変換許可信号に同期させるかさせないかを選択します。

このレジスタは、12 ビット A/D コンバータ停止中に設定してください (12 ビット A/D コンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが“0”のときに設定してください)。

**DAADST ビット (D/A A/D 同期変換ビット)**

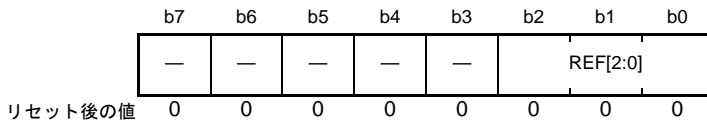
DAADST ビットを“0”にすると、随時 DADR<sub>m</sub> レジスタ (m=0, 1) の値を D/A 変換します。DAADST ビットを“1”にすると、12 ビット A/D コンバータからの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADR<sub>m</sub> レジスタの値を書き換えても、12 ビット A/D コンバータの A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は 12 ビット A/D コンバータの ADCSR.ADST ビットが“0”のときに設定してください。このとき確実に 12 ビット A/D コンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

なお、DAADST ビットを“1”にした場合は、イベント機能は使用できません。ELC の ELSR17 でイベントリンク機能を停止に設定してください。DAADST ビットは、12 ビット D/A コンバータのチャンネル 0, 1 の共通仕様です。

## 37.2.5 D/A VREF 制御レジスタ (DAVREFCR)

アドレス DA.DAVREFCR 0008 8047h



ビット	シンボル	ビット名	機能	R/W
b2-b0	REF[2:0]	D/A基準電圧選択ビット	b2 b0 000 : 非選択 001 : AVCC0/AVSS0 011 : 内部基準電圧/AVSS0 110 : VREFH/VREFL 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください	R

DAVREFCR レジスタは、12ビットD/Aコンバータの基準電圧を選択します。

**REF[2:0] ビット (D/A 基準電圧選択ビット)**

12ビットD/Aコンバータ0/1の基準電圧を選択するビットです。値を変更する場合は、一旦REF[2:0]ビットを“000b”にしてから変更してください。変更後に読み出して、値が変わっていることを確認してください。内部基準電圧を選択するときはDADR0レジスタ、DADR1レジスタを“0000h”に設定してVREF経路をディスチャージしてから切り替えてください。リセット解除後はディスチャージされた状態なので、内部基準電圧を選択することができます。ディスチャージ方法については、「37.3.2 内部基準電圧を基準電圧として使用する時の注意点」を参照してください。また、12ビットA/DコンバータがA/D変換中は本レジスタを書き換えないでください。書き換えた場合、A/D変換の精度は保証されません。

内部基準電圧を選択した場合は電圧発生回路が動作し、75μA程度電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても電圧発生回路は自動的にOFFになりません。

### 37.3 動作説明

2チャンネルの12ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DA0Emビット (m=0, 1) を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図37.2に示します。

- (1) DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
- (2) DACR.DA0E0ビットを“1”にすると、D/A変換が開始されます。変換時間 $t_{DCONV}$ が経過すると、DA0出力が設定値に対応する電圧で安定します。DADR0レジスタを書き換えるか、DA0E0ビットを“0”にするまで、この電圧が出力され続けます。出力電圧(参考)は以下の式で計算します。

$$\frac{\text{DADRm レジスタ}}{4096} \times \text{基準電圧}$$

なお、D/Aコンバータの出力は、出力バッファアンプを介して行われるため、最低出力電圧、最高出力電圧はそれぞれAVSS0、AVCC0まで達しません。出力電圧の範囲は、「43. 電気的特性」を参照してください。

- (3) DADR0レジスタを書き換えると変換が開始されます。変換時間 $t_{DCONV}$ が経過すると、DA0出力が変更した電圧で安定します。DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、D/A変換開始まで最大A/D変換1回分待たされます(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
- (4) DA0E0ビットを“0”にするとアナログ出力が禁止されます。

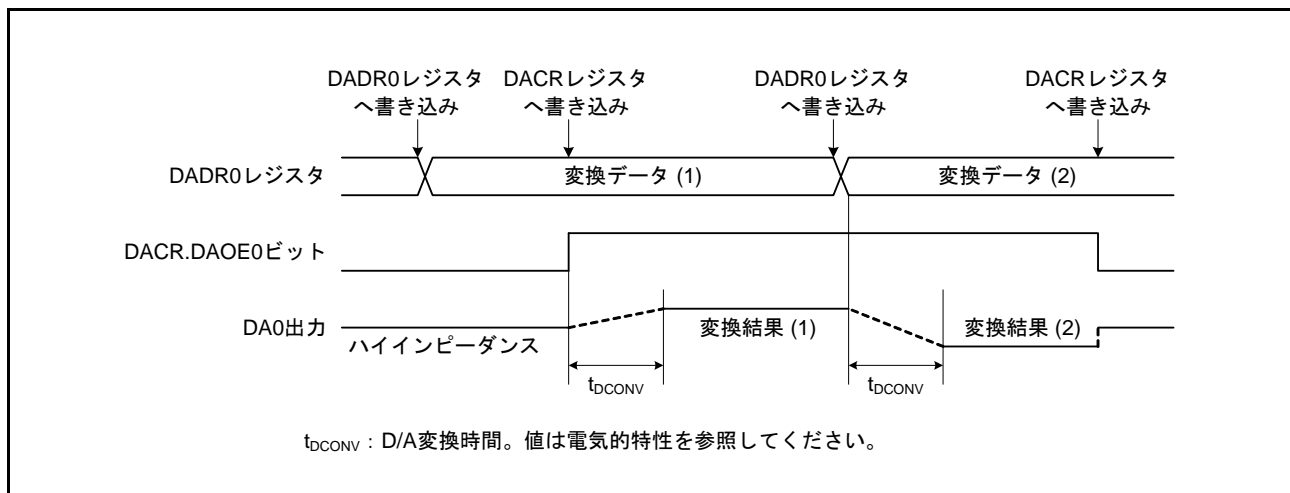


図 37.2 12ビットD/Aコンバータの動作例

### 37.3.1 D/A変換とA/D変換の干渉対策

D/A変換が始まると12ビットD/Aコンバータにはラッシュカレントが発生します。12ビットD/Aコンバータと12ビットA/Dコンバータのアナログ電源が共通のため、発生したラッシュカレントが12ビットA/Dコンバータの変換に干渉することがあります。

DAADSCR.DAADSTビットを“1”にしている場合、12ビットA/DコンバータがA/D変換中にDADR<sub>m</sub>レジスタ ( $m=0, 1$ ) にデータを書き換えても、すぐに変換されず、12ビットA/DコンバータのA/D変換終了タイミングに同期して変換を開始します。DADR<sub>m</sub>レジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADR<sub>m</sub>レジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADR<sub>m</sub>レジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、12ビットA/DコンバータがADCSR.ADSTビットを“0”にして停止中であればDADR<sub>m</sub>レジスタにデータを書き換えると、1PCLKB後にD/A変換を開始します。

図37.3に12ビットD/Aコンバータを12ビットA/Dコンバータに同期変換させる場合のチャンネル0のD/A変換の動作例を示します。

- (1) 12ビットA/Dコンバータが停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
- (2) 12ビットA/Dコンバータが停止中であることを確認し、DACR.DAOE0ビットを“1”にする。
- (3) DADR0レジスタを設定する (ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
  - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータが停止していた場合 (ADCSR.ADSTビット=0)、1PCLKB後にD/A変換が開始されます。
  - DADR0レジスタを書き換えたとき、12ビットA/DコンバータがA/D変換中の場合 (ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

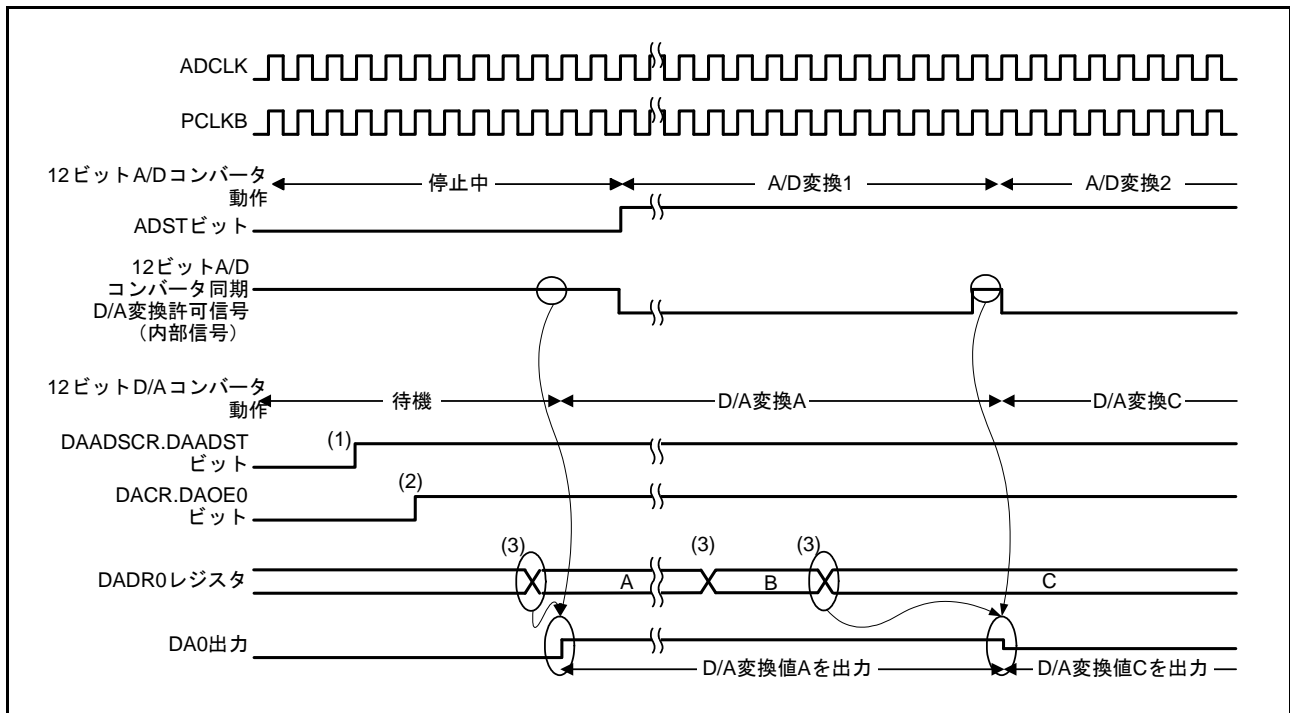


図 37.3 12ビットD/Aコンバータを12ビットA/Dコンバータに同期して変換する例

ADCLKがPCLKBよりも速い場合、A/D変換1とA/D変換2の間に出力されるADCLK1周期分の12ビットA/Dコンバータ同期D/A変換許可信号を12ビットD/Aコンバータが取り込めない可能性があります。図37.4に12ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例を示します。この場合、DA0出力はD/A変換値Aの出力を継続します。

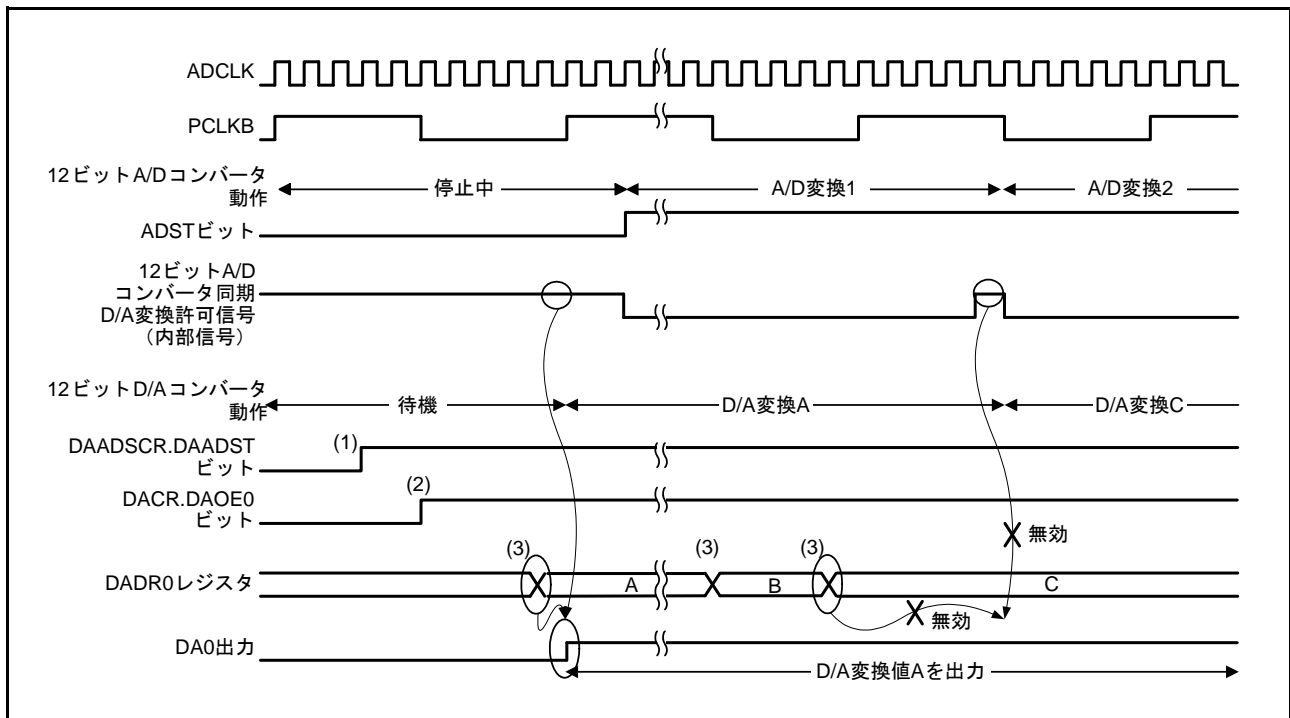


図 37.4 12ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例



### 37.3.2 内部基準電圧を基準電圧として使用する時の注意点

DAVREFCR.REF[2:0] ビットを“011b”にし、内部基準電圧 /AVSS0 を基準電圧として用いる場合、選択する前に VREF 経路をディスチャージする必要があります。ディスチャージ手順を以下に示します。

- (1) REF[2:0] ビットに“000b”を書き込む。
- (2) DADR0 レジスタに“0000h”、DADR1 レジスタに“0000h”を設定する。
- (3) (2) の状態を 10  $\mu$ s 間維持する (ディスチャージ動作)。
- (4) ディスチャージ完了後、REF[2:0] ビットに“011b”を書き込み、内部基準電圧 /AVSS0 を選択する。
- (5) DACR.DAOEm ビット (m = 0, 1) を“1”に設定し、内部基準電圧の安定待ち時間 5  $\mu$ s 待つ。
- (6) DADRm レジスタにデータを書き込み、D/A 変換を開始する。

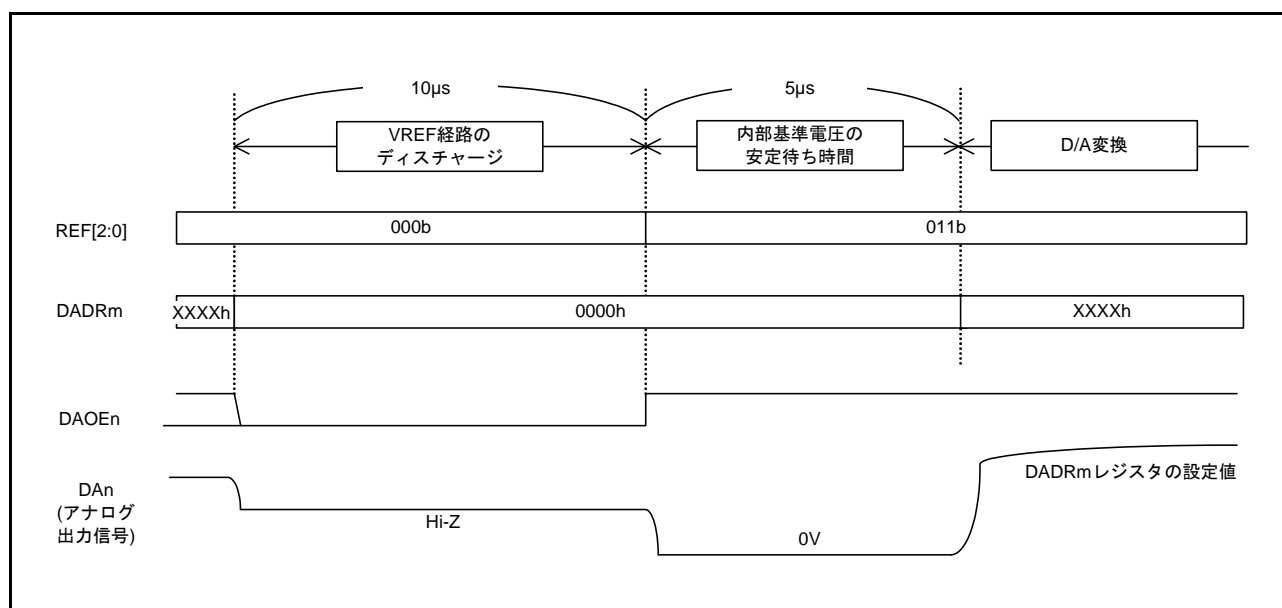


図 37.5 基準電圧に内部基準電圧を選択する手順

### 37.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

- (1) DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
- (2) ELC の ELSR17 レジスタにリンクする ELSR17 設定イベント信号のビットの値を設定します。
- (3) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
- (4) イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが“1”になり、チャンネル0のD/A変換が開始されます。
- (5) 12ビットD/Aコンバータのチャンネル0のイベントリンク動作を停止するときは、ELSR17.ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

### 37.5 イベントリンク動作における注意事項

- (1) DACR.DAOE0 ビットへの書き込みサイクル中に ELSR17 レジスタで設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。
- (2) D/A 変換と A/D 変換の干渉対策として、DAADSCR.DAADST ビットを“1”にする場合、イベントリンク機能は使用禁止です。

## 37.6 使用上の注意事項

### 37.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

### 37.6.2 モジュールストップ時のD/Aコンバータの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

### 37.6.3 ソフトウェアスタンバイモード時のD/Aコンバータの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

### 37.6.4 D/A変換とA/D変換の干渉対策有効時の注意事項

DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータをモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

### 37.6.5 AVCC0とVCCの電圧関係について

AVCC0とVCCの電圧は個別に設定可能ですが、以下の制約があります。

- PJ0端子とPJ2端子をD/Aコンバータの出力端子として使用する場合は、D/Aコンバータの出力電圧がVCCの電圧より高くないようにしてしてください。
- PJ0端子とPJ2端子を入出力ポートとして使用する場合は、VCCの電圧がAVCC0の電圧より高くないようにしてしてください。
- PJ0端子とPJ2端子をD/Aコンバータの出力端子として使用しない場合は、本制約はありません。

## 38. 温度センサ (TEMPSA)

### 38.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度により変化する電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータでデジタル値に変換し、温度に換算することで、MCU 周辺の温度を求めることができます。

表 38.1 に温度センサの仕様を示します。図 38.1 に温度センサ周りのブロック図を示します。

表 38.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータへ出力

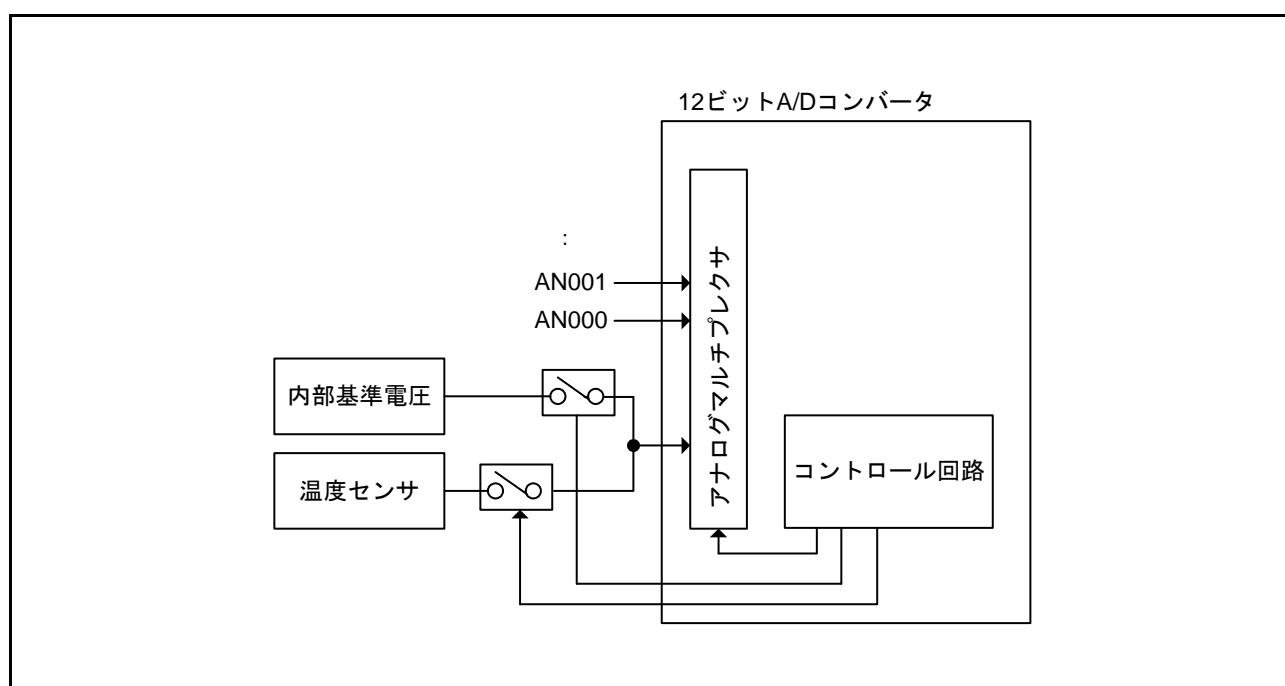
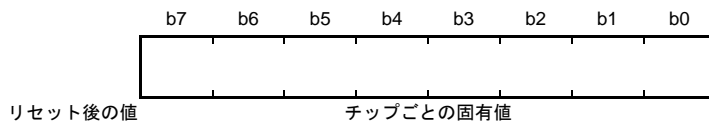


図 38.1 温度センサ周りのブロック図

## 38.2 レジスタの説明

### 38.2.1 温度センサ校正データレジスタ (TSCDRH, TSCDRL)

アドレス TSCDRL 007F C0ACh



アドレス TSCDRH 007F C0ADh



TSCDRH、TSCDRL レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、 $T_a = T_j = 88^{\circ}\text{C}$ 、 $AVCC0 = VREFH0 = 3.3\text{V}$  の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。TSCDRH レジスタには変換値の上位 4 ビット、TSCDRL レジスタには下位 8 ビットが格納されています。

### 38.3 温度センサの使用法

温度センサは、温度により変化する電圧を出力します。この電圧を 12 ビット A/D コンバータを用いてデジタル変換し、温度に換算することで MCU の周辺の温度を求めることができます。

#### 38.3.1 使用前の準備

温度センサの温度特性を示します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V<sub>s</sub> : 温度測定時の温度センサの出力電圧 (V)

T<sub>1</sub> : 1 点目の試行測定時の温度 (°C)

V<sub>1</sub> : 1 点目の試行測定時の温度センサの出力電圧 (V)

T<sub>2</sub> : 2 点目の試行測定時の温度 (°C)

V<sub>2</sub> : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C)    Slope = (V<sub>2</sub> - V<sub>1</sub>) / (T<sub>2</sub> - T<sub>1</sub>)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施しておくことを推奨します。

まず、温度 T<sub>1</sub> のときの温度センサの出力電圧 V<sub>1</sub> を 12 ビット A/D コンバータで試行測定することで求めます。

次に、温度 T<sub>1</sub> と異なる温度 T<sub>2</sub> のときの温度センサの出力電圧 V<sub>2</sub> を 12 ビット A/D コンバータにて試行測定することで求めます。

両者の測定結果から、温度傾斜 (Slope = (V<sub>2</sub> - V<sub>1</sub>) / (T<sub>2</sub> - T<sub>1</sub>)) を求めます。

この Slope を温度特性の式に代入し、温度特性 T = (V<sub>s</sub> - V<sub>1</sub>) / Slope + T<sub>1</sub> を求めます。

また、「43. 電気的特性」に記載の温度傾斜を用いることで、温度 T<sub>1</sub> のときの温度センサの出力電圧 V<sub>1</sub> を、12 ビット A/D コンバータで試行測定することで求め、下記式により測定温度を算出します。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

また、本 MCU は、TSCDRH、TSCDRL レジスタに、T<sub>a</sub> = T<sub>j</sub> = 88°C、AVCC0 = VREFH0 = 3.3V の条件における温度センサの温度測定値 (CAL<sub>88</sub>) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

この測定値 CAL<sub>88</sub> は、以下のように計算できます。

$$\text{CAL}_{88} = (\text{TSCDRH レジスタ値} \ll 8) + \text{TSCDRL レジスタ値}$$

CAL<sub>88</sub> から V<sub>1</sub> を求めると、

$$V_1 = 3.3 \times \text{CAL}_{88} / 4096 \text{ [V]}$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V_1) / \text{Slope} + 88 [^{\circ}\text{C}]$$

T : 測定温度 (°C)

V<sub>s</sub> : 温度測定時の温度センサの出力電圧 (V)

V<sub>1</sub> : Ta = Tj = 88°C、AVCC0 = VREFH0 = 3.3V 時の温度センサの出力電圧 (V)

Slope : 表 43.46 に記載の温度傾斜 ÷ 1000 (V/°C)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 38.2 のとおりです。

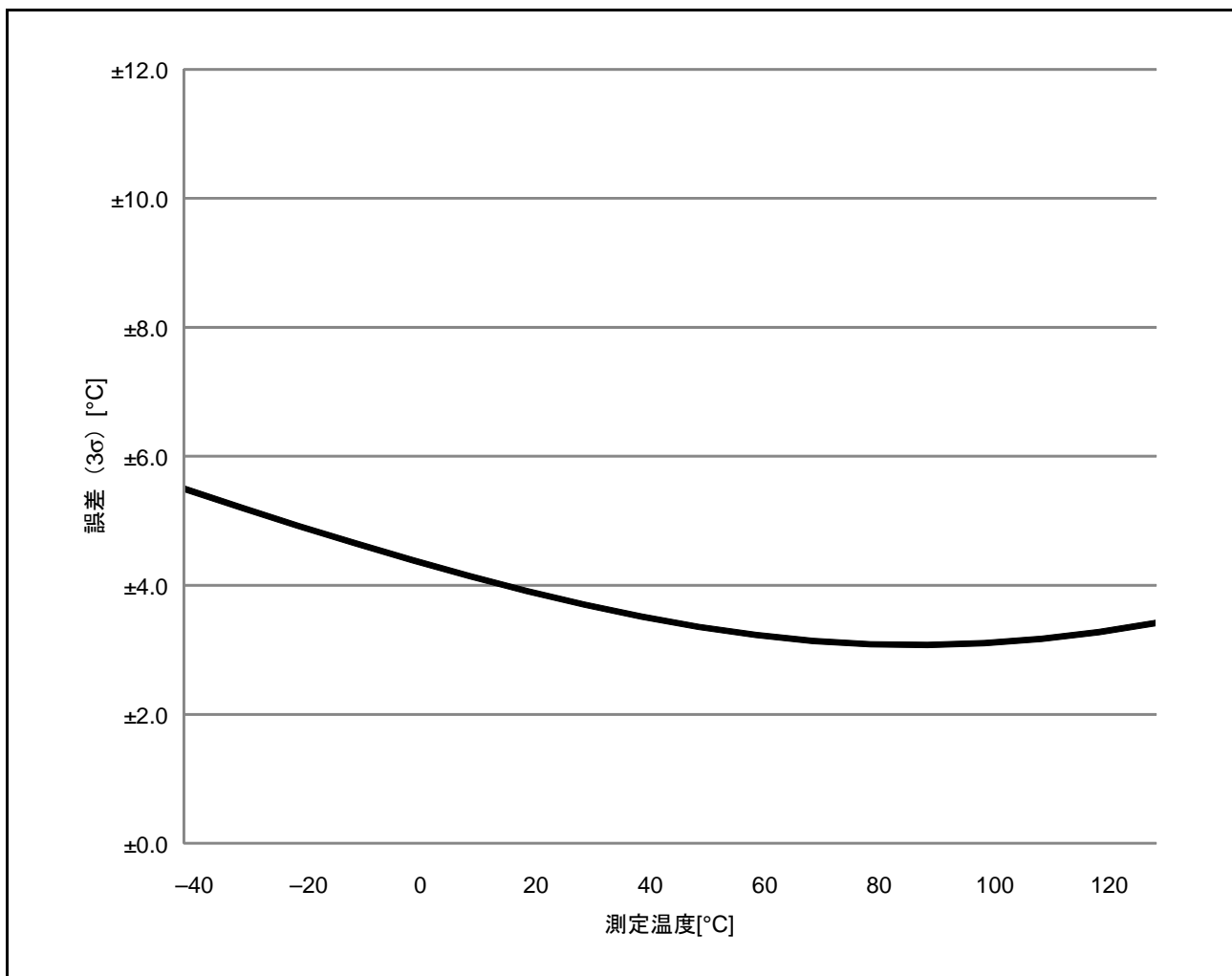


図 38.2 測定温度誤差 (設計値)

### 38.3.2 12ビット A/D コンバータの設定

温度センサは出力を A/D 変換することで温度を知ることができますが、温度センサの出力を A/D 変換するために、12ビット A/D コンバータのレジスタを以下のように設定する必要があります。

- 温度センサ出力の A/D 変換対象への選択

ADEXICR.TSS ビットを“1”にし、温度センサを A/D 変換対象に選択します。このとき、ADANSA、ADANSB、ADANSA1、ADANSB1、および ADEXICR.OCS ビットはすべて“0”に設定し、変換対象から外してください。

コンパレータ B (CMPB) が内部基準電圧を選択している場合は、ADEXICR.TSS ビットを“1”に設定しないでください。

- シングルスキャンモードの設定

ADCSR.ADCS[1:0] ビットを“00b”にし、シングルスキャンモードを選択します。シングルスキャンモード以外には設定しないでください。

### 38.3.3 温度センサの A/D 変換結果

温度センサの A/D 変換が完了すると、変換結果が ADTSDR レジスタ (A/D 温度センサデータレジスタ) に格納されます。サンプリング時間は、5 $\mu$ s 以上になるように設定してください。温度センサ出力の A/D 変換に切り替えた後、ADST ビットを“1”にして、1 回目の変換を開始してください。ただし、1 回目の変換結果は使用しないでください。図 38.3 に温度センサの動作例を示します。

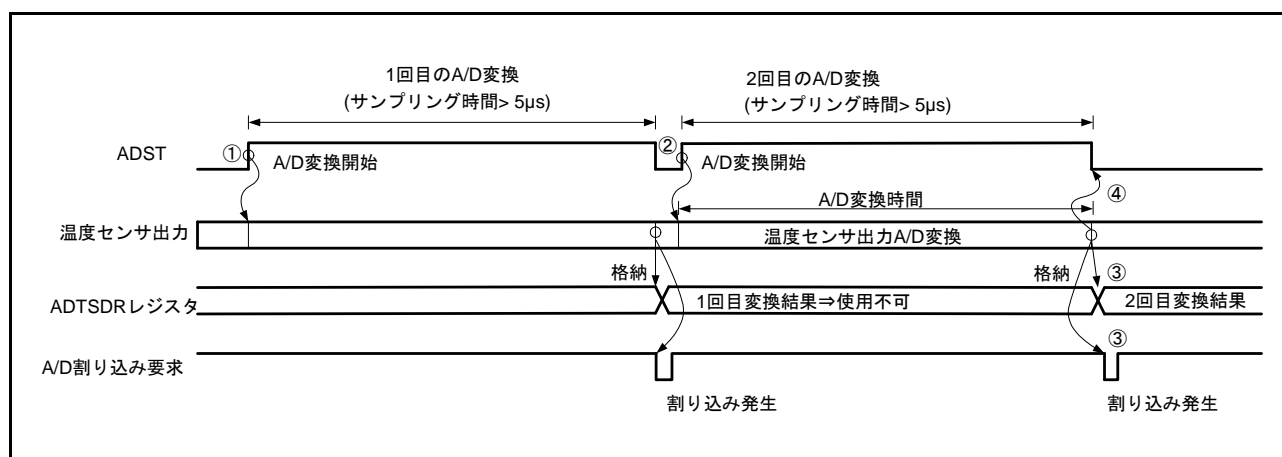


図 38.3 温度センサの動作例



## 39. コンパレータ B (CMPBa)

コンパレータ B はリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ B0 とコンパレータ B1 の独立した 2 つのコンパレータです。

本章に記載している PCLK とは PCLKB を指します。

### 39.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、比較結果を外部に出力することもできます。リファレンス入力電圧として CVREFBn 端子 (n = 0, 1) への入力、または MCU 内部で生成する内部基準電圧のいずれかを選択可能です。

動作開始前にコンパレータ B 応答速度を設定することができます。高速モードにすると応答遅延時間が小さくなりますが消費電流は大きくなります。低速モードにすると応答遅延時間が大きいですが、消費電流は小さくなります。

表 39.1 にコンパレータ B の仕様、図 39.1 にウィンドウ機能無効時のコンパレータ B0、B1 のブロック図、図 39.2 にウィンドウ機能有効時のコンパレータ B0、B1 のブロック図、表 39.2 にコンパレータ B の入出力端子を示します。

表 39.1 コンパレータ B の仕様 (n = 0, 1)

項目	内容
アナログ入力電圧	CMPBn 端子への入力電圧
リファレンス入力電圧	CVREFBn 端子への入力電圧または内部基準電圧
比較結果	CPBFLG.CPBnOUT フラグの読み出し 比較結果を CMPOBn 端子へ出力可能
割り込み要求発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B1 の比較結果が変化するとき
ELC へのイベント発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B0 または B1 の比較結果が変化するとき
選択機能	<ul style="list-style-type: none"> <li>デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択可能</li> <li>ウィンドウ機能 ウィンドウ機能 (VRFL &lt; CMPBn &lt; VRFH) の有効/無効を選択可能 (注1)</li> <li>リファレンス入力電圧 CVREFBn 端子入力/内部基準電圧 (内部生成) を選択可能</li> <li>コンパレータ B 応答速度 高速モード/低速モードを選択可能</li> </ul>
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. VRFL: 低電位側リファレンス電圧、VRFH: 高電位側リファレンス電圧

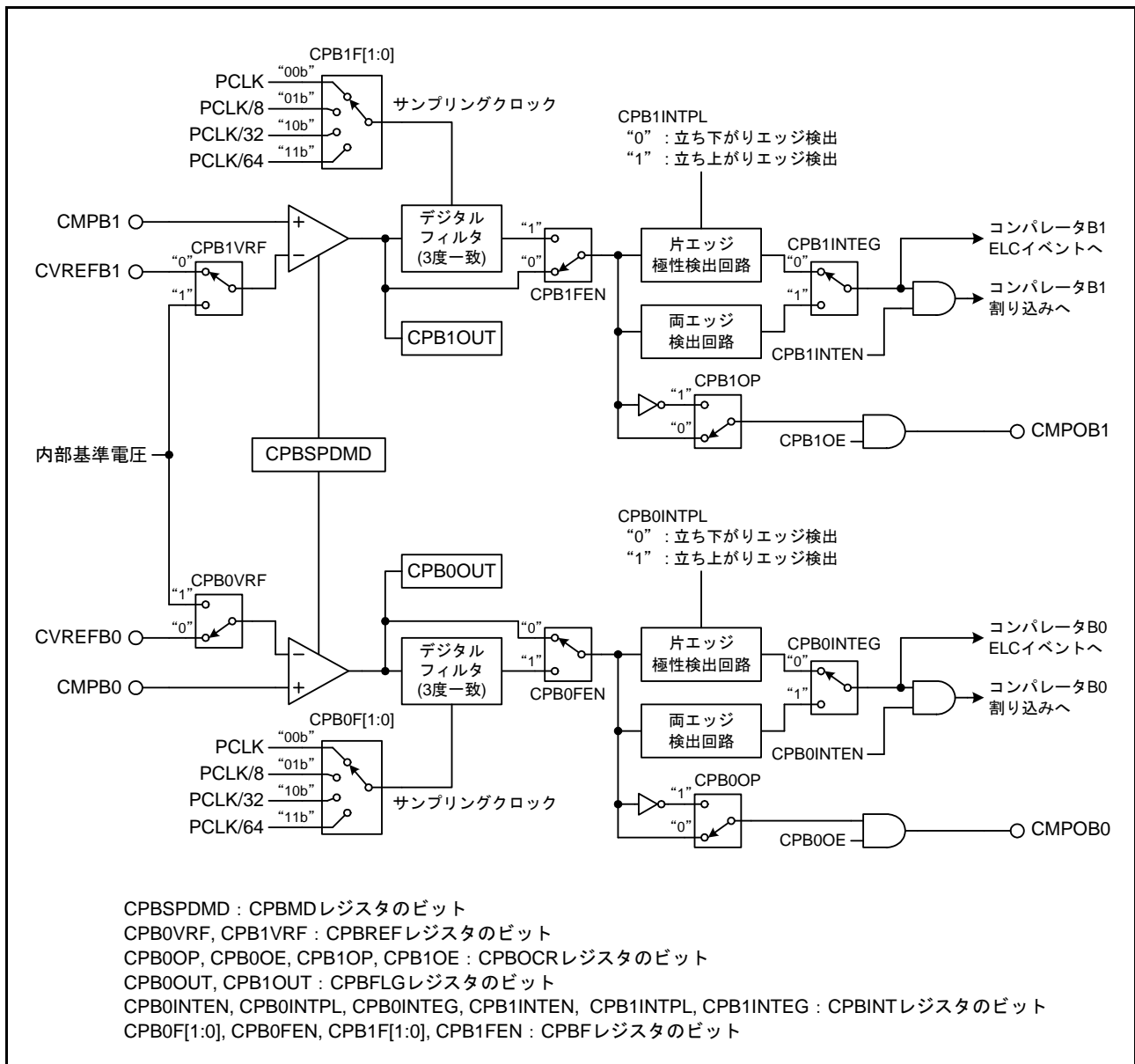


図 39.1 コンパレータ B0、B1 のブロック図 (ウィンドウ機能無効時)

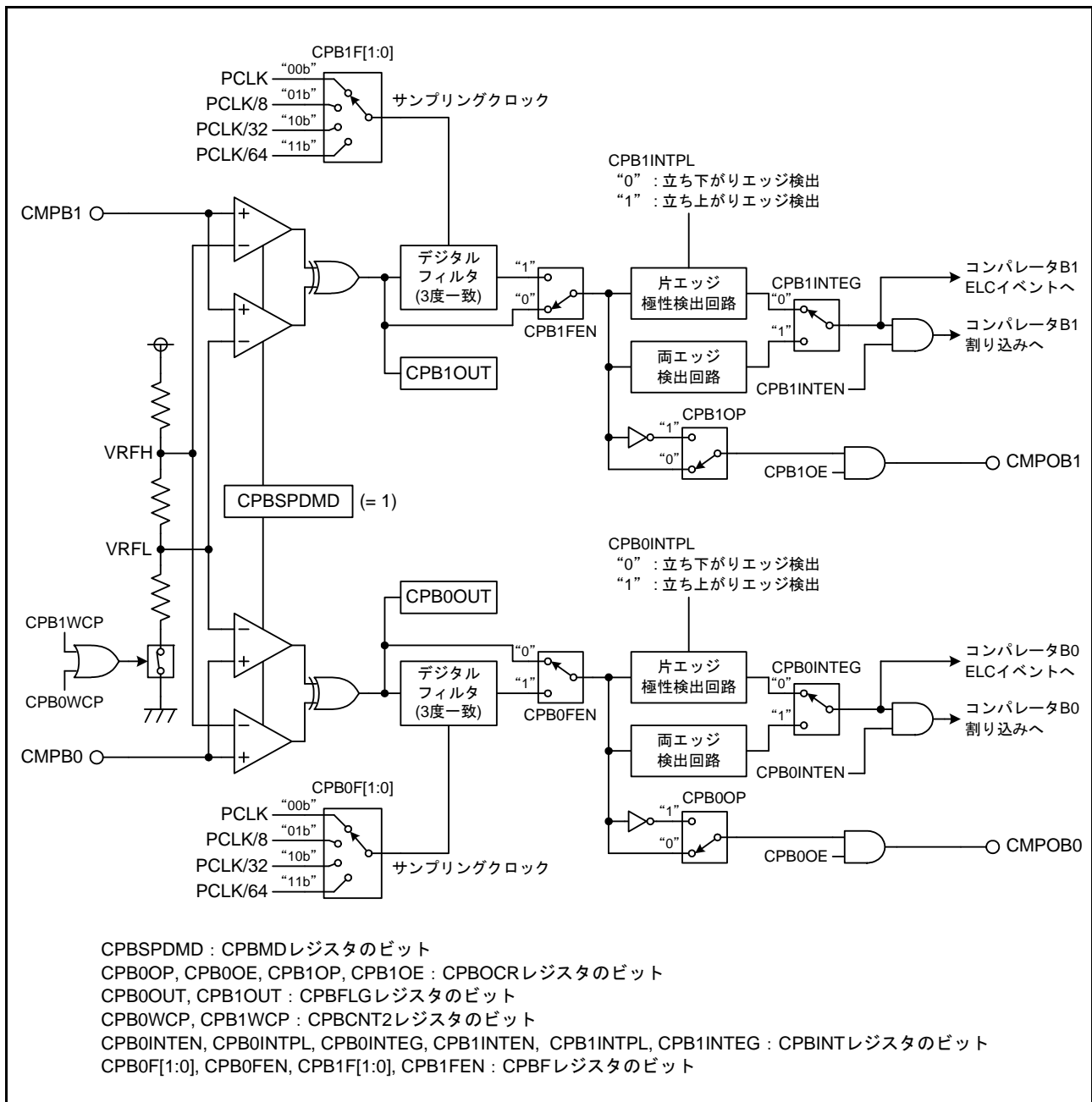


図 39.2 コンパレータ B0、B1 のブロック図 (ウィンドウ機能有効時)

表 39.2 コンパレータ B の入出力端子

端子名	入出力	機能
CMPB0	入力	コンパレータ B0用アナログ端子
CVREFB0	入力	コンパレータ B0用リファレンス入力電圧端子
CMPB1	入力	コンパレータ B1用アナログ端子
CVREFB1	入力	コンパレータ B1用リファレンス入力電圧端子
CMPOB0	出力	コンパレータ B0出力端子
CMPOB1	出力	コンパレータ B1出力端子

## 39.2 レジスタの説明

### 39.2.1 コンパレータ B 制御レジスタ 1 (CPBCNT1)

アドレス 0008 C580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB11 NI	—	—	—	CPB01 NI
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB01NI	コンパレータ B0 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON)	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB11NI	コンパレータ B1 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

### 39.2.2 コンパレータ B 制御レジスタ 2 (CPBCNT2)

アドレス 0008 C581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB1W CP	—	—	—	CPB0W CP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0WCP	コンパレータ B0 ウィンドウ機能有効ビット	0 : 無効 1 : 有効	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1WCP	コンパレータ B1 ウィンドウ機能有効ビット	0 : 無効 1 : 有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

## 39.2.3 コンパレータ B フラグレジスタ (CPBFLG)

アドレス 0008 C582h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1OUT	—	—	—	CPB0OUT	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CPB0OUT	コンパレータ B0 モニタフラグ	(ウィンドウ機能無効時) 0 : CMPB0 < CVREFB0、または CMPB0 < 内部基準電圧、 またはコンパレータ B0 動作禁止 1 : CMPB0 > CVREFB0、または CMPB0 > 内部基準電圧  (ウィンドウ機能有効時) <sup>(注1)</sup> 0 : CMPB0 < VRFL、または CMPB0 > VRFH、または コンパレータ B0 動作禁止 1 : VRFL < CMPB0 < VRFH	R
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CPB1OUT	コンパレータ B1 モニタフラグ	(ウィンドウ機能無効時) 0 : CMPB1 < CVREFB1、または CMPB1 < 内部基準電圧、 またはコンパレータ B1 動作禁止 1 : CMPB1 > CVREFB1、または CMPB1 > 内部基準電圧  (ウィンドウ機能有効時) <sup>(注1)</sup> 0 : CMPB1 < VRFL、または CMPB1 > VRFH、または コンパレータ B1 動作禁止 1 : VRFL < CMPB1 < VRFH	R

注1. VRFL: 低電位側リファレンス電圧、VRFH: 高電位側リファレンス電圧

## 39.2.4 コンパレータ B 割り込み制御レジスタ (CPBINT)

アドレス 0008 C583h

b7	b6	b5	b4	b3	b2	b1	b0
—	CPB11 NTPL	CPB11 NTEG	CPB11 NTEN	—	CPB01 NTPL	CPB01 NTEG	CPB01 NTEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0INTEN	コンパレータ B0 割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b1	CPB0INTEG	コンパレータ B0 割り込み/ ELC エッジ選択ビット(注1)	0 : 片エッジ 1 : 両エッジ	R/W
b2	CPB0INTPL	コンパレータ B0 割り込み/ ELC エッジ極性選択ビット(注2)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1INTEN	コンパレータ B1 割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b5	CPB1INTEG	コンパレータ B1 割り込み/ ELC エッジ選択ビット(注1)	0 : 片エッジ 1 : 両エッジ	R/W
b6	CPB1INTPL	コンパレータ B1 割り込み/ ELC エッジ極性選択ビット(注2)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPB0INTPL ビットを変更すると、IR058.IR フラグが“1” (割り込み要求あり) に、CPB1INTPL ビットを変更すると、IR059.IR フラグが“1” (割り込み要求あり) になることがあります。「14. 割り込みコントローラ (ICUb)」を参照してください。

注2. CPBnINTPL ビットは CPBnINTEG ビット = 0 (コンパレータ 割り込みエッジに片エッジを選択) のときのみ有効です。

## 39.2.5 コンパレータ B フィルタ選択レジスタ (CPBF)

アドレス 0008 C584h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1F[1:0]	—	CPB1F EN	CPB0F[1:0]	—	CPB0F EN		

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0FEN	コンパレータ B0 フィルタ有効/ 無効選択ビット(注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CPB0F[1:0]	コンパレータ B0 フィルタ選択ビット (注1)	b3 b2 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W
b4	CPB1FEN	コンパレータ B1 フィルタ有効/ 無効選択ビット(注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CPB1F[1:0]	コンパレータ B1 フィルタ選択ビット (注1)	b7 b6 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W

注1. CPBnF[1:0]ビットはCPBnFENビット=1のとき(フィルタ有効を選択時)のみ有効です。

## 39.2.6 コンパレータ B モード選択レジスタ (CPBMD)

アドレス 0008 C585h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CPBSP DMD

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPBSPDMD	コンパレータ B 速度選択ビット	0 : 高速モード 1 : 低速モード(注1)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPBSPDMDビットを書き換える場合は、CPBCNT1レジスタのCPBnINIビット(n = 0, 1)を“0”にしてから書き換えてください。

## 39.2.7 コンパレータ B リファレンス入力電圧選択レジスタ (CPBREF)

アドレス 0008 C586h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB1V RF	—	—	—	CPB0V RF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0VRF	コンパレータ B0 リファレンス 入力電圧選択ビット	0 : コンパレータ B0 リファレンス入力電圧は CVREFB0 入力 1 : コンパレータ B0 リファレンス入力電圧は内部基準電圧(注 1、注2、注3)	R/W (注4)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1VRF	コンパレータ B1 リファレンス 入力電圧選択ビット	0 : コンパレータ B1 リファレンス入力電圧は CVREFB1 入力 1 : コンパレータ B1 リファレンス入力電圧は内部基準電圧(注 1、注2、注3)	R/W (注4)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ウィンドウ機能無効時のみ有効です。ウィンドウ機能有効時には、本ビットの設定に関わらずコンパレータ B 内部のリファレンス入力電圧が選択されます。
- 注2. 内部基準電圧を選択している場合は、A/D コンバータに温度センサ出力は選択禁止です。
- 注3. 内部基準電圧を選択した場合は電圧発生回路が動作し、75 $\mu$ A 程度電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても電圧発生回路は自動的に OFF しません。
- 注4. CPBnVRF ビットは、CPBCNT2.CPBnWCP = 0 のときは書き換え禁止です。

<リファレンス入力電圧を変更する場合の注意点>

◆リファレンス入力電圧を CVREFBn (n = 0, 1) から内部基準電圧へ変更する場合、下記手順に従い、変更してください。

1. CPBCNT1.CPBnINI ビットを“1”にする。
2. CPBCNT2.CPBnWCP ビットを“1”にする。
3. CPBREF.CPBnVRF ビットを“1”にして、内部基準電圧を選択する。
4. CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“0”にする。
5. コンパレータ安定時間を待つ (最小 100 $\mu$ s)。
6. CPBCNT2.CPBnWCP ビットを“0”にする。

◆リファレンス入力電圧を内部基準電圧から CVREFBn (n = 0, 1) へ変更する場合、下記手順に従い、変更してください。

1. CPBCNT1.CPBnINI ビットを“1”にする。
2. CPBCNT2.CPBnWCP ビットを“1”にする。
3. CPBREF.CPBnVRF ビットを“0”にして、CVREFBn 端子入力を選択する。
4. CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“1”にする。
5. コンパレータ安定時間を待つ (最小 100 $\mu$ s)。
6. CPBCNT2.CPBnWCP ビットを“0”にする。



## 39.2.8 コンパレータ B 出力制御レジスタ (CPBOCR)

アドレス 0008 C587h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CPB1O P	CPB1O E	—	—	CPB0O P	CPB0O E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0OE	CMPOB0 端子出力許可ビット	0 : コンパレータ B0 の CMPOB0 端子出力禁止 (注1) 1 : コンパレータ B0 の CMPOB0 端子出力許可	R/W
b1	CPB0OP	CMPOB0 出力極性選択ビット	0 : コンパレータ B0 出力を CMPOB0 へ出力 1 : コンパレータ B0 出力の反転を CMPOB0 へ出力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1OE	CMPOB1 端子出力許可ビット	0 : コンパレータ B1 の CMPOB1 端子出力禁止 (注1) 1 : コンパレータ B1 の CMPOB1 端子出力許可	R/W
b5	CPB1OP	CMPOB1 出力極性選択ビット	0 : コンパレータ B1 出力を CMPOB1 へ出力 1 : コンパレータ B1 出力の反転を CMPOB1 へ出力	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPBnOE ビット (n = 0, 1) を“0”にして、CMPOBn 端子の出力を禁止した場合、CPBnOP ビットの値に関わらず、CMPOBn 端子には“0”を出力します。

### 39.3 動作説明

コンパレータ B0 とコンパレータ B1 はそれぞれ独立して動作できます。動作は同じです。なお、比較中にレジスタの値を変更した時の動作は保証しません。表 39.3 にウィンドウ機能無効時のコンパレータ B 関連レジスタの設定手順を、表 39.4 にウィンドウ機能有効時のコンパレータ B 関連レジスタの設定手順を示します。

表 39.3 コンパレータ B 関連レジスタの設定手順(ウィンドウ機能無効時) (n = 0, 1)

順番	レジスタ	ビット	設定値	
1	CMPBn 端子を割り当てているポートの PijPFS	ASEL	1	
2	CPBMD	CPBSPDMD	コンパレータ応答速度の選択 (0 : 高速モード / 1 : 低速モード)	
3	CPBCNT1	CPBnINI	電源 ON にする : 1	
4	CPBCNT2	CPBnWCP	1 (注 1)	
5	CPBREF	CPBnVRF	0 : リファレンス入力電圧 = CVREFBn 入力 (注 1)	1 : リファレンス入力電圧 = 内部基準電圧
6	CVREFBn 端子を割り当てているポートの PijPFS	ASEL	1	0
7	コンパレータ安定時間 (最小 100μs) 待ち (注 1)			
8	CPBCNT2	CPBnWCP	0 (注 1)	
9	CPBF	フィルタ有無、サンプリングクロック選択		
10	コンパレータ安定時間 (最小 100μs) 待ち			
11	CPBOCR	CPBnOP, CPBnOE	CMPOBn 出力の設定 (極性選択、出力許可/禁止を設定)	
12	CPBINT	CPBnINTEN	割り込みを使用する場合 : 1 (割り込み許可)	
		CPBnINTEG	割り込みまたは ELC を使用する場合 : 入力エッジ (1 = 両エッジ / 0 = 片エッジ) 選択	
		CPBnINTPL	割り込みまたは ELC を使用する場合 : CPBnINTEG = 0 (片エッジ選択) の場合、入力極性を選択 (1 = 立ち上がりエッジ / 0 = 立ち下がりエッジ)	
13	IPR058 (コンパレータ B0), IPR059 (コンパレータ B1)	IPR[3:0]	割り込みを使用する場合 : 割り込み優先レベル選択	
	IR058 (コンパレータ B0), IR059 (コンパレータ B1)	IR	割り込みを使用する場合 : 0 (割り込み要求なし : 初期化)	
	IER07	IEN2 (コンパレータ B0), IEN3 (コンパレータ B1)	割り込みを使用する場合 : 1 (割り込みコントローラ (ICU) 側の割り込み許可)	

注 1. リファレンス入力電圧を CVREFBn 入力から内部基準電圧、もしくは内部基準電圧から CVREFBn 入力へ変更する場合、必要な設定です。リセット解除後で CVREFBn 入力を選択する場合であれば CPBREF.CPBnVRF ビットの初期値が "0" であるため、手順 4、5、7、8 は不要です。

表 39.4 コンパレータ B 関連レジスタの設定手順(ウィンドウ機能有効時) (n = 0, 1)

順番	レジスタ	ビット	設定値
1	CMPBn 端子を割り当てているポートの PijPFS	ASEL	1
2	CPBMD	CPBSPDMD	0 (高速モードを指定)
3	CPBCNT1	CPBnINI	電源 ON にする : 1
4	CPBF	フィルタ有無、サンプリングクロック選択	
5	CPBCNT2	CPBnWCP	1 (動作許可)
6	コンパレータ安定時間(最小 100 $\mu$ s)待ち		
7	CPBOCR	CPBnOP, CPBnOE	CMPOBn 出力の設定(極性選択、出力許可/禁止を設定)
8	CPBINT	CPBnINTEN	割り込みを使用する場合 : 1 (割り込み許可)
		CPBnINTEG	割り込みまたは ELC を使用する場合 : 入力エッジ(1 = 両エッジ/0 = 片エッジ)選択
		CPBnINTPL	割り込みまたは ELC を使用する場合 : CPBnINTEG = 0 (片エッジ選択)の場合、入力極性選択(1 = 立ち上がりエッジ/0 = 立ち下がエッジ)選択
9	IPR058 (コンパレータ B0), IPR059 (コンパレータ B1)	IPR[3:0]	割り込みを使用する場合 : 割り込み優先レベル選択
	IR058 (コンパレータ B0), IR059 (コンパレータ B1)	IR	割り込みを使用する場合 : 0 (割り込み要求なし : 初期化)
	IER07	IEN2 (コンパレータ B0), IEN3 (コンパレータ B1)	割り込みを使用する場合 : 1 (割り込み許可)

図 39.3 にウィンドウ機能無効時のコンパレータ B<sub>n</sub> の動作例 (n = 0, 1) を示します。

リファレンス入力電圧 (CVREFB0/CVREFB1 または内部基準電圧) とアナログ入力電圧の比較を行います。リファレンス入力よりアナログ入力の電圧が高い場合は、CPBFLG.CPB<sub>n</sub>OUT ビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、CPB<sub>n</sub>OUT ビットが“0”になります。

コンパレータ B<sub>n</sub> 割り込みを使用する場合は、CPBINT.CPB<sub>n</sub>INTEN ビットを“1” (割り込み許可) にしてください。このとき比較結果が変化すれば、コンパレータ B<sub>n</sub> 割り込み要求が発生します。割り込みについては「39.4 コンパレータ B0、コンパレータ B1 割り込み」を参照してください。

コンパレータ B<sub>n</sub> は ELC ヘイブントを出力し、他のモジュールを動作させることができます。ELC については「39.5 イベントリンク出力機能」を参照してください。

比較中は、各レジスタの値を変更しないでください。

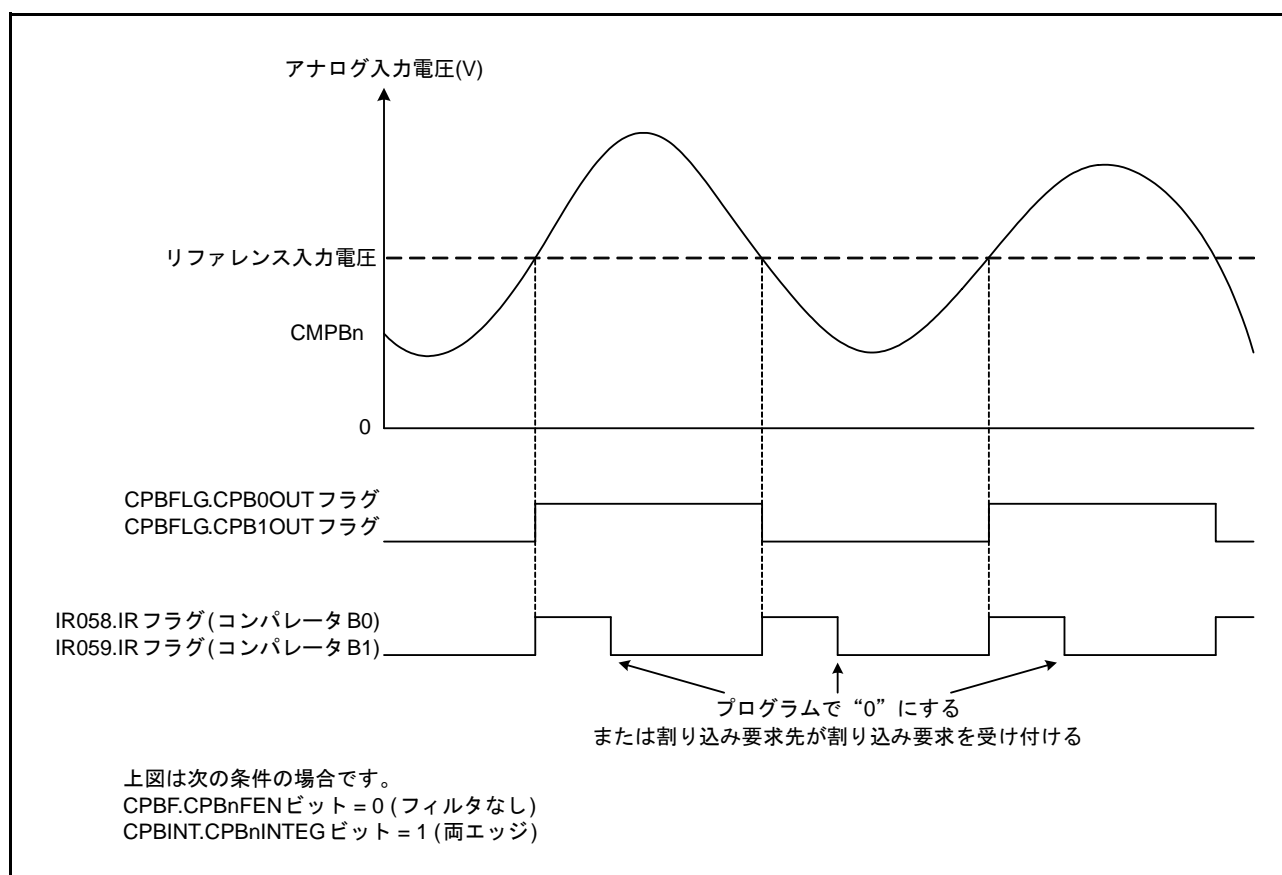


図 39.3 コンパレータ B<sub>n</sub> の動作例 (ウィンドウ機能無効時) (n = 0, 1)

図 39.4 にウィンドウ機能有効時のコンパレータ B<sub>n</sub> の動作例 (n = 0, 1) を示します。

ウィンドウ機能用内部基準電圧 (VRFH/VRFL) とアナログ入力電圧 (CMPB<sub>n</sub>) の比較を行います。VRFL < CMPB<sub>n</sub> < VRFH となる場合は、CPB<sub>n</sub>OUT ビットが“1”になり、CMPB<sub>n</sub> < VRFL または VRFH < CMPB<sub>n</sub> となる場合は CPB<sub>n</sub>OUT ビットが“0”になります。

コンパレータ B<sub>n</sub> 割り込みを使用する場合は、CPBINT.CPB<sub>n</sub>INTEN ビットを“1” (割り込み許可) にしてください。このとき比較結果が変化すれば、コンパレータ B<sub>n</sub> 割り込み要求が発生します。割り込みについては「39.4 コンパレータ B0、コンパレータ B1 割り込み」を参照してください。

コンパレータ B<sub>n</sub> は ELC ヘイブントを出力し、他のモジュールを動作させることができます。ELC については「39.5 イベントリンク出力機能」を参照してください。

比較中は、各レジスタの値を変更しないでください。

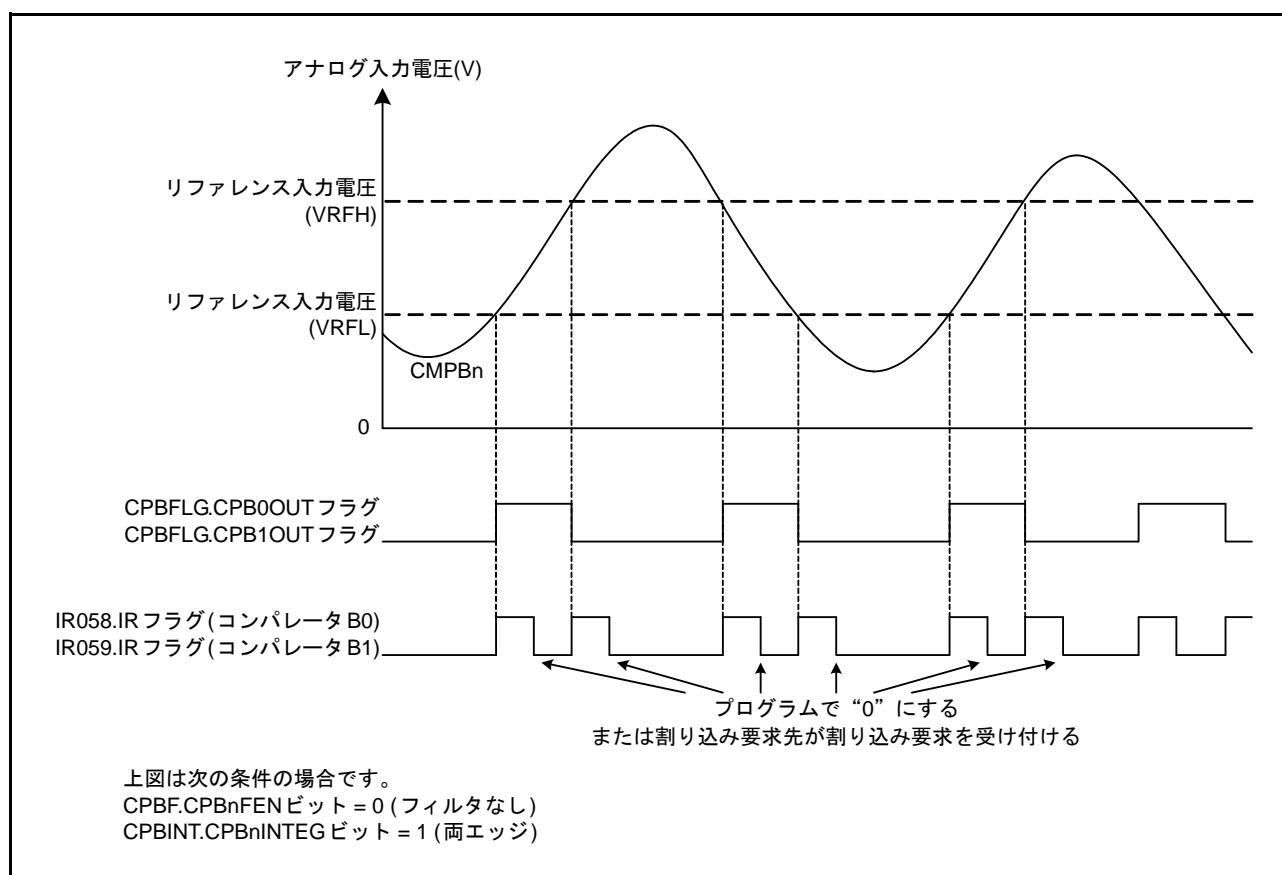


図 39.4 コンパレータ B<sub>n</sub> の動作例 (ウィンドウ機能有効時) (n = 0, 1)

### 39.3.1 コンパレータ Bn デジタルフィルタ (n = 0, 1)

サンプリングクロックは、CPBF.CPBnF[1:0] ビットで選択できます。サンプリングクロックごとにコンパレータ Bn の CPBnOUT 出力信号 (内部信号) をサンプリングし、レベルが 3 度一致した次のクロックタイミングで、IR058.IR フラグ (コンパレータ B0 選択時)、IR059.IR フラグ (コンパレータ B1 選択時) が “1” (割り込み要求あり) になり、ELC イベントが出力されます。

図 39.5 にコンパレータ Bn デジタルフィルタの構成を、図 39.6 にコンパレータ Bn デジタルフィルタの動作例を示します。

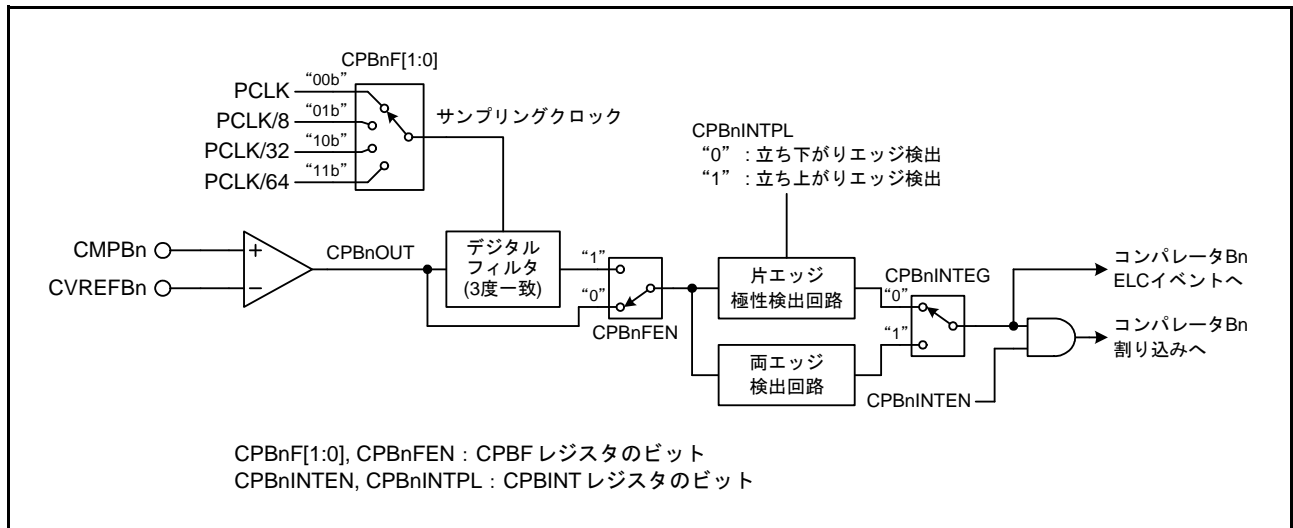


図 39.5 コンパレータ Bn デジタルフィルタの構成 (n = 0, 1)

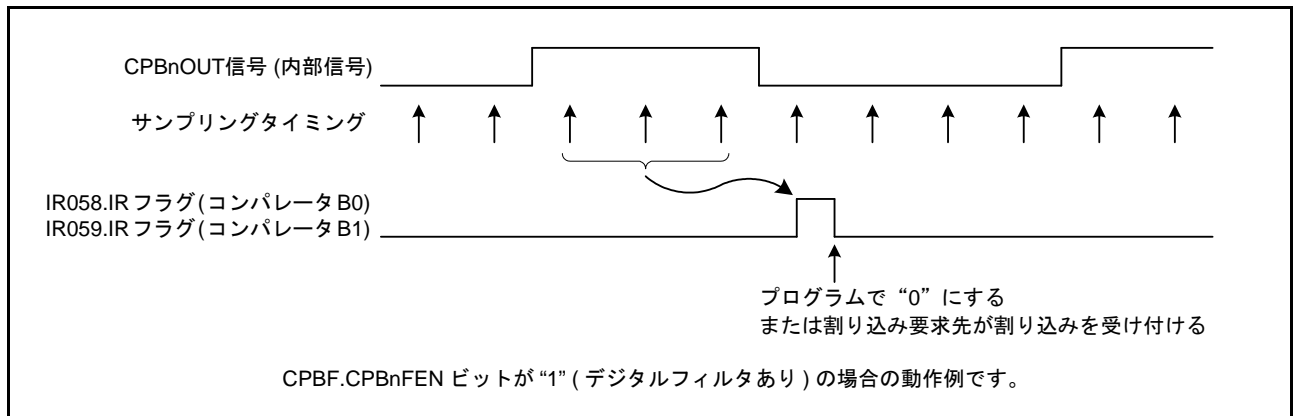


図 39.6 コンパレータ Bn デジタルフィルタの動作例 (n = 0, 1)

### 39.3.2 コンパレータ Bn 出力機能 (n = 0, 1)

コンパレータ B の比較結果を外部端子へ出力することができます。CPBOCR.CPBnOP ビット、CPBOCR.CPBnOE ビットにより出力極性 (そのまま出力 / 反転出力) および、出力許可 / 禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「39.2.8 コンパレータ B 出力制御レジスタ (CPBOCR)」を参照してください。

外部端子 CMPOB0 または CMPOB1 にコンパレータ B 比較結果を出力する場合は、以下の手順に従ってポート設定してください (リセット後、ポートは入力設定になっています)。

- (1) コンパレータ B のモード設定、入力設定をする (表 39.3 記載の順番 1 ~ 10 および、表 39.4 記載の順番 1 ~ 6)。
- (2) CMPOB0、CMPOB1 出力極性を選択、出力を許可する (CPBOCR.CPBnOP ビット、CPBOCR.CPBnOE ビットを設定)。
- (3) CMPOB0、CMPOB1 出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする (端子から出力開始)。

### 39.3.3 コンパレータ B を使用したソフトウェアスタンバイモード復帰例

コンパレータ B0 出力を使用してソフトウェアスタンバイモードから復帰する例を示します。

この例では、ソフトウェアスタンバイモード移行前がリファレンス入力電圧 (CVREFB0) > アナログ入力電圧 (CMPB0) の場合を示します。

ソフトウェアスタンバイモード移行前に下記 (1) ~ (3) の設定を行ってください。

- (1) 「39.3 動作説明」に従ってコンパレータ B0 関連レジスタの設定を行ってください。  
ただし、CPBF.CPB0FEN ビットはフィルタ無効、CPBOCR.CPB0OE ビットは出力許可、CPBOCR.CPB0OP ビットはコンパレータ B0 出力を CMPOB0 へ出力に設定してください。
- (2) 「14.4.8 外部端子割り込み」に従って IRQ7 の割り込み設定を行ってください。  
ただし、IRQFLTE0.FLTEN7 ビットは“0” (デジタルフィルタ無効)、IRQCR7.IRQMD[1:0] ビットはコンパレータ B0 出力と同じ極性を選択してください。  
この例では立ち上がりエッジ選択となります。
- (3) マルチファンクションピンコントローラ (MPC) の設定で CMPOB0 機能選択と IRQ7 を有効にしてください。

ソフトウェアスタンバイモードから復帰する場合は、コンパレータ B0 用アナログ端子 (CMPB0) からリファレンス入力電圧 (CVREFB0) < アナログ入力電圧 (CMPB0) となる電圧を入力することで、コンパレータ B0 出力端子 (CMPOB0) を経由して IRQ7 割り込みが発生し、ソフトスタンバイモードから復帰します。

## 39.4 コンパレータ B0、コンパレータ B1 割り込み

コンパレータ B はコンパレータ B0、コンパレータ B1 の 2 つの割り込み要求を発生します。コンパレータ Bn 割り込み (n = 0, 1) は、IR058.IR、IR059.IR フラグ、IPR058.IPR[3:0]、IPR059.IPR[3:0] ビットと、それぞれ 1 つの割り込みベクタを持ちます。

コンパレータ Bn 割り込みを使用するときは、CPBINT.CPBnINTEN ビットを“1”(割り込み許可)にしてください。さらに片エッジ検出か両エッジ検出かを CPBINT.CPBnINTEG ビットで選択できます。片エッジ選択時は極性を CPBINT.CPBnINTPL ビットで選択できます。

また、4 種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

## 39.5 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して以下のタイミングでイベント出力を行う機能を持っています。

(1) コンパレータ B0 の比較結果が変化したとき

(2) コンパレータ B0、B1 の比較結果が変化したとき

コンパレータ B0、B1 からの結果が同時、あるいは連続して出力された場合、1 つのイベントとして出力されます。

### 39.5.1 割り込み処理とイベントリンクの関係

コンパレータ Bn はイベントリンクコントローラ (ELC) へイベントを出力し、あらかじめ設定したモジュールを動作させることができます。ELC へのイベントは CPBnINTEN ビットの値に関わらず出力されます。

コンパレータ Bn から ELC へのイベント出力信号は、割り込み要求信号と同様に片エッジ検出か両エッジ検出かを CPBINT.CPBnINTEG ビットで選択できます。片エッジ選択時は極性を CPBINT.CPBnINTPL ビットで選択できます。

## 39.6 使用上の注意事項

### 39.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ B の動作禁止 / 許可を設定することが可能です。リセット後、コンパレータ B の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。



## 40. データ演算回路 (DOC)

### 40.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算をする機能です。

表 40.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 40.1 に示します。

16 ビットのデータを比較し、選択した条件に該当する場合に割り込みを発生させることができます。

表 40.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> <li>データ比較の結果が一致または不一致のとき</li> <li>データ加算の結果が“FFFFh”より大きくなったとき</li> <li>データ減算の結果が“0000h”より小さくなったとき</li> </ul>
イベントリンク機能(出力)	<ul style="list-style-type: none"> <li>データ比較の結果が一致または不一致のとき</li> <li>データ加算の結果が“FFFFh”より大きくなったとき</li> <li>データ減算の結果が“0000h”より小さくなったとき</li> </ul>

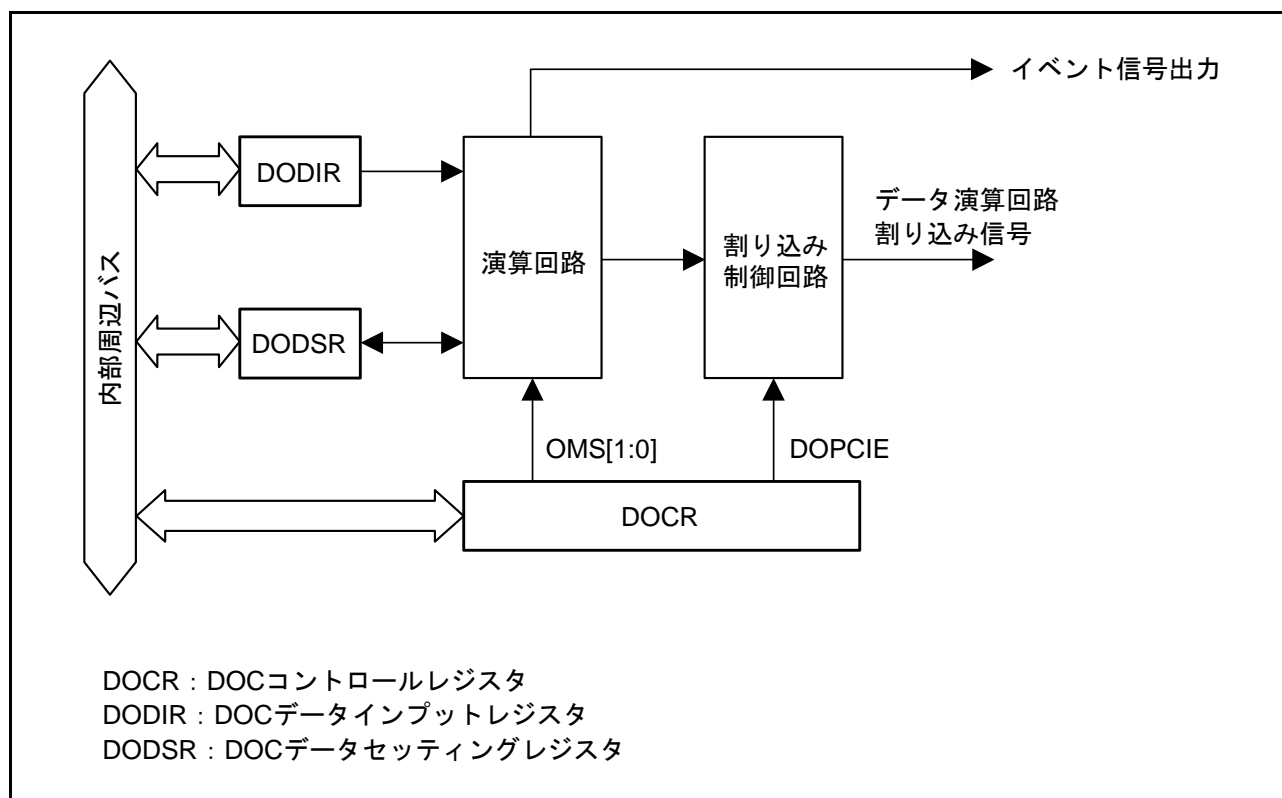


図 40.1 データ演算回路のブロック図

## 40.2 レジスタの説明

### 40.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定しないでください	R/W
b2	DCSEL <sup>(注1)</sup>	検出条件選択ビット	データ比較の結果 0 : 不一致を検出する 1 : 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : データ演算回路割り込み無効 1 : データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0 : DOPCFフラグ状態を保持 1 : DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード選択時のみ有効

#### OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

#### DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

#### DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

#### DOPCF フラグ (データ演算回路フラグ)

["1"になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

["0"になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

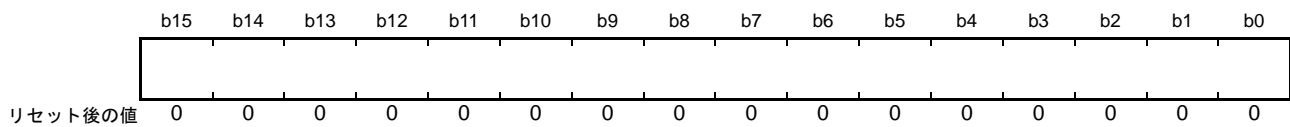
#### DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

### 40.2.2 DOC データインプットレジスタ (DODIR)

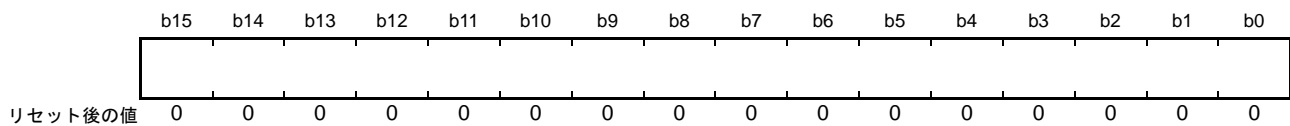
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し / 書き込み可能なレジスタです。

### 40.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、16 ビットの読み出し / 書き込み可能なレジスタです。データ比較モードでは、基準となる 16 ビットのデータを格納します。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

## 40.3 動作説明

### 40.3.1 データ比較モード

図 40.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに基準となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (4) すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった (注 1) とき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCFCL ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. DOCR.DCSEL = 0 の場合

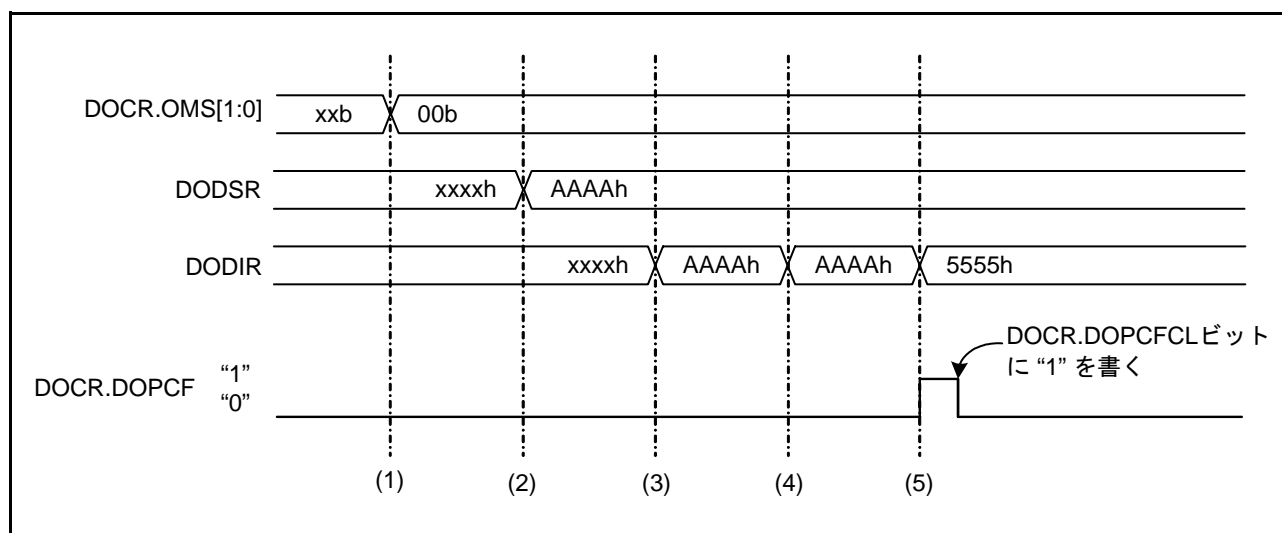


図 40.2 データ比較モードの動作例

### 40.3.2 データ加算モード

図 40.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

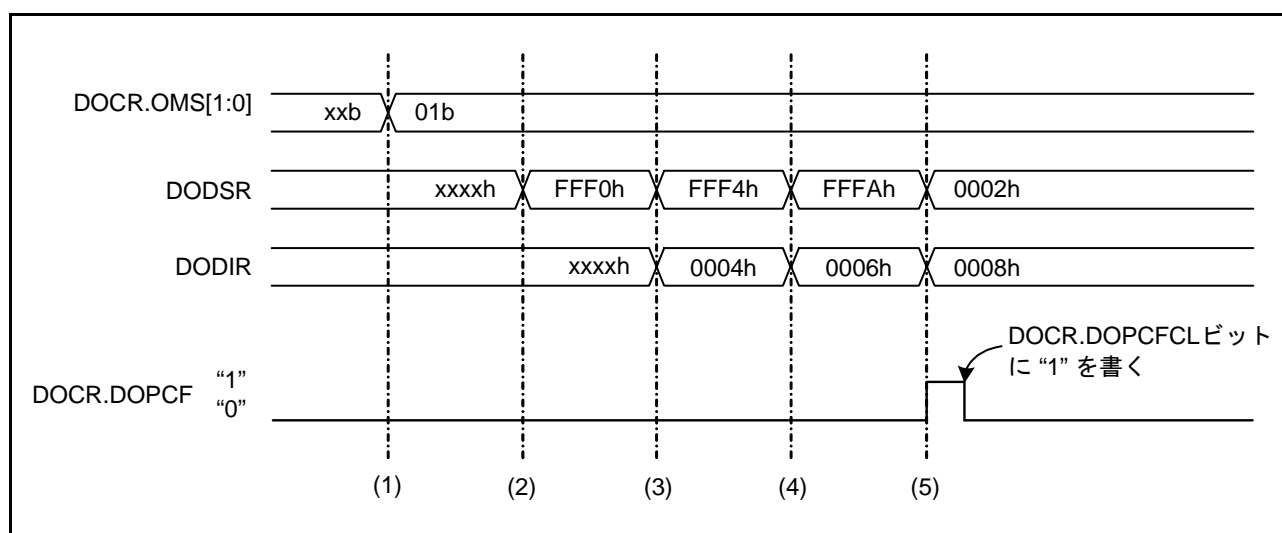


図 40.3 データ加算モードの動作例

### 40.3.3 データ減算モード

図 40.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCFCL ビットが“1”の場合は、データ演算回路割り込みが発生します。

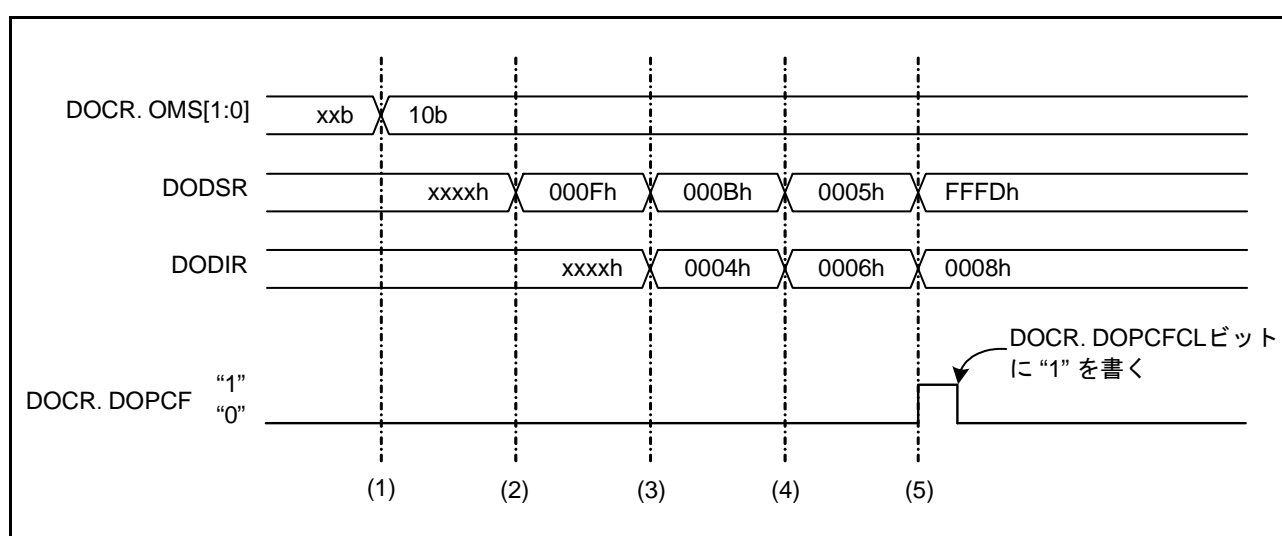


図 40.4 データ減算モードの動作例

## 40.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表 40.2 に割り込み要求の内容を示します。

表 40.2 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> <li>• データ比較の結果が一致または不一致のとき</li> <li>• データ加算の結果が“FFFFh”より大きくなったとき</li> <li>• データ減算の結果が“0000h”より小さくなったとき</li> </ul>

## 40.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が一致または不一致のとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

### 40.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可 / 禁止するビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

## 40.6 使用上の注意事項

### 40.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作を禁止 / 許可することが可能です。初期値では、データ演算回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

## 41. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

### 41.1 概要

表 41.1 に RAM の仕様を示します。

表 41.1 RAM の仕様

項目	内容
RAM容量	最大64Kバイト(注2)
アクセス	<ul style="list-style-type: none"> <li>読み出し、書き込みともに1サイクルで動作</li> <li>RAM有効/無効選択可能(注1)</li> </ul>
消費電力低減機能	モジュールストップ状態への設定が可能

注1. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.2 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

注2. 製品によってRAM容量が異なります。

RAM容量	RAMアドレス
64Kバイト	RAM0 : 0000 0000h ~ 0000 FFFFh
32Kバイト	RAM0 : 0000 0000h ~ 0000 7FFFh

### 41.2 動作説明

#### 41.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にセットすると RAM0 に供給されるクロックが停止します。

クロック供給の停止により、RAM0 はモジュールストップ状態になります。リセット後の初期値では、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。



## 42. フラッシュメモリ (FLASH)

本 MCU は、128K/256K/384K/512K バイトのユーザ領域 (ROM) と 8K バイトのデータ領域 (E2 データフラッシュ) を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

### 42.1 概要

表 42.1 にフラッシュメモリの仕様を示します。

表 42.6 にブートモードで使用する入出力端子を示します。

表 42.1 フラッシュメモリの仕様

項目	内容
メモリ空間	<ul style="list-style-type: none"> <li>ユーザ領域：最大512Kバイト</li> <li>データ領域：8Kバイト</li> <li>エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニークIDを格納</li> </ul>
ソフトウェアコマンド	<ul style="list-style-type: none"> <li>以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレーズ、ユニークIDリード</li> <li>エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム</li> </ul>
イレーズ後の値	<ul style="list-style-type: none"> <li>ROM：FFh</li> <li>E2データフラッシュ：FFh</li> </ul>
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) <ul style="list-style-type: none"> <li>シリアルコミュニケーションインタフェースのチャンネル1 (SCI1) を調歩同期式モードで使用</li> <li>ユーザ領域とデータ領域を書き換え可能</li> </ul> ブートモード (FINE インタフェース) (注1) <ul style="list-style-type: none"> <li>FINE を使用</li> <li>ユーザ領域とデータ領域を書き換え可能</li> </ul> ブートモード (USB インタフェース) (注1) <ul style="list-style-type: none"> <li>USB2.0 ファンクションモジュールのチャンネル0 (USB0) を使用</li> <li>ユーザ領域とデータ領域を書き換え可能</li> <li>セルフパワー、バスパワーいずれのモードでもフラッシュ書き換えが可能</li> <li>USB ケーブルだけを用いてパソコンと接続が可能</li> </ul> セルフプログラミング (シングルチップモード) <ul style="list-style-type: none"> <li>ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換えが可能</li> </ul>
オフボードプログラミング	本 MCU に対応したフラッシュプログラマを使用して、ユーザ領域とデータ領域の書き換えが可能
IDコードプロテクト	<ul style="list-style-type: none"> <li>ブートモード時、シリアルプログラマとの接続の許可または禁止を、IDコードにより制御可能</li> <li>オンチップデバッグエミュレータ接続時、IDコードにより制御可能</li> </ul>
スタートアッププログラム保護機能	ブロック0～15の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能
バックグラウンドオペレーション (BGO) 機能	E2 データフラッシュの書き換え中に、ROM 上に配置されたプログラムを実行可能

注1. 詳細については各シリアルプログラマのマニュアル、『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザズ・マニュアル』をご参照ください。

## 42.2 ROMの領域とメモリプレーン、ブロックの構成

本MCUのROMは最大で512Kバイトありますが、256Kバイトを超える製品では256Kバイトを境界に2つのメモリプレーンに分割されています。また、各プレーンは1Kバイトのブロックと呼ばれる単位に分割されており、1プレーンには最大で256のブロックがあります。ブロックイレースコマンドはブロック単位でメモリの消去を実行します。図42.1にROMの領域とメモリプレーン、ブロックの構成を示します。

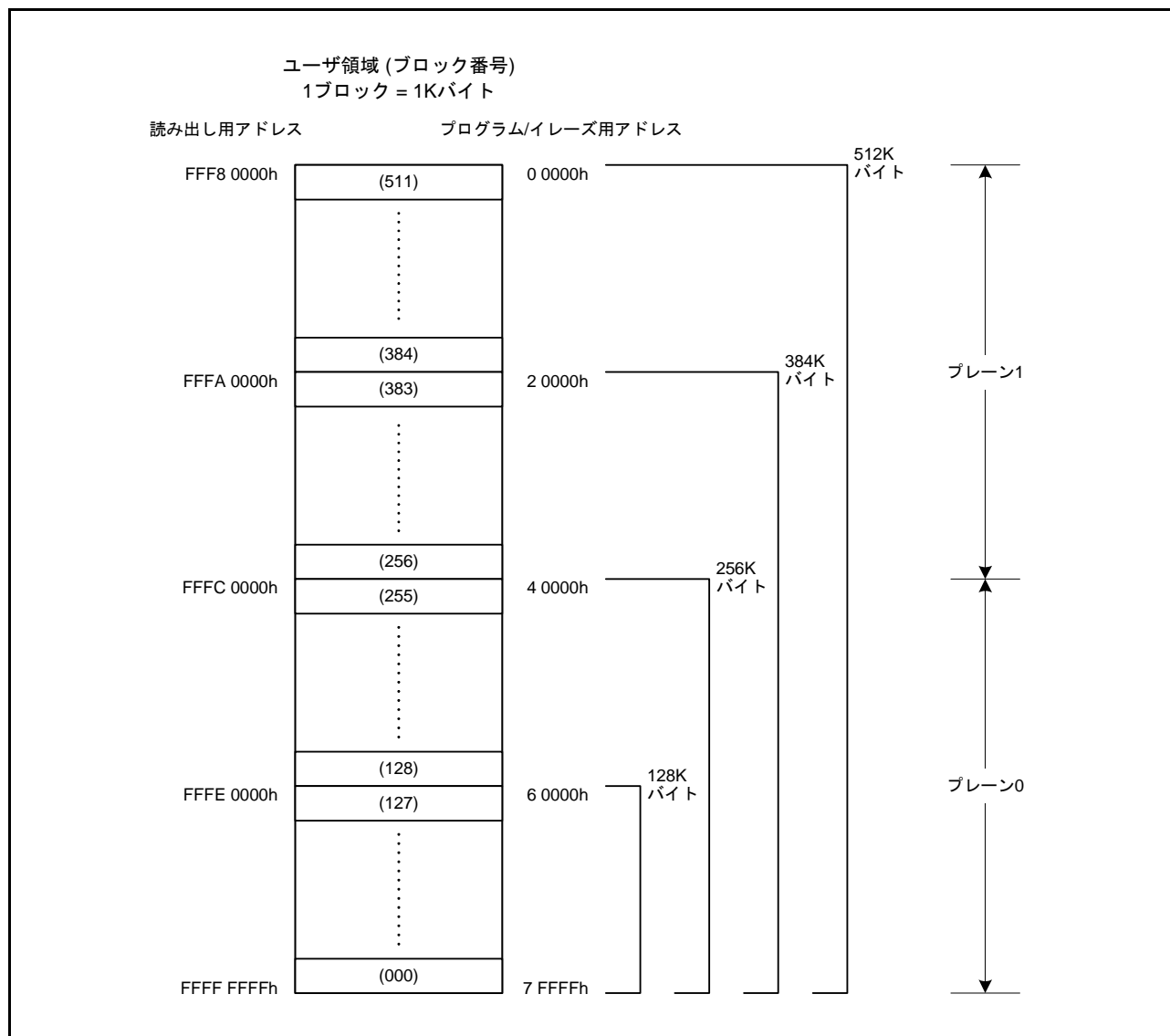


図 42.1 ROMの領域とメモリプレーン、ブロックの構成

表 42.2 ROM容量と読み出し用アドレス対応表

ROM容量	読み出し用アドレス
512Kバイト	FFF8 0000h ~ FFFF FFFFh
384Kバイト	FFFA 0000h ~ FFFF FFFFh
256Kバイト	FFFC 0000h ~ FFFF FFFFh
128Kバイト	FFFE 0000h ~ FFFF FFFFh

### 42.3 E2 データフラッシュの領域とブロックの構成

本 MCU の E2 データフラッシュは 8K バイトで構成されています。ブロックに分割されており、イレーズはこのブロック単位で行います。図 42.2 に E2 データフラッシュの領域とブロックの構成を示します。

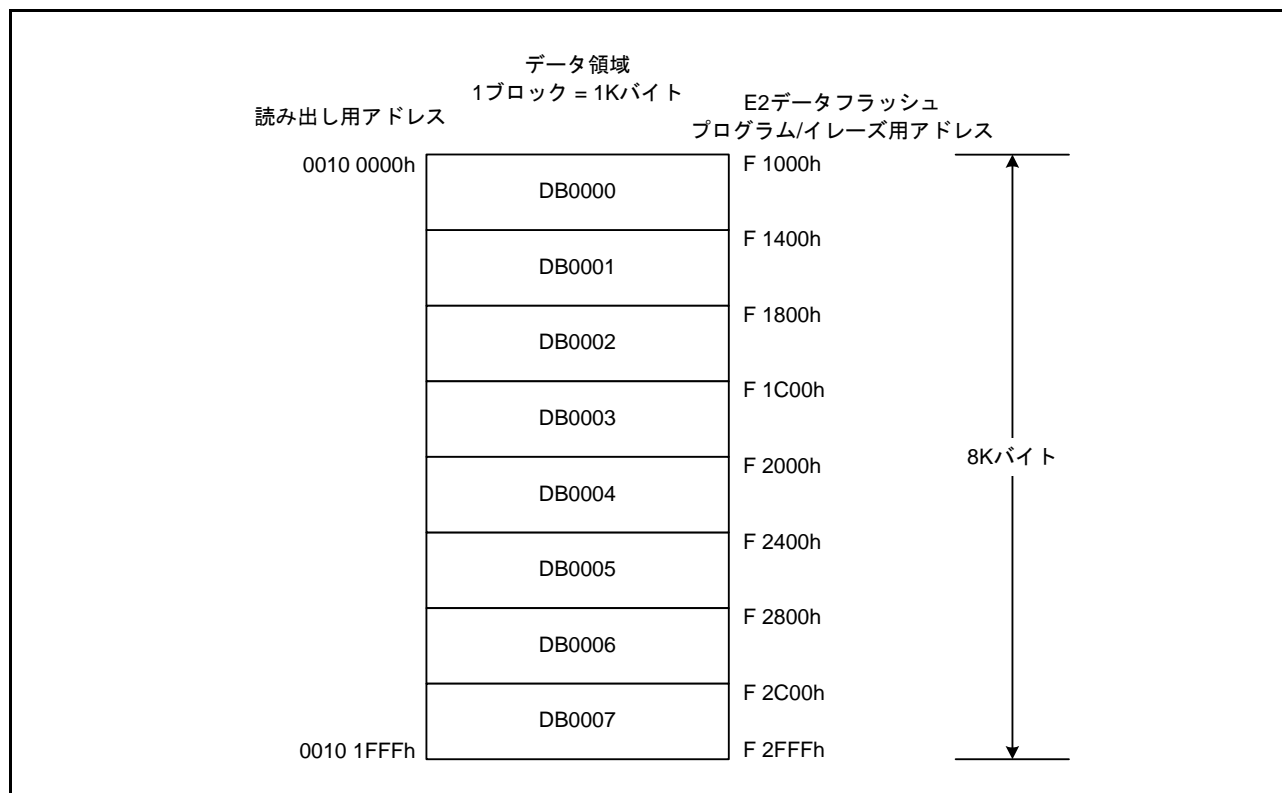


図 42.2 E2 データフラッシュの領域とブロックの構成

## 42.4 レジスタの説明

### 42.4.1 E2 データフラッシュ制御レジスタ (DFLCTL)

アドレス FLASH.DFLCTL 007F C090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)禁止 1: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユニークIDリード、スタートアップ領域情報プログラム、およびアクセスウィンドウ情報プログラム

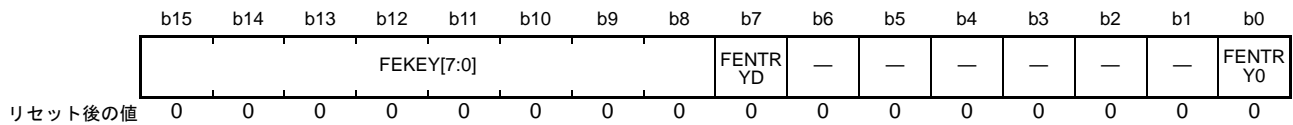
DFLCTL レジスタは、E2 データフラッシュへのアクセス(リード、プログラム、イレーズ)の許可/禁止およびP/Eモード時におけるエクストラ領域へのアクセス(ユニークIDリード、スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム)を許可/禁止するためのレジスタです。

E2 データフラッシュのリード、プログラム、イレーズを行う場合は、DFLCTL.DFLEN ビットを“1”にしてE2 データフラッシュ STOP 解除時間 (tDSTOP) 経過後にE2 データフラッシュの読み出しとE2 データフラッシュ P/E モードへの遷移を行ってください。E2 データフラッシュ STOP 解除時間 (tDSTOP) を経過するまではE2 データフラッシュの読み出しとE2 データフラッシュ P/E モードへの遷移を行わないでください。

E2 データフラッシュ P/E モードについては、「42.7.1 シーケンサのモード」を、E2 データフラッシュ STOP 解除時間 (tDSTOP) については、「43. 電気的特性」を参照してください。

## 42.4.2 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモードエントリビット	0 : E2データフラッシュはリードモード 1 : E2データフラッシュはP/Eモードエントリ可能	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROM や E2 データフラッシュを書き換えるためには、FENTRYD ビットと FENTRY0 ビットのいずれかを“1”にして P/E モードに移行させる必要があります。

リードモードに戻るときは、FENTRYR レジスタを設定した後、値が書き換わっていることを確認してから、ROM や E2 データフラッシュのリードを行ってください。

P/E モード、リードモードについては、「42.7.1 シーケンサのモード」を参照してください。

**FENTRY0 ビット (ROM P/E モードエントリビット 0)**

ROM を P/E モードに移行させるためのビットです。

["1" になる条件]

- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA01h”を書いた場合

注． ROM P/E モードに遷移する場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM ヘコピーして内蔵 RAM ヘジャンプしてください。ただし、E2 データフラッシュは、ROM 上に配置されたプログラムで書き換え可能です。

["0" になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

**FENTRYD ビット (E2 データフラッシュ P/E モードエントリビット)**

E2 データフラッシュを P/E モードに移行させるためのビットです。

["1" になる条件]

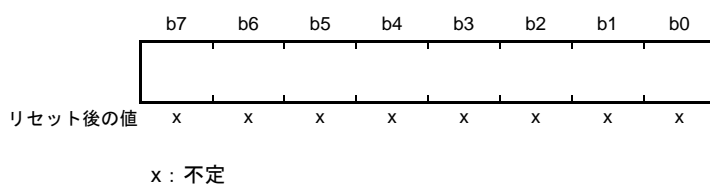
- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA80h”を書いた場合

["0" になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

### 42.4.3 プロテクト解除レジスタ (FPR)

アドレス FLASH.FPR 007F C0C0h



本レジスタは、CPU が暴走したときに備え、FPMCR レジスタが容易に書き換えられないように保護するためのライトオンリのレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCR レジスタへの書き込みが有効になります。

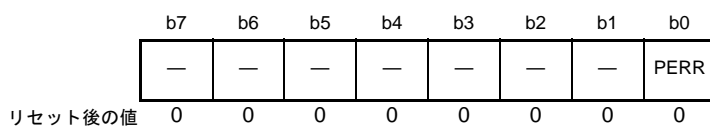
#### プロテクト解除手順

- (1) FPR レジスタに“A5h”を書き込む
- (2) FPMCR レジスタに設定したい値を書き込む
- (3) FPMCR レジスタに設定したい値の反転値を書き込む
- (4) FPMCR レジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERR フラグが“1”になります。

### 42.4.4 プロテクト解除ステータスレジスタ (FPSR)

アドレス FLASH.FPSR 007F C0C1h



ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0 : エラーなし 1 : エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

#### PERR フラグ (プロテクトエラーフラグ)

FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

【“1”になる条件】

- FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

【“0”になる条件】

- 「42.4.3 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

## 42.4.5 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス FLASH.FPMCR 007F FF80h

b7	b6	b5	b4	b3	b2	b1	b0
FMS2	LVPE	—	FMS1	RPDIS	—	FMS0	—

リセット後の値 0 0 0 0 1 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS2 FMS1 FMS0 0 0 0: ROM/E2データフラッシュリードモード 0 1 0: E2データフラッシュ P/Eモード 0 1 1: ディスチャージモード1 1 0 1: ROM P/Eモード 1 1 1: ディスチャージモード2 上記以外は設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RPDIS	ROM P/E 禁止ビット	0: ROMはプログラム/イレーズ可能 1: ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0ビットを参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVPE	低電圧P/Eモード有効ビット	0: 低電圧P/Eモード無効 1: 低電圧P/Eモード有効	R/W
b7	FMS2	フラッシュ動作モード選択ビット2	FMS0ビットを参照してください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください(詳細は「42.4.3 プロテクト解除レジスタ (FPR)」を参照)。

ディスチャージモード2、ROM P/Eモードに遷移する場合、もしくはそのモード中はRAM上で命令を実行する必要があります。

## FMS0, FMS1, FMS2 ビット (フラッシュ動作モード選択ビット0～フラッシュ動作モード選択ビット2)

フラッシュの動作モードを設定します。

[リードモードからROM P/Eモードに遷移する場合]

FMS2 ビット = 0、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

ROMモード遷移待ち時間1 (tDIS、「43. 電気的特性」を参照) 待ちます。

FMS2 ビット = 1、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

FMS2 ビット = 1、FMS1 ビット = 0、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

ROMモード遷移待ち時間2 (tMS、「43. 電気的特性」を参照) 待ちます。

[ROM P/Eモードからリードモードに遷移する場合]

FMS2 ビット = 1、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

ROMモード遷移待ち時間1 (tDIS、「43. 電気的特性」を参照) 待ちます。

FMS2 ビット = 0、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

FMS2 ビット = 0、FMS1 ビット = 0、FMS0 ビット = 0、RPDIS ビット = 1 に設定します。

ROMモード遷移待ち時間2 (tMS、「43. 電気的特性」を参照) 待ちます。

[リードモードからE2データフラッシュ P/Eモードに遷移する場合]

FMS2 ビット = 0、FMS1 ビット = 1、FMS0 ビット = 0、RPDIS ビット = 0 に設定します。

[E2 データフラッシュ P/E モードからリードモードに遷移する場合]

FMS2 ビット = 0、FMS1 ビット = 0、FMS0 ビット = 0、RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「43. 電気的特性」を参照) 待ちます。

#### RPDIS ビット (ROM P/E 禁止ビット)

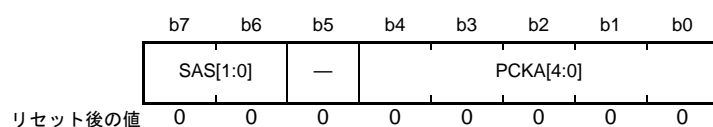
ROM のプログラム / イレーズ実行をソフトウェアによって禁止します。

#### LVPE ビット (低電圧 P/E モード有効ビット)

高速モード時にプログラム / イレーズを実施する場合は“0”に、中速モード時にプログラム / イレーズを実施する場合は“1”にしてください。

### 42.4.6 フラッシュ初期設定レジスタ (FISR)

アドレス FLASH.FISR 007F C0B6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PCKA[4:0]	周辺クロック通知ビット	FlashIF クロック (FCLK) の周波数を設定するためのビットです	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

#### PCKA[4:0] ビット (周辺クロック通知ビット)

ROM/E2 データフラッシュのプログラム / イレーズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム / イレーズを行う前に PCKA[4:0] ビットに FCLK の周波数を設定してください。ROM/E2 データフラッシュのプログラム / イレーズ中は、FCLK の周波数を変更しないでください。

[FCLK が 4 MHz より高い場合]

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[4:0] ビット = 11111b) に設定してください。

[FCLK が 4 MHz 以下の場合]

小数部のある周波数は使用しないでください。

1 MHz、2 MHz、3 MHz または 4 MHz の周波数で使用してください。

注. FCLK と異なる周波数を PCKA[4:0] ビットに設定した場合、ROM/E2 データフラッシュのデータが破壊される可能性があります。



表 42.3 FlashIFクロック周波数設定例

FlashIFのクロック周波数 (MHz)	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 (MHz)	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 (MHz)	PCKA[4:0] ビット設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

### SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の3種類の方法があります。

#### (1) エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合

SAS[1:0] ビットが“00b”または“01b”の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。

#### (2) 一時的にスタートアップ領域をデフォルト領域に切り替える場合

SAS[1:0] ビットを“10b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。

#### (3) 一時的にスタートアップ領域を代替領域に切り替える場合

SAS[1:0] ビットを“11b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

### 42.4.7 フラッシュリセットレジスタ (FRESETR)

アドレス FLASH.FRESETR 007F FF89h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRESE T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0 : フラッシュ制御回路のリセットを解除する 1 : フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

#### FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR、FSARH、FSARL、FEARH、FEARL、FWBH、FWBL、FCR、FEXCR レジスタがリセットされます。また、FEAMH、FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

### 42.4.8 フラッシュ領域選択レジスタ (FASR)

アドレス FLASH.FASR 007F FF81h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0 : ユーザ領域、データ領域 1 : エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みません。

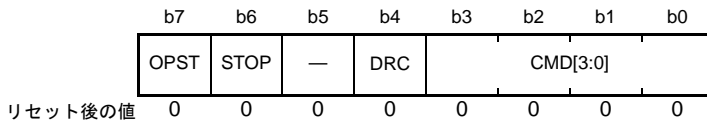
#### EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド(ユニーク ID リード、スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム)を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド(プログラム、ブランクチェック、ブロックイレーズ)を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

## 42.4.9 フラッシュ制御レジスタ (FCR)

アドレス FLASH.FCR 007F FF85h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0001: プログラム 0011: ブランクチェック 0100: ブロックイレーズ 0101: ユニークIDリード 上記以外は設定しないでください(注1)	R/W
b4	DRC	データリード完了ビット	0: データリード開始 1: データリード完了	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができます	R/W
b7	OPST	処理開始ビット	0: 処理停止 1: 処理開始	R/W

注1. FSTATR1.FRDYフラグが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時、または E2 データフラッシュ P/E モード時に書き込みができます。

FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

[ROM が 384K バイトまたは 512K バイトの製品の場合]

メモリプレーン境界 (256K バイト境界) をまたいだブランクチェック、ブロックイレーズはできません。

### CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、ユニーク ID リード) を設定します。それぞれのコマンドの機能を以下に示します。

[プログラム]

- FSARH/FSARL レジスタに設定したアドレスに、FWBH/FWBL レジスタに設定した値を書き込みます。

[ブランクチェック]

- FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

[ブロックイレーズ]

- 同一メモリプレーン内の任意の連続した領域をブロック単位で消去します。消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

[ユニーク ID リード]

- FSARH レジスタに“00h”、FSARL レジスタに“0850h”を、FEARH レジスタに“00h”、FEARL レジスタに

“086Fh”を設定しユニーク ID リードを実行すると、FRBH/FRBL レジスタにユニーク ID データが順次格納されます。

#### **DRC ビット (データリード完了ビット)**

ユニーク ID リードコマンドとともに用いて、シーケンサの状態を制御します。

このビットを“0”にしてユニーク ID リードコマンドを発行すると、FSARH/FSARL レジスタに設定したアドレスからデータが読み出され、FRBH/FRBL レジスタに格納されます。

FRBH/FRBL レジスタからデータを読み出した後、このビットを“1”にしてユニーク ID リードコマンドを発行すると、シーケンサのリードサイクルが終了し、待機状態になります。

再び、このビットを“0”にしてユニーク ID リードコマンドを発行すると、シーケンサの内部アドレスがインクリメント (+4) され、次のデータが読み出されます。

#### **STOP ビット (強制処理停止ビット)**

実行中の処理 (ブランクチェック、ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを“1”にした後は、FSTATR1.FRDY フラグが“1” (処理完了) になるのを待ってから OPST ビットを“0”にしてください。

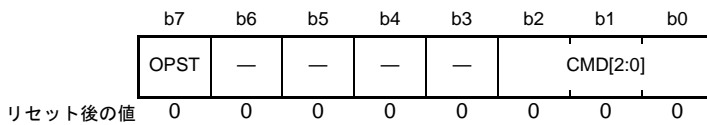
#### **OPST ビット (処理開始ビット)**

CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.FRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.FRDY フラグが“0”になったのを確認してから次の処理を実施してください。

## 42.4.10 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス FLASH.FEXCR 007F C0B7h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット	b2 b0 001: スタートアップ領域情報プログラム 010: アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注1)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0: 処理停止 1: 処理開始	R/W

注1. FSTATR1.EXRDYビットが“1”のとき、FEXCRレジスタを“00h”にする場合を除きます。

FEXCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時に書き込みができます。

FEXCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されません。FRESETR.FRESET ビットが“1”の間中は書き込みません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

## CMD[2:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(スタートアップ領域情報プログラム、またはアクセスウィンドウ情報プログラム)を設定します。

各コマンドの詳細を以下に示します。

## [ スタートアップ領域情報プログラム ]

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

- スタートアップ領域をデフォルト領域に設定する場合

FWBH、FWBL レジスタに“FFFFh”を設定してこのコマンドを実行します。

- スタートアップ領域を代替領域に設定する場合

FWBH レジスタに“FFFFh”を、FWBL レジスタに“FEFFh”を設定してこのコマンドを実行します。

なお、FWBH、FWBL レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

## [ アクセスウィンドウ情報プログラム ]

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWBL レジスタにアクセスウィンドウの先頭アドレス(アクセスウィンドウ開始アドレス)を、FWBH レジスタにアクセスウィンドウの最終アドレスの次のアドレス(アクセスウィンドウ終了アドレス)を指定してこのコマンドを発行します。各レジスタにはプログラム/イレーズ用アドレスの b19-b10 を設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

## OPST ビット (処理開始ビット)

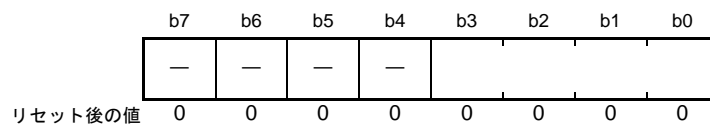
CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域へのプログラムが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

#### 42.4.11 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス FLASH.FSARH 007F FF84h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b19-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

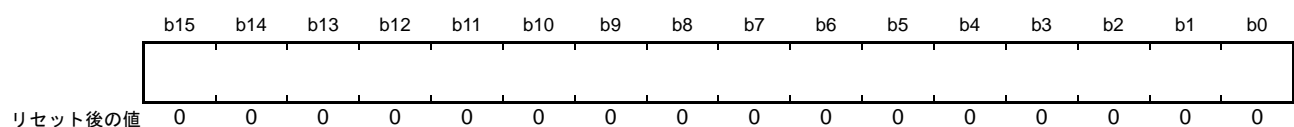
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 42.1、図 42.2 を参照してください。

#### 42.4.12 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス FLASH.FSARL 007F FF82h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b1-b0 には“00b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

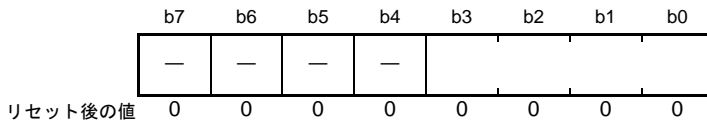
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 42.1、図 42.2 を参照してください。

### 42.4.13 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス FLASH.FEARH 007F FF88h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b19-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

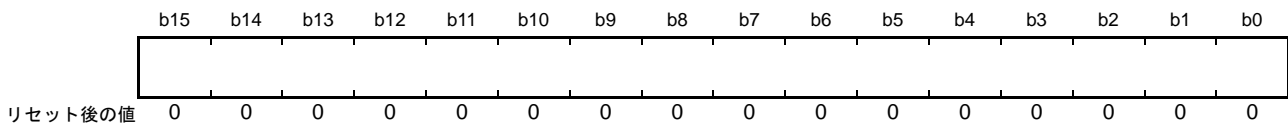
FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 42.1、図 42.2 を参照してください。

### 42.4.14 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス FLASH.FEARL 007F FF86h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b1-b0 には“00b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

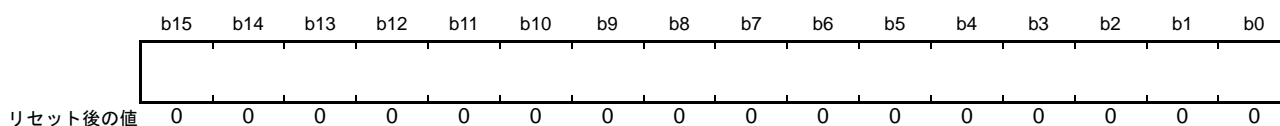
フラッシュメモリのアドレスは、図 42.1、図 42.2 を参照してください。

[ROM が 384K バイトまたは 512K バイトの製品の場合]

フラッシュ処理開始アドレスレジスタとフラッシュ終了アドレスレジスタには、同一メモリプレーン内のアドレスを指定してください。

#### 42.4.15 フラッシュリードバッファレジスタ H (FRBH)

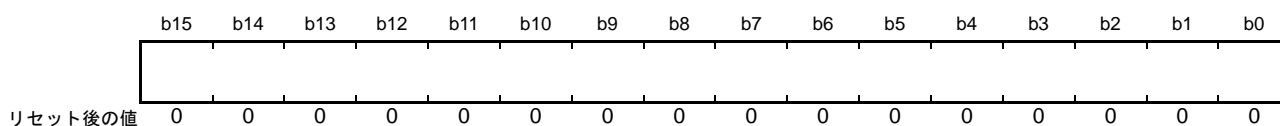
アドレス FLASH.FRBL 007F C0C4h



ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の上位 2 バイトが格納されるレジスタです。

#### 42.4.16 フラッシュリードバッファレジスタ L (FRBL)

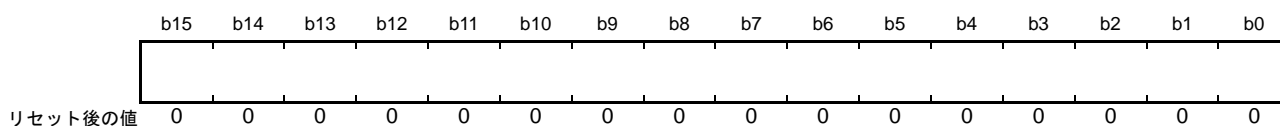
アドレス FLASH.FRBL 007F C0C2h



ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の下位 2 バイトが格納されるレジスタです。

#### 42.4.17 フラッシュライトバッファレジスタ H (FWBH)

アドレス FLASH.FWBH 007F FF8Eh



ROM にプログラムするデータの上位 16 ビットを設定するレジスタです。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みません。

ソフトウェアコマンド実行中は、このレジスタのリード値は不定になります。

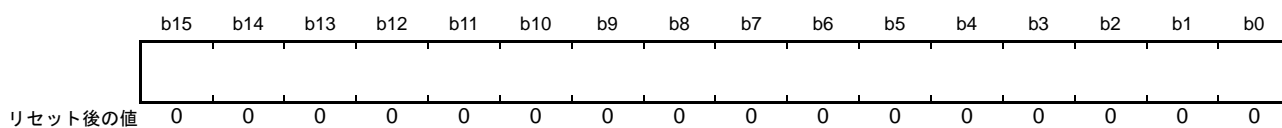
E2 データフラッシュにプログラムするデータは、FWBL レジスタの下位 8 ビットに設定してください。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。



## 42.4.18 フラッシュライトバッファレジスタ L (FWBL)

アドレス FLASH.FWBL 007F FF8Ch



ROM にプログラムするデータの下位 16 ビット、または E2 データフラッシュにプログラムするデータを設定するレジスタです。

E2 データフラッシュにプログラムするデータは、b7-b0 に設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

## 42.4.19 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス FLASH.FSTATR0 007F FF8Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	EILGLERR	ILGLERR	BCERR	—	PRGERR	ERERR
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0: ブランクチェックは正常終了 1: ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0: 不正なソフトウェアコマンドや、不正なアクセスを検出していない 1: 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ	0: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出していない 1: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

**ERERR フラグ (イレーズエラーフラグ)**

ROM/E2 データフラッシュに対するイレーズ処理の結果を示すフラグです。

["1"] になる条件]

- イレーズ中にエラーが発生した

["0"] になる条件]

- 次のソフトウェアコマンドを実行した  
イレーズ中に FCR.STOP ビットを“1” (強制処理停止) にするとフラグの値は不定になります。

**PRGERR フラグ (プログラムエラーフラグ)**

ROM/E2 データフラッシュに対するプログラム処理の結果を示すフラグです。

["1"] になる条件]

- プログラム中にエラーが発生した

["0"] になる条件]

- 次のソフトウェアコマンドを実行した

**BCERR フラグ (ブランクチェックエラーフラグ)**

ROM/E2 データフラッシュに対するブランクチェック処理の結果を示すフラグです。

["1"] になる条件]

- ブランクチェック中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した  
ブランクチェック中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

#### ILGLERR フラグ (イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム/イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが "1" のときに、プログラムコマンド、ブロックイレーズコマンドを実行した
- ROM が P/E モードのときに FSARH/FSARL レジスタに E2 データフラッシュのアドレスを設定して、ソフトウェアコマンドを実行した
- E2 データフラッシュが P/E モードのときに FSARH/FSARL レジスタに ROM のアドレスを設定して、ソフトウェアコマンドを実行した
- ROM/E2 データフラッシュとも P/E モードに設定して、ソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

#### EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- FASR.EXS ビットが "0" のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

## 42.4.20 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス FLASH.FSTATR1 007F FF8Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	EXRDY	FRDY	—	—	—	—	DRRDY	—
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます	R
b1	DRRDY	データリードレディフラグ	0 : FRBH、FRBLレジスタに有効なデータなし 1 : FRBH、FRBLレジスタに有効なデータあり	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0 : 下記以外 1 : FCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0 : 下記以外 1 : FEXCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

**DRRDY フラグ (データリードレディフラグ)**

FRBH、FRBL レジスタへのリードデータの格納状態を確認するためのフラグです。

シーケンサがフラッシュメモリから読み出したデータを FRBH、FRBL レジスタに格納すると、DRRDY フラグが“1”になります。FCR.DRC ビットを“1”にしてユニーク ID コマンドを発行すると、シーケンサのリードサイクルが終了し、DRRDY フラグが“0”になります。

なお、FEARH/FEARL レジスタに設定したアドレスのデータを読み出した後は、FCR.DRC ビットを“0”にしてユニーク ID コマンドを発行しても DRRDY フラグは“1”にならず、FRDY フラグが“1”になります。

**FRDY フラグ (フラッシュレディフラグ)**

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

**EXRDY フラグ (エクストラ領域レディフラグ)**

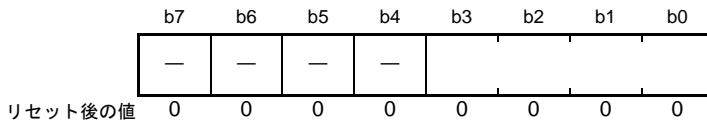
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

#### 42.4.21 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス FLASH.FEAMH 007F C0BAh



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b19-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b19-b16 (ブロックイレーズコマンド) が格納されます。

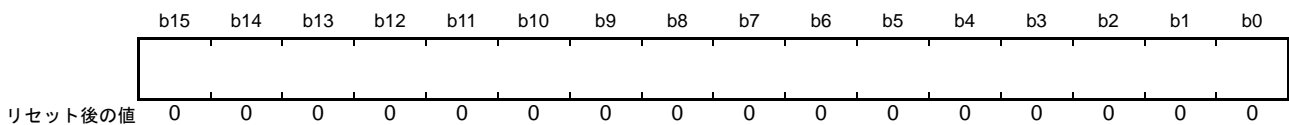
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b19-b16 が格納されます。

フラッシュメモリのアドレスは、[図 42.1](#)、[図 42.2](#) を参照してください。

#### 42.4.22 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス FLASH.FEAML 007F C0B8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されます。

なお、ROM に対するソフトウェアコマンドを実行した場合、およびユニーク ID リードコマンドを実行した場合、下位 2 ビットは“00b”になります。

フラッシュメモリのアドレスは、[図 42.1](#)、[図 42.2](#) を参照してください。

## 42.4.23 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス FLASH.FSCMR 007F C0B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	ユーザ の設定 値 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0: 代替領域から起動する設定になっています 1: デフォルト領域から起動する設定になっています	R
b14-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWBLレジスタのb8に設定した値と同じ値になります。

## SASMF フラグ (スタートアップ領域設定モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

## 42.4.24 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス FLASH.FAWSMR 007F C0B2h

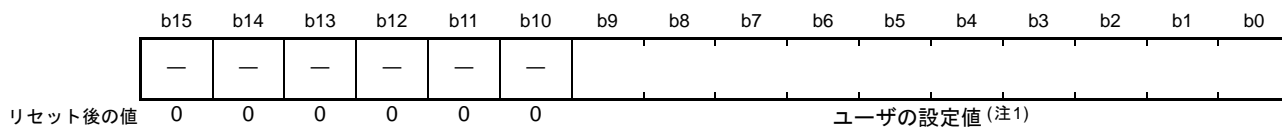
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0										ユーザの設定値 (注1)

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWBLレジスタのb9-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

## 42.4.25 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス FLASH.FAWEMR 007F C0B4h



注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWBHレジスタのb9-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

## 42.4.26 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 31)

アドレス FLASHCONST.UIDR0 0850h~FLASHCONST.UIDR31 086Fh (エクストラ領域)



UIDRn レジスタは、MCU の個体を識別するために用意された 32 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。値を読み出す場合は、フラッシュメモリのユニーク ID リードコマンドを使用してください。

## 42.5 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができようになり、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図42.3にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック0～15をデフォルト領域、ブロック16～31を代替領域と呼びます。

注1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

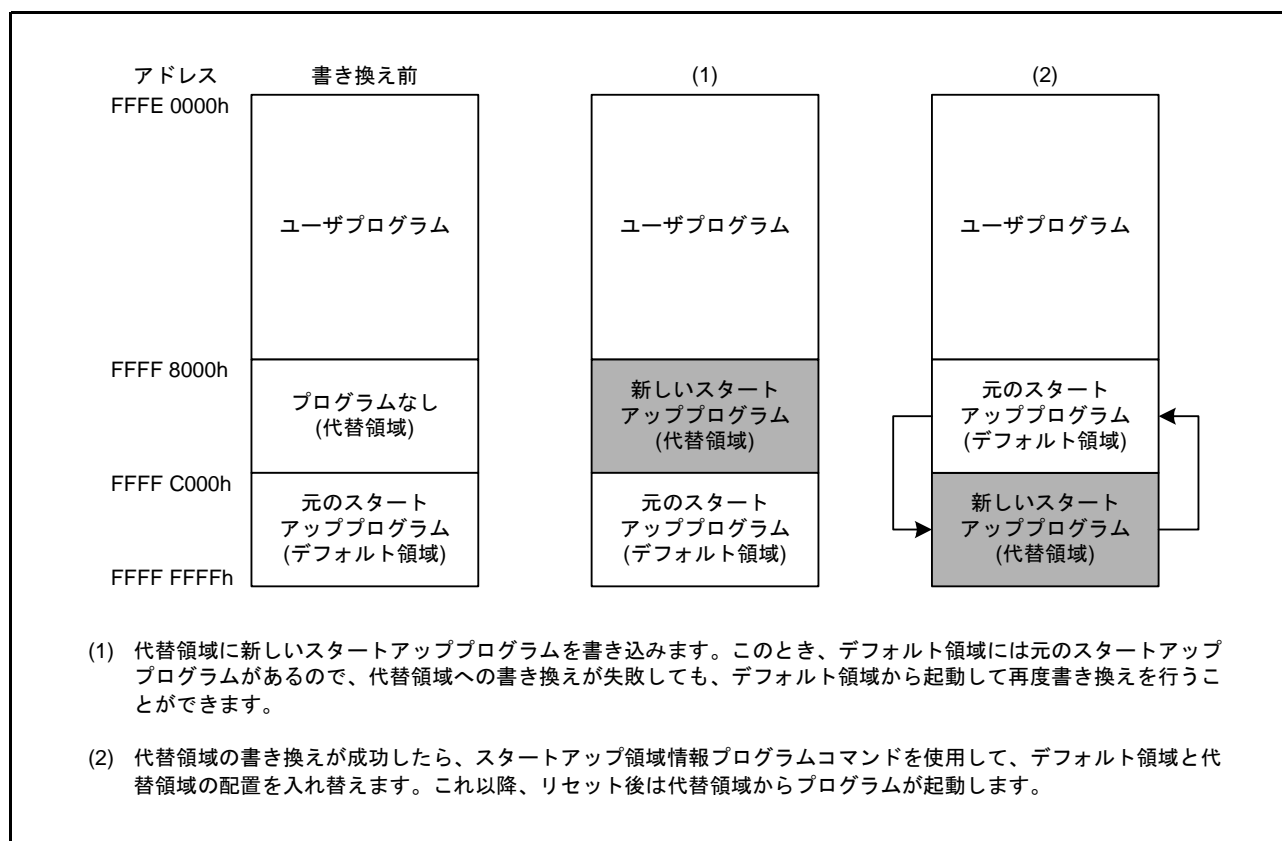


図 42.3 スタートアッププログラム保護機能の概念



## 42.6 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲 (アクセスウィンドウ) のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。データ領域にアクセスウィンドウを設定することはできません。

アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 42.4 にエリアプロテクションの概念を示します。

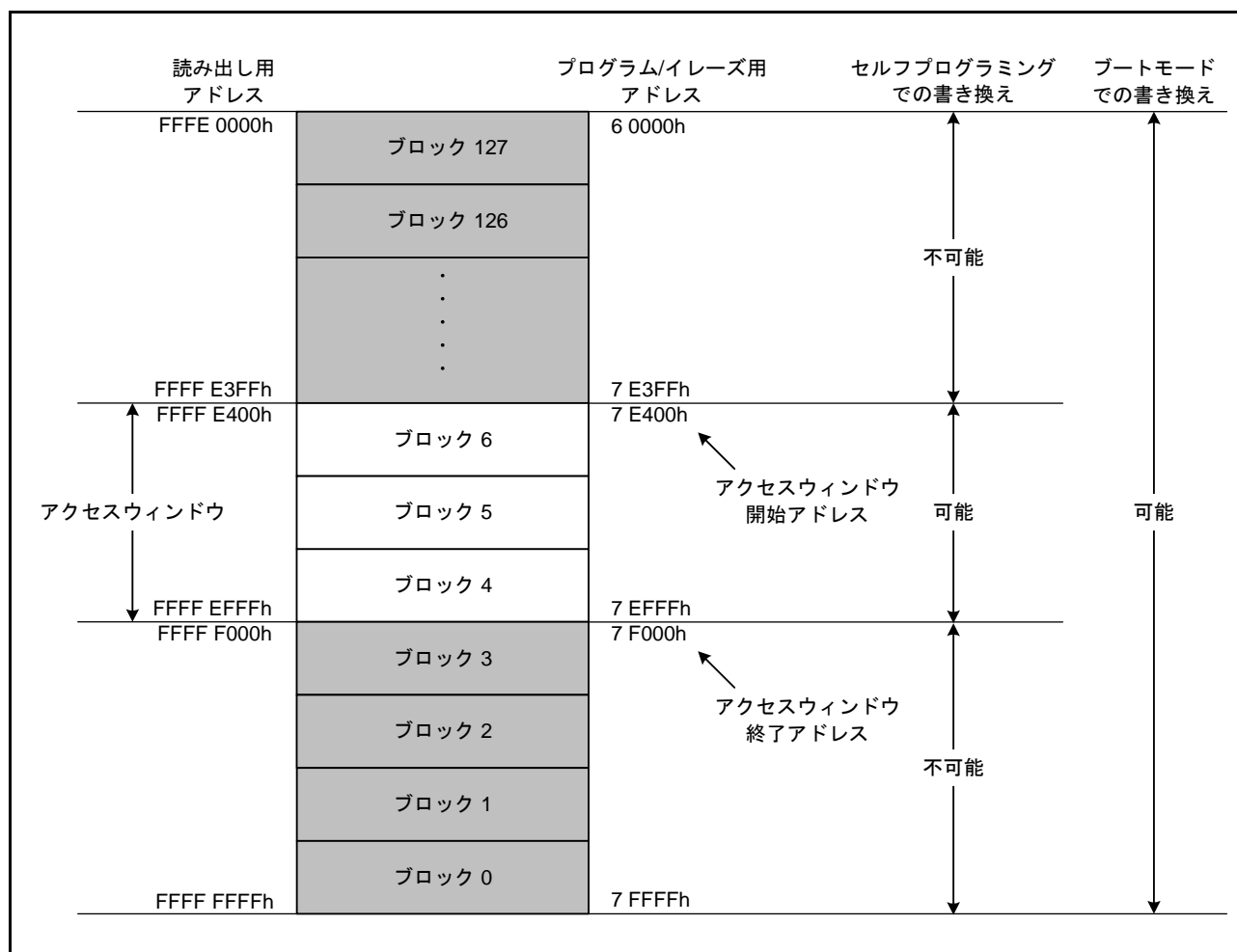


図 42.4 エリアプロテクションの概念 (ROM 容量が 128K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

## 42.7 プログラム/イレーズ

ROM や E2 データフラッシュへのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM や E2 データフラッシュへのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

### 42.7.1 シーケンサのモード

シーケンサには、4 種類のモードがあります。モードの移行は、DFLCTL レジスタ、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 42.5 にフラッシュメモリのモード遷移図を示します。

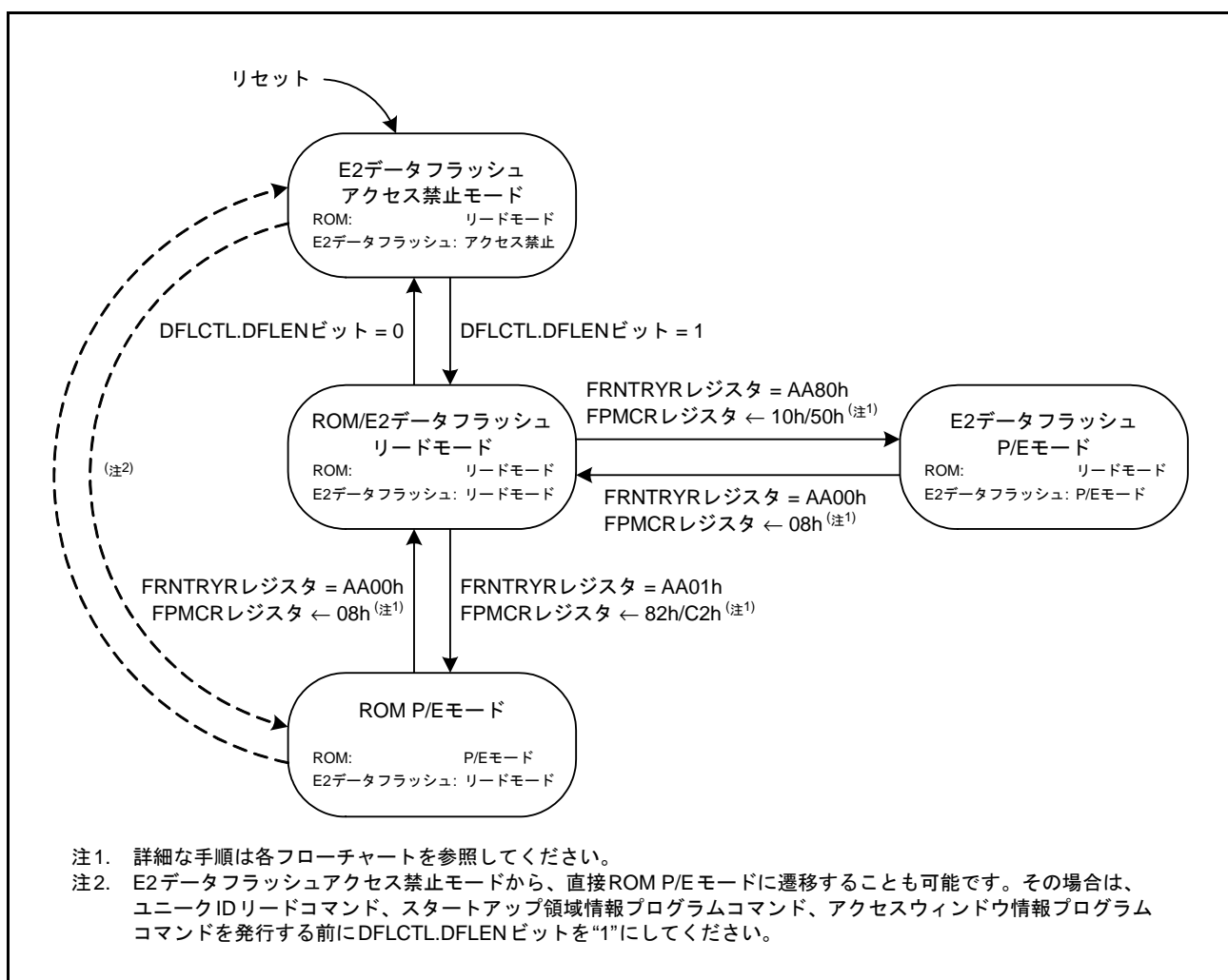


図 42.5 フラッシュメモリのモード遷移図

#### 42.7.1.1 E2 データフラッシュアクセス禁止モード

E2 データフラッシュアクセス禁止モードは、E2 データフラッシュのアクセスが禁止されているモードです。リセット直後はこのモードに遷移します。

DFLCTL.DFLEN ビットを“1”にすると、E2 データフラッシュはリードモードに遷移します。

### 42.7.1.2 リードモード

リードモードは、ROMまたはE2データフラッシュの高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、HCLKクロックの高速読み出しが可能です。

#### (1) ROM/E2データフラッシュリードモード

ROM、E2データフラッシュともにリードモードになっているモードを、ROM/E2データフラッシュリードモードと言います。P/Eモードからは、FPMCRレジスタを“08h”、FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“0”にした場合にこのモードに遷移します。

### 42.7.1.3 P/Eモード

P/Eモードは、ROMまたはE2データフラッシュのプログラム/イレーズを行うモードです。

#### (1) ROM P/Eモード

ROMがP/Eモード、E2データフラッシュがリードモードになっているモードを、ROM P/Eモードと言います。FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“1”、FPMCRレジスタを“82h”または“C2h”にした場合にこのモードに遷移します。

#### (2) E2データフラッシュ P/Eモード

ROMがリードモード、E2データフラッシュがP/Eモードになっているモードを、E2データフラッシュ P/Eモードと言います。FENTRYR.FENTRYDビットを“1”、FENTRYR.FENTRY0ビットを“0”、FPMCRレジスタを“10h”または“50h”にした場合にこのモードに遷移します。

## 42.7.2 モード遷移

### 42.7.2.1 E2データフラッシュアクセス禁止モードからリードモードへの遷移

E2データフラッシュをリードするためには、E2データフラッシュアクセス禁止モードから、ROM/E2データフラッシュリードモードに遷移させる必要があります。

ROM/E2データフラッシュリードモードに遷移させるためには、DFLCTL.DFLENビットを“1”にします。

図 42.6 に E2データフラッシュアクセス禁止モードから ROM/E2データフラッシュリードモードへの遷移フローを示します。

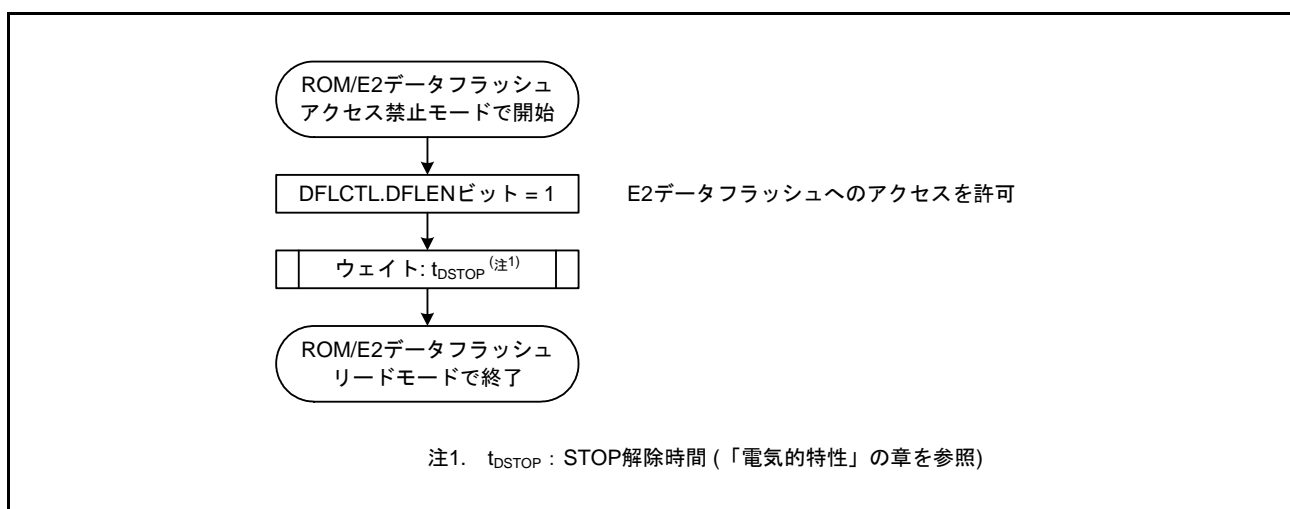


図 42.6 E2データフラッシュアクセス禁止モードからROM/E2データフラッシュリードモードへの遷移フロー

## 42.7.2.2 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 42.7 に ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フローを、図 42.8 に ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フローを示します。

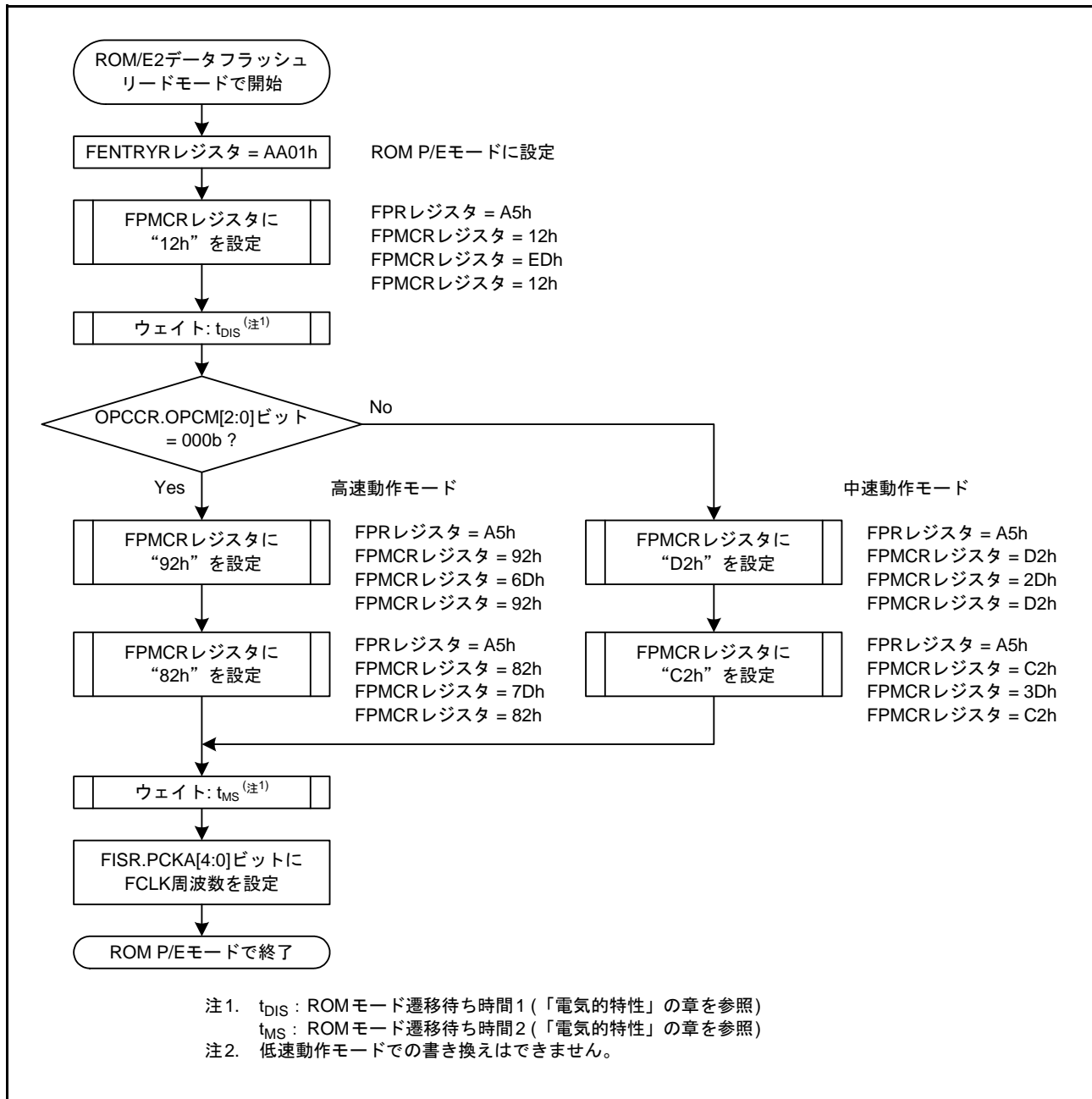


図 42.7 ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フロー

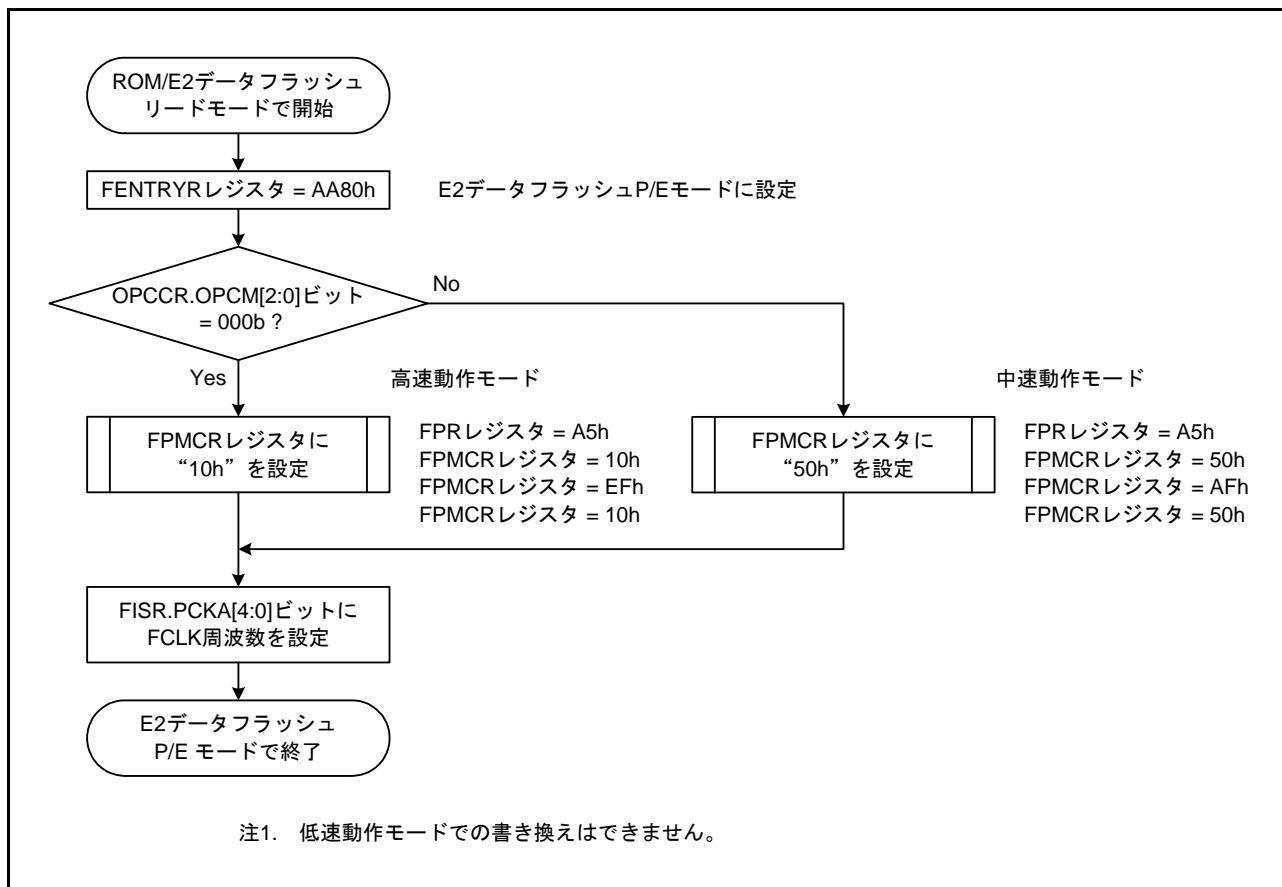


図 42.8 ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フロー

## 42.7.2.3 P/E モードからリードモードへの遷移

ROM の高速読み出しを行うためには、ROM/E2 データフラッシュリードモードに遷移させる必要があります。

図 42.9 に ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを、図 42.10 に E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを示します。

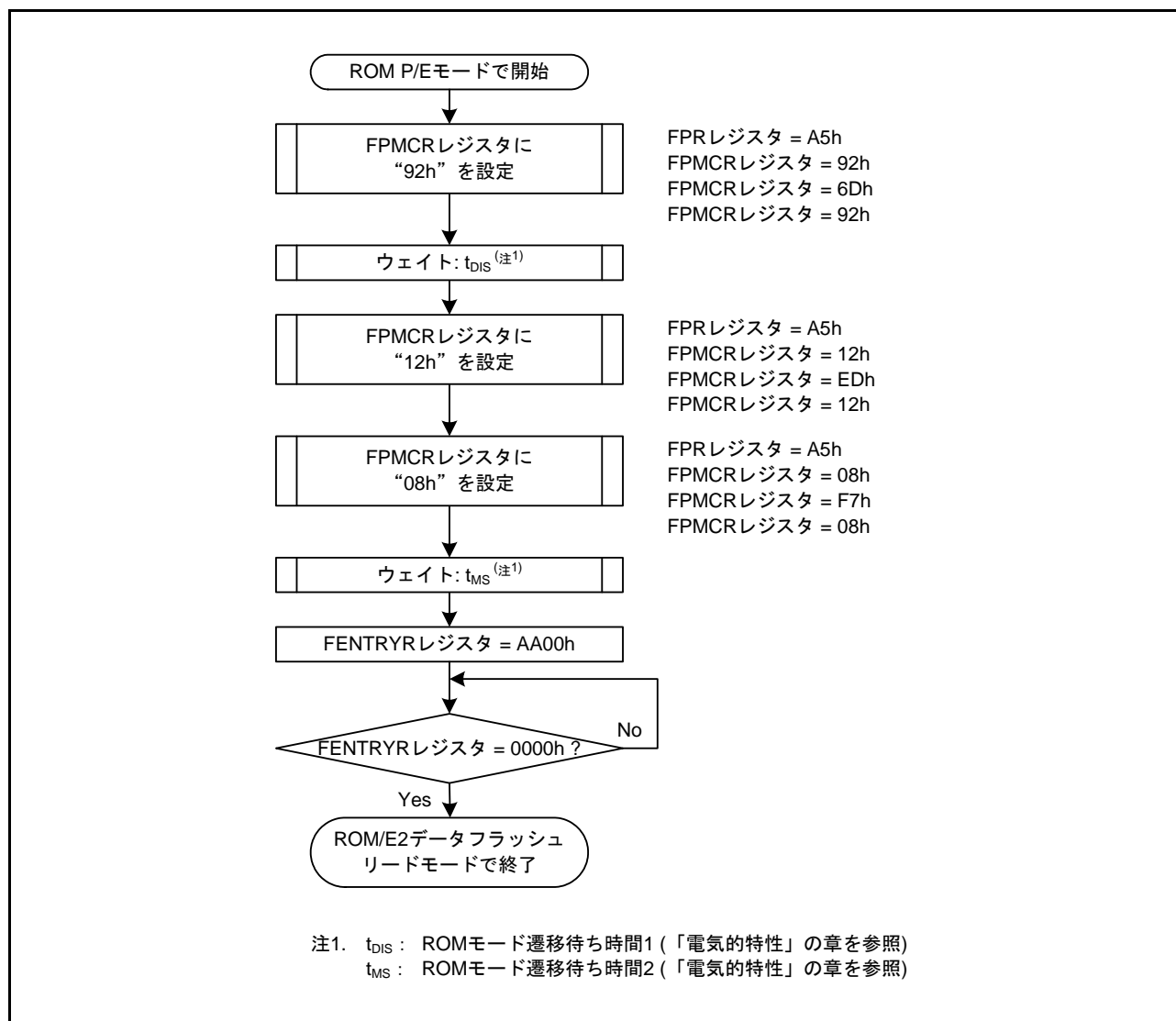


図 42.9 ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

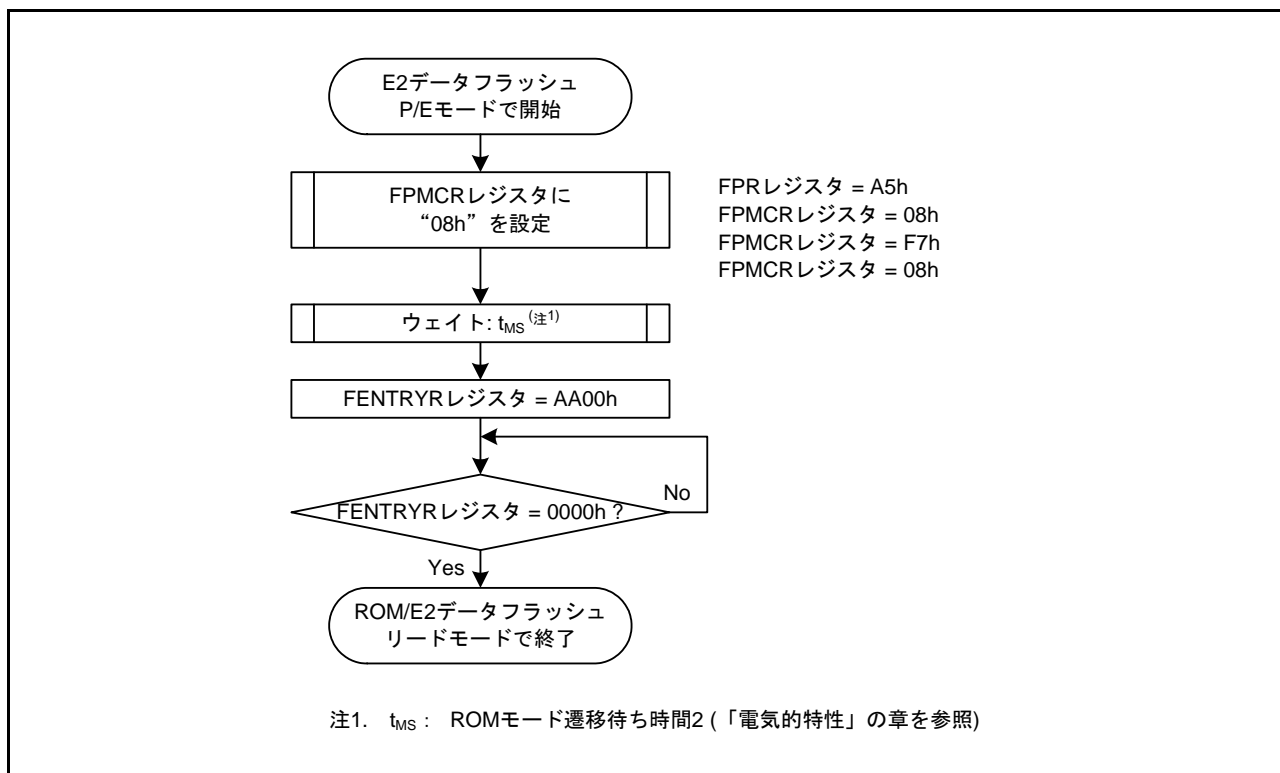


図 42.10 E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

### 42.7.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 42.4 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表42.4 ソフトウェアコマンド一覧

コマンド	機能
プログラム	<ul style="list-style-type: none"> <li>ROMへの書き込み(4バイト)</li> <li>E2データフラッシュへの書き込み(1バイト)</li> </ul>
ブロックイレーズ	ROM/E2データフラッシュの消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します
ユニークIDリード	エクストラ領域にあるユニークIDのリードを行います



### 42.7.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

#### 42.7.4.1 プログラム

図 42.11、図 42.12 にプログラムコマンドの発行フローを示します。

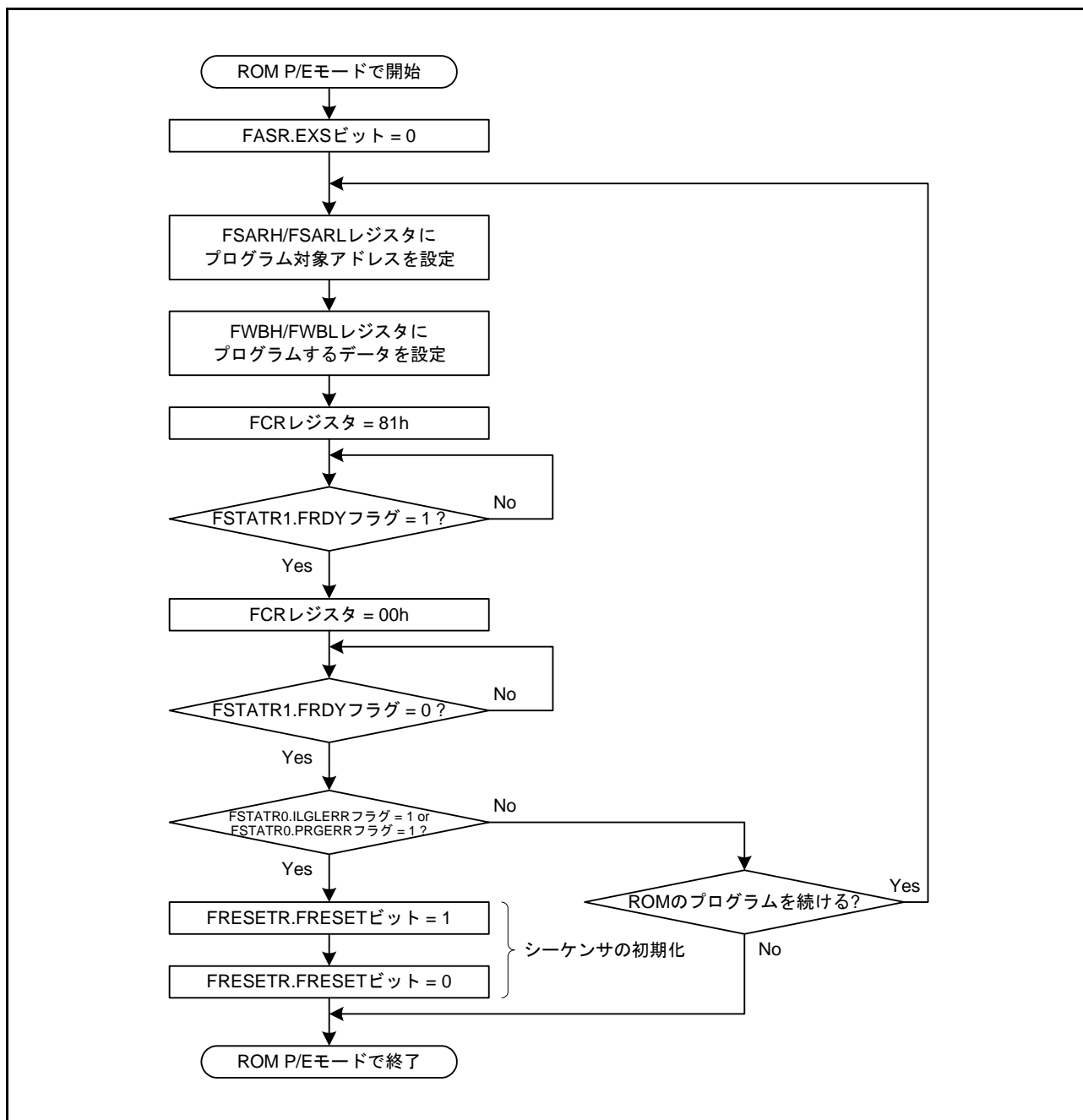


図 42.11 プログラムコマンドの発行フロー (ROM)

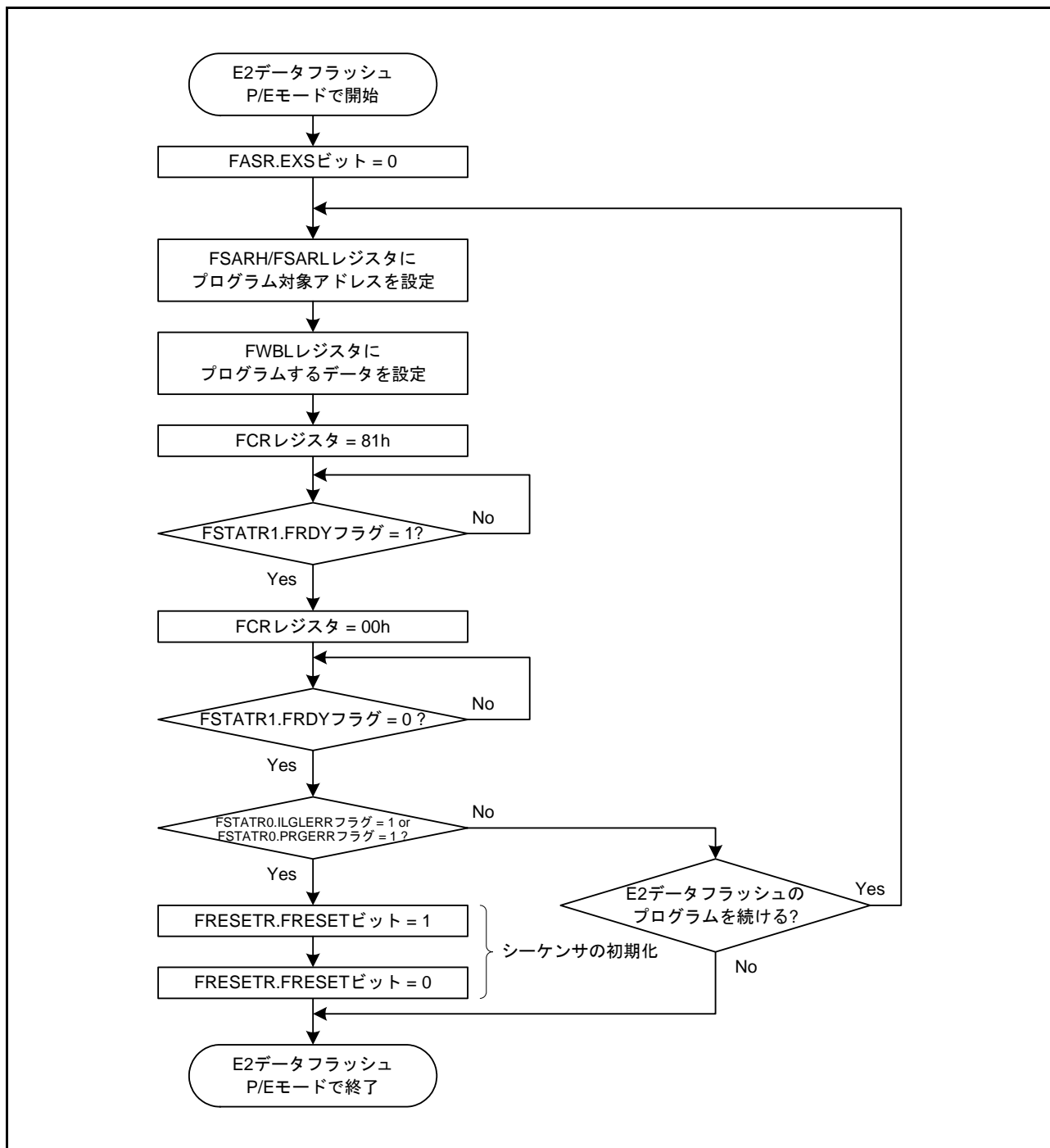


図 42.12 プログラムコマンドの発行フロー (E2 データフラッシュ)

## 42.7.4.2 ブロックイレーズ

図 42.13、図 42.14 にブロックイレーズコマンドの発行フローを示します。

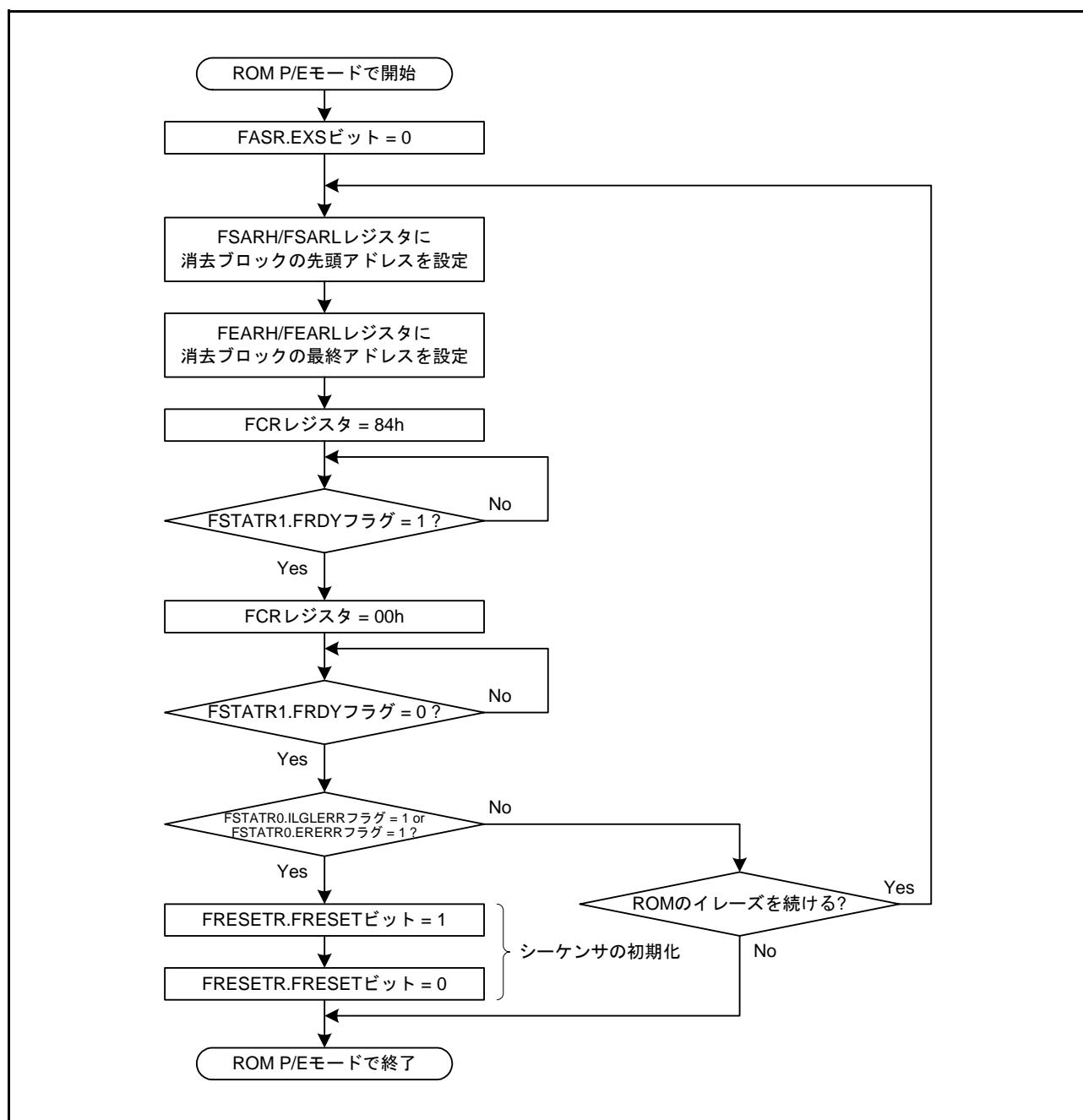


図 42.13 ブロックイレーズコマンドの発行フロー (ROM)

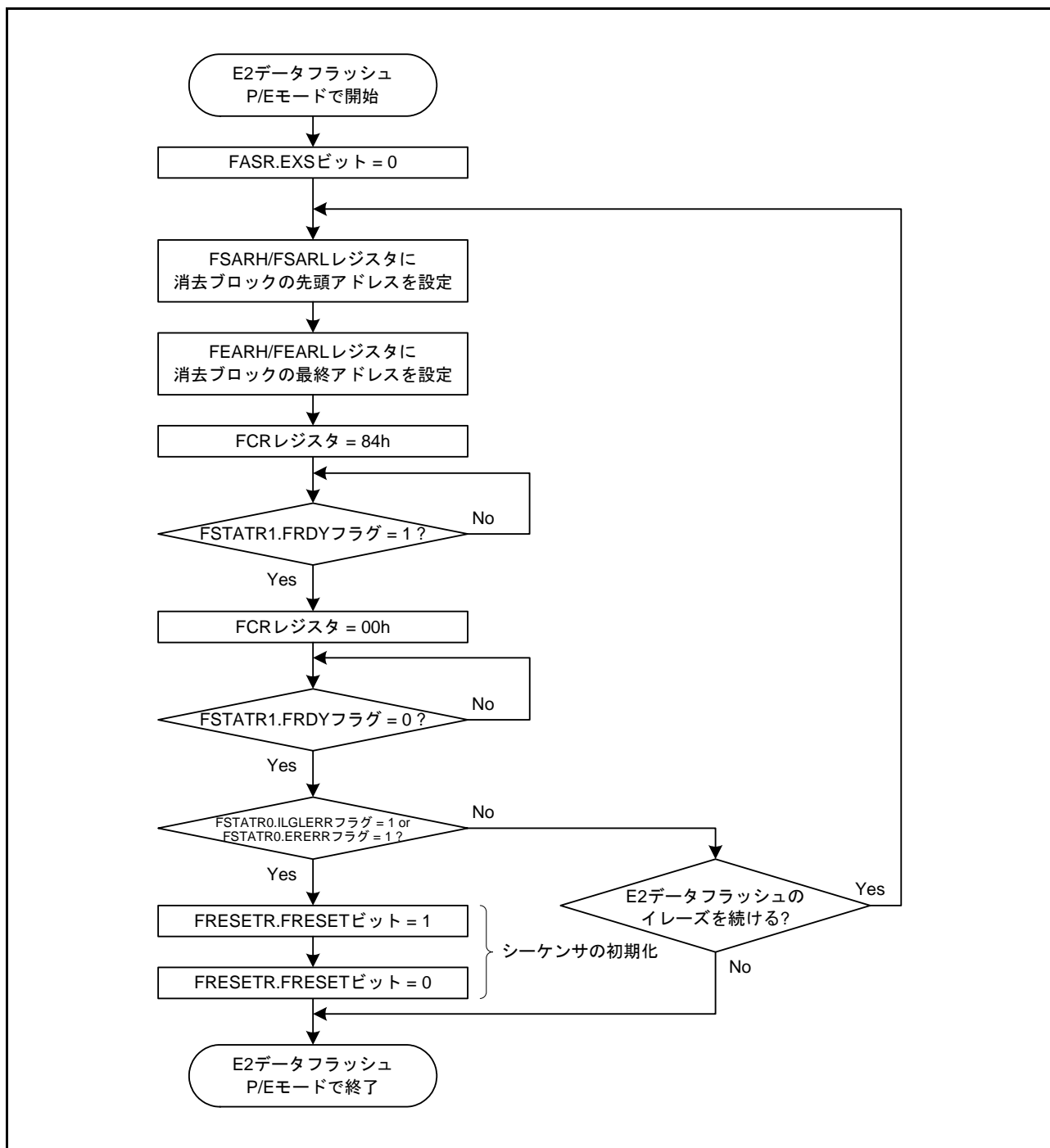


図 42.14 ブロックイレーズコマンドの発行フロー (E2 データフラッシュ)

42.7.4.3 ブランクチェック

図 42.15、図 42.16 にブランクチェックコマンドの発行フローを示します。

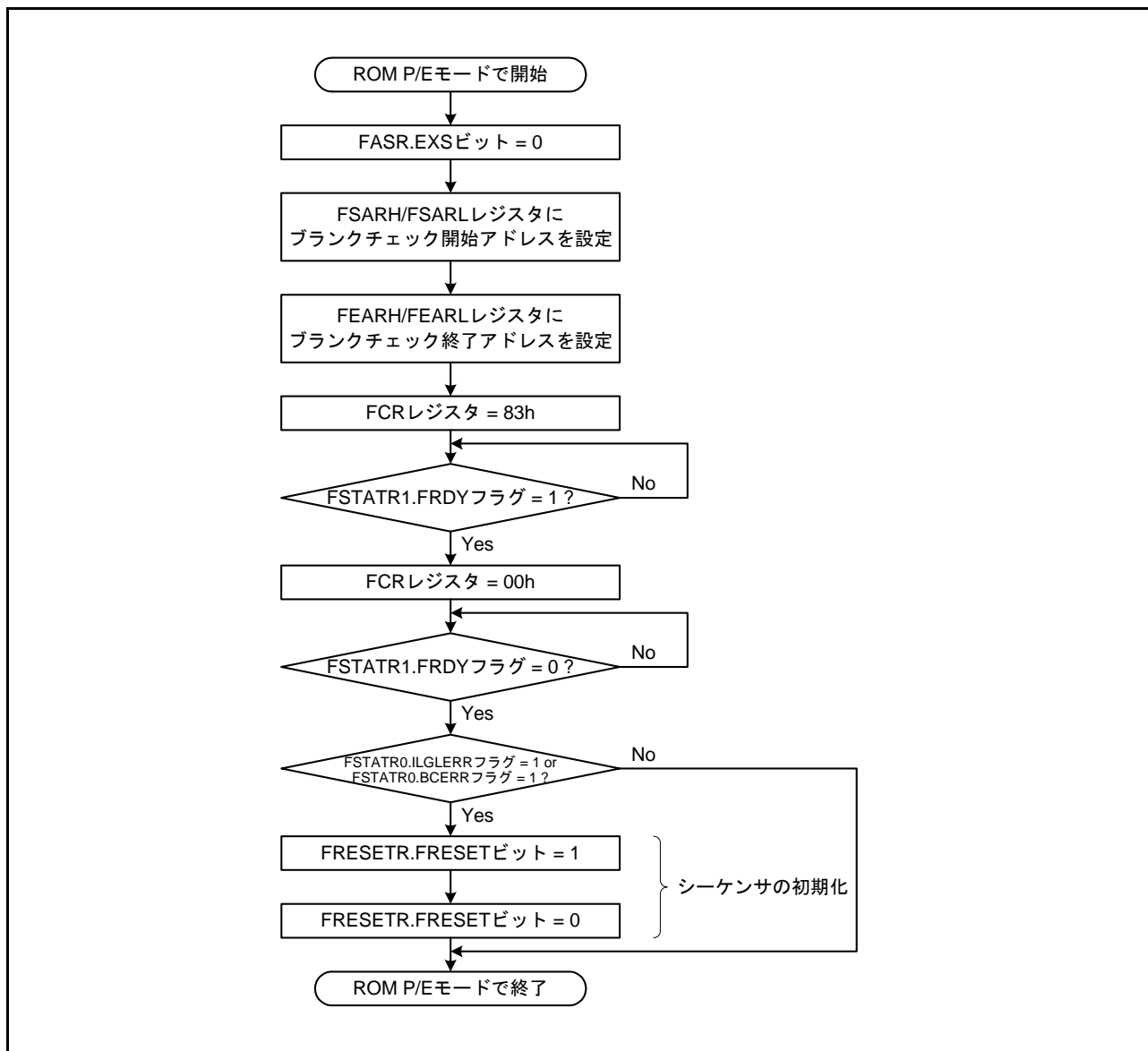


図 42.15 ブランクチェックコマンドの発行フロー (ROM)

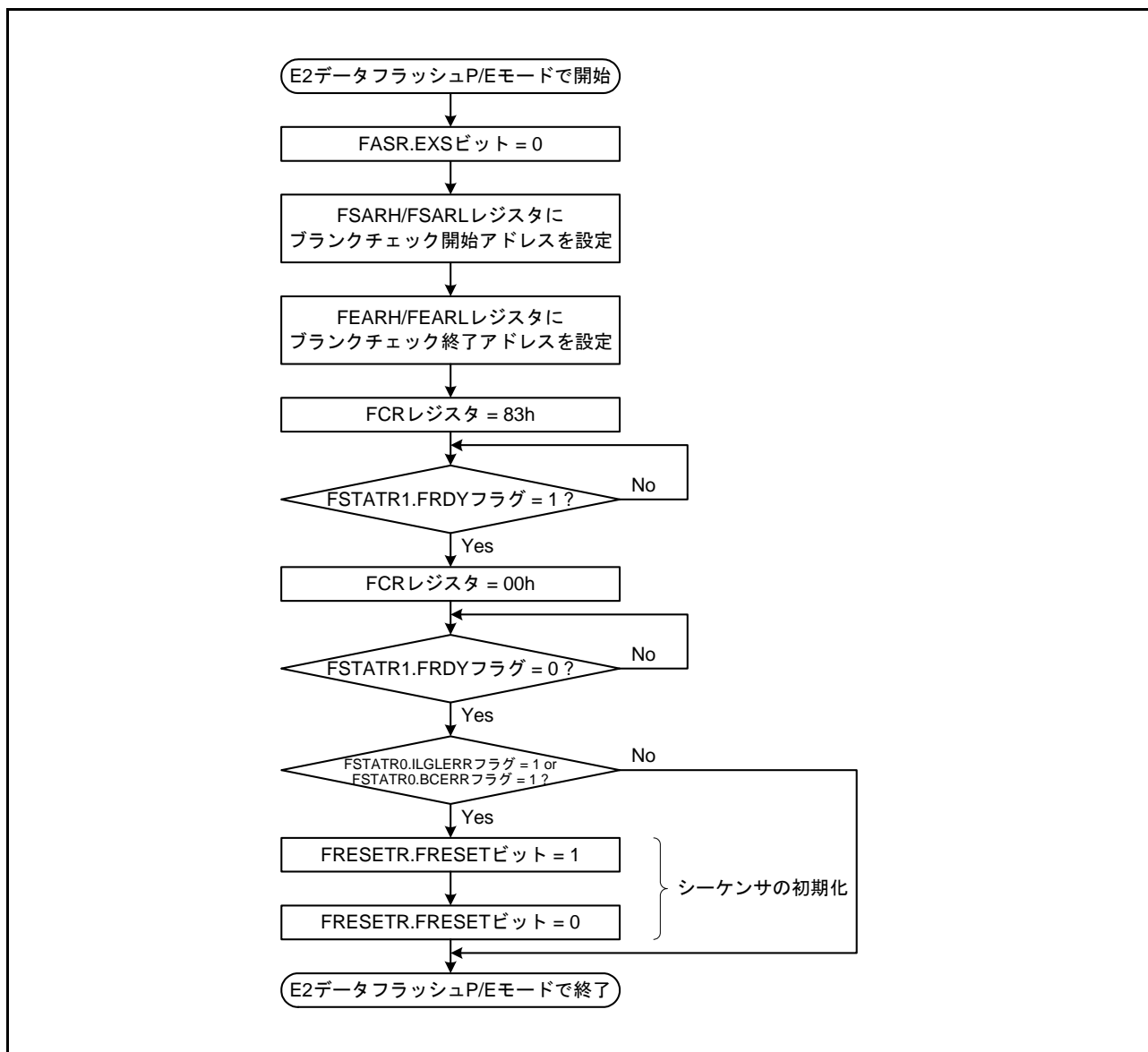


図 42.16 ブランクチェックコマンドの発行フロー (E2 データフラッシュ)

## 42.7.4.4 スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム

図 42.17 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

なお、E2 データフラッシュアクセス禁止モードから直接 ROM P/E モードに遷移した場合は、フローの先頭で DFLCTL.DFLEN ビットを“1”にしてください。

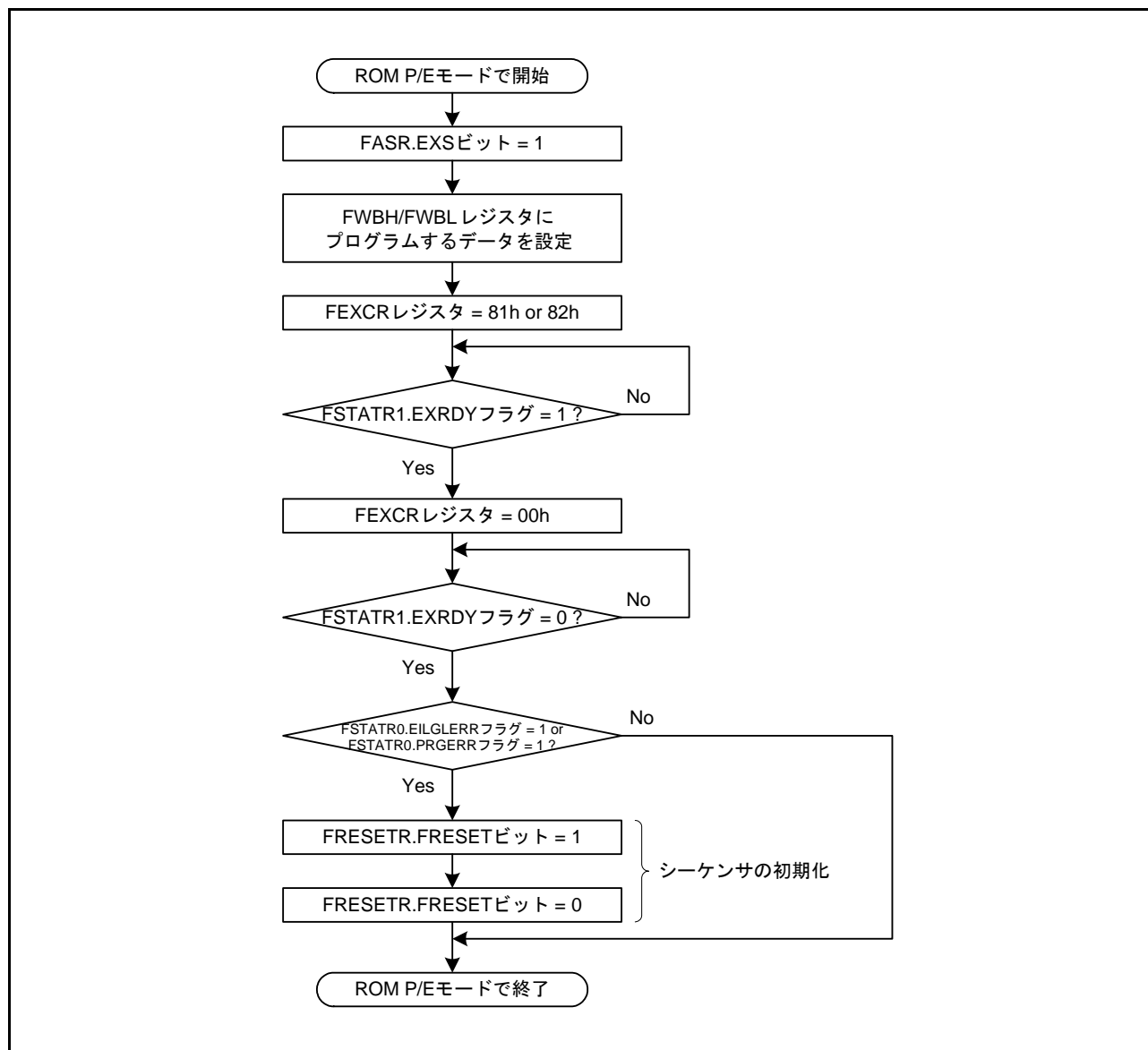


図 42.17 スタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

42.7.4.5 ユニーク ID リード

図 42.18 にユニーク ID リードコマンドの発行フローを示します。

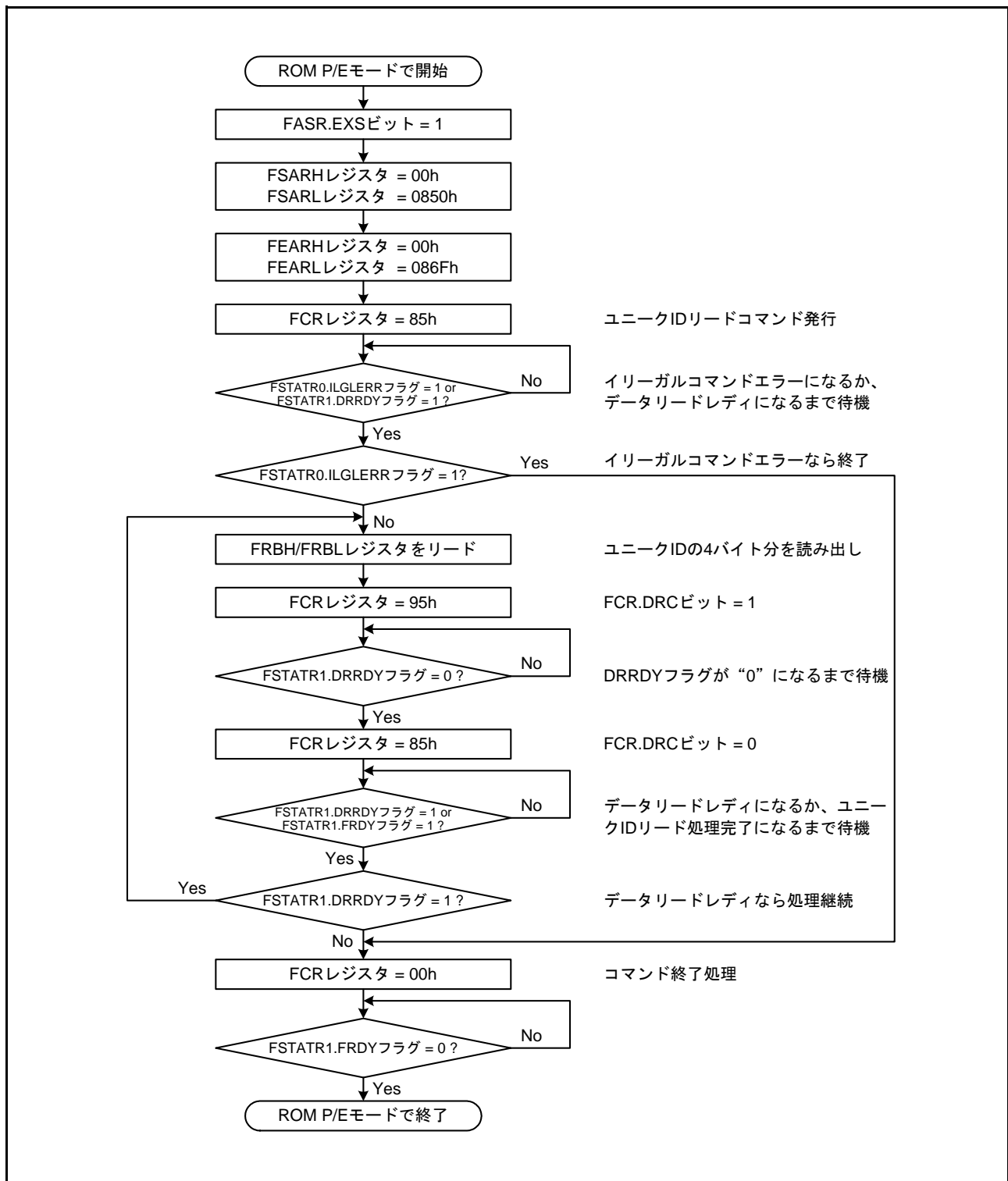


図 42.18 ユニーク ID リードコマンドの発行フロー



#### 42.7.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、**図 42.19**に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

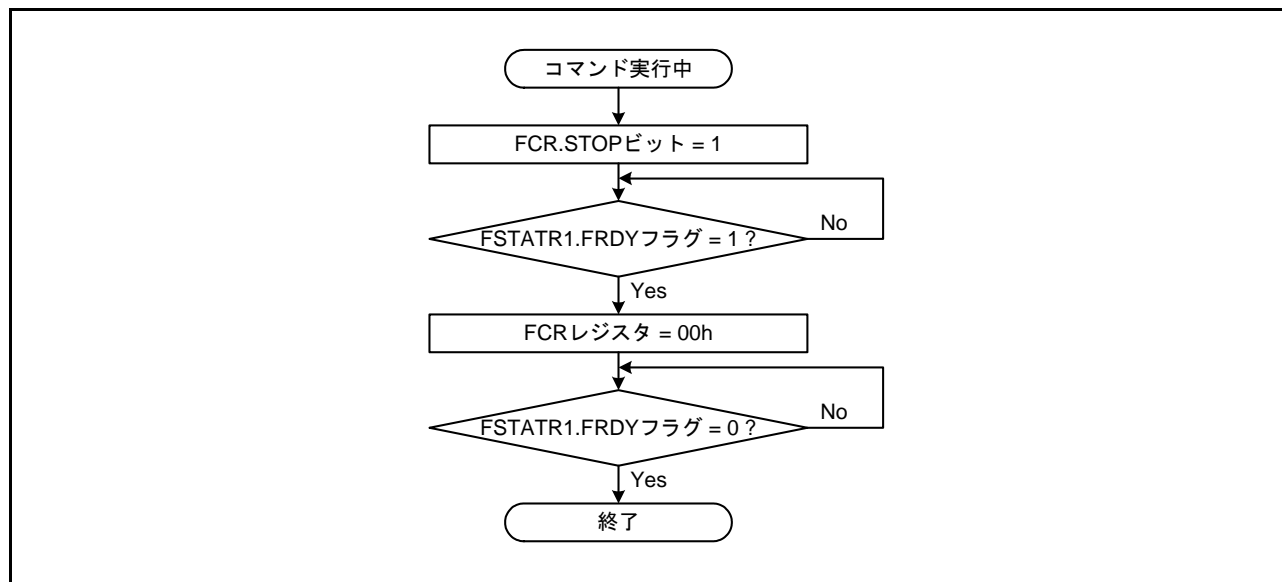


図 42.19 ソフトウェアコマンド強制停止の実行フロー

#### 42.7.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを“0”にすると FSTATR1.FRDY フラグが“0”に、また、FEXCR.OPST ビットを“0”にすると FSTATR1.EXRDY フラグが“0”になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IEN ビットを“1”にする前に、IRn.IR フラグをクリアしてください。

## 42.8 ブートモード

ブートモードは、USB インタフェース、SCI インタフェース、または FINE インタフェースを使用します。

表 42.5 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 42.6 にブートモードで使用する入出力端子を示します。

表42.5 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード		
	USBインタフェース	SCIインタフェース	FINEインタフェース
プログラム/イレーズ可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域	ユーザ領域 データ領域
使用する周辺モジュール	USB0	SCI1 (調歩同期式シリアル通信)	FINE

表42.6 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
P14/UB# (注1)	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD	入力		動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINEインタフェース)	動作モードを選択、FINEデータ入出力
USB0_DP, USB0_DM	入出力	ブートモード (USBインタフェース)	データ入出力
P16/USB0_VBUS	入力		USBケーブルの接続/切断検出
P35/UPSEL	入力		バスパワーモードかセルフパワーモードの設定
P15/RXD1	入力	ブートモード (SCIインタフェース)	データ受信(注2)
P16/TXD1	出力		データ送信(注2)

注1. ブートモード起動時に一定時間、本MCU内蔵の入力プルアップ抵抗によりHighになります。

注2. SCIインタフェースを使用する場合は、抵抗を介してVCCに接続(プルアップ)してください。

### 42.8.1 ブートモード (USB インタフェース)

ブートモード (USB インタフェース) は、フラッシュメモリのプログラム/イレーズに USB インタフェースを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子、UB# 端子を Low にしてリセットを解除すると、MCU はブートモード (USB インタフェース) で起動します。また、リセット解除時の UPSEL 端子の状態に応じてセルフパワーモードまたはバスパワーモードを選択できます。リセット解除時に UPSEL 端子が Low であればセルフパワーモード、UPSEL 端子が High であればバスパワーモードで動作します。

シリアルプログラマ (USB プログラマ) についてはメーカーにお問い合わせください。

#### 42.8.1.1 ブートモード (USB インタフェース) の動作条件

ブートモード (USB インタフェース) では、シリアルプログラマとの通信に、USB0 を使用します。シリアルプログラマには、USB で制御コマンドやステータを送受信するためのツールと、プログラムするデータを準備してください。メインクロック発振器への入力周波数は、6, 8, 12, 16 MHz のいずれかが使用できます。動作電圧は、3.0 V 以上 3.6 V 以下です。

また UB# 端子は、VSS に直結、または抵抗を介して VSS に接続 (プルダウン) してください。プルダウンする場合、2.5 k $\Omega$  以下の抵抗を接続してください。

図 42.20 にブートモード (USB インタフェース) 時の端子接続例 (セルフパワーモード) を、表 42.7 にブートモード (USB インタフェース) 時に使用する端子の処理内容 (セルフパワーモード) を、図 42.21 にブートモード (USB インタフェース) 時の端子接続例 (バスパワーモード) を、表 42.8 にブートモード (USB インタフェース) 時に使用する端子の処理内容 (バスパワーモード) を示します。

なお、図 42.20、図 42.21 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

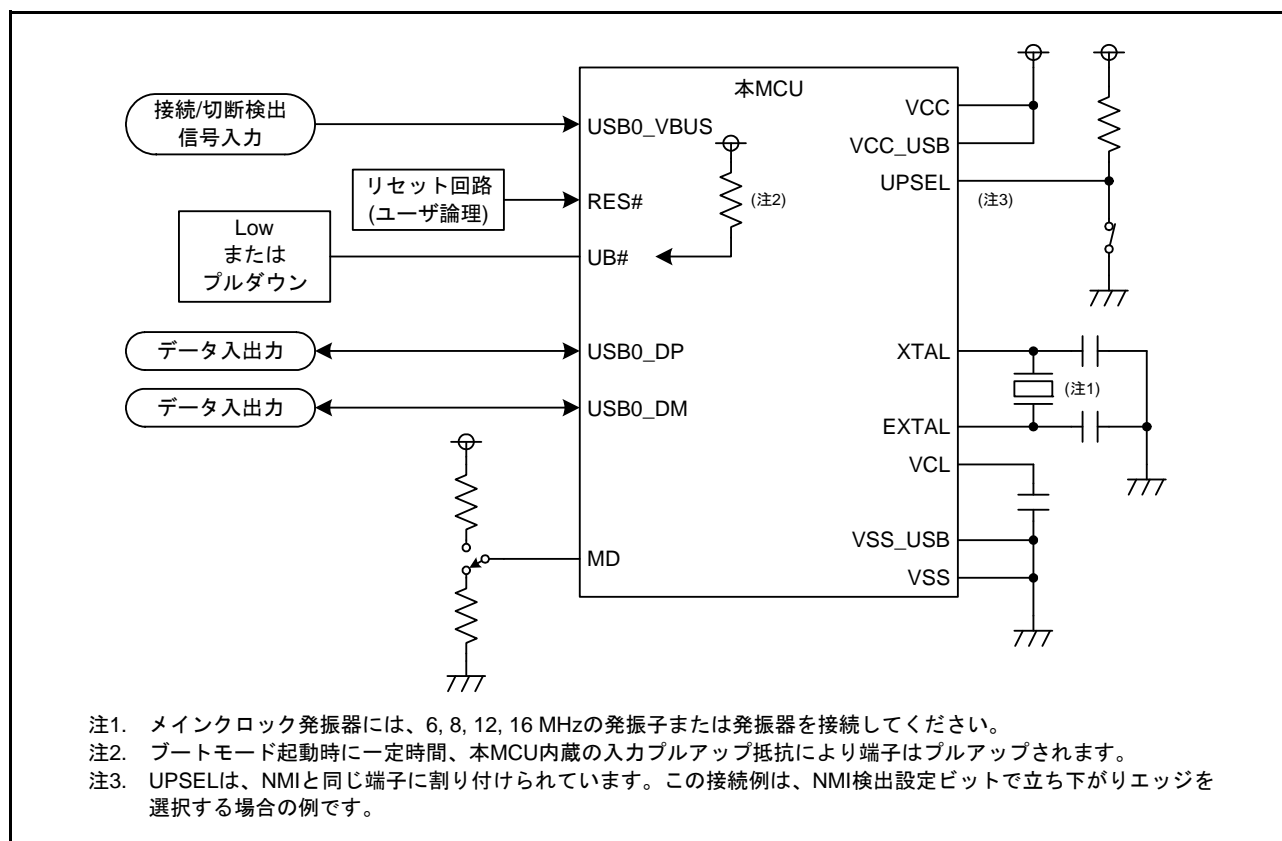


図 42.20 ブートモード (USB インタフェース) 時の端子接続例 (セルフパワーモード)

表 42.7 ブートモード(USBインタフェース)時に使用する端子の処理内容(セルフパワーモード)

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子にはプログラム、イレーズの保証電圧を、VSS端子には0Vを入力してください
VCC_USB, VSS_USB	USB電源	—	VCC_USBはVCCに接続してください。VSS_USBはVSSに接続してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	6, 8, 12, 16 MHzの発振子または発振器を接続してください
XCIN, XCOUT	サブクロック入出力端子	入出力	Highを入力、Lowを入力、または開放してください
MD	動作モードコントロール	入力	VSSに接続、または抵抗を介してVSSに接続(プルダウン)してください
P14/UB#	動作モードコントロール	入力	VSSに接続、または抵抗を介してVSSに接続(プルダウン)してください。プルダウンする場合、2.5 kΩ以下の抵抗を接続してください
P35/UPSEL	USBパワーモードコントロール	入力	VSSに接続、または抵抗を介してVSSに接続(プルダウン)してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
USB0_DP	USB内蔵トランシーバD+入出力端子	入出力	「27. USB2.0ホスト/ファンクションモジュール(USBc)」記載の回路へ接続してください
USB0_DM	USB内蔵トランシーバD-入出力端子	入出力	「27. USB2.0ホスト/ファンクションモジュール(USBc)」記載の回路へ接続してください
P16/USB0_VBUS	USBケーブル接続モニタ端子	入力	「27. USB2.0ホスト/ファンクションモジュール(USBc)」記載の回路へ接続してください
上記以外のポート	入力ポート	入力	Highを入力、Lowを入力、または開放してください

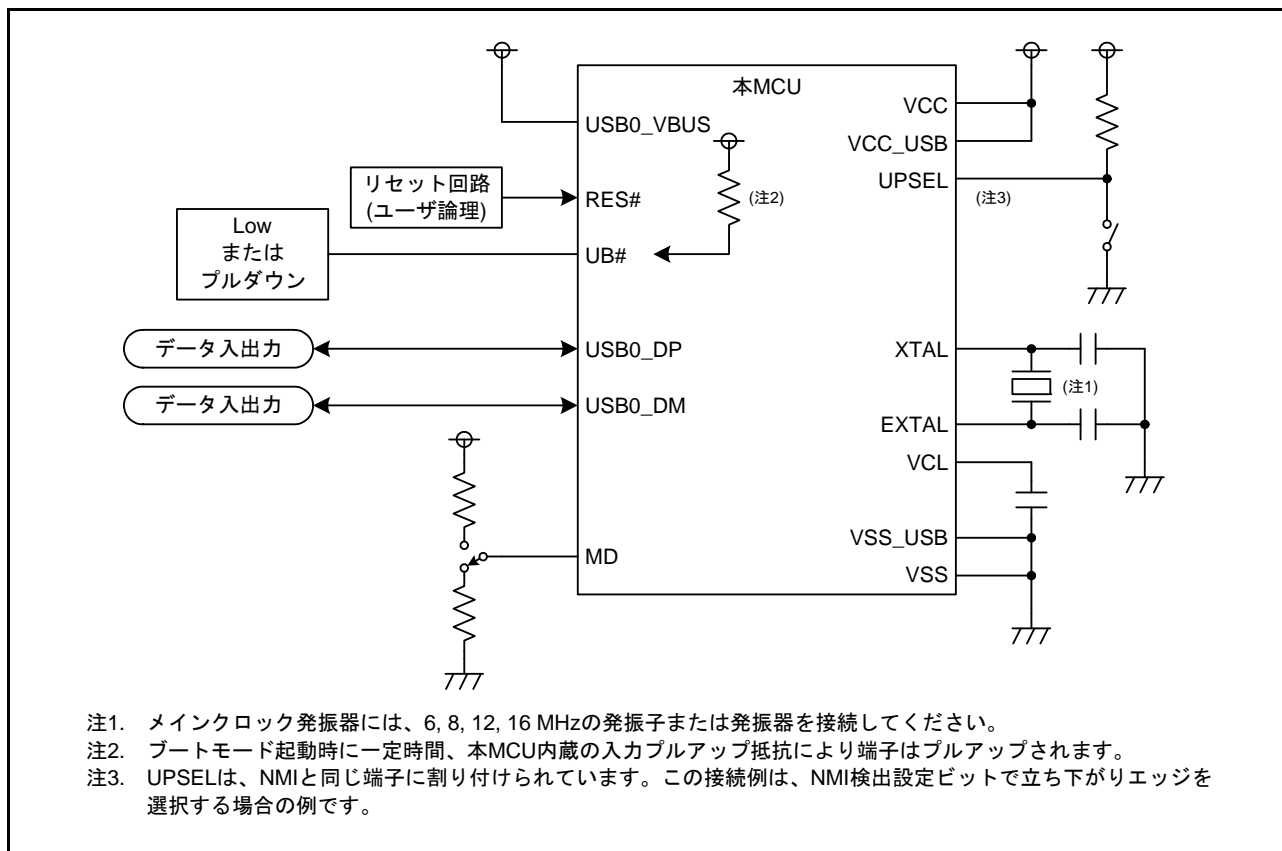


図 42.21 ブートモード (USB インタフェース) 時の端子接続例 (バスパワーモード)

表 42.8 ブートモード(USBインタフェース)時に使用する端子の処理内容(バスパワーモード)

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子にはプログラム、イレーズの保証電圧を、VSS端子には0Vを入力してください
VCC_USB, VSS_USB	USB電源	—	VCC_USBはVCCに接続してください。VSS_USBはVSSに接続してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	6, 8, 12, 16 MHzの発振子または発振器を接続してください
XCIN, XCOU	サブクロック入出力端子	入出力	Highを入力、Lowを入力、または開放してください
MD	動作モードコントロール	入力	VSSに接続、または抵抗を介してVSSに接続(プルダウン)してください
P14/UB#	動作モードコントロール	入力	VSSに接続、または抵抗を介してVSSに接続(プルダウン)してください。プルダウンする場合、2.5 kΩ以下の抵抗を接続してください
P35/UPSEL	USBパワーモードコントロール	入力	VCCに接続、または抵抗を介してVCCに接続(プルアップ)してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
USB0_DP	USB内蔵トランシーバD+入出力端子	入出力	「27. USB2.0ホスト/ファンクションモジュール(USBc)」記載の回路へ接続してください
USB0_DM	USB内蔵トランシーバD-入出力端子	入出力	「27. USB2.0ホスト/ファンクションモジュール(USBc)」記載の回路へ接続してください
P16/USB0_VBUS	USBケーブル接続モニタ端子	入力	USB0_VBUSはVCCに接続してください
上記以外のポート	入力ポート	入力	Highを入力、Lowを入力、または開放してください

## 42.8.2 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イレージに SCI の調歩同期式モードを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子を Low、UB# 端子を High または開放にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマについてはメーカーにお問い合わせください。

### 42.8.2.1 ブートモード (SCI インタフェース) の動作条件

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCI を調歩同期式モードで使用します。シリアルプログラマには、調歩同期式シリアル通信で制御コマンドやステータスを送受信するためのツールと、プログラムするデータを準備してください。図 42.22 にブートモード (SCI インタフェース) 時の端子接続例を、表 42.9 にブートモード (SCI インタフェース) 時に使用する端子の処理内容を示します。

なお、図 42.22 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

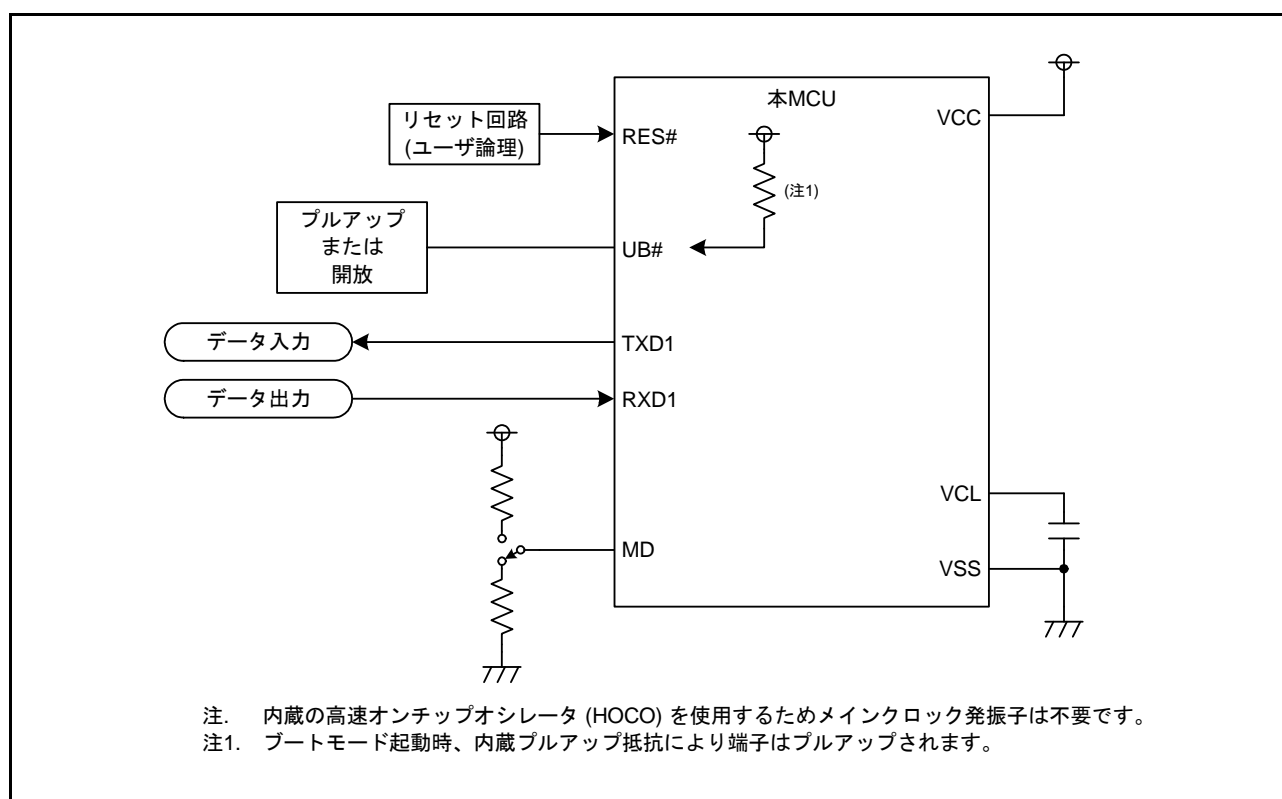


図 42.22 ブートモード (SCI インタフェース) 時の端子接続例

表 42.9 ブートモード(SCIインタフェース)時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子にはプログラム、イレーズの保証電圧を、VSS端子には0Vを入力してください
VCC_USB, VSS_USB	USB電源	—	VCC_USBはVCCに接続してください。VSS_USBはVSSに接続してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	Highを入力、Lowを入力、または開放してください
XCIN, XCOUT	サブクロック入出力端子	入出力	Highを入力、Lowを入力、または開放してください
MD	動作モードコントロール	入力	VSSに接続、または抵抗を介してVSSに接続(プルダウン)してください
P14/UB#	動作モードコントロール	入力	抵抗を介してVCCに接続(プルアップ)、または開放してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
P15/RXD1	データ入力RXD	入力	シリアルデータの入力端子です
P16/TXD1	データ出力TXD	出力	シリアルデータの出力端子です
USB0_DP	USB内蔵トランシーバ D+入出力端子	入出力	端子を開放してください
USB0_DM	USB内蔵トランシーバ D-入出力端子	入出力	端子を開放してください
上記以外のポート	入力ポート	入力	Highを入力、Lowを入力、または開放してください

シリアルプログラマとの通信フォーマットは、図 42.23 に示すとおり、8ビットデータ、1ストップビット、パリティなし、LSB ファーストです。

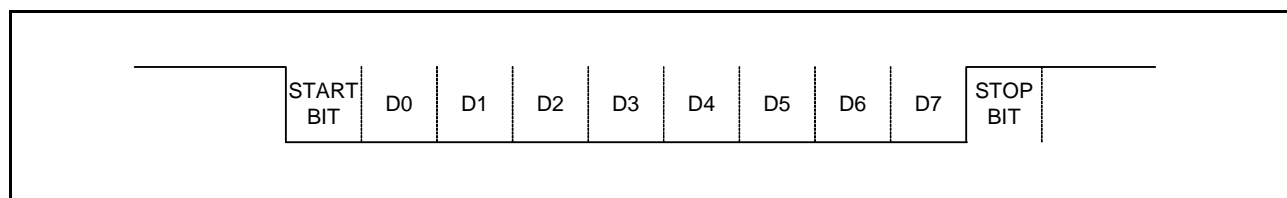


図 42.23 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。ブートモード(SCIインタフェース)で通信が可能な最大通信ビットレートを表 42.10 に示します。

表 42.10 通信可能な条件

動作電圧	最大通信ビットレート
1.8 V以上3.0 V未満	500 kbps
3.0 V以上3.6 V以下	2 Mbps



### 42.8.2.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low、UB# 端子を High または開放にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 42.24 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「43.3.2 リセットタイミング」に示す規格を守ってください。

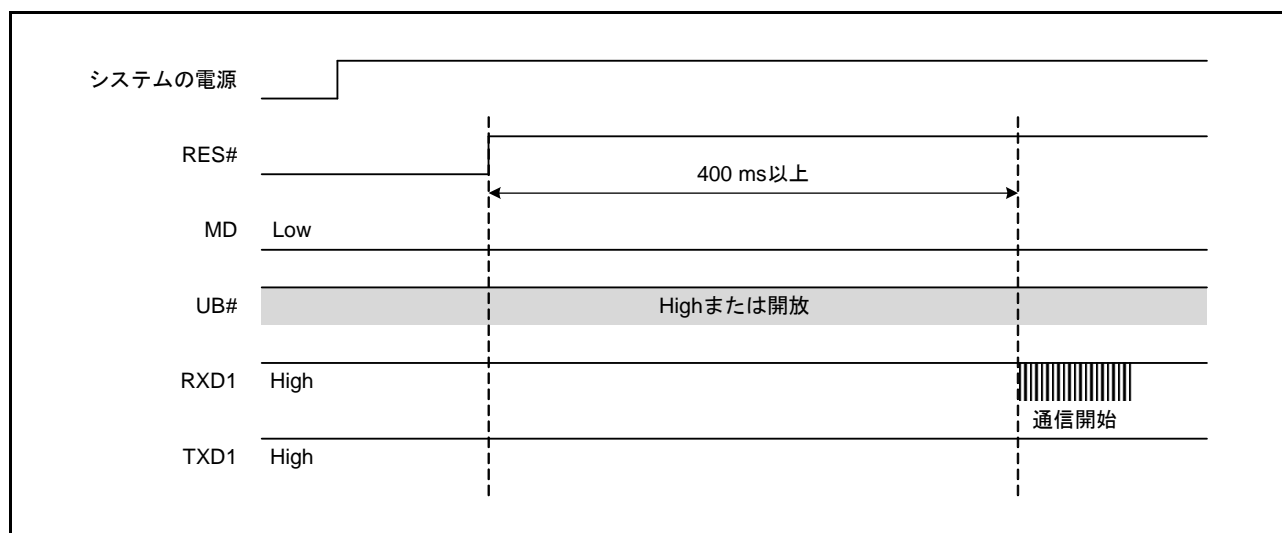


図 42.24 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

### 42.8.3 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域とデータ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

#### 42.8.3.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。

図 42.25 にブートモード (FINE インタフェース) 時の端子接続例を、表 42.11 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 42.25 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

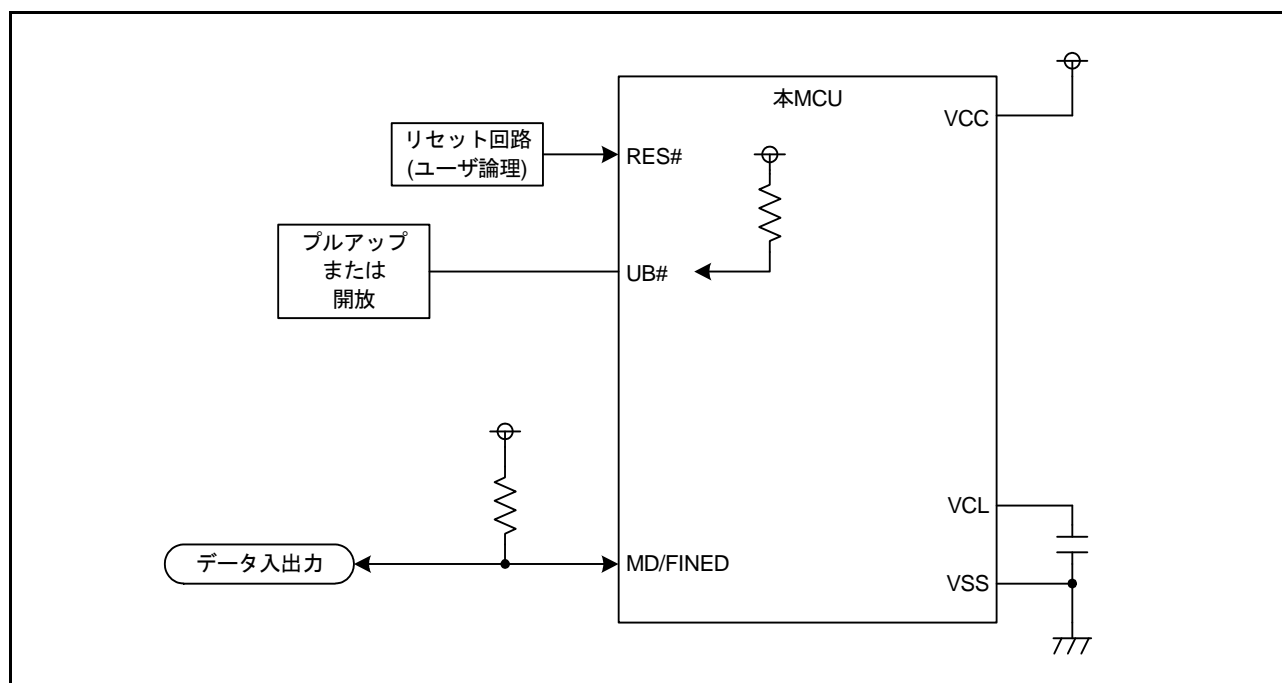


図 42.25 ブートモード (FINE インタフェース) 時の端子接続例

表 42.11 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 1.8 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD/FINED	動作モードコントロール/ データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
P14/UB#	動作モードコントロール	入力	抵抗を介して VCC に接続 (プルアップ)、または開放してください (注1)
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

注1. 入力レベルはリセット解除後、2 ms 以上、保持してください。

## 42.9 フラッシュメモリアクセス禁止機能

フラッシュメモリアクセス禁止機能は、フラッシュメモリの読み出し、書き換えを禁止する機能で、ブートモードにはブートモード ID コードプロテクト、オンチップデバッグエミュレータにはオンチップデバッグエミュレータ ID コードプロテクトがあります。詳細は以下に示します。

### 42.9.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバッグエミュレータを接続したときのオンチップデバッグエミュレータ ID コードプロテクトの 2 つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード 1～ID コード 15 で構成されています。32 ビット長 4 ワードのデータで、32 ビット単位で設定してください。図 42.26 に ID コードの構成を示します。

	31	24 23	16 15	8 7	0
FFFF FFA0h	制御コード	IDコード1	IDコード2	IDコード3	
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7	
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11	
FFFF FFACH	IDコード12	IDコード13	IDコード14	IDコード15	

図 42.26 ID コードの構成

ID コードを設定するプログラム例を以下に示します。

制御コード、ID コード 1～ID コード 15 を順に“45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh” に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFF0
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFF0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

### 42.9.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、ユーザ領域とデータ領域の読み出し、書き換えを禁止します。

制御コードがブートモード ID コードプロテクト無効でユーザ領域とデータ領域にデータがない場合は、ユーザ領域とデータ領域の読み出し、書き換えを許可します。

制御コードがブートモード ID コードプロテクト無効でユーザ領域とデータ領域にデータがある場合は、ユーザ領域とデータ領域を消去するイレーズレディに遷移します。イレーズレディでユーザ領域とデータ領域の全ブロックが消去されると、ユーザ領域とデータ領域の読み出し、書き換えを許可します。

制御コードがブートモード ID コードプロテクト有効の場合は、プログラマから送られてくる ID コードと、ユーザ領域上にある制御コードと ID コード 1 ~ ID コード 15 を比較し、その結果に従って、ユーザ領域とデータ領域の読み出し、書き換えを禁止します。

#### (1) 制御コード

制御コードでは、プロテクトの有効もしくは無効とプログラマとの認証方法を設定することができます。

表 42.12 にプロテクト仕様を、図 42.27 にプロテクトの認証フローを示します。

表 42.12 ブートモード ID コードプロテクト仕様

ID コード		プロテクト	ID コードの 判定結果	ユーザ領域、デー タ領域の内容	動作
制御コード	ID コード 1 ~ ID コード 15				
45h	任意	有効	一致	—	ブートモード ID コード認証ステートを完了し、プログラム/イレーズステートに遷移する
			不一致	—	ブートモード ID コード認証ステートを継続する
			不一致 (3回連続)	データがある	ユーザ領域とデータ領域のイレーズを行うイレーズレディに遷移する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8 バイ トすべて FFh)	有効	—	—	シリアルプログラマが送信したコードの値に関係なく、フラッシュメモリの読み出し、書き換えを許可しない
	上記以外		一致	—	ブートモード ID コード認証ステートを完了し、プログラム/イレーズステートに遷移する
			不一致	—	ブートモード ID コード認証ステートを継続する
上記以外	任意	無効	—	データがない	プログラム/イレーズステートに遷移する
			—	データがある	ユーザ領域とデータ領域のイレーズを行うイレーズレディに遷移する

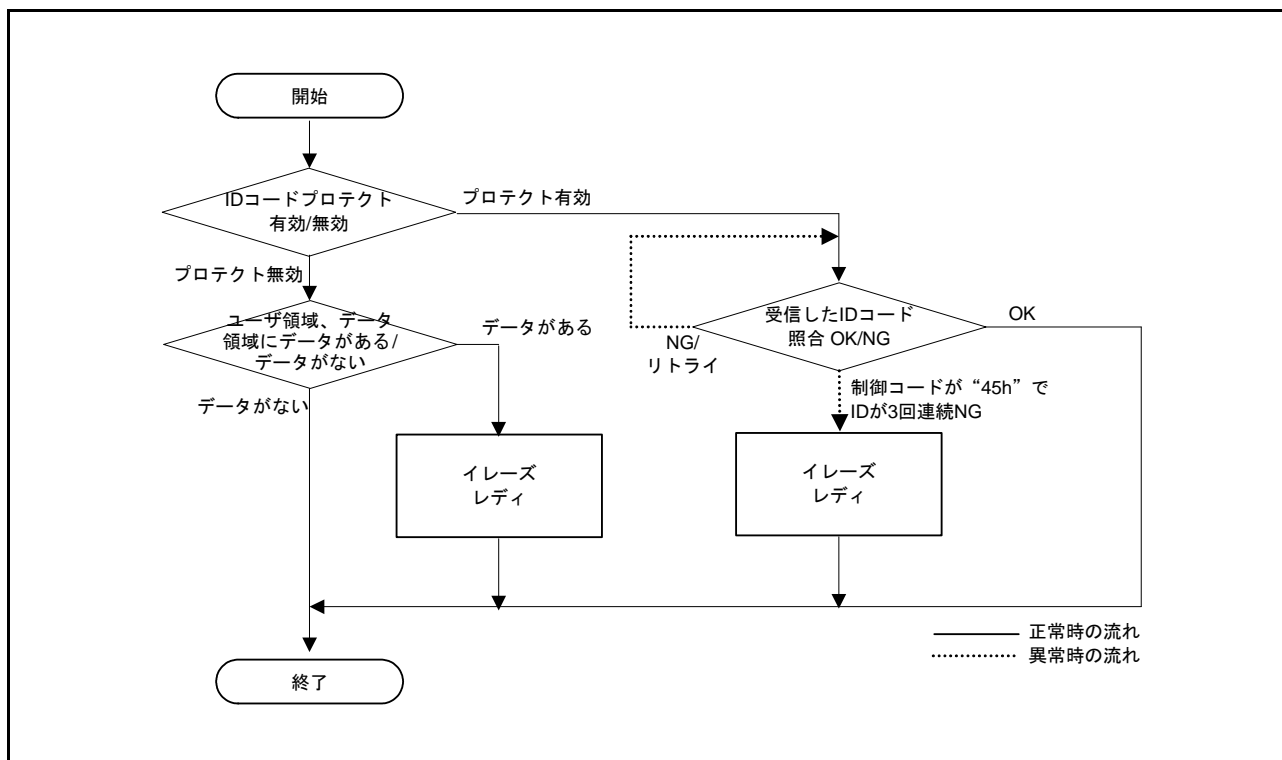


図 42.27 ブートモード ID コードプロテクトの認証フロー

(2) ID コード 1 ～ ID コード 15

ID コード 1 ～ ID コード 15 は、任意の値が設定できます。

ただし、シリアルプログラマとの接続を拒否する場合のみ、ID コード 1 ～ ID コード 15 を順に “50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh” と設定しなければなりません。

### 42.9.1.2 オンチップデバッグエミュレータ ID コードプロテクト

オンチップデバッグエミュレータ ID コードプロテクトは、オンチップデバッグエミュレータとの接続を許可 / 禁止する機能です。

オンチップデバッグエミュレータ ID コードプロテクトが無効の場合、もしくはプロテクトが有効でオンチップデバッグエミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバッグエミュレータとの接続を許可します。

オンチップデバッグエミュレータ ID コードは、図 42.26 に示す ID コードの構成を使用します。プロテクト仕様は、表 42.13 に示します。

表 42.13 オンチップデバッグエミュレータ ID コードプロテクト仕様

ID コード		プロテクト	ID コードの判定結果	動作
制御コード	ID コード 1 ~ ID コード 15			
FFh	FFh, ..., FFh (15 バイトすべて FFh)	無効	—	オンチップデバッグエミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の 8 バイト	有効	—	オンチップデバッグエミュレータが送信したコードの値に関係なく、オンチップデバッグエミュレータの接続を許可しない
上記以外	上記以外	有効	一致	オンチップデバッグエミュレータとの接続を許可する
			不一致	ID コード待ちを継続する

### 42.10 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

#### 42.10.1 ブートモード (SCI インタフェース) の状態遷移

図 42.28 にブートモード (SCI インタフェース) の状態遷移図を示します。

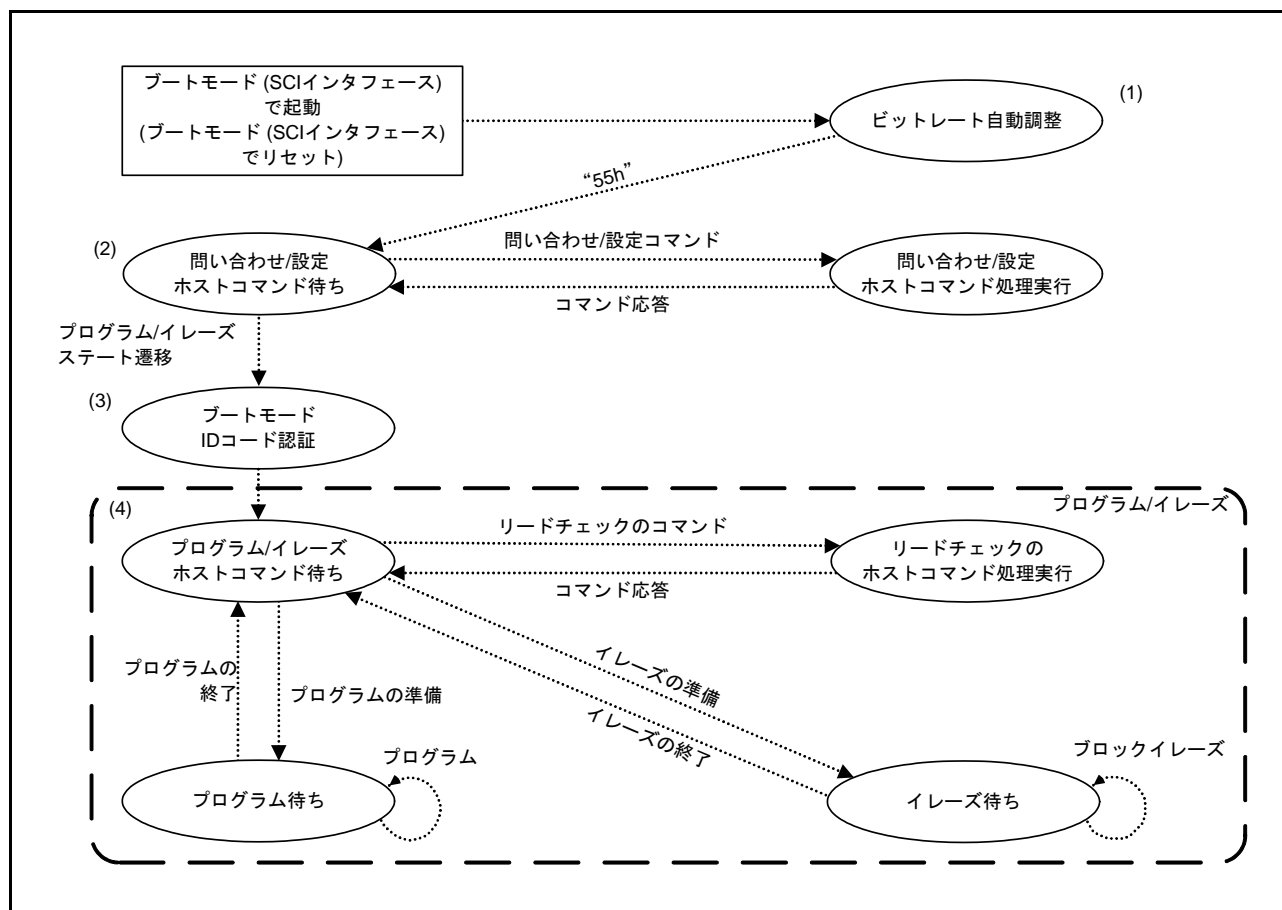


図 42.28 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、ホストとの通信ビットレート自動調整を実行します。

ビットレート自動調整が終了すると、本MCUからホストへ“00h”を送信します。その後、ホストから送信された“55h”を本MCUが受信すると、本MCUからホストへ“E6h”を送信し、問い合わせ/設定ホストコマンド待ちステートに遷移します。

なお、ホストは、本MCUのリセットを解除した後、400 ms以上経過するまではデータを送信しないでください。

(2) 問い合わせ/設定ホストコマンド待ちステート

問い合わせ/設定ホストコマンド待ちステートでは、領域構成、領域サイズ、領域のアドレスなど本MCUの情報問い合わせや、デバイス、ビットレートの選択ができます。

ホストからプログラム/イレーズステート遷移コマンドを送信すると、ブートモードIDコード認証ステートに遷移します。

問い合わせ/設定コマンドに関する詳細は、「42.10.4 問い合わせコマンド」、「42.10.5 設定コマンド」を参照してください。

(3) ブートモードIDコード認証ステート

ブートモードIDコード認証ステートでは、ブートモードIDコードプロテクトのIDコードの比較を行います。

ブートモードIDコードプロテクト無効でユーザ領域とデータ領域にデータがない場合は、プログラム/イレーズステートに遷移します。ブートモードIDコードプロテクト無効でユーザ領域とデータ領域にデータがある場合、ユーザ領域とデータ領域を消去するイレーズレディに遷移します。イレーズレディでユーザ領域とデータ領域の全ブロックが消去されると、プログラム/イレーズステートに遷移します。ブートモードIDコード不一致の場合は、ブートモードIDコード認証ステートから他のステートに遷移することはありません。

ブートモードIDコードプロテクトに関する詳細は、「42.9.1.1 ブートモードIDコードプロテクト」を、IDコード認証コマンドに関する詳細は、「42.10.6 IDコード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「42.10.7 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「42.10.8 リードチェックコマンド」を参照してください。



### 42.10.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本 MCU へ送信する“コマンド”と本 MCU からホストへの応答である“レスポンス”で構成されています。コマンドには1バイトコマンドと複数バイトコマンドがあり、レスポンスには1バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(コマンドの先頭1バイト)、サイズ、SUMを除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドのプログラムアドレス、ブロックイレーズコマンドのブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドとアクセスウィンドウリードコマンドのAW先頭アドレス、AW最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。フラッシュメモリの読み出し用アドレスは、[図 42.1](#)、[図 42.2](#)を参照してください。

また、ホストが未定義のコマンドを送信した場合、本 MCU はコマンドエラーのレスポンスを返します。コマンドエラーのレスポンスの内容は以下のとおりです。エラーレスポンスのコマンドには、本 MCU が受信したコマンドコードが格納されています。

エラーレスポンス	80h	コマンド コード
----------	-----	-------------

### 42.10.3 ブートモードステータス問い合わせ

ブートモードの、現在のステータスと前回のエラー内容を確認するコマンドです。本MCUは現在のステータスと前回のエラー内容として、表 42.14、表 42.15 にあるコードを応答します。

ブートモードステータス問い合わせコマンドは、問い合わせ / 設定ホストコマンド待ちステータスとプログラム / イレーズステータスで使用することができます。

コマンド

4Fh

レスポンス

5Fh

サイズ

ステータス

エラー

SUM

サイズ (1 バイト) : ステータス、エラーのデータの総バイト数 (固定値で "02h")

ステータス (1 バイト) : 本MCUの状態 (表 42.14 を参照)

エラー (1 バイト) : 本MCUのエラー発生状況 (表 42.15 を参照)

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

表 42.14 ステータスの内容

コード	ステータス (注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステータス	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズステータス遷移コマンド待ち
3Fh	プログラム/イレーズステータス	プログラム/イレーズホストコマンド待ち
4Fh		プログラム待ち
5Fh		イレーズ待ち

注1. ステータスは、図 42.28 に記載しています。図の内容を合わせて確認してください。

表 42.15 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロックアドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり
53h	プログラムエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

### 42.10.4 問い合わせコマンド

問い合わせコマンドは、設定コマンドとプログラム/イレーズコマンドとリードチェックコマンドを送信するために必要な情報を取得するコマンドです。表 42.16 に問い合わせコマンドの一覧を示します。一覧にあるコマンドは、問い合わせ/設定ホストコマンド待ち状態でのみ使用できます。

表 42.16 問い合わせコマンド

コマンド	問い合わせ内容
サポートデバイス問い合わせ	デバイスコードとシリーズ名
データ領域有無問い合わせ	データ領域の有無
ユーザ領域情報問い合わせ	ユーザ領域の個数、領域先頭/領域最終アドレス
データ領域情報問い合わせ	データ領域の個数、領域先頭/領域最終アドレス
ブロック情報問い合わせ	ユーザ領域、データ領域それぞれの先頭アドレス、1ブロックのブロックサイズ、ブロック数

#### 42.10.4.1 サポートデバイス問い合わせ

ホストがこのコマンドを送信すると、本 MCU はプログラムデータがリトルエンディアンの場合とビッグエンディアンの場合に選択するデバイスの情報を順に送信します。

コマンド

20h

レスポンス

30h	サイズ	デバイス数
文字数	デバイスコード(リトルエンディアン)	シリーズ名(リトルエンディアン)
文字数	デバイスコード(ビッグエンディアン)	シリーズ名(ビッグエンディアン)
SUM		

- サイズ (1 バイト) : デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数  
 デバイス数 (1 バイト) : プログラムデータのエンディアンの種別数 (固定値で "02h")  
 文字数 (1 バイト) : デバイスコードとシリーズ名の文字数  
 デバイスコード (4 バイト) : プログラムデータのエンディアンを選択する識別コード  
 シリーズ名 (n バイト) : サポートデバイスのシリーズ名の ASCII コード  
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

#### 42.10.4.2 データ領域有無問い合わせ

ホストがデータ領域有無問い合わせコマンドを送信すると、本 MCU はデータ領域あり、エリアプロテクションありの情報を送信します。

コマンド

2Ah

レスポンス

3Ah	サイズ	領域有無	SUM
-----	-----	------	-----

- サイズ (1 バイト) : 領域有無の文字数 (固定値で "01h")  
 領域有無 (1 バイト) : データ領域の有無 (固定値で "19h")  
 "19h" : データ領域あり、エリアプロテクションあり  
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値 (固定値で "ACh")

#### 42.10.4.3 ユーザ領域情報問い合わせ

ホストがユーザ領域情報問い合わせコマンドを送信すると、本MCUはユーザ領域の領域数とアドレスの情報を送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")

領域数 (1バイト) : ユーザ領域の領域数 (固定値で "01h")

領域先頭アドレス (4バイト) : ユーザ領域の先頭アドレス

領域最終アドレス (4バイト) : ユーザ領域の最終アドレス

SUM (1バイト) : レスポンスデータを合計して "00h" になる値

#### 42.10.4.4 データ領域情報問い合わせ

ホストがデータ領域情報問い合わせコマンドを送信すると、本MCUは、データ領域の領域数とアドレスの情報を送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")

領域数 (1バイト) : データ領域の領域数 (固定値で "01h")

領域先頭アドレス (4バイト) : データ領域の先頭アドレス (固定値で "0010 0000h")

領域最終アドレス (4バイト) : データ領域の最終アドレス (固定値で "0010 1FFFh")

SUM (1バイト) : レスポンスデータを合計して "00h" になる値 (固定値で "7Dh")

## 42.10.4.5 ブロック情報問い合わせ

ホストがブロック情報問い合わせコマンドを送信すると、本MCUは、ユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	データ領域先頭アドレス		
	1ブロックブロックサイズ(データ領域)		
	データ領域ブロック数		
	SUM		

サイズ (2 バイト)	: “DDh” からデータ領域ブロック数までのデータの総バイト数 (固定値で “00 19h”)
ユーザ領域先頭アドレス (4 バイト)	: ユーザ領域の先頭アドレス
1 ブロックブロックサイズ (ユーザ領域) (4 バイト)	: 1 ブロックのメモリサイズ (固定値で “00 00 04 00h”)
ユーザ領域ブロック数 (4 バイト)	: ユーザ領域を構成するブロックの数
データ領域先頭アドレス (4 バイト)	: データ領域の先頭アドレス (固定値で “00 10 00 00h”)
1 ブロックブロックサイズ (データ領域) (4 バイト)	: 1 ブロックのメモリサイズ (固定値で “00 00 04 00h”)
データ領域ブロック数 (4 バイト)	: データ領域を構成するブロックの数 (固定値で “00 00 00 08h”)
SUM (1 バイト)	: レスポンスデータを合計して “00h” になる値

### 42.10.5 設定コマンド

設定コマンドは、本MCUのプログラムやイレーズを実行するために必要な基本設定を行うためのコマンドです。

表 42.17 に設定コマンドの一覧を示します。一覧にあるコマンドは、問い合わせ / 設定ホストコマンド待ち状態でのみ使用できます。

表 42.17 設定コマンド一覧

コマンド	機能
デバイス選択	デバイスコードの選択
動作周波数選択	通信のビットレートを変更
プログラム/イレーズ状態遷移	イレーズレディに遷移

#### 42.10.5.1 デバイス選択

ホストから送信するデバイスコードは、サポートデバイス問い合わせコマンドで取得したデバイスコードを指定して、デバイス選択コマンドで送信してください。その際、プログラムデータのエンディアンによって、いずれかのエンディアン指定のデバイスコードを選択してください。

本MCUはサポート可能なデバイスの場合、レスポンスを送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、エラーレスポンスを送信します。

コマンド	10h	サイズ	デバイスコード	SUM
------	-----	-----	---------	-----

サイズ (1 バイト) : デバイスコードの文字数 (固定値で "04h")

デバイスコード (4 バイト) : プログラムデータのエンディアンを選択する識別コード  
(サポートデバイス問い合わせコマンドの応答と同一のデバイスコード)

SUM (1 バイト) : コマンドデータを合計して "00h" になる値

レスポンス	46h
-------	-----

エラーレスポンス	90h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード  
 "11h" : SUM エラー  
 "21h" : デバイスコードエラー

## 42.10.5.2 動作周波数選択

ホストから送信するコマンドで指定するビットレートは、入力クロックが 16 MHz で、誤差が 4% 未満となる設定をしてください。

本 MCU はサポート可能な設定変更の場合、レスポンスを送信します。サポート可能な設定変更でなかった場合や、送信されたコマンドが不正であった場合には、エラーレスポンスを送信します。

ホストはレスポンスを受信した後、旧ビットレートで 1 ビット期間以上待ってから新ビットレートで通信確認データを送信してください。本 MCU は通信確認データを正しく受信できた場合、レスポンスを送信します。正しく受信できなかった場合には、エラーレスポンスを送信します。

コマンド	3Fh	サイズ	ビットレート		入力周波数
	クロック数	通倍率1	通倍率2		
	SUM				

サイズ (1 バイト)	: ビットレート、入力周波数、クロック数、通倍率のデータの総バイト数 (固定値で "07h")
ビットレート (2 バイト)	: 新ビットレート ビットレート値を 1/100 した値を設定 (例: 19200 bps の場合、"00C0h" を設定)
入力周波数 (2 バイト)	: 本 MCU の入力周波数 (固定値で "0640h"。16 MHz)
クロック数 (1 バイト)	: クロックの種類 (固定値: "02h")
通倍率 1 (1 バイト)	: 入力周波数に対するシステムクロック (ICLK) の通倍率 (固定値で "01h")
通倍率 2 (1 バイト)	: 入力周波数に対する周辺モジュールクロック (PCLK) の通倍率 (固定値で "01h")
SUM (1 バイト)	: コマンドデータを合計して "00h" になる値

レスポンス	06h
-------	-----

エラーレスポンス	BFh	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード  
 "11h" : SUM エラー  
 "24h" : ビットレート選択エラー

コマンド (通信確認データ)	06h
-------------------	-----

レスポンス	06h
-------	-----

エラーレスポンス	FFh
----------	-----

- ビットレート選択エラー

動作周波数選択コマンドで指定したビットレートを、誤差 4% 未満で設定できない場合にビットレート選択エラーが発生します。動作周波数選択コマンドで指定したビットレートを **B** に、SCI のビットレートレジスタ (BRR) の設定値を **N** にした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left( \frac{16 \times 10^6}{B \times 64 \times 2^{-1} \times (N+1)} - 1 \right) \times 100$$

### 42.10.5.3 プログラム / イレージステート遷移

ホストがプログラム / イレージステート遷移コマンドを送信すると、本MCUはブートモードIDコードプロテクトの有効 / 無効を判定します。

ブートモードIDコードプロテクトが無効でユーザ領域、データ領域にデータがない場合、IDコードプロテクト無効かつプログラム / イレージステート遷移のレスポンス (06h) を送信します。

ブートモードIDコードプロテクトが無効でユーザ領域、データ領域にデータがある場合、IDコードプロテクト無効かつイレージレディに遷移のレスポンス (56h) を送信します。

ブートモードIDコードプロテクトが有効の場合、IDコードプロテクト有効のレスポンス (16h) を送信します。

コマンド

40h

レスポンス

ACK

ACK (1 バイト) : ACK コード

“06h” : IDコードプロテクト無効 (ユーザ領域、データ領域にデータがない) (注1)

“56h” : IDコードプロテクト無効

“16h” : IDコードプロテクト有効

注1. プログラムコマンドを発行する前に、対象となるブロックをイレージしてください。



## 42.10.6 IDコード認証コマンド

IDコード認証コマンドは、ブートモードIDコードプロテクトが有効の場合に、ROM上にある制御コード+IDコード1～IDコード15と比較するデータをホストから送信するためのコマンドです。表42.18にIDコード認証コマンドの一覧を示します。一覧にあるコマンドは、ブートモードIDコード認証ステートでのみ使用できます。

表42.18 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ブートモードIDコードプロテクトで、制御コード+IDコード1～IDコード15のデータと比較する

### 42.10.6.1 IDコードチェック

ホストから送信するIDコードは、ユーザ領域の制御コードおよびIDコード1～IDコード15に設定したデータを送信してください。本MCUはユーザ領域の制御コードおよびIDコード1～IDコード15とブートモードIDコードが一致した場合、プログラム/イレーズステートに遷移し、レスポンス(06h)を送信します。

制御コードが“45h”でIDが連続3回不一致となった場合、イレーズレディに遷移し、レスポンス(56h)を送信します。一致しなかった場合や正しく受信できなかった場合、エラーレスポンスを送信します。

コマンド	60h	サイズ
	IDコード(制御コード+IDコード1～IDコード15)	
	SUM	

サイズ(1バイト) : IDコードのバイト数(固定値で“10h”)

IDコード(16バイト) : 制御コード(1バイト)+IDコード1～IDコード15(15バイト)

SUM(1バイト) : コマンドデータを合計して“00h”になる値

レスポンス

ACK
-----

ACK(1バイト) : ACKコード

“06h” : プログラム/イレーズステートに遷移します

“56h” : イレーズレディに遷移します

エラーレスポンス

E0h	エラー
-----	-----

エラー(1バイト) : エラーコード

“11h” : SUMエラー

“61h” : IDコード不一致

### 42.10.6.2 イレーズレディ

ブートモード ID コードプロテクトの一部で、プロテクトが無効でユーザ領域、データ領域にデータがある場合や制御コードが“45h”で ID が 3 回不一致となった場合に、ユーザ領域、データ領域に格納しているデータを読み出せなくする機能です。

イレーズレディでは、イレーズ準備コマンド、ブロックイレーズコマンドのみ受け付けます。

表 42.19 にイレーズレディで使用可能なコマンドの一覧を示します。

表 42.19 イレーズレディで使用可能なコマンド

コマンド	機能
イレーズ準備	イレーズ待ちステートに遷移
ブロックイレーズ	指定ブロックのイレーズ。またはプログラムイレーズステートに遷移(イレーズの終了)

注. イレーズ準備コマンド、ブロックイレーズコマンドの詳細は、「42.10.7 プログラム/イレーズコマンド」を参照してください。

### 42.10.7 プログラム/イレーズコマンド

プログラム/イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本 MCU のユーザ領域やデータ領域に対してプログラムやイレーズを行うコマンドです。表 42.20 にプログラム/イレーズコマンド待ち、プログラム待ち、イレーズ待ちで使用可能なプログラム/イレーズコマンドの一覧を、表 42.21 に各ステートで受け付け可能なコマンドを示します。

表 42.21 に示すステートのとき、受け付けられないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表 42.20 プログラム/イレーズコマンド

コマンド	機能
ユーザ/データ領域プログラム準備	プログラム対象にユーザ領域またはデータ領域を選択し、プログラム待ちステートに遷移
プログラム	指定領域にプログラム。またはプログラムイレーズステートに遷移(プログラムの終了)
イレーズ準備	イレーズ待ちステートに遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラムイレーズステートに遷移(イレーズの終了)

表 42.21 ステート毎の受け付け可能なコマンド

ステート	受け付け可能なコマンド
プログラム/イレーズホストコマンド待ちステート	ユーザ/データ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ちステート	プログラムコマンド
イレーズ待ちステート	ブロックイレーズコマンド

### 42.10.7.1 ユーザ / データ領域プログラム準備

ホストがユーザ / データ領域プログラム準備コマンドを送信すると、本 MCU はプログラムの準備の指示がホストから行われたと判断し、ユーザ領域またはデータ領域へのプログラムのみ受け付ける、プログラム待ち状態に遷移し、レスポンスを送信します。

コマンド	43h
レスポンス	06h

### 42.10.7.2 プログラム

ホストから送信するプログラムアドレスのアライメントは、256 バイトアライメントとしてください。プログラムデータ長が 256 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”を追加して送信してください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンスを送信します。プログラム処理中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム / イレーズホストコマンド待ち状態に遷移する場合、ホストから“50h FFh FFh FFh FFh B4h”を送信してください。本 MCU はプログラム / イレーズホストコマンド待ち状態に遷移し、レスポンスを送信します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

プログラムアドレス (4 バイト) : プログラム先のアドレス

プログラムデータ長でアライメントしたアドレス  
プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ (n バイト) : プログラムデータ (n = 256 (ブートモード) または 0 (終了時))

プログラム不要なバイトには“FFh”を設定  
プログラムを終了する場合はプログラムデータなし

SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D0h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (アドレスが指定の領域内がない)

“53h” : プログラムエラー (データが書き込めない)

### 42.10.7.3 イレーズ準備

ホストがイレーズ準備コマンドを送信すると、本MCUはイレーズの準備の指示がホストから行われたと判断し、ユーザ領域またはデータ領域のブロックイレーズコマンドのみを受け付けるイレーズ待ちステートに遷移し、レスポンスを送信します。

コマンド	48h
レスポンス	06h

### 42.10.7.4 ブロックイレーズ

ホストから送信するブロック先頭アドレスは、ブロック情報問い合わせで応答された情報を元に指定してください。

本MCUはブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンスを送信します。イレーズ処理中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“59h 04h FFh FFh FFh FFh A7h”を送信してください。本MCUはプログラム/イレーズホストコマンド待ちステートに遷移し、レスポンスを送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1 バイト) : ブロック先頭アドレスのデータの総バイト数 (固定値で “04h”)

ブロック先頭アドレス (4 バイト) : イレーズするブロックの先頭アドレス  
イレーズを終了する場合には “FFFF FFFFh” を設定

SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	06h
-------	-----

エラーレスポンス	D9h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード  
 “11h” : SUM エラー  
 “29h” : ブロック先頭アドレスエラー (ブロック先頭アドレスが正しくない)  
 “51h” : イレーズエラー (指定ブロックがイレーズできない)

## 42.10.8 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域やデータ領域に対してリードチェックを行うコマンドです。表 42.22 にプログラム/イレーズコマンド待ちで使用可能なリードチェックコマンドの一覧を示します。

表 42.22 リードチェックコマンド

コマンド	機能
メモリリード	ユーザ領域のデータ読み出し データ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域のチェックサムを取得
データ領域チェックサム	データ領域のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域のプログラム済みデータの有無をチェック
データ領域ブランクチェック	データ領域のプログラム済みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

### 42.10.8.1 メモリリード

ホストから送信する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲で設定してください。ホストから送信する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

本MCUはデータを正常にリードできた場合、読み出し先頭アドレスから読み出しサイズ分のデータを送信します。リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数

領域 (1 バイト) : 読み出し対象の領域  
"01h" : ユーザ / データ領域

読み出し先頭アドレス (4 バイト) : 読み出し対象領域の先頭アドレス

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

SUM (1 バイト) : コマンドデータを合計して "00h" になる値

レスポンス	52h	読み出しサイズ
	読み出しデータ	
	SUM	

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

読み出しデータ (n バイト) : 指定アドレスから読み出したデータ (n = 読み出しサイズ)

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

エラーレスポンス	D2h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー

- ・コマンドの「領域」に“01h”以外を指定した
- ・コマンドの読み出し先頭アドレスが読み出し対象領域の範囲外である

“2Bh” : サイズエラー

- ・コマンドの読み出しサイズに“0000 0000h”が指定されている
- ・コマンドの読み出しサイズが読み出し対象領域のサイズを超えている
- ・コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが読み出し対象領域の範囲外である

### 42.10.8.2 ユーザ領域チェックサム

ホストがユーザ領域チェックサムコマンドを送信すると、本MCUはユーザ領域情報問い合わせコマンドのレスポンス内の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果(チェックサム)をレスポンスとして送信します。

コマンド	4Bh	
レスポンス	5Bh	サイズ
	ユーザ領域チェックサム	
	SUM	

サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で“04h”)

ユーザ領域チェックサム (4 バイト) : ユーザ領域チェックサムの結果

SUM (1 バイト) : レスポンスデータを合計して“00h”になる値

### 42.10.8.3 データ領域チェックサム

ホストがデータ領域チェックサムコマンドを送信すると、本MCUはデータ領域情報問い合わせコマンドのレスポンス内の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果(チェックサム)をレスポンスとして送信します。

コマンド	61h	
レスポンス	71h	サイズ
	データ領域チェックサム	
	SUM	

サイズ (1 バイト) : データ領域チェックサムのバイト数 (固定値で“04h”)

データ領域チェックサム (4 バイト) : データ領域チェックサムの結果

SUM (1 バイト) : レスポンスデータを合計して“00h”になる値

#### 42.10.8.4 ユーザ領域ブランクチェック

ホストがユーザ領域ブランクチェックコマンドを送信すると、本 MCU はユーザ領域情報問い合わせコマンドのレスポンスで送信した先頭アドレスから最終アドレスまでのすべてにデータがない場合、レスポンスを送信します。1 バイトでもデータがある場合には、エラーレスポンスを送信します。

コマンド	4Dh
レスポンス	06h
エラーレスポンス	CDh      エラー
エラー (1 バイト) : エラーコード	
"52h" : データあり	

#### 42.10.8.5 データ領域ブランクチェック

ホストがデータ領域ブランクチェックコマンドを送信すると、本 MCU はデータ領域情報問い合わせコマンドのレスポンスで送信した先頭アドレスから最終アドレスまでのすべてにデータがない場合、レスポンスを送信します。1 バイトでもデータがある場合には、エラーレスポンスを送信します。

コマンド	62h
レスポンス	06h
エラーレスポンス	E2h      エラー
エラー (1 バイト) : エラーコード	
"52h" : データあり	

### 42.10.8.6 アクセスウィンドウ情報プログラム

ホストから送信するアクセスウィンドウ先頭アドレスは、ユーザ領域のブロック先頭アドレスを指定してください。アクセスウィンドウ最終アドレスは、ユーザ領域のブロック最終アドレスを指定してください。

本MCUは指定されたアクセスウィンドウの設定が正常に終了すると、レスポンスを送信します。プログラム処理中にエラーが発生すると、エラーレスポンスを送信します。

アクセスウィンドウの設定は、セーフティ機能の一部であるため、設定の上書きはできません。

コマンド	74h	05h	AW区分	
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	SUM			

- AW 区分 (1 バイト) : アクセスウィンドウの設定 / 解除  
 アクセスウィンドウを設定する場合には "00h" を設定  
 アクセスウィンドウを解除する場合には "FFh" を設定
- AW 先頭アドレス LH (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)  
 ブロックの先頭アドレスから A15 ~ A8 を設定  
 アクセスウィンドウを解除する場合には "FFh" を設定
- AW 先頭アドレス HL (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)  
 ブロックの先頭アドレスから A23 ~ A16 を設定  
 アクセスウィンドウを解除する場合には "FFh" を設定
- AW 最終アドレス LH (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)  
 ブロックの最終アドレスから A15 ~ A8 を設定  
 アクセスウィンドウを解除する場合には "FFh" を設定
- AW 最終アドレス HL (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)  
 ブロックの最終アドレスから A23 ~ A16 を設定  
 アクセスウィンドウを解除する場合には "FFh" を設定
- SUM (1 バイト) : コマンドデータを合計して "00h" になる値

レスポンス	06h
-------	-----

エラーレスポンス	F4h	エラー
----------	-----	-----

- エラー (1 バイト) : エラーコード  
 "11h" : SUM エラー  
 "2Ah" : アドレスエラー (アドレスが指定の領域内でない)  
 "53h" : プログラムエラー (アクセスウィンドウの設定ができない)



### 42.10.8.7 アクセスウィンドウリード

ホストから送信するコマンドは、本 MCU では“73h 01h FFh 8Dh”を送信してください。

本 MCU はリードが正常に実行できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	73h	01h	FFh	8Dh
------	-----	-----	-----	-----

レスポンス	73h	05h		
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	FFh			
	SUM			

AW 先頭アドレス LH (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)

AW 先頭アドレス HL (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)

AW 最終アドレス LH (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)

AW 最終アドレス HL (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)

SUM (1 バイト) : レスポンスデータを合計して“00h”になる値

エラーレスポンス	F3h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード  
“11h” : SUM エラー

## 42.11 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマが、ユーザ領域、データ領域のプログラム/イレーズを行う手順を説明します。

1. ビットレート自動調整
2. 本 MCU の情報を取得 (注1)
3. デバイスの指定、ビットレートの変更
4. プログラム/イレーズステートへの遷移
5. ブートモード ID コードプロテクトの解除
6. イレーズレディ処理
7. ユーザ領域、データ領域のイレーズ (注2、注3)
8. ユーザ領域、データ領域のプログラム (注2、注3)
9. ユーザ領域のデータを確認 (注2)
10. データ領域のデータを確認 (注2)
11. ユーザ領域にアクセスウィンドウを設定 (注3)
12. 本 MCU のリセット

注1. 2. の処理は、取得する情報がすでにある場合、省略できます。

注2. 7. ~ 11. の処理は、処理の省略や実行順の入れ替えを行っても構いません。

注3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、12. の処理を行います。

上記に示す手順の詳細は、「42.11.1 ビットレート自動調整の制御手順」から「42.11.11 ユーザ領域にアクセスウィンドウを設定」を参照ください。また各コマンドに関する詳細は、「42.10.4 問い合わせコマンド」、「42.10.5 設定コマンド」、「42.10.6 ID コード認証コマンド」、「42.10.7 プログラム/イレーズコマンド」、「42.10.8 リードチェックコマンド」を参照してください。

### 42.11.1 ビットレート自動調整の制御手順

シリアルプログラマから送信されるデータ“00h”のLow期間を測定してビットレートの自動調整を行います。

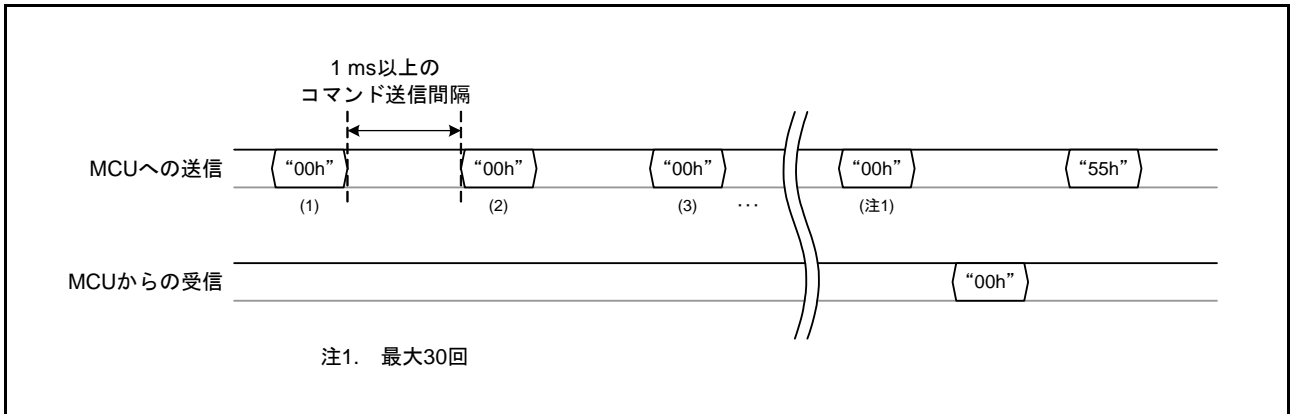


図 42.29 ビットレート自動調整時の送受信データ

ブートモードで起動して 400 ms 以上経過した後にプログラマから本 MCU に“00h”を送信してください。プログラマから本 MCU に“00h”を送信する操作は、最大 30 回実行できます。本 MCU はビットレート調整が終了すると“00h”をプログラマへ送信します。プログラマが“00h”を受信した場合には、プログラマから本 MCU に“55h”を送信してください。“00h”を受信できなかった場合には、本 MCU をブートモードで再起動し、再度ビットレートを調整してください。

本 MCU は“55h”を受信すると“E6h”を送信して問い合わせ / 設定コマンド待ち状態になります。“55h”を受信できなかった場合には“FFh”を送信します。プログラマは“FFh”を受信したら、本 MCU をブートモードで再起動し、再度ビットレートを調整してください。

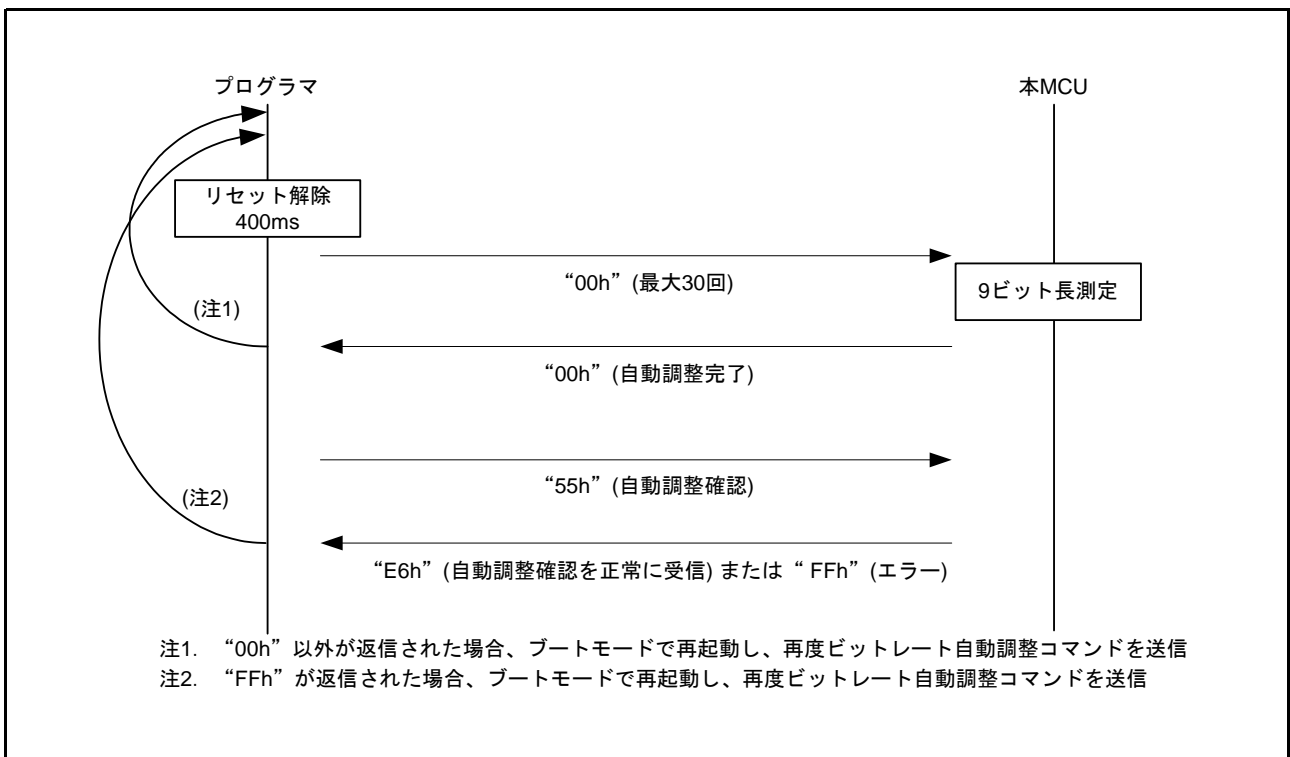


図 42.30 ビットレート自動調整の手順

### 42.11.2 本MCUの情報を取得する制御手順

問い合わせコマンドを送信し、設定コマンドとプログラム/イレースコマンドとリードチェックコマンドを送信するために必要な情報を取得します。

- (1) 接続するデバイスがどのデバイスなのかを確認するため、サポートデバイス問い合わせコマンド (20h) を送信します。本MCUはデバイスコードとシリーズ名を応答します。
- (2) データ領域の有無とエリアプロテクション機能の有無を確認するため、データ領域有無問い合わせコマンド (2Ah) を送信します。本MCUはデータ領域の有無とエリアプロテクション機能の有無を応答します。
- (3) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド (25h) を送信します。本MCUはユーザ領域の先頭アドレスと最終アドレスを応答します。
- (4) ブロックの構成を確認するため、ブロック情報問い合わせコマンド (26h) を送信します。本MCUはユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を応答します。
- (5) データ領域の先頭アドレスと最終アドレスを確認するため、データ領域情報問い合わせコマンド (2Bh) を送信します。本MCUはデータ領域の先頭アドレスと最終アドレスを応答します。

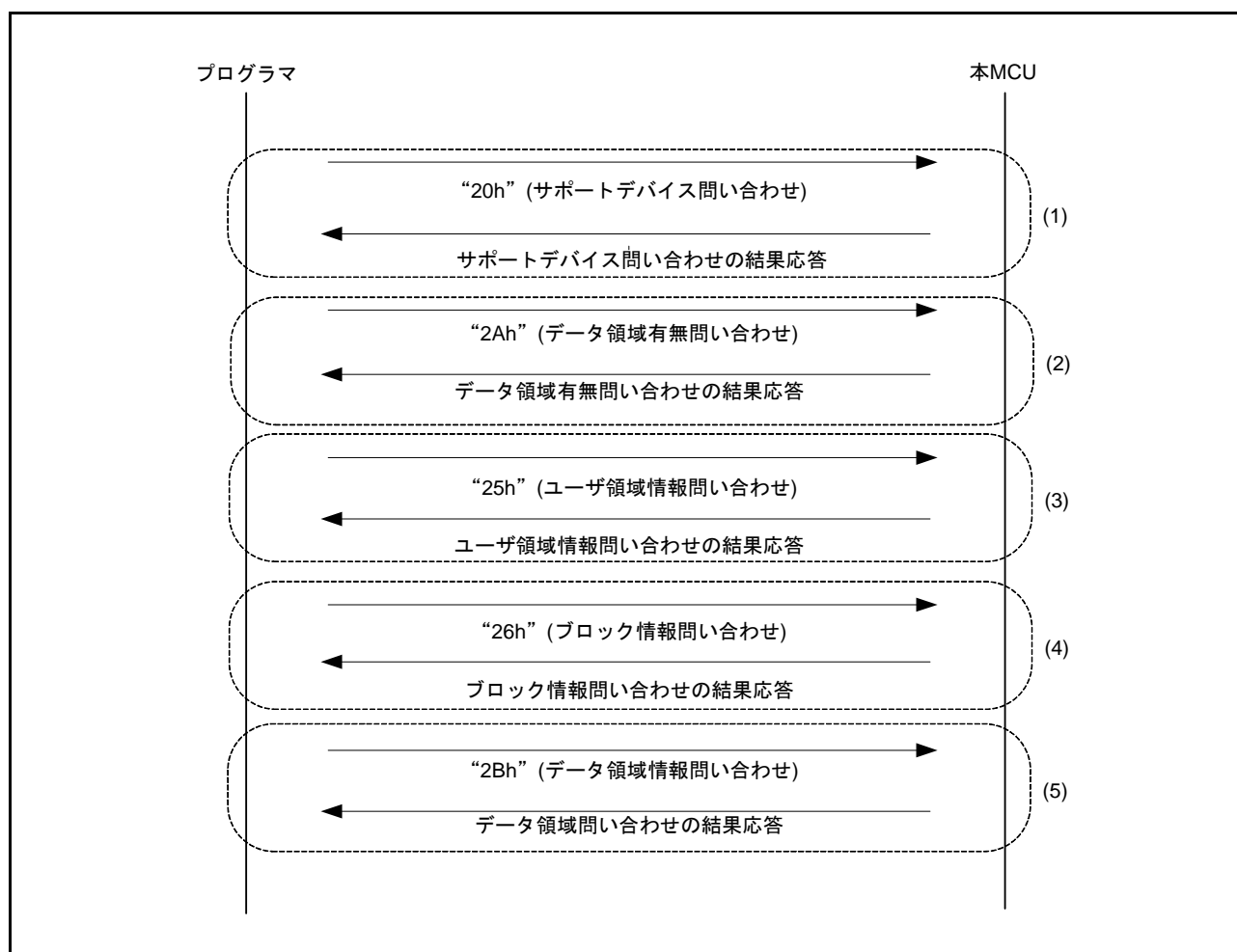


図 42.31 問い合わせコマンドの制御手順

### 42.11.3 デバイス指定、ビットレート変更の制御手順

プログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) プログラマと接続するデバイスとプログラムするデータのエンディアンを指定するため、デバイス選択コマンド (10h) を送信します。プログラムデータがリトルエンディアンの場合、サポートデバイス問い合わせで応答された“デバイスコード(リトルエンディアン)”を指定します。プログラムデータがビッグエンディアンの場合、サポートデバイス問い合わせで応答された“デバイスコード(ビッグエンディアン)”を指定します。本MCUは正常にデバイスが指定されるとレスポンス (46h) を送信します。正常に受信できなかった場合には、エラーレスポンス (90h) を送信します。
- (2) 通信ビットレートを変更するため、動作周波数選択コマンド (3Fh) を送信します。本MCUは正常に通信ビットレートが指定されるとレスポンス (06h) を送信します。ビットレート変更ができない場合や、正常に受信できなかった場合には、エラーレスポンス (BFh) を送信します。
- (3) プログラマはレスポンス (06h) を受信すると、動作周波数選択コマンド送信時のビットレートで1ビット期間ウェイトし、プログラマのビットレートを変更後のビットレートに設定します。その後、変更後のビットレートで通信確認データ (06h) を送信します。本MCUは正常にコマンドを受信すると通信確認データのレスポンス (06h) を送信します。

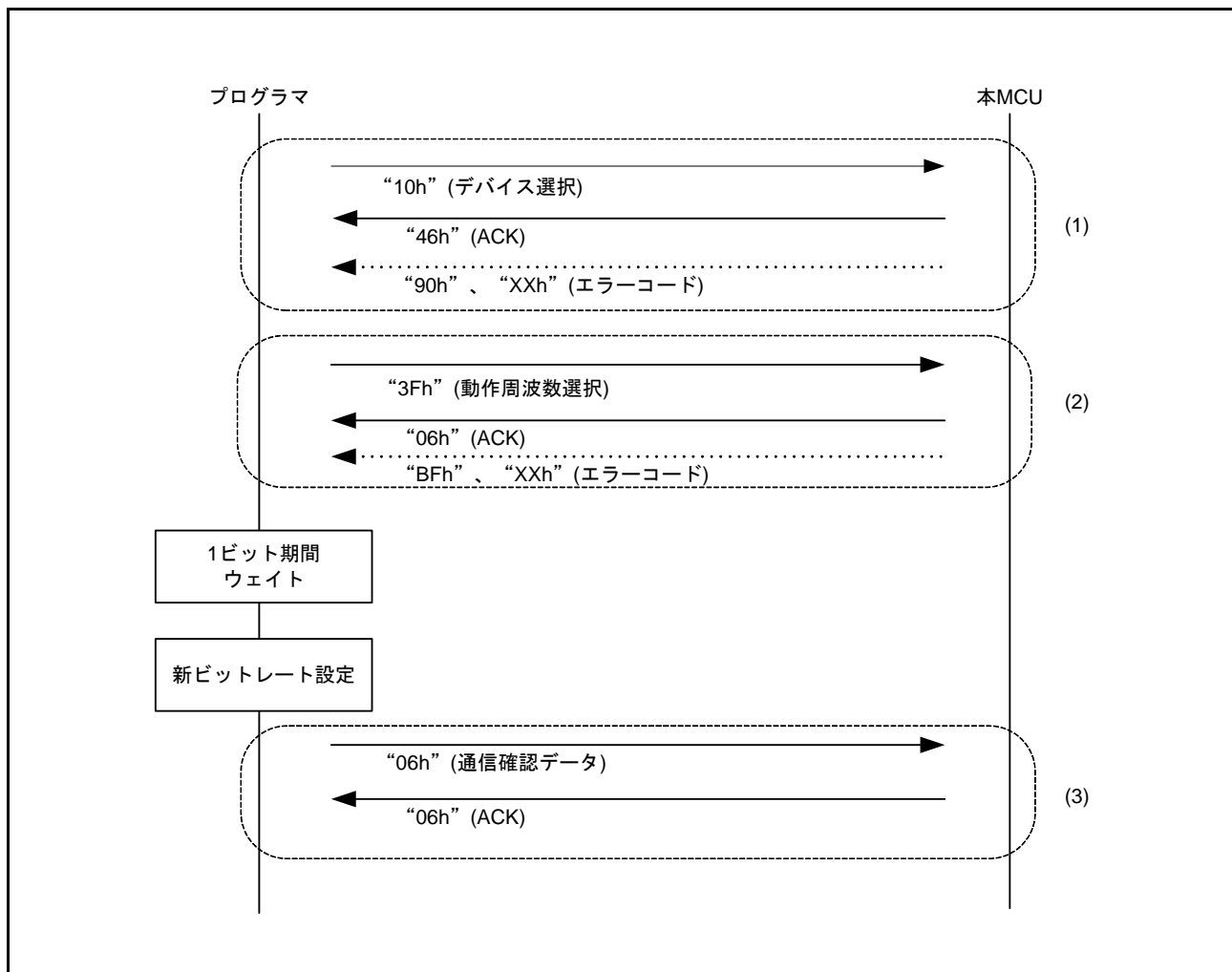


図 42.32 デバイス指定、ビットレート変更の制御手順

#### 42.11.4 プログラム/イレーズステートへの遷移

プログラム/イレーズを行うため、本MCUをプログラム/イレーズステートに遷移させます。

プログラム/イレーズステート遷移コマンド(40h)を送信します。本MCUはIDコード、ユーザ領域、データ領域の状態に応じて応答します。

- (1) ブートモードIDコードによるプロテクトが無効、かつユーザ領域、データ領域の全領域にデータがない場合、レスポンス(06h)を送信します。レスポンス送信後、本MCUはプログラム/イレーズステートになっており、「42.11.7 ユーザ領域、データ領域のイレーズ」から「42.11.11 ユーザ領域にアクセスウィンドウを設定」の処理を引き続き実行します。このとき、プログラムする前に「42.11.7 ユーザ領域、データ領域のイレーズ」に示すイレーズ手順を行ってください。
- (2) ブートモードIDコードによるプロテクトが無効、かつユーザ領域、データ領域にデータがある場合、レスポンス(56h)を送信します。レスポンス送信後、本MCUはイレーズレディの処理待ちとなっており、「42.11.6 イレーズレディ処理」の処理を行います。
- (3) ブートモードIDコードによるプロテクトが有効の場合、レスポンス(16h)を送信します。レスポンス送信後、本MCUはIDコード認証の処理待ちとなっており、「42.11.5 ブートモードIDコードプロテクトの解除」の処理を行います。

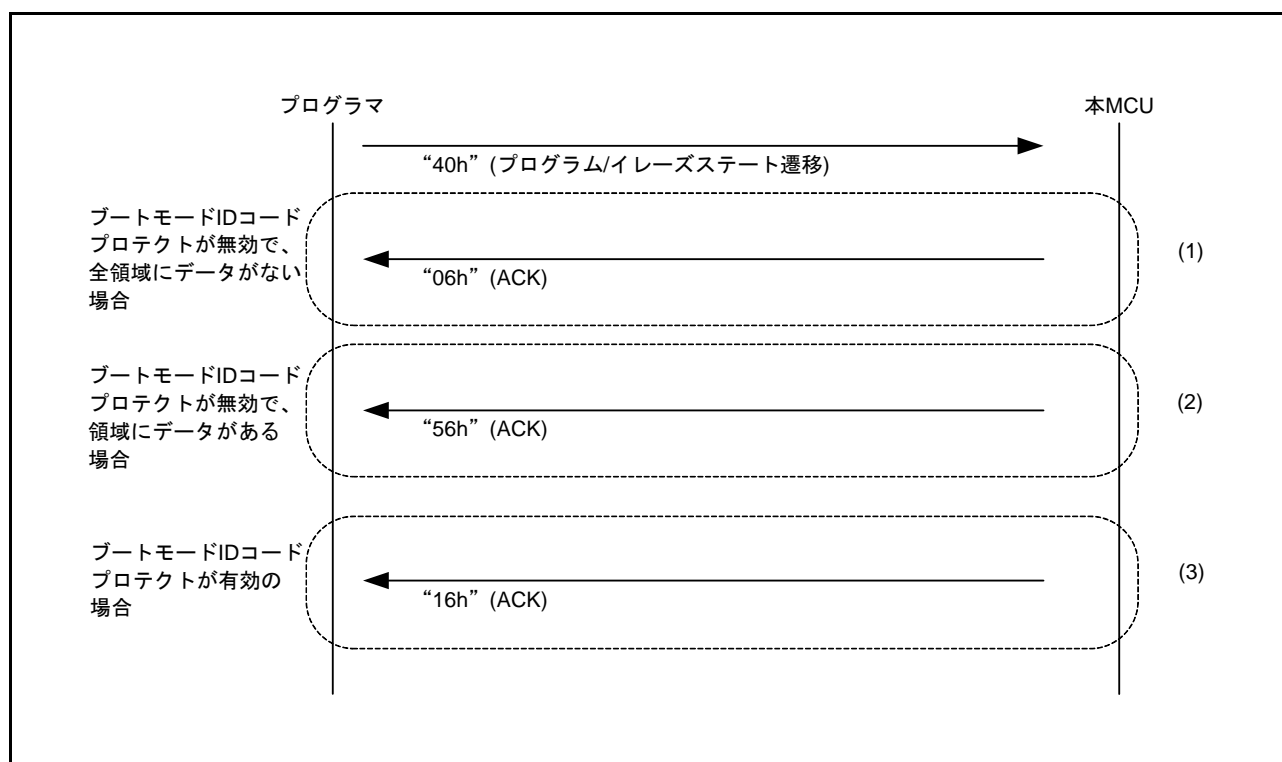


図 42.33 プログラム/イレーズステート遷移の手順

### 42.11.5 ブートモード ID コードプロテクトの解除

プログラマと接続した本 MCU はプログラム / イレーズ / リードチェックができないように、ブートモード ID コードプロテクトが設定されています。このブートモード ID コードプロテクトを解除します。

ID コードチェックコマンド (60h) を送信します。本 MCU は送信された ID コードとユーザ領域に格納されている ID コードを比較し、ID コードの一致、不一致に応じて応答します。

- (1) ID コードが一致の場合、レスポンス (06h) を送信します。レスポンス送信後、本 MCU はプログラム / イレーズ状態になっており、「42.11.7 ユーザ領域、データ領域のイレーズ」から「42.11.11 ユーザ領域にアクセスウィンドウを設定」の処理を引き続き実行します。このとき、ユーザ領域、データ領域のデータは消去されません。プログラムする前に「42.11.7 ユーザ領域、データ領域のイレーズ」に示すイレーズ手順を行ってください。  
ID コードが不一致の場合、エラーレスポンス (E0h) を送信します。レスポンス送信後、本 MCU は ID コード認証の処理待ちから遷移していません。  
制御コードが “52h” で、ID コードの不一致が続く場合、MCU をリセット後、「42.11.1 ビットレート自動調整の制御手順」からやり直してください。
- (2) ID コードのうち制御コードが “45h” で、ID コードの不一致が 3 回発生した場合、レスポンス (56h) を送信します。レスポンス送信後、本 MCU はイレーズレディの処理待ちとなっており、「42.11.6 イレーズレディ処理」の処理を行います。

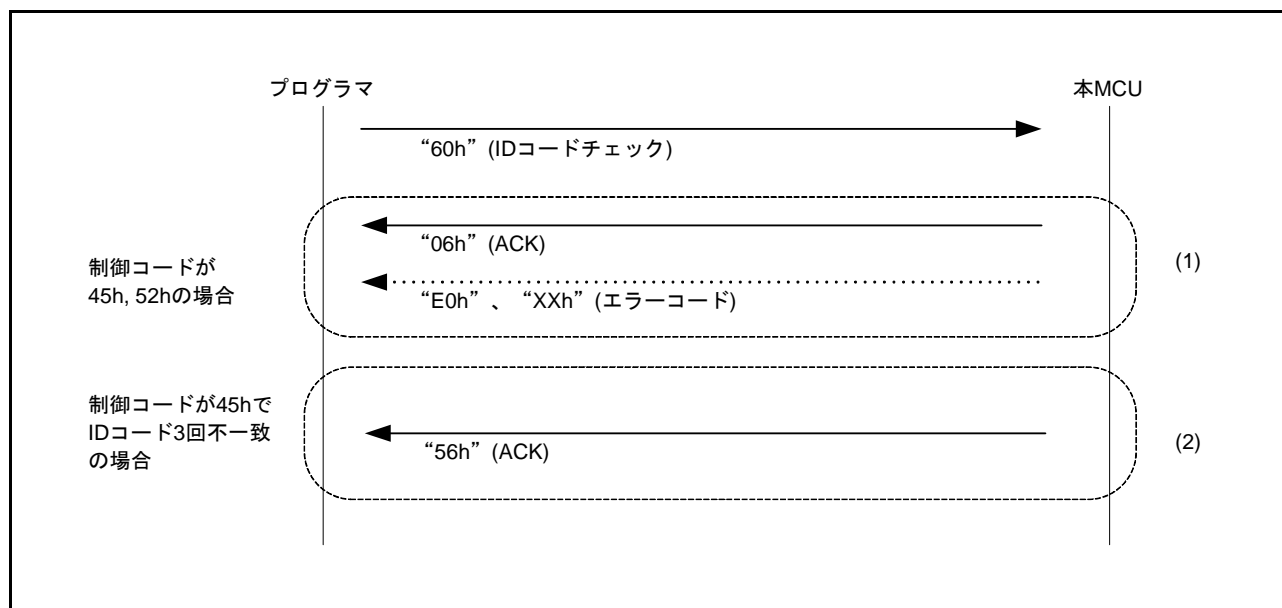


図 42.34 ID コードチェックの手順

## 42.11.6 イレーズレディ処理

本 MCU のユーザ領域、データ領域を消去します。

- (1) 本 MCU をイレーズ待ちにするため、イレーズ準備コマンド (48h) を送信します。本 MCU はイレーズ待ちとなっており、レスポンス (06h) を送信します。
- (2) 本 MCU のブロックをイレーズするため、ブロックイレーズコマンド (59h) を送信します。本 MCU は正常にブロックが消去されるとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (D9h) を送信します。  
全ブロック数分のブロックイレーズのコマンドを送信するまでブロックイレーズコマンドの送信を繰り返してください。全ブロック数とは、事前にブロック情報問い合わせコマンドで取得したユーザ領域ブロック数とデータ領域ブロック数の合計です。途中で終了させると、次のプログラム/イレーズステートで正しいコマンドを送信しても、コマンドエラーとなる場合があります。
- (3) イレーズを終了するブロックイレーズコマンド (59h 04h FFh FFh FFh A7h) を送信します。本 MCU は、レスポンス (06h) を送信します。
- (4) イレーズレディが終了したことを確認するため、ブートモードステータス問い合わせコマンド (4Fh) を送信します。本 MCU は、イレーズレディが終了している場合、ブートモードステータス問い合わせの結果を応答し、イレーズレディが終了していない場合、エラーレスポンス (80h 4Fh) を送信します。エラーレスポンスを受信したら、本 MCU をブートモードで再起動し、「42.11.1 ビットレート自動調整の制御手順」からやり直してください。

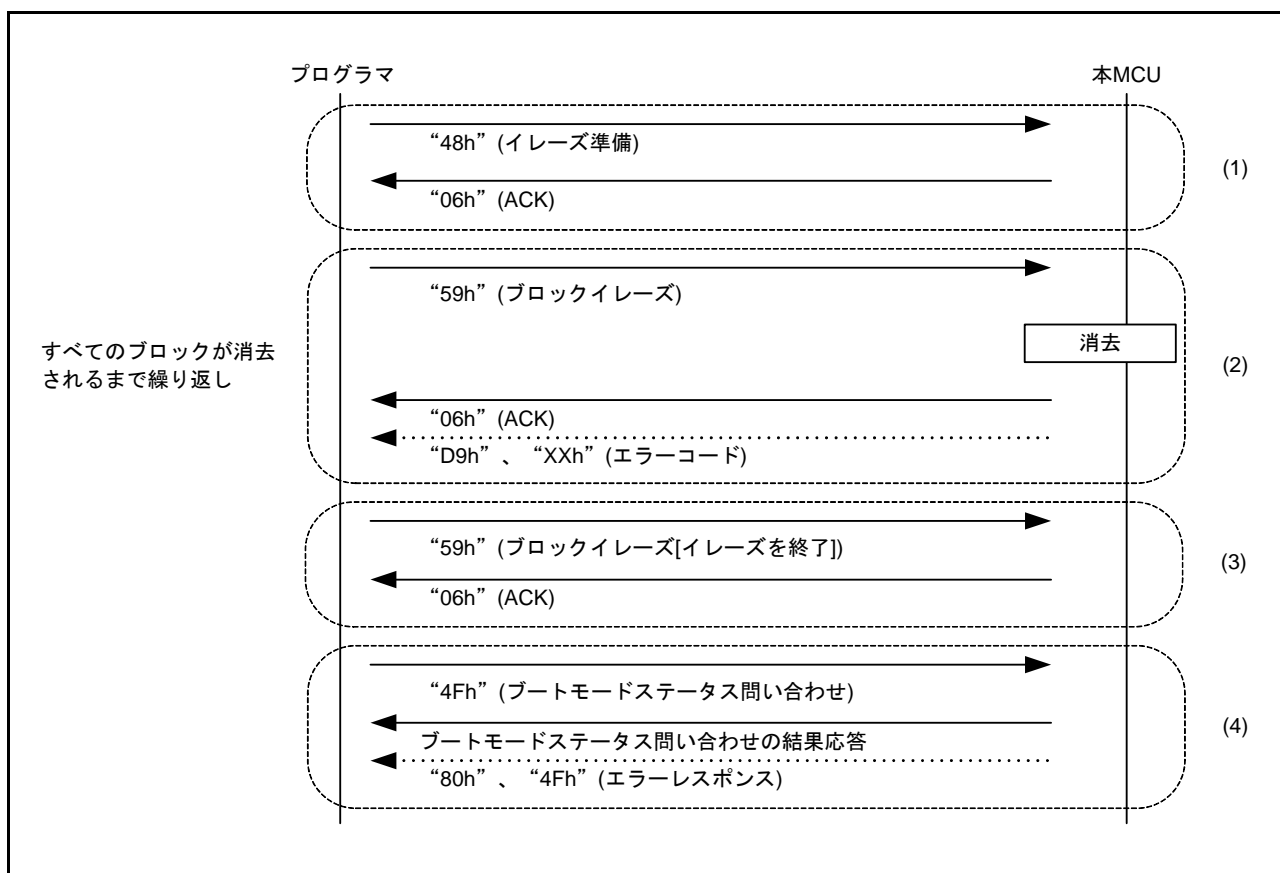


図 42.35 イレーズレディ処理のコマンド制御手順



### 42.11.7 ユーザ領域、データ領域のイレーズ

ユーザプログラムを書き込むために、ユーザ領域、データ領域のうち対象領域のブロックを消去します。

- (1) イレーズ待ち状態に遷移するため、イレーズ準備コマンド (48h) を送信します。本 MCU はイレーズ待ち状態に遷移し、レスポンス (06h) を送信します。
- (2) ブロックイレーズコマンド (59h) を送信します。イレーズするブロックは、ブロック先頭アドレスで指定します。  
本 MCU は指定ブロックが正常に消去されるとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (D9h) を送信します。
- (3) プログラム/イレーズ状態に遷移するため、イレーズを終了するブロックイレーズコマンド (59h 04h FFh FFh FFh FFh A7h) を送信します。本 MCU はプログラム/イレーズ状態に遷移し、レスポンス (06h) を送信します。

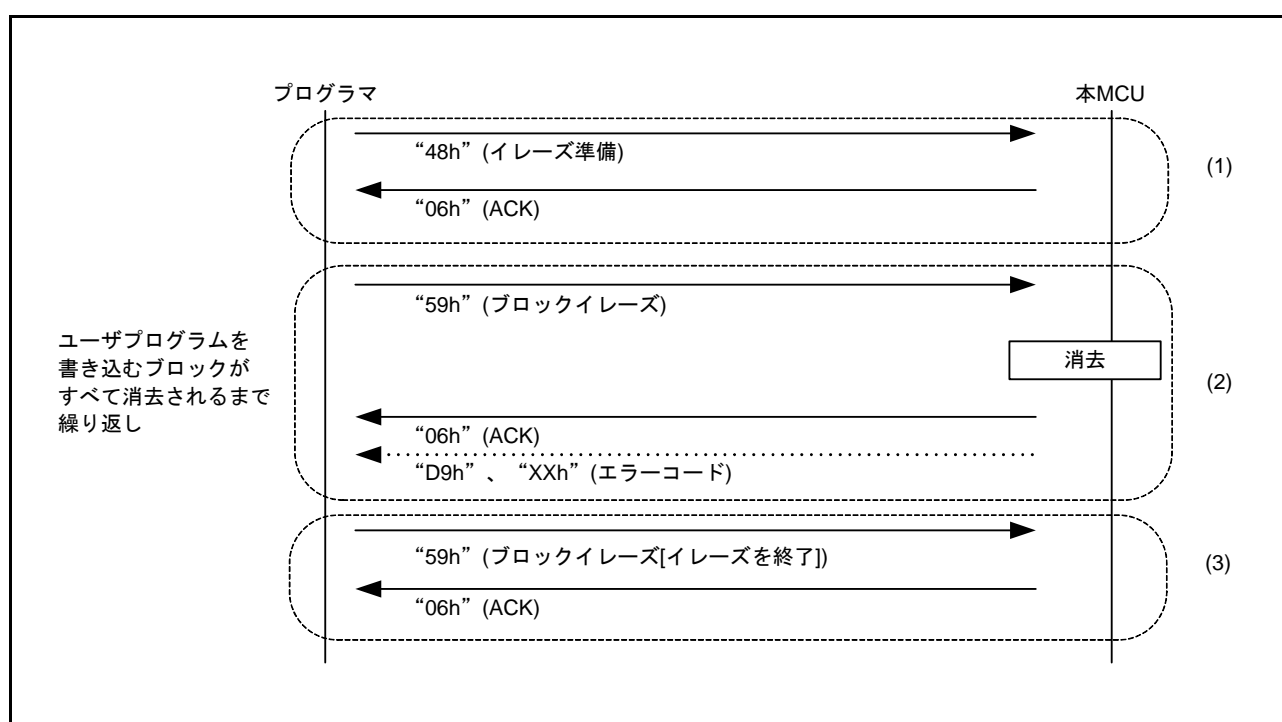


図 42.36 ユーザ領域、データ領域をイレーズする手順

### 42.11.8 ユーザ領域、データ領域のプログラム

ユーザ領域、データ領域にユーザプログラムを書き込みます。

- (1) プログラム待ち状態に遷移するため、ユーザ/データ領域プログラム準備コマンド (43h) を送信します。  
本MCUはプログラム待ち状態に遷移し、レスポンス (06h) を送信します。
- (2) プログラムコマンド (50h) を送信します。プログラムアドレスは 256 バイトでアライメントされたアドレスを、プログラムデータは 256 バイト単位で指定します。本MCUはプログラムが正常に終了するとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (D0h) を送信します。
- (3) プログラム/イレーズ状態に遷移するため、プログラムを終了するプログラムコマンド (50h FFh FFh B4h) を送信します。本MCUはプログラム/イレーズ状態に遷移し、レスポンス (06h) を送信します。

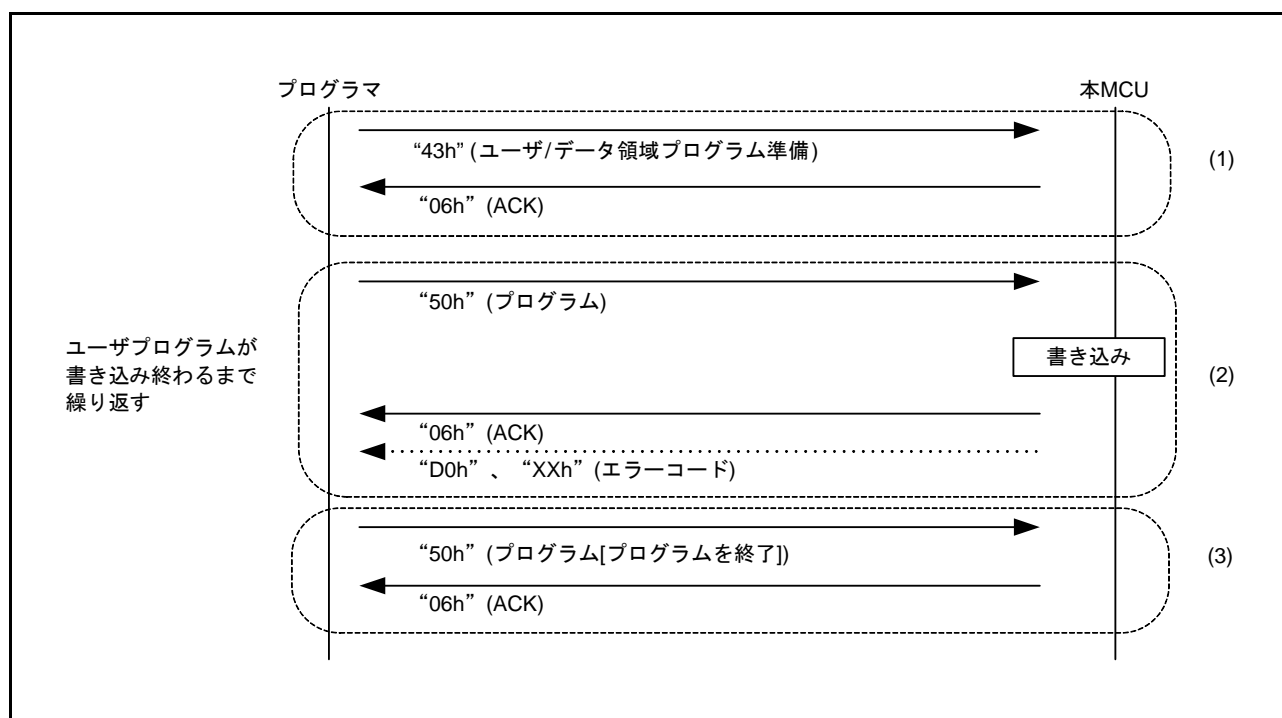


図 42.37 ユーザ領域、データ領域をプログラムする手順

### 42.11.9 ユーザ領域のデータを確認

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド (52h) を送信します。読み出す領域は、読み出しアドレスと読み出しサイズで設定します。本MCUは読み出しアドレスで指定されたアドレスから読み出しサイズ分のデータを応答します。正常に受信できなかった場合には、エラーレスポンス (D2h) を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド (4Bh) を送信します。本MCUはユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で読み出した結果をレスポンスとして送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド (4Dh) を送信します。本MCUはユーザ領域の先頭アドレスから最終アドレスまでのすべてにデータがない場合、レスポンス (06h) を送信します。1バイトでもデータがある場合は、データありレスポンス (CDh 52h) を送信します。

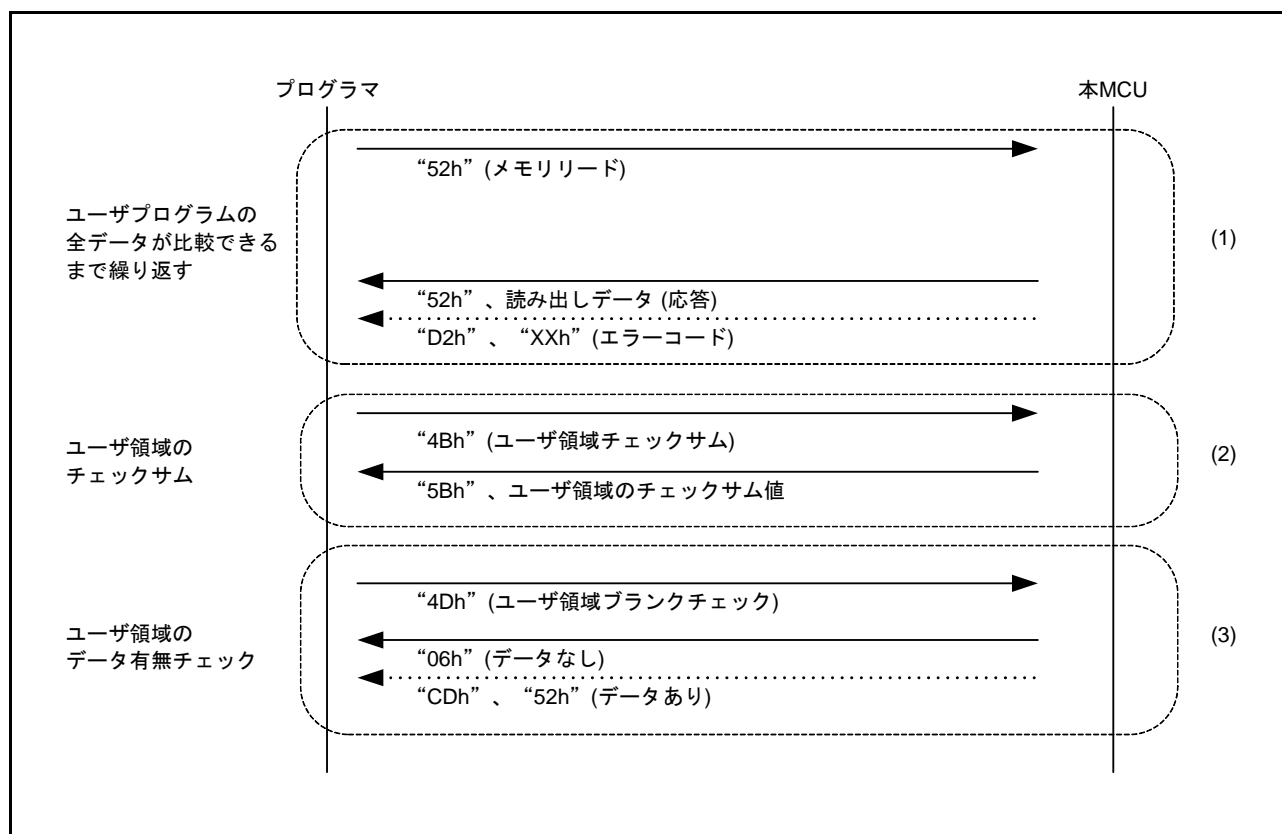


図 42.38 ユーザ領域のデータを確認する手順

### 42.11.10 データ領域のデータを確認

データ領域に書き込まれたデータを確認するため、データ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、データ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。データ領域にあるデータを読み出すために、メモリリードコマンド (52h) を送信します。読み出す領域は、読み出しアドレスと読み出しサイズで設定します。本MCUは読み出しアドレスで指定されたアドレスから読み出しサイズ分のデータを応答します。正常に受信できなかった場合には、エラーレスポンス (D2h) を送信します。
- (2) データ領域のチェックサム値でプログラムデータを確認するため、データ領域チェックサムコマンド (61h) を送信します。本MCUはデータ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で読み出した結果をレスポンスとして送信します。
- (3) データ領域にデータがあるかないかを確認するため、データ領域ブランクチェックコマンド (62h) を送信します。本MCUはデータ領域の先頭アドレスから最終アドレスまでのすべてにデータがない場合、レスポンス (06h) を送信します。1バイトでもデータがある場合は、データありレスポンス (E2h 52h) を送信します。

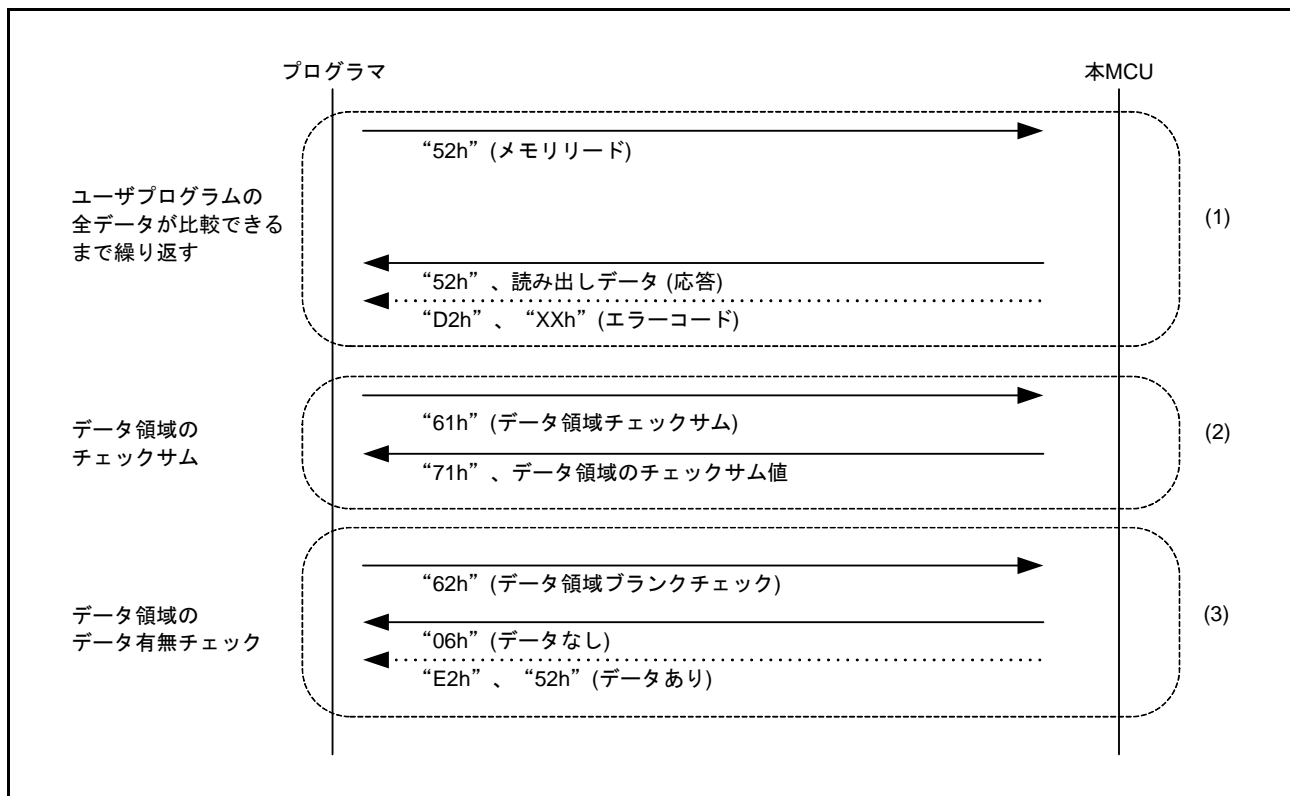


図 42.39 データ領域のデータを確認する手順

### 42.11.11 ユーザ領域にアクセスウィンドウを設定

セルフプログラミング時に、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定、設定解除を行うため、アクセスウィンドウ情報プログラムコマンド (74h) を送信します。

アクセスウィンドウの設定を行う場合は、AW 区分には“設定” (00h) を、AW 先頭アドレス、AW 最終アドレスにはセルフプログラミング時に書き換えを許可する領域の、それぞれ先頭アドレスと最終アドレスを指定します。

アクセスウィンドウの設定解除を行う場合は、AW 区分には“解除” (FFh) を、AW 先頭、AW 最終アドレスには“FFh, FFh”を指定します。

本MCUは正常にアドレスを設定できるとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (F4h) を送信します。

- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド (73h) を送信します。本MCUは設定されたアクセスウィンドウの設定情報を応答します。正常に受信できなかった場合には、エラーレスポンス (F3h) を送信します。

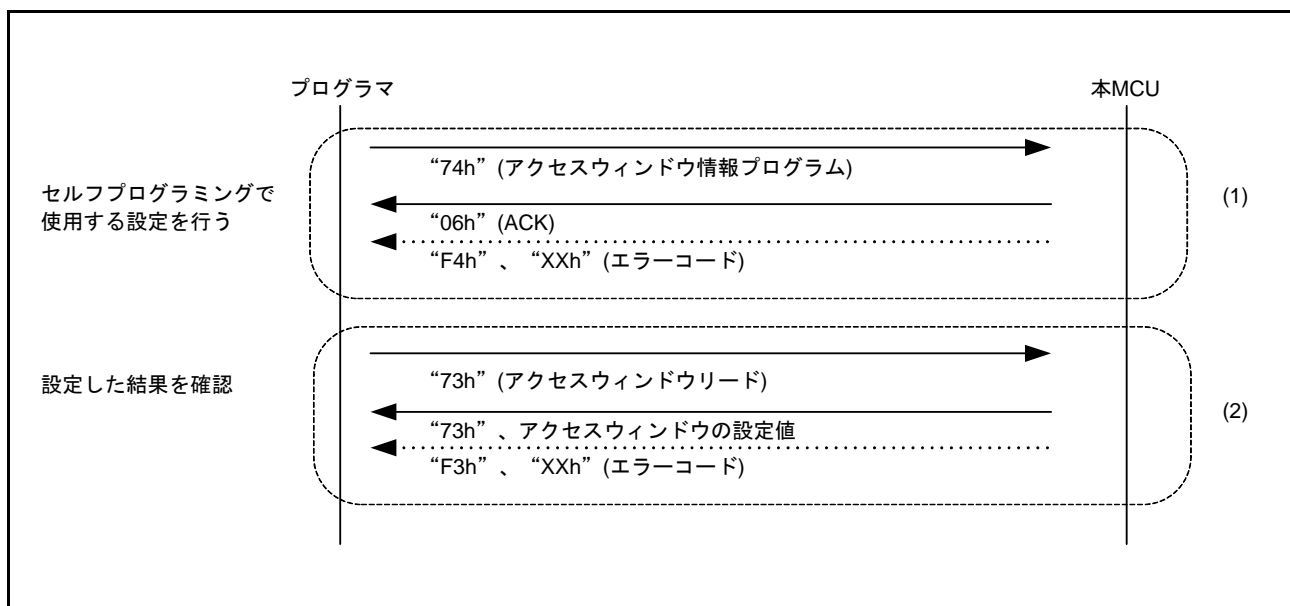


図 42.40 ユーザ領域にアクセスウィンドウを設定する手順

## 42.12 セルフプログラミングでの書き換え

### 42.12.1 概要

本MCUは、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROMとE2データフラッシュを書き換えることができます。

E2データフラッシュは、BGO機能を利用してROM上でフラッシュ書き換えルーチンを実行して、書き換えることができます。また、あらかじめ内蔵RAMに転送したフラッシュ書き換えルーチンを実行して、E2データフラッシュを書き換えることもできます。

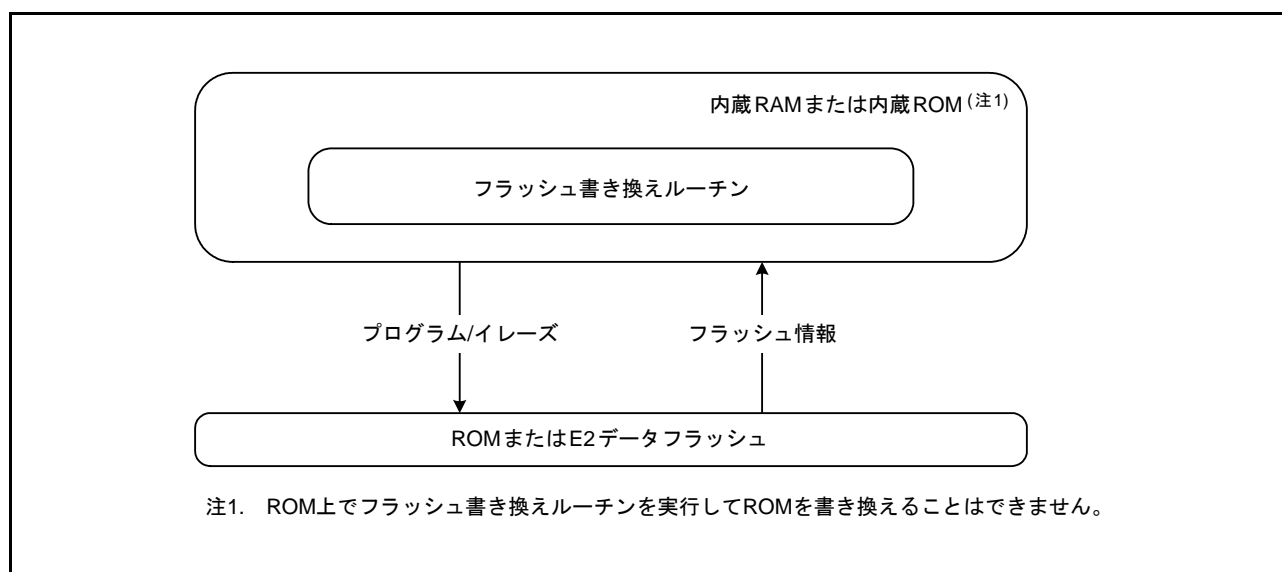


図 42.41 セルフプログラミングの概念

### 42.13 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス  
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理  
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止  
同一アドレスに2回以上のプログラムを行うことはできません。プログラム済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット  
プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「43. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。  
プログラム/イレーズ中の IWDT リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中のノンマスカブル割り込み禁止  
プログラム/イレーズ中にノンマスカブル割り込み (NMI 端子割り込み、発振停止検出割り込み、IWDT アンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込み) が発生すると、ROM からのベクタフェッチが発生し、不定データが読み出されます。  
このため、ROM へのプログラム/イレーズ中にノンマスカブル割り込みが発生しないようにしてください (本禁止事項は ROM のみに適用されます)。
- (6) プログラム/イレーズ中の割り込みベクタの配置  
プログラム/イレーズ中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の INTB レジスタにより割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。
- (7) 低速動作モードでの書き込み/消去  
消費電力低減機能の SOPCCR レジスタで低速動作モードを選択した場合は、フラッシュへのプログラム/イレーズを行わないでください。
- (8) プログラム/イレーズ中の異常終了  
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項 (9) の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (9) プログラム/イレーズ中の禁止事項  
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
  - ・本 MCU の電源を動作電圧範囲外にする。
  - ・OPCCR.OPCM[2:0] ビットの値を更新する。
  - ・SOPCCR.SOPCM ビットの値を更新する。
  - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
  - ・RSTCKCR.RSTCKEN ビットの設定により、スリープモード復帰時のクロックソース切り替えを有効にする。
  - ・FlashIF クロック (FCLK) の分周比を変更する。
  - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。
  - ・ROM のプログラム/イレーズ中に E2 データフラッシュへアクセスする。
  - ・E2 データフラッシュのプログラム/イレーズ中に DFLCTL.DFLEN ビットの値を変更する。

## (10) プログラム/イレーズ時の FCLK について

セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[4:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合に、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合は、1 MHz、2 MHz、3 MHz または 4 MHz 以外の周波数は使用できません。

## 42.14 使用上の注意事項 (ブートモード)

## (1) ブートモードで通信異常が発生した場合に関する注意事項

本 MCU と正常な通信ができなくなった場合、本 MCU をリセットして、再度ブートモードで起動させてください。

## (2) ブートモード (SCI インタフェース) での電源電圧に関する注意事項

500 kbps を超える通信ビットレートを使用する際は、3.0 V 以上で動作させてください。

## (3) ブートモード (SCI インタフェース) と USB0 のセルフパワードを使用する場合の注意事項

ブートモード (SCI インタフェース) を使用時、USB ケーブルを接続しないでください。

## (4) USB0 の Battery Charging 機能を使用する場合の注意事項

ブートモード (SCI インタフェース) を使用しないでください。

## (5) ブートモードでのオプション設定メモリに関する注意事項

ブートモードではオプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ 1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。

## (6) ブートモード (USB インタフェース) でのクロックに関する注意事項

ブートモード (USB インタフェース) を使用する場合は、EXTAL、XTAL 端子に外部から入力するか、発振子を接続してクロックを供給してください。

ブートモード (USB インタフェース) では、6, 8, 12, 16 MHz の外部クロックを使用してください。6, 8, 12, 16 MHz 以外の外部クロックでは使用できません。

## (7) ブートモード (USB インタフェース) での電源電圧に関する注意事項

ブートモード (USB インタフェース) では、3.0 V 以上 3.6 V 以下で動作させてください。3.0 V 未満の電圧では使用できません。

## (8) スタートアップ領域の切り替えに関する注意事項

スタートアップ領域の切り替えは、セルフプログラミングで実施してください。



## 43. 電気的特性

## 43.1 絶対最大定格

表 43.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = VREFL = VSS\_USB = 0V

項目		記号	定格値	単位
電源電圧		VCC, VCC_USB	-0.3 ~ +4.6	V
入力電圧	5Vトレラント対応ポート (注1)	$V_{in}$	-0.3 ~ +6.5	V
	ポートP40~P44、P46、 ポートP90~P92、 ポートPJ6、PJ7	$V_{in}$	-0.3 ~ AVCC0 + 0.3	V
	上記以外のポート	$V_{in}$	-0.3 ~ VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
		VREFH		
アナログ電源電圧		AVCC0	-0.3 ~ +4.6	V
アナログ入力電圧		$V_{AN}$	-0.3 ~ AVCC0 + 0.3 (AN000 ~ AN007、AN021 使用時) -0.3 ~ VCC + 0.3 (AN008 ~ AN015 使用時)	V
LCD電圧	$V_{L1}$ 電圧	$V_{L1}$	-0.3 ~ +2.8	V
	$V_{L2}$ 電圧	$V_{L2}$	-0.3 ~ +6.5	
	$V_{L3}$ 電圧	$V_{L3}$	-0.3 ~ +6.5	
	$V_{L4}$ 電圧	$V_{L4}$	-0.3 ~ +6.5	
動作温度(注2)		$T_{opr}$	-40 ~ +85 -40 ~ +105	°C
保存温度		$T_{stg}$	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VCC\_USB端子とVSS\_USB端子間、VREFH0端子とVREFL0間、VREFH端子とVREFL間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 $\mu$ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。また安定化容量を接続ください。

VCL端子は、4.7 $\mu$ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

詳細は、「43.15.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには、-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポートP16、P17、PA6、PB0は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は「表 1.3 製品一覧表」を参照してください。

表 43.2 推奨動作条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注1、注3)	USB 未使用時	1.8	—	3.6	V
		USB 使用時	3.0	—	3.6	
	VSS		—	0	—	
USB電源電圧	VCC_USB		—	VCC	—	V
	VSS_USB		—	0	—	
アナログ電源電圧	AVCC0 (注1、注2、注3)		1.8	—	3.6	V
	AVSS0		—	0	—	
	VREFH0		1.8	—	AVCC0	
	VREFL0		—	0	—	
	VREFH		1.8	—	AVCC0	
	VREFL		—	0	—	

注1. AVCC0とVCCは使用範囲内で独立に設定可能ですが、PJ0、PJ2端子の電圧とVCC、AVCC0には、以下の制約があります。  
 12ビットD/Aコンバータ使用時：ポートJ0、J2端子電圧（D/A出力電圧） $\leq$  VCC

汎用ポート選択時：VCC  $\leq$  AVCC0

注2. 詳細は、「36.8.11 アナログ電源端子他の設定範囲」を参照してください。

注3. AVCC0とVCCの電源投入順序について

AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。

## 43.2 DC 特性

表 43.3 DC 特性 (1)

条件 :  $2.7V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.7V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	$V_{IH}$	$0.7 \times VCC$	—	5.8	V	
	ポートP16、P17、ポートPA6、ポ ートPB0 (5Vトレラント)		$0.8 \times VCC$	—	5.8		
	ポートP02、P04、P07、 ポートP10~P15、 ポートP20~P27、 ポートP30~P32、P35、 ポートP50~P56、 ポートPA0~PA5、PA7 ポートPB1~PB7、 ポートPC0~PC7、 ポートPD0~PD4、 ポートPE0~PE7、 ポートPF6、PF7、 ポートPJ0(注1)、PJ2(注1)、PJ3、 RES#		$0.8 \times VCC$	—	$VCC + 0.3$		
	RIIC入力端子 (SMBusを除く)	$V_{IL}$	-0.3	—	$0.3 \times VCC$		
	RIIC入力端子以外		-0.3	—	$0.2 \times VCC$		
	RIIC入力端子 (SMBusを除く)	$\Delta V_T$	$0.05 \times VCC$	—	—		
	RIIC入力端子以外		$0.1 \times VCC$	—	—		
	入力電圧 (シュミット トリガ入力端子 を除く)	MD	$V_{IH}$	$0.9 \times VCC$	—		
XTAL (外部クロック入力)		$0.8 \times VCC$		—	$VCC + 0.3$		
ポートP40~P44、P46、 ポートP90~P92、 ポートPJ6、PJ7		$0.7 \times AVCC0$		—	$AVCC0 + 0.3$		
RIIC入力端子 (SMBus)		2.1	—	$VCC + 0.3$			
MD		$V_{IL}$	-0.3	—	$0.1 \times VCC$		
XTAL (外部クロック入力)			-0.3	—	$0.2 \times VCC$		
ポートP40~P44、P46、 ポートP90~P92、 ポートPJ6、PJ7			-0.3	—	$0.3 \times AVCC0$		
RIIC入力端子 (SMBus)			-0.3	—	0.8		

注1. 12ビットD/AコンバータとI/Oポートは、使用条件によりAVCC0とVCCに制約があります。  
DA0、DA1と兼用しているポートPJ0、PJ2を汎用入出力ポートとして使用する場合、 $VCC \leq AVCC0$ にしてください。

表 43.4 DC特性 (2)

条件:  $1.8V \leq VCC = VCC\_USB < 2.7V$ ,  $1.8V \leq AVCC0 < 2.7V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	ポートP16、P17、ポートPA6、ポ ートPB0 (5Vトレラント)	$V_{IH}$	$0.8 \times VCC$	—	5.8	V	
	ポートP02、P04、P07、 ポートP10～P15、 ポートP20～P27、 ポートP30～P32、P35、 ポートP50～P56、 ポートPA0～PA5、PA7、 ポートPB1～PB7、 ポートPC0～PC7、 ポートPD0～PD4、 ポートPE0～PE7、 ポートPF6、PF7、 ポートPJ0(注1)、PJ2(注1)、PJ3、 RES#		$0.8 \times VCC$	—	$VCC + 0.3$		
	全端子	$V_{IL}$	-0.3	—	$0.2 \times VCC$		
	全端子	$\Delta V_T$	$0.01 \times VCC$	—	—		
入力電圧 (シュミット トリガ入力端子 を除く)	MD	$V_{IH}$	$0.9 \times VCC$	—	$VCC + 0.3$	V	
	XTAL (外部クロック入力)		$0.8 \times VCC$	—	$VCC + 0.3$		
	ポートP40～P44、P46、 ポートP90～P92、 ポートPJ6、PJ7		$0.7 \times AVCC0$	—	$AVCC0 + 0.3$		
	MD	$V_{IL}$	-0.3	—	$0.1 \times VCC$		
	XTAL (外部クロック入力)		-0.3	—	$0.2 \times VCC$		
	ポートP40～P44、P46、 ポートP90～P92、 ポートPJ6、PJ7		-0.3	—	$0.3 \times AVCC0$		

注1. 12ビットD/AコンバータとI/Oポートは、使用条件によりAVCC0とVCCに制約があります。  
DA0、DA1と兼用しているポートPJ0、PJ2を汎用入出力ポートとして使用する場合、 $VCC \leq AVCC0$ にしてください。

表 43.5 DC特性 (3)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD、ポートP35	$ I_{in} $	—	—	1.0	$\mu A$	$V_{in} = 0V, VCC$
スリーステートリーク 電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	$\mu A$	$V_{in} = 0V, 5.8V$
	それ以外の端子		—	—	1.0		$V_{in} = 0V, VCC$
入力容量	全入力端子 (ポートP16、ポートP35、 USB0_DM、USB0_DP以外)	$C_{in}$	—	—	15	pF	$V_{in} = 0V$ 周波数: 1MHz $T_a = 25^\circ C$
	ポートP16、ポートP35、 USB0_DM、USB0_DP		—	—	30		

表 43.6 DC特性 (4)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (ポートP35を除く)	$R_U$	10	20	100	k $\Omega$	$V_{in} = 0V$

表 43.7 DC特性 (5) (1/2)

条件 : 1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, T<sub>a</sub> = -40 ~ +105°C

項目					記号	typ (注4)	max	単位	測定条件				
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 32MHz	I <sub>CC</sub>	3.6	—	mA					
				ICLK = 16MHz		2.4	—						
				ICLK = 8MHz		1.8	—						
			全周辺動作 通常動作(注3)	ICLK = 32MHz		14.0	—						
				ICLK = 16MHz		7.9	—						
				ICLK = 8MHz		4.9	—						
			全周辺動作 最大動作(注3)	ICLK = 32MHz		—	30.0						
				スリープモード			周辺動作なし(注2)			ICLK = 32MHz	1.9	—	
										ICLK = 16MHz	1.5	—	
						ICLK = 8MHz				1.3	—		
						全周辺動作 通常動作(注3)	ICLK = 32MHz			8.2	—		
							ICLK = 16MHz			4.8	—		
							ICLK = 8MHz			3.1	—		
						ディープ スリープモード	周辺動作なし(注2)			ICLK = 32MHz	1.1	—	
										ICLK = 16MHz	0.95	—	
				ICLK = 8MHz	0.86			—					
				全周辺動作 通常動作(注3)	ICLK = 32MHz		6.4	—					
					ICLK = 16MHz		3.8	—					
					ICLK = 8MHz		2.4	—					
	フラッシュメモリ書き換え時の増加分(注5)						2.5	—					
	中速動作モード	通常動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 12MHz	I <sub>CC</sub>	2.1	—		mA			
					ICLK = 8MHz		1.4	—					
					ICLK = 1MHz		0.77	—					
				全周辺動作 通常動作(注7)	ICLK = 12MHz		6.3	—					
					ICLK = 8MHz		4.6	—					
					ICLK = 1MHz		1.6	—					
				全周辺動作 最大動作(注7)	ICLK = 12MHz		—	14.2					
スリープモード					周辺動作なし(注6)		ICLK = 12MHz	1.4	—				
							ICLK = 8MHz	0.90	—				
			ICLK = 1MHz	0.68			—						
			全周辺動作 通常動作(注7)	ICLK = 12MHz	3.9		—						
				ICLK = 8MHz	2.9		—						
				ICLK = 1MHz	1.4		—						
			ディープ スリープモード	周辺動作なし(注6)	ICLK = 12MHz		1.1	—					
					ICLK = 8MHz		0.63	—					
					ICLK = 1MHz	0.55	—						
				全周辺動作 通常動作(注7)	ICLK = 12MHz	3.3	—						
					ICLK = 8MHz	2.4	—						
					ICLK = 1MHz	1.2	—						
フラッシュメモリ書き換え時の増加分(注5)						2.5	—						

表 43.7 DC特性 (5) (2/2)

条件 : 1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, Ta = -40 ~ +105°C

項目				記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	低速動作モード	通常動作モード	周辺動作なし(注8)	I <sub>CC</sub>	4.3	—	μA	
			全周辺動作 通常動作(注9、注10)		15.0	—		
			全周辺動作 最大動作(注9、注10)		—	62		
		スリープモード	周辺動作なし(注8)		2.3	—		
			全周辺動作 通常動作(注9)		8.6	—		
		ディープ スリープモード	周辺動作なし(注8)		1.7	—		
			全周辺動作 通常動作(注9)		7.0	—		

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3Vの値です。
- 注5. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態。クロックソースはサブクロック発振器です。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態。クロックソースはサブクロック発振器です。FCLK、PCLKはICLKと同じ周波数です。
- 注10. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット) をモジュールストップ状態に設定した時の値です。

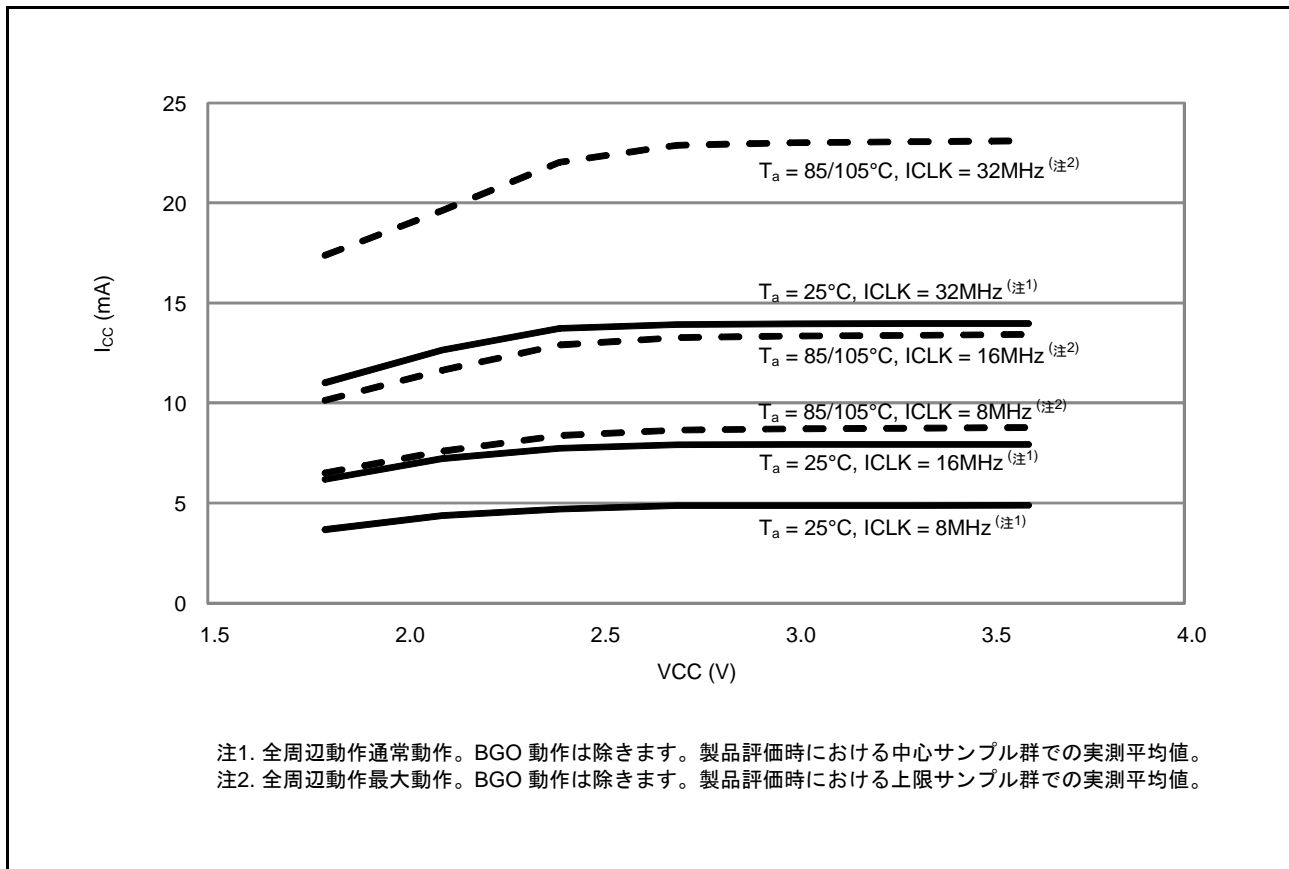


図 43.1 高速動作モードの電圧依存性 (参考データ)

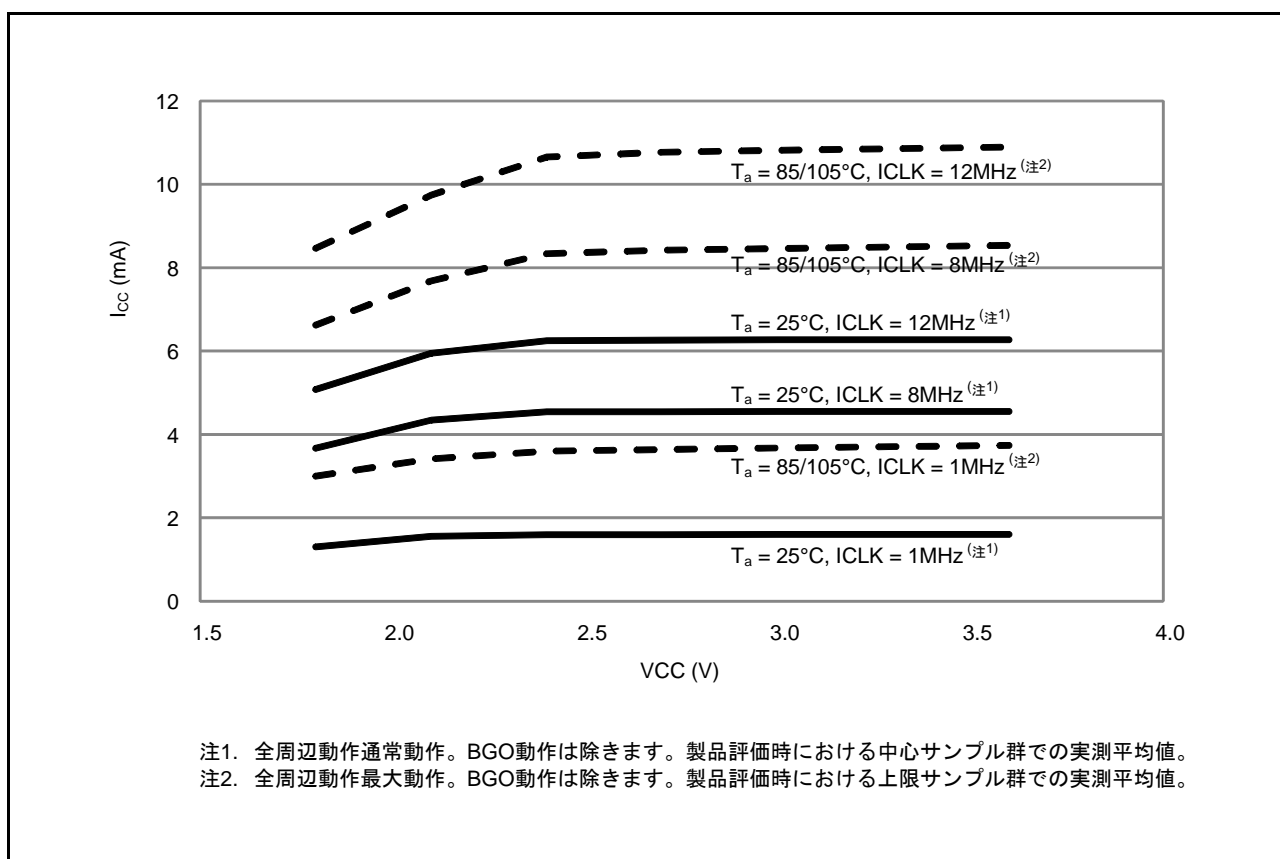


図 43.2 中速動作モードの電圧依存性 (参考データ)

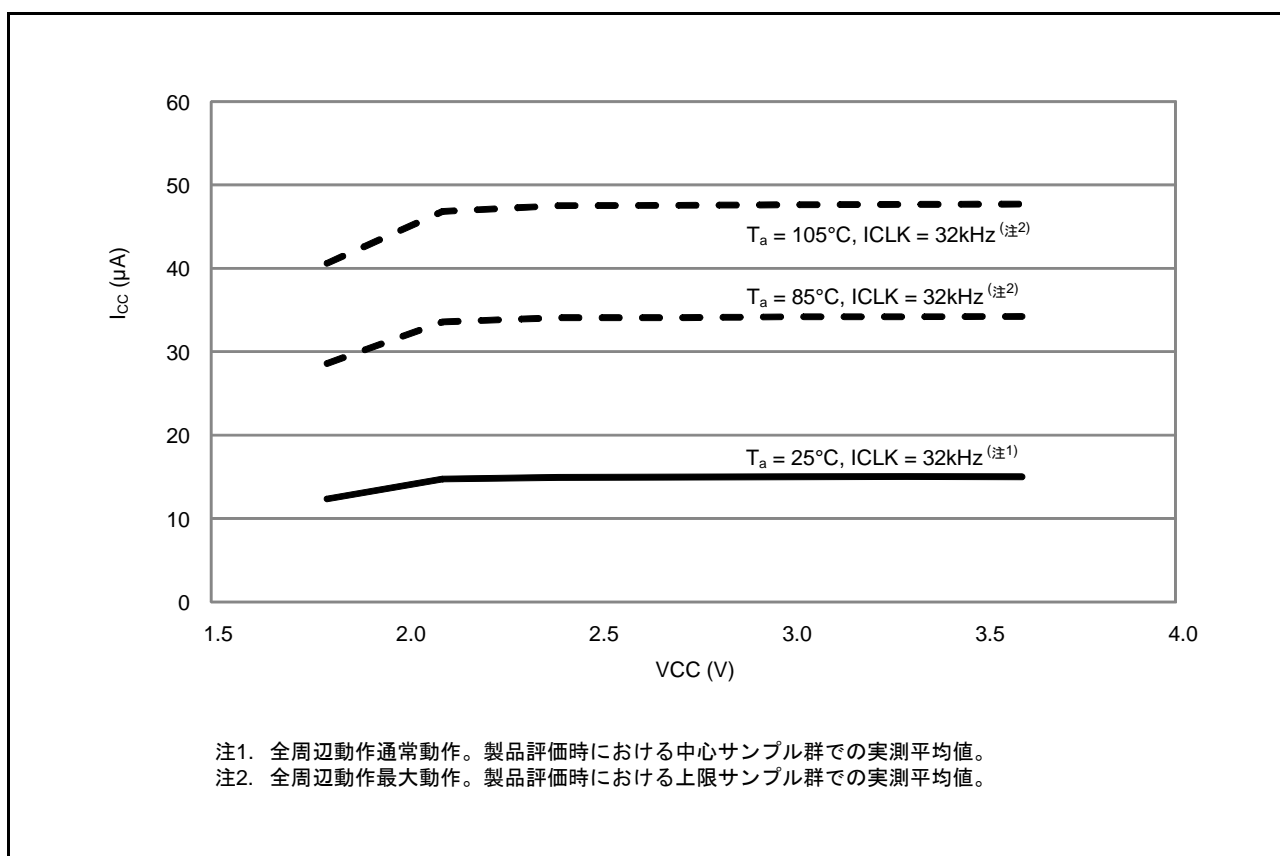


図 43.3 低速動作モードの電圧依存性 (参考データ)

表 43.8 DC特性 (6)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$

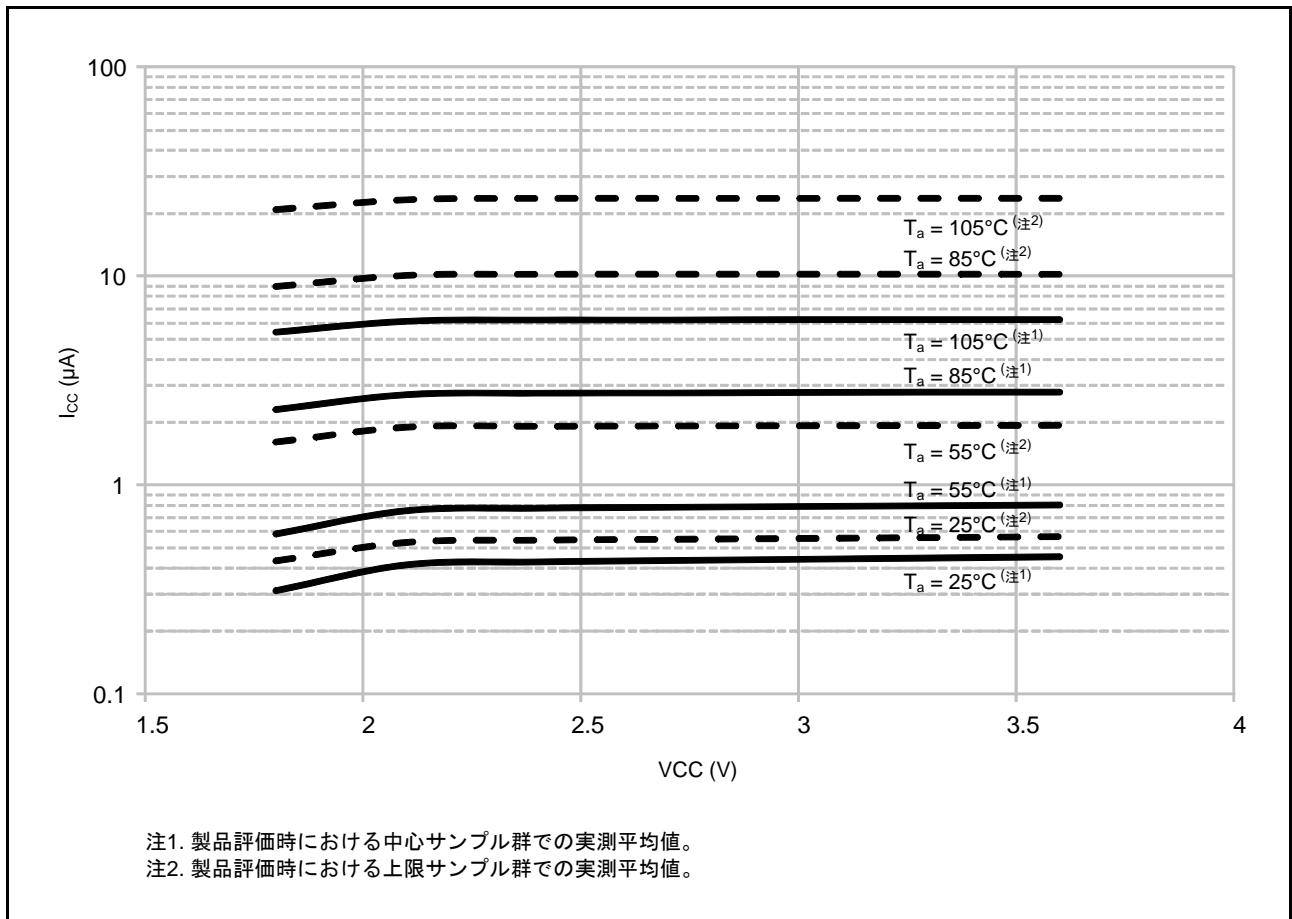
項目			記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	$T_a = 25^\circ C$	$I_{CC}$	0.44	0.98	$\mu A$		
		$T_a = 55^\circ C$		0.80	3.47			
		$T_a = 85^\circ C$		2.7	12.0			
		$T_a = 105^\circ C$		6.17	42.7			
	RTC動作の増加分 (注4)			0.31	—			RCR3.RTCDV[2:0] = 010bの場合
				1.09	—			RCR3.RTCDV[2:0] = 100bの場合
	ローパワータイマ動作の増加分			0.37	—			LPTCR1.LPCNTCKSELは、IWDT専用オンチップシレータ選択時
	独立ウォッチドックタイマ動作の増加分			0.37	—			

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3.  $VCC = 3.3V$ の場合です。

注4. 発振回路を含みます。



注1. 製品評価時における中心サンプル群での実測平均値。

注2. 製品評価時における上限サンプル群での実測平均値。

図 43.4 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)



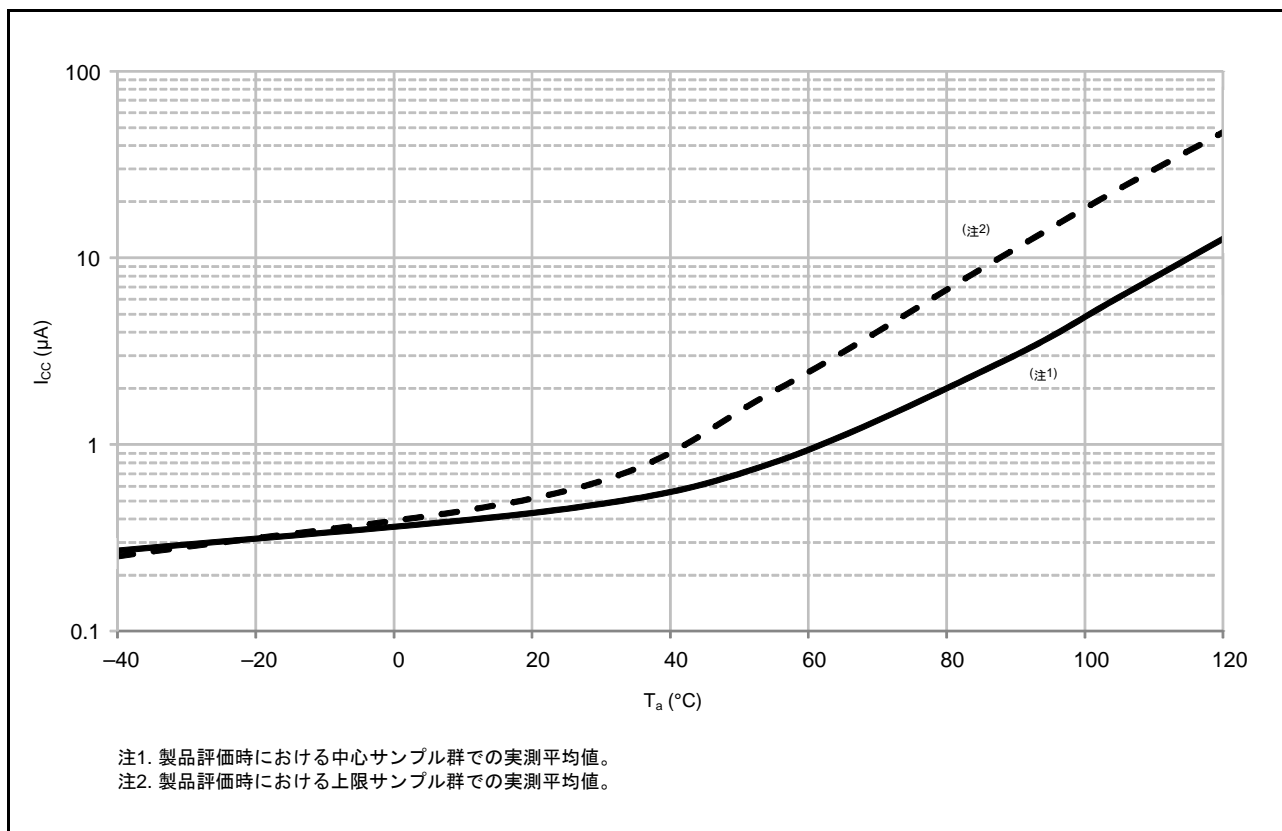


図 43.5 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 43.9 DC特性 (7)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	300	mW	Dバージョン ( $-40 \leq T_a \leq 85^\circ C$ )
		—	105		Gバージョン ( $-40 \leq T_a \leq 105^\circ C$ ) (注2)

注1. チップ全体 (出力電流を含む) の総電力です。

注2.  $T_a = 85^\circ C \sim 105^\circ C$  で使用する場合のディレーティングについては、当社営業および発売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

表 43.10 DC特性 (8)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	typ (注7)	max	単位	測定条件
アナログ電源電流	A/D変換中 (高速変換時)	$I_{AVCC}$	—	0.7	1.2	mA	
	D/A変換中 (1チャンネル当り)		—	0.4	0.8		
	A/D、D/A変換待機時 (全ユニット)	—	—	0.4	$\mu A$		
リファレンス電源電流	A/D変換中 (高速変換時)	$I_{REFH0}$	—	25	52	$\mu A$	
	A/D変換待機時 (全ユニット)		—	—	60	nA	
	D/A変換中	$I_{REFH}$	—	50	100	$\mu A$	
	D/A変換待機時 (全ユニット)		—	—	100	nA	
LVD1, 2	1チャンネル当り	$I_{LVD}$	—	0.15	—	$\mu A$	
温度センサ (注6)	—	$I_{TEMP}$	—	75	—	$\mu A$	
コンパレータB動作電流 (注6)	ウィンドウ機能有効	$I_{CMP}$ (注4)	—	12.5	—	$\mu A$	
	コンパレータ高速モード		—	6.5	—	$\mu A$	
	コンパレータ低速モード		—	1.7	—	$\mu A$	
LCD動作電流 (注6)	外部抵抗分割方式 (注8) fLCD = fSUB = 128Hz、1/3バイアス、4時分割	$I_{LCD1}$ (注5)	—	0.04	—	$\mu A$	
	内部昇圧方式 (VLCD.VLCD = 04) fLCD = fSUB = 128Hz、1/3バイアス、4時分割	$I_{LCD2}$ (注5)	—	0.85	—	$\mu A$	
	内部昇圧方式 (VLCD.VLCD = 12) fLCD = fSUB = 128Hz、1/3バイアス、4時分割	$I_{LCD2}$ (注5)	—	1.55	—	$\mu A$	
	容量分割方式 fLCD = fSUB = 128Hz、1/3バイアス、4時分割	$I_{LCD3}$ (注5)	—	0.20	—	$\mu A$	
USB動作電流 (注3)	以下の設定, 条件におけるUSB通信動作時 • フルスピードモードのホスト動作設定 バルクOUT転送 (64バイト) 1本、 バルクIN転送 (64バイト) 1本 • USBポートからUSBケーブル (1m) を経 由して周辺機器に接続	$I_{USBH}$ (注1)	—	4.3 (VCC) 0.9 (VCC_USB) (注3)	—	mA	
	以下の設定, 条件におけるUSB通信動作時 • フルスピードモードのファンクション動作 設定 バルクOUT転送 (64バイト) 1本 バルクIN転送 (64バイト) 1本 • USBポートからUSBケーブル (1m) を経 由してホスト機器に接続	$I_{USBF}$ (注1)	—	3.6 (VCC) 1.1 (VCC_USB) (注3)	—		
	以下の設定, 条件におけるサスペンド時 • フルスピードモードのファンクション動作 設定 (USB0_DP端子をプルアップ) • ソフトウェアスタンバイモード • USBポートからUSBケーブル (1m) を経 由してホスト機器に接続	$I_{SUSP}$ (注2)	—	0.35 (VCC) 170 (VCC_USB) (注3)	—	$\mu A$	
CTSU動作電流	計測期間中 (CPUはスリープ) ベースクロック2MHz 端子容量50pF	$I_{CTSU}$	—	150	—	$\mu A$	

注1. USBモジュールのみの消費電流です。

注2. サスペンド状態における本製品の自己消費電流に加えて、USB0\_DP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

注3. 電源 (VCC, VCC\_USB) の消費電流です。

注4. コンパレータBモジュールのみの消費電流です。

注5. LCDモジュールのみの消費電流です。LCDパネル未接続時の電流です。

注6. 電源 (VCC) の消費電流です。

注7.  $VCC = AVCC0 = VCC\_USB = 3.3V$  のとき。

注8. 外部分割抵抗に流れる電流は含みません。

表 43.11 DC特性 (9)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	$V_{RAM}$	1.8	—	—	V	

表 43.12 DC特性 (10)

条件:  $0V \leq VCC = VCC\_USB \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時 (注1)	SrVCC	0.02	—	20	ms/V
	起動時間短縮時 (注2)		0.02	—	2	
	起動時電圧監視1リセット有効時 (注3、注4)		0.02	—	—	

注. AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。

注1. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(STUPLVD1REN, FASTSTUP) = 10bを設定した場合です。

注3. OFS1.STUPLVD1REN = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 43.13 DC特性 (11)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 電源リップルは、VCCの上限 (3.6V) と下限 (1.8V) は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 43.6 $V_r(VCC) \leq 0.2 \times VCC$ の場合
		—	—	1	MHz	図 43.6 $V_r(VCC) \leq 0.08 \times VCC$ の場合
		—	—	10	MHz	図 43.6 $V_r(VCC) \leq 0.06 \times VCC$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動が $VCC \pm 10\%$ を超える場合

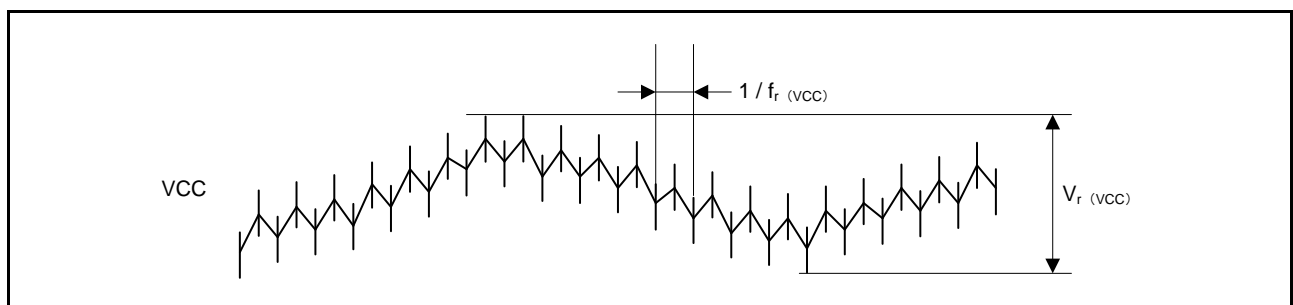


図 43.6 電源リップル波形

表 43.14 DC特性 (12)

条件：1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, T<sub>a</sub> = -40 ~ +105°C

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C <sub>VCL</sub>	4.7μF +50/-70% (注1)

注1. 静電容量の公称値が4.7μF、静電容量許容差が±30%以内の積層セラミックコンデンサを使用してください。

表 43.15 出力許容電流値 (1)

条件：1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, T<sub>a</sub> = -40 ~ +85°C (Dバージョン)

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7	I <sub>OL</sub>	0.4	mA
	上記以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7	I <sub>OL</sub>	0.4	mA
	上記以外のポート		8.0	
出力Lowレベル許容電流	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7の合計	ΣI <sub>OL</sub>	2.4	mA
	ポートP02、P04、P07、P20~P27、P30、P31、PJ0、PJ2、PJ3の合計		30	
	ポートP10~P17、ポートP32、ポートP50~P56、ポートPB0~PB7、ポートPC0~PC7の合計		30	
	ポートPA0~PA7、ポートPD0~PD4、ポートPE0~PE7、ポートPF6、PF7の合計		30	
	全出力端子の総和		60	
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7	I <sub>OH</sub>	-0.1	mA
	上記以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7	I <sub>OH</sub>	-0.1	mA
	上記以外のポート		-4.0	
出力Highレベル許容電流	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7の合計	ΣI <sub>OH</sub>	-0.6	mA
	ポートP02、P04、P07、P20~P27、P30、P31、PJ0、PJ2、PJ3の合計		-10	
	ポートP10~P17、ポートP32、ポートP50~P56、ポートPB0~PB7、ポートPC0~PC7の合計		-15	
	ポートPA0~PA7、ポートPD0~PD4、ポートPE0~PE7、ポートPF6、PF7の合計		-15	
	全出力端子の総和		-40	

注. 許容総消費電流は超えないようにしてください。

表 43.16 出力許容電流値 (2)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  
 $T_a = -40 \sim +105^\circ C$  (Gバージョン)

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートP90～P92、ポートPJ6、PJ7	$I_{OL}$	0.4	mA
	上記以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートP90～P92、ポートPJ6、PJ7		0.4	
	上記以外のポート		8.0	
出力Lowレベル許容電流	ポートP40～P44、P46、ポートP90～P92、ポートPJ6、PJ7	$\Sigma I_{OL}$	1.6	
	ポートP02、P04、P07、P20～P27、P30、P31、PJ0、PJ2、PJ3の合計		20	
	ポートP10～P17、ポートP32、ポートP50～P56、ポートPB0～PB7、ポートPC0～PC7の合計		20	
	ポートPA0～PA7、ポートPD0～PD4、ポートPE0～PE7、ポートPF6、PF7の合計		20	
	全出力端子の総和		40	
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートP90～P92、ポートPJ6、PJ7	$I_{OH}$	-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートP90～P92、ポートPJ6、PJ7		-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流	ポートP40～P44、P46、ポートP90～P92、ポートPJ6、PJ7の合計	$\Sigma I_{OH}$	-0.6	
	ポートP02、P04、P07、P20～P27、P30、P31、PJ0、PJ2、PJ3の合計		-10	
	ポートP10～P17、ポートP32、ポートP50～P56、ポートPB0～PB7、ポートPC0～PC7の合計		-15	
	ポートPA0～PA7、ポートPD0～PD4、ポートPE0～PE7、ポートPF6、PF7の合計		-15	
	全出力端子の総和		-40	

注. 許容総消費電流は超えないようにしてください。

表 43.17 出力電圧値 (1)

条件 :  $2.7V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.7V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	max	単位	測定条件	
Lowレベル 出力電圧	全出力端子 (RIIC、ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7以外)	$V_{OL}$	—	0.6	V	$I_{OL} = 3.0mA$	
			—	0.4		$I_{OL} = 1.5mA$	
	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7		—	0.4		$I_{OL} = 0.4mA$	
	RIIC端子		スタンダードモード	—		0.4	$I_{OL} = 3.0mA$
			ファストモード	—		0.6	$I_{OL} = 6.0mA$
Highレベル 出力電圧	全出力端子 (ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7以外) (注1)	$V_{OH}$	$VCC - 0.5$	—	V	$I_{OH} = -2.0mA$	
	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7		$AVCC0 - 0.5$	—		$I_{OH} = -0.1mA$	

注1. 12ビットD/AコンバータとI/Oポートは、使用条件によりAVCC0とVCCに制約があります。  
DA0、DA1と兼用しているポートPJ0、PJ2を汎用入出力ポートとして使用する場合、 $VCC \leq AVCC0$ にしてください。

表 43.18 出力電圧値 (2)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 2.7V$ ,  $1.8V \leq AVCC0 \leq 2.7V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	max	単位	測定条件
Lowレベル 出力電圧	全出力端子 (ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7以外)	$V_{OL}$	—	0.6	V	$I_{OL} = 1.5mA$
	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7		—	0.4		$I_{OL} = 0.4mA$
Highレベル 出力電圧	全出力端子 (ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7以外) (注1)	$V_{OH}$	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
	ポートP40~P44、P46、ポートP90~P92、ポートPJ6、PJ7		$AVCC0 - 0.5$	—		$I_{OH} = -0.1mA$

注1. 12ビットD/AコンバータとI/Oポートは、使用条件によりAVCC0とVCCに制約があります。  
DA0、DA1と兼用しているポートPJ0、PJ2を汎用入出力ポートとして使用する場合、 $VCC \leq AVCC0$ にしてください。

## 43.2.1 標準 I/O 端子出力特性 (1)

図 43.7 ~ 図 43.10 に汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 以外) の特性を示します。

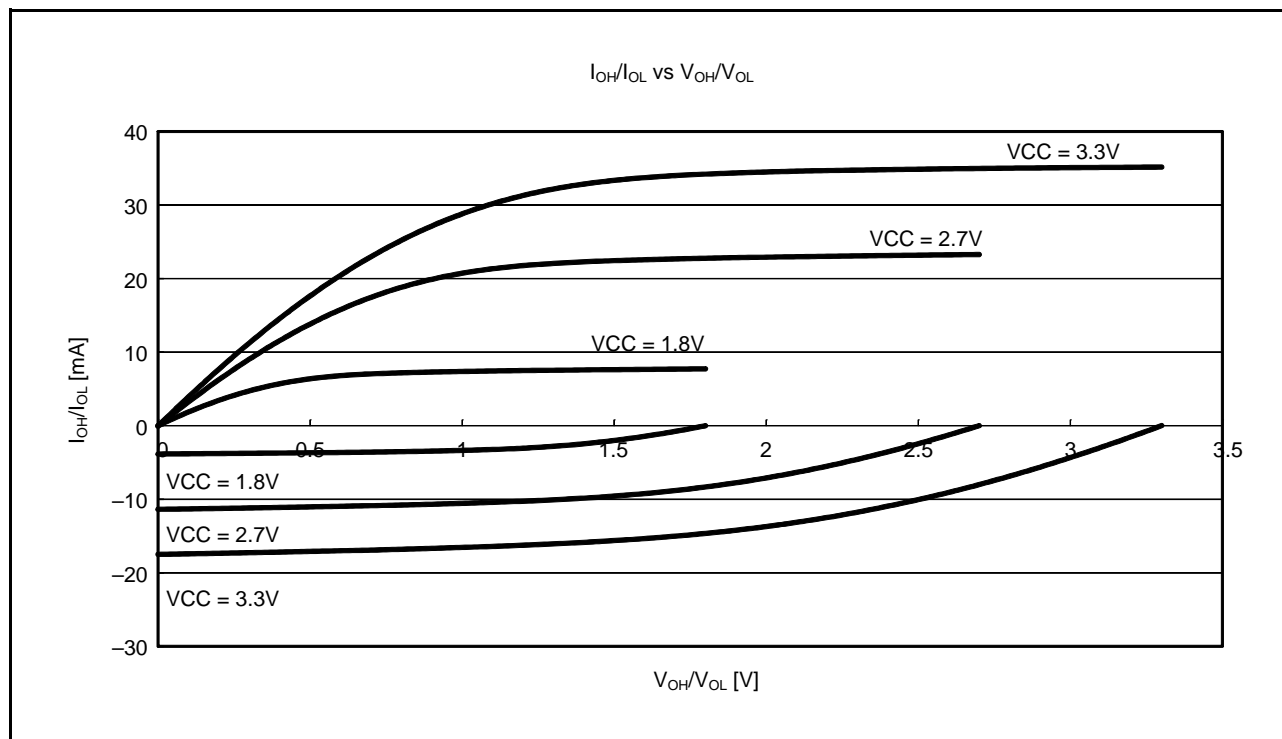


図 43.7 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 以外) の V<sub>OH</sub>/V<sub>OL</sub>、I<sub>OH</sub>/I<sub>OL</sub> 電圧特性 T<sub>a</sub> = 25°C (参考データ)

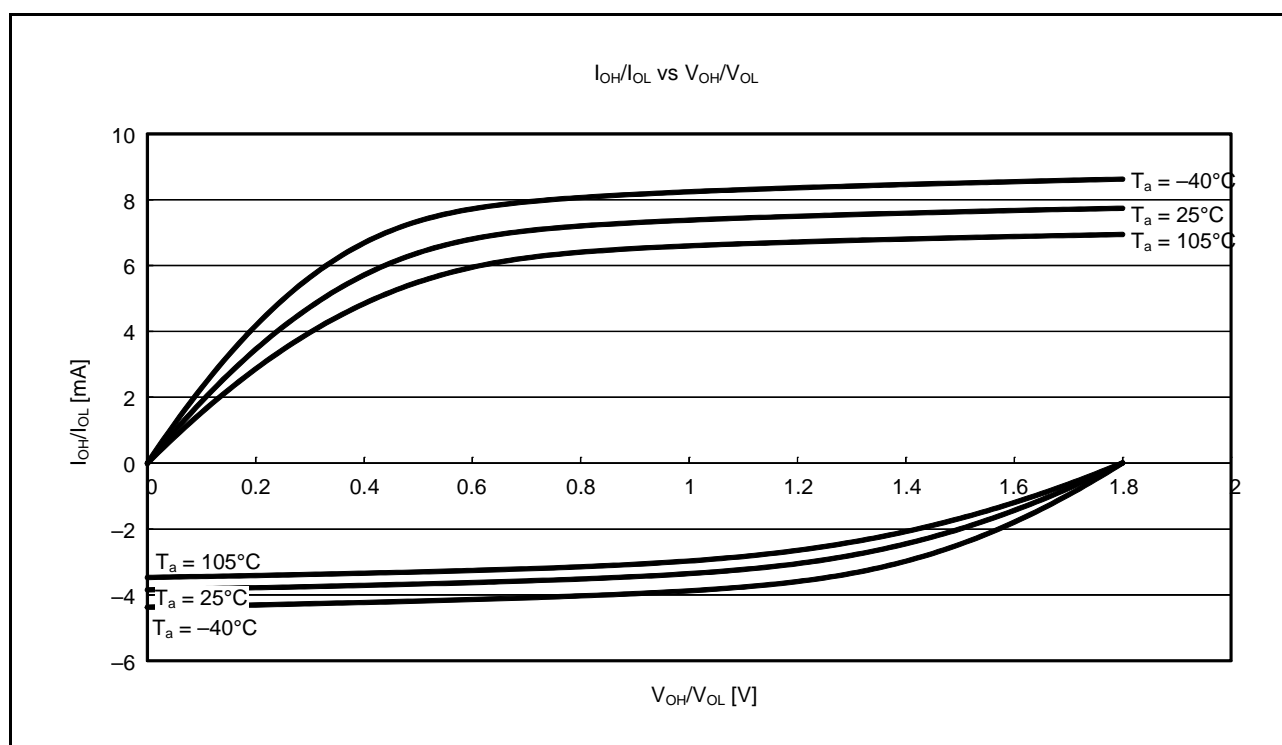


図 43.8 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 以外) の V<sub>OH</sub>/V<sub>OL</sub>、I<sub>OH</sub>/I<sub>OL</sub> 温度特性 VCC = 1.8V (参考データ)

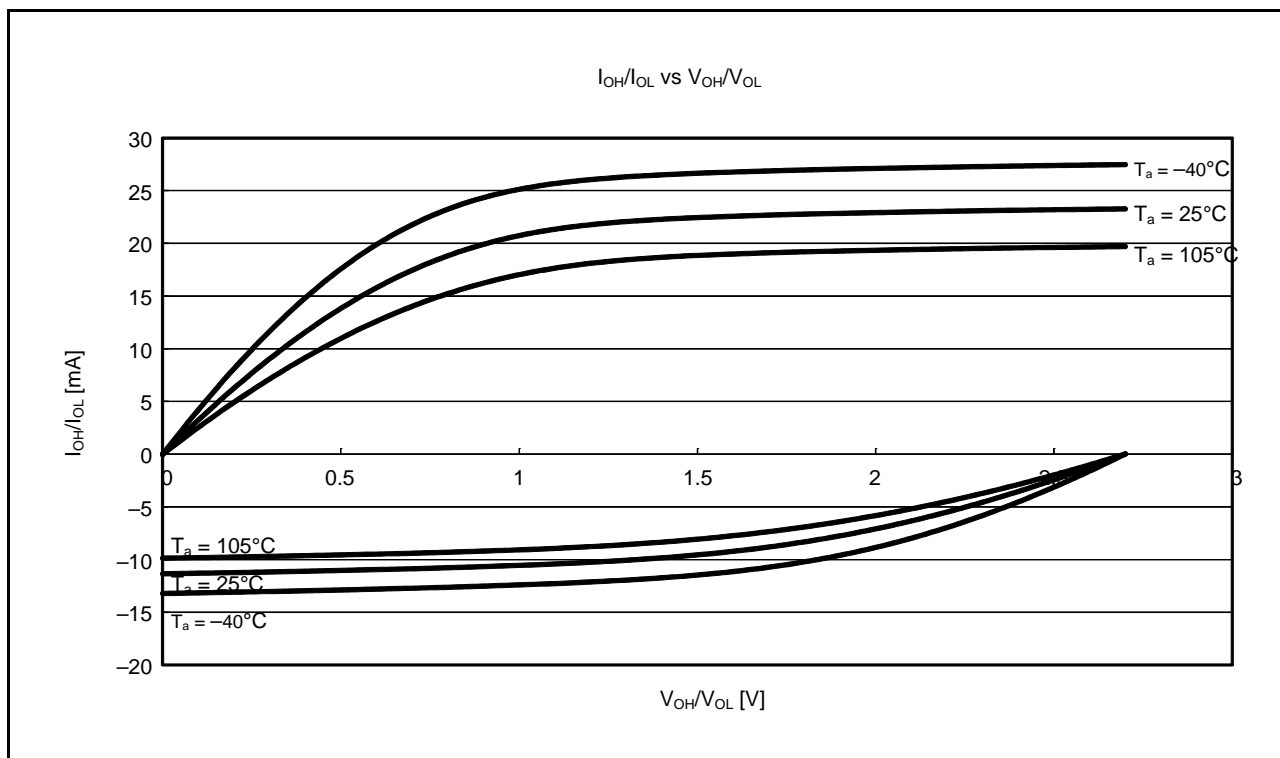


図 43.9 汎用ポート（RIIC 出力端子、ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 以外）の  $V_{OH}/V_{OL}$ 、 $I_{OH}/I_{OL}$  温度特性  $V_{CC} = 2.7V$ （参考データ）

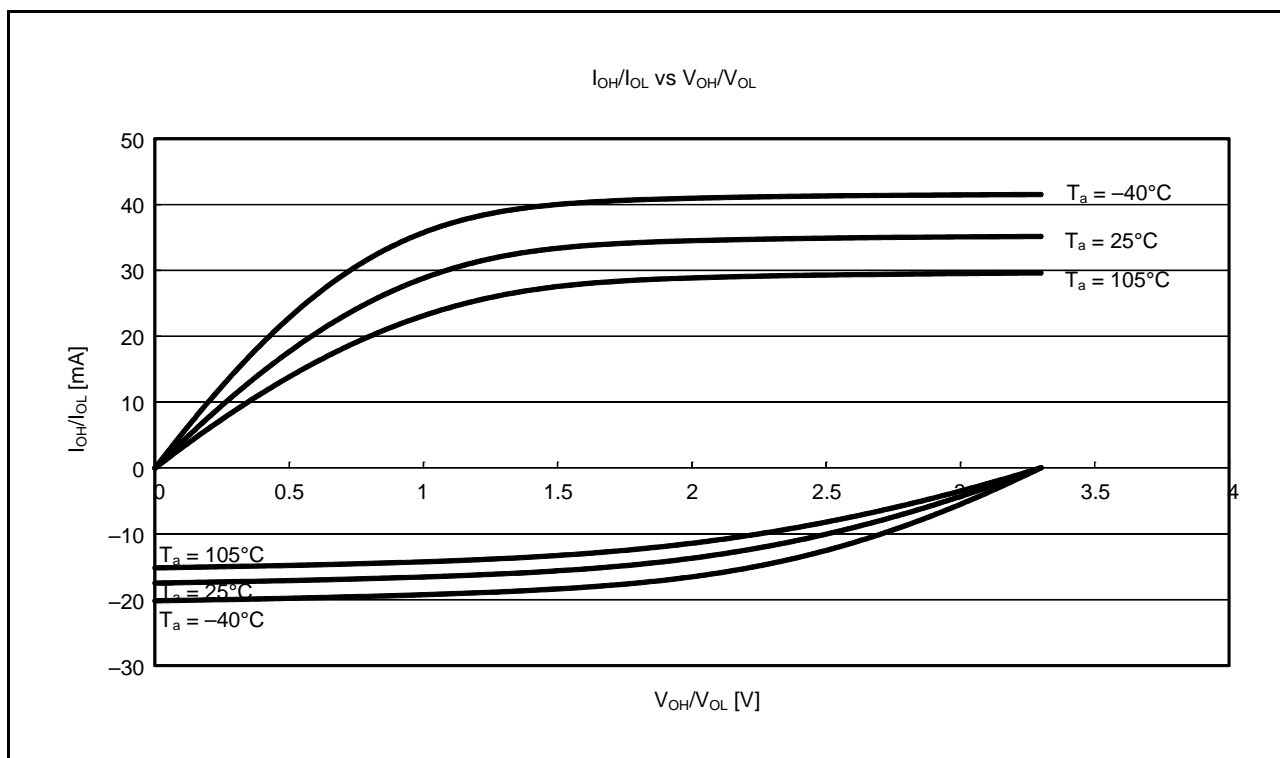


図 43.10 汎用ポート（RIIC 出力端子、ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 以外）の  $V_{OH}/V_{OL}$ 、 $I_{OH}/I_{OL}$  温度特性  $V_{CC} = 3.3V$ （参考データ）



## 43.2.2 標準 I/O 端子出力特性 (2)

図 43.11 ~ 図 43.13 に RIIC 出力端子の特性を示します。

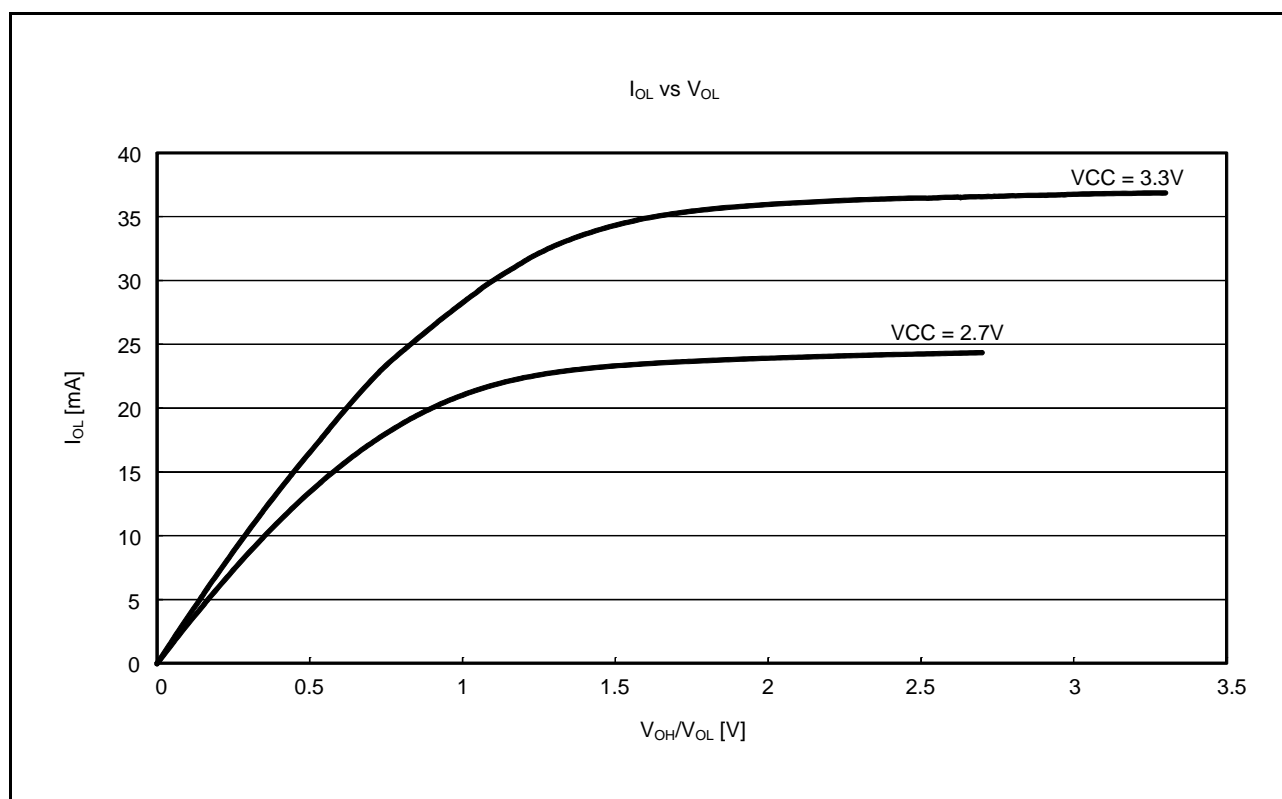


図 43.11 RIIC 出力端子の V<sub>OL</sub>、I<sub>OL</sub> 電圧特性 T<sub>a</sub> = 25°C (参考データ)

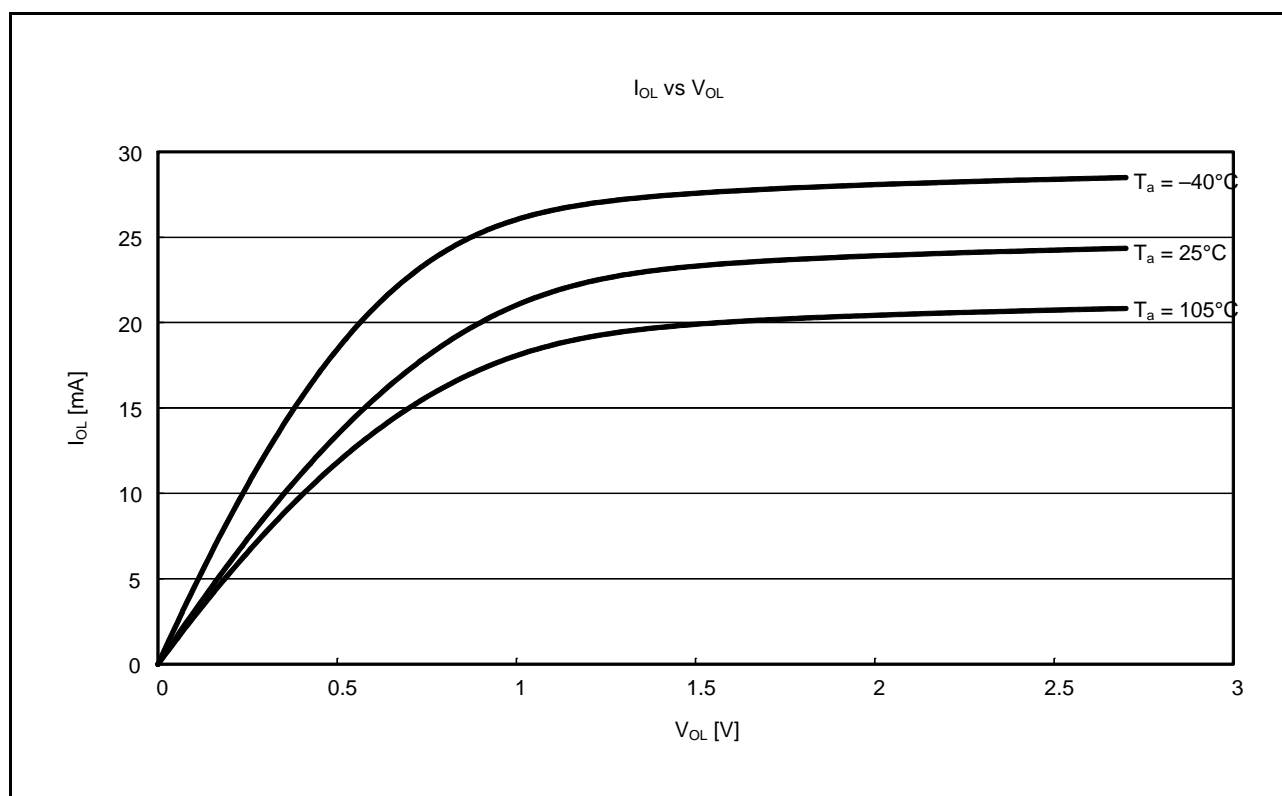


図 43.12 RIIC 出力端子の V<sub>OL</sub>、I<sub>OL</sub> 温度特性 VCC = 2.7V (参考データ)

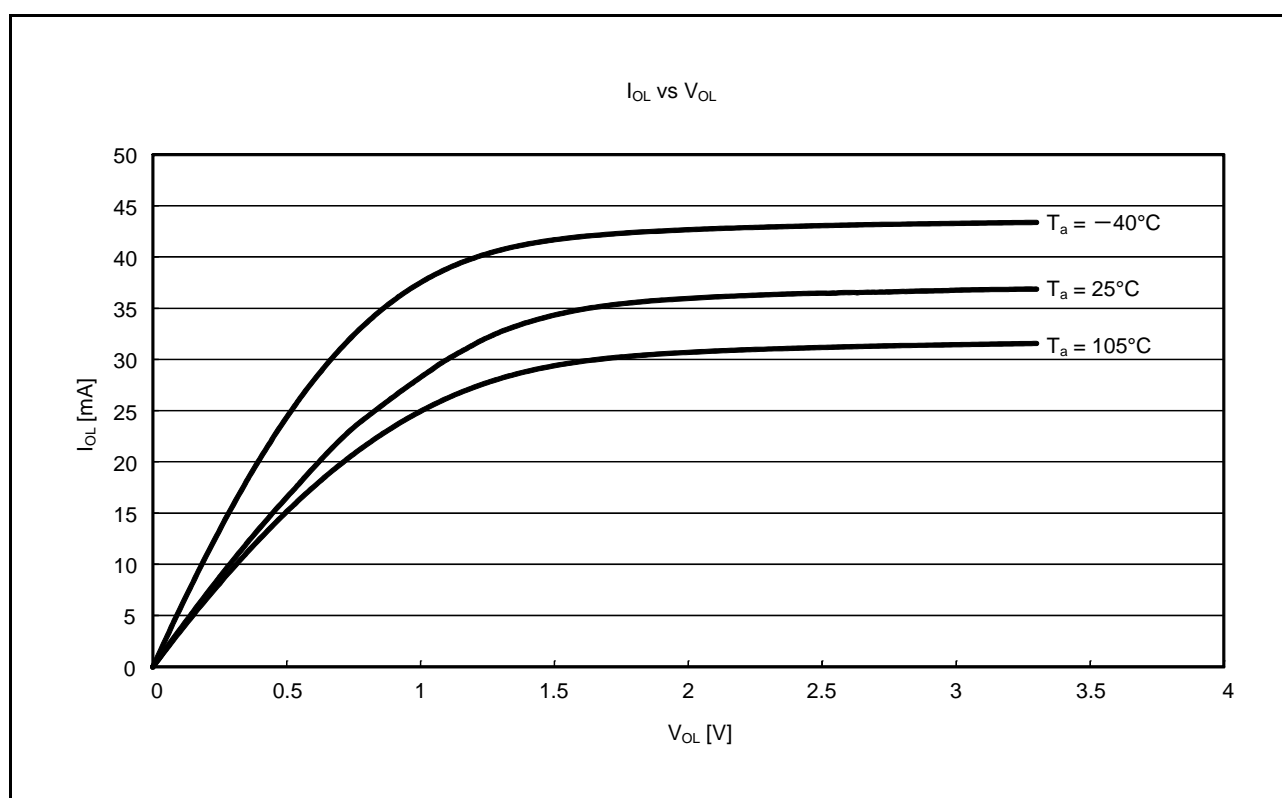


図 43.13 RIIC 出力端子の  $V_{OL}$ 、 $I_{OL}$  温度特性  $V_{CC} = 3.3\text{V}$  (参考データ)

43.2.3 標準 I/O 端子出力特性 (3)

図 43.14 ~ 図 43.17 にポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 の特性を示します。

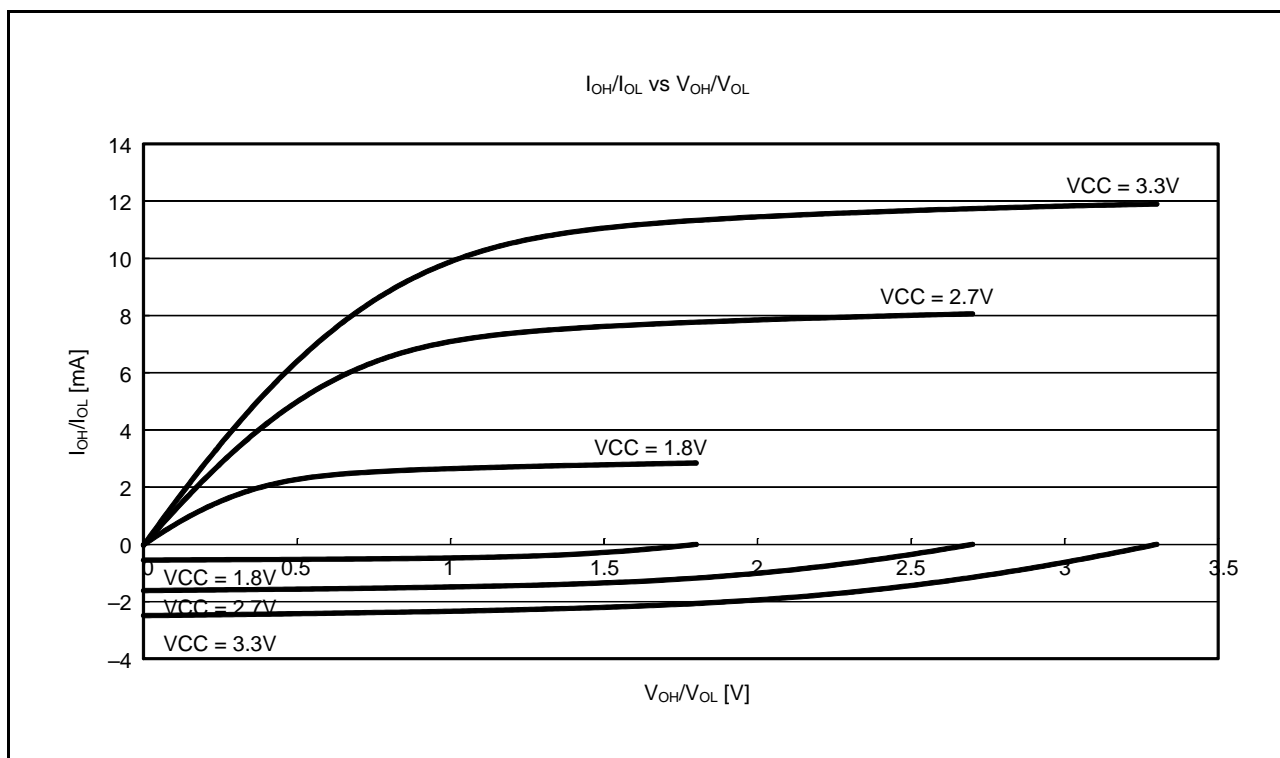


図 43.14 ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 の V<sub>OH</sub>/V<sub>OL</sub>、I<sub>OH</sub>/I<sub>OL</sub> 電圧特性  
T<sub>a</sub> = 25°C (参考データ)

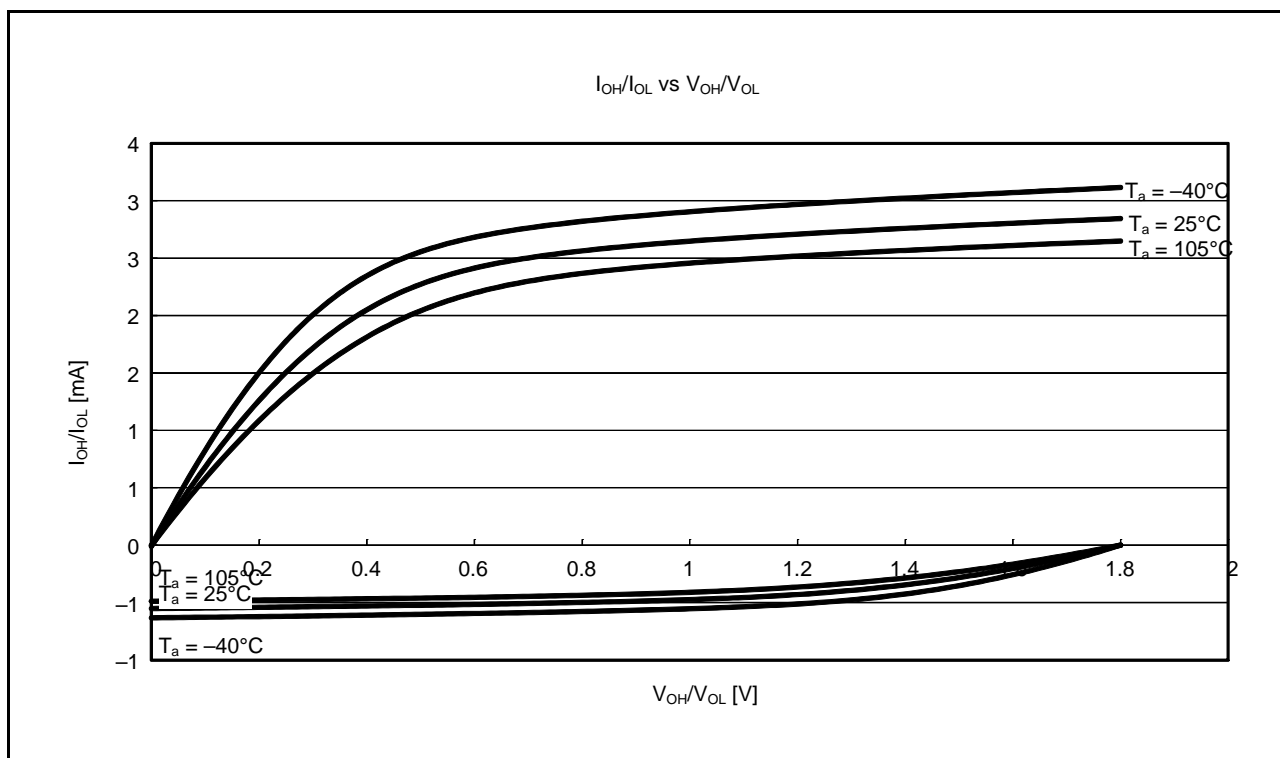


図 43.15 ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 の V<sub>OH</sub>/V<sub>OL</sub>、I<sub>OH</sub>/I<sub>OL</sub> 温度特性  
VCC = 1.8V (参考データ)

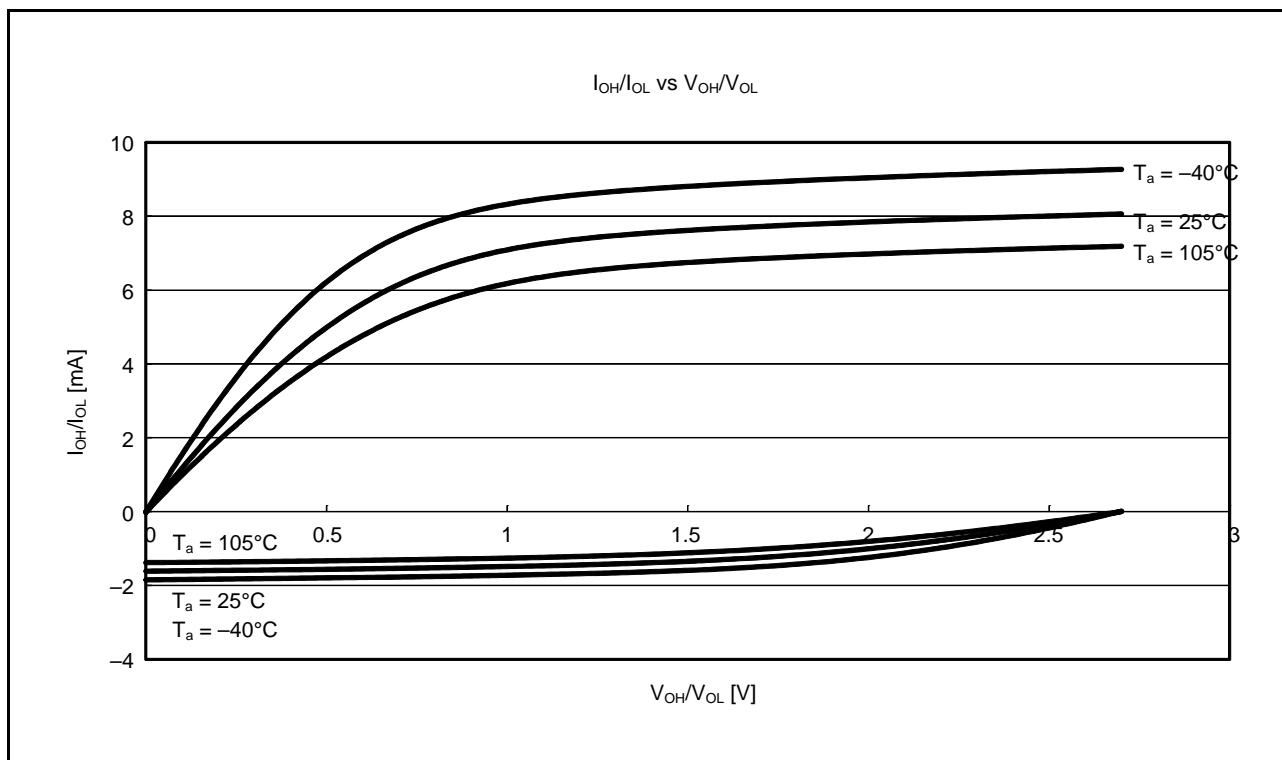


図 43.16 ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 の  $V_{OH}/V_{OL}$ 、 $I_{OH}/I_{OL}$  温度特性  
VCC = 2.7V (参考データ)

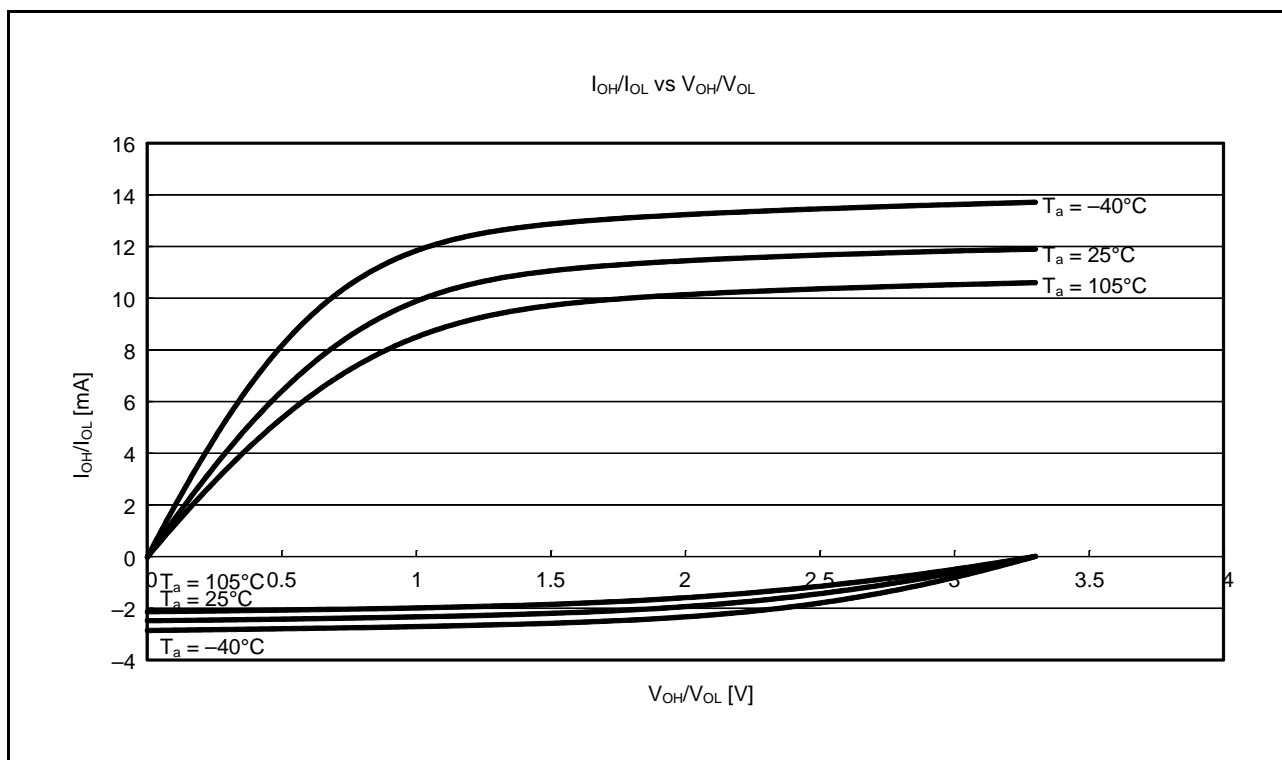


図 43.17 ポート P40 ~ P44、P46、ポート P90 ~ P92、ポート PJ6、PJ7 の  $V_{OH}/V_{OL}$ 、 $I_{OH}/I_{OL}$  温度特性  
VCC = 3.3V (参考データ)

## 43.3 AC 特性

## 43.3.1 クロックタイミング

表 43.19 動作周波数（高速動作モード）

条件：1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, T<sub>a</sub> = -40 ~ +105°C

項目	記号	VCC				単位	
		1.8 ~ 2.4V	2.4 ~ 2.7V	2.7 ~ 3.6V	USB 使用時 (注4)		
最大動作周波数	システムクロック (ICLK)	f <sub>max</sub>	8	16	32	32	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	32	
	周辺モジュールクロック (PCLKB)		8	16	32	32	
	周辺モジュールクロック (PCLKD) (注3)		8	16	32	32	
	USBクロック (UCLK)	f <sub>usb</sub>	—	—	—	48	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は ±3.5% である必要があります。クロックソースの周波数精度をご確認ください。

注3. A/D コンバータ使用時の PCLKD の下限周波数は 2.4V 以上では 4MHz、2.4V 未満では 1MHz です。

注4. USB 使用時の VCC\_USB は 3.0 ~ 3.6V です。

表 43.20 動作周波数（中速動作モード）

条件：1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, T<sub>a</sub> = -40 ~ +105°C

項目	記号	VCC				単位	
		1.8 ~ 2.4V	2.4 ~ 2.7V	2.7 ~ 3.6V	USB 使用時 (注4)		
最大動作周波数	システムクロック (ICLK)	f <sub>max</sub>	8	12	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	12	
	周辺モジュールクロック (PCLKD) (注3)		8	12	12	12	
	USBクロック (UCLK)	f <sub>usb</sub>	—	—	—	48	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は ±3.5% である必要があります。

注3. A/D コンバータ使用時の PCLKD の下限周波数は 2.4V 以上では 4MHz、2.4V 未満では 1MHz です。

注4. USB 使用時の VCC\_USB は 3.0 ~ 3.6V です。

表 43.21 動作周波数（低速動作モード）

条件：1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, T<sub>a</sub> = -40 ~ +105°C

項目	記号	VCC			単位	
		1.8 ~ 2.4V	2.4 ~ 2.7V	2.7 ~ 3.6V		
最大動作周波数	システムクロック (ICLK)	f <sub>max</sub>	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKD) (注2)		32.768			

注1. フラッシュメモリの P/E はできません。

注2. A/D コンバータは使用できません。

表 43.22 クロックタイミング

条件：1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V, T<sub>a</sub> = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
XTAL外部クロック入力サイクル時間	t <sub>Xcyc</sub>	50	—	—	ns	図 43.18	
XTAL外部クロック入力Highレベルパルス幅	t <sub>XH</sub>	20	—	—	ns		
XTAL外部クロック入力Lowレベルパルス幅	t <sub>XL</sub>	20	—	—	ns		
XTAL外部クロック立ち上がり時間	t <sub>Xr</sub>	—	—	5	ns		
XTAL外部クロック立ち下がり時間	t <sub>Xf</sub>	—	—	5	ns		
XTAL外部クロック入力待機時間(注1)	t <sub>EXWT</sub>	0.5	—	—	μs	図 43.19	
メインクロック発振器発振周波数	f <sub>MAIN</sub>	2.4 ≤ VCC ≤ 3.6	1	—	20		MHz
		1.8 ≤ VCC < 2.4	1	—	8		
メインクロック発振安定時間(水晶振動子)(注2)	t <sub>MAINOSC</sub>	—	3	—	ms	図 43.19	
メインクロック発振安定時間(セラミック共振子)(注2)	t <sub>MAINOSC</sub>	—	50	—	μs		
LOCOクロック発振周波数	f <sub>LOCO</sub>	3.44	4.0	4.56	MHz	図 43.20	
LOCOクロック発振安定時間	t <sub>LOCO</sub>	—	—	0.5	μs		
IWDT専用クロック発振周波数	f <sub>ILOCO</sub>	12.75	15	17.25	kHz	図 43.21	
IWDT専用クロック発振安定時間	t <sub>ILOCO</sub>	—	—	50	μs		
HOCOクロック発振周波数	f <sub>HOCO</sub>		31.52	32	32.48	MHz	T <sub>a</sub> = -40 ~ 85°C
			31.68	32	32.32		T <sub>a</sub> = -20 ~ 85°C
			31.36	32	32.64		T <sub>a</sub> = -40 ~ 105°C
HOCOクロック発振安定時間	t <sub>HOCO</sub>	—	—	56	μs	図 43.23	
PLL入力周波数(注3)	f <sub>PLLIN</sub>	4	—	8	MHz	図 43.24	
PLL回路発振周波数(注3)	f <sub>PLL</sub>	32	—	48	MHz		
PLLクロック発振安定時間	t <sub>PLL</sub>	—	—	50	μs	図 43.24	
PLL自動発振周波数	f <sub>PLLFR</sub>	—	8	—	MHz		
USBPLL入力周波数(注5)	f <sub>PLLIN</sub>	—	6, 8(注6)	—	MHz	図 43.24	
USBPLL回路発振周波数(注5)	f <sub>PLL</sub>	—	48(注6)	—	MHz		
USBPLLクロック発振安定時間	t <sub>PLL</sub>	—	—	50	μs	図 43.24	
サブクロック発振器発振周波数(注7)	f <sub>SUB</sub>	—	32.768	—	kHz		
サブクロック発振安定時間(注4)	t <sub>SUBOSC</sub>	—	0.5	—	s	図 43.25	

注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. PLLを使用する場合、VCCは2.4~3.6Vにしてください。

注4. SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。32.768kHzの発振子を使用した参考値です。

注5. USBPLL使用時のVCCは3.0~3.6Vです。

注6. 入力周波数は6または8MHz、発振周波数は48MHzのみ設定可能です。

注7. 32.768kHzのみ使用可能です。

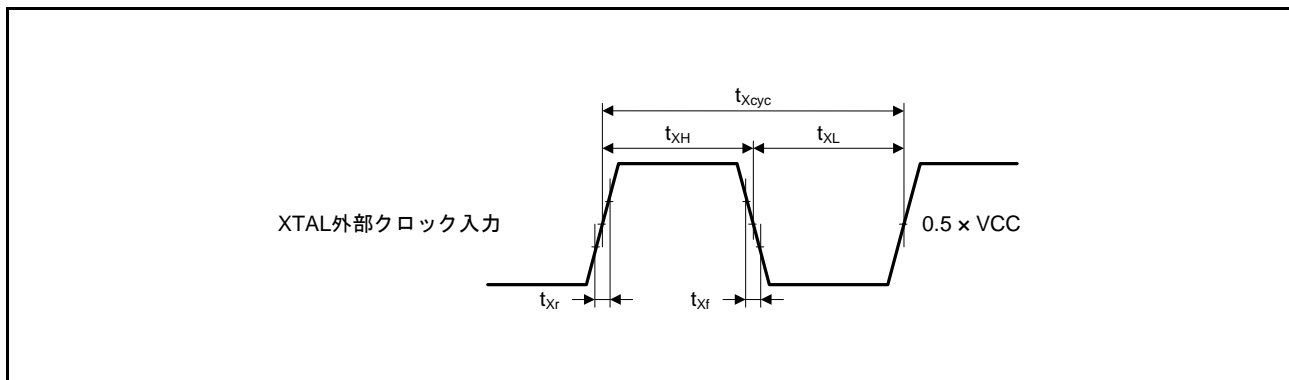


図 43.18 XTAL 外部クロック入力タイミング

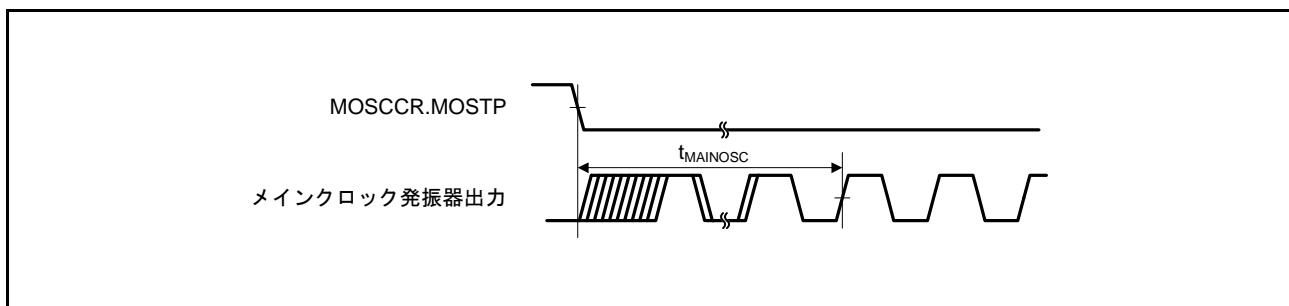


図 43.19 メインクロック発振開始タイミング

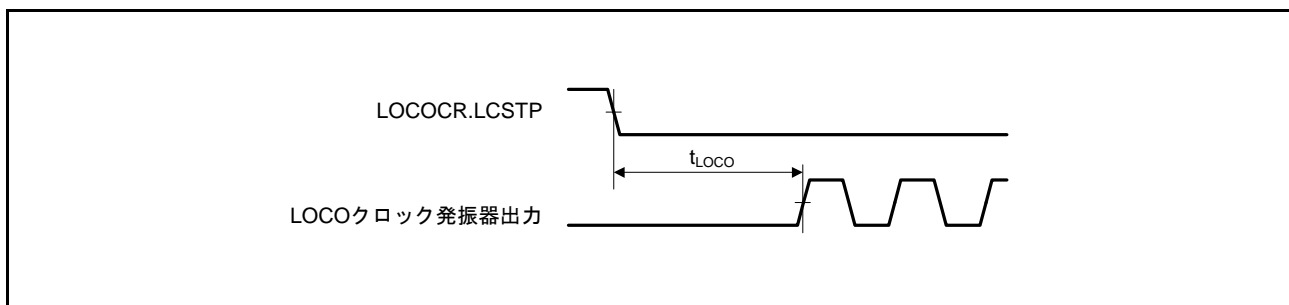


図 43.20 LOCO クロック発振開始タイミング

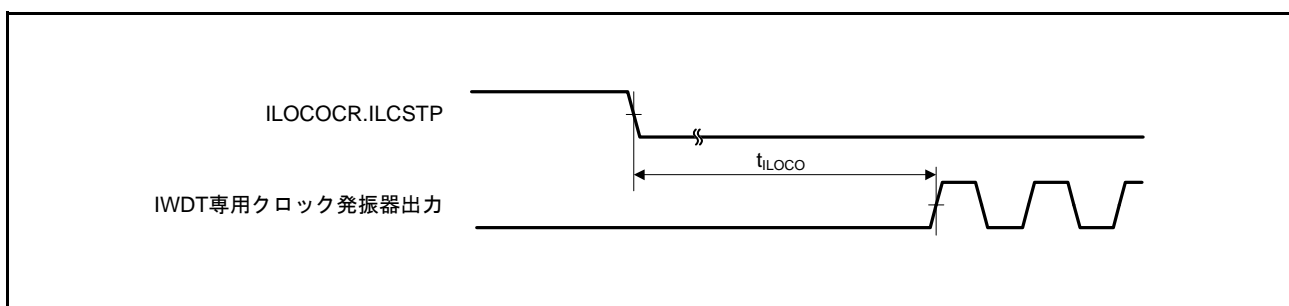


図 43.21 IWDT 専用クロック発振開始タイミング

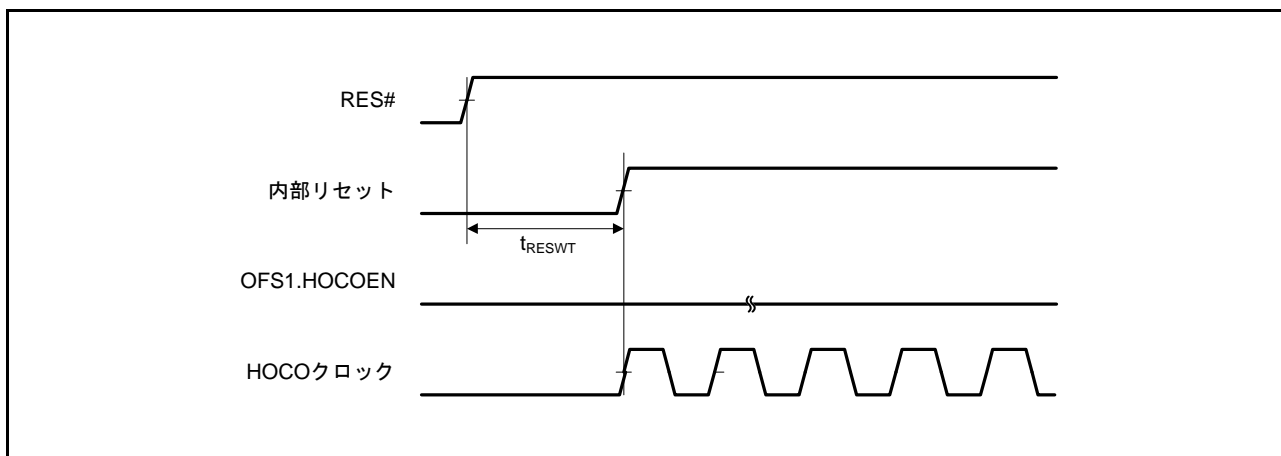


図 43.22 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

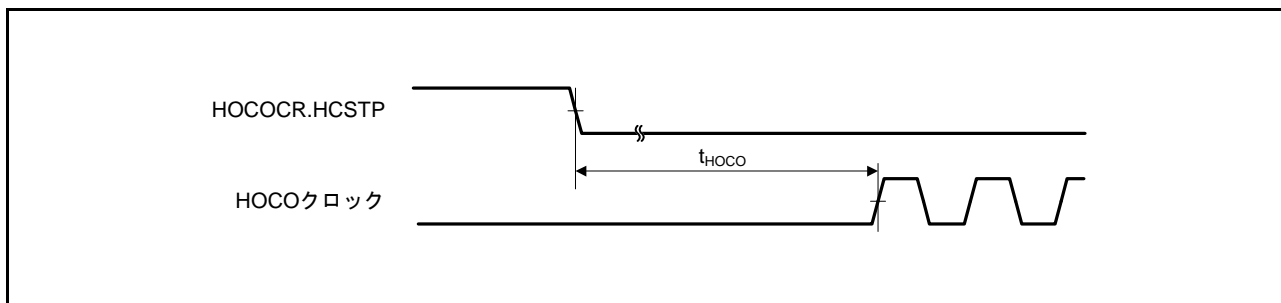


図 43.23 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

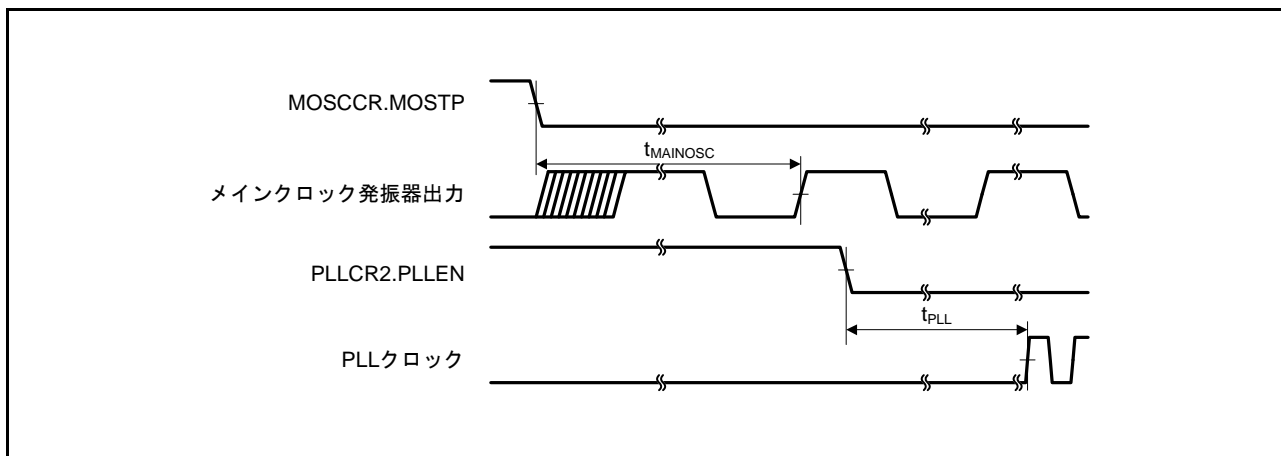


図 43.24 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

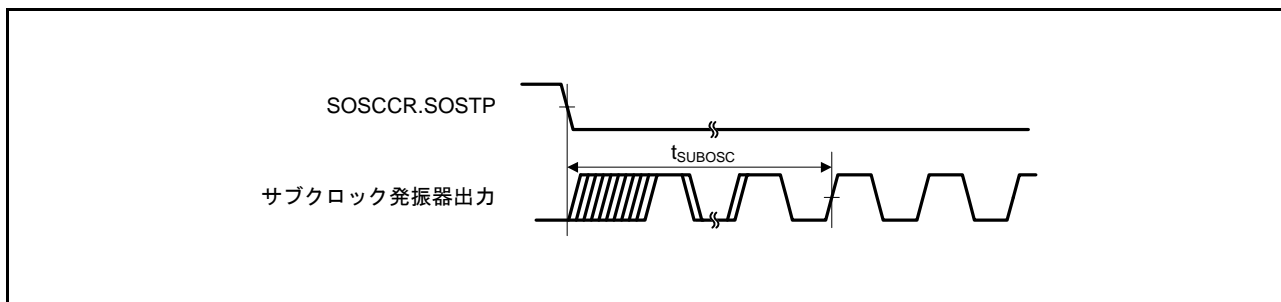


図 43.25 サブクロック発振開始タイミング



### 43.3.2 リセットタイミング

表 43.23 リセットタイミング

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$t_{RESWP}$	3	—	—	ms	図 43.26
	上記以外	$t_{RESW}$	30	—	—	$\mu s$	図 43.27
RES#解除後待機時間 (電源投入時)	通常起動時(注1)	$t_{RESWT}$	—	8.5	—	ms	図 43.26
	起動時間短縮時(注2)	$t_{RESWT}$	—	560	—	$\mu s$	
RES#解除後待機時間 (電源立ち上がった状態)		$t_{RESWT}$	—	114	—	$\mu s$	図 43.27
独立ウォッチドッグタイマリセット期間		$t_{RESWIW}$	—	1	—	IWDT clock cycle	図 43.28
ソフトウェアリセット期間		$t_{RESWSW}$	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間(注3)		$t_{RESW2}$	—	300	—	$\mu s$	
ソフトウェアリセット解除後待機時間		$t_{RESW2}$	—	168	—	$\mu s$	

注1. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(STUPLVD1REN, FASTSTUP)  $\neq$  11bを設定した場合です。

注3. IWDTCR.CKS[3:0] = 0000bを設定した場合です。

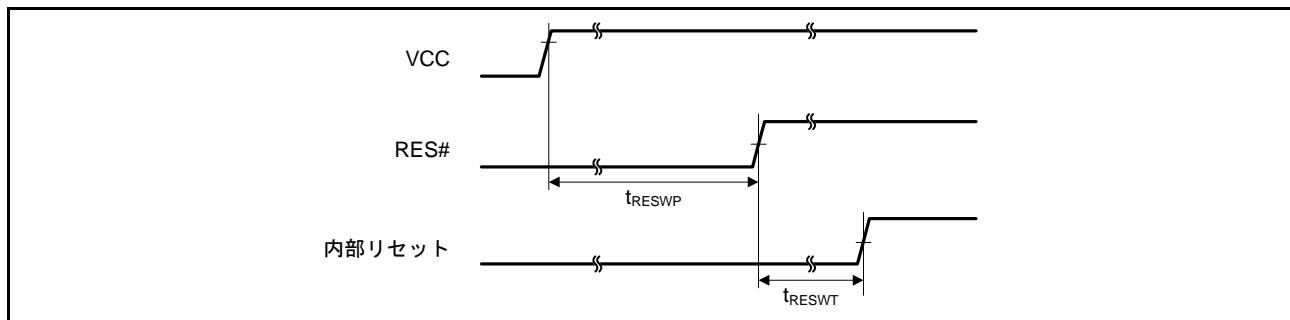


図 43.26 電源投入時リセット入力タイミング

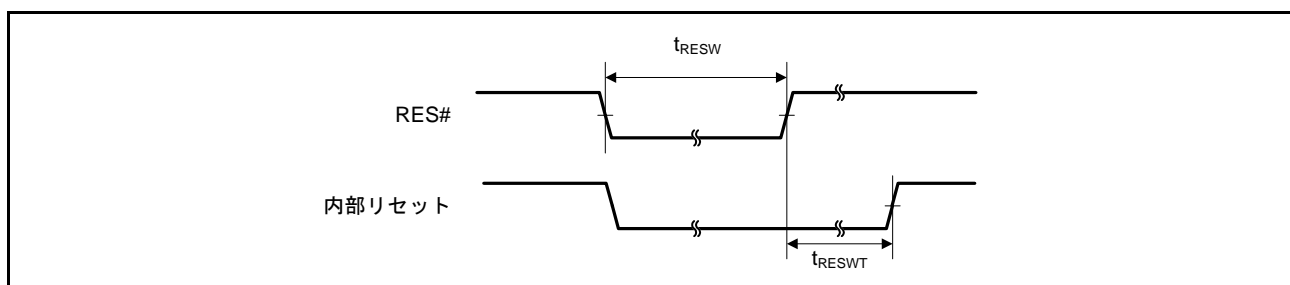


図 43.27 リセット入力タイミング (1)

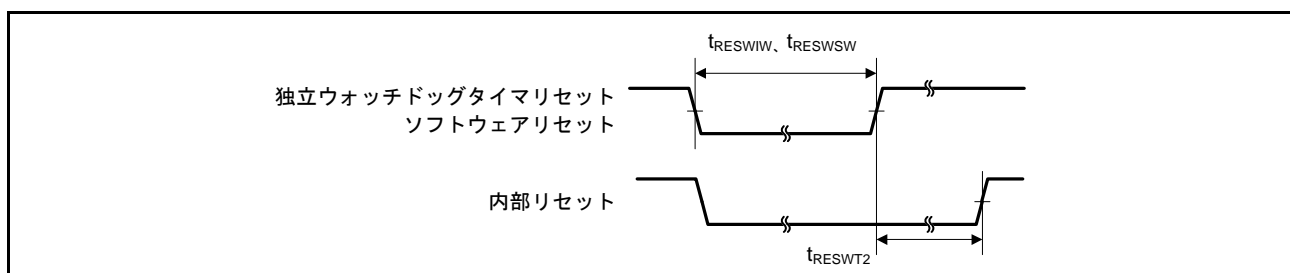


図 43.28 リセット入力タイミング (2)

## 43.3.3 低消費電力状態からの復帰タイミング

表43.24 低消費電力状態からの復帰タイミング (1)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	typ	max	単位	測定条件	
ソフトウェア スタンバイ モード解除後 復帰時間(注1)	高速モード メインクロック 発振器に水晶振 動子を接続	メインクロック発振器動作 (注2)	tSBYMC	—	2	3	ms	図 43.29
		メインクロック発振器、 PLL回路動作(注3)	tSBYPC	—	2	3	ms	
	メインクロック 発振器に外部ク ロックを入力	メインクロック発振器動作 (注4)	tSBYEX	—	35	50	μs	
		メインクロック発振器、 PLL回路動作(注5)	tSBYPE	—	70	95	μs	
	サブクロック発振器動作		tSBYSC	—	650	800	μs	
	HOCOクロック動作(注6)		tSBYHO	—	40	55	μs	
	LOCOクロック動作		tSBYLO	—	40	55	μs	

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。各項目に記載している発振器のみ動作しており、他の発振器は停止している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. PLLの周波数が32MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注5. PLLの周波数が32MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注6. HOCOの周波数が32MHzの場合です。

高速クロック発振器ウェイトコントロールレジスタ (HOCOWTCR) に“05h”を設定した場合です。

表 43.25 低消費電力状態からの復帰タイミング (2)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	中速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	$t_{SBYMC}$	—	2	3	ms	図 43.29
			メインクロック発振器、PLL回路動作(注3)	$t_{SBYPC}$	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	$t_{SBYEX}$	—	3	4	$\mu s$		
		メインクロック発振器、PLL回路動作(注5)	$t_{SBYPE}$	—	65	85	$\mu s$		
	サブクロック発振器動作		$t_{SBYSC}$	—	600	750	$\mu s$		
	HOCOクロック動作(注6)		$t_{SBYHO}$	—	40	50	$\mu s$		
	LOCOクロック動作		$t_{SBYLO}$	—	4.8	7	$\mu s$		

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。各項目に記載している発振器のみ動作しており、他の発振器は停止している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. PLLの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注5. PLLの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注6. HOCOの周波数が8MHzの場合です。

高速クロック発振器ウェイトコントロールレジスタ (HOCOWTCR) に“05h”を設定した場合です。

表 43.26 低消費電力状態からの復帰タイミング (3)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間(注1)	低速モード	サブクロック発振器動作	$t_{SBYSC}$	—	600	750	$\mu s$	図 43.29

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

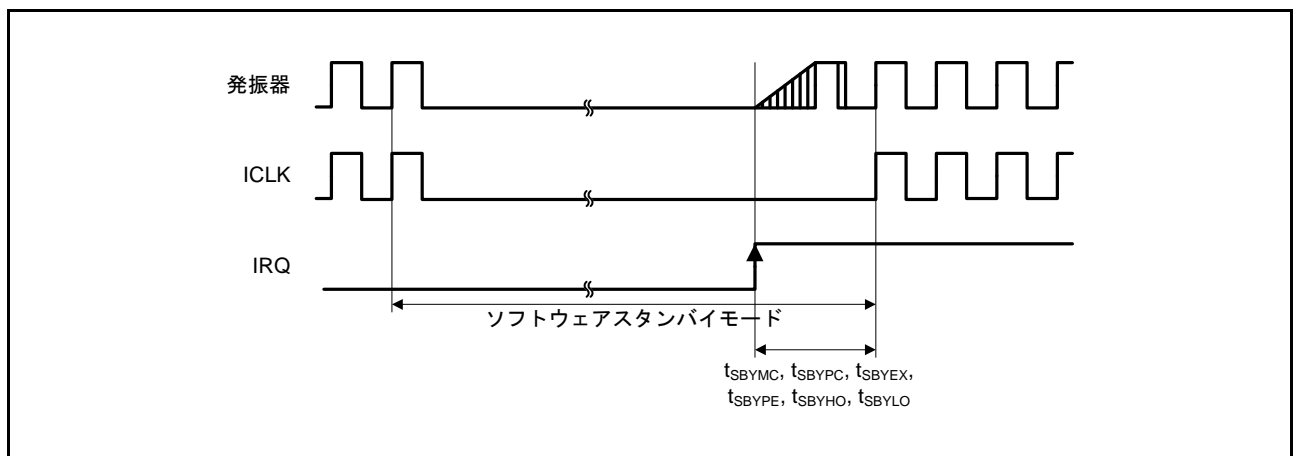


図 43.29 ソフトウェアスタンバイモード復帰タイミング

表 43.27 低消費電力状態からの復帰タイミング (4)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間 (注1)	高速モード (注2)	—	2	3.5	$\mu s$	
	中速モード (注3)	—	3	4	$\mu s$	
	低速モード (注4)	—	400	500	$\mu s$	

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32MHzの場合です。

注3. システムクロック周波数が12MHzの場合です。

注4. システムクロック周波数が32.768kHzの場合です。

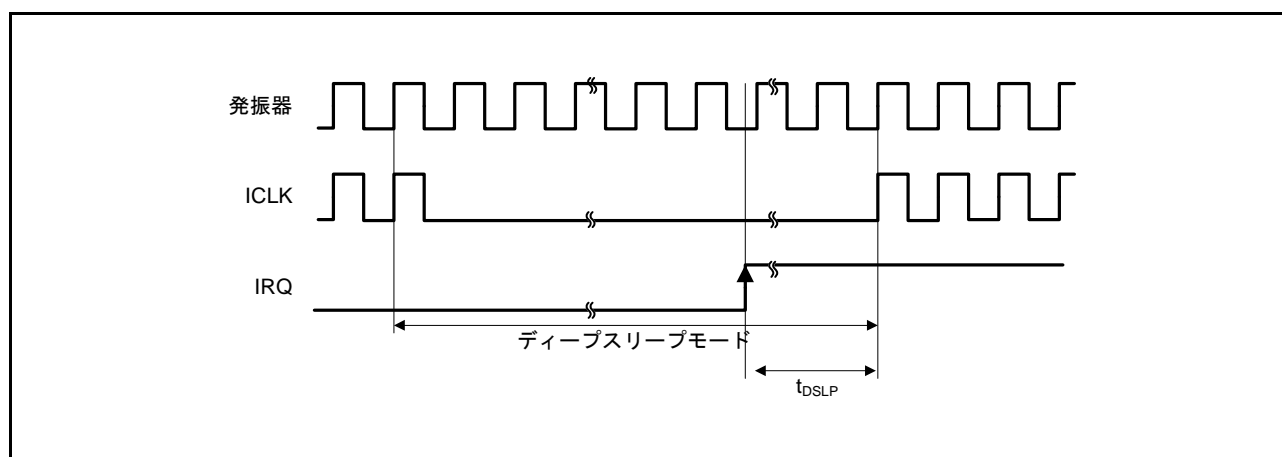


図 43.30 ディープスリープモード復帰タイミング

表 43.28 低消費電力状態からの復帰タイミング (5) 動作モード遷移時間

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	$\mu s$
中速動作モード	高速動作モード	8MHz	—	37.5	—	$\mu s$
低速動作モード	中速動作・高速動作モード	32.768kHz	—	213.62	—	$\mu s$
中速動作・高速動作モード	低速動作モード	32.768kHz	—	183.11	—	$\mu s$

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

### 43.3.4 制御信号タイミング

表43.29 制御信号タイミング

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	$t_{NMIW}$	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	$t_{IRQW}$	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

注1.  $t_{Pcyc}$ はPCLKBの周期を指します。

注2.  $t_{NMICK}$ はNMIデジタルフィルタサンプリングクロックの周期です。

注3.  $t_{IRQCK}$ はIRQiデジタルフィルタサンプリングクロック (i = 0~7) の周期を指します。

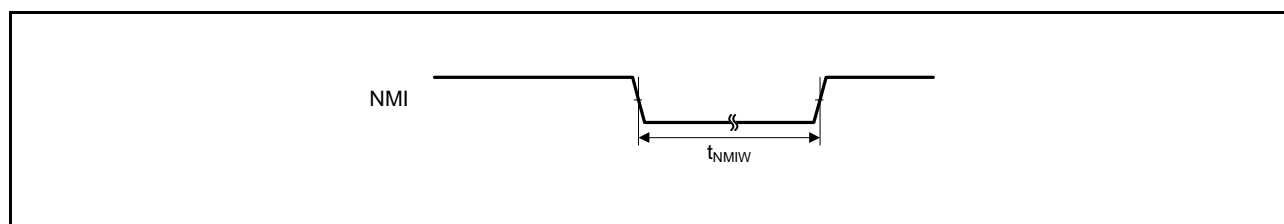


図 43.31 NMI 割り込み入力タイミング

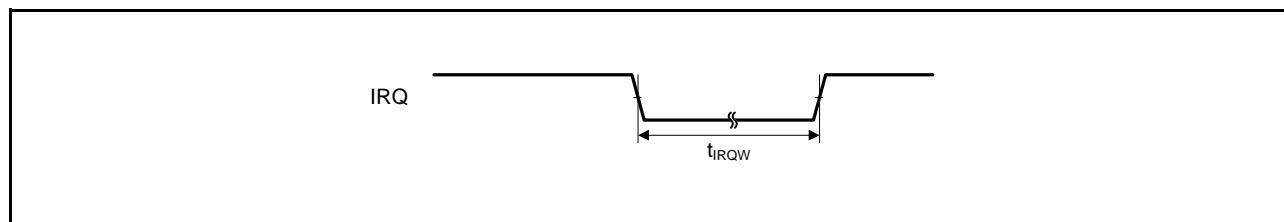


図 43.32 IRQ 割り込み入力タイミング

## 43.3.5 内蔵周辺モジュールタイミング

表43.30 内蔵周辺モジュールタイミング (1)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	$t_{PRW}$	1.5	—	$t_{Pcyc}$	図43.33	
MTU2	インプットキャプチャ入力 パルス幅	単エッジ指定	$t_{TICW}$	1.5	—	$t_{Pcyc}$	図43.34
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定 $t_{TCKWH}$ , $t_{TCKWL}$		1.5	—	$t_{Pcyc}$	図43.35
		両エッジ指定		2.5	—		
		位相係数モード		2.5	—		
POE	POE#入力パルス幅	$t_{POEW}$	1.5	—	$t_{Pcyc}$	図43.36	
TMR	タイマクロックパルス幅	単エッジ指定	$t_{TMCWH}$ , $t_{TMCWL}$	1.5	—	$t_{Pcyc}$	図43.37
		両エッジ指定		2.5	—		
SCI	入カロックサイクル	調歩同期	$t_{Scyc}$	4	—	$t_{Pcyc}$	図43.38
		クロック同期		6	—		
	入カロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	入カロック立ち上がり時間		$t_{SCKr}$	—	20	ns	
	入カロック立ち下がり時間		$t_{SCKf}$	—	20	ns	
	出カロックサイクル	調歩同期	$t_{Scyc}$	16	—	$t_{Pcyc}$	図43.39 C = 30pF
		クロック同期		4	—		
	出カロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	出カロック立ち上がり時間		$t_{SCKr}$	—	20	ns	
	出カロック立ち下がり時間		$t_{SCKf}$	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期	$t_{TXD}$	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック 同期		2.7V以上	—	65	ns
				1.8V以上	—	100	ns
受信データセットアップ 時間 (マスタ)	クロック 同期	$t_{RXS}$	2.7V以上	65	—	ns	
			1.8V以上	90	—	ns	
受信データセットアップ 時間 (スレーブ)	クロック同期		40	—	ns		
受信データホールド時間	クロック同期	$t_{RXH}$	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	$t_{TRGW}$	1.5	—	$t_{Pcyc}$	図43.40	
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	$t_{CACREF}$	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns	
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$			
CLKOUT	CLKOUT 端子出力サイクル (注4)	VCC = 2.7V以上	$t_{Ccyc}$	125	—	ns	図43.41
		VCC = 1.8V以上		250			
	CLKOUT 端子 High レベルパルス幅 (注3)	VCC = 2.7V以上	$t_{CH}$	35	—	ns	
		VCC = 1.8V以上		70			
	CLKOUT 端子 Low レベルパルス幅 (注3)	VCC = 2.7V以上	$t_{CL}$	35	—	ns	
		VCC = 1.8V以上		70			
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V以上	$t_{Cr}$	—	15	ns	
		VCC = 1.8V以上		30			
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V以上	$t_{Cf}$	—	15	ns		
	VCC = 1.8V以上		30				

注1.  $t_{Pcyc}$  : PCLKの周期注2.  $t_{cac}$  : CACカウンタクロックソースの周期

注3. クロック出力ソースにLOCO選択 (CKOCR.CKOSEL[2:0]ビット=000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0]ビット=001b) に設定してください。

注4. XTAL外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSEL[2:0]ビット=010bかつCKOCR.CKODIV[2:0]ビット=000b) をCLKOUTより出力する場合は、入力デューティ比45~55%で上記を満たします。

表 43.31 内蔵周辺モジュールタイミング (2)

条件 : 1.8V ≤ VCC = VCC\_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V,  
 T<sub>a</sub> = -40 ~ +105°C, C = 30pF

項目		記号	min	max	単位	測定条件		
RSPI	RSPCKクロックサイクル	マスタ	t <sub>SPcyc</sub>	2	4096	t <sub>Pcyc</sub> (注1)	図 43.42	
		スレーブ		8	—			
	RSPCKクロック Highレベルパルス幅	マスタ	t <sub>SPCKWH</sub>	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	図 43.43 ~ 図 43.48	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック Lowレベルパルス幅	マスタ	t <sub>SPCKWL</sub>	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック 立ち上がり/立ち下がり 時間	出力	2.7V以上	t <sub>SPCKr</sub> , t <sub>SPCKf</sub>	—	10		ns
			1.8V以上		—	15		
		入力		—	1	μs		
	データ入力セットアップ 時間	マスタ	2.7V以上	t <sub>SU</sub>	10	—		ns
			1.8V以上		30	—		
		スレーブ		25 - t <sub>Pcyc</sub>	—			
	データ入力ホールド時間	マスタ	RSPCKをPCLKB の2分周以外に 設定	t <sub>H</sub>	t <sub>Pcyc</sub>	—		ns
			RSPCKをPCLKB の2分周に設定	t <sub>HF</sub>	0	—		
		スレーブ		t <sub>H</sub>	20 + 2 × t <sub>Pcyc</sub>	—		
	SSLセットアップ時間	マスタ	t <sub>LEAD</sub>	-30 + N (注2) × t <sub>SPcyc</sub>	—	ns		
		スレーブ		2	—	t <sub>Pcyc</sub>		
	SSLホールド時間	マスタ	t <sub>LAG</sub>	-30 + N (注3) × t <sub>SPcyc</sub>	—	ns		
		スレーブ		2	—	t <sub>Pcyc</sub>		
	データ出力遅延時間	マスタ	2.7V以上	t <sub>OD</sub>	—	14		ns
1.8V以上				—	30			
スレーブ		2.7V以上		—	3 × t <sub>Pcyc</sub> + 65			
		1.8V以上		—	3 × t <sub>Pcyc</sub> + 105			
データ出力ホールド時間	マスタ	2.7V以上	t <sub>OH</sub>	0	—	ns		
		1.8V以上		-20	—			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t <sub>TD</sub>	t <sub>SPcyc</sub> + 2 × t <sub>Pcyc</sub>	8 × t <sub>SPcyc</sub> + 2 × t <sub>Pcyc</sub>	ns			
	スレーブ		4 × t <sub>Pcyc</sub>	—				
MOSI、MISO 立ち上がり/立ち下がり 時間	出力	2.7V以上	t <sub>Dr</sub> , t <sub>Df</sub>	—	10	ns		
		1.8V以上		—	20			
	入力		—	1	μs			
SSL立ち上がり/立ち下がり 時間	出力	t <sub>SSLr</sub> , t <sub>SSLf</sub>	—	20	ns			
	入力		—	1	μs			
スレーブアクセス時間	2.7V以上	t <sub>SA</sub>	—	6	t <sub>Pcyc</sub>	図 43.47、 図 43.48		
	1.8V以上		—	7				
スレーブ出力開放時間	2.7V以上	t <sub>REL</sub>	—	5	t <sub>Pcyc</sub>			
	1.8V以上		—	6				

注1. t<sub>Pcyc</sub> : PCLKの周期

注2. N : RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

表 43.32 内蔵周辺モジュールタイミング (3)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  
 $T_a = -40 \sim +105^\circ C$ ,  $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	$t_{SPCyc}$	4	65536	$t_{Pcyc}$	図 43.42	
	SCKクロックサイクル入力 (スレーブ)		6	—	$t_{Pcyc}$		
	SCKクロック High レベルパルス幅	$t_{SPCKWH}$	0.4	0.6	$t_{SPcyc}$		
	SCKクロック Low レベルパルス幅	$t_{SPCKWL}$	0.4	0.6	$t_{SPcyc}$		
	SCKクロック立ち上がり/立ち下がり時間	$t_{SPCKr}$ , $t_{SPCKf}$	—	20	ns		
	データ入力セットアップ時間 (マスタ)	2.7V以上	$t_{SU}$	65	—	ns	図 43.43、 図 43.45
		1.8V以上		95	—		
	データ入力セットアップ時間 (スレーブ)			40	—		
	データ入力ホールド時間	$t_H$	40	—	ns		
	SS入力セットアップ時間	$t_{LEAD}$	3	—	$t_{SPcyc}$		
	SS入力ホールド時間	$t_{LAG}$	3	—	$t_{SPcyc}$		
	データ出力遅延時間 (マスタ)	$t_{OD}$	—	40	ns		
	データ出力遅延時間 (スレーブ)		2.7V以上	—		65	
			1.8V以上	—		100	
	データ出力ホールド時間 (マスタ)	2.7V以上	$t_{OH}$	-10	—	ns	
		1.8V以上		-20	—		
データ出力ホールド時間 (スレーブ)		-10		—			
データ立ち上がり/立ち下がり時間	$t_{Dr}$ , $t_{Df}$	—	20	ns			
SS入力立ち上がり/立ち下がり時間	$t_{SSLr}$ , $t_{SSLf}$	—	20	ns			
スレーブアクセス時間	$t_{SA}$	—	6	$t_{Pcyc}$	図 43.47、 図 43.48		
スレーブ出力開放時間	$t_{REL}$	—	6	$t_{Pcyc}$			

注1.  $t_{Pcyc}$  : PCLKの周期



表 43.33 内蔵周辺モジュールタイミング (4)

条件 :  $2.7V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.7V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $fPCLKB \leq 32MHz$ ,  
 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
IIC (スタンダード モード、SMBus)	SCL0入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 43.49
	SCL0入力Highパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0入力Lowパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0、SDA0入力立ち上がり時間	$t_{Sr}$	—	1000	ns	
	SCL0、SDA0入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA0入力バスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	$t_{STAS}$	1000	—	ns	
	停止条件入力セットアップ時間	$t_{STOS}$	1000	—	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL0、SDA0の容量性負荷	$C_b$	—	400	pF	
IIC (ファストモード)	SCL0入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 43.49
	SCL0入力Highパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0入力Lowパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL0、SDA0入力立ち上がり時間	$t_{Sr}$	— (注2)	300	ns	
	SCL0、SDA0入力立ち下がり時間	$t_{Sf}$	— (注2)	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA0入力バスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	$t_{STAS}$	300	—	ns	
	停止条件セットアップ時間	$t_{STOS}$	300	—	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL0、SDA0の容量性負荷	$C_b$	—	400	pF	

注.  $t_{IICcyc}$  : IICの内部基準クロック (IIC $\phi$ ) の周期

注1. ( ) 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. ファストモードのtsr/tsfのmin規格は設定していません。

表 43.34 内蔵周辺モジュールタイミング (5)

条件 :  $2.7V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.7V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $fPCLKB \leq 32MHz$ ,  
 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件
簡易I <sup>2</sup> C (スタンダード モード)	SDA0入力立ち上がり時間	$t_{Sr}$	—	1000	ns	図 43.49
	SDA0入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SDA0入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{pcyc}$ (注1)	ns	
	データ入力セットアップ時間	$t_{SDAS}$	250	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL0、SDA0の容量性負荷	$C_b$	—	400	pF	
簡易I <sup>2</sup> C (ファストモード)	SCL0、SDA0入力立ち上がり時間	$t_{Sr}$	—	300	ns	図 43.49
	SCL0、SDA0入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{pcyc}$ (注1)	ns	
	データ入力セットアップ時間	$t_{SDAS}$	100	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL0、SDA0の容量性負荷	$C_b$	—	400	pF	

注.  $t_{pcyc}$  : PCLKの周期

注1. SNFR.NFE ビット=1でデジタルフィルタを有効にした状態でSMR.CKS[1:0] ビット=00b、SNFR.NFCS[2:0] ビット=010bの場合を示します。

表 43.35 内蔵周辺モジュールタイミング (6)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $fPCLKB \leq 32MHz$ ,  
 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件		
SSI	AUDIO_CLK入力周波数	$t_{AUDIO}$	2.7V以上	1	25	MHz	図 43.50	
			1.8V以上	1	4			
	出カクロック周期		$t_o$	250	—	ns		
	入カクロック周期		$t_i$	250	—	ns		
	クロックHighパルス幅		$t_{HC}$	0.4	0.6	to, ti		
	クロックLowパルス幅		$t_{LC}$	0.4	0.6	to, ti		
	クロック立ち上がり時間		$t_{RC}$	—	20	ns		
	データ遅延時間	2.7V以上	$t_{DTR}$	—	65	ns		図 43.51 図 43.52
		1.8V以上		—	105			
	セットアップ時間	2.7V以上	$t_{SR}$	65	—	ns		
		1.8V以上		90	—			
	ホールド時間		$t_{HTR}$	40	—	ns		
WS変化エッジSSIDATA出力遅延		$t_{DTRW}$	—	105	ns	図 43.53		

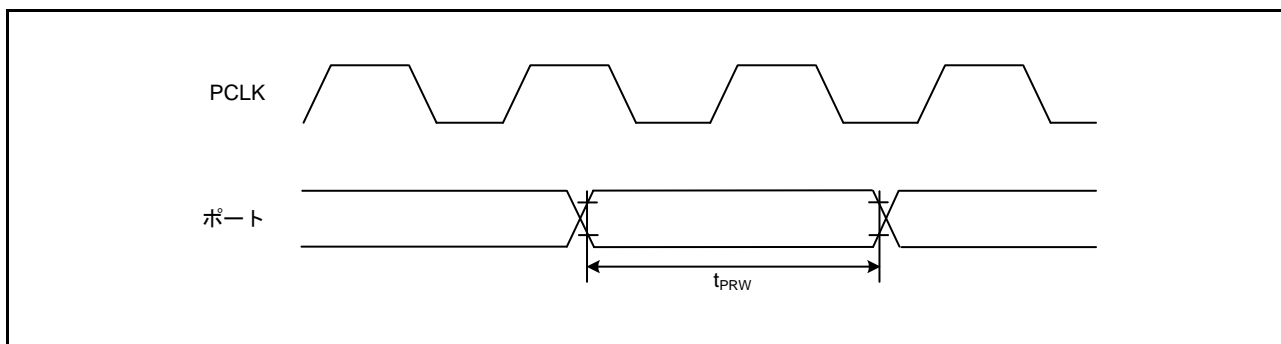


図 43.33 I/O ポート入力タイミング

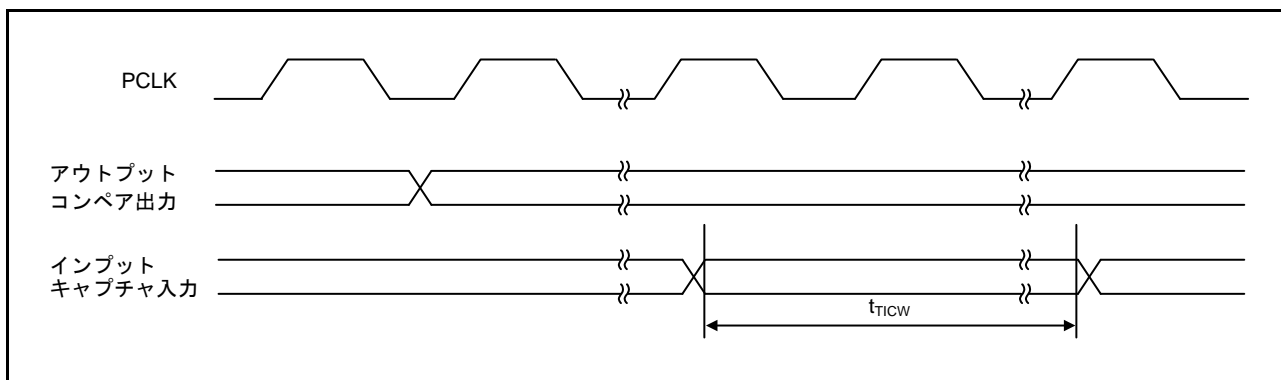


図 43.34 MTU2 入出力タイミング

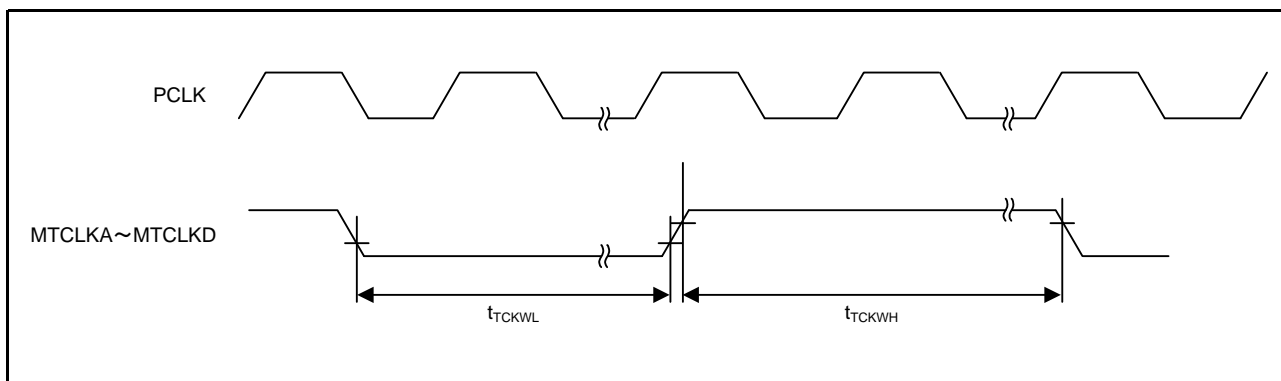


図 43.35 MTU2 クロック入力タイミング

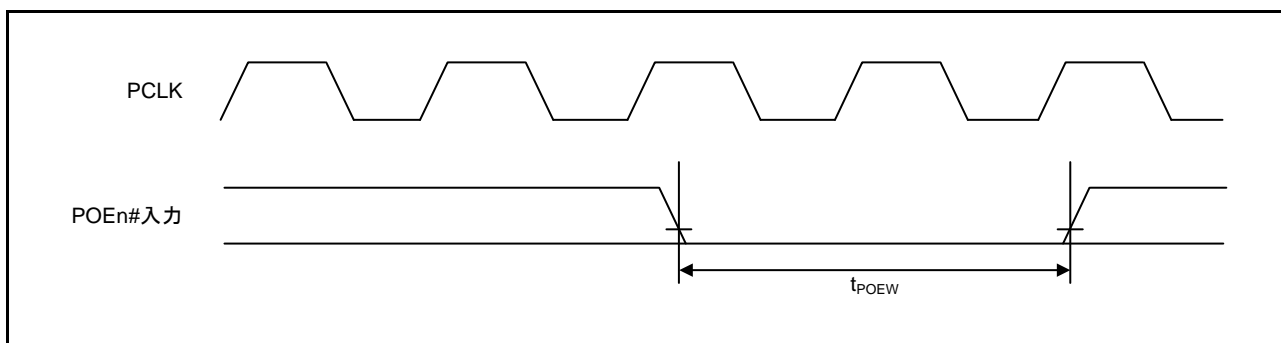


図 43.36 POE# 入力タイミング

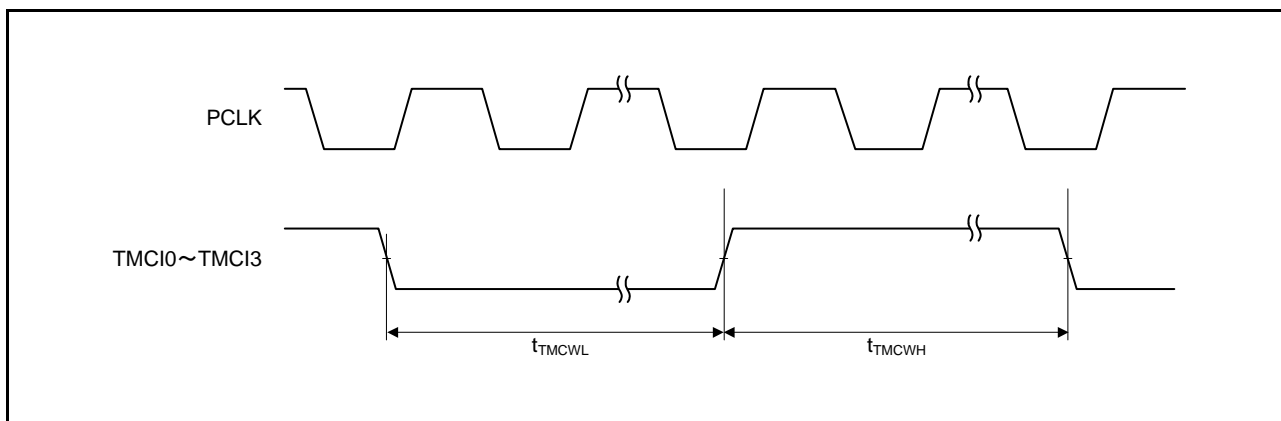


図 43.37 TMR クロック入力タイミング

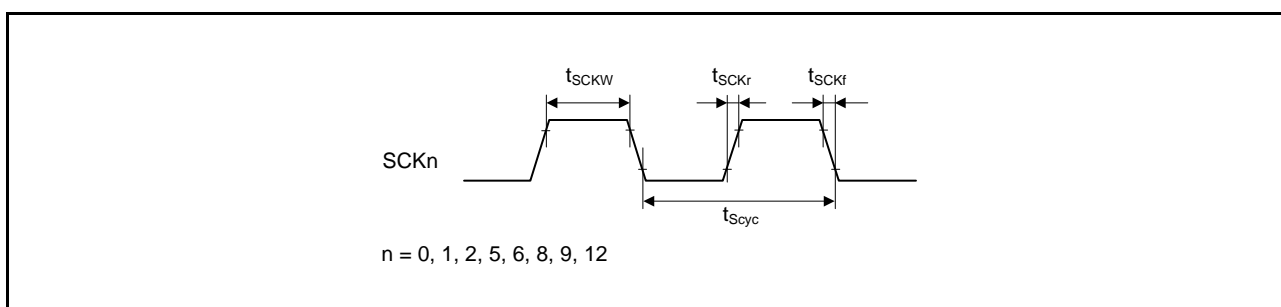


図 43.38 SCK クロック入力タイミング

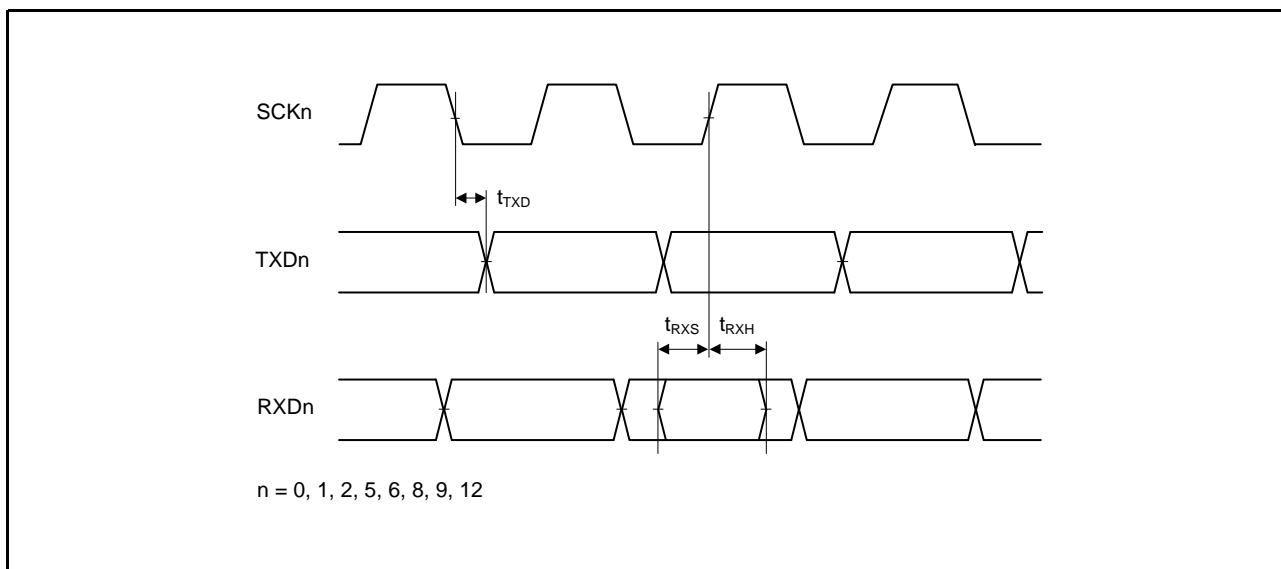


図 43.39 SCI 入出力タイミング/クロック同期式モード

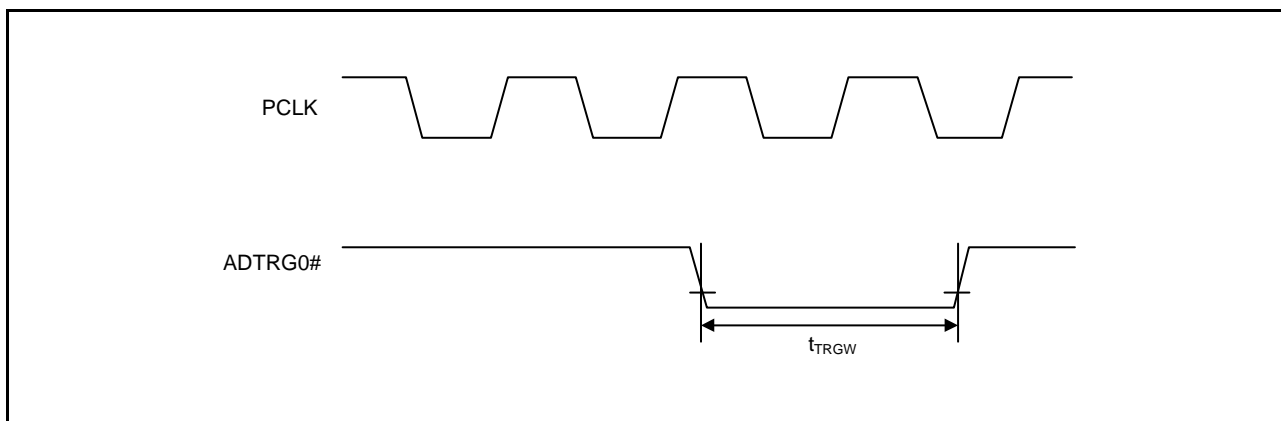


図 43.40 A/D コンバータ外部トリガ入力タイミング

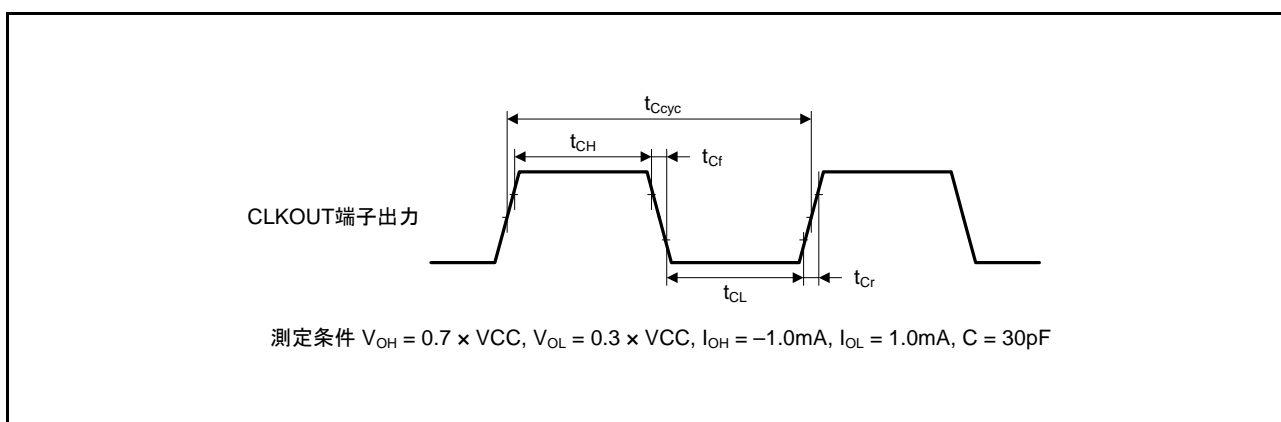


図 43.41 CLKOUT 出力タイミング

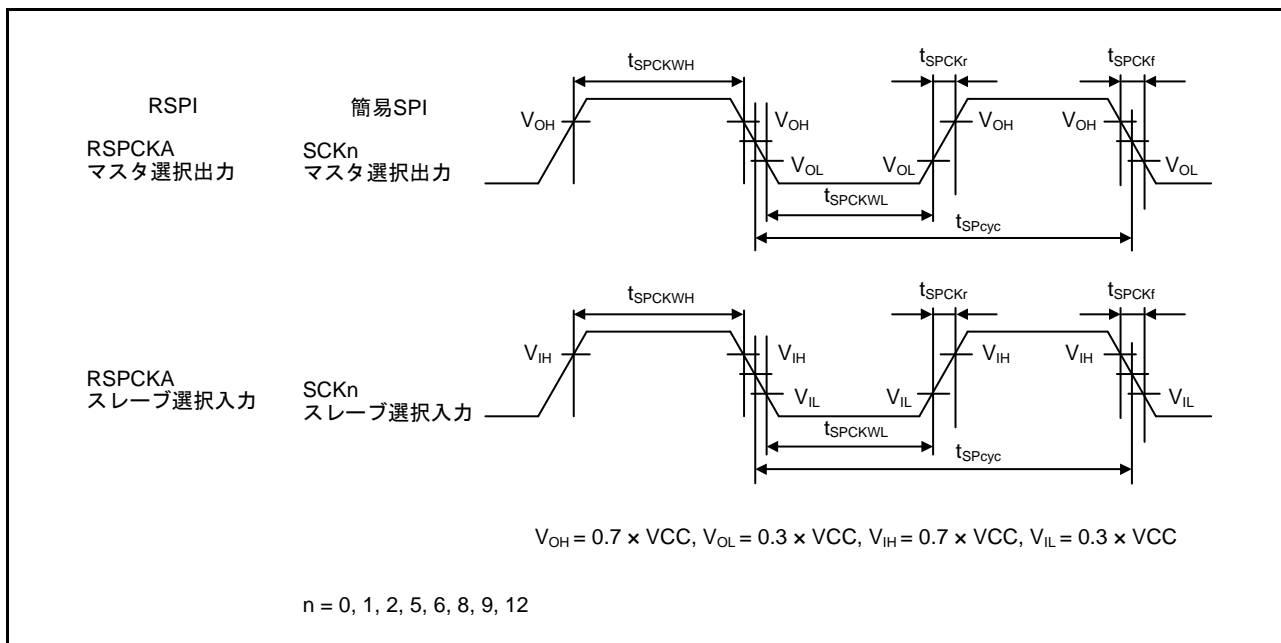


図 43.42 RSPI クロックタイミング / 簡易 SPI クロックタイミング

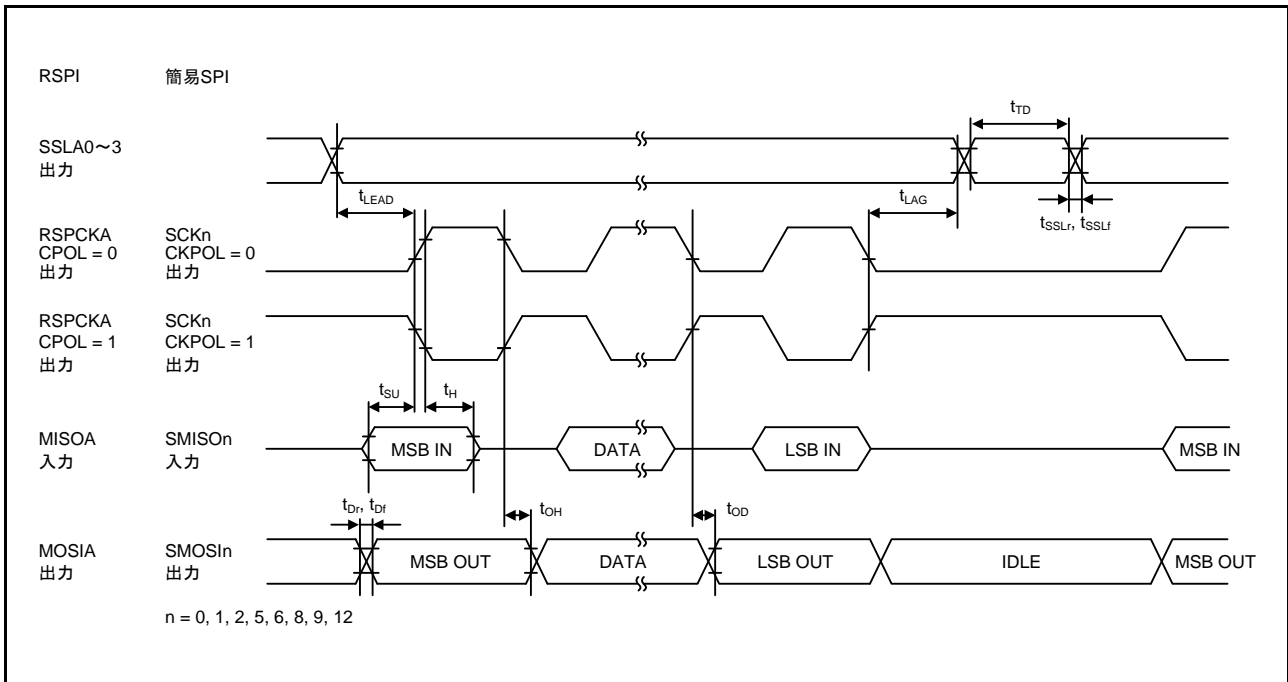


図 43.43 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

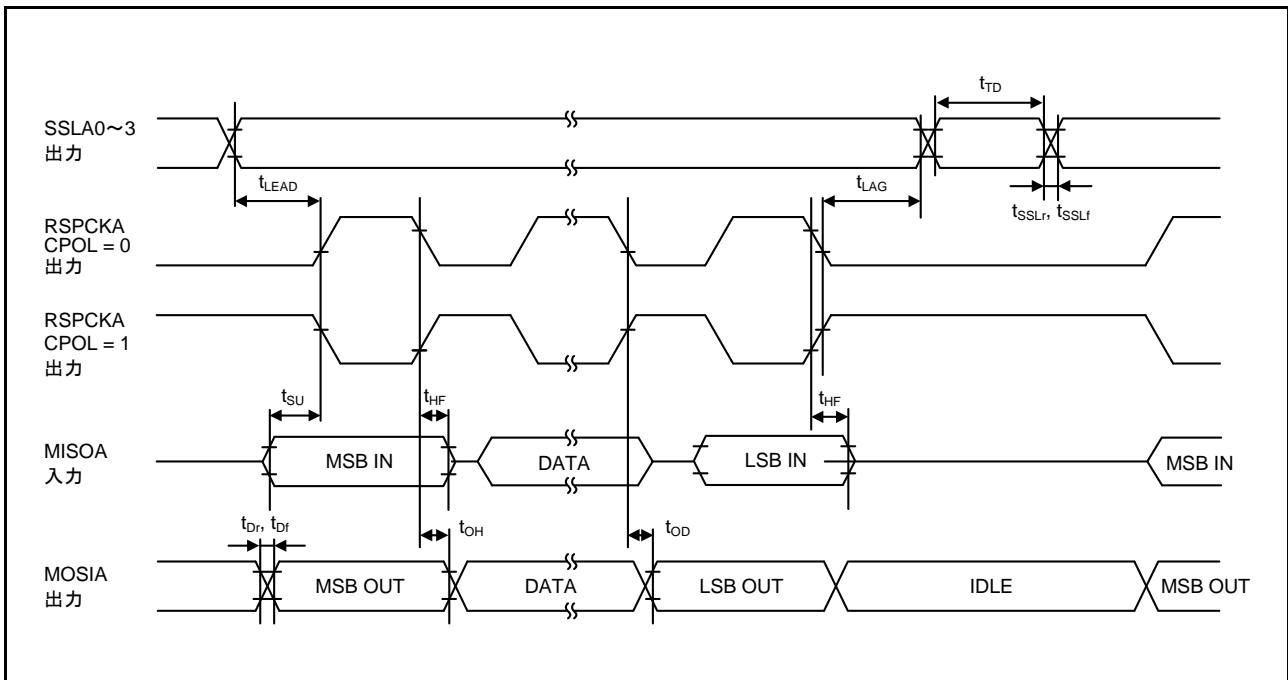


図 43.44 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

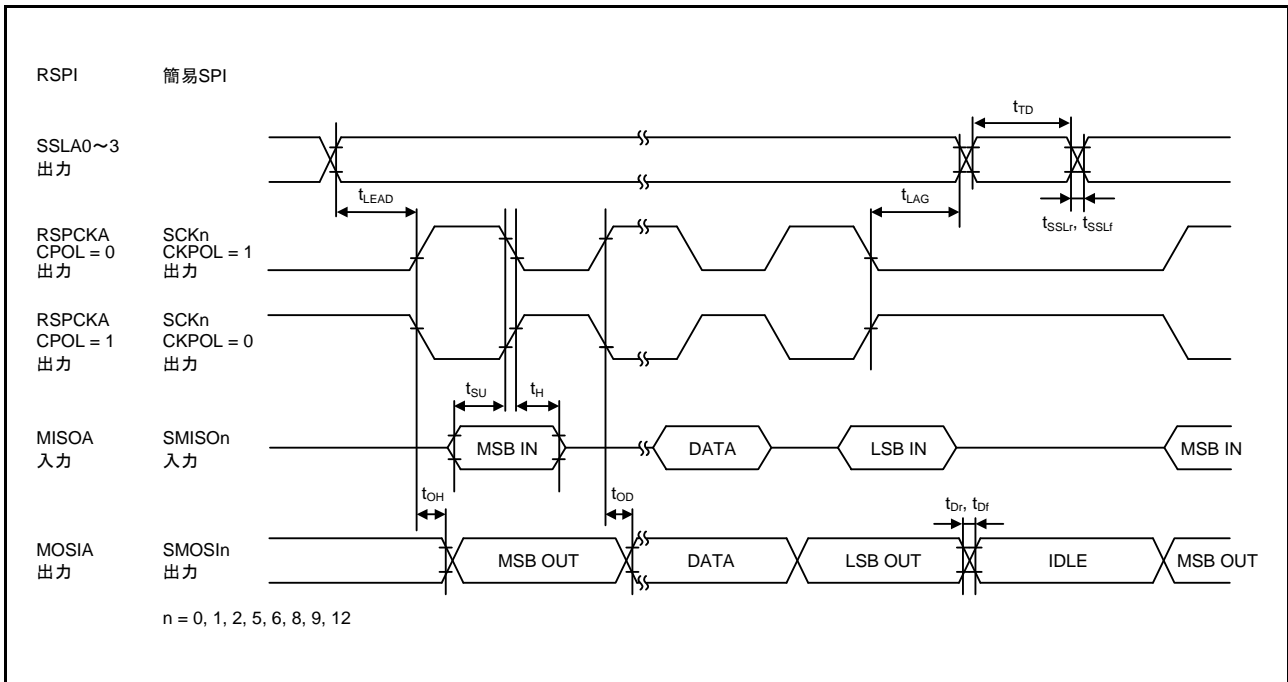


図 43.45 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

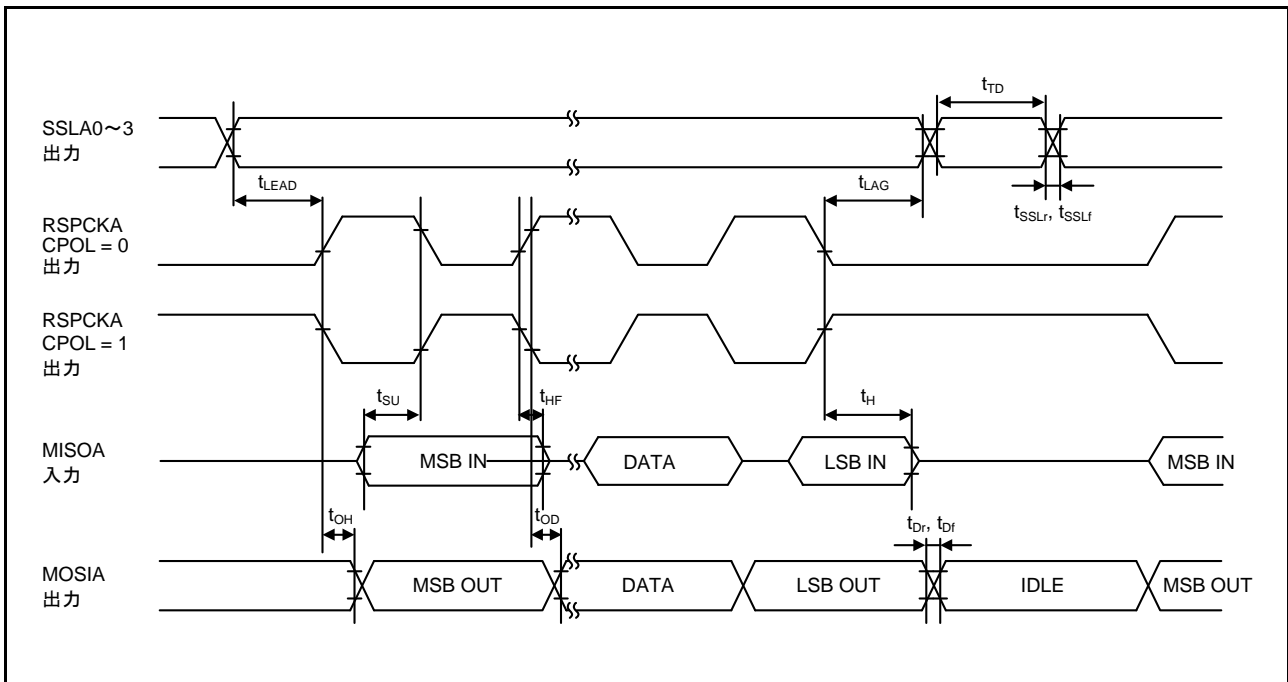


図 43.46 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

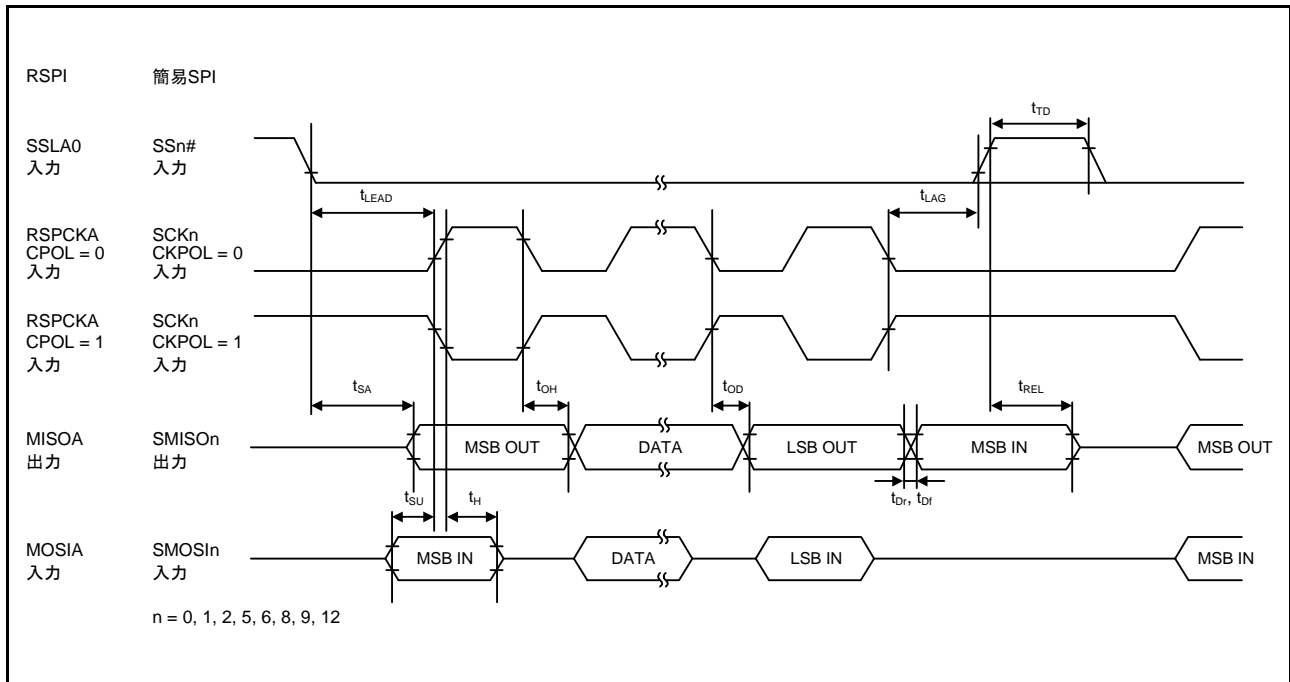


図 43.47 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

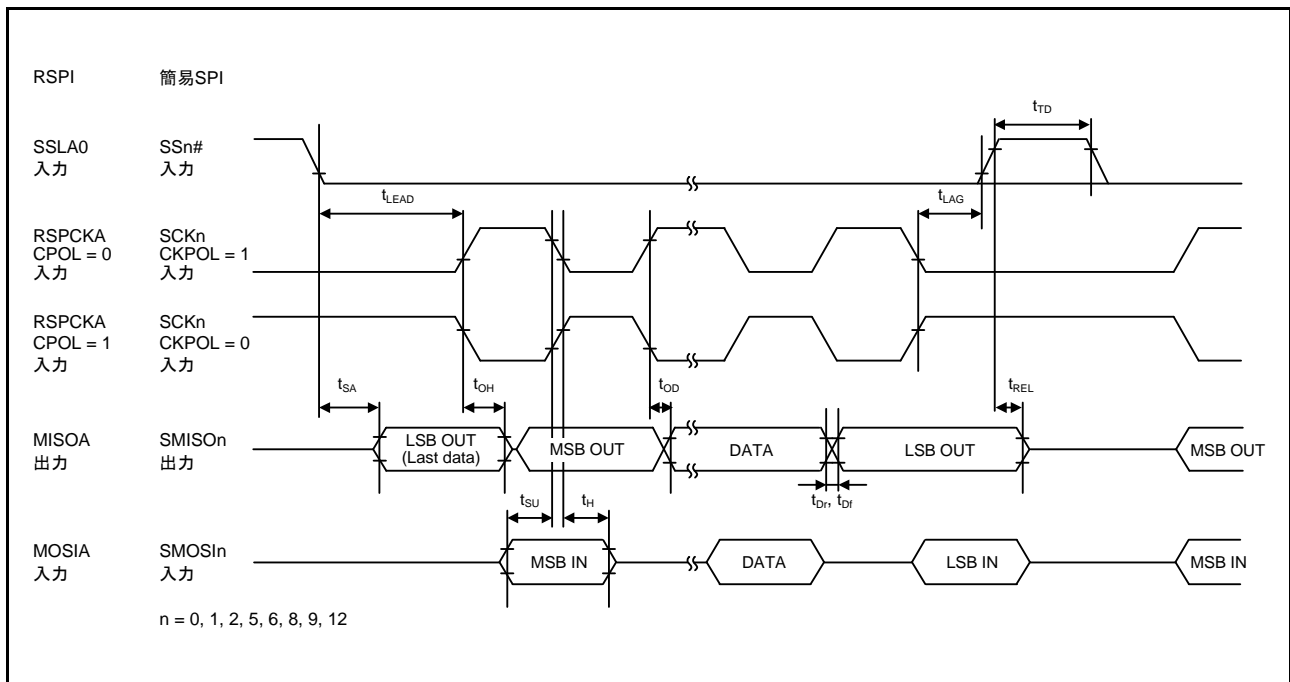


図 43.48 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)



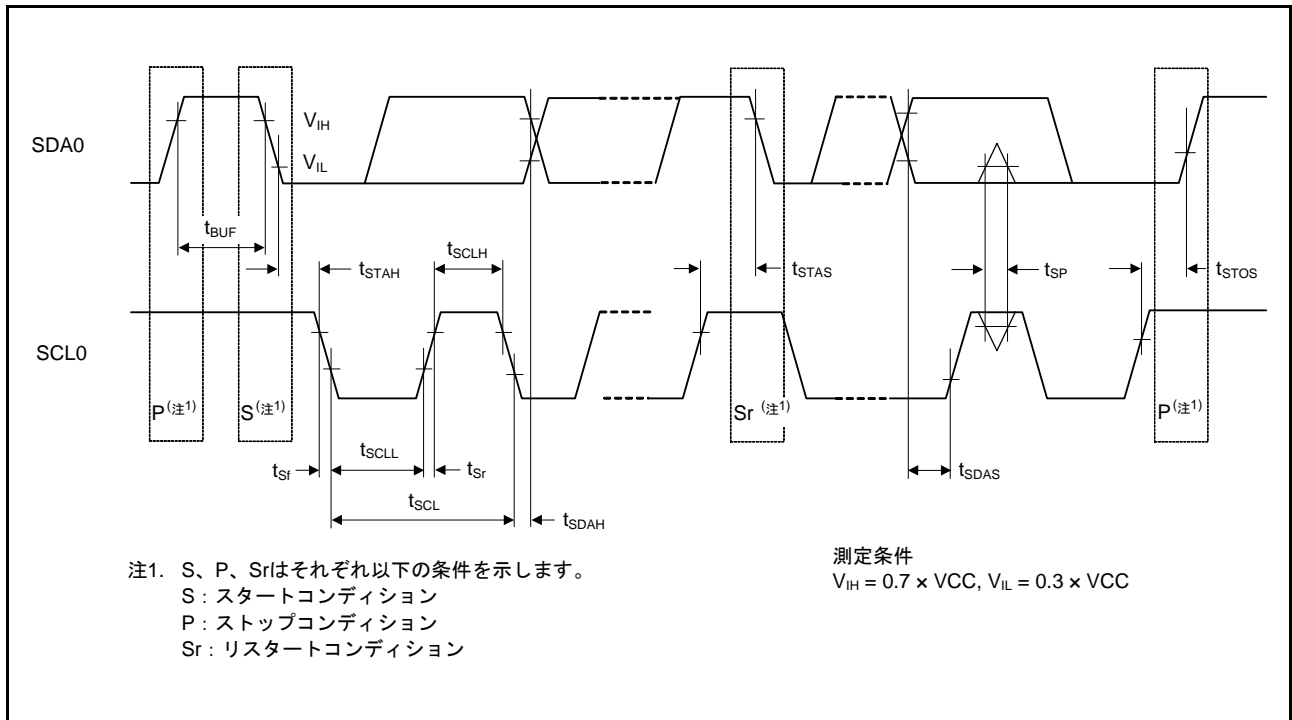


図 43.49 RIIC バスインタフェース入出力タイミング / 簡易 I<sup>2</sup>C バスインタフェース入出力タイミング

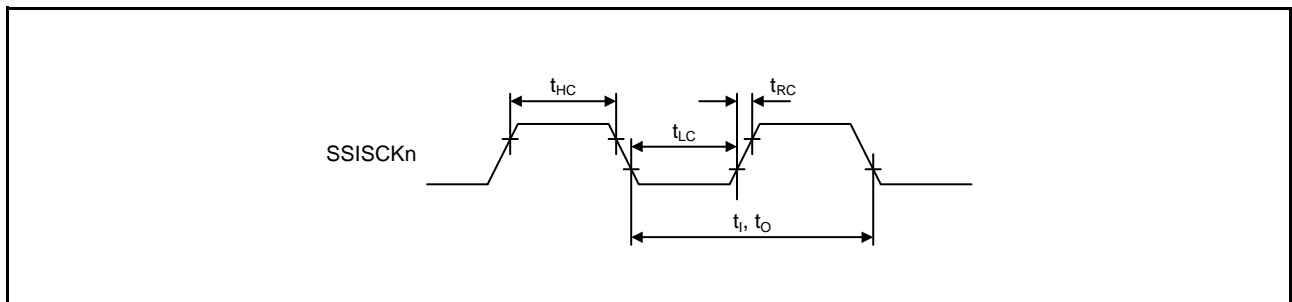


図 43.50 クロック入出力タイミング

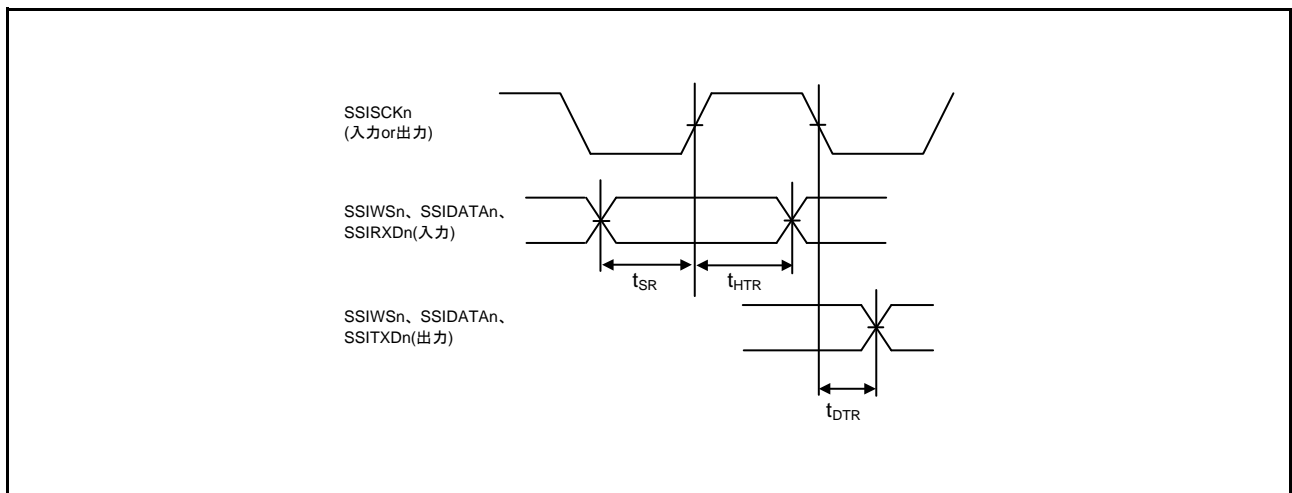


図 43.51 送受信タイミング (SSISCKn 立ち上がり同期)

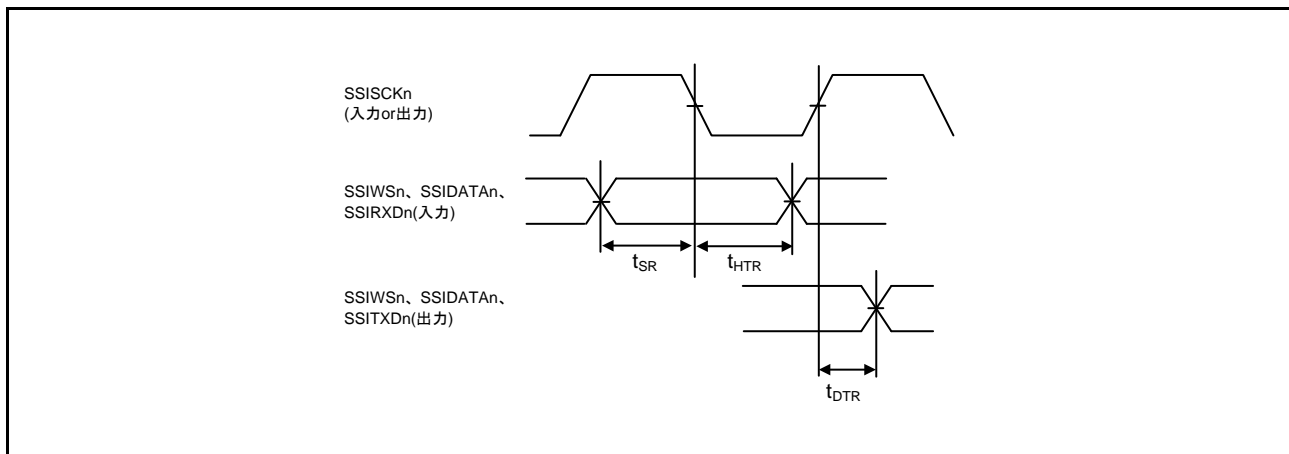


図 43.52 送受信タイミング (SSISCKn 立ち下がり同期)

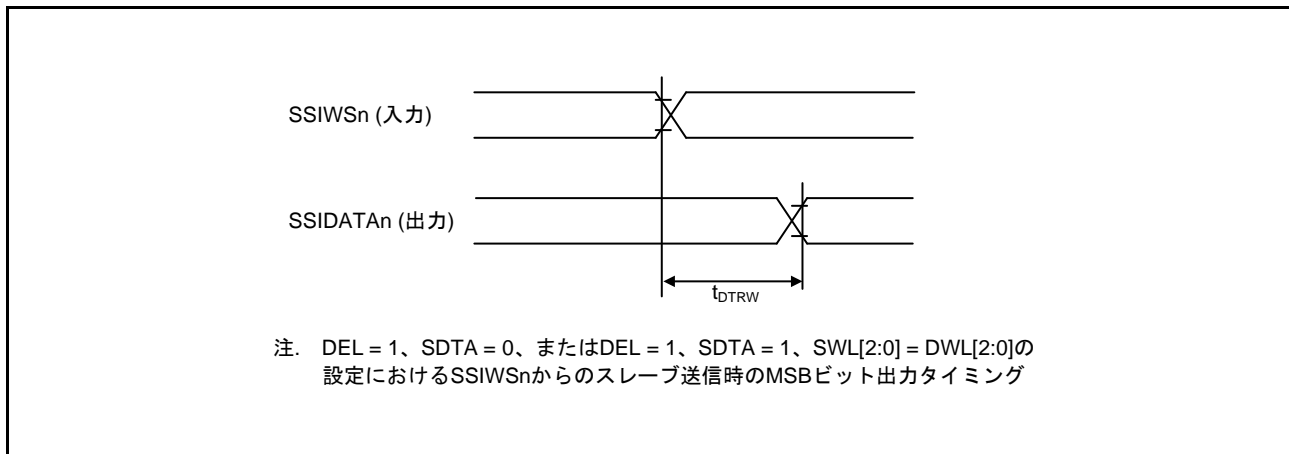


図 43.53 SSIWSn 変化エッジからの SSIDATA 出力遅延

## 43.4 USB 特性

表 43.36 USB 特性 (USB0\_DP, USB0\_DM 端子特性)

条件 :  $3.0V \leq VCC = VCC\_USB \leq 3.6V$ ,  $3.0V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目		記号	min	max	単位	測定条件	
入力特性	入力 High レベル電圧	$V_{IH}$	2.0	—	V		
	入力 Low レベル電圧	$V_{IL}$	—	0.8	V		
	差動入力感度	$V_{DI}$	0.2	—	V	USB0_DP – USB0_DM	
	差動コモンモードレンジ	$V_{CM}$	0.8	2.5	V		
出力特性	出力 High レベル電圧	$V_{OH}$	2.8	VCC_USB	V	$I_{OH} = -200\mu A$	
	出力 Low レベル電圧	$V_{OL}$	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V	図 43.54 図 43.55	
	立ち上がり時間	FS	$t_r$	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	$t_f$	4	20		ns
		LS		75	300		
	立ち上がり/ 立ち下がり時間比	FS	$t_r/t_f$	90	111.11		%
LS		80		125			
出力抵抗	$Z_{DRV}$	28	44	$\Omega$	(外部素子による抵抗調整不要)		
VBUS 特性	VBUS 入力電圧	$V_{IH}$	$0.8 \times VCC$	—	V		
		$V_{IL}$	—	$0.2 \times VCC$	V		
	VBUS (P16) 入力リーク電流	$ I_{VBUSIN} $	—	10	$\mu A$	USB0_VBUS = 5.5V	
ブルアップ、ブルダウン	ブルダウン抵抗	$R_{PD}$	14.25	24.80	k $\Omega$		
	ブルアップ抵抗	$R_{PUI}$	0.9	1.575	k $\Omega$	アイドル時	
		$R_{PUA}$	1.425	3.09	k $\Omega$	受信時	
バッテリー チャージング 規格 Ver1.2	USB0_DP シンク電流	$I_{DP\_SINK}$	25	175	$\mu A$		
	USB0_DM シンク電流	$I_{DM\_SINK}$	25	175	$\mu A$		
	DCD ソース電流	$I_{DP\_SRC}$	7	13	$\mu A$		
	データ検出電圧	$V_{DAT\_REF}$	0.25	0.4	V		
	USB0_DP ソース電圧	$V_{DP\_SRC}$	0.5	0.7	V	出力電流 = 250 $\mu A$	
	USB0_DM ソース電圧	$V_{DM\_SRC}$	0.5	0.7	V	出力電流 = 250 $\mu A$	

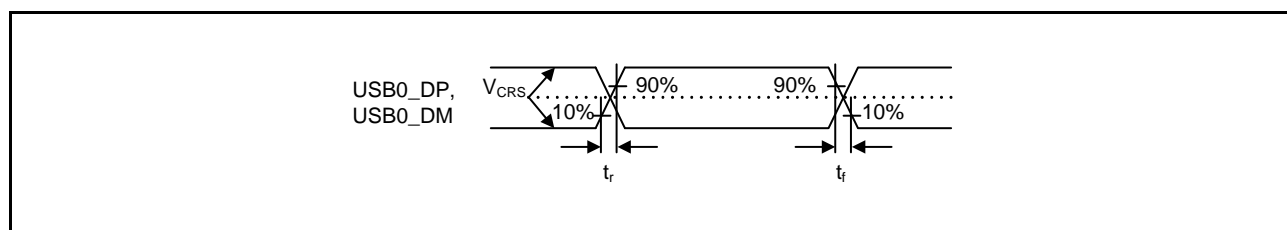


図 43.54 USB0\_DP、USB0\_DM 出力タイミング

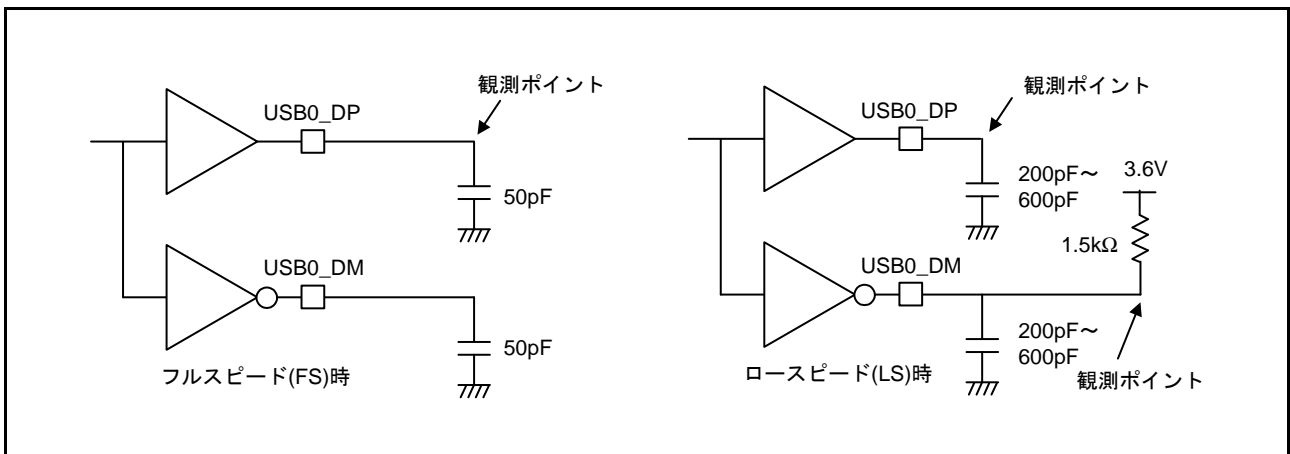


図 43.55 測定回路

### 43.5 A/D 変換特性

表 43.37 A/D変換特性 (1)

条件 :  $2.7V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.7V \leq AVCC0 \leq 3.6V$ ,  $2.7V \leq VREFH0 \leq AVCC0$ ,  
 $VSS = AVSS0 = VREFL0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	4	—	32	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 32MHz時)	許容信号源 インピーダンス max = 0.3kΩ	1.031 (0.313) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=09h
		1.375 (0.641) (注2)	—	—	μs	通常精度チャンネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±0.5	±4.5	LSB	高精度チャンネル PJ6PFS.ASELビット=1 PJ7PFS.ASELビット=1	
			±6.0	LSB	上記以外	
フルスケール誤差	—	±0.75	±4.5	LSB	高精度チャンネル PJ6PFS.ASELビット=1 PJ7PFS.ASELビット=1	
			±6.0	LSB	上記以外	
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±1.25	±5.0	LSB	高精度チャンネル PJ6PFS.ASELビット=1 PJ7PFS.ASELビット=1	
			±8.0	LSB	上記以外	
DNL 微分非直線性誤差	—	±1.0	—	LSB		
INL 積分非直線性誤差	—	±1.0	±3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ( ) はサンプリング時間を示します。

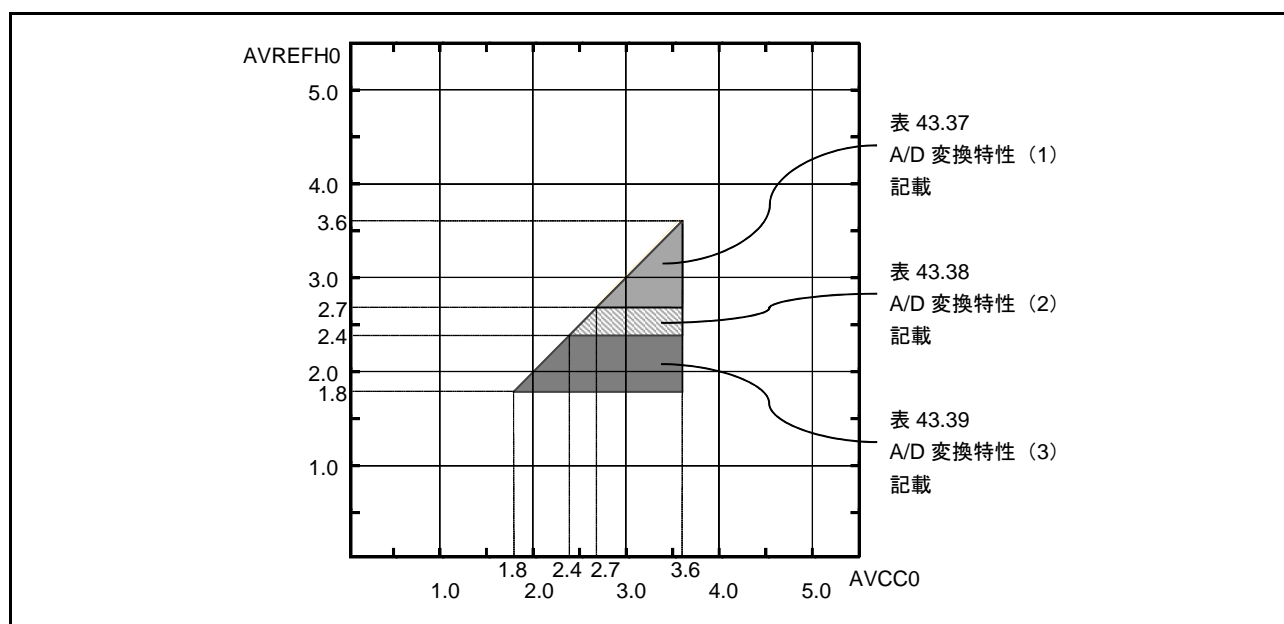


図 43.56 AVCC0-AVREFH0 電圧範囲

表 43.38 A/D変換特性 (2)

条件 :  $2.4V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.4V \leq AVCC0 \leq 3.6V$ ,  $2.4V \leq VREFH0 \leq AVCC0$ ,  
 $VSS = AVSS0 = VREFL0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	4	—	16	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 1.0k $\Omega$	2.062 (0.625) (注2)	—	—	$\mu s$	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=09h
		2.750 (1.313) (注2)	—	—	$\mu s$	通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	$\pm 0.5$	$\pm 6.0$	LSB		
フルスケール誤差	—	$\pm 1.25$	$\pm 6.0$	LSB		
量子化誤差	—	$\pm 0.5$	—	LSB		
絶対精度	—	$\pm 3.0$	$\pm 8.0$	LSB		
DNL 微分非直線性誤差	—	$\pm 1.0$	—	LSB		
INL 積分非直線性誤差	—	$\pm 1.5$	$\pm 3.0$	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ( ) はサンプリング時間を示します。

表 43.39 A/D変換特性 (3)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $1.8V \leq VREFH0 \leq AVCC0$ ,  
 $VSS = AVSS0 = VREFL0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	1	—	8	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 8MHz時)	許容信号源 インピーダンス max = 5.0k $\Omega$	4.875 (1.250) (注2)	—	—	$\mu s$	高精度チャネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=09h
		6.250 (2.625) (注2)	—	—	$\mu s$	通常精度チャネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	$\pm 0.5$	$\pm 24.0$	LSB		
フルスケール誤差	—	$\pm 1.25$	$\pm 24.0$	LSB		
量子化誤差	—	$\pm 0.5$	—	LSB		
絶対精度	—	$\pm 2.75$	$\pm 32.0$	LSB		
DNL 微分非直線性誤差	—	$\pm 1.0$	—	LSB		
INL 積分非直線性誤差	—	$\pm 1.25$	$\pm 12.0$	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ( ) はサンプリング時間を示します。

表 43.40 A/D変換特性 (4)

条件 :  $2.0V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.0V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  
 ADHVREFCNT.OCSVSEL = 1 (高電位側基準電圧に内部基準電圧選択時)、  
 PJ7PFS.ASEL = 0 (低電位側基準電源グランド端子にAVSS0端子を選択時)  
 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	2	MHz	
分解能		—	—	12	ビット	
内部基準電圧		1.36	1.43	1.50	V	
変換時間(注1) (PCLKD = 2MHz時)	許容信号源 インピーダンス max = 5.0k $\Omega$	16 (1.5) (注2)	—	—	$\mu s$	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=02h
		17.5 (3.0) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=05h
アナログ入力電圧有効範囲		0	—	内部基準 電圧	V	
オフセット誤差		—	—	$\pm 24.0$	LSB	
DNL微分非直線性誤差		—	$\pm 16.0$	—	LSB	
INL積分非直線性誤差		—	$\pm 16.0$	$\pm 32.0$	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ( ) はサンプリング時間を示します。

表 43.41 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000 ~ AN007, AN021	$AVCC0 = 1.8 \sim 3.6V$	A/Dコンバータ使用時、AN000 ~ AN007、AN021端子をデジタル出力として使用することはできません。
通常精度チャンネル	AN008 ~ AN015		
内部基準電圧入力チャンネル	内部基準電圧	$AVCC0 = 2.0 \sim 3.6V$	
温度センサ入力チャンネル	温度センサ出力	$AVCC0 = 2.0 \sim 3.6V$	

表 43.42 A/D内部基準電圧特性

条件 :  $2.0V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.0V \leq AVCC0 \leq 3.6V$  (注1),  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル(注2)	1.36	1.43	1.50	V	

注1.  $AVCC0 < 2.0V$  で、内部基準電圧を入力チャンネルに選択することはできません。

注2. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

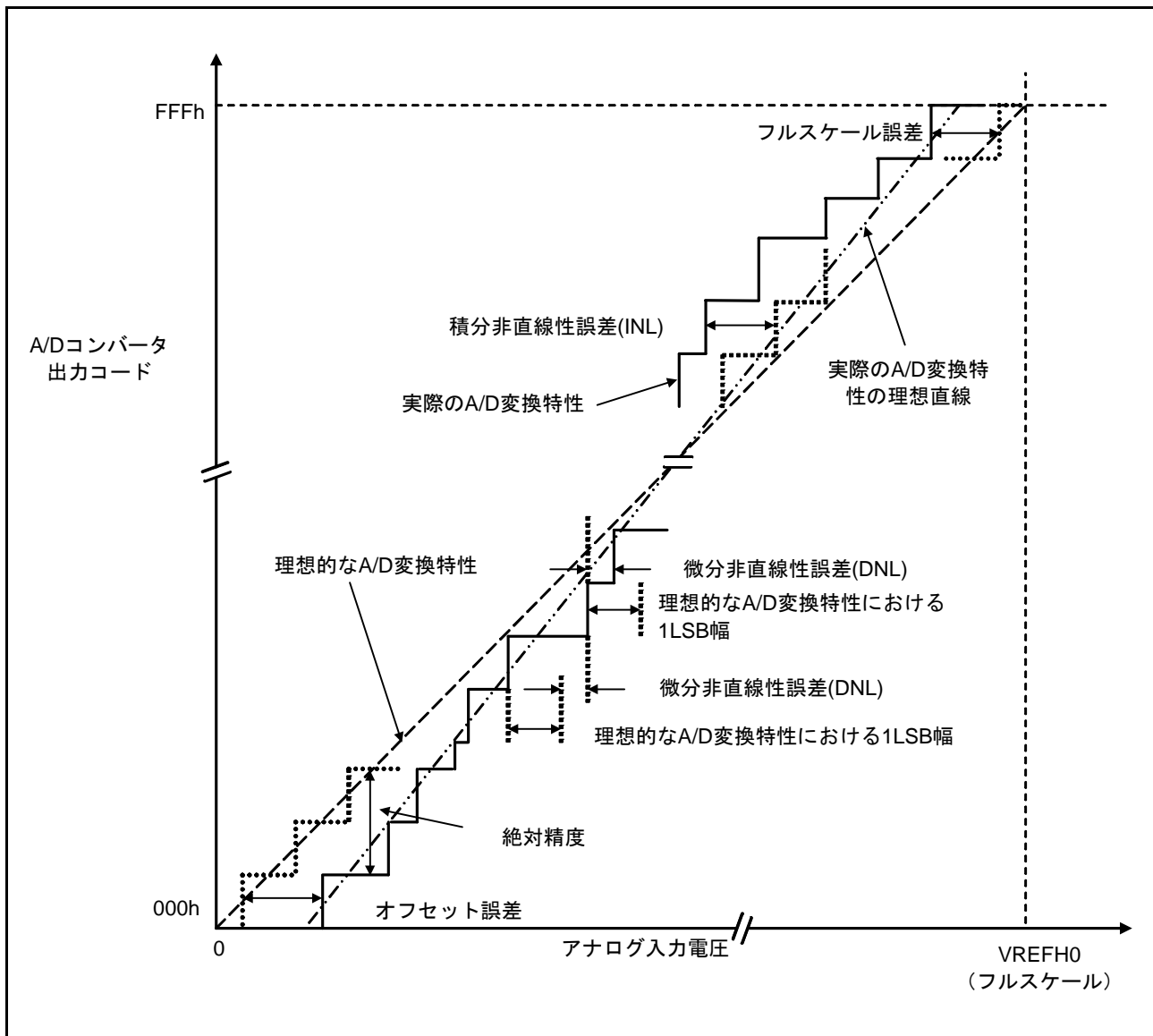


図 43.57 A/D コンバータ特性用語説明図

### 絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度  $\pm 5\text{LSB}$  とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00dh”になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。



**微分非直線性誤差 (DNL)**

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

**オフセット誤差**

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

**フルスケール誤差**

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

## 43.6 D/A 変換特性

表 43.43 D/A 変換特性 (1)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $1.8V \leq VREFH \leq AVCC0$ ,  $VSS = AVSS0 = VREFL = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$   
 基準電圧 = VREFH, VREFL 選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
負荷抵抗	30	—	—	k $\Omega$	
負荷容量	—	—	50	pF	
出力電圧範囲 (注1)	0.35	—	VREFH	V	$VREFH \leq AVCC0 - 0.47V$
	0.35	—	$AVCC0 - 0.47$	V	$VREFH > AVCC0 - 0.47V$
DNL 微分非直線性誤差	—	$\pm 0.5$	$\pm 1.0$	LSB	
INL 積分非直線性誤差	—	$\pm 2.0$	$\pm 8.0$	LSB	
オフセット誤差	—	—	$\pm 20$	mV	
フルスケール誤差	—	—	$\pm 20$	mV	
出力抵抗	—	75	—	$\Omega$	
変換時間	—	—	30	$\mu s$	

注1. 12ビットD/AコンバータとI/Oポートは、使用条件によりAVCC0とVCCに制約があります。  
 ポートJ0、J2をDA0、DA1出力として使用する場合、 $VCC \geq DA$ 出力電圧になるようにしてください。

表 43.44 D/A 変換特性 (2)

条件:  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 = VREFH \leq 3.6V$ ,  $VSS = AVSS0 = VREFL = VSS\_USB = 0V$ ,  
 $T_a = -40 \sim +105^\circ C$   
 基準電圧 = AVCC0, AVSS0 選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
負荷抵抗	30	—	—	k $\Omega$	
負荷容量	—	—	50	pF	
出力電圧範囲 (注1)	0.35	—	$AVCC0 - 0.47$	V	
DNL 微分非直線性誤差	—	$\pm 0.5$	$\pm 2.0$	LSB	
INL 積分非直線性誤差	—	$\pm 2.0$	$\pm 8.0$	LSB	
オフセット誤差	—	—	$\pm 30$	mV	
フルスケール誤差	—	—	$\pm 30$	mV	
出力抵抗	—	75	—	$\Omega$	
変換時間	—	—	30	$\mu s$	

注1. 12ビットD/AコンバータとI/Oポートは、使用条件によりAVCC0とVCCに制約があります。  
 ポートJ0、J2をDA0、DA1出力として使用する場合、 $VCC \geq DA$ 出力電圧になるようにしてください。

表 43.45 D/A変換特性 (3)

条件 :  $2.0V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.0V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

基準電圧 = 内部基準電圧選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
内部基準電圧 (Vbgr)	1.36	1.43	1.50	V	
負荷抵抗	30	—	—	k $\Omega$	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	Vbgr	V	
DNL 微分非直線性誤差	—	$\pm 2.0$	$\pm 16.0$	LSB	
INL 積分非直線性誤差	—	$\pm 8.0$	$\pm 16.0$	LSB	
オフセット誤差	—	—	$\pm 30$	mV	
出力抵抗	—	75	—	$\Omega$	
変換時間	—	—	30	$\mu s$	

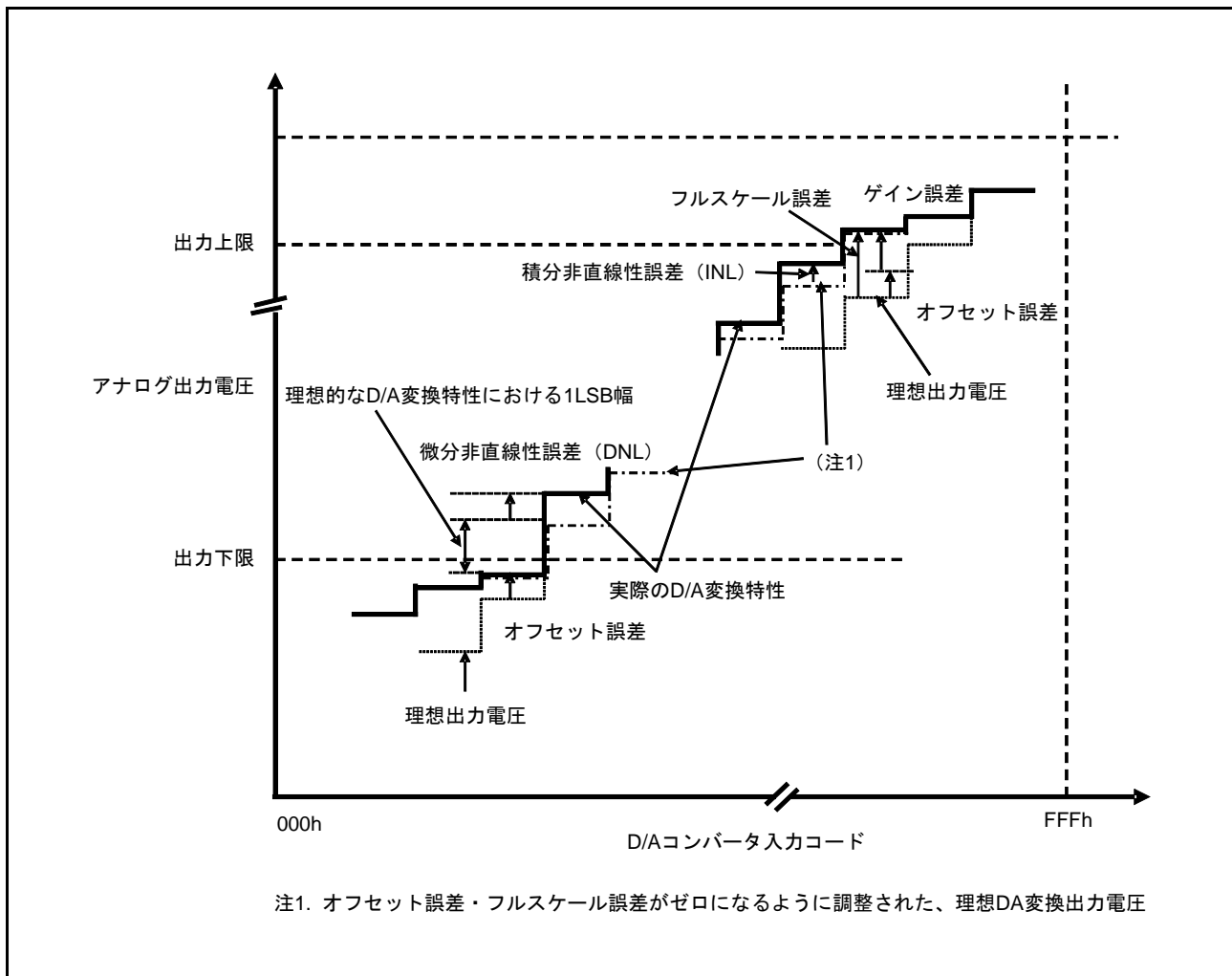


図 43.58 D/A コンバータ特性用語説明図

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な変換特性における理想出力電圧と実際の出力電圧との最大偏差です。

### 微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な D/A 変換特性における 1LSB の電圧幅と実際に出力された出力電圧幅との差です。

### オフセット誤差

オフセット誤差とは、出力下限を下回る一番高い実際の出力電圧とその入力コードにおける理想的な出力電圧との差です。

### フルスケール誤差

フルスケール誤差とは、出力上限を上回る一番低い実際の出力電圧とその入力コードにおける理想的な出力電圧との差です。

## 43.7 温度センサ特性

表43.46 温度センサ特性

条件： $2.0V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.0V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	$\pm 1.5$	—	°C	2.4V以上
		—	$\pm 2.0$	—		2.4V未満
温度傾斜	—	—	-3.65	—	mV/°C	
出力電位 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t <sub>START</sub>	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

## 43.8 コンパレータ特性

表43.47 コンパレータ特性

条件： $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
CVREFB0、CVREFB1入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB0、CMPB1入力電圧	VI	-0.3	—	VCC + 0.3	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	μs	VCC = 3V、 入カスルーレート ≥ 50mV/us
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2	μs	
	コンパレータ低速モード	Td	—	5	μs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	$0.76 \times VCC$	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	$0.24 \times VCC$	—	V	
動作安定待ち時間	Tcmp	100	—	—	μs	

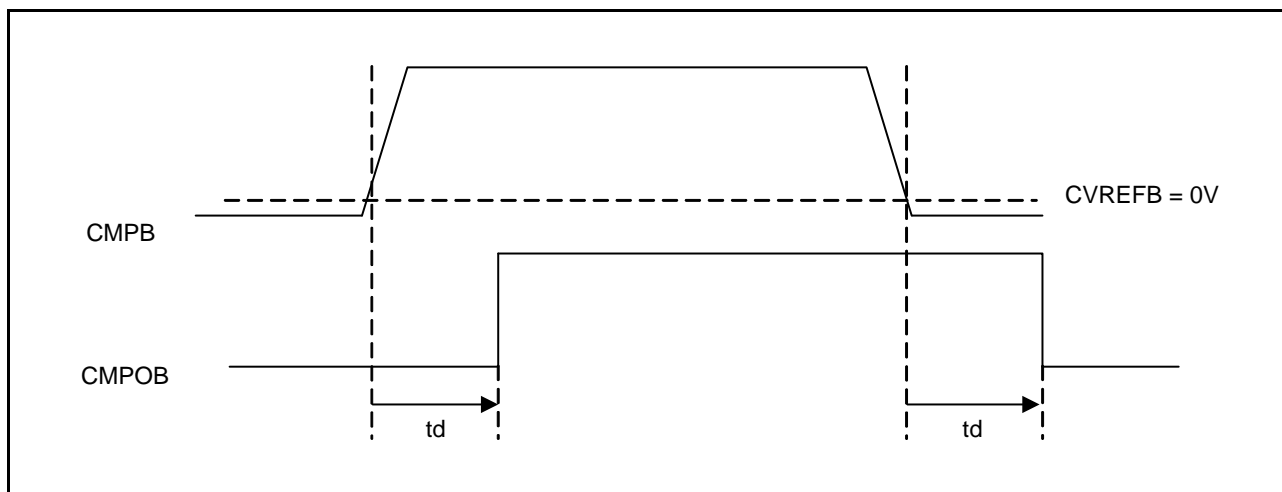


図 43.59 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

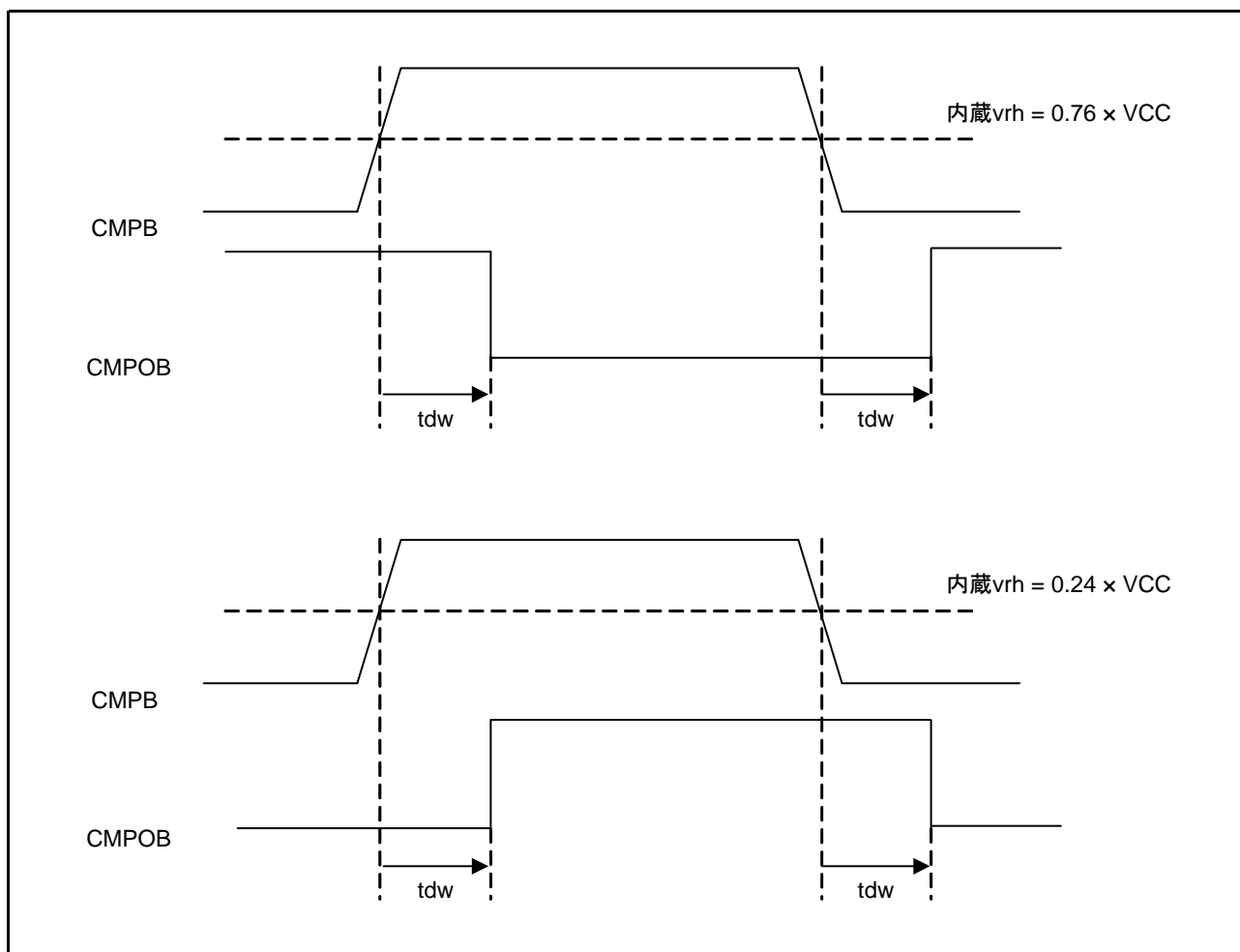


図 43.60 コンパレータ高速モード、ウィンドウ機能有効のコンパレータ出力遅延時間

## 43.9 LCD 特性

## 43.9.1 外部抵抗分割方式

## (1) スタティック・モード

表 43.48 LCD 特性

条件： $2.0V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.0V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
LCD駆動電圧	$V_{L4}$	2.0	—	VCC	V	

## (2) 1/2 バイアス、1/4 バイアス

表 43.49 LCD 特性

条件： $2.7V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.7V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
LCD駆動電圧	$V_{L4}$	2.7	—	VCC	V	

## (3) 1/3 バイアス

表 43.50 LCD 特性

条件： $2.5V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.5V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
LCD駆動電圧	$V_{L4}$	2.5	—	VCC	V	

## 43.9.2 内部昇圧方式

表 43.51 内部昇圧方式

条件： $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	規格値	測定条件
CAPH-CAPL端子間外付け容量	$0.47\mu F \pm 30\%$	
$V_{L1} \sim V_{L4}$ 端子外付け容量	$0.47\mu F \pm 30\%$	

## (1) 1/3 バイアス

表 43.52 内部昇圧方式 LCD 特性

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
LCD出力電圧可変範囲	$V_{L1}$	0.9	1.0	1.08	V	VLCD = 04h
		0.95	1.05	1.13	V	VLCD = 05h
		1	1.1	1.18	V	VLCD = 06h
		1.05	1.15	1.23	V	VLCD = 07h
		1.1	1.2	1.28	V	VLCD = 08h
		1.15	1.25	1.33	V	VLCD = 09h
		1.2	1.3	1.38	V	VLCD = 0Ah
		1.25	1.35	1.43	V	VLCD = 0Bh
		1.3	1.4	1.48	V	VLCD = 0Ch
		1.35	1.45	1.53	V	VLCD = 0Dh
		1.4	1.5	1.58	V	VLCD = 0Eh
		1.45	1.55	1.63	V	VLCD = 0Fh
		1.5	1.6	1.68	V	VLCD = 10h
		1.55	1.65	1.73	V	VLCD = 11h
1.6	1.70	1.78	V	VLCD = 12h		
1.65	1.75	1.83	V	VLCD = 13h		
ダブラ出力電圧	$V_{L2}$	$2V_{L1} - 0.10$	$2V_{L1}$	$2V_{L1}$	V	
トリブラ出力電圧	$V_{L4}$	$3V_{L1} - 0.15$	$3V_{L1}$	$3V_{L1}$	V	
基準電圧セットアップ時間 (注1)	$t_{VL1S}$	5	—	—	ms	
昇圧ウェイト時間 (注2)	$t_{VLWT}$	500	—	—	ms	

注1. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式を選択してから（LCDM0.MDSET1, MDSET0 = 01b））、昇圧を開始する（VLCON = 1）までに必要なウェイト時間です。

注2. 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウェイト時間です。

## (2) 1/4 バイアス

表 43.53 内部昇圧方式 LCD 特性

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
LCD出力電圧可変範囲	$V_{L1}$	0.9	1.0	1.08	V	VLCD = 04h
		0.95	1.05	1.13	V	VLCD = 05h
		1	1.1	1.18	V	VLCD = 06h
		1.05	1.15	1.23	V	VLCD = 07h
		1.1	1.2	1.28	V	VLCD = 08h
		1.15	1.25	1.33	V	VLCD = 09h
		1.2	1.3	1.38	V	VLCD = 0Ah
ダブラ出力電圧	$V_{L2}$	$2V_{L1} - 0.08$	$2V_{L1}$	$2V_{L1}$	V	
トリブラ出力電圧	$V_{L3}$	$3V_{L1} - 0.12$	$3V_{L1}$	$3V_{L1}$	V	
クアドロブラ出力電圧	$V_{L4}$	$4V_{L1} - 0.16$	$4V_{L1}$	$4V_{L1}$	V	
基準電圧セットアップ時間 (注1)	$t_{VL1S}$	5	—	—	ms	
昇圧ウェイト時間 (注2)	$t_{VLWT}$	500	—	—	ms	

注1. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式を選択してから（LCDM0.MDSET1, MDSET0 = 01b））、昇圧を開始する（VLCON = 1）までに必要なウェイト時間です。

注2. 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウェイト時間です。



## 43.9.3 容量分割方式

表 43.54 容量分割方式

条件： $2.2V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.2V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	規格値	測定条件
CAPH-CAPL端子間外付け容量	0.47 $\mu$ F $\pm$ 30%	
V <sub>L1</sub> 端子外付け容量	0.47 $\mu$ F $\pm$ 30%	
V <sub>L2</sub> 端子外付け容量	0.47 $\mu$ F $\pm$ 30%	
V <sub>L4</sub> 端子外付け容量	0.47 $\mu$ F $\pm$ 30%	

## (1) 1/3 バイアス

表 43.55 容量分割方式 LCD特性

条件： $2.2V \leq VCC = VCC\_USB \leq 3.6V$ ,  $2.2V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
V <sub>L4</sub> 電圧	V <sub>L4</sub>	—	VCC	—	V	
V <sub>L2</sub> 電圧	V <sub>L2</sub>	$2/3V_{L4} - 0.07$	$2/3V_{L4}$	$2/3V_{L4} + 0.07$	V	
V <sub>L1</sub> 電圧	V <sub>L1</sub>	$1/3V_{L4} - 0.08$	$1/3V_{L4}$	$1/3V_{L4} + 0.08$	V	
容量分割ウェイト時間(注1)	t <sub>WAIT</sub>	100	—	—	ms	

注1. 降圧を開始してから (VLCON = 1)、表示が可能になる (LCDON = 1) までのウェイト時間です。

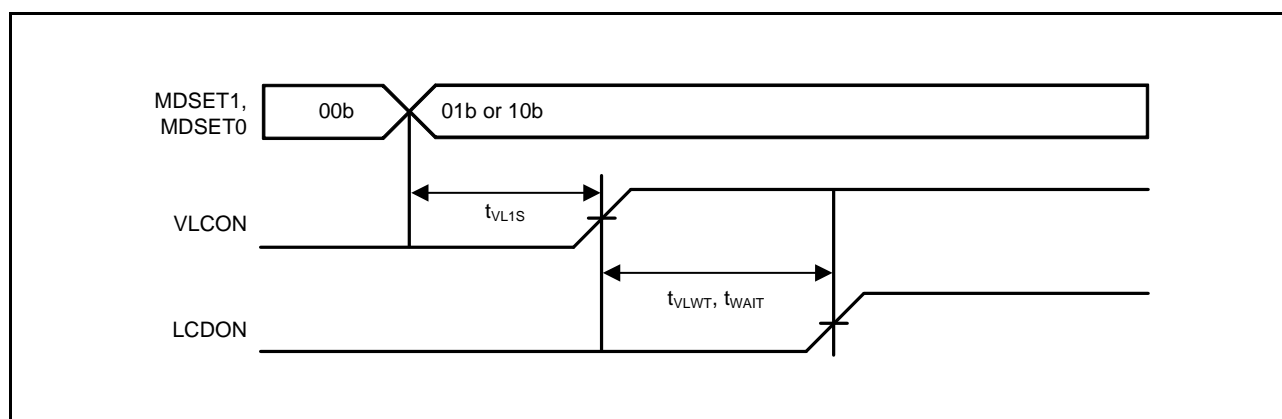


図 43.61 LCD 基準電圧セットアップ時間と昇圧ウェイト時間と容量分割ウェイト時間

## 43.10 CTSU 特性

表 43.56 CTSU特性

条件： $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
TSCAP端子外付け容量	C <sub>Tscap</sub>	9	10	11	nF	
TS端子負荷容量	C <sub>base</sub>	—	—	50	pF	

## 43.11 パワーオンリセット回路、電圧検出回路特性

表 43.57 パワーオンリセット回路、電圧検出回路特性 (1)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	$V_{POR}$	1.35	1.50	1.65	V	図 43.62、図 43.63
	電圧検出回路 (LVD1) (注1)	$V_{det1\_4}$	3.00	3.10	3.20	V	図 43.64 VCC 立ち下がり時
		$V_{det1\_5}$	2.91	3.00	3.09		
		$V_{det1\_6}$	2.81	2.90	2.99		
		$V_{det1\_7}$	2.70	2.79	2.88		
		$V_{det1\_8}$	2.60	2.68	2.76		
		$V_{det1\_9}$	2.50	2.58	2.66		
		$V_{det1\_A}$	2.40	2.48	2.56		
		$V_{det1\_B}$	1.99	2.06	2.13		
		$V_{det1\_C}$	1.90	1.96	2.02		
$V_{det1\_D}$	1.80	1.86	1.92				

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号  $V_{det1\_n}$  の  $n$  は、LVDLVLR.LVD1LVL[3:0] ビットの値です。

表 43.58 パワーオンリセット回路、電圧検出回路特性 (2)

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	電圧検出回路 (LVD2) (注1)	$V_{det2\_0}$	2.71	2.90	3.09	V	図 43.65 VCC 立ち下がり時
		$V_{det2\_1}$	2.43	2.60	2.77		
		$V_{det2\_2}$	1.87	2.00	2.13		
		$V_{det2\_3}$ (注2)	1.69	1.80	1.91		
パワーオンリセット解除後待機時間	通常起動時 (注3)	$t_{POR}$	—	9.1	—	ms	図 43.63
	起動時間短縮時 (注4)	$t_{POR}$	—	1.6	—		
電圧監視1リセット解除後待機時間	起動時電圧監視1リセット無効時 (注3)	$t_{LVD1}$	—	568	—	$\mu s$	図 43.64
	起動時電圧監視1リセット有効時 (注4)		—	100	—		
電圧監視2リセット解除後待機時間		$t_{LVD2}$	—	100	—	$\mu s$	図 43.65
応答遅延時間		$t_{det}$	—	—	350	$\mu s$	図 43.62
最小VCC低下時間 (注5)		$t_{VOFF}$	350	—	—	$\mu s$	図 43.62、VCC = 1.0V 以上
パワーオンリセット有効時間		$t_W$ (POR)	1	—	—	ms	図 43.63、VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え時)		$T_d$ (E-A)	—	—	300	$\mu s$	図 43.64、図 43.65
ヒステリシス幅 (電圧検出回路 (LVD1, LVD2))		$V_{LVH}$	—	70	—	mV	Vdet1_4 選択時
			—	60	—		Vdet1_5 ~ 9, LVD2 選択時
			—	50	—		Vdet1_A ~ B 選択時
			—	40	—		Vdet1_C ~ D 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号  $V_{det2\_n}$  の  $n$  は、LVDLVLR.LVD2LVL[3:0] ビットの値です。

注2.  $V_{det2\_3}$  選択はCMPA2端子入力電圧選択時のみ使用可能で、電源電圧 (VCC) 選択時は使用できません。

注3. OFS1.(STUPLVD1REN, FASTSTUP) = 11b を設定した場合です。

注4. OFS1.(STUPLVD1REN, FASTSTUP) = 11b 以外を設定した場合です。

注5. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル  $V_{POR}$ 、 $V_{det0}$ 、 $V_{det1}$ 、 $V_{det2}$  の min 値を下回っている時間です。

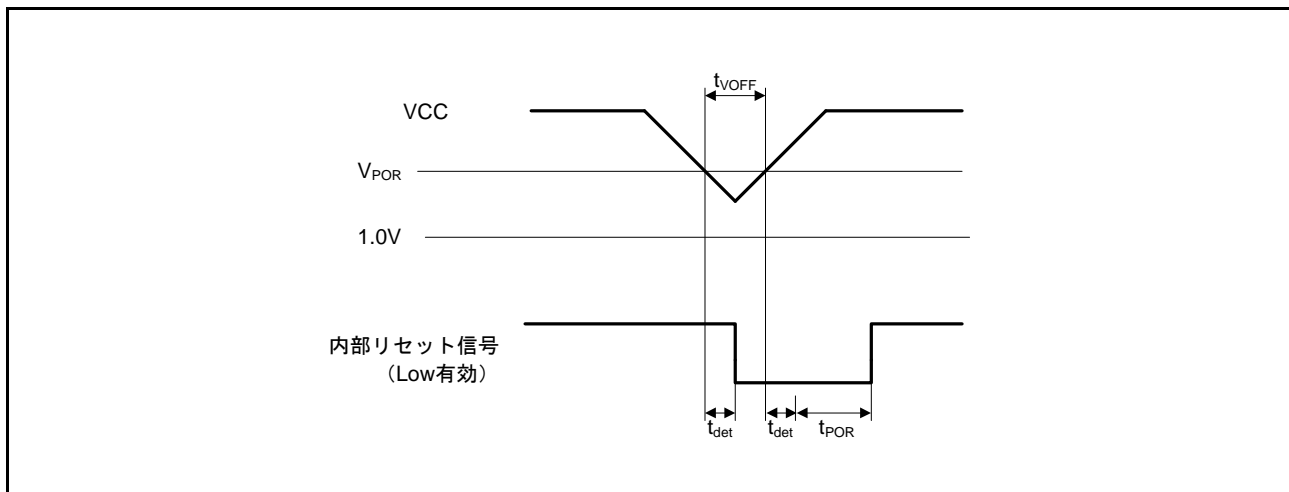


図 43.62 電圧検出リセットタイミング

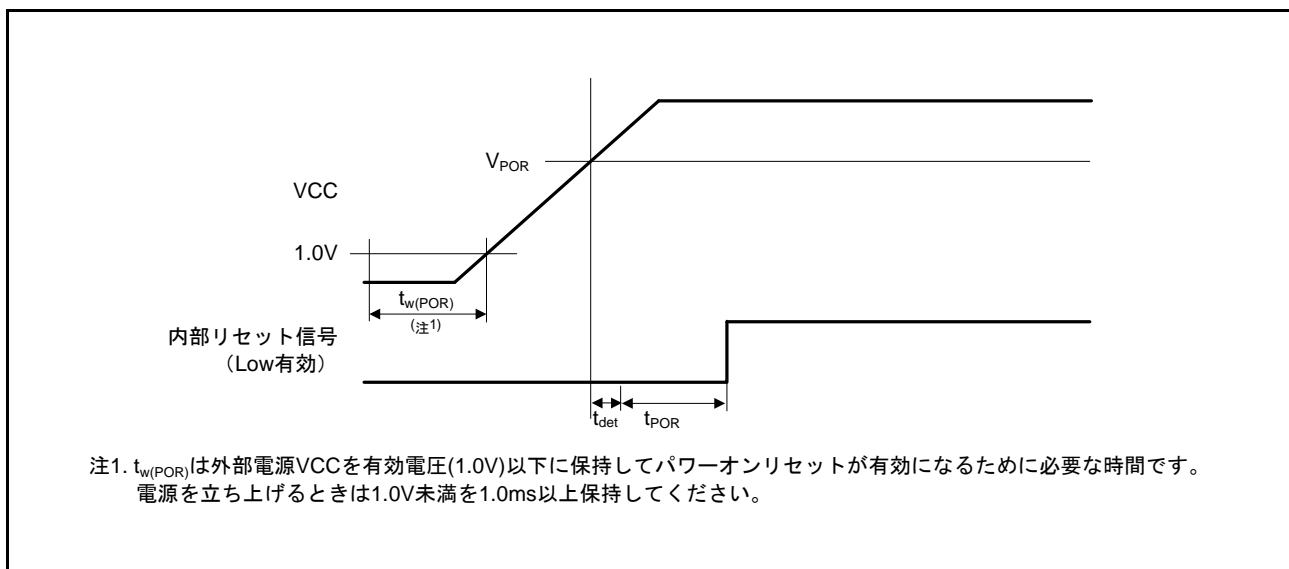


図 43.63 パワーオンリセットタイミング

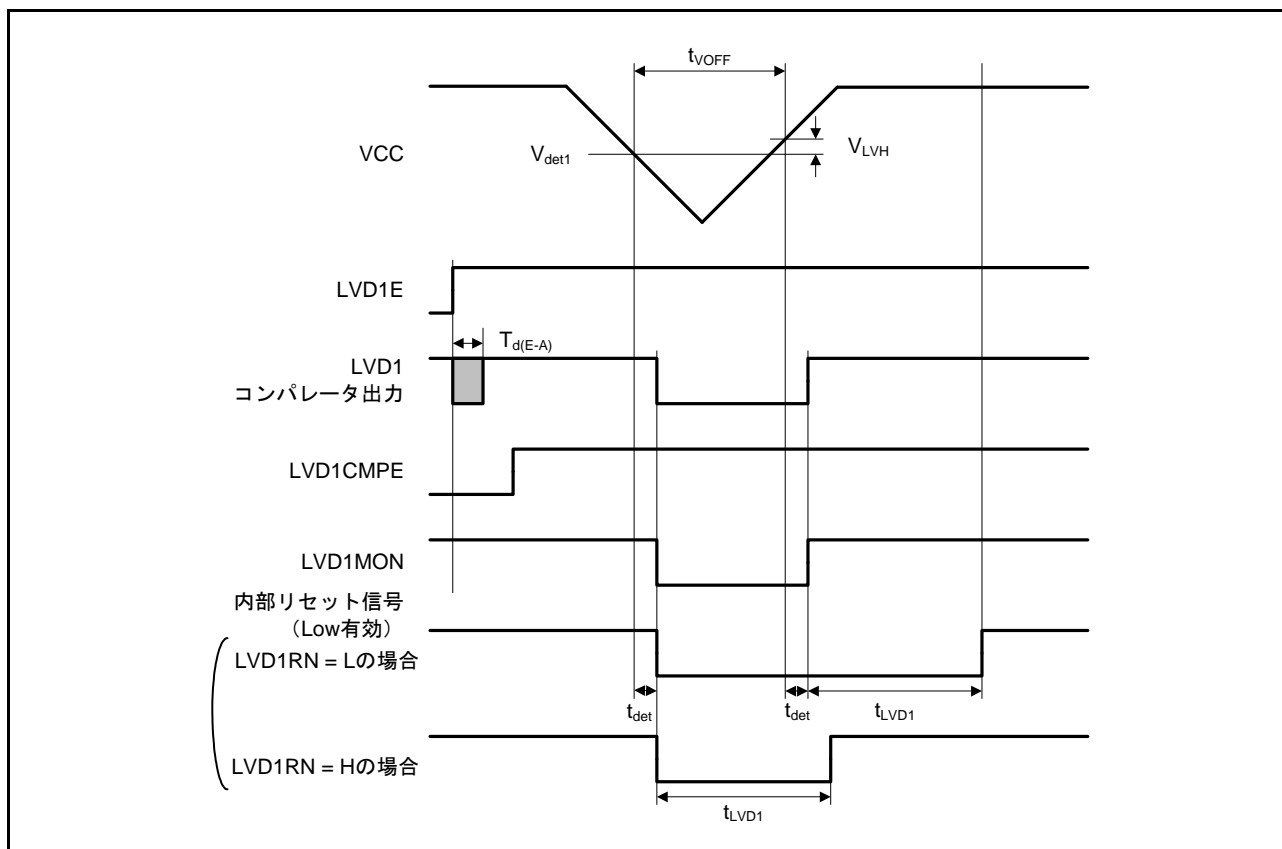


図 43.64 電圧検出回路タイミング (V<sub>det1</sub>)

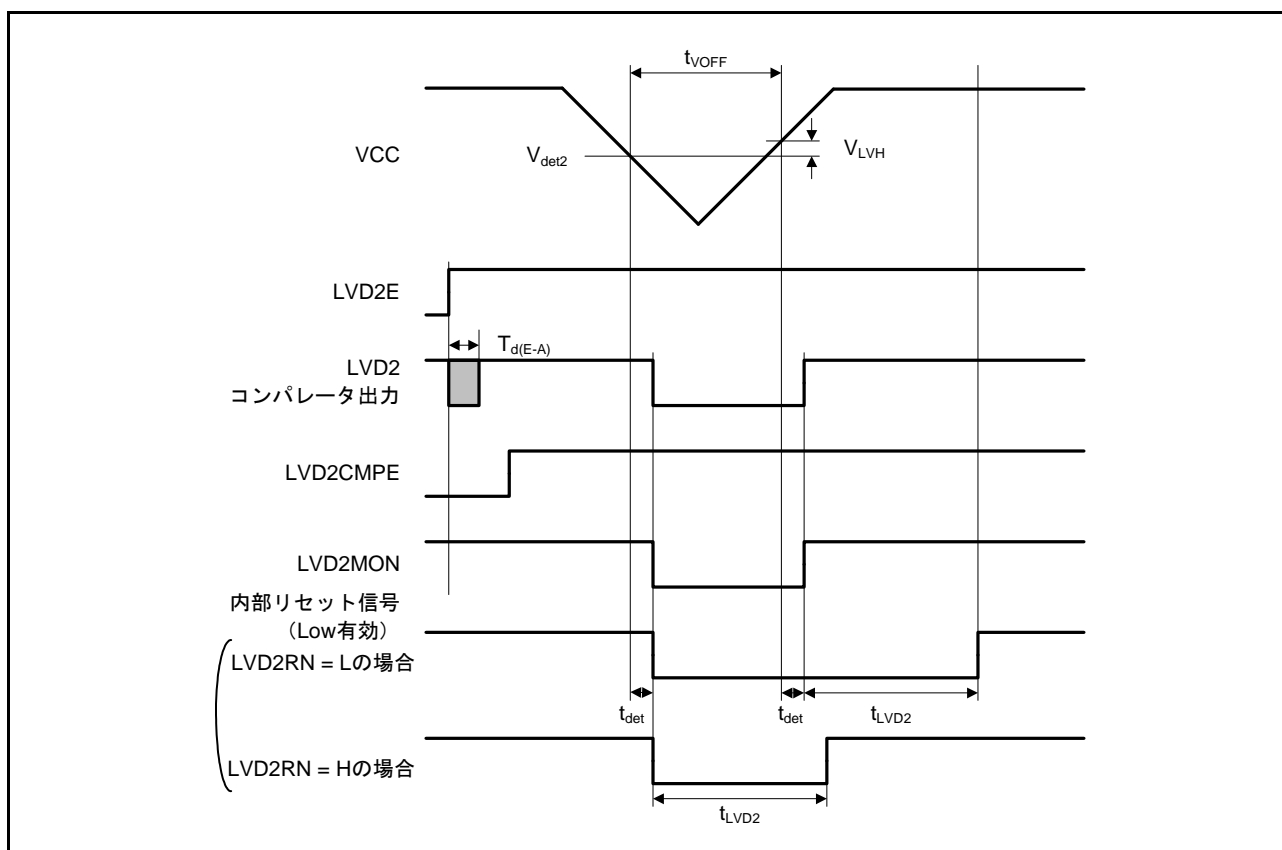


図 43.65 電圧検出回路タイミング (V<sub>det2</sub>)

## 43.12 発振停止検出タイミング

表 43.59 発振停止検出回路特性

条件 :  $1.8V \leq VCC = VCC\_USB \leq 3.6V$ ,  $1.8V \leq AVCC0 \leq 3.6V$ ,  $VSS = AVSS0 = VSS\_USB = 0V$ ,  $T_a = -40 \sim +105^\circ C$ 

項目	記号	min	typ	max	単位	測定条件
検出時間	$t_{dr}$	—	—	1	ms	図 43.66

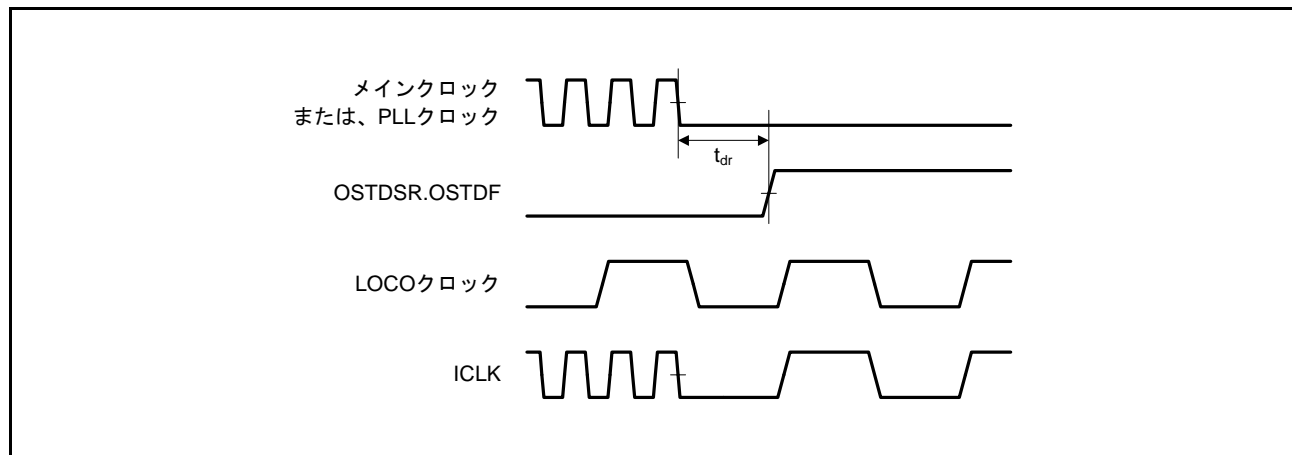


図 43.66 発振停止検出タイミング

## 43.13 ROM（コード格納用フラッシュメモリ）特性

表43.60 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N <sub>PEC</sub>	1000	—	—	回	
データ保持時間	N <sub>PEC</sub> 1000回後	t <sub>DRP</sub>	20(注2、注3)	—	年	T <sub>a</sub> = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表43.61 ROM（コード格納用フラッシュメモリ）特性（2） 高速動作モード

条件：2.7V ≤ VCC ≤ 3.6V, 2.7V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V

プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t <sub>P4</sub>	—	103	931	—	52	489	μs
イレーズ時間	1Kバイト	t <sub>E1K</sub>	—	8.23	267	—	5.48	214	ms
	256Kバイト	t <sub>E256K</sub>	—	407	925	—	39	457	ms
ブランクチェック時間	4バイト	t <sub>BC4</sub>	—	—	48	—	—	15.9	μs
	1Kバイト	t <sub>BC1K</sub>	—	—	1.58	—	—	0.127	ms
イレーズ処理強制停止時間	t <sub>SED</sub>	—	—	21.6	—	—	12.8	μs	
スタートアップ領域入れ替え設定時間	t <sub>SAS</sub>	—	12.6	543	—	6.16	432	ms	
アクセスウィンドウ設定時間	t <sub>AWS</sub>	—	12.6	543	—	6.16	432	ms	
ROMモード遷移待ち時間1	t <sub>DIS</sub>	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t <sub>MS</sub>	5	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。クロックソースの周波数精度をご確認ください。

表43.62 ROM（コード格納用フラッシュメモリ）特性（3） 中速動作モード  
 条件：1.8V ≤ VCC ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V  
 プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t <sub>P4</sub>	—	143	1330	—	96.8	932	μs
イレーズ時間	1Kバイト	t <sub>E1K</sub>	—	8.3	269	—	5.85	219	ms
	256Kバイト	t <sub>E256K</sub>	—	407	928	—	93	520	ms
ブランクチェック時間	4バイト	t <sub>BC4</sub>	—	—	78	—	—	50	μs
	1Kバイト	t <sub>BC1K</sub>	—	—	1.61	—	—	0.369	ms
イレーズ処理強制停止時間	t <sub>SED</sub>	—	—	33.6	—	—	25.6	μs	
スタートアップ領域入れ替え設定時間	t <sub>SAS</sub>	—	13.2	549	—	7.6	445	ms	
アクセスウィンドウ設定時間	t <sub>AWS</sub>	—	13.2	549	—	7.6	445	ms	
ROMモード遷移待ち時間1	t <sub>DIS</sub>	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t <sub>MS</sub>	3	—	—	3	—	—	μs	

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。  
 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。  
 注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

## 43.14 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表43.63 E2データフラッシュ特性（1）

項目		記号	min	typ	max	単位	条件
再プログラム/イレースサイクル(注1)		N <sub>DPEC</sub>	100000	1000000	—	回	
データ保持時間	N <sub>DPEC</sub> 10000回後	t <sub>DDRP</sub>	20 (注2、注3)	—	—	年	T <sub>a</sub> = +85°C
	N <sub>DPEC</sub> 100000回後		5 (注2、注3)	—	—	年	
	N <sub>DPEC</sub> 1000000回後	—	1 (注2、注3)	—	年	T <sub>a</sub> = +25°C	

注1. 再プログラム/イレースサイクルの定義：再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルがn回（n = 100000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表43.64 E2データフラッシュ特性（2） 高速動作モード

条件：2.7V ≤ VCC ≤ 3.6V, 2.7V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V

プログラム/イレース時の動作温度範囲：T<sub>a</sub> = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t <sub>DP1</sub>	—	86	761	—	40.5	374	μs
イレース時間	1Kバイト	t <sub>DE1K</sub>	—	17.4	456	—	6.15	228	ms
	8Kバイト	t <sub>DE8K</sub>	—	60.4	499	—	9.3	231	ms
ブランクチェック時間	1バイト	t <sub>DBC1</sub>	—	—	48	—	—	15.9	μs
	1Kバイト	t <sub>DBC1K</sub>	—	—	1.58	—	—	0.127	ms
イレース処理強制停止時間	t <sub>DSED</sub>	—	—	21.5	—	—	12.8	μs	
データフラッシュ STOP解除時間	t <sub>DSTOP</sub>	5	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

表43.65 E2データフラッシュ特性（3） 中速動作モード

条件：1.8V ≤ VCC ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS\_USB = 0V

プログラム/イレース時の動作温度範囲：T<sub>a</sub> = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t <sub>DP1</sub>	—	126	1160	—	85.4	818	μs
イレース時間	1Kバイト	t <sub>DE1K</sub>	—	17.5	457	—	7.76	259	ms
	8Kバイト	t <sub>DE8K</sub>	—	60.5	500	—	16.7	267.6	ms
ブランクチェック時間	1バイト	t <sub>DBC1</sub>	—	—	78	—	—	50	μs
	1Kバイト	t <sub>DBC1K</sub>	—	—	1.61	—	—	0.369	ms
イレース処理強制停止時間	t <sub>DSED</sub>	—	—	33.5	—	—	25.5	μs	
データフラッシュ STOP解除時間	t <sub>DSTOP</sub>	720	—	—	720	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。



## 43.15 使用上の注意事項

### 43.15.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 $\mu$ F を接続する必要があります。外付けコンデンサ接続方法を図 43.67 ～図 43.68 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 $\mu$ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「36. 12 ビット A/D コンバータ (S12ADb)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

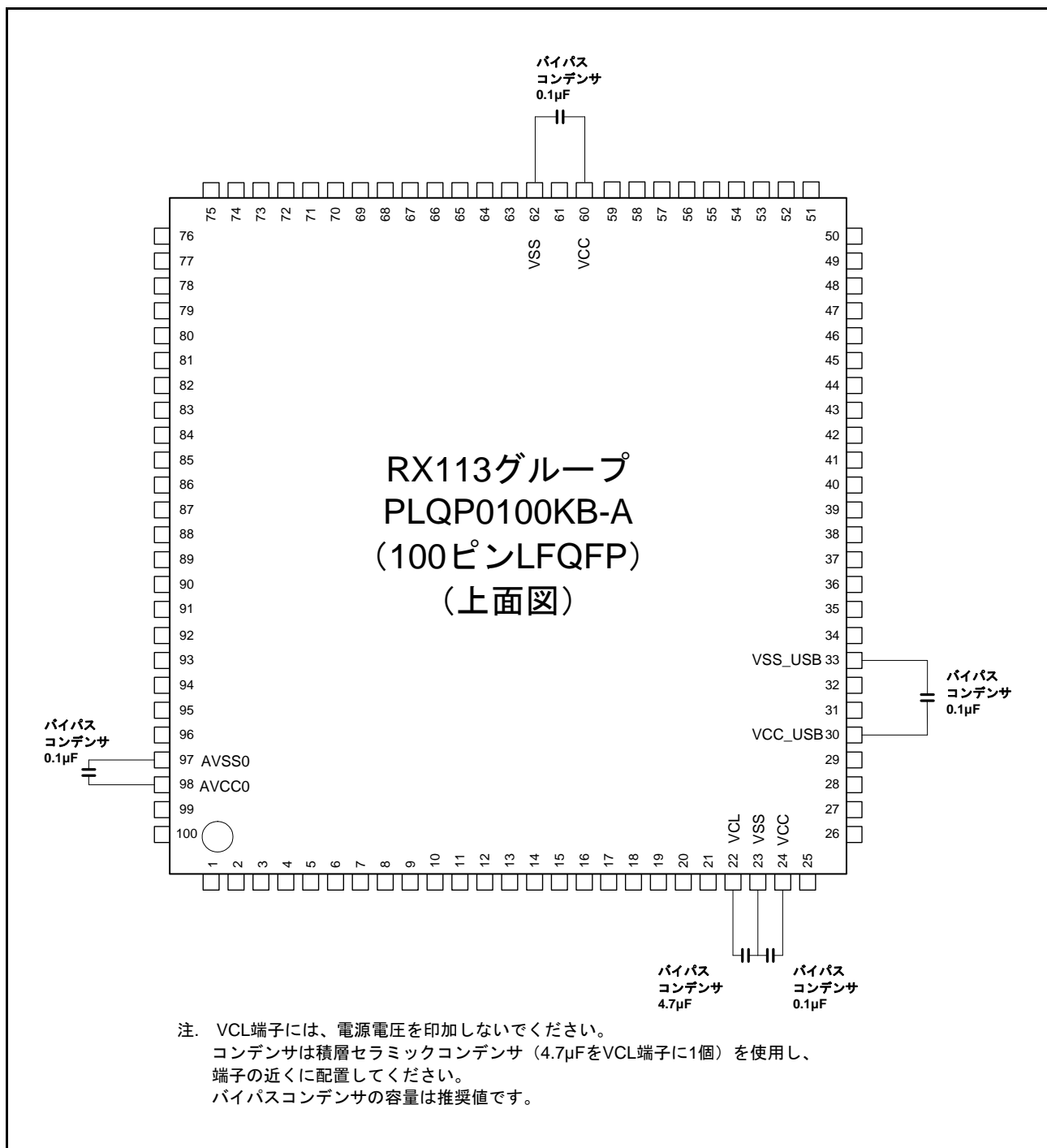


図 43.67 コンデンサ接続方法（100ピンLFQFP）

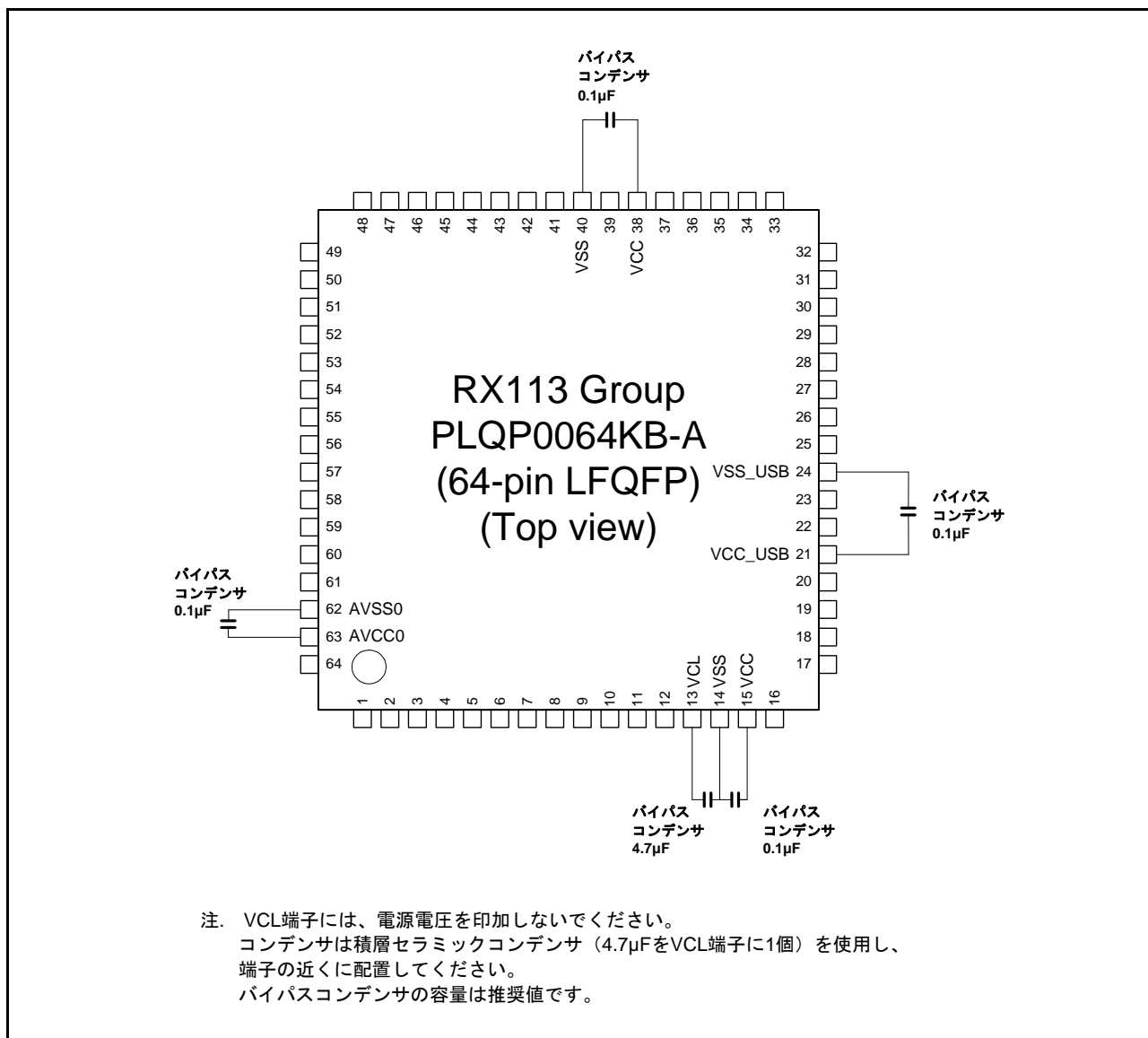


図 43.68 コンデンサ接続方法（64ピン）

## 付録1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態 (1/2)

ポート名端子名	リセット	ソフトウェアスタンバイモード	
P02, P04, P07	Hi-z	Keep-O	
P10 (IRQ6)	Hi-z	Keep-O (注1)	
P11 (IRQ7)	Hi-z	Keep-O (注1)	
P12 (IRQ2)	Hi-z	Keep-O (注1)	
P13 (IRQ3)	Hi-z	Keep-O (注1)	
P14 (OVRCURA/IRQ4)	Hi-z	Keep-O (注1、注2)	
P15 (IRQ5/CLKOUT)	Hi-z	CLKOUT 選択時	CLKOUT 出力
		上記以外	Keep-O (注1)
P16 (VBUS/OVRCURB/IRQ6/RTCOUT)	Hi-z	RTCOUT 選択時	RTCOUT 出力
		上記以外	Keep-O (注1、注2、注3)
P17 (IRQ7)	Hi-z	Keep-O (注1)	
P20～P26	Hi-z	Keep-O	
P27 (IRQ3)	Hi-z	Keep-O (注1)	
P30 (IRQ0)	Hi-z	Keep-O (注1)	
P31 (IRQ1)	Hi-z	Keep-O (注1)	
P32 (IRQ2/RTCOUT)	Hi-z	RTCOUT 選択時	RTCOUT 出力
		上記以外	Keep-O (注1)
P35 (NMI)	Hi-z	Keep (注1)	
P40～P44, P46	Hi-z	Keep-O	
P50～P55	Hi-z	Keep-O	
P56 (IRQ5)	Hi-z	Keep-O (注1)	
P90～P92	Hi-z	Keep-O	
PA0	Hi-z	Keep-O	
PA1 (RTCOUT)	Hi-z	RTCOUT 選択時	RTCOUT 出力
		上記以外	Keep-O
PA2	Hi-z	Keep-O	
PA3 (IRQ6)	Hi-z	Keep-O (注1)	
PA4 (IRQ5)	Hi-z	Keep-O (注1)	
PA5	Hi-z	Keep-O	
PA6 (IRQ3)	Hi-z	Keep-O (注1)	
PA7	Hi-z	Keep-O	
PB0 (IRQ2/RTCOUT)	Hi-z	RTCOUT 選択時	RTCOUT 出力
		上記以外	Keep-O (注1)
PB1 (IRQ4)	Hi-z	Keep-O (注1)	
PB2	Hi-z	Keep-O	
PB3 (OVRCURA)	Hi-z	Keep-O (注2)	
PB4～PB7	Hi-z	Keep-O	
PC0～PC3	Hi-z	Keep-O	
PC4 (VBUS/IRQ2/CLKOUT)	Hi-z	CLKOUT 選択時	CLKOUT 出力
		上記以外	Keep-O (注1、注2)
PC5, PC6	Hi-z	Keep-O	
PC7 (OVRCURB)	Hi-z	Keep-O (注2)	
PD0 (IRQ0)	Hi-z	Keep-O (注1)	

表 1.1 各処理状態におけるポートの状態 (2/2)

ポート名端子名	リセット	ソフトウェアスタンバイモード	
PD1 (IRQ1)	Hi-z	Keep-O (注1)	
PD2 (IRQ2)	Hi-z	Keep-O (注1)	
PD3 (IRQ3)	Hi-z	Keep-O (注1)	
PD4 (IRQ4)	Hi-z	Keep-O (注1)	
PE0 (IRQ0)	Hi-z	Keep-O (注1)	
PE1 (IRQ1)	Hi-z	Keep-O (注1)	
PE2 (IRQ7)	Hi-z	Keep-O (注1)	
PE3 (IRQ3)	Hi-z	Keep-O (注1)	
PE4 (IRQ4)	Hi-z	Keep-O (注1)	
PE5 (IRQ5/CMPOB1)	Hi-z	CMPOB1 選択時	CMPOB1 出力
		上記以外	Keep-O (注1)
PE6 (IRQ6)	Hi-z	Keep-O (注1)	
PE7 (IRQ7/CMPOB0)	Hi-z	CMPOB0 選択時	CMPOB0 出力
		上記以外	Keep-O (注1)
PF6, PF7	Hi-z	Keep-O	
PJ0 (DA0)	Hi-z	DA0 出力時 (DAOE0 = 1)	DA 出力保持
		上記以外 (DAOE0 = 0)	Keep-O
PJ2 (DA1)	Hi-z	DA1 出力時 (DAOE1 = 1)	DA 出力保持
		上記以外 (DAOE1 = 0)	Keep-O
PJ3	Hi-z	Keep-O	
PJ6	Hi-z	Keep-O	
PJ7	Hi-z	Keep-O	
USB0_DM	Hi-z	Keep-O (注4)	
USB0_DP	Hi-z	Keep-O (注4)	

H : High レベル

L : Low レベル

Keep-O: 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイモードでの端子状態を保持 (プルアップ、オープンドレイン設定も保持されます)

Hi-Z : ハイインピーダンス

注. PmnPFS.PSEL[4:0] ビットでLCDコントローラ/ドライバの端子機能 (COM0~COM7, SEG00~SEG24) を設定かつ LCDSCLKCR.LCDSCLKSEL ビットでサブクロック発振器を選択時は、LCD出力保持となります。

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

注2. USB端子 (VBUS/OVRCURA/OVRCURB) として使用時は入力できます。

注3. 周辺機能や外部端子割り込みとして選択した場合、ソフトウェアスタンバイモード時にHighを入力または出力しないでください。

注4. 入力端子として使用時は入力可能です。

### 付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。

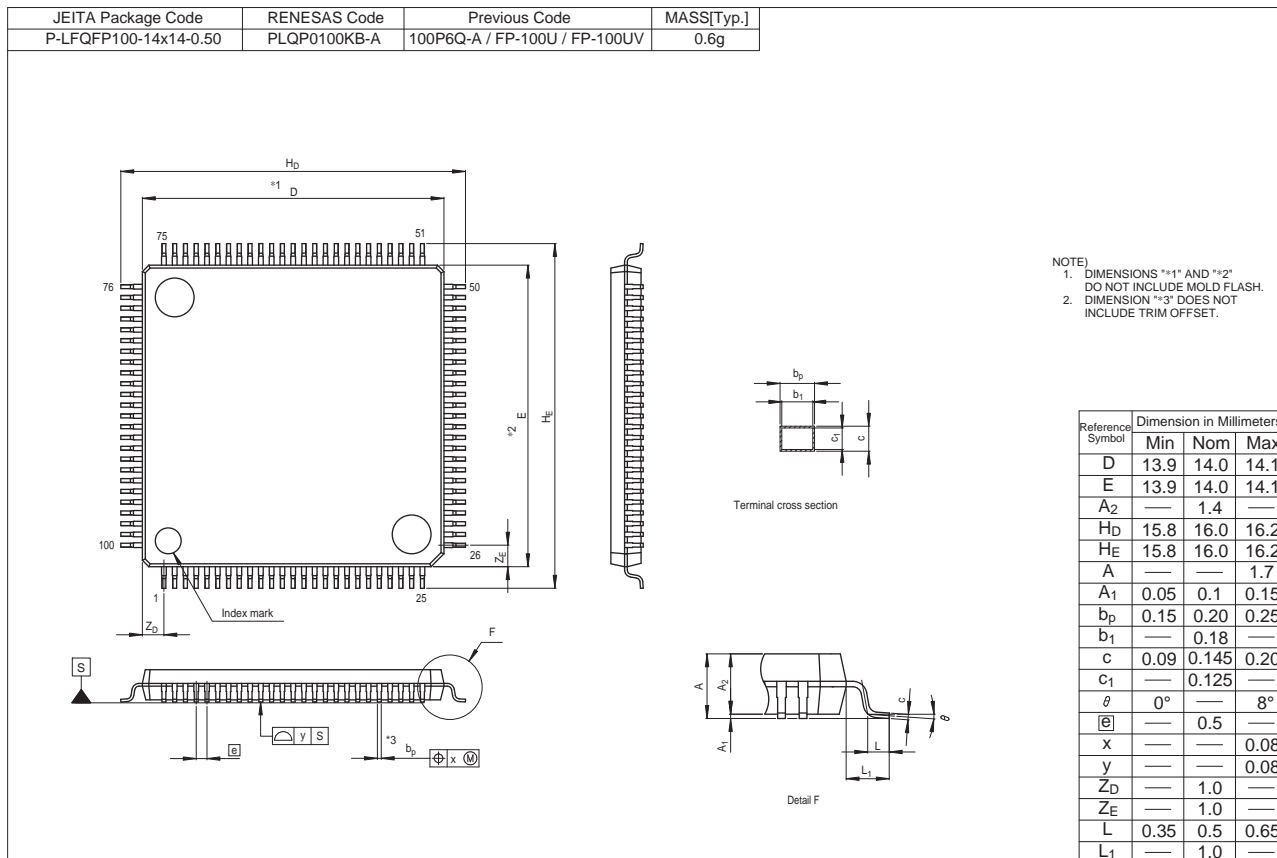


図 A. 100ピンLFQFP (PLQP0100KB-A)

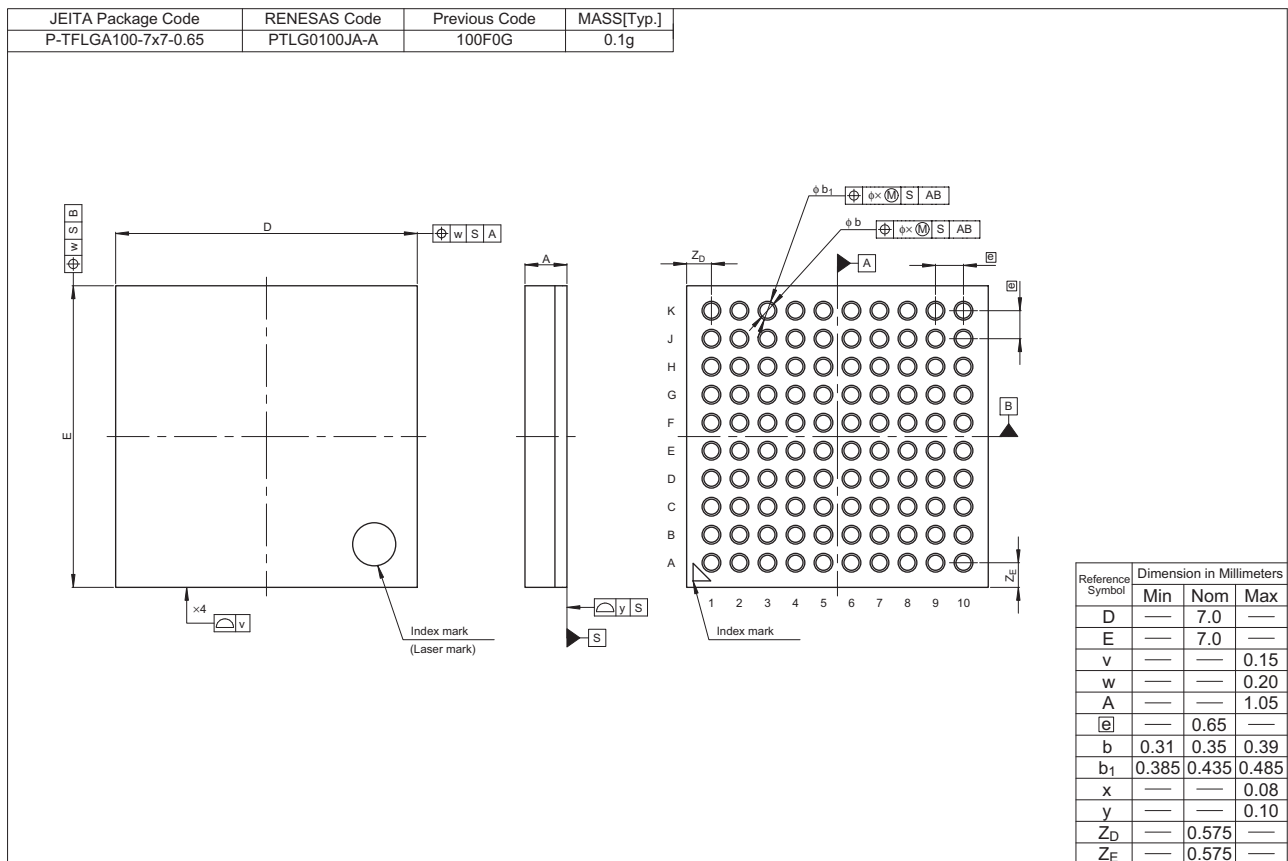


図 B. 100ピン TFLGA (PTLG0100JA-A)

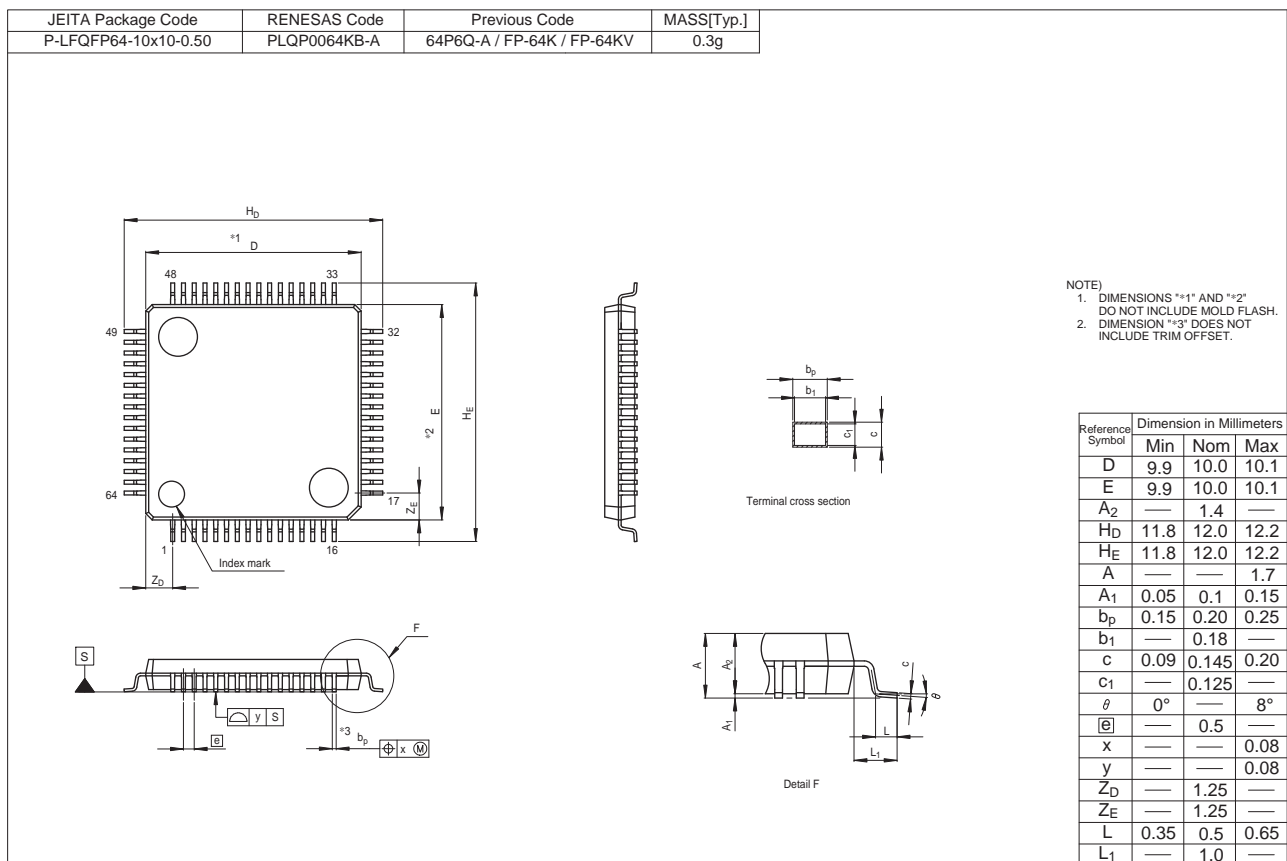


図 C. 64ピンLFQFP (PLQP0064KB-A)



改訂記録	RX113 グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

## 改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.02	2014.12.01	—	初版発行	
1.10	2016.03.31	1. 概要		
		60～67	表 1.5～表 1.7 ポート (P4、P9、PJ6、P7) のI/O電源がAVCC0であること(注2)を追記	
		9. クロック発生回路		
		161	表 9.1 LPTに供給されるLPTクロック (LPTCLK) 追加	
		162	図 9.1 LPTに供給されるLPTクロック (LPTCLK) 追加	
		11. 消費電力低減機能		
		209	表 11.2 各モードにおける遷移および解除方法と動作状態 注10 追加	TN-RX*-A129A/J
		12. レジスタライトプロテクション機能		
		236	表 12.1 PRCRレジスタと保護されるレジスタの対応 項目：PRC2ビットに下記を追加 ・ローパワータイマ関連レジスタ LPTCR1、LPTCR2、LPTCR3、LPTPRD、LPCMR0、LPWUCR	TN-RX*-A129A/J
		14. 割り込みコントローラ (ICUb)		
		247	表 14.1 イベントリンク割り込みに、ELSR19Iを追加	TN-RX*-A129A/J
		265	表 14.3 割り込みのベクタテーブル(1/6)に、FCUを追加	TN-RX*-A132A/J
		266	表 14.3 割り込みのベクタテーブル(2/6)に、ELCを追加	TN-RX*-A129A/J
		16. データトランスファコントローラ (DTCa)		
		全体	【用語統一】 1つの起動要因→1回の転送要求 起動要求→転送要求	
		299	16.2.8 DTCベクタベースレジスタ (DTCVBR) 変更	
		300	16.2.10 DTCSTビット説明追加 モジュールストップ機能、またはソフトウェアスタンバイモードへ移行⇒モジュールストップ状態、ディープスリープモードまたはソフトウェアスタンバイモードへ移行	
		320	16.9 消費電力低減機能 (2) ディープスリープモードを追加 (4) 消費電力低減機能における注意事項の文言追加	
		17. イベントリンクコントローラ (ELC)		
		324	表 17.2 ELSRnレジスタと周辺モジュールの対応に、ELSR19を追加	TN-RX*-A129A/J
		325	表 17.3 ELSRn.EL[S[7:0]]ビットに設定するイベント信号名と信号番号の対応に、ローパワータイマを追加	TN-RX*-A129A/J
		18. I/Oポート		
		344	表 18.2 I/Oポートの機能に、入出力レベル欄を追加	
		352	図 18.8 発振器制御の極性の誤記を修正 0 : ON → OFF 1 : OFF → ON	
		361	図 18.10 PSRAレジスタによる汎用入出力ポートの切り替え例を追加	
		363	表 18.5 未使用端子の処理内容を変更	TN-RX*-A149A/J
		19. マルチファンクションピンコントローラ (MPC)		
		385	表 19.11 100ピン端子入出力機能レジスタ設定 変更	TN-RX*-A143A/J
		386	表 19.12 64ピン端子入出力機能レジスタ設定 変更	TN-RX*-A143A/J
		20. マルチファンクションタイマパルスユニット2 (MTU2a)		
		418	表 20.28 TIORU、TIORV、TIORW (MTU5) 変更	TN-RX*-A148A/J
		426	20.2.9 タイマA/D変換開始要求コントロールレジスタ (TADCR) 注3 変更	TN-RX*-A118A/J
		427	表 20.29 BF[1:0]ビットによる転送タイミングの設定 変更	TN-RX*-A118A/J
		513	図 20.73 A/D変換開始要求ディレイド機能の設定手順例 図中の注 変更	TN-RX*-A118A/J
		514	図 20.74 A/D変換の開始要求信号 (TRG4AN) の基本動作例 変更	TN-RX*-A118A/J
		514	(3) A/D変換の開始要求の許可期間 追加	TN-RX*-A118A/J

Rev.	発行日	改訂内容		改訂区分		
		ページ	ポイント			
1.10	2016.03.31	514	(4) バッファ転送に文章 追加	TN-RX*-A118A/J		
		515	(5) 割り込み間引き機能と連動したA/D変換開始要求ディレイド機能 変更	TN-RX*-A118A/J		
		550	20.6.27 相補PWMモードにおけるA/D変換ディレイド機能の注意事項 追加	TN-RX*-A118A/J		
		22. 8ビットタイマ (TMR)				
		全体	【用語統一】 分周クロック→内部クロック、 外部リセット→外部カウンタリセット、 外部クロック→外部カウントクロック、 カウンタクロック→カウントクロック、 カウンタ外部リセット→外部カウンタリセット、 TCNT入カクロック→TCNTカウントクロック			
		606	22.2.4 タイマコントロールレジスタ (TCR) 注1 変更			
		607	22.2.5 タイマカウンタコントロールレジスタ (TCCR) 注1 変更			
		608	表22.5 TCNTカウンタに入力するクロックとカウント条件 注1 変更			
		23. コンペアマッチタイマ (CMT)				
		627	表23.1 CMTの仕様 項目: イベントリンク機能 (入力) 機能 変更			
		627	図23.1 CMT (ユニット0) のブロック図 図中に注1 追加			
		632	表23.2 CMTの割り込み要因 項目: 名称 CMI2, CMI3 追加			
		25. ローパワータイマ (LPT)				
		673~685	章 追加			TN-RX*-A129A/J
		27. USB2.0ホスト/ファンクションモジュール (USBc)				
		716~719	27.2.5 CFIFOポート選択レジスタ (CFIFOSEL) D0FIFOポート選択レジスタ (D0FIFOSEL) D1FIFOポート選択レジスタ (D1FIFOSEL) ・ CFIFOSEL MBWビットの説明に文章 追加 ・ D0FIFOSEL、D1FIFOSEL MBWビットの説明に文章 追加			
		753~760	27.2.30 パイプnコントロールレジスタ (PIPEnCTR) (n = 1~9) ・ PIPEnCTR (n = 1~5) PID[1:0]ビットに文章 追加 ・ PIPEnCTR (n = 6~9) PID[1:0]ビットに文章 追加			
		28. シリアルコミュニケーションインタフェース (SCle、SCIf)				
		819	図27.2 SCle (SCI1) のブロック図を削除し、 図27.3 SCle (SCI5) のブロック図のタイトルを 図28.2 SCle (SCI1, SCI5) のブロック図に変更			
		835	28.2.7 シリアルステータスレジスタ (SSR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIFビット=0) b6, b7 変更			TN-RX*-A138A/J
		835	28.2.7 シリアルステータスレジスタ (SSR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIFビット=0) 注1., 注2. 変更			TN-RX*-A138A/J
		837	28.2.7 シリアルステータスレジスタ (SSR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIFビット=0) RDRFフラグ (受信データフルフラグ)、TDREフラグ (送信データエンブ ティフラグ) の説明追加			TN-RX*-A138A/J
		837	28.2.7 シリアルステータスレジスタ (SSR) (2) スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) b6, b7 変更			TN-RX*-A138A/J
		837	(2) スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) の注1., 注2. 変更			TN-RX*-A138A/J
		839	RDRFフラグ (受信データフルフラグ)、TDREフラグ (送信データエンブ ティフラグ) の説明追加			TN-RX*-A138A/J
		941	表28.30 SCI割り込み要因変更			TN-RX*-A138A/J

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.10	2016.03.31	30. I <sup>2</sup> Cバスインタフェース(RIIC)			
		全体	各シンボル+「端子」、「ビット」、または「フラグ」 【用語統一】 通信エラー/イベント発生→通信エラー/通信イベント発生 転送フレーム→転送バイト 1フレーム、2フレーム→第一バイト 2フレーム→第二バイト アドレスフレーム→アドレスバイト 規格→仕様 [Sm], [Fm], [W], [R]→(Sm), (Fm), (write), (read)		
		978	30.2.9 I <sup>2</sup> Cバスステータスレジスタ1 (ICSR1) HOAフラグ説明変更	TN-RX*-A141A/J	
		31. シリアルサウンドインタフェース (SSI)			
		1039	31.2.1 制御レジスタ (SSICR) TENビット 説明 変更		
		1039	表31.3 SSITXD0, SSIRXD0の端子状態 変更		
		1041	31.2.2 ステータスレジスタ (SSISR) 注1 変更	TN-RX*-A133B/J	
		1046	31.2.4 FIFOステータスレジスタ (SSIFSR) 注1 変更	TN-RX*-A133B/J	
		1064	31.5.4 ステータスフラグのクリアに関する注意事項	TN-RX*-A133B/J	
		1065	表31.8 SSISRレジスタの読み出し条件が成立するレジスタ一覧 追加	TN-RX*-A133B/J	
		1065	表31.9 SSIFSRレジスタの読み出し条件が成立するレジスタ一覧 追加	TN-RX*-A133B/J	
		32. シリアルペリフェラルインタフェース (RSPI)			
		1073	32.2.4 RSPIステータスレジスタ (SPSR) SPRFフラグ、SPTEFフラグ、注2 追加	TN-RX*-A138A/J	
		1075	32.2.4 RSPIステータスレジスタ (SPSR) SPRFフラグ、SPTEFフラグ説明 追加	TN-RX*-A138A/J	
		—	SPRFフラグ、SPTEFフラグ追加による変更	TN-RX*-A138A/J	
		1127	(a) 送信処理フロー 変更	TN-RX*-A147A/J	
		35. 静電容量式タッチセンサ(CTSU)			
		1207~1210	・ビットシンボル変更 CTSUCHAC0[7:0] → CTSUCHAC07, , , CTSUCHAC00 CTSUCHAC1[3:0] → CTSUCHAC13, , , CTSUCHAC10 CTSUCHTRC0[7:0] → CTSUCHTRC07, , , CTSUCHTRC00 CTSUCHTRC1[3:0] → CTSUCHTRC13, , , CTSUCHTRC10		
		1236	35.4.5 TSCAP端子 変更		
		37. 12ビットD/Aコンバータ (R12DAA)			
		1287	37.3 説明改善 (アンプ有の説明追加)		
		42. フラッシュメモリ			
		1322	表42.1イレーズ後の値、割り込み 欄を追加	TN-RX*-A132A/J	
		1323	42.2 ROMの領域とメモリプレーン、ブロックの構成 変更	TN-RX*-A132A/J	
		1323	図42.1 ROMの領域とメモリプレーン、ブロックの構成 変更	TN-RX*-A132A/J	
		1332	42.4.9 フラッシュ制御レジスタ (FCR) [ROMが384Kバイトまたは512Kバイトの製品の場合] 変更	TN-RX*-A132A/J	
		1332	42.4.9 フラッシュ制御レジスタ (FCR) [ブロックイレーズ] 変更	TN-RX*-A132A/J	
		1336	42.4.14 フラッシュ処理終了アドレスレジスタL (FEARL) [ROMが384Kバイトまたは512Kバイトの製品の場合] 変更	TN-RX*-A132A/J	
		1341	42.4.20 フラッシュステータスレジスタ1 (FSTATR1) FRDYフラグの説明に文章 追加	TN-RX*-A132A/J	
		1341	42.4.20 フラッシュステータスレジスタ1 (FSTATR1) EXRDYフラグの説明に文章 追加	TN-RX*-A132A/J	
		1362	42.7.5 割り込み 追加	TN-RX*-A132A/J	
		1371	42.8.3 ブートモード (FINEインタフェース) 章を追加	TN-RX*-A132A/J	
		43. 電気的特性			
		1410	表43.1 絶対最大定格 項目: アナログ電源電圧 AVCC0 追加	TN-RX*-A149A/J	
		1411	表43.2 推奨動作条件に VREFH0/VREFL0/VREFH/VREFL追加	TN-RX*-A149A/J	
		1417	表43.8 DC特性(6) 項目: ローパワータイム動作の増加分 独立ウォッチドックタイム動作の増加分 追加	TN-RX*-A149A/J	
		1418	表43.9 DC特性 (7) 追加	TN-RX*-A136A/J	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2016.03.31	1419	表43.10 DC特性 (8) 項目: LVD1, 2 CTSU動作電流 追加	TN-RX*-A149A/J
		1421, 1422	表43.15 出力許容電流値 (1) を(Dバージョン)と(Gバージョン)に分割	TN-RX*-A136A/J
		1459	表43.43 D/A変換特性(1) 項目: 出力電圧範囲 追加	TN-RX*-A149A/J
		1471	表43.61 ROM (コード格納用フラッシュメモリ) 特性 (2) 項目: イレーズ時間に256Kバイト 追加	TN-RX*-A132A/J
		1472	表43.62 ROM (コード格納用フラッシュメモリ) 特性 (3) プログラム/イレーズ時の動作温度範囲 変更 項目: イレーズ時間に256Kバイト 追加	TN-RX*-A132A/J
		1473	表43.64 E2データフラッシュ特性 (2) 高速動作モード 低速側のFCLK 変更 項目: イレーズ時間に8Kバイト 追加	TN-RX*-A132A/J
		1473	表43.65 E2データフラッシュ特性 (3) 中速動作モード プログラム/イレーズ時の動作温度範囲 変更 低速側のFCLK 変更 項目: イレーズ時間に8Kバイト 追加	TN-RX*-A132A/J
		1474~1476	43.15 使用上の注意事項を追加	
1.20	2020.09.07	—	PH7端子 削除 PH7端子削除にともなう記述の変更	TN-RX*-A180A/J TN-RX*-A0234A/J
		1. 概要		
		60	表1.5 機能別端子一覧 (100ピンLQFP) (2/3) 変更	TN-RX*-A0234A/J
		64	表1.6 機能別端子一覧 (100ピンTFLGA) (3/3) 変更	TN-RX*-A0234A/J
		65~66	表1.7 機能別端子一覧 (64ピンLQFP) 変更	TN-RX*-A0234A/J
		3. 動作モード		
		94	表3.1 モード設定端子による動作モードの選択 変更	TN-RX*-A0234A/J
		97	3.3.2.3 ブートモード (FINE インタフェース) 追加	TN-RX*-A0234A/J
		98	図3.1 モード設定端子のレベルと動作モード 変更	TN-RX*-A0234A/J
		8. 電圧検出回路 (LVDAA)		
		157	表8.3 電圧監視1 割り込み、電圧監視1 リセット関連ビットの動作設定手順 変更	TN-RX*-A194A/J
		159	表8.5 電圧監視2 割り込み、電圧監視2 リセット関連ビットの動作設定手順 変更	TN-RX*-A194A/J
		161	8.7 使用上の注意事項 8.7.1 オプション機能選択レジスタ1 (OFS1) 使用時の注意事項 追加	TN-RX*-A153A/J
		9. クロック発生回路		
		162	表9.1 クロック発生回路の仕様 変更	
		193	9.8.2 SCKCR3 レジスタ書き換え時の注意事項 追加	TN-RX*-A0224B/J
		11. 消費電力低減機能		
		211	表11.2 各モードにおける遷移および解除方法と動作状態 注1. 変更	TN-RX*-A0234A/J
		212	図11.1 モード遷移 注2. 変更	TN-RX*-A0234A/J
		235	11.6.3.2 ソフトウェアスタンバイモードの解除 変更	TN-RX*-A0234A/J
		17. イベントリンクコントローラ (ELC)		
		336	表17.5 イベント信号入力時の周辺モジュール別動作一覧 変更	
		337	17.3.3 タイマ系周辺モジュールのイベント信号入力時の動作 (3) イベントカウンタ動作 変更	
		341	17.3.6 イベントリンクの動作設定手順例 変更	
		18. I/Oポート		
		347	図18.3 入出力ポートの構成(3) 注4. 変更	
		349	図18.5 入出力ポートの構成(5) 注3. 変更	
		20. マルチファンクションタイマパルスユニット2 (MTU2a)		
		496	図20.50 相補PWMモード0%、100%波形出力例 (2) 変更	
		550	図20.125 MTU4.TADCOBRAに"0"を書き込んだときのA/D変換の開始要求 変更	
		21. ポートアウトブットイネーブル2 (POE2a)		
		586	21.2.2 出力レベルコントロール/ステータスレジスタ1 (OCSR1) 変更	
26. 独立ウォッチドッグタイマ (IWDTa)				
686	表26.1 IWDTの仕様 変更			
704	26.4.3 電圧監視1リセットとIWDTリセット併用時の注意事項 追加	TN-RX*-A153A/J		
27. USB2.0ホスト/ファンクションモジュール (USBC)				

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.20	2020.09.07	714, 715	27.2.4 CFIFOポートレジスタ (CFIFO) DOFIFOポートレジスタ (DOFIFO) D1FIFOポートレジスタ (D1FIFO) (2) MBWビットが“0”の場合 変更		
		752~756	27.2.30 パイプnコントロールレジスタ (PIPEnCTR) (n = 1~9) ・ PIPEnCTR (n = 1~5) 変更		
		766	27.3.1.2 コントローラ機能の選択設定 変更		
		766	27.3.1.3 USB データバス抵抗制御 変更		
		766	表27.11 USBデータバス抵抗制御 変更		
		767	27.3.1.4 USB 外部接続回路例 変更		
		767	図27.2 セルフパワード時のUSBコネクタのOTG接続例 変更	TN-RX*-A0234A/J	
		775	27.3.3.1 BRDY割り込み (1) SOFCFG.BRDYMビットが“0”かつPIPECFG.BFREビットが“0”のとき (b) 受信方向に設定したパイプの場合 変更		
		783, 784	27.3.3.5 コントロール転送ステージ遷移割り込み 変更		
		28. シリアルコミュニケーションインタフェース (SCIE, SCIF)			
		825, 826	28.2.5 シリアルモードレジスタ (SMR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIFビット=0) 変更		
		827, 828	(2) スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) 変更		
		829, 830	28.2.6 シリアルコントロールレジスタ (SCR) 変更		
		838	28.2.8 スマートカードモードレジスタ (SCMR) 変更		
		844	表28.18 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード) 変更		
		845	表28.20 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn=0、S=372のとき) 変更		
		847	28.2.10 シリアル拡張モードレジスタ (SEMR) 変更		
		852, 853	28.2.14 I <sup>2</sup> Cモードレジスタ3 (SIMR3) 変更		
		869	28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 注1 変更		
		871	28.3.5 SCIの初期化(調歩同期式モード) 変更		
		871	図28.8 SCIの初期化フローチャートの例(調歩同期式モード) 変更		
		872	図28.9 調歩同期式モード時のデータ送信タイミング例と説明文 追加	TN-RX*-A0234A/J	
		880	28.4 マルチプロセッサ通信機能 変更		
		886	28.5.2 CTS、RTS機能 変更		
		887	28.5.3 SCIの初期化(クロック同期式モード) 変更		
		887	図28.24 SCIの初期化フローチャートの例(クロック同期式モード) 変更		
		900, 901	28.6.5 SCIの初期化(スマートカードインタフェースモード) 変更	TN-RX*-A0234A/J	
		902~904	28.6.6 シリアルデータの送信(ブロック転送モードを除く) 変更		
		905, 906	28.6.7 シリアルを受信(ブロック転送モードを除く) 変更		
		907	28.6.8 クロック出力制御 変更	TN-RX*-A0234A/J	
		913	図28.51 SCIの初期化フローチャート例(簡易I <sup>2</sup> Cモード) 変更		
		915	図28.54 簡易I <sup>2</sup> Cモードのマスタ送信動作のフローチャート例(送信割り込み、受信割り込み使用時) 変更		
		918	28.7.7 バスハンガアップからの回復 追加	TN-RX*-A0234A/J	
		921	28.8.5 SCIの初期化(簡易SPIモード) 変更		
		940	28.11.2 調歩同期式モード、クロック同期式モードおよび簡易SPIモードにおける割り込み 変更		
		947	28.13.9 低消費電力状態時の動作について (1) 送信 変更		
		952	28.13.14 トランスミットイネーブルビット(TEビット)に関する注意事項 変更	TN-RX*-A0234A/J	
		952	28.13.15 調歩同期式モードにおけるRTS機能使用時の受信停止に関する注意事項 追加	TN-RX*-A151A/J	
		30. I <sup>2</sup> Cバスインタフェース (RIIC)			
		959, 960	表30.1 RIICの仕様 変更		
		961	図30.2 入出力端子の外部回路接続例(I <sup>2</sup> Cバス構成例) 変更		
		962	30.2.1 I <sup>2</sup> Cバスコントロールレジスタ1 (ICCR1) 変更		
		967	30.2.3 I <sup>2</sup> Cバスモードレジスタ1 (ICMR1) 変更		
		970, 971	30.2.5 I <sup>2</sup> Cバスモードレジスタ3 (ICMR3) 変更		

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.20	2020.09.07	972, 973	30.2.6 I <sup>2</sup> Cバスファンクション許可レジスタ (ICFER) 変更	TN-RX*-A0230A/J	
		980	30.2.10 I <sup>2</sup> Cバスステータスレジスタ2 (ICSR2) 変更	TN-RX*-A0230A/J	
		985	30.2.13 I <sup>2</sup> CバスビットレートLow レジスタ (ICBRL) 変更		
		986	30.2.14 I <sup>2</sup> CバスビットレートHigh レジスタ (ICBRH) 変更		
		987	表30.5 転送速度に対するICBRH、ICBRLレジスタの設定例 変更	TN-RX*-A193A/J	
		988	30.2.16 I <sup>2</sup> Cバス受信データレジスタ (ICDRR) 変更		
		996, 997	30.3.4 マスタ受信動作 変更		
		1002	30.3.5 スレーブ送信動作 変更		
		1005	30.3.6 スレーブ受信動作 変更		
		1008	30.4 SCL同期回路 変更		
		1009	30.5 SDA出力遅延機能 変更		
		1011	30.7.1 スレーブアドレス一致検出機能 変更		
		1013	30.7.2 ジェネラルコールアドレス検出機能 変更		
		1014	30.7.3 デバイスIDアドレス検出機能 変更	TN-RX*-A0230A/J	
		1015	図30.28 デバイスIDアドレス受信時のAASy、DIDフラグセット/クリアタイミング 変更	TN-RX*-A0230A/J	
		1016	30.7.4 ホストアドレス検出機能 変更		
		1017	30.8.1 送信データ誤送信防止機能 変更		
		1018	30.8.2 NACK受信転送中断機能 変更	TN-RX*-A0230A/J	
		1018	図30.31 NACK受信時の転送中断動作(NACKビット=1のとき) 変更	TN-RX*-A0230A/J	
		1019	30.8.3 受信データ取りこぼし防止機能 変更		
		1023	30.9.2 NACK送信アービトラージロスト検出機能(NALEビット) 変更		
		1026	30.10.3 ストップコンディション発行動作 変更		
		1027	30.11 バスハンガアップ 変更		
		1028	30.11.2 SCL追加出力機能 変更	TN-RX*-A0230A/J	
		1029	ICCR1.CLOビットの使用条件 変更		
		1029	図30.40 SCL追加出力機能(CLOビット) 変更	TN-RX*-A0230A/J	
		1033	表30.8 リセット時/コンディション検出時のレジスタおよび機能のリセット状況 変更	TN-RX*-A0230A/J	
				32. シリアルペリフェラルインタフェース (RSPI)	
		1078 ~ 1080		32.2.5 RSPIデータレジスタ (SPDR) 変更	
				34. LCDコントローラ/ドライバ (LCDC)	
		1153		表34.2 製品ごとのLCD表示機能端子 変更	
				35. 静電容量式タッチセンサ (CTSUS)	
		1202, 1203		35.2.1 CTSU制御レジスタ0 (CTSUCR0) 変更	TN-RX*-A168A/J
		1219		35.2.15 CTSUセンサオフセットレジスタ1 変更	TN-RX*-A0234A/J
		1221, 1222		35.2.18 CTSUエラーステータスレジスタ (CTSUERRS) 変更	TN-RX*-A168A/J
		1222		35.2.19 CTSU基準電流調整レジスタ (CTSUTRMR) 追加	TN-RX*-A168A/J
				36. 12ビットA/Dコンバータ (S12ADb)	
		1258		36.2.12 A/D変換値加算回数選択レジスタ (ADADC) 変更	TN-RX*-A0234A/J
		1267		36.3.2.2 温度センサ出力選択時のA/D変換動作 変更	
		1284		36.8.14 12ビットA/Dコンバータ入力を使用する場合のポートの設定 変更	TN-RX*-A0234A/J
				37. 12ビットD/Aコンバータ (R12DAA)	
		1287		37.2.3 データレジスタフォーマット選択レジスタ (DADPR) 変更	TN-RX*-A0234A/J
				39. コンパレータB (CMPBa)	
		1302		図39.1 コンパレータB0、B1のブロック図(ウィンドウ機能無効時) 変更	
		1303		図39.2 コンパレータB0、B1のブロック図(ウィンドウ機能有効時) 変更	
				42. フラッシュメモリ (FLASH)	
		1398		42.11 ブートモード(SCIインタフェース)でのシリアルプログラマ動作説明 変更	
				43. 電気的特性	
		1424		表43.14 DC特性 (12) 変更	TN-RX*-A0234A/J
		1443		表43.31 内蔵周辺モジュールタイミング (2) 変更	TN-RX*-A0234A/J
		1444		表43.32 内蔵周辺モジュールタイミング (3) 変更	TN-RX*-A0234A/J
		1467		表43.51 内部昇圧方式 変更	TN-RX*-A0234A/J
		1468		表43.52 内部昇圧方式 LCD特性 変更	TN-RX*-A0234A/J
		1468		表43.53 内部昇圧方式 LCD特性 変更	TN-RX*-A0234A/J
		1469		表43.54 容量分割方式 変更	TN-RX*-A0234A/J
		1469		表43.55 容量分割方式 LCD特性 変更	TN-RX*-A0234A/J



---

RX113グループ ユーザーズマニュアル  
ハードウェア編

発行年月日 2014年12月1日 Rev.1.02  
2020年9月7日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社  
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<https://www.renesas.com/contact/>



RX113グループ