

RZ/A1LU AVB ボード

32 RTK772103FC00000BR

(JASMINE)

ユーザーズマニュアル

ルネサスマイクロプロセッサ
RZファミリ／RZ/Aシリーズ

Rev.0.04

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

WEEE Directive

Renesas development tools and products are directly covered by the European Union's Waste Electrical and Electronic Equipment, (WEEE), Directive 2002/96/EC.

As a result, this equipment, including all accessories, must not be disposed of as household waste but through your locally recognised recycling or disposal schemes.

As part of our commitment to environmental responsibility Renesas also offers to take back the equipment and has implemented a Tools Product Recycling Program for customers in Europe. This allows you to return equipment to Renesas for disposal through our approved Producer Compliance Scheme.

To register for the program, click here "<http://www.renesas.com/weee>".

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本評価ボードの機能と操作仕様をユーザに理解していただくためのマニュアルです。本評価ボードを使用するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、機能仕様、操作仕様で構成されています。

本評価ボードは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RZ/A1LU AVB ボード RTK772103FC0000BR では次のドキュメントを用意しています。

ドキュメントの種類	記載内容	資料名	資料番号
ユーザーズマニュアル	機能仕様（搭載デバイス、メモリマップ、電気的特性等）と操作仕様（コネクタ、スイッチ類）の説明	RZ/A1LU AVB ボード RTK772103FC0000BR ユーザーズマニュアル	本ユーザーズマニュアル

RZ/A1LU グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
アプリケーションノート	応用例、参考プログラムなど	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 略語および略称の説明

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPU の命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMA を行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMA の第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816 規定の接触型 IC カード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 概要.....	1-1
1.2 構成.....	1-2
1.3 外部仕様.....	1-3
1.4 外観.....	1-4
1.5 ブロック図.....	1-5
1.6 部品配置図.....	1-6
1.7 メモリ配置図.....	1-9
1.8 絶対最大定格.....	1-10
1.9 動作条件.....	1-10
2. 機能仕様.....	2-1
2.1 機能概略.....	2-1
2.2 CPU.....	2-2
2.2.1 RZ/A1LU 概要.....	2-2
2.2.2 RZ/A1LU 端子機能一覧.....	2-2
2.2.3 RTK772103FC00000BR モジュール使用関係一覧.....	2-11
2.3 メモリ.....	2-12
2.3.1 RZ/A1LU 内蔵メモリ.....	2-12
2.3.2 SDRAM.....	2-13
2.3.3 シリアルフラッシュメモリ.....	2-17
2.4 USBインタフェース.....	2-18
2.5 シリアルインタフェース.....	2-21
2.6 入出力ポート.....	2-22
2.7 割り込みスイッチ.....	2-23
2.8 クロック構成.....	2-24
2.9 リセット制御.....	2-25
2.10 電源構成.....	2-26
2.11 デバッグインタフェース.....	2-29
2.12 CANインタフェース.....	2-30
2.13 オーディオインタフェース.....	2-31
2.13.1 オーディオ CODEC WM8978.....	2-31
2.13.2 オーディオ DAC AK4353.....	2-32
2.14 microSDカードインタフェース.....	2-33

2.15	MMCインタフェース.....	2-34
2.16	LANインタフェース.....	2-35
2.17	Ethernet AVBインタフェース.....	2-38
2.18	キー入力インタフェース.....	2-41
2.19	CMOSカメラインタフェース.....	2-42
2.20	デジタル映像信号入力インタフェース.....	2-44
3.	操作仕様.....	3-1
3.1	コネクタ概要.....	3-1
3.1.1	Ethernet AVB インタフェースコネクタ (J1)	3-3
3.1.2	LAN コネクタ (J2)	3-6
3.1.3	マイクインピンジャック (J3)	3-7
3.1.4	ラインアウトピンジャック (J5、J8)	3-8
3.1.5	USB コネクタ (J4、J6、J7、J9)	3-9
3.1.6	CAN コネクタ (J10、J12)	3-11
3.1.7	microSD カードスロット (J11)	3-12
3.1.8	MMC スロット (J13)	3-13
3.1.9	シリアルポートコネクタ (J14)	3-14
3.1.10	UDI コネクタ (J16、J17)	3-15
3.1.11	CMOS カメラコネクタ (J18)	3-17
3.1.12	デジタル映像信号入力コネクタ (J19)	3-18
3.1.13	電源コネクタ (J20)	3-19
3.1.14	外部電源供給コネクタ (J21~J23)	3-20
3.2	操作部品配置.....	3-22
3.2.1	ジャンパ (JP1~JP13)	3-23
3.2.2	スイッチ、LED 機能.....	3-26
3.3	外形寸法.....	3-30
付録	RTK772103FC00000BR 接続図.....	1

1. 概要

1.1 概要

RTK772103FC00000BR は、ルネサスエレクトロニクス製 RZ/A1LU 「R7S72103」の機能・性能評価、およびアプリケーションソフトウェアの開発・評価を行うための評価ボードです。

以下に RTK772103FC00000BR の特徴を示します。

- 下記の外部メモリを標準搭載しています。
 - SDRAM : 64M バイト×1 個 (16 ビットバス接続)
 - シリアルフラッシュメモリ : 64M バイト×2 個
- ブートメモリとしてシリアルフラッシュメモリ、SD コントローラ内蔵 NAND フラッシュメモリ、および MMC コントローラ内蔵 NAND フラッシュメモリのいずれかを選択することが可能です。
- RZ/A1LU 周辺機能インタフェースとして、シリアルポート (USB Micro-B) コネクタ、USB コネクタ、LAN コネクタ、CAN コネクタ、microSD カードスロット、MMC スロット、およびキー入力スイッチを標準搭載しています。
- オーディオ CODEC、およびオーディオ DAC を標準搭載しており、オーディオシステムの先行開発が可能です。
- USB コネクタは、USB ホストモジュール評価用にシリーズ A レセプタクルを標準搭載しています。また、USB ファンクションモジュール評価用に Mini-B レセプタクルを実装可能な基板パターンになっています。
- LAN コネクタを標準搭載しており、Ethernet を使用したソフトウェアの開発や評価が可能です。
- 車載情報機器向けイーサネットとして Ethernet AVB インタフェースを接続するためのコネクタを搭載しており、リアルタイム性の高い動画等の大容量データ伝送評価を行うことが可能です。
- デジタル映像信号入力機能評価用に汎用 MIL コネクタを搭載しています (20 ピン×1 個)。
- Aptina 製 CMOS カメラ (MT9V024IA7XTCD ES) 接続用に 26 ピン MIL コネクタを搭載しています。
- RZ/A1LU ユーザデバッグインタフェースとの接続用に、ARM JTAG 20 および CoreSight 20 コネクタを実装しています。

1.2 構成

図 1.1 に RTK772103FC00000BR を用いたシステム構成例を示します。

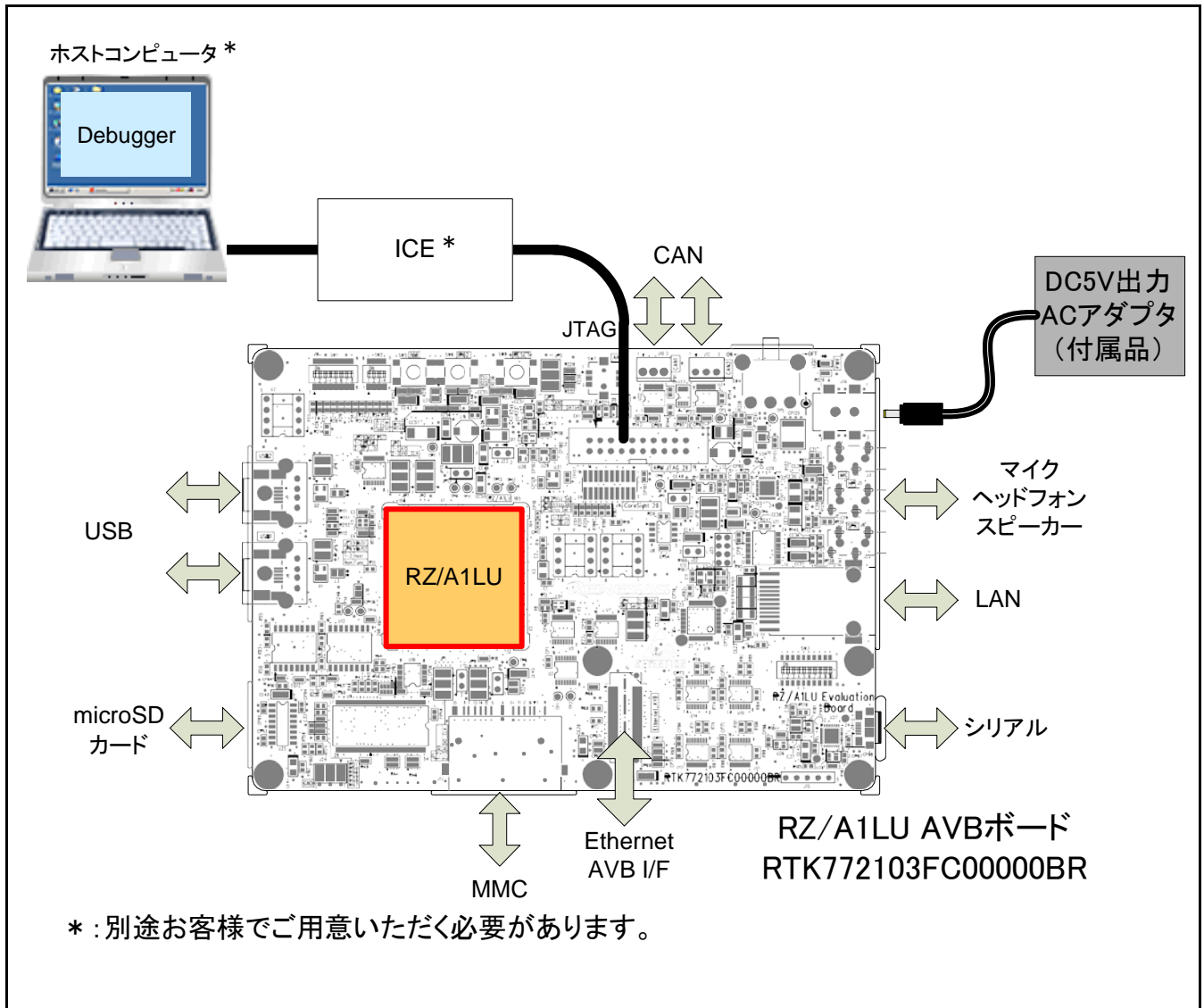


図 1.1 RTK772103FC00000BR を用いたシステム構成例

1.3 外部仕様

表 1.1 に RTK772103FC00000BR の外部仕様一覧を示します。

表 1.1 RTK772103FC00000BR 外部仕様一覧

項目	内容
CPU	RZ/A1LU <ul style="list-style-type: none"> • 入力 (XIN) クロック : 13.33MHz • CPU クロック (Iϕ) : 最大 400MHz • 内部バスクロック (Bϕ) : 最大 133.33MHz • 外部バスクロック (CKIO) : 最大 66.67MHz • 周辺クロック 1 (P1ϕ) : 最大 66.67MHz • 周辺クロック 0 (P0ϕ) : 最大 33.33MHz • 内蔵メモリ : <ul style="list-style-type: none"> - 内蔵 RAM : 3M バイト - 命令キャッシュ : 32K バイト - データキャッシュ : 32K バイト • 電源電圧 : <ul style="list-style-type: none"> - 内部 : 1.10V~1.26V - I/O : 3.0V~3.6V • 208 ピン QFP 0.5mm ピッチ
メモリ	<ul style="list-style-type: none"> • SDRAM : 64M バイト×1 個 <ul style="list-style-type: none"> - ISSI 製 IS42S16320F • シリアルフラッシュメモリ : 64M バイト×2 個 <ul style="list-style-type: none"> - Macronix 製 MX25L51245G
コネクタ	<ul style="list-style-type: none"> • USB シリーズ A レセプタクル : 2 個 (Mini-B レセプタクルに変更可能) • LAN コネクタ (RJ-45) : 1 個 • Ethernet AVB 用コネクタ (QTH-030-02-L-D-A) : 1 個 • オーディオ用ミニジャック (ϕ3.5) : 3 個 • microSD カードスロット : 1 個 • MMC スロット : 1 個 • CMOS カメラコネクタ : 1 個 • デジタル映像信号入力コネクタ : 1 個 • CAN ポートコネクタ (3 ピン、ピンヘッダ) : 2 個 • シリアルポートコネクタ (USB Micro-B) : 1 個 • ユーザデバッグインタフェース (UDI) コネクタ (ARM JTAG 20、CoreSight 20) : 各 1 個 • DC 電源ジャック : 1 個 • GND コネクタ : 1 個
LED	<ul style="list-style-type: none"> • 電源 LED : 1 個 • ユーザ LED : 1 個 (Dual LED)
スイッチ	<ul style="list-style-type: none"> • リセットスイッチ : 1 個 • ユーザスイッチ : 2 個 (NMI、IRQ2) • ディップスイッチ : 3 個 (システム設定、ユーザインタフェース、Ethernet PHY 設定)
基板仕様	<ul style="list-style-type: none"> • 寸法 : 148mm×105mm • 実装形態 : 6 層 両面実装 • 基板構成 : 1 枚

1.4 外観

図 1.2 に RTK772103FC00000BR の外観を示します。

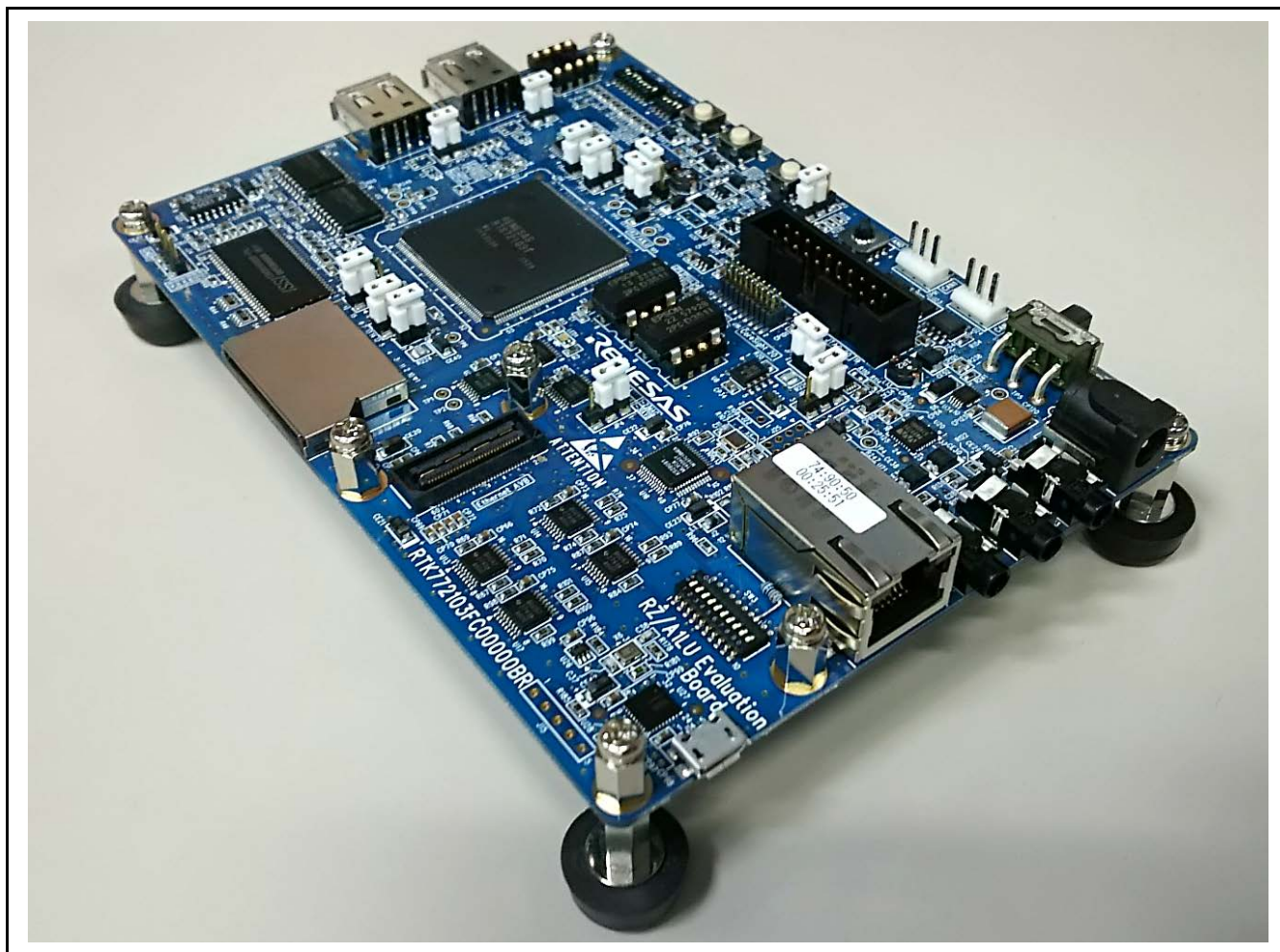


図 1.2 RTK772103FC00000BR 外観図

1.5 ブロック図

図 1.3 に RTK772103FC00000BR のブロック図を示します。

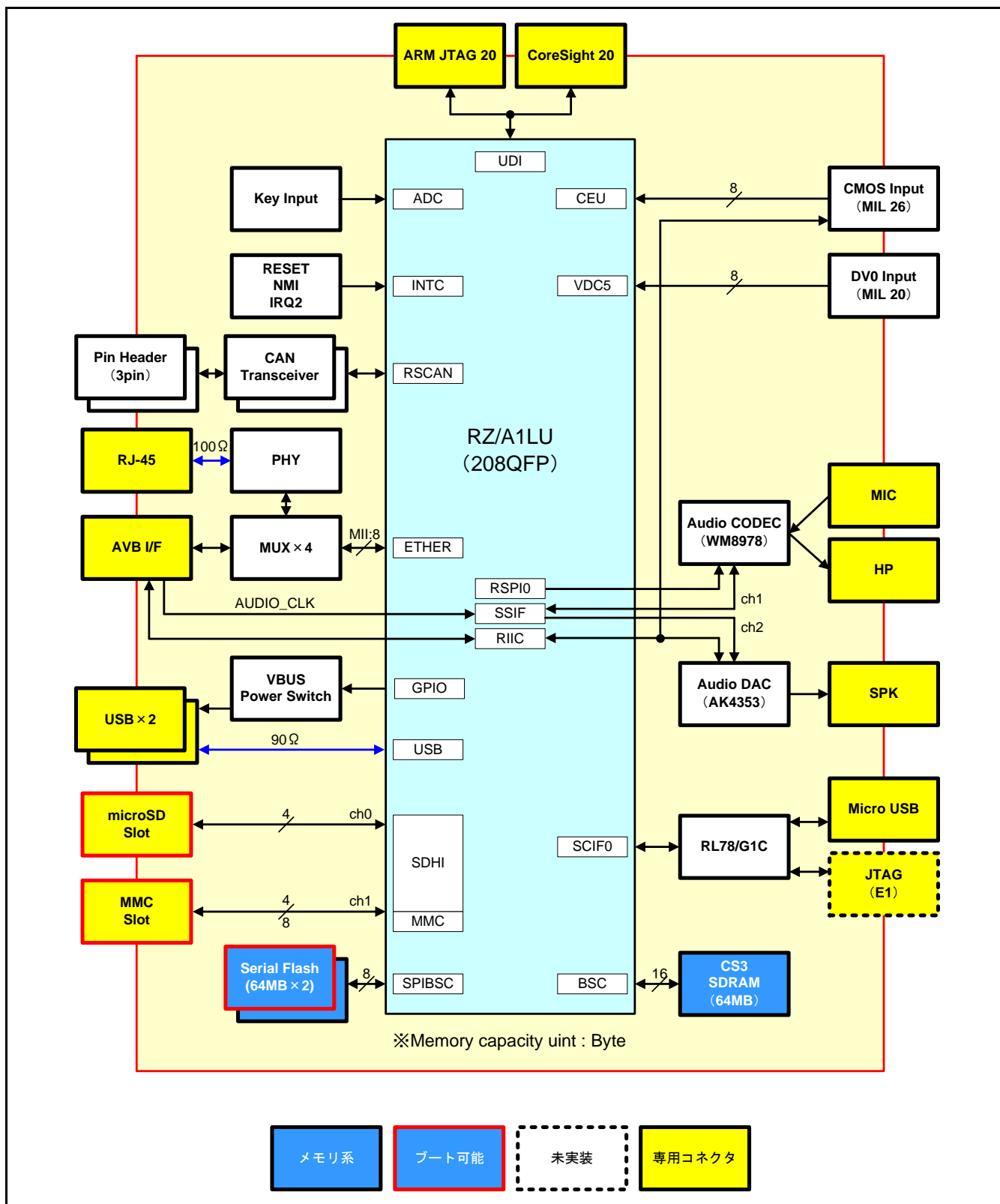


図 1.3 RTK772103FC00000BR ブロック図

1.6 部品配置図

図 1.4 および図 1.5 に RTK772103FC0000BR の主な部品配置図を示します。

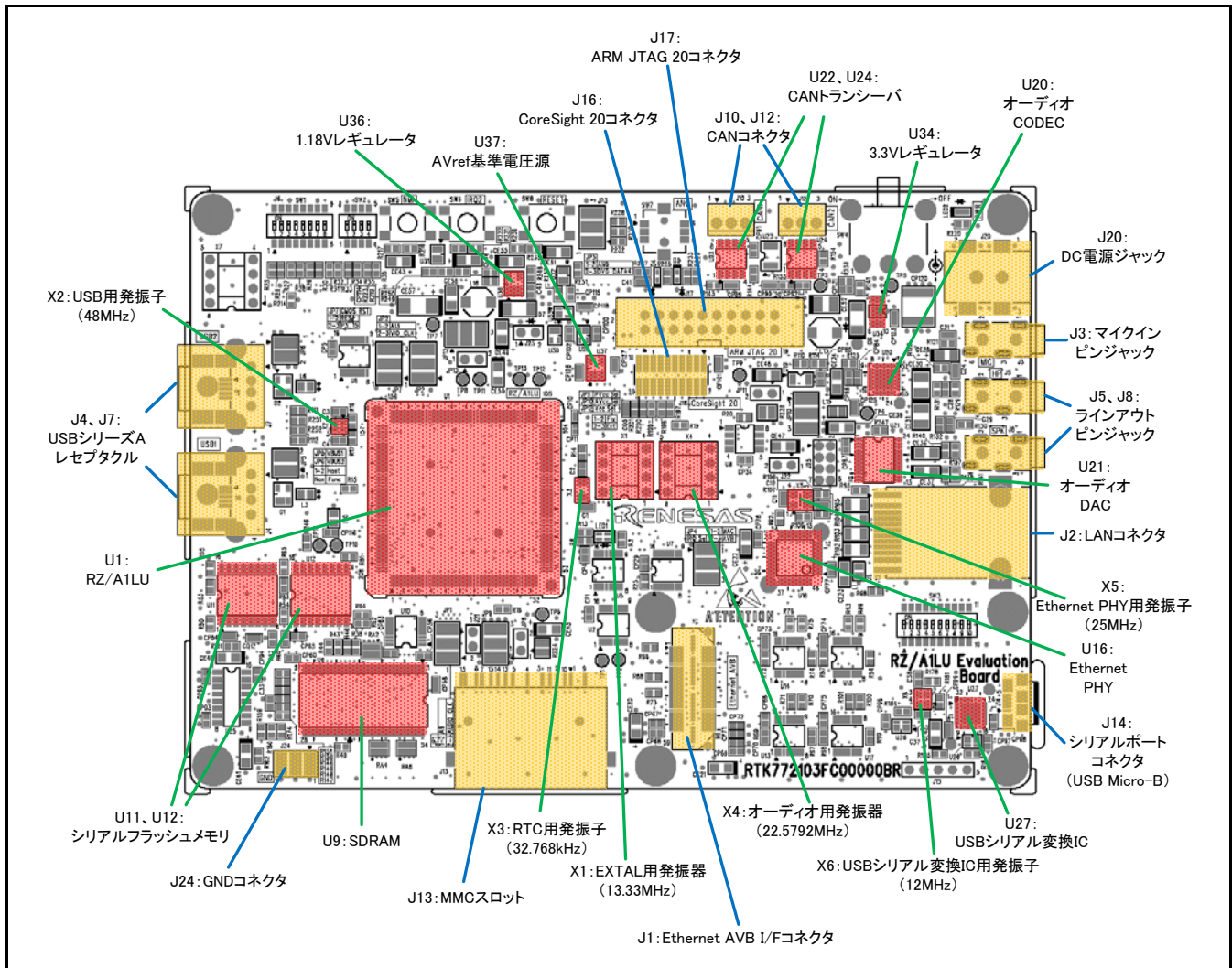


図 1.4 RTK772103FC0000BR 部品配置図 (C 面上面図)

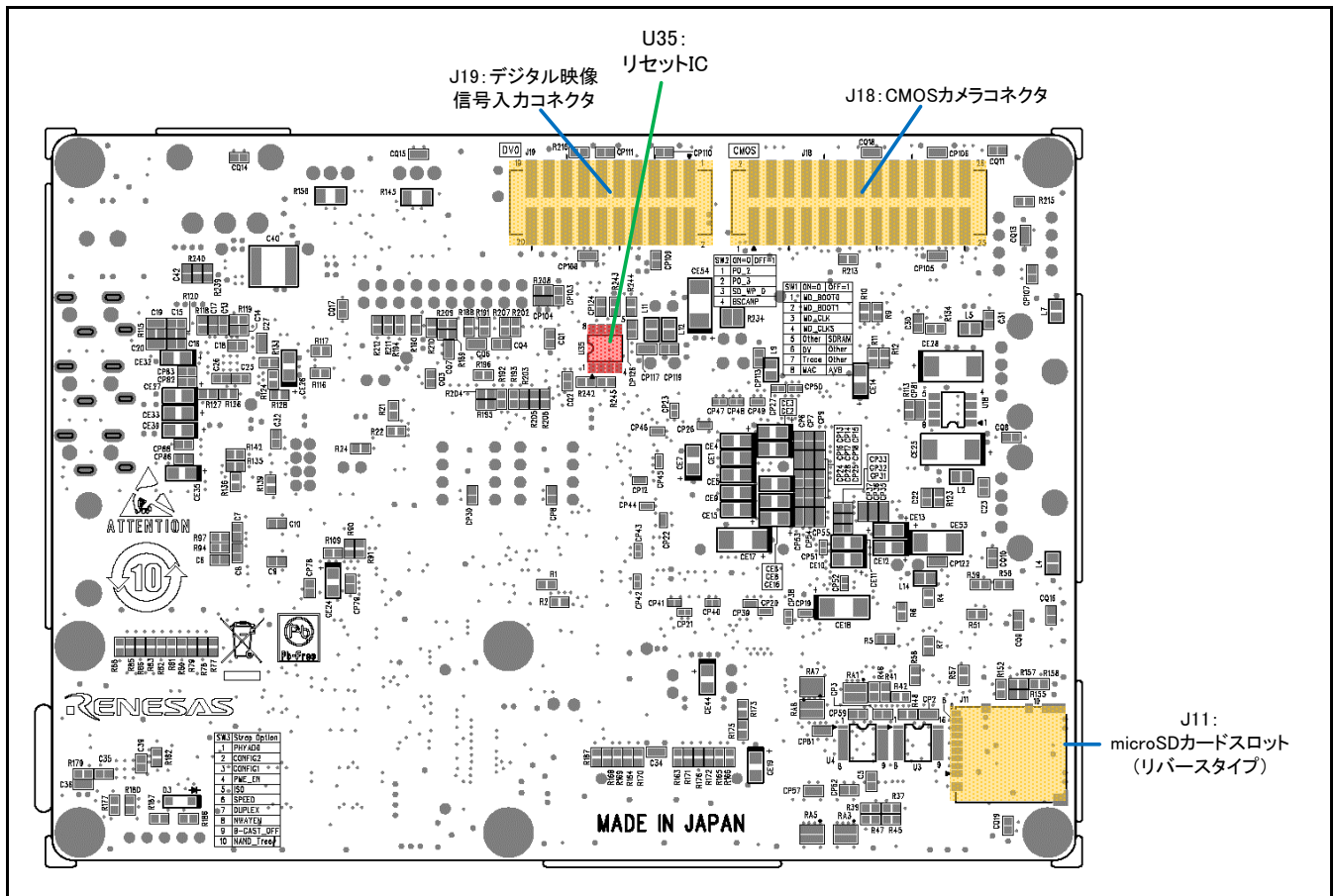


図 1.5 RTK772103FC0000BR 部品配置図 (S 面上面図)

表 1.2 および表 1.3 に RTK772103FC00000BR の主な実装部品一覧を示します。

表 1.2 RTK772103FC00000BR の主な実装部品一覧 (IC 関連)

部品番号	部品名称	型名 (メーカー)	未実装品推奨型名等
U1	CPU	R7S72103 (RENESAS)	
U9	SDRAM	IS42S16320F (ISSI)	
U11、U12	シリアルフラッシュメモリ	MX25L51245G (Macronix)	
U16	Ethernet PHY	KSZ8091 (Micrel)	
U20	オーディオ CODEC	WM8978GEFL/V (Wolfson)	
U21	オーディオ DAC	AK4353 (AKM)	
U22、U24	CAN トランシーバ	HA13721RPJE (RENESAS)	
U27	USB シリアル変換 IC	RL78/G1C (RENESAS)	
U34	3.3V レギュレータ	LM2833X (TI)	5V→3.3V
U35	リセット IC	RNA51957BFP (RENESAS)	
U36	1.18V レギュレータ	LM2830Z (TI)	5V→1.18V
U37	AVref 基準電圧源	LM4132 (TI)	5V→3.3V
X1	EXTAL 用発振器	SG-8002DC-13.3333MHz (EPSON)	
X2	USB 用発振子	CX2016DB48000 (KCD)	
X3	RTC 用発振子	ST3215SB32768 (KCD)	
X4	オーディオ用発振器	SG-8002DC-22.5792MHz (EPSON)	
X5	Ethernet PHY 用発振子	CX3225SB25000 (KCD)	
X6	USB シリアル変換 IC 用発振子	CX2520DB12000 (KCD)	
X7	CMOS カメラ用発振器	未実装	SG-8002DC (EPSON)

表 1.3 RTK772103FC00000BR の主な実装部品一覧 (コネクタ関連)

部品番号	部品名称	型名 (メーカー)	未実装品推奨型名等
J1	Ethernet AVB インタフェースコネクタ	QSH-030-01-L-D-A (Samtec)	
J2	LAN コネクタ (RJ-45)	J3011G21DNL (Pulse)	
J3	マイクインピンジャック	HSJ1456-010320 (Hoshiden)	
J4、J7	USB シリーズ A レセプタクル	UBA-4R-D14T-4D (JST)	
J5、J8	ラインアウトピンジャック	HSJ1456-010320 (Hoshiden)	
J6、J9	USB Mini-B レセプタクル	未実装	54819-0572 (Molex)
J10、J12	CAN コネクタ	B3P-SHF-1AA (JST)	
J11	microSD カードスロット (リバースタイプ)	DM3BT-DSF-PEJS (HRS)	
J13	MMC スロット	7SDMM-X0-2211-B (KINGCONN)	
J14	シリアルポートコネクタ	ZX62-B-5PA(11) (HRS)	USB Micro-B
J16	CoreSight コネクタ (20 ピン)	FTSH-110-01 (Samtec)	CoreSight 20
J17	JTAG コネクタ (20 ピン)	HIF3FC-20PA-2.54DSA (HRS)	ARM JTAG 20
J18	CMOS カメラコネクタ (26 ピン)	HTSS-113-01-L-DV (Samtec)	
J19	デジタル映像信号入力コネクタ (20 ピン)	HTSS-110-01-L-DV (Samtec)	
J20	DC 電源ジャック	KLDX-SMT2-0202-A (Kycon)	
J21、J22、J23	外部電源供給コネクタ	未実装	A2-2PA-2.54DSA (HRS)
J24	GND コネクタ	HWP-3P-G (MAC8)	

1.7 メモリ配置図

図 1.6 に RTK772103FC00000BR での RZ/A1LU のメモリ配置を示します。

先頭アドレス	RZ/A1LU論理空間	RTK772103FC00000BR メモリマッピング
H'0000 0000	CS0空間：64MB	—
H'0400 0000	CS1空間：64MB	—
H'0800 0000	CS2空間：64MB	—
H'0C00 0000	CS3空間：64MB	SDRAM (64MB) 16ビットバス
H'1000 0000	CS4空間：64MB	—
H'1400 0000	CS5空間：64MB	—
H'1800 0000	SPIマルチI/Oバス空間：64MB	シリアルフラッシュメモリ (64MB)
H'1C00 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'2000 0000	大容量内蔵RAM：3MB (保持用内蔵RAM含)	大容量内蔵RAM：3MB (保持用内蔵RAM含)
H'2008 0000		
H'2010 0000		
H'2018 0000		
H'2020 0000		
H'2030 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'3FEF A000	周辺I/O領域	周辺I/O領域
H'3FEF B000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'3FEF C000	周辺I/O領域	周辺I/O領域
H'4000 0000	CS0～CS5空間 ミラー領域	CS0～CS5空間 ミラー領域
H'5800 0000	SPIマルチI/Oバス空間 ミラー領域	SPIマルチI/Oバス空間 ミラー領域
H'5C00 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'6000 0000	大容量内蔵RAM ミラー領域	大容量内蔵RAM ミラー領域
H'6030 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'E800 0000	周辺I/O領域	周辺I/O領域
H'E802 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'E803 0000	周辺I/O領域	周辺I/O領域
H'E805 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'E820 0000	周辺I/O領域	周辺I/O領域
H'E823 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'F000 0000	Cortex-A9 プライベート領域	周辺I/O領域
H'F000 2000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'FC00 0000	周辺I/O領域	周辺I/O領域
H'FC08 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'FCFE 0000	周辺I/O領域	周辺I/O領域
H'FD00 0000	予約領域 (使用禁止)	予約領域 (使用禁止)
H'FFFF 0000	周辺I/O領域	周辺I/O領域

図 1.6 RZ/A1LU メモリ配置

1.8 絶対最大定格

表 1.4 に RTK772103FC00000BR の絶対最大定格を示します。

表 1.4 RTK772103FC00000BR の絶対最大定格

記号	項目	定格値	備考
D5V	5V 系電源電圧	-0.3V~6.25V	Vss 基準
D3.3V *1	3.3V 系電源電圧	-0.3V~4.2V	Vss 基準
A3.3V *2	アナログ 3.3V 系電源電圧	-0.3V~4.2V	AVss 基準
1.18V *3	1.2V 系電源電圧	-0.3V~1.6V	Vss 基準
T _{opr}	動作周囲温度*4	0°C~50°C	結露なきこと、腐蝕性ガス環境は不可
T _{stg}	保存周囲温度*4	-10°C~60°C	結露なきこと、腐蝕性ガス環境は不可

【注】 *1 外部電源供給コネクタから直接 3.3V 系電源を供給する場合の規格です。

*2 外部電源供給コネクタから直接アナログ 3.3V 系電源を供給する場合の規格です。

*3 外部電源供給コネクタから直接 1.2V 系電源を供給する場合の規格です。

*4 周囲温度とはボードに限りなく近い部分の空気の温度のことを言います。

1.9 動作条件

表 1.5 に RTK772103FC00000BR の動作条件を示します。

表 1.5 RTK772103FC00000BR の動作条件

記号	項目	定格値	備考
D5V	5V 系電源電圧	4.5V~5.5V	Vss 基準
D3.3V *1	3.3V 系電源電圧	3.0V~3.6V	Vss 基準
A3.3V *2	アナログ 3.3V 系電源電圧	3.0V~3.6V	AVss 基準
1.18V *3	1.2V 系電源電圧	1.10V~1.26V	Vss 基準
—	最大消費電流	2A 以下	5V 系、3.3V 系、1.2V 系電源の合計値
T _{opr}	動作周囲温度*4	0°C~40°C	結露なきこと、腐蝕性ガス環境は不可

【注】 *1 外部電源供給コネクタから直接 3.3V 系電源を供給する場合の規格です。

*2 外部電源供給コネクタから直接アナログ 3.3V 系電源を供給する場合の規格です。

*3 外部電源供給コネクタから直接 1.2V 系電源を供給する場合の規格です。

*4 周囲温度とはボードに限りなく近い部分の空気の温度のことを言います。

2. 機能仕様

2.1 機能概略

表 2.1.1 に RTK772103FC00000BR の機能モジュール一覧を示します。

表 2.1.1 RTK772103FC00000BR 機能モジュール一覧

項番	機能	内容
2.2	CPU	<ul style="list-style-type: none"> ● RZ/A1LU <ul style="list-style-type: none"> - 入力 (EXTAL) クロック : 13.33MHz - CPU クロック : 最大 400MHz - バスクロック : 最大 66.67MHz
2.3	メモリ	<ul style="list-style-type: none"> ● 内蔵メモリ : 3Mバイト ● SDRAM : 64Mバイト×1個 <ul style="list-style-type: none"> - ISSI 製 IS42S16320F-7TL ● シリアルフラッシュメモリ : 64Mバイト×2個 <ul style="list-style-type: none"> - Macronix 製 MX25L51245G
2.4	USBインタフェース	RZ/A1LU USB2.0ホスト/ファンクションモジュールとUSBコネクタの接続
2.5	シリアルインタフェース	RZ/A1LU FIFO内蔵シリアルコミュニケーションインタフェース (SCIF) と RL78を介したUSB Micro-Bコネクタの接続
2.6	入出力ポート	RZ/A1LU入出力ポートとLED、ディップスイッチの接続
2.7	割り込みスイッチ	RZ/A1LU NMI端子、IRQ2端子とプッシュスイッチの接続
2.8	クロック構成	システムクロック構成
2.9	リセット制御	RTK772103FC00000BRに実装されているデバイスのリセット制御
2.10	電源構成	RTK772103FC00000BRのシステム電源構成
2.11	デバッグインタフェース	RZ/A1LUユーザデバッグインタフェースと各種コネクタの接続
2.12	CANインタフェース	RZ/A1LUコントローラエリアネットワーク (RSCAN) とCANトランシーバの接続
2.13	オーディオインタフェース	RZ/A1LUとオーディオCODEC (WM8978) の接続 RZ/A1LUとオーディオDAC (AK4353) の接続 <ul style="list-style-type: none"> - 96kHz 24ビット D/A 変換機を実装
2.14	microSDカードインタフェース	RZ/A1LU SDホストインタフェース (SDHI) チャンネル0とmicroSDカードスロットの接続
2.15	MMCインタフェース	RZ/A1LU SDホストインタフェース (SDHI) チャンネル1およびMMCホストインタフェース (MMC) とMMCスロットの接続
2.16	LANインタフェース	RZ/A1LUイーサネットMAC (ETHER) とEthernet PHYを介したLANコネクタの接続
2.17	Ethernet AVBインタフェース	RZ/A1LUイーサネットMAC (ETHER) とEthernet AVBインタフェースコネクタの接続
2.18	キー入力インタフェース	RZ/A1LU A/D変換機 (ADC) と4方向+センタプッシュ付きスイッチの接続
2.19	CMOSカメラインタフェース	RZ/A1LUキャプチャエンジンユニット (CEU) とCMOSカメラコネクタの接続 <ul style="list-style-type: none"> - Aptina 製 CMOS カメラ (MT9V024IA7XTCD ES) 用コネクタ×1個
2.20	デジタル映像信号入力インタフェース	RZ/A1LU VDC5用デジタル映像信号入力コネクタを搭載 <ul style="list-style-type: none"> - 汎用デジタル映像信号入力コネクタ : 20ピン MIL 規格コネクタ
—	操作仕様	コネクタ、スイッチ、LED (※第3章にて詳細説明)

2.2 CPU

2.2.1 RZ/A1LU 概要

RTK772103FC00000BR は、CPU クロック最大 400MHz で動作する 32 ビット RISC マイクロコンピュータ RZ/A1LU を実装しています。

2.2.2 RZ/A1LU 端子機能一覧

表 2.2.1～表 2.2.9 に、RTK772103FC00000BR で使用する RZ/A1LU 端子機能一覧を示します。

表 2.2.1 RZ/A1LU 端子機能選択一覧 (1)

ピン	端子名	端子機能	説明	備考
1	P5_3 / D3 / MMC_D7 / ET_TXD3 / DV0_DATA19 / LCD0_TCON3	D3	データバス	SW1-5:OFF
		MMC_D7	MMCスロットに接続	SW1-5:ON
2	P5_4 / D4 / RSPCK2 / SSISCK1 / DV0_DATA20	D4	データバス	
3	P5_5 / D5 / SSL20 / SSIWS1 / DV0_DATA21	D5	データバス	
4	P5_6 / D6 / MOSI2 / SSITxD1 / DV0_DATA22 / SCK2	D6	データバス	
5	P5_7 / D7 / MISO2 / SSIRxD1 / DV0_DATA23 / TxD2	D7	データバス	
6	P5_8 / D8 / CAN0RX / TIOC4A / IRQ3	D8	データバス	
7	Vcc			
8	P5_9 / D9 / CAN0TX / TIOC4B / IRQ4	D9	データバス	
9	Vss			
10	P5_10 / D10 / TIOC4C / IRQ5	D10	データバス	
11	PVcc			
12	P5_11 / D11 / TIOC4D / IRQ6	D11	データバス	
13	P5_12 / D12 / SSISCK2 / SCK4 / AUDIO_XOUT2	D12	データバス	
14	P5_13 / D13 / SSIWS2 / AUDIO_XOUT / AUDIO_XOUT3	D13	データバス	
15	P5_14 / D14 / SSIDATA2 / RxD4 / TIOC2A	D14	データバス	
16	P5_15 / D15 / SD_WP_1 / TxD4	D15	データバス	
17	P6_0 / D16 / LCD0_DATA8 / RSPCK0 / TCLKA / WDTOVF	RSPCK0	オーディオCODEC (WM8978) に接続	
18	Vss			
19	P6_1 / D17 / LCD0_DATA9 / SSL00 / TCLKB	SSL00	オーディオCODEC (WM8978) に接続	
20	P6_2 / D18 / LCD0_DATA10 / MOSI0 / TCLKC	MOSI0	オーディオCODEC (WM8978) に接続	
21	Vcc			
22	P6_3 / D19 / LCD0_DATA11 / MISO0 / TCLKD	P6_3	USB1へのVBUS0電源供給を制御	

【注】 : 3.3V 系電源、 : 1.18V 系電源、 : GND を示します。

表 2.2.2 RZ/A1LU 端子機能選択一覧 (2)

ピン	端子名	端子機能	説明	備考
23	Vss			
24	P6_4 / D20 / LCD0_DATA12 / SSISCK3 / AVB_CAPTURE	AVB_CAPTURE	Ethernet AVBインタフェースに接続	
25	PVcc			
26	P6_5 / D21 / LCD0_DATA13 / SSIWS3 / AVB_GPTP_EXTERN	P6_5	USB2へのVBUS1電源供給を制御	
27	P8_6 / LCD0_DATA6 / ET_TXEN / IRQ6 / CTS1 / TIOC0C	ET_TXEN	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
28	P8_7 / LCD0_DATA7 / ET_RXD0 / IRQ7 / RTS1 / TIOC0D	ET_RXD0	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
29	P8_8 / LCD0_TCON0 / ET_RXD1 / AUDIO_XOUT / SCK2 / AUDIO_XOUT3	ET_RXD1	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
30	P8_9 / LCD0_TCON1 / ET_RXD2 / CAN1TX / RxD2 / AUDIO_XOUT2	ET_RXD2	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
31	P6_6 / D22 / LCD0_DATA14 / SSITxD3 / AVB_COMP_MATCH	AVB_COMP_MATCH	Ethernet AVBインタフェースに接続	
32	P6_7 / D23 / LCD0_DATA15 / SSIRxD3 / IRQ0 / TIOC3A / TRACEDATA0	TRACEDATA0	UDIコネクタに接続	
33	P6_8 / D24 / LCD0_DATA16 / SSISCK0 / IRQ1 / TIOC3B / TRACEDATA1	TRACEDATA1	UDIコネクタに接続	
34	Vss			
35	P8_10 / LCD0_TCON2 / ET_RXD3 / CAN1RX / TxD2	ET_RXD3	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
36	PVcc			
37	P8_11 / LCD0_TCON3 / SSISCK2 / SCK4	P8_11	オーディオDAC (AK4353) に接続 PDN#制御	
38	P6_9 / D25 / LCD0_DATA17 / SSIWS0 / IRQ2 / TIOC3C / TRACEDATA2	TRACEDATA2	UDIコネクタに接続	
39	Vss			
40	P6_10 / D26 / LCD0_DATA18 / SSITxD0 / IRQ3 / TIOC3D / CAN1TX / TRACEDATA3	CAN1TX	CANトランシーバ2に接続	SW1-7:OFF
		TRACEDATA3	UDIコネクタに接続	SW1-7:ON
41	P6_11 / D27 / LCD0_DATA19 / SSIRxD0 / SSIDATA2 / SCK0 / CAN1RX / TRACECTL	CAN1RX	CANトランシーバ2に接続	
42	Vcc			
43	P6_12 / D28 / LCD0_DATA20 / RSPCK1 / SSISCK2 / RTS0 / DV0_DATA0	SSISCK2	オーディオDAC (AK4353) に接続	
44	Vss			
45	CKIO		SDRAMに接続	
46	P6_13 / D29 / LCD0_DATA21 / SSL10 / SSIWS2 / CTS0 / DV0_DATA1	SSIWS2	オーディオDAC (AK4353) に接続	

【注】 : 3.3V 系電源、 : 1.18V 系電源、 : GND を示します。

表 2.2.3 RZ/A1LU 端子機能選択一覧 (3)

ピン	端子名	端子機能	説明	備考
47	PVcc			
48	P6_14 / D30 / LCD0_DATA22 / MOSI1 / SSIDATA2 / RxD0 / DV0_DATA2	SSIDATA2	オーディオDAC (AK4353) に接続	
49	P6_15 / D31 / LCD0_DATA23 / MISO1 / TxD0 / DV0_DATA3	TxD0	USBシリアル変換ICを介して、 USB-microBコネクタに接続	
50	P7_0 / LCD0_EXTCLK / MMC_CD / SD_CD_1 / SPDIF_OUT / TIOC2A / DV0_DATA4 / SCI_SCK0 / TRACECLK	MMC_CD	MMCスロットに接続	SW1-7:OFF
		TRACECLK	UDIコネクタに接続	SW1-7:ON
51	P7_1 / CS1 / AUDIO_XOUT / SD_WP_1 / TxD2 / DV0_DATA5 / SCI_RXD0/IrRXD	SD_WP_1	MMCスロットに接続	
52	P7_2 / CS4 / MMC_D1 / SD_D1_1 / IRQ4 / CAN0RX / DV0_DATA6 / SCI_TXD0/IrTXD	MMC_D1	MMCスロットに接続	
53	P7_3 / CS5 / MMC_D0 / SD_D0_1 / IRQ3 / CAN0TX / DV0_DATA7 / SCI_CTS0/RTS0	MMC_D0	MMCスロットに接続	
54	Vss			
55	P7_4 / WAIT / MMC_CLK / SD_CLK_1 / LCD0_CLK / SCI_SCK1	MMC_CLK	MMCスロットに接続	
56	P7_5 / BS / MMC_CMD / SD_CMD_1 / TxD0 / LCD0_TCON4 / SCI_RXD1	MMC_CMD	MMCスロットに接続	
57	P7_6 / WE2/DQMUL / MMC_D3 / SD_D3_1 / IRQ6 / CTS2 / LCD0_TCON5 / SCI_TXD1	MMC_D3	MMCスロットに接続	
58	PVcc			
59	P7_7 / WE3/DQMUU/AH / MMC_D2 / SD_D2_1 / IRQ5 / RTS2 / LCD0_TCON6 / SCI_CTS1/RTS1	MMC_D2	MMCスロットに接続	
60	P7_8 / CS2 / SSISCK1 / DV0_CLK / IRQ3 / TxD0	SSISCK1	オーディオCODEC (WM8978) に接続	SW1-6:OFF
		DV0_CLK	デジタル映像信号入カウンタフェースに 接続	SW1-6:ON
61	P7_9 / A25 / SSIWS1 / DV0_VSYNC / IRQ5 / SCK3 / TIOC1A	SSIWS1	オーディオCODEC (WM8978) に接続	SW1-6:OFF
		DV0_VSYNC	デジタル映像信号入カウンタフェースに 接続	SW1-6:ON
62	P7_10 / TEND0 / SSITxD1 / DV0_HSYNC / RxD3	SSITxD1	オーディオCODEC (WM8978) に接続	SW1-6:OFF
		DV0_HSYNC	デジタル映像信号入カウンタフェースに 接続	SW1-6:ON
63	P7_11 / DACK0 / SSIRxD1 / CAN_CLK / SCK2 / TxD3 / AUDIO_XOUT / AUDIO_XOUT3	SSIRxD1	オーディオCODEC (WM8978) に接続	
64	P8_12 / LCD0_TCON4 / SPDIF_IN / SSIWS2 / RxD4	P8_12	LED1 (Dual LED) 赤に接続	Hi Active
65	Vss			
66	P8_13 / LCD0_TCON5 / SPDIF_OUT / SSIDATA2 / TxD4	P8_13	LED1 (Dual LED) 緑に接続	Hi Active
67	PVcc			




【注】  : 3.3V 系電源、  : 1.18V 系電源、  : GND を示します。

表 2.2.4 RZ/A1LU 端子機能選択一覧 (4)

ピン	端子名	端子機能	説明	備考
68	P2_0 / CS3 / SPDIF_IN / IRQ7	CS3	SDRAMに接続	
69	P2_1 / RAS / SPDIF_OUT / IRQ6	RAS	SDRAMに接続	
70	P8_14 / LCD0_TCON6 / ET_COL / SD_CD_0 / SCK1	ET_COL	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
71	P8_15 / ET_CRS / SD_WP_0 / RxD1	ET_CRS	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
72	P9_0 / ET_MDC / SD_D1_0 / TxD1	ET_MDC	LANインタフェースおよびEthernet AVB インタフェースに接続	
73	P9_1 / ET_MDIO / SD_D0_0 / CTS0	ET_MDIO	LANインタフェースおよびEthernet AVB インタフェースに接続	
74	Vcc			
75	P2_2 / CAS / CAN1RX / TIOC0C / IRQ5	CAS	SDRAMに接続	
76	P2_3 / CKE / CAN1TX / TIOC0D	CKE	SDRAMに接続	
77	Vss			
78	PVcc			
79	P0_0 / MD_BOOT0 / RxD0 / IRQ4	MD_BOOT0	ブートモード入力としてディップスイッ チに接続	P9_5:Low SW1-1
		RxD0	USBシリアル変換ICを介して、 USB-microBコネクタに接続	P9_5:Hi
80	P0_1 / MD_BOOT1 / RxD2 / SSIRxD3 / ADTRG	MD_BOOT1	ブートモード入力としてディップスイッ チに接続	P9_5:Low SW1-2
		P0_1	LANインタフェースに接続	P9_5:Hi JP4:1-2
			Ethernet AVBインタフェースに接続 INT入力	P9_5:Hi JP4:2-3
81	P0_2 / MD_CLK / RxD1 / IRQ7	P0_2	汎用入力としてディップスイッチに接続	P9_5:Low SW1-3
		MD_CLK	クロックモード入力としてディップスイ ッチに接続	P9_5:Hi SW2-1
82	P0_3 / MD_CLKS / RxD3 / SPDIF_IN	P0_3	汎用入力としてディップスイッチに接続	P9_5:Hi SW2-2
		MD_CLKS	クロック選択入力としてディップスイッ チに接続	P9_5:Low SW1-4
83	RTC_X1		RTC用発振子に接続	32.768kHz
84	RTC_X2		RTC用発振子に接続	
85	PLLvcc			
86	EXTAL		システムクロック用発振器に接続	13.33MHz
87	XTAL		オープン	
88	Vss			
89	Vss			
90	NMI		ノンマスクブル割り込みスイッチに接続	SW5
91	Vss			
92	RES		リセット入力スイッチに接続	SW8
93	PVcc			

【注】 : 3.3V系電源、 : 1.18V系電源、 : GNDを示します。

表 2.2.5 RZ/A1LU 端子機能選択一覧 (5)

ピン	端子名	端子機能	説明	備考
94	P1_8 / AN0 / IRQ0 / RxD0 / DV0_DATA4	DV0_DATA4	デジタル映像信号入カインタフェースに 接続	JP3:2-3
		AN0	4方向+センタプッシュ付きスイッチに接 続	JP3:1-2 SW7
95	P1_9 / AN1 / IRQ1 / RxD1 / DV0_DATA5	DV0_DATA5	デジタル映像信号入カインタフェースに 接続	
96	P1_10 / AN2 / IRQ2 / RxD2 / DV0_DATA6	DV0_DATA6	デジタル映像信号入カインタフェースに 接続	
97	P1_11 / AN3 / IRQ3 / RxD3 / DV0_DATA7	DV0_DATA7	デジタル映像信号入カインタフェースに 接続	
98	P1_12 / AN4 / IRQ4 / ET_RXD0 / VIO_D4	VIO_D4	CMOSカメラインタフェースに接続	
99	P1_13 / AN5 / IRQ5 / ET_RXD1 / VIO_D5	VIO_D5	CMOSカメラインタフェースに接続	
100	P1_14 / AN6 / IRQ6 / ET_RXD2 / VIO_D6	VIO_D6	CMOSカメラインタフェースに接続	
101	P1_15 / AN7 / IRQ7 / ET_RXD3 / VIO_D7	VIO_D7	CMOSカメラインタフェースに接続	
102	AVcc			
103	AVss			
104	AVref		ADCのアナログ基準電圧	
105	BSCANP		バウンダリスキャンモード設定端子とし てディップスイッチに接続	SW2-4
106	PVcc			
107	AUDIO_X1		オーディオ用クロック発振器に接続	22.5792MHz
108	AUDIO_X2		オープン	
109	Vss			
110	P2_4 / WE0/DQMLL / TIOC4A	WE0/DQMLL	SDRAMに接続	
111	Vcc			
112	P2_5 / WE1/WE/DQMLU / TIOC3A	WE1/WE/DQMLU	SDRAMに接続	
113	TRST		UDIコネクタに接続	
114	JP0_1 / TDO	TDO	UDIコネクタに接続	
115	JP0_0 / TDI	TDI	UDIコネクタに接続	
116	TMS		UDIコネクタに接続	
117	TCK		UDIコネクタに接続	
118	Vss			
119	P3_0 / A1 / SD_D2_0 / LCD0_DATA0 / ET_TXCLK	A1	アドレスバス	SW1-5:OFF
		SD_D2_0	microSDカードスロットに接続	SW1-5:ON
120	P3_1 / A2 / SD_D3_0 / LCD0_DATA1 / ET_TXER	A2	アドレスバス	SW1-5:OFF
		SD_D3_0	microSDカードスロットに接続	SW1-5:ON
121	Vcc			
122	P3_2 / A3 / SD_CMD_0 / LCD0_DATA2 / ET_TXEN	A3	アドレスバス	SW1-5:OFF
		SD_CMD_0	microSDカードスロットに接続	SW1-5:ON

【注】 : 3.3V 系電源、 : 1.18V 系電源、 : GND を示します。

表 2.2.6 RZ/A1LU 端子機能選択一覧 (6)

ピン	端子名	端子機能	説明	備考
123	Vss			
124	P3_3 / A4 / SD_CLK_0 / LCD0_DATA3 / ET_RXCLK	A4	アドレスバス	SW1-5:OFF
		SD_CLK_0	microSDカードスロットに接続	SW1-5:ON
125	PVcc			
126	P3_4 / A5 / SD_D0_0 / LCD0_DATA4 / ET_RXER	A5	アドレスバス	SW1-5:OFF
		SD_D0_0	microSDカードスロットに接続	SW1-5:ON
127	P9_2 / RSPCK2 / ET_RXCLK / SD_CLK_0 / RTS0 / TIOC1A	ET_RXCLK	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
128	Vss			
129	P9_3 / SSL20 / ET_RXER / SD_CMD_0 / SCK0 / TIOC1B	ET_RXER	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
130	PVcc			
131	P3_5 / A6 / SD_D1_0 / LCD0_DATA5 / ET_RXDV	A6	アドレスバス	SW1-5:OFF
		SD_D1_0	microSDカードスロットに接続	SW1-5:ON
132	P3_6 / A7 / SD_WP_0 / LCD0_DATA6 / ET_COL	A7	アドレスバス	SW1-5:OFF
		SD_WP_0	microSDカードのライトプロテクトとしてディップスイッチに接続	SW1-5:ON
133	P3_7 / A8 / SD_CD_0 / LCD0_DATA7 / ET_CRS	A8	アドレスバス	SW1-5:OFF
		SD_CD_0	microSDカードスロットに接続	SW1-5:ON
134	Vss			
135	P9_4 / MOSI2 / ET_RXDV / SD_D3_0 / RxD0 / TIOC2A	ET_RXDV	LANインタフェースに接続	SW1-8:ON
			Ethernet AVBインタフェースに接続	SW1-8:OFF
136	PVcc			
137	P9_5 / MISO2 / SD_D2_0 / TxD0 / TIOC2B	P9_5	P0_[3:0]の接続先制御 Low : システム設定SW1 Hi : ユーザI/O	
138	P3_8 / A9 / AUDIO_CLK / DV0_DATA8 / SCK3	A9	アドレスバス	JP1:1-2
		AUDIO_CLK	Ethernet AVBインタフェースに接続	JP1:2-3
139	P3_9 / A10 / SPDIF_OUT / DV0_DATA9 / TxD3	A10	アドレスバス	
140	Vss			
141	P3_10 / A11 / SPBIO01_0 / TIOC3B / DV0_DATA10 / RxD3	A11	アドレスバス	R4:実装
		SPBIO01_0	シリアルフラッシュメモリ2に接続	
142	P3_11 / A12 / SPBIO11_0 / TIOC3A / DV0_DATA11	A12	アドレスバス	R5:実装
		SPBIO11_0	シリアルフラッシュメモリ2に接続	
143	Vcc			
144	P3_12 / A13 / SPBIO21_0 / TIOC3C / DV0_DATA12	A13	アドレスバス	R6:実装
		SPBIO21_0	シリアルフラッシュメモリ2に接続	
145	Vss			
146	P3_13 / A14 / SPBIO31_0 / TIOC3D / DV0_DATA13	A14	アドレスバス	R7:実装
		SPBIO31_0	シリアルフラッシュメモリ2に接続	
147	PVcc			
148	P3_14 / A15 / VIO_CLK / SPDIF_IN / DV0_DATA14 / SCK1 / AUDIO_XOUT2	A15	アドレスバス	JP2:1-2
		VIO_CLK	CMOSカメラインタフェースに接続	JP2:2-3

【注】 : 3.3V系電源、 : 1.18V系電源、 : GNDを示します。

表 2.2.7 RZ/A1LU 端子機能選択一覧 (7)

ピン	端子名	端子機能	説明	備考
149	P1_0 / RIIC0SCL / IRQ4 / ET_RXD0 / DV0_DATA0	RIIC0SCL	オーディオDAC (AK4353) に接続	SW1-6:OFF
		DV0_DATA0	デジタル映像信号入カインタフェースに 接続	SW1-6:ON
150	P1_1 / RIIC0SDA / IRQ5 / ET_RXD1 / DV0_DATA1	RIIC0SDA	オーディオDAC (AK4353) に接続	SW1-6:OFF
		DV0_DATA1	デジタル映像信号入カインタフェースに 接続	SW1-6:ON
151	P1_2 / RIIC1SCL / IRQ6 / ET_RXD2 / DV0_DATA2	RIIC1SCL	CMOSカメラインタフェースおよび Ethernet AVBインタフェースに接続	SW1-6:OFF
		DV0_DATA2	デジタル映像信号入カインタフェースに 接続	SW1-6:ON
152	P1_3 / RIIC1SDA / IRQ7 / ET_RXD3 / DV0_DATA3	RIIC1SDA	CMOSカメラインタフェースおよび Ethernet AVBインタフェースに接続	SW1-6:OFF
		DV0_DATA3	デジタル映像信号入カインタフェースに 接続	SW1-6:ON
153	P1_4 / RIIC2SCL / IRQ0 / DREQ0 / VIO_D0	VIO_D0	CMOSカメラインタフェースに接続	
154	P1_5 / RIIC2SDA / IRQ1 / VIO_D1	VIO_D1	CMOSカメラインタフェースに接続	
155	P1_6 / RIIC3SCL / IRQ2 / SSIRxD0 / VIO_D2	VIO_D2	CMOSカメラインタフェースに接続	
156	P1_7 / RIIC3SDA / IRQ3 / RxD2 / VIO_D3	VIO_D3	CMOSカメラインタフェースに接続	
157	P3_15 / A16 / VIO_FLD / DV0_DATA15 / TxD1	P3_15	CMOSカメラインタフェースに接続 リセット制御	
158	P2_6 / RDWR / SSIRxD3 / TIOC2A	RDWR	SDRAMに接続	
159	P2_7 / CS0 / SSISCK3 / TIOC1A / IRQ2	IRQ2	割り込みスイッチに接続	SW6
160	P2_8 / RD / SSITxD3 / TIOC0A / CAN0TX	CAN0TX	CANトランシーバ1に接続	
161	P2_9 / A0 / SSIWS3 / SCK0 / IRQ1 / CAN0RX	CAN0RX	CANトランシーバ1に接続	
162	Vss			
163	USB_X1		USB用発振子に接続	48MHz
164	USB_X2		USB用発振子に接続	
165	USBDPVcc		トランシーバ部デジタル端子電源	
166	USBDPVss			
167	DM1		USB2差動信号D-データ	
168	DP1		USB2差動信号D+データ	
169	VBUSIN1		USB2VBUS入力	JP6
170	USBDVcc		トランシーバ部デジタルコア電源	
171	USBDVss			
172	USBDPVcc		トランシーバ部デジタル端子電源	
173	USBDPVss			
174	DM0		USB1差動信号D-データ	
175	DP0		USB1差動信号D+データ	

【注】 : 3.3V 系電源、 : 1.18V 系電源、 : GND を示します。




表 2.2.8 RZ/A1LU 端子機能選択一覧 (8)

ピン	端子名	端子機能	説明	備考
176	VBUSIN0		USB1VBUS入力	JP5
177	USBDVcc		トランシーバ部デジタルコア電源	
178	USBDVss			
179	REFRIN		リファレンス入力	5.6kΩ ±1%
180	USBAPVss			
181	USBAPVcc		トランシーバ部アナログ端子電源	
182	USBAVcc		トランシーバ部アナログコア電源	
183	USBAVss			
184	USBUVcc		USB2.0ホスト/ファンクションモジュール 480MHz用電源	
185	USBUVss			
186	Vss			
187	Vss			
188	P4_0 / A17 / VIO_VD / TIOC1B / ET_MDC / CTS1	VIO_VD	CMOSカメラインタフェースに接続	
189	P4_1 / A18 / VIO_HD / TIOC2B / ET_MDIO / RTS1	VIO_HD	CMOSカメラインタフェースに接続	
190	P4_2 / A19 / SPBIO20_0	SPBIO20_0	シリアルフラッシュメモリ1に接続	
191	P4_3 / A20 / SPBIO30_0	SPBIO30_0	シリアルフラッシュメモリ1に接続	
192	P8_0 / LCD0_DATA0 / ET_TXD0 / SSISCK1 / SCK3	ET_TXD0	LANインタフェースに接続 Ethernet AVBインタフェースに接続	SW1-8:ON SW1-8:OFF
193	Vss			
194	P8_1 / LCD0_DATA1 / ET_TXD1 / SSIWS1 / RxD3	ET_TXD1	LANインタフェースに接続 Ethernet AVBインタフェースに接続	SW1-8:ON SW1-8:OFF
195	PVcc			
196	P4_4 / A21 / SPBCLK_0	SPBCLK_0	シリアルフラッシュメモリ1およびシリアルフラッシュメモリ2に接続	
197	P4_5 / A22 / SPBSSL_0	SPBSSL_0	シリアルフラッシュメモリ1およびシリアルフラッシュメモリ2に接続	
198	P8_2 / LCD0_DATA2 / ET_TXD2 / SSITxD1 / TxD3	ET_TXD2	LANインタフェースに接続 Ethernet AVBインタフェースに接続	SW1-8:ON SW1-8:OFF
199	P8_3 / LCD0_DATA3 / ET_TXD3 / SSIRxD1	ET_TXD3	LANインタフェースに接続 Ethernet AVBインタフェースに接続	SW1-8:ON SW1-8:OFF
200	P8_4 / LCD0_DATA4 / ET_TXCLK / CTS2 / TIOC0A	ET_TXCLK	LANインタフェースに接続 Ethernet AVBインタフェースに接続	SW1-8:ON SW1-8:OFF
201	P8_5 / LCD0_DATA5 / ET_TXER / RTS2 / TIOC0B	ET_TXER	LANインタフェースに接続 Ethernet AVBインタフェースに接続	SW1-8:ON SW1-8:OFF
202	P4_6 / A23 / SPBIO00_0	SPBIO00_0	シリアルフラッシュメモリ1に接続	
203	Vss			
204	P4_7 / A24 / SPBIO10_0	SPBIO10_0	シリアルフラッシュメモリ1に接続	
205	P5_0 / D0 / MMC_D4 / ET_TXD0 / DV0_DATA16 / LCD0_TCON0	D0 MMC_D4	データバス MMCスロットに接続	SW1-5:OFF SW1-5:ON

【注】 : 3.3V系電源、 : 1.18V系電源、 : GNDを示します。

表 2.2.9 RZ/A1LU 端子機能選択一覧 (9)

ピン	端子名	端子機能	説明	備考
206	PVcc			
207	P5_1 / D1 / MMC_D5 / ET_TXD1 / DV0_DATA17 / LCD0_TCON1	D1	データバス	SW1-5:OFF
		MMC_D5	MMCスロットに接続	SW1-5:ON
208	P5_2 / D2 / MMC_D6 / ET_TXD2 / DV0_DATA18 / LCD0_TCON2	D2	データバス	SW1-5:OFF
		MMC_D6	MMCスロットに接続	SW1-5:ON

【注】  : 3.3V 系電源、  : 1.18V 系電源、  : GND を示します。

2.2.3 RTK772103FC00000BR モジュール使用関係一覧

表 2.2.10 に、RTK772103FC00000BR のモジュール別使用可否一覧表を示します。表中の○印は両モジュールが併用可能なことを示し、×印は併用不可能なことを示します。

表 2.2.10 RTK772103FC00000BR モジュール別使用可否一覧表

		RTK772103FC00000BR																		
RZ/A1LU 周辺機能	部品No.	モジュール名	SDRAM (CS3接続)	シリアルフラッシュメモリ (SPIBSC接続)	Ethernet PHY	Ethernet AVBインタフェース	オーディオ CODEC	オーディオ DAC	CANトランシーバ	USB	microSDカードスロット (4ビット)	MMCスロット (8ビット)	シリアルポート	CoreSight 20	ARM JTAG 20	CMOSカメラ	デジタル映像入力	IRQ2	4方向+センタプッシュ付きスイッチ	
BSC	U9	SDRAM (CS3接続)	×	*3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SPIBSC	U11、U12	シリアルフラッシュメモリ (SPIBSC接続)	*3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
ETHER	U16	Ethernet PHY	○	○	○	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
ETHER	J1	Ethernet AVBインタフェース	×	○	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SSIF, RSPI	U20	オーディオCODEC	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SSIF, RIIC	U21	オーディオDAC	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
RSCAN	U22、U24	CANトランシーバ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
USB	J4、J7	USB	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SDHI0	J11	microSDカードスロット (4ビット)	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SDHI1, MMCIF	J13	MMCスロット (8ビット)	×	○	○	○	○	○	○	○	○	○	○	○	*2	○	○	○	○	○
SCIF	J14	シリアルポート	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
UDI	J16	CoreSight 20	○	○	○	○	○	○	○	*2	○	○	*2	○	○	○	○	○	○	○
UDI	J17	ARM JTAG 20	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
RIIC, CEU	J18	CMOSカメラ	*1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
VDC5	J19	デジタル映像入力	○	○	○	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○
INTC	SW6	IRQ2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
ADC	SW7	4方向+センタプッシュ付きスイッチ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

*1: A15とVIO_CLKがマルチプレクス端子です。CMOSカメラを使用する場合、SDRAMは32Mバイトのみ使用できます

*2: トレース機能を使用しない場合は併用できます

*3: シリアルフラッシュメモリ2(U12)を使用しない場合は併用できます

2.3 メモリ

RTK772103FC00000BR は、RZ/A1LU の内蔵 RAM の他、外部メモリとして、SDRAM、シリアルフラッシュメモリを搭載しています。

以下に詳細を示します。

2.3.1 RZ/A1LU 内蔵メモリ

RZ/A1LU は、3M バイトの大容量内蔵 RAM (内 128K バイトを保持用内蔵 RAM と共用) を搭載しています。

2.3.2 SDRAM

RTK772103FC00000BR は、外部 SDRAM として、表 2.3.1 に示す SDRAM×1 個を標準実装しています。SDRAM の制御は、RZ/A1LU 内蔵のバスステートコントローラ (BSC) で行います。SDRAM とは 16 ビット幅で接続しています。なお、A9 端子は Ethernet AVB インタフェースの AUDIO_CLK 端子と、A15 端子は CMOS カメラインタフェースの VIO_CLK 端子と、A1～A8 は SDHI 端子と共用端子のため、SDRAM を使用する場合は、JP1、JP2 および SW1-5 を設定する必要があります。

図 2.3.1 に SDRAM のブロック図を、表 2.3.2 にシステム設定用ディップスイッチ SW1-5 の機能設定表を、表 2.3.3 にジャンパ JP1、JP2 の機能設定表を示します。

また、表 2.3.4 に RZ/A1LU のバスクロックが 66.67MHz 動作時のバスステートコントローラ設定 (SDRAM リード・ライト) を示します。

表 2.3.1 SDRAM 概要

仕様	内容
型名	IS42S16320F-7TL
構成	64Mバイト (8Mワード×16ビット×4バンク) ×1個
容量	64Mバイト
アクセス時間	5.4ns
CASレイテンシ	2 (システムクロック66.67MHz時)
リフレッシュ間隔	64ms毎の8192リフレッシュサイクル
ロウアドレス	A12～A0
カラムアドレス	A9～A0
バンク数	BA0、BA1で制御する4バンク動作

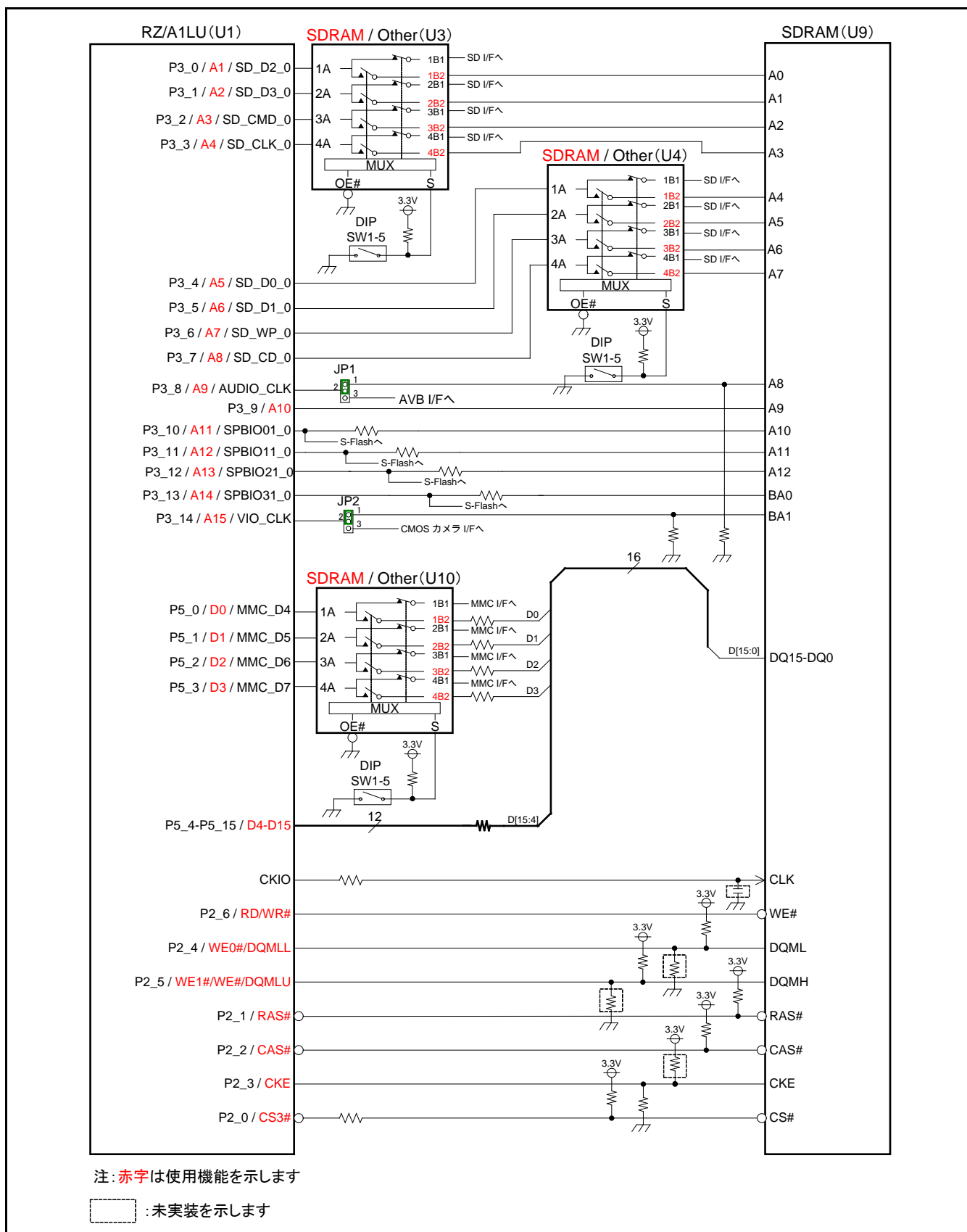


図 2.3.1 SDRAM ブロック図

表 2.3.2 システム設定用ディップスイッチ SW1-5 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-5	P3_[7:0]をSDHI端子、P5_[3:0]をMMC端子として 使用	P3_[7:0]をアドレス端子、P5_[3:0]をデータ端子と して使用（初期設定）

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.3.3 ジャンパ JP1、JP2 機能設定表

ジャンパ	機能	
	1-2	2-3
JP1	P3_8をA9出力端子として使用（初期設定）	P3_8をAUDIO_CLK入力端子として使用
JP2	P3_14をA15出力端子として使用（初期設定）	P3_14をVIO_CLK入力端子として使用

【注】 は設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.3.4 バスステートコントローラ設定 (SDRAM リード・ライト)

ユーザ領域	対象デバイス	バスステートコントローラ設定
CS3	IS42S16320F-7TL	<p>■ CSn空間バスコントロールレジスタ (CS3BCR)</p> <ul style="list-style-type: none"> ・初期値 : H'36DB 0E00 (ブートモード1~3の場合) ・推奨設定値 : H'0000 4C00 - メモリ指定 : TYPE[2:0] = B'100 ; SDRAM - データバス幅指定 : BSZ[1:0] = B'10 ; 16ビットバス幅 <p>■ CSn空間ウェイトコントロールレジスタ (CS3WCR)</p> <ul style="list-style-type: none"> ・初期値 : H'0000 0500 ・推奨設定値 : H'0000 248A (CS3) ※ (RZ/A1Lの電気的特性にて算出) - プリチャージ完了待ちサイクル数 : WTRP[1:0] = B'01 ; 1サイクル - ACTVコマンド→READ (A) /WRIT (A) コマンド間ウェイトサイクル数 : WTRCD[1:0] = B'01 ; 1サイクル - エリア3CASレイテンシ : A3CL[1:0] = B'01 ; 2サイクル - プリチャージ起動待ちサイクル数 : TRWL[1:0] = B'01 ; 1サイクル - REFコマンド/セルフリフレッシュ解除→ACTV/REF/MRSコマンド間アイドルサイクル数 : WTRC[1:0] = B'10 ; 5サイクル <p>■ SDRAMコントロールレジスタ (SDCR)</p> <ul style="list-style-type: none"> ・初期値 : H'0000 0000 ・推奨設定値 : H'0012 0812 - リフレッシュ制御 : RFSH = 1 ; リフレッシュする - リフレッシュ制御 : RMODE = 0 ; オートリフレッシュを行う - バンクアクティブモード : BACTV = 0 ; オートプリチャージモード - エリア3ロウアドレスビット数 : A3ROW[1:0] = B'10 ; 13ビット - エリア3コラムアドレスビット数 : A3COL[1:0] = B'10 ; 10ビット <p>■ リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)</p> <ul style="list-style-type: none"> ・初期値 : H'0000 0000 ・推奨設定値 : H'A55A 0010 - クロックセレクト : CKS[2:0] = B'010 ; CKIO ϕ /16 - リフレッシュ回数 : RRC[2:0] = B'000 ; 1回 <p>■ リフレッシュタイムコンスタントレジスタ (RTCOR)</p> <ul style="list-style-type: none"> ・初期値 : H'0000 0000 ・推奨設定値 : H'A55A 0020 1サイクル=240nsec (66.67MHz/16 = 4.166875MHz) 本SDRAMのリフレッシュ要求間隔 : 7.8125 μ sec / 回 7.8125 μ sec / 240nsec = 32 (H'20) サイクル / リフレッシュ回数

2.3.3 シリアルフラッシュメモリ

RTK772103FC00000BR は、表 2.3.5 に示すシリアルフラッシュメモリ×2 個を標準実装しています。シリアルフラッシュメモリの制御は、RZ/A1LU 内蔵の SPI マルチ I/O バスコントローラ (SPIBSC) で行います。ブート時 (ブートモード) にはシリアルフラッシュメモリからデータ (プログラム) を読み出します。

図 2.3.2 にシリアルフラッシュメモリのブロック図を示します。

表 2.3.5 シリアルフラッシュメモリ概要

型名	RZ/A1LU との接続インターフェース	容量	パッケージ
MX25L51245G	6線式シリアル (SPIBSC)	64Mバイト	16ピン SOIC

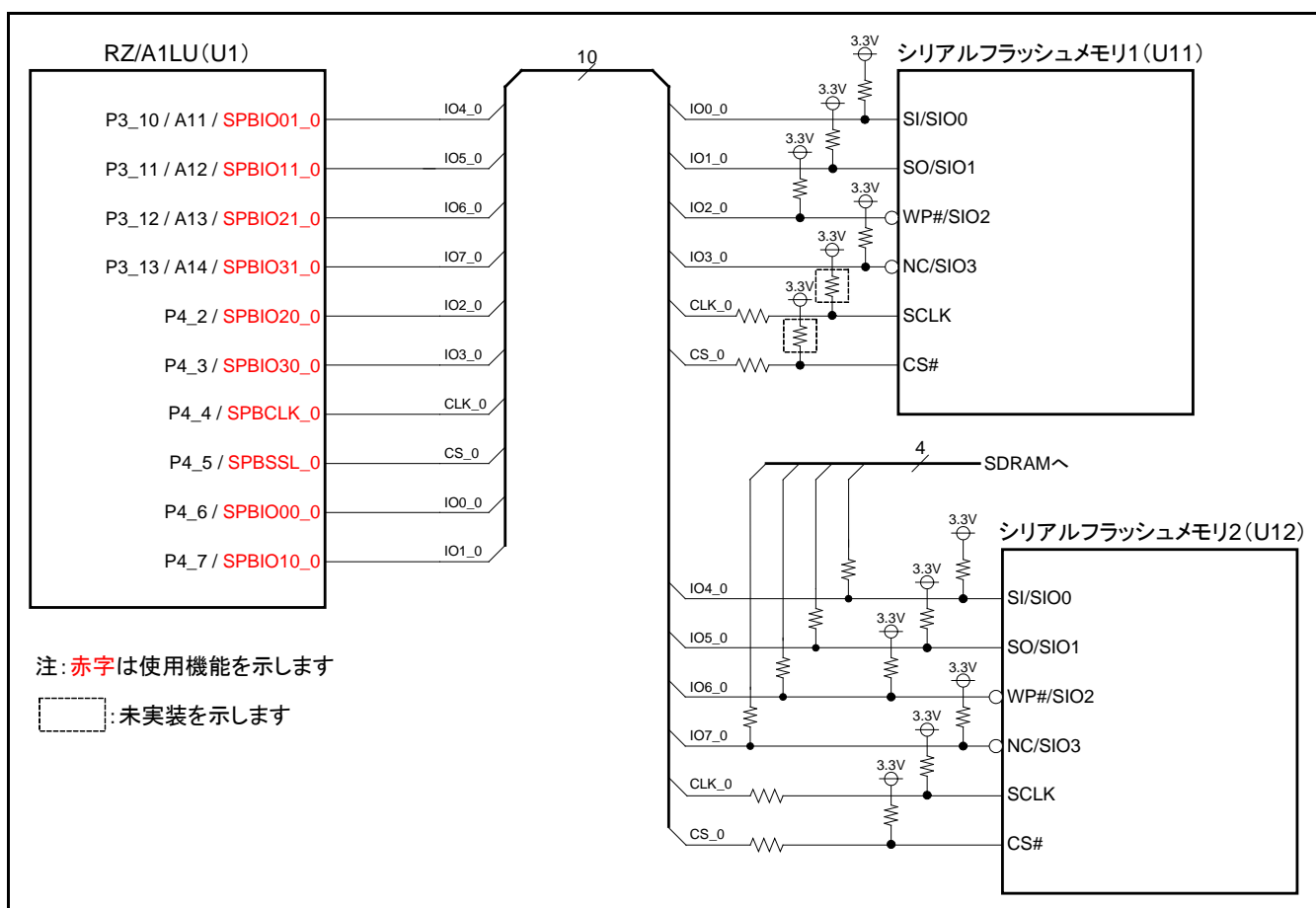


図 2.3.2 シリアルフラッシュメモリブロック図

2.4 USB インタフェース

RTK772103FC00000BR は、USB コネクタとして USB シリーズ A レセプタクル×2 個を標準実装しています。また、USB ホスト/ファンクションモジュールの評価用に、Mini-B レセプタクルを実装可能な基板パターンとしています。Mini-B レセプタクルを実装する場合は、USB シリーズ A レセプタクルの取り外しが必要です。

USB ホストとして使用する場合は、USB コネクタに VBUS 電源を供給するため、P6_3 および P6_5 を設定し、JP5 および JP6 を取り付けてください。USB ファンクションとして使用する場合は、JP5 および JP6 を取り外してください。

図 2.4.1 に USB インタフェースのブロック図を、表 2.4.1 にジャンパ JP5、JP6 の機能設定表を、表 2.4.2 に VBUS 電源供給端子 P6_3、P6_5 の機能設定表を示します。

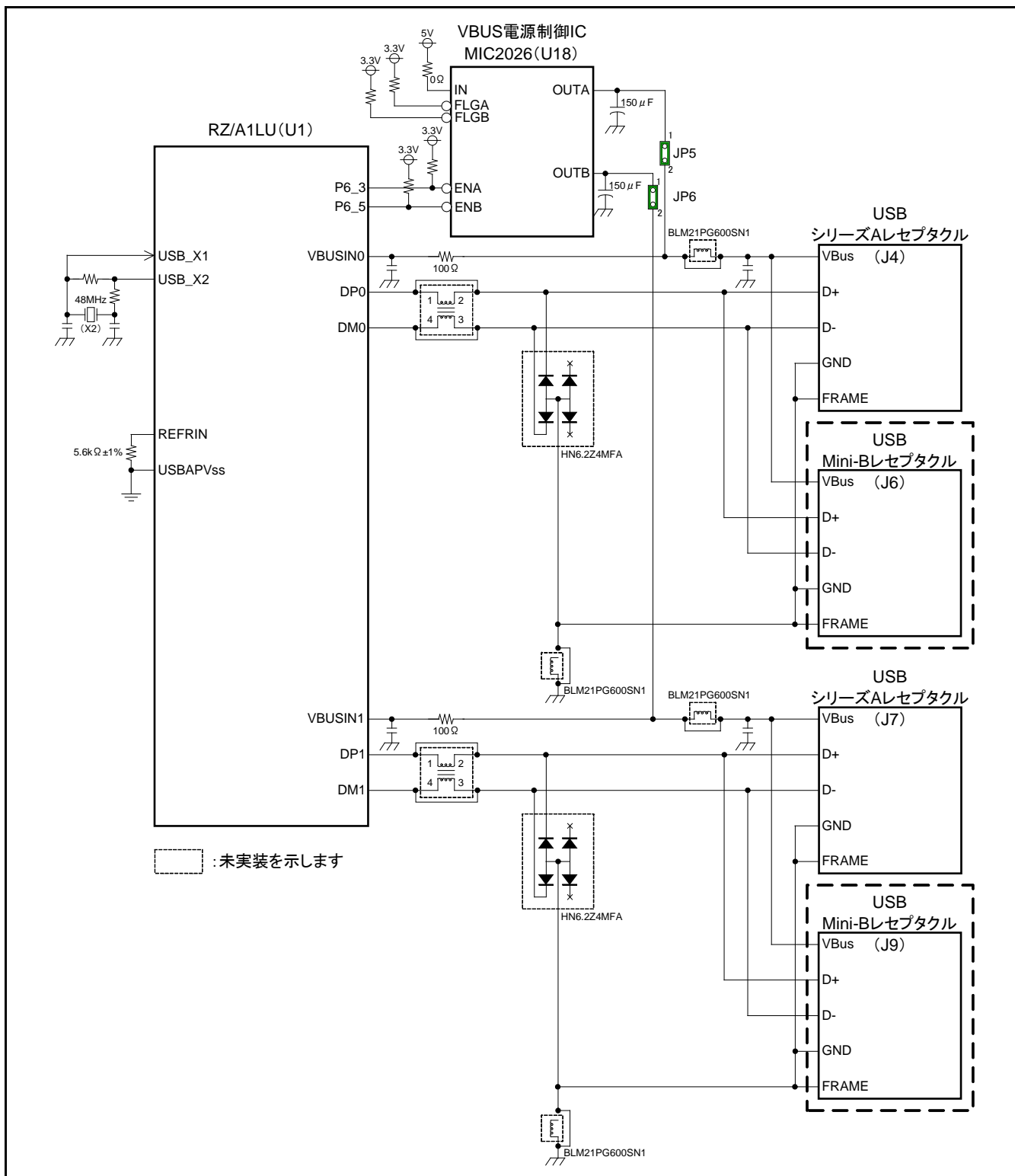


図 2.4.1 USB インタフェースブロック図

表 2.4.1 ジャンパ JP5、JP6 機能設定表

ジャンパ	機能	
	1-2	None
JP5	VBUS0電源を供給する (初期設定)	VBUS0電源を供給しない
JP6	VBUS1電源を供給する (初期設定)	VBUS1電源を供給しない

【注】 は設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.4.2 VBUS 電源供給端子 P6_3、P6_5 機能設定表

端子	機能	
	Hi	Low
P6_3	VBUS0電源を供給しない (初期設定)	VBUS0電源を供給する
P6_5	VBUS1電源を供給しない (初期設定)	VBUS1電源を供給する

【注】 は設定機能を示します。

2.5 シリアルインタフェース

RTK772103FC00000BR では、RZ/A1LU 内蔵の FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) チャンネル 0 を、USB シリアル変換 IC (RL78/G1C) を介してシリアルポートコネクタ (USB Micro-B) (J14) に接続しています。

図 2.5.1 にシリアルインタフェースのブロック図を、表 2.5.1 にシステム設定制御用端子 P9_5 の機能設定表を示します。

なお、ホストコンピュータの USB コネクタと、RTK772103FC00000BR のシリアルポートコネクタ (J14) を接続してシリアル通信を行うには、ホストコンピュータに USB シリアル変換 IC 用ドライバをインストールする必要があります。

以下の URL から inf ファイルをダウンロードして、ホストコンピュータにインストールしてください。

http://japan.renesas.com/products/tools/introductory_tools/starterkits_evaluation_boards/jasmine_avb/index.jsp

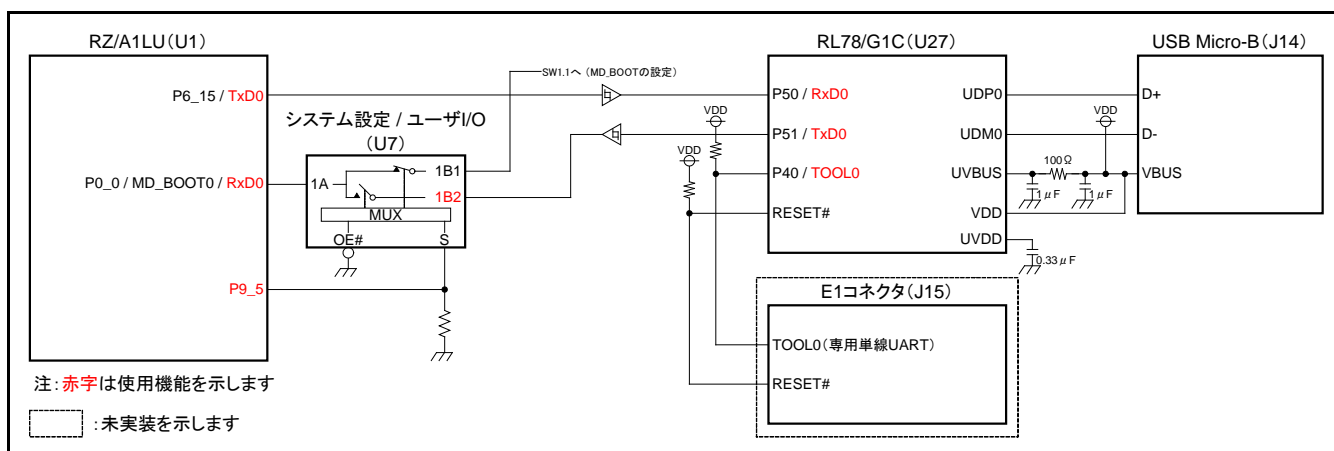


図 2.5.1 シリアルインタフェースブロック図

表 2.5.1 システム設定制御用端子 P9_5 機能設定表

端子	機能	
	Hi	Low
P9_5	P0_0をRxD0入力端子として使用	P0_0を入力端子として使用 (初期設定)

【注】 は設定機能を示します。

2.6 入出力ポート

RTK772103FC00000BR では、RZ/A1LU の I/O ポートを LED およびディップスイッチに接続しています。図 2.6.1 に入出力ポートのブロック図を、表 2.6.1 にシステム設定制御用端子 P9_5 の機能設定表を示します。

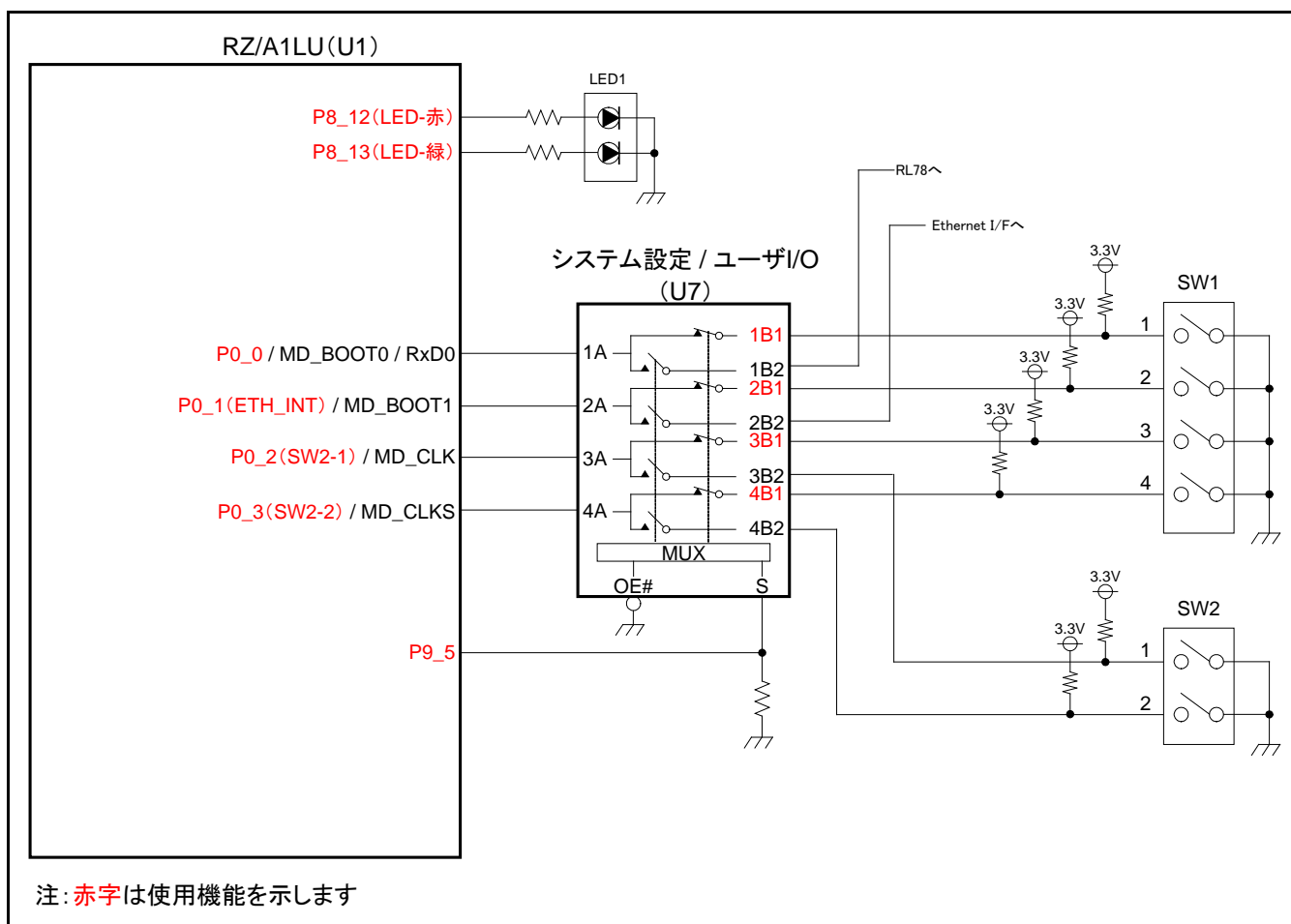


図 2.6.1 入出力ポートブロック図

表 2.6.1 システム設定制御用端子 P9_5 機能設定表

端子	機能	
	Hi	Low
P9_5	P0_[3:0]を入出力ポート端子として使用	P0_[3:0]をシステム設定用端子として使用 (初期設定)

【注】 は設定機能を示します。

2.7 割り込みスイッチ

RTK772103FC00000BR は、RZ/A1LU の NMI、IRQ2 割り込み信号入力用プッシュスイッチ (SW5、SW6) を実装しています。

図 2.7.1 に割り込みスイッチのブロック図を示します。

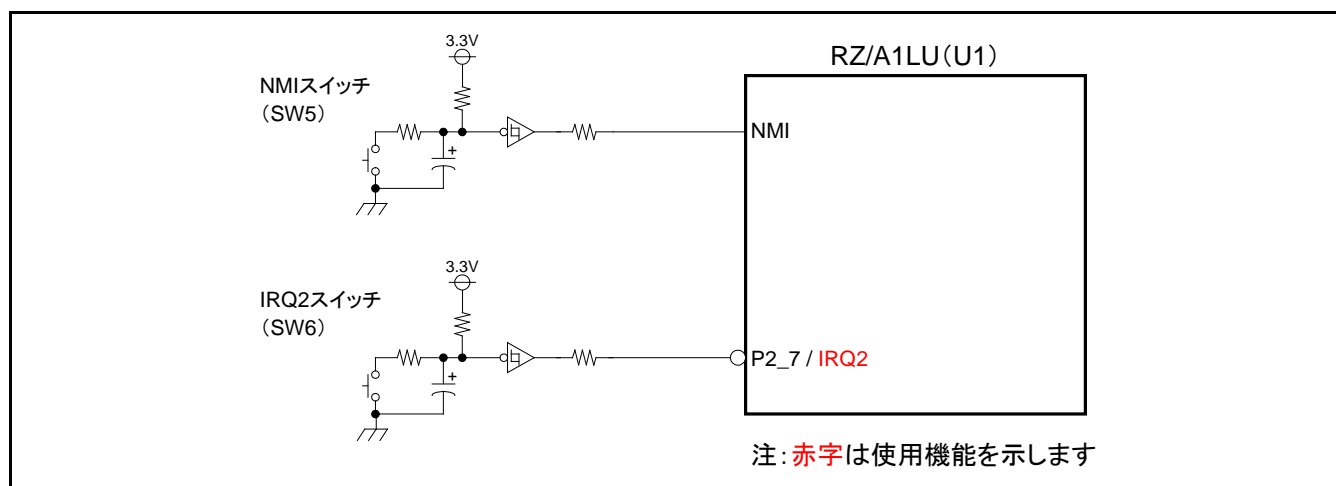


図 2.7.1 割り込みスイッチブロック図

2.8 クロック構成

RTK772103FC00000BR 上の RZ/A1LU には、以下 4 種類のクロックを入力します。

- ・ RZ/A1LU 入力クロック : 13.33MHz
- ・ RZ/A1LU RTC 用クロック : 32.768kHz
- ・ RZ/A1LU USB 用クロック : 48MHz
- ・ RZ/A1LU オーディオ用クロック : 22.5792MHz

図 2.8.1 にクロック構成のブロック図を示します。

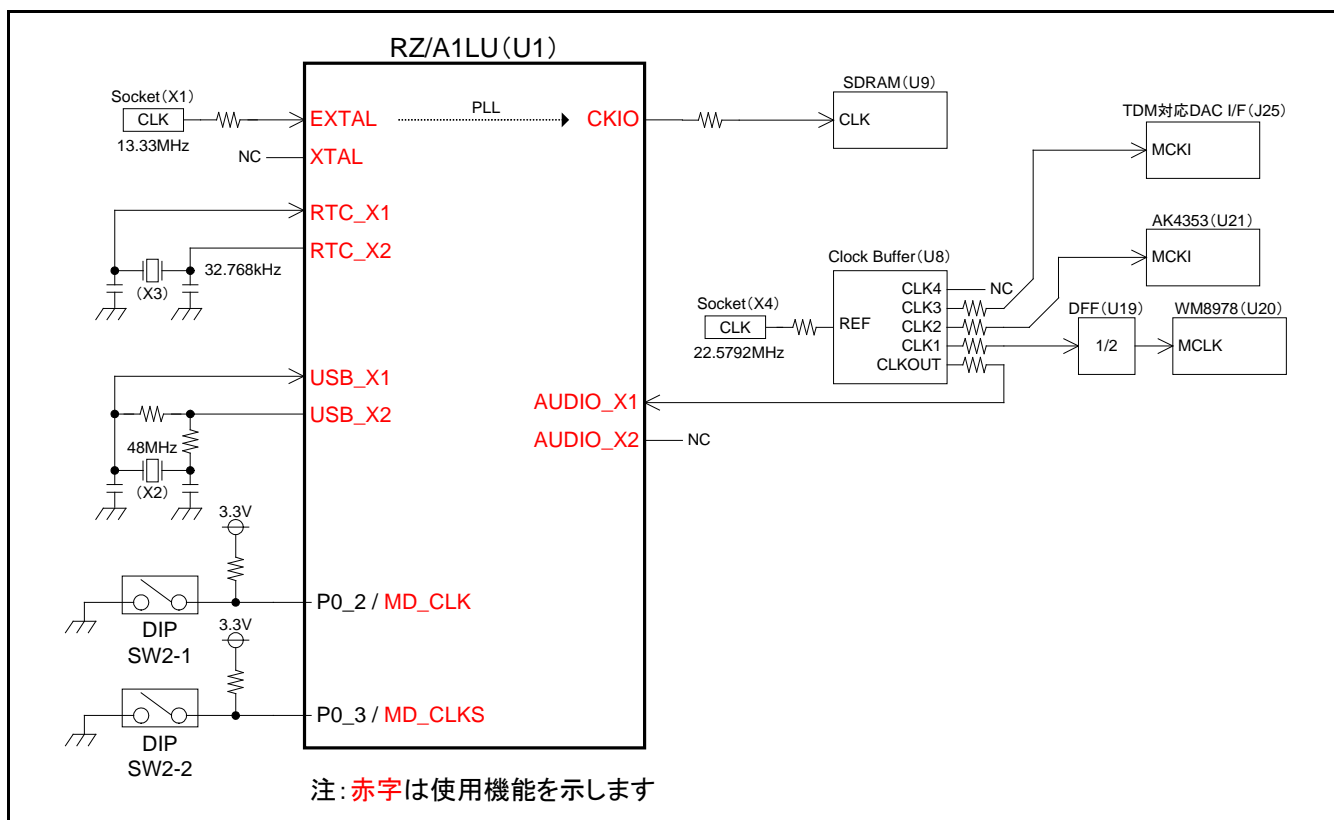


図 2.8.1 クロック構成ブロック図

2.9 リセット制御

RTK772103FC00000BR では、リセット IC により、RZ/A1LU、シリアルフラッシュメモリ、各種コネクタ、Ethernet PHY に接続されるリセット信号の制御を行います。

システムリセットには、パワーオンリセット、スイッチによるリセットの 2 種類があります。

図 2.9.1 に、リセット制御のブロック図を示します。

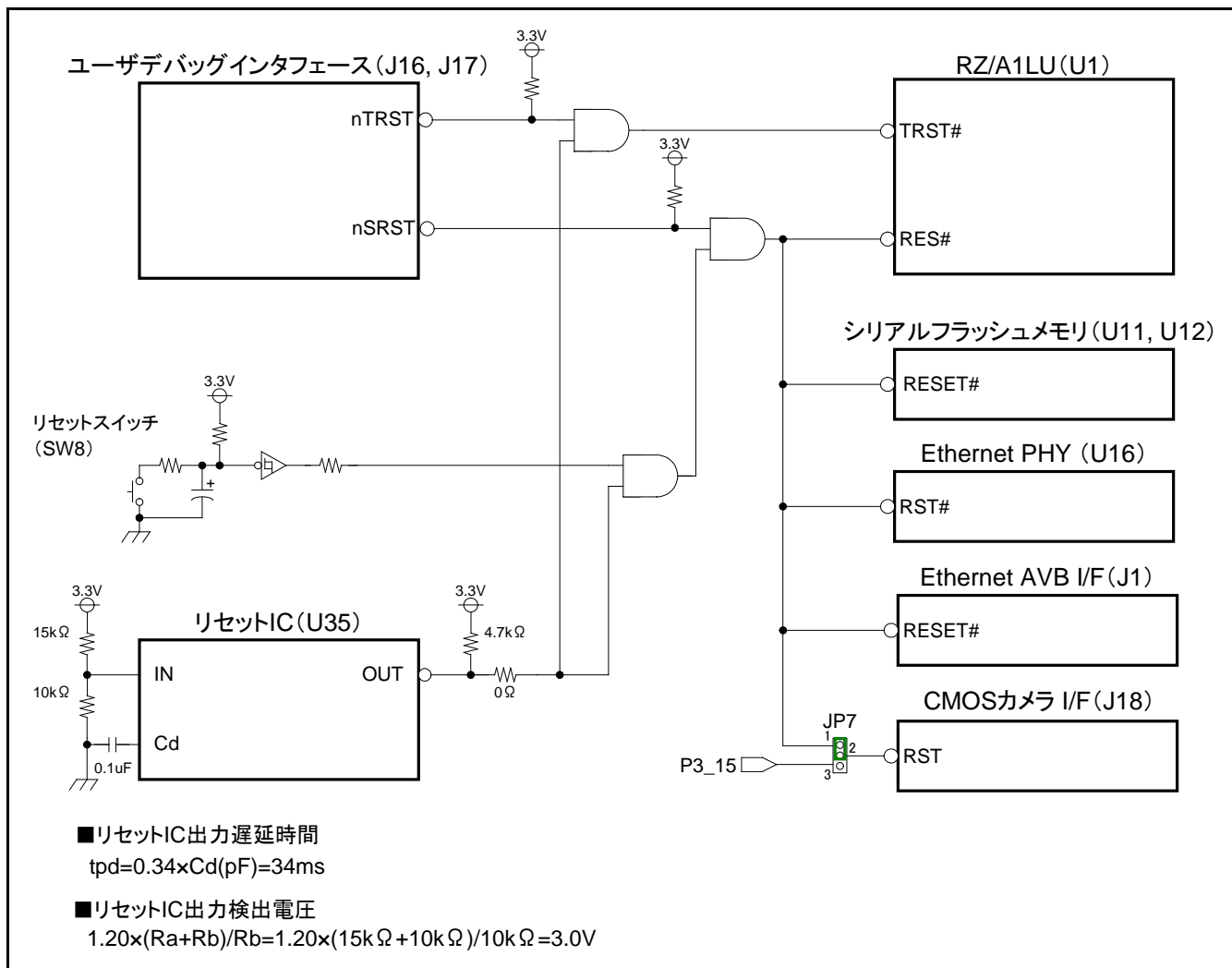


図 2.9.1 リセット制御ブロック図

2.10 電源構成

RTK772103FC00000BR では、5V 電源を使用し、レギュレータにより 3.3V、1.18V を生成しています。

RZ/A1LU 用の I/O 電源 (3.3V)、アナログ電源 (3.3V)、コア電源 (1.18V) は、外部からも供給可能な構成になっています。

USB シリアル変換 IC (U27) は、USB Micro-B コネクタ (J14) から供給される VBUS 電源で動作します。

図 2.10.1 に電源構成のブロック図を、表 2.10.1 にジャンパ JP9、JP10、JP12 の機能設定表を示します。

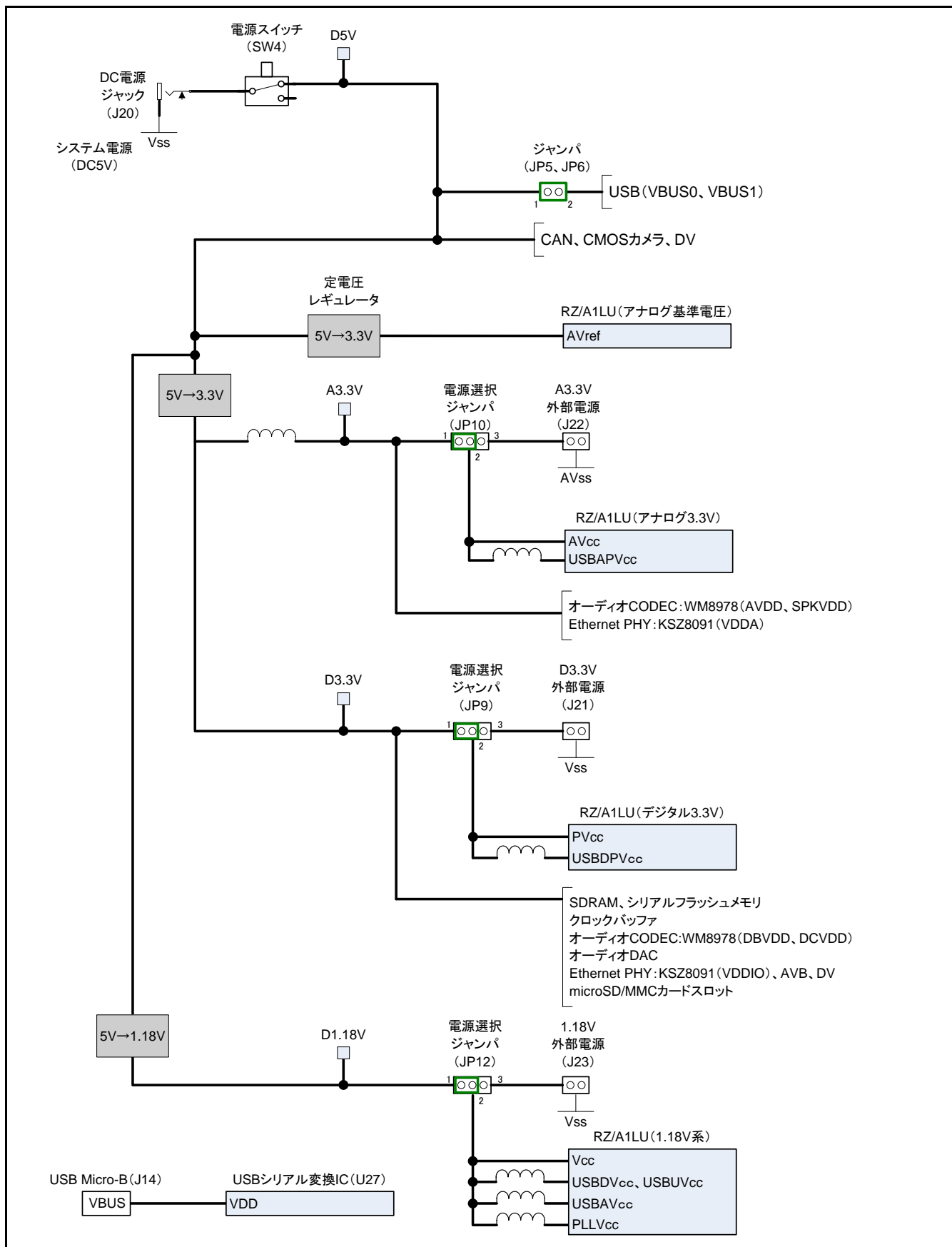



図 2.10.1 電源構成ブロック図

表 2.10.1 ジャンパ JP9、JP10、JP12 機能設定表

ジャンパ	機能	
	1-2	2-3
JP9	内部生成電源を使用する (初期設定)	D3.3V外部電源を使用する
JP10	内部生成電源を使用する (初期設定)	A3.3V外部電源を使用する
JP12	内部生成電源を使用する (初期設定)	1.18V外部電源を使用する

【注】  は出荷時の設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.11 デバッグインタフェース

RTK772103FC00000BR は、RZ/A1LU ユーザデバッグインタフェースとの接続用に、ARM JTAG 20 コネクタ (J17) および CoreSight 20 コネクタ (J16) を実装しています。CoreSight 20 コネクタでの JTAG モード接続はできません。JTAG モードで接続する場合、ARM JTAG 20 コネクタを使用してください。

図 2.11.1 にデバッグインタフェースのブロック図を、表 2.11.1 にシステム設定用ディップスイッチ SW1-7 の機能設定表を示します。

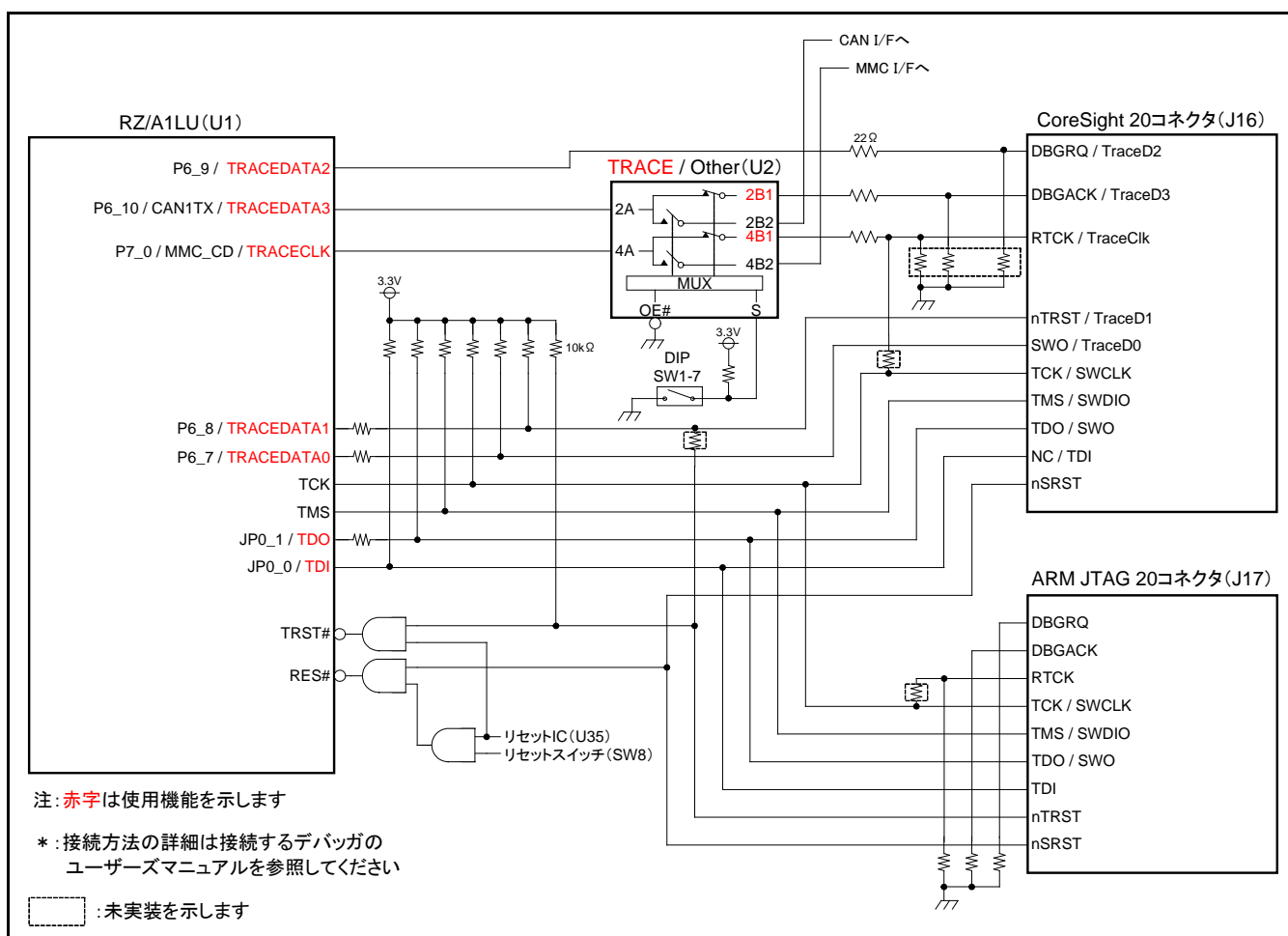


図 2.11.1 デバッグインタフェースブロック図

【注】 ケーブルの抜き差しは、必ずボードの電源をオフにした状態で行ってください。

表 2.11.1 システム設定用ディップスイッチ SW1-7 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-7	P6_10およびP7_0をデバッグインタフェース端子として使用	P6_10をCAN1TX出力端子、P7_0をMMC_CD入力端子として使用 (初期設定)

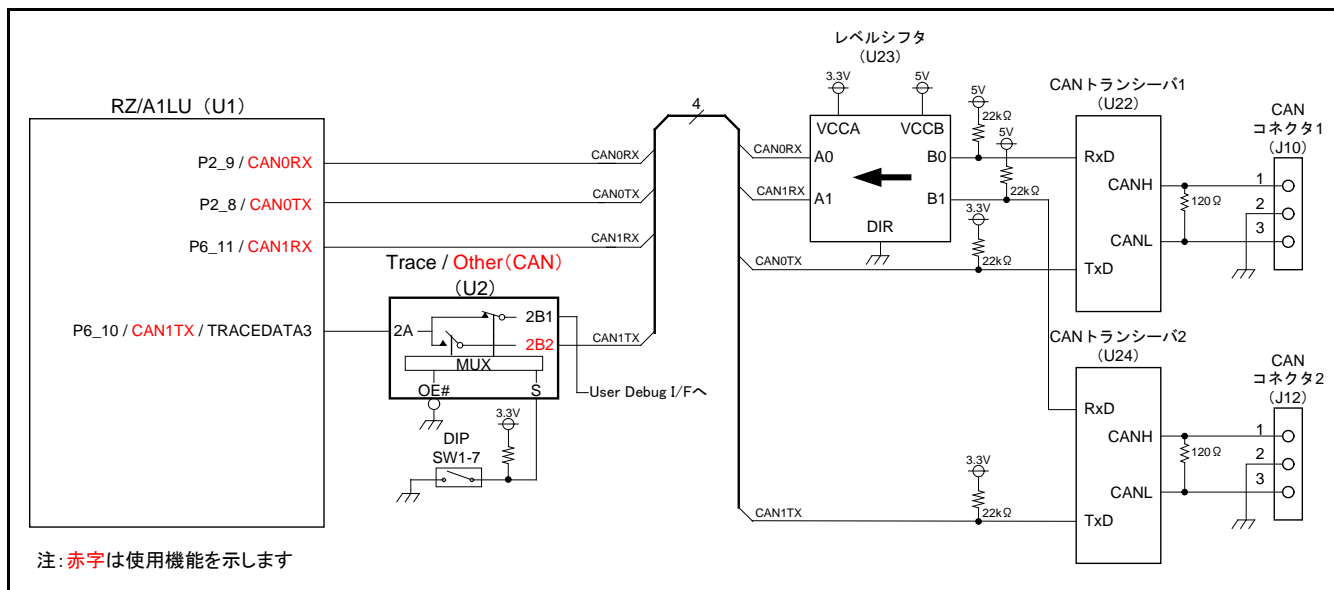
【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.12 CAN インタフェース

RZ/A1LUは、コントローラエリアネットワーク (RSCAN) を内蔵しています。RTK772103FC00000BRでは、RSCANのチャンネル0とチャンネル1を、CANトランシーバICを介して、3ピン2.5mmピッチコネクタに接続しており、CAN通信を行うことができます。

図2.12.1にCANインタフェースのブロック図を、表2.12.1にシステム設定用ディップスイッチSW1-7の機能設定表を示します。



注: 赤字は使用機能を示します

図 2.12.1 CAN インタフェースブロック図

【注】ケーブルの抜き差しは、必ずボードの電源をオフにした状態で行ってください。

表 2.12.1 システム設定用ディップスイッチ SW1-7 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-7	P6_10をTRACEDATA3出力端子として使用	P6_10をCAN1TX出力端子として使用 (初期設定)

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.13 オーディオインターフェース

RTK772103FC00000BR は、オーディオインターフェースとして、Wolfson 社製オーディオ CODEC WM8978×1 個、旭化成エレクトロニクス社製オーディオ DAC AK4353×1 個を実装しています。

2.13.1 オーディオ CODEC WM8978

WM8978 のレジスタ制御は、RZ/A1LU 内蔵のルネサスシリアルペリフェラルインターフェース (RSPI) チャネル 0 で行い、音声データの入出力制御は、RZ/A1LU 内蔵のシリアルサウンドインターフェース (SSIF) チャネル 1 で行います。

図 2.13.1 にオーディオ CODEC のブロック図を、表 2.13.1 にシステム設定用ディップスイッチ SW1-6 の機能設定表を示します。

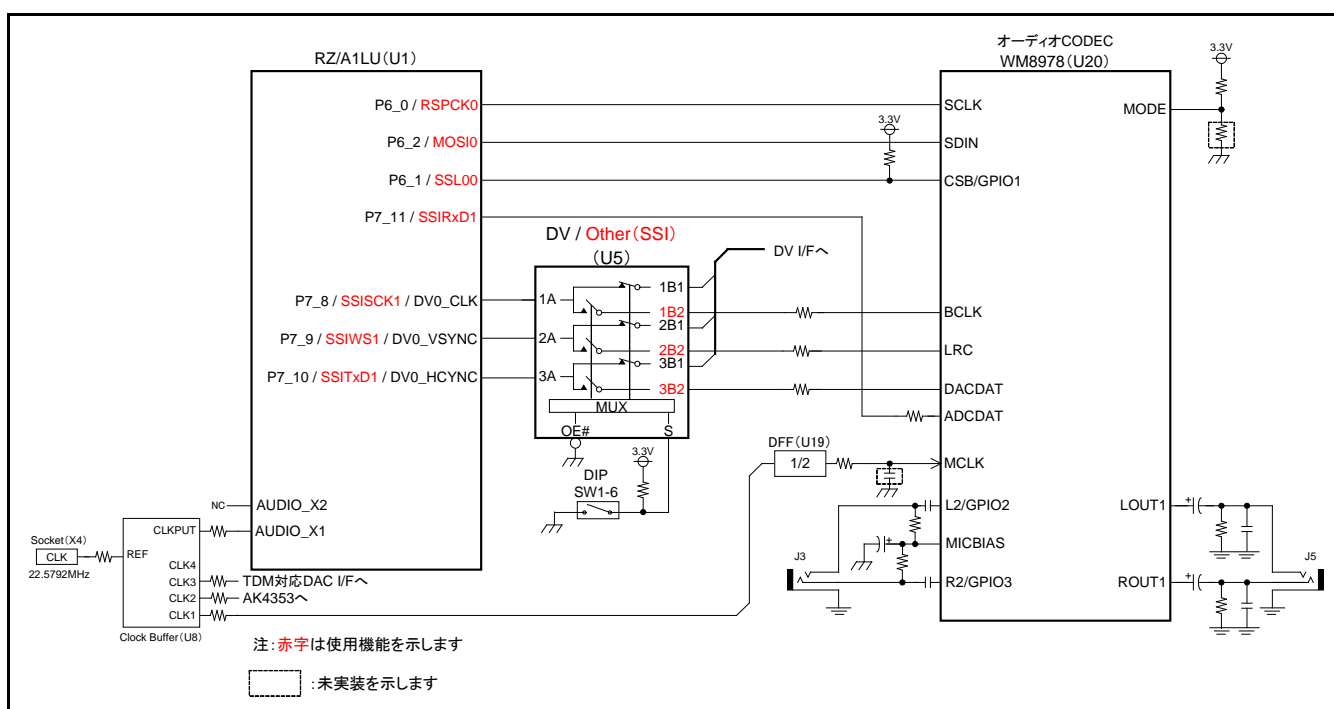


図 2.13.1 オーディオ CODEC ブロック図

表 2.13.1 システム設定用ディップスイッチ SW1-6 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-6	P7_[10:8]をデジタル映像信号入カインターフェース端子として使用	P7_[10:8]をSSIF端子として使用 (初期設定)

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.13.2 オーディオ DAC AK4353

AK4353 のレジスタ制御は I²C バスインタフェース (RIIC) チャンネル 0 で、音声データの入出力制御は、シリアルサウンドインタフェース (SSIF) チャンネル 2 で、PDN 制御は P8_11 端子で行います。

図 2.13.2 にオーディオ DAC のインタフェースブロック図を、表 2.13.2 にシステム設定用ディップスイッチ SW1-6 の機能設定表を示します。

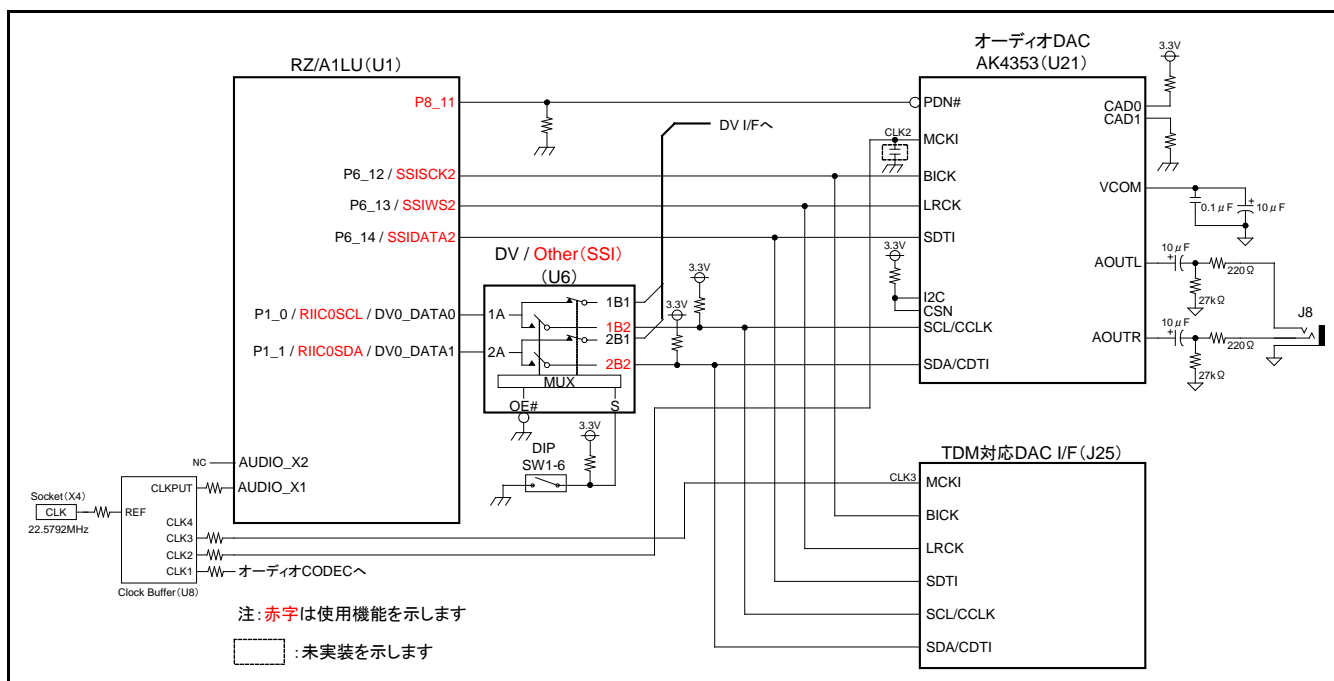


図 2.13.2 オーディオ DAC インタフェースブロック図

表 2.13.2 システム設定用ディップスイッチ SW1-6 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-6	P1_[1:0]をデジタル映像信号入カインタフェース端子として使用	P1_[1:0]をRIIC端子として使用 (初期設定)

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.14 microSD カードインタフェース

RTK772103FC00000BR は、4 ビットの microSD カードスロットを実装しており、RZ/A1LU に内蔵されている SD ホストインタフェース (SDHI) チャンネル 0 と接続しています。

microSD カードスロットにはライトプロテクト端子が存在しないため、ディップスイッチ SW2-3 を用いてライトプロテクトの設定/解除をエミュレートすることが可能です。

図 2.14.1 に microSD カードのインタフェースブロック図を、表 2.14.1 にシステム設定用ディップスイッチ SW1-5 の機能設定表を、表 2.14.2 に microSD カードライトプロテクトエミュレート用ディップスイッチ SW2-3 の機能設定表を示します。

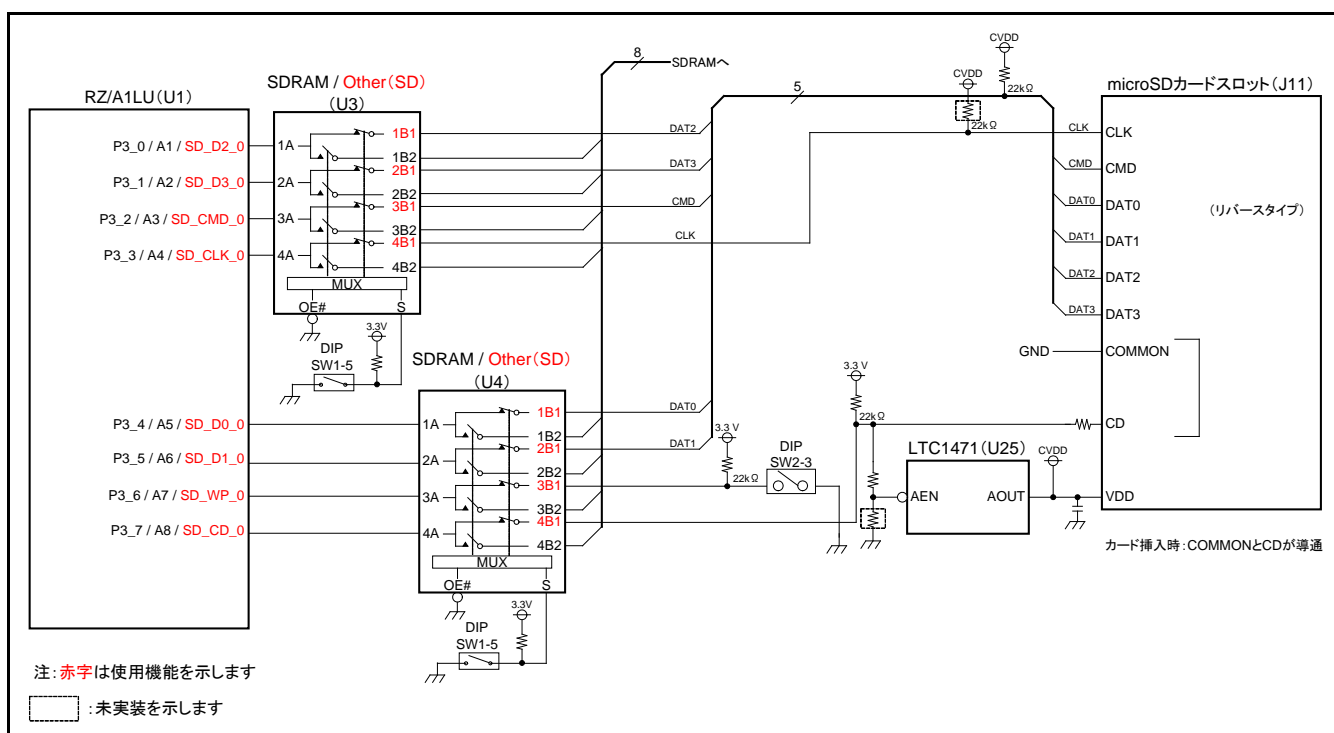


図 2.14.1 microSD カードインタフェースブロック図

表 2.14.1 システム設定用ディップスイッチ SW1-5 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-5	P3_[7:0]をSDHI端子として使用	P3_[7:0]をアドレス端子として使用 (初期設定)

【注】 [] は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.14.2 microSD カードライトプロテクトエミュレート用ディップスイッチ SW2-3 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW2-3	microSDカードのライトプロテクトを解除 (初期設定)	microSDカードのライトプロテクトを設定

【注】 [] は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.15 MMC インタフェース

RTK772103FC00000BR は、8 ビットの MMC スロットを実装しており、RZ/A1LU に内蔵されている MMC ホストインタフェース (MMC) と接続しています。兼用端子である SD ホストインタフェース (SDHI) チャネル 1 に設定することで、SD カードを使用することも可能です。

図 2.15.1 に MMC インタフェースのブロック図を、表 2.15.1 にシステム設定用ディップスイッチ SW1-5、SW1-7 の機能設定表を示します。

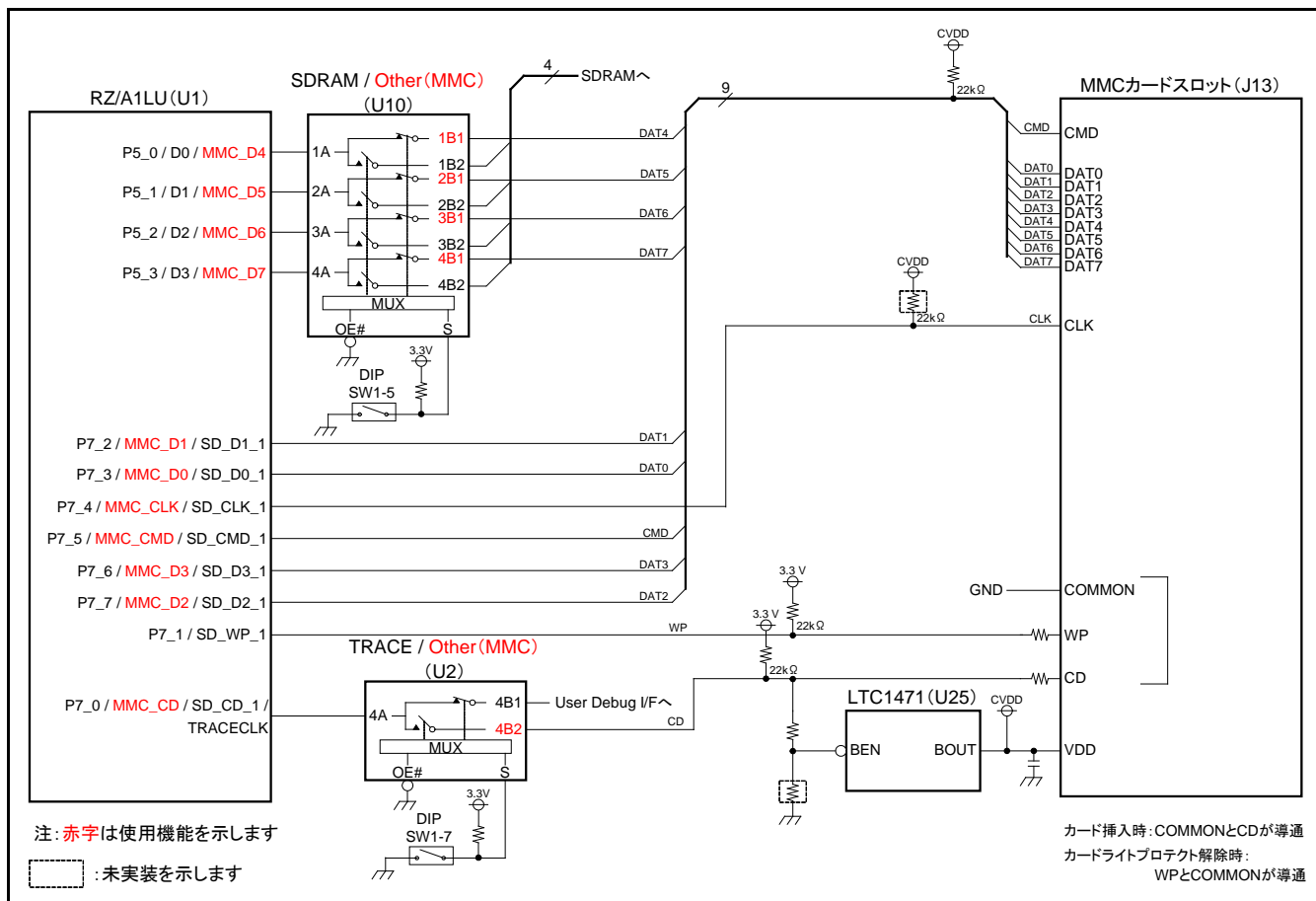


図 2.15.1 MMC インタフェースブロック図

表 2.15.1 システム設定用ディップスイッチ SW1-5、SW1-7 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-5	P5_[3:0]をMMC端子として使用	P5_[3:0]をデータ端子として使用 (初期設定)
SW1-7	P7_0をTRACECLK出力端子として使用	P7_0をMMC_CD入力端子として使用 (初期設定)

【注】 [] は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.16 LAN インタフェース

RTK772103FC00000BR は、Micrel 製 Ethernet PHY KSZ8091MLX を実装しており、RZ/A1LU 内蔵のイーサネットコントローラ (ETHER) を使用した Ethernet 通信を行うことができます。

LAN インタフェースと Ethernet AVB インタフェースは、MII (Media Independent Interface) 端子が共用になっており、ディップスイッチ SW1-8 で切り替えて使用します。LAN インタフェースを使用する場合は、Ethernet AVB インタフェースを使用することができません。

図 2.16.1 に LAN インタフェースのブロック図を、表 2.16.1 に Ethernet インタフェース切り替え用ディップスイッチ SW1-8 の機能設定表を、表 2.16.2 にシステム設定制御用端子 P9_5 の機能設定表を、表 2.16.3 にジャンパ JP4 の機能設定表を示します。

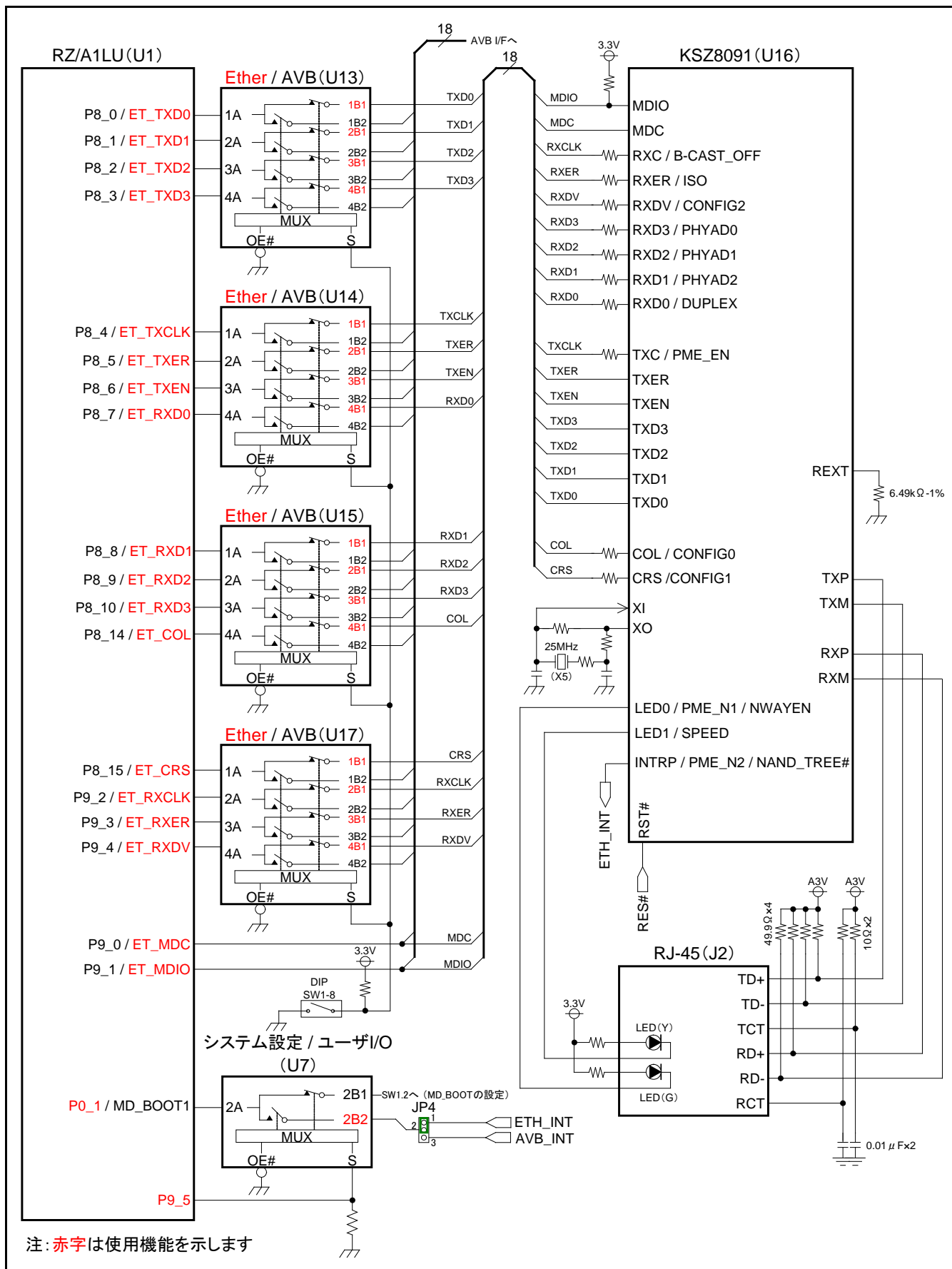


図 2.16.1 LAN インタフェースブロック図

表 2.16.1 Ethernet インタフェース切り替え用ディップスイッチ SW1-8 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-8	MII端子 (P8_[10:0]、P8_[15:14]、P9_[4:2]) を LANインタフェースに接続 (初期設定)	MII端子をEthernet AVBインタフェースに接続

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.16.2 システム設定制御用端子 P9_5 機能設定表

端子	機能	
	Hi	Low
P9_5	P0_1をLANインタフェースまたはEthernet AVBインタフェースの割り込み端子として使用	P0_1をMD_BOOT1入力端子 (起動時) または、入力端子 (動作時) として使用 (初期設定)

【注】 は設定機能を示します。

表 2.16.3 ジャンパ JP4 機能設定表

ジャンパ	機能	
	1-2	2-3
JP4	P0_1をLANインタフェース割り込み端子として使用 (初期設定)	P0_1をEthernet AVBインタフェース割り込み端子として使用

【注】 は出荷時の設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.17 Ethernet AVB インタフェース

RTK772103FC00000BR は、Samtec 製高速グランドプレーンソケット QSH-030-01-L-D-A を実装しており、ソケットに接続した Ethernet AVB 対応 PHY ボードと RZ/A1LU 内蔵のイーサネットコントローラ (ETHER) を使用して Ethernet AVB 通信を行うことができます。

Ethernet AVB インタフェースと LAN インタフェースは、MII 端子が共用になっており、ディップスイッチ SW1-8 で切り替えて使用します。また、Ethernet AVB インタフェースの PHY がアドレス 0 を使用しているため、PHY アドレス 0 をブロードキャストアドレスではなく、通常のアドレスとして使用する必要があります。これには SW3-9 を ON に設定してください。Ethernet AVB インタフェースを使用する場合は、LAN インタフェースを使用することができません。

AUDIO_CLK 端子は SDRAM と共用端子のため、Ethernet AVB インタフェースを使用する場合は JP1 を設定する必要があります。

図 2.17.1 に Ethernet AVB インタフェースのブロック図を、表 2.17.1 にシステム設定用ディップスイッチ SW1-6 の機能設定表を、表 2.17.2 に Ethernet インタフェース切り替え用ディップスイッチ SW1-8 の機能設定表を、表 2.17.3 に MII 設定用ディップスイッチ SW3-9 の機能設定表を、表 2.17.4 にシステム設定制御用端子 P9_5 の機能設定表を、表 2.17.5 にジャンパ JP1、JP4 の機能設定表を示します。

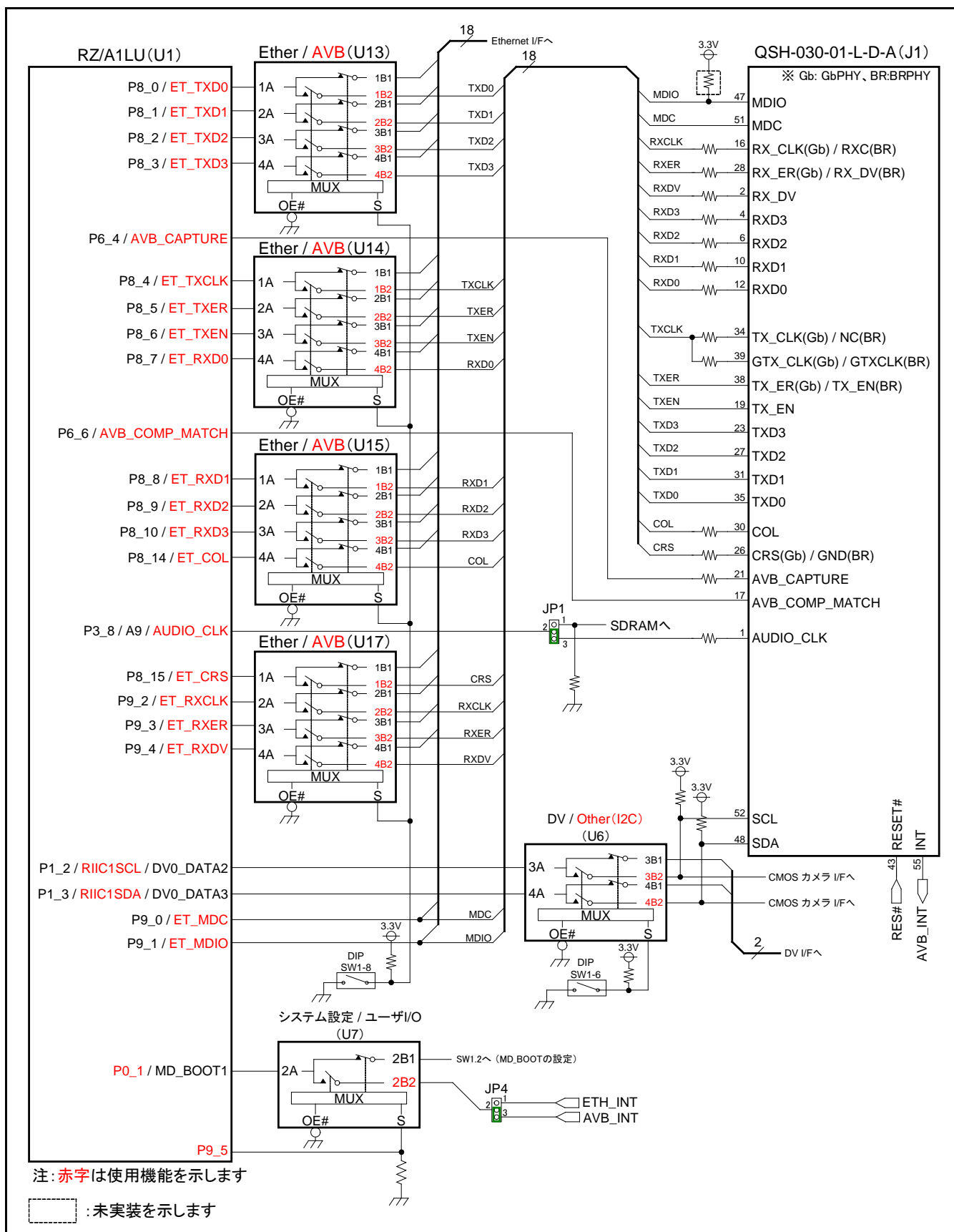


図 2.17.1 Ethernet AVB インタフェースブロック図

【注】 Ethernet AVB 対応 PHY ボードの着脱は、必ずボードの電源をオフにした状態で行ってください。

表 2.17.1 システム設定用ディップスイッチ SW1-6 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-6	P1_[3:2]をデジタル映像信号入力インタフェース端子として使用	P1_[3:2]をEthernet AVBインタフェース端子として使用（初期設定）

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.17.2 Ethernet インタフェース切り替え用ディップスイッチ SW1-8 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-8	MII端子（P8_[10:0]、P8_[15:14]、P9_[4:2]）をLANインタフェースに接続（初期設定）	MII端子をEthernet AVBインタフェースに接続

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.17.3 Ethernet PHY（U16）設定用ディップスイッチ SW3-9 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW3-9	PHYアドレス0を通常のアドレスとして使用（初期設定）	PHYアドレス0をブロードキャストアドレスとして使用

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.17.4 システム設定制御用端子 P9_5 機能設定表

端子	機能	
	Hi	Low
P9_5	P0_1をLANインタフェースまたはEthernet AVBインタフェースの割り込み端子として使用	P0_1を起動時にMD_BOOT1端子、通常時に入力ポートとして使用（初期設定）

【注】 は設定機能を示します。

表 2.17.5 ジャンパ JP1、JP4 機能設定表

ジャンパ	機能	
	1-2	2-3
JP1	P3_8をA9出力端子として使用（初期設定）	P3_8をAUDIO_CLK入力端子として使用
JP4	P0_1をLANインタフェース割り込み端子として使用（初期設定）	P0_1をEthernet AVBインタフェース割り込み端子として使用

【注】 は設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.18 キー入力インタフェース

RTK772103FC00000BR は、アナログ入力端子 (AN0) に設定することで、RZ/A1LU 内蔵の A/D 変換器 (ADC) を介してキー入力用スイッチとして使用することができます。

AN0 端子はデジタル映像信号入力インタフェースと共用端子のため、キー入力インタフェースを使用する場合は、JP3 を設定する必要があります。

図 2.18.1 にキー入力インタフェースのブロック図を、表 2.18.1 にジャンパ JP3 の機能設定表を、表 2.18.2 にキー入力スイッチ押下時の AD 入力端子電圧および AD 値を示します。

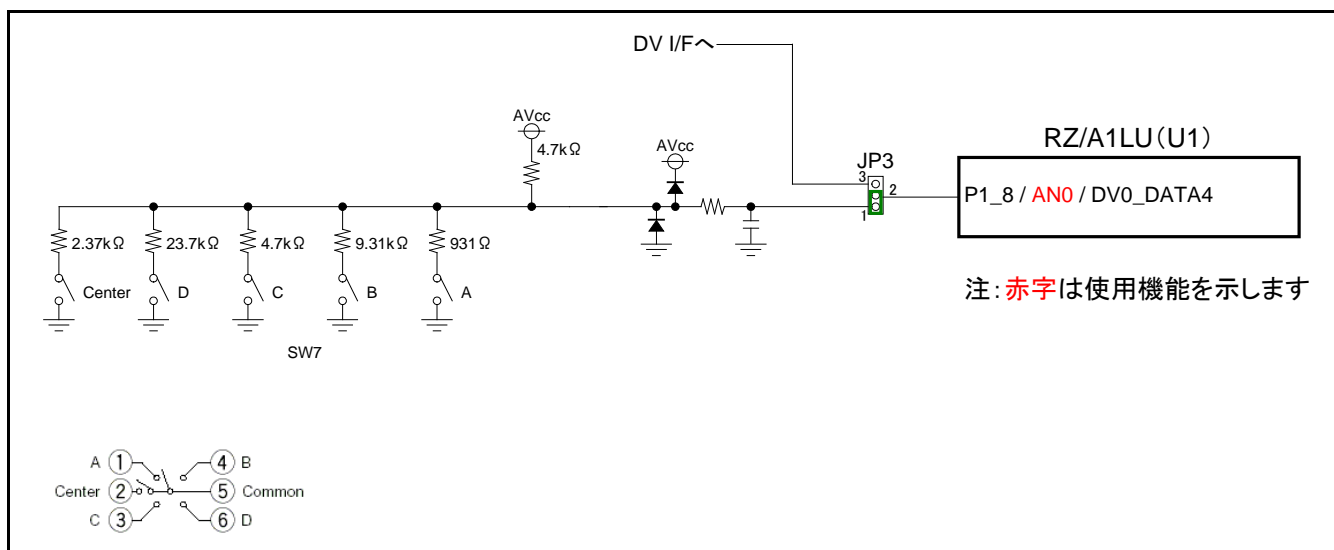


図 2.18.1 キー入力インタフェースブロック図

表 2.18.1 ジャンパ JP3 機能設定表

ジャンパ	機能	
	1-2	2-3
JP3	P1_8をAN0入力端子として使用 (初期設定)	P1_8をDV0_DATA4入力端子として使用

【注】 は設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.18.2 キー入力スイッチ押下時の AD 入力端子電圧および AD 値

スイッチ	端子電圧 (V)	10 ビット AD 値	12 ビット AD 値
SW7-A	0.55	169	677
SW7-B	2.19	680	2722
SW7-C	1.65	512	2048
SW7-D	2.75	855	3418
SW7-Center	1.11	343	1373

【注】 AVcc=3.3V、AVss=0V にて計算。抵抗および電圧の誤差は含みません。

2.19 CMOS カメラインタフェース

RZ/A1LU は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールであるキャプチャエンジンユニット (CEU) を内蔵しています。RTK772103FC00000BR では、RZ/A1LU の CEU 端子を Aptina 社製 CMOS カメラ MT9V024IA7XTCD ES と接続可能な 26 ピン MIL ピッチコネクタを実装しています。なお、VIO_CLK 端子は SDRAM と共用端子のため、CMOS カメラを使用する場合、JP2 を設定し、発振器を取り付ける必要があります。

図 2.19.1 に CMOS カメラインタフェースのブロック図を、表 2.19.1 にシステム設定用ディップスイッチ SW1-6 の機能設定表を、表 2.19.2 にジャンパ JP2、JP7 の機能設定表を示します。

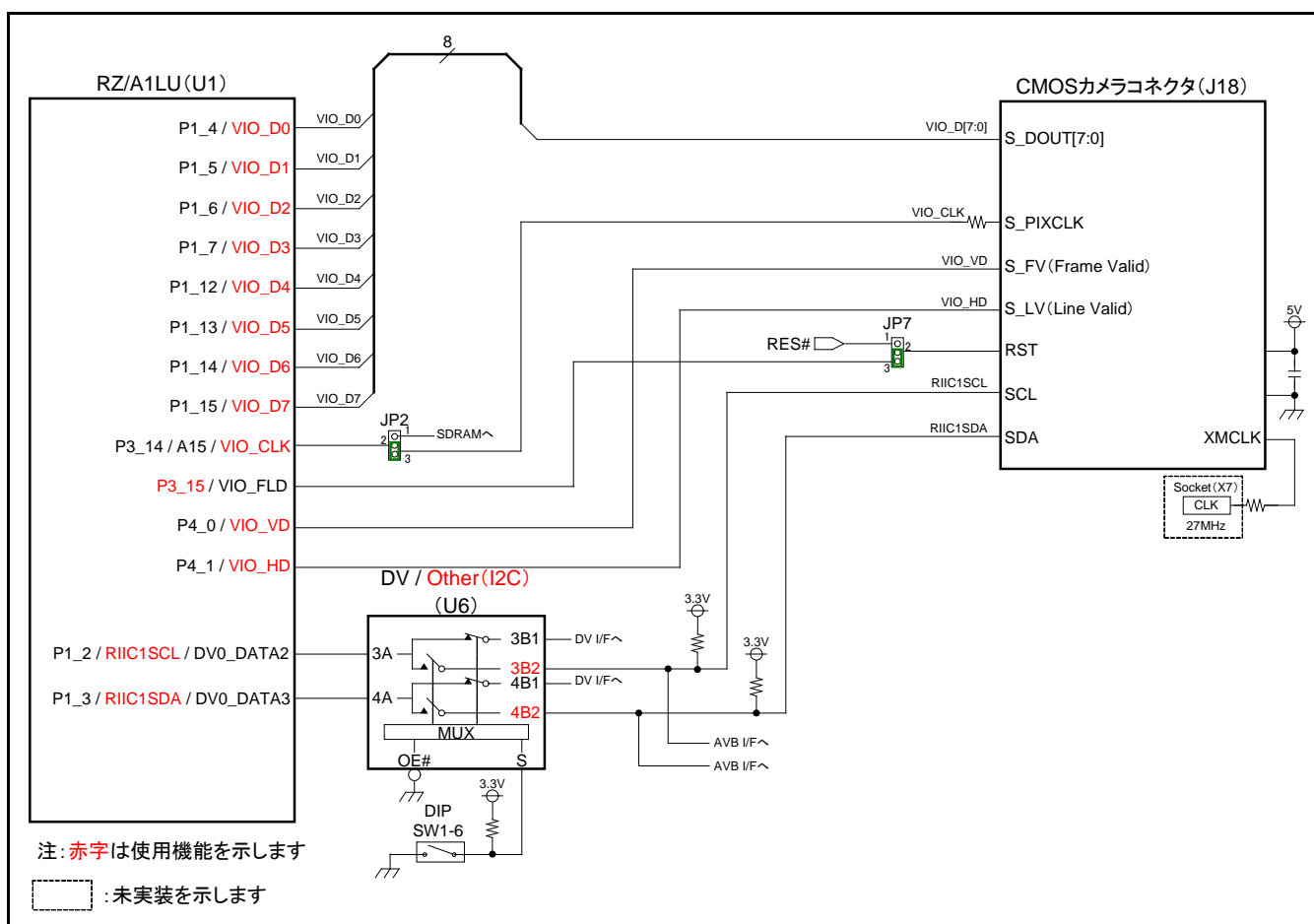


図 2.19.1 CMOS カメラインタフェースブロック図

【注】ケーブルの抜き差しは、必ずボードの電源をオフにした状態で行ってください。

表 2.19.1 システム設定用ディップスイッチ SW1-6 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-6	P1_[3:2]をデジタル映像信号入力インタフェース端子として使用	P1_2をIIC1SCL入出力端子、P1_3をIIC1SDA入出力端子として使用（初期設定）

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.19.2 ジャンパ JP2、JP7 機能設定表

ジャンパ	機能	
	1-2	2-3
JP2	P3_14をA15出力端子として使用（初期設定）	P3_14をVIO_CLK入力端子として使用
JP7	RTK772103FC00000BRIにて生成されるリセット信号にて、CMOSカメラのリセット制御を行う（初期設定）	P3_15端子にて、CMOSカメラのリセット制御を行う

【注】 は設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

2.20 デジタル映像信号入インタフェース

RZ/A1LU は、YCbCr422、YCbCr444、RGB888、RGB666、RGB565 映像に対応したデジタル映像信号入力端子 (DV 端子) があります。RTK772103FC00000BR では、RZ/A1LU の DV 端子を 20 ピン汎用 MIL コネクタに接続しています。なお、DV0_DATA4 端子は、キー入力インタフェースと共用端子のため、デジタル映像信号入インタフェースを使用する場合、JP3 を設定する必要があります。

図 2.20.1 にデジタル映像信号入インタフェースのブロック図を、表 2.20.1 にシステム設定用ディップスイッチ SW1-6 の機能設定表を、表 2.20.2 にジャンパ JP3 の機能設定表を示します。

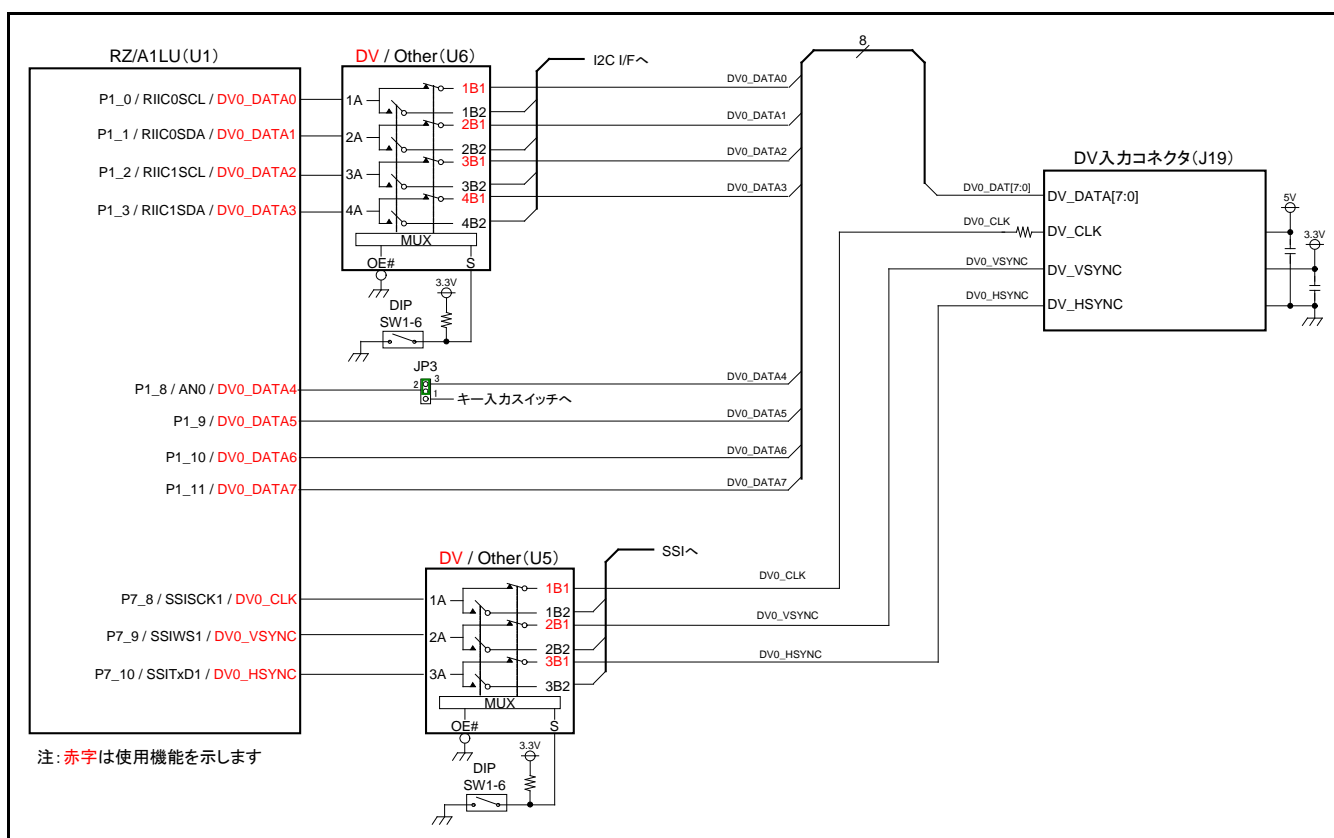


図 2.20.1 デジタル映像信号入インタフェースブロック図

【注】 ケーブルの抜き差しは、必ずボードの電源をオフにした状態で行ってください。

表 2.20.1 システム設定用ディップスイッチ SW1-6 機能設定表

ディップ スイッチ	機能	
	ON	OFF
SW1-6	P1_[3:0]およびP7_[10:8]をデジタル映像信号入力 インタフェース端子として使用	P1_[3:0]をRIIC端子、P7_[10:8]をSSIF端子として 使用（初期設定）

【注】 は設定機能を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 2.20.2 ジャンパ JP3 機能設定表

ジャンパ	機能	
	1-2	2-3
JP3	P1_8をAN0入力端子として使用（初期設定）	P1_8をDV0_DATA4入力端子として使用

【注】 は設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

3. 操作仕様

3.1 コネクタ概要

図 3.1.1 および図 3.1.2 に RTK772103FC00000BR のコネクタ配置図を示します。

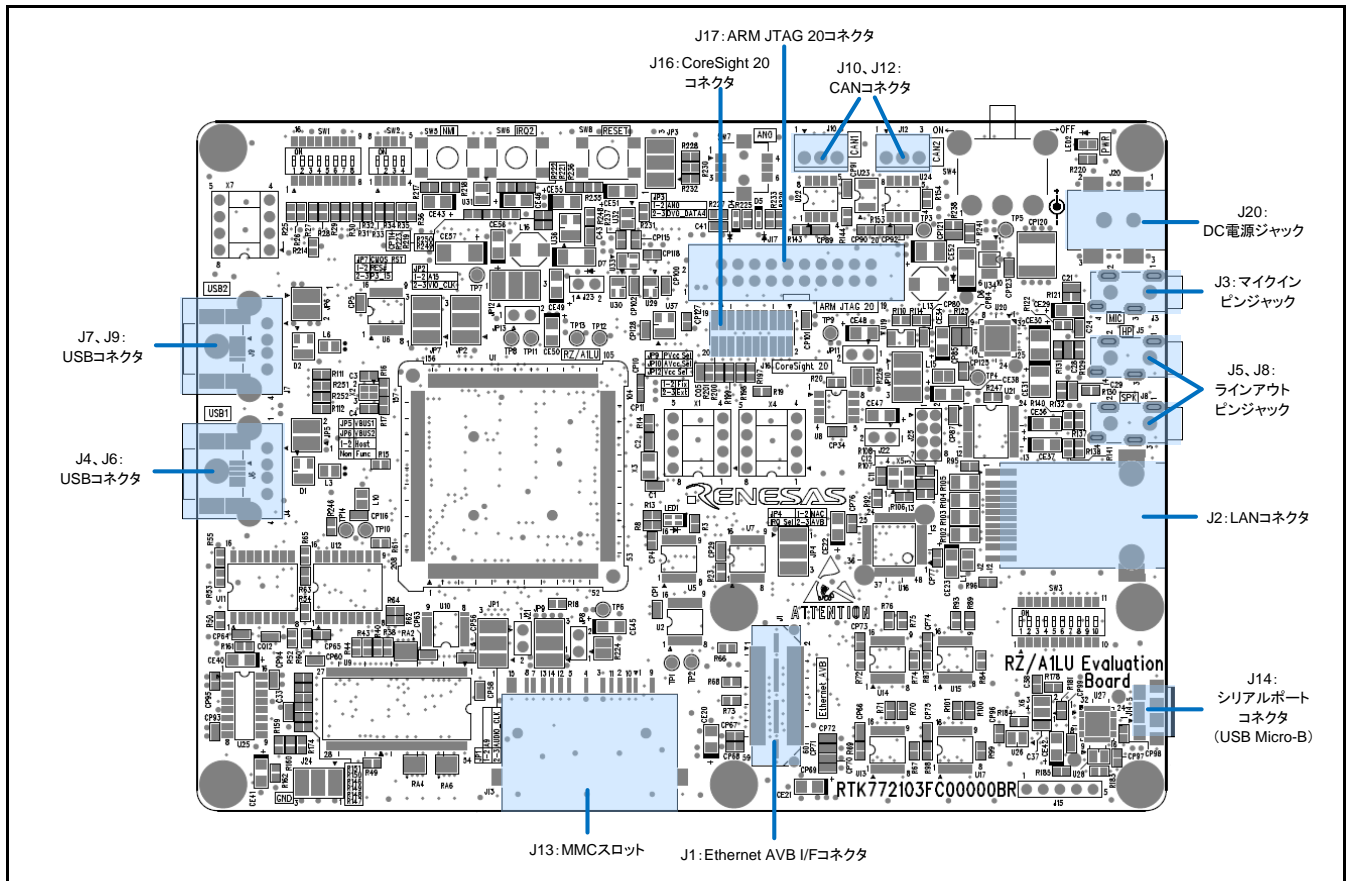


図 3.1.1 RTK772103FC00000BR コネクタ配置図 (C 面上面図)

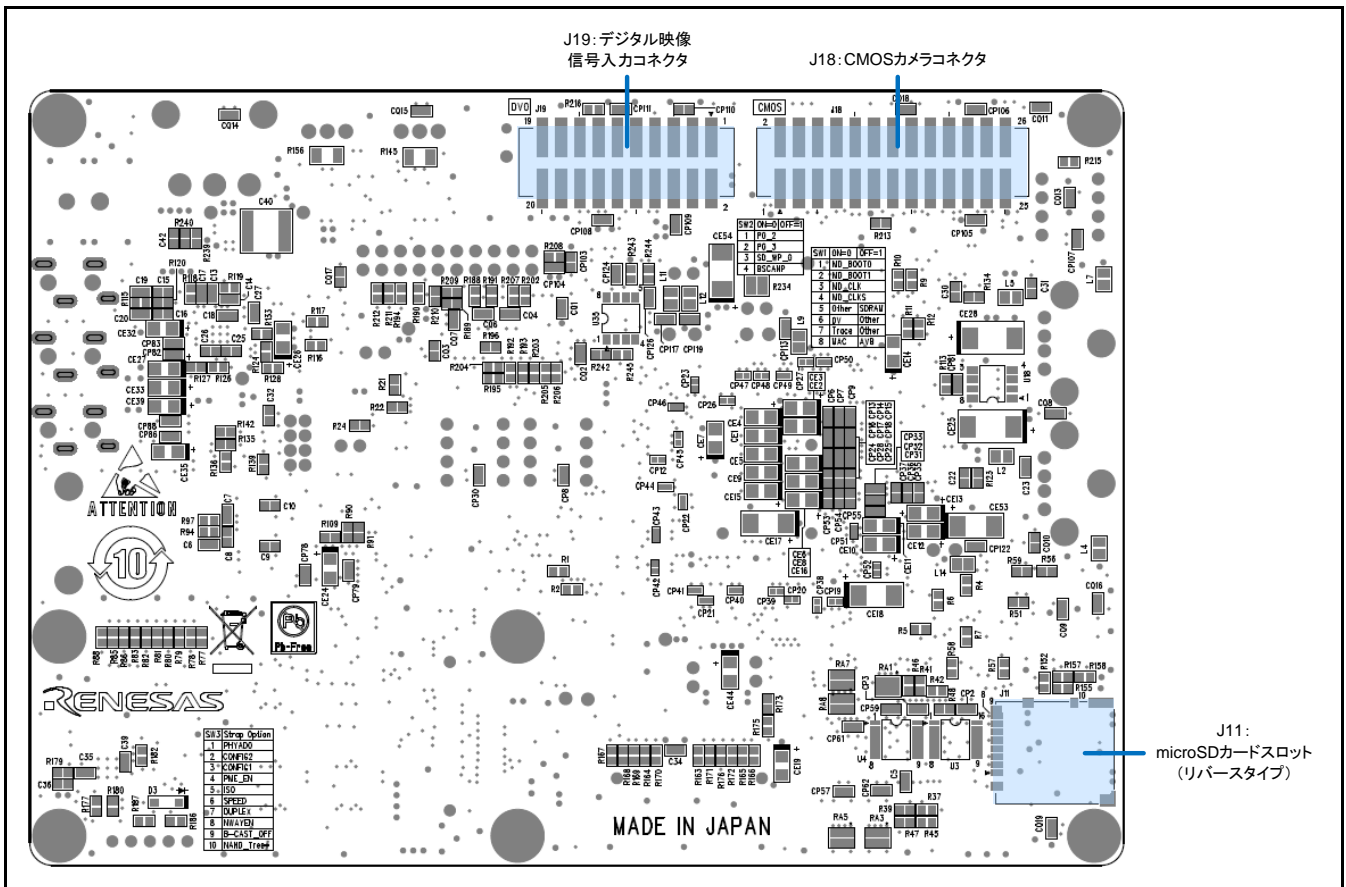


図 3.1.2 RTK772103FC00000BR コネクタ配置図 (S 面上面図)

3.1.1 Ethernet AVB インタフェースコネクタ (J1)

RTK772103FC00000BR は、車載情報機器向けイーサネットとして Ethernet AVB インタフェースを接続するためのコネクタ (J1) を実装しています。

図 3.1.3 に Ethernet AVB インタフェースコネクタの端子配置図を、表 3.1.1 および表 3.1.2 に Ethernet AVB インタフェースコネクタの端子配置表を示します。

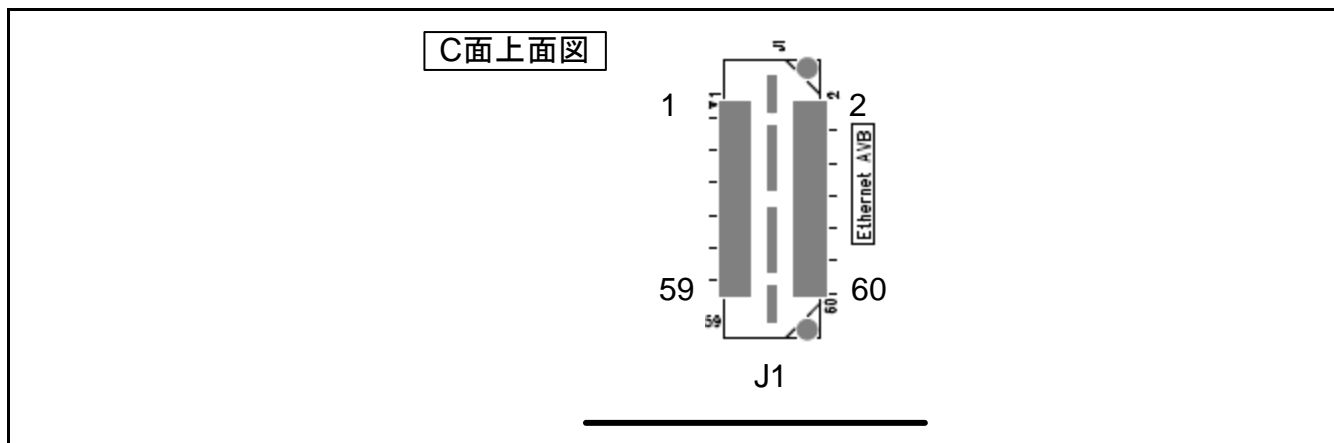


図 3.1.3 Ethernet AVB インタフェースコネクタ端子配置図

表 3.1.1 Ethernet AVB インタフェースコネクタ端子配置表 (1)

ピン	信号名	ピン	信号名
1	AUDIO_CLK (P3_8 / A9 / AUDIO_CLK / DV0_DATA8 / SCK3)	2	RX_DV (P9_4 / MOSI2 / ET_RXDV / SD_D3_0 / RxD0 / TIOC2A)
3	NC	4	RXD3 (P8_10 / LCD0_TCON2 / ET_RXD3 / CAN1RX / TxD2)
5	NC	6	RXD2 (P8_9 / LCD0_TCON1 / ET_RXD2 / CAN1TX / RxD2 / AUDIO_XOUT2)
7	GND (Vss)	8	NC
9	GND (Vss)	10	RXD1 (P8_8 / LCD0_TCON0 / ET_RXD1 / AUDIO_XOUT / SCK2 / AUDIO_XOUT3)
11	GND (Vss)	12	RXD0 (P8_7 / LCD0_DATA7 / ET_RXD0 / IRQ7 / RTS1 / TIOC0D)
13	GND (Vss)	14	GND (Vss)
15	GND (Vss)	16	RX_CLK (Gb) / RXC (BR) (P9_2 / RSPCK2 / ET_RXCLK / SD_CLK_0 / RTS0 / TIOC1A)
17	AVB_COMP_MATCH (P6_6 / D22 / LCD0_DATA14 / SSITxD3 / AVB_COMP_MATCH)	18	GND (Vss)
19	TX_EN (P8_6 / LCD0_DATA6 / ET_TXEN / IRQ6 / CTS1 / TIOC0C)	20	NC
21	AVB_CAPTURE (P6_4 / D20 / LCD0_DATA12 / SSISCK3 / AVB_CAPTURE)	22	NC
23	TXD3 (P8_3 / LCD0_DATA3 / ET_TXD3 / SSIRxD1)	24	GND (Vss)
25	GND (Vss)	26	CRS (Gb) / GND (BR) (P8_15 / ET_CRS / SD_WP_0 / RxD1)
27	TXD2 (P8_2 / LCD0_DATA2 / ET_TXD2 / SSITxD1 / TxD3)	28	RX_ER (Gb) / RX_DV (BR) (P9_3 / SSL20 / ET_RXER / SD_CMD_0 / SCK0 / TIOC1B)
29	GND (Vss)	30	COL (P8_14 / LCD0_TCON6 / ET_COL / SD_CD_0 / SCK1)

【注】赤字は使用機能を示します。

表 3.1.2 Ethernet AVB インタフェースコネクタ端子配置表 (2)

ピン	信号名	ピン	信号名
31	TXD1 (P8_1 / LCD0_DATA1 / ET_TXD1 / SSIWS1 / RxD3)	32	GND (Vss)
33	GND (Vss)	34	TX_CLK (Gb) /NC (BR) (P8_4 / LCD0_DATA4 / ET_TXCLK / CTS2 / TIOC0A)
35	TXD0 (P8_0 / LCD0_DATA0 / ET_TXD0 / SSISCK1 / SCK3)	36	GND (Vss)
37	GND (Vss)	38	TX_ER (Gb) /TX_EN (BR) (P8_5 / LCD0_DATA5 / ET_TXER / RTS2 / TIOC0B)
39	GTX_CLK (Gb) /GTXCLK (BR) (P8_4 / LCD0_DATA4 / ET_TXCLK / CTS2 / TIOC0A)	40	NC
41	GND (Vss)	42	GND (Vss)
43	RES#	44	NC
45	GND (Vss)	46	NC
47	MDIO (P9_1 / ET_MDIO / SD_D0_0 / CTS0)	48	SDA (P1_3 / RIIC1SDA / IRQ7 / ET_RXD3 / DV0_DATA3)
49	GND (Vss)	50	NC
51	MDC (P9_0 / ET_MDC / SD_D1_0 / TxD1)	52	SCL (P1_2 / RIIC1SCL / IRQ6 / ET_RXD2 / DV0_DATA2)
53	NC	54	+3.3V
55	INT (P0_1 / MD_BOOT1 / RxD2 / SSIRxD3 / ADTRG)	56	+3.3V
57	+1.18V	58	+3.3V
59	+1.18V	60	+3.3V

【注】赤字は使用機能を示します。

3.1.2 LAN コネクタ (J2)

RTK772103FC00000BR は、LAN コネクタ (J2) を実装しています。

図 3.1.4 に LAN コネクタの端子配置図を、表 3.1.3 に LAN コネクタの端子配置表を示します。

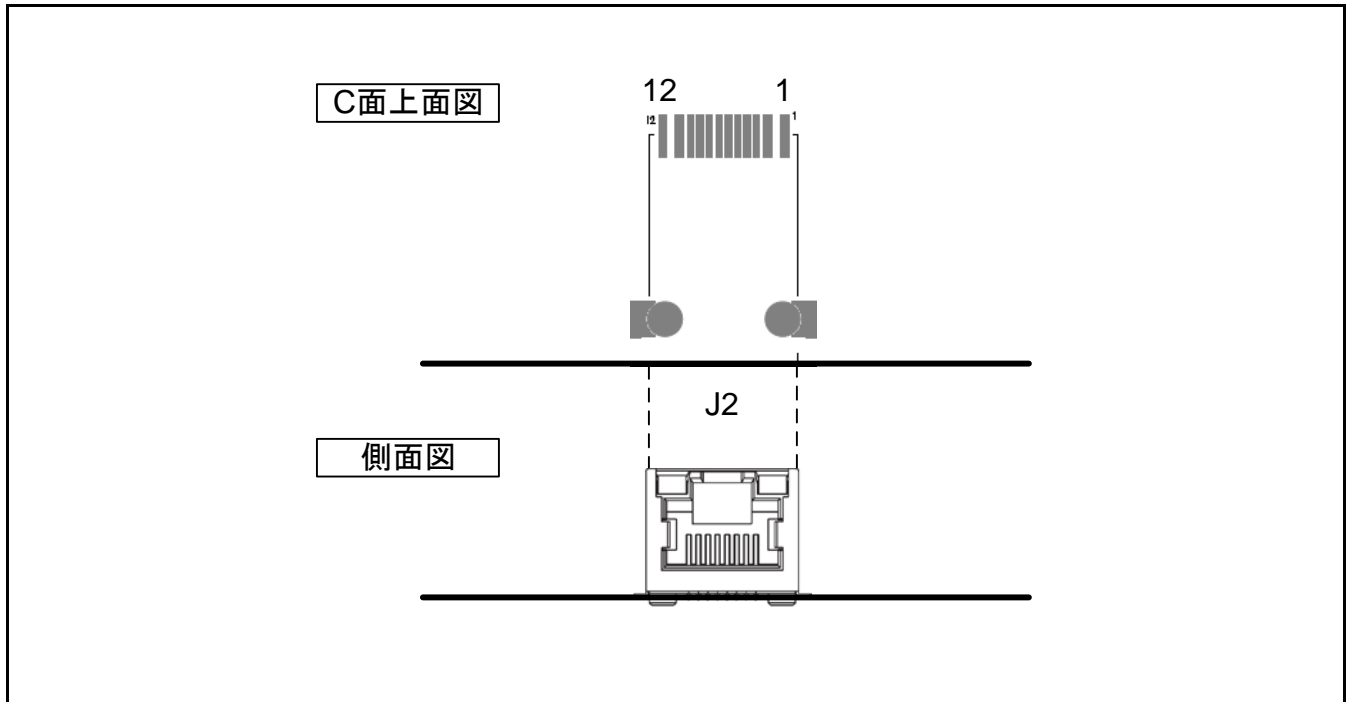


図 3.1.4 LAN コネクタ端子配置図

表 3.1.3 LAN コネクタ端子配置表

ピン	信号名
1	LED-A (Y) (+3.3V)
2	LED-K (Y) (LED0 / PME_N1 / NWAYEN)
3	TD+ (TXP)
4	TD- (TXM)
5	CT1
6	CT2
7	RD+ (RXP)
8	RD- (RXM)
9	NC
10	CAP
11	LED-K (G) (LED1 / SPEED)
12	LED-A (G) (+3.3V)

3.1.3 マイクインピンジャック (J3)

RTK772103FC00000BR は、マイクインピンジャック (J3) を実装しています。

図 3.1.5 にマイクインピンジャックの端子配置図を、表 3.1.4 にマイクインピンジャックの端子配置図を示します。

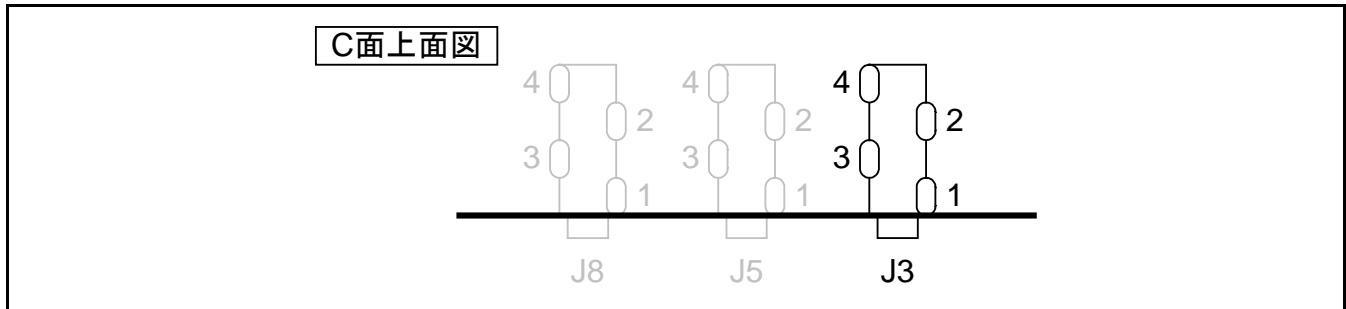


図 3.1.5 マイクインピンジャック端子配置図

表 3.1.4 マイクインピンジャック端子配置表

ピン	信号名
1	GND (AVss)
2	L2 (オーディオCODECのLchアナログ入力端子)
3	R2 (オーディオCODECのRchアナログ入力端子)
4	NC

3.1.4 ラインアウトピンジャック (J5、J8)

RTK772103FC00000BR は、ラインアウトピンジャック (J5、J8) を実装しています。

図 3.1.6 にラインアウトピンジャックの端子配置図を、表 3.1.5 および表 3.1.6 にラインアウトピンジャックの端子配置図を示します。

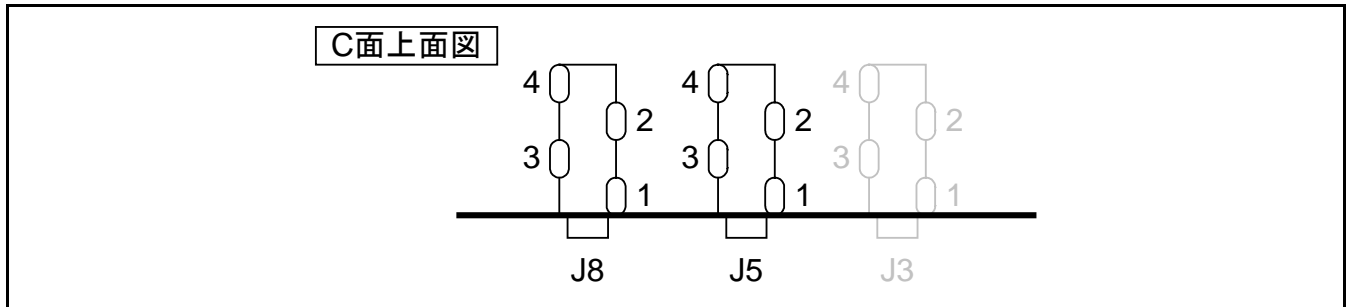


図 3.1.6 ラインアウトピンジャック端子配置図

表 3.1.5 ラインアウトピンジャック端子配置表 (J5)

ピン	信号名
1	GND (AVss)
2	LOUT1 (オーディオCODECのLchアナログ出力端子)
3	ROUT1 (オーディオCODECのRchアナログ出力端子)
4	NC

表 3.1.6 ラインアウトピンジャック端子配置表 (J8)

ピン	信号名
1	GND (AVss)
2	AOUTL (オーディオDACのLchアナログ出力端子)
3	AOUTR (オーディオDACのRchアナログ出力端子)
4	NC

3.1.5 USB コネクタ (J4、J6、J7、J9)

RTK772103FC00000BR は、シリーズ A レセプタクル 2 つ (J4、J7) を実装しています。また、Mini-B レセプタクル (J6、J9) を実装可能なパターンとしています。Mini-B レセプタクルを実装する場合は、シリーズ A レセプタクルを取り外してください。実装可能な Mini-B レセプタクル部品については、第 1 章 表 1.3 を参照してください。

図 3.1.7 にシリーズ A レセプタクルの端子配置図を、図 3.1.8 に Mini-B レセプタクルの端子配置図を示します。また、表 3.1.7 にシリーズ A レセプタクルの端子配置表を、表 3.1.8 に Mini-B レセプタクルの端子配置表を示します。

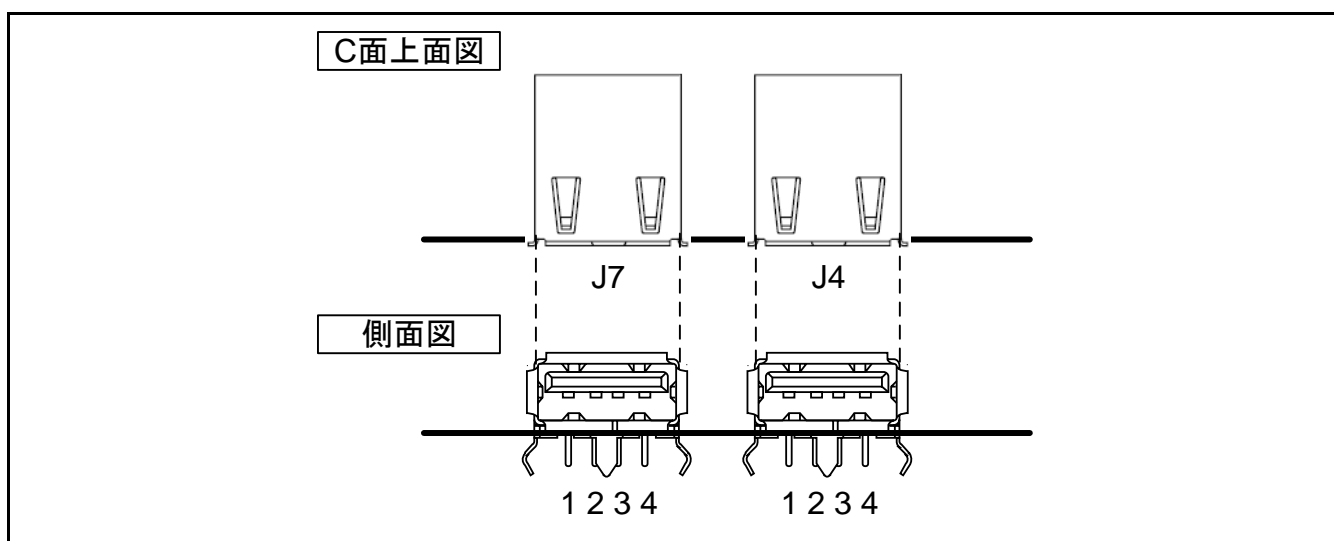


図 3.1.7 シリーズ A レセプタクル端子配置図

表 3.1.7 シリーズ A レセプタクル端子配置表

ピン	信号名	
	J7	J4
1	VBUS (VBUS1)	VBUS (VBUS0)
2	DM (DM1)	DM (DM0)
3	DP (DP1)	DP (DP0)
4	GND (Vss)	GND (Vss)

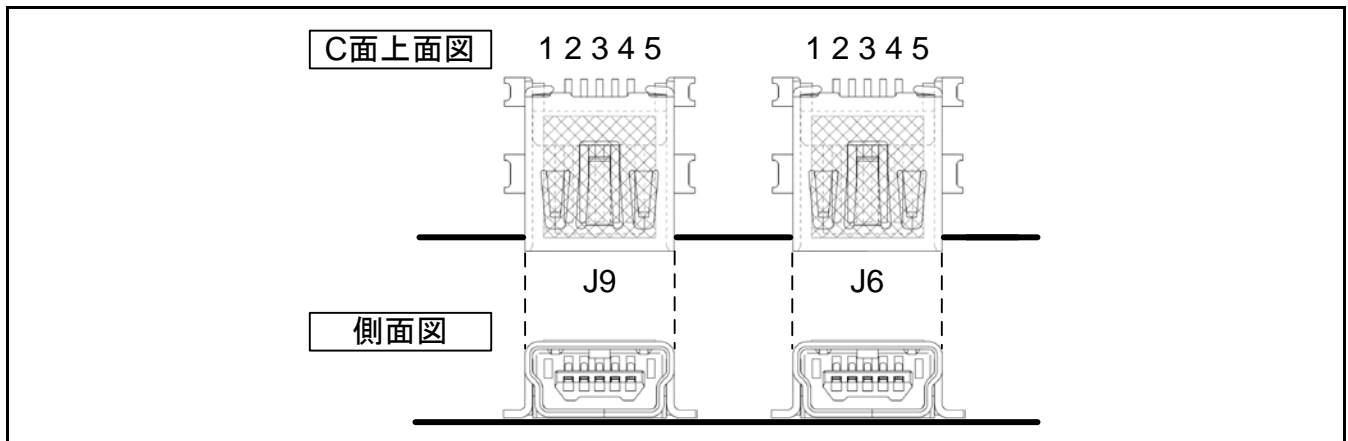


図 3.1.8 Mini-B レセプタクル端子配置図

表 3.1.8 Mini-B レセプタクル端子配置図

ピン	信号名	
	J9	J6
1	VBUS (VBUS1)	VBUS (VBUS0)
2	DM (DM1)	DM (DM0)
3	DP (DP1)	DP (DP0)
4	ID (NC)	ID (NC)
5	GND (Vss)	GND (Vss)

3.1.6 CAN コネクタ (J10、J12)

RTK772103FC00000BR は、CAN コネクタ 2 つ (J10、J12) を実装しています。

図 3.1.9 に CAN コネクタの端子配置図を、表 3.1.9 に CAN コネクタの端子配置表を示します。

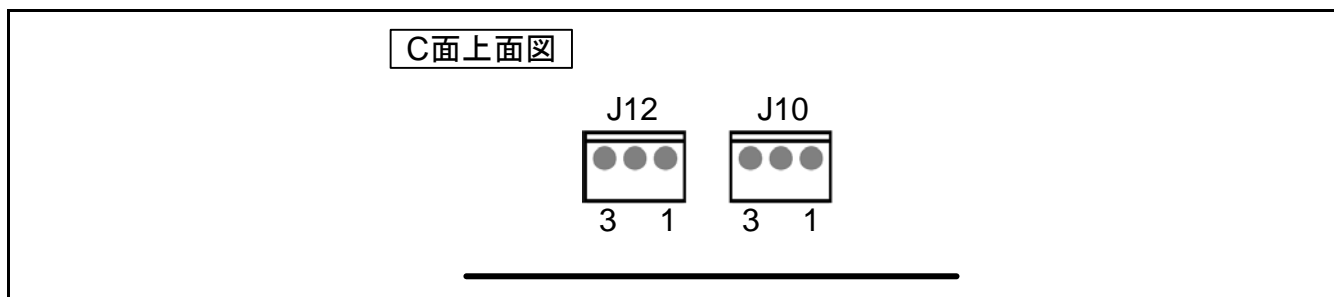


図 3.1.9 CAN コネクタ端子配置図

表 3.1.9 CAN コネクタ端子配置表

ピン	信号名	
	J12 (CAN2)	J10 (CAN1)
1	CANH	CANH
2	GND (Vss)	GND (Vss)
3	CANL	CANL

3.1.7 microSD カードスロット (J11)

RTK772103FC00000BR は、microSD カードスロット (J11) を実装しています。

図 3.1.10 に microSD カードスロットの端子配置図を、表 3.1.10 に microSD カードスロットの端子配置表を示します。

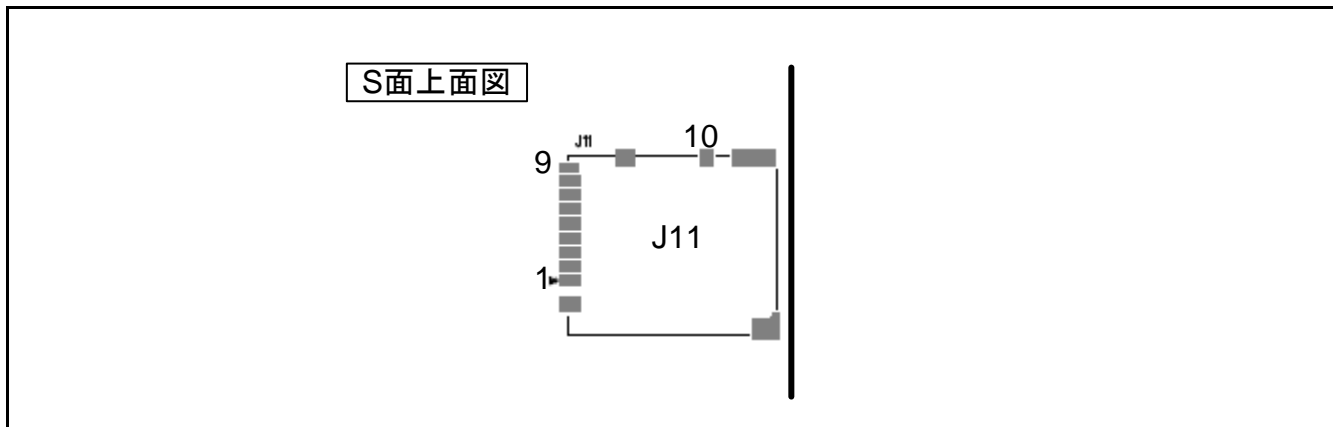


図 3.1.10 microSD カードスロット端子配置図

表 3.1.10 microSD カードスロット端子配置表

ピン	信号名
1	DAT2 (P3_0 / A1 / SD_D2_0)
2	CD/DAT3 (P3_1 / A2 / SD_D3_0)
3	CMD (P3_2 / A3 / SD_CMD_0)
4	+3.3V
5	CLK (P3_3 / A4 / SD_CLK_0)
6	GND (Vss)
7	DAT0 (P3_4 / A5 / SD_D0_0)
8	DAT1 (P3_5 / A6 / SD_D1_0)
9	COMMON (Vss)
10	CD (P3_7 / A8 / SD_CD_0)

【注】赤字は使用機能を示します。

3.1.8 MMC スロット (J13)

RTK772103FC00000BR は、MMC スロット (J13) を実装しています。

図 3.1.11 に MMC スロットの端子配置図を、表 3.1.11 に MMC スロットの端子配置表を示します。

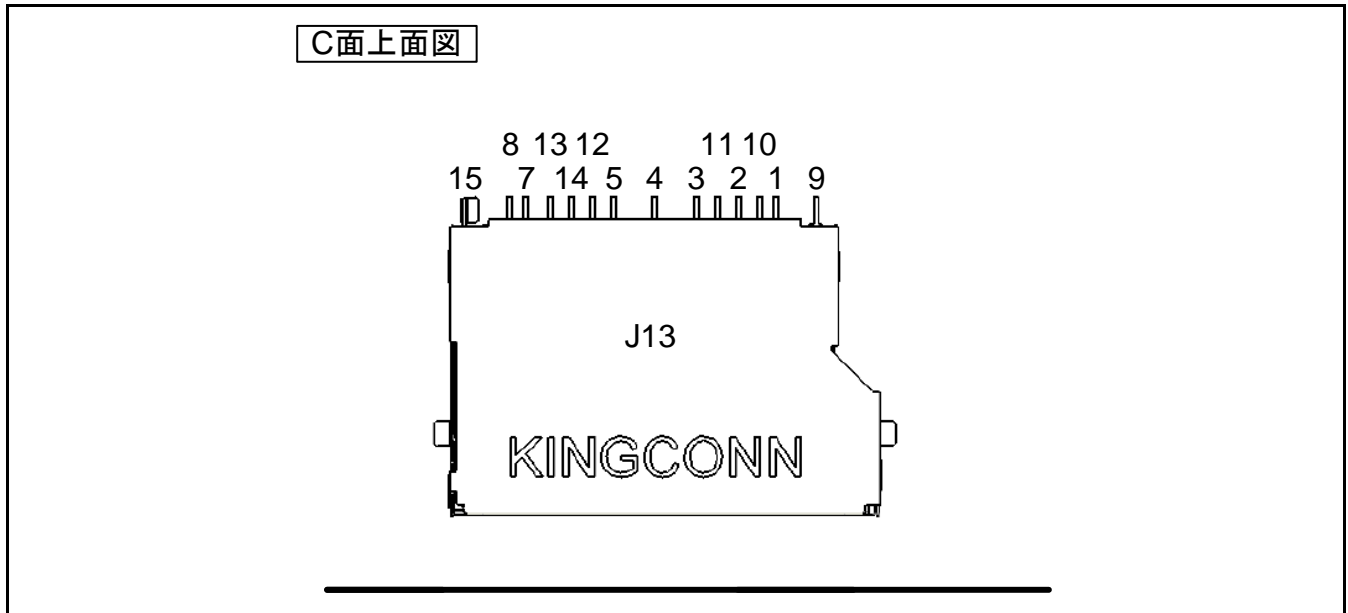


図 3.1.11 MMC スロット端子配置図

表 3.1.11 MMC スロット端子配置表

ピン	信号名
1	DAT3 (P7_6 / MMC_D3 / SD_D3_1)
2	CMD (P7_5 / MMC_CMD / SD_CMD_1)
3	GND (Vss)
4	+3.3V
5	SCLK (P7_4 / MMC_CLK / SD_CLK_1)
6	— (端子なし)
7	DAT0 (P7_3 / MMC_D0 / SD_D0_1)
8	DAT1 (P7_2 / MMC_D1 / SD_D1_1)
9	DAT2 (P7_7 / MMC_D2 / SD_D2_1)
10	DAT4 (P5_0 / D0 / MMC_D4)
11	DAT5 (P5_1 / D1 / MMC_D5)
12	DAT6 (P5_2 / D2 / MMC_D6)
13	DAT7 (P5_3 / D3 / MMC_D7)
14	CD (P7_0 / MMC_CD / SD_CD_1 / TRACECLK)
15	WP (P7_1 / SD_WP_1)

【注】赤字は使用機能を示します。

3.1.9 シリアルポートコネクタ (J14)

RTK772103FC00000BR は、シリアルポート (USB Micro-B) コネクタ (J14) を実装しています。

図 3.1.12 にシリアルポートコネクタの端子配置図を、表 3.1.12 にシリアルポートコネクタの端子配置表を示します。

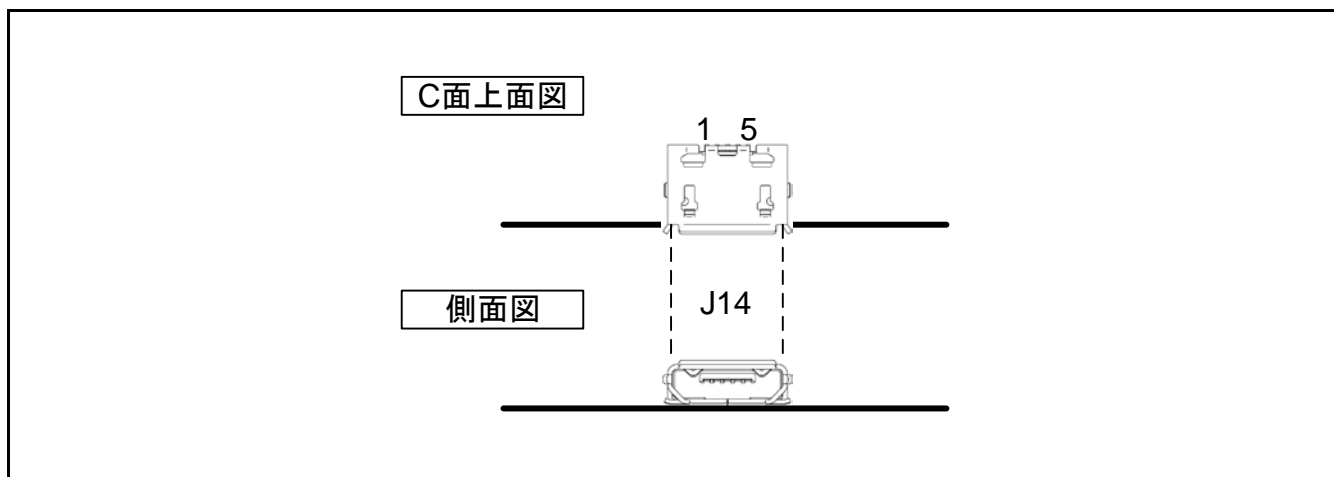


図 3.1.12 シリアルポートコネクタ端子配置図

表 3.1.12 シリアルポートコネクタ端子配置表

ピン	信号名
1	VBUS (UVBUS)
2	DM (UDM0)
3	DP (UDP0)
4	ID (NC)
5	GND (Vss)

3.1.10 UDI コネクタ (J16、J17)

RTK772103FC00000BR は、ICE (In Circuit Emulator) 接続用に 1.27mm ピッチの CoreSight 20 コネクタ (J16) および 2.54mm ピッチの ARM JTAG 20 コネクタ (J17) を実装しています。

図 3.1.13 に UDI コネクタの端子配置図を、表 3.1.13 および表 3.1.14 に UDI コネクタの端子配置表を示します。

CoreSight 20 コネクタ (J16) は逆ざし防止用のガイドが無いため、接続時には 1 番ピンの方向に注意してください。

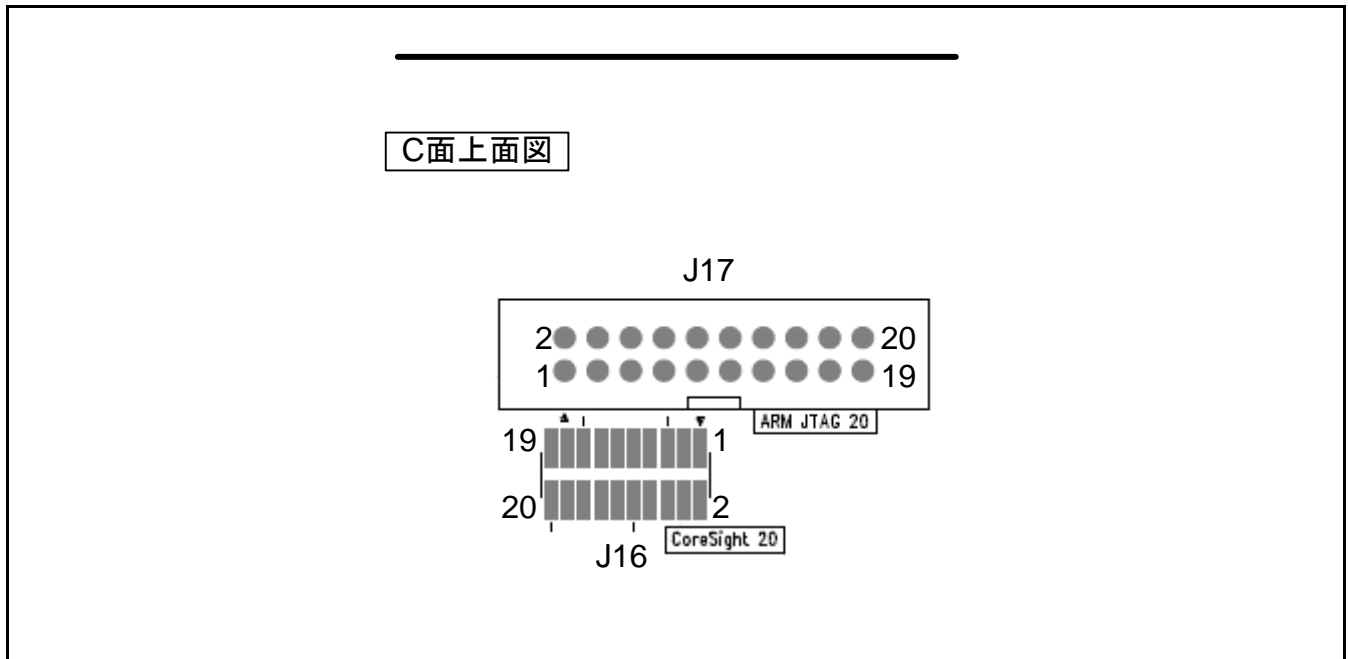


図 3.1.13 UDI コネクタ端子配置図

表 3.1.13 CoreSight 20 コネクタ (J16) 端子配置表

ピン	信号名	ピン	信号名
1	+3.3V	2	TMS/SWDIO (TMS)
3	GND (Vss)	4	TCK/SWCLK (TCK)
5	GND (Vss)	6	TDO/SWO (JP0_1 / TDO)
7	KEY (NC)	8	TDI (JP0_0 / TDI)
9	GND (Vss)	10	nSRST (RES#)
11	NC	12	RTCK/TraceClk (P7_0 / MMC_CD / TRACECLK)
13	NC	14	SWO/TraceD0 (P6_7 / TRACEDATA0)
15	GND (Vss)	16	nTRST/TraceD1 (P6_8 / TRACEDATA1)
17	GND (Vss)	18	DBGRRQ/TraceD2 (P6_9 / TRACEDATA2)
19	GND (Vss)	20	DBGACK/TaceD3 (P6_10 / CAN1TX / TRACEDATA3)

【注】赤字は使用機能を示します。

表 3.1.14 ARM JTAG 20 コネクタ (J17) 端子配置表

ピン	信号名	ピン	信号名
1	+3.3V	2	+3.3V
3	nTRST (TRST#)	4	GND (Vss)
5	TDI (JP0_0 / TDI)	6	GND (Vss)
7	TMS/SWDIO (TMS)	8	GND (Vss)
9	TCK/SWCLK (TCK)	10	GND (Vss)
11	RTCK (10k Ω の抵抗を介してVssに接続)	12	GND (Vss)
13	TDO/SWO (JP0_1 / TDO)	14	GND (Vss)
15	nSRST (RES#)	16	GND (Vss)
17	DBGRQ (10k Ω の抵抗を介してVssに接続)	18	GND (Vss)
19	DBGACK (10k Ω の抵抗を介してVssに接続)	20	GND (Vss)

【注】赤字は使用機能を示します。

3.1.11 CMOS カメラコネクタ (J18)

RTK772103FC00000BR は、CMOS カメラコネクタ (J18) を実装しています。

図 3.1.14 に CMOS カメラコネクタの端子配置図を、表 3.1.15 に CMOS カメラコネクタの端子配置表を示します。

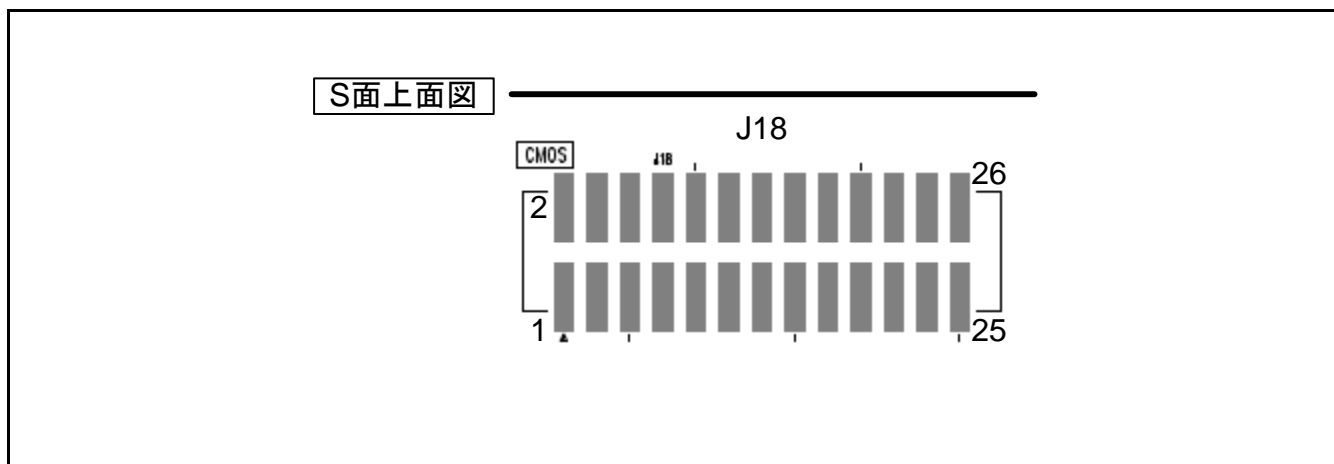


図 3.1.14 CMOS カメラコネクタ端子配置図

表 3.1.15 CMOS カメラコネクタ端子配置表

ピン	信号名	ピン	信号名
1	S_DOUT0 (P1_4 / VIO_D0)	2	S_DOUT1 (P1_5 / VIO_D1)
3	S_DOUT2 (P1_6 / VIO_D2)	4	S_DOUT3 (P1_7 / VIO_D3)
5	S_DOUT4 (P1_12 / VIO_D4)	6	S_DOUT5 (P1_13 / VIO_D5)
7	S_DOUT6 (P1_14 / VIO_D6)	8	S_DOUT7 (P1_15 / VIO_D7)
9	NC	10	NC
11	GND (Vss)	12	GND (Vss)
13	S_LV (P4_1 / VIO_HD)	14	NC
15	NC	16	RST (RES#または P3_15 / VIO_FLD)
17	S_FV (P4_0 / VIO_VD)	18	SDA (P1_3 / RIIC1SDA / DV0_DATA3)
19	SCL (P1_2 / RIIC1SCL / DV0_DATA2)	20	NC
21	+5V	22	+5V
23	S_PIXCLK (P3_14 / A15 / VIO_CLK)	24	GND (Vss)
25	GND (Vss)	26	XMCLK (X7に取り付けた発振器からの出力クロック)

【注】赤字は使用機能を示します。

3.1.12 デジタル映像信号入力コネクタ (J19)

RTK772103FC00000BR は、デジタル映像信号入力コネクタ (J19) を実装しています。

図 3.1.15 にデジタル映像信号入力コネクタの端子配置図を、表 3.1.16 にデジタル映像信号入力コネクタの端子配置表を示します。

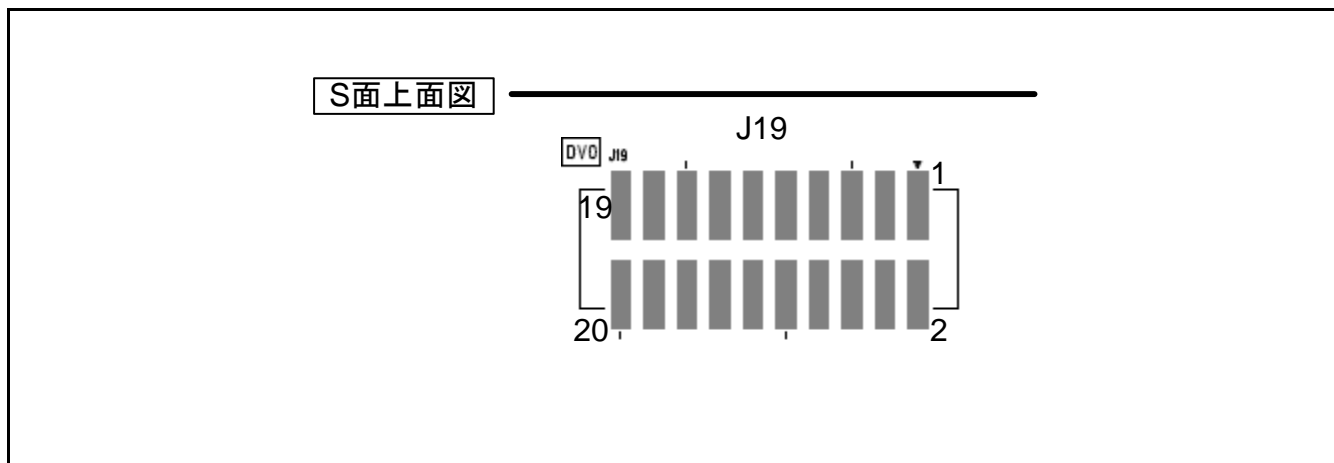


図 3.1.15 デジタル映像信号入力コネクタ端子配置図

表 3.1.16 デジタル映像信号入力コネクタ端子配置表

ピン	信号名	ピン	信号名
1	DV_DATA0 (P1_0 / RIIC0SCL / DV0_DATA0)	2	DV_DATA1 (P1_1 / RIIC0SDA / DV0_DATA1)
3	DV_DATA2 (P1_2 / RIIC1SCL / DV0_DATA2)	4	DV_DATA3 (P1_3 / RIIC1SDA / DV0_DATA3)
5	+3.3V	6	+3.3V
7	DV_DATA4 (P1_8 / AN0 / DV0_DATA4)	8	DV_DATA5 (P1_9 / DV0_DATA5)
9	DV_DATA6 (P1_10 / DV0_DATA6)	10	DV_DATA7 (P1_11 / DV0_DATA7)
11	+5V	12	+5V
13	DV_CLK (P7_8 / SSISCK1 / DV0_CLK)	14	DV_VSYNC (P7_9 / SSIWS1 / DV0_VSYNC)
15	NC	16	DV_HSYNC (P7_10 / SSITxD1 / DV0_HSYNC)
17	GND (VSS)	18	GND (VSS)
19	NC	20	NC

【注】赤字は使用機能を示します。

3.1.13 電源コネクタ (J20)

RTK772103FC00000BR は、システム電源の供給用として AC アダプタジャック (J20) を実装しています。図 3.1.16 に電源コネクタの端子配置図を、表 3.1.17 に電源コネクタの端子配置表を示します。

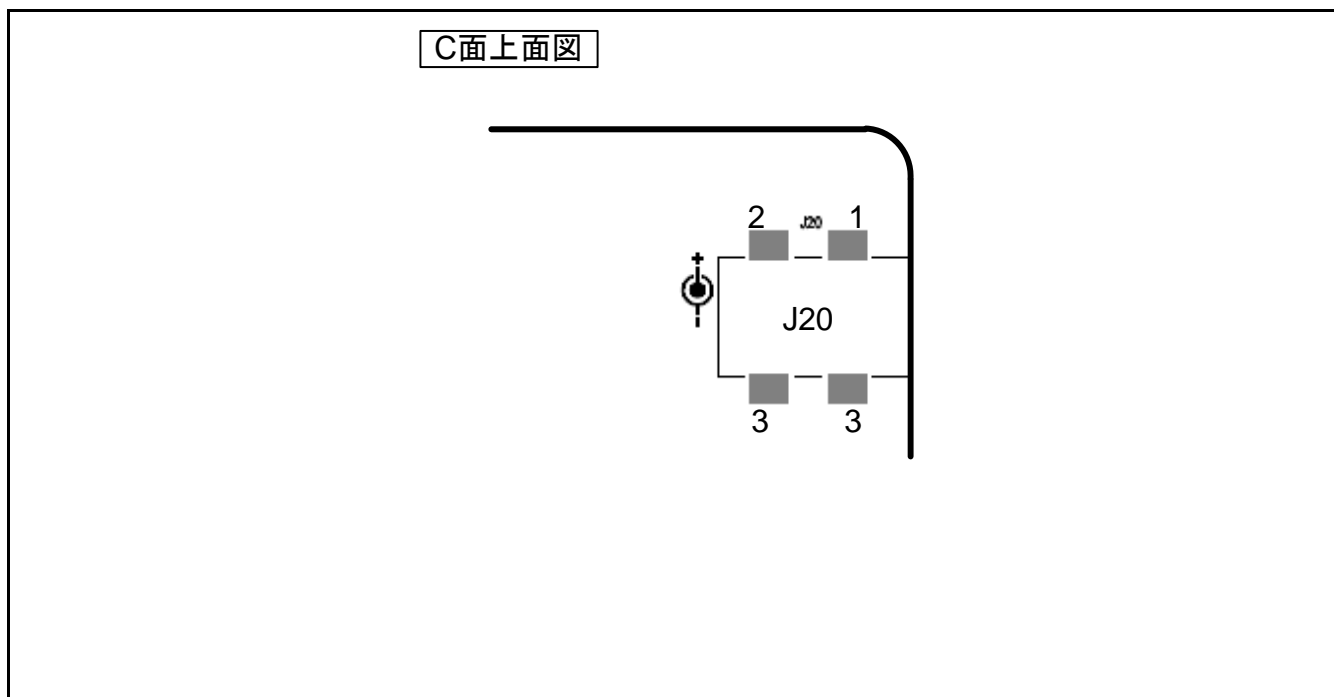


図 3.1.16 電源コネクタ端子配置図

表 3.1.17 電源コネクタ端子配置表

ピン	信号名
1	GND (Vss)
2	GND (Vss)
3	+5V

3.1.14 外部電源供給コネクタ (J21~J23)

RTK772103FC00000BR は、外部から直接 RZ/A1LU 用のデジタル 3.3V、アナログ 3.3V およびデジタル 1.18V を供給するための外部電源供給コネクタ (J21~J23) を実装可能なパターンとしてあります。内部電源と外部電源の切り替えはジャンパ (JP9、JP10、JP12) にて行います。切り替えジャンパの詳細は、表 3.2.3 で確認ください。

図 3.1.17 に外部電源供給コネクタの端子配置図を、表 3.1.18~表 3.1.20 に外部電源供給コネクタの端子配置表を示します。

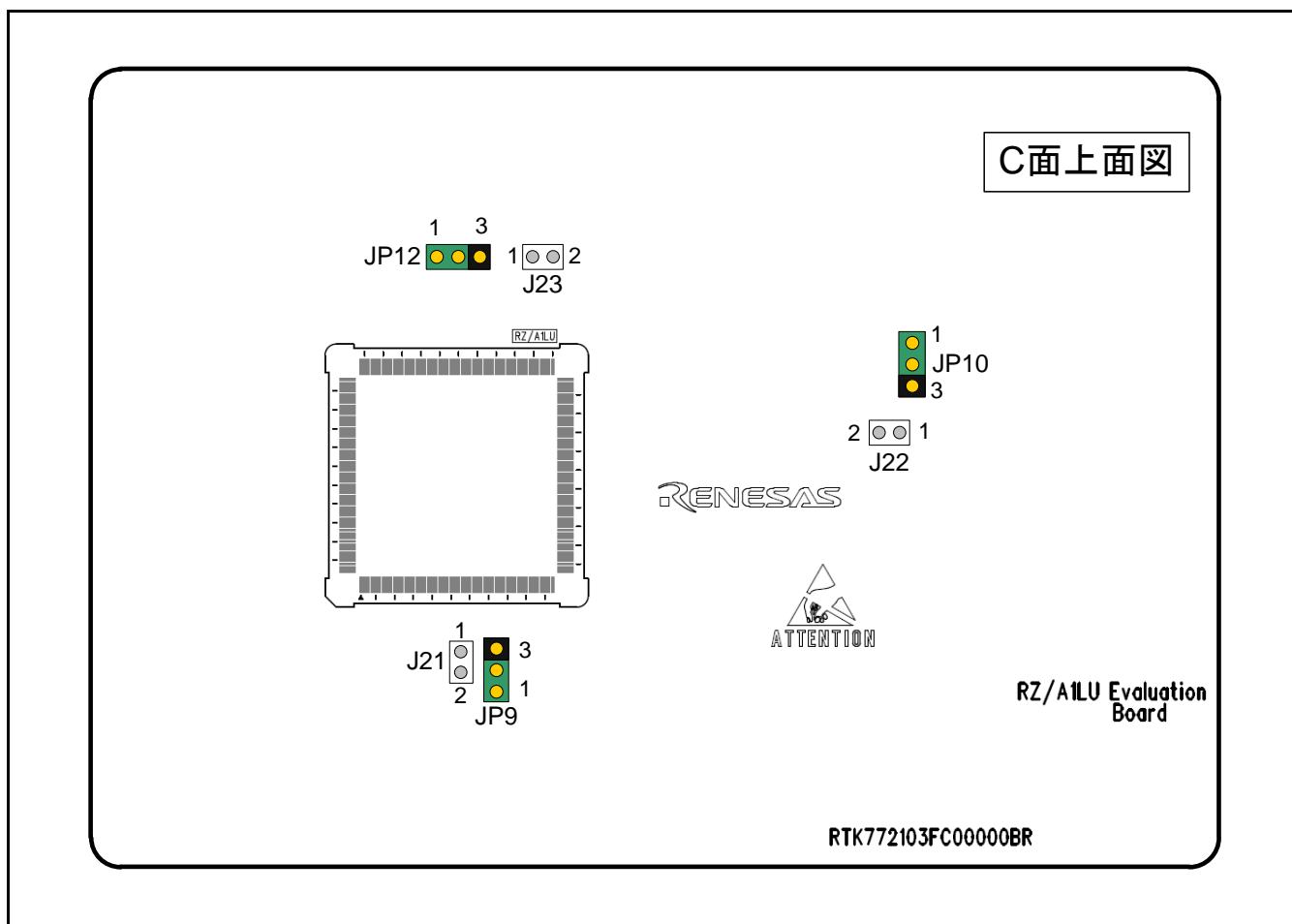


図 3.1.17 外部電源供給コネクタ端子配置図

表 3.1.18 RZ/A1LU 用デジタル 3.3V 外部電源供給コネクタ (J21) 端子配置表

ピン	信号名	ピン	信号名
1	+3.3V	2	GND (Vss)

表 3.1.19 RZ/A1LU 用アナログ 3.3V 外部電源供給コネクタ (J22) 端子配置表

ピン	信号名	ピン	信号名
1	+3.3V	2	GND (AVss)

表 3.1.20 RZ/A1LU 用デジタル 1.18V 外部電源供給コネクタ (J23) 端子配置表

ピン	信号名	ピン	信号名
1	+1.18V	2	GND (Vss)

3.2 操作部品配置

図 3.2.1 に RTK772103FC0000BR の操作部品配置図を示します。

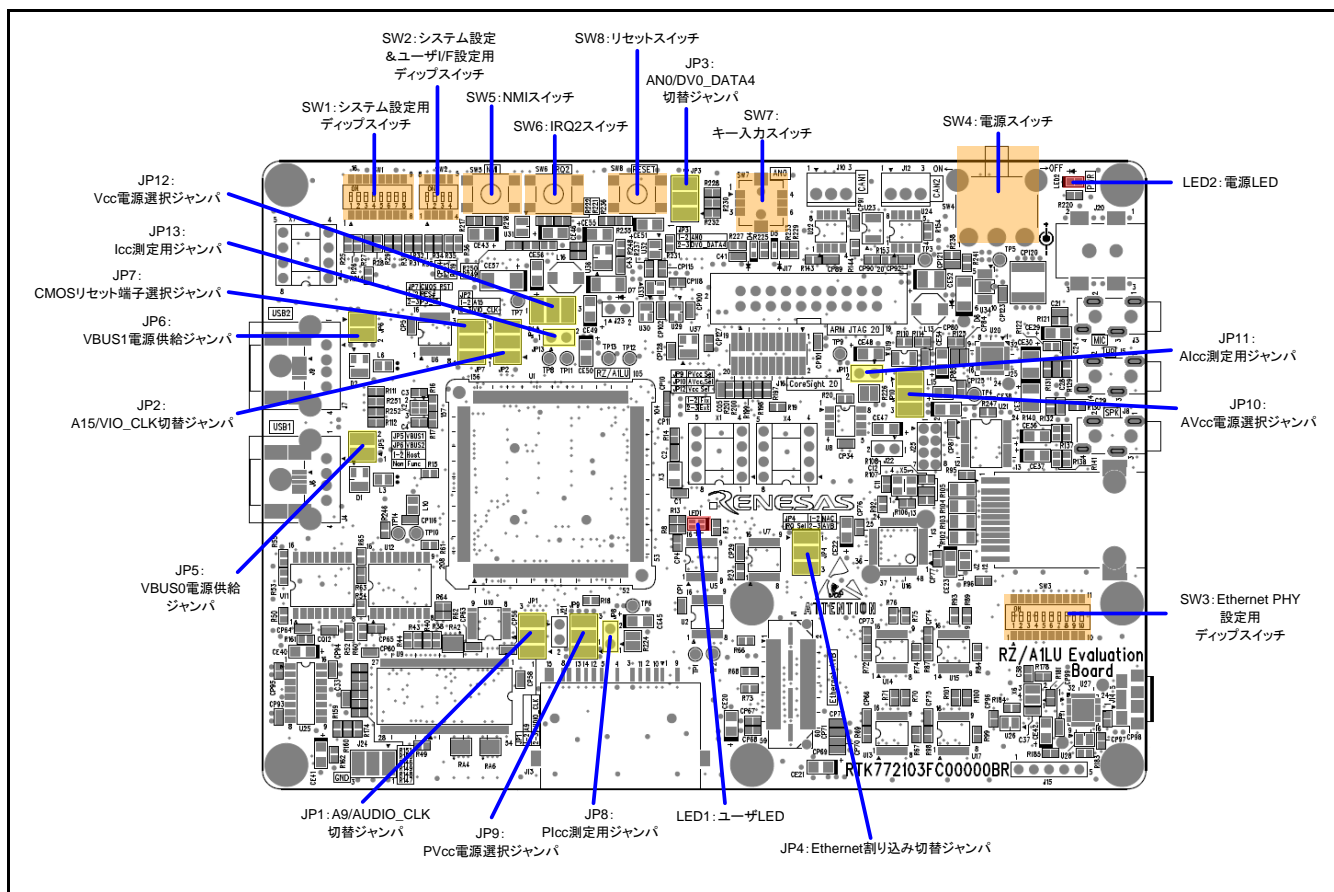


図 3.2.1 RTK772103FC0000BR 操作部品配置図 (C 面上面図)

3.2.1 ジャンパ (JP1~JP13)

RTK772103FC00000BR には、システム設定用ジャンパを 10 個、消費電流測定用ジャンパを 3 個実装しています。

図 3.2.2 にジャンパ配置図を、表 3.2.1~表 3.2.4 にジャンパ設定一覧を示します。

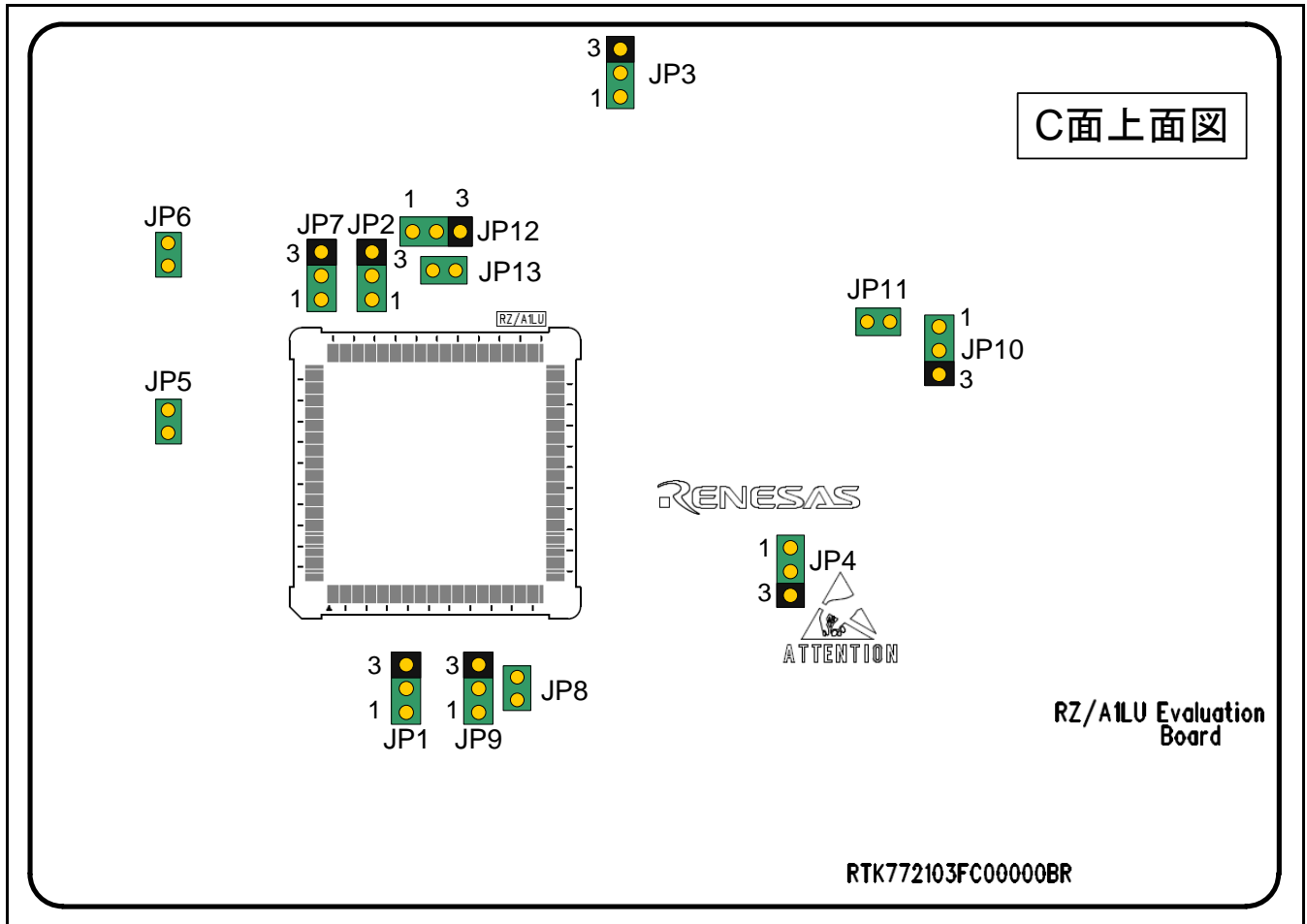


図 3.2.2 RTK772103FC00000BR システム設定用ジャンパ配置図

表 3.2.1 マルチ機能端子切り替え用ジャンパ設定一覧 (JP1~JP4、JP7)

ジャンパ	設定	機能
JP1 A9 / AUDIO_CLK	1-2	A9出力端子としてSDRAM (U9) に接続
	2-3	AUDIO_CLK入力端子としてEthernet AVBインタフェースコネクタ (J1) に接続
JP2 A15 / VIO_CLK	1-2	A15出力端子としてSDRAM (U9) に接続
	2-3	VIO_CLK入力端子としてCMOSカメラコネクタ (J18) に接続
JP3 AN0 / DV0_DATA4	1-2	AN0入力端子としてキー入力インタフェース (SW7) に接続
	2-3	DV0_DATA4入力端子としてデジタル映像信号入力インタフェースコネクタ (J19) に接続
JP4 IRQ MAC / AVB	1-2	LANインタフェース割り込み端子としてEthernet PHY (U16) に接続
	2-3	Ethernet AVBインタフェース割り込み端子としてEthernet AVBインタフェースコネクタ (J1) に接続
JP7 RES# / P3_15	1-2	RTK772103FC00000BRにて生成されるリセット信号をCMOSカメラコネクタ (J18) に接続
	2-3	P3_15端子をリセット信号としてCMOSカメラコネクタ (J18) に接続

【注】 は初期設定を示します。

ジャンパの設定変更は、必ずボードの電源をオフにした状態で行ってください。

表 3.2.2 USB VBUS 電源供給ジャンパ設定 (JP5、JP6)

ジャンパ	設定	機能
JP5 USB1用	1-2	USB1をホストモードで使用する (VBUS0電源を供給する)
	None (開放)	USB1をファンクションモードで使用する (VBUS0電源を供給しない)
JP6 USB2用	1-2	USB2をホストモードで使用する (VBUS1電源を供給する)
	None (開放)	USB2をファンクションモードで使用する (VBUS1電源を供給しない)

【注】 は初期設定を示します。

ジャンパの設定変更は、必ずボードの電源をオフにした状態で行ってください。

表 3.2.3 電源選択ジャンパ設定一覧 (JP9、JP10、JP12)

ジャンパ	設定	機能
JP9 D3.3V電源選択	1-2	RZ/A1LU用デジタル3.3V電源をU34から供給 (内蔵電源)
	2-3	RZ/A1LU用デジタル3.3V電源をJ21から供給 (外部電源)
JP10 A3.3V電源選択	1-2	RZ/A1LU用アナログ3.3V電源をU34から供給 (内蔵電源)
	2-3	RZ/A1LU用アナログ3.3V電源をJ22から供給 (外部電源)
JP12 1.18V電源選択	1-2	RZ/A1LU用1.18V電源をU36から供給 (内蔵電源)
	2-3	RZ/A1LU用1.18V電源をJ23から供給 (外部電源)

【注】 は初期設定を示します。

ジャンパの設定変更は、必ずボードの電源をオフにした状態で行ってください。

表 3.2.4 消費電流測定用ジャンパ設定一覧 (JP8、JP11、JP13)

ジャンパ	設定	機能
JP8	1-2	通常使用
PVcc電流測定	None (開放)	PIcc測定時 (差動プローブを接続)
JP11	1-2	通常使用
AVcc電流測定	None (開放)	AIcc測定時 (差動プローブを接続)
JP13	1-2	通常使用
Vcc電流測定	None (開放)	Icc測定時 (差動プローブを接続)

【注】 は初期設定を示します。

ジャンパの設定変更は、必ずボードの電源をオフにした状態で行ってください。

3.2.2 スイッチ、LED 機能

RTK772103FC00000BR には、スイッチを 8 個、LED を 2 個実装しています。

図 3.2.3 に実装スイッチ、LED 配置図を、表 3.2.5 に実装スイッチ一覧を、表 3.2.6～表 3.2.8 にディップスイッチの機能説明を、表 3.2.9 に実装 LED 一覧を示します。

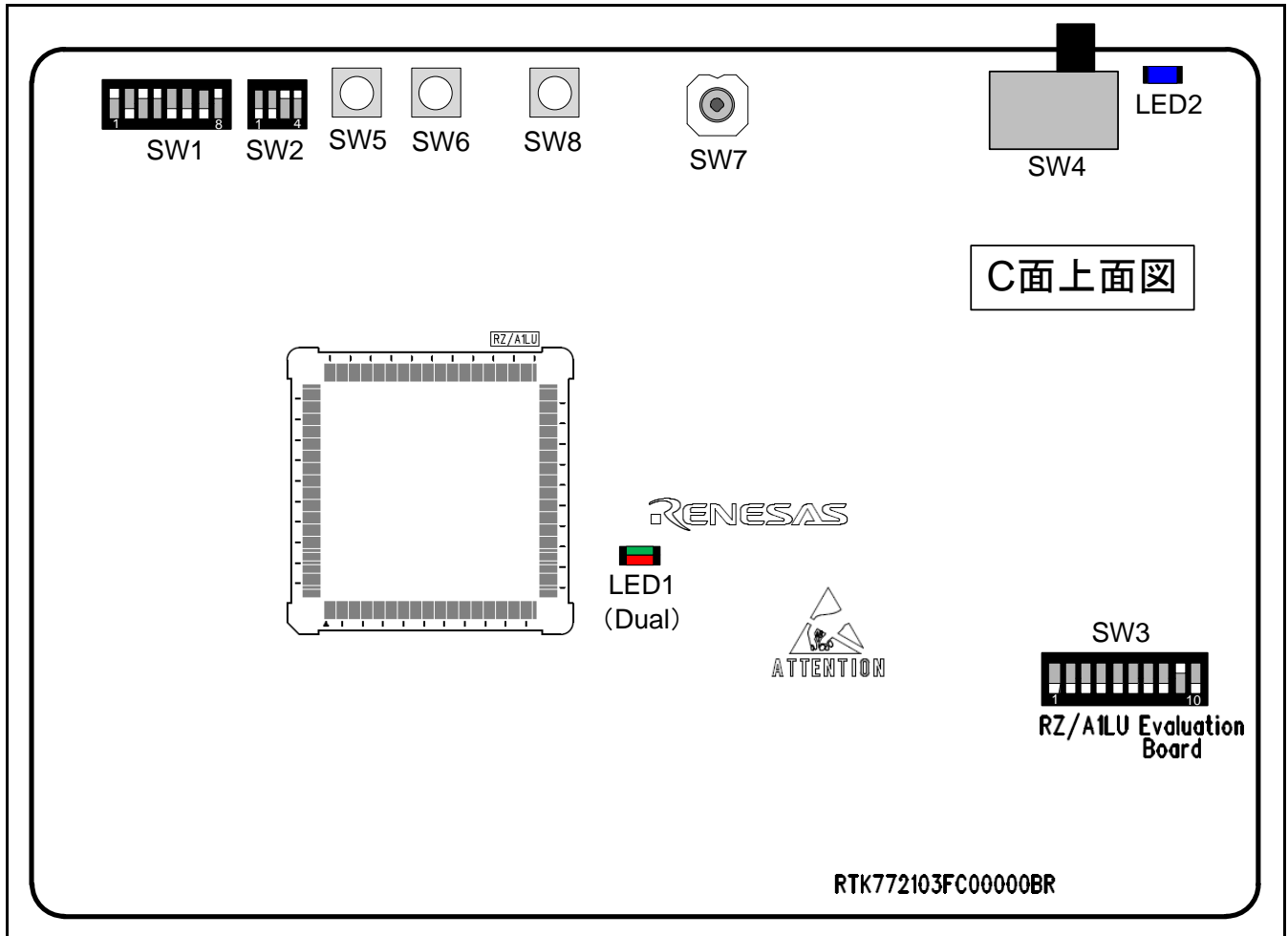


図 3.2.3 RTK772103FC00000BR 実装スイッチ、LED 配置図

表 3.2.5 RTK772103FC00000BR 実装スイッチ一覧表

番号	機能	備考
SW1	システム設定用ディップスイッチ (8極)	詳細は、表3.2.6を参照してください
SW2	システム設定およびユーザI/F設定用ディップスイッチ (4極)	詳細は、表3.2.7を参照してください
SW3	Ethernet PHY (U16) 設定用ディップスイッチ (10極)	詳細は、表3.2.8を参照してください
SW4	電源スイッチ	
SW5	NMIスイッチ	詳細は、2.7節を参照してください
SW6	IRQ2スイッチ	
SW7	4方向+センタプッシュ付きスイッチ	
SW8	リセットスイッチ	詳細は、2.9節を参照してください

表 3.2.6 システム設定用ディップスイッチ機能説明 (SW1)

番号	設定		機能	
	OFF	MD_BOOT0 = "H"	ブートモード MD_BOOT[1:0]	ブートデバイス
SW1-1 MD_BOOT0	OFF	MD_BOOT0 = "H"	0 (B'00)	設定禁止 : CS0空間に接続されたメモリ (バス幅16ビット)
	ON	MD_BOOT0 = "L"	1 (B'10)	シリアルフラッシュメモリ
SW1-2 MD_BOOT1	OFF	MD_BOOT1 = "H"	2 (B'01)	eSD
	ON	MD_BOOT1 = "L"	3 (B'11)	eMMC
SW1-3 MD_CLK	OFF	MD_CLK = "H"	システムクロックをUSB_X1から入力する	
	ON	MD_CLK = "L"	システムクロックをEXTALから入力する	
SW1-4 MD_CLKS	OFF	MD_CLKS = "H"	SSCG動作ON	
	ON	MD_CLKS = "L"	SSCG動作OFF	
SW1-5 P3_[7:0]接続先選択	OFF	Other#/SDRAM = "H"	アドレス端子として使用	
	ON	Other#/SDRAM = "L"	SDHI端子として使用	
SW1-6 P7_[10:8]接続先選択	OFF	DV#/Other = "H"	SSIF端子として使用	
	ON	DV#/Other = "L"	デジタル映像信号入カインタフェース端子として使用	
SW1-7 P6_10、P7_0 接続先選択	OFF	Trace#/Other = "H"	CANインタフェース端子およびMMCインタフェース端子として使用	
	ON	Trace#/Other = "L"	デバッグインタフェース端子として使用	
SW1-8 P8_[10:0]、 P8_[15:4]、P9_[4:2] 接続先選択	OFF	MAC#/AVB = "H"	MII端子をEthernet AVBインタフェースに接続	
	ON	MAC#/AVB = "L"	MII端子をLANインタフェースに接続	

【注】 は初期設定を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 3.2.7 システム設定およびユーザ I/F 設定用ディップスイッチ機能説明 (SW2)

番号	設定		機能
SW2-1 P0_2	OFF	P0_2 = "H"	汎用入力ポートP0_2 = "H" (P9_5 = "H"の場合)
	ON	P0_2 = "L"	汎用入力ポートP0_2 = "L" (P9_5 = "H"の場合)
SW2-2 P0_3	OFF	P0_3 = "H"	汎用入力ポートP0_3 = "H" (P9_5 = "H"の場合)
	ON	P0_3 = "L"	汎用入力ポートP0_3 = "L" (P9_5 = "H"の場合)
SW2-3 SD_WP_0	OFF	SD_WP_0 = "H"	microSDカードのライトプロテクトを設定
	ON	SD_WP_0 = "L"	microSDカードのライトプロテクトを解除
SW2-4 BSCANP	OFF	BSCANP = "H"	バウンダリスキャン動作
	ON	BSCANP = "L"	通常動作

【注】 は初期設定を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 3.2.8 Ethernet PHY (U16) 設定用ディップスイッチ機能説明 (SW3)

番号	設定		機能	
SW3-1 PHYAD0	OFF	PHYAD0 = "H"	PHYAD1, PHYAD2 = "L"固定	
	ON	PHYAD0 = "L"	PHYAD[2:0]	PHY Address
			000	0
001	1			
SW3-2 CONFIG2	OFF	CONFIG2 = "L"	CONFIG0 = "L"固定	
	ON	CONFIG2 = "H"	CONFIG[2:0]	Mode
			000	MII
SW3-3 CONFIG1	OFF	CONFIG1 = "L"	110	MII back-to-back
	ON	CONFIG1 = "H"	001-101,111	Reserved - not used
SW3-4 PME_EN	OFF	PME_EN = "L"	PME output for Wake-on-LAN disable	
	ON	PME_EN = "H"	PME output for Wake-on-LAN enable	
SW3-5 ISO	OFF	ISO = "L"	Isolate mode disable	
	ON	ISO = "H"	Isolate mode enable	
SW3-6 SPEED	OFF	SPEED = "H"	Speed mode 100Mbps	
	ON	SPEED = "L"	Speed mode 10Mbps	
SW3-7 DUPLEX	OFF	DUPLEX = "H"	Duplex mode Half-duplex	
	ON	DUPLEX = "L"	Duplex mode Full-duplex	
SW3-8 NWAYEN	OFF	NWAYEN = "H"	Nway Auto-Negotiation enable	
	ON	NWAYEN = "L"	Nway Auto-Negotiation disable	
SW3-9 B-CAST_OFF	OFF	B-CAST_OFF = "L"	PHY Address 0 is set as a broadcast PHY address	
	ON	B-CAST_OFF = "H"	PHY Address 0 is set as an unique PHY address	
SW3-10 NAND_Tree#	OFF	NAND_TREE# = "H"	NAND tree mode enable	
	ON	NAND_TREE# = "L"	NAND tree mode disable	

【注】 は初期設定を示します。

ディップスイッチの機能変更は、必ずボードの電源をオフにした状態で行ってください。

表 3.2.9 RTK772103FC00000BR 実装 LED 一覧表

番号	色	機能
LED1	赤	ユーザLED (P8_12が"H"出力時に点灯)
	緑	ユーザLED (P8_13が"H"出力時に点灯)
LED2	青	電源LED (5V電源供給時に点灯)

3.3 外形寸法

図 3.3.1 に RTK772103FC0000BR C 面上上面図の外形寸法図を、図 3.3.2 に RTK772103FC0000BR S 面上上面図の外形寸法図を示します。

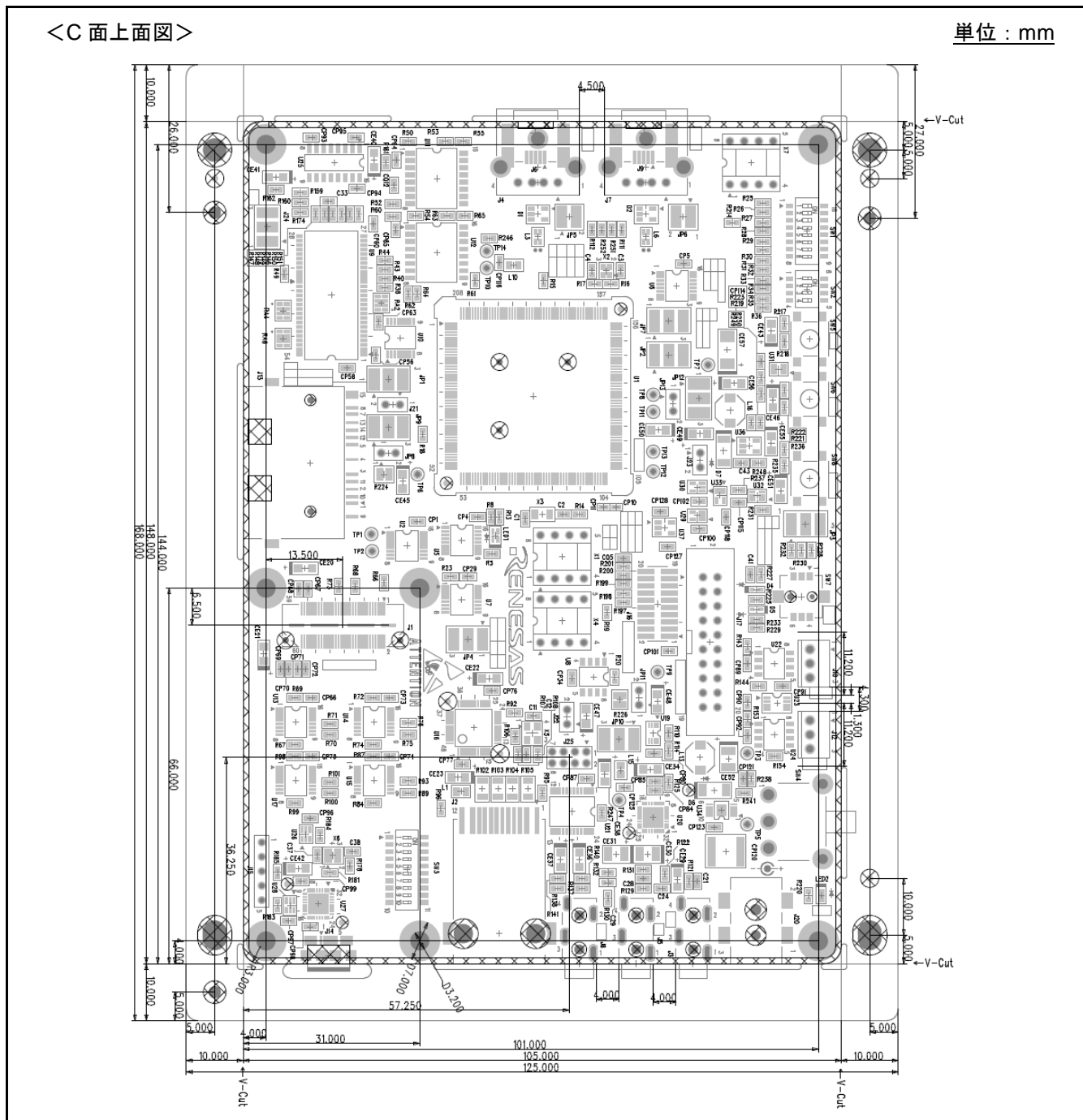


図 3.3.1 RTK772103FC0000BR 外形寸法図 (C 面上上面図)

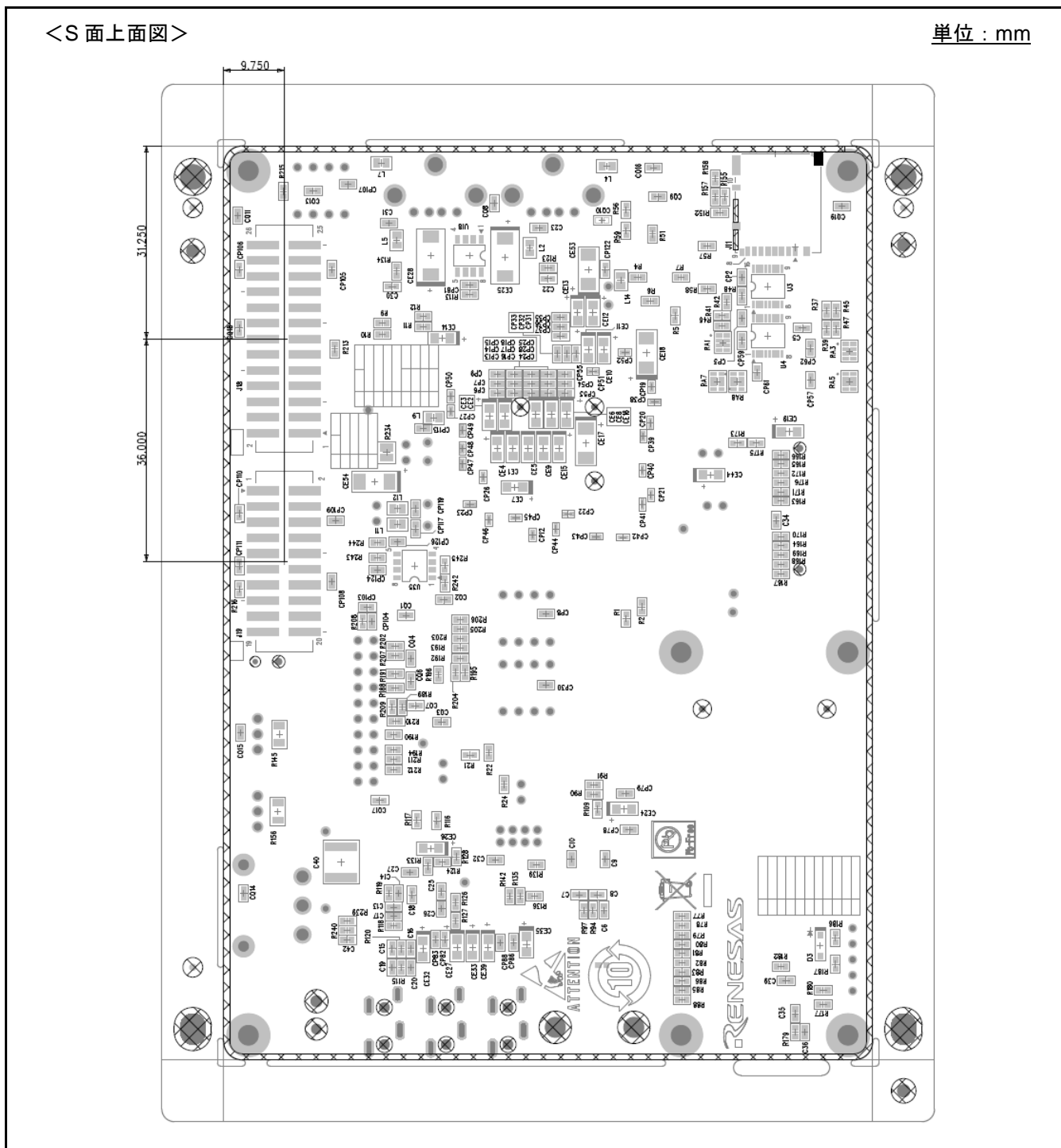






図 3.3.2 RTK772103FC00000BR 外形寸法図 (S 面上面図)

付録 RTK772103FC00000BR 接続図

R7S72103 CPU board RTK772103FC00000BR SCHEMATICS (RZ/A1LU, QFP208)

TITLE	PAGE
Index	1
RZ/A1LU-main	2
RZ/A1LU-power & clock, Dip-SW	3
Serial-flash, SDRAM	4
Ethernet	5
Audio, USB	6
SD/MMC, CAN	7
USB-Serial, UDI	8
CMOS, DV	9
Power, Reset, Push-SW	10

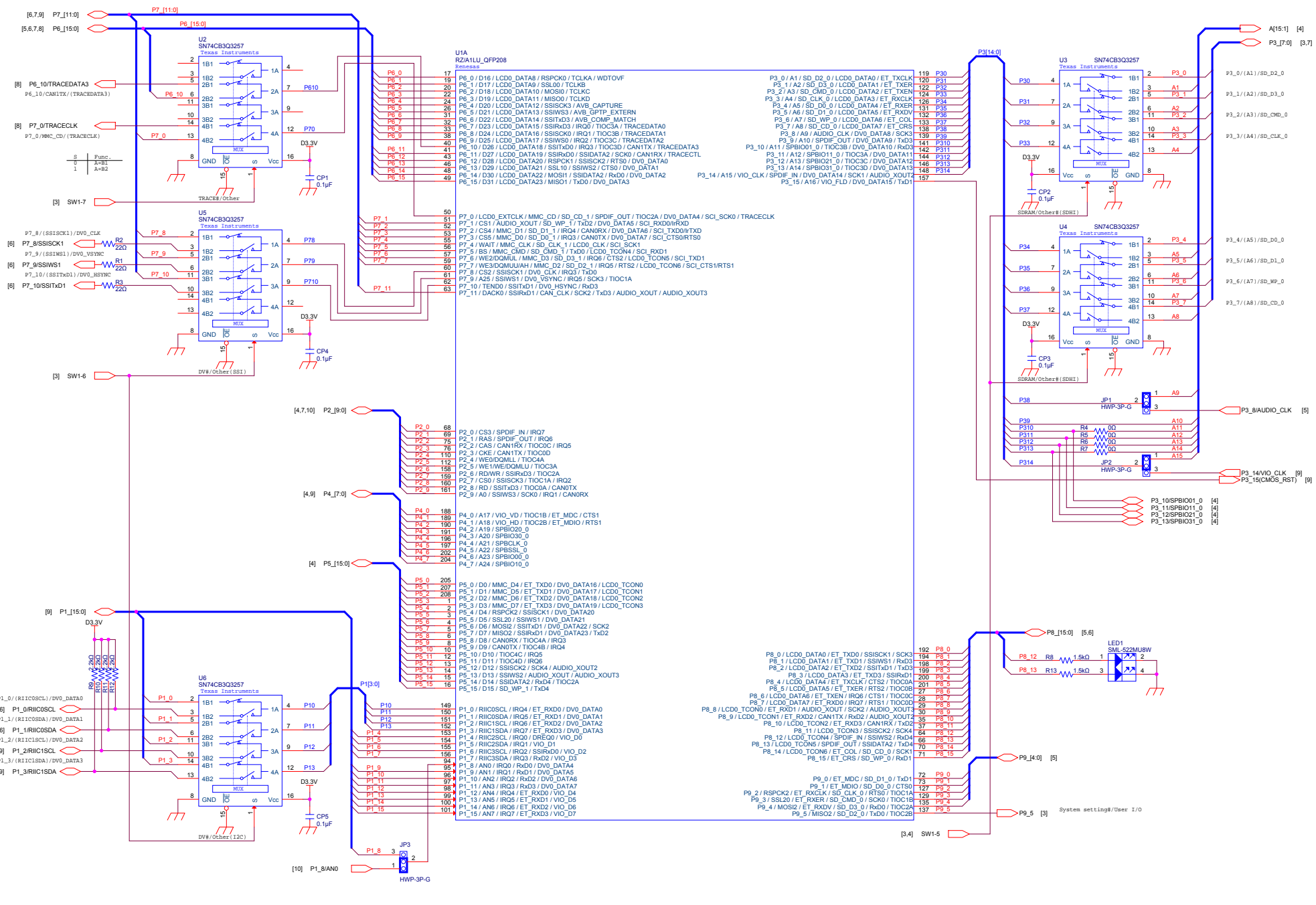
Note:

-  Digital GND (GND)
-  Analog GND (AVss)
-  USB Analog GND (UVss)
-  Not mounted

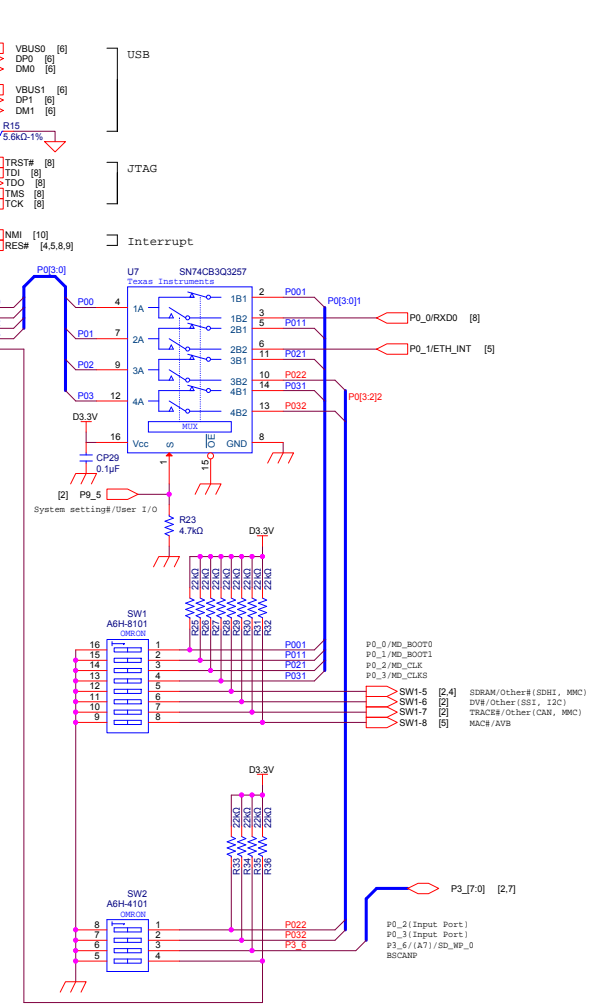
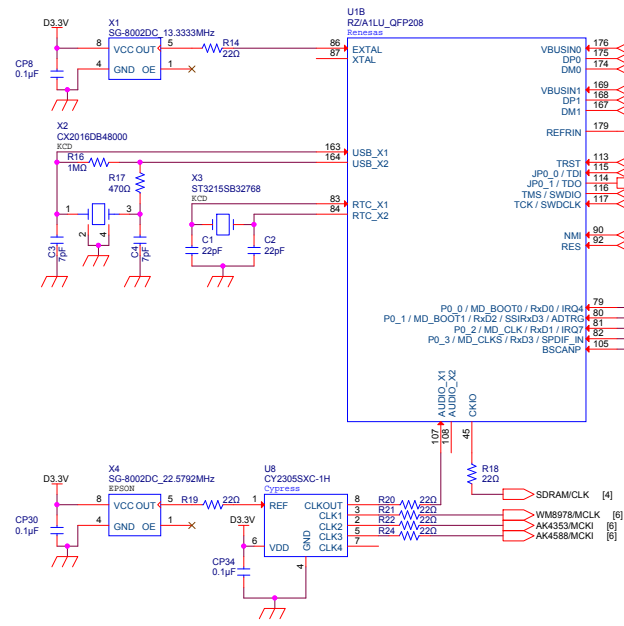
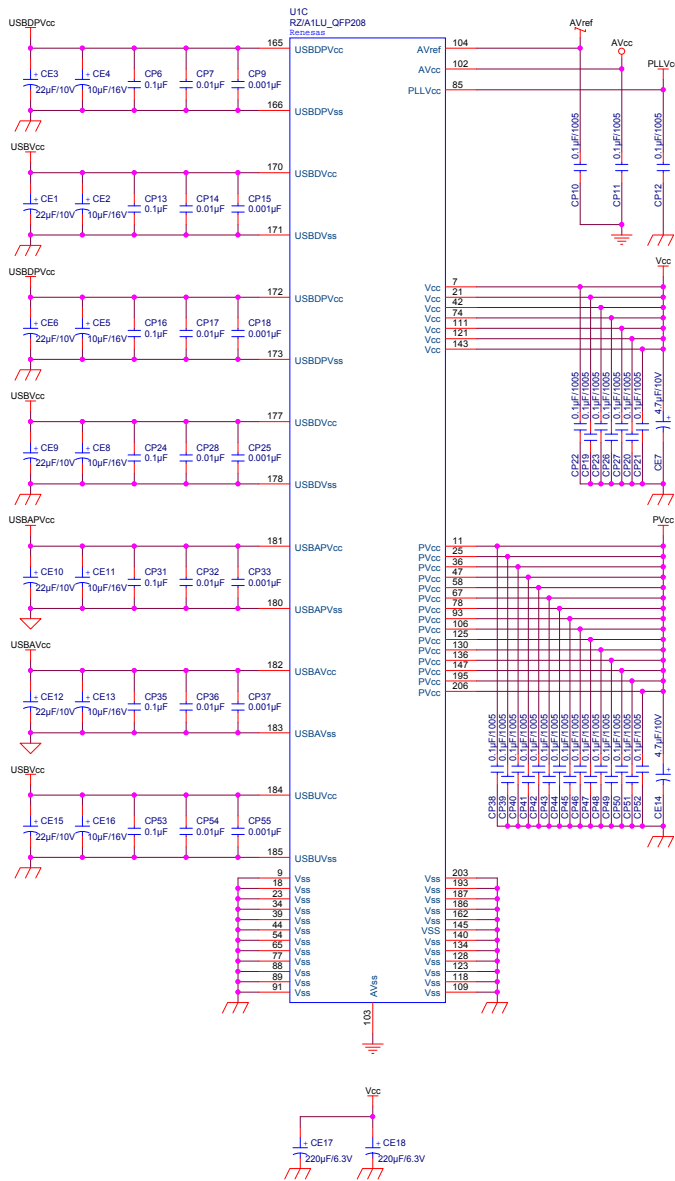
D5V = Digital 5V (System Power)
 D3.3V = Digital 3.3V
 A3.3V = Analog 3.3V
 PVcc = 3.3V for RZ/A1LU I/O
 Vcc = 1.18V for RZ/A1LU Core
 PLLVcc = Digital 1.18V for RZ/A1LU PLL
 USBAPVcc = Analog 3.3V for RZ/A1LU USB
 USBAVcc = Analog 1.18V for RZ/A1LU USB
 AVcc = Analog 3.3V for RZ/A1LU
 AVref = 3.3V for ADC Voltage Reference
 EA3.3V = Analog 3.3V for Ethernet PHY

R = Fixed Resistors
 RA = Resistor Array
 C = Ceramic Caps
 CE = Tantalum Electrolytic Caps
 CP = Decoupling Caps

CHANGE					Renesas System Design Co., Ltd.				RTK772103FC00000BR	
	SCALE		DRAWN	CHECKED	DESIGNED	APPROVED	INDEX (1 / 10)			
	DATE	15-11-27					D-RTK772103FC00000BR_C-A			

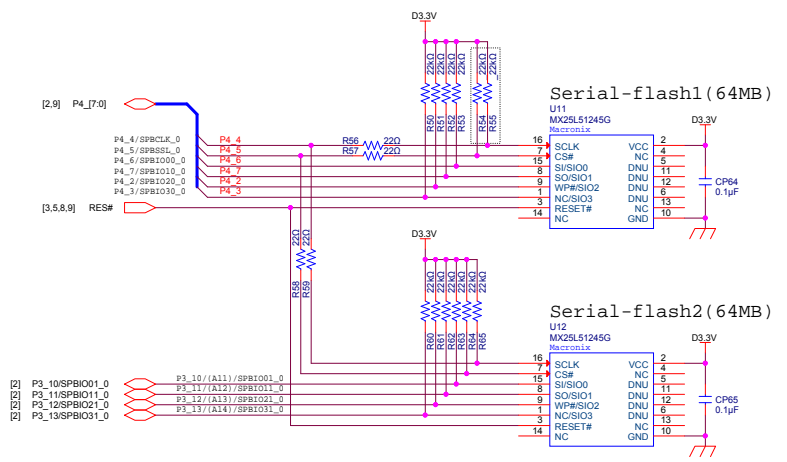
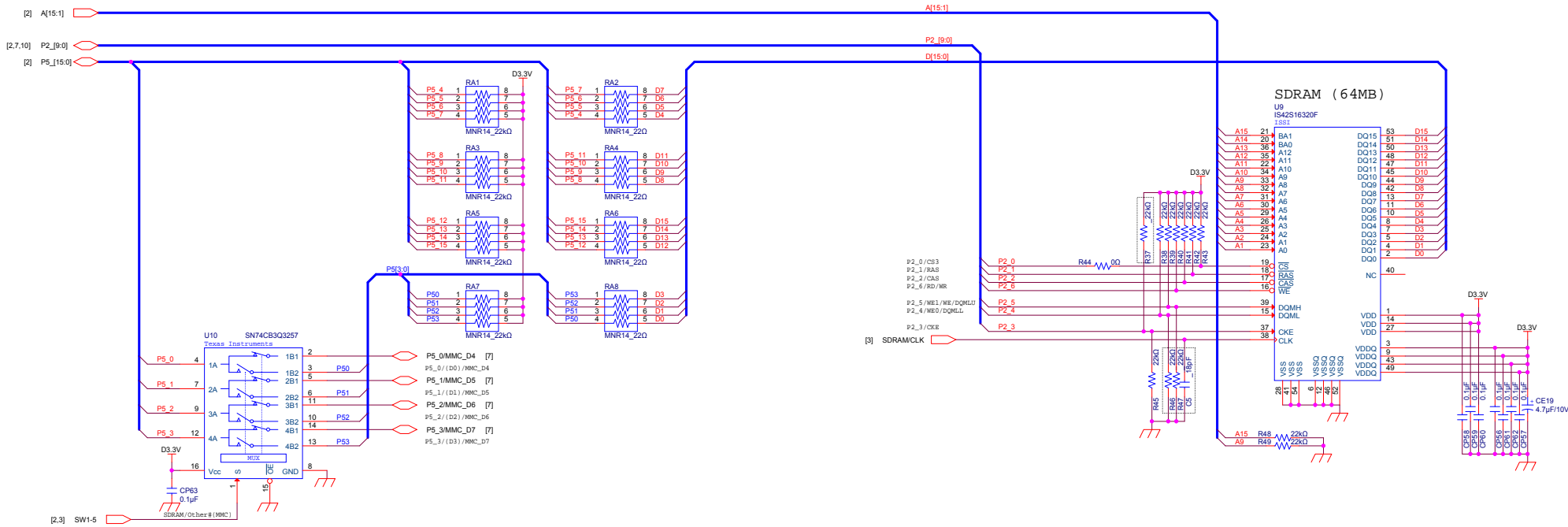


CHANGE	Renesas System Design Co., Ltd.				RTK772103FC0000BR		
	DRAWN CHECKED DESIGNED APPROVED				RZ/A1LU-Main		
	SCALE				(2 / 10)		
DATE				15-11-27		D-RTK772103FC0000BR_C-A	

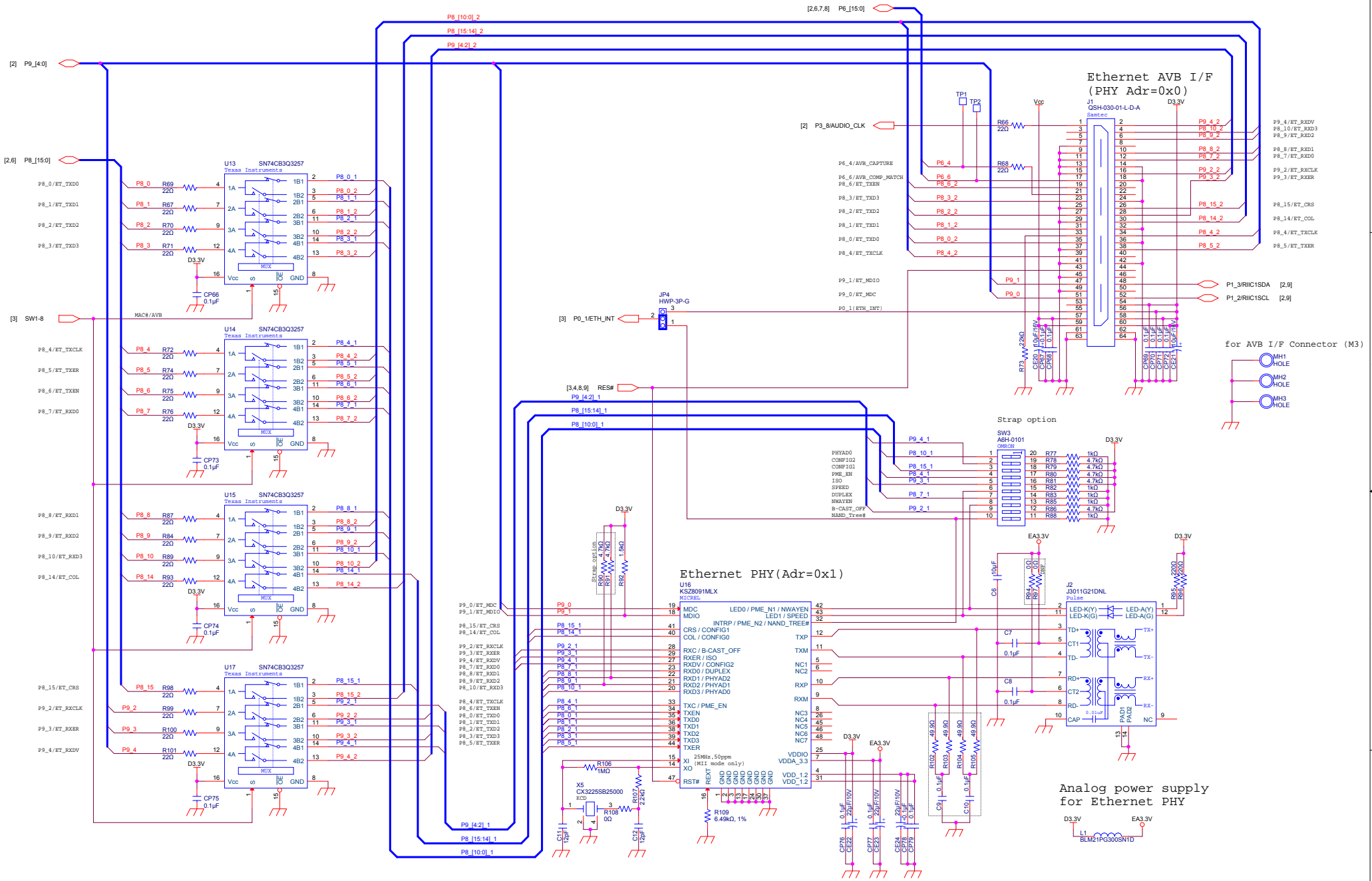


CHANGE

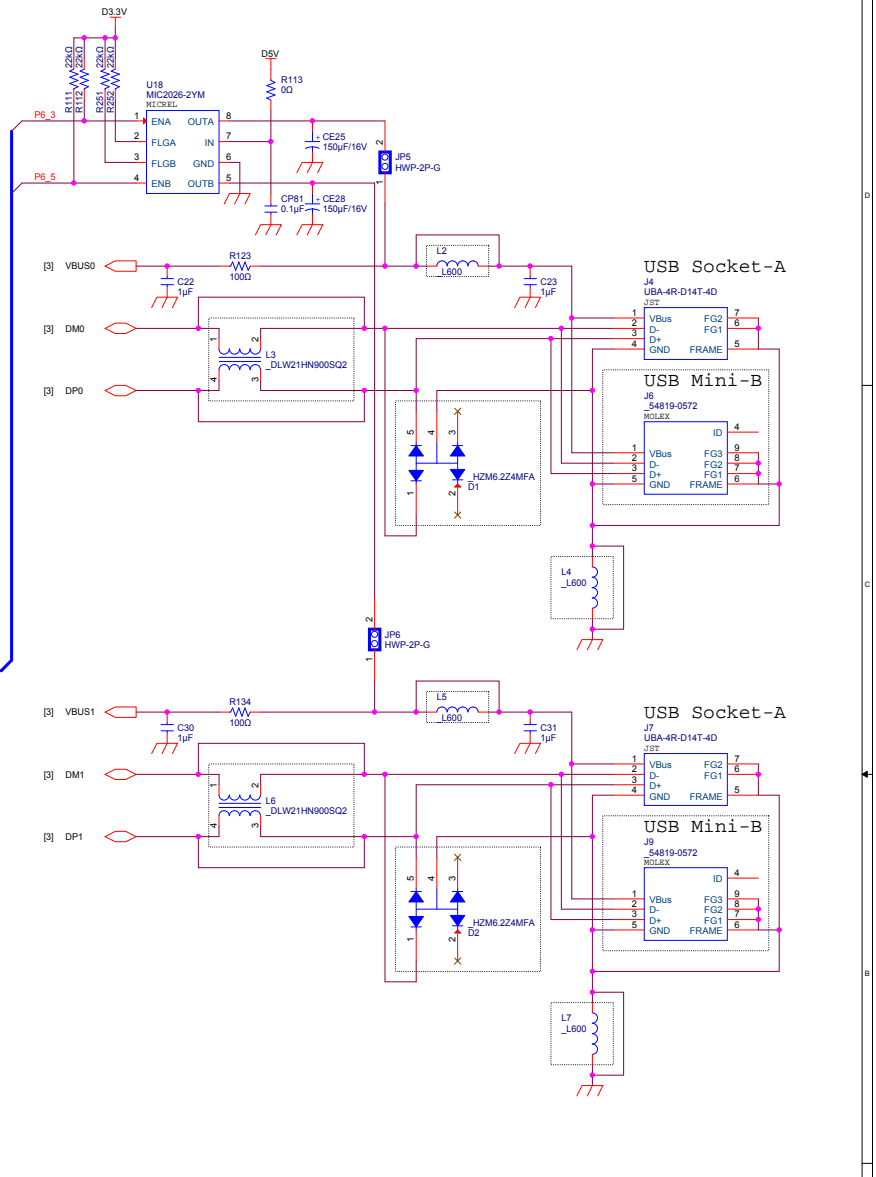
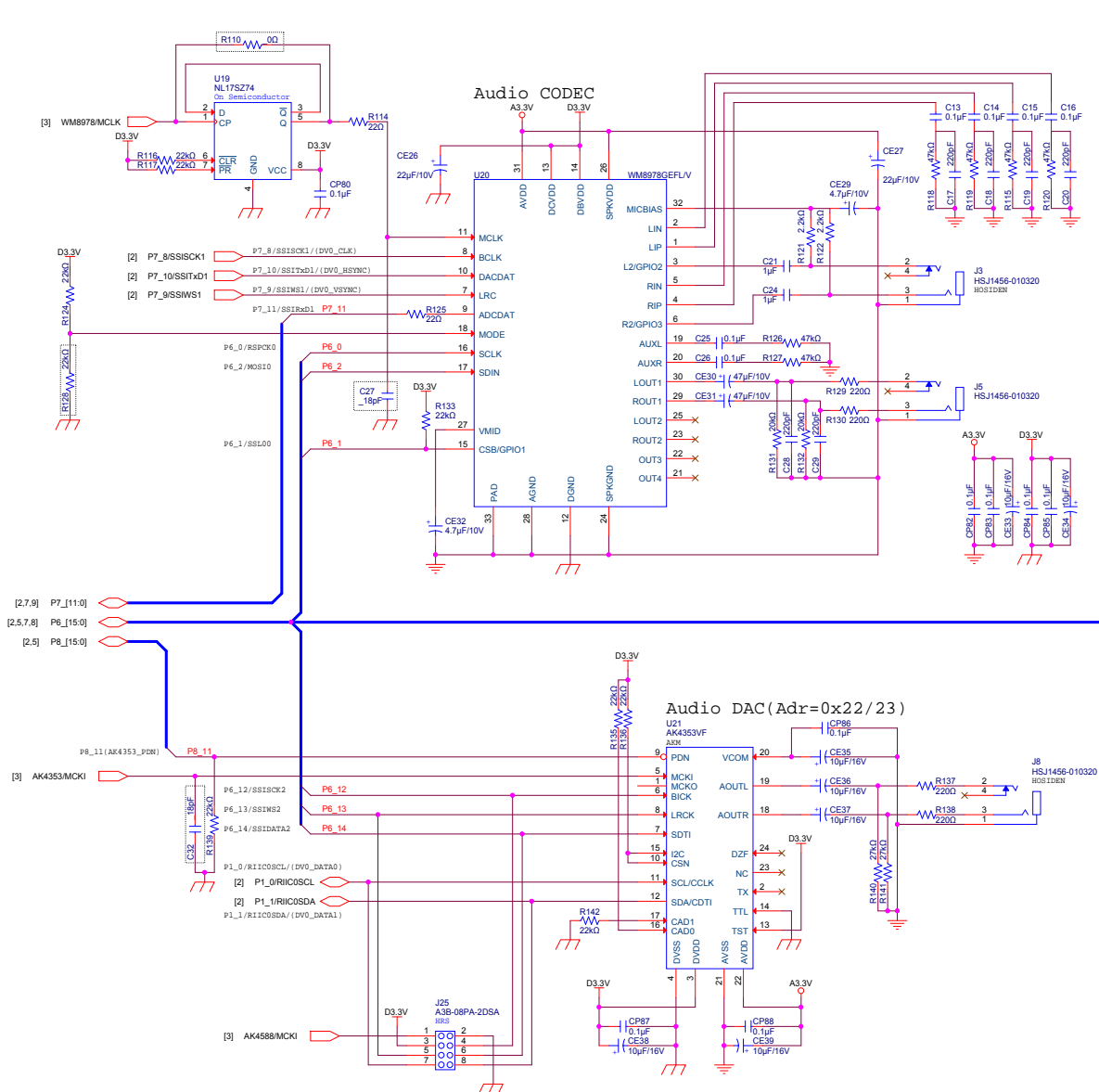
<p>Renesas System Design Co., Ltd.</p>				<p>RTK772103FC00000BR</p>	
				<p>RZ/A1LU-Clock, Power</p>	
SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
DATE	15-11-27				
					<p>(3 / 10)</p>
<p>D-RTK772103FC00000BR_C-A</p>					



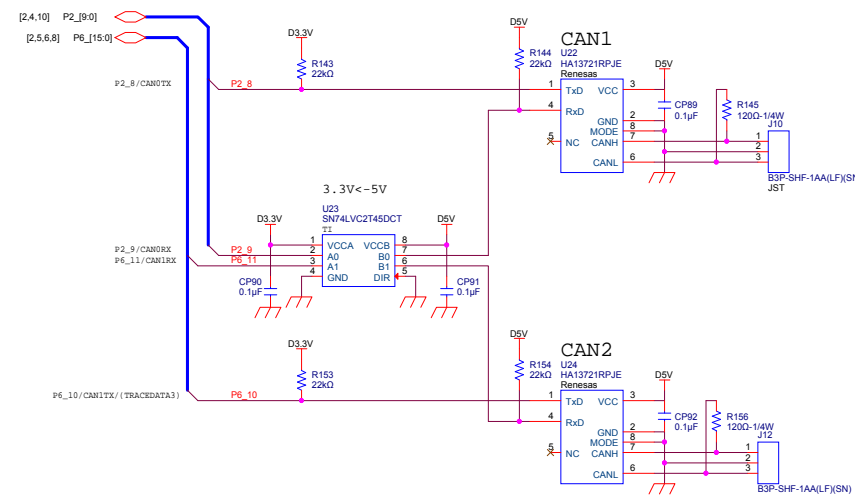
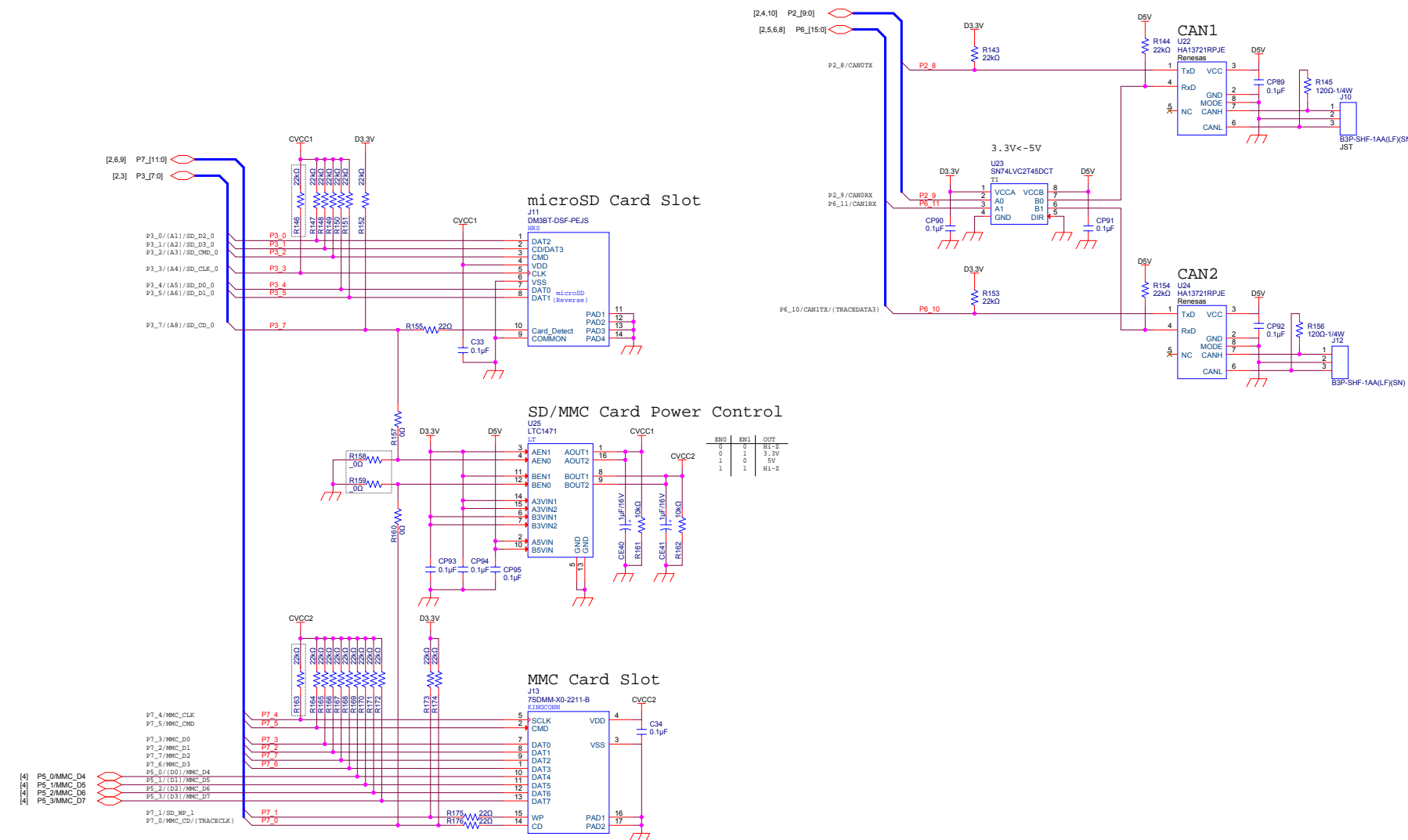
CHANGE	Renesas System Design Co., Ltd.				RTK772103FC00000BR	
					Memory (QSPI, SDRAM)	
	SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
DATE	15-11-27					(4 / 10)
						D-RTK772103FC00000BR_C-A



CHANGE	Renesas System Design Co., Ltd.				RTK772103FC00000BR
	SCALE	DRAWN	CHECKED	DESIGNED	APPROVED
	DATE 15-11-27				
					Ethernet (5 / 10)
					D-RTK772103FC00000BR_C-A



CHANGE	Renesas System Design Co., Ltd.				RTK772103FC00000BR	
					USB, Audio	
	SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
	DATE	15-11-27				
						(6 / 10)
						D-RTK772103FC00000BR_C-A



CHANGE

Renesas System Design Co., Ltd.

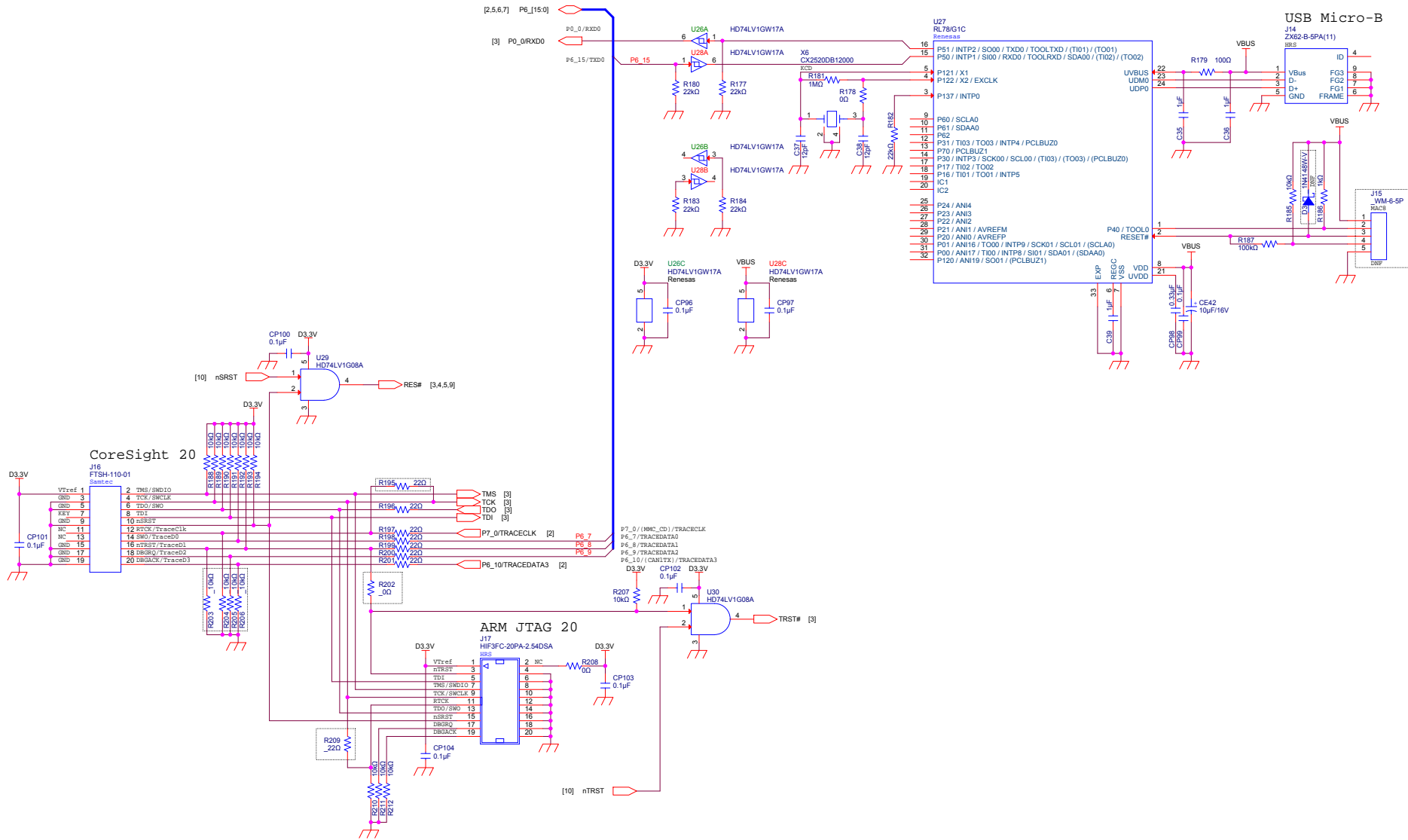
RTK772103FC00000BR

DRAWN CHECKED DESIGNED APPROVED

SD/MMC slot, CAN (7 / 10)

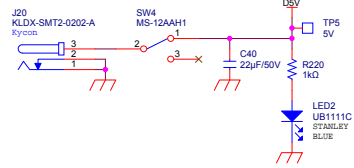
SCALE
 DATE 15-11-27

D-RTK772103FC00000BR_C-A

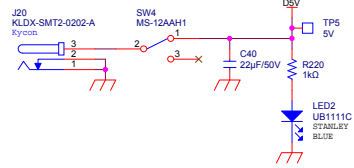


CHANGE	Renesas System Design Co., Ltd.				RTK772103FC00000BR	
					USB-Serial, UDI	
	SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
DATE	15-11-27					(8 / 10)
					D-RTK772103FC00000BR_C-A	

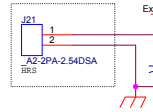
AC Adaptor



Power Switch



3.3V External

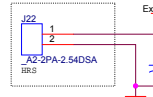


$$R = \frac{V_F}{I} = \frac{150\text{mV}}{200\text{mA}} = 0.75\Omega$$

$$R = \frac{((3.2 \times 3.3V) / (100 \times (3.3V \times 200\text{mA}))) \times 0.95}{V_F} = 152\text{mR} \rightarrow 150\text{mR}$$

$$V_F = 150\text{mR} \times 200\text{mA} = 30\text{mV}$$

A3.3V External

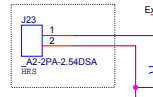


$$R = \frac{V_F}{I} = \frac{304\text{mR}}{100\text{mA}} = 3.04\text{mR}$$

$$R = \frac{((3.2 \times 3.3V) / (100 \times (3.3V \times 100\text{mA}))) \times 0.95}{V_F} = 304\text{mR} \rightarrow 300\text{mR}$$

$$V_F = 300\text{mR} \times 100\text{mA} = 30\text{mV}$$

1.18V External

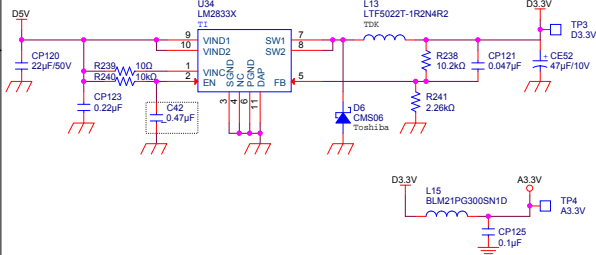


$$R = \frac{V_F}{I} = \frac{47\text{mR}}{1\text{A}} = 47\text{mR}$$

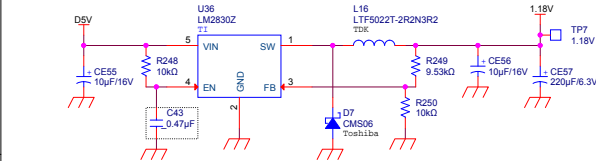
$$R = \frac{((3.2 \times 1.18V) / (100 \times (1.18V \times 1\text{A}))) \times 0.95}{V_F} = 47\text{mR} \rightarrow 47\text{mR (Min.)}$$

$$V_F = 47\text{mR} \times 1\text{A} = 47\text{mV}$$

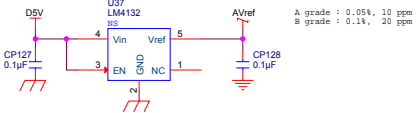
5V -> 3.3V



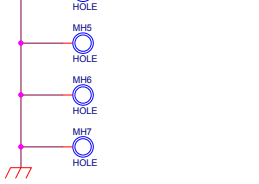
5V -> 1.18V



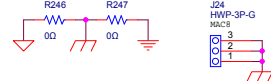
ADC Voltage Reference



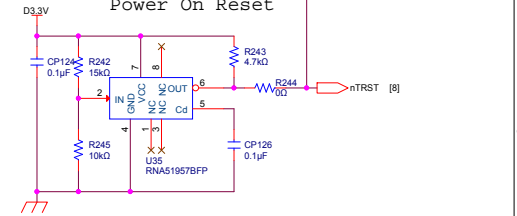
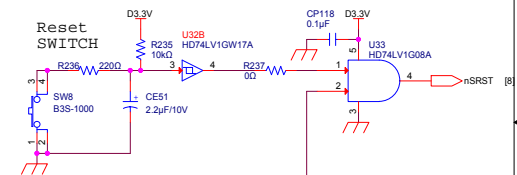
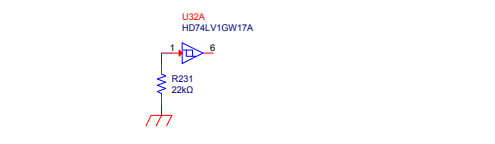
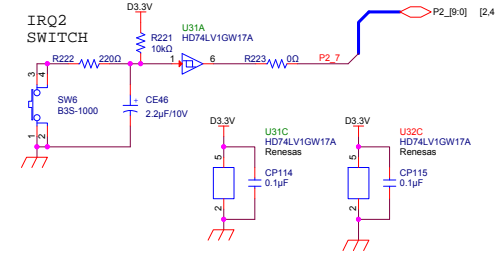
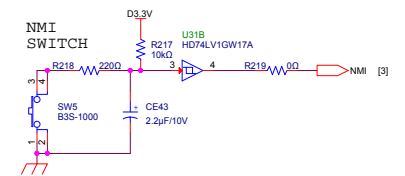
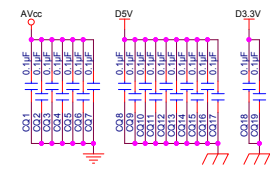
Board fixed hole.
for Corner x 4 (M3)



GND Connection



Anti-resonant Capacitor



CHANGE					Renesas System Design Co., Ltd.				RTK772103FC00000BR		
					DRAWN	CHECKED	DESIGNED	APPROVED	Power, SW		
					SCALE					(10 / 10)	
					DATE	15-11-27				D-RTK772103FC00000BR_C-A	

改訂記録

RZ/A1LU AVB ボード RTK772103FC00000BR ユーザーズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2015.09.08	—	新規作成
0.02	2015.10.13	3	「製品ご使用上の注意事項」追加
		1-1	訂正：「RZ/A1 グループ」→「RZ/A1LU」
		1-3	表 1.1：誤記修正
		1-5	図 1.3：誤記修正
		1-6	図 1.4：誤記修正
		2-1	表 2.1：誤記修正
		2-2～ 2-10	表 2.2.1～表 2.2.9：R7S72103 端子機能一覧を追加
		2-11	表 2.2.10：RTK772103FC00000BR モジュール別使用可否一覧表を追加
		2-32	図 2.13.2：誤記修正
		2-38、 2-40	SW3-9 の設定についての記述を文中に追加、 表 2.17.3：SW3-9 の機能設定表を追加
		3-1～ 3-30	第 3 章を追加
			付録 RTK772103FC00000BR 接続図を追加
		0.03	2015.12.25
3-15	CoreSight 20 コネクタ (J16) の逆ざしに関する注意書きを追加		
1-1、 1-3、 1-5、 1-8、 2-1、 2-7、 2-9、 2-11、 2-17	シリアルフラッシュメモリ 2 (U12) を未実装から実装に変更		
2-29、 2-30、 2-39、 2-42、 2-44	図 2.11.1、図 2.12.1、図 2.17.1、図 2.19.1、図 2.20.1：接続するケーブルや Ethernet AVB 対応 PHY ボードの抜き差しに関する注意書きを追加		
3-30、 3-31	図 3.3.1：C 面上面図を更新 図 3.3.2：C 面透視図を追加		
—	ボード愛称 (JASMINE) を追記		
0.04	2016.03.31	—	CPU 型名を「RZ/A1LU」に統一
		—	図 1.3、表 2.2.10、表 2.3.4、図 2.4.1：誤記修正
		2-21	USB シリアル変換 IC (RL78/G1C) を介したシリアル通信を行うためには、ドライバが必要な旨と、その入手先を追記
		3-31	図 3.3.2：C 面透視図から S 面上面図に変更
		—	

RZ/A1LU AVB ボード RTK772103FC00000BR ユーザーズマニュアル

発行年月日 2016 年 3 月 31 日 Rev.0.04

発行 ルネサス エレクトロニクス株式会社

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

RZ/A1LU AVB ボード
RTK772103FC00000BR
(JASMINE)
ユーザーズマニュアル