

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

インフォメーション

保守 / 廃止

μPD98405 Q&A 集

(NEASCOT-S20™)

155M ATM INTEGRATED SAR CONTROLLER

[メ モ]

目 次 要 約

第1章	端 子	...	13
第2章	PCI インタフェース	...	14
第3章	UTOPIA インタフェース	...	18
第4章	コントロール・メモリ	...	20
第5章	メールボックス	...	22
第6章	送信スケジューラ	...	23
第7章	送信動作	...	26
第8章	受信動作	...	31
第9章	送受信動作	...	36
第10章	コマンド	...	38
第11章	ループバック	...	40
第12章	PHY	...	42
第13章	レジスタ	...	43
第14章	JTAG	...	45
第15章	AC/DC 特性	...	46
第16章	その他	...	47

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-S20, EEPROM は、日本電気株式会社の商標です。

- **本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。**
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

巻末にアンケート・コーナーを設けております。このドキュメントに関するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD98405 の機能を理解し、それを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目的 このインフォメーションは、ユーザの方からご質問いただいた内容をまとめたものです。製品の使用または応用システムのご検討中に不明な点が出た場合に、ご参照いただくことを目的としています。

読み方 不明な内容を目次より索引してください。
このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般知識を必要とします。
また、必ず最新のユーザズ・マニュアル、データ・シートを合わせてご参照ください。

関連資料

データ・シート	: S12689J
ユーザズ・マニュアル	: S12250J

凡例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: XXX_B (端子, 信号名称に_B)
メモリ・マップのアドレス	: 上部 - 下位, 下部 - 上位
数の表記	: 2進数...XXXX または XXXXB 10進数...XXXX 16進数...XXXXh

[メ モ]

目次

第1章 端子 ... 13

- Q.1.1 PHRST_B 端子の動作について教えてほしい。 ... 13
- Q.1.2 PHRST_B 端子は、内蔵 PHY モードのときも有効か？ ... 13
- Q.1.3 内蔵 PHY を使用しないとき、AVDD3, HVDD3, RVDD3 の各電源端子に品質の高い電源を供給する必要があるか？ ... 13

第2章 PCI インタフェース ... 14

- Q.2.1 PCI コンフィグレーション・レジスタの Cache line size の設定を教えほしい。 ... 14
- Q.2.2 マスタ時に μ PD98405 が発行する PCI コマンドについて教えてほしい。 ... 14
- Q.2.3 PCI コンフィグレーション・レジスタの Latency timer の設定を教えほしい。 ... 14
- Q.2.4 PCI コンフィグレーション・レジスタの Retry timer の機能を教えほしい。 ... 14
- Q.2.5 μ PD98405 がターゲット時に、異常コマンドを受けるとどのようになるのか？ ... 15
- Q.2.6 μ PD98405 のレジスタは I/O 空間、メモリ空間のどちらにマッピングされるか？ ... 15
- Q.2.7 PCI バス上に転送要求するマスタがないときにアービタに選択されれば AD 線をドライブするといった、アービテーション・パーキングのマスタ動作をサポートするか？ ... 15
- Q.2.8 32-bit PCI 使用のとき、ACK64_B, REQ64_B 端子の処理を教えほしい。 ... 15
- Q.2.9 PCI モードでビッグ・エンディアンを使用できるか？ ... 16
- Q.2.10 PCI コンフィグレーション・レジスタの Revision ID の値を教えほしい。また、この値はデバイスのバージョンによって変化するか？ ... 16
- Q.2.11 PCI コンフィグレーション・レジスタの Status bit31-27, 24 に 0 をライトできないが、なぜか？ ... 16
- Q.2.12 μ PD98405 がマスタとなり転送を行う場合のバースト・サイズに関係する設定を教えほしい。 ... 16
- Q.2.13 EEPROMTM の接続チェック、自動ロードにどれくらいの時間がかかるか？ ... 17
- Q.2.14 64 ビット PCI の認識について教えてほしい。 ... 17
- Q.2.15 64 ビット PCI を使用する場合の設定について教えてほしい。 ... 17
- Q.2.16 Fast back-to-back の回数を教えほしい。 ... 17

第3章 UTOPIA インタフェース ... 18

- Q.3.1 TCLAV 信号は、どのタイミングでディアサートすればよいか？ ... 18
- Q.3.2 TCLK と RCLK の位相差 (遅延) はどれくらいか？ ... 18
- Q.3.3 TCLK と RCLK の周波数および SCLK からの遅延はどれくらいか？ ... 18
- Q.3.4 UTOPIA のクロック (TCLK, RCLK) は、SCLK がそのまま出力されるとあるが、その他のクロックを使うことはできるか？ ... 19
- Q.3.5 セル・レベル・ハンドシェイク時、RCLAV 信号はセル転送途中でディアサートすることが可能か？ ... 19
- Q.3.6 No Drop モード (GMR レジスタ DR = 1) において、RENBL_B 信号は、オクテットまたはセル・レベル・ハンドシェイク・モードで同じ動作か？ ... 19
- Q.3.7 TENBL_B 端子がインアクティブ (ハイ・レベル) のとき、Tx7-Tx0 端子の状態はどのようになるのか？ ... 19

- Q.3.8 UTOPIA インタフェースに外部 PHY デバイスを接続して使用するが、PHY の制御は外部インタフェースから行う。このとき、 μ PD98405 の PHY コントロール・インタフェースは使用する必要があるか？ ... 19

第 4 章 コントロール・メモリ ... 20

- Q.4.1 コントロール・メモリの自動初期化は、コントロール・メモリが最大サイズ実装されていないときでも問題なく行われるか？ ... 20
- Q.4.2 使用する VC 数が少ない場合、コントロール・メモリの容量を減らすことができるか？ ... 20
- Q.4.3 コントロール・メモリとして使用する SRAM の条件を教えてください。 ... 20
- Q.4.4 ホスト CPU からコントロール・メモリにアクセスするにはどのようにすればよいか？ ... 20
- Q.4.5 リセット後のコントロール・メモリ自動初期化にはどれくらいの時間がかかるか？ ... 21
- Q.4.6 リセット後のコントロール・メモリ自動初期化において、コントロール・メモリの内容は 0 クリアされるか？ ... 21

第 5 章 メールボックス ... 22

- Q.5.1 メールボックスは、64K バイトの境界をまたいで設定することはできるか？ ... 22
- Q.5.2 メールボックス・フルになるタイミングと送受信動作停止について教えてください。 ... 22

第 6 章 送信スケジューラ ... 23

- Q.6.1 スケジューラ・レジスタ設定 (I, M, P パラメータ) と実際の送信レートの関係について教えてください。 ... 23
- Q.6.2 スケジューラ・レジスタ設定において $I/M = 1/10$ と $I/M = 10/100$ ではセル・スケジューリングとして同じ動作か？ ... 23
- Q.6.3 2 つ以上のシェーパのプライオリティを同一にすることは可能か？ ... 23
- Q.6.4 各 VC 間の帯域制御を行うことは可能か (たとえば、VC1 と VC2 のセル送出間隔をあげるなど)？ ... 24
- Q.6.5 アグリゲート・モードのシェーパにおいて、そのシェーパにリンクしている各 VC の帯域はどのようになるのか？ ... 24
- Q.6.6 セル送信スケジューリングを行う 1 セル時間を教えてください。 ... 25
- Q.6.7 セル送信スケジューリングと DMA 動作の関係を教えてください。 ... 25
- Q.6.8 スケジューラ・レジスタの A ビットはホスト CPU が設定する必要があるか？ ... 25

第 7 章 送信動作 ... 26

- Q.7.1 送信 FIFO がオーバーフローしてセルが廃棄されることがあるか？ ... 26
- Q.7.2 送信パケット・ディスクリプタで構成される各 VC の送信キューのサイズに制限はあるか？ ... 26
- Q.7.3 AAL5 用の送信パケット・ディスクリプタにおいて $SIZE = 0$ と設定した場合、どのような送信が行われるのか？ ... 26
- Q.7.4 有効パケット・ディスクリプタ リンク・ポインタ 空白パケット・ディスクリプタの順で送信キューが構成されているとき、送信完了時、送信 VC テーブルの Tx queue read pointer はどこを指すか？ ... 27
- Q.7.5 送信 VC がアクティブで送信中に、パケットを追加することはできるか？ ... 27
- Q.7.6 送信 VC テーブル Word0 にパケット・ディスクリプタ Word0 の内容が格納されるのは、どのタイミングか？ ... 28
- Q.7.7 シェーパにリンクする VC 数に制限はあるか？ ... 28
- Q.7.8 送信パケット・ディスクリプタの空きフィールド (Word1, Word2 bit31-bit16) は、0 以外の値でも問題ないか？ また、システム・メモリ上のその値は書き換えられることはないか？ ... 28
- Q.7.9 送信バッファ・ディスクリプタの空きフィールド (Word0 bit30-bit16) は、0 以外の値でも問題ないか？ また、システム・メモリ上のその値は書き換えられることはないか？ ... 29
- Q.7.10 送信インディケーションの Packet queue pointer フィールドは何を意味しているのか？ ... 29
- Q.7.11 OAM F5 セル送信についてどのような方法があるか？ ... 30

第 8 章 受信動作 ... 31

- Q.8.1 受信ルックアップ・テーブルでイネーブルに設定していない VPI/VCI 値のセルを受信すると、どのようになるのか？また、それは通知されるか？ ... 31
- Q.8.2 Raw セル受信時の CRC-10 エラーはどのように通知されるのか？また、エラー・チェックをディスエーブルにすることはできるか？ ... 31
- Q.8.3 受信プール内のバッチ数に制限はあるか？ ... 32
- Q.8.4 VC ごとに受信を一時停止することは可能か？ ... 32
- Q.8.5 エラー情報を含む受信インディケーションが報告された場合も、受信バッチが消費されていることはあるか？ ... 32
- Q.8.6 AAL5 バケットを受信するとき、受信バッファに格納されるのは AAL5 CPCS-PDU のユーザ・データ部分だけか？ ... 32
- Q.8.7 T1 エラー検出に関する T1 タイム・レジスタ (T1R) の設定を教えてください。 ... 33
- Q.8.8 Raw セル用受信プールを AAL5 用受信プールと共用できるか？ ... 33
- Q.8.9 Raw セル用受信プールとしてプール 0-7 が割り当てられているが、プール 0-7 のすべてを Raw セル用として使用可能か？それとも、プール 0-7 のうちの 1 つを Raw セル用として使用可能か？ ... 33
- Q.8.10 受信プール・ディスクリプタの Alert level について教えてください。Alert level の設定および割り込みは、Raw セル用プールでも有効か？ ... 33
- Q.8.11 VRR レジスタの VFM ビットにアクセスできないが、なぜか？ ... 34
- Q.8.12 VRR レジスタにおいて VPI/VCI フィルタリング機能イネーブル (VFM ビット = 0) にしている場合の受信セル廃棄について教えてください。 ... 34
- Q.8.13 受信 VC テーブルおよび受信インディケーションの UINFO フィールドの使用方法を教えてください。 ... 35
- Q.8.14 受信インディケーションの Packet size フィールドについて教えてください。 ... 35

第 9 章 送受信動作 ... 36

- Q.9.1 送受信動作中に、送受信 VC テーブルの内容を変更することはできるか？ ... 36
- Q.9.2 VPI/VCI は何ビットまでサポートできるか？ ... 36
- Q.9.3 CRC-32 演算はどの部分に適用されるか？ ... 36
- Q.9.4 Raw セル受信時も受信インディケーションが発行されるか？ ... 37

第 10 章 コマンド ... 38

- Q.10.1 パケット送信中の VC (アクティブ状態の VC) に対して Tx_Ready コマンドが発行されるとどのようになるのか？ ... 38
- Q.10.2 Close_Channel コマンドの R/T ビットについて、送信または受信 VC の設定を間違えて発行したらどうなるのか？ ... 38
- Q.10.3 Indirect_Access コマンドでコントロール・メモリにアクセスするとき、1 回の発行で複数アドレスにアクセスできるか？ ... 38
- Q.10.4 Indirect_Access コマンドで内蔵 PHY レジスタまたは外部 PHY デバイスにアクセスするとき、TGT フィールドの設定を教えてください。 ... 38
- Q.10.5 NOP コマンドはどのようなときに使用するのか？ ... 39

第 11 章 ループバック ... 40

- Q.11.1 ループバック・モードでも MIB カウンタは有効か? ... 40
- Q.11.2 SAR ループバック・モード時, PHY 側 (UTOPIA インタフェース) に有効データを出力するか? ... 40
- Q.11.3 SAR ループバック・モード時, UTOPIA インタフェースの端子状態は μ PD98405 の送受信動作に影響するか? ... 40
- Q.11.4 SAR ループバック・モードと PHY ループバックの RPLP モードは同時に設定して使用できるか? ... 41
- Q.11.5 PHY ループバックの TPLP モード時, 受信回線側からデータを受けると (光ケーブルがつながっている場合), ループバック動作に影響するか? また, 光ケーブルがつながっていない場合, LOS などの回線障害が発生するか? ... 41

第 12 章 PHY ... 42

- Q.12.1 受信クロック・リカバリで抽出した受信クロックを送信側の参照クロックとして使用できるか? また, 網同期を実現できるか? ... 42

第 13 章 レジスタ ... 43

- Q.13.1 ADDR レジスタの機能について教えてほしい。 ... 43
- Q.13.2 ECCR, ERDR レジスタの初期化について教えてほしい。 ... 43
- Q.13.3 PCPR1, PCPR2 レジスタは, 各ウインドウ・レジスタをリードするごとに, 対応するビットが自動的に 0 1 などと変化するが, PCPR1, PCPR2 レジスタの各ビットに, たとえば 0 をライトして, カウンタの下位部分をリードすることは可能か? ... 43
- Q.13.4 ABR 機能を使用しない場合, ALA レジスタ = TOS レジスタと設定して, ABR ルックアップ・テーブルの領域をなくすことは可能か? ... 43
- Q.13.5 GSR レジスタ PI ビットのクリア条件は, PHY 割り込みモードの設定 (MDR2 レジスタ) に関係するか? ... 44
- Q.13.6 GMR レジスタの SE, RE ビットを送受信動作中にクリアして, 送受信を一時停止することは可能か? ... 44
- Q.13.7 VER レジスタの値を教えてほしい。 ... 44
- Q.13.8 TBW レジスタと AUB レジスタの設定は, ABR を使用しないときでも必要か? また, この設定は VBR の総帯域に影響するか? ... 44

第 14 章 JTAG ... 45

- Q.14.1 JTAG 未使用時, JTAG 機能をリセットする方法について教えてほしい。 ... 45

第 15 章 AC/DC 特性 ... 46

- Q.15.1 内蔵 PHY 機能を使用しない場合の消費電流はいくつ? ... 46
- Q.15.2 VDD5 端子に +5V 電源を供給する場合, +5V 電源に対する消費電流はいくつ? ... 46
- Q.15.3 コントロール・メモリ, UTOPIA インタフェースに 5V デバイスを直接接続することは可能か? またそのときの VDD5 端子の処理は関係するか? ... 46

第 16 章 その他 ... 47

- Q.16.1 リセット後, 20 クロック間 (SCLK 入力) のアクセス禁止は, ハードウェア・リセット後だけか? ... 47
- Q.16.2 ハードウェア・リセット (RST_B 端子のロウ・レベル入力) とソフトウェア・リセット (SWR レジスタへのライト動作) でデバイスの初期化動作に違いはあるか? ... 47

第1章 端子

Q.1.1

PHRST_B 端子の動作について教えてほしい。

A.1.1

PHRST_B 端子は、RST_B 端子がロウ・レベルになると同時にロウ・レベルになります。RST_B 端子がハイ・レベルになってから最小 17 クロック (SCLK 入力) 間、ロウ・レベルを保持します。

Q.1.2

PHRST_B 端子は、内蔵 PHY モードのときも有効か？

A.1.2

有効です。RST_B 端子へのロウ・レベル入力またはソフトウェア・リセットにより、PHRST_B 端子はロウ・レベルを出力します。

Q.1.3

内蔵 PHY を使用しないとき、AV_{DD3}、HV_{DD3}、RV_{DD3} の各電源端子に品質の高い電源を供給する必要があるか？

A.1.3

内蔵 PHY を使用しないときは、AV_{DD3}、HV_{DD3}、RV_{DD3} の各電源をケアする必要はありません。デジタル部 (V_{DD3}) と同様の +3.3V 電源を供給してください。

第2章 PCI インタフェース

Q.2.1

PCI コンフィグレーション・レジスタの Cache line size の設定を教えほしい。

A.2.1

μ PD98405 は Cache line size として、4、8、16 ワードのみをサポートします。Cache line size = 4、8、16 の設定が有効で、その他の値が設定されたときはキャッシュ境界を意識した転送は行いません。

Q.2.2

マスタ時に μ PD98405 が発行する PCI コマンドについて教えてほしい。

A.2.2

μ PD98405 ユーザーズ・マニュアル 4.2.4 マスタ・トランザクション を参照してください。ただし、リード・コマンドについては Cache line size の設定により、発行コマンドが異なります。

Cache line size = 4、8、16 の設定のとき、 μ PD98405 ユーザーズ・マニュアル 4.2.4 (1)(a) リード・トランザクション に示すコマンド発行になります。

Cache line size = 4、8、16 以外の設定のとき、 μ PD98405 は常にメモリ・リード・コマンドを発行します。リード・コマンドの種類を認識して処理を行うシステムでは注意してください。

Q.2.3

PCI コンフィグレーション・レジスタの Latency timer の設定を教えてほしい。

A.2.3

Latency timer の設定は、設定値の下位 3 ビットがマスクされた値として有効になります。

つまり、Latency timer = 0、8、16、...、248 となります。

Q.2.4

PCI コンフィグレーション・レジスタの Retry timer の機能を教えてほしい。

A.2.4

μ PD98405 は、Retry, Disconnect, Latency timeout を Retry timer 回数としてカウントします。これらすべての転送中断回数が Retry timer 設定値を越えた場合、GSR レジスタの FERR ビットをセットして動作を停止します。

Q.2.5

μPD98405 がターゲット時に、異常コマンドを受けるとどのようなになるのか？

A.2.5

μPD98405 は、その転送に応答しません (DEVSEL_B をアクティブにしません)。

異常コマンドは、次に示すもの以外のコマンドになります。

Memory Read

Memory Read Line

Memory Read Multiple

Memory Write

Memory Write And Invalidate

I/O Read

I/O Write

Configuration Read

Configuration Write

Q.2.6

μPD98405 のレジスタは I/O 空間、メモリ空間のどちらにマッピングされるか？

A.2.6

I/O 空間、メモリ空間の両方を使用することができます。I/O 空間、メモリ空間の同時使用も可能です。

Q.2.7

PCI バス上に転送要求するマスタがないときにアービタに選択されれば AD 線をドライブするといった、アービトレーション・パーキングのマスタ動作をサポートするか？

A.2.7

サポートします。

Q.2.8

32-bit PCI 使用のとき、ACK64_B、REQ64_B 端子の処理を教えてください。

A.2.8

ACK64_B、REQ64_B 端子は外部でプルアップしてください。

Q.2.9

PCI モードでビッグ・エンディアンを使用できるか？

A.2.9

PCI モードではビッグ・エンディアンを使用できません。リトル・エンディアンのみとなります。汎用バス・モードのときビッグ/リトル・エンディアンの切り替えができます。

Q.2.10

PCI コンフィグレーション・レジスタの Revision ID の値を教えてください。また、この値はデバイスのバージョンによって変化するか？

A.2.10

Revision ID = 01h であり、この値はすべてのバージョンで共通です。μPD98405 内部レジスタの VER レジスタの値はバージョンによって異なります。VER レジスタを使用してデバイスのバージョンを認識することができます。

Q.2.11

PCI コンフィグレーション・レジスタの Status bit31-27, 24 に 0 をライトできないが、なぜか？

A.2.11

Status レジスタへのライト動作は PCI 規格に準拠した動作になります。値 0 がライトされたビットはその値を保持し、値 1 がライトされたビットは 0 にクリアされます。

Q.2.12

μPD98405 がマスタとなり転送を行う場合のバースト・サイズに関する設定を教えてください。

A.2.12

GMR レジスタの AD ビット、コンフィグレーション・レジスタの Cache line size、Latency timer の設定が関係します。

Q.2.13

EEPROM™の接続チェック，自動ロードにどれくらいの時間がかかるか？

A.2.13

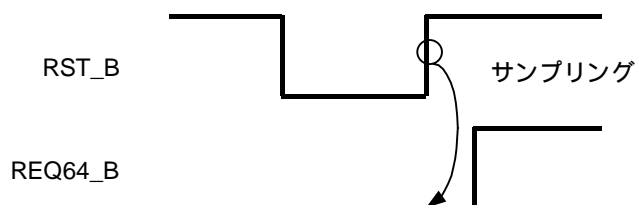
接続チェックに約 600 クロック（CLK 入力），自動ロードに約 2400 クロック（CLK 入力）がかかります。

Q.2.14

64 ビット PCI の認識について教えてほしい。

A.2.14

μPD98405 は，リセットの最後（RST_B の立ち上がり）で REQ64_B 信号をサンプリングし，REQ64_B がロウ・レベルのとき 64 ビット PCI と認識して，64 ビット PCI 転送を行います。

**Q.2.15**

64 ビット PCI を使用する場合の設定について教えてほしい。

A.2.15

A.2.14 で示したように 64 ビット PCI の認識を行い，GMR レジスタの E64 ビット = 1 に設定すると 64 ビット転送が可能になります。64 ビット・アドレッシングを使用する場合は，PBAH レジスタに 0 以外の値を設定してください。

Q.2.16

Fast back-to-back の回数を教えてほしい。

A.2.16

Fast back-to-back の最大回数は，GMR レジスタ BBL フィールドに設定します。BBL = 1 と設定すると，Fast back-to-back の最大回数が 1 回となり，2 つの転送が Fast back-to-back で実行されます。BBL の最大回数は，7 回になります。また，BBL = 0 と設定するとディスエーブルとなり，Fast back-to-back は実行されません。

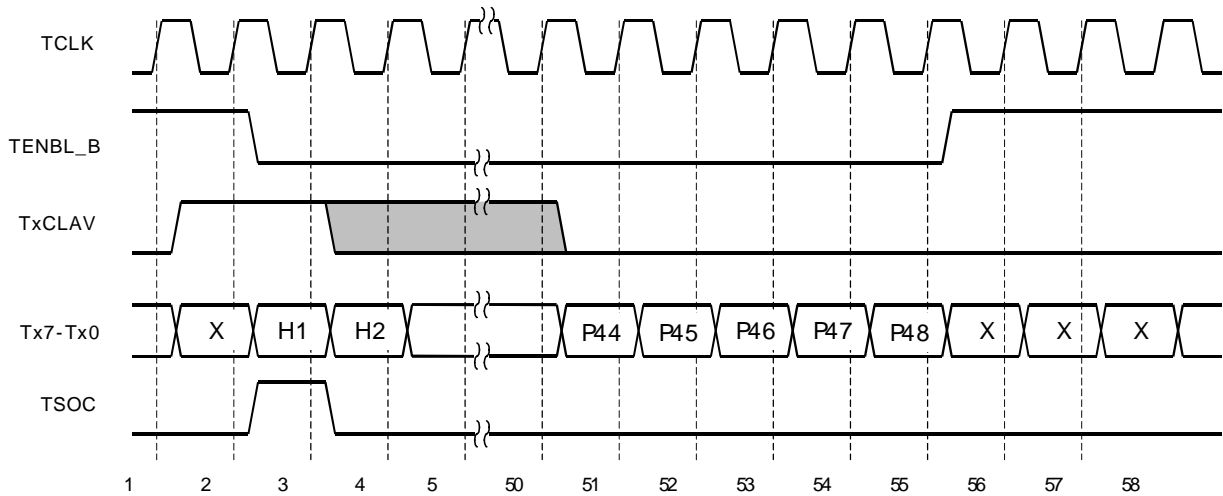
第3章 UTOPIA インタフェース

Q.3.1

TCLAV 信号は、どのタイミングでディアサートすればよいか？

A.3.1

H2 (セル・ヘッダの 2 バイト目) ~ P44 (ペイロードの 44 バイト目) の間にディアサートしてください。H1 でディアサートしないでください。



Q.3.2

TCLK と RCLK の位相差 (遅延) はどれくらいか？

A.3.2

TCLK と RCLK の位相差について正式に規定しているものではありません。

Q.3.3

TCLK と RCLK の周波数および SCLK からの遅延はどれくらいか？

A.3.3

TCLK と RCLK は、SCLK 入力があるまま出力されます。そのときの遅延は次のようになります。

SCLK TCLK 遅延 MAX. 15 ns

SCLK RCLK 遅延 MAX. 15 ns

Q.3.4

UTOPIA のクロック (TCLK, RCLK) は, SCLK がそのまま出力されるとあるが, その他のクロックを使うことはできるか?

A.3.4

UTOPIA クロック (TCLK, RCLK) は, SCLK がそのまま出力され, その他のクロックを使うことはできません。

Q.3.5

セル・レベル・ハンドシェイク時, RCLAV 信号はセル転送途中でディアサートすることが可能か?

A.3.5

可能です。μPD98405 は, RCLAV 信号がディアサートされているあいだ, Rx7- Rx0 のデータを取り込みません。再度 RCLAV 信号がアサートされると, Rx7- Rx0 を有効データとして取り込みを開始します。

Q.3.6

No Drop モード (GMR レジスタ DR=1) において, RENBL_B 信号は, オクテットまたはセル・レベル・ハンドシェイク・モードで同じ動作か?

A.3.6

同じです。動作の詳細は, ユーザーズ・マニュアル 4.3.1 UTOPIA インタフェース を参照してください。

Q.3.7

TENBL_B 端子がインアクティブ (ハイ・レベル) のとき, Tx7-Tx0 端子の状態はどのようになるのか?

A.3.7

Tx7-Tx0 端子からは, 0 が出力されます。

Q.3.8

UTOPIA インタフェースに外部 PHY デバイスを接続して使用するが, PHY の制御は外部インタフェースから行う。このとき, μPD98405 の PHY コントロール・インタフェースは使用する必要があるか?

A.3.8

μPD98405 の PHY コントロール・インタフェースは未使用で問題ありません。この場合, PHINT_B 端子を外部でプルアップする必要があります。そのほかはオープンで問題ありません。

第4章 コントロール・メモリ

Q.4.1

コントロール・メモリの自動初期化は、コントロール・メモリが最大サイズ実装されていないときでも問題なく行われるか？

A.4.1

問題なく行われます。自動初期化の詳細については、 μ PD98405 ユーザーズ・マニュアル 5.2 コントロール・メモリの設定 を参照してください。

Q.4.2

使用する VC 数が少ない場合、コントロール・メモリの容量を減らすことができるか？

A.4.2

使用する VC 数にあわせて、コントロール・メモリの容量を減らすことができます。容量の決定方法については、 μ PD98405 ユーザーズ・マニュアル 5.2 コントロール・メモリの設定 を参照してください。

Q.4.3

コントロール・メモリとして使用する SRAM の条件を教えてください。

A.4.3

下記の条件を満たす SRAM を使用することができます。

- ・ +3.3V または +5V 品
- ・ 動作スピード 15 ns 程度 (SCLK = 25 MHz の場合)、動作スピードは SCLK 入力に依存
- ・ 合計 32 ビット幅で 8 ビット単位のイネーブル制御が必要

Q.4.4

ホスト CPU からコントロール・メモリにアクセスするにはどのようにすればよいか？

A.4.4

ホスト CPU から μ PD98405 を介してコントロール・メモリにアクセスすることができます。ホスト CPU から Indirect_Access コマンドを発行することでコントロール・メモリのリード/ライトができます。

Q.4.5

リセット後のコントロール・メモリ自動初期化にはどれくらいの時間がかかるか？

A.4.5

32K クロック (SCLK 入力) の時間がかかります。コントロール・メモリ自動初期化にかかる時間は、コントロール・メモリのサイズには依存せず、32K クロックで一定です。

Q.4.6

リセット後のコントロール・メモリ自動初期化において、コントロール・メモリの内容は 0 クリアされるか？

A.4.6

コントロール・メモリ自動初期化において、 μ PD98405 はブロック番号をライトするだけで、その他の領域は 0 クリアされません。このため、コントロール・メモリの初期化は、ホストが全領域を 0 クリアしたあと、ソフトウェア・リセットを実行して自動初期化 (ブロック番号のライト) が行われるようにしてください。

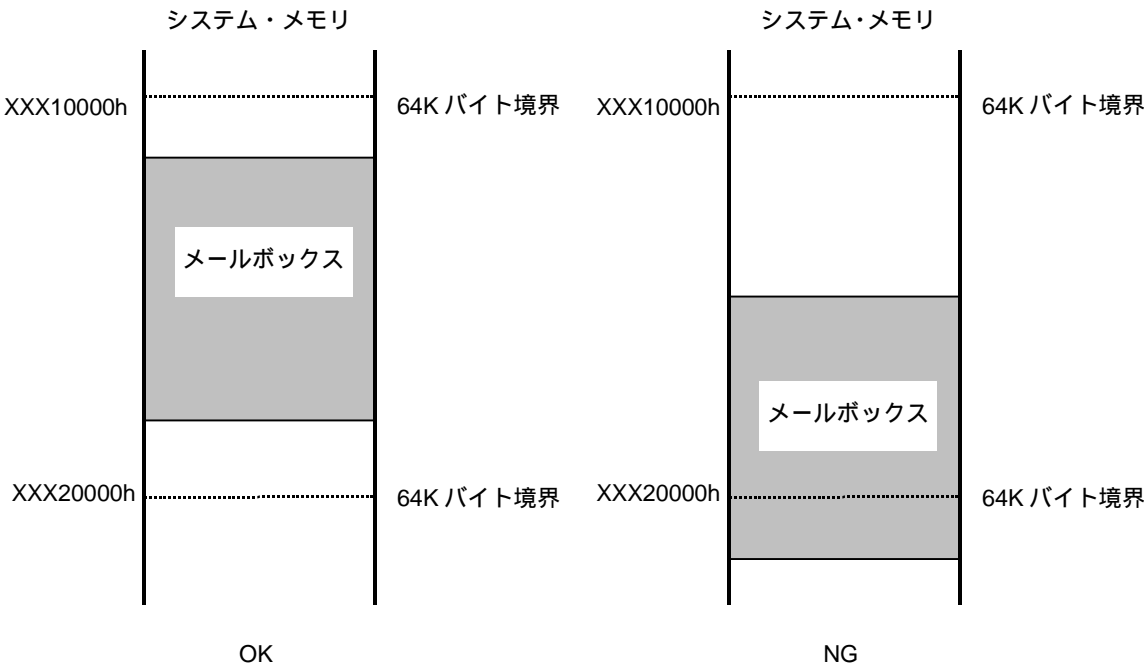
第5章 メールボックス

Q.5.1

メールボックスは、64K バイトの境界をまたいで設定することはできるか？

A.5.1

できません。メールボックスは、MSH レジスタ（メールボックス・スタート・アドレスの上位 16 ビット）で設定される 64K バイトの中に収める必要があります。つまり、メールボックスを最大サイズ（約 64K バイト）を使用する場合は、MSL レジスタを 0 と設定する必要があります。



Q.5.2

メールボックス・フルになるタイミングと送受信動作停止について教えてほしい。

A.5.2

メールボックス・フルが発生（通知）するのは、当該インディケーションをメールボックスに正常にライトし、そのライトによりフルになったときです。送受信動作が停止するのは、その後フルになっているメールボックスに次のインディケーションをライトしようとするタイミングからです。

第6章 送信スケジューラ

Q.6.1

スケジューラ・レジスタ設定 (I, M, P パラメータ) と実際の送信レートの関係について教えてください。

A.6.1

スケジューラ・レジスタ (I, M, P パラメータ) の設定はセル単位で行います。平均レートは, M セルにつき I セルの有効セル送信の I/M で設定されます。ピーク・レートは, 有効セル間隔が P セル間隔と設定されます。スケジューラ・レジスタ設定による実際の送信レートは, 接続される回線側 PHY デバイスの速度 (回線速度) に依存します。回線速度と実際の送信レートの関係について計算式を示します。

$$\text{平均レート} = I/M \times \text{回線速度}$$

$$\text{ピーク・レート} = \text{回線速度} / (P+1)$$

次に回線速度が 155.52 Mbps の場合の設定例を示します。

例: 回線速度 155.52 Mbps, 平均レート 38.88 Mbps, ピーク・レート 51.84 Mbps

$$I/M = 38.88/155.52 = 1/4$$

$$P = (155.52/51.84) - 1 = 2$$

Q.6.2

スケジューラ・レジスタ設定において I/M = 1/10 と I/M = 10/100 ではセル・スケジューリングとして同じ動作か?

A.6.2

同じスケジューリング動作になります。

Q.6.3

2 つ以上のシェーパのプライオリティを同一にすることは可能か?

A.6.3

可能です。それぞれのシェーパのスケジューラ・レジスタの PRIORITY フィールドに同一の値を設定することにより, シェーパのプライオリティを同一にできます。同一プライオリティのシェーパにおいて, セル送出タイミングが重なった場合は, ラウンド・ロビン・アルゴリズムを使用して, それぞれのシェーパで順番にセル送出されます。

Q.6.4

各 VC 間の帯域制御を行うことは可能か（たとえば，VC1 と VC2 のセル送出間隔をあけるなど）？

A.6.4

可能です。アンアサインド・セル・ジェネレータを使用し，強制的に帯域を絞ります。アンアサインド・セル・ジェネレータを最高プライオリティに設定し動作させることにより，すべてのデータ・セル間隔がアンアサインド・セル・ジェネレータ使用帯域だけひらくことになります。

セル送出例：

VC1, VC2, VC3 がシェーパ 1 使用
シェーパ 1 設定：I/M = 1/9, P = 0, C = 2

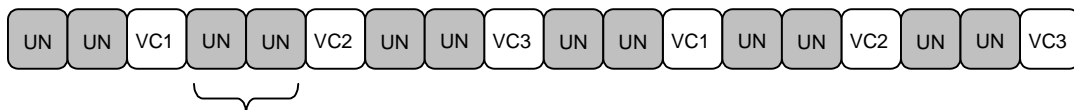
通常時のセル送出

VC1, 2, 3：データ・セル
UN：アンアサインド・セル



アンアサインド・セル・ジェネレータ使用時のセル送出

シェーパ 0 をアンアサインド・セル・ジェネレータに設定
シェーパ 0 設定：I/M = 2/3, P = 0, C = 2



アンアサインド・セル・ジェネレータにより
送出されるアンアサインド・セル

Q.6.5

アグリゲート・モードのシェーパにおいて，そのシェーパにリンクしている各 VC の帯域はどのようなになるのか？

A.6.5

アクティブで送信中の各 VC が，そのシェーパの帯域を等分割して使用します。たとえば，アグリゲート・モードのシェーパ（シェーパ設定：I/M = 11/1, P = 0, C = 2）に 3VC（VC1，VC2，VC3）が登録されていて，3VC すべてが送信中のとき，各 VC の帯域はシェーパ設定の 1/3 になります。

VC1 = 1/3，VC2 = 1/3，VC3 = 1/3

VC1 と VC2 が送信中のときは次のようになります。

VC1 = 1/2，VC2 = 1/2，VC3 = 0

Q.6.6

セル送信スケジューリングを行う 1 セル時間を教えてほしい。

A.6.6

μ PD98405 は、SCLK 入力クロックの 36 クロックを 1 つの単位としてセル送信スケジューリングを行います。36 クロックごとに次に送出するセルを決定します。

Q.6.7

セル送信スケジューリングと DMA 動作の関係を教えてほしい。

A.6.7

μ PD98405 は、スケジューラによって 36 クロックごとに送出するセルを決定します。送出セルを決定後、セル・データ・リードの DMA 動作を実行します。また、送信 FIFO がフルになった場合、セル・データ・リードの DMA 動作が停止します。

Q.6.8

スケジューラ・レジスタの A ビットはホスト CPU が設定する必要があるか？

A.6.8

スケジューラ・レジスタの A ビットは、 μ PD98405 が管理、変更するビットです。ホスト CPU が書き換える必要はありません。ただし、そのシェーパをアンアサインド・セル・ジェネレータとして使用する場合だけ、ホスト CPU が A ビットをセットする必要があります。

第7章 送信動作

Q.7.1

送信 FIFO がオーバーフローしてセルが廃棄されることがあるか？

A.7.1

ありません。UTOPIA インタフェースなどからセルが送出できず、送信 FIFO がフルになった場合、それ以上のセル・データ・リード動作を行いません。送信 FIFO に空きができるとデータ・リードを再開します。

Q.7.2

送信パケット・ディスクリプタで構成される各 VC の送信キューのサイズに制限はあるか？

A.7.2

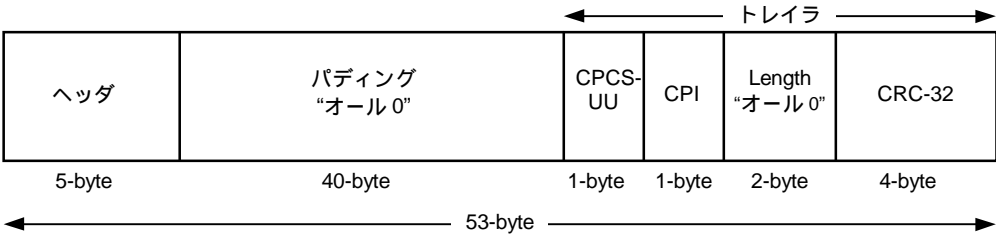
制限はありません。

Q.7.3

AAL5用の送信パケット・ディスクリプタにおいて SIZE = 0 と設定した場合、どのような送信が行われるのか？

A.7.3

送信動作は正常に行われます。パディング+トレイラの最終セルが1つだけ送信されます。トレイラの Length フィールドは0になるため、ユーザ・アボートの最終セルになります。

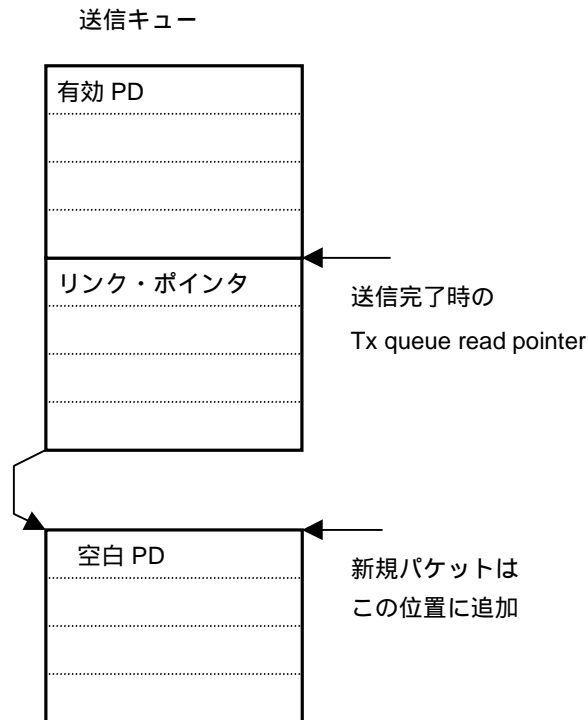


Q.7.4

有効パケット・ディスクリプタ リンク・ポインタ 空白パケット・ディスクリプタの順で送信キューが構成されているとき、送信完了時、送信 VC テーブルの Tx queue read pointer はどこを指すか？

A.7.4

Tx queue read pointer は、リンク・ポインタの位置を指しています。この場合もパケットを追加して送信を開始するときは、空白パケット・ディスクリプタの位置に追加して Tx_Ready コマンドを発行してください。

**Q.7.5**

送信 VC がアクティブで送信中に、パケットを追加することはできるか？

A.7.5

できます。その送信キューの空白パケット・ディスクリプタの位置に新規パケットを追加して Tx_Ready コマンドを発行してください。

Q.7.6

送信 VC テーブル Word0 にパケット・ディスクリプタ Word0 の内容が格納されるのは、どのタイミングか？

A.7.6

Tx_Ready コマンドが発行されたあと、μ PD98405 はパケット・ディスクリプタをリードして、送信 VC テーブル Word0 にパケット・ディスクリプタ Word0 の内容を格納します。その後、データ・リードが行われます。

Q.7.7

シェーパにリンクする VC 数に制限はあるか？

A.7.7

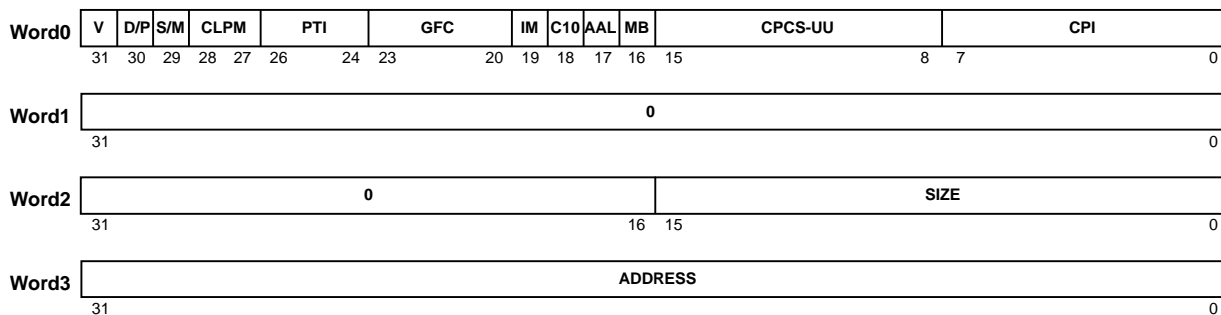
ありません。使用している VC すべてを、1つのシェーパにリンクすることも可能です。

Q.7.8

送信パケット・ディスクリプタの空きフィールド (Word1, Word2 bit31- bit16) は、0 以外の値でも問題ないか？また、システム・メモリ上のその値は書き換えられることはないか？

A.7.8

空きフィールド (Word1, Word2 bit31-16) は、0 以外の値でも問題ありません。μ PD98405 は4ワードのパケット・ディスクリプタをリード後、空きフィールドの情報は内部で無視します。また、システム・メモリ上のその値が書き換えられることはありません。

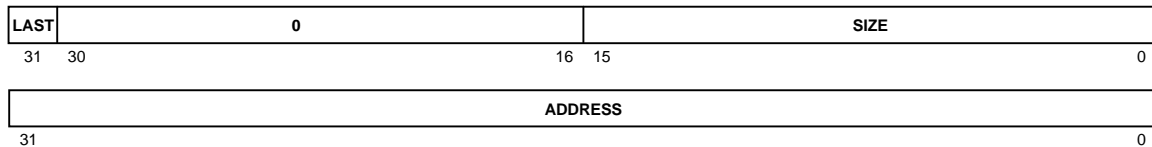


Q.7.9

送信バッファ・ディスクリプタの空きフィールド (Word0 bit30-bit16) は、0 以外の値でも問題ないか？ また、システム・メモリ上のその値は書き換えられることはないか？

A.7.9

空きフィールド (Word0 bit30-16) は、0 以外の値でも問題ありません。μPD98405 は 2 ワードのバッファ・ディスクリプタをリード後、空きフィールドの情報は内部で無視します。また、システム・メモリ上のその値が書き換えられることはありません。

**Q.7.10**

送信インディケーションの Packet queue pointer フィールドは何を意味しているのか？

A.7.10

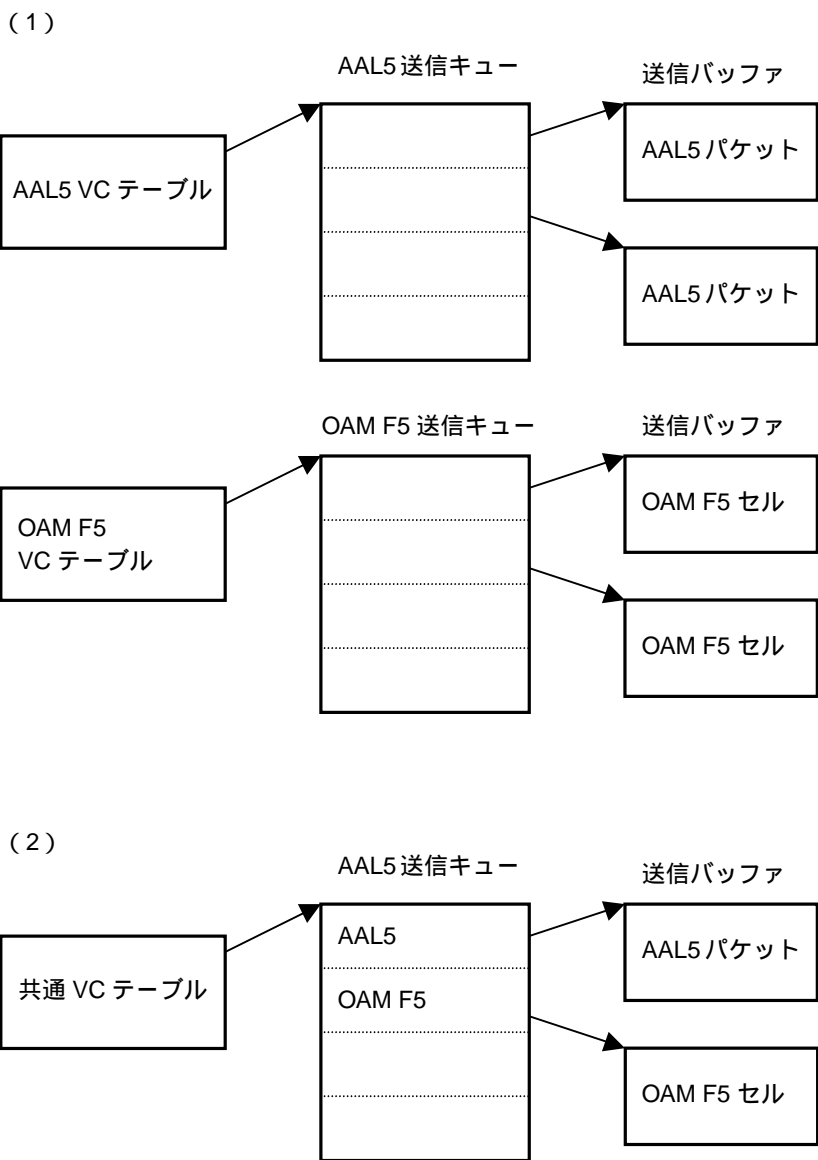
Packet queue pointer フィールドは、送信が完了したパケットの次のパケット・ディスクリプタのアドレスを示します。送信完了パケットのパケット・ディスクリプタ・アドレスではないので注意してください。また、そのアドレスは下位 15 ビットしか通知されません。

Q.7.11 OAM F5 セル送信についてどのような方法があるか？

A.7.11

次の2つの方法があります。

- (1) 2つの送信 VC をオープンして、それぞれ同一の VPI/VCI 値を設定し、1つの VC を AAL5 パケット用、もう1つの VC を OAM F5 セル用として同時に送信することができます。このときのセル・スケジューリングは、それぞれの VC がリンクしているシェーパ設定で決定されます。
- (2) 1つの送信 VC を使用し、その送信キューの packets・ディスクリプタを AAL5 パケット用、OAM F5 セル用とわけて設定することができます。この場合は、AAL5 パケット、OAM F5 セルと交互に送信されます。



第8章 受信動作

Q.8.1

受信ルックアップ・テーブルでイネーブルに設定していない VPI/VCI 値のセルを受信すると、どのようになるのか？また、それは通知されるか？

A.8.1

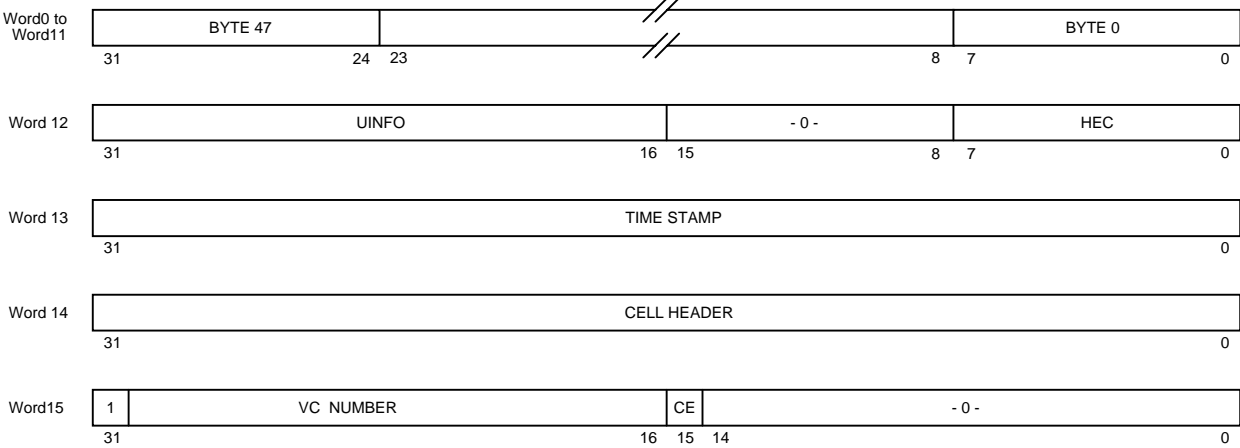
受信イネーブルに設定していない VPI/VCI 値のセルを受信すると、そのセルは内部で廃棄されます。このときに割り込みなどの通知はありません。無効 VPI/VCI セル・カウンタ (RUEC レジスタ) をカウントアップします。

Q.8.2

Raw セル受信時の CRC-10 エラーはどのように通知されるのか？また、エラー・チェックをディスエーブルにすることはできるか？

A.8.2

Raw セル受信時の CRC-10 エラーは、Raw セル・データ内の CE ビットで通知されます。このときに割り込みでの通知はありません。また、CRC-10 エラー・チェックは常にイネーブルです。CRC-10 エラー・チェックを使用しないときは、Raw セル・データ内の CE ビットを無視してください。



Q.8.3

受信プール内のバッチ数に制限はあるか？

A.8.3

最大 64K 個です。受信プール・ディスクリプタの Remaining number of batches フィールドのビット数分になります。

Q.8.4

VC ごとに受信を一時停止することは可能か？

A.8.4

可能です。停止するときは、VC ごとに受信ルックアップ・テーブルのイネーブル・ビットをクリアします。再開するときは、イネーブル・ビットをセットします。

Q.8.5

エラー情報を含む受信インディケーションが報告された場合も、受信バッチが消費されていることはあるか？

A.8.5

あります。エラー発生までに消費されたバッチは、受信インディケーション内の Packet size, Packet start address フィールドから認識できます。パケットの先頭セル受信時に受信 FIFO オーバランが発生すると、そのパケットのセルはすべて内部廃棄されるので、この場合受信バッチの消費はありません。このときは、Packet size = 0 として報告されます。

Q.8.6

AAL5 パケットを受信するとき、受信バッファに格納されるのは AAL5 CPCS-PDU のユーザ・データ部分だけか？

A.8.6

受信バッファには、ユーザ・データ、パディング、トレイラを含む AAL5 CPCS-PDU 全体が格納されます。

Q.8.7

T1 エラー検出に関する T1 タイム・レジスタ (T1R) の設定を教えてください。

A.8.7

T1R レジスタの設定は、システム・クロック時間 (SCLK 入力) \times 64K として適用されます。たとえば T1R = 5 と設定すると、T1 エラー検出までの時間は 320K クロック (SCLK = 25 MHz のとき約 13.1 ms) となります。

Q.8.8

Raw セル用受信プールを AAL5 用受信プールと共用できるか？

A.8.8

できません。Raw セル用受信プールと AAL5 用受信プールは別に設定してください。

Q.8.9

Raw セル用受信プールとしてプール 0-7 が割り当てられているが、プール 0-7 のすべてを Raw セル用として使用可能か？それとも、プール 0-7 のうちの 1 つを Raw セル用として使用可能か？

A.8.9

プール 0-7 のすべてを Raw セル用として使用可能です。

Q.8.10

受信プール・ディスクリプタの Alert level について教えてください。Alert level の設定および割り込みは、Raw セル用プールでも有効か？

A.8.10

Alert level の設定および割り込みは、Raw セル用プールでも有効です。 μ PD98401A では、Raw セル用プールの場合は無効です。

Q.8.13

受信 VC テーブルおよび受信インディケーションの UINFO フィールドの使用方法を教えてください。

A.8.13

受信 VC テーブルの UINFO フィールドに設定された値が、受信インディケーションの UINFO フィールドにそのまま格納されます。ユーザは、ユーザ情報として任意の用途で UINFO フィールドを使用できます。また、UINFO フィールドを使用しなくても問題ありません。

Q.8.14

受信インディケーションの Packet size フィールドについて教えてください。

A.8.14

Packet size フィールドは、受信パケットのサイズを示します。パケット・サイズはセル単位またはバイト単位の選択ができます。ただし、エラー発生時の受信インディケーションでは、Packet size フィールドは必ずセル単位で通知されます。また、このときのパケット・サイズは、エラー発生前までに受信して受信バッファに格納したセル数になります。

第9章 送受信動作

Q.9.1

送受信動作中に、送受信 VC テーブルの内容を変更することはできるか？

A.9.1

送受信動作中は、VC テーブルの内容を変更することはできません。ただし、受信 VC テーブルの Word12 は除きます。

Q.9.2

VPI/VCI は何ビットまでサポートできるか？

A.9.2

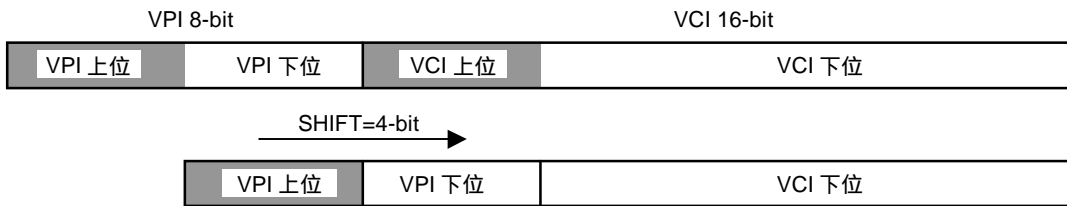
送信側は、任意の 24 ビット VPI/VCI 値を設定して送信可能です。受信側は、24 ビット VPI/VCI 値を 16 ビットにリダクションしてサポートします。


受信側 VPI/VCI リダクションについて

VRR レジスタ SHIFT 値により、VPI を VCI 側にシフトして 16 ビット VPI/VCI 値を生成します。

SHIFT = 0 の場合は、VCI 値 16 ビットのサポートになります。

VPI/VCI リダクションについて
SHIFT=4 の場合



 : リダクションにより無効となる領域

Q.9.3

CRC-32 演算はどの部分に適用されるか？

A.9.3

User data, Padding, CPCS-UU, CPI, Length の CPCS-PDU フレーム全体にかかります。

Q.9.4

Raw セル受信時も受信インディケーションが発行されるか？

A.9.4

Raw セル受信時は、受信インディケーションが発行されません。Raw セル受信時は、Raw セル・データとして受信バッファに格納され、Raw セル受信割り込み（GSR レジスタ RCR7- RCR 0 ビット）のみで通知されます。

送信側では、Raw セル送信時も送信インディケーションが発行されます。

第10章 コマンド

Q.10.1

パケット送信中の VC (アクティブ状態の VC) に対して Tx_Ready コマンドが発行されるとどのようなのか？

A.10.1

その Tx_Ready コマンドは無視されます。ただし、コマンドとしては受け付けられコマンド FIFO 未使用の場合、CMR レジスタの Busy ビットも所定時間セットされます。

Q.10.2

Close_Channel コマンドの R/T ビットについて、送信または受信 VC の設定を間違えて発行したらどうなるのか？

A.10.2

μ PD98405 は、送信または受信 VC それぞれに対応したクローズ処理を行うので、R/T ビットの設定を間違えると誤動作する可能性があります。

Q.10.3

Indirect_Access コマンドでコントロール・メモリにアクセスするとき、1 回の発行で複数アドレスにアクセスできるか？

A.10.3

できません。1 回の発行で 1 アドレスのリードまたはライトになります。

Q.10.4

Indirect_Access コマンドで内蔵 PHY レジスタまたは外部 PHY デバイ스에アクセスするとき、TGT フィールドの設定を教えてください。

A.10.4

TGT = "11", "10" どちらの設定でも内蔵 PHY レジスタまたは外部 PHY デバイ스에アクセスできます。
TGT = "11" のとき内蔵 PHY レジスタ・アクセス, TGT = "10" のとき外部 PHY デバイ스에アクセスの設定というわけではありません。

Q.10.5

NOP コマンドはどのようなときに使用するのか？

A.10.5

受信 VC をクローズする際に、受信ルックアップ・テーブルをディスエーブルにしたあと、2 回の NOP コマンドを発行します。次のようなフローになります。

- (1) 受信ルックアップ・テーブル・ディスエーブル
- (2) NOP コマンド 2 回発行
- (3) 受信 Deactivate_Channel コマンド発行
- (4) 受信 Close_Channel コマンド発行

第11章 ループバック

Q.11.1

ループバック・モードでも MIB カウンタは有効か？

A.11.1

有効です。MIB カウンタは、送信セル数やループバックで受信した受信セル数などをカウントします。

Q.11.2

SAR ループバック・モード時、PHY 側 (UTOPIA インタフェース) に有効データを出力するか？

A.11.2

出力しません。UTOPIA インタフェースの TENBL_B をディアサート (ハイ・レベル) して、無効データとなります。

Q.11.3

SAR ループバック・モード時、UTOPIA インタフェースの端子状態は μ PD98405 の送受信動作に影響するか？

A.11.3

影響しません。たとえば、UTOPIA インタフェースの TCLAV/RCLAV が無効となっても、 μ PD98405 は問題なく送受信を行います。

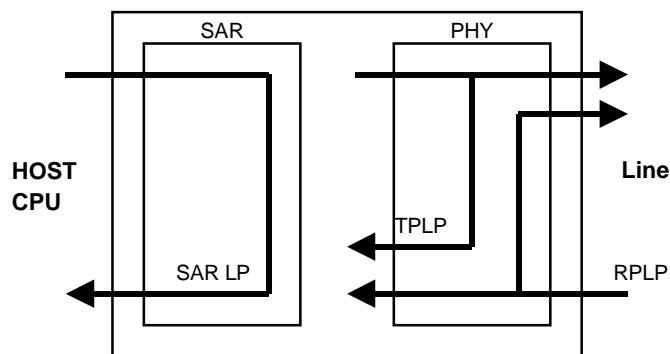
Q.11.4

SAR ループバック・モードと PHY ループバックの RPLP モードは同時に設定して使用できるか？

A.11.4

同時使用できます。

SAR ループバック・モードと PHY ループバックの TPLP モードは、同時使用できません。

**Q.11.5**

PHY ループバックの TPLP モード時、受信回線側からデータを受けると（光ケーブルがつながっている場合）、ループバック動作に影響するか？また、光ケーブルがつながっていない場合、LOS などの回線障害が発生するか？

A.11.5

TPLP モードにおいて、受信回線側から受けるデータは影響しません。また、受信側回線接続 / 断にかかわらず、回線障害は発生しません。

第12章 PHY

Q.12.1

受信クロック・リカバリで抽出した受信クロックを送信側の参照クロックとして使用できるか？また，網同期を実現できるか？

A.12.1

送信シンセサイザの参照クロックは，REFCLK 入力（19.44 MHz）のみです。送信側を受信クロックに同期させる網同期はサポートできません。

第13章 レジスタ

Q.13.1

ADDR レジスタの機能について教えてほしい。

A.13.1

汎用バス・モードのときに、最後に実行した DMA 転送のアドレスを格納するテスト用レジスタです。PCI バス・モードのとき、このレジスタは無効です。

Q.13.2

ECCR, ERDR レジスタの初期化について教えてほしい。

A.13.2

ソフトウェア・リセット後、ECCR, ERDR レジスタは初期化されません。ハードウェア・リセット後初期化され、その初期値は、ECCR = 0, ERDR = 不定になります。

Q.13.3

PCPR1, PCPR2 レジスタは、各ウィンドウ・レジスタをリードするごとに、対応するビットが自動的に 0 1 などと変化するが、PCPR1, PCPR2 レジスタの各ビットに、たとえば 0 をライトして、カウンタの下位部分をリードすることは可能か？

A.13.3

可能です。PCPR1, PCPR2 レジスタの対応するビットに 0/1 を強制的にライトして、その後カウンタの所望部分をリードすることができます。

Q.13.4

ABR 機能を使用しない場合、ALA レジスタ = TOS レジスタと設定して、ABR ルックアップ・テーブルの領域をなくすことは可能か？

A.13.4

可能です。ABR 機能を使用しない場合、ABR ルックアップ・テーブル領域は必要ありません。

Q.13.5

GSR レジスタ PI ビットのクリア条件は、PHY 割り込みモードの設定 (MDR2 レジスタ) に関係するか？

A.13.5

関係しません。GSR レジスタ PI ビットは常にリード・クリアです。

Q.13.6

GMR レジスタの SE, RE ビットを送受信動作中にクリアして、送受信を一時停止することは可能か？

A.13.6

可能です。SE, RE ビットが再セットされると、送受信を再開します。ただし、SE, RE ビットがクリアされているあいだは、送信が停止するのでその間のレート調整は設定どおりに動作しません。受信側では、その間に受信したセルは内部で廃棄されます。

Q.13.7

VER レジスタの値を教えてください。

A.13.7

Ver3.0 : VER = 0102h

Ver3.1 : VER = 0103h

その他のバージョンにつきましては、NEC 販売員までお問い合わせください。

Q.13.8

TBW レジスタと AUB レジスタの設定は、ABR を使用しないときでも必要か？また、この設定は VBR の総帯域に影響するか？

A.13.8

ABR を使用しないとき、TBW レジスタと AUB レジスタの設定は必要ありません。また ABR を使用しないとき、この設定は VBR の総帯域には影響しません。

第14章 JTAG

Q.14.1

JTAG 未使用時，JTAG 機能をリセットする方法について教えてほしい。

A.14.1

JTAG リセットについては，JRST_B 端子を使用しない方法と使用する方法があります。

JRST_B 端子を使用しない場合：

JRST_B 端子がプルアップされている状態で，JMS，JCK 端子を使用して JTAG 機能をリセットできます。

JMS 端子がプルアップされている状態で JCK 端子にクロックを 5 回入れてください。

JRST_B 端子を使用する場合：

JRST_B および JMS 端子がプルアップされている状態で，JRST_B 端子にロウ・レベル入力すると JTAG 機能をリセットできます。このときのロウ・レベル幅は SCLK 入力の 1 クロック・サイクル以上入力してください。JRST_B 端子を常にロウ・レベルに保持すると（プルダウンなど），JMS 端子状態などに関係なく JTAG 機能はリセットされます。

第15章 AC/DC 特性

Q.15.1

内蔵 PHY 機能を使用しない場合の消費電流はいくつか？

A.15.1

内蔵 PHY 機能を使用しない場合など、特別な条件での消費電流は規定していません。通常動作時のみの消費電流を μ PD98405 データ・シートに記載しています。内蔵 PHY 機能を使用しない場合の消費電流については、通常時とほぼ同じです。

Q.15.2

V_{DD5} 端子に +5V 電源を供給する場合、+5V 電源に対する消費電流はいくつか？

A.15.2

+5V 電源は、PCI バス・インタフェースの 5V 耐圧のためだけに使用され内部動作には影響しません。このため、 V_{DD5} 端子に +5V 電源を供給する場合でも消費電力は、通常時消費電流 (μ PD98405 データ・シート参照) \times 3.3V で計算してください。

Q.15.3

コントロール・メモリ、UTOPIA インタフェースに 5V デバイスを直接接続することは可能か？またそのときの V_{DD5} 端子の処理は関係するか？

A.15.3

コントロール・メモリ、UTOPIA インタフェースに 5V デバイスを直接接続することが可能です。このとき V_{DD5} 端子に供給される電源は関係ありません。 V_{DD5} 端子は、5V PCI インタフェースを使用するときのみ +5V を供給する必要があります。

第16章 その他

Q.16.1

リセット後、20 クロック間 (SCLK 入力) のアクセス禁止は、ハードウェア・リセット後だけか？

A.16.1

ハードウェア / ソフトウェア・リセットともに 20 クロック間アクセス禁止です。

Q.16.2

ハードウェア・リセット (RST_B 端子のロウ・レベル入力) とソフトウェア・リセット (SWR レジスタへのライト動作) でデバイスの初期化動作に違いはあるか？

A.16.2

基本的に同じ初期化動作になりますが、次のような違いがあります。

ソフトウェア・リセット後は、PCI コンフィグレーション・レジスタおよび ECCR, ERDR レジスタは初期化されません。また、EEPROM の接続チェックも行いません。

[メ モ]

[メ モ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108
名古屋 (052)222-2375
大阪 (06)6945-3178, 3200,
3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
高崎 (027)326-1303
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μ PD98405 Q&A 集 インフォメーション
(S14628JJ1V0IFJ1 (第1版))

[お名前など](さしつかえのない範囲で)
御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望
[]

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。
下記あてに FAX で送信いただくか、最寄りの販売員にコピーをお渡してください。

アンケート