

# SRAM:SOP, $\mu$ TSOP, FBGA 製品のテスト拠点変更、および製品型名統合に関するご案内

(管理番号 : CST-R2-AJ093 Rev.1.0)

2016年8月5日

## お客様 各位

拝啓

貴社益々ご清栄のこととお慶び申し上げます。平素は格別のご高配を賜り、厚く御礼申し上げます。

貴社への出荷履歴を確認しましたところ、本通知書に記載されている変更の対象となる製品が含まれておりますので、ご案内いたします。内容ご確認いただき、趣旨ご理解の上、早期ご承認を賜りますよう宜しくお願い申し上げます。

敬具

- 変更の概要:**
1. SRAM: SOP,  $\mu$ TSOP, FBGA 製品の選別テスト拠点変更
  2. 製品型名統合(-5SR, -7SI, -7SR 品の生産中止および上位互換製品-5SI 品への集約)

- 変更の目的:**
1. 生産設備老朽化に伴う選別テスト拠点の変更
  2. 生産効率化による長期安定供給を目的とした製品型名統合

**変更後製品の識別方法:** 出荷梱包ラベルに記載のルネサス内部コードにより、変更前後での製品識別が可能です。

- 変更による影響:**
1. 選別テスト拠点変更に伴い、梱包仕様を変更します。
  2. -5SI 品の電気的特性は、-5SR, -7SI, -7SR 品に対して完全上位互換です。

- スケジュール:**
1. SOP,  $\mu$ TSOP, FBGA 製品の選別テスト拠点変更について（生産中止品は除く）  
変更後製品の量産開始: 2017年1月より順次切り替え開始予定
  2. 製品型名統合: -5SR, -7SR, -7SI 品の生産中止について  
保守取り纏め予定時期: 2017年6月  
最終ご注文期限: 2017年12月  
最終出荷予定時期: 2018年12月  
統合後の-5SI 品の信頼性保証サンプル提出予定時期: 2016年12月

**補足情報:** 本通知書 3～4 ページ、および、別紙（CST-R2-AJ093 補足資料）をご参照ください。

**お問い合わせ先:** ルネサス エレクトロニクス株式会社 第二ソリューション事業本部  
A & P・ソリューション事業部 アナログ&パワーソリューション第三部

**添付資料:** 別紙: CST-R2-AJ093 補足資料

本内容に関するお問い合わせは、弊社販売員もしくは弊社販売特約店にご連絡いただきますよう、お願い申し上げます。

**お客様ご回答欄**（メールもしくは郵送にてご返答ください）

受領しました

貴社名: \_\_\_\_\_

承諾します

ご担当者名/役職名: \_\_\_\_\_

承諾しません（コメント欄に理由を記載下さい）

メールアドレス: \_\_\_\_\_

お電話番号: \_\_\_\_\_

注記：本通知書（PCN）の発行日より30日以内に受領のご返事をいただけなかった場合、弊社（ルネサス）は、ご案内の変更内容につき、お客様の承諾がいただけたものと判断いたします。お客様から30日の期限内にPCN受領のご返事をいただけた場合、受領日から起算しさらに90日の期間内において、お客様はルネサスに対し、変更内容に対する異議・不服を申し出できるものとします。PCN受領日から90日以内に異議等の申し出が無かった場合、ルネサスは、ご案内の変更内容につき、お客様の承諾がいただけたものと判断いたします。また、変更内容をご承諾いただけない場合、お客様はルネサスに対し、変更前製品の最終購入（LTB: Last Time Buy）についての所要数提示と発注手続きをいただくものとします。

**コメント**

\_\_\_\_\_

サイン

## 1. 変更の背景

このたび弊社では、SRAMのSOP,  $\mu$ TSOP, FBGAパッケージ製品に関して、生産設備老朽化に伴う選別テスト拠点の変更と、生産効率化による長期安定供給を目的とした製品型名統合を進めさせて頂く運びとなりました。趣旨ご理解の上、変更後製品の早期ご承認を賜りますよう、何卒よろしくお願い申し上げます。

## 2. 変更内容

- (1) 選別テスト拠点を、現在の“Renesas Semiconductor Beijing”から、“Powertech Technology Inc.”に移管いたします。
- (2) -5SR, -7SI, -7SR品の生産中止に関して、
  - (a) 256Kb~4Mb 低消費電力SRAMの、-5SR, -7SI, -7SR品を生産中止とし、-5SI品へ統合いたします。
  - (b) 統合後の-5SI品の電気的特性(DC/AC)は、-5SR, -7SI, -7SR品に対して完全上位互換です。
  - (c) 統合後の-5SI品は、-5SR, -7SI, -7SR品に対して、上記(1)に記載の通り、選別テスト拠点が変更になります。
  - (d) パッケージ表面にマーキングされている表示内容のうち、電気特性を示す部分が、「-5SR, -7SI, -7SR」から「-5SI」に変更となります。
- (3) 変更前後において、
  - (a) ウエハプロセス（前工程）およびマスクバージョンは、変更ありません。
  - (b) 組立の拠点および材料は、変更ありません。
  - (c) 製品の信頼性、および品質レベルは変更ありません。
  - (d) 製品の電気的特性(DC/AC)は、変更ありません。（-5SR, -7SI, -7SRの生産中止品を除く）
  - (e) 梱包仕様に関して、変更がございます。詳細は、別紙（CST-R2-AJ093 補足資料）をご参照ください。

### 変更前後での比較

項目		変更前	変更後
選別テスト	拠点名称	Renesas Semiconductor Beijing	Powertech Technology Inc.
	所在地（国名）	中国	台湾
梱包仕様	マガジン品（チューブ品）	別紙をご参照ください。	別紙をご参照ください。
	トレイ品	別紙をご参照ください。	別紙をご参照ください。
	テープ&リール品	別紙をご参照ください。	別紙をご参照ください。

## 3. ご承認に関するサンプルおよび資料のご案内

信頼性保証サンプル	選別テスト拠点変更については、信頼性保証サンプルをご提供する予定はございません。 -5SR, -7SR, -7SI品の生産中止に伴う、統合後の-5SI品の信頼性保証サンプルについては、2016年12月よりご提供予定です。
信頼性資料	選別テスト拠点変更については、信頼性資料をご提出する予定はございません。 -5SR, -7SR, -7SI品の生産中止に伴う、統合後の-5SI品の信頼性資料については、2016年12月よりご提出予定です。

## 4. 変更後製品の識別方法

出荷梱包ラベルに記載のルネサス内部コードにより、変更前後での製品識別が可能です。

## 5. スケジュール

(1) SOP,  $\mu$ TSP, FBGA 製品の選別テスト拠点変更について (ただし、生産中止品は除く)

変更後製品の量産開始: 2017 年 1 月より順次切り替え開始予定

(2) 製品型名統合: -5SR, -7SR, -7SI 品の生産中止について

保守取り纏め予定時期 : 2017 年 6 月

最終ご発注期限 : 2017 年 12 月

最終出荷予定時期 : 2018 年 12 月

統合後の-5SI 品の信頼性保証サンプル提出予定時期: 2016 年 12 月

## 6. 補足情報

別紙 (CST-R2-AJ093 補足資料) をご参照ください。

## 7. 対象製品リスト

パッケージ タイプ	メモリ容量 電源電圧	発注型名	
		変更前	変更後
28pin-SOP	256Kb 5V	R1LP5256ESP-5SI, -5SR, -7SI, -7SR#B0/#S0	R1LP5256ESP-5SI#B0/#S0
	256Kb 3V	R1LV5256ESP-5SI, -5SR, -7SI, -7SR#B0/#S0	R1LV5256ESP-5SI#B0/#S0
32pin-SOP	1Mb 5V	R1LP0108ESN-5SI, -5SR, -7SI, -7SR#B0/#S0	R1LP0108ESN-5SI#B0/#S0
	1Mb 3V	R1LV0108ESN-5SI, -5SR, -7SI, -7SR#B0/#S0	R1LV0108ESN-5SI#B0/#S0
	4Mb 5V	R1LP0408DSP-5SI, -5SR, -7SI, -7SR#B0/#S0	R1LP0408DSP-5SI#B0/#S0
	4Mb 3V	RMLV0408EGSP-4S2#CA0/#HA0	←
48ball-FBGA	4Mb 3V	RMLV0416EGBG-4S2#AC0/#KC0	←
	8Mb 3V	RMLV0816BGBG-4S2#AC0/#KC0	←
	16Mb 3V	R1LV1616HBG-4SI, 5SI#B0/#S0	←
		RMLV1616AGBG-5S2#AC0/#KC0	←
	32Mb 3V	RMWV3216AGBG-5S2#AC0/#KC0	←
	64Mb 3V	R1WV6416RBG-5SI#B0/#S0	←
52pin- $\mu$ TSP	8Mb 3V	RMLV0816BGSD-4S2#AC0/#HC0	←
	16Mb 3V	RMLV1616AGSD-5S2#AC0/#HC0	←
	32Mb 3V	R1LV3216RSD-5SI#B0/#S0	←
	64Mb 3V	R1WV6416RSD-5SI#B0/#S0	←

## **別紙：CST-R2-AJ093 補足資料**

### **(SRAM: SOP, $\mu$ TSOP, FBGA製品のテスト拠点変更、および製品型名統合)**

本別紙は、CST-R2-AJ093（SOP,  $\mu$ TSOP, FBGA製品のテスト拠点変更、および製品型名統合に関するご案内）の補足資料として、変更前後での比較について記載しております。誠に恐縮ではございますが、主旨ご理解の上、変更後製品の早期ご承認を賜ります様、ご協力の程よろしくお願い申し上げます。

## **目次**

1. 対象型名リスト	pp.2-3
2. 変更前後の比較	pp.4-19
3. 256Kb～4Mb低消費電力SRAMの型名統合内容	p.20
4. 256Kb～4Mb低消費電力SRAMのデータシート電気的特性比較	pp.21-30
5. 梱包仕様の変更内容（トレイへのICの収納順序）	p.31
6. 出荷梱包ラベル仕様	pp.31-32
7. 移管先拠点の概要	p.32

# 1. 対象型名リスト

## (1) 28pin-SOP, 32pin-SOP パッケージ品

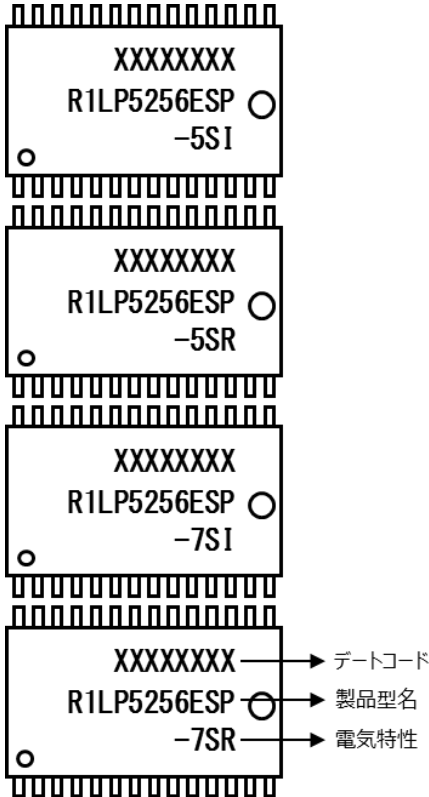
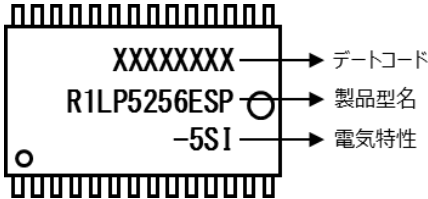
パッケージタイプ	メモリ容量、電源電圧	語構成	発注型名		梱包仕様	変更前後比較表の参照ページ
			変更前	変更後		
28pin-SOP	256Kb 5V	x8	R1LP5256ESP-5SI#B0	R1LP5256ESP-5SI#B0	マガジン	p.4, p.20, pp.21-22
			R1LP5256ESP-5SR#B0			
			R1LP5256ESP-7SI#B0			
			R1LP5256ESP-7SR#B0			
	256Kb 3V	x8	R1LV5256ESP-5SI#B0	R1LV5256ESP-5SI#B0	マガジン	
			R1LV5256ESP-5SR#B0			
			R1LV5256ESP-7SI#B0			
			R1LV5256ESP-7SR#B0			
32pin-SOP	1Mb 5V	x8	R1LP0108ESN-5SI#B0	R1LP0108ESN-5SI#B0	マガジン	p.6, p.20, pp.25-26
			R1LP0108ESN-5SR#B0			
			R1LP0108ESN-7SI#B0			
			R1LP0108ESN-7SR#B0			
	1Mb 3V	X8	R1LV0108ESN-5SI#B0	R1LV0108ESN-5SI#B0	マガジン	
			R1LV0108ESN-5SR#B0			
			R1LV0108ESN-7SI#B0			
			R1LV0108ESN-7SR#B0			
4Mb 5V	X8	R1LP0408DSP-5SI#B0	R1LP0408DSP-5SI#B0	マガジン	p.8, p.20, pp.29-30	
		R1LP0408DSP-5SR#B0				
		R1LP0408DSP-7SI#B0				
		R1LP0408DSP-7SR#B0				
	4Mb 3V	x8	R1LV0408EGSP-4S2#CA0	←		マガジン
			R1LV0408EGSP-4S2#HA0	←		テープ&リール
			R1LP0408DSP-5SI#S0	R1LP0408DSP-5SI#S0		テープ&リール
			R1LP0408DSP-5SR#S0			
R1LP0408DSP-7SI#S0						
R1LP0408DSP-7SR#S0						

## (2) 48ball-FBGA, 52pin-μTSOP パッケージ品

パッケージ タイプ	メモリ容量、 電源電圧	語 構成	発注型名		梱包仕様	変更前後 比較表の 参照ページ
			変更前	変更後		
48ball- FBGA	4Mb 3V	x16	RMLV0416EGBG-4S2#AC0	←	トレイ	p.10
			RMLV0416EGBG-4S2#KC0	←	テープ&リール	
	8Mb 3V	x16	RMLV0816BGBG-4S2#AC0	←	トレイ	p.11
			RMLV0816BGBG-4S2#KC0	←	テープ&リール	
	16Mb 3V	x16	R1LV1616HBG-4SI#B0	←	トレイ	p.12
			R1LV1616HBG-4SI#S0	←	テープ&リール	
			R1LV1616HBG-5SI#B0	←	トレイ	
			R1LV1616HBG-5SI#S0	←	テープ&リール	
			RMLV1616AGBG-5S2#AC0	←	トレイ	p.13
			RMLV1616AGBG-5S2#KC0	←	テープ&リール	
	32Mb 3V	x16	RMWV3216AGBG-5S2#AC0	←	トレイ	p.14
			RMWV3216AGBG-5S2#KC0	←	テープ&リール	
	64Mb 3V	x16	R1WV6416RBG-5SI#B0	←	トレイ	p.15
			R1WV6416RBG-5SI#S0	←	テープ&リール	
52pin- μTSOP	8Mb 3V	x16	RMLV0816BGSD-4S2#AC0	←	トレイ	p.16
			RMLV0816BGSD-4S2#HC0	←	テープ&リール	
	16Mb 3V	x16	RMLV1616AGSD-5S2#AC0	←	トレイ	p.17
			RMLV1616AGSD-5S2#HC0	←	テープ&リール	
	32Mb 3V	x16	R1LV3216RSD-5SI#B0	←	トレイ	p.18
			R1LV3216RSD-5SI#S0	←	テープ&リール	
	64Mb 3V	x16	R1WV6416RSD-5SI#B0	←	トレイ	p.19
			R1WV6416RSD-5SI#S0	←	テープ&リール	

## 2. 変更前後の比較

(1) 28pin-SOP 256Kb(5V) 製品型名：R1LP5256ESP

項目	変更前	変更後	
発注型名	R1LP5256ESP-5SI/-5SR/-7SI/-7SR#B0 (マガジン品)	R1LP5256ESP-5SI#B0 (マガジン品)	
	R1LP5256ESP-5SI/-5SR/-7SI/-7SR#S0 (Tape & Reel品)	R1LP5256ESP-5SI#S0 (Tape & Reel品)	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-SOP28-8.4x17.5-1.27	←	
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	42Alloy	←
	リードめっき材	Sn-Cu	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
マガジン品	梱包仕様	現行仕様	新仕様
	マガジン	マガジン型名：MP024PC	←
	収納数	30pcs/magazine	←
	マガジン本数 (Max.)	40本	←
	内装箱サイズ (LxWxH)	600mm x 172mm x 77mm	595mm x 170mm x 72mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	エンボス型名：MTE2416H-28P2W-C	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	347mm x 368mm x 54mm	362mm x 340mm x 60mm
防湿梱包性能	MSL 2	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	



(2) 28pin-SOP 256Kb(3V) 製品型名 : R1LV5256ESP

項目	変更前	変更後	
発注型名	R1LV5256ESP-5SI/-5SR/-7SI/-7SR#B0 (マガジン品)	R1LV5256ESP-5SI#B0 (マガジン品)	
	R1LV5256ESP-5SI/-5SR/-7SI/-7SR#S0 (Tape & Reel品)	R1LV5256ESP-5SI#S0 (Tape & Reel品)	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-SOP28-8.4x17.5-1.27	←	
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	42Alloy	←
	リードめっき材	Sn-Cu	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
マガジン品	梱包仕様	現行仕様	新仕様
	マガジン	マガジン型名 : MP024PC	←
	収納数	30pcs/magazine	←
	マガジン本数 (Max.)	40本	←
	内装箱サイズ (LxWxH)	600mm x 172mm x 77mm	595mm x 170mm x 72mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	エンボス型名 : MTE2416H-28P2W-C	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	347mm x 368mm x 54mm	362mm x 340mm x 60mm
防湿梱包性能	MSL 2	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(3) 32pin-SOP 1Mb(5V) 製品型名 : R1LP0108ESN

項目	変更前	変更後	
発注型名	R1LP0108ESN-5SI/-5SR/-7SI/-7SR#B0 (マガジン品)	R1LP0108ESN-5SI#B0 (マガジン品)	
	R1LP0108ESN-5SI/-5SR/-7SI/-7SR#S0 (Tape & Reel品)	R1LP0108ESN-5SI#S0 (Tape & Reel品)	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-SOP32-11.4x20.75-1.27	←	
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	Cu	←
	リードめっき材	純Sn	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
マガジン品	梱包仕様	現行仕様	新仕様
	マガジン	マガジン型名 : MP525PC	←
	収納数	25pcs/magazine	←
	マガジン本数 (Max.)	36本	←
	内装箱サイズ (LxWxH)	600mm x 172mm x 77mm	595mm x 170mm x 72mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステープ	エンボス型名 : MTE3216H-32P2M-A	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	347mm x 368mm x 54mm	362mm x 340mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(4) 32pin-SOP 1Mb(3V) 製品型名 : R1LV0108ESN

項目	変更前	変更後	
発注型名	R1LV0108ESN-5SI/-5SR/-7SI/-7SR#B0 (マガジン品)	R1LV0108ESN-5SI#B0 (マガジン品)	
	R1LV0108ESN-5SI/-5SR/-7SI/-7SR#S0 (Tape & Reel品)	R1LV0108ESN-5SI#S0 (Tape & Reel品)	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-SOP32-11.4x20.75-1.27	←	
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	Cu	←
	リードめっき材	純Sn	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
マガジン品	梱包仕様	現行仕様	新仕様
	マガジン	マガジン型名 : MP525PC	←
	収納数	25pcs/magazine	←
	マガジン本数 (Max.)	36本	←
	内装箱サイズ (LxWxH)	600mm x 172mm x 77mm	595mm x 170mm x 72mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステープ	エンボス型名 : MTE3216H-32P2M-A	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	347mm x 368mm x 54mm	362mm x 340mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(5) 32pin-SOP 4Mb(5V) 製品型名 : R1LP0408DSP

項目	変更前	変更後	
発注型名	R1LP0408DSP-5SI/-5SR/-7SI/-7SR#B0 (マガジン品)	R1LP0408DSP-5SI#B0 (マガジン品)	
	R1LP0408DSP-5SI/-5SR/-7SI/-7SR#S0 (Tape & Reel品)	R1LP0408DSP-5SI#S0 (Tape & Reel品)	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-SOP32-11.4x20.75-1.27	←	
パッケージ表面仕様			
アセンブリ材料	リードフレーム材質	Cu	←
	リードめっき材	純Sn	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
マガジン品	梱包仕様	現行仕様	新仕様
	マガジン	マガジン型名 : MP525PC	←
	収納数	25pcs/magazine	←
	マガジン本数 (Max.)	36本	←
	内装箱サイズ (LxWxH)	600mm x 172mm x 77mm	595mm x 170mm x 72mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステープ	エンボス型名 : MTE3216H-32P2M-A	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	347mm x 368mm x 54mm	362mm x 340mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(6) 32pin-SOP 4Mb(3V) 製品型名 : RMLV0408EGSP

項目	変更前	変更後	
発注型名	RMLV0408EGSP-4S2#CA0 (マガジン品)	←	
	RMLV0408EGSP-4S2#HA0 (Tape & Reel品)	←	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-SOP32-11.4x20.75-1.27	←	
パッケージ表面仕様		仕様変更なし	
アセンブリ材料	リードフレーム材質	Cu	←
	リードめっき材	純Sn	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
マガジン品	梱包仕様	現行仕様	新仕様
	マガジン	マガジン型名 : MP525PC	←
	収納数	25pcs/magazine	←
	マガジン本数 (Max.)	36本	←
	内装箱サイズ (LxWxH)	600mm x 172mm x 77mm	595mm x 170mm x 72mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステープ	エンボス型名 : MTE3216H-32P2M-A	←
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	347mm x 368mm x 54mm	362mm x 340mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(7) 48ball-FBGA 4Mb(3V) 製品型名：RMLV0416EGBG

項目	変更前	変更後	
発注型名	RMLV0416EGBG-4S2#AC0 (トレイ品)	←	
	RMLV0416EGBG-4S2#KC0 (Tape & Reel品)	←	
組立拠点	株式会社ジェイデバイス 熊本地区 (日本)	←	
JEITA Package Code	P-TFBGA48-7.5x8.5-0.75	←	
パッケージ表面仕様		仕様変更なし	
アセンブリ材料	基板材質	ガラスエポキシ	←
	はんだボール材	Sn-Ag-Cu	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名：L196-45)	←
	収納数	253pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、左上から下方向へ配置	←
	トレイ段数 (Max.)	9枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm	
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(8) 48ball-FBGA 8Mb(3V) 製品型名：RMLV0816BGBG

項目		変更前	変更後
発注型名		RMLV0816BGBG-4S2#AC0 (トレイ品)	←
		RMLV0816BGBG-4S2#KC0 (Tape & Reel品)	←
組立拠点		株式会社ジェイデバイス 熊本地区 (日本)	←
JEITA Package Code		P-TFBGA48-7.5x8.5-0.75	←
パッケージ表面仕様			仕様変更なし
アセンブリ材料	基板材質	ガラスエポキシ	←
	はんだボール材	Sn-Ag-Cu	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点		Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名：L196-45)	←
	収納数	253pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、左上から下方向へ配置	←
	トレイ段数 (Max.)	9枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
	内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能		MSL 3	←
出荷梱包ラベル		現行仕様	フォーマットの変更なし (内部コードのみ変更あり)

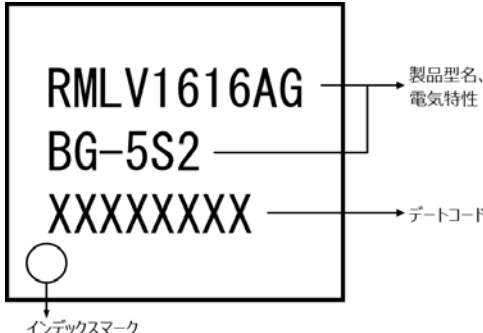
(9) 48ball-FBGA 16Mb(3V) 製品型名 : R1LV1616HBG

項目	変更前	変更後	
発注型名	R1LV1616HBG-4SI/-5SI#B0 (トレイ品)	←	
	R1LV1616HBG-4SI/-5SI#S0 (Tape & Reel品)	←	
組立拠点	株式会社ジェイデバイス 熊本地区 (日本)	←	
JEITA Package Code	P-TFBGA48-8x9.5-0.75	←	
パッケージ表面仕様		仕様変更なし	
アセンブリ材料	基板材質	ガラスエポキシ	←
	はんだボール材	Sn-Ag-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名 : PTA71C)	←
	収納数	264pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、左上から下方向へ配置	←
	トレイ段数 (Max.)	9枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
	内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボスステップ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

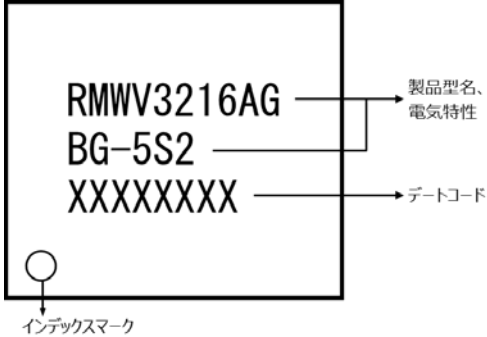
・ 本製品につきましては、変更前後ともに、パッケージ表面のレーザーマーキングを選別テスト拠点で実施しております。



(10) 48ball-FBGA 16Mb(3V) 製品型名：RMLV1616AGBG

項目	変更前	変更後	
発注型名	RMLV1616AGBG-5S2#AC0 (トレイ品)	←	
	RMLV1616AGBG-5S2#KC0 (Tape & Reel品)	←	
組立拠点	株式会社ジェイデバイス 熊本地区 (日本)	←	
JEITA Package Code	P-TFBGA48-7.5x8.5-0.75	←	
パッケージ表面仕様	 <p>製品型名、電気特性 デットコード インデックスマーク</p>	仕様変更なし	
アセンブリ材料	基板材質	ガラスエポキシ	←
	はんだボール材	Sn-Ag-Cu	←
	ダイボンディング材	樹脂ペースト	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名：L196-45)	←
	収納数	253pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、左上から下方向へ配置	←
	トレイ段数 (Max.)	9枚+1枚 (フタ)	10枚+1枚 (フタ)
内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm	
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

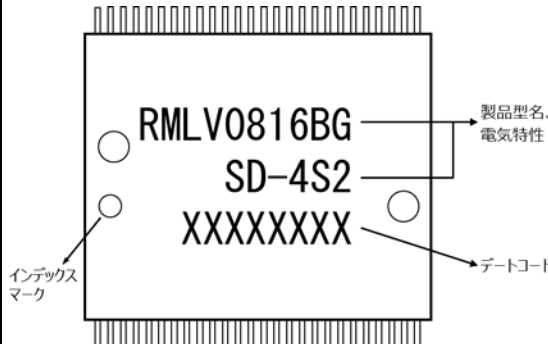
(11) 48ball-FBGA 32Mb(3V) 製品型名：RMWV3216AGBG

項目		変更前	変更後
発注型名		RMWV3216AGBG-5S2#AC0 (トレイ品)	←
		RMWV3216AGBG-5S2#KC0 (Tape & Reel品)	←
組立拠点		株式会社ジェイデバイス 熊本地区 (日本)	←
JEITA Package Code		P-TFBGA48-7.5x8.5-0.75	←
パッケージ表面仕様		 <p>製品型名、電気特性            デートコード            インデックスマーク</p>	仕様変更なし
アセンブリ材料	基板材質	ガラスエポキシ	←
	はんだボール材	Sn-Ag-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (ハロゲンフリー)	←
選別テスト拠点		Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名：L196-45)	←
	収納数	253pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、左上から下方向へ配置	←
	トレイ段数 (Max.)	9枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
内装箱サイズ (LxWxH)		330mm x 152mm x 75mm	351mm x 175mm x 104mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能		MSL 3	←
出荷梱包ラベル		現行仕様	フォーマットの変更なし (内部コードのみ変更あり)

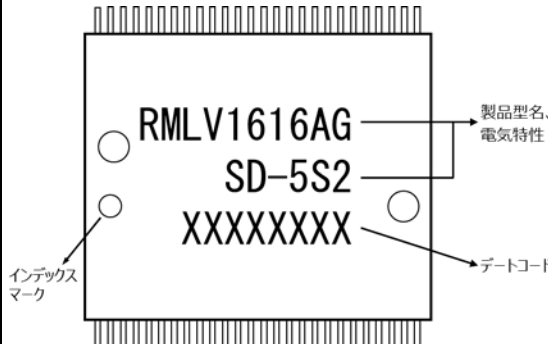
## (12) 48ball-FBGA 64Mb(3V) 製品型名 : R1WV6416RBG

項目	変更前	変更後	
発注型名	R1WV6416RBG-5SI#B0 (トレイ品)	←	
	R1WV6416RBG-5SI#S0 (Tape & Reel品)	←	
組立拠点	株式会社ジェイデバイス 熊本地区 (日本)	←	
JEITA Package Code	P-TFBGA48-8.5x11-0.75	←	
パッケージ表面仕様		仕様変更なし	
アセンブリ材料	基板材質	ガラスエポキシ	←
	はんだボール材	Sn-Ag-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名 : L196-121)	←
	収納数	242pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、右下から上方向へ配置	トレイの切欠きが左下になる状態にして、左上から下方向へ配置
	トレイ段数 (Max.)	8枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm	
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステープ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能	MSL 3	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(13) 52pin-μTSOP 8Mb(3V) 製品型名：RMLV0816BGSD

項目	変更前	変更後	
発注型名	RMLV0816BGSD-4S2#AC0 (トレイ品)	←	
	RMLV0816BGSD-4S2#HC0 (Tape & Reel品)	←	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-TSOP(2)52-8.89x10.79-0.40	←	
パッケージ表面仕様		仕様変更なし	
アセンブリ材料	リードフレーム材質	42Alloy	←
	リードめっき材	Sn-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名：L196-24)	←
	収納数	230pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、左上から下方向へ配置	←
	トレイ段数 (Max.)	8枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm	
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能	MSL 2	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

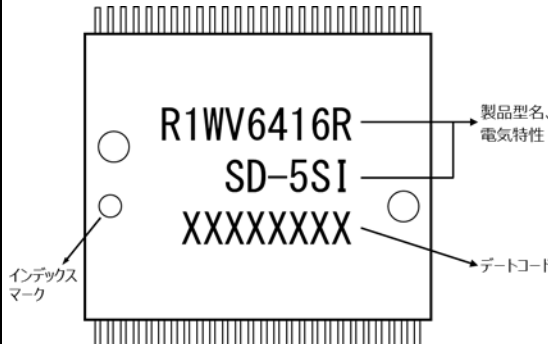
(14) 52pin-μTSOP 16Mb(3V) 製品型名：RMLV1616AGSD

項目		変更前	変更後
発注型名		RMLV1616AGSD-5S2#AC0 (トレイ品)	←
		RMLV1616AGSD-5S2#HC0 (Tape & Reel品)	←
組立拠点		Renesas Semiconductor Beijing (中国)	←
JEITA Package Code		P-TSOP(2)52-8.89x10.79-0.40	←
パッケージ表面仕様			仕様変更なし
アセンブリ材料	リードフレーム材質	42Alloy	←
	リードめっき材	Sn-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点		Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名：L196-24)	←
	収納数	230pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、左上から下方向へ配置	←
	トレイ段数 (Max.)	8枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
	内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能		MSL 2	←
出荷梱包ラベル		現行仕様	フォーマットの変更なし (内部コードのみ変更あり)

(15) 52pin-μTSOP 32Mb(3V) 製品型名 : R1LV3216RSD

項目	変更前	変更後	
発注型名	R1LV3216RSD-5SI#B0 (トレイ品)	←	
	R1LV3216RSD-5SI#S0 (Tape & Reel品)	←	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-TSOP(2)52-8.89x10.79-0.40	←	
パッケージ表面仕様		仕様変更なし	
アセンブリ材料	リードフレーム材質	42Alloy	←
	リードめっき材	Sn-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名 : L196-24)	←
	収納数	230pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、右下から上方向へ配置	トレイの切欠きが左下になる状態にして、左上から下方向へ配置
	トレイ段数 (Max.)	8枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm	
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能	MSL 2	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

(16) 52pin-μTSOP 64Mb(3V) 製品型名 : R1WV6416RSD

項目	変更前	変更後	
発注型名	R1WV6416RSD-5SI#B0 (トレイ品)	←	
	R1WV6416RSD-5SI#S0 (Tape & Reel品)	←	
組立拠点	Renesas Semiconductor Beijing (中国)	←	
JEITA Package Code	P-TSOP(2)52-8.89x10.79-0.40	←	
パッケージ表面仕様		仕様変更なし	
アセンブリ材料	リードフレーム材質	42Alloy	←
	リードめっき材	Sn-Cu	←
	ダイボンディング材	樹脂フィルム	←
	ボンディングワイヤー	Au	←
	封止材料	エポキシ樹脂 (非ハロゲンフリー)	←
選別テスト拠点	Renesas Semiconductor Beijing (中国)	Powertech Technology Inc. (台湾)	
トレイ品	梱包仕様	現行仕様	新仕様
	トレイ	JEDEC Tray ルネサスロゴ有り (型名 : L196-24)	←
	収納数	230pcs/tray	←
	トレイへのIC収納順序	トレイの切欠きが左下になる状態にして、右下から上方向へ配置	トレイの切欠きが左下になる状態にして、左上から下方向へ配置
	トレイ段数 (Max.)	8枚 + 1枚 (フタ)	10枚 + 1枚 (フタ)
内装箱サイズ (LxWxH)	330mm x 152mm x 75mm	351mm x 175mm x 104mm	
Tape & Reel品	梱包仕様	現行仕様	新仕様
	エンボステーブ	現行仕様	仕様変更なし
	収納数	1,000pcs/reel	←
	内装箱サイズ (LxWxH)	288mm x 273mm x 48mm	289mm x 264mm x 60mm
防湿梱包性能	MSL 2	←	
出荷梱包ラベル	現行仕様	フォーマットの変更なし (内部コードのみ変更あり)	

### 3. 256Kb~4Mb低消費電力SRAMの型名統合内容

対象となる発注型名と、型名ごとの統合内容（アクセスタイム、動作温度範囲）を、下記に示します。

-5SR, -7SI, -7SR品は生産中止とし、上位互換品の-5SI品に統合いたします。

パッケージ タイプ	メモリ容量, 電源電圧	語 構成	変更前			変更後		
			発注型名	アクセス タイム	動作 温度 範囲	発注型名	アクセス タイム	動作 温度 範囲
28pin- SOP	256Kb 5V	x8	R1LP5256ESP-5SI#B0 R1LP5256ESP-5SI#S0	55ns	-40℃ ~85℃	R1LP5256ESP-5SI#B0 R1LP5256ESP-5SI#S0	55ns	-40℃ ~85℃
			R1LP5256ESP-5SR#B0 R1LP5256ESP-5SR#S0		-0℃ ~70℃			
			R1LP5256ESP-7SI#B0 R1LP5256ESP-7SI#S0	70ns	-40℃ ~85℃			
			R1LP5256ESP-7SR#B0 R1LP5256ESP-7SR#S0		0℃ ~70℃			
	256Kb 3V	x8	R1LV5256ESP-5SI#B0 R1LV5256ESP-5SI#S0	55ns	-40℃ ~85℃	R1LV5256ESP-5SI#B0 R1LV5256ESP-5SI#S0	55ns	-40℃ ~85℃
			R1LV5256ESP-5SR#B0 R1LV5256ESP-5SR#S0		-0℃ ~70℃			
			R1LV5256ESP-7SI#B0 R1LV5256ESP-7SI#S0	70ns	-40℃ ~85℃			
			R1LV5256ESP-7SR#B0 R1LV5256ESP-7SR#S0		0℃ ~70℃			
32pin- SOP	1Mb 5V	x8	R1LP0108ESN-5SI#B0 R1LP0108ESN-5SI#S0	55ns	-40℃ ~85℃	R1LP0108ESN-5SI#B0 R1LP0108ESN-5SI#S0	55ns	-40℃ ~85℃
			R1LP0108ESN-5SR#B0 R1LP0108ESN-5SR#S0		-0℃ ~70℃			
			R1LP0108ESN-7SI#B0 R1LP0108ESN-7SI#S0	70ns	-40℃ ~85℃			
			R1LP0108ESN-7SR#B0 R1LP0108ESN-7SR#S0		0℃ ~70℃			
	1Mb 3V	x8	R1LV0108ESN-5SI#B0 R1LV0108ESN-5SI#S0	55ns	-40℃ ~85℃	R1LV0108ESN-5SI#B0 R1LV0108ESN-5SI#S0	55ns	-40℃ ~85℃
			R1LV0108ESN-5SR#B0 R1LV0108ESN-5SR#S0		-0℃ ~70℃			
			R1LV0108ESN-7SI#B0 R1LV0108ESN-7SI#S0	70ns	-40℃ ~85℃			
			R1LV0108ESN-7SR#B0 R1LV0108ESN-7SR#S0		0℃ ~70℃			
	4Mb 5V	x8	R1LP0408DSP-5SI#B0 R1LP0408DSP-5SI#S0	55ns	-40℃ ~85℃	R1LP0408DSP-5SI#B0 R1LP0408DSP-5SI#S0	55ns	-40℃ ~85℃
			R1LP0408DSP-5SR#B0 R1LP0408DSP-5SR#S0		-0℃ ~70℃			
			R1LP0408DSP-7SI#B0 R1LP0408DSP-7SI#S0	70ns	-40℃ ~85℃			
			R1LP0408DSP-7SR#B0 R1LP0408DSP-7SR#S0		0℃ ~70℃			

(注) #B0 : マガジン (チューブ) 梱包、#S0 : テープ&リール梱包



## 4. 256Kb~4Mb低消費電力SRAMのデータシート電氣的特性比較

### (1)-a. データシート電氣的特性 DC項目 : 256Kb(5V) R1LP5256ESP

対象型名

項目	変更前	変更後
発注型名	R1LP5256ESP-5SI, -5SR, -7SI, -7SR#B0	R1LP5256ESP-5SI#B0
	R1LP5256ESP-5SI, -5SR, -7SI, -7SR#S0	R1LP5256ESP-5SI#S0

DC動作条件

項目	Symbol	変更前	Symbol	変更後	
動作電源電圧	Vcc	4.5V~5.5V	Vcc	←	
動作温度範囲	Ta	5SR, 7SR	0°C~70°C	Ta	-40°C~85°C
		5SI, 7SI	-40°C~85°C		
入力電圧 (High)	VIH	2.2V(min.) / Vcc+0.3V(max.)	VIH	←	
入力電圧 (Low)	VIL	-0.3V(min.) / 0.8V(max.)	VIL	←	

DC特性

項目	Symbol	変更前	Symbol	変更後		
動作電流	Icc1(TTL入力, Min. Cycle)	35mA(max.) / 25mA(typ.)	Icc1(TTL入力, Min. Cycle)	←		
	Icc2(MOS入力, Cycle=1us)	4mA(max.) / 2mA(typ.)	Icc2(MOS入力, Cycle=1us)	←		
スタンバイ電流	ISB(TTL入力)	3mA(max.)	ISB(TTL入力)	←		
	ISB1(MOS入力)	~25°C	2uA(max.) / 0.6uA(typ.)	~25°C	←	
		~40°C	3uA(max.)	~40°C	←	
		~70°C	8uA(max.)	~70°C	←	
		~85°C (5SI, 7SIのみ)	10uA(max.)	~85°C	←	
出力電圧 (High)	VOH	IOH=-1mA	2.4V(min.)	VOH	IOH=-1mA	←
	VOH2	IOH=-0.1mA	Vcc-0.5V(min.)	VOH2	IOH=-0.1mA	←
出力電圧 (Low)	VOL	IOL=2mA	0.4V(max.)	VOL	IOL=2mA	←

容量

項目	Symbol	変更前	Symbol	変更後
Input capacitance	C in	6pF(max.)	C in	←
Input/Output capacitance	C I/O	8pF(max.)	C I/O	←

データ保持特性

項目	Symbol	変更前	Symbol	変更後	
データ保持電圧	VDR	2.0V(min.)	VDR	←	
データ保持電流	IccDR(Vcc=3.0V)	~25°C	2uA(max.) / 0.6uA(typ.)	~25°C	←
		~40°C	3uA(max.)	~40°C	←
		~70°C	8uA(max.)	~70°C	←
		~85°C (5SI, 7SIのみ)	10uA(max.)	~85°C	←
Chip deselect time to data retention	tCDR	0ns(min.)	tCDR	←	
Operation recovery time	tR	5ms(min.)	tR	←	

## (1)-b. データシート電気的特性 AC項目 : 256Kb(5V) R1LP5256ESP

## 対象型名

項目	変更前	変更後
発注型名	R1LP5256ESP-5SI, -5SR, -7SI, -7SR#B0	R1LP5256ESP-5SI#B0
	R1LP5256ESP-5SI, -5SR, -7SI, -7SR#S0	R1LP5256ESP-5SI#S0

## AC特性

## リードサイクル

項目	Symbol	変更前		Symbol	変更後
Read cycle time	tRC	5SI, 5SR	55ns(min.)	tRC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address access time	tAA	5SI, 5SR	55ns(max.)	tAA	55ns(max.)
		7SI, 7SR	70ns(max.)		
Chip select access time	tACS	5SI, 5SR	55ns(max.)	tACS	55ns(max.)
		7SI, 7SR	70ns(max.)		
Output enable to output valid	tOE	5SI, 5SR	30ns(max.)	tOE	30ns(max.)
		7SI, 7SR	35ns(max.)		
Output hold from address change	tOH	5SI, 5SR	10ns(min.)	tOH	←
		7SI, 7SR	10ns(min.)		
Chip select to output in low-Z	tCLZ	5SI, 5SR	5ns(min.)	tCLZ	←
		7SI, 7SR	5ns(min.)		
Output enable to output in low-Z	tOLZ	5SI, 5SR	5ns(min.)	tOLZ	←
		7SI, 7SR	5ns(min.)		
Chip deselect to output in high-Z	tCHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tCHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## ライトサイクル

項目	Symbol	変更前		Symbol	変更後
Write cycle time	tWC	5SI, 5SR	55ns(min.)	tWC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address valid to end of write	tAW	5SI, 5SR	50ns(min.)	tAW	50ns(min.)
		7SI, 7SR	65ns(min.)		
Chip select to end of write	tCW	5SI, 5SR	50ns(min.)	tCW	50ns(min.)
		7SI, 7SR	65ns(min.)		
Write pulse width	tWP	5SI, 5SR	40ns(min.)	tWP	40ns(min.)
		7SI, 7SR	50ns(min.)		
Address setup time	tAS	5SI, 5SR	0ns(min.)	tAS	←
		7SI, 7SR	0ns(min.)		
Write recovery time	tWR	5SI, 5SR	0ns(min.)	tWR	←
		7SI, 7SR	0ns(min.)		
Data to write time overlap	tDW	5SI, 5SR	25ns(min.)	tDW	25ns(min.)
		7SI, 7SR	30ns(min.)		
Data hold from write time	tDH	5SI, 5SR	0ns(min.)	tDH	←
		7SI, 7SR	0ns(min.)		
Output enable from end of write	tOW	5SI, 5SR	5ns(min.)	tOW	←
		7SI, 7SR	5ns(min.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Write to output in high-Z	tWHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tWHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## (2)-a. データシート電気的特性 DC項目 : 256Kb(3V) R1LV5256ESP

対象型名

項目	変更前	変更後
発注型名	R1LV5256ESP-5SI, -5SR, -7SI, -7SR#B0	R1LV5256ESP-5SI#B0
	R1LV5256ESP-5SI, -5SR, -7SI, -7SR#S0	R1LV5256ESP-5SI#S0

DC動作条件

項目	Symbol	変更前	Symbol	変更後
動作電源電圧	Vcc	2.7V~3.6V	Vcc	←
動作温度範囲	Ta	5SR, 7SR	Ta	-40℃~85℃
		5SI, 7SI		
入力電圧 (High)	VIH	2.0V(min.) / Vcc+0.3V(max.)	VIH	←
入力電圧 (Low)	VIL	-0.3V(min.) / 0.6V(max.)	VIL	←

DC特性

項目	Symbol	変更前	Symbol	変更後		
動作電流	Icc1(TTL入力,Min.Cycle)	25mA(max.) / 14mA(typ.)	Icc1(TTL入力,Min.Cycle)	←		
	Icc2(MOS入力,Cycle=1us)	5mA(max.) / 2mA(typ.)	Icc2(MOS入力,Cycle=1us)	←		
スタンバイ電流	ISB(TTL入力)	0.33mA(max.)	ISB(TTL入力)	←		
	ISB1(MOS入力)	~25℃	ISB1(MOS入力)	~25℃	←	
		~40℃		2uA(max.) / 0.6uA(typ.)	~40℃	←
		~70℃		3uA(max.)	~70℃	←
		~85℃ (5SI, 7SIのみ)		8uA(max.)	~85℃	←
	10uA(max.)		←			
出力電圧 (High)	VOH	IOH=-0.5mA	VOH	IOH=-0.5mA	←	
	VOH2	IOH=-0.05mA	VOH2	IOH=-0.05mA	←	
出力電圧 (Low)	VOL	IOL=1mA	VOL	IOL=1mA	←	

容量

項目	Symbol	変更前	Symbol	変更後
Input capacitance	C in	6pF(max.)	C in	←
Input/Output capacitance	C I/O	8pF(max.)	C I/O	←

データ保持特性

項目	Symbol	変更前	Symbol	変更後		
データ保持電圧	VDR	2.0V(min.)	VDR	←		
データ保持電流	IccDR(Vcc=3.0V)	~25℃	IccDR(Vcc=3.0V)	~25℃	←	
		~40℃		2uA(max.) / 0.6uA(typ.)	~40℃	←
		~70℃		3uA(max.)	~70℃	←
		~85℃ (5SI, 7SIのみ)		8uA(max.)	~85℃	←
	10uA(max.)		←			
Chip deselect time to data retention	tCDR	0ns(min.)	tCDR	←		
Operation recovery time	tR	5ms(min.)	tR	←		

## (2)-b. データシート電気的特性 AC項目 : 256Kb(3V) R1LV5256ESP

## 対象型名

項目	変更前	変更後
発注型名	R1LV5256ESP-5SI, -5SR, -7SI, -7SR#B0	R1LV5256ESP-5SI#B0
	R1LV5256ESP-5SI, -5SR, -7SI, -7SR#S0	R1LV5256ESP-5SI#S0

## AC特性

## リードサイクル

項目	Symbol	変更前		Symbol	変更後
Read cycle time	tRC	5SI, 5SR	55ns(min.)	tRC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address access time	tAA	5SI, 5SR	55ns(max.)	tAA	55ns(max.)
		7SI, 7SR	70ns(max.)		
Chip select access time	tACS	5SI, 5SR	55ns(max.)	tACS	55ns(max.)
		7SI, 7SR	70ns(max.)		
Output enable to output valid	tOE	5SI, 5SR	30ns(max.)	tOE	30ns(max.)
		7SI, 7SR	35ns(max.)		
Output hold from address change	tOH	5SI, 5SR	10ns(min.)	tOH	←
		7SI, 7SR	10ns(min.)		
Chip select to output in low-Z	tCLZ	5SI, 5SR	5ns(min.)	tCLZ	←
		7SI, 7SR	5ns(min.)		
Output enable to output in low-Z	tOLZ	5SI, 5SR	5ns(min.)	tOLZ	←
		7SI, 7SR	5ns(min.)		
Chip deselect to output in high-Z	tCHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tCHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## ライトサイクル

項目	Symbol	変更前		Symbol	変更後
Write cycle time	tWC	5SI, 5SR	55ns(min.)	tWC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address valid to end of write	tAW	5SI, 5SR	50ns(min.)	tAW	50ns(min.)
		7SI, 7SR	65ns(min.)		
Chip select to end of write	tCW	5SI, 5SR	50ns(min.)	tCW	50ns(min.)
		7SI, 7SR	65ns(min.)		
Write pulse width	tWP	5SI, 5SR	40ns(min.)	tWP	40ns(min.)
		7SI, 7SR	50ns(min.)		
Address setup time	tAS	5SI, 5SR	0ns(min.)	tAS	←
		7SI, 7SR	0ns(min.)		
Write recovery time	tWR	5SI, 5SR	0ns(min.)	tWR	←
		7SI, 7SR	0ns(min.)		
Data to write time overlap	tDW	5SI, 5SR	25ns(min.)	tDW	25ns(min.)
		7SI, 7SR	30ns(min.)		
Data hold from write time	tDH	5SI, 5SR	0ns(min.)	tDH	←
		7SI, 7SR	0ns(min.)		
Output enable from end of write	tOW	5SI, 5SR	5ns(min.)	tOW	←
		7SI, 7SR	5ns(min.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Write to output in high-Z	tWHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tWHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## (3)-a. データシート電気的特性 DC項目 : 1Mb(5V) R1LP0108ESN

対象型名

項目	変更前	変更後
発注型名	R1LP0108ESN-5SI, -5SR, -7SI, -7SR#B0	R1LP0108ESN-5SI#B0
	R1LP0108ESN-5SI, -5SR, -7SI, -7SR#S0	R1LP0108ESN-5SI#S0

DC動作条件

項目	Symbol	変更前	Symbol	変更後
動作電源電圧	Vcc	4.5V~5.5V		Vcc ←
動作温度範囲	Ta	5SR, 7SR	0°C~70°C	Ta -40°C~85°C
		5SI, 7SI	-40°C~85°C	
入力電圧 (High)	VIH	2.2V(min.) / Vcc+0.3V(max.)		VIH ←
入力電圧 (Low)	VIL	-0.3V(min.) / 0.8V(max.)		VIL ←

DC特性

項目	Symbol	変更前	Symbol	変更後	
動作電流	Icc1(TTL入力,Min.Cycle)	35mA(max.) / 25mA(typ.)		Icc1(TTL入力,Min.Cycle) ←	
	Icc2(MOS入力,Cycle=1us)	5mA(max.) / 2mA(typ.)		Icc2(MOS入力,Cycle=1us) ←	
スタンバイ電流	ISB(TTL入力)	3mA(max.)		ISB(TTL入力) ←	
	ISB1(MOS入力)	~25°C	2uA(max.) / 0.6uA(typ.)	ISB1(MOS入力)	~25°C ←
		~40°C	3uA(max.)	ISB1(MOS入力)	~40°C ←
		~70°C	8uA(max.)	ISB1(MOS入力)	~70°C ←
		~85°C (5SI, 7SIのみ)	10uA(max.)	ISB1(MOS入力)	~85°C ←
出力電圧 (High)	VOH	IOH=-1mA	2.4V(min.)	VOH	IOH=-1mA ←
	VOH2	IOH=-0.1mA	Vcc-0.5V(min.)	VOH2	IOH=-0.1mA ←
出力電圧 (Low)	VOL	IOL=2mA	0.4V(max.)	VOL	IOL=2mA ←

容量

項目	Symbol	変更前	Symbol	変更後
Input capacitance	C in	8pF(max.)		C in ←
Input/Output capacitance	C I/O	10pF(max.)		C I/O ←

データ保持特性

項目	Symbol	変更前	Symbol	変更後	
データ保持電圧	VDR	2.0V(min.)		VDR ←	
データ保持電流	IccDR(Vcc=3.0V)	~25°C	2uA(max.) / 0.6uA(typ.)	IccDR(Vcc=3.0V)	~25°C ←
		~40°C	3uA(max.)	IccDR(Vcc=3.0V)	~40°C ←
		~70°C	8uA(max.)	IccDR(Vcc=3.0V)	~70°C ←
		~85°C (5SI, 7SIのみ)	10uA(max.)	IccDR(Vcc=3.0V)	~85°C ←
Chip deselect time to data retention	tCDR	0ns(min.)		tCDR ←	
Operation recovery time	tR	5ms(min.)		tR ←	

## (3)-b. データシート電気的特性 AC項目 : 1Mb(5V) R1LP0108ESN

## 対象型名

項目	変更前	変更後
発注型名	R1LP0108ESN-5SI, -5SR, -7SI, -7SR#B0	R1LP0108ESN-5SI#B0
	R1LP0108ESN-5SI, -5SR, -7SI, -7SR#S0	R1LP0108ESN-5SI#S0

## AC特性

## リードサイクル

項目	Symbol	変更前		Symbol	変更後
Read cycle time	tRC	5SI, 5SR	55ns(min.)	tRC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address access time	tAA	5SI, 5SR	55ns(max.)	tAA	55ns(max.)
		7SI, 7SR	70ns(max.)		
Chip select access time	tACS1 / tACS2	5SI, 5SR	55ns(max.)	tACS1 / tACS2	55ns(max.)
		7SI, 7SR	70ns(max.)		
Output enable to output valid	tOE	5SI, 5SR	30ns(max.)	tOE	30ns(max.)
		7SI, 7SR	35ns(max.)		
Output hold from address change	tOH	5SI, 5SR	5ns(min.)	tOH	5ns(min.)
		7SI, 7SR	10ns(min.)		
Chip select to output in low-Z	tCLZ1 / tCLZ2	5SI, 5SR	5ns(min.)	tCLZ1 / tCLZ2	5ns(min.)
		7SI, 7SR	10ns(min.)		
Output enable to output in low-Z	tOLZ	5SI, 5SR	5ns(min.)	tOLZ	←
		7SI, 7SR	5ns(min.)		
Chip deselect to output in high-Z	tCHZ1 / tCHZ2	5SI, 5SR	0ns(min.) / 20ns(max.)	tCHZ1 / tCHZ2	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## ライトサイクル

項目	Symbol	変更前		Symbol	変更後
Write cycle time	tWC	5SI, 5SR	55ns(min.)	tWC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address valid to end of write	tAW	5SI, 5SR	50ns(min.)	tAW	50ns(min.)
		7SI, 7SR	55ns(min.)		
Chip select to end of write	tCW	5SI, 5SR	50ns(min.)	tCW	50ns(min.)
		7SI, 7SR	55ns(min.)		
Write pulse width	tWP	5SI, 5SR	45ns(min.)	tWP	45ns(min.)
		7SI, 7SR	50ns(min.)		
Address setup time	tAS	5SI, 5SR	0ns(min.)	tAS	←
		7SI, 7SR	0ns(min.)		
Write recovery time	tWR	5SI, 5SR	0ns(min.)	tWR	←
		7SI, 7SR	0ns(min.)		
Data to write time overlap	tDW	5SI, 5SR	25ns(min.)	tDW	25ns(min.)
		7SI, 7SR	30ns(min.)		
Data hold from write time	tDH	5SI, 5SR	0ns(min.)	tDH	←
		7SI, 7SR	0ns(min.)		
Output enable from end of write	tOW	5SI, 5SR	5ns(min.)	tOW	←
		7SI, 7SR	5ns(min.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Write to output in high-Z	tWHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tWHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## (4)-a. データシート電気的特性 DC項目 : 1Mb(3V) R1LV0108ESN

## 対象型名

項目	変更前	変更後
発注型名	R1LV0108ESN-5SI, -5SR, -7SI, -7SR#B0	R1LV0108ESN-5SI#B0
	R1LV0108ESN-5SI, -5SR, -7SI, -7SR#S0	R1LV0108ESN-5SI#S0

## DC動作条件

項目	Symbol	変更前	Symbol	変更後
動作電源電圧	Vcc	2.7V~3.6V	Vcc	←
動作温度範囲	Ta	5SR, 7SR	Ta	-40℃~85℃
		5SI, 7SI		
入力電圧 (High)	VIH	2.0V(min.) / Vcc+0.3V(max.)	VIH	←
入力電圧 (Low)	VIL	-0.3V(min.) / 0.6V(max.)	VIL	←

## DC特性

項目	Symbol	変更前	Symbol	変更後		
動作電流	Icc1(TTL入力,Min.Cycle)	25mA(max.) / 15mA(typ.)	Icc1(TTL入力,Min.Cycle)	←		
	Icc2(MOS入力,Cycle=1us)	5mA(max.) / 2mA(typ.)	Icc2(MOS入力,Cycle=1us)	←		
スタンバイ電流	ISB(TTL入力)	0.33mA(max.)	ISB(TTL入力)	←		
	ISB1(MOS入力)	~25℃	ISB1(MOS入力)	~25℃	←	
		~40℃		2uA(max.) / 0.6uA(typ.)	~40℃	←
		~70℃		3uA(max.)	~70℃	←
		~85℃ (5SI, 7SIのみ)		8uA(max.)	~85℃	←
	10uA(max.)		←			
出力電圧 (High)	VOH	IOH=-0.5mA	VOH	IOH=-0.5mA	←	
	VOH2	IOH=-0.05mA	VOH2	IOH=-0.05mA	←	
出力電圧 (Low)	VOL	IOL=2mA	VOL	IOL=2mA	←	

## 容量

項目	Symbol	変更前	Symbol	変更後
Input capacitance	C in	8pF(max.)	C in	←
Input/Output capacitance	C I/O	10pF(max.)	C I/O	←

## データ保持特性

項目	Symbol	変更前	Symbol	変更後		
データ保持電圧	VDR	2.0V(min.)	VDR	←		
データ保持電流	IccDR(Vcc=3.0V)	~25℃	IccDR(Vcc=3.0V)	~25℃	←	
		~40℃		2uA(max.) / 0.6uA(typ.)	~40℃	←
		~70℃		3uA(max.)	~70℃	←
		~85℃ (5SI, 7SIのみ)		8uA(max.)	~85℃	←
	10uA(max.)		←			
Chip deselect time to data retention	tCDR	0ns(min.)	tCDR	←		
Operation recovery time	tR	5ms(min.)	tR	←		

## (4)-b. データシート電気的特性 AC項目 : 1Mb(3V) R1LV0108ESN

## 対象型名

項目	変更前	変更後
発注型名	R1LV0108ESN-5SI, -5SR, -7SI, -7SR#B0	R1LV0108ESN-5SI#B0
	R1LV0108ESN-5SI, -5SR, -7SI, -7SR#S0	R1LV0108ESN-5SI#S0

## AC特性

## リードサイクル

項目	Symbol	変更前		Symbol	変更後
Read cycle time	tRC	5SI, 5SR	55ns(min.)	tRC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address access time	tAA	5SI, 5SR	55ns(max.)	tAA	55ns(max.)
		7SI, 7SR	70ns(max.)		
Chip select access time	tACS1 / tACS2	5SI, 5SR	55ns(max.)	tACS1 / tACS2	55ns(max.)
		7SI, 7SR	70ns(max.)		
Output enable to output valid	tOE	5SI, 5SR	30ns(max.)	tOE	30ns(max.)
		7SI, 7SR	35ns(max.)		
Output hold from address change	tOH	5SI, 5SR	5ns(min.)	tOH	5ns(min.)
		7SI, 7SR	10ns(min.)		
Chip select to output in low-Z	tCLZ1 / tCLZ2	5SI, 5SR	5ns(min.)	tCLZ1 / tCLZ2	5ns(min.)
		7SI, 7SR	10ns(min.)		
Output enable to output in low-Z	tOLZ	5SI, 5SR	5ns(min.)	tOLZ	←
		7SI, 7SR	5ns(min.)		
Chip deselect to output in high-Z	tCHZ1 / tCHZ2	5SI, 5SR	0ns(min.) / 20ns(max.)	tCHZ1 / tCHZ2	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## ライトサイクル

項目	Symbol	変更前		Symbol	変更後
Write cycle time	tWC	5SI, 5SR	55ns(min.)	tWC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address valid to end of write	tAW	5SI, 5SR	50ns(min.)	tAW	50ns(min.)
		7SI, 7SR	55ns(min.)		
Chip select to end of write	tCW	5SI, 5SR	50ns(min.)	tCW	50ns(min.)
		7SI, 7SR	55ns(min.)		
Write pulse width	tWP	5SI, 5SR	45ns(min.)	tWP	45ns(min.)
		7SI, 7SR	50ns(min.)		
Address setup time	tAS	5SI, 5SR	0ns(min.)	tAS	←
		7SI, 7SR	0ns(min.)		
Write recovery time	tWR	5SI, 5SR	0ns(min.)	tWR	←
		7SI, 7SR	0ns(min.)		
Data to write time overlap	tDW	5SI, 5SR	25ns(min.)	tDW	25ns(min.)
		7SI, 7SR	30ns(min.)		
Data hold from write time	tDH	5SI, 5SR	0ns(min.)	tDH	←
		7SI, 7SR	0ns(min.)		
Output enable from end of write	tOW	5SI, 5SR	5ns(min.)	tOW	←
		7SI, 7SR	5ns(min.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Write to output in high-Z	tWHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tWHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		



## (5)-a. データシート電気的特性 DC項目：4Mb(5V) R1LP0408DSP

対象型名

項目	変更前	変更後
発注型名	R1LP0408DSP-5SI, -5SR, -7SI, -7SR#B0	R1LP0408DSP-5SI#B0
	R1LP0408DSP-5SI, -5SR, -7SI, -7SR#S0	R1LP0408DSP-5SI#S0

DC動作条件

項目	Symbol	変更前	Symbol	変更後
動作電源電圧	Vcc	4.5V~5.5V	Vcc	←
動作温度範囲	Ta	5SR, 7SR	Ta	-40℃~85℃
		5SI, 7SI		
入力電圧 (High)	VIH	2.2V(min.) / Vcc+0.3V(max.)	VIH	←
入力電圧 (Low)	VIL	-0.3V(min.) / 0.8V(max.)	VIL	←

DC特性

項目	Symbol	変更前	Symbol	変更後		
動作電流	Icc(TTL入力)	10mA(max.) / 5mA(typ.)	Icc(TTL入力)	←		
	Icc1(TTL入力, Min. Cycle)	25mA(max.) / 15mA(typ.)	Icc1(TTL入力, Min. Cycle)	←		
	Icc2(MOS入力, Cycle=1us)	5mA(max.) / 3mA(typ.)	Icc2(MOS入力, Cycle=1us)	←		
スタンバイ電流	ISB(TTL入力)	0.5mA(max.) / 0.1mA(typ.)	ISB(TTL入力)	←		
	ISB1(MOS入力)	~25℃	ISB1(MOS入力)	~25℃	←	
		~40℃		~40℃	←	
		~70℃		~70℃	←	
		~85℃ (5SI, 7SIのみ)		~85℃	←	
出力電圧 (High)	VOH	IOH=-1mA	2.4V(min.)	VOH	IOH=-1mA	←
	VOH2	IOH=-0.1mA	Vcc-0.5V(min.)	VOH2	IOH=-0.1mA	←
出力電圧 (Low)	VOL	IOL=2.1mA	0.4V(max.)	VOL	IOL=2.1mA	←

容量

項目	Symbol	変更前	Symbol	変更後
Input capacitance	C in	8pF(max.)	C in	←
Input/Output capacitance	C I/O	10pF(max.)	C I/O	←

データ保持特性

項目	Symbol	変更前	Symbol	変更後	
データ保持電圧	VDR	2.0V(min.)	VDR	←	
データ保持電流	IccDR(Vcc=3.0V)	~25℃	IccDR(Vcc=3.0V)	~25℃	←
		~40℃		~40℃	←
		~70℃		~70℃	←
		~85℃ (5SI, 7SIのみ)		~85℃	←
Chip deselect time to data retention	tCDR	0ns(min.)	tCDR	←	
Operation recovery time	tR	5ms(min.)	tR	←	

## (5)-b. データシート電気的特性 AC項目 : 4Mb(5V) R1LP0408DSP

## 対象型名

項目	変更前	変更後
発注型名	R1LP0408DSP-5SI, -5SR, -7SI, -7SR#B0	R1LP0408DSP-5SI#B0
	R1LP0408DSP-5SI, -5SR, -7SI, -7SR#S0	R1LP0408DSP-5SI#S0

## AC特性

## リードサイクル



項目	Symbol	変更前		Symbol	変更後
Read cycle time	tRC	5SI, 5SR	55ns(min.)	tRC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Address access time	tAA	5SI, 5SR	55ns(max.)	tAA	55ns(max.)
		7SI, 7SR	70ns(max.)		
Chip select access time	tACS	5SI, 5SR	55ns(max.)	tACS	55ns(max.)
		7SI, 7SR	70ns(max.)		
Output enable to output valid	tOE	5SI, 5SR	25ns(max.)	tOE	25ns(max.)
		7SI, 7SR	35ns(max.)		
Chip select to output in low-Z	tCLZ	5SI, 5SR	10ns(min.)	tCLZ	←
		7SI, 7SR	10ns(min.)		
Output enable to output in low-Z	tOLZ	5SI, 5SR	5ns(min.)	tOLZ	←
		7SI, 7SR	5ns(min.)		
Chip deselect to output in high-Z	tCHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tCHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Output hold from address change	tOH	5SI, 5SR	10ns(min.)	tOH	←
		7SI, 7SR	10ns(min.)		

## ライトサイクル

項目	Symbol	変更前		Symbol	変更後
Write cycle time	tWC	5SI, 5SR	55ns(min.)	tWC	55ns(min.)
		7SI, 7SR	70ns(min.)		
Chip select to end of write	tCW	5SI, 5SR	50ns(min.)	tCW	50ns(min.)
		7SI, 7SR	60ns(min.)		
Address setup time	tAS	5SI, 5SR	0ns(min.)	tAS	←
		7SI, 7SR	0ns(min.)		
Address valid to end of write	tAW	5SI, 5SR	50ns(min.)	tAW	50ns(min.)
		7SI, 7SR	60ns(min.)		
Write pulse width	tWP	5SI, 5SR	40ns(min.)	tWP	40ns(min.)
		7SI, 7SR	50ns(min.)		
Write recovery time	tWR	5SI, 5SR	0ns(min.)	tWR	←
		7SI, 7SR	0ns(min.)		
Write to output in high-Z	tWHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tWHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		
Data to write time overlap	tDW	5SI, 5SR	25ns(min.)	tDW	25ns(min.)
		7SI, 7SR	30ns(min.)		
Data hold from write time	tDH	5SI, 5SR	0ns(min.)	tDH	←
		7SI, 7SR	0ns(min.)		
Output enable from end of write	tOW	5SI, 5SR	5ns(min.)	tOW	←
		7SI, 7SR	5ns(min.)		
Output disable to output in high-Z	tOHZ	5SI, 5SR	0ns(min.) / 20ns(max.)	tOHZ	0ns(min.) / 20ns(max.)
		7SI, 7SR	0ns(min.) / 25ns(max.)		

## 5. 梱包仕様の変更内容（トレイへのIC収納順序）

- ・ R1LV3216RSD-5SI, R1WV6416RSD-5SI, R1WV6416RBG-5SI のトレイ納入品につきましては、JEDECトレイへのICの収納順序が変更になります。下記をご参照ください。
- ・ 上記以外の製品につきましては、ICの収納順序は変更ございません。  
(現状すでに、下記の図の「変更後」と同じ収納順序になっております。)

	変更前	変更後
トレイへのIC収納順序		
対象発注型名	R1LV3216RSD-5SI#B0 R1WV6416RSD-5SI#B0 R1WV6416RBG-5SI#B0	R1LV3216RSD-5SI#B0 R1WV6416RSD-5SI#B0 R1WV6416RBG-5SI#B0

## 6. 出荷梱包ラベル仕様

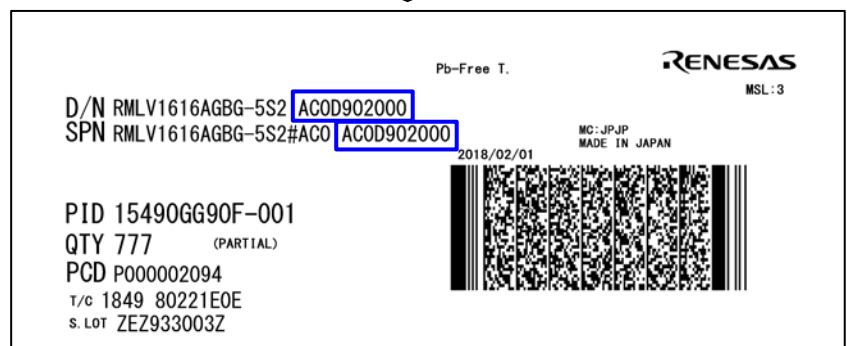
- ・ ラベルフォーマット自体の変更はございません。
- ・ ルネサス内部コードが変更となります。下記のラベル例をご参照ください。

### (1) 内部コードが10桁の製品

変更前



変更後



## (2) 内部コードが4桁の製品

変更前

**ルネサス内部コード**

Pb-Free T. RENESAS  
MSL:3

D/N R1LP0408DSP-5SI **B002**  
SPN R1LP0408DSP-5SI#B0 **B002**

2015/12/01 MC: JPCN  
ASSEMBLED IN CHINA  
FROM WAFERS OF JAPAN

PID 154009G00F-001  
QTY 777 (PARTIAL)  
PCD R1LP0408DSP-5SI#B0  
T/C 1549 5062ZE2C  
S. LOT ZE2533001Z




変更後

Pb-Free T. RENESAS  
MSL:3

D/N R1LP0408DSP-5SI **B00P**  
SPN R1LP0408DSP-5SI#B0 **B00P**

2018/02/01 MC: JPCN  
ASSEMBLED IN CHINA  
FROM WAFERS OF JAPAN

PID 157009G00F-001  
QTY 777 (PARTIAL)  
PCD R1LP0408DSP-5SI#B0  
T/C 1849 8022ZE2C  
S. LOT ZE2533002Z



## (3) 生産中止品

(-5SR, -7SI, -7SR品)

変更前

**ルネサス内部コード**

Pb-Free T. RENESAS  
MSL:2

D/N R1LP5256ESP-7SR **B002**  
SPN R1LP5256ESP-7SR#B0 **B002**

**発注型名**

2015/12/01 MC: JPCN  
ASSEMBLED IN CHINA  
FROM WAFERS OF JAPAN

PID 151909G00F-001  
QTY 777 (PARTIAL)  
PCD R1LP5256ESP-7SR#B0  
T/C 1549 5062ZE2C  
S. LOT ZE2533001Z



【注】発注型名が、  
-5SI に変更になります。



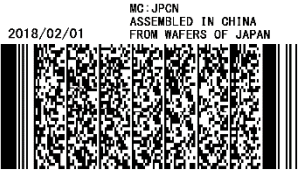
変更後

Pb-Free T. RENESAS  
MSL:2

D/N R1LP5256ESP-5SI **B00P**  
SPN R1LP5256ESP-5SI#B0 **B00P**

2018/02/01 MC: JPCN  
ASSEMBLED IN CHINA  
FROM WAFERS OF JAPAN

PID 154909G00F-001  
QTY 777 (PARTIAL)  
PCD R1LP5256ESP-5SI#B0  
T/C 1849 8022ZE2C  
S. LOT ZE2533002Z



## 7. 移管先拠点の概要

・移管先拠点(選別テスト)の会社名、生産国、所在地は下記の通りとなります。

<選別テスト拠点>

- 会社名 : Powertech Technology Inc.
- 生産国 : 台湾
- 所在地 : No.10, Datong Rd., Hsinchu Industrial Park, Hukou, Hsinchu 30352, Taiwan