

RH850/C1x

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) からVIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) からVIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源またはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態：電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序：内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号：当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、RH850/C1x の機能を理解し、それをういた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示す RH850/C1x のハードウェア機能をユーザに理解していただくことを目的としています。

構成 RH850/C1x のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、ソフトウェア編「RH850G3M ユーザズマニュアル ソフトウェア編」（R01US0123J）の 2 冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU 機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング

ソフトウェア編

- ・概要
- ・プロセッサ・モデル
- ・レジスタ・リファレンス
- ・例外／割り込み
- ・メモリ管理
- ・命令リファレンス
- ・リセット
- ・付録

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

→一通り RH850/C1x の機能を理解しようとするとき

→目次にしたがってお読みください。

命令機能の詳細を理解しようとするとき

→別冊の「RH850G3M ユーザズマニュアル ソフトウェア編」（R01US0123J）を参照してください。

このマニュアルでは、「xxx レジスタの yyy ビット」を「xxx.yyy ビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラは正しく認識できませんので、注意してください。

凡例 データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記：xxx（端子，信号名称に上線）
メモリ・マップのアドレス：上部－上位，下部－下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記： 2進数 ... xxxx または xxxx_B
 10進数 ... xxxx
 16進数 ... xxxx_H
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： $2^{10} = 1024$
M（メガ）： $2^{20} = 1024^2$
G（ギガ）： $2^{30} = 1024^3$

レジスタの説明

各レジスタの説明には、レジスタのアクセス、アドレス、リセット後の値の説明、ビットの並びを示す図、ビットに設定する内容を説明する表があります。

下記にその例を示します。

(1) アクセス 32ビット単位でリード/ライト可能です。
 (2) アドレス <CSIGN_base> + 1010H
 (3) リセット後の値 0000 0000H

ビット 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 — — CSIGNPS[1:0] CSIGNDLS[3:0] — — — — — CSIGNDIR — CSIGNDAP
 リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 R/W R R R/W R/W R/W R/W R/W R R R R R R/W R R/W

ビット 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 — — — — — — — — — — — — — — —
 リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 R/W R R R R R R R R R R R R R R R

(4) (5) (6) (7) (8)

表 14.19 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																				
31, 30	予約ビット	ライトする場合はリセット後の値を書いてください。																				
29, 28	CSIGNPS[1:0]	パリティを指定します。 <table border="1"> <thead> <tr> <th>CSIGNPS1</th> <th>CSIGNPS0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIGNPS1	CSIGNPS0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIGNPS1	CSIGNPS0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIGNDLS [3:0]	データ長を指定します。 0: データ長を 16 ビットにします。 1: データ長を 1 ビットにします。 2: データ長を 2 ビットにします。 ... 15: データ長を 15 ビットにします。																				
23 ~ 19	予約ビット	ライト時はリセット後の値を設定してください。																				

(1) アクセス

レジスタのアクセス単位を示します。

(2) アドレス

レジスタのアドレスを示します。
 ベースアドレスは各章のベースアドレスを参照してください。

(3) リセット後の値（16 進数表記）

レジスタの各ビットのリセット後の値を示します。
16 進数表記では 0 ~ 9、A ~ F または不定値が含まれる場合 X で表記します。

(4) ビット位置

レジスタのビット番号を示します。
32 ビットレジスタの場合は 31 から 0 の順に、16 ビットレジスタの場合は 15 から 0 の順に、
8 ビットレジスタの場合は 7 から 0 の順に示します。

(5) ビット名

レジスタのビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、CSIGNDLS[3:0] のように桁数の表記を
追加します。
また、予約ビットの場合は「—」と表記します。

(6) リセット後の値（2 進数表記）

レジスタの各ビットのリセット後の値を示します。

- 0 : リセット後の値は 0 であることを示します。
- 1 : リセット後の値は 1 であることを示します。
- : リセット後の値は不定であることを示します。

(7) R/W

レジスタの各ビットのリード／ライト属性を示します。

- R/W : リードおよびライト可能なビットまたはフィールドです。
- R : リードが可能なビットまたはフィールドです。
ただし、予約ビットはすべて「R」と表記します。ライト時は、ビット表で指定された値またはリセット後
の値を書いてください。
- W : ライトが可能なビットまたはフィールドです。
リード時の値は不定です。ただし、ビット表に記載がある場合はその値が読み出されます。

(8) 機能

レジスタのビット機能について説明しています。

目次

第 1 章	概要	48
1.1	RH850/C1x 製品の特長	48
1.1.1	RH850/C1x の機能	48
1.1.2	開発およびデバッグ対応	50
1.1.3	内部ブロック図	51
1.2	端子接続図 (Top View)	53
第 2 章	端子	66
2.1	ポート機能	66
2.1.1	特長	66
2.1.2	概説	67
2.1.2.1	用語	67
2.1.2.2	端子機能概要	68
2.1.2.3	端子データ入力/出力	70
2.1.3	ポートタイプ	72
2.1.4	ポートグループコンフィグレーションレジスタ	74
2.1.4.1	概要	74
2.1.4.2	端子機能の設定	75
2.1.4.3	端子データ入力/出力	81
2.1.4.4	電気的特性の設定	85
2.1.4.5	端子単位のレジスタ	86
2.1.4.6	ポート設定のフロー例	87
2.1.5	機能選択	92
2.1.5.1	兼用機能使用時のレジスタ設定	92
2.1.5.2	直接 I/O 制御兼用モードで使用する兼用機能	92
2.1.5.3	ERROROUT_C 端子の設定	92
2.1.5.4	JTAG ポートの機能選択	93
2.2	ポートグループ構成	93
2.2.1	C1H ポート機能	93
2.2.1.1	C1H ポートレジスタ一覧	93
2.2.1.2	C1H 端子兼用機能一覧	102
2.2.2	C1M ポート機能	107
2.2.2.1	C1M ポートレジスタ一覧	107
2.2.2.2	C1M 端子兼用機能一覧	115
2.3	DNF	119
2.3.1	ノイズ除去例	119
2.3.2	周辺機能 DNF	120
2.3.2.1	機能概要	120
2.3.2.2	制御レジスタ詳細	120
2.3.2.3	DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ	121
2.3.2.4	周辺機能 DNF の設定手順	121
2.3.2.5	DNF 挿入対象の周辺機能端子	122
2.4	端子説明	124
2.4.1	概要	124
2.4.2	端子機能一覧	124
2.4.3	端子状態	129
2.4.4	未使用端子の処理	131

第 3 章	CPU システム	133
3.1	概要	133
3.1.1	ブロック構成	133
3.1.2	Peripheral Group 構成	135
3.2	CPU	137
3.2.1	コア機能	137
3.2.1.1	特長	137
3.2.1.2	レジスタセット	138
3.2.2	命令キャッシュ、データバッファ	176
3.2.2.1	特長	176
3.2.2.2	命令キャッシュ機能	177
3.2.2.3	データバッファ機能	178
3.2.3	プロセッサ間割り込み	179
3.2.3.1	プロセッサ間割り込み制御レジスタ	179
3.2.4	信頼性機能	180
3.2.4.1	PE ガード機能 (PEG)	180
3.2.4.2	内部周辺保護機能 (IPG)	185
3.2.4.3	システムエラー通知制御機能 (SEG)	193
3.2.4.4	Checker Core	200
3.3	CPU 間機能 (C1H のみ)	201
3.3.1	プロセッサエレメント識別子	201
3.3.2	プロセッサ間割り込み機能	201
3.3.3	排他制御	201
3.3.3.1	排他制御用レジスタ (MEV)	201
3.3.3.2	LDL.W/STC.W 命令の動作	202
3.4	注意事項	203
3.4.1	ストア命令の完了と後続命令の同期化	203
3.4.1.1	制御レジスタの更新結果を、後続命令の実行に反映させる場合	203
3.4.1.2	制御レジスタやメモリの更新結果を、後続命令の命令フェッチに 反映させる場合	203
3.4.1.3	Code Flash の領域を切り替える場合	204
3.4.2	ビット操作命令でのレジスタアクセス	205
3.4.3	Code Flash 書き換え後のコヒーレンシ確保	205
3.4.4	多重例外受け付け時のコンテキストの上書き	205
3.4.5	プリフェッチに関する注意事項	205
第 4 章	アドレス空間	207
4.1	アドレス空間 (C1H)	207
4.1.1	アドレス空間	207
4.1.2	各バスマスタから見たアドレス空間	208
4.1.2.1	命令フェッチ可能空間	208
4.1.2.2	CPU1 によるデータアクセス可能空間	208
4.1.2.3	CPU2 によるデータアクセス可能空間	208
4.1.2.4	DMA (DMAC、DTS) によるデータアクセス可能空間	208
4.1.3	Global RAM 領域	210
4.2	アドレス空間 (C1M)	211
4.2.1	アドレス空間	211
4.2.2	各バスマスタから見たアドレス空間	212
4.2.2.1	命令フェッチ可能空間	212

4.2.2.2	CPU1によるデータアクセス可能空間	212
4.2.2.3	DMA (DMAC、DTS)によるデータアクセス可能空間	212
4.2.3	Global RAM 領域	214
第5章	動作モード	215
5.1	特長	215
5.2	動作モード	215
5.2.1	ユーザブートモード	215
5.2.2	シリアルプログラミングモード	215
5.2.3	バウンダリスキャンモード	215
第6章	割り込み	216
6.1	概要	216
6.2	レジスタ仕様	218
6.2.1	レジスタ構成	218
6.2.2	EIC0 ~ EIC255 — EI レベル割り込み制御レジスタ 0 ~ 255	220
6.2.3	IMR0 ~ IMR7 — EI レベル割り込みマスクレジスタ 0 ~ 7	222
6.2.4	EIBD0 ~ EIBD255 — EI レベル割り込みバインドレジスタ 0 ~ 255	223
6.2.5	NMICTL — NMI 割り込みコントロールレジスタ	224
6.2.6	EXINTCTL — 外部割り込みコントロールレジスタ	225
6.2.7	EXINTSTR — 外部割り込みステータスレジスタ	226
6.2.8	EXINTSTC — 外部割り込みステータスクリアレジスタ	227
6.2.9	SINTR0 ~ SINTR3 — ソフトウェア割り込みレジスタ	228
6.2.10	PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、 周辺割り込みステータスクリアレジスタ	229
6.3	割り込み要因	232
6.3.1	NMI 割り込み	232
6.3.2	IRQ 割り込み	232
6.3.3	ECM 割り込み	232
6.3.4	プロセッサ間割り込み	232
6.3.5	ソフトウェア割り込み	233
6.3.6	内蔵周辺モジュール割り込み	233
6.4	割り込み例外ハンドラと優先順位動作説明	234
6.5	動作説明	242
6.5.1	外部割り込み (NMI/IRQ)	242
6.5.2	プロセッサ間割り込み	242
6.5.3	ソフトウェア割り込み	242
6.5.4	DTS 割り込みのマージ機能	242
6.5.5	割り込み処理フロー	243
6.5.5.1	NMI 処理フロー	243
6.5.5.2	外部割り込み処理フロー	244
6.5.5.3	プロセッサ間割り込み処理フロー	246
6.5.5.4	ソフトウェア割り込み処理フロー	247
6.5.5.5	DTS 割り込み処理フロー	248
6.6	割り込み応答時間	250
6.7	割り込み要求信号によるデータ転送	250

第 7 章	DMA 機能	251
7.1	概要	251
7.1.1	概要	251
7.1.2	語句の定義	252
7.2	DMA 機能	253
7.2.1	DMA 転送基本動作	253
7.2.1.1	転送モード	253
7.2.1.2	DMA サイクルの実行	253
7.2.1.3	転送情報の更新	253
7.2.1.4	最終転送とアドレスリロード転送	254
7.2.1.5	転送完了割り込み、転送回数一致割り込み出力	254
7.2.1.6	連続転送	255
7.2.2	チャンネルの優先順位	257
7.2.2.1	DMAC チャンネルアービトレーション	257
7.2.2.2	DTS チャンネルアービトレーション	258
7.2.2.3	インタフェースアービトレーション	259
7.2.3	リロード機能	260
7.2.3.1	リロード機能の概要	260
7.2.3.2	リロード機能 1 の動作	260
7.2.3.3	リロード機能 2	261
7.2.3.4	DMAC のリロードレジスタ設定タイミング	263
7.2.3.5	DTS のリロード情報設定タイミング	263
7.2.4	チェイン機能	264
7.2.4.1	概要	264
7.2.4.2	チェイン動作の設定方法	265
7.2.4.3	チェイン機能使用時の注意	265
7.2.5	DMAC 動作	266
7.2.5.1	DMA 転送要求の種類と割り当て	266
7.2.5.2	ソフトウェア DMA 転送要求の発生と受け付け	266
7.2.6	DTS 動作	267
7.2.6.1	DMA 転送要求の種類と割り当て	267
7.2.6.2	DMA 転送要求の発生と受け付け	267
7.2.6.3	DMA 転送の実行	267
7.2.6.4	DTSRAM アクセス	268
7.3	一時中断／再開、転送中止および DMA 転送要求のクリア	269
7.3.1	ソフトウェア制御による DMA 一時中断／再開	269
7.3.2	DMAC チャンネルの一時中断／再開および転送中止	269
7.3.3	DTS の一時中断／再開および転送中止	270
7.3.4	DTFR のハードウェア DMA 転送要求マスクおよびクリア	271
7.3.5	DTSFSL の DMA 転送要求マスクおよびクリア	272
7.3.6	一時中断／再開転送中止機能一覧	272
7.4	エラー制御	273
7.4.1	エラーの種類	273
7.4.2	DMA 転送エラー	273
7.4.2.1	DMAC の DMA 転送エラー発生時の動作	273
7.4.2.2	DTS の DMA 転送エラー発生時の動作	273
7.4.3	DTSRAM エラー	274
7.5	信頼性機能	275
7.5.1	概要	275
7.5.2	レジスタアクセス保護機能	275

7.5.2.1	アクセス元マスタの識別.....	275
7.5.2.2	マスタアクセス.....	275
7.5.2.3	チャンネル割り当て.....	276
7.5.2.4	違反アクセス.....	276
7.5.3	マスタ情報継承機能.....	277
7.5.4	その他の信頼性機能.....	278
7.5.4.1	チェイン先の制限.....	278
7.6	DMA 転送の設定手順.....	279
7.6.1	DMA 設定手順概要.....	279
7.6.2	DMA 全体動作設定手順.....	281
7.6.3	DMA チャンネル設定手順.....	281
7.6.3.1	DMAC チャンネル設定手順.....	282
7.6.3.2	DTS チャンネル設定手順.....	283
7.7	DMA トリガ要因.....	284
7.7.1	DMA トリガ要因一覧.....	284
7.8	DTS トリガ要因.....	288
7.8.1	DTS トリガ要因一覧.....	288
7.9	グローバルレジスタ.....	292
7.9.1	グローバルレジスタアドレス一覧.....	292
7.9.2	グローバルレジスタ詳細.....	294
7.9.2.1	DMACTL — DMA 制御レジスタ.....	294
7.9.2.2	DTSC1 — DTS 制御レジスタ 1.....	295
7.9.2.3	DTSC2 — DTS 制御レジスタ 2.....	296
7.9.2.4	DTSSTS — DTS 状態レジスタ.....	297
7.9.2.5	DMACER — DMAC エラーレジスタ.....	298
7.9.2.6	DTSER1 — DTS エラーレジスタ 1.....	299
7.9.2.7	DTSER2 — DTS エラーレジスタ 2.....	300
7.9.2.8	DTSERC — DTS エラークリアレジスタ.....	302
7.9.2.9	DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ.....	303
7.9.2.10	DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ.....	304
7.9.2.11	DTSCMV — DTS レジスタアクセス保護違反レジスタ.....	305
7.9.2.12	CMVC — レジスタアクセス保護違反クリアレジスタ.....	306
7.9.2.13	DTSPRn — DTS チャンネル優先度設定レジスタ (n = 0 ~ 7).....	307
7.9.2.14	DTRECTL — DTSRAM ECC コントロールレジスタ.....	311
7.9.2.15	DTRERINT — DTSRAM エラー通知コントロールレジスタ.....	312
7.9.2.16	DTRTCTL — DTSRAM テストコントロールレジスタ.....	313
7.9.2.17	DTRTWDAT — DTSRAM テスト書き込みデータレジスタ.....	314
7.9.2.18	DTRTRDAT — DTSRAM テスト読み出しデータレジスタ.....	315
7.9.2.19	DMnnCM — DMAC チャンネルマスタ設定レジスタ (nn = 00 ~ 07、10 ~ 17).....	316
7.9.2.20	DTSnnnCM — DTS チャンネルマスタ設定レジスタ (nnn = 000 ~ 127).....	317
7.10	DMAC チャンネルレジスタ.....	319
7.10.1	DMAC チャンネルレジスタアドレス.....	319
7.10.2	DMAC チャンネルレジスタ詳細.....	320
7.10.2.1	DSAn — DMAC ソースアドレスレジスタ.....	320
7.10.2.2	DDAn — DMAC ディスティネーションアドレスレジスタ.....	321
7.10.2.3	DTCn — DMAC 転送回数レジスタ.....	322
7.10.2.4	DTCTn — DMAC 転送制御レジスタ.....	323
7.10.2.5	DRSAn — DMAC リロードソースアドレスレジスタ.....	326
7.10.2.6	DRDAn — DMAC リロードディスティネーションアドレスレジスタ.....	327
7.10.2.7	DRTCn — DMAC リロード転送回数レジスタ.....	328
7.10.2.8	DTCCn — DMAC 転送回数コンペアレジスタ.....	329
7.10.2.9	DCENn — DMAC チャンネル動作有効設定レジスタ.....	330

7.10.2.10	DCSTn — DMAC 転送ステータスレジスタ	331
7.10.2.11	DCSTSn — DMAC 転送ステータスセットレジスタ	333
7.10.2.12	DCSTCn — DMAC 転送ステータスクリアレジスタ	334
7.10.2.13	DTFRn — DTFR 設定レジスタ	335
7.10.2.14	DTFRRQn — DTFR 転送要求ステータスレジスタ	336
7.10.2.15	DTFRRQCn — DTFR 転送要求クリアレジスタ	337
7.11	DTS チャンネルレジスタ	338
7.11.1	DTS の転送情報 (TI)	338
7.11.1.1	TI 構成	338
7.11.1.2	DTSRAM 内の TI 配置	339
7.11.1.3	TI へのアクセス方法	340
7.11.1.4	TI アクセスの際の注意点	340
7.11.2	DTS チャンネルレジスタアドレス	341
7.11.3	DTS チャンネルレジスタ詳細	342
7.11.3.1	DTSAnnn — DTS ソースアドレスレジスタ	342
7.11.3.2	DTDAnnn — DTS ディスティネーションアドレスレジスタ	343
7.11.3.3	DTTCnnn — DTS 転送回数レジスタ	344
7.11.3.4	DTTCTnnn — DTS 転送制御レジスタ	345
7.11.3.5	DTRSAnnn — DTS リロードソースアドレスレジスタ	348
7.11.3.6	DTRDAnnn — DTS リロードディスティネーションアドレスレジスタ	349
7.11.3.7	DTRTCnnn — DTS リロード転送回数レジスタ	350
7.11.3.8	DTTCnnn — DTS 転送回数コンペアレジスタ	351
7.11.3.9	DTFSLnnn — DTSFSL 動作設定レジスタ	352
7.11.3.10	DTFSTnnn — DTSFSL 転送要求ステータスレジスタ	353
7.11.3.11	DTFSSnnn — DTSFSL 転送要求セットレジスタ	354
7.11.3.12	DTFSCnnn — DTSFSL 転送要求クリアレジスタ	355
第 8 章	リセット	356
8.1	RH850/C1x リセットの特長	356
8.2	リセット状態	357
8.2.1	外部リセット状態	357
8.2.2	内部リセット状態	357
8.3	リセット要因	357
8.4	レジスタ	358
8.4.1	レジスタ一覧	358
8.4.2	RESF — リセット要因判定レジスタ	359
8.4.3	RESFC — リセット要因クリアレジスタ	360
8.4.4	SWRESA — ソフトウェアリセット要求レジスタ	361
8.5	手順	363
8.5.1	ソフトウェアリセット	363
8.6	注意事項	363
第 9 章	電源回路	364
9.1	RH850/C1x 電源回路の特長	364
9.2	電源 IC の接続例	365
9.3	レジスタ	366
9.3.1	レジスタ一覧	366
9.3.2	EPTCNT — EPT 制御レジスタ	366
9.3.3	PROT0PHCMD — プロテクト 0 コマンドレジスタ	367

9.3.4	PROT0PS — プロテクト 0 ステータスレジスタ	369
9.4	手順	370
9.4.1	電源投入シーケンス	370
9.4.2	EPT 未使用時の設定	370
9.5	注意事項	371
9.5.1	EPT 使用について	371
9.5.2	電源端子の外付けコンデンサ例	371
第 10 章	クロックコントローラ	372
10.1	RH850/C1x クロックコントローラの特長	372
10.1.1	クロック種類	373
10.1.2	外部入出力端子	374
10.1.3	水晶振動子の接続方法	374
10.2	レジスタ	375
10.2.1	レジスタ一覧	375
10.2.2	PLL0CLKS — PLL0 ステータスレジスタ	376
10.2.3	PLL0CLKC1 — PLL0 制御レジスタ 1	377
10.2.4	CKSC0CTL — クロック 0 選択制御レジスタ	379
10.2.5	CKSC0ACT — クロック 0 選択アクティブレジスタ	380
10.2.6	CLKD0DIV — クロック 0 分周レジスタ	381
10.2.7	CLKD0STAT — クロック 0 分周ステータスレジスタ	382
10.2.8	CKSC1CTL — クロック 1 選択制御レジスタ	383
10.2.9	CKSC1ACT — クロック 1 選択アクティブレジスタ	384
10.2.10	PROT1PHCMD — プロテクト 1 コマンドレジスタ	385
10.2.11	PROT1PS — プロテクト 1 ステータスレジスタ	387
10.3	機能	388
10.3.1	分周機能使用時の動作説明	388
10.4	注意事項	391
10.4.1	ボード設計上の注意	391
第 11 章	クロック同期シリアルインタフェース H (CSIH)	392
11.1	RH850/C1x CSIH の特長	392
11.1.1	ユニット数	392
11.1.2	レジスタベースアドレス	393
11.1.3	クロック供給	393
11.1.4	割り込み要求	393
11.1.5	リセット要因	394
11.1.6	外部入出力信号	394
11.1.7	データ整合性チェック	394
11.2	概要	395
11.2.1	機能概要	395
11.2.2	機能概要説明	396
11.2.3	ブロック図	397
11.3	レジスタ	398

11.3.1	レジスタ一覧	398
11.3.2	CSIHnCTL0 — CSIHn 制御レジスタ 0	399
11.3.3	CSIHnCTL1 — CSIHn 制御レジスタ 1	400
11.3.4	CSIHnCTL2 — CSIHn 制御レジスタ 2	403
11.3.5	CSIHnSTR0 — CSIHn ステータスレジスタ 0	405
11.3.6	CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0	409
11.3.7	CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0	410
11.3.8	CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1	411
11.3.9	CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2	412
11.3.10	CSIHnMRWP0 — CSIHn メモリ読み出し/書き込みポインタレジスタ 0	414
11.3.11	CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x	416
11.3.12	CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0	421
11.3.13	CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0	423
11.3.14	CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0	424
11.3.15	CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0	425
11.3.16	CSIHnBRSy — CSIHn ボーレート設定レジスタ y (y = 0 ~ 3)	426
11.4	機能	427
11.4.1	割り込み機能の概要	427
11.4.2	割り込み遅延	428
11.4.3	INTCSIHTIC (通信ステータス割り込み)	429
11.4.3.1	ダイレクトアクセスモードでの INTCSIHTIC	430
11.4.3.2	FIFO モードでの INTCSIHTIC	431
11.4.3.3	ジョブモードでの INTCSIHTIC	432
11.4.4	INTCSIHTIR (受信ステータス割り込み)	433
11.4.4.1	ダイレクトアクセスモードでの INTCSIHTIR	433
11.4.4.2	デュアルバッファモードでの INTCSIHTIR	434
11.4.5	INTCSIHTIRE (通信エラー割り込み)	434
11.4.6	INTCSIHTIJC (ジョブ完了割り込み)	435
11.4.7	動作モード (マスタ/スレーブ)	436
11.4.7.1	マスタモード	436
11.4.7.2	スレーブモード	437
11.4.8	マスタ/スレーブの接続	438
11.4.8.1	マスタ 1、スレーブ 1 の場合	438
11.4.8.2	マスタ 1、スレーブ複数の場合	438
11.4.9	チップセレクト (CS) 機能	440
11.4.9.1	コンフィギュレーションレジスタ	440
11.4.9.2	CS の例	442
11.4.9.3	ジョブ概念	442
11.4.10	チップセレクトのタイミングの詳細	443
11.4.10.1	クロック位相の変更	443
11.4.10.2	データ位相の変更	444
11.4.11	送信クロックの選択	446
11.4.12	CSIH のバッファメモリ	448
11.4.12.1	FIFO モード	448
11.4.12.2	デュアルバッファモード	449
11.4.12.3	送信専用バッファモード	449
11.4.12.4	ダイレクトアクセスモード	449
11.4.13	データ転送モード	450
11.4.13.1	送信専用モード	450
11.4.13.2	受信専用モード	450

11.4.13.3	送受信モード	450
11.4.13.4	まとめ	450
11.4.14	データ長の選択	451
11.4.14.1	2～16ビットのデータ長	451
11.4.14.2	16ビットを上回るデータ長	452
11.4.15	シリアルデータ方向選択機能	454
11.4.16	SS（スレーブセレクト）機能	455
11.4.16.1	SS機能を使用した通信のタイミング	455
11.4.16.2	CSIHTSSOオペレーション	456
11.4.17	ハンドシェイク機能	457
11.4.17.1	スレーブモード	457
11.4.17.2	マスタモード	460
11.4.18	エラー検出	461
11.4.18.1	データ整合性チェック	461
11.4.18.2	パリティチェック	463
11.4.18.3	タイムアウトエラー	464
11.4.18.4	オーバフローエラー	465
11.4.18.5	オーバランエラー	467
11.4.19	ループバックモード	470
11.4.20	CPU制御による高優先通信機能	472
11.4.21	強制CSアイドル設定	475
11.5	手順	476
11.5.1	ダイレクトアクセスモードでの手順	476
11.5.1.1	マスタモードでジョブモードが無効になっているときの送受信	476
11.5.1.2	マスタモードでジョブモードが有効になっているときの送受信	478
11.5.2	送信専用バッファモードでの手順	480
11.5.2.1	マスタモードでジョブモードが無効になっているときの送受信	480
11.5.2.2	マスタモードでジョブモードが有効になっているときの送受信	482
11.5.3	デュアルバッファモードでの手順	484
11.5.3.1	マスタモードでジョブモードが無効になっているときの送受信	484
11.5.3.2	マスタモードでジョブモードが有効になっているときの送受信	486
11.5.3.3	スレーブモードでジョブモードが無効になっているときの送受信	488
11.5.4	FIFOモードでの手順	490
11.5.4.1	マスタモードでジョブモードが無効になっているときの送受信	490
11.5.4.2	マスタモードでジョブモードが有効になっている送受信	492
11.6	注意事項	494
第12章	シリアルコミュニケーションインタフェース3（SCI3）	497
12.1	RH850/C1x SCI3の特長	497
12.1.1	ユニット数	497
12.1.2	レジスタベースアドレス	497
12.1.3	クロック供給	497
12.1.4	割り込みとDMA	498
12.1.5	リセット要因	498
12.1.6	外部入出力信号	498
12.2	概要	499
12.2.1	機能概要	499
12.2.2	ブロック図	500
12.3	レジスタ	501

12.3.1	レジスタ一覧	501
12.3.2	SCI3nRDR — レシーブデータレジスタ	502
12.3.3	SCI3nTDR — トランスミットデータレジスタ	502
12.3.4	SCI3nSMR — シリアルモードレジスタ	503
12.3.5	SCI3nSCR — シリアルコントロールレジスタ	504
12.3.6	SCI3nSSR — シリアルステータスレジスタ	506
12.3.7	SCI3nSCMR — シリアル通信フォーマットレジスタ	508
12.3.8	SCI3nSEMR — シリアル拡張モードレジスタ	509
12.3.9	SCI3nBRR — ビットレートレジスタ	510
12.3.10	SCI3nMDDR — モジュレーションデューティレジスタ	513
12.4	機能	514
12.4.1	調歩同期式モードの動作	514
12.4.1.1	送受信フォーマット	515
12.4.1.2	受信データサンプリングタイミングと受信マージン	516
12.4.1.3	クロック	517
12.4.1.4	倍速動作	517
12.4.1.5	SCI3 の初期化 (調歩同期式)	518
12.4.1.6	シリアルデータ送信 (調歩同期式)	519
12.4.1.7	シリアルデータ受信 (調歩同期式)	522
12.4.2	マルチプロセッサ通信機能	526
12.4.2.1	概要と接続例	526
12.4.2.2	マルチプロセッサシリアルデータ送信	527
12.4.2.3	マルチプロセッサシリアルデータ受信	528
12.4.3	クロック同期式モードの動作	532
12.4.3.1	クロック	532
12.4.3.2	SCI3 の初期化 (クロック同期式)	533
12.4.3.3	シリアルデータ送信 (クロック同期式)	534
12.4.3.4	シリアルデータ受信 (クロック同期式)	537
12.4.3.5	シリアルデータ送受信同時動作 (クロック同期式)	539
12.4.4	ビットレートモジュレーション機能	541
12.4.5	割り込み要因	542
12.5	注意事項	543
12.5.1	ブレークの検出と処理	543
12.5.2	マーク状態とブレーク送出	543
12.5.3	クロック同期式モードの受信エラーフラグと送信動作	543
12.5.4	SCI3nTDR へのライトと TDRE フラグの関係	543
12.5.5	クロック同期式モード送信での外部クロック使用の制約事項	544
12.5.6	クロック同期式モードの外部クロック入力	544
第 13 章	LIN マスタインタフェース (RLIN2)	545
13.1	RH850/C1x RLIN2 の特長	545
13.1.1	ユニット数とチャネル数	545
13.1.2	レジスタベースアドレス	545
13.1.3	クロック供給	546
13.1.4	割り込み要求	546
13.1.5	リセット要因	546
13.1.6	外部入出力信号	546
13.2	機能	547

13.2.1	機能概要	547
13.2.2	ブロック図	548
13.3	レジスタ	549
13.3.1	レジスタ一覧	549
13.3.2	グローバルレジスタ	550
13.3.2.1	RLN21nGLWBR — LIN ウェイクアップボーレート選択レジスタ	550
13.3.2.2	RLN21nGLBRP0 — LIN ボーレートプリスケラ 0 レジスタ	551
13.3.2.3	RLN21nGLBRP1 — LIN ボーレートプリスケラ 1 レジスタ	552
13.3.2.4	RLN21nGLSTC — LIN セルフテスト制御レジスタ	553
13.3.3	チャンネルレジスタ	554
13.3.3.1	RLN21nmLiMD — LIN モードレジスタ	554
13.3.3.2	RLN21nmLiBFC — LIN ブレークフィールド設定レジスタ	555
13.3.3.3	RLN21nmLiSC — LIN スペース設定レジスタ	556
13.3.3.4	RLN21nmLiWUP — LIN ウェイクアップ設定レジスタ	557
13.3.3.5	RLN21nmLiIE — LIN 割り込み許可レジスタ	558
13.3.3.6	RLN21nmLiEDE — LIN エラー検出許可レジスタ	559
13.3.3.7	RLN21nmLiCUC — LIN 制御レジスタ	561
13.3.3.8	RLN21nmLiTRC — LIN 送信制御レジスタ	562
13.3.3.9	RLN21nmLiMST — LIN モードステータスレジスタ	563
13.3.3.10	RLN21nmLiST — LIN ステータスレジスタ	564
13.3.3.11	RLN21nmLiEST — LIN エラーステータスレジスタ	566
13.3.3.12	RLN21nmLiDFC — LIN データフィールド設定レジスタ	568
13.3.3.13	RLN21nmLiIDB — LIN ID バッファレジスタ	570
13.3.3.14	RLN21nmLiCBR — LIN チェックサムバッファレジスタ	571
13.3.3.15	RLN21nmLiDBRb — LIN データバッファ b レジスタ	572
13.4	割り込み 要因	574
13.5	モード	575
13.6	LIN リセットモード	577
13.7	LIN 動作モード	578
13.8	LIN ウェイクアップモード	578
13.9	ヘッダ送信／レスポンス送信／レスポンス受信	579
13.9.1	ヘッダ送信	579
13.9.2	レスポンス送信	580
13.9.3	レスポンス受信	581
13.10	データ送信／受信	582
13.10.1	データ送信	582
13.10.2	データ受信	583
13.11	送信／受信データのバッファ処理	584
13.11.1	LIN フレームの送信	584
13.11.2	LIN フレームの受信	585
13.12	ウェイクアップ送信／受信	586
13.12.1	ウェイクアップ送信動作	586
13.12.2	ウェイクアップ受信動作	587
13.12.3	ウェイクアップ衝突	587
13.13	ステータス	588
13.14	エラーステータス	589
13.14.1	エラーステータスの種類	589
13.14.2	エラー検出の対象時間領域	590

13.15	LIN セルフテストモード	591
13.15.1	LIN セルフテストモードへの移行	592
13.15.2	LIN セルフテストモードにおける送信	593
13.15.3	LIN セルフテストモードにおける受信	594
13.15.4	LIN セルフテストモード終了	595
13.16	ポーレートジェネレータ	596
第 14 章 CAN インタフェース (RS-CAN)		598
14.1	RH850/C1x RS-CAN の特長	598
14.1.1	ユニット数	598
14.1.2	レジスタベースアドレス	599
14.1.3	クロック供給	599
14.1.4	割り込み	599
14.1.5	リセット要因	600
14.1.6	外部入出力信号	600
14.2	概要	601
14.2.1	機能概要	601
14.2.2	ブロック図	603
14.3	レジスタ	604
14.3.1	レジスタ一覧	604
14.3.2	RSCAN0CmCFG — チャンネルコンフィグレーションレジスタ (m = 0 ~ 3)	627
14.3.3	RSCAN0CmCTR — チャンネル制御レジスタ (m = 0 ~ 3)	629
14.3.4	RSCAN0CmSTS — チャンネルステータスレジスタ (m = 0 ~ 3)	634
14.3.5	RSCAN0CmERFL — チャンネルエラーフラグレジスタ (m = 0 ~ 3)	637
14.3.6	RSCAN0GCFG — グローバルコンフィグレーションレジスタ	641
14.3.7	RSCAN0GCTR — グローバル制御レジスタ	644
14.3.8	RSCAN0GSTS — グローバルステータスレジスタ	646
14.3.9	RSCAN0GERFL — グローバルエラーフラグレジスタ	648
14.3.10	RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0	650
14.3.11	RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ	653
14.3.12	RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ	654
14.3.13	RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0	655
14.3.14	RSCAN0GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)	657
14.3.15	RSCAN0GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)	659
14.3.16	RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)	661
14.3.17	RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)	663
14.3.18	RSCAN0RMNB — 受信バッファナンバレジスタ	664
14.3.19	RSCAN0RMNDy — 受信バッファ新データレジスタ y (y = 0, 1)	665
14.3.20	RSCAN0RMIDq — 受信バッファ ID レジスタ (q = 0 ~ 63)	666
14.3.21	RSCAN0RMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 63)	667
14.3.22	RSCAN0RMDf0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 63)	668
14.3.23	RSCAN0RMDf1q — 受信バッファデータフィールド 1 レジスタ (q = 0 ~ 63)	669
14.3.24	RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)	670
14.3.25	RSCAN0RFSTsx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)	672

14.3.26	RSCAN0RFPCTR _x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)	674
14.3.27	RSCAN0RFID _x — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)	675
14.3.28	RSCAN0RFPTR _x — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)	676
14.3.29	RSCAN0RFDF0 _x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)	677
14.3.30	RSCAN0RFDF1 _x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)	678
14.3.31	RSCAN0CFCK — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 11)	679
14.3.32	RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 11)	683
14.3.33	RSCAN0CFPCTR _k — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 11)	686
14.3.34	RSCAN0CFID _k — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 11)	688
14.3.35	RSCAN0CFPTR _k — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 11)	690
14.3.36	RSCAN0CFDF0 _k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 11)	692
14.3.37	RSCAN0CFDF1 _k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 11)	693
14.3.38	RSCAN0FESTS — FIFO エンプティステータスレジスタ	694
14.3.39	RSCAN0FFSTS — FIFO フルステータスレジスタ	696
14.3.40	RSCAN0FMSTS — FIFO メッセージロスステータスレジスタ	698
14.3.41	RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ	700
14.3.42	RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ	701
14.3.43	RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ	702
14.3.44	RSCAN0TMC _p — 送信バッファ制御レジスタ (p = 0 ~ 63)	703
14.3.45	RSCAN0TMST _{Sp} — 送信バッファステータスレジスタ (p = 0 ~ 63)	705
14.3.46	RSCAN0TMRST _{Sy} — 送信バッファ送信要求ステータスレジスタ y (y = 0, 1)	707
14.3.47	RSCAN0TMTARST _{Sy} — 送信バッファ送信アポート要求ステータスレジスタ y (y = 0, 1)	709
14.3.48	RSCAN0TMTCAST _{Sy} — 送信バッファ送信完了ステータスレジスタ y (y = 0, 1)	711
14.3.49	RSCAN0TMTAST _{Sy} — 送信バッファ送信アポートステータスレジスタ y (y = 0, 1)	713
14.3.50	RSCAN0TMIEC _y — 送信バッファ割り込みイネーブルコンフィグレーション レジスタ y (y = 0, 1)	715
14.3.51	RSCAN0TMID _p — 送信バッファ ID レジスタ (p = 0 ~ 63)	717
14.3.52	RSCAN0TMPTR _p — 送信バッファポインタレジスタ (p = 0 ~ 63)	719
14.3.53	RSCAN0TMDF0 _p — 送信バッファデータフィールド 0 レジスタ (p = 0 ~ 63)	721
14.3.54	RSCAN0TMDF1 _p — 送信バッファデータフィールド 1 レジスタ (p = 0 ~ 63)	722
14.3.55	RSCAN0TXQCC _m — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 3)	723
14.3.56	RSCAN0TXQST _{Sm} — 送信キューステータスレジスタ (m = 0 ~ 3)	725
14.3.57	RSCAN0TXQPCTR _m — 送信キューポインタ制御レジスタ (m = 0 ~ 3)	727
14.3.58	RSCAN0THLCC _m — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 3)	728
14.3.59	RSCAN0THLST _{Sm} — 送信履歴ステータスレジスタ (m = 0 ~ 3)	730
14.3.60	RSCAN0THLACC _m — 送信履歴アクセスレジスタ (m = 0 ~ 3)	732
14.3.61	RSCAN0THLPCTR _m — 送信履歴ポインタ制御レジスタ (m = 0 ~ 3)	733
14.3.62	RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ	734
14.3.63	RSCAN0GTSTCTR — グローバルテスト制御レジスタ	736
14.3.64	RSCAN0GLOCKK — グローバルロックキーレジスタ	737
14.3.65	RSCAN0RPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63)	738
14.4	機能	739

14.4.1	割り込み要因	739
14.4.2	CAN モード	743
14.4.2.1	グローバルモード	743
14.4.2.2	チャンネルモード	746
14.4.3	受信機能	752
14.4.3.1	受信ルールテーブルを用いたデータ処理	752
14.4.4	送信機能	756
14.4.4.1	送信の優先順位判定	757
14.4.4.2	送信バッファを用いた送信	757
14.4.4.3	FIFO バッファによる送信	758
14.4.4.4	送信キューによる送信	760
14.4.4.5	送信履歴機能	761
14.4.5	ゲートウェイ機能	762
14.4.6	テスト機能	763
14.4.6.1	標準テストモード	763
14.4.6.2	リッスンオンリモード	763
14.4.6.3	セルフテストモード (ループバックモード)	764
14.4.6.4	RAM テスト	765
14.4.6.5	チャンネル間通信テスト	766
14.5	手順	767
14.5.1	初期設定	767
14.5.1.1	クロックの設定	768
14.5.1.2	ビットタイミングの設定	768
14.5.1.3	通信速度の設定	769
14.5.1.4	受信ルールの設定	770
14.5.1.5	バッファの設定	771
14.5.2	受信手順	773
14.5.2.1	受信バッファの読み出し手順	773
14.5.2.2	FIFO バッファの読み出し手順	775
14.5.3	送信手順	778
14.5.3.1	送信バッファからの送信手順	778
14.5.3.2	送受信 FIFO バッファからの送信手順	782
14.5.3.3	送信キューからの送信手順	785
14.5.3.4	送信履歴バッファの読み出し手順	786
14.5.4	テスト設定	787
14.5.4.1	セルフテストモードの設定手順	787
14.5.4.2	プロテクト解除手順表	788
14.5.4.3	RAM テストの設定手順	789
14.5.4.4	チャンネル間通信テストの設定手順	790
14.6	注意事項	791
第 15 章 ウィンドウウォッチドッグタイマ (WDTA)		792
15.1	RH850/C1x WDTA の特長	792
15.1.1	ユニット数	792
15.1.2	レジスタベースアドレス	792
15.1.3	クロック供給	792
15.1.4	割り込み	793
15.1.5	リセット要因	793
15.1.6	WDTA の起動オプション	793
15.2	概要	794
15.2.1	機能概要	794

15.2.2	ブロック図.....	795
15.3	レジスタ	796
15.3.1	レジスター一覧.....	796
15.3.2	WDTAnWDTE – WDTA イネーブルレジスタ	797
15.3.3	WDTAnMD — WDTA モードレジスタ	798
15.4	割り込み要因	799
15.5	機能.....	800
15.5.1	リセット解除後の WDTA	800
15.5.1.1	スタートモード	800
15.5.1.2	スタートモードの選択 (WDTA0 のみ)	800
15.5.1.3	リセット解除後の WDTA 設定	800
15.5.1.4	デフォルトスタートモードのタイミング (WDTA0 のみ)	801
15.5.1.5	ソフトウェアトリガスタートモードのタイミング (WDTA0, WDTA1 共通)	802
15.5.2	WDTA トリガ	803
15.5.3	エラー検出.....	803
15.5.4	WDTA エラーモード	804
15.5.5	75%割り込み要求信号	805
15.5.6	ウインドウ機能	806
第 16 章	OS タイマ (OSTM).....	807
16.1	RH850/C1x OSTM の特長	807
16.1.1	ユニット数.....	807
16.1.2	レジスタベースアドレス	807
16.1.3	クロック供給	807
16.1.4	割り込み	808
16.1.5	リセット要因	808
16.2	概要.....	809
16.2.1	機能概要	809
16.2.2	ブロック図.....	809
16.2.3	カウントクロック	810
16.2.4	割り込み要求 (OSTMnTINT)	810
16.3	レジスタ	811
16.3.1	レジスター一覧.....	811
16.3.2	OSTMnCMP — OSTMn コンペアレジスタ	811
16.3.3	OSTMnCNT — OSTMn カウンタレジスタ	812
16.3.4	OSTMnTO — OSTMn 出力レジスタ	813
16.3.5	OSTMnTOE — OSTMn 出カイネーブルレジスタ	813
16.3.6	OSTMnTE — OSTMn カウントイネーブルステータスレジスタ	814
16.3.7	OSTMnTS — OSTMn カウント開始トリガレジスタ	815
16.3.8	OSTMnTT — OSTMn カウント停止トリガレジスタ	815
16.3.9	OSTMnCTL — OSTMn 制御レジスタ	816
16.4	機能.....	817
16.4.1	タイマの起動と停止	817
16.4.2	インターバルタイマモード	818
16.4.2.1	インターバルタイマモードの基本動作	818
16.4.2.2	OSTMnCMP = 0000 0000 _H の場合の動作	821

16.4.2.3	インターバルタイマモードの設定手順	822
16.4.3	フリーランニングコンペアモード	823
16.4.3.1	フリーランニングコンペアモードの基本動作	823
16.4.3.2	OSTMnCMP = 0000 0000 _H の場合の動作	824
16.4.3.3	フリーランニングコンペアモードの設定手順	825
第 17 章	タイマアレイユニット D (TAUD)	826
17.1	RH850/C1x TAUD の特長	826
17.1.1	ユニット数	826
17.1.2	レジスタベースアドレス	826
17.1.3	クロック供給	826
17.1.4	割り込み要求	827
17.1.5	リセット要因	827
17.1.6	外部入出力信号	827
17.2	概要	828
17.2.1	機能概要	828
17.2.2	用語	829
17.2.3	タイマ動作機能一覧	830
17.2.4	入出力と割り込み要求信号	831
17.2.5	ブロック図	832
17.2.6	ブロック図の説明	833
17.3	レジスタ	835
17.3.1	レジスタ一覧	835
17.3.2	TAUDnTPS — TAUDn プリスケラクロック選択レジスタ	836
17.3.3	TAUDnBRS — TAUDn プリスケラポーレート設定レジスタ	839
17.3.4	TAUDnCDRm — TAUDn チャネルデータレジスタ	840
17.3.5	TAUDnCNTm — TAUDn チャネルカウンタレジスタ	841
17.3.6	TAUDnCMORm — TAUDn チャネルモード OS レジスタ	843
17.3.7	TAUDnCMURm — TAUDn チャネルモードユーザレジスタ	846
17.3.8	TAUDnCSRm — TAUDn チャネルステータスレジスタ	847
17.3.9	TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ	848
17.3.10	TAUDnTS — TAUDn チャネルスタートトリガレジスタ	848
17.3.11	TAUDnTE — TAUDn チャネル許可ステータスレジスタ	849
17.3.12	TAUDnTT — TAUDn チャネルストップトリガレジスタ	849
17.3.13	TAUDnRDE — TAUDn チャネルリロードデータ許可レジスタ	850
17.3.14	TAUDnRDS — TAUDn チャネルリロードデータ制御チャンネル選択レジスタ	850
17.3.15	TAUDnRDM — TAUDn チャネルリロードデータモードレジスタ	851
17.3.16	TAUDnRDC — TAUDn チャネルリロードデータ制御レジスタ	851
17.3.17	TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ	852
17.3.18	TAUDnRSF — TAUDn チャネルリロードステータスレジスタ	852
17.3.19	TAUDnTOE — TAUDn チャネル出力許可レジスタ	853
17.3.20	TAUDnTO — TAUDn チャネル出力レジスタ	853
17.3.21	TAUDnTOM — TAUDn チャネル出力モードレジスタ	854
17.3.22	TAUDnTOC — TAUDn チャネル出力コンフィギュレーションレジスタ	855
17.3.23	TAUDnTOL — TAUDn チャネル出力レベルレジスタ	856
17.3.24	TAUDnTDE — TAUDn チャネルデッドタイム出力許可レジスタ	856

17.3.25	TAUDnTDM — TAUDn チャンネルデッドタイム出力モードレジスタ	857
17.3.26	TAUDnTDL — TAUDn チャンネルデッドタイム出力レベルレジスタ	857
17.3.27	TAUDnTRE — TAUDn チャンネルリアルタイム出力許可レジスタ	858
17.3.28	TAUDnTRC — TAUDn チャンネルリアルタイム出力制御レジスタ	858
17.3.29	TAUDnTRO — TAUDn チャンネルリアルタイム出力レジスタ	859
17.3.30	TAUDnTME — TAUDn チャンネル変調出力許可レジスタ	859
17.4	機能	860
17.4.1	基本操作手順	860
17.4.2	チャンネル連動動作の概念	861
17.4.2.1	チャンネル連動動作のルール	861
17.4.2.2	連動チャンネルカウンタの同時動作開始/停止	863
17.4.3	一斉書き換え	864
17.4.3.1	動作概要	864
17.4.3.2	一斉書き換えの制御方法	865
17.4.3.3	一斉書き換えのその他の基本ルール	867
17.4.3.4	一斉書き換えの種類	868
17.4.4	チャンネル出力モード	876
17.4.4.1	チャンネル出力モードを指定するための基本手順	878
17.4.4.2	TAUDn 信号により単体制御されるチャンネル出力モード	879
17.4.4.3	TAUDn 信号により連動制御されるチャンネル出力モード	881
17.4.5	各動作モードでのカウント開始タイミング	885
17.4.5.1	インターバルタイムモード、ジャッジモード、キャプチャモード、 アップ/ダウンカウントモード、カウントキャプチャモード	885
17.4.5.2	イベントカウントモード	886
17.4.5.3	その他の動作モード	886
17.4.6	カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成	887
17.4.7	オーバフロー時の割り込み発生	888
17.4.7.1	カウントキャプチャモード	888
17.4.8	TAUDTTINm エッジ検出	889
17.4.9	チャンネル単体動作機能	890
17.4.9.1	インターバルタイム機能	890
17.4.9.2	TAUDTTINm 入力インターバルタイム機能	901
17.4.9.3	クロック分周機能	907
17.4.9.4	外部イベントカウント機能	914
17.4.9.5	ディレイカウント機能	920
17.4.9.6	ワンパルス出力機能	924
17.4.9.7	TAUDTTINm 入力パルスインターバル測定機能	929
17.4.9.8	TAUDTTINm 入力信号幅測定機能	937
17.4.9.9	TAUDTTINm 入力位置検出機能	944
17.4.9.10	TAUDTTINm 入力期間カウント検出機能	949
17.4.9.11	TAUDTTINm 入力パルスインターバル判定機能	955
17.4.9.12	TAUDTTINm 入力信号幅判定機能	959
17.4.10	チャンネル単体リアルタイム機能	963
17.4.10.1	リアルタイム出力機能タイプ 1	963
17.4.10.2	リアルタイム出力機能タイプ 2	971
17.4.11	チャンネル単体一斉書き換え機能	979
17.4.11.1	一斉書き換えトリガ生成機能タイプ 1	979
17.4.12	チャンネル連動動作機能	986
17.4.12.1	PWM 出力機能	986
17.4.12.2	ワンショットパルス出力機能	998
17.4.12.3	トリガスタート PWM 出力機能	1011
17.4.12.4	ディレイパルス出力機能	1022
17.4.12.5	オフセットトリガ出力機能	1039

17.4.12.6	A/D 変換トリガ出力機能タイプ 1	1049
17.4.12.7	三角波 PWM 出力機能	1051
17.4.12.8	デッドタイム付き三角波 PWM 出力機能	1062
17.4.12.9	A/D 変換トリガ出力機能タイプ 2	1077
17.4.12.10	割り込み要求信号間引き機能	1079
17.4.12.11	1 相 PWM 出力機能	1087
17.4.13	連動非相補方式変調出力機能と連動相補方式変調出力機能	1095
17.4.13.1	非相補方式変調出力機能タイプ 1	1095
17.4.13.2	非相補方式変調出力機能タイプ 2	1109
17.4.13.3	相補方式変調出力機能	1123
第 18 章	タイマアレイユニット J (TAUJ)	1141
18.1	RH850/C1x TAUJ の特長	1141
18.1.1	ユニット	1141
18.1.2	レジスタベースアドレス	1141
18.1.3	クロック供給	1141
18.1.4	割り込みと DMA/DTS	1142
18.1.5	リセット要因	1142
18.1.6	外部入出力信号	1142
18.2	概要	1143
18.2.1	機能概要	1143
18.2.1.1	用語	1144
18.2.1.2	動作機能一覧	1145
18.2.1.3	入出力と割り込み要求信号	1145
18.2.2	ブロック図	1146
18.2.2.1	ブロック図の説明	1147
18.3	レジスタ	1148
18.3.1	レジスタ一覧	1148
18.3.2	TAUJnTPS — TAUJn プリスケラクロック選択レジスタ	1149
18.3.3	TAUJnBRS — TAUJn プリスケラボーレート設定レジスタ	1152
18.3.4	TAUJnCDRm — TAUJn チャネルデータレジスタ	1153
18.3.5	TAUJnCNTm — TAUJn チャネルカウンタレジスタ	1154
18.3.6	TAUJnCMORm — TAUJn チャネルモード OS レジスタ	1156
18.3.7	TAUJnCMURm — TAUJn チャネルモードユーザレジスタ	1159
18.3.8	TAUJnCSRm — TAUJn チャネルステータスレジスタ	1160
18.3.9	TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ	1160
18.3.10	TAUJnTS — TAUJn チャネルスタートトリガレジスタ	1161
18.3.11	TAUJnTE — TAUJn チャネル許可ステータスレジスタ	1161
18.3.12	TAUJnTT — TAUJn チャネルストップトリガレジスタ	1162
18.3.13	TAUJnTOE — TAUJn チャネル出力許可レジスタ	1162
18.3.14	TAUJnTO — TAUJn チャネル出力レジスタ	1163
18.3.15	TAUJnTOM — TAUJn チャネル出力モードレジスタ	1163
18.3.16	TAUJnTOC — TAUJn チャネル出力コンフィギュレーションレジスタ	1164
18.3.17	TAUJnTOL — TAUJn チャネル出力レベルレジスタ	1165
18.3.18	TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ	1166
18.3.19	TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ	1166
18.3.20	TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ	1167
18.3.21	TAUJnRSF — TAUJn チャネルリロードステータスレジスタ	1167

18.4	機能	1168
18.4.1	基本操作手順	1168
18.4.2	連動動作機能の概念	1169
18.4.2.1	連動動作機能のルール	1169
18.4.2.2	連動チャンネルカウンタの同時動作開始/停止	1171
18.4.3	一斉書き換え機能	1172
18.4.3.1	一斉書き換えの制御方法	1172
18.4.3.2	一斉書き換えのその他の基本ルール	1173
18.4.3.3	一斉書き換えの方法	1174
18.4.4	チャンネル出力モード	1176
18.4.4.1	チャンネル出力モードを指定するための基本手順	1178
18.4.4.2	TAUJn 信号により単体制御されるチャンネル出力モード	1179
18.4.4.3	TAUJn 信号により連動制御されるチャンネル出力モード	1179
18.4.5	各動作モードでのカウント開始タイミング	1180
18.4.5.1	インターバルタイマモード、キャプチャモード、カウントキャプチャモード	1180
18.4.5.2	その他の動作モード	1181
18.4.6	カウント開始/リスタート時の TAUJTTOUTm 出力と INTTAUJnIm 生成	1182
18.4.7	オーバフロー時の割り込み発生	1183
18.4.7.1	TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ	1184
18.4.8	TAUJTTINm エッジ検出	1185
18.4.9	チャンネル単体動作機能	1186
18.4.9.1	インターバルタイマ機能	1187
18.4.9.2	TAUJTTINm 入力インターバルタイマ機能	1195
18.4.9.3	TAUJTTINm 入力パルスインターバル測定機能	1201
18.4.9.4	TAUJTTINm 入力信号幅測定機能	1210
18.4.9.5	TAUJTTINm 入力位置検出機能	1218
18.4.9.6	TAUJTTINm 入力期間カウント検出機能	1223
18.4.10	チャンネル連動動作機能	1228
18.4.10.1	PWM 出力機能	1228

第 19 章 モータコントロールタイマ (TSG3) 1239

19.1	RH850/C1x TSG3 の特長	1239
19.1.1	ユニット数	1239
19.1.2	レジスタベースアドレス	1239
19.1.3	クロック供給	1239
19.1.4	割り込み要求	1240
19.1.5	リセット要因	1241
19.1.6	外部入出力信号	1241
19.2	概要	1242
19.2.1	機能概要	1242
19.2.2	ブロック図	1244
19.3	レジスタ	1245
19.3.1	レジスタ一覧	1245
19.3.2	TSG3nCTL0 — TSG3n 制御レジスタ 0	1248
19.3.3	TSG3nCTL1 — TSG3n 制御レジスタ 1	1249
19.3.4	TSG3nCTL3 — TSG3n 制御レジスタ 3	1251
19.3.5	TSG3nCTL4 — TSG3n 制御レジスタ 4	1252
19.3.6	TSG3nCTL5 — TSG3n 制御レジスタ 5	1254
19.3.7	TSG3nCTL6 — TSG3n 制御レジスタ 6	1256

19.3.8	TSG3nCTL7 — TSG3n 制御レジスタ 7	1258
19.3.9	TSG3nCTL8 — TSG3n 制御レジスタ 8	1259
19.3.10	TSG3nIOC0 — TSG3n I/O 制御レジスタ 0	1260
19.3.11	TSG3nIOC1 — TSG3n I/O 制御レジスタ 1	1261
19.3.12	TSG3nIOC2 — TSG3n I/O 制御レジスタ 2	1262
19.3.13	TSG3nIOC3 — TSG3n I/O 制御レジスタ 3	1263
19.3.14	TSG3nSTR0 — TSG3n ステータスレジスタ 0	1264
19.3.15	TSG3nSTR1 — TSG3n ステータスレジスタ 1	1265
19.3.16	TSG3nSTR2 — TSG3n ステータスレジスタ 2	1266
19.3.17	TSG3nSTC — TSG3n ステータスクリアトリガレジスタ	1269
19.3.18	TSG3nOPT0 — TSG3n オプションレジスタ 0	1271
19.3.19	TSG3nOPT1 — TSG3n オプションレジスタ 1	1273
19.3.20	TSG3nOPT2 — TSG3n オプションレジスタ 2	1273
19.3.21	TSG3nOPT2BF — TSG3n オプション 2 バッファレジスタ	1274
19.3.22	TSG3nTRG0 — TSG3n トリガレジスタ 0	1275
19.3.23	TSG3nTRG1 — TSG3n トリガレジスタ 1	1275
19.3.24	TSG3nTRG2 — TSG3n トリガレジスタ 2	1276
19.3.25	TSG3nCNT — TSG3n カウンタリードバッファレジスタ	1276
19.3.26	TSG3nCNT — TSG3n ビット拡張カウンタリードバッファレジスタ	1277
19.3.27	TSG3nSBC — TSG3n サブカウンタリードバッファレジスタ	1278
19.3.28	TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ	1278
19.3.29	TSG3nCMP0 — TSG3n コンペアレジスタ 0	1279
19.3.30	TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0	1280
19.3.31	TSG3nCMP1W — TSG3n コンペアレジスタ 1, 2	1281
19.3.32	TSG3nCMP3W — TSG3n コンペアレジスタ 3, 4	1281
19.3.33	TSG3nCMP5W — TSG3n コンペアレジスタ 5, 6	1282
19.3.34	TSG3nCMP7W — TSG3n コンペアレジスタ 7, 8	1282
19.3.35	TSG3nCMP9W — TSG3n コンペアレジスタ 9, 10	1283
19.3.36	TSG3nCMP11W — TSG3n コンペアレジスタ 11, 12	1283
19.3.37	TSG3nCMP1-TSG3nCMP12 — TSG3n コンペアレジスタ 1-12	1284
19.3.38	TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12	1285
19.3.39	TSG3nDCMP0W — TSG3n ダイアグ出力用コンペアレジスタ 0, 1	1286
19.3.40	TSG3nDCMP2 — TSG3n ダイアグ出力用コンペアレジスタ 2	1287
19.3.41	TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2	1287
19.3.42	TSG3nPAT0W — TSG3n パタンレジスタ 0	1288
19.3.43	TSG3nPAT1W — TSG3n パタンレジスタ 1	1289
19.3.44	TSG3nDTC0W — TSG3n デッドタイム設定レジスタ 0	1290
19.3.45	TSG3nDTC1W — TSG3n デッドタイム設定レジスタ 1	1291
19.3.46	TSG3nCMPU — TSG3n HT-PWM U 相用コンペアレジスタ	1291
19.3.47	TSG3nCMPV — TSG3n HT-PWM V 相用コンペアレジスタ	1292
19.3.48	TSG3nCMPW — TSG3n HT-PWM W 相用コンペアレジスタ	1292
19.3.49	TSG3nCMPUE — TSG3n ビット拡張 U 相用コンペアレジスタ	1293
19.3.50	TSG3nCMPVE — TSG3n ビット拡張 V 相用コンペアレジスタ	1294
19.3.51	TSG3nCMPWE — TSG3n ビット拡張 W 相用コンペアレジスタ	1295
19.3.52	TSG3nUPW — TSG3n SP-PWM U 相アクティブ幅レジスタ	1296
19.3.53	TSG3nVPW — TSG3n SP-PWM V 相アクティブ幅レジスタ	1296

19.3.54	TSG3nWPW — TSG3n SP-PWM W 相アクティブ幅レジスタ	1297
19.3.55	TSG3nUPWE — TSG3n ビット拡張 U 相アクティブ幅レジスタ	1298
19.3.56	TSG3nVPWE — TSG3n ビット拡張 V 相アクティブ幅レジスタ	1299
19.3.57	TSG3nWPWE — TSG3n ビット拡張 W 相アクティブ幅レジスタ	1300
19.3.58	TSG3nHSPCMUE — TSG3n HSP-PWM モード U 相コンペアレジスタ	1301
19.3.59	TSG3nHSPCMVE — TSG3n HSP-PWM モード V 相コンペアレジスタ	1301
19.3.60	TSG3nHSPCMWE — TSG3n HSP-PWM モード W 相コンペアレジスタ	1302
19.3.61	TSG3nHSPSHUE — TSG3n HSP-PWM モード U 相シフトレジスタ	1302
19.3.62	TSG3nHSPSHVE — TSG3n HSP-PWM モード V 相シフトレジスタ	1303
19.3.63	TSG3nHSPSHWE — TSG3n HSP-PWM モード W 相シフトレジスタ	1303
19.3.64	TSG3nDTPR — TSG3n デッドタイムプロテクションレジスタ	1304
19.4	機能	1305
19.4.1	基本動作	1305
19.4.1.1	18 ビットカウンタ基本動作	1305
19.4.1.2	コンペアレジスタの機能	1307
19.4.1.3	コンペアレジスタの書き換え操作	1309
19.4.1.4	各モード時における出力一覧	1317
19.4.2	一致割り込み	1320
19.4.3	フラグ	1325
19.4.3.1	アップカウントフラグ (TSG3nCUF, TSG3nSUF)	1326
19.4.3.2	正相/逆相同時アクティブ検出フラグ (TSG3nTBF0-TSG3nTBF2)	1328
19.4.3.3	リロード要求フラグ (TSG3nRSF)	1329
19.4.3.4	ノイズ検出フラグ (TSG3nNDF)	1330
19.4.3.5	パタン順序検出フラグ (TSG3nTSF)	1331
19.4.3.6	パタンエラー検出フラグ (TSG3nPEF)	1333
19.4.3.7	パタン反転検出フラグ (TSG3nPRF)	1334
19.4.3.8	TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)	1336
19.4.3.9	TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)	1337
19.4.3.10	パタン位相差異検出フラグ (TSG3nPPF)	1338
19.4.3.11	タイマ出力パタンフラグ (TSG3nOPF2-TSG3nOPF0)	1340
19.4.3.12	パタン切り替え検出信号 (TSG3nPTE)	1340
19.4.4	割り込み間引き機能	1342
19.4.4.1	割り込み間引き機能の動作	1343
19.4.4.2	山割り込みを発生する場合の動作例 (PWM モード時)	1346
19.4.5	A/D 変換トリガ機能	1348
19.4.5.1	A/D 変換トリガの動作	1349
19.4.6	エラー/ワーニング割り込み	1354
19.4.6.1	エラー割り込み機能	1354
19.4.6.2	ワーニング割り込み機能	1357
19.4.7	各モードの動作	1358
19.4.7.1	PWM モード	1358
19.4.7.2	HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード)	1369
19.4.7.3	EMU2 からのデータ転送について	1395
19.4.7.4	ESW 機能	1398
19.4.7.5	SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード)	1401
19.4.7.6	120-DC モード	1412
19.4.7.7	HSP-PWM モード (High accuracy Shifted-pulse - Pulse Width Modulation モード)	1447
19.4.7.8	HSP-PWM モードのコンペア設定	1456
19.4.7.9	HSP-PWM モードのタイマ出力動作	1457
19.4.7.10	ソフトウェア出力制御機能	1468

第 20 章	タイマオプション (TAPA)	1469
20.1	RH850/C1x TAPA の特長	1469
20.1.1	ユニット数	1469
20.1.2	レジスタベースアドレス	1469
20.1.3	クロック供給	1469
20.1.4	割り込み要求	1470
20.1.5	リセット要因	1470
20.1.6	周辺構成図	1471
20.2	概要	1472
20.2.1	機能概要	1472
20.2.2	用語	1472
20.2.3	ブロック図	1473
20.3	レジスタ	1474
20.3.1	レジスタ一覧	1474
20.3.2	TAPAnCTL0 — TAPAn 制御レジスタ 0	1475
20.3.3	TAPAnCTL1 — TAPAn 制御レジスタ 1	1476
20.3.4	TAPAnFLG — TAPAn フラグレジスタ	1477
20.3.5	TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ	1477
20.3.6	TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ	1478
20.3.7	TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ	1478
20.3.8	TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ	1479
20.3.9	TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ	1479
20.4	機能	1480
20.4.1	非同期 Hi-Z 制御機能	1480
20.4.1.1	概要	1480
20.4.1.2	システム構成例	1481
20.4.1.3	基本動作	1482
20.4.1.4	ソフトウェアトリガによる非同期 Hi-Z 制御	1484
20.4.1.5	操作手順	1485
20.4.2	割り込み出力選択機能	1486
20.4.2.1	構成	1486
20.4.2.2	基本動作	1486
20.4.2.3	操作手順	1487
20.4.3	A/D コンバータ変換トリガ選択機能	1488
20.4.3.1	構成	1488
20.4.3.2	基本動作	1489
20.4.3.3	操作手順	1491
第 21 章	タイマパターンバッファ (TPBA)	1492
21.1	RH850/C1x TPBA の特長	1492
21.1.1	ユニット数	1492
21.1.2	レジスタベースアドレス	1492
21.1.3	クロック供給	1492
21.1.4	割り込み要求	1493
21.1.5	リセット要因	1493
21.1.6	外部入出力信号	1493
21.2	概要	1494

21.2.1	機能概要	1494
21.2.2	ブロック図	1495
21.3	レジスタ	1496
21.3.1	レジスタ一覧	1496
21.3.2	TPBAnCTL — TPBAn 制御レジスタ	1497
21.3.3	TPBAnRDM — TPBAn リロードデータモードレジスタ	1498
21.3.4	TPBAnRSF — TPBAn リロードステータスレジスタ	1499
21.3.5	TPBAnRDT — TPBAn リロードデータトリガレジスタ	1500
21.3.6	TPBAnTOE — TPBAn タイマ出力許可レジスタ	1500
21.3.7	TPBAnTO — TPBAn タイマ出力レジスタ	1501
21.3.8	TPBAnTOL — TPBAn タイマ出力レベルレジスタ	1502
21.3.9	TPBAnCMP0 — TPBAn 周期設定レジスタ	1503
21.3.10	TPBAnBUFm — TPBAn デューティ設定レジスタ	1504
21.3.11	TPBAnCMP1 — TPBAn パターン数設定レジスタ	1505
21.3.12	TPBAnCNT0 — TPBAn タイマカウンタレジスタ	1506
21.3.13	TPBAnCNT1 — TPBAn アドレスカウンタレジスタ	1506
21.3.14	TPBAnTE — TPBAn イネーブルステータスレジスタ	1507
21.3.15	TPBAnTS — TPBAn スタートトリガレジスタ	1507
21.3.16	TPBAnTT — TPBAn ストップトリガレジスタ	1508
21.4	機能	1509
21.4.1	基本動作	1509
21.4.1.1	16ビットカウンタ (TPBAnCNT0) の基本動作	1509
21.4.1.2	7ビットカウンタ (TPBAnCNT1) の基本動作	1509
21.4.2	コンペアレジスタの書き換え操作	1510
21.4.3	デューティの書き換え操作	1513
21.4.3.1	TPBAnBUFm レジスタの設定フロー	1513
21.4.3.2	TPBAnBUFm レジスタのアクセス	1514
21.4.3.3	TPBAnCNT1 レジスタのリード値と TPBAnBUFm の関係	1515
21.4.4	基本動作例	1516
21.4.4.1	動作一覧	1517
第 22 章 エンコーダタイマ (ENCA)		1521
22.1	RH850/C1x ENCA の特長	1521
22.1.1	ユニット数	1521
22.1.2	レジスタベースアドレス	1521
22.1.3	クロック供給	1521
22.1.4	割り込みと DMA/DTS	1522
22.1.5	リセット要因	1522
22.1.6	外部入出力信号	1522
22.2	概要	1523
22.2.1	機能概要	1523
22.2.2	ブロック図	1524
22.3	レジスタ	1525
22.3.1	レジスタ一覧	1525
22.3.2	ENCAAnCTL — ENCAAn 制御レジスタ	1526
22.3.3	ENCAAnIOC0 — ENCAAn I/O 制御レジスタ 0	1528

22.3.4	ENCAnIOC1 — ENCAAn I/O 制御レジスタ 1	1529
22.3.5	ENCAnFLG — ENCAAn ステータスフラグレジスタ	1531
22.3.6	ENCAnFGC — ENCAAn ステータスフラグクリアレジスタ	1532
22.3.7	ENCAnCCR0 — ENCAAn キャプチャ/コンペアレジスタ 0	1533
22.3.8	ENCAnCCR1 — ENCAAn キャプチャ/コンペアレジスタ 1	1534
22.3.9	ENCAnCNT — ENCAAn カウンタレジスタ	1535
22.3.10	ENCAnTE — ENCAAn タイマイネーブルステータスレジスタ	1536
22.3.11	ENCAnTS — ENCAAn タイマスタートトリガレジスタ	1537
22.3.12	ENCAnTT — ENCAAn タイマストップトリガレジスタ	1538
22.4	機能	1539
22.4.1	タイマカウンタの動作	1539
22.4.2	タイマカウンタのアップ/ダウン制御	1541
22.4.2.1	ENCAnCTL レジスタの ENCAAnUDS1, ENCAAnUDS0 ビット = 00 _B の場合	1541
22.4.2.2	ENCAnCTL レジスタの ENCAAnUDS1, ENCAAnUDS0 ビット = 01 _B の場合	1542
22.4.2.3	ENCAnCTL レジスタの ENCAAnUDS1, ENCAAnUDS0 ビット = 10 _B の場合	1543
22.4.2.4	ENCAnCTL レジスタの ENCAAnUDS1, ENCAAnUDS0 ビット = 11 _B の場合	1544
22.4.3	エンコーダ入力によるタイマカウンタクリア制御	1545
22.4.3.1	ENCAnSCE = 0 のときのクリア方法	1545
22.4.3.2	ENCAnSCE = 1 のときのクリア方法	1545
22.4.4	ENCAnCCR0 の機能	1547
22.4.4.1	コンペア機能	1547
22.4.4.2	キャプチャ機能	1547
22.4.5	ENCAnCCR1 の機能	1548
22.4.5.1	コンペア機能	1548
22.4.5.2	キャプチャ機能	1549
22.4.5.3	コンペアレジスタが一致したときのタイマカウンタのクリア	1551
22.4.6	タイマカウンタの起動/停止	1552
22.4.6.1	タイマの起動	1552
22.4.6.2	タイマの停止	1552
22.4.6.3	ENCAn を 2 ユニット使用時の接続例	1553
22.5	手順	1554
22.5.1	ENCAn の設定手順	1554
22.5.1.1	カウンタの初期設定手順	1554
22.5.1.2	カウンタクリアのための初期設定手順	1555
22.5.1.3	ENCAnCCR0 レジスタの設定手順	1555
22.5.1.4	ENCAnCCR1 レジスタの設定手順	1555
22.6	エンコーダ動作図	1556
22.6.1	エンコーダ基本動作タイミング 1 (エンコーダコンペアモード①)	1556
22.6.2	エンコーダ基本動作タイミング 2 (エンコーダコンペアモード②)	1557
22.6.3	エンコーダ基本動作タイミング 3 (エンコーダコンペアモード③)	1558
22.6.4	エンコーダ基本動作タイミング 4 (エンコーダキャプチャモード)	1559
22.6.5	エンコーダ基本動作タイミング 5 (エンコーダキャプチャコンペアモード)	1561
22.6.6	オーバフローの発生とオーバフローフラグクリア操作	1563
22.6.7	アンダフローの発生とアンダフローフラグクリア操作	1564
22.6.8	エンコーダクリア入力 (ENCAnEC 端子) によるカウントクリアとキャプチャ動作 ..	1565
22.6.9	オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) による クリア動作との競合	1566
22.6.10	アンダフローの発生とエンコーダクリア入力 (ENCAnEC 端子) による クリア動作との競合	1567
22.6.11	開始直後のオーバフロー動作	1568

22.6.12	開始直後のアンダフロー動作.....	1569
22.6.13	開始直後の ENCA _n LDE 機能の利用.....	1570
22.6.14	ENCA _n LDE 機能 (カウンタ値のロード).....	1571
22.6.15	ENCA _n LDE 機能 (カウンタ値のロード) と ENCA _n CCR0 レジスタの書き換えとの競合.....	1573
22.6.16	ENCA _n LDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCA _n EC 端子) によるクリア動作との競合.....	1574
22.6.17	ENCA _n LDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント.....	1576
22.6.18	カウントクロック間のキャプチャ動作 (ENCA _n CCR1).....	1577
22.6.19	カウントクロック間のキャプチャ動作 (ENCA _n CCR0).....	1578
22.6.20	コンペアー一致クリア制御有効かつ ENCA _n CTS = 0 のときのエンコーダの動作.....	1579
22.6.21	コンペアー一致クリア制御有効かつ ENCA _n CTS = 1 のときのエンコーダの動作.....	1580
22.6.22	コンペアー一致クリア制御無効時のエンコーダの動作.....	1581
22.6.23	ENCA _n SCE = 1 のときに ENCA _n EC、ENCA _n E0、ENCA _n E1 によるクリアのタイミングで行われるキャプチャ動作.....	1582
22.6.23.1	付随するキャプチャ動作.....	1582
22.6.23.2	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより遅かった場合.....	1583
22.6.23.3	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングと同じだった場合.....	1584
22.6.23.4	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより早かった場合.....	1584
22.6.23.5	ダウンカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより遅かった場合.....	1585
22.6.24	ENCA _n SCE = 0 のときに ENCA _n EC によるクリアのタイミングで行われるキャプチャ動作.....	1586

第 23 章 ペリフェラルインタコネクション (PIC)..... 1587

23.1	RH850/C1x PIC の特長.....	1587
23.1.1	ユニット数.....	1587
23.1.2	レジスタベースアドレス.....	1587
23.1.3	クロック供給.....	1587
23.1.4	リセット要因.....	1588
23.1.5	外部入出力信号.....	1588
23.2	ペリフェラルインタコネクション 1 (PIC1A).....	1589
23.2.1	概要.....	1589
23.2.1.1	機能概要.....	1589
23.2.2	レジスタ.....	1590
23.2.2.1	レジスタ一覧.....	1590
23.2.2.2	PIC1ASST — 同時スタートトリガ制御レジスタ.....	1592
23.2.2.3	PIC1ASSER0 — 同時スタート制御レジスタ 0.....	1593
23.2.2.4	PIC1ASSER1 — 同時スタート制御レジスタ 1.....	1593
23.2.2.5	PIC1ASSER2 — 同時スタート制御レジスタ 2.....	1594
23.2.2.6	PIC1ASSER3 — 同時スタート制御レジスタ 3.....	1595
23.2.2.7	PIC1AINIn0 — フリップフロップ回路初期化レジスタ n0.....	1595
23.2.2.8	PIC1AINIn1 — DT 初期化レジスタ n1.....	1596
23.2.2.9	PIC1ALHSEL0 — TSG30 出力のロウ/ハイ 出力選択レジスタ.....	1596
23.2.2.10	PIC1ATSGOUTCTR0 — TSG30 出力制御レジスタ.....	1597
23.2.2.11	PIC1ALHSEL1 — TSG31 出力のロウ/ハイ 出力選択レジスタ.....	1597
23.2.2.12	PIC1ATSGOUTCTR1 — TSG31 出力制御レジスタ.....	1598
23.2.2.13	PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ.....	1598

23.2.2.14	PIC1ATAUD0SEL — TAUD0 入力選択レジスタ	1599
23.2.2.15	PIC1ATAUD1SEL — TAUD1 入力選択レジスタ	1600
23.2.2.16	PIC1AHIZCEN0 — Hi-Z 制御レジスタ 0	1601
23.2.2.17	PIC1AHIZCEN1 — Hi-Z 制御レジスタ 1	1602
23.2.2.18	PIC1AHIZCEN2 — Hi-Z 制御レジスタ 2	1603
23.2.2.19	PIC1AHIZCEN3 — Hi-Z 制御レジスタ 3	1604
23.2.2.20	PIC1AENCSEL400 — ENCATIN1 入力選択レジスタ 400	1605
23.2.2.21	PIC1AENCSEL410 — ENCATIN1 入力選択レジスタ 410	1606
23.2.2.22	PIC1AREG200 — タイマ入出力制御レジスタ 200	1607
23.2.2.23	PIC1AREG210 — タイマ入出力制御レジスタ 210	1609
23.2.2.24	PIC1AREG2n1 — タイマ入出力制御レジスタ 2n1	1610
23.2.2.25	PIC1AREG2n2 — タイマ入出力制御レジスタ 2n2	1613
23.2.2.26	PIC1AREG2n3 — タイマ入出力制御レジスタ 2n3	1615
23.2.2.27	PIC1AREG30 — タイマ入出力制御レジスタ 30	1617
23.2.2.28	PIC1AREG31 — タイマ入出力制御レジスタ 31	1619
23.2.2.29	PIC1AREG50 — タイマ入出力制御レジスタ 50	1621
23.2.2.30	PIC1AREG51 — タイマ入出力制御レジスタ 51	1622
23.2.3	機能	1623
23.2.3.1	同時 スタートトリガ機能	1623
23.2.3.2	デッドタイム付き PWM 出力機能	1625
23.2.3.3	デッドタイム付き高精度三角波 PWM 出力機能	1634
23.2.3.4	デッドタイム付きディレイパルス出力機能	1647
23.2.3.5	トリガ&パルス間隔測定機能	1653
23.2.3.6	エンコーダキャプチャトリガ選択機能	1660
23.2.3.7	2相エンコーダ制御機能 (制御方式 1)	1667
23.2.3.8	2相エンコーダ制御機能 (制御方式 2)	1673
23.2.3.9	2相エンコーダ制御機能 (制御方式 3)	1679
23.2.3.10	3相パルス入力制御機能	1687
23.2.3.11	3相エンコーダ制御機能	1696
23.2.3.12	ENCA 入力選択機能	1700
23.2.3.13	TAUD 入力選択機能	1705
23.2.3.14	TSG 出力とロウ/ハイ出力切り替え機能	1708
23.2.3.15	Hi-Z 制御機能	1712
23.3	ペリフェラルインタコネクション 2 (PIC2B)	1714
23.3.1	概要	1714
23.3.1.1	機能概要	1714
23.3.2	レジスタ	1714
23.3.2.1	レジスタ一覧	1714
23.3.2.2	PIC2BADCCnTSELx — AD コンバータ n トリガ選択制御レジスタ x	1715
23.3.2.3	PIC2BADCCnEDGSEL — AD コンバータトリガエッジ制御レジスタ	1717
23.3.2.4	PIC2BADTEN4nx — AD コンバータトリガ出力選択制御レジスタ	1718
23.3.3	機能	1719
23.3.3.1	ADCC トリガ選択機能	1719
23.3.3.2	TAUD トリガ出力機能	1722
第 24 章	エンハンスドモータコントロールユニット (EMU2)	1724
24.1	RH850/C1x の EMU2 の特長	1724
24.1.1	ユニット数	1724
24.1.2	レジスタベースアドレス	1724
24.1.3	クロック供給	1724
24.1.4	割り込み要求	1725
24.1.5	リセット要因	1725
24.2	概要	1726

24.2.1	機能概要	1726
24.2.2	ブロック図	1727
24.3	レジスタ	1728
24.3.1	レジスタ一覧	1728
24.3.2	EMU2nPRT — EMU2n プロテクトレジスタ (n = 0、1)	1745
24.3.3	EMU2nCTR — EMU2n 制御レジスタ (n = 0、1)	1746
24.3.4	EMU2nREFCTR — EMU2n レジスタ値反映制御レジスタ (n = 0、1)	1747
24.3.5	EMU2nIPTRG — EMU2n IP 起動トリガ要因選択レジスタ (n = 0、1)	1749
24.3.6	EMU2nIPSFT — EMU2n IP ソフトウェア起動レジスタ (n = 0、1)	1750
24.3.7	EMU2nADTRG — EMU2n A/D 変換開始トリガ選択レジスタ (n = 0、1)	1751
24.3.8	EMU2nADMN — EMU2n A/D 変換トリガ要因判別レジスタ (n = 0、1)	1752
24.3.9	EMU2nADMNOC — EMU2n A/D 変換トリガ要因判別クリアレジスタ (n = 0、1)	1753
24.3.10	EMU2nDDCNT — EMU2n データ遅延カウンタ値設定レジスタ (n = 0、1)	1754
24.3.11	EMU2nINT0 — EMU2n 割り込み要因選択レジスタ 0 (n = 0、1)	1755
24.3.12	EMU2nINT1 — EMU2n 割り込み要因選択レジスタ 1 (n = 0、1)	1757
24.3.13	EMU2nINT2 — EMU2n 割り込み要因選択レジスタ 2 (n = 0、1)	1759
24.3.14	EMU2nINT3 — EMU2n 割り込み要因選択レジスタ 3 (n = 0、1)	1761
24.3.15	EMU2nINT4 — EMU2n 割り込み要因選択レジスタ 4 (n = 0、1)	1763
24.3.16	EMU2nINTSD — EMU2n 割り込み要因判別レジスタ (n = 0、1)	1765
24.3.17	EMU2nINTSDC — EMU2n 割り込み要因判別クリアレジスタ (n = 0、1)	1767
24.3.18	EMU2nOFMON — EMU2n オーバフロー検出結果レジスタ (n = 0、1)	1769
24.3.19	EMU2nZDMON — EMU2n ゼロ除算検出結果レジスタ (n = 0、1)	1769
24.3.20	EMU2nOFMONC — EMU2n オーバフロー検出結果クリアレジスタ (n = 0、1)	1770
24.3.21	EMU2nZDMONC — EMU2n ゼロ除算検出結果クリアレジスタ (n = 0、1)	1771
24.3.22	EMU2nSMLCTR — EMU2n 等価チェック機能制御レジスタ (n = 0、1)	1772
24.3.23	EMU2nCBCTR0 — EMU2n 検算用バッファ制御レジスタ 0 (n = 0、1)	1773
24.3.24	EMU2nCBCTR1 — EMU2n 検算用バッファ制御レジスタ 1 (n = 0、1)	1775
24.3.25	EMU2nCBTIM — EMU2n 検算用バッファタイミング選択レジスタ (n = 0、1)	1776
24.3.26	EMU2nANGCTR — EMU2n 角度生成 IP 制御レジスタ (n = 0、1)	1777
24.3.27	EMU2nCPJUD0 — EMU2n コンペア判定補正レジスタ 0 (n = 0、1)	1777
24.3.28	EMU2nCPJUD1 — EMU2n コンペア判定補正レジスタ 1 (n = 0、1)	1778
24.3.29	EMU2nRESTHSFT — EMU2n レゾルバ角ソフト入力レジスタ (n = 0、1)	1778
24.3.30	EMU2nANGOFS — EMU2n 角度生成 IP オフセットレジスタ (n = 0、1)	1779
24.3.31	EMU2nPXR — EMU2n 電気角生成用係数レジスタ (n = 0、1)	1779
24.3.32	EMU2nRESTHETA — EMU2n レゾルバ角レジスタ (n = 0、1)	1780
24.3.33	EMU2nTHTEFIX — EMU2n 電気角レジスタ (n = 0、1)	1780
24.3.34	EMU2nRESRLD — EMU2n レゾルバ極数設定レジスタ (n = 0、1)	1781
24.3.35	EMU2nRESCNT — EMU2n レゾルバ極カウントレジスタ (n = 0、1)	1781
24.3.36	EMU2nVMTCCTR — EMU2n 速度計測タイマ制御レジスタ (n = 0、1)	1782
24.3.37	EMU2nVMTCNT — EMU2n 速度計測タイマカウンタレジスタ (n = 0、1)	1783
24.3.38	EMU2nVMTCAP — EMU2n 速度計測タイマキャプチャレジスタ (n = 0、1)	1784
24.3.39	EMU2nVMTOF — EMU2n 速度計測タイマオーバフローレジスタ (n = 0、1)	1785
24.3.40	EMU2nCTRINMD — EMU2n 入力 IP 制御レジスタ (n = 0、1)	1786
24.3.41	EMU2nADmk — EMU2n ADm データレジスタ k (n = 0、1) (m = 0、1) (k = 0 ~ 2)	1787

24.3.42	EMU2nADDOFSmk — EMU2n ADm チャンネル k 原点補正值レジスタ (n = 0、1) (m = 0、1) (k = 0 ~ 2).....	1788
24.3.43	EMU2nADFIXmk — EMU2n A/Dm チャンネル k 変換値レジスタ (n = 0、1) (m = 0、1) (k = 0 ~ 2).....	1788
24.3.44	EMU2nTHTESFT — EMU2n 電気角ソフト入力レジスタ (n = 0、1).....	1789
24.3.45	EMU2nEARD — EMU2n 電気角応答遅れ補正変数レジスタ (n = 0、1).....	1789
24.3.46	EMU2nTHTE — EMU2n 電気角保持レジスタ (n = 0、1).....	1790
24.3.47	EMU2nTHTREFIXIN — EMU2n レゾルバ角モニタレジスタ (n = 0、1).....	1790
24.3.48	EMU2nSR2 — EMU2n dq 軸電流変換係数レジスタ (n = 0、1).....	1791
24.3.49	EMU2nDIVLSB — EMU2n LSB 調整レジスタ (n = 0、1).....	1792
24.3.50	EMU2nIUFIX — EMU2n U 相電流値レジスタ (n = 0、1).....	1793
24.3.51	EMU2nIVFIX — EMU2n V 相電流値レジスタ (n = 0、1).....	1794
24.3.52	EMU2nIWFIX — EMU2n W 相電流値レジスタ (n = 0、1).....	1795
24.3.53	EMU2nIDFIX — EMU2n d 軸電流値レジスタ (n = 0、1).....	1796
24.3.54	EMU2nIQFIX — EMU2n q 軸電流値レジスタ (n = 0、1).....	1797
24.3.55	EMU2nPICTR — EMU2n PI 制御レジスタ (n = 0、1).....	1798
24.3.56	EMU2nIDIN — EMU2n d 軸電流指令値レジスタ (n = 0、1).....	1798
24.3.57	EMU2nIQIN — EMU2n q 軸電流指令値レジスタ (n = 0、1).....	1799
24.3.58	EMU2nID — EMU2n id レジスタ (n = 0、1).....	1800
24.3.59	EMU2nIQ — EMU2n iq レジスタ (n = 0、1).....	1801
24.3.60	EMU2nGPD0 — EMU2n GPD0 レジスタ (n = 0、1).....	1802
24.3.61	EMU2nGPQ0 — EMU2n GPQ0 レジスタ (n = 0、1).....	1803
24.3.62	EMU2nGPD — EMU2n GPD レジスタ (n = 0、1).....	1804
24.3.63	EMU2nGPQ — EMU2n GPQ レジスタ (n = 0、1).....	1805
24.3.64	EMU2nGID — EMU2n GID レジスタ (n = 0、1).....	1806
24.3.65	EMU2nGIQ — EMU2n GIQ レジスタ (n = 0、1).....	1807
24.3.66	EMU2nGIDMAX — EMU2n GID_MAX レジスタ (n = 0、1).....	1808
24.3.67	EMU2nGIQMAX — EMU2n GIQ_MAX レジスタ (n = 0、1).....	1809
24.3.68	EMU2nVDMAX — EMU2n vd_MAX レジスタ (n = 0、1).....	1810
24.3.69	EMU2nVQMAX — EMU2n vq_MAX レジスタ (n = 0、1).....	1811
24.3.70	EMU2nSUMID — EMU2n sum_id レジスタ (n = 0、1).....	1812
24.3.71	EMU2nSUMIDM — EMU2n sum_id モニタレジスタ (n = 0、1).....	1813
24.3.72	EMU2nSUMIQ — EMU2n sum_iq レジスタ (n = 0、1).....	1814
24.3.73	EMU2nSUMIQM — EMU2n sum_iq モニタレジスタ (n = 0、1).....	1815
24.3.74	EMU2nVD — EMU2n d 軸電圧値レジスタ (n = 0、1).....	1816
24.3.75	EMU2nVQ — EMU2n q 軸電圧値レジスタ (n = 0、1).....	1817
24.3.76	EMU2nPWMCTR — EMU2n PWM IP 制御レジスタ (n = 0、1).....	1818
24.3.77	EMU2nPWMMDT — EMU2n PWM データ転送レジスタ (n = 0、1).....	1819
24.3.78	EMU2nVDCRCT — EMU2n d 軸電圧補正值レジスタ (n = 0、1).....	1820
24.3.79	EMU2nVQCRCT — EMU2n q 軸電圧補正值レジスタ (n = 0、1).....	1821
24.3.80	EMU2nSR23 — EMU2n 三相電圧変換係数レジスタ (n = 0、1).....	1822
24.3.81	EMU2nUVOFS — EMU2n U 相電圧オフセット値レジスタ (n = 0、1).....	1822
24.3.82	EMU2nWVOFS — EMU2n W 相電圧オフセット値レジスタ (n = 0、1).....	1824
24.3.83	EMU2nPHI — EMU2n d 軸基準電圧レジスタ (n = 0、1).....	1824
24.3.84	EMU2nGTHT — EMU2n 電気角調整用レジスタ (n = 0、1).....	1825
24.3.85	EMU2nTHTFORESFT — EMU2n 予測電気角ソフト入力レジスタ (n = 0、1).....	1825
24.3.86	EMU2nPWMK1 — EMU2n 桁数あわせレジスタ 1 (n = 0、1).....	1826

24.3.87	EMU2nPWMK2 — EMU2n 桁数あわせレジスタ 2 (n = 0、1)	1826
24.3.88	EMU2nVOLV — EMU2n 入力電圧レジスタ (n = 0、1)	1827
24.3.89	EMU2nDTUL — EMU2n デューティ比上限値レジスタ (n = 0、1)	1827
24.3.90	EMU2nDTLL — EMU2n デューティ比下限値レジスタ (n = 0、1)	1828
24.3.91	EMU2nPWMUL — EMU2n PWM 上限値レジスタ (n = 0、1)	1828
24.3.92	EMU2nPWMLL — EMU2n PWM 下限値レジスタ (n = 0、1)	1829
24.3.93	EMU2nDTT — EMU2n 短絡防止時間設定レジスタ (n = 0、1)	1829
24.3.94	EMU2nCARR — EMU2n キャリア周期レジスタ (n = 0、1)	1830
24.3.95	EMU2nUPWM — EMU2n U 相 PWM レジスタ (n = 0、1)	1830
24.3.96	EMU2nVPWM — EMU2n V 相 PWM レジスタ (n = 0、1)	1831
24.3.97	EMU2nWPWM — EMU2n W 相 PWM レジスタ (n = 0、1)	1831
24.3.98	EMU2nVUFIX — EMU2n デューティ比算出用 U 相出力電圧レジスタ (n = 0、1)	1832
24.3.99	EMU2nVVFIX — EMU2n デューティ比算出用 V 相出力電圧レジスタ (n = 0、1)	1833
24.3.100	EMU2nVWFIX — EMU2n デューティ比算出用 W 相出力電圧レジスタ (n = 0、1)	1834
24.3.101	EMU2nPWMUIP — EMU2n U 相コンペア値レジスタ (n = 0、1)	1834
24.3.102	EMU2nPWMVIP — EMU2n V 相コンペア値レジスタ (n = 0、1)	1835
24.3.103	EMU2nPWMWIP — EMU2n W 相コンペア値レジスタ (n = 0、1)	1835
24.3.104	EMU2nVUOFS — EMU2n U 相出力電圧補正量レジスタ (n = 0、1)	1836
24.3.105	EMU2nVVOFS — EMU2n V 相出力電圧補正量レジスタ (n = 0、1)	1836
24.3.106	EMU2nVWOFS — EMU2n W 相出力電圧補正量レジスタ (n = 0、1)	1837
24.3.107	EMU2nRECCTR — EMU2n 矩形 IP 制御レジスタ (n = 0、1)	1838
24.3.108	EMU2nPTNN — EMU2n 一括矩形出力レジスタ (n = 0、1)	1839
24.3.109	EMU2nPTNAB — EMU2n 一括矩形出力パターン AB レジスタ (n = 0、1)	1840
24.3.110	EMU2nPTNCD — EMU2n 一括矩形出力パターン CD レジスタ (n = 0、1)	1841
24.3.111	EMU2nPTNEF — EMU2n 一括矩形出力パターン EF レジスタ (n = 0、1)	1842
24.3.112	EMU2nCMP0 — EMU2n コンペアレジスタ 0 (n = 0、1)	1843
24.3.113	EMU2nCMP1 — EMU2n コンペアレジスタ 1 (n = 0、1)	1843
24.3.114	EMU2nPHQSFT — EMU2n q 軸基準電圧位相ソフト入力レジスタ (n = 0、1)	1844
24.3.115	EMU2nPSWSFT — EMU2n スイッチング指令ソフト入力レジスタ (n = 0、1)	1844
24.3.116	EMU2nPSW — EMU2n スイッチング指令レジスタ (n = 0、1)	1845
24.3.117	EMU2nIPCMP0 — EMU2n IP コンペア値 0 レジスタ (n = 0、1)	1845
24.3.118	EMU2nIRECCTR — EMU2n 独立矩形 IP 制御レジスタ (n = 0、1)	1846
24.3.119	EMU2nIRPTN — EMU2n 独立矩形出力パターン更新レジスタ (n = 0、1)	1846
24.3.120	EMU2nIRCTRST — EMU2n 独立矩形 IP フラグセレクト信号初期化レジスタ (n = 0、1)	1847
24.3.121	EMU2nIRUCPPN0 — EMU2n 独立矩形 IPU 相コンペア/パターン設定レジスタ 0 (n = 0、1)	1848
24.3.122	EMU2nIRUCPPN1 — EMU2n 独立矩形 IPU 相コンペア/パターン設定レジスタ 1 (n = 0、1)	1848
24.3.123	EMU2nIRUCPPN2 — EMU2n 独立矩形 IPU 相コンペア/パターン設定レジスタ 2 (n = 0、1)	1849
24.3.124	EMU2nIRVCPPN0 — EMU2n 独立矩形 IPV 相コンペア/パターン設定レジスタ 0 (n = 0、1)	1849
24.3.125	EMU2nIRVCPPN1 — EMU2n 独立矩形 IPV 相コンペア/パターン設定レジスタ 1 (n = 0、1)	1850
24.3.126	EMU2nIRVCPPN2 — EMU2n 独立矩形 IPV 相コンペア/パターン設定レジスタ 2 (n = 0、1)	1850

24.3.127	EMU2nIRWCPPN0 — EMU2n 独立矩形 IPW 相コンペア/パタン設定レジスタ 0 (n = 0、1)	1851
24.3.128	EMU2nIRWCPPN1 — EMU2n 独立矩形 IPW 相コンペア/パタン設定レジスタ 1 (n = 0、1)	1851
24.3.129	EMU2nIRWCPPN2 — EMU2n 独立矩形 IPW 相コンペア/パタン設定レジスタ 2 (n = 0、1)	1852
24.3.130	EMU2nIRFLGM — EMU2n 独立矩形 IP フラグモニタレジスタ (n = 0、1)	1853
24.3.131	EMU2nIRSELM — EMU2n 独立矩形 IP セレクト信号モニタレジスタ (n = 0、1)	1854
24.3.132	EMU2nCBADmk — EMU2n ADm データ k 検算用バッファレジスタ (n = 0、1) (m = 0、1) (k = 0 ~ 2)	1855
24.3.133	EMU2nCBTHTRFIXIN — EMU2n レゾルバ角検算用バッファレジスタ (n = 0、1) ..	1855
24.3.134	EMU2nCBIDFIX — EMU2n d 軸電流値検算用バッファレジスタ (n = 0、1)	1856
24.3.135	EMU2nCBIQFIX — EMU2n q 軸電流値検算用バッファレジスタ (n = 0、1)	1857
24.3.136	EMU2nCBPWMUIP — EMU2n U 相コンペア値検算用バッファレジスタ (n = 0、1) ..	1857
24.3.137	EMU2nCBPWMVIP — EMU2n V 相コンペア値検算用バッファレジスタ (n = 0、1) ..	1858
24.3.138	EMU2nCBPWMWIP — EMU2n W 相コンペア値検算用バッファレジスタ (n = 0、1)	1858
24.3.139	EMU2nCBBREC — EMU2n 一括矩形パタン値検算用バッファレジスタ (n = 0、1) ..	1859
24.3.140	EMU2nCBIREC — EMU2n 独立矩形パタン値検算用バッファレジスタ (n = 0、1)	1859
24.4	動作	1860
24.4.1	EMU2 の初期化	1860
24.4.2	A/D 変換開始トリガの設定	1861
24.4.3	演算部	1863
24.4.3.1	各 IP モジュールの演算について	1864
24.4.3.2	IP 起動前設定レジスタについて	1866
24.4.3.3	IP 完了タイミング更新レジスタに関して	1867
24.4.4	角度生成 IP	1868
24.4.5	入力 IP	1875
24.4.6	PI 制御 IP	1879
24.4.7	PWM IP	1882
24.4.8	矩形 IP	1889
24.4.9	矩形波生成部	1892
24.4.10	一括矩形 IP	1892
24.4.11	独立矩形 IP	1895
24.4.12	三相 PWM 波形出力制御	1897
24.4.13	一括矩形波出力制御	1898
24.4.14	速度計測タイマ	1901
24.5	検算機能	1902
24.5.1	検算用バッファリング機能	1902
24.5.2	等価チェック機能	1903
24.5.3	検算方式	1903
24.5.3.1	ソフトウェア検算方式	1903
24.5.3.2	等価チェック結果の一致確認方式	1904
24.6	注意事項	1906
24.6.1	矩形波出力のコンペア一致について	1906
24.7	EMU2 の応用動作例	1907

第 25 章 R/D コンバータ (RDC2)	1908
25.1 RH850/C1x の RDC2 の特長	1908
25.1.1 ユニット数	1908
25.1.2 レジスタベースアドレス	1908
25.1.3 クロック供給	1908
25.1.4 割り込み要求	1909
25.1.5 リセット要因	1909
25.1.6 外部入出力信号	1910
25.2 概要	1911
25.2.1 機能概要	1911
25.2.2 ブロック図	1912
25.2.3 動作原理	1913
25.3 レジスタ	1914
25.3.1 レジスタ一覧	1914
25.3.2 RDC2nCONSEL — RDC2n 変換条件選択レジスタ (n = 0、1)	1915
25.3.3 RDC2nCGSEL — RDC2n 制御ゲイン選択レジスタ (n = 0、1)	1917
25.3.4 RDC2nMAXV — RDC2n 最大角速度設定レジスタ (n = 0、1)	1922
25.3.5 RDC2nANGDAT — RDC2n 角度データレジスタ (n = 0、1)	1923
25.3.6 RDC2nRST — RDC2n リセットレジスタ (n = 0、1)	1923
25.3.7 RDC2nMNTC — RDC2n モニタ端子設定レジスタ (n = 0、1)	1924
25.3.8 RDC2nDATSTR — RDC2n データ格納レジスタ (n = 0、1)	1924
25.3.9 RDC2nCMP0 — RDC2n 角度コンペア 0 値設定レジスタ (n = 0、1)	1925
25.3.10 RDC2nCMP1 — RDC2n 角度コンペア 1 値設定レジスタ (n = 0、1)	1925
25.3.11 RDC2nCMP2 — RDC2n 角度コンペア 2 値設定レジスタ (n = 0、1)	1926
25.3.12 RDC2nINIT — RDC2n 初期化レジスタ (n = 0、1)	1926
25.3.13 RDC2nOUTC — RDC2n 出力制御レジスタ (n = 0、1)	1927
25.3.14 RDC2nCON — RDC2n 制御レジスタ (n = 0、1)	1928
25.3.15 RDC2nBISTC — RDC2n BIST 設定レジスタ (n = 0、1)	1929
25.3.16 RDC2nERDEN — RDC2n 異常検出機能有効レジスタ (n = 0、1)	1930
25.3.17 RDC2nINGR — RDC2n 入力ゲイン抵抗値レジスタ (n = 0、1)	1931
25.3.18 RDC2nLPGAIN — RDC2n ループゲイン設定レジスタ (n = 0、1)	1932
25.3.19 RDC2nEXAAT — RDC2n 励磁振幅自動調整回路設定レジスタ (n = 0、1)	1933
25.3.20 RDC2nERDET — RDC2n 異常検出レジスタ (n = 0、1)	1935
25.3.21 RDC2nCMINT — RDC2n コンペアー致割り込みレジスタ (n = 0、1)	1937
25.3.22 RDC2nENCP — RDC2n エンコーダパルスレジスタ (n = 0、1)	1939
25.3.23 RDC2nANSTP — RDC2n アナログ回路停止レジスタ (n = 0、1)	1940
25.3.24 RDC2nETECNT — RDC2nET イベント生成カウンタレジスタ (n = 0、1)	1940
25.3.25 RDC2nETCON — RDC2nET 制御レジスタ (n = 0、1)	1941
25.3.26 RDC2nETCMP — RDC2nET コンペアレジスタ (n = 0、1)	1942
25.3.27 RDC2nETCAP — RDC2nET キャプチャレジスタ (n = 0、1)	1942
25.3.28 RDC2nETRLD — RDC2nET リロードレジスタ (n = 0、1)	1943
25.3.29 RDC2nETPMCNT — RDC2nET 周期計測カウンタレジスタ (n = 0、1)	1943
25.3.30 RDC2nEXSQR — RDC2n 励磁振幅二乗和積分値モニタレジスタ (n = 0、1)	1944
25.4 機能説明	1945
25.4.1 トラッキングループ	1945

25.4.1.1	PI 補償器帯域設定機能	1945
25.4.1.2	強制ゲイン制御機能	1945
25.4.1.3	励磁信号源選択機能	1945
25.4.1.4	使用センサ選択機能	1945
25.4.1.5	励磁成分抽出機能	1946
25.4.1.6	最大角速度設定機能	1946
25.4.1.7	コンペアー致割り込み	1946
25.4.1.8	エンコーダパルス出力機能	1948
25.4.1.9	モニタ機能	1949
25.4.2	励磁信号出力	1951
25.4.2.1	励磁信号出力 (RDC2nRSO、RDC2nCOM) 機能	1951
25.4.2.2	振幅自動調整機能	1951
25.4.3	異常検出	1952
25.4.3.1	異常検出機能	1952
25.4.3.2	レゾルバ信号異常検出機能	1952
25.4.3.3	レゾルバ信号断線異常検出機能	1952
25.4.3.4	R/D 変換異常検出機能	1952
25.4.4	自己診断	1953
25.4.4.1	自己診断 (Built-In Self Test) 機能	1953
25.4.5	励磁タイマ (ET) 機能	1955
25.4.5.1	周期計測タイマ	1956
25.4.5.2	イベント生成タイマ	1957
25.4.5.3	励磁ゼロクロス信号	1957
25.5	初期動作手順	1958
25.6	レゾルバインタフェース回路	1960
25.6.1	レゾルバ信号入力 (差動) 回路	1960
25.6.2	励磁電圧昇圧アンプ回路	1962
25.6.2.1	励磁電圧昇圧アンプ回路 (単電源の場合)	1962
25.6.2.2	励磁電圧昇圧アンプ回路 (両電源の場合)	1963
25.6.2.3	励磁電圧昇圧アンプ回路の定数設定方法	1964
25.6.3	レゾルバ励磁信号外部入力方法	1965
25.6.3.1	レゾルバ励磁信号入力回路 (単電源)	1965
25.6.3.2	レゾルバ励磁信号入力回路 (両電源)	1966
25.7	使用上の注意事項	1967
25.7.1	磁気的外乱ノイズへの対応	1967
25.7.2	電気的外乱ノイズへの対応	1967
25.7.3	その他の一般的対応	1968
第 26 章 A/D コンバータ (ADCC)		1969
26.1	RH850/C1x ADCC の特長	1969
26.1.1	ユニット数	1969
26.1.2	レジスタベースアドレス	1969
26.1.3	クロック供給	1970
26.1.4	割り込み要求	1970
26.1.5	リセット要因	1970
26.1.6	外部入出力信号	1971
26.1.7	アナログ入力端子の命名規則	1972
26.2	概要	1973
26.2.1	機能概要	1973
26.2.2	ブロック図	1974

26.2.3	仮想チャネル (仮想 ch).....	1977
26.2.4	スキャングループ (SG).....	1978
26.3	レジスタ.....	1979
26.3.1	レジスタ一覧.....	1979
26.3.2	ADCC0ADSYNSTCR — AD 同期開始制御レジスタ.....	1981
26.3.3	ADCC0ADTSYNSTCR — AD タイマ同期開始制御レジスタ.....	1981
26.3.4	ADCCnVCRj — 仮想チャネルレジスタ j.....	1982
26.3.5	ADCCnDRj — データレジスタ j.....	1983
26.3.6	ADCCnDIRj — データ付帯情報レジスタ j.....	1985
26.3.7	ADCCnADHALTR — AD 終了レジスタ.....	1986
26.3.8	ADCCnADCR1 — AD 制御レジスタ 1.....	1986
26.3.9	ADCCnADCR2 — AD 制御レジスタ 2.....	1987
26.3.10	ADCCnTHSMPSTCR — T&H サンプリング開始制御レジスタ.....	1987
26.3.11	ADCCnTHSTPCR — T&H 停止制御レジスタ.....	1988
26.3.12	ADCCnTHCR — T&H 制御レジスタ.....	1988
26.3.13	ADCCnTHAHLSTCR — T&H グループ A ホールド開始制御レジスタ.....	1989
26.3.14	ADCCnTHBHLSTCR — T&H グループ B ホールド開始制御レジスタ.....	1989
26.3.15	ADCCnTHACR — T&H グループ A 制御レジスタ.....	1990
26.3.16	ADCCnTHBCR — T&H グループ B 制御レジスタ.....	1991
26.3.17	ADCCnTHER — T&H イネーブルレジスタ.....	1992
26.3.18	ADCCnTHGSR — T&H グループ選択レジスタ.....	1992
26.3.19	ADCCnSFTCR — セーフティ制御レジスタ.....	1993
26.3.20	ADCCnTDCR — 端子レベル自己診断制御レジスタ.....	1994
26.3.21	ADCCnODCR — 断線検出制御レジスタ.....	1995
26.3.22	ADCCnULLMTBR0 ~ 2 — 上限/下限テーブルレジスタ 0 ~ 2.....	1996
26.3.23	ADCCnECR — エラークリアレジスタ.....	1997
26.3.24	ADCCnULER — 上限/下限エラーレジスタ.....	1998
26.3.25	ADCCnOWER — オーバーライトエラーレジスタ.....	1999
26.3.26	ADCCnPER — パリティエラーレジスタ.....	2000
26.3.27	ADCCnIDER — ID エラーレジスタ.....	2001
26.3.28	ADCCnSGSTCRx — スキャングループ x 開始制御レジスタ.....	2001
26.3.29	ADCCnADTSTCRy — AD タイマ y 開始制御レジスタ.....	2002
26.3.30	ADCCnADTENDCRy — AD タイマ y 終了制御レジスタ.....	2002
26.3.31	ADCCnSGCRx — スキャングループ x 制御レジスタ.....	2003
26.3.32	ADCCnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ.....	2005
26.3.33	ADCCnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ.....	2005
26.3.34	ADCCnSGMCYCRx — スキャングループ x マルチサイクルレジスタ.....	2006
26.3.35	ADCCnSGSRx — スキャングループ x ステータスレジスタ.....	2007
26.3.36	ADCCnADTIPRy — AD タイマ初期位相レジスタ y.....	2008
26.3.37	ADCCnADTPRRy — AD タイマ周期レジスタ y.....	2009
26.3.38	ADCCnULLMSRx — スキャングループ x 上限値/下限値テーブル選択レジスタ.....	2010
26.4	機能.....	2011
26.4.1	A/D 変換の方法.....	2011
26.4.2	A/D 変換機能.....	2012
26.4.2.1	通常 A/D 変換機能.....	2012
26.4.2.2	同時トラック & ホールド機能.....	2012

26.4.2.3	加算 A/D 変換機能	2014
26.4.2.4	マルチサイクルスキャンモード	2014
26.4.2.5	連続スキャンモード	2015
26.4.3	トリガ機能	2015
26.4.3.1	スキャングループのトリガ入力選択	2015
26.4.3.2	HW トリガによるスキャングループの起動	2016
26.4.3.3	SW トリガによるスキャングループの起動	2017
26.4.4	サスペンド機能	2019
26.4.4.1	同期サスペンド動作	2019
26.4.4.2	非同期サスペンド動作	2020
26.4.4.3	同期／非同期ミックス型サスペンド動作	2021
26.4.5	割り込み要求機能	2022
26.4.5.1	スキャングループ x 終了割り込み	2022
26.4.5.2	AD エラー割り込み要求	2023
26.4.5.3	AD パリティエラートリガ	2024
26.4.6	EMU への A/D 変換結果転送機能	2024
26.4.7	自己診断	2025
26.4.7.1	端子レベル自己診断機能	2025
26.4.7.2	A/D 変換回路自己診断機能	2026
26.4.7.3	断線検出自己診断機能	2027
26.5	手順	2028
26.5.1	A/D 変換設定手順	2028
26.5.2	A/D 変換起動手順	2030
26.5.3	A/D 変換停止手順	2031
26.5.4	端子レベル自己診断設定手順	2032
26.5.5	断線検出自己診断設定手順	2033
26.6	A/D 変換精度の定義	2035
26.7	注意事項	2036
26.7.1	レジスタ設定上の注意事項	2036
26.7.2	注入電流印加時の注意事項	2037
26.7.3	同時トラック & ホールド機能を使用する場合の注意事項	2038
第 27 章 ファンクショナルセーフティ		2041
27.1	概要	2041
27.2	ECC および EDC	2042
27.2.1	概要	2042
27.2.1.1	ECC	2042
27.2.1.2	アドレスパリティ	2043
27.2.1.3	データパリティ	2043
27.2.2	Code Flash の ECC およびアドレスパリティ	2044
27.2.2.1	概要	2044
27.2.2.2	レジスタ一覧	2046
27.2.2.3	レジスタ詳細	2047
27.2.2.4	テスト機能	2055
27.2.3	Data Flash の ECC	2056
27.2.3.1	概要	2056
27.2.3.2	レジスタ一覧	2057
27.2.3.3	テスト機能	2063
27.2.4	Local RAM (CPU1、CPU2) の ECC およびアドレスパリティ	2064
27.2.4.1	概要	2064

27.2.4.2	レジスタ一覧	2066
27.2.4.3	レジスタ詳細	2067
27.2.4.4	テスト機能	2075
27.2.5	Global RAM の ECC およびアドレスパリティ	2077
27.2.5.1	概要	2077
27.2.5.2	レジスタ一覧	2079
27.2.5.3	レジスタ詳細	2081
27.2.5.4	テスト機能	2093
27.2.6	命令キャッシュの ECC および EDC	2096
27.2.6.1	概要	2096
27.2.6.2	レジスタ一覧	2097
27.2.6.3	レジスタ詳細	2099
27.2.6.4	テスト機能	2110
27.2.7	DTS 用 RAM の ECC	2111
27.2.8	周辺 RAM (32 ビット) の ECC	2111
27.2.8.1	概要	2111
27.2.8.2	レジスタ一覧	2113
27.2.8.3	レジスタ詳細	2114
27.2.8.4	ECM への通知	2122
27.2.8.5	テスト機能	2123
27.2.9	データ転送経路のデータパリティ	2124
27.2.9.1	レジスタ一覧	2124
27.2.9.2	レジスタ詳細	2126
27.3	ロックステップ	2130
27.3.1	レジスタ一覧	2130
27.3.2	レジスタ詳細	2131
27.3.2.1	TESTCOMPREG0 — 比較器テストレジスタ 0	2131
27.3.2.2	TESTCOMPREG1 — 比較器テストレジスタ 1	2132
27.4	メモリ保護	2133
27.4.1	概要	2133
27.4.1.1	スレーブガードの識別子	2134
27.4.2	GRG (Global RAM Guard)	2135
27.4.2.1	レジスタ一覧	2135
27.4.2.2	レジスタ詳細	2137
27.4.3	PBG	2143
27.4.3.1	レジスタ一覧	2144
27.4.3.2	レジスタ詳細	2145
27.5	マルチインプットシグネチャジェネレータ (MISG)	2149
27.5.1	概要	2149
27.5.2	ブロック図	2150
27.5.2.1	MISG	2150
27.5.2.2	シグネチャ生成	2151
27.5.3	機能仕様	2153
27.5.3.1	シグネチャ生成条件	2153
27.5.3.2	シグネチャ自動比較機能	2155
27.5.3.3	データカウンタ	2155
27.5.3.4	エラー通知	2156
27.5.4	レジスタ仕様	2157
27.5.4.1	レジスタマップ	2157
27.5.4.2	MISRCDR_L_PE1/PE2 — MISR カルキュレーションデータレジスタ	2160
27.5.4.3	MISR1L_PE1/PE2 — マルチインプットシグネチャレジスタ 1L	2161
27.5.4.4	MISR1H_PE1/PE2 — マルチインプットシグネチャレジスタ 1H	2162
27.5.4.5	MISR2L_PE1/PE2 — マルチインプットシグネチャレジスタ 2L	2163

27.5.4.6	MISR2H_PE1/PE2 — マルチインプットシグネチャレジスタ 2H.....	2164
27.5.4.7	MISRCR_PE1/PE2 — MISR コントロールレジスタ	2165
27.5.4.8	MISRBASEADR_PE1/PE2 — MISR 監視領域ベースアドレスレジスタ	2166
27.5.4.9	MISRADRMSK_PE1/PE2 — MISR 監視領域アドレスマスクレジスタ	2167
27.5.4.10	MISRDCNTCTL_PE1/PE2 — MISR データカウンタコントロールレジスタ	2168
27.5.4.11	MISRDCNT_PE1/PE2 — MISR データカウンタレジスタ	2169
27.5.4.12	MISRCMPCTL — MISR コンパレータコントロールレジスタ	2170
27.5.4.13	MISRCMPERSTR — MISR コンペアエラーステータスレジスタ	2171
27.5.4.14	MISRCMPERRSTC — MISR コンペアエラーステータスクリアレジスタ	2172
27.5.4.15	MISRERRCTL — MISR エラー通知コントロールレジスタ	2173
27.5.5	使用例.....	2174
27.5.5.1	使用例 1.....	2174
27.5.5.2	使用例 2.....	2174
27.6	クロックモニタ	2176
27.6.1	概要	2176
27.6.2	レジスタ一覧.....	2177
27.6.2.1	クロックモニタ チャンネルレジスタ	2177
27.6.2.2	共通レジスタ	2177
27.6.3	レジスタ詳細	2178
27.6.3.1	CLMAnCTL0 — CLMAn 制御レジスタ 0	2178
27.6.3.2	CLMAnCMPL — CLMAn 比較レジスタ L	2178
27.6.3.3	CLMAnCMPH — CLMAn 比較レジスタ H	2179
27.6.3.4	CLMAnPCMD — CLMAn 保護命令レジスタ	2179
27.6.3.5	CLMAnPS — CLMAn 保護命令ステータスレジスタ	2180
27.6.3.6	CLMATEST — CLMA セルフテストレジスタ	2181
27.6.3.7	CLMATESTS — CLMA セルフテストステータスレジスタ	2182
27.6.4	異常クロック周波数の検出	2183
27.6.5	自己診断	2185
27.6.6	レジスタ設定時の注意事項	2186
27.6.6.1	保護レジスタへの書き込み	2186
27.6.6.2	CLMAnCMPL/CLMAnCMPH レジスタの設定.....	2186
27.7	BIST.....	2187
27.8	ECM.....	2187
第 28 章	エラーコントロールモジュール (ECM).....	2188
28.1	RH850/C1x ECM の特長	2188
28.1.1	ユニット数.....	2188
28.1.2	レジスタベースアドレス	2188
28.1.3	クロック供給	2188
28.1.4	割り込みと DMA/DTS	2189
28.1.5	リセット要因	2189
28.1.6	外部入出力信号	2189
28.2	概要.....	2190
28.2.1	機能概要	2190
28.2.2	ブロック図.....	2191
28.2.3	エラー要因とセーフティ処理.....	2192
28.3	レジスタ	2195
28.3.1	レジスタ一覧.....	2195
28.3.2	ECMmESET (m = M/C) — ECM マスタ/チェッカエラーセットトリガレジスタ	2197
28.3.3	ECMmECLR (m = M/C) — ECM マスタ/チェッカエラークリアトリガレジスタ	2198

28.3.4	ECMmESSTR0 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 0	2199
28.3.5	ECMmESSTR1 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 1	2200
28.3.6	ECMmPCMD0 (m = M/C) — ECM マスタ/チェッカ保護コマンドレジスタ	2201
28.3.7	ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ	2202
28.3.8	ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0	2203
28.3.9	ECMMICFG1 — ECM マスカブル割り込みコンフィグレーションレジスタ 1	2204
28.3.10	ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0	2205
28.3.11	ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1	2206
28.3.12	ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0	2207
28.3.13	ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1	2208
28.3.14	ECMEMK0 — ECM エラーマスクレジスタ 0	2209
28.3.15	ECMEMK1 — ECM エラーマスクレジスタ 1	2210
28.3.16	ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0	2211
28.3.17	ECMESSTC1 — ECM エラーソースステータスクリアトリガレジスタ 1	2212
28.3.18	ECMPCMD1 — ECM 保護コマンドレジスタ	2213
28.3.19	ECMPS — ECM 保護ステータスレジスタ	2214
28.3.20	ECMPE0 — ECM 擬似エラートリガレジスタ 0	2215
28.3.21	ECMPE1 — ECM 擬似エラートリガレジスタ 1	2216
28.3.22	ECMDTMCTL — ECM ディレイタイマコントロールレジスタ	2217
28.3.23	ECMDTMR — ECM ディレイタイマレジスタ	2217
28.3.24	ECMDTMCMP — ECM ディレイタイマコンペアレジスタ	2218
28.3.25	ECMDTMCFG0 — ECM ディレイタイマコンフィグレーションレジスタ 0	2219
28.3.26	ECMDTMCFG1 — ECM ディレイタイマコンフィグレーションレジスタ 1	2220
28.3.27	ECMDTMCFG2 — ECM ディレイタイマコンフィグレーションレジスタ 2	2221
28.3.28	ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3	2222
28.4	機能	2223
28.4.1	ERROROUT 出力動作	2223
28.4.1.1	ダイナミックモードを有効にする	2223
28.4.1.2	ダイナミックモードを無効にする	2223
28.4.2	ループバック機能	2223
28.4.3	疑似エラー発生	2224
28.4.4	エラー状態	2224
28.4.5	書き込み保護レジスタ	2225
28.4.5.1	書き込み保護されたレジスタへの書き込みシーケンス	2225
28.4.6	割り込み処理のタイムアウト機能	2226
28.5	注意事項	2226
第 29 章	データ CRC (DCRA)	2227
29.1	RH850/C1x DCRA の特長	2227
29.1.1	ユニット数	2227
29.1.2	レジスタベースアドレス	2227
29.1.3	クロック供給	2227
29.1.4	リセット要因	2228
29.2	概要	2229

29.2.1	機能概要	2229
29.2.2	ブロック図	2229
29.2.3	演算回路	2230
29.3	レジスタ	2231
29.3.1	レジスタ一覧	2231
29.3.2	DCRAnCIN — CRC 入力レジスタ	2232
29.3.3	DCRAnCOUT — CRC データレジスタ	2233
29.3.4	DCRAnCTL — CRC 制御レジスタ	2234
29.4	機能	2235
第 30 章	オンチップデバッグユニット (OCD)	2236
30.1	デバッグ機能	2236
30.2	トレースコントロール機能	2238
30.3	ペリフェラルブレークの制御	2238
30.4	AUD-RAM モニタ (AUDR)	2239
30.4.1	概要	2239
30.4.2	入出力端子	2241
30.4.3	レジスタの説明	2242
30.4.3.1	AUDISR — AUDR Configuration 情報保持レジスタ	2243
30.4.3.2	AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ	2244
30.4.4	RAM モニタ機能	2246
30.4.4.1	通信プロトコル	2246
30.4.4.2	動作説明	2247
30.4.4.3	AUDR 機能に関する使用上の注意事項	2255
30.4.4.4	RAM モニタ機能の有効/無効設定	2255
30.5	オンチップデバッグ使用上の注意	2255
第 31 章	フラッシュメモリ	2256
31.1	特長	2256
31.2	メモリ構成	2257
31.3	フラッシュメモリ関連の動作モード	2260
31.4	機能概要	2261
31.5	シリアルプログラミング	2265
31.5.1	プログラミング環境	2265
31.6	通信方式の選択	2266
31.7	セルフプログラミング	2266
31.7.1	概要	2266
31.7.2	BGO 機能	2267
31.8	フラッシュメモリの読み出し	2267
31.8.1	Code Flash メモリの読み出し	2267
31.8.2	Data Flash メモリの読み出し	2267
31.9	レジスタの説明	2268
31.9.1	Data Flash メモリ関連のレジスタ	2268
31.9.1.1	FRDCYCLD — Data Flash メモリ読み出しサイクル設定レジスタ	2268
31.9.2	フラッシュメモリ書き込み消去プロテクト関連レジスタ	2269

31.9.2.1	FHVE15 — FHVE15 コントロールレジスタ	2269
31.9.2.2	FHVE3 — FHVE3 コントロールレジスタ	2270
31.9.3	製品情報関連レジスタ	2271
31.9.3.1	PRDNAME _n [31:16] (n = 1 ~ 4) — 製品名格納レジスタ	2272
31.10	オプションバイト	2273
31.10.1	OPBT0 — オプションバイト 0 レジスタ	2274
31.10.2	OPBT2 — オプションバイト 2 レジスタ	2276
31.11	注意事項	2277
第 32 章	フラッシュセキュリティ	2279
32.1	特長	2280
32.1.1	コードフラッシュおよびデータフラッシュ、ID コード保護	2280
32.1.1.1	ユーザブートモード固有機能	2280
32.1.1.2	シリアルプログラミングモード固有機能	2281
32.1.1.3	ユーザブートモードおよびシリアルプログラミングモード共通機能	2281
32.1.2	デバッグインターフェースの接続制限機能	2282
32.2	ユーザブートモード時のセキュリティ機能	2283
32.2.1	SELF ID 認証	2283
32.2.2	SELF ID 認証とセキュリティ状態	2283
32.3	シリアルプログラミングモード時のセキュリティ機能	2285
32.4	デバッグインターフェースの接続制限機能	2285
32.4.1	セキュリティレベルとデバッグインターフェースの接続制限状態	2285
第 33 章	RAM	2288
33.1	搭載 RAM 一覧	2288
33.2	特長	2288
33.3	注意事項	2288
第 34 章	バウンダリスキャン	2289
34.1	特長	2289
34.2	入出力端子	2291
34.3	レジスタの説明	2292
34.3.1	インストラクションレジスタ (SDIR)	2293
34.3.2	ID レジスタ (SDID)	2293
34.3.3	バイパスレジスタ (SDBPR)	2293
34.3.4	バウンダリスキャンレジスタ (SDBSR)	2293
34.4	動作説明	2294
34.4.1	TAP コントローラ	2294
34.4.2	サポートするコマンド	2295
34.4.2.1	BYPASS	2295
34.4.2.2	SAMPLE/PRELOAD	2295
34.4.2.3	EXTEST	2295
34.4.2.4	CLAMP	2295
34.4.2.5	HIGHZ	2295
34.4.2.6	IDCODE	2296
34.4.3	注意事項	2296

34.5	使用上の注意	2297
第 35 章	電気的特性	2298
35.1	絶対最大定格	2298
35.2	DC 特性	2299
35.2.1	電源名と端子の関係	2299
35.2.2	推奨動作条件	2300
35.2.3	入力電圧特性	2301
35.2.4	入力リーク電流特性	2301
35.2.5	プルアップ/プルダウン MOS 電流特性	2302
35.2.6	出力電圧特性	2303
35.2.7	許容出力電流	2303
35.2.8	注入電流	2304
35.2.9	入力容量	2304
35.2.10	消費電流特性	2305
35.3	AC 特性	2307
35.3.1	電源投入/切断タイミング	2308
35.3.2	クロックタイミング	2310
35.3.2.1	スペクトラム拡散クロックジェネレータ	2310
35.3.2.2	オンチップオシレータ発振周波数精度	2310
35.3.3	出力スルーレート	2310
35.3.4	制御信号タイミング	2312
35.3.5	CSIH タイミング	2313
35.3.5.1	マスタモード	2313
35.3.5.2	スレーブモード	2318
35.3.6	SCI/FLSCI タイミング	2322
35.3.7	RS-CAN タイミング	2324
35.3.8	RLIN2 タイミング	2324
35.3.9	モータ制御信号タイミング	2325
35.3.10	タイマタイミング	2325
35.3.11	JTAG, NEXUS タイミング	2326
35.3.12	LPD (4pin) タイミング	2327
35.3.13	AUD RAM モニタ	2328
35.4	A/D 変換器特性	2329
35.5	R/D 変換器特性	2332
35.5.1	RDC 変換性能	2332
35.5.2	RDC アナログ端子	2333
35.5.3	異常検出の特性	2334
35.6	Code Flash 特性	2335
35.7	Data Flash 特性	2336
35.8	熱特性	2337
35.8.1	パラメータ	2337
35.8.2	想定基板	2337
付録	外形寸法図	2338

第 1 章 概要

RH850/C1x は、ルネサスエレクトロニクスのシングルチップマイクロコンピュータ「RH850 ファミリ」の 1 製品です。この章では、RH850/C1x の概要を説明します。

1.1 RH850/C1x 製品の特長

この製品は、RH850 ファミリの「G3M」CPU を搭載しており、240MHz の周波数で動作し、高い処理能力を実現しています。

ROM、RAM、DMA、モータコントロールタイマをはじめとする各種タイマ、CAN を含めた各種シリアルインタフェース、12 ビット A/D コンバータ (ADCC)、レゾルバの出力信号をデジタルの角度データに変換する R/D コンバータ (RDC2)、CPU と並列動作可能なモータ制御ユニット (EMU2) など HEV/EV 用モータ制御に最適な周辺機能を備えています。

2 モータ制御用の C1H と 1 モータ制御用の C1M をラインナップしており、252 ピン BGA (C1H)、144 ピン QFP (C1M) パッケージがあります。

応用分野

自動車 (HEV/EV のモータ制御)

1.1.1 RH850/C1x の機能

表 1.1 製品概要 (1/2)

項目		RH850/C1H	RH850/C1M
CPU	CPU システム	G3M (LSDC) + G3M	G3M (LSDC)
	CPU 周波数	240MHz	
	PE 内部周辺装置保護機能 (IPG)	搭載	
	システムエラー通知制御機能 (SEG)	搭載	
	メモリプロテクションユニット (MPU)	搭載	
	浮動小数点ユニット (FPU)	搭載	
	排他制御用レジスタ (MEV)	搭載	非搭載
内蔵メモリ	Code Flash	2MB × 2	2MB
	Instruction cache (lcache)	8KB × 2	8KB
	Local RAM	64KB × 2	64KB
	Data Flash	32KB	
	Global RAM	112KB	64KB
外部割込み	マスカブル割込み (IRQ)	8	
	ノンマスカブル割込み (NMI)	1	
DMA, DTS		16 チャンネル、128 チャンネル	
クロック	メインオシレータ (メイン OSC)	20MHz	
	PLL	搭載	
I/O ポート		87	66

表 1.1 製品概要 (2/2)

項目		RH850/C1H	RH850/C1M	
タイマ	タイマアレイユニット D (TAUD)	2 ユニット (16 タイマ/ユニット)		
	タイマアレイユニット J (TAUJ)	1 ユニット (4 タイマ/ユニット)		
	モータコントロールタイマ (TSG3)	2 ユニット		
	タイマオプション (TAPA)	4 ユニット		
	タイマパタンバッファ (TPBA)	2 ユニット	1 ユニット	
	OS タイマ (OSTM)	3 ユニット	2 ユニット	
	エンコーダタイマ (ENCA)	2 ユニット		
	ウォッチドックタイマ (WDTA)	2 ユニット	1 ユニット	
シリアルインタフェース	クロック同期シリアルインタフェース H (CSIH)	2 チャネル		
	CAN インタフェース (RS-CAN)	4 チャネル (Total 256 message buffers)		
	LIN マスタインタフェース (RLIN2)	3 チャネル	非搭載	
	シリアルコミュニケーションインタフェース (SCI3)	3 チャネル		
A/D コンバータ	12bit A/D コア	2 ユニット		
	ADCC0	入力端子数	16	10
		T&H 数	6	6
	ADCC1	入力端子数	21	15
		T&H 数	6	6
モータ制御	R/D コンバータ (RDC2)	2 ユニット	1 ユニット	
	エンハンスドモータコントロールユニット (EMU2)	1 ユニット (2 チャネル)		
その他の機能	エラーコントロールモジュール (ECM)	搭載		
	クロックモニタ (CLMA)	搭載		
	データ CRC (DCRA)	2 ユニット		
	エラーコレクションコーディング (ECC)	搭載		
	オンチップデバッグ (OCD)	搭載		
	バウンダリスキャン	搭載	非搭載	
	ペリフェラルインタコネクション 1 (PIC1A)	1 ユニット		
	ペリフェラルインタコネクション 2 (PIC2B)	1 ユニット		
電源電圧	内部電源 ^{注2}	1.25V ± 0.1V, 3.3V ± 0.3V		
	I/O 電源	5.0V ± 0.5V		
	R/D コンバータ電源	5.0V ± 0.5V		
	A/D コンバータ電源	5.0V ± 0.5V		
温度	ジャンクション温度 (Tj)	-40 °C to 150 °C		
パッケージ		252pin BGA	144pin QFP	

注 1. LSDC (Lock Step Dual Core)

注 2. 内部電源は、2 電源仕様です。I/O 電源を含めて 3 電源仕様になります。

表 1.2 製品一覧

グループ名	型名	前工程製造拠点	パッケージ
RH850/C1H	R7F701270EABG ###0	RSMC 那珂	252 ピンプラスチック BGA (0.8mm ボールピッチ) (17 × 17mm)
	R7F701270EABG-C ###4	TSMC	
RH850/C1M	R7F701271EAFP ###0	RSMC 那珂	144 ピンプラスチック QFP (0.5mm ピンピッチ) (20 × 20mm)
	R7F701271EAFP ###4	TSMC	

備考 ** にはアルファベットが入ります。

1.1.2 開発およびデバッグ対応

表 1.3 開発ツール一覧

機能	概要
オンチップデバッグ (OCD)	<ul style="list-style-type: none"> オンチップデバッグ用インタフェース <ul style="list-style-type: none"> IEEE 1149.1 規格の NEXUS クラス 3 対応デバッグ用 JTAG インタフェース ロウピンデバッグ (LPD) インタフェース : 4 ピン
オンチップデバッグエミュレータ	<ul style="list-style-type: none"> E1 エミュレータ
RAM モニタ	<ul style="list-style-type: none"> アドバンストユーザデバッグ - II RAM モニタ機能 (252pinBGA のみ) NEXUS RAM モニタ機能 (全製品)
コンパイラ/デバッガ	<ul style="list-style-type: none"> CubeSuite+ GreenHills 製 MULTI 環境
アプリケーション対応ハードウェア	<ul style="list-style-type: none"> RH850 評価プラットフォーム
フラッシュプログラミング	<ul style="list-style-type: none"> PG-FP5 フラッシュプログラマ RFP (ルネサスフラッシュプログラマ) + E1 エミュレータ セルフプログラミングライブラリ
ソフトウェアツール (オプション)	<ul style="list-style-type: none"> AUTOSAR MCAL

1.1.3 内部ブロック図

CPU1 や CPU2 内には、CPU Peripheral を内蔵しています。CPU Peripheral は、これが内蔵されている CPU1 や CPU2 からしかアクセスすることはできません。CPU1 と CPU2 の固有周辺には同じアドレスが割り当てられていますが、CPU1 からアクセスした場合は CPU1 の固有周辺が、CPU2 からアクセスした場合は CPU2 の固有周辺が、それぞれアクセスされます。

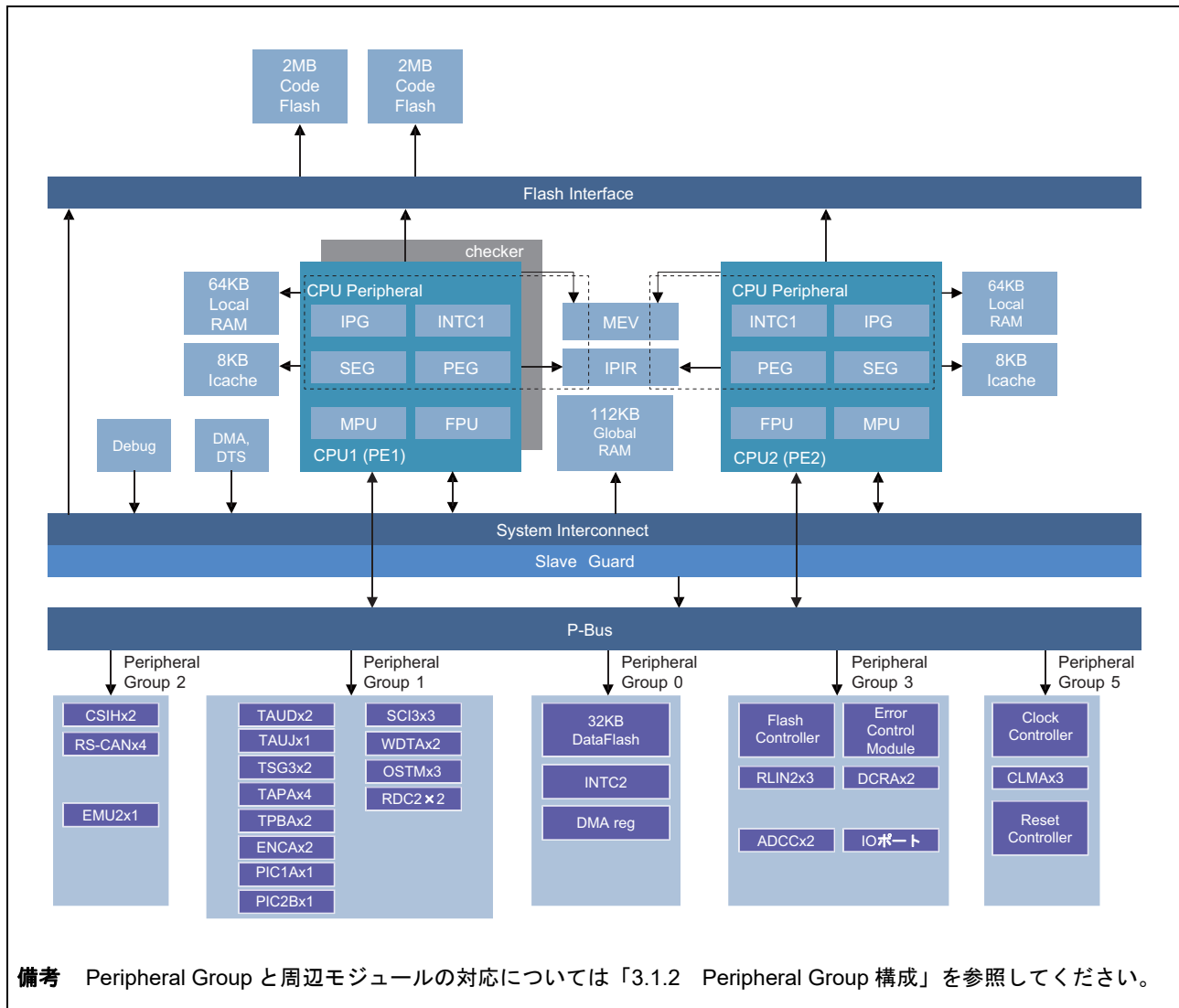


図 1.1 RH850/C1H 内部ブロック図

CPU1 内には、CPU Peripheral を内蔵しています。CPU Peripheral は、これが内蔵されている CPU1 からしかアクセスすることはできません。

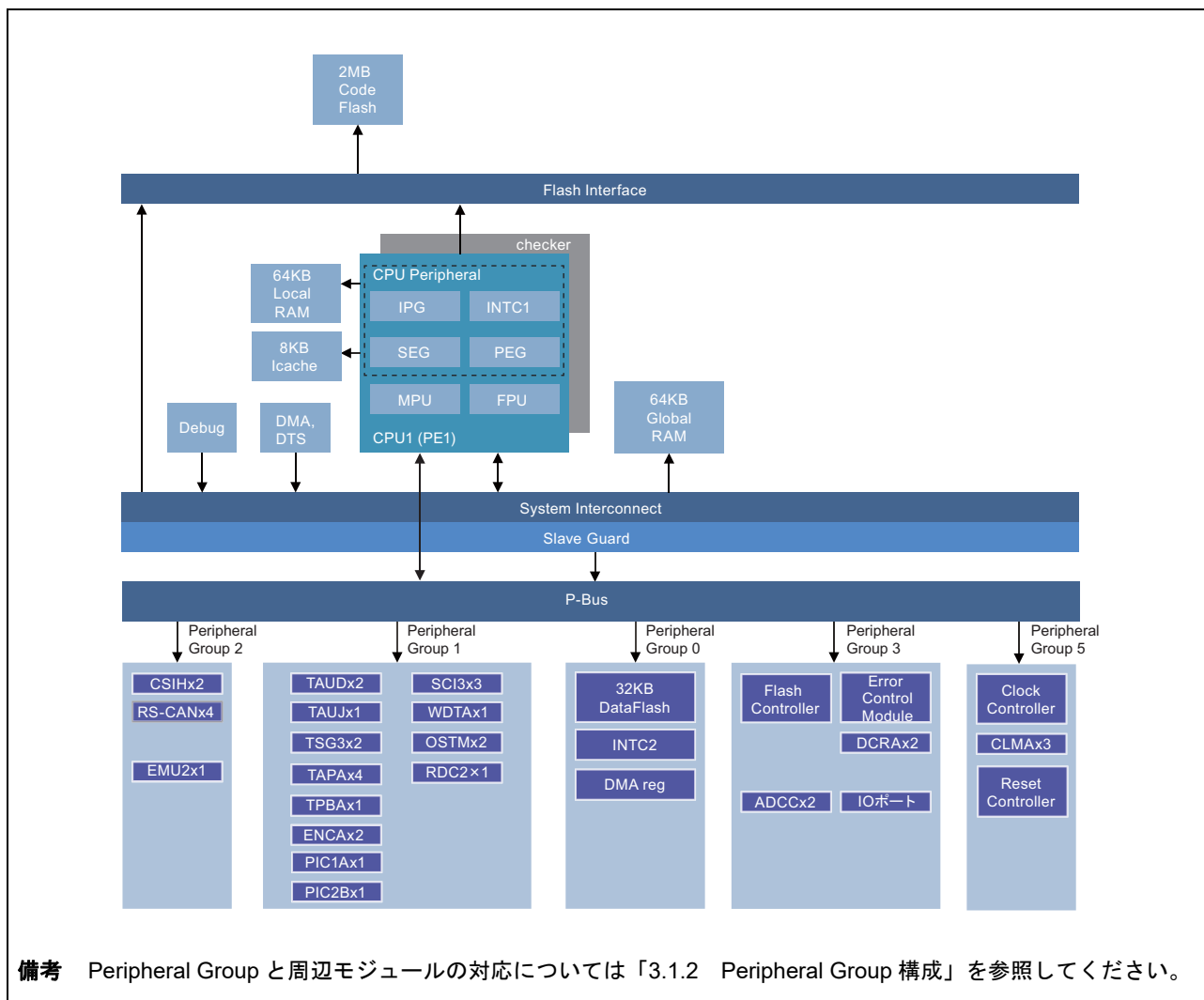


図 1.2 RH850/C1M 内部ブロック図

1.2 端子接続図 (Top View)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20		
A	VSS (N.C.)	VSS	P2_4	P2_2	P2_0	P7_3	P7_0	RDC20S1	RDC20S4	RDC21S1	RDC21S4	ADCC0100 RDC20SIN MNT	ADCC0103 RDC20CO SMNT	ADCC0120 RDC21SIN MNT	ADCC0123	A0VSS	A0VCC	A0VREFH	A1VCC	A1VSS (N.C.)	A	
B	EVCC	EVCC	P2_5	P2_3	P2_1	P7_4	P7_1	RDC20S3	RDC20S2	RDC21S3	RDC21S2	ADCC0102	ADCC0113	ADCC0121 RDC21CO SMNT	ADCC0130	ADCC0133	A0VSS	ADCC1100	A1VSS	A1VSS	B	
C	P2_7	P2_6	VSS	VSS	VSS	EVCC	P7_2	RDC20CO M	RVSS	RVCC	RDC21CO M	ADCC0111	ADCC0122	ADCC0131	ADCC0132	A0VSS	A0VSS	ADCC1101	A1VSS	A1VREFH	C	
D	P1_1	P1_0	VCC				EVCC	RDC20RS O	RVSS	RVCC	RDC21RS O	ADCC0101	ADCC0110	ADCC0112				ADCC1110	ADCC1102	ADCC1111	D	
E	P1_4	P1_3	P1_2															ADCC1112	ADCC1120	ADCC1121	E	
F	P1_7	P1_6	P1_5															ADCC1122	ADCC1131	ADCC1132	F	
G	P1_9	P1_8	VSS	VSS													ADCC1130	ADCC1140	ADCC1141	ADCC1142	G	
H	P1_11	P1_10	EVCC	EVCC													ADCC1160	ADCC1150	ADCC1151	ADCC1152	H	
J	P1_15	P1_14	P1_13	P1_12				VDD	VSS	VSS	VDD						ADCC1162	ADCC1161	P3_7	P3_6	J	
K	P0_3	P0_2	P0_1	P0_0				VDD	VSS	VSS	VDD						P3_3	P3_4	P3_5	P3_2	K	
L	P6_3	P6_2	P0_4	P6_1				VDD	VSS	VSS	VDD						P5_8	P5_9	P3_1	P3_0	L	
M	P0_8	P0_7	P0_5	P0_6				VDD	VSS	VSS	VDD						VSS	VSS	P5_7	P5_6	M	
N	P6_0	P0_9	VSS	VSS													VDD	VSS	P5_4	P5_5	N	
P	P6_4	P6_6	VDD	VDD													VDD	VSS	P5_2	P5_3	P	
R	ERROROUT T_M	P6_7	P6_5															EVCC	P5_0	P5_1	R	
T	AUDRST	AUDATA2	AUDSYNC																P4_13	P4_14	P4_15	T
U	AUDCK	AUDATA3	AUDATA0				PLLVC	PLLVS	VSS	VDD	VDD	VSS	VSS	VDD					P4_10	P4_11	P4_12	U
V	AUDATA1	VDD	VDD	VSS	DCUTDO	DCUTCK	DCURDY	VSS	VSS	VSS	VSS	EVCC	VSS	VDD	P4_2	P4_5	EVCC	VSS	VDD	P4_9	V	
W	VDD	VDD	VSS	VSS	DCUTMS	DCUTDI	VSS	NMI	MD0	SYSVCC	VSS	P0_11	P0_13	P0_15	P4_1	P4_4	P4_7	VSS	VSS	VDD	W	
Y	VDD (N.C.)	VSS	X2	VSS	X1	VCC	EPTVOUT	DCUTRST	RESET	MD1	FLMODE	P0_10	P0_12	P0_14	P4_0	P4_3	P4_6	P4_8	VSS	VSS (N.C.)	Y	

図 1.3 C1H 端子接続図

注意

電源名 (N.C.) と記載されている端子は、開放であってもマイコン動作には影響を及ぼしませんが、電源安定の観点から (N.C.) 記載が無い同名の電源に接続することを推奨します。また半田ボールは必ず基板に実装してください。なお、電源名 (N.C.) と記載されている端子は、(N.C.) 記載が無い同名の電源と内部で接続されています。

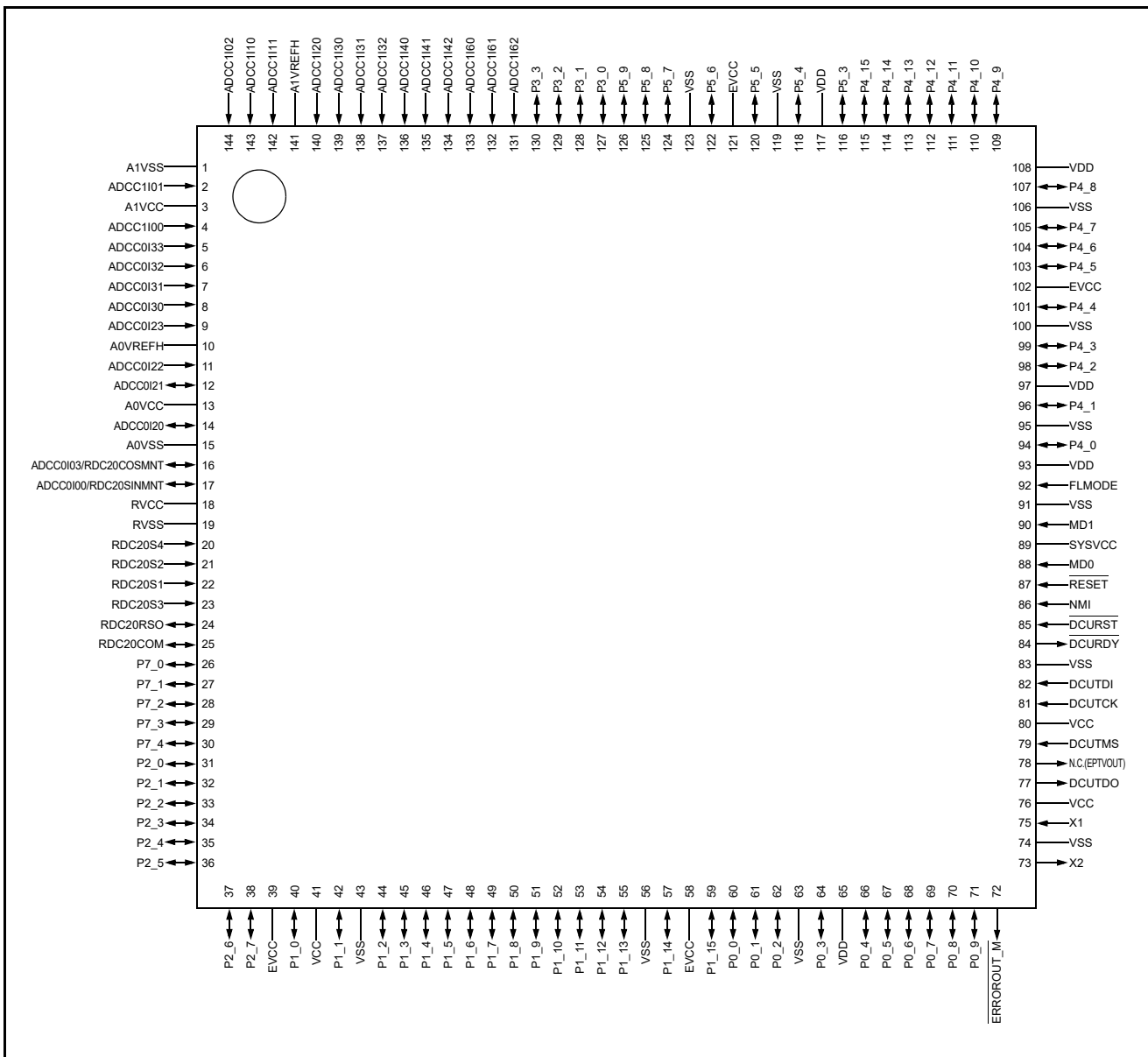


图 1.4 C1M 端子接続図

表 1.4 C1H ピン配置 (1/7)

ピン番号	端子名
1A	VSS
1B	EVCC
1C	P2_7 / TAUD0I15 / TAUD0O15 / TAPA0WN / INTP7
1D	P1_1 / TAUD1I1 / TAUD1O1 / ENCA0TIN1 / TSG3007
1E	P1_4 / TAUD1I4 / TAUD1O4 / TAUD1O5 / TSG3005
1F	P1_7 / TAUD1I7 / TAUD1O7 / TSG3006
1G	P1_9 / TAUD1I9 / TAUD1O9 / TSG3103
1H	P1_11 / TAUD1I11 / TAUD1O11 / TSG3102
1J	P1_15 / TAUD1I15 / TAUD1O15 / TSG3107
1K	P0_3 / TAUD0I3 / TAUD0O3 / TAUJ0I3 / TAUJ0O3 / CAN2RX / INTP0
1L	P6_3
1M	P0_8 / TAUD0I8 / TAUD0O8 / TAUJ0I3 / TAUJ0O3 / ENCA0EC / INTP5
1N	P6_0
1P	P6_4 / TAPA0ESO
1R	$\overline{\text{ERROROUT_M}}$
1T	$\overline{\text{AUDRST}}$
1U	AUDCK
1V	AUDATA1
1W	VDD
1Y	VDD
2A	VSS
2B	EVCC
2C	P2_6 / TAUD0I14 / TAUD0O14 / TAPA0WP / INTP6
2D	P1_0 / TAUD1I0 / TAUD1O0 / TAUD1O1 / ENCA0TIN0 / TSG3000 / TAPA2ESO
2E	P1_3 / TAUD1I3 / TAUD1O3 / TSG3003
2F	P1_6 / TAUD1I6 / TAUD1O6 / TAUD1O7 / TSG3004
2G	P1_8 / TAUD1I8 / TAUD1O8 / TAUD1O9 / TSG3101
2H	P1_10 / TAUD1I10 / TAUD1O10 / TAUD1O11 / TSG3105
2J	P1_14 / TAUD1I14 / TAUD1O14 / TAUD1O15 / TSG3100 / TAPA3ESO
2K	P0_2 / TAUD0I2 / TAUD0O2 / TAUJ0I2 / TAUJ0O2
2L	P6_2
2M	P0_7 / TAUD0I7 / TAUD0O7 / TAUJ0I2 / TAUJ0O2 / ENCA0E1 / INTP4
2N	P0_9 / TAUD0I9 / TAUD0O9 / INTP6
2P	P6_6 / TAUD1I5 / TAUD1O5 / $\overline{\text{ADCC1TRG}}$
2R	P6_7 / TAUD1I7 / TAUD1O7 / $\overline{\text{ADCC0TRG}}$
2T	AUDATA2
2U	AUDATA3
2V	VDD
2W	VDD
2Y	VSS
3A	P2_4 / TAUD0I12 / TAUD0O12 / TAPA0VP / INTP4

表 1.4 C1H ピン配置 (2/7)

ピン番号	端子名
3B	P2_5 / TAUD0I13 / TAUD0O13 / TAPA0VN / INTP5
3C	VSS
3D	VCC
3E	P1_2 / TAUD1I2 / TAUD1O2 / TAUD1O3 / TSG3001
3F	P1_5 / TAUD1I5 / TAUD1O5 / TSG3002
3G	VSS
3H	EVCC
3J	P1_13 / TAUD1I13 / TAUD1O13 / TSG3106
3K	P0_1 / TAUD0I1 / TAUD0O1 / TAUJ0I1 / TAUJ0O1
3L	P0_4 / TAUD0I4 / TAUD0O4 / CAN2TX / INTP1
3M	P0_5 / TAUD0I5 / TAUD0O5 / TAUJ0I0 / TAUJ0O0 / INTP2
3N	VSS
3P	VDD
3R	P6_5 / TAPA1ESO
3T	AUDSYNC
3U	AUDATA0
3V	VDD
3W	VSS
3Y	X2
4A	P2_2 / TAUD0I10 / TAUD0O10 / TAPA0UP / INTP2
4B	P2_3 / TAUD0I11 / TAUD0O11 / TAPA0UN / INTP3
4C	VSS
4G	VSS
4H	EVCC
4J	P1_12 / TAUD1I12 / TAUD1O12 / TAUD1O13 / TSG3104
4K	P0_0 / TAUD0I0 / TAUD0O0 / TAUJ0I0 / TAUJ0O0
4L	P6_1
4M	P0_6 / TAUD0I6 / TAUD0O6 / TAUJ0I1 / TAUJ0O1 / ENCA0E0 / INTP3
4N	VSS
4P	VDD
4V	VSS
4W	VSS
4Y	VSS
5A	P2_0 / TAUD0I3 / TAUD0O3 / INTP0
5B	P2_1 / TAUD0I4 / TAUD0O4 / INTP1
5C	VSS
5V	DCUTDO / LPDO / FLSCI3TX
5W	DCUTMS
5Y	X1
6A	P7_3 / SCI0RXD
6B	P7_4 / SCI0TXD

表 1.4 C1H ピン配置 (3/7)

ピン番号	端子名
6C	EVCC
6V	DCUTCK / LPDCLK / FLSCI3SCK
6W	DCUTDI / LPDI / FLSCI3RX
6Y	VCC
7A	P7_0 / ENCA1TIN0
7B	P7_1 / ENCA1TIN1
7C	P7_2
7D	EVCC
7U	PLLVCC
7V	$\overline{\text{DCURDY}} / \text{LPDCLKOUT}$
7W	VSS
7Y	EPTVOUT
8A	RDC20S1
8B	RDC20S3
8C	RDC20COM
8D	RDC20RSO
8U	PLLVSS
8V	VSS
8W	NMI
8Y	$\overline{\text{DCUTRST}} / \overline{\text{LPDRST}}$
9A	RDC20S4
9B	RDC20S2
9C	RVSS
9D	RVSS
9J	VDD
9K	VDD
9L	VDD
9M	VDD
9U	VSS
9V	VSS
9W	MD0
9Y	$\overline{\text{RESET}}$
10A	RDC21S1
10B	RDC21S3
10C	RVCC
10D	RVCC
10J	VSS
10K	VSS
10L	VSS
10M	VSS
10U	VDD

表 1.4 C1H ピン配置 (4/7)

ピン番号	端子名
10V	VSS
10W	SYSVCC
10Y	MD1
11A	RDC21S4
11B	RDC21S2
11C	RDC21COM
11D	RDC21RSO
11J	VSS
11K	VSS
11L	VSS
11M	VSS
11U	VDD
11V	VSS
11W	VSS
11Y	FLMODE
12A	ADCC0I00 / RDC20SINMNT
12B	ADCC0I02
12C	ADCC0I11
12D	ADCC0I01
12J	VDD
12K	VDD
12L	VDD
12M	VDD
12U	VSS
12V	EVCC
12W	P0_11 / TAUD0I11 / TAUD0O11 / TAPA1UN
12Y	P0_10 / TAUD0I10 / TAUD0O10 / TAPA1UP / INTP7
13A	ADCC0I03 / RDC20COSMNT
13B	ADCC0I13
13C	ADCC0I22
13D	ADCC0I10
13U	VSS
13V	VSS
13W	P0_13 / TAUD0I13 / TAUD0O13 / TAPA1VN
13Y	P0_12 / TAUD0I12 / TAUD0O12 / TAPA1VP
14A	ADCC0I20 / RDC21SINMNT
14B	ADCC0I21 / RDC21COSMNT
14C	ADCC0I31
14D	ADCC0I12
14U	VDD
14V	VDD

表 1.4 C1H ピン配置 (5/7)

ピン番号	端子名
14W	P0_15 / TAUD0I15 / TAUD0O15 / TAPA1WN
14Y	P0_14 / TAUD0I14 / TAUD0O14 / TAPA1WP
15A	ADCC0I23
15B	ADCC0I30
15C	ADCC0I32
15V	P4_2 / CSIH1SC
15W	P4_1 / CSIH1SO
15Y	P4_0 / CSIH1SI
16A	A0VSS
16B	ADCC0I33
16C	A0VSS
16V	P4_5 / CAN0RX / CSIH1CSS2
16W	P4_4 / CAN3TX / CSIH0RYI / CSIH0RYO / CSIH1CSS1
16Y	P4_3 / CAN3RX / CSIH0SSI / CSIH1CSS0
17A	A0VCC
17B	A0VSS
17C	A0VSS
17G	ADCC1I30
17H	ADCC1I60
17J	ADCC1I62
17K	P3_3 / TAUD1I7 / TAUD1O7 / TAPA2ESO
17L	P5_8 / SCI2RXD
17M	VSS
17N	VDD
17P	VDD
17V	EVCC
17W	P4_7 / CSIH0SI / CSIH1SSI
17Y	P4_6 / CAN0TX / CSIH1CSS3
18A	A0VREFH
18B	ADCC1I00
18C	ADCC1I01
18D	ADCC1I10
18E	ADCC1I12
18F	ADCC1I22
18G	ADCC1I40
18H	ADCC1I50
18J	ADCC1I61
18K	P3_4 / ADCC0TRG / TAPA3ESO
18L	P5_9 / SCI2TXD
18M	VSS
18N	VSS

表 1.4 C1H ピン配置 (6/7)

ピン番号	端子名
18P	VSS
18R	EVCC
18T	P4_13 / ENCA1EC / CSIH0CSS3
18U	P4_10 / TPBA00 / CSIH0CSS0
18V	VSS
18W	VSS
18Y	P4_8 / CSIH0SO / CSIH1RYI / CSIH1RYO
19A	A1VCC
19B	A1VSS
19C	A1VSS
19D	ADCC1I02
19E	ADCC1I20
19F	ADCC1I31
19G	ADCC1I41
19H	ADCC1I51
19J	P3_7
19K	P3_5 / TAPA0ESO
19L	P3_1 / TAUD0I7 / TAUD0O7 / ADCC0TRG
19M	P5_7 / SCI2SCK
19N	P5_4 / RLIN20RX / SCI1TXD
19P	P5_2 / RLIN21RX / SCI0SCK
19R	P5_0 / RLIN22RX / SCI0RXD
19T	P4_14 / CAN1RX
19U	P4_11 / ENCA1E0 / CSIH0CSS1
19V	VDD
19W	VSS
19Y	VSS
20A	A1VSS
20B	A1VSS
20C	A1VREFH
20D	ADCC1I11
20E	ADCC1I21
20F	ADCC1I32
20G	ADCC1I42
20H	ADCC1I52
20J	P3_6 / TAPA1ESO
20K	P3_2 / TAUD1I5 / TAUD1O5 / ADCC1TRG
20L	P3_0 / TAUD0I5 / TAUD0O5
20M	P5_6 / TPBA10 / TAPA0ESO
20N	P5_5 / RLIN20TX / SCI1SCK / ERROROUT_C
20P	P5_3 / RLIN21TX / SCI1RXD

表 1.4 C1H ピン配置 (7/7)

ピン番号	端子名
20R	P5_1 / RLIN22TX / SCI0TXD
20T	P4_15 / CAN1TX / ERROROUT_C
20U	P4_12 / ENCA1E1 / CSIH0CSS2
20V	P4_9 / CSIH0SC
20W	VDD
20Y	VSS

表 1.5 C1M ピン配置 (1/4)

ピン番号	端子名
1	A1VSS
2	ADCC1I01
3	A1VCC
4	ADCC1I00
5	ADCC0I33
6	ADCC0I32
7	ADCC0I31
8	ADCC0I30
9	ADCC0I23
10	A0VREFH
11	ADCC0I22
12	ADCC0I21
13	A0VCC
14	ADCC0I20
15	A0VSS
16	ADCC0I03 / RDC20COSMNT
17	ADCC0I00 / RDC20SINMNT
18	RVCC
19	RVSS
20	RDC20S4
21	RDC20S2
22	RDC20S1
23	RDC20S3
24	RDC20RSO
25	RDC20COM
26	P7_0 / ENCA1TIN0
27	P7_1 / ENCA1TIN1
28	P7_2
29	P7_3 / SCI0RXD
30	P7_4 / SCI0TXD
31	P2_0 / TAUD0I3 / TAUD0O3 / INTP0
32	P2_1 / TAUD0I4 / TAUD0O4 / INTP1
33	P2_2 / TAUD0I10 / TAUD0O10 / TAPA0UP / INTP2
34	P2_3 / TAUD0I11 / TAUD0O11 / TAPA0UN / INTP3
35	P2_4 / TAUD0I12 / TAUD0O12 / TAPA0VP / INTP4
36	P2_5 / TAUD0I13 / TAUD0O13 / TAPA0VN / INTP5
37	P2_6 / TAUD0I14 / TAUD0O14 / TAPA0WP / INTP6
38	P2_7 / TAUD0I15 / TAUD0O15 / TAPA0WN / INTP7
39	EVCC
40	P1_0 / TAUD1I0 / TAUD1O0 / TAUD1O1 / ENCA0TIN0 / TSG30O0 / TAPA2ESO
41	VCC

表 1.5 C1M ピン配置 (2/4)

ピン番号	端子名
42	P1_1 / TAUD1I1 / TAUD1O1 / ENCA0TIN1 / TSG3007
43	VSS
44	P1_2 / TAUD1I2 / TAUD1O2 / TAUD1O3 / TSG3001
45	P1_3 / TAUD1I3 / TAUD1O3 / TSG3003
46	P1_4 / TAUD1I4 / TAUD1O4 / TAUD1O5 / TSG3005
47	P1_5 / TAUD1I5 / TAUD1O5 / TSG3002
48	P1_6 / TAUD1I6 / TAUD1O6 / TAUD1O7 / TSG3004
49	P1_7 / TAUD1I7 / TAUD1O7 / TSG3006
50	P1_8 / TAUD1I8 / TAUD1O8 / TAUD1O9 / TSG3101
51	P1_9 / TAUD1I9 / TAUD1O9 / TSG3103
52	P1_10 / TAUD1I10 / TAUD1O10 / TAUD1O11 / TSG3105
53	P1_11 / TAUD1I11 / TAUD1O11 / TSG3102
54	P1_12 / TAUD1I12 / TAUD1O12 / TAUD1O13 / TSG3104
55	P1_13 / TAUD1I13 / TAUD1O13 / TSG3106
56	VSS
57	P1_14 / TAUD1I14 / TAUD1O14 / TAUD1O15 / TSG3100 / TAPA3ESO
58	EVCC
59	P1_15 / TAUD1I15 / TAUD1O15 / TSG3107
60	P0_0 / TAUD0I0 / TAUD0O0 / TAUJ0I0 / TAUJ0O0
61	P0_1 / TAUD0I1 / TAUD0O1 / TAUJ0I1 / TAUJ0O1
62	P0_2 / TAUD0I2 / TAUD0O2 / TAUJ0I2 / TAUJ0O2
63	VSS
64	P0_3 / TAUD0I3 / TAUD0O3 / TAUJ0I3 / TAUJ0O3 / CAN2RX / INTP0
65	VDD
66	P0_4 / TAUD0I4 / TAUD0O4 / CAN2TX / INTP1
67	P0_5 / TAUD0I5 / TAUD0O5 / TAUJ0I0 / TAUJ0O0 / INTP2
68	P0_6 / TAUD0I6 / TAUD0O6 / TAUJ0I1 / TAUJ0O1 / ENCA0E0 / INTP3
69	P0_7 / TAUD0I7 / TAUD0O7 / TAUJ0I2 / TAUJ0O2 / ENCA0E1 / INTP4
70	P0_8 / TAUD0I8 / TAUD0O8 / TAUJ0I3 / TAUJ0O3 / ENCA0EC / INTP5
71	P0_9 / TAUD0I9 / TAUD0O9 / INTP6
72	ERROROUT_M
73	X2
74	VSS
75	X1
76	VCC
77	DCUTDO / LPDO / FLSCI3TX
78	N.C.(EPTVOUT)
79	DCUTMS
80	VCC
81	DCUTCK / LPDCLK / FLSCI3SCK
82	DCUTDI / LPDI / FLSCI3RX

表 1.5 C1M ピン配置 (3/4)

ピン番号	端子名
83	VSS
84	DCURDY / LPDCLKOUT
85	DCUTRST / LPDRST
86	NMI
87	RESET
88	MD0
89	SYSVCC
90	MD1
91	VSS
92	FLMODE
93	VDD
94	P4_0 / CSIH1SI
95	VSS
96	P4_1 / CSIH1SO
97	VDD
98	P4_2 / CSIH1SC
99	P4_3 / CAN3RX / CSIH0SSI / CSIH1CSS0
100	VSS
101	P4_4 / CAN3TX / CSIH0RYI / CSIH0RYO / CSIH1CSS1
102	EVCC
103	P4_5 / CAN0RX / CSIH1CSS2
104	P4_6 / CAN0TX / CSIH1CSS3
105	P4_7 / CSIH0SI / CSIH1SSI
106	VSS
107	P4_8 / CSIH0SO / CSIH1RYI / CSIH1RYO
108	VDD
109	P4_9 / CSIH0SC
110	P4_10 / TPBA00 / CSIH0CSS0
111	P4_11 / ENCA1E0 / CSIH0CSS1
112	P4_12 / ENCA1E1 / CSIH0CSS2
113	P4_13 / ENCA1EC / CSIH0CSS3
114	P4_14 / CAN1RX
115	P4_15 / CAN1TX / ERROROUT_C
116	P5_3 / SCI1RXD
117	VDD
118	P5_4 / SCI1TXD
119	VSS
120	P5_5 / SCI1SCK / ERROROUT_C
121	EVCC
122	P5_6 / TAPA0ESO
123	VSS

表 1.5 C1M ピン配置 (4/4)

ピン番号	端子名
124	P5_7 / SCI2SCK
125	P5_8 / SCI2RXD
126	P5_9 / SCI2TXD
127	P3_0 / TAUD0I5 / TAUD0O5
128	P3_1 / TAUD0I7 / TAUD0O7 / $\overline{\text{ADCC0TRG}}$
129	P3_2 / TAUD1I5 / TAUD1O5 / $\overline{\text{ADCC1TRG}}$
130	P3_3 / TAUD1I7 / TAUD1O7 / TAPA2ESO
131	ADCC1I62
132	ADCC1I61
133	ADCC1I60
134	ADCC1I42
135	ADCC1I41
136	ADCC1I40
137	ADCC1I32
138	ADCC1I31
139	ADCC1I30
140	ADCC1I20
141	A1VREFH
142	ADCC1I11
143	ADCC1I10
144	ADCC1I02

第2章 端子

2.1 ポート機能

2.1.1 特長

ポートグループ

この製品には下記番号のポートグループがあります。

表 2.1 本製品のポートグループ

製品		グループ数	グループ名
C1H	BGA252	8	P0 ~ P7
C1M	QFP144	7	P0 ~ P5, P7

ポートグループインデクス n

この章を通して、個々のポートグループはインデクス“n”（n=0～7）により識別されます。たとえば、Pn 端子のポートモードコントロールレジスタは PMCn です。

レジスタベースアドレス

ポートのベースアドレスを以下の表に示します。

ポートのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2.2 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PORT_base>	FFC1 0000 _H

2.1.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、「**2.1.2.1 用語**」を参照してください。

2.1.2.1 用語

この章で使用されている用語について説明します。

- ポートグループ
1つのポートグループは最大で16本の端子から成り、ポートグループにより端子数が異なります。同じポートグループの端子は、同じポートコントロールレジスタで制御されます。
- ポートモード/ポート
ポートモードでは、端子は汎用入出力として機能します。汎用入出力機能を「ポート」と呼び、**Pn_m**の名称で示します。たとえば、**P0_7**はポートグループ0のポート7を示します。
- 兼用モード
兼用モードでは、端子は周辺機能の入出力として機能します。1つの端子に複数の周辺機能を兼用しており、使用する周辺機能を制御レジスタで選択できます。

2.1.2.2 端子機能概要

端子は、3つのモードで動作することができます。

- ポートモード (PMnCn.PMCn_m = 0)
ポートモードでは、端子は汎用入出力ポートとして動作します。
PMn.PMn_m で入力/出力を選択します。
- S/W I/O 制御兼用モード (PMnCn.PMCn_m = 1、PIPCn.PIPCn_m = 0)
S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力/出力の選択は、S/W による PMn.PMn_m コントロールビットの設定によって行われます。
- 直接 I/O 制御兼用モード (PMnCn.PMCn_m = 1、PIPCn.PIPCn_m = 1)
直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力/出力が直接制御されます。

レジスタ設定の概要は表 2.3 に示します。

表 2.3 端子機能の設定 (概要)

モード	ビット			I/O
	PMnCn_m	PMn_m	PIPCn_m	
ポートモード	0	0	0/1	出力モード
		1	0/1	入力モード ^{注1}
S/W I/O 制御兼用モード	1	0	0	出力モード
		1	0	入力モード ^{注2}
直接 I/O 制御兼用モード		0/1	1	兼用機能による制御 ^{注2}

注 1. 入力バッファを必ず許可 (PIPCn_m = 1) してください。

注 2. 兼用モードの入力端子として使用する場合、必ず PIBCn_m = 0 に設定してください。

端子が兼用モード (PMnCn.PMCn_m = 1) の場合、最大 7 つの異なる兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

- S/W I/O 制御兼用モード (PIPCn.PIPCn_m = 0) :
 - 出力 (PMn_m = 0) : ALT-OUT1 ~ ALT-OUT7
 - 入力 (PMn_m = 1) : ALT-IN1 ~ ALT-IN7
- 直接 I/O 制御兼用モード (PIPCn.PIPCn_m = 1) :
 - ALT-OUT1 ~ ALT-OUT7、ALT-IN1 ~ ALT-IN7 の入出力は、兼用機能によって直接選択されます。

表 2.4 兼用モード選択の概要 (PM_{Cn}.PM_{Cn_m} = 1)

機能	レジスタ				I/O
	PFCAE	PFCE	PFC	PM ^{注1}	
兼用出力モード 1 (ALT-OUT1)	0	0	0	0	O
兼用入力モード 1 (ALT-IN1)	0	0	0	1	I
兼用出力モード 2 (ALT-OUT2)	0	0	1	0	O
兼用入力モード 2 (ALT-IN2)	0	0	1	1	I
兼用出力モード 3 (ALT-OUT3)	0	1	0	0	O
兼用入力モード 3 (ALT-IN3)	0	1	0	1	I
兼用出力モード 4 (ALT-OUT4)	0	1	1	0	O
兼用入力モード 4 (ALT-IN4)	0	1	1	1	I
兼用出力モード 5 (ALT-OUT5)	1	0	0	0	O
兼用入力モード 5 (ALT-IN5)	1	0	0	1	I
兼用出力モード 6 (ALT-OUT6)	1	0	1	0	O
兼用入力モード 6 (ALT-IN6)	1	0	1	1	I
兼用出力モード 7 (ALT-OUT7)	1	1	0	0	O
兼用入力モード 7 (ALT-IN7)	1	1	0	1	I

注 1. PIP_{Cn}.PIP_{Cn_m} = 1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PMは無視されません。

端子が兼用モード (PM_{Cn}.PM_{Cn_m} = 1) の場合、複数の兼用機能の 1 つを PFC_{Cn}、PFCE_{Cn}、PFCAE_{Cn} レジスタによって選択します。

2.1.2.3 端子データ入力/出力

データの入力/出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

出力データ

ポートモード (PMcn.PMCn_m = 0) では Pn.Pn_m の値が Pn_m 端子から出力されます。

入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、ポートレジスタの関連ビット Pn.Pn_m の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リードモードの違いを表 2.5 に示します。

表 2.5 PPRn_m リード値

PMC n_m	PM n_m	PIBC n_m	PIPC n_m	モード	PPRn_m リード値
0	1	0	X	ポート入力、入力バッファ禁止	Pn.Pn_m ビット
		1		ポート入力、入力バッファ許可	Pn_m 端子
	0	X	ポートプッシュプル出力	Pn.Pn_m ビット ^{注1}	
1	1	X	0	S/W I/O 制御兼用入力	Pn_m 端子
	0			S/W I/O 制御兼用出力	兼用機能内部出力信号 ^{注1}
	X	1	直接 I/O 制御兼用モード	兼用モードでの入出力ポート： <ul style="list-style-type: none"> • 入力：Pn_m 端子 • 出力：兼用機能からの出力信号^{注1} 	

注 1. PBDCn_m = 1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

表 2.5 に示す各制御レジスタの効果：

- PMcn.PMCn_m
このビットは、ポートモード (PMcn_m = 0) または兼用モード (PMcn_m = 1) を選択します。
- PMn.PMn_m
このビットは、ポートモード (PMcn_m = 0) と S/W I/O 制御兼用モード (PMcn_m = 1、PIPCn_m = 0) 時に入力 (PMn_m = 1) または出力 (PMn_m = 0) を選択します。
- PIBCn.PIBCn_m
このビットは、入力ポートモード (PMcn_m = 0 と PMn_m = 1) 時に入力バッファを使用不可 (PIBCn_m = 0) または使用許可 (PIBCn_m = 1) を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。
- PIPcn.PIPcn_m
このビットは、S/W I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。
- PBDCn.PBDCn_m
出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

Pn レジスタへのライト

ポートモード (PMCN.PMCn_m=0) 時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは2つの方法で書き換えることができます。

- Pn レジスタへの直接ライト
新しいデータは Pn レジスタに直接ライトすることができます。
- 間接的な Pn レジスタへのビット操作 (set/reset/not)
Pn レジスタへのビット操作 (set/reset/not) は2つのレジスタを使って間接的に可能です。
 - ポートセット/リセットレジスタ PSRn
PSRn.PSRn_(m+16) ビット = 1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。
つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。
 - ポートノットレジスタ PNOTn
PNOTn.PNOTn_m = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。

2.1.3 ポートタイプ

端子機能の全体構成を図 2.1 に示します。ポートブロックの詳細は、図 2.2 を参照してください。

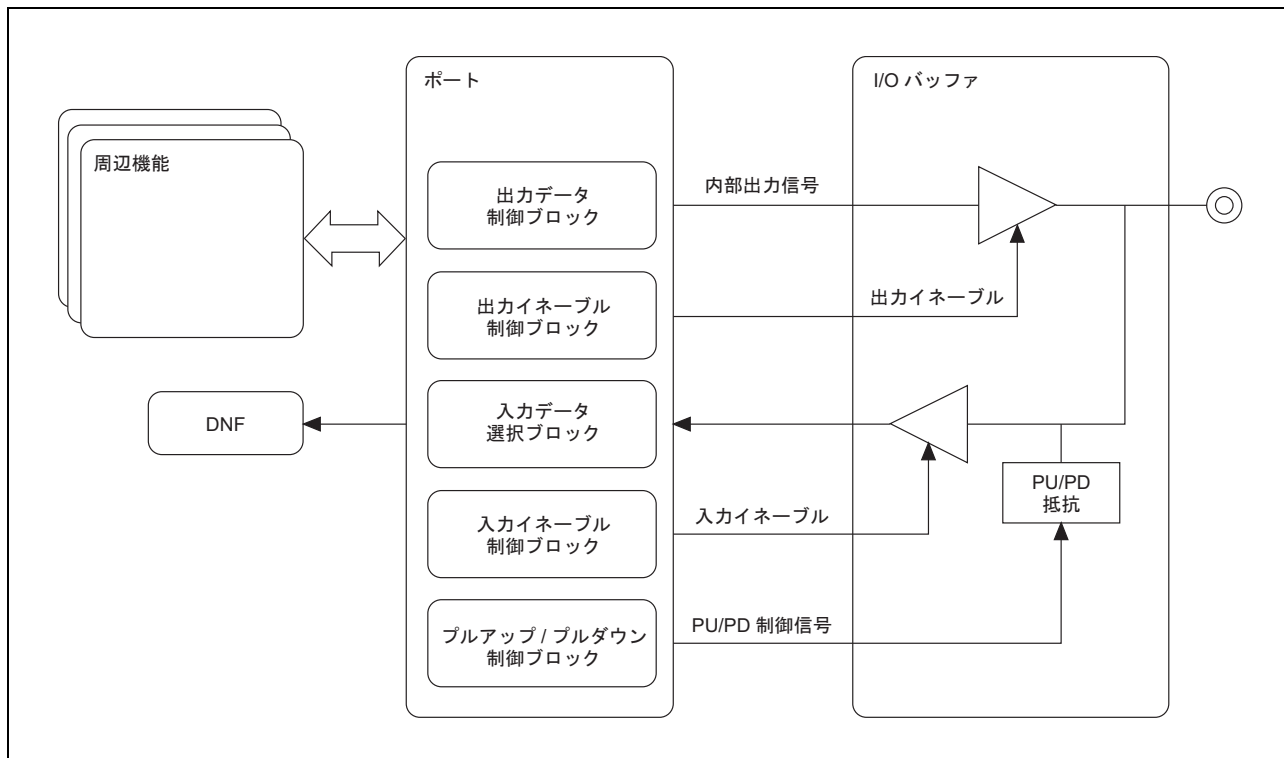


図 2.1 端子全体構成ブロック図

ポートの制御論理を図 2.2 に示します。実際の回路を表現するものではありません。

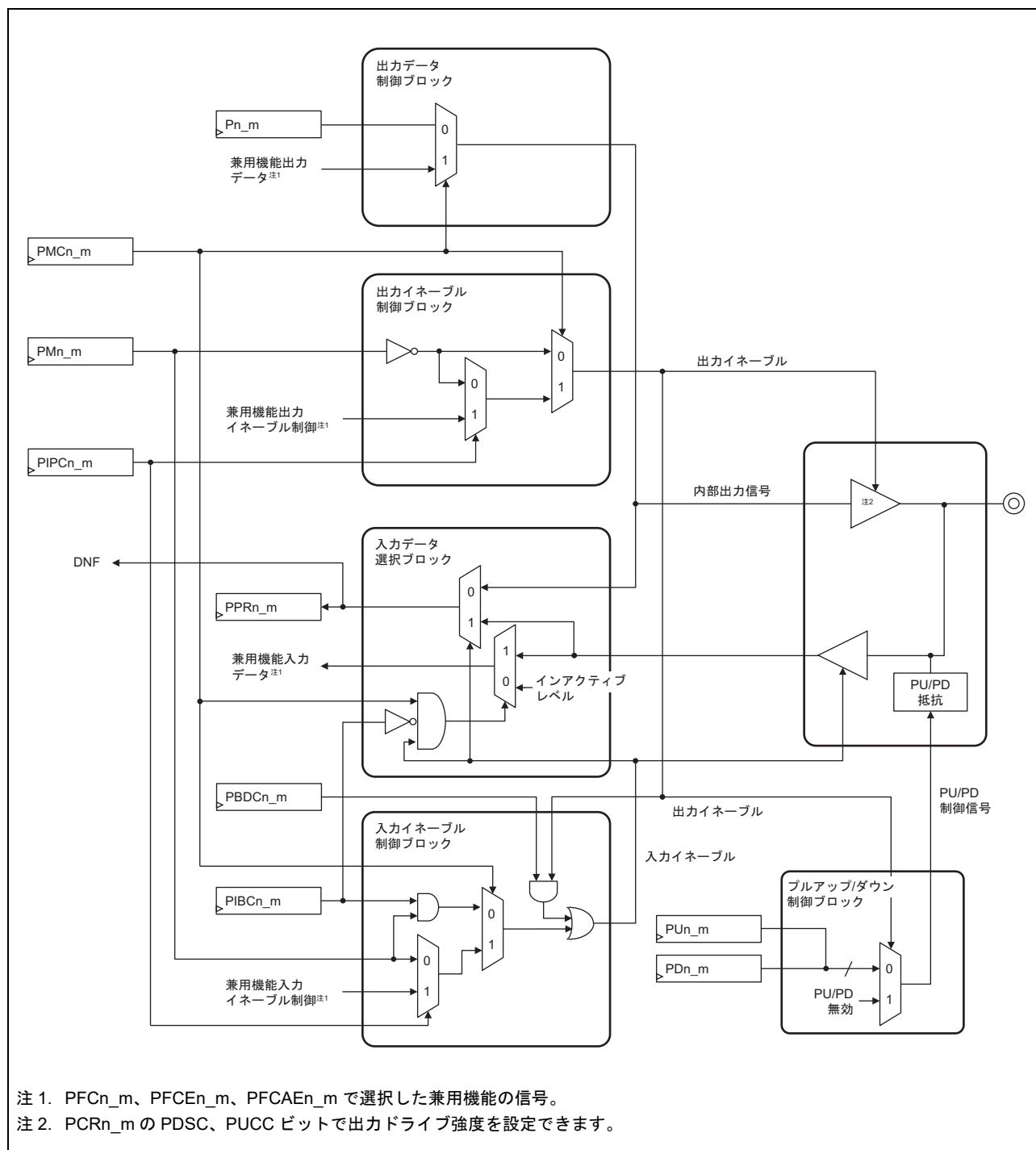


図 2.2 ポート制御論理

2.1.4 ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 2.1.4.2 端子機能の設定
- 2.1.4.3 端子データ入力/出力
- 2.1.4.4 電気的特性の設定
- 2.1.4.5 端子単位のレジスタ

2.1.4.1 概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

表 2.6 ポートグループコンフィグレーションレジスタ

レジスタ名	記号	レジスタ設定単位	アドレス
ポートレジスタ	Pn	ポートグループ単位	<PORT_base> + 0000 _H + n × 40 _H
ポートセット/リセットレジスタ	PSRn	ポートグループ単位	<PORT_base> + 0004 _H + n × 40 _H
ポートノットレジスタ	PNOTn	ポートグループ単位	<PORT_base> + 0008 _H + n × 40 _H
ポート端子リードレジスタ	PPRn	ポートグループ単位	<PORT_base> + 000C _H + n × 40 _H
ポートモードレジスタ	PMn	ポートグループ単位	<PORT_base> + 0010 _H + n × 40 _H
ポートモードコントロールレジスタ	PMCn	ポートグループ単位	<PORT_base> + 0014 _H + n × 40 _H
ポート機能コントロールレジスタ	PFCn	ポートグループ単位	<PORT_base> + 0018 _H + n × 40 _H
ポート機能コントロール拡張レジスタ	PFCEn	ポートグループ単位	<PORT_base> + 001C _H + n × 40 _H
ポートモードセット/リセットレジスタ	PMSRn	ポートグループ単位	<PORT_base> + 0020 _H + n × 40 _H
ポートモードコントロールセット/リセットレジスタ	PMCSRn	ポートグループ単位	<PORT_base> + 0024 _H + n × 40 _H
ポート機能コントロール追加拡張レジスタ	PFCAEn	ポートグループ単位	<PORT_base> + 0028 _H + n × 40 _H
ポート入力バッファコントロールレジスタ	PIBCn	ポートグループ単位	<PORT_base> + 4000 _H + n × 40 _H
ポート双方向コントロールレジスタ	PBDCn	ポートグループ単位	<PORT_base> + 4004 _H + n × 40 _H
ポート IP コントロールレジスタ	PIPCn	ポートグループ単位	<PORT_base> + 4008 _H + n × 40 _H
プルアップオプションレジスタ	PU _n	ポートグループ単位	<PORT_base> + 400C _H + n × 40 _H
プルダウンオプションレジスタ	PD _n	ポートグループ単位	<PORT_base> + 4010 _H + n × 40 _H
ポートコントロールレジスタ	PCR _{n,m}	端子単位	<PORT_base> + 2000 _H + n × 40 _H + m × 4 _H

備考 n: ポートグループ番号
m: ポートグループ内のビット番号

ベースアドレス

PORT_n のベースアドレス <PORT_base> は、「2.1.1 特長」のレジスタベースアドレスで定義しています。

レジスタリセット後の値

リセット解除後の値はポートに依存します。リセット後の値については、以降のレジスタ説明ではなく、「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」に記載します。

2.1.4.2 端子機能の設定

(1) PMCN — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCN_15	PMCN_14	PMCN_13	PMCN_12	PMCN_11	PMCN_10	PMCN_9	PMCN_8	PMCN_7	PMCN_6	PMCN_5	PMCN_4	PMCN_3	PMCN_2	PMCN_1	PMCN_0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.7 PMCN レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PMCN_[15:0]	対応する端子の動作モードを指定します。 0: ポートモード 1: 兼用モード

(2) PMCSRn — ポートモードコントロールセット/リセットレジスタ

このレジスタは、PMCn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。

PMCSRn の上位 16 ビットは、対応する PMCSRn の下位 16 ビットのデータを PMCn.PMCn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。
ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は PMCn レジスタの値がリードされます。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMCSR n_31	PMCSR n_30	PMCSR n_29	PMCSR n_28	PMCSR n_27	PMCSR n_26	PMCSR n_25	PMCSR n_24	PMCSR n_23	PMCSR n_22	PMCSR n_21	PMCSR n_20	PMCSR n_19	PMCSR n_18	PMCSR n_17	PMCSR n_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCSR n_15	PMCSR n_14	PMCSR n_13	PMCSR n_12	PMCSR n_11	PMCSR n_10	PMCSR n_9	PMCSR n_8	PMCSR n_7	PMCSR n_6	PMCSR n_5	PMCSR n_4	PMCSR n_3	PMCSR n_2	PMCSR n_1	PMCSR n_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.8 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PMCSRn_ [31:16]	対応する PMCSRn_m の下位ビットの値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMCn_m は PMCSRn_m に依存しません。 1 : PMCn_m は PMCSRn_m の値になります。 例： PMCSRn.PMCSRn_31 = 1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15 ~ 0	PMCSRn_ [15:0]	対応する上位ビットの PMCSRn_(m+16) が 1 の場合、PMCn_m の値を指定するデータビットです。 0 : PMCn_m = 0 1 : PMCn_m = 1

(3) PIPc_n — ポート IP コントロールレジスタ

このレジスタは、P_n_m 端子の入出力方向がポートモードレジスタ PM_n.PM_n_m と兼用機能のどちらによって制御されるかを指定します。

P_n_m 端子が兼用モード (PM_n.PM_n_m = 1) となり、兼用機能が直接 P_n_m の入出力方向を制御する場合、PIPc_n.PIPc_n_m は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PM_n.PM_n_m の設定が無効となります。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPc _n 15	PIPc _n 14	PIPc _n 13	PIPc _n 12	PIPc _n 11	PIPc _n 10	PIPc _n 9	PIPc _n 8	PIPc _n 7	PIPc _n 6	PIPc _n 5	PIPc _n 4	PIPc _n 3	PIPc _n 2	PIPc _n 1	PIPc _n 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.9 PIPc_n レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIPc _n [15:0]	入出力モードを指定します。 0 : 入出力モードは PM _n .PM _n _m (S/W 入出力制御) によって制御します。 1 : 入出力モードは周辺機能 (直接入出力制御) によって制御します。

(4) PM_n — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PM _n ₁₅	PM _n ₁₄	PM _n ₁₃	PM _n ₁₂	PM _n ₁₁	PM _n ₁₀	PM _n ₉	PM _n ₈	PM _n ₇	PM _n ₆	PM _n ₅	PM _n ₄	PM _n ₃	PM _n ₂	PM _n ₁	PM _n ₀
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.10 PM_n レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PM _n [15:0]	対応する端子の入力/出力モードを指定します。 0 : 出力モード (出力許可) 1 : 入力モード (出力禁止)

備考

1. 端子を入力ポートモード (PM_n.PM_n_m = 0 かつ PM_n.PM_n_m = 1) で使用する場合は、入力バッファを許可する必要があります (PIBc_n.PIBc_n_m = 1)。
2. リセット後は PIPc_n.PIPc_n_m = 0 なので、PM_n_m はポートモード (PM_n.PM_n_m = 0) と兼用モード (PM_n.PM_n_m = 1) の入出力方向を指定します。

(5) PMSRn — ポートモードセット/リセットレジスタ

このレジスタは、PMn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。

PMSRn の上位 16 ビットは、対応する PMSRn の下位 16 ビットのデータを PMn.PMn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。
ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は PMn レジスタの値がリードされます。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn _31	PMSRn _30	PMSRn _29	PMSRn _28	PMSRn _27	PMSRn _26	PMSRn _25	PMSRn _24	PMSRn _23	PMSRn _22	PMSRn _21	PMSRn _20	PMSRn _19	PMSRn _18	PMSRn _17	PMSRn _16
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn _15	PMSRn _14	PMSRn _13	PMSRn _12	PMSRn _11	PMSRn _10	PMSRn _9	PMSRn _8	PMSRn _7	PMSRn _6	PMSRn _5	PMSRn _4	PMSRn _3	PMSRn _2	PMSRn _1	PMSRn _0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.11 PMSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PMSRn_[31:16]	対応する PMSRn_m の下位ビットの値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMn_m は PMSRn_m に依存しません。 1 : PMn_m は PMSRn_m の値になります。 例： PMSRn.PMSRn_31 = 1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15 ~ 0	PMSRn_[15:0]	対応する上位ビットの PMSRn_(m+16) が 1 の場合、PMn_m 値を指定するデータビットです。 0 : PMn_m = 0 1 : PMn_m = 1

(6) PIBCn — ポート入力バッファコントロールレジスタ

このレジスタは、端子を入力ポートモード（PMnCn.PMCn_m = 0 かつ PMn.PMn_m = 1）で使用する場合、入力バッファの許可/禁止を設定します。ただし、S/W I/O 制御兼用モード（PMnCn.PMCn_m = 1 かつ PIPCn.PIPCn_m = 0）や直接 I/O 制御兼用モード（PMnCn.PMCn_m = 1 かつ PIPCn.PIPCn_m = 1）の入力端子として使用する場合は、PIBCn.PIBCn_m = 0 に設定してください。

また、端子が双方向モード（PBDCn.PBDCn_m = 1）のとき、PIBCn.PIBCn_m の設定で兼用出力レベルループバック機能と端子出力レベルリード機能を選択できます。詳細は、「2.1.4.3 端子データ入力/出力 (1) PBDCn — ポート双方向コントロールレジスタ」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.12 PIBCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIBCn_[15:0]	入力ポートモード時、入力バッファの許可/禁止を設定します。 0: 入力バッファ禁止 1: 入力バッファ許可

備考

入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。

(7) PFCn — ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.13 PFCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMnCn.PMCn_m = 1)」を参照してください。

(8) PFCEn — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn_15	PFCEn_14	PFCEn_13	PFCEn_12	PFCEn_11	PFCEn_10	PFCEn_9	PFCEn_8	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.14 PFCEn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMcn.PMCn_m = 1)」を参照してください。

(9) PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCn、PFCEn レジスタとともに、端子の兼用機能を指定します。いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAEn_15	PFCAEn_14	PFCAEn_13	PFCAEn_12	PFCAEn_11	PFCAEn_10	PFCAEn_9	PFCAEn_8	PFCAEn_7	PFCAEn_6	PFCAEn_5	PFCAEn_4	PFCAEn_3	PFCAEn_2	PFCAEn_1	PFCAEn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.15 PFCAEn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMcn.PMCn_m = 1)」を参照してください。

2.1.4.3 端子データ入力/出力

(1) PBDCn — ポート双方向コントロールレジスタ

このレジスタは、端子を出力モードで使用時に入力バッファも許可し、ポートを双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

- 兼用出力レベルループバック機能
Pn_m 端子を兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 0 に設定すると、兼用出力機能による実際の端子出力レベルを、兼用入力側にループバックすることができます。たとえば、第1兼用機能による端子出力レベルを、同じ第1兼用の入力側にループバックすることができます。また、PPRn.PPRn_m で端子出力レベルをリードすることもできます。
- 端子出力レベルリード機能
Pn_m 端子を汎用出力ポート機能もしくは兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 1 に設定すると、PPRn.PPRn_m で実際の端子出力レベルをリードすることができます。兼用出力モードであっても、端子出力レベルが兼用入力側にループバックすることはありません。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn_15	PBDCn_14	PBDCn_13	PBDCn_12	PBDCn_11	PBDCn_10	PBDCn_9	PBDCn_8	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.16 PBDCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PBDCn_[15:0]	対応する端子の双方向モードの許可/禁止を指定します。 0: 双方向モードを禁止 1: 双方向モードを許可

(2) PPRn — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。リードする値は、「表 2.5 PPRn_m リード値」に示すように、制御設定によって異なります。

アクセス 16 ビット単位でリードのみ可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 2.17 PPRn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

(3) Pn — ポートレジスタ

このレジスタは、出力ポートモード時 (PMcN.PMcN_m = 0、PMn.PMn_m = 0) に、ポート Pn_m から出力される Pn.Pn_m データを設定/保持します。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.18 Pn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	Pn_[15:0]	m 端子 (m = 0 ~ 15) の出力レベルを設定します。 0 : ローレベル出力 1 : ハイレベル出力

備考

このレジスタのビットは、さまざまな手段で操作できます。「2.1.2.3 端子データ入力/出力」の「Pn レジスタへのライト」を参照してください。

(4) PNOTn — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせず Pn の Pn_m ビットを反転できます。

アクセス 16 ビット単位でライト可能です。常に 0000_H としてリードされます。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn_15	PNOTn_14	PNOTn_13	PNOTn_12	PNOTn_11	PNOTn_10	PNOTn_9	PNOTn_8	PNOTn_7	PNOTn_6	PNOTn_5	PNOTn_4	PNOTn_3	PNOTn_2	PNOTn_1	PNOTn_0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 2.19 PNOTn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0 : Pn.Pn_m を反転しない (Pn_m → Pn_m) 1 : Pn.Pn_m を反転する (Pn_m → Pn_m)

(5) PSRn — ポートセット/リセットレジスタ

このレジスタは、Pn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。

PSRn の上位 16 ビットは、対応する PSRn の下位 16 ビットのデータを Pn.Pn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は Pn レジスタの値がリードされます。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.20 PSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PSRn_[31:16]	<p>対応する PSRn_m の下位ビットの値を Pn_m にライトするかどうかを指定するイネーブルビットです。</p> <p>0 : Pn_m は PSRn_m に依存しません。</p> <p>1 : Pn_m は PSRn_m の値になります。</p> <p>例： PSRn.PSRn_31 = 1 の場合，PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。</p>
15 ~ 0	PSRn_[15:0]	<p>対応する上位ビットの PSRn_(m+16) が 1 の場合、Pn_m 値を指定するデータビットです。</p> <p>0 : Pn_m = 0</p> <p>1 : Pn_m = 1</p>

2.1.4.4 電気的特性の設定

(1) PUn — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.21 PUn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルアップ抵抗を接続しない 1: 内蔵プルアップ抵抗を接続する

備考

- 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
- 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。

(2) PDn — プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1H ポートレジスタ一覧」および「2.2.2.1 C1M ポートレジスタ一覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.22 PDn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルダウン抵抗を接続しない 1: 内蔵プルダウン抵抗を接続する

備考

- 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
- 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。

2.1.4.5 端子単位のレジスタ

(1) PCRn_m — ポートコントロールレジスタ

このレジスタ経由でポートグループ単位の各レジスタにアクセスすることができ、1端子の全機能を1つのPCRn_mレジスタで設定可能です。たとえば、PCRn_mレジスタのビット6に1をセットすると、PMcnレジスタのビットmも1になります。

アクセス 32ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 C1Hポートレジスタ一覧」および「2.2.2.1 C1Mポートレジスタ一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PUC	PDSC	—	—	—	—	PU	PD	PBDC	PIBC
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	P	—	—	—	PPR	—	PMC	PIPC	PM	—	PFCAE	PFCE	PFC
R/W	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 2.23 PCRn_m レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25	PUC	PUC PDSC 出力時のドライブ強度を選択 0 0 : Low 0 1 : High 1 0 : Mid 上記以外は設定禁止
24	PDSC	
23 ~ 20	予約ビット	
19	PU	PU _n レジスタのビット m と同じ機能
18	PD	PD _n レジスタのビット m と同じ機能
17	PBDC	PBDC _n レジスタのビット m と同じ機能
16	PIBC	PIBC _n レジスタのビット m と同じ機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
12	P	P _n レジスタのビット m と同じ機能
11 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
8	PPR	PPR _n レジスタのビット m と同じ機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6	PMC	PMC _n レジスタのビット m と同じ機能
5	PIPC	PIPC _n レジスタのビット m と同じ機能
4	PM	PM _n レジスタのビット m と同じ機能
3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
2	PFCAE	PFCAE _n レジスタのビット m と同じ機能
1	PFCE	PFCE _n レジスタのビット m と同じ機能
0	PFC	PFC _n レジスタのビット m と同じ機能

2.1.4.6 ポート設定のフロー例

ポート設定のフローチャート例を次に示します。ポート設定のフローチャート例を次に示します。各フローチャートの「ポートフィルタの設定」については、「**2.3.2.4 周辺機能 DNF の設定手順**」を参照してください。

注 意

ポートを S/W I/O 制御兼用モードで使用するとき、本紙のポート設定フロー例では一時的に兼用入力モードになる場合があるので注意してください。下図の例では、PMcn_m = 1 に設定してから、PMn_m = 0 に設定するまでの期間が該当します。

(1) 一括設定

一括でポートグループを設定する場合のフローチャート例を次に示します。

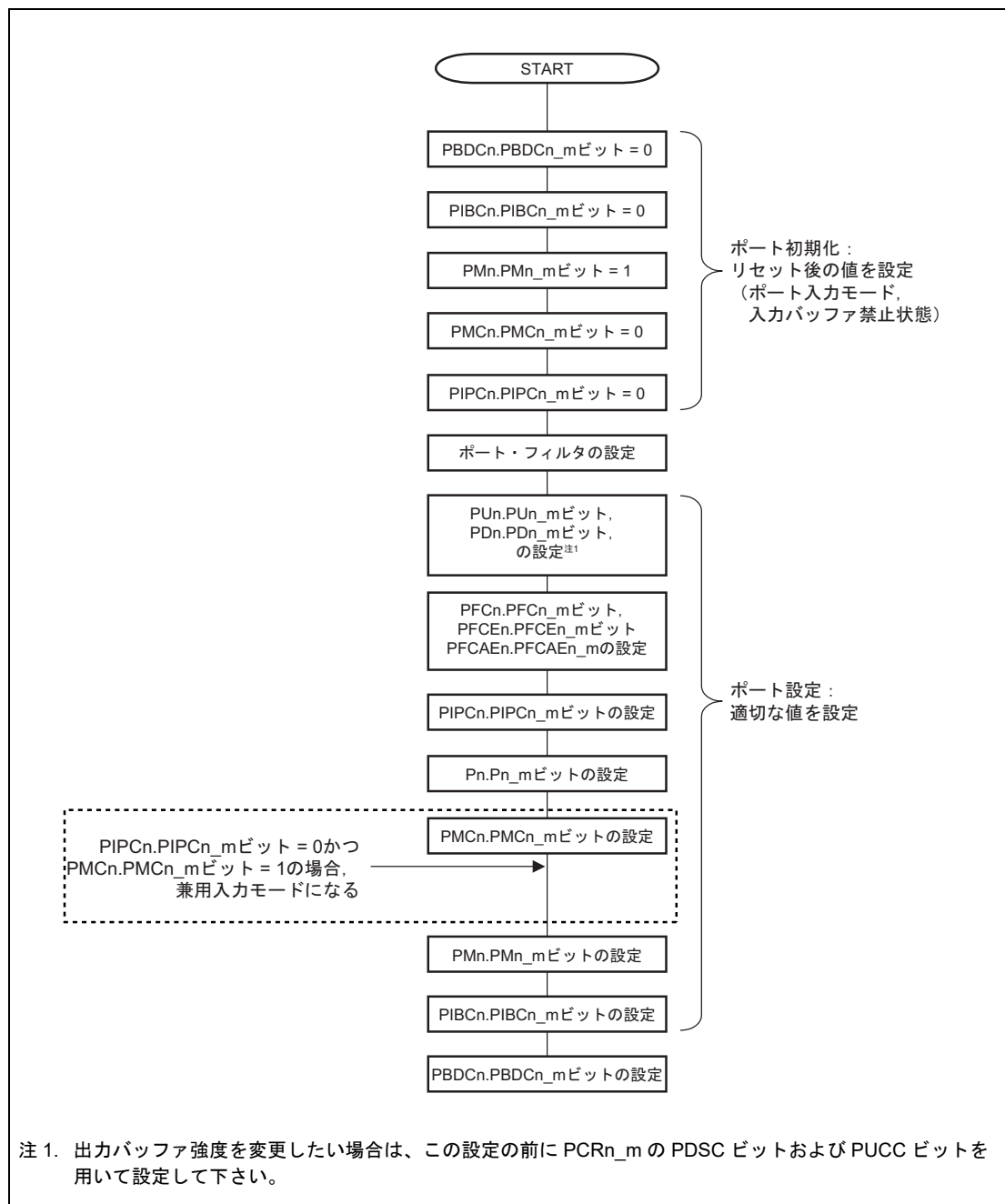


図 2.3 ポート設定のフローチャート例（一括設定の場合）

(2) 個別設定

個別でポートを設定する場合のフローチャート例を次に示します。

また、PCRn_m レジスタを使用すれば、下図の設定範囲内の複数ビットを一括設定できます。

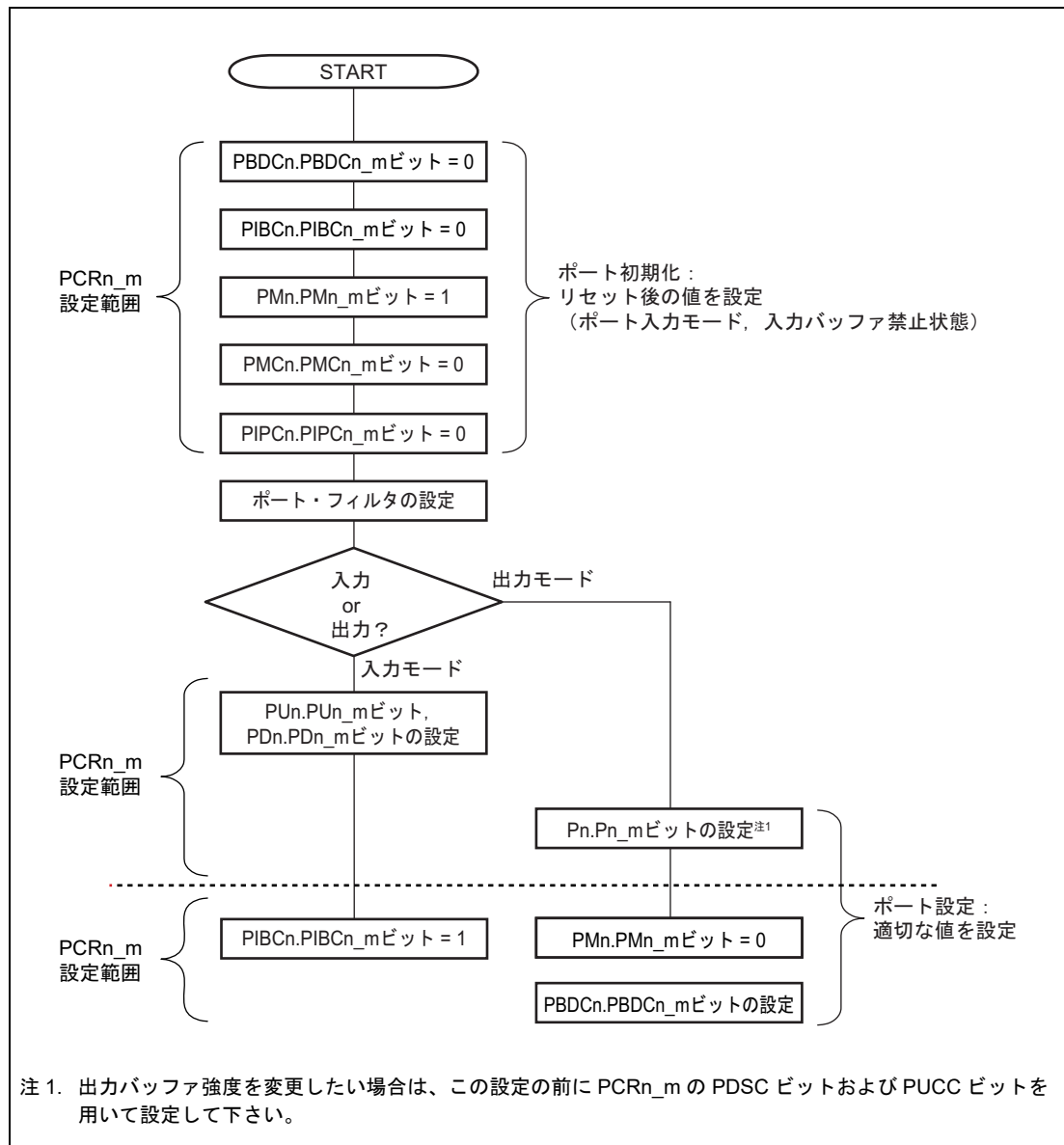


図 2.4 ポート設定のフローチャート例 (ポートモードの場合)

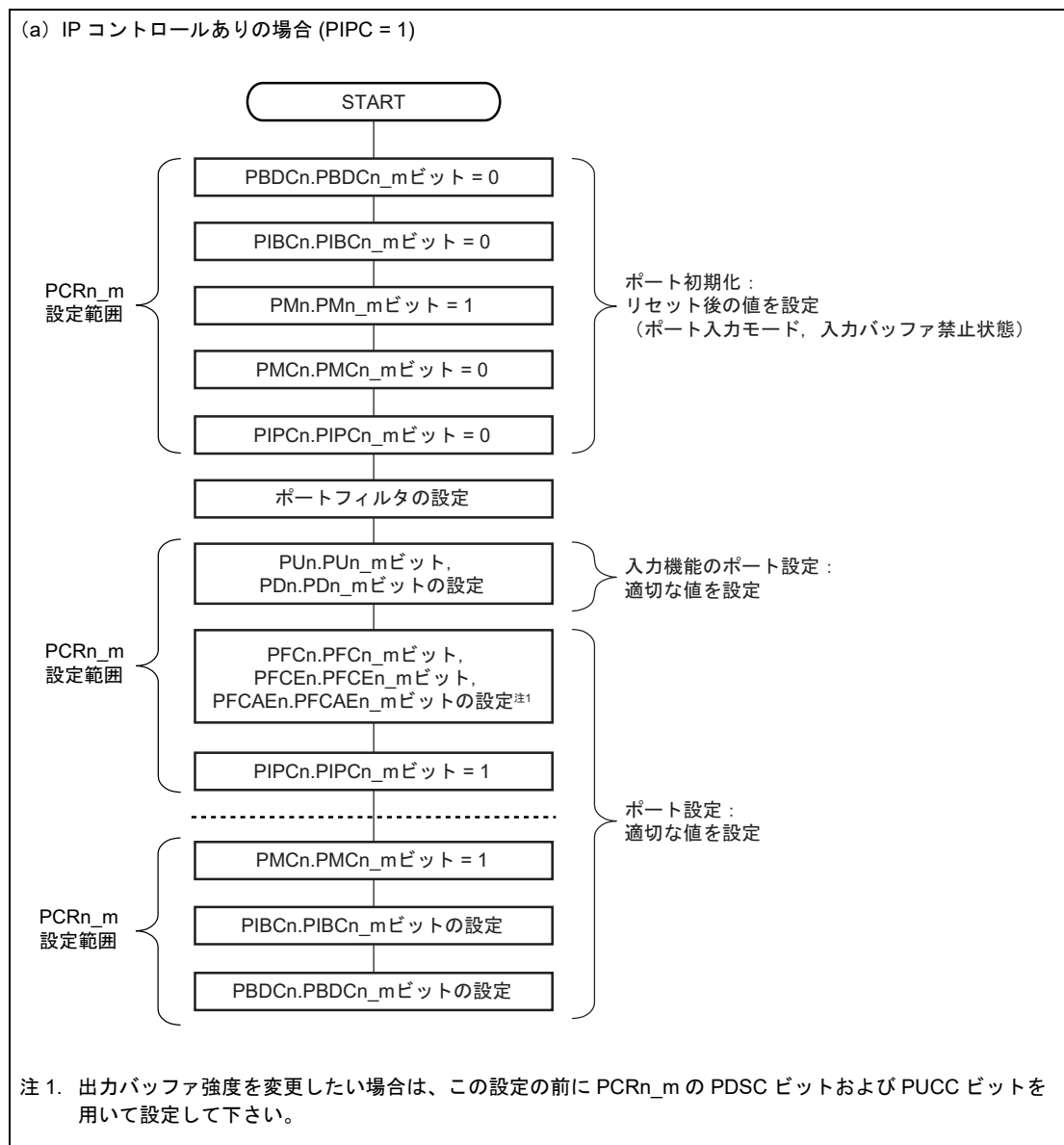


図 2.5 ポート設定のフローチャート例 (兼用モードの場合) (1/2)

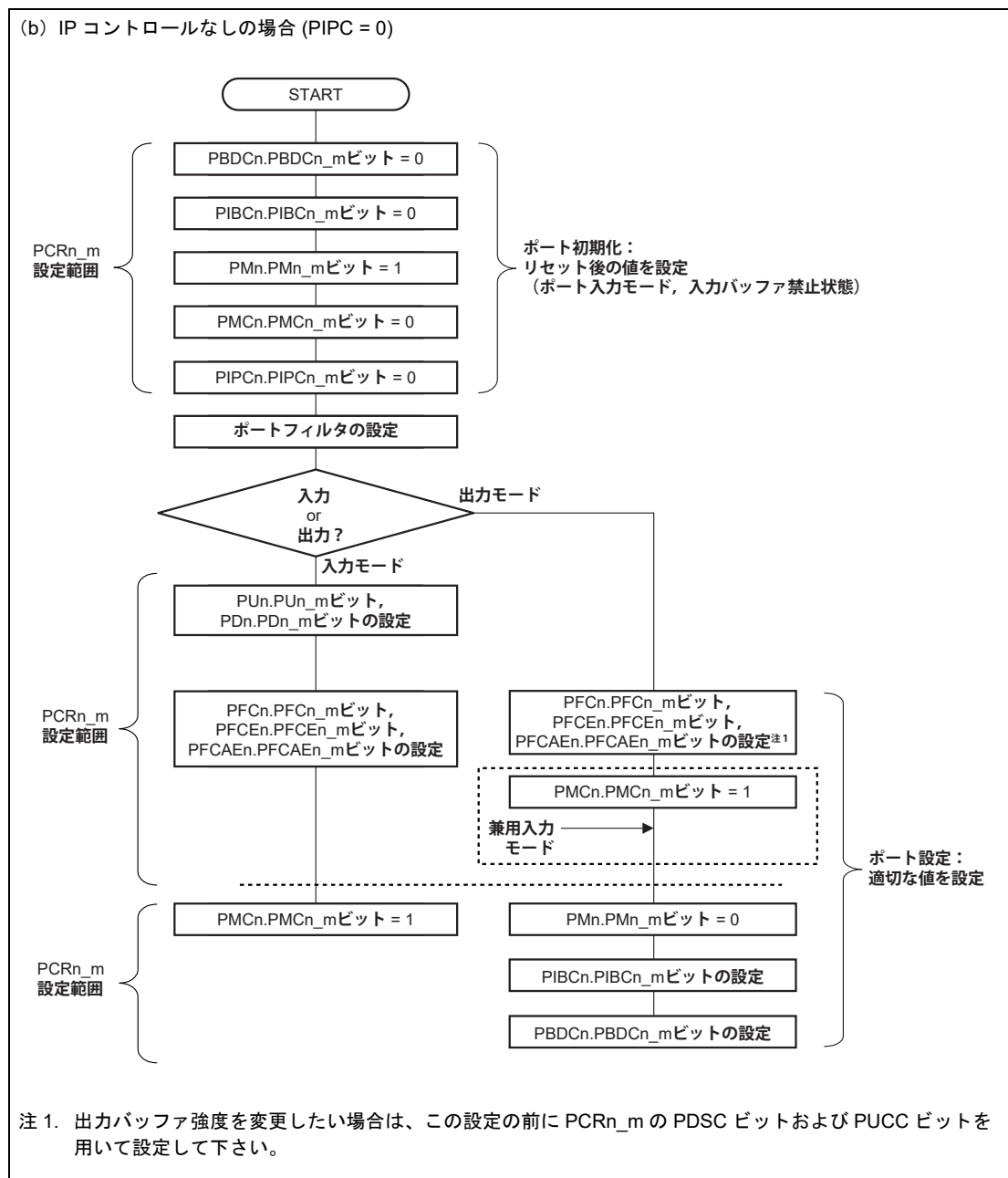


図 2.6 ポート設定のフローチャート例 (兼用モードの場合) (2/2)

2.1.5 機能選択

2.1.5.1 兼用機能使用時のレジスタ設定

端子の兼用機能を使用するとき、 $PMc_n_m = 1$ に設定し、 $PFCn_m$ 、 $PFCEn_m$ 、 $PFCAEn_m$ で兼用番号を選択してください。また、いくつかの周辺機能では、1つの兼用入出力機能を複数の端子に割り当てています。しかし、これらの兼用機能を、複数の端子で有効にすることは禁止です。

2.1.5.2 直接 I/O 制御兼用モードで使用する兼用機能

表 2.24 の兼用機能を使用するときは、直接 I/O 制御兼用モードに設定してください。 $PIPCn_m = 1$ に設定すると、周辺機能がバッファの入力、出力許可を制御するため、 PMn_m の設定値は無視されます。なお、**表 2.24** 以外の兼用機能を使用するときは、 $PIPCn_m = 0$ に設定してください。

表 2.24 PIPC レジスタの設定が必要な端子一覧

分類	端子名	I/O	機能
SCIn (n = 0 ~ 2)	SCInRXD	I	受信データ入力
	SCInTXD	O	送信データ出力
	SCInSCK ^{注1}	I/O	シリアルクロック入出力
CSIHn (n = 0, 1)	CSIHnSO	O	送信データ出力
	CSIHnSC	I/O	シリアルクロック入出力
	CSIHnRYI/CSIHnRYO	I/O	ハンドシェイク信号入出力
TSG3n (n = 0, 1)	TSG3nO1	O	3相 PWM 出力 (Hi-Z 制御)
	TSG3nO2	O	
	TSG3nO3	O	
	TSG3nO4	O	
	TSG3nO5	O	
	TSG3nO6	O	
TAPAn (n = 0, 1) ^{注2}	TAPAn UN	O	3相 PWM 出力 (Hi-Z 制御)
	TAPAn UP	O	
	TAPAn VN	O	
	TAPAn VP	O	
	TAPAn WN	O	
	TAPAn WP	O	

注 1. RH850/C1M では SCIOCK の端子は対応していません。

注 2. RH850/C1M では TAPA1 の端子は対応していません。

2.1.5.3 ERROROUT_C 端子の設定

ERROROUT_C 端子のエラー出力機能を使用するときは、故障診断のために兼用出力レベルループバック機能を有効にしてください。

2.1.5.4 JTAG ポートの機能選択

JTAG ポートには複数のツール接続用の I/F を兼用しており、モード端子設定とオプションバイト設定の組み合わせにより I/F が決定します。動作モードがユーザブートモードの場合、オプションバイトの OPBT2 の設定で I/F を選択できます。それ以外の動作モードの場合 OPBT2 の設定は無効となり、各動作モードに対応した I/F が選択されます。詳細は「5.2 動作モード」を参照してください。

2.2 ポートグループ構成

2.2.1 C1H ポート機能

2.2.1.1 C1H ポートレジスタ一覧

各ポートの制御レジスタ詳細ビット配置について、表 2.25 ～表 2.32 に示します。ビットマップにおいて“○”は有効ビット、“—”は予約ビットを表します。予約ビットをリードするとリセット後の値を読み出します。ライトするときもリセット後の値を書き込んでください。

表 2.25 C1H ポートグループ0 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PORT	0	P0	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PSR0	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PPR0	R	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PM0	R/W	FFFF _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMC0	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFC0	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCE0	R/W	0000 _H	16	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCAE0	R/W	0000 _H	16	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PNOT0	W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMSR0	R/W	0000 FFFF _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PMCSR0	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PIBC0	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PBDC0	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT	PIPC0	R/W	0000 _H	16	○	○	○	○	○	○	—	—	—	—	—	—	—	—	—	—		
PORT	PU0	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT	PD0	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
						25	24	19	18	17	16	12	8	6	5	4	2	1	0		
						PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC		
PORT	0	PCR0_0	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_1	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_2	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_3	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_4	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_5	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_6	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_7	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_8	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_9	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	
PORT		PCR0_10	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR0_11	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	—	—	○	
PORT		PCR0_12	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	—	—	○	
PORT		PCR0_13	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	—	—	○	
PORT		PCR0_14	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	—	—	○	
PORT		PCR0_15	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	—	—	○	

表 2.26 C1H ポートグループ1 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考		
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
PORT	1	P1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
PORT		PSR1	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット	
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PPR1	R	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PM1	R/W	FFFF _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PMC1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PFC1	R/W	0000 _H	16	—	○	—	○	—	○	—	○	○	○	○	○	○	○	○	○	○		
PORT		PFCE1	R/W	0000 _H	16	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○		
PORT		PFCAE1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PNOT1	W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PMSR1	R/W	0000 FFFF _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PMCSR1	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PIBC1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PBDC1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT	PIPC1	R/W	0000 _H	16	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—		
PORT	PU1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
PORT	PD1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																	
						25	24	19	18	17	16	12	8	6	5	4	2	1	0				
						PUC	PDC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC				
PORT	1	PCR1_0	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○		
PORT		PCR1_1	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○		
PORT		PCR1_2	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PCR1_3	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PCR1_4	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PCR1_5	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PCR1_6	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PCR1_7	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PCR1_8	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PCR1_9	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—
PORT		PCR1_10	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	○
PORT		PCR1_11	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—
PORT		PCR1_12	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	○
PORT		PCR1_13	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—
PORT		PCR1_14	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	—	○	○	○	—	○
PORT		PCR1_15	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	—	○	○	○	—	—

表 2.29 C1H ポートグループ4 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PORT	4	P4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PSR4	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PPR4	R	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PM4	R/W	FFFF _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCE4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCAE4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PNOT4	W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMSR4	R/W	0000 FFFF _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PMCSR4	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PIBC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PBDC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT	PIPC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT	PU4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT	PD4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
						25	24	19	18	17	16	12	8	6	5	4	2	1	0		
						PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC		
PORT	4	PCR4_0	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_1	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_2	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_3	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_4	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_5	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_6	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_7	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_8	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_9	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_10	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_11	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_12	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_13	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_14	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR4_15	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	

表 2.30 C1H ポートグループ 5 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考	
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PORT	5	P5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○		
PORT		PSR5	R/W	0000 0000 _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PPR5	R	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○		
PORT		PM5	R/W	FFFF _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCE5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCAE5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PNOT5	W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMSR5	R/W	0000 FFFF _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PMCSR5	R/W	0000 0000 _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PIBC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PBDC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PIPC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	—	○	○	○	○	○	○	○	
PORT		PU5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
PORT		PD5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																
						25	24	19	18	17	16	12	8	6	5	4	2	1	0			
PORT	5	PCR5_0	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_1	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_2	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_3	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_4	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_5	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_6	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	○	○
PORT		PCR5_7	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_8	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_9	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

2.2.1.2 C1H 端子兼用機能一覧

各ポートの端子兼用機能一覧を、**表 2.33**～**表 2.40**に示します。表の“—”の記載は予約ですので、選択しないでください。

表 2.33 C1H ポートグループ 0 端子兼用機能一覧

ポート	汎用入出力 ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P0_0	IO	TAUD00	TAUD000	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	—	—
P0_1	IO	TAUD01	TAUD001	TAUJ01	TAUJ001	—	—	—	—	—	—	—	—	—	—
P0_2	IO	TAUD02	TAUD002	TAUJ02	TAUJ002	—	—	—	—	—	—	—	—	—	—
P0_3	IO	TAUD03	TAUD003	TAUJ03	TAUJ003	—	—	—	—	CAN2RX	CAN2TX	—	—	INTP0	—
P0_4	IO	TAUD04	TAUD004	—	—	—	—	—	—	—	—	—	—	INTP1	—
P0_5	IO	TAUD05	TAUD005	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	INTP2	—
P0_6	IO	TAUD06	TAUD006	TAUJ01	TAUJ001	ENCA0E0	—	—	—	—	—	—	—	INTP3	—
P0_7	IO	TAUD07	TAUD007	TAUJ02	TAUJ002	ENCA0E1	—	—	—	—	—	—	—	INTP4	—
P0_8	IO	TAUD08	TAUD008	TAUJ03	TAUJ003	ENCA0EC	—	—	—	—	—	—	—	INTP5	—
P0_9	IO	TAUD09	TAUD009	—	—	—	—	—	—	—	—	—	—	INTP6	—
P0_10	IO	TAUD010	TAUD010	—	TAPA1UP	—	—	—	—	—	—	—	—	INTP7	—
P0_11	IO	TAUD011	TAUD011	—	TAPA1UN	—	—	—	—	—	—	—	—	—	—
P0_12	IO	TAUD012	TAUD012	—	TAPA1VP	—	—	—	—	—	—	—	—	—	—
P0_13	IO	TAUD013	TAUD013	—	TAPA1VN	—	—	—	—	—	—	—	—	—	—
P0_14	IO	TAUD014	TAUD014	—	TAPA1WP	—	—	—	—	—	—	—	—	—	—
P0_15	IO	TAUD015	TAUD015	—	TAPA1WN	—	—	—	—	—	—	—	—	—	—

表 2.34 C1H ポートグループ 1 端子兼用機能一覧 (1/2)

ポート	汎用入出力 ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P1_0	IO	TAUD10	TAUD100	—	TAUD100	ENCA0TIN0	—	—	—	—	TSG3000	—	—	—	—
P1_1	IO	TAUD11	TAUD101	—	—	ENCA0TIN1	—	—	—	—	TSG3007	TAPA2ESO	—	—	—
P1_2	IO	TAUD12	TAUD102	—	TAUD103	—	—	—	—	—	TSG3001	—	—	—	—
P1_3	IO	TAUD13	TAUD103	—	—	—	—	—	—	—	TSG3003	—	—	—	—
P1_4	IO	TAUD14	TAUD104	—	TAUD105	—	—	—	—	—	TSG3005	—	—	—	—
P1_5	IO	TAUD15	TAUD105	—	—	—	—	—	—	—	TSG3002	—	—	—	—
P1_6	IO	TAUD16	TAUD106	—	TAUD107	—	—	—	—	—	TSG3004	—	—	—	—
P1_7	IO	TAUD17	TAUD107	—	—	—	—	—	—	—	TSG3006	—	—	—	—
P1_8	IO	TAUD18	TAUD108	—	TAUD109	—	—	—	—	—	TSG3101	—	—	—	—
P1_9	IO	TAUD19	TAUD109	—	—	—	—	—	—	—	TSG3103	—	—	—	—
P1_10	IO	TAUD110	TAUD110	—	TAUD111	—	—	—	—	—	TSG3105	—	—	—	—
P1_11	IO	TAUD111	TAUD111	—	—	—	—	—	—	—	TSG3102	—	—	—	—
P1_12	IO	TAUD112	TAUD112	—	TAUD113	—	—	—	—	—	TSG3104	—	—	—	—

表 2.34 C1H ポートグループ 1 端子兼用機能一覧 (2/2)

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P1_13	IO	TAUD1113	TAUD1O13	—	—	—	—	—	—	—	TSG31O6	—	—	—	—
P1_14	IO	TAUD1114	TAUD1O14	—	TAUD1O15	—	—	—	—	—	TSG31O0	TAPA3ESO	—	—	—
P1_15	IO	TAUD1115	TAUD1O15	—	—	—	—	—	—	—	TSG31O7	—	—	—	—

表 2.35 C1H ポートグループ 2 端子兼用機能一覧

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P2_0	IO	TAUD003	TAUD0O3	—	—	—	—	—	—	—	—	—	—	INTP0	—
P2_1	IO	TAUD004	TAUD0O4	—	—	—	—	—	—	—	—	—	—	INTP1	—
P2_2	IO	TAUD0010	TAUD0O10	—	TAPA0UP	—	—	—	—	—	—	—	—	INTP2	—
P2_3	IO	TAUD0011	TAUD0O11	—	TAPA0UN	—	—	—	—	—	—	—	—	INTP3	—
P2_4	IO	TAUD0012	TAUD0O12	—	TAPA0VP	—	—	—	—	—	—	—	—	INTP4	—
P2_5	IO	TAUD0013	TAUD0O13	—	TAPA0VN	—	—	—	—	—	—	—	—	INTP5	—
P2_6	IO	TAUD0014	TAUD0O14	—	TAPA0WP	—	—	—	—	—	—	—	—	INTP6	—
P2_7	IO	TAUD0015	TAUD0O15	—	TAPA0WN	—	—	—	—	—	—	—	—	INTP7	—

表 2.36 C1H ポートグループ 3 端子兼用機能一覧

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P3_0	IO	TAUD005	TAUD0O5	—	—	—	—	—	—	—	—	—	—	—	—
P3_1	IO	TAUD007	TAUD0O7	—	—	—	—	ADCC0TRG	—	—	—	—	—	—	—
P3_2	IO	TAUD115	TAUD1O5	—	—	—	—	ADCC1TRG	—	—	—	—	—	—	—
P3_3	IO	TAUD117	TAUD1O7	—	—	—	—	—	—	—	—	TAPA2ESO	—	—	—
P3_4	IO	—	—	—	—	—	—	ADCC0TRG	—	—	—	TAPA3ESO	—	—	—
P3_5	IO	—	—	—	—	—	—	—	—	—	—	TAPA0ESO	—	—	—
P3_6	IO	—	—	—	—	—	—	—	—	—	—	TAPA1ESO	—	—	—
P3_7	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 2.37 C1H ポートグループ 4 端子兼用機能一覧

ポート	汎入出力 ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P4_0	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSIH1SI	—
P4_1	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIH1SO
P4_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSIH1SC	CSIH1SC
P4_3	IO	—	—	—	—	—	—	—	—	CANRX	—	CSIH0SSI	—	—	CSIH1CSS0
P4_4	IO	—	—	—	—	—	—	—	—	—	CAN3TX	CSIH0RYI	—	—	CSIH1CSS1
P4_5	IO	—	—	—	—	—	—	—	—	CANRX	—	—	—	—	CSIH1CSS2
P4_6	IO	—	—	—	—	—	—	—	—	—	CAN0TX	—	—	—	CSIH1CSS3
P4_7	IO	—	—	—	—	—	—	—	—	—	—	CSIH0SI	—	CSIH1SSI	—
P4_8	IO	—	—	—	—	—	—	—	—	—	—	—	CSIH0SO	CSIH1RYI	CSIH1RYO
P4_9	IO	—	—	—	—	—	—	—	—	—	—	CSIH0SC	CSIH0SC	—	—
P4_10	IO	—	—	—	—	—	TPBA00	—	—	—	—	—	CSIH0CSS0	—	—
P4_11	IO	—	—	—	—	ENCA1E0	—	—	—	—	—	—	CSIH0CSS1	—	—
P4_12	IO	—	—	—	—	ENCA1E1	—	—	—	—	—	—	CSIH0CSS2	—	—
P4_13	IO	—	—	—	—	ENCA1EC	—	—	—	—	—	—	CSIH0CSS3	—	—
P4_14	IO	—	—	—	—	—	—	—	—	CAN1RX	—	—	—	—	—
P4_15	IO	—	—	—	—	—	—	—	—	—	CAN1TX	—	ERROROUT_C	—	—

表 2.38 C1H ポートグループ 5 端子兼用機能一覧

ポート	汎入出力 ポート	第3兼用		第4兼用		第5兼用		第6兼用		第7兼用	
		ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P5_0	IO	—	—	RLIN22RX	—	—	—	—	—	—	—
P5_1	IO	—	—	—	RLIN22TX	—	—	—	—	—	—
P5_2	IO	—	—	RLIN21RX	—	—	—	—	—	—	—
P5_3	IO	—	—	—	RLIN21TX	—	—	—	—	—	—
P5_4	IO	—	—	RLIN20RX	—	—	—	—	—	—	—
P5_5	IO	—	—	—	RLIN20TX	—	—	—	—	—	—
P5_6	IO	—	—	—	—	—	—	—	—	—	—
P5_7	IO	—	—	—	—	—	—	—	—	—	—
P5_8	IO	—	—	—	—	—	—	—	—	—	—
P5_9	IO	—	—	—	—	—	—	—	—	—	—

表 2.39 C1H ポートグループ 6 端子兼用機能一覧

ポート	汎入出力 ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P6_0	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_1	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_3	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_4	IO	—	—	—	—	—	—	—	—	—	—	TAPA0ESO	—	—	—
P6_5	IO	—	—	—	—	—	—	—	—	—	—	TAPA1ESO	—	—	—
P6_6	IO	TAUD115	TAUD105	—	—	—	—	ADCC1TRG	—	—	—	—	—	—	—
P6_7	IO	TAUD117	TAUD107	—	—	—	—	ADCC0TRG	—	—	—	—	—	—	—

表 2.40 C1H ポートグループ 7 端子兼用機能一覧

ポート	汎入出力 ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P7_0	IO	—	—	—	—	ENCA1TIN0	—	—	—	—	—	—	—	—	—
P7_1	IO	—	—	—	—	ENCA1TIN1	—	—	—	—	—	—	—	—	—
P7_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P7_3	IO	—	—	—	—	—	—	—	—	—	—	SCI0RXD	—	—	—
P7_4	IO	—	—	—	—	—	—	—	—	—	—	—	SCI0TXD	—	—

2.2.2 C1M ポート機能

2.2.2.1 C1M ポートレジスタ一覧

各ポートの制御レジスタ詳細ビット配置について、**表 2.41**～**表 2.47**に示します。ビットマップにおいて“○”は有効ビット、“—”は予約ビットを表します。予約ビットをリードするとリセット後の値を読み出します。ライトするときもリセット後の値を書き込んでください。

表 2.42 C1M ポートグループ1 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考		
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
PORT	1	P1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
PORT		PSR1	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16ビット	
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PPR1	R	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PM1	R/W	FFFF _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PMC1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PFC1	R/W	0000 _H	16	—	○	—	○	—	○	—	○	○	○	○	○	○	○	○	○	○		
PORT		PFCE1	R/W	0000 _H	16	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○		
PORT		PFCAE1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PNOT1	W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PMSR1	R/W	0000 FFFF _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PMCSR1	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PIBC1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PBDC1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PIPC1	R/W	0000 _H	16	—	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—	
PORT	PU1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
PORT	PD1	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																
						25	24	19	18	17	16	12	8	6	5	4	2	1	0			
						PUC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC			
PORT	1	PCR1_0	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	○	
PORT		PCR1_1	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	○	
PORT		PCR1_2	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_3	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_4	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_5	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_6	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_7	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_8	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_9	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR1_10	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—
PORT		PCR1_11	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—
PORT		PCR1_12	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	○
PORT		PCR1_13	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—	—
PORT		PCR1_14	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	○	
PORT		PCR1_15	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	○	

表 2.45 C1M ポートグループ 4 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考		
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
PORT	4	P4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
PORT		PSR4	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット	
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PPR4	R	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PM4	R/W	FFFF _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PMC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PFC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PFCE4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PFCAE4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PNOT4	W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PMSR4	R/W	0000 FFFF _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PMCSR4	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PIBC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT		PBDC4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
PORT	PIPC4	R/W	0000 _H	16	—	—	—	—	—	—	○	○	—	—	—	○	—	○	—	○	—			
PORT	PU4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
PORT	PD4	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																
						25	24	19	18	17	16	12	8	6	5	4	2	1	0			
						PUC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC			
PORT	4	PCR4_0	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_1	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_2	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_3	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_4	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_5	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_6	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_7	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_8	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_9	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_10	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_11	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_12	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_13	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_14	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR4_15	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.46 C1M ポートグループ 5 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考	
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PORT	5	P5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	—	—	—		
PORT		PSR5	R/W	0000 0000 _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	下位 16 ビット
							—	—	—	—	—	—	○	○	○	○	○	○	○	—	—	—	上位 16 ビット
PORT		PPR5	R	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PM5	R/W	FFFF _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PMC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PFC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PFCE5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PFCAE5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PNOT5	W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PMSR5	R/W	0000 FFFF _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	下位 16 ビット
							—	—	—	—	—	—	○	○	○	○	○	○	○	—	—	—	上位 16 ビット
PORT		PMCSR5	R/W	0000 0000 _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	下位 16 ビット
							—	—	—	—	—	—	○	○	○	○	○	○	○	—	—	—	上位 16 ビット
PORT		PIBC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PBDC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PIPC5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	—	○	○	○	○	—	—	—	
PORT		PU5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	
PORT		PD5	R/W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	—	—	—	

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
						25	24	19	18	17	16	12	8	6	5	4	2	1	0		
						PUC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC		
PORT	5	PCR5_3	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_4	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_5	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_6	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○	○
PORT		PCR5_7	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_8	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_9	R/W	0000 0010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

2.2.2.2 C1M 端子兼用機能一覧

各ポートの端子兼用機能一覧を、**表 2.48**～**表 2.54** に示します。表の“—”の記載は予約ビットですので、選択しないでください。

表 2.48 C1M ポートグループ 0 端子兼用機能一覧

ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P0_0	IO	TAUD00	TAUD000	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	—	—
P0_1	IO	TAUD01	TAUD001	TAUJ01	TAUJ001	—	—	—	—	—	—	—	—	—	—
P0_2	IO	TAUD02	TAUD002	TAUJ02	TAUJ002	—	—	—	—	—	—	—	—	—	—
P0_3	IO	TAUD03	TAUD003	TAUJ03	TAUJ003	—	—	—	—	CAN2RX	—	—	—	INTP0	—
P0_4	IO	TAUD04	TAUD004	—	—	—	—	—	—	—	CAN2TX	—	—	INTP1	—
P0_5	IO	TAUD05	TAUD005	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	INTP2	—
P0_6	IO	TAUD06	TAUD006	TAUJ01	TAUJ001	ENCA0E0	—	—	—	—	—	—	—	INTP3	—
P0_7	IO	TAUD07	TAUD007	TAUJ02	TAUJ002	ENCA0E1	—	—	—	—	—	—	—	INTP4	—
P0_8	IO	TAUD08	TAUD008	TAUJ03	TAUJ003	ENCA0EC	—	—	—	—	—	—	—	INTP5	—
P0_9	IO	TAUD09	TAUD009	—	—	—	—	—	—	—	—	—	—	INTP6	—

表 2.49 C1M ポートグループ 1 端子兼用機能一覧

ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用	
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7
P1_0	IO	TAUD10	TAUD100	—	TAUD101	ENCA0TIN0	—	—	—	—	TSG3000	TAPA2ESO	—	—
P1_1	IO	TAUD11	TAUD101	—	—	ENCA0TIN1	—	—	—	—	TSG3007	—	—	—
P1_2	IO	TAUD12	TAUD102	—	TAUD103	—	—	—	—	—	TSG3001	—	—	—
P1_3	IO	TAUD13	TAUD103	—	—	—	—	—	—	—	TSG3003	—	—	—
P1_4	IO	TAUD14	TAUD104	—	TAUD105	—	—	—	—	—	TSG3005	—	—	—
P1_5	IO	TAUD15	TAUD105	—	—	—	—	—	—	—	TSG3002	—	—	—
P1_6	IO	TAUD16	TAUD106	—	TAUD107	—	—	—	—	—	TSG3004	—	—	—
P1_7	IO	TAUD17	TAUD107	—	—	—	—	—	—	—	TSG3006	—	—	—
P1_8	IO	TAUD18	TAUD108	—	TAUD109	—	—	—	—	—	TSG3101	—	—	—
P1_9	IO	TAUD19	TAUD109	—	—	—	—	—	—	—	TSG3103	—	—	—
P1_10	IO	TAUD110	TAUD1010	—	TAUD1011	—	—	—	—	—	TSG3105	—	—	—
P1_11	IO	TAUD111	TAUD1011	—	—	—	—	—	—	—	TSG3102	—	—	—
P1_12	IO	TAUD112	TAUD1012	—	TAUD1013	—	—	—	—	—	TSG3104	—	—	—
P1_13	IO	TAUD113	TAUD1013	—	—	—	—	—	—	—	TSG3106	—	—	—
P1_14	IO	TAUD114	TAUD1014	—	TAUD1015	—	—	—	—	—	TSG3100	TAPA3ESO	—	—
P1_15	IO	TAUD115	TAUD1015	—	—	—	—	—	—	—	TSG3107	—	—	—

表 2.50 C1M ポートグループ 2 端子兼用機能一覧

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P2_0	IO	TAUD003	TAUD003	—	—	—	—	—	—	—	—	—	—	INTP0	—
P2_1	IO	TAUD004	TAUD004	—	—	—	—	—	—	—	—	—	—	INTP1	—
P2_2	IO	TAUD010	TAUD0010	—	TAPA0UP	—	—	—	—	—	—	—	—	INTP2	—
P2_3	IO	TAUD011	TAUD0011	—	TAPA0UN	—	—	—	—	—	—	—	—	INTP3	—
P2_4	IO	TAUD012	TAUD0012	—	TAPA0VP	—	—	—	—	—	—	—	—	INTP4	—
P2_5	IO	TAUD013	TAUD0013	—	TAPA0VN	—	—	—	—	—	—	—	—	INTP5	—
P2_6	IO	TAUD014	TAUD0014	—	TAPA0WP	—	—	—	—	—	—	—	—	INTP6	—
P2_7	IO	TAUD015	TAUD0015	—	TAPA0WN	—	—	—	—	—	—	—	—	INTP7	—

表 2.51 C1M ポートグループ 3 端子兼用機能一覧

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P3_0	IO	TAUD005	TAUD005	—	—	—	—	—	—	—	—	—	—	—	—
P3_1	IO	TAUD007	TAUD007	—	—	—	—	ADCC0TRG	—	—	—	—	—	—	—
P3_2	IO	TAUD105	TAUD105	—	—	—	—	ADCC1TRG	—	—	—	—	—	—	—
P3_3	IO	TAUD107	TAUD107	—	—	—	—	—	—	—	TAPA2ESO	—	—	—	—

表 2.52 C1M ポートグループ 4 端子兼用機能一覧 (1/2)

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P4_0	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSIH1SI	—
P4_1	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIHISO
P4_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSIH5SC	CSIH5SC
P4_3	IO	—	—	—	—	—	—	—	—	CAN3RX	—	—	—	—	CSIH1CSS0
P4_4	IO	—	—	—	—	—	—	—	—	—	CSIH0RY1	—	—	—	CSIH1CSS1
P4_5	IO	—	—	—	—	—	—	—	—	CAN0RX	—	—	—	—	CSIH1CSS2
P4_6	IO	—	—	—	—	—	—	—	—	—	CAN0TX	—	—	—	CSIH1CSS3
P4_7	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_8	IO	—	—	—	—	—	—	—	—	—	CSIH0SI	—	—	CSIH7SSI	—
P4_9	IO	—	—	—	—	—	—	—	—	—	—	CSIH0SO	—	CSIH1RY1	CSIH1RY0
P4_10	IO	—	—	—	—	—	—	—	—	—	—	CSIH0SC	—	—	—
P4_11	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 2.52 C1M ポートグループ 4 端子兼用機能一覧 (2/2)

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P4_12	IO	—	—	—	ENCA1E1	—	—	—	—	—	—	CSIH0CSS2	—	—	—
P4_13	IO	—	—	—	ENCA1EC	—	—	—	—	—	—	CSIH0CSS3	—	—	—
P4_14	IO	—	—	—	—	—	—	—	CAN1RX	—	—	—	—	—	—
P4_15	IO	—	—	—	—	—	—	—	CAN1TX	—	—	ERROROUT_C	—	—	—

表 2.53 C1M ポートグループ 5 端子兼用機能一覧

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P5_3	IO	—	—	—	—	—	—	—	—	—	—	SCI1RXD	—	—	—
P5_4	IO	—	—	—	—	—	—	—	—	—	—	SCI1TXD	—	—	—
P5_5	IO	—	—	—	—	—	—	—	—	—	—	SCI1SCK	SCI1SCK	—	ERROROUT_C
P5_6	IO	—	—	—	—	—	—	—	—	—	—	TAPA0ESO	—	—	—
P5_7	IO	—	—	—	—	—	—	—	—	—	—	SCI2SCK	SCI2SCK	—	—
P5_8	IO	—	—	—	—	—	—	—	—	—	—	SCI2RXD	—	—	—
P5_9	IO	—	—	—	—	—	—	—	—	—	—	—	SCI2TXD	—	—

表 2.54 C1M ポートグループ 7 端子兼用機能一覧

ポート	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		
	汎用入出力ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7
P7_0	IO	—	—	—	—	ENCA1TIN0	—	—	—	—	—	—	—	—	—
P7_1	IO	—	—	—	—	ENCA1TIN1	—	—	—	—	—	—	—	—	—
P7_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P7_3	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P7_4	IO	—	—	—	—	—	—	—	—	—	—	—	SCI0RXD	—	—
													SCI0TXD	—	—

2.3 DNF

Digital Noise Filter（以下 DNF）は、製品外部からの入力信号に対してデジタルノイズ除去を実現します。本製品には周辺機能 DNF を搭載しています。

2.3.1 ノイズ除去例

周辺機能 DNF のノイズ除去例を、**図 2.7** に示します。この例では、サンプリングクロックを DNF 入力クロックの 1/2、サンプリング回数を 2 回に設定し、現状の出力レベルをロウレベルにしています。また、図の○は、ハイレベルを検出したことを意味しています。

入力例 1、2、3 では 2 回連続で同一レベルが検出されたことにより、出力がロウレベル→ハイレベルに変化します。入力例 4、5、6 では 2 回連続で同一レベルが検出されず、結果としてノイズとみなされたことにより、入力信号の状態が除去されていることを示します。

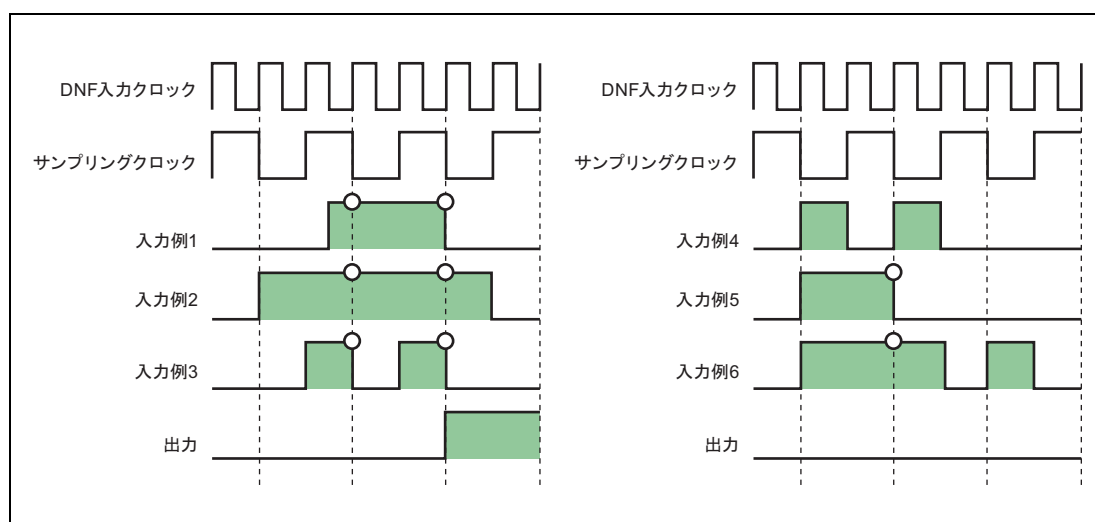


図 2.7 デジタルノイズ除去タイミングチャート

2.3.2 周辺機能 DNF

2.3.2.1 機能概要

周辺機能の入力機能端子に対してノイズ除去を実現します。

周辺機能 DNF は以下の機能を持っています。

- デジタルノイズを入力信号から取り除き、ノイズが取り除かれた信号を出力します。
- デジタルノイズ除去信号またはデジタルノイズ非除去信号のどちらを出力するか選択する機能を持ちます。
- デジタルノイズ除去幅は、サンプリングクロックの2、3、4、5回分の中から選択することができます。
- 5タイプのサンプリング周波数を選択することができます。サンプリング周波数は以下のとおりです。
DNF 入力クロックの 1/1、1/2、1/4、1/8、1/16 分周
- ノイズ除去条件を1チャンネル毎にレジスタ設定できます。
- DNF グループ番号0の DNF 入力クロックは低速周辺クロックです。
- DNF グループ番号1, 2, 3, 4, 5の DNF 入力クロックは非変調高速周辺クロックです。

2.3.2.2 制御レジスタ詳細

周辺機能 DNF のベースアドレスを以下の表に示します。

周辺機能 DNF のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2.55 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DNF0_base>	FFC3 0000 _H
<DNF1_base>	FFC3 0400 _H
<DNF2_base>	FFC3 0800 _H
<DNF3_base>	FFC3 0C00 _H
<DNF4_base>	FFC3 1000 _H
<DNF5_base>	FFC3 1400 _H

2.3.2.3 DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ

DNF グループ番号 n、チャンネル番号 m のノイズ除去条件を設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <DNFn_base> + 4_H × m (m : チャンネル番号)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NFEN	SLST[1:0]		—	—	PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

表 2.56 DNFP01nCTLm レジスタの内容

ビット位置	ビット名	機能
7	NFEN	デジタルノイズ除去許可/禁止設定 0 : デジタルノイズ除去しない 1 : デジタルノイズ除去する
6、5	SLST[1:0]	デジタルノイズ除去サンプリング回数設定 00 : 2回 01 : 3回 10 : 4回 11 : 5回
4、3	予約ビット	リードした場合は0が読めます。 ライトする場合は0を書いてください。
2～0	PRS[2:0]	デジタルノイズ除去サンプリングクロック分周比設定 000 : DNF 入力クロック / 1 001 : DNF 入力クロック / 2 010 : DNF 入力クロック / 4 011 : DNF 入力クロック / 8 100 : DNF 入力クロック / 16 上記以外 : 設定禁止

2.3.2.4 周辺機能 DNF の設定手順

周辺機能 DNF の設定手順を示します。(4) と (5) の期間に製品端子への入力レベルが変化すると、予期しない信号が周辺機能に入力される可能性があるため、(6) で周辺機能側のフラグクリア等を実施してください。

- (1) DNFP01nCTLm レジスタの [2:0]PRS2-0 と [6:5]SLST1-0 を設定する。
- (2) DNFP01nCTLm レジスタの [7]NFEN をセットする。上記 (1) と同時設定可。
- (3) ポートレジスタを設定して兼用機能を選択する。
- (4) サンプリングクロック × サンプリング回数 + DNF 入力クロック × 2 の時間待機する。
- (5) DNF 接続先の周辺機能の動作を許可する。
- (6) 周辺機能のフラグクリア等。

また、DNF が動作している状態から設定を変更する場合、DNFP01nCTLm レジスタの [7]NFEN をクリアしてから、上記 (1) ～ (6) の手順で再設定してください。

2.3.2.5 DNF 挿入対象の周辺機能端子

DNF 挿入対象は以下の信号です。

表 2.57 DNF 挿入対象 (1/2)

DNF グループ番号 n	DNF チャンネル番号 m	DNF 挿入対象端子			
		端子名	端子機能	周辺 IP	
0	0	INTP0	外部割り込み入力	INTC	
	1	INTP1			
	2	INTP2			
	3	INTP3			
	4	INTP4			
	5	INTP5			
	6	INTP6			
	7	INTP7			
	8	TAPA0ESO	緊急時 Hi-Z 要求入力 (TAUD0 PWM 用)	TAPA (PIC1A 経由)	
	9	TAPA1ESO ^{注1}	緊急時 Hi-Z 要求入力 (TAUD1 PWM 用)		
	10	TAPA2ESO	緊急時 Hi-Z 要求入力 (TSG30 PWM 用)		
11	TAPA3ESO	緊急時 Hi-Z 要求入力 (TSG31 PWM 用)			
1	0	ADCC0TRG	SAR-AD 変換起動トリガ入力	SAR-AD0	
	1	ADCC1TRG		SAR-AD1	
2	0	ENCA0TIN0	キャプチャトリガ入力	ENCA0	
	1	ENCA0TIN1			
	2	ENCA0E0			エンコーダ入力
	3	ENCA0E1			
	4	ENCA0EC			
	5	ENCA1TIN0	キャプチャトリガ入力	ENCA1	
	6	ENCA1TIN1			
	7	ENCA1E0	エンコーダ入力		
	8	ENCA1E1			
9	ENCA1EC				
3	0	TAUD0I0	TAUD0 チャンネル入力	TAUD0	
	1	TAUD0I1			
	2	TAUD0I2			
	3	TAUD0I3			
	4	TAUD0I4			
	5	TAUD0I5			
	6	TAUD0I6			
	7	TAUD0I7			
	8	TAUD0I8			
	9	TAUD0I9			
	10	TAUD0I10			
	11	TAUD0I11			
	12	TAUD0I12			
	13	TAUD0I13			
	14	TAUD0I14			
15	TAUD0I15				
4	0	TAUD1I0	TAUD1 チャンネル入力	TAUD1	
	1	TAUD1I1			

表 2.57 DNF 挿入対象 (2/2)

DNF グループ番号 n	DNF チャンネル番号 m	DNF 挿入対象端子		
		端子名	端子機能	周辺 IP
4	2	TAUD112	TAUD1 チャンネル入力	TAUD1
	3	TAUD113		
	4	TAUD114		
	5	TAUD115		
	6	TAUD116		
	7	TAUD117		
	8	TAUD118		
	9	TAUD119		
	10	TAUD1110		
	11	TAUD1111		
	12	TAUD1112		
	13	TAUD1113		
	14	TAUD1114		
	15	TAUD1115		
5	0	TAUJ010	TAUJ0 チャンネル入力	TAUJ0
	1	TAUJ011		
	2	TAUJ012		
	3	TAUJ013		

注 1. RH850/C1M では対応していません。

2.4 端子説明

2.4.1 概要

本節では、端子機能および外部端子の一覧と、リセット時および各状態での外部端子の端子状態を示します。

2.4.2 端子機能一覧

各端子の機能を表 2.58、表 2.59 に示します。

表 2.58 C1H 端子機能 (1/3)

端子名	I/O	機能
AnVREF (n = 0, 1)	—	ADCCn 電圧供給と基準電圧
AnVSS (n = 0, 1)	—	ADCCn グランド
ADCCnTRG (n = 0, 1)	I	ADCCn トリガ
ADCC0I _{pq} (p = 0 ~ 3, q = 0 ~ 3)	I	ADCC0 入力チャネル pq
ADCC1I _{pq} (p = 0 ~ 6, q = 0 ~ 2)	I	ADCC1 入力チャネル pq
AUDATA _m (m = 0 ~ 3)	IO	AUDR コマンド/アドレス/データ/フラグ m
AUDCK	I	AUDR クロック
AUDRST	I	AUDR リセット
AUDSYNC	I	AUDR タイミング制御
AnVCC (n = 0, 1)	—	ADCCn 電圧供給
CANmRX (m = 0 ~ 3)	I	CANm 受信データ入力
CANmTX (m = 0 ~ 3)	O	CANm 送信データ出力
CSIHnCSS0 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 0
CSIHnCSS1 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 1
CSIHnCSS2 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 2
CSIHnCSS3 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 3
CSIHnRYI (n = 0, 1)	I	CSIHn レディ (1) / ビジー (0) 入力信号
CSIHnRYO (n = 0, 1)	O	CSIHn レディ (1) / ビジー (0) 出力信号
CSIHnSC (n = 0, 1)	IO	CSIHn シリアルクロック信号
CSIHnSI (n = 0, 1)	I	CSIHn シリアルデータ入力
CSIHnSO (n = 0, 1)	O	CSIHn シリアルデータ出力
CSIHnSSI (n = 0, 1)	I	CSIHn スレーブ選択入力信号
DCURDY	O	デバッグレディ
DCUTCK	I	デバッグクロック
DCUTDI	I	デバッグデータ入力
DCUTDO	O	デバッグデータ出力
DCUTMS	I	デバッグモード選択
DCUTRST	I	デバッグリセット
FLSCI3TX (FPDT)	O	送信データ出力
FLSCI3RX (FPDR)	I	受信データ入力
FLSCI3SCK (FPCK)	I	シリアルクロック入力
ENCA _n E0 (n = 0, 1)	I	ENCA _n エンコーダ入力 (カウントパルス 0)
ENCA _n E1 (n = 0, 1)	I	ENCA _n エンコーダ入力 (カウントパルス 1)
ENCA _n TIN _m (n = 0, 1, m = 0, 1)	I	ENCA _n キャプチャトリガ入力 nm

表 2.58 C1H 端子機能 (2/3)

端子名	I/O	機能
ENCA _n EC (n = 0, 1)	I	ENCA _n エンコーダ入力 (クリアパルス)
EPTVOUT	O	VDD 用 EPT 制御
EVCC	—	ポートバッファ電圧供給
ERROROUT_M	O	ECM エラー出力 (MAIN)
ERROROUT_C	O	ECM エラー出力 (Checker)
FLMODE	I	動作モード選択端子
MD0	I	動作モード選択端子 0
MD1	I	動作モード選択端子 1
INTP _m (m = 0 ~ 7)	I	外部割り込み入力 m
LPDCLK	I	LPD クロック入力 (4 ピンモード)
LPDCLKOUT	O	LPD クロック出力 (4 ピンモード)
LPDI	I	LPD データ入力 (4 ピンモード)
LPDO	O	LPD データ出力 (4 ピンモード)
LPDRST	I	LPD リセット (4 ピンモード)
NMI	I	外部ノンマスクابل割り込み入力
P0 _m (m = 0 ~ 15)	IO	ポート 0 _m
P1 _m (m = 0 ~ 15)	IO	ポート 1 _m
P2 _m (m = 0 ~ 7)	IO	ポート 2 _m
P3 _m (m = 0 ~ 7)	IO	ポート 3 _m
P4 _m (m = 0 ~ 15)	IO	ポート 4 _m
P5 _m (m = 0 ~ 9)	IO	ポート 5 _m
P6 _m (m = 0 ~ 7)	IO	ポート 6 _m
P7 _m (m = 0 ~ 4)	IO	ポート 7 _m
PLL _{VCC}	—	PLL 用電圧供給
PLL _{VSS}	—	PLL 用グラウンド
SYS _{VCC}	—	システム用電圧供給
VCC	—	発振器、Flash 用電圧供給
VDD	—	電圧レギュレータ電圧供給
VSS	—	グラウンド
RVCC	—	RDC 用電圧供給
RVSS	—	RDC 用グラウンド
RESET	I	外部リセット入力
RDC2 _n COM (n = 0, 1)	IO	励磁用コモン信号出力
RDC2 _n COSMNT (n = 0, 1)	O	COS 側モニタ信号出力
RDC2 _n RSO (n = 0, 1)	IO	励磁信号出力
RDC2 _n S1 (n = 0, 1)	I	レゾルバ信号入力
RDC2 _n S2 (n = 0, 1)	I	レゾルバ信号入力
RDC2 _n S3 (n = 0, 1)	I	レゾルバ信号入力
RDC2 _n S4 (n = 0, 1)	I	レゾルバ信号入力
RDC2 _n SINMNT (n = 0, 1)	O	SIN 側モニタ信号出力
RLIN2 _m RX (m = 0 ~ 2)	I	RLIN2 _m 受信データ入力
RLIN2 _m TX (m = 0 ~ 2)	O	RLIN2 _m 送信データ出力
SCI _n RXD (n = 0 ~ 2)	I	SCI _n 受信データ
SCI _n SCK (n = 0 ~ 2)	IO	SCI _n クロック

表 2.58 C1H 端子機能 (3/3)

端子名	I/O	機能
SCInTXD (n = 0 ~ 2)	O	SCIn 送信データ
TAPAnESO (n = 0 ~ 3)	I	Hi-Z 制御
TAPAnUN (n = 0, 1)	O	モータ制御出力 U フェーズ (ネガティブ)
TAPAnUP (n = 0, 1)	O	モータ制御出力 U フェーズ (ポジティブ)
TAPAnVN (n = 0, 1)	O	モータ制御出力 V フェーズ (ネガティブ)
TAPAnVP (n = 0, 1)	O	モータ制御出力 V フェーズ (ポジティブ)
TAPAnWN (n = 0, 1)	O	モータ制御出力 W フェーズ (ネガティブ)
TAPAnWP (n = 0, 1)	O	モータ制御出力 W フェーズ (ポジティブ)
TPBAnO (n = 0, 1)	O	TPBAn チャネル出力
TAUDnIm (n = 0, 1, m = 0 ~ 15)	I	TAUDn チャネル入力 m
TAUDnOm (n = 0, 1, m = 0 ~ 15)	O	TAUDn チャネル出力 m
TAUJ0Im (m = 0 ~ 3)	I	TAUJ0 チャネル入力 m
TAUJ0Om (m = 0 ~ 3)	O	TAUJ0 チャネル出力 m
TSG3nOm (n = 0, 1, m = 0 ~ 7)	O	TSG3n チャネル出力 m
X1, X2	—	水晶振動子接続

注 意

C1H にて SCI30 を使用する場合、同一ポートグループの兼用機能を使用してください。

- シリアルクロック入出力信号を使用する場合
 - P5_0(SCI0RXD)、P5_1(SCI0TXD)、P5_2(SCI0SCK)
- シリアルクロック入出力信号を使用しない場合
 - P5_0(SCI0RXD)、P5_1(SCI0TXD)
 - P7_3(SCI0RXD)、P7_4(SCI0TXD)

表 2.59 C1M 端子機能 (1/2)

端子名	I/O	機能
AnVREF (n = 0, 1)	—	ADCCn 電圧供給と基準電圧
AnVSS (n = 0, 1)	—	ADCCn グランド
ADCCnTRG (n = 0, 1)	I	ADCCn トリガ
ADCC0lpq (p = 0, 2, 3, q = 0 ~ 3) ただし、p = 0, q = 1, 2 の組合せは除く	I	ADCC0 入力チャネル pq
ADCC1lpq (p = 0 ~ 4, 6, q = 0 ~ 2) ただし、p = 1, q = 2 の組合せおよび p = 2, q = 1, 2 の組合せは除く	I	ADCC1 入力チャネル pq
AnVCC (n = 0, 1)	—	ADCCn 電圧供給
CANmRX (m = 0 ~ 3)	I	CANm 受信データ入力
CANmTX (m = 0 ~ 3)	O	CANm 送信データ出力
CSIHnCSS0 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 0
CSIHnCSS1 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 1
CSIHnCSS2 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 2
CSIHnCSS3 (n = 0, 1)	O	CSIHn シリアル周辺チップ選択信号 3
CSIHnRYI (n = 0, 1)	I	CSIHn レディ (1) / ビジー (0) 入力信号
CSIHnRYO (n = 0, 1)	O	CSIHn レディ (1) / ビジー (0) 出力信号
CSIHnSC (n = 0, 1)	IO	CSIHn シリアルクロック信号
CSIHnSI (n = 0, 1)	I	CSIHn シリアルデータ入力
CSIHnSO (n = 0, 1)	O	CSIHn シリアルデータ出力
CSIHnSSI (n = 0, 1)	I	CSIHn スレーブ選択入力信号
DCURDY	O	デバッグレディ
DCUTCK	I	デバッグクロック
DCUTDI	I	デバッグデータ入力
DCUTDO	O	デバッグデータ出力
DCUTMS	I	デバッグモード選択
DCUTRST	I	デバッグリセット
FLSCI3TX (FPDT)	O	送信データ出力
FLSCI3RX (FPDR)	I	受信データ入力
FLSCI3SCK (FPCK)	I	シリアルクロック入力
ENCAAnE0 (n = 0, 1)	I	ENCAAn エンコーダ入力 (カウントパルス 0)
ENCAAnE1 (n = 0, 1)	I	ENCAAn エンコーダ入力 (カウントパルス 1)
ENCAAnTINm (n = 0, 1, m = 0, 1)	I	ENCAAn キャプチャトリガ入力 nm
ENCAAnEC (n = 0, 1)	I	ENCAAn エンコーダ入力 (クリアパルス)
EVCC	—	ポートバッファ電圧供給
ERROROUT_M	O	ECM エラー出力 (MAIN)
ERROROUT_C	O	ECM エラー出力 (Checker)
FLMODE	I	動作モード選択端子
MD0	I	動作モード選択端子 0
MD1	I	動作モード選択端子 1
INTPm (m = 0 ~ 7)	I	外部割り込み入力 m
LPDCLK	I	LPD クロック入力 (4 ピンモード)
LPDCLKOUT	O	LPD クロック出力 (4 ピンモード)
LPDI	I	LPD データ入力 (4 ピンモード)
LPDO	O	LPD データ出力 (4 ピンモード)

表 2.59 C1M 端子機能 (2/2)

端子名	I/O	機能
LPDRST	I	LPD リセット (4 ピンモード)
NMI	I	外部ノンマスクブル割り込み入力
P0_m (m = 0 ~ 9)	IO	ポート 0_m
P1_m (m = 0 ~ 15)	IO	ポート 1_m
P2_m (m = 0 ~ 7)	IO	ポート 2_m
P3_m (m = 0 ~ 3)	IO	ポート 3_m
P4_m (m = 0 ~ 15)	IO	ポート 4_m
P5_m (m = 3 ~ 9)	IO	ポート 5_m
P7_m (m = 0 ~ 4)	IO	ポート 7_m
SYSVCC	—	システム用電圧供給
VCC	—	発振器、Flash 用電圧供給
VDD	—	電圧レギュレータ電圧供給
VSS	—	グラウンド
RVCC	—	RDC 用電圧供給
RVSS	—	RDC 用グラウンド
RESET	I	外部リセット入力
RDC20COM	IO	励磁用コモン信号出力
RDC20COSMNT	O	COS 側モニタ信号出力
RDC20RSO	IO	励磁信号出力
RDC20S1	I	レゾルバ信号入力
RDC20S2	I	レゾルバ信号入力
RDC20S3	I	レゾルバ信号入力
RDC20S4	I	レゾルバ信号入力
RDC20SINMNT	O	SIN 側モニタ信号出力
SCInRXD (n = 0 ~ 2)	I	SCIn 受信データ
SCInSCK (n = 1, 2)	IO	SCIn クロック
SCInTXD (n = 0 ~ 2)	O	SCIn 送信データ
TAPAnESO (n = 0, 2, 3)	I	Hi-Z 制御
TAPA0UN	O	モータ制御出力 U フェーズ (ネガティブ)
TAPA0UP	O	モータ制御出力 U フェーズ (ポジティブ)
TAPA0VN	O	モータ制御出力 V フェーズ (ネガティブ)
TAPA0VP	O	モータ制御出力 V フェーズ (ポジティブ)
TAPA0WN	O	モータ制御出力 W フェーズ (ネガティブ)
TAPA0WP	O	モータ制御出力 W フェーズ (ポジティブ)
TPBA0O	O	TPBA0 チャネル出力
TAUDnIm (n = 0, 1, m = 0 ~ 15)	I	TAUDn チャネル入力 m
TAUDnOm (n = 0, 1, m = 0 ~ 15)	O	TAUDn チャネル出力 m
TAUJ0Im (m = 0 ~ 3)	I	TAUJ0 チャネル入力 m
TAUJ0Om (m = 0 ~ 3)	O	TAUJ0 チャネル出力 m
TSG3nOm (n = 0, 1, m = 0 ~ 7)	O	TSG3n チャネル出力 m
X1, X2	—	水晶振動子接続

2.4.3 端子状態

リセット状態の定義

端子状態の記載において、各リセット状態を表 2.60 のように定義しています。

表 2.60 リセット状態の定義

リセット状態	定義
外部リセット	外部端子からのリセット状態 ($\overline{\text{RESET}} = \text{L}$)
内部リセット	外部リセット解除から内部リセット解除までの間
内部リセット解除後	内部リセットが解除された状態

各状態の端子状態を表 2.61 に示します。製品グレードやパッケージの種別によっては、非搭載の端子もあります。端子搭載の有無は、「1.2 端子接続図 (Top View)」を参照してください。

表 2.61 端子状態 (1/2)

端子機能		端子状態		
分類	端子名	$\overline{\text{RESET}} = \text{L}$	$\overline{\text{RESET}} = \text{H}$	
		外部リセット状態	内部リセット解除前	内部リセット解除後
クロック	X1	I	I	I
	X2	O	O	O
システム制御	$\overline{\text{RESET}}$	I (Pull-down)	I (Pull-down)	I (Pull-down)
	MD0	I (Pull-down)	I (Pull-down)	I (Pull-down)
	MD1	I (Pull-down)	I (Pull-down)	I (Pull-down)
	FLMODE	I (Pull-down)	I (Pull-down)	I (Pull-down)
割り込み	NMI	I (Pull-down)	I (Pull-down)	I (Pull-down)
ECM	ERROROUT_M	O	O	O
汎用入出力ポート	P0_x	Z	Z	Z
	P1_x	Z	Z	Z
	P2_x	Z	Z	Z
	P3_x	Z	Z	Z
	P4_x	Z	Z	Z
	P5_x	Z	Z	Z
	P6_x	Z	Z	Z
	P7_x	Z	Z	Z
SAR A/D	ADCC0Ixx	Z	Z	Z
	ADCC1Ixx	Z	Z	Z
レゾルバ信号入力	RDC20Sx	Z	Z	Z
	RDC21Sx	Z	Z	Z
励磁信号出力	RDC20RSO, RDC20COM	Z	Z	Z
	RDC21RSO, RDC21COM	Z	Z	Z
AUD RAM モニタ	$\overline{\text{AUDRST}}$	I (Pull-down)	I (Pull-down)	I (Pull-down)
	AUDCK	I (Pull-up)	I (Pull-up)	I (Pull-up)
	$\overline{\text{AUDSYNC}}$	I (Pull-up)	I (Pull-up)	I (Pull-up)
	AUDATA0 ~ AUDATA3	I (Pull-up)	I (Pull-up)	I (Pull-up)

表 2.61 端子状態 (2/2)

端子機能		端子状態			
分類	端子名	RESET = L	RESET = H		
		外部リセット状態	内部リセット解除前	内部リセット解除後	
デバッグ系	DCUTDI/LPDI/FLSCI3RX	Nexus: DCUTDI	Z	I (Pull-up)	I (Pull-up)
		LPD-4pin: LPDI	Z	I (Pull-up)	I (Pull-up)
		ライタ I/F: FLSCI3RX	Z	Z	Z
		BSCAN: DCUTDI	I (Pull-up)	I (Pull-up)	I (Pull-up)
	DCUTDO/LPDO/ FLSCI3TX	Nexus: DCUTDO	Z	Z	Z
		LPD-4pin: LPDO	Z	O	O
		ライタ I/F: FLSCI3TX	Z	Z	Z
		BSCAN: DCUTDO	Z	Z	Z
	DCUTCK/LPDCLK/ FLSCI3SCK	Nexus: DCUTCK	Z	I (Pull-up)	I (Pull-up)
		LPD-4pin: LPDCLK	Z	I (Pull-up)	I (Pull-up)
		ライタ I/F: FLSCI3SCK	Z	Z	Z
		BSCAN: DCUTCK	I (Pull-up)	I (Pull-up)	I (Pull-up)
	DCUTMS	Nexus: DCUTMS	Z	I (Pull-up)	I (Pull-up)
		LPD-4pin: EVTO 注1	Z	O	O
		ライタ I/F: (機能なし)	Z	Z	Z
		BSCAN: DCUTMS	I (Pull-up)	I (Pull-up)	I (Pull-up)
	DCUTRST/LPDRST	Nexus: DCUTRST	I (Pull-down)	I (Pull-down)	I (Pull-down)
		LPD-4pin: LPDRST			
		ライタ I/F: (機能なし)			
		BSCAN: DCUTRST			
DCURDY/LPDCLKOUT	Nexus: DCURDY	Z	O	O	
	LPD-4pin: LPDCLKOUT	Z	O	O	
	ライタ I/F: (機能なし)	Z	Z	Z	
	BSCAN: (機能なし)	Z	Z	Z	

備考 I : 入力
O : 出力
Z : ハイインピーダンス
Pull-up : 内蔵プルアップ抵抗
Pull-down : 内蔵プルダウン抵抗
注 1. EVTO は本製品では使用しません。

2.4.4 未使用端子の処理

表 2.62 に未使用端子の処理例を示します。

表 2.62 未使用端子の処理例 (1/2)

分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗
クロック	X1	I	(必ず使用する。)	なし
	X2	O	(必ず使用する。)	なし
システム制御	$\overline{\text{RESET}}$	I	(必ず使用する。)	内蔵プルダウン抵抗を搭載しています。
	MD0, FLMODE	I	(必ず使用する。ユーザブートモードで使用する場合は、個別に抵抗を介して VSS に接続する。)	内蔵プルダウン抵抗を搭載しています。
	MD1	I	<ul style="list-style-type: none"> 個別に抵抗を介して VSS に接続する。 	内蔵プルダウン抵抗を搭載しています。
割り込み	NMI	I	<ul style="list-style-type: none"> 個別に抵抗を介して VSS に接続する。 	内蔵プルダウン抵抗を搭載しています。
ECM	ERROROUT_M	O	<ul style="list-style-type: none"> 端子オープン処理。 	なし
汎用入出力ポート	P0_m, P1_m, P2_m, P3_m, P4_m, P5_m, P6_m, P7_m	IO	<p>[入力モード]</p> <ul style="list-style-type: none"> 端子オープン処理で、入カインネーブルを禁止に設定 (PMcn_m = 0, PMn_m = 1, PIBcn_m = 0 リセット後の値) する。 端子オープン処理で、内蔵プルアップ/ダウン抵抗を有効に設定 (PUn_m, PDn_m を使用) する。 個別に抵抗を介して各端子の電源 / GND に接続する。 <p>[出力モード]</p> <ul style="list-style-type: none"> 端子オープン処理。 	レジスタで設定可能な内蔵プルアップ/ダウン抵抗を搭載しています。
ADCC	ADCC0lpq ADCC1lpq (アナログ入力専用)	I	<ul style="list-style-type: none"> 端子オープン処理。 	なし
RDC2	RDC2nCOM, RDC2nRSO	I/O	<ul style="list-style-type: none"> 端子オープン処理かつアナログ回路停止 	なし
	RDC2nS1, RDC2nS2, RDC2nS3, RDC2nS4	I	<ul style="list-style-type: none"> 端子オープン処理かつアナログ回路停止 	なし
デバッグ系 (AUDRAM)	$\overline{\text{AUDRST}}$	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介して VSS に接続する。 	内蔵プルダウン抵抗を搭載しています。
	AUDCK, $\overline{\text{AUDSYNC}}$	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介して VCC に接続する。 	内蔵プルアップ抵抗を搭載しています。
	AUDATA _n	IO	<ul style="list-style-type: none"> 端子オープン処理。 	内蔵プルアップ抵抗を搭載しています。

表 2.62 未使用端子の処理例 (2/2)

分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗
デバッグ系 (NEXUS/LPD)	DCUTDI	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。
	DCUTDO	O	<ul style="list-style-type: none"> 端子オープン処理。 (シリアルプログラミングモードは動作禁止)	なし
	DCUTCK	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。
	DCUTMS	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 	内蔵プルアップ抵抗を搭載しています。
	DCUTRST	I	<ul style="list-style-type: none"> 個別に抵抗を介してVSSに接続する。 	内蔵プルダウン抵抗を搭載しています。
	DCURDY	O	<ul style="list-style-type: none"> 端子オープン処理。 	なし
電源系	EVCC	—	(必ず使用する。)	
	SYSVCC	—	(必ず使用する。)	
	VCC	—	(必ず使用する。)	
	PLLVC	—	(必ず使用する。)	
	PLLVS	—	(必ず使用する。)	
	VDD	—	(必ず使用する。)	
	VSS	—	(必ず使用する。)	
	EPTVOUT	—	<ul style="list-style-type: none"> 端子オープン処理。 	
	AnVCC	—	(必ず使用する。)	
	AnVSS	—	(必ず使用する。)	
	AnVREFH	—	(必ず使用する。)	
	RVCC	—	(必ず使用する。)	
	RVSS	—	(必ず使用する。)	

注 1. 製品外部で抵抗を介してプルアップ/ダウンする場合は、抵抗値を 1kΩ 以上にしてください。

注 2. 内蔵プルアップ/ダウン抵抗を搭載している端子を、製品外部でも抵抗を介してプルアップ/ダウンする場合は、抵抗分圧にご注意ください。

第3章 CPUシステム

3.1 概要

3.1.1 ブロック構成

C1H のブロック構成を図 3.1 に示します。

C1M は CPU2 (PE2) 非搭載です。

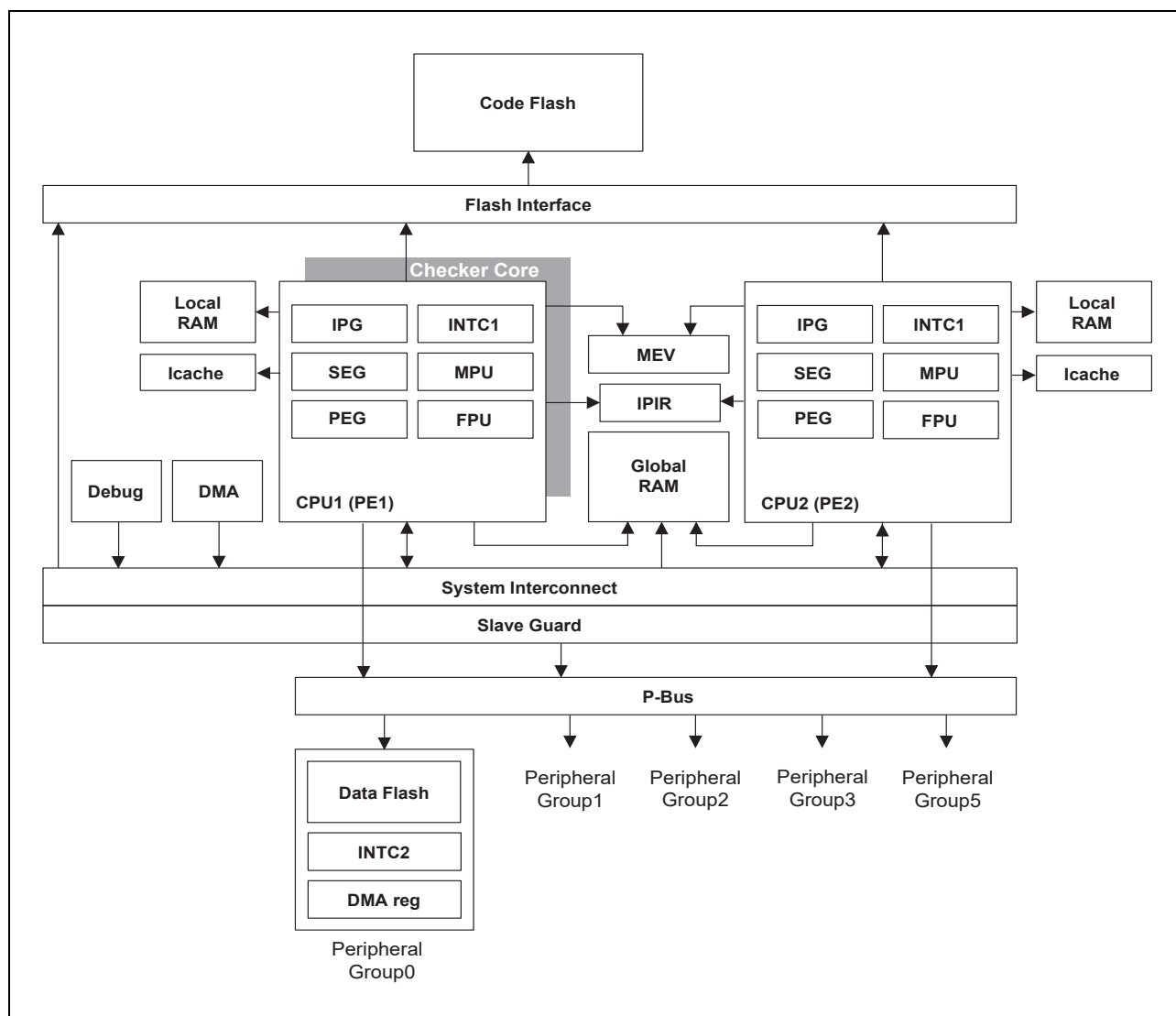


図 3.1 C1H ブロック構成図

CPU1 (PE1)

メイン CPU として、RH850 G3M コアを搭載します。また、CPU1 はセーフティ対応として、Checker Core を備えます。

CPU2 (PE2)

パフォーマンス CPU として、RH850 G3M を搭載します (C1H のみ)。

Local RAM

PE ごとに、高速アクセス可能な RAM です。

Global RAM

共用可能な大容量 RAM です。

Code Flash

プログラム格納用に、大容量のフラッシュメモリです。CPU1 と CPU2 で Code Flash を共用しており、Flash Interface を介して接続されています。

Data Flash

CPU から書き換え可能なフラッシュメモリです。

P-Bus

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 0～3,5 に分かれています。詳細は、「**3.1.2 Peripheral Group 構成**」を参照してください。

INTC1、INTC2

INTC1 は PE ごとに固有の割り込みコントローラです。INTC2 は PE 共有の割り込みコントローラで、割り込み要求のバインド先 PE をレジスタで設定できます。

DMA

DMAC と DTS の 2 種類の DMA 転送モジュールを搭載しています。

Slave Guard

特定のバスマスタからの不正アクセスを防止する機構です。次のガード機能で構成されています。

(1) PE ガード (PEG)

自 PE 以外のバスマスタから PE 内資源への不正なアクセスを防止する機構です。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。詳細は「**3.2.4.1 PE ガード機能 (PEG)**」をご参照ください。

(2) Global RAM ガード (GRG)

バスマスタから Global RAM への不正なアクセスを防止する機構です。リセット解除後はガードされていない状態 (すべてのバスマスタがアクセス可能) になっています。詳細は、「**第 27 章 ファンクショナルセーフティ**」の「**27.4.2 GRG (Global RAM Guard)**」をご参照ください。

(3) 周辺ガード (PBG)

バスマスタから周辺装置への不正なアクセスを防止する機構です。リセット解除後 CPU1 からのアクセスは可能ですが、CPU1 以外からのアクセスが禁止されている周辺装置があります。詳細は、「**第 27 章 ファンクショナルセーフティ**」の「**27.4.3 PBG**」をご参照ください。

3.1.2 Peripheral Group 構成

P-Bus は Peripheral Group 0 ~ 3、5 および CPU に接続されており、各モジュールはいずれかの Peripheral Group に属しています。以下に Peripheral Group とモジュールの関係を示します。モジュール名については、各章のレジスタ一覧を参照してください。

表 3.1 Peripheral Group 構成一覧 (1/2)

Peripheral Group	モジュール名 ^{注1}
CPU	INTC1
	IPIRSS ^{注2}
	IPG
	MEV ^{注2}
	PEG
	SEG
	TESTCOMP
CPU(DEBUG)	AUD
0	APDP [INTC2]
	APDP [PDMA]
	DMASS
	ECCCPU1
	ECCEEP
	ECCEEPC
	ECCFLI
	ECCGRAM
	ECCIC1
	FACI [FCUFAREA]
	FLASH [FRDCYCLD]
	INTC2
	MGDGR
	MISG
	PBG [PBG0, PBG1]
	(Data Flash)
	1
SCI3n (n=0 ~ 2)	
WDTAn (n= 0, 1) ^{注2}	
RDC2n (n=0, 1) ^{注2}	
PBG [PBG2]	
TAUDn (n=0, 1)	
TAUJn (n=0)	
TSG3n (n=0, 1)	
TAPAn (n=0 ~ 3)	
TPBAn (n=0, 1) ^{注2}	
ENCAAn (n=0, 1)	
PBG [PBG4]	
PIC1A	
PIC2B	

表 3.1 Peripheral Group 構成一覧 (2/2)

Peripheral Group	モジュール名 ^{注1}
2	APDP [CSIHn (n=0, 1)]
	CSIHn (n=0, 1)
	E7RC0M/C
	E7CS0M/C
	E7CS1M/C
	INTIF
	PBG [PBG5]
	RS-CAN0
	EMU2n (n=0, 1)
3	ADCCn (n=0, 1)
	APDP [ADCCn (n=0, 1)]
	APDP [PORT]
	DCRAn (n=0, 1)
	DNF
	RLN21n (n=0 ~ 2) ^{注2}
	RLN21nm (n=0 ~ 2, m=0 ~ 2) ^{注2}
	ECM
	ECM [ECMC]
	ECM [ECMM]
	EINT
	FACI [FCUFAREA 以外]
	FLASH [SELFIDn (n=0 ~ 3, ST)]
	FLASH [OPBTn (n=0, 2), PRDNAMEn (n=1 ~ 4)]
	PBG [PBG3]
	PORT
	5
CLMAn (n=0 ~ 2)	
FLASH [FHVE15]	
FLASH [FHVE3]	
SYS	

注 1. モジュール名の [] 内は、対象となるモジュールおよびレジスタを示します。

注 2. 上記モジュールおよびユニット数は C1H で搭載しているものであり、C1M では非搭載となるモジュールがあります。C1M における C1H からの差分点を以下に示します。

- 非搭載となるモジュール： IPIRSS, MEV, RLN21n, RLN21nm
- ユニット数が増えるモジュール： OSTMn (n=0, 1), WDTAn (n=0), RDC2n (n=0), TPBAn (n=0)

3.2 CPU

3.2.1 コア機能

3.2.1.1 特長

RH850G3M コアの特長を表 3.2 に示します。

表 3.2 RH850G3M コアの特長

項目	特長
CPU	<ul style="list-style-type: none"> • 組み込み制御用高性能 32 ビットアーキテクチャ • 32 ビット内部データバス • 32 本の 32 ビット汎用レジスタ • RISC タイプ命令セット <ul style="list-style-type: none"> – ロング/ショート形式を持つロード/ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット • CPU 動作モード <ul style="list-style-type: none"> – ユーザモード、スーパバイザモード • アドレス空間：データ/命令ともに 4G バイトリニア • 命令：SNOOZE 命令による一時停止期間は CPU クロック (CLK_CPU) で 32 クロック
コプロセッサ	<ul style="list-style-type: none"> • 浮動小数点演算コプロセッサ (FPU) 搭載 <ul style="list-style-type: none"> – 単精度 (32 ビット) および倍精度 (64 ビット) をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、+∞方向、-∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外/割り込み	<ul style="list-style-type: none"> • チャンネルごとに設定可能な 16 レベルの割り込み優先度 • 性能要求/メモリ消費量によって選択可能なベクタ選択方式 <ul style="list-style-type: none"> – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ • 専用命令 (PUSHSP, POPSP) による割り込み時のコンテキスト高速退避/復帰処理の支援
メモリ管理	<ul style="list-style-type: none"> • メモリ保護機能搭載 (MPU)：12 領域設定可能
キャッシュ	<ul style="list-style-type: none"> • 命令キャッシュ搭載

3.2.1.2 レジスタセット

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ (r0-r31) とプログラムカウンタ (PC) があります。

表 3.3 プログラムレジスタ一覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス/データ変数用レジスタ (使用するリアルタイム OS がこのレジスタを使用していない場合)	
	r3	スタックポインタ (SP)	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ (GP)	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ (TP)	テキスト領域 (プログラムコードを配置する領域) の先頭を示すレジスタとして使用
	r6-29	アドレス/データ変数用レジスタ	
	r30	エレメントポインタ (EP)	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ (LP)	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備考

アセンブラや C コンパイラで使用される r1、r3-r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のマニュアルを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0～r31の32本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。r0は常に0を保持していますが、r1～r31のリセット後の値は不定です。汎用レジスタは、ハードウェアスレッドごとに一組ずつ、多重化されています。汎用レジスタのうち、r0-r5、r30、r31は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり、0を使用する演算やベースアドレスが0のアドレッシングで使用されます。

r3はPREPARE命令、DISPOSE命令、PUSHSP命令、POPSP命令により、暗黙的に使用されます。

r30はSLD命令とSST命令により、メモリをアクセスするときのベースポインタとして使用されます。

2. r1、r4、r5、r31

アセンブラとCコンパイラにより暗黙的に使用されます。

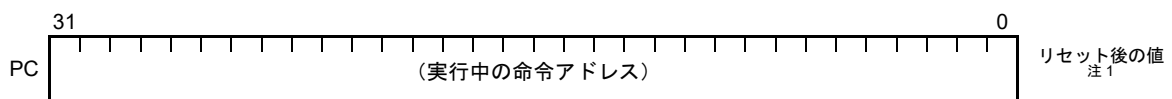
これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。また、ビット0は0に固定されており、奇数番地への分岐はできません。



注1. リセット後の値は起動領域により異なります。詳細は「第4章 アドレス空間」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPUの状態制御、例外情報保持などを行います。

システムレジスタへのリード/ライトは、LDSR命令、STSR命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.4 基本システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR0,0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1,0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2,0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3,0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5,0	PSW	プログラムステータスワード	注1
SR6,0	FPSR	(FPU 機能レジスタ参照)	CU0 かつ SV
SR7,0	FPEPC	(FPU 機能レジスタ参照)	CU0 かつ SV
SR8,0	FPST	(FPU 機能レジスタ参照)	CU0
SR9,0	FPC	(FPU 機能レジスタ参照)	CU0
SR10,0	FPCFG	(FPU 機能レジスタ参照)	CU0
SR11,0	FPEC	(FPU 機能レジスタ参照)	CU0 かつ SV
SR13,0	EIIC	EI レベル例外要因	SV
SR14,0	FEIC	FE レベル例外要因	SV
SR16,0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17,0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20,0	CTBP	CALLT ベースポインタ	UM
SR28,0	EIWR	EI レベル例外用作業レジスタ	SV
SR29,0	FEWR	FE レベル例外用作業レジスタ	SV
SR0,1	MCFG0	マシンコンフィグレーション	SV
SR2,1	RBASE	リセットベクタベースアドレス	SV
SR3,1	EBASE	例外ハンドラベクタアドレス	SV
SR4,1	INTBP	割り込みハンドラアドレステーブルのベースアドレス	SV
SR5,1	MCTL	CPU の制御	SV
SR6,1	PID	プロセッサ識別子	SV
SR11,1	SCCFG	SYSCALL の動作設定	SV
SR12,1	SCBP	SYSCALL ベースポインタ	SV
SR0,2	HTCFG0	スレッドコンフィグレーション	SV
SR6,2	MEA	メモリエラーアドレス	SV
SR7,2	ASID	アドレス空間識別子	SV
SR8,2	MEI	メモリエラー情報	SV

注1. ビットによってアクセス権限が異なります。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「RH850G3M ユーザーズマニュアル ソフトウェア編」の「4.1.3 例外の実行形態」を参照してください）。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

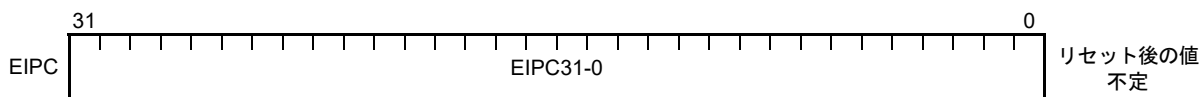


表 3.5 EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	EIPC31-1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「RH850G3M ユーザーズマニュアル ソフトウェア編」の「4.1.3 例外の実行形態」を参照してください）。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

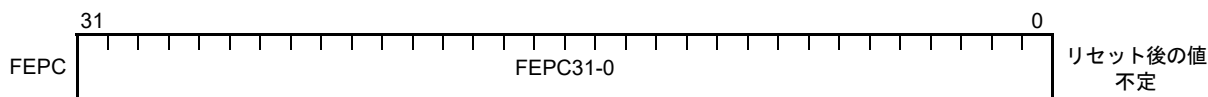


表 3.7 FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	FEPC31-1	FE レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

表 3.10 PSW レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
14 ~ 12	—	(将来のための予約です。必ず 0 を設定してください)	R	0
11 ~ 9	Debug	開発ツール向けのデバッグ機能で使います。通常は、0 を設定してください。	—	0
8	—	(将来のための予約です。必ず 0 を設定してください)	R	0
7	NP	FE レベル例外の受け付けを禁止します。FE レベル例外が受け付けられるとセット (1) され、EI レベル例外、FE レベル例外の受け付けを禁止します。NP ビットによって、受け付けが禁止される例外は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の例外要因一覧を参照してください。 0: FE レベル例外の受け付けを許可する 1: FE レベル例外の受け付けを禁止する	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット (1) されます。なお、このビットはセット (1) されても例外要求の受け付けには影響しません。 0: 割り込み以外の例外処理中ではない 1: 割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外の受け付けを禁止します。EI レベル例外、FE レベル例外が受け付けられるとセット (1) され、EI レベル例外の受け付けを禁止します。ID ビットによって、受け付けが禁止される例外は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の例外要因一覧を参照してください。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット (1) し、EI 命令の実行によってクリア (0) します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0: EI レベル例外の受け付けを許可する 1: EI レベル例外の受け付けを禁止する	R/W	1
4	SAT 注1	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア (0) されません。クリア (0) する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット (1) もクリア (0) も行いません。 0: 飽和していない 1: 飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローが発生したことを示します。 0: キャリー、およびボローが発生していない 1: キャリー、またはボローが発生した	R/W	0
2	OV 注1	演算中にオーバーフローが発生したことを示します。 0: オーバーフローが発生していない 1: オーバーフローが発生した	R/W	0
1	S 注1	演算の結果が負であったことを示します。 0: 演算の結果は、正または 0 であった 1: 演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 であったことを示します。 0: 演算の結果は 0 でなかった 1: 演算の結果は 0 であった	R/W	0

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFF FFFF _H
負の最大値を越えた	1	1	1	8000 0000 _H
正 (最大値を越えない)	演算前の値 を保持	0	0	演算結果そのもの
負 (最大値を越えない)			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

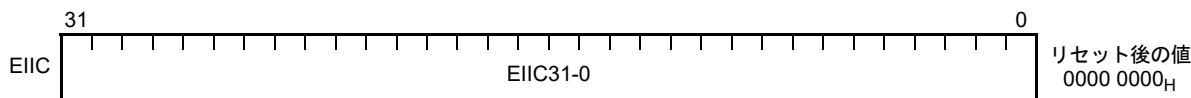


表 3.11 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	EIIC31-0	EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.11 割り込み例外ハンドラと優先順位」および「RH850G3M ユーザーズマニュアル ソフトウェア編」の例外要因一覧を参照してください。EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

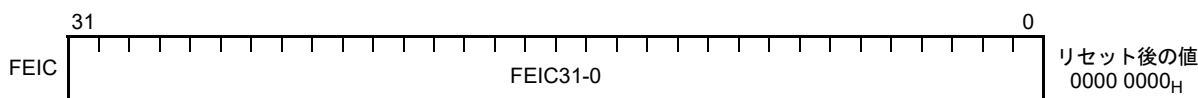


表 3.12 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	FEIC31-0	FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.11 割り込み例外ハンドラと優先順位」および「RH850G3M ユーザーズマニュアル ソフトウェア編」の例外要因一覧を参照してください。FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

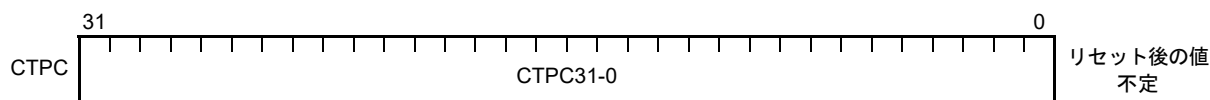


表 3.13 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	CTPC31-1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

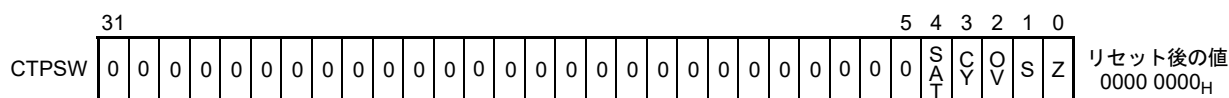


表 3.14 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 5	—	(将来のための予約です。必ず 0 を設定してください)	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

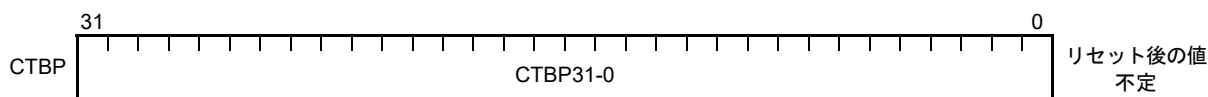


表 3.15 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	CTBP31-1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

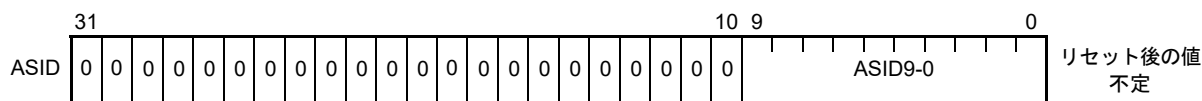


表 3.16 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 10	—	(将来のための予約です。必ず 0 を設定してください)	R	0
9 ~ 0	ASID9-0	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

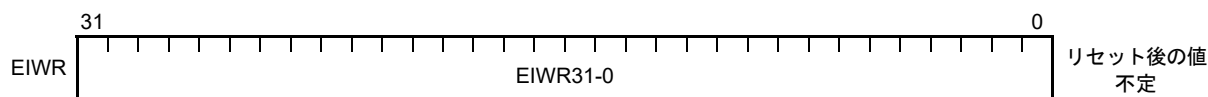


表 3.17 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	EIWR31-0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

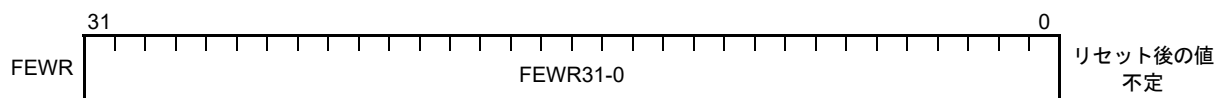


表 3.18 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	FEWR31-0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(n) HTCFG0 — スレッドコンフィグレーション

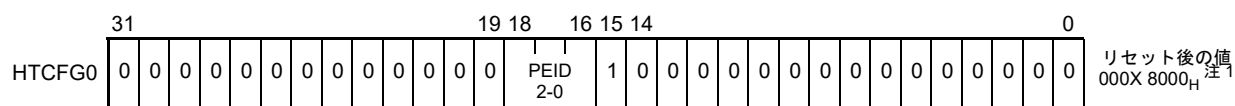


表 3.19 HTCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 19	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
18 ~ 16	PEID2-0	プロセッサエレメント番号を示します。	R	CPU1 (PE1) : 001 _B CPU2 (PE2) : 010 _B
15	—	(将来のための予約です。必ず 1 を設定してください。)	R	1
14 ~ 0	—	(将来のための予約です。必ず 0 を設定してください。)	R	0

注 1. アクセスを実行した CPU により値が異なります。

(o) MEA — メモリエラーアドレス

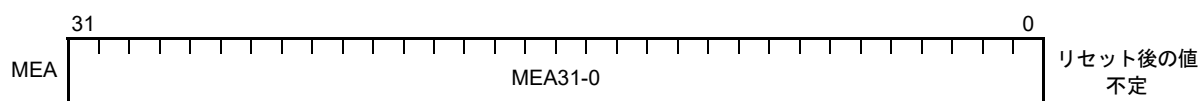


表 3.20 MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MEA31-0	MAE (ミスアライン) / MPU 違反時のアドレスを保存します。	R/W	不定

表 3.22 例外を引き起こした命令と MEI レジスタの値

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0 (Byte)	0 (Signed)	0 (Read)	00000 _B
SLD.BU	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00000 _B
SLD.H	dst	1 (Half-word)	0 (Signed)	0 (Read)	00000 _B
SLD.HU	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00000 _B
SLD.W	dst	2 (Word)	0 (Signed)	0 (Read)	00000 _B
SST.B	src	0 (Byte)	0 (Signed)	1 (Write)	00000 _B
SST.H	src	1 (Half-word)	0 (Signed)	1 (Write)	00000 _B
SST.W	src	2 (Word)	0 (Signed)	1 (Write)	00000 _B
LD.B (disp16)	dst	0 (Byte)	0 (Signed)	0 (Read)	00001 _B
LD.BU (disp16)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00001 _B
LD.H (disp16)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00001 _B
LD.HU (disp16)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00001 _B
LD.W (disp16)	dst	2 (Word)	0 (Signed)	0 (Read)	00001 _B
ST.B (disp16)	src	0 (Byte)	0 (Signed)	1 (Write)	00001 _B
ST.H (disp16)	src	1 (Half-word)	0 (Signed)	1 (Write)	00001 _B
ST.W (disp16)	src	2 (Word)	0 (Signed)	1 (Write)	00001 _B
LD.B (disp23)	dst	0 (Byte)	0 (Signed)	0 (Read)	00010 _B
LD.BU (disp23)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00010 _B
LD.H (disp23)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00010 _B
LD.HU (disp23)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00010 _B
LD.W (disp23)	dst	2 (Word)	0 (Signed)	0 (Read)	00010 _B
ST.B (disp23)	src	0 (Byte)	0 (Signed)	1 (Write)	00010 _B
ST.H (disp23)	src	1 (Half-word)	0 (Signed)	1 (Write)	00010 _B
ST.W (disp23)	src	2 (Word)	0 (Signed)	1 (Write)	00010 _B
LD.DW (disp23)	dst	3 (Double-word)	0 (Signed)	0 (Read)	00010 _B
ST.DW (disp23)	src	3 (Double-word)	0 (Signed)	1 (Write)	00010 _B
LDL.W	dst	2 (Word)	0 (Signed)	0 (Read)	00111 _B
STC.W	src	2 (Word)	0 (Signed)	1 (Write)	00111 _B
CAXI	dst	2 (Word)	1 (Unsigned)	0 (Read) 注1	01000 _B
SET1	—	0 (Byte)	1 (Unsigned)	0 (Read) 注1	01001 _B
CLR1	—	0 (Byte)	1 (Unsigned)	0 (Read) 注1	01001 _B
NOT1	—	0 (Byte)	1 (Unsigned)	0 (Read) 注1	01001 _B
TST1	—	0 (Byte)	1 (Unsigned)	0 (Read)	01001 _B
PREPARE	—	2 (Word)	1 (Unsigned)	1 (Write)	01100 _B
DISPOSE	—	2 (Word)	1 (Unsigned)	0 (Read)	01100 _B
PUSHSP	—	2 (Word)	1 (Unsigned)	1 (Write)	01101 _B
POPSP	—	2 (Word)	1 (Unsigned)	0 (Read)	01101 _B
SWITCH	—	1 (Half-word)	0 (Signed)	0 (Read)	10000 _B
CALLT	—	1 (Half-word)	1 (Unsigned)	0 (Read)	10001 _B
SYSCALL	—	2 (Word)	1 (Unsigned)	0 (Read)	10010 _B
CACHE	—	—	—	0 (Read)	10100 _B
割り込み (テーブル参照) 注2	—	2 (Word)	1 (Unsigned)	0 (Read)	10101 _B

注 1. リード時点で例外が発生します。

注 2. テーブル参照方式の割り込みベクタ読み込み時

備 考

dst : ディスティネーションレジスタ番号、src : ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア (0) されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

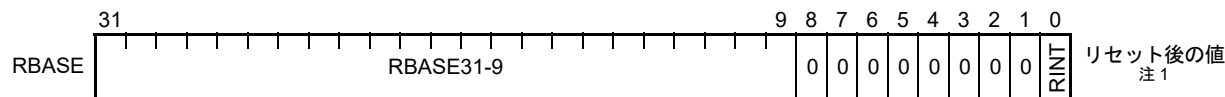


表 3.23 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	RBASE31-9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。RBASE8-0 は、暗黙的に 0 が適用されます。	R	注 1
8 ~ 1	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
0	RINT	直接分岐方式のオフセットアドレスの決定方法を設定します。ただし、このビットは PSW.EBV=0 のときに有効です。 0: 割り込み優先順位により、オフセットアドレス (+100 _H ~ +1F0 _H) を決定 1: オフセットアドレスは +100 _H 固定 「6.4 割り込み例外ハンドラと優先順位動作説明」を参照してください。	R	0

注 1. リセットベクタは起動領域により異なります。詳細は「第 4 章 アドレス空間」を参照してください。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット (1) されている場合に有効です。



表 3.24 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	EBASE31-9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。EBASE8-0 は、暗黙的に 0 が適用されます。	R/W	不定
8 ~ 1	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
0	RINT	直接分岐方式のオフセットアドレスの決定方法を設定します。 0: 割り込み優先順位により、オフセットアドレス (+100 _H ~ +1F0 _H) を決定 1: オフセットアドレスは +100 _H 固定 「6.4 割り込み例外ハンドラと優先順位動作説明」を参照してください。	R/W	不定

(s) INTBP — 例外ハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

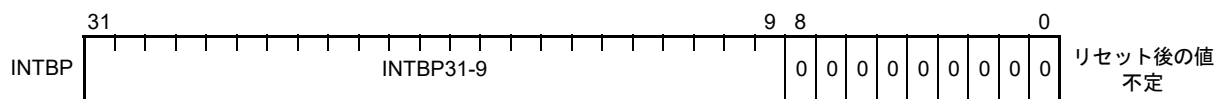


表 3.25 INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	INTBP31-9	拡張仕様の割り込みのベースポインタアドレスです。 拡張仕様に指定された割り込み（EIINT0-255）受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。 INTBP8-0 は、暗黙的に 0 が適用されます。	R/W	不定
8 ~ 0	—	(将来のための予約です。必ず 0 を設定してください。)	R	0

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

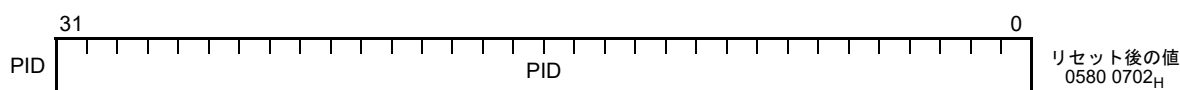


表 3.26 PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示します。	R	05 _H
23 ~ 8		機能識別子 プロセッサの持つ機能を示します。 ビットごとに定義された機能の搭載/非搭載を示します（1：搭載、0：非搭載）。 ビット 23-11 予約 ビット 10 倍精度浮動小数点演算機能 ビット 9 単精度浮動小数点演算機能 ビット 8 メモリ保護機能（MPU）	R	8007 _H
7 ~ 0		バージョン識別子 プロセッサのバージョンを示します。	R	02 _H

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

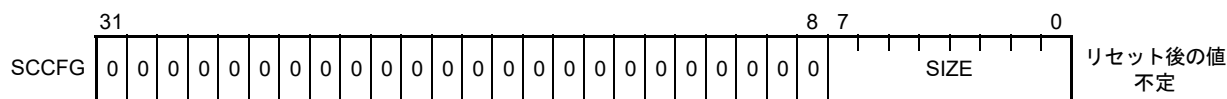


表 3.27 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 8	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
7 ~ 0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

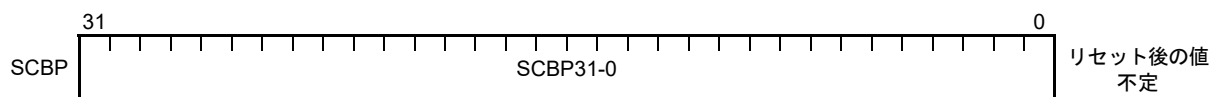


表 3.28 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	SCBP31-2	SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1, 0	SCBP1-0	SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。常に 0 を設定してください。	R	0

(3) 割り込み機能レジスタ

割り込み機能レジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.31 割り込み機能システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR7,1	FPIPR	FPI 例外割り込み優先度設定	SV
SR10,2	ISPR	受け付け中割り込み優先度	SV
SR11,2	PMR	割り込み優先度マスク	SV
SR12,2	ICSR	割り込み制御ステータス	SV
SR13,2	INTCFG	割り込み機能の設定	SV

(a) FPIPR — FPI 例外割り込み優先度設定

FPI 例外の割り込み優先度を設定するレジスタです。

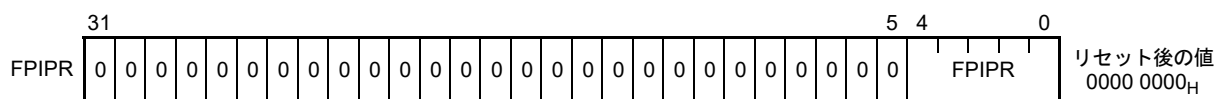


表 3.32 FPIPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 5	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
4 ~ 0	FPIPR	浮動小数点演算例外（インプレサイス）（FPI）の割り込み優先度を指定します。0 ~ 15 までの値を設定します。16 以上の値は設定禁止です。 FPI 例外は、指定された割り込み優先度として扱われます。同一優先度の割り込みと同時に発生した場合は、FPI 例外が優先されます。	R/W	0

(b) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINT_n の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

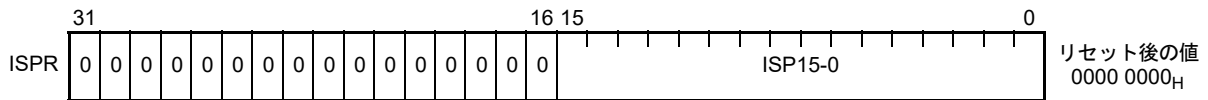


表 3.33 ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 16	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
15 ~ 0	ISP15-0	<p>ビット位置に対応した優先度の割り込み (EIINT_n) の受け付け状況を示します。</p> <p>0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない</p> <p>1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <p>ビット 0 : 優先度 0 (最高優先度)</p> <p>ビット 1 : 優先度 1</p> <p>：</p> <p>ビット 14 : 優先度 14</p> <p>ビット 15 : 優先度 15</p> <p>割り込み (EIINT_n) 要求を受け付けた場合、受け付けた割り込み (EIINT_n) 要求に対応するビットが自動的にセット (1) されます。また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP15-0 でセット (1) されているビットのうち、最も高優先度 (0 が高優先度側) のビットがクリア (0) されます注¹。</p> <p>このビットがセット (1) されている間、その優先度以下の割り込み (EIINT_n) と FPI 例外注² がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません。</p> <p>PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。</p>	R注 ³	0

- 注 1. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。
- 注 2. FPI 例外は、割り込み (EIINT_n) と同一の優先レベルであるため、割り込みと同様に ISPR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。
- 注 3. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(c) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

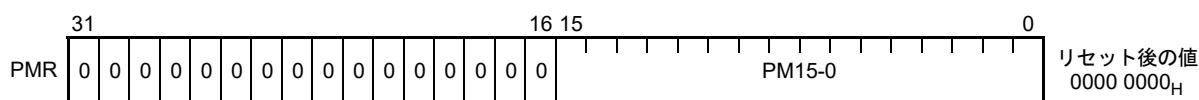


表 3.34 PMR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 16	—	(将来のための予約です。必ず0を設定してください。)	R	0
15 ~ 0	PM15-0	<p>ビット位置に対応した割り込み要求をマスクします。</p> <p>0: ビット位置に対応する優先度の割り込み処理を許可 1: ビット位置に対応する優先度の割り込み処理を禁止</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <p>ビット0: 優先度0 (最高優先度) ビット1: 優先度1 : ビット14: 優先度14 ビット15: 優先度15 (最低優先度)</p> <p>このビットがセット (1) されている間、その優先度の割り込み (EIINTn) と FPI 例外^{注1} がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません^{注2}。</p>	R/W	0

注1. FPI 例外は、割り込み (EIINTn) と同一の優先レベルであるため、割り込みと同様に PMR の影響を受けません。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注2. マスクは低優先側から、連続して1を設定してください。例えば FF00_H のような設定は可能ですが、F0F0_H や 00FF_H のような設定は禁止します。

(d) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

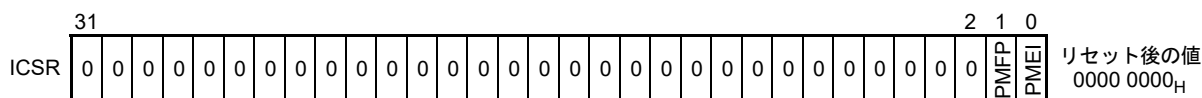


表 3.35 ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	—	(将来のための予約です。必ず0を設定してください。)	R	0
1	PMFP	<p>PMR の設定でマスクされている優先度の FPI 例外が存在することを示します。</p> <p>0: FPI 例外が存在しない 1: FPI 例外が存在する</p>	R	0
0	PMEI	<p>PMR の設定でマスクされている優先度の割り込み (EIINTn) が存在することを示します。</p> <p>0: 割り込み (EIINTn) が存在しない 1: 割り込み (EIINTn) が存在する</p>	R	0

(4) FPU 機能レジスタ

FPU では浮動小数点演算制御のために以下のシステムレジスタが使用できます。FPU 機能レジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。レジスタ詳細は「RH850G3M ユーザーズマニュアル ソフトウェア編」の「3.4.2 浮動小数点システム・レジスタ」を参照してください。

表 3.37 FPU 機能レジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR6, 0	FPSR	浮動小数点演算の設定/ステータス	CU0 かつ SV
SR7, 0	FPEPC	浮動小数点演算例外プログラムカウンタ	CU0 かつ SV
SR8, 0	FPST	浮動小数点のステータス	CU0
SR9, 0	FPCC	浮動小数点演算の比較結果	CU0
SR10, 0	FPCFG	浮動小数点機能の設定	CU0
SR11, 0	FPEC	浮動小数点演算例外の制御	CU0 かつ SV

(5) MPU 機能レジスタ

MPU 機能レジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.38 MPU 機能システムレジスタ一覧 (1/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR0, 5	MPM	メモリ保護動作モードの設定	SV
SR1, 5	MPRC	MPU リージョン制御	SV
SR4, 5	MPBRGN	MPU ベースリージョン番号	SV
SR5, 5	MPTRGN	MPU 終端リージョン番号	SV
SR8, 5	MCA	メモリ保護設定チェックアドレス	SV
SR9, 5	MCS	メモリ保護設定チェックサイズ	SV
SR10, 5	MCC	メモリ保護設定チェックコマンド	SV
SR11, 5	MCR	メモリ保護設定チェック結果	SV
SR0, 6	MPLA0	保護領域の下限アドレス	SV
SR1, 6	MPUA0	保護領域の上限アドレス	SV
SR2, 6	MPAT0	保護領域の属性	SV
SR4, 6	MPLA1	保護領域の下限アドレス	SV
SR5, 6	MPUA1	保護領域の上限アドレス	SV
SR6, 6	MPAT1	保護領域の属性	SV
SR8, 6	MPLA2	保護領域の下限アドレス	SV
SR9, 6	MPUA2	保護領域の上限アドレス	SV
SR10, 6	MPAT2	保護領域の属性	SV
SR12, 6	MPLA3	保護領域の下限アドレス	SV
SR13, 6	MPUA3	保護領域の上限アドレス	SV
SR14, 6	MPAT3	保護領域の属性	SV
SR16, 6	MPLA4	保護領域の下限アドレス	SV
SR17, 6	MPUA4	保護領域の上限アドレス	SV

表 3.38 MPU 機能システムレジスタ一覧 (2/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR18, 6	MPAT4	保護領域の属性	SV
SR20, 6	MPLA5	保護領域の下限アドレス	SV
SR21, 6	MPUA5	保護領域の上限アドレス	SV
SR22, 6	MPAT5	保護領域の属性	SV
SR24, 6	MPLA6	保護領域の下限アドレス	SV
SR25, 6	MPUA6	保護領域の上限アドレス	SV
SR26, 6	MPAT6	保護領域の属性	SV
SR28, 6	MPLA7	保護領域の下限アドレス	SV
SR29, 6	MPUA7	保護領域の上限アドレス	SV
SR30, 6	MPAT7	保護領域の属性	SV
SR0, 7	MPLA8	保護領域の下限アドレス	SV
SR1, 7	MPUA8	保護領域の上限アドレス	SV
SR2, 7	MPAT8	保護領域の属性	SV
SR4, 7	MPLA9	保護領域の下限アドレス	SV
SR5, 7	MPUA9	保護領域の上限アドレス	SV
SR6, 7	MPAT9	保護領域の属性	SV
SR8, 7	MPLA10	保護領域の下限アドレス	SV
SR9, 7	MPUA10	保護領域の上限アドレス	SV
SR10, 7	MPAT10	保護領域の属性	SV
SR12, 7	MPLA11	保護領域の下限アドレス	SV
SR13, 7	MPUA11	保護領域の上限アドレス	SV
SR14, 7	MPAT11	保護領域の属性	SV

(g) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを開始するためのコマンドレジスタです。

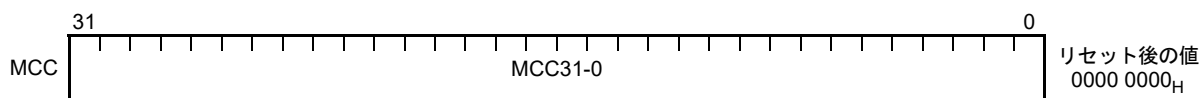


表 3.45 MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MCC31-MCC0	MCC レジスタへ任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。任意の書き込み値で、チェックを開始するため、r0 をソースレジスタとして、余分なレジスタを使用することなく、チェックを開始できます。また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定にしたがった結果を反映します。MCC レジスタからの読み出し値は、常に 0000 0000 _H となります。	R/W	0

(h) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31 ~ 9、7、6 には、必ず 0 を設定してください。

注 意

チェック対象の領域の指定が 0000 0000_H をまたぐ場合、領域指定が誤っていると判断し、MCR.OV ビットがセット (1) されます。このため、チェック結果を参照する場合には、必ず MCR.OV ビットを確認し、結果が不正でないことを確認 (OV = 0 であることを確認) してから、その他のチェック結果を利用してください。

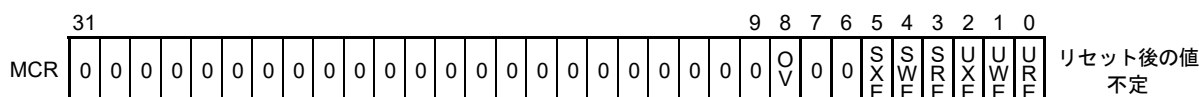


表 3.46 MCR レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
8	OV	指定された領域が 0000 0000 _H または、7FFF FFFF _H をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
7、6	—	(将来のための予約です。必ず 0 を設定してください。)	R	0
5	SXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
4	SWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
3	SRE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
2	UXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

表 3.46 MCR レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
1	UWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。	R/W	不定
0	URE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

(i) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです ($n = 0 \sim 11$)。

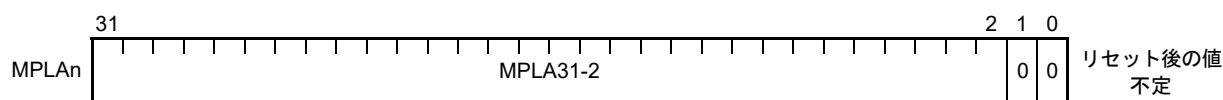


表 3.47 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	MPLA31-2	領域 n の下限アドレスを示します。 MPLA1-0 は暗黙的に 0 が適用されます。	R/W	不定
1, 0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(j) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです ($n = 0 \sim 11$)。

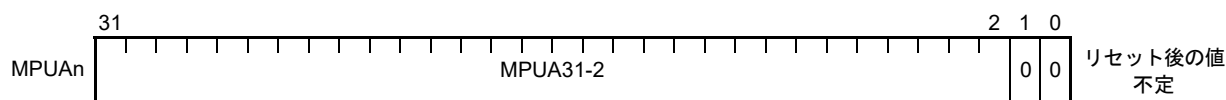


表 3.48 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	MPUA31-2	領域 n の上限アドレスを示します。 MPUA1-0 は暗黙的に 1 が適用されます。	R/W	不定
1, 0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(k) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです (n = 0 ~ 11)。

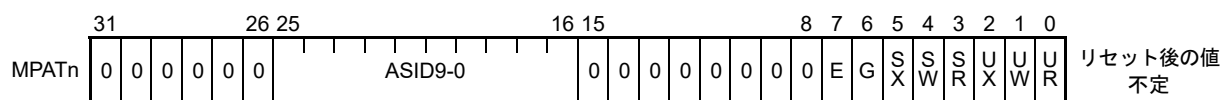


表 3.49 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 26	—	(将来のための予約です。必ず 0 に設定してください。)	R	0
25 ~ 16	ASID9-0	領域一致の条件として利用する ASID の値を示します。	R/W	不定
15 ~ 8	—	(将来のための予約です。必ず 0 に設定してください。)	R	0
7	E	領域 n の有効/無効を示します。 0 : 領域 n を無効とする 1 : 領域 n を有効とする	R/W	0
6	G	0 : ASID 一致を条件とする 1 : ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパーバイザモードでの実行権を示します注 ¹ 。 0 : 実行禁止 1 : 実行許可	R/W	不定
4	SW	スーパーバイザモードでの書き込み許可を示します注 ¹ 。 0 : 書き込み禁止 1 : 書き込み許可	R/W	不定
3	SR	スーパーバイザモードでの読み出し許可を示します注 ¹ 。 0 : 読み出し禁止 1 : 読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0 : 実行禁止 1 : 実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0 : 書き込み禁止 1 : 書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0 : 読み出し禁止 1 : 読み出し許可	R/W	不定

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

キャッシュ操作機能レジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.50 キャッシュ操作機能レジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR16, 4	ICTAGL	命令キャッシュタグ Lo アクセス	SV
SR17, 4	ICTAGH	命令キャッシュタグ Hi アクセス	SV
SR18, 4	ICDATL	命令キャッシュデータ Lo アクセス	SV
SR19, 4	ICDATH	命令キャッシュデータ Hi アクセス	SV
SR24, 4	ICCTRL	命令キャッシュ制御	SV
SR26, 4	ICCFG	命令キャッシュコンフィグ	SV
SR28, 4	ICERR	命令キャッシュエラー	SV

(a) ICTAGL — 命令キャッシュタグ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

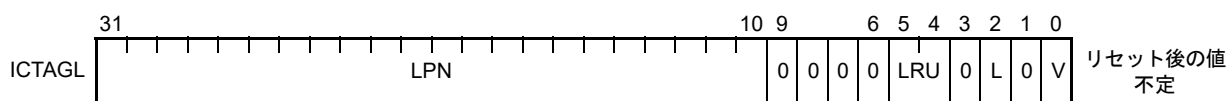


表 3.51 ICTAGL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 10	LPN	物理ページ番号のビット 24 ~ 11 を保持します。 ビット 31 ~ 25、10 には必ず 0 を設定してください。	R/W	不定
9 ~ 6	—	(将来のための予約です。必ず 0 を設定してください)	R	0
5, 4	LRU	指定したキャッシュラインの LRU 情報を示します。LRU 情報は CIST 命令で任意の値に変更することはできません。	R/W	不定
3	—	(将来のための予約です。必ず 0 を設定してください)	R	0
2	L	ロック情報を保持します。	R/W	不定
1	—	(将来のための予約です。必ず 0 を設定してください)	R	0
0	V	指定したキャッシュラインの有効/無効情報を保持します。	R/W	不定

(b) ICTAGH — 命令キャッシュタグ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

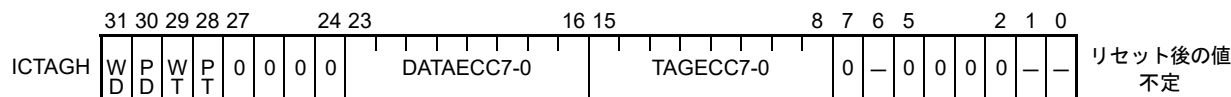


表 3.52 ICTAGH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	WD	CIST の実行時にセット (1) しておくでキャッシュのデータ RAM を更新します。	R/W	不定
30	PD	CIST の実行時にセット (1) しておくで DATAECC フィールドの値をデータ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
29	WT	CIST の実行時にセット (1) しておくでキャッシュのタグ RAM を更新します。	R/W	不定
28	PT	CIST の実行時にセット (1) しておくで TAGECC フィールドの値をタグ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
27 ~ 24	—	(将来のための予約です。必ず 0 を設定してください)	R	0
23 ~ 16	DATAECC7-0	データ RAM の ECC を保持します。	R/W	不定
15 ~ 8	TAGECC7-0	タグ RAM の ECC を保持します。ビット 15 には 0 を書き込んでください。	R/W	不定
7	—	(将来のための予約です。必ず 0 を設定してください)	R	0
6	—	(将来のための予約です。必ず 0 を設定してください)	R	不定
5 ~ 2	—	(将来のための予約です。必ず 0 を設定してください)	R	0
1, 0	—	(将来のための予約です。必ず 0 を設定してください)	R	不定

(c) ICDATL — 命令キャッシュデータ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

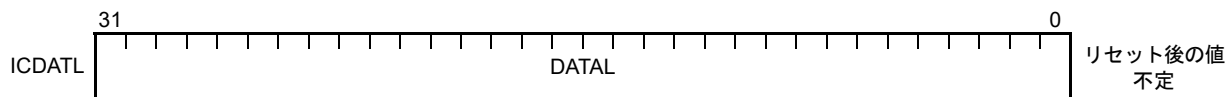


表 3.53 ICDATL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	DATAL	指定したキャッシュライン内ブロックの命令データのうちビット 31 ~ 0、または ビット 95 ~ 64 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 : ビット 31 ~ 0 インデックスの Offset = 1000 : ビット 95 ~ 64	R/W	不定

(d) ICDATH — 命令キャッシュデータ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

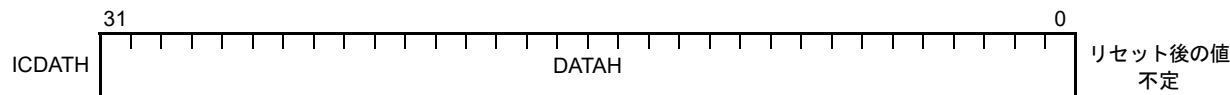


表 3.54 ICDATH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	DATAH	指定したキャッシュライン内ブロックの命令データのうちビット 63 ~ 32、または ビット 127 ~ 96 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 : ビット 63 ~ 32 インデックスの Offset = 1000 : ビット 127 ~ 96	R/W	不定

(e) ICCTRL — 命令キャッシュ制御

命令キャッシュの制御を行うレジスタです。

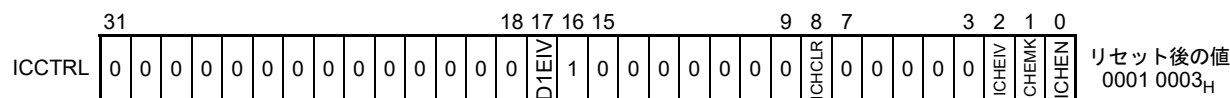


表 3.55 ICCTRL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 18	—	(将来のための予約です。必ず 0 を設定してください)	R	0
17	D1EIV	データ RAM 1 ビットエラー発生時の動作を選択します。 0 : エラー訂正後、処理を続行します。 ただし、当該エントリはエラーを含んだまま保持となります。 1 : エラー訂正せず、当該エントリをクリアし再フェッチします。 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。	R/W	0
16	—	(将来のための予約です。必ず 1 を設定してください)	R	1
15 ~ 9	—	(将来のための予約です。必ず 0 を設定してください)	R	0
8	ICHCLR	セット (1) すると命令キャッシュを一括でクリアします。本ビットに 1 を設定後、クリアを完了するまではこのビットのリード値は 1 になります。クリア完了後、このビットのリード値は 0 になります。	R/W	0
7 ~ 3	—	(将来のための予約です。必ず 0 を設定してください)	R	0
2	ICHEIV	セット (1) するとキャッシュエラーの発生時に自動的に命令キャッシュを無効 (ICHEN ビットを 0 にします) にします。	R/W	0
1	ICHEMK	セット (1) するとキャッシュエラーの発生時に CPU に対するキャッシュエラー例外の通知をマスクします。	R/W	1
0	ICHEN	命令キャッシュの有効/無効を示します。 0 : 命令キャッシュは無効 1 : 命令キャッシュは有効 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。	R/W	1

(f) ICCFG — 命令キャッシュコンフィグ

命令キャッシュの構成を示すレジスタです。

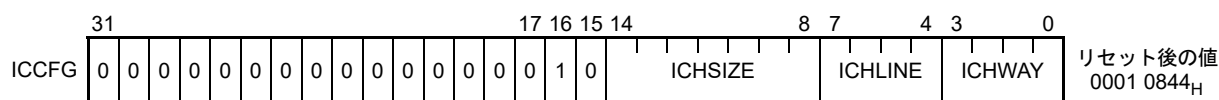


表 3.56 ICCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 17	—	(将来のための予約です。必ず 0 を設定してください)	R	0
16	—	(将来のための予約です。必ず 1 を設定してください)	R	1
15	—	(将来のための予約です。必ず 0 を設定してください)	R	0
14 ~ 8	ICHSIZE	命令キャッシュの容量 (K バイト) を示します。 000 1000 : 8 K バイト	R	08 _H
7 ~ 4	ICHLINE	命令キャッシュの 1way あたりのライン数を示します。 0100 : 128 ライン	R	4 _H
3 ~ 0	ICHWAY	命令キャッシュの way 数を示します。 0100 : 4way	R	4 _H

3.2.2 命令キャッシュ、データバッファ

3.2.2.1 特長

CPUとCode Flash間に、8Kバイト4Wayセットアソシアティブの命令キャッシュを搭載しています。命令キャッシュとCode Flash間は128ビットの専用バスで接続されており、キャッシュミスヒット時のペナルティを最小にします。また、CPUとCode Flash間にデータバッファを搭載しており、高速なデータアクセスが可能です。アドレス空間上、0000 0000_H～01FF FFFF_Hの32MB領域が、命令キャッシュおよびデータバッファ対象です。

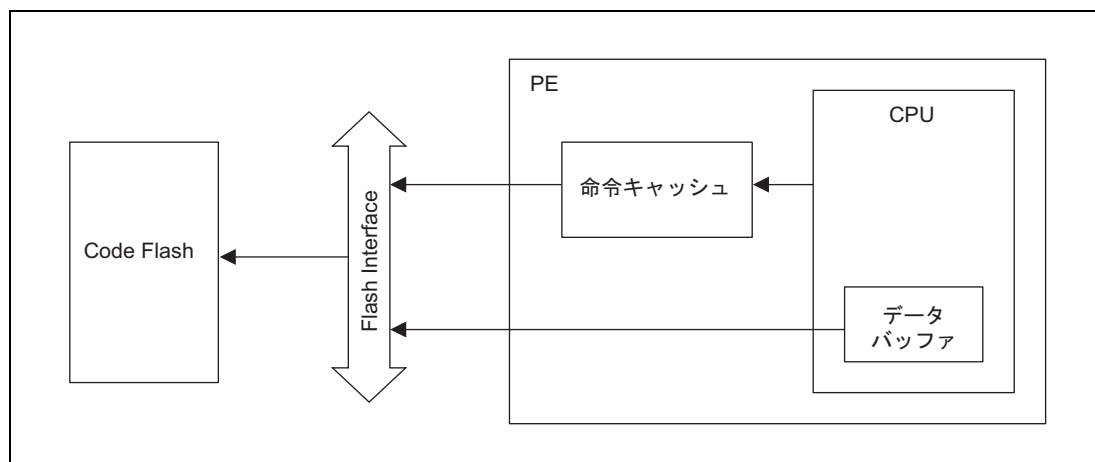


図 3.2 命令キャッシュ、データバッファ

3.2.2.2 命令キャッシュ機能

8K バイト 4Way セットアソシアティブキャッシュは、1 ラインが 4 ワードの 128 エントリのブロックで構成された Way が 4 枚で、合計 8K バイトの容量です。Way は 2 つのグループに分かれており、Way0、Way1 が Way グループ 0、Way2、Way3 が Way グループ 1 です。アクセス対象のアドレス情報をデコードし、使用する Way グループを選択します。キャッシュミスが発生した場合は、LRU による入れ替えアルゴリズムにより 1 ライン単位のリフィルを行います。Code Flash 領域への命令フェッチアクセスがキャッシュ対象です。

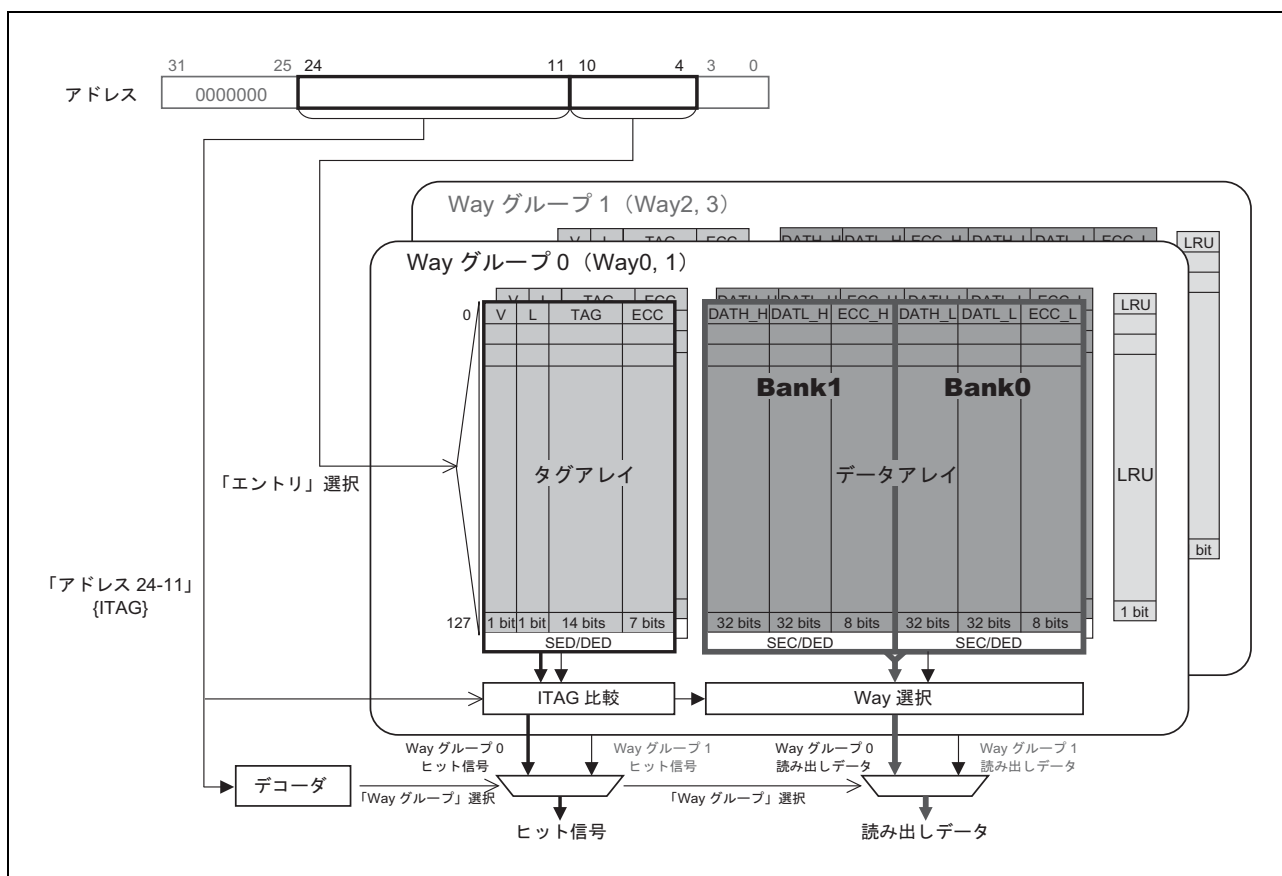


図 3.3 命令キャッシュの構成

タグアレイ

V ビット	キャッシュラインに有効なデータが格納されているか否かを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはリセットで 0 に初期化されます。
L ビット	キャッシュラインがロック状態か否かを示します。このビットが 1 のとき、そのキャッシュラインはロック状態であり、新たなデータで置換されることはありません。L ビットは V ビットが 1 のときのみ有効であり、リセットで初期化されません。
TAG	キャッシュされるデータラインの操作アドレス 32 ビットのうち、ビット 24 ~ 11 を格納します。TAG はリセットで初期化されません。
ECC	タグアレイの ECC を格納します。ECC はリセットで初期化されません。

データアレイ

DATH_H、DATL_H、 DATH_L、DATL_L	キャッシュラインのデータ 128 ビットを 32 ビットごとに格納します。DATH_H に ビット 127 ~ 96、DATL_H に ビット 95 ~ 64、DATH_L に ビット 63 ~ 32、DATL_L に ビット 31 ~ 0 を格納します。CACHE 命令の CIST/CILD 操作において、DATH_H、DATH_L については「ICDATH レジスタ」を、DATL_H、DATL_L については「ICDATL レジスタ」を経由します。
ECC_H、ECC_L	データの [127:64] の ECC を ECC_H に、[63:0] の ECC を ECC_L に格納します。

LRU

LRU	Way グループ内での LRU 情報を格納します。LRU はリセットで初期化されます。
-----	---

注意

CIST 命令で命令キャッシュのタグアレイにテストデータをライトしてから該当ラインを命令フェッチする場合、タグ情報は WAY グループ単位でライトしてください。たとえば、WAY グループ 0 の WAY0 側のあるラインにタグ情報をライトする場合、WAY1 側の同一ラインのタグ情報もライトしてから、命令フェッチしてください。

- WAY グループ 0 (WAY0, 1) にライトする場合、ICTAGL.LPN ビットの排他的論理和が 0 になる値をライトしてください。
- WAY グループ 1 (WAY2, 3) にライトする場合、ICTAGL.LPN ビットの排他的論理和が 1 になる値をライトしてください。

なお、タグアレイに上記以外の値をライトして命令フェッチすると、WAY エラーが発生し ICERR.ESPBSE ビットに 1 がセットされます。また、WAY グループ内の 2 つの WAY の同一ラインに同じタグ情報をライトして命令フェッチすると、マルチヒットエラーが発生し ICERR.ESMH ビットに 1 がセットされます。

3.2.2.3 データバッファ機能

データバッファとして、1 ラインあたり 128 ビットのバッファを、4 ライン搭載しています。Code Flash からリードされる 128 ビット単位のデータを、データバッファに格納します。次回以降、同一アドレスにアクセスした場合、データバッファから読み出すため、Code Flash へのアクセスは発生しません。

3.2.3 プロセッサ間割り込み

PE間で割り込み通信を行うためのレジスタ (IPIR_CHn) を4CH分持っています。

IPIR_CH0～3はユーザ割り込み (EIINT) のCH0～3にアサインされます。各PEに対応したビットを操作することで特定のPE (自身を含む) に対して割り込みを要求することが可能です。

3.2.3.1 プロセッサ間割り込み制御レジスタ

本レジスタは、各PEのCPU Peripheralに配置されています。各PEは各々IPIR_CH0～3レジスタを持っており、他PEのレジスタにアクセスすることはできません。

表 3.60 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
IPIRSS	PE間割り込みレジスタ0	IPIR_CH0	FFFE EC80 _H
IPIRSS	PE間割り込みレジスタ1	IPIR_CH1	FFFE EC84 _H
IPIRSS	PE間割り込みレジスタ2	IPIR_CH2	FFFE EC88 _H
IPIRSS	PE間割り込みレジスタ3	IPIR_CH3	FFFE EC8C _H

(1) IPIR_CHn — PE間割り込みレジスタ n (n = 0～3)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PE2	PE1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 3.61 IPIR_CHn レジスタの内容

ビット位置	ビット名	機能
31～2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PE2	PE2宛てPE間割り込み要求 本ビットに1を書き込むことで、PE2に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に0にクリアされます。 0: PE間割り込み要求出力を指示しない、または割り込み要求出力中でない 1: 割り込み要求出力を指示する、または割り込み要求出力中
0	PE1	PE1宛てPE間割り込み要求 本ビットに1を書き込むことで、PE1に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に0にクリアされます。 0: PE間割り込み要求出力を指示しない、または割り込み要求出力中でない 1: 割り込み要求出力を指示する、または割り込み要求出力中

3.2.4 信頼性機能

3.2.4.1 PE ガード機能 (PEG)

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから PE 内資源への不正なアクセスを防止します。PE 内部の Local RAM へのアクセスが対象です。PE 内のレジスタセットへのアクセスに対しては、PEG 機能ではアクセス制限を実施していません、必要に応じて IPG によるアクセス保護設定を行ってください。リセット初期状態では、自 PE 以外のマスタからのアクセスを全てガードします。「(3) PEG 設定レジスタ一覧」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

(1) PE ガード違反の検出

PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと「PE ガード違反」として検出します。

(2) 不正アクセスの阻止

PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

(3) 違反発生の通知

PE ガード違反を検出した場合、ECM に通知します。また、DMAC や DTS が不正アクセスを実行した場合は、DMA 転送エラーが検出されます。

(2) SPID による保護

- PEG 設定
 - 自 PE の LocalRAM アドレスによって 4 領域まで設定できます。
 - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4kB ～最大 4GB）。
 - 各領域に対して「リード許可」、「ライト許可」をそれぞれ設定できます。
 - 各領域に対して「システム保護識別子 (SPID)」ごとに許可/禁止を選択できます。
- 「システム保護識別子 (SPID)」によるアクセス許可 (図 3.4 を参照)
 1. アクセス対象が「LocalRAM 領域」なら 2 へ。
さもなければ「エラー応答」を返します。
 2. アクセス対象が「有効な領域 0～3」のどれかの範囲内であれば 3 へ。
さもなければ「エラー応答」を返します。
 3. 該当領域に対して以下の条件すべてを満たすか
 - 「システム保護識別子 (SPID)」が許可
 - 「要求されている操作 (リード、ライト)」が許可さもなければ「エラー応答」を返します。

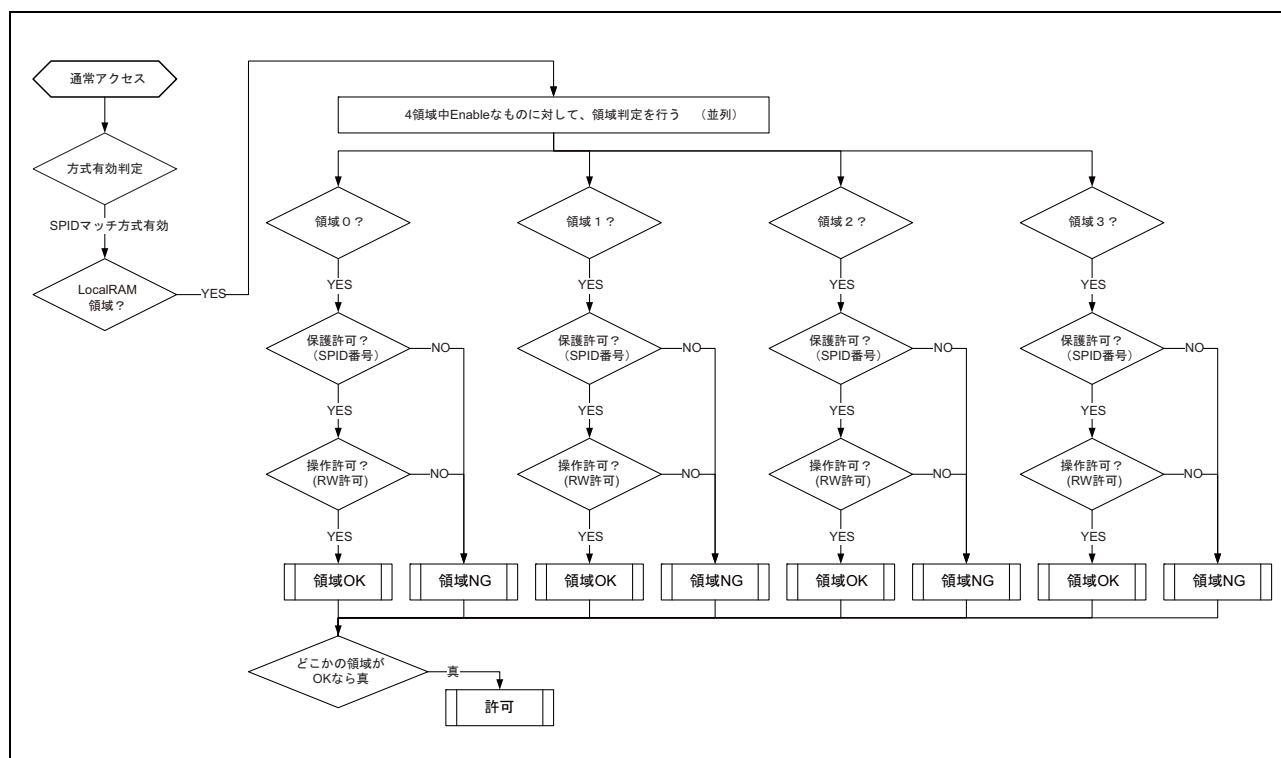


図 3.4 システム保護識別子 (SPID) によるアクセス許可

(3) PEG 設定レジスター一覧

外部マスタによる不正アクセスから PE 内資源をガードするには、以下のレジスタに必要な設定を行います。

- PEG 設定は以下の手順によって可能となります。
 1. PEGGnMK — PE ガード領域 n マスク設定レジスタを設定する。
 2. PEGGnBA — PE ガード領域 n ベース設定レジスタ (n = 0 ~ 3) を設定する。

表 3.62 レジスター一覧

モジュール名	レジスタ名	略号	アドレス
PEG	PE ガード SPID マスタ判定制御レジスタ	PEGSP	FFFE E60C _H
PEG	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	FFFE E680 _H
PEG	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	FFFE E684 _H
PEG	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	FFFE E690 _H
PEG	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	FFFE E694 _H
PEG	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	FFFE E6A0 _H
PEG	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	FFFE E6A4 _H
PEG	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	FFFE E6B0 _H
PEG	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	FFFE E6B4 _H

(4) レジスタセット

(a) PEGSP — PE ガード SPID マスタ判定制御レジスタ

外部マスタから PE 内資源へのアクセス許可設定を有効にするレジスタです。SPEN ビットの初期状態は 0 であり、外部マスタから PE 内資源へのアクセスはできません。SPEN ビットに 1 をセットすると、PEGGnMK と PEGGnBA で設定した条件で、外部マスタからのアクセスを許可します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3.63 PEGSP レジスタの内容

ビット位置	ビット名	機能
15 ~ 1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SPEN	SPID を持つバスマスタによるアクセス許可設定を有効にします。 0 : SPID を持つバスマスタによるアクセス許可設定を無効にし、SPID によるアクセスは禁止されます 1 : SPID を持つバスマスタによるアクセス許可設定を有効にし、SPID によるアクセスを許可します

(b) PEGGnMK — PE ガード領域 n マスク設定レジスタ

PE ガード領域 n の範囲を、PEGGnBA レジスタとの組み合わせで指定するレジスタです。GnMASK ビットに 1 をセットすると PEGGnBA レジスタの対応するアドレスビットがマスクされ、PE ガード領域 n の範囲内に指定できます。なお、PE ガード領域 n の最小設定単位は 4KB です。

アクセス有効アドレス判定式

$$(PEGGnMK[31:12] | addr[31:12]) == (PEGGnMK[31:12] | PEGGnBA[31:12])$$

例 . PEGGnBA[31:12] = FEBF6_H、PEGGnMK[31:12] = 00008_H に設定した場合、PE ガード領域 n は FEBF 6000_H ~ FEBF 6FFF_H と FEBF E000_H ~ FEBF EFFF_H になります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3.64 PEGGnMK レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	GnMASK	PE ガード領域 n の範囲を指定するベースアドレス PEGGnBA[31:12] に対するマスク有無を設定します。 0: 対象となるアドレスビットは、PE ガード領域判定時の比較対象 1: 対象となるアドレスビットは、PE ガード領域判定時の比較対象外
11 ~ 0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください

(c) PEGGnBA — PE ガード領域 n ベース設定レジスタ (n = 0 ~ 3)

PE ガード領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定し、その領域内に対するアクセス許可条件を設定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnBASE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnBASE				—	—	—	—	GnSP3	GnSP2	GnSP1	GnSP0	—	GnWR	GnRD	GnEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 3.65 PEGGnBA レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	GnBASE	PE ガード領域 n の範囲を指定するベースアドレスを設定します。
11 ~ 8	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	GnSP3	PE ガード領域 n に対する SPID = 3 の外部マスタによるアクセス許可を設定します。 0 : SPID = 3 の外部マスタからのアクセスをガード 1 : SPID = 3 の外部マスタからのアクセスを許可
6	GnSP2	PE ガード領域 n に対する SPID = 2 の外部マスタによるアクセス許可を設定します。 0 : SPID = 2 の外部マスタからのアクセスをガード 1 : SPID = 2 の外部マスタからのアクセスを許可
5	GnSP1	PE ガード領域 n に対する SPID = 1 の外部マスタによるアクセス許可を設定します。 0 : SPID = 1 の外部マスタからのアクセスをガード 1 : SPID = 1 の外部マスタからのアクセスを許可
4	GnSP0	PE ガード領域 n に対する SPID = 0 の外部マスタによるアクセス許可を設定します。 0 : SPID = 0 の外部マスタからのアクセスをガード 1 : SPID = 0 の外部マスタからのアクセスを許可
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	GnWR	PE ガード領域 n に対するライト許可を設定します。 0 : ライトアクセスをガード 1 : ライトアクセスを許可
1	GnRD	PE ガード領域 n に対するリード許可を設定します。 0 : リードアクセスをガード 1 : リードアクセスを許可
0	GnEN	PE ガード領域 n に対するアクセス許可条件の設定を有効にします。 0 : アクセス許可条件の設定無効 1 : アクセス許可条件の設定有効

注 意

PEGGnBA.GnEN は、PEGGnMK のレジスタライトによってクリアされます。

3.2.4.2 内部周辺保護機能 (IPG)

(1) IPG 機能概要

IPG は、IPG を備える CPU コアから周辺装置への不正なアクセスを防止する機構であり、以下の機能を実現します。保護対象は Code Flash、Local RAM を除く P-Bus 上の周辺装置、Global RAM、PE 内部の周辺装置です。

(1) 周辺装置保護違反の検出

周辺装置保護を設定した領域（周辺装置）に対して、CPU が不正なアクセスを行うと「周辺装置保護違反」として検出します。

(2) 不正アクセス情報の保存

周辺装置保護違反を検出した場合、不正アクセス情報を IPG 内部のレジスタに保存します。

(3) 不正アクセスの阻止

周辺装置保護違反を検出した場合、周辺装置の内容が不正に書き換えられてしまうことを防ぐために、周辺装置への不正アクセスを阻止します。

(4) 違反発生の通知

周辺装置保護違反を検出した場合、CPU に対して処理中断を促すべくシステムエラー例外 (SYSERR 例外) の発生を要求します。

システムエラー例外 (SYSERR 例外) は、「**3.2.4.3 システムエラー通知制御機能 (SEG)**」を参照してください。

(5) 後続アクセスの無効化

周辺装置保護違反を検出した場合、CPU からの指示があるまで（不正に限らず）後続アクセスを阻止します。

備 考

上記 (4) で直ちに「CPU に対して例外発生を要求」しても、CPU が違反発生を知らず (IPG からの要求を受け付ける前) に発行してしまった後発アクセスが周辺装置の内容を不正に書き換えてしまう場合があります (違反発生後のアクセスは結果的に不正になります)。

(2) IPG 機能

- (1) アクセスの属性（アドレス／転送種別／アクセス権限）に基づいてアクセスを無効化します。
- (2) アクセス権限違反を検出したのち、エラーフラグ（後述）が、ソフトウェアの書き込みによってクリアされるまで、後続アクセスを無効化します。ただし、無効化動作は、CPU のアクセスに対してのみ作用します。CPU コア以外のバスマスタからのアクセスに対しては無効化されません。また、無効化動作は、アドレスとは無関係に行われます。
- (3) ミスアラインやダブルワード等のアクセスにより、同時に異なる周辺装置に対してアクセスを行うリクエストに対しては、当該アクセス対象すべてのアクセスが許可されている場合にアクセスが実行されます。

(3) 対不正ユーザ IPG 設定レジスタ一覧

ユーザモードのプログラムによる不正アクセスから周辺装置を保護するには、以下のレジスタに必要な設定を行います。

- ユーザモードによるアクセスを検出対象とします。
- 本レジスタセットはユーザモードに関連した IPG 設定やその読み出しを目的としています。

表 3.66 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
IPG	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	FFFE E002 _H
IPG	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	FFFE E008 _H
IPG	周辺装置保護イネーブルレジスタ	IPGENUM	FFFE E00D _H
IPG	周辺装置保護設定レジスタ 0	IPGPMTUM0	FFFE E020 _H
IPG	周辺装置保護設定レジスタ 1	IPGPMTUM1	FFFE E021 _H
IPG	周辺装置保護設定レジスタ 2	IPGPMTUM2	FFFE E022 _H
IPG	周辺装置保護設定レジスタ 3	IPGPMTUM3	FFFE E023 _H
IPG	周辺装置保護設定レジスタ 4	IPGPMTUM4	FFFE E024 _H

(4) レジスタセット

(a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DS			EX	WR	RD	VD	
リセット後の値	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 x : 不定 (保持)

表 3.67 IPGECRUM レジスタの内容

ビット位置	ビット名	機能
15、14	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13～8	—	予約です。読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
7～4	DS	違反を起こしたアクセスのデータサイズが格納されます。 1000 : ダブルワード (8byte) 0100 : ワード (4byte) 0010 : ハーフワード (2byte) 0001 : バイト 上記以外は、予約
3	EX	違反を起こしたアクセスが命令フェッチリードアクセスであった場合にセット (1) されます。それ以外の場合はクリア (0) されます。
2	WR	違反を起こしたアクセスがライトアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア (0) されます。
1	RD	違反を起こしたアクセスがリードアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア (0) されます。
0	VD	該当する権限によるプログラムによる周辺装置保護違反を検出するとセット (1) されます。新たに周辺装置保護違反を検出すると、本レジスタ IPGECRUM、および IPGADRUM レジスタ を更新します。

備考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(b) IPGADRUM — 周辺装置保護違反アクセスアドレス保存レジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 x : 不定 (保持)

表 3.68 IPGADRUM レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	EADR	違反を起こしたアクセスアドレスを格納します

備考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(c) IPGENUM — 周辺装置保護イネーブルレジスタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IRE	E
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 3.69 IPGENUM レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
1	IRE	周辺装置保護違反を起こしたアクセスが命令フェッチアクセスである場合、そのアクセスの情報を周辺装置保護違反アクセスアドレス保存レジスタと周辺装置保護違反アクセス情報保存レジスタに保存するか否かを設定します 0 : 命令フェッチアクセスのアクセス情報を保存しません (リセット後の値) 1 : 命令フェッチアクセスのアクセス情報を保存します 注意 投機的な命令フェッチ (命令を実行しない場合がある) に対する検出を望まない場合に本ビットを 0 にクリアしてください。
0	E	該当する権限によるアクセスに対して、周辺装置保護機能の有効/無効を設定します。 0 : 周辺装置保護機能は無効です 1 : 周辺装置保護機能は有効です

(d) IPGPMTUM0 — 周辺装置保護設定レジスタ 0

ビット	7	6	5	4	3	2	1	0
	—	X1	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R

表 3.70 IPGPMTUM0 レジスタの内容

ビット位置	ビット名	機能
7	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください
6	X1	Peripheral Group 0～3、5への命令フェッチリードアクセスを許可するかどうかを設定します。 0: Peripheral Group 0～3、5への命令フェッチリードアクセスを違反とします。 1: Peripheral Group 0～3、5への命令フェッチリードアクセスを制限しません。
5	W1	Peripheral Group 0～3、5へのライトアクセスを許可するかどうかを設定します。 0: Peripheral Group 0～3、5へのライトアクセスを違反とします。 1: Peripheral Group 0～3、5へのライトアクセスを制限しません。
4	R1	Peripheral Group 0～3、5へのリードアクセスを許可するかどうかを設定します。 0: Peripheral Group 0～3、5へのリードアクセスを違反とします。 1: Peripheral Group 0～3、5へのリードアクセスを制限しません。
3～0	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(e) IPGPMTUM1 — 周辺装置保護設定レジスタ 1

ビット	7	6	5	4	3	2	1	0
	—	X1	—	—	—	X0	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R

表 3.71 IPGPMTUM1 レジスタの内容

ビット位置	ビット名	機能
7	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	X1	Global RAM Bank#1 への命令フェッチリードアクセスを許可するかどうかを設定します。 0 : Global RAM Bank#1 への命令フェッチリードアクセスを違反とします。 1 : Global RAM Bank#1 への命令フェッチリードアクセスを制限しません。
5 ~ 3	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	X0	Global RAM Bank#0 への命令フェッチリードアクセスを許可するかどうかを設定します。 0 : Global RAM Bank#0 への命令フェッチリードアクセスを違反とします。 1 : Global RAM Bank#0 への命令フェッチリードアクセスを制限しません。
1、0	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(f) IPGPMTUM2 — 周辺装置保護設定レジスタ 2

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 3.72 IPGPMTUM2 レジスタの内容

ビット位置	ビット名	機能
7、6	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	W1	IPIR、MEV、COMPTEST 周辺装置へのライトアクセスを許可するかどうかを設定します。 0：IPIR、MEV、COMPTEST へのライトアクセスを違反とします。 1：IPIR、MEV、COMPTEST へのライトアクセスを制限しません。
4	R1	IPIR へのリードアクセスを許可するかどうかを設定します。 0：IPIR、MEV、COMPTEST へのリードアクセスを違反とします。 1：IPIR、MEV、COMPTEST へのリードアクセスを制限しません。
3、2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	W0	INTC1 へのライトアクセスを許可するかどうかを設定します。 0：INTC1 へのライトアクセスを違反とします。 1：INTC1 へのライトアクセスを制限しません。
0	R0	INTC1 へのリードアクセスを許可するかどうかを設定します。 0：INTC1 へのリードアクセスを違反とします。 1：INTC1 へのリードアクセスを制限しません。

(g) IPGPMTUM3 — 周辺装置保護設定レジスタ 3

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 3.73 IPGPMTUM3 レジスタの内容

ビット位置	ビット名	機能
7、6	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	W1	SEG へのライトアクセスを許可するかどうかを設定します。 0: SEG へのライトアクセスを違反とします。 1: SEG へのライトアクセスを制限しません。
4	R1	SEG へのリードアクセスを許可するかどうかを設定します。 0: SEG へのリードアクセスを違反とします。 1: SEG へのリードアクセスを制限しません。
3～0	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(h) IPGPMTUM4 — 周辺装置保護設定レジスタ 4

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3.74 IPGPMTUM4 レジスタの内容

ビット位置	ビット名	機能
7～2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	W0	PEG へのライトアクセスを許可するかどうかを設定します。 0: PEG へのライトアクセスを違反とします。 1: PEG へのライトアクセスを制限しません。
0	R0	PEG へのリードアクセスを許可するかどうかを設定します。 0: PEG へのリードアクセスを違反とします。 1: PEG へのリードアクセスを制限しません。

3.2.4.3 システムエラー通知制御機能 (SEG)

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰/回復が不可能な FE レベル例外です。

システムエラー例外の要因コード (FEIC) とエラー内容の対応は、「表 3.77 G3M コアのシステムエラー例外の要因コードとエラー内容の対応」を参照してください。

データアクセスによるエラーは、SEG で通知記録を制御します。

複数のエラー発生入力エラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの非同期例外 (SYSERR) を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラー情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のもの有効です。記録されたエラー情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスタ一覧

表 3.75 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
SEG	エラー通知制御レジスタ	SEGCONT	FFFE E980 _H
SEG	エラー発生保持レジスタ	SEGFLAG	FFFE E982 _H
SEG	エラー要因保持レジスタ (アドレス)	SEGADDR	FFFE E988 _H

備 考

- 上記以外の「アドレスオフセット」「操作可能ビット」でアクセスすると「エラー応答」を返します。
- ライトアクセスについては、スーパーバイザモード (UM = 0) のみ有効です。その他のアクセス権限によるライトアクセスはエラー応答になります。
- リードアクセスは、アクセス制限を設けていません。
 - 他の保護機構が許可する範囲内であればいつでも読み出し可能です。

(2) レジスタセット

(a) SEGCONT — エラー通知制御レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SYSERR 要求の通知許可 (= 1) / 不許可 (= 0) を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SS1E	—	—	—	—	—	VPGE	VCRE	—	TCME	ROME	VCIE	—	ICCE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R	R

表 3.76 SEGCONT レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	SS1E	自 Local RAM へのデータアクセスにおける、アドレスパリティエラーの通知。
14 ~ 10	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	VPGE	P-Bus エラー応答通知 <ul style="list-style-type: none"> ライトアクセスでの P-Bus ガードエラー (INTC2、DMA、GRG の各レジスタに対する P-Bus ガード)
8	VCRE	IPG 違反アクセス検出および後続アクセス阻止通知 (命令フェッチ時を含む) 注2
7	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TCME	自 Local RAM へのデータアクセスで下記エラーが生じた場合。 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生注1 Local RAM 空間のうち、RAM 未実装領域へのアクセスを検出
5	ROME	テーブル参照割り込みのテーブル参照時に、Code Flash へのアクセスで下記エラーが生じた場合。 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生注1 アドレスパリティエラーの発生

表 3.76 SEGCONT レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	VCIE	<ul style="list-style-type: none"> • P-Bus エラー応答通知 (P-Bus ライトエラーを除く) <ul style="list-style-type: none"> - 未実装領域 (FFFF 7900_H-FFFF 7EFF_H) アクセス時 - P-Bus ガードエラー (INTC2、DMA、GRG の各レジスタに対する P-Bus ガード) - P-Bus データパリティエラー (データパリティ対象の周辺装置) - DTSRAM リード時のエラー • 内蔵 I/O レジスタ self 領域内の未実装領域へのアクセス • Code Flash エラー応答 <ul style="list-style-type: none"> - 訂正できない ECC エラーの発生^{注1} - アドレスパリティエラー • Global RAM エラー応答 <ul style="list-style-type: none"> - アドレスパリティエラー発生 - 保護違反アクセス発生 - 訂正できない ECC エラーの発生^{注1} • Data Flash エラー応答 <ul style="list-style-type: none"> - 訂正できない ECC エラーの発生^{注1} • Interconnect 予約領域アクセス検出通知 <ul style="list-style-type: none"> PE1 <ul style="list-style-type: none"> - FFFF 0000_H-FFFF 4FFF_H - FFFE 0000_H-FFFE BFFF_H - FB00 0000_H-FE9F FFFF_H - F300 0000_H-F8FF FFFF_H PE2 <ul style="list-style-type: none"> - FFFF 0000_H-FFFF 4FFF_H - FFFE 0000_H-FFFE 9FFF_H - FB00 0000_H-FE7F FFFF_H - F900 0000_H-F9FF FFFF_H - F300 0000_H-F7FF FFFF_H • IPG 違反アクセス検出および後続アクセス阻止通知^{注2} • アクセス権限違反 <ul style="list-style-type: none"> - ユーザモード (PSW.UM=1) で IPG 保護設定レジスタへリード/ライトアクセス - ユーザモード (PSW.UM=1) で SEG 機能制御レジスタへライトアクセス
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	ICCE	命令キャッシュエラー通知イネーブル 命令キャッシュのシステムレジスタ ICCTRL.ICHEMK = 0 (リセット後の値 = 1) に設定した場合に以下のエラーを扱います。 訂正できない ECC エラーの発生 ^{注1}
1、0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

注 1. ECC のエラー通知設定が有効な状態で、訂正できない ECC エラーが発生した場合です。エラー訂正の可否は ECC の設定状態により異なります。詳細は「27.2 ECC および EDC」を参照してください。

注 2. エラー要因アドレスは、「3.2.4.2 内部周辺保護機能 (IPG)」の IPGADRUM レジスタを参照してください。

表 3.77 G3M コアのシステムエラー例外の要因コードとエラー内容の対応

要因コード	エラー内容
10	予約
11	命令フェッチのエラー (Code Flash)
12	SEGCONT 2bit 目により通知許可されるエラー
13	命令フェッチのエラー (Code Flash 以外)
14	SEGCONT 4bit 目により通知許可されるエラー
15	SEGCONT 5bit 目により通知許可されるエラー
16	SEGCONT 6bit 目により通知許可されるエラー
17	予約
18	SEGCONT 8bit 目により通知許可されるエラー
19	SEGCONT 9bit 目により通知許可されるエラー
1A	予約
1B	予約
1C	予約
1D	予約
1E	予約
1F	SEGCONT 15bit 目により通知許可されるエラー

(b) SEGFLAG — エラー発生保持レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット (=1) されます。自動クリア (=0) はありません。

フラグクリアの0書き込みおよび状態保持の1書き込みの両方の書き込みが可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SS1F	—	—	—	—	—	VPGF	VCRF	—	TCMF	ROMF	VCIF	—	ICCF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R	R

表 3.78 SEGFLAG レジスタの内容

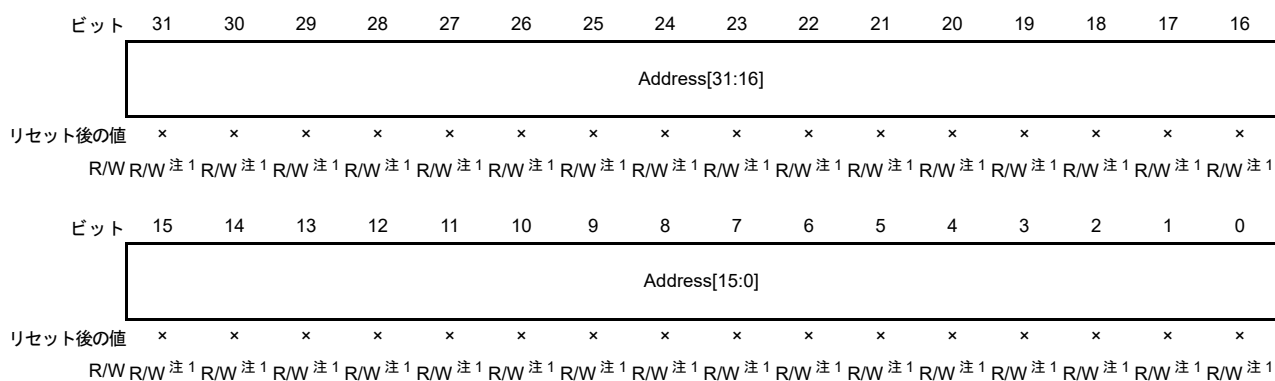
ビット位置	ビット名	機能
15	SS1F	SEGCONT レジスタのビット 15 に対応したフラグ。
14 ~ 10	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	VPGF	SEGCONT レジスタのビット 9 に対応したフラグ。
8	VCRF	SEGCONT レジスタのビット 8 に対応したフラグ。
7	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	TCMF	SEGCONT レジスタのビット 6 に対応したフラグ。
5	ROMF	SEGCONT レジスタのビット 5 に対応したフラグ。
4	VCIF	SEGCONT レジスタのビット 4 に対応したフラグ。
3	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	ICCF	SEGCONT レジスタのビット 2 に対応したフラグ。
1、0	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(c) SEGADDR — エラー要因保持レジスタ（アドレス）

SYSERR 要求の通知を行ったエラー要因の情報（1履歴）が記録されます。SEGFLAG レジスタのうち、VCIF ビット、ROMF ビット、TCMF ビットのエラー要因がエラーアドレスの記録対象です。

記録対象以外のエラー要因は 0000 0000_H が格納されます。

通知許可のエラー発生フラグがセットされた状態では変更されません。



備考 x : 不定（保持）

注 1. 通知許可のエラー発生フラグがセットされた状態では変更されません。

表 3.79 SEGADDR アドレスの内容

ビット位置	ビット名	機能
31 ~ 0	Address[31:0]	SYSERR 要因が発生したアドレスを保持します。 (LocalRAM 領域へのアクセスでエラーが発生した場合、アドレスの下位 19bit のみ保持し、上位 13bit は 0 になります。)

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知

- 各エラー発生フラグはセット優先
 - － 同時のクリア操作は無視します。
- エラー要因の優先順位
 - － 通知許可のエラ SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
 - － エラー要因のビット位置を「SYSERR 要因コード」として通知します。
- SYSERR 要求の通知開始条件
 - － 通知不許可のフラグをセットしても通知しません。
 - － 通知許可のフラグをセットした直後に通知します。
 - － クリア操作後はフラグ状態次第で通知します（再調停）。
- SYSERR 要求応答で通知を終了
 - － 通知を終了しても、フラグを自動クリアしません。
 - － 新たなセットもしくは、クリア操作による再調停があるまで通知しません。
 - － 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SYSERR 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因の情報記録

- 通知許可のエラー発生入力時にそのエラーアドレスを上記レジスタに保持します。
 - － 「(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知」の「エラー発生フラグのセット/クリア操作」では情報の保持は行われません。
 - － 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- 「(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知」の「通知許可のエラー発生フラグがセットされている状態」では上記レジスタに対する上書きを抑制します。
 - － エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
 - － レジスタ上書き抑制を解除するには、SEGCONT レジスタ/SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。
- 命令キャッシュでのエラー検出
命令キャッシュでエラーを検出しても、命令フェッチ要因の再実行型 SYSERR 例外は発生しません。命令キャッシュはエラーが発生した対象エントリを自動的にインバリデートし、Code Flash から再フェッチすることで、CPU の命令実行を継続します。システム・レジスタの ICCTRL.ICHEMK ビットを 0 に設定すると、命令キャッシュで発生したエラーを SEG に通知することができます

3.2.4.4 Checker Core

CPU1 はセーフティ対応として Checker Core を備えており、高信頼性のシステムを実現します。CPU1 と Checker Core からの出力を常時比較器で監視することで、CPU1 の異常動作を直ちに検出できます。Checker Core による 2 重化の範囲は、CPU コアと FPU、MPU、PEG、IPG、SEG、INTC1 です。また、COMPTEST モジュールで擬似エラーを発生させ、比較器自体の故障診断テストをすることができます。COMPTEST モジュールの詳細は、「**第 27 章 ファンクショナルセーフティ**」を参照してください。

注 意

PE 内のリセット値が不定のレジスタを初期化せずに読み出し、PE 外のメモリやレジスタに書き込むと、ロックステップコンペアエラーが発生する場合があります。プログラムレジスタやシステムレジスタの一部はリセット値が不定なので、RAM へのスタック退避時などご注意ください。

3.3 CPU間機能（C1Hのみ）

3.3.1 プロセッサエレメント識別子

各プロセッサのプロセッサエレメント番号 PEID は、HTCFG0 レジスタの PEID フィールドより読み出せます。PEID を参照することで、プログラム自身がいずれの CPU コアで実行されているのかを知ることができます。本製品の PEID は以下のとおりです。

CPU コア	PEID
CPU1 (PE1)	001 _B
CPU2 (PE2)	010 _B

3.3.2 プロセッサ間割り込み機能

CPU は周辺装置として、IPIR レジスタを持っています。IPIR レジスタを設定することで、一方の CPU から他方の CPU に EI レベル割り込みを要求することができます。詳細は、「3.2.3 プロセッサ間割り込み」を参照してください。

3.3.3 排他制御

Local RAM、Global RAM、排他制御用レジスタ（MEV）を、排他制御用のリソースとして利用可能です。アトミック操作命令として、Local RAM、Global RAM に対しては、LDL/STC、CAXI、SET1、CLR1、NOT1 命令を、排他制御用レジスタ（MEV）に対しては CAXI、SET1、CLR1、NOT1 命令を実行可能です。なお、LD、ST 命令でもアクセス可能ですが、アトミック操作にはなりません。

3.3.3.1 排他制御用レジスタ（MEV）

PE 間で共有される変数（共有リソース）に対しての排他制御を支援するためのレジスタです。（MEV：Mutual Exclusion Variable Register）

- 32 本の MEV（32bit レジスタ）を搭載しています。
- 各 MEV は 32/16/8/1 ビットアクセスが可能です。
- CPU1（PE1）および CPU2（PE2 からアクセス可能です）。
- アトミック操作命令は、CAXI、SET1、CLR1、NOT1 を実行可能です。

MEV に対し、CPU1（PE1）と CPU2（PE2）はそれぞれ独立したアクセス経路を持ちます。このことから、CPU1（PE1）と CPU2（PE2）が異なる MEV レジスタにアクセスする場合、待ち合わせすることなくアクセス可能です。同じ MEV レジスタにアクセスする場合は、待ち合わせが発生します。

表 3.80 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
MEV	排他制御専用レジスタ 0	G0MEV0	FFFE EC00 _H
MEV	排他制御専用レジスタ 1	G0MEV1	FFFE EC04 _H
MEV	排他制御専用レジスタ 2	G0MEV2	FFFE EC08 _H
MEV	排他制御専用レジスタ 3	G0MEV3	FFFE EC0C _H
	:	:	:
MEV	排他制御専用レジスタ 31	G0MEV31	FFFE EC7C _H

3.3.3.2 LDL.W/STC.W 命令の動作

LDL.W 命令と STC.W 命令を使い、アトミックな Read-Modify-Write を実現し、これによってマルチコア・システムでのメモリ更新を正確に処理できます。LDL.W 命令と STC.W 命令の動作は以下のとおりです。LDL.W/STC.W 命令の動作については、「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。

- リンクの生成: CPU では、Local RAM と Global RAM のそれぞれに対してリンクを生成できます。操作対象に、LDL.W 命令を実行してリードすると、リンクアドレスを登録しリンクフラグをセットしてリンクを生成します。リンクフラグは、以下の 2 系統が用意されています。
 - (1) 自 Local RAM 用 : 1 個
 - (2) Global RAM 用 : 1 個

このリンクフラグは互いに独立に生成されるため、CPU から一方の系統（例：自 Local RAM）へリンク生成後、異なる系統（例：Global RAM）への LDL.W 命令実行によって、先に生成した（例：自 Local RAM への）リンクが消失することはありません。
- ストアの成功: リンクが生成された状態で、生成されたリンクに対応した STC.W 命令を実行した場合にだけストア処理を実行します。
- ストアの失敗: リンクが消失した状態では、STC.W 命令を実行してもストア処理は実行されません。また、リンクに対応していない STC.W 命令の実行でもストア処理は実行されません。
- ストア成功の条件: 以下の条件を満たす場合に、その STC.W 命令はリンクに対応していると判断されます。
 - リンクを生成した LDL.W 命令とアドレスが一致する
- リンクの消失: 以下のいずれかが起こるとリンクフラグはクリアされ、リンクが消失します。
 - リンクを生成した CPU に以下の事象が発生した場合：
 - STC.W 命令の実行。ストアの成功/失敗にかかわらず対応するリンク（上記 (1) または (2)）は消失します。
 - 各種例外の発生や、例外からの復帰命令（FERET、EIRET）の実行。2 系統とリンクフラグはすべてクリアされます。
 - 同系統のリンクフラグに対して複数の LDL.W 命令を連続して実行。先行する LDL.W 命令で生成したリンクが消失します。このような処理は実行しないでください。
 - リンクを生成しているアドレス^{注1}に対して、STC.W 以外のストア動作を実行。このような処理は実行しないでください。
 - ほかのバスマスタによって以下のアクセスが実行された場合：
 - リンクを生成しているアドレス^{注1}に対して、STC.W 命令実行を含むストア動作を実行。対応するリンクは消失します。

注 1. リンクアドレス上位 27 ビットと一致するアドレスを指します。

STC.W 命令が成功した場合は、LDL.W 命令と STC.W 命令によってアトミックな Read-Modify-Write が実現されたこととなります。

3.4 注意事項

3.4.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPUによるストア命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要となります。以下に同期化処理の実行方法を示します。

LDSR 命令によるシステム・レジスタの更新と後続命令の同期化に関する手続きについては、ユーザーズマニュアル ソフトウェア編「付録 A システム・レジスタのハザード解消手続き」をご参照ください。

3.4.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合

例 1. INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合などが考えられます。この場合は以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など) 注1
- (3) SYNCNP
- (4) 後続の命令 (EI など)

例 2. ある制御レジスタ A の確実な更新を待ってから、ほかの制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。異なる周辺装置を連携動作させる場合や、周辺装置を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ Peripheral Group であれば、この処理は不要です。Peripheral Group の詳細は、「3.1.2 Peripheral Group 構成」を参照してください。

- (1) 制御レジスタ A を更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など) 注1
- (3) SYNCNP
- (4) 制御レジスタ B にアクセスする命令 (ST.W, LD.W など)

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

注 1. 同じ Peripheral Group のレジスタのダミーリードでも代替できます。

3.4.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAM に命令を書き込んでから、その RAM に分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

- (1) メモリを更新するストア命令 (ST.W など)
- (2) 上記メモリのダミーリード (LD.W など)
- (3) SYNCNP
- (4) SYNCI
- (5) 後続の命令 (分岐命令など)

(b) メモリ保護機能および ECC の制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 制御レジスタのダミーリード (LD.W など)
- (3) SYNCNP
- (4) SYNCI
- (5) 後続の命令 (分岐命令など)

3.4.1.3 Code Flash の領域を切り替える場合

この場合は、「RH850/C1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編」の「第9章 使用上の注意点 (7) FCUFAREA レジスタの更新」をご参照ください。

3.4.2 ビット操作命令でのレジスタアクセス

ビット操作命令によるライトは、8ビット単位のアトミックなリードモディファイライト処理です。このため、8ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグビットを共有しているレジスタには、リードモディファイライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

3.4.3 Code Flash 書き換え後のコヒーレンシ確保

CPU は Code Flash 領域に対して有効な命令キャッシュとデータバッファを搭載しています。このため、セルフプログラミングで Code Flash を書き換えたあとは、コヒーレンシ確保のために命令キャッシュとデータバッファをクリアしてください。命令キャッシュは ICCTRL レジスタで、データバッファは CDBCR レジスタでクリアできます。

3.4.4 多重例外受け付け時のコンテキストの上書き

例外要因の種類によっては、PSW レジスタの ID、NP ビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰/回復の可否については「RH850G3M ユーザーズマニュアル ソフトウェア編」の例外要因一覧を参照してください。

3.4.5 プリフェッチに関する注意事項

CPU は命令フェッチのスループットを維持するために、実行中のプログラムより後方の領域に対して投機的な命令フェッチを実施します。このプリフェッチにより、命令コードを配置していない領域（**図 3.5 の注 1**）からもメモリの読み出しが発生する場合がありますため、以下の点にご確認ください。なお、該当領域（**図 3.5 の注 1**）からメモリの読み出しが発生しても、読み出した値を命令実行することはありません。

本注意事項は命令フェッチが可能な全メモリが対象です。

- メモリ値不定状態による ECC エラーの発生
このプリフェッチにより、消去状態の CodeFlash や初期化前の LocalRAM、GlobalRAM で ECC エラーが発生する可能性があります。命令コードをメモリに配置する際は、該当領域（**図 3.5 の注 1**）を任意のデータで初期化してください。
- GRG、IPG 機能による違反アクセスの検出
このプリフェッチを、GRG、IPG 機能が違反アクセスとして検出する可能性があります。違反アクセスとして検出させたくない場合、該当領域（**図 3.5 の注 1**）と GRG、IPG によるアクセス禁止領域が重ならないようにしてください。なお、MPU で保護している領域に対してこのメモリ読み出しが発生しても、メモリ保護例外が発生することはありません。
- アクセス禁止領域へのアクセス
該当領域（**図 3.5 の注 1**）とアクセス禁止領域が重ならないよう、命令コードをメモリに配置してください。

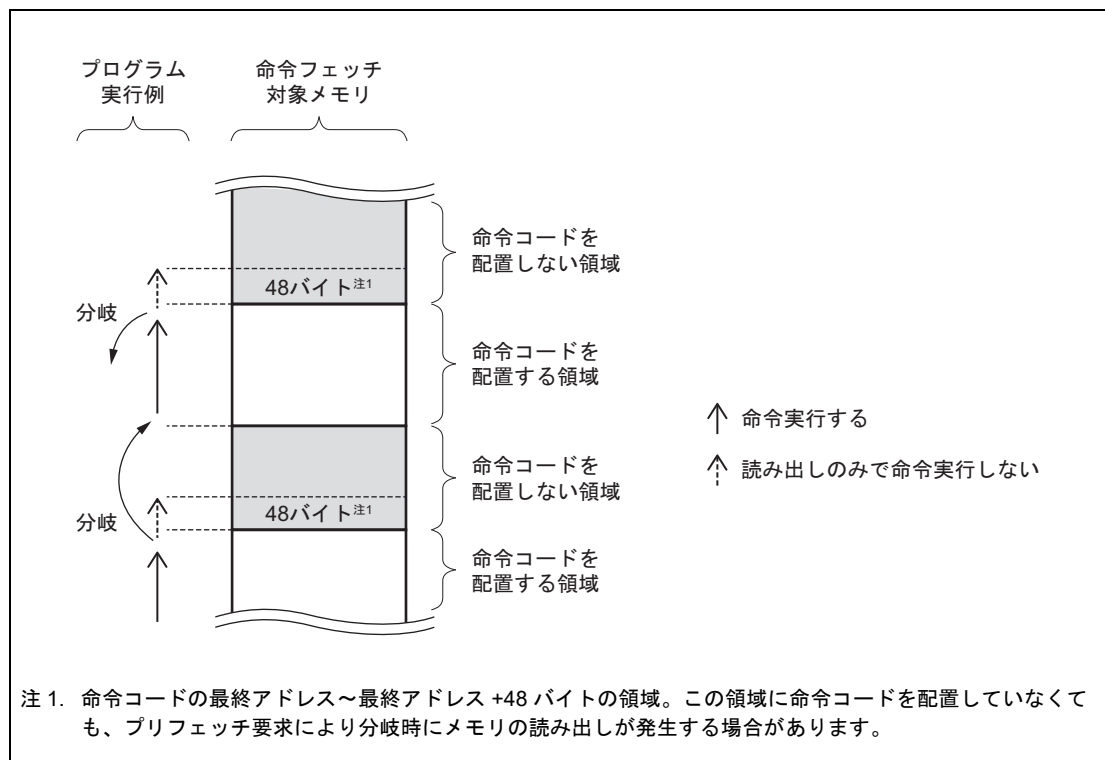


図 3.5 プリフェッチに対する注意が必要な領域

第4章 アドレス空間

4.1 アドレス空間 (C1H)

4.1.1 アドレス空間

表 4.1 に RH850/C1H のアドレス空間を示します。

内蔵 I/O レジスタ空間において、レジスタがマッピングされていないアドレスにアクセスしないでください。表 4.1 に記載のないアドレスおよび予約エリアにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 4.1 アドレス空間 (C1H)

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~ 001F FFFF _H (0001 7000 _H ~ 0001 7FFF _H)	Code Flash (ユーザ領域 リード) (FCU ファーム領域 (FCUFAREA レジスタで Map を切り替え)) 注 ³ C1H は 4MB 搭載 (2BANK 構成)	2.0MB (4KB)
0020 0000 _H ~ 007F FFFF _H	予約エリア	
0080 0000 _H ~ 009F FFFF _H	Code Flash (ユーザ領域 リード) C1H は 4MB 搭載 (2BANK 構成)	2.0MB
00A0 0000 _H ~ 00FF FFFF _H	予約エリア	
0100 0000 _H ~ 0100 7FFF _H	Code Flash (ユーザブート領域 リード)	32KB
0100 8000 _H ~ FE9E FFFF _H	予約エリア	
FE9F 0000 _H ~ FE9F FFFF _H	Local RAM (CPU2 領域)	64KB
FEA0 0000 _H ~ FEBE FFFF _H	予約エリア	
FEBF 0000 _H ~ FEBF FFFF _H	Local RAM (CPU1 領域)	64KB
FEC0 0000 _H ~ FEDE FFFF _H	予約エリア	
FEDF 0000 _H ~ FEDF FFFF _H	Local RAM (self 領域注 ¹)	64KB
FEE0 0000 _H ~ FEEE FFFF _H	予約エリア	
FEEF 0000 _H ~ FEF0 BFFF _H	Global RAM	112KB
FEF0 C000 _H ~ FEFF FFFF _H	予約エリア	
FF00 0000 _H ~ FFFD FFFF _H (FF20 0000 _H ~ FF20 7FFF _H) (FFA1 2000 _H ~ FFA1 2FFF _H)	内蔵 I/O レジスタ (Data Flash (リード/ライト) (FCU RAM 領域))	16MB-128KB (32KB) (4KB)
FFFE 0000 _H ~ FFFE DFFF _H	予約エリア	
FFFE E000 _H ~ FFFE FFFF _H	内蔵 I/O レジスタ (self 領域注 ²)	8KB
FFFF 0000 _H ~ FFFF 4FFF _H	予約エリア	
FFFF 5000 _H ~ FFFF FFFF _H	内蔵 I/O レジスタ	44KB

注 1. Local RAM self 領域には、各 CPU(CPU1/CPU2) が持つ Local RAM self にアクセスできます。

注 2. 内蔵 I/O レジスタ self 領域には、各 CPU(CPU1/CPU2) が持つ内蔵 I/O レジスタにアクセスできます。

注 3. 詳細は『RH850/C1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編』をご参照ください。

4.1.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を図 4.1 に示します。

4.1.2.1 命令フェッチ可能空間

1. CPU1 および CPU2 は、Code Flash、Local RAM 領域、Global RAM 領域から命令フェッチ可能です。
2. CPU1 および CPU2 のリセットベクタ (RBASE リセット後の値) について、
 - 起動領域が「ユーザブート領域」の場合、先頭アドレスは「0100_0000_H」です。
 - 起動領域が「ユーザ領域」の場合、先頭アドレスは「0000_0000_H」です。

4.1.2.2 CPU1 によるデータアクセス可能空間

CPU1 からアクセス可能な空間について、図 4.1 を参照してください。

4.1.2.3 CPU2 によるデータアクセス可能空間

CPU2 からアクセス可能な空間について、図 4.1 を参照してください。

4.1.2.4 DMA (DMAC、DTS) によるデータアクセス可能空間

DMA からアクセス可能な空間について、図 4.1 を参照してください。

	CPU1からのアクセス	CPU2からのアクセス	DMAからのアクセス
FFFF_FFFFH	Global APB	Global APB	Global APB
FFFF_5000H FFFF_4FFFH	アクセス禁止	アクセス禁止	アクセス禁止
FFFF_0000H FFFE_FFFFH	LocalAPB self (8KB)	LocalAPB self (8KB)	
FFFE_E000H FFFE_DFFFH	アクセス禁止	アクセス禁止	
FFFE_0000H FFFD_FFFFH	Global APB	Global APB	
FF67_0000H FF66_FFFFH	アクセス禁止	アクセス禁止	アクセス禁止
FF64_8000H FF64_7FFFH	Global APB	Global APB	Global APB
FF40_0000H FF3F_FFFFH	アクセス禁止	アクセス禁止	アクセス禁止
FF20_8000H FF20_7FFFH	Data Flash (32KB)	Data Flash (32KB)	Data Flash (32KB)
FF20_0000H FF1F_FFFFH	Global APB	Global APB	Global APB
FF00_0000H FEFF_FFFFH	アクセス禁止	アクセス禁止	アクセス禁止
FEF0_C000H FEF0_BFFFH	GRAM (48KB)	GRAM (48KB)	GRAM (48KB)
FEF0_0000H FEFF_FFFFH	GRAM (64KB)	GRAM (64KB)	GRAM (64KB)
FEFF_0000H FEEE_FFFFH	アクセス禁止	アクセス禁止	アクセス禁止
FEE0_0000H FEDF_FFFFH	Local RAM self (64KB)	Local RAM self (64KB)	
FEDF_0000H FEDE_FFFFH	アクセス禁止	アクセス禁止	
FEC0_0000H FEBF_FFFFH	Local RAM CPU1 (64KB)	Local RAM CPU1 (64KB)	
FEBF_0000H FEBE_FFFFH	アクセス禁止	アクセス禁止	アクセス禁止
FEA0_0000H FE9F_FFFFH	Local RAM CPU2 (64KB)	Local RAM CPU2 (64KB)	Local RAM CPU2 (64KB)
FE9F_0000H FE9E_FFFFH	アクセス禁止	アクセス禁止	アクセス禁止
0100_8000H 0100_7FFFH	Code Flash (32KB) ユーザブート領域	Code Flash (32KB) ユーザブート領域	アクセス禁止
0100_0000H 00FF_FFFFH	アクセス禁止	アクセス禁止	
00A0_0000H 009F_FFFFH	Code Flash (2MB) ユーザ領域	Code Flash (2MB) ユーザ領域	Code Flash (2MB) ユーザ領域
0080_0000H 007F_FFFFH	アクセス禁止	アクセス禁止	アクセス禁止
0020_0000H 001F_FFFFH	Code Flash (2MB) ユーザ領域	Code Flash (2MB) ユーザ領域	Code Flash (2MB) ユーザ領域
0000_0000H	Code Flash (2MB) ユーザ領域	Code Flash (2MB) ユーザ領域	Code Flash (2MB) ユーザ領域

備考 上記マップ中の色は以下の区別を行っています。

フェッチ可能
データアクセス可能
データアクセス可能
アクセス禁止

図 4.1 各バスマスタから見たアドレス空間 (C1H)

4.1.3 Global RAM 領域

Global RAM はバンク A とバンク B の 2 つに分かれており、異なるバンクに対しては並列にアクセス可能です。

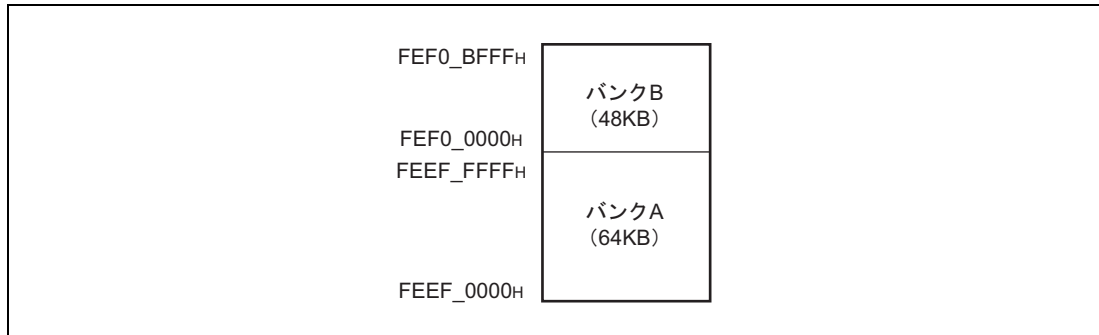


図 4.2 GRAM バンク領域 (C1H)

4.2 アドレス空間 (C1M)

4.2.1 アドレス空間

表 4.2 に RH850/C1M のアドレス空間を示します。

内蔵 I/O レジスタ空間において、レジスタがマッピングされていないアドレスにアクセスしないでください。表 4.2 に記載のないアドレスおよび予約エリアにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 4.2 アドレス空間 (C1M)

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~ 001F FFFF _H (0001 7000 _H ~ 0001 7FFF _H)	Code Flash (ユーザ領域 リード) (FCU ファーム領域 (FCUFAREA レジスタで Map を切り替え)) 注1 C1M は 2MB 搭載 (1 BANK 構成)	2.0MB (4KB)
0020 0000 _H ~ 00FF FFFF _H	予約エリア	
0100 0000 _H ~ 0100 7FFF _H	Code Flash (ユーザブート領域 リード)	32KB
0100 8000 _H ~ FEBE FFFF _H	予約エリア	
FEBF 0000 _H ~ FEBF FFFF _H	Local RAM (CPU1 領域)	64KB
FEC0 0000 _H ~ FEDE FFFF _H	予約エリア	
FEDF 0000 _H ~ FEDF FFFF _H	Local RAM (self 領域)	64KB
FEE0 0000 _H ~ FEEE FFFF _H	予約エリア	
FEEF 0000 _H ~ FEEF FFFF _H	Global RAM	64KB
FEF0 0000 _H ~ FEFF FFFF _H	予約エリア	
FF00 0000 _H ~ FFFD FFFF _H (FF20 0000 _H ~ FF20 7FFF _H) (FFA1 2000 _H ~ FFA1 2FFF _H)	内蔵 I/O レジスタ (Data Flash (リード/ライト)) (FCU RAM 領域)	16MB-128KB (32KB) (4KB)
FFFE 0000 _H ~ FFFE DFFF _H	予約エリア	
FFFE E000 _H ~ FFFE FFFF _H	内蔵 I/O レジスタ (self 領域)	8KB
FFFF 0000 _H ~ FFFF 4FFF _H	予約エリア	
FFFF 5000 _H ~ FFFF FFFF _H	内蔵 I/O レジスタ	44KB

注 1. 詳細は『RH850/C1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編』をご参照ください。

4.2.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を図 4.3 に示します。

4.2.2.1 命令フェッチ可能空間

1. CPU1 は、Code Flash、Local RAM 領域、Global RAM 領域から命令フェッチ可能です。
2. CPU1 のリセットベクタ (RBASE リセット後の値) について、
 - 起動領域が「ユーザブート領域」の場合、先頭アドレスは「0100_0000_H」です。
 - 起動領域が「ユーザ領域」の場合、先頭アドレスは「0000_0000_H」です。

4.2.2.2 CPU1 によるデータアクセス可能空間

CPU1 からアクセス可能な空間について、図 4.3 を参照してください。

4.2.2.3 DMA (DMAC、DTS) によるデータアクセス可能空間

DMA からアクセス可能な空間について、図 4.3 を参照してください。

	CPU1からのアクセス	DMAからのアクセス
FFFF_FFFF _H	Global APB	Global APB
FFFF_5000 _H FFFF_4FFF _H	アクセス禁止	アクセス禁止
FFFF_0000 _H FFFE_FFFF _H	Local APB self (8KB)	
FFFE_E000 _H FFFE_DFFF _H	アクセス禁止	
FFFE_0000 _H FFFD_FFFF _H	Global APB	
FF67_0000 _H FF66_FFFF _H	アクセス禁止	アクセス禁止
FF64_8000 _H FF64_7FFF _H	Global APB	Global APB
FF40_0000 _H FF3F_FFFF _H	アクセス禁止	アクセス禁止
FF20_8000 _H FF20_7FFF _H	Data Flash (32KB)	Data Flash (32KB)
FF20_0000 _H FF1F_FFFF _H	Global APB	Global APB
FF00_0000 _H FEFF_FFFF _H	アクセス禁止	アクセス禁止
FEF0_0000 _H FEFF_FFFF _H	GRAM (64KB)	GRAM (64KB)
FEFF_0000 _H FEFE_FFFF _H	アクセス禁止	アクセス禁止
FEED_0000 _H FEDF_FFFF _H	Local RAM self (64KB)	
FEDF_0000 _H FEDE_FFFF _H	アクセス禁止	
FEC0_0000 _H FEBF_FFFF _H	Local RAM CPU1 (64KB)	Local RAM CPU1 (64KB)
FEBF_0000 _H FEBE_FFFF _H	アクセス禁止	アクセス禁止
0100_8000 _H 0100_7FFF _H	Code Flash (32KB) ユーザブート領域	
0100_0000 _H 00FF_FFFF _H	アクセス禁止	
0020_0000 _H 001F_FFFF _H	Code Flash (2MB) ユーザ領域	Code Flash (2MB) ユーザ領域
0000_0000 _H		

備考 上記マップ中の色は以下の区別を行っています。

フェッチ可能
データアクセス可能
データアクセス可能
アクセス禁止

図 4.3 各バスマスタから見たアドレス空間 (C1M)

4.2.3 Global RAM 領域

Global RAM はバンク A のみの構成となります。

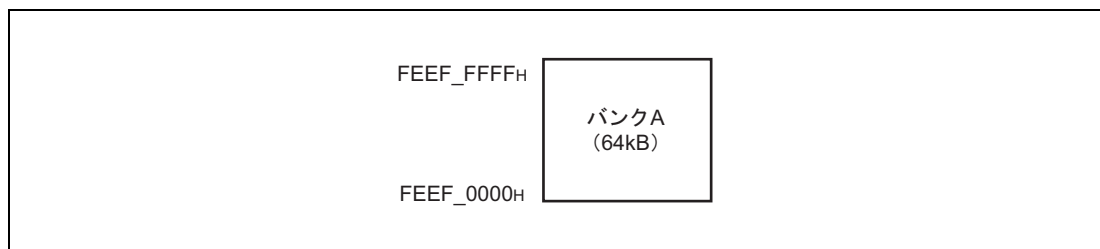


図 4.4 GRAM バンク領域 (C1M)

第5章 動作モード

5.1 特長

- 動作モードを決定するモード端子を3本搭載。(MD1, MD0, FLMODE)

5.2 動作モード

本 LSI は複数の動作モードを持ち、MD1、MD0、FLMODE の3つの端子、およびオプションバイト0のSTMSEL1/STMSEL0の設定で選択できます。STMSEL1/STMSEL0の設定方法に関しては、「第31章 フラッシュメモリ」を参照してください。表5.1に動作モードの一覧を示します。

表 5.1 動作モードの選択

端子設定値			オプション バイト0設定値		動作モード	起動領域	IFの種類 ^{注1}	備考
MD1	MD0	FLMODE	STM SEL1	STM SEL0				
0	0	0	0	0	ユーザブートモード	ユーザ領域	オプションバイトの OPBT2でI/Fを選 択可能。詳細は 「31.10.2 OPBT2 —オプションパイ ト2レジスタ」を参 照。	オンチップデバッグ 可能
			0	1	ユーザブートモード	ユーザ ブート領域		
			1	X	シリアルプログラミング モード	ブート領域		
0	0	1	X	X	バウンダリスキャン モード	—	JTAG	バウンダリスキャン 可能
0	1	0	X	X	シリアルプログラミング モード	ブート領域	ライタ I/F (2線 UART)	シリアルプログラミ ング可能
0	1	1	X	X	シリアルプログラミング モード	ブート領域	ライタ I/F (3線クロック同期)	シリアルプログラミ ング可能

備考 X = Don't care

注1. 各 I/F での端子機能や端子状態との対応は「2.4.3 端子状態」を参照してください。

5.2.1 ユーザブートモード

リセット解除後、ユーザブート領域もしくはユーザ領域から命令フェッチを行います。

5.2.2 シリアルプログラミングモード

リセット解除後、内蔵のブートプログラムから起動し、設定した通信方式で接続を開始します。詳細は「第31章 フラッシュメモリ」を参照してください。

5.2.3 バウンダリスキャンモード

IEEE1149.1規格に準拠した、バウンダリスキャン機能を使用できるモードです。詳細は「第34章 バウンダリスキャン」を参照してください。

第6章 割り込み

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位にしたがって、割り込み要求が処理されます。

6.1 概要

- 割り込み要因の複数コアへの同時分配対応
 - 1つの割り込み要因を複数の CPU コアに分配可能
(分配するコア : CPU1/CPU2)
 - 対象割り込み要因 : ノンマスカブル割り込み 1 要因、FE レベル割り込み 1 要因、EI レベル割り込み 21 要因
- 割り込み要因
 - ノンマスカブル割り込み
外部端子 NMI 割り込み (FENMI) 1 要因
 - FE レベル割り込み
ECM 割り込み (FEINT) 1 要因
 - EI レベル割り込み (マスカブル) (EIINT)
高速割り込み (EIINT0 ~ 31) C1H : 21 要因 / C1M : 16 要因
 - プロセッサ間割り込み
 - ECM 割り込み
 - 外部端子 IRQ 割り込み
 - ソフトウェア割り込み
 - 定周期タイマ (OSTM)
 - DMA エラー通知割り込み
 - **低速割り込み (EIINT32 ~ 255) C1H : 188 要因 / C1M : 175 要因**
 - タイマ系
 - 通信系
 - AD 変換器
 - DMAC/DTS など
- 割り込み優先順位を設定可能
256本の割り込み制御レジスタにより、IRQ (外部割り込み) および、マスカブル割り込みの優先順位を要求別に 16 レベルまで設定することができます。
- 外部割り込み (NMI/IRQ) のセンス方法
NMI 要因については、Fall エッジ、Rise エッジの 2 種類から選択可能です。
IRQ 要因については、ロウレベル、ハイレベル、Fall エッジ、Rise エッジの 4 種類から選択可能です。
- 2 種類の割り込みハンドラアドレス指定
レジスタ設定により、直接分岐方式とテーブル参照方式から選択可能です。
- プロセッサ間割り込み
高速なプロセッサ間割り込みが可能です。
- ソフトウェア割り込み (SINT)
ソフトウェア割り込みレジスタにより、任意の優先順位の割り込みをプログラムから発生させることができます。

- 割り込み要因の共有化
複数の割り込み要因をマージして、例外ハンドラアドレスを削減します。

割り込みは以下の割り込みコントローラで制御されます。

- INTC1
CPU1、CPU2 で独立して持つ割り込みコントローラです。各 CPU で INTC1 レジスタにアクセスした場合、各 CPU に対応した INTC1 のレジスタにアクセスされます。
高速割り込みを制御します。
以下の機能を提供します。
 - 優先度設定
 - 割り込みマスク設定
- INTC2
CPU1、CPU2 で共有する割り込みコントローラです。
低速割り込みを制御します。
以下の機能を提供します。
 - 優先度設定
 - 割り込みマスク設定
 - バインド設定

6.2 レジスタ仕様

INTCには以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

6.2.1 レジスタ構成

表 6.1 割り込み制御

モジュール	アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値
INTC1 (EIC0 ~ 31)	FFFE EA00 _H -FFFE EA3E _H (EIC0 ~ 31)	EICn ^{注1}	EI レベル割り込み 制御レジスタ	R/W	008F _H ^{注5} 808F _H ^{注6}
INTC2 (EIC32 ~ 255)	FFFF B040 _H -FFFF B1FE _H (EIC32 ~ 255)				
INTC1 (IMR0)	FFFE EAF0 _H (IMR0)	IMRn ^{注2}	EI レベル割り込み マスクレジスタ	R/W	FFFF FFFF _H
INTC2 (IMR1 ~ IMR7)	FFFF B404 _H -FFFF B41C _H (IMR1 ~ IMR7)				
INTC1 (EIBD0 ~ 31)	FFFE EB00 _H -FFFE EB7C _H (EIBD0 ~ 31)	EIBDn ^{注3}	EI レベル割り込み バインドレジスタ	R/W	注4
INTC2 (EIBD32 ~ 255)	FFFF B880 _H -FFFF BBFC _H (EIBD32 ~ 255)				

注 1. n = 0 ~ 255

注 2. n = 0 ~ 7

注 3. n = 0 ~ 255

注 4. n = 0 ~ 31 : PEID ビットと同じ値
n = 32 ~ 255 : 0000 0001_H

注 5. エッジ検出時

注 6. レベル検出時

表 6.1 に示すレジスタのうち、EIC0 ~ 31、IMR0、EIBD0 ~ 31 は、各 CPU が内蔵する CPU Peripheral 領域内の INTC1 に配置されています。これらのレジスタは、これらのレジスタを内蔵している CPU1 や CPU2 からしかアクセスすることはできません。また、書き込みは、スーパーバイザモード (PSW.UM = 0) のみが実行可能です。

表 6.1 に示すレジスタのうち、EIC32 ~ 255、IMR1 ~ 7、EIBD32 ~ 255 は、Peripheral Group 0 内の INTC2 に配置されています。これらのレジスタへの書き込みは、下記条件のときに可能となります。

- CPU1 : スーパーバイザモード (UM = 0)
- CPU2 : スーパーバイザモード (UM = 0) かつ EIBDn (n = 32 ~ 255) に CPU2 をバインド

ただし、CPU2 から IMR1 ~ 7 への書き込みは、EIBDn (n = 32 ~ 255) で CPU2 をバインドした要因のビットのみが更新され、バインドされていない要因のビットは更新されません。

表 6.1 に示すレジスタのうち、「表 6.11 割り込み例外ハンドラと優先順位」で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

表 6.2 外部割り込み/ソフトウェア割り込み/NMI

モジュール名	アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値
EINT	FFC0 0000 _H	NMICTL	NMI 割り込みコントロールレジスタ	R/W	00 _H
EINT	FFC0 0010 _H	EXINTCTL	外部割り込みコントロールレジスタ	R/W	0000 _H
EINT	FFC0 0014 _H	EXINTSTR	外部割り込みステータスレジスタ	R	00 _H
EINT	FFC0 0018 _H	EXINTSTC	外部割り込みステータスクリアレジスタ	W	00 _H
EINT	FFC0 0020 _H	SINTR0	ソフトウェア割り込みレジスタ 0	R/W	00 _H
EINT	FFC0 0024 _H	SINTR1	ソフトウェア割り込みレジスタ 1	R/W	00 _H
EINT	FFC0 0028 _H	SINTR2	ソフトウェア割り込みレジスタ 2	R/W	00 _H
EINT	FFC0 002C _H	SINTR3	ソフトウェア割り込みレジスタ 3	R/W	00 _H

表 6.3 割り込みマージ機能

モジュール名	アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値
INTIF	FFF9 8000 _H	PINT0	周辺割り込みステータスレジスタ 0	R	0000 0000 _H
INTIF	FFF9 8004 _H	PINT1	周辺割り込みステータスレジスタ 1	R	0000 0000 _H
INTIF	FFF9 8008 _H	PINT2	周辺割り込みステータスレジスタ 2	R	0000 0000 _H
INTIF	FFF9 800C _H	PINT3	周辺割り込みステータスレジスタ 3	R	0000 0000 _H
INTIF	FFF9 8010 _H	PINT4	周辺割り込みステータスレジスタ 4	R	0000 0000 _H
INTIF	FFF9 8014 _H	PINT5	周辺割り込みステータスレジスタ 5	R	0000 0000 _H
INTIF	FFF9 8018 _H	PINT6	周辺割り込みステータスレジスタ 6	R	0000 0000 _H
INTIF	FFF9 801C _H	PINT7	周辺割り込みステータスレジスタ 7	R	0000 0000 _H
INTIF	FFF9 8020 _H	PINTCLR0	周辺割り込みステータスクリアレジスタ 0	W	0000 0000 _H
INTIF	FFF9 8024 _H	PINTCLR1	周辺割り込みステータスクリアレジスタ 1	W	0000 0000 _H
INTIF	FFF9 8028 _H	PINTCLR2	周辺割り込みステータスクリアレジスタ 2	W	0000 0000 _H
INTIF	FFF9 802C _H	PINTCLR3	周辺割り込みステータスクリアレジスタ 3	W	0000 0000 _H
INTIF	FFF9 8030 _H	PINTCLR4	周辺割り込みステータスクリアレジスタ 4	W	0000 0000 _H
INTIF	FFF9 8034 _H	PINTCLR5	周辺割り込みステータスクリアレジスタ 5	W	0000 0000 _H
INTIF	FFF9 8038 _H	PINTCLR6	周辺割り込みステータスクリアレジスタ 6	W	0000 0000 _H
INTIF	FFF9 803C _H	PINTCLR7	周辺割り込みステータスクリアレジスタ 7	W	0000 0000 _H

6.2.2 EIC0 ~ EIC255 — EI レベル割り込み制御レジスタ 0 ~ 255

EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。それぞれの要因は「表 6.11 割り込み例外ハンドラと優先順位」を参照してください。

注 意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPU によって割り込みが受け付けられる前）に、EIRFn ビットに“0”を書き込んだ場合は、要求が失われる場合があります。

また、CPU によって割り込みが受け付けられた直後に、EIRFn ビットに“1”を書き込んだ場合は要求が再セットされる場合があります。

レジスタへの書き込みにはビット操作命令（set1、clr1、not1）を含みます。

ビット操作命令については、「3.4.2 ビット操作命令でのレジスタアクセス」も参照してください。

EIMKn ビットを含む下位バイトへのビット操作命令実行時には、EIRFn ビットは影響を受けません。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EICTn	—	—	EIRFn	—	—	—	—	EIMKn	EITBn	—	—	EIPn			
リセット後の値	注1	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注 1. エッジ検出時 0、レベル検出時 1

表 6.4 EIC0-EIC255 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EICTn	割り込みチャンネルタイプビットです。割り込み入カインタフェースにより以下の値がリードされます。リードのみ可能です。リードモディファイライト動作を伴う 1 ビット単位でのアクセスは禁止です。 0: エッジ検出 1: レベル検出 ライトする場合はリセット後の値を書いてください。
14、13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
12	EIRFn	割り込み要求フラグです。割り込み入カインタフェースにより動作が異なります。 0: 割り込み要求なし（リセット後の値） 1: 割り込み要求あり • エッジ検出 CPU コアに自チャンネルの割り込み要求が受け付けられると自動的にクリアされます。 ソフトウェアによるビットのセット・クリアが可能です。EIRFn ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベルマスク割込み n (EIINTn) を発生します。 • レベル検出 ソフトウェアによるビットのセットクリアはできません。リードのみ可能です。
11 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。

表 6.4 EIC0-EIC255 レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	EIMKn	割り込みマスクビットです。本ビットがセットされている場合は割り込み要求フラグ (EIRFn) へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われなくないようにします。また、本ビットがセットされているチャンネルからは未処理割り込みの存在通知と ICSR レジスタの PMEI ビットのセットは行われません。本ビットで割り込み処理を禁止に設定した場合も、割り込み信号の入力そのもののマスクは行われず、割り込み要求フラグはセットされます。割り込みマスクレジスタ (IMR) の対応するビットの設定も反映されません。 0: 割り込み処理を許可 1: 割り込み処理を禁止 (リセット後の値)
6	EITBn	割り込みベクタ方式選択ビットです。 0: 優先度に基づいた直接分岐方式 1: テーブル参照方式
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
3 ~ 0	EIPn	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。本ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

備考 n = 0 ~ 255

「表 6.11 割り込み例外ハンドラと優先順位」で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

6.2.3 IMR0 ~ IMR7 — EI レベル割り込みマスクレジスタ 0 ~ 7

EIC レジスタの EIMK ビットの集合レジスタです。IMRn レジスタの各ビットは対応する EIMK ビットの設定が反映されます。また IMRn レジスタへの設定は対応する EIMK ビットへ反映されます。

IMR0

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR0H	EIMK31	EIMK30	EIMK29	EIMK28	EIMK27	EIMK26	EIMK25	EIMK24	EIMK23	EIMK22	EIMK21	EIMK20	EIMK19	EIMK18	EIMK17	EIMK16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR0L	EIMK15	EIMK14	EIMK13	EIMK12	EIMK11	EIMK10	EIMK9	EIMK8	EIMK7	EIMK6	EIMK5	EIMK4	EIMK3	EIMK2	EIMK1	EIMK0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IMR1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR1H	EIMK63	EIMK62	EIMK61	EIMK60	EIMK59	EIMK58	EIMK57	EIMK56	EIMK55	EIMK54	EIMK53	EIMK52	EIMK51	EIMK50	EIMK49	EIMK48
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR1L	EIMK47	EIMK46	EIMK45	EIMK44	EIMK43	EIMK42	EIMK41	EIMK40	EIMK39	EIMK38	EIMK37	EIMK36	EIMK35	EIMK34	EIMK33	EIMK32
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IMR7

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR7H	EIMK25 5	EIMK25 4	EIMK25 3	EIMK25 2	EIMK25 1	EIMK25 0	EIMK24 9	EIMK24 8	EIMK24 7	EIMK24 6	EIMK24 5	EIMK24 4	EIMK24 3	EIMK24 2	EIMK24 1	EIMK24 0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR7L	EIMK23 9	EIMK23 8	EIMK23 7	EIMK23 6	EIMK23 5	EIMK23 4	EIMK23 3	EIMK23 2	EIMK23 1	EIMK23 0	EIMK22 9	EIMK22 8	EIMK22 7	EIMK22 6	EIMK22 5	EIMK22 4
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 「表 6.11 割り込み例外ハンドラと優先順位」で Reserved となっているチャネル番号に対応する EIMK ビットには必ず "1" を設定してください。

6.2.4 EIBD0 ~ EIBD255 — EI レベル割り込みバインドレジスタ 0 ~ 255

EI レベル INT の要因ごとに用意され、各要因と PE の対応付けを行います。それぞれの要因は「表 6.11 割り込み例外ハンドラと優先順位」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIBDnH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GPID	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIBDnL	—	—	—	—	—	—	—	—	—	—	—	—	—	PEID		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	注1	注1	注1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 6.5 EIBD0-EIBD255 レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
17、16	GPID	本ビットは、EIBD32-255 にのみ実装されています。本ビットには、PEID の設定に応じて以下のいずれかを設定してください。 00 : PEID でバインド先に CPU1 を選択した場合 01 : PEID でバインド先に CPU2 を選択した場合 EIBD0 ~ 31 では予約ビットであり、書き込む値は "0" を設定してください。読み出した場合は必ず "0" が読み出されます。
15 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
2 ~ 0	PEID	割り込みをバインド（要求）する先を指定します。 ただし、PE ごとに多重化されている EIBD0-EIBD31 の PEID ビットは、各 PE の番号に固定されており、変更することはできません。 001 : CPU1 に割り込みをバインドします 010 : CPU2 に割り込みをバインドします 対応する要因の割り込みを実行する場合は、必ず上記のいずれかを設定してください。

注 1. EIBD32-255:001

備考 「表 6.11 割り込み例外ハンドラと優先順位」で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

注 意

EIINT の要求を処理中に対応する EIBDn レジスタの値を変更することは禁止です。

6.2.5 NMICTL — NMI 割り込みコントロールレジスタ

本レジスタは NMI 割り込み入力端子に対して、Fall エッジ、Rise エッジの検出モードを指定する 8 ビットレジスタです。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	NMIS	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 6.6 NMICTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
1, 0	NMIS	NMI 割り込みセンス選択ビット NMI 割り込み信号のセンス方法を Fall エッジ、Rise エッジから選択します。 00 : 割り込み要求を NMI 入力の Fall エッジで検出する 01 : 割り込み要求を NMI 入力の Rise エッジで検出する 上記以外は設定禁止

6.2.6 EXINTCTL — 外部割り込みコントロールレジスタ

本レジスタは外部割り込み入力端子 IRQ7 ~ IRQ0 に対してロウレベル、ハイレベル、Fall エッジ、Rise エッジの検出モードを個別に指定する 16 ビットレジスタです。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ7S		IRQ6S		IRQ5S		IRQ4S		IRQ3S		IRQ2S		IRQ1S		IRQ0S	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.7 EXINTCTL レジスタの内容

ビット位置	ビット名	機能
15、14	IRQ7S	外部割り込みセンス選択ビット IRQ7 ~ IRQ0 端子に対する割り込み信号のセンス方法をロウレベル、ハイレベル、Fall エッジ、Rise エッジから選択します。 00 : 割り込み要求を IRQn 入力のロウレベルで検出する ^{注1} 01 : 割り込み要求を IRQn 入力のハイレベルで検出する ^{注1} 10 : 割り込み要求を IRQn 入力の Fall エッジで検出する 11 : 割り込み要求を IRQn 入力の Rise エッジで検出する
13、12	IRQ6S	
11、10	IRQ5S	
9、8	IRQ4S	
7、6	IRQ3S	
5、4	IRQ2S	
3、2	IRQ1S	
1、0	IRQ0S	

注 1. レベルセンス選択時は、割り込みが受け付けられるまでアクティブレベルを保持してください。

6.2.7 EXINTSTR — 外部割り込みステータスレジスタ

EXINTSTR は 8 ビットレジスタで、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求を示します。IRQ7 ~ IRQ0 割り込みをエッジ検出に設定している場合は、EXINTSTC レジスタで保持されている割り込み要求を取り下げることができます。

ビット	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 6.8 EXINTSTR レジスタの内容

ビット位置	ビット名	機能
7	IRQ7F	外部割り込み要求ビット IRQ7 ~ IRQ0 割り込み要求ステータスを表示します。 <ul style="list-style-type: none"> レベル検出選択時 <ul style="list-style-type: none"> 0 : IRQn 割り込み要求が存在しません 1 : IRQn 割り込み要求が存在します [クリア条件] IRQn 入力が EXINTCTL の IRQn1S,IRQn0S に対応するレベルでないとき [セット条件] IRQn 入力が EXINTCTL の IRQn1S,IRQn0S に対応するレベルのとき エッジ検出選択時 <ul style="list-style-type: none"> 0 : IRQn 割り込み要求が検出されていません 1 : IRQn 割り込み要求が検出されています [クリア条件] EXINTSTC の IRQnC ビットへ 1 書き込み [セット条件] EXINTCTL の IRQn1S,IRQn0S に対応するエッジが発生したとき
6	IRQ6F	
5	IRQ5F	
4	IRQ4F	
3	IRQ3F	
2	IRQ2F	
1	IRQ1F	
0	IRQ0F	

備考 n = 0 ~ 7

6.2.8 EXINTSTC — 外部割り込みステータスクリアレジスタ

EXINTSTC レジスタは 8 ビットレジスタで、IRQ_n のセンス方法にエッジ検出を選択したときの EXINTSTR の IRQ_nF をクリアするためのレジスタです。IRQ_nC に 1 を書き込むと対応する EXINTSTR の IRQ_nF がクリアされます。

ビット	7	6	5	4	3	2	1	0
	IRQ7C	IRQ6C	IRQ5C	IRQ4C	IRQ3C	IRQ2C	IRQ1C	IRQ0C
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 6.9 EXINTSTC レジスタの内容

ビット位置	ビット名	機能
7	IRQ7C	外部割り込み要求クリアビット IRQ7 ~ IRQ0 割り込みのセンス方法にエッジ検出を選択したときの割り込み要求ステータスをクリアします。 <ul style="list-style-type: none"> レベル検出選択時 本ビットに機能はありません。 エッジ検出選択時 1 書き込みで対応する EXINTSTR レジスタの IRQ_nF ビットをクリアします。
6	IRQ6C	
5	IRQ5C	
4	IRQ4C	
3	IRQ3C	
2	IRQ2C	
1	IRQ1C	
0	IRQ0C	

備考 n = 0 ~ 7

6.2.9 SINTR0 ~ SINTR3 — ソフトウェア割り込みレジスタ

本レジスタは、ソフトウェア割り込み 0 ~ 3 (SINT0 ~ SINT3) を制御する 8 ビットのレジスタです。

本レジスタに、01_H をライトすることでカウンタ値をインクリメントします。また、00_H をライトすることでカウンタ値をデクリメントします。本レジスタのカウンタ値が 1 以上のとき、ソフトウェア割り込み 0 ~ 3 (SINT0 ~ SINT3) が発生します。

リードした場合、現在のカウンタ値が読み出されます。

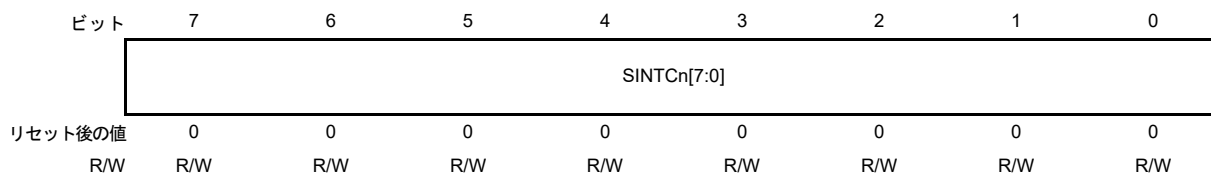


表 6.10 SINTR0 ~ SINTR3 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	SINTCn[7:0]	ソフトウェア割り込み要求 ソフトウェア割り込みが発生します。 [リード動作] SINTn の割り込み要求回数カウンタ値が読み出されます。 [ライト動作] 01 _H をライト：カウンタをインクリメントします。 ^{注1} 00 _H をライト：カウンタをデクリメントします。 ^{注2}

注 1. カウンタが FF_H のときに 01_H をライトした場合、インクリメントされず、FF_H のままとなります。

注 2. カウンタが 00_H のときに 00_H をライトした場合、デクリメントされず、00_H のままとなります。

6.2.10 PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ

PINT0 ~ PINT7 は、32 チャンネル単位でマージされている DTS の転送完了割り込みおよび転送回数一致割り込みについて、チャンネルごとの割り込みステータスを確認することができます。PINT0 ~ PINT7 の同一レジスタ内で複数の割り込み要因が発生した場合、下位ビット側の 1 ビットのみセットされます。

割り込みハンドラ内で、割り込みリードレジスタ値を、同チャンネルの割り込みクリアレジスタ (PINTCLR0 ~ PINTCLR7) にライトすることにより、割り込みをクリアします。

PINT n + x (n = 0 ~ 3, x = 0)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTDTS [31+32* n]	INTDTS [30+32* n]	INTDTS [29+32* n]	INTDTS [28+32* n]	INTDTS [27+32* n]	INTDTS [26+32* n]	INTDTS [25+32* n]	INTDTS [24+32* n]	INTDTS [23+32* n]	INTDTS [22+32* n]	INTDTS [21+32* n]	INTDTS [20+32* n]	INTDTS [19+32* n]	INTDTS [18+32* n]	INTDTS [17+32* n]	INTDTS [16+32* n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTDTS [15+32* n]	INTDTS [14+32* n]	INTDTS [13+32* n]	INTDTS [12+32* n]	INTDTS [11+32* n]	INTDTS [10+32* n]	INTDTS [9+32*n]	INTDTS [8+32*n]	INTDTS [7+32*n]	INTDTS [6+32*n]	INTDTS [5+32*n]	INTDTS [4+32*n]	INTDTS [3+32*n]	INTDTS [2+32*n]	INTDTS [1+32*n]	INTDTS [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PINT n + x (n = 0 ~ 3, x = 4)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTCTD TS[31+ 32*n]	INTCTD TS[30+ 32*n]	INTCTD TS[29+ 32*n]	INTCTD TS[28+ 32*n]	INTCTD TS[27+ 32*n]	INTCTD TS[26+ 32*n]	INTCTD TS[25+ 32*n]	INTCTD TS[24+ 32*n]	INTCTD TS[23+ 32*n]	INTCTD TS[22+ 32*n]	INTCTD TS[21+ 32*n]	INTCTD TS[20+ 32*n]	INTCTD TS[19+ 32*n]	INTCTD TS[18+ 32*n]	INTCTD TS[17+ 32*n]	INTCTD TS[16+ 32*n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTCTD TS[15+ 32*n]	INTCTD TS[14+ 32*n]	INTCTD TS[13+ 32*n]	INTCTD TS[12+ 32*n]	INTCTD TS[11+ 32*n]	INTCTD TS[10+ 32*n]	INTCTD TS[9+3 2*n]	INTCTD TS[8+3 2*n]	INTCTD TS[7+3 2*n]	INTCTD TS[6+3 2*n]	INTCTD TS[5+3 2*n]	INTCTD TS[4+3 2*n]	INTCTD TS[3+3 2*n]	INTCTD TS[2+3 2*n]	INTCTD TS[1+3 2*n]	INTCTD TS[0+3 2*n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PINTCLR n + x (n = 0 ~ 3, x = 0)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTCLR [31+32* n]	INTCLR [30+32* n]	INTCLR [29+32* n]	INTCLR [28+32* n]	INTCLR [27+32* n]	INTCLR [26+32* n]	INTCLR [25+32* n]	INTCLR [24+32* n]	INTCLR [23+32* n]	INTCLR [22+32* n]	INTCLR [21+32* n]	INTCLR [20+32* n]	INTCLR [19+32* n]	INTCLR [18+32* n]	INTCLR [17+32* n]	INTCLR [16+32* n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTCLR [15+32* n]	INTCLR [14+32* n]	INTCLR [13+32* n]	INTCLR [12+32* n]	INTCLR [11+32* n]	INTCLR [10+32* n]	INTCLR [9+32*n]	INTCLR [8+32*n]	INTCLR [7+32*n]	INTCLR [6+32*n]	INTCLR [5+32*n]	INTCLR [4+32*n]	INTCLR [3+32*n]	INTCLR [2+32*n]	INTCLR [1+32*n]	INTCLR [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

PINTCLR n + x (n = 0 ~ 3, x = 4)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTCTC LR[31+ 32*n]	INTCTC LR[30+ 32*n]	INTCTC LR[29+ 32*n]	INTCTC LR[28+ 32*n]	INTCTC LR[27+ 32*n]	INTCTC LR[26+ 32*n]	INTCTC LR[25+ 32*n]	INTCTC LR[24+ 32*n]	INTCTC LR[23+ 32*n]	INTCTC LR[22+ 32*n]	INTCTC LR[21+ 32*n]	INTCTC LR[20+ 32*n]	INTCTC LR[19+ 32*n]	INTCTC LR[18+ 32*n]	INTCTC LR[17+ 32*n]	INTCTC LR[16+ 32*n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTCTC LR[15+ 32*n]	INTCTC LR[14+ 32*n]	INTCTC LR[13+ 32*n]	INTCTC LR[12+ 32*n]	INTCTC LR[11+ 32*n]	INTCTC LR[10+ 32*n]	INTCTC LR[9+3 2*n]	INTCTC LR[8+3 2*n]	INTCTC LR[7+3 2*n]	INTCTC LR[6+3 2*n]	INTCTC LR[5+3 2*n]	INTCTC LR[4+3 2*n]	INTCTC LR[3+3 2*n]	INTCTC LR[2+3 2*n]	INTCTC LR[1+3 2*n]	INTCTC LR[0+3 2*n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

PINT0

ビット位置	ビット名	機能
31 ~ 0	INTDTS[31:0]	DTS ch31 ~ 0 転送完了割り込みステータス

PINT1

ビット位置	ビット名	機能
31 ~ 0	INTDTS[63:32]	DTS ch63 ~ 32 転送完了割り込みステータス

PINT2

ビット位置	ビット名	機能
31 ~ 0	INTDTS[95:64]	DTS ch95 ~ 64 転送完了割り込みステータス

PINT3

ビット位置	ビット名	機能
31 ~ 0	INTDTS [127:96]	DTS ch127 ~ 96 転送完了割り込みステータス

PINT4

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [31:0]	DTS ch31 ~ 0 転送回数一致割り込みステータス

PINT5

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [63:32]	DTS ch63 ~ 32 転送回数一致割り込みステータス

PINT6

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [95:64]	DTS ch95 ~ 64 転送回数一致割り込みステータス

PINT7

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [127:96]	DTS ch127 ~ 96 転送回数一致割り込みステータス

PINTCLR0

ビット位置	ビット名	機能
31 ~ 0	INTCLR[31:0]	DTS ch31 ~ 0 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT0 の読み出し値を書き込みます。

PINTCLR1

ビット位置	ビット名	機能
31 ~ 0	INTCLR[63:32]	DTS ch63 ~ 32 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT1 の読み出し値を書き込みます。

PINTCLR2

ビット位置	ビット名	機能
31 ~ 0	INTCLR[95:64]	DTS ch95 ~ 64 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT2 の読み出し値を書き込みます。

PINTCLR3

ビット位置	ビット名	機能
31 ~ 0	INTCLR[127:96]	DTS ch127 ~ 96 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT3 の読み出し値を書き込みます。

PINTCLR4

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR[31:0]	DTS ch31 ~ 0 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT4 の読み出し値を書き込みます。

PINTCLR5

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR [63:32]	DTS ch63 ~ 32 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT5 の読み出し値を書き込みます。

PINTCLR6

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR [95:64]	DTS ch95 ~ 64 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT6 の読み出し値を書き込みます。

PINTCLR7

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR [127:96]	DTS ch127 ~ 96 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT7 の読み出し値を書き込みます。

6.3 割り込み要因

割り込み要因は、外部割り込み（NMI/IRQ）、ECM 割り込み、プロセッサ間割り込み、ソフトウェア割り込み、周辺モジュール割り込みの5つに分類されます。

6.3.1 NMI 割り込み

NMI 割り込みは、NMI 端子からの入力による外部割り込みです。NMI 割り込みコントロールレジスタ（NMICNTL）のNMI 割り込みセンス選択ビット（NMIS）の設定によって Fall エッジ、Rise エッジを選択できます。

NMI 割り込みは、他の FE レベル割り込みが発生していても最優先で受け付けられます。CPU システムレジスタ PSW.NP の状態にかかわらず、マスクすることはできません。復帰／回復が不可能なノンマスクابل割り込みです。

6.3.2 IRQ 割り込み

IRQ 割り込みは IRQ7 ～ IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、外部割り込みコントロール（EXINTCTL）の外部割り込みセンス選択ビット（IRQ7S ～ IRQ0S）の設定によって、端子ごとにロウレベル、ハイレベル、Fall エッジ、Rise エッジを選択できます。また、割り込み制御レジスタによって、優先レベルを要因ごとに 16 レベルで設定できます。

IRQ 割り込みをロウレベル検出に設定している場合、IRQ7 ～ IRQ0 端子がロウレベルの期間、INTC に割り込み要求信号が送られます。IRQ7 ～ IRQ0 端子がハイレベルになると、割り込み要求信号は INTC に送られません。割り込みが受け付けられるまでアクティブレベルを保持してください。外部割り込みステータスレジスタ（EXINTSTR）の IRQ 割り込み要求ビット（IRQ7F ～ IRQ0F）をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ～ IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。

EXINTSTR の IRQ7F ～ IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認できます。また、エッジ検出時は EXINTSTC の対応するビットへ 1 をライトすることにより IRQ 割り込み要求をクリアできます。

IRQ 割り込み例外ハンドラから復帰する際は、誤って再度受け付けないように、外部割り込みステータスレジスタ（EXINTSTR）をクリアしてから、割り込み復帰命令を実行してください。

6.3.3 ECM 割り込み

ECM（Error Control Module）で複数の割り込み要求をマージして生成される要因です。詳細は、「第 28 章 エラーコントロールモジュール（ECM）」を参照してください。

6.3.4 プロセッサ間割り込み

CPU 間で割り込み通信を行うためのレジスタ（IPIR_CHn）を 4CH 分持っています。IPIR_CH0-3 はユーザ割り込み（EIINT）の CH0 ～ 3 にアサインされます。各 CPU に対応したビットを操作することで特定の CPU（自身を含む）に対して割り込みを要求することが可能です。

割り込み制御レジスタによって、優先レベルを要因ごとに 16 レベルで設定できます。

6.3.5 ソフトウェア割り込み

ソフトウェア割り込み (SINT) は、SINTR0 ~ SINTR3 レジスタを設定することで発生する割り込みです。複数回の割り込み要求をキューイングすることができます。

割り込み制御レジスタによって、優先レベルを要因ごとに 16 レベルで設定できます。

6.3.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- コードフラッシュ/データフラッシュ
- シリアルコミュニケーションインタフェース 3 (SCI3)
- OS タイマ (OSTM)
- ウィンドウウォッチドッグタイマ (WDTA)
- モータコントロールタイマ (TSG3)
- A/D コンバータ (ADCC)
- クロック同期シリアルインタフェース H (CSIH)
- CAN インタフェース (RS-CAN)
- LIN マスタインタフェース (RLIN2)
- ダイレクトメモリアクセスコントローラ (DMAC、DTS)
- エンハンスドモータコントロールユニット (EMU2)
- R/D コンバータ (RDC2)
- タイマアレイユニット J (TAUJ)
- タイマアレイユニット D (TAUD)
- エンコーダタイマ (ENCA)
- タイマオプション (TAPA)
- タイマパタンバッファ (TPBA)
- ペリフェラルインタコネクション 1 (PIC1A)

要因ごとに異なる割り込みベクタが割り当てられているため、割り込み例外ハンドラで要因を判定する必要はありません。優先順位は、割り込み要因ごとに優先レベルを 16 レベルで設定できます。

6.4 割り込み例外ハンドラと優先順位動作説明

表 6.11 に、割り込み要因と要因コード、例外ハンドラアドレスオフセット、割り込み優先順位を示します。

例外ハンドラアドレスは、CPU コア内の PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって決定する標準仕様に加えて、割り込みに関しては、チャンネルごとに例外ハンドラアドレスを個別に指定する拡張仕様があります。

標準仕様は、CPU コア内にあるベースアドレス (RBASE レジスタ /EBASE レジスタ) に、オフセットアドレスを加算して例外ハンドラアドレスとします。割り込みのオフセットアドレスの与え方には、以下の2通りの方式があります。なお、割り込みチャンネル以外は指定のオフセットアドレスとなります。

- 割り込みチャンネルに関係なく、チャンネルごとに設定する優先度 (0 ~ 15) によって +100_H ~ +1F0_H の範囲で決定する。(表 6.11 の注 1)
- 優先度に関係なく、一律 +100_H となる。これは、例外ハンドラのメモリ占有サイズを小さくするための機能です。(表 6.11 の注 2)

拡張仕様は、割り込みチャンネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求められます。(表 6.11 の注 3) INTBP レジスタは、CPU コア内のレジスタです。

$$\text{例外ハンドラアドレス読み出し位置} = \text{INTBP レジスタ} + \text{チャンネル番号} * 4 \text{ バイト}$$

RH850G3M 例外については、「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。

システムエラー例外については「第 3 章 CPU システム」を参照してください。

優先順位は、チャンネルごとに設定できます。指定した優先レベルが同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

注 意

FENMI、FEINT、EIINT (直接ベクタ方式)、SYSERR、FPI の例外ハンドラの前頭には、必ず SYNCPL 命令を配置してください。

詳細については、「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。

表 6.11 割り込み例外ハンドラと優先順位 (1/7)

機能・モジュール	割り込み名称	レベル 割り込み 注1	EIINT 割り込み チャンネル	要因 コード	オフセット・アドレス			割り込み 優先順位 (リセット 後の値)	対象製品		デフォルト 優先 順位
					直接分岐方式		テーブル 参照方式 注2		C1H	C1M	
					RINT = 0 注2	RINT = 1 注2					
ノンマスクابل割り込み	NMI 割り込み			E0 _H	+0E0 _H	+0E0 _H	—		○	○	優先高 ↑
FE レベル割り込み	エラーコントロールモジュール (ECM) FE レベル割り込み			F0 _H	+0F0 _H	+0F0 _H	—		○	○	
プロセッサ間割り込み	IPIR_CH0		0	1000	割り込み チャンネル に関係なく、オフ セットア ドレス は、優先 順位に よって +100 _H ~ +1F0 _H の範囲で 決定され ます	優先度 に無 関係 に、オフ セットア ドレス は、一律 +100 _H	+000 _H	0 ~ 15 (15)	○	×	
	IPIR_CH1		1	1001			+004 _H	0 ~ 15 (15)	○	×	
	IPIR_CH2		2	1002			+008 _H	0 ~ 15 (15)	○	×	
	IPIR_CH3		3	1003			+00C _H	0 ~ 15 (15)	○	×	
	Reserved		4	1004					×	×	
	Reserved		5	1005					×	×	
	Reserved		6	1006					×	×	
	Reserved		7	1007					×	×	
エラーコントロール モジュール	エラーコントロールモジュール (ECM) マスクابل割り込み		8	1008			+020 _H	0 ~ 15 (15)	○	○	
IRQ (外部割り込み)	IRQ0 割り込み	○	9	1009			+024 _H	0 ~ 15 (15)	○	○	
	IRQ1 割り込み	○	10	100A			+028 _H	0 ~ 15 (15)	○	○	
	IRQ2 割り込み	○	11	100B			+02C _H	0 ~ 15 (15)	○	○	
	IRQ3 割り込み	○	12	100C			+030 _H	0 ~ 15 (15)	○	○	
	IRQ4 割り込み	○	13	100D			+034 _H	0 ~ 15 (15)	○	○	
	IRQ5 割り込み	○	14	100E			+038 _H	0 ~ 15 (15)	○	○	
	IRQ6 割り込み	○	15	100F			+03C _H	0 ~ 15 (15)	○	○	
	IRQ7 割り込み	○	16	1010			+040 _H	0 ~ 15 (15)	○	○	
SINT (ソフトウェア割り込み)	SINT0 割り込み	○	17	1011			+044 _H	0 ~ 15 (15)	○	○	
	SINT1 割り込み	○	18	1012			+048 _H	0 ~ 15 (15)	○	○	
	SINT2 割り込み	○	19	1013			+04C _H	0 ~ 15 (15)	○	○	
	SINT3 割り込み	○	20	1014			+050 _H	0 ~ 15 (15)	○	○	
	Reserved		21	1015					×	×	
	Reserved		22	1016					×	×	
	Reserved		23	1017					×	×	
	Reserved		24	1018					×	×	
OSTM	OSTM0 割り込み (OSTM0TINT)		25	1019			+064 _H	0 ~ 15 (15)	○	○	
	OSTM1 割り込み (OSTM1TINT)		26	101A			+068 _H	0 ~ 15 (15)	○	○	
	OSTM2 割り込み (OSTM2TINT)		27	101B			+06C _H	0 ~ 15 (15)	○	×	
	Reserved		28	101C					×	×	
DMA	DMA 転送エラー (DMAERR)		29	101D			+074 _H	0 ~ 15 (15)	○	○	
	Reserved		30	101E					×	×	
	Reserved		31	101F					×	×	
Code Flash/Data Flash	Reserved		32	1020					×	×	
	フラッシュシーケンサ処理完了割り込み ^{注3}		33	1021			+084 _H	0 ~ 15 (15)	○	○	
	Reserved		34	1022					×	×	
	Reserved		35	1023					×	×	
	Reserved		36	1024					×	×	
	Reserved		37	1025					×	×	

表 6.11 割り込み例外ハンドラと優先順位 (2/7)

機能・モジュール	割り込み名称	レベル 割り込み 注1	EIINT 割り込み チャンネル	要因 コード	オフセット・アドレス			割り込み 優先順位 (リセット 後の値)	対象製品		デフォ ルト 優先 順位
					直接分岐方式		テーブル 参照方式 注2		C1H	C1M	
					RINT = 0 注2	RINT = 1 注2					
DMAC	ch0 転送完了割り込み/ ch0 転送回数一致割り込み		38	1026	割り込み チャンネル に 関係 なく、 オフ セット アド レス は、 優先 順位 によ って +100 _H ~ +1F0 _H の 範囲 で 決 定 さ れ ま す	優先度 に 無 関 係 に、 オフ セ ット ア ド レ ス は、 一 律 +100 _H	+098 _H	0 ~ 15 (15)	○	○	優先高 ↑
	ch1 転送完了割り込み/ ch1 転送回数一致割り込み		39	1027			+09C _H	0 ~ 15 (15)	○	○	
	ch2 転送完了割り込み/ ch2 転送回数一致割り込み		40	1028			+0A0 _H	0 ~ 15 (15)	○	○	
	ch3 転送完了割り込み/ ch3 転送回数一致割り込み		41	1029			+0A4 _H	0 ~ 15 (15)	○	○	
	ch4 転送完了割り込み/ ch4 転送回数一致割り込み		42	102A			+0A8 _H	0 ~ 15 (15)	○	○	
	ch5 転送完了割り込み/ ch5 転送回数一致割り込み		43	102B			+0AC _H	0 ~ 15 (15)	○	○	
	ch6 転送完了割り込み/ ch6 転送回数一致割り込み		44	102C			+0B0 _H	0 ~ 15 (15)	○	○	
	ch7 転送完了割り込み/ ch7 転送回数一致割り込み		45	102D			+0B4 _H	0 ~ 15 (15)	○	○	
	ch8 転送完了割り込み/ ch8 転送回数一致割り込み		46	102E			+0B8 _H	0 ~ 15 (15)	○	○	
	ch9 転送完了割り込み/ ch9 転送回数一致割り込み		47	102F			+0BC _H	0 ~ 15 (15)	○	○	
	ch10 転送完了割り込み/ ch10 転送回数一致割り込み		48	1030			+0C0 _H	0 ~ 15 (15)	○	○	
	ch11 転送完了割り込み/ ch11 転送回数一致割り込み		49	1031			+0C4 _H	0 ~ 15 (15)	○	○	
	ch12 転送完了割り込み/ ch12 転送回数一致割り込み		50	1032			+0C8 _H	0 ~ 15 (15)	○	○	
	ch13 転送完了割り込み/ ch13 転送回数一致割り込み		51	1033			+0CC _H	0 ~ 15 (15)	○	○	
	ch14 転送完了割り込み/ ch14 転送回数一致割り込み		52	1034			+0D0 _H	0 ~ 15 (15)	○	○	
ch15 転送完了割り込み/ ch15 転送回数一致割り込み		53	1035	+0D4 _H	0 ~ 15 (15)	○	○				
WDTA	WDTA0TIT インターバルタイマ 割り込み (75% 割り込み)		54	1036	+0D8 _H	0 ~ 15 (15)	○	○			
	WDTA1TIT インターバルタイマ 割り込み (75% 割り込み)		55	1037	+0DC _H	0 ~ 15 (15)	○	*			
EMU2	EMU20 割り込み 0		56	1038	+0E0 _H	0 ~ 15 (15)	○	○			
	EMU20 割り込み 1		57	1039	+0E4 _H	0 ~ 15 (15)	○	○			
	EMU20 割り込み 2		58	103A	+0E8 _H	0 ~ 15 (15)	○	○			
	EMU20 割り込み 3		59	103B	+0EC _H	0 ~ 15 (15)	○	○			
	EMU20 割り込み 4		60	103C	+0F0 _H	0 ~ 15 (15)	○	○			
	EMU21 割り込み 0		61	103D	+0F4 _H	0 ~ 15 (15)	○	○			
	EMU21 割り込み 1		62	103E	+0F8 _H	0 ~ 15 (15)	○	○			
	EMU21 割り込み 2		63	103F	+0FC _H	0 ~ 15 (15)	○	○			
	EMU21 割り込み 3		64	1040	+100 _H	0 ~ 15 (15)	○	○			
	EMU21 割り込み 4		65	1041	+104 _H	0 ~ 15 (15)	○	○			
RDC_0	RDC20 Z 相割り込み		66	1042	+108 _H	0 ~ 15 (15)	○	○			
	RDC20 異常割り込み		67	1043	+10C _H	0 ~ 15 (15)	○	○			
	RDC20 コンペア 0 一致割り込み		68	1044	+110 _H	0 ~ 15 (15)	○	○			
	RDC20 コンペア 1 一致割り込み		69	1045	+114 _H	0 ~ 15 (15)	○	○			
	RDC20 コンペア 2 一致割り込み		70	1046	+118 _H	0 ~ 15 (15)	○	○			
	RDC20 励磁タイマ (ET) 割り込み		71	1047	+11C _H	0 ~ 15 (15)	○	○			

表 6.11 割り込み例外ハンドラと優先順位 (3/7)

機能・モジュール	割り込み名称	レベル 割り込み 注1	EIINT 割り込み チャンネル	要因 コード	オフセット・アドレス			割り込み 優先順位 (リセット 後の値)	対象製品		デフォ ルト 優先 順位
					直接分岐方式		テーブル 参照方式 注2		C1H	C1M	
					RINT = 0 注2	RINT = 1 注2					
RDC_1	RDC21 Z相割り込み		72	1048	割り込み チャンネル に関係な く、オフ セットア ドレス は、優先 順位に よって +100 _H ~ +1F0 _H の範囲で 決定され ます	優先度 に無 関係 に、オフ セットア ドレス は、一律 +100 _H	+120 _H	0 ~ 15 (15)	○	×	優先高 ↑
	RDC21 異常割り込み		73	1049			+124 _H	0 ~ 15 (15)	○	×	
	RDC21 コンペア 0 一致割り込み		74	104A			+128 _H	0 ~ 15 (15)	○	×	
	RDC21 コンペア 1 一致割り込み		75	104B			+12C _H	0 ~ 15 (15)	○	×	
	RDC21 コンペア 2 一致割り込み		76	104C			+130 _H	0 ~ 15 (15)	○	×	
	RDC21 励磁タイマ (ET) 割り込み		77	104D			+134 _H	0 ~ 15 (15)	○	×	
TAUJ_0	INTTAUJ0I0 割り込み		78	104E			+138 _H	0 ~ 15 (15)	○	○	
	INTTAUJ0I1 割り込み		79	104F			+13C _H	0 ~ 15 (15)	○	○	
	INTTAUJ0I2 割り込み		80	1050			+140 _H	0 ~ 15 (15)	○	○	
	INTTAUJ0I3 割り込み		81	1051			+144 _H	0 ~ 15 (15)	○	○	
TAUD	INTTAUD0I0 割り込み		82	1052			+148 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I1 割り込み		83	1053			+14C _H	0 ~ 15 (15)	○	○	
	INTTAUD0I2 割り込み		84	1054			+150 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I3 割り込み		85	1055			+154 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I4 割り込み		86	1056			+158 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I5 割り込み		87	1057			+15C _H	0 ~ 15 (15)	○	○	
	INTTAUD0I6 割り込み		88	1058			+160 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I7 割り込み		89	1059			+164 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I8 割り込み		90	105A			+168 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I9 割り込み		91	105B			+16C _H	0 ~ 15 (15)	○	○	
	INTTAUD0I10 割り込み		92	105C			+170 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I11 割り込み		93	105D			+174 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I12 割り込み		94	105E			+178 _H	0 ~ 15 (15)	○	○	
	INTTAUD0I13 割り込み		95	105F			+17C _H	0 ~ 15 (15)	○	○	
	INTTAUD0I14 割り込み		96	1060	+180 _H	0 ~ 15 (15)	○	○			
	INTTAUD0I15 割り込み		97	1061	+184 _H	0 ~ 15 (15)	○	○			
	INTTAUD1I0 割り込み		98	1062	+188 _H	0 ~ 15 (15)	○	○			
	INTTAUD1I1 割り込み		99	1063	+18C _H	0 ~ 15 (15)	○	○			
	INTTAUD1I2 割り込み		100	1064	+190 _H	0 ~ 15 (15)	○	○			
	INTTAUD1I3 割り込み		101	1065	+194 _H	0 ~ 15 (15)	○	○			
	INTTAUD1I4 割り込み		102	1066	+198 _H	0 ~ 15 (15)	○	○			
	INTTAUD1I5 割り込み		103	1067	+19C _H	0 ~ 15 (15)	○	○			
	INTTAUD1I6 割り込み		104	1068	+1A0 _H	0 ~ 15 (15)	○	○			
	INTTAUD1I7 割り込み		105	1069	+1A4 _H	0 ~ 15 (15)	○	○			
INTTAUD1I8 割り込み		106	106A	+1A8 _H	0 ~ 15 (15)	○	○				
INTTAUD1I9 割り込み		107	106B	+1AC _H	0 ~ 15 (15)	○	○				
INTTAUD1I10 割り込み		108	106C	+1B0 _H	0 ~ 15 (15)	○	○				

表 6.11 割り込み例外ハンドラと優先順位 (4/7)

機能・モジュール	割り込み名称	レベル 割り込み 注1	EIINT 割り込み チャンネル	要因 コード	オフセット・アドレス			割り込み 優先順位 (リセット 後の値)	対象製品		デフォルト 優先 順位
					直接分岐方式		テーブル 参照方式 注2		C1H	C1M	
					RINT = 0 注2	RINT = 1 注2					
TAUD	INTTAUD1I11 割り込み		109	106D	割り込み チャンネル に関係なく、オフ セットア ドレス は、優先 順位に よって +100 _H ~ +1F0 _H の範囲で 決定され ます	優先度 に無 関係 に、オフ セットア ドレス は、一律 +100 _H	+1B4 _H	0 ~ 15 (15)	○	○	優先高 ↑
	INTTAUD1I12 割り込み		110	106E			+1B8 _H	0 ~ 15 (15)	○	○	
	INTTAUD1I13 割り込み		111	106F			+1BC _H	0 ~ 15 (15)	○	○	
	INTTAUD1I14 割り込み		112	1070			+1C0 _H	0 ~ 15 (15)	○	○	
	INTTAUD1I15 割り込み		113	1071			+1C4 _H	0 ~ 15 (15)	○	○	
	Reserved		114	1072					×	×	
	Reserved		115	1073					×	×	
PIC1A	ENCA0 コンペア 0 一致 またはキャプチャ 0 割り込み		116	1074		+1D0 _H	0 ~ 15 (15)	○	○		
	ENCA1 コンペア 0 一致 またはキャプチャ 0 割り込み		117	1075		+1D4 _H	0 ~ 15 (15)	○	○		
ENCA_0	オーバフロー割り込み		118	1076		+1D8 _H	0 ~ 15 (15)	○	○		
	コンペア 1 一致またはキャプチャ 1 割 り込み		119	1077		+1DC _H	0 ~ 15 (15)	○	○		
	アンダフロー割り込み		120	1078		+1E0 _H	0 ~ 15 (15)	○	○		
	エンコーダクリア割り込み		121	1079		+1E4 _H	0 ~ 15 (15)	○	○		
ENCA_1	オーバフロー割り込み		122	107A		+1E8 _H	0 ~ 15 (15)	○	○		
	コンペア 1 一致またはキャプチャ 1 割 り込み		123	107B		+1EC _H	0 ~ 15 (15)	○	○		
	アンダフロー割り込み		124	107C		+1F0 _H	0 ~ 15 (15)	○	○		
	エンコーダクリア割り込み		125	107D		+1F4 _H	0 ~ 15 (15)	○	○		
TAPA	TAPA0 山割り込み 0		126	107E		+1F8 _H	0 ~ 15 (15)	○	○		
	TAPA0 谷割り込み 0		127	107F		+1FC _H	0 ~ 15 (15)	○	○		
	TAPA1 山割り込み 0		128	1080		+200 _H	0 ~ 15 (15)	○	○		
	TAPA1 谷割り込み 0		129	1081		+204 _H	0 ~ 15 (15)	○	○		
TPBA_0	周期一致検出割り込み		130	1082		+208 _H	0 ~ 15 (15)	○	○		
	デューティ一致検出割り込み		131	1083		+20C _H	0 ~ 15 (15)	○	○		
	パターン数一致検出割り込み		132	1084		+210 _H	0 ~ 15 (15)	○	○		
TPBA_1	周期一致検出割り込み		133	1085		+214 _H	0 ~ 15 (15)	○	×		
	デューティ一致検出割り込み		134	1086		+218 _H	0 ~ 15 (15)	○	×		
	パターン数一致検出割り込み		135	1087		+21C _H	0 ~ 15 (15)	○	×		
TSG3_0	TSG30 コンペアー一致割り込み 1 (INTTSG3011)		136	1088		+220 _H	0 ~ 15 (15)	○	○		
	TSG30 コンペアー一致割り込み 2 (INTTSG3012)		137	1089		+224 _H	0 ~ 15 (15)	○	○		
	TSG30 コンペアー一致割り込み 3 (INTTSG3013)		138	108A		+228 _H	0 ~ 15 (15)	○	○		
	TSG30 コンペアー一致割り込み 4 (INTTSG3014)		139	108B		+22C _H	0 ~ 15 (15)	○	○		
	TSG30 コンペアー一致割り込み 5 (INTTSG3015)		140	108C		+230 _H	0 ~ 15 (15)	○	○		

表 6.11 割り込み例外ハンドラと優先順位 (5/7)

機能・モジュール	割り込み名称	レベル 割り込み 注1	EIINT 割り込み チャネル	要因 コード	オフセット・アドレス			対象製品		デフォルト 優先 順位	
					直接分岐方式		テーブル 参照方式 注2	割り込み 優先順位 (リセット 後の値)	C1H		C1M
					RINT = 0 注2	RINT = 1 注2					
TSG3_0	TSG30 コンペアー一致割り込み 6 (INTTSG30I6)		141	108D	割り込み チャネル に 関係 なく、 オフ セット アド レス は、 優先 順位 によ って +100 _H ~ +1F0 _H の 範囲 で 決定 され ます	優先度 に 無 関 係 に、 オフ セ ット アド レス は、 一 律 +100 _H	+234 _H	0 ~ 15 (15)	○	○	優先高 ↑
	TSG30 コンペアー一致割り込み 7 (INTTSG30I7)		142	108E			+238 _H	0 ~ 15 (15)	○	○	
	TSG30 コンペアー一致割り込み 8 (INTTSG30I8)		143	108F			+23C _H	0 ~ 15 (15)	○	○	
	TSG30 コンペアー一致割り込み 9 (INTTSG30I9)		144	1090			+240 _H	0 ~ 15 (15)	○	○	
	TSG30 コンペアー一致割り込み 10 (INTTSG30I10)		145	1091			+244 _H	0 ~ 15 (15)	○	○	
	TSG30 コンペアー一致割り込み 11 (INTTSG30I11)		146	1092			+248 _H	0 ~ 15 (15)	○	○	
	TSG30 コンペアー一致割り込み 12 (INTTSG30I12)		147	1093			+24C _H	0 ~ 15 (15)	○	○	
	TSG30 エラー割り込み (INTTSG30IER)		148	1094			+250 _H	0 ~ 15 (15)	○	○	
	TSG30 ワーニング割り込み (INTTSG30IWN)		149	1095			+254 _H	0 ~ 15 (15)	○	○	
TSG3_1	TSG31 コンペアー一致割り込み 1 (INTTSG31I1)		150	1096	+258 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 2 (INTTSG31I2)		151	1097	+25C _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 3 (INTTSG31I3)		152	1098	+260 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 4 (INTTSG31I4)		153	1099	+264 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 5 (INTTSG31I5)		154	109A	+268 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 6 (INTTSG31I6)		155	109B	+26C _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 7 (INTTSG31I7)		156	109C	+270 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 8 (INTTSG31I8)		157	109D	+274 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 9 (INTTSG31I9)		158	109E	+278 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 10 (INTTSG31I10)		159	109F	+27C _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 11 (INTTSG31I11)		160	10A0	+280 _H	0 ~ 15 (15)	○	○			
	TSG31 コンペアー一致割り込み 12 (INTTSG31I12)		161	10A1	+284 _H	0 ~ 15 (15)	○	○			
	TSG31 エラー割り込み (INTTSG31IER)		162	10A2	+288 _H	0 ~ 15 (15)	○	○			
TSG31 ワーニング割り込み (INTTSG31IWN)		163	10A3	+28C _H	0 ~ 15 (15)	○	○				
TSG3_0	TSG30 コンペアー一致割り込み 0 (INTTSG30I0)		164	10A4	+290 _H	0 ~ 15 (15)	○	○			
	TSG30 山割り込み (INTTSG30IPEK)		165	10A5	+294 _H	0 ~ 15 (15)	○	○			
	TSG30 谷割り込み (INTTSG30IVLY)		166	10A6	+298 _H	0 ~ 15 (15)	○	○			
TSG3_1	TSG31 コンペアー一致割り込み 0 (INTTSG31I0)		167	10A7	+29C _H	0 ~ 15 (15)	○	○			
	TSG31 山割り込み (INTTSG31IPEK)		168	10A8	+2A0 _H	0 ~ 15 (15)	○	○			
	TSG31 谷割り込み (INTTSG31IVLY)		169	10A9	+2A4 _H	0 ~ 15 (15)	○	○			
	Reserved		170	10AA				×	×		
	Reserved		171	10AB				×	×		

表 6.11 割り込み例外ハンドラと優先順位 (6/7)

機能・モジュール	割り込み名称	レベル 割り込み 注1	EIINT 割り込み チャンネル	要因 コード	オフセット・アドレス			割り込み 優先順位 (リセット 後の値)	対象製品		デフォ ルト 優先 順位
					直接分岐方式		テーブル 参照方式 注2		C1H	C1M	
					RINT = 0 注2	RINT = 1 注2					
ADCC	ADI00 ADCC0 スキャングループ 0 終了割り込み		172	10AC	割り込み チャンネル に関係な く、オフ セットア ドレス は、優先 順位に よって +100 _H ~ +1F0 _H の範囲で 決定され ます	優先度 に無 関係 に、 オフ セッ トア ドレ スは、 一律 +100 _H	+2B0 _H	0 ~ 15 (15)	○	○	優先高 ↑
	ADI01 ADCC0 スキャングループ 1 終了割り込み		173	10AD			+2B4 _H	0 ~ 15 (15)	○	○	
	ADI02 ADCC0 スキャングループ 2 終了割り込み		174	10AE			+2B8 _H	0 ~ 15 (15)	○	○	
	ADI03 ADCC0 スキャングループ 3 終了割り込み		175	10AF			+2BC _H	0 ~ 15 (15)	○	○	
	ADI04 ADCC0 スキャングループ 4 終了割り込み		176	10B0			+2C0 _H	0 ~ 15 (15)	○	○	
	ADI10 ADCC1 スキャングループ 0 終了割り込み		177	10B1			+2C4 _H	0 ~ 15 (15)	○	○	
	ADI11 ADCC1 スキャングループ 1 終了割り込み		178	10B2			+2C8 _H	0 ~ 15 (15)	○	○	
	ADI12 ADCC1 スキャングループ 2 終了割り込み		179	10B3			+2CC _H	0 ~ 15 (15)	○	○	
	ADI13 ADCC1 スキャングループ 3 終了割り込み		180	10B4			+2D0 _H	0 ~ 15 (15)	○	○	
	ADI14 ADCC1 スキャングループ 4 終了割り込み		181	10B5			+2D4 _H	0 ~ 15 (15)	○	○	
	Reserved		182	10B6					×	×	
	Reserved		183	10B7					×	×	
	ADE0 ADCC0AD エラー割り込み		184	10B8			+2E0 _H	0 ~ 15 (15)	○	○	
	ADE1 ADCC1AD エラー割り込み		185	10B9			+2E4 _H	0 ~ 15 (15)	○	○	
	RS-CAN	受信 FIFO 割り込み	○	186			10BA	+2E8 _H	0 ~ 15 (15)	○	
	グローバルエラー割り込み	○	187	10BB	+2EC _H	0 ~ 15 (15)	○	○			
RS-CAN-ch0	送受信 FIFO 受信完了割り込み	○	188	10BC	+2F0 _H	0 ~ 15 (15)	○	○			
	エラー割り込み	○	189	10BD	+2F4 _H	0 ~ 15 (15)	○	○			
	送信割り込み	○	190	10BE	+2F8 _H	0 ~ 15 (15)	○	○			
RS-CAN-ch1	送受信 FIFO 受信完了割り込み	○	191	10BF	+2FC _H	0 ~ 15 (15)	○	○			
	エラー割り込み	○	192	10C0	+300 _H	0 ~ 15 (15)	○	○			
	送信割り込み	○	193	10C1	+304 _H	0 ~ 15 (15)	○	○			
RS-CAN-ch2	送受信 FIFO 受信完了割り込み	○	194	10C2	+308 _H	0 ~ 15 (15)	○	○			
	エラー割り込み	○	195	10C3	+30C _H	0 ~ 15 (15)	○	○			
	送信割り込み	○	196	10C4	+310 _H	0 ~ 15 (15)	○	○			
RS-CAN-ch3	送受信 FIFO 受信完了割り込み	○	197	10C5	+314 _H	0 ~ 15 (15)	○	○			
	エラー割り込み	○	198	10C6	+318 _H	0 ~ 15 (15)	○	○			
	送信割り込み	○	199	10C7	+31C _H	0 ~ 15 (15)	○	○			
RLIN2_0	RLIN20 送信完了割り込み/受信完了 割り込み/エラー検出割り込み	○	200	10C8	+320 _H	0 ~ 15 (15)	○	×			
RLIN2_1	RLIN21 送信完了割り込み/受信完了 割り込み/エラー検出割り込み	○	201	10C9	+324 _H	0 ~ 15 (15)	○	×			
RLIN2_2	RLIN22 送信完了割り込み/受信完了 割り込み/エラー検出割り込み	○	202	10CA	+328 _H	0 ~ 15 (15)	○	×			
SCI_0	ERI (受信エラー)	○	203	10CB	+32C _H	0 ~ 15 (15)	○	○			
	RXI (受信データフル)		204	10CC	+330 _H	0 ~ 15 (15)	○	○			
	TXI (送信データエンプティ)		205	10CD	+334 _H	0 ~ 15 (15)	○	○			
	TEI (送信終了)	○	206	10CE	+338 _H	0 ~ 15 (15)	○	○			
SCI_1	ERI (受信エラー)	○	207	10CF	+33C _H	0 ~ 15 (15)	○	○			
	RXI (受信データフル)		208	10D0	+340 _H	0 ~ 15 (15)	○	○			
	TXI (送信データエンプティ)		209	10D1	+344 _H	0 ~ 15 (15)	○	○			
	TEI (送信終了)	○	210	10D2	+348 _H	0 ~ 15 (15)	○	○			

表 6.11 割り込み例外ハンドラと優先順位 (7/7)

機能・モジュール	割り込み名称	レベル 割り込み 注1	EIINT 割り込み チャンネル	要因 コード	オフセット・アドレス			割り込み 優先順位 (リセット 後の値)	対象製品		デフォ ルト 優先 順位
					直接分岐方式		テーブル 参照方式 注2		C1H	C1M	
					RINT = 0 注2	RINT = 1 注2					
SCI_2	ERI (受信エラー)	○	211	10D3	割り込み チャンネル に 関係 なく、 オフ セット アド レス は、 優先 順位 によ って +100 _H ~ +1F0 _H の 範囲 で 決 定 さ れ ま す	優先度 に 無 関 係 に、 オフ セ ット ア ド レ ス は、 一 律 +100 _H	+34C _H	0 ~ 15 (15)	○	○	↑ 優先高
	RXI (受信データフル)		212	10D4			+350 _H	0 ~ 15 (15)	○	○	
	TXI (送信データエンプティ)		213	10D5			+354 _H	0 ~ 15 (15)	○	○	
	TEI (送信終了)	○	214	10D6			+358 _H	0 ~ 15 (15)	○	○	
CSIH_0	通信ステータス割り込み (INTCSIHTIC)		215	10D7			+35C _H	0 ~ 15 (15)	○	○	
	受信ステータス割り込み (INTCSIHTIR)		216	10D8			+360 _H	0 ~ 15 (15)	○	○	
	通信エラー割り込み (INTCSIHTIRE)		217	10D9			+364 _H	0 ~ 15 (15)	○	○	
	ジョブ完了割り込み (INTCSIHTIJC)		218	10DA			+368 _H	0 ~ 15 (15)	○	○	
CSIH_1	通信ステータス割り込み (INTCSIHTIC)		219	10DB			+36C _H	0 ~ 15 (15)	○	○	
	受信ステータス割り込み (INTCSIHTIR)		220	10DC			+370 _H	0 ~ 15 (15)	○	○	
	通信エラー割り込み (INTCSIHTIRE)		221	10DD			+374 _H	0 ~ 15 (15)	○	○	
	ジョブ完了割り込み (INTCSIHTIJC)		222	10DE			+378 _H	0 ~ 15 (15)	○	○	
DTS	ch31-0 転送完了割り込み	○	223	10DF			+37C _H	0 ~ 15 (15)	○	○	
	ch63-32 転送完了割り込み	○	224	10E0			+380 _H	0 ~ 15 (15)	○	○	
	ch95-64 転送完了割り込み	○	225	10E1			+384 _H	0 ~ 15 (15)	○	○	
	ch127-96 転送完了割り込み	○	226	10E2			+388 _H	0 ~ 15 (15)	○	○	
DTS	ch31-0 転送回数一致割り込み	○	227	10E3	+38C _H	0 ~ 15 (15)	○	○			
	ch63-32 転送回数一致割り込み	○	228	10E4	+390 _H	0 ~ 15 (15)	○	○			
	ch95-64 転送回数一致割り込み	○	229	10E5	+394 _H	0 ~ 15 (15)	○	○			
	ch127-96 転送回数一致割り込み	○	230	10E6	+398 _H	0 ~ 15 (15)	○	○			

注 1. レベル割り込みの割り込み要求を取り下げるには、割り込み処理内でソフトウェアで各モジュールにあるステータスレジスタをクリアする必要があります。また、EICn.EICTn ビットは“1”になります。EICn.EIRFn ビットはソフトウェアでクリアできません。

注 2. 「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

注 3. 「RH850/C1x フラッシュメモリユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

6.5 動作説明

6.5.1 外部割り込み (NMI/IRQ)

外部から入力される割り込みは、NMI と IRQ があります。NMI は 2 種類、IRQ は 4 種類のセンス方法から選択可能です。

割り込み検出フローについては、「6.5.5 割り込み処理フロー」を参照してください。

6.5.2 プロセッサ間割り込み

動作説明は「3.2.3.1 プロセッサ間割り込み制御レジスタ」、および「6.5.5 割り込み処理フロー」を参照してください。

6.5.3 ソフトウェア割り込み

動作説明は、「6.2.9 SINTR0 ~ SINTR3 — ソフトウェア割り込みレジスタ」、および「6.5.5 割り込み処理フロー」を参照してください。

6.5.4 DTS 割り込みのマージ機能

転送完了割り込み (128 本) と転送回数一致割り込み (128 本) は、32 本単位で 1 本にまとめられています。

複数の割り込み要因が発生した場合、どの割り込みを受け付けたかを判断できるよう、ステータスレジスタ (PINT0 ~ 7) は、受け付けた割り込み要因のうち、下位ビット側の 1 ビットのみセットされます。DTS 割り込みのマージによる割り込み要求フローについては、「6.5.5.5 DTS 割り込み処理フロー」を参照してください。

表 6.12 DTS 割り込み関連レジスタ

割り込み要因	CH	ステータスレジスタ	クリアレジスタ
DTS 転送完了割り込み	0-31	PINT0	PINTCLR0
	32-63	PINT1	PINTCLR1
	64-95	PINT2	PINTCLR2
	96-127	PINT3	PINTCLR3
DTS 転送回数一致割り込み	0-31	PINT4	PINTCLR4
	32-63	PINT5	PINTCLR5
	64-95	PINT6	PINTCLR6
	96-127	PINT7	PINTCLR7

6.5.5 割り込み処理フロー

6.5.5.1 NMI 処理フロー

NMI 処理フロー例を図 6.1 に示します。

- NMI は、NMICTL レジスタの設定により、検出方法 (Fall エッジ、Rise エッジ) を選択します。
- NMI 検出後、INTC へ割り込み要求を出します。
- NMI 割り込みは、ほかの FE レベル割り込みが発生していても最優先で受け付けられます。CPU システムレジスタ PSW.NP の状態にかかわらず、マスクすることはできません。復帰/回復が不可能なノンマスクابل割り込みです。

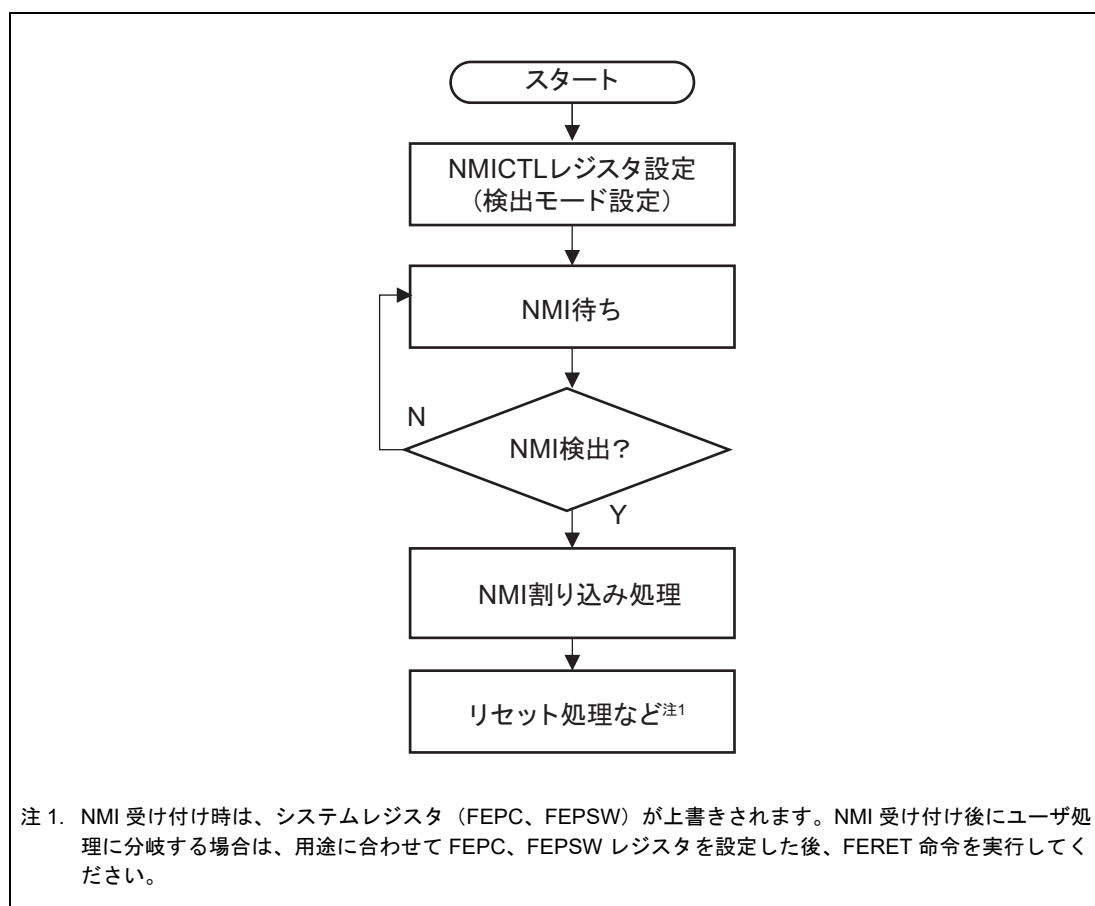


図 6.1 NMI 処理フロー例

6.5.5.2 外部割り込み処理フロー

IRQ（外部割り込み）処理フロー例を図 6.2 に示します。

- IRQ は、EXINTCTL レジスタの設定により、検出方法（エッジ検出／レベル検出）を選択します。
- IRQ 検出後、INTC へ割り込み要求を出します。
- レベル検出時、INTC 内での割り込み処理が終了し復帰する際は、IRQn 端子のネゲートを確認してから、割り込み復帰命令を実行してください。
- エッジ検出時、INTC 内での割り込み処理が終了し復帰する際は、EXINTSTR レジスタの割り込み要求をクリアしてから、割り込み復帰命令を実行してください。

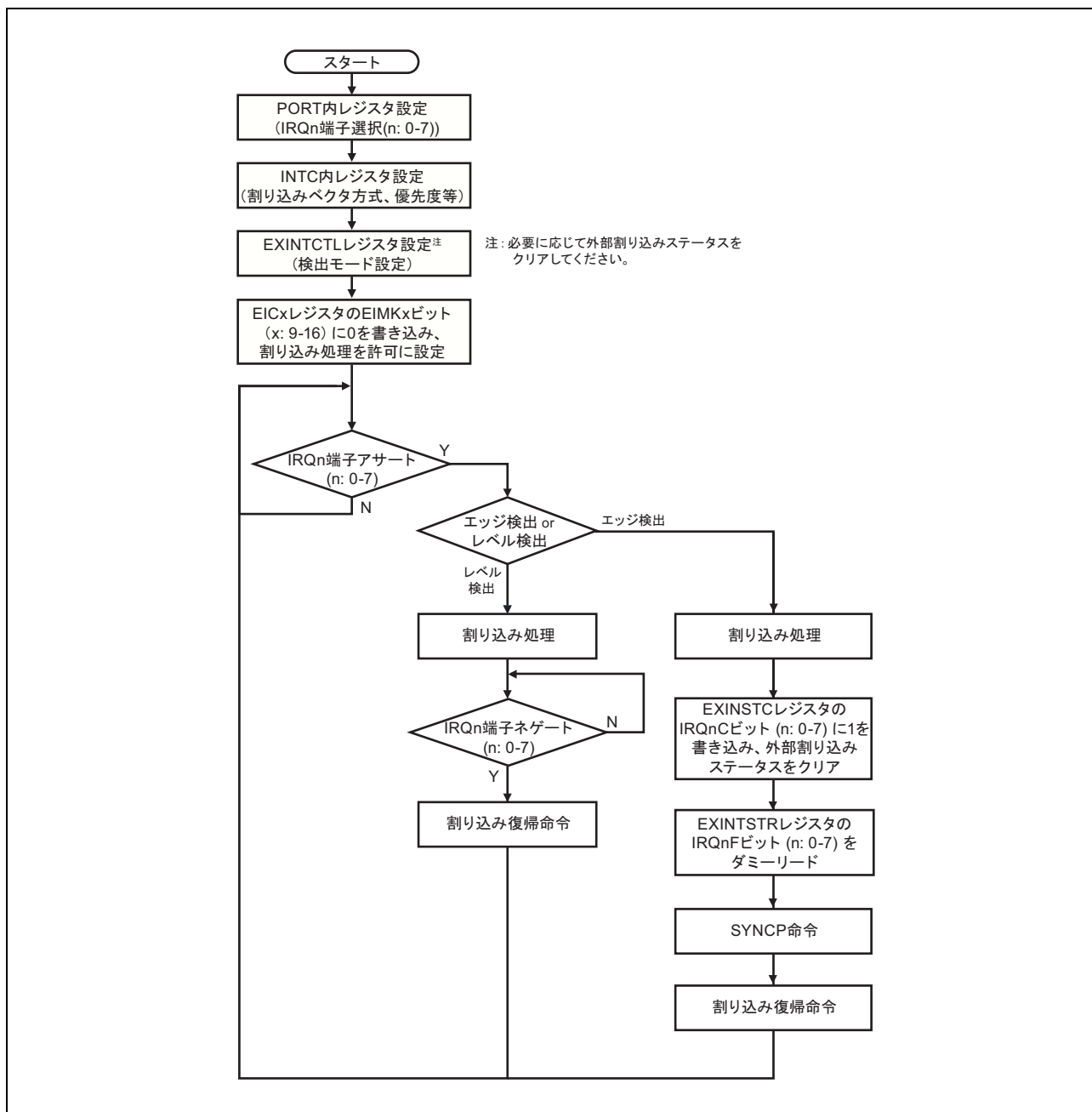


図 6.2 外部割り込み処理フロー例

6.5.5.3 プロセッサ間割り込みフロー

プロセッサ間割り込み処理フロー例を図 6.3 に示します。

- プロセッサ間割り込みは PE 間割り込みレジスタ (IPIR0 ~ 3) の割り込み要求先 PE の該当ビットに 1 を書き込むことで割り込み要求を発生します。
- PE 間割り込みレジスタ (IPIR0 ~ 3) の割り込み要求設定は、割り込み要求の通知を完了したら自動的に 0 にクリアされます。

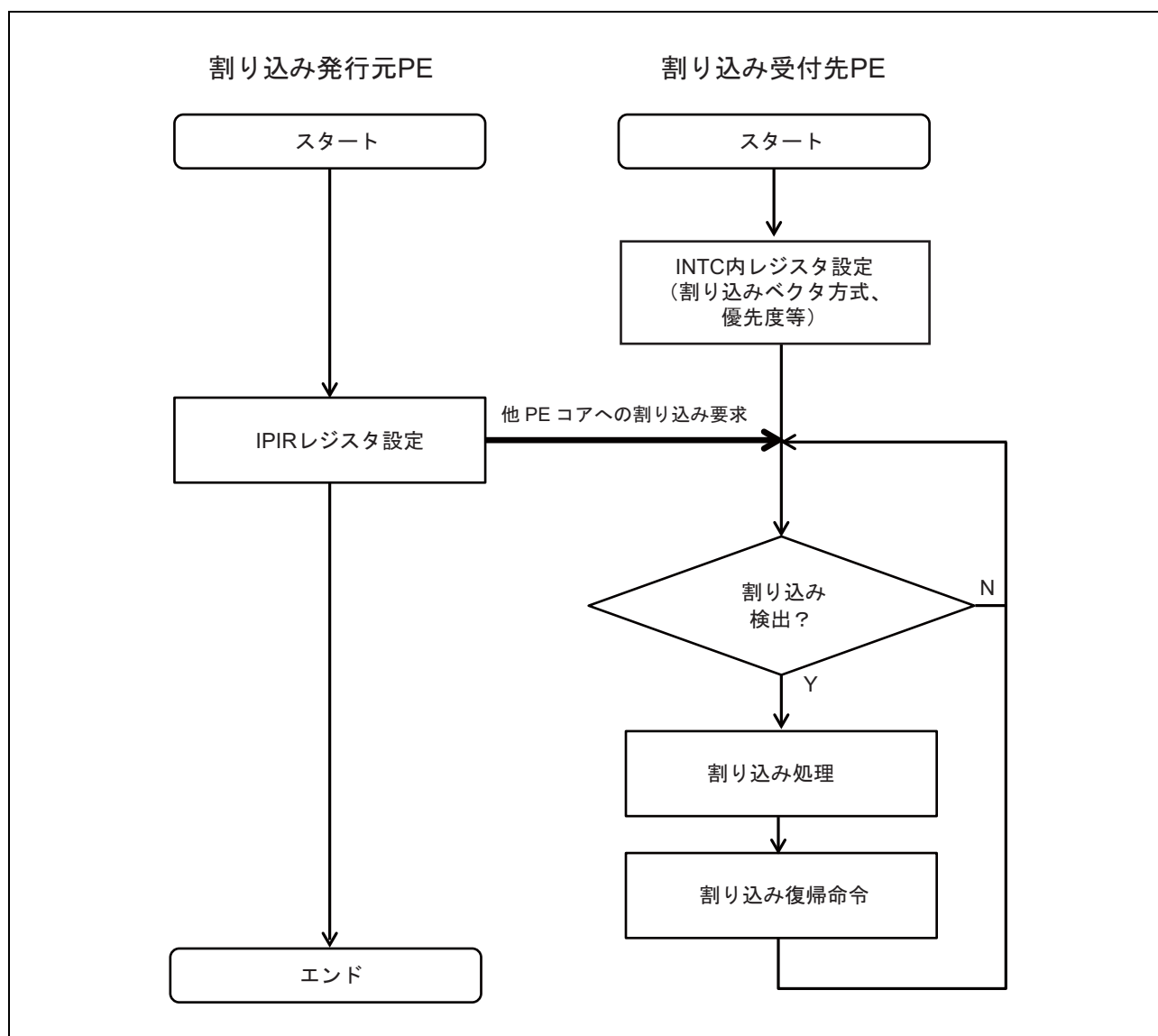


図 6.3 プロセッサ間割り込み処理フロー例

6.5.5.4 ソフトウェア割り込み処理フロー

ソフトウェア割り込みの割り込み処理フロー例を図 6.4 に示します。

- ソフトウェア割り込みは、カウンタレジスタ (SINTR0 ~ SINTR3) に、00_H または、01_H を書き込む事で、割り込み要求を制御します。
- 00_H を書き込んだ場合、カウンタ値は、1 デクリメントされます。
- 01_H を書き込んだ場合、カウンタ値は、1 インクリメントされます。
- インクリメントされたカウンタ値が、1 以上の場合、INTC へ割り込み要求を出します。
- INTC 内での割り込み処理にて、1 デクリメントを行い、割り込み復帰命令を実行した後、SINTRn が 00_H であれば、SINTRn への 01_H 書き込みを待ちます。

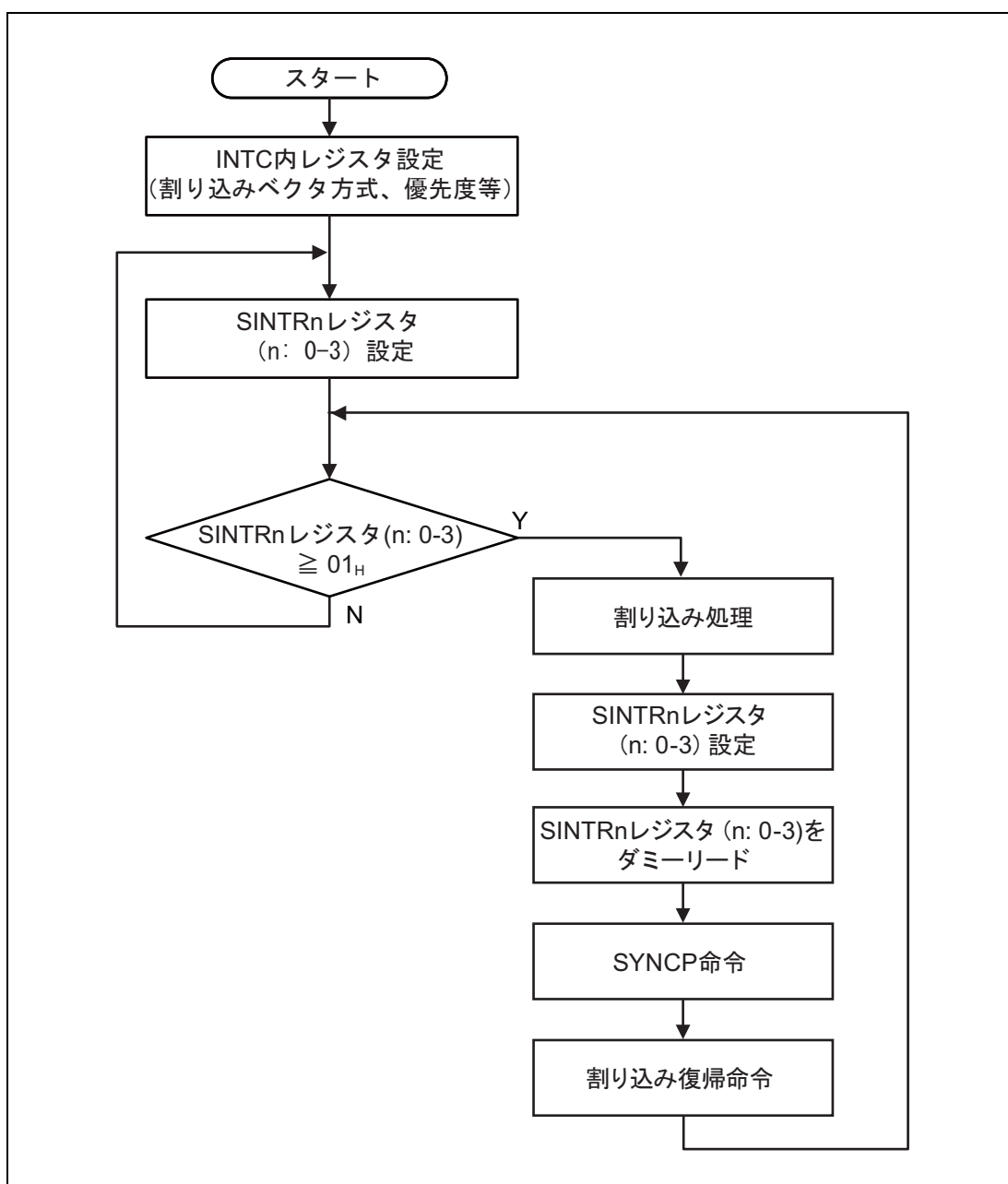


図 6.4 ソフトウェア割り込み処理フロー例

6.5.5.5 DTS 割り込み処理フロー

DTS 割り込み処理フロー例を図 6.5 に示します。

- 32 本に束ねた割り込み要因に対して、1 本のみ割り込み要求が発生した場合
 - PINTn レジスタの割り込み要求のあったビットに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) に 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行し、次の割り込み要求を待ちます。
- 32 本に束ねた割り込み要因に対して、複数の割り込み要因が発生した場合
 - 割り込み要求のある複数ビットの内、優先順位が高いビット (下位ビット側の割り込みが優先) を抽出し、PINTn レジスタのその抽出したビットのみに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) の対象ビットに 1 を書き込むことで、最優先の割り込み要求をクリアしてから、割り込み復帰命令を実行します。
 - 割り込み処理を行った割り込み要求をクリアしたことで、次に優先の高い割り込み要求を受け付けて、前回同様に割り込み要求に対応する PINTn レジスタの下位側ビットを抽出し、割り込み要求を出します。
 - 以後、32 ビットに束ねた割り込み要因がなくなるまで、繰り返されます。

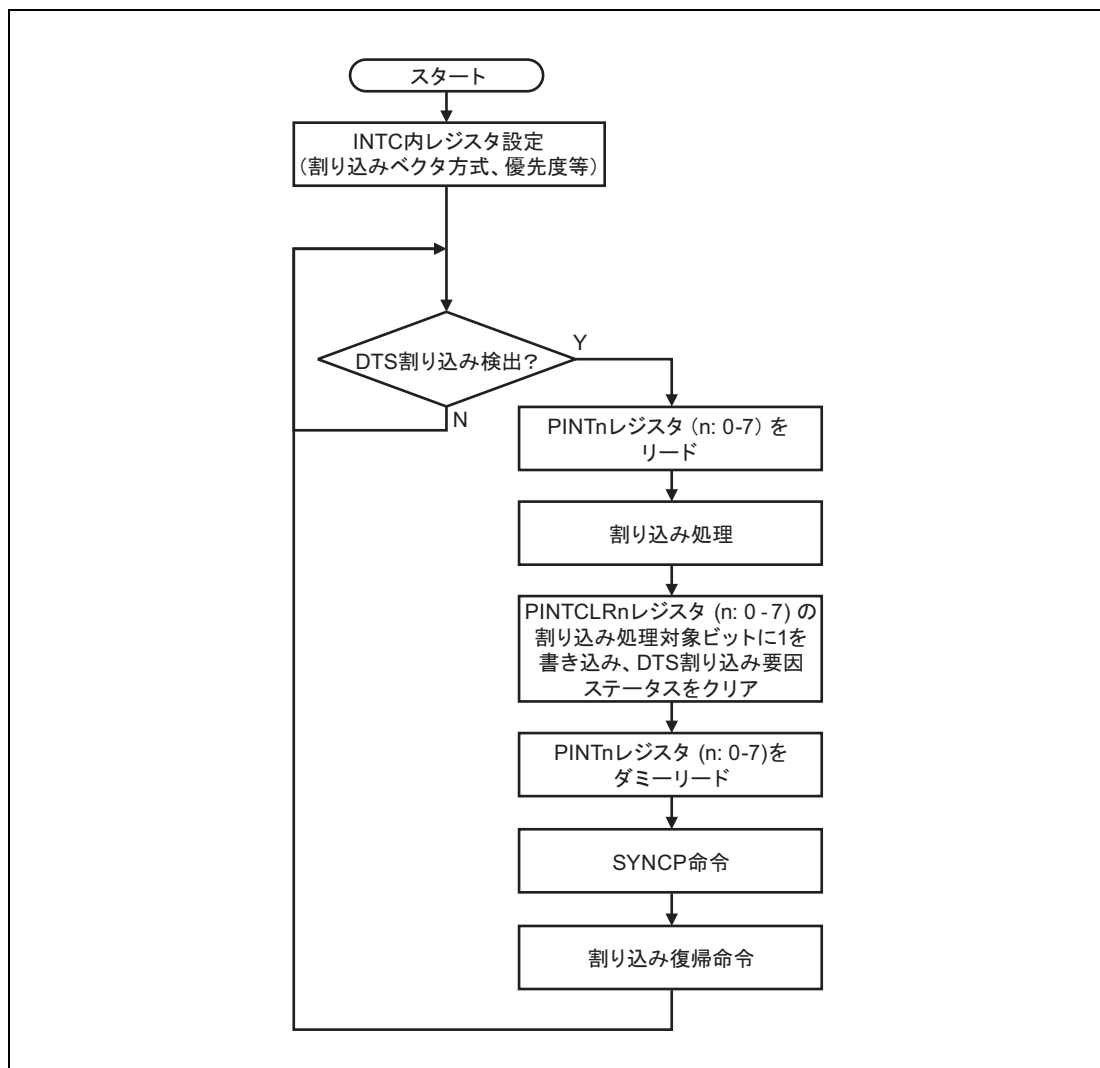


図 6.5 DTS 割り込み処理フロー例

6.6 割り込み応答時間

表 6.13 割り込み応答時間 (min.)

対象	割り込み要求元		処理サイクル				
	INTC 接続	動作クロック	同期化	INTC2	INTC1	CPU1 内/ CPU2 内	合計 ^{注1}
CPU	INTC1 に 直接入力	高速/低速 周辺クロック	0	—	$2 \times I\phi$ < $1 \times I\phi$ >	下記の CPU1 内/ CPU2 内を 参照	$7 \times I\phi$
		非変調高速 周辺クロック	—				—
		非変調低速 周辺クロック	$5 \times P\phi$ < $2 \times P\phi$ >				$5 \times P\phi + 7 \times I\phi$
	INTC2 に 経由で入力	高速/低速 周辺クロック	0	$3 \times P\phi + 1 \times I\phi$ < $2 \times P\phi + 1 \times I\phi$ >	—		$3 \times P\phi + 6 \times I\phi$
		非変調高速 周辺クロック	$4 \times P\phi$ < $2 \times P\phi$ >				$7 \times P\phi + 6 \times I\phi$
		非変調低速 周辺クロック	$5 \times P\phi$ < $2 \times P\phi$ >				$8 \times P\phi + 6 \times I\phi$

備考 1. <> 内は、レベル検出時のサイクル数を示します。

備考 2. $I\phi = \text{CLK_CPU}$ 、 $P\phi = 3I\phi@240\text{MHz}$

注 1. エッジ検出で固定ベクタ方式 a) の場合

ベクタ方式	Cache HIT/MISS	CPU1 内 /CPU2 内 (240MHz 時)	ベクタ方式
固定ベクタ方式	a) ISR エントリ IS HIT	$5 \times I\phi$	a) 固定ベクタ方式
	b) ISR エントリ IS MISS	$10 \times I\phi$	
ベクタテーブル 参照方式	c) ベクタ Code Flash 配置、 ISR エントリ IS HIT	$14 \times I\phi$	b) ベクタテーブル参照方式 Code Flash 配置
	d) ベクタ Code Flash 配置、 ISR エントリ IS MISS	$19 \times I\phi$	

備考 1. $I\phi = \text{CLK_CPU}$ 、 $P\phi = 3I\phi@240\text{MHz}$

6.7 割り込み要求信号によるデータ転送

割り込み要求信号により、DMAC/DTS を起動し、データ転送を行うことができます。

詳細は、「第 7 章 DMA 機能」を参照してください。

第7章 DMA機能

7.1 概要

7.1.1 概要

DMA (Direct Memory Access) 機能とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC と DTS という 2 種類の方式の DMA 転送モジュールを含んでいます。

DMAC は転送情報をレジスタに持ち、DTS は転送情報を専用の RAM (DTSRAM) に格納します。DMA は 8 チャンネルの DMAC モジュールを 2 つ、128 チャンネルの DTS モジュールを 1 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR、DTS の各チャンネルの DMA 転送要求を保持する機能を DTSFSL と称しています。DTFR と DTSFSL はそれぞれ 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、「**第4章 アドレス空間**」を参照してください。

7.1.2 語句の定義

本章で使用する語句を表 7.1 に示します。

表 7.1 語句の定義

語句	意味
DMA 転送	DMA が行うデータ転送の総称
DMA サイクル	転送サイズで指定した量 (8/16/32/64/128 ビット) のデータを、ソースアドレスで指定したアドレスからリードして、ディスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ
ハードウェア DMA 転送要因	内蔵周辺回路から与えられる DMA 転送要求のトリガ
ハードウェア DMA 転送要求	ハードウェア DMA 転送要因により発生する DMA 転送要求
ソフトウェア DMA 転送要求	ソフトウェアがレジスタを操作することで発生する DMA 転送要求
DMA 転送要求	DMAC および DTS で DMA 転送を開始するトリガ
転送情報 (TI)	ソースアドレス、ディスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報。DTS の転送情報を特に TI (Transfer Information) と呼ぶ
DTSRAM	DTS が転送情報を格納するための RAM
シングル転送	一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作
ブロック転送 1	一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送 2	一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送	ブロック転送 1 とブロック転送 2 の総称
最終転送	転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル
アドレスリロード転送	リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル
一時中断	ブロック転送の途中で DMA 転送を中断する動作、再開が可能
再開	一時中断を解除して、DMA 転送を継続する動作
転送中止	DMA 転送を途中で中止する動作、再開は不可能

7.2 DMA 機能

7.2.1 DMA 転送基本動作

7.2.1.1 転送モード

DMA には 3 種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを 1 回実行します。

ブロック転送 1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送 2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行します。

7.2.1.2 DMA サイクルの実行

DMA サイクルはデュアルアドレス転送（2 サイクル転送）を行います。

DMA は必ずリードサイクルが完了したあとで、ライトサイクルを実行します。

たとえば、転送データサイズが 128 ビットの場合は、128 ビット分のデータのリードサイクルが完了したあとで、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

7.2.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレス/ディスティネーションアドレス

転送制御レジスタのソースアドレスカウント方向、ディスティネーションアドレスカウント方向および転送データサイズの設定にしたがって、**表 7.2** のように更新します。

表 7.2 ソースアドレス/ディスティネーションアドレスの更新

カウント方向	転送データサイズ	更新後のアドレス
インクリメント	8 ビット	更新前のアドレス + 0000_0001 _H
	16 ビット	更新前のアドレス + 0000_0002 _H
	32 ビット	更新前のアドレス + 0000_0004 _H
	64 ビット	更新前のアドレス + 0000_0008 _H
	128 ビット	更新前のアドレス + 0000_0010 _H

表 7.2 ソースアドレス/ディスティネーションアドレスの更新

カウント方向	転送データサイズ	更新後のアドレス
デクリメント	8 ビット	更新前のアドレス - 0000_0001 _H
	16 ビット	更新前のアドレス - 0000_0002 _H
	32 ビット	更新前のアドレス - 0000_0004 _H
	64 ビット	更新前のアドレス - 0000_0008 _H
	128 ビット	更新前のアドレス - 0000_0010 _H
固定	—	更新前のアドレスと同じ

リロード機能を使用する場合は、表 7.2 とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「7.2.3 リロード機能」を参照してください。

転送回数/アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能 2 またはブロック転送 2 を使用する場合は DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「7.2.3 リロード機能」を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

7.2.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が 1 回の状態で実行される DMA サイクルを指します。最終転送では、最終転送でない DMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされます。(DMAC のみ)
- 最終転送が完了するとチャンネル動作有効 (DCENn.DTE) ビットがクリアされます。(DMAC のみ、連続転送機能が無効の場合)
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能 1 が有効の場合は、最終転送でリロード機能 1 の動作が実行されます。詳細は、「7.2.3 リロード機能」を参照してください。

アドレスリロード転送とは、リロード機能 2 が有効で、かつアドレスリロードカウントが 1 回の状態で実行される DMA サイクルを指します。アドレスリロード転送では、リロード機能 2 の動作が実行されます。詳細は、「7.2.3 リロード機能」を参照してください。

7.2.1.5 転送完了割り込み、転送回数一致割り込み出力

DMA は、転送完了割り込みまたは転送回数一致割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル (DTCTn.TCE) がセットされている場合、最終転送が完了すると DMAC 転送完了割り込みを要求します。

DTS は、転送制御レジスタで転送完了割り込みイネーブル (DTTCTn.TCE) がセットされている場合、最終転送が完了すると DTS 転送完了割り込みを要求します。

転送回数一致割り込み出力

DMAC は、転送制御レジスタで転送回数一致割り込みイネーブル (DTCTn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DMAC 転送回数一致割り込みを要求します。

DTS は、転送制御レジスタで転送回数一致割り込みイネーブル (DTTCTn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DTS 転送回数一致割り込みを要求します。

図 7.1 に転送完了割り込み転送回数一致割り込みの動作を示します。

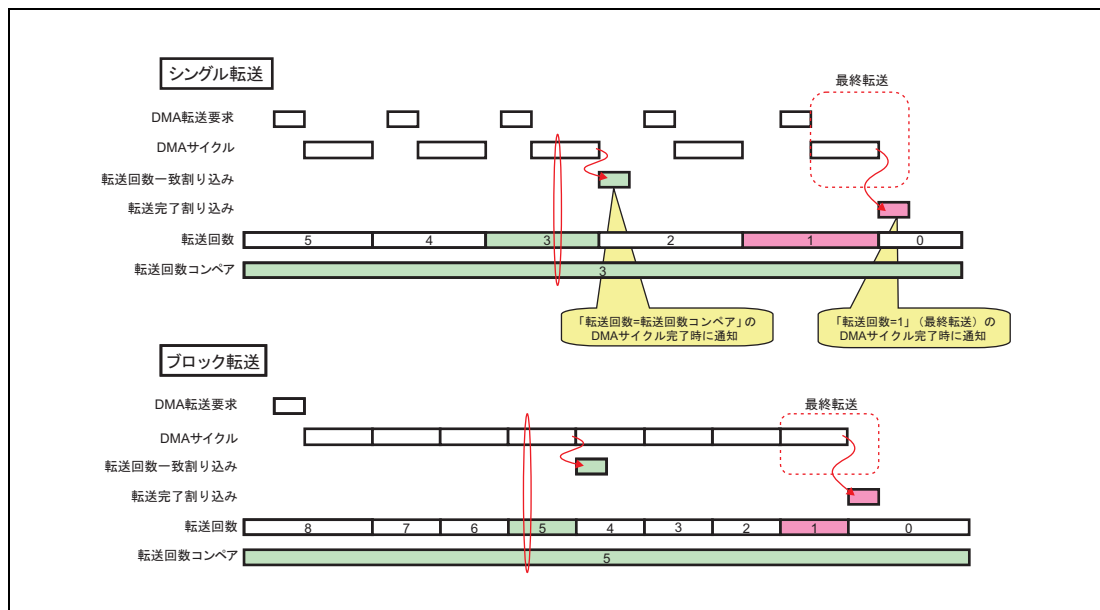


図 7.1 転送完了割り込み／転送回数一致割り込み

7.2.1.6 連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされ、チャンネル動作有効 (DCENn.DTE) ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャンネル動作有効 (DCENn.DTE) ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数の DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャンネル動作有効ビットのセットのためのソフトウェア処理のオーバーヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル (DTCTn.MLE) をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジ

スタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、ディステーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

DTS では、DMAC の連続転送イネーブル (DTCTn.MLE) に該当する設定はありません。DTS には DMAC の転送完了フラグ (DCSTn.TC) やチャンネル動作有効 (DCENn.DTE) の各ビットが存在しないためです。

DTS では、転送回数が 0 回の状態で DMA 転送要求が発生しても DMA 転送は行われません

DTS でリロード機能 1 を利用して、最終転送の完了時に転送回数を 0 回以外の値でリロードしておけば、次の DMA 転送要求を受け付けた際に DMA 転送を実行することができます (DMAC で連続転送機能を利用する場合の動作に相当します)。

図 7.2 に DMAC の連続転送の動作イメージを示します。

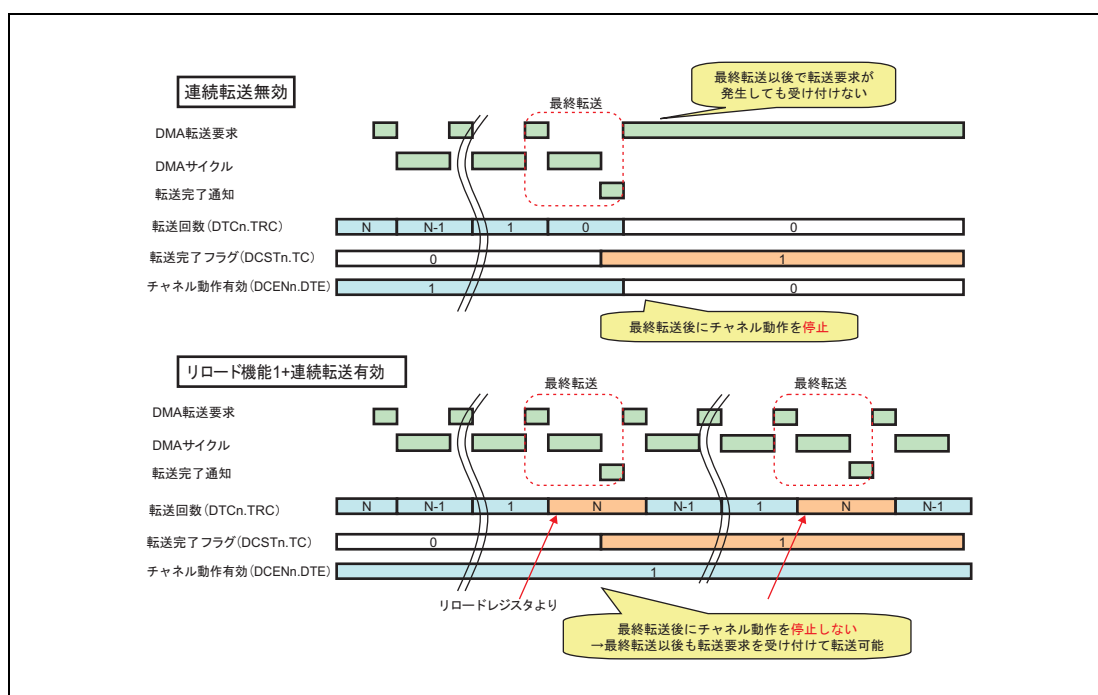


図 7.2 DMAC の連続転送の動作イメージ

7.2.2 チャンネルの優先順位

DMA の複数のチャンネル間のアービトレーションについて説明します。

7.2.2.1 DMAC チャンネルアービトレーション

DMAC では 8 チャンネルから 1 チャンネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャンネル 0 >チャンネル 1 >チャンネル 2 >チャンネル 3 >チャンネル 4 >チャンネル 5 >チャンネル 6 >チャンネル 7」、DMAC1 では「チャンネル 8 >チャンネル 9 >チャンネル 10 >チャンネル 11 >チャンネル 12 >チャンネル 13 >チャンネル 14 >チャンネル 15」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャンネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャンネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャンネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャンネルアービトレーションを行うため、他の優先順位の高い DMAC チャンネルの DMA サイクルが割り込むことがあります。

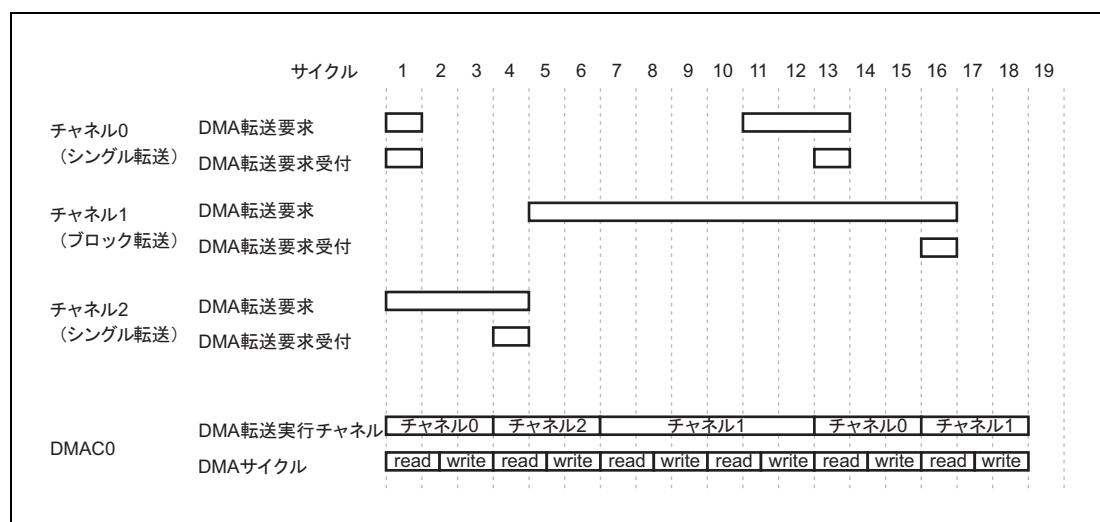


図 7.3 DMAC チャンネルアービトレーション

図 7.3 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.3 において、サイクル 1 でチャンネル 0 とチャンネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャンネル 1 の DMA 転送要求が発生しますが、チャンネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャンネル 1 の DMA サイクルを実行します。チャンネル 1 はブロック転送なので、他のチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャンネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャンネル 0 とチャンネル 1 のアービトレーションの結果チャンネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャンネル 1 よりも優先度の高いチャンネル 0 の

DMA サイクルを実行していることに注意してください。サイクル 15 でチャンネル 0 の DMA サイクルが完了し、サイクル 16 で再びチャンネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャンネル 1 のブロック転送の最後の DMA サイクルが完了しています。

7.2.2.2 DTS チャンネルアービトレーション

複数の DTS チャンネルで DMA 転送要求がある場合、DTSFSL で DTS チャンネルアービトレーションを行います。DTS の各チャンネルは、DTS チャンネル優先度設定レジスタで 4 段階の優先度が設定可能です。

複数の DTS チャンネルで DMA 転送要求がある場合のアービトレーションは、

1. DTS チャンネル優先度設定レジスタで設定した優先度の高いチャンネルを優先
2. DTS チャンネル優先度設定レジスタで設定した優先度が同一の場合は、チャンネル番号が小さいチャンネルを優先

します。

DTSFSL は、アービトレーションにより選択したチャンネルの DMA 転送要求を DTS に伝えます。DTS は、DMA 転送要求を受け付けると DMA 転送を実行します。

DMAC での DMA 転送と異なり、DTS での DMA 転送ではブロック転送の途中で DTS チャンネル間のアービトレーションは行われません。つまり、あるチャンネルのブロック転送を実行中に、優先順位の高いチャンネルの DMA 転送要求があった場合でも、優先順位の低いチャンネルのブロック転送が終了する注¹までは、優先順位の高いチャンネルの DMA 転送は実行されません。

注 1. ブロック転送が終了するのは、ブロック転送 1 の最終転送か、ブロック転送 2 の最終転送またはアドレスリロード転送が発生した時点

DTS がブロック転送 1 またはブロック転送 2 を実行する場合は、最終転送まで他の優先順位の高い DTS チャンネルの DMA サイクルが割り込むことはありません。

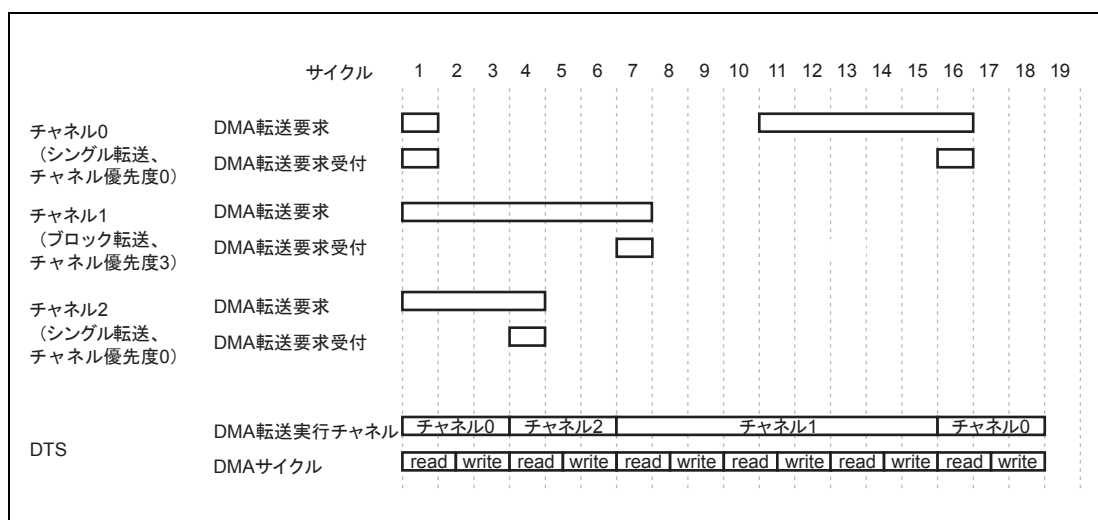


図 7.4 DTS チャンネルアービトレーション

図 7.4 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.4 において、サイクル 1 でチャンネル 0 とチャンネル 1 とチャンネル 2 の DMA 転送要求があります。チャンネル 0 およびチャンネル 2 のチャンネル優先度は 0 でチャンネル 1 のチャンネル優先度 3 よりも高く、またチャンネル優先度が同一の場合はチャンネル番号の小さいチャンネルが優先度が高くなるため、アービトレーションの優先度は「チャンネル 0 >チャンネル 2 >チャンネル 1」となり、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 1 とチャンネル 2 のアービトレーションの結果チャンネル 2 の DMA サイクルの実行を開始します。サイクル 7 でチャンネル 1 の DMA サイクルの実行を開始します。チャンネル 1 はブロック転送なので、他のチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるため、チャンネル 1 のブロック転送が終了するまでアービトレーションは行われません。サイクル 15 でチャンネル 1 のブロック転送が終了し、サイクル 16 でチャンネル 0 の DMA サイクルの実行を開始します。

7.2.2.3 インタフェースアービトレーション

DMAC0、DMAC1、DTS はそれぞれ独立して動作し、DMA 転送を実行します。

DMAC0、DMAC1、DTS の要求が競合した場合は、ラウンドロビンによるアービトレーションを行います。

7.2.3 リロード機能

7.2.3.1 リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能1とリロード機能2の2つの機能があります。

7.2.3.2 リロード機能1の動作

リロード機能1が有効の場合、最終転送の実行時にリロード機能1設定にしたがって表7.3の動作を行います。

表 7.3 リロード機能1動作

リロード機能1設定 (DTCTn.RLD1M[1:0])	レジスタ	最終転送時の動作
00 (リロード機能1無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	転送回数	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能1有効、ソースアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能2が無効の場合、リロードしない リロード機能2が有効の場合、リロードアドレスリロードカウントの値をコピー
10 (リロード機能1有効、ディスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能2が無効の場合、リロードしない リロード機能2が有効の場合、リロードアドレスリロードカウントの値をコピー
11 (リロード機能1有効、ソースアドレスとディスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能2が無効の場合、リロードしない リロード機能2が有効の場合、リロードアドレスリロードカウントの値をコピー

図 7.5 にリロード機能 1 の動作イメージを示します。

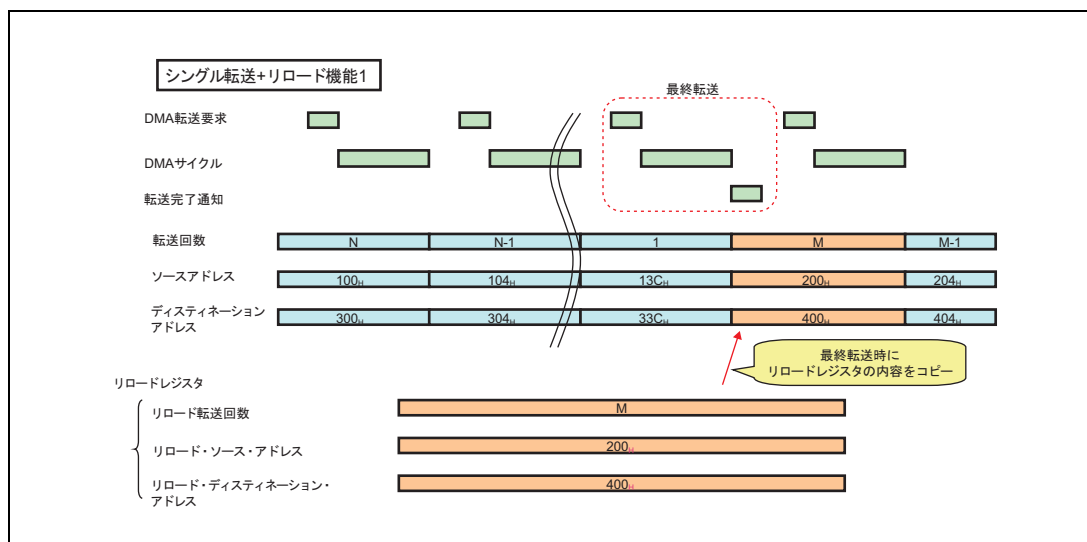


図 7.5 リロード機能 1 動作イメージ

7.2.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって表 7.4 の動作を行います。

表 7.4 リロード機能 2 動作

リロード機能 2 設定 (DTCTn.RLD2M[1:0])	レジスタ	アドレスリロード転送時の動作
00 (リロード機能 2 無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 2 有効、ソースアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
10 (リロード機能 2 有効、ディスティネーションアドレスをリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
11 (リロード機能 2 有効、ソースアドレスとディスティネーションアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー

図 7.6 にリロード機能 2 の動作イメージを示します。

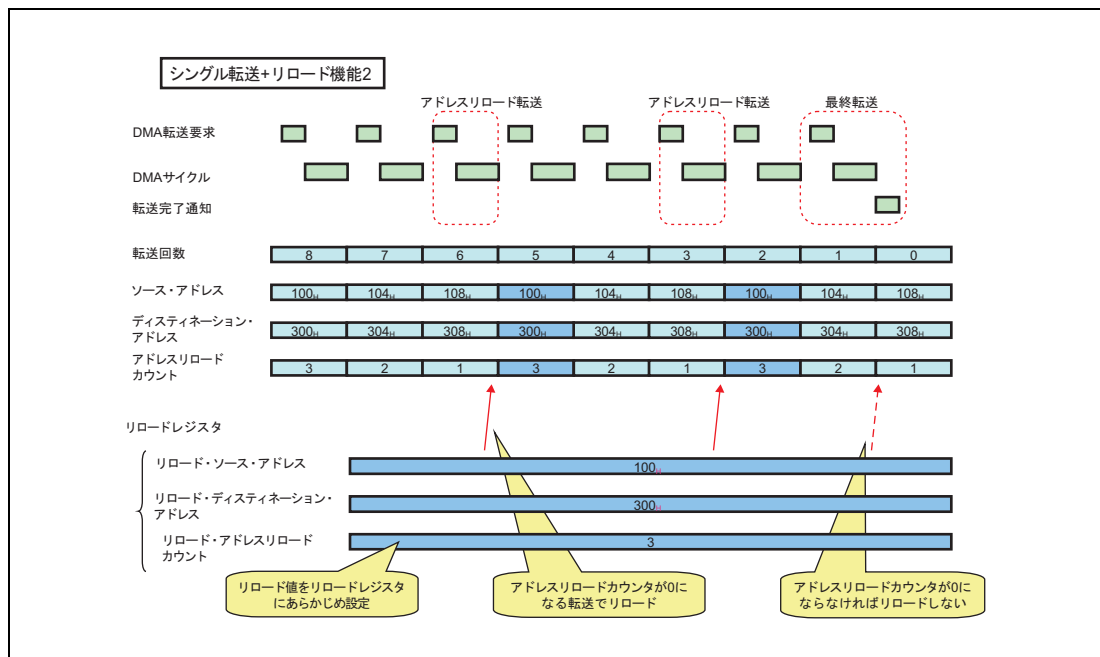


図 7.6 リロード機能 2 動作イメージ

図 7.7 にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

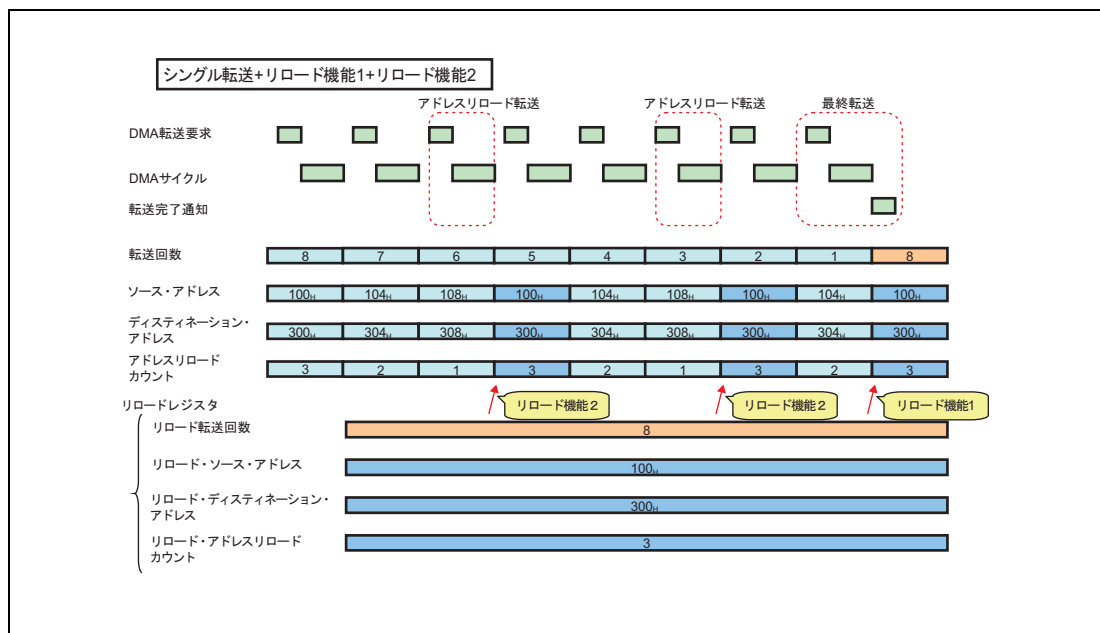


図 7.7 リロード機能 1 +リロード機能 2 動作イメージ

7.2.3.4 DMACのリロードレジスタ設定タイミング

リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタはいつでも（DMA転送中でも）設定が可能です。ただし、DMA転送中にリロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

DMA転送中にリロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタの内容を書き換える必要がある場合、書き換えのタイミングを知る方法として、DMA転送回数一致割り込みを使用する方法があります。その場合、リロードレジスタの内容を書き換えるのに必要な時間を十分確保できるようにDMA転送回数コンペアレジスタ（DTCCn）を設定してください。

7.2.3.5 DTSのリロード情報設定タイミング

DTSのリロードソースアドレス情報、リロードディスティネーションアドレス情報、リロード転送回数情報の設定のタイミングは、転送モードによって異なるため注意が必要です。

シングル転送の場合には、最終転送またはアドレスリロード転送の開始時にTIフェッチした内容をもとに、DMAサイクル完了時にリロード動作を行います。このため、シングル転送でリロード機能を使用する場合には、最終転送またはアドレスリロード転送の開始前に、TIのリロードソースアドレス情報、リロードディスティネーションアドレス情報、リロード転送回数情報を設定しておく必要があります。

ブロック転送の場合は、TIフェッチが行われるのはDMA転送の開始時のみです。最終転送またはアドレスリロード転送時には、DMA転送の開始時にTIフェッチした情報にしたがってリロード動作を行います。このため、ブロック転送でリロード機能を使用する場合には、DMA転送の開始前にTIのリロードソースアドレス情報、リロードディスティネーションアドレス情報、リロード転送回数情報を設定しておく必要があります。ブロック転送の実行の途中でTIのリロードソースアドレス情報、リロードディスティネーションアドレス情報、リロード転送回数情報を書き換えた場合には、そのブロック転送の完了時のリロード動作には反映されません。

7.2.4 チェイン機能

7.2.4.1 概要

DMA は、あるチャンネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャンネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャンネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の2つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

図 7.8 に常にチェインの動作イメージを示します。

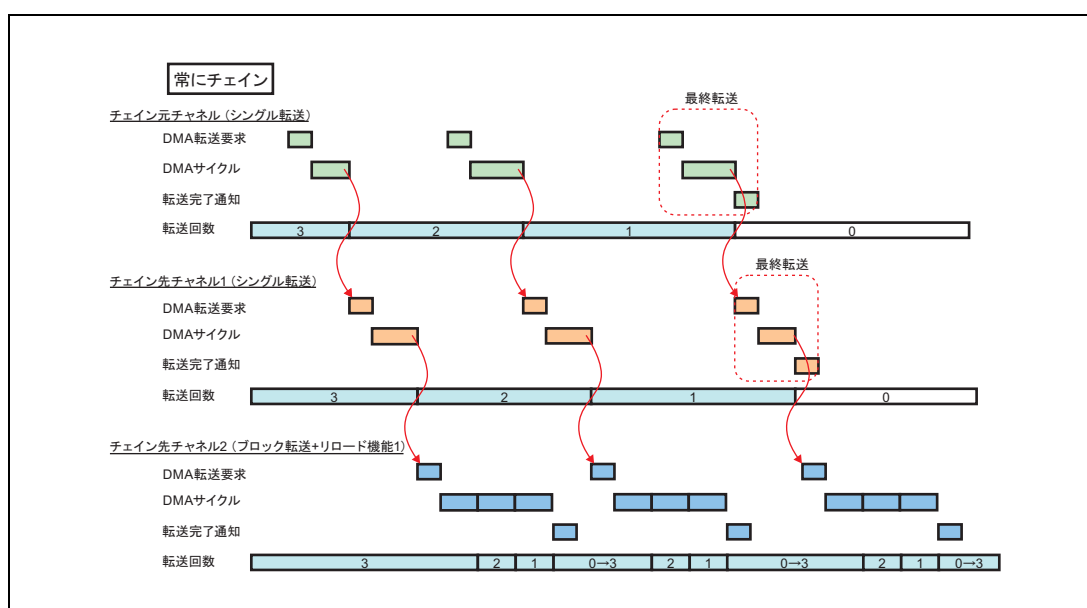


図 7.8 常にチェインの動作イメージ

図 7.9 に最終転送でチェーンの動作イメージを示します。

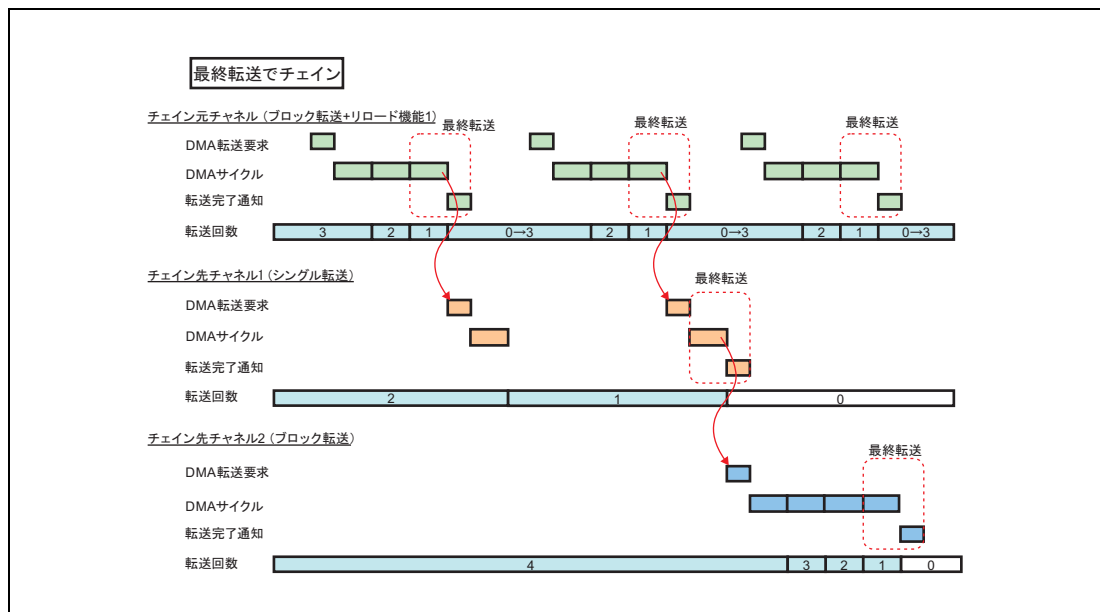


図 7.9 最終転送でチェーンの動作イメージ

7.2.4.2 チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェーンイネーブル（DTCTn.CHNE）およびチェーン先選択（DTCTn.CHNSEL）に、チェーン動作の種類およびチェーン先のチャンネル番号を設定します。

DTS の場合は、DTS 転送制御レジスタのチェーンイネーブル（DTTCTnnn.CHNE）およびチェーン先選択（DTTCTnnn.CHNSEL）に、チェーン動作の種類およびチェーン先のチャンネル番号を設定します。

7.2.4.3 チェイン機能使用時の注意

チェーン動作は、チェーン先のチャンネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェーン先となるチャンネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャンネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャンネルをチェーン先に指定した場合には、チェーン動作を行うことができません。

チェーン先のチャンネルは、チェーン元のチャンネルと同一のモジュール内（DMAC0、DMAC1、DTS）のチャンネルに限られます。異なるモジュールのチャンネルをチェーン先として指定することはできません。

7.2.5 DMAC 動作

7.2.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DRS) ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャンネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

7.2.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ (DCSTSn) を使用して DMAC 転送ステータスレジスタ (DCSTn) のソフトウェア DMA 転送要求フラグ (SR) をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付ける度に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用してソフトウェアでクリアすることも可能です。DMAC チャンネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

7.2.6 DTS 動作

7.2.6.1 DMA 転送要求の種類と割り当て

DTS はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。

DTS の転送要求は、DTSFSL の転送要求保持状態ビットにチャンネルごとに保持されます。DTSFSL ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビットに保持されます。DTS は DMA 転送を実行する際に、DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。

DTS のハードウェア DMA 転送要求は、DTSFSL で 128 種類のハードウェア DMA 転送要因が DTS の 128 チャンネルに固定的に割り当てられています。この割り当てはレジスタなどで変更することはできません。

7.2.6.2 DMA 転送要求の発生と受け付け

DTSFSL はハードウェア DMA 転送要因入力を検出すると転送要求保持状態ビットをセットして DMA 転送要求として保持します。転送要求保持状態ビットがセットされており、DTSFSL 動作設定レジスタの転送要求有効ビット (DTFSL $_{nnn}$.REQEN) がセットされている場合、DTSFSL は DTS に対して DMA 転送要求があることを通知します。

ソフトウェアで DTSFSL 転送要求セットレジスタ (DTFSS $_{nnn}$) を使用して、DTSFSL 転送要求ステータスレジスタの転送要求保持状態ビット (DTFST $_{nnn}$.DRQ) をセットすることでも、DMA 転送要求を発生させることができます。

DTSFSL が保持可能な DMA 転送要求はチャンネルごとに 1 つです。あるチャンネルの転送要求保持状態ビットがセットされている状態で、同じチャンネルに対して後続のハードウェア DMA 転送要因入力が入力されても、後続のハードウェア DMA 転送要因入力は無視します。

DTS では、DMA 転送要求を受け付けると、DMA 転送要求受け付けを通知します。

転送要求保持状態ビットは、DTS が DMA 転送要求を受け付けると自動的にクリアされます。DTSFSL の転送要求保持状態ビットは、DTS で実行する DMA 転送の種類によらず、DTS が DMA 転送要求を受け付けた際に自動的にクリアされます。

転送要求保持状態ビットは、DTSFSL 転送要求クリアレジスタ (DTFSC $_{nnn}$) を利用してクリアすることも可能です。DTS が DMA 転送要求を受け付ける前に転送要求保持状態ビットをクリアした場合は、そのチャンネルの DMA 転送が実行されることはありません。

7.2.6.3 DMA 転送の実行

DTS は DMA 転送要求を受け付けたチャンネルの DMA 転送を実行します。

複数のチャンネルからの DMA 転送要求が存在する場合には、DTSFSL が DTS チャンネルアービトラージョンを行って DMA 転送要求を行うチャンネルを決定します。

DTS で DMA 転送を実行中の場合は、DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットがセットされます。また、DMA 転送を実行中のチャンネル番号が同じレジスタの DTS 転送チャンネル (DTSSTS.DTSACH) にセットされます。DMA 転送が完了したり、DMA 転送エラーやレジスタ操作により DMA 転送が中止されたりして、DMA 転送を実行中のチャンネルがなくなった場合には、DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。

7.2.6.4 DTSRAM アクセス

DTS では、DMA 転送の開始時および DMA 転送の終了時に DTSRAM アクセスを行います。

DTS が DMA 転送の開始時に DTSRAM から転送情報を読み出す動作を TI フェッチと呼びます。

DTS が DMA 転送の終了時に DTSRAM 上の転送情報を更新する動作を TI ライトバックと呼びます。

シングル転送では DMA サイクルの開始時に TI フェッチを行い、DMA サイクルの完了時に TI ライトバックを行います。

ブロック転送では、最初の DMA サイクルの開始時に TI フェッチし、ブロック転送完了の条件（最終転送またはアドレスリロード転送）の DMA サイクルの完了後に TI ライトバックを行います。

したがって、シングル転送では DMA サイクルごとに DTSRAM 上の転送情報が更新されます。ブロック転送ではブロック転送の完了後に DTSRAM 上の転送情報が更新されます。ブロック転送の実行中に、ソフトウェアで DTSRAM 上の転送情報を読み出した場合は、ブロック転送の開始時の転送情報が読み出されます。

7.3 一時中断／再開、転送中止および DMA 転送要求のクリア

7.3.1 ソフトウェア制御による DMA 一時中断／再開

DMA 制御レジスタ (DMACTL) により、全チャンネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) がセットされると、DMA は全チャンネル一時中断状態に移行します。全チャンネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャンネル一時中断状態から通常状態に復帰し、一時中断状態だったチャンネルの DMA 転送は再開されます。

全チャンネル一時中断状態では、DMAC の各チャンネルの DCENn.DTE ビットおよび DTS の DTSCn.DTSUST ビットの状態は変わりませんが、すべてのチャンネルの DMA 転送は一時中断された状態になります。

注 意

DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効／無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断／再開および転送中止」の注意事項を参照してください。

7.3.2 DMAC チャンネルの一時中断／再開および転送中止

DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアまたは DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DMAC チャンネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後に DMA 転送を一時中断します。一時中断の状態では DCENn.DTE ビットを再びセットまたは DMACTL.DMASPD ビットをクリアすると、一時中断した DMA チャンネルの DMA 転送を再開します。

DMAC チャンネルで実行中の DMA 転送を中止したい場合、DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアしたあとで、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット (DCSTn.SRC) を利用してソフトウェア DMA 転送要求フラグ (DCSTn.SR) をクリアしてください。

連続転送イネーブルビット (DTCTn.MLE) がセットされた状態では、チャンネル動作有効ビット (DCENn.DTE) がセットされた状態が維持されます。最終転送の DMA サイクル中にソフトウェアでチャンネル動作有効ビット (DCENn.DTE) をクリアしても、連続転送イネーブルビット (DTCTn.MLE) の機能が優先され最終転送完了後にチャンネル動作有効ビット (DCENn.DTE) が再びセットされます。

連続転送機能を使用中に DMAC チャンネルを一時中断させたい場合は、DMAC 転送制御レジスタの連続転送イネーブルビット (DTCTn.MLE) をクリアした後で、DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアして DMAC チャンネルの DMA 転送を中断してください。この操作を行う場合に限り、DMAC 転送制御レジスタ (DTCTn) をチャンネル動作有効状態 (DCENn.DTE=1) で書き込みことが許可されます。

図 7.10 に DMAC チャンネルの一時中断／再開転送中止の動作例を示します。

図 7.10 では、チャンネル 0 とチャンネル 1 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 が DMA 転送を開始します。時間 2 でチャンネル 0 の DMA 転送要求が受け付けら

れ、DMAC チャンネルアービトレーションにより、チャンネル1よりも優先度の高いチャンネル0のDMA転送を開始します。時間3でチャンネル0の最終転送が完了し、チャンネル1のブロック転送の残りのDMA転送を開始します。時間4でチャンネル1の最終転送が完了します。時間5以降は同様にチャンネル0とチャンネル1のDMA転送を実行しますが、時間7でチャンネル0のDMA転送が一時中断され、DMAC チャンネルアービトレーションによりチャンネル1のDMA転送を開始します。時間8でチャンネル1の最終転送が完了したあと、時間9でチャンネル0のDMA転送を再開しています。時間10で再びチャンネル0のDMA転送を一時中断し、時間11でチャンネル0のDMA転送を中止しています。時間12でチャンネル0の一時中断状態を解除していますが、時間11でDMA転送が中止されているためチャンネル0のDMA転送は実行されません。

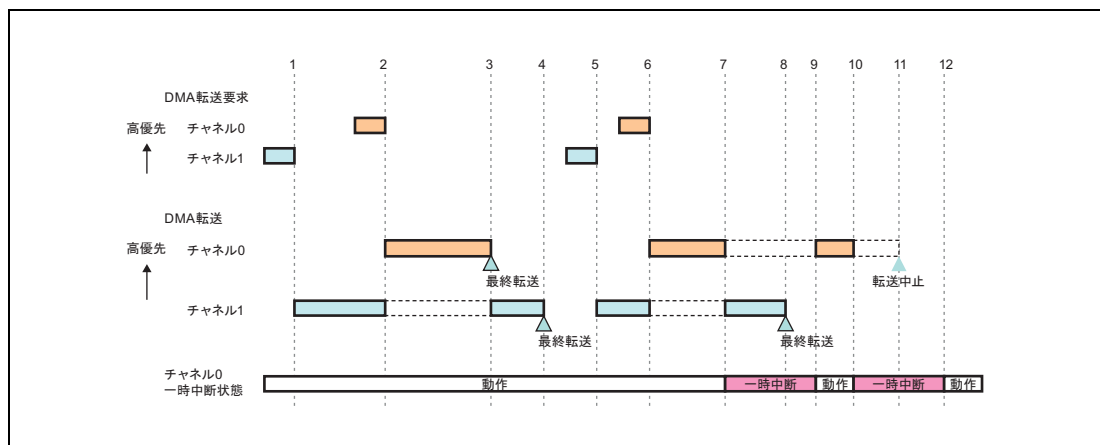


図 7.10 DMAC チャンネルの一時中断／再開転送中止の動作例

7.3.3 DTS の一時中断／再開および転送中止

DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCTL1.DTSUST) または DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DTS で実行中の DMA 転送を一時中断することができます^{注 1}。DMA サイクルを実行中の場合、DMA サイクルが完了した時点で一時中断状態になります。実行中の DMA サイクルがシングル転送、またはブロック転送を完了する転送（最終転送またはアドレスロード転送）の場合は、DMA サイクルの完了後、TI ライトバックを行ったあとに一時中断状態になります。それ以外の DMA サイクルを実行中の場合は、DMA サイクルの完了後、TI ライトバックは行わずに一時中断状態になります。一時中断状態から DMA 転送を再開するには DTS 制御レジスタ 1 の DTS 一時中断ビットまたは DMA 制御レジスタの DMA 一時中断ビットをクリアします。^{注 1}

注 1. DTS で実行中の DMA 転送を一時中断／再開する前に DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効／無効の操作を行う必要があります。一時中断／再開するには、以下の処置を行ってください。

(a) DTS を一時中断する際の手順

1. DMA 転送要求有効ビット (DTFSLnnn.REQEN) がセットされているすべての DTS チャンネルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をクリアする。
2. DTSCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをセットする。

(b) DTS を再開する際の手順

1. (a) の 1. でクリアした DTS チャンルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をセットする。
2. (a) の 2. でセットした DTSCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをクリアする。

DTS で実行中の DMA 転送を中止したい場合は、上記の操作のうち、DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCTL1.DTSUST) を使用して DTS を一時中断状態にした後、DTS 制御レジスタ 2 の DTS 転送中止要求ビット (DTSCTL2.DTSTIT) をセットすることで、一時中断中の DMA 転送を中止することができます。転送中止の際に TI ライトバックは行われません。また、転送中止の操作を行った場合も DTS 一時中断ビット (DTSCTL1.DTSUST) の状態は変わりませんので、転送中止後に DTS で別の DMA 転送要求を受け付けたい場合は、DTS チャンルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をセットした後、DTS 一時中断ビットをクリアしてください。

図 7.11 に DTS の一時中断/再開転送中止の動作例を示します。

図 7.11 では、チャンネル 0、チャンネル 1 およびチャンネル 2 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 2 でチャンネル 0 とチャンネル 2 の DMA 転送要求が発生しています。時間 3 でチャンネル 1 の最終転送が完了し、DTS チャンネルアービトラージョンにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられチャンネル 0 の DMA 転送を開始します。時間 4 でチャンネル 0 の最終転送が完了し、チャンネル 2 の DMA 転送を開始します。時間 5 で DTS が一時中断状態にセットされ、チャンネル 2 の DMA 転送は一時中断されます。時間 6 でチャンネル 0 とチャンネル 1 の DMA 転送要求が発生しています。時間 7 で DTS の一時中断状態がクリアされ、ブロック転送の途中で一時中断となったチャンネル 2 の DMA 転送が再開されます。ブロック転送の途中で一時中断となった場合、再開時に DTS チャンネルアービトラージョンは行われません。時間 8 でチャンネル 2 の最終転送が完了し、DTS チャンネルアービトラージョンにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 9 で DTS が一時中断状態にセットされ、時間 10 で一時中断中のチャンネル 0 の DMA 転送が中止されています。時間 11 で DTS の一時中断状態がクリアされると、現在 DMA 転送中のチャンネルは存在しないため、DMA 転送要求のあるチャンネル 1 の DMA 転送が開始されます。

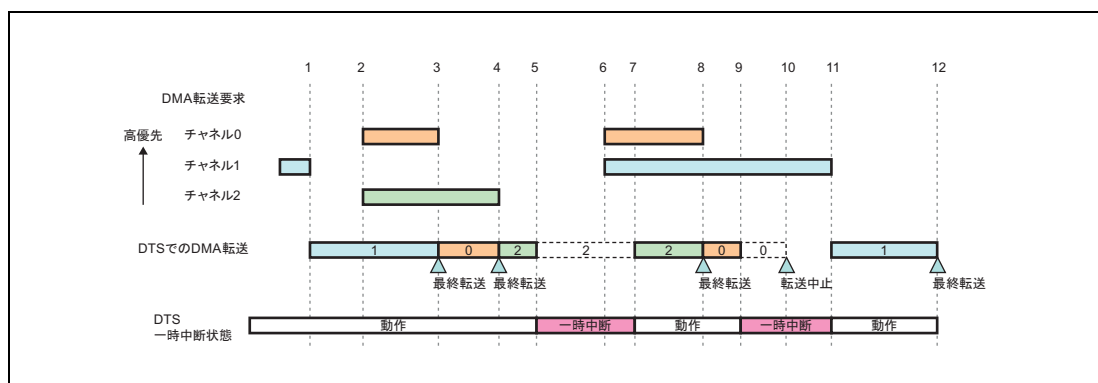


図 7.11 DTS の一時中断/再開転送中止の動作例

7.3.4 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット (DTFRn.REQEN) をクリアすることで、一時的に

DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化（マスク）することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア（DTFRn.REQEN）ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャンネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択保持回路は動作したままですので、DMAC チャンネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。DMAC チャンネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送（1 または 2）の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効（DTFRn.REQEN = 0）に設定した場合、実行中のブロック転送が中断します。

7.3.5 DTSFSL の DMA 転送要求マスクおよびクリア

DTS では、DTSFSL 動作設定レジスタの転送要求有効ビット（DTSFSLn.REQEN）をクリアすることで、一時的に DTS に対するそのチャンネルからの DMA 転送要求を無効化（マスク）することができます。（実際の動作としては、DTSFSL 内で DTS チャンネルアービトレーションの際に、そのチャンネルをアービトレーション対象から除外します。）

また、DTSFSL 転送要求クリアレジスタの転送要求クリア（DTSFSLn.DREQEN）ビットを使用して、DTSFSL で保持している DMA 転送要求をクリアすることができます。

DTS の状態や DTSFSL の転送要求有効ビット（DTSFSLn.REQEN）の状態にかかわらず、DTSFSL は常にハードウェア転送要因入力を監視しており、DTSFSL にハードウェア転送要因が入力されるとそのチャンネルに対応する DMA 転送要求がセットされます。DTS 転送を再開または開始する場合には、必要に応じて、DTSFSL で保持している DMA 転送要求をクリアする操作を行ってください。

7.3.6 一時中断／再開転送中止機能一覧

表 7.5 一時中断／再開転送中止機能一覧

機能	操作方法	動作	DMA 転送中止の可否	操作可能なマスタ（「7.5 信頼性機能」参照）
DMA 一時中断／再開	DMACTL.DMASPD をセットクリア ^{注2}	全チャンネルが一時中断状態	不可 ^{注1}	特殊マスタ
DMAC チャンネル一時中断／再開	各チャンネルレジスタの DCENn.DTE をクリアセット ^{注3}	チャンネルの DMA 転送を一時中断	可能 （一時中断状態で DMA 転送要求フラグをクリア）	特殊マスタ、チャンネルに割り当てられた一般マスタ
DTS 一時中断／再開	DTSTCTL1.DTSUST をセットクリア ^{注2}	DTS の DMA 転送を一時中断	可能 （一時中断状態で DTSTCTL2.DTSTIT をセット）	特殊マスタ

注 1. DMA 転送を中止するためには、DMAC チャンネルの転送中止または DTS の転送中止の操作を行う必要があります。

注 2. DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット（DTSFSLn.REQEN）の有効／無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断／再開および転送中止」の注意事項を参照してください。

注 3. 連続転送機能使用中は、連続転送イネーブルビット（DTCTn.MLE）を先に操作（セットクリア）してください。

7.4 エラー制御

7.4.1 エラーの種類

DMA で発生するエラーは次の2つの種類があります。

- DMA 転送エラー
DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。DMAC および DTS のすべてのチャンネルで、DMA 転送の実行時に発生する可能性があります。
- DTSRAM エラー
DTS による DTSRAM リードアクセスで ECC エラーを検出した場合に発生します。DTS の DMA 転送実行時の TI フェッチ、またはソフトウェアから DTS チャンネルレジスタアクセスの際に発生する可能性があります。

7.4.2 DMA 転送エラー

DMA 転送エラーが発生すると DMA 転送エラー割り込み (DMAERR) が発生します。

DMA 転送エラーの検出は、DMAC の各チャンネルと DTS とで独立していますが、DMA 転送エラー割り込み (DMAERR) は DMAC と DTS で共通です。

7.4.2.1 DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャンネルの DMAC 転送ステータスレジスタの転送エラーフラグ (DCSTn.ER) がセットされます。DMAC エラーレジスタ (DMACER) で DMAC の 16 チャンネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャンネルでは、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャンネルの DMA 転送を中止する場合は、DMAC チャンネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウンタの各レジスタは更新されます。

7.4.2.2 DTS の DMA 転送エラー発生時の動作

DTS で DMA 転送エラーが発生すると、DTS エラーレジスタの DTS エラー発生フラグ (DTSER1.DTSER) がセットされ、同レジスタの DTS エラーチャンネル (DTSER1.DTSERCH) に DMA 転送エラーが発生した DTS チャンネル番号が格納されます。

シングル転送で DMA 転送エラーが発生すると、TI ライトバックを行って DMA サイクルを終了します。

ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnmm.ESE) がセットされている場合は、ブロック転送の残りの DMA サイクルを実行

せずに、TI ライトバックを行って DMA 転送を終了します。その際 DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がクリアされている場合は、DMA 転送エラーの発生に関係なくブロック転送を継続します。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウンタは更新され、TI ライトバックの際に TI が更新されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と同じチャンネルの DMA 転送要求を DTS が受け付けると、TI フェッチを実行します。TI フェッチの結果転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がセットされていた場合は DMA サイクルおよび TI ライトバックを実行しません。転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がクリアされている場合は DMA 転送が実行されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と異なるチャンネルの DMA 転送要求を DTS が受け付けた場合には、DMA 転送が実行されます。

7.4.3 DTSRAM エラー

DTSRAM リードアクセスで検出する DTSRAM エラーには、ECC 1 ビットエラーと ECC 2 ビットエラーの 2 種類があります。

TI フェッチの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータを用いて DMA 転送を継続します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータをリードデータとして応答します。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM1 ビットエラー発生フラグ (DTSER2.RAMSED) がセットされ、DTSRAM1 ビットエラーアドレス (DTSER2.RAMSEAD) にエラーが発生した DTSRAM のアドレスが保持されます。また、ECM にエラー通知を行います。

TI フェッチの際に ECC 2 ビットエラーを検出した場合は、DMA サイクルおよび TI ライトバックを実行せずに、その DMA 転送要求に対する処理を終了します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 2 ビットエラーを検出した場合は、周辺バスエラーの通知を行います。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM2 ビットエラー発生フラグ (DTSER2.RAMDED) がセットされ、DTSRAM2 ビットエラーアドレス (DTSER2.RAMDEDAD) にエラーが発生したアドレスが保持されます。また、ECM にエラー通知を行います。

7.5 信頼性機能

7.5.1 概要

本製品では、DMAは複数のマスタ（CPU1やCPU2）から利用される資源であり、DMAでマルチコア構成に対応するための以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

7.5.2 レジスタアクセス保護機能

本製品では、DMAの各チャンネルはCPU1やCPU2に割り当てて利用することを想定しています。

レジスタアクセス保護機能は、DMAの各チャンネルの転送情報に対して、チャンネルに割り当てたマスタ（CPU1やCPU2）からのみアクセスを許可し、ほかのマスタからのアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャンネルに割り当てたマスタ以外の無関係のマスタによってチャンネルの設定内容が読み出されたり変更されたりすることを防ぐことができます。

7.5.2.1 アクセス元マスタの識別

DMAは、アクセス元のCPU番号（PEID）、CPUがスーパーバイザモード（PSW.UM=0）かユーザモード（PSW.UM=1）かによってマスタを識別します。

7.5.2.2 マスタアクセス

マスタアクセスには、以下の2種類があります。

- 特殊マスタアクセス（CPUのスーパーバイザモード（UM=0））
- 一般マスタアクセス（特殊マスタアクセス以外のアクセス）

特殊マスタアクセスでは、すべてのレジスタに対してアクセスが許可されます。

一般マスタアクセスでは、次のレジスタに対してアクセスが許可されます。

- グローバルレジスタのうち次のレジスタ
DMACER, DTSER1, DTSER2, DTSSTS
- チャンネル割り当て（「7.5.2.3 チャンネル割り当て」参照）によって割り当てられたチャンネルのチャンネルレジスタ

上記以外のレジスタに対しては、一般マスタアクセスは許可されません。

7.5.2.3 チャンネル割り当て

DMA では、各チャンネル単位で、そのチャンネルを利用するマスタ（CPU1 や CPU2）を割り当てることができます。チャンネル割り当ては CPU のスーパーバイザモード（UM=0）がチャンネルマスタ設定レジスタ（DMAC の場合は DMnnCM、DTS の場合は DTSnnnCM）を設定することで行います。

一般マスタアクセスでは、チャンネル割り当てによって割り当てられたマスタは、そのチャンネルのチャンネルレジスタにアクセスすることが許可されます。チャンネル割り当てによって割り当てられたマスタ以外がチャンネルレジスタにアクセスした場合は、違反アクセスとなります。違反アクセスについては「7.5.2.4 違反アクセス」で説明します。

7.5.2.4 違反アクセス

DMA は次のアクセスを違反アクセスとして扱います。

- a) グローバルレジスタに対する一般マスタアクセス
ただし、次のレジスタを除く：DMACER, DTSER1, DTSER2, DTSSTS
- b) チャンネル割り当てによって割り当てられたマスタ以外からのチャンネルレジスタに対する一般マスタアクセス

DMA は違反アクセスに対して次の動作を行います。

- a), b) の場合ともに
 - ライトアクセスは無視します。
 - リードアクセスはリードデータとして 0 を返します。

また、b) の場合にのみ、

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。
- レジスタアクセス保護違反レジスタは DMAC0、DMAC1 および DTS で分かれています（DM0CMV, DM1CMV, DTSCMV）。

レジスタアクセス保護違反レジスタにアクセス可能なのは特殊マスタのみです。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャンネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

7.5.3 マスタ情報継承機能

本製品では、DMA アクセスの際にはDMA チャンネルを設定したCPU1 やCPU2 と同等のマスタ情報を継承させて使用することを想定しています。DMA チャンネルを設定したマスタ情報を、DMnnCM レジスタ / DTSnnnCM レジスタに設定してご使用ください。

DMA が出力するマスタ情報は表 7.6 のとおりです。

表 7.6 DMA が出力するマスタ情報

意味	DMA から出力する値
UM	チャンネルマスタ設定レジスタのUM ビットの値
SPID	チャンネルマスタ設定レジスタのSPID ビットの値
PEID	チャンネルマスタ設定レジスタのPEID ビットの値
DMA アクセス	1

7.5.4 その他の信頼性機能

7.5.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャンネルが制限されます。

チェイン機能を使用する際は、チェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャンネルとチェイン先のチャンネルは同一のマスタの管理下で使用することを想定しています。

DMA は、異なるマスタを割り当てたチャンネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定の内容をチェックして、チャンネルマスタ設定の PEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャンネルにチェイン要求を行います。チャンネルマスタ設定の PEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

7.6 DMA 転送の設定手順

7.6.1 DMA 設定手順概要

表 7.7 チャンネル割り当て (1/2)

No.	設定元マスタ	内容	レジスタ		操作の必要条件	
1	特殊マスタ (CPUのスーパーバイザモード (UM=0))	DMA全体動作の設定	DTSPR0 ~ DTSPR7	DTSチャンネル優先順位設定レジスタ	必須 (DTSを使用する場合)	
2			DM00CM ~ DM17CM	DMACチャンネルマスタ設定レジスタ	必須 (DMACを使用する場合)	
3			DTS0CM ~ DTS127CM	DTSチャンネルマスタ設定レジスタ	必須 (DTSを使用する場合)	
4		ステータスのクリア	DTSERC	DTSエラークリアレジスタ	推奨	
5			CMVC	チャンネル保護違反クリアレジスタ	推奨	
6	DMACチャンネルに割り当てられたマスタ	チャンネルの設定	DSAn	DMACソースアドレスレジスタ	必須	
7			DDAn	DMACディスティネーションアドレスレジスタ	必須	
8			DTCn	DMAC転送回数レジスタ	必須	
9			DTCTn	DMAC転送制御レジスタ	必須	
10			DRSAn	DMACリロードソースアドレスレジスタ	リロード機能を使用する場合必須	
11			DRDAn	DMACリロードディスティネーションアドレスレジスタ	リロード機能を使用する場合必須	
12			DRTCn	DMACリロード転送回数レジスタ	リロード機能を使用する場合必須	
13			DTCCn	DMAC転送回数コンペアレジスタ	転送回数一致割り込みを使用する場合必須	
14			DTFRn	DTFR設定レジスタ	必須	
15			ステータスのクリア	DCSTCn	DMAC転送ステータスクリアレジスタ	必須
16				DTFRRQCn	DTFR転送要求クリアレジスタ	推奨
17	チャンネル動作有効	DCENn	DMACチャンネル動作有効設定レジスタ	必須		

表 7.7 チャンネル割り当て (2/2)

No.	設定元マスタ	内容	レジスタ		操作の必要条件	
18	DTS チャンネルに割り当てられたマスタ	チャンネルの設定	DTSAnnn	DTS ソースアドレスレジスタ	必須	
19			DTDAnnn	DTS ディスティネーションアドレスレジスタ	必須	
20			DTTCnnn	DTS 転送回数レジスタ	必須	
21			DTTCTnnn	DTS 転送制御レジスタ	必須	
22			DTRSAnnn	DTS リロードソースアドレスレジスタ	リロード機能を使用する場合必須	
23			DTRDAnnn	DTS リロードディスティネーションアドレスレジスタ	リロード機能を使用する場合必須	
24			DTRTCnnn	DTS リロード転送回数レジスタ	リロード機能を使用する場合必須	
25			DTTCnnn	DTS 転送回数コンペアレジスタ	転送回数一致割り込みを使用する場合必須	
26			ステータスのクリア	DTFSCnnn	DTSFSL 転送要求クリアレジスタ	推奨
27			転送要求有効	DTFSLnnn	DTSFSL 動作設定レジスタ	必須

7.6.2 DMA 全体動作設定手順

DMA の利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU のスーパーバイザモード (UM=0) がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は「7.5 信頼性機能」を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DTS チャンネル優先度設定レジスタ (DTSPRn, n=0~7)
DTS チャンネルアービトラーションの際の DTS の各チャンネルの優先度を設定します。
- DMAC チャンネルマスタ設定レジスタ (DMnnCM)
- DTS チャンネルマスタ設定レジスタ (DTSnnnCM)
チャンネル割り当てを行います。(詳細は「7.5 信頼性機能」を参照)
DMAC チャンネルマスタ設定レジスタと DTS チャンネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャンネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DTS エラーレジスタ 1 (DTSER1)
- DTS エラーレジスタ 2 (DTSER2)
- DMAC0 レジスタアクセス保護違反レジスタ (DM0CMV)
- DMAC1 レジスタアクセス保護違反レジスタ (DM1CMV)
- DTS レジスタアクセス保護違反レジスタ (DTSCMV)

7.6.3 DMA チャンネル設定手順

DMA チャンネル設定では、DMAC および DTS の各チャンネルの転送情報や転送要因の選択を行います。

DMA チャンネル設定は、チャンネル割り当てによって割り当てられた各チャンネルのマスタがチャンネルレジスタを設定することで実施します。

7.6.3.1 DMAC チャネル設定手順

DMAC を利用する場合の DMAC チャネル設定は以下の手順で行います。

(1) チャネル動作無効設定

DMAC チャネル動作有効設定レジスタ (DCENn) でチャネル動作有効 (DTE) がセットされている場合は、DTE ビットをクリアしてチャネル動作を無効の状態に変更します。

(2) 転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ (DSAn)
- DMAC ディスティネーションアドレスレジスタ (DDAn)
- DMAC 転送回数レジスタ (DTCn)
- DMAC 転送制御レジスタ (DTCTn)
- DMAC リロードソースアドレスレジスタ (DRSAn)
- DMAC リロードディスティネーションアドレスレジスタ (DRDAn)
- DMAC リロード転送回数レジスタ (DRTCn)
- DMAC 転送回数コンペアレジスタ (DTCCn)

(3) DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DTCTn.DRS) ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1つのチャネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQSEL) で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ (DTFRn.DRQ) を利用して DTFR で保持しているハードウェア DMA 転送要求 (DTFRn.DRQ) をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を無効に設定します。

(4) 転送ステータスのクリア

DMAC 転送ステータスレジスタ (DCSTn) に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャネル動作有効設定

DMAC チャネル動作有効設定レジスタのチャネル動作有効 (DCENn.DTE) ビットをセットして、チャネル動作を有効にします。

チャネル動作有効設定を行った後は、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.6.3.2 DTS チャネル設定手順

DTS を利用する場合の DTS チャネル設定は以下の手順で行います。

(1) DTSFSL の転送要求無効設定

チャネル設定を実行する DTS チャネルに対応する DTSFSL 動作設定レジスタの転送要求有効 (DTFSL_{nnn}.REQEN) ビットをクリアします。本手順は必須ではありませんが、チャネル設定を実行する DTS チャネルに誤って DMA 転送要求が入力されてしまうことを防ぐために実施することを推奨します。

また、チャネル設定を実行する DTS チャネルが DMA 転送を実行中でないことを、DTS 状態レジスタ (DTSSTS) で確認することを推奨します。

(2) 転送情報の設定

DTS の転送情報の設定では、次のレジスタから転送情報を設定します。

- DTS ソースアドレスレジスタ (DTSAnnn)
- DTS ディスティネーションアドレスレジスタ (DTDA_{nnn})
- DTS 転送回数レジスタ (DTTC_{nnn})
- DTS 転送制御レジスタ (DTTCT_{nnn})
- DTS リロードソースアドレスレジスタ (DTRSA_{nnn})
- DTS リロードディスティネーションアドレスレジスタ (DTRDA_{nnn})
- DTS リロード転送回数レジスタ (DTRTC_{nnn})
- DTS 転送回数コンペアレジスタ (DTTCC_{nnn})

(3) DMA 転送要求の設定

DMAC と異なり、DTS は DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。DTS ではチャネルごとの転送要求保持状態ビットを DTSFSL に持っており、ハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビット (DTFST_{nnn}.DRQ) に保持されます。このため、DTS ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定する機能はありません。

DTSFSL には、転送情報を設定する前の状態で DMA 転送要求が保持されている場合があります。必要に応じて、DTSFSL 転送要求クリアレジスタ (DTFSC_{nnn}) を利用して DTSFSL で保持されている DMA 転送要求 (DTFST_{nnn}.DRQ) をクリアしてください。

(4) DTSFSL の転送要求有効設定

DTSFSL 動作設定レジスタの転送要求有効 (DTFSL_{nnn}.REQEN) ビットをセットして、DTS チャネルに対応する DMA 転送要求を有効にします。

DTSFSL の転送要求有効設定を行ったあとは、DTS は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.7 DMA トリガ要因

7.7.1 DMA トリガ要因一覧

DMA チャンネル n への DMA トリガソースの割り当ては DTFR 設定レジスタ (DTFRn) で設定します。

表 7.8 DMA トリガ要因一覧 (1/4)

DMA 要因名称		機能モジュール	対象製品	
			C1H	C1M
DMACTRG0	オーバーフロー割り込み信号	ENCA_0	○	○
DMACTRG1	コンペア 1 一致またはキャプチャ 1 割り込み		○	○
DMACTRG2	アンダーフロー割り込み		○	○
DMACTRG3	エンコーダクリア割り込み		○	○
DMACTRG4	オーバーフロー割り込み信号	ENCA_1	○	○
DMACTRG5	コンペア 1 一致またはキャプチャ 1 割り込み		○	○
DMACTRG6	アンダーフロー割り込み		○	○
DMACTRG7	エンコーダクリア割り込み		○	○
DMACTRG8	CH0 の INTTAUD0I0 割り込み	TAUD	○	○
DMACTRG9	CH1 の INTTAUD0I1 割り込み		○	○
DMACTRG10	CH2 の INTTAUD0I2 割り込み		○	○
DMACTRG11	CH3 の INTTAUD0I3 割り込み		○	○
DMACTRG12	CH4 の INTTAUD0I4 割り込み		○	○
DMACTRG13	CH5 の INTTAUD0I5 割り込み		○	○
DMACTRG14	CH6 の INTTAUD0I6 割り込み		○	○
DMACTRG15	CH7 の INTTAUD0I7 割り込み		○	○
DMACTRG16	CH8 の INTTAUD0I8 割り込み		○	○
DMACTRG17	CH9 の INTTAUD0I9 割り込み		○	○
DMACTRG18	CH10 の INTTAUD0I10 割り込み		○	○
DMACTRG19	CH11 の INTTAUD0I11 割り込み		○	○
DMACTRG20	CH12 の INTTAUD0I12 割り込み		○	○
DMACTRG21	CH13 の INTTAUD0I13 割り込み		○	○
DMACTRG22	CH14 の INTTAUD0I14 割り込み		○	○
DMACTRG23	CH15 の INTTAUD0I15 割り込み		○	○
DMACTRG24	CH0 の INTTAUD1I0 割り込み		○	○
DMACTRG25	CH1 の INTTAUD1I1 割り込み		○	○
DMACTRG26	CH2 の INTTAUD1I2 割り込み		○	○
DMACTRG27	CH3 の INTTAUD1I3 割り込み		○	○
DMACTRG28	CH4 の INTTAUD1I4 割り込み		○	○
DMACTRG29	CH5 の INTTAUD1I5 割り込み		○	○
DMACTRG30	CH6 の INTTAUD1I6 割り込み		○	○
DMACTRG31	CH7 の INTTAUD1I7 割り込み		○	○
DMACTRG32	CH8 の INTTAUD1I8 割り込み		○	○
DMACTRG33	CH9 の INTTAUD1I9 割り込み		○	○
DMACTRG34	CH10 の INTTAUD1I10 割り込み		○	○
DMACTRG35	CH11 の INTTAUD1I11 割り込み		○	○
DMACTRG36	CH12 の INTTAUD1I12 割り込み		○	○

表 7.8 DMA トリガ要因一覧 (2/4)

DMA 要因名称		機能モジュール	対象製品		
			C1H	C1M	
DMACTRG37	CH13 の INTTAUD1I13 割り込み	TAUD	○	○	
DMACTRG38	CH14 の INTTAUD1I14 割り込み		○	○	
DMACTRG39	CH15 の INTTAUD1I15 割り込み		○	○	
DMACTRG40	TAPA0 山割り込み 0	TAPA	○	○	
DMACTRG41	TAPA0 谷割り込み 0		○	○	
DMACTRG42	TAPA1 山割り込み 0		○	○	
DMACTRG43	TAPA1 谷割り込み 0		○	○	
DMACTRG44	周期一致検出割り込み	TPBA_0	○	○	
DMACTRG45	デューティ一致検出割り		○	○	
DMACTRG46	パタン数一致検出割り込み		○	○	
DMACTRG47	周期一致検出割り込み	TPBA_1	○	×	
DMACTRG48	デューティ一致検出割り		○	×	
DMACTRG49	パタン数一致検出割り込み		○	×	
DMACTRG50	ENCA0 コンペア 0 一致または Capture0 割り込み	ENCA_0	○	○	
DMACTRG51	ENCA1 コンペア 0 一致または Capture0 割り込み	ENCA_1	○	○	
DMACTRG52	CH0 の INTTAUJ0I0 割り込み	TAUJ_0	○	○	
DMACTRG53	CH1 の INTTAUJ0I1 割り込み		○	○	
DMACTRG54	CH2 の INTTAUJ0I2 割り込み		○	○	
DMACTRG55	CH3 の INTTAUJ0I3 割り込み		○	○	
DMACTRG56	TSG30 コンペア一致割り込み 11 (INTTSG30I11)	TSG3_0	○	○	
DMACTRG57	TSG30 コンペア一致割り込み 12 (INTTSG30I12)		○	○	
DMACTRG58	TSG30 山割り込み (INTTSG30IPEK)		○	○	
DMACTRG59	TSG30 谷割り込み (INTTSG30IVLY)		○	○	
DMACTRG60	TSG31 コンペア一致割り込み 11 (INTTSG31I11)	TSG3_1	○	○	
DMACTRG61	TSG31 コンペア一致割り込み 12 (INTTSG31I12)		○	○	
DMACTRG62	TSG31 山割り込み (INTTSG31IPEK)		○	○	
DMACTRG63	TSG31 谷割り込み (INTTSG31IVLY)		○	○	
DMACTRG64	ADI00 ADCC0 スキャングループ 0 終了割り込み	ADCC	○	○	
DMACTRG65	ADI01 ADCC0 スキャングループ 1 終了割り込み		○	○	
DMACTRG66	ADI02 ADCC0 スキャングループ 2 終了割り込み		○	○	
DMACTRG67	ADI03 ADCC0 スキャングループ 3 終了割り込み		○	○	
DMACTRG68	ADI04 ADCC0 スキャングループ 4 終了割り込み		○	○	
DMACTRG69	ADI10 ADCC1 スキャングループ 0 終了割り込み		○	○	
DMACTRG70	ADI11 ADCC1 スキャングループ 1 終了割り込み		○	○	
DMACTRG71	ADI12 ADCC1 スキャングループ 2 終了割り込み		○	○	
DMACTRG72	ADI13 ADCC1 スキャングループ 3 終了割り込み		○	○	
DMACTRG73	ADI14 ADCC1 スキャングループ 4 終了割り込み		○	○	
DMACTRG74	通信ステータス割り込み (INTCSIHTIC)		CSIH_0	○	○
DMACTRG75	受信ステータス割り込み (INTCSIHTIR)			○	○
DMACTRG76	ジョブ完了割り込み (INTCSIHTIJC)			○	○
DMACTRG77	通信ステータス割り込み (INTCSIHTIC)		CSIH_1	○	○
DMACTRG78	受信ステータス割り込み (INTCSIHTIR)	○		○	
DMACTRG79	ジョブ完了割り込み (INTCSIHTIJC)	○		○	

表 7.8 DMA トリガ要因一覧 (3/4)

DMA 要因名称		機能モジュール	対象製品	
			C1H	C1M
DMACTRG80	Reserved		×	×
DMACTRG81	Reserved		×	×
DMACTRG82	Reserved		×	×
DMACTRG83	Reserved		×	×
DMACTRG84	Reserved		×	×
DMACTRG85	Reserved		×	×
DMACTRG86	RDC20 Z 相割り込み	RDC_0	○	○
DMACTRG87	RDC20 コンペア 0 一致割り込み		○	○
DMACTRG88	RDC20 コンペア 1 一致割り込み		○	○
DMACTRG89	RDC20 コンペア 2 一致割り込み		○	○
DMACTRG90	RDC20 励磁タイマ (ET) DMA 要求		○	○
DMACTRG91	RDC21 Z 相割り込み	RDC_1	○	×
DMACTRG92	RDC21 コンペア 0 一致割り込み		○	×
DMACTRG93	RDC21 コンペア 1 一致割り込み		○	×
DMACTRG94	RDC21 コンペア 2 一致割り込み		○	×
DMACTRG95	RDC21 励磁タイマ (ET) DMA 要求		○	×
DMACTRG96	EMU20 割り込み 0	EMU2	○	○
DMACTRG97	EMU20 割り込み 1		○	○
DMACTRG98	EMU20 割り込み 2		○	○
DMACTRG99	EMU20 割り込み 3		○	○
DMACTRG100	EMU20 割り込み 4		○	○
DMACTRG101	EMU21 割り込み 0		○	○
DMACTRG102	EMU21 割り込み 1		○	○
DMACTRG103	EMU21 割り込み 2		○	○
DMACTRG104	EMU21 割り込み 3		○	○
DMACTRG105	EMU21 割り込み 4		○	○
DMACTRG106	Reserved		×	×
DMACTRG107	RXI (受信データフル)	SCI_0	○	○
DMACTRG108	TXI (送信データエンプティ)		○	○
DMACTRG109	RXI (受信データフル)	SCI_1	○	○
DMACTRG110	TXI (送信データエンプティ)		○	○
DMACTRG111	RXI (受信データフル)	SCI_2	○	○
DMACTRG112	TXI (送信データエンプティ)		○	○
DMACTRG113	Reserved		×	×
DMACTRG114	Reserved		×	×
DMACTRG115	Reserved		×	×
DMACTRG116	Reserved		×	×
DMACTRG117	Reserved		×	×
DMACTRG118	Reserved		×	×
DMACTRG119	Reserved		×	×
DMACTRG120	Reserved		×	×
DMACTRG121	Reserved		×	×
DMACTRG122	Reserved		×	×

表 7.8 DMA トリガ要因一覧 (4/4)

DMA 要因名称		機能モジュール	対象製品	
			C1H	C1M
DMACTRG123	Reserved		×	×
DMACTRG124	Reserved		×	×
DMACTRG125	DMA プログラムコマンド用信号	Data Flash	○	○
DMACTRG126	Reserved		×	×
DMACTRG127	Reserved		×	×

注 1. DMA トリガ要因名は、各モジュールの出力信号名称と異なる場合があります。

7.8 DTS トリガ要因

7.8.1 DTS トリガ要因一覧

DTS チャンネル n への DTS トリガソースの割り当ては表 7.9 のとおりとなります。

表 7.9 DTS トリガ要因一覧 (1/4)

DMA (DTS) 要因名称		機能モジュール	対象製品	
			C1H	C1M
DTSTRG0	ADI00 ADCC0 スキャングループ 0 終了割り込み	ADCC	○	○
DTSTRG1	ADI01 ADCC0 スキャングループ 1 終了割り込み		○	○
DTSTRG2	ADI02 ADCC0 スキャングループ 2 終了割り込み		○	○
DTSTRG3	ADI03 ADCC0 スキャングループ 3 終了割り込み		○	○
DTSTRG4	ADI04 ADCC0 スキャングループ 4 終了割り込み		○	○
DTSTRG5	ADI10 ADCC1 スキャングループ 0 終了割り込み		○	○
DTSTRG6	ADI11 ADCC1 スキャングループ 1 終了割り込み		○	○
DTSTRG7	ADI12 ADCC1 スキャングループ 2 終了割り込み		○	○
DTSTRG8	ADI13 ADCC1 スキャングループ 3 終了割り込み		○	○
DTSTRG9	ADI14 ADCC1 スキャングループ 4 終了割り込み		○	○
DTSTRG10	Reserved		×	×
DTSTRG11	Reserved		×	×
DTSTRG12	CH0 の INTTAUJ0I0 割り込み	TAUJ_0	○	○
DTSTRG13	CH1 の INTTAUJ0I1 割り込み		○	○
DTSTRG14	CH2 の INTTAUJ0I2 割り込み		○	○
DTSTRG15	CH3 の INTTAUJ0I3 割り込み		○	○
DTSTRG16	CH0 の INTTAUD0I0 割り込み	TAUD	○	○
DTSTRG17	CH1 の INTTAUD0I1 割り込み		○	○
DTSTRG18	CH2 の INTTAUD0I2 割り込み		○	○
DTSTRG19	CH3 の INTTAUD0I3 割り込み		○	○
DTSTRG20	CH4 の INTTAUD0I4 割り込み		○	○
DTSTRG21	CH5 の INTTAUD0I5 割り込み		○	○
DTSTRG22	CH6 の INTTAUD0I6 割り込み		○	○
DTSTRG23	CH7 の INTTAUD0I7 割り込み		○	○
DTSTRG24	CH8 の INTTAUD0I8 割り込み		○	○
DTSTRG25	CH9 の INTTAUD0I9 割り込み		○	○
DTSTRG26	CH10 の INTTAUD0I10 割り込み		○	○
DTSTRG27	CH11 の INTTAUD0I11 割り込み		○	○
DTSTRG28	CH12 の INTTAUD0I12 割り込み		○	○
DTSTRG29	CH13 の INTTAUD0I13 割り込み		○	○
DTSTRG30	CH14 の INTTAUD0I14 割り込み		○	○
DTSTRG31	CH15 の INTTAUD0I15 割り込み		○	○
DTSTRG32	CH0 の INTTAUD1I0 割り込み		○	○
DTSTRG33	CH1 の INTTAUD1I1 割り込み		○	○
DTSTRG34	CH2 の INTTAUD1I2 割り込み		○	○
DTSTRG35	CH3 の INTTAUD1I3 割り込み		○	○
DTSTRG36	CH4 の INTTAUD1I4 割り込み	○	○	

表 7.9 DTS トリガ要因一覧 (2/4)

DMA (DTS) 要因名称		機能モジュール	対象製品		
			C1H	C1M	
DTSTRG37	CH5 の INTTAUD115 割り込み	TAUD	○	○	
DTSTRG38	CH6 の INTTAUD116 割り込み		○	○	
DTSTRG39	CH7 の INTTAUD117 割り込み		○	○	
DTSTRG40	CH8 の INTTAUD118 割り込み		○	○	
DTSTRG41	CH9 の INTTAUD119 割り込み		○	○	
DTSTRG42	CH10 の INTTAUD1110 割り込み		○	○	
DTSTRG43	CH11 の INTTAUD1111 割り込み		○	○	
DTSTRG44	CH12 の INTTAUD1112 割り込み		○	○	
DTSTRG45	CH13 の INTTAUD1113 割り込み		○	○	
DTSTRG46	CH14 の INTTAUD1114 割り込み		○	○	
DTSTRG47	CH15 の INTTAUD1115 割り込み		○	○	
DTSTRG48	ENCA0 コンペア 0 一致または Capture0 割り込み		ENCA_0	○	○
DTSTRG49	ENCA1 コンペア 0 一致または Capture0 割り込み		ENCA_1	○	○
DTSTRG50	TAPA0 山割り込み 0		TAPA	○	○
DTSTRG51	TAPA0 谷割り込み 0	○		○	
DTSTRG52	TAPA1 山割り込み 0	○		○	
DTSTRG53	TAPA1 谷割り込み 0	○		○	
DTSTRG54	オーバーフロー割り込み信号	ENCA_0	○	○	
DTSTRG55	コンペア 1 一致またはキャプチャ 1 割り込み		○	○	
DTSTRG56	アンダーフロー割り込み		○	○	
DTSTRG57	エンコーダクリア割り込み		○	○	
DTSTRG58	オーバーフロー割り込み信号	ENCA_1	○	○	
DTSTRG59	コンペア 1 一致またはキャプチャ 1 割り込み		○	○	
DTSTRG60	アンダーフロー割り込み		○	○	
DTSTRG61	エンコーダクリア割り込み		○	○	
DTSTRG62	周期一致検出割り込み	TPBA_0	○	○	
DTSTRG63	デューティ一致検出割り		○	○	
DTSTRG64	パターン数一致検出割り込み		○	○	
DTSTRG65	周期一致検出割り込み	TPBA_1	○	×	
DTSTRG66	デューティ一致検出割り		○	×	
DTSTRG67	パターン数一致検出割り込み		○	×	
DTSTRG68	RDC20 Z 相割り込み	RDC_0	○	○	
DTSTRG69	RDC20 コンペア 0 一致割り込み		○	○	
DTSTRG70	RDC20 コンペア 1 一致割り込み		○	○	
DTSTRG71	RDC20 コンペア 2 一致割り込み		○	○	
DTSTRG72	RDC20 励磁タイマ (ET) DMA 要求		○	○	
DTSTRG73	RDC21 Z 相割り込み	RDC_1	○	×	
DTSTRG74	RDC21 コンペア 0 一致割り込み		○	×	
DTSTRG75	RDC21 コンペア 1 一致割り込み		○	×	
DTSTRG76	RDC21 コンペア 2 一致割り込み		○	×	
DTSTRG77	RDC21 励磁タイマ (ET) DMA 要求		○	×	
DTSTRG78	EMU20 割り込み 0	EMU2	○	○	

表 7.9 DTS トリガ要因一覧 (3/4)

DMA (DTS) 要因名称		機能モジュール	対象製品	
			C1H	C1M
DTSTRG79	EMU20 割り込み 1	EMU2	○	○
DTSTRG80	EMU20 割り込み 2		○	○
DTSTRG81	EMU20 割り込み 3		○	○
DTSTRG82	EMU20 割り込み 4		○	○
DTSTRG83	EMU21 割り込み 0		○	○
DTSTRG84	EMU21 割り込み 1		○	○
DTSTRG85	EMU21 割り込み 2		○	○
DTSTRG86	EMU21 割り込み 3		○	○
DTSTRG87	EMU21 割り込み 4		○	○
DTSTRG88	Reserved			×
DTSTRG89	Reserved		×	×
DTSTRG90	Reserved		×	×
DTSTRG91	Reserved		×	×
DTSTRG92	TSG30 コンペア一致割り込み 11 (INTTSG30I11)	TSG3_0	○	○
DTSTRG93	TSG30 コンペア一致割り込み 12 (INTTSG30I12)		○	○
DTSTRG94	TSG30 山割り込み (INTTSG30IPEK)		○	○
DTSTRG95	TSG30 谷割り込み (INTTSG30IVLY)		○	○
DTSTRG96	TSG31 コンペア一致割り込み 11 (INTTSG31I11)	TSG3_1	○	○
DTSTRG97	TSG31 コンペア一致割り込み 12 (INTTSG31I12)		○	○
DTSTRG98	TSG31 山割り込み (INTTSG31IPEK)		○	○
DTSTRG99	TSG31 谷割り込み (INTTSG31IVLY)		○	○
DTSTRG100	通信ステータス割り込み (INTCSIHTIC)	CSIH_0	○	○
DTSTRG101	受信ステータス割り込み (INTCSIHTIR)		○	○
DTSTRG102	ジョブ完了割り込み (INTCSIHTIJC)		○	○
DTSTRG103	通信ステータス割り込み (INTCSIHTIC)	CSIH_1	○	○
DTSTRG104	受信ステータス割り込み (INTCSIHTIR)		○	○
DTSTRG105	ジョブ完了割り込み (INTCSIHTIJC)		○	○
DTSTRG106	Reserved		×	×
DTSTRG107	Reserved		×	×
DTSTRG108	Reserved		×	×
DTSTRG109	Reserved		×	×
DTSTRG110	Reserved		×	×
DTSTRG111	Reserved		×	×
DTSTRG112	RXI (受信データフル)	SCI_0	○	○
DTSTRG113	TXI (送信データエンプティ)		○	○
DTSTRG114	RXI (受信データフル)	SCI_1	○	○
DTSTRG115	TXI (送信データエンプティ)		○	○
DTSTRG116	RXI (受信データフル)	SCI_2	○	○
DTSTRG117	TXI (送信データエンプティ)		○	○
DTSTRG118	Reserved		×	×
DTSTRG119	Reserved		×	×
DTSTRG120	Reserved		×	×
DTSTRG121	Reserved		×	×

表 7.9 DTS トリガ要因一覧 (4/4)

DMA (DTS) 要因名称		機能モジュール	対象製品	
			C1H	C1M
DTSTRG122	Reserved		x	x
DTSTRG123	Reserved		x	x
DTSTRG124	Reserved		x	x
DTSTRG125	Reserved		x	x
DTSTRG126	Reserved		x	x
DTSTRG127	Reserved		x	x

7.9 グローバルレジスタ

7.9.1 グローバルレジスタアドレス一覧

アドレス=ベースアドレス“FFFF 8000_H”+オフセットアドレス

表 7.10 グローバルレジスタアドレス一覧 (1/2)

モジュール名	オフセット アドレス	レジスタ略称	意味	アクセス許可	
				特殊マスタ	一般マスタ
DMASS	0000 _H	DMACTL	DMA 制御レジスタ	○	×
DMASS	0010 _H	DTSCCTL1	DTS 制御レジスタ 1	○	×
DMASS	0014 _H	DTSCCTL2	DTS 制御レジスタ 2	○	×
DMASS	0018 _H	DTSSTS	DTS 状態レジスタ	○	○
DMASS	0020 _H	DMACER	DMAC エラーレジスタ	○	○
DMASS	0024 _H	DTSER1	DTS エラーレジスタ 1	○	○
DMASS	0028 _H	DTSER2	DTS エラーレジスタ 2	○	○
DMASS	002C _H	DTSERC	DTS エラークリアレジスタ	○	×
DMASS	0030 _H	DM0CMV	DMAC0 レジスタアクセス保護違反レジスタ	○	×
DMASS	0034 _H	DM1CMV	DMAC1 レジスタアクセス保護違反レジスタ	○	×
DMASS	0038 _H	DTSCMV	DTS レジスタアクセス保護違反レジスタ	○	×
DMASS	003C _H	CMVC	レジスタアクセス保護違反クリアレジスタ	○	×
DMASS	0060 _H	DTSPR0	DTS チャネル優先度設定レジスタ 0	○	×
DMASS	0064 _H	DTSPR1	DTS チャネル優先度設定レジスタ 1	○	×
DMASS	0068 _H	DTSPR2	DTS チャネル優先度設定レジスタ 2	○	×
DMASS	006C _H	DTSPR3	DTS チャネル優先度設定レジスタ 3	○	×
DMASS	0070 _H	DTSPR4	DTS チャネル優先度設定レジスタ 4	○	×
DMASS	0074 _H	DTSPR5	DTS チャネル優先度設定レジスタ 5	○	×
DMASS	0078 _H	DTSPR6	DTS チャネル優先度設定レジスタ 6	○	×
DMASS	007C _H	DTSPR7	DTS チャネル優先度設定レジスタ 7	○	×
DMASS	0080 _H	DTRECCTL	DTSRAM ECC コントロールレジスタ	○	×
DMASS	0084 _H	DTRERINT	DTSRAM エラー通知コントロールレジスタ	○	×
DMASS	0094 _H	DTRTSCCTL	DTSRAM テストコントロールレジスタ	○	×
DMASS	0098 _H	DTRTWDAT	DTSRAM テスト書き込みデータレジスタ	○	×
DMASS	009C _H	DTRTRDAT	DTSRAM テスト読み出しデータレジスタ	○	×
DMASS	0100 _H	DM00CM	DMAC0 チャネル 0 チャネルマスタ設定 レジスタ	○	×
DMASS	0104 _H	DM01CM	DMAC0 チャネル 1 チャネルマスタ設定 レジスタ	○	×
DMASS	0108 _H	DM02CM	DMAC0 チャネル 2 チャネルマスタ設定 レジスタ	○	×
DMASS	010C _H	DM03CM	DMAC0 チャネル 3 チャネルマスタ設定 レジスタ	○	×
DMASS	0110 _H	DM04CM	DMAC0 チャネル 4 チャネルマスタ設定 レジスタ	○	×
DMASS	0114 _H	DM05CM	DMAC0 チャネル 5 チャネルマスタ設定 レジスタ	○	×
DMASS	0118 _H	DM06CM	DMAC0 チャネル 6 チャネルマスタ設定 レジスタ	○	×

表 7.10 グローバルレジスタアドレス一覧 (2/2)

モジュール名	オフセット アドレス	レジスタ略称	意味	アクセス許可	
				特殊マスタ	一般マスタ
DMASS	011C _H	DM07CM	DMAC0 チャンネル 7 チャンネルマスタ設定 レジスタ	○	×
DMASS	0120 _H	DM10CM	DMAC1 チャンネル 0 チャンネルマスタ設定 レジスタ	○	×
DMASS	0124 _H	DM11CM	DMAC1 チャンネル 1 チャンネルマスタ設定 レジスタ	○	×
DMASS	0128 _H	DM12CM	DMAC1 チャンネル 2 チャンネルマスタ設定 レジスタ	○	×
DMASS	012C _H	DM13CM	DMAC1 チャンネル 3 チャンネルマスタ設定 レジスタ	○	×
DMASS	0130 _H	DM14CM	DMAC1 チャンネル 4 チャンネルマスタ設定 レジスタ	○	×
DMASS	0134 _H	DM15CM	DMAC1 チャンネル 5 チャンネルマスタ設定 レジスタ	○	×
DMASS	0138 _H	DM16CM	DMAC1 チャンネル 6 チャンネルマスタ設定 レジスタ	○	×
DMASS	013C _H	DM17CM	DMAC1 チャンネル 7 チャンネルマスタ設定 レジスタ	○	×
DMASS	0200 _H + 4 * [DTS チャンネル 番号] ^{注1} (0200 _H ~ 03FC _H)	DTSnnnCM ^{注1}	DTS チャンネル nnn チャンネルマスタ設定 レジスタ ^{注1}	○	×

注 1. [DTS チャンネル番号]、レジスタ略称および意味の nnn は、000 ~ 127

7.9.2 グローバルレジスタ詳細

7.9.2.1 DMACTL — DMA 制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASPD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.11 DMACTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DMASPD	<p>DMA 一時中断</p> <p>すべてのチャンネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャンネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャンネルの DMA 転送の一時中断状態を解除することができます。</p> <p>本ビットで制御する一時中断は、DMAC の各チャンネルの転送有効ビット (DTE) および DTS の一時中断設定ビット (DTSUST) で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。</p> <p>本ビットを操作しても、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットの状態は変わりません。</p> <p>0 : DMA 一時中断状態解除 1 : DMA 一時中断要求 DMA 一時中断状態</p>

注意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断/再開および転送中止」の注意事項を参照してください。

7.9.2.2 DTSCCTL1 — DTS 制御レジスタ 1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSUS T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.12 DTSCCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTSUST	DTS 一時中断 DTS の DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、DTS の DMA 転送を一時中断することができます。 0 : DTS 一時中断解除 1 : DTS 一時中断要求一時中断状態

注 意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断/再開および転送中止」の注意事項を参照してください。

7.9.2.3 DTSCCTL2 — DTS 制御レジスタ 2

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8014_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSTIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.13 DTSCCTL2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTSTIT	DTS 転送中止要求 DTS が一時中断状態の場合に、ユーザが 1 を書き込むことで一時中断中の DMA 転送を中止します。 DTS で一時中断中の DMA 転送を中止した場合、DTSSTS.DTSACT ビットが 0 になります。 本ビットのリード値は常に 0 です。

7.9.2.4 DTSSTS — DTS 状態レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DTSCY C	DTSACH[6:0]						DTSAC T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.14 DTSSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8	DTSCYC	DMA サイクル実行状態 DTS で DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中
7 ~ 1	DTSACH[6:0]	DTS 転送チャンネル DTS で DMA 転送中のチャンネルがある場合、そのチャンネル番号を示します。 DTS で DMA 転送中のチャンネルがない場合、最後に DMA 転送を行ったチャンネル番号を示します。
0	DTSACT	DTS 転送状態 DTS で DMA 転送中のチャンネルがあるかどうかを表します。 0 : DMA 転送中のチャンネルがない 1 : DMA 転送中のチャンネルがある DMA 転送中のチャンネルがある状態で DTS 一時中断状態になると本ビットは 1 のままです。DTSCYL2.DTSTIT ビットで DTS 転送中止要求を行うと、一時中断状態の DTS 転送を中止するとともに本ビットは 0 になります。 DMA 転送エラーが発生して DMA 転送が中止されると本ビットはクリアされま す。

7.9.2.5 DMACER — DMAC エラーレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1ER[7:0]								DM0ER[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.15 DMACER レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 8	DM1ER[7:0]	DMAC1 DMA 転送エラー状態 DMAC1 のチャンネル 0 ~ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC1 の各チャンネルの DCSTn.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生
7 ~ 0	DM0ER[7:0]	DMAC0 DMA 転送エラー状態 DMAC0 のチャンネル 0 ~ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャンネルの DCSTn.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生

7.9.2.6 DTSER1 — DTS エラーレジスタ 1

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8024_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DTSERCH[6:0]						—	—	—	—	—	—	DTSERWR	DTSER	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.16 DTSER1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 15	予約ビット	リードした場合はリセット後の値が読めます。
14 ~ 8	DTSERCH[6:0]	DTS エラーチャンネル DTSER ビットが0の状態では最初に DMA 転送エラーが発生した DTS チャンネル番号を示します。 本ビットはリードオンリーで、クリアできません。
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DTSERWR	DTS DMA 転送エラー発生サイクル DTS DMA 転送エラー発生フラグ (DTSER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。すでに DTSER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 DTSER ビットがクリアされると本ビットも0にクリアされます。 0: DMA 転送エラーがリードサイクルで発生した 1: DMA 転送エラーがライトサイクルで発生した
0	DTSER	DTS DMA 転送エラー発生フラグ DTS で DMA 転送エラーが発生したかどうかを示します。 0: DMA 転送エラー非発生 1: DMA 転送エラー発生 本ビットが0の状態では DTS で DMA 転送エラーが発生すると、本ビットがセットされるとともに DTSERCH6-0 に DMA 転送エラーが発生した DTS チャンネル番号が保持されます。 本ビットが1の状態では DTS で DMA 転送エラーが発生すると、本ビットはセットされたままで、DTSERCH6-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

7.9.2.7 DTSER2 — DTS エラーレジスタ 2

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8028_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDE D	RAMDE DOV	—	—	RAMDEDAD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSE D	RAMSE DOV	—	—	RAMSEDAD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.17 DTSER2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	RAMDED	DTSRAM 2 ビットエラー発生フラグ DTSRAM のリードアクセスで 2 ビットエラーが発生したことを示します。 0 : DTSRAM で 2 ビットエラーが発生していない 1 : DTSRAM で 2 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットがセットされるとともに RAMDEDAD11 ~ 0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットはセットされたままで、RAMDEDAD11 ~ 0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。
30	RAMDEDOV	DTSRAM 2 ビットエラーオーバフロー発生フラグ RAMDED ビットが 1 のときに、RAMDEDAD11 ~ 0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 2 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
29 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。
27 ~ 16	RAMDEDAD [11:0]	DTSRAM2 ビットエラーアドレス RAMDED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 2 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。
15	RAMSED	DTSRAM 1 ビットエラー発生フラグ DTSRAM のリードアクセスで 1 ビットエラーが発生したことを示します。 0 : DTSRAM で 1 ビットエラーが発生していない 1 : DTSRAM で 1 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM に 1 ビットエラーが発生すると、本ビットがセットされるとともに RAMSEDAD11-0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると本ビットはセットされたままで、RAMSEDAD11-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

表 7.17 DTSER2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	RAMSEDOV	DTSRAM 1 ビットエラーオーバフロー発生フラグ RAMSED ビットが 1 のときに、RAMSEDAD11 ~ 0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 1 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
13 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ~ 0	RAMSEDAD [11:0]	DTSRAM 1 ビットエラーアドレス RAMSED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 1 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。

7.9.2.8 DTSERC — DTS エラークリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 802C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDE DC	RAMDE DOVC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSE DC	RAMSE DOVC	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSER C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.18 DTSERC レジスタの内容

ビット位置	ビット名	機能
31	RAMDEDC	DTSRAM 2 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラー発生フラグ (DTSER2.RAMDED) をクリアします。 本ビットのリード値は常に 0 です。
30	RAMDEDOVC	DTSRAM 2 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMDEDOV) をクリアします。 本ビットのリード値は常に 0 です。
29 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	RAMSEDC	DTSRAM 1 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラー発生フラグ (DTSER2.RAMSED) をクリアします。 本ビットのリード値は常に 0 です。
14	RAMSEDOVC	DTSRAM 1 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMSEDOV) をクリアします。 本ビットのリード値は常に 0 です。
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTSERC	DTS エラー発生フラグクリア ユーザが 1 を書き込むと、DTS DMA 転送エラー発生フラグ (DTSER1.DTSER) をクリアします。 本ビットのリード値は常に 0 です。

7.9.2.9 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8030_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.19 DM0CMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ~ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3, 2 : アクセス元の SPID MINF1 : アクセス元の UM
16 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 4	VCH[2:0]	違反アクセス発生チャネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号 (0 ~ 7) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	VF	違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 0 : DMAC0 で違反アクセスが発生していない 1 : DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 0、VCH2 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 0、VCH2 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.10 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8034_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.20 DM1CMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。
22 ~ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ~ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3, 2 : アクセス元の SPID MINF1 : アクセス元の UM
16 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 4	VCH[2:0]	違反アクセス発生チャネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号 (0 ~ 7) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC1 で違反アクセスが発生したかどうかを示します。 0 : DMAC1 で違反アクセスが発生していない 1 : DMAC1 で違反アクセスが発生している 本ビットが 0 の状態で DMAC1 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 0、VCH2 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC1 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 0、VCH2 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.11 DTSCMV — DTS レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8038_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCH[6:0]						—	—	—	VF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.21 DTSCMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。
22 ~ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ~ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3, 2 : アクセス元の SPID MINF1 : アクセス元の UM
16 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 4	VCH[6:0]	違反アクセス発生チャネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号 (0 ~ 127) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DTS で違反アクセスが発生したかどうかを示します。 0 : DTS で違反アクセスが発生していない 1 : DTS で違反アクセスが発生している 本ビットが 0 の状態で DTS で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 0、VCH2 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DTS で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 0、VCH2 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.12 CMVC — レジスタアクセス保護違反クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 803C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSVC	DM1VC	DM0VC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 7.22 CMVC レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	DTSVC	DTS 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DTS の違反アクセス発生フラグ (DTSCMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。
1	DM1VC	DMAC1 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC1 の違反アクセス発生フラグ (DM1CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。
0	DM0VC	DMAC0 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC0 の違反アクセス発生フラグ (DM0CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。

7.9.2.13 DTSPRn — DTS チャンネル優先度設定レジスタ (n = 0 ~ 7)

• DTSPR0

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS15PR[1:0]		DTS14PR[1:0]		DTS13PR[1:0]		DTS12PR[1:0]		DTS11PR[1:0]		DTS10PR[1:0]		DTS9PR[1:0]		DTS8PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS7PR[1:0]		DTS6PR[1:0]		DTS5PR[1:0]		DTS4PR[1:0]		DTS3PR[1:0]		DTS2PR[1:0]		DTS1PR[1:0]		DTS0PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.23 DTSPR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[15:0]PR [1:0]	DTS チャンネル [15:0] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

• DTSPR1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS31PR[1:0]		DTS30PR[1:0]		DTS29PR[1:0]		DTS28PR[1:0]		DTS27PR[1:0]		DTS26PR[1:0]		DTS25PR[1:0]		DTS24PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS23PR[1:0]		DTS22PR[1:0]		DTS21PR[1:0]		DTS20PR[1:0]		DTS19PR[1:0]		DTS18PR[1:0]		DTS17PR[1:0]		DTS16PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.24 DTSPR1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[31:16]PR [1:0]	DTS チャンネル [31:16] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSR2

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS47PR[1:0]		DTS46PR[1:0]		DTS45PR[1:0]		DTS44PR[1:0]		DTS43PR[1:0]		DTS42PR[1:0]		DTS41PR[1:0]		DTS40PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS39PR[1:0]		DTS38PR[1:0]		DTS37PR[1:0]		DTS36PR[1:0]		DTS35PR[1:0]		DTS34PR[1:0]		DTS33PR[1:0]		DTS32PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.25 DTSR2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[47:32]PR [1:0]	DTS チャンネル [47:32] 優先順位設定 DTS チャンネルアービトラクション時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSR3

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 806C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS63PR[1:0]		DTS62PR[1:0]		DTS61PR[1:0]		DTS60PR[1:0]		DTS59PR[1:0]		DTS58PR[1:0]		DTS57PR[1:0]		DTS56PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS55PR[1:0]		DTS54PR[1:0]		DTS53PR[1:0]		DTS52PR[1:0]		DTS51PR[1:0]		DTS50PR[1:0]		DTS49PR[1:0]		DTS48PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.26 DTSR3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[63:48]PR [1:0]	DTS チャンネル [63:48] 優先順位設定 DTS チャンネルアービトラクション時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSR4

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8070_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS79PR[1:0]		DTS78PR[1:0]		DTS77PR[1:0]		DTS76PR[1:0]		DTS75PR[1:0]		DTS74PR[1:0]		DTS73PR[1:0]		DTS72PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS71PR[1:0]		DTS70PR[1:0]		DTS69PR[1:0]		DTS68PR[1:0]		DTS67PR[1:0]		DTS66PR[1:0]		DTS65PR[1:0]		DTS64PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.27 DTSR4 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[79:64]PR [1:0]	DTS チャンネル [79:64] 優先順位設定 DTS チャンネルアービトラクション時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSR5

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS95PR[1:0]		DTS94PR[1:0]		DTS93PR[1:0]		DTS92PR[1:0]		DTS91PR[1:0]		DTS90PR[1:0]		DTS89PR[1:0]		DTS88PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS87PR[1:0]		DTS86PR[1:0]		DTS85PR[1:0]		DTS84PR[1:0]		DTS83PR[1:0]		DTS82PR[1:0]		DTS81PR[1:0]		DTS80PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.28 DTSR5 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[95:80]PR [1:0]	DTS チャンネル [95:80] 優先順位設定 DTS チャンネルアービトラクション時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSR6

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8078_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS111PR[1:0]		DTS110PR[1:0]		DTS109PR[1:0]		DTS108PR[1:0]		DTS107PR[1:0]		DTS106PR[1:0]		DTS105PR[1:0]		DTS104PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS103PR[1:0]		DTS102PR[1:0]		DTS101PR[1:0]		DTS100PR[1:0]		DTS99PR[1:0]		DTS98PR[1:0]		DTS97PR[1:0]		DTS96PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.29 DTSR6 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[111:96] PR[1:0]	DTS チャンネル [111:96] 優先順位設定 DTS チャンネルアービトラージ時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSR7

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 807C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS127PR[1:0]		DTS126PR[1:0]		DTS125PR[1:0]		DTS124PR[1:0]		DTS123PR[1:0]		DTS122PR[1:0]		DTS121PR[1:0]		DTS120PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS119PR[1:0]		DTS118PR[1:0]		DTS117PR[1:0]		DTS116PR[1:0]		DTS115PR[1:0]		DTS114PR[1:0]		DTS113PR[1:0]		DTS112PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.30 DTSR7 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[127:112] PR[1:0]	DTS チャンネル [127:112] 優先順位設定 DTS チャンネルアービトラージ時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

7.9.2.14 DTRECCTL — DTSRAM ECC コントロールレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8080_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.31 DTRECCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本レジスタへの書き込みは (PROT1, PROT0) = (0, 1) で行ってください。
29 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	DTSRAM SEC エラー訂正ディスエーブル ECCDIS ビットが0のときに、SEC エラー訂正の許可/禁止を設定するためのビットです。 本ビットの状態に関係なく、ECC1 ビットエラー検出動作は ECCDIS ビットが0であれば、常に行われます。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : SEC エラー検出時にエラー訂正する 1 : SEC エラー検出時にエラー訂正しない
0	ECCDIS	DTSRAM ECC ディスエーブル DTSRAM の ECC エラー検出訂正機能の有効/無効を設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : DTSRAM ECC エラー検出訂正機能が有効 1 : DTSRAM ECC エラー検出訂正機能が無効 備 考 エラー検出訂正機能が無効の場合でもエンコード機能は有効です。

7.9.2.15 DTRERINT — DTSRAM エラー通知コントロールレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8084_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.32 DTRERINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	DTSRAM2 ビットエラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、2 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 2 ビットエラーの ECM への通知禁止 1 : 2 ビットエラーの ECM への通知許可
0	SEDIE	DTSRAM 1 ビットエラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、1 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 1 ビットエラーの ECM への通知禁止 1 : 1 ビットエラーの ECM への通知許可

7.9.2.16 DTRTSCTL — DTSRAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモードの設定、DTSRAM へ書き込む ECC データの選択が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.33 DTRTSCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCTST ビット、DATSEL ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは (PROT1, PROT0) = (0, 1) で行ってください。
29 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	DTSRAM ECC テストモード DTSRAM の ECC テストモードを設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0: ECC テストモード無効 1: ECC テストモード有効
0	DATSEL	ECC テストデータ選択 ECCTST = 1 の時に有効で、DTSRAM に書き込む ECC データを選択します。このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0: 書き込みデータからエンコードした ECC を使用 1: DTSRAM テスト書き込みデータレジスタ (DTRTWDAT) で指定した値を使用

7.9.2.17 DTRTWDAT — DTSRAM テスト書き込みデータレジスタ

ECCテスト（自己診断）時に使用するレジスタです。ECCテストモード（ECCTST = 1）セット後、DTSRAMに書き込むECCデータを指定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8098_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TWDAT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.34 DTRTWDAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	TWDAT[6:0]	ECCテスト書き込みデータ DTRTSCTL.ECCTST = 1 かつ DTRTSCTL.DATSEL = 1 のときに、DTSRAMに書き込むECCデータの値を指定します。 本ビットへの書き込みはDTRTSCTL.ECCTST = 1 のときに可能です。 DTRTSCTL.ECCTST = 0 のときは書き込みできず、リードすると0が読み出されます。

7.9.2.18 DTRTRDAT — DTSRAM テスト読み出しデータレジスタ

ECCテスト（自己診断）時に使用するレジスタです。ECCテストモード（ECCTST = 1）セット後、DTSRAMのECCデータをリードすることが可能です。

アクセス 32ビット単位でリード可能です。

アドレス FFFF 809C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TRDAT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.35 DTRTRDAT レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	TRDAT[6:0]	ECCテスト読み出しデータ DTRTSCTL.ECCTST = 1のときに、DTSRAMから最後に読み出したECCデータを保持します。 DTRTSCTL.ECCTST = 0のときにリードすると0が読み出せません。

7.9.2.19 DMnnCM — DMAC チャンルマスタ設定レジスタ (nn = 00 ~ 07、10 ~ 17)

アクセス 32ビット単位でリード/ライト可能です

アドレス FFFF 8100_H + 4_H × チャンネル番号 n (n = 0 ~ 7)
 FFFF 8120_H + 4_H × チャンネル番号 n - 10 (n = 10 ~ 17)

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PEID[2:0]		SPID[1:0]		UM	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 7.36 DMnnCM レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 4	PEID[2:0]	チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。
3、2	SPID[1:0]	チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。
1	UM	チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

DM00CM ~ DM07CM は DMAC0 チャンネル 0 ~ 7 のチャンネルマスタ情報を設定
 DM10CM ~ DM17CM は DMAC1 チャンネル 0 ~ 7 のチャンネルマスタ情報を設定

本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

7.9.2.20 DTSnnnCM — DTS チャンルマスタ設定レジスタ (nnn = 000 ~ 127)

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8200_H + 4_H × チャンネル番号 n (n = 0 ~ 127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID[2:0]			SPID[1:0]		UM	—
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.37 DTSnnnCM レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。
22 ~ 20	PEID[2:0]	チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。
19、18	SPID[1:0]	チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。
17	UM	チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。
16	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。
15 ~ 0	CMC[15:0]	転送回数コンペア このフィールドは「7.11.3.8 DTTCn — DTS 転送回数コンペアレジスタ」のビット [15:0] の内容と同じです。

注 意

DTS000CM ~ DTS127CM は DTS チャンネル 0 ~ 127 のチャンネルマスタ情報を設定

本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

注 意

このレジスタの下位 16 ビットは、DTS チャンネルレジスタの DTS 転送回数コンペアレジスタと共通です。

このレジスタに対するライトの結果は、DTS 転送回数コンペアレジスタにも反映されます。

DTS チャンネルマスタ設定レジスタの推奨設定手順

特殊マスタによる DMA 全体動作設定時に、このレジスタのビット 22～17 にチャンネルマスタ設定を行うとともに、ビット 15～0、およびリザーブビット（ビット 31～23、ビット 16）は 0 で初期化してください。

チャンネルに割り当てられたマスタが転送回数コンペア値を書き換える場合には、DTS 転送回数コンペアレジスタを利用してください。

本レジスタのリザーブビットは、値の読み書きが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

7.10 DMAC チャネルレジスタ

7.10.1 DMAC チャネルレジスタアドレス

アドレス=ベースアドレス “FFFF 8000_H” + オフセットアドレス

表 7.38 DMAC チャネルレジスタアドレス

モジュール名	オフセットアドレス	レジスタ略称	意味	アクセス許可	
				特殊マスタ	一般マスタ
DMASS	0400 _H + 40 _H * [チャネル番号]	DSAn	DMAC ソースアドレス	○	○
DMASS	0404 _H + 40 _H * [チャネル番号]	DDAn	DMAC ディスティネーションアドレス	○	○
DMASS	0408 _H + 40 _H * [チャネル番号]	DTCn	DMAC 転送回数	○	○
DMASS	040C _H + 40 _H * [チャネル番号]	DTCTn	DMAC 転送制御	○	○
DMASS	0410 _H + 40 _H * [チャネル番号]	DRSAn	DMAC リロードソースアドレス	○	○
DMASS	0414 _H + 40 _H * [チャネル番号]	DRDAn	DMAC リロードディスティネーションアドレス	○	○
DMASS	0418 _H + 40 _H * [チャネル番号]	DRTCn	DMAC リロード転送回数	○	○
DMASS	041C _H + 40 _H * [チャネル番号]	DTCCn	DMAC 転送回数コンペア	○	○
DMASS	0420 _H + 40 _H * [チャネル番号]	DCENn	DMAC チャネル動作有効設定	○	○
DMASS	0424 _H + 40 _H * [チャネル番号]	DCSTn	DMAC 転送ステータス	○	○
DMASS	0428 _H + 40 _H * [チャネル番号]	DCSTSn	DMAC 転送ステータスセット	○	○
DMASS	042C _H + 40 _H * [チャネル番号]	DCSTCn	DMAC 転送ステータスクリア	○	○
DMASS	0430 _H + 40 _H * [チャネル番号]	DTFRn	DTFR 設定	○	○
DMASS	0434 _H + 40 _H * [チャネル番号]	DTFRRQn	DTFR 転送要求ステータス	○	○
DMASS	0438 _H + 40 _H * [チャネル番号]	DTFRRQCn	DTFR 転送要求クリア	○	○

注 1. オフセットアドレスの [チャネル番号] およびレジスタ略称の n は 0 ~ 15 で、対応は以下のとおりです。

チャネル番号 n	チャネル
0	DMAC0 channel 0
1	DMAC0 channel 1
2	DMAC0 channel 2
3	DMAC0 channel 3
4	DMAC0 channel 4
5	DMAC0 channel 5
6	DMAC0 channel 6
7	DMAC0 channel 7
8	DMAC1 channel 0
9	DMAC1 channel 1
10	DMAC1 channel 2
11	DMAC1 channel 3
12	DMAC1 channel 4
13	DMAC1 channel 5
14	DMAC1 channel 6
15	DMAC1 channel 7

7.10.2 DMAC チャネルレジスタ詳細

レジスタ名称の n は、DMAC チャネル番号 (n = 0 ~ 15) を示します。

7.10.2.1 DSA_n — DMAC ソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8400_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.39 DSA_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せません。

注 意

1. チャネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが "0" の状態で設定してください。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (×は任意の 1 ビットを表します)。下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.2 DDA_n — DMAC ディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8404_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.40 DDA_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せます。

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが "0" の状態で設定してください。
3. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します。
4. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (×は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.3 DTCn — DMAC 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8408_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.41 DTCn レジスタの内容

ビット位置	ビット名	機能										
31 ~ 16	ARC[15:0]	<p>アドレスリロードカウンタ</p> <p>リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウンタが読み出せます。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクル毎に 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。</p> <p>0000_H はリロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数が 65536 回であることを示します。</p>										
15 ~ 0	TRC[15:0]	<p>転送回数</p> <p>転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算されて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TRC15-0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>65536 回転送、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table>	TRC15-0	動作	0000 _H	65536 回転送、または転送完了	0001 _H	1 回転送、または残り転送回数 1 回	:	:	FFFF _H	65535 回転送、または残り転送回数 65535 回
TRC15-0	動作											
0000 _H	65536 回転送、または転送完了											
0001 _H	1 回転送、または残り転送回数 1 回											
:	:											
FFFF _H	65535 回転送、または残り転送回数 65535 回											

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します。

7.10.2.4 DTCTn — DMAC 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 840C_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	DRS	—	—	—	—	—	CHNSEL[2:0]			CHNE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	MLE	RLD2M[1:0]		RLD1M[1:0]		DACM[1:0]		SACM[1:0]		DS[2:0]		TRM[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.42 DTCTn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27	ESE	転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが 1 にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行する 1 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行しない
26	DRS	DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0 : ソフトウェア DMA 転送要求 1 : ハードウェア DMA 転送要求
25 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ~ 18	CHNSEL[2:0]	チェイン先選択 チェイン先のチャンネルを指定します。 チェイン先は同一 DMAC 内の別のチャンネルをしてください。異なる DMAC および DTS のチャンネルへのチェインは指定できません。チェイン先のチャンネルをチェイン元のチャンネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。
17, 16	CHNE[1:0]	チェインイネーブル チェイン機能を設定します。 00 : 無効 01 : 最終転送でチェイン 残り転送回数が 1 回の DMA サイクルが完了した際にチェインします 10 : (設定禁止、設定した場合の動作を保証しません) 11 : 常にチェイン DMA サイクルが完了するたびにチェインします
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みが発生します。

表 7.42 DTCTn レジスタの内容 (2/3)

ビット位置	ビット名	機能															
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。															
13	MLE	連続転送イネーブル このビットをセットすると、DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。 0: DMA 転送完了時に DTE ビットをクリアします。また、TC ビットをクリアしてからでないと、次の DMA 転送を開始しません 1: DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います															
12、11	RLD2M[1:0]	リロード機能 2 設定 リロード機能 2 の設定をします。 00: リロード機能 2 無効 01: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウン트를リロード 10: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウン트를リロード 11: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウン트를リロード															
10、9	RLD1M[1:0]	リロード機能 1 設定 リロード機能 1 の設定をします 00: リロード機能 1 無効 01: リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード) 10: リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード) 11: リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード)															
8、7	DACM[1:0]	ディスティネーションアドレスカウンタ方向 ディスティネーションアドレスのカウンタ方向を設定します。 <table border="1" data-bbox="667 1413 1399 1603"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DACM1	DACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)
DACM1	DACM0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止 (設定した場合の動作を保証しません)															
6、5	SACM[1:0]	ソースアドレスカウンタ方向 ソースアドレスのカウンタ方向を設定します。 <table border="1" data-bbox="667 1704 1399 1895"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	SACM1	SACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)
SACM1	SACM0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止 (設定した場合の動作を保証しません)															

表 7.42 DTCTn レジスタの内容 (3/3)

ビット位置	ビット名	機能																												
4 ~ 2	DS[2:0]	転送データサイズ 転送データサイズを設定します。 <table border="1" data-bbox="651 376 1417 640"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DS2	DS1	DS0	転送データサイズ	0	0	0	8ビット	0	0	1	16ビット	0	1	0	32ビット	0	1	1	64ビット	1	0	0	128ビット	上記以外			設定禁止 (設定した場合の動作を保証しません)
DS2	DS1	DS0	転送データサイズ																											
0	0	0	8ビット																											
0	0	1	16ビット																											
0	1	0	32ビット																											
0	1	1	64ビット																											
1	0	0	128ビット																											
上記以外			設定禁止 (設定した場合の動作を保証しません)																											
1、0	TRM[1:0]	転送モード DMA 転送モードを設定します 00: シングル転送 01: ブロック転送 1 (転送回数で指定した回数分を転送) 10: ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11: 設定禁止 (設定した場合の動作を保証しません)																												

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) では、MLE ビットを "1" から "0" へ設定する事のみ可能です。(MLE ビット以外の値を変更した場合の動作は保証しません)
2. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

7.10.2.5 DRSA_n — DMAC リロードソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8410_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.43 DRSA_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。

注 意

ミスラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (× は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.6 DRDAn — DMAC リロードディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8414_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.44 DRDAn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ディスティネーションアドレスレジスタにリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (× は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.7 DRTCn — DMAC リロード転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8418_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.45 DRTCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RARC[15:0]	リロードアドレスリロードカウンタ リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウンタにリロードする値を設定します。
15 ~ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。

7.10.2.8 DTCCn — DMAC 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 841C_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.46 DTCCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	CMC[15:0]	転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、DMAC 転送ステータスレジスタの転送完了一致フラグ (DCSTn.CC) がセットされます。さらに DMAC 転送制御レジスタの転送回数一致割り込みイネーブル (DTCTn.CCE) ビットが 1 の場合は、転送回数一致割り込みを発生します。0000 _H を設定した場合には、転送回数とのコンペアを行いません。その場合、DMAC 転送ステータスレジスタの転送完了一致フラグはセットされず、転送回数一致割り込みも発生しません。

注 意

チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

7.10.2.9 DCENn — DMAC チャンネル動作有効設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8420_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.47 DCENn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTE	チャンネル動作有効 チャンネルの転送動作の有効、無効を設定します。DTE ビットが1の状態、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に MLE ビットが0の場合、自動的にクリアします。また、DMA 転送中に DTE ビットに0を書き込むと、DMA 転送を一時中断します。一時中断した状態で DTE ビットに1を書き込むと、一時中断を解除して DMA 転送を再開します 0: チャンネル動作無効チャンネル一時中断 1: チャンネル動作有効チャンネル一時中断解除

7.10.2.10 DCSTn — DMAC 転送ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8424_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ERWR	—	—	CY	ER	—	CC	TC	—	—	DR	SR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.48 DCSTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	ERWR	DMA 転送エラー発生サイクル DMA 転送エラーフラグ (ER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 ER ビットがクリアされると本ビットも 0 にクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した
10 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8	CY	DMA サイクル実行状態 このチャンネルで DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中
7	ER	転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ DTCTn.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
6	予約ビット	リードした場合はリセット後の値が読めます。
5	CC	転送回数一致フラグ 残り転送回数が転送回数コンペアレジスタの設定値と一致する DMA サイクルが完了した際にセットされます。 0 : 転送回数コンペアレジスタと転送回数の一致が発生していない 1 : 転送回数コンペアレジスタと転送回数の一致が発生した
4	TC	転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送未完了 1 : DMA 転送完了
3 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。

表 7.48 DCSTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	DR	<p>ハードウェア DMA 転送要求状態</p> <p>DTFR からのハードウェア DMA 転送要求 (DMARQ) があることを示します。本ビットは DTFR からのハードウェア DMA 転送要求があると、DTE ビットの状態にかかわらず変化します。DMAC 転送制御レジスタの転送要求選択ビット (DRS) でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。</p> <p>0: ハードウェア DMA 転送要求なし 1: ハードウェア DMA 転送要求あり</p>
0	SR	<p>ソフトウェア DMA 転送要求フラグ</p> <p>ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的にクリアされます。ユーザは DMAC 転送ステータスセットレジスタ (DCSTSn) の SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ (DCSTCn) の SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。</p> <p>0: ソフトウェア DMA 転送要求なし 1: ソフトウェア DMA 転送要求あり</p>

7.10.2.11 DCSTSn — DMAC 転送ステータスセットレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8428_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.49 DCSTSn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRS	ソフトウェア DMA 転送要求セット ユーザは本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ (SR) をセットすることができます。本ビットのリード値は常に 0 です。

7.10.2.12 DCSTCn — DMAC 転送ステータスクリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 842C_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC	—	CCC	TCC	—	—	—	SRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R	R/W

表 7.50 DCSTCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ERC	転送エラーフラグクリア 本ビットに1を書き込むことでDMA転送エラーフラグ(ER)をクリアすることができます。本ビットのリード値は常に0です。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CCC	転送回数一致フラグクリア 本ビットに1を書き込むことで転送回数一致フラグ(CC)をクリアすることができます。本ビットのリード値は常に0です。
4	TCC	転送完了フラグクリア 本ビットに1を書き込むことで転送完了フラグ(TC)をクリアすることができます。本ビットのリード値は常に0です。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRC	ソフトウェアDMA転送要求フラグクリア 本ビットに1を書き込むことでソフトウェアDMA転送要求フラグ(SR)をクリアすることができます。本ビットのリード値は常に0です。

7.10.2.13 DTFRn — DTFR 設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8430_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REQSEL[6:0]							REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.51 DTFRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 1	REQSEL[6:0]	ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000 : DMACTRG[0] 入力を選択 ~ 111_1111 : DMACTRG[127] 入力を選択
0	REQEN	ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0 : ハードウェア DMA 転送要因選択無効 1 : ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、REQSEL6 ~ 0 ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。

7.10.2.14 DTFRRQn — DTFR 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8434_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.52 DTFRRQn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	DRQ	<p>ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。</p> <ul style="list-style-type: none"> エッジ検出のハードウェア DMA 転送要求の場合^{注1} エッジ検出したハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされると自動的にクリアされます。ユーザは DTFRRQC.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合^{注1} ハードウェア DMA 転送要求入力の有無を示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされても自動的にクリアされません。 またユーザは DTFRRQC.DRQC ビットを操作しても本ビットをクリアすることはできません。 <p>本ビットはハードウェア DMA 転送要求があると、DTFRn.REQEN ビットの状態にかかわらず変化します。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり</p>

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.10.2.15 DTFRRQCn — DTFR 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8438_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.53 DTFRRQCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQC	ハードウェア DMA 転送要求クリア エッジ検出のハードウェア DMA 転送要求の場合 ^{注1} 、ユーザは本ビットに 1 を書き込むことで DTFRRQ.DRQ ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合 ^{注1} 、本ビットを操作しても DTFRRQ.DRQ ビットをクリアすることはできません。 本ビットのリード値は常に 0 です。

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.11 DTS チャネルレジスタ

7.11.1 DTS の転送情報 (TI)

7.11.1.1 TI 構成

DTS 転送情報を TI (Transfer Information) と呼び、32 ビットを 1 つの TI として、1 チャネルあたり 8 つの TI が割り当てられます。8 つの TI をそれぞれ TI-A、TI-B、TI-C、TI-D、TI-E、TI-F、TI-G、TI-H と呼びます。

図 7.12 に TI の構成を示します。

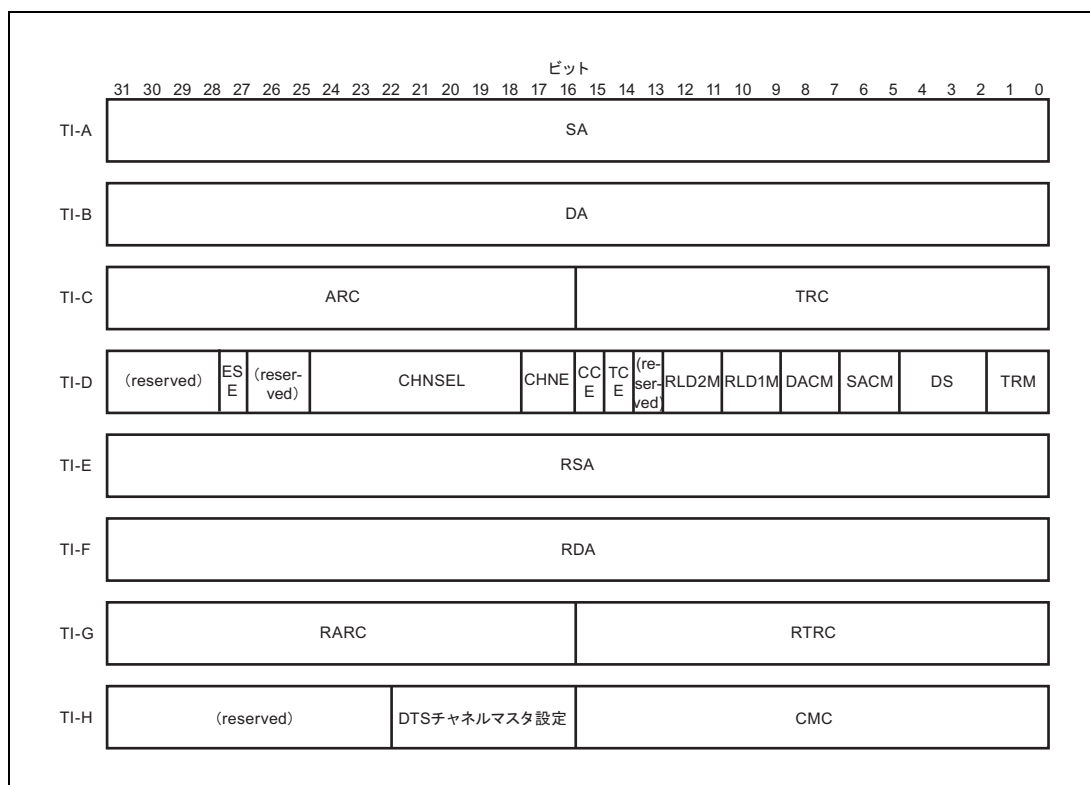


図 7.12 TI の構成

7.11.1.2 DTSRAM 内の TI 配置

ユーザは各チャンネルの DTS チャンネルレジスタおよび DTS チャンネルマスタ設定レジスタにアクセスすることで、間接的に DTSRAM にアクセスを行います。

したがって、ユーザは通常 DTSRAM 内の TI 配置アドレスを意識する必要はありません。

ただし、DTSRAM リード時に ECC エラーが発生した場合、グローバルレジスタの DTSRAM エラーレジスタ 2 (DTSER2) に ECC エラーが発生した DTSRAM 上のアドレスが保存されます。DTSRAM の ECC エラー発生時にどのチャンネルのどの TI でエラーが発生したのかを DTSRAM エラーレジスタの内容から知るためには、DTSRAM 内の TI 配置アドレスを理解する必要があります。

図 7.13 に DTSRAM 内の TI 配置アドレスを示します。

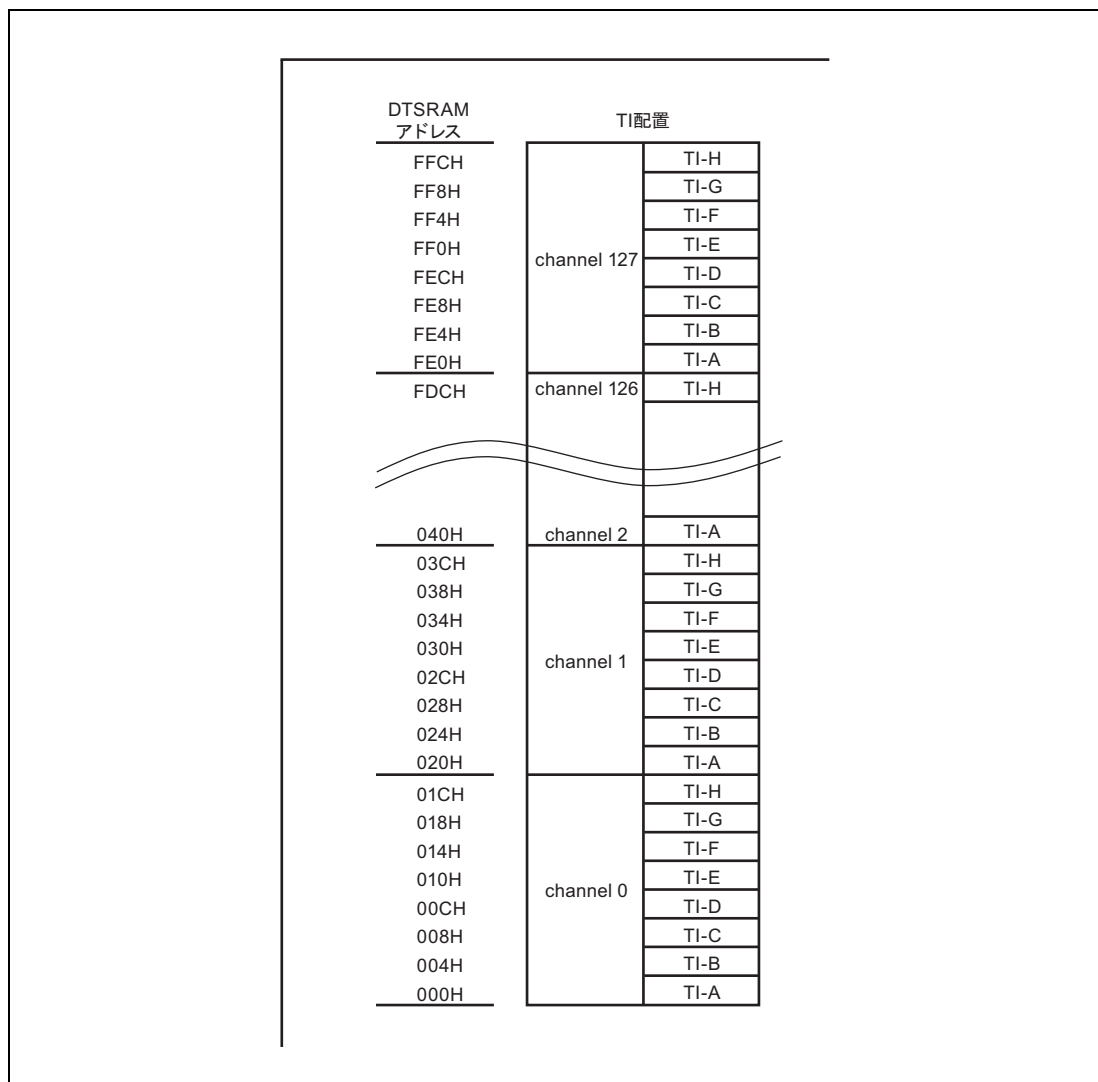


図 7.13 DTSRAM 内の TI 配置

7.11.1.3 TIへのアクセス方法

TI-A は、各チャネルの DTS ソースアドレスレジスタ (DTSAnnn) からアクセスが可能です。

TI-B は、各チャネルの DTS ディスティネーションアドレスレジスタ (DTDAnnn) からアクセスが可能です。

TI-C は、各チャネルの DTS 転送回数レジスタ (DTTCnnn) からアクセスが可能です。

TI-D は、各チャネルの DTS 転送制御レジスタ (DTTCTnnn) からアクセスが可能です。

TI-E は、各チャネルの DTS リロードソースアドレスレジスタ (DTRSAnnn) からアクセスが可能です。

TI-F は、各チャネルの DTS リロードディスティネーションアドレスレジスタ (DTRDAnnn) からアクセスが可能です。

TI-G は、各チャネルの DTS リロード転送回数レジスタ (DTRTCnnn) からアクセスが可能です。

TI-H はグローバルレジスタのチャネルマスタ設定レジスタ (DTSnnnCM)、および各チャネルの転送回数コンペアレジスタ (DTTCnnn) からアクセスが可能です。

7.11.1.4 TI アクセスの際の注意点

DTS チャネルマスタ設定レジスタの内容と DTS 転送回数コンペアレジスタの内容は同一の TI-H に格納されます。

DTS チャネルマスタ設定レジスタ (DTSnnnCM) へのアクセスは、32 ビットの TI-H 全体に対するアクセスとなります。したがって、DTS チャネルマスタ設定レジスタへのライトアクセスでは、下位 16 ビットの DTS 転送回数コンペア (CMC) の値も同時に書き換えられます。DTS チャネルマスタ設定レジスタへのリードアクセスでは、下位 16 ビットに DTS 転送回数コンペア (CMC) の値が読み出されます。

DTS 転送回数コンペアレジスタ (DTTCnnn) へのリードアクセスでは、32 ビットの TI-H をリードした結果の下位 16 ビットのみがレジスタリード結果に反映されます。DTS 転送回数コンペアレジスタ (DTTCnnn) へのライトアクセスでは、32 ビットの TI-H に対する下位 16 ビットのリードモディファイライトアクセスを行います。リセット直後の TI の内容は不定であり、DTS チャネルマスタ設定レジスタを行わないまま DTS 転送回数コンペアレジスタ (DTTCnnn) へのライトアクセスを行うと、リードモディファイライトアクセスのリード時に ECC エラーを検出する可能性がありますので注意してください。

TI-H のビット 31 ~ 23 は未使用ですが、DTS チャネルマスタ設定レジスタにアクセスすることでリードライトが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

TI を格納する DTSRAM のリセット後の内容は不定です。リセット後、値をライトする前の TI に対してリードを行うと ECC エラーが発生します。

したがって、リセット後の次のレジスタへの最初のアクセスは、必ずライトアクセスを行ってください。リセット後の最初のアクセスでリードアクセスを行わないでください。

- DTS ソースアドレスレジスタ (DTSAnnn)
- DTS ディスティネーションアドレスレジスタ (DTDAnnn)
- DTS 転送回数レジスタ (DTTCnnn)
- DTS 転送制御レジスタ (DTTCTnnn)
- DTS リロードソースアドレスレジスタ (DTRSAnnn)

- DTS リロードディスティネーションアドレスレジスタ (DTRDA_{nnn})
- DTS リロード転送回数レジスタ (DTRTC_{nnn})
- チャンネルマスタ設定レジスタ (DTS_{nnn}CM)

また、リセット後の DTS 転送回数コンペアレジスタ (DTTC_{nnn}) への最初のアクセスは、必ずチャンネルマスタ設定レジスタ (DTS_{nnn}CM) へのライトアクセスを行ったあとに行ってください。

DTS で DMA 転送を実行中でも CPU からの TI アクセスが可能です。その際、次の点に注意してください。

- DMA 転送を実行中のチャンネルの TI を CPU からの TI アクセスで書き換える操作は行わないようにしてください。DMA 転送の結果と TI の内容に不整合が生じる可能性があります。
- TI フェッチまたは TI ライトバックの実行中に CPU からの TI アクセス要求があると、TI フェッチまたは TI ライトバックの完了を待ってから TI アクセスを実行します。また、CPU からの TI アクセス要求の処理中に TI フェッチまたは TI ライトバックが発生すると、TI アクセス処理の完了を待ってから TI フェッチまたは TI ライトバックを実行します。

7.11.2 DTS チャンネルレジスタアドレス

アドレス=ベースアドレス “FFFF 9000_H” + オフセットアドレス

モジュール名	オフセットアドレス	レジスタ略称	意味	アクセス許可	
				特殊マスタ	一般マスタ
DMASS	0000 _H + 40 _H * [チャンネル番号]	DTS _{nnn}	DTS ソースアドレス	○	○
DMASS	0004 _H + 40 _H * [チャンネル番号]	DTD _{nnn}	DTS ディスティネーションアドレス	○	○
DMASS	0008 _H + 40 _H * [チャンネル番号]	DTTC _{nnn}	DTS 転送回数	○	○
DMASS	000C _H + 40 _H * [チャンネル番号]	DTTC _{Tnnn}	DTS 転送制御	○	○
DMASS	0010 _H + 40 _H * [チャンネル番号]	DTRS _{nnn}	DTS リロードソースアドレス	○	○
DMASS	0014 _H + 40 _H * [チャンネル番号]	DTRDA _{nnn}	DTS リロードディスティネーションアドレス	○	○
DMASS	0018 _H + 40 _H * [チャンネル番号]	DTRTC _{nnn}	DTS リロード転送回数	○	○
DMASS	001C _H + 40 _H * [チャンネル番号]	DTTC _{Cnnn}	DTS 転送回数コンペア	○	○
DMASS	0020 _H + 40 _H * [チャンネル番号]	DTFSL _{nnn}	DTFSL 動作設定	○	○
DMASS	0024 _H + 40 _H * [チャンネル番号]	DTFST _{nnn}	DTFSL 転送要求ステータス	○	○
DMASS	0028 _H + 40 _H * [チャンネル番号]	DTFSS _{nnn}	DTFSL 転送要求セット	○	○
DMASS	002C _H + 40 _H * [チャンネル番号]	DTFSC _{nnn}	DTFSL 転送要求クリア	○	○

注 1. オフセットアドレスの [チャンネル番号] は 0 ~ 127
レジスタ名称の nnn は 3 桁のチャンネル番号 000 ~ 127

7.11.3 DTS チャネルレジスタ詳細

レジスタ名称の nnn の部分は DTS チャネル番号 (nnn = 000 ~ 127) を示します。

7.11.3.1 DTSA_{nnn} — DTS ソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9000_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

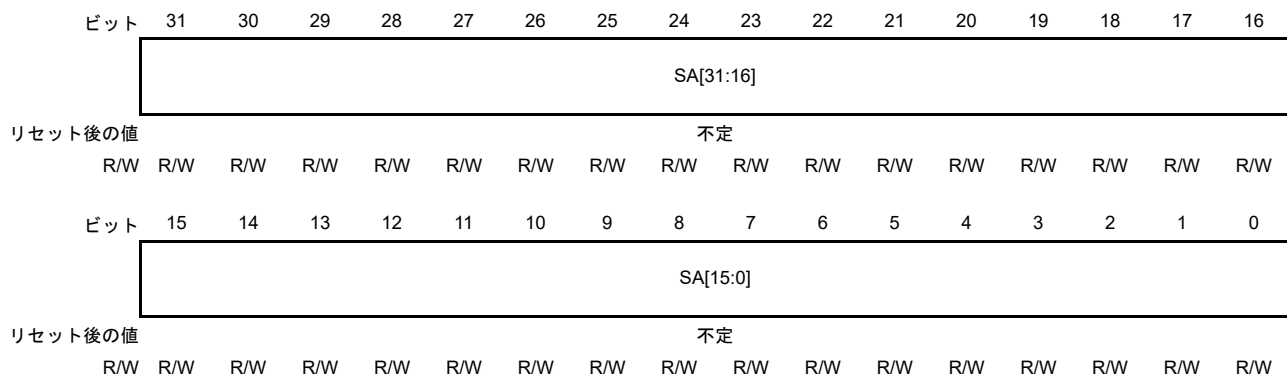


表 7.54 DTSA_{nnn} レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。 TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送元アドレスが保持されます。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (× は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.2 DTDAnnn — DTS ディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9004_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

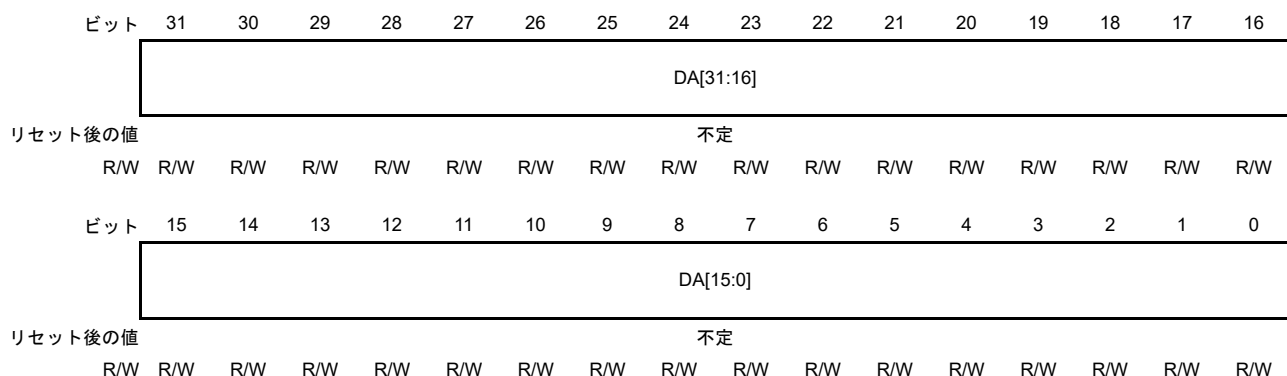


表 7.55 DTDAnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送先アドレスが保持されます。

注 意

- DMA 転送のリードサイクルで DMA 転送エラーが発生すると、ライトサイクルは実行しません。ディスティネーションアドレスは更新しません。
- ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (× は任意の 1 ビットを表します)。下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.3 DTTcnnn — DTS 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9008_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

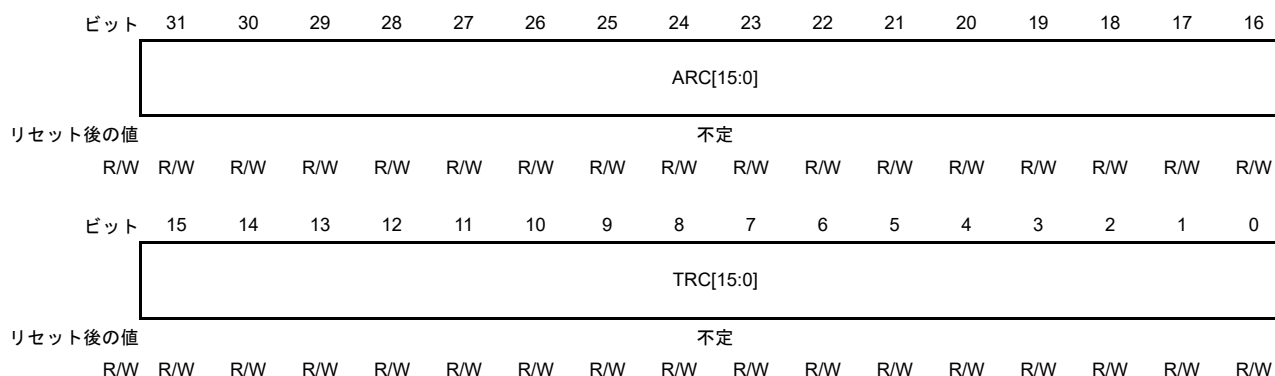


表 7.56 DTTcnnn レジスタの内容

ビット位置	ビット名	機能										
31 ~ 16	ARC[15:0]	<p>アドレスリロードカウンタ</p> <p>リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。リロード機能 2 またはブロック転送 2 を使用する場合本ビットは DMA サイクルごとに 1 ずつ減算され、TI ライトバック時に更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。</p> <p>0000_H を設定した場合にはアドレスリロードは発生しません。</p> <p>DMA サイクル開始時の値が 0000_H の場合、DMA サイクルが発生してもアドレスリロードカウンタは減算されません。</p>										
15 ~ 0	TRC[15:0]	<p>転送回数</p> <p>転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算され、TI ライトバック時に更新されます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <p>0000_H を設定した場合、DMA 転送要求を受け付けても DMA 転送を行いません。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TRC[15:0]</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>転送無効、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table>	TRC[15:0]	動作	0000 _H	転送無効、または転送完了	0001 _H	1 回転送、または残り転送回数 1 回	:	:	FFFF _H	65535 回転送、または残り転送回数 65535 回
TRC[15:0]	動作											
0000 _H	転送無効、または転送完了											
0001 _H	1 回転送、または残り転送回数 1 回											
:	:											
FFFF _H	65535 回転送、または残り転送回数 65535 回											

注 意

- DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します。
- DMAC と異なり、DTS の転送回数の "0000_H" は 65536 回転送ではなく、転送無効または転送完了を示します。

7.11.3.4 DTTCTnnn — DTS 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 900C_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	—	—	CHNSEL[6:0]						CHNE[1:0]		
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	—	RLD2M[1:0]	RLD1M[1:0]	DACM[1:0]	SACM[1:0]	DS[2:0]		TRM[1:0]						
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.57 DTTCTnnn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。
27	ESE	転送エラー時 DMA 転送中止設定 DMA 転送エラーが発生した場合に DMA 転送を中止するかどうかを設定します。 本ビットが0にセットされている場合は、DMA 転送エラーが発生しても DMA 転送を継続します。 本ビットが1にセットされている場合は、DMA 転送エラーが発生した場合、残りの DMA 転送を中止します。 0 : DMA 転送エラーが発生した場合に DMA 転送を継続する 1 : DMA 転送エラーが発生した場合に DMA 転送を中止する
26 ~ 25	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。
24 ~ 18	CHNSEL[6:0]	チェーン先選択 チェーン先のチャンネルを指定します。 チェーン先は DTS 内の別のチャンネルを指定してください。DMAC のチャンネルへのチェーンは指定できません。 チェーン先のチャンネルをチェーン元のチャンネルと同一に指定することは禁止です。(設定した場合の動作を保証しません。)
17 ~ 16	CHNE[1:0]	チェーンイネーブル チェーン機能を設定します 00 : 無効 01 : 最終転送でチェーン 残り転送回数が1回の DMA サイクルが完了した際にチェーンします 10 : (設定禁止、設定した場合の動作を保証しません) 11 : 常にチェーン DMA サイクルが完了するたびにチェーンします
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みを発生します。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。
13	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。

表 7.57 DTTCTnnn レジスタの内容 (2/3)

ビット位置	ビット名	機能																												
12、11	RLD2M[1:0]	<p>リロード機能 2 設定 リロード機能 2 の設定をします</p> <p>00：リロード機能 2 無効 01：リロード機能 2 有効 アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウントをリロード</p> <p>10：リロード機能 2 有効 アドレスリロードカウントが 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウントをリロード</p> <p>11：リロード機能 2 有効 アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウントをリロード</p>																												
10、9	RLD1M[1:0]	<p>リロード機能 1 設定 リロード機能 1 の設定をします</p> <p>00：リロード機能 1 無効 01：リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）</p> <p>10：リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）</p> <p>11：リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）</p>																												
8、7	DACM[1:0]	<p>ディスティネーションアドレスカウント方向 ディスティネーションアドレスのカウント方向を設定します。</p> <table border="1"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止（設定した場合の動作を保証しません）</td> </tr> </tbody> </table>	DACM1	DACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止（設定した場合の動作を保証しません）													
DACM1	DACM0	カウント方向																												
0	0	インクリメント																												
0	1	デクリメント																												
1	0	固定																												
1	1	設定禁止（設定した場合の動作を保証しません）																												
6、5	SACM[1:0]	<p>ソースアドレスカウント方向 ソースアドレスのカウント方向を設定します。</p> <table border="1"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止（設定した場合の動作を保証しません）</td> </tr> </tbody> </table>	SACM1	SACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止（設定した場合の動作を保証しません）													
SACM1	SACM0	カウント方向																												
0	0	インクリメント																												
0	1	デクリメント																												
1	0	固定																												
1	1	設定禁止（設定した場合の動作を保証しません）																												
4～2	DS[2:0]	<p>転送データサイズ 転送データサイズを設定します。</p> <table border="1"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止（設定した場合の動作を保証しません）</td> </tr> </tbody> </table>	DS2	DS1	DS0	転送データサイズ	0	0	0	8 ビット	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	64 ビット	1	0	0	128 ビット	上記以外			設定禁止（設定した場合の動作を保証しません）
DS2	DS1	DS0	転送データサイズ																											
0	0	0	8 ビット																											
0	0	1	16 ビット																											
0	1	0	32 ビット																											
0	1	1	64 ビット																											
1	0	0	128 ビット																											
上記以外			設定禁止（設定した場合の動作を保証しません）																											

表 7.57 DTTCTnnn レジスタの内容 (3/3)

ビット位置	ビット名	機能
1, 0	TRM[1:0]	転送モード DMA 転送モードを設定します 00: シングル転送 01: ブロック転送 1 (転送回数で指定した回数分を転送) 10: ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11: 設定禁止 (設定した場合の動作を保証しません)

注 意

1. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。
2. ビット 31 ~ 28、ビット 26 ~ 25、ビット 13 は未使用ですがリードライトが可能です。ライト時は 0 とし、リード時はこれらのビットの値を無視することを推奨します。

7.11.3.5 DTRSAnnn — DTS リロードソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9010_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

リセット後の値 不定

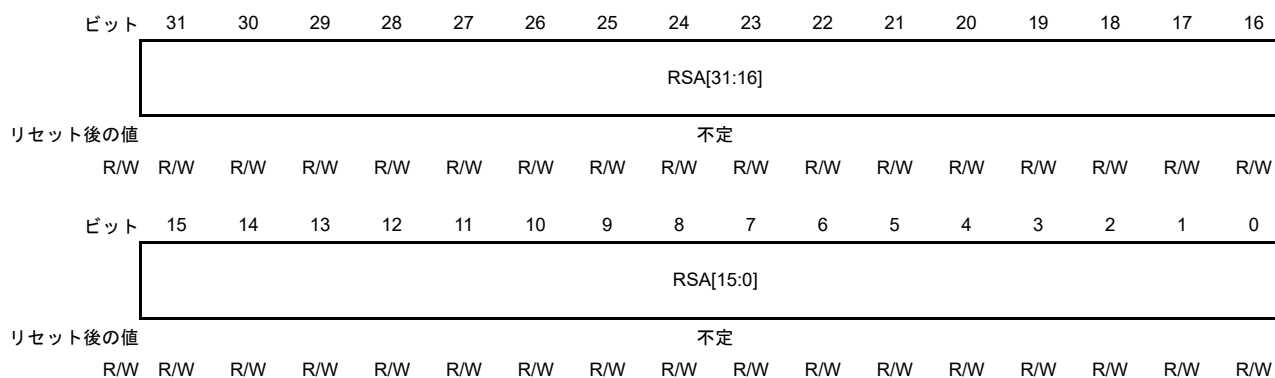


表 7.58 DTRSAnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (× は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.6 DTRDAnnn — DTS リロードディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9014_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

リセット後の値 不定

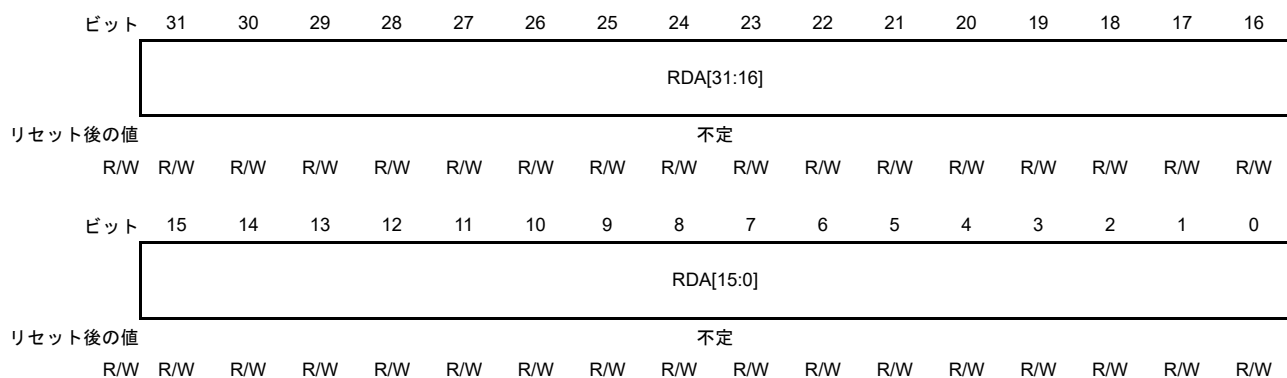


表 7.59 DTRDAnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (× は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.7 DTRTCnnn — DTS リロード転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9018_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

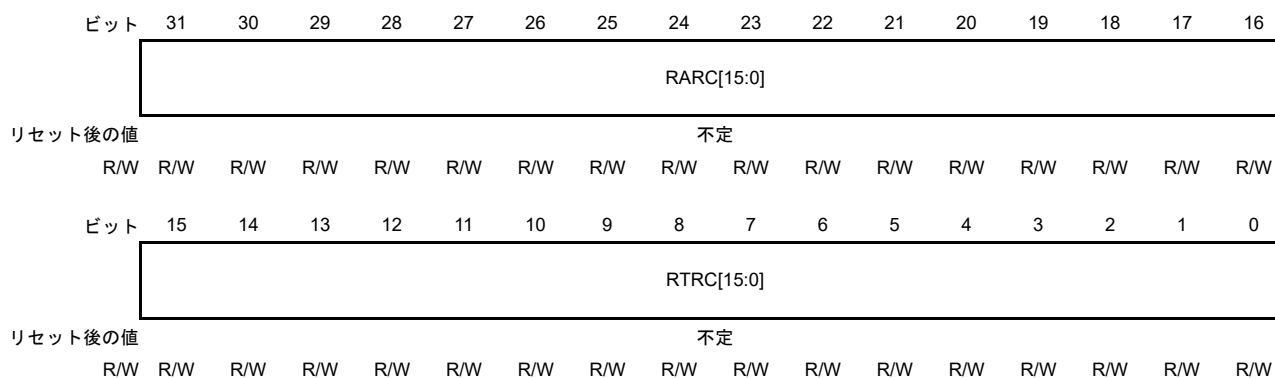


表 7.60 DTRTCnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RARC[15:0]	リロードアドレスリロードカウンタ リロード機能 2 を使用時に、アドレスリロードカウンタにリロードする値を設定します。
15 ~ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用時に、転送回数にリロードする値を設定します。

RTRC[15:0]	動作
0000 _H	DMA 転送しない
0001 _H	1 回転送
:	:
FFFF _H	65535 回転送

7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 901C_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.61 DTTCCnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	CMC[15:0]	転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 DTS 転送制御レジスタの転送回数一致割り込みイネーブル (DTTCTnnn.CCE) ビットが 1 の場合、残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、転送回数一致割り込みが発生します。 0000 _H を設定した場合には、転送回数とのコンペアを行いません。その場合、転送回数一致割り込みは発生しません。

注 意

本レジスタは、必ず DTS チャネルマスタ設定レジスタの設定を行ったあとでアクセスを行ってください。

リセット後に DTS チャネルマスタ設定を行わないまま本レジスタにアクセスを行うと、アクセスの際に ECC エラーが発生する可能性があります。

7.11.3.9 DTFSL_{nnn} — DTSFSL 動作設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9020_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.62 DTFSL_{nnn} レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	REQEN	<p>DMA 転送要求有効</p> <p>DTFSL で保持しているこのチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とするかどうかを選択します。</p> <p>0 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補としない</p> <p>1 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とする</p> <p>本ビットが 0 の場合は、DTFSL で DMA 転送要求を保持していても、このチャンネルは DTFSL 内での DTS チャンネルアービトレーションの候補とならず、結果としてこのチャンネルの DMA 転送要求は発生しません。</p>

7.11.3.10 DTFSTnnn — DTSFSL 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 9024_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.63 DTFSTnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	DRQ	<p>DMA 転送要求保持状態 このチャンネルで DMA 転送要求を保持していることを示します。 ハードウェア転送要因入力の検出、またはソフトウェアでの DTFSSnnn.DRQS ビットへの "1" 書き込みによりセットされます。 DTSFSL からこのチャンネルの DMA 転送要求を行っている際に DTS が DMA 転送要求を受け付けると自動的にクリアされます。またはソフトウェアで DTFSCnnn.DRQC ビットに "1" を書き込むことで本ビットをクリアすることができます。</p> <p>0 : DMA 転送要求を保持していない 1 : DMA 転送要求を保持している</p>

7.11.3.11 DTFSSnnn — DTSFSL 転送要求セットレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9028_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.64 DTFSSnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQS	DMA 転送要求セット ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをセットすることができます。 本ビットのリード値は常に 0 です。

7.11.3.12 DTFSCnnn — DTSFSL 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 902C_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.65 DTFSCnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQC	DMA 転送要求クリア ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをクリアすることができます。 本ビットのリード値は常に 0 です。

第8章 リセット

8.1 RH850/C1x リセットの特長

- $\overline{\text{RESET}}$ 端子にノイズキャンセラを搭載
- リセット要因判定レジスタを参照することにより、どの要因でリセットが掛かったかを判断することができます。
- CPU からレジスタを設定することによりリセットを発行することができます。

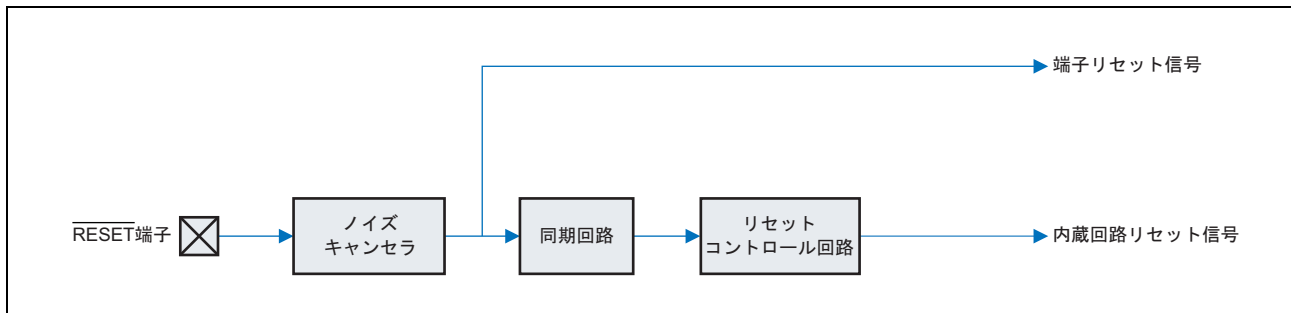


図 8.1 リセット回路

8.2 リセット状態

8.2.1 外部リセット状態

$\overline{\text{RESET}}$ 端子にノイズキャンセル幅 (t_{RESNCW}) 以上のローレベルパルスが入力されると、外部リセットが受け付けられ、本製品は外部リセット状態に遷移します。外部リセットが受け付けられると各端子は外部リセット状態に遷移します。各端子の外部リセット中の状態は、「第2章 端子」の「表 2.61 端子状態」をご参照ください。

$\overline{\text{RESET}}$ 端子にはノイズキャンセル回路が内蔵されているため、入力するローレベルパルス幅は、 t_{RESW} (t_{cyc}) 以上の期間入力する必要があります。その後、 $\overline{\text{RESET}}$ 端子にハイレベルを入力すると、本製品は内部リセット状態へ遷移します。

注 意

t_{RESNCW} 、 t_{RESW} は、「第35章 電気的特性」を参照してください。

8.2.2 内部リセット状態

外部リセット状態から $\overline{\text{RESET}}$ 端子にノイズキャンセル幅 (t_{RESNCW}) 以上のハイレベルが入力されると、本製品は内部リセット状態へ遷移します。各端子の状態は、「第2章 端子」の「表 2.61 端子状態」をご参照ください。

注 意

t_{RESNCW} は、「第35章 電気的特性」を参照してください。

8.3 リセット要因

本製品のリセット要因を次に示します。

いくつかのレジスタは外部リセット状態でのみ初期化されます。つまり、 $\overline{\text{RESET}}$ 端子へのローレベル入力によってのみ初期化されます。

大半のレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。つまり、すべてのリセット要因によって初期化されます。

各レジスタの初期化要因については、各章の説明を参照してください。リセット要因や初期化要因を明記していないレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。つまり、すべてのリセット要因によって初期化されます。ただし、レジスタによってはリセット後の値が不定の場合もあります。これらのレジスタは、リセットによって値が確定しませんので注意してください。

要因	動作説明
$\overline{\text{RESET}}$ 端子にローレベルが入力された場合	外部リセット状態へ遷移します。
ECM からリセット要求が発行された場合	内部リセット状態へ遷移します。
デバッガからリセットが発行された場合 (強制リセット発行時)	外部リセットへ遷移します。
CPU からソフトウェアリセット要求レジスタを設定	内部リセット状態へ遷移します。

8.4 レジスタ

8.4.1 レジスタ一覧

リセットのレジスタ一覧を以下に示します。

表 8.1 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	アクセス保護
SYS	リセット要因判定レジスタ	RESF	FFF8 2800 _H	
SYS	リセット要因クリアレジスタ	RESFC	FFF8 2808 _H	
SYS	ソフトウェアリセット要求レジスタ	SWRESA	FFF8 AC18 _H	PROT1PHCMD

8.4.2 RESF — リセット要因判定レジスタ

本レジスタは、リセット要因を判定するレジスタです。

このレジスタのフラグは RESFC レジスタでクリアできます。また、外部リセットでのみリセットされます。内部リセットではリセットされません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.2 RESF レジスタの内容

ビット位置	ビット名	機能
1	RESF1	ECM リセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり
0	RESF0	ソフトウェアリセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり

8.4.3 RESFC — リセット要因クリアレジスタ

本レジスタは、RESF レジスタで示されたリセット要因をクリアするレジスタです。

リードすると常に 0000 0000_H が読み出されます。本レジスタは、外部リセットでのみリセットされます。内部リセットではリセットされません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESFC 1	RESFC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 8.3 RESFC レジスタの内容

ビット位置	ビット名	機能
1	RESFC1	ECM リセット ステータスビットをクリアします。 0: クリアしない 1: クリアする
0	RESFC0	ソフトウェアリセット ステータスビットをクリアします。 0: クリアしない 1: クリアする

8.4.4 SWRESA — ソフトウェアリセット要求レジスタ

本レジスタは、レジスタをアクセスすることで内部リセットを発生させるレジスタです。

SWRESA に 1 を書き込むと、ソフトウェアリセットが発行されます。

本レジスタは、PROT1PHCMD レジスタによって保護することができます。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.4 SWRESA レジスタの内容

ビット位置	ビット名	機能
0	SWRESA	0: — (デフォルト) 1: 内部リセットが有効 (内部リセットのトリガ)

例) SWRESA レジスタへの書き込みシーケンス

SWRESA レジスタへの書き込みは、以下に示すプロテクト解除特別シーケンスが必要です。この手順が守られないと、PROT1PS レジスタにプロテクションエラーが表示されます。

PROT1PS レジスタの詳細は、「10.2.11 PROT1PS — プロテクト 1 ステータスレジスタ」を参照してください。

手順 1. PROT1PHCMD レジスタに固定値 0000 00A5_H を書き込みます。

手順 2. SWRESA レジスタに設定値 0000 0001_H を書き込みます。

手順 3. SWRESA レジスタに反転値 FFFF FFFE_H を書き込みます。

手順 4. SWRESA レジスタに設定値 0000 0001_H を書き込みます。

以上の手順で、SWRESA レジスタに設定値 0000 0001_H を書き込むことができます。

上記手順とおりに行わなかった場合、保護解除シーケンスは失敗し、SWRESA レジスタに設定値 0000 0001_H は書き込まれず、PROT1PS レジスタの PROTERR ビットが 1 にセットされます。

保護解除シーケンスに失敗した場合は、手順 1. から保護解除シーケンスを再実行してください。

また、上記手順 1. から手順 4. までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROTIPS レジスタの PROTERR ビットが1になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注1. 対象のレジスタは、「10.2.10 PROT1PHCMD — プロテクト1コマンドレジスタ」の注を参照してください。

8.5 手順

8.5.1 ソフトウェアリセット

ソフトウェアリセットの設定フローを以下に示します。

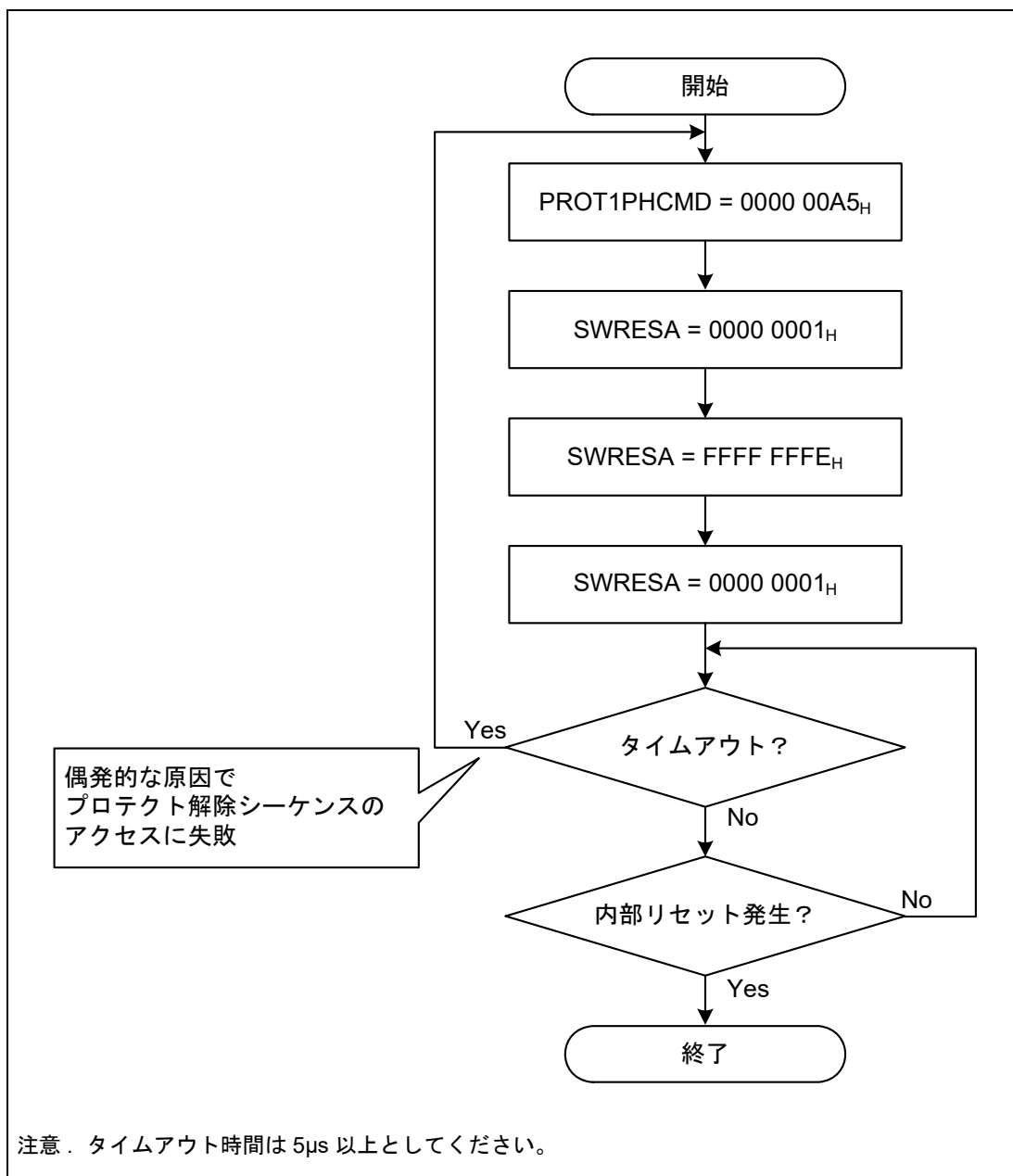


図 8.2 ソフトウェアリセットのフロー

8.6 注意事項

デバッグ機能において、リセットをマスクする機能があります。本機能の誤動作を防ぐため、デバッグ機能を使用しない場合は DCUTRST 端子を Low 固定して使用してください。

第9章 電源回路

本章では、RH850/C1x 電源回路全般について説明します。

9.1 RH850/C1x 電源回路の特長

- 外部パストランジスタ（External Pass Transister : EPT）方式の採用。（C1Hのみ）
EPTは、C1Mでは使用できませんので、C1Mは「**9.4.2 EPT未使用時の設定**」を必ず行ってください。

EPTあり	EPTなし
2電源ICで動作可能 (5V, 3.3V)	3電源ICで動作可能 (5V, 3.3V, 1.25V)

- 電源説明
電源端子と電源用途を以下に示します。
動作時には、すべての電源に所定の電圧を供給してください。停止時には、すべての電源をオフしてください。
VCCとPLLVCCは同電位になるように接続してください。
また、A0VCCとA1VCC、RVCCは同電位になるように接続してください。

電源端子電源名	端子名	オペレーション状態の電源電圧値	電源用途
SYSVCC		3.0V ~ 3.6V	システム論理
VCC		3.0V ~ 3.6V	発振器、Flash書き換え
PLLVCC注1		3.0V ~ 3.6V	PLL
VDD		1.15V ~ 1.35V	コア電源（ダイレクト給電）、コア電源用安定化容量
EVCC		4.5V ~ 5.5V	Port（5V）
A0VCC/A1VCC		4.5V ~ 5.5V	SAR AD用電源
	A0VREFH/ A1VREFH	4.5V ~ 5.5V	SAR AD用基準電圧
	EPTVOUT	—	VDD用EPT制御 注：外部印加ではない
RVCC		4.5V ~ 5.5V	RDC用電源

注1. PLLVCCはC1Hのみに搭載です。C1Mでは、PLLVCCはVCCに統合されます。

9.2 電源 IC の接続例

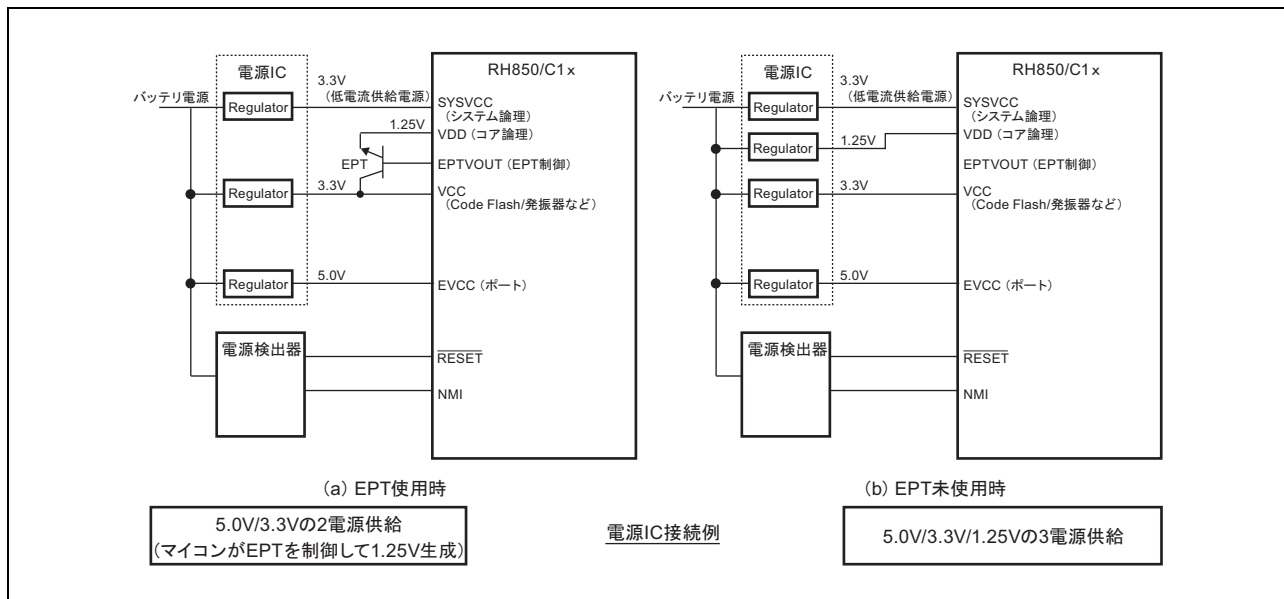


図 9.1 電源 - 電源 IC の接続例

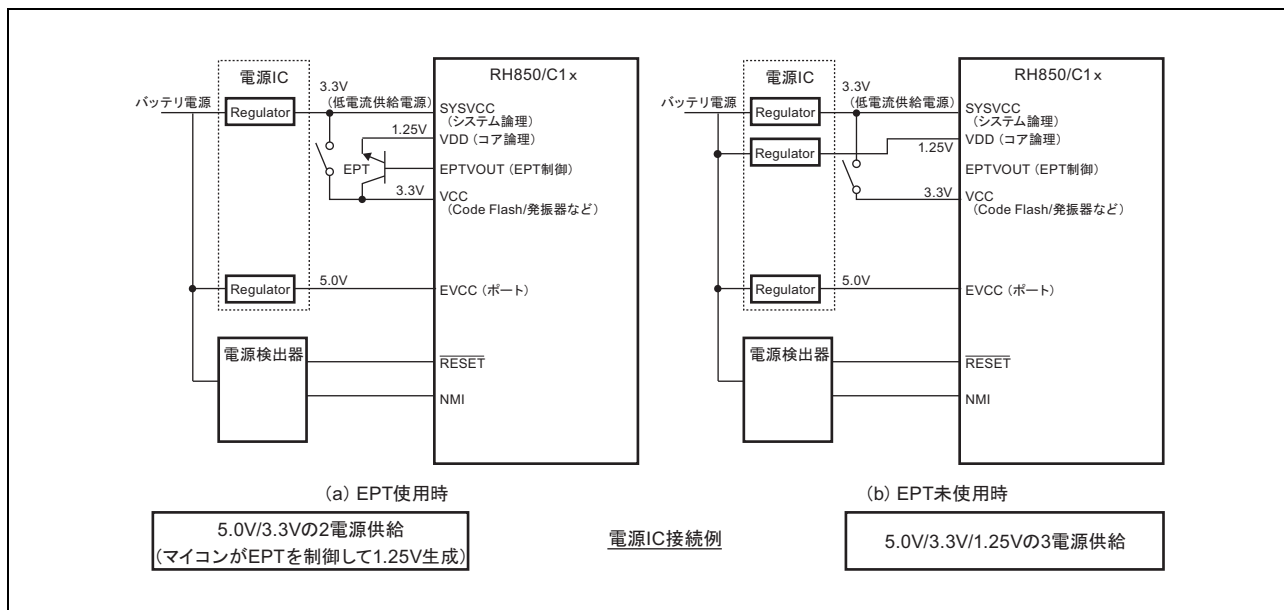


図 9.2 電源 - 電源 IC の接続例 SW遮断

9.3 レジスタ

9.3.1 レジスタ一覧

EPT のレジスタ一覧を以下に示します。

表 9.1 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	アクセス保護
SYS	EPT 制御レジスタ	EPTCNT	FFF8 2C0C _H	PROT0PHCMD
SYS	プロテクト0 コマンドレジスタ	PROT0PHCMD	FFF8 3000 _H	
SYS	プロテクト0 ステータスレジスタ	PROT0PS	FFF8 3004 _H	

9.3.2 EPTCNT — EPT 制御レジスタ

このレジスタは、EPT の有効/無効を制御するレジスタです。

このレジスタは、PROT0PHCMD レジスタによって保護されます。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2C0C_H

リセット後の値 00000000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EPT CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 9.2 EPTCNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	EPTCNT	0 : EPT は有効 1 : EPT は無効

EPT 未使用時は、上記レジスタに 1 を設定することにより、EPT 制御をパワーダウンさせることができ、消費電力削減が可能です。

9.3.3 PROT0PHCMD — プロテクト0 コマンドレジスタ

このレジスタは保護レジスタへのライトアクセスのために必要なプロテクト解除シーケンスを開始するための保護コマンドレジスタです。

このレジスタは内部／外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 3000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9.3 PROT0PHCMD レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	PCMD[7:0]	書き込みプロテクションコマンドレジスタ

このレジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタ（保護レジスタ）への書き込み動作に対してプロテクションを施すために使用するものです。

プロテクションで保護されるレジスタへのアクセスは、以下のシーケンス（プロテクト解除シーケンス）で行ってください。

ステップ 1：

本レジスタに A5_H を書き込み。

書き込みデータが A5_H の場合、プロテクト 0 ステータスレジスタ（PROTOPS）のプロテクションエラーフラグ（PROTERR）が 0 にクリアされます。書き込みデータが A5_H でない場合、PROTOPS のエラーフラグがセットされます。

ステップ 2：

プロテクションの対象となっているレジスタへの書き込み。

データが対象以外のレジスタに書かれた場合、エラーフラグがセットされます。

ステップ 3：

ステップ 2 で書き込んだ値の反転値をプロテクションの対象となっているレジスタへ書き込み。書き込みデータが反転値でない場合、エラーフラグがセットされます。また、データが対象以外のレジスタに書かれた場合も、エラーフラグがセットされます。

ステップ 4：

ステップ 2 を再度実行し、設定完了。

エラーフラグがセットされた場合はステップ 1 からやり直してください。

また、上記ステップ 1 からステップ 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注 1}へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROTOPS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. PROTOPHCMD では、アドレス FFF8 2410_H ~ FFF8 3004_H に配置されたレジスタが該当します。レジスタ名、レジスタシンボルおよびモジュール名については、表 8.1 および、表 9.1、表 31.10 のレジスタ一覧を参照してください。

9.3.4 PROT0PS — プロテクト 0 ステータスレジスタ

このレジスタはプロテクト解除シーケンスの状態レジスタです。保護レジスタへのライトアクセスのエラー情報を示します。

このレジスタは内部／外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 3004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTE RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9.4 PROT0PS レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	PROTERR	プロテクションエラーフラグ 0：プロテクションエラーが発生していない 1：プロテクションエラーが発生した

PROTERR ビットの動作条件

セット条件：PROT0PHCMD でプロテクションの対象となっているレジスタ（保護レジスタ）に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件：PROT0PHCMD レジスタに A5_H を書き込んだ場合（プロテクト解除シーケンスのステップ 1）。

9.4 手順

9.4.1 電源投入シーケンス

電源投入、遮断規定は、「第 35 章 電気的特性」を参照してください。

9.4.2 EPT 未使用時の設定

EPT 未使用時は、EPT 制御レジスタ (EPTCNT) を 1 (無効) に設定してください。無効にすることで、EPT 制御をパワーダウンさせることができ、消費電力を削減することができます。

フローチャートを以下に示します。本フローはクロックギアアップシーケンスの前に行ってください。クロックギアアップシーケンスは、「10.3.1 分周機能使用時の動作説明」を参照してください。

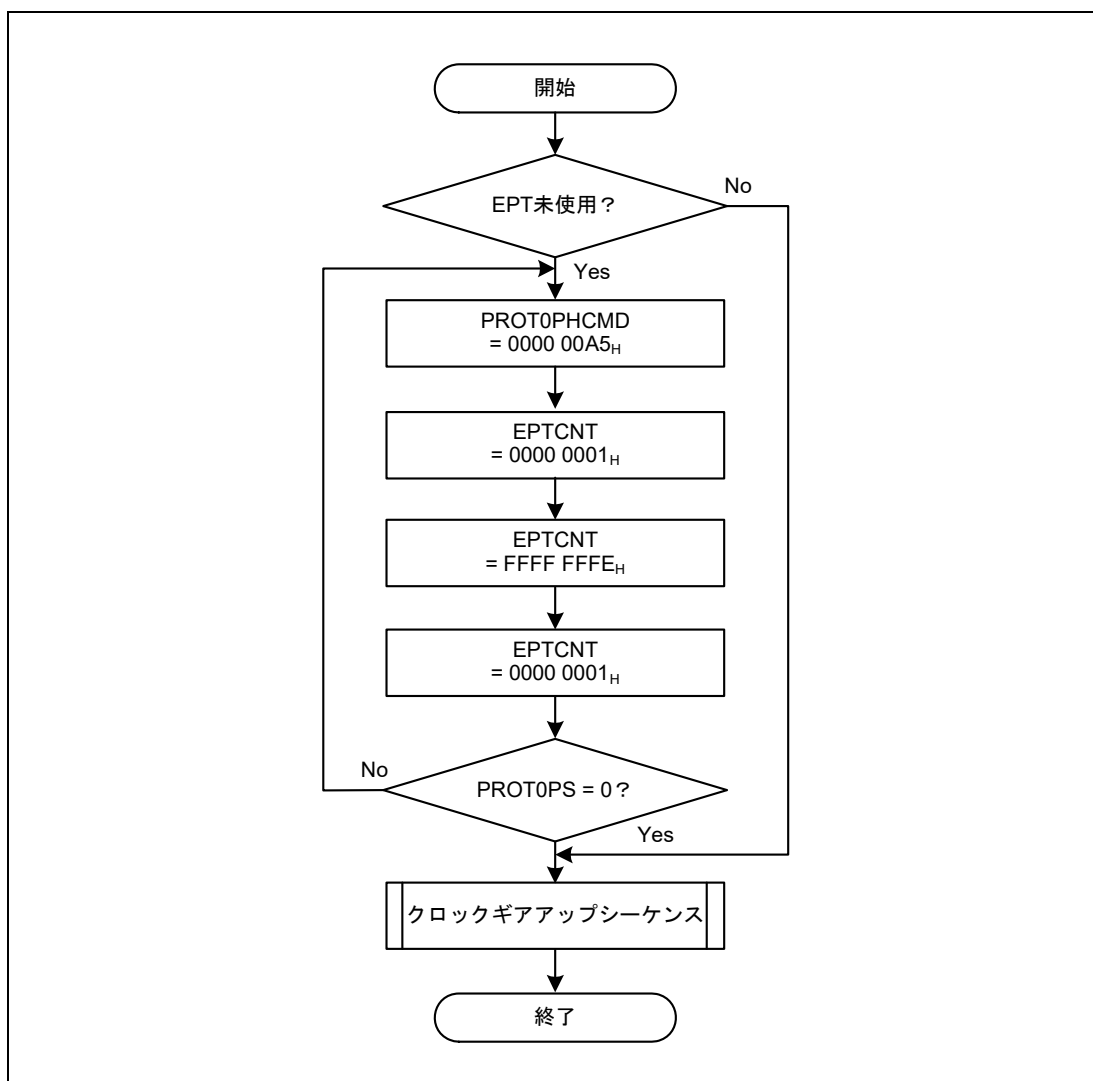


図 9.3 EPT 無効設定フロー

9.5 注意事項

9.5.1 EPT 使用について

EPT を使用する場合、NPN トランジスタ、電源平滑コンデンサなど外付け部品が必要です。外付け部品と本製品との接続に注意事項があります。詳細は、別途お問い合わせください。

9.5.2 電源端子の外付けコンデンサ例

下記に示す例はあくまでも参考値です。最終的にはお客様システム条件での電圧変動発生時を考慮の上、マイコン電源端子の電圧レベルが製品規格を満たせるよう、最適な容量および配置をご検討およびご評価頂き決定願います。

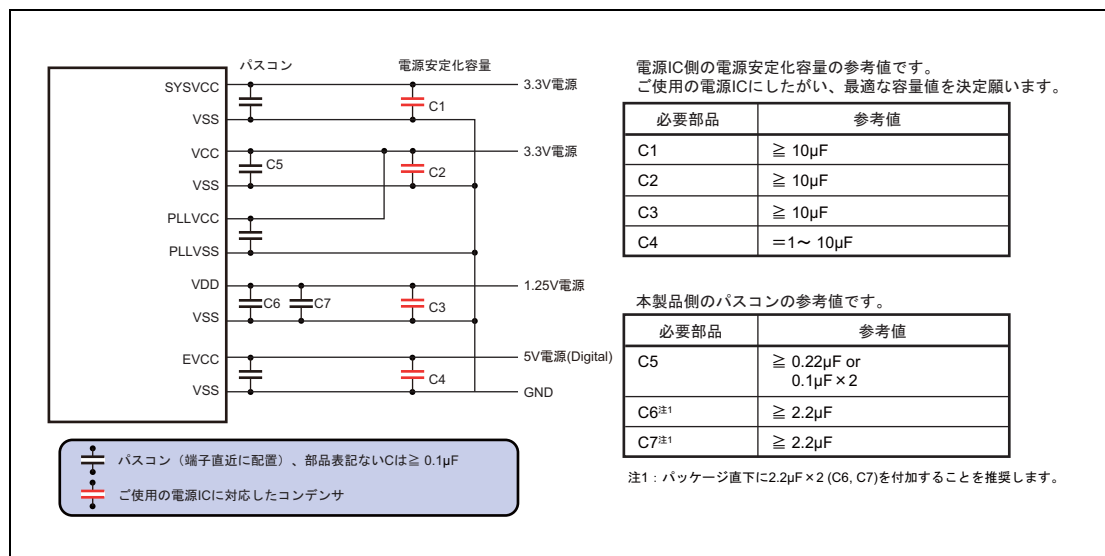


図 9.4 電源端子の外付けコンデンサ例 (RH850/C1H (BGA))

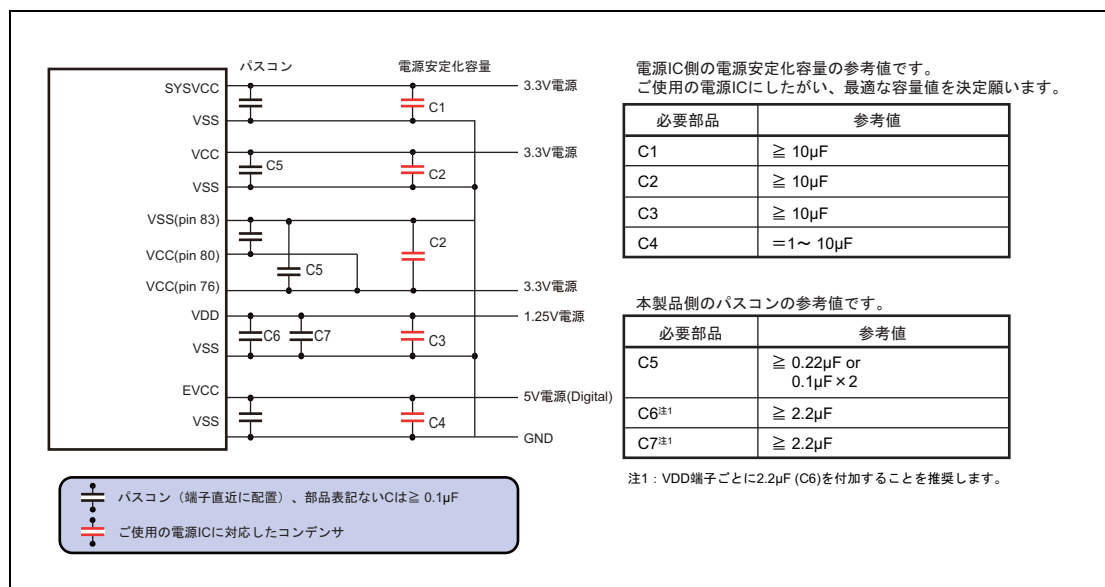


図 9.5 電源端子の外付けコンデンサ例 (RH850/C1M (QFP))

第10章 クロックコントローラ

10.1 RH850/C1x クロックコントローラの特長

- 発振回路を内蔵（メイン OSC）
- 外付け容量なしで 20MHz 発振可能（振動子限定）
- 内蔵 PLL によりクロックの通倍が可能
- 輻射ノイズを低減するため SSCG（Spread Spectrum Clock Generator）の PLL0 を内蔵。タイマや通信モジュール用に周波数変調のない非変調クロック（clean clock）の PLL1 も搭載
- 低速内蔵発振回路（LS IntOSC）を内蔵
- メイン OSC がクロックモニタで設定した周波数範囲を外れた場合に割り込みを発生可能
- リセット解除後の突入電流抑制のためソフトウェアによる段階的なクロックギアアップが可能。レジスタ設定にて CPU クロックおよび周辺クロックの分周比を選択（1/4, 1/2, 1/1）^{注1}。

注 1. 1/4、1/2 設定時の ADCC, RDC2 の動作保証はありません。他の周辺回路は、入力されたクロック周波数で動作しますが、電気的特性の保証はありません。したがって、本製品はクロックギアアップシーケンスを実行後、分周器 0A/1A の分周比が 1/1（分周なし）の状態で使用してください。

10.1.1 クロック種類

表 10.1 にクロック一覧、表 10.2 に各ユニットの動作クロック、図 10.1 にクロックのブロック図を示します。

表 10.1 クロック一覧

入力周波数（メイン OSC）20MHz 動作時

クロック名	シンボル	クロック周波数 ^{注1}			備考
		分周器 0A/ 分周器 1A の分周比			
		1/1	1/2	1/4	
CPU クロック	CLK_CPU	240MHz	120MHz	60MHz	PLL0（SSCG 選択可）
GRAM クロック	CLK_GRAM	120MHz	60MHz	30MHz	
高速周辺クロック	CLK_HSB	80MHz	40MHz	20MHz	
低速周辺クロック（周辺クロック）	CLK_LSB	40MHz	20MHz	10MHz	
非変調高速周辺クロック	CLKC_HSB	80MHz	40MHz	20MHz	PLL1（SSCG 選択不可）
非変調低速周辺クロック	CLKC_LSB	40MHz	20MHz	10MHz	
低速内蔵クロック	CLK_LIOSC	240kHz			
WDTA カウンタクロック	WDTCLKI	250kHz			メイン OSC の 1/80

注 1. 本製品は、クロックギアアップシーケンスを実行後、分周器 0A/1A の分周比が 1/1（分周なし）の状態で使用してください。

表 10.2 クロックと機能モジュール

クロック名	ユニット
CPU クロック	CPU1, CPU2
GRAM クロック	GRAM
高速周辺クロック	INTC, INTIF, DMAC, DTS, CSIH, RS-CAN (PCLK), EMU2 (PCLK)
低速周辺クロック（周辺クロック）	ECM, DCRA, PORT, Data FLASH, FLASH Controller, FLSCI3, EINT, RLIN2 (PCLK), ADCC (PCLK)
非変調高速周辺クロック	TAUD, TAUJ, TSG3, TAPA, TPBA, PIC1A, PIC2B, ENCA, EMU2
非変調低速周辺クロック	RS-CAN, RLIN2, SCI3, WDTA (PCLK), OSTM, RDC2, ADCC
低速内蔵クロック	CLMA
WDTA カウンタクロック	WDTA

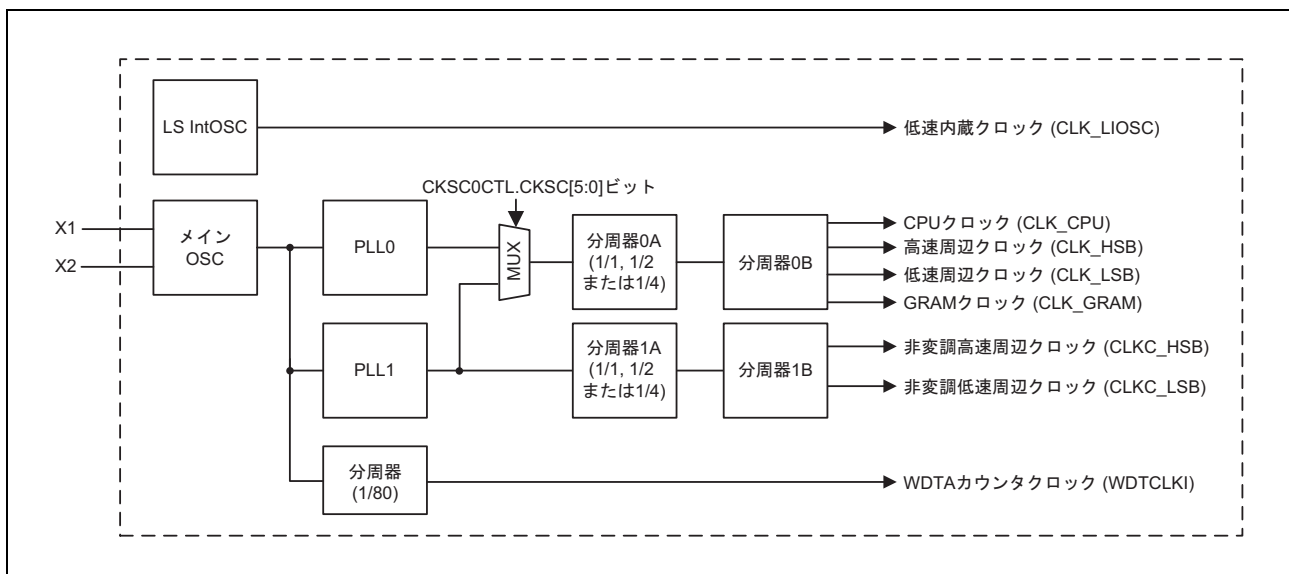


図 10.1 クロックコントローラのブロック図

10.1.2 外部入出力端子

クロック発振器に関連する端子を表 10.3 に示します。

表 10.3 クロック発振関連端子

名称	端子名	入出力	機能
クリスタル入力	X1	入力	水晶振動子を接続
クリスタル出力	X2	出力	水晶振動子を接続
PLL 電源 ^{注1}	PLLVCC	入力	PLL 通倍回路用電源
PLL グランド ^{注1}	PLLVSS	入力	PLL 通倍回路用電源

注 1. PLLVCC、PLLVSS は C1H のみに搭載です。C1M では PLLVCC は VCC に、PLLVSS は VSS に統合されます。

10.1.3 水晶振動子の接続方法

図 10.2 に水晶振動子の接続方法を示します。当社推奨の水晶振動子（別途お問い合わせください）を使用した場合、基本的に負荷容量やダンピング抵抗などの外付け部品なしで発振が可能です。ご使用の環境で評価の上でお使いください。

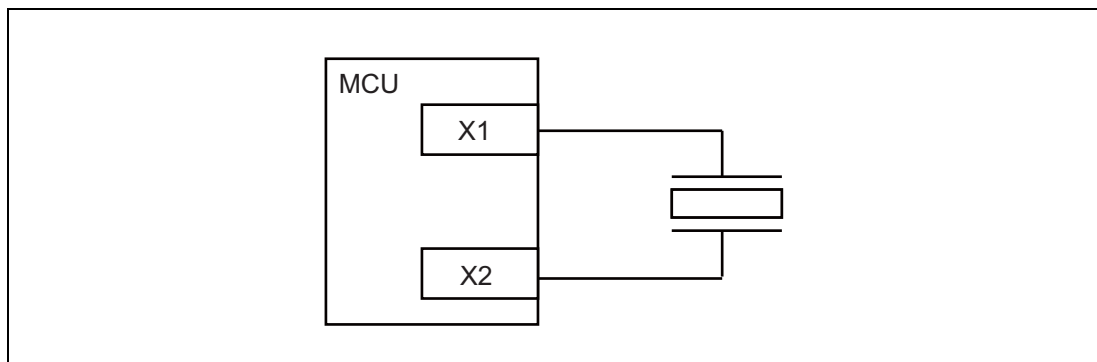


図 10.2 水晶振動子の接続例

10.2 レジスタ

10.2.1 レジスタ一覧

レジスタ一覧を表 10.4 に示します。

表 10.4 クロック発振関連レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	アクセス保護
SYS	PLL0 ステータスレジスタ	PLL0CLKS	FFF8 8004 _H	
SYS	PLL0 制御レジスタ 1	PLL0CLKC1	FFF8 8200 _H	PROT1PHCMD
SYS	クロック 0 選択制御レジスタ	CKSC0CTL	FFF8 9000 _H	PROT1PHCMD
SYS	クロック 0 選択アクティブレジスタ	CKSC0ACT	FFF8 9008 _H	
SYS	クロック 0 分周レジスタ	CLKD0DIV	FFF8 8800 _H	PROT1PHCMD
SYS	クロック 0 分周ステータスレジスタ	CLKD0STAT	FFF8 8804 _H	
SYS	クロック 1 選択制御レジスタ	CKSC1CTL	FFF8 9040 _H	PROT1PHCMD
SYS	クロック 1 選択アクティブレジスタ	CKSC1ACT	FFF8 9048 _H	
SYS	プロテクト 1 コマンドレジスタ	PROT1PHCMD	FFF8 B000 _H	
SYS	プロテクト 1 ステータスレジスタ	PROT1PS	FFF8 B004 _H	

10.2.2 PLL0CLKS — PLL0 ステータスレジスタ

このレジスタは、PLL0 クロックの有効/アクティブ状態および安定状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です
アドレス FFF8 8004_H
リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKACT	CLKSTAB	CLKEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0 ^{注1}	0 ^{注1}	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. CPUの動作スタート後にリードされたタイミングに依存します。

表 10.5 PLL0CLKS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	リザーブビット 読み出すと“0”が読み出されます。
2	CLKACT	PLL0 クロックソース状態 0: PLL0 クロックソースインアクティブ 1: PLL0 クロックソースアクティブ
1	CLKSTAB	PLL0 クロック安定状態 0: PLL0 クロック不安定 1: PLL0 クロック安定
0	CLKEN	PLL0 動作状態 0: 停止 1: 動作

10.2.3 PLL0CLKC1 — PLL0 制御レジスタ 1

このレジスタは、PLL0 の SSCG (Spread Spectrum Clock Generator) の動作を制御します。

PLL0 が作動しているとき、このレジスタはセットすることができます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 8200_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSMODE1	—	SELMFREQ[4:0]				SELMPERCENT[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10.6 PLL0CLKC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 10	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
9	SSMODE1	SSCG 制御 0: 変調なし 1: 変調あり
8	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7 ~ 3	SELMFREQ [4:0]	SSCG 周期設定 本ビットを設定することで、SSCG の変調周期を選択することができます。 選択可能な設定は以下です。 1 0 0 0 _B : 80.65 kHz 1 0 0 1 _B : 75.76 kHz 1 0 0 1 0 _B : 69.44 kHz 1 0 0 1 1 _B : 65.79 kHz 1 0 1 0 0 _B : 62.50 kHz 1 0 1 0 1 _B : 59.52 kHz 1 0 1 1 0 _B : 58.14 kHz 1 0 1 1 1 _B : 50.00 kHz 1 1 0 0 0 _B : 41.67 kHz 1 1 0 0 1 _B : 39.68 kHz 1 1 0 1 0 _B : 37.31 kHz 1 1 0 1 1 _B : 33.33 kHz 1 1 1 0 0 _B : 30.12 kHz 1 1 1 0 1 _B : 25.00 kHz 1 1 1 1 0 _B : 20.00 kHz SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。

表 10.6 PLL0CLKC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2 ~ 0	SELMPER CENT[2:0]	SSCG 変調範囲設定 本ビットを設定することで、SSCG 変調範囲を選択することができます。 選択可能な設定は以下です。 100 _B : -5.0% SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。

PLL0 の変調度切り替えの際は、いったん SSCG を OFF にして、かつ min 1.6ms 待つ必要があります。

10.2.4 CKSC0CTL — クロック 0 選択制御レジスタ

このレジスタは分周器 0A のクロックソース選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 9000_H

リセット後の値 0000 0020_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CKSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 10.7 CKSC0CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	—	リザーブビット 読み出すと "0" が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5 ~ 0	CKSC[5:0]	分周器 0A のクロックソースを選択します。 100000 _B : PLL1 クロックを選択します。 100011 _B : PLL0 クロックを選択します。 上記以外を設定しないでください。

10.2.5 CKSC0ACT — クロック 0 選択アクティブレジスタ

このレジスタは分周器 0A のクロックソース状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です
アドレス FFF8 9008_H
リセット後の値 0000 0020_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLKACT[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.8 CKSC0ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	—	リザーブビット 読み出すと“0”が読み出されます。
5 ~ 0	CLKACT[5:0]	CKSC0CTL レジスタの CKSC[5:0] に設定した値と同じ値になっていれば、分周器 0A のクロックソース切り替えが完了していることを示します。

10.2.6 CLKD0DIV — クロック 0 分周レジスタ

このレジスタは分周器 0A の分周比を設定します。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 8800_H

リセット後の値 0000 0004_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKD0DIV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 10.9 CLKD0DIV レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2 ~ 0	CLKD0DIV[2:0]	分周器 0A の分周比を設定します。 001 _B : 分周なし 010 _B : 2分周 100 _B : 4分周 上記以外を設定しないでください。

10.2.7 CLKD0STAT — クロック 0 分周ステータスレジスタ

このレジスタは、分周器 0A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 8804_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKD0 SYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.10 CLKD0STAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	リザーブビット 読み出すと“0”が読み出されます。
0	CLKD0SYNC	分周器同期ステータス 0 : 分周器 0A は CLKD0DIV で設定した分周比への切り替え途中です。 1 : 分周器 0A は CLKD0DIV で設定した分周比で動作しています。

10.2.8 CKSC1CTL — クロック 1 選択制御レジスタ

このレジスタは分周器 1A の出力クロック選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 9040_H

リセット後の値 0000 0021_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CKSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 10.11 CKSC1CTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	—	リザーブビット 読み出すと "0" が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5 ~ 0	CKSC[5:0]	分周器 1A の出力クロックを選択します。 100001 _B : PLL1 の 1/4 のクロックを選択します。 100010 _B : PLL1 の 1/2 のクロックを選択します。 100100 _B : PLL1 クロックを選択します。 上記以外を設定しないでください。

10.2.9 CKSC1ACT — クロック 1 選択アクティブレジスタ

このレジスタは分周器 1A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です
アドレス FFF8 9048_H
リセット後の値 0000 0021_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLKACT[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.12 CKSC1ACT レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	—	リザーブビット 読み出すと“0”が読み出されます。
5 ~ 0	CLKACT[5:0]	CKSC1CTL レジスタの CKSC[5:0] に設定した値と同じ値になっていれば、分周器 1A の出力クロック切り替えが完了していることを示します。 10000 _B : 1/4 x PLL1 10001 _B : 1/2 x PLL1 10010 _B : 1/1 x PLL1

10.2.10 PROT1PHCMD — プロテクト1 コマンドレジスタ

このレジスタは保護レジスタへのライトアクセスのために必要なプロテクト解除シーケンスを開始するための保護コマンドレジスタです。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 B000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10.13 PROT1PHCMD レジスタの内容

ビット位置	ビット名	機能
31～8	—	リザーブビット 読み出すと“0”が読み出されます。
7～0	PCMD[7:0]	書き込みプロテクションコマンドレジスタ

このレジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタ（保護レジスタ）への書き込み動作に対してプロテクションを施すために使用するものです。

保護レジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

- 手順 1. PROT1PHCMD レジスタに固定値 0000 00A5_H を書き込みます。
- 手順 2. 保護レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。
- 手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。
- 手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護レジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護レジスタに設定値は書き込まれず、PROTIPS レジスタの PROTERR ビットが 1 にセットされます。

(必須ではありませんが、手順 4 のあと、PROTIPS レジスタの PROTERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROTIPS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. PROT1PHCMD では、アドレス FFF8 8004_H ~ FFF8 B004_H に配置されたレジスタが該当します。レジスタ名、レジスタシンボル及びモジュール名については、表 8.1 および、表 10.4、表 27.118 ~ 表 27.120、表 31.10 のレジスタ一覧を参照してください。

10.2.11 PROT1PS — プロテクト1ステータスレジスタ

このレジスタはプロテクト解除シーケンスの状態レジスタです。保護レジスタへのライトアクセスのエラー情報を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 B004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTE RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.14 PROT1PS レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	リザーブビット 読み出すと“0”が読み出されます。
0	PROTERR	プロテクションエラーフラグ 0: プロテクションエラーが発生していない 1: プロテクションエラーが発生した

PROTERR ビットの動作条件

セット条件: PROT1PHCMD でプロテクションの対象となっているレジスタ（保護レジスタ）に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件: PROT1PHCMD レジスタに 0000 00A5_H を書き込んだ場合（プロテクト解除シーケンスのステップ 1）。

10.3 機能

10.3.1 分周機能使用時の動作説明

下記手順にてクロック切り替えを行ってください。

1. リセット解除後のユーザプログラム動作時、PLL0/PLL1 は発振状態にあり、内部は PLL1 にて動作しています。また分周器 0A は 1/4 設定となっています。PLL0CLKS レジスタをリードし、値が 07_H で PLL0 が安定して動作していることを確認します。
2. CKSC0CTL.CKSC[5:0] に 23_H を書き込み、クロックソースを PLL0 選択とします。CKSC0ACT をリードし、CKSC0ACT.CLKACT[5:0] の値が 23_H になっていることを確認します。
3. CLKD0DIV.CLKD0DIV[2:0] に 010_B を設定し、分周器を 1/2 設定にします。CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。
4. CLKD0DIV.CLKD0DIV[2:0] に 001_B を設定し、分周器を 1/1 設定にします。CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。

上記クロック切り替えの手順（クロックギアアップシーケンス）の例を、**図 10.3** に示します。なお**表 10.15**に、それぞれの処理におけるクロックの周波数を示します。

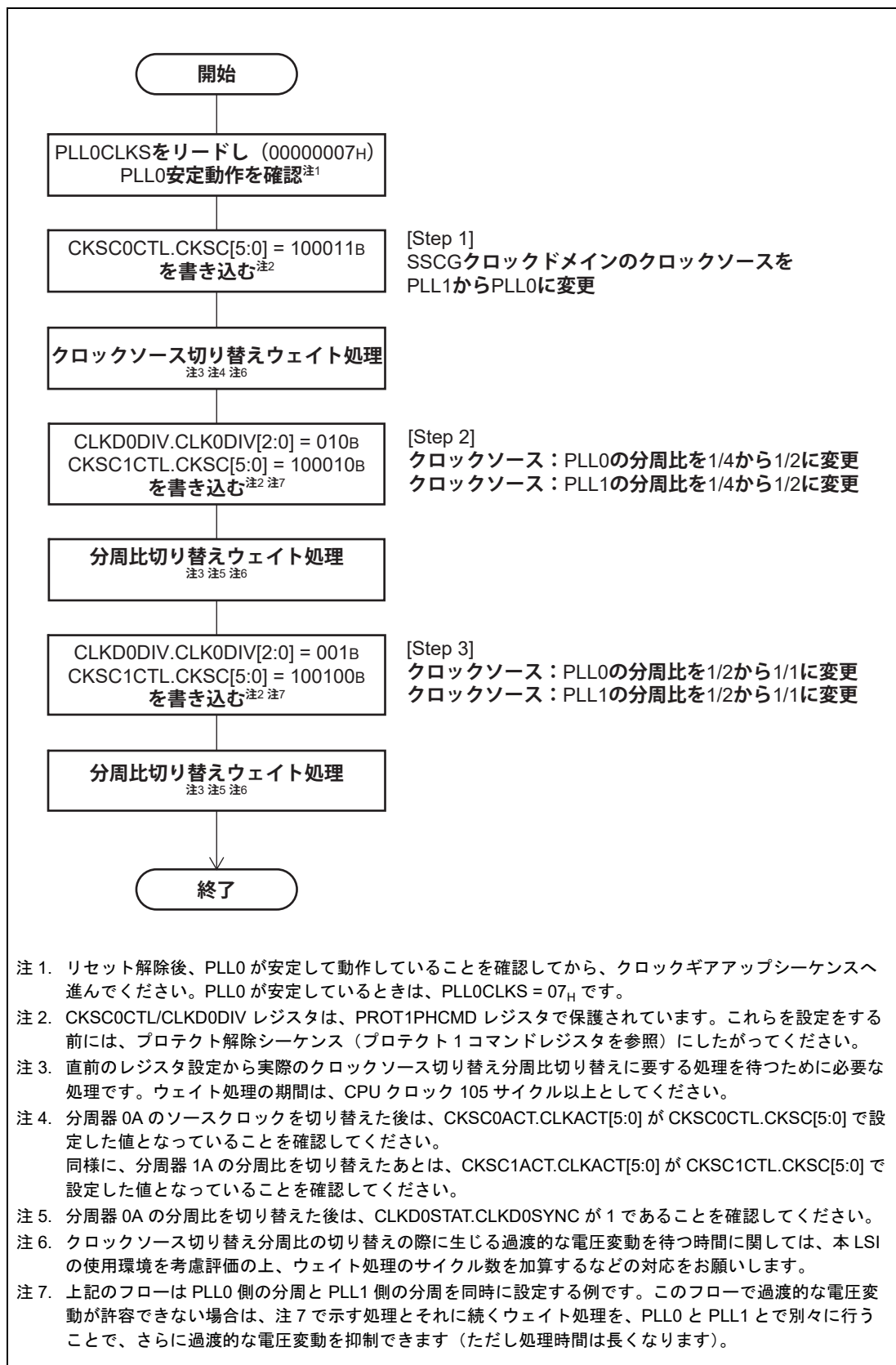


図 10.3 クロックギアアップシーケンスの例

表 10.15 クロックギアアップシーケンスにおける周波数

	CLK_CPU	CLK_HSB	CLK_LSB	CLKC_HSB	CLKC_LSB
Step 1 前	60	20	10	20	10
Step 1-Step 2	60	20	10	20	10
Step 2-Step 3	120	40	20	40	20
Step 3 後	240	80	40	80	40

10.4 注意事項

分周比変更時は FPU 演算等演算器を使用する命令は避けるようにしてください。分周比変更時の電流変動が大きくなり、動作が不安定になる恐れがあります。

10.4.1 ボード設計上の注意

図 10.4 に示すように、X1、X2 端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

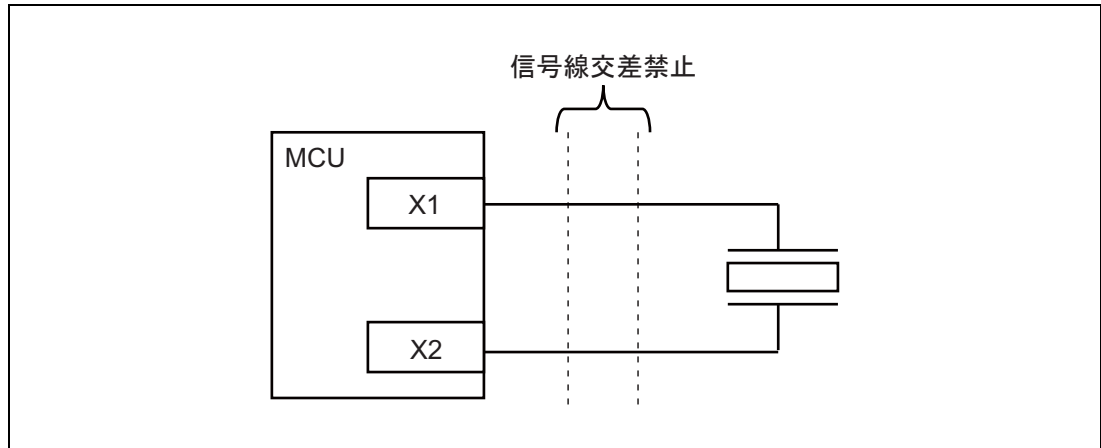


図 10.4 ボード設計上の注意

第11章 クロック同期シリアルインタフェースH (CSIH)

本章では、クロック同期シリアルインタフェースH (CSIH) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1xに固有の特長について説明します。それ以降の節では、CSIHの機能、レジスタについて説明します。

11.1 RH850/C1x CSIHの特長

11.1.1 ユニット数

本製品は、以下に示すユニット数のCSIHを搭載しています。

CSIH 1ユニット当たり1チャンネルのインタフェースを持っています。

表 11.1 ユニット数

製品名	RH850/C1H 252 pin	RH850/C1M 144 pin
ユニット数	2	2
名称	CSIH _n (n = 0, 1)	CSIH _n (n = 0, 1)

表 11.2 添字

添字	意味
n	本章では、CSIHの各ユニットを「n」(n = 0, 1)で識別します。たとえば、CSIH _n 制御レジスタ0はCSIH _n CTL0と記述します。
x	CSIH _n は最大4個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号はCS _x と記述します。
y	説明時における変数を「y」で識別します。たとえば、CSIH _n ボーレート設定レジスタはCSIH _n BRS _y と記述します。

CSIH の各チャンネルのチップセレクト信号の数を以下の表に示します。

表 11.3 チップセレクト数

ユニット名	チップセレクト数	
	252 pin	144 pin
CSIH0	CSx (x = 0 ~ 3)	CSx (x = 0 ~ 3)
CSIH1	CSx (x = 0 ~ 3)	CSx (x = 0 ~ 3)

11.1.2 レジスタベースアドレス

CSIH のベースアドレスを以下の表に示します。

CSIH のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 11.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIH0_base>	FFD8 0000 _H
<CSIH1_base>	FFD8 2000 _H

11.1.3 クロック供給

CSIH のクロック供給を以下の表に示します。

表 11.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
CSIHn	PCLK	CLK_HSB (高速周辺クロック)

11.1.4 割り込み要求

CSIH の割り込み要求を以下の表に示します。

表 11.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
CSIH0				
INTCSIHTIC	通信ステータス割り込み	215	74	100
INTCSIHTIR	受信ステータス割り込み	216	75	101
INTCSIHTIRE	通信エラー割り込み	217	—	—
INTCSIHTIJC	ジョブ完了割り込み	218	76	102
CSIH1				
INTCSIHTIC	通信ステータス割り込み	219	77	103
INTCSIHTIR	受信ステータス割り込み	220	78	104
INTCSIHTIRE	通信エラー割り込み	221	—	—
INTCSIHTIJC	ジョブ完了割り込み	222	79	105

11.1.5 リセット要因

CSIHのリセット要因を以下に示します。

表 11.7 リセット要因

ユニット名	リセット要因
CSIHn	すべてのリセット要因

11.1.6 外部入出力信号

CSIHの外部入出力信号を以下の表に示します。

表 11.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
CSIH0		
CSIHTSCK	シリアルクロック信号	CSIH0SC
CSIHTSI	シリアルデータ入力信号	CSIH0SI
CSIHTSSI	スレーブ選択入力信号	CSIH0SSI
CSIHTRYI	レディ/ビジー入力信号	CSIH0RYI
CSIHTSO	シリアルデータ出力信号	CSIH0SO
CSIHTRYO	レディ/ビジー出力信号	CSIH0RYO
CSIHTCSS[3:0]	チップセレクト信号	CSIH0CSS[3:0]
CSIH1		
CSIHTSCK	シリアルクロック信号	CSIH1SC
CSIHTSI	シリアルデータ入力信号	CSIH1SI
CSIHTSSI	スレーブ選択入力信号	CSIH1SSI
CSIHTRYI	レディ/ビジー入力信号	CSIH1RYI
CSIHTSO	シリアルデータ出力信号	CSIH1SO
CSIHTRYO	レディ/ビジー出力信号	CSIH1RYO
CSIHTCSS[3:0]	チップセレクト信号	CSIH1CSS[3:0]

11.1.7 データ整合性チェック

CSIHnSOの兼用ポートのデータ整合性チェック対応を以下の表に示します。データ整合性チェックの詳細は、「11.4.18 エラー検出」を参照してください。

表 11.9 データ整合性チェックの対象端子

ユニット信号名	ポート端子名	兼用機能
CSIH0		
CSIHTSO	P4_8	ALT_OUT6
CSIH1		
CSIHTSO	P4_1	ALT_OUT7

11.2 概要

11.2.1 機能概要

- 3ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な4個のチップセレクト出力信号を備えているため、複数スレーブ構成とRCB (Recessive Configuration for Broadcasting) が可能
- スレーブ選択入力信号 ($\overline{\text{CSIHTSSI}}$) が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数が調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
 - マスタモード：PCLK/8
 - スレーブモード：PCLK/16
- クロックとデータの位相を選択可能
- MSBファーストまたはLSBファーストでのデータ転送を選択可能
- 2ビットから16ビットまでの転送データ長を1ビット単位で選択可能
- 16ビットを上回るデータを転送するためのEDL (Extended Data Length：拡張データ長) 機能を内蔵
- 以下の3つの転送モードを選択可能：
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ整合性チェック、パリティ、タイムアウト、オーバフロー、オーバラン) を内蔵
- ジョブ概念のサポート
- 128ワードのI/Oバッファメモリ
- ダイレクトアクセスモードと、メモリモード (FIFO、デュアルバッファ、送信専用バッファ) を選択可能
- 4個の割り込み要求信号 (INTCSIHTIC、INTCSIHTIR、INTCSIHTIRE、INTCSIHTIJC)
- 自己テスト用のLBM (ループバックモード) 機能を内蔵
- CPU制御による高優先通信機能
- 強制CSアイドル設定
- ブロードキャストिंगのためRCB (Recessive Configuration for Broadcasting) ビットを内蔵

11.2.2 機能概要説明

CSIH では以下の3つの信号を通信に使用します。

- 送信クロック CSIH_TSCK (マスタモードでは出力、スレーブモードでは入力)
- データ出力信号 CSIH_TSO
- データ入力信号 CSIH_TSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- CSIH_TSSI : スレーブ選択入力信号
- CSIH_TRYO : レディ/ビジー出力信号 (ハンドシェイク信号)
- CSIH_TRYI : レディ/ビジー入力信号 (ハンドシェイク信号)
- CSIH_TCSS[3:0] : チップセレクト信号

データ送信は、1ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 11.10 CSIH の主なレジスタ

レジスタ	機能
CSIHnCTL0	シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効 (バッファのバイパス) にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェイクなどのオプション機能を制御します。
CSIHnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ポーレートジェネレータ (BRG) で転送クロック周波数を選択します。
CSIHnBRSy	チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。
CSIHnMCTL0	メモリモードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアルバッファモードまたは送信専用バッファモードでメモリを制御します。
CSIHnCFGx	各チップセレクト信号の通信プロトコルを設定するレジスタです。

11.2.3 ブロック図

以下のブロック図はCSIHの主要なコンポーネントを示しています。

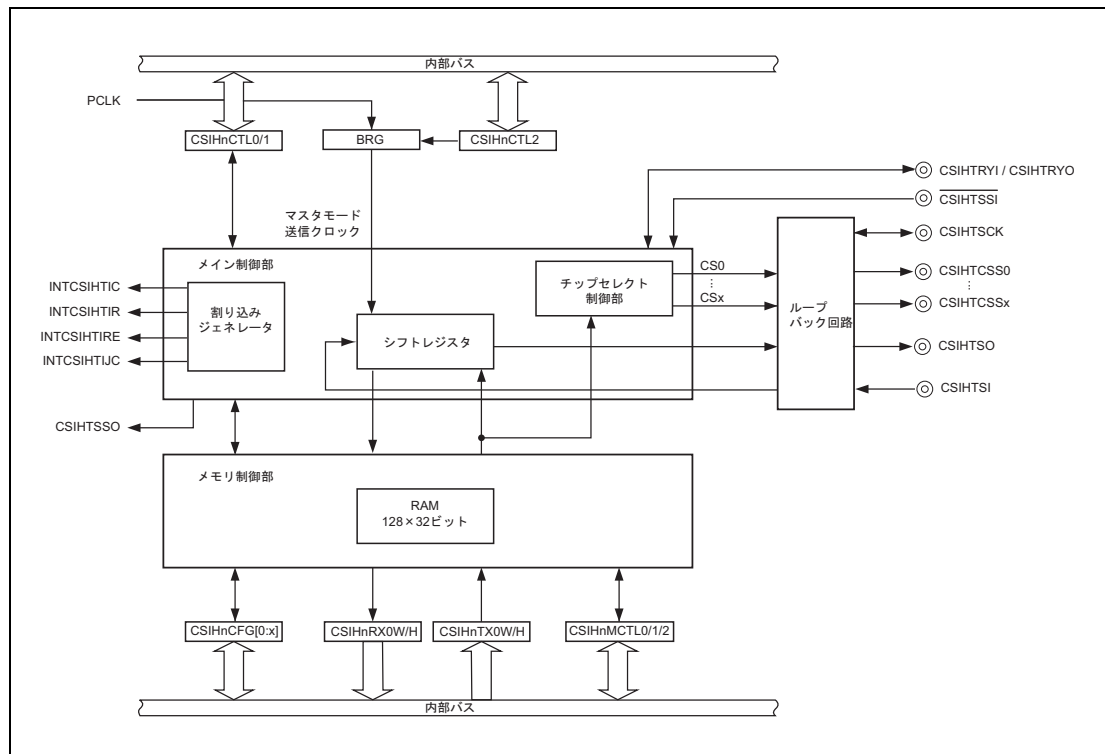


図 11.1 CSIH のブロック図

マスタモードでは、送信クロック CSIHnSCK が内蔵のポーレートジェネレータ (BRG) によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。

内蔵のメモリは FIFO、デュアルバッファ (別々の送信バッファと受信バッファ) または送信専用バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループバック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備考

本章では、以下のモードについて説明します。

- 「動作モード」はマスタモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます (詳細については、「11.4.7 動作モード (マスタ/スレーブ)」を参照してください)。
- 「ジョブモード」は AUTOSAR ジョブ概念に関連しています (詳細については、「11.4.9.3 ジョブ概念」を参照してください)。
- 「メモリモード」では、関連付けられたバッファメモリのさまざまな設定に対応します (詳細については、「11.4.12 CSIH のバッファメモリ」を参照してください)。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります (詳細については、「11.4.13 データ転送モード」を参照してください)。

11.3 レジスタ

11.3.1 レジスタ一覧

CSIHのレジスタ一覧を以下の表に示します。

<CSIHn_base> は「11.1.2 レジスタベースアドレス」を参照してください。

表 11.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CSIHn	CSIHn 制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000 _H
CSIHn	CSIHn 制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010 _H
CSIHn	CSIHn 制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014 _H
CSIHn	CSIHn ステータスレジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004 _H
CSIHn	CSIHn ステータスクリアレジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008 _H
CSIHn	CSIHn メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base> + 1040 _H
CSIHn	CSIHn メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base> + 1000 _H
CSIHn	CSIHn メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base> + 1004 _H
CSIHn	CSIHn メモリ読み出し/書き込みポインタレジスタ 0	CSIHnMRWP0	<CSIHn_base> + 1018 _H
CSIHn	CSIHn コンフィギュレーションレジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044 _H
CSIHn	CSIHn コンフィギュレーションレジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048 _H
CSIHn	CSIHn コンフィギュレーションレジスタ 2	CSIHnCFG2	<CSIHn_base> + 104C _H
CSIHn	CSIHn コンフィギュレーションレジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050 _H
CSIHn	CSIHn ワードアクセス用送信データレジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008 _H
CSIHn	CSIHn ハーフワードアクセス用送信データレジスタ 0	CSIHnTX0H	<CSIHn_base> + 100C _H
CSIHn	CSIHn ワードアクセス用受信データレジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010 _H
CSIHn	CSIHn ハーフワードアクセス用受信データレジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014 _H
CSIHn	CSIHn ボーレート設定レジスタ 0	CSIHnBRS0	<CSIHn_base> + 1068 _H
CSIHn	CSIHn ボーレート設定レジスタ 1	CSIHnBRS1	<CSIHn_base> + 106C _H
CSIHn	CSIHn ボーレート設定レジスタ 2	CSIHnBRS2	<CSIHn_base> + 1070 _H
CSIHn	CSIHn ボーレート設定レジスタ 3	CSIHnBRS3	<CSIHn_base> + 1074 _H

11.3.2 CSIHnCTL0 — CSIHn 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可/禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8ビット単位または1ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnPWR	CSIHnTXE	CSIHnRXE	—	—	—	CSIHnJOBE	CSIHnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

表 11.12 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIHnPWR をクリア (0) すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア (0) した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
4 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します (CSIHnTX0W.CSIHnEOJ = 1 (ジョブ終了) 時に送信バッファにデータを書き込まれると通信が終了になります)。 0: 通信停止を要求しません。 1: 通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア (0) されます。このビットをセット (1) しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポインタをクリアしたあと、次の通信を開始する必要があります。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0: メモリモード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1: ダイレクトアクセスモード CSIH のメモリをバイパスします。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.3 CSIHnCTL1 — CSIHn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能、ジョブモードを有効または無効する機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIHn PHE	CSIHn CKR	CSIHn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.13 CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	CSIHnPHE	CPU 制御の優先度別通信機能を設定します。 0 : CPU 制御の高優先通信機能は無効です。 1 : CPU 制御の高優先通信機能は有効です。 CPU 制御の高優先通信機能を有効にする場合は、本ビットを 1 に設定するほかに、CSIHnJE = 1 を設定してください。このビットは送信専用バッファモードでのみ設定可能です。
17	CSIHnCKR	CSIHTSCK のクロック反転機能 0 : CSIHTSCK のデフォルトレベルはハイレベル 1 : CSIHTSCK のデフォルトレベルはロウレベル 詳細については、「11.3.11 CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x」を参照してください。
16	CSIHnSLIT	割り込み INTCSIHTIC のタイミングを選択します。 0 : 通常の割り込みのタイミング (転送後に割り込みを発生します)。 1 : CSIHnTX0W/H レジスタの内容がシフトレジスタに転送されると、ただちに割り込みが発生します (ダイレクトアクセスモード/送信専用バッファモードでのみ機能します)。 詳細については、「11.4.3 INTCSIHTIC (通信ステータス割り込み)」を参照してください。
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 8	CSIHnCSLx	チップセレクト信号 x (CSIHTCSSx) のアクティブ出力レベルを選択します (x = 0 ~ 3)。 0 : チップセレクト信号をアクティブロウにします。 1 : チップセレクト信号をアクティブハイにします。 詳細については、「11.4.9 チップセレクト (CS) 機能」を参照してください。
7	CSIHnEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0 : 拡張データ長モードを無効にします。 1 : 拡張データ長モードを有効にします。 詳細については、「11.4.14.2 16 ビットを上回るデータ長」を参照してください。

表 11.13 CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	CSIHnJE	ジョブモードを有効または無効にします。 0: ジョブモードを無効にします。 1: ジョブモードを有効にします。 詳細については、「11.4.9.3 ジョブ概念」を参照してください。 CSIHnCTL0.CSIHnJOBE, CSIHnTX0W.CSIHnEOJ, CSIHnTX0W. CSIHnCIRE ビットは CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブモードでは設定禁止です。 また、CPU 制御の高優先通信機能を有効にする場合は、CSIHnPHE = 1 のほかに、本ビットを 1 に設定してください。
5	CSIHnDCS	データ整合性チェックを有効または無効にします。 0: データ整合性チェックを無効にします。 1: データ整合性チェックを有効にします。 詳細については、「11.4.18.1 データ整合性チェック」を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップセレクト信号の動作を定義します。 0: チップセレクト信号がアクティブレベルを保持します。 1: チップセレクト信号が非アクティブレベルに戻ります。 最後のデータの判定はダイレクトアクセスモード/FIFO モード時の割り込みタイミングで行います。CSIHnCTL1.CSIHnSLIT = 1 のときはダイレクトアクセスモードです。
3	CSIHnLBM	ループバックモード (LBM) を制御します。 0: ループバックモードをインアクティブにします。 1: ループバックモードをアクティブにします。 詳細については、「11.4.19 ループバックモード」を参照してください。
2	CSIHnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、「11.4.2 割り込み遅延」を参照してください。
1	CSIHnHSE	ハンドシェイク機能を有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、「11.4.17 ハンドシェイク機能」を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0: 入力信号 CSIHnTSSI を無効にします。 1: 入力信号 CSIHnTSSI を有効にします。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります (「11.4.8 マスタ/スレーブの接続」も参照してください)。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 11.14 受信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	CSIHnTSSI	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 11.15 送信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	CSIHTSSI	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、転送クロック周波数を指定します。

詳細については、「11.4.11 送信クロックの選択」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0014_H

リセット後の値 E000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnPRS[2:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.16 CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15 ~ 13	CSIHnPRS[2:0]	動作モードと基本クロックの値を選択します																																				
		<table border="1"> <thead> <tr> <th>CSIHnPRS2</th> <th>CSIHnPRS1</th> <th>CSIHnPRS0</th> <th>基本クロック (PRSOUT) の選択</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>PCLK (マスタモード)</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>PCLK/2 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>PCLK/4 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>PCLK/8 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>PCLK/16 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>PCLK/32 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>PCLK/64 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>CSIHTSCK(in) 経由の外部クロック (スレーブモード)</td> </tr> </tbody> </table>	CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック (PRSOUT) の選択	0	0	0	PCLK (マスタモード)	0	0	1	PCLK/2 (マスタモード)	0	1	0	PCLK/4 (マスタモード)	0	1	1	PCLK/8 (マスタモード)	1	0	0	PCLK/16 (マスタモード)	1	0	1	PCLK/32 (マスタモード)	1	1	0	PCLK/64 (マスタモード)	1	1	1	CSIHTSCK(in) 経由の外部クロック (スレーブモード)
		CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック (PRSOUT) の選択																																	
		0	0	0	PCLK (マスタモード)																																	
		0	0	1	PCLK/2 (マスタモード)																																	
		0	1	0	PCLK/4 (マスタモード)																																	
		0	1	1	PCLK/8 (マスタモード)																																	
		1	0	0	PCLK/16 (マスタモード)																																	
		1	0	1	PCLK/32 (マスタモード)																																	
1	1	0	PCLK/64 (マスタモード)																																			
1	1	1	CSIHTSCK(in) 経由の外部クロック (スレーブモード)																																			
12 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				

マスタモードでは、以下のビットを使って転送クロック周波数を設定します。

CSIHnCTL2.CSIHnPRS[2:0], CSIHnCFGx.CSIHnBRSS[1:0], CSIHnBRSy.CSIHnBRS[11:0]

また、CSIHnBRSy.CSIHnBRS[11:0] ビットで設定される 4 種類の転送クロック周波数設定は、チップセレクト信号ごとに、そのいずれかの設定が選択されます。チップセレクト信号ごとの転送クロック周波数設定の選択は、CSIHnCFGx.CSIHnBRSS[1:0] ビットにて行います。

CSIHnCFGx.CSIHnBRSS[1:0] と CSIHnBRSy.CSIHnBRS[11:0] の関係は、以下のとおりです。

CSIHnCFGx.CSIHnBRSS[1:0]	選択される転送クロック周波数設定ビット
00	CSIHnBRS0.CSIHnBRS[11:0]
01	CSIHnBRS1.CSIHnBRS[11:0]
10	CSIHnBRS2.CSIHnBRS[11:0]
11	CSIHnBRS3.CSIHnBRS[11:0]

CSIHnPRS[2:0] ビットの値を α とした場合、CSIHnBRSS[1:0] ビットにて選択された転送クロック周波数設定 (CSIHnBRSy[11:0]) と転送クロック周波数の関係は、以下のとおりです。

CSIHnBRSy[11:0]	転送クロック周波数
0	BRG stopped
1	$PCLK / (2^\alpha \times 1 \times 2)$
2	$PCLK / (2^\alpha \times 2 \times 2)$
3	$PCLK / (2^\alpha \times 3 \times 2)$
4	$PCLK / (2^\alpha \times 4 \times 2)$
...	...
4095	$PCLK / (2^\alpha \times 4095 \times 2)$

スレーブモードで、タイムアウトエラーを使用する場合のクロックは、本設定で設定したクロックが使われます。スレーブモードで使用する際は、CSIHnPRS[2:0] ビットに 111_B を設定しますが、その際のプリスケアラは、CSIHnPRS[2:0] ビットに 000_B を設定した場合と同じ設定になります。タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットには、000_H 以外の値を設定して使用してください。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.5 CSIHnSTR0 — CSIHn ステータスレジスタ 0

本レジスタはCSIHの状態を示します。

アクセス 32ビット単位でリード可能です。

アドレス <CSIHn_base> + 0004_H

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnSRP[7:0]								CSIHnSPF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOE	CSIHn OFE	—	—	—	—	—	CSIHn HPST	CSIHn TSF	—	CSIHn FLF	CSIHn EMF	CSIHn DCE	—	CSIHn PE	CSIHn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.17 CSIHnSTR0 レジスタの内容 (1/3)

ビット位置	ビット名	機能								
31 ~ 24	CSIHnSRP[7:0]	<p>FIFO モードで受信データ数を示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSRP[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td rowspan="3">受信データ数 (0 ~ 128)</td> </tr> <tr> <td>:</td> </tr> <tr> <td>80_H</td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットはCSIHnSTCR0.CSIHnPCTによってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が00_Hに固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0]によってデータの数を管理するため、このビットは0に固定されます。</p>	CSIHnSRP[7:0]	説明	00 _H	受信データ数 (0 ~ 128)	:	80 _H	上記以外	未定義
CSIHnSRP[7:0]	説明									
00 _H	受信データ数 (0 ~ 128)									
:										
80 _H										
上記以外	未定義									
23 ~ 16	CSIHnSPF[7:0]	<p>FIFO モードで未送信データの数を示します。 (CPUによって書き込まれたデータの数は送信データ数です)</p> <table border="1"> <thead> <tr> <th>CSIHnSPF[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td rowspan="3">未送信データパケットの数 (0 ~ 128)</td> </tr> <tr> <td>:</td> </tr> <tr> <td>80_H</td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットはCSIHnSTCR0.CSIHnPCTによってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が00_Hに固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0]によってデータの数を管理するため、このビットは0に固定されます。</p>	CSIHnSPF[7:0]	説明	00 _H	未送信データパケットの数 (0 ~ 128)	:	80 _H	上記以外	未定義
CSIHnSPF[7:0]	説明									
00 _H	未送信データパケットの数 (0 ~ 128)									
:										
80 _H										
上記以外	未定義									

表 11.17 CSIHnSTR0 レジスタの内容 (2/3)

ビット位置	ビット名	機能																									
15	CSIHnTMOE	<p>FIFO モード時のタイムアウトエラーフラグ FIFO モード時のタイムアウトエラーが検出されたかどうかを示します。 0: FIFO モード時のタイムアウトエラーが検出されていません。 1: FIFO モード時のタイムアウトエラーが検出されています。 詳細については、「11.4.18.3 タイムアウトエラー」を参照してください。このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア (0) されます。 タイムアウトエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnTMOEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p>																									
14	CSIHnOFE	<p>FIFO モード時のオーバーフローエラーフラグ FIFO モード時のオーバーフローエラーが検出されたかどうかを示します。 0: FIFO モード時のオーバーフローエラーが検出されていません。 1: FIFO モード時のオーバーフローエラーが検出されています。 詳細については、「11.4.18.4 オーバーフローエラー」を参照してください。このビットは CSIHnSTCR0.CSIHnOFEC によってクリア (0) されます。 オーバーフローエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOFEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p>																									
13 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。																									
8	CSIHnHPST	<p>通信優先度確認フラグ 0: 低優先の通信中であることを示します。 1: 高優先の通信中であることを示します。 本ビットは、CPU 制御による高優先通信を無効 (CSIHnCTL1.CSIHnPHE = 0) 設定にしている場合は、常に 0 が読み出されます。</p>																									
7	CSIHnTSF	<p>転送ステータスフラグ 0: アイドル状態 1: 通信中または通信の準備中</p> <p>このビットがセットまたはクリアされるタイミングを以下に示します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">マスタモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされるタイミング</th> </tr> <tr> <th>ダイレクトアクセスモード、FIFO モード</th> <th>デュアルバッファモード、送信専用バッファモード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み</td> <td rowspan="3">CSIHnMCTL2.CSIHnBTST ビットのセット</td> <td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">スレーブモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされるタイミング</th> </tr> <tr> <th>ダイレクトアクセスモード、FIFO モード</th> <th>デュアルバッファモード、送信専用バッファモード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み</td> <td rowspan="3">CSIHnMCTL2.CSIHnBTST ビットのセット</td> <td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIHTSCK 入力タイミング</td> </tr> </tbody> </table>	マスタモード	セットされるタイミング		クリアされるタイミング	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード	送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内	送受信モード	受信専用モード	スレーブモード	セットされるタイミング		クリアされるタイミング	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード	送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内	送受信モード	受信専用モード	CSIHTSCK 入力タイミング
マスタモード	セットされるタイミング			クリアされるタイミング																							
	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード																									
送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内																								
送受信モード																											
受信専用モード																											
スレーブモード	セットされるタイミング		クリアされるタイミング																								
	ダイレクトアクセスモード、FIFO モード	デュアルバッファモード、送信専用バッファモード																									
送信専用モード	送信レジスタ (CSIHnTX0W/CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビットのセット	最後のシリアルクロックエッジから半クロック以内																								
送受信モード																											
受信専用モード				CSIHTSCK 入力タイミング																							
6	予約ビット	リードした場合はリセット後の値が読めます。																									
5	CSIHnFLF	<p>FIFO モード時のバッファフルの状態を示すフラグです。 0: FIFO バッファがフル状態ではありません。 1: FIFO バッファがフル状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってクリア (0) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。</p>																									

表 11.17 CSIHnSTR0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
4	CSIHnEMF	FIFO モード時のバッファエンプティの状態を示すフラグです。 0: FIFO バッファがエンプティ状態ではありません。 1: FIFO バッファがエンプティ状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってセット (1) されます。 このビットは、CSIHnSTR0.CSIHnSRP[7:0] + CSIHnSTR0.CSIHnSPF[7:0] = 00 _H となったときにセット (1) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。
3	CSIHnDCE	データ整合性チェックエラーフラグ 0: データ整合性エラーが検出されていません。 1: データ整合性エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 を書き込むことによってクリア (0) されます。 データ整合性エラーの検出によるセット (1) と CSIHnSTCR0.CSIHnDCEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
2	予約ビット	リードした場合はリセット後の値が読めます。
1	CSIHnPE	パリティエラーフラグ 0: パリティエラーが検出されていません。 1: パリティエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 を書き込むことによってクリア (0) されます。 ただし、パリティエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnPEC によるクリア (0) が同時に発生した場合、パリティエラーの検出によるセット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR = 0 のときにライトアクセス可能です。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
0	CSIHnOVE	オーバランエラーフラグ (デュアルバッファモードでは 0 固定です) 0: オーバランエラーが検出されていません。 1: オーバランエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 を書き込むことによってクリア (0) されます。 ただし、オーバランエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOVEC によるクリア (0) が同時に発生した場合、オーバランエラーの検出によるセット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

表 11.18 メモリモードでの動作

ビット名	ビット位置	ダイレクト アクセスモード	FIFO モード	送信専用 バッファモード	デュアル バッファモード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnTSF	7	0: アイドル状態 1: 通信中または通信の準備中			
CSIHnFLF	5	0 固定	0: フルでない 1: フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0: エンプティでない 1: エンプティ	1 固定	1 固定
CSIHnDCE	3	0: エラー未検出 1: エラー検出			
CSIHnPE	1	0: エラー未検出 1: エラー検出			
CSIHnOVE	0	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0 固定

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.6 CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス 16ビット単位でリード/ライト可能です。
読み出すと、常に値 0000_H が返されます。

アドレス <CSIHn_base> + 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTMOEC	CSIHnOFEC	—	—	—	—	—	CSIHnPCT	—	—	—	—	CSIHnDCEC	—	CSIHnPEC	CSIHnOVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 11.19 CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能				
15	CSIHnTMOEC	タイムアウトエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: タイムアウトエラーフラグ (CSIHnSTR0.CSIHnTMOE) をクリアします。				
14	CSIHnOFEC	オーバフローエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: オーバフローエラーフラグ (CSIHnSTR0.CSIHnOFE) をクリアします。				
13 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。				
8	CSIHnPCT	FIFO ポインタクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: 次の FIFO バッファポインタ (FIFO モード、デュアルバッファモード、送信専用バッファモード) およびステータスビットをクリアします。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>FIFO バッファポインタ</th> <th>ステータスビット</th> </tr> </thead> <tbody> <tr> <td>CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0]</td> <td>CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF</td> </tr> </tbody> </table> <p>さらに、CSIHnSTR0.CSIHnEMF ビットがセット (1) されます (FIFO エンブティ) (FIFO モード時のみ)。</p>	FIFO バッファポインタ	ステータスビット	CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF
FIFO バッファポインタ	ステータスビット					
CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF					
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。				
3	CSIHnDCEC	データ整合性エラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: データ整合性エラーフラグ (CSIHnSTR0.CSIHnDCE) をクリアします。				
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。				
1	CSIHnPEC	パリティエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: パリティエラーフラグ (CSIHnSTR0.CSIHnPE) をクリアします。				
0	CSIHnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: オーバランエラーフラグ (CSIHnSTR0.CSIHnOVE) をクリアします。				

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.7 CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0

本レジスタではメモリモードとタイムアウトの設定を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1040_H

リセット後の値 001F_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CSIHnMMS[1:0]	—	—	—	CSIHnTO[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 11.20 CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能															
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
9, 8	CSIHnMMS[1:0]	メモリモードを選択します。 <table border="1"> <thead> <tr> <th>CSIHnMMS1</th> <th>CSIHnMMS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FIFO モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>デュアルバッファモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>送信専用バッファモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>禁止</td> </tr> </tbody> </table> <p>メモリモードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット (1) し個々のバッファポインタをクリアしてください。 ダイレクトアクセスモードでは、これらのビットの設定は無視されます。</p>	CSIHnMMS1	CSIHnMMS0	説明	0	0	FIFO モード	0	1	デュアルバッファモード	1	0	送信専用バッファモード	1	1	禁止
CSIHnMMS1	CSIHnMMS0	説明															
0	0	FIFO モード															
0	1	デュアルバッファモード															
1	0	送信専用バッファモード															
1	1	禁止															
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4 ~ 0	CSIHnTO[4:0]	FIFO モードのタイムアウトの設定を選択します。 <table border="1"> <thead> <tr> <th>CSIHnTO[4:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>タイムアウトを検出しません。</td> </tr> <tr> <td>00001_B</td> <td>タイムアウトを (1 × 8 × BRG 出カクロック) にします。</td> </tr> <tr> <td>00010_B</td> <td>タイムアウトを (2 × 8 × BRG 出カクロック) にします。</td> </tr> <tr> <td>...</td> <td></td> </tr> <tr> <td>11111_B</td> <td>タイムアウトを (31 × 8 × BRG 出カクロック) にします。</td> </tr> </tbody> </table> <p>注意 タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときのみ変更することができます。 CSIHnTO[4:0] ビットは FIFO モード以外 (ダイレクトアクセスモード、デュアルバッファモード、送信専用バッファモード) は 00000_B に設定してください タイムアウトの検出の詳細については、「11.4.18.3 タイムアウトエラー」も参照してください。</p>	CSIHnTO[4:0]	説明	0000 _B	タイムアウトを検出しません。	00001 _B	タイムアウトを (1 × 8 × BRG 出カクロック) にします。	00010 _B	タイムアウトを (2 × 8 × BRG 出カクロック) にします。	...		11111 _B	タイムアウトを (31 × 8 × BRG 出カクロック) にします。			
CSIHnTO[4:0]	説明																
0000 _B	タイムアウトを検出しません。																
00001 _B	タイムアウトを (1 × 8 × BRG 出カクロック) にします。																
00010 _B	タイムアウトを (2 × 8 × BRG 出カクロック) にします。																
...																	
11111 _B	タイムアウトを (31 × 8 × BRG 出カクロック) にします。																

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.8 CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 INTCSIHTIC と INTCSIHTIR を発生する条件を選択します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnFES[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnFFS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.21 CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	CSIHnFES[6:0]	FIFO モードで INTCSIHTIC 割り込み（送信データエンプティ）を発生する条件を選択します。 FIFOに残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0] ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0] と一致すると、INTCSIHTIC 割り込み要求が発生します。
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	CSIHnFFS[6:0]	FIFO モードで INTCSIHTIR 割り込み（受信データフル）を発生する条件を選択します。 FIFOに残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0] ビットで確認）（128-CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、INTCSIHTIR 割り込み要求が発生します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.9 CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2

本レジスタでは、デュアルバッファモードまたは送信専用バッファモードのときにメモリの動作を制御し、通信の開始をトリガします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BTST	—	—	—	—	—	—	—	CSIHnND[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnSOP[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.22 CSIHnMCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																																		
31	CSIHnBTST	<p>バッファ転送の開始トリガを供給します。</p> <p>0: 何も操作を行いません。</p> <p>1: 転送開始コマンドを発行します。</p> <p>読み出し値は常に0になります。</p> <p>注意</p> <p>このビットはデュアルバッファモードおよび送信専用バッファモードでのみ使用できます。</p>																																																		
30 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																		
23 ~ 16	CSIHnND[7:0]	<p>各メモリモードにおけるデータの数を指定します。</p> <p>リード値は残りの通信データ数を表します。</p> <table border="1"> <thead> <tr> <th>CSIHnND[7:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFO モード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0個のデータを送信</td> <td>0個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>1個のデータを送信</td> <td>1個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>63個のデータを送信</td> <td>63個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>64個のデータを送信</td> <td>64個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>127個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>80_H</td> <td>禁止</td> <td>128個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>上記以外</td> <td colspan="4">設定禁止</td> </tr> </tbody> </table> <p>データ転送後、値は自動的にデクリメントされます（ダイレクトアクセスモードではデクリメントされません）。</p>	CSIHnND[7:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード	00 _H	0個のデータを送信	0個のデータを送信	影響なし	影響なし	01 _H	1個のデータを送信	1個のデータを送信	影響なし	影響なし	影響なし	影響なし	3F _H	63個のデータを送信	63個のデータを送信	影響なし	影響なし	40 _H	64個のデータを送信	64個のデータを送信	影響なし	影響なし	...	禁止	...	影響なし	影響なし	7F _H	禁止	127個のデータを送信	影響なし	影響なし	80 _H	禁止	128個のデータを送信	影響なし	影響なし	上記以外	設定禁止			
CSIHnND[7:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード																																																
00 _H	0個のデータを送信	0個のデータを送信	影響なし	影響なし																																																
01 _H	1個のデータを送信	1個のデータを送信	影響なし	影響なし																																																
...	影響なし	影響なし																																																
3F _H	63個のデータを送信	63個のデータを送信	影響なし	影響なし																																																
40 _H	64個のデータを送信	64個のデータを送信	影響なし	影響なし																																																
...	禁止	...	影響なし	影響なし																																																
7F _H	禁止	127個のデータを送信	影響なし	影響なし																																																
80 _H	禁止	128個のデータを送信	影響なし	影響なし																																																
上記以外	設定禁止																																																			
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																		

表 11.22 CSIHnMCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能																																								
6 ~ 0	CSIHnSOP[6:0]	<p>送信データのポインタを選択します。 CSIHnCTL0.CSIHnPWR = 0、または CSIHnSTCR0.CSIHnPCT = 1 に設定して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。 FIFO モードでは、これらのビットは送信アドレスを示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSOP[6:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFO モード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>0000_H</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>0004_H</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>0100_H</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>01FC_H</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>注意 ダイレクトアクセスモードではこれらのビットはインクリメントされません。</p>	CSIHnSOP[6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード	00 _H	0000 _H	0000 _H	0000 _H	影響なし	01 _H	0004 _H	0004 _H	0004 _H	影響なし	影響なし	3F _H	00FC _H	00FC _H	00FC _H	影響なし	40 _H	禁止	0100 _H	0100 _H	影響なし	...	禁止	影響なし	7F _H	禁止	01FC _H	01FC _H	影響なし
CSIHnSOP[6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード																																						
00 _H	0000 _H	0000 _H	0000 _H	影響なし																																						
01 _H	0004 _H	0004 _H	0004 _H	影響なし																																						
...	影響なし																																						
3F _H	00FC _H	00FC _H	00FC _H	影響なし																																						
40 _H	禁止	0100 _H	0100 _H	影響なし																																						
...	禁止	影響なし																																						
7F _H	禁止	01FC _H	01FC _H	影響なし																																						

注意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.10 CSIHnMRWP0 — CSIHn メモリ読み出し/書き込みポインタレジスタ 0

本レジスタではデュアルバッファまたは送信専用バッファの読み出しポインタと書き込みポインタを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnRRA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnTRWA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.23 CSIHnMRWP0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																								
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								
22 ~ 16	CSIHnRRA[6:0]	<p>受信バッファの読み出しポインタを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnRRA[6:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFO モード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>影響なし</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>影響なし</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>影響なし</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>影響なし</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>影響なし</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>受信データが読み出されると、これらのビットは自動的にインクリメントされます。 CSIHnRX0W または CSIHnRX0H レジスタの読み出し中にオーバランエラーが発生した場合、読み出しポインタはインクリメントされません。 CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。 ダイレクトアクセスモード、送信専用バッファモードではこれらのビットはインクリメントされません。 送信専用バッファモードでライトアクセスしたい場合、これらのビットには 0000_H を設定してください。 FIFO モードでは、これらのビットは受信データの読み出しアドレスを示します。</p>	CSIHnRRA[6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード	00 _H	0000 _H	影響なし	0000 _H	影響なし	01 _H	0004 _H	影響なし	0004 _H	影響なし	影響なし	...	影響なし	3F _H	00FC _H	影響なし	00FC _H	影響なし	40 _H	禁止	影響なし	0100 _H	影響なし	...	禁止	影響なし	...	影響なし	7F _H	禁止	影響なし	01FC _H	影響なし
CSIHnRRA[6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード																																						
00 _H	0000 _H	影響なし	0000 _H	影響なし																																						
01 _H	0004 _H	影響なし	0004 _H	影響なし																																						
...	...	影響なし	...	影響なし																																						
3F _H	00FC _H	影響なし	00FC _H	影響なし																																						
40 _H	禁止	影響なし	0100 _H	影響なし																																						
...	禁止	影響なし	...	影響なし																																						
7F _H	禁止	影響なし	01FC _H	影響なし																																						
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								

表 11.23 CSIHnMRWP0 レジスタの内容 (2/2)

ビット位置	ビット名	機能				
6 ~ 0	CSIHnTRWA[6:0]	送信バッファの読み出し／書き込みポインタを選択します。				
		CSIHnTRWA [6:0]	デュアルバッ ファモード	送信専用バッ ファモード	FIFO モード	ダイレクトアク セスモード
		00 _H	0000 _H	0000 _H	0000 _H	影響なし
		01 _H	0004 _H	0004 _H	0004 _H	影響なし
		影響なし
		3F _H	00FC _H	00FC _H	00FC _H	影響なし
		40 _H	禁止	0100 _H	0100 _H	影響なし
		...	禁止	影響なし
		7F _H	禁止	01FC _H	01FC _H	影響なし
		送信データが書き込まれるか、読み出されると、これらのビットは自動的にインクリメントされます。 CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。 ダイレクトアクセスモードではこれらのビットはインクリメントされません。 FIFO モードでは、これらのビットは送信データの読み出し／書き込みアドレスを示します。				

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.11 CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x

これら4個のレジスタでは、各チップセレクト信号 CSIHnCSSx のプリスケアラ、パリティ、データ長、ブロードキャスト用のリセッショの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLs[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx、CSIHnDAPx : クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1 ~ CSIHnCFG3 レジスタには 0 を設定してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス CSIHnCFG0 : <CSIHn_base> + 1044_H
 CSIHnCFG1 : <CSIHn_base> + 1048_H
 CSIHnCFG2 : <CSIHn_base> + 104C_H
 CSIHnCFG3 : <CSIHn_base> + 1050_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnBRSSx [1:0]		CSIHnPSx[1:0]		CSIHnDLs[3:0]			—	—	—	—	—	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn IDLx	CSIHnIDx[2:0]		CSIHnHDx[3:0]			CSIHnINx[3:0]			CSIHnSPx[3:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.24 CSIHnCFGx レジスタの内容 (1/5)

ビット位置	ビット名	機能															
31、30	CSIHnBRSSx [1:0]	<p>ポーレート設定レジスタ (CSIHnBRSSy) を選択するビットです。</p> <table border="1"> <thead> <tr> <th>CSIHn BRSSx1</th> <th>CSIHn BRSSx0</th> <th>ポーレート設定レジスタの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CSIHnBRS0 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>CSIHnBRS1 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>CSIHnBRS2 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>CSIHnBRS3 の設定に従い転送クロック周波数を設定します。</td> </tr> </tbody> </table> <p>転送クロック周波数設定の最大値は、CSIHnCTL2.CSIHnPRS[2:0] 設定と合わせて、以下のとおりとしてください。 マスタモード : PCLK/8、スレーブモード : PCLK/16</p>	CSIHn BRSSx1	CSIHn BRSSx0	ポーレート設定レジスタの選択	0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。	0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。	1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。	1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。
CSIHn BRSSx1	CSIHn BRSSx0	ポーレート設定レジスタの選択															
0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。															
0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。															
1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。															
1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。															

表 11.24 CSIHnCFGx レジスタの内容 (2/5)

ビット位置	ビット名	機能																				
29、28	CSIHnPSx[1:0]	<p>チップセレクト信号 x の送信用と受信用のパリティを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSx1</th> <th>CSIHn PSx0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0 に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIHn PSx1	CSIHn PSx0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0 に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIHn PSx1	CSIHn PSx0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0 に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIHnDLSx [3:0]	<p>チップセレクト信号 x のデータ長を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnDLSx[3:0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>16 ビット</td> </tr> <tr> <td>0001_B</td> <td>1 ビット</td> </tr> <tr> <td>0010_B</td> <td>2 ビット</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111_B</td> <td>15 ビット</td> </tr> </tbody> </table> <p>注意</p> <p>CSIHnTX0W.CSIHnEDL = 1 のとき、このビットの設定は意味を持ちません。 (データ長は 16 ビット) CSIHnTX0W.CSIHnEDL = 0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIHnEDL = 1 設定の 16 ビットである時だけ、1 ビットを設定することが可能です。</p>	CSIHnDLSx[3:0]	データ長	0000 _B	16 ビット	0001 _B	1 ビット	0010 _B	2 ビット	1111 _B	15 ビット								
CSIHnDLSx[3:0]	データ長																					
0000 _B	16 ビット																					
0001 _B	1 ビット																					
0010 _B	2 ビット																					
...	...																					
1111 _B	15 ビット																					
23 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
19	CSIHnRCBx	<p>チップセレクト信号 x のブロードキャストのリセッパ設定を選択します。</p> <p>0 : ドミナント (高優先度) 1 : リセッパ (低優先度)</p> <p>詳細については、「11.4.9.1 コンフィギュレーションレジスタ」を参照してください。</p>																				
18	CSIHnDIRx	<p>チップセレクト信号 x のシリアルデータ方向を選択します。</p> <p>0 : MSB ファーストでデータを送受信します。 1 : LSB ファーストでデータを送受信します。</p> <p>詳細については、「11.4.15 シリアルデータ方向選択機能」を参照してください。</p>																				

表 11.24 CSIHnCFGx レジスタの内容 (3/5)

ビット位置	ビット名	機能																											
17	CSIHnCKPx	CSIHnCKPx : クロック位相選択ビット																											
16	CSIHnDAPx	CSIHnDAPx : データ位相選択ビット <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 0 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td> </td> </tr> </tbody> </table> <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 1 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td> </td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">*</td> <td>設定禁止</td> </tr> </tbody> </table>	CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1		CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	*	設定禁止
CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	0																												
1	1																												
CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	*	設定禁止																											
15	CSIHnIDLx	<p>チップセレクト信号 x の強制アイドル状態の設定を選択します。</p> <p>0 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違えば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。</p> <p>1 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。</p> <p>このビットはマスタモードでのみ利用できます。 強制アイドル状態については「11.4.21 強制 CS アイドル設定」を参照してください。</p>																											

表 11.24 CSIHnCFGx レジスタの内容 (4/5)

ビット位置	ビット名	機能																																																			
14 ~ 12	CSIHnIDx[2:0]	チップセレクト信号 x のアイドル時間を選択します。 <table border="1" data-bbox="667 353 1406 689"> <thead> <tr> <th>CSIHnIDx[2:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr><td>000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>111_B</td><td>8.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnIDx[2:0]	アイドル時間	000 _B	0.5 送信クロック周期	001 _B	1.0 送信クロック周期	010 _B	1.5 送信クロック周期	011 _B	2.5 送信クロック周期	100 _B	3.5 送信クロック周期	101 _B	4.5 送信クロック周期	110 _B	6.5 送信クロック周期	111 _B	8.5 送信クロック周期																																	
CSIHnIDx[2:0]	アイドル時間																																																				
000 _B	0.5 送信クロック周期																																																				
001 _B	1.0 送信クロック周期																																																				
010 _B	1.5 送信クロック周期																																																				
011 _B	2.5 送信クロック周期																																																				
100 _B	3.5 送信クロック周期																																																				
101 _B	4.5 送信クロック周期																																																				
110 _B	6.5 送信クロック周期																																																				
111 _B	8.5 送信クロック周期																																																				
11 ~ 8	CSIHnHDx[3:0]	チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。 <table border="1" data-bbox="667 817 1406 1473"> <thead> <tr> <th>CSIHnHDx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td><td>2.0 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td><td>3.0 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td><td>4.0 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td><td>5.0 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td><td>7.0 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td><td>9.0 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td><td>10.0 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td><td>11.0 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td><td>12.0 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td><td>13.0 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td><td>15.0 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td><td>17.0 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td><td>19.0 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td><td>21.0 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnHDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間	0000 _B	0.5 送信クロック周期	1.0 送信クロック周期	0001 _B	1.0 送信クロック周期	1.5 送信クロック周期	0010 _B	1.5 送信クロック周期	2.0 送信クロック周期	0011 _B	2.5 送信クロック周期	3.0 送信クロック周期	0100 _B	3.5 送信クロック周期	4.0 送信クロック周期	0101 _B	4.5 送信クロック周期	5.0 送信クロック周期	0110 _B	6.5 送信クロック周期	7.0 送信クロック周期	0111 _B	8.5 送信クロック周期	9.0 送信クロック周期	1000 _B	9.5 送信クロック周期	10.0 送信クロック周期	1001 _B	10.5 送信クロック周期	11.0 送信クロック周期	1010 _B	11.5 送信クロック周期	12.0 送信クロック周期	1011 _B	12.5 送信クロック周期	13.0 送信クロック周期	1100 _B	14.5 送信クロック周期	15.0 送信クロック周期	1101 _B	16.5 送信クロック周期	17.0 送信クロック周期	1110 _B	18.5 送信クロック周期	19.0 送信クロック周期	1111 _B	20.5 送信クロック周期	21.0 送信クロック周期
CSIHnHDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間																																																			
0000 _B	0.5 送信クロック周期	1.0 送信クロック周期																																																			
0001 _B	1.0 送信クロック周期	1.5 送信クロック周期																																																			
0010 _B	1.5 送信クロック周期	2.0 送信クロック周期																																																			
0011 _B	2.5 送信クロック周期	3.0 送信クロック周期																																																			
0100 _B	3.5 送信クロック周期	4.0 送信クロック周期																																																			
0101 _B	4.5 送信クロック周期	5.0 送信クロック周期																																																			
0110 _B	6.5 送信クロック周期	7.0 送信クロック周期																																																			
0111 _B	8.5 送信クロック周期	9.0 送信クロック周期																																																			
1000 _B	9.5 送信クロック周期	10.0 送信クロック周期																																																			
1001 _B	10.5 送信クロック周期	11.0 送信クロック周期																																																			
1010 _B	11.5 送信クロック周期	12.0 送信クロック周期																																																			
1011 _B	12.5 送信クロック周期	13.0 送信クロック周期																																																			
1100 _B	14.5 送信クロック周期	15.0 送信クロック周期																																																			
1101 _B	16.5 送信クロック周期	17.0 送信クロック周期																																																			
1110 _B	18.5 送信クロック周期	19.0 送信クロック周期																																																			
1111 _B	20.5 送信クロック周期	21.0 送信クロック周期																																																			

表 11.24 CSIHnCFGx レジスタの内容 (5/5)

ビット位置	ビット名	機能																																																			
7 ~ 4	CSIHnINx[3:0]	チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnINx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.0 送信クロック周期</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.0 送信クロック周期</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.0 送信クロック周期</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.0 送信クロック周期</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.0 送信クロック周期</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.0 送信クロック周期</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.0 送信クロック周期</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.0 送信クロック周期</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.0 送信クロック周期</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.0 送信クロック周期</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.0 送信クロック周期</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.0 送信クロック周期</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.0 送信クロック周期</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.0 送信クロック周期</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間	0000 _B	0.0 送信クロック周期	0.5 送信クロック周期	0001 _B	0.5 送信クロック周期	1.0 送信クロック周期	0010 _B	1.0 送信クロック周期	1.5 送信クロック周期	0011 _B	2.0 送信クロック周期	2.5 送信クロック周期	0100 _B	3.0 送信クロック周期	3.5 送信クロック周期	0101 _B	4.0 送信クロック周期	4.5 送信クロック周期	0110 _B	6.0 送信クロック周期	6.5 送信クロック周期	0111 _B	8.0 送信クロック周期	8.5 送信クロック周期	1000 _B	9.0 送信クロック周期	9.5 送信クロック周期	1001 _B	10.0 送信クロック周期	10.5 送信クロック周期	1010 _B	11.0 送信クロック周期	11.5 送信クロック周期	1011 _B	12.0 送信クロック周期	12.5 送信クロック周期	1100 _B	14.0 送信クロック周期	14.5 送信クロック周期	1101 _B	16.0 送信クロック周期	16.5 送信クロック周期	1110 _B	18.0 送信クロック周期	18.5 送信クロック周期	1111 _B	20.0 送信クロック周期	20.5 送信クロック周期
CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間																																																			
0000 _B	0.0 送信クロック周期	0.5 送信クロック周期																																																			
0001 _B	0.5 送信クロック周期	1.0 送信クロック周期																																																			
0010 _B	1.0 送信クロック周期	1.5 送信クロック周期																																																			
0011 _B	2.0 送信クロック周期	2.5 送信クロック周期																																																			
0100 _B	3.0 送信クロック周期	3.5 送信クロック周期																																																			
0101 _B	4.0 送信クロック周期	4.5 送信クロック周期																																																			
0110 _B	6.0 送信クロック周期	6.5 送信クロック周期																																																			
0111 _B	8.0 送信クロック周期	8.5 送信クロック周期																																																			
1000 _B	9.0 送信クロック周期	9.5 送信クロック周期																																																			
1001 _B	10.0 送信クロック周期	10.5 送信クロック周期																																																			
1010 _B	11.0 送信クロック周期	11.5 送信クロック周期																																																			
1011 _B	12.0 送信クロック周期	12.5 送信クロック周期																																																			
1100 _B	14.0 送信クロック周期	14.5 送信クロック周期																																																			
1101 _B	16.0 送信クロック周期	16.5 送信クロック周期																																																			
1110 _B	18.0 送信クロック周期	18.5 送信クロック周期																																																			
1111 _B	20.0 送信クロック周期	20.5 送信クロック周期																																																			
3 ~ 0	CSIHnSPx[3:0]	チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnSPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnSPx[3:0]	セットアップ時間	0000 _B	0.5 送信クロック周期	0001 _B	1.0 送信クロック周期	0010 _B	1.5 送信クロック周期	0011 _B	2.5 送信クロック周期	0100 _B	3.5 送信クロック周期	0101 _B	4.5 送信クロック周期	0110 _B	6.5 送信クロック周期	0111 _B	8.5 送信クロック周期	1000 _B	9.5 送信クロック周期	1001 _B	10.5 送信クロック周期	1010 _B	11.5 送信クロック周期	1011 _B	12.5 送信クロック周期	1100 _B	14.5 送信クロック周期	1101 _B	16.5 送信クロック周期	1110 _B	18.5 送信クロック周期	1111 _B	20.5 送信クロック周期																	
CSIHnSPx[3:0]	セットアップ時間																																																				
0000 _B	0.5 送信クロック周期																																																				
0001 _B	1.0 送信クロック周期																																																				
0010 _B	1.5 送信クロック周期																																																				
0011 _B	2.5 送信クロック周期																																																				
0100 _B	3.5 送信クロック周期																																																				
0101 _B	4.5 送信クロック周期																																																				
0110 _B	6.5 送信クロック周期																																																				
0111 _B	8.5 送信クロック周期																																																				
1000 _B	9.5 送信クロック周期																																																				
1001 _B	10.5 送信クロック周期																																																				
1010 _B	11.5 送信クロック周期																																																				
1011 _B	12.5 送信クロック周期																																																				
1100 _B	14.5 送信クロック周期																																																				
1101 _B	16.5 送信クロック周期																																																				
1110 _B	18.5 送信クロック周期																																																				
1111 _B	20.5 送信クロック周期																																																				

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.12 CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1008_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn CIRE	CSIHn EOJ	CSIHn EDL	—	—	—	—	—	—	—	—	—	CSIHnC S3	CSIHnC S2	CSIHnC S1	CSIHnC S0
リセット後の値	—	—	—	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.25 CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnCIRE	デュアルバッファモードまたは送信専用バッファモードのときの通信割り込み要求 INTCSIHTIC または FIFO モードのときのジョブ完了割り込み INTCSIHTIJC を許可します。 0: 割り込みを要求しません。 1: 割り込みを要求します。送信後、割り込み INTCSIHTIC または INTCSIHTIJC を発生します。詳細については、「11.4.3 INTCSIHTIC (通信ステータス割り込み)」と「11.4.6 INTCSIHTIJC (ジョブ完了割り込み)」を参照してください。 注意 このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0: エンドオブジョブデータではないことを示します。ジョブを続行します。 1: エンドオブジョブデータであることを示します。 注意 このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。 スレーブモードで使用するときこのビットは必ず0に設定してください。
29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットの packets として送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意 このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。
28 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 11.25 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ~ 16	CSIHnCS[3:0]	<p>1つ以上のチップセレクト信号をアクティブにします。 0: 関連付けられた送信に対してチップセレクト信号 x をアクティブにします。 1: 関連付けられた送信に対してチップセレクト信号 x を非アクティブにします。</p> <p>CSIHnTX0W.CSIHnCS[3:0] = F_H は設定禁止です。</p> <p>注意</p> <hr/> <p>複数のチップセレクト信号がブロードキャストिंगに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0 (ドミナント) に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定する必要があります。 スレーブモードで使用する場合には CSIHnCS[3:0] ビット = E_H に設定してください。</p> <hr/>
15 ~ 0	CSIHnTX[15:0]	送信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.13 CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15～0 と同じです。

転送には、CSIHnTX0W の上位 16 ビットの設定が適用されます。ただし、リセット後は CSIHnTX0W の値が不定ですので、本レジスタの使用前に、CSIHnTX0W に送信データ設定を行ってください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 100C_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.26 CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnTX[15:0]	送信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.14 CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス 32ビット単位でリード可能です。

アドレス <CSIHn_base> + 1010_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CSIHn RPE	CSIHn TDCE	—	—	—	—	CSIHn CS3	CSIHn CS2	CSIHn CS1	CSIHn CS0
リセット後の値	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.27 CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CSIHnRPE	受信データパリティエラーが検出されたかどうかを示します。 0: 関連付けられた受信データでパリティエラーが検出されていません。 1: 関連付けられた受信データでパリティエラーが検出されています。
24	CSIHnTDCE	送信データ整合性エラーが検出されたかどうかを示します。 0: 関連付けられた送信で整合性エラーが検出されていません。 1: 関連付けられた送信で整合性エラーが検出されています。
23 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。
19 ~ 16	CSIHnCSx (x = 3 ~ 0)	どのチップセレクト信号がアクティブになっているかを示します。 0: 関連付けられた受信に対してチップセレクト信号xがアクティブになっています。 1: 関連付けられた受信に対してチップセレクト信号xが非アクティブになっています。
15 ~ 0	CSIHnRX [15:0]	受信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.15 CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15～0 と同じです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1014_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.28 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnRX [15:0]	受信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.3.16 CSIHnBRSy — CSIHn ボーレート設定レジスタ y (y = 0 ~ 3)

チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。

CSIHnCFG0 ~ 3.CSIHnBRSSx[1:0] ビットにより、チップセレクト信号ごとに、4種類の転送クロック周波数設定から1つの設定を選択することができます。転送クロック周波数設定の詳細については、「11.4.11 送信クロックの選択」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス CSIHnBRS0: <CSIHn_base> + 1068_H
 CSIHnBRS1: <CSIHn_base> + 106C_H
 CSIHnBRS2: <CSIHn_base> + 1070_H
 CSIHnBRS3: <CSIHn_base> + 1074_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHnBRS[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.29 CSIHnBRSy レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	CSIHnBRS [11:0]	0 : BRG stopped 1 : PCLK / (2 ^α × 1 × 2) 2 : PCLK / (2 ^α × 2 × 2) 3 : PCLK / (2 ^α × 3 × 2) 4 : PCLK / (2 ^α × 4 × 2) . . . 4095 : PCLK / (2 ^α × 4095 × 2) α は CSIHnCTL2.CSIHnPRS[2:0] の値です。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項」を参照してください。

11.4 機能

11.4.1 割り込み機能の概要

CSIH は以下の表に示す割り込み要求を発生することができます。

表 11.30 割り込みの発生

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	INTCSIHTIC (通信ステータス割り込み)	Tx データエンプティ ^{注1}	Tx データエンプティ ^{注1} ジョブ中断 ^{注4} 時を除く
	INTCSIHTIR (受信ステータス割り込み)	Rx データフル ^{注2} かつ CSIHnCTL0.CSIHnRXE = 1	Rx データフル ^{注2} かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注3} (ジョブ完了割り込み)	適用不可	CSIHnTX0W.CSIHnCIRE = 1 (Tx データエンプティではないとき) またはジョブ中断 ^{注4}
送信専用バッファ	INTCSIHTIC (通信ステータス割り込み)	通信終了	CSIHnTX0W.CSIHnCIRE = 1 かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W もしくは CSIHnTX0W.CSIHnEOJ = 0) のとき
	INTCSIHTIR (受信ステータス割り込み)	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注3} (ジョブ完了割り込み)	適用不可	ジョブ中断 ^{注4}
デュアルバッファ	INTCSIHTIC (通信ステータス割り込み)	通信終了	CSIHnTX0W.CSIHnCIRE = 1 かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0) のとき
	INTCSIHTIR (受信ステータス割り込み)	通信終了かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注3} (ジョブ完了割り込み)	適用不可	ジョブ中断 ^{注4}
ダイレクトアクセス	INTCSIHTIC (通信ステータス割り込み)	1 データ転送	1 データ転送 (ジョブ中断 ^{注4} の状態を除く)
	INTCSIHTIR (受信ステータス割り込み)	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注3} (ジョブ完了割り込み)	適用不可	ジョブ中断 ^{注4}

注 1. 「Tx データエンプティ」とは、CSIHnMCTL1.CSIHnFES[6:0] で定義される FIFO の充填レベルです。

注 2. 「Rx データフル」とは、CSIHnMCTL1.CSIHnFFS[6:0] で定義される FIFO の充填レベルです。

注 3. スレープモードでは INTCSIHTIJC は利用できません。

注 4. ジョブ中断の条件 : CSHnTX0W.CSIHnEOJ = 1 かつ CSHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

エラーが検出されると、通信エラー割り込み INTCSIHTIRE が発生します。ほかの割り込みが発生する条件は、メモリモード、ジョブモードによって異なり、ジョブ完了割り込み INTCSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み INTCSIHTIJC は、ジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ発生します。スレーブモードでこの割り込みを利用することはできません。

11.4.2 割り込み遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIHnTCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT = 1 に設定します。

CSIHnCTL1.CSIHnSIT = 1 (割り込み遅延有効)、
 CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0 (クロック位相とデータ位相)、
 CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

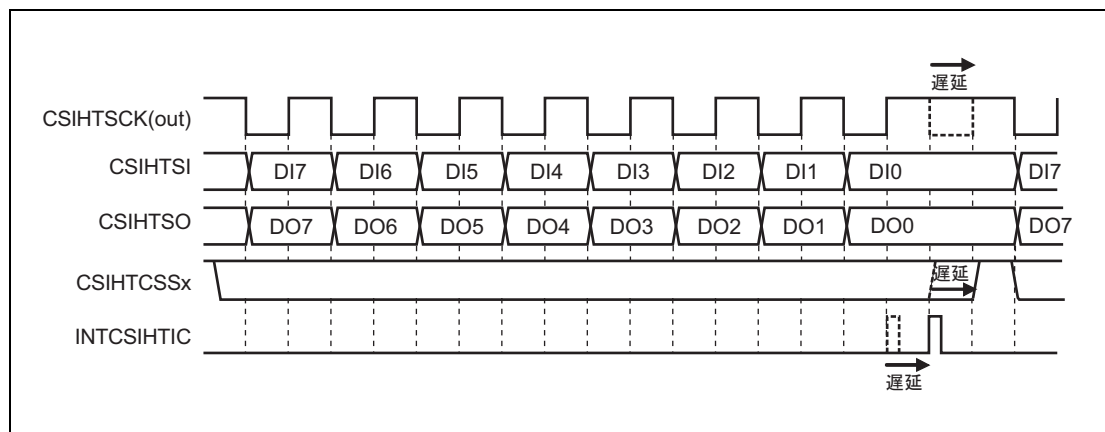


図 11.2 割り込み遅延機能 (CSIHnCTL1.CSIHnSIT = 1)

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号 (CSIHnTSSx) の終了も遅延します。

11.4.3 INTCSIHTIC (通信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 11.31 INTCSIHTIC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFOに残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなると INTCSIHTIC が発生します。	JE = 0 のときと同様に、FIFOに残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなったとき発生しますが、ジョブ中断の場合は発生しません。
送信専用バッファ、デュアルバッファ	通信終了時 (CSIHnMCTL2.CSIHnND[7:0] ビットで指定) に発生します。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断 ^{注1} が送信された場合は、INTCSIHTIC の代わりに割り込み INTCSIHTIJC が発生します。
ダイレクトアクセス	データ転送が 1 回行われるたびに発生します。	通信が中断された場合を除き、データ転送が 1 回行われるたびに発生します。

注 1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

11.4.3.1 ダイレクトアクセスモードでの INTCSIHTIC

以下の例はダイレクトアクセスモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし ($\text{CSIHnCTL1.CSIHnSIT} = 0$)
- 通常のクロック位相とデータ位相 ($\text{CSIHnCFGx.CSIHnCKPx} = 0$,
 $\text{CSIHnCFGx.CSIHnDAPx} = 0$)
- データ長 8 ビット ($\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000_{\text{B}}$)
- 通常の INTCSIHTIC 割り込みのタイミング ($\text{CSIHnCTL1.CSIHnSLIT} = 0$)

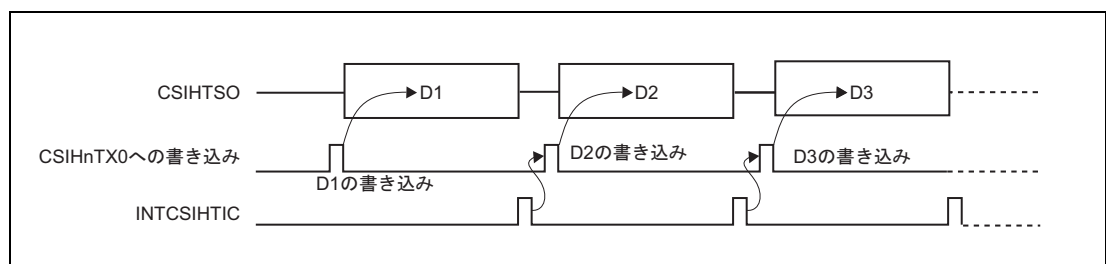


図 11.3 転送後の INTCSIHTIC の発生 ($\text{CSIHnCTL1.CSIHnSLIT} = 0$)

ジョブモードが有効になっており ($\text{CSIHnCTL1.CSIHnJE} = 1$)、 $\text{CSIHnTX0W.CSIHnEOJ} = 1$ の設定でデータが送信され、通信停止の要求が発行されている ($\text{CSIHnCTL0.CSIHnJOBE} = 1$) 状態でジョブが終了した場合、INTCSIHTIC はジョブ完了割り込み INTCSIHTIJC に置き換えられます。

CSIHnTX0 レジスタがエンプティになり、次のデータの受け入れが可能になったときに INTCSIHTIC が発生するように設定することもできます。そうするには、 $\text{CSIHnCTL1.CSIHnSLIT} = 1$ に設定します。

以下の図にその効果を示します。

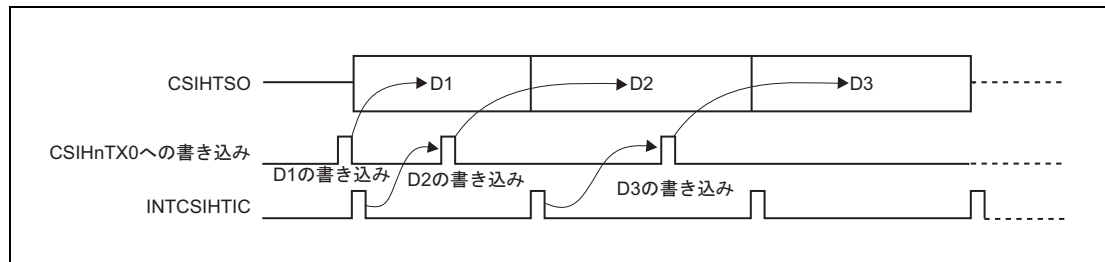


図 11.4 INTCSIHTIC の即時発生 (CSIHnCTL1.CSIHnSLIT = 1)

このように、新しいデータを先行して書き込むことができます。

備考

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

11.4.3.2 FIFO モードでの INTCSIHTIC

以下の例は FIFO モードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- FIFO モード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

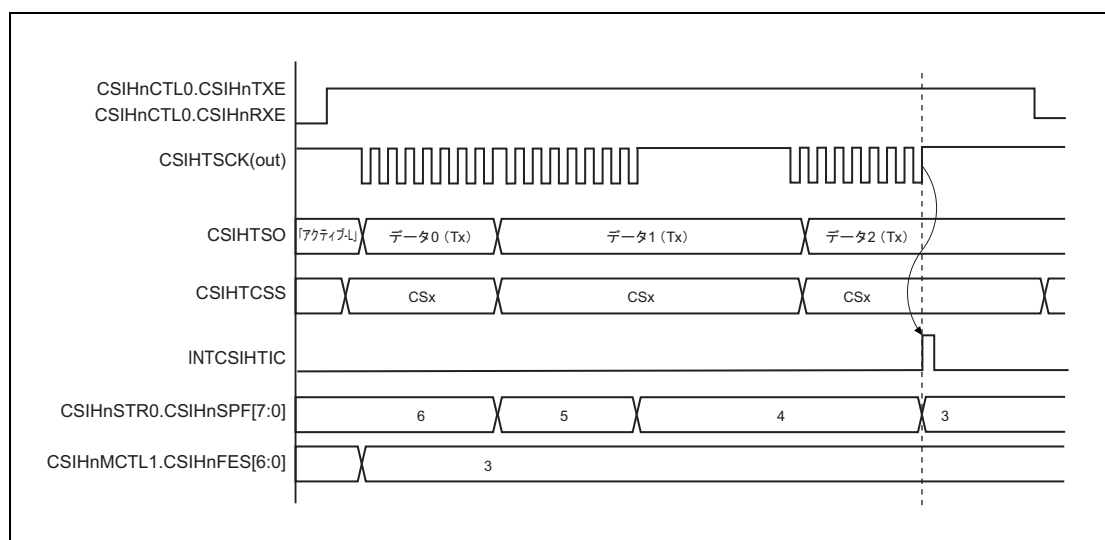


図 11.5 FIFO メモリモードでの INTCSIHTIC の発生

「FIFO エンプティ」の条件は $\text{CSIHnMCTL1.CSIHnFES}[6:0]$ で指定します。上の図の例では、FIFOに残っている未送信の送信データの数が3に設定されています。
 $\text{CSIHnSTR0.CSIHnSPF}[7:0]$ は未送信のデータの数を示します。両方の数が一致すると、割り込み INTCSIHTIC が発生します。

11.4.3.3 ジョブモードでの INTCSIHTIC

以下の例はジョブモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効 ($\text{CSIHnCTL1.CSIHnJE} = 1$)
- 割り込み遅延なし ($\text{CSIHnCTL1.CSIHnSIT} = 0$)
- 通常のクロック位相とデータ位相 ($\text{CSIHnCFGx.CSIHnCKPx} = 0$,
 $\text{CSIHnCFGx.CSIHnDAPx} = 0$)
- データ長 8 ビット ($\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000_{\text{B}}$)
- 通常の INTCSIHTIC 割り込みのタイミング ($\text{CSIHnCTL1.CSIHnSLIT} = 0$)

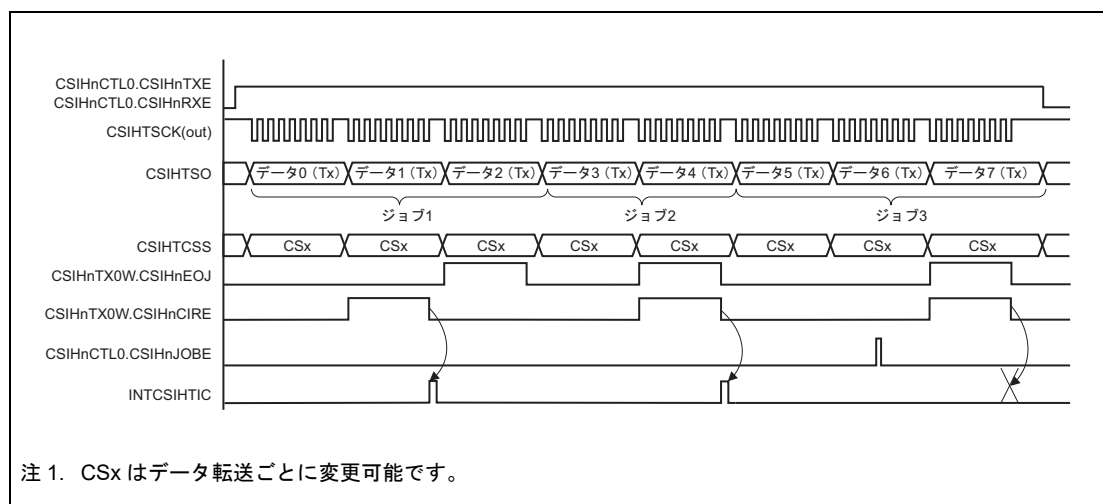


図 11.6 ジョブモードでの INTCSIHTIC の発生

ジョブモードでの INTCSIHTIC の発生に適用される規則を以下の表に示します。

表 11.32 ジョブモードでの INTCSIHTIC の発生

$\text{CSIHnTX0W.CSIHnEOJ}$	$\text{CSIHnTX0W.CSIHnCIRE}$	INTCSIHTIC
0	0	発生しません。
0	1	発生します。
1	0	発生しません。
1	1	$\text{CSIHnCTL0.CSIHnJOBE} = 0$: 発生します。 $\text{CSIHnCTL0.CSIHnJOBE} = 1$: 発生せず、割り込み INTCSIHTIJC に置き換えられます。

11.4.4 INTCSIHTIR (受信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 11.33 INTCSIHTIR 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、CSIHnCTL0.CSIHnRXE = 1 のとき、FIFO バッファが受信データでフルになる直前に発生し、FIFO をエンプティにする必要があることをアプリケーションに知らせます。 FIFOに残っている受信データの数 CSIHnSTR0.CSIHnSRP[7:0] が (128 - CSIHnMCTL1.CSIHnFFS[6:0]) と等しくなると INTCSIHTIR が発生します。	
デュアルバッファモード	通信が終了し (CSIHnMCTL2.CSIHnND[7:0] ビットで指定)、かつ CSIHnCTL0.CSIHnRXE = 1 であれば発生します。	データ転送が 1 回行われるたびに発生します。
送信専用バッファモード ダイレクトアクセスモード	データ転送が 1 回行われるたびに発生します。	

11.4.4.1 ダイレクトアクセスモードでの INTCSIHTIR

以下の例はダイレクトアクセスモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のカロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

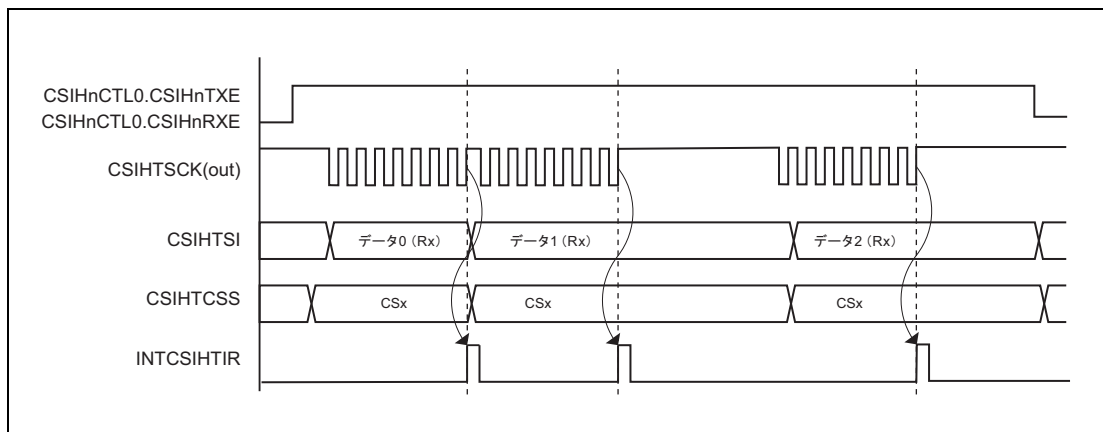


図 11.7 ダイレクトアクセスモードでの INTCSIHTIR の発生

11.4.4.2 デュアルバッファモードでの INTCSIHTIR

以下の例はデュアルバッファモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- デュアルバッファモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- デフォルトのクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

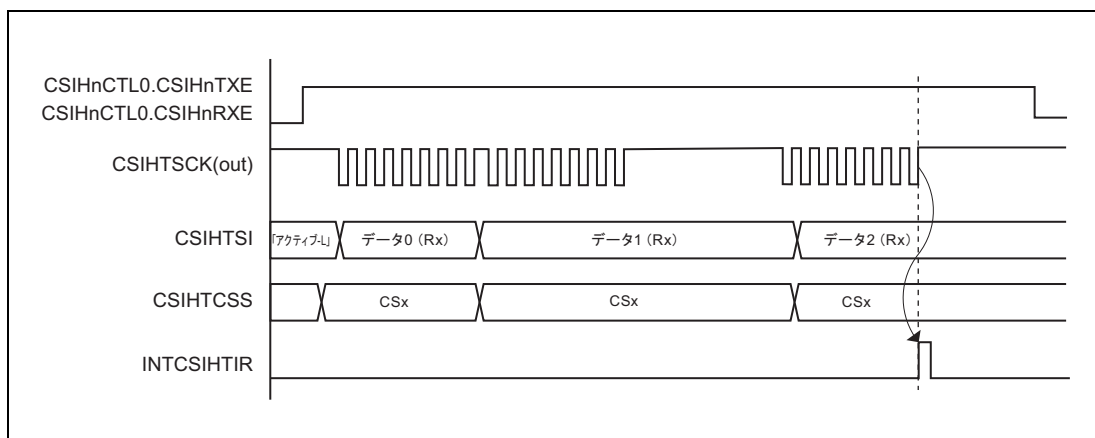


図 11.8 デュアルバッファモードでの INTCSIHTIR の発生

11.4.5 INTCSIHTIRE (通信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

割り込み発生タイミングは、「11.4.18 エラー検出」を参照ください。

表 11.34 データエラーのタイプ (1/2)

エラーのタイプ	通信エラー割り込み後の通信ステータス	備考
オーバフローエラー	割り込みが発生しても通信は継続します。	FIFO バッファに書き込まれず、オーバフローしたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性エラー	割り込みが発生しても通信は継続します。	—
タイムアウトエラー	割り込みが発生しても通信は継続します。	—

表 11.34 データエラーのタイプ (2/2)

エラーのタイプ	通信エラー割り込み後の通信ステータス	備考
オーバランエラー	(エラー発生条件 1) FIFO モードで受信データの数が 0 になった状態で CPU が CSIHnRX0W/H レジスタをリードすると、割り込みが発生します。通信は継続します。	—
	(エラー発生条件 2) スレーブモードで CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合、 [1] ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合、割り込みが発生します。通信は継続します。 [2] FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合、割り込みが発生します。通信は継続します。	スレーブモードで CSIHnCTL1.CSIHnHSE = 1 (ハンドシェイクあり) の場合は、ハンドシェイクにより通信が停止するため、オーバランエラーは発生しません。

INTCSIHTIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性エラーフラグが添付されます。

さまざまなエラータイプの詳細については、「11.4.18 エラー検出」を参照してください。

11.4.6 INTCSIHTIJC (ジョブ完了割り込み)

この割り込みはジョブの処理に対応しています。「11.4.9.3 ジョブ概念」を参照してください。この割り込みはマスタモードでのみ利用できます。

ジョブモードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。CSIHnCTL1.CSIHnJE = 0 の場合、INTCSIHTIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリモードによって異なります。

表 11.35 INTCSIHTIJC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	適用不可	ジョブ中断 ^{注1} がトリガされたあと、ジョブの終了時に通信が停止したことを示します。 FIFOempty が検出されていない場合は、CSIHnCIRE = 1 のときに INTCSIHTIJC が発生します。
送信専用バッファ		ジョブ中断 ^{注1} がトリガされたあと、ジョブの終了時に通信が停止したことを示します。
デュアルバッファ		
ダイレクトアクセス		

注 1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

11.4.7 動作モード (マスタ/スレーブ)

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

11.4.7.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のポーレートジェネレータ (BRG) によって生成され、CSIHTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIHnCTL2.CSIHnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIHnCTL2.CSIHnPRS[2:0] ビットと CSIHnBRSy.CSIHnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

(1) チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、「11.4.9 チップセレクト (CS) 機能」を参照してください。

(2) クロックのデフォルト設定

CSIHTSCK のデフォルトレベルは、CSIHTSCK のクロック反転機能ビットの状態によって異なります。CSIHTSCK のデフォルトレベルは、CSIHnCTL1.CSIHnCKR = 0 であればハイレベルであり、CSIHnCTL1.CSIHnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0、MSB ファーストのときのマスタモードの通信を示しています。

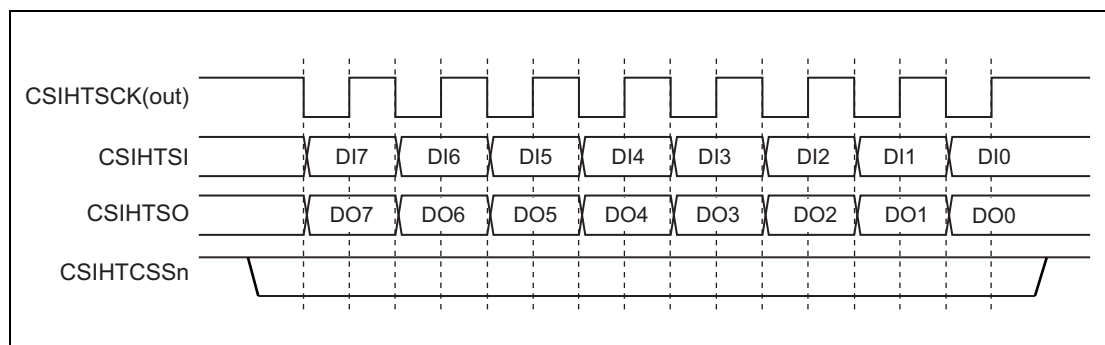


図 11.9 マスタモードでの送受信

11.4.7.2 スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります (CSIHnCFG1-CSIHnCFG3 レジスタの設定は無効となります)。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLs[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx、CSIHnDAPx : クロック位相とデータ位相

備 考

スレーブモードを使用するときは、CSIHnBRSy.CSIHnBRS[11:0] ビットを 000_H に設定することによってポーレートジェネレータ (BRG) を無効にします。ただし、タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットに、000_H 以外の値を設定してください。

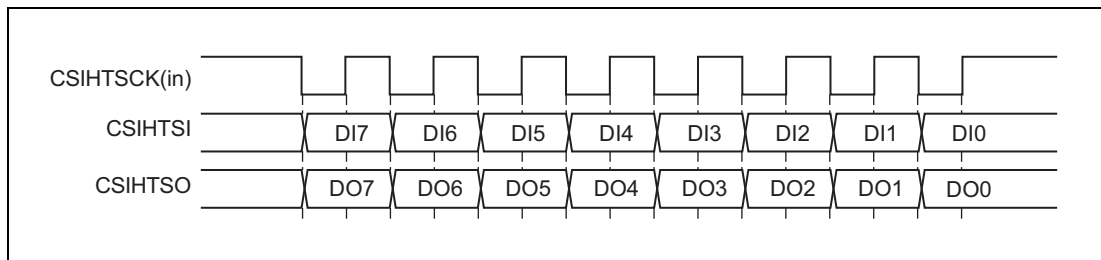


図 11.10 スレーブモードでの送受信

11.4.8 マスタ/スレーブの接続

11.4.8.1 マスタ 1、スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

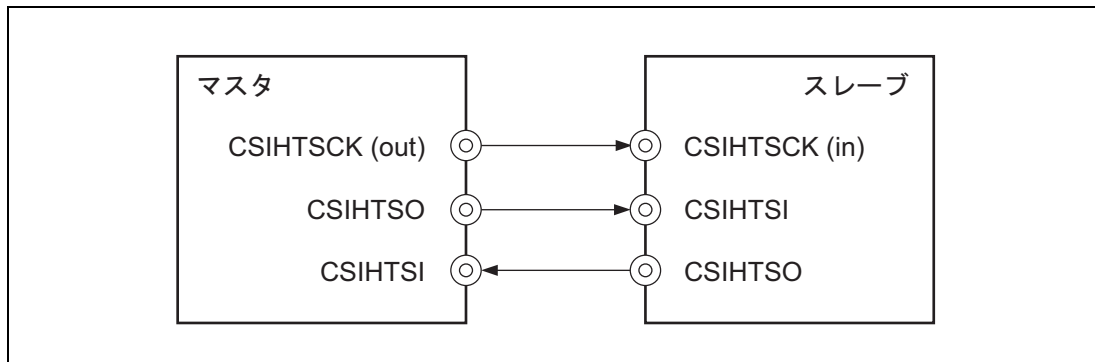


図 11.11 マスタ/スレーブの直接接続

11.4.8.2 マスタ 1、スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップセレクト (CS) 信号を供給します。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIHTSSI}}$ に接続されます。

$\overline{\text{CSIHTSSI}}$ 信号は、 $\text{CSIHnCTL1.CSIHnSSE}$ ビットを使用して有効または無効にすることができます。

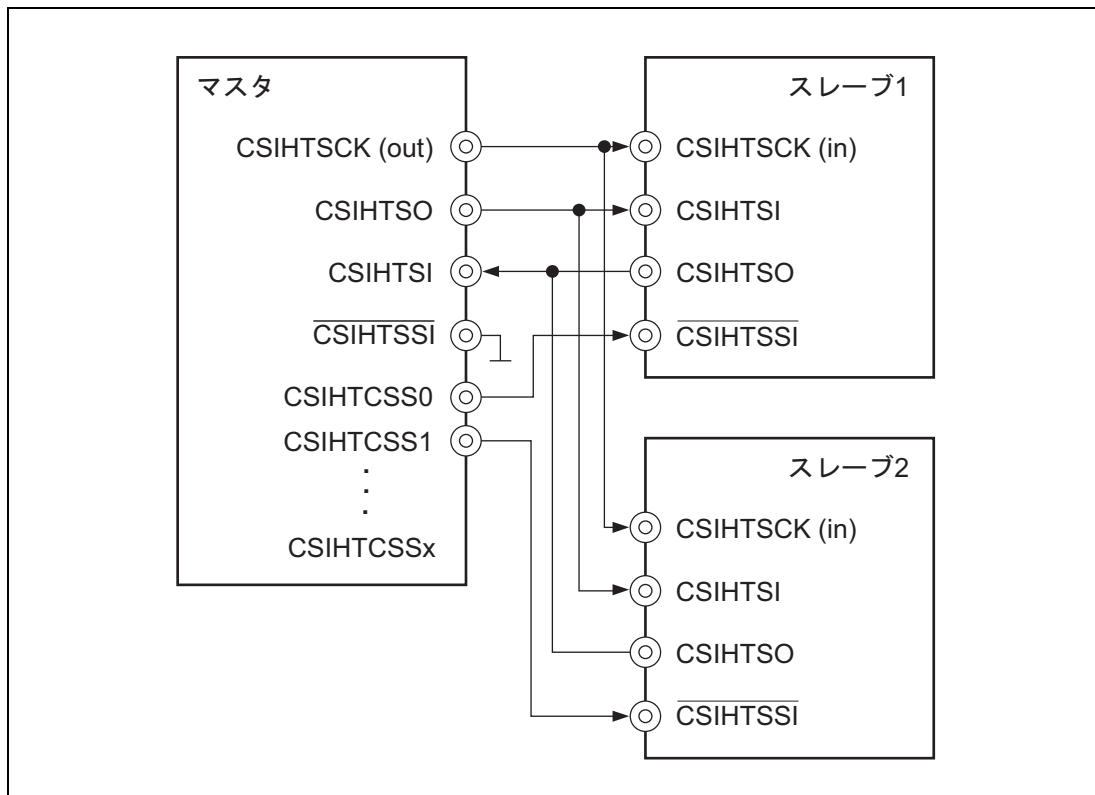


図 11.12 1つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている ($\text{CSIHnCTL0.CSIHnTXE} = 1$) とき、選択されていないスレーブの出力 CSIHTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

11.4.9 チップセレクト (CS) 機能

マスタはチップセレクト信号 CSIHTCSS_x を使用して 1 つ以上のスレーブを通信相手として選択することができます。

11.4.9.1 コンフィギュレーションレジスタ

各チップセレクト信号 CSIHTCSS_x のパラメータは、対応するコンフィギュレーションレジスタ CSIHnCFG_x で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
(CSIHnCFG_x.CSIHnDLS_x[3:0])
- 転送方向：MSB ファーストまたは LSB ファースト。
(CSIHnCFG_x.CSIHnDIR_x)
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
(CSIHnCFG_x.CSIHnPS_x[1:0])
- クロック位相とデータ位相。(CSIHnCFG_x.CSIHnCKP_x, CSIHnCFG_x.CSIHnDAP_x)

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のポーレートジェネレータのプリスケアラ選択。
(CSIHnCFG_x.CSIHnBRSS_x[1:0])
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャスト用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。(CSIHnCFG_x.CSIHnRCB_x)

この原則は、「RCB (Recessive Configuration for Broadcasting)」とも呼ばれます。

注 意

すべてのドミナントチップセレクト信号の設定が同じである場合を除き、複数のチップセレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止されています。

- チップセレクトのタイミング
 - セットアップ時間 T_{setup} ：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。(CSIHnCFG_x.CSIHnSP_x[3:0])
 - データ間時間 T_{inter} ：CS 信号がアクティブになっている間の 1 つのデータと次のデータの間の時間。
 - ホールド時間 T_{hold} ：CS が切り替わるまでに CS 信号のアクティブレベルが保持される時間 (CSIHnCFG_x.CSIHnHD_x[3:0])
 - アイドル時間 T_{idle} ：データ転送が完了した後の非アクティブ時間。
(CSIHnCFG_x.CSIHnID_x[2:0])

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHTCSS1 信号と CSIHTCSS2 信号がデフォルトのアクティブロウ (CSIHnCTL1.CSIHnCSL1 ビット = 0, CSHnCTL1.CSIHnCSL2 ビット = 0) に設定した場合の例を **図 11.13** に示します。アクティブレベルは CS ごとに個別に指定することができます。

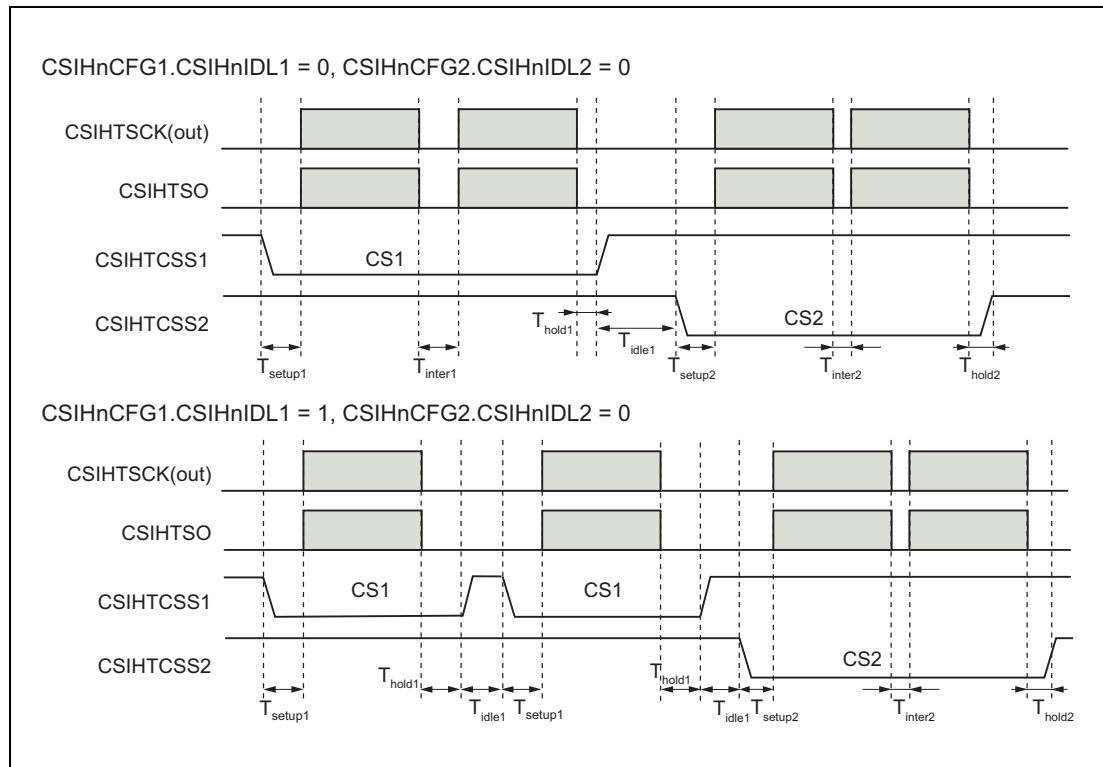


図 11.13 チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSHnTX0W.CSIHnCSx の対応するビットをセットします。

受信レジスタの CSHnRX0W.CSIHnCSx は、受信データに関連付けられたチップセレクト信号を示します。

注 意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するとき、高優先通信モードから低優先通信モードに移行するときは、IDLx ビット設定に関わらずアイドル状態が挿入されます。

11.4.9.2 CS の例

以下の図は2回続けてデータを送信する例を示しています。

最初の通信では CS0 を使用して1つのスレーブと通信しています。2番目の通信では CS0 と CS1 を有効にして2つのスレーブにメッセージをブロードキャストしています。CS0 の優先度は「リセッソブ：低優先度」に設定されており、CS1 の優先度は「ドミナント：高優先度」に設定されています。よって、2番目の通信はドミナントに設定されている CS1 の設定を用いて行われます。

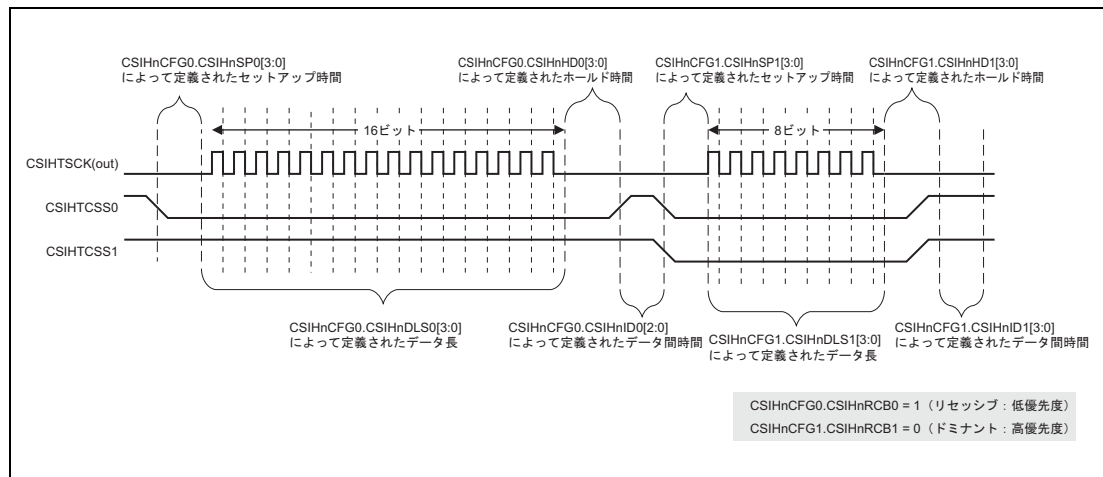


図 11.14 チップセレクトと RCB の例

11.4.9.3 ジョブ概念

CSIH というジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブモードを有効または無効にします。

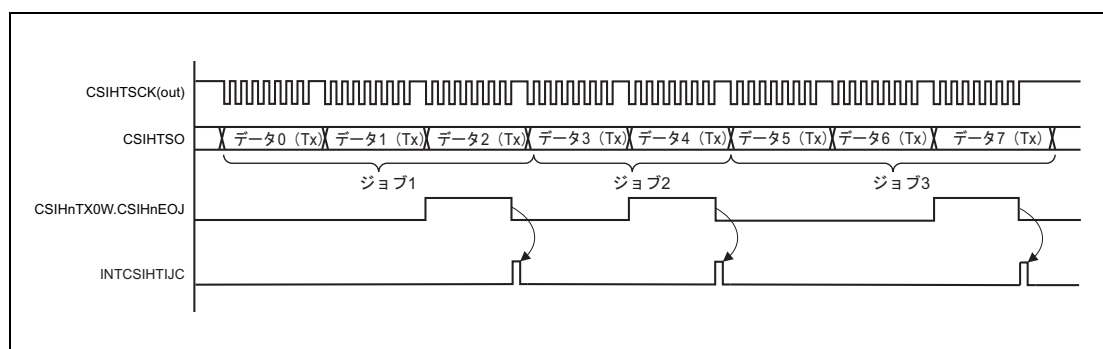


図 11.15 ジョブの例

CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INTCSIHTIJC が発生します。

11.4.10 チップセレクトのタイミングの詳細

11.4.10.1 クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができます。アイドル時間の最小値は送信クロック (CSIHTSCK(out)) の1周期です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータが連続して送信されると、アイドル時間が CSIHTSCK(out) の1周期に延長されます。

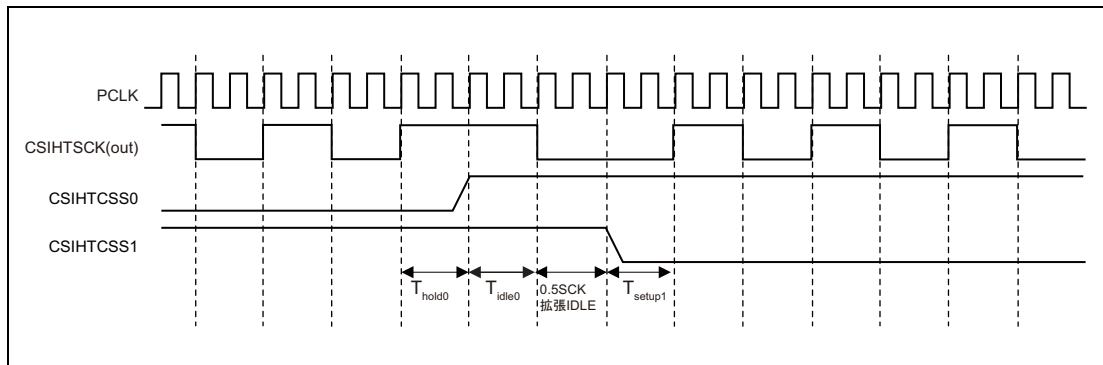


図 11.16 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 0.5\text{CSIHTSCK}$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

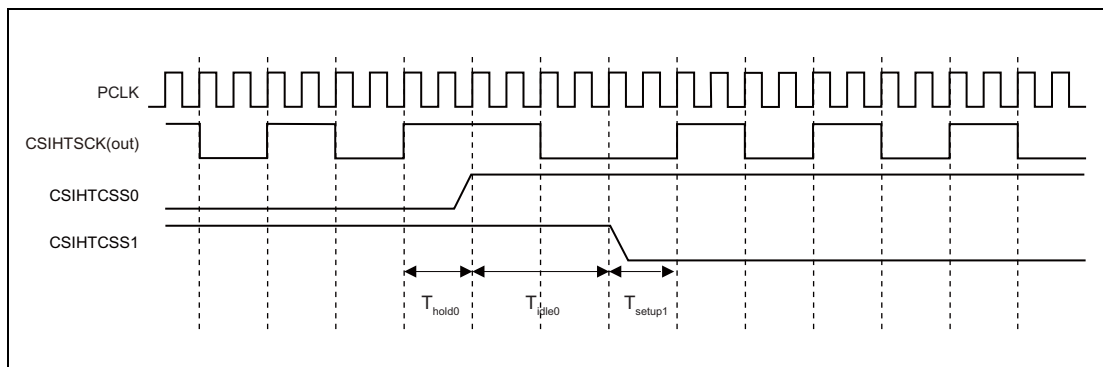


図 11.17 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 1\text{CSIHTSCK}$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

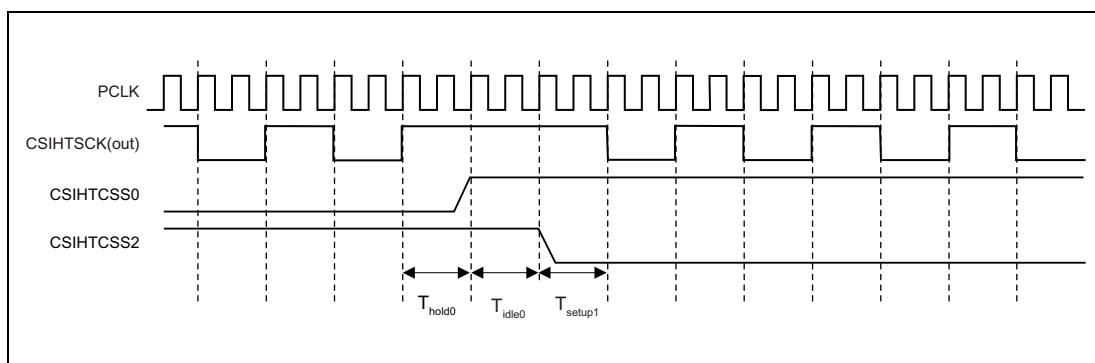


図 11.18 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 0.5\text{CSIHTSCK}$ 、 $\text{CSIHnCFG0.CSIHnCKP0} = 0$ (CSIHTCSS0) → $\text{CSIHnCFG2.CSIHnCKP2} = 0$ (CSIHTCSS2) の場合)

11.4.10.2 データ位相の変更

CSIHnCFGx.CSIHnDAPx ビットでは、クロックを基準とするデータビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx ビットとホールド/セットアップ期間の関係は次の通りになります。

ホールド期間は、CSIHnCFGx.CSIHnDAPx の設定に関係なく、シリアルクロック (CSIHTSCK) の最後のエッジから CSIHTCSSx がインアクティブレベルになるまでの期間です。

セットアップ期間は、CSIHTCSSx がアクティブレベルになるときから送信データ (CSIHTSO) が出力されるまでの期間です。

したがって、CSIHnCFGx.CSIHnDAPx の設定によりシリアルクロック (CSIHTSCK) のエッジが出力されるまで 0.5 CSIHTSCK 分のずれがあります。

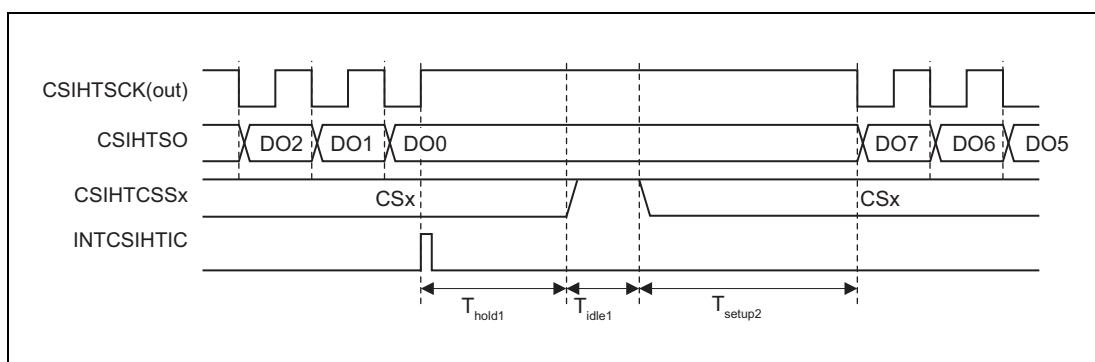


図 11.19 データ位相のタイミング (CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 かつ $\text{CSIHnCFG2.CSIHnCKP2} = 0$ 、 $\text{CSIHnCFG2.CSIHnDAP2} = 0$ の場合)

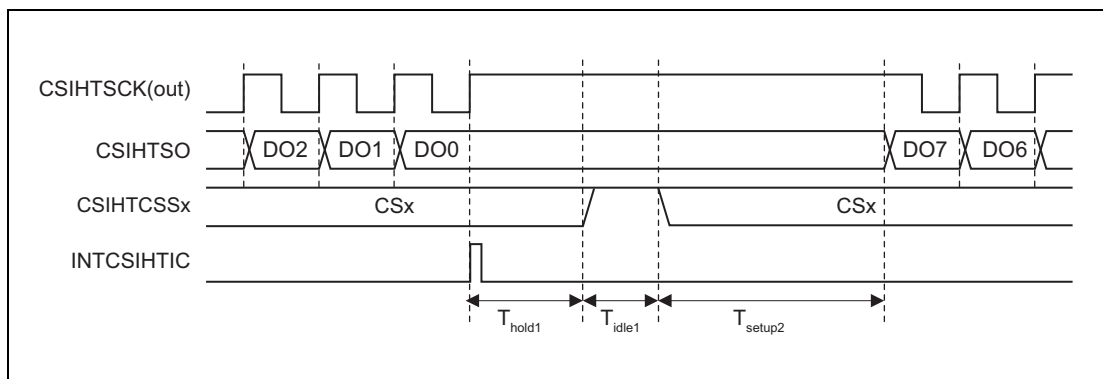


図 11.20 データ位相のタイミング
 (CSIHnCFG1.CSIHnCKP1 = 1、CSIHnCFG1.CSIHnDAP1 = 0 かつ
 CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 1 の場合)

11.4.11 送信クロックの選択

マスタモードでは、以下のビットを使って転送クロック周波数を選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnBRSy.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnBRSSx[1:0]

送信クロック CSIHTSCK の転送クロック周波数は、CSIHnCTL2.CSIHnPRS[2:0] の設定と、CSIHnBRSy.CSIHnBRS[11:0] の設定によって決まりますが、CSIHnCFGx.CSIHnBRSSx[1:0] によってチップセレクト信号ごとに CSIHnBRS3 ~ CSIHnBRS0 の4種類のうちいずれか1つの設定を選択することができます。

ポーレートジェネレータのブロック図を以下に示します。

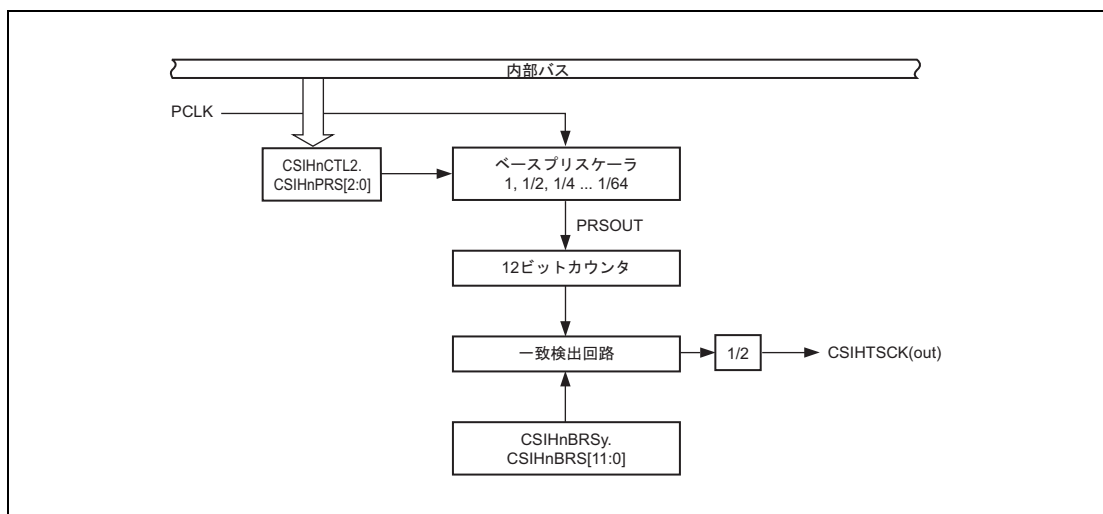


図 11.21 ポーレートジェネレータのブロック図

CSIHnBRSy.CSIHnBRS[11:0] を 000_H に設定すると、ポーレートジェネレータが無効になり、すべての CSIHTSCK が停止します。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

$$\text{転送クロック周波数 (CSIHTSCK)} = \text{PCLK} / (\text{PCLK の分周比}) = \text{PCLK} / (2^\alpha \times k \times 2)$$

ただし、

$$\alpha = \text{CSIHnCTL2.CSIHnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIHnBRS0.CSIHnBRS0}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 0 のとき)

$$\text{CSIHnBRS1.CSIHnBRS1}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 1 のとき)

$$\text{CSIHnBRS2.CSIHnBRS2}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 2 のとき)

$$\text{CSIHnBRS3.CSIHnBRS3}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 3 のとき)

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 転送クロックの最小周波数は、マスタ・スレーブモードともに $\text{PCLK} / 524160$ です。
- 転送クロックの最大周波数は、以下の通りです。
 - マスタモード : $\text{PCLK} / 8$
 - スレーブモード : $\text{PCLK} / 16$

11.4.12 CSIH のバッファメモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータと 7 ビットの ECC から構成されます。

以下の設定が可能です。

モード	CSIHnCTL0. CSIHnMBS	CSIHnMCTL0. CSIHnMMS[1:0]
FIFO モード	0	00 _B
デュアルバッファモード		01 _B
送信専用バッファモード		10 _B
ダイレクトアクセスモード	1	X

11.4.12.1 FIFO モード

FIFO モードでは、FIFO フルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータを書き込んだり、受信後ただちに CSIHnRX0W レジスタを読み出さなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 データが送信されると同時に 1 データが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データが FIFO メモリに書き込みされたとき、読み出しされたとき、またはデータが FIFO メモリから送受信されたときに、それぞれに対応する FIFO メモリポインタを自動的に更新します。

表 11.36 FIFO モード

ポインタの説明	制御ビット ^{注1}	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0 ~ 128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0 ~ 128
送信データの書き込み/読み出しのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
受信データの読み出しのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 01FC _H
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 01FC _H

注 1. 1 回の書き込み、読み出し、またはデータの送受信ごとに、自動的に値が更新されます。

CSIH ステータスレジスタには 2 つの FIFO ステータスフラグが含まれています。

- CSIHnSTR0.CSIHnFLF : FIFO フル
- CSIHnSTR0.CSIHnEMF : FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、CSIHnSTR0.CSIHnEMF のみ、リセットではなくセットされます。

CSIHnSTR0.CSIHnEMF を除くすべての FIFO ポインタと FIFO フラグがリセットされ、CSIHnSTR0.CSIHnEMF がセットされます。

11.4.12.2 デュアルバッファモード

このモードでは、サイズの等しい2つの部分にメモリが分割されます。つまり、64ワードが送信データに割り当てられ、64ワードが受信データに割り当てられます。デュアルバッファモードでは、個々のバッファポインタが以下の値を示します。

表 11.37 デュアルバッファモード

ポインタの説明	ポインタ ^{注1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 00FC _H
受信バッファから読みだされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 00FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[7:0]	0 ~ 64
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 00FC _H

注 1. 1回の書き込み、読み出しごとに両方のポインタが自動的にインクリメントされます。

11.4.12.3 送信専用バッファモード

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データはCSIHnRX0W/Hから直接読み出す必要があります。

送信専用バッファモードでは、個々のバッファポインタが以下の値を示します。

表 11.38 送信専用バッファモード

ポインタの説明	ポインタ ^{注1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[7:0]	0 ~ 128
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 01FC _H

注 1. 1回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

11.4.12.4 ダイレクトアクセスモード

ダイレクトアクセスモードでは、CSIHのメモリが完全にバイパスされます。

- CPUから送信レジスタCSIHnTX0WまたはCSIHnTX0Hに供給される送信データはシフトレジスタに直接コピーされます。
- 受信データはシフトレジスタから受信レジスタCSIHnRX0WまたはCSIHnRX0Hへ直接コピーされます。

11.4.13 データ転送モード

11.4.13.1 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。送信が開始される条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると送信が開始されます。

11.4.13.2 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

マスタモードでは、受信を開始する条件がメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHnTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

- デュアルバッファモード、または送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると受信が開始されます。

11.4.13.3 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると通信が開始されます。

11.4.13.4 まとめ

以下の表にこの節のまとめを記載します。この表は、さまざまなメモリモード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 11.39 データ転送の開始

メモリモードと動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
FIFO モード、 ダイレクトアクセスモード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信
送信専用バッファモード、 デュアルバッファモード	マスタ	CSIHnMCTL2.CSIHnBTST = 1	CSIHnMCTL2.CSIHnBTST = 1
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信

11.4.14 データ長の選択

11.4.14.1 2～16ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を使用して、チップセレクト信号ごとに2ビットから16ビットの間のデータパケット長を選択できます。以下の例は、MSBファースト (CSIHnCFGx.CSIHnDIRx = 0) での通信を示しています。

データ長 = 16ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B)

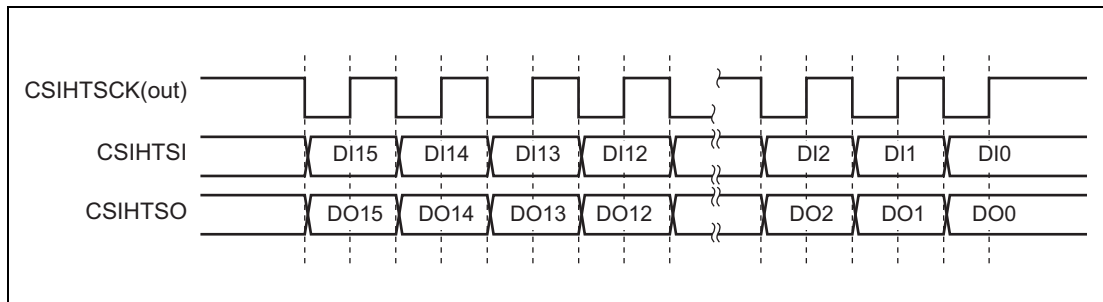


図 11.22 データ長 16 ビット、MSB ファースト

データ長 = 14ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B)

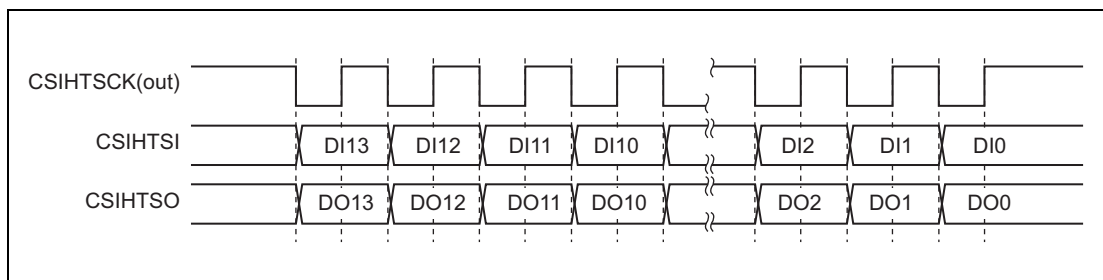


図 11.23 データ長 14 ビット、MSB ファースト

11.4.14.2 16ビットを上回るデータ長

16ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL 機能は CSIHnCTL1.CSIHnEDLE ビットを 1 にセットすることで有効になります。

EDL 機能は以下のように動作します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIHnCFGx.CSIHnDLSx[3:0] ビットに、「データ長」として設定します。
- 16 ビットブロックを送信するには、CSIHnTX0W.CSIHnEDL を 1 にセットする必要があります。その場合、CSIHnTX0W に書き込まれるデータは、CSIHnCFGx.CSIHnDLSx[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIHnTX0W.CSIHnEDL = 0 に設定して指定された剰余部分) のブロックが送信されると転送が完了します。

例

123456789A_H という 40 ビットのデータを CS0 に送信する例

40 ビットを 2 つの 16 ビットブロックと 8 ビットに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8 に初期化します。
- 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W に書き込みます。
 - 20FE 1234_H (CSIHnTX0W.CSIHnEDL = 1)
 - 20FE 5678_H (CSIHnTX0W.CSIHnEDL = 1)
 - 00FE 009A_H (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

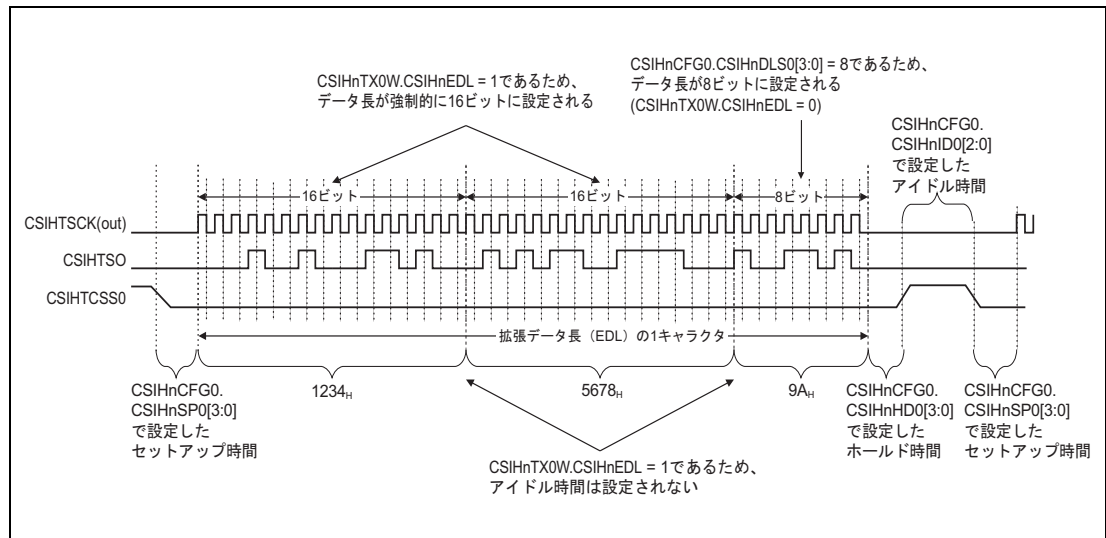


図 11.24 EDL のタイミング図

備考

- 1 ビットのデータ長は、EDL モードを使用するときのみ設定できます。
- データ長が 2 ビット未満のデータを 2 つ続けて送信することはできません。
- パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
- 拡張データ長 (EDL) 機能を使用して送信しているときは、同一のチップセレクト信号を使用してください。
- 以下の例でデータ方向について説明します。
 - 送信されるデータ : 123456_H
 - MSB ファースト :
CSiHnCFGx.CSiHnDIRx = 0 に設定
CSiHnTX0W = 20FE 1234_H を書き込み (EDL ビット = 1)
CSiHnTX0W = 00FE 0056_H を書き込み (EDL ビット = 0)
 - LSB ファースト :
CSiHnCFGx.CSiHnDIRx = 1 に設定
CSiHnTX0W = 20FE 3456_H を書き込み (EDL ビット = 1)
CSiHnTX0W = 00FE 0012_H を書き込み (EDL ビット = 0)
- CSiHnCTL1.CSiHnJE = 1, CSiHnCTL1.CSiHnEDLE = 1 のときに、CSiHnTX0W.CSiHnEOJ = 1 と CSiHnTX0W.CSiHnEDL = 1 を同時に設定した場合は、動作の保証ができません。
- EDL モードは、スレーブモードの受信専用モードでは使えません。
(CSiHnCTL2.CSiHnPRS[2:0] = 111_B, CSiHnCTL0.CSiHnTXE = 0, CSiHnCTL0.CSiHnRXE = 1)

11.4.15 シリアルデータ方向選択機能

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信 (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B) を示しています。

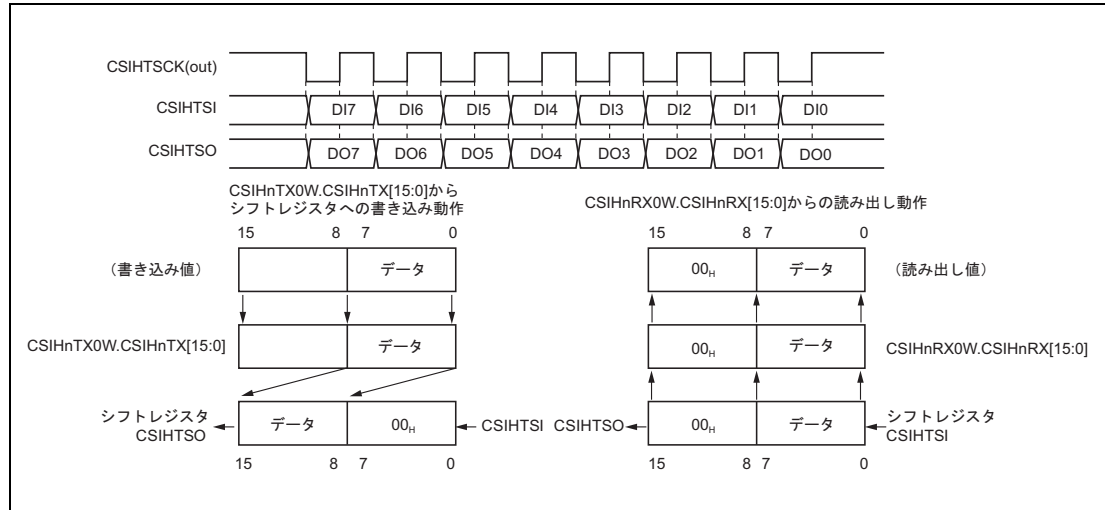


図 11.25 シリアルデータ方向選択機能 — MSB ファースト (CSIHnDIRx = 0)

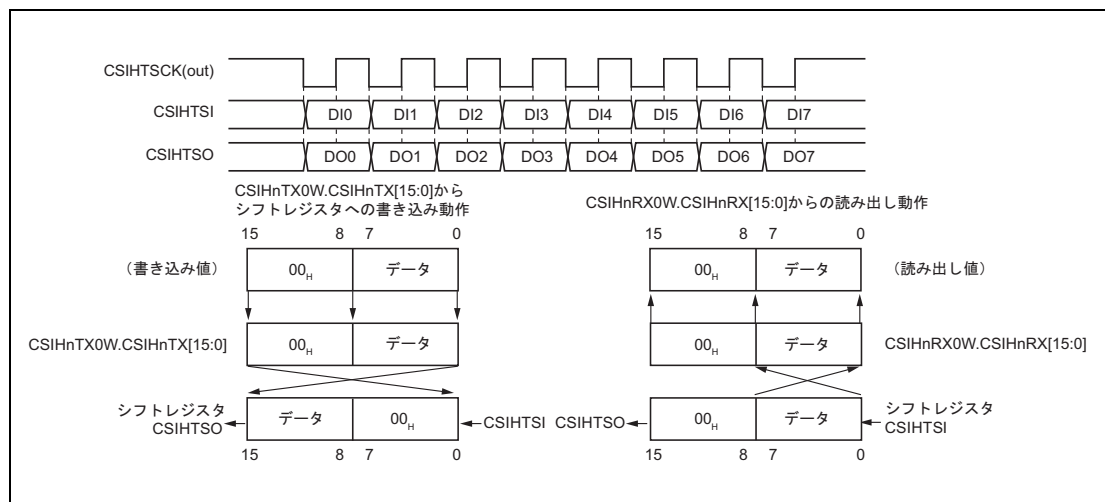


図 11.26 シリアルデータ方向選択機能 — LSB ファースト (CSIHnDIRx = 1)

11.4.16 SS (スレーブセレクト) 機能

SS 機能を使用することによって1つのマスタと複数のスレーブ間の通信が可能です。

マスタモードのとき1つのスレーブに対しスレーブ選択信号 (CSIHTCSSx) を出力します。

スレーブモードではスレーブ入力選択信号 (CSIHTSSI) がロウレベルのとき通信を行います。

SS 機能による接続例は「11.4.8 マスタ/スレーブの接続」を参照してください。

11.4.16.1 SS 機能を使用した通信のタイミング

以下の図は、SS 機能を使用した通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

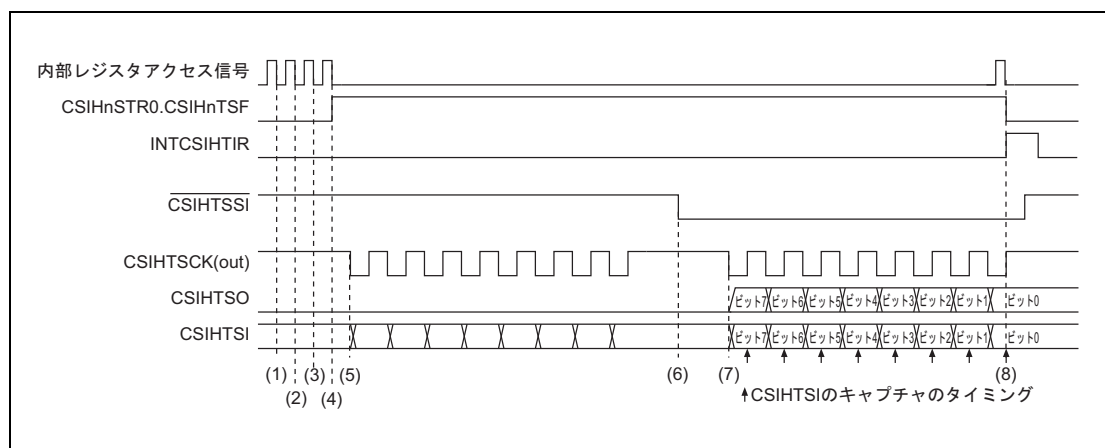


図 11.27 SS 機能を使用した通信の送受信のタイミング

- (1) CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。
- (2) データ長は 8 ビットです (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)。データ方向は MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0) です。
- (3) 送受信モードに設定されます (CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1, CSIHnCTL0.CSIHnPWR = 1)。通信の開始が許可されます。
- (4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、ダイレクトアクセスモードのとき、または FIFO モードのときは、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。
- (5) CSIHTSSI 信号がハイレベルである間は、外部送信クロック CSIHTSCK が入力されても、送受信は開始されません。CSIHTSI への入力は無視されます。
- (6) CSIHTSSI がロウレベルになると、CSIHTSO が有効になったことを示し、送信が可能になります。
- (7) 外部クロック信号 CSIHTSCK が検出されると、スレーブはただちにデータを CSIHTSO に送信し、同時に CSIHTSI からデータをキャプチャします。
- (8) 割り込み INTCSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

11.4.16.2 CSIHTSSO オペレーション

CSIHnPWR	CSIHnTXE	CSIHnRXE	CSIHnSSE	CSIHTSSO
0	—	—	—	H
1	—	—	0	H
	0		1	H
	1		1	CSIHTSSI レベルの反転値

CSIHTSSO 端子は、SS 機能を使用する場合にチップの SO 端子の I/O 機能を制御する信号です。

CSIHTSO 端子は CSIHTSSO 端子がハイレベルのときに有効になります (チップの SO 端子は駆動されている)。

CSIHTSO 端子は CSIHTSSO 端子がロウレベルのときに無効になります (チップの SO 端子は駆動されていない)。

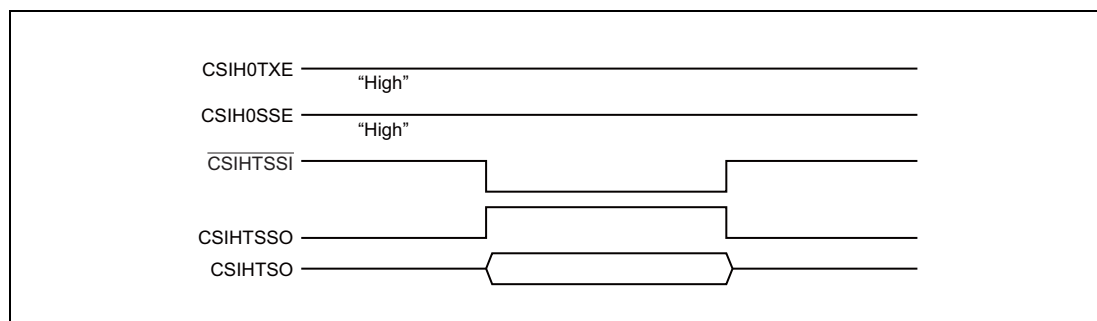


図 11.28 CSIHTSSO の動作

注意

通信中に $\overline{\text{CSIHTSSI}}$ 端子が変化した場合 (CSIHnSTR0.CSIHnTSF = 1) の通信は保証されません。

11.4.17 ハンドシェイク機能

CSIHはマスタデバイスとスレーブデバイスを同期させるハンドシェイク機能を備えています。この機能はCSIHnCTL1.CSIHnHSEビットで有効または無効にすることができます。ハンドシェイクでは、CSIHTRYI、CSIHTRYO信号を使用します。

ビジーとなるタイミングはデータ位相選択CSIHnCFGx.CSIHnDAPxビットの設定によって異なります。

11.4.17.1 スレーブモード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になるとCSIHTRYO信号がロウレベルを出力します。この状態になるのは以下の2つの場合です。

1. 次の送信データが用意されていない場合：
スレーブが送信専用モードまたは送受信モードに設定されている状態 (CSIHnCTL0.CSIHnTXE = 1) で、以下の状態のとき、CSIHTRYOはビジー状態（ロウレベル）を出力します。

表 11.40 メモリモードとスレーブの転送状態

メモリモード	スレーブの転送状態
ダイレクトアクセスモード	次の転送データがない状態
FIFOモード	次の転送データがない状態 (CSIHnSTR0.CSIHnEMF = 1 の状態)
デュアルバッファモード	CSIHnMCTL2.CSIHnBTST が1に設定されていない状態
送信専用バッファモード	

以下の例では、8ビットのデータ長を想定しています。

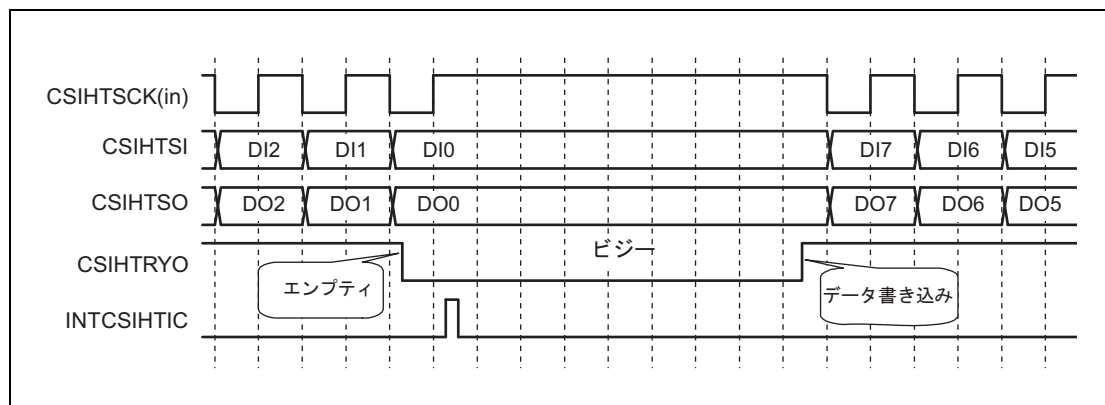


図 11.29 スレーブからのビジー信号 (FIFOモード、CSIHnCFGx.CSIHnDAPx = 0)

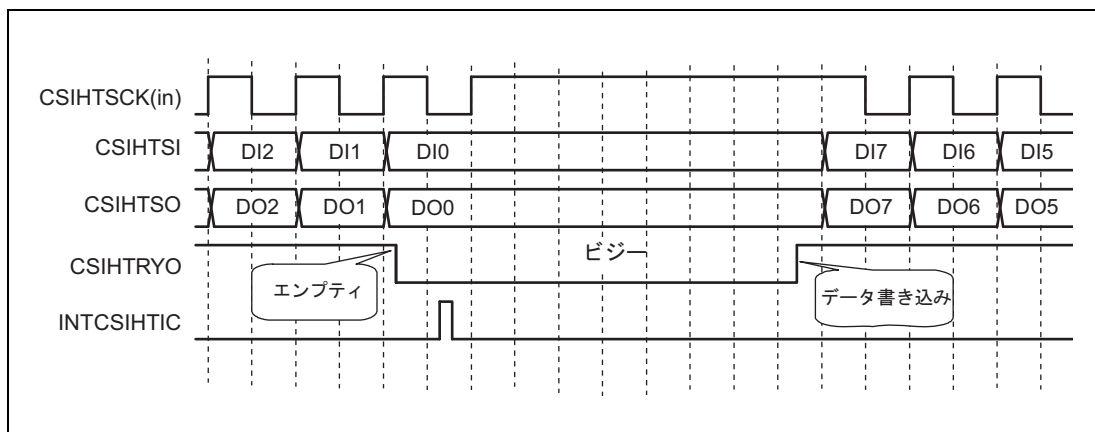


図 11.30 スレープからのビジー信号 (FIFO モード、CSIHnCFGx.CSIHnDAPx = 1)

2. 受信レジスタがフルになっている場合：
 スレープが受信専用モードまたは送受信モードに設定されている状態
 (CSIHnCTL0.CSIHnRXE = 1) で、前に受信したデータがまだ CSIHnRX0 レジスタにあるため、新しいデータをシフトレジスタから CSIHnRX0 へコピーできない状態 (CSIHnRX0 フル状態) のとき。
 CSIHnCTL0.CSIHnRXE = 1 で、以下の状態のとき、CSIHnTRYO はビジー状態 (ロウレベル) を出力します。

表 11.41 メモリモードとスレープの受信状態

メモリモード	スレープの受信状態
ダイレクトアクセスモード	CSIHnRX0W または CSIHnRX0H がフル状態
FIFO モード	受信データがバッファに残っている状態 (CSIHnSTR0.CSIHnFLF = 1 の状態)
デュアルバッファモード	該当する状態なし
送信専用バッファモード	CSIHnRX0W または CSIHnRX0H がフル状態

以下の例では、8 ビットのデータ長を想定しています。

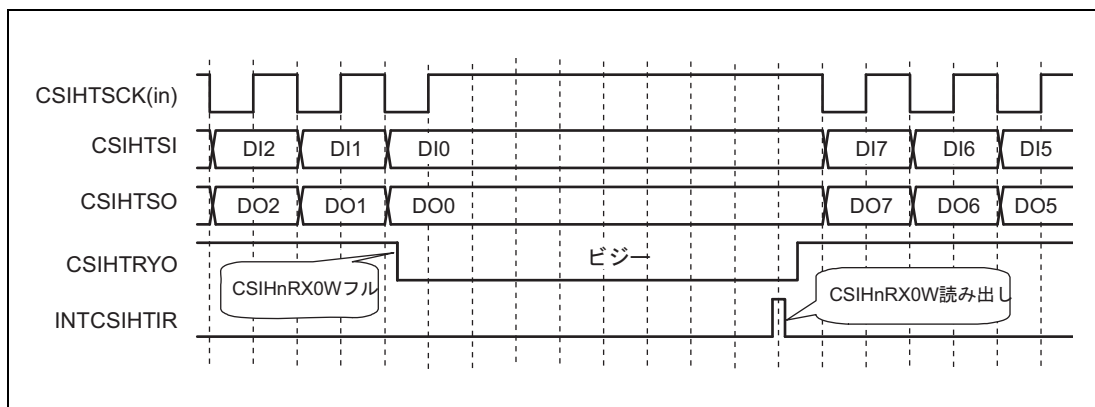


図 11.31 スレープからのビジー信号 (ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 0)

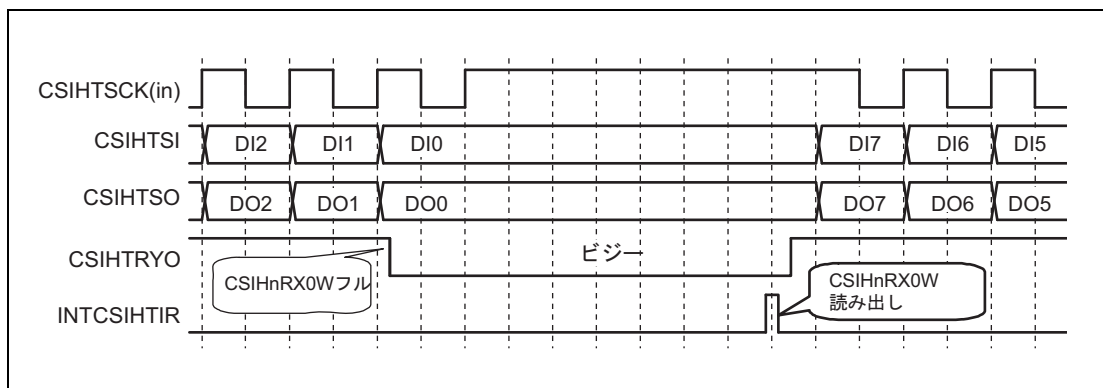


図 11.32 スレーブからのビジー信号 (ダイレクトアクセスモード、 $\text{CSIHnCFGx.CSIHnDAPx} = 1$)

11.4.17.2 マスタモード

CSIHnCTL1.CSIHnHSE = 1 のとき、マスタが CSIHTRYI = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHTSCK を停止させます。CSIHTRYI のレベルは、CSIHTSCK の半クロック周期ごとにチェックされます。

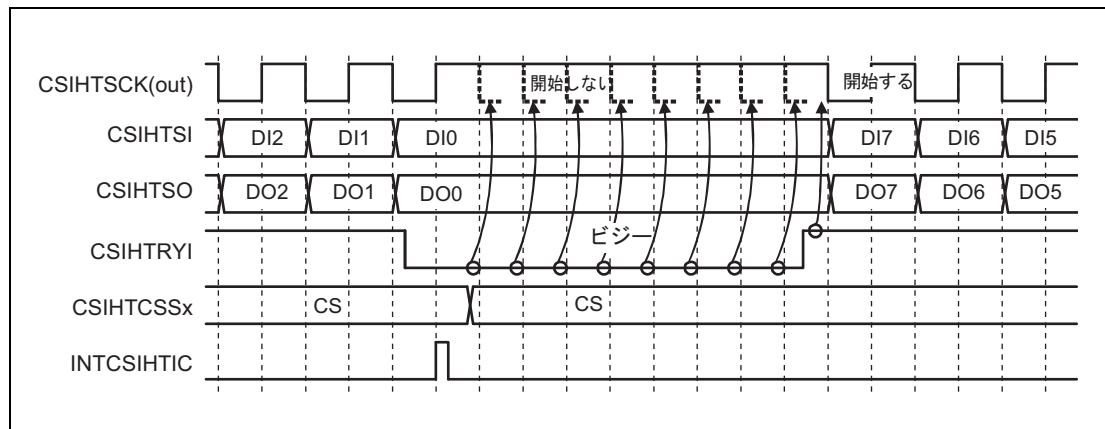


図 11.33 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 0)

次の転送が始まる前にスレーブは CSIHTRYI をロウレベルに下げる必要があります。データ転送中にスレーブ側で CSIHTRYI 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHTRYI がハイレベルになる (スレーブが「レディ」になる) と、ただちに通信を再開します。

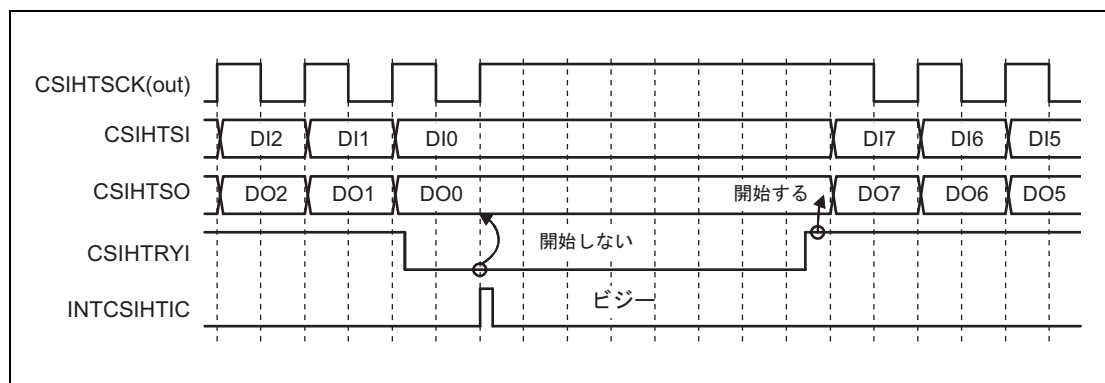


図 11.34 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1)

注 意

1. 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHTRYI 信号だけを検出する必要があります。
2. データ転送中にスレーブの CSIHTRYO 信号をマスタの CSIHTRYI 端子が検出しても、データ転送が終わるまで通信は待機しません。

11.4.18 エラー検出

CSIHは5種類のエラーを検出することができます。

- データ整合性エラー (送信データ)
- パリティエラー (受信データ)
- オーバランエラー (受信データ)
- タイムアウトエラー (FIFO モード時)
- オーバフローエラー (FIFO モード時)

パリティエラー、データ整合性エラー、タイムアウトエラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INTCSIHITIRE が発生し、検出されたエラーに対応するフラグがセットされます。

11.4.18.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIHnCTL1.CSIHnDCS ビットで有効または無効にすることができます。データ整合性チェックを行う場合は、必ず PIPn.PIPn_m = 1 に設定してください。データ送信が禁止されていると (CSIHnCTL0.CSIHnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHTDCS 信号を介して CSIHTSO の物理レベルが独自のシフトレジスタに読み込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み INTCSIHITIRE が発生します。
- CSIHnSTR0.CSIHnDCE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

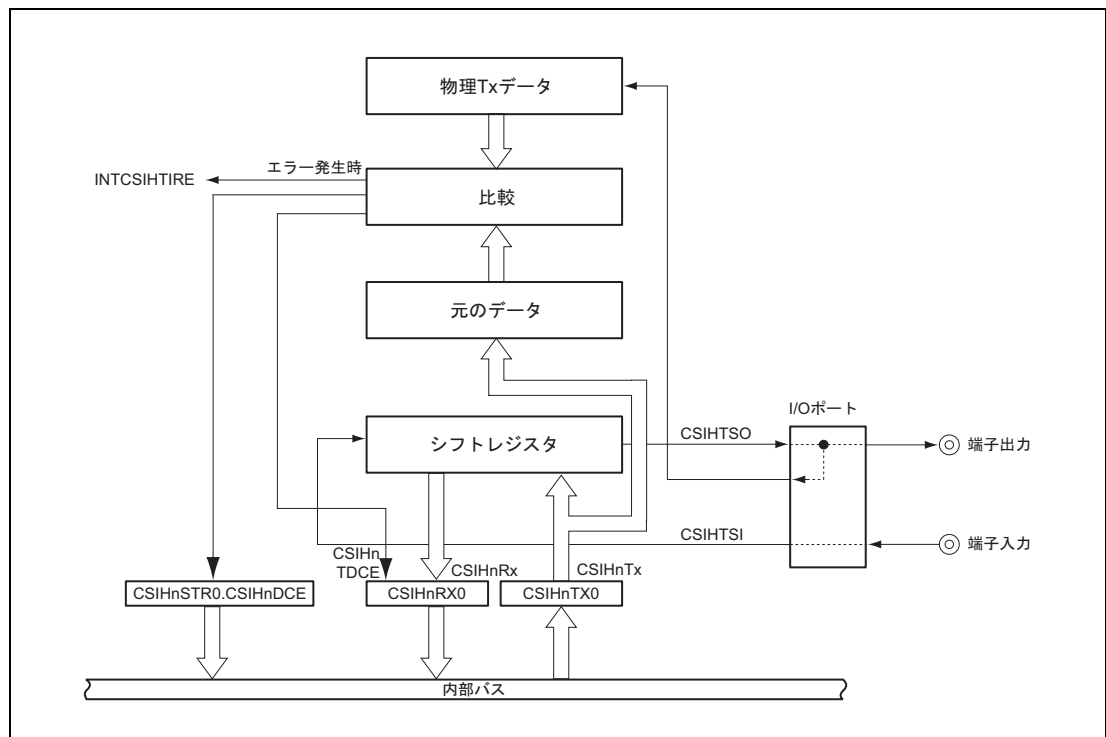


図 11.35 データ整合性チェック機能のブロック図

11.4.18.2 パリティチェック

CSIHでは、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは `CSIHnCFGx.CSIHnPSx[1:0]` で指定されます。

`CSIHnCFGx.CSIHnPSx[1] = 1` であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み `INTCSIHTIRE` が発生します。
- `CSIHnSTR0.CSIHnPE` ビットがセットされます。

さらに、エラーが発生したデータの `CSIHnRX0W.CSIHnRPE` がセットされます。

以下の図に例を示します。

- データ長は8ビットです。
- 送信されるデータは `05H` と `35H` です。
- データ方向は **LSB** ファーストです。
- パリティタイプは奇数です。

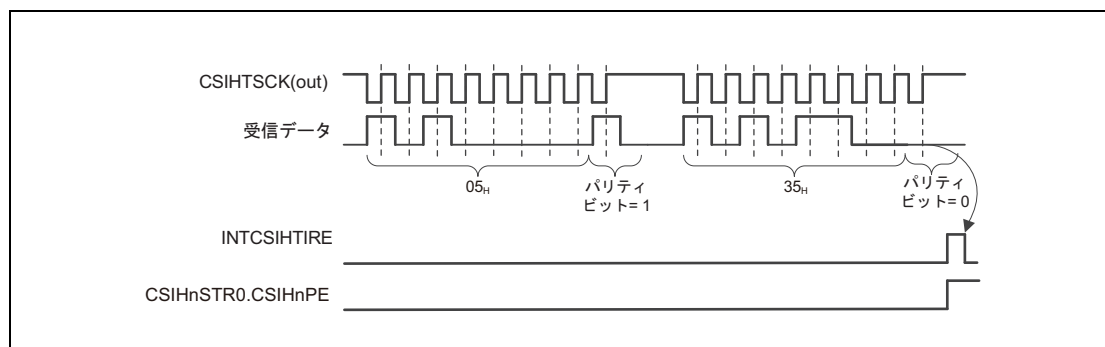


図 11.36 パリティチェックの例

1つめのデータのパリティビットは1です。1の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2つめのデータのパリティビットは0です。1の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

11.4.18.3 タイムアウトエラー

タイムアウトエラーチェックはスレーブの FIFO モードでのみ可能です。

タイムアウトエラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データが読み出し
- FIFO が CSIHTSI からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0] によって送信クロック CSIHTSCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウトエラーが発生します (CSIHnMCTL0.CSIHnTO[4:0] = 00000_B に設定した場合タイムアウト時間は検出されません)。

専用のタイムアウトカウンタで最後の読み出し操作から次の読み出し操作までの時間を測定します。

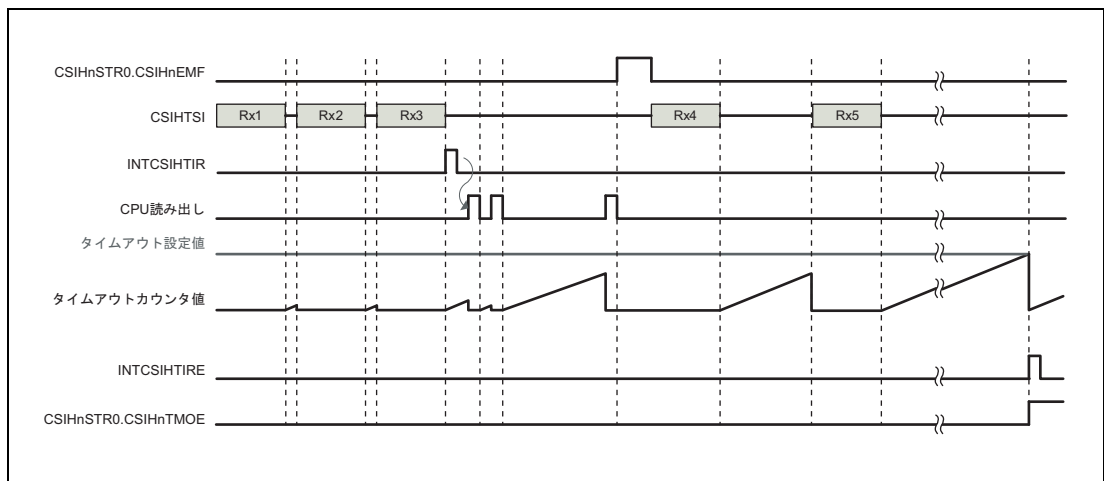


図 11.37 タイムアウトチェック機能のタイミング図

タイムアウトカウンタのスタートタイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ読み込みが完了したとき
(バッファがエンプティなら、カウンタはスタートしません)
- タイムアウトエラーを検出したとき

タイムアウトエラーが検出された後、そのままであれば、タイムアウトカウンタは再起動します。

CSIHnMCTL0.CSIHnTO[4:0] ビットで設定した値まで再度来た場合は、INTCSIHTIRE 割り込みが再度出力されます。

タイムアウトカウンタは受信データがリードされない限りはカウントし続けます。タイムアウトカウンタを停止したい場合、すべての受信データを読みだすか、CSIHnSTCR0.CSIHnPCT をセット (1) してください。ただしその場合、ポインタがクリアされます。

タイムアウトカウンタのリセットタイミングを次に示します。

- 読み出しが1回行われる
- 新しいデータが1つ着信
- タイムアウトエラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット (1)

タイムアウトエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnTMOE ビットがセットされます。

専用のタイムアウトカウンタは、CSIHnCTL2.CSIHnPRS[2:0] ビットと、CSIHnBRSy.CSIHnBRS[11:0] ビットで設定をします。CSIHnBRSy.CSIHnBRS[11:0] ビットに000_Hを設定したままなら、専用のタイムアウトカウンタは動作しません。

11.4.18.4 オーバフローエラー

オーバフローエラーは FIFO モードで発生する可能性があります。オーバフローエラーは、FIFO バッファが受信データフルになっている状態で CSIHnTX0W レジスタに送信データが書き込まれると発生します。

例

100 個のデータが送信されています。つまり、FIFO には 100 個の受信データが格納されています。アプリケーションが受信データの読み出しを開始します。

読み出し操作の進行中に、アプリケーションが新たに 50 個の送信データを FIFO に書き込みはじめます。しかし、現在までに 10 個の受信データしか読み出されておらず、90 個のデータがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータを書き込もうとすると、オーバフローエラーが発生します。

以下の図はその様子を示しています。

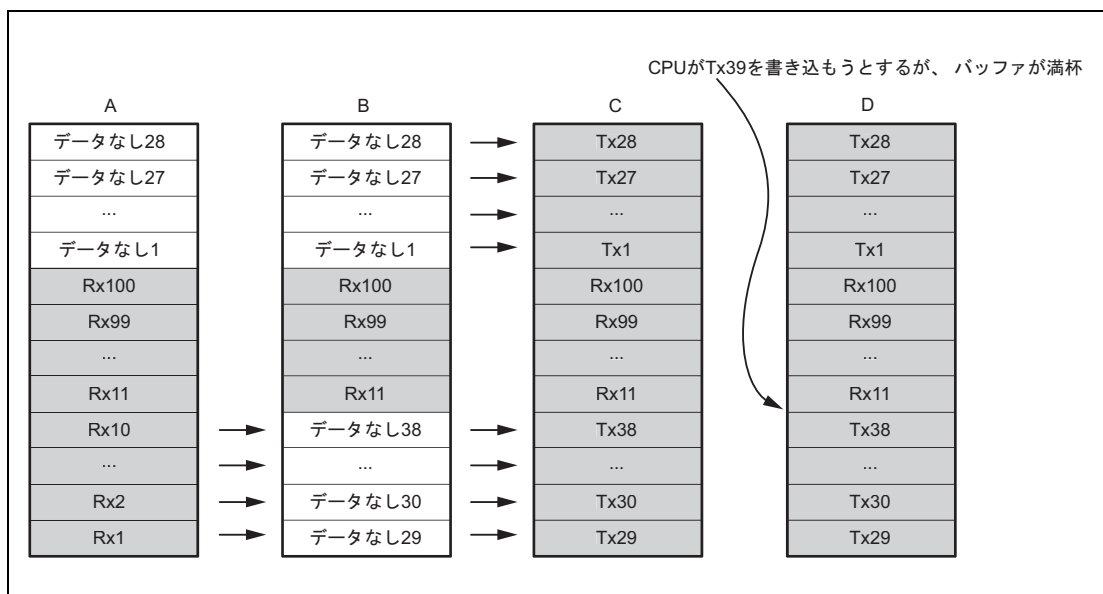


図 11.38 FIFO の概要

39 個目以降のデータは破棄されます。以下の図にオーバーフローのタイミングを示します。

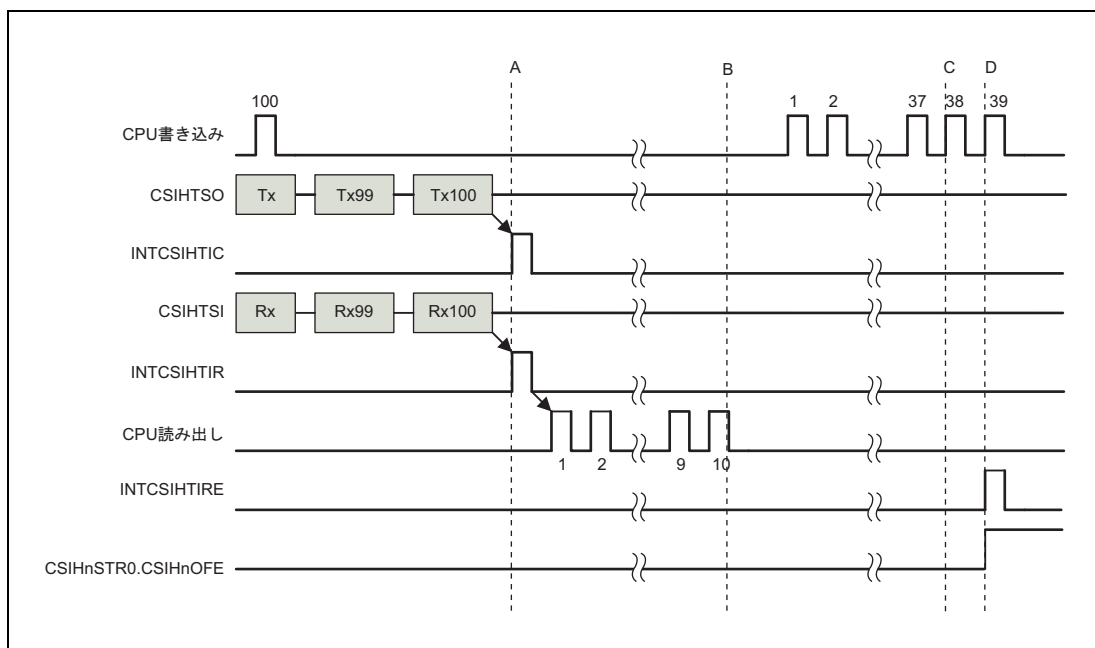


図 11.39 FIFO のオーバーフローのタイミング

オーバーフローエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHnTIRE が発生します。
- CSIHnSTR0.CSIHnOFE ビットがセットされます。

11.4.18.5 オーバランエラー

オーバランエラーは、ダイレクトアクセスモード、送信専用バッファモード、FIFO モードで発生する可能性があります。デュアルバッファモードでオーバランエラーが発生する可能性はありません。データ受信が禁止されていると (CSIHnCTL0.CSIHnRXE = 0)、オーバランエラーは発生しません。

オーバランエラーの発生条件は2つあります。

エラー発生条件 1

- FIFO モードで受信データの数が 0 になった状態で、CPU が CSIHnRX0W/H レジスタをリードした場合

エラー発生条件 2

- スレーブモードで CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合
 - ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合
 - FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合

(1) ダイレクトアクセス/送信専用バッファ

ダイレクトアクセスモードと送信専用バッファモードでは、新たに受信したデータをシフトレジスタから受信レジスタ CSIHnRX0 へ転送できなくなると、このエラーが発生します。CSIHnRX0 が読み出されていないため、前に受信したデータが CSIHnRX0 に残っていると、その状態になります。

以下の図にオーバランエラー検出機能の仕組みを示します。

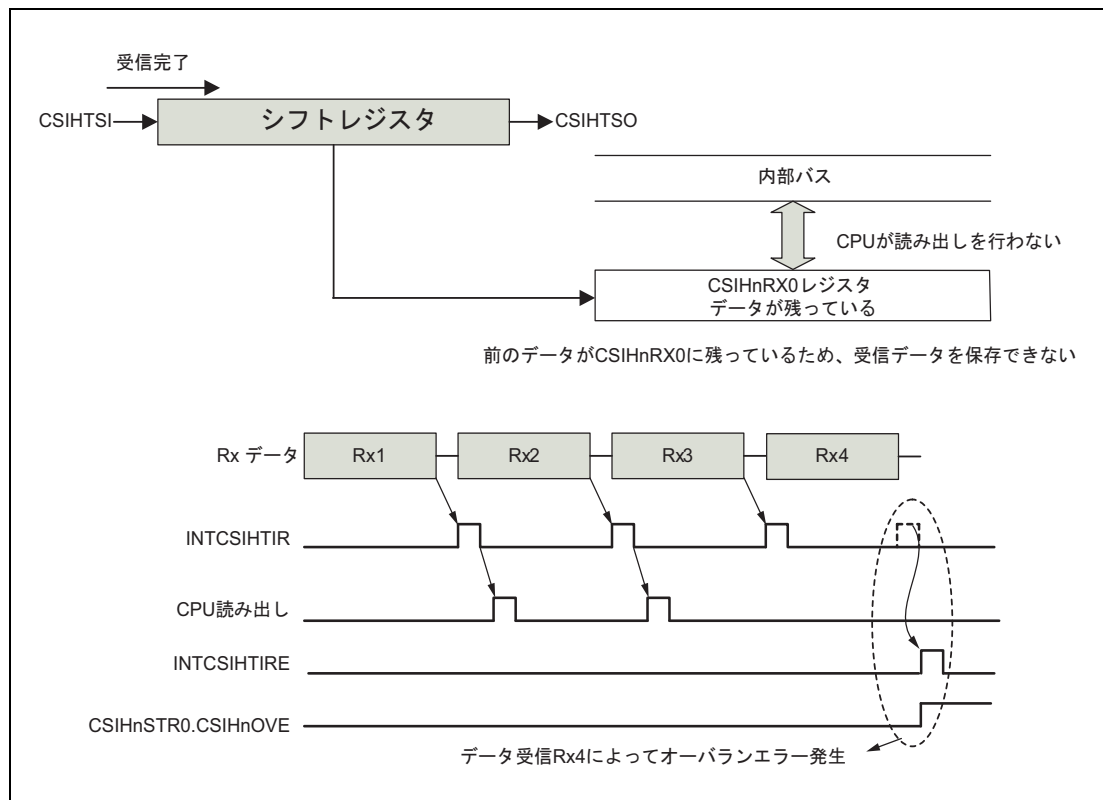


図 11.40 ダイレクトアクセスモードと送信専用バッファモードでのオーバランエラーの検出

備考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

(2) FIFO モード

FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フルのため、新たに受信したデータをシフトレジスタから FIFO へ転送できない

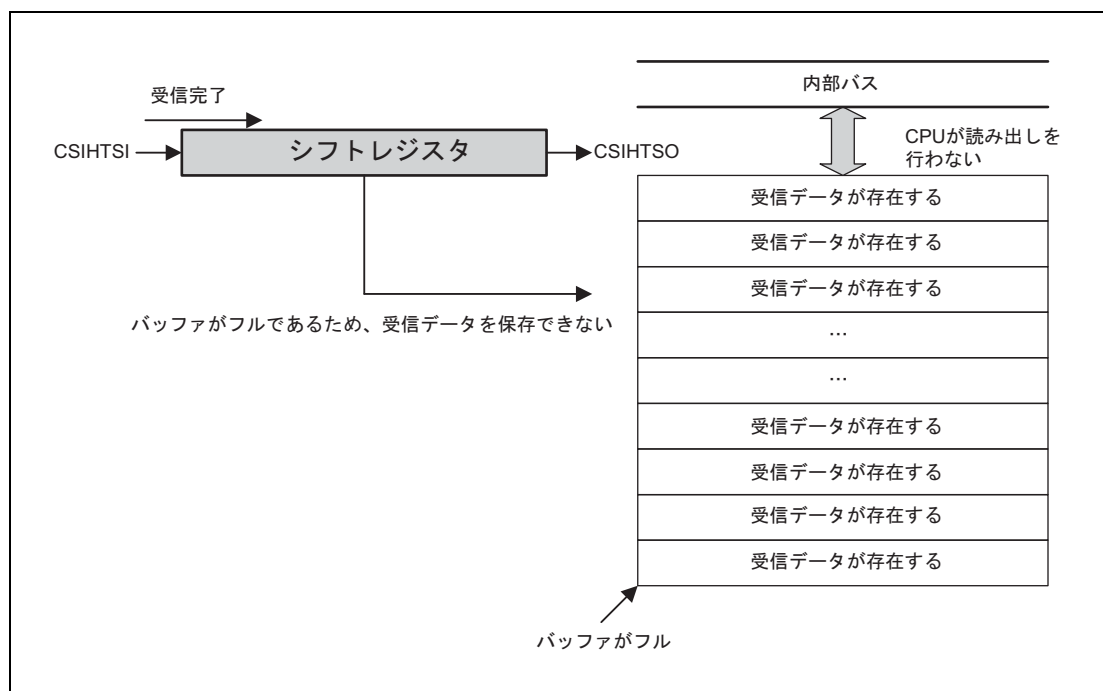


図 11.41 FIFO モードでのオーバランエラーの検出 (FIFO フル)

備考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

2. CPU が存在しない受信データを読み出そうとしている

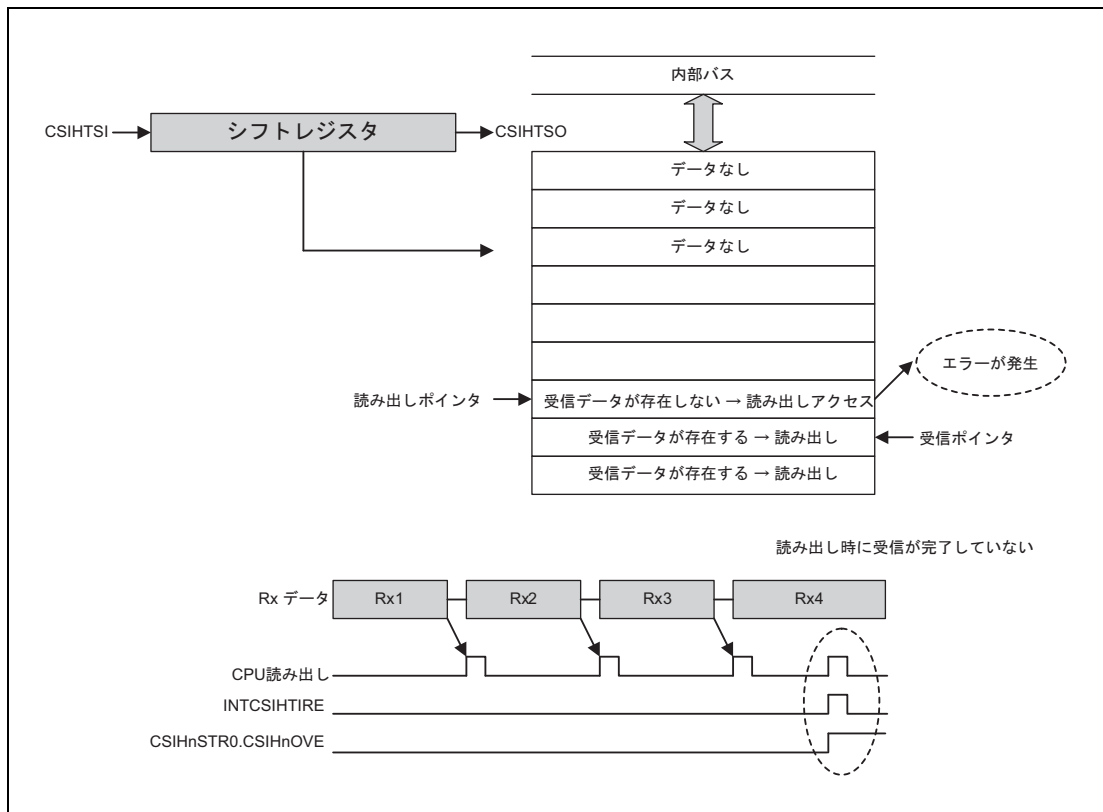


図 11.42 FIFO モードでのオーバランエラーの検出 (データなし)

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOVE ビットがセットされます。
- 受信データが上書きされ、通信は継続します。
(CPU が存在しないデータを読み出そうとした場合、受信完了まで待機した後に CPU による読み出しが再開します。)

詳細については、「**11.4.17 ハンドシェイク機能**」を参照してください。

11.4.19 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ (CSIHnCTL1.CSIHnLBM = 1) になっていると、CSIHTCSSx はインアクティブレベルに固定されます (アクティブレベルは CSIHnCTL1.CSIHnCSLx の値で定義されます)。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHTSCK 信号、CSIHTSO 信号、CSIHTSI 信号、CSIHTCSSx 信号はポートから切り離されます。さらに、CSIHTSO の出力レベルがロウレベルに固定され、CSIHnCFGx.CSIHnCKPx の値に関係なく、CSIHTSCK はリセットレベル (High) に設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。ループバックテストは、接続先のデバイスに影響を与えません。

表 11.42 ループバックモード使用時の端子の出力レベル

端子名	出力レベル
CSIHTSCK(out)	ハイレベル
CSIHTCSS[x]	インアクティブレベル
CSIHTSO	ロウレベル (それまでの値に依存しない)
割り込み	通常の機能
CSIHTRYO	通常の機能 (ロウレベル)

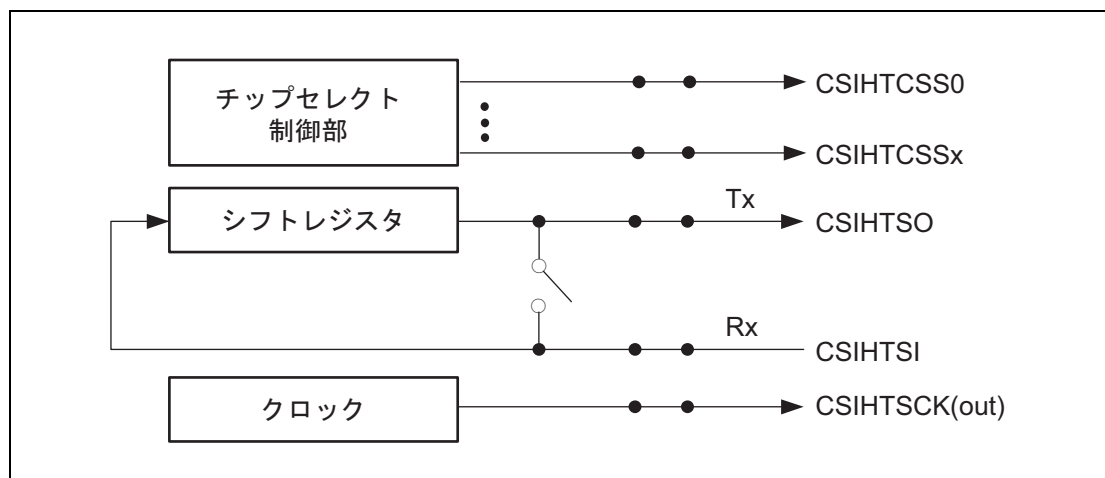
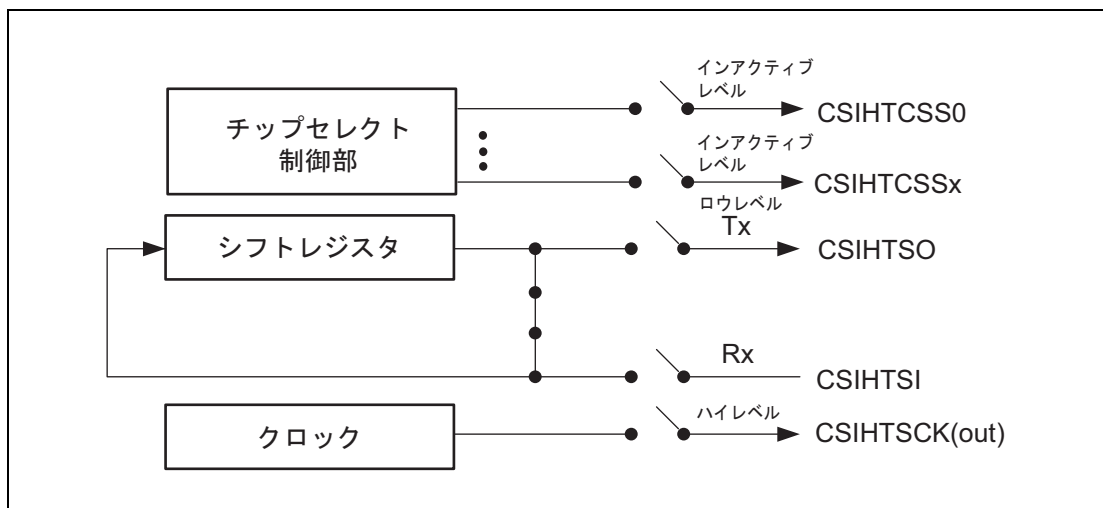


図 11.43 通常の動作



11.4.20 CPU 制御による高優先通信機能

CSIHは、低優先通信を行っているときに、CPUからの高優先通信要求があった場合に、低優先通信を中断して、高優先通信を行う機能を備えています。本機能は、低優先通信として送信専用バッファモード、高優先通信としてダイレクトアクセスモードのみに対応します。本機能を有効にするためには、 $CSIHnCTL1.CSIHnPHE = 1$ 、 $CSIHnCTL1.CSIHnJE = 1$ を設定する必要があります。

CPU制御により高優先通信を行う例を示します。

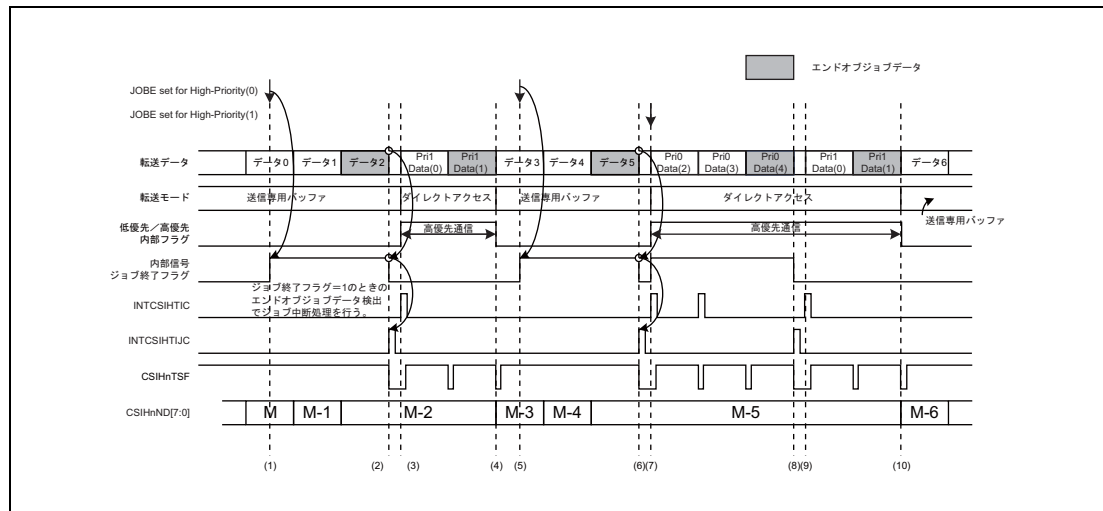


図 11.45 CPU 制御による高優先通信例、 $CSIHnCTL1.CSIHnSLIT = 1$

- (1) 低優先通信中に、 $CSIHnCTL0.CSIHnJOBE = 1$ を設定することで、エンドオブジョブデータに続いて高優先通信を行うことを通知し、内部信号フラグをセットします。
- (2) エンドオブジョブデータを検出すると、現在の低優先通信を中断して INTCSHTIJC 割り込みを発生します。通信を中断したことで、内部信号 JOB 終了フラグがクリアされ、続く高優先通信に備えてメモリモードをダイレクトアクセスモードに自動切り換えます。
- (3) CPU が、割り込みを検出し、高優先通信の最初の送信データを $CSIHnTX0W$ または $CSIHnTX0H$ にライトすることで、通信を開始します。
- (4) エンドオブジョブデータを検出すると、通信を中断します。このとき内部信号 JOB 終了フラグが 0 のため、CSIH は、次の通信が低優先通信であると判断し、メモリモードを送信専用バッファモードに自動切り替えした後、中断していた低優先通信を再開します。
- (5) (1) と同じ
- (6) (2) と同じ
- (7) CPU が、割り込みを検出し、高優先通信の最初の送信データを $CSIHnTX0W$ または $CSIHnTX0H$ にライトすることで、通信を開始します。CPU は、次の通信が高優先通信であることを通知するため、再び $CSIHnCTL0.CSIHnJOBE = 1$ を設定します。
- (8) エンドオブジョブデータを検出すると、通信を中断して INTCSHTIJC 割り込みを発生します。このとき、内部信号 JOB 終了フラグ = 1 のため、続く通信も高優先通信と判断し、通信開始を待ちます。
- (9) (3) と同じ
- (10) (4) と同じ

注 意

低優先通信から高優先通信に切り替わる際のメモリモード切り換え動作（送信専用バッファモードからダイレクトアクセスモードへの切り替え）および、高優先通信から低優先通信に切り替わる際のメモリモード切り換え動作（ダイレクトアクセスモードから送信専用バッファモードへの切り替え）は、自動的に行われます。

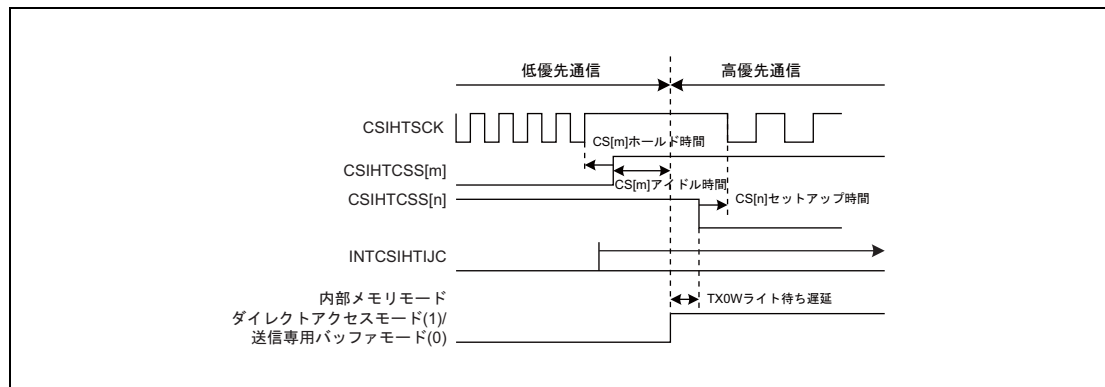


図 11.46 低優先モードから高優先モードへの移行

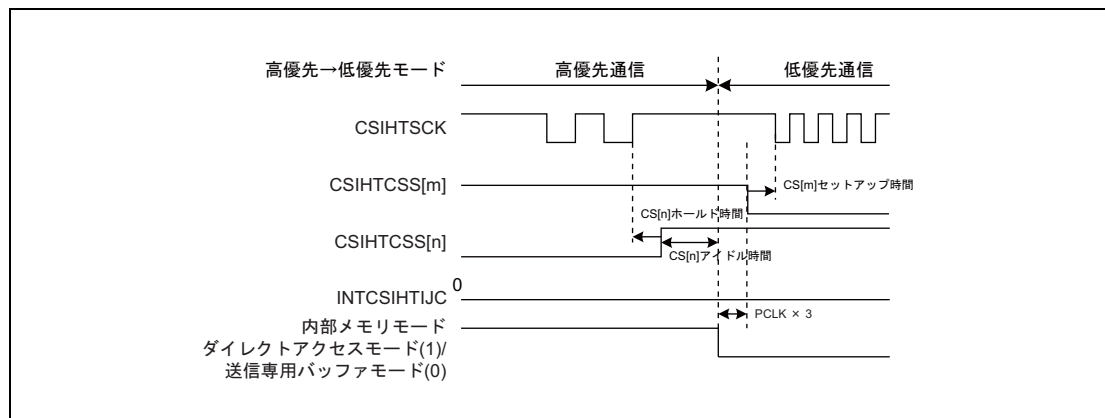


図 11.47 高優先モードから低優先モードへの移行

低優先／高優先通信モードの切り替えを正しく行うために、通信データのライト動作および、CSIHnCTL0.CSIHnJOBE ビット操作は設定禁止期間では行わないでください。

CSIHnTX0W レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。
- 高優先通信の最後のデータ（End of JOB データ）をライトした後、CSIHnHPST ステータス = 0 を検出するまでの期間。

CSIHnJOBE レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。

高優先通信モード期間中は CSIHnJOBE ビットの設定禁止期間はありません。通信データをライトする前に CSIHnJOBE ビットを設定することも可能です。例えば、予め複数の JOB

データを高優先で通信することが分かっている場合は、最初の通信データをライトする前に CSIHnJOBE ビットを設定しておくことができます。

注 意

高優先通信の最後の通信が終了する間に CSIHnJOBE ビットをセットした場合、内部で CSIHnJOBE ビットのセットを検出するタイミングによって動作が異なります。

最終ビットの通信が完了する前に CSIHnJOBE ビットのセットを検出した場合は、高優先通信モードを継続します。

最終ビットの通信が完了した後に CSIHnJOBE ビットのセットを検出した場合は、一旦低優先通信モードへ復帰した後、低優先通信データの End of JOB データを検出して、再び高優先通信モードへ遷移します。

11.4.21 強制 CS アイドル設定

CSIHnCFGx.CSIHnIDLx を設定することで、連続する2つの転送データ間にアイドル状態を挿入することができます。

1. CSIHnCFGx.CSIHnIDLx が 0 のとき
次の CSIHTCSSx が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
次の CSIHTCSSx が前と違う場合、アイドル状態が挿入されます。
2. CSIHnCFGx.CSIHnIDLx が 1 のとき
次の CSIHTCSSx が前と同じ場合でも、アイドル状態が常に挿入されます。

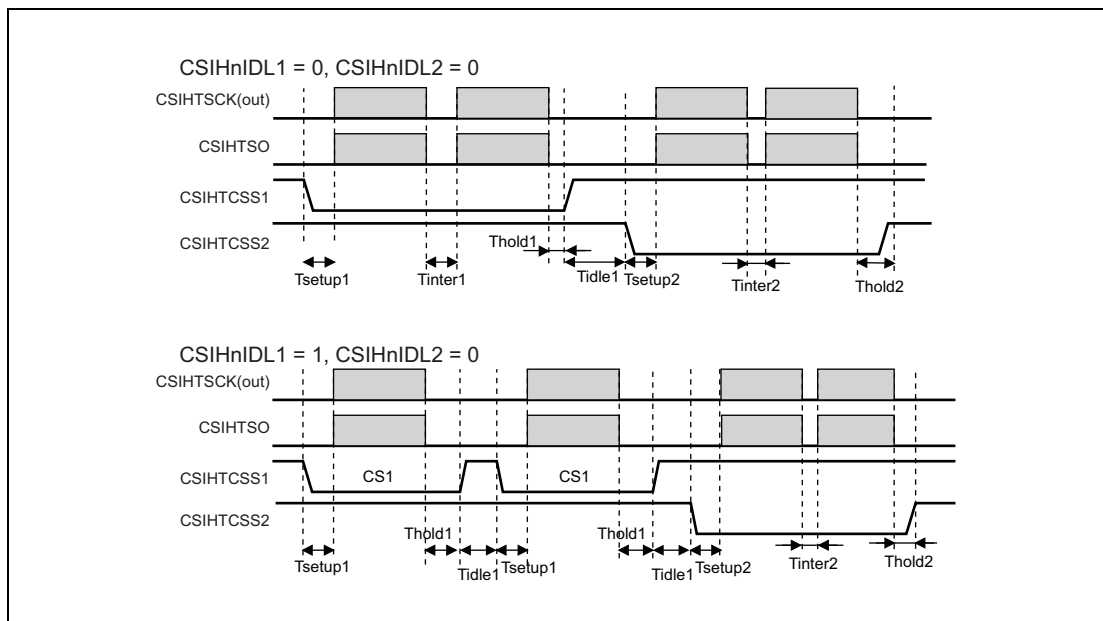


図 11.48 強制 CS アイドル設定の例

注意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、CSIHnCFGx.CSIHnIDLx ビット設定にかかわらずアイドル状態が挿入されます。

11.5 手順

ここに示す例および手順は、以下のメモリモード順に記載されています。

- ダイレクトアクセスモード
- 送信専用バッファモード
- デュアルバッファモード
- FIFO モード

11.5.1 ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

11.5.1.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)

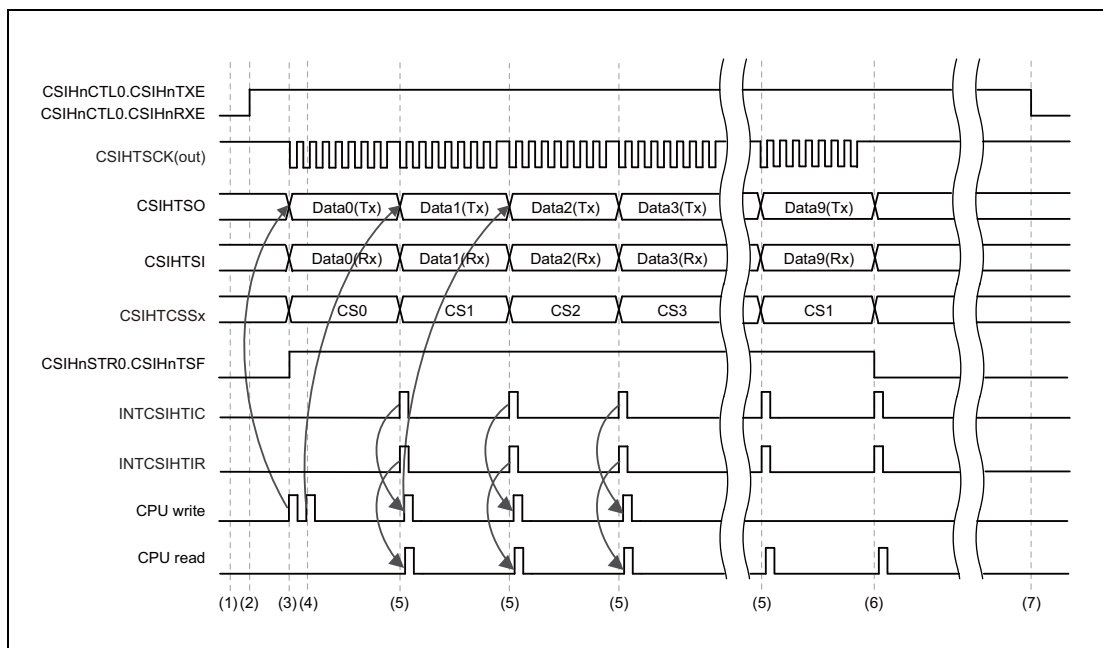


図 11.49 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) に設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み INTCSIHTIC と INTCSIHTIR が発生します。
 - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INTCSIHTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
6. データ 8 の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ 9 (最後のデータ) は、その前に書き込まれています。
ただし、データ 8 とデータ 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0 を読み出す必要があります。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.1.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータを送信する 2 つのジョブ

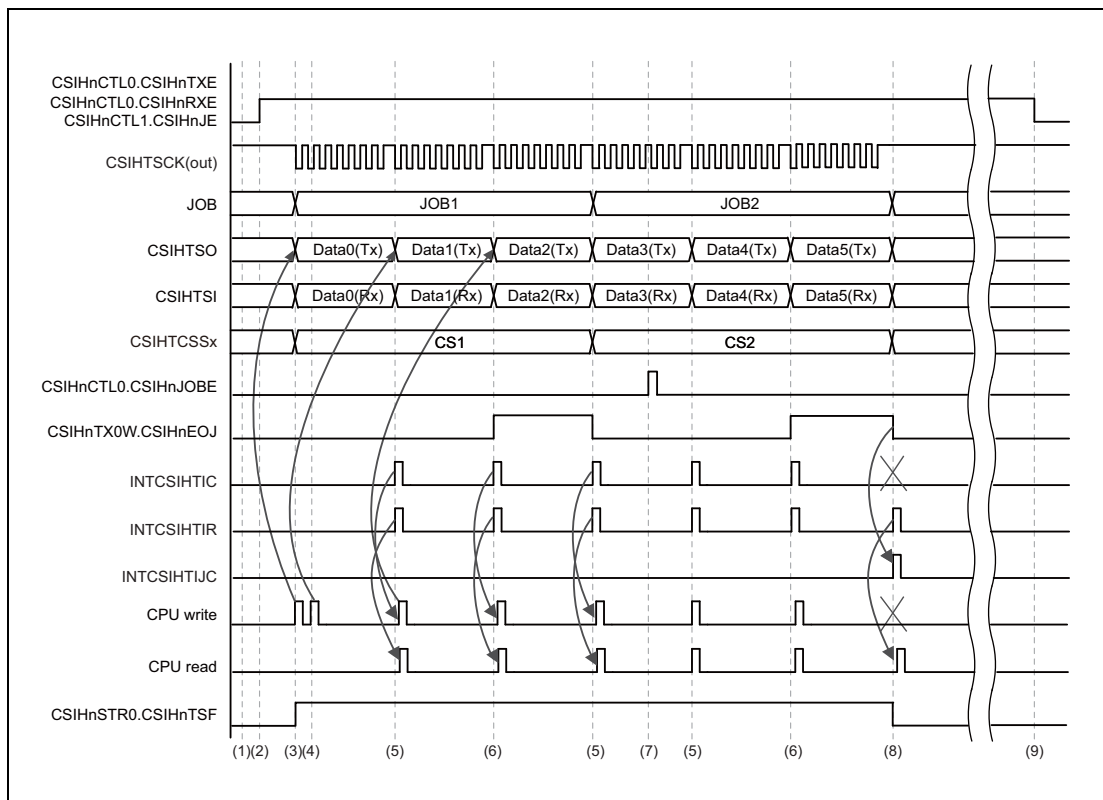


図 11.50 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS1、CSIHnCSS2 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) を設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。
4. 2番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に2番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
 - INTCSIHTIC は、次のデータを CSIHnTX0 に書き込めることを示します。
 - INTCSIHTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。そのあと、次のジョブを開始できます。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ (ジョブ 2) の終了時に通信を強制的に停止します。
8. 通信の強制停止後、割り込み要求 INTCSIHTIC が INTCSIHTIJC に置き換えられます。INTCSIHTIR は通常どおりに発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0 レジスタ内の利用可能な送信データは送信されません。
9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

11.5.2 送信専用バッファモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

11.5.2.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

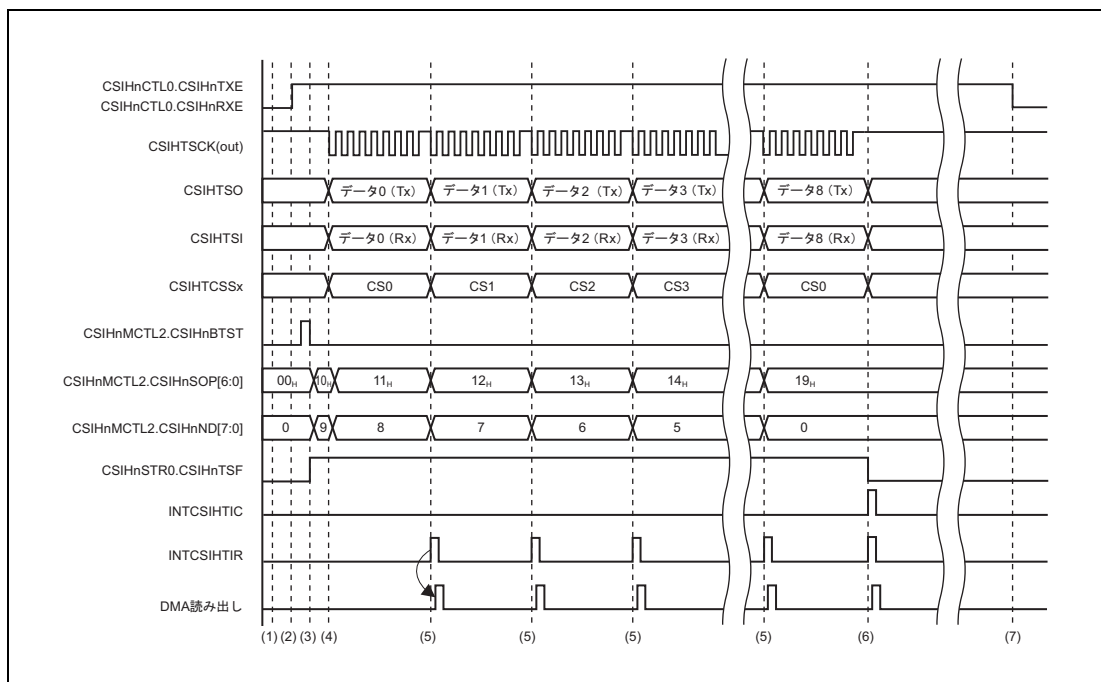


図 11.51 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって送信ポインタとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたび CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
6. すべての送信が完了すると、割り込み要求 INTCSIHTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.2.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

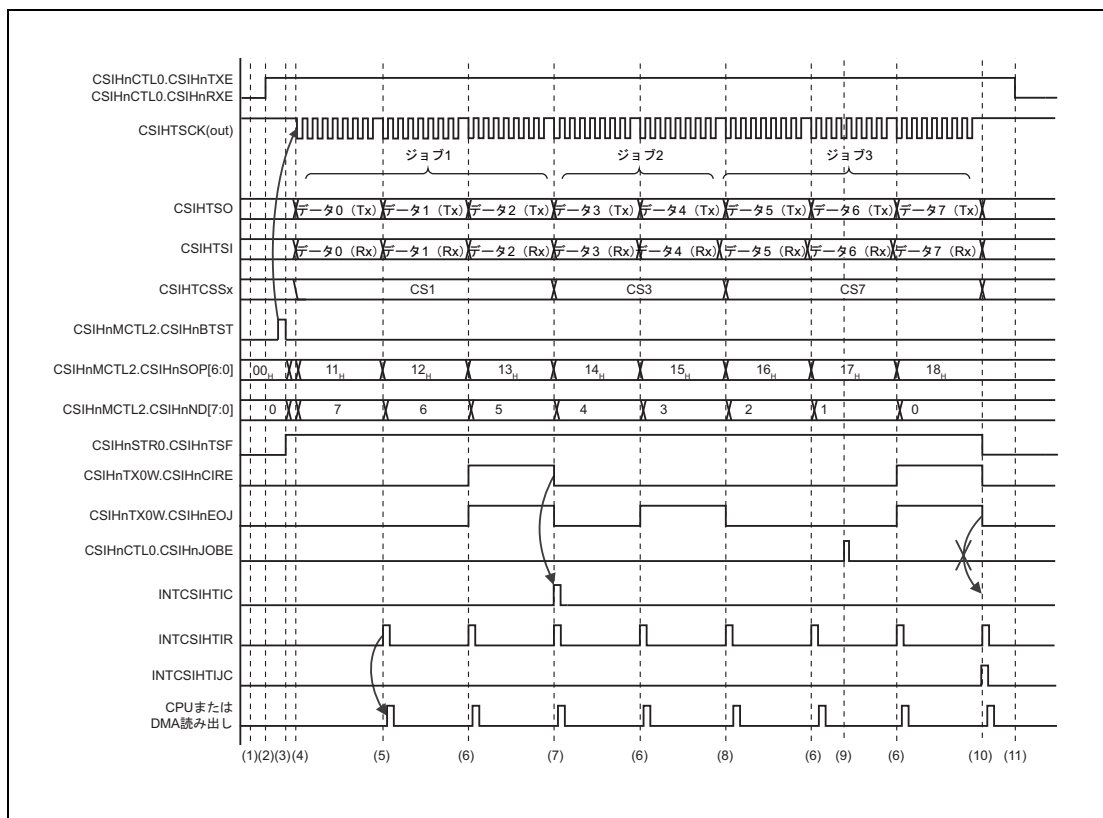


図 11.52 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] ビットと CSIHnMCTL2.CSIHnND[7:0] ビットを設定することによって送信ポイントとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
9. CSIHnCTL0.CSIHnJOB = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
10. 通信の強制停止後、ジョブ3の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0 レジスタ内の利用可能な送信データは送信されません。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.3 デュアルバッファモードでの手順

マスタモード時、ジョブモードが有効になっている例と無効になっている例、およびスレーブモード時、ジョブモードが無効になっている例を示します。

11.5.3.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

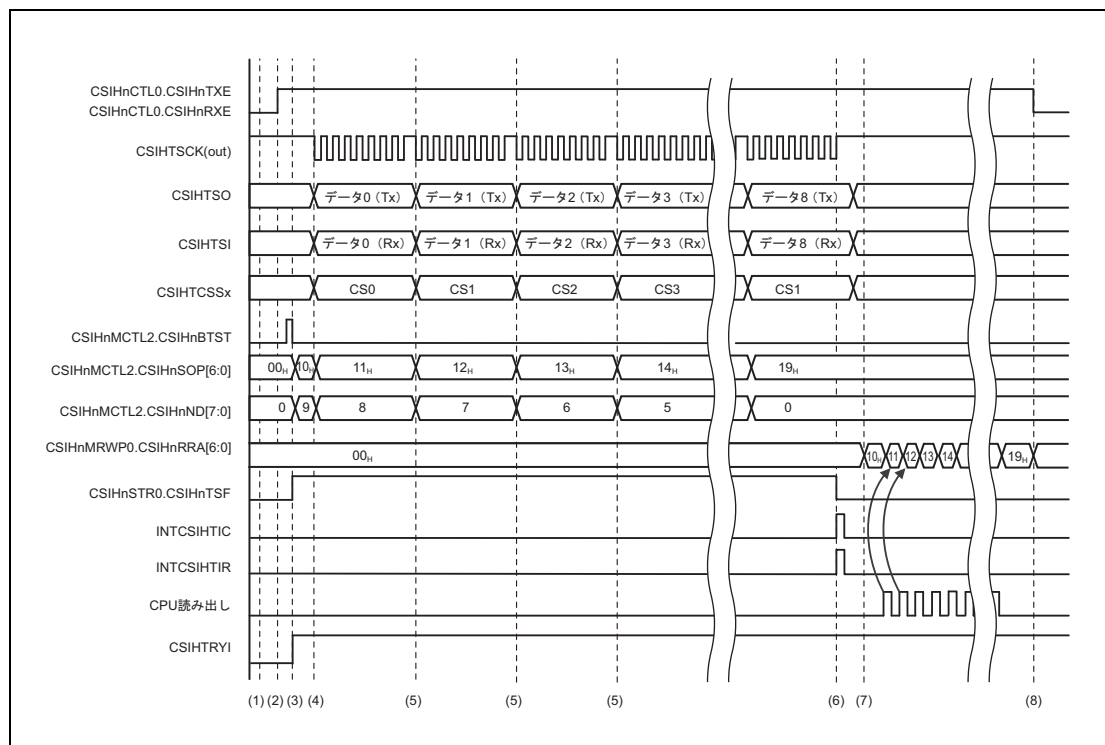


図 11.53 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] と CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。CPU が受信バッファからの受信データの読み出しを開始します。
7. 読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定します。
(ソフトウェアで CSIHnRRA[6:0] に 10_H を設定)
CSIHnRRA[6:0] はデータが1つ読み出されるたびにインクリメントされます。
8. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.3.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：00_H (CSIHnMCTL2.CSIHnSOP[6:0] = 00_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

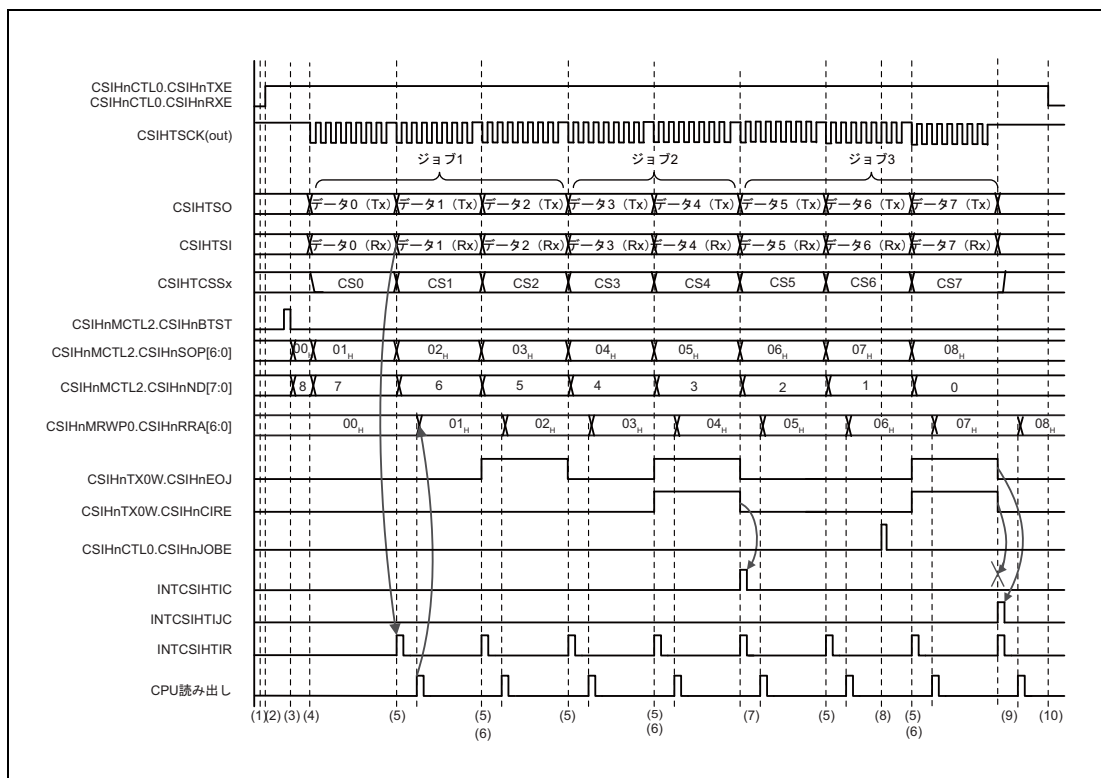


図 11.54 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] と CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
最後のデータが送受信されるまで、この動作が繰り返し実行されます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。
現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が
CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
9. 通信の強制停止後、ジョブ3の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0 レジスタ内の利用可能な送信データは送信されません。
10. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.3.3 スレーブモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCTL1.CSIHnCKR = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- ハンドシェイク機能有効 (CSIHnCTL1.CSIHnHSE = 1)

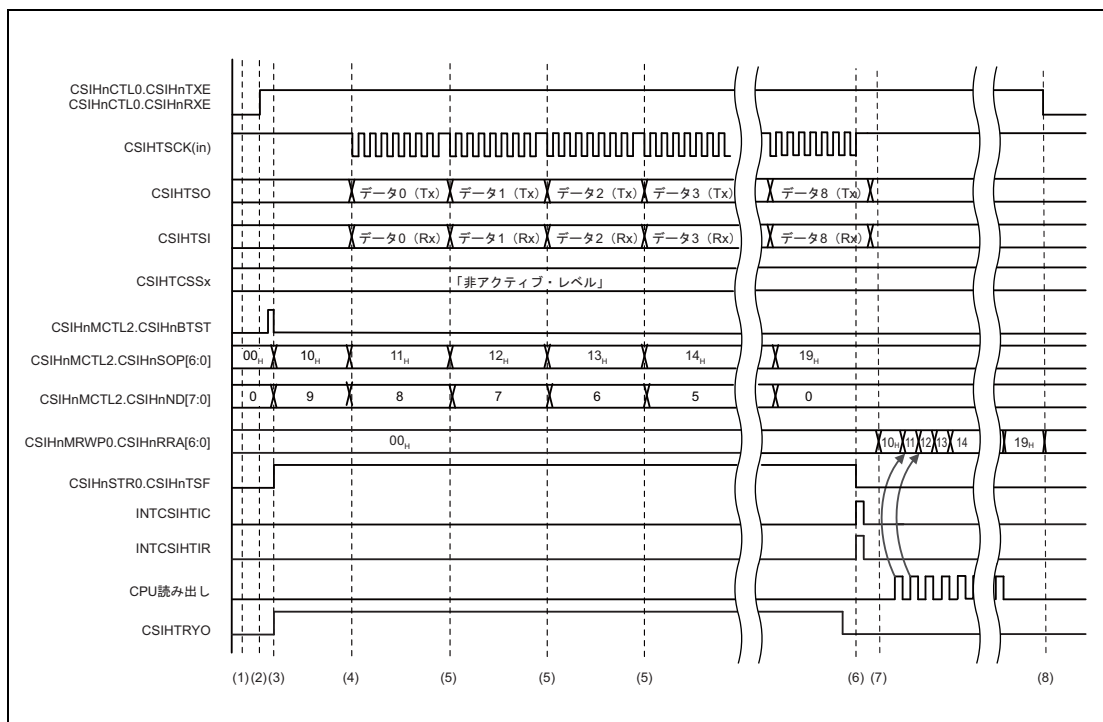


図 11.55 デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFG0 レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B でデュアルバッファモードに設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] を設定することによって転送開始アドレスを指定し、CSIHnMCTL2.CSIHnND[7:0] を設定することによってデータの数を指定します。
CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. マスタから入力クロックを受信すると送信が開始されます。
CSIHnMCTL2.CSIHnSOP[6:0] ビットが自動的にインクリメントされ、データが1つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0] ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
送信データがバッファから送信され、受信データがバッファに格納されるため、割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。CPU が受信バッファに格納された受信データの読み出しを開始します。
7. 読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定します。
(ソフトウェアで CSIHnRRA[6:0] に 10_H を設定)
CSIHnRRA[6:0] はデータが1つ読み出されるたびにインクリメントされます。
8. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.4 FIFO モードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

11.5.4.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)

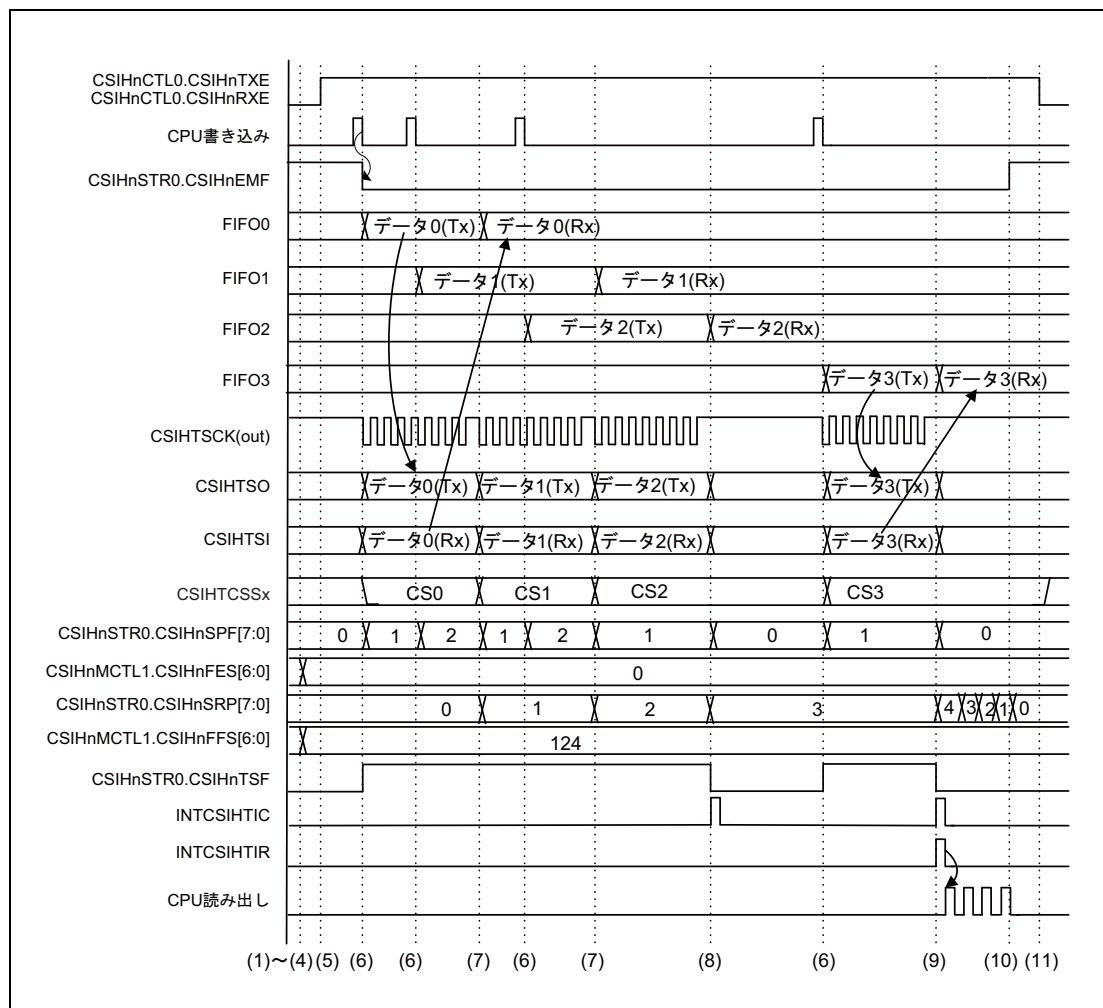


図 11.56 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CSIHTCSS0 ~ CSIHTCSS3 を使用します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で INTCSIHTIC 割り込み出力の条件を指定します。同じレジスタの CSIHnFFS[6:0] で INTCSIHTIR 割り込み出力の条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W にライトします。最初のデータが利用可能になると送信が自動的に開始されます。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHTIC が生成されません。
8. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。
9. CSIHnFFS[6:0] = 128 - CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されません。CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されません。割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受信バッファに格納された受信データのリードを完了したとき、CSIHnSTR0.CSIHnEMF が 1 にセットされ、FIFO バッファはエンプティ状態になります。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

11.5.4.2 マスタモードでジョブモードが有効になっている送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- ジョブ 1 = 4 データ、ジョブ 2 = 3 データ、ジョブ 3 = 5 データ
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)

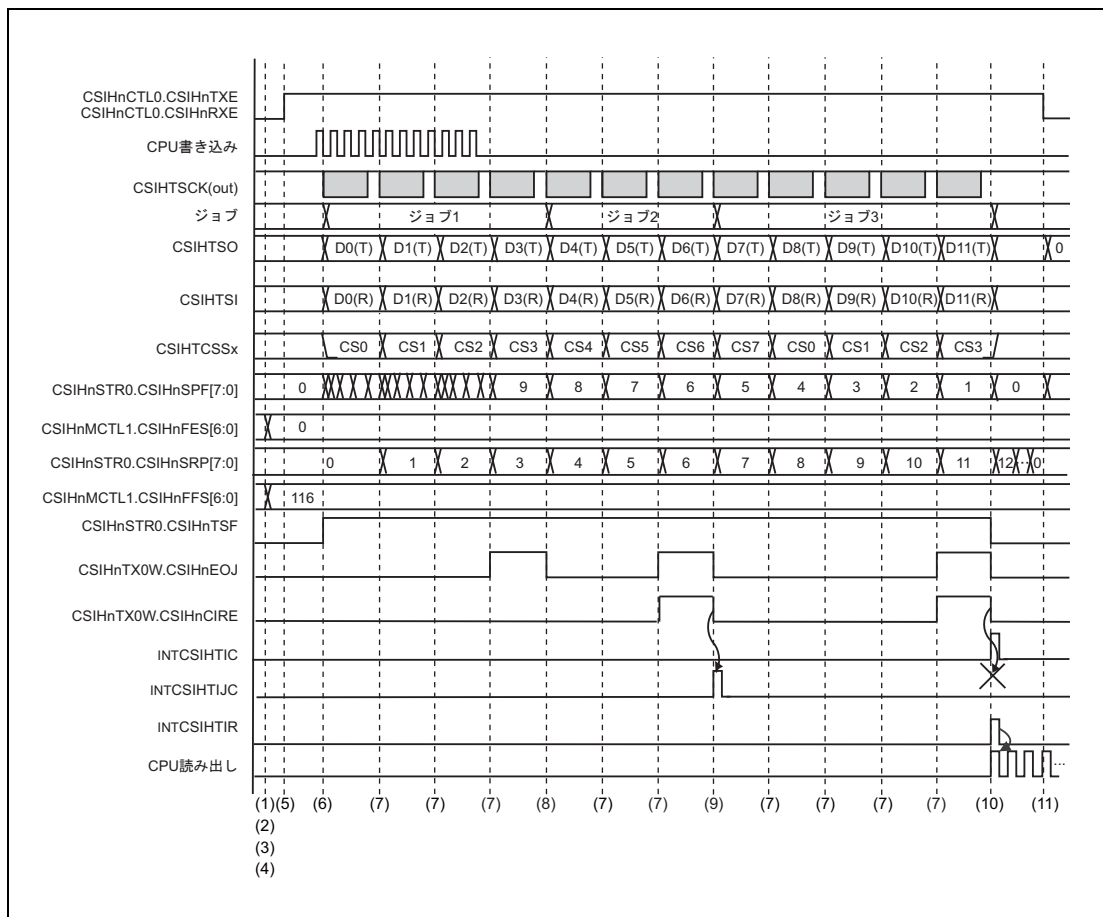


図 11.57 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタモードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポイントをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H であることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で割り込み要求 INTCSIHTIC の発生条件を指定し、CSIHnMCTL1.CSIHnFFS[6:0] で割り込み要求 INTCSIHTIR の発生条件を指定します。
5. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
7. 現在の送信が完了します。
CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHTIC が生成されません。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が
CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIJC は発生しません。
9. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が
CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 INTCSIHTIJC が生成されます。
10. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。
INTCSIHTIC が生成されているので、INTCSIHTIJC は生成されません。
CSIHnFFS[6:0] = 128 - CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されます。
INTCSIHTIR 割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.6 注意事項

表 11.43 レジスタ設定上の注意事項 (1/3)

レジスタ名	ビット名	内容
CSIHnCTL0	CSIHnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIHnCTL0	CSIHnTXE CSIHnRXE	CSIHnCTL0.CSIHnPWR = 0 の間、これらのビットのいずれも変更しないでください。(これらのビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。) 実行中の通信が中断されると、設定した動作が保証されないため、CSIHnSTR0.CSIHnTSF = 1 の間、これらのビットを変更しないでください。
CSIHnCTL0	CSIHnJOBE	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。 CSIHnCTL1.CSIHnJE = 1 のときのみ、このビットは有効です。 このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL0	CSIHnMBS	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。(このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。) このビットの変更は CSIHnSTR0.CSIHnTSF = 0 のときのみ許可されます。 CSIHnCTL0.CSIHnPWR = 1 であるときに、FIFO モードと、ダイレクトアクセスモード間でのモードの変更をしないでください。 CPU 制御による高優先通信を実施している期間は、CSIHnMBS ビット設定に関わらずダイレクトアクセスモードと同じ動作を行います。
CSIHnCTL1	CSIHnCKR	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 CS が使用されていない場合、CSIHnCFGx.CSIHnCKPx の代わりにこのビットを使用し、CSIHnCFGx.CSIHnCKPx は 0 に設定してください。 スレーブモードでは、このビットを使用してください。
CSIHnCTL1	CSIHnSLIT CSIHnCSL[3:0] CSIHnEDLE CSIHnDCS CSIHnCSRI CSIHnHSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。
CSIHnCTL1	CSIHnPHE CSIHnJE CSIHnLBM	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 本ビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL1	CSIHnSSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットを 1 に設定することは、マスタモードでは禁止されます。
CSIHnCTL1	CSIHnSIT	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIHnCTL2	CSIHnPRS[2:0]	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 <ul style="list-style-type: none"> マスタモード : PCLK/8 スレーブモード : PCLK/16
CSIHnSTR0	CSIHnSRP[7:0] CSIHnSPF[7:0] CSIHnFLF CSIHnEMF CSIHnTSF	書き込みは禁止です。読み出しのみ有効です。

表 11.43 レジスタ設定上の注意事項 (2/3)

レジスタ名	ビット名	内容
CSIHnSTR0	CSIHnTMOE CSIHnOFE CSIHnDCE CSIHnPE CSIHnOVE	書き込みは禁止です。読み出しのみ有効です。 このビットは、CSIHnCTL0.CSIHnPWR = 0 → 1 または CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。
CSIHnSTCR0	CSIHnPCT	通信中にこのビットを 1 に設定すると、実行中の通信は中断されます。
CSIHnMCTL0	CSIHnMMS[1:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0、 CSIHnCTL0.CSIHnMBS = 0 のときのみ許可されます。
CSIHnMCTL0	CSIHnTO[4:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ 許可されます。 マスタモードでは、これらのビットを“0”に設定してください。 ダイレクトアクセス、デュアルバッファ、送信専用バッファモードで は、これらのビットを“0”に設定してください。
CSIHnMCTL1	CSIHnFES[6:0] CSIHnFFS[6:0]	通信中に書き込むことは可能です。
CSIHnMCTL2	CSIHnBTST CSIHnND[7:0] CSIHnSOP[6:0]	CSIHnCTL0.CSIHnPWR = 0 のとき、これらのビットへ書き込みするこ とは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、これら のビットへ書き込みアクセスすることは禁止されています。 CSIHnSTR0.CSIHnTSF = 1 のとき、これらのビットへ書き込みアクセ スすることは禁止されています。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込み は、禁止されています。
CSIHnMRWP0	CSIHnRRA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込み は、禁止されています。 書き込みアクセスが必要なときは、送信専用バッファモードでこれら のビットに“0000 _H ”を設定してください。
CSIHnMRWP0	CSIHnTRWA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込み は、禁止されています。
CSIHnCFGx	CSIHnBRSSx[1:0] CSIHnRCBx CSIHnIDLx CSIHnIDx[2:0] CSIHnHDx[3:0] CSIHnINx[3:0] CSIHnSPx[3:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ 許可されます。 スレーブモードでは、これらのビットを“0”に設定してください。
CSIHnCFGx	CSIHnPSx[1:0] CSIHnDLSx[3:0] CSIHnDIRx CSIHnDAPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ 許可されます。 スレーブモードのときは、CSIHnCFG0 の設定が使用されます。そのた め、CSIHnCFG1 ~ 3 のすべてのビットは“0”に設定されなければなり ません。
CSIHnCFGx	CSIHnCKPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ 許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要がある ため、本ビットには“0”を設定してください。 CS が使用されていない場合、このビットの代わりに、 CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを“0”に設定して ください。
CSIHnTX0W	CSIHnEOJ CSIHnCIRE	このビットは、CSIHnCTL1.CSIHnJE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnJE = 0 のとき、読み出し値が“1”でも、これらの値 は無視されます。 スレーブモードのときは、これらのビットを“0”に設定してください。
CSIHnTX0W	CSIHnEDL	このビットは、CSIHnCTL1.CSIHnEDLE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnEDLE = 0 のとき、読み出し値が“1”でも、これらの 値は無視されます。

表 11.43 レジスタ設定上の注意事項 (3/3)

レジスタ名	ビット名	内容
CSIHnTX0W	CSIHnCS[3:0]	マスタモード時は、これらのビットを“F _H ”に設定することは禁止されています。 スレーブモード時は、これらのビットを“E _H ”に設定してください。
CSIHnTX0W CSIHnTX0H		これらのビットの読み出しアクセスはFIFOモードでの通信中は禁止されています。 CSIHnCTL0.CSIHnPWR = 0かつFIFOモードのとき、これらのビットの読み書きすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0のとき、ダイレクトアクセスモードでは、これらのビットへの書き込みアクセスは、禁止されています。
CSIHnRX0W		これらのビットはCSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0のとき、FIFOモードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR = 1のとき、FIFOモードでは、これらのビットの書き込みは無効です。読み出しのみ有効です。 CSIHnCTL0.CSIHnPWR = 0のとき、FIFOモード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では、これらのビットの書き込み、読み出しは有効です。 CSIHnCTL0.CSIHnPWR = 1のとき、FIFOモード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では、これらのビットの書き込みは無効です。読み出しのみ有効です。
CSIHnRX0H		これらのビットはCSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0のとき、FIFOモードでは、これらのビットを読み出しすることは禁止されています。 CSIHnCTL0.CSIHnPWR = 1のとき、FIFOモードでは、これらのビットの書き込みは無効です。読み出しのみ有効です。 CSIHnCTL0.CSIHnPWRの値にかかわらず、FIFOモード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では、書き込みは無効です。読み出しのみ有効です。
CSIHnBRsy		これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。

第12章 シリアルコミュニケーションインタフェース3 (SCI3)

本章では、シリアルコミュニケーションインタフェース (SCI3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。それ以降の節では、SCI3 の機能、レジスタについて説明します。

12.1 RH850/C1x SCI3 の特長

12.1.1 ユニット数

本製品は、以下に示すユニット数の SCI3 を搭載しています。

表 12.1 ユニット数

製品	RH850/C1x
ユニット数	3
名称	SCI3n (n = 0 ~ 2)

表 12.2 添字

添字	意味
n	本章では、SCI3 の各ユニットを「n」(n = 0 ~ 2) で識別します。たとえば、レシーブシフトレジスタ (SCI3nRSR) のように記述しています。

12.1.2 レジスタベースアドレス

SCI3 のベースアドレスを以下の表に示します。

SCI3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 12.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<SCI30_base>	FFD9 0000 _H
<SCI31_base>	FFD9 1000 _H
<SCI32_base>	FFD9 2000 _H

12.1.3 クロック供給

SCI3 のクロック供給を以下の表に示します。

表 12.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
SCI3n	PCLK	CLKC_LSB (非変調低速周辺クロック)
	SCKn	SCI3nSCK 端子 (外部クロック動作時) ^{注1}

注1. SCI3SCK 信号は、RH850/C1M では対応していません。

12.1.4 割り込みと DMA

SCI3 の割り込み要求を以下の表に示します。

表 12.5 割り込み要求

割り込み名	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
SCI30				
ERI	受信エラー	203	—	—
RXI	受信データフル	204	107	112
TXI	送信データエンプティ	205	108	113
TEI	送信終了	206	—	—
SCI31				
ERI	受信エラー	207	—	—
RXI	受信データフル	208	109	114
TXI	送信データエンプティ	209	110	115
TEI	送信終了	210	—	—
SCI32				
ERI	受信エラー	211	—	—
RXI	受信データフル	212	111	116
TXI	送信データエンプティ	213	112	117
TEI	送信終了	214	—	—

12.1.5 リセット要因

SCI3 のリセット要因を以下に示します。SCI3 は以下のリセット要因で初期化されます。

表 12.6 リセット要因

ユニット名	リセット要因
SCI3n	すべてのリセット要因でリセット

12.1.6 外部入出力信号

SCI3 の外部入出力信号を以下の表に示します。

表 12.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
SCKn	シリアルクロック入出力信号	SCInSCK ^{注1}
RxDn	受信データ入力信号	SCInRXD
TxDn	送信データ出力信号	SCInTXD

注 1. SCI0SCK 信号は、RH850/C1M では対応していません。

12.2 概要

12.2.1 機能概要

SCI3 は、調歩同期式とクロック同期式の2方式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができ、複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）も備えています。

クロック同期式では、内部クロックを出力しそれに同期して通信するマスタモードと外部からのクロックに同期して通信するスレーブモードによるクロック同期通信ができます。

機能一覧

以下に各方式の差分を示します。

項目	調歩同期式	クロック同期式	
		内部クロック (マスタモード)	外部クロック (スレーブモード)
全二重通信	可能 独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。		
SCKn 端子	クロック出力可能	クロック出力	クロック入力
送受信クロックソース	内蔵ポーレートジェネレータによる内部クロック		外部クロック
LSB/MSB ファースト選択	可能（ただし7ビットデータ長を除く）	可能	
割り込みと DMA, DTS 転送機能	<ul style="list-style-type: none"> 送信終了 送信データエンプティ 受信データフル 受信エラー 送信データエンプティ、受信データフル割り込み信号で DMA, DTS を起動させることができます。		
ビットレートモジュレーション機能	可能	可能（ただし、最高速設定除く）	
データ長	7ビット／8ビット選択可能	8ビット	
ストップビット長	1ビット／2ビット選択可能	—	
パリティ	偶数パリティ／奇数パリティ／パリティなし選択可能	—	
受信エラーの検出	<ul style="list-style-type: none"> パリティエラー オーバランエラー フレーミングエラー 	<ul style="list-style-type: none"> オーバランエラー 	
ブレークの検出	可能 フレーミングエラー発生時レジスタをリードすることでブレークを検出可能	—	
シリアル入力データ端子レベル確認	可能		
マルチプロセッサ通信機能	可能	—	
倍速動作	可能	—	
最大ビットレート	2.5Mbps (PCLK/16)	5Mbps (PCLK/8)	3.3 Mbps (PCLK/12)

12.3 レジスタ

12.3.1 レジスタ一覧

SCI3 のレジスタ一覧を以下の表に示します。

<SCI3n_base> は「12.1.2 レジスタベースアドレス」を参照してください。

表 12.8 レジスタ構成

モジュール名	レジスタ名	略号	アドレス
SCI3n	シリアルモードレジスタ	SCI3nSMR	<SCI3n_base>+ 00 _H
SCI3n	ビットレートレジスタ / モジュレーションデューティレジスタ ^{注1}	SCI3nBRR/ SCI3nMDDR	<SCI3n_base>+ 04 _H
SCI3n	シリアルコントロールレジスタ	SCI3nSCR	<SCI3n_base>+ 08 _H
SCI3n	トランスミットデータレジスタ	SCI3nTDR	<SCI3n_base>+ 0C _H
SCI3n	シリアルステータスレジスタ	SCI3nSSR	<SCI3n_base>+ 10 _H
SCI3n	レシーブデータレジスタ	SCI3nRDR	<SCI3n_base>+ 14 _H
SCI3n	シリアル通信フォーマットレジスタ	SCI3nSCMR	<SCI3n_base>+ 18 _H
SCI3n	シリアル拡張モードレジスタ	SCI3nSEMR	<SCI3n_base>+ 1C _H

注1. SCI3nBRR レジスタと SCI3nMDDR レジスタは、同一のアドレスに配置されています。これらのレジスタの切り替えは、SCI3nSEMR.MDDRS ビットで行います。

12.3.2 SCI3nRDR — レシーブデータレジスタ

受信データを格納するためのレジスタです。1 フレーム分のデータを受信するとレシーブシフトレジスタ (RSR) から受信データが SCI3nRDR に転送され、RSR は次のデータを受信可能となります。RSR と SCI3nRDR はダブルバッファ構造になっているため、連続受信動作が可能です。リードする場合は、SCI3nSSR.RDRF ビットが 1 にセットされていることを確認して行ってください。データ長が 7 ビットの場合、受信データはビット 0 ~ 6 に格納され、ビット 7 は 0 に固定されます。これは SCI3nSCMR.SINV ビットによりません。

アクセス 8 ビット単位でリード可能です。

アドレス <SCI3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	SCI3nRDR							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 12.9 SCI3nRDR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	SCI3nRDR	レシーブデータレジスタ 受信データを格納します。

12.3.3 SCI3nTDR — トランスミットデータレジスタ

送信データを格納するためのレジスタです。トランスミットシフトレジスタ (TSR) に空きを検出すると、SCI3nTDR にライトされた送信データは TSR に転送されて送信を開始します。TSR と SCI3nTDR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき、SCI3nTDR に次の送信データがライトされていれば TSR へ転送して送信を継続します。SCI3nTDR への送信データのライトは必ず SCI3nSSR.TDRE ビットが 1 にセットされていることを確認して行ってください。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0C_H

リセット後の値 FF_H

ビット	7	6	5	4	3	2	1	0
	SCI3nTDR							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.10 SCI3nTDR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	SCI3nTDR	トランスミットデータレジスタ 送信データを格納します。

12.3.4 SCI3nSMR — シリアルモードレジスタ

SCI3nSMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}

注1. TE = RE = 0 の場合のみライト可能です。

表 12.11 SCI3nSMR レジスタの内容

ビット位置	ビット名	機能
7	CM	コミュニケーションモードビット 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では SCI3nTDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	PM	パリティモードビット (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。
3	STOP	ストップビットレングス (調歩同期式モードのみ有効) 0: 送信時 1 ストップビット 1: 送信時 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なしません。
2	MP	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、PM ビットの設定は無効です。
1、0	CKS[1:0]	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: PCLK クロック (m = 0) 01: PCLK/4 クロック (m = 1) 10: PCLK/16 クロック (m = 2) 11: PCLK/64 クロック (m = 3) このビットの設定値とボーレートの関係については「12.3.9 SCI3nBRR — ビットレートレジスタ」を参照してください。m は設定値の 10 進表示で、「12.3.9 SCI3nBRR — ビットレートレジスタ」中の m の値を表します。

12.3.5 SCI3nSCR — シリアルコントロールレジスタ

SCI3nSCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「**12.4.5 割り込み要因**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W ^{注1}	R/W ^{注1}	R/W	R/W	R/W ^{注2}	R/W ^{注2}

注1. SCI3nSMR の CM ビットが 1 のときは TE = RE = 0 の場合のみ、1 をライト可能です。いったん、TE、RE ビットのいずれかを 1 にセットした後は、TE = RE = 0 のライトのみ可能になります。SCI3nSMR の CM ビットが 0 のときは任意のタイミングでライト可能です。

注2. TE = RE = 0 の場合のみライト可能です。また、TE = RE = 0 のライトと同時にライト可能です。

表 12.12 SCI3nSCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TIE	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。TXI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、SCI3nTDR に送信データをライトして、SCI3nSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、送信フォーマットを決定してください。このビットを 0 にして、送信動作を禁止すると、SCI3nSSR の TDRE フラグは 1 に固定されます。
4	RE	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、受信フォーマットを決定してください。このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

表 12.12 SCI3nSCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	MPIE	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SCI3nSMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的に 0 にクリアされ通常の実動作に戻ります。詳細は「12.4.2 マルチプロセッサ通信機能」を参照してください。 SCI3nSSR の MPB = 0 を含む受信データを受信しているときは、SCI3nRDR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SCI3nSSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求 (SCI3nSCR の RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。
2	TEIE	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1、0	CKE[1:0]	クロックイネーブル 1、0 クロックソースおよび SCKn 端子の機能を選択します。 調歩同期式の場合 00 : 内蔵ポーレートジェネレータ (SCKn 端子は入出力ポートとして使用できます) 01 : 内蔵ポーレートジェネレータ (SCKn 端子からビットレートと同じ周波数のクロックを出力します) 1X : 設定禁止 クロック同期式の場合 0X : 内部クロック (SCKn 端子はクロック出力端子となります。) 1X : 外部クロック (SCKn 端子はクロック入力端子となります。)

備考 X : Don't care

備考

本レジスタの MPIE ビット以外のビットを書き変える場合には、MPIE ビットへの書き込み値が“0”となるようにストア命令を使用して書いてください。

本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せず MPIE ビットに 1 を設定してしまう可能性があるのでご注意ください。

12.3.6 SCI3nSSR — シリアルステータスレジスタ

SCI3nSSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER フラグはクリアのみ可能です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 10_H

リセット後の値 84_H

ビット	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0
R/W	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R	R	R/W

注1. フラグをクリアするための0ライトのみ可能です。

表 12.13 SCI3nSSR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TDRE	トランスミットデータレジスタエンプティ SCI3nTDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCI3nSCR の TE ビットが0のとき SCI3nTDR から SCI3nTSR にデータが転送され、SCI3nTDR にデータライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき TE = 1の状態 で SCI3nTDR へ送信データをライトしたとき
6	RDRF	レシーブデータレジスタフル SCI3nRDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、SCI3nRSR から SCI3nRDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき SCI3nRDR からデータをリードしたとき SCI3nSCR の RE ビットをクリアしても RDRF フラグは影響を受けず状態を保持します。 RDRF フラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。
5	ORER	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] <ul style="list-style-type: none"> RDRF = 1の状態 で次のデータを受信したとき SCI3nRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに1がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。

表 12.13 SCI3nSSR レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	FER	<p>フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。 [セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCI3nRDR に転送されませんが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、FER フラグは影響を受けず以前の状態を保持します。
3	PER	<p>パリティエラー 調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。 [セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは SCI3nRDR に転送されませんが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、PER フラグは影響を受けず以前の状態を保持します。
2	TEND	<p>トランスミットエンド [セット条件]</p> <ul style="list-style-type: none"> SCI3nSCR の TE ビットが0のとき 送信キャラクタの最後尾ビットの送信時、TDRE フラグが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE = 1の状態をリードした後、TDRE フラグに0をライトしたとき TE = 1の状態では SCI3nTDR へ送信データをライトしたとき
1	MPB	<p>マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。</p>
0	MPBT	<p>マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

12.3.7 SCI3nSCMR — シリアル通信フォーマットレジスタ

SCI3nSCMR は、調歩同期式モード、クロック同期式モードで共通に設定可能な通信フォーマットを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 18_H

リセット後の値 F2_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	—
リセット後の値	1	1	1	1	0	0	1	0
R/W	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注1. TE = RE = 0 の場合のみライト可能です。

表 12.14 SCI3nSCMR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	—	リザーブビット リードすると常に 1 が読み出されます。書き込む際は、必ずリセット後の値を書き込んでください。
3	SDIR	シリアルデータトランスファディレクション (調歩同期式モードおよびクロック同期式モードで有効) シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	シリアルデータインバート (調歩同期式モードおよびクロック同期式モードで有効) 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCI3nSMR の PM ビットを反転してください。 0: SCI3nTDR の内容をそのまま送信、受信データをそのまま SCI3nRDR に格納 1: SCI3nTDR の内容を反転して送信、受信データを反転して SCI3nRDR に格納
1	—	リザーブビット リードすると常に 1 が読み出されます。書き込む際は、必ずリセット後の値を書き込んでください。
0	—	リザーブビット リードすると常に 0 が読み出されます。書き込む際は、必ずリセット後の値を書き込んでください。

12.3.8 SCI3nSEMR — シリアル拡張モードレジスタ

SCI3nSEMR は、1 ビット期間の選択をするためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 1C_H

リセット後の値 04_H

ビット	7	6	5	4	3	2	1	0
	BRME	MDDRS	—	—	ABCS	RXDMON	—	—
リセット後の値	0	0	0	0	0	1	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R	R	R/W ^{注1}	R	R	R

注 1. TE = RE = 0 の場合のみライト可能です。

表 12.15 SCI3nSEMR レジスタの内容

ビット位置	ビット名	機能
7	BRME	ビットレートモジュレーションイネーブル このビットを 1 にセットするとビットレートモジュレーション機能が有効になります。
6	MDDRS	モジュレーションデューティレジスタセレクト このビットはアクセス可能にするレジスタを選択します。 0 : SCI3nBRR がアクセス可能 1 : SCI3nMDDR がアクセス可能
5、4	—	リザーブビット リードすると常に 0 が読み出されます。
3	ABCS	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作 (倍速動作)
2	RXDMON	シリアル入力データモニタビット RxDn 端子の状態を表示します。 0 : RxDn 端子状態は Low レベル 1 : RxDn 端子状態は High レベル
1、0	—	リザーブビット リードすると常に 0 が読み出されます。

12.3.9 SCI3nBRR — ビットレートレジスタ

SCI3nBRR はビットレートを調整するための 8 ビットのレジスタです。SCI3 はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける SCI3nBRR の設定値 N とビットレート B の関係を表 12.17 に示します。SCI3nBRR のリセット後の値は FF_H です。

SCI3nBRR は SCI3nMDDR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 0 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 04_H

リセット後の値 FF_H

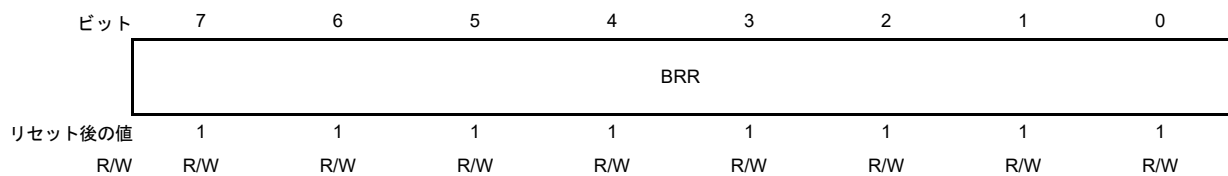


表 12.16 SCI3nBRR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	BRR	ボーレートジェネレータの設定値 (0 ≤ N ≤ 255)

表 12.17 SCI3nBRR の設定値 N とビットレート B の関係

モード	ABCSの設定	ビットレート	平均誤差
調歩同期式	0	$B = \frac{PCLK \times 10^6}{64 \times 2^{2m-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2m-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{PCLK \times 10^6}{32 \times 2^{2m-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2m-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	—	$B = \frac{PCLK \times 10^6}{8 \times 2^{2m-1} \times (N+1)}$	—

備考 B: ビットレート (bps)

N: ボーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)

PCLK: 動作周波数 (MHz)

m: 下表のとおり SCI3nSMR の設定値によって決まります。

SCI3nSMR の設定値		m
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

調歩同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 12.18 に、設定可能な最大ビットレートを表 12.19 に示します。

表 12.18 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bps)	動作周波数 PCLK = 40 (MHz)							
	SCI3nSEMR.ABCS = 0				SCI3nSEMR.ABCS = 1			
	m	N	実際の ビットレート (bps)	誤差 (%)	m	N	実際の ビットレート (bps)	誤差 (%)
110	3	177	109.73	-0.25	—	—	—	—
150	3	129	150.24	0.16	3	255	152.59	1.73
300	3	64	300.48	0.16	3	129	300.48	0.16
600	2	129	600.96	0.16	3	64	600.96	0.16
1200	2	64	1201.92	0.16	2	129	1201.92	0.16
2400	1	129	2403.85	0.16	2	64	2403.85	0.16
4800	1	64	4807.69	0.16	1	129	4807.69	0.16
9600	0	129	9615.38	0.16	1	64	9615.38	0.16
19200	0	64	19230.77	0.16	0	129	19230.77	0.16
31250	0	39	31250.00	0.00	0	79	31250.00	0.00
38400	0	32	37878.79	-1.36	0	64	38461.54	0.16

表 12.19 最大ビットレート (調歩同期式モード)

PCLK (MHz)	設定値			最大ビットレート (bps)
	ABCs の設定	m	N	
40	0	0	0	1250000
	1	0	0	2500000

クロック同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 12.20 に示します。

表 12.20 クロック同期式モードのビットレート設定例

ビットレート (bps)	動作周波数 PCLK = 40 (MHz)		
	m	N	実際のビットレート (bps)
1k	3	155	1001.60
2.5k	3	62	2480.16
5k	2	124	5000.00
10k	2	62	9920.63
25k	1	99	25000.00
50k	1	49	50000.00
100k	0	99	100000.00
250k	0	39	250000.00
500k	0	19	500000.00
1M	0	9	1000000.00
2M	0	4	2000000.00
2.5M	0	3	2500000.00
5M	0	1	5000000.00

表 12.21 内部クロック出力時の最大ビットレート (クロック同期式モード)

PCLK (MHz)	m	N	最大ビットレート (bps)
40	0	1	5000000.00

12.3.10 SCI3nMDDR — モジュレーションデューティレジスタ

SCI3nMDDR は SCI3nBRR により調整されたビットレートを補正するためのレジスタです。SCI3nMDDR のリセット後の値は FF_H です。SCI3nSEMR の BRME ビットが 1 にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に SCI3nMDDR/256 に補正します。SCI3nMDDR の設定値とビットレート B の関係を表 12.23 に示します。SCI3nMDDR は SCI3nBRR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 1 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。ビット 7 は 1 に固定されています。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 04_H

リセット後の値 FF_H

ビット	7	6	5	4	3	2	1	0
	MDDR							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.22 SCI3nMDDR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	MDDR	ボーレートジェネレータの設定値 (128 ≤ MDDR ≤ 255)

表 12.23 ビットレートモジュレーション機能使用時の SCI3nMDDR 設定値とビットレート B の関係

モード	ABCSの設定	ビットレート	平均誤差
調歩同期式	0	$B = \frac{PCLK \times 10^6}{64 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{PCLK \times 10^6}{32 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
クロック同期式	—	$B = \frac{PCLK \times 10^6}{8 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	—

備考 B: ビットレート (bps)
 N: ボーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)
 PCLK: 動作周波数 (MHz)
 m: 「表 12.17 SCI3nBRR の設定値 N とビットレート B の関係」を参照してください。
 MDDR: SCI3nMDDR の設定値 (128 ≤ SCI3nMDDR ≤ 255)

12.4 機能

12.4.1 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

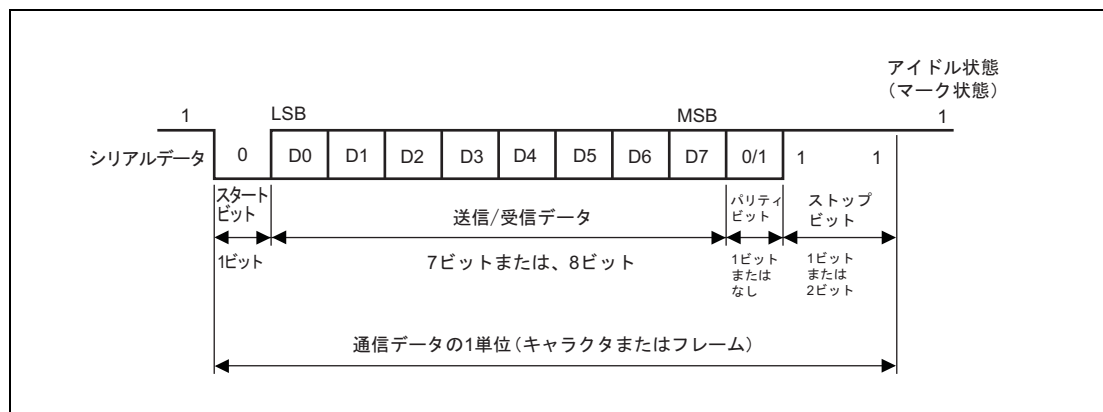


図 12.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

12.4.1.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 12.24 に示します。フォーマットは 12 種類あり、SCI3nSMR の選定により選択できます。マルチプロセッサビットについては「12.4.2 マルチプロセッサ通信機能」を参照してください。

表 12.24 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	—	1	0	S	8ビットデータ								MPB	STOP			
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	—	1	0	S	7ビットデータ							MPB	STOP				
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP			

備考 S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

12.4.1.2 受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 はビットレートの 16 倍（倍速動作時は 8 倍）の周波数の基本クロックで動作します。受信時はスタートビットの始まり（Low レベル）を基本クロックでサンプリングして内部を同期化します。また、**図 12.3** に示すように受信データを基本クロックの 8ヶ目（倍速動作時は 4ヶ目）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100 [\%] \quad \cdots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比（SCI3nSEMR の ABCS = 0 のとき N = 16、
ABCS = 1 のとき N = 8）

D: クロックのデューティ（D = 0.5 ~ 1.0）

L: フレーム長（L = 9 ~ 12）

F: クロック周波数の偏差の絶対値

式 (1) で、F（クロック周波数の偏差の絶対値）= 0、D（クロックのデューティ）= 0.5、N = 16 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

ビットレートモジュレーション機能使用時は基本クロックの周波数を平均的に補正します。

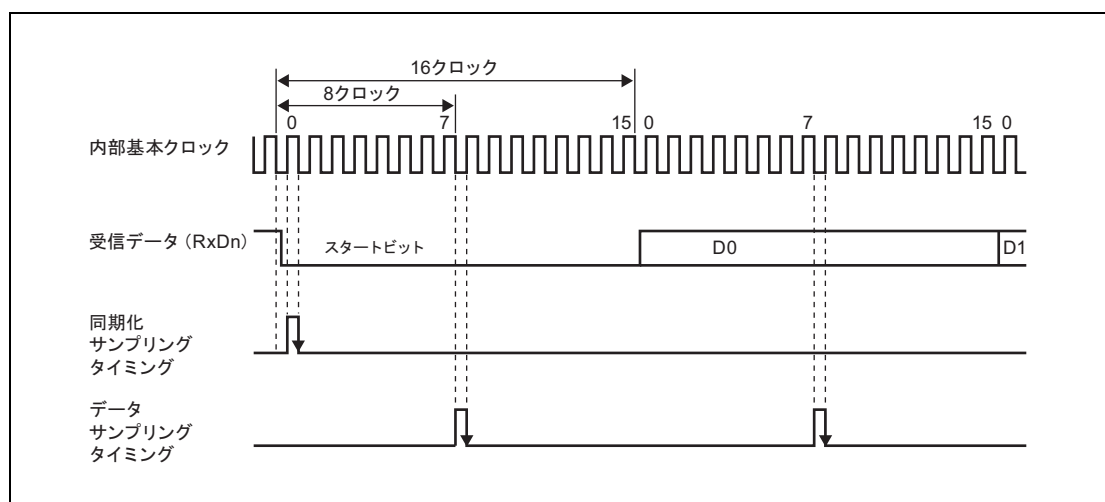


図 12.3 調歩同期式モードの受信データサンプリングタイミング

12.4.1.3 クロック

SCI3 の送受信クロックは、SCI3nSMR の CM ビットと SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックを選択できます。内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。

クロック同期式モードについては「**12.4.3 クロック同期式モードの動作**」を参照してください。

調歩同期式モードの場合、**図 12.4** に示すように出力されるクロックの周波数はビットレートと等しく送信データの中央で立ち上がる位相となります。

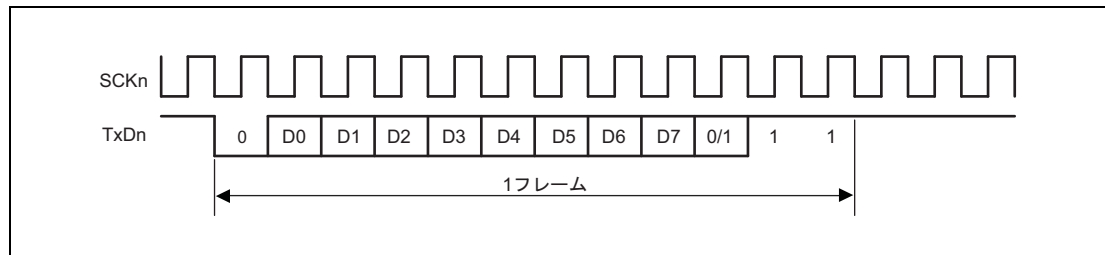


図 12.4 出カクロックと送信データの位相関係 (調歩同期式モード)

12.4.1.4 倍速動作

「**12.4.1.3 クロック**」の動作に加えて、SCI3nSEMR の ABCS ビットの設定により倍速動作が可能です。

通常のビットレートの 16 倍の周波数のクロックの動作を倍速動作では、8 倍の周波数のクロックで動作させることができます。同一の基本クロックで 2 倍の転送レートで動作することができます。

12.4.1.5 SCI3の初期化（調歩同期式）

データの送受信前に、SCI3nSCRのTE、REビットをクリアしたあと、**図 12.5**のフローチャートの例にしたがって初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットをいずれも0にクリアしてから変更を行ってください。TEビットを0にクリアすると、TDREフラグは1にセットされますが、REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびSCI3nRDRは初期化されませんので注意してください。

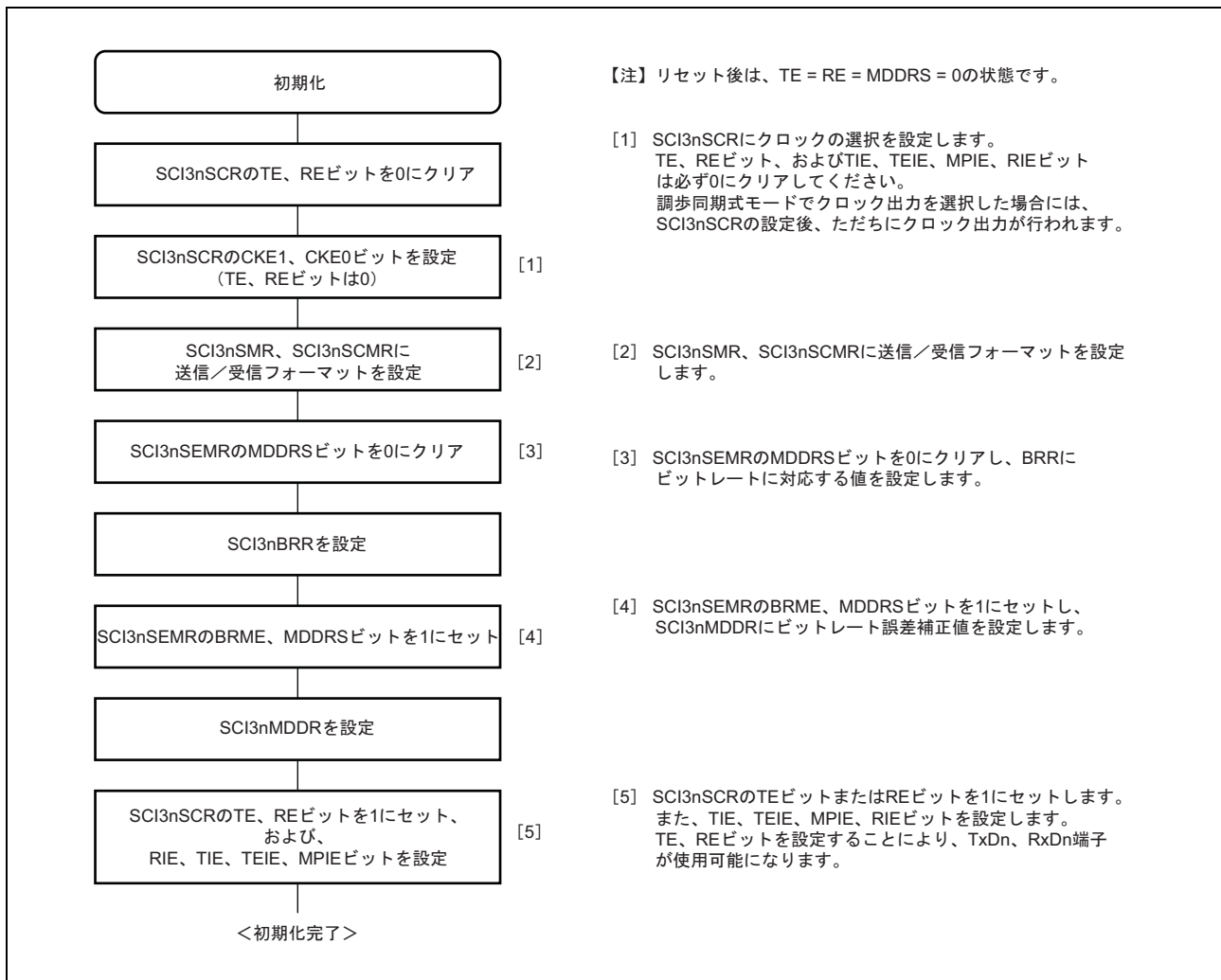


図 12.5 SCI3の初期化フローチャートの例

12.4.1.6 シリアルデータ送信 (調歩同期式)

図 12.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のよう
に動作します。

1. SCI3nTDR に送信データをライトすると TDRE フラグは自動的に 0 にクリアされます。
SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き
込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送します。なお、
SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 に
セットしたあとに TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で
同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができ
ます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信
を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割
り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの
送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能
です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書
き込んだあと、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. TxDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサ
ビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出
します。
4. ストップビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR にデータを転送
し、ストップビット送出後、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグを 1 をセットし、ストップビッ
ト送出後、1 を出力してマーク状態になります。このとき SCI3nSCR の TEIE ビットが
1 にセットされていると TEI 割り込み要求を発生します。

図 12.7 にデータ送信のフローチャートの例を示します。また、図 12.8 に、データ送信後に
SCI3 を停止するフローチャートの例を示します。

調歩同期式モードの送信許可時の動作に関する補足

TE ビットを 0 から 1 にセットすると 1 フレーム分の High レベル (プリアンブル) を出力し
ます。

プリアンブル出力中に SCI3nTDR に送信データをライトすると、プリアンブル出力終了後に
その送信データが SCI3nTDR から SCI3nTSR にデータが転送されます。

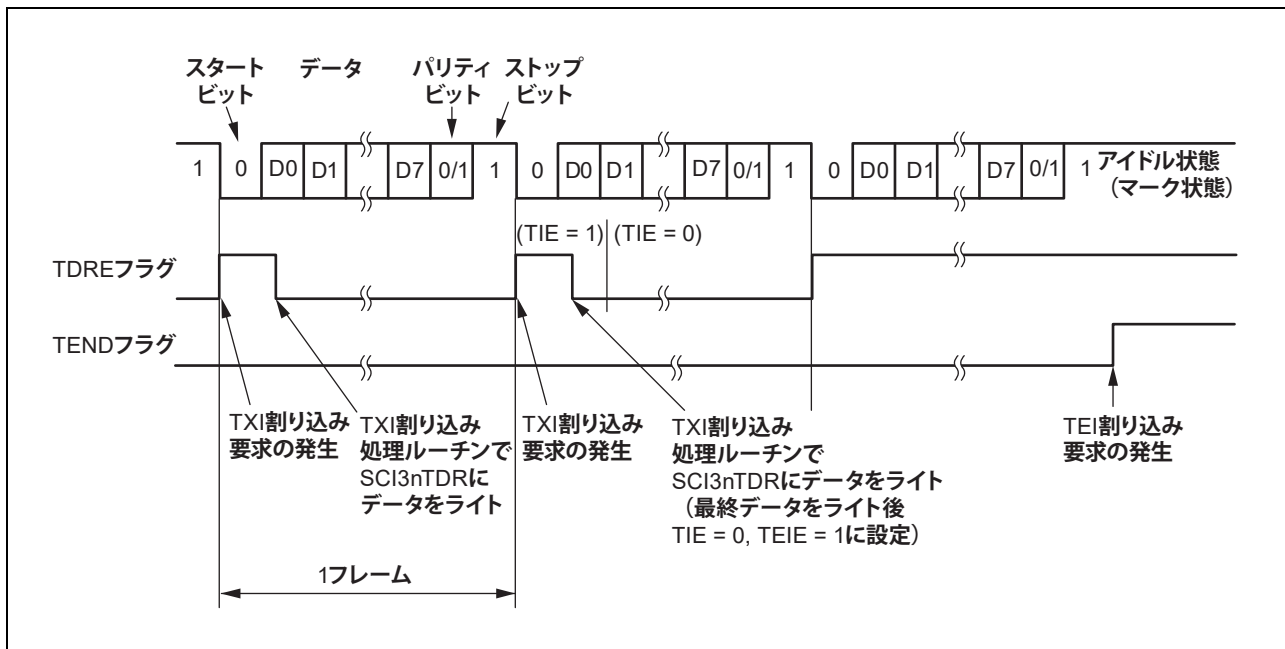


図 12.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

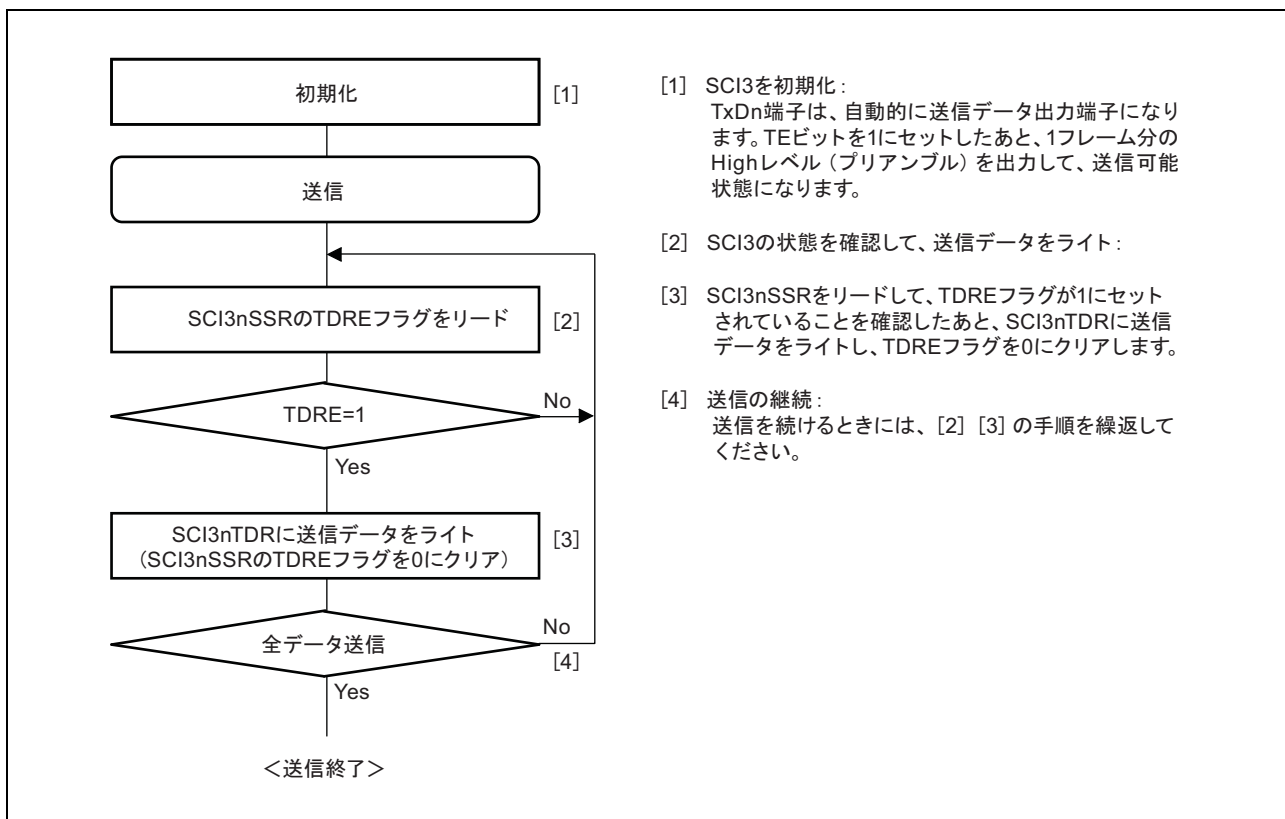


図 12.7 シリアル送信のフローチャートの例

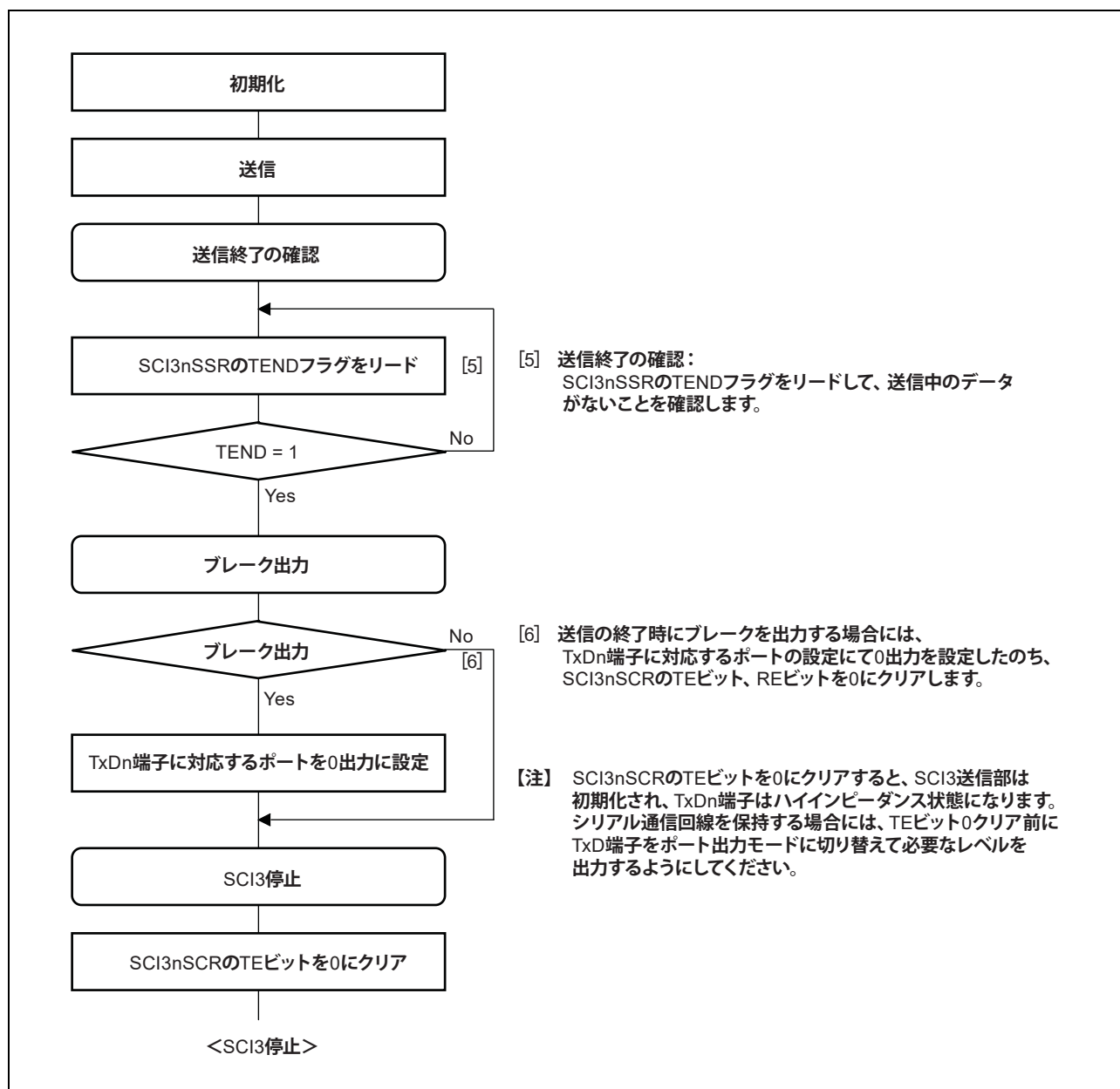


図 12.8 シリアル送信後に SCI3 を停止するフローチャートの例

12.4.1.7 シリアルデータ受信 (調歩同期式)

図 12.9 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のよう
に動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データを SCI3nRSR に取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき) は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. パリティエラーを検出した場合は SCI3nSSR の PER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。
4. フレーミングエラー (ストップビットが 0 のとき) を検出した場合は SCI3nSSR の FER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。
5. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

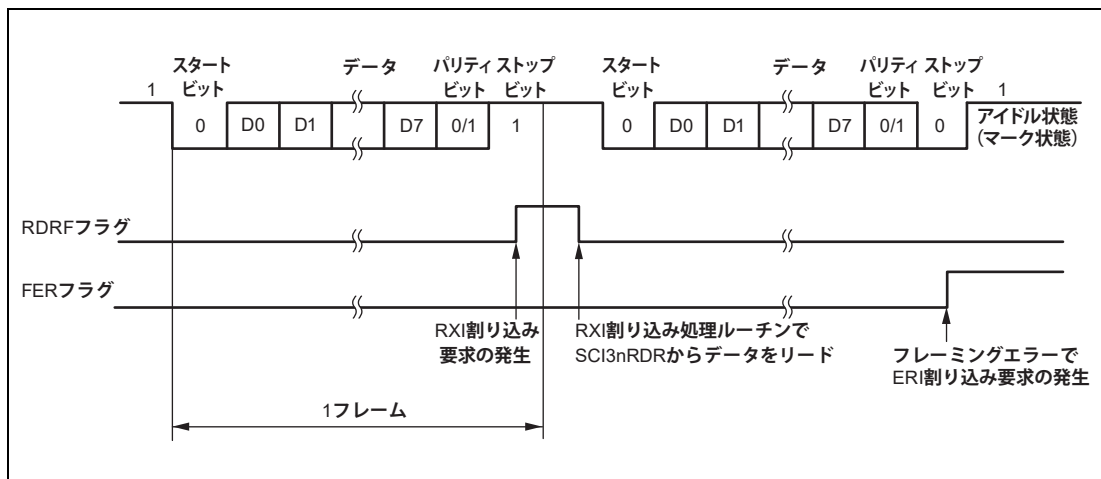


図 12.9 SCI3 の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SCI3nSSR の各ステータスフラグの状態と受信データの処理を **表 12.25** に示します。受信エラーを検出すると、RDRF フラグはデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。 **図 12.10** にデータ受信のためのフローチャートの例を示します。

表 12.25 SCI3nSSR のステータスフラグの状態と受信データの処理

SCI3nSSR のステータスフラグ				受信データ	受信状態
RDRF 注1	ORER	FER	PER		
1	0	0	0	SCI3nRDRへ転送	正常受信
0	0	1	0	SCI3nRDRへ転送	フレーミングエラー
0	0	0	1	SCI3nRDRへ転送	パリティエラー
0	0	1	1	SCI3nRDRへ転送	フレーミングエラー+パリティエラー
1*	1	0	0	消失	オーバランエラー
1*	1	1	0	消失	オーバランエラー+フレーミングエラー
1*	1	0	1	消失	オーバランエラー+パリティエラー
1*	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注 1. オーバランエラーの場合、RDRF フラグは、データ受信前の状態を保持します。

備考 + は、1つの受信動作において、同時に発生することを示します。

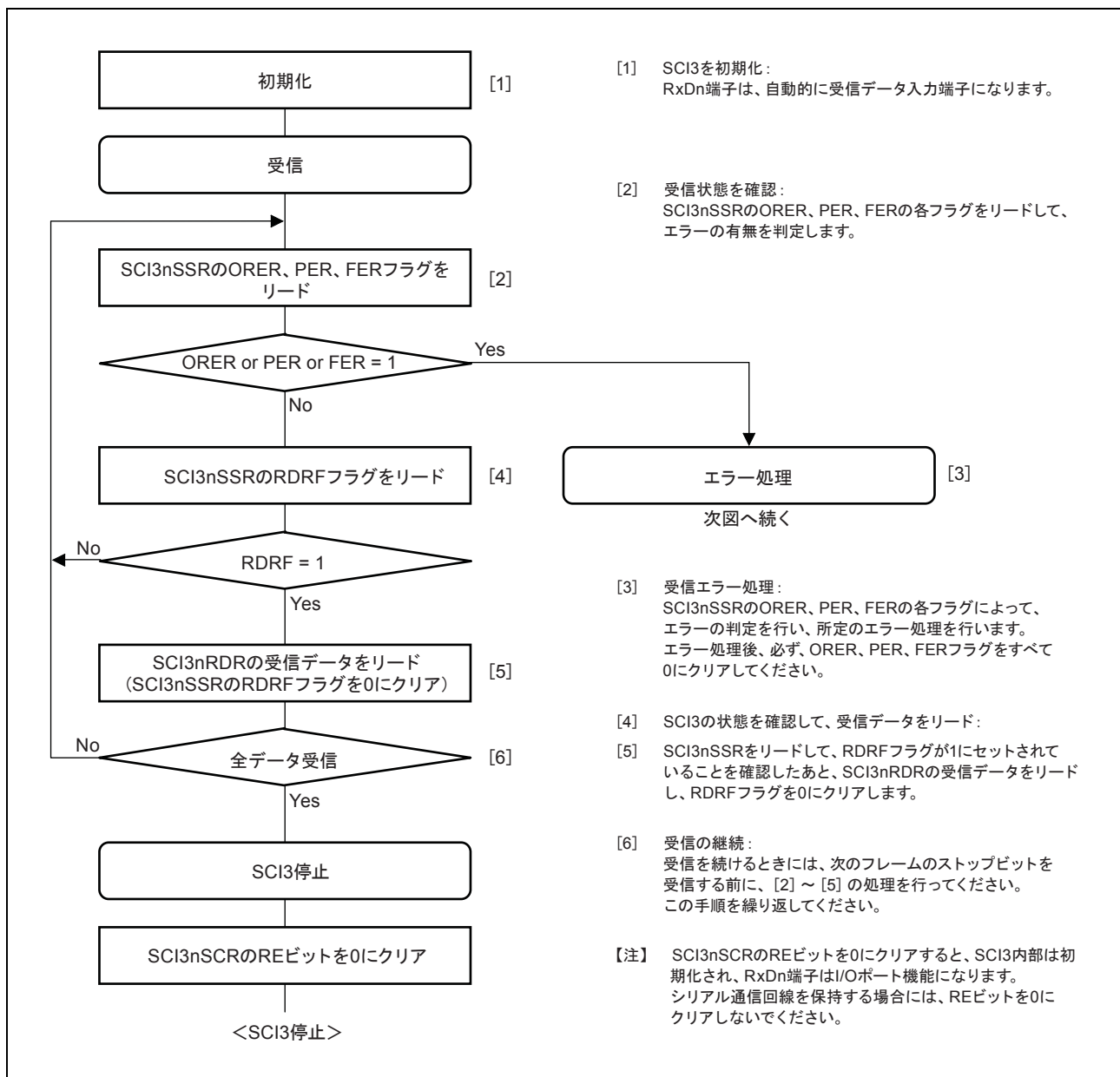


図 12.10 シリアル受信のフローチャートの例 (1)

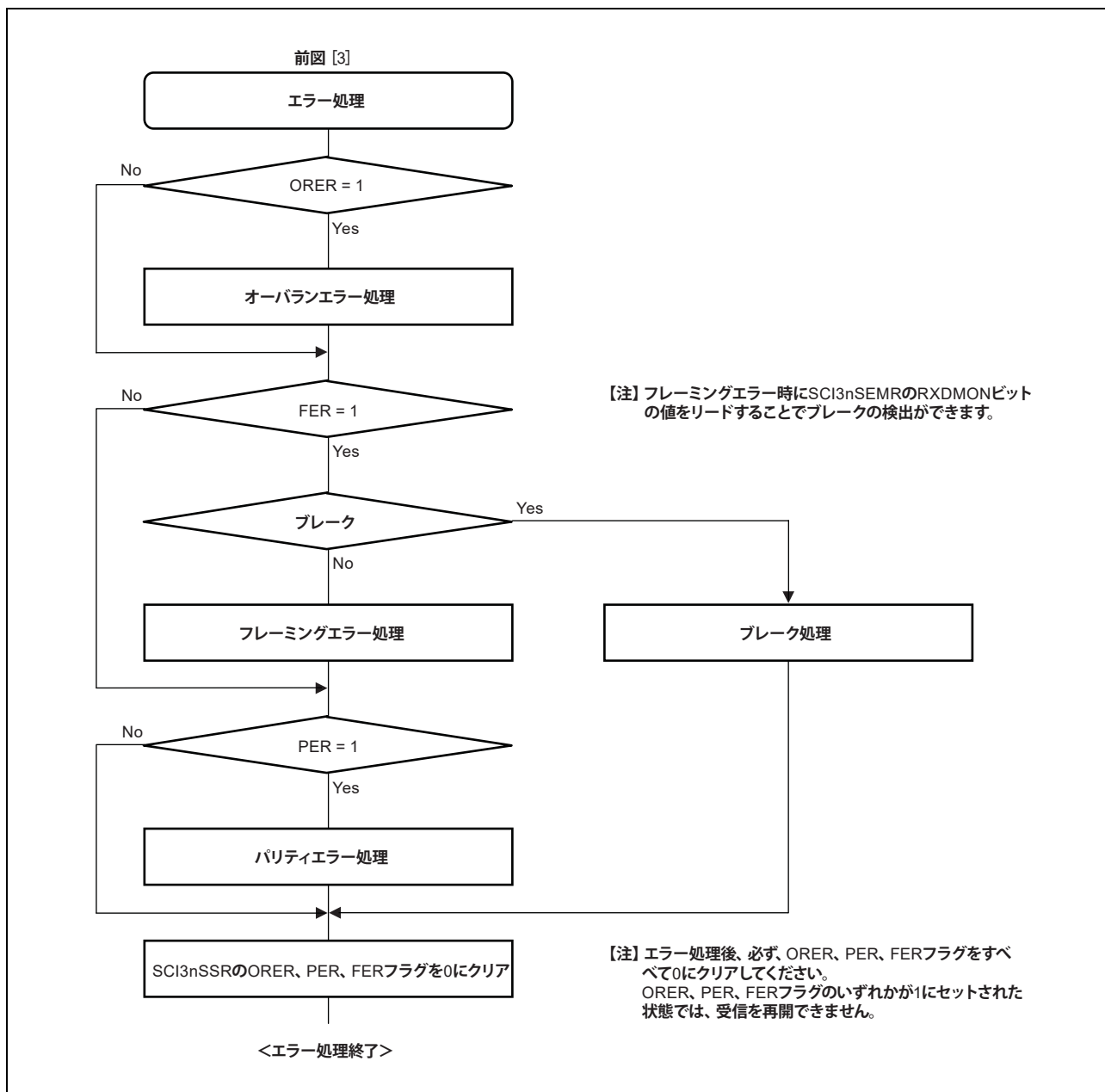


図 12.11 シリアル受信のフローチャートの例 (2)

12.4.2 マルチプロセッサ通信機能

12.4.2.1 概要と接続例

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 12.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCI3nSCR に MPIE ビットが設けてあります。MPIE ビットを 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCI3nSSR の MPB ビットが 1 にセットされるとともに MPIE ビットが自動的に 0 にクリアされて通常の受信動作に戻ります。このとき SCI3nSCR の RIE ビットがセットされていると RXI 割り込み要求を発生します。MPIE ビットが 0 にクリアされた状態では、マルチプロセッサビットの値に関係なく受信動作を行います。マルチプロセッサビットは、SCI3nSSR の MPB ビットに格納されます。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

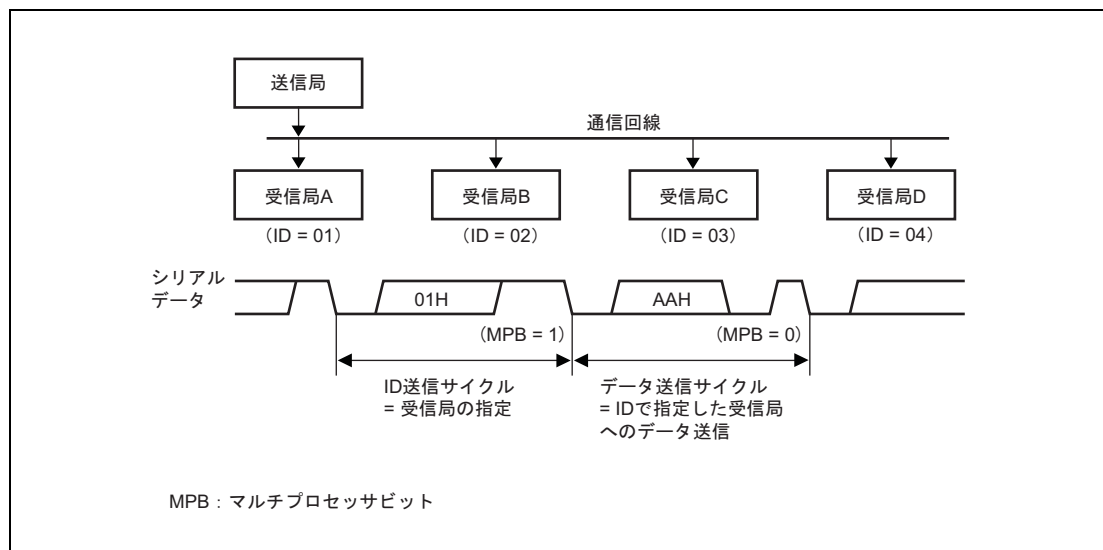


図 12.12 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAH の送信の例）

12.4.2.2 マルチプロセッサシリアルデータ送信

図 12.13 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCI3nSSR の MPBT ビットを 1 にセットして送信してください。データ送信サイクルでは SCI3nSSR の MPBT ビットを 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

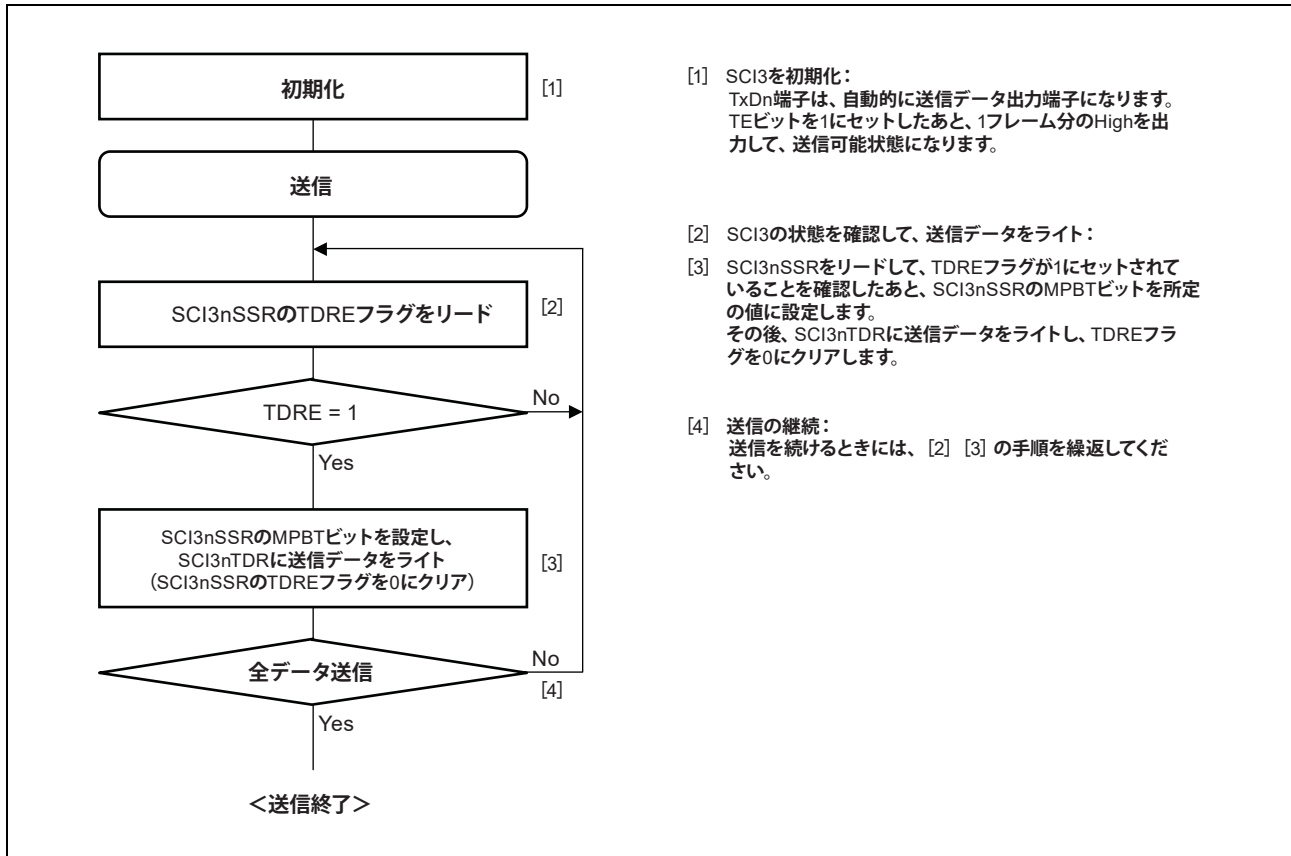


図 12.13 マルチプロセッサシリアル送信のフローチャートの例

12.4.2.3 マルチプロセッサシリアルデータ受信

図 12.15 にマルチプロセッサデータ受信のフローチャートの例を示します。SCI3nSCR の MPIE ビットを 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCI3nRDR に転送します。このとき RXI 割り込み要求を発生します。そのほかの動作は調歩同期式モードの動作と同じです。図 12.14 に受信時の動作例を示します。

注 意

マルチプロセッサビットが 1 の通信データを受信するタイミングで、SCI3nSCR へのライトを行わないでください。MPIE ビットが所望の状態にならない場合があります。

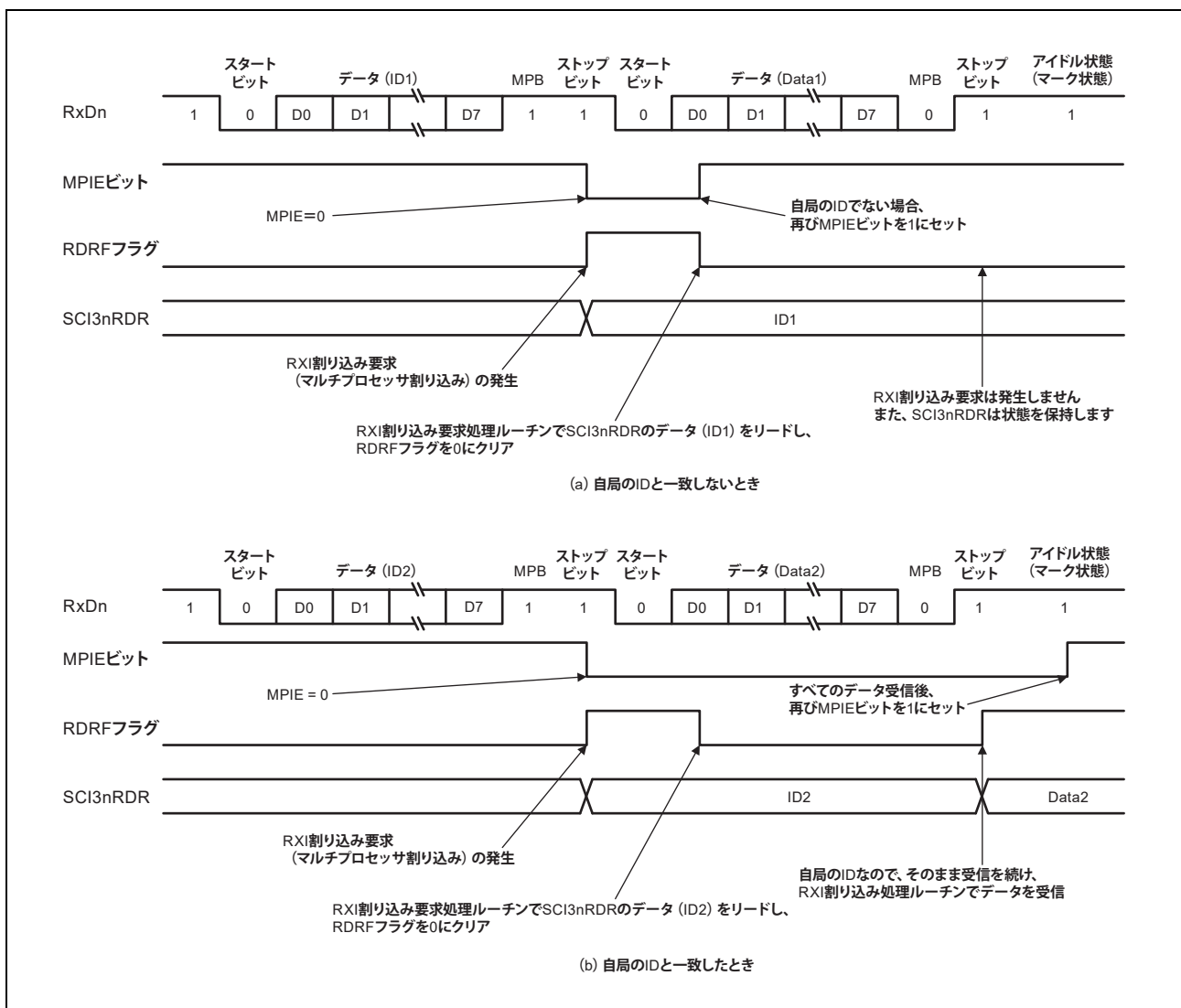


図 12.14 SCI3 の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

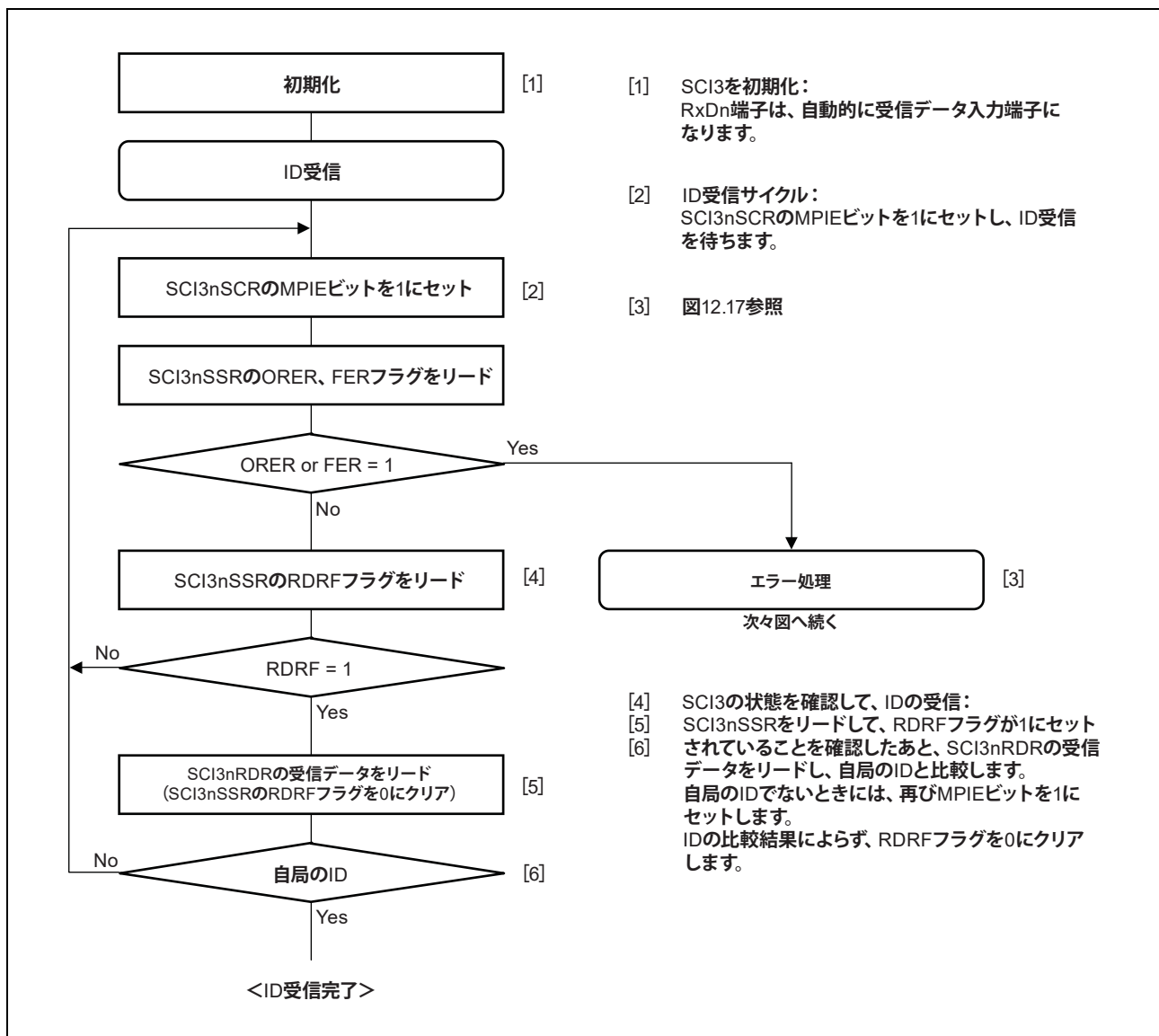


図 12.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

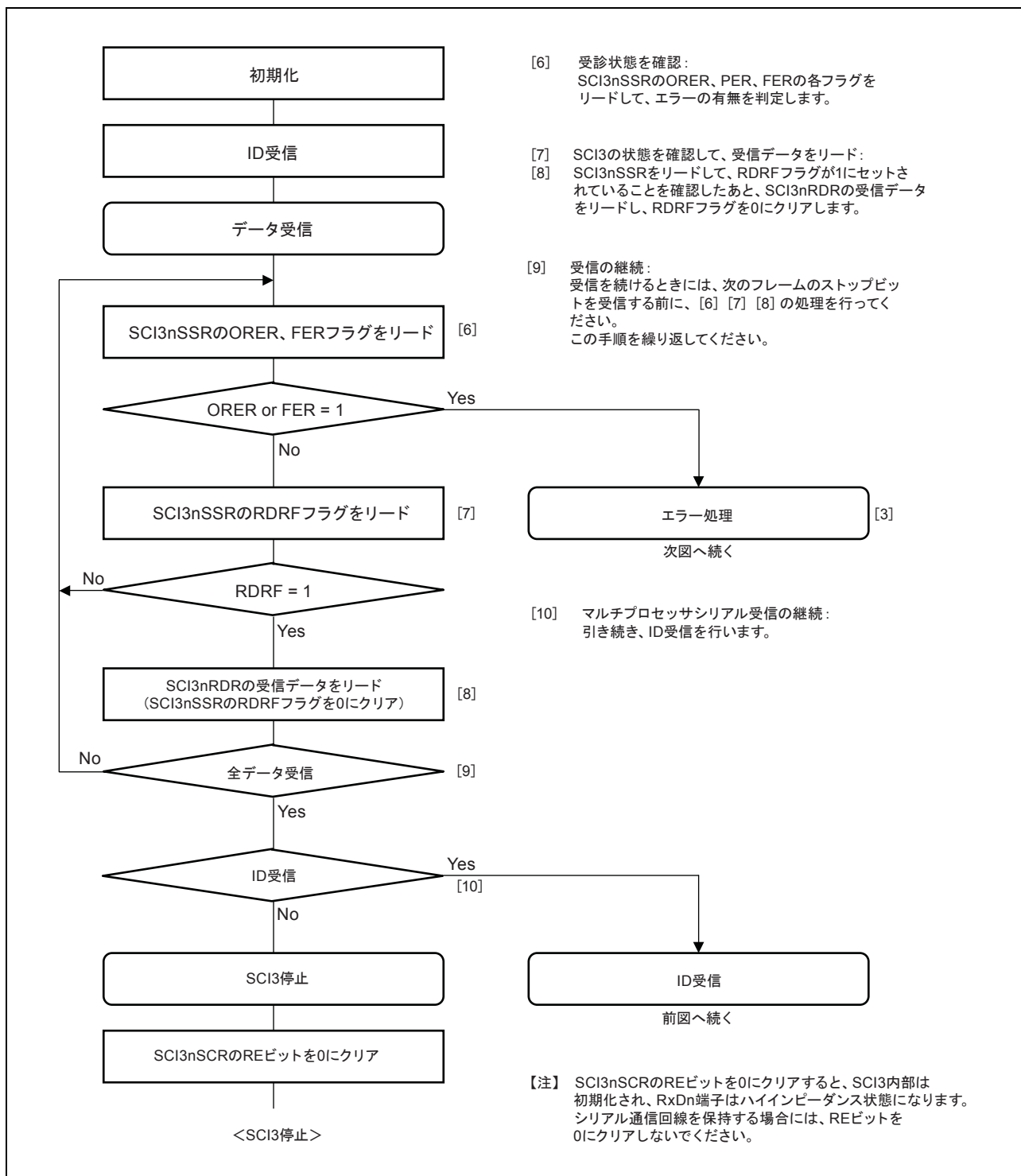


図 12.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

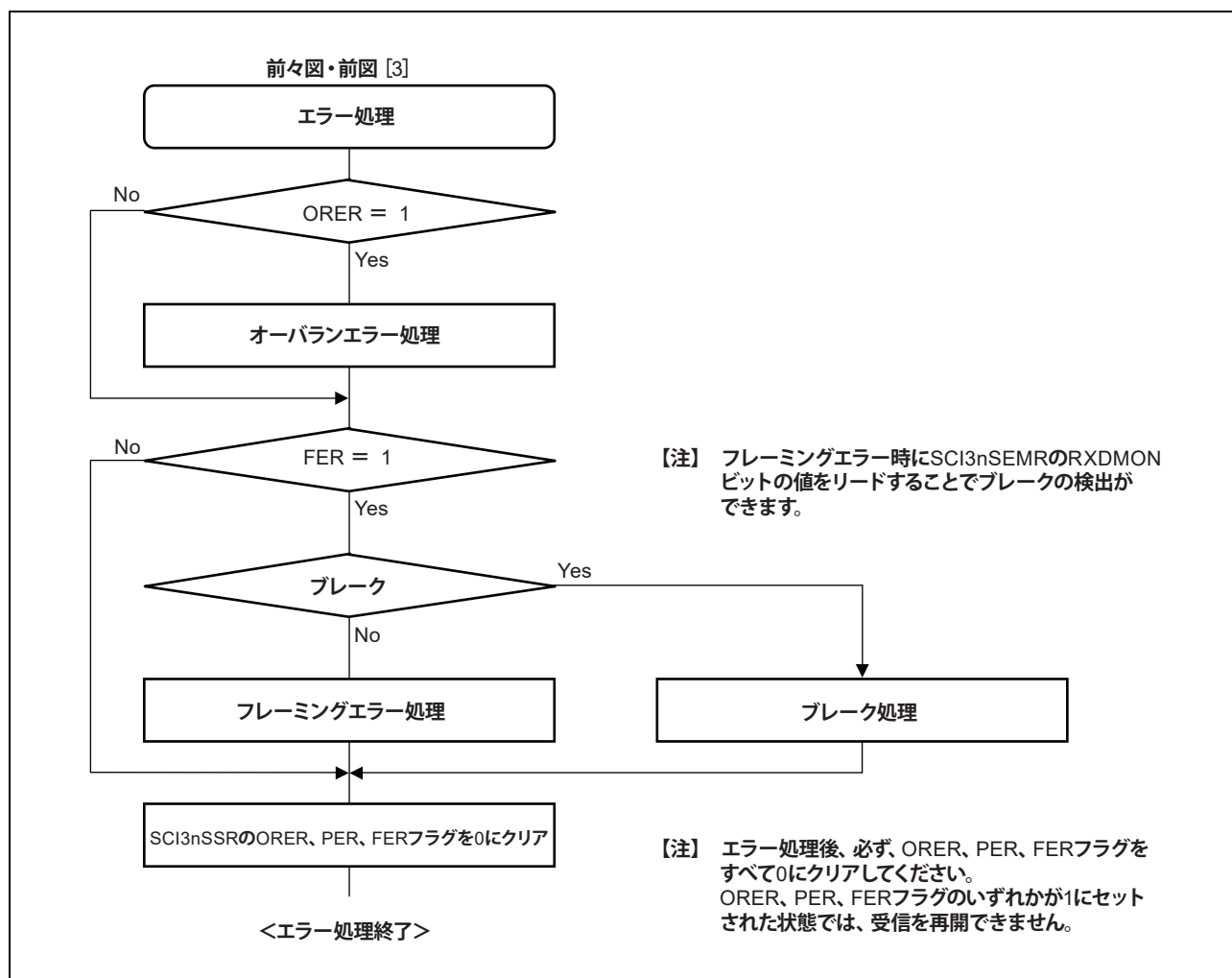


図 12.17 マルチプロセッサシリアル受信のフローチャートの例 (3)

12.4.3 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 12.18 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。SCI3は、同期クロック出力時のデータ送信においては、同期クロックの立ち下がりから次の立ち上がりまでデータを出力します。同期クロック入力時のデータ送信においては、転送開始最初のデータ（ビット0）を SCI3nSSR.TDRE ビットを0にクリアした直後から出力し、その後は同期クロックの立ち上がりから PCLK クロックで2～3クロック後に次のビットのデータを出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

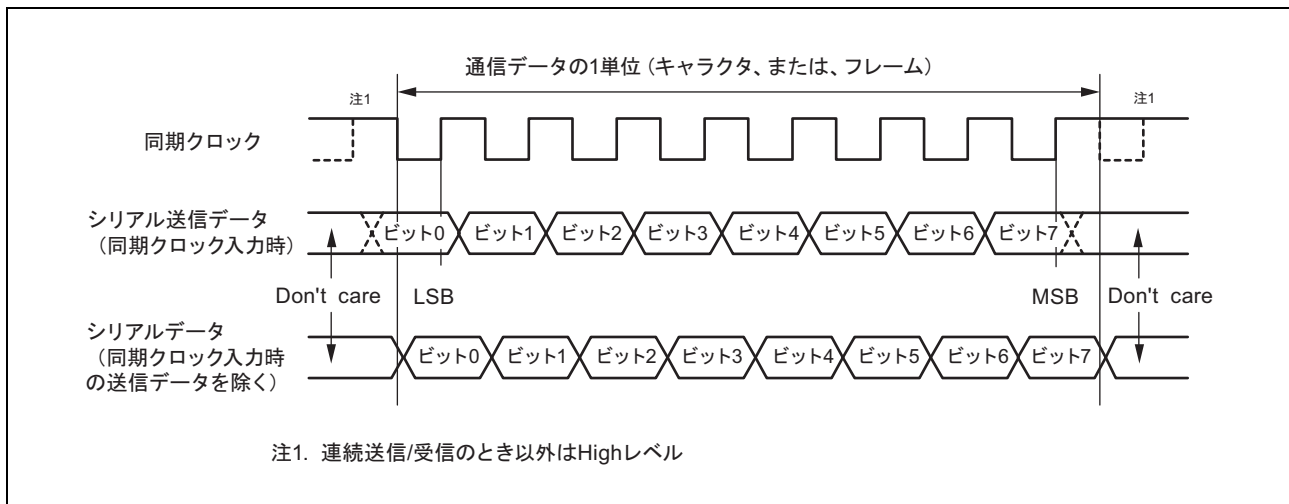


図 12.18 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

12.4.3.1 クロック

SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCKn 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High レベルに固定されます。

12.4.3.2 SCI3の初期化（クロック同期式）

データの送受信前に、SCI3nSCRのTE、REビットをいずれも0にクリアしたあと、**図12.19**のフローチャートの例にしたがって初期化してください。送信動作、受信動作、送受信動作を切り替えるときには、いったん、TEビットとREビットを0にクリアしてから、TEビット、REビットを所望の値に設定してください。通信フォーマットの変更の場合も必ず、TEビットおよびREビットをいずれも0にクリアしてから変更を行ってください。TEビットを0にクリアすると、TDREフラグは1にセットされますが、REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびSCI3nRDRは初期化されませんので注意してください。

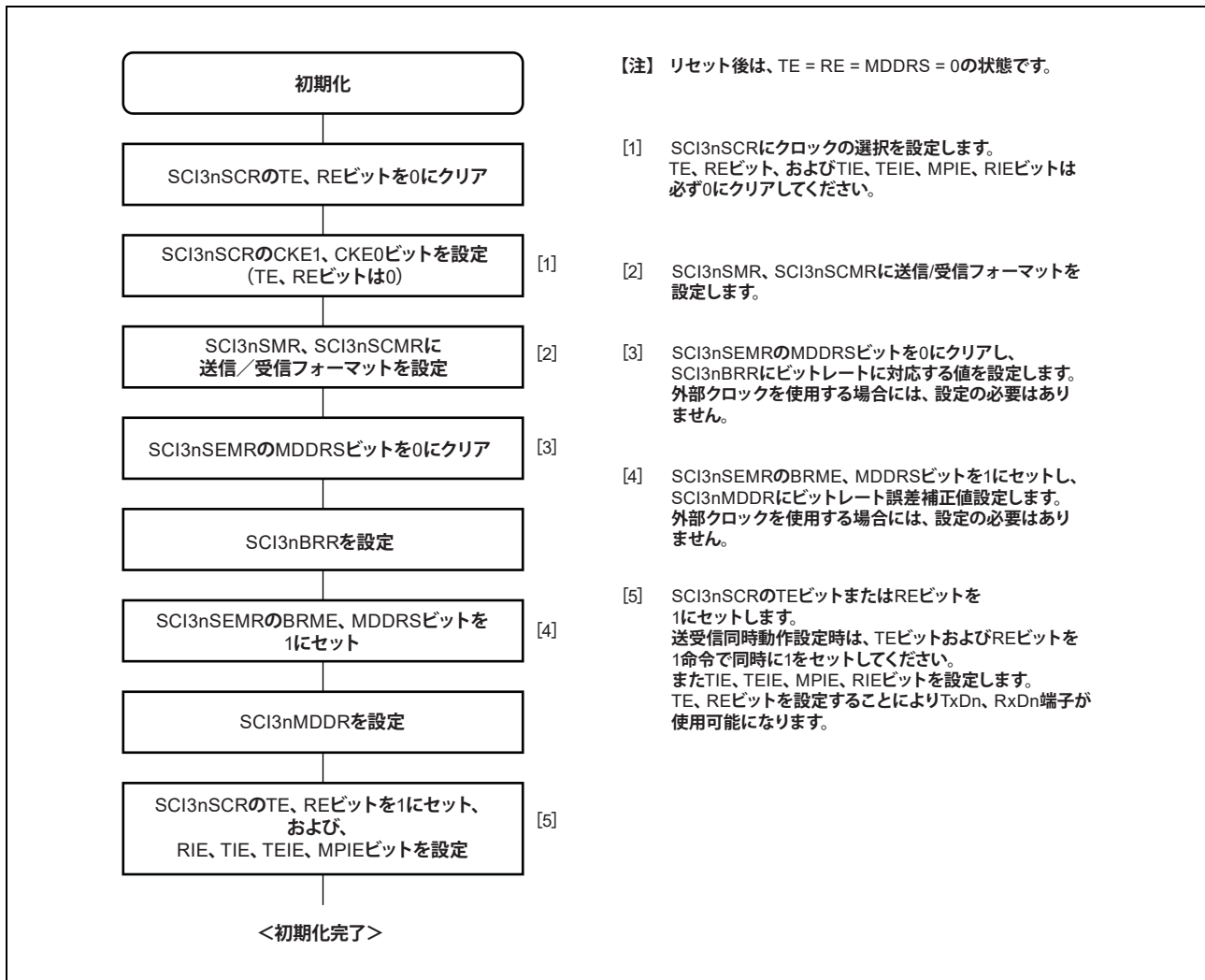


図 12.19 SCI3の初期化フローチャートの例

12.4.3.3 シリアルデータ送信 (クロック同期式)

図 12.20 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3nTDR に送信データをライトすると、TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送し、同期クロック入力時には最初のビットの出力を開始します。なお、SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 にセットしたあとに TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだ後、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxDn 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR に転送し、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグに 1 をセットし、最終ビット出力状態を保持します。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。SCKn 端子は High レベルに固定されます。

図 12.21 にデータ送信のフローチャートの例を示します。また、図 12.22 に、データ送信後に SCI3 を停止するフローチャートの例を示します。受信エラーフラグ (ORER) が 1 にセットされた状態では TDRE フラグをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

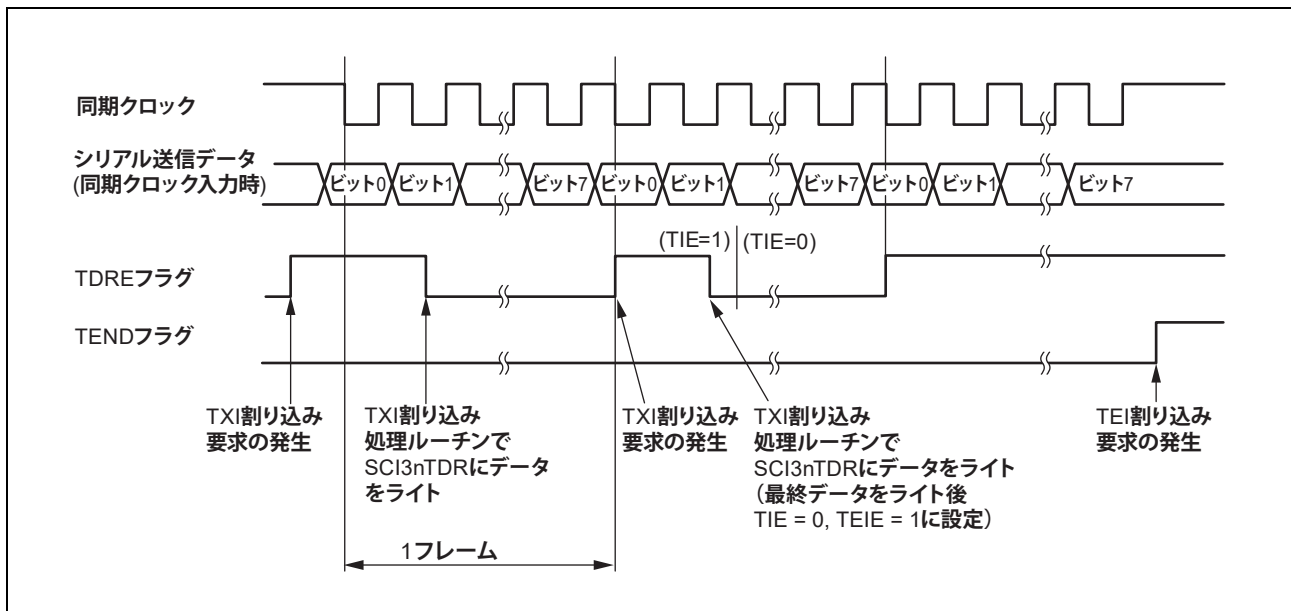


図 12.20 クロック同期式モードの送信時の動作例

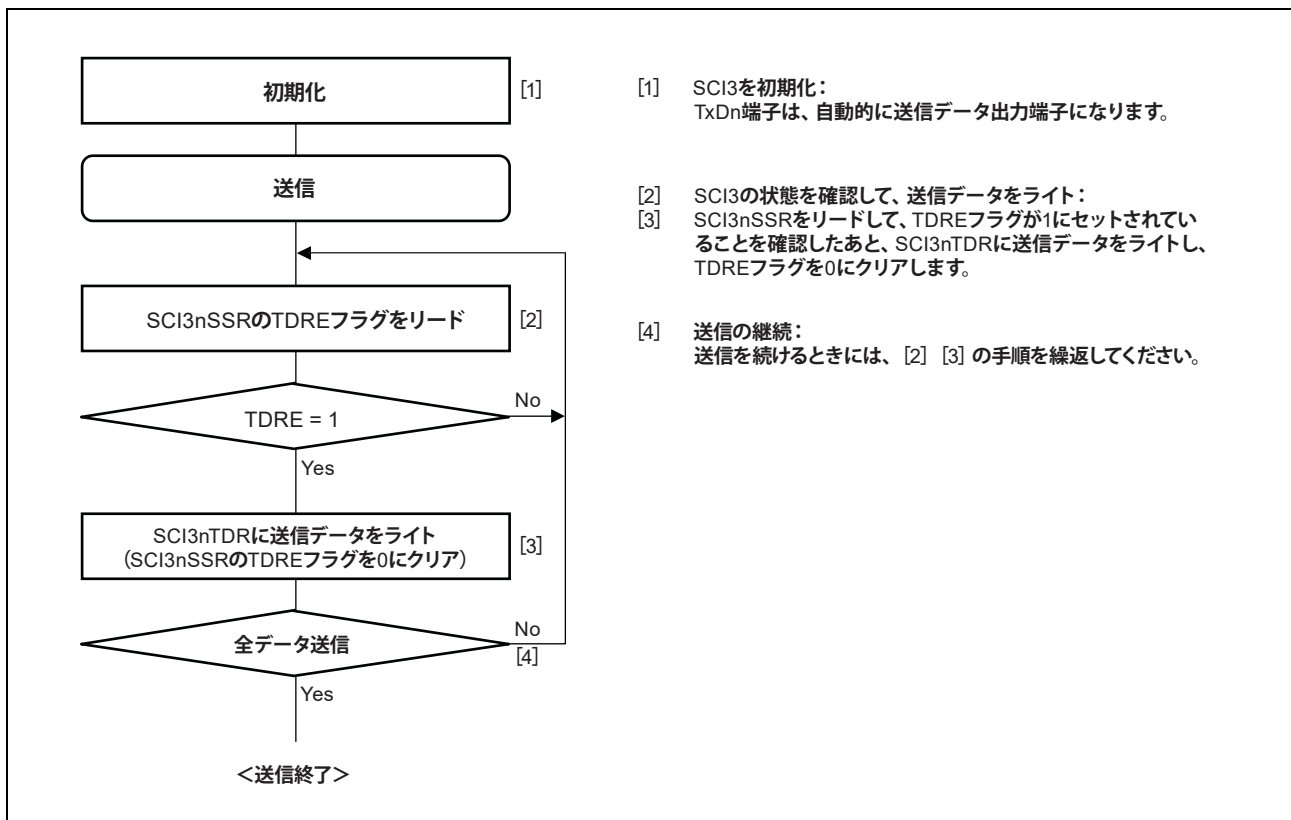


図 12.21 シリアル送信のフローチャートの例

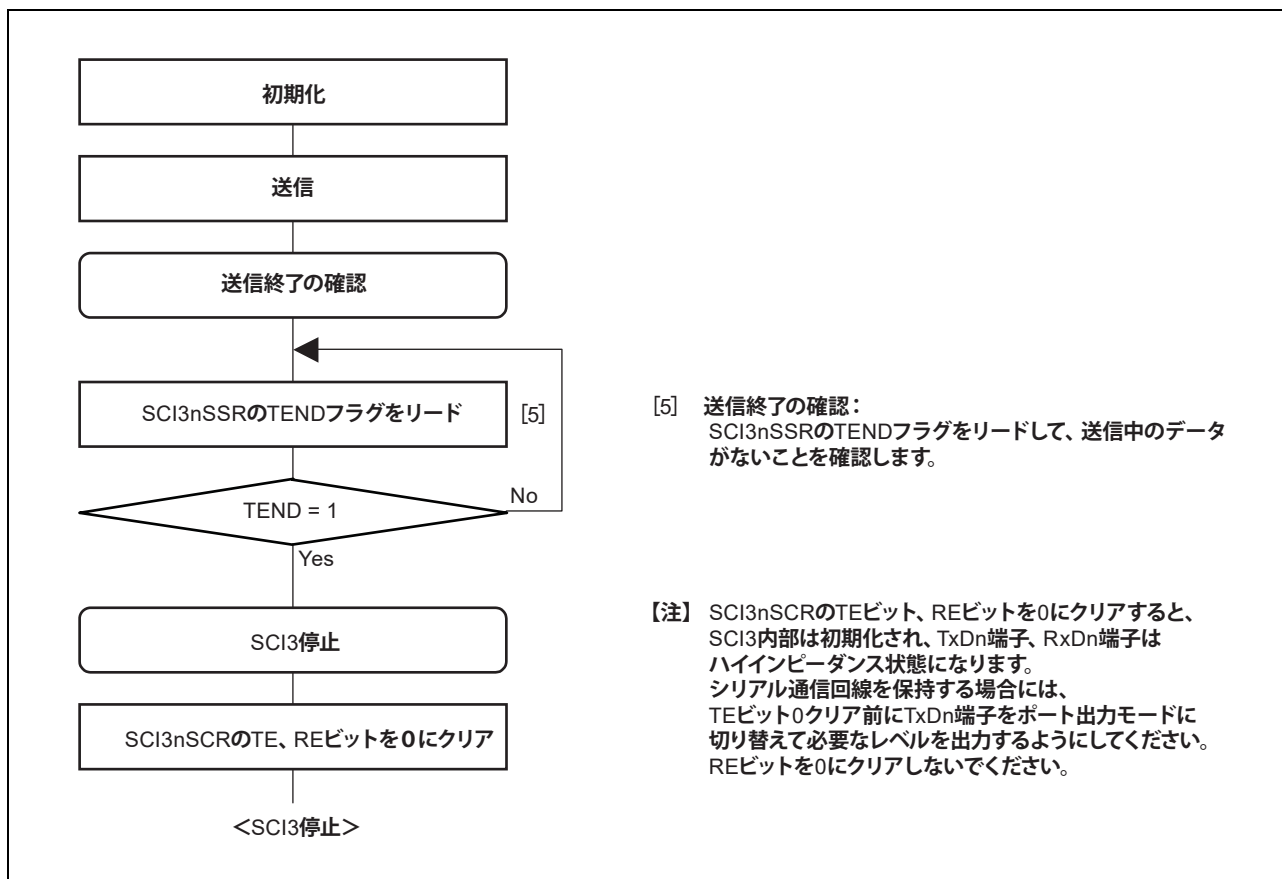


図 12.22 シリアル送信後に SCI3 を停止するフローチャートの例

12.4.3.4 シリアルデータ受信（クロック同期式）

図 12.23 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のように動作します。

1. SCI3 は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを SCI3nRSR に取り込みます。
2. オーバランエラーが発生したとき（SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき）は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

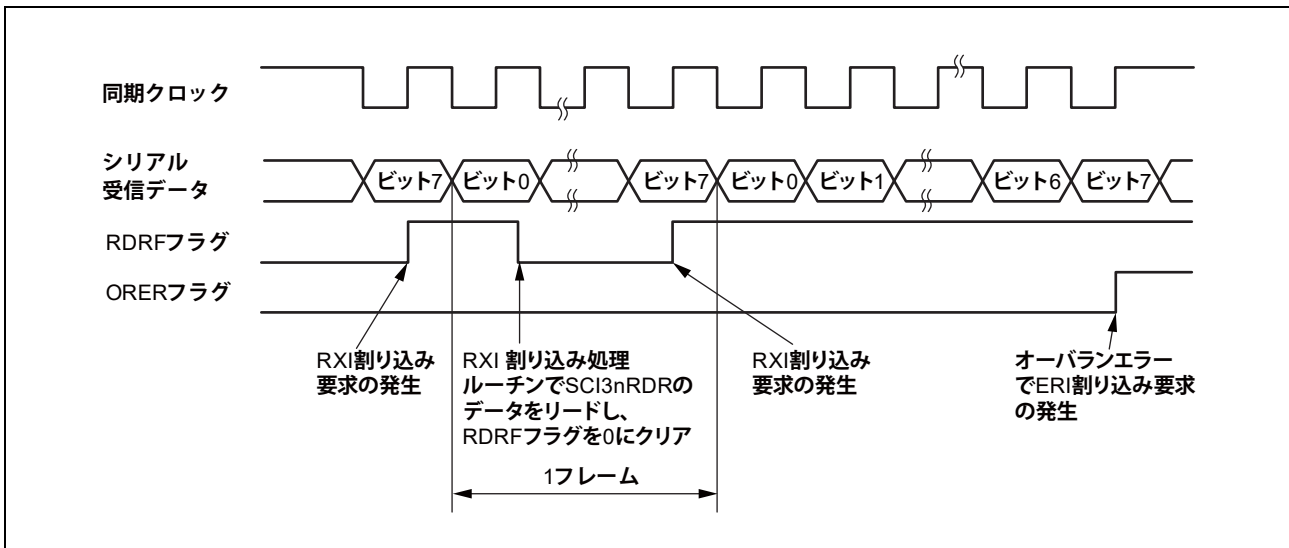


図 12.23 SCI3 の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。図 12.24 にデータ受信のためのフローチャートの例を示します。

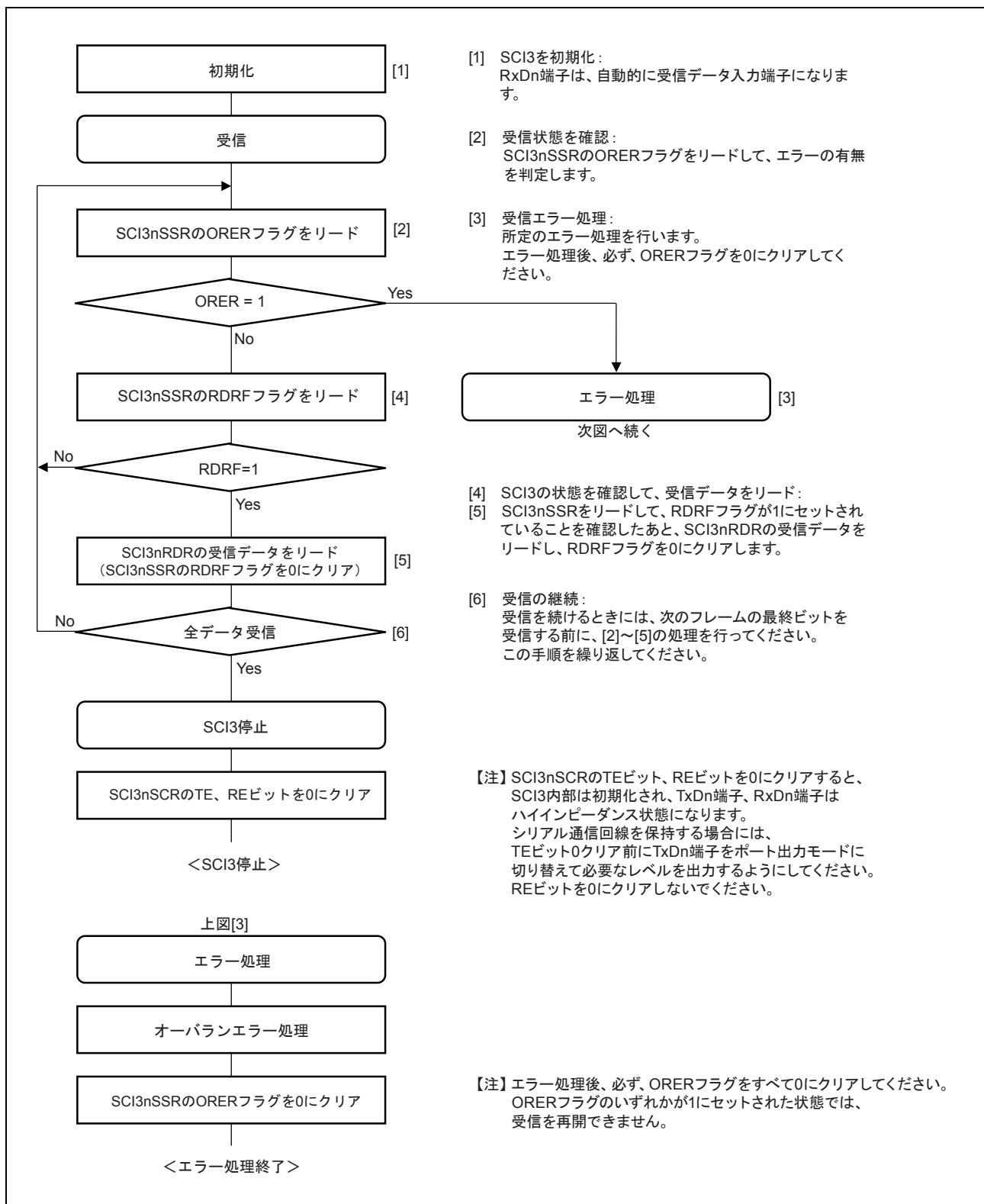


図 12.24 シリアル受信のフローチャートの例

12.4.3.5 シリアルデータ送受信同時動作 (クロック同期式)

図 12.25 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順にしたがって行ってください。

1. 送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE フラグおよび TEND フラグが 1 にセットされていることを確認したあと、TE ビットを 0 にクリアしてから TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。
2. 受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから RDRF フラグおよびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認したあと、TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。

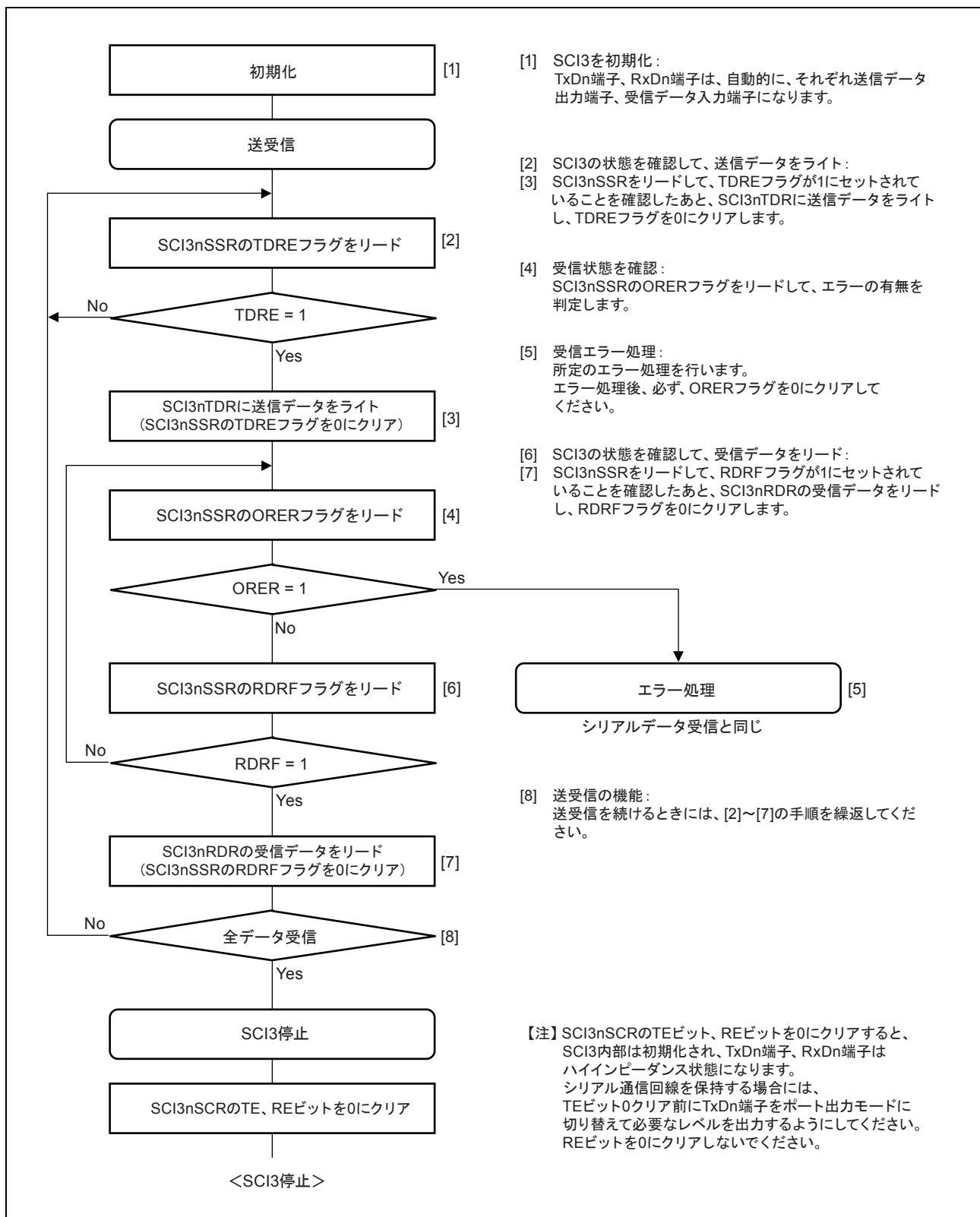


図 12.25 シリアル送受信同時動作のフローチャートの例

12.4.4 ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCI3nSMR の CKS1、CKS0 ビットで指定された内部クロックを、その 256 クロック中で SCI3nMDDR で指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで CKS1、CKS0 ビットで PCLK クロックを選択し、SCI3nBRR = 0、SCI3nMDDR = 160 に設定した例を、**図 12.26** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されます。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意してください。

クロック同期式モードの最高速設定 (SCI3nSMR の CKS1 ビット = CKS0 ビット = 0、かつ SCI3nSCR の CKE1 ビット = 0、かつ SCI3nBRR = 0) では、本機能を使用しないでください。

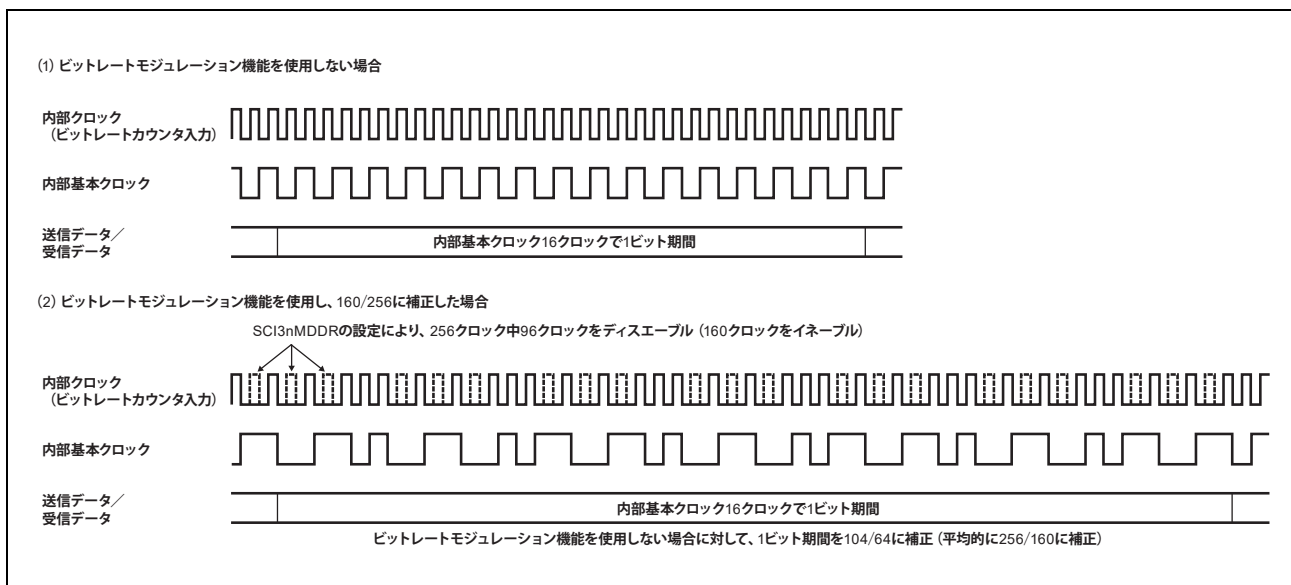


図 12.26 ビットレートモジュレーション機能使用時の内部基本クロックの例

12.4.5 割り込み要因

表 12.26 に割り込み要因を示します。各割り込み要因は独立した割り込み要求信号を出力しています。これらの割り込み要因は、SCI3nSCR のイネーブルビットにより独立にイネーブルにすることができます。

SCI3nSSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SCI3nSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

注 意

SCI3nSCR の TE ビットが 0 のときには、TDRE フラグと TEND フラグを 0 にクリアすることはできません。TEND フラグは TEI 割り込みのレベル割り込み要求フラグのため、TE ビットが 0 のときには、SCI3nSCR の TEIE ビットを 1 にセットしないでください。

SCI3nSSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SCI3nSSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込み要求は TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。

注 意

TEI 割り込み要求と TXI 割り込み要求が同時に発生している状態では TXI 割り込み要求が先に受け付けられます。このとき、TXI 割り込み処理ルーチンで TDRE フラグを 0 にクリアすると、自動的に TEND フラグも 0 にクリアされ、TEI 割り込み処理ルーチンへ分岐できなくなりますので注意してください。

表 12.26 SCI3 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC/DTS の起動
ERI	受信エラー	ORER、FER、PER	不可
RXI	受信データフル	RDRF	可
TXI	送信データエンプティ	TDRE	可
TEI	送信終了	TEND	不可

12.5 注意事項

12.5.1 ブレークの検出と処理

フレーミングエラー検出時に、SCI3nSEMR の RXDMON ビットの値をリードすることでブレークを検出できます。ブレークでは RxDn 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、また PER フラグもセットされる可能性があります。SCI3 は、ブレークを受信したあとも受信動作を続けます。したがって、FER フラグを 0 にクリアしてもふたたび FER フラグが 1 にセットされますので注意してください。

12.5.2 マーク状態とブレーク送出

TE ビットが 0 のとき（通信動作禁止時）、TxDn 端子を汎用出力ポートに切り替えることで、TxDn 端子から任意のレベルが出力可能です。これを利用して TxDn 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

12.5.3 クロック同期式モードの受信エラーフラグと送信動作

クロック同期式送受信同時動作時、受信エラーフラグ（ORER）が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

12.5.4 SCI3nTDR へのライトと TDRE フラグの関係

SCI3nSSR の TDRE フラグは SCI3nTDR から SCI3nTSR に送信データの転送が行われたことを示すステータスフラグです。SCI3 が SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCI3nTDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCI3nTDR にライトすると、SCI3nTDR に格納されていたデータは SCI3nTSR に転送されていないため失われてしまいます。したがって SCI3nTDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

12.5.5 クロック同期式モード送信での外部クロック使用の制約事項

同期クロックに外部クロックを使用する場合、TDRE フラグを 0 にクリアしたあとに送信クロックを入力してください（図 12.27 参照）。連続送信時においても、TDRE フラグを 0 にクリアしたあとに次のフレームの送信クロックを入力してください。

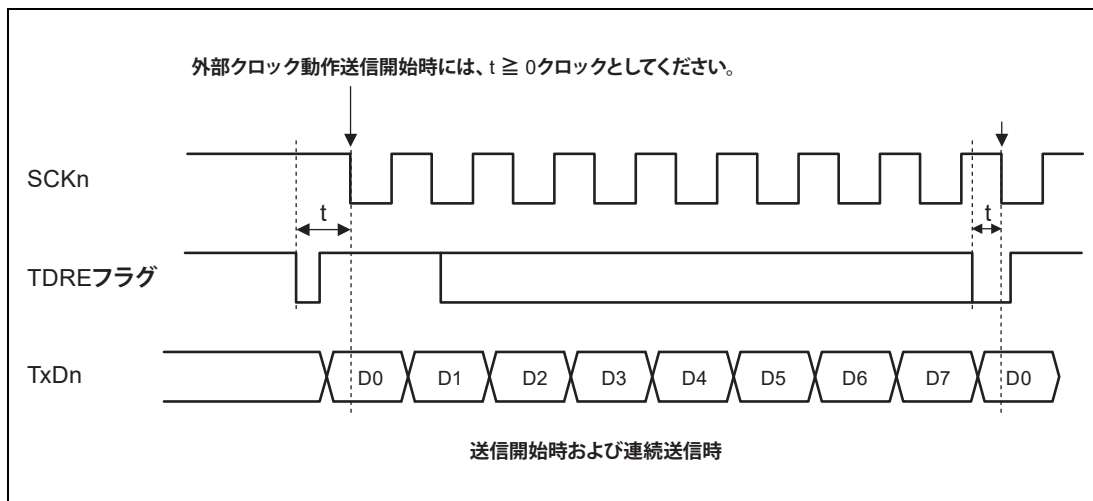


図 12.27 クロック同期式モード送信での外部クロック使用の制約事項

12.5.6 クロック同期式モードの外部クロック入力

クロック同期式モード時、外部クロック SCInSCK 入力は、「35.3.6 SCI/FLSCI タイミング」を参照してください。

第13章 LIN マスタインタフェース (RLIN2)

本章では、LIN マスタインタフェース (RLIN2) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。それ以降の節では、RLIN2 の機能、レジスタについて説明します。

13.1 RH850/C1x RLIN2 の特長

13.1.1 ユニット数とチャンネル数

本製品は、以下に示すユニット数とチャンネル数の RLIN2 を搭載しています。

表 13.1 ユニット数

製品	RH850/C1H	RH850/C1M
ユニット数	3	—
名称	RLIN21n (n = 0 ~ 2)	—

表 13.2 RLIN2 のユニット構成とチャンネルおよびユニットチャンネル番号の対応

ユニット名 RLIN21n	ユニットチャンネル数	ユニットチャンネル番号	チャンネル名 RLIN2m
RLIN210	1	0	RLIN20
RLIN211	1	0	RLIN21
RLIN212	1	0	RLIN22

表 13.3 添字

添字	意味
n	本章では、RLIN2 の各ユニットを「n」(n = 0 ~ 2) で識別します。
m	本章では、各チャンネルを「m」(m = 0 ~ 2) で識別します。
i	本章では、RLIN2 を構成するユニットの各チャンネルを「i」(i = 0) で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」(b = 1 ~ 8) で識別します。

たとえば、RLIN2 のグローバルレジスタである LIN ウェイクアップポーレート選択レジスタは、RLN21nGLWBR、チャンネルレジスタである LIN モードレジスタは RLN21nmLiMD と記述しています。

13.1.2 レジスタベースアドレス

RLIN2 のベースアドレスを以下の表に示します。

RLIN2 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 13.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN210_base>	FFCE 0000 _H
<RLIN211_base>	FFCE 0020 _H
<RLIN212_base>	FFCE 0040 _H

13.1.3 クロック供給

RLIN2 のクロック供給を以下の表に示します。

表 13.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RLIN21n	PCLK	CLK_LSB (低速周辺クロック)
	clkc	CLKC_LSB (非変調低速周辺クロック)

13.1.4 割り込み要求

RLIN2 の割り込み要求を以下の表に示します。

表 13.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号
INTRLIN0	送信完了割り込み/受信完了割り込み/エラー検出割り込み (RLIN210 割り込み)	200
INTRLIN1	送信完了割り込み/受信完了割り込み/エラー検出割り込み (RLIN211 割り込み)	201
INTRLIN2	送信完了割り込み/受信完了割り込み/エラー検出割り込み (RLIN212 割り込み)	202

13.1.5 リセット要因

RLIN2 のリセット要因を以下に示します。RLIN2 は以下のリセット要因で初期化されます。

表 13.7 リセット要因

ユニット名	リセット要因
RLIN21n	すべてのリセット要因

13.1.6 外部入出力信号

RLIN2 の外部入出力信号を以下の表に示します。

表 13.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
RLIN210		
RLIN20RX	RLIN210 受信データ入力	RLIN20RX
RLIN20TX	RLIN210 送信データ出力	RLIN20TX
RLIN211		
RLIN21RX	RLIN211 受信データ入力	RLIN21RX
RLIN21TX	RLIN211 送信データ出力	RLIN21TX
RLIN212		
RLIN22RX	RLIN212 受信データ入力	RLIN22RX
RLIN22TX	RLIN212 送信データ出力	RLIN22TX

13.2 機能

13.2.1 機能概要

LIN マスタインタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 (SEP 2005) に準拠したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

表 13.9 に LIN マスタインタフェースの仕様、図 13.1 に LIN マスタインタフェースのブロック図を示します。

表 13.9 LIN マスタインタフェースの仕様

項目	仕様																						
チャンネル数	3 チャンネル																						
LIN 通信機能	<table border="1"> <tr> <td>プロトコル</td> <td>LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 (SEP 2005)</td> </tr> <tr> <td>フレーム構成可変</td> <td> <ul style="list-style-type: none"> 送信ブレーク幅：13～28 Tbit 送信ブレークデリミタ幅：1～4 Tbit インタバイトスペース（ヘッダ）：0～7 Tbit（Sync フィールドと ID フィールド間のスペース）^{注1} レスポンススペース：0～7 Tbit^{注1} インタバイトスペース：0～3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ：1～16 Tbit </td> </tr> <tr> <td>チェックサム</td> <td> <ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能（フレームごとに変更可能） </td> </tr> <tr> <td>レスポンスフィールドデータバイト数</td> <td>0～8 バイト可変</td> </tr> <tr> <td>フレーム通信方法</td> <td> <ul style="list-style-type: none"> ヘッダ送信とレスポンス送信／受信を1つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード） </td> </tr> <tr> <td>ウェイクアップ送受信</td> <td> LIN ウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能（1～16 Tbit） ウェイクアップ受信 入力信号ロウレベル幅カウント機能 </td> </tr> <tr> <td>ステータス</td> <td> <ul style="list-style-type: none"> フレーム／ウェイクアップ送信完了 ヘッダ送信完了 フレーム／ウェイクアップ受信完了^{注2} データ1受信完了 エラー検出 動作モード（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード） </td> </tr> <tr> <td>エラーステータス</td> <td> <ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー フィジカルバスエラー フレーミングエラー </td> </tr> <tr> <td>ポーレート選択</td> <td>ポーレートジェネレータで LIN 仕様のポーレートを生成可能</td> </tr> <tr> <td>テストモード</td> <td>ユーザ評価用セルフテストモード</td> </tr> <tr> <td>割り込み機能</td> <td> <ul style="list-style-type: none"> フレーム／ウェイクアップ送信完了 フレーム／ウェイクアップ受信完了^{注2} エラー検出 これら3つの論理和が各チャンネルの割り込み要因（INTRLINm）となります </td> </tr> </table>	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 (SEP 2005)	フレーム構成可変	<ul style="list-style-type: none"> 送信ブレーク幅：13～28 Tbit 送信ブレークデリミタ幅：1～4 Tbit インタバイトスペース（ヘッダ）：0～7 Tbit（Sync フィールドと ID フィールド間のスペース）^{注1} レスポンススペース：0～7 Tbit^{注1} インタバイトスペース：0～3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ：1～16 Tbit 	チェックサム	<ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能（フレームごとに変更可能） 	レスポンスフィールドデータバイト数	0～8 バイト可変	フレーム通信方法	<ul style="list-style-type: none"> ヘッダ送信とレスポンス送信／受信を1つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード） 	ウェイクアップ送受信	LIN ウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能（1～16 Tbit） ウェイクアップ受信 入力信号ロウレベル幅カウント機能 	ステータス	<ul style="list-style-type: none"> フレーム／ウェイクアップ送信完了 ヘッダ送信完了 フレーム／ウェイクアップ受信完了^{注2} データ1受信完了 エラー検出 動作モード（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード） 	エラーステータス	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー フィジカルバスエラー フレーミングエラー 	ポーレート選択	ポーレートジェネレータで LIN 仕様のポーレートを生成可能	テストモード	ユーザ評価用セルフテストモード	割り込み機能	<ul style="list-style-type: none"> フレーム／ウェイクアップ送信完了 フレーム／ウェイクアップ受信完了^{注2} エラー検出 これら3つの論理和が各チャンネルの割り込み要因（INTRLINm）となります
プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 (SEP 2005)																						
フレーム構成可変	<ul style="list-style-type: none"> 送信ブレーク幅：13～28 Tbit 送信ブレークデリミタ幅：1～4 Tbit インタバイトスペース（ヘッダ）：0～7 Tbit（Sync フィールドと ID フィールド間のスペース）^{注1} レスポンススペース：0～7 Tbit^{注1} インタバイトスペース：0～3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ：1～16 Tbit 																						
チェックサム	<ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能（フレームごとに変更可能） 																						
レスポンスフィールドデータバイト数	0～8 バイト可変																						
フレーム通信方法	<ul style="list-style-type: none"> ヘッダ送信とレスポンス送信／受信を1つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード） 																						
ウェイクアップ送受信	LIN ウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能（1～16 Tbit） ウェイクアップ受信 入力信号ロウレベル幅カウント機能 																						
ステータス	<ul style="list-style-type: none"> フレーム／ウェイクアップ送信完了 ヘッダ送信完了 フレーム／ウェイクアップ受信完了^{注2} データ1受信完了 エラー検出 動作モード（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード） 																						
エラーステータス	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー フィジカルバスエラー フレーミングエラー 																						
ポーレート選択	ポーレートジェネレータで LIN 仕様のポーレートを生成可能																						
テストモード	ユーザ評価用セルフテストモード																						
割り込み機能	<ul style="list-style-type: none"> フレーム／ウェイクアップ送信完了 フレーム／ウェイクアップ受信完了^{注2} エラー検出 これら3つの論理和が各チャンネルの割り込み要因（INTRLINm）となります																						

注1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。

注2. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

13.2.2 ブロック図

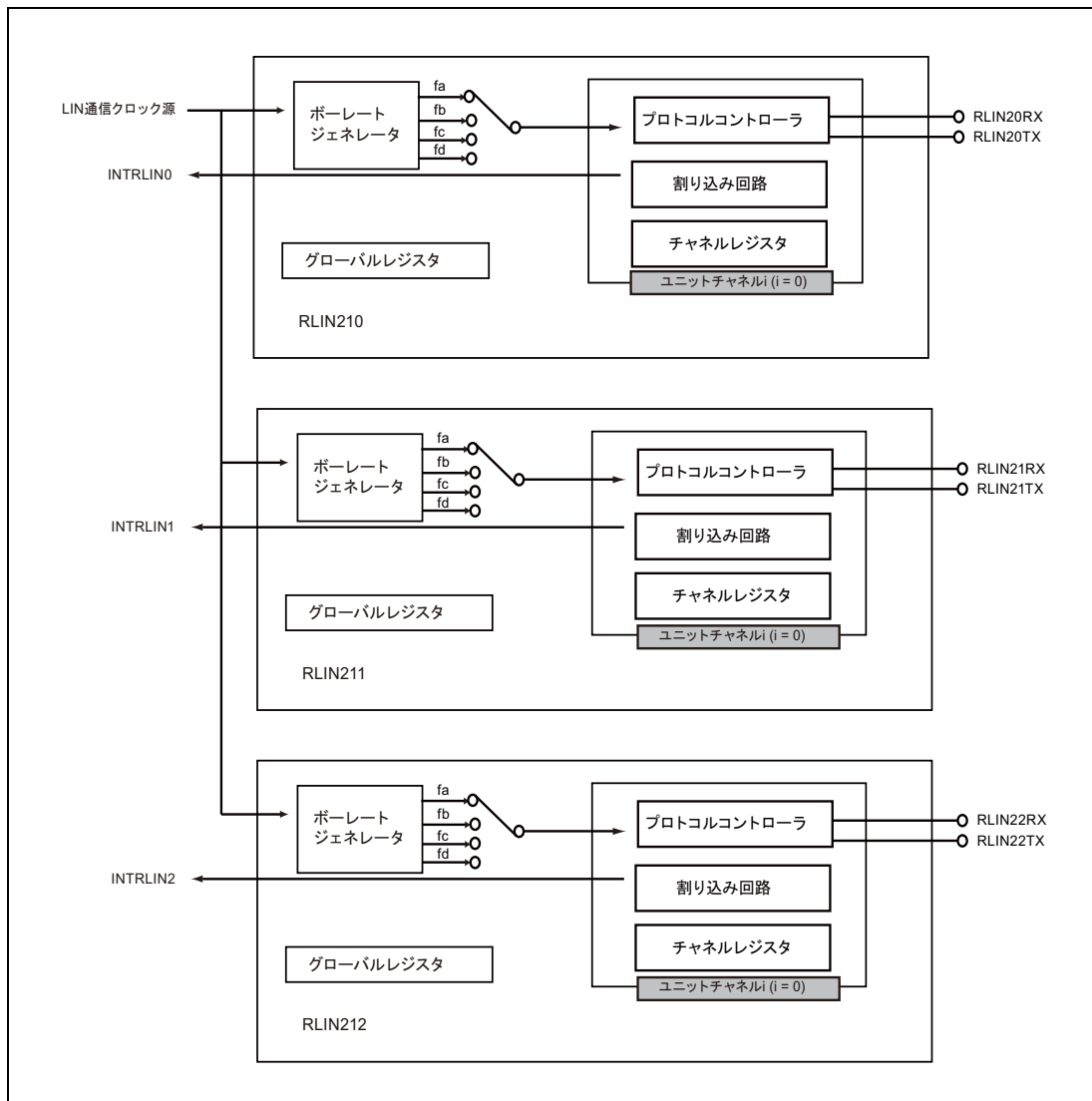


図 13.1 LIN マスタインタフェースブロック図

13.3 レジスタ

LIN マスタインタフェースのレジスタは、グローバルレジスタとチャンネルレジスタで構成されています。グローバルレジスタは、ユニットごとに配置されているため、ユニット単位で個々の設定が可能です。チャンネルレジスタは、チャンネルごとに存在し各チャンネルの制御が可能です。

13.3.1 レジスタ一覧

RLIN2 のレジスタ一覧を以下の表に示します。

<RLIN21n_base> は「13.1.2 レジスタベースアドレス」を参照してください。

表 13.10 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
グローバルレジスタ			
RLN21n	LIN ウェイクアップポーレート選択レジスタ	RLN21nGLWBR	<RLIN21n_base> + 01 _H
RLN21n	LIN ポーレートプリスケラ 0 レジスタ	RLN21nGLBRP0	<RLIN21n_base> + 02 _H
RLN21n	LIN ポーレートプリスケラ 1 レジスタ	RLN21nGLBRP1	<RLIN21n_base> + 03 _H
RLN21n	LIN セルフテスト制御レジスタ	RLN21nGLSTC	<RLIN21n_base> + 04 _H
チャンネルレジスタ			
RLN21nm	LIN モードレジスタ	RLN21nmLiMD	<RLIN21n_base> + 08 _H
RLN21nm	LIN ブレークフィールド設定レジスタ	RLN21nmLiBFC	<RLIN21n_base> + 09 _H
RLN21nm	LIN スペース設定レジスタ	RLN21nmLiSC	<RLIN21n_base> + 0A _H
RLN21nm	LIN ウェイクアップ設定レジスタ	RLN21nmLiWUP	<RLIN21n_base> + 0B _H
RLN21nm	LIN 割り込み許可レジスタ	RLN21nmLiIE	<RLIN21n_base> + 0C _H
RLN21nm	LIN エラー検出許可レジスタ	RLN21nmLiEDE	<RLIN21n_base> + 0D _H
RLN21nm	LIN 制御レジスタ	RLN21nmLiCUC	<RLIN21n_base> + 0E _H
RLN21nm	LIN 送信制御レジスタ	RLN21nmLiTRC	<RLIN21n_base> + 10 _H
RLN21nm	LIN モードステータスレジスタ	RLN21nmLiMST	<RLIN21n_base> + 11 _H
RLN21nm	LIN ステータスレジスタ	RLN21nmLiST	<RLIN21n_base> + 12 _H
RLN21nm	LIN エラーステータスレジスタ	RLN21nmLiEST	<RLIN21n_base> + 13 _H
RLN21nm	LIN データフィールド設定レジスタ	RLN21nmLiDFC	<RLIN21n_base> + 14 _H
RLN21nm	LIN ID バッファレジスタ	RLN21nmLiIDB	<RLIN21n_base> + 15 _H
RLN21nm	LIN チェックサムバッファレジスタ	RLN21nmLiCBR	<RLIN21n_base> + 16 _H
RLN21nm	LIN データバッファ 1 レジスタ	RLN21nmLiDBR1	<RLIN21n_base> + 18 _H
RLN21nm	LIN データバッファ 2 レジスタ	RLN21nmLiDBR2	<RLIN21n_base> + 19 _H
RLN21nm	LIN データバッファ 3 レジスタ	RLN21nmLiDBR3	<RLIN21n_base> + 1A _H
RLN21nm	LIN データバッファ 4 レジスタ	RLN21nmLiDBR4	<RLIN21n_base> + 1B _H
RLN21nm	LIN データバッファ 5 レジスタ	RLN21nmLiDBR5	<RLIN21n_base> + 1C _H
RLN21nm	LIN データバッファ 6 レジスタ	RLN21nmLiDBR6	<RLIN21n_base> + 1D _H
RLN21nm	LIN データバッファ 7 レジスタ	RLN21nmLiDBR7	<RLIN21n_base> + 1E _H
RLN21nm	LIN データバッファ 8 レジスタ	RLN21nmLiDBR8	<RLIN21n_base> + 1F _H

備 考

未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

13.3.2 グローバルレジスタ

13.3.2.1 RLIN21nGLWBR — LIN ウェイクアップポーレート選択レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 13.11 RLIN21nGLWBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	LWBR0	ウェイクアップポーレート選択ビット 0: LIN ウェイクアップモードにおいて、RLN21nmLiMD レジスタの LCKS ビットの設定通りのクロックが使用される (LIN1.3 使用時) 1: LIN ウェイクアップモードにおいて、RLN21nmLiMD レジスタの LCKS ビットの設定によらずクロック fa が使用される (LIN2.x 使用時)

RLN21nGLWBR レジスタは同一ユニット内のすべてのチャンネルが RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

LWBR0 ビット (ウェイクアップポーレート選択ビット)

LIN Specification Package Revision 1.3 使用時は、RLN21nGLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。

LIN Specification Package Revision 2.0、2.1 使用時は“1”にしてください。“1”にすることで LIN ウェイクアップモード中は RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のポーレートを 19200bps に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130 μ s 以上の入力信号ロウレベル幅を検出することができます。

13.3.2.2 RLN21nGLBRP0 — LIN ボーレートプリスケアラ 0 レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 02_H

リセット後の値 00_H

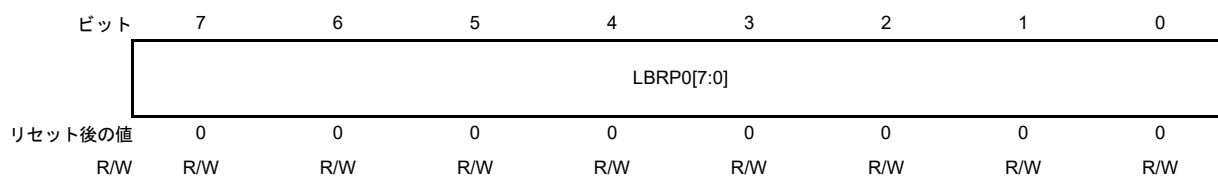


表 13.12 RLN21nGLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP0[7:0]	設定値を N (0 ~ 255) とすると、ボーレートプリスケアラは周辺機能クロックを N+1 分周する 設定範囲 : 00 _H ~ FF _H

RLN21nGLBRP0 レジスタは同一ユニット内のすべてのチャンネルが RLN21nmLiMST レジスタの OMM0 ビットが “0” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fa”、“fb”、“fc” の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケアラ 0 は LIN 通信クロック源を N+1 分周します。

13.3.2.3 RLN21nGLBRP1 — LIN ボーレートプリスケアラ 1 レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 03_H

リセット後の値 00_H

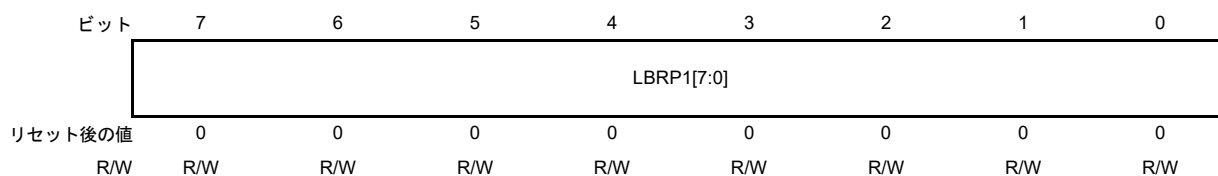


表 13.13 RLN21nGLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP1[7:0]	設定値を M (0 ~ 255) とすると、ボーレートプリスケアラは周辺機能クロックを M+1 分周する 設定範囲 : 00 _H ~ FF _H

RLN21nGLBRP1 レジスタは同一ユニット内のすべてのチャンネルが RLN21nmLiMST レジスタの OMM0 ビットが “0” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケアラ 1 は LIN 通信クロック源を M+1 分周します。

13.3.2.4 RLN21nGLSTC — LIN セルフテスト制御レジスタ

RLN21nGLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN21nGLSTC レジスタは同一ユニット内のすべてのチャンネルが RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

アクセス 8 ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 04_H

リセット後の値 00_H

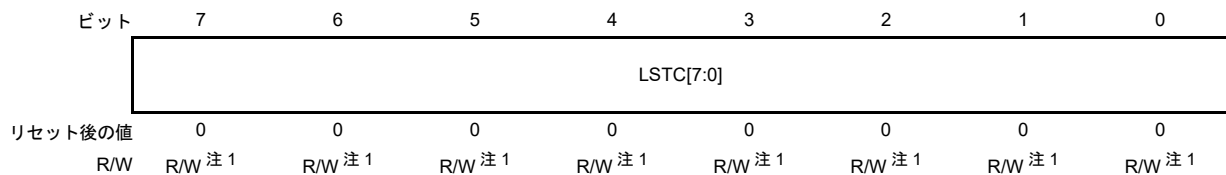


表 13.14 RLN21nGLSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LSTC[7:0]	LIN セルフテストモード設定ビット 00 _H : LIN セルフテストモードではない注2 01 _H : LIN セルフテストモード注3 “A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードへエントリします。それ以外の設定は禁止です。設定した場合の読み出し値は不定です。

注 1. 同一ユニット内のすべてのチャンネルが LIN リセットモード以外では書き込みは無視されます。

注 2. LIN セルフテストモードを終了する場合の移行方法は、「13.15.4 LIN セルフテストモード終了」を参照してください。LIN セルフテストモードを終了した場合、“00_H”が読み出せます。

注 3. LIN セルフテストモードへの移行方法は、「13.15.1 LIN セルフテストモードへの移行」を参照してください。LIN セルフテストモードへ移行した場合、“01_H”が読み出せます。

13.3.3 チャネルレジスタ

13.3.3.1 RLN21nmLiMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiMD: <RLIN21n_base> + 08_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	LCKS[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R

表 13.15 RLN21nmLiMD レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3, 2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0 : fa (ボーレートプリスケアラ 0 生成クロック) 0 1 : fb (ボーレートプリスケアラ 0 生成クロック / 2) 1 0 : fc (ボーレートプリスケアラ 0 生成クロック / 8) 1 1 : fd (ボーレートプリスケアラ 1 生成クロック / 2)
1, 0	予約ビット	読むと“0”が読めます。書く場合、“0”としてください

RLN21nmLiMD レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

LCKS[1:0] ビット (LIN システムクロック選択ビット)

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B”の場合、プロトコルコントローラには fa (ボーレートプリスケアラ 0 生成クロック) が入力されます。

“01_B”の場合、プロトコルコントローラには fb (ボーレートプリスケアラ 0 生成クロック / 2) が入力されます。

“10_B”の場合、プロトコルコントローラには fc (ボーレートプリスケアラ 0 生成クロック / 8) が入力されます。

“11_B”の場合、プロトコルコントローラには fd (ボーレートプリスケアラ 1 生成クロック / 2) が入力されます。

RLN21nGLWBR レジスタの LWBR0 ビットが“1” (LIN 2.0、2.1 使用時) かつ

RLN21nmLiMST レジスタが“01h” (LIN ウェイクアップモード) の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます (LCKS ビットは変化しません)。

13.3.3.2 RLN21nmLiBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiBFC: <RLIN21n_base> + 09_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 13.16 RLN21nmLiBFC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	ライトする場合はリセット後の値を書いてください。
5, 4	BDT[1:0]	送信ブレークデリミタ (ハイレベル) 幅設定ビット b_5 b_4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits
3 ~ 0	BLT[3:0]	送信ブレーク (ロウレベル) 幅設定ビット b_3 b_0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits

RLN21nmLiBFC レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット (送信ブレークデリミタ (ハイレベル) 幅設定ビット)

送信フレームヘッダ部のブレークデリミタ (ハイレベル) 幅の設定をします。
1 Tbit ~ 4 Tbits を設定できます。

BLT[3:0] ビット (送信ブレーク (ロウレベル) 幅設定ビット)

送信フレームヘッダ部のブレーク (ロウレベル) 幅の設定をします。
13 Tbits ~ 28 Tbits を設定できます。

13.3.3.3 RLN21nmLiSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiSC: <RLIN21n_base> + 0A_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 13.17 RLN21nmLiSC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	ライトする場合はリセット後の値を書いてください。
5, 4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	ライトする場合はリセット後の値を書いてください。
2 ~ 0	IBHS[2:0]	インタバイトスペース (ヘッダ) / レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN21nmLiSC レジスタは RLN21nmLiMST レジスタの OMM0 ビットが “0” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット (インタバイトスペース設定ビット)

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット (インタバイトスペース (ヘッダ) / レスポンススペース設定ビット)

送信フレームヘッダ部のインタバイトスペース (ヘッダ) とレスポンススペースの幅の設定をします。

0 Tbit ~ 7 Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

インタバイトスペース (ヘッダ) とレスポンススペースの値は、同じになります。

13.3.3.4 RLN21nmLiWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiWUP: <RLIN21n_base> + 0B_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 13.18 RLN21nmLiWUP レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits ⋮ 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ~ 0	予約ビット	ライトする場合はリセット後の値を書いてください。

RLN21nmLiWUP レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

WUTL[3:0] ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップシグナル送信時のロウレベル幅を設定します。

1 Tbit ~ 16 Tbits を設定できます。

RLN21nGLWBR レジスタの LWBR0 ビットが“1” (LIN 2.0、2.1 使用時) の場合、RLN21nmLiMD レジスタの LCKS ビットにかかわらず、LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。

13.3.3.5 RLN21nmLiE — LIN 割り込み許可レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiE: <RLIN21n_base> + 0C_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 13.19 RLN21nmLiE レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	ライトする場合はリセット後の値を書いてください。
2	ERRIE	エラー検出割り込み許可ビット 0: エラー検出割り込み禁止 1: エラー検出割り込み許可
1	FRCIE	フレーム/ウェイクアップ受信完了割り込み許可ビット 0: フレーム/ウェイクアップ受信完了割り込み禁止 1: フレーム/ウェイクアップ受信完了割り込み許可
0	FTCIE	フレーム/ウェイクアップ送信完了割り込み許可ビット 0: フレーム/ウェイクアップ送信完了割り込み禁止 1: フレーム/ウェイクアップ送信完了割り込み許可

RLN21nmLiE レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

ERRIE ビット (エラー検出割り込み許可ビット)

エラーを検出したときの割り込み許可/禁止を設定します。

“0”の場合、RLN21nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生しません。

“1”の場合、RLN21nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生します。

発生要因となる割り込みは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。

ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、RLN21nmLiEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (フレーム/ウェイクアップ受信完了割り込み許可ビット)

フレーム受信完了、またはウェイクアップシグナル受信 (入力信号ロウレベル幅カウント) 完了時の割り込み許可/禁止を設定します。

“0”の場合、RLN21nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生しません。

“1”の場合、RLN21nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生します。

FTCIE ビット (フレーム/ウェイクアップ送信完了割り込み許可ビット)

フレーム送信完了、または ウェイクアップシグナル送信完了時の割り込み許可/禁止を設定します。

“0” の場合、RLN21nmLiST レジスタの FTC フラグが“1” になった際に割り込み要求が発生しません。

“1” の場合、RLN21nmLiST レジスタの FTC フラグが“1” になった際に割り込み要求が発生します。

13.3.3.6 RLN21nmLiEDE — LIN エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiEDE: <RLIN21n_base> + 0D_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 13.20 RLN21nmLiEDE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書きってください。
3	FERE	フレーミングエラー検出許可ビット 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	FTERE	フレームタイムアウトエラー検出許可ビット 0: フレームタイムアウトエラー検出禁止 1: フレームタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット 0: ビットエラー検出禁止 1: ビットエラー検出許可

RLN21nmLiEDE レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットが“1” の場合の検出結果は、RLN21nmLiEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「13.14 エラーステータス」を参照ください。

FTERE ビット (フレームタイムアウトエラー検出許可ビット)

フレームタイムアウトエラー 検出の許可/禁止を設定します。

“0” の場合、フレームタイムアウトエラーを検出しません。

“1” の場合、フレームタイムアウトエラーを検出します。

このビットが“1” の場合の検出結果は、RLN21nmLiEST レジスタの FTER フラグに反映されます。

フレームタイムアウトエラーの詳細は、「**13.14 エラーステータス**」を参照ください。

PBERE ビット (フィジカルバスエラー検出許可ビット)

フィジカルバスエラー検出の許可/禁止を設定します。

“0” の場合、フィジカルバスエラーを検出しません。

“1” の場合、フィジカルバスエラーを検出します。

このビットが“1” の場合の検出結果は、RLN21nmLiEST レジスタの PBER フラグに反映されます。

フィジカルバスエラーの詳細は、「**13.14 エラーステータス**」を参照ください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットが“1” の場合の検出結果は、RLN21nmLiEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「**13.14 エラーステータス**」を参照ください。

13.3.3.7 RLN21nmLiCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiCUC: <RLIN21n_base> + 0E_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 13.21 RLN21nmLiCUC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OM0	LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN21nmLiCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN21nmLiCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN21nmLiCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN21nmLiMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の LIN 動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。

“1”にすると、LIN 動作モードになります。

このビットは、RLN21nmLiMST レジスタの OMM0 ビットが“1”のときのみ有効です。

このビットは、RLN21nmLiTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

13.3.3.8 RLN21nmLiTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiTRC: <RLIN21n_base> + 10_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 13.22 RLN21nmLiTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信開始ビット 0: フレームセパレートモードにおいてレスポンス送信停止 1: フレームセパレートモードにおいてレスポンス送信開始
0	FTS	フレーム送信/ウェイクアップ送受信開始ビット 0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始

RTS ビット (レスポンス送信開始ビット)

フレームセパレートモードで、ヘッダを送信開始 (FTS ビットを“1”) し、レスポンス送信データの準備が完了したあとに、“1”にしてください。設定後、このビットはフレーム送信終了および LIN リセットモード移行時に自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。

このビットは、OMM0 ビットが“0” (LIN リセットモード) の時は書けません。

このビットは、FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときは書けません。

FTS ビット (フレーム送信/ウェイクアップ送受信開始ビット)

フレーム/ウェイクアップ送信開始時、“1”にしてください。

また、ウェイクアップ受信 (入力信号ロウレベル幅カウンタ) を行う場合にも、このビットを“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、OMM0 ビットが“0” (LIN リセットモード) の時は書けません。

このビットは、フレーム および ウェイクアップの通信終了時に“0”になります。

LIN リセットモード移行時に“0”になります。

13.3.3.9 RLN21nmLiMST — LIN モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス RLN21nmLiMST: <RLIN21n_base> + 11_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13.23 RLN21nmLiMST レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合は、リセット後の値が読めます。
1	OMM1	LIN モードステータスマニタ 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OMM0	LIN リセットステータスマニタ 0: LIN リセットモード 1: LIN リセットモードでない

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。

OMM0 ビットが“0_B” (LIN リセットモード) の間、このビットの値は無効です。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

13.3.3.10 RLIN21nmLiST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLIN21nmLiST: <RLIN21n_base> + 12_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 13.24 RLIN21nmLiST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0: 送信未完了 1: ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了
5、4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム/ウェイクアップ受信完了フラグ 0: 受信未完了 1: フレームまたはウェイクアップ受信完了
0	FTC	フレーム/ウェイクアップ送信完了フラグ 0: 送信未完了 1: フレームまたはウェイクアップ送信完了

RLIN21nmLiST レジスタは LIN リセットモード移行時 および 次の通信開始時、自動的に“00_H”になります。

LIN リセットモード中は“00_H”を保持します。

RLIN21nmLiST レジスタの FTS ビットが“1”（フレーム送信/ウェイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ（ヘッダ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、“1”となりますが、割り込み要求は発生しません。

また、次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが割り込み要求は発生しません。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

ERR フラグ (エラー検出フラグ)

エラー検出時、“1”となります。このとき RLN21nmLiIE レジスタの ERRIE ビットが“1” (割り込み許可) の場合、割り込み要求が発生します。次の通信が始まる前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ (フレーム/ウェイクアップ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN21nmLiIE レジスタの FRCIE ビットが“1” (割り込み許可) の場合、割り込み要求が発生します。次の通信が始まる前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

FTC フラグ (フレーム/ウェイクアップ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN21nmLiIE レジスタの FTCIE ビットが“1” (割り込み許可) の場合、割り込み要求が発生します。次の通信が始まる前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

13.3.3.11 RLN21nmLiEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiEST: <RLIN21n_base> + 13_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 13.25 RLN21nmLiEST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出
4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	FTER	フレームタイムアウトエラーフラグ 0: フレームタイムアウトエラー未検出 1: フレームタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN21nmLiEST レジスタは LIN リセットモード移行時、および次の通信開始時、自動的に“00_H”になります。

LIN リセットモード中は“00_H”を保持します。

RLN21nmLiTRC レジスタの FTS ビットが“1”（フレーム送信/ウェイクアップ送受信開始）の間は、このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

CSER フラグ（チェックサムエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーミングエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ (フレームタイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレームタイムアウトエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER フラグ (フィジカルバスエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フィジカルバスエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
ビットエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

13.3.3.12 RLN21nmLiDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiDFC: <RLIN21n_base> + 14_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.26 RLN21nmLiDFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	ライトする場合はリセット後の値を書いてください。
6	FSM	フレームセパレートモード選択ビット 0: フレームセパレートモードではない 1: フレームセパレートモード
5	CSM	チェックサム選択ビット 0: クラシック 1: エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0: 受信 1: 送信
3 ~ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000: 0バイト+チェックサム 0001: 1バイト+チェックサム 0010: 2バイト+チェックサム : 0111: 7バイト+チェックサム 1000: 8バイト+チェックサム 上記以外は設定しないでください。

RLN21nmLiDFC レジスタは、RLN21nmLiTRC レジスタの FTS ビットが“0”（フレーム送信 / ウェイクアップ送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス送信の方式を設定します。

“0”の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN21nmLiTRC レジスタの FTS ビットが“1”）後、RLN21nmLiTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1”の場合、フレームセパレートモードになります。ヘッダ送信中に RLN21nmLiTRC レジスタの RTS ビットを“1”にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFT ビットが“0”）時は、このビットを“0”に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを“0”に設定してください。

フレームセパレートモードの詳細は「13.11.1 LIN フレームの送信」を参照してください。

CSM ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0” の場合、チェックサムの方式はクラシックとなります。

“1” の場合、チェックサムの方式はエンハンスとなります。

フレームタイムアウトエラーを使用する (RLN21nmLiEDE レジスタの FTERE ビットが “1”) の場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**13.14 エラーステータス**」を参照してください。

RFT ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールドの通信方向を設定します。

“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行います。

“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は 0 ~ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

13.3.3.13 RLN21nmLiIDB — LIN ID バッファレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiIDB: <RLIN21n_base> + 15_H + i × 20_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.27 RLN21nmLiIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5 ~ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN21nmLiTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下のとおりとなります。

- RFT ビットが“1”（送信）の場合：

送信した値の反転値を読むことができます。通信前に送信する値を書くことができます。
- RFT ビットが“0”（受信）の場合：

受信した値の反転値を読むことができます。通信前に受信する値を書くことができます。

IDP ビット（パリティ設定ビット）

LIN フレームの ID フィールドで送信するパリティ (P0、P1) ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

13.3.3.14 RLN21nmLiCBR — LIN チェックサムバッファレジスタ

アクセス 8ビット単位でリードのみ可能です。
ただし、LINセルフテストモード時は、8ビット単位でリード/ライト可能です。

アドレス RLN21nmLiCBR: <RLIN21n_base> + 16_H + i × 20_H

リセット後の値 不定

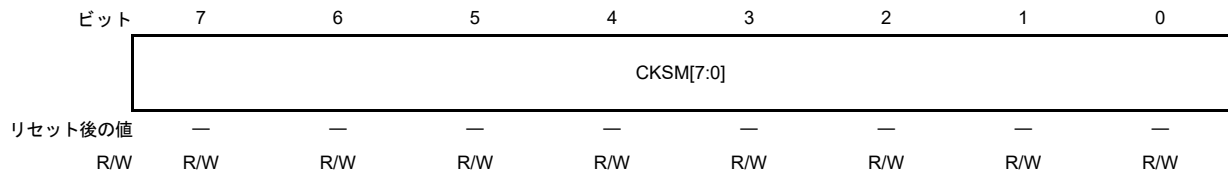


表 13.28 RLN21nmLiCBR レジスタの内容

ビット位置	ビット名	機能
7～0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN 動作モード時は、以下のとおりとなります。

- RLN21nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
書き込みは無効になります。
- RLN21nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
書き込みは無効になります。

LINセルフテストモード時は、以下の通りとなります。

- RLN21nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：
フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。
書き込みは無効になります。
- RLN21nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：
通信前に受信する値を書き込んでください。フレーム送受信完了後（ループバック後）、
受信した値の反転値を読むことができます。

このレジスタは RLN21nmLiTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

13.3.3.15 RLN21nmLiDBRb — LIN データバッファ b レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiDBR1: <RLIN21n_base> + 18_H + i × 20_H, RLN21nmLiDBR2: <RLIN21n_base> + 19_H + i × 20_H,
RLN21nmLiDBR3: <RLIN21n_base> + 1A_H + i × 20_H, RLN21nmLiDBR4: <RLIN21n_base> + 1B_H + i × 20_H,
RLN21nmLiDBR5: <RLIN21n_base> + 1C_H + i × 20_H, RLN21nmLiDBR6: <RLIN21n_base> + 1D_H + i × 20_H,
RLN21nmLiDBR7: <RLIN21n_base> + 1E_H + i × 20_H, RLN21nmLiDBR8: <RLIN21n_base> + 1F_H + i × 20_H

リセット後の値 不定

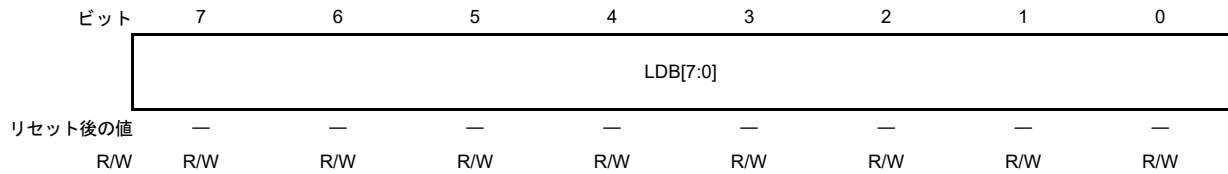


表 13.29 RLN21nmLiDBRb レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00 _H ~ FF _H

- レスポンス送信の場合：

レスポンスフィールドで送信するデータを設定します。
これらのレジスタは以下の状態で設定してください

- RLN21nmLiDFC レジスタの RFT ビットが“1” (送信)
- RLN21nmLiDFC レジスタの FSM ビットが“0” (フレームセパレートモードではない)
- RLN21nmLiTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止)

または

- RLN21nmLiDFC レジスタの RFT ビットが“1” (送信)
- RLN21nmLiDFC レジスタの FSM ビットが“1” (フレームセパレートモード)
- RLN21nmLiTRC レジスタの RTS ビットが“0” (レスポンス送信停止)

- レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。
受信データは上書きされます。また、エラー検出時はエラーを検出したバイトまでのデータが格納されます。
これらのレジスタは、FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下のとおりとなります。

- RLN21nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：
送信した値の反転値を読むことができます。通信前に送信する値を書くことができます。
- RLN21nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：
受信した値の反転値を読むことができます。通信前に受信する値を書くことができます。

13.4 割り込み要因

LIN マスタインタフェースは LIN 割り込み要求を生成します。

割り込み要因はチャンネルごとに、フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つがあります。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスによる割り込み要求は、論理和をとって1つの割り込み要求「LIN 割り込み」にまとめられます。

それぞれの割り込み要求は、RLN21nmLiIE レジスタの対応するビットが“1”（割り込み許可）のとき、RLN21nmLiST レジスタの対応するフラグが“1”になると出力されます。ただし、RLN21nmLiST レジスタの対応するフラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するフラグを“0”にしてください。

図 13.2 に LIN 割り込みブロック図を示します。

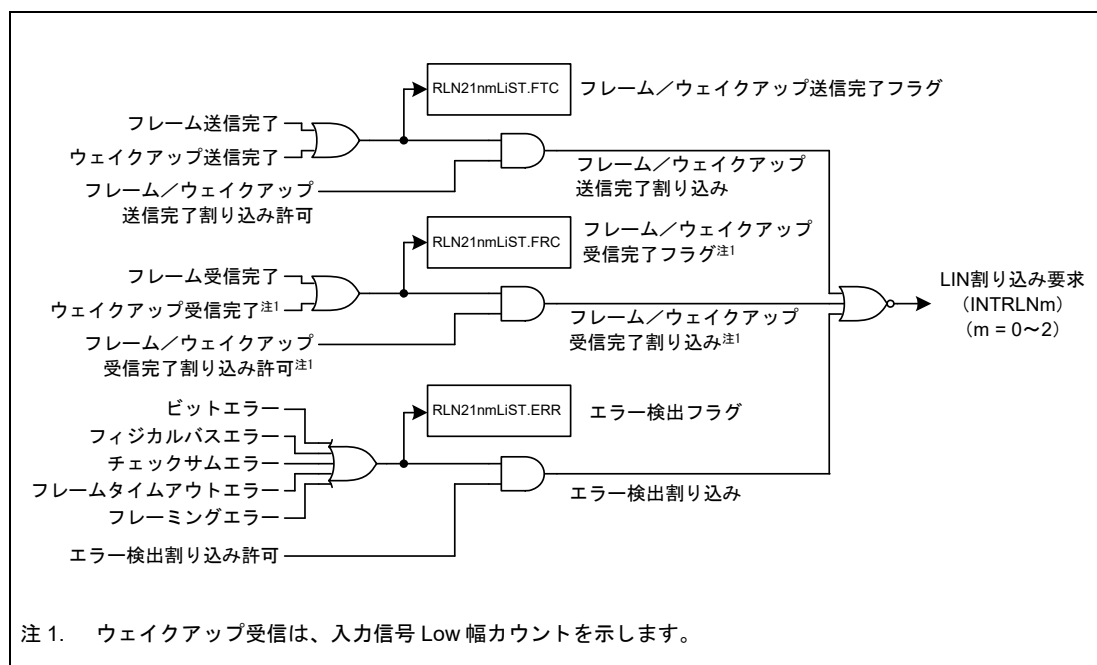


図 13.2 LIN 割り込みブロック図

13.5 モード

LIN マスタインタフェースには、次の4つのモードがあります。

- LIN リセットモード
- LIN 動作モード
- LIN ウェイクアップモード
- LIN セルフテストモード

LIN セルフテストモードを除くモードの移行は、チャンネルごとに独立して制御します。

図 13.3 に動作モードの移行、表 13.30 にモード移行条件、表 13.31 に各モードで可能な動作を示します。

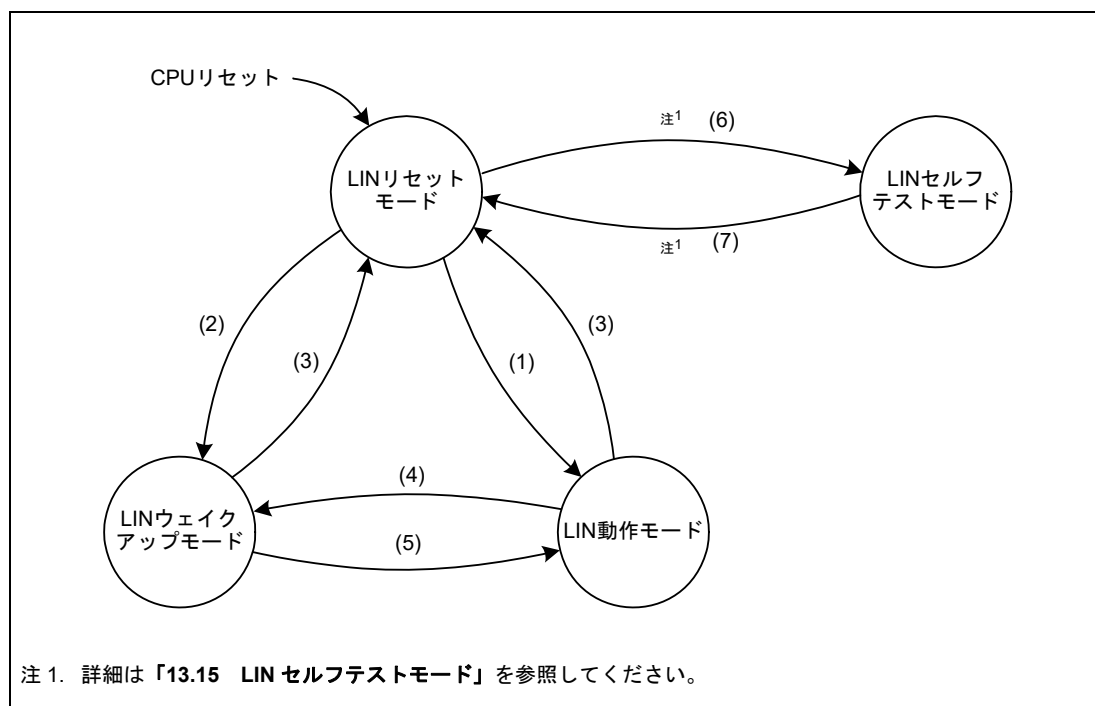


図 13.3 動作モードの移行

表 13.30 各モードの移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN 動作モード	RLN21nmLiCUC.OM1, OM0 = "11 _B "
(2)	LIN リセットモード → LIN ウェイクアップモード	RLN21nmLiCUC.OM1, OM0 = "01 _B "
(3)	LIN ウェイクアップモード LIN 動作モード → LIN リセットモード	RLN21nmLiCUC.OM0 = "0 _B "
(4)	LIN 動作モード → LIN ウェイクアップモード	RLN21nmLiCUC.OM1, OM0 = "01 _B "
(5)	LIN ウェイクアップモード → LIN 動作モード	RLN21nmLiCUC.OM1, OM0 = "11 _B "
(6)	LIN リセットモード → LIN セルフテストモード	「13.15 LIN セルフテストモード」参照
(7)	LIN セルフテストモード → LIN リセットモード	「13.15 LIN セルフテストモード」参照

表 13.31 各モードで可能な動作

LIN 動作モード	LIN ウェイクアップモード	LIN セルフテストモード
ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出	セルフテスト

RLN21nmLiMST レジスタの OMM1、OMM0 ビットを読むことで、LIN リセットモード、LIN 動作モード、LIN ウェイクアップモードへ移行したことを確認できます。

LIN セルフテストモードについては、「13.15 LIN セルフテストモード」を参照してください。

13.6 LIN リセットモード

RLN21nmLiCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にすると、LIN リセットモードに移行します。RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能は停止しています。

LIN リセットモードからは、LIN 動作モード、LIN ウェイクアップモード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行したあと、それぞれのリセット後の値に初期化され、LIN リセットモード中はリセット後の値を保持します。

- RLN21nmLiTRC レジスタ
- RLN21nmLiST レジスタ
- RLN21nmLiEST レジスタ

以下のレジスタは、LIN リセットモードに移行したあとも、以前の値を保持します。

- RLN21nGLWBR レジスタ
- RLN21nGLBRP0 レジスタ
- RLN21nGLBRP1 レジスタ
- RLN21nmLiMD レジスタ
- RLN21nmLiBFC レジスタ
- RLN21nmLiSC レジスタ
- RLN21nmLiWUP レジスタ
- RLN21nmLiIE レジスタ
- RLN21nmLiEDE レジスタ
- RLN21nmLiDFC レジスタ
- RLN21nmLiIDB レジスタ
- RLN21nmLiCBR レジスタ
- RLN21nmLiDBRb レジスタ

13.7 LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN21nmLiCUC レジスタの OM1 ビット、OM0 ビットを“11_B”にすると LIN 動作モードになり、RLN21nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“11_B”になります。RLN21nmLiMST レジスタが“11_B”になるのを待ってから、通信設定を行ってください。

13.8 LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN21nmLiCUC レジスタの OM1 ビット、OM0 ビットを“01_B”にすると LIN ウェイクアップモードになり、RLN21nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”になります。RLN21nmLiMST レジスタが“01_B”になるのを待ってから、通信設定を行ってください。

13.9 ヘッダ送信／レスポンス送信／レスポンス受信

13.9.1 ヘッダ送信

図 13.4 にヘッダ送信時の動作、表 13.32 にヘッダ送信時の処理を示します。

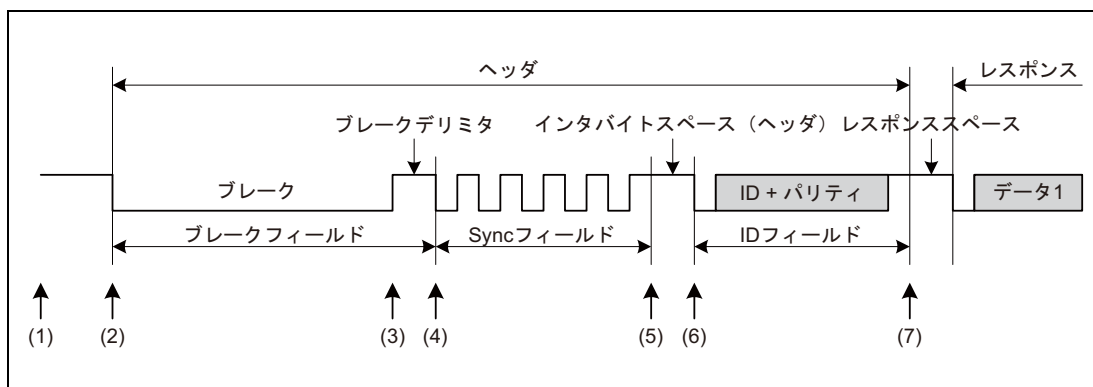


図 13.4 ヘッダ送信時の動作

表 13.32 ヘッダ送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN 動作モードに移行 • 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定 	ソフトウェアによる RLN21nmLiTRC レジスタの FTS ビット設定待ち (アイドル)
(2)	RLN21nmLiTRC レジスタの FTS ビットを "1" (フレーム送信／ウェイクアップ送受信開始) にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド (55h) 送信
(5)		インタバイトスペース (ヘッダ) 送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備考

エラー検出に関しては、「13.14 エラーステータス」を参照してください。

13.9.2 レスポンス送信

図 13.5 にレスポンス送信時の動作、表 13.33 にレスポンス送信時の処理を示します。

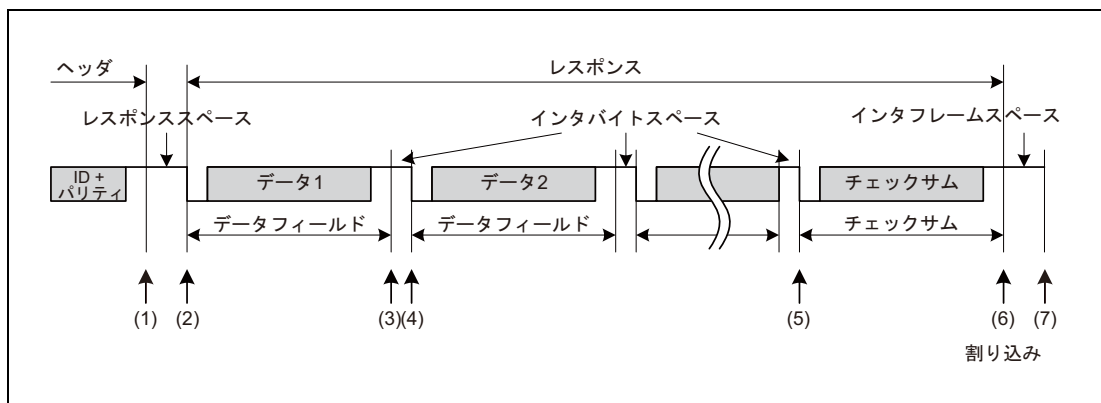


図 13.5 レスポンス送信時の動作

表 13.33 レスポンス送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	(フレームセパレートモード時) <ul style="list-style-type: none"> RLN21nmLiTRC レジスタの RTS ビットに "1" を設定 (レスポンス送信開始) (フレームセパレートモードでないとき) <ul style="list-style-type: none"> 割り込み要求発生待ち 	(フレームセパレートモード時) <ul style="list-style-type: none"> ソフトウェア処理による RLN21nmLiTRC レジスタの RTS ビットの "1" 設定待ち (この間、"1" を出力) "1" に設定されたあと、レスポンススペースを送信 (フレームセパレートモードでないとき) レスポンススペースを送信
(2)	割り込み要求発生待	データ 1 送信
(3)		インタバイトスペース送信
(4)		<ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN21nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。) <p style="text-align: center;">⋮</p> <p style="text-align: center;">⋮</p>
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定 RLN21nmLiTRC レジスタの FTS ビットを "0" (フレーム送信/ウェイクアップ送受信停止) にする (フレームセパレートモード時) RLN21nmLiTRC レジスタの RTS ビットを "0" (レスポンス送信停止) にする
(7)	<ul style="list-style-type: none"> 通信後の処理 RLN21nmLiST レジスタのチェック、フラグのクリア	アイドル

備考

エラー検出に関しては、「13.14 エラーステータス」を参照してください。

13.9.3 レスポンス受信

図 13.6 にレスポンス受信時の動作、表 13.34 にレスポンス受信時の処理を示します。

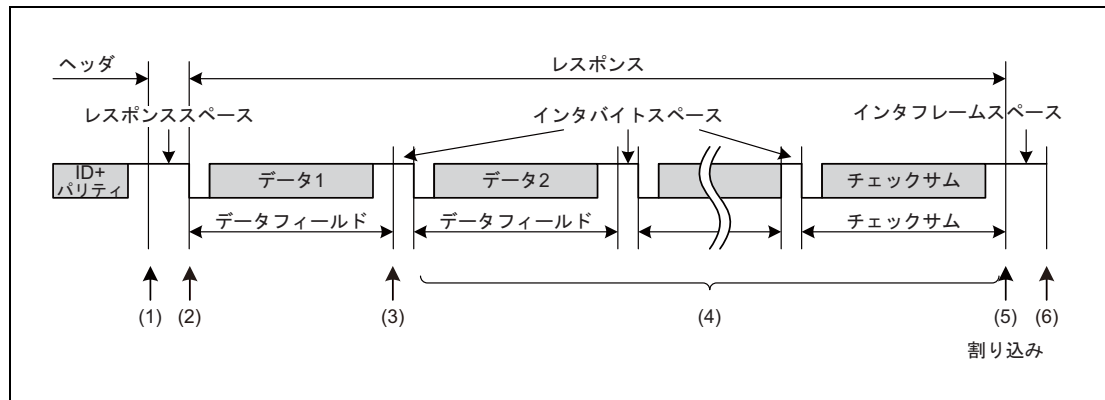


図 13.6 レスポンス受信時の動作

表 13.34 レスポンス受信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		<ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN21nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。) ⋮ スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定 RLN21nmLiTRC レジスタの FTS ビットを "0" (フレーム送信/ウェイクアップ送受信停止) にする
(6)	<ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN21nmLiST レジスタのチェック、フラグのクリア 	アイドル

備考

エラー検出に関しては、「13.14 エラーステータス」を参照してください。

13.10 データ送信／受信

13.10.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLIN2nmLiEST レジスタの BER フラグに格納されます（「13.14 エラーステータス」参照）。

LIN マスタインタフェースでは、1 Tbit = 16fLIN で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

図 13.7 にデータ送信タイミングの例を示します。

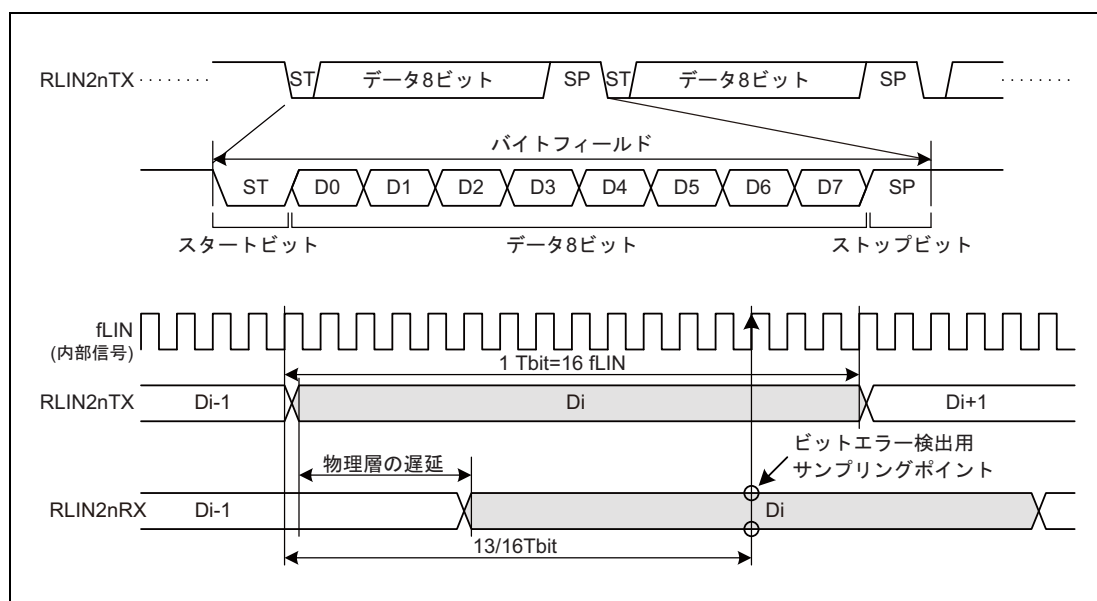


図 13.7 データ送信タイミング例

13.10.2 データ受信

データ受信は、RLIN2nRX 端子からの入力を LIN システムクロック (fLIN) に同期させた同期化 RLIN2nRX (内部信号) を使用して行います。

この同期化 RLIN2nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN2nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN2nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

図 13.8 にデータ受信タイミングの例を示します。

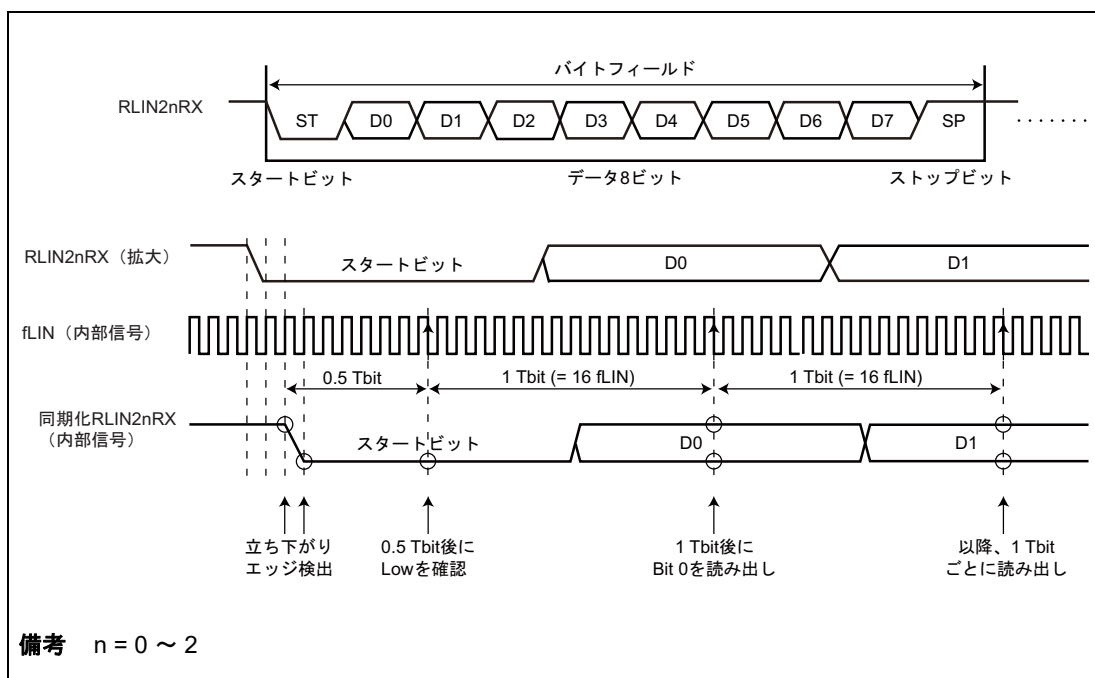


図 13.8 データ受信タイミング例

13.11 送信／受信データのバッファ処理

LIN マスタインタフェースの連続データ送受信時のバッファ処理について説明します。

13.11.1 LIN フレームの送信

8 バイト送信の場合、RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN21nmLiDBR5 レジスタ～RLN21nmLiDBR8 レジスタの内容は送信されません。また、RLN21nmLiCBR レジスタには送信したチェックサムデータが格納されます。

図 13.9 に LIN 送信処理とバッファを示します。

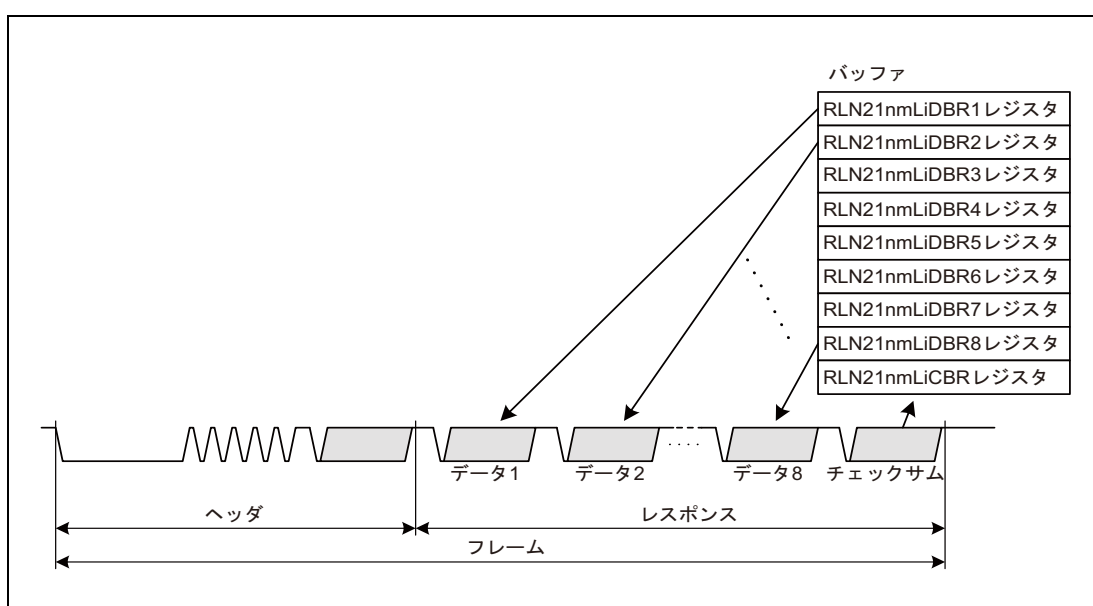


図 13.9 LIN 送信処理とバッファ

(1) フレームセパレートモード

RLN21nmLiDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN21nmLiST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

13.11.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR4 レジスタに格納され、RLN21nmLiDBR5 レジスタ～RLN21nmLiDBR8 レジスタには何も格納されません。また、RLN21nmLiCBBR レジスタには受信したチェックサムデータが格納されます。

図 13.10 に LIN 受信処理とバッファを示します。

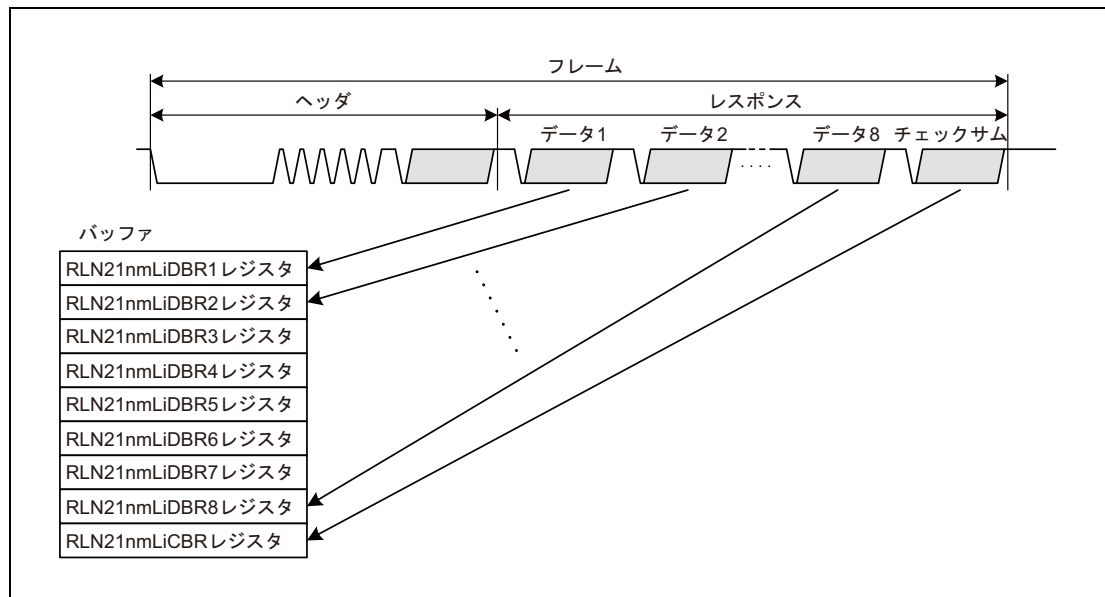


図 13.10 LIN 受信処理とバッファ

(1) データ 1 受信

1 バイト目のデータ受信が完了すると、RLN21nmLiST レジスタの DIRC フラグが“1” (データ 1 受信完了) になります。

13.12 ウェイクアップ送信／受信

ウェイクアップの送受信はLIN ウェイクアップモードで使用できます。

13.12.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、RLN21nmLiDFC レジスタの RFT ビットを“1”（送信）、RLN21nmLiTRC レジスタの FTS ビットを“1”（ヘッダ送信／ウェイクアップ送受信開始）にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウレベル幅は RLN21nmLiWUP レジスタの WUTL[3:0] ビットで設定します。ただし、RLN21nGLWBR レジスタの LWBR0 ビットが“1”（LIN2.x 使用時）の場合は、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック (f_{LIN}) が fa でのロウ幅になります。 fa 選択時のボーレートを 19200 bps に、RLN21nmLiWUP レジスタの WUTL[3:0] ビットを“0100_B”（5Tbits）に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260 μ s のロウ幅を出力することができます。

エラーなくウェイクアップのロウレベルが出力された場合、RLN21nmLiST レジスタの FTC フラグが“1”（フレームまたはウェイクアップ送信完了）になり、RLN21nmLiIE レジスタの FTCIE ビットが“1”（フレーム／ウェイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

エラーを検出した場合は、ウェイクアップ送信を中断し検出したエラーに対するエラーフラグ（RLN21nmLiEST レジスタの PBER フラグまたは BER フラグ）を“1”（フィジカルバスエラー検出／ビットエラー検出）にします。

図 13.11 にウェイクアップ送信タイミングを示します。



図 13.11 ウェイクアップ送信タイミング

13.12.2 ウェイクアップ受信動作

ウェイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN2nRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号のロウレベル幅を fLIN の 2.5Tbit 以上で計測することができます。LIN Specification Package Revision 1.3 使用時は、RLN21nGLWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.0、2.1 使用時は“1”に設定してください。LWBR0 ビットを“1”にすると RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) が fa になります (LCKS ビットは変化しません)。fa 選択時のボーレートを 19200bps に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130us 以上の入力信号ロウレベル幅を検出することができます。

この機能を使用する場合、LIN ウェイクアップモードにて、RLN21nmLiDFC レジスタの RFT ビットを“0” (受信)、RLN21nmLiTRC レジスタの FTS ビットを“1” (ヘッダ送信/ウェイクアップ送受信開始) にしてください。

計測するロウレベル幅に達すると RLN21nmLiST レジスタの FRC フラグが“1” (フレームまたはウェイクアップ受信完了) になり、RLN21nmLiIE レジスタの FRCIE ビットが“1” (フレーム/ウェイクアップ受信完了割り込み許可) の場合、割り込み要求が発生します。

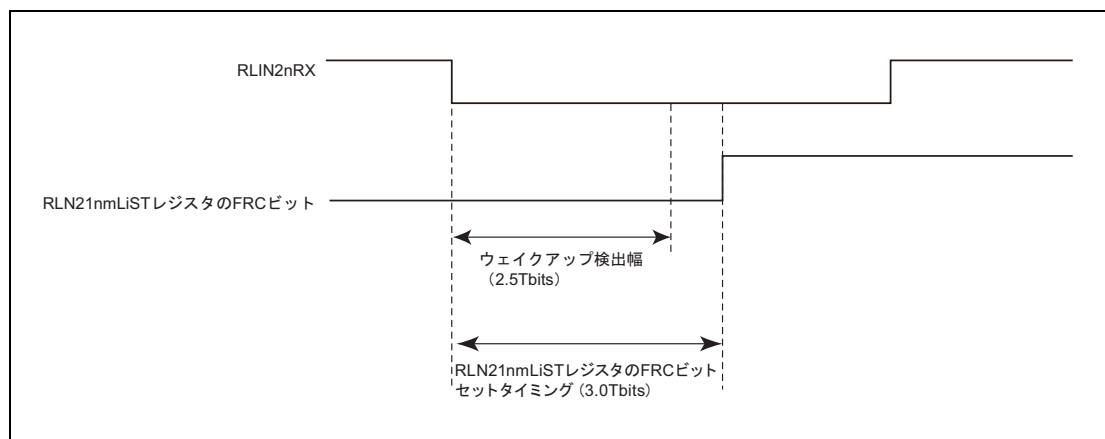


図 13.12 入力信号ロウレベルカウント機能

13.12.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN モジュールではウェイクアップ信号の衝突は検知しません。

13.13 ステータス

LIN マスタインタフェースは7種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスは割り込み要求を発生することができます。

表 13.35 にステータスの種類を示します。

表 13.35 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN21nmLiCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN マスタインタフェースが LIN リセットモード解除になったとき	RLN21nmLiCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN マスタインタフェースが LIN リセットモードになったとき	すべてのモード	RLN21nmLiMST レジスタの OMM0 ビット	—
動作モード	RLN21nmLiCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN マスタインタフェースが LIN 動作モードになったとき	RLN21nmLiCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN マスタインタフェースが LIN ウェイクアップモードになったとき	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN21nmLiMST レジスタの OMM1 ビット	—
フレーム/ウェイクアップ送信完了	フレーム（ヘッダ送信+レスポンス送信）、またはウェイクアップ信号を正常に送信完了したとき	<ul style="list-style-type: none"> • 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN21nmLiST レジスタの FTC フラグ	○
フレーム/ウェイクアップ受信完了	フレーム（ヘッダ送信+レスポンス受信）、またはウェイクアップ信号を正常に受信完了したとき	<ul style="list-style-type: none"> • 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN21nmLiST レジスタの FRC フラグ	○
エラー検出	RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが“1”（エラー検出）になったとき	<ul style="list-style-type: none"> • 次の通信開始時 • ソフトウェアによるクリア注1 • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN21nmLiST レジスタの ERR フラグ	○
データ 1 受信完了	RLN21nmLiDFC レジスタの RFT ビットが“0”（受信）で、レスポンスフィールドの最初の1バイトを受信完了したとき注2	<ul style="list-style-type: none"> • 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN21nmLiST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	<ul style="list-style-type: none"> • 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN21nmLiST レジスタの HTRC フラグ	—

注 1. LIN 動作モード内で RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書くことにより、RLN21nmLiST レジスタの ERR フラグは“0”になります。

注 2. RLN21nmLiDFC レジスタの RFDL[3:0] ビットが“0000_b”（0 バイト+チェックサム）のときは検出されません。

13.14 エラーステータス

13.14.1 エラーステータスの種類

LIN マスタインタフェースでは LIN マスタモードで 5 種類のエラーステータスを検出します。これらのエラーの状態は RLN21nmLiEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 13.36 にエラーステータスの種類を示します。

表 13.36 エラーステータスの種類

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき ^{注1}	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN21nmLiEST レジスタの BER フラグ
フィジカルバスエラー	<ul style="list-style-type: none"> ブ레이크送信時に LIN バスがハイレベルを検出した場合 ブ레이크デリミタ送信時に LIN バスがロウレベルを検出した場合 ウェイクアップ送信時に LIN バスがハイレベルを検出した場合 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN21nmLiEST レジスタの PBER フラグ
フレームタイムアウトエラー	フレームの送受信がある一定の時間内に終了しなかったとき ^{注2}	LIN 動作モード	中断	○	RLN21nmLiEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN21nmLiEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN21nmLiEST レジスタの CSER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. タイムアウト時間は、レスポンスフィールドデータ長 (RLN21nmLiDFC レジスタの RFDL[3:0] ビット)、およびチェックサム選択 (RLN21nmLiDFC レジスタの CSM ビット) に依存し、下記の式により計算できます。

クラシック選択時 (RLN21nmLiDFC レジスタの CSM ビットが“0”の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN21nmLiDFC レジスタの CSM ビットが“1”の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.0、2.1 の TFRAME_MAX を超える時間となります。

エラーステータスのクリア条件は、次の通信開始時、ソフトウェアによるクリア、LIN リセットモード移行時です。

13.14.2 エラー検出の対象時間領域

図 13.13 にエラーを検出するために LIN マスタインタフェースが監視する時間領域を示します。

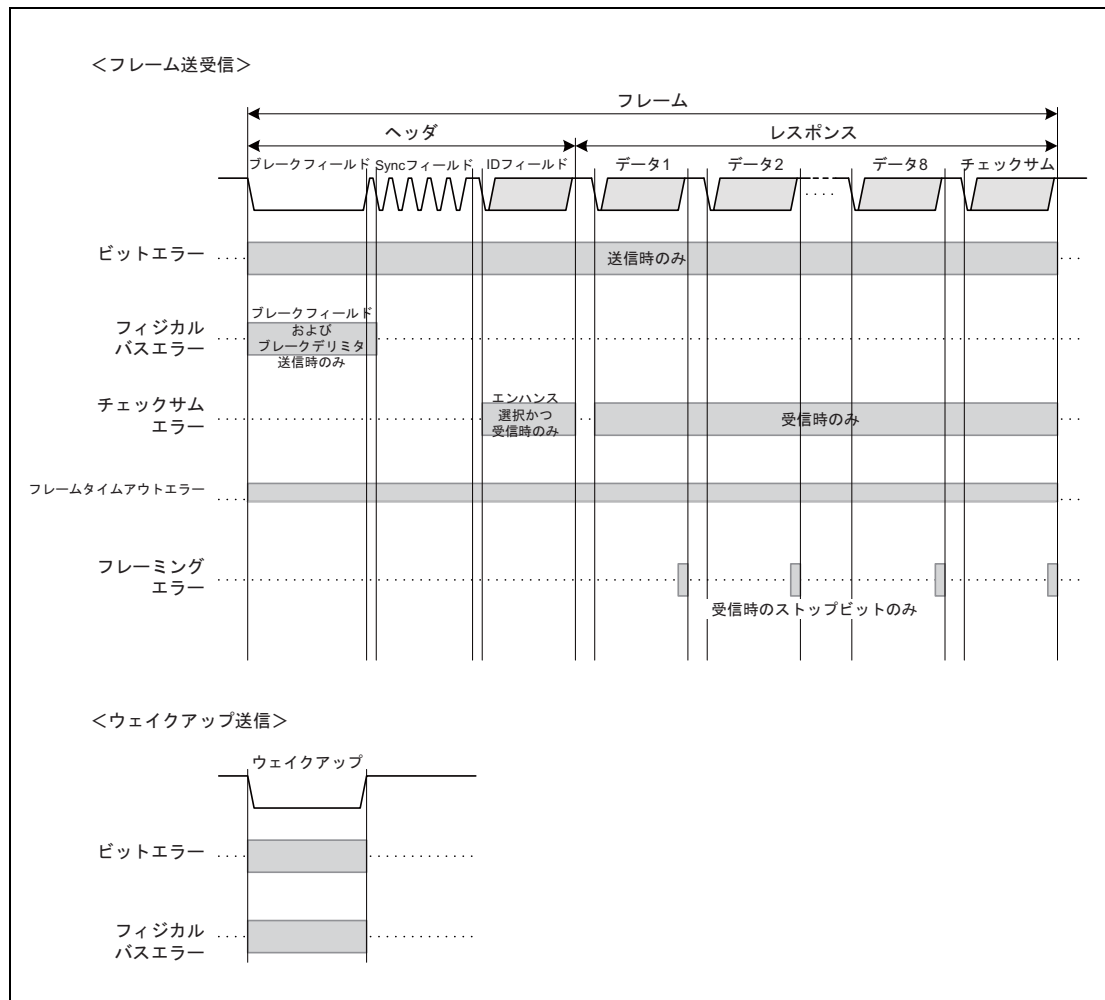


図 13.13 エラー検出の対象時間領域

13.15 LIN セルフテストモード

LIN マスタインタフェースは、LIN セルフテストモードを持ちます。一度 LIN マスタインタフェースが LIN セルフテストモードになると、RLIN2nTX と RLIN2nRX は外部端子から切断され、LIN マスタインタフェース内部で RLIN2nTX と RLIN2nRX が接続されます。よって、RLIN2nTX から送信するフレームは RLIN2nRX にループバックします。

セルフテストは、以下の2種類行うことができます。

- LIN セルフテストモード (送信) : ヘッダ送信およびレスポンス送信
- LIN セルフテストモード (受信) : ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定にかかわらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定にかかわらず、LIN 通信クロック源/16[bps] で動作します。

また、LIN セルフモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード

これらの機能は使用しないでください。

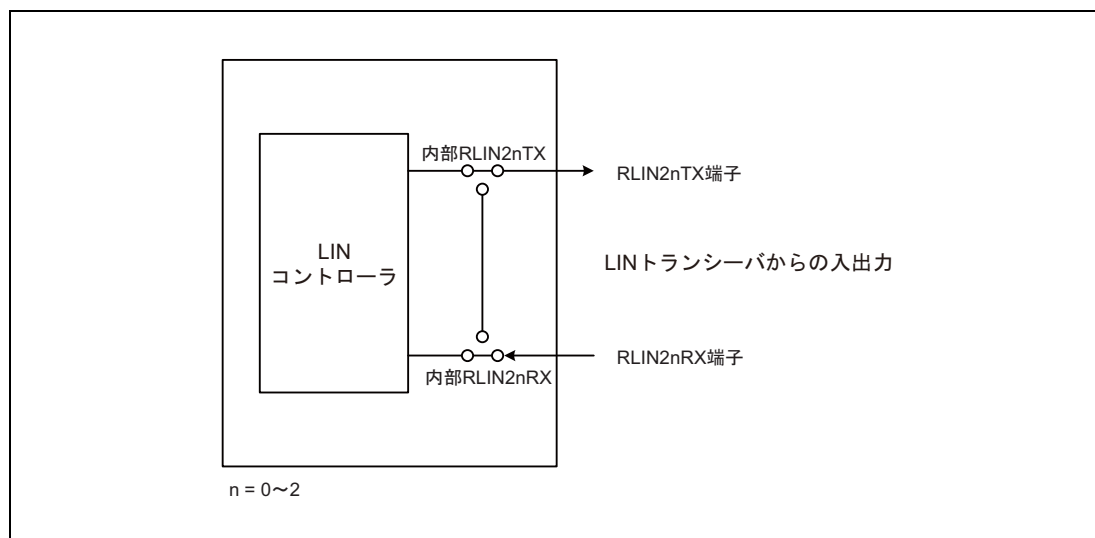


図 13.14 LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード 接続

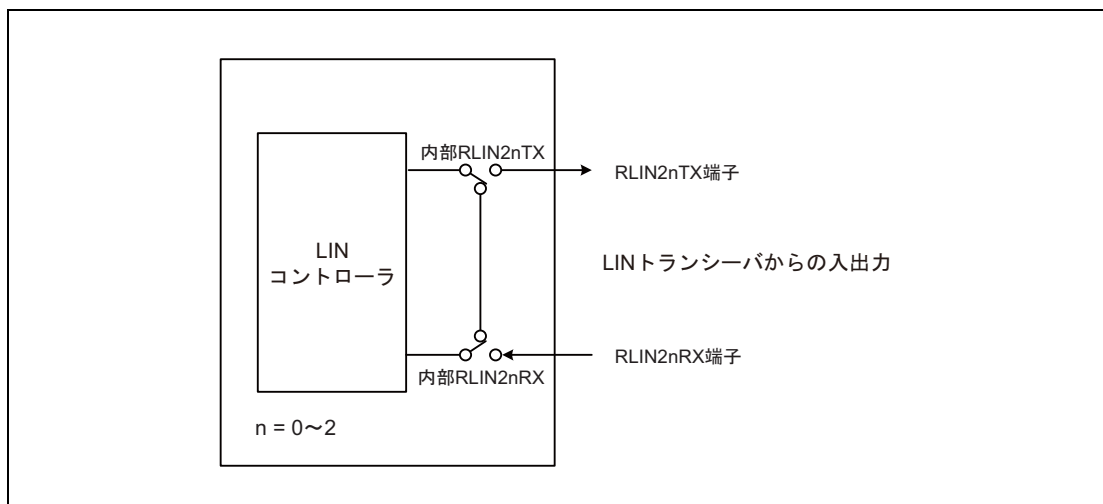


図 13.15 LIN セルフテストモード接続

13.15.1 LIN セルフテストモードへの移行

RLN21nGLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。

RLN21nGLSTC レジスタが“01_H”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次のとおり LIN セルフテスト制御レジスタに3回連続書き込みを行う必要があります。

- ユニット内の全チャネルを LIN リセットモードへ移行
RLN21nmLiCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にする。
RLN21nmLiMST レジスタの OMM0 ビットを読み出し、“0” (LIN リセットモード) であることを確認する
- 1回目書き込み：RLN21nGLSTC レジスタ = “1010 0111_B” (A7_H)
- 2回目書き込み：RLN21nGLSTC レジスタ = “0101 1000_B” (58_H)
- 3回目書き込み：RLN21nGLSTC レジスタ = “0000 0001_B” (01_H)
- LIN セルフテストモードへの移行を確認する
RLN21nGLSTC レジスタを読み出し、“01_H” (LIN セルフテストモード) であることを確認する。

1回目のキー (A7_H) を誤って2回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度1回目の書き込みから実施してください。また、LIN セルフテストモードへの移行 (RLN21nmLiSTC レジスタへの3回連続書き込み) 中に同一ユニット内のほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

13.15.2 LIN セルフテストモードにおける送信

送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
 RLN21nGLBRP0 レジスタ = xxxx xxxx_B ^{注1}
 RLN21nGLBRP1 レジスタ = xxxx xxxx_B ^{注1}
 RLN21nmLiMD レジスタ = 0000 xx00_B ^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する
 RLN21nmLiIE レジスタ = 0000 0xxx_B ^{注2}
 RLN21nmLiEDE レジスタ = 0000 xxxx_B
- ブレークフィールド、スペース関連レジスタを設定する
 RLN21nmLiBFC レジスタ = 00xx xxxx_B
 RLN21nmLiSC レジスタ = 00xx 0xxx_B
- LIN リセットモード解除
 RLN21nmLiCUC レジスタの OM1、OM0 ビットに “1_B” を書き込み、RLN21nmLiMST
 レジスタの OMM1、OMM0 ビットが “1_B” になることを確認する
- 送信フレーム関連レジスタを設定する
 RLN21nmLiDFC レジスタ = 00x1 xxxx_B
 RLN21nmLiIDB レジスタ = xxxx xxxx_B
 RLN21nmLiDBR1 ~ RLN21nmLiDBR8 レジスタ = xxxx xxxx_B
- ヘッダ送信→レスポンス送信開始
 RLN21nmLiTRC レジスタの FTS ビットを “1” (フレーム送信/ウェイクアップ送受信
 開始) にする
 LIN セルフテストモード (送信) が実行され、割り込み発生、ステータス、エラー
 ステータス更新も合わせて実行される。チェックサムは LIN マスタインタフェースが自
 動演算する
 LIN セルフテストモード (送信) 実行中に中断したい場合は、RLN21nmLiCUC レジ
 スタの OM0 ビットに “0” (LIN リセットモード) を書き込み、LIN リセットモードへ移行
 する
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN21nmLiIDB レジ
 スタ、RLN21nmLiDBRb レジスタ、RLN21nmLiCBR レジスタに格納され (送信した値と
 ループバックした値を比較するため、反転値として格納されます。)、RLN21nmLiTRC
 レジスタの FTS ビットがクリアされる
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、
 RLN21nmLiTRC レジスタの FTS ビットがクリアされる

備 考

x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
 RLN21nGLBRP0 レジスタ、RLN21nGLBRP1 レジスタ、RLN21nmLiMD レジスタの LCKS
 ビット
 そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。

13.15.3 LIN セルフテストモードにおける受信

受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
 RLN21nGLBRP0 レジスタ = xxxx xxxx_B ^{注1}
 RLN21nGLBRP1 レジスタ = xxxx xxxx_B ^{注1}
 RLN21nmLiMD レジスタ = 0000 xx00_B ^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する
 RLN21nmLiIE レジスタ = 0000 0xxx_B ^{注2}
 RLN21nmLiEDE レジスタ = 0000 xxxx_B
- ブレークフィールド、スペース関連レジスタを設定する
 RLN21nmLiBFC レジスタ = 00xx xxxx_B
 RLN21nmLiSC レジスタ = 00xx 0xxx_B ^{注1}
- LIN リセットモード解除
 RLN21nmLiCUC レジスタの OM1、OM0 ビットに “1_B” を書き込み、RLN21nmLiMST
 レジスタの OMM1、OMM0 ビットが “1_B” になることを確認する
- 受信フレーム関連レジスタを設定する
 RLN21nmLiDFC レジスタ = 00x0 xxxx_B
 RLN21nmLiIDB レジスタ = xxxx xxxx_B
 RLN21nmLiDBR1 ~ RLN21nmLiDBR8 レジスタ = xxxx xxxx_B
 RLN21nmLiCBR レジスタ = xxxx xxxx_B
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN21nmLiCBR
 レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、
 チェックサムエラーをテストすることが可能です
- ヘッダ送信→レスポンス受信開始
 RLN21nmLiTRC レジスタの FTS ビットを “1” (フレーム送信/ウェイクアップ送受信
 開始) にする
 LIN セルフテストモード (受信) が実行され、割り込み発生、ステータス、エラー
 ステータス更新も合わせて実行される
 LIN セルフテストモード (受信) 実行中に中断したい場合は、RLN21nmLiCUC レジ
 スタの OM0 ビットに “0” (LIN リセットモード) を書き込み、LIN リセットモードへ移行
 する
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN21nmLiIDB レジ
 スタ、RLN21nmLiDBRb レジスタ、RLN21nmLiCBR レジスタに格納され (設定した値と
 ループバックした値を比較するため、反転値として格納されます。)、RLN21nmLiTRC
 レジスタの FTS ビットがクリアされる
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、
 RLN21nmLiTRC レジスタの FTS ビットがクリアされる

備 考

x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。

RLN21nGLBRP0 レジスタ、RLN21nGLBRP1 レジスタ、RLN21nmLiMD レジスタの LCKS
 ビット、RLN21nmLiSC レジスタの IBS ビット、IBHS ビット (レスポンススペースのみ)
 そのため、設定は必須ではありません。

注2. 必要に応じて、「第6章 割り込み」の関連レジスタを設定してください。

13.15.4 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- ユニット内の全チャンネルを LIN リセットモードへ移行。
RLN21nmLiCUC レジスタの OM0 ビットに“0”を書き込み、LIN リセットモードに移行します。ただし、LIN セルフテストモード移行後、ユニット内で1チャンネルも RLN21nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”でない場合は、任意の1チャンネルに対して RLN21nmLiCUC レジスタの OM1、OM0 ビットに“11_B”を書き、RLN21nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認したあとに、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
RLN21nGLSTC レジスタを読み、“00_H” (LIN セルフテストモードではない) を確認。
- LIN リセットモードへの移行を確認する。
RLN21nmLiMST レジスタの OMM0 ビットを読み、“0” (LIN リセットモード) を確認。

13.16 ボーレートジェネレータ

LIN 通信クロック源をボーレートジェネレータで分周したクロックが LIN システムクロック (fLIN) となり、これを 16 分周したクロックがボーレートになります。このボーレートの逆数をビットタイム (Tbit) といいます。

図 13.16 にボーレート生成ブロック図を示します。

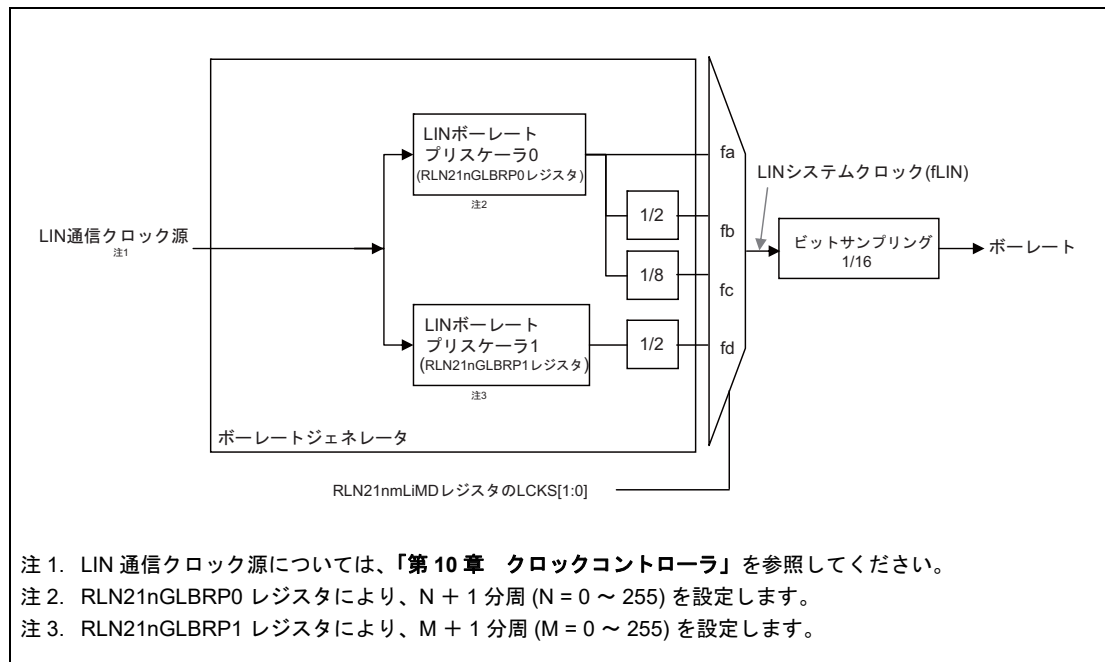


図 13.16 ボーレート生成ブロック図

LIN 通信クロック源は、4MHz ~ 40MHz に設定してください。

fa が 307200Hz (= 19200 × 16) となるように RLN21nGLBRP0 レジスタを設定すれば、fa = 19200 × 16、fb = 9600 × 16、fc = 2400 × 16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz (= 10417 × 16) となるように RLN21nGLBRP1 レジスタを設定すれば、fd = 10417 × 16 となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

表 13.37 に周辺機能クロック周波数ごとのボーレート (19200、9600、2400、10417bps) 生成例とその誤差を示します。

表 13.37 ポーレート生成例 (19200bps、10417bps、9600bps、2400bps)

LIN 通信 クロック源	ポーレートジェ ネレータ 0 (N + 1) 分周	ポーレートジェ ネレータ 1 (M + 1) 分周	システム クロック	ポーレート	誤差
40MHz	130	—	fa	19230.77	+0.16%
	—	120	fd	10416.67	-0.003%
	130	—	fb	9615.38	+0.16%
	130	—	fc	2403.85	+0.16%

第14章 CANインタフェース (RS-CAN)

14.1 RH850/C1x RS-CAN の特長

14.1.1 ユニット数

本製品は、以下のユニット数のCANインタフェース (RS-CAN) を搭載しています。

表 14.1 ユニット数

製品	RH850/C1x
ユニット数	1
名称	RS-CANn (n = 0)

表 14.2 添字

添字	意味
n	本章では、RS-CAN のユニットを「n」(n = 0) で識別します。たとえば、RS-CAN0 のグローバル制御レジスタは RSCANnGCFG と記述します。
m	本章では、RS-CAN のチャンネル数を「m」(m = 0 ~ 3) で識別します。たとえば、チャンネル m ステータスレジスタは RSCAN0CmSTS (m = 0 ~ 3) と記述します。
j	受信ルールテーブルに関するレジスタを「j」(j = 0 ~ 15) で識別します。たとえば、受信ルール ID レジスタは RSCAN0GAFLIDj (j = 0 ~ 15) と記述します。
k	送受信 FIFO バッファ番号を「k」(k = 0 ~ 11) で識別します。たとえば、送受信 FIFO バッファコンフィグレーション/制御レジスタは RSCAN0CFCK (k = 0 ~ 11) と記述します。
x	受信 FIFO の番号を「x」(x = 0 ~ 7) で識別します。たとえば、受信 FIFO バッファステータスレジスタは RSCAN0RFSTSx (x = 0 ~ 7) と記述します。
q	受信バッファの番号を「q」(q = 0 ~ 63) で識別します。たとえば、受信バッファ ID レジスタは RSCAN0RMIDq (q = 0 ~ 63) と記述します。
p	送信バッファの番号を「p」(p = 0 ~ 63) で識別します。たとえば、送信バッファ制御レジスタは RSCAN0TMCp (p = 0 ~ 63) と記述します。
r	CAN 用 RAM テスト番号を「r」(r = 0 ~ 63) で識別します。たとえば、RAM テストページアクセスレジスタは RSCAN0RPGACCr (r = 0 ~ 63) と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」で識別します。たとえば、受信バッファ新データレジスタは RSCAN0RMNDy (y = 0, 1) と記述します。

RS-CAN には、4 本のチャンネルがあります。

表 14.3 RS-CAN のチャンネル数

ユニット名	チャンネル数	チャンネル名称
RS-CAN0	4	CANm (m = 0 ~ 3)

14.1.2 レジスタベースアドレス

RS-CAN のベースアドレスを以下の表に示します。

RS-CAN のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 14.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCAN0_base>	FFD0 0000 _H

14.1.3 クロック供給

RS-CAN のクロック供給を以下の表に示します。

表 14.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RS-CAN0	pclk	CLK_HSB (高速周辺クロック)
	clkc	CLKC_LSB (非変調低速周辺クロック)
	clk_xincan	メイン OSC

14.1.4 割り込み

RS-CAN の割り込み要求を以下の表に示します。

表 14.6 割り込み要求

名称	機能	割り込み番号
グローバル割り込み	受信 FIFOm 割り込み	186
	グローバルエラー割り込み	187
チャンネル CAN0 割り込み	CAN0 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)	188
	CAN0 エラー割り込み	189
	CAN0 送信割り込み	190
チャンネル CAN1 割り込み	CAN1 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)	191
	CAN1 エラー割り込み	192
	CAN1 送信割り込み	193
チャンネル CAN2 割り込み	CAN2 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)	194
	CAN2 エラー割り込み	195
	CAN2 送信割り込み	196
チャンネル CAN3 割り込み	CAN3 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)	197
	CAN3 エラー割り込み	198
	CAN3 送信割り込み	199

14.1.5 リセット要因

RS-CAN のリセット要因を以下に示します。RS-CAN は以下のリセット要因で初期化されます。

表 14.7 リセット要因

ユニット名	リセット要因
RS-CAN0	すべてのリセット要因でリセット

14.1.6 外部入出力信号

RS-CAN の外部入出力信号を以下の表に示します。

表 14.8 外部入出力信号

端子名	概要	ポート端子兼用信号名
Rxm (m = 0 ~ 3)	CAN 通信機能の受信データ入力端子	CAN0RX, CAN1RX, CAN2RX, CAN3RX
Txm (m = 0 ~ 3)	CAN 通信機能の送信データ出力端子	CAN0TX, CAN1TX, CAN2TX, CAN3TX

14.2 概要

14.2.1 機能概要

RH850/C1x は、ISO11898-1 仕様に準拠した CAN コントローラを 4 チャンネル (CAN0 ~ CAN3) 搭載した CAN インタフェース (RS-CAN) を 1 ユニット内蔵しています。表 14.9 に RS-CAN モジュールの仕様、図 14.1 に RS-CAN モジュールブロック図を示します。

表 14.9 RS-CAN モジュールの仕様 (1/2)

項目	仕様
チャンネル数	4
プロトコル	ISO11898-1 仕様準拠
通信速度	<ul style="list-style-type: none"> 最大 1Mbps $\text{通信速度 (CANm ビットタイムクロック)} = \frac{1}{\text{CANm ビットタイム}}$ $\text{CANm ビットタイム} = \text{CANmTq} \times 1 \text{ ビット分の Tq 数}$ $\text{CANmTq} = \frac{(\text{RSCAN0CmCFG レジスタの BRP}[9:0] \text{ ビット} + 1)}{\text{fCAN}}$ <p>m = 0 ~ 3 Tq : Time quantum fCAN : CAN クロック (RSCAN0GCFG レジスタの DCS ビットで選択したクロック) の周波数</p>
バッファ	合計 320 バッファ <ul style="list-style-type: none"> 各チャンネル専用 : 64 バッファ (16 バッファ × 4 チャンネル) 送信バッファ : 16 バッファ / 1 チャンネル 送信キュー : 1 本 / 1 チャンネル (送信バッファと共用、最大 16 バッファ割り当て可能) チャンネル間共用 : 256 バッファ 受信バッファ : 0 ~ 64 バッファ 受信 FIFO バッファ : 8 本 (1 本あたり最大 128 バッファ割り当て可能) 送受信 FIFO バッファ : 3 本 / 1 チャンネル (1 本あたり最大 128 バッファ割り当て可能)
受信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 FIFO ごとの割り込み許可 / 禁止設定可能 ミラー機能 (自送信メッセージの受信機能) タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイマ値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> 合計 256 個の受信ルールで受信メッセージを選別可能 チャンネルごとに 0 ~ 128 個の範囲で受信ルール数を設定可能 アクセプタンスフィルタ処理 : 各受信ルールごとに ID、マスク設定可能 DLC フィルタ処理 : 各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	<ul style="list-style-type: none"> ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 8) 転送先 : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 送信バッファ、送受信 FIFO バッファごとに割り込み許可 / 禁止設定可能 ID 優先送信または送信バッファ番号優先送信を選択可能 送信アポート機能 (フラグでアポート完了を確認可能) ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モードまたはゲートウェイモード)
送信キュー機能	格納された全メッセージが ID 優先で送信される機能

表 14.9 RS-CAN モジュールの仕様 (2/2)

項目	仕様
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	<p>バスオフ状態からの復帰方法を選択可能</p> <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始でチャネル待機モードへ自動遷移 バスオフ終了でチャネル待機モードへ自動遷移 プログラムによる要求によってチャネル待機モードへ遷移 プログラムによる要求によってエラーアクティブ状態へ遷移 (バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CAN プロトコルエラー (スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック) を監視 エラー状態の遷移を検出 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLC エラーを監視
割り込み要因	<p>14 本</p> <ul style="list-style-type: none"> グローバル割り込み (2 本) <ul style="list-style-type: none"> 受信 FIFO 割り込み グローバルエラー割り込み チャネル割り込み (各チャネルごとに 3 本ずつ) <ul style="list-style-type: none"> CANm 送信割り込み (m = 0 ~ 3) <ul style="list-style-type: none"> CANm 送信完了割り込み CANm 送信アボート割り込み CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時) CANm 送信履歴割り込み CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) CANm エラー割り込み <p>外部割り込み要求を使用して、CANm ウェイクアップを発生</p>
CAN ストップモード	RS-CAN モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clk か clk_xincan を選択可能
テスト機能	<p>ユーザ評価用テスト機能</p> <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード 0 (外部ループバック) セルフテストモード 1 (内部ループバック) RAM テスト (読み書きテスト) チャネル間通信テスト

14.2.2 ブロック図

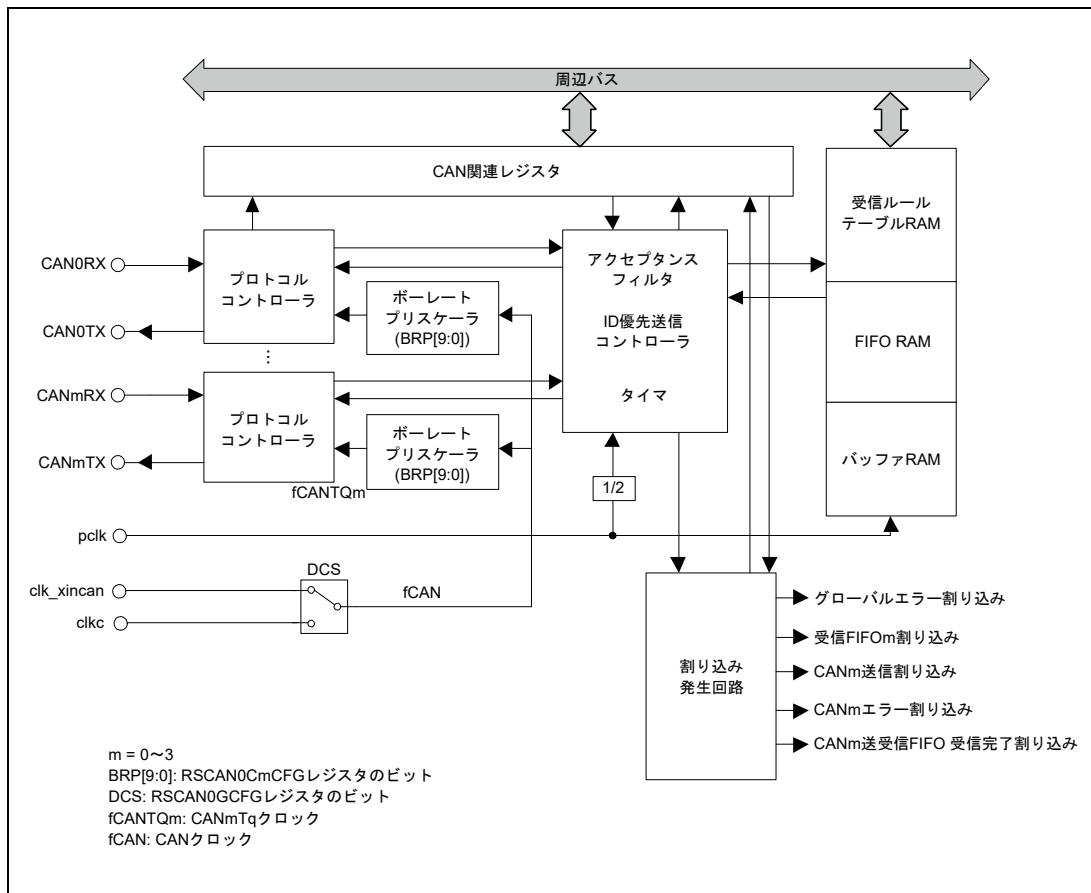


図 14.1 RS-CAN モジュールのブロック図

14.3 レジスタ

14.3.1 レジスタ一覧

RS-CAN のレジスタ一覧を以下の表に示します。

<RSCAN0_base> は「14.1.2 レジスタベースアドレス」を参照してください。

表 14.10 レジスタ一覧 (1/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	チャンネル0 コンフィグレーションレジスタ	RSCAN0C0CFG	<RSCAN0_base> + 0000 _H
RS-CAN0	チャンネル0 制御レジスタ	RSCAN0C0CTR	<RSCAN0_base> + 0004 _H
RS-CAN0	チャンネル0 ステータスレジスタ	RSCAN0C0STS	<RSCAN0_base> + 0008 _H
RS-CAN0	チャンネル0 エラーフラグレジスタ	RSCAN0C0ERFL	<RSCAN0_base> + 000C _H
RS-CAN0	チャンネル1 コンフィグレーションレジスタ	RSCAN0C1CFG	<RSCAN0_base> + 0010 _H
RS-CAN0	チャンネル1 制御レジスタ	RSCAN0C1CTR	<RSCAN0_base> + 0014 _H
RS-CAN0	チャンネル1 ステータスレジスタ	RSCAN0C1STS	<RSCAN0_base> + 0018 _H
RS-CAN0	チャンネル1 エラーフラグレジスタ	RSCAN0C1ERFL	<RSCAN0_base> + 001C _H
RS-CAN0	チャンネル2 コンフィグレーションレジスタ	RSCAN0C2CFG	<RSCAN0_base> + 0020 _H
RS-CAN0	チャンネル2 制御レジスタ	RSCAN0C2CTR	<RSCAN0_base> + 0024 _H
RS-CAN0	チャンネル2 ステータスレジスタ	RSCAN0C2STS	<RSCAN0_base> + 0028 _H
RS-CAN0	チャンネル2 エラーフラグレジスタ	RSCAN0C2ERFL	<RSCAN0_base> + 002C _H
RS-CAN0	チャンネル3 コンフィグレーションレジスタ	RSCAN0C3CFG	<RSCAN0_base> + 0030 _H
RS-CAN0	チャンネル3 制御レジスタ	RSCAN0C3CTR	<RSCAN0_base> + 0034 _H
RS-CAN0	チャンネル3 ステータスレジスタ	RSCAN0C3STS	<RSCAN0_base> + 0038 _H
RS-CAN0	チャンネル3 エラーフラグレジスタ	RSCAN0C3ERFL	<RSCAN0_base> + 003C _H
RS-CAN0	グローバルコンフィグレーションレジスタ	RSCAN0GCFG	<RSCAN0_base> + 0084 _H
RS-CAN0	グローバル制御レジスタ	RSCAN0GCTR	<RSCAN0_base> + 0088 _H
RS-CAN0	グローバルステータスレジスタ	RSCAN0GSTS	<RSCAN0_base> + 008C _H
RS-CAN0	グローバルエラーフラグレジスタ	RSCAN0GERFL	<RSCAN0_base> + 0090 _H
RS-CAN0	グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	<RSCAN0_base> + 0094 _H
RS-CAN0	受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	<RSCAN0_base> + 0098 _H
RS-CAN0	受信ルールコンフィグレーションレジスタ 0	RSCAN0GAFLCFG0	<RSCAN0_base> + 009C _H
RS-CAN0	受信バッファナンバレジスタ	RSCAN0RMNB	<RSCAN0_base> + 00A4 _H
RS-CAN0	受信バッファ新データレジスタ 0	RSCAN0RMND0	<RSCAN0_base> + 00A8 _H
RS-CAN0	受信バッファ新データレジスタ 1	RSCAN0RMND1	<RSCAN0_base> + 00AC _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 0	RSCAN0RFCC0	<RSCAN0_base> + 00B8 _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 1	RSCAN0RFCC1	<RSCAN0_base> + 00BC _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 2	RSCAN0RFCC2	<RSCAN0_base> + 00C0 _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 3	RSCAN0RFCC3	<RSCAN0_base> + 00C4 _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 4	RSCAN0RFCC4	<RSCAN0_base> + 00C8 _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 5	RSCAN0RFCC5	<RSCAN0_base> + 00CC _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 6	RSCAN0RFCC6	<RSCAN0_base> + 00D0 _H
RS-CAN0	受信 FIFO バッファコンフィグレーション/制御レジスタ 7	RSCAN0RFCC7	<RSCAN0_base> + 00D4 _H
RS-CAN0	受信 FIFO バッファステータスレジスタ 0	RSCAN0RFSTS0	<RSCAN0_base> + 00D8 _H
RS-CAN0	受信 FIFO バッファステータスレジスタ 1	RSCAN0RFSTS1	<RSCAN0_base> + 00DC _H
RS-CAN0	受信 FIFO バッファステータスレジスタ 2	RSCAN0RFSTS2	<RSCAN0_base> + 00E0 _H
RS-CAN0	受信 FIFO バッファステータスレジスタ 3	RSCAN0RFSTS3	<RSCAN0_base> + 00E4 _H
RS-CAN0	受信 FIFO バッファステータスレジスタ 4	RSCAN0RFSTS4	<RSCAN0_base> + 00E8 _H
RS-CAN0	受信 FIFO バッファステータスレジスタ 5	RSCAN0RFSTS5	<RSCAN0_base> + 00EC _H

表 14.10 レジスタ一覧 (2/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信 FIFO バッファステータスレジスタ 6	RSCAN0RFSTS6	<RSCAN0_base> + 00F0 _H
RS-CAN0	受信 FIFO バッファステータスレジスタ 7	RSCAN0RFSTS7	<RSCAN0_base> + 00F4 _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0RFPCTR0	<RSCAN0_base> + 00F8 _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0RFPCTR1	<RSCAN0_base> + 00FC _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0RFPCTR2	<RSCAN0_base> + 0100 _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0RFPCTR3	<RSCAN0_base> + 0104 _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0RFPCTR4	<RSCAN0_base> + 0108 _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0RFPCTR5	<RSCAN0_base> + 010C _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0RFPCTR6	<RSCAN0_base> + 0110 _H
RS-CAN0	受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0RFPCTR7	<RSCAN0_base> + 0114 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 0	RSCAN0CFCC0	<RSCAN0_base> + 0118 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 1	RSCAN0CFCC1	<RSCAN0_base> + 011C _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 2	RSCAN0CFCC2	<RSCAN0_base> + 0120 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 3	RSCAN0CFCC3	<RSCAN0_base> + 0124 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 4	RSCAN0CFCC4	<RSCAN0_base> + 0128 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 5	RSCAN0CFCC5	<RSCAN0_base> + 012C _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 6	RSCAN0CFCC6	<RSCAN0_base> + 0130 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 7	RSCAN0CFCC7	<RSCAN0_base> + 0134 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 8	RSCAN0CFCC8	<RSCAN0_base> + 0138 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 9	RSCAN0CFCC9	<RSCAN0_base> + 013C _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 10	RSCAN0CFCC10	<RSCAN0_base> + 0140 _H
RS-CAN0	送受信 FIFO バッファコンフィグレーション/制御レジスタ 11	RSCAN0CFCC11	<RSCAN0_base> + 0144 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 0	RSCAN0CFSTS0	<RSCAN0_base> + 0178 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 1	RSCAN0CFSTS1	<RSCAN0_base> + 017C _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 2	RSCAN0CFSTS2	<RSCAN0_base> + 0180 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 3	RSCAN0CFSTS3	<RSCAN0_base> + 0184 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 4	RSCAN0CFSTS4	<RSCAN0_base> + 0188 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 5	RSCAN0CFSTS5	<RSCAN0_base> + 018C _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 6	RSCAN0CFSTS6	<RSCAN0_base> + 0190 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 7	RSCAN0CFSTS7	<RSCAN0_base> + 0194 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 8	RSCAN0CFSTS8	<RSCAN0_base> + 0198 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 9	RSCAN0CFSTS9	<RSCAN0_base> + 019C _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 10	RSCAN0CFSTS10	<RSCAN0_base> + 01A0 _H
RS-CAN0	送受信 FIFO バッファステータスレジスタ 11	RSCAN0CFSTS11	<RSCAN0_base> + 01A4 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0CFPCTR0	<RSCAN0_base> + 01D8 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0CFPCTR1	<RSCAN0_base> + 01DC _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0CFPCTR2	<RSCAN0_base> + 01E0 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0CFPCTR3	<RSCAN0_base> + 01E4 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0CFPCTR4	<RSCAN0_base> + 01E8 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0CFPCTR5	<RSCAN0_base> + 01EC _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0CFPCTR6	<RSCAN0_base> + 01F0 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0CFPCTR7	<RSCAN0_base> + 01F4 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 8	RSCAN0CFPCTR8	<RSCAN0_base> + 01F8 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 9	RSCAN0CFPCTR9	<RSCAN0_base> + 01FC _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 10	RSCAN0CFPCTR10	<RSCAN0_base> + 0200 _H
RS-CAN0	送受信 FIFO バッファポインタ制御レジスタ 11	RSCAN0CFPCTR11	<RSCAN0_base> + 0204 _H
RS-CAN0	FIFO エンプティステータスレジスタ	RSCAN0FESTS	<RSCAN0_base> + 0238 _H

表 14.10 レジスタ一覧 (3/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	FIFO フルステータスレジスタ	RSCAN0FFSTS	<RSCAN0_base> + 023C _H
RS-CAN0	FIFO メッセージロスステータスレジスタ	RSCAN0FMSTS	<RSCAN0_base> + 0240 _H
RS-CAN0	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	<RSCAN0_base> + 0244 _H
RS-CAN0	送受信 FIFO バッファ RX 割り込みフラグステータスレジスタ	RSCAN0CFRISTS	<RSCAN0_base> + 0248 _H
RS-CAN0	送受信 FIFO バッファ TX 割り込みフラグステータスレジスタ	RSCAN0CFTISTS	<RSCAN0_base> + 024C _H
RS-CAN0	送信バッファ制御レジスタ 0	RSCAN0TMC0	<RSCAN0_base> + 0250 _H
RS-CAN0	送信バッファ制御レジスタ 1	RSCAN0TMC1	<RSCAN0_base> + 0251 _H
RS-CAN0	送信バッファ制御レジスタ 2	RSCAN0TMC2	<RSCAN0_base> + 0252 _H
RS-CAN0	送信バッファ制御レジスタ 3	RSCAN0TMC3	<RSCAN0_base> + 0253 _H
RS-CAN0	送信バッファ制御レジスタ 4	RSCAN0TMC4	<RSCAN0_base> + 0254 _H
RS-CAN0	送信バッファ制御レジスタ 5	RSCAN0TMC5	<RSCAN0_base> + 0255 _H
RS-CAN0	送信バッファ制御レジスタ 6	RSCAN0TMC6	<RSCAN0_base> + 0256 _H
RS-CAN0	送信バッファ制御レジスタ 7	RSCAN0TMC7	<RSCAN0_base> + 0257 _H
RS-CAN0	送信バッファ制御レジスタ 8	RSCAN0TMC8	<RSCAN0_base> + 0258 _H
RS-CAN0	送信バッファ制御レジスタ 9	RSCAN0TMC9	<RSCAN0_base> + 0259 _H
RS-CAN0	送信バッファ制御レジスタ 10	RSCAN0TMC10	<RSCAN0_base> + 025A _H
RS-CAN0	送信バッファ制御レジスタ 11	RSCAN0TMC11	<RSCAN0_base> + 025B _H
RS-CAN0	送信バッファ制御レジスタ 12	RSCAN0TMC12	<RSCAN0_base> + 025C _H
RS-CAN0	送信バッファ制御レジスタ 13	RSCAN0TMC13	<RSCAN0_base> + 025D _H
RS-CAN0	送信バッファ制御レジスタ 14	RSCAN0TMC14	<RSCAN0_base> + 025E _H
RS-CAN0	送信バッファ制御レジスタ 15	RSCAN0TMC15	<RSCAN0_base> + 025F _H
RS-CAN0	送信バッファ制御レジスタ 16	RSCAN0TMC16	<RSCAN0_base> + 0260 _H
RS-CAN0	送信バッファ制御レジスタ 17	RSCAN0TMC17	<RSCAN0_base> + 0261 _H
RS-CAN0	送信バッファ制御レジスタ 18	RSCAN0TMC18	<RSCAN0_base> + 0262 _H
RS-CAN0	送信バッファ制御レジスタ 19	RSCAN0TMC19	<RSCAN0_base> + 0263 _H
RS-CAN0	送信バッファ制御レジスタ 20	RSCAN0TMC20	<RSCAN0_base> + 0264 _H
RS-CAN0	送信バッファ制御レジスタ 21	RSCAN0TMC21	<RSCAN0_base> + 0265 _H
RS-CAN0	送信バッファ制御レジスタ 22	RSCAN0TMC22	<RSCAN0_base> + 0266 _H
RS-CAN0	送信バッファ制御レジスタ 23	RSCAN0TMC23	<RSCAN0_base> + 0267 _H
RS-CAN0	送信バッファ制御レジスタ 24	RSCAN0TMC24	<RSCAN0_base> + 0268 _H
RS-CAN0	送信バッファ制御レジスタ 25	RSCAN0TMC25	<RSCAN0_base> + 0269 _H
RS-CAN0	送信バッファ制御レジスタ 26	RSCAN0TMC26	<RSCAN0_base> + 026A _H
RS-CAN0	送信バッファ制御レジスタ 27	RSCAN0TMC27	<RSCAN0_base> + 026B _H
RS-CAN0	送信バッファ制御レジスタ 28	RSCAN0TMC28	<RSCAN0_base> + 026C _H
RS-CAN0	送信バッファ制御レジスタ 29	RSCAN0TMC29	<RSCAN0_base> + 026D _H
RS-CAN0	送信バッファ制御レジスタ 30	RSCAN0TMC30	<RSCAN0_base> + 026E _H
RS-CAN0	送信バッファ制御レジスタ 31	RSCAN0TMC31	<RSCAN0_base> + 026F _H
RS-CAN0	送信バッファ制御レジスタ 32	RSCAN0TMC32	<RSCAN0_base> + 0270 _H
RS-CAN0	送信バッファ制御レジスタ 33	RSCAN0TMC33	<RSCAN0_base> + 0271 _H
RS-CAN0	送信バッファ制御レジスタ 34	RSCAN0TMC34	<RSCAN0_base> + 0272 _H
RS-CAN0	送信バッファ制御レジスタ 35	RSCAN0TMC35	<RSCAN0_base> + 0273 _H
RS-CAN0	送信バッファ制御レジスタ 36	RSCAN0TMC36	<RSCAN0_base> + 0274 _H
RS-CAN0	送信バッファ制御レジスタ 37	RSCAN0TMC37	<RSCAN0_base> + 0275 _H
RS-CAN0	送信バッファ制御レジスタ 38	RSCAN0TMC38	<RSCAN0_base> + 0276 _H
RS-CAN0	送信バッファ制御レジスタ 39	RSCAN0TMC39	<RSCAN0_base> + 0277 _H
RS-CAN0	送信バッファ制御レジスタ 40	RSCAN0TMC40	<RSCAN0_base> + 0278 _H
RS-CAN0	送信バッファ制御レジスタ 41	RSCAN0TMC41	<RSCAN0_base> + 0279 _H

表 14.10 レジスタ一覧 (4/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファ制御レジスタ 42	RSCAN0TMC42	<RSCAN0_base> + 027A _H
RS-CAN0	送信バッファ制御レジスタ 43	RSCAN0TMC43	<RSCAN0_base> + 027B _H
RS-CAN0	送信バッファ制御レジスタ 44	RSCAN0TMC44	<RSCAN0_base> + 027C _H
RS-CAN0	送信バッファ制御レジスタ 45	RSCAN0TMC45	<RSCAN0_base> + 027D _H
RS-CAN0	送信バッファ制御レジスタ 46	RSCAN0TMC46	<RSCAN0_base> + 027E _H
RS-CAN0	送信バッファ制御レジスタ 47	RSCAN0TMC47	<RSCAN0_base> + 027F _H
RS-CAN0	送信バッファ制御レジスタ 48	RSCAN0TMC48	<RSCAN0_base> + 0280 _H
RS-CAN0	送信バッファ制御レジスタ 49	RSCAN0TMC49	<RSCAN0_base> + 0281 _H
RS-CAN0	送信バッファ制御レジスタ 50	RSCAN0TMC50	<RSCAN0_base> + 0282 _H
RS-CAN0	送信バッファ制御レジスタ 51	RSCAN0TMC51	<RSCAN0_base> + 0283 _H
RS-CAN0	送信バッファ制御レジスタ 52	RSCAN0TMC52	<RSCAN0_base> + 0284 _H
RS-CAN0	送信バッファ制御レジスタ 53	RSCAN0TMC53	<RSCAN0_base> + 0285 _H
RS-CAN0	送信バッファ制御レジスタ 54	RSCAN0TMC54	<RSCAN0_base> + 0286 _H
RS-CAN0	送信バッファ制御レジスタ 55	RSCAN0TMC55	<RSCAN0_base> + 0287 _H
RS-CAN0	送信バッファ制御レジスタ 56	RSCAN0TMC56	<RSCAN0_base> + 0288 _H
RS-CAN0	送信バッファ制御レジスタ 57	RSCAN0TMC57	<RSCAN0_base> + 0289 _H
RS-CAN0	送信バッファ制御レジスタ 58	RSCAN0TMC58	<RSCAN0_base> + 028A _H
RS-CAN0	送信バッファ制御レジスタ 59	RSCAN0TMC59	<RSCAN0_base> + 028B _H
RS-CAN0	送信バッファ制御レジスタ 60	RSCAN0TMC60	<RSCAN0_base> + 028C _H
RS-CAN0	送信バッファ制御レジスタ 61	RSCAN0TMC61	<RSCAN0_base> + 028D _H
RS-CAN0	送信バッファ制御レジスタ 62	RSCAN0TMC62	<RSCAN0_base> + 028E _H
RS-CAN0	送信バッファ制御レジスタ 63	RSCAN0TMC63	<RSCAN0_base> + 028F _H
RS-CAN0	送信バッファステータスレジスタ 0	RSCAN0TMSTS0	<RSCAN0_base> + 02D0 _H
RS-CAN0	送信バッファステータスレジスタ 1	RSCAN0TMSTS1	<RSCAN0_base> + 02D1 _H
RS-CAN0	送信バッファステータスレジスタ 2	RSCAN0TMSTS2	<RSCAN0_base> + 02D2 _H
RS-CAN0	送信バッファステータスレジスタ 3	RSCAN0TMSTS3	<RSCAN0_base> + 02D3 _H
RS-CAN0	送信バッファステータスレジスタ 4	RSCAN0TMSTS4	<RSCAN0_base> + 02D4 _H
RS-CAN0	送信バッファステータスレジスタ 5	RSCAN0TMSTS5	<RSCAN0_base> + 02D5 _H
RS-CAN0	送信バッファステータスレジスタ 6	RSCAN0TMSTS6	<RSCAN0_base> + 02D6 _H
RS-CAN0	送信バッファステータスレジスタ 7	RSCAN0TMSTS7	<RSCAN0_base> + 02D7 _H
RS-CAN0	送信バッファステータスレジスタ 8	RSCAN0TMSTS8	<RSCAN0_base> + 02D8 _H
RS-CAN0	送信バッファステータスレジスタ 9	RSCAN0TMSTS9	<RSCAN0_base> + 02D9 _H
RS-CAN0	送信バッファステータスレジスタ 10	RSCAN0TMSTS10	<RSCAN0_base> + 02DA _H
RS-CAN0	送信バッファステータスレジスタ 11	RSCAN0TMSTS11	<RSCAN0_base> + 02DB _H
RS-CAN0	送信バッファステータスレジスタ 12	RSCAN0TMSTS12	<RSCAN0_base> + 02DC _H
RS-CAN0	送信バッファステータスレジスタ 13	RSCAN0TMSTS13	<RSCAN0_base> + 02DD _H
RS-CAN0	送信バッファステータスレジスタ 14	RSCAN0TMSTS14	<RSCAN0_base> + 02DE _H
RS-CAN0	送信バッファステータスレジスタ 15	RSCAN0TMSTS15	<RSCAN0_base> + 02DF _H
RS-CAN0	送信バッファステータスレジスタ 16	RSCAN0TMSTS16	<RSCAN0_base> + 02E0 _H
RS-CAN0	送信バッファステータスレジスタ 17	RSCAN0TMSTS17	<RSCAN0_base> + 02E1 _H
RS-CAN0	送信バッファステータスレジスタ 18	RSCAN0TMSTS18	<RSCAN0_base> + 02E2 _H
RS-CAN0	送信バッファステータスレジスタ 19	RSCAN0TMSTS19	<RSCAN0_base> + 02E3 _H
RS-CAN0	送信バッファステータスレジスタ 20	RSCAN0TMSTS20	<RSCAN0_base> + 02E4 _H
RS-CAN0	送信バッファステータスレジスタ 21	RSCAN0TMSTS21	<RSCAN0_base> + 02E5 _H
RS-CAN0	送信バッファステータスレジスタ 22	RSCAN0TMSTS22	<RSCAN0_base> + 02E6 _H
RS-CAN0	送信バッファステータスレジスタ 23	RSCAN0TMSTS23	<RSCAN0_base> + 02E7 _H
RS-CAN0	送信バッファステータスレジスタ 24	RSCAN0TMSTS24	<RSCAN0_base> + 02E8 _H

表 14.10 レジスタ一覧 (5/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファステータスレジスタ 25	RSCAN0TMSTS25	<RSCAN0_base> + 02E9 _H
RS-CAN0	送信バッファステータスレジスタ 26	RSCAN0TMSTS26	<RSCAN0_base> + 02EA _H
RS-CAN0	送信バッファステータスレジスタ 27	RSCAN0TMSTS27	<RSCAN0_base> + 02EB _H
RS-CAN0	送信バッファステータスレジスタ 28	RSCAN0TMSTS28	<RSCAN0_base> + 02EC _H
RS-CAN0	送信バッファステータスレジスタ 29	RSCAN0TMSTS29	<RSCAN0_base> + 02ED _H
RS-CAN0	送信バッファステータスレジスタ 30	RSCAN0TMSTS30	<RSCAN0_base> + 02EE _H
RS-CAN0	送信バッファステータスレジスタ 31	RSCAN0TMSTS31	<RSCAN0_base> + 02EF _H
RS-CAN0	送信バッファステータスレジスタ 32	RSCAN0TMSTS32	<RSCAN0_base> + 02F0 _H
RS-CAN0	送信バッファステータスレジスタ 33	RSCAN0TMSTS33	<RSCAN0_base> + 02F1 _H
RS-CAN0	送信バッファステータスレジスタ 34	RSCAN0TMSTS34	<RSCAN0_base> + 02F2 _H
RS-CAN0	送信バッファステータスレジスタ 35	RSCAN0TMSTS35	<RSCAN0_base> + 02F3 _H
RS-CAN0	送信バッファステータスレジスタ 36	RSCAN0TMSTS36	<RSCAN0_base> + 02F4 _H
RS-CAN0	送信バッファステータスレジスタ 37	RSCAN0TMSTS37	<RSCAN0_base> + 02F5 _H
RS-CAN0	送信バッファステータスレジスタ 38	RSCAN0TMSTS38	<RSCAN0_base> + 02F6 _H
RS-CAN0	送信バッファステータスレジスタ 39	RSCAN0TMSTS39	<RSCAN0_base> + 02F7 _H
RS-CAN0	送信バッファステータスレジスタ 40	RSCAN0TMSTS40	<RSCAN0_base> + 02F8 _H
RS-CAN0	送信バッファステータスレジスタ 41	RSCAN0TMSTS41	<RSCAN0_base> + 02F9 _H
RS-CAN0	送信バッファステータスレジスタ 42	RSCAN0TMSTS42	<RSCAN0_base> + 02FA _H
RS-CAN0	送信バッファステータスレジスタ 43	RSCAN0TMSTS43	<RSCAN0_base> + 02FB _H
RS-CAN0	送信バッファステータスレジスタ 44	RSCAN0TMSTS44	<RSCAN0_base> + 02FC _H
RS-CAN0	送信バッファステータスレジスタ 45	RSCAN0TMSTS45	<RSCAN0_base> + 02FD _H
RS-CAN0	送信バッファステータスレジスタ 46	RSCAN0TMSTS46	<RSCAN0_base> + 02FE _H
RS-CAN0	送信バッファステータスレジスタ 47	RSCAN0TMSTS47	<RSCAN0_base> + 02FF _H
RS-CAN0	送信バッファステータスレジスタ 48	RSCAN0TMSTS48	<RSCAN0_base> + 0300 _H
RS-CAN0	送信バッファステータスレジスタ 49	RSCAN0TMSTS49	<RSCAN0_base> + 0301 _H
RS-CAN0	送信バッファステータスレジスタ 50	RSCAN0TMSTS50	<RSCAN0_base> + 0302 _H
RS-CAN0	送信バッファステータスレジスタ 51	RSCAN0TMSTS51	<RSCAN0_base> + 0303 _H
RS-CAN0	送信バッファステータスレジスタ 52	RSCAN0TMSTS52	<RSCAN0_base> + 0304 _H
RS-CAN0	送信バッファステータスレジスタ 53	RSCAN0TMSTS53	<RSCAN0_base> + 0305 _H
RS-CAN0	送信バッファステータスレジスタ 54	RSCAN0TMSTS54	<RSCAN0_base> + 0306 _H
RS-CAN0	送信バッファステータスレジスタ 55	RSCAN0TMSTS55	<RSCAN0_base> + 0307 _H
RS-CAN0	送信バッファステータスレジスタ 56	RSCAN0TMSTS56	<RSCAN0_base> + 0308 _H
RS-CAN0	送信バッファステータスレジスタ 57	RSCAN0TMSTS57	<RSCAN0_base> + 0309 _H
RS-CAN0	送信バッファステータスレジスタ 58	RSCAN0TMSTS58	<RSCAN0_base> + 030A _H
RS-CAN0	送信バッファステータスレジスタ 59	RSCAN0TMSTS59	<RSCAN0_base> + 030B _H
RS-CAN0	送信バッファステータスレジスタ 60	RSCAN0TMSTS60	<RSCAN0_base> + 030C _H
RS-CAN0	送信バッファステータスレジスタ 61	RSCAN0TMSTS61	<RSCAN0_base> + 030D _H
RS-CAN0	送信バッファステータスレジスタ 62	RSCAN0TMSTS62	<RSCAN0_base> + 030E _H
RS-CAN0	送信バッファステータスレジスタ 63	RSCAN0TMSTS63	<RSCAN0_base> + 030F _H
RS-CAN0	送信バッファ送信要求ステータスレジスタ 0	RSCAN0TMTRSTS0	<RSCAN0_base> + 0350 _H
RS-CAN0	送信バッファ送信要求ステータスレジスタ 1	RSCAN0TMTRSTS1	<RSCAN0_base> + 0354 _H
RS-CAN0	送信バッファ送信アポート要求ステータスレジスタ 0	RSCAN0TMTARSTS0	<RSCAN0_base> + 0360 _H
RS-CAN0	送信バッファ送信アポート要求ステータスレジスタ 1	RSCAN0TMTARSTS1	<RSCAN0_base> + 0364 _H
RS-CAN0	送信バッファ送信完了ステータスレジスタ 0	RSCAN0TMTCASTS0	<RSCAN0_base> + 0370 _H
RS-CAN0	送信バッファ送信完了ステータスレジスタ 1	RSCAN0TMTCASTS1	<RSCAN0_base> + 0374 _H
RS-CAN0	送信バッファ送信アポートステータスレジスタ 0	RSCAN0TMTASTS0	<RSCAN0_base> + 0380 _H
RS-CAN0	送信バッファ送信アポートステータスレジスタ 1	RSCAN0TMTASTS1	<RSCAN0_base> + 0384 _H

表 14.10 レジスタ一覧 (6/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN0TMIEC0	<RSCAN0_base> + 0390 _H
RS-CAN0	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1	RSCAN0TMIEC1	<RSCAN0_base> + 0394 _H
RS-CAN0	送信キューコンフィグレーション/制御レジスタ 0	RSCAN0TXQCC0	<RSCAN0_base> + 03A0 _H
RS-CAN0	送信キューコンフィグレーション/制御レジスタ 1	RSCAN0TXQCC1	<RSCAN0_base> + 03A4 _H
RS-CAN0	送信キューコンフィグレーション/制御レジスタ 2	RSCAN0TXQCC2	<RSCAN0_base> + 03A8 _H
RS-CAN0	送信キューコンフィグレーション/制御レジスタ 3	RSCAN0TXQCC3	<RSCAN0_base> + 03AC _H
RS-CAN0	送信キューステータスレジスタ 0	RSCAN0TXQSTS0	<RSCAN0_base> + 03C0 _H
RS-CAN0	送信キューステータスレジスタ 1	RSCAN0TXQSTS1	<RSCAN0_base> + 03C4 _H
RS-CAN0	送信キューステータスレジスタ 2	RSCAN0TXQSTS2	<RSCAN0_base> + 03C8 _H
RS-CAN0	送信キューステータスレジスタ 3	RSCAN0TXQSTS3	<RSCAN0_base> + 03CC _H
RS-CAN0	送信キューポインタ制御レジスタ 0	RSCAN0TXQPCTR0	<RSCAN0_base> + 03E0 _H
RS-CAN0	送信キューポインタ制御レジスタ 1	RSCAN0TXQPCTR1	<RSCAN0_base> + 03E4 _H
RS-CAN0	送信キューポインタ制御レジスタ 2	RSCAN0TXQPCTR2	<RSCAN0_base> + 03E8 _H
RS-CAN0	送信キューポインタ制御レジスタ 3	RSCAN0TXQPCTR3	<RSCAN0_base> + 03EC _H
RS-CAN0	送信履歴コンフィグレーション/制御レジスタ 0	RSCAN0THLCC0	<RSCAN0_base> + 0400 _H
RS-CAN0	送信履歴コンフィグレーション/制御レジスタ 1	RSCAN0THLCC1	<RSCAN0_base> + 0404 _H
RS-CAN0	送信履歴コンフィグレーション/制御レジスタ 2	RSCAN0THLCC2	<RSCAN0_base> + 0408 _H
RS-CAN0	送信履歴コンフィグレーション/制御レジスタ 3	RSCAN0THLCC3	<RSCAN0_base> + 040C _H
RS-CAN0	送信履歴ステータスレジスタ 0	RSCAN0THLSTS0	<RSCAN0_base> + 0420 _H
RS-CAN0	送信履歴ステータスレジスタ 1	RSCAN0THLSTS1	<RSCAN0_base> + 0424 _H
RS-CAN0	送信履歴ステータスレジスタ 2	RSCAN0THLSTS2	<RSCAN0_base> + 0428 _H
RS-CAN0	送信履歴ステータスレジスタ 3	RSCAN0THLSTS3	<RSCAN0_base> + 042C _H
RS-CAN0	送信履歴ポインタ制御レジスタ 0	RSCAN0THLPCTR0	<RSCAN0_base> + 0440 _H
RS-CAN0	送信履歴ポインタ制御レジスタ 1	RSCAN0THLPCTR1	<RSCAN0_base> + 0444 _H
RS-CAN0	送信履歴ポインタ制御レジスタ 2	RSCAN0THLPCTR2	<RSCAN0_base> + 0448 _H
RS-CAN0	送信履歴ポインタ制御レジスタ 3	RSCAN0THLPCTR3	<RSCAN0_base> + 044C _H
RS-CAN0	グローバル TX 割り込みステータスレジスタ 0	RSCAN0GTINTSTS0	<RSCAN0_base> + 0460 _H
RS-CAN0	グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	<RSCAN0_base> + 0468 _H
RS-CAN0	グローバルテスト制御レジスタ	RSCAN0GTSTCTR	<RSCAN0_base> + 046C _H
RS-CAN0	グローバルロックキーレジスタ	RSCAN0GLOCKK	<RSCAN0_base> + 047C _H
RS-CAN0	受信ルール ID レジスタ 0	RSCAN0GAFLID0	<RSCAN0_base> + 0500 _H
RS-CAN0	受信ルールマスクレジスタ 0	RSCAN0GAFLM0	<RSCAN0_base> + 0504 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 0	RSCAN0GAFLP00	<RSCAN0_base> + 0508 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 0	RSCAN0GAFLP10	<RSCAN0_base> + 050C _H
RS-CAN0	受信ルール ID レジスタ 1	RSCAN0GAFLID1	<RSCAN0_base> + 0510 _H
RS-CAN0	受信ルールマスクレジスタ 1	RSCAN0GAFLM1	<RSCAN0_base> + 0514 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 1	RSCAN0GAFLP01	<RSCAN0_base> + 0518 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 1	RSCAN0GAFLP11	<RSCAN0_base> + 051C _H
RS-CAN0	受信ルール ID レジスタ 2	RSCAN0GAFLID2	<RSCAN0_base> + 0520 _H
RS-CAN0	受信ルールマスクレジスタ 2	RSCAN0GAFLM2	<RSCAN0_base> + 0524 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 2	RSCAN0GAFLP02	<RSCAN0_base> + 0528 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 2	RSCAN0GAFLP12	<RSCAN0_base> + 052C _H
RS-CAN0	受信ルール ID レジスタ 3	RSCAN0GAFLID3	<RSCAN0_base> + 0530 _H
RS-CAN0	受信ルールマスクレジスタ 3	RSCAN0GAFLM3	<RSCAN0_base> + 0534 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 3	RSCAN0GAFLP03	<RSCAN0_base> + 0538 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 3	RSCAN0GAFLP13	<RSCAN0_base> + 053C _H
RS-CAN0	受信ルール ID レジスタ 4	RSCAN0GAFLID4	<RSCAN0_base> + 0540 _H

表 14.10 レジスタ一覧 (7/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信ルールマスクレジスタ 4	RSCAN0GAFLM4	<RSCAN0_base> + 0544 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 4	RSCAN0GAFLP04	<RSCAN0_base> + 0548 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 4	RSCAN0GAFLP14	<RSCAN0_base> + 054C _H
RS-CAN0	受信ルール ID レジスタ 5	RSCAN0GAFLID5	<RSCAN0_base> + 0550 _H
RS-CAN0	受信ルールマスクレジスタ 5	RSCAN0GAFLM5	<RSCAN0_base> + 0554 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 5	RSCAN0GAFLP05	<RSCAN0_base> + 0558 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 5	RSCAN0GAFLP15	<RSCAN0_base> + 055C _H
RS-CAN0	受信ルール ID レジスタ 6	RSCAN0GAFLID6	<RSCAN0_base> + 0560 _H
RS-CAN0	受信ルールマスクレジスタ 6	RSCAN0GAFLM6	<RSCAN0_base> + 0564 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 6	RSCAN0GAFLP06	<RSCAN0_base> + 0568 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 6	RSCAN0GAFLP16	<RSCAN0_base> + 056C _H
RS-CAN0	受信ルール ID レジスタ 7	RSCAN0GAFLID7	<RSCAN0_base> + 0570 _H
RS-CAN0	受信ルールマスクレジスタ 7	RSCAN0GAFLM7	<RSCAN0_base> + 0574 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 7	RSCAN0GAFLP07	<RSCAN0_base> + 0578 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 7	RSCAN0GAFLP17	<RSCAN0_base> + 057C _H
RS-CAN0	受信ルール ID レジスタ 8	RSCAN0GAFLID8	<RSCAN0_base> + 0580 _H
RS-CAN0	受信ルールマスクレジスタ 8	RSCAN0GAFLM8	<RSCAN0_base> + 0584 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 8	RSCAN0GAFLP08	<RSCAN0_base> + 0588 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 8	RSCAN0GAFLP18	<RSCAN0_base> + 058C _H
RS-CAN0	受信ルール ID レジスタ 9	RSCAN0GAFLID9	<RSCAN0_base> + 0590 _H
RS-CAN0	受信ルールマスクレジスタ 9	RSCAN0GAFLM9	<RSCAN0_base> + 0594 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 9	RSCAN0GAFLP09	<RSCAN0_base> + 0598 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 9	RSCAN0GAFLP19	<RSCAN0_base> + 059C _H
RS-CAN0	受信ルール ID レジスタ 10	RSCAN0GAFLID10	<RSCAN0_base> + 05A0 _H
RS-CAN0	受信ルールマスクレジスタ 10	RSCAN0GAFLM10	<RSCAN0_base> + 05A4 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 10	RSCAN0GAFLP010	<RSCAN0_base> + 05A8 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 10	RSCAN0GAFLP110	<RSCAN0_base> + 05AC _H
RS-CAN0	受信ルール ID レジスタ 11	RSCAN0GAFLID11	<RSCAN0_base> + 05B0 _H
RS-CAN0	受信ルールマスクレジスタ 11	RSCAN0GAFLM11	<RSCAN0_base> + 05B4 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 11	RSCAN0GAFLP011	<RSCAN0_base> + 05B8 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 11	RSCAN0GAFLP111	<RSCAN0_base> + 05BC _H
RS-CAN0	受信ルール ID レジスタ 12	RSCAN0GAFLID12	<RSCAN0_base> + 05C0 _H
RS-CAN0	受信ルールマスクレジスタ 12	RSCAN0GAFLM12	<RSCAN0_base> + 05C4 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 12	RSCAN0GAFLP012	<RSCAN0_base> + 05C8 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 12	RSCAN0GAFLP112	<RSCAN0_base> + 05CC _H
RS-CAN0	受信ルール ID レジスタ 13	RSCAN0GAFLID13	<RSCAN0_base> + 05D0 _H
RS-CAN0	受信ルールマスクレジスタ 13	RSCAN0GAFLM13	<RSCAN0_base> + 05D4 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 13	RSCAN0GAFLP013	<RSCAN0_base> + 05D8 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 13	RSCAN0GAFLP113	<RSCAN0_base> + 05DC _H
RS-CAN0	受信ルール ID レジスタ 14	RSCAN0GAFLID14	<RSCAN0_base> + 05E0 _H
RS-CAN0	受信ルールマスクレジスタ 14	RSCAN0GAFLM14	<RSCAN0_base> + 05E4 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 14	RSCAN0GAFLP014	<RSCAN0_base> + 05E8 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 14	RSCAN0GAFLP114	<RSCAN0_base> + 05EC _H
RS-CAN0	受信ルール ID レジスタ 15	RSCAN0GAFLID15	<RSCAN0_base> + 05F0 _H
RS-CAN0	受信ルールマスクレジスタ 15	RSCAN0GAFLM15	<RSCAN0_base> + 05F4 _H
RS-CAN0	受信ルールポインタ 0 レジスタ 15	RSCAN0GAFLP015	<RSCAN0_base> + 05F8 _H
RS-CAN0	受信ルールポインタ 1 レジスタ 15	RSCAN0GAFLP115	<RSCAN0_base> + 05FC _H

表 14.10 レジスタ一覧 (8/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信バッファ ID レジスタ 0	RSCAN0RMID0	<RSCAN0_base> + 0600 _H
RS-CAN0	受信バッファポインタレジスタ 0	RSCAN0RMPTR0	<RSCAN0_base> + 0604 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 0	RSCAN0RMDf00	<RSCAN0_base> + 0608 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 0	RSCAN0RMDf10	<RSCAN0_base> + 060C _H
RS-CAN0	受信バッファ ID レジスタ 1	RSCAN0RMID1	<RSCAN0_base> + 0610 _H
RS-CAN0	受信バッファポインタレジスタ 1	RSCAN0RMPTR1	<RSCAN0_base> + 0614 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 1	RSCAN0RMDf01	<RSCAN0_base> + 0618 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 1	RSCAN0RMDf11	<RSCAN0_base> + 061C _H
RS-CAN0	受信バッファ ID レジスタ 2	RSCAN0RMID2	<RSCAN0_base> + 0620 _H
RS-CAN0	受信バッファポインタレジスタ 2	RSCAN0RMPTR2	<RSCAN0_base> + 0624 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 2	RSCAN0RMDf02	<RSCAN0_base> + 0628 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 2	RSCAN0RMDf12	<RSCAN0_base> + 062C _H
RS-CAN0	受信バッファ ID レジスタ 3	RSCAN0RMID3	<RSCAN0_base> + 0630 _H
RS-CAN0	受信バッファポインタレジスタ 3	RSCAN0RMPTR3	<RSCAN0_base> + 0634 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 3	RSCAN0RMDf03	<RSCAN0_base> + 0638 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 3	RSCAN0RMDf13	<RSCAN0_base> + 063C _H
RS-CAN0	受信バッファ ID レジスタ 4	RSCAN0RMID4	<RSCAN0_base> + 0640 _H
RS-CAN0	受信バッファポインタレジスタ 4	RSCAN0RMPTR4	<RSCAN0_base> + 0644 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 4	RSCAN0RMDf04	<RSCAN0_base> + 0648 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 4	RSCAN0RMDf14	<RSCAN0_base> + 064C _H
RS-CAN0	受信バッファ ID レジスタ 5	RSCAN0RMID5	<RSCAN0_base> + 0650 _H
RS-CAN0	受信バッファポインタレジスタ 5	RSCAN0RMPTR5	<RSCAN0_base> + 0654 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 5	RSCAN0RMDf05	<RSCAN0_base> + 0658 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 5	RSCAN0RMDf15	<RSCAN0_base> + 065C _H
RS-CAN0	受信バッファ ID レジスタ 6	RSCAN0RMID6	<RSCAN0_base> + 0660 _H
RS-CAN0	受信バッファポインタレジスタ 6	RSCAN0RMPTR6	<RSCAN0_base> + 0664 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 6	RSCAN0RMDf06	<RSCAN0_base> + 0668 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 6	RSCAN0RMDf16	<RSCAN0_base> + 066C _H
RS-CAN0	受信バッファ ID レジスタ 7	RSCAN0RMID7	<RSCAN0_base> + 0670 _H
RS-CAN0	受信バッファポインタレジスタ 7	RSCAN0RMPTR7	<RSCAN0_base> + 0674 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 7	RSCAN0RMDf07	<RSCAN0_base> + 0678 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 7	RSCAN0RMDf17	<RSCAN0_base> + 067C _H
RS-CAN0	受信バッファ ID レジスタ 8	RSCAN0RMID8	<RSCAN0_base> + 0680 _H
RS-CAN0	受信バッファポインタレジスタ 8	RSCAN0RMPTR8	<RSCAN0_base> + 0684 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 8	RSCAN0RMDf08	<RSCAN0_base> + 0688 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 8	RSCAN0RMDf18	<RSCAN0_base> + 068C _H
RS-CAN0	受信バッファ ID レジスタ 9	RSCAN0RMID9	<RSCAN0_base> + 0690 _H
RS-CAN0	受信バッファポインタレジスタ 9	RSCAN0RMPTR9	<RSCAN0_base> + 0694 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 9	RSCAN0RMDf09	<RSCAN0_base> + 0698 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 9	RSCAN0RMDf19	<RSCAN0_base> + 069C _H
RS-CAN0	受信バッファ ID レジスタ 10	RSCAN0RMID10	<RSCAN0_base> + 06A0 _H
RS-CAN0	受信バッファポインタレジスタ 10	RSCAN0RMPTR10	<RSCAN0_base> + 06A4 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 10	RSCAN0RMDf010	<RSCAN0_base> + 06A8 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 10	RSCAN0RMDf110	<RSCAN0_base> + 06AC _H
RS-CAN0	受信バッファ ID レジスタ 11	RSCAN0RMID11	<RSCAN0_base> + 06B0 _H
RS-CAN0	受信バッファポインタレジスタ 11	RSCAN0RMPTR11	<RSCAN0_base> + 06B4 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 11	RSCAN0RMDf011	<RSCAN0_base> + 06B8 _H

表 14.10 レジスタ一覧 (9/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信バッファデータフィールド1レジスタ 11	RSCAN0RMDF111	<RSCAN0_base> + 06BC _H
RS-CAN0	受信バッファ ID レジスタ 12	RSCAN0RMID12	<RSCAN0_base> + 06C0 _H
RS-CAN0	受信バッファポインタレジスタ 12	RSCAN0RMPTR12	<RSCAN0_base> + 06C4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 12	RSCAN0RMDF012	<RSCAN0_base> + 06C8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 12	RSCAN0RMDF112	<RSCAN0_base> + 06CC _H
RS-CAN0	受信バッファ ID レジスタ 13	RSCAN0RMID13	<RSCAN0_base> + 06D0 _H
RS-CAN0	受信バッファポインタレジスタ 13	RSCAN0RMPTR13	<RSCAN0_base> + 06D4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 13	RSCAN0RMDF013	<RSCAN0_base> + 06D8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 13	RSCAN0RMDF113	<RSCAN0_base> + 06DC _H
RS-CAN0	受信バッファ ID レジスタ 14	RSCAN0RMID14	<RSCAN0_base> + 06E0 _H
RS-CAN0	受信バッファポインタレジスタ 14	RSCAN0RMPTR14	<RSCAN0_base> + 06E4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 14	RSCAN0RMDF014	<RSCAN0_base> + 06E8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 14	RSCAN0RMDF114	<RSCAN0_base> + 06EC _H
RS-CAN0	受信バッファ ID レジスタ 15	RSCAN0RMID15	<RSCAN0_base> + 06F0 _H
RS-CAN0	受信バッファポインタレジスタ 15	RSCAN0RMPTR15	<RSCAN0_base> + 06F4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 15	RSCAN0RMDF015	<RSCAN0_base> + 06F8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 15	RSCAN0RMDF115	<RSCAN0_base> + 06FC _H
RS-CAN0	受信バッファ ID レジスタ 16	RSCAN0RMID16	<RSCAN0_base> + 0700 _H
RS-CAN0	受信バッファポインタレジスタ 16	RSCAN0RMPTR16	<RSCAN0_base> + 0704 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 16	RSCAN0RMDF016	<RSCAN0_base> + 0708 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 16	RSCAN0RMDF116	<RSCAN0_base> + 070C _H
RS-CAN0	受信バッファ ID レジスタ 17	RSCAN0RMID17	<RSCAN0_base> + 0710 _H
RS-CAN0	受信バッファポインタレジスタ 17	RSCAN0RMPTR17	<RSCAN0_base> + 0714 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 17	RSCAN0RMDF017	<RSCAN0_base> + 0718 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 17	RSCAN0RMDF117	<RSCAN0_base> + 071C _H
RS-CAN0	受信バッファ ID レジスタ 18	RSCAN0RMID18	<RSCAN0_base> + 0720 _H
RS-CAN0	受信バッファポインタレジスタ 18	RSCAN0RMPTR18	<RSCAN0_base> + 0724 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 18	RSCAN0RMDF018	<RSCAN0_base> + 0728 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 18	RSCAN0RMDF118	<RSCAN0_base> + 072C _H
RS-CAN0	受信バッファ ID レジスタ 19	RSCAN0RMID19	<RSCAN0_base> + 0730 _H
RS-CAN0	受信バッファポインタレジスタ 19	RSCAN0RMPTR19	<RSCAN0_base> + 0734 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 19	RSCAN0RMDF019	<RSCAN0_base> + 0738 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 19	RSCAN0RMDF119	<RSCAN0_base> + 073C _H
RS-CAN0	受信バッファ ID レジスタ 20	RSCAN0RMID20	<RSCAN0_base> + 0740 _H
RS-CAN0	受信バッファポインタレジスタ 20	RSCAN0RMPTR20	<RSCAN0_base> + 0744 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 20	RSCAN0RMDF020	<RSCAN0_base> + 0748 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 20	RSCAN0RMDF120	<RSCAN0_base> + 074C _H
RS-CAN0	受信バッファ ID レジスタ 21	RSCAN0RMID21	<RSCAN0_base> + 0750 _H
RS-CAN0	受信バッファポインタレジスタ 21	RSCAN0RMPTR21	<RSCAN0_base> + 0754 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 21	RSCAN0RMDF021	<RSCAN0_base> + 0758 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 21	RSCAN0RMDF121	<RSCAN0_base> + 075C _H
RS-CAN0	受信バッファ ID レジスタ 22	RSCAN0RMID22	<RSCAN0_base> + 0760 _H
RS-CAN0	受信バッファポインタレジスタ 22	RSCAN0RMPTR22	<RSCAN0_base> + 0764 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 22	RSCAN0RMDF022	<RSCAN0_base> + 0768 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 22	RSCAN0RMDF122	<RSCAN0_base> + 076C _H
RS-CAN0	受信バッファ ID レジスタ 23	RSCAN0RMID23	<RSCAN0_base> + 0770 _H
RS-CAN0	受信バッファポインタレジスタ 23	RSCAN0RMPTR23	<RSCAN0_base> + 0774 _H

表 14.10 レジスタ一覧 (10/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信バッファデータフィールド0 レジスタ 23	RSCAN0RMDF023	<RSCAN0_base> + 0778 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 23	RSCAN0RMDF123	<RSCAN0_base> + 077C _H
RS-CAN0	受信バッファ ID レジスタ 24	RSCAN0RMID24	<RSCAN0_base> + 0780 _H
RS-CAN0	受信バッファポインタレジスタ 24	RSCAN0RMPTR24	<RSCAN0_base> + 0784 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 24	RSCAN0RMDF024	<RSCAN0_base> + 0788 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 24	RSCAN0RMDF124	<RSCAN0_base> + 078C _H
RS-CAN0	受信バッファ ID レジスタ 25	RSCAN0RMID25	<RSCAN0_base> + 0790 _H
RS-CAN0	受信バッファポインタレジスタ 25	RSCAN0RMPTR25	<RSCAN0_base> + 0794 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 25	RSCAN0RMDF025	<RSCAN0_base> + 0798 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 25	RSCAN0RMDF125	<RSCAN0_base> + 079C _H
RS-CAN0	受信バッファ ID レジスタ 26	RSCAN0RMID26	<RSCAN0_base> + 07A0 _H
RS-CAN0	受信バッファポインタレジスタ 26	RSCAN0RMPTR26	<RSCAN0_base> + 07A4 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 26	RSCAN0RMDF026	<RSCAN0_base> + 07A8 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 26	RSCAN0RMDF126	<RSCAN0_base> + 07AC _H
RS-CAN0	受信バッファ ID レジスタ 27	RSCAN0RMID27	<RSCAN0_base> + 07B0 _H
RS-CAN0	受信バッファポインタレジスタ 27	RSCAN0RMPTR27	<RSCAN0_base> + 07B4 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 27	RSCAN0RMDF027	<RSCAN0_base> + 07B8 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 27	RSCAN0RMDF127	<RSCAN0_base> + 07BC _H
RS-CAN0	受信バッファ ID レジスタ 28	RSCAN0RMID28	<RSCAN0_base> + 07C0 _H
RS-CAN0	受信バッファポインタレジスタ 28	RSCAN0RMPTR28	<RSCAN0_base> + 07C4 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 28	RSCAN0RMDF028	<RSCAN0_base> + 07C8 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 28	RSCAN0RMDF128	<RSCAN0_base> + 07CC _H
RS-CAN0	受信バッファ ID レジスタ 29	RSCAN0RMID29	<RSCAN0_base> + 07D0 _H
RS-CAN0	受信バッファポインタレジスタ 29	RSCAN0RMPTR29	<RSCAN0_base> + 07D4 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 29	RSCAN0RMDF029	<RSCAN0_base> + 07D8 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 29	RSCAN0RMDF129	<RSCAN0_base> + 07DC _H
RS-CAN0	受信バッファ ID レジスタ 30	RSCAN0RMID30	<RSCAN0_base> + 07E0 _H
RS-CAN0	受信バッファポインタレジスタ 30	RSCAN0RMPTR30	<RSCAN0_base> + 07E4 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 30	RSCAN0RMDF030	<RSCAN0_base> + 07E8 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 30	RSCAN0RMDF130	<RSCAN0_base> + 07EC _H
RS-CAN0	受信バッファ ID レジスタ 31	RSCAN0RMID31	<RSCAN0_base> + 07F0 _H
RS-CAN0	受信バッファポインタレジスタ 31	RSCAN0RMPTR31	<RSCAN0_base> + 07F4 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 31	RSCAN0RMDF031	<RSCAN0_base> + 07F8 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 31	RSCAN0RMDF131	<RSCAN0_base> + 07FC _H
RS-CAN0	受信バッファ ID レジスタ 32	RSCAN0RMID32	<RSCAN0_base> + 0800 _H
RS-CAN0	受信バッファポインタレジスタ 32	RSCAN0RMPTR32	<RSCAN0_base> + 0804 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 32	RSCAN0RMDF032	<RSCAN0_base> + 0808 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 32	RSCAN0RMDF132	<RSCAN0_base> + 080C _H
RS-CAN0	受信バッファ ID レジスタ 33	RSCAN0RMID33	<RSCAN0_base> + 0810 _H
RS-CAN0	受信バッファポインタレジスタ 33	RSCAN0RMPTR33	<RSCAN0_base> + 0814 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 33	RSCAN0RMDF033	<RSCAN0_base> + 0818 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 33	RSCAN0RMDF133	<RSCAN0_base> + 081C _H
RS-CAN0	受信バッファ ID レジスタ 34	RSCAN0RMID34	<RSCAN0_base> + 0820 _H
RS-CAN0	受信バッファポインタレジスタ 34	RSCAN0RMPTR34	<RSCAN0_base> + 0824 _H
RS-CAN0	受信バッファデータフィールド0 レジスタ 34	RSCAN0RMDF034	<RSCAN0_base> + 0828 _H
RS-CAN0	受信バッファデータフィールド1 レジスタ 34	RSCAN0RMDF134	<RSCAN0_base> + 082C _H
RS-CAN0	受信バッファ ID レジスタ 35	RSCAN0RMID35	<RSCAN0_base> + 0830 _H

表 14.10 レジスタ一覧 (11/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信バッファポインタレジスタ 35	RSCAN0RMPTR35	<RSCAN0_base> + 0834 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 35	RSCAN0RMDf035	<RSCAN0_base> + 0838 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 35	RSCAN0RMDf135	<RSCAN0_base> + 083C _H
RS-CAN0	受信バッファIDレジスタ 36	RSCAN0RMID36	<RSCAN0_base> + 0840 _H
RS-CAN0	受信バッファポインタレジスタ 36	RSCAN0RMPTR36	<RSCAN0_base> + 0844 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 36	RSCAN0RMDf036	<RSCAN0_base> + 0848 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 36	RSCAN0RMDf136	<RSCAN0_base> + 084C _H
RS-CAN0	受信バッファIDレジスタ 37	RSCAN0RMID37	<RSCAN0_base> + 0850 _H
RS-CAN0	受信バッファポインタレジスタ 37	RSCAN0RMPTR37	<RSCAN0_base> + 0854 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 37	RSCAN0RMDf037	<RSCAN0_base> + 0858 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 37	RSCAN0RMDf137	<RSCAN0_base> + 085C _H
RS-CAN0	受信バッファIDレジスタ 38	RSCAN0RMID38	<RSCAN0_base> + 0860 _H
RS-CAN0	受信バッファポインタレジスタ 38	RSCAN0RMPTR38	<RSCAN0_base> + 0864 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 38	RSCAN0RMDf038	<RSCAN0_base> + 0868 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 38	RSCAN0RMDf138	<RSCAN0_base> + 086C _H
RS-CAN0	受信バッファIDレジスタ 39	RSCAN0RMID39	<RSCAN0_base> + 0870 _H
RS-CAN0	受信バッファポインタレジスタ 39	RSCAN0RMPTR39	<RSCAN0_base> + 0874 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 39	RSCAN0RMDf039	<RSCAN0_base> + 0878 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 39	RSCAN0RMDf139	<RSCAN0_base> + 087C _H
RS-CAN0	受信バッファIDレジスタ 40	RSCAN0RMID40	<RSCAN0_base> + 0880 _H
RS-CAN0	受信バッファポインタレジスタ 40	RSCAN0RMPTR40	<RSCAN0_base> + 0884 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 40	RSCAN0RMDf040	<RSCAN0_base> + 0888 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 40	RSCAN0RMDf140	<RSCAN0_base> + 088C _H
RS-CAN0	受信バッファIDレジスタ 41	RSCAN0RMID41	<RSCAN0_base> + 0890 _H
RS-CAN0	受信バッファポインタレジスタ 41	RSCAN0RMPTR41	<RSCAN0_base> + 0894 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 41	RSCAN0RMDf041	<RSCAN0_base> + 0898 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 41	RSCAN0RMDf141	<RSCAN0_base> + 089C _H
RS-CAN0	受信バッファIDレジスタ 42	RSCAN0RMID42	<RSCAN0_base> + 08A0 _H
RS-CAN0	受信バッファポインタレジスタ 42	RSCAN0RMPTR42	<RSCAN0_base> + 08A4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 42	RSCAN0RMDf042	<RSCAN0_base> + 08A8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 42	RSCAN0RMDf142	<RSCAN0_base> + 08AC _H
RS-CAN0	受信バッファIDレジスタ 43	RSCAN0RMID43	<RSCAN0_base> + 08B0 _H
RS-CAN0	受信バッファポインタレジスタ 43	RSCAN0RMPTR43	<RSCAN0_base> + 08B4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 43	RSCAN0RMDf043	<RSCAN0_base> + 08B8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 43	RSCAN0RMDf143	<RSCAN0_base> + 08BC _H
RS-CAN0	受信バッファIDレジスタ 44	RSCAN0RMID44	<RSCAN0_base> + 08C0 _H
RS-CAN0	受信バッファポインタレジスタ 44	RSCAN0RMPTR44	<RSCAN0_base> + 08C4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 44	RSCAN0RMDf044	<RSCAN0_base> + 08C8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 44	RSCAN0RMDf144	<RSCAN0_base> + 08CC _H
RS-CAN0	受信バッファIDレジスタ 45	RSCAN0RMID45	<RSCAN0_base> + 08D0 _H
RS-CAN0	受信バッファポインタレジスタ 45	RSCAN0RMPTR45	<RSCAN0_base> + 08D4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 45	RSCAN0RMDf045	<RSCAN0_base> + 08D8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 45	RSCAN0RMDf145	<RSCAN0_base> + 08DC _H
RS-CAN0	受信バッファIDレジスタ 46	RSCAN0RMID46	<RSCAN0_base> + 08E0 _H
RS-CAN0	受信バッファポインタレジスタ 46	RSCAN0RMPTR46	<RSCAN0_base> + 08E4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 46	RSCAN0RMDf046	<RSCAN0_base> + 08E8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 46	RSCAN0RMDf146	<RSCAN0_base> + 08EC _H

表 14.10 レジスタ一覧 (12/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信バッファ ID レジスタ 47	RSCAN0RMID47	<RSCAN0_base> + 08F0 _H
RS-CAN0	受信バッファポインタレジスタ 47	RSCAN0RMPTR47	<RSCAN0_base> + 08F4 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 47	RSCAN0RMDf047	<RSCAN0_base> + 08F8 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 47	RSCAN0RMDf147	<RSCAN0_base> + 08FC _H
RS-CAN0	受信バッファ ID レジスタ 48	RSCAN0RMID48	<RSCAN0_base> + 0900 _H
RS-CAN0	受信バッファポインタレジスタ 48	RSCAN0RMPTR48	<RSCAN0_base> + 0904 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 48	RSCAN0RMDf048	<RSCAN0_base> + 0908 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 48	RSCAN0RMDf148	<RSCAN0_base> + 090C _H
RS-CAN0	受信バッファ ID レジスタ 49	RSCAN0RMID49	<RSCAN0_base> + 0910 _H
RS-CAN0	受信バッファポインタレジスタ 49	RSCAN0RMPTR49	<RSCAN0_base> + 0914 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 49	RSCAN0RMDf049	<RSCAN0_base> + 0918 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 49	RSCAN0RMDf149	<RSCAN0_base> + 091C _H
RS-CAN0	受信バッファ ID レジスタ 50	RSCAN0RMID50	<RSCAN0_base> + 0920 _H
RS-CAN0	受信バッファポインタレジスタ 50	RSCAN0RMPTR50	<RSCAN0_base> + 0924 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 50	RSCAN0RMDf050	<RSCAN0_base> + 0928 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 50	RSCAN0RMDf150	<RSCAN0_base> + 092C _H
RS-CAN0	受信バッファ ID レジスタ 51	RSCAN0RMID51	<RSCAN0_base> + 0930 _H
RS-CAN0	受信バッファポインタレジスタ 51	RSCAN0RMPTR51	<RSCAN0_base> + 0934 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 51	RSCAN0RMDf051	<RSCAN0_base> + 0938 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 51	RSCAN0RMDf151	<RSCAN0_base> + 093C _H
RS-CAN0	受信バッファ ID レジスタ 52	RSCAN0RMID52	<RSCAN0_base> + 0940 _H
RS-CAN0	受信バッファポインタレジスタ 52	RSCAN0RMPTR52	<RSCAN0_base> + 0944 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 52	RSCAN0RMDf052	<RSCAN0_base> + 0948 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 52	RSCAN0RMDf152	<RSCAN0_base> + 094C _H
RS-CAN0	受信バッファ ID レジスタ 53	RSCAN0RMID53	<RSCAN0_base> + 0950 _H
RS-CAN0	受信バッファポインタレジスタ 53	RSCAN0RMPTR53	<RSCAN0_base> + 0954 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 53	RSCAN0RMDf053	<RSCAN0_base> + 0958 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 53	RSCAN0RMDf153	<RSCAN0_base> + 095C _H
RS-CAN0	受信バッファ ID レジスタ 54	RSCAN0RMID54	<RSCAN0_base> + 0960 _H
RS-CAN0	受信バッファポインタレジスタ 54	RSCAN0RMPTR54	<RSCAN0_base> + 0964 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 54	RSCAN0RMDf054	<RSCAN0_base> + 0968 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 54	RSCAN0RMDf154	<RSCAN0_base> + 096C _H
RS-CAN0	受信バッファ ID レジスタ 55	RSCAN0RMID55	<RSCAN0_base> + 0970 _H
RS-CAN0	受信バッファポインタレジスタ 55	RSCAN0RMPTR55	<RSCAN0_base> + 0974 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 55	RSCAN0RMDf055	<RSCAN0_base> + 0978 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 55	RSCAN0RMDf155	<RSCAN0_base> + 097C _H
RS-CAN0	受信バッファ ID レジスタ 56	RSCAN0RMID56	<RSCAN0_base> + 0980 _H
RS-CAN0	受信バッファポインタレジスタ 56	RSCAN0RMPTR56	<RSCAN0_base> + 0984 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 56	RSCAN0RMDf056	<RSCAN0_base> + 0988 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 56	RSCAN0RMDf156	<RSCAN0_base> + 098C _H
RS-CAN0	受信バッファ ID レジスタ 57	RSCAN0RMID57	<RSCAN0_base> + 0990 _H
RS-CAN0	受信バッファポインタレジスタ 57	RSCAN0RMPTR57	<RSCAN0_base> + 0994 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 57	RSCAN0RMDf057	<RSCAN0_base> + 0998 _H
RS-CAN0	受信バッファデータフィールド 1 レジスタ 57	RSCAN0RMDf157	<RSCAN0_base> + 099C _H
RS-CAN0	受信バッファ ID レジスタ 58	RSCAN0RMID58	<RSCAN0_base> + 09A0 _H
RS-CAN0	受信バッファポインタレジスタ 58	RSCAN0RMPTR58	<RSCAN0_base> + 09A4 _H
RS-CAN0	受信バッファデータフィールド 0 レジスタ 58	RSCAN0RMDf058	<RSCAN0_base> + 09A8 _H

表 14.10 レジスタ一覧 (13/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	受信バッファデータフィールド1レジスタ 58	RSCAN0RMDF158	<RSCAN0_base> + 09AC _H
RS-CAN0	受信バッファ ID レジスタ 59	RSCAN0RMID59	<RSCAN0_base> + 09B0 _H
RS-CAN0	受信バッファポインタレジスタ 59	RSCAN0RMPTR59	<RSCAN0_base> + 09B4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 59	RSCAN0RMDF059	<RSCAN0_base> + 09B8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 59	RSCAN0RMDF159	<RSCAN0_base> + 09BC _H
RS-CAN0	受信バッファ ID レジスタ 60	RSCAN0RMID60	<RSCAN0_base> + 09C0 _H
RS-CAN0	受信バッファポインタレジスタ 60	RSCAN0RMPTR60	<RSCAN0_base> + 09C4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 60	RSCAN0RMDF060	<RSCAN0_base> + 09C8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 60	RSCAN0RMDF160	<RSCAN0_base> + 09CC _H
RS-CAN0	受信バッファ ID レジスタ 61	RSCAN0RMID61	<RSCAN0_base> + 09D0 _H
RS-CAN0	受信バッファポインタレジスタ 61	RSCAN0RMPTR61	<RSCAN0_base> + 09D4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 61	RSCAN0RMDF061	<RSCAN0_base> + 09D8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 61	RSCAN0RMDF161	<RSCAN0_base> + 09DC _H
RS-CAN0	受信バッファ ID レジスタ 62	RSCAN0RMID62	<RSCAN0_base> + 09E0 _H
RS-CAN0	受信バッファポインタレジスタ 62	RSCAN0RMPTR62	<RSCAN0_base> + 09E4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 62	RSCAN0RMDF062	<RSCAN0_base> + 09E8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 62	RSCAN0RMDF162	<RSCAN0_base> + 09EC _H
RS-CAN0	受信バッファ ID レジスタ 63	RSCAN0RMID63	<RSCAN0_base> + 09F0 _H
RS-CAN0	受信バッファポインタレジスタ 63	RSCAN0RMPTR63	<RSCAN0_base> + 09F4 _H
RS-CAN0	受信バッファデータフィールド0レジスタ 63	RSCAN0RMDF063	<RSCAN0_base> + 09F8 _H
RS-CAN0	受信バッファデータフィールド1レジスタ 63	RSCAN0RMDF163	<RSCAN0_base> + 09FC _H
RS-CAN0	受信 FIFO バッファアクセス ID レジスタ 0	RSCAN0RFID0	<RSCAN0_base> + 0E00 _H
RS-CAN0	受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN0RFPTR0	<RSCAN0_base> + 0E04 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド0レジスタ 0	RSCAN0RFDF00	<RSCAN0_base> + 0E08 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド1レジスタ 0	RSCAN0RFDF10	<RSCAN0_base> + 0E0C _H
RS-CAN0	受信 FIFO バッファアクセス ID レジスタ 1	RSCAN0RFID1	<RSCAN0_base> + 0E10 _H
RS-CAN0	受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN0RFPTR1	<RSCAN0_base> + 0E14 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド0レジスタ 1	RSCAN0RFDF01	<RSCAN0_base> + 0E18 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド1レジスタ 1	RSCAN0RFDF11	<RSCAN0_base> + 0E1C _H
RS-CAN0	受信 FIFO バッファアクセス ID レジスタ 2	RSCAN0RFID2	<RSCAN0_base> + 0E20 _H
RS-CAN0	受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN0RFPTR2	<RSCAN0_base> + 0E24 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド0レジスタ 2	RSCAN0RFDF02	<RSCAN0_base> + 0E28 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド1レジスタ 2	RSCAN0RFDF12	<RSCAN0_base> + 0E2C _H
RS-CAN0	受信 FIFO バッファアクセス ID レジスタ 3	RSCAN0RFID3	<RSCAN0_base> + 0E30 _H
RS-CAN0	受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0RFPTR3	<RSCAN0_base> + 0E34 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド0レジスタ 3	RSCAN0RFDF03	<RSCAN0_base> + 0E38 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド1レジスタ 3	RSCAN0RFDF13	<RSCAN0_base> + 0E3C _H
RS-CAN0	受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0RFID4	<RSCAN0_base> + 0E40 _H
RS-CAN0	受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0RFPTR4	<RSCAN0_base> + 0E44 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド0レジスタ 4	RSCAN0RFDF04	<RSCAN0_base> + 0E48 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド1レジスタ 4	RSCAN0RFDF14	<RSCAN0_base> + 0E4C _H
RS-CAN0	受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0RFID5	<RSCAN0_base> + 0E50 _H
RS-CAN0	受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0RFPTR5	<RSCAN0_base> + 0E54 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド0レジスタ 5	RSCAN0RFDF05	<RSCAN0_base> + 0E58 _H
RS-CAN0	受信 FIFO バッファアクセスデータフィールド1レジスタ 5	RSCAN0RFDF15	<RSCAN0_base> + 0E5C _H
RS-CAN0	受信 FIFO バッファアクセス ID レジスタ 6	RSCAN0RFID6	<RSCAN0_base> + 0E60 _H
RS-CAN0	受信 FIFO バッファアクセスポインタレジスタ 6	RSCAN0RFPTR6	<RSCAN0_base> + 0E64 _H

表 14.10 レジスタ一覧 (15/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送受信 FIFO バッファアクセスポインタレジスタ 10	RSCAN0CFPTR10	<RSCAN0_base> + 0F24 _H
RS-CAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 10	RSCAN0CFDF010	<RSCAN0_base> + 0F28 _H
RS-CAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 10	RSCAN0CFDF110	<RSCAN0_base> + 0F2C _H
RS-CAN0	送受信 FIFO バッファアクセス ID レジスタ 11	RSCAN0CFID11	<RSCAN0_base> + 0F30 _H
RS-CAN0	送受信 FIFO バッファアクセスポインタレジスタ 11	RSCAN0CFPTR11	<RSCAN0_base> + 0F34 _H
RS-CAN0	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 11	RSCAN0CFDF011	<RSCAN0_base> + 0F38 _H
RS-CAN0	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 11	RSCAN0CFDF111	<RSCAN0_base> + 0F3C _H
RS-CAN0	送信バッファ ID レジスタ 0	RSCAN0TMID0	<RSCAN0_base> + 1000 _H
RS-CAN0	送信バッファポインタレジスタ 0	RSCAN0TMPTR0	<RSCAN0_base> + 1004 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 0	RSCAN0TMDF00	<RSCAN0_base> + 1008 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 0	RSCAN0TMDF10	<RSCAN0_base> + 100C _H
RS-CAN0	送信バッファ ID レジスタ 1	RSCAN0TMID1	<RSCAN0_base> + 1010 _H
RS-CAN0	送信バッファポインタレジスタ 1	RSCAN0TMPTR1	<RSCAN0_base> + 1014 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 1	RSCAN0TMDF01	<RSCAN0_base> + 1018 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 1	RSCAN0TMDF11	<RSCAN0_base> + 101C _H
RS-CAN0	送信バッファ ID レジスタ 2	RSCAN0TMID2	<RSCAN0_base> + 1020 _H
RS-CAN0	送信バッファポインタレジスタ 2	RSCAN0TMPTR2	<RSCAN0_base> + 1024 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 2	RSCAN0TMDF02	<RSCAN0_base> + 1028 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 2	RSCAN0TMDF12	<RSCAN0_base> + 102C _H
RS-CAN0	送信バッファ ID レジスタ 3	RSCAN0TMID3	<RSCAN0_base> + 1030 _H
RS-CAN0	送信バッファポインタレジスタ 3	RSCAN0TMPTR3	<RSCAN0_base> + 1034 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 3	RSCAN0TMDF03	<RSCAN0_base> + 1038 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 3	RSCAN0TMDF13	<RSCAN0_base> + 103C _H
RS-CAN0	送信バッファ ID レジスタ 4	RSCAN0TMID4	<RSCAN0_base> + 1040 _H
RS-CAN0	送信バッファポインタレジスタ 4	RSCAN0TMPTR4	<RSCAN0_base> + 1044 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 4	RSCAN0TMDF04	<RSCAN0_base> + 1048 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 4	RSCAN0TMDF14	<RSCAN0_base> + 104C _H
RS-CAN0	送信バッファ ID レジスタ 5	RSCAN0TMID5	<RSCAN0_base> + 1050 _H
RS-CAN0	送信バッファポインタレジスタ 5	RSCAN0TMPTR5	<RSCAN0_base> + 1054 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 5	RSCAN0TMDF05	<RSCAN0_base> + 1058 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 5	RSCAN0TMDF15	<RSCAN0_base> + 105C _H
RS-CAN0	送信バッファ ID レジスタ 6	RSCAN0TMID6	<RSCAN0_base> + 1060 _H
RS-CAN0	送信バッファポインタレジスタ 6	RSCAN0TMPTR6	<RSCAN0_base> + 1064 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 6	RSCAN0TMDF06	<RSCAN0_base> + 1068 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 6	RSCAN0TMDF16	<RSCAN0_base> + 106C _H
RS-CAN0	送信バッファ ID レジスタ 7	RSCAN0TMID7	<RSCAN0_base> + 1070 _H
RS-CAN0	送信バッファポインタレジスタ 7	RSCAN0TMPTR7	<RSCAN0_base> + 1074 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 7	RSCAN0TMDF07	<RSCAN0_base> + 1078 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 7	RSCAN0TMDF17	<RSCAN0_base> + 107C _H
RS-CAN0	送信バッファ ID レジスタ 8	RSCAN0TMID8	<RSCAN0_base> + 1080 _H
RS-CAN0	送信バッファポインタレジスタ 8	RSCAN0TMPTR8	<RSCAN0_base> + 1084 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 8	RSCAN0TMDF08	<RSCAN0_base> + 1088 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 8	RSCAN0TMDF18	<RSCAN0_base> + 108C _H
RS-CAN0	送信バッファ ID レジスタ 9	RSCAN0TMID9	<RSCAN0_base> + 1090 _H
RS-CAN0	送信バッファポインタレジスタ 9	RSCAN0TMPTR9	<RSCAN0_base> + 1094 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 9	RSCAN0TMDF09	<RSCAN0_base> + 1098 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 9	RSCAN0TMDF19	<RSCAN0_base> + 109C _H

表 14.10 レジスタ一覧 (16/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファ ID レジスタ 10	RSCAN0TMID10	<RSCAN0_base> + 10A0 _H
RS-CAN0	送信バッファポインタレジスタ 10	RSCAN0TMPTR10	<RSCAN0_base> + 10A4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 10	RSCAN0TMDf010	<RSCAN0_base> + 10A8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 10	RSCAN0TMDf110	<RSCAN0_base> + 10AC _H
RS-CAN0	送信バッファ ID レジスタ 11	RSCAN0TMID11	<RSCAN0_base> + 10B0 _H
RS-CAN0	送信バッファポインタレジスタ 11	RSCAN0TMPTR11	<RSCAN0_base> + 10B4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 11	RSCAN0TMDf011	<RSCAN0_base> + 10B8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 11	RSCAN0TMDf111	<RSCAN0_base> + 10BC _H
RS-CAN0	送信バッファ ID レジスタ 12	RSCAN0TMID12	<RSCAN0_base> + 10C0 _H
RS-CAN0	送信バッファポインタレジスタ 12	RSCAN0TMPTR12	<RSCAN0_base> + 10C4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 12	RSCAN0TMDf012	<RSCAN0_base> + 10C8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 12	RSCAN0TMDf112	<RSCAN0_base> + 10CC _H
RS-CAN0	送信バッファ ID レジスタ 13	RSCAN0TMID13	<RSCAN0_base> + 10D0 _H
RS-CAN0	送信バッファポインタレジスタ 13	RSCAN0TMPTR13	<RSCAN0_base> + 10D4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 13	RSCAN0TMDf013	<RSCAN0_base> + 10D8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 13	RSCAN0TMDf113	<RSCAN0_base> + 10DC _H
RS-CAN0	送信バッファ ID レジスタ 14	RSCAN0TMID14	<RSCAN0_base> + 10E0 _H
RS-CAN0	送信バッファポインタレジスタ 14	RSCAN0TMPTR14	<RSCAN0_base> + 10E4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 14	RSCAN0TMDf014	<RSCAN0_base> + 10E8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 14	RSCAN0TMDf114	<RSCAN0_base> + 10EC _H
RS-CAN0	送信バッファ ID レジスタ 15	RSCAN0TMID15	<RSCAN0_base> + 10F0 _H
RS-CAN0	送信バッファポインタレジスタ 15	RSCAN0TMPTR15	<RSCAN0_base> + 10F4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 15	RSCAN0TMDf015	<RSCAN0_base> + 10F8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 15	RSCAN0TMDf115	<RSCAN0_base> + 10FC _H
RS-CAN0	送信バッファ ID レジスタ 16	RSCAN0TMID16	<RSCAN0_base> + 1100 _H
RS-CAN0	送信バッファポインタレジスタ 16	RSCAN0TMPTR16	<RSCAN0_base> + 1104 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 16	RSCAN0TMDf016	<RSCAN0_base> + 1108 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 16	RSCAN0TMDf116	<RSCAN0_base> + 110C _H
RS-CAN0	送信バッファ ID レジスタ 17	RSCAN0TMID17	<RSCAN0_base> + 1110 _H
RS-CAN0	送信バッファポインタレジスタ 17	RSCAN0TMPTR17	<RSCAN0_base> + 1114 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 17	RSCAN0TMDf017	<RSCAN0_base> + 1118 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 17	RSCAN0TMDf117	<RSCAN0_base> + 111C _H
RS-CAN0	送信バッファ ID レジスタ 18	RSCAN0TMID18	<RSCAN0_base> + 1120 _H
RS-CAN0	送信バッファポインタレジスタ 18	RSCAN0TMPTR18	<RSCAN0_base> + 1124 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 18	RSCAN0TMDf018	<RSCAN0_base> + 1128 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 18	RSCAN0TMDf118	<RSCAN0_base> + 112C _H
RS-CAN0	送信バッファ ID レジスタ 19	RSCAN0TMID19	<RSCAN0_base> + 1130 _H
RS-CAN0	送信バッファポインタレジスタ 19	RSCAN0TMPTR19	<RSCAN0_base> + 1134 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 19	RSCAN0TMDf019	<RSCAN0_base> + 1138 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 19	RSCAN0TMDf119	<RSCAN0_base> + 113C _H
RS-CAN0	送信バッファ ID レジスタ 20	RSCAN0TMID20	<RSCAN0_base> + 1140 _H
RS-CAN0	送信バッファポインタレジスタ 20	RSCAN0TMPTR20	<RSCAN0_base> + 1144 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 20	RSCAN0TMDf020	<RSCAN0_base> + 1148 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 20	RSCAN0TMDf120	<RSCAN0_base> + 114C _H
RS-CAN0	送信バッファ ID レジスタ 21	RSCAN0TMID21	<RSCAN0_base> + 1150 _H
RS-CAN0	送信バッファポインタレジスタ 21	RSCAN0TMPTR21	<RSCAN0_base> + 1154 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 21	RSCAN0TMDf021	<RSCAN0_base> + 1158 _H

表 14.10 レジスタ一覧 (17/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファデータフィールド1レジスタ 21	RSCAN0TMDF121	<RSCAN0_base> + 115C _H
RS-CAN0	送信バッファ ID レジスタ 22	RSCAN0TMID22	<RSCAN0_base> + 1160 _H
RS-CAN0	送信バッファポインタレジスタ 22	RSCAN0TMPTR22	<RSCAN0_base> + 1164 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 22	RSCAN0TMDF022	<RSCAN0_base> + 1168 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 22	RSCAN0TMDF122	<RSCAN0_base> + 116C _H
RS-CAN0	送信バッファ ID レジスタ 23	RSCAN0TMID23	<RSCAN0_base> + 1170 _H
RS-CAN0	送信バッファポインタレジスタ 23	RSCAN0TMPTR23	<RSCAN0_base> + 1174 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 23	RSCAN0TMDF023	<RSCAN0_base> + 1178 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 23	RSCAN0TMDF123	<RSCAN0_base> + 117C _H
RS-CAN0	送信バッファ ID レジスタ 24	RSCAN0TMID24	<RSCAN0_base> + 1180 _H
RS-CAN0	送信バッファポインタレジスタ 24	RSCAN0TMPTR24	<RSCAN0_base> + 1184 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 24	RSCAN0TMDF024	<RSCAN0_base> + 1188 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 24	RSCAN0TMDF124	<RSCAN0_base> + 118C _H
RS-CAN0	送信バッファ ID レジスタ 25	RSCAN0TMID25	<RSCAN0_base> + 1190 _H
RS-CAN0	送信バッファポインタレジスタ 25	RSCAN0TMPTR25	<RSCAN0_base> + 1194 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 25	RSCAN0TMDF025	<RSCAN0_base> + 1198 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 25	RSCAN0TMDF125	<RSCAN0_base> + 119C _H
RS-CAN0	送信バッファ ID レジスタ 26	RSCAN0TMID26	<RSCAN0_base> + 11A0 _H
RS-CAN0	送信バッファポインタレジスタ 26	RSCAN0TMPTR26	<RSCAN0_base> + 11A4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 26	RSCAN0TMDF026	<RSCAN0_base> + 11A8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 26	RSCAN0TMDF126	<RSCAN0_base> + 11AC _H
RS-CAN0	送信バッファ ID レジスタ 27	RSCAN0TMID27	<RSCAN0_base> + 11B0 _H
RS-CAN0	送信バッファポインタレジスタ 27	RSCAN0TMPTR27	<RSCAN0_base> + 11B4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 27	RSCAN0TMDF027	<RSCAN0_base> + 11B8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 27	RSCAN0TMDF127	<RSCAN0_base> + 11BC _H
RS-CAN0	送信バッファ ID レジスタ 28	RSCAN0TMID28	<RSCAN0_base> + 11C0 _H
RS-CAN0	送信バッファポインタレジスタ 28	RSCAN0TMPTR28	<RSCAN0_base> + 11C4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 28	RSCAN0TMDF028	<RSCAN0_base> + 11C8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 28	RSCAN0TMDF128	<RSCAN0_base> + 11CC _H
RS-CAN0	送信バッファ ID レジスタ 29	RSCAN0TMID29	<RSCAN0_base> + 11D0 _H
RS-CAN0	送信バッファポインタレジスタ 29	RSCAN0TMPTR29	<RSCAN0_base> + 11D4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 29	RSCAN0TMDF029	<RSCAN0_base> + 11D8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 29	RSCAN0TMDF129	<RSCAN0_base> + 11DC _H
RS-CAN0	送信バッファ ID レジスタ 30	RSCAN0TMID30	<RSCAN0_base> + 11E0 _H
RS-CAN0	送信バッファポインタレジスタ 30	RSCAN0TMPTR30	<RSCAN0_base> + 11E4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 30	RSCAN0TMDF030	<RSCAN0_base> + 11E8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 30	RSCAN0TMDF130	<RSCAN0_base> + 11EC _H
RS-CAN0	送信バッファ ID レジスタ 31	RSCAN0TMID31	<RSCAN0_base> + 11F0 _H
RS-CAN0	送信バッファポインタレジスタ 31	RSCAN0TMPTR31	<RSCAN0_base> + 11F4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 31	RSCAN0TMDF031	<RSCAN0_base> + 11F8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 31	RSCAN0TMDF131	<RSCAN0_base> + 11FC _H
RS-CAN0	送信バッファ ID レジスタ 32	RSCAN0TMID32	<RSCAN0_base> + 1200 _H
RS-CAN0	送信バッファポインタレジスタ 32	RSCAN0TMPTR32	<RSCAN0_base> + 1204 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 32	RSCAN0TMDF032	<RSCAN0_base> + 1208 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 32	RSCAN0TMDF132	<RSCAN0_base> + 120C _H
RS-CAN0	送信バッファ ID レジスタ 33	RSCAN0TMID33	<RSCAN0_base> + 1210 _H
RS-CAN0	送信バッファポインタレジスタ 33	RSCAN0TMPTR33	<RSCAN0_base> + 1214 _H

表 14.10 レジスタ一覧 (18/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファデータフィールド0 レジスタ 33	RSCAN0TMDF033	<RSCAN0_base> + 1218 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 33	RSCAN0TMDF133	<RSCAN0_base> + 121C _H
RS-CAN0	送信バッファ ID レジスタ 34	RSCAN0TMID34	<RSCAN0_base> + 1220 _H
RS-CAN0	送信バッファポインタレジスタ 34	RSCAN0TMPTR34	<RSCAN0_base> + 1224 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 34	RSCAN0TMDF034	<RSCAN0_base> + 1228 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 34	RSCAN0TMDF134	<RSCAN0_base> + 122C _H
RS-CAN0	送信バッファ ID レジスタ 35	RSCAN0TMID35	<RSCAN0_base> + 1230 _H
RS-CAN0	送信バッファポインタレジスタ 35	RSCAN0TMPTR35	<RSCAN0_base> + 1234 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 35	RSCAN0TMDF035	<RSCAN0_base> + 1238 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 35	RSCAN0TMDF135	<RSCAN0_base> + 123C _H
RS-CAN0	送信バッファ ID レジスタ 36	RSCAN0TMID36	<RSCAN0_base> + 1240 _H
RS-CAN0	送信バッファポインタレジスタ 36	RSCAN0TMPTR36	<RSCAN0_base> + 1244 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 36	RSCAN0TMDF036	<RSCAN0_base> + 1248 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 36	RSCAN0TMDF136	<RSCAN0_base> + 124C _H
RS-CAN0	送信バッファ ID レジスタ 37	RSCAN0TMID37	<RSCAN0_base> + 1250 _H
RS-CAN0	送信バッファポインタレジスタ 37	RSCAN0TMPTR37	<RSCAN0_base> + 1254 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 37	RSCAN0TMDF037	<RSCAN0_base> + 1258 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 37	RSCAN0TMDF137	<RSCAN0_base> + 125C _H
RS-CAN0	送信バッファ ID レジスタ 38	RSCAN0TMID38	<RSCAN0_base> + 1260 _H
RS-CAN0	送信バッファポインタレジスタ 38	RSCAN0TMPTR38	<RSCAN0_base> + 1264 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 38	RSCAN0TMDF038	<RSCAN0_base> + 1268 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 38	RSCAN0TMDF138	<RSCAN0_base> + 126C _H
RS-CAN0	送信バッファ ID レジスタ 39	RSCAN0TMID39	<RSCAN0_base> + 1270 _H
RS-CAN0	送信バッファポインタレジスタ 39	RSCAN0TMPTR39	<RSCAN0_base> + 1274 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 39	RSCAN0TMDF039	<RSCAN0_base> + 1278 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 39	RSCAN0TMDF139	<RSCAN0_base> + 127C _H
RS-CAN0	送信バッファ ID レジスタ 40	RSCAN0TMID40	<RSCAN0_base> + 1280 _H
RS-CAN0	送信バッファポインタレジスタ 40	RSCAN0TMPTR40	<RSCAN0_base> + 1284 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 40	RSCAN0TMDF040	<RSCAN0_base> + 1288 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 40	RSCAN0TMDF140	<RSCAN0_base> + 128C _H
RS-CAN0	送信バッファ ID レジスタ 41	RSCAN0TMID41	<RSCAN0_base> + 1290 _H
RS-CAN0	送信バッファポインタレジスタ 41	RSCAN0TMPTR41	<RSCAN0_base> + 1294 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 41	RSCAN0TMDF041	<RSCAN0_base> + 1298 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 41	RSCAN0TMDF141	<RSCAN0_base> + 129C _H
RS-CAN0	送信バッファ ID レジスタ 42	RSCAN0TMID42	<RSCAN0_base> + 12A0 _H
RS-CAN0	送信バッファポインタレジスタ 42	RSCAN0TMPTR42	<RSCAN0_base> + 12A4 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 42	RSCAN0TMDF042	<RSCAN0_base> + 12A8 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 42	RSCAN0TMDF142	<RSCAN0_base> + 12AC _H
RS-CAN0	送信バッファ ID レジスタ 43	RSCAN0TMID43	<RSCAN0_base> + 12B0 _H
RS-CAN0	送信バッファポインタレジスタ 43	RSCAN0TMPTR43	<RSCAN0_base> + 12B4 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 43	RSCAN0TMDF043	<RSCAN0_base> + 12B8 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 43	RSCAN0TMDF143	<RSCAN0_base> + 12BC _H
RS-CAN0	送信バッファ ID レジスタ 44	RSCAN0TMID44	<RSCAN0_base> + 12C0 _H
RS-CAN0	送信バッファポインタレジスタ 44	RSCAN0TMPTR44	<RSCAN0_base> + 12C4 _H
RS-CAN0	送信バッファデータフィールド0 レジスタ 44	RSCAN0TMDF044	<RSCAN0_base> + 12C8 _H
RS-CAN0	送信バッファデータフィールド1 レジスタ 44	RSCAN0TMDF144	<RSCAN0_base> + 12CC _H
RS-CAN0	送信バッファ ID レジスタ 45	RSCAN0TMID45	<RSCAN0_base> + 12D0 _H

表 14.10 レジスタ一覧 (19/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファポインタレジスタ 45	RSCAN0TMPTR45	<RSCAN0_base> + 12D4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 45	RSCAN0TMDf045	<RSCAN0_base> + 12D8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 45	RSCAN0TMDf145	<RSCAN0_base> + 12DC _H
RS-CAN0	送信バッファIDレジスタ 46	RSCAN0TMID46	<RSCAN0_base> + 12E0 _H
RS-CAN0	送信バッファポインタレジスタ 46	RSCAN0TMPTR46	<RSCAN0_base> + 12E4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 46	RSCAN0TMDf046	<RSCAN0_base> + 12E8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 46	RSCAN0TMDf146	<RSCAN0_base> + 12EC _H
RS-CAN0	送信バッファIDレジスタ 47	RSCAN0TMID47	<RSCAN0_base> + 12F0 _H
RS-CAN0	送信バッファポインタレジスタ 47	RSCAN0TMPTR47	<RSCAN0_base> + 12F4 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 47	RSCAN0TMDf047	<RSCAN0_base> + 12F8 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 47	RSCAN0TMDf147	<RSCAN0_base> + 12FC _H
RS-CAN0	送信バッファIDレジスタ 48	RSCAN0TMID48	<RSCAN0_base> + 1300 _H
RS-CAN0	送信バッファポインタレジスタ 48	RSCAN0TMPTR48	<RSCAN0_base> + 1304 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 48	RSCAN0TMDf048	<RSCAN0_base> + 1308 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 48	RSCAN0TMDf148	<RSCAN0_base> + 130C _H
RS-CAN0	送信バッファIDレジスタ 49	RSCAN0TMID49	<RSCAN0_base> + 1310 _H
RS-CAN0	送信バッファポインタレジスタ 49	RSCAN0TMPTR49	<RSCAN0_base> + 1314 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 49	RSCAN0TMDf049	<RSCAN0_base> + 1318 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 49	RSCAN0TMDf149	<RSCAN0_base> + 131C _H
RS-CAN0	送信バッファIDレジスタ 50	RSCAN0TMID50	<RSCAN0_base> + 1320 _H
RS-CAN0	送信バッファポインタレジスタ 50	RSCAN0TMPTR50	<RSCAN0_base> + 1324 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 50	RSCAN0TMDf050	<RSCAN0_base> + 1328 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 50	RSCAN0TMDf150	<RSCAN0_base> + 132C _H
RS-CAN0	送信バッファIDレジスタ 51	RSCAN0TMID51	<RSCAN0_base> + 1330 _H
RS-CAN0	送信バッファポインタレジスタ 51	RSCAN0TMPTR51	<RSCAN0_base> + 1334 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 51	RSCAN0TMDf051	<RSCAN0_base> + 1338 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 51	RSCAN0TMDf151	<RSCAN0_base> + 133C _H
RS-CAN0	送信バッファIDレジスタ 52	RSCAN0TMID52	<RSCAN0_base> + 1340 _H
RS-CAN0	送信バッファポインタレジスタ 52	RSCAN0TMPTR52	<RSCAN0_base> + 1344 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 52	RSCAN0TMDf052	<RSCAN0_base> + 1348 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 52	RSCAN0TMDf152	<RSCAN0_base> + 134C _H
RS-CAN0	送信バッファIDレジスタ 53	RSCAN0TMID53	<RSCAN0_base> + 1350 _H
RS-CAN0	送信バッファポインタレジスタ 53	RSCAN0TMPTR53	<RSCAN0_base> + 1354 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 53	RSCAN0TMDf053	<RSCAN0_base> + 1358 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 53	RSCAN0TMDf153	<RSCAN0_base> + 135C _H
RS-CAN0	送信バッファIDレジスタ 54	RSCAN0TMID54	<RSCAN0_base> + 1360 _H
RS-CAN0	送信バッファポインタレジスタ 54	RSCAN0TMPTR54	<RSCAN0_base> + 1364 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 54	RSCAN0TMDf054	<RSCAN0_base> + 1368 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 54	RSCAN0TMDf154	<RSCAN0_base> + 136C _H
RS-CAN0	送信バッファIDレジスタ 55	RSCAN0TMID55	<RSCAN0_base> + 1370 _H
RS-CAN0	送信バッファポインタレジスタ 55	RSCAN0TMPTR55	<RSCAN0_base> + 1374 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 55	RSCAN0TMDf055	<RSCAN0_base> + 1378 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 55	RSCAN0TMDf155	<RSCAN0_base> + 137C _H
RS-CAN0	送信バッファIDレジスタ 56	RSCAN0TMID56	<RSCAN0_base> + 1380 _H
RS-CAN0	送信バッファポインタレジスタ 56	RSCAN0TMPTR56	<RSCAN0_base> + 1384 _H
RS-CAN0	送信バッファデータフィールド0レジスタ 56	RSCAN0TMDf056	<RSCAN0_base> + 1388 _H
RS-CAN0	送信バッファデータフィールド1レジスタ 56	RSCAN0TMDf156	<RSCAN0_base> + 138C _H

表 14.10 レジスタ一覧 (20/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	送信バッファ ID レジスタ 57	RSCAN0TMID57	<RSCAN0_base> + 1390 _H
RS-CAN0	送信バッファポインタレジスタ 57	RSCAN0TMPTR57	<RSCAN0_base> + 1394 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 57	RSCAN0TMDf057	<RSCAN0_base> + 1398 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 57	RSCAN0TMDf157	<RSCAN0_base> + 139C _H
RS-CAN0	送信バッファ ID レジスタ 58	RSCAN0TMID58	<RSCAN0_base> + 13A0 _H
RS-CAN0	送信バッファポインタレジスタ 58	RSCAN0TMPTR58	<RSCAN0_base> + 13A4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 58	RSCAN0TMDf058	<RSCAN0_base> + 13A8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 58	RSCAN0TMDf158	<RSCAN0_base> + 13AC _H
RS-CAN0	送信バッファ ID レジスタ 59	RSCAN0TMID59	<RSCAN0_base> + 13B0 _H
RS-CAN0	送信バッファポインタレジスタ 59	RSCAN0TMPTR59	<RSCAN0_base> + 13B4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 59	RSCAN0TMDf059	<RSCAN0_base> + 13B8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 59	RSCAN0TMDf159	<RSCAN0_base> + 13BC _H
RS-CAN0	送信バッファ ID レジスタ 60	RSCAN0TMID60	<RSCAN0_base> + 13C0 _H
RS-CAN0	送信バッファポインタレジスタ 60	RSCAN0TMPTR60	<RSCAN0_base> + 13C4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 60	RSCAN0TMDf060	<RSCAN0_base> + 13C8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 60	RSCAN0TMDf160	<RSCAN0_base> + 13CC _H
RS-CAN0	送信バッファ ID レジスタ 61	RSCAN0TMID61	<RSCAN0_base> + 13D0 _H
RS-CAN0	送信バッファポインタレジスタ 61	RSCAN0TMPTR61	<RSCAN0_base> + 13D4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 61	RSCAN0TMDf061	<RSCAN0_base> + 13D8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 61	RSCAN0TMDf161	<RSCAN0_base> + 13DC _H
RS-CAN0	送信バッファ ID レジスタ 62	RSCAN0TMID62	<RSCAN0_base> + 13E0 _H
RS-CAN0	送信バッファポインタレジスタ 62	RSCAN0TMPTR62	<RSCAN0_base> + 13E4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 62	RSCAN0TMDf062	<RSCAN0_base> + 13E8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 62	RSCAN0TMDf162	<RSCAN0_base> + 13EC _H
RS-CAN0	送信バッファ ID レジスタ 63	RSCAN0TMID63	<RSCAN0_base> + 13F0 _H
RS-CAN0	送信バッファポインタレジスタ 63	RSCAN0TMPTR63	<RSCAN0_base> + 13F4 _H
RS-CAN0	送信バッファデータフィールド 0 レジスタ 63	RSCAN0TMDf063	<RSCAN0_base> + 13F8 _H
RS-CAN0	送信バッファデータフィールド 1 レジスタ 63	RSCAN0TMDf163	<RSCAN0_base> + 13FC _H
RS-CAN0	送信履歴アクセスレジスタ 0	RSCAN0THLACC0	<RSCAN0_base> + 1800 _H
RS-CAN0	送信履歴アクセスレジスタ 1	RSCAN0THLACC1	<RSCAN0_base> + 1804 _H
RS-CAN0	送信履歴アクセスレジスタ 2	RSCAN0THLACC2	<RSCAN0_base> + 1808 _H
RS-CAN0	送信履歴アクセスレジスタ 3	RSCAN0THLACC3	<RSCAN0_base> + 180C _H
RS-CAN0	RAM テストページアクセスレジスタ 0	RSCAN0RPGACC0	<RSCAN0_base> + 1900 _H
RS-CAN0	RAM テストページアクセスレジスタ 1	RSCAN0RPGACC1	<RSCAN0_base> + 1904 _H
RS-CAN0	RAM テストページアクセスレジスタ 2	RSCAN0RPGACC2	<RSCAN0_base> + 1908 _H
RS-CAN0	RAM テストページアクセスレジスタ 3	RSCAN0RPGACC3	<RSCAN0_base> + 190C _H
RS-CAN0	RAM テストページアクセスレジスタ 4	RSCAN0RPGACC4	<RSCAN0_base> + 1910 _H
RS-CAN0	RAM テストページアクセスレジスタ 5	RSCAN0RPGACC5	<RSCAN0_base> + 1914 _H
RS-CAN0	RAM テストページアクセスレジスタ 6	RSCAN0RPGACC6	<RSCAN0_base> + 1918 _H
RS-CAN0	RAM テストページアクセスレジスタ 7	RSCAN0RPGACC7	<RSCAN0_base> + 191C _H
RS-CAN0	RAM テストページアクセスレジスタ 8	RSCAN0RPGACC8	<RSCAN0_base> + 1920 _H
RS-CAN0	RAM テストページアクセスレジスタ 9	RSCAN0RPGACC9	<RSCAN0_base> + 1924 _H
RS-CAN0	RAM テストページアクセスレジスタ 10	RSCAN0RPGACC10	<RSCAN0_base> + 1928 _H
RS-CAN0	RAM テストページアクセスレジスタ 11	RSCAN0RPGACC11	<RSCAN0_base> + 192C _H
RS-CAN0	RAM テストページアクセスレジスタ 12	RSCAN0RPGACC12	<RSCAN0_base> + 1930 _H
RS-CAN0	RAM テストページアクセスレジスタ 13	RSCAN0RPGACC13	<RSCAN0_base> + 1934 _H
RS-CAN0	RAM テストページアクセスレジスタ 14	RSCAN0RPGACC14	<RSCAN0_base> + 1938 _H

表 14.10 レジスタ一覧 (21/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	RAM テストページアクセスレジスタ 15	RSCAN0RPGACC15	<RSCAN0_base> + 193C _H
RS-CAN0	RAM テストページアクセスレジスタ 16	RSCAN0RPGACC16	<RSCAN0_base> + 1940 _H
RS-CAN0	RAM テストページアクセスレジスタ 17	RSCAN0RPGACC17	<RSCAN0_base> + 1944 _H
RS-CAN0	RAM テストページアクセスレジスタ 18	RSCAN0RPGACC18	<RSCAN0_base> + 1948 _H
RS-CAN0	RAM テストページアクセスレジスタ 19	RSCAN0RPGACC19	<RSCAN0_base> + 194C _H
RS-CAN0	RAM テストページアクセスレジスタ 20	RSCAN0RPGACC20	<RSCAN0_base> + 1950 _H
RS-CAN0	RAM テストページアクセスレジスタ 21	RSCAN0RPGACC21	<RSCAN0_base> + 1954 _H
RS-CAN0	RAM テストページアクセスレジスタ 22	RSCAN0RPGACC22	<RSCAN0_base> + 1958 _H
RS-CAN0	RAM テストページアクセスレジスタ 23	RSCAN0RPGACC23	<RSCAN0_base> + 195C _H
RS-CAN0	RAM テストページアクセスレジスタ 24	RSCAN0RPGACC24	<RSCAN0_base> + 1960 _H
RS-CAN0	RAM テストページアクセスレジスタ 25	RSCAN0RPGACC25	<RSCAN0_base> + 1964 _H
RS-CAN0	RAM テストページアクセスレジスタ 26	RSCAN0RPGACC26	<RSCAN0_base> + 1968 _H
RS-CAN0	RAM テストページアクセスレジスタ 27	RSCAN0RPGACC27	<RSCAN0_base> + 196C _H
RS-CAN0	RAM テストページアクセスレジスタ 28	RSCAN0RPGACC28	<RSCAN0_base> + 1970 _H
RS-CAN0	RAM テストページアクセスレジスタ 29	RSCAN0RPGACC29	<RSCAN0_base> + 1974 _H
RS-CAN0	RAM テストページアクセスレジスタ 30	RSCAN0RPGACC30	<RSCAN0_base> + 1978 _H
RS-CAN0	RAM テストページアクセスレジスタ 31	RSCAN0RPGACC31	<RSCAN0_base> + 197C _H
RS-CAN0	RAM テストページアクセスレジスタ 32	RSCAN0RPGACC32	<RSCAN0_base> + 1980 _H
RS-CAN0	RAM テストページアクセスレジスタ 33	RSCAN0RPGACC33	<RSCAN0_base> + 1984 _H
RS-CAN0	RAM テストページアクセスレジスタ 34	RSCAN0RPGACC34	<RSCAN0_base> + 1988 _H
RS-CAN0	RAM テストページアクセスレジスタ 35	RSCAN0RPGACC35	<RSCAN0_base> + 198C _H
RS-CAN0	RAM テストページアクセスレジスタ 36	RSCAN0RPGACC36	<RSCAN0_base> + 1990 _H
RS-CAN0	RAM テストページアクセスレジスタ 37	RSCAN0RPGACC37	<RSCAN0_base> + 1994 _H
RS-CAN0	RAM テストページアクセスレジスタ 38	RSCAN0RPGACC38	<RSCAN0_base> + 1998 _H
RS-CAN0	RAM テストページアクセスレジスタ 39	RSCAN0RPGACC39	<RSCAN0_base> + 199C _H
RS-CAN0	RAM テストページアクセスレジスタ 40	RSCAN0RPGACC40	<RSCAN0_base> + 19A0 _H
RS-CAN0	RAM テストページアクセスレジスタ 41	RSCAN0RPGACC41	<RSCAN0_base> + 19A4 _H
RS-CAN0	RAM テストページアクセスレジスタ 42	RSCAN0RPGACC42	<RSCAN0_base> + 19A8 _H
RS-CAN0	RAM テストページアクセスレジスタ 43	RSCAN0RPGACC43	<RSCAN0_base> + 19AC _H
RS-CAN0	RAM テストページアクセスレジスタ 44	RSCAN0RPGACC44	<RSCAN0_base> + 19B0 _H
RS-CAN0	RAM テストページアクセスレジスタ 45	RSCAN0RPGACC45	<RSCAN0_base> + 19B4 _H
RS-CAN0	RAM テストページアクセスレジスタ 46	RSCAN0RPGACC46	<RSCAN0_base> + 19B8 _H
RS-CAN0	RAM テストページアクセスレジスタ 47	RSCAN0RPGACC47	<RSCAN0_base> + 19BC _H
RS-CAN0	RAM テストページアクセスレジスタ 48	RSCAN0RPGACC48	<RSCAN0_base> + 19C0 _H
RS-CAN0	RAM テストページアクセスレジスタ 49	RSCAN0RPGACC49	<RSCAN0_base> + 19C4 _H
RS-CAN0	RAM テストページアクセスレジスタ 50	RSCAN0RPGACC50	<RSCAN0_base> + 19C8 _H
RS-CAN0	RAM テストページアクセスレジスタ 51	RSCAN0RPGACC51	<RSCAN0_base> + 19CC _H
RS-CAN0	RAM テストページアクセスレジスタ 52	RSCAN0RPGACC52	<RSCAN0_base> + 19D0 _H
RS-CAN0	RAM テストページアクセスレジスタ 53	RSCAN0RPGACC53	<RSCAN0_base> + 19D4 _H
RS-CAN0	RAM テストページアクセスレジスタ 54	RSCAN0RPGACC54	<RSCAN0_base> + 19D8 _H
RS-CAN0	RAM テストページアクセスレジスタ 55	RSCAN0RPGACC55	<RSCAN0_base> + 19DC _H
RS-CAN0	RAM テストページアクセスレジスタ 56	RSCAN0RPGACC56	<RSCAN0_base> + 19E0 _H
RS-CAN0	RAM テストページアクセスレジスタ 57	RSCAN0RPGACC57	<RSCAN0_base> + 19E4 _H
RS-CAN0	RAM テストページアクセスレジスタ 58	RSCAN0RPGACC58	<RSCAN0_base> + 19E8 _H
RS-CAN0	RAM テストページアクセスレジスタ 59	RSCAN0RPGACC59	<RSCAN0_base> + 19EC _H
RS-CAN0	RAM テストページアクセスレジスタ 60	RSCAN0RPGACC60	<RSCAN0_base> + 19F0 _H
RS-CAN0	RAM テストページアクセスレジスタ 61	RSCAN0RPGACC61	<RSCAN0_base> + 19F4 _H

表 14.10 レジスタ一覧 (22/22)

モジュール名	レジスタ名	略号	アドレス
RS-CAN0	RAM テストページアクセスレジスタ 62	RSCAN0RPGACC62	<RSCAN0_base> + 19F8 _H
RS-CAN0	RAM テストページアクセスレジスタ 63	RSCAN0RPGACC63	<RSCAN0_base> + 19FC _H

表 14.11 各チャンネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
送信バッファ 16 × m + 15	

表 14.12 各チャンネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3 × m + 0
	送受信 FIFO バッファ 3 × m + 1
	送受信 FIFO バッファ 3 × m + 2

表 14.13 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000 _B	送信バッファ 16 × m + 0
0001 _B	送信バッファ 16 × m + 1
0010 _B	送信バッファ 16 × m + 2
0011 _B	送信バッファ 16 × m + 3
0100 _B	送信バッファ 16 × m + 4
0101 _B	送信バッファ 16 × m + 5
0110 _B	送信バッファ 16 × m + 6
0111 _B	送信バッファ 16 × m + 7
1000 _B	送信バッファ 16 × m + 8
1001 _B	送信バッファ 16 × m + 9
1010 _B	送信バッファ 16 × m + 10
1011 _B	送信バッファ 16 × m + 11
1100 _B	送信バッファ 16 × m + 12
1101 _B	送信バッファ 16 × m + 13
1110 _B	送信バッファ 16 × m + 14
1111 _B	送信バッファ 16 × m + 15

表 14.14 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000 _B	設定禁止
0001 _B	設定禁止
0010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 13
0011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 12
0100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 11
0101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 10
0110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 9
0111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 8
1000 _B	送信バッファ 16 × m + 15 ~ 16 × m + 7
1001 _B	送信バッファ 16 × m + 15 ~ 16 × m + 6
1010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 5
1011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 4
1100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 3
1101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 2
1110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 1
1111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 0

14.3.2 RSCAN0CmCFG — チャネルコンフィグレーションレジスタ (m = 0 ~ 3)

アクセス RSCAN0CmCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CmCFGL、RSCAN0CmCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CmCFGLL、RSCAN0CmCFGLH、RSCAN0CmCFGHL、RSCAN0CmCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CmCFG: $\langle \text{RSCAN0_base} \rangle + 0000_{\text{H}} + (10_{\text{H}} \times m)$
RSCAN0CmCFGL: $\langle \text{RSCAN0_base} \rangle + 0000_{\text{H}} + (10_{\text{H}} \times m)$ 、
RSCAN0CmCFGH: $\langle \text{RSCAN0_base} \rangle + 0002_{\text{H}} + (10_{\text{H}} \times m)$
RSCAN0CmCFGLL: $\langle \text{RSCAN0_base} \rangle + 0000_{\text{H}} + (10_{\text{H}} \times m)$ 、
RSCAN0CmCFGLH: $\langle \text{RSCAN0_base} \rangle + 0001_{\text{H}} + (10_{\text{H}} \times m)$ 、
RSCAN0CmCFGHL: $\langle \text{RSCAN0_base} \rangle + 0002_{\text{H}} + (10_{\text{H}} \times m)$ 、
RSCAN0CmCFGHH: $\langle \text{RSCAN0_base} \rangle + 0003_{\text{H}} + (10_{\text{H}} \times m)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	SJW [1:0]		—	TSEG2 [2:0]			TSEG1 [3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	BRP [9:0]									—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 14.15 RSCAN0CmCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
25、24	SJW [1:0]	再同期ジャンプ幅制御ビット b25 b24 0 0: 1 Tq 0 1: 2 Tq 1 0: 3 Tq 1 1: 4 Tq
23	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
22 ~ 20	TSEG2 [2:0]	タイムセグメント 2 制御ビット b22 b21 b20 0 0 0: 設定禁止 ^{注1} 0 0 1: 2 Tq 0 1 0: 3 Tq 0 1 1: 4 Tq 1 0 0: 5 Tq 1 0 1: 6 Tq 1 1 0: 7 Tq 1 1 1: 8 Tq

表 14.15 RSCAN0CmCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ~ 16	TSEG1 [3:0]	タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0: 設定禁止 ^{注1} 0 0 0 1: 設定禁止 0 0 1 0: 設定禁止 0 0 1 1: 4 Tq 0 1 0 0: 5 Tq 0 1 0 1: 6 Tq 0 1 1 0: 7 Tq 0 1 1 1: 8 Tq 1 0 0 0: 9 Tq 1 0 0 1: 10 Tq 1 0 1 0: 11 Tq 1 0 1 1: 12 Tq 1 1 0 0: 13 Tq 1 1 0 1: 14 Tq 1 1 1 0: 15 Tq 1 1 1 1: 16 Tq
15 ~ 10	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
9 ~ 0	BRP [9:0]	プリスケール分周比設定ビット 設定値を P (0 ~ 1023) とすると、ポーレートプリスケールは fCAN を P+1 で分周します。

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

RSCAN0CmCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネル通信モードまたはチャンネル待機モードに遷移要求する前に設定してください。ビットタイミングパラメータの説明と設定については、「**14.5.1 初期設定**」を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロバゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック (fCAN) をポーレートプリスケール ((BRP[9:0]) + 1) で分周したクロックが CANmTq クロック (fCANTQn) になり、CANmTq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

14.3.3 RSCAN0CmCTR — チャネル制御レジスタ (m = 0 ~ 3)

アクセス RSCAN0CmCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CmCTRL、RSCAN0CmCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CmCTRLH、RSCAN0CmCTRLH、RSCAN0CmCTRHL、RSCAN0CmCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CmCTR: <RSCAN0_base> + 0004_H + (10_H × m)
RSCAN0CmCTRL: <RSCAN0_base> + 0004_H + (10_H × m)、
RSCAN0CmCTRH: <RSCAN0_base> + 0006_H + (10_H × m)
RSCAN0CmCTRLH: <RSCAN0_base> + 0004_H + (10_H × m)、
RSCAN0CmCTRLH: <RSCAN0_base> + 0005_H + (10_H × m)、
RSCAN0CmCTRHL: <RSCAN0_base> + 0006_H + (10_H × m)、
RSCAN0CmCTRHH: <RSCAN0_base> + 0007_H + (10_H × m)

リセット後の値 0000 0005_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 14.16 RSCAN0CmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)
24	CTME	通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0: RSCAN0CmERFL レジスタのビット 14 ~ 8 がすべてクリアされたあと、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0: ISO11898-1 仕様準拠 0 1: バスオフ開始でチャネル待機モードへ遷移 1 0: バスオフ終了でチャネル待機モードへ遷移 1 1: バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20 ~ 17	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
16	TAIE	送信アボート割り込み許可ビット 0: 送信アボート割り込み禁止 1: 送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可

表 14.16 RSCAN0CmCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	BLIE	バスロック割り込み許可ビット 0: バスロック割り込み禁止 1: バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0: オーバロードフレーム送信割り込み禁止 1: オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0: バスエラー割り込み禁止 1: バスエラー割り込み許可
7 ~ 4	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。
2	CSLPR	チャンネルストップモードビット 0: チャンネルストップモードではない 1: チャンネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1 b0 0 0: チャンネル通信モード 0 1: チャンネルリセットモード 1 0: チャンネル待機モード 1 1: 設定禁止

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

ERRD ビット

RSCAN0CmERFL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0”にすると最初に発生したエラー情報のフラグのみが“1”になります。最初のエラー情報で複数のエラーが発生した場合、検出された複数のエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを“10_B”（チャンネル待機モード）にしても 128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01_B”の場合、RS-CAN モジュールがバスオフ状態に達すると、RSCAN0CmCTR レジスタ（m=0～3）の CHMDC[1:0] ビットが“10_B”になり、チャンネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“10_B”の場合、RS-CAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが“10_B”になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）あとに、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“11_B”の場合、RS-CAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを“10_B”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは“00_H”になります。しかし、CHMDC[1:0] ビットを“10_B”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールがチャンネル待機モードに遷移するのと同じ（BOM[1:0] ビットが“01_B”のとき：バスオフ開始時、または BOM[1:0] ビットが“10_B”のとき：バスオフ終了時）に、CPU がチャンネルリセットモードへの遷移を要求した場合は、CPU の要求が優先されます。BOM[1:0] ビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを“1”に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの OVLV フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になり、RSCAN0CmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。ほかのレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCAN0CmCTR レジスタの BOM[1:0] ビットが“00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1”にすると、チャンネルストップモードになります。

“0”にすると、チャンネルストップモードは解除されます。

このビットはチャンネルリセットモードで、“0”から“1”のみに変更してください。

CHMDC[1:0] ビット

チャンネルのモード (チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード) を選択するビットです。詳細は、「**14.4.2.2 チャンネルモード**」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットの“11_B”設定は禁止です。BOM[1:0] ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10_B”になります。

14.3.4 RSCAN0CmSTS — チャネルステータスレジスタ (m = 0 ~ 3)

アクセス RSCAN0CmSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CmSTSL、RSCAN0CmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CmSTSLL、RSCAN0CmSTSLH、RSCAN0CmSTSHL、RSCAN0CmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CmSTS: <RSCAN0_base> + 0008_H + (10_H × m)
RSCAN0CmSTSL: <RSCAN0_base> + 0008_H + (10_H × m)、
RSCAN0CmSTSH: <RSCAN0_base> + 000A_H + (10_H × m)
RSCAN0CmSTSLL: <RSCAN0_base> + 0008_H + (10_H × m)、
RSCAN0CmSTSLH: <RSCAN0_base> + 0009_H + (10_H × m)、
RSCAN0CmSTSHL: <RSCAN0_base> + 000A_H + (10_H × m)、
RSCAN0CmSTSHH: <RSCAN0_base> + 000B_H + (10_H × m)

リセット後の値 0000 0005_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC [7:0]								REC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.17 RSCAN0CmSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	TEC [7:0]	送信エラーカウンタ (TEC) の値が読めます。 カウンタ値: 00 _H ~ FF _H
23 ~ 16	REC [7:0]	受信エラーカウンタ (REC) の値が読めます。 カウンタ値: 00 _H ~ FF _H
15 ~ 8	—	予約ビット 読むと "0" が読み出されます。
7	COMSTS	通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態
6	RECSTS	受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中
5	TRMSTS	送信ステータスフラグ 0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0: チャネルストップモードではない 1: チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0: チャネル待機モードではない 1: チャネル待機モード

表 14.17 RSCAN0CmSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	CRSTSTS	チャンネルリセットステータスフラグ 0: チャンネルリセットモードではない 1: チャンネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に、“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0”になります。

RECSTS フラグ

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

TRMSTS フラグ

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

EPSTS フラグ

エラーパッシブ状態 ((128 ≤ TEC[7:0] ビット ≤ 255) または (128 ≤ REC[7:0] ビット ≤ 255)) になると、“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0”になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1”になります。チャンネルストップモードから復帰すると“0”になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

14.3.5 RSCAN0CmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 3)

アクセス RSCAN0CmERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CmERFLL、RSCAN0CmERFLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CmERFLLL、RSCAN0CmERFLHL、RSCAN0CmERFLHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CmERFL: <RSCAN0_base> + 000C_H + (10_H × m)
RSCAN0CmERFLL: <RSCAN0_base> + 000C_H + (10_H × m)、
RSCAN0CmERFLH: <RSCAN0_base> + 000E_H + (10_H × m)
RSCAN0CmERFLLL: <RSCAN0_base> + 000C_H + (10_H × m)、
RSCAN0CmERFLHL: <RSCAN0_base> + 000D_H + (10_H × m)、
RSCAN0CmERFLHHL: <RSCAN0_base> + 000E_H + (10_H × m)、
RSCAN0CmERFLHH: <RSCAN0_base> + 000F_H + (10_H × m)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—															
	CRCREG[14:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—															
	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLV	BORF	BOEF	EPF	EWV	BEF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}

注1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.18 RSCAN0CmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	—	予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。
30 ~ 16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	—	予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。
14	ADERR	ACK デリミタエラーフラグ 0: ACK デリミタエラー未検出 1: ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0: レセシブビットエラー未検出 1: レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0: CRC エラー未検出 1: CRC エラー検出
10	AERR	ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出
9	FERR	フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出
8	SERR	スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出

表 14.18 RSCAN0CmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出
5	OVL	オーバーロードフラグ 0: オーバーロード未検出 1: オーバーロード検出
4	BORF	バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出
2	EPF	エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出
1	EW	エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出
0	BEF	バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCAN0CmERFL レジスタのビット 14～8 に関して、RSCAN0CmCTR レジスタの ERRD ビットを“0” (最初に発生したエラー情報のみ表示) に設定したとき、ビット 14～8 のすべてのフラグが“0”の状態エラーが検出された場合に、対応するフラグは“1”になります。

CRCREG[14:0] ビット

RSCAN0CmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが“0” (通信テストモード禁止) の場合、常に“0”が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにもかかわらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにもかかわらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトラージョンロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。“1”になったあと、次のどちらかで検出処理を再スタートします。

- BLF ビットを“1”から“0”にしたあと、レセシブビットを検出
- BLF ビットを“1”から“0”にしたあと、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLV フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを“01_B”（チャンネルリセットモード）に設定した場合
- RSCAN0CmCTR レジスタの RTBO ビットを“1”（バスオフからの強制復帰）に設定した場合
- RSCAN0CmCTR レジスタの BOM[1:0] ビットを“01_B”（バスオフ開始でチャンネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが“11_B”（バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを“10_B”（チャンネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0] ビット > 255）になると、“1”になります。RSCAN0CmCTR レジスタ（m = 0 ~ 3）の BOM[1:0] ビットが“01_B”（バスオフ開始でチャンネル待機モードへ遷移）で、バスオフ状態になった場合も、“1”になります。

EPF フラグ

エラーパッシブ状態 (REC[7:0] または TEC[7:0] ビット > 127) になると、“1”になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWf フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1”になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCAN0CmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか1つでも “1” になると、BEF フラグは “1” になります。

備 考

本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

14.3.6 RSCAN0GCFG — グローバルコンフィグレーションレジスタ

アクセス RSCAN0GCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GCFGL、RSCAN0GCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GCFGLL、RSCAN0GCFGLH、RSCAN0GCFGHL、RSCAN0GCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GCFG: <RSCAN0_base> + 0084_H
RSCAN0GCFGL: <RSCAN0_base> + 0084_H, RSCAN0GCFGH: <RSCAN0_base> + 0086_H
RSCAN0GCFGLL: <RSCAN0_base> + 0084_H, RSCAN0GCFGLH: <RSCAN0_base> + 0085_H,
RSCAN0GCFGHL: <RSCAN0_base> + 0086_H, RSCAN0GCFGHH: <RSCAN0_base> + 0087_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]		TSSS	TSP[3:0]			—	—	—	DCS	MME	DRE	DCE	TPRI		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 14.19 RSCAN0GCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	ITRCP [15:0]	インターバルタイムプリスケアラ設定ビット 設定値を q とすると pclk を q 分周します。 "0000 _H " は設定禁止です。注 ³
15 ~ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0: チャンネル0 ビットタイムクロック 0 0 1: チャンネル1 ビットタイムクロック 0 1 0: チャンネル2 ビットタイムクロック 0 1 1: チャンネル3 ビットタイムクロック 1 0 0: 設定禁止 1 0 1: 設定禁止 1 1 0: 設定禁止 1 1 1: 設定禁止
12	TSSS	タイムスタンプソース選択 0: pclk/2注 ¹ 1: ビットタイムクロック
11 ~ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0: 分周なし 0 0 0 1: 2 分周 0 0 1 0: 4 分周 0 0 1 1: 8 分周 0 1 0 0: 16 分周 0 1 0 1: 32 分周 0 1 1 0: 64 分周 0 1 1 1: 128 分周 1 0 0 0: 256 分周 1 0 0 1: 512 分周 1 0 1 0: 1024 分周 1 0 1 1: 2048 分周 1 1 0 0: 4096 分周 1 1 0 1: 8192 分周 1 1 1 0: 16384 分周 1 1 1 1: 32768 分周

表 14.19 RSCAN0GCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
7～5	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
4	DCS	CAN クロック源選択ビット注 ² 0: clk 1: clk_xincan
3	MME	ミラー機能許可ビット 0: ミラー機能禁止 1: ミラー機能許可
2	DRE	DLC 置換許可ビット 0: DLC 置換禁止 1: DLC 置換許可
1	DCE	DLC チェック許可ビット 0: DLC チェック禁止 1: DLC チェック許可
0	TPRI	送信優先順位選択ビット 0: ID 優先 1: 送信バッファ番号優先

注 1. タイムスタンプのカウンタソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

注 2. CAN クロックの周波数は pclk の 1/2 以下にしてください。

注 3. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

RSCAN0GCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「(1) インターバル送信機能」を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャンネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウンタソースになります。

DCS ビット

“0”のとき、clk が CAN クロック (f_{CAN}) のクロック源になります。

“1”のとき、clk_xincan が CAN クロック (f_{CAN}) のクロック源になります。

CAN クロック (f_{CAN}) の周波数は、pclk の 1/2 以下にしてください。

MME ビット

“1”にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1”にすると、DLC チェック機能が使用できます。RSCAN0GAFLP0j レジスタの GAFLDLC[3:0] ビットを“0000_B”にしてから、RSCAN0GCFG レジスタの DCE ビットを“0”にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0”の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール (ISO11898-1 仕様) に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0”に設定してください。

14.3.7 RSCAN0GCTR — グローバル制御レジスタ

アクセス RSCAN0GCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GCTRL、RSCAN0GCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GCTRL、RSCAN0GCTRLH、RSCAN0GCTRHL、RSCAN0GCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GCTR: <RSCAN0_base> + 0088_H
RSCAN0GCTRL: <RSCAN0_base> + 0088_H, RSCAN0GCTRH: <RSCAN0_base> + 008A_H
RSCAN0GCTRL: <RSCAN0_base> + 0088_H, RSCAN0GCTRLH: <RSCAN0_base> + 0089_H,
RSCAN0GCTRHL: <RSCAN0_base> + 008A_H, RSCAN0GCTRHH: <RSCAN0_base> + 008B_H

リセット後の値 0000 0005_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 14.20 RSCAN0GCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15 ~ 11	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット 0: 送信履歴バッファオーバーフロー割り込み禁止 1: 送信履歴バッファオーバーフロー割り込み許可
9	MEIE	FIFO メッセージロス割り込み許可ビット 0: FIFO メッセージロス割り込み禁止 1: FIFO メッセージロス割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0: DLC エラー割り込み禁止 1: DLC エラー割り込み許可
7 ~ 3	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
2	GSLPR	グローバルストップモードビット 0: グローバルストップモードではない 1: グローバルストップモード
1, 0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0: グローバル動作モード 0 1: グローバルリセットモード 1 0: グローバルテストモード 1 1: 設定禁止

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCAN0GTSC レジスタが“0000_H”になります。

THLEIE ビット

THLEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットはグローバルリセットモードでのみ変更してください。

GMDC[1:0] ビット

RS-CAN モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**14.4.2.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

14.3.8 RSCAN0GSTS — グローバルステータスレジスタ

アクセス RSCAN0GSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GSTSL、RSCAN0GSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GSTSLL、RSCAN0GSTSLH、RSCAN0GSTSHL、RSCAN0GSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GSTS: <RSCAN0_base> + 008C_H
RSCAN0GSTSL: <RSCAN0_base> + 008C_H, RSCAN0GSTSH: <RSCAN0_base> + 008E_H
RSCAN0GSTSLL: <RSCAN0_base> + 008C_H, RSCAN0GSTSLH: <RSCAN0_base> + 008D_H,
RSCAN0GSTSHL: <RSCAN0_base> + 008E_H, RSCAN0GSTSHH: <RSCAN0_base> + 008F_H

リセット後の値 0000 000D_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.21 RSCAN0GSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	—	予約ビット 読むと“0”が読み出されます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0 : CAN 用 RAM クリア完了 1 : CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0 : グローバルストップモードではない 1 : グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0 : グローバルテストモードではない 1 : グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0 : グローバルリセットモードではない 1 : グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1”になります。CAN 用 RAM クリアが完了すると“0”になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1”になります。グローバルストップモードから復帰すると“0”になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1”になります。グローバルテストモード以外のモードに遷移すると“0”になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

14.3.9 RSCAN0GERFL — グローバルエラーフラグレジスタ

アクセス RSCAN0GERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GERFLL、RSCAN0GERFLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GERFLLL、RSCAN0GERFLLH、RSCAN0GERFLHL、RSCAN0GERFLHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GERFL: <RSCAN0_base> + 0090_H
RSCAN0GERFLL: <RSCAN0_base> + 0090_H、RSCAN0GERFLH: <RSCAN0_base> + 0092_H
RSCAN0GERFLLL: <RSCAN0_base> + 0090_H、RSCAN0GERFLLH: <RSCAN0_base> + 0091_H、
RSCAN0GERFLHL: <RSCAN0_base> + 0092_H、RSCAN0GERFLHH: <RSCAN0_base> + 0093_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}

注1. このフラグビットへの書き込みは、ステータスクリアする (“0” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.22 RSCAN0GERFL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	予約ビット 読むと不定値が読み出されます。書き込みは “0” としてください。
2	THLES	送信履歴バッファオーバフローステータスフラグ 0: 送信履歴バッファオーバフローなし 1: 送信履歴バッファオーバフロー
1	MES	FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー

RSCAN0GERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

THLES フラグ

RSCAN0THLSTSm レジスタ (m = 0 ~ 3) の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャンネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCAN0RFSTSm レジスタ (m = 0 ~ 7) の RFMLT フラグまたは RSCAN0CFSTSk レジスタ (k = 0 ~ 11) の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

14.3.10 RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCAN0GTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS0L、RSCAN0GTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS0LL、RSCAN0GTINTSTS0LH、RSCAN0GTINTSTS0HL、RSCAN0GTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GTINTSTS0: <RSCAN0_base> + 0460_H
RSCAN0GTINTSTS0L: <RSCAN0_base> + 0460_H, RSCAN0GTINTSTS0H: <RSCAN0_base> + 0462_H
RSCAN0GTINTSTS0LL: <RSCAN0_base> + 0460_H, RSCAN0GTINTSTS0LH: <RSCAN0_base> + 0461_H,
RSCAN0GTINTSTS0HL: <RSCAN0_base> + 0462_H, RSCAN0GTINTSTS0HH: <RSCAN0_base> + 0463_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1

注1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 14.23 RSCAN0GTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 29	—	予約ビット 読むと 0 が読み出されます。書き込みは 0 としてください。
28	THIF3	チャンネル 3 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
27	CFTIF3	チャンネル 3 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャンネル 3 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
25	TAIF3	チャンネル 3 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
24	TSIF3	チャンネル 3 送信バッファ送信完了割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
23 ~ 21	—	予約ビット 読むと 0 が読み出されます。書き込みは 0 としてください。
20	THIF2	チャンネル 2 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
19	CFTIF2	チャンネル 2 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャンネル 2 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり

表 14.23 RSCAN0GTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
17	TAIF2	チャンネル2 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
16	TSIF2	チャンネル2 送信バッファ割り込みステータスフラグ 0: 送信バッファ割り込み要求なし 1: 送信バッファ割り込み要求あり
15 ~ 13	—	予約ビット 読むと0が読み出されます。書き込みは0としてください。
12	THIF1	チャンネル1 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF1	チャンネル1 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャンネル1 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF1	チャンネル1 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
8	TSIF1	チャンネル1 送信バッファ割り込みステータスフラグ 0: 送信バッファ割り込み要求なし 1: 送信バッファ割り込み要求あり
7 ~ 5	—	予約ビット 読むと0が読み出されます。書き込みは0としてください。
4	THIF0	チャンネル0 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF0	チャンネル0 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャンネル0 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF0	チャンネル0 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
0	TSIF0	チャンネル0 送信バッファ送信完了割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFn ビット

RSCAN0TMIECm レジスタの TMIE ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“10_B”（送信完了、アポート要求なし）、または“11_B”（送信完了、アポート要求あり）になると、TSIFn ビットは“1”になります。

TSIFn が“1”になる条件が成立している TMTRF[1:0] フラグをすべて“00_B”にすると、このフラグは“0”になります。また TMIE ビットを“0”にすることも、このフラグは“0”になります。

TAIFn ビット

RSCAN0CmCTR レジスタの TAIE ビットが“1”（送信アボート割り込み許可）、かつ RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“01_B”（送信アボート完了）になると、TAIFn ビットは“1”になります。送信アボートを完了した TMTRF[1:0] フラグをすべて“00_B”にすると、このフラグは“0”になります。

TQIFn ビット

RSCAN0TXQCCm レジスタの TXQIE ビットが“1”（送信キュー割り込み許可）、かつ RSCAN0TXQSTSm レジスタの TXQIF が“1”（送信キュー割り込み要求あり）になると TQIFn ビットは“1”になります。

RSCAN0TXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることでも、このフラグは“0”になります。

CFTIFn ビット

RSCAN0CFCCk レジスタの CFTXIE ビットが“1”（送受信 FIFO 送信割り込み許可）、かつ RSCAN0CFSTSk レジスタの CFTXIF ビットが“1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFn ビットは“1”になります。

RSCAN0CFSTSk レジスタのすべての CFTXIF ビットを“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることでも、このフラグは“0”になります。

THIFn ビット

RSCAN0THLCCm レジスタの THLIE ビットが“1”（送信履歴割り込み許可）、かつ RSCAN0THLSTSm レジスタの THLIF ビットが“1”（送信履歴割り込み要求あり）になると、THIFn ビットは“1”になります。

RSCAN0THLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることでも、このフラグは“0”になります。

14.3.11 RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCAN0GTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GTSCLL、RSCAN0GTSCH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GTSCLLH、RSCAN0GTSCLLH、RSCAN0GTSCHL、RSCAN0GTSCHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GTSC: <RSCAN0_base> + 0094_H
RSCAN0GTSCLL: <RSCAN0_base> + 0094_H、RSCAN0GTSCH: <RSCAN0_base> + 0096_H
RSCAN0GTSCLLH: <RSCAN0_base> + 0094_H、RSCAN0GTSCLLH: <RSCAN0_base> + 0095_H、
RSCAN0GTSCHL: <RSCAN0_base> + 0096_H、RSCAN0GTSCHH: <RSCAN0_base> + 0097_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.24 RSCAN0GTSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読むと“0”が読み出されます。
15 ~ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値: 0000 _H ~ FFFF _H

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN0GCFG レジスタの TSSS ビットが“0” (pclk) の場合：
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが“1” (CANm ビットタイムクロック) の場合：
対応するチャンネルがチャンネル通信モードへ遷移したときに、カウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードで、カウント停止。

14.3.12 RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCAN0GAFLECTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLECTRL、RSCAN0GAFLECTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLECTRLL、RSCAN0GAFLECTRLH、RSCAN0GAFLECTRHL、RSCAN0GAFLECTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLECTR: <RSCAN0_base> + 0098_H
RSCAN0GAFLECTRL: <RSCAN0_base> + 0098_H, RSCAN0GAFLECTRH: <RSCAN0_base> + 009A_H
RSCAN0GAFLECTRLL: <RSCAN0_base> + 0098_H, RSCAN0GAFLECTRLH: <RSCAN0_base> + 0099_H,
RSCAN0GAFLECTRHL: <RSCAN0_base> + 009A_H, RSCAN0GAFLECTRHH: <RSCAN0_base> + 009B_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN [4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 14.25 RSCAN0GAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可
7 ~ 5	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
4 ~ 0	AFLPN [4:0]	受信ルールテーブルページ番号設定ビット ページ 0 (0000 _B) からページ 15 (01111 _B) の範囲で選択

AFLDAE ビット

“0”にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0”にして、受信ルールテーブルへの書き込みを禁止してください。“0”にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“0000_B” ~ “01111_B” 以外の値は設定禁止です。

14.3.13 RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCAN0GAFLCFG0 レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLCFG0L、RSCAN0GAFLCFG0H レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLCFG0LL、RSCAN0GAFLCFG0LH、RSCAN0GAFLCFG0HL、RSCAN0GAFLCFG0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLCFG0: <RSCAN0_base> + 009C_H
RSCAN0GAFLCFG0L: <RSCAN0_base> + 009C_H、RSCAN0GAFLCFG0H: <RSCAN0_base> + 009E_H
RSCAN0GAFLCFG0LL: <RSCAN0_base> + 009C_H、RSCAN0GAFLCFG0LH: <RSCAN0_base> + 009D_H、
RSCAN0GAFLCFG0HL: <RSCAN0_base> + 009E_H、RSCAN0GAFLCFG0HH: <RSCAN0_base> + 009F_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.26 RSCAN0GAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RNC0[7:0]	チャンネル 0 用ルール数 チャンネル 0 のルール数を設定してください。
23 ~ 16	RNC1[7:0]	チャンネル 1 用ルール数 チャンネル 1 のルール数を設定してください。
15 ~ 8	RNC2[7:0]	チャンネル 2 用ルール数 チャンネル 2 のルール数を設定してください。
7 ~ 0	RNC3[7:0]	チャンネル 3 用ルール数 チャンネル 3 のルール数を設定してください。

RSCAN0GAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャンネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値は設定禁止です。

RNC1[7:0] ビット

チャンネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値は設定禁止です。

RNC2[7:0] ビット

チャンネル2の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H以外の値は設定禁止です。

RNC3[7:0] ビット

チャンネル3の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H以外の値は設定禁止です。

14.3.14 RSCAN0GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLIDj レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLIDjL、RSCAN0GAFLIDjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLIDjLL、RSCAN0GAFLIDjLH、RSCAN0GAFLIDjHL、RSCAN0GAFLIDjHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLIDj: $\langle \text{RSCAN0_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$
RSCAN0GAFLIDjL: $\langle \text{RSCAN0_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN0GAFLIDjH: $\langle \text{RSCAN0_base} \rangle + 0502_{\text{H}} + (10_{\text{H}} \times j)$
RSCAN0GAFLIDjLL: $\langle \text{RSCAN0_base} \rangle + 0500_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN0GAFLIDjLH: $\langle \text{RSCAN0_base} \rangle + 0501_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN0GAFLIDjHL: $\langle \text{RSCAN0_base} \rangle + 0502_{\text{H}} + (10_{\text{H}} \times j)$ 、
RSCAN0GAFLIDjHH: $\langle \text{RSCAN0_base} \rangle + 0503_{\text{H}} + (10_{\text{H}} \times j)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID E	GAFLR TR	GAFL LB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.27 RSCAN0GAFLIDj (j = 0 ~ 15) レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0: 標準 ID 1: 拡張 ID
30	GAFLRTR	RTR 選択ビット 0: データフレーム 1: リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0: ほかの CAN ノードが送信したメッセージを受信時 1: みずからが送信したメッセージを受信時
28 ~ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

RSCAN0GAFLIDj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが "1" (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット (データフレームまたはリモートフレーム) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0”にすると、ほかのCANノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1”にすると、みずからが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールのIDフィールドを設定します。アクセプタンスフィルタ処理では、ここで設定したIDと受信メッセージのIDを比較します。

14.3.15 RSCAN0GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLMj レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLMjL、RSCAN0GAFLMjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLMjLL、RSCAN0GAFLMjLH、RSCAN0GAFLMjHL、RSCAN0GAFLMjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLMj: <RSCAN0_base> + 0504_H + (10_H × j)
RSCAN0GAFLMjL: <RSCAN0_base> + 0504_H + (10_H × j)、
RSCAN0GAFLMjH: <RSCAN0_base> + 0506_H + (10_H × j)
RSCAN0GAFLMjLL: <RSCAN0_base> + 0504_H + (10_H × j)、
RSCAN0GAFLMjLH: <RSCAN0_base> + 0505_H + (10_H × j)、
RSCAN0GAFLMjHL: <RSCAN0_base> + 0506_H + (10_H × j)、
RSCAN0GAFLMjHH: <RSCAN0_base> + 0507_H + (10_H × j)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID EM	GAFLR TRM	—	GAFLIDM [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.28 RSCAN0GAFLMj (j = 0 ~ 15) レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0: IDE ビットを比較しない 1: IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0: RTR ビットを比較しない 1: RTR ビットを比較する
29	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
28 ~ 0	GAFLIDM [28:0]	ID マスクビット 0: 対応する ID ビットを比較しない 1: 対応する ID ビットを比較する

RSCAN0GAFLMj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1”にすると、RSCAN0GAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0”にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0] ビットをすべて“0”にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

14.3.16 RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLP0j レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLP0jL、RSCAN0GAFLP0jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLP0jLL、RSCAN0GAFLP0jLH、RSCAN0GAFLP0jHL、RSCAN0GAFLP0jHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLP0j: <RSCAN0_base> + 0508_H + (10_H × j)
RSCAN0GAFLP0jL: <RSCAN0_base> + 0508_H + (10_H × j)、
RSCAN0GAFLP0jH: <RSCAN0_base> + 050A_H + (10_H × j)
RSCAN0GAFLP0jLL: <RSCAN0_base> + 0508_H + (10_H × j)、
RSCAN0GAFLP0jLH: <RSCAN0_base> + 0509_H + (10_H × j)、
RSCAN0GAFLP0jHL: <RSCAN0_base> + 050A_H + (10_H × j)、
RSCAN0GAFLP0jHH: <RSCAN0_base> + 050B_H + (10_H × j)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC [3:0]				GAFLPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLR MV	GAFLRMDP [6:0]						—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 14.29 RSCAN0GAFLP0j (j = 0 ~ 15) レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	GAFLDLC [3:0]	受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0: DLC チェックしない 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27 ~ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0: 受信バッファを使用しない 1: 受信バッファを使用する
14 ~ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ~ 0	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。

RSCAN0GAFLP0j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCAN0RMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

14.3.17 RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLP1j レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLP1jL、RSCAN0GAFLP1jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLP1jLL、RSCAN0GAFLP1jLH、RSCAN0GAFLP1jHL、RSCAN0GAFLP1jHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLP1j: <RSCAN0_base> + 050C_H + (10_H × j)
RSCAN0GAFLP1jL: <RSCAN0_base> + 050C_H + (10_H × j)、
RSCAN0GAFLP1jH: <RSCAN0_base> + 050E_H + (10_H × j)
RSCAN0GAFLP1jLL: <RSCAN0_base> + 050C_H + (10_H × j)、
RSCAN0GAFLP1jLH: <RSCAN0_base> + 050D_H + (10_H × j)、
RSCAN0GAFLP1jHL: <RSCAN0_base> + 050E_H + (10_H × j)、
RSCAN0GAFLP1jHH: <RSCAN0_base> + 050F_H + (10_H × j)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	GAFLFDP[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.30 RSCAN0GAFLP1j (j = 0 ~ 15) レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
19 ~ 0	GAFLFDP [19:0]	FIFO バッファ z 選択ビット (z = 0 ~ 19) z = 0 ~ 7 0: 受信 FIFO バッファ z を選択しない 1: 受信 FIFO バッファ z を選択する z = 8 ~ 19 0: 送受信 FIFO バッファ z-8 を選択しない 1: 送受信 FIFO バッファ z-8 を選択する

RSCAN0GAFLP1j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [19:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN0GAFLP0j レジスタの GAFLRMV ビットを“1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCAN0CFCK レジスタの CFM[1:0] ビットを“00_B” (受信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファのみ選択できます。

14.3.18 RSCAN0RMNB — 受信バッファナンバレジスタ

アクセス RSCAN0RMNB レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RMNBL、RSCAN0RMNBH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RMNBLL、RSCAN0RMNBLH、RSCAN0RMNBHL、RSCAN0RMNBHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RMNB: <RSCAN0_base> + 00A4_H
RSCAN0RMNBL: <RSCAN0_base> + 00A4_H, RSCAN0RMNBH: <RSCAN0_base> + 00A6_H
RSCAN0RMNBLL: <RSCAN0_base> + 00A4_H, RSCAN0RMNBLH: <RSCAN0_base> + 00A5_H,
RSCAN0RMNBHL: <RSCAN0_base> + 00A6_H, RSCAN0RMNBHH: <RSCAN0_base> + 00A7_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.31 RSCAN0RMNB レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
7 ~ 0	NRXMB [7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ~ 64 の範囲で設定してください。

RSCAN0RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CAN モジュール全体の受信バッファ数を設定します。最大値は、16 × (チャンネル数) です。

“0”を設定すると、受信バッファは使用できません。

14.3.19 RSCAN0RMNDy — 受信バッファ新データレジスタ y (y = 0、1)

アクセス RSCAN0RMNDy レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RMNDyL、RSCAN0RMNDyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RMNDyLL、RSCAN0RMNDyLH、RSCAN0RMNDyHL、RSCAN0RMNDyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RMNDy: <RSCAN0_base> + 00A8_H + (04_H × y)
RSCAN0RMNDyL: <RSCAN0_base> + 00A8_H + (04_H × y)、
RSCAN0RMNDyH: <RSCAN0_base> + 00AA_H + (04_H × y)
RSCAN0RMNDyLL: <RSCAN0_base> + 00A8_H + (04_H × y)、
RSCAN0RMNDyLH: <RSCAN0_base> + 00A9_H + (04_H × y)、
RSCAN0RMNDyHL: <RSCAN0_base> + 00AA_H + (04_H × y)、
RSCAN0RMNDyHH: <RSCAN0_base> + 00AB_H + (04_H × y)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.32 RSCAN0RMNDy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 31 ~ y × 32 + 16) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり
15 ~ 0	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 15 ~ y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり

RSCAN0RMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0 ~ 63)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0”になります。

14.3.20 RSCAN0RMIDq — 受信バッファ ID レジスタ (q = 0 ~ 63)

アクセス RSCAN0RMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMIDqL、RSCAN0RMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMIDqLL、RSCAN0RMIDqLH、RSCAN0RMIDqHL、RSCAN0RMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RMIDq: $\langle \text{RSCAN0_base} \rangle + 0600_{\text{H}} + (10_{\text{H}} \times q)$
RSCAN0RMIDqL: $\langle \text{RSCAN0_base} \rangle + 0600_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqH: $\langle \text{RSCAN0_base} \rangle + 0602_{\text{H}} + (10_{\text{H}} \times q)$
RSCAN0RMIDqLL: $\langle \text{RSCAN0_base} \rangle + 0600_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqLH: $\langle \text{RSCAN0_base} \rangle + 0601_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqHL: $\langle \text{RSCAN0_base} \rangle + 0602_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqHH: $\langle \text{RSCAN0_base} \rangle + 0603_{\text{H}} + (10_{\text{H}} \times q)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.33 RSCAN0RMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RMRTR	受信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	—	予約ビット 読むと“0”が読み出されます。
28 ~ 0	RMID [28:0]	受信バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

14.3.21 RSCAN0RMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 63)

アクセス RSCAN0RMPTRq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMPTRqL、RSCAN0RMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMPTRqLL、RSCAN0RMPTRqLH、RSCAN0RMPTRqHL、RSCAN0RMPTRqHH レジスタは、8
ビット単位でリードのみ可能です。

アドレス RSCAN0RMPTRq: <RSCAN0_base> + 0604_H + (10_H × q)
RSCAN0RMPTRqL: <RSCAN0_base> + 0604_H + (10_H × q)、
RSCAN0RMPTRqH: <RSCAN0_base> + 0606_H + (10_H × q)
RSCAN0RMPTRqLL: <RSCAN0_base> + 0604_H + (10_H × q)、
RSCAN0RMPTRqLH: <RSCAN0_base> + 0605_H + (10_H × q)、
RSCAN0RMPTRqHL: <RSCAN0_base> + 0606_H + (10_H × q)、
RSCAN0RMPTRqHH: <RSCAN0_base> + 0607_H + (10_H × q)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC [3:0]				RMPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.34 RSCAN0RMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RMDLC [3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0: データバイトなし 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27 ~ 16	RMPTR [11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

14.3.22 RSCAN0RMDF0q — 受信バッファデータフィールド0レジスタ (q = 0 ~ 63)

アクセス RSCAN0RMDF0q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMDF0qL、RSCAN0RMDF0qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMDF0qLL、RSCAN0RMDF0qLH、RSCAN0RMDF0qHL、RSCAN0RMDF0qHH レジスタは、8
ビット単位でリードのみ可能です。

アドレス RSCAN0RMDF0q: <RSCAN0_base> + 0608_H + (10_H × q)
RSCAN0RMDF0qL: <RSCAN0_base> + 0608_H + (10_H × q)、
RSCAN0RMDF0qH: <RSCAN0_base> + 060A_H + (10_H × q)
RSCAN0RMDF0qLL: <RSCAN0_base> + 0608_H + (10_H × q)、
RSCAN0RMDF0qLH: <RSCAN0_base> + 0609_H + (10_H × q)、
RSCAN0RMDF0qHL: <RSCAN0_base> + 060A_H + (10_H × q)、
RSCAN0RMDF0qHH: <RSCAN0_base> + 060B_H + (10_H × q)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3 [7:0]							RMDB2 [7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1 [7:0]							RMDB0 [7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.35 RSCAN0RMDF0q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB3 [7:0]	受信バッファデータバイト3
23 ~ 16	RMDB2 [7:0]	受信バッファデータバイト2
15 ~ 8	RMDB1 [7:0]	受信バッファデータバイト1
7 ~ 0	RMDB0 [7:0]	受信バッファデータバイト0
		受信バッファに格納されたメッセージのデータが読めます。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.23 RSCAN0RMDF1q — 受信バッファデータフィールド1レジスタ (q = 0 ~ 63)

アクセス RSCAN0RMDF1q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMDF1qL、RSCAN0RMDF1qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMDF1qLL、RSCAN0RMDF1qLH、RSCAN0RMDF1qHL、RSCAN0RMDF1qHH レジスタは、8
ビット単位でリードのみ可能です。

アドレス RSCAN0RMDF1q: $\langle \text{RSCAN0_base} \rangle + 060C_H + (10_H \times q)$
RSCAN0RMDF1qL: $\langle \text{RSCAN0_base} \rangle + 060C_H + (10_H \times q)$ 、
RSCAN0RMDF1qH: $\langle \text{RSCAN0_base} \rangle + 060E_H + (10_H \times q)$
RSCAN0RMDF1qLL: $\langle \text{RSCAN0_base} \rangle + 060C_H + (10_H \times q)$ 、
RSCAN0RMDF1qLH: $\langle \text{RSCAN0_base} \rangle + 060D_H + (10_H \times q)$ 、
RSCAN0RMDF1qHL: $\langle \text{RSCAN0_base} \rangle + 060E_H + (10_H \times q)$ 、
RSCAN0RMDF1qHH: $\langle \text{RSCAN0_base} \rangle + 060F_H + (10_H \times q)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7 [7:0]								RMDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5 [7:0]								RMDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.36 RSCAN0RMDF1q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB7 [7:0]	受信バッファデータバイト 7
23 ~ 16	RMDB6 [7:0]	受信バッファデータバイト 6
15 ~ 8	RMDB5 [7:0]	受信バッファデータバイト 5
7 ~ 0	RMDB4 [7:0]	受信バッファデータバイト 4
		受信バッファに格納されたメッセージのデータが読めます。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.24 RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFCCx レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RFCCxL、RSCAN0RFCCxH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RFCCxLL、RSCAN0RFCCxLH、RSCAN0RFCCxHL、RSCAN0RFCCxHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RFCCx: <RSCAN0_base> + 00B8_H + (04_H × x)
RSCAN0RFCCxL: <RSCAN0_base> + 00B8_H + (04_H × x)、
RSCAN0RFCCxH: <RSCAN0_base> + 00BA_H + (04_H × x)
RSCAN0RFCCxLL: <RSCAN0_base> + 00B8_H + (04_H × x)、
RSCAN0RFCCxLH: <RSCAN0_base> + 00B9_H + (04_H × x)、
RSCAN0RFCCxHL: <RSCAN0_base> + 00BA_H + (04_H × x)、
RSCAN0RFCCxHH: <RSCAN0_base> + 00BB_H + (04_H × x)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV [2:0]			RFIM	—	RFDC [2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 14.37 RSCAN0RFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
15 ~ 13	RFIGCV [2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0] ビットで設定した条件に達したときに発生 1: 1 メッセージ受信完了ごとに発生
11	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
10 ~ 8	RFDC [2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ

表 14.37 RSCAN0RFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7 ~ 2	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求発生タイミングを選択します。RFDC[2:0] ビットで設定した格納可能なメッセージ数に対して、分数で指定した割合のメッセージが格納されると割り込み要求が発生します。

RFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、RFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RSCAN0RFSTSx レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

14.3.25 RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)

アクセス RSCAN0RFSTSx レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RFSTSxL、RSCAN0RFSTSxH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RFSTSxLL、RSCAN0RFSTSxLH、RSCAN0RFSTSxHL、RSCAN0RFSTSxHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0RFSTSx: <RSCAN0_base> + 00D8_H + (04_H × x)
RSCAN0RFSTSxL: <RSCAN0_base> + 00D8_H + (04_H × x)、
RSCAN0RFSTSxH: <RSCAN0_base> + 00DA_H + (04_H × x)
RSCAN0RFSTSxLL: <RSCAN0_base> + 00D8_H + (04_H × x)、
RSCAN0RFSTSxLH: <RSCAN0_base> + 00D9_H + (04_H × x)、
RSCAN0RFSTSxHL: <RSCAN0_base> + 00DA_H + (04_H × x)、
RSCAN0RFSTSxHH: <RSCAN0_base> + 00DB_H + (04_H × x)

リセット後の値 0000 0001_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]							—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする (“0” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.38 RSCAN0RFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
15 ~ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ~ 4	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN0RFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

RFIF フラグ

RSCAN0RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCAN0RFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RSCAN0RFCCx レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RSCAN0RFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

14.3.26 RSCAN0RFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFPCTR_x レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RFPCTR_xL、RSCAN0RFPCTR_xH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RFPCTR_xLL、RSCAN0RFPCTR_xLH、RSCAN0RFPCTR_xHL、RSCAN0RFPCTR_xHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RFPCTR_x: <RSCAN0_base> + 00F8_H + (04_H × x)
RSCAN0RFPCTR_xL: <RSCAN0_base> + 00F8_H + (04_H × x)、
RSCAN0RFPCTR_xH: <RSCAN0_base> + 00FA_H + (04_H × x)
RSCAN0RFPCTR_xLL: <RSCAN0_base> + 00F8_H + (04_H × x)、
RSCAN0RFPCTR_xLH: <RSCAN0_base> + 00F9_H + (04_H × x)、
RSCAN0RFPCTR_xHL: <RSCAN0_base> + 00FA_H + (04_H × x)、
RSCAN0RFPCTR_xHH: <RSCAN0_base> + 00FB_H + (04_H × x)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.39 RSCAN0RFPCTR_x レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 書き込みは“0”としてください。
7 ~ 0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF _H ”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに“FF_H”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0RFST_s_x レジスタの RFMC[7:0] ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0RFID、RSCAN0RFPTR、RSCAN0RFD_F0、RSCAN0RFD_F1 レジスタを読んで受信 FIFO バッファのメッセージを読み出したあと、RFPC[7:0] ビットに“FF_H”を書いてください。

RSCAN0RFCC_x レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する) で、RSCAN0RFST_s_x レジスタの RFEMP フラグが“0” (未読メッセージあり) のときに、“FF_H”を書いてください。

14.3.27 RSCAN0RFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFIDxL、RSCAN0RFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFIDxLL、RSCAN0RFIDxLH、RSCAN0RFIDxHL、RSCAN0RFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFIDx: <RSCAN0_base> + 0E00_H + (10_H × x)
RSCAN0RFIDxL: <RSCAN0_base> + 0E00_H + (10_H × x)、
RSCAN0RFIDxH: <RSCAN0_base> + 0E02_H + (10_H × x)
RSCAN0RFIDxLL: <RSCAN0_base> + 0E00_H + (10_H × x)、
RSCAN0RFIDxLH: <RSCAN0_base> + 0E01_H + (10_H × x)、
RSCAN0RFIDxHL: <RSCAN0_base> + 0E02_H + (10_H × x)、
RSCAN0RFIDxHH: <RSCAN0_base> + 0E03_H + (10_H × x)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.40 RSCAN0RFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	—	予約ビット 読むと“0”が読み出されます。
28 ~ 0	RFID [28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

14.3.28 RSCAN0RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)

アクセス RSCAN0RFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFPTRxL、RSCAN0RFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFPTRxLL、RSCAN0RFPTRxLH、RSCAN0RFPTRxHL、RSCAN0RFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFPTRx: <RSCAN0_base> + 0E04_H + (10_H × x)
RSCAN0RFPTRxL: <RSCAN0_base> + 0E04_H + (10_H × x)、
RSCAN0RFPTRxH: <RSCAN0_base> + 0E06_H + (10_H × x)
RSCAN0RFPTRxLL: <RSCAN0_base> + 0E04_H + (10_H × x)、
RSCAN0RFPTRxLH: <RSCAN0_base> + 0E05_H + (10_H × x)、
RSCAN0RFPTRxHL: <RSCAN0_base> + 0E06_H + (10_H × x)、
RSCAN0RFPTRxHH: <RSCAN0_base> + 0E07_H + (10_H × x)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC [3:0]				RFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.41 RSCAN0RFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RFDLC [3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0: 0 データバイト 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27 ~ 16	RFPTR [11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RFTS [15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

14.3.29 RSCAN0RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFDF0x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFDF0xL、RSCAN0RFDF0xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFDF0xLL、RSCAN0RFDF0xLH、RSCAN0RFDF0xHL、RSCAN0RFDF0xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFDF0x: <RSCAN0_base> + 0E08_H + (10_H × x)
RSCAN0RFDF0xL: <RSCAN0_base> + 0E08_H + (10_H × x)、
RSCAN0RFDF0xH: <RSCAN0_base> + 0E0A_H + (10_H × x)
RSCAN0RFDF0xLL: <RSCAN0_base> + 0E08_H + (10_H × x)、
RSCAN0RFDF0xLH: <RSCAN0_base> + 0E09_H + (10_H × x)、
RSCAN0RFDF0xHL: <RSCAN0_base> + 0E0A_H + (10_H × x)、
RSCAN0RFDF0xHH: <RSCAN0_base> + 0E0B_H + (10_H × x)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3 [7:0]								RFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1 [7:0]								RFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.42 RSCAN0RFDF0x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB3 [7:0]	受信 FIFO バッファデータバイト 3
23 ~ 16	RFDB2 [7:0]	受信 FIFO バッファデータバイト 2
15 ~ 8	RFDB1 [7:0]	受信 FIFO バッファデータバイト 1
7 ~ 0	RFDB0 [7:0]	受信 FIFO バッファデータバイト 0
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.30 RSCAN0RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFDF1x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFDF1xL、RSCAN0RFDF1xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFDF1xLL、RSCAN0RFDF1xLH、RSCAN0RFDF1xHL、RSCAN0RFDF1xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFDF1x: <RSCAN0_base> + 0E0C_H + (10_H × x)
RSCAN0RFDF1xL: <RSCAN0_base> + 0E0C_H + (10_H × x)、
RSCAN0RFDF1xH: <RSCAN0_base> + 0E0E_H + (10_H × x)
RSCAN0RFDF1xLL: <RSCAN0_base> + 0E0C_H + (10_H × x)、
RSCAN0RFDF1xLH: <RSCAN0_base> + 0E0D_H + (10_H × x)、
RSCAN0RFDF1xHL: <RSCAN0_base> + 0E0E_H + (10_H × x)、
RSCAN0RFDF1xHH: <RSCAN0_base> + 0E0F_H + (10_H × x)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7 [7:0]								RFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5 [7:0]								RFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.43 RSCAN0RFDF1x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB7 [7:0]	受信 FIFO バッファデータバイト 7
23 ~ 16	RFDB6 [7:0]	受信 FIFO バッファデータバイト 6
15 ~ 8	RFDB5 [7:0]	受信 FIFO バッファデータバイト 5
7 ~ 0	RFDB4 [7:0]	受信 FIFO バッファデータバイト 4
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.31 RSCAN0FCCK — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 11)

アクセス RSCAN0FCCK レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0FCCKL、RSCAN0FCCKH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0FCCKLL、RSCAN0FCCKLH、RSCAN0FCCKHL、RSCAN0FCCKHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0FCCK: <RSCAN0_base> + 0118_H + (04_H × k)
RSCAN0FCCKL: <RSCAN0_base> + 0118_H + (04_H × k)、
RSCAN0FCCKH: <RSCAN0_base> + 011A_H + (04_H × k)
RSCAN0FCCKLL: <RSCAN0_base> + 0118_H + (04_H × k)、
RSCAN0FCCKLH: <RSCAN0_base> + 0119_H + (04_H × k)、
RSCAN0FCCKHL: <RSCAN0_base> + 011A_H + (04_H × k)、
RSCAN0FCCKHH: <RSCAN0_base> + 011B_H + (04_H × k)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]							CFTML[3:0]			CFITR	CFITSS	CFM[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIGVCV [2:0]		CFIM	—	CFDC [2:0]		—	—	—	—	—	—	CFIXIE	CFRXIE	CFE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 14.44 RSCAN0FCCK レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値: 00 _H ~ FF _H
23 ~ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイム分解能 0: pclk/2 を ITRCP [15:0] ビットで分周したクロック × 1 1: pclk/2 を ITRCP [15:0] ビットで分周したクロック × 10
18	CFITSS	送受信 FIFO インターバルタイムクロックソース選択 0: CFITR ビットで選択したクロックソース 1: 関連チャンネルのビットタイムクロック
17、16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0: 受信モード 0 1: 送信モード 1 0: ゲートウェイモード 1 1: 設定禁止
15 ~ 13	FIGVCV [2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき

表 14.44 RSCAN0FCCK レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
10 ~ 8	CFDC [2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 32 メッセージ 1 0 1 : 48 メッセージ 1 1 0 : 64 メッセージ 1 1 1 : 128 メッセージ
7 ~ 3	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0 : 送受信 FIFO 送信割り込み禁止 1 : 送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0 : 送受信 FIFO 受信割り込み禁止 1 : 送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0 : 送受信 FIFO バッファを使用しない 1 : 送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 n は、 $k/3$ の整数となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、 $(16 \times m) + \text{CFTML}[3:0]$ となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 14.11** および**表 14.12** を参照してください。

CFDC[2:0] ビットを“001_B”以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャンネルの送信キュー、またはそのほかの送受信 FIFO バッファにすでに割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCAN0GCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCAN0GCFG レジスタの ITRCP [15:0] ビットの値 $\times 10$ で分周したクロックとなります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャンネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットが“00_B” (受信モード) または“10_B” (ゲートウェイモード) のとき、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求発生タイミングを選択します。CFDC[2:0] ビットで設定した格納可能なメッセージ数に対して、分数で指定した割合のメッセージが格納されると割り込み要求が発生します。

CFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、CFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RSCAN0CFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RSCAN0CFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラクションロストのあとに、空になります。それ以外の場合、または受信モードではただちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モードまたはゲートウェイモード時：チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード：チャネル通信モードまたはチャネル待機モード

14.3.32 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 11)

アクセス RSCAN0CFSTSk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFSTSkL、RSCAN0CFSTSkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFSTSkLL、RSCAN0CFSTSkLH、RSCAN0CFSTSkHL、RSCAN0CFSTSkHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0CFSTSk: <RSCAN0_base> + 0178_H + (04_H × k)
RSCAN0CFSTSkL: <RSCAN0_base> + 0178_H + (04_H × k)、
RSCAN0CFSTSkH: <RSCAN0_base> + 017A_H + (04_H × k)
RSCAN0CFSTSkLL: <RSCAN0_base> + 0178_H + (04_H × k)、
RSCAN0CFSTSkLH: <RSCAN0_base> + 0179_H + (04_H × k)、
RSCAN0CFSTSkHL: <RSCAN0_base> + 017A_H + (04_H × k)、
RSCAN0CFSTSkHH: <RSCAN0_base> + 017B_H + (04_H × k)

リセット後の値 0000 0001_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC [7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.45 RSCAN0CFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。
15 ~ 8	CFMC [7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ~ 5	—	予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロスフラグ 0: 送受信 FIFO メッセージロスなし 1: 送受信 FIFO メッセージロス
1	CFLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCAN0CFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B” (送信モード) の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00_B” (受信モード) の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCAN0CFCCk レジスタの CFE ビットが“0” (送受信 FIFO バッファを使用しない) の場合：送信アポート中でないとき
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0] ビットが“01_B”または“10_B”の場合：全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが“01_B”の場合：すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFE ビットが“0” (送受信 FIFO バッファを使用しない) の場合：送信アポート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0] ビットが“00_B”の場合：受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが“01_B”または“10_B”の場合：RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いてから、RSCAN0CFPCTRk レジスタに“FF_H”を書いたとき

14.3.33 RSCAN0CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 11)

アクセス RSCAN0CFPCTRk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFPCTRkL、RSCAN0CFPCTRkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFPCTRkLL、RSCAN0CFPCTRkLH、RSCAN0CFPCTRkHL、RSCAN0CFPCTRkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFPCTRk: $\langle \text{RSCAN0_base} \rangle + 01D8_H + (04_H \times k)$
RSCAN0CFPCTRkL: $\langle \text{RSCAN0_base} \rangle + 01D8_H + (04_H \times k)$
RSCAN0CFPCTRkH: $\langle \text{RSCAN0_base} \rangle + 01DA_H + (04_H \times k)$
RSCAN0CFPCTRkLL: $\langle \text{RSCAN0_base} \rangle + 01D8_H + (04_H \times k)$
RSCAN0CFPCTRkLH: $\langle \text{RSCAN0_base} \rangle + 01D9_H + (04_H \times k)$
RSCAN0CFPCTRkHL: $\langle \text{RSCAN0_base} \rangle + 01DA_H + (04_H \times k)$
RSCAN0CFPCTRkHH: $\langle \text{RSCAN0_base} \rangle + 01DB_H + (04_H \times k)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.46 RSCAN0CFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 書き込みは“0”としてください。
7 ~ 0	CFPC [7:0]	送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> 受信モード時 “FF_H”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FF_H”を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ゲートウェイモード時 設定禁止です。

CFPC[7:0] ビット

- 受信モード (RSCAN0CFCCk レジスタの CFM[1:0] ビットが “00_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0CFSTSk レジスタの CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタを読んで送受信 FIFO バッファのメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
RSCAN0CFCCk レジスタの CFE ビットが “1” (送受信 FIFO バッファを使用する) で、RSCAN0CFSTSk レジスタの CFEMP フラグが “0” (メッセージあり) のとき、“FF_H” を書いてください。
- 送信モード (RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、RSCAN0CFIDk、RSCAN0CFPTRk、

RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN0CFID、RSCAN0CFPTR、RSCAN0CFDF0、RSCAN0CFDF1 レジスタに送信メッセージを書いたあとに、CFPC[7:0] ビットに“FF_H”を書いてください。

RSCAN0CFCCk レジスタの CFE ビットが“1”で、RSCAN0CFSTSk レジスタの CFFLL フラグが“0”（フルではない）のとき、“FF_H”を書いてください。

- ゲートウェイモード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが“10_B”）のとき：設定禁止です。

14.3.34 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 11)

アクセス RSCAN0CFIDk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFIDkL、RSCAN0CFIDkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFIDkLL、RSCAN0CFIDkLH、RSCAN0CFIDkHL、RSCAN0CFIDkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFIDk: <RSCAN0_base> + 0E80_H + (10_H × k)
RSCAN0CFIDkL: <RSCAN0_base> + 0E80_H + (10_H × k)、
RSCAN0CFIDkH: <RSCAN0_base> + 0E82_H + (10_H × k)
RSCAN0CFIDkLL: <RSCAN0_base> + 0E80_H + (10_H × k)、
RSCAN0CFIDkLH: <RSCAN0_base> + 0E81_H + (10_H × k)、
RSCAN0CFIDkHL: <RSCAN0_base> + 0E82_H + (10_H × k)、
RSCAN0CFIDkHH: <RSCAN0_base> + 0E83_H + (10_H × k)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.47 RSCAN0CFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが“01 _B ” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	CFID [28:0]	送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にしてください。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。 備考: CFTXIF、CFRXIF、CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。

RSCAN0CFIDk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B” (送信モード) のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

14.3.35 RSCAN0CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 11)

アクセス RSCAN0CFPTRk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFPTRkL、RSCAN0CFPTRkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFPTRkLL、RSCAN0CFPTRkLH、RSCAN0CFPTRkHL、RSCAN0CFPTRkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFPTRk: $\langle \text{RSCAN0_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$
RSCAN0CFPTRkL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$
RSCAN0CFPTRkH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}86_{\text{H}} + (10_{\text{H}} \times k)$
RSCAN0CFPTRkLL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$
RSCAN0CFPTRkLH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}85_{\text{H}} + (10_{\text{H}} \times k)$
RSCAN0CFPTRkHL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}86_{\text{H}} + (10_{\text{H}} \times k)$
RSCAN0CFPTRkHH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}87_{\text{H}} + (10_{\text{H}} \times k)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC [3:0]				CFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.48 RSCAN0CFPTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	CFDLC [3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0: 0 データバイト 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27 ~ 16	CFPTR [11:0]	送受信 FIFO バッファラベルデータ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。
15 ~ 0	CFTS [15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCAN0CFCKk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00_B” のときに、有効になります。

14.3.36 RSCAN0CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 11)

アクセス RSCAN0CFDF0k レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFDF0kL、RSCAN0CFDF0kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFDF0kLL、RSCAN0CFDF0kLH、RSCAN0CFDF0kHL、RSCAN0CFDF0kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFDF0k: <RSCAN0_base> + 0E88_H + (10_H × k)
RSCAN0CFDF0kL: <RSCAN0_base> + 0E88_H + (10_H × k)、
RSCAN0CFDF0kH: <RSCAN0_base> + 0E8A_H + (10_H × k)
RSCAN0CFDF0kLL: <RSCAN0_base> + 0E88_H + (10_H × k)、
RSCAN0CFDF0kLH: <RSCAN0_base> + 0E89_H + (10_H × k)、
RSCAN0CFDF0kHL: <RSCAN0_base> + 0E8A_H + (10_H × k)、
RSCAN0CFDF0kHH: <RSCAN0_base> + 0E8B_H + (10_H × k)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3 [7:0]								CFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1 [7:0]								CFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.49 RSCAN0CFDF0k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB3 [7:0]	送受信 FIFO バッファデータバイト 3
23 ~ 16	CFDB2 [7:0]	送受信 FIFO バッファデータバイト 2
15 ~ 8	CFDB1 [7:0]	送受信 FIFO バッファデータバイト 1
7 ~ 0	CFDB0 [7:0]	送受信 FIFO バッファデータバイト 0
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが“01_B”の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B”の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

14.3.37 RSCAN0CFDF1k — 送受信 FIFO バッファアクセスデータフィールド1レジスタ (k = 0 ~ 11)

アクセス RSCAN0CFDF1k レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFDF1kL、RSCAN0CFDF1kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFDF1kLL、RSCAN0CFDF1kLH、RSCAN0CFDF1kHL、RSCAN0CFDF1kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFDF1k: <RSCAN0_base> + 0E8C_H + (10_H × k)
RSCAN0CFDF1kL: <RSCAN0_base> + 0E8C_H + (10_H × k)、
RSCAN0CFDF1kH: <RSCAN0_base> + 0E8E_H + (10_H × k)
RSCAN0CFDF1kLL: <RSCAN0_base> + 0E8C_H + (10_H × k)、
RSCAN0CFDF1kLH: <RSCAN0_base> + 0E8D_H + (10_H × k)、
RSCAN0CFDF1kHL: <RSCAN0_base> + 0E8E_H + (10_H × k)、
RSCAN0CFDF1kHH: <RSCAN0_base> + 0E8F_H + (10_H × k)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7 [7:0]								CFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5 [7:0]								CFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.50 RSCAN0CFDF1k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB7 [7:0]	送受信 FIFO バッファデータバイト 7
23 ~ 16	CFDB6 [7:0]	送受信 FIFO バッファデータバイト 6
15 ~ 8	CFDB5 [7:0]	送受信 FIFO バッファデータバイト 5
7 ~ 0	CFDB4 [7:0]	送受信 FIFO バッファデータバイト 4
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが“01_B”の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B”の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

14.3.38 RSCAN0FESTS — FIFO エンプティステータスレジスタ

アクセス RSCAN0FESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FESTSL、RSCAN0FESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FESTSLL、RSCAN0FESTSLH、RSCAN0FESTSHL、RSCAN0FESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FESTS: <RSCAN0_base> + 0238_H
RSCAN0FESTSL: <RSCAN0_base> + 0238_H, RSCAN0FESTSH: <RSCAN0_base> + 023A_H
RSCAN0FESTSLL: <RSCAN0_base> + 0238_H, RSCAN0FESTSLH: <RSCAN0_base> + 0239_H,
RSCAN0FESTSHL: <RSCAN0_base> + 023A_H, RSCAN0FESTSHH: <RSCAN0_base> + 023B_H

リセット後の値 007F FFFF_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11EMP	CF10EMP	CF9EMP	CF8EMP
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.51 RSCAN0FESTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	—	予約ビット。読むと“0”が読み出されます。
22 ~ 20	—	予約ビット。読むと“1”が読み出されます。
19	CF11EMP	送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0 ~ 11)
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7)
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCAN0FESTS レジスタは、グローバルリセットモード時、“007F FFFF_H”になります。

CFkEMP フラグ (k = 0 ~ 11)

RSCAN0CFSTSk レジスタの CFEMP フラグが“1” (メッセージなし) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (メッセージあり) になると、CFkEMP フラグは“0”になります。

RFxEMP フラグ (x = 0 ~ 7)

RSCAN0RFSTS レジスタの RFEMP フラグが“1” (未読メッセージなし) になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0” (未読メッセージあり) になると、RFxEMP フラグは“0”になります。

14.3.39 RSCAN0FFSTS — FIFO フルステータスレジスタ

アクセス RSCAN0FFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FFSTSL、RSCAN0FFSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FFSTSLL、RSCAN0FFSTSLH、RSCAN0FFSTSHL、RSCAN0FFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FFSTS: <RSCAN0_base> + 023C_H
RSCAN0FFSTSL: <RSCAN0_base> + 023C_H, RSCAN0FFSTSH: <RSCAN0_base> + 023E_H
RSCAN0FFSTSLL: <RSCAN0_base> + 023C_H, RSCAN0FFSTSLH: <RSCAN0_base> + 023D_H,
RSCAN0FFSTSHL: <RSCAN0_base> + 023E_H, RSCAN0FFSTSHH: <RSCAN0_base> + 023F_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11FLL	CF10FLL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.52 RSCAN0FFSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	—	予約ビット。読むと“0”が読み出されます。
19	CF11FLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k = 0 ~ 11)
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ m はフルではない 1: 受信 FIFO バッファ m はフル
8	CF0FLL	
7	RF7FLL	
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCAN0FFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0 ~ 11)

RSCAN0CFSTS_k レジスタの CFFLL フラグが“1” (バッファフル) になると、CFkFLL フラグは“1”になります。

CFFLL フラグが“0” (送受信 FIFO がバッファフルでない) になると、CFkFLL フラグは“0”になります。

RFxFLL フラグ (x = 0 ~ 7)

RSCAN0RFSTS_x レジスタの RFFLL フラグが“1” (バッファフル) になると、RFxFLL フラグは“1”になります。RFFLL フラグが“0” (バッファフルでない) になると、RFxFLL フラグは“0”になります。

14.3.40 RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCAN0FMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FMSTSL、RSCAN0FMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FMSTSLL、RSCAN0FMSTSLH、RSCAN0FMSTSHL、RSCAN0FMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FMSTS: <RSCAN0_base> + 0240_H
RSCAN0FMSTSL: <RSCAN0_base> + 0240_H, RSCAN0FMSTSH: <RSCAN0_base> + 0242_H
RSCAN0FMSTSLL: <RSCAN0_base> + 0240_H, RSCAN0FMSTSLH: <RSCAN0_base> + 0241_H,
RSCAN0FMSTSHL: <RSCAN0_base> + 0242_H, RSCAN0FMSTSHH: <RSCAN0_base> + 0243_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.53 RSCAN0FMSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	—	予約ビット。読むと“0”が読み出されます。
19	CF11MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0: 送受信 FIFO バッファ k メッセージロストなし 1: 送受信 FIFO バッファ k メッセージロスト (k = 0 ~ 11)
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0 ~ 7)
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCAN0FMSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkMLT フラグ (k = 0 ~ 11)

RSCAN0CFSTSk レジスタの CFMLT フラグが“1” (メッセージロスト) になると、CFkMLT フラグは“1” になります。

CFMLT フラグを“0” にすると、CFkMLT フラグは“0” になります。

RFxMLT フラグ (x = 0 ~ 7)

RSCAN0RFSTSk レジスタの RFMLT フラグが“1” (メッセージロスト) になると、RFxMLT フラグは“1” になります。RFMLT フラグを“0” にすると、RFxMLT フラグは“0” になります。

14.3.41 RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCAN0RFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFISTS_{SL}、RSCAN0RFISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFISTS_{SLL}、RSCAN0RFISTS_{SLH}、RSCAN0RFISTS_{SHL}、RSCAN0RFISTS_{SHH} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFISTS: <RSCAN0_base> + 0244_H
RSCAN0RFISTS_{SL}: <RSCAN0_base> + 0244_H、RSCAN0RFISTS_{SH}: <RSCAN0_base> + 0246_H
RSCAN0RFISTS_{SLL}: <RSCAN0_base> + 0244_H、RSCAN0RFISTS_{SLH}: <RSCAN0_base> + 0245_H、
RSCAN0RFISTS_{SHL}: <RSCAN0_base> + 0246_H、RSCAN0RFISTS_{SHH}: <RSCAN0_base> + 0247_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.54 RSCAN0RFISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 読むと“0”が読み出されます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ X 割り込み要求なし 1: 受信 FIFO バッファ X 割り込み要求あり (X = 0 ~ 7)
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCAN0RFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RF_xIF フラグ (x = 0 ~ 7)

RSCAN0RFISTS_x レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RF_xIF フラグは“1”になります。RFIF フラグを“0”にすると、RF_xIF フラグは“0”になります。

14.3.42 RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCAN0CFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CFRISTS_{SL}、RSCAN0CFRISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CFRISTS_{SL}_L、RSCAN0CFRISTS_{SL}_H、RSCAN0CFRISTS_{SH}_L、RSCAN0CFRISTS_{SH}_H レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CFRISTS: <RSCAN0_base> + 0248_H
RSCAN0CFRISTS_{SL}: <RSCAN0_base> + 0248_H, RSCAN0CFRISTS_{SH}: <RSCAN0_base> + 024A_H
RSCAN0CFRISTS_{SL}_L: <RSCAN0_base> + 0248_H, RSCAN0CFRISTS_{SL}_H: <RSCAN0_base> + 0249_H,
RSCAN0CFRISTS_{SH}_L: <RSCAN0_base> + 024A_H, RSCAN0CFRISTS_{SH}_H: <RSCAN0_base> + 024B_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.55 RSCAN0CFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	—	予約ビット 読むと“0”が読み出されます。
11	CF11RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0 ~ 11)
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCAN0CFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0 ~ 11)

RSCAN0CFRISTS_{sk} レジスタの CFRXIF フラグが“1” (割り込み要求あり) になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

14.3.43 RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスタスタ

アクセス RSCAN0CFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CFTISTS_{SL}、RSCAN0CFTISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CFTISTS_{SLL}、RSCAN0CFTISTS_{SLH}、RSCAN0CFTISTS_{SHL}、RSCAN0CFTISTS_{SHH} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CFTISTS: <RSCAN0_base> + 024C_H
RSCAN0CFTISTS_{SL}: <RSCAN0_base> + 024C_H、RSCAN0CFTISTS_{SH}: <RSCAN0_base> + 024E_H
RSCAN0CFTISTS_{SLL}: <RSCAN0_base> + 024C_H、RSCAN0CFTISTS_{SLH}: <RSCAN0_base> + 024D_H、
RSCAN0CFTISTS_{SHL}: <RSCAN0_base> + 024E_H、RSCAN0CFTISTS_{SHH}: <RSCAN0_base> + 024F_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.56 RSCAN0CFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	—	予約ビット。読むと“0”が読み出されます。
11	CF11TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 送信割り込み要求なし 1: 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0 ~ 11)
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCAN0CFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0 ~ 11)

RSCAN0CFSTSk レジスタの CFTXIF フラグが“1”（割り込み要求あり）になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

14.3.44 RSCAN0TMCp — 送信バッファ制御レジスタ (p = 0 ~ 63)

アクセス RSCAN0TMCp レジスタは、8ビット単位でリード/ライト可能です。

アドレス RSCAN0TMCp: <RSCAN0_base> + 0250_H + (01_H × p)

リセット後の値 00_H 本レジスタは各種リセットによって初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W ^{注1}	R/W ^{注1}

注1. このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.57 RSCAN0TMCp レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
2	TMOM	ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0: 送信アボートを要求しない 1: 送信アボートを要求する
0	TMTR	送信要求ビット 0: 送信を要求しない 1: 送信を要求する

RSCAN0TMCp レジスタが次の条件を満たす場合は、“00_H”にしてください。

- RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN0TMCp レジスタ (p = m × 16 + CFTML[3:0] ビットの値)
- RSCAN0TXQCCm レジスタ (m = 0 ~ 3) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN0TMCp レジスタ ((p = (m × 16 + 15) ~ (m × 16 + 15 - TXQDC[3:0] ビットの値))

RSCAN0TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。

RSCAN0TMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1”にすると、ワンショット送信が許可されます。送信に失敗しても、CANプロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN0TMSTSp レジスタの TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

TMTAR ビット

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMTR ビット

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“00_B”のときに、TMTR ビットを“1”に設定してください。

14.3.45 RSCAN0TMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 63)

アクセス RSCAN0TMSTSp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TMSTSp: <RSCAN0_base> + 02D0_H + (01_H × p)

リセット後の値 00_H 本レジスタは各種リセットによって初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 14.58 RSCAN0TMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0: 送信アボート要求なし 1: 送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アボート完了 1 0: 送信完了 (送信アボート要求なし) 1 1: 送信完了 (送信アボート要求あり)
0	TMTSTS	送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中

RSCAN0TMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCAN0TMCp レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCAN0TMCp レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCAN0TMCp レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCAN0TMCp レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B : 送信中または送信要求なし。

01_B : 送信バッファからの送信がアボートされた。

10_B : RSCAN0TMC_p レジスタの TMTAR ビットが “0” (送信アボートを要求しない) で、送信が完了した。

11_B : RSCAN0TMC_p レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

14.3.46 RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ y (y = 0, 1)

アクセス RSCAN0TMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTRSTSyL、RSCAN0TMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTRSTSyLL、RSCAN0TMTRSTSyLH、RSCAN0TMTRSTSyHL、RSCAN0TMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTRSTSy: <RSCAN0_base> + 0350_H + (04_H × y)
RSCAN0TMTRSTSyL: <RSCAN0_base> + 0350_H + (04_H × y)、
RSCAN0TMTRSTSyH: <RSCAN0_base> + 0352_H + (04_H × y)
RSCAN0TMTRSTSyLL: <RSCAN0_base> + 0350_H + (04_H × y)、
RSCAN0TMTRSTSyLH: <RSCAN0_base> + 0351_H + (04_H × y)、
RSCAN0TMTRSTSyHL: <RSCAN0_base> + 0352_H + (04_H × y)、
RSCAN0TMTRSTSyHH: <RSCAN0_base> + 0253_H + (04_H × y)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.59 RSCAN0TMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信要求なし 1: 送信要求あり
15 ~ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信要求なし 1: 送信要求あり

TMTRSTSp フラグ (p = 0 ~ 63)

RSCAN0TMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1” (送信を要求する) にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0” (送信を要求しない) になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 14.60 にビット配置を示します。

表 14.60 TMTRSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
·	·	·
·	·	·
15	0	15
16	1	0
·	·	·
·	·	·
30	1	14
31	1	15
32	2	0
33	2	1
·	·	·
·	·	·
47	2	15
48	3	0
·	·	·
·	·	·
62	3	14
63	3	15

14.3.47 RSCAN0TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ y (y = 0、1)

アクセス RSCAN0TMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTARSTSyL、RSCAN0TMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTARSTSyLL、RSCAN0TMTARSTSyLH、RSCAN0TMTARSTSyHL、RSCAN0TMTARSTSyHH
レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTARSTSy: $\langle \text{RSCAN0_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN0TMTARSTSyL: $\langle \text{RSCAN0_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTARSTSyH: $\langle \text{RSCAN0_base} \rangle + 0362_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN0TMTARSTSyLL: $\langle \text{RSCAN0_base} \rangle + 0360_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTARSTSyLH: $\langle \text{RSCAN0_base} \rangle + 0361_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTARSTSyHL: $\langle \text{RSCAN0_base} \rangle + 0362_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTARSTSyHH: $\langle \text{RSCAN0_base} \rangle + 0263_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp ($p = y \times 32 + 31 \sim y \times 32 + 16$ ($y = 0, 1$)))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp ($p = y \times 32 + 15 \sim y \times 32 + 0$ ($y = 0, 1$)))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.61 RSCAN0TMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p ($p = m \times 32 + 31 \sim m \times 32 + 16$) 0: 送信アボート要求なし 1: 送信アボート要求あり
15 ~ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p ($p = m \times 32 + 15 \sim m \times 32 + 0$) 0: 送信アボート要求なし 1: 送信アボート要求あり

TMTARSTSp フラグ (p = 0 ~ 63)

RSCAN0TMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アボートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アボートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 14.62 にビット配置を示します。

表 14.62 TMTARSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
·	·	·
·	·	·
15	0	15
16	1	0
·	·	·
·	·	·
30	1	14
31	1	15
32	2	0
33	2	1
·	·	·
·	·	·
47	2	15
48	3	0
·	·	·
·	·	·
62	3	14
63	3	15

14.3.48 RSCAN0TMCSTSy — 送信バッファ送信完了ステータスレジスタ y (y = 0, 1)

アクセス RSCAN0TMCSTSy レジスタは、32ビット単位でリードのみです。
RSCAN0TMCSTSyL、RSCAN0TMCSTSyH レジスタは、16ビット単位でリードのみ可能です。
RSCAN0TMCSTSyLL、RSCAN0TMCSTSyLH、RSCAN0TMCSTSyHL、RSCAN0TMCSTSyHH レジスタは、8ビット単位でリードのみ可能です。

アドレス RSCAN0TMCSTSy: <RSCAN0_base> + 0370_H + (04_H × y)
RSCAN0TMCSTSyL: <RSCAN0_base> + 0370_H + (04_H × y)、
RSCAN0TMCSTSyH: <RSCAN0_base> + 0372_H + (04_H × y)
RSCAN0TMCSTSyLL: <RSCAN0_base> + 0370_H + (04_H × y)、
RSCAN0TMCSTSyLH: <RSCAN0_base> + 0371_H + (04_H × y)、
RSCAN0TMCSTSyHL: <RSCAN0_base> + 0372_H + (04_H × y)、
RSCAN0TMCSTSyHH: <RSCAN0_base> + 0373_H + (04_H × y)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMCSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMCSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.63 RSCAN0TMCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信未完了 1: 送信完了
15 ~ 0	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信未完了 1: 送信完了

TMCSTSp フラグ (p = 0 ~ 63)

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“10_B” (送信完了、送信アポート要求なし) または“11_B” (送信完了、送信アポート要求あり) になると、対応する TMCSTSp フラグは“1”になります。

TMCSTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 14.64 にビット配置を示します。

表 14.64 TMTCSTS ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
·	·	·
15	0	15
16	1	0
·	·	·
·	·	·
30	1	14
31	1	15
32	2	0
33	2	1
·	·	·
·	·	·
47	2	15
48	3	0
·	·	·
·	·	·
62	3	14
63	3	15

14.3.49 RSCAN0TMTASTSy — 送信バッファ送信アボートステータスレジスタ y (y = 0, 1)

アクセス RSCAN0TMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTASTSyL、RSCAN0TMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTASTSyLL、RSCAN0TMTASTSyLH、RSCAN0TMTASTSyHL、RSCAN0TMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTASTSy: $\langle \text{RSCAN0_base} \rangle + 0380_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN0TMTASTSyL: $\langle \text{RSCAN0_base} \rangle + 0380_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTASTSyH: $\langle \text{RSCAN0_base} \rangle + 0382_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN0TMTASTSyLL: $\langle \text{RSCAN0_base} \rangle + 0380_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTASTSyLH: $\langle \text{RSCAN0_base} \rangle + 0381_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTASTSyHL: $\langle \text{RSCAN0_base} \rangle + 0382_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMTASTSyHH: $\langle \text{RSCAN0_base} \rangle + 0383_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp ($p = y \times 32 + 31 \sim y \times 32 + 16$ ($y = 0, 1$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp ($p = y \times 32 + 15 \sim y \times 32 + 0$ ($y = 0, 1$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.65 RSCAN0TMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTASTSp	送信バッファ送信アボートステータスフラグ p ($p = y \times 32 + 31 \sim y \times 32 + 16$) 0: 送信アボートなし 1: 送信アボートあり
15 ~ 0	TMTASTSp	送信バッファ送信アボートステータスフラグ p ($p = y \times 32 + 15 \sim y \times 32 + 0$) 0: 送信アボートなし 1: 送信アボートあり

TMTASTSp フラグ (p = 0 ~ 63)

RSCAN0TMTASTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アボート完了) になると、対応する TMTASTSp フラグは“1”になります。

TMTASTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 14.66 にビット配置を示します。

表 14.66 TMTASTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15
48	3	0
.	.	.
62	3	14
63	3	15

14.3.50 RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ y (y = 0, 1)

アクセス RSCAN0TMIECy レジスタは、32ビット単位でリード/ライト可能です。
RSCAN0TMIECyL、RSCAN0TMIECyH レジスタは、16ビット単位でリード/ライト可能です。
RSCAN0TMIECyLL、RSCAN0TMIECyLH、RSCAN0TMIECyHL、RSCAN0TMIECyHH レジスタは、8ビット単位でリード/ライト可能です。

アドレス RSCAN0TMIECy: $\langle \text{RSCAN0_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN0TMIECyL: $\langle \text{RSCAN0_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMIECyH: $\langle \text{RSCAN0_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$
RSCAN0TMIECyLL: $\langle \text{RSCAN0_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMIECyLH: $\langle \text{RSCAN0_base} \rangle + 0391_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMIECyHL: $\langle \text{RSCAN0_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCAN0TMIECyHH: $\langle \text{RSCAN0_base} \rangle + 0393_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 16 ~ y × 32 + 31 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 0 ~ y × 32 + 15 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.67 RSCAN0TMIECy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可
15 ~ 0	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可

TMIEp ビット (p = 0 ~ 63)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCAN0TMSTSp レジスタの TMTRM フラグが“0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

表 14.68 にビット配置を示します。

表 14.68 TMIEp ビットの配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15
48	3	0
.	.	.
62	3	14
63	3	15

14.3.51 RSCAN0TMIDp — 送信バッファ ID レジスタ (p = 0 ~ 63)

アクセス RSCAN0TMIDp レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMIDpL、RSCAN0TMIDpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMIDpLL、RSCAN0TMIDpLH、RSCAN0TMIDpHL、RSCAN0TMIDpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TMIDp: <RSCAN0_base> + 1000_H + (10_H × p)
RSCAN0TMIDpL: <RSCAN0_base> + 1000_H + (10_H × p)、
RSCAN0TMIDpH: <RSCAN0_base> + 1002_H + (10_H × p)
RSCAN0TMIDpLL: <RSCAN0_base> + 1000_H + (10_H × p)、
RSCAN0TMIDpLH: <RSCAN0_base> + 1001_H + (10_H × p)、
RSCAN0TMIDpHL: <RSCAN0_base> + 1002_H + (10_H × p)、
RSCAN0TMIDpHH: <RSCAN0_base> + 1003_H + (10_H × p)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.69 RSCAN0TMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	TMRTR	送信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが "0" (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1”にすると、送信が完了した後、送信バッファラベルデータと送信元バッファ番号、タイプが送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

14.3.52 RSCAN0TMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 63)

アクセス RSCAN0TMPTRp レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMPTRpL、RSCAN0TMPTRpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMPTRpLL、RSCAN0TMPTRpLH、RSCAN0TMPTRpHL、RSCAN0TMPTRpHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0TMPTRp: <RSCAN0_base> + 1004_H + (10_H × p)
RSCAN0TMPTRpL: <RSCAN0_base> + 1004_H + (10_H × p)、
RSCAN0TMPTRpH: <RSCAN0_base> + 1006_H + (10_H × p)
RSCAN0TMPTRpLL: <RSCAN0_base> + 1004_H + (10_H × p)、
RSCAN0TMPTRpLH: <RSCAN0_base> + 1005_H + (10_H × p)、
RSCAN0TMPTRpHL: <RSCAN0_base> + 1006_H + (10_H × p)、
RSCAN0TMPTRpHH: <RSCAN0_base> + 1007_H + (10_H × p)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC [3:0]				—	—	—	—	TMPTR [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.70 RSCAN0TMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	TMDLC [3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0: 0 データバイト 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 x x x: 8 データバイト
27 ~ 24	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
23 ~ 16	TMPTR [7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ~ 0	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCAN0TMIDp レジスタの TMRTR ビットが“0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが“1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

14.3.53 RSCAN0TMDF0p — 送信バッファデータフィールド0レジスタ (p = 0 ~ 63)

アクセス RSCAN0TMDF0p レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMDF0pL、RSCAN0TMDF0pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMDF0pLL、RSCAN0TMDF0pLH、RSCAN0TMDF0pHL、RSCAN0TMDF0pHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0TMDF0p: <RSCAN0_base> + 1008_H + (10_H × p)
RSCAN0TMDF0pL: <RSCAN0_base> + 1008_H + (10_H × p)、
RSCAN0TMDF0pH: <RSCAN0_base> + 100A_H + (10_H × p)
RSCAN0TMDF0pLL: <RSCAN0_base> + 1008_H + (10_H × p)、
RSCAN0TMDF0pLH: <RSCAN0_base> + 1009_H + (10_H × p)、
RSCAN0TMDF0pHL: <RSCAN0_base> + 100A_H + (10_H × p)、
RSCAN0TMDF0pHH: <RSCAN0_base> + 100B_H + (10_H × p)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3 [7:0]								TMDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1 [7:0]								TMDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.71 RSCAN0TMDF0p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB3 [7:0]	送信バッファデータバイト3
23 ~ 16	TMDB2 [7:0]	送信バッファデータバイト2
15 ~ 8	TMDB1 [7:0]	送信バッファデータバイト1
7 ~ 0	TMDB0 [7:0]	送信バッファデータバイト0
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

14.3.54 RSCAN0TMDF1p — 送信バッファデータフィールド1レジスタ (p = 0 ~ 63)

アクセス RSCAN0TMDF1p レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMDF1pL、RSCAN0TMDF1pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMDF1pLL、RSCAN0TMDF1pLH、RSCAN0TMDF1pHL、RSCAN0TMDF1pHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0TMDF1p: $\langle \text{RSCAN0_base} \rangle + 100\text{C}_\text{H} + (10_\text{H} \times p)$
RSCAN0TMDF1pL: $\langle \text{RSCAN0_base} \rangle + 100\text{C}_\text{H} + (10_\text{H} \times p)$ 、
RSCAN0TMDF1pH: $\langle \text{RSCAN0_base} \rangle + 100\text{E}_\text{H} + (10_\text{H} \times p)$
RSCAN0TMDF1pLL: $\langle \text{RSCAN0_base} \rangle + 100\text{C}_\text{H} + (10_\text{H} \times p)$ 、
RSCAN0TMDF1pLH: $\langle \text{RSCAN0_base} \rangle + 100\text{D}_\text{H} + (10_\text{H} \times p)$ 、
RSCAN0TMDF1pHL: $\langle \text{RSCAN0_base} \rangle + 100\text{E}_\text{H} + (10_\text{H} \times p)$ 、
RSCAN0TMDF1pHH: $\langle \text{RSCAN0_base} \rangle + 100\text{F}_\text{H} + (10_\text{H} \times p)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7 [7:0]								TMDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5 [7:0]								TMDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.72 RSCAN0TMDF1p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB7 [7:0]	送信バッファデータバイト 7
23 ~ 16	TMDB6 [7:0]	送信バッファデータバイト 6
15 ~ 8	TMDB5 [7:0]	送信バッファデータバイト 5
7 ~ 0	TMDB4 [7:0]	送信バッファデータバイト 4
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

14.3.55 RSCAN0TXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 3)

アクセス RSCAN0TXQCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TXQCCmL、RSCAN0TXQCCmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TXQCCmLL、RSCAN0TXQCCmLH、RSCAN0TXQCCmHL、RSCAN0TXQCCmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TXQCCm: $\langle \text{RSCAN0_base} \rangle + 03A0_H + (4_H \times m)$
RSCAN0TXQCCmL: $\langle \text{RSCAN0_base} \rangle + 03A0_H + (4_H \times m)$
RSCAN0TXQCCmH: $\langle \text{RSCAN0_base} \rangle + 03A2_H + (4_H \times m)$
RSCAN0TXQCCmLL: $\langle \text{RSCAN0_base} \rangle + 03A0_H + (4_H \times m)$
RSCAN0TXQCCmLH: $\langle \text{RSCAN0_base} \rangle + 03A1_H + (4_H \times m)$
RSCAN0TXQCCmHL: $\langle \text{RSCAN0_base} \rangle + 03A2_H + (4_H \times m)$
RSCAN0TXQCCmHH: $\langle \text{RSCAN0_base} \rangle + 03A3_H + (4_H \times m)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC [3:0]			—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 14.73 RSCAN0TXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 14	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0: 送信完了によって送信キューが空になったときに発生 1: 1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0: 送信キュー割り込み禁止 1: 送信キュー割り込み許可
11 ~ 8	TXQDC [3:0]	送信キュー段数設定ビット 設定値を y (y = 2 ~ 15) とすると、y+1 の送信キューを使用できます。 “0”を設定すると、送信キューは使用できません。 “1”は設定禁止です。
7 ~ 1	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
0	TXQE	送信キュー許可ビット 0: 送信キューを使用しない 1: 送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に $(m \times 16 + 15)$ から $(m \times 16 + 0)$ まで順番に割り付けられます。バッファの割り当て例については、**図 14.9** を参照してください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1”にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0”になります。

TXQDC[3:0] ビットの値を“0010_B”以上に設定してから TXQE ビットを“1”にしてください。

14.3.56 RSCAN0TXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 3)

アクセス RSCAN0TXQSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TXQSTSmL、RSCAN0TXQSTSmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TXQSTSmLL、RSCAN0TXQSTSmLH、RSCAN0TXQSTSmHL、RSCAN0TXQSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TXQSTSm: <RSCAN0_base> + 03C0_H + (04_H × m)
RSCAN0TXQSTSmL: <RSCAN0_base> + 03C0_H + (04_H × m)、
RSCAN0TXQSTSmH: <RSCAN0_base> + 03C2_H + (04_H × m)
RSCAN0TXQSTSmLL: <RSCAN0_base> + 03C0_H + (04_H × m)、
RSCAN0TXQSTSmLH: <RSCAN0_base> + 03C1_H + (04_H × m)、
RSCAN0TXQSTSmHL: <RSCAN0_base> + 03C2_H + (04_H × m)、
RSCAN0TXQSTSmHH: <RSCAN0_base> + 03C3_H + (04_H × m)

リセット後の値 0000 0001_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEM P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする (“0” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.74 RSCAN0TXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
2	TXQIF	送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)

TXQIF フラグ

RSCAN0TXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。
TXQIF フラグは、RSCAN0TXQCCm レジスタの TXQE ビットを “0” (送信キューを使用しない) にしても “0” になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCAN0TXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で “0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャンネルリセットモード時

TXQEMP フラグ

メッセージを1つでも送信キューに設定すると、TXQEMP フラグは“0”になります。

次の条件で、“1”になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャンネルリセットモード時

14.3.57 RSCAN0TXQPCTRM — 送信キューポインタ制御レジスタ (m = 0 ~ 3)

アクセス RSCAN0TXQPCTRM レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TXQPCTRM_L、RSCAN0TXQPCTRM_H レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TXQPCTRM_{LL}、RSCAN0TXQPCTRM_{LH}、RSCAN0TXQPCTRM_{HL}、RSCAN0TXQPCTRM_{HH} レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TXQPCTRM: <RSCAN0_base> + 03E0_H + (04_H × m)
RSCAN0TXQPCTRM_L: <RSCAN0_base> + 03E0_H + (04_H × m)、
RSCAN0TXQPCTRM_H: <RSCAN0_base> + 03E2_H + (04_H × m)
RSCAN0TXQPCTRM_{LL}: <RSCAN0_base> + 03E0_H + (04_H × m)、
RSCAN0TXQPCTRM_{LH}: <RSCAN0_base> + 03E1_H + (04_H × m)、
RSCAN0TXQPCTRM_{HL}: <RSCAN0_base> + 03E2_H + (04_H × m)、
RSCAN0TXQPCTRM_{HH}: <RSCAN0_base> + 03E3_H + (04_H × m)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.75 RSCAN0TXQPCTRM レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 書き込みは“0”としてください。
7 ~ 0	TXQPC [7:0]	送信キューポインタ制御 “FF _H ”を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに“FF_H”を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN0TMID_p、RSCAN0TMPTR_p、RSCAN0TMD_{F0p}、RSCAN0TMD_{F1p} レジスタ (p = 15, 31, 47, 63) に送信メッセージを書いたあとに、TXQPC[7:0] ビットに“FF_H”を書いてください。

RSCAN0TXQCC_m レジスタの TXQE ビットが“1” (送信キューを使用する) で、RSCAN0TXQST_S_m レジスタの TXQFLL フラグが“0” (フルではない) の場合にのみ、“FF_H”を書いてください。

14.3.58 RSCAN0THLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 3)

アクセス RSCAN0THLCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0THLCCmL、RSCAN0THLCCmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0THLCCmLL、RSCAN0THLCCmLH、RSCAN0THLCCmHL、RSCAN0THLCCmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0THLCCm: <RSCAN0_base> + 0400_H + (04_H × m)
RSCAN0THLCCmL: <RSCAN0_base> + 0400_H + (04_H × m)、
RSCAN0THLCCmH: <RSCAN0_base> + 0402_H + (04_H × m)
RSCAN0THLCCmLL: <RSCAN0_base> + 0400_H + (04_H × m)、
RSCAN0THLCCmLH: <RSCAN0_base> + 0401_H + (04_H × m)、
RSCAN0THLCCmHL: <RSCAN0_base> + 0402_H + (04_H × m)、
RSCAN0THLCCmHH: <RSCAN0_base> + 0403_H + (04_H × m)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 14.76 RSCAN0THLCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0: 送受信 FIFO、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可
7 ~ 1	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
0	THLE	送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する

THLDTE ビット

“0”にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLIE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

14.3.59 RSCAN0THLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 3)

アクセス RSCAN0THLSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0THLSTSmL、RSCAN0THLSTSmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0THLSTSmLL、RSCAN0THLSTSmLH、RSCAN0THLSTSmHL、RSCAN0THLSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0THLSTSm: <RSCAN0_base> + 0420_H + (04_H × m)
RSCAN0THLSTSmL: <RSCAN0_base> + 0420_H + (04_H × m)、
RSCAN0THLSTSmH: <RSCAN0_base> + 0422_H + (04_H × m)
RSCAN0THLSTSmLL: <RSCAN0_base> + 0420_H + (04_H × m)、
RSCAN0THLSTSmLH: <RSCAN0_base> + 0421_H + (04_H × m)、
RSCAN0THLSTSmHL: <RSCAN0_base> + 0422_H + (04_H × m)、
RSCAN0THLSTSmHH: <RSCAN0_base> + 0423_H + (04_H × m)

リセット後の値 0000 0001_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC [4:0]				—	—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.77 RSCAN0THLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	—	予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。
12 ~ 8	THLMC [4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ~ 4	—	予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。
3	THLIF	送信履歴割り込み要求フラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバーフローフラグ 0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0: 送信履歴バッファフルではない 1: 送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

THLIF フラグ

RSCAN0THLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。

プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。RSCAN0THLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCAN0THLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

備 考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。

14.3.60 RSCAN0THLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 3)

アクセス RSCAN0THLACCm レジスタは、32 ビット単位でリードのみです。
RSCAN0THLACCmL、RSCAN0THLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0THLACCmLL、RSCAN0THLACCmLH、RSCAN0THLACCmHL、RSCAN0THLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0THLACCm: <RSCAN0_base> + 1800_H + (04_H × m)
RSCAN0THLACCmL: <RSCAN0_base> + 1800_H + (04_H × m)、
RSCAN0THLACCmH: <RSCAN0_base> + 1802_H + (04_H × m)
RSCAN0THLACCmLL: <RSCAN0_base> + 1800_H + (04_H × m)、
RSCAN0THLACCmLH: <RSCAN0_base> + 1801_H + (04_H × m)、
RSCAN0THLACCmHL: <RSCAN0_base> + 1802_H + (04_H × m)、
RSCAN0THLACCmHH: <RSCAN0_base> + 1803_H + (04_H × m)

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.78 RSCAN0THLACCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読むと“0”が読み出されます。
15 ~ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
6 ~ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ/送受信 FIFO/送信キュー番号が読めます。
2 ~ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1 : 送信バッファ 0 1 0 : 送受信 FIFO バッファ 1 0 0 : 送信キュー

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

14.3.61 RSCAN0THLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0 ~ 3)

アクセス RSCAN0THLPCTRm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0THLPCTRmL、RSCAN0THLPCTRmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0THLPCTRmLL、RSCAN0THLPCTRmLH、RSCAN0THLPCTRmHL、RSCAN0THLPCTRmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0THLPCTRm: $\langle \text{RSCAN0_base} \rangle + 0440_{\text{H}} + (04_{\text{H}} \times m)$
RSCAN0THLPCTRmL: $\langle \text{RSCAN0_base} \rangle + 0440_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmH: $\langle \text{RSCAN0_base} \rangle + 0442_{\text{H}} + (04_{\text{H}} \times m)$
RSCAN0THLPCTRmLL: $\langle \text{RSCAN0_base} \rangle + 0440_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmLH: $\langle \text{RSCAN0_base} \rangle + 0441_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmHL: $\langle \text{RSCAN0_base} \rangle + 0442_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmHH: $\langle \text{RSCAN0_base} \rangle + 0443_{\text{H}} + (04_{\text{H}} \times m)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.79 RSCAN0THLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 書き込みは“0”としてください。
7 ~ 0	THLPC [7:0]	送信履歴リストポインタ制御 “FF _H ”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに“FF_H”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN0THLSTSm レジスタの THLMC[4:0] ビット (送信履歴バッファ未読数カウンタ) の値が 1 減算されます。RSCAN0THLACCm レジスタを読んだあと、THLPC[7:0] ビットに“FF_H”を書いてください。

RSCAN0THLCCm レジスタの THLE ビットが“1” (送信履歴バッファを使用する) で、RSCAN0THLSTSm レジスタの THLEMP フラグが“0”のときのみ、THLPC[7:0] ビットに“FF_H”を書いてください。

14.3.62 RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCAN0GTSTCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GTSTCFGH、RSCAN0GTSTCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GTSTCFGH、RSCAN0GTSTCFGH、RSCAN0GTSTCFGH、RSCAN0GTSTCFGH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GTSTCFG: <RSCAN0_base> + 0468_H
RSCAN0GTSTCFGH: <RSCAN0_base> + 0468_H, RSCAN0GTSTCFGH: <RSCAN0_base> + 046A_H
RSCAN0GTSTCFGH: <RSCAN0_base> + 0468_H, RSCAN0GTSTCFGH: <RSCAN0_base> + 0469_H,
RSCAN0GTSTCFGH: <RSCAN0_base> + 046A_H, RSCAN0GTSTCFGH: <RSCAN0_base> + 046B_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS [6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 14.80 RSCAN0GTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
22 ~ 16	RTMPS [6:0]	RAM テストページ設定ビット ページ 0 (00 _H) ~ 47 (2F _H) ページの範囲で設定
15 ~ 4	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
3	C3ICBCE	CAN3 チャンネル間通信テスト許可ビット 0: CAN3 チャンネル間通信テスト禁止 1: CAN3 チャンネル間通信テスト許可
2	C2ICBCE	CAN2 チャンネル間通信テスト許可ビット 0: CAN2 チャンネル間通信テスト禁止 1: CAN2 チャンネル間通信テスト許可
1	C1ICBCE	CAN1 チャンネル間通信テスト許可ビット 0: CAN1 チャンネル間通信テスト禁止 1: CAN1 チャンネル間通信テスト許可
0	C0ICBCE	CAN0 チャンネル間通信テスト許可ビット 0: CAN0 チャンネル間通信テスト禁止 1: CAN0 チャンネル間通信テスト許可

RSCAN0GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ~ 2F_H 以外の値は設定禁止です。

C3ICBCE ビット

“1”にすると、チャンネル 3 のチャンネル間通信テストが許可になります。

C2ICBCE ビット

“1”にすると、チャンネル2のチャンネル間通信テストが許可になります。

C1ICBCE ビット

“1”にすると、チャンネル1のチャンネル間通信テストが許可になります。

C0ICBCE ビット

“1”にすると、チャンネル0のチャンネル間通信テストが許可になります。

14.3.63 RSCAN0GTSTCTR — グローバルテスト制御レジスタ

アクセス RSCAN0GTSTCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GTSTCTRL、RSCAN0GTSTCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GTSTCTRL、RSCAN0GTSTCTRLH、RSCAN0GTSTCTRHL、RSCAN0GTSTCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GTSTCTR: <RSCAN0_base> + 046C_H
RSCAN0GTSTCTRL: <RSCAN0_base> + 046C_H, RSCAN0GTSTCTRH: <RSCAN0_base> + 046E_H
RSCAN0GTSTCTRL: <RSCAN0_base> + 046C_H, RSCAN0GTSTCTRLH: <RSCAN0_base> + 046D_H,
RSCAN0GTSTCTRHL: <RSCAN0_base> + 046E_H, RSCAN0GTSTCTRHH: <RSCAN0_base> + 046F_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 14.81 RSCAN0GTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
2	RTME	RAM テスト開始ビット 0: RAM テスト停止 1: RAM テスト開始
1	—	予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。
0	ICBCTME	チャンネル間通信テスト許可ビット 0: チャンネル間通信テスト禁止 1: チャンネル間通信テスト許可

RTME ビット

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

1. RSCAN0GCTR レジスタの GMDC[1:0] ビットを“10_B”（グローバルテストモード）にする。
2. RTME ビットを“1”にする。
3. RTME ビットが“1”になったことを確認する。

ICBCTME ビット

“1”にすると、RSCAN0GTSTCFG レジスタの CmICBCE ビット (m = 0 ~ 3) を“1”に設定したチャンネルのチャンネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

14.3.64 RSCAN0GLOCKK — グローバルロックキーレジスタ

アクセス RSCAN0GLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0GLOCKKL、RSCAN0GLOCKKH レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCAN0GLOCKK: <RSCAN0_base> + 047C_H
RSCAN0GLOCKKL: <RSCAN0_base> + 047C_H、RSCAN0GLOCKKH: <RSCAN0_base> + 047E_H

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}

注1. RS-CAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 14.82 RSCAN0GLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読んだ場合は、不定値が読み出されます。 書く場合は、“0” を書き込んでください。
15 ~ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCAN0GLOCKK は、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「14.5.4.2 プロテクト解除手順表」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN0GTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除されたあと、RAM を除く CAN の I/O レジスタ領域 (<RSCAN0_base> + 0000_H ~ <RSCAN0_base> + 04FF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、またはほかの領域への読み書きを実行しても、プロテクトは有効になりません。

14.3.65 RSCAN0RPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63)

アクセス RSCAN0RPGACCr レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RPGACCrL、RSCAN0RPGACCrH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RPGACCrLL、RSCAN0RPGACCrLH、RSCAN0RPGACCrHL、RSCAN0RPGACCrHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RPGACCr: $\langle \text{RSCAN0_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrL: $\langle \text{RSCAN0_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrH: $\langle \text{RSCAN0_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrLL: $\langle \text{RSCAN0_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrLH: $\langle \text{RSCAN0_base} \rangle + 1901_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrHL: $\langle \text{RSCAN0_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrHH: $\langle \text{RSCAN0_base} \rangle + 1903_{\text{H}} + (04_{\text{H}} \times r)$

リセット後の値 0000 0000_H 本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.83 RSCAN0RPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDTA [31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCAN0RPGACCr レジスタは、グローバルテストモードでかつ RSCAN0GTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1”のときに、RSCAN0RPGACCr レジスタへの読み書きができます。

14.4 機能

14.4.1 割り込み要因

RS-CAN モジュールには 14 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

- グローバル割り込み (2 本)
 - 受信 FIFO 割り込み
 - グローバルエラー割り込み
- チャンネル割り込み (各チャンネルごとに 3 本ずつ)
 - CANm 送信割り込み ($m = 0 \sim 3$)
 - CANm 送信完了割り込み
 - CANm 送信アボート割り込み
 - CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時)
 - CANm 送信履歴割り込み
 - CANm 送信キュー割り込み
 - CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)
 - CANm エラー割り込み

備 考

外部割り込み要求を使用して、CANm ウェイクアップ割り込みを実現します。

割り込み要求が発生すると、対応する割り込み要求フラグが“1” (割り込み要求あり) になります。その場合、割り込み許可ビットを“1” (割り込み許可) にしていると、RS-CAN モジュールから割り込み要求が出力されます。(割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。)

割り込み要求フラグを“0” (割り込み要求なし) にするか、割り込み許可ビットを“0” (割り込み禁止) にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 14.84 に CAN 割り込み要因一覧を示します。**図 14.2** に CAN グローバル割り込みブロック図を、**図 14.3** に CAN チャンネル割り込みブロック図を示します。

表 14.84 CAN 割り込み要因一覧

	割り込み要因	対応する割り込み要求フラグ	対応する割り込み許可ビット
グローバル 割り込み	受信 FIFO 0	RSCAN0RFSTS0 レジスタの RFIF フラグ	RSCAN0RFCC0 レジスタの RFIE ビット
	受信 FIFO 1	RSCAN0RFSTS1 レジスタの RFIF フラグ	RSCAN0RFCC1 レジスタの RFIE ビット
	受信 FIFO 2	RSCAN0RFSTS2 レジスタの RFIF フラグ	RSCAN0RFCC2 レジスタの RFIE ビット
	受信 FIFO 3	RSCAN0RFSTS3 レジスタの RFIF フラグ	RSCAN0RFCC3 レジスタの RFIE ビット
	受信 FIFO 4	RSCAN0RFSTS4 レジスタの RFIF フラグ	RSCAN0RFCC4 レジスタの RFIE ビット
	受信 FIFO 5	RSCAN0RFSTS5 レジスタの RFIF フラグ	RSCAN0RFCC5 レジスタの RFIE ビット
	受信 FIFO 6	RSCAN0RFSTS6 レジスタの RFIF フラグ	RSCAN0RFCC6 レジスタの RFIE ビット
	受信 FIFO 7	RSCAN0RFSTS7 レジスタの RFIF フラグ	RSCAN0RFCC7 レジスタの RFIE ビット
	グローバルエラー	RSCAN0GERFL レジスタの DEF フラグ RSCAN0GERFL レジスタの MES フラグ RSCAN0GERFL レジスタの THLES フラグ	RSCAN0GCTR レジスタの DEIE ビット RSCAN0GCTR レジスタの MEIE ビット RSCAN0GCTR レジスタの THLEIE ビット
チャンネル 割り込み (m = 0 ~ 3)	CANm 送信完了	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0TMIECn レジスタの TMIE ビット
	CANm 送信アボート	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0CmCTR レジスタの TAIE ビット
	CANm 送受信 FIFO 送信完了	RSCAN0CFSTSk レジスタの CFTXIF フラグ	RSCAN0CFCCk レジスタの CFTXIE ビット
	CANm 送受信 FIFO 受信完了	RSCAN0CFSTSk レジスタの CFRXIF フラグ	RSCAN0CFCCk レジスタの CFRXIE ビット
	CANm 送信キュー	RSCAN0TXQSTSm レジスタの TXQIF フラグ	RSCAN0TXQCCm レジスタの TXQIE ビット
	CANm 送信履歴	RSCAN0THLSTSm レジスタの THLIF フラグ	RSCAN0THLCCm レジスタの THLIE ビット
	CANm エラー	<ul style="list-style-type: none"> • RSCAN0CmERFL レジスタの BEF フラグ • RSCAN0CmERFL レジスタの ALF フラグ • RSCAN0CmERFL レジスタの BLF フラグ • RSCAN0CmERFL レジスタの OVLF フラグ • RSCAN0CmERFL レジスタの BORF フラグ • RSCAN0CmERFL レジスタの BOEF フラグ • RSCAN0CmERFL レジスタの EPF フラグ • RSCAN0CmERFL レジスタの EWF フラグ 	<ul style="list-style-type: none"> • RSCAN0CmCTR レジスタの BEIE ビット • RSCAN0CmCTR レジスタの ALIE ビット • RSCAN0CmCTR レジスタの BLIE ビット • RSCAN0CmCTR レジスタの OLIE ビット • RSCAN0CmCTR レジスタの BORIE ビット • RSCAN0CmCTR レジスタの BOEIE ビット • RSCAN0CmCTR レジスタの EPIE ビット • RSCAN0CmCTR レジスタの EWIE ビット

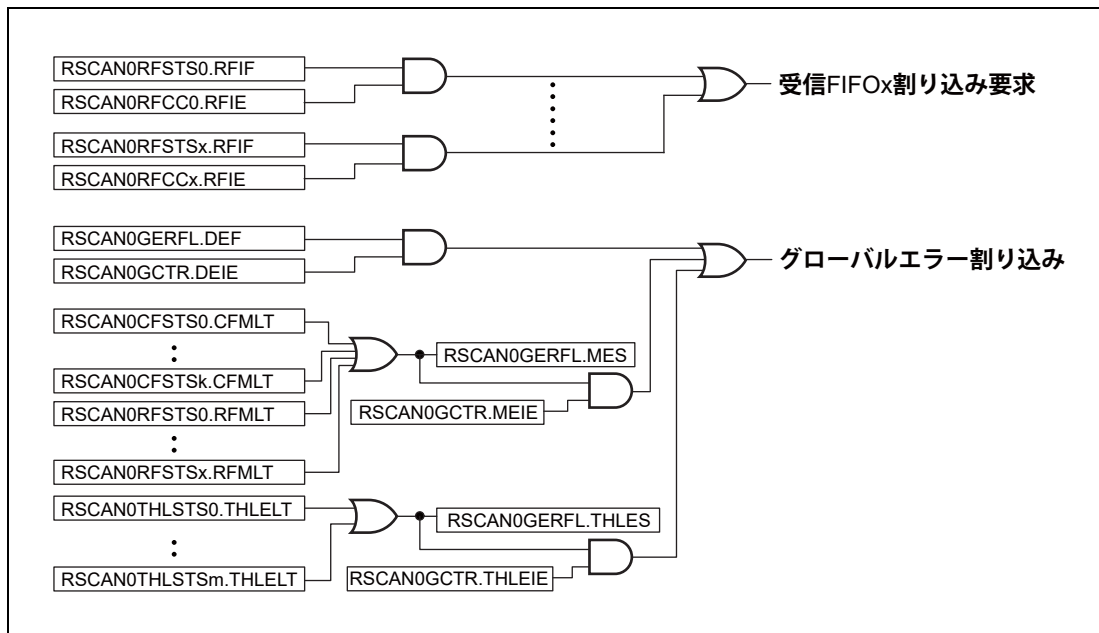


図 14.2 CAN グローバル割り込みブロック図

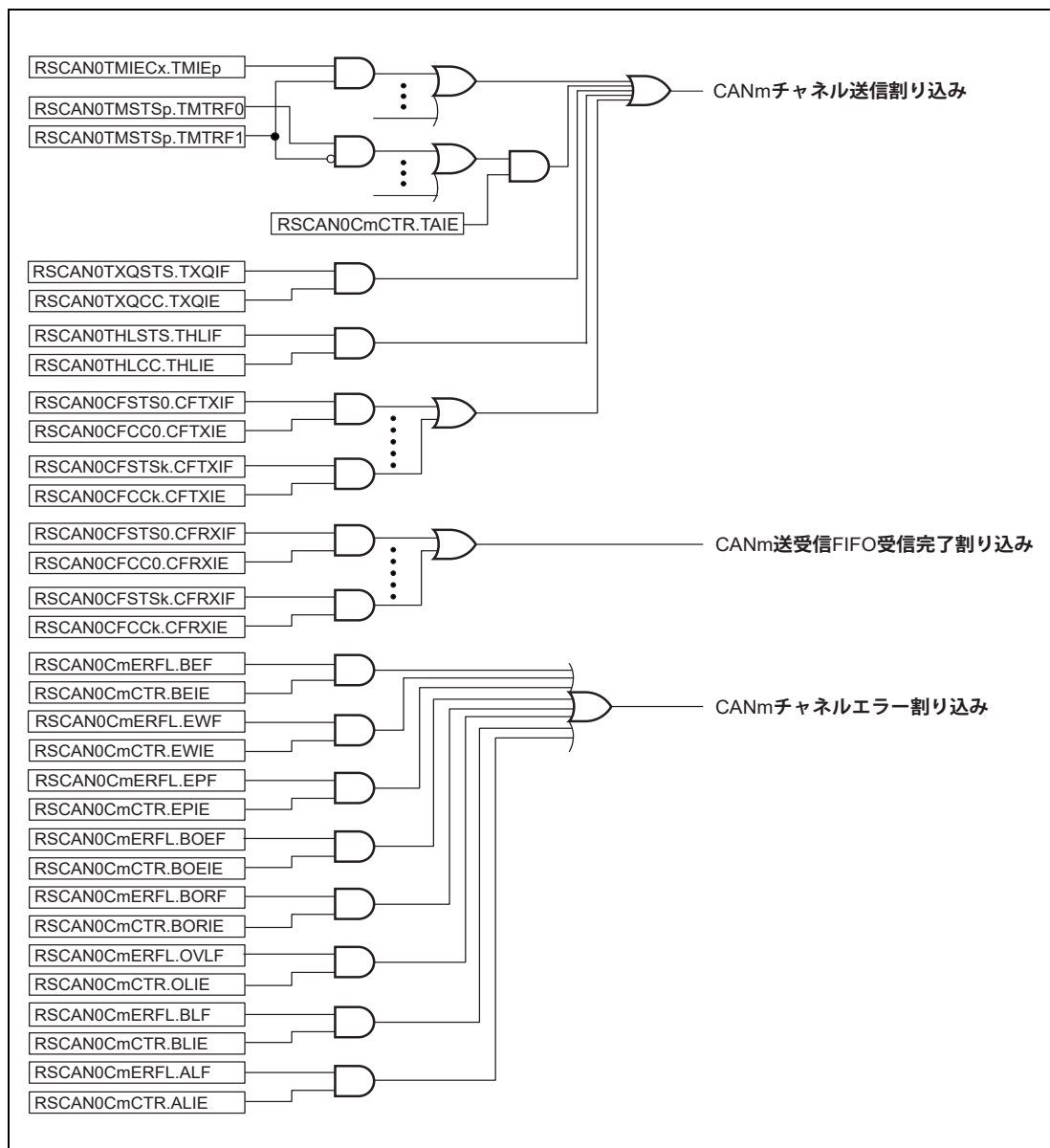


図 14.3 CAN チャンネル割り込みブロック図

14.4.2 CAN モード

RS-CAN モジュールには、RS-CAN モジュール全体の状態を制御するグローバルモードが4種類と、個々のチャンネル状態を制御するチャンネルモードが4種類あります。「14.4.2.1 グローバルモード」にグローバルモード、「14.4.2.2 チャンネルモード」にチャンネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャンネルストップモード : チャンネルのクロックが停止する。
- チャンネルリセットモード : チャンネルの初期設定を行う。
- チャンネル待機モード : CAN 通信を停止させたり、チャンネルのテストを許可する。
- チャンネル通信モード : CAN 通信を行う。

14.4.2.1 グローバルモード

図 14.4 にグローバルモードの遷移図を示します。

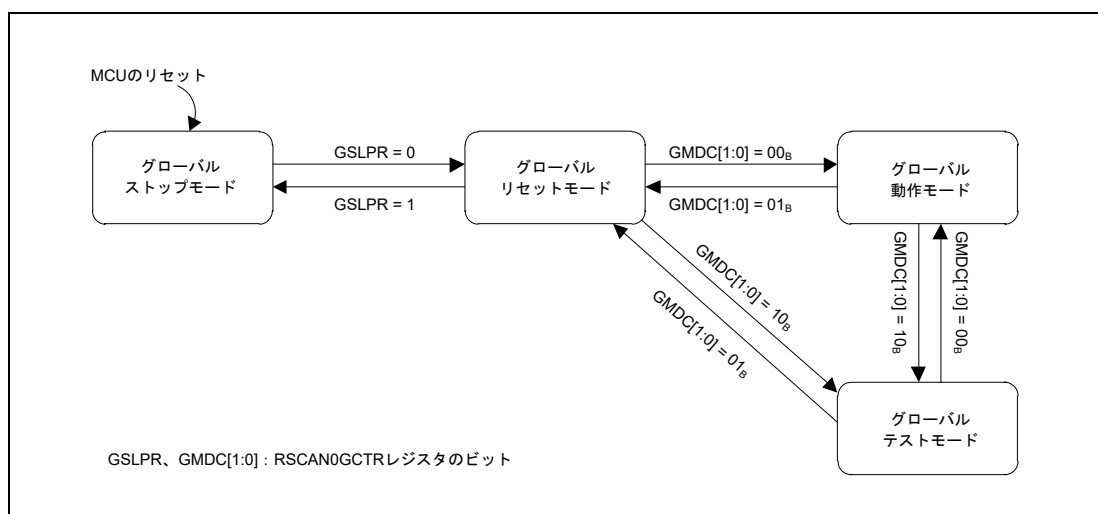


図 14.4 グローバルモードの遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 14.85 にグローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化を示します。

表 14.85 グローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

設定前のチャンネルモード	設定後のチャンネルモード			
	GMDC[1:0] = 00 _B GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10 _B GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01 _B GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01 _B GSLPR = 1 (グローバルストップ)
チャンネル通信	チャンネル通信	チャンネル待機	チャンネルリセット	遷移禁止
チャンネル待機	チャンネル待機	チャンネル待機	チャンネルリセット	遷移禁止
チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルストップ
チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ

注1. GMDC[1:0] ビットと GSLPR ビットは、RSCAN0GCTR レジスタのビット。

表 14.86 にグローバルモードの遷移時間を示します。

表 14.86 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	pclk の 3 クロック
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	pclk の 3 クロック
グローバル動作	グローバルテスト	CAN フレームの 2 つ ^{注1}

注1. 使用チャンネルの内、最も遅い通信速度の CAN フレーム時間になります。

(1) グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCAN0GCTR レジスタの GSLPR ビットを“1” (グローバルストップモード) にすると、各 RSCAN0CmCTR レジスタの CSLPR ビットが“1” (チャンネルストップモード) になります。その後、すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードおよびグローバルテストモードでは書き換えないでください。

(2) グローバルリセットモード

グローバルリセットモードで RS-CAN モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表 14.89 と表 14.90 に初期化されるレジスタ一覧を示します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを“01_B”に設定すると、各 RSCAN0CmCTR レジスタ (m = 0 ~ 3) の CHMDC[1:0] ビットが“01_B” (チャンネルリセットモード) になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません (CHMDC[1:0] ビットがすでに“01_B”に設定されているため)。

(3) グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを“10_B”に設定すると、各 RSCAN0CmCTR レジスタの CHMDC[1:0] ビットが“10_B” (チャンネル待機モード) になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

(4) グローバル動作モード

グローバル動作モードではRS-CAN モジュールが動作します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを“00_B”にすると、グローバル動作モードに遷移します。

14.4.2.2 チャンネルモード

図 14.5 にチャンネルモードの状態遷移図を示します。表 14.87 にチャンネルモードの遷移時間を示します。

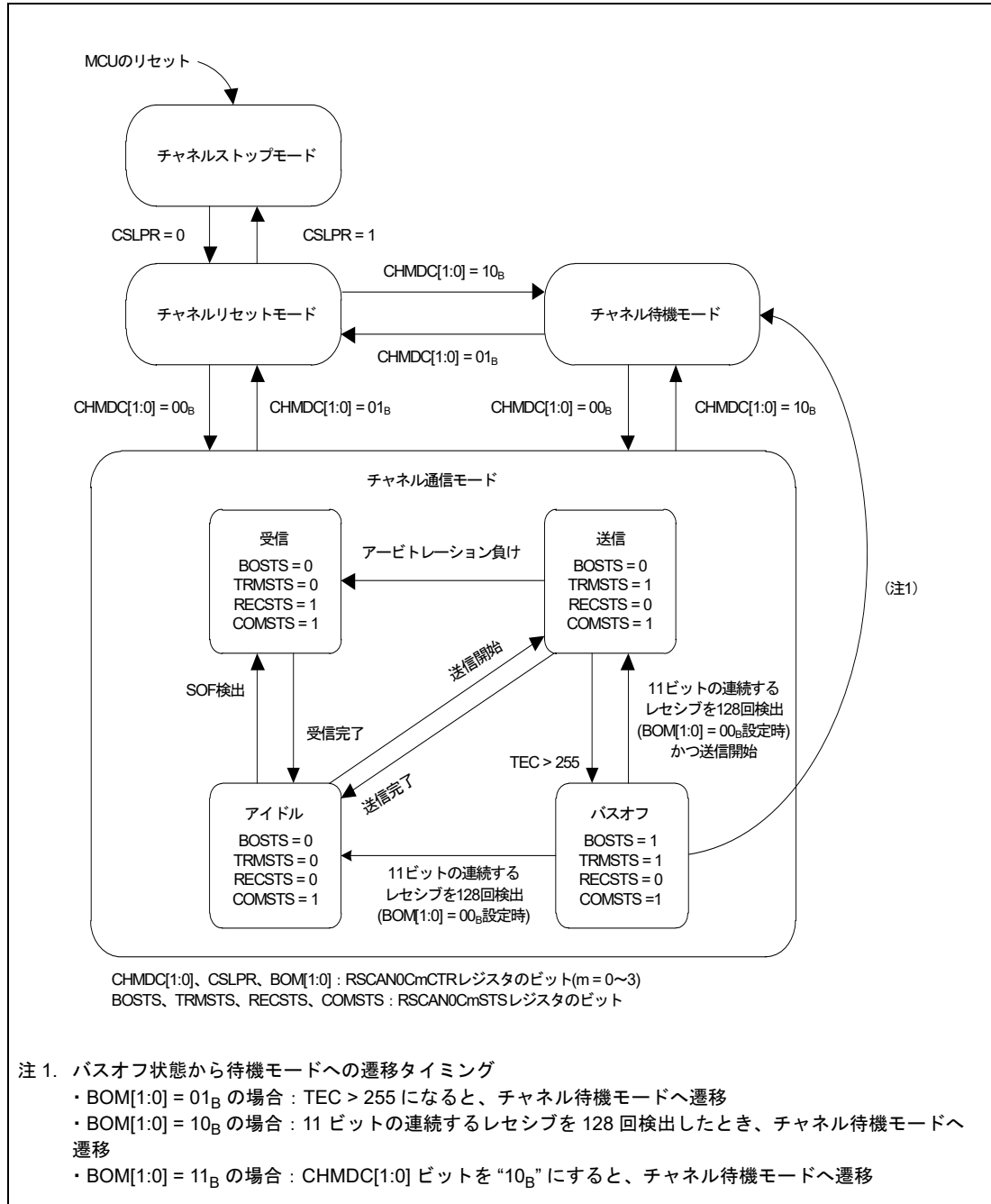


図 14.5 チャンネルモードの状態遷移図

表 14.87 チャンネルモードの遷移時間 (m = 0 ~ 3)

遷移前のモード	遷移後のモード	最大遷移時間
チャンネルリセット	チャンネル待機	3CANm ビットタイム
チャンネルリセット	チャンネル通信	2 CANm ビットタイム
チャンネル待機	チャンネルリセット	pclk の3クロック
チャンネル待機	チャンネル通信	3 CANm ビットタイム
チャンネル通信	チャンネルリセット	pclk の3クロック
チャンネル通信	チャンネル待機	CANm フレームの2つ分

(1) チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。チャネル関連レジスタの読み出しは可能ですが、書き込みはしないでください (CSLPR ビットを除く)。レジスタ値は保持されます。

各チャネルは、MCU のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、RSCAN0CmCTR レジスタ (m=0~3) の CSLPR ビットを“1” (チャネルストップモード) にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えしないでください。

(2) チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。**表 14.89** に初期化されるレジスタ一覧を示します。

CAN 通信中に RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを“01_B” (チャネルリセットモード) にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。**表 14.88** に CAN 通信中に CHMDC[1:0] ビットを“01_B” (チャネルリセットモード) に設定したときの動作を示します。

(3) チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 14.88 に CAN 通信中に CHMDC[1:0] ビットを“10_B” (チャネル待機モード) に設定したときの動作を示します。

表 14.88 チャネルリセット/チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット (CHMDC[1:0] = “01 _B ”)	受信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	送信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機 ^{注3} (CHMDC[1:0] = “10 _B ”)	受信の終了を待ってチャネル待機モードに遷移 ^{注2}	送信の終了を待ってチャネル待機モードに遷移	【BOM[1:0] ビットが“00 _B ”の場合】 バスオフ復帰後のみ、チャネル待機モード遷移 (CHMDC[1:0] = “10 _B ”) が実行される 【BOM[1:0] ビットが“01 _B ”の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが“10 _B ”の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが“11 _B ”の場合】 CHMDC[1:0] ビットに“10 _B ”が設定されるとすぐにチャネル待機モードに遷移 (バスオフ復帰の終了は待たない)

注 1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを“10_B”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを“01_B”に設定してください。

注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると RSCAN0CmERFL レジスタの BLF フラグが“1”になるので、CAN バスの状態を確認できます。

注 3. チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードで RSCAN0CmCFG レジスタを設定してからチャネル待機モードへ遷移してください。

(4) チャネル通信モード

チャネル通信モードでCAN通信を行います。CAN通信時、各チャネルは次に示す通信状態をとります。

- アイドル : 受信も送信もしていない状態。
- 受信 : ほかのノードから送られてきたメッセージを受信している状態。
- 送信 : メッセージを送信している状態。
- バスオフ : CAN通信から遮断されている状態。

RSCAN0CmCTRレジスタのCHMDC[1:0]ビットを“00_B”にすると、チャネル通信モードに遷移します。遷移後、11ビットの連続するレセシブを検出すると、RSCAN0CmSTSレジスタ(m=0~3)のCOMSTSフラグが“1” (通信可能な状態) になり、CANネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信を開始できるようになります。

(5) バスオフ状態

CAN仕様の送信、受信エラーカウンタの増減ルールにしたがってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RSCAN0CmCTRレジスタのBOM[1:0]ビットで設定します。

- BOM[1:0]ビットが“00_B”のとき :
CAN仕様に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態 (エラーアクティブ状態) に復帰します。そのとき、RSCAN0CmSTSレジスタのTEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、RSCAN0CmERFLレジスタのBORFフラグが“1” (バスオフ復帰検出) になります。バスオフ状態で、RSCAN0CmCTRレジスタのCHMDC[1:0]ビットを“10_B” (チャネル待機モード) にすると、バスオフ復帰が完了 (11ビットの連続するレセシブを128回検出) してからチャネル待機モードに遷移します。
- BOM[1:0]ビットが“01_B”のとき :
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、BORFフラグは、“1”にならず、バスオフ復帰割り込み要求は発生しません。
- BOM[1:0]ビットが“10_B”のとき :
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、バスオフ復帰が完了 (11ビットの連続するレセシブを128回検出) してからチャネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、BORFフラグは、“1”になります。
- BOM[1:0]ビットが“11_B”のとき :
バスオフ状態時に、CHMDC[1:0]ビットを“10_B”にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化されます。BORFフラグは“1”になりません。
ただし、CHMDC[1:0]ビットを“10_B”にする前に11ビットの連続するレセシブを128回検出し、エラーアクティブ状態に復帰した場合、BORFフラグは“1”になります。

RS-CANモジュールによるチャネル待機モードへの遷移と、プログラムによるCHMDC[1:0]ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。

BOM[1:0] ビットを“01_B”または“10_B”に設定した場合のチャンネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが“00_B” (チャンネル通信モード) のときのみ発生します。

また、RSCAN0CmCTR レジスタの RTBO ビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに“1”を書くと、ただちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは“1”になりません。TEC[7:0] ビットと REC[7:0] ビットは“00_H”に初期化されます。RTBO ビットは、BOM[1:0] ビットが“00_B”のときのみ“1”を書いてください。バスオフ状態以外で、RTBO ビットに“1”を書いても無視され、RTBO ビットはただちに“0”になります。

表 14.89 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN0CmCTR レジスタ	CTMS[1:0], CTME, CHMDC[1:0]
RSCAN0CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0]
RSCAN0CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCAN0CFCK レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCAN0CFTISTS レジスタ	CFnTXIF
RSCAN0TMCP レジスタ	TMOM, TMTAR, TMTR
RSCAN0TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCAN0TMTRSTSy レジスタ	TMTRSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TMTARSTSy レジスタ	TMTARSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TMCSTSy レジスタ	TMCSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TMASTSy レジスタ	TMASTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TXQCCm レジスタ	TXQE
RSCAN0TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCAN0THLCCm レジスタ	THLE
RSCAN0THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCAN0GTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm (m = 0 ~ 3)

表 14.90 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN0GSTS レジスタ	GHLTSTS
RSCAN0GERFL レジスタ	THLES, MES, DEF
RSCAN0GTSC レジスタ	TS[15:0]
RSCAN0RMNDy レジスタ	RMNSp
RSCAN0RFCCm レジスタ	RFE
RSCAN0RFSTSm レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCAN0CFCCk レジスタ	送受信 FIFO が受信モード時 : CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが受信モード時 : CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCAN0FESTS レジスタ	CFnEMP, RFnEMP
RSCAN0FFSTS レジスタ	CFnFLL, RFnFLL
RSCAN0FMSTS レジスタ	CFnMLT, RFnMLT
RSCAN0RFISTS レジスタ	RFnIF
RSCAN0CFRISTS レジスタ	CFnRXIF
RSCAN0GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE
RSCAN0GTSTCTR レジスタ	RTME, ICBCTME

14.4.3 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信：

全チャンネルで共有する受信バッファは、0～64 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信：

全チャンネルで共有する受信 FIFO バッファが8本と、各チャンネル専用の送受信 FIFO バッファが1チャンネルにつき3本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

14.4.3.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は1チャンネルにつき最大128で、モジュール全体では、64×チャンネル数となります（本モジュールは4チャンネル搭載しているなので、最大256ルール登録できます）。受信ルールは各チャンネルごとに設定してください。ほかのチャンネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。図14.6に受信ルール登録の説明図を示します。

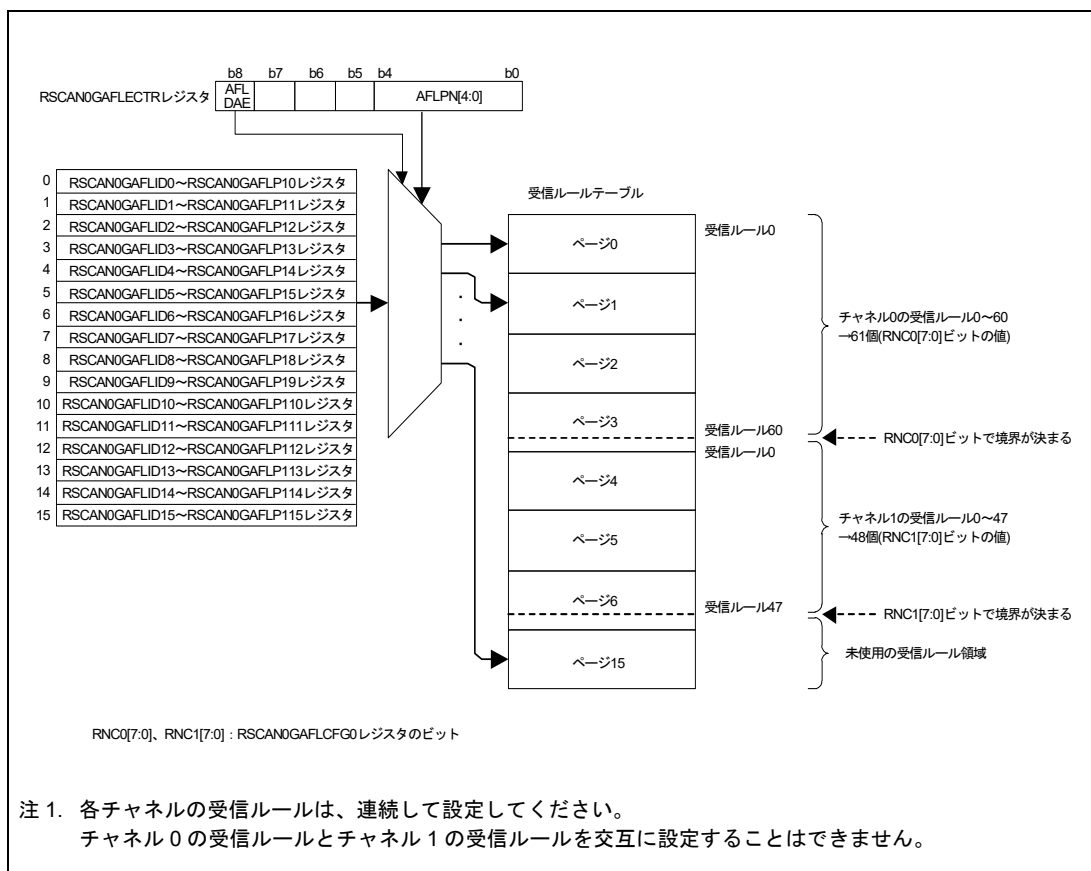


図 14.6 受信ルール登録 (チャンネル0, 1を設定する場合)

各受信ルールは RSCAN0GAFLIDj、RSCAN0GAFLMj、RSCAN0GAFLP0j、RSCAN0GAFLP1j レジスタ (j=0~15) の 16 バイトで構成されています。RSCAN0GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCAN0GAFLMj レジスタではマスク設定、RSCAN0GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCAN0GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

(1) アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCAN0GAFLMj レジスタで“0” (ビットを比較しない) にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

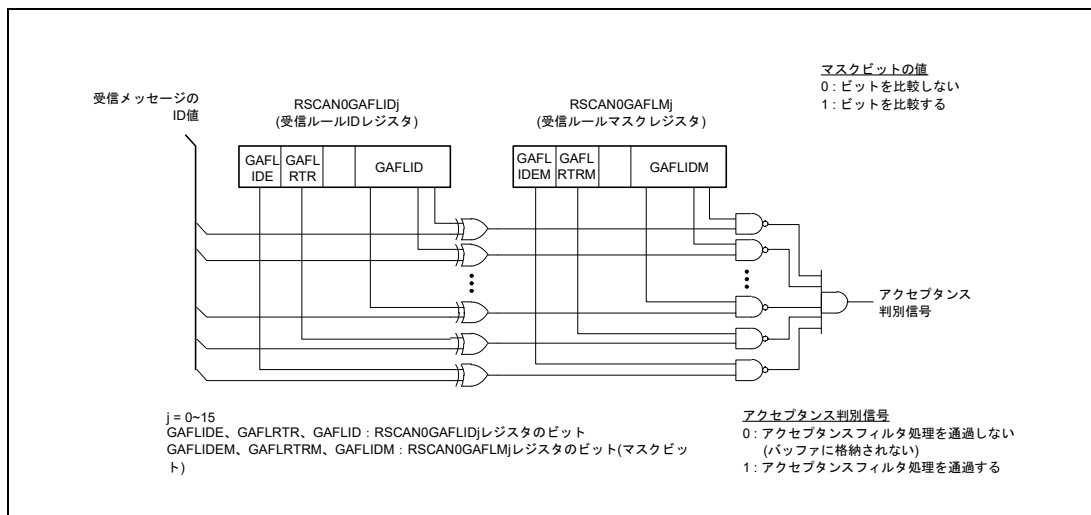


図 14.7 アクセプタンスフィルタ機能

(2) DLC フィルタ処理

RSCAN0GCFG レジスタの DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN0GCFG レジスタの DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN0GCFG レジスタの DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN0GERFL レジスタの DEF フラグが“1” (DLC エラー) となります。

(3) ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN0GAFLP0j レジスタ (j=0~15) の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN0GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

(4) ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN0GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

(5) ミラー機能の処理

ミラー機能を使用すると、みずからが送信したメッセージを受信することができます。ミラー機能は、RSCAN0GCFG レジスタの MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、ほかの CAN ノードが送信したメッセージを受信するときは、RSCAN0GAFLIDj レジスタの GAFLLB ビットを“0”にした受信ルールがデータ処理に使用されます。みずからが送信したメッセージを受信するときは、GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

(6) タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCAN0GCFG レジスタの TSBTCS[2:0]、TSSS ビットで、pclk/2 または CANm ビットタイムクロック (m=0~3) から選択できます。選択したクロック源を RSCAN0GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は RSCAN0GCTR レジスタの TSRST ビットを“1”にすると、“0000_H”にリセットされます。

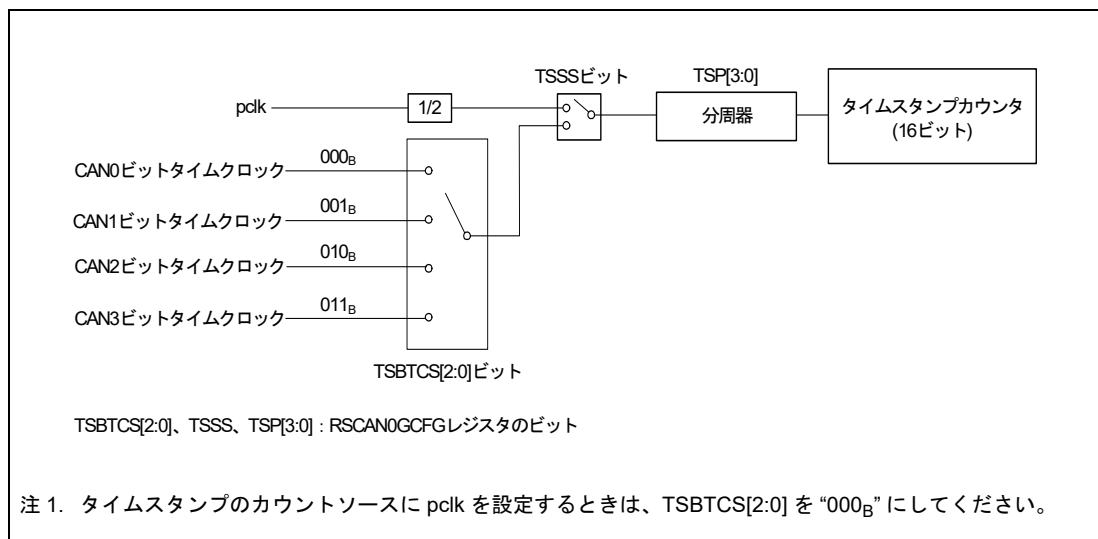


図 14.8 タイムスタンプ機能のブロック図

14.4.4 送信機能

送信の種類には、次の3つがあります。

- 送信バッファによる送信：
1チャンネルにつき16バッファあります。
- 送受信FIFOバッファ（送信モード）による送信：
1チャンネルにつき3本ずつあります。1本のFIFOバッファに最大128メッセージ格納できます。送信バッファにリンクさせて使用します。FIFOバッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：
1チャンネルにつき最大16の送信バッファを送信キューに割り付けできます。送信バッファ(16×m)+15が対応するチャンネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID順に送信されます。

図14.9に送信キューの割り付けと送受信FIFOバッファのリンクを示します。

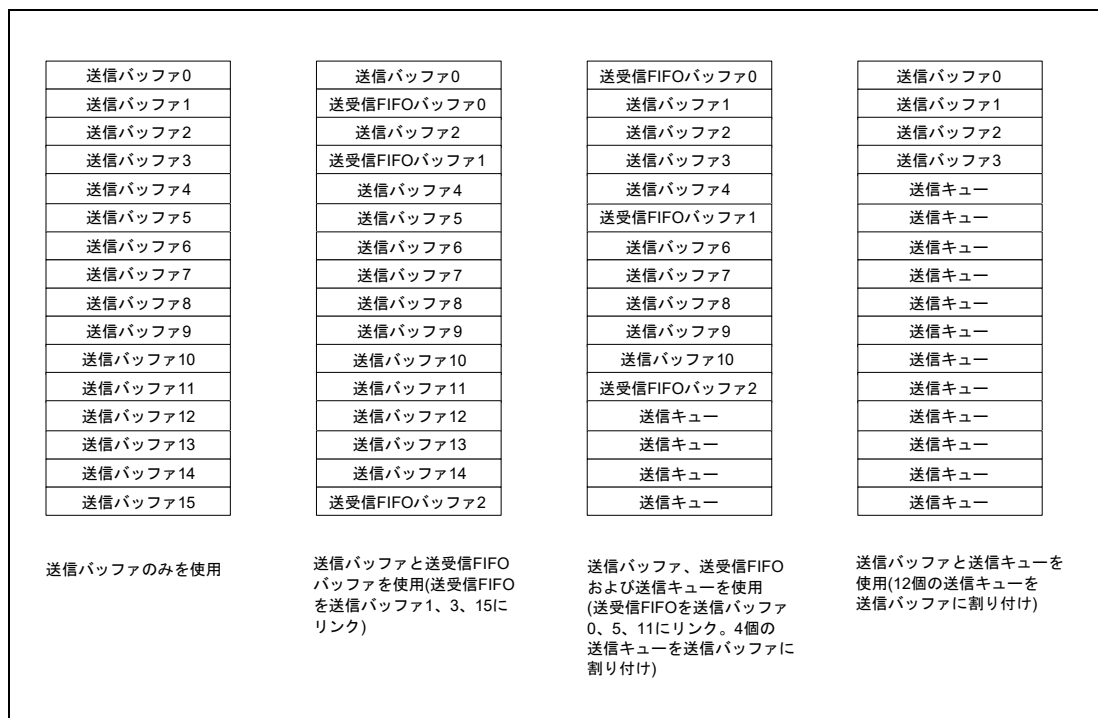


図14.9 送信キューの割り付けと送受信FIFOバッファのリンク

14.4.4.1 送信の優先順位判定

同一チャンネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の2つから選択することができます。

- ID 優先 (TPRI ビットが“0”)
- 送信バッファ番号優先 (TPRI ビットが“1”)

RSCAN0GCFG レジスタの TPRI ビットの設定は、すべての CAN チャンネルで有効です。

TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

14.4.4.2 送信バッファを用いた送信

送信バッファの送信要求ビット (RSCAN0TMCp レジスタの TMTR ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCAN0TMSTSp レジスタ (p=0~63) の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは“10_B” (送信完了: 送信アボート要求なし) または“11_B” (送信完了: 送信アボート要求あり) になります。

(1) 送信アボート機能

RSCAN0TMSTSp レジスタの TMTRM ビットが“1” (送信要求あり) である送信バッファにおいて、RSCAN0TMCp レジスタの TMTAR ビットを“1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アボート完了) になり、送信要求が取り消されます (TMTRM ビットが“0”になる)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを“1”にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

(2) ワンショット送信機能 (再送信禁止機能)

RSCAN0TMCp レジスタの TMOM ビットを“1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは“10_B” または“11_B” にな

ります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは“01_B” (送信アボート完了) になります。

14.4.4.3 FIFO バッファによる送信

1本の送受信 FIFO バッファに、RSCAN0CFCCk レジスタ (k=0~11) の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCAN0CFCCk レジスタの CFE ビットを“1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストのあとに、空になります。

CFE ビットを“0”にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

(1) インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN0CFCCk レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信されたあと、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 のあと)。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCAN0CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに“00_H”を設定してください。

RSCAN0CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00_B”にすると pclk/2 を ITRCP[15:0] ビットの値で分周したクロック、“10_B”にすると pclk/2 を ITRCP[15:0] ビットの値で分周したクロックの 10 分周クロック、“x1_B”にすると CANm ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を m、CFITT[7:0] ビットの値を n とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00_B”の場合 (fPBA は pclk の周波数) :

$$\frac{1}{f_{PBA}} \times 2 \times m \times n$$

- CFITR、CFITSS ビットが “10_B” の場合 :

$$\frac{1}{f_{PBA}} \times 2 \times m \times 10 \times n$$

- CFITR、CFITSS ビットが “x1_B” の場合 (fCANBIT は CANn ビットタイムクロックの周波数) :

$$\frac{1}{f_{CANBIT}} \times n$$

図 14.10 にインターバルタイマのブロック図を示します。

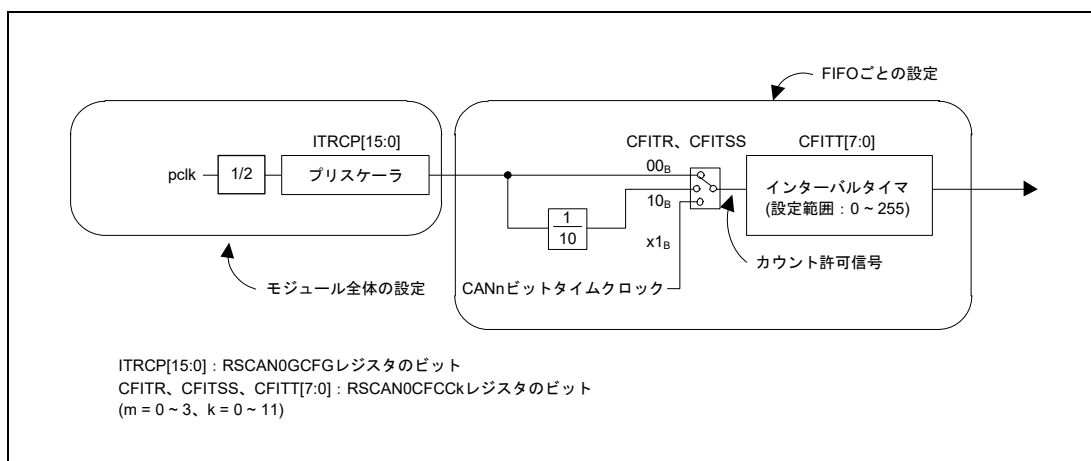


図 14.10 インターバルタイマのブロック図

図 14.11 にインターバルタイマのタイミング図を示します。

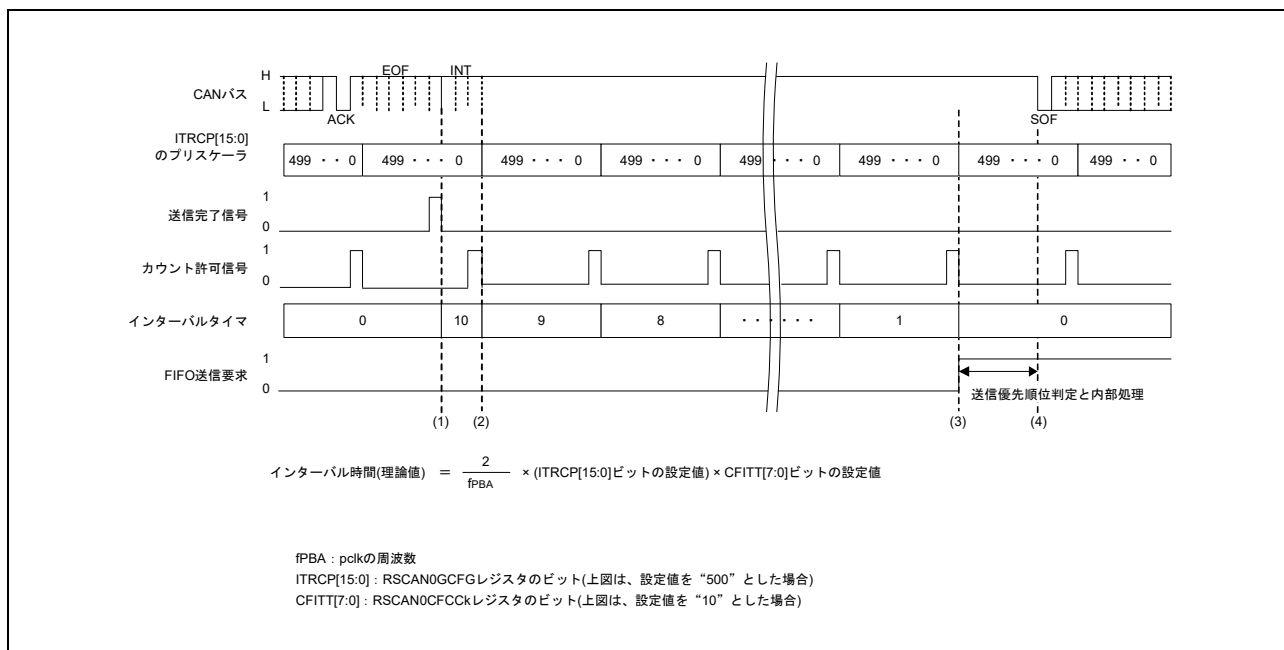


図 14.11 インターバルタイマのタイミング図

1. 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
2. 次のカウント許可信号で、インターバルタイマは“1”減算されます。
3. インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されません。
4. 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信を開始するまで、通常 CANm ビットタイムクロックの3クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャンネルで発生すると、最大で pclk の 504 クロック分遅延する場合があります。

14.4.4.4 送信キューによる送信

送信キューは1チャンネルごとに3～16バッファまで割り付けられ、送信バッファ(16×m)+15が対応するチャンネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID優先順に送信されます。2つの同じIDを持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN0TXQCCm レジスタの TXQE ビットを“0”にすると、送信キューが使用不可になります。TXQE ビットを“0”にするとき、次に示すタイミングで RSCAN0TXQSTSm レジスタの TXQEMP フラグは“1” (送信キュー空) になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを“0”にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを“1”にする前に、TXQEMP フラグが“1”になったことを確認してください。

14.4.4.5 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには16個の送信履歴データを格納できます。

RSCAN0THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCAN0CFIDk レジスタ (k=0~11) の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功したあとに、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の 144 クロック分遅延する場合があります。

- バッファタイプ 001_B: 送信バッファ
 010_B: 送受信 FIFO バッファ
 100_B: 送信キュー
- バッファ番号 送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。これはバッファタイプに依存します。**表 14.91** を参照してください。
- ラベルデータ 送信メッセージのラベル情報

表 14.91 送信履歴データのバッファ番号

バッファタイプ バッファ番号	001 _B	010 _B	100 _B
0000 _B	送信バッファ 16 × m + 0	RSCAN0CFIDk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッ ファの番号 (k = 0 ~ 11)	送信を行った送信キューに割り付け られた送信バッファの番号
0001 _B	送信バッファ 16 × m + 1		
0010 _B	送信バッファ 16 × m + 2		
0011 _B	送信バッファ 16 × m + 3		
0100 _B	送信バッファ 16 × m + 4		
0101 _B	送信バッファ 16 × m + 5		
0110 _B	送信バッファ 16 × m + 6		
0111 _B	送信バッファ 16 × m + 7		
1000 _B	送信バッファ 16 × m + 8		
1001 _B	送信バッファ 16 × m + 9		
1010 _B	送信バッファ 16 × m + 10		
1011 _B	送信バッファ 16 × m + 11		
1100 _B	送信バッファ 16 × m + 12		
1101 _B	送信バッファ 16 × m + 13		
1110 _B	送信バッファ 16 × m + 14		
1111 _B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN0THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

14.4.5 ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャンネルから送信することができます。

RSCAN0CFCK レジスタの CFM[1:0] ビットを “10_B” (ゲートウェイモード) に送信するチャンネルの送受信 FIFO バッファを RSCAN0GAFLP1j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、RSCAN0CFCK レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストのあとに、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

14.4.6 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

- 通信テスト: チャンネルごとに行うテスト
 - 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0 (外部ループバックモード)
 - セルフテストモード1 (内部ループバックモード)
- グローバルテスト: モジュール全体で行うテスト
 - RAM テスト (読み書きテスト)
 - チャンネル間通信テスト

14.4.6.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。

14.4.6.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセプビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 14.12 にリッスンオンリモード選択時の接続を示します。

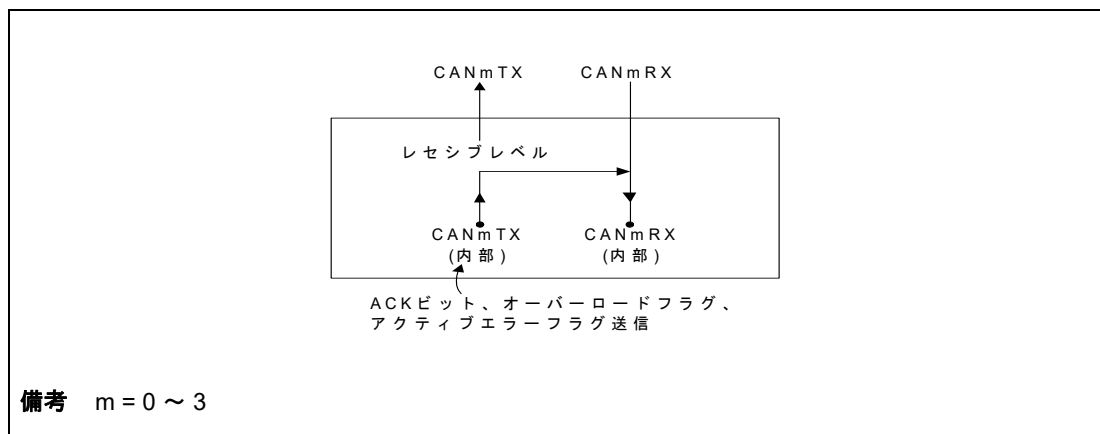


図 14.12 リッスンオンリモード選択時の接続

14.4.6.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。ほかのCANノードが送信したメッセージは、RSCAN0GAFLIDj レジスタ (j=0~15) のGAFLLB ビットを“0” (ほかのCANノードが送信したメッセージを受信時) にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

(1) セルフテストモード0 (外部ループバックモード)

セルフテストモード0はCANトランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図14.13にセルフテストモード0選択時の接続を示します。

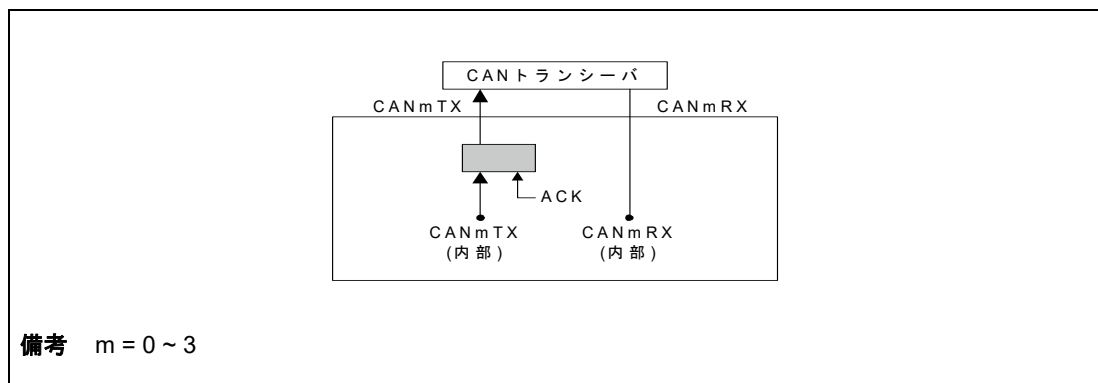


図14.13 セルフテストモード0選択時の接続

(2) セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフテストモード1では内部CANmTX端子 (m=0~3) から内部CANmRX端子への内部フィードバックを行います。外部CANmRX端子の入力は、切り離されます。外部CANmTX端子はレセシブビットのみ出力します。

図14.14にセルフテストモード1選択時の接続を示します。

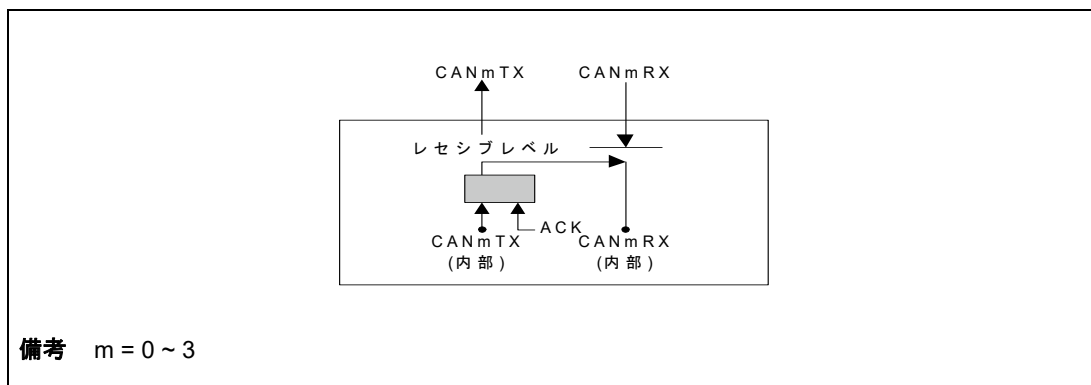


図 14.14 セルフテストモード1 選択時の接続

14.4.6.4 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCAN0GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCAN0RPGACCr レジスタ (r = 0 ~ 63) から読み出し/書き込みができます。有効な総 RAM サイズは、12160 バイト (2F80_H) です。

14.4.6.5 チャンネル間通信テスト

チャンネル間通信テスト機能を使用すると、CAN チャンネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャンネルは外部の CAN バスから切り離されます。

各チャンネルに対して送受信の設定を行ってから、チャンネル通信モードで送受信を開始してください。テストに参加しないチャンネルは、チャンネル待機モードにしてください。

図 14.15 にチャンネル間通信テスト接続図を示します。

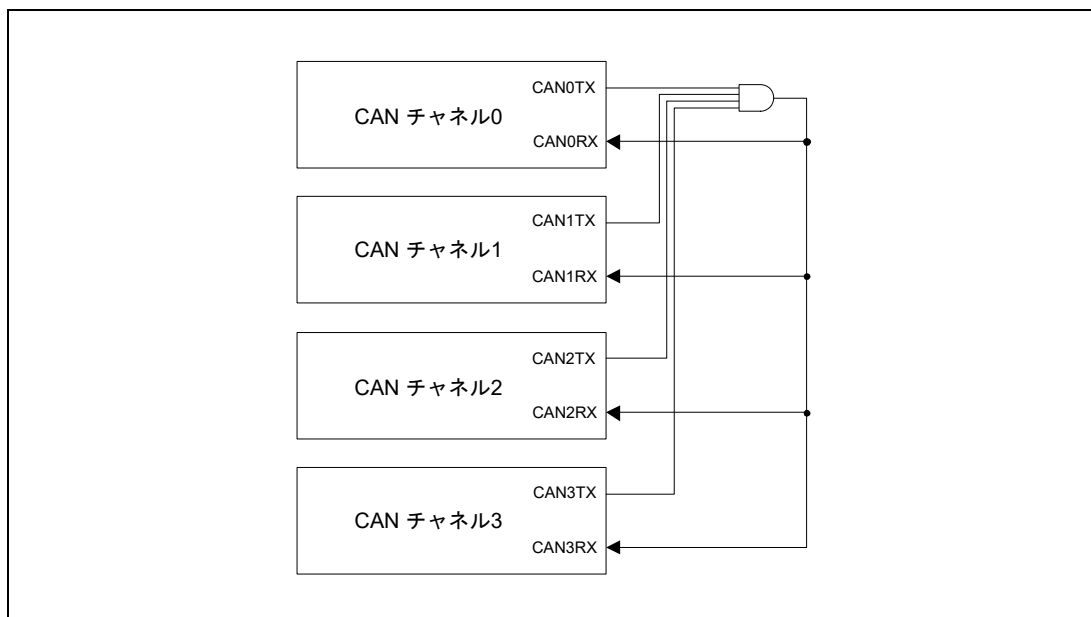


図 14.15 チャンネル間通信テスト接続図

14.5 手順

14.5.1 初期設定

MCUのリセット後にRS-CANモジュールはCAN用RAMの初期化を行います。RAMの初期化時間は、 $pclk$ の6082サイクルです。RAMの初期化中は、RSCAN0GSTSレジスタのGRAMINITフラグが“1”（CAN用RAMクリア中）になり、初期化が終了すると“0”（CAN用RAMクリア完了）になります。GRAMINITフラグが“0”になったあとにCANの設定を行ってください。図14.16にMCUのリセット後の設定手順を示します。

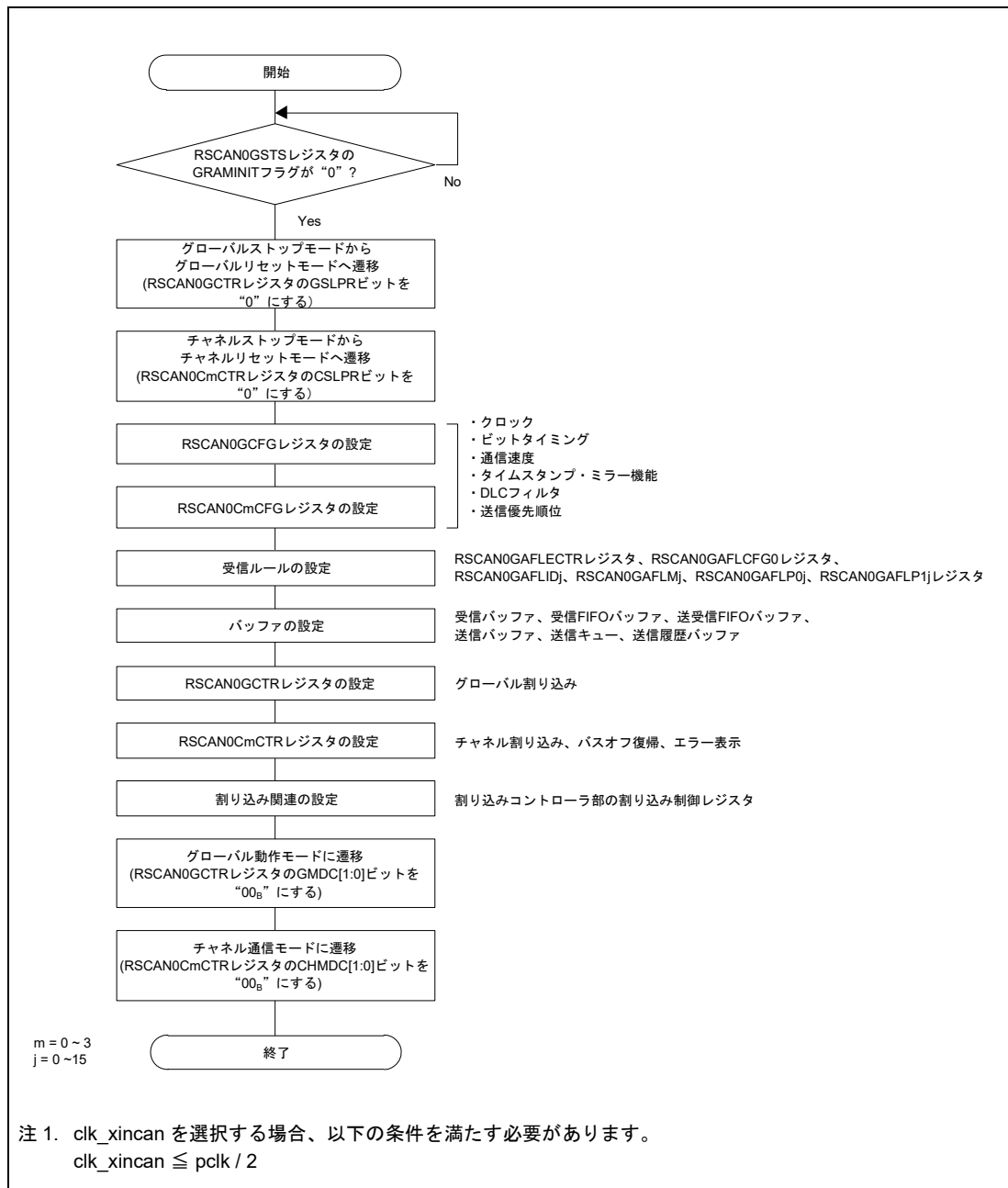


図 14.16 MCUのリセット後の設定手順

14.5.1.1 クロックの設定

RS-CAN モジュールのクロック源である CAN クロック (fCAN) を設定します。
RSCAN0GCFG レジスタの DCS ビットで、clk_xincan、または clk を選択します。

14.5.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャンネルごとに RSCAN0CmCFG レジスタ (m = 0 ~ 3) で設定することができます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、RSCAN0GCFG レジスタの DCS ビットで選択したクロックを RSCAN0CmCFG レジスタの BRP[9:0] ビットで分周したクロック (CANmTq クロック) の周期になります。

図 14.17 にビットタイミング図を示します。表 14.92 にビットタイミングの設定例を示します。

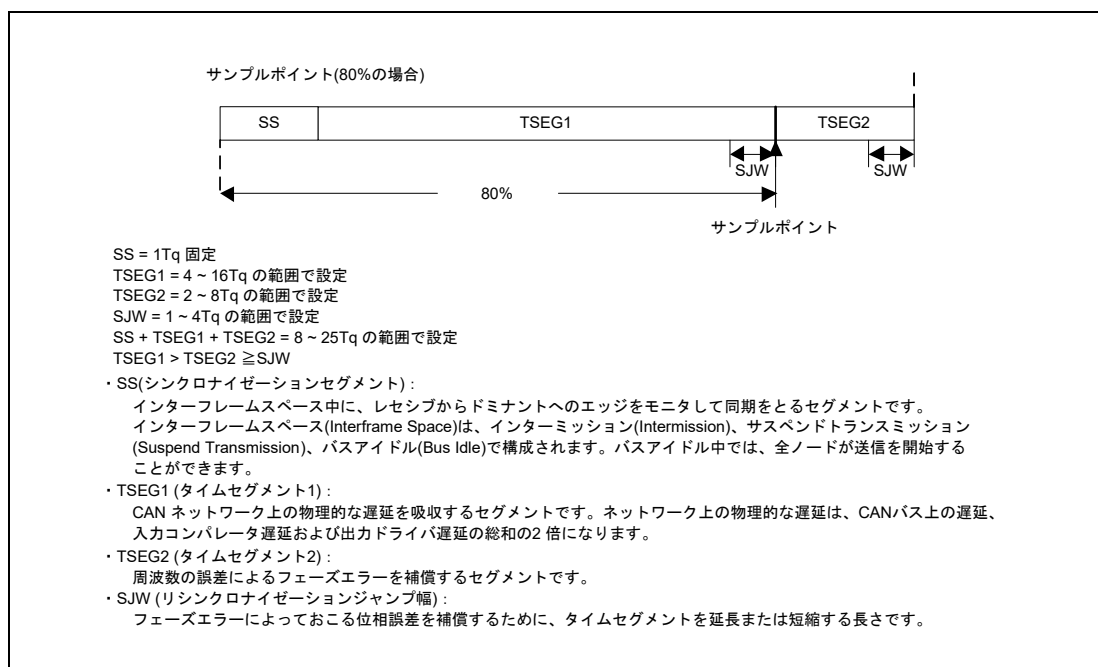


図 14.17 ビットタイミング図

表 14.92 ビットタイミングの設定例

1 ビット	設定値 (Tq)				サンプルポイント (%) ※ 図 14.17 を参照
	SS	TSEG1	TSEG2	SJW	
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00

14.5.1.3 通信速度の設定

CANの通信速度は、fCAN、ボーレートプリスケアラ分周値（RSCAN0CmCFGレジスタのBRP[9:0]ビット）、および1ビットタイムのTq数を用いてチャンネルごとに設定します。

図14.18にCANクロック制御ブロック図、表14.93に通信速度の設定例を示します。

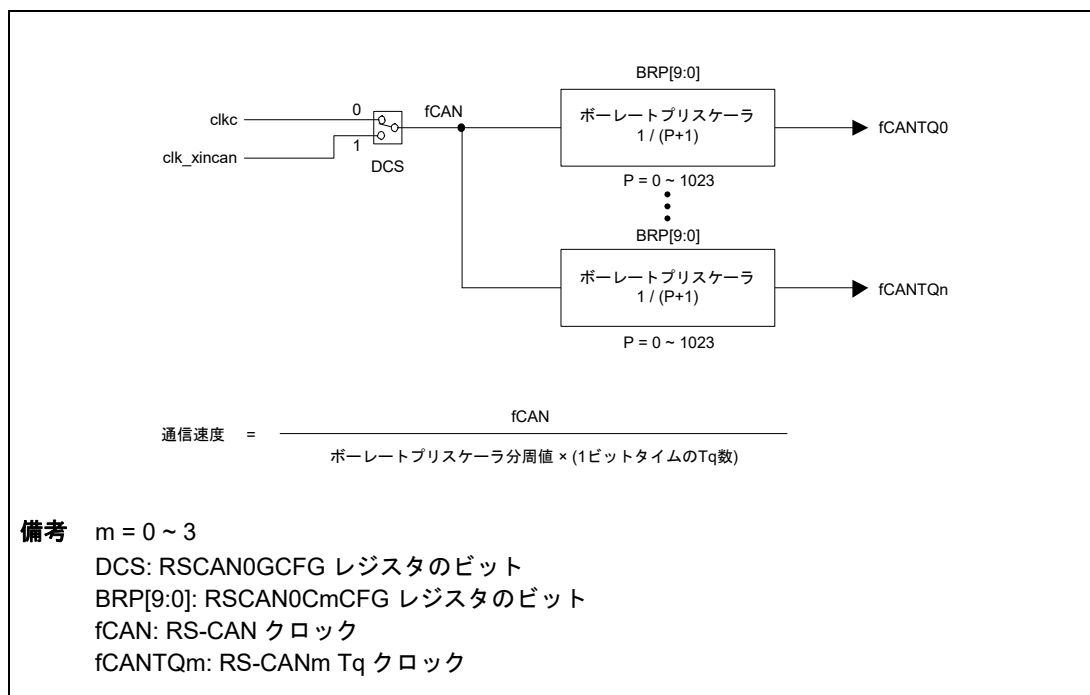


図 14.18 CAN クロック制御ブロック図

表 14.93 通信速度の設定例

通信速度 \ fCAN	40MHz
1Mbps	8Tq (5) 20Tq (2)
500Kbps	8Tq (10) 20Tq (4)
250Kbps	8Tq (20) 20Tq (8)

注1. () 内の数字はボーレートプリスケアラ分周値

14.5.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCAN0GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ~ 15 を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可/禁止を設定します。

図 14.19 に受信ルール設定手順について示します。

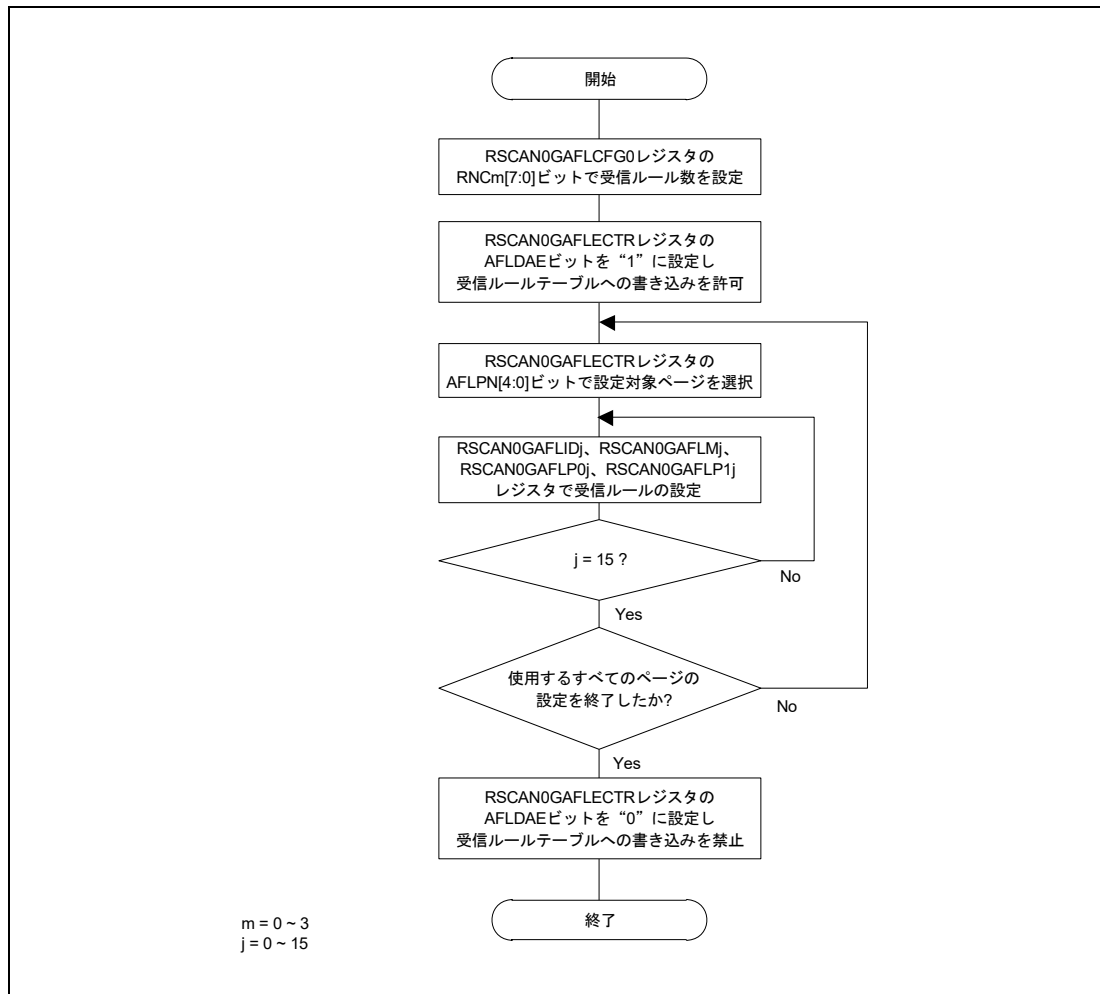


図 14.19 受信ルール設定手順

14.5.1.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信FIFO バッファはリンクする送信バッファを設定します。

図 14.20 にバッファの構成を示します。図 14.21 に各種バッファの設定手順を示します。

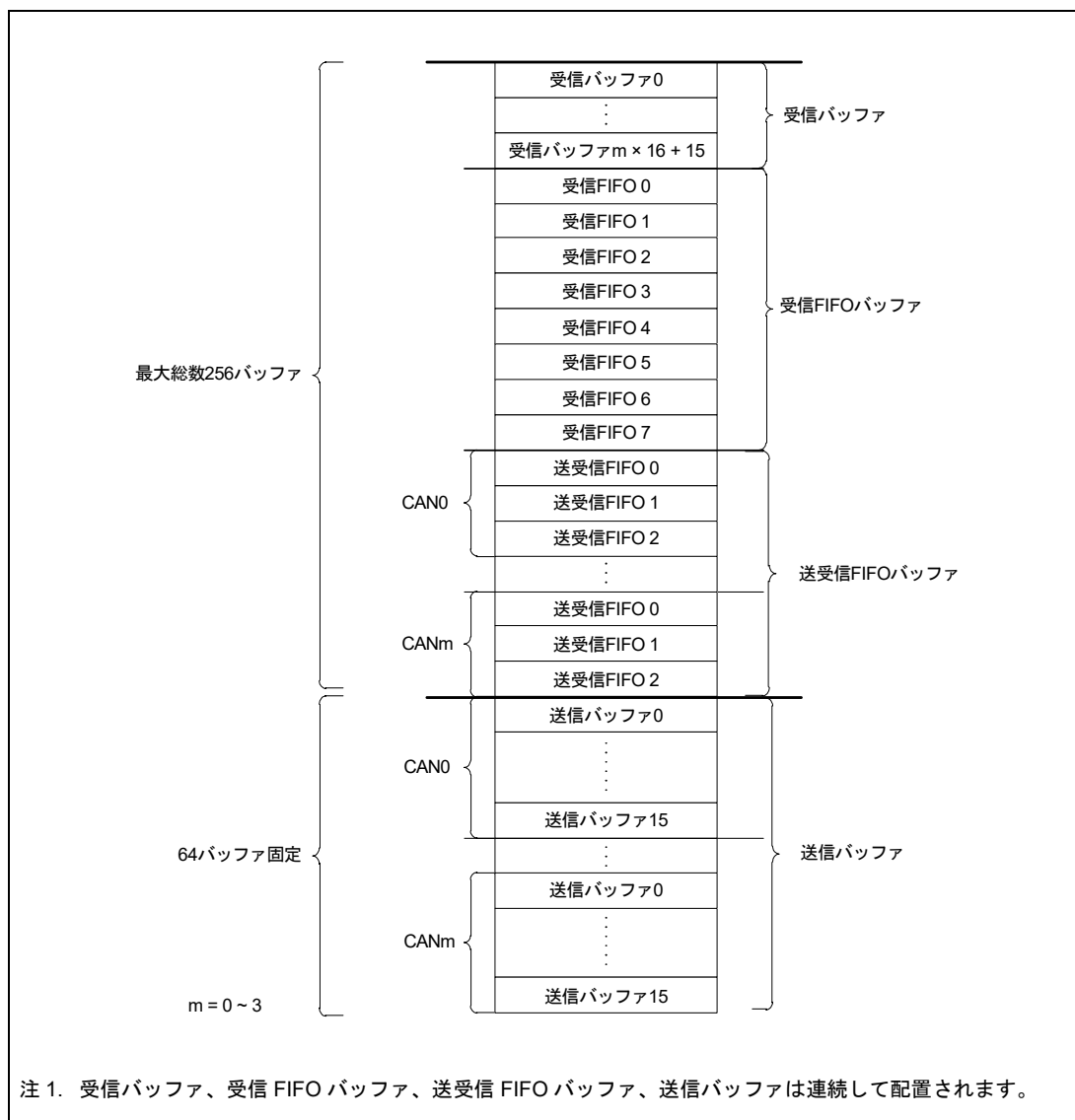


図 14.20 バッファの構成

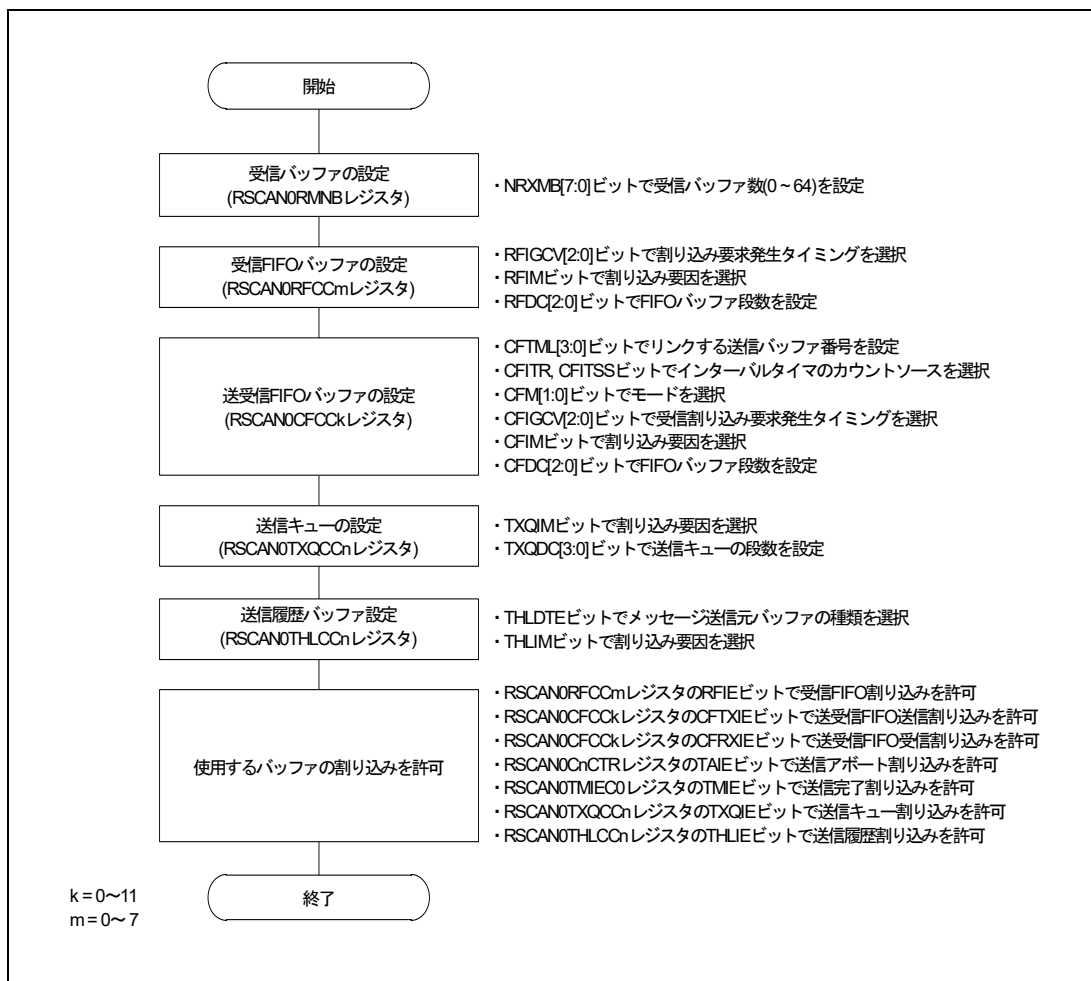


図 14.21 各種バッファの設定手順

14.5.2 受信手順

14.5.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCAN0RMNDy レジスタの RMNSq フラグ ($y = 0 \sim 1$, $q = 0 \sim 63$) が“1” (受信バッファ q に新しいメッセージあり) になります。メッセージは RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDF0q、RSCAN0RMDF1q レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。図 14.22 に受信バッファの読み出し手順を示します。

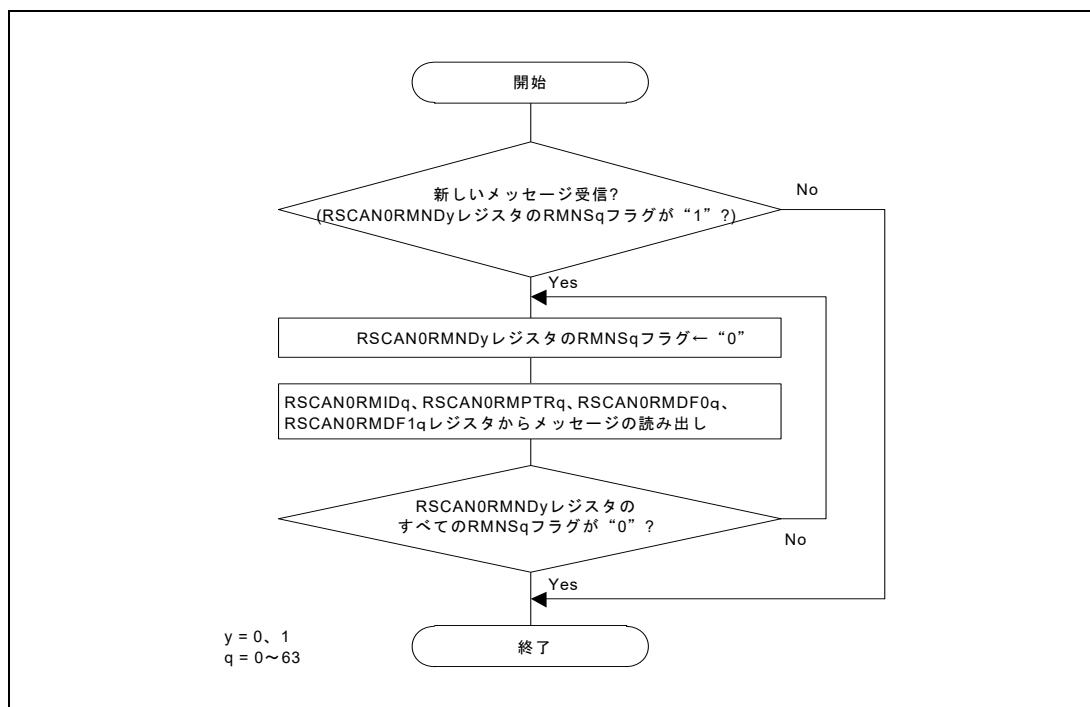


図 14.22 受信バッファの読み出し手順

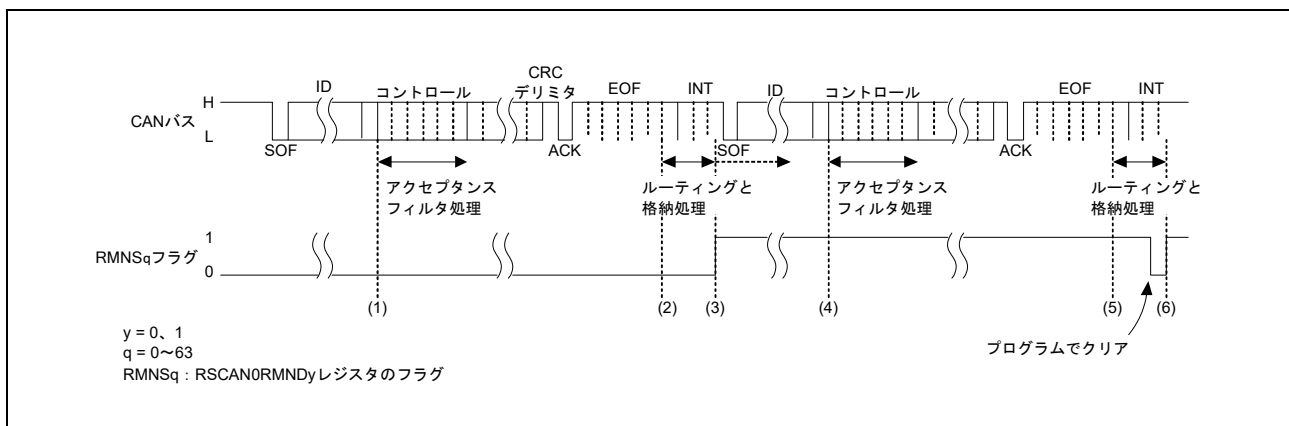


図 14.23 受信バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応する RSCAN0RMNDy レジスタの RMNSq フラグが“1” (受信バッファに新しいメッセージあり) になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っている場合、ルーティング処理や格納処理が遅延する場合があります。
4. 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
5. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
6. 対応する RMNSq フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。RMNSq フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを“0”にできません。

14.5.2.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モード/ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RSCAN0RFSTSk レジスタ ($x=0\sim 7$) の RFMC[7:0] ビットまたは RSCAN0CFSTSk レジスタ ($k=0\sim 11$) の CFMC[7:0] ビット) の値が1加算されます。このとき、RSCAN0RFCCm レジスタの RFIE ビット (受信 FIFO 割り込み許可ビット) や RSCAN0CFCCk レジスタの CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCAN0RFIDm、RSCAN0RFPTRm、RSCAN0RFDF0m、RSCAN0RFDF1m レジスタから、送受信 FIFO バッファの場合は RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RSCAN0RFCCm レジスタの RFDC[2:0] ビットまたは RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した値) に一致したとき、RFFLL フラグまたは CFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCAN0RFSTSm レジスタの RFEMP フラグまたは RSCAN0CFSTSk レジスタの CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RSCAN0RFSTSm レジスタの RFIF フラグまたは RSCAN0CFSTSk レジスタの CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFE ビットや CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

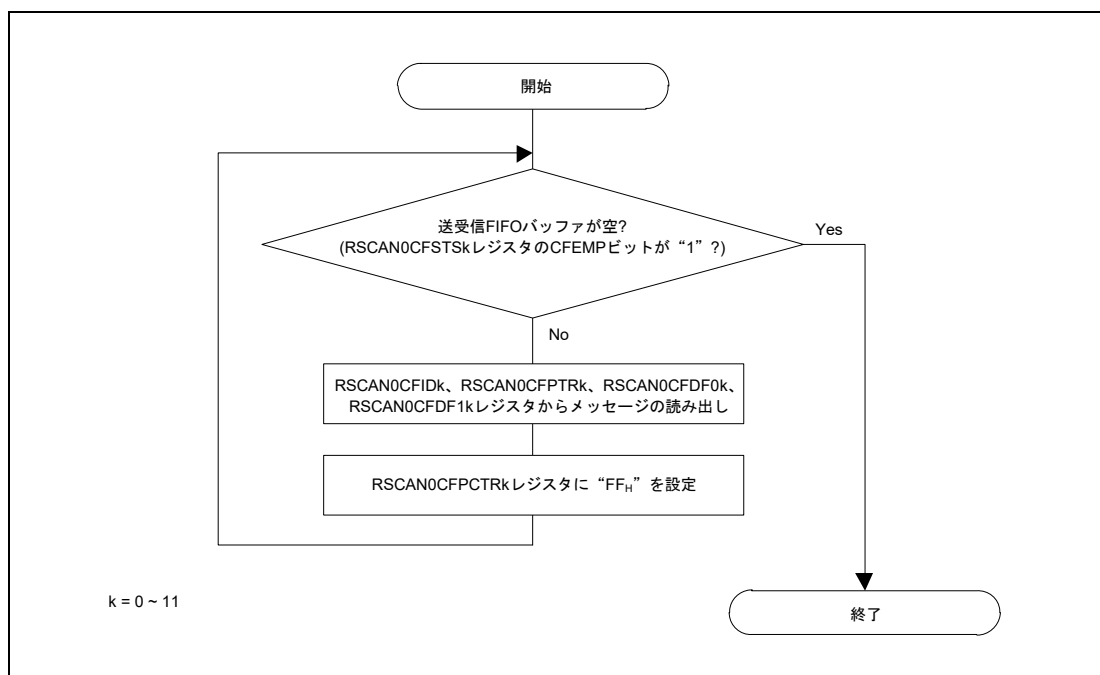


図 14.24 送受信 FIFO バッファの読み出し手順

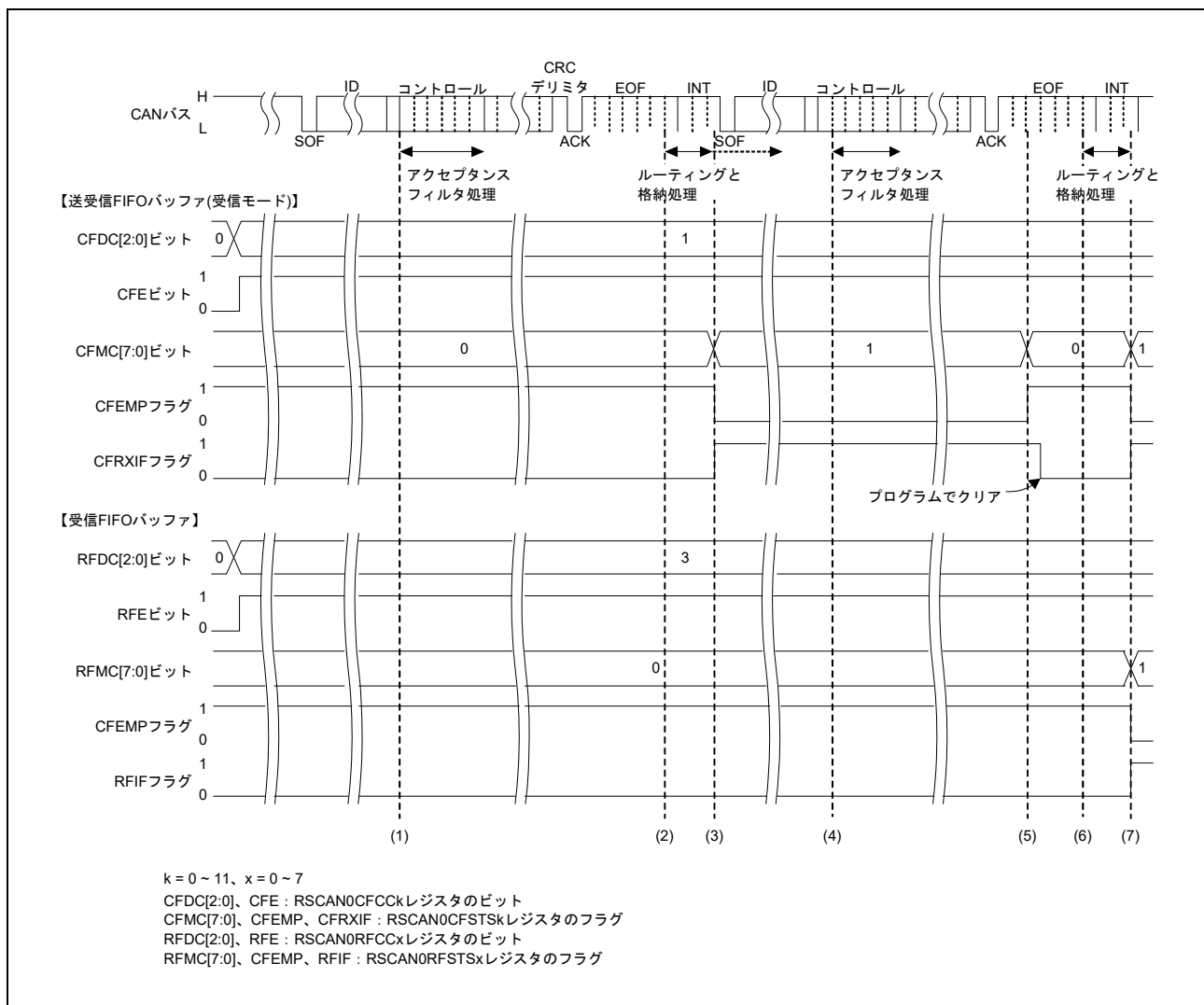


図 14.25 FIFO バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過し、かつ RSCAN0CFCCk レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、RSCAN0CFCCk レジスタの CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて“01_H”になります。RSCAN0CFCCk レジスタの CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN0CFSTSk レジスタの CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFRXIF フラグはプログラムで“0”にできます。
4. 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。

5. RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから受信メッセージを読み出し、RSCAN0CFPCTRk レジスタに“FF_H”を書きます。それにより、RSCAN0CFSTSk レジスタのCFMC[7:0] ビットが1減算されて“00_H”になり、RSCAN0CFSTSk レジスタのCFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
6. 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタのDCE ビットが“1” (DLC チェック許可) の場合、この時点でDLC フィルタ処理を行います。
7. DLC フィルタ処理を通過し、かつCFE ビットが“1” (送受信 FIFO バッファを使用する)、CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが1加算されて“01_H”になります。CFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。また、RSCAN0RFCCx レジスタのRFE ビットが“1” (受信 FIFO バッファを使用する)、RSCAN0RFCCx レジスタのRFDC[2:0] ビットの値が“001_B”以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCAN0RFSTSk レジスタのRFMC[7:0] ビットが1加算されて“01_H”になります。RSCAN0RFCCx レジスタのRFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN0RFSTSk レジスタのRFIF フラグが“1” (受信 FIFO 割り込み要求あり) になります。

14.5.3 送信手順

14.5.3.1 送信バッファからの送信手順

図 14.26 に送信バッファからの送信手順を示します。

図 14.27 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 14.28 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

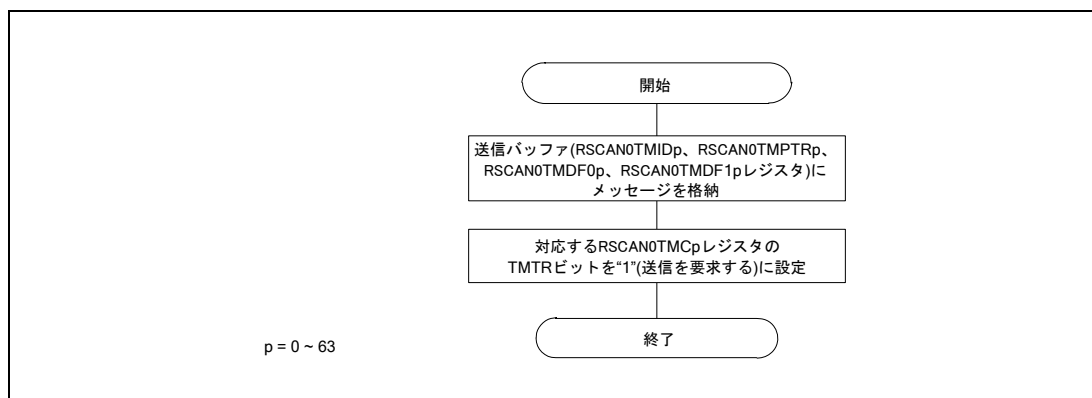


図 14.26 送信バッファからの送信手順

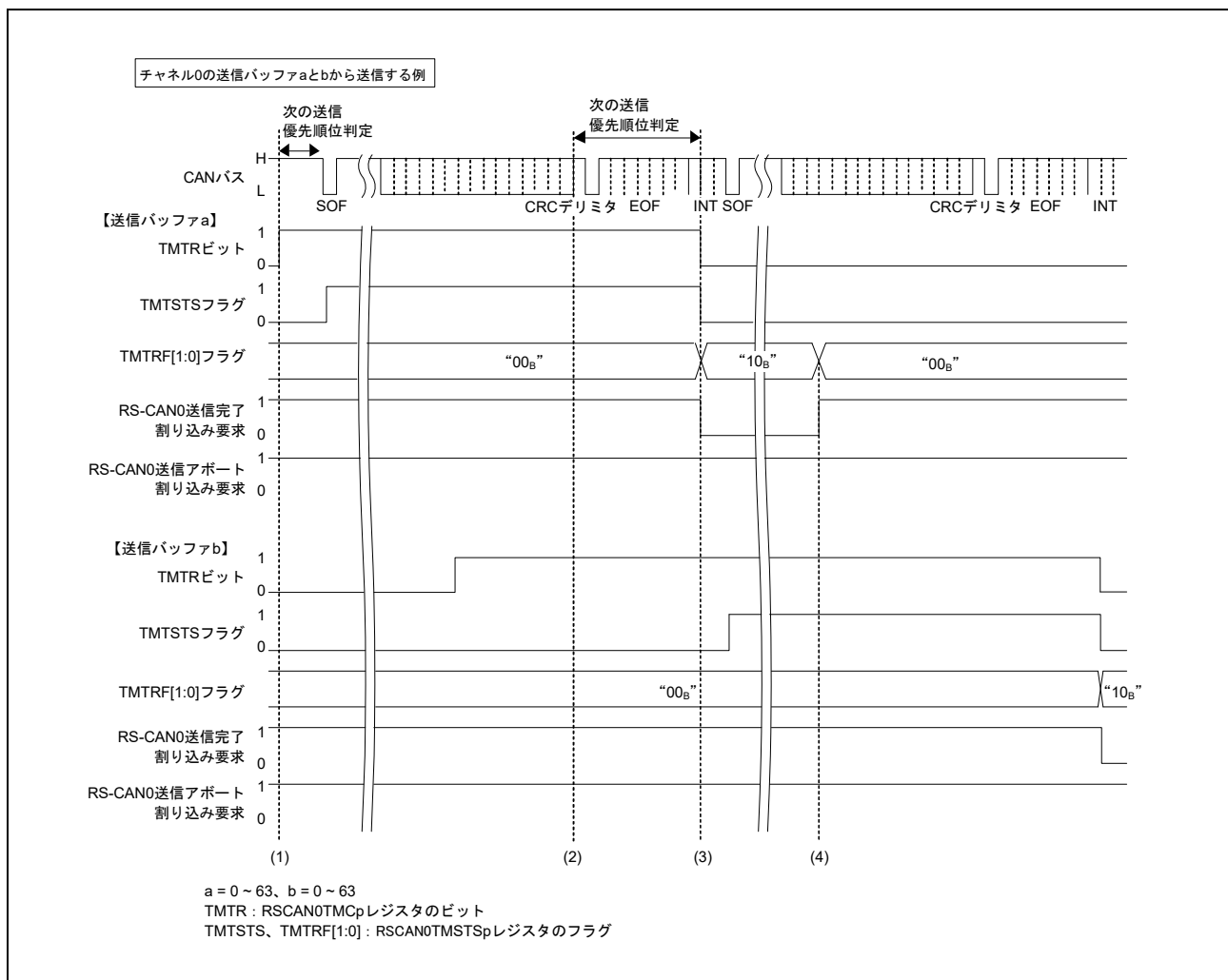


図 14.27 送信バッファの送信タイミング図（正常に送信完了時）

1. CANバスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMCa レジスタの TMTSTS フラグが“1”（送信中）になり、CANチャンネルは送信を開始します。
2. CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。ほかのチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。
3. 送信が成功すると、RSCAN0TMCa レジスタの TMTRF[1:0] フラグは“10_B”（送信完了（送信アボート要求なし））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは“0”になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが“1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B”（送信中または送信要求なし）にしてください。
4. 次の送信を開始する前に、TMTRF[1:0] フラグを“00_B”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1”（送信を要求する）にしてください。TMTRF[1:0] フラグが“00_B”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定はCRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

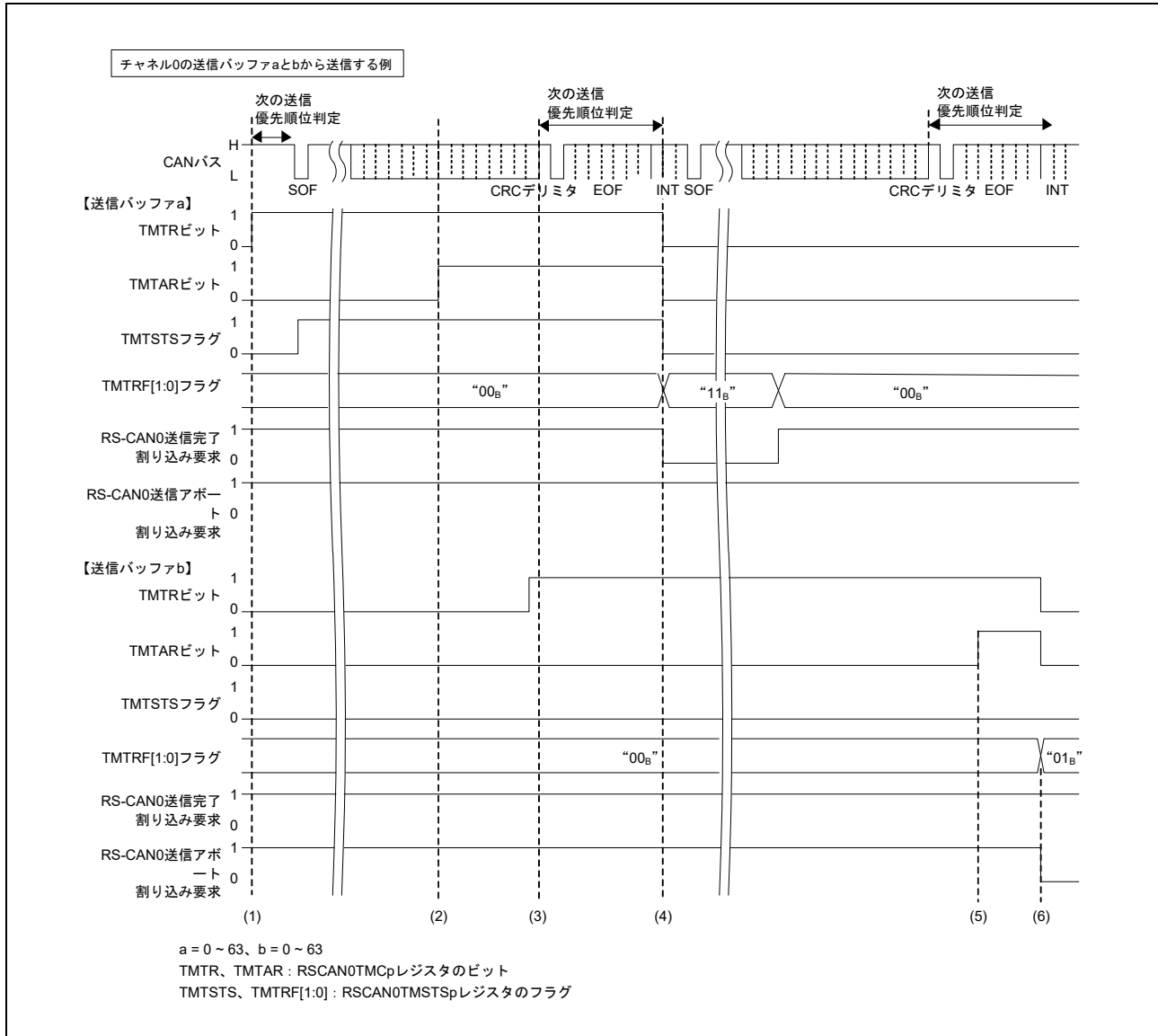


図 14.28 送信バッファの送信タイミング図 (送信アボート完了時)

1. CANバスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMCa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
2. 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1” (アボート要求する) にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。
3. CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。ほかのチャンネルが優先順位判定

を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。

4. 送信が成功すると、RSCAN0TMCa レジスタの TMTRF[1:0] フラグは“11_B” (送信完了 (送信アボート要求あり)) になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは“0”になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
5. CAN バス上にほかの CAN ノードが送信している場合 (TMTSTS フラグは“0”)、対応するチャンネルが優先順位判定中に TMTAR ビットを“1”にすると、TMTR ビットを“0”にできません。
6. 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが“01_B”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは“01_B”になります。このとき、TMTR ビットと TMTAR ビットは“0”になります。RSCAN0CmCTR レジスタの TAIE ビットが“1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B”にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは“0”になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

14.5.3.2 送受信 FIFO バッファからの送信手順

図 14.29 に送受信 FIFO バッファからの送信手順を示します。

図 14.30 に、同一チャネルの2つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 14.31 に、同一チャネルの2つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

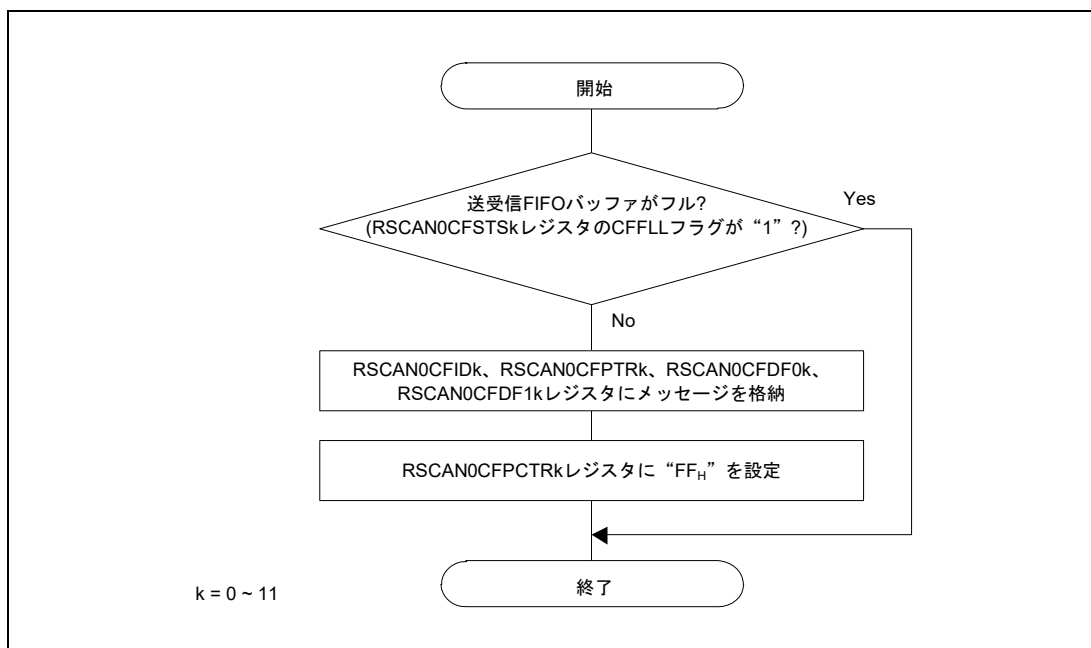


図 14.29 送受信 FIFO バッファからの送信手順

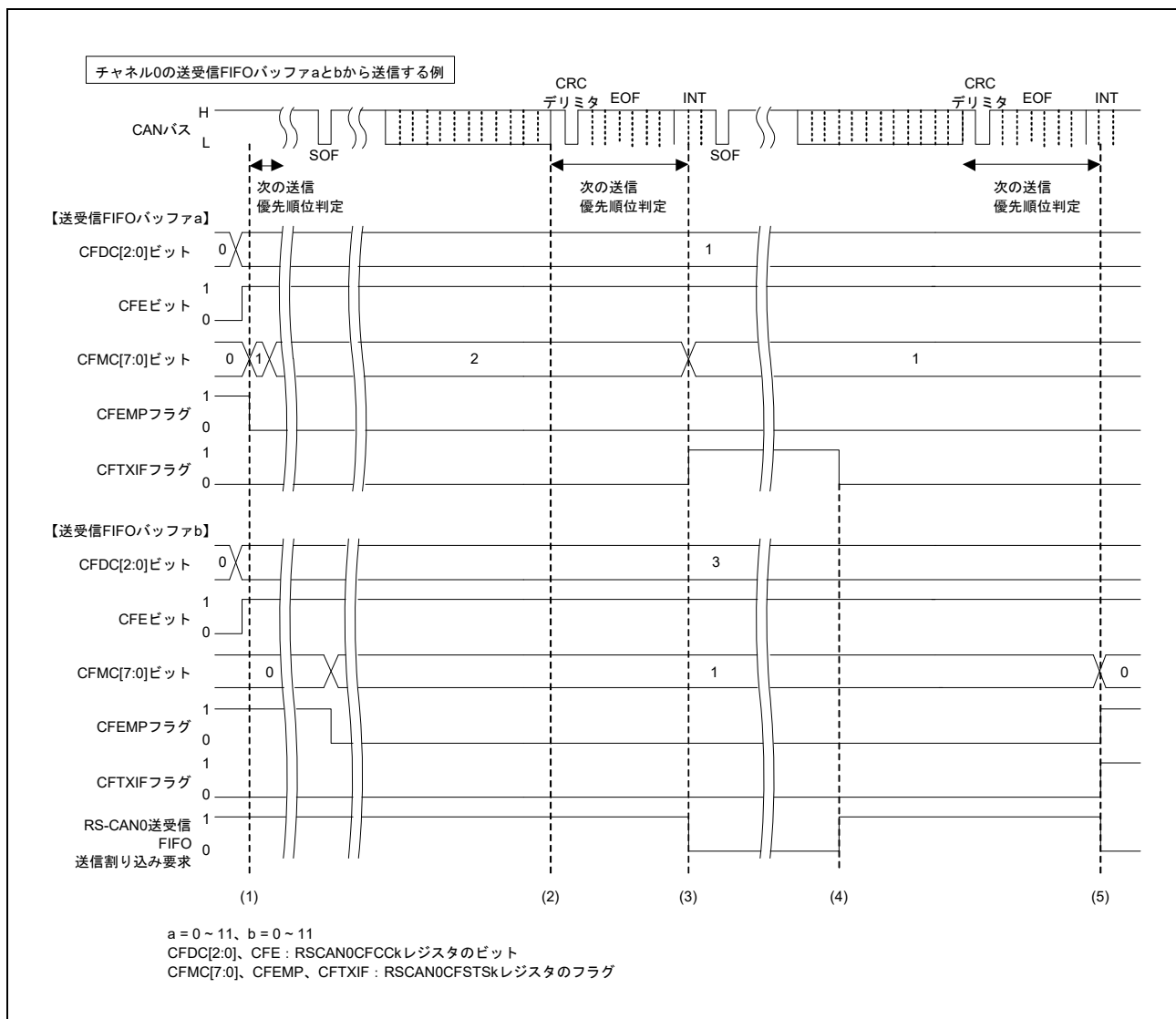


図 14.30 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

1. CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが“001_B” (4 メッセージ) 以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が“01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
2. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
3. 送信が成功すると、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN0CFCCa レジスタの CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN0CFSTSsk レジスタの CCTXIF フラグが“1” (送受信 FIFO 送信割り込み要求あり) になります。
4. CCTXIF フラグはプログラムでクリアできます。

5. チャンネル0の送受信FIFOバッファbからの送信が完了し、RSCAN0CFSTSbレジスタのCFMC[7:0]ビットが1減算されます。CFMC[7:0]ビットが“00_H”になるため、RSCAN0CFSTS_kレジスタのCFEMPフラグが“1”（送受信FIFOバッファ空）になります。

CFEMPフラグが“1”になるまで送信は続けられます。RSCAN0CFSTS_a、RSCAN0CFSTS_bレジスタのCFLLフラグが“1”（送受信FIFOバッファフル）になるまで、送信メッセージをFIFOバッファに格納することができます。

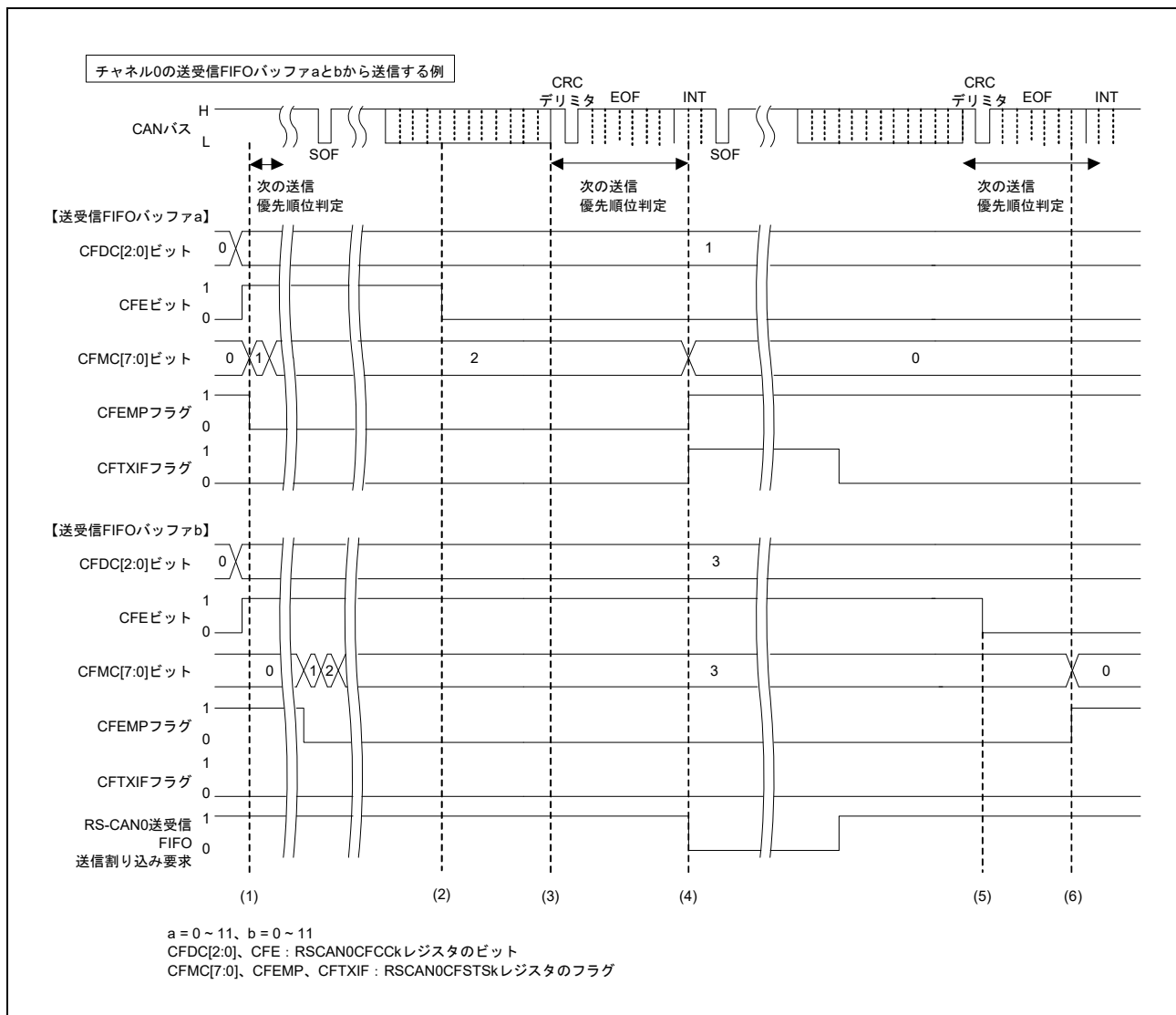


図 14.31 送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

1. CANバスがアイドル状態のとき、RSCAN0CFCC_aレジスタ（a = 0 ~ 11）のCFEビットが“1”（送受信FIFOバッファを使用する）、RSCAN0CFCC_aレジスタのCFDC[2:0]ビットが“001_B”（4メッセージ）以上、RSCAN0CFSTS_aレジスタのCFMC[7:0]ビットの値が“01_H”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル0の送受信FIFOバッファaから送信されます。
2. メッセージが送信中、または次の送信に決まっているとき、アービトレーションロスまたはエラーが発生しない限り、CFEビットを“0”（送受信FIFOバッファを使用しない）にしても送信はアボートされません。

3. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。ほかのチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。
4. 送信が成功すると、CFMC[7:0] ビットの値が“00_H”になります。CFIM ビットを“1” (1メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN0CFSTSa レジスタの CFTXIF フラグが“1” (送受信 FIFO バッファ送信割り込み要求あり) になります。CFTXIF フラグはプログラムでクリアできます。
5. CAN バス上のほかの CAN ノードが送信中の場合 (送受信 FIFO バッファ b からは送信されていない)、送信の優先順位判定中に RSCAN0CFCCb レジスタの CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても、送受信 FIFO バッファは直ちに禁止にはできません (RSCAN0CFSTSb レジスタの CFEMP フラグは直ちに“1” (送受信 FIFO バッファ空) にはなりません)。
6. 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます (CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります)。

14.5.3.3 送信キューからの送信手順

図 14.32 に送信キューからの送信手順を示します。

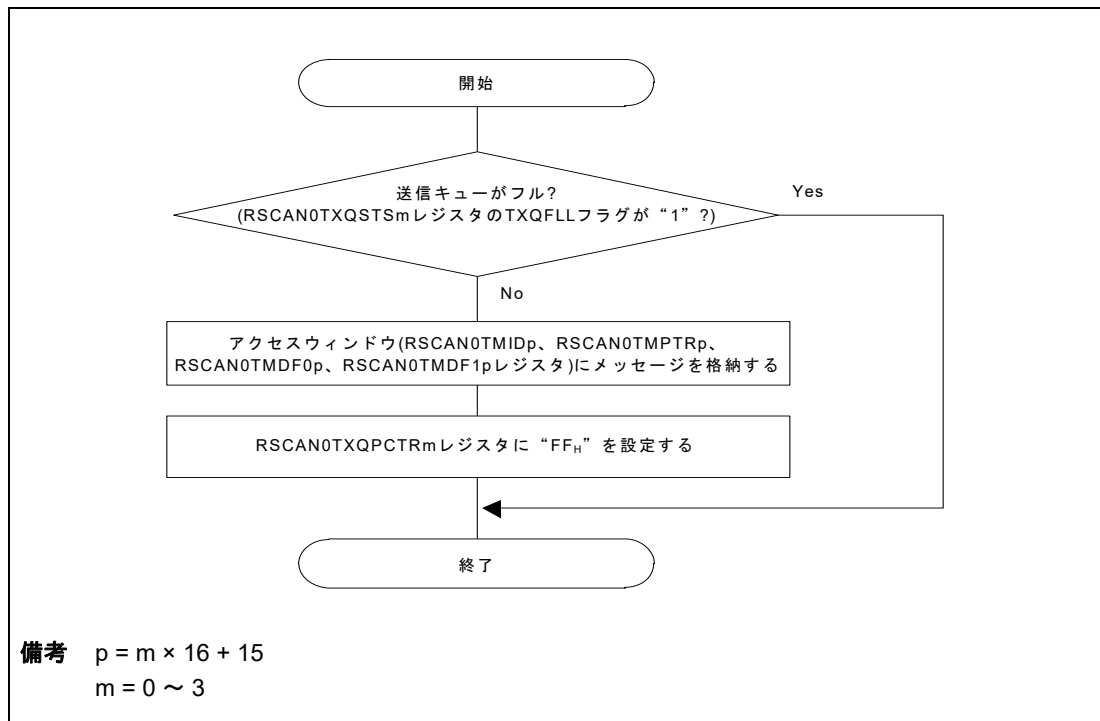


図 14.32 送信キューからの送信手順

14.5.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCAN0THLACC m レジスタで読めます。1 データを読んだあと、対応する RSCAN0THLPCTR m レジスタ ($m=0\sim 3$) へ“FF_H”を書くと、次のデータへアクセスできます。図 14.33 に送信履歴バッファの読み出し手順を示します。

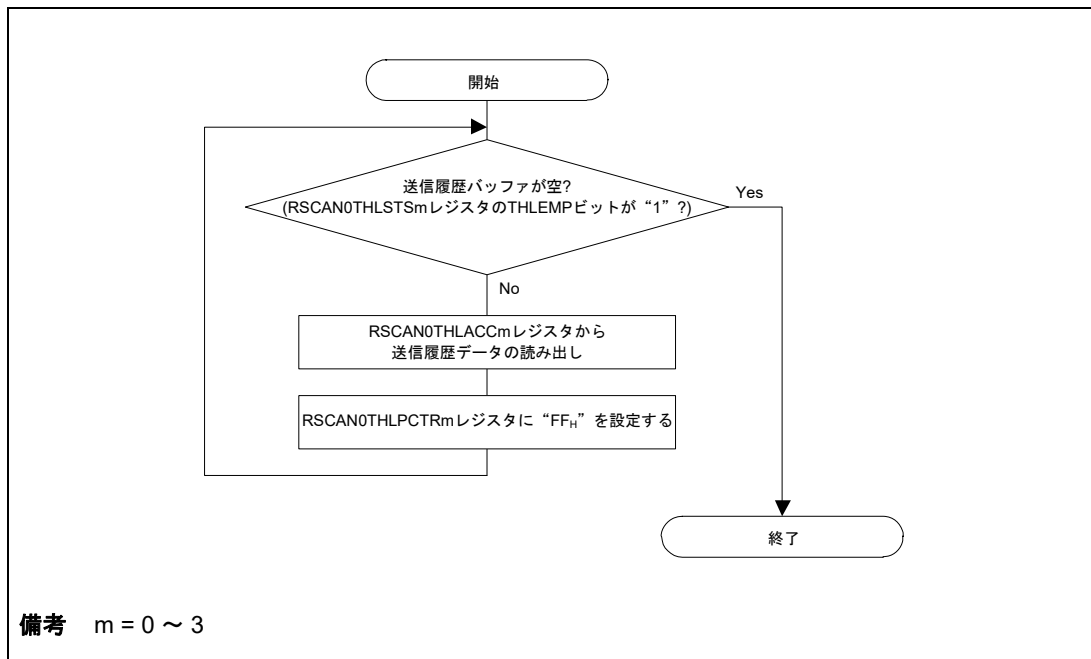


図 14.33 送信履歴バッファの読み出し手順

14.5.4 テスト設定

14.5.4.1 セルフテストモードの設定手順

セルフテストモードでは、みずから送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 14.34 にセルフテストモードの設定手順を示します。

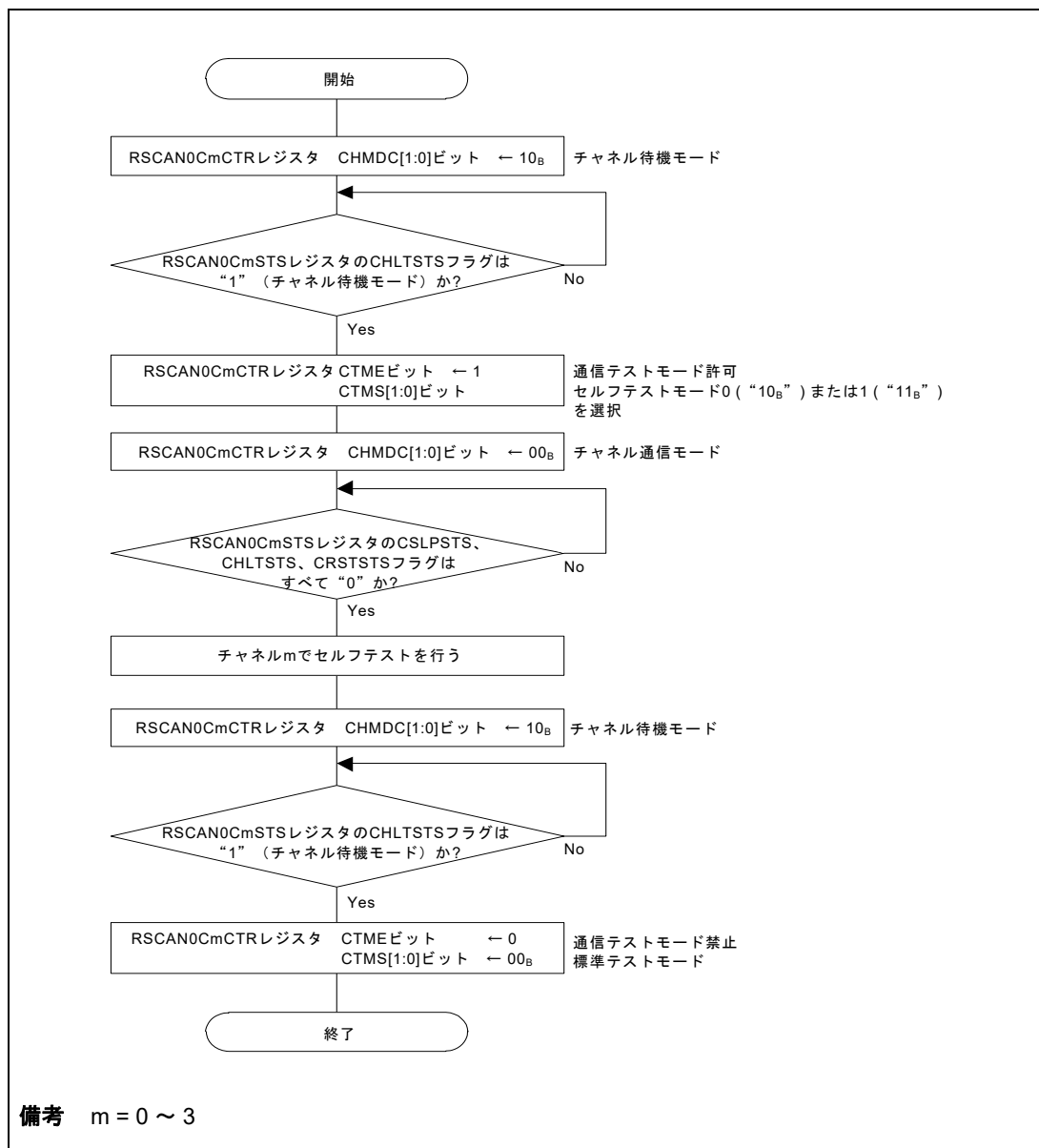


図 14.34 セルフテストモードの設定手順

14.5.4.2 プロテクト解除手順表

表 14.94 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCAN0GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 14.94 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575 _H	8A8A _H	RSCAN0GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。図 14.35 にプロテクト解除手順を示します。

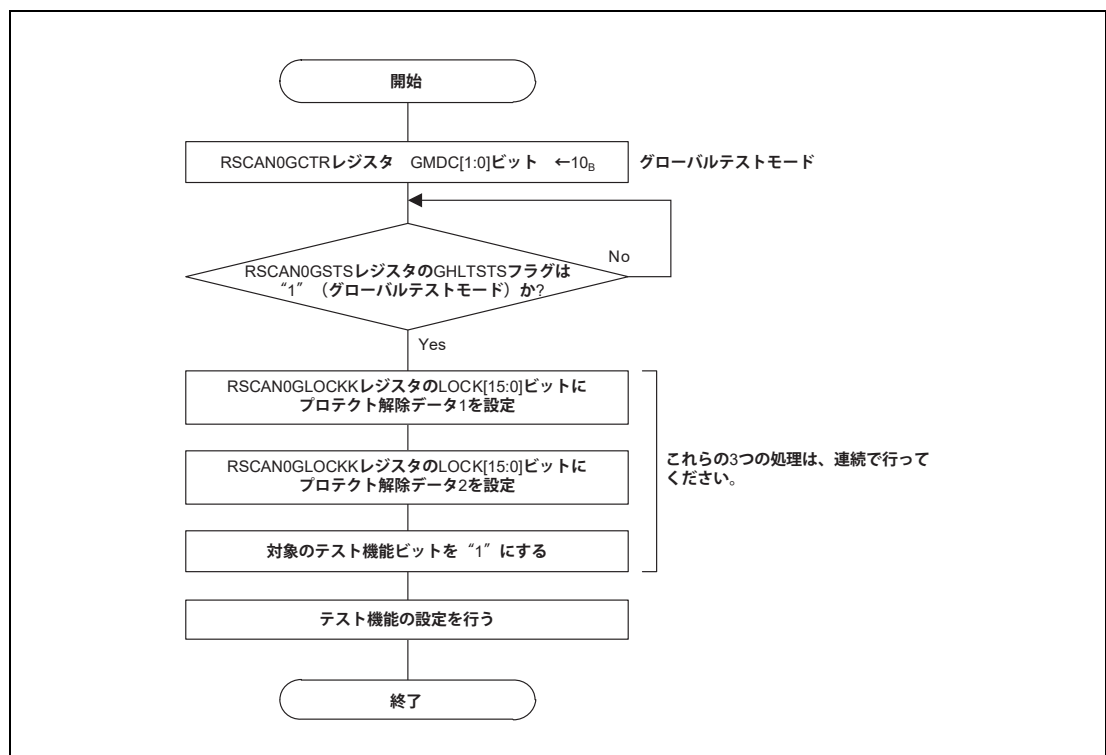
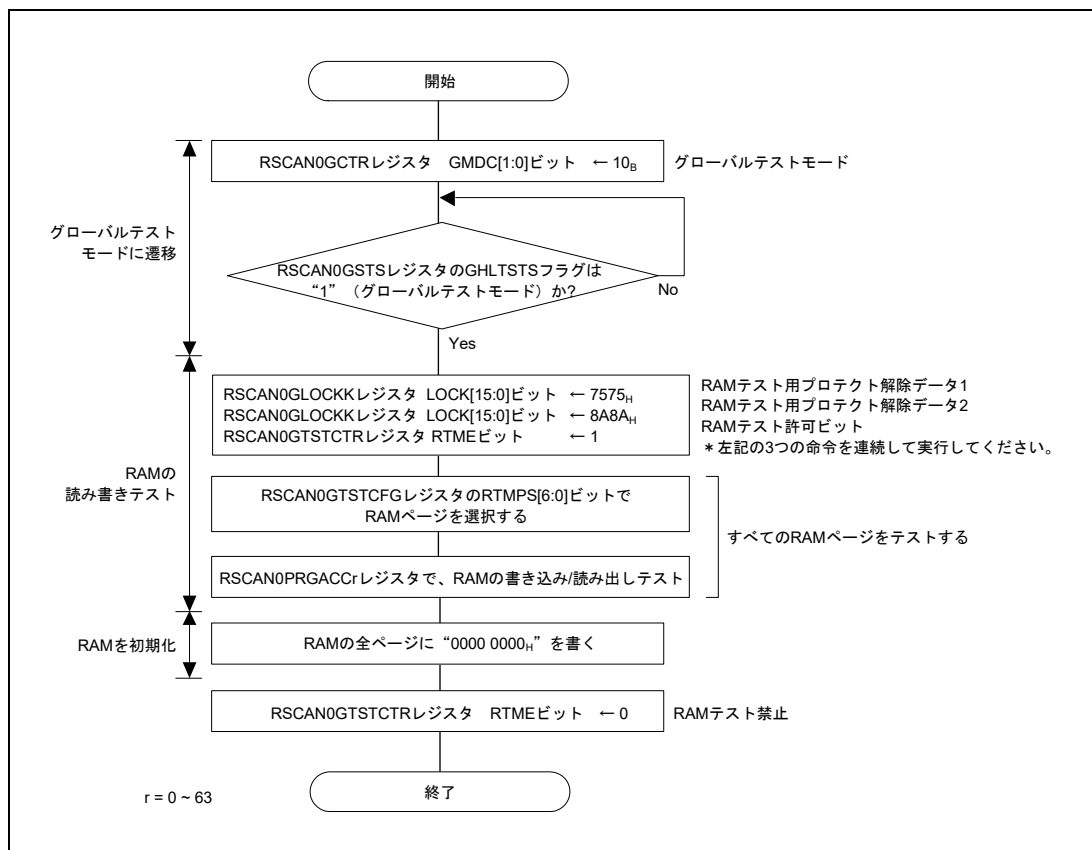


図 14.35 プロテクト解除手順

14.5.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000_H”を書いてください。

図 14.36 に RAM テストの設定手順を示します。



14.5.4.4 チャンネル間通信テストの設定手順

異なるチャンネル間で送受信させることにより、通信テストを行うことができます。

図 14.37 にチャンネル間通信テストの設定手順を示します。

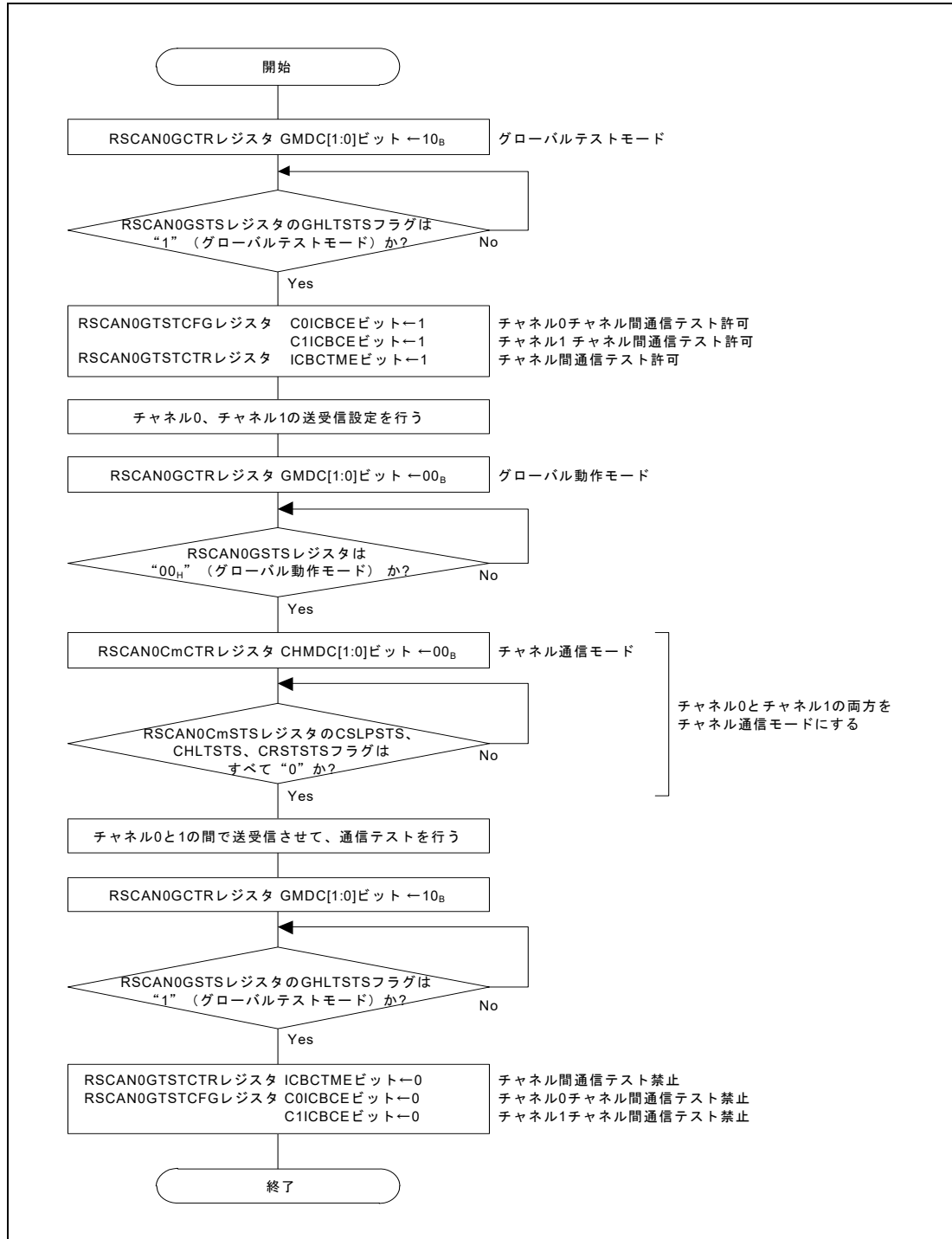


図 14.37 チャンネル間通信テストの設定手順 (チャンネル 0-1 間通信テストの例)

14.6 注意事項

- グローバルモードを変更する場合は、RSCAN0GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、RSCAN0CmSTS レジスタ (m=0~3) の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。そのあとの DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ (RSCAN0TMCp レジスタ) は“00_H”にしてください。また、対応する送信バッファのステータスレジスタ (RSCAN0TMSTSp レジスタ) は使用しないでください。そのほかのステータスレジスタ (RSCAN0MTRSTS0 ~ RSCAN0MTRSTS2、RSCAN0MTARSTS0 ~ RSCAN0MTARSTS2、RSCAN0MTCSTS0 ~ RSCAN0MTCSTS2、RSCAN0MTASTS0 ~ RSCAN0MTASTS2 レジスタ) は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (RSCAN0MIEC0 ~ RSCAN0MIEC2 レジスタ) の許可ビットは“0” (割り込み禁止) にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1つの送信バッファには、1つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。

第15章 ウィンドウウォッチドッグタイマ (WDTA)

本章では、ウィンドウウォッチドッグタイマ (WDTA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。それ以降の節では、WDTA の機能、レジスタについて説明します。

15.1 RH850/C1x WDTA の特長

15.1.1 ユニット数

本製品は以下のユニット数の WDTA を搭載しています。

表 15.1 ユニット数

製品	RH850/C1H	RH850/C1M
チャンネル数	2	1
名称	WDTAn (n = 0, 1)	WDTA0

表 15.2 添字

添字	意味
n	本章では、WDTA の各ユニットを「n」(n = 0, 1) で識別します。(C1H では n = 0, 1、C1M では n = 0)。たとえば、WDTAn イネーブルレジスタ (WDTAnWDTE) のように記述しています。

15.1.2 レジスタベースアドレス

WDTA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

WDTA のベースアドレスを以下の表に示します。

表 15.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<WDTA0_base>	FFED 0000 _H
<WDTA1_base>	FFED 1000 _H

15.1.3 クロック供給

WDTA に以下のクロックが供給されます。

表 15.4 WDTAn のクロック

WDTAn	ユニットクロック名	供給クロック名
WDTA0	WDTATCKI	WDTCLKI
	PCLK	CLKC_LSB (非変調低速周辺クロック)
WDTA1	WDTATCKI	WDTCLKI
	PCLK	CLKC_LSB (非変調低速周辺クロック)

15.1.4 割り込み

WDTA は以下の割り込み要求を発生することができます。

表 15.5 割り込み要求

WDTAn 信号	機能	割り込み番号
WDTA0		
WDTAnTIT	75% 割り込み	54
WDTA1		
WDTAnTIT	75% 割り込み	55 ^{注1}

注 1. RH850/C1M では対応していません。

15.1.5 リセット要因

WDTA は以下の表に示すリセット要因で初期化されます。

表 15.6 リセット要因

ユニット名	リセット要因
WDTA0	すべてのリセット要因でリセット
WDTA1	すべてのリセット要因でリセット

15.1.6 WDTA の起動オプション

起動オプションは、リセット解除後の WDTA0 の起動設定を決定します。各起動オプションを次の「表 15.7 WDTA0 の起動オプション」で説明します。WDTA1 は非対応です。

表 15.7 WDTA0 の起動オプション

起動オプション	機能	フラッシュオプションの割り当て
OPWDOVF[2:0]	オーバフローインターバル時間の設定	OPBT0[27:25]
OPWDWS[1:0]	ウィンドウオープン期間の設定	OPBT0[29:28]
OPWDINT	75% 割り込み要求の設定	OPBT0[30]
OPWDRUN	スタートモードの設定	OPBT0[31]

15.2 概要

15.2.1 機能概要

WDTA には次の機能があります。

- オプションバイトによるリセット解除後の動作モード選択
WDTA のリセット後のカウント開始・停止、オーバフロー時間が選択できます。
WDTA のリセット後のカウント開始・停止、75% 割り込み要求の有効・無効、ウィンドウオープン期間、オーバフロー時間が選択できます。
- WDTA トリガ機能
WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。
- 75% 割り込み要求信号
オーバフローインターバル時間の 75% に達したときに割り込み要求信号を発生することができます (WDTAnMD.WDTAnWIE により有効無効が可能)。
- ウィンドウ機能
WDTA トリガレジスタの書き込み有効期間 (ウィンドウオープン期間) を設定することができます。ウィンドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。
- WDTA エラー検出機能
エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。エラー検出要因は「**15.5.3 エラー検出**」を参照してください。

15.2.2 ブロック図

WDTA の主な構成要素を次の「**図 15.1 WDTA のブロック図**」に示します。

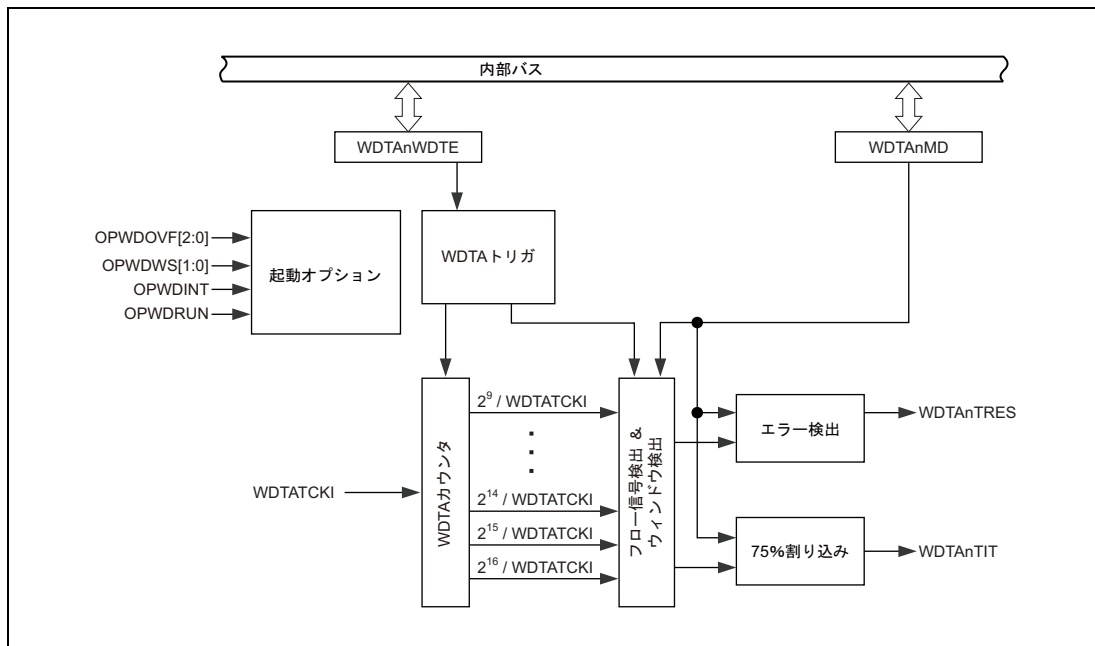


図 15.1 WDTA のブロック図

15.3 レジスタ

15.3.1 レジスタ一覧

WDTA のレジスタ一覧を以下の表に示します。

<WDTAn_base> は「**15.1.2 レジスタベースアドレス**」を参照してください。

表 15.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
WDTAn	WDTAn イネーブルレジスタ	WDTAnWDTE	<WDTAn_base> + 0 _H
WDTAn	WDTAn モードレジスタ	WDTAnMD	<WDTAn_base> + C _H

15.3.2 WDTAnWDTE – WDTA イネーブルレジスタ

このレジスタは、WDTA スタートコントロール／トリガレジスタです。

AC_H を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート／リスタートします。詳細は「15.5.2 WDTA トリガ」を参照してください。

このレジスタに書き込める値は、AC_H のみです。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0000_H

リセット後の値 (1) WDTA0

リセット後の値は OPWDRUN の設定値に依存します。

OPWDRUN の出荷時の初期状態は OPWDRUN = 0_B です。

したがって、WDTA0 の出荷時のレジスタリセット後の値は 2C_H です。

(2) WDTA1 ^{注1}

WDTA1 のレジスタリセット後の値は 2C_H です。

OPWDRUN 設定の詳細は「15.5 機能」を参照してください。

どのリセット要因でも初期化されます。

注1. RH850/C1M では対応していません。

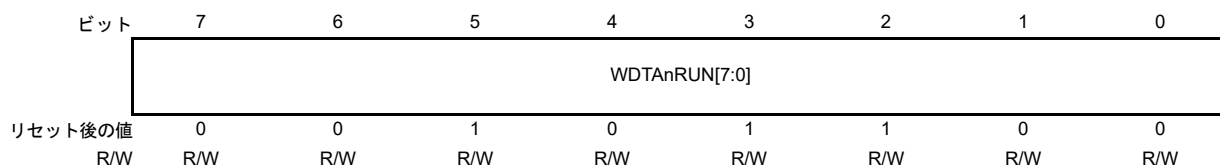


表 15.9 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	WDTAnRUN [7:0]	固定起動コード (AC _H) を書き込むことにより WDTA トリガを発生し、WDTAn カウントのスタート／リスタートを制御します。AC _H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。

起動オプションによって異なる WDTAnRUN[7] ビットのリセット後の値を次の表に示します。

表 15.10 WDTAnRUN[7] のリセット後の値

起動オプション	WDTAnRUN[7] のリセット後の値
OPWDRUN	
1	1
0	0

15.3.3 WDTAnMD — WDTA モードレジスタ

オーバフローインターバル時間、75% 割り込み許可/禁止、およびウィンドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

最初の WDTA トリガ発生後に、このレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 000C_H

リセット後の値 (1) WDTA0

WDTA0のリセット後の値は OPWDOVF2-0、OPWDINT、OPWDWS1-0 の設定値に依存します。オプションバイトによる WDTA0 の出荷時の初期状態は WDTA1 と同じであるため OPWDOVF2-0、OPWDINT、OPWDWS1-0 の設定値はそれぞれ 1_B に設定されます。したがって、WDTA0 の出荷時のレジスタリセット後の値は 7F_H となります。

(2) WDTA1^{注1}

WDTA1 のレジスタリセット後の値は 7F_H です。

どのリセット要因でも初期化されます。

注 1. RH850/C1M では対応していません。

ビット	7	6	5	4	3	2	1	0
	—	WDTAnOVF[2:0]			WDTAnWIE	—	WDTAnWS[1:0]	
リセット後の値	0	1	1	1	1	1	1	1
R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

表 15.11 WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
7	予約ビット	書く場合はリセット後の値を書き込んでください。																																				
6 ~ 4	WDTAnOVF [2:0]	オーバフローインターバル時間を選択します。																																				
		<table border="1"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table>	WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフローインターバル時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
		WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフローインターバル時間																																	
		0	0	0	2 ⁹ / WDTATCKI																																	
		0	0	1	2 ¹⁰ / WDTATCKI																																	
		0	1	0	2 ¹¹ / WDTATCKI																																	
		0	1	1	2 ¹² / WDTATCKI																																	
		1	0	0	2 ¹³ / WDTATCKI																																	
		1	0	1	2 ¹⁴ / WDTATCKI																																	
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
3	WDTAnWIE	75% 割り込み要求 WDTAnTIT の有効/無効 0 : WDTAnTIT 無効 1 : WDTAnTIT 有効																																				
2	予約ビット	書く場合はリセット後の値を書き込んでください。																																				

表 15.11 WDTAnMD レジスタの内容 (2/2)

ビット位置	ビット名	機能		
1、0	WDTAnWS[1:0]	ウィンドウオープン期間を選択します。		
		WDTAnWS1	WDTAnWS0	ウィンドウオープン期間
		0	0	25%
		0	1	50%
		1	0	75%
1	1	100%		

15.4 割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

(1) WDTAnTIT (WDTA タイマカウント 75% 割り込み要求)

WDTA タイマのカウントオーバーフロー時間の 75% で割り込み要求信号を発生します。

WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効/無効設定が可能です。

15.5 機能

15.5.1 リセット解除後の WDTA

15.5.1.1 スタートモード

WDTA には、リセット解除後にカウンタをスタートさせる 2 つのモードがあります。

- ソフトウェアトリガスタートモード (WDTA0、WDTA1 共通)

リセット解除後、カウンタ値は 0000_H のままです。
カウンタは最初の WDTA トリガの発生でスタートします。

- デフォルトスタートモード (WDTA0 のみ)

リセット解除後、カウンタは自動的にスタートします。ただし、起動オプションを OPWDRUN = 1_B に設定しても、シリアルプログラミングモードではデフォルトスタートモードが無効化されます。

WDTA1 はソフトウェアトリガモードに固定です。WDTA1 はオプションバイトによる設定はできません。

15.5.1.2 スタートモードの選択 (WDTA0 のみ)

スタートモードは、起動オプションで選択することができます。

スタートモードの選択について次の表 15.12 に示します。

表 15.12 スタートモードの選択

起動オプション OPWDRUN	リセットの種類	スタートモード
0	無視	ソフトウェアトリガ
1		デフォルト

15.5.1.3 リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生の際の WDTA の設定を次の表に示します。

機能	WDTA0 のリセット後の設定	WDTA1 のリセット後の設定
スタートモード	起動オプションで指定	ソフトウェアトリガモード
オーバフローインターバル 時間	起動オプションで指定	2 ¹⁶ / WDTATCKI
75% 割り込みモード	起動オプションで指定	75% 割り込み有効
ウィンドウオープン期間	起動オプションで指定	100%

WDTA 設定の変更

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ (WDTAnWDTE への起動コード書き込み) で有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。また、WDTAnMD による WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

15.5.1.4 デフォルトスタートモードのタイミング (WDTA0のみ)

デフォルトスタートモードのタイミングと WDTA 設定への変更を次の図 15.2 に示します。

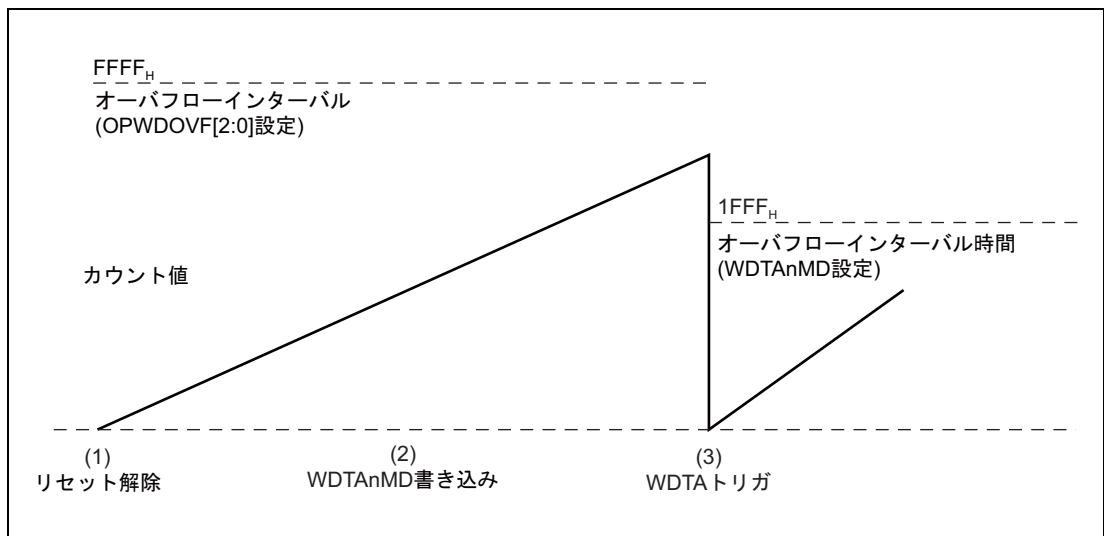


図 15.2 デフォルトスタートモード時の WDTA スタートのタイミング図

図 15.2 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除直後、WDTA カウントをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。

例) リセット解除後のオーバーフローインターバル時間
 $= 2^{16}/\text{WDTATCKI}$ ($\text{OPWDOVF}[2:0] = 111_{\text{B}}$)

- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA カウンタがオーバーフローする前に WDTA トリガレジスタへの書き込みを行ってください。
 WDTA トリガにより WDTAnMD の設定が適用されます。

例) WDTA トリガ後のオーバーフローインターバル時間
 $= 2^{13}/\text{WDTATCKI}$

15.5.1.5 ソフトウェアトリガスタートモードのタイミング (WDTA0, WDTA1 共通)

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を次の図 15.3 に示します。

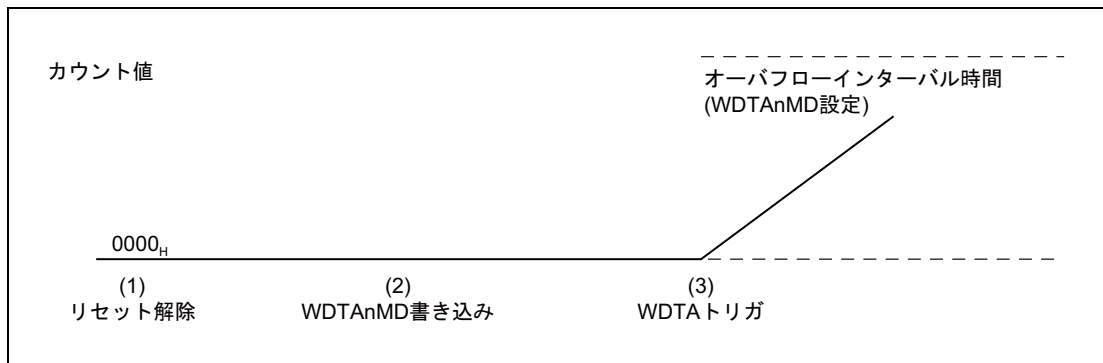


図 15.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

図 15.3 のタイミング図は次の動作を示します。

- (1) リセット解除後、最初の WDTA トリガまで WDTA カウンタは 0000_H のままです。オーバーフローインターバル時間は起動オプションにより設定されますが、カウント動作が行われないため影響はありません。
- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA トリガにより、WDTA カウンタがスタートします。WDTAnMD で指定したオーバーフローインターバル時間とその他の設定が適用されます。

15.5.2 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガが発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定 (リセット解除後、最初の WDTA トリガのみ)

トリガレジスタに固定起動コードを書き込むことで、WDTA トリガが発生させることができます。

表 15.13 トリガレジスタと起動コード

起動コードの種類	トリガレジスタ	起動コード
固定	WDTAnWDTE	AC _H

15.5.3 エラー検出

WDTA は、WDTA のカウントオーバーフローの発生や不正な操作をエラーとして検出します。エラー検出条件を次に示します。

- WDTA カウンタのオーバーフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウィンドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を2回更新する場合

15.5.4 WDTA エラーモード

エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。

デフォルトスタートモードが選択されているとき、カウンタがオーバーフローした場合のリセットの発生を次の図 15.4 に示します。

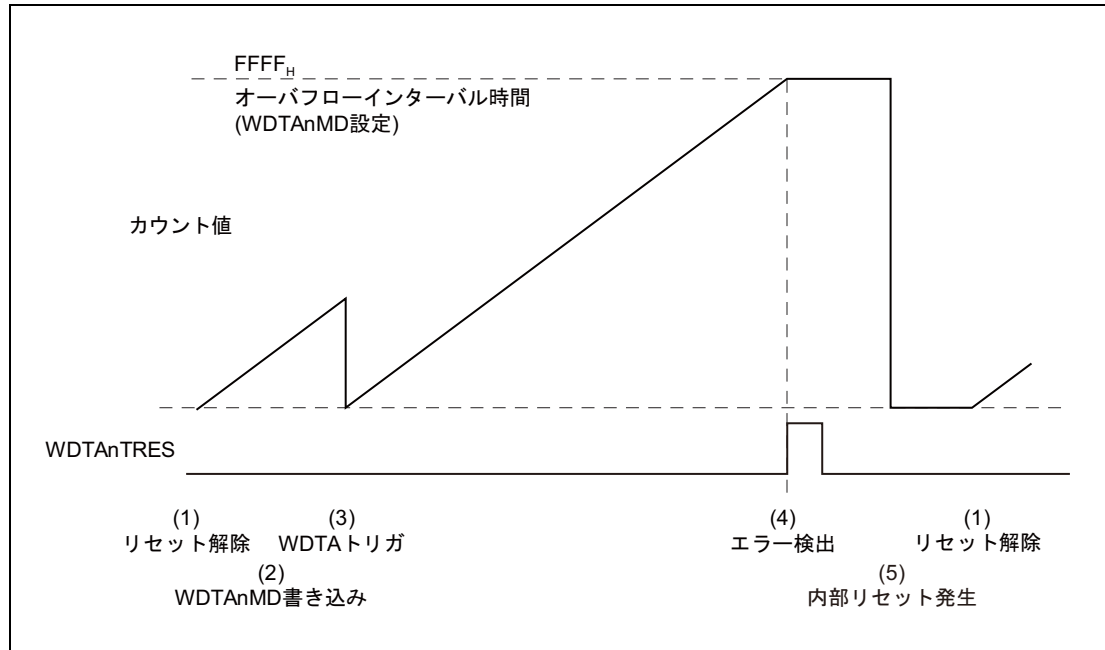


図 15.4 WDTA 内部リセット発生のタイミング図

図 15.4 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。
ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) カウンタがオーバーフローすると、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。
- (5) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

15.5.5 75%割り込み要求信号

WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効/無効を選択することができます。

次の条件下での 75%割り込み要求の発生を次の図 15.5 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75% 割り込み要求が有効
- WDTA オーバーフローインターバル時間： $2^{16}/\text{WDTATCKI}$

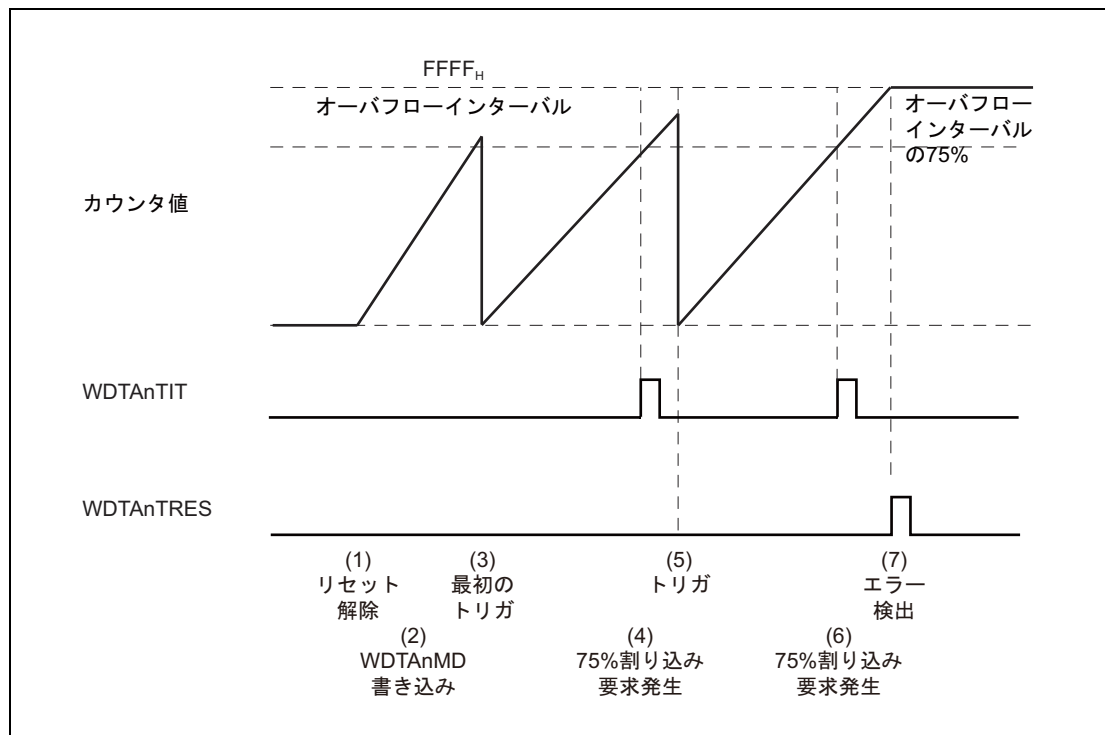


図 15.5 WDTA 75%割り込み要求信号のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションによって設定されます。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。
- (5) WDTA トリガにより、カウンタがリスタートします。
- (6) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。
- (7) カウンタがオーバーフローするとエラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は内部リセットが発生するまで変わりません。

15.5.6 ウィンドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。ウィンドウオープン期間を 100%未満に設定すると、ウィンドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウィンドウオープン期間は 100%です。最初の WDTA トリガで、WDTAnMD.WDTAnWS[1:0] に設定した値になります。

次の条件下でのウィンドウ機能動作を図 15.6 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25% ウィンドウオープン期間が有効 (WDTAnWS[1:0]=00_B)
- WDTA オーバフローインターバル時間 : $2^{16}/\text{WDTATCKI}$

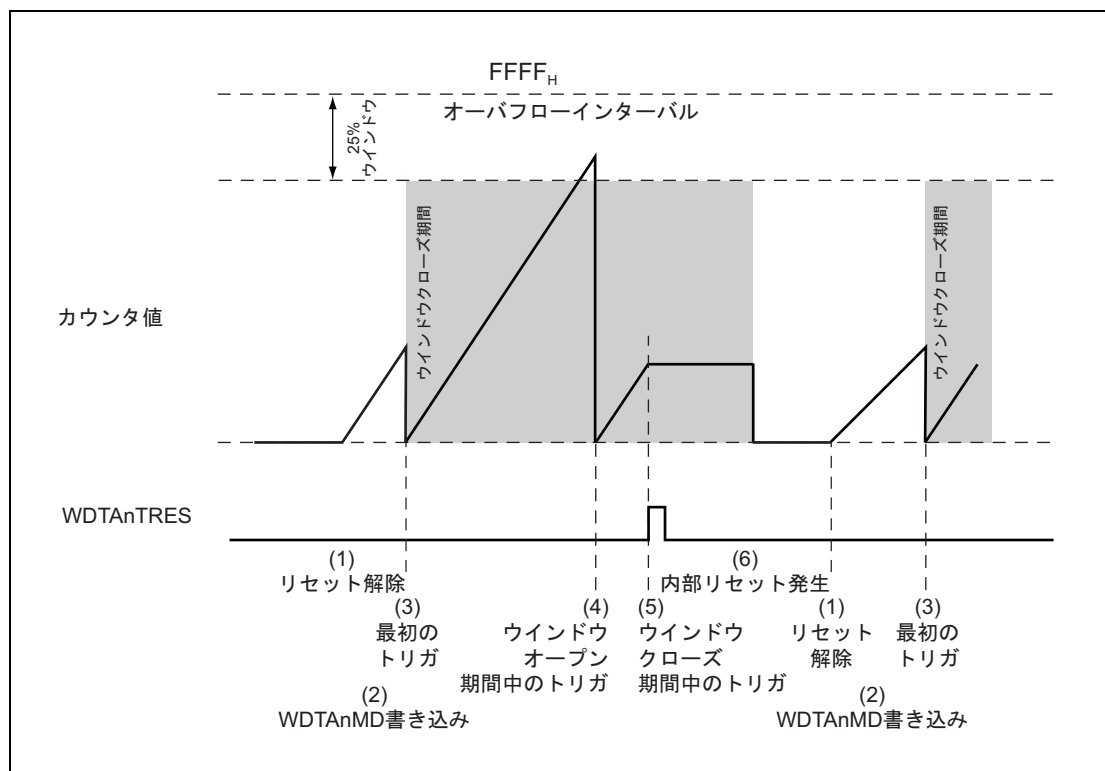


図 15.6 WDTA ウィンドウ機能のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) ウィンドウオープン期間中に、WDTA トリガにより、カウントがリスタートします。
- (5) ウィンドウクローズ期間中に、WDTA トリガにより、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。
- (6) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

第16章 OSタイマ (OSTM)

この章では、OSタイマ (OSTM) 全般について説明します。

最初の節では、ユニット数、レジスタのベースアドレスなど、RH850/C1x に固有の特長について説明します。それ以降の節では、OSTM の機能、レジスタについて説明します。

16.1 RH850/C1x OSTM の特長

16.1.1 ユニット数

本製品は以下のユニット数の OSTM を搭載しています。

表 16.1 ユニット数

製品	RH850/C1H	RH850/C1M
ユニット数	3	2
名称	OSTMn (n = 0 ~ 2)	OSTMn (n = 0, 1)

表 16.2 添字

添字	意味
n	本章では、OSTM の各ユニットを「n」(n = 0 ~ 2) で識別します。(C1H では n = 0 ~ 2, C1M では n = 0, 1)。たとえば、OSTM カウンタレジスタ (OSTMnCNT) のように記述しています。

16.1.2 レジスタベースアドレス

OSTM のベースアドレスを以下の表に示します。

OSTM のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 16.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<OSTM0_base>	FFEC 0000 _H
<OSTM1_base>	FFEC 1000 _H
<OSTM2_base>	FFEC 2000 _H

備考 OSTM2 は RH850/C1M では対応していません。

16.1.3 クロック供給

OSTM のクロック供給を以下の表に示します。

表 16.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
OSTMn	PCLK	CLKC_LSB (非変調低速周辺クロック)

備考 OSTM2 は RH850/C1M では対応していません。

16.1.4 割り込み

OSTM の割り込み要求を以下の表に示します。

表 16.5 割り込み要求

割り込み名	概要	割り込み番号
OSTM0TINT	OSTM0 割り込み	25
OSTM1TINT	OSTM1 割り込み	26
OSTM2TINT	OSTM2 割り込み	27

備考 OSTM2 は RH850/C1M では対応していません。

16.1.5 リセット要因

OSTM のリセット要因を以下に示します。OSTM は以下のリセット要因で初期化されます。

表 16.6 リセット要因

ユニット名	リセット要因
OSTMn	すべてのリセット要因でリセット

16.2 概要

OSTM は 32 ビットのタイマ/カウンタです。

OSTM は、インターバルタイマモードまたはフリーランニングコンペアモードで使用できます。動作モードを選択することによりカウント方向（ダウン/アップ）を指定し、割り込み要求の生成を制御します。

OSTM は、カウント開始信号（OSTMnTSST）の入力により、ほかの周辺機能と同期させることができます。

16.2.1 機能概要

OSTM には、次の機能があります。

- 2つの動作モード
 - インターバルタイマモード
 - フリーランニングコンペアモード
- ユニット間の同時スタートトリガ機能
- OSTMnTINT 割り込み

16.2.2 ブロック図

OSTM の主な構成要素を次のブロック図に示します。

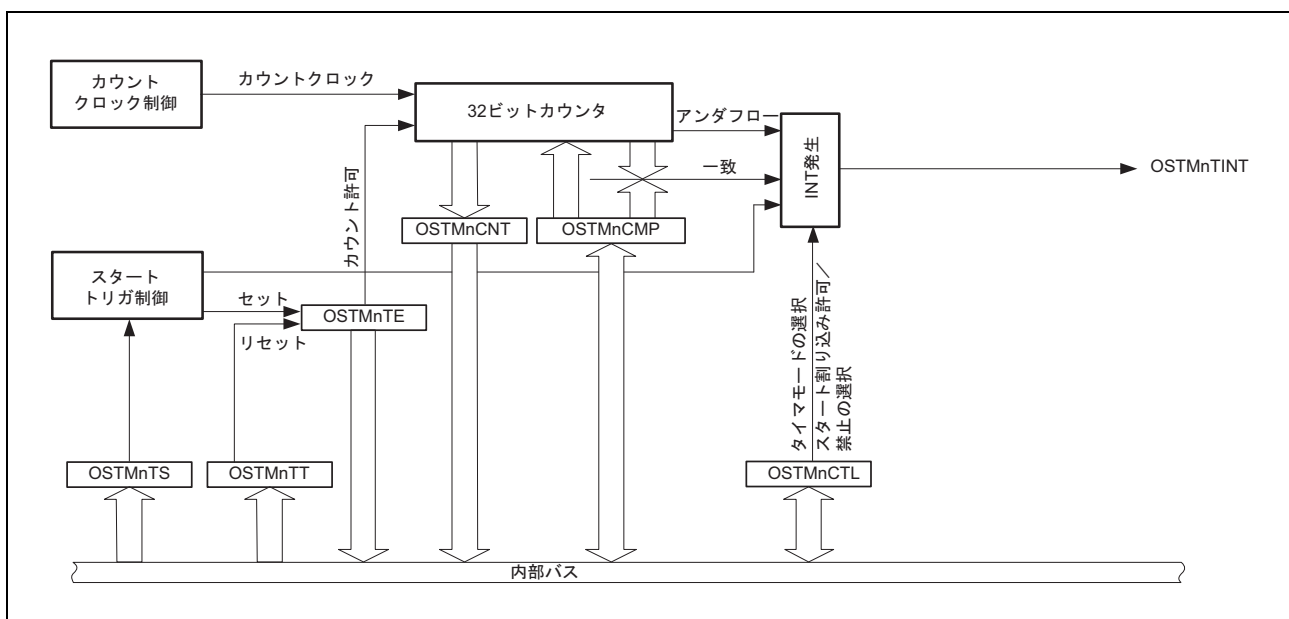


図 16.1 OSTM のブロック図

16.2.3 カウントクロック

OSTMはカウントクロックにPCLKを使用します。

16.2.4 割り込み要求 (OSTMnTINT)

カウンタアンダフローが発生したとき（インターバルタイマモードの場合）またはカウンタが比較値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求OSTMnTINTが発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これはOSTMnCTL.OSTMnMD0ビットで制御します。

OSTMnTINTはタイマ出力トグルモード（OSTMnTOE.OSTMnTOE = 1）でOSTMnTTOUT出力のトグルのトリガとなるため、OSTMnCTL.OSTMnMD0ビットの設定はOSTMnTTOUT出力にも影響します。

これを次の図に示します。

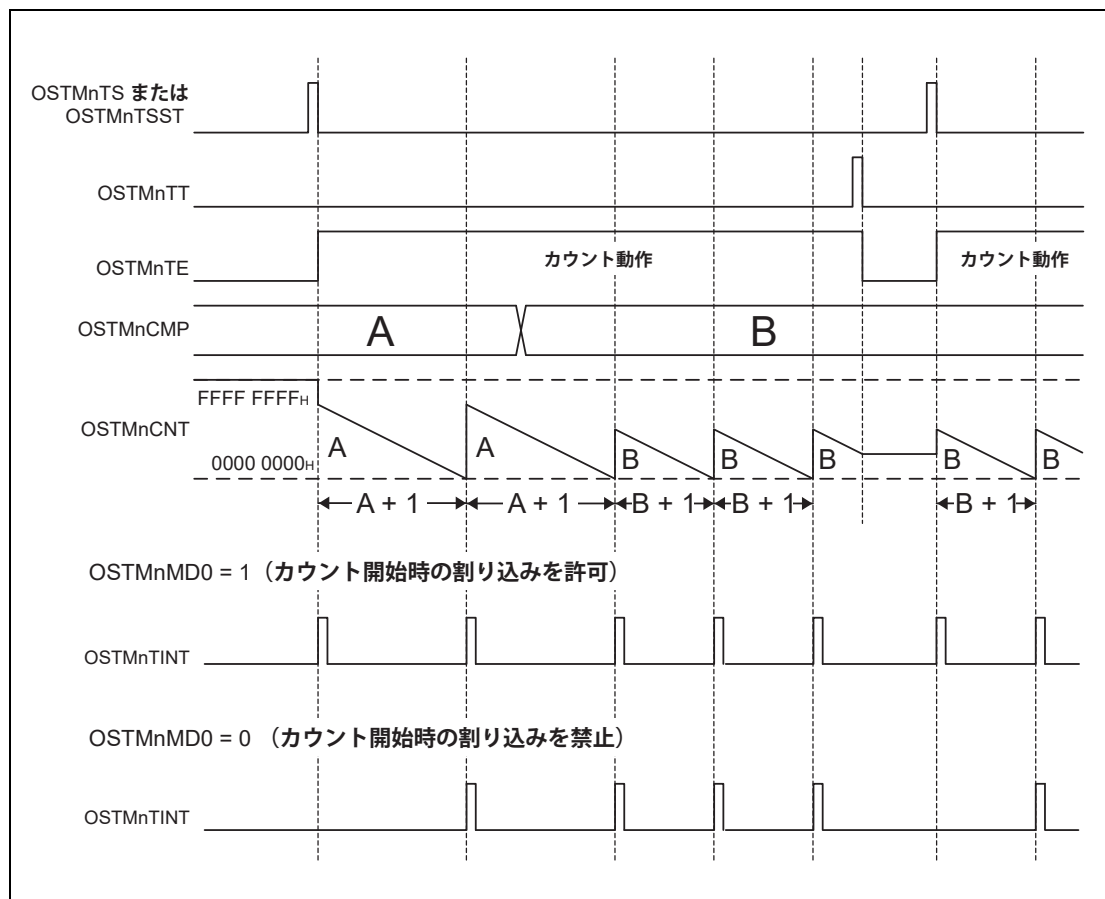


図 16.2 カウント開始時の割り込み生成（インターバルタイマモード）

16.3 レジスタ

16.3.1 レジスタ一覧

OSTM のレジスタ一覧を以下の表に示します。

<OSTMn_base> は「16.1.2 レジスタベースアドレス」を参照してください。

表 16.7 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
OSTMn	OSTMn コンペアレジスタ	OSTMnCMP	<OSTMn_base> + 00 _H
OSTMn	OSTMn カウンタレジスタ	OSTMnCNT	<OSTMn_base> + 04 _H
OSTMn	OSTMn 出力レジスタ	OSTMnTO	<OSTMn_base> + 08 _H
OSTMn	OSTMn 出カインエーブルレジスタ	OSTMnTOE	<OSTMn_base> + 0C _H
OSTMn	OSTMn カウントインエーブルステータスレジスタ	OSTMnTE	<OSTMn_base> + 10 _H
OSTMn	OSTMn カウント開始トリガレジスタ	OSTMnTS	<OSTMn_base> + 14 _H
OSTMn	OSTMn カウント停止トリガレジスタ	OSTMnTT	<OSTMn_base> + 18 _H
OSTMn	OSTMn 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20 _H

16.3.2 OSTMnCMP — OSTMn コンペアレジスタ

このレジスタは、動作モードによってカウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.8 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	OSTMnCMP [31:0]	<ul style="list-style-type: none"> インターバルタイマモードの場合：カウンタの開始値 フリーランニングコンペアモードの場合：比較値

16.3.3 OSTMnCNT — OSTMn カウンタレジスタ

このレジスタはタイマのカウント値を示します。

アクセス 32ビット単位でリード可能です。

アドレス <OSTMn_base> + 04_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.9 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	OSTMnCNT [31:0]	タイマカウンタの値

OSTMn の動作モード、カウント方向、初期値の関係を表 16.10 に示します。初期値は、動作モードが変更されたあとにリードされる値です。

表 16.10 動作モード、カウント方向、初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウント方向	初期値
インターバルタイマモード	0 ^{注1}	ダウン	FFFF FFFF _H
フリーランニングコンペアモード	1	アップ	0000 0000 _H

注 1. リセット後の値

16.3.4 OSTMnTO — OSTMn 出力レジスタ

このレジスタは、OSTMnTTOUT 出力のレベルを指定します。リードすると OSTMnTTOUT 出力レベルを返します。OSTMn (n = 0) でのみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。ソフトウェア制御モードが有効時 (OSTMnTOE.OSTMnTOE = 0) にもみライト可能です。

アドレス <OSTMn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 16.11 OSTMnTO レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTO	OSTMnTTOUT 出力のレベルを指定します。 リードすると OSTMnTTOUT 出力レベルを返します。 0: ロウレベル 1: ハイレベル

16.3.5 OSTMnTOE — OSTMn 出カイナーブルレジスタ

このレジスタは、OSTMnTTOUT 出力モードを指定します。OSTMn (n = 0) でのみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 16.12 OSTMnTOE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTOE	OSTMnTTOUT 出力モードを指定します。 0: ソフトウェア制御モード: OSTMnTO.OSTMnTO ビットに設定されたレベルを OSTMnTTOUT に出力 1: タイマ出カトグルモード: 割り込み要求 OSTMnTINT が発生すると、OSTMnTTOUT 出力がトグル

16.3.6 OSTMnTE — OSTMn カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <OSTMn_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 16.13 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	OSTMnTE	カウンタの状態を示します。 0: カウンタが停止中 1: カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備考

カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは OSTMnCMP の設定値から再開します。
- フリーランニングコンペアモードでは、カウント値 0000 0000_H で動作を再開します。

16.3.7 OSTMnTS — OSTMn カウント開始トリガレジスタ

このレジスタは、カウントを開始します。

アクセス 8ビット単位でライト可能です。常に00_Hとしてリードされます。

アドレス <OSTMn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 16.14 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	OSTMnTS	カウントを開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 <ul style="list-style-type: none"> インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

16.3.8 OSTMnTT — OSTMn カウント停止トリガレジスタ

このレジスタは、カウンタを停止します。

アクセス 8ビット単位でライト可能です。常に00_Hとしてリードされます。

アドレス <OSTMn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 16.15 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	OSTMnTT	カウンタを停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

16.3.9 OSTMnCTL — OSTMn 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMnTINT の生成を制御します。

このレジスタはリード/ライト可能ですが、OSTMnTE.OSTMnTE = 0 のときはライト可、OSTMnTE.OSTMnTE = 1 のときはリード専用となります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OSTMnMD1	OSTMnMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 16.16 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライトする場合はリセット後の値を書き込んでください。
1	OSTMnMD1	カウンタの動作モードを指定します。 0: インターバルタイマモード 1: フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み要求を制御します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可

16.4 機能

16.4.1 タイマの起動と停止

OSTM は次のように起動し、停止します。

起動

タイマは次のいずれかによって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定
- OSTMnTSST 信号（同時スタートトリガ機能使用時）をハイレベルに設定

ステータスビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。詳細は「**16.4.2 インターバルタイマモード**」と「**16.4.3 フリーランニングコンペアモード**」を参照してください。

OSTMnTS.OSTMnTS ビットによってタイマを起動する場合は、OSTMnTSST には 0 が入力されている必要があります。

停止

タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

カウンタが停止すると、次のカウント動作が開始されるまで、OSTMnTO レジスタと OSTMnTTOUT 出力、OSTMnCNT レジスタは、その時点での値を保持します。

同時スタートトリガ機能

PIC1A 機能より出力される OSTMnTSST 信号を使用して、複数のタイマを同時に起動することができます。設定方法は、「**第 23 章 ペリフェラルインタコネクション (PIC)**」を参照してください。

16.4.2 インターバルタイマモード

インターバルタイマモードでは、OSTM を一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

16.4.2.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタがアンダフローした (0000 0000_H に達した) 場合に、割り込み要求 OSTMnTINT が発生します。

インターバルタイマモード利用時は OSTMnCTL.OSTMnMD1 = 0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に 0000 0000_H に到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

OSTMnTINT 期間

OSTMnTINT の期間は次のようになります。

- OSTMnTINT 発生期間 = カウントクロック期間 × (OSTMnCMP + 1)

次の図に、インターバルタイマモードでカウント開始時の割り込みを許可された場合の OSTM の基本動作を示します。

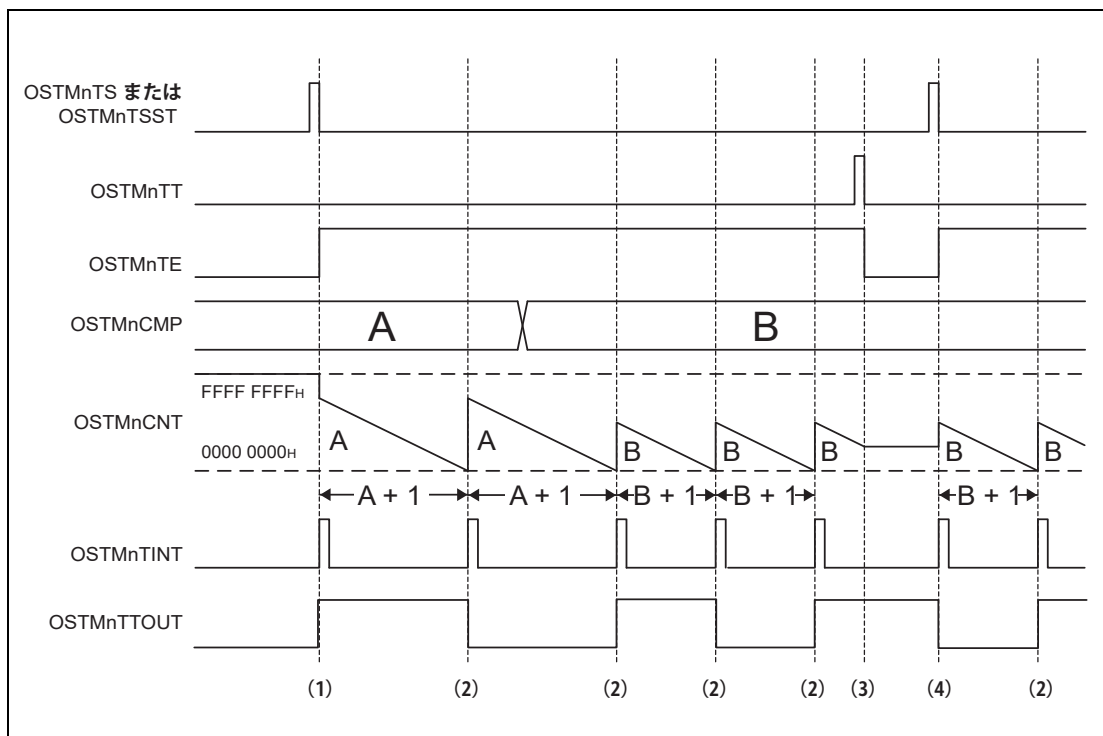


図 16.3 インターバルタイマモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。
- (2) カウンタが 0000 0000_H に達すると、割り込み要求 OSTMnTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。
- (3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に $OSTMnTS.OSTMnTS = 1$ を設定するか、または $OSTMnTSST$ 信号のハイレベルからロウレベルへの遷移によって実行されます。

カウンタは、 $OSTMnCMP$ レジスタから開始値をロードしてカウントダウンを継続します。

次の図に、インターバルタイマモードでカウント開始時の割り込みが許可 ($OSTMnCTL.OSTMnMD0 = 1$) されるタイミング図を示します。

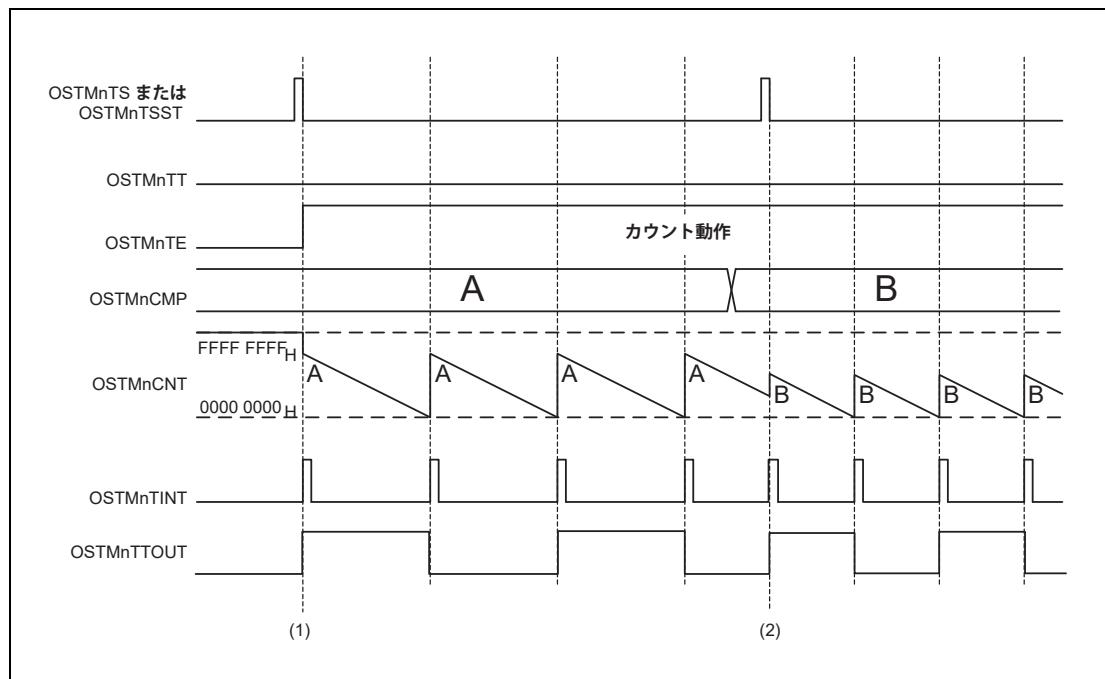


図 16.4 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、「**図 16.3 インターバルタイマモードの OSTM のタイミング図**」で説明されているように動作を開始します。
- (2) カウンタは、動作している間 ($OSTMnTE.OSTMnTE = 1$) $OSTMnTS.OSTMnTS = 1$ または $OSTMnTSST = 1$ にすると、リスタートします。
カウンタは、ただちに $OSTMnCMP$ の現在値からカウントダウンを再開します。
 $OSTMnCTL.OSTMnMD0 = 1$ の場合は、カウント開始タイミングで割り込み要求 $OSTMnTINT$ が発生します。

16.4.2.2 OSTMnCMP = 0000 0000_H の場合の動作

OSTMnCMP = 0000 0000_H の場合に、OSTM は次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMnTINT は常に 1 になります。
- タイマ出力トグルモードのとき、OSTMnTTOUT 信号は PCLK ごとにトグル出力します。

次の図に、OSTMnCMP = 0000 0000_H であり、カウント開始時の割り込みが許可された場合に OSTM の動作を示します。

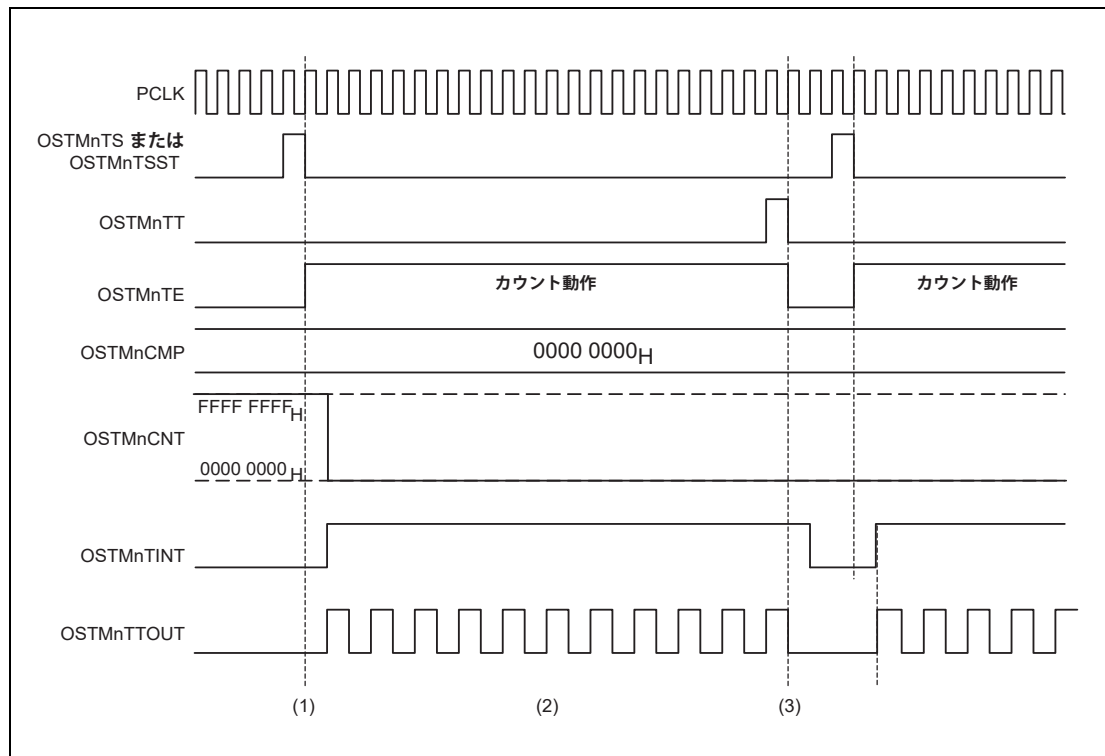


図 16.5 インターバルタイマモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_H のままです。
- (2) 割り込み要求 OSTMnTINT が継続的に発生します。
- (3) カウンタが停止すると、割り込み要求 OSTMnTINT が停止します。

カウント開始時の割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

16.4.2.3 インターバルタイマモードの設定手順

リセット解除後のインターバルタイマモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタにカウンタの開始値を設定します。
- (2) OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバルタイマモードを選択します。
- (3) カウント開始時の割り込みの許可/禁止を選択します (OSTMnCTL.OSTMnMD0)。

16.4.3 フリーランニングコンペアモード

16.4.3.1 フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。

フリーランニングコンペアモード利用時は、OSTMnCTL.OSTMnMD1 = 1 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OSTM の基本動作を示します。

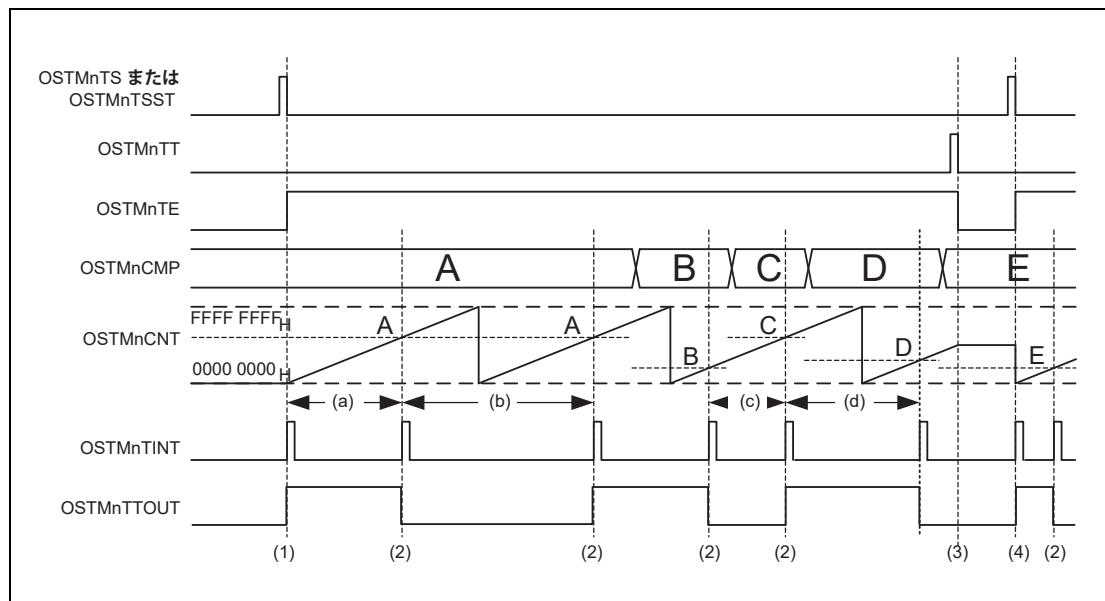


図 16.6 フリーランニングコンペアモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。
- (2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMnTINT 割り込み要求が発生します。
- (3) カウンタが停止すると (OSTMnTT.OSTMnTT = 1)、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは $0000\ 0000_H$ からカウントを開始します。

OSTMnTINT 期間

OSTMnTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 16.17 OSTMnTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMnTINT の発生期間	タイミング図のラベル
カウント開始			$(A + 1) \times$ カウントクロック期間	(a)
A	A	書き換えなし	$(FFFF\ FFFF_H + 1) \times$ カウントクロック期間	(b)
B	$C > B$	$B <$ カウンタ値 $< C$	$(C - B) \times$ カウントクロック期間	(c)
C	$D < C$	カウンタ値 $> D, C$	$(FFFF\ FFFF_H - C + D + 1) \times$ カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = 1 の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

16.4.3.2 OSTMnCMP = 0000 0000_H の場合の動作

次の図に、OSTMnCMP = 0000 0000_H であり、カウント開始時の割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OSTM の動作を示します。

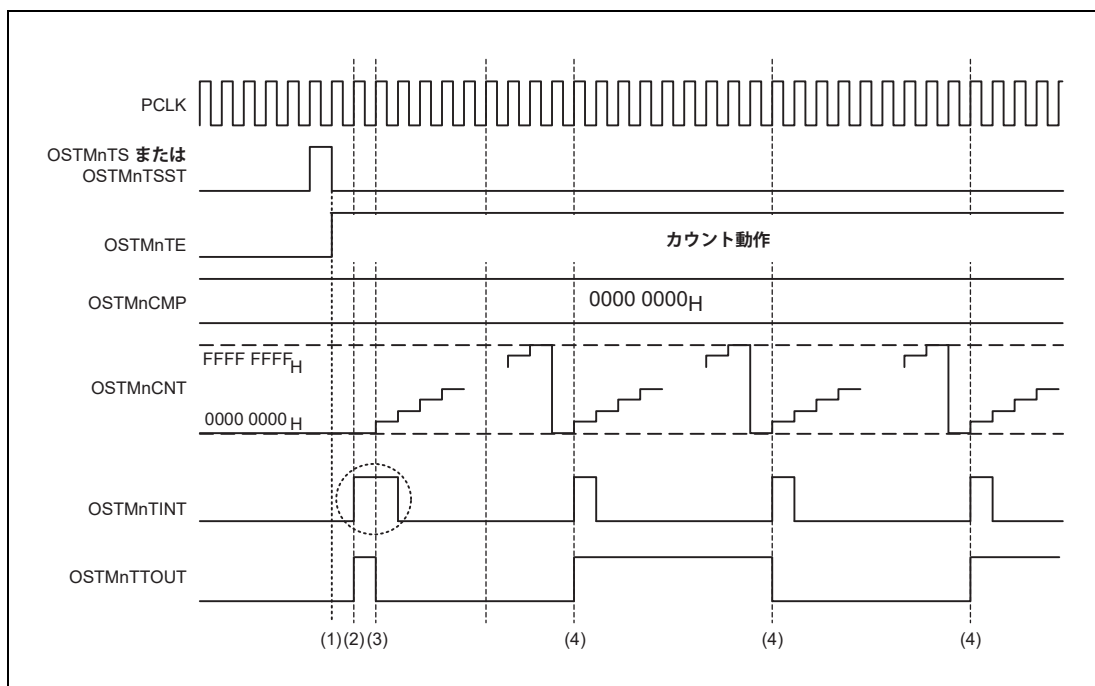


図 16.7 フリーランニングコンペアモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウントを開始すると、カウンタは 0000 0000_H から FFFF FFFF_H までをカウントします。
- (2) カウント開始時に割り込み要求 OSTMnTINT が発生します。

- (3) 現在のカウンタ値が OSTMnCMP と一致する場合は、割り込み要求 OSTMnTINT が発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMnTINT はカウンタクロック 2 クロック分発生します。
- (4) (FFFF FFFF_H + 1) クロックサイクルごとに、割り込み要求 OSTMnTINT が発生します。

カウンタ開始時の割り込み禁止の場合は、カウンタ開始タイミングで割り込みは発生しません。

16.4.3.3 フリーランニングコンペアモードの設定手順

リセット解除後のフリーランニングコンペアモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタに比較値を設定します。
- (2) OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリーランニングコンペアモードを選択します。
- (3) OSTMnCTL.OSTMnMD0 ビットでカウンタ開始時の割り込みの許可/禁止を選択します。

第17章 タイマアレイユニットD (TAUD)

17.1 RH850/C1x TAUD の特長

17.1.1 ユニット数

本製品は以下のユニット数の TAUD を搭載しています。

表 17.1 ユニット数

製品	RH850/C1x
ユニット数	2
名称	TAUDn (n = 0, 1)

表 17.2 添字

添字	意味
n	本章では、TAUD の各ユニットを「n」(n = 0, 1) で識別します。たとえば、TAUDn 制御レジスタ 0 は TAUD0CNT0 と記述します。
m	TAUD は最大 16 チャンネル搭載しています。本章では、各チャンネル信号を「m」(m = 0 ~ 15) で識別します。

TAUD の各ユニットの搭載チャンネル信号の数を以下の表に示します。

表 17.3 搭載チャンネル数

ユニット名	チャンネル数
TAUDn	16

17.1.2 レジスタベースアドレス

TAUD のベースアドレスを以下の表に示します。

TAUD のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 17.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUD0_base>	FFE2 0000 _H
<TAUD1_base>	FFE2 1000 _H

17.1.3 クロック供給

TAUD のクロック供給を以下の表に示します。

表 17.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUDn	PCLK	CLKC_HSB (非変調高速周辺クロック)

17.1.4 割り込み要求

TAUD の割り込み要求を以下の表に示します。

表 17.6 割り込み要求

割り込み名	概要	割り込み番号	DMACトリガ番号	DTSトリガ番号
TAUD0				
INTTAUD0I0-15	チャンネル 0-15 割り込み	82-97	8-23	16-31
TAUD1				
INTTAUD1I0-15	チャンネル 0-15 割り込み	98-113	24-39	32-47

17.1.5 リセット要因

TAUD のリセット要因を以下に示します。TAUD は以下のリセット要因で初期化されます。

表 17.7 リセット要因

ユニット名	リセット要因
TAUDn	すべてのリセット要因でリセット

17.1.6 外部入出力信号

TAUD の外部入出力信号を以下の表に示します。

表 17.8 外部入力信号

ユニット信号名	概要	ポート端子兼用信号名
TAUD0		
TAUDTTINm	チャンネル m 入力	TAUD0Im
TAUDTTOUm	チャンネル m 出力	TAUD0Om
TAUD1		
TAUDTTINm	チャンネル m 入力	TAUD1Im
TAUDTTOUm	チャンネル m 出力	TAUD1Om

注 意

チャンネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。

17.2 概要

17.2.1 機能概要

TAUD には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビットカウンタおよび 16 ビットデータレジスタ
- チャンネル単体動作
- チャンネル連動動作 (マスタおよびスレーブ動作)
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUD は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUDnCNTm と 16 ビットデータレジスタ TAUDnCDRm をそれぞれ備えた 16 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブチャンネルです。マスタチャンネルには、複数のスレーブチャンネルがある可能性があります。あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセットタイミング等を制御できます。

注 意

この章に記載のタイミングチャートは、動作タイミングのイメージです。タイマ入力には、遅延時間が付加されます。詳細は「17.4.8 TAUDTTINm エッジ検出」を参照してください。

17.2.2 用語

この章で使用されている用語について説明します。

単体動作機能／連動動作機能

単体動作機能／連動動作機能は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

チャンネルグループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1つのチャンネルグループは、1つのマスタチャンネルと1つ以上のスレーブチャンネルで構成されます。

動作モード

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネルグループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、イベントカウントモード、インターバルタイマモードなどがあります。

チャンネル出力モード

チャンネル出力モードは、次のチャンネルの TAUDTTOUT m の動作を規定します。

- 1つのチャンネル (単体出力動作)
- チャンネルグループに属するすべてのチャンネル (連動出力動作)

チャンネル単体出力モード1、デッドタイム出力付きチャンネル連動動作モード2などがあります。

チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特長を規定します。

- 1つのチャンネル (チャンネル単体動作)
- チャンネルグループに属するすべてのチャンネル (チャンネル連動動作)

上位／下位チャンネル

チャンネル m から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

17.2.3 タイマ動作機能一覧

このタイマは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させることで、下記の機能が実現できます。

表 17.9 TAUD 動作機能一覧

動作機能	設定例
チャンネル単体動作機能	17.4.9 章
インターバルタイマ機能	17.4.9.1 章
TAUDTTINm 入力インターバルタイマ機能	17.4.9.2 章
クロック分周機能	17.4.9.3 章
外部イベントカウント機能	17.4.9.4 章
ディレイカウント機能	17.4.9.5 章
ワンパルス出力機能	17.4.9.6 章
TAUDTTINm 入力パルスインターバル測定機能	17.4.9.7 章
TAUDTTINm 入力信号幅測定機能	17.4.9.8 章
TAUDTTINm 入力位置検出機能	17.4.9.9 章
TAUDTTINm 入力期間カウント検出機能	17.4.9.10 章
TAUDTTINm 入力パルスインターバル判定機能	17.4.9.11 章
TAUDTTINm 入力信号幅判定機能	17.4.9.12 章
1 相 PWM 出力機能	17.4.12.11 章
チャンネル単体リアルタイム機能	17.4.10 章
リアルタイム出力機能タイプ 1	17.4.10.1 章
リアルタイム出力機能タイプ 2	17.4.10.2 章
チャンネル単体一斉書き換え機能	17.4.11 章
一斉書き換えトリガ生成機能タイプ 1	17.4.11.1 章
チャンネル連動動作機能	17.4.12 章
PWM 出力機能	17.4.12.1 章
ワンショットパルス出力機能	17.4.12.2 章
トリガスタート PWM 出力機能	17.4.12.3 章
ディレイパルス出力機能	17.4.12.4 章
オフセットトリガ出力機能	17.4.12.5 章
A/D 変換トリガ出力機能タイプ 1	17.4.12.6 章
三角波 PWM 出力機能	17.4.12.7 章
デッドタイム付き三角波 PWM 出力機能	17.4.12.8 章
A/D 変換トリガ出力機能タイプ 2	17.4.12.9 章
割り込み要求信号間引き機能	17.4.12.10 章
連動非相補方式変調出力機能と連動相補方式変調出力機能	17.4.13 章
非相補方式変調出力機能タイプ 1	17.4.13.1 章
非相補方式変調出力機能タイプ 2	17.4.13.2 章
相補方式変調出力機能	17.4.13.3 章

17.2.4 入出力と割り込み要求信号

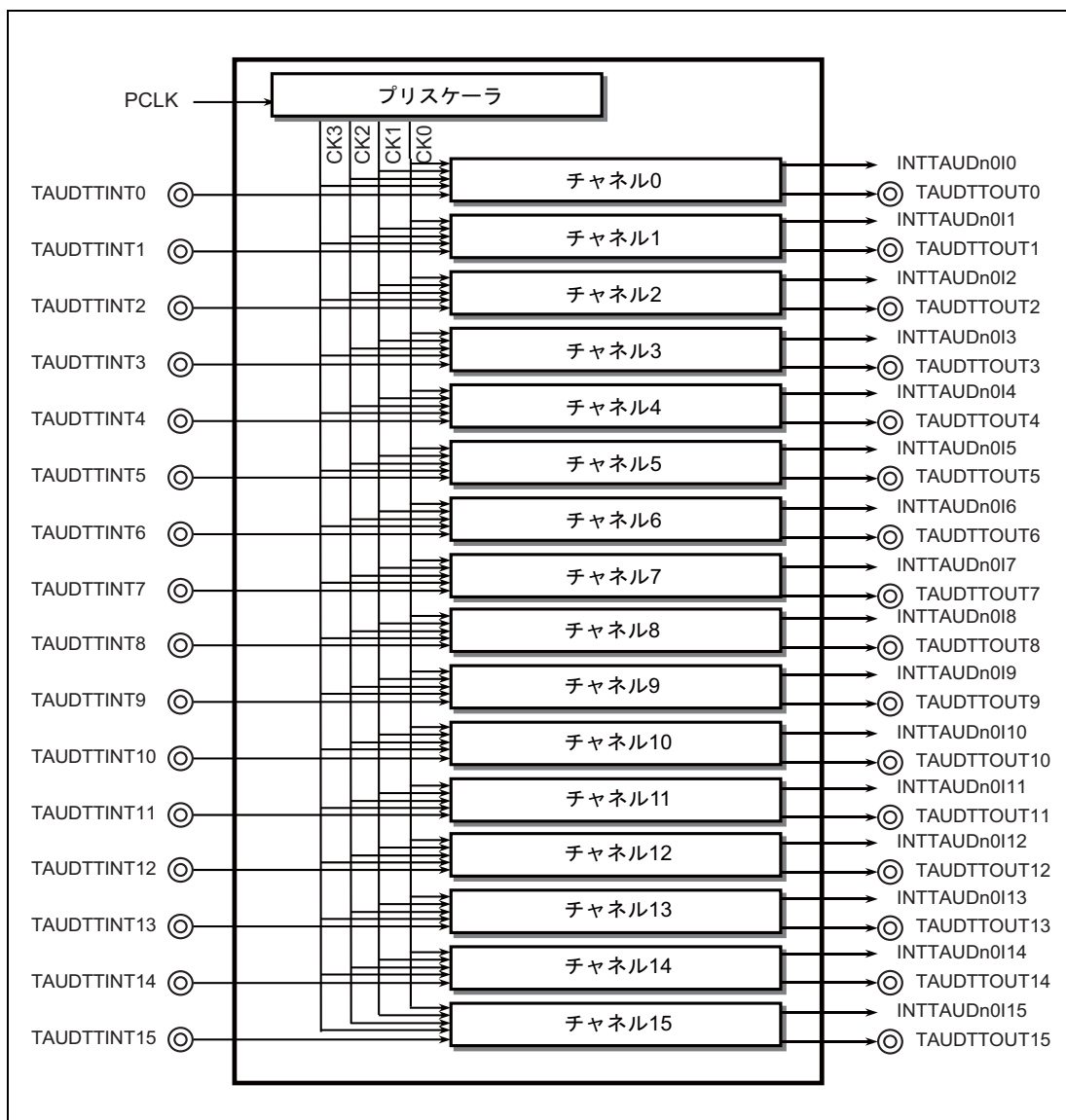


図 17.1 TAUD 入出力と割り込み要求信号

17.2.5 ブロック図

TAUD の主な構成要素を図 17.2 に示します。

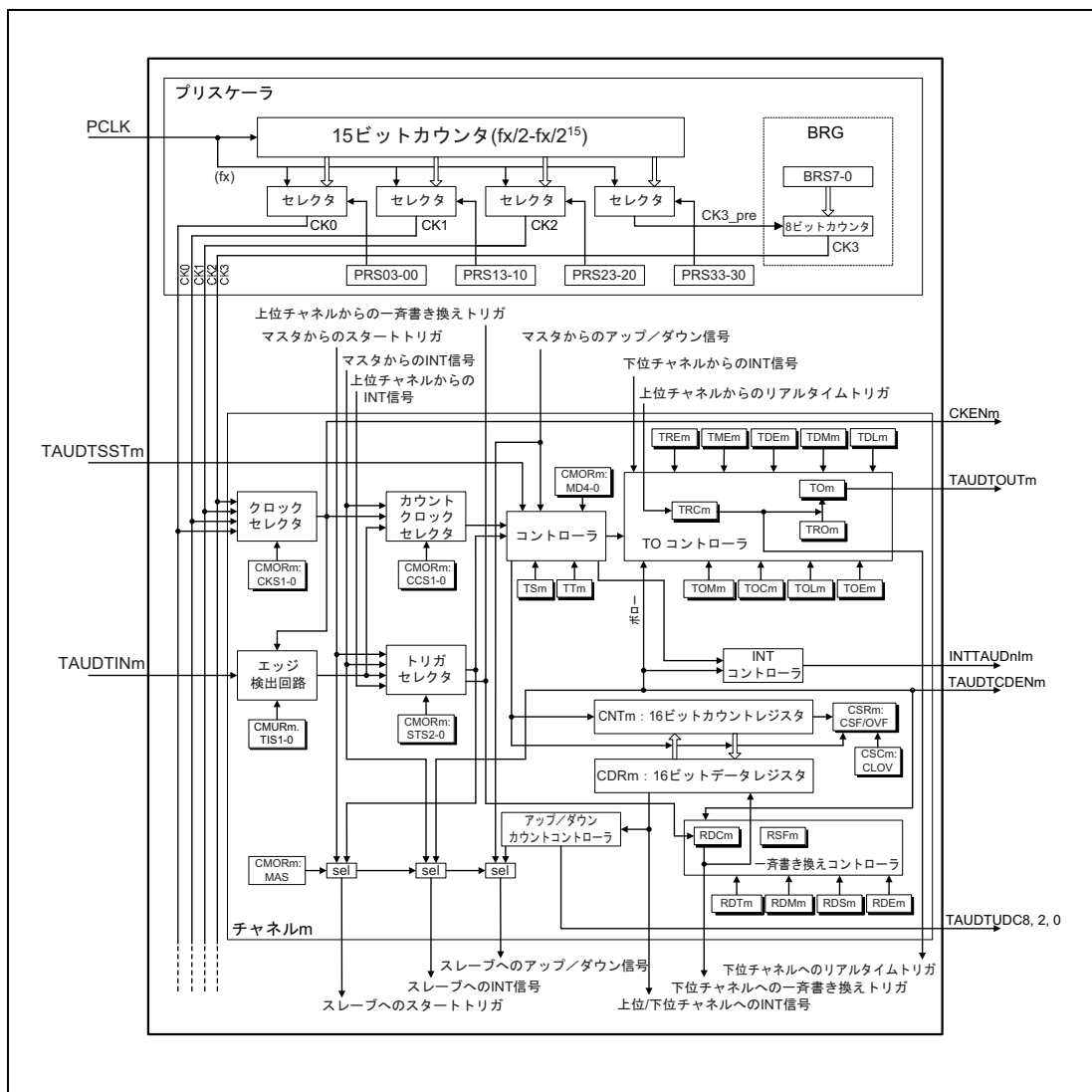


図 17.2 TAUD のブロック図

レジスタ名の「TAUDn」は、図を見やすくするために省略されています。

- TAUDTSSm : 同時スタートトリガ (PIC1A から入力)

17.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャンネルのカウンタクロックとして使用することができる最大4つのクロック信号 (CK0 ~ CK3) を供給します。

カウンタクロック CK0 ~ CK2 は、プリスケーラにより PCLK の $2^0 \sim 2^{15}$ の分周したクロックを選択することができます。4つ目のカウンタクロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよびカウンタクロックの選択

クロックカウンタセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0 ~ CK3 のいずれかのクロック (クロックセレクトにより選択)
- マスタチャンネルからの INTTAUDnIm
- TAUDTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUDnCMORm.TAUDnMD[4:0] ビットにより選択)
- カウンタ開始許可 (TAUDnTS.TAUDnTSm) およびカウンタ停止 (TAUDnTT.TAUDnTTm)

カウンタの開始を許可すると、ステータスフラグ TAUDnTE.TAUDnTEm がセットされます。

- カウンタ方式 (アップ/ダウン) (マスタチャンネルにより制御可能)

トリガセレクト

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUDnTE.TAUDnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUDTSSTm
ユニット間の同時スタート方法の詳細は、「**23.2.3.1 同時スタートトリガ機能**」を参照してください。
- TAUDTTINm 入力の有効エッジ
- マスタ、または上位チャンネルからの INTTAUDnIm
- マスタチャンネルのアップ/ダウン出力トリガ信号
- TAUDTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUDnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUDnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

17.3 レジスタ

17.3.1 レジスタ一覧

TAUD のレジスタ一覧を以下の表に示します。

<TAUDn_base> は「17.1.2 レジスタベースアドレス」を参照してください。

表 17.10 TAUDn レジスタの概要

モジュール名	レジスタ名	略号	アドレス
TAUDn プリスケーラレジスタ			
TAUDn	TAUDn プリスケーラクロック選択レジスタ	TAUDnTPS	<TAUDn_base> + 240 _H
TAUDn	TAUDn プリスケーラポーレート設定レジスタ	TAUDnBRS	<TAUDn_base> + 244 _H
TAUDn 制御レジスタ			
TAUDn	TAUDn チャンネルデータレジスタ m	TAUDnCDRm	<TAUDn_base> + m × 4 _H
TAUDn	TAUDn チャンネルカウンタレジスタ m	TAUDnCNTm	<TAUDn_base> + 80 _H + m × 4 _H
TAUDn	TAUDn チャンネルモード OS レジスタ m	TAUDnCMORm	<TAUDn_base> + 200 _H + m × 4 _H
TAUDn	TAUDn チャンネルモードユーザレジスタ m	TAUDnCMURm	<TAUDn_base> + C0 _H + m × 4 _H
TAUDn	TAUDn チャンネルステータスレジスタ m	TAUDnCSRm	<TAUDn_base> + 140 _H + m × 4 _H
TAUDn	TAUDn チャンネルステータスクリアトリガレジスタ m	TAUDnCSCm	<TAUDn_base> + 180 _H + m × 4 _H
TAUDn	TAUDn チャンネルスタートトリガレジスタ	TAUDnTS	<TAUDn_base> + 1C4 _H
TAUDn	TAUDn チャンネル許可ステータスレジスタ	TAUDnTE	<TAUDn_base> + 1C0 _H
TAUDn	TAUDn チャンネルストップトリガレジスタ	TAUDnTT	<TAUDn_base> + 1C8 _H
TAUDn 出力レジスタ			
TAUDn	TAUDn チャンネル出力許可レジスタ	TAUDnTOE	<TAUDn_base> + 5C _H
TAUDn	TAUDn チャンネル出力レジスタ	TAUDnTO	<TAUDn_base> + 58 _H
TAUDn	TAUDn チャンネル出力モードレジスタ	TAUDnTOM	<TAUDn_base> + 248 _H
TAUDn	TAUDn チャンネル出力コンフィギュレーションレジスタ	TAUDnTOC	<TAUDn_base> + 24C _H
TAUDn	TAUDn チャンネル出力アクティブレベルレジスタ	TAUDnTOL	<TAUDn_base> + 40 _H
TAUDn	TAUDn チャンネルデッドタイム出力許可レジスタ	TAUDnTDE	<TAUDn_base> + 250 _H
TAUDn	TAUDn チャンネルデッドタイム出力モードレジスタ	TAUDnTDM	<TAUDn_base> + 254 _H
TAUDn	TAUDn チャンネルデッドタイム出力レベルレジスタ	TAUDnTDL	<TAUDn_base> + 54 _H
TAUDn	TAUDn チャンネルリアルタイム出力レジスタ	TAUDnTRO	<TAUDn_base> + 4C _H
TAUDn	TAUDn チャンネルリアルタイム出力許可レジスタ	TAUDnTRE	<TAUDn_base> + 258 _H
TAUDn	TAUDn チャンネルリアルタイム出力制御レジスタ	TAUDnTRC	<TAUDn_base> + 25C _H
TAUDn	TAUDn チャンネル変調出力許可レジスタ	TAUDnTME	<TAUDn_base> + 50 _H
TAUDn リロードデータレジスタ			
TAUDn	TAUDn チャンネルリロードデータ許可レジスタ	TAUDnRDE	<TAUDn_base> + 260 _H
TAUDn	TAUDn チャンネルリロードデータモードレジスタ	TAUDnRDM	<TAUDn_base> + 264 _H
TAUDn	TAUDn チャンネルリロードデータ制御 CH 選択レジスタ	TAUDnRDS	<TAUDn_base> + 268 _H
TAUDn	TAUDn チャンネルリロードデータ制御レジスタ	TAUDnRDC	<TAUDn_base> + 26C _H
TAUDn	TAUDn チャンネルリロードデータトリガレジスタ	TAUDnRDT	<TAUDn_base> + 44 _H
TAUDn	TAUDn チャンネルリロードステータスレジスタ	TAUDnRSF	<TAUDn_base> + 48 _H

17.3.2 TAUDnTPS — TAUDn プリスケラクロック選択レジスタ

PCLK プリスケラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUDnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 240_H

リセット後の値 FFFF_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnPRS3[3:0]				TAUDnPRS2[3:0]				TAUDnPRS1[3:0]				TAUDnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.11 TAUDnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15 ~ 12	TAUDnPRS3 [3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 17.11 TAUDnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11 ~ 8	TAUDnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
7 ~ 4	TAUDnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 17.11 TAUDnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3 ~ 0	TAUDnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" data-bbox="651 360 1414 994"> <thead> <tr> <th>TAUDnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

備考

TAUDn クロック入力 PCLK については、この章の最初の節内「17.1.3 クロック供給」で定義しています。

17.3.3 TAUDnBRS — TAUDn プリスケーラボーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUDnTPS.TAUDnPRS3[3:0] で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 244_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	TAUDnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.12 TAUDnBRS レジスタの内容

ビット位置	ビット名	機能																
7 ~ 0	TAUDnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUDnBRS[7:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE/1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE/2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE/3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE/4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE/255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE/256</td> </tr> </tbody> </table>	TAUDnBRS[7:0]	CK3 クロック	0000 0000 _B	CK3_PRE/1	0000 0001 _B	CK3_PRE/2	0000 0010 _B	CK3_PRE/3	0000 0011 _B	CK3_PRE/4	1111 1110 _B	CK3_PRE/255	1111 1111 _B	CK3_PRE/256
TAUDnBRS[7:0]	CK3 クロック																	
0000 0000 _B	CK3_PRE/1																	
0000 0001 _B	CK3_PRE/2																	
0000 0010 _B	CK3_PRE/3																	
0000 0011 _B	CK3_PRE/4																	
...	...																	
1111 1110 _B	CK3_PRE/255																	
1111 1111 _B	CK3_PRE/256																	

17.3.4 TAUDnCDRm — TAUDn チャネルデータレジスタ

このレジスタは、TAUDnCMORm.TAUDnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 16ビット単位でリード/ライト可能です。
キャプチャモード時はリードのみ可能です。ライト動作は無視されます。
コンペアモード時はリード/ライト可能です。

アドレス <TAUDn_base> + 0_H + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

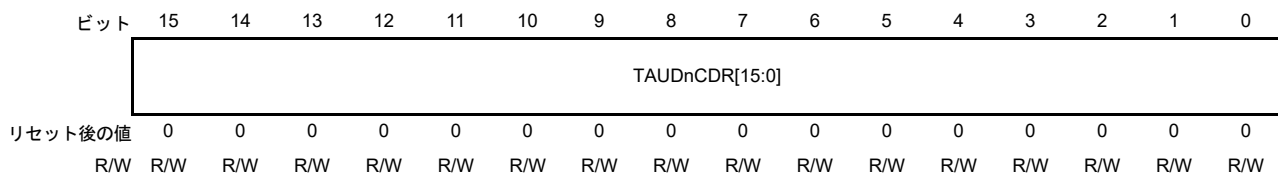


表 17.13 TAUDnCDRm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnCDR [15:0]	キャプチャ値/コンペア値用データレジスタ

17.3.5 TAUDnCNTm — TAUDn チャネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUDn_base> + 80_H + m × 4_H

リセット後の値 FFFF_H リセット後の値は動作モードによって異なります。「表 17.15 カウント再許可後の TAUDnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.14 TAUDnCNTm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnCNT [15:0]	16 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUDnTS.TAUDnTSm、TAUDnTT.TAUDnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUDnTT.TAUDnTTm = 1)

カウント停止後 (TAUDnTE.TAUDnTEm = 0) と再許可後 (TAUDnTS.TAUDnTSm = 1) のカウンタの初期リード値を表 17.15 に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUDnTS.TAUDnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 17.15 カウント再許可後の TAUDnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUDnCNTm 値		
		リセット後	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF _H	停止値	—
ジャッジモード	ダウンカウント	FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 _H	停止値	—
イベントカウントモード	ダウンカウント	FFFF _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF _H	停止値	停止値
キャプチャ&ワンカウントモード	アップカウント	0000 _H	停止値	キャプチャ値 + 1 (TAUDnCDRm)
ジャッジ&ワンカウントモード	ダウンカウント	FFFF _H	停止値	TAUDnCNTm 値 - 1
アップ/ダウンカウントモード	アップ/ダウンカウント	FFFF _H	停止値	—
パルスワンカウントモード	ダウンカウント	FFFF _H	停止値	0000 _H
カウントキャプチャモード	アップカウント	0000 _H	停止値	—
キャプチャ&ゲートカウントモード	アップカウント	0000 _H	停止値	停止値

備 考

カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUDnCMORm.TAUDnMD[4:1] レジスタで変更します。

17.3.6 TAUDnCMORm — TAUDn チャネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみライト可能です。

アドレス <TAUDn_base> + 200_H + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.16 TAUDnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15, 14	TAUDnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUDTTINm 入力エッジ検出回路で使用します。 TAUDnCMORm.TAUDnCCS[1:0] ビットの設定により、カウンタクロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUDnCKS1</th> <th>TAUDnCKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUDnCKS1	TAUDnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUDnCKS1	TAUDnCKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13, 12	TAUDnCCS [1:0]	<p>TAUDnCNTm カウンタのカウントクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUDnCCS1</th> <th>TAUDnCCS0</th> <th>カウントクロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>TAUDTTINm 入力信号の有効エッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャンネルの INTTAUDnIm 信号</td> </tr> </tbody> </table>	TAUDnCCS1	TAUDnCCS0	カウントクロック選択	0	0	TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック	0	1	TAUDTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	マスタチャンネルの INTTAUDnIm 信号
TAUDnCCS1	TAUDnCCS0	カウントクロック選択															
0	0	TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック															
0	1	TAUDTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1	マスタチャンネルの INTTAUDnIm 信号															
11	TAUDnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、“0” に固定されています。</p>															

表 17.16 TAUDnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能			
10 ~ 8	TAUDnSTS [2:0]	外部スタートトリガを選択します。			
		TAUDnSTS2	TAUDnSTS1	TAUDnSTS0	機能説明
		0	0	0	ソフトウェアトリガ
		0	0	1	TAUDTTInm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0] で指定
		0	1	0	TAUDTTInm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用
		0	1	1	一斉書き換えトリガ
		1	0	0	マスタチャンネルの INTTAUDnIm がスタートトリガ
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUDnIm がスタートトリガ
		1	1	0	TAUDTTOUtm 生成ユニットのデッドタイム出力信号
1	1	1	マスタチャンネルのアップ/ダウン出力トリガ信号		
7、6	TAUDnCOS [1:0]	チャンネル m のキャプチャレジスタ TAUDnCDRm とオーバフローフラグ TAUDnCSRm.TAUDnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャモードの時にのみ有効です。			
		TAUDnCOS1	TAUDnCOS0	TAUDnCDRm	TAUDnCSRm.TAUDnOVF
		0	0	TAUDTTInm 入力有効エッジを検出すると更新	TAUDTTInm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア
		0	1		カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア
		1	0	TAUDTTInm 入力有効エッジ検出およびカウンタオーバフローの発生により更新 <ul style="list-style-type: none"> TAUDTTInm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれる オーバフロー発生：FFFF_H が TAUDnCDRm にロードされる。次の TAUDTTInm 入力有効エッジ検出は無視される。 	設定なし
1	1		カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア		
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。			

表 17.16 TAUDnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能					
4 ~ 0	TAUDnMD [4:0]	動作モードを指定します。					
		TAUDn MD4	TAUDn MD3	TAUDn MD2	TAUDn MD1	TAUDn MD0	機能説明
		0	0	0	0	1/0	インターバルタイマモード
		0	0	0	1	1/0	ジャッジモード
		0	0	1	0	1/0	キャプチャモード
		0	0	1	1	0	イベントカウントモード
		0	1	0	0	1/0	ワンカウントモード
		0	1	1	0	0	キャプチャ&ワンカウントモード
		0	1	1	1	1/0	ジャッジ&ワンカウントモード
		1	0	0	1	0	アップ/ダウンカウントモード
		1	0	1	0	1/0	パルスワンカウントモード
		1	0	1	1	1/0	カウントキャプチャモード
		1	1	0	1	0	キャプチャ&ゲートカウントモード
		上記以外は設定禁止					
		モード		TAUDnMD0 ビットの役割			
		インターバルタイマモード キャプチャモード カウントキャプチャモード		カウント動作開始時（スタートトリガ入力時）に、INTTAUDnIm 信号を出力するかどうかを指定します。 0：INTTAUDnIm を出力しない 1：INTTAUDnIm を出力する			
		イベントカウントモード アップ/ダウンカウントモード		このビットは“0”（カウント動作開始時にINTTAUDnIm 信号を出力しない）に設定してください。			
		ワンカウントモード パルスワンカウントモード		カウント中のスタートトリガ検出を許可/禁止します。 0：禁止 1：許可			
		キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード		このビットは“0”に設定してください。 注意 カウント動作開始時にINTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。			
		ジャッジモード ジャッジ&ワンカウントモード		INTTAUDnIm の出力タイミングを指定します。 0：TAUDnCNTm ≤ TAUDnCDRm 時 1：TAUDnCNTm > TAUDnCDRm 時			

17.3.7 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ

このレジスタは、TAUDTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + C0_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.17 TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能															
7 ~ 2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
1、0	TAUDnTIS [1:0]	<p>TAUDTTINm 入力信号の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnTIS1</th> <th>TAUDnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ </td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ </td> </tr> </tbody> </table> <ul style="list-style-type: none"> TAUDTTINm 入力信号のエッジ検出は、TAUDnCMORm.TAUDnCKS[1:0] で選択した動作クロックに基づいて行われます。 	TAUDnTIS1	TAUDnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ 	1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUDnTIS1	TAUDnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ 															
1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ 															

17.3.8 TAUDnCSRm — TAUDn チャネルステータスレジスタ

このレジスタは、チャンネル m のカウンタのカウンタ方向とオーバーフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス $\langle \text{TAUDn_base} \rangle + 140_{\text{H}} + m \times 4_{\text{H}}$

リセット後の値 00_{H} どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnCSF	TAUDnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 17.18 TAUDnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合は、リセット後の値が読めます。
1	TAUDnCSF	カウンタ方向を示します。 0: アップカウント 1: ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 <ul style="list-style-type: none"> • アップ/ダウンカウントモード
0	TAUDnOVF	カウンタオーバーフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> • キャプチャモード • キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUDnCMORm.TAUDnCOS[1:0] の設定により異なります。

17.3.9 TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバフローフラグ TAUDnCSRm.TAUDnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に00_Hです。

アドレス <TAUDn_base> + 180_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUDnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 17.19 TAUDnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUDnCLOV	0 : 機能なし 1 : オーバフローフラグ TAUDnCSRm.TAUDnOVF をクリア

17.3.10 TAUDnTS — TAUDn チャネルスタートトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 16ビット単位でライト可能です。リード値は常に0000_Hです。

アドレス <TAUDn_base> + 1C4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTS15	TAUDnTS14	TAUDnTS13	TAUDnTS12	TAUDnTS11	TAUDnTS10	TAUDnTS09	TAUDnTS08	TAUDnTS07	TAUDnTS06	TAUDnTS05	TAUDnTS04	TAUDnTS03	TAUDnTS02	TAUDnTS01	TAUDnTS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 17.20 TAUDnTS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTSm	チャンネル m のカウンタ動作を許可します。 0 : 機能なし 1 : カウンタ動作を許可し、TAUDnTE.TAUDnTEm = 1 を設定。 TAUDnTE.TAUDnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。カウンタが開始されるかどうかは、選択されている動作モードによって異なります。

17.3.11 TAUDnTE — TAUDn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUDn_base> + 1C0_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTE15	TAUDnTE14	TAUDnTE13	TAUDnTE12	TAUDnTE11	TAUDnTE10	TAUDnTE09	TAUDnTE08	TAUDnTE07	TAUDnTE06	TAUDnTE05	TAUDnTE04	TAUDnTE03	TAUDnTE02	TAUDnTE01	TAUDnTE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.21 TAUDnTE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTE _m	チャンネル m のカウンタ動作の許可／禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUDTSST _m (チャンネル連動スタートトリガ信号) のトリガ入力を検知するか、TAUDnTS.TAUDnTS _m を“1”にセットすると、このビットが“1”に設定されます。 TAUDnTT.TAUDnTT _m を“1”にセットすると、このビットが“0”にリセットされます。

備考

ユニット間の同時スタート方法の詳細は「23.2.3.1 同時スタートトリガ機能」を参照してください。

17.3.12 TAUDnTT — TAUDn チャネルストップトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 16ビット単位でライト可能です。リード値は常に0000_Hです。

アドレス <TAUDn_base> + 1C8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTT15	TAUDnTT14	TAUDnTT13	TAUDnTT12	TAUDnTT11	TAUDnTT10	TAUDnTT09	TAUDnTT08	TAUDnTT07	TAUDnTT06	TAUDnTT05	TAUDnTT04	TAUDnTT03	TAUDnTT02	TAUDnTT01	TAUDnTT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 17.22 TAUDnTT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTT _m	チャンネル m のカウンタ動作を停止します。 0: 機能なし 1: カウンタ動作を停止し、TAUDnTE.TAUDnTE _m をリセットします。 TAUDnCNT _m 、TAUDnTO.TAUDnTO _m 、TAUDTTOUT _m は、カウント停止前の値を保持します。

17.3.13 TAUDnRDE — TAUDn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUDnCDRm/TAUDnTOLm の一斉書き換えを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 260_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDE15	TAUDnRDE14	TAUDnRDE13	TAUDnRDE12	TAUDnRDE11	TAUDnRDE10	TAUDnRDE09	TAUDnRDE08	TAUDnRDE07	TAUDnRDE06	TAUDnRDE05	TAUDnRDE04	TAUDnRDE03	TAUDnRDE02	TAUDnRDE01	TAUDnRDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.23 TAUDnRDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0 : 一斉書き換え禁止 1 : 一斉書き換え許可

17.3.14 TAUDnRDS — TAUDn チャネルリロードデータ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 268_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDS15	TAUDnRDS14	TAUDnRDS13	TAUDnRDS12	TAUDnRDS11	TAUDnRDS10	TAUDnRDS09	TAUDnRDS08	TAUDnRDS07	TAUDnRDS06	TAUDnRDS05	TAUDnRDS04	TAUDnRDS03	TAUDnRDS02	TAUDnRDS01	TAUDnRDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.24 TAUDnRDS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDSm	一斉書き換えトリガを制御するチャンネルを選択します。 0 : マスタチャンネル 1 : 別の上位チャンネル

17.3.15 TAUDnRDM — TAUDn チャンネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0のときのみ、ライト可能です。

アドレス <TAUDn_base> + 264_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDM15	TAUDnRDM14	TAUDnRDM13	TAUDnRDM12	TAUDnRDM11	TAUDnRDM10	TAUDnRDM09	TAUDnRDM08	TAUDnRDM07	TAUDnRDM06	TAUDnRDM05	TAUDnRDM04	TAUDnRDM03	TAUDnRDM02	TAUDnRDM01	TAUDnRDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.25 TAUDnRDM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタチャンネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、 TAUDnRDS.TAUDnRDSm = 0 時のみ適用されます。

17.3.16 TAUDnRDC — TAUDn チャンネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUDnIm 信号を生成するチャンネルを指定します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0のときのみ、ライト可能です。

アドレス <TAUDn_base> + 26C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDC15	TAUDnRDC14	TAUDnRDC13	TAUDnRDC12	TAUDnRDC11	TAUDnRDC10	TAUDnRDC09	TAUDnRDC08	TAUDnRDC07	TAUDnRDC06	TAUDnRDC05	TAUDnRDC04	TAUDnRDC03	TAUDnRDC02	TAUDnRDC01	TAUDnRDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.26 TAUDnRDC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0: 一斉書き換えトリガチャンネルとならない。 1: 一斉書き換えトリガチャンネルとして動作する。 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、 TAUDnRDS.TAUDnRDSm = 1 時のみ適用されます。

17.3.17 TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 16ビット単位でライト可能です。リード値は常に0000_Hです。

アドレス <TAUDn_base> + 44_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDT15	TAUDnRDT14	TAUDnRDT13	TAUDnRDT12	TAUDnRDT11	TAUDnRDT10	TAUDnRDT09	TAUDnRDT08	TAUDnRDT07	TAUDnRDT06	TAUDnRDT05	TAUDnRDT04	TAUDnRDT03	TAUDnRDT02	TAUDnRDT01	TAUDnRDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 17.27 TAUDnRDT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし 1: 一斉書き換え許可フラグ (TAUDnRSFm) を“1”とし、一斉書き換えトリガ待ち状態となります。

17.3.18 TAUDnRSF — TAUDn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUDn_base> + 48_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRSF15	TAUDnRSF14	TAUDnRSF13	TAUDnRSF12	TAUDnRSF11	TAUDnRSF10	TAUDnRSF09	TAUDnRSF08	TAUDnRSF07	TAUDnRSF06	TAUDnRSF05	TAUDnRSF04	TAUDnRSF03	TAUDnRSF02	TAUDnRSF01	TAUDnRSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.28 TAUDnRSF レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示します。 1: 一斉書き換え許可状態 (TAUDnRDTm = 1) で、一斉書き換えのトリガ待ちを示します。

17.3.19 TAUDnTOE — TAUDn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 5C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOE15	TAUDn TOE14	TAUDn TOE13	TAUDn TOE12	TAUDn TOE11	TAUDn TOE10	TAUDn TOE09	TAUDn TOE08	TAUDn TOE07	TAUDn TOE06	TAUDn TOE05	TAUDn TOE04	TAUDn TOE03	TAUDn TOE02	TAUDn TOE01	TAUDn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.29 TAUDnTOE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOEm	チャネル単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 1: タイマ単体出力機能を許可

17.3.20 TAUDnTO — TAUDn チャネル出力レジスタ

このレジスタは、TAUDTTOUTm レベルを指定およびリードします。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 58_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TO15	TAUDn TO14	TAUDn TO13	TAUDn TO12	TAUDn TO11	TAUDn TO10	TAUDn TO09	TAUDn TO08	TAUDn TO07	TAUDn TO06	TAUDn TO05	TAUDn TO04	TAUDn TO03	TAUDn TO02	TAUDn TO01	TAUDn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.30 TAUDnTO レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOm	このレジスタは、TAUDTTOUTm レベルを指定およびリードします。 0: ローレベル 1: ハイレベル チャネル単体出力機能が禁止されている (TAUDnTOEm = 0) TAUDnTOm ビットのみにライト可能です。

17.3.21 TAUDnTOM — TAUDn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 248_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTOM15	TAUDnTOM14	TAUDnTOM13	TAUDnTOM12	TAUDnTOM11	TAUDnTOM10	TAUDnTOM09	TAUDnTOM08	TAUDnTOM07	TAUDnTOM06	TAUDnTOM05	TAUDnTOM04	TAUDnTOM03	TAUDnTOM02	TAUDnTOM01	TAUDnTOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.31 TAUDnTOM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOMm	出力モードを指定します。 0 : チャネル単体動作 1 : チャネル連動動作 出力モードは「17.4.4 チャネル出力モード」にあるように、各チャネル出力制御ビットの設定によって変わります。

17.3.22 TAUDnTOC — TAUDn チャネル出力コンフィギュレーションレジスタ

このレジスタは、TAUDnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 24C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOC15	TAUDn TOC14	TAUDn TOC13	TAUDn TOC12	TAUDn TOC11	TAUDn TOC10	TAUDn TOC09	TAUDn TOC08	TAUDn TOC07	TAUDn TOC06	TAUDn TOC05	TAUDn TOC04	TAUDn TOC03	TAUDn TOC02	TAUDn TOC01	TAUDn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.32 TAUDnTOC レジスタの内容

ビット位置	ビット名	機能															
15 ~ 0	TAUDnTOCm	出力モードを指定します。 0: 動作モード1 1: 動作モード2 次の表にあるように、出力モードは TAUDnTOM.TAUDnTOMm の設定によっても異なります。															
		<table border="1"> <thead> <tr> <th>TOMm</th> <th>TOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>チャンネル連動動作モード2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。</td> </tr> </tbody> </table>	TOMm	TOCm	機能説明	0	0	トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。	0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。	1	0	チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。	1	1	チャンネル連動動作モード2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。
TOMm	TOCm	機能説明															
0	0	トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。															
0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。															
1	0	チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。															
1	1	チャンネル連動動作モード2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。															

17.3.23 TAUDnTOL — TAUDn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 040_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTOL15	TAUDnTOL14	TAUDnTOL13	TAUDnTOL12	TAUDnTOL11	TAUDnTOL10	TAUDnTOL09	TAUDnTOL08	TAUDnTOL07	TAUDnTOL06	TAUDnTOL05	TAUDnTOL04	TAUDnTOL03	TAUDnTOL02	TAUDnTOL01	TAUDnTOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.33 TAUDnTOL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOLm	チャネル m 出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。 0: 正論理 (アクティブハイ) 1: 負論理 (アクティブロウ) これらのビット設定は、ソフトウェア制御のチャネル単体出力モードおよびチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

17.3.24 TAUDnTDE — TAUDn チャネルデッドタイム出力許可レジスタ

このレジスタは、全チャネルのデッドタイム動作を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 250_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDE15	TAUDnTDE14	TAUDnTDE13	TAUDnTDE12	TAUDnTDE11	TAUDnTDE10	TAUDnTDE09	TAUDnTDE08	TAUDnTDE07	TAUDnTDE06	TAUDnTDE05	TAUDnTDE04	TAUDnTDE03	TAUDnTDE02	TAUDnTDE01	TAUDnTDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.34 TAUDnTDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDEm	チャネル m のデッドタイム制御動作を許可/禁止します。 0: デッドタイム動作禁止 1: デッドタイム動作許可 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUDnTOE.TAUDnTOEm, TAUDnTOM.TAUDnTOMm, TAUDnTOC.TAUDnTOCm = 1

17.3.25 TAUDnTDM — TAUDn チャネルデッドタイム出力モードレジスタ

このレジスタは、デッドタイム出力中にデッドタイムを付加するタイミングを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 254_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDM15	TAUDnTDM14	TAUDnTDM13	TAUDnTDM12	TAUDnTDM11	TAUDnTDM10	TAUDnTDM09	TAUDnTDM08	TAUDnTDM07	TAUDnTDM06	TAUDnTDM05	TAUDnTDM04	TAUDnTDM03	TAUDnTDM02	TAUDnTDM01	TAUDnTDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.35 TAUDnTDM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDMm	デッドタイム出力中にデッドタイムを付加するタイミングを指定します。 0 : 上位偶数チャンネルのデューティサイクル検出時 (デューティデッドタイム出力) 1 : 下位奇数チャンネルの TIN 入力エッジ検出時 (1 相デッドタイム出力) 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、TAUDnTDE.TAUDnTDEm = 1

17.3.26 TAUDnTDL — TAUDn チャネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 54_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDL15	TAUDnTDL14	TAUDnTDL13	TAUDnTDL12	TAUDnTDL11	TAUDnTDL10	TAUDnTDL09	TAUDnTDL08	TAUDnTDL07	TAUDnTDL06	TAUDnTDL05	TAUDnTDL04	TAUDnTDL03	TAUDnTDL02	TAUDnTDL01	TAUDnTDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.36 TAUDnTDL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDLm	デッドタイムを付加する位相を選択します。 0 : 正相 1 : 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、TAUDnTDE.TAUDnTDEm = 1

17.3.27 TAUDnTRE — TAUDn チャンネルリアルタイム出力許可レジスタ

このレジスタは、リアルタイム出力を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0のときのみ、ライト可能です。

アドレス <TAUDn_base> + 258_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTRE15	TAUDnTRE14	TAUDnTRE13	TAUDnTRE12	TAUDnTRE11	TAUDnTRE10	TAUDnTRE09	TAUDnTRE08	TAUDnTRE07	TAUDnTRE06	TAUDnTRE05	TAUDnTRE04	TAUDnTRE03	TAUDnTRE02	TAUDnTRE01	TAUDnTRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.37 TAUDnTRE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTREm	チャンネル m のリアルタイム出力を許可/禁止します。 0 : リアルタイム出力禁止 1 : リアルタイム出力許可 これらのビット設定は TAUDnTOE.TAUDnTOEm = 1 時のみ適用されます。 TAUDnTRE.TAUDnTREm = 0 の場合、TAUDTTOUTm はリアルタイム出力の影響を受けません。 TAUDnTRE.TAUDnTREm = 1 の場合、TAUDTTOUTm はタイマ動作に応じてリアルタイム出力ビット TAUDnTRO.TAUDnTROm の値を出力します。

17.3.28 TAUDnTRC — TAUDn チャンネルリアルタイム出力制御レジスタ

このレジスタは、各チャンネルのリアルタイム出力トリガを制御します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0のときのみ、ライト可能です。

アドレス <TAUDn_base> + 25C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTRC15	TAUDnTRC14	TAUDnTRC13	TAUDnTRC12	TAUDnTRC11	TAUDnTRC10	TAUDnTRC09	TAUDnTRC08	TAUDnTRC07	TAUDnTRC06	TAUDnTRC05	TAUDnTRC04	TAUDnTRC03	TAUDnTRC02	TAUDnTRC01	TAUDnTRC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.38 TAUDnTRC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTRCm	チャンネル m のリアルタイム出力トリガを生成するチャンネルを指定します。 0 : このビットが "1" に設定されている次の上位チャンネル 1 : チャンネル m これらのビット設定は TAUDnTRE.TAUDnTREm = 1 時のみ適用されます。

17.3.29 TAUDnTRO — TAUDn チャネルリアルタイム出力レジスタ

このレジスタには、TAUDTTOUTm に出力する値を設定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 4C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTRO15	TAUDnTRO14	TAUDnTRO13	TAUDnTRO12	TAUDnTRO11	TAUDnTRO10	TAUDnTRO09	TAUDnTRO08	TAUDnTRO07	TAUDnTRO06	TAUDnTRO05	TAUDnTRO04	TAUDnTRO03	TAUDnTRO02	TAUDnTRO01	TAUDnTRO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.39 TAUDnTRO レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTROm	TAUDTTOUTm に出力する値を設定します。 0: ロウレベル 1: ハイレベル TAUDnTRE.TAUDnTREM = 0 のとき、リアルタイム出力トリガが発生しても TAUDnTROm の値は TAUDTTOUTm には出力されません。

17.3.30 TAUDnTME — TAUDn チャネル変調出力許可レジスタ

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 50_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTME15	TAUDnTME14	TAUDnTME13	TAUDnTME12	TAUDnTME11	TAUDnTME10	TAUDnTME09	TAUDnTME08	TAUDnTME07	TAUDnTME06	TAUDnTME05	TAUDnTME04	TAUDnTME03	TAUDnTME02	TAUDnTME01	TAUDnTME00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.40 TAUDnTME レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTME _m	チャンネル m のタイマ出力とリアルタイム出力の変調出力を許可/禁止します。 0: 変調禁止 1: 変調許可 これらのビット設定は TAUDnTOE.TAUDnTOEm、TAUDnTRE.TAUDnTREM = 1 時にのみ適用されます。

17.4 機能

17.4.1 基本操作手順

TAUDn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUDTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

- (1) TAUDnTPS と TAUDnBRS レジスタを設定して CK0 ~ CK3 のクロック周波数を指定してください。
- (2) 任意の TAUDn 機能を設定してください。
 - 動作モードを設定してください。
 - チャンネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
- (3) TAUDnTS.TAUDnTSM ビットを“1”に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
- (4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUDnTT.TAUDnTTm ビットを“1”に設定してください。強制リスタートは TAUDnTS.TAUDnTSM ビットを 1 に設定してください。
- (5) TAUDnTT.TAUDnTTm ビットを“1”に設定して機能を停止してください。

備 考

必要な制御ビットと各機能の動作の詳細は、

- 「17.4.9 チャンネル単体動作機能」
- 「17.4.12 チャンネル連動動作機能」

を参照してください。

17.4.2 チャンネル連動動作の概念

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせて実現する機能です。チャンネルの設定には、いくつかのルールがあります。ルールの詳細は、「17.4.2.1 チャンネル連動動作のルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 「17.4.2.2 連動チャンネルカウンタの同時動作開始/停止」
- 「17.4.3 一斉書き換え」

17.4.2.1 チャンネル連動動作のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル（CH0、CH2、CH4、...）のみ設定できます。スレーブチャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2がマスタチャンネルの場合、CH3以下（CH3、CH4、CH5、...）をスレーブチャンネルに設定できます。
- マスタチャンネルを複数使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH4がマスタチャンネルの場合、CH0に対してCH1～CH3までをスレーブチャンネルとして設定できますが、CH5～CH15は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルのTAUDnCMORm.TAUDnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図17.3に示します。

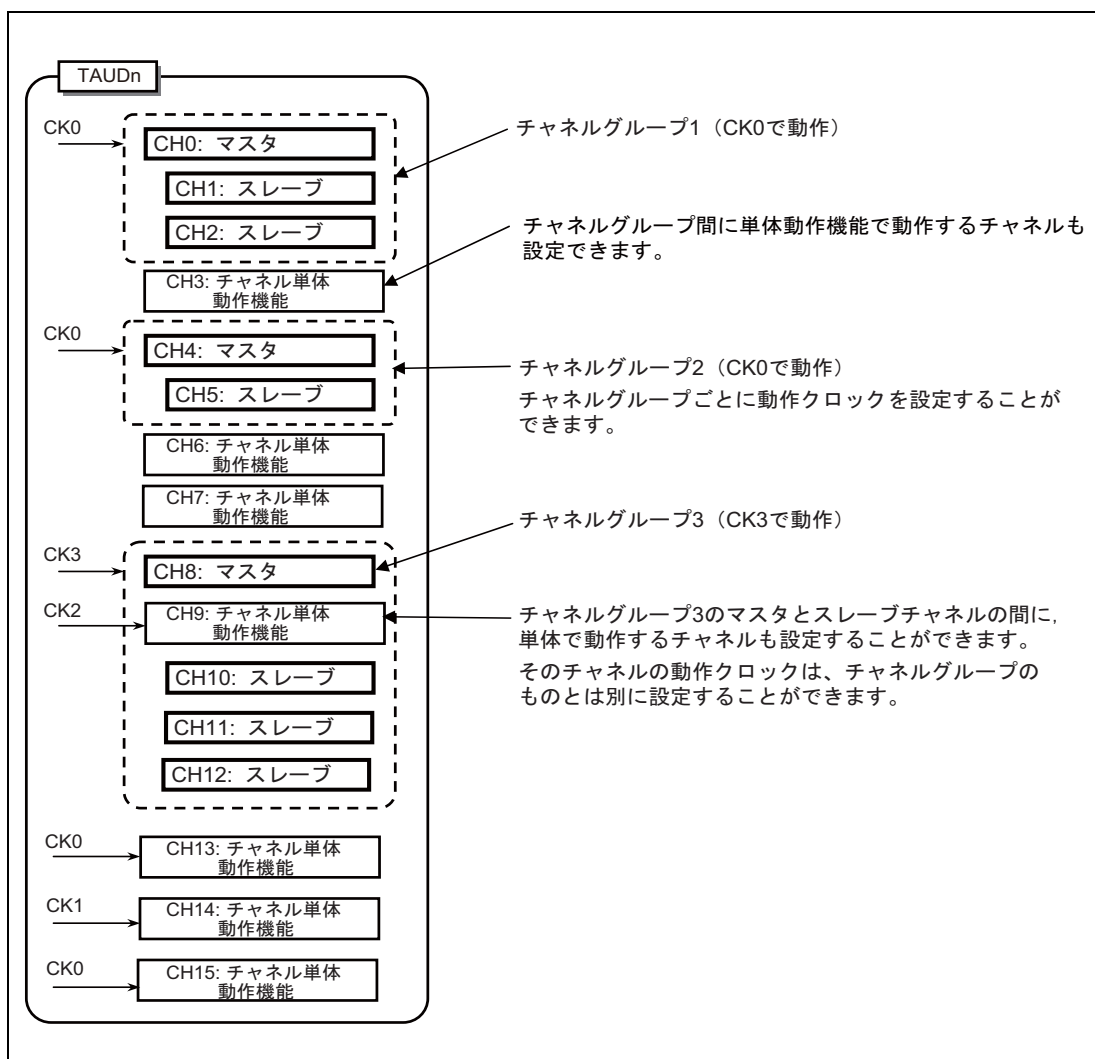


図 17.3 チャンネルのグループ化と動作クロックの割り当て

マスタチャンネル、スレーブチャンネルの制御トリガ信号

- マスタチャンネルは、制御トリガ信号をスレーブチャンネルに出力することができます。
- スレーブチャンネルは、マスタチャンネルの制御トリガ信号Iを使用できますが、スレーブチャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタチャンネルは、自身より上位のマスタチャンネルの制御トリガ信号を使用することはできません。

17.4.2.2 連動チャンネルカウンタの同時動作開始/停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始/停止することができます。

(1) ユニット内の連動チャンネルカウンタの同時動作開始/停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUDnTS.TAUDnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUDnTT.TAUDnTTm ビットを同時に設定する必要があります。

TAUDnTS.TAUDnTSM ビットに“1”を設定することにより、対応する TAUDnTE.TAUDnTEm ビットが“1”にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は、「**23.2.3.1 同時スタートトリガ機能**」を参照してください。

17.4.3 一斉書き換え

17.4.3.1 動作概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUDnCDRm、TAUDnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUDnRDC.TAUDnRDCm で指定された上位チャンネルにて INTTAUDnIm が発生した場合

一斉書き換えは4つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを表 17.41 に示します。

表 17.41 一斉書き換え方法とトリガタイミング

方式	一斉書き換えがトリガされるタイミング	TAUDnRDE. TAUDnRDEm	TAUDnRDS. TAUDnRDSm	TAUDnRDM. TAUDnRDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャンネルがカウントを再開/開始した場合	1	0	0
B	マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波周期の [山] のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1
C2	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1

4つの方法のうち、各チャンネル動作機能で使用できる方法を表 17.42 に示します。各チャンネル動作機能の詳細は、「17.4.9 チャンネル単体動作機能」と「17.4.12 チャンネル連動動作機能」を参照してください。

表 17.42 一斉書き換え方法とトリガタイミング

機能	A	B	C1	C2
一斉書き換えトリガ出力機能タイプ 1			○	
PWM 出力機能	○		○	
ワンショットパルス出力機能	○			
トリガスタート PWM 出力機能	○			○
ディレイパルス出力機能	○			
三角波 PWM 出力機能		○	○	
デッドタイム付き三角波 PWM 出力機能		○	○	
割り込み要求信号間引き機能	○	○	○	
AD 変換トリガ出力機能タイプ 1	○		○	
AD 変換トリガ出力機能タイプ 2		○	○	
非相補方式変調出力機能タイプ 1	○		○	
非相補方式変調出力機能タイプ 2		○	○	
相補方式変調出力機能		○	○	

備考 ○：使用可能 空欄：使用不可能

17.4.3.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を図 17.4 に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

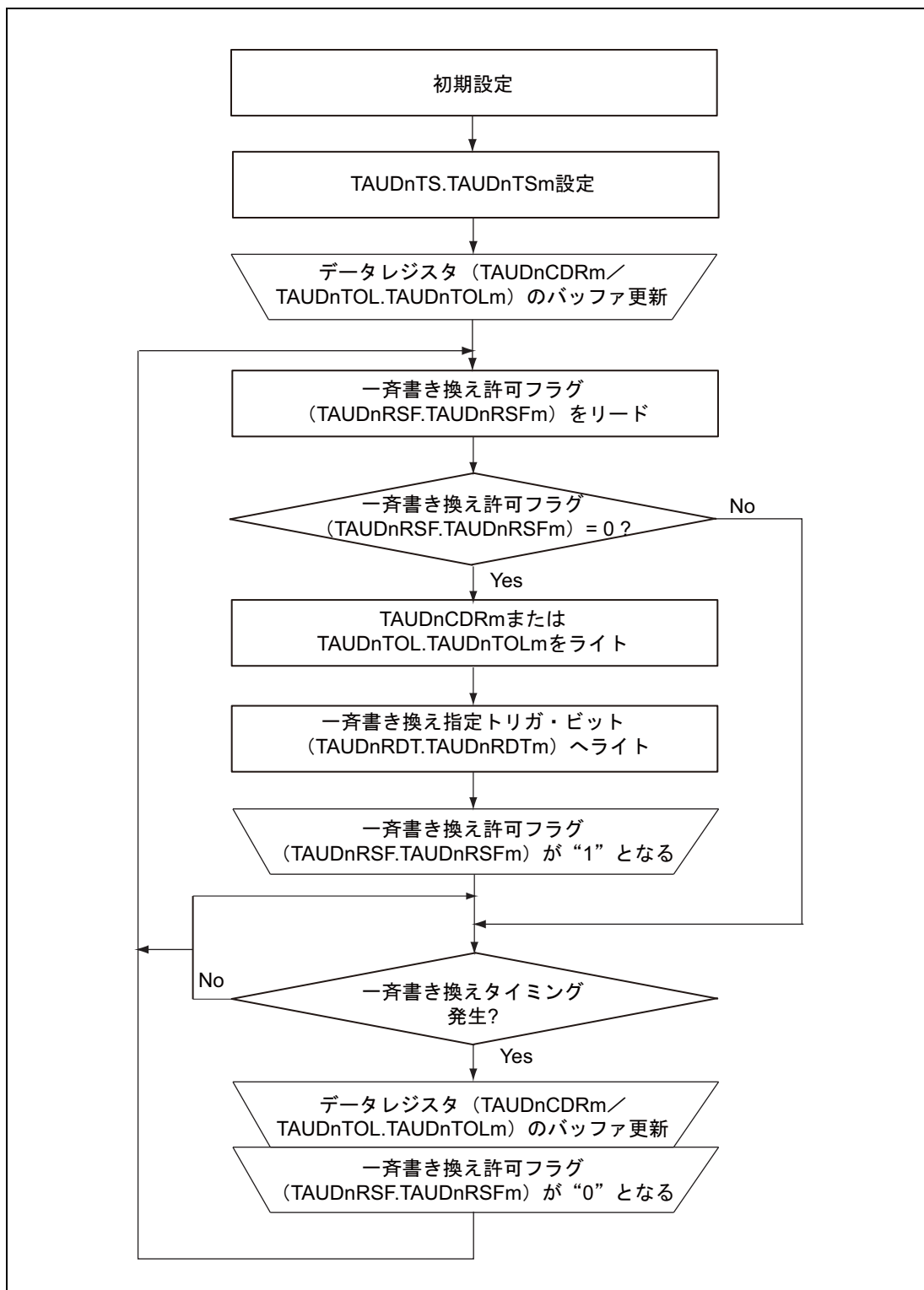


図 17.4 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、 $TAUDnRDE.TAUDnRDEm = 1$ を設定してください。
- 一斉書き換えの種類を選ぶには、 $TAUDnRDM.TAUDnRDMm$ と $TAUDnRDS.TAUDnRDSm$ を「表 17.41 一斉書き換え方法とトリガタイミング」に示す値に設定してください。
- $TAUDnRDC.TAUDnRDCm$ で、一斉書き換えトリガ生成チャンネルを指定してください (前提：上位チャンネルに $TAUDnRDS.TAUDnRDSm$ が設定されている)。

(2) カウント開始とカウント動作

- チャンネルグループに属するすべての $TAUDnCNTm$ カウンタ動作を開始するには、対応する $TAUDnTS.TAUDnTSm$ ビットを“1”に設定してください。 $TAUDnTOL.TAUDnTOLm$ とデータレジスタ ($TAUDnCDRm$) の値は、対応する $TAUDnTOL.TAUDnTOLm$ バッファ ($TAUDnTOL.TAUDnTOLm\ buf$) とデータバッファレジスタ ($TAUDnCDRm\ buf$) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット ($TAUDnRDT.TAUDnRDTm$) を“1”に設定することにより、リロードフラグ ($TAUDnRSF.TAUDnRSFm$) が“1”に設定され、一斉書き換えが許可されます。 $TAUDnRSF.TAUDnRSFm$ は一斉書き換えが完了するまで“1”のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 ($TAUDnRSF.TAUDnRSFm = 1$) されているかを確認するために $TAUDnRSF.TAUDnRSFm$ ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えが許可 ($TAUDnRSF.TAUDnRSFm = 1$) され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、 $TAUDnRSF.TAUDnRSFm$ ビットは“0”に設定され、システムは次の一斉書き換えトリガを待ちます。

17.4.3.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUDnTE.TAUDnTEm = 1) は、TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm、TAUDnRDM.TAUDnRDMm、TAUDnRDC.TAUDnRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUDnTOL.TAUDnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUDnTOL.TAUDnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUDTTOUTm は不正な値を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUDnRDS.TAUDnRDSm = 1)、すべての下位チャンネルは TAUDnRDC.TAUDnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUDnRDC.TAUDnRDCm ビットを“1”に設定し、ほかのチャンネルの TAUDnRDC.TAUDnRDCm ビットを“0”に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3 ~ CH6 を制御し、CH7 は、下位チャンネル CH8 ~ CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUDnRDC.TAUDnRDC[15:0] = 0)、一斉書き換えは行いません。

17.4.3.4 一斉書き換えの種類

次に、タイミング図を使用して4つの一斉書き換え方法を説明します。

(1) マスタチャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

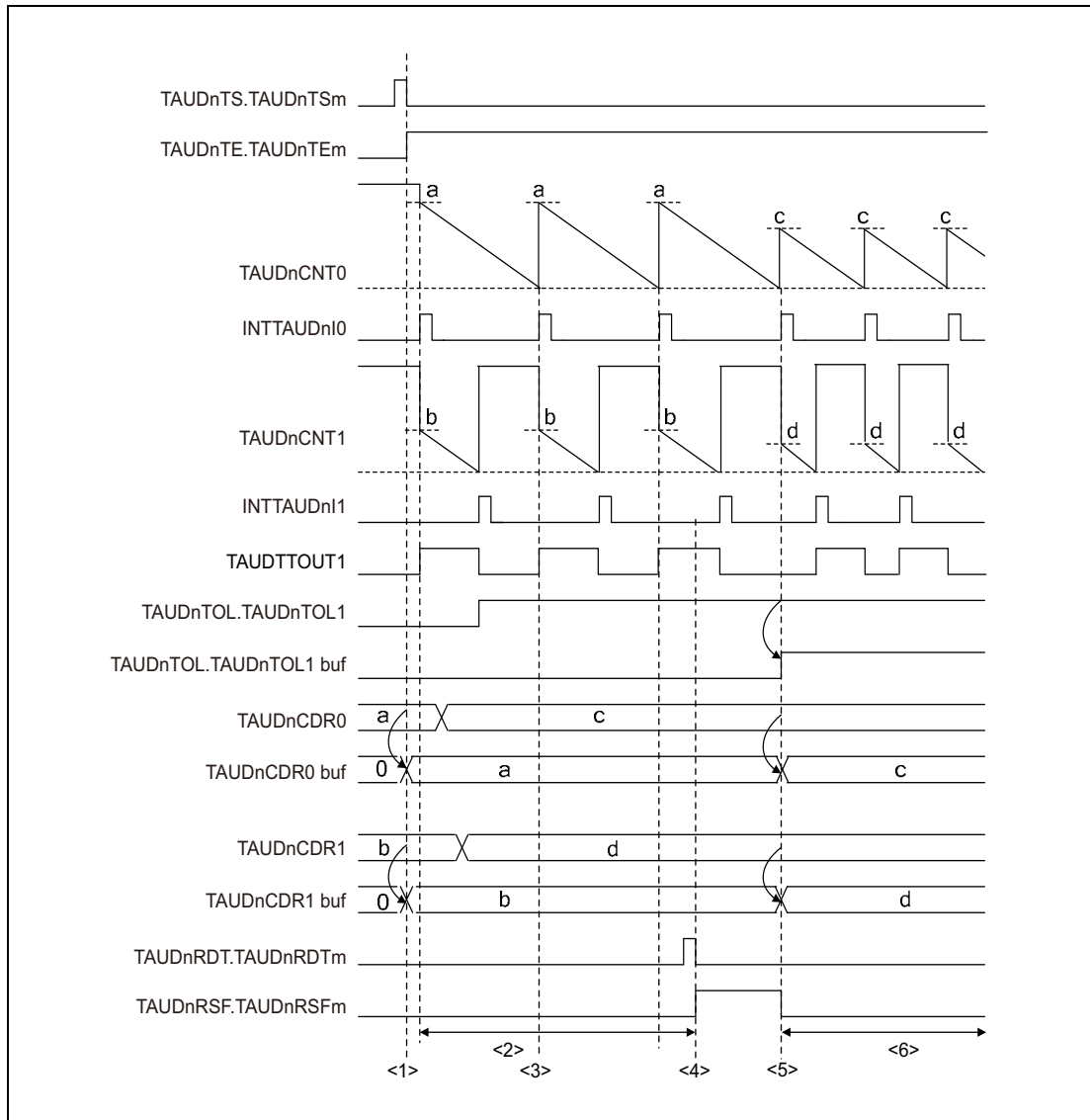


図 17.5 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え

設定

- CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 A が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL.TAUDnTOLm レジスタは常に書き込めます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。

- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えが許可されているため、CH0のカウンタ再開時に一斉書き換えが発生します。TAUDnCDRmの値はTAUDnCDRmバッファに、TAUDnTOL.TAUDnTOLmの値はTAUDnTOL.TAUDnTOLmバッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRmとTAUDnTOL.TAUDnTOLmの値は再変更できます。

(2) スレーブチャンネルの三角波周期の [山] のタイミングで一斉書き換え (方法 B)

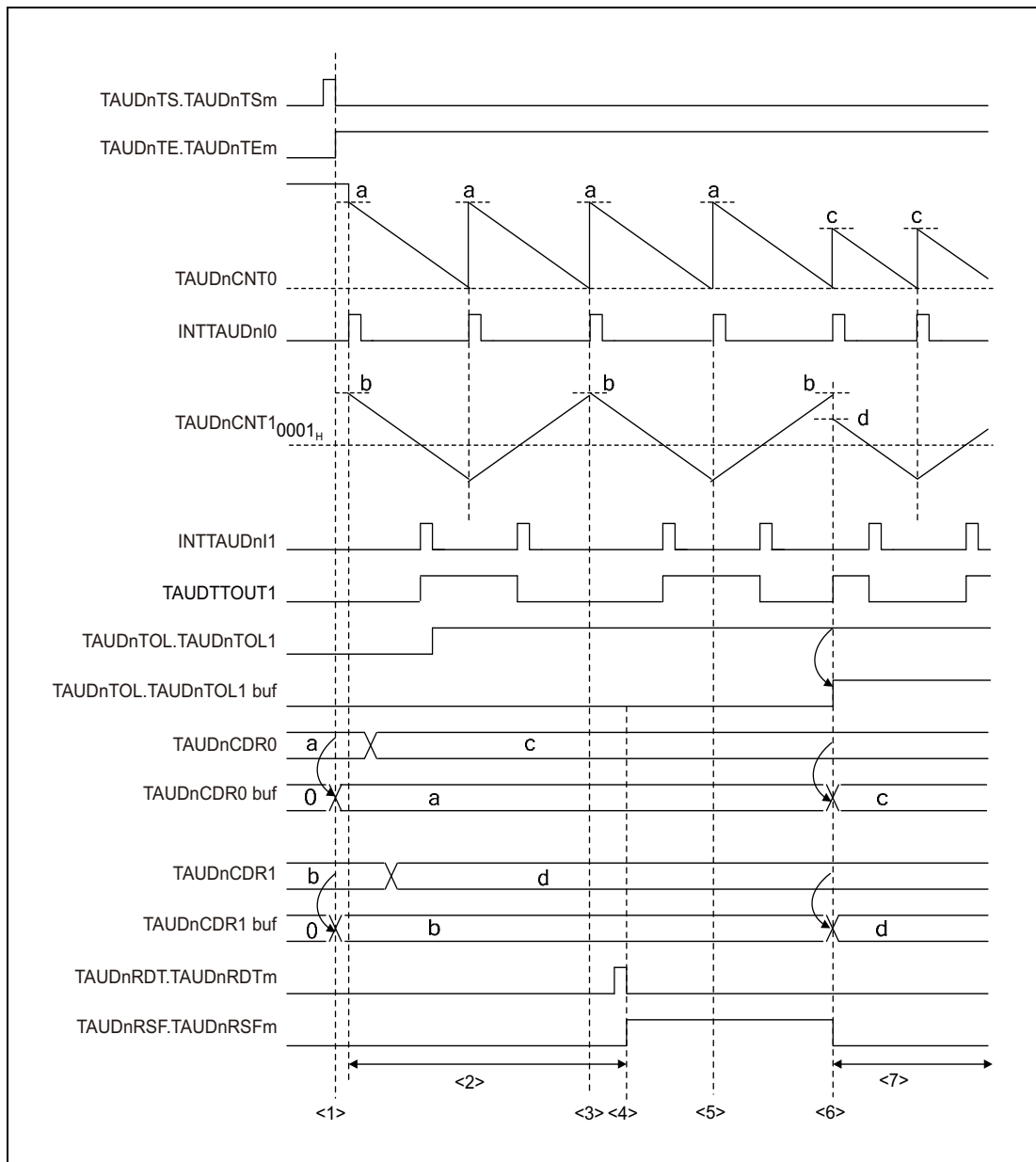


図 17.6 スレーブチャンネルの三角波周期の [山] のタイミングで一斉書き換え

設定

- CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 B が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL レジスタは常に書き込めます。
- (3) 一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。

- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。
- (6) 一斉書き換えは、三角波周期の [山] のスタートタイミングで行われます。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。
- (7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

(3) TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C1)

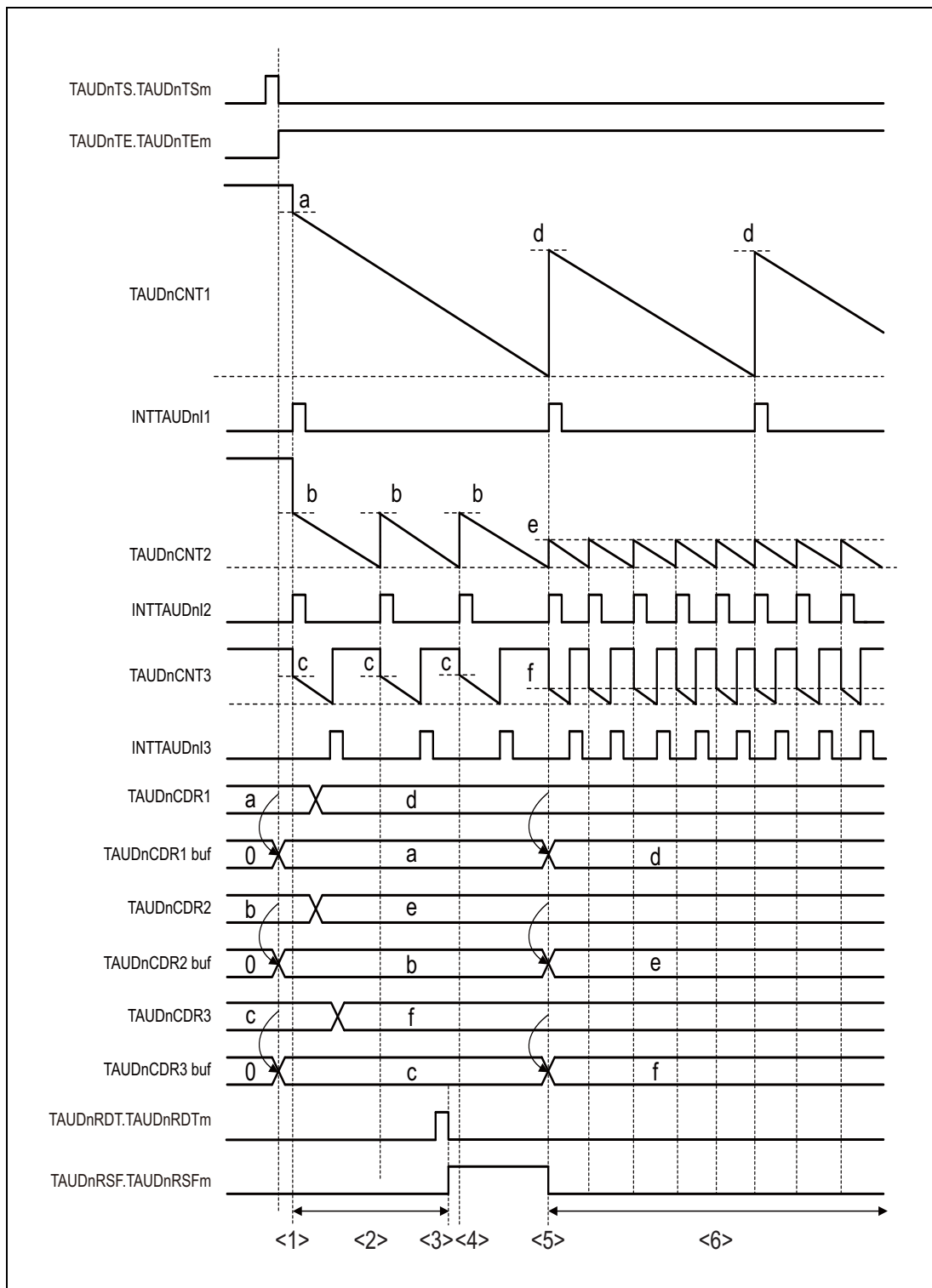


図 17.7 TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウンカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。一斉書き換え方法 C1 が適用されます。TAUDnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm レジスタは常に書き込めます。
- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUDnCDRm の値は対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

(4) 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C2)

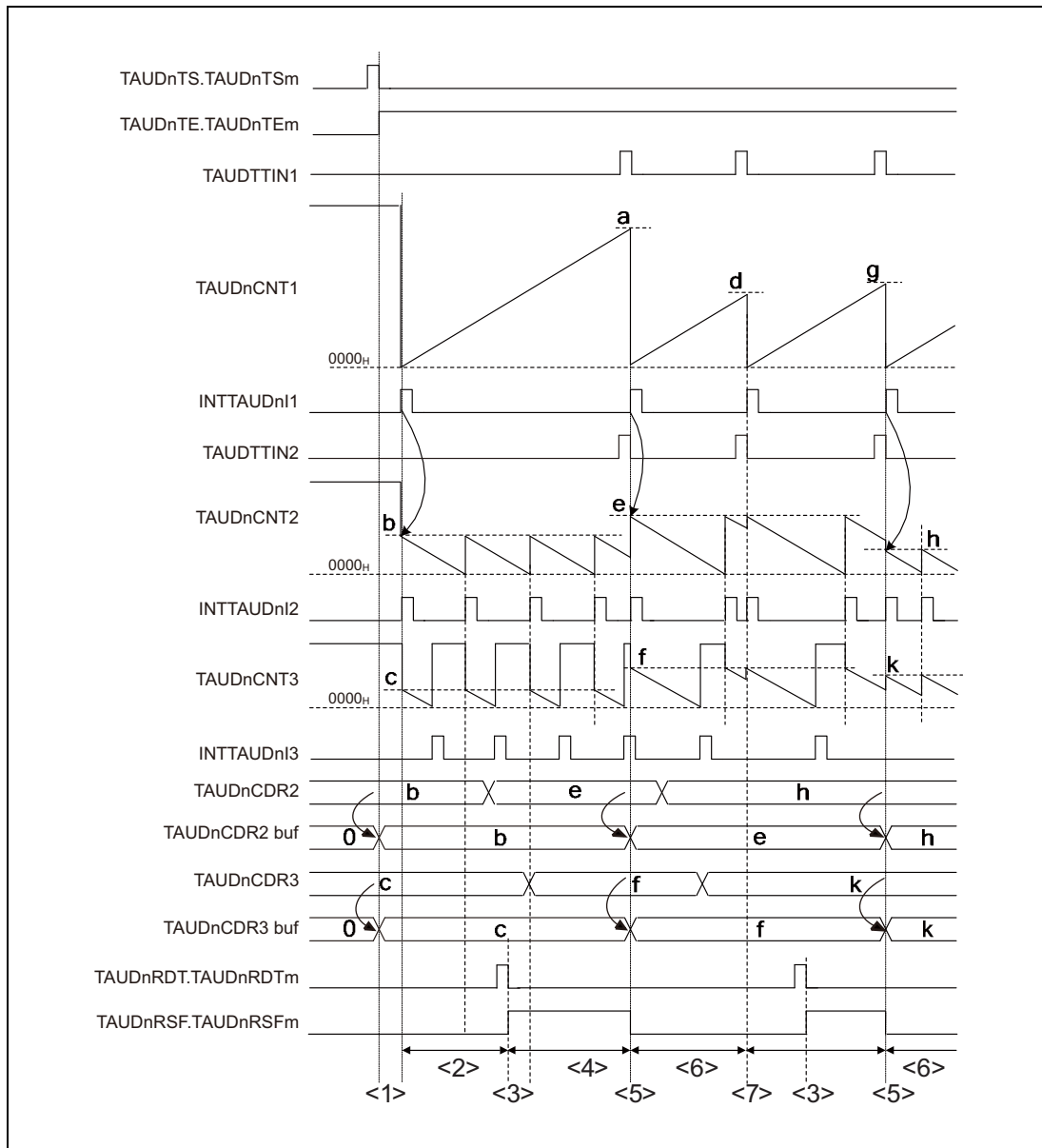


図 17.8 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、アップカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。チャンネル連動動作方法 C2 が適用されます。TAUDnRDC レジスタは、INTTAUDnIm トリガにてモニタする上位チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。ただし、TAUDnCDR1 はキャプチャモードのため、TAUDnCDR1 の値が TAUDnCDR1 バッファにコピーされません。
- (2) TAUDnCDRm レジスタは常に書き込めます。

- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1”に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUDnCDRm の値は、対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。
- (7) TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない (TAUDnRSF.TAUDnRSFm = 0) ため行われません。

17.4.4 チャネル出力モード

TAUDTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUDnTOE.TAUDnTOEm = 0)
ソフトウェアで制御した場合、出力レジスタビット (TAUDnTO.TAUDnTOm) に書き込んだ値は、出力端子 (TAUDTTOUTm) に転送されます。
- TAUD 信号による制御 (TAUDnTOE.TAUDnTOEm = 1)
TAUD 信号で制御した場合、TAUDTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUDTTOUTm の値を反映するために、TAUDnTO.TAUDnTOm の値は更新されます。
 - 単体制御 (TAUDnTOM.TAUDnTOMm = 0)
単体動作の場合、TAUDTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUDnTOM.TAUDnTOMm = 0) する必要があります。
 - 連動制御 (TAUDnTOM.TAUDnTOMm = 1)
連動動作の場合、TAUDTTOUTm 端子の出力は、チャンネル m とそのほかのチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUDnTOM.TAUDnTOMm = 1)。

TAUDnTO.TAUDnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUDTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 17.43 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 「17.4.4.2 TAUDn 信号により単体制御されるチャンネル出力モード」
- 「17.4.4.3 TAUDn 信号により連動制御されるチャンネル出力モード」

TAUDnTOm ビットの一括操作

TAUDnTOm ビットへの設定値の反映/非反映は、TAUDnTOE.TAUDnTOEm ビットにより制御されます。

TAUDnTO レジスタにライトしたときに、TAUDnTOE.TAUDnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUDnTOm の設定値の書き込みが行われます。

TAUDnTOE.TAUDnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUDnTOm の設定値は反映されません。

備考

TAUDnTO.TAUDnTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUDnTOL.TAUDnTOLm で指定します。

TAUDnTOL.TAUDnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUDnTOL.TAUDnTOLm を変更すると、TAUDTTOUTm 信号の出力は不定になります。

「17.4.3 一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 17.43 に示します。

表 17.43 チャンネル出力モード

チャンネル出力モード	TAUDn TOE. TOEm	TAUDn TOM. TOMm	TAUDn TOC. TOCm	TAUDn TDE. TDEm	TAUDn TRE. TREM	TAUDn TME. TMEm	TAUDn TDM. TDMm
ソフトウェア制御							
ソフトウェア制御のチャンネル単体出力モード	0				X		
TAUD 信号による単体動作制御							
チャンネル単体出力モード 1	1	0	0	0	0	0	0
リアルタイム出力を行うチャンネル単体出力モード 1					1		
チャンネル単体出力モード 2			1		0		
TAUD 信号による連動動作制御							
チャンネル連動出力モード 1	1	1	0	0	0	0	0
非相補方式変調出力を行うチャンネル連動出力モード 1					1	X	
チャンネル連動出力モード 2			1	0	0	0	0
デッドタイム出力を行うチャンネル連動出力モード 2				1			
1相 PWM 出力を行うチャンネル連動出力モード 2							1
相補方式変調出力を行うチャンネル連動出力モード 2					1	1	0
非相補方式変調出力を行うチャンネル連動出力モード 2			1	0			

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備考

1. 次のビットは、カウント動作中 (TAUDnTE.TAUDnTEm = 1) は変更できません。
 - TAUDnTOE.TAUDnTOEm
 - TAUDnTOM.TAUDnTOMm
 - TAUDnTOC.TAUDnTOCm
 - TAUDnTDE.TAUDnTDEm
 - TAUDnTRE.TAUDnTREm
 - TAUDnTDM.TAUDnTDMm
2. 次のビットは、変調出力を行うチャンネル出力モードを除き、カウント動作中 (TAUDnTE.TAUDnTEm = 1) は変更できません。
 - TAUDnTME.TAUDnTMEm
 - TAUDnTDL.TAUDnTDLm

17.4.4.1 チャンネル出力モードを指定するための基本手順

TAUDTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUDnTOE.TAUDnTOEm = 0)。

- (1) TAUDnTO.TAUDnTOm を設定して TAUDTTOUTm 出力の初期レベルを指定してください。
- (2) 「表 17.43 チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUDnTOL.TAUDnTOLm ビットで出力論理を設定してください。
- (3) カウンタのカウントを開始してください (TAUDnTS.TAUDnTSM = 1)。

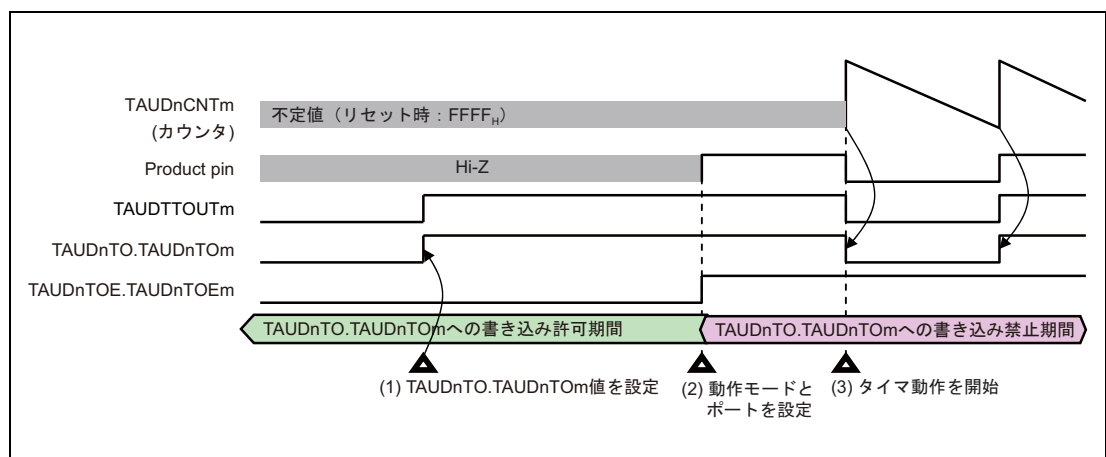


図 17.9 TAUDTTOUTm チャンネル出力モードを指定するための基本手順

17.4.4.2 TAUDn 信号により単体制御されるチャンネル出力モード

この節では、TAUDn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 17.43 チャンネル出力モード」に示します。

(1) チャンネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUDnIm が検出されると TAUDTTOUTm がトグルされます。TAUDnTOL.TAUDnTOLm の値は無視されます。

前提条件

「表 17.43 チャンネル出力モード」に示す条件以外の条件はありません。

(2) リアルタイム出力を行うチャンネル単体出力モード 1

この出力モードでは、トリガチャンネルの TAUDnTRO.TAUDnTROm ビットが TAUDTTOUTm に出力されます。トリガチャンネルは、対応する TAUDnTRC.TAUDnTRCm ビットを“1”に設定することで指定します。トリガチャンネルは、TAUDnTRC.TAUDnTRCm = 0 が設定されているすべての下位チャンネルを制御します。

セット/リセット条件

TAUDnTRO.TAUDnTROm ビットの値は、トリガチャンネルで INTTAUDnIm 割り込みが発生した場合にのみ TAUDTTOUTm に転送されます。INTTAUDnIm 割り込みは、次のいずれかの場合に発生します。

- 指定した周期
- 有効な TAUDTTINm 入力エッジ、またはカウント開始の検出

トリガの種類は、TAUDnCMORm.TAUDnMD[4:1] ビットで設定します。

前提条件

マスタチャンネルおよびスレーブチャンネルは、ともにトリガ生成チャンネルとして設定できます。TAUDnTRC.TAUDnTRCm を“1”に設定したチャンネルは、TAUDnTRE.TAUDnTREM の値にかかわらずトリガ生成チャンネルとして動作します。

上位チャンネルの TAUDnTRC.TAUDnTRCm に“1”を設定したチャンネルが上位にない場合、または TAUDnTRC.TAUDnTRC0 = 0 を設定したチャンネルは、リアルタイム出力を行いません。

これを図 17.10 に示します。

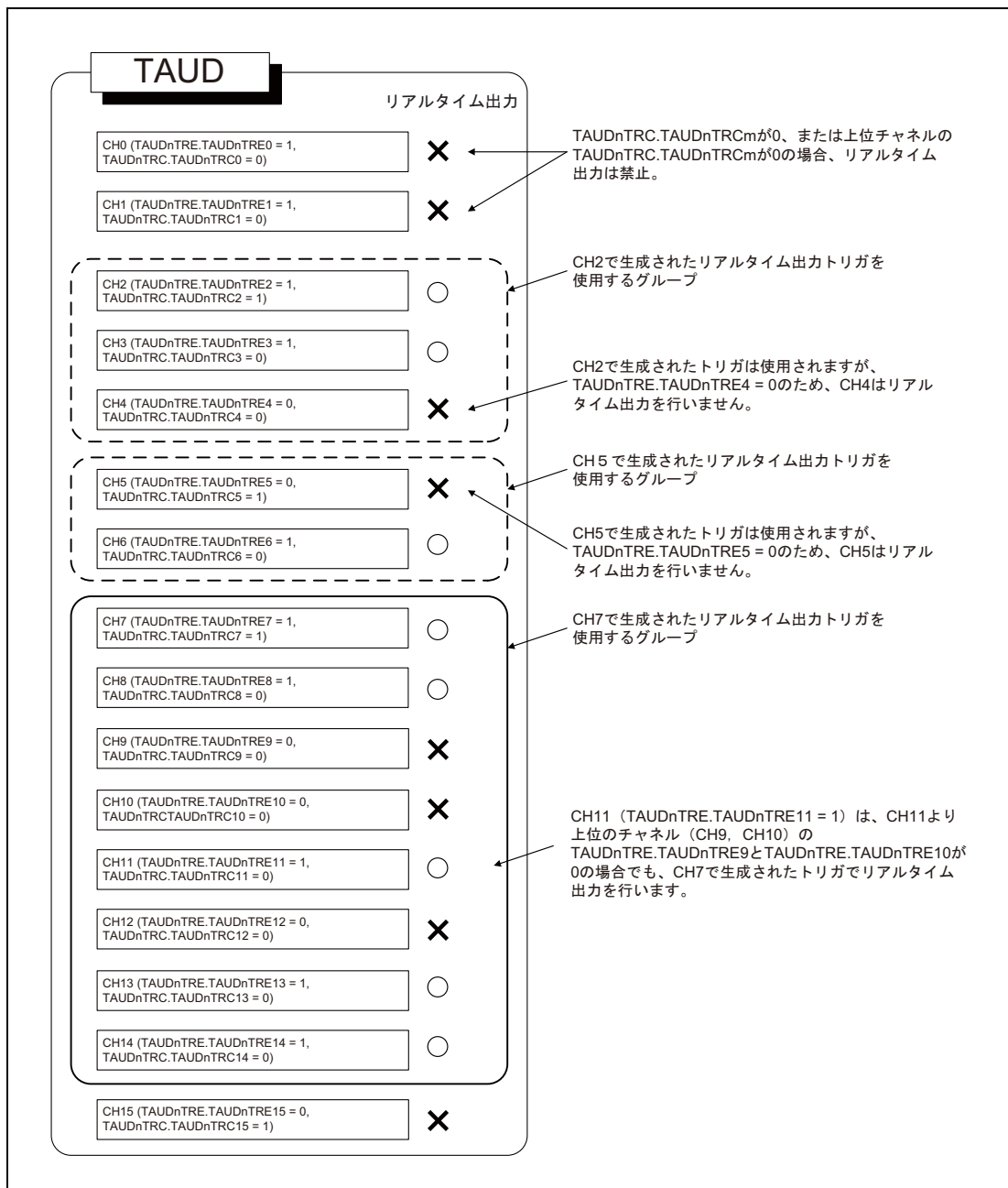


図 17.10 リアルタイム出力

(3) チャンネル単体出力モード 2

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、カウント開始の INTTAUDnIm 発生でセット、TAUDnCNTm と TAUDnCDRm の一致による INTTAUDnIm 発生でリセットされます。

前提条件

「表 17.43 チャンネル出力モード」に示す条件以外の条件はありません。

17.4.4.3 TAUDn 信号により連動制御されるチャンネル出力モード

この節では、TAUDn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 17.43 チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUDnIm がセット信号、スレーブチャンネルの INTTAUDnIm がリセット信号となります。マスタチャンネルの INTTAUDnIm とスレーブチャンネルの INTTAUDnIm が同時発生した場合、スレーブチャンネルの INTTAUDnIm (リセット信号) は、マスタチャンネルの INTTAUDnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 17.43 チャンネル出力モード」に示す条件以外の条件はありません。

(2) 非相補方式変調出力を行うチャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、あるチャンネルの PWM 出力とリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 間の AND 演算の結果を出力します。

デッドタイムが付加される位相は、正相位相の場合は $TAUDnTDL.TAUDnTDLm = 0$ 、逆相位相の場合は $TAUDnTDL.TAUDnTDLm = 1$ を設定してください。

前提条件

PWM 出力を生成するには 3 つ以上のチャンネル 1 組が必要です。マスタチャンネルとスレーブチャンネル 1 は周期を生成し、スレーブチャンネル 2 はデューティサイクルを生成します。代表的なアプリケーションでは、スレーブチャンネル 2 と同様に動作するスレーブチャンネルをさらに 5 つ使用します。

同じチャンネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEem を変更した場合、TAUDnTME.TAUDnTMEem の新しい値は、指定したチャンネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEem と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、マスタチャンネルで INTTAUDnIm が検出されたときに適用されます。

(3) チャネル連動出力モード2

この出力モードでは、動作モードをアップ/ダウンカウントモードに設定する必要があります。その結果、TAUDDTOUTm より三角波 PWM が出力されます。詳細は「17.4.12.7 三角波 PWM 出力機能」を参照してください。

セット/リセット条件

スレーブチャンネルの TAUDnCNTm は、アップ/ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUDDTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには2つで1組のチャンネルが必要です。TAUDDTOUTm は、機能を開始する前に“0”に設定する必要があります。

(4) デッドタイム出力を行うチャンネル連動出力モード2

この出力モードでは、TAUDDTOUTm にデッドタイム遅延が付加されます。セット/リセット条件を図 17.11 に示します。

セット/リセット条件

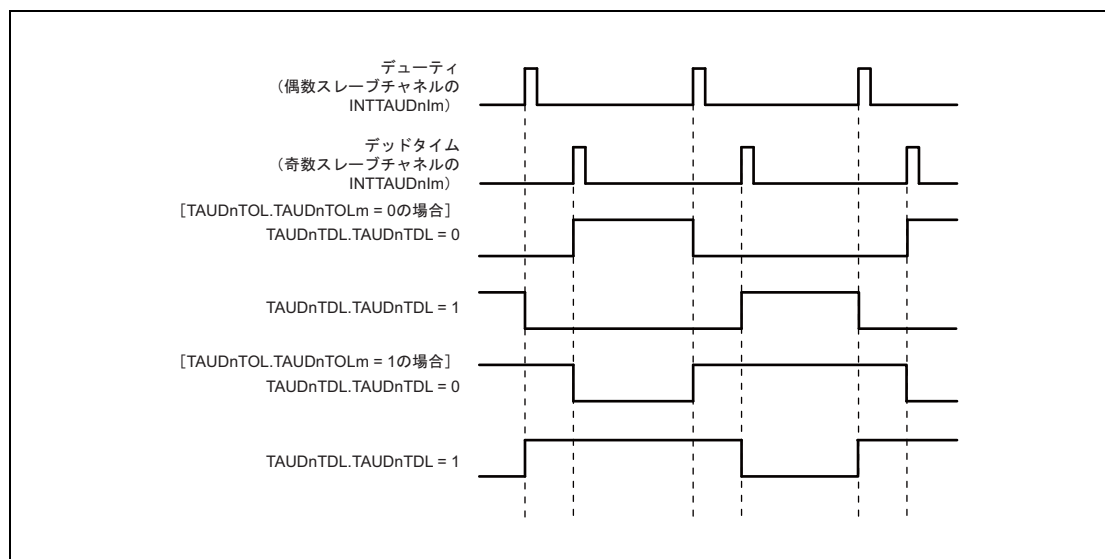


図 17.11 デッドタイム出力を行うチャンネル連動出力モード2のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタチャンネル
マスタチャンネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャンネル
偶数スレーブチャンネルは、アップ/ダウンカウントモードに設定する必要があります。

- 奇数スレーブチャンネル (偶数チャンネル+1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEEm
- TAUDnTRE.TAUDnTREEm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

(5) 1相PWM出力を行うチャンネル連動出力モード2

この出力モードでは、TAUDTTOUTmにデッドタイム遅延が付加されます。セット/リセット条件を図17.12に示します。

セット/リセット条件

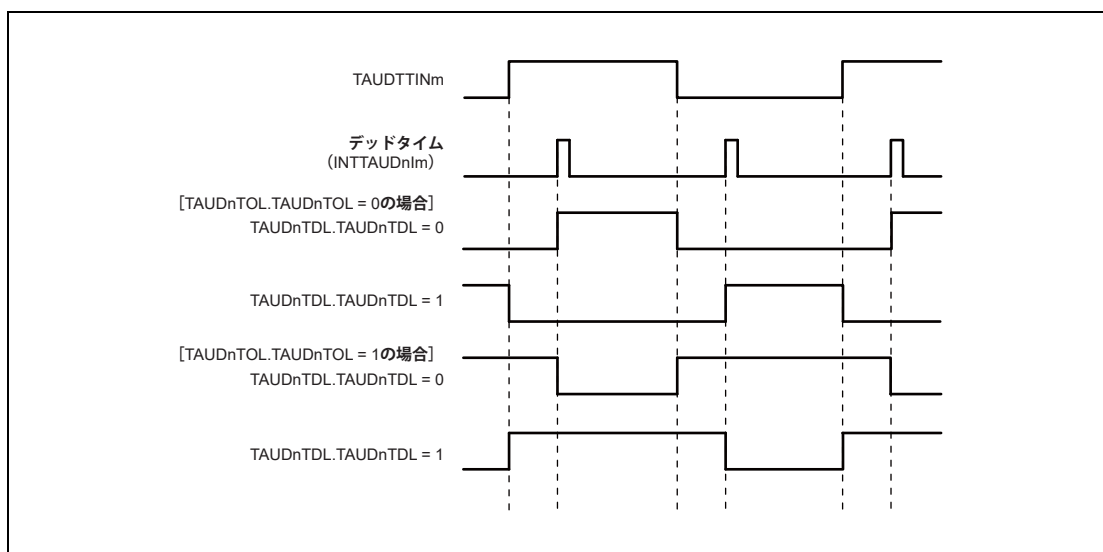


図 17.12 1相PWM出力を行うチャンネル連動出力モード2のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

1相PWM出力を制御するには、2つで1組のチャンネルが必要です。

- 偶数スレーブチャンネル
- 奇数スレーブチャンネル (偶数チャンネル+1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm

- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

(6) 相補方式変調出力を行うチャンネル連動出力モード2

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEm)、出力レベルビット (TAUDnTOL.TAUDnTOLm) の値に応じてPWM信号、ハイレベル信号、またはロウレベル信号を出力します。

詳細は「17.4.13.3 相補方式変調出力機能」を参照してください。

前提条件

このモードでは、4つ以上のチャンネル1組が必要です。マスタチャンネルとスレーブチャンネル1は周期を生成し、スレーブチャンネル2はデューティサイクルを生成し、スレーブチャンネル3はデッドタイムを生成します。スレーブチャンネル2とスレーブチャンネル3は2つで1組です。代表的なアプリケーションでは、チャンネル2、チャンネル3と同様に動作するスレーブチャンネルをさらに4つ使用します。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEm を動作中に変更した場合、TAUDnTME.TAUDnTMEm の新しい値は、指定したチャンネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEm と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、偶数スレーブチャンネルで INTTAUDnIm が検出されたときに適用されます。

(7) 非相補方式変調出力を行うチャンネル連動出力モード2

非相補方式変調出力を行うチャンネル連動出力モード1とはPWM波形が異なります。

モード1では矩形波ですが、モード2では三角波です。

17.4.5 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUDnTS.TAUDnTSm を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

17.4.5.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモード

TAUDnTS.TAUDnTSm が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

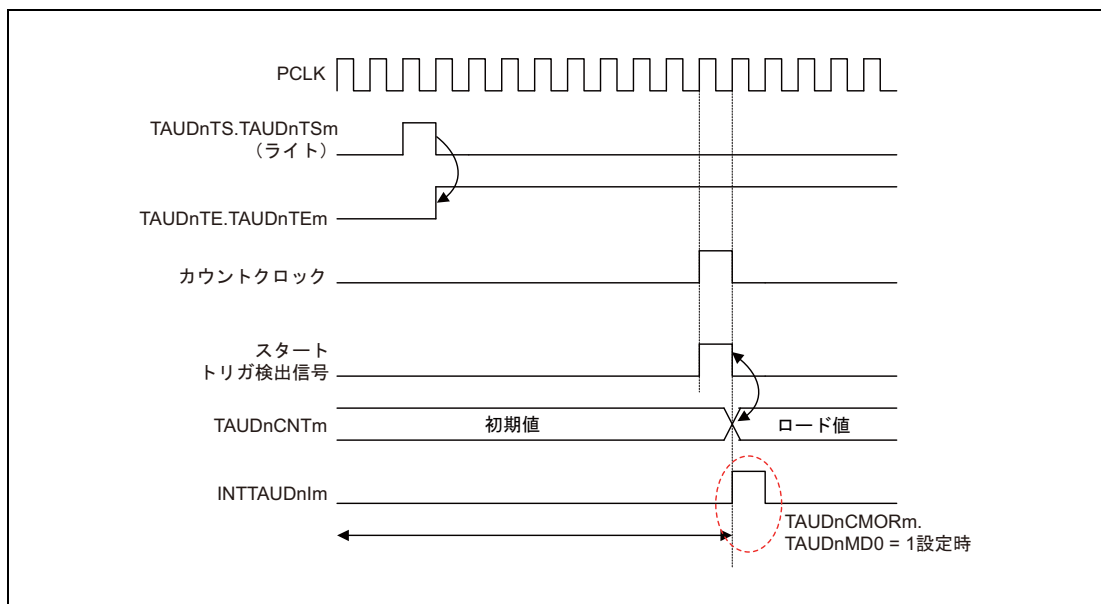


図 17.13 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備 考

アップ/ダウンカウントモード時は、必ず TAUDnCMORm.TAUDnMD0 = 0 に設定してください。

17.4.5.2 イベントカウントモード

TAUDnTS.TAUDnTSMが“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウンタクロックサイクルの開始時にデクリメントされます。

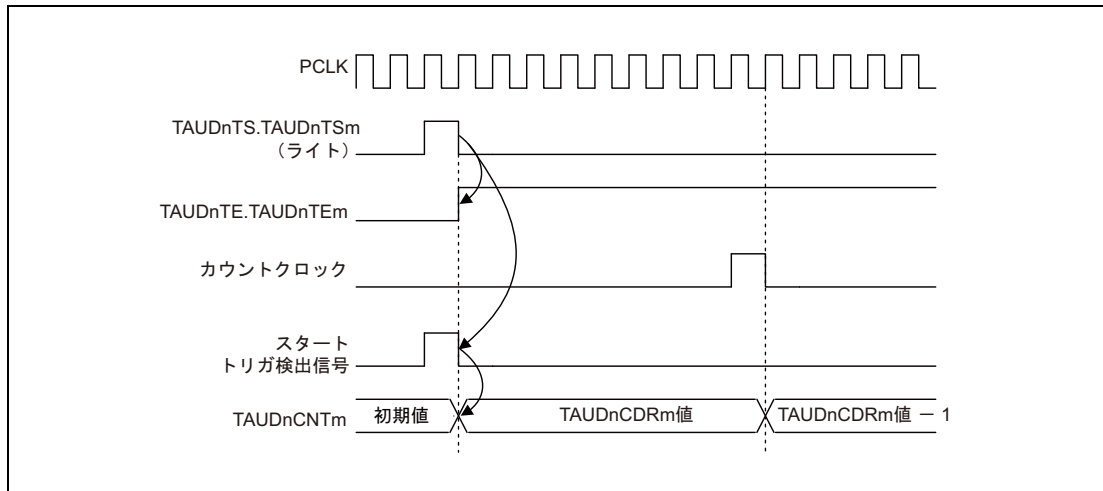


図 17.14 イベントカウントモード時の開始タイミング

17.4.5.3 その他の動作モード

その他の動作モードでは、カウンタクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUDTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウンタクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

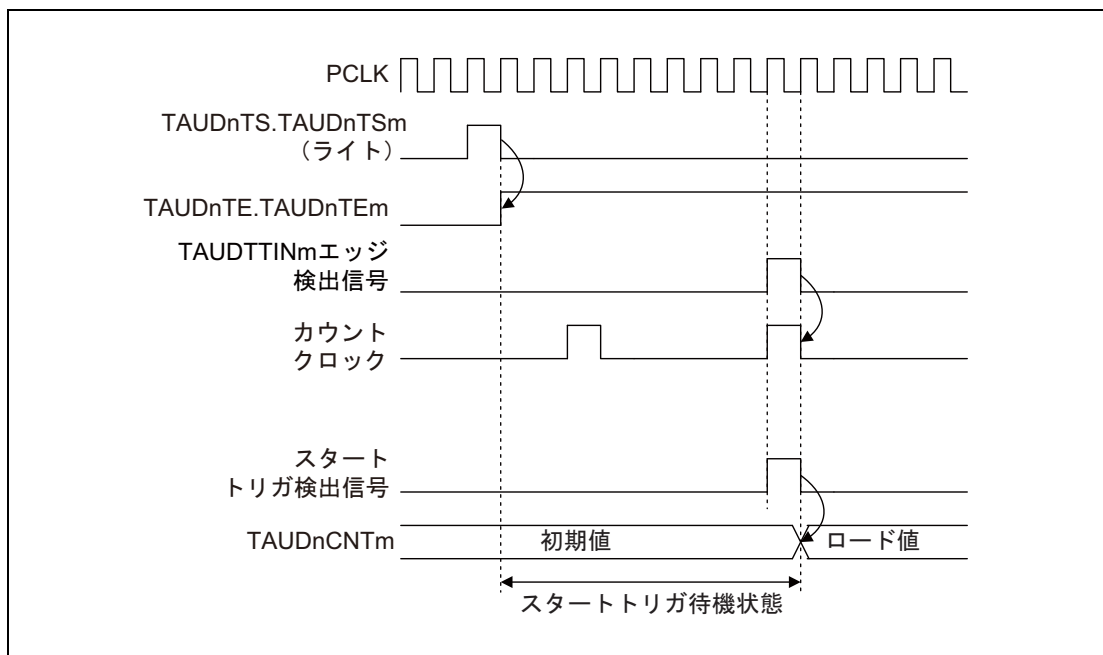


図 17.15 その他の動作モードでのカウント開始タイミング

17.4.6 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成

カウンタのカウント開始時、TAUDnCMORm.TAUDnMD0 ビットで INTTAUDnIm を発生するかしないかを指定できます。表 17.44 に示すように、ビットの影響は、選択したモードに依存します。INTTAUDnIm の TAUDTTOUTm に対する影響は、選択したチャンネル動作機能に依存します。

表 17.44 カウンタがトリガされた場合の TAUDnCMORm.TAUDnMD0 ビットの INTTAUDnIm 発生に対する影響

モード	TAUDnCMORm.TAUDnMD0 ビット	カウント開始時の INTTAUDnIm 発生
インターバルタイマモード キャプチャモード カウントキャプチャモード	0	発生しない
	1	発生
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード イベントカウントモード アップ/ダウンカウントモード	0	発生しない
ワンカウントモード	0/1	TAUDnCMORm.TAUDnMD0 ビットの設定にかかわらず発生しない
パルスワンカウントモード		TAUDnCMORm.TAUDnMD0 ビットの設定にかかわらず発生

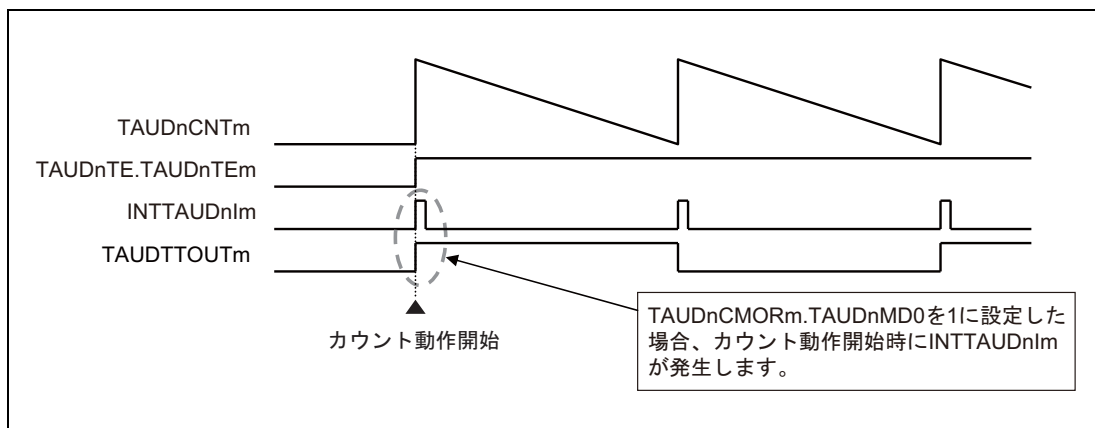


図 17.16 カウント開始時の INTTAUDnIm 発生

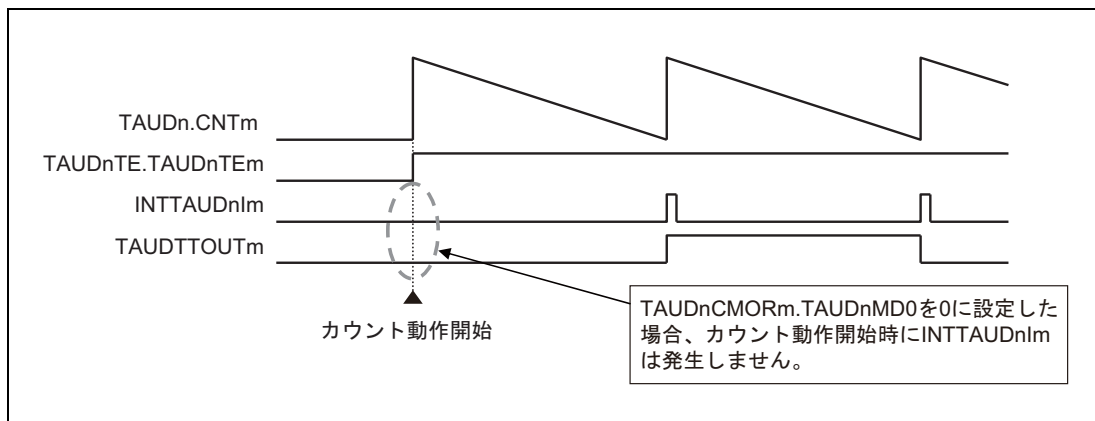


図 17.17 カウント開始時に INTTAUDnIm が発生しない

17.4.7 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します ($TAUDnCNTm = FFFF_H$)。
- セカンドチャネルの $TAUDnCDRm$ を $FFFF_H$ に設定します。
- 2つのチャネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。

結果：

ファーストチャネルのアップカウンタでのオーバフロー発生 ($TAUDnCNTm = FFFF_H$) と同時にセカンドチャネルのダウンカウンタが 0000_H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

17.4.7.1 カウントキャプチャモード

適用機能

- $TAUDTTINm$ 入力位置検出機能

組み合わせるモード

インターバルタイマモード

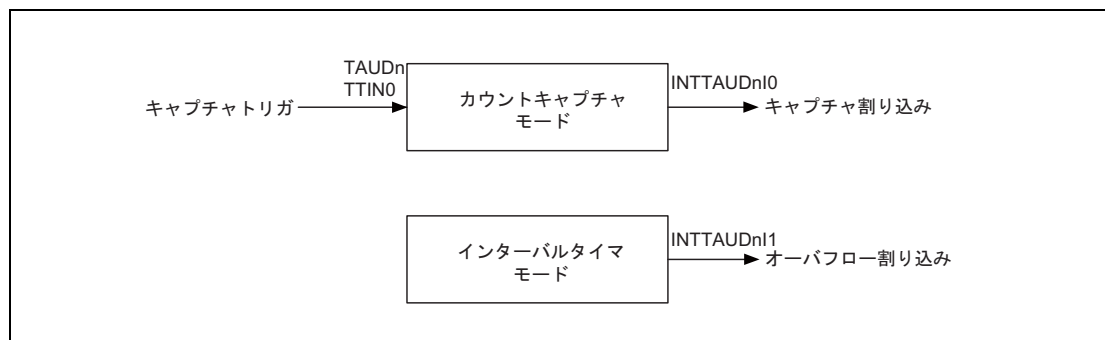


図 17.18 カウントキャプチャモードとインターバルタイマモードの組み合わせ

タイミング図

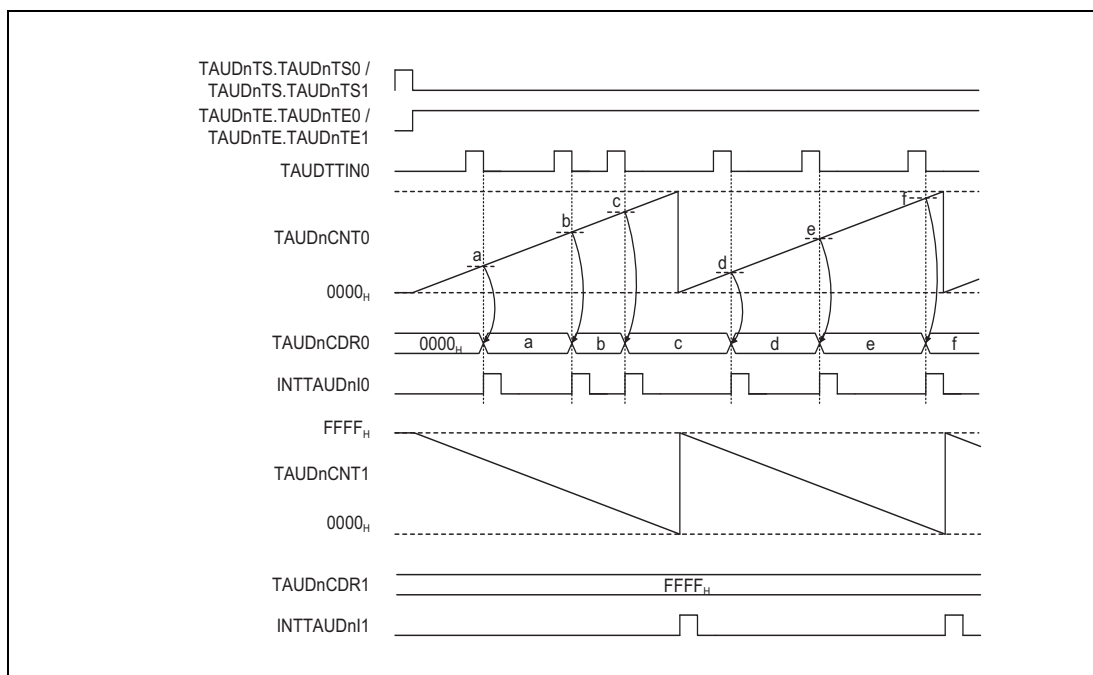


図 17.19 カウントキャプチャモードとインターバルタイマモードの組み合わせによる割り込み発生

17.4.8 TAUDTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを図 17.20 に示します。

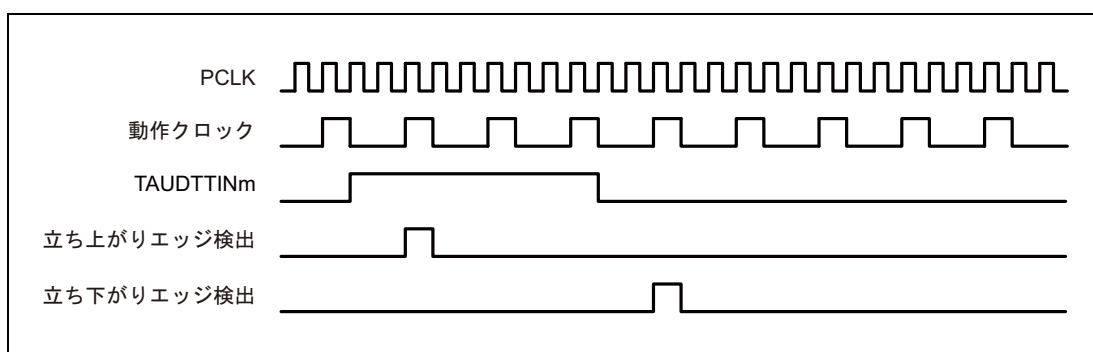


図 17.20 エッジ検出基本動作タイミング

図 17.20 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

17.4.9 チャネル単体動作機能

TAUD の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は、「17.2 概要」を参照してください。

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

- 「17.4.9.1 インターバルタイマ機能」
- 「17.4.9.2 TAUDTTINm 入力インターバルタイマ機能」
- 「17.4.9.3 クロック分周機能」
- 「17.4.9.4 外部イベントカウント機能」
- 「17.4.9.5 デレイカウント機能」
- 「17.4.9.6 ワンパルス出力機能」
- 「17.4.9.7 TAUDTTINm 入力パルスインターバル測定機能」
- 「17.4.9.8 TAUDTTINm 入力信号幅測定機能」
- 「17.4.9.9 TAUDTTINm 入力位置検出機能」
- 「17.4.9.10 TAUDTTINm 入力期間カウント検出機能」
- 「17.4.9.11 TAUDTTINm 入力パルスインターバル判定機能」
- 「17.4.9.12 TAUDTTINm 入力信号幅判定機能」

17.4.9.1 インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUDnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 17.45 インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照)。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「17.4.4 チャネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEM = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEM は“0”に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSM を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は、「17.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) 算出式

INTTAUDnIm の周期 = カウントクロック周期 × (TAUDnCDRm + 1)

TAUDTTOUTm の矩形波周期 = カウントクロック周期 × (TAUDnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

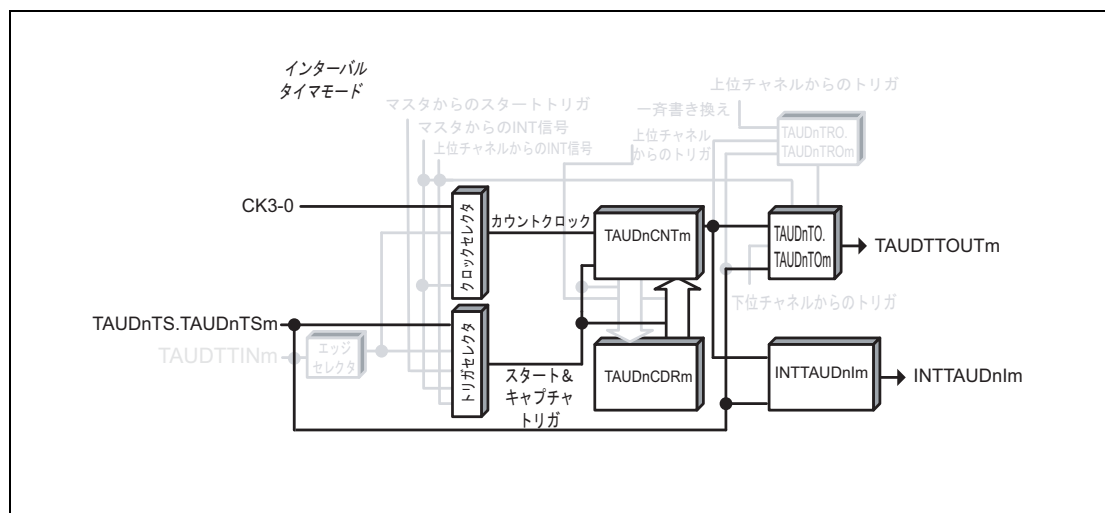


図 17.21 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

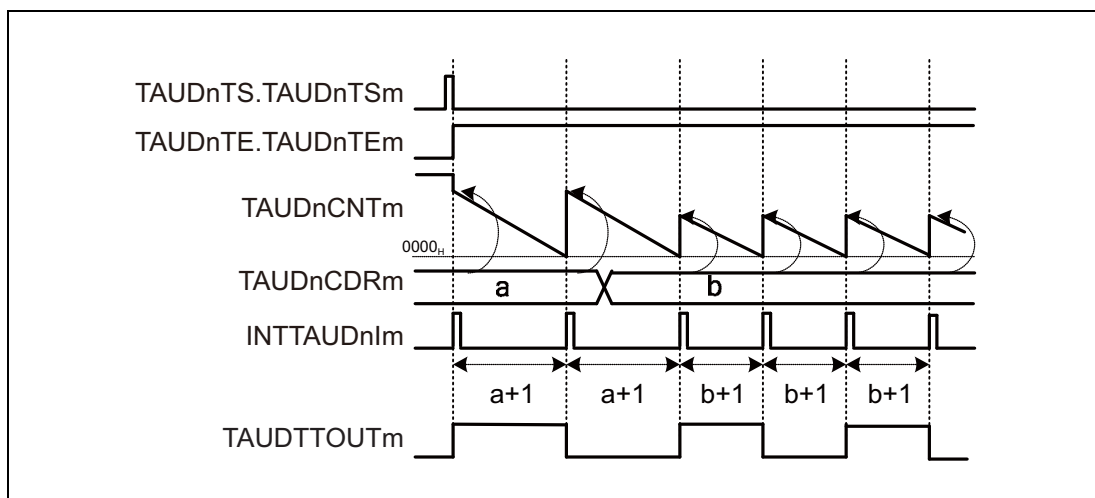


図 17.22 インターバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.45 インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	サンプリングクロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：サンプリングクロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.46 インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

表 17.47 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

備考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTmを割り込みとは独立させて制御することができます。詳細は「17.4.4 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.48 インターバルタイマ機能の一斉書き換え設定

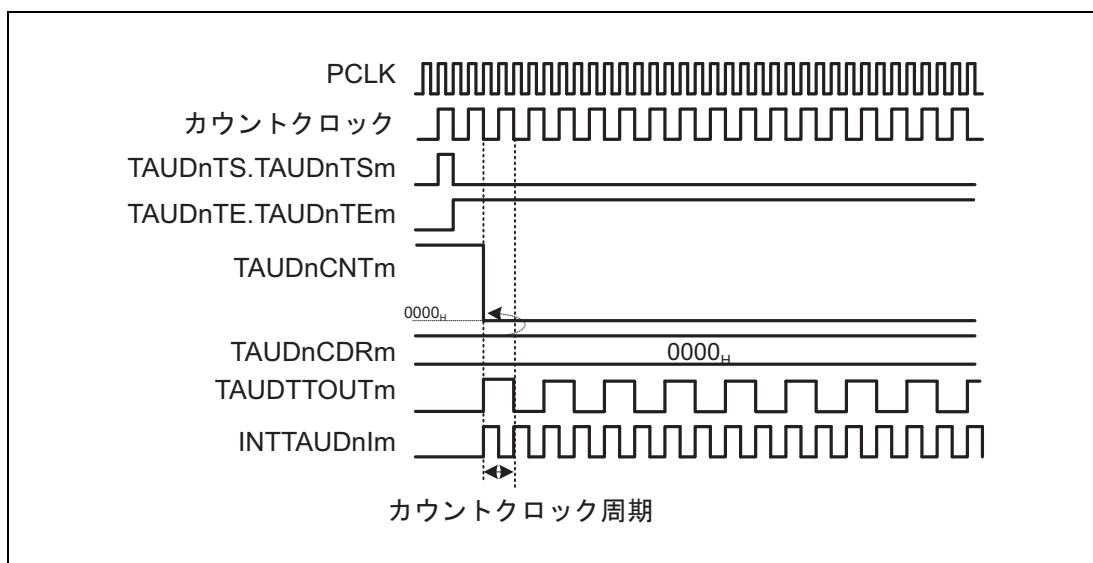
ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) インターバルタイマ機能の操作手順

表 17.49 インターバルタイマ機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを「表 17.45 インターバルタイマ機能のTAUDnCMORm レジスタの内容」、表 17.46 インターバルタイマ機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 17.47 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値をTAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
	動作中 TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUDnCDRmの値をTAUDnCNTmにロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm とTAUDTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUDnCDRm = 0000_H、カウントクロック = PCLK/2図 17.23 TAUDnCDRm = 0000_H、カウントクロック = PCLK/2

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK/2¹ の場合、カウントクロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

(b) TAUDnCDRm = 0000_H、カウントクロック = PCLK

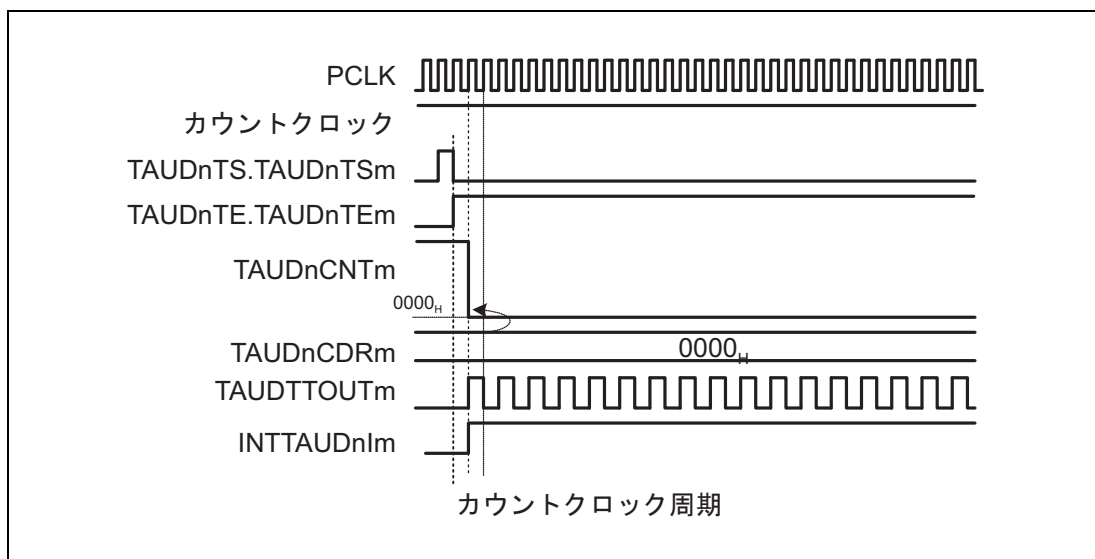


図 17.24 TAUDnCDRm = 0000_H、カウントクロック = PCLK

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- 継続的に INTTAUDnIm が発生し、PCLK クロックごとに TAUDTTOUTm がトグルされます。

(c) 動作の停止と再開

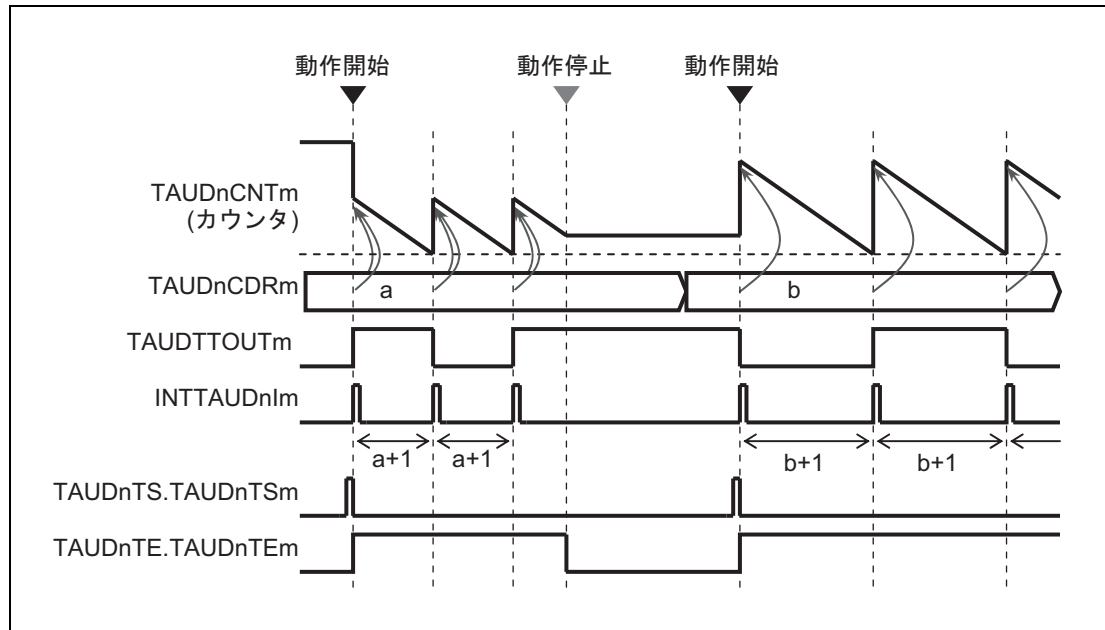


図 17.25 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 1)

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

(d) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1)

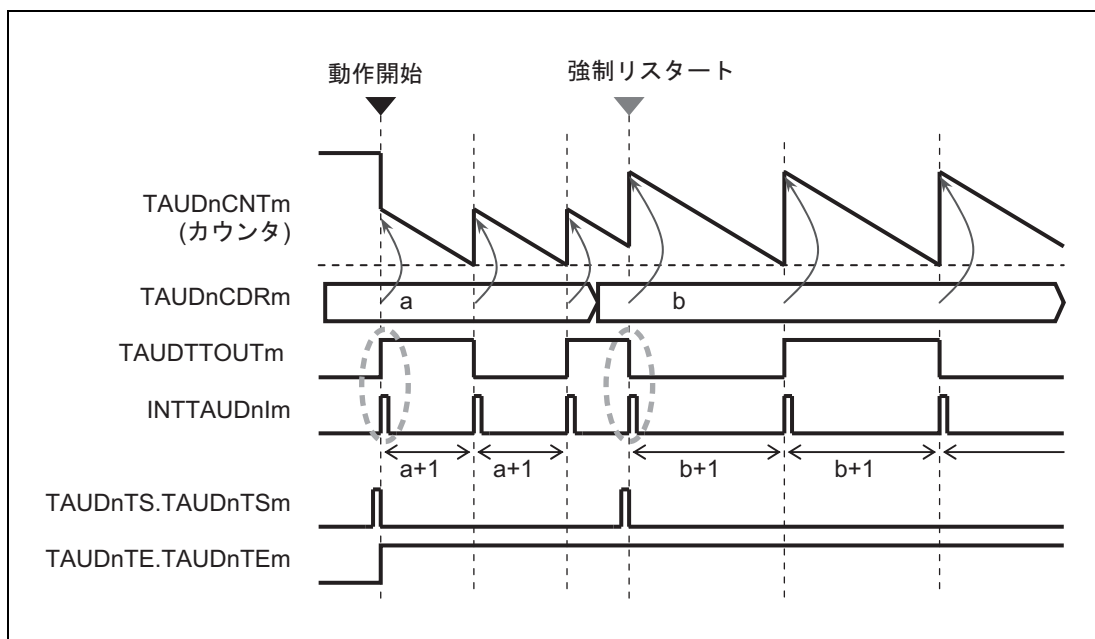


図 17.26 強制リスタート動作 (TAUDnCMORm.TAUDnMD0 = 1)

- カウント中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUDnCMORm.TAUDnMD0 ビットが “1” に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUDnCDRm の値は、TAUDnCNTm に反映されて、カウントを開始します。変更した TAUDnCDRm の値を即時反映させる場合は、強制リスタートをしてください。
- 強制リスタート時は、割り込み (INTTAUDnIm) が発生し、TAUDTTOUTm が反転します。

(7) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 0)

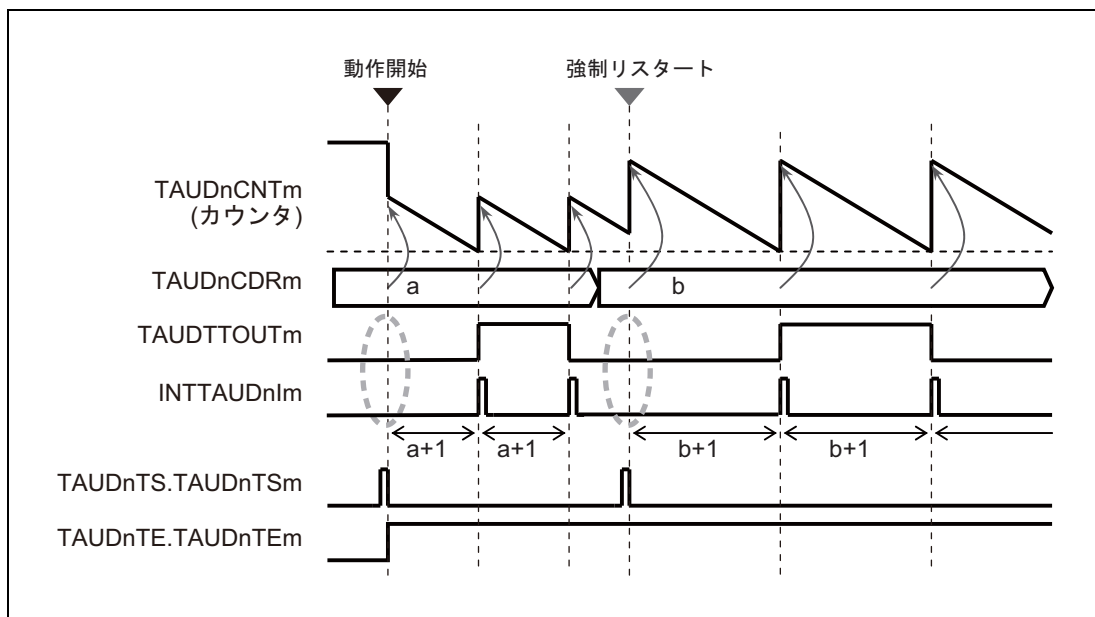


図 17.27 強制リスタート動作 (TAUDnCMORm.TAUDnMD0 = 0)

- 強制リスタート時は、割り込み (INTTAUDnIm) が発生しません。TAUDTTOUTm も反転しません。

17.4.9.2 TAUDTTINm 入インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔または有効な TAUDTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUDnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 17.50 TAUDTTINm 入インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「17.4.4 チャンネル出力モード」を参照してください。

機能説明

この機能は、有効な TAUDTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します (「17.4.9.1 インターバルタイマ機能」参照)。トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUDnIm の周期 = カウントクロック周期 × (TAUDnCDRm + 1)

TAUDTTOUTm の矩形波周期 = カウントクロック周期 × (TAUDnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

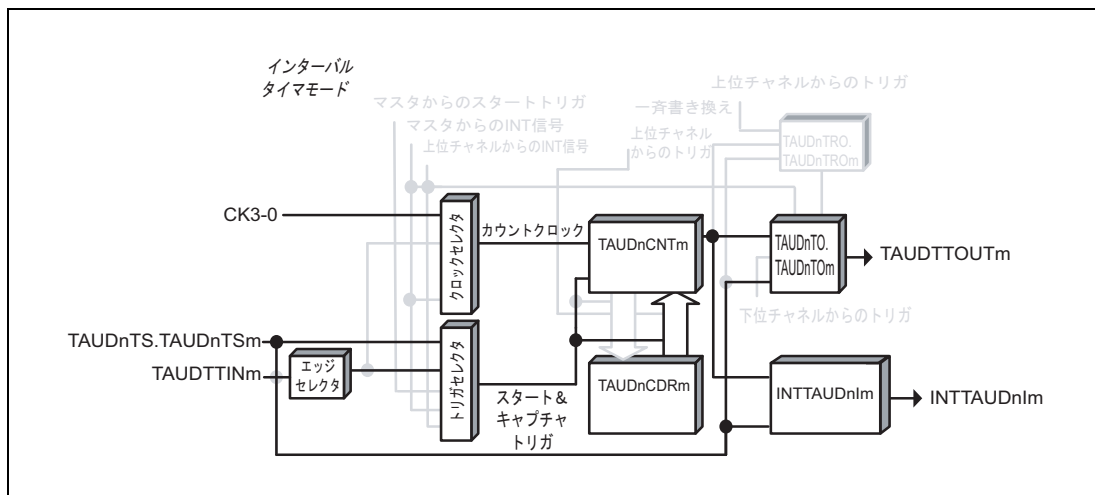


図 17.28 TAUDTTINm 入インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

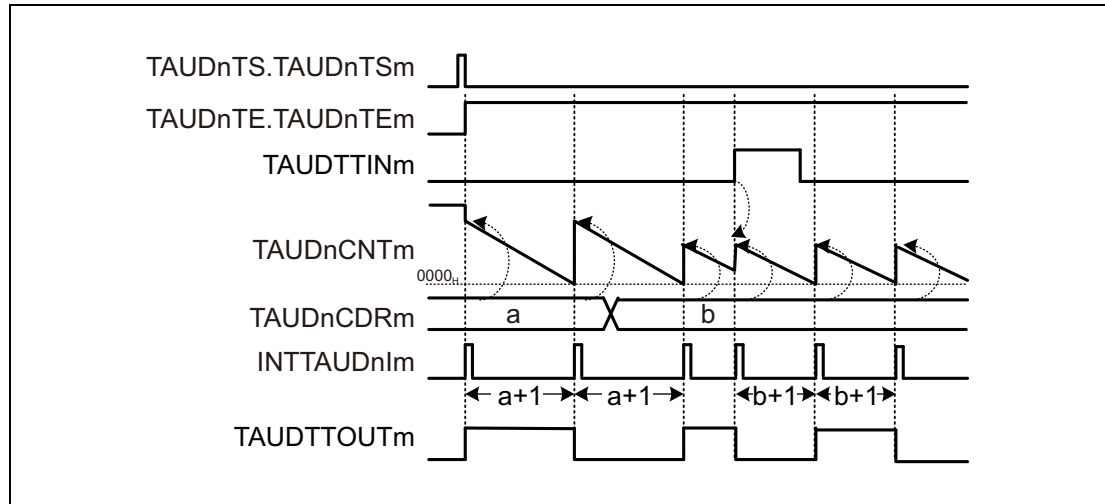


図 17.29 TAUDTTINm 入インターバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.50 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.51 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

表 17.52 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

備考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTmを割り込みとは独立させて制御することができます。詳細は「17.4.4 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.53 TAUDTTINm入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入力インターバルタイマ機能の操作手順

表 17.54 TAUDTTINm 入力インターバルタイマ機能の操作手順

	操作	TAUDn の状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.50 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容」と「表 17.51 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 17.52 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
	動作中 TAUDnCMURm.TAUDnTIS[1:0]、TAUDnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。 TAUDTTINm エッジ検出	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUDnCDRmの値をTAUDnCNTmにロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。 カウント動作中に TAUDTTINm 入力の有効エッジを検出すると、再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

「17.4.9.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUDTTINm 入力エッジを使用することでカウンタを再開することも可能です。

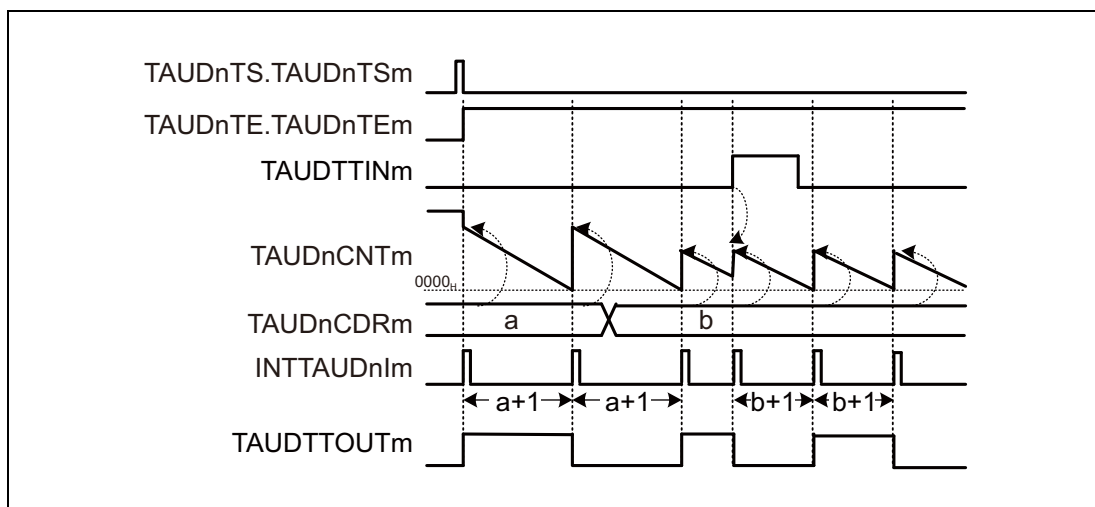


図 17.30 立ち上がり TAUDTTINm 入力エッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)、TAUDnCMORM.TAUDnMD0 = 1 でトリガされたカウンタ

- 有効な TAUDTTINm 入力エッジを検出した場合、TAUDTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B) です。

17.4.9.3 クロック分周機能

(1) 概要

概要

この機能は、周波数の分周に使用します。TAUDTTINm 入力信号の周波数を TAUDnCDRm の係数で分周し、結果として得られる信号を TAUDTTOUTm に出力します。

前提条件

- TAUDTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（「表 17.55 クロック分周機能の TAUDnCMORm レジスタの内容」参照）。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「17.4.4 チャンネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタは TAUDTTINm をカウンタクロックとして使用し、その TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSM を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は「17.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

備考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出カクロックの周期には、動作クロック ± 1 周期分の誤差があります。

(2) 算出式

- 立ち上がりエッジ検出選択時：
 $TAUDTTOUTm \text{ 周波数} = TAUDTTINm \text{ 周波数} / [(TAUDnCDRm + 1) \times 2]$
- 立ち下がりエッジ検出選択時：
 $TAUDTTOUTm \text{ 周波数} = TAUDTTINm \text{ 周波数} / [(TAUDnCDRm + 1) \times 2]$
- 両エッジ検出選択時：
 $TAUDTTOUTm \text{ 周波数} = TAUDTTINm \text{ 周波数} / (TAUDnCDRm + 1)$

(3) ブロック図と基本タイミング図

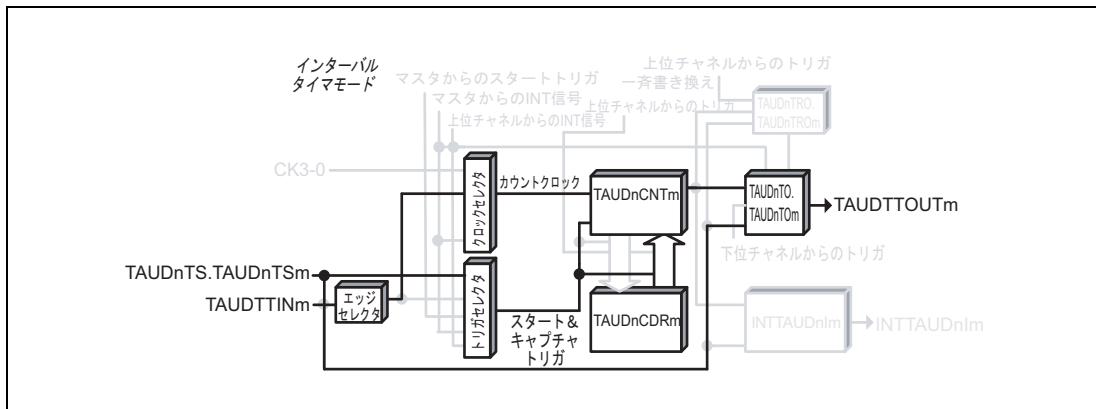


図 17.31 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

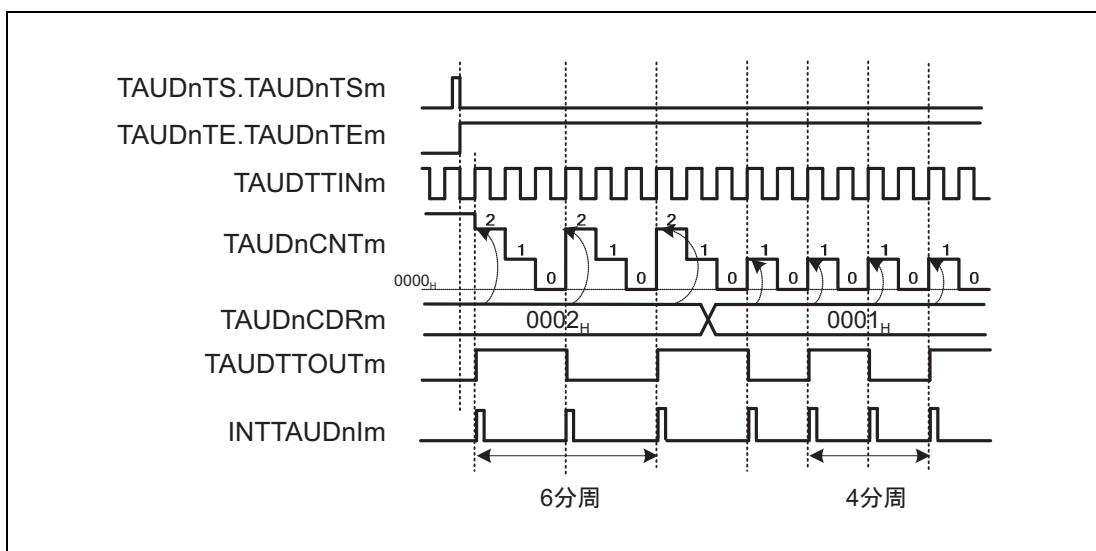


図 17.32 クロック分周機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.55 クロック分周機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.56 クロック分周機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

表 17.57 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.58 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) クロック分周機能の操作手順

表 17.59 クロック分周機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.55 クロック分周機能の TAUDnCMORm レジスタの内容」と「表 17.56 クロック分周機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 17.57 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードします。TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
	動作中 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDTTINm 入力エッジを検出すると、TAUDnCNTm はダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDTTOUTm がトグルされます。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

(6) 特定の設定時のタイミング図

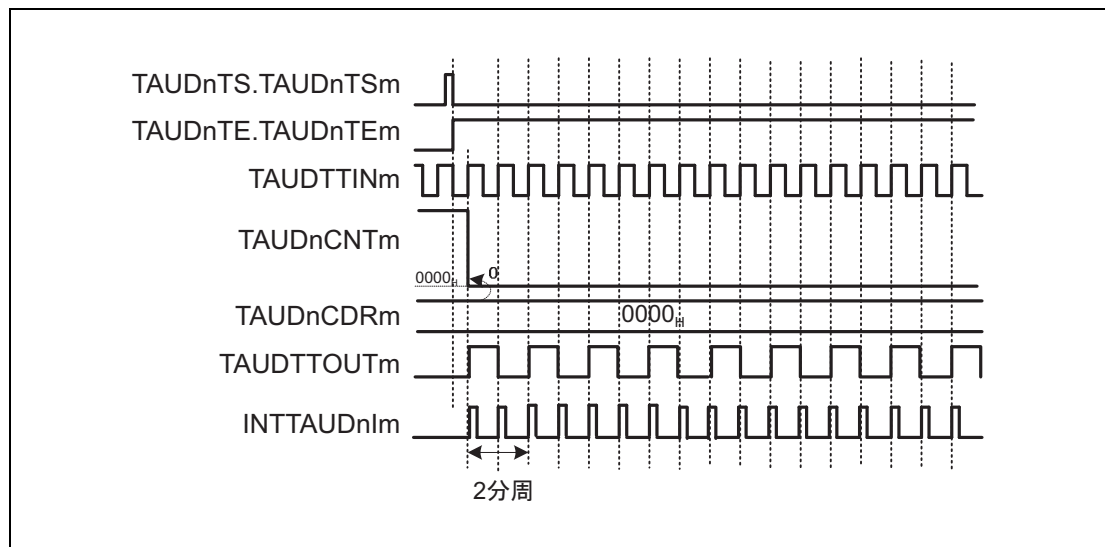
(a) TAUDnCDRm = 0000_H

図 17.33 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1、
TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- TAUDnCDRm が 0000_H ならば、TAUDnCNTm も必ず 0000_H です。
- INTTAUDnIm がカウンタクロックごとに発生するので、TAUDTTOUTm はカウンタクロックごとにトグルされます。

図 17.33 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

(b) 動作再開

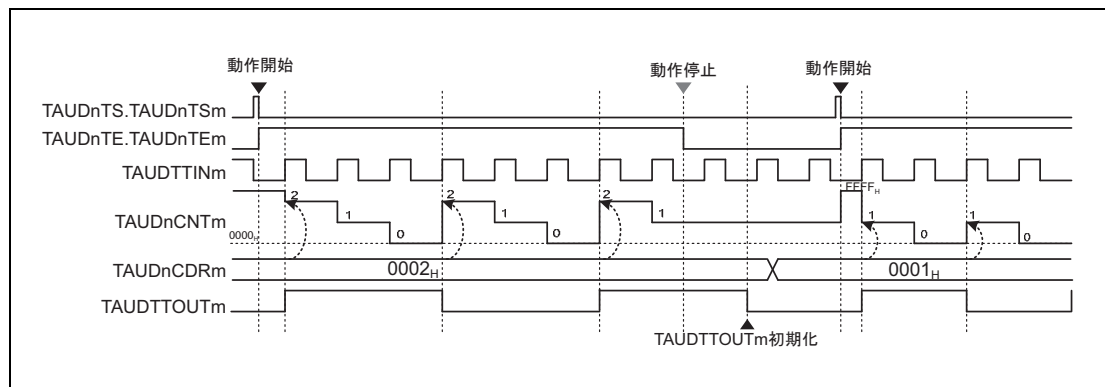


図 17.34 動作再開 (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

TAUDTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時 (TAUDnTE.TAUDnTEm = 0) に TAUDnTOE.TAUDnTOEm = 0 を設定。
- その後、TAUDnTO.TAUDnTOm に “0” または “1” を書き込んで、TAUDTTOUTm の新しいスタート値を設定。

(c) 強制リスタート

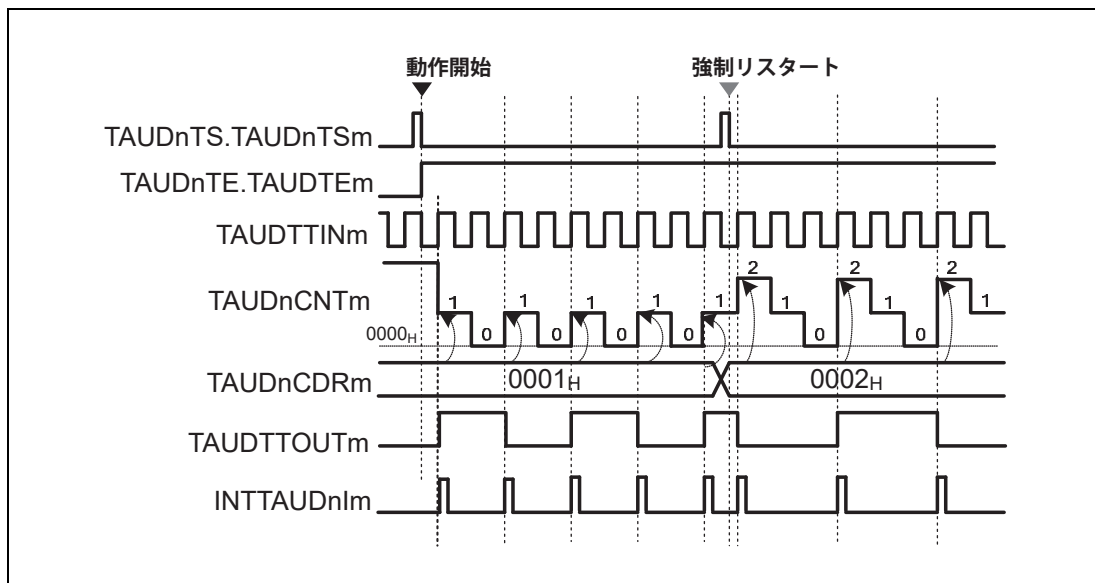


図 17.35 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1、
TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- 動作中に TAUDnTS.TSM = 1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウント動作が再開されます。
- TAUDTTOUTm は、強制リスタート前の出力レベルで動作が再開されます。

17.4.9.4 外部イベントカウント機能

(1) 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUDTTINm 入力パルスが発生すると割り込み (INTTAUDnIm) を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります (「表 17.60 外部イベントカウント機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTOUTm は使用しません。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。

有効な TAUDTTINm 入力エッジを検出すると、TAUDnCNTm 値はデクリメントされます。TAUDnCNTm は、有効な TAUDTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUDnCDRm + 1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタ動作を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B のときは、立ち下がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B のときは、立ち上がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B のときは、両エッジがカウントされます。

(2) 算出式

INTTAUDnIm 発生前に検出される有効エッジ数 = TAUDnCDRm + 1

(3) ブロック図と基本タイミング図

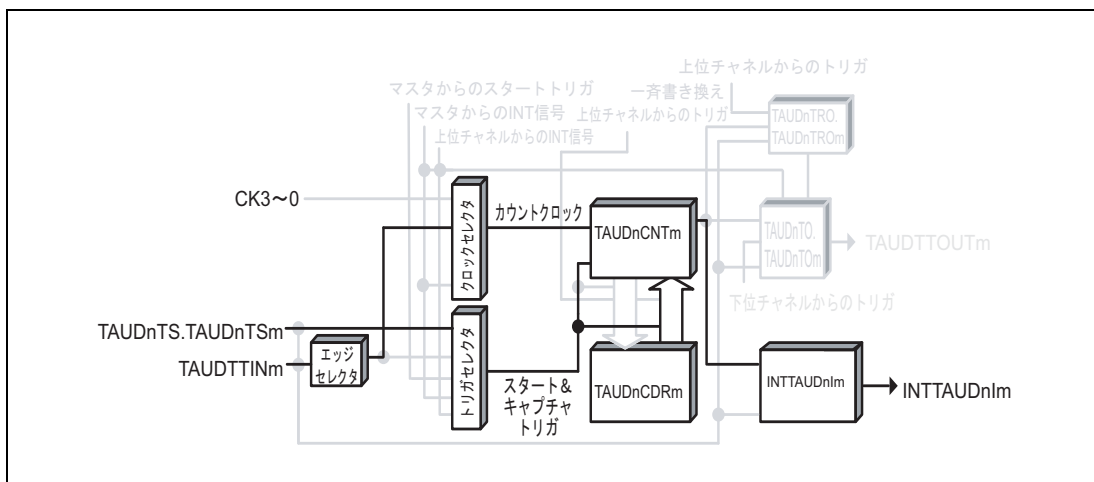


図 17.36 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

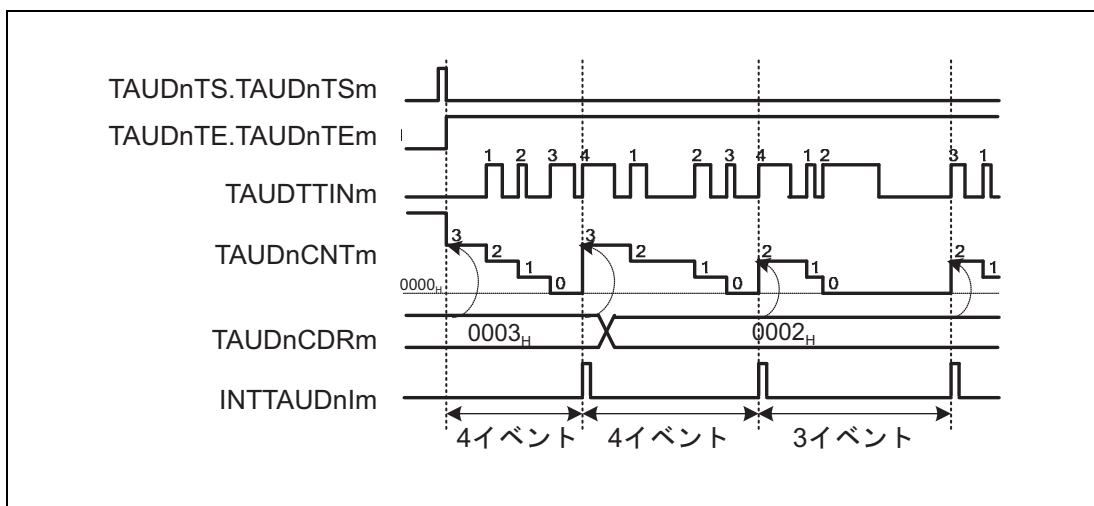


図 17.37 外部イベントカウント機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.60 外部イベントカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.61 外部イベントカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.62 外部イベントカウント機能の一斉書き換え設定

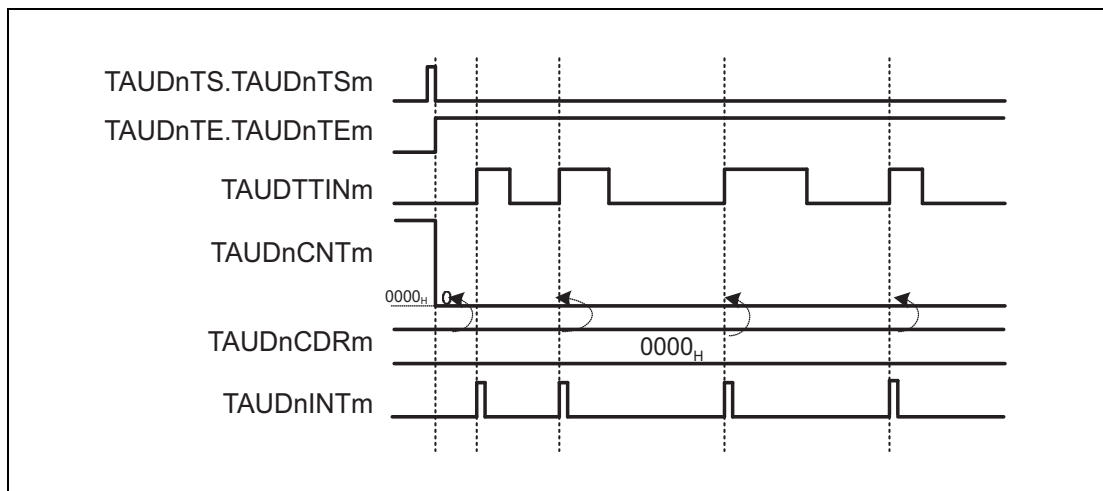
ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) 外部イベントカウント機能の操作手順

表 17.63 外部イベントカウント機能の操作手順

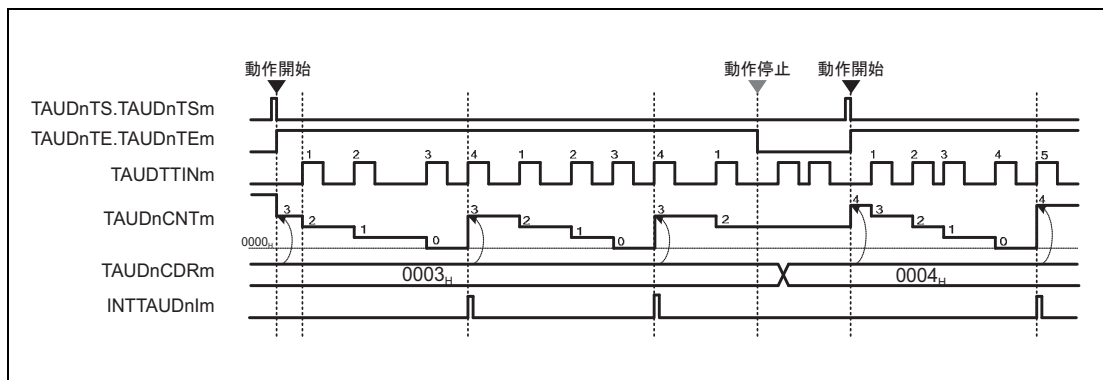
	操作	TAUDnの状態
動作再開	変 更 の 初 期 設 定 チ ャ ン ネ ル の 初 期 設 定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.60 外部イベントカウント機能の TAUDnCMORm レジスタの内容」と「表 17.61 外部イベントカウント機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動 作 開 始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードし、TAUDTTINm 入力エッジ検出を待ちます。
	動 作 中 TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は TAUDTTINm 入力エッジを検出するたびに、ダウンカウントを行います。 有効エッジが TAUDnCDRm + 1 回検出された場合： <ul style="list-style-type: none"> TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 以降、この動作を繰り返します。
	動 作 停 止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUDnCDRm = 0000_H図 17.38 TAUDnCDRm = 0000_H、TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- TAUDnCDRm = 0000_H の場合、有効な TAUDTTINm 入力エッジが検出されるたびに 0000_H が TAUDnCNTm にロードされます。
つまり、有効な TAUDTTINm 入力エッジが検出されるたびに、INTTAUDnIm が発生します。

(b) 動作の停止と再開

図 17.39 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。TAUDTTINm は継続し、TAUDnCNTm は有効エッジを無視します。
- TAUDnTS.TAUDnTSM を “1” に設定すると、カウントを再開できます。TAUDnCNTm は TAUDnCDRm 値をロードし、カウント動作を再開します。

(c) 強制リスタート

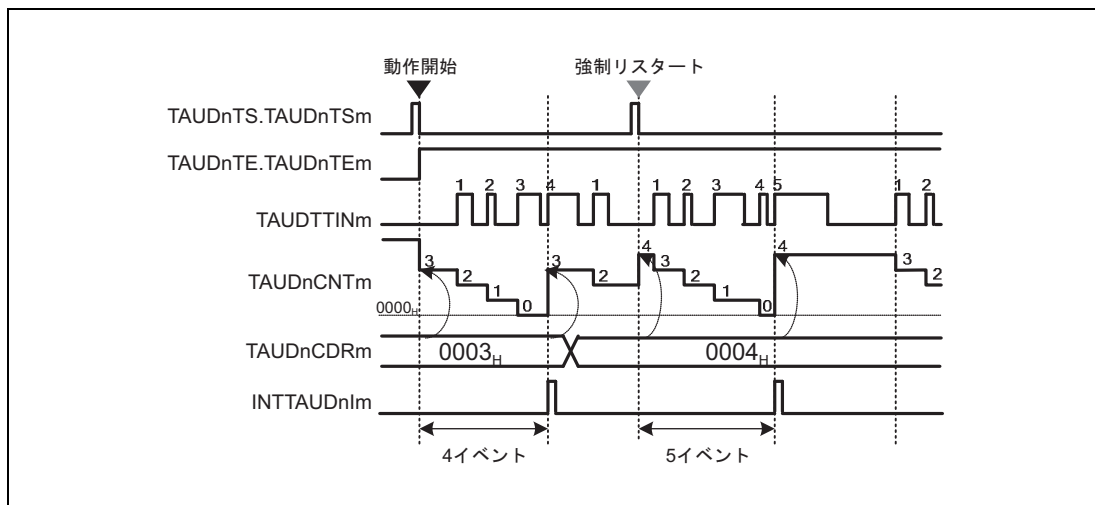


図 17.40 強制リスタート (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

強制リスタートを行うと、変更した TAUDnCDRm の値が TAUDnCNTm に適用されます。

- 動作中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタは次の有効な TAUDTTINm 入力エッジを待ちます。

17.4.9.5 ディレイカウント機能

(1) 概要

概要

この機能は、TAUDTTIN_m 入力信号に対して一定の遅延がある割り込み (INTTAUDnIm) を発生します。遅延期間に発生した TAUDTTIN_m 入力信号パルスは無視されます。

前提条件

- 動作モードはワンカウントモードに設定する必要があります (「表 17.64 ディレイカウント機能の TAUDnCMOR_m レジスタの内容」参照)。
- この機能では、TAUDTTOU_m は使用しません。
- カウント動作中は、スタートトリガを無効 (TAUDnCMOR_m.TAUDnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTS_m) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTE_m = 1 となり、カウンタが可能になります。

有効な TAUDTTIN_m 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDR_m の値が TAUDnCNT_m にロードされ、カウンタはその TAUDnCDR_m 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUDTTIN_m 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTIN_m 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDR_m 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMUR_m.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMUR_m.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMUR_m.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMUR_m.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2) 算出式

TAUDTTIN_m-INTTAUDnIm 間の遅延 = カウントクロック周期 × (TAUDnCDR_m + 1)

(3) ブロック図と基本タイミング図

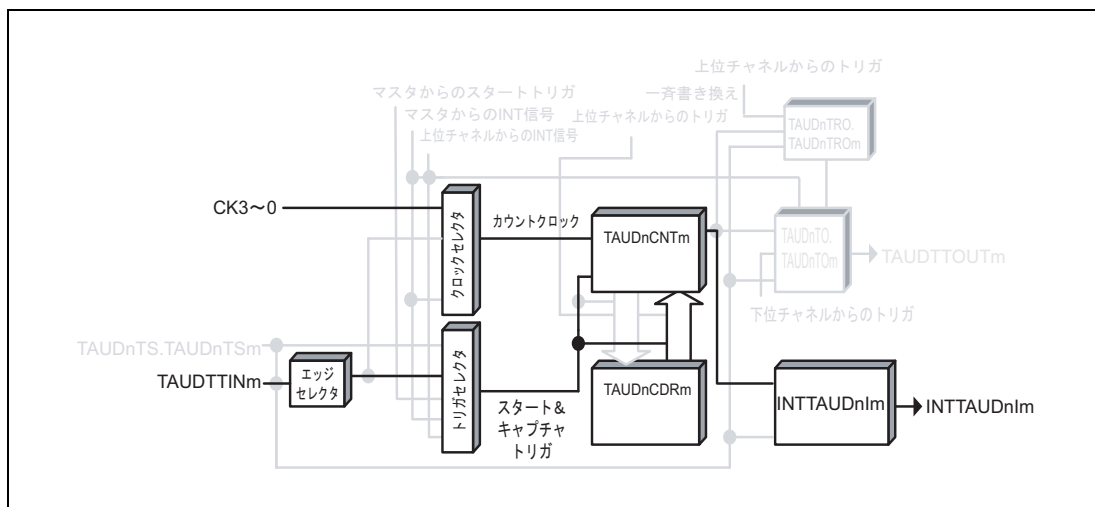


図 17.41 デレイカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

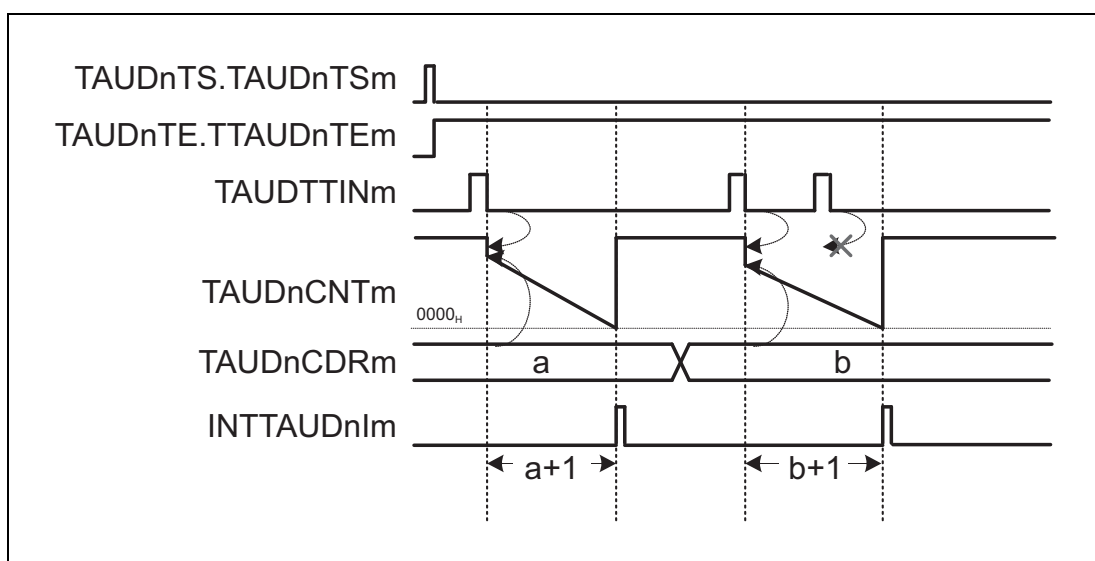


図 17.42 デレイカウント機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.64 ディレイカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガは無効とする

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.65 ディレイカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ディレイカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.66 ディレイカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) ディレイカウント機能の操作手順

表 17.67 ディレイカウント機能の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.64 ディレイカウント機能の TAUDnCMORm レジスタの内容」と「表 17.65 ディレイカウント機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTInm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTInm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作中 TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合 : INTTAUDnIm が発生します。 TAUDnCNTm はカウントを停止し、FFFF _H を戻し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、値を保持します。

17.4.9.6 ワンパルス出力機能

(1) 概要

概要

この機能は、有効な TAUDTTIN_m 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUDnIm) を発生します。定められた期間内に発生する TAUDTTIN_m 入力信号パルスは無視されます。割り込みが発生すると、TAUDTTOUT_m 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります (「表 17.68 ワンパルス出力機能の TAUDnCMOR_m レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「17.4.4 チャンネル出力モード」を参照してください。
- カウント動作中は、トリガ検出を禁止 (TAUDnCMOR_m.TAUDnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTE_m = 1 となり、カウンタが可能になります。

有効な TAUDTTIN_m 入力エッジを検出すると、カウンタ動作を開始します。TAUDnCDR_m の値が TAUDnCNT_m にロードされ、カウンタはその TAUDnCDR_m 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUT_m がアクティブレベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUDTTOUT_m がインアクティブレベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUDTTIN_m 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTIN_m 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDR_m 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMUR_m.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMUR_m.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMUR_m.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMUR_m.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2) 算出式

TAUDTTIN_m-INTTAUDnIm の間隔 = TAUDTTOUT_m (タイマ出力) 幅 = カウントクロック
 周期 × TAUDnCDR_m

(3) ブロック図と基本タイミング図

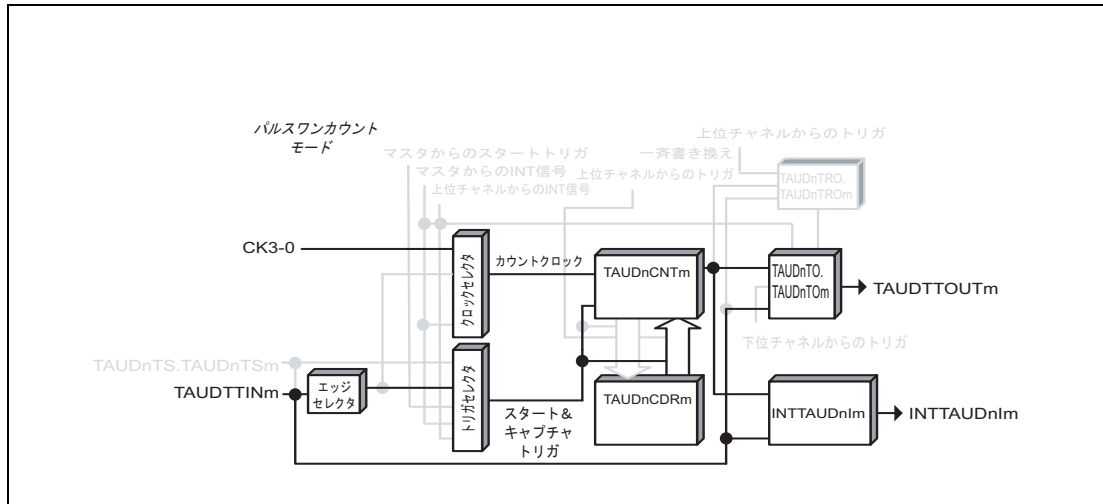


図 17.43 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMUR_m.TAUDnTIS[1:0] = 00_B)

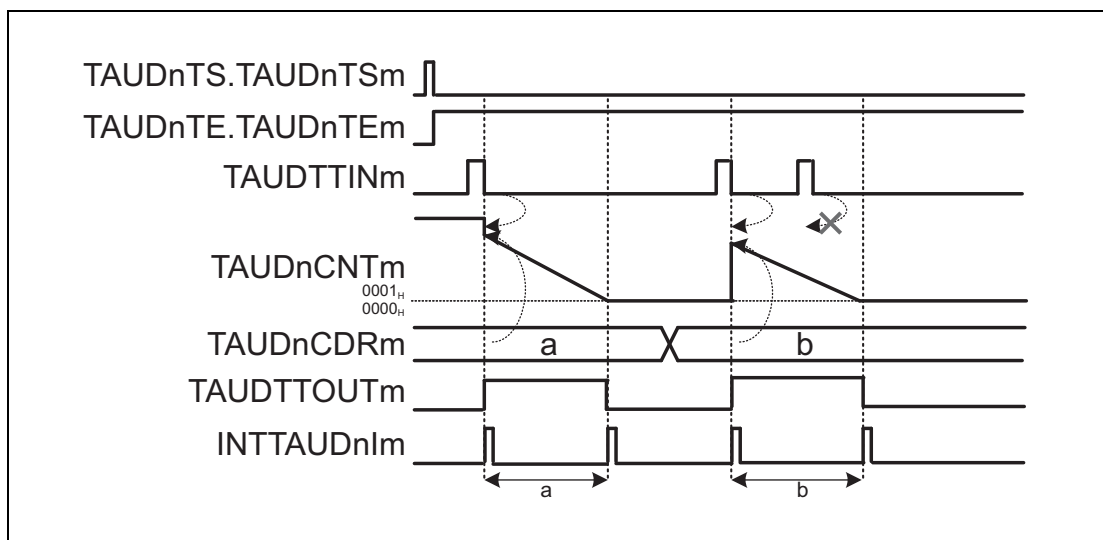


図 17.44 ワンパルス出力機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.68 ワンパルス出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガを無効とする

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.69 ワンパルス出力機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

表 17.70 チャネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	1: セット/リセットモード
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

備考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「表 17.43 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.71 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) ワンパルス出力機能の操作手順

表 17.72 ワンパルス出力機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.68 ワンパルス出力機能のTAUDnCMORm レジスタの内容」と「表 17.69 ワンパルス出力機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 17.70 チャンネル単体出力モード2時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTInm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はTAUDTTInm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm はTAUDnCDRm の値をロードします。
	動作中 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm の開始時にINTTAUDnImが発生し、TAUDTTOUTm はアクティブレベルに設定されます。 TAUDnCNTm がダウンカウントを行います。カウンタが0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnImが発生します。 TAUDTTOUTm がインアクティブレベルに設定されます。 TAUDnCNTm はカウントを停止し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm とTAUDTTOUTm は停止し、現在値を保持します。

17.4.9.7 TAUDTTINm 入力パルスインターバル測定機能

(1) 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUDnCSRm.TAUDnOVF を使用して TAUDTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表 17.74 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm エッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが FFFF_H に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 17.73 オーバフローの影響

TAUDnCMORm. COS[1:0]	オーバフローが発生した場合		その後、有効な TAUDTTINm 入力 が検出された場合	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、 TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロー ドされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm は“0” に設定され、 TAUDnCDRm は変更 されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の間隔を推定できます。ただし、有効な TAUDTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示せません。

TAUDnTT.TAUDnTTm = 1 を設定すると機能を停止できます。これにより、TAUDnTE.TAUDnTEm = 0 が設定されます。TAUDnCNTm が停止し、値を保持します。機能停止中、有効な TAUDTTINm 入力エッジの検出と TAUDnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「17.4.6 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

備考

TAUDnCMORm.TAUDnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUDTTINm 入力パルス間隔 = カウントクロック周期 ×
 [(TAUDnCSRm.TAUDnOVF × (FFFF_H + 1)) + TAUDnCDRm キャプチャ値 + 1]

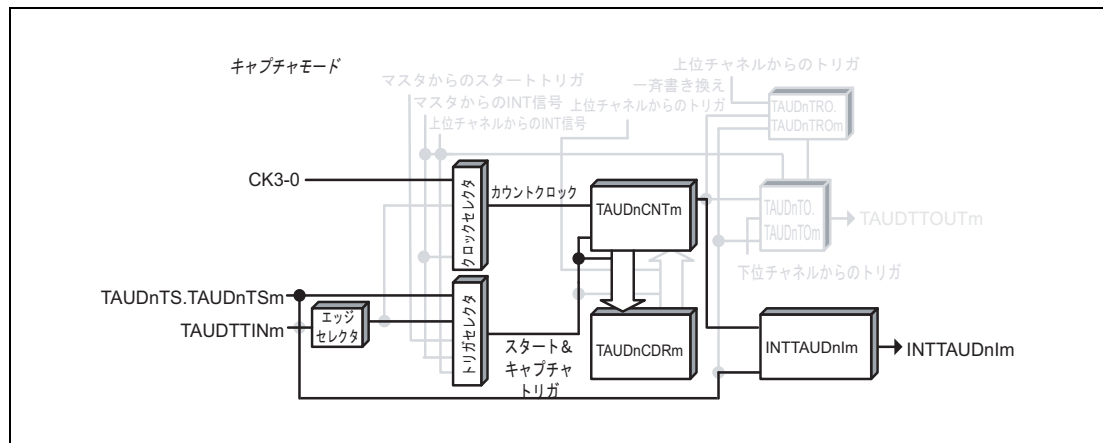
(3) ブロック図と基本タイミング図

図 17.45 TAUDTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を“1”に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

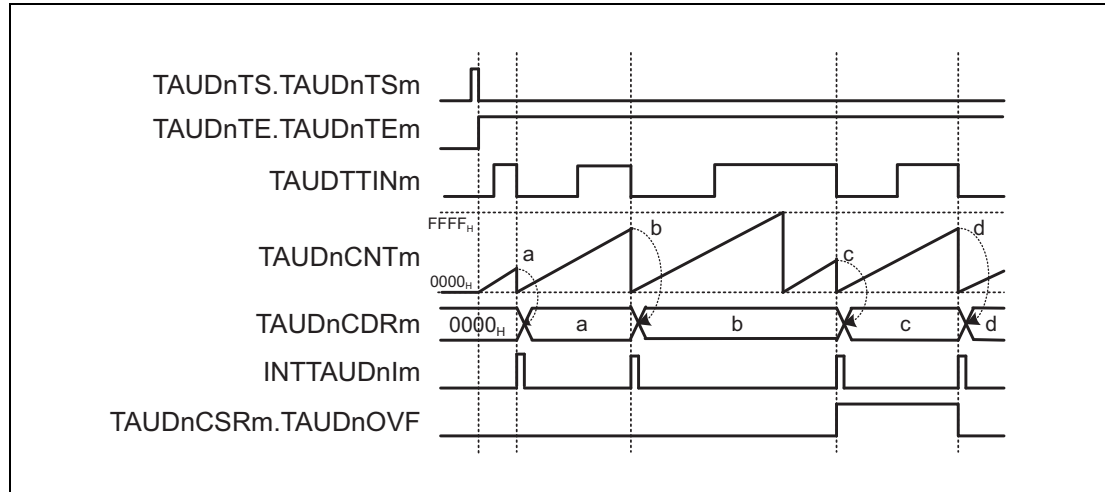


図 17.46 TAUDTTINm 入力パルスインターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.74 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	「表 17.73 オーバフローの影響」を参照。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.75 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力パルス測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.76 TAUDTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入力パルスインターバル測定機能の操作手順

表 17.77 TAUDTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUDn の状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.74 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」と「表 17.75 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウンタが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	動作中 TAUDTTINm エッジ検出 TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットの 1 書き込みが可能です。(TAUDnCSRm.TAUDnOVF ビットを“0”にクリア)	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値をTAUDnCDRmに転送 (キャプチャ) して、0000_H に戻ります。 その後、INTTAUDnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

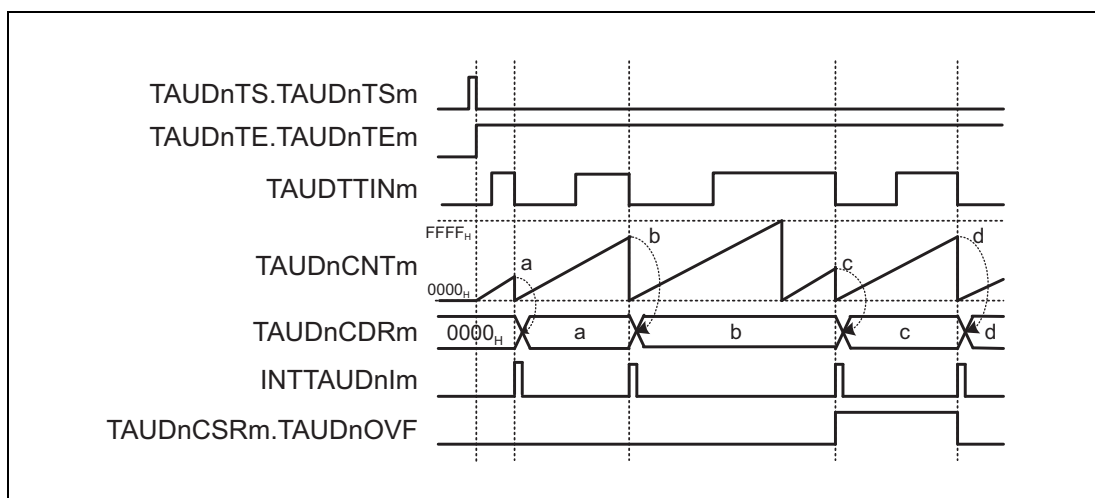
(a) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 17.47 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

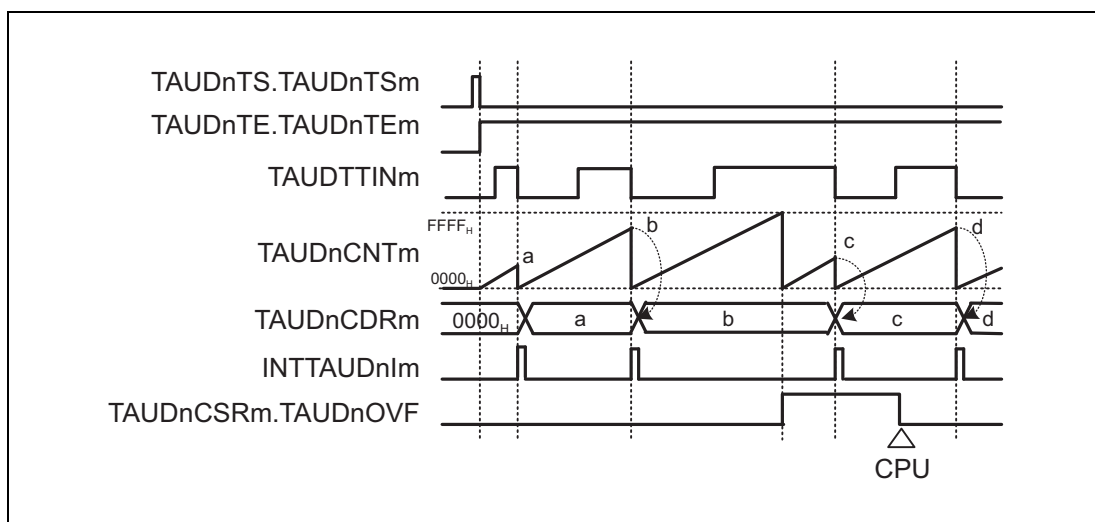
(b) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 17.48 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。

- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

(c) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

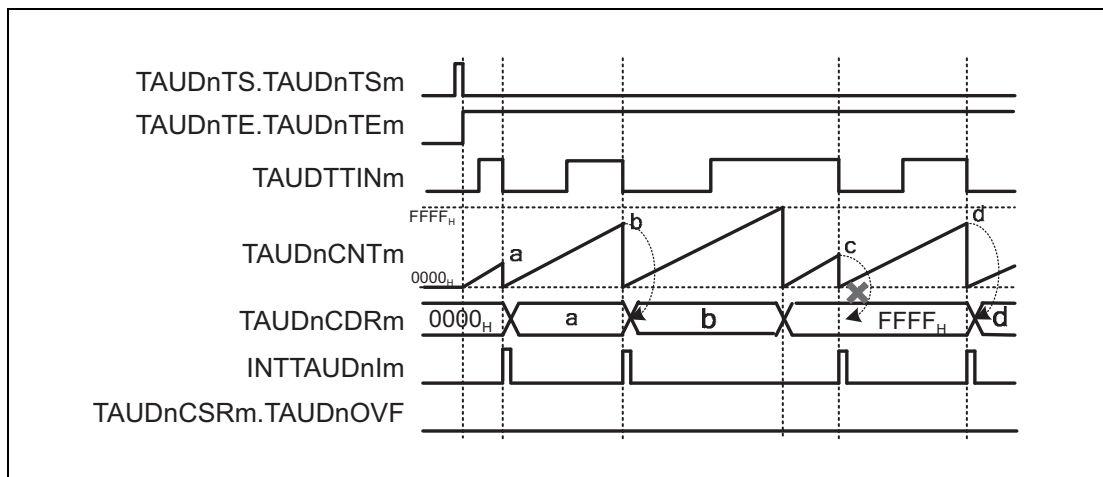


図 17.49 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は “0” のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm が “0” にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

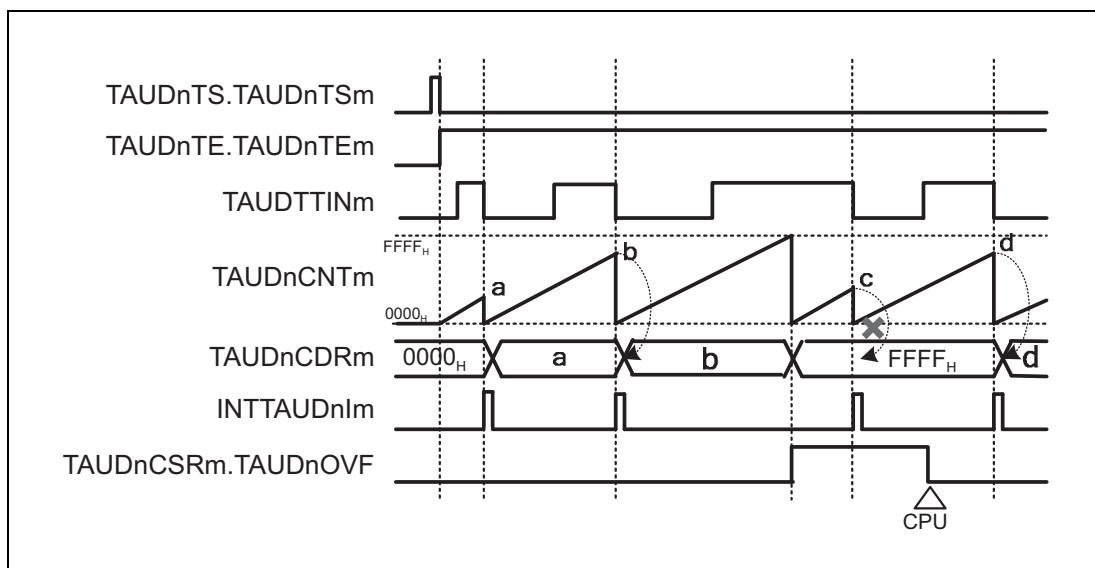
(d) $\text{TAUDnCMORm.TAUDnCOS}[1:0] = 11_{\text{B}}$ 

図 17.50 $\text{TAUDnCMORm.TAUDnCOS}[1:0] = 11_{\text{B}}$ 、 $\text{TAUDnCMORm.TAUDnMD0} = 0$ 、 $\text{TAUDnCMURm.TAUDnTIS}[1:0] = 00_{\text{B}}$

- オーバフローが発生すると、 TAUDnCDRm は FFFF_{H} に設定され、 $\text{TAUDnCSRm.TAUDnOVF}$ は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、 TAUDnCNTm が “0” にリセットされますが、 TAUDnCDRm と $\text{TAUDnCSRm.TAUDnOVF}$ は変更されません。
- したがって、オーバーフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- $\text{TAUDnCSRm.TAUDnOVF}$ は、 $\text{TAUDnCSCm.TAUDnCLOV} = 1$ を設定することでクリアされます。

17.4.9.8 TAUDTTINm 入力信号幅測定機能

(1) 概要

概要

この機能は、TAUDTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUDTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ&ワンカウントモードに設定する必要があります(「表 17.79 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUm は使用しません。
- TAUDnCMORm.TAUDnMD0 は、“0” に設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm スタートエッジが検出されると、カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm ストップエッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは値 (TAUDnCDRm + 1) を保持し、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を続けます。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 17.78 オーバフローの影響

TAUDnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUDTTINm 入力ストップエッジの検出時	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm はカウントを停止 TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の幅を推定できます。ただし、有効な TAUDTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示しません。

この機能は強制的に再開することはできません。

備考

TAUDnCMORm.TAUDnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされます。ただし、割り込みが発生します。

(2) 算出式

TAUDTTINm 入力信号幅 = カウントクロック周期 ×
 [(TAUDnCSRm.TAUDnOVF × (FFFF_H + 1)) + TAUDnCDRm キャプチャ値 + 1]

(3) ブロック図と基本タイミング図

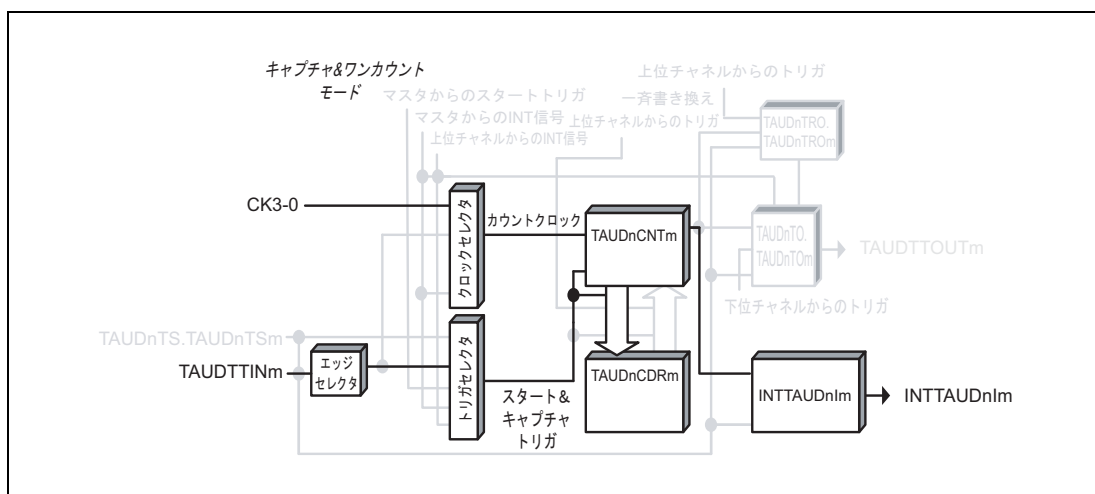


図 17.51 TAUDTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を“1”に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

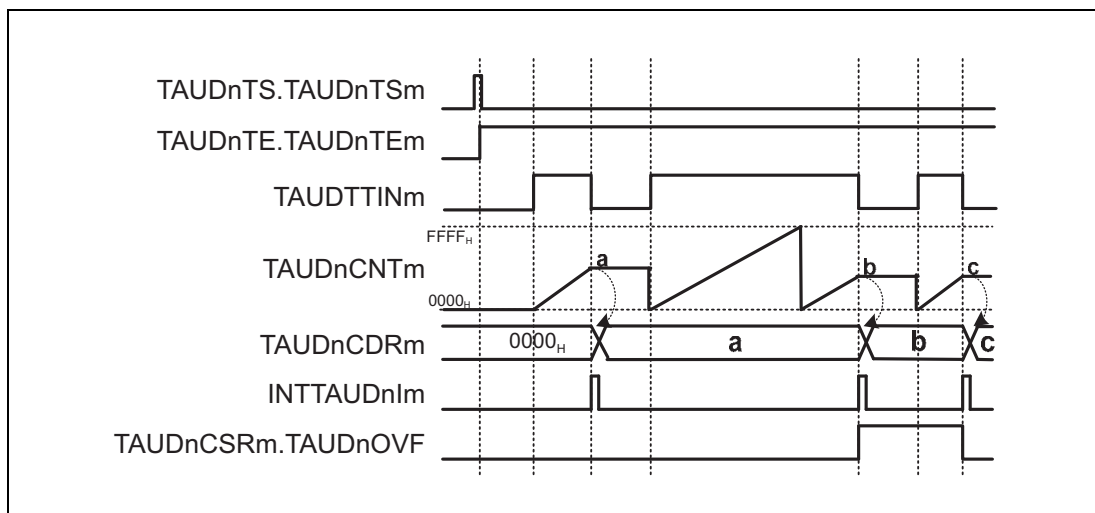


図 17.52 TAUDTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.79 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	「表 17.78 オーバフローの影響」を参照。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0110：キャプチャ & ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.80 TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.81 TAUDTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入力信号幅測定機能の操作手順

表 17.82 TAUDTTINm 入力信号幅測定機能の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.79 TAUDTTINm 入力信号幅測定機能のTAUDnCMORm レジスタの内容」と「表 17.80 TAUDTTINm 入力信号幅測定機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はTAUDTTINm スタートエッジ検出を待ちます。 TAUDTTINm スタートエッジを検出すると、TAUDnCNTm はアップカウントを開始します。
	動作中 TAUDTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットは、“1”にセット可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値をTAUDnCDRm に転送 (キャプチャ) して、その値を保持し、INTTAUDnIm が発生します。 カウントはTAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm はTAUDTTINm スタートエッジの検出を待ちます。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm とTAUDnCSRm.TAUDnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

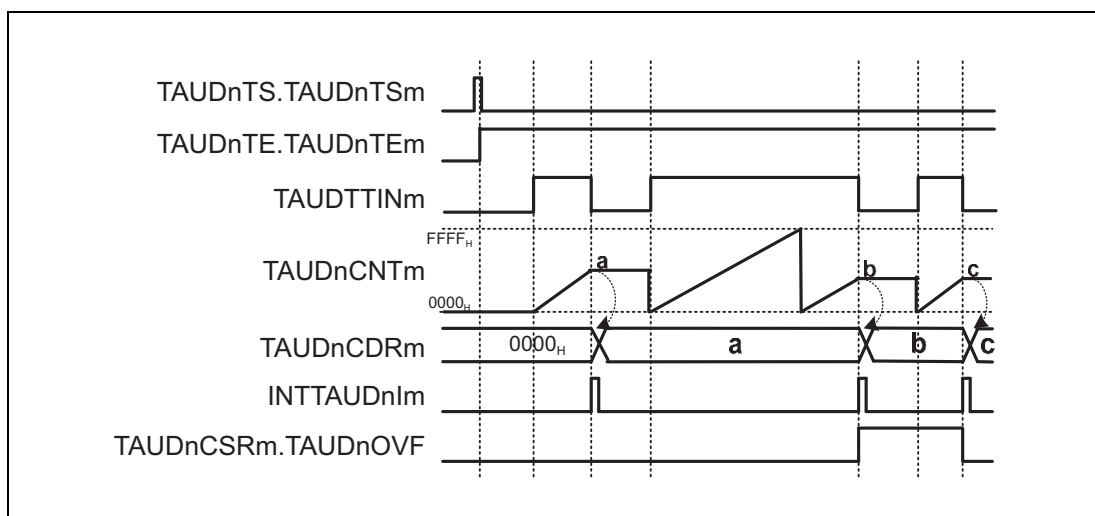
(a) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 17.53 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバーフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバーフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

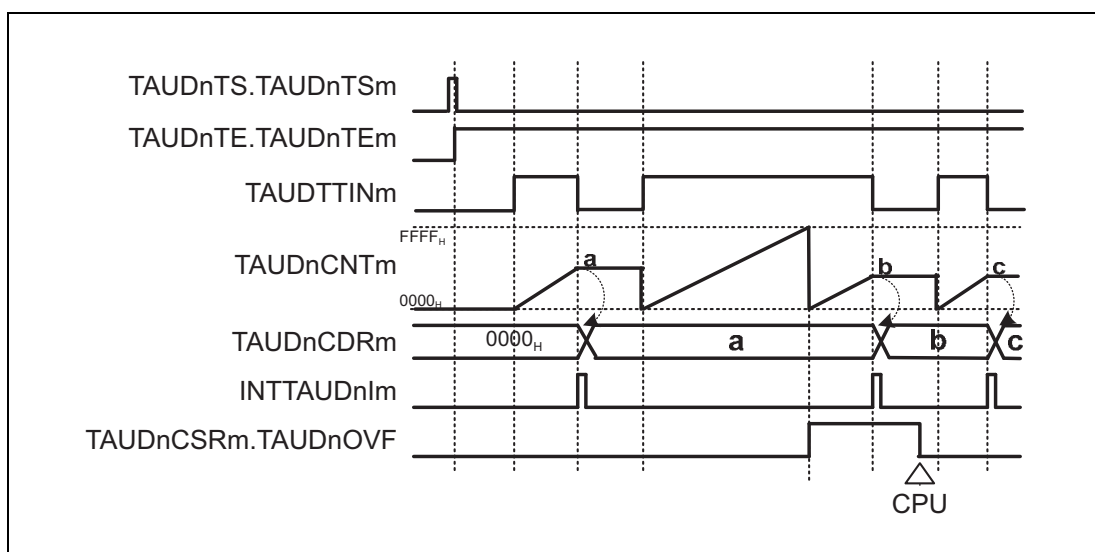
(b) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 17.54 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

(c) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

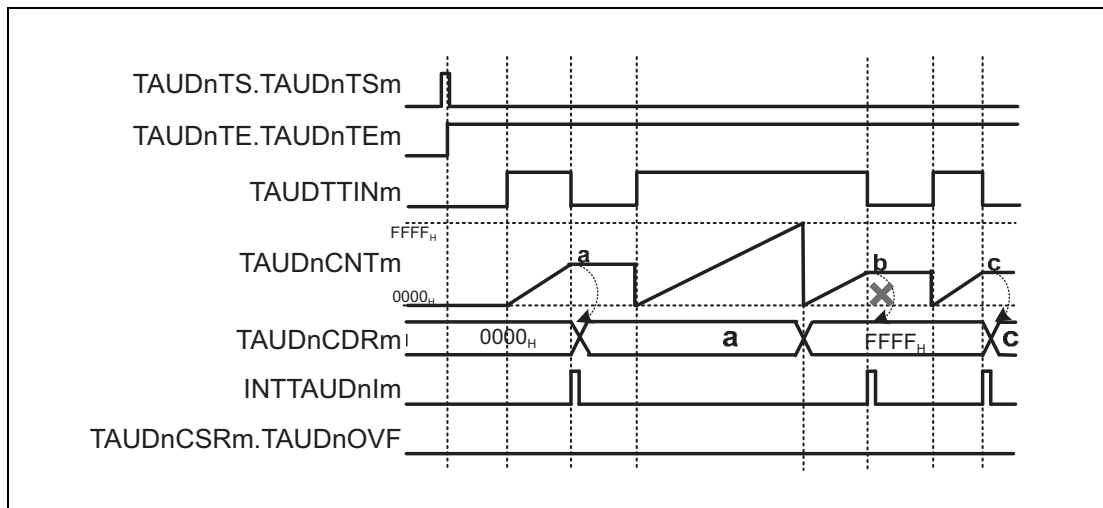


図 17.55 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm のカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

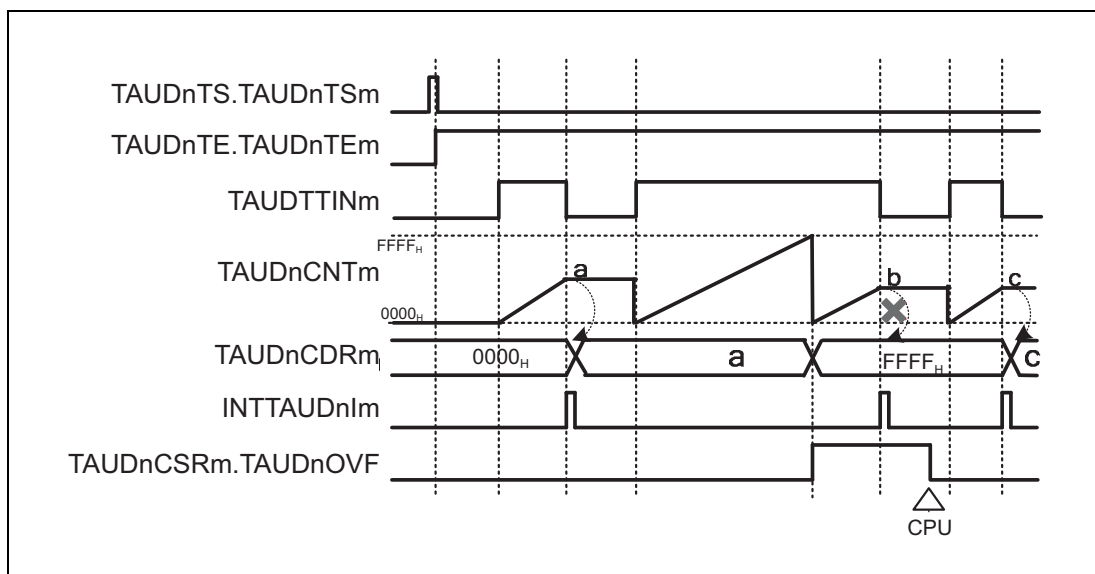
(d) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

図 17.56 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm のカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

17.4.9.9 TAUDTTINm 入力位置検出機能

(1) 概要

概要

TAUDTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「表 17.83 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出カクロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「17.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) 算出式

TAUDTTINm 入力パルスでの機能時間 =
カウントクロック周期 × (TAUDnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

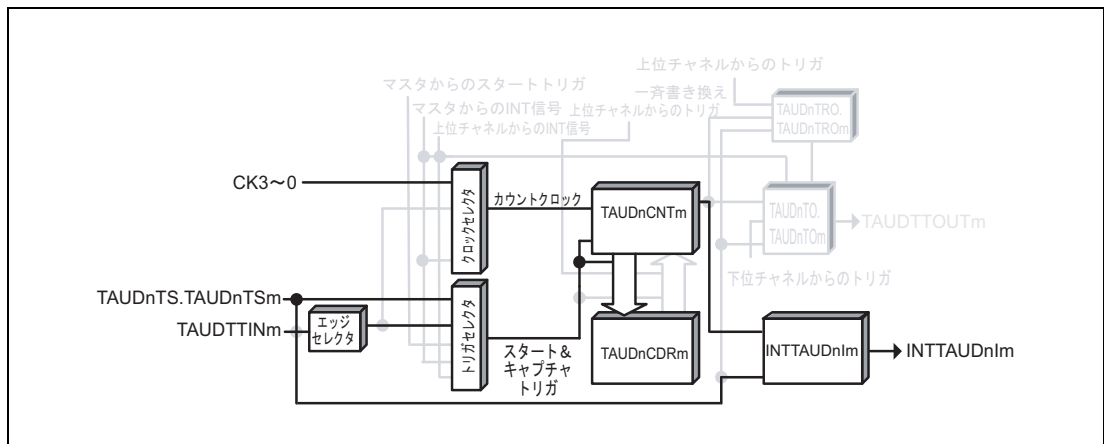


図 17.57 TAUDTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない ($\text{TAUDnCMORm.TAUDnMD0} = 0$)
- 立ち下がりエッジ検出 ($\text{TAUDnCMURm.TAUDnTIS}[1:0] = 00_B$)

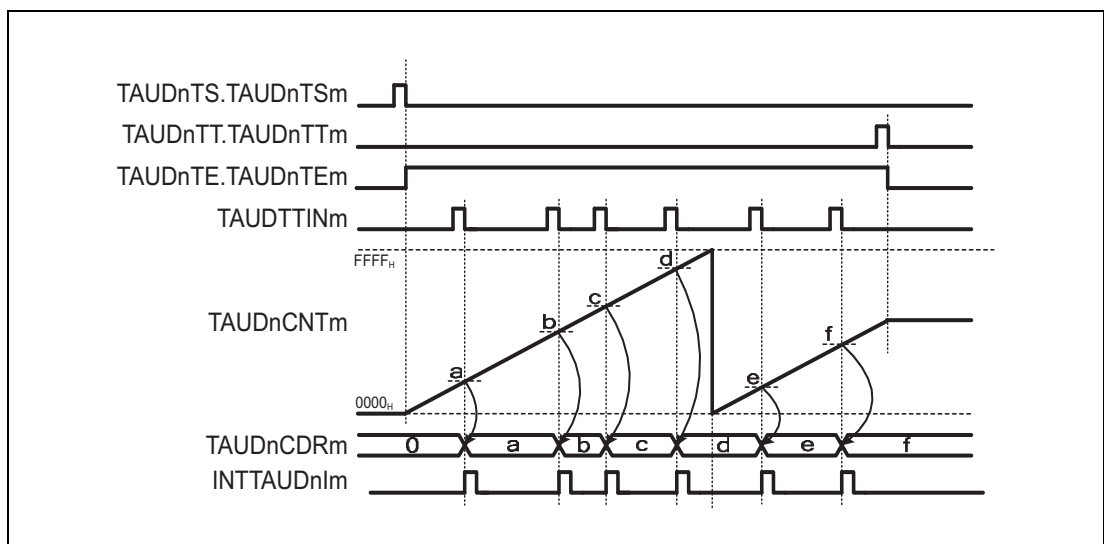


図 17.58 TAUDTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.83 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1011：カウントキャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.84 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.85 TAUDTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入力位置検出機能の操作手順

表 17.86 TAUDTTINm 入力位置検出機能の操作手順

	操作	TAUDnの状態
動作再開 ↓	初期設定 チャネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.83 TAUDTTINm 入力位置検出機能のTAUDnCMORm レジスタの内容」と「表 17.84 TAUDTTINm 入力位置検出機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	動作中 TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値を TAUDnCDRm に転送 (キャプチャ) します。 INTTAUDnIm を出力します。 カウンタ値は 0000_H にクリアされず、TAUDnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

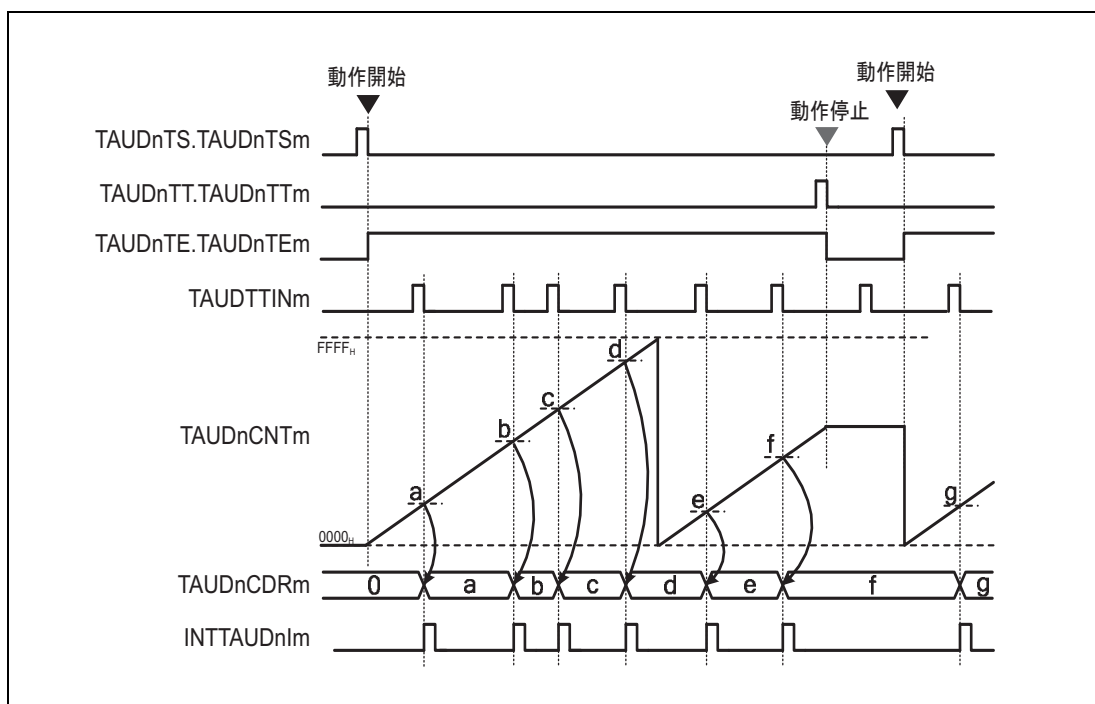


図 17.59 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnTT.TAUDnTTM を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEM は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

17.4.9.10 TAUDTTINm 入力期間カウント検出機能

(1) 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ&ゲートカウントモードに設定する必要があります(「表 17.87 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUDTTINm 入力エッジを待ちます。

有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUDTTINm 入力ストップエッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。次の有効な TAUDTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値 (TAUDnCDRm + 1) を保持します。

次の有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

TAUDTTINm 入力信号は、TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

この機能は、TAUDTTINm 入力の信号幅測定を目的とするため、TAUDnTE.TAUDnTEm = 1 期間中の TAUDnTS.TAUDnTSm のセット (1) は使用できません。

条件

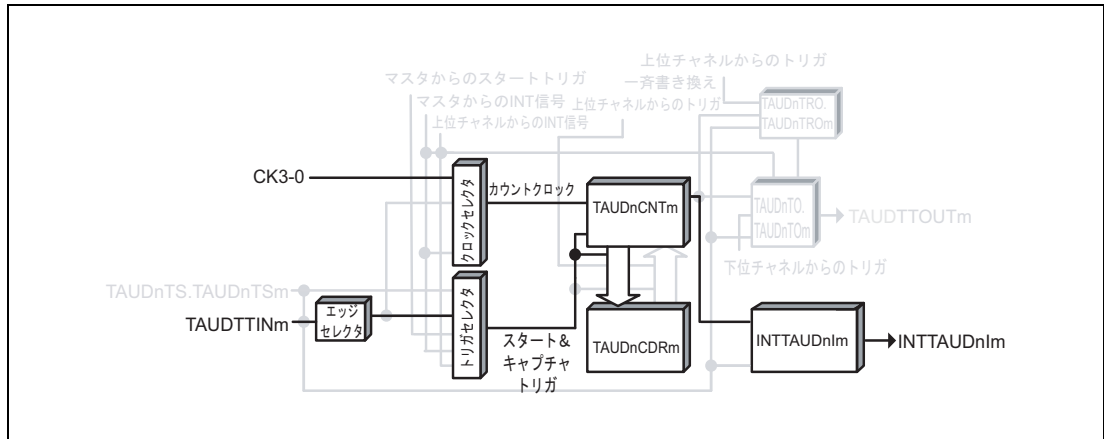
有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

(2) 算出式

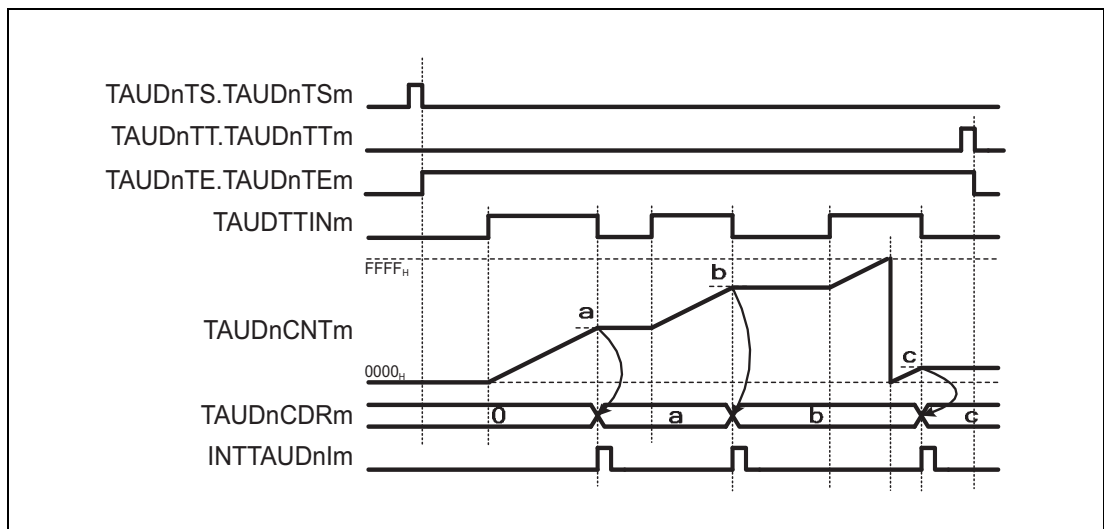
TAUDTTIN_m 入力幅累計 =
 カウントクロック周期 × (TAUDnCDR_m キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

図 17.60 TAUDTTIN_m 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMUR_m.TAUDnTIS[1:0] = 11_B)

図 17.61 TAUDTTIN_m 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.87 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1101：キャプチャ&ゲートカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.88 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.89 TAUDTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

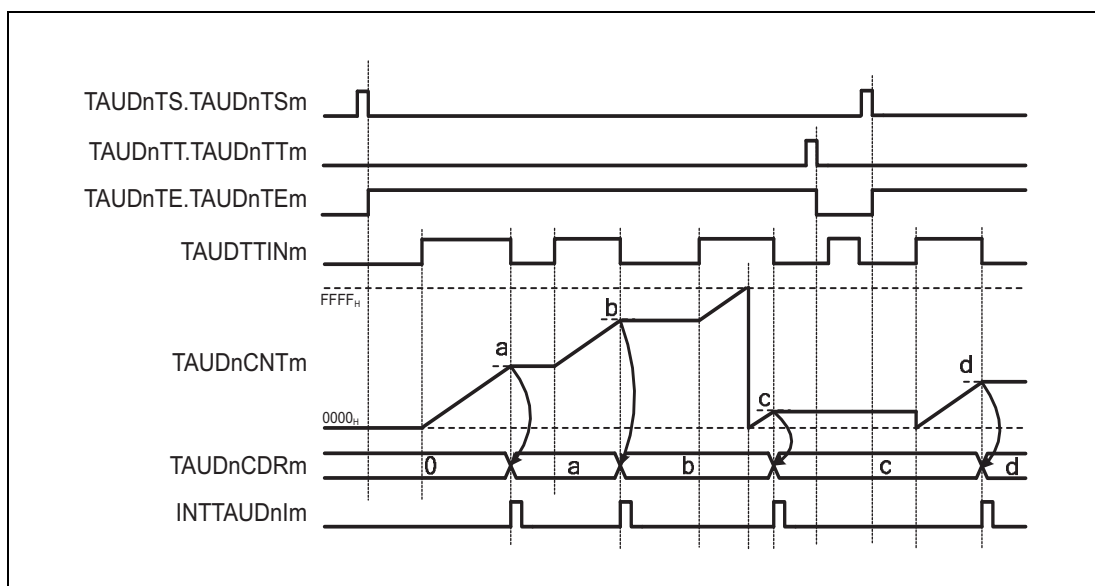
(5) TAUDTTINm 入力期間カウント検出機能の操作手順

表 17.90 TAUDTTINm 入力期間カウント検出機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.87 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」と「表 17.88 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はTAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm は 0000 _H にクリアされ、TAUDnCNTm はアップカウントを開始します。
	動作中 TAUDTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV は、“1”に設定可能です。	TAUDTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUDnCNTm は停止値よりアップカウントを開始します。 TAUDnCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値をTAUDnCDRm に転送し、INTTAUDnIm が発生します。 カウントはTAUDnCDRm に転送した値+1の値で停止し、TAUDnCNTm はTAUDTTINm スタートエッジの検出を待ちます。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 17.62 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

17.4.9.11 TAUDTTINm 入力パルスインターバル判定機能

(1) 概要

概要

この機能は、TAUDTTINm 入力パルスの発生時、カウント値 (TAUDnCNTm) とチャンネルデータレジスタ (TAUDnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。

前提条件

- 動作モードはジャッジモードに設定する必要があります (「表 17.91 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

TAUDTTINm 有効エッジが検出された場合、または TAUDnTS.TAUDnTSm が“1”に設定された場合、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。TAUDnCNTm は、TAUDnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。

- TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。

(2) ブロック図と基本タイミング図

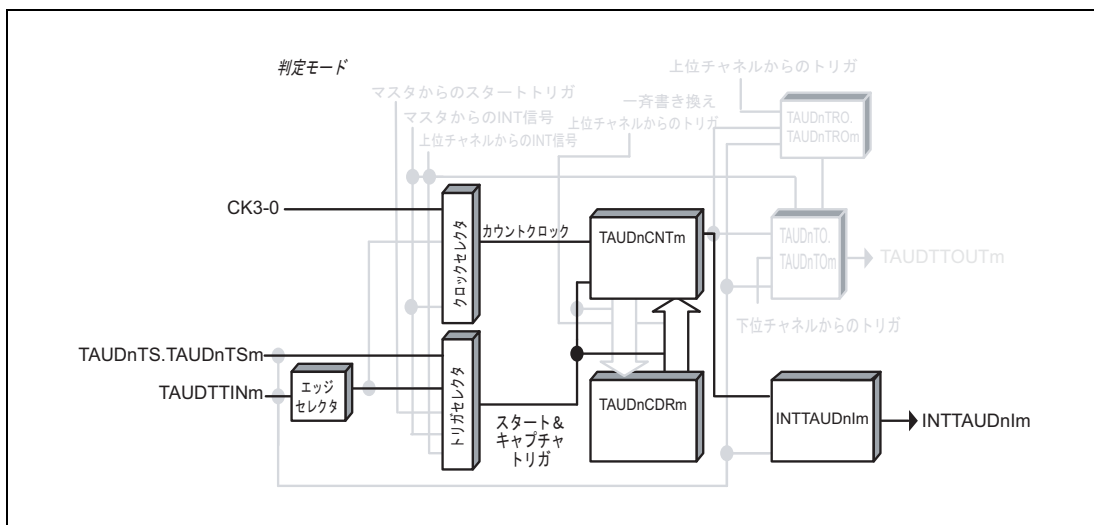


図 17.63 TAUDTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

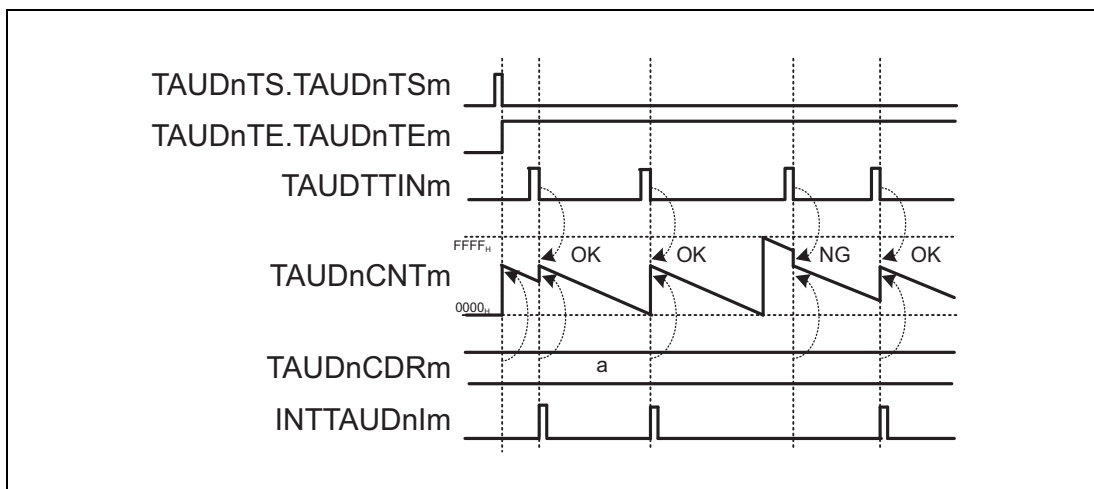


図 17.64 TAUDTTINm 入力パルスインターバル判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.91 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0001：ジャッジモード
0	TAUDnMD0	0：TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.92 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.93 TAUDTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) TAUDTTINm 入力パルスインターバル判定機能の操作手順

表 17.94 TAUDTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUDn の状態
動作再開	初期設定 チャネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.91 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」と「表 17.92 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容」に示すように設定します。	チャネル動作を停止しています。
	動作開始 TAUDnCDRm レジスタの値を設定します。	
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作中 TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm ≤ TAUDnCDRm の場合、 INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm > TAUDnCDRm の場合、 INTTAUDnIm 発生します。TAUDTTINm 入力エッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。
動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。	

17.4.9.12 TAUDTTINm 入力信号幅判定機能

(1) 概要

概要

この機能は、TAUDTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値 (TAUDnCNTm) と TAUDnCDRm の大小判定の結果を割り込み要求信号 INTTAUDnIm より出力します。

前提条件

- 動作モードはジャッジ & ワンカウントモードに設定する必要があります (「表 17.95 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm 入力スタートエッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

有効な TAUDTTINm ストップエッジが検出されると、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。カウンタ TAUDnCNTm は、比較の結果に関係なく、次の有効な TAUDTTINm スタートエッジを検出するまで値を保持します。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。
 - TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
 - TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定のタイプを指定します。
 - ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合) では、TAUDTTINm 立ち上がりエッジをスタートエッジ、TAUDTTINm 立ち下がりエッジをストップエッジとして使用します。
 - ロウレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合) では、TAUDTTINm 立ち下がりエッジをスタートエッジ、TAUDTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

(2) ブロック図と基本タイミング図

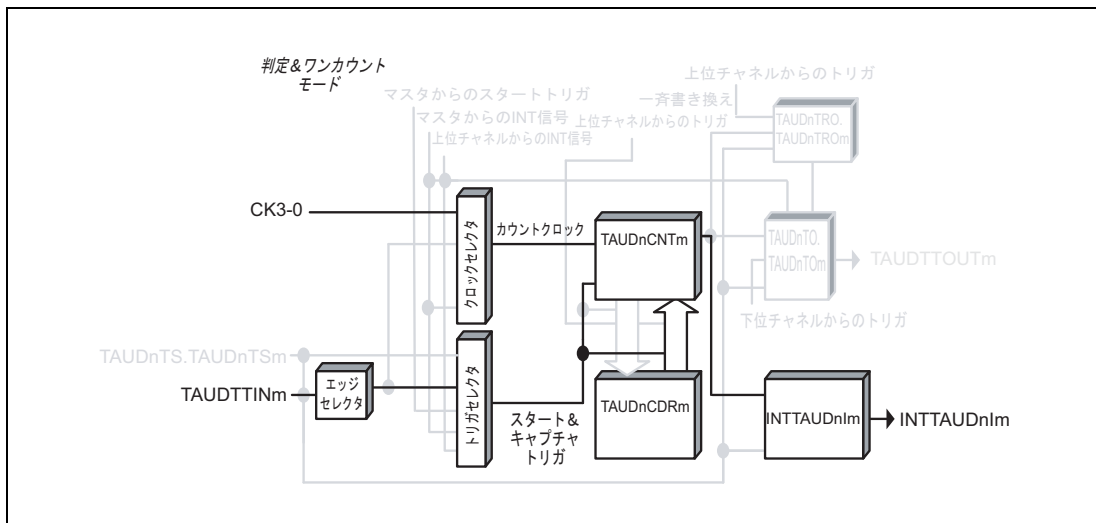


図 17.65 TAUDTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUDnCNTm \leq TAUDnCDRm$ ($TAUDnCMORm.TAUDnMD0 = 0$) の場合、INTTAUDnIm が発生します。
- TAUDTTINm 有効スタートエッジ = 立ち上がりエッジ、TAUDTTINm 有効ストップエッジ = 立ち下がりエッジ ($TAUDnCMURm.TAUDnTIS[1:0] = 11_B$)

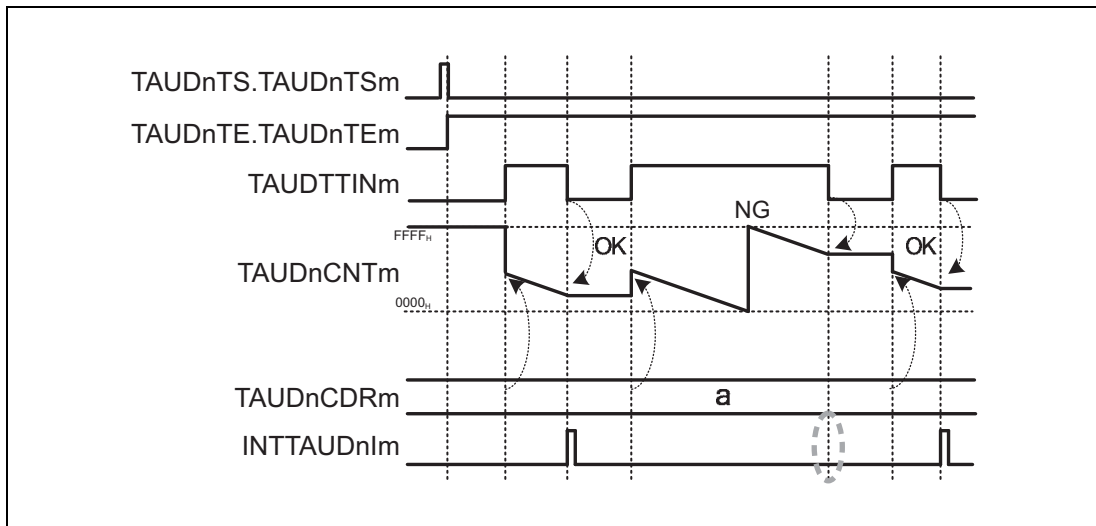


図 17.66 TAUDTTINm 入力信号幅判定機能の基本タイミング図

(3) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.95 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0111：ジャッジ&ワンカウントモード
0	TAUDnMD0	0：TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.96 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.97 TAUDTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) TAUDTTINm 入力信号幅判定機能の操作手順

表 17.98 TAUDTTINm 入力信号幅判定機能の操作手順

	操作	TAUDnの状態
初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 17.95 TAUDTTINm 入力信号幅判定機能のTAUDnCMORm レジスタの内容」と「表 17.96 TAUDTTINm 入力信号幅判定機能のTAUDnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	TAUDnCDRm レジスタの値を設定します。	
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。
動作中	TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDTTINm スタートエッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDTTINm 入カストップエッジ検出タイミングで $TAUDnCNTm \leq TAUDnCDRm$ の場合、INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDTTINm 入カストップエッジ検出タイミングで $TAUDnCNTm > TAUDnCDRm$ の場合、INTTAUDnIm 発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

17.4.10 チャンネル単体リアルタイム機能

この節では、TAUDnTRO.TAUDnTROm ビット値をリアルタイム出力する機能について説明します。

- 「17.4.10.1 リアルタイム出力機能タイプ1」
- 「17.4.10.2 リアルタイム出力機能タイプ2」

17.4.10.1 リアルタイム出力機能タイプ1

(1) 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能では、設定した一定の間隔で割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDTTOUTm 制御を使用するチャンネル
- 上位チャンネルの動作モードは、インターバルタイムモードに設定する必要があります (「表 17.99 リアルタイム出力機能タイプ1のTAUDnCMORMレジスタの内容」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード1に設定する必要があります。「17.4.4 チャンネル出力モード」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREm = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。

上位チャンネルのカウンタが 0000_H に達すると、INTTAUDnIm が発生し、TAUDTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREm = 1 のチャンネルのみ)。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を続けます。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREM = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「17.4.6 カウント開始/リスタート時の TAUDTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) 算出式

INTTAUDnIm の発生周期 = カウントクロック周期 × (TAUDnCDRm 値 + 1)

(3) ブロック図と基本タイミング図

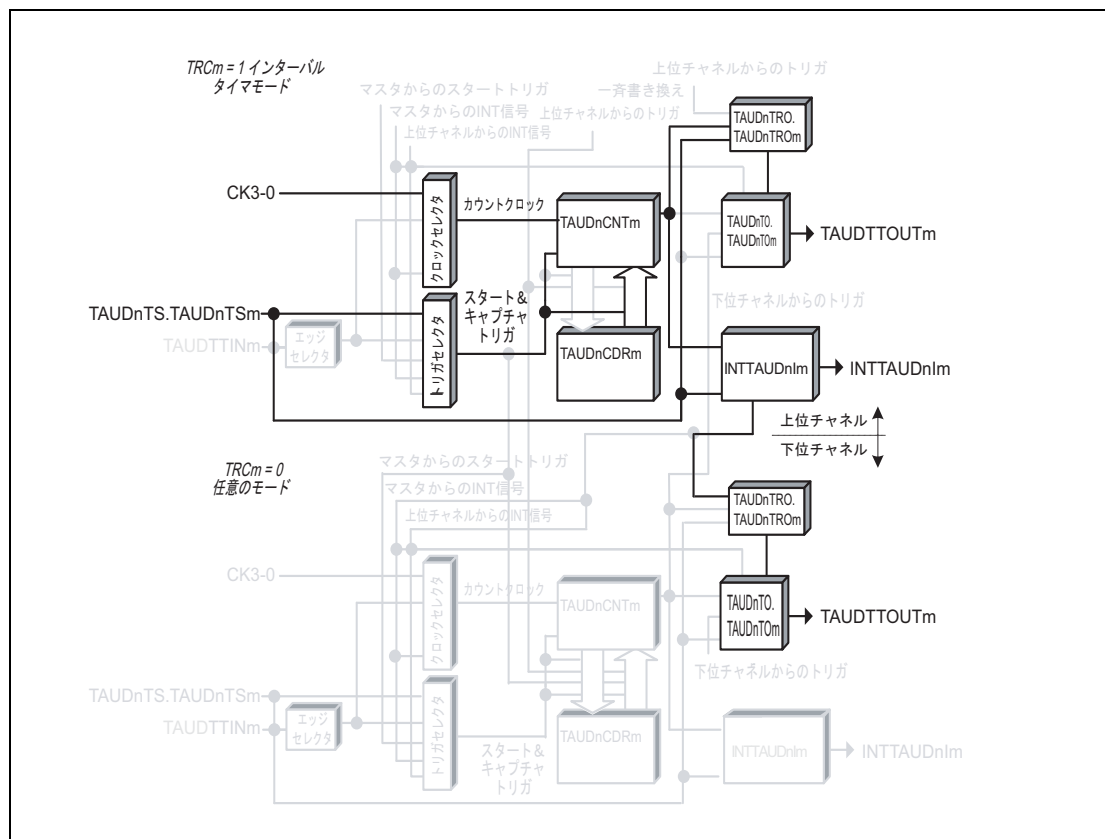


図 17.67 リアルタイム出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

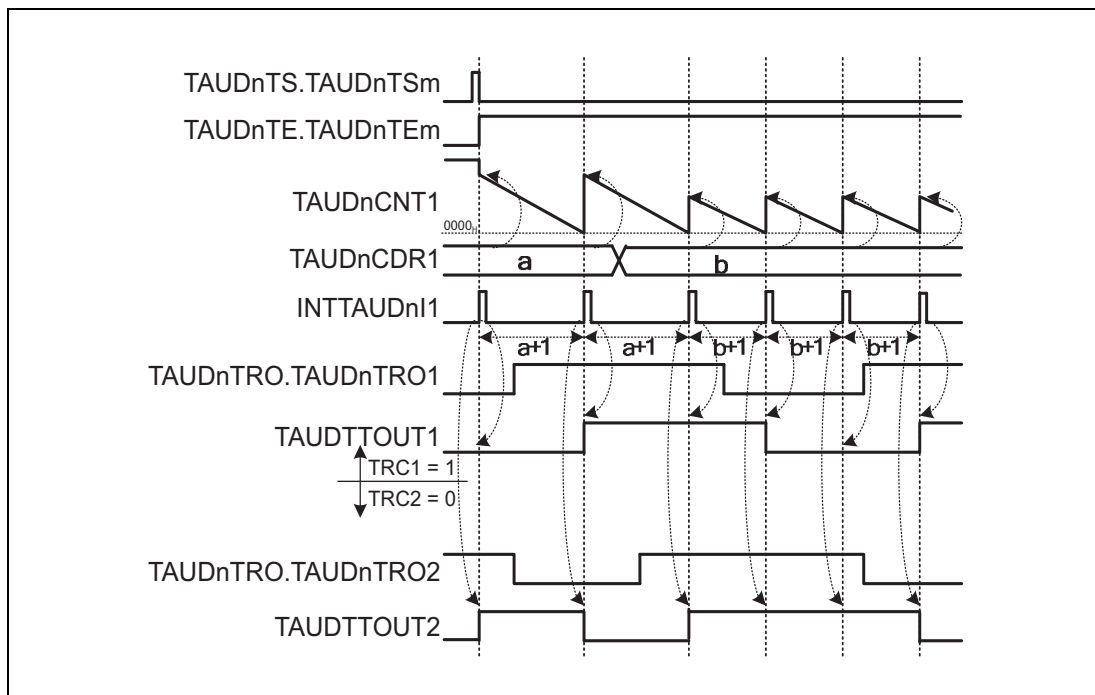


図 17.68 リアルタイム出力機能タイプ 1 の基本タイミング図

(4) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.99 リアルタイム出力機能タイプ1の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.100 リアルタイム出力機能タイプ1の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) 上位チャンネルのチャンネル出力モード

表 17.101 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、"0" を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1: チャンネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) 上位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ1では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.102 リアルタイム出力機能タイプ1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、"0" を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) 下位チャンネルのレジスタ設定

(a) 下位チャンネルの TAUDnCMORm

下位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(b) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(c) 下位チャンネルのチャンネル出力モード

表 17.103 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREM	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネルm用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEEm	0: 変調禁止

(d) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(6) リアルタイム出力機能タイプ1の操作手順

表 17.104 リアルタイム出力機能タイプ1の操作手順

	操作	TAUDnの状態	
チャンネルの初期設定	<p>上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 17.99 リアルタイム出力機能タイプ1の TAUDnCMORm レジスタの内容」と「表 17.100 リアルタイム出力機能タイプ1の TAUDnCMURm レジスタの内容」に示すように設定します。</p> <p>下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、(5)「下位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUDnCDRm レジスタの値を設定します (TAUDnTRC.TAUDnTRCm = 1 のチャンネルのみ)。</p> <p>制御ビットを「表 17.101 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p> <p>制御ビットを「表 17.103 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	チャンネル動作を停止しています。	
動作再開	動作開始	<p>TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネルでは、TAUDnTS.TAUDnTSm = 1 を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>[TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネル] TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。</p>
動作中	<p>TAUDnCDRm レジスタと TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。</p>	<p>TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 <p>以降、この動作を繰り返します。</p>	
動作停止	<p>TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。</p>	

(7) 特定の設定時のタイミング図

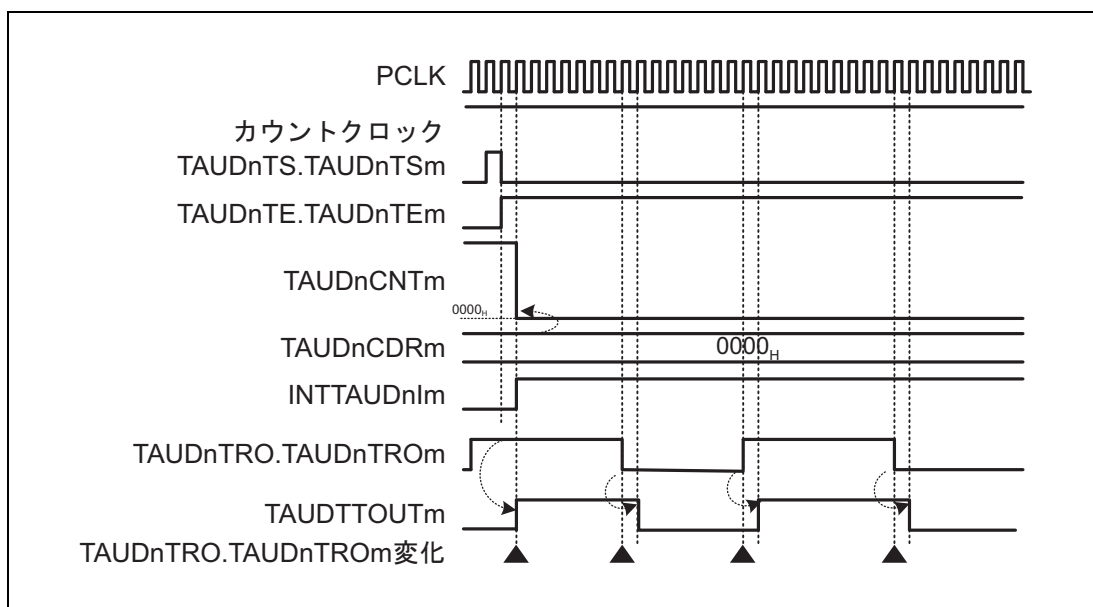


図 17.69 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1

- TAUDTTOUTm の値は TAUDnTRO.TAUDnTROm の設定値から 1PCLK 周期遅延して変化します。

17.4.10.2 リアルタイム出力機能タイプ2

(1) 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDTTOUTm 制御を使用するチャンネル
- 上位チャンネルの動作モードは、キャプチャモードに設定する必要があります (「表 17.105 リアルタイム出力機能タイプ2の TAUDnCMORm レジスタの内容」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード1に設定する必要があります。「17.4.4 チャンネル出力モード」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREM = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEM = 1 となり、カウントが可能になります。上位チャンネルのカウンタがアップカウントを開始します。

上位チャンネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、TAUDTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREM = 1 のチャンネルのみ)。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREM = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「17.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) ブロック図と基本タイミング図

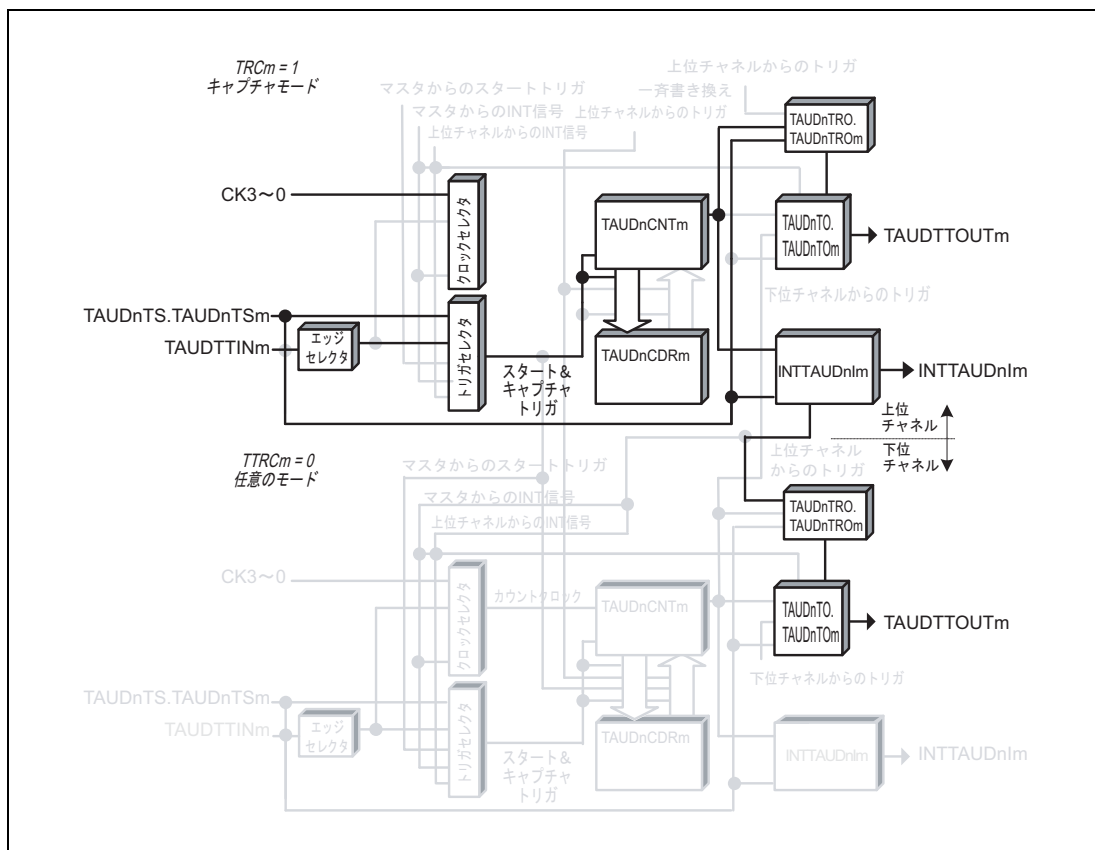


図 17.70 リアルタイム出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)

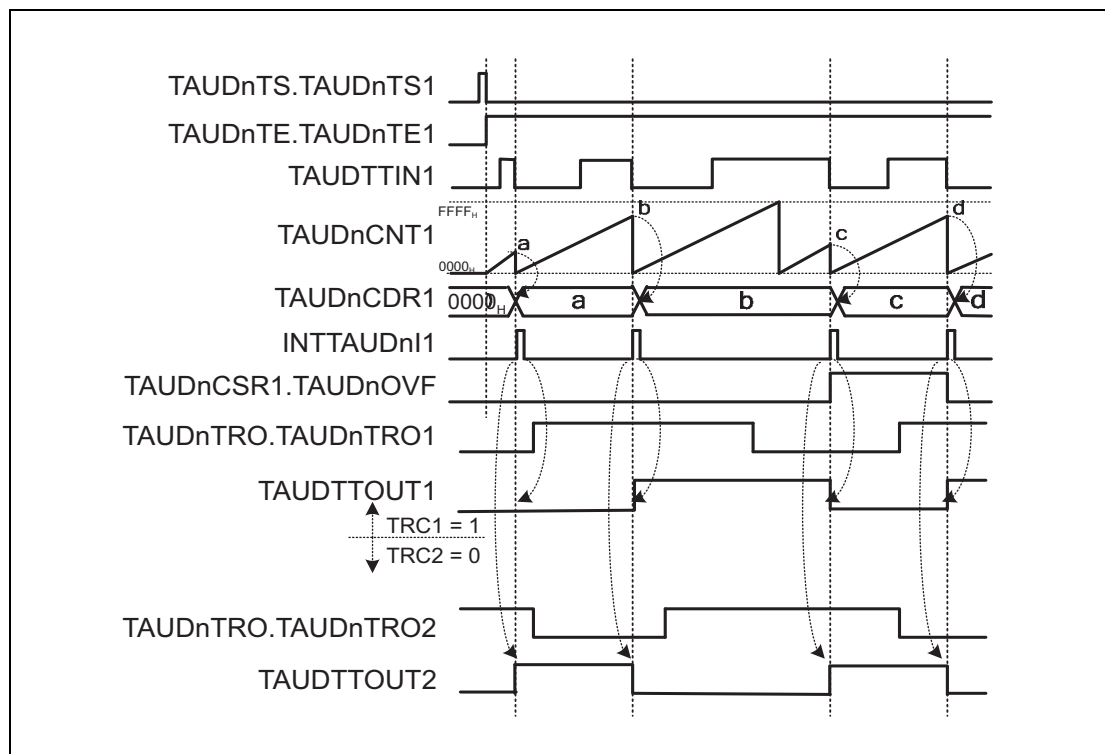


図 17.71 リアルタイム出力機能タイプ2の基本タイミング図

(3) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.105 リアルタイム出力機能タイプ2の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTInm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.106 リアルタイム出力機能タイプ2の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) 上位チャネルのチャネル出力モード

表 17.107 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1: チャネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) 上位チャネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ2では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.108 リアルタイム出力機能タイプ2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) 下位チャンネルのレジスタ設定**(a) 下位チャンネルの TAUDnCMORm**

下位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(b) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(c) 下位チャンネルのチャンネル出力モード

表 17.109 リアルタイム出力を行うチャンネル単体出力モード 1 時の下位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止 1 : リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力はロウレベル 1 : リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0 : 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0 : 変調禁止

(d) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(5) リアルタイム出力機能タイプ2の操作手順

表 17.110 リアルタイム出力機能タイプ2の操作手順

	操作	TAUDnの状態	
チャンネルの初期設定	<p>上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 17.105 リアルタイム出力機能タイプ2の TAUDnCMORm レジスタの内容」と「表 17.106 リアルタイム出力機能タイプ2の TAUDnCMURm レジスタの内容」に示すように設定します。</p> <p>下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「(4) 下位チャンネルのレジスタ設定」に示すように設定します。TAUDnCDRm レジスタはキャプチャレジスタとして動作します (TAUDnTRC.TAUDnTRCm = 1 のチャンネル)。</p> <p>制御ビットを「表 17.107 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p> <p>制御ビットを「表 17.109 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	チャンネル動作を停止しています。	
動作再開	動作開始	<p>TAUDnTRC.TAUDnTRCm が "1" に設定されているチャンネルでは、TAUDnTS.TAUDnTSm を設定します。TAUDnTS.TAUDnTSm はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>[TAUDnTRC.TAUDnTRCm が "1" に設定されているチャンネル]</p> <p>TAUDnTE.TAUDnTEm が "1" に設定され、カウントが開始されます。TAUDnCNTm が 0000_H にクリアされます。TAUDnCMORm.TAUDnMD0 が "1" の場合は、INTTAUDnIm が発生します。</p>
動作中	<p>TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。</p>	<p>TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm 入力の有効エッジ検出時:</p> <ul style="list-style-type: none"> TAUDnCDRm の値を TAUDnCNTm にキャプチャし、カウンタを 0000_H にクリアします。 INTTAUDnIm が発生します。 TAUDnCSRm.TAUDnOVF ビットは TAUDTTINm 入力有効エッジを検出したとき、オーバフロー発生後ならば "1" にセット、オーバフロー発生前ならば "0" にクリアされます。 <p>TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。以降、この動作を繰り返します。</p>	
動作停止	<p>TAUDnTT.TAUDnTTm を "1" に設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。TAUDnCNTm は停止し、TAUDnCNTm、TAUDnCSRm.TAUDnOVF、TAUDTTOUTm は現在値を保持します。</p>	

(6) 特定のタイミング図

(a) 動作の開始と停止

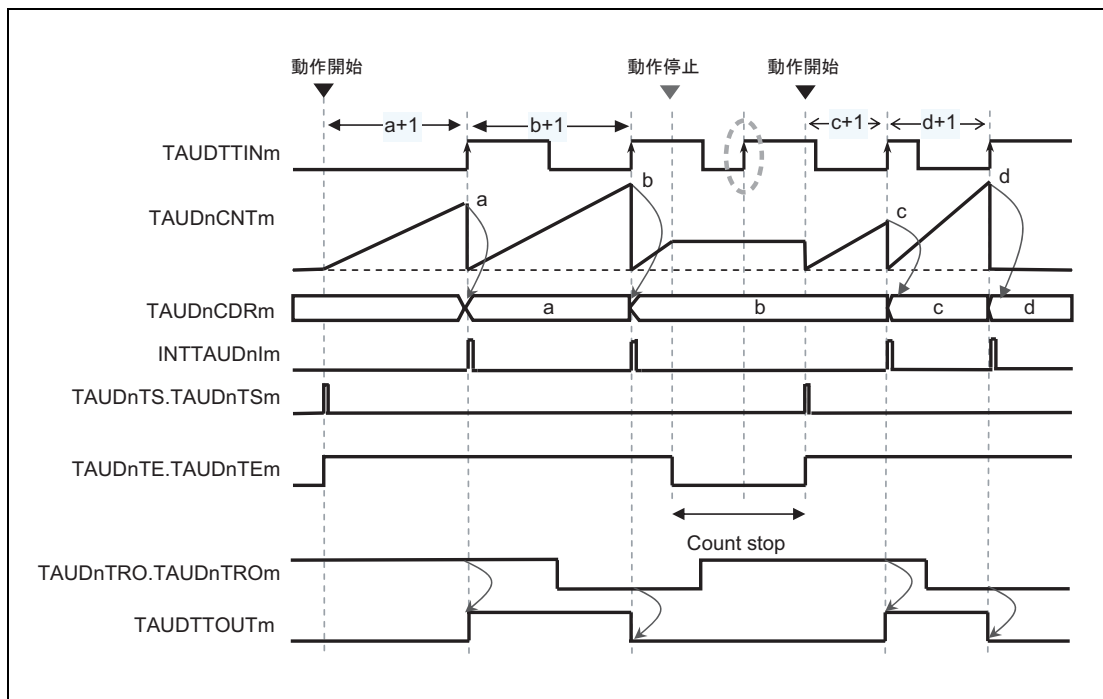


図 17.72 動作の開始と停止 (TAUDnCMORm.TAUDnMD0 = 0)

- TAUDnTS.TAUDnTSm が“1”に設定され、カウンタがアップカウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータレジスタ (TAUDnCDRm) に書き込まれ、割り込みが発生します。
- TAUDTTOUTm はリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力し、カウンタはリセットされ、アップカウントを再開します。
- TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合 (TAUDnTE.TAUDnTEm = 0)、有効な入力エッジは無視され、割り込みは発生しません。

17.4.11 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

- 「17.4.11.1 一斉書き換えトリガ生成機能タイプ1」

17.4.11.1 一斉書き換えトリガ生成機能タイプ1

(1) 概要

概要

下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUDnRDC.TAUDnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUDnRDC.TAUDnRDCm = 0) です。

前提条件

- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUDnRDE.TAUDnRDEm = 1)
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 17.111 一斉書き換えトリガ生成機能タイプ1のTAUDnCMORmレジスタの内容」参照)。
- 下位チャンネルに設定可能な動作モードは、「表 17.42 一斉書き換え方法とトリガタイミング」を参照してください。
- この機能では、TAUDTTOUTmはいずれのチャンネルでも使用しません。

機能説明

上位チャンネル、下位チャンネルのチャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これによりTAUDnTE.TAUDnTEm = 1となり、カウントが可能になります。上位チャンネルのデータレジスタバッファ (TAUDnCDRm buf) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが0000_Hになると、そのチャンネルで割り込みが発生します。対応するTAUDnCDRm バッファの現在値をTAUDnCNTmにロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガチャンネルとして設定されていて (TAUDnRDC.TAUDnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUDnRSF.TAUDnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnRDC.TAUDnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUDnRDC.TAUDnRDCm ビットを“0”に設定しておく必要があります。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。「17.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) 算出式

一斉書き換えトリガの生成周期 = カウントクロック周期 × (TAUDnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$$\text{TAUDnCDRm} = [(\text{一斉書き換え対象マスタチャンネルの TAUDnCDRm 値} + 1) \times \text{割り込み数}] - 1$$

[三角波 PWM の場合]

$$\text{TAUDnCDRm} = [(\text{一斉書き換え対象マスタチャンネルの TAUDnCDRm 値} + 1) \times 2 \times \text{割り込み数}] - 1$$

つまり、TAUDnCDRm + 1 と TAUDnCDRm_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

(3) ブロック図と基本タイミング図

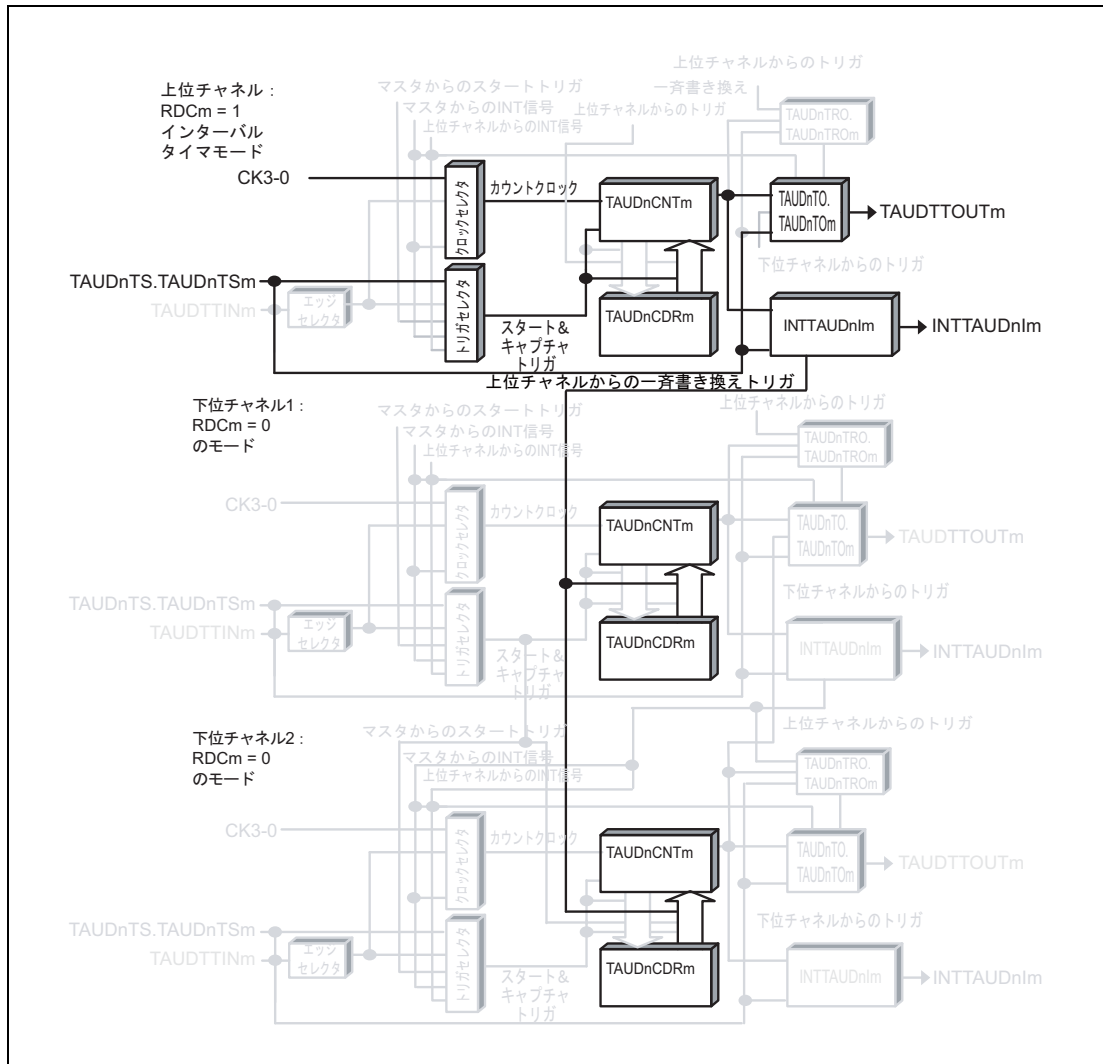


図 17.73 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

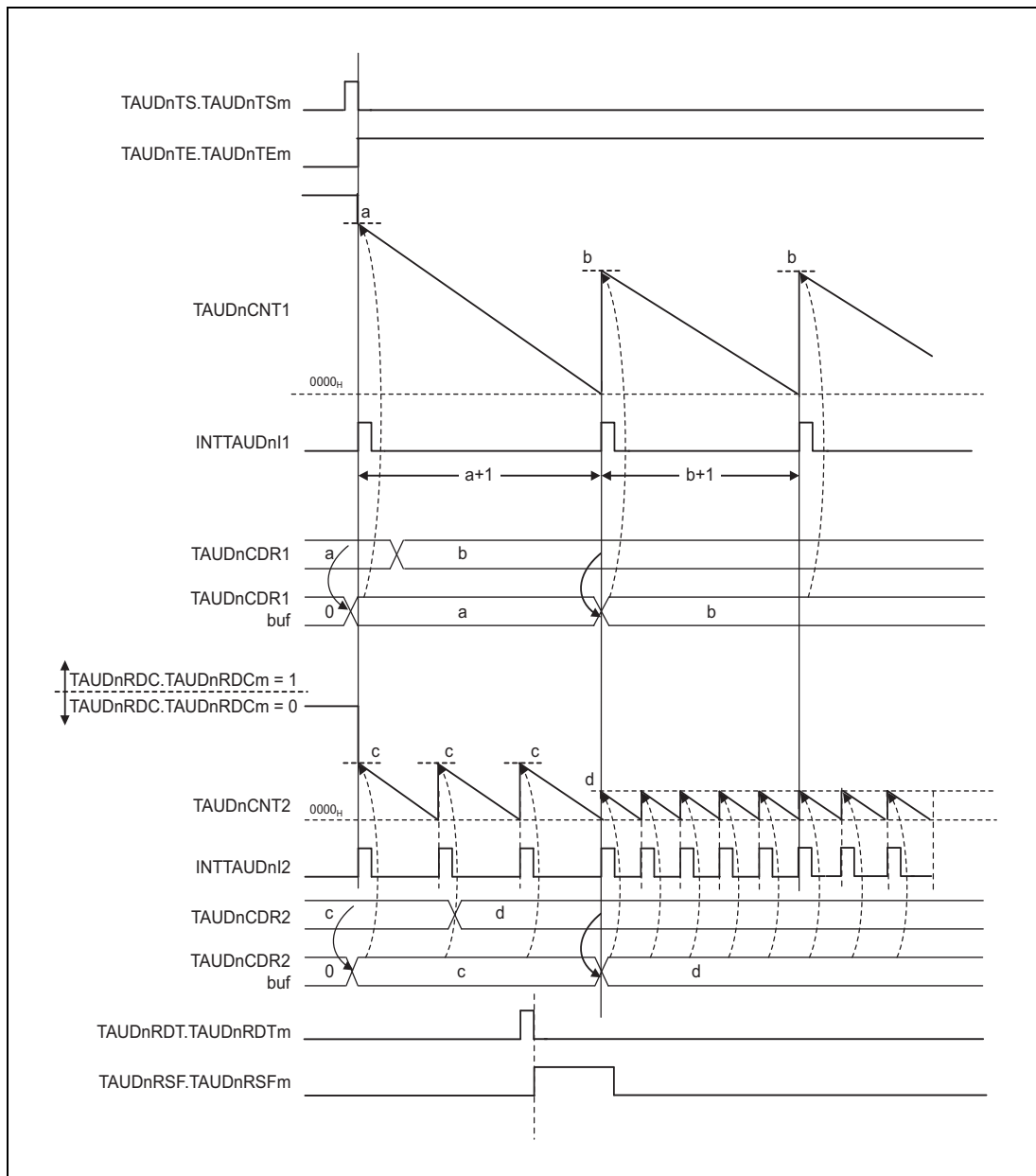


図 17.74 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

(4) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.111 一斉書き換えトリガ生成機能タイプ1の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.112 一斉書き換えトリガ生成機能タイプ1の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 上位チャネルの一斉書き換え

表 17.113 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1: チャネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

(5) 下位チャネルのレジスタ設定

(a) 下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは、設定可能な動作モードの TAUDnCMORm レジスタ設定にしたがってください（「表 17.42 一斉書き換え方法とトリガタイミング」を参照してください）。

(b) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは、設定可能な動作モードの TAUDnCMURm レジスタ設定にしたがってください（「表 17.42 一斉書き換え方法とトリガタイミング」を参照してください）。

(c) 下位チャネルのチャネル出力モード

下位チャネルの動作モード（マスタ、スレーブ）設定にしたがった出力が可能です。

一斉書き換えトリガ生成機能タイプ1が使用可能な機能については、「表 17.42 一斉書き換え方法とトリガタイミング」を参照してください。

(d) 下位チャネルの一斉書き換え

表 17.114 一斉書き換えトリガ生成機能タイプ1時の下位チャネル一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない

(6) 一斉書き換えトリガ生成機能タイプ1の操作手順

表 17.115 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUDnの状態
	チャンネルの初期設定 上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 17.111 一斉書き換えトリガ生成機能タイプ1の TAUDnCMORm レジスタの内容」と「表 17.112 一斉書き換えトリガ生成機能タイプ1の TAUDnCMURm レジスタの内容」に示すように設定します。 下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、(5)「下位チャンネルのレジスタ設定」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生します。
	動作中 TAUDnRDT.TAUDnRDTm、TAUDnCDR.CDRm は変更可能です。 TAUDnRSF.TAUDnRSFm は常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が“1”に設定されているチャンネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

17.4.12 チャンネル連動動作機能

この節では、TAUDのチャンネル連動動作の全機能について説明します。チャンネル連動動作の概要については、「17.2 概要」を参照してください。

この節では、一定間隔でPWM信号を発生させる機能について述べます。

- 「17.4.12.1 PWM出力機能」
- 「17.4.12.2 ワンショットパルス出力機能」
- 「17.4.12.3 トリガスタートPWM出力機能」
- 「17.4.12.4 ディレイパルス出力機能」
- 「17.4.12.5 オフセットトリガ出力機能」
- 「17.4.12.6 A/D変換トリガ出力機能タイプ1」
- 「17.4.12.7 三角波PWM出力機能」
- 「17.4.12.8 デッドタイム付き三角波PWM出力機能」
- 「17.4.12.9 A/D変換トリガ出力機能タイプ2」
- 「17.4.12.10 割り込み要求信号間引き機能」
- 「17.4.12.11 1相PWM出力機能」

17.4.12.1 PWM出力機能

(1) 概要

概要

マスタチャンネルと複数のスレーブチャンネルを使用することで、複数のPWM出力を生成する機能です。これにより、TAUDTTOUT_mのパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 17.116 PWM出力機能時のマスタチャンネルのTAUDnCMOR_mレジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 17.119 PWM出力機能時のスレーブチャンネルのTAUDnCMOR_mレジスタの内容」参照）。
- この機能では、マスタチャンネルでTAUDTTOUT_mは使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャンネル：
マスタチャンネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。TAUDnCDRm 値を TAUDnCNTm にロードし、ダウンカウントを行います。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。TAUDTTOUTm 信号がアクティブレベルに設定されます。
カウンタ値が 0000_H になると (デューティ時間が経過すると) INTTAUDnIm が発生し、TAUDTTOUTm 信号がインアクティブレベルに設定されます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、カウンタを再開できます。

条件

この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = (TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)) × 100

- デューティサイクル = 0%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

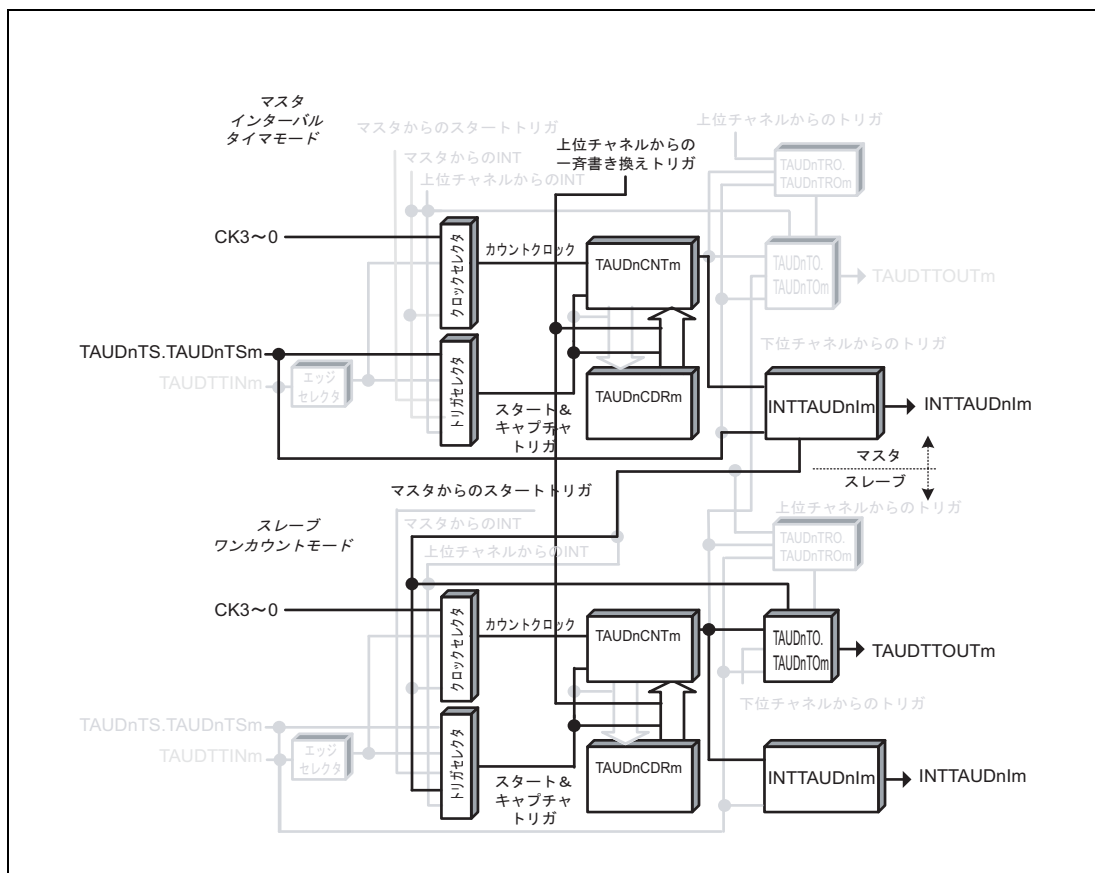


図 17.75 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル：正論理 (TAUDnTOL.TAUDnTOLm = 0)

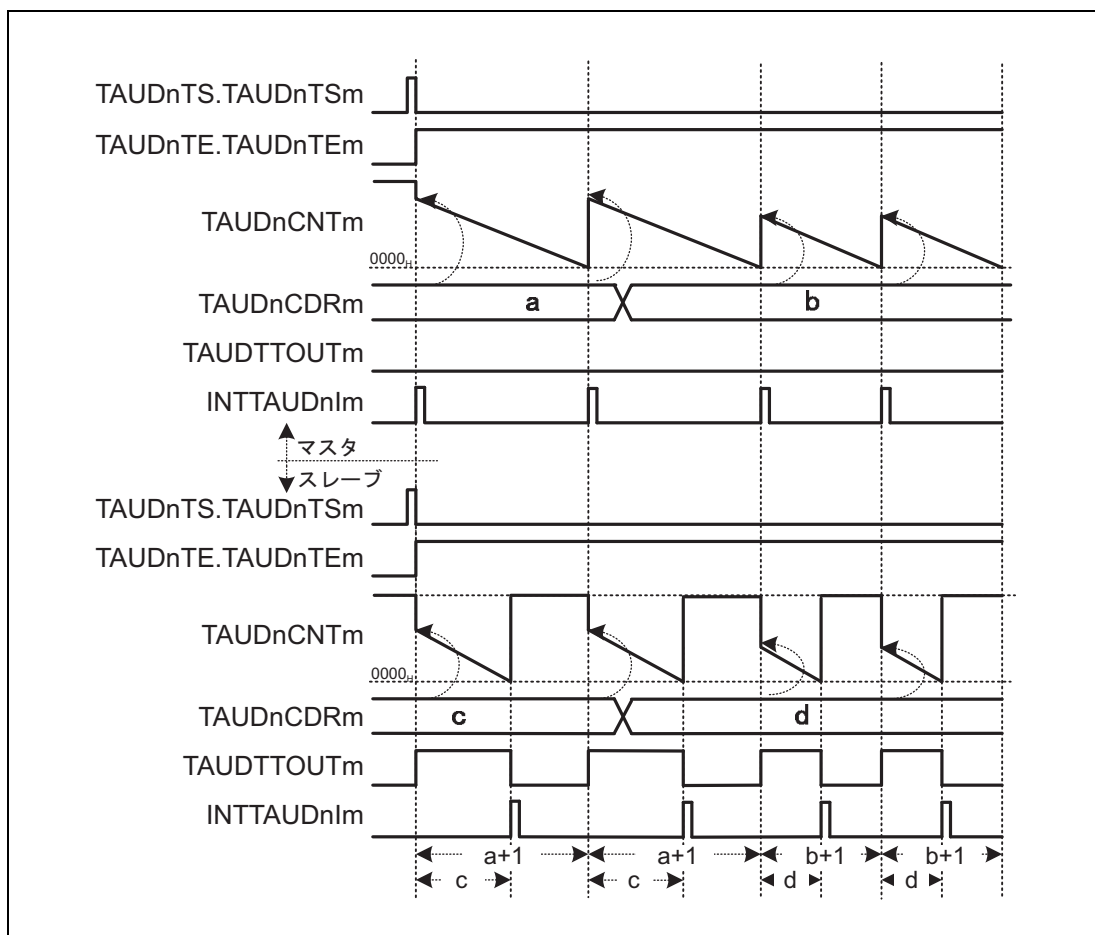


図 17.76 PWM 出力機能の基本タイミング図

備考

スレーブチャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUDnCDRm の値になりますが、マスタチャンネルでの間隔は対応する TAUDnCDRm + 1 の値になります。

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.116 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.117 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.118 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm ビット = 1 で使用する場合、マスタチャンネルの上位に「17.4.11.1 一斉書き換えトリガ生成機能タイプ 1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャンネル: TAUDnRDCm = 1、TAUDnRDS = 1
また、本チャンネルの TAUDnCDR 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUDnCDR 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル: TAUDnRDCm = 0、TAUDnRDS = 1
- スレーブチャンネル: TAUDnRDCm = 0、TAUDnRDS = 1

TAUDnCDRm (スレーブ) の設定値 > TAUDnCDRm (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.119 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.120 PWM 出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネルのチャンネル出力モード

表 17.121 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.122 PWM出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) PWM 出力機能の操作手順

表 17.123 PWM 出力機能時の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 マスタチャンネル:TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル:TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) が設定されます。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnTOL.TAUDnTOLm は変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCDRm 値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDTTOUTm (スレーブ) がアクティブレベルに設定されます。 TAUDnCNTm (スレーブ) が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がインアクティブレベルに設定されます。 また、スレーブチャンネルのカウント動作が停止します。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティサイクル = 0%

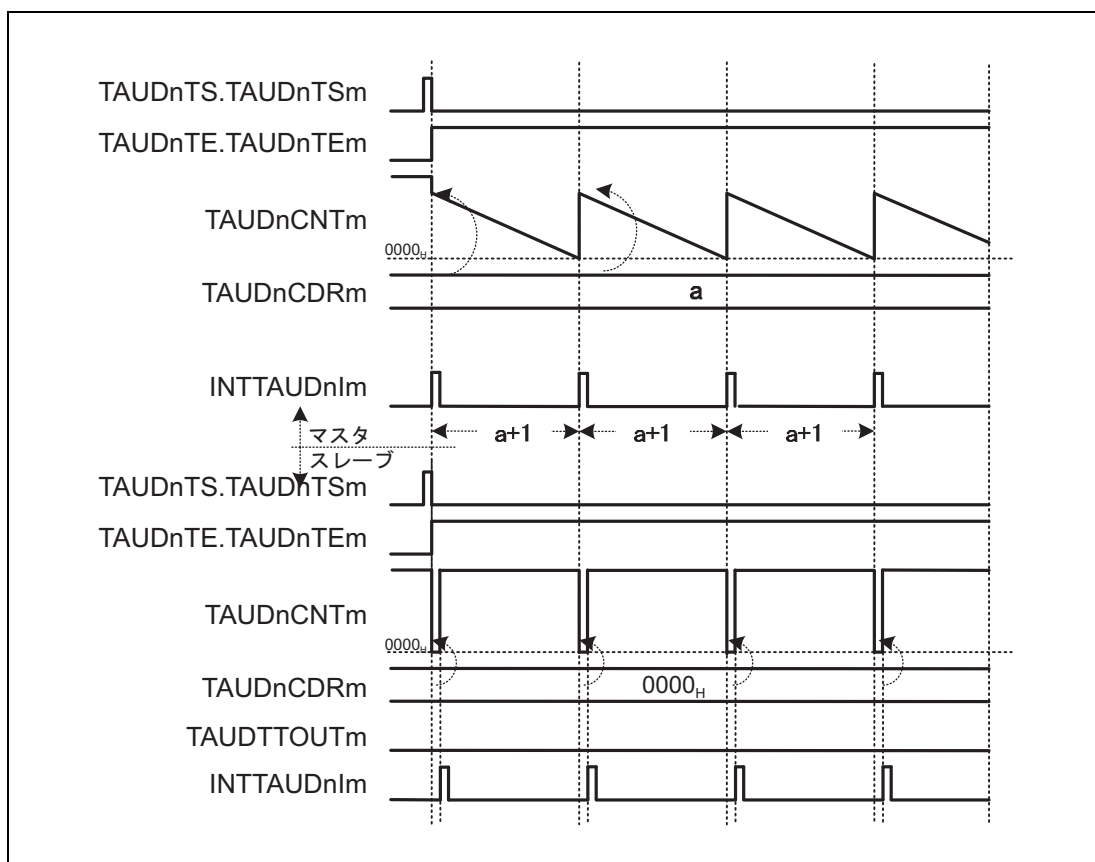


図 17.77 TAUDnCDRm (スレーブ) = 0000_H、正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタチャネルで割り込み (INTTAUDnIm) が発生するたびに、TAUDnCNTm (スレーブ) に 0000_H がロードされます。したがって、TAUDnCNTm (スレーブ) はカウントを開始できず、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティサイクル = 100%

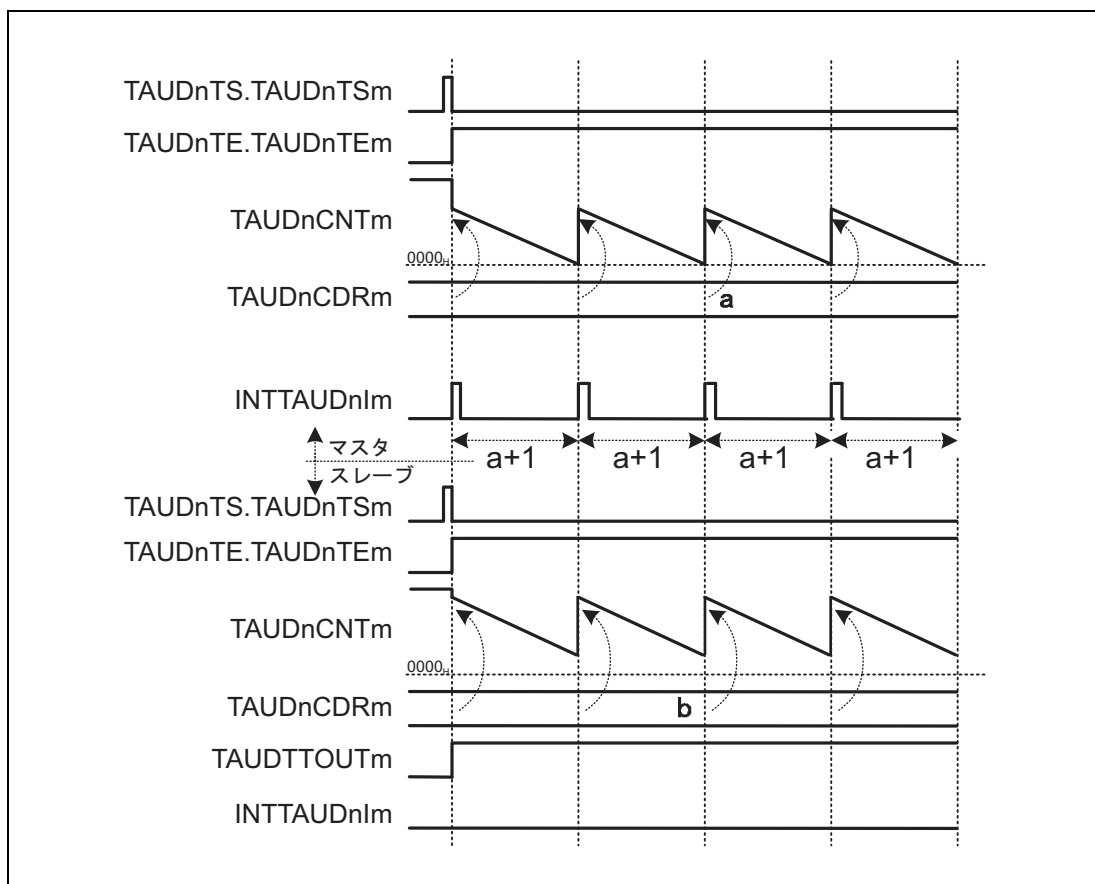


図 17.78 $TAUDnCDRm$ (スレーブ) $\geq TAUDnCDRm$ (マスタ) + 1
正論理 ($TAUDnTOL.TAUDnTOLm$ (スレーブ) = 0)

- $TAUDnCDRm$ (スレーブ) 値が $TAUDnCDRm$ (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。
 $TAUDTTOUTm$ はアクティブ状態のままになります。

(c) 動作の停止と再開

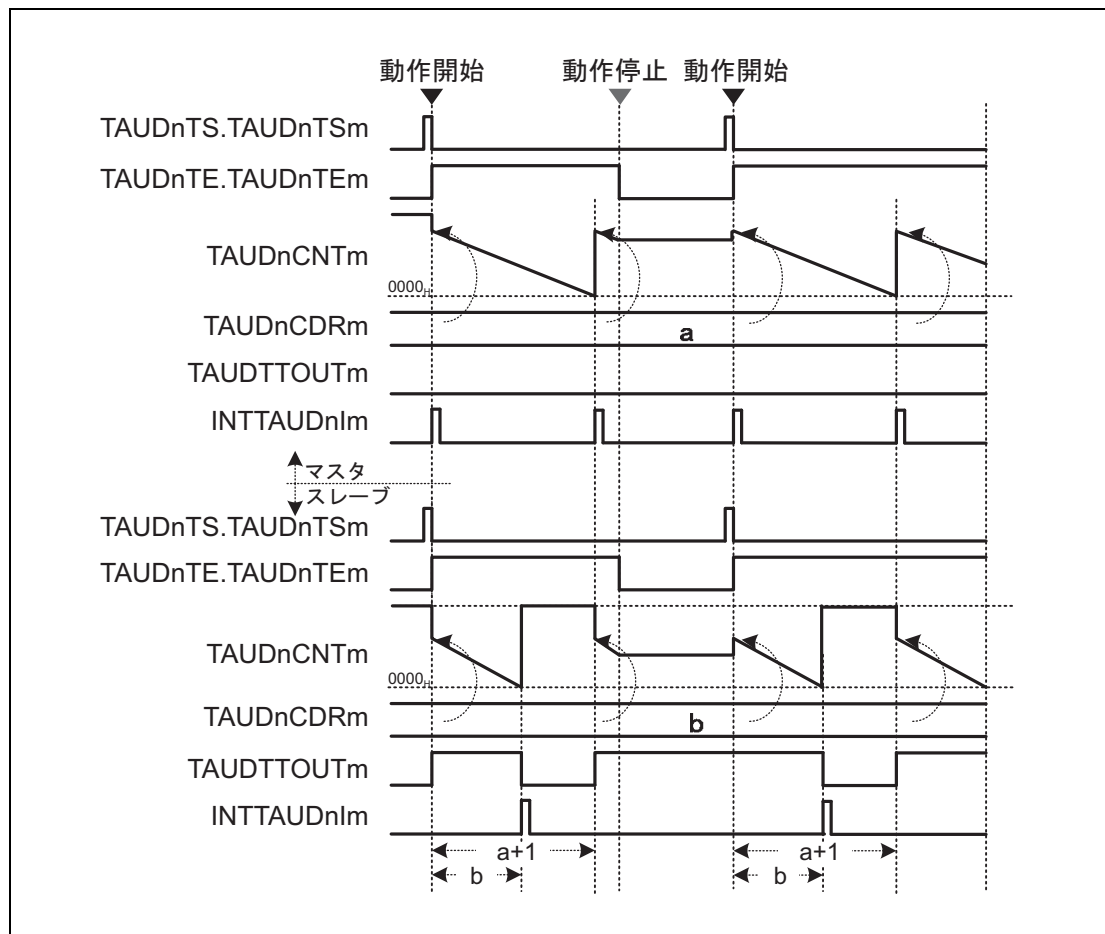


図 17.79 動作の停止と再開
正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタ/スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- 全チャネルの TAUDnCNTm と TAUDTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャネルの TAUDnTS.TAUDnTSM を “1” に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャネルの TAUDnCDRm 値を TAUDnCNTm にロードし、この値からダウンカウントを開始します。

17.4.12.2 ワンショットパルス出力機能

(1) 概要

概要

マスタチャンネルとスレーブチャンネルを使って外部入力信号パルス、またはソフトウェアトリガとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャンネルで設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 17.124 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、パルスワンカウントモードに設定する必要があります（「表 17.127 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル連動出力モード2に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- TAUDTTINm（マスタ）は、TAUDnCNTm（マスタ）と TAUDnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャンネルからの割り込みでのみトリガされ、TAUDTTINm（スレーブ）ではトリガされません。
- ソフトウェアトリガのみを使用したい場合、端子兼用機能で TAUDTTINm を選択しないでください。

機能説明

マスタチャンネル、スレーブチャンネルのチャンネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：

次の有効な TAUDTTINm 入力エッジ、またはソフトウェアトリガ（TAUDnTE.TAUDnTEm=1 のとき、TAUDnTS.TAUDnTSm=1（m：マスタチャンネル番号））が検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。カウンタは、この TAUDnCDRm 値からダウンカウントを開始します。TAUDnCMORm.TAUDnMD0 = 0 の場合、遅延時間内に検出されたトリガ（TAUDTTINm）は無視されます。

マスタチャンネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、次の有効な TAUDTTINm 入力エッジ、またはソフトウェアトリガ（TAUDnTE.TAUDnTEm=1 のとき、TAUDnTS.TAUDnTSm=1（m：マスタチャンネル番号））を待ちます。
- スレーブチャンネル：

マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm 信号がセットされます。

カウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTsm を“1”に設定すると、カウントを再開できます。

カウント中に TAUDnTS.TAUDnTsm を“1”に設定すると、いったん停止しなくてもマスタチャンネルのカウントを再開できます (強制リスタート)。

条件

- マスタチャンネルの TAUDnCMORm.TAUDnMD0 が“0”に設定されている場合、カウント中に検出された TAUDTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

(2) 算出式

トリガ入力からパルス出力までの遅延時間 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

(3) ブロック図と基本タイミング図

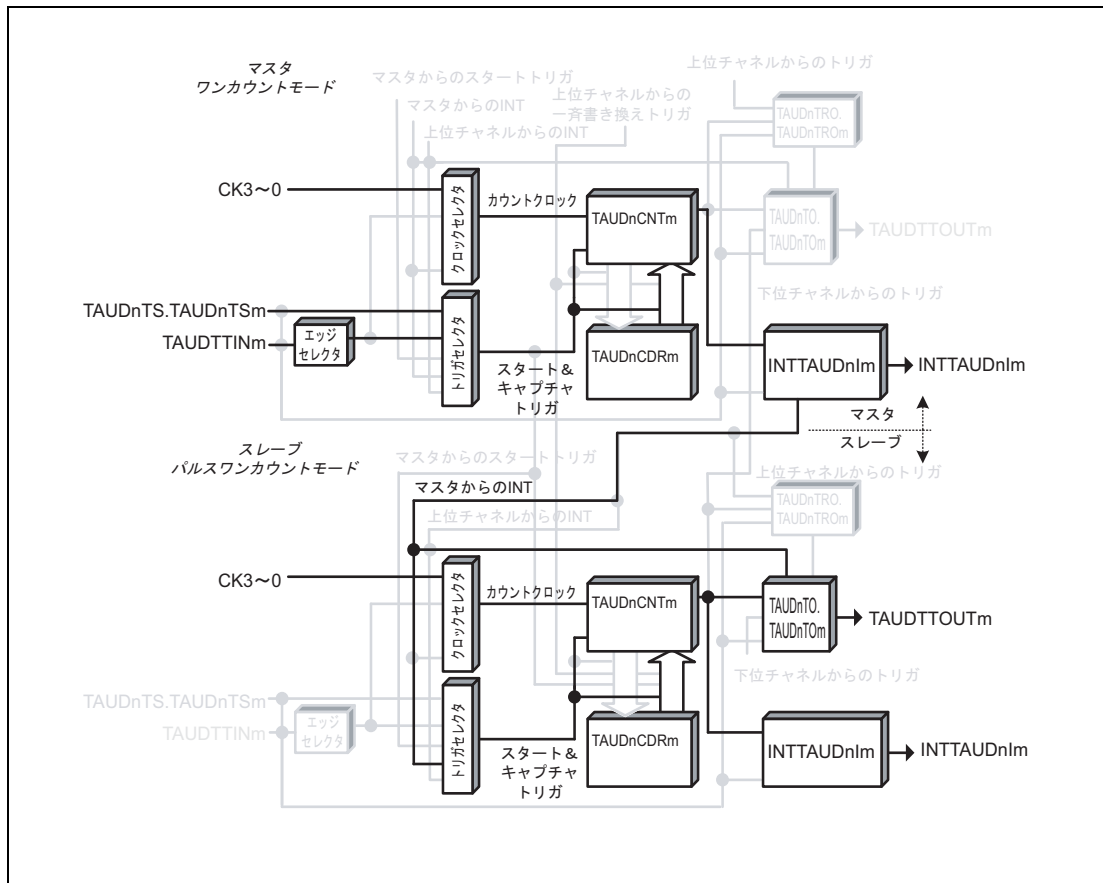


図 17.80 ワンショットパルス出力機能のブロック図

図 17.81 ワンショットパルス出力機能の基本タイミング図（外部入力信号の場合）および
 図 17.82 ワンショットパルス出力機能の基本タイミング図（ソフトウェアトリガの場合）
 での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUDnCMORm.TAUDnMD0 = 0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0] = 00_B）

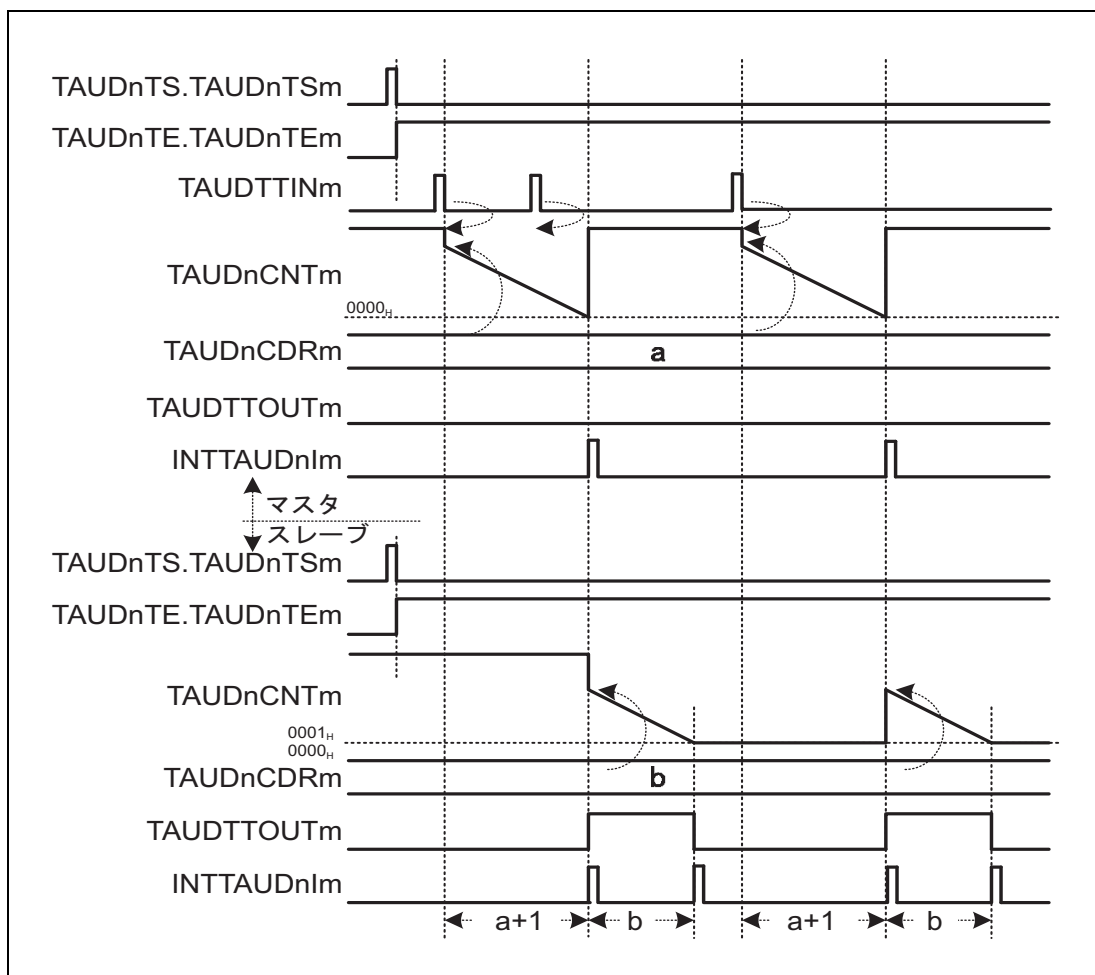


図 17.81 ワンショットパルス出力機能の基本タイミング図（外部入力信号の場合）

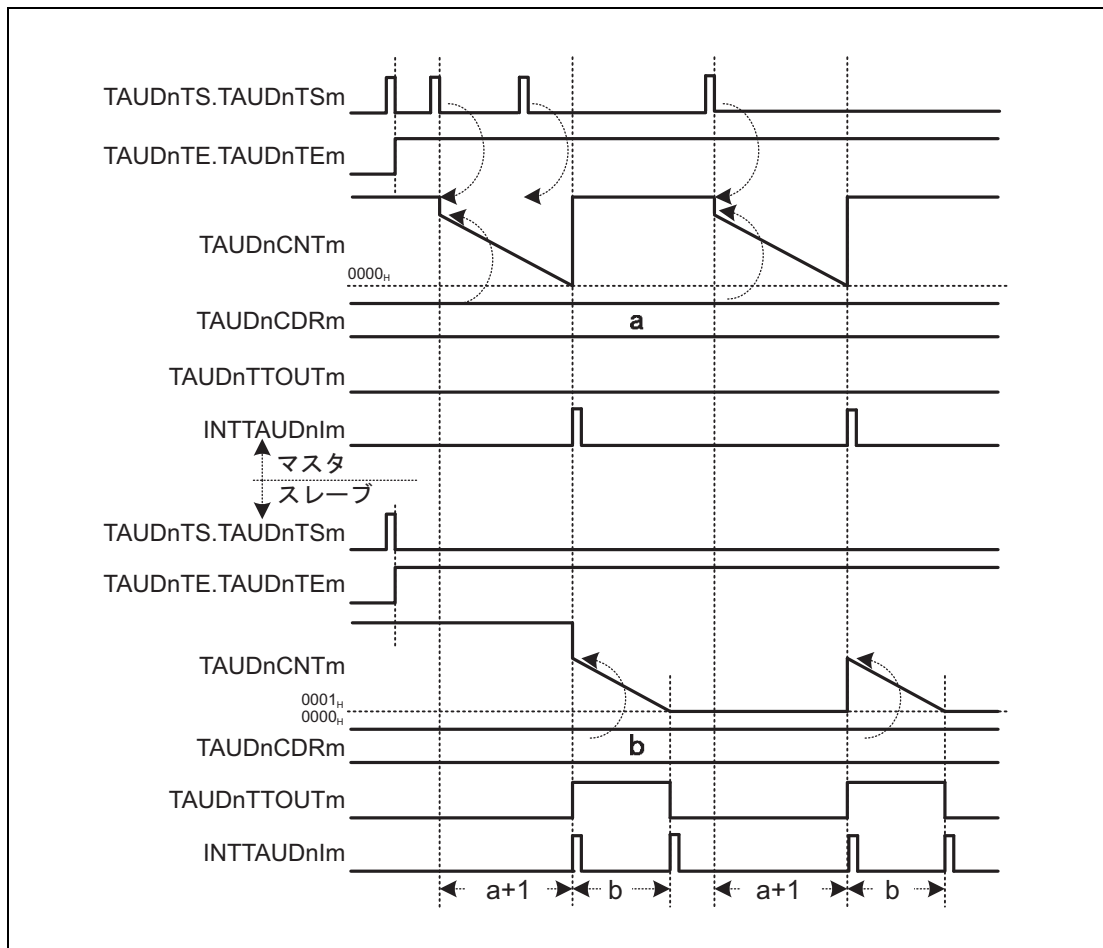


図 17.82 ワンショットパルス出力機能の基本タイミング図 (ソフトウェアトリガの場合)

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.124 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTInm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャンネルとスレーブチャンネルの TAUDnMD0 ビット値は同一である必要があります。

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.125 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.126 ワンショットパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.127 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャンネルとスレーブチャンネルの TAUDnMD0 ビット値は同一である必要があります。

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.128 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャネルの出力モード

表 17.129 チャンネル単体出力モード2の時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 17.130 ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。

(6) ワンショットパルス出力機能時の操作手順

表 17.131 ワンショットパルス出力機能時の操作手順

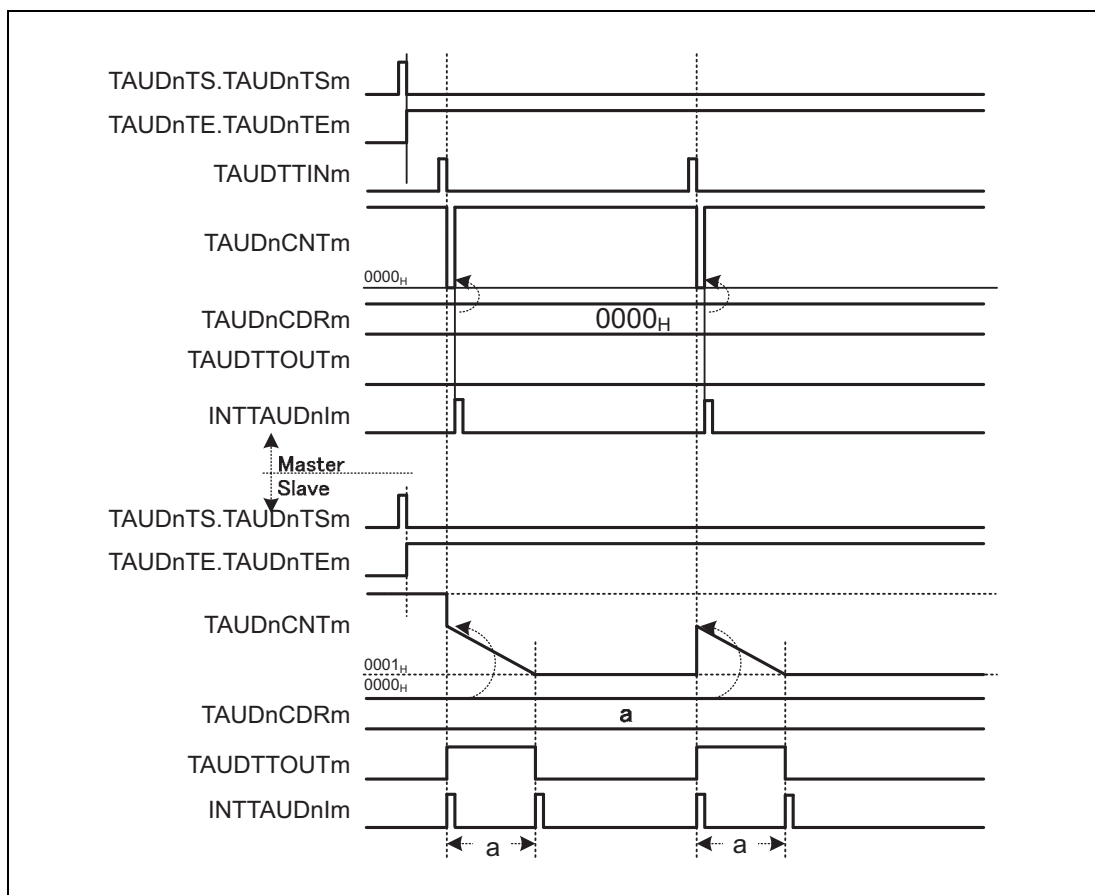
	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタチャンネルは TAUDTTINm 入力を待ちます。
	動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。 TAUDTTINm 入力の有効エッジを検出すると、マスタチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCNTm (マスタ) は FFFF_H に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がセットされます。 TAUDnCNTm (スレーブ) が 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がリセットされます。 カウント中にマスタチャンネルで TAUDTTINm 入力が出検され、TAUDnCMORm.TAUDnMD0 = 0 の場合、その入力は無視されます。
	動作停止	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(7) 特定のタイミング図

(a) TAUDnCDRm (マスタ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

図 17.83 TAUDnCDRm (マスタ) = 0000_H

- 有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm (マスタ) に値 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行くと FFFF_H に戻ります。
したがって、スレーブチャンネルのカウンタは TAUDTTINm (マスタ) から 1 カウントクロック遅れて、ダウンカウントを開始します。

(b) TAUDnCDRm (スレーブ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

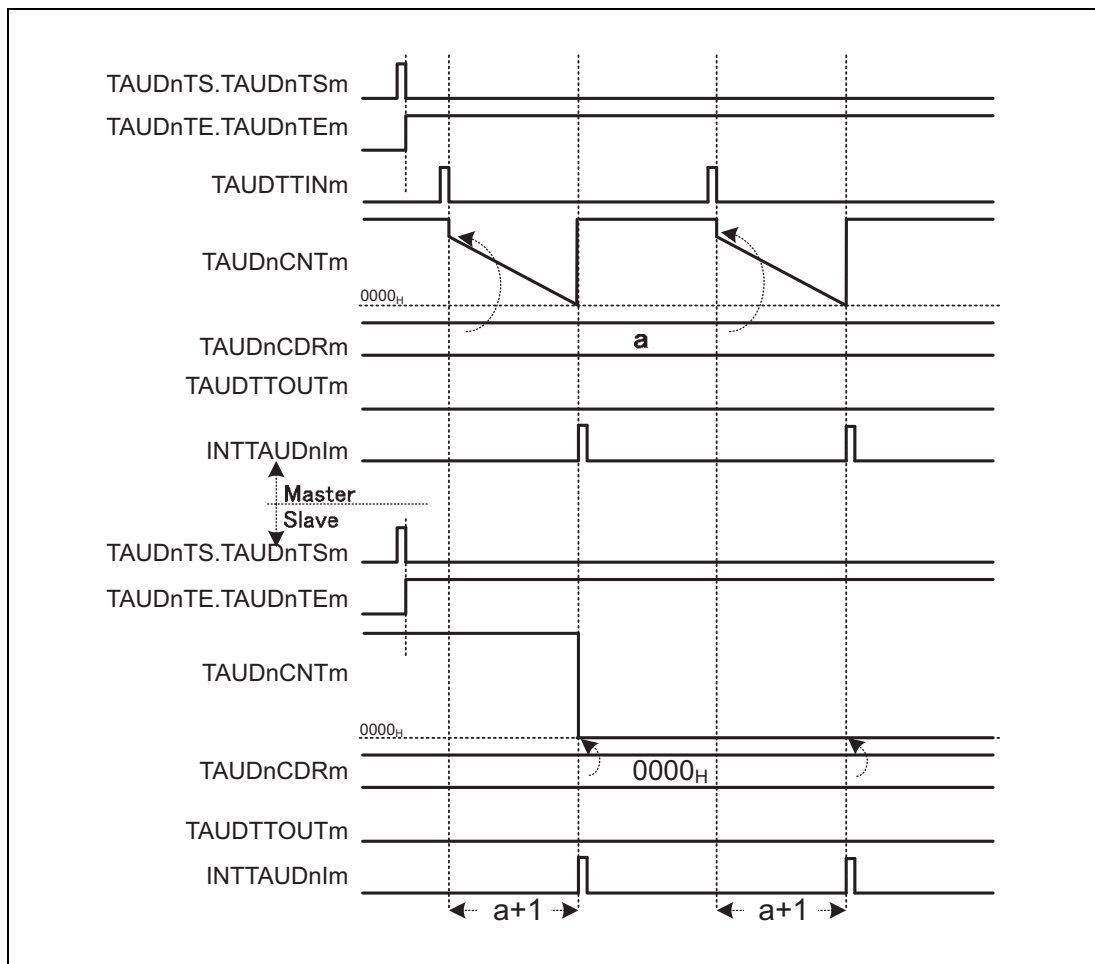


図 17.84 TAUDnCDRm (スレーブ) = 0000_H

- パルス幅が“0”のため、TAUDTTOUTm は非アクティブ状態のままです。

(c) $TAUDnCMORm.TAUDnMD0 = 1$

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可 ($TAUDnCMORm.TAUDnMD0 = 1$)
- 立ち下がりエッジ検出 ($TAUDnCMURm.TAUDnTIS[1:0] = 00_B$)

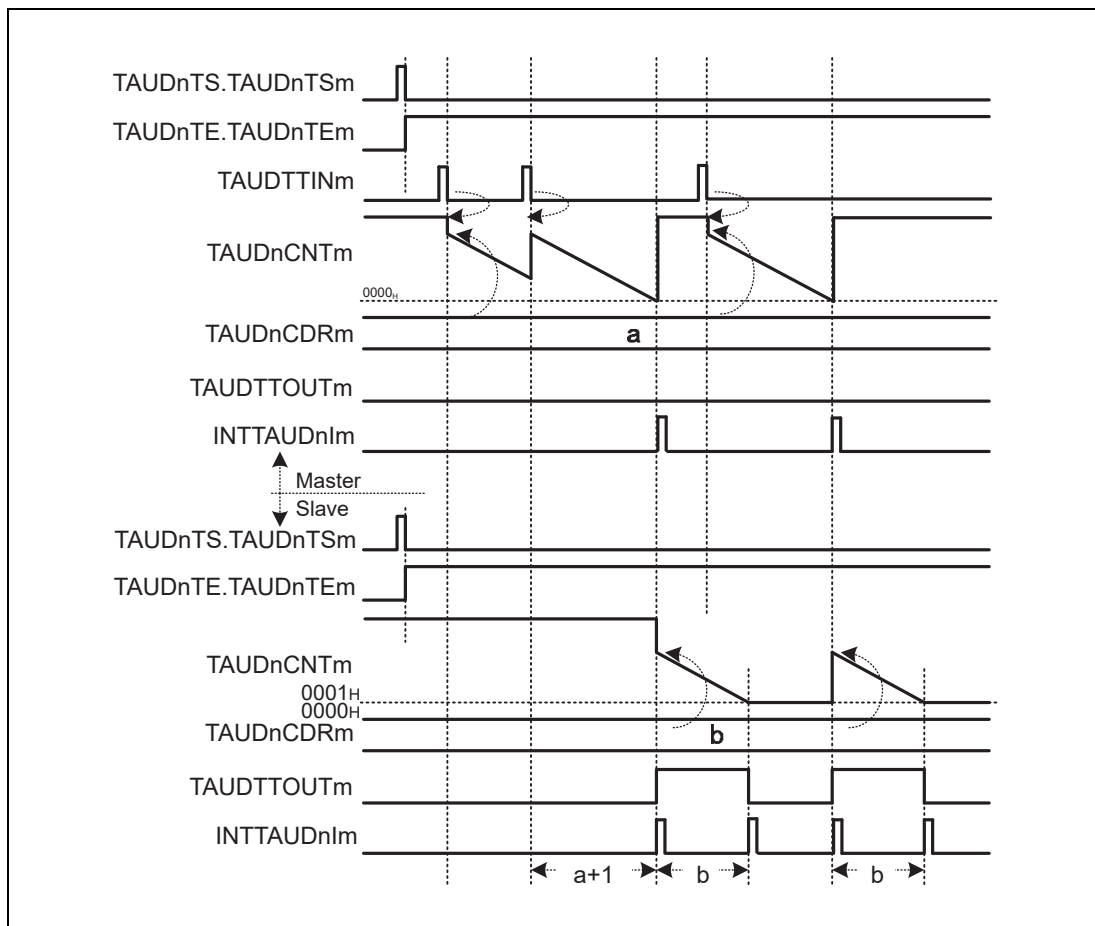


図 17.85 $TAUDnCMORm.TAUDnMD0 = 1$

- マスタチャネルのカウンタがダウンカウント中に $TAUDTTINm$ 入力の有効エッジが検出されると、 $TAUDnCNTm$ は $TAUDnCDRm$ の値をリロードします。カウンタはダウンカウントを再開します。
これは、 $TAUDTTINm$ 入力の有効エッジ検出時の $TAUDnCNTm$ の値によってディレイが引き延ばされたことを意味します。

(d) スレーブチャンネルカウント中にマスタチャンネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

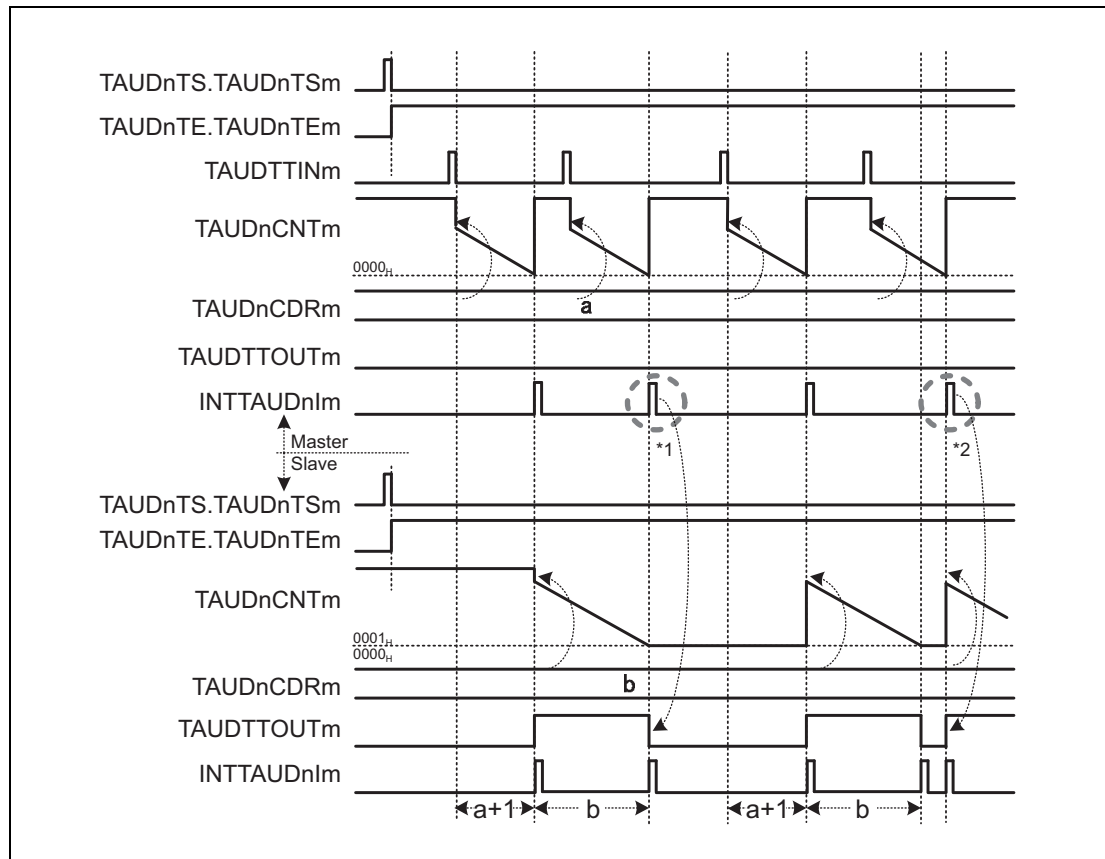


図 17.86 TAUDTTINm のインターバル \leq 遅延時間 + パルス幅 + 1

- スレーブチャンネルのカウンタが 0001_H になる前またはちょうど 0001_H になったときにマスタチャンネルが割り込みを発生した場合は (*1)、割り込み (マスタ) が無視されます。
- スレーブチャンネルのカウンタが次のトリガを待つ間にマスタチャンネルの割り込みが発生した場合は、TAUDnCDRm (スレーブ) の値がリロードされます。割り込みが発生し、TAUDTTOUTm がトグルされます。TAUDnCNTm (スレーブ) がカウント中に TAUDnCNTm (マスタ) がダウンカウントを開始した場合は (*2)、TAUDTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャンネルとスレーブチャンネルがカウント中ではなくスタートトリガ待ち状態のときにマスタチャンネルのスタートトリガが検出される必要があります。

17.4.12.3 トリガスタート PWM 出力機能

(1) 概要

概要

マスタチャンネルとスレーブチャンネルを1つずつ使用してPWM出力を生成する機能です。これにより、TAUDTTOUT_mのパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。トリガスタートPWM出力機能は、有効なTAUDTTIN_m入力エッジでマスタチャンネルをリセット可能である点を除いてPWM出力機能と同じです。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 17.132 トリガスタート PWM 出力機能のマスタチャンネルのTAUDnCMOR_mレジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 17.135 トリガスタート PWM 出力機能のスレーブチャンネルのTAUDnCMOR_mレジスタの内容」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード1に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- この機能では、マスタチャンネルでTAUDTTOUT_mは使用しません。

機能説明

チャンネルトリガビット（TAUDnTS.TAUDnTSM）を“1”に設定すると、カウンタ（マスタ／スレーブ）動作が許可されます。これによりTAUDnTE.TAUDnTE_m=1となり、カウンタが可能になります。TAUDnCDR_mの現在値がTAUDnCNT_mにロードされ、カウンタはそのTAUDnCDR_m値からダウンカウントを開始します。マスタチャンネルでINTTAUDnImが発生し、TAUDTTOUT_m（スレーブ）がセット、リセットされることによりPWM出力を実現しています。

- マスタチャンネル：

TAUDnCDR_mの現在値がカウンタ（TAUDnCNT_m）にロードされ、INTTAUDnImが発生し、カウンタはそのTAUDnCDR_m値からダウンカウントを開始します。カウンタ値が0000_Hになりパルス周期が経過すると、INTTAUDnImが発生し、TAUDnCDR_m値をTAUDnCNT_m（マスタ／スレーブ）にロードします。有効なTAUDTTIN_m入力エッジが検出されると、マスタチャンネルのカウンタはTAUDnCDR_mの現在値をロードしてダウンカウントを再開し、割り込みが発生します。
- スレーブチャンネル：

スレーブチャンネルはマスタチャンネルからの割り込みを検出すると、TAUDnCDR_mの現在値からダウンカウントを開始します。TAUDTTOUT_m信号がアクティブレベルに設定されます。カウンタ値が0000_Hになると（デューティ時間が経過すると）、INTTAUDnImが発生し、TAUDTTOUT_m信号がリセットされます。カウンタはFFFF_Hに戻り、マスタチャンネルの次のINTTAUDnImを待ちます。

マスタ／スレーブチャンネルのTAUDnTT.TAUDnTT_mを“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTE_mは“0”に設定されます。マスタ／ス

レーブチャンネルの TAUDnCNTm と TAUDTTOUTm は停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = [TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)] × 100

- デューティサイクル = 0%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

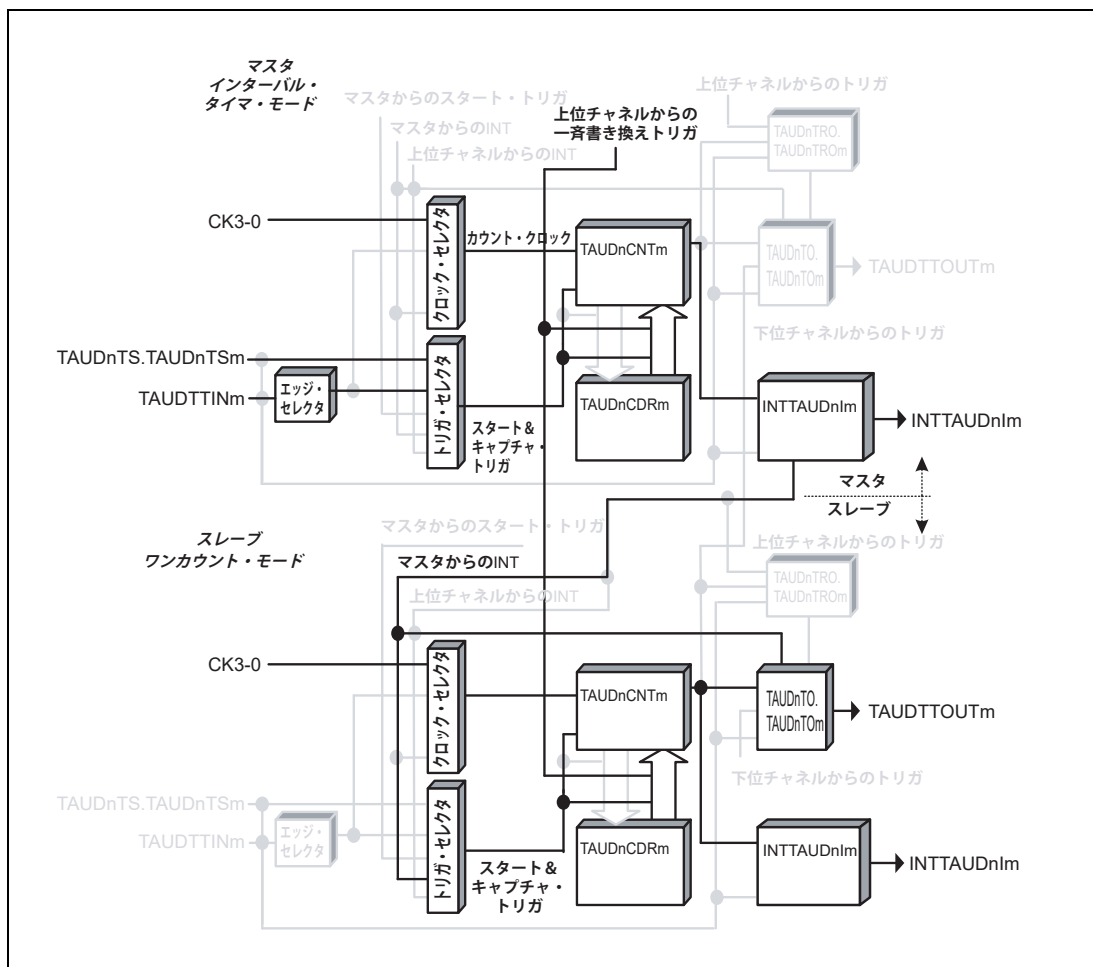


図 17.87 トリガスタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)
- 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

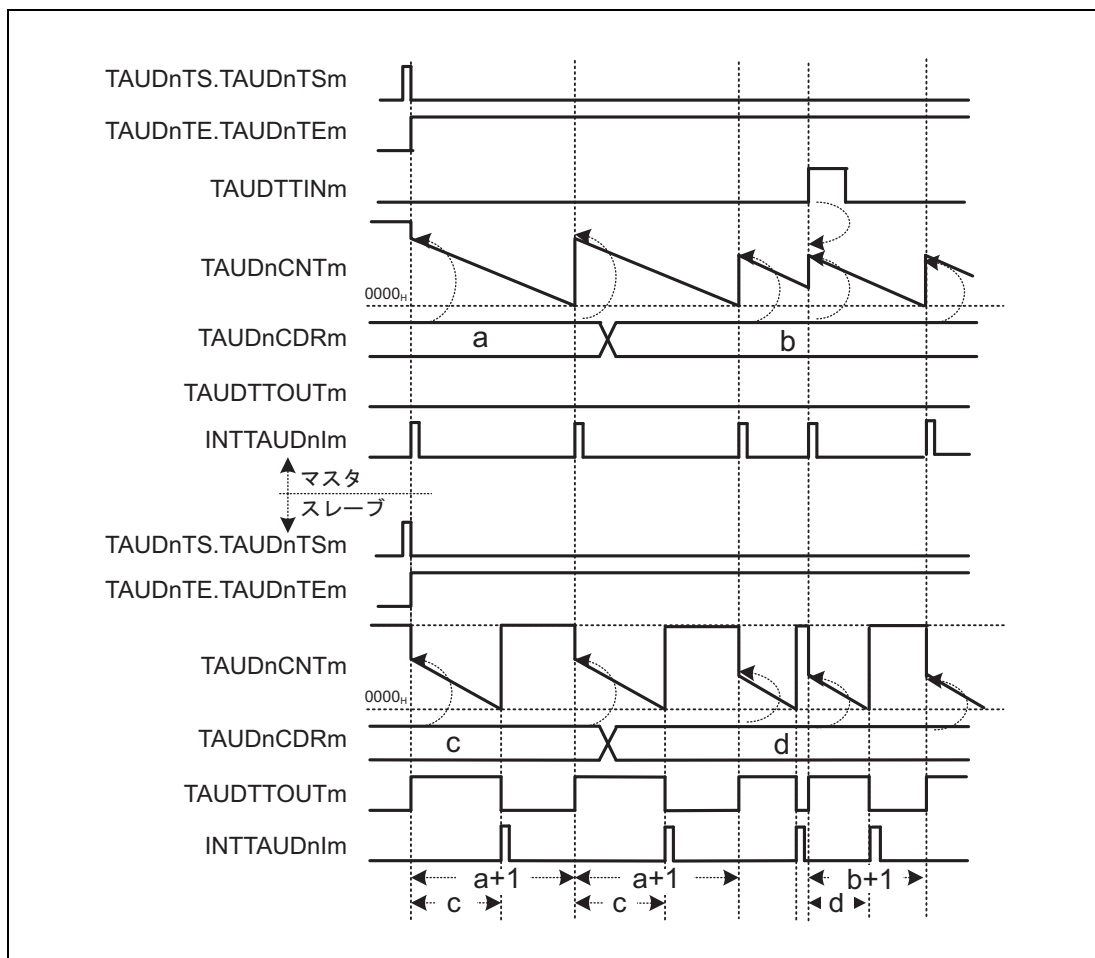


図 17.88 トリガスタート PWM 出力機能の基本タイミング図

備考

スレーブチャンネルの TAUDTTOUTm は、マスターチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.132 トリガスタート PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTInm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.133 トリガスタート PWM 出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.134 トリガスタート PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORM

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]	TAUDnCCS [1:0]	TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]	—	TAUDnMD[4:1]				TAUDn MD0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.135 トリガスタート PWM 出力機能のスレーブチャンネルの TAUDnCMORM レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	100: マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0100: ワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガが有効 マスタチャンネルとスレーブチャンネルの TAUDnMD[0] ビット値は同一である必要があります。

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.136 トリガスタート PWM 出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネルの出力モード

表 17.137 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm = 0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.138 トリガスタート PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャンネルの一斉書き換えトリガを選択 1：チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャンネルとして動作しない。

(6) トリガスタート PWM 出力機能時の操作手順

表 17.139 トリガスタート PWM 出力機能時の操作手順

	操作	TAUDnの状態
動作再開 ↑	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。マスタチャンネルで INTTAUDnIm が発生します。
	動作中	<p>マスタチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCDRm 値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 TAUDTTOUTm (スレーブ) が設定されます。 <p>スレーブチャンネルの TAUDnCNTm が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がインアクティブレベルに設定されます。また、スレーブチャンネルのカウント動作が停止します。 <p>マスタチャンネルの TAUDnCNTm がダウンカウント中にマスタチャンネルで TAUDTTINm 入力検出された場合：</p> <ul style="list-style-type: none"> TAUDnCNTm (マスタ/スレーブ) は TAUDnCDRm 値をロードし、ダウンカウントを行います。 INTTAUDnIm (マスタ) が発生します。 TAUDTTOUTm (スレーブ) がアクティブレベルに設定されます。
	動作停止	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティサイクル = 0%

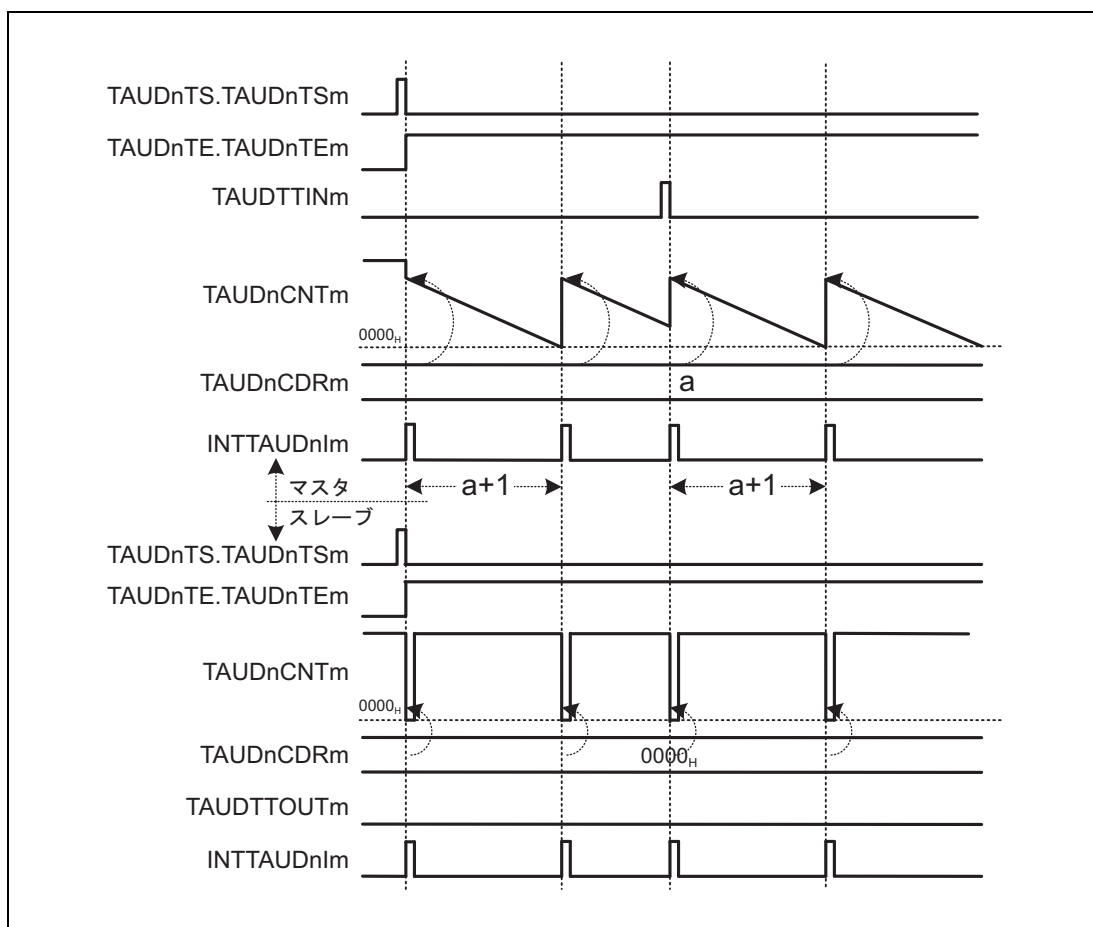


図 17.89 TAUDnCDRm (スレーブ) = 0000_H、
 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)
 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- マスタチャンネルで割り込み (INTTAUDnIm) が発生するたびに、TAUDnCNTm (スレーブ) に 0000_H がロードされます。したがって、TAUDnCNTm (スレーブ) はカウントを開始できず、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCNTm (スレーブ) は TAUDnCDRm 値がロードされるたびに割り込みを発生させます。
 有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm (スレーブ) に変化はありません。

(b) デューティサイクル = 100%

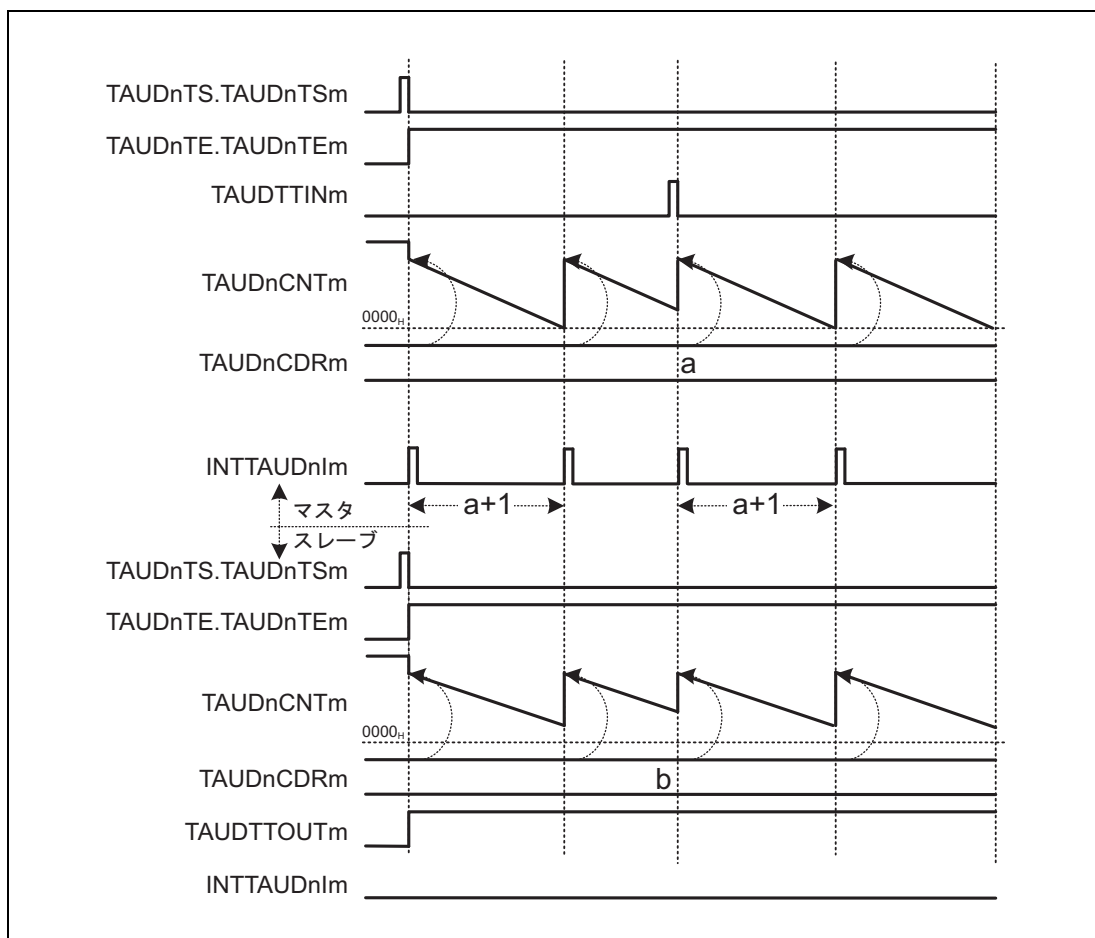


図 17.90 TAUDnCDRm (スレーブ) \geq TAUDnCDRm (マスタ) + 1
 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)
 立ち下がリエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。TAUDTTOUTm はアクティブ状態のままになります。有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm (スレーブ) に変化はありません。

(c) TAUDTTINm 検出とアクティブなスレーブカウンタ

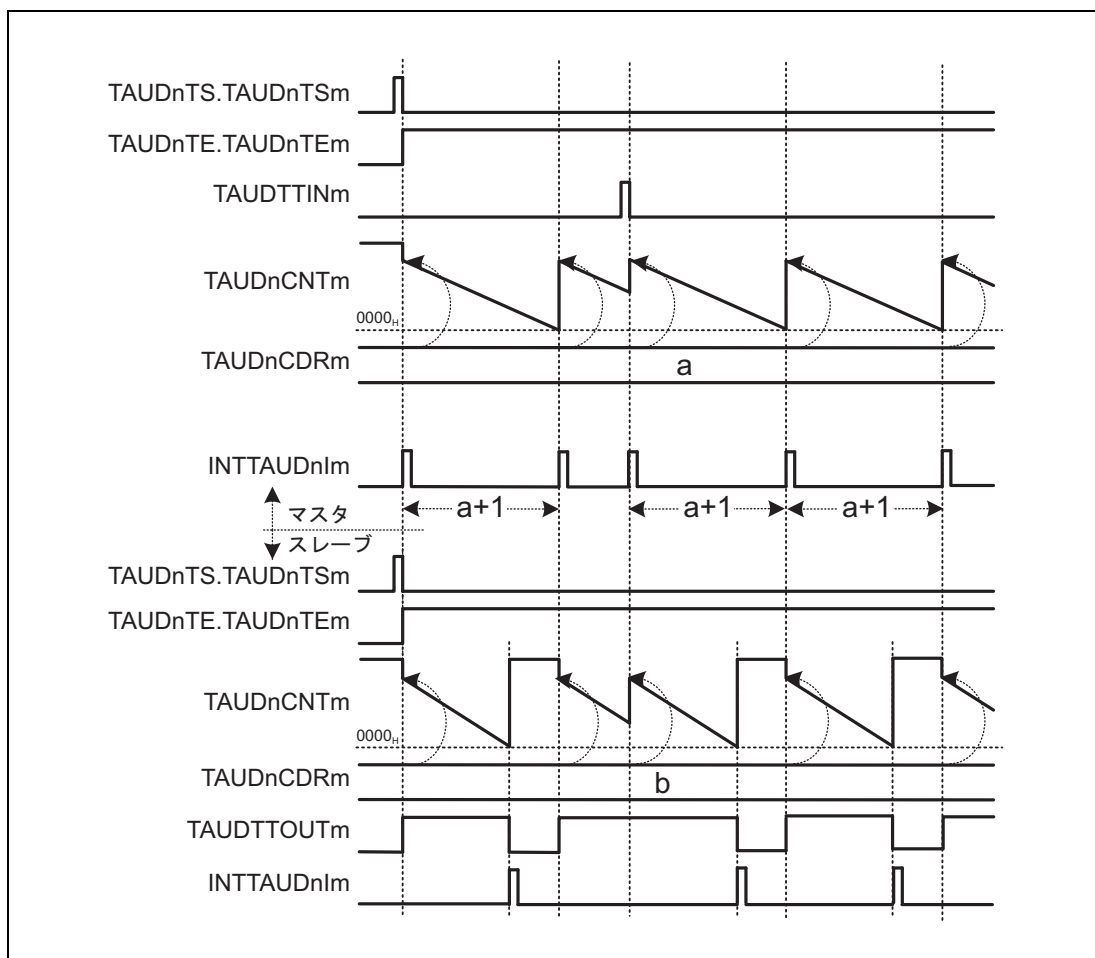


図 17.91 正論理 ($TAUDnTOL.TAUDnTOLm$ (スレーブ) = 0)
立ち下がりエッジ検出 ($TAUDnCMURm.TAUDnTIS[1:0] = 00_B$)

- $TAUDnCNTm$ (スレーブ) がダウンカウント中に $TAUDnCDRm$ (スレーブ) 値をロードした場合、 $TAUDTTOUTm$ は変化せず、デューティを拡張します。デューティはスレーブチャンネルのデータレジスタの値に対応していません。

17.4.12.4 ディレイパルス出力機能

(1) 概要

概要

この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャンネルとスレーブチャンネル1を使用して定義されています。スレーブチャンネル2とスレーブチャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャンネルで設定します。
- 基準信号のデューティサイクルはスレーブチャンネル1を、ディレイ信号のデューティサイクルはスレーブチャンネル3を使用して設定されます。
- 遅延量はスレーブチャンネル2で設定します。

前提条件

- 4チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 17.140 ディレイパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル1、2の動作モードは、ワンカウントモードに設定する必要があります（「表 17.143 ディレイパルス出力機能時のスレーブチャンネル1の TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル3の動作モードは、パルスワンカウントモードに設定する必要があります（「表 17.147 ディレイパルス出力機能時のスレーブチャンネル2の TAUDnCMORm レジスタの内容」参照）。
- マスタチャンネルおよびスレーブチャンネル2では TAUDTTOUTm を使用しません。
- スレーブチャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- スレーブチャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、チャンネルグループのカウント動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：

TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUDnIm が発生します。マスタチャンネルのカウント値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャンネル1、スレーブチャンネル2：

スレーブチャンネル1、2はマスタチャンネルからの割り込みを検出すると、TAUDnCDRm

の現在値からダウンカウントを開始します。TAUDTTOUTm 信号 (スレーブ 1) が設定されます。

- スレーブチャンネル 1 :
スレーブチャンネル 1 のカウンタ値が 0000_H になると (デューティ時間が経過すると)、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。
- スレーブチャンネル 2 :
スレーブチャンネル 2 のカウンタ値が 0000_H になり遅延時間が経過すると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。
INTTAUDnIm (スレーブチャンネル 2) が発生することにより、スレーブチャンネル 3 のカウンタ動作がトリガされます。
- スレーブチャンネル 3 :
スレーブチャンネル 3 はスレーブチャンネル 2 からの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。INTTAUDnIm が発生し、TAUDTTOUTm 信号 (スレーブチャンネル 3) がセットされます。
スレーブチャンネル 3 のカウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。
スレーブチャンネル 3 からは遅延された PWM パルスが出力されます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTsm を “1” に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティ幅 1 = (TAUDnCDRm (スレーブ 1)) × カウントクロック周期

遅延幅 = (TAUDnCDRm (スレーブ 2) + 1) × カウントクロック周期

デューティ幅 2 = (TAUDnCDRm (スレーブ 3)) × カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。

$0000_{\text{H}} \leq \text{TAUDnCDRm (スレーブ 2)} < \text{TAUDnCDRm (マスタ)}$

備考

1. TAUDTTOUTm (スレーブ 3) の出力波形は、TAUDTTOUTm (スレーブ 1) の出力波形をスレーブ 2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ 3 のカウント中に、スレーブ 2 の TAUDnINTm が発生した場合、スレーブ 3 は動作を再開します。したがって、TAUDTTOUTm (スレーブ 3) の出力波形は、アクティブレベルを保持します。(この場合、TAUDTTOUTm (Slave-CH-3) は、TAUDTTOUTm (Slave-CH-1) の基本パルスをディレイさせた波形を出力できません。)

(3) ブロック図と基本タイミング図

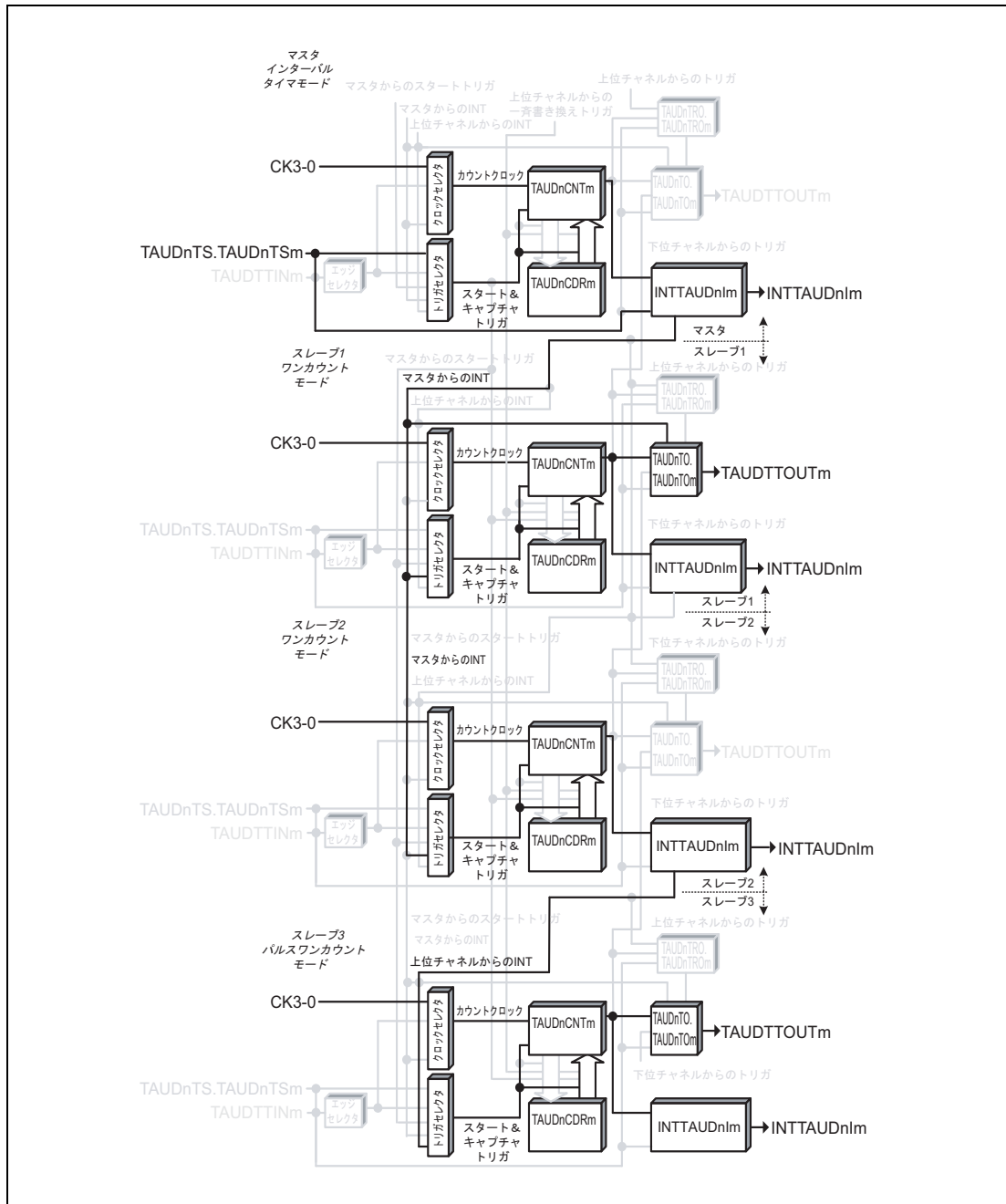


図 17.92 デレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル1：正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブチャンネル3：正論理 (TAUDnTOL.TAUDnTOLm = 0)

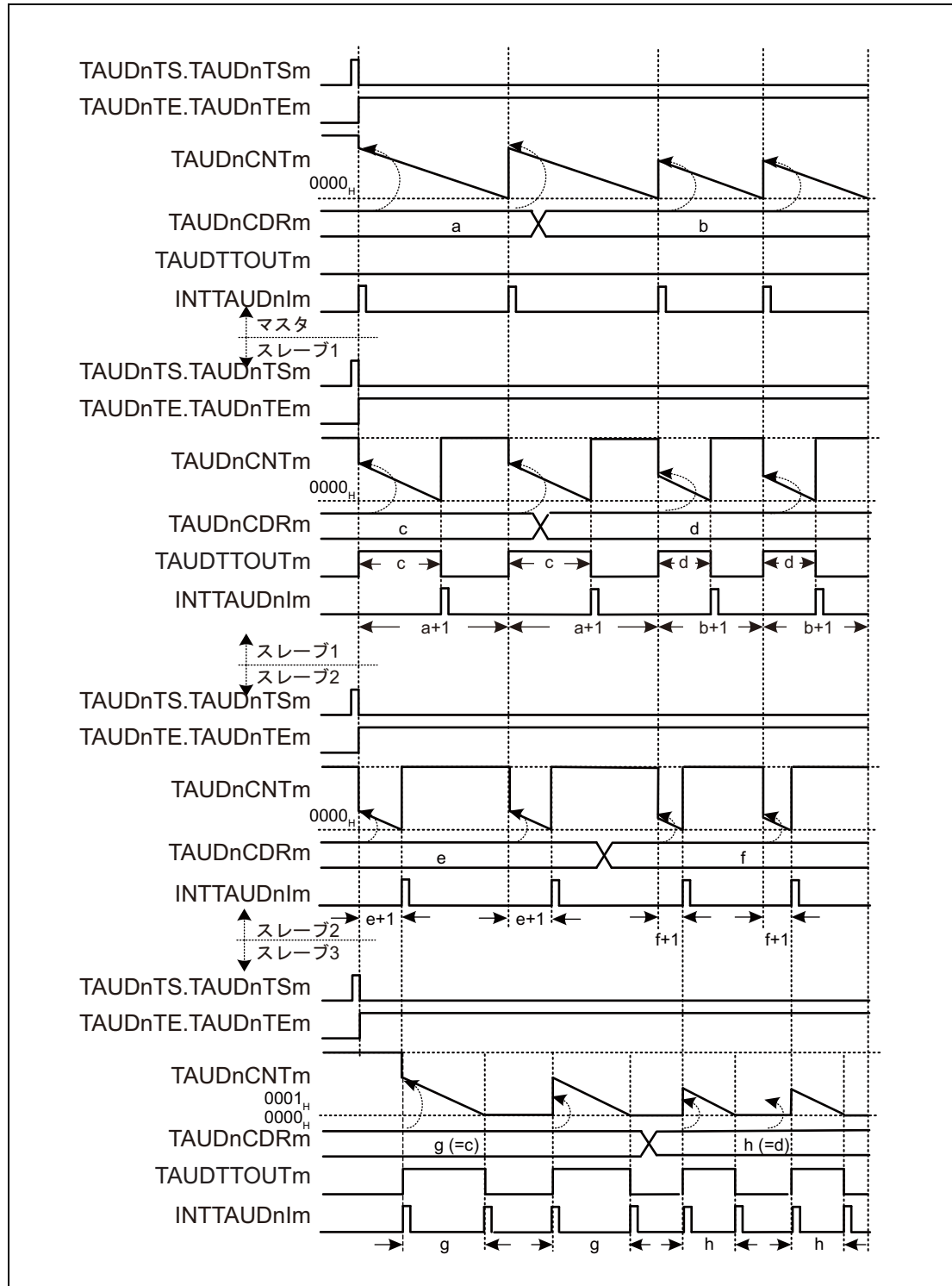


図 17.93 デレイパルス出力機能の基本タイミング図

備 考

スレーブチャンネル1のTAUDDTOUT_mは、マスタチャンネルのINTTAUDn_{lm}の立ち上がりから1カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.140 ディレイパルス出力機能時のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(b) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.141 ディレイパルス出力機能時のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能では、マスタチャンネルはチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.142 ディレイパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネル1のレジスタ設定

(a) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.143 ディレイパルス出力機能時のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルのINTTAUDnImがスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(b) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.144 ディレイパルス出力機能時のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル1のチャンネル出力モード

表 17.145 チャンネル連動出力モード1時のスレーブチャンネル1の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止。
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.146 デイレイパルス出力機能時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) スレーブチャンネル2のレジスタ設定

(a) スレーブチャンネル2のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.147 ディレイパルス出力機能時のスレーブチャンネル2のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルのINTTAUDnImがスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(b) スレーブチャンネル2のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.148 ディレイパルス出力機能時のスレーブチャンネル2のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル2のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。

(d) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.149 ディレイパルス出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(7) スレーブチャンネル3のレジスタ設定

(a) スレーブチャンネル3のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.150 ディレイパルス出力機能時のスレーブチャンネル3のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	101：マスタ設定にかかわらず、上位チャンネル(m-1)のINTTAUDnImがスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(b) スレーブチャンネル3のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.151 ディレイパルス出力機能時のスレーブチャンネル3のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル3のチャンネル出力モード

表 17.152 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.153 デイレイパルス出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(8) デイレイパルス出力機能時の操作手順

表 17.154 デイレイパルス出力機能時の操作手順 (1/2)

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(7) スレーブチャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 17.154 ディレイパルス出力機能時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開	動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTsm を同時に "1" に設定します。 TAUDnTS.TAUDnTsm はトリガビットなので、自動的に "0" にクリアされます。</p> <p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタチャンネルとスレーブチャンネル 1/2 のカウンタが動作を開始します。 マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブチャンネル 1) が設定されます。</p>
動作中	動作中	<p>TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p> <p>マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウンタ動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 1/2) にロードし、ダウンカウントを開始します。 TAUDTTOUTm (スレーブ 1) がセットされます。 <p>TAUDnCNTm (スレーブ 1) が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 1) が発生します。 TAUDTTOUTm (スレーブ 1) がリセットされます。 <p>TAUDnCNTm (スレーブ 2) が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 2) が発生します。 TAUDTTOUTm (スレーブ 3) がセットされます。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 3) にロードし、ダウンカウント動作を開始します。 <p>TAUDnCNTm (スレーブ 3) が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 3) が発生します。 TAUDTTOUTm (スレーブ 3) がリセットされます。
動作停止	動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。</p> <p>TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(9) 特定のタイミング図

(a) デューティサイクル (slave 3) = 100%

図 17.94 には以下の値が適用されます。

- TAUDnCDRm (マスタ) = 000A_H
- TAUDnCDRm (スレーブ 1) = 000B_H
- TAUDnCDRm (スレーブ 2) = 0000_H
- TAUDnCDRm (スレーブ 3) = 000B_H

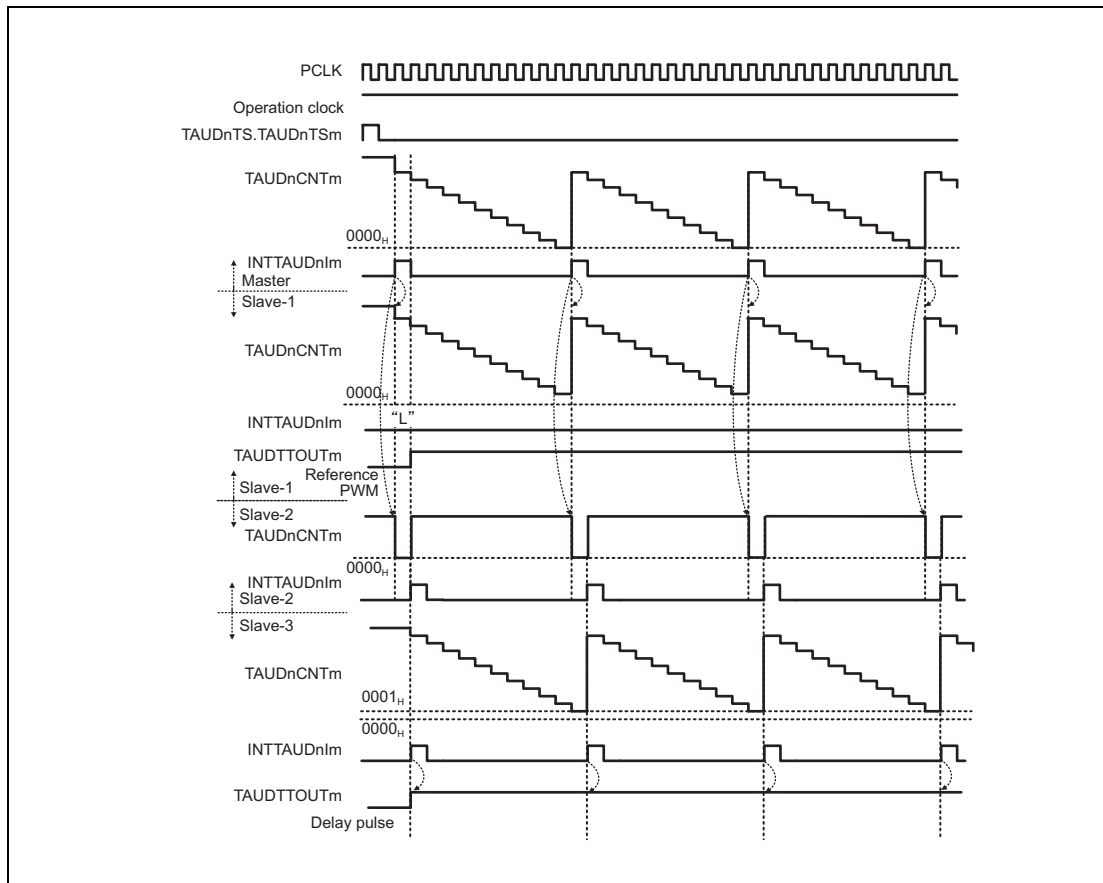


図 17.94 デューティサイクル (スレーブ 3) = 100%

- TAUDnCDRm (スレーブ 1 / スレーブ 3) の値が TAUDnCDRm (マスタ) の値を越える場合は、スレーブチャンネル 1 のカウンタは 0000_H にならず、割り込みは発生しません。チャンネル 1、3 の TAUDTTOUTm は、アクティブ状態のままになります。

(b) $TAUDTTOUTm$ (スレーブ 1) = $TAUDTTOUTm$ (スレーブ 3)

図 17.95 には以下の値が適用されます。

- $TAUDnCDRm$ (マスタ) = $000A_H$
- $TAUDnCDRm$ (スレーブ 1) = 0005_H
- $TAUDnCDRm$ (スレーブ 2) = 0000_H
- $TAUDnCDRm$ (スレーブ 3) = 0005_H

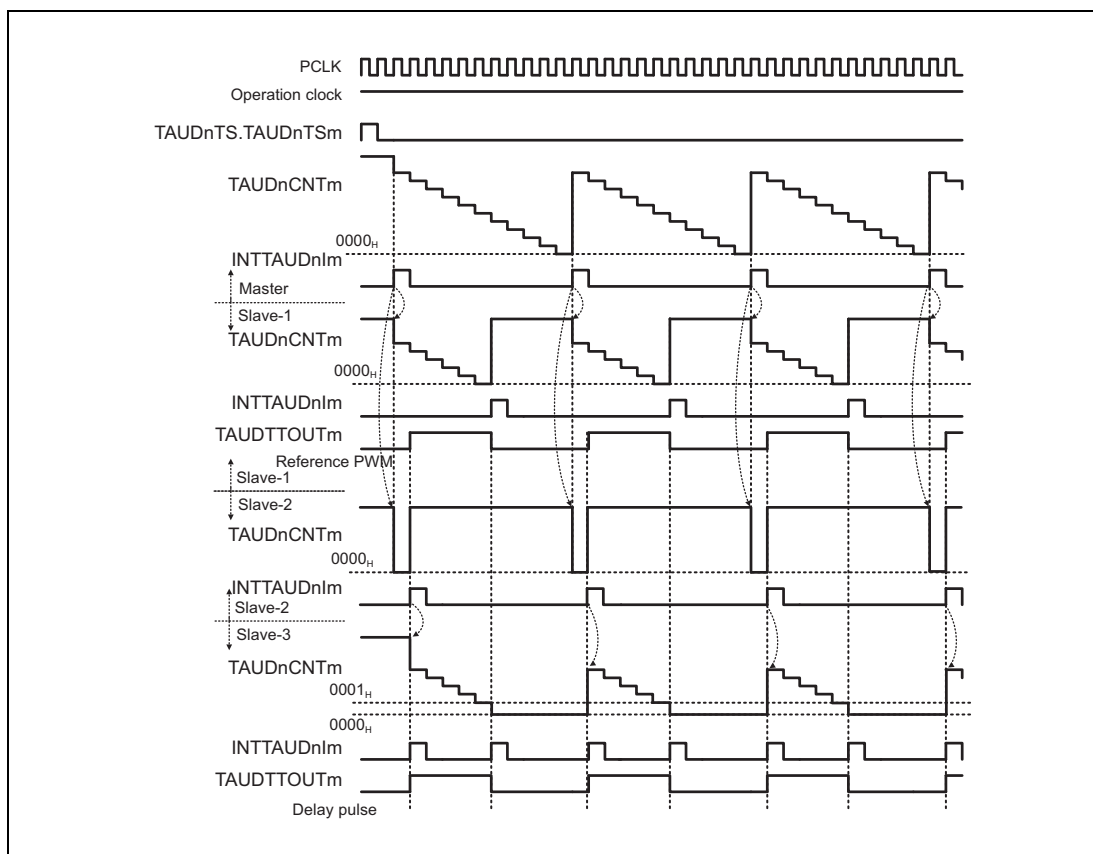


図 17.95 $TAUDTTOUTm$ (スレーブ 1) = $TAUDTTOUTm$ (スレーブ 3)

- $TAUDnCDRm$ (スレーブ 2) = 0000_H の場合、スレーブチャンネル 3 のカウンタはスレーブチャンネル 1 のカウンタより 1 クロックカウント後にカウントを開始します。基本パルスとディレイパルスは 1 クロックカウントの遅延で出力されます。

17.4.12.5 オフセットトリガ出力機能

(1) 概要

概要

マスタチャンネルとスレーブチャンネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタチャンネルの有効な入力エッジを検出して設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、キャプチャモードに設定する必要があります（「表 17.155 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 17.158 オフセットトリガ出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード1に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。マスタチャンネルのカウンタ (TAUDnCNTm) は 0000_H からアップカウントを開始します。

- マスタチャンネル：
有効な TAUDTTINm 入力エッジが検出されると、カウンタ (TAUDnCNTm) の現在値がマスタチャンネルのデータレジスタ (TAUDnCDRm) にロードされます。そして INTTAUDnIm が発生し、カウンタは 0000_H からアップカウントを再開します。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生すると、TAUDTTOUTm 信号 (スレーブ) がセットされ、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になると (デューティ時間が経過すると)、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタを再開できます。

(2) 算出式

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

デューティサイクル [%] = [TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)] × 100

- デューティサイクル = 0%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

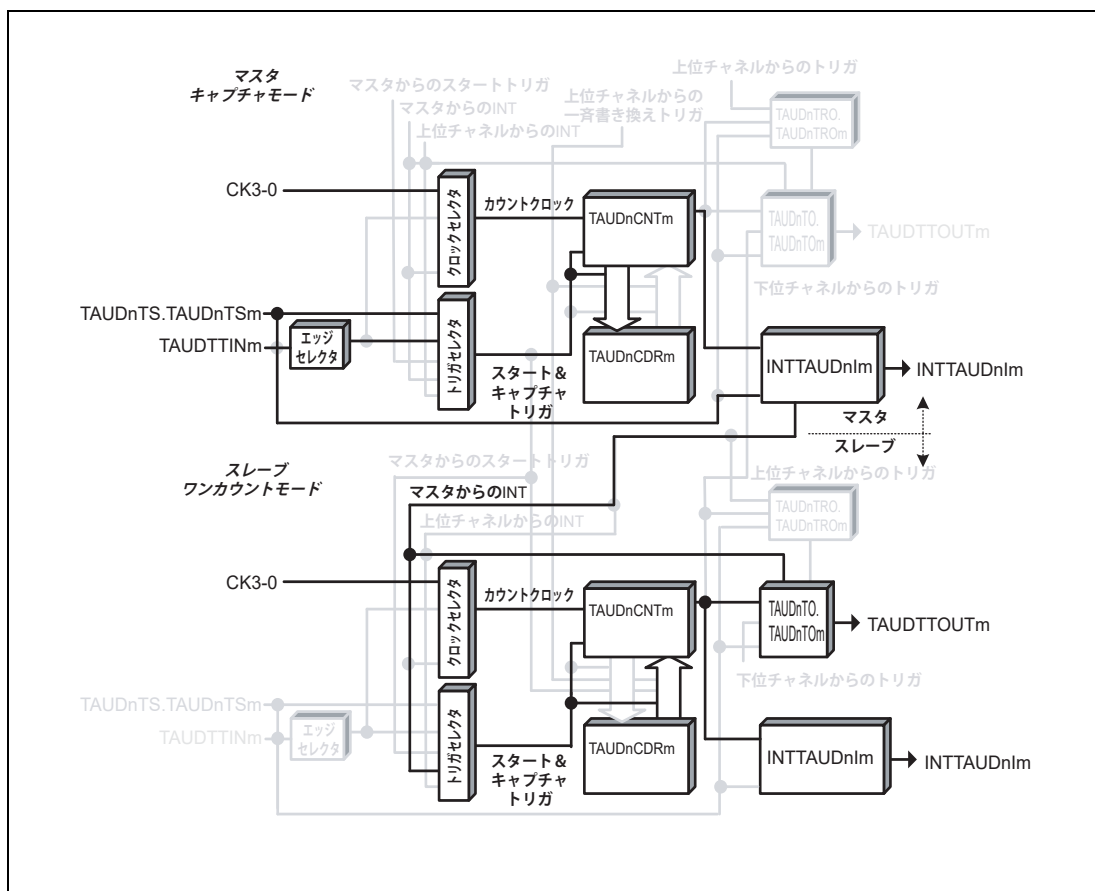


図 17.96 オフセットトリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

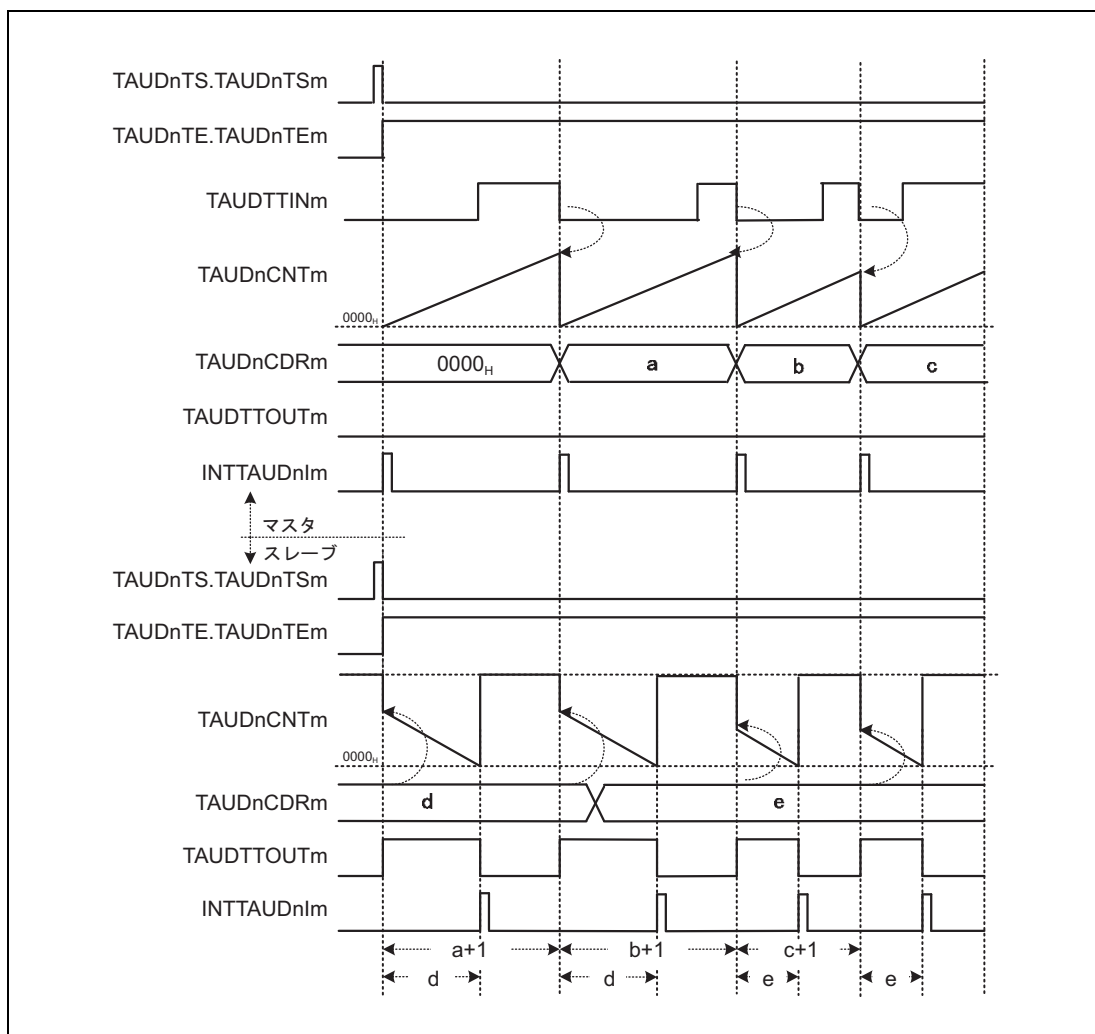


図 17.97 オフセットトリガ出力機能の基本タイミング図

備考

スレーブチャンネルの TAUDTTOUTm は、マスタチャンネルの INTTAUDnlm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.155 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTInm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	11：TAUDTTInm 入力有効エッジ検出が検出されるか、カウンタオーバフローの発生によって更新 － TAUDTTInm 入力有効エッジ検出：カウンタ値を TAUDnCDRm に書き込みます。 － オーバフロー発生：TAUDnCDRm に FFFF _H を書き込みます。次に検出される TAUDTTInm 入力有効エッジは無視されます。 TAUDnCSRm.TAUDnOVF はカウンタオーバフロー時に設定され、CPU 命令 (TAUDnCSCm.TAUDnCLOV に “1” 設定) でクリアされます。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.156 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) マスタチャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.157 オフセットトリガ出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.158 オフセットトリガ出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.159 オフセットトリガ出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネルのチャンネル出力モード

表 17.160 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) スレーブチャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.161 オフセットトリガ出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(6) オフセットトリガ出力機能時の操作手順

表 17.162 オフセットトリガ出力機能時の操作手順

	操作	TAUDnの状態
動作再開 ↑	初期設定 チャンネルの初期設定 マスタチャンネル：TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル：TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。 マスタチャンネルの TAUDnCDRm レジスタはキャプチャレジスタとして動作します。 スレーブチャンネルの TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 <ul style="list-style-type: none"> TAUDnCNTm (マスタ) がアップカウントを行います。 TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) がセットされます。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCSCm.TAUDnCLOV は“1”に設定可能です。 スレーブチャンネルの TAUDnCDRm は INTTAUDnIm (マスタ) 発生後、変更可能です。 TAUDnCNT.TAUDnCNTm と TAUDnCSRm は任意のタイミングで読み出し可能です。	スレーブチャンネルの TAUDnCNTm が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がリセットされます。 マスタチャンネルで TAUDTTINm 入力エッジが検出された場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCNTm (マスタ) は 0000_H にリセットされ、その後カウンタ動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDTTOUTm (スレーブ) がセットされます。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(7) 特定のタイミング図

(a) デューティサイクル = 0%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

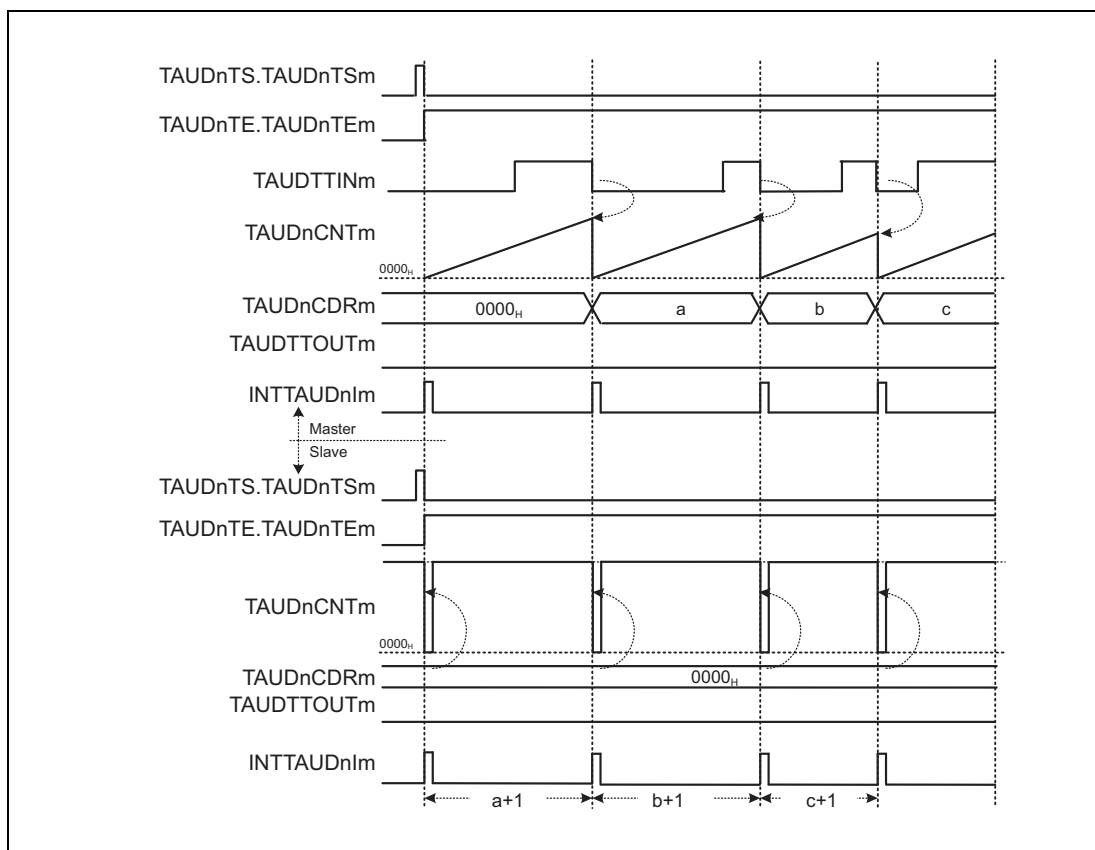


図 17.98 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ) = 0000_H の場合は、マスタチャンネルが割り込み (INTTAUDnIm) を発生するたびに TAUDnCNTm に 0000_H が書き込まれ、TAUDnCNTm はカウントを開始できません。TAUDTTOUTm は非アクティブ状態のままです。
- TAUDnCNTm (スレーブ) は、TAUDnCDRm の値がリロードされるたびに割り込みを発生します。スレーブチャンネルとマスタチャンネルは同じ周期で割り込みを発生します。

(b) デューティサイクル = 100%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

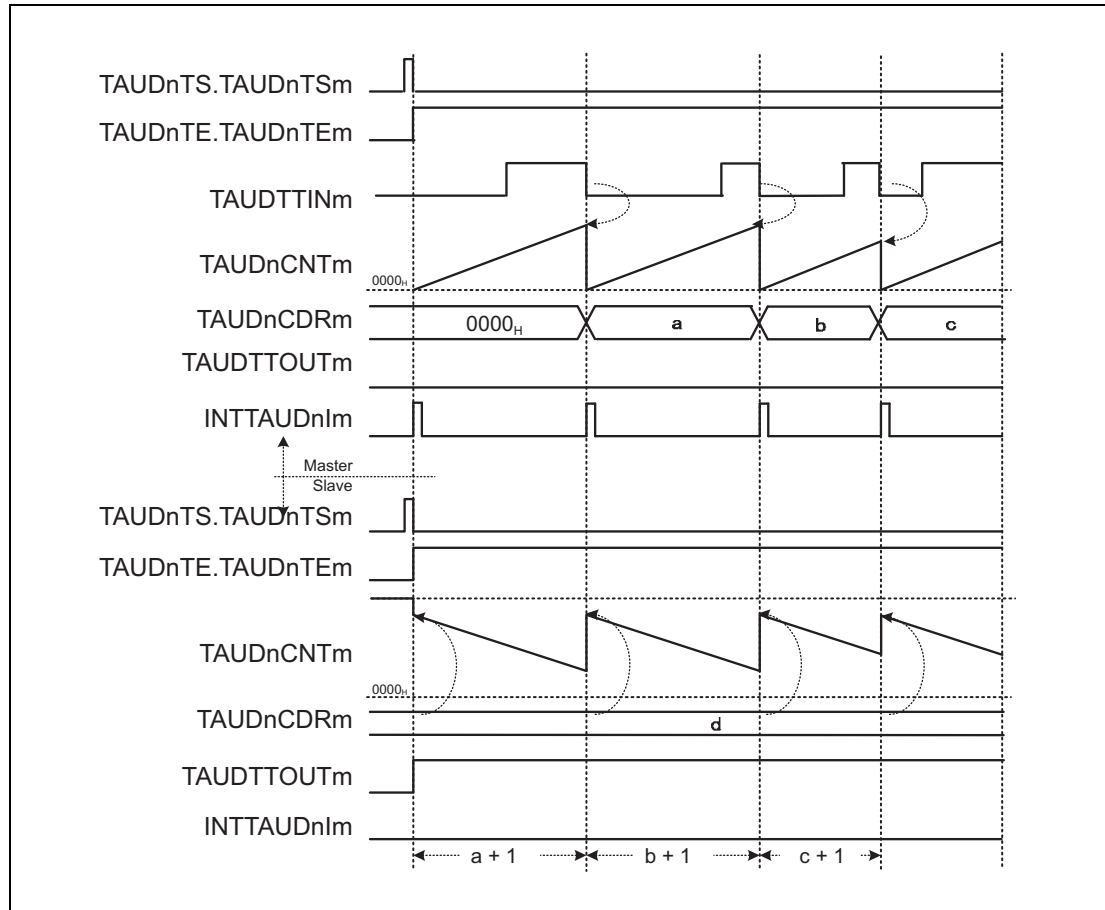


図 17.99 TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスター) + 1

- TAUDnCDRm (スレーブ) の値が有効な入力エッジのインターバルを超える場合は、スレーブチャンネルのカウンタは 0000_H にはならず、割り込みは発生しません。TAUDTTOUTm はアクティブ状態のままになります。

17.4.12.6 A/D 変換トリガ出力機能タイプ 1

(1) 概要

概要

この機能は、TAUDTTOUT_m が出力されないという点を除き、「17.4.12.1 PWM 出力機能」と同じです。

スレーブチャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

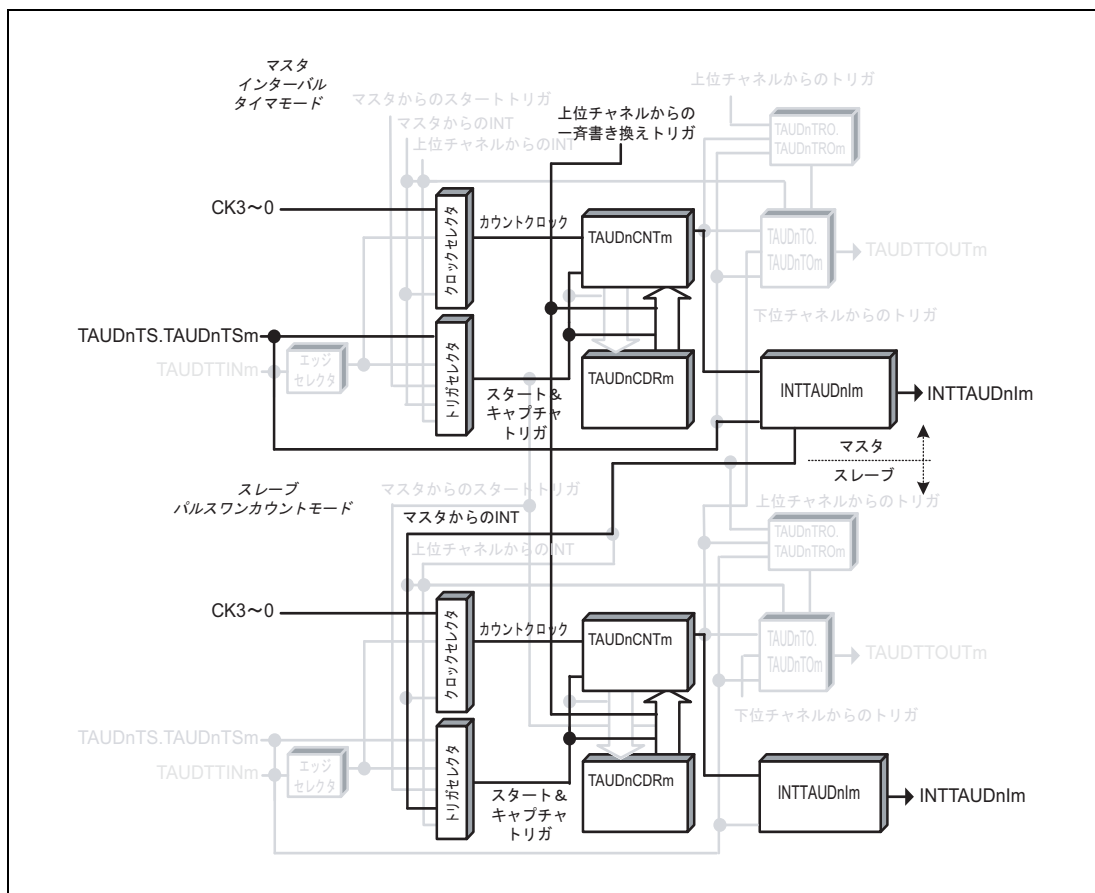


図 17.100 A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル: 正論理 (TAUDnTOL.TAUDnTOL_m = 0)

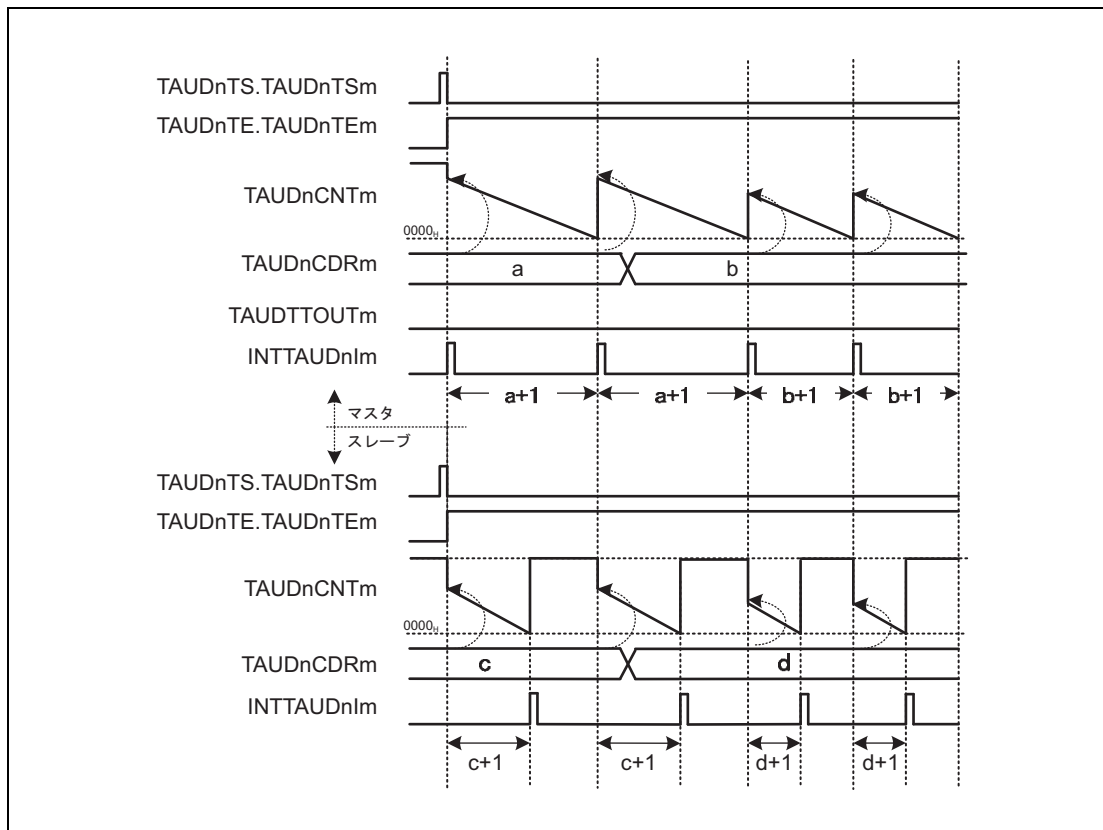


図 17.101 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

17.4.12.7 三角波 PWM 出力機能

(1) 概要

概要

マスタチャンネルと1つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ/スレーブチャンネルを用いて、TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。マスタチャンネルの1周期目はスレーブカウンタのダウンステータスを、2周期目はアップステータスを制御します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 17.163 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、アップ/ダウンカウントモードに設定する必要があります（「表 17.167 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード2に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

機能説明

チャンネルトリガビット（TAUDnTS.TAUDnTsm）を“1”に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。TAUDnCDRm（マスタ/スレーブ）の値が TAUDnCNTm（マスタ/スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャンネル：
 - マスタチャンネルのカウント値が 0000_Hになると（パルス周期が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。
- スレーブチャンネル：
 - マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウント動作がト

リガされます。

- スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
- スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

スレーブチャネルのカウンタがアップ/ダウンカウント中に 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) 信号がセット/リセットされます:

カウンタはアップ/ダウンカウントを続け、マスタチャネルの次の INTTAUDnIm を待ちます。

TAUDnTOL.TAUDnTOLm を設定することにより、動作中に TAUDTTOUTm 信号の正相/逆相を切り替えることができます。

マスタ/スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタの動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUDnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

デューティサイクル [%] =

$$\left[\frac{\text{TAUDnCDRm (マスタ)} + 1 - \text{TAUDnCDRm (スレーブ)}}{\text{TAUDnCDRm (マスタ)} + 1} \right] \times 100$$

- デューティサイクル = 100%

TAUDnCDRm (スレーブ) = 0000_H

- デューティサイクル = 0%

TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

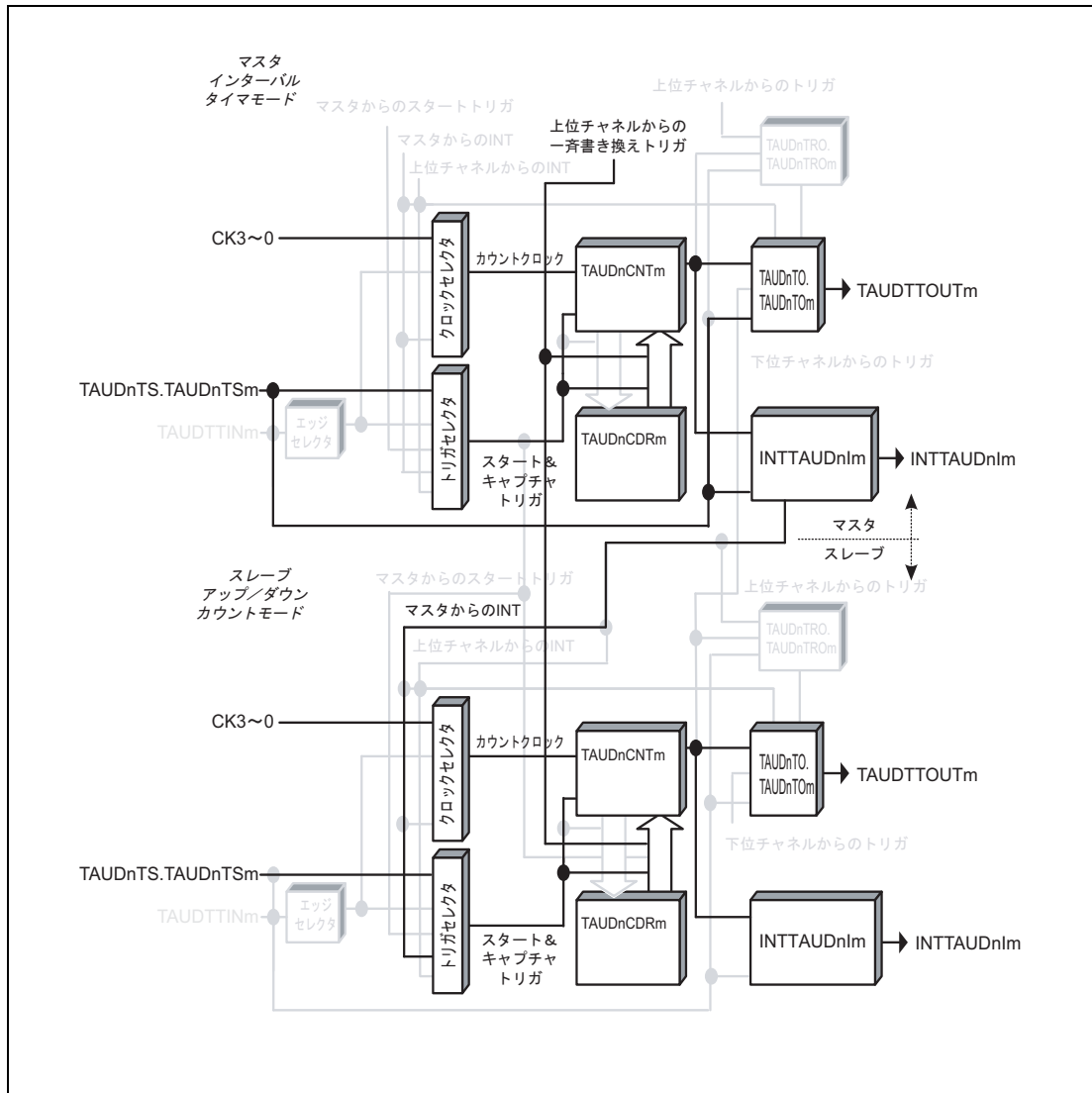


図 17.102 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)

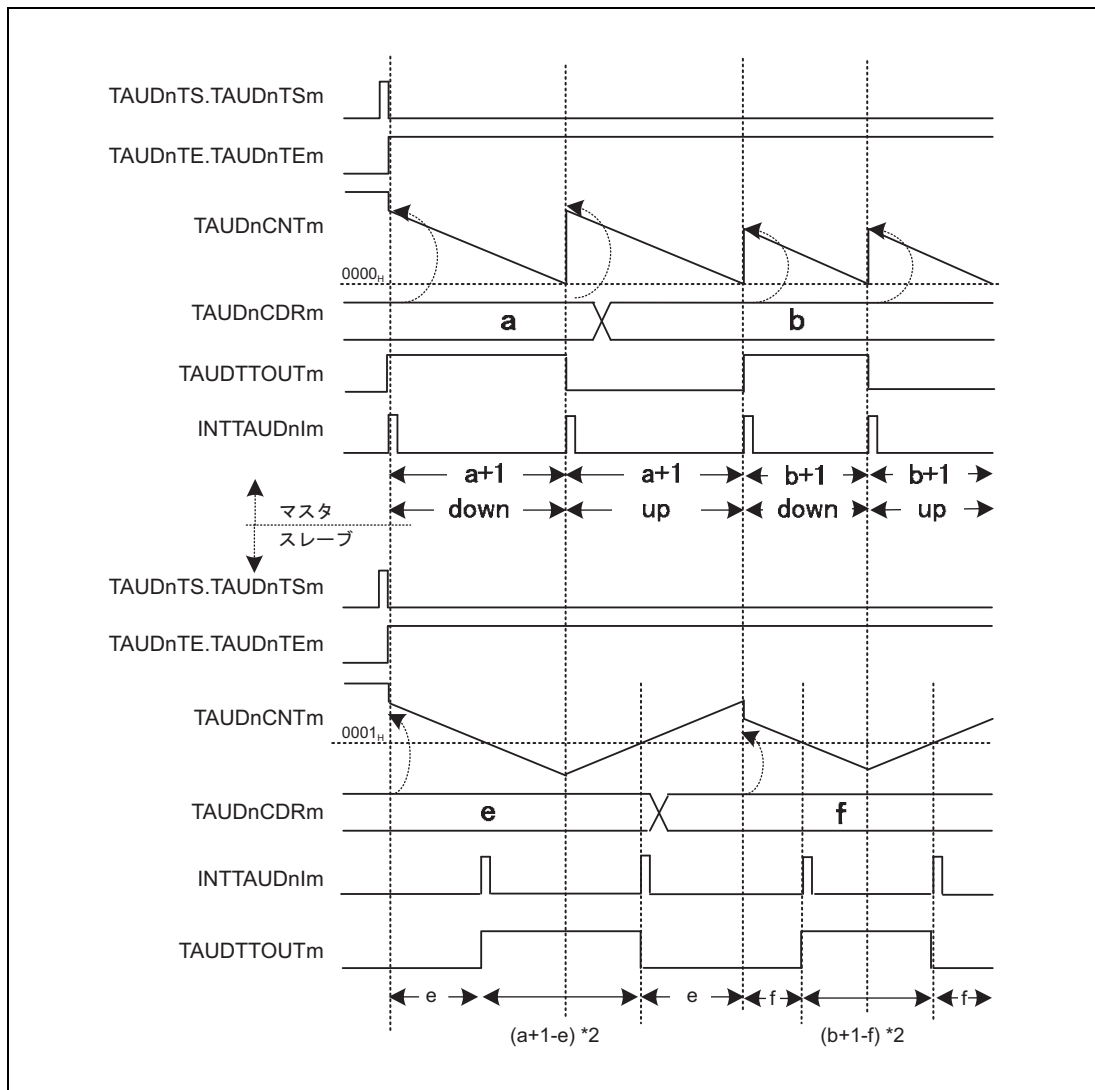


図 17.103 三角波 PWM 出力機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.163 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUtm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUtm はトグルされる

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.164 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

表 17.165 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.166 三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.167 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.168 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネルのチャンネル出力モード

表 17.169 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.170 三角波 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: 上位チャンネルで一斉書き換えトリガをモニタする
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) 三角波 PWM 出力機能時の操作手順

表 17.171 三角波 PWM 出力機能時の操作手順

	操作	TAUDnの状態
動作再開	<p>初期設定</p> <p>マスタチャンネル : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
	<p>動作開始</p> <p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に "1" に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に "0" にクリアされます。</p>	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 マスタチャンネルで TAUDnCMORm.TAUDnMD0 が "1" に設定されている場合は、INTTAUDnIm (マスタ) が発生します。
	<p>動作中</p> <p>TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタ/スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDTTOUTm (マスタ) がトグルされません。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。 <p>スレーブチャンネルの TAUDnCNTm が 0001_H になった場合 :</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
	<p>動作停止</p> <p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。</p>	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティサイクル = 0%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnCDRm = a = 5_H
- スレーブチャンネル：
 - TAUDnCDRm = 6_H

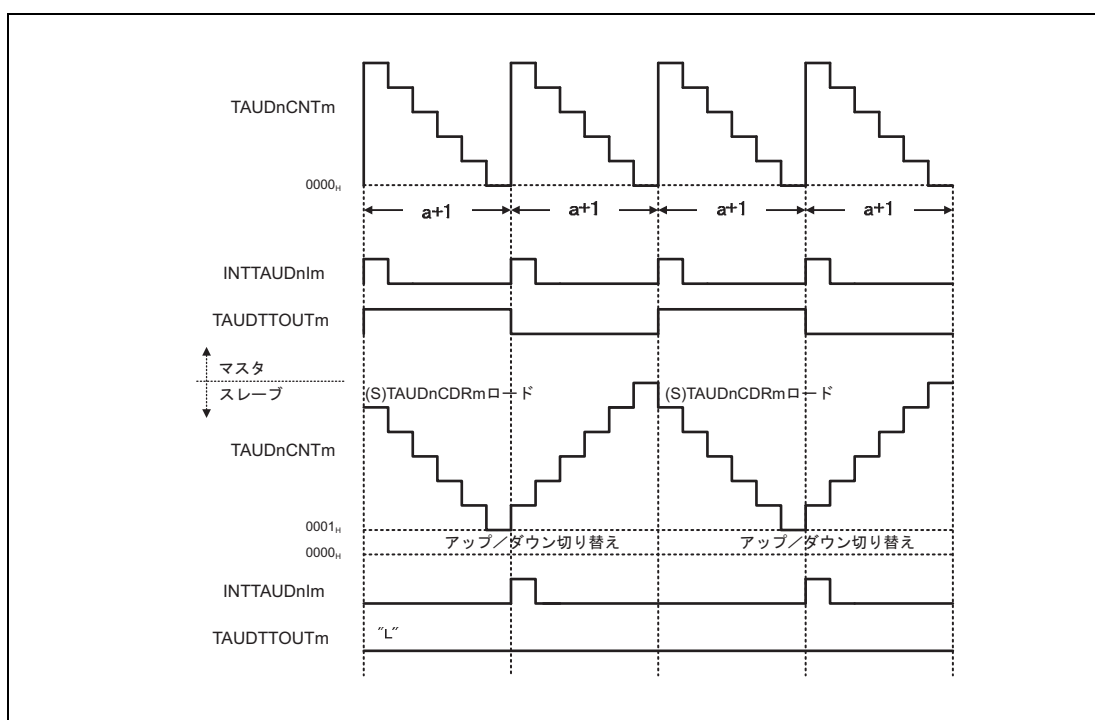


図 17.104 TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスタ) + 1 値以上の場合、ダウンカウント中にスレーブチャンネルの INTTAUDnIm は発生しません。セット信号が検出されないことがないため、TAUDTTOUTm はロウレベル状態のままになります。

(b) デューティサイクル = 100%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル :
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnCDRm = a = 5_H
- スレーブチャンネル :
 - TAUDnCDRm = 0_H

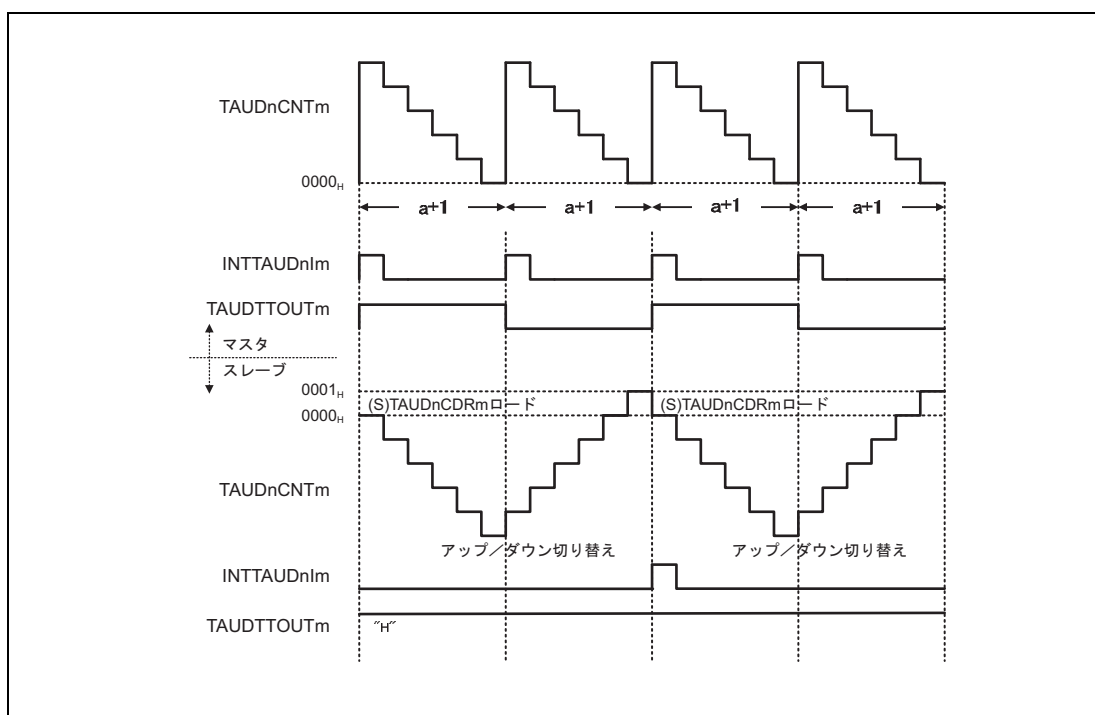


図 17.105 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ) = 0000_H の場合、アップカウント中にスレーブチャンネルの INTTAUDnIm は発生しません。リセット信号が検出されないため、TAUDTTOUTm はハイレベル状態のままになります。

17.4.12.8 デッドタイム付き三角波 PWM 出力機能

(1) 概要

概要

マスタチャンネルと2つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャンネル 2/3 の TAUDTTOUTm から出力されます。これにより、マスタ/スレーブチャンネルを使って TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャンネルの TAUDTTOUTm がセット/リセットされます。TAUDnTDL.TAUDnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUDTTOUTm がただちにセット/リセットされるのか、デッドタイム経過後にセット/リセットされるのかを設定）。デッドタイム時間はスレーブチャンネル 3 で設定します。

前提条件

- 3 チャンネル。スレーブチャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 17.173 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、スレーブチャンネル 1 は使用しません。そのため、スレーブチャンネル 2 は必ず偶数チャンネル、スレーブチャンネル 3 は奇数チャンネルです。スレーブチャンネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャンネル 2 の動作モードは、アップダウンモードに設定する必要があります（「表 17.177 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 2 は偶数チャンネルでなければなりません。
- スレーブチャンネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「表 17.181 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 3 の TAUDnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 3 は奇数チャンネルでなければなりません。
- マスタチャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- スレーブチャンネル 2/3 の出力モードは、デッドタイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（「17.4.4 チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）

- TAUDnCMORm.TAUDnMD0 (マスタ) ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

備考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャンネル 1 を使用しません。スレーブチャンネル 1 は、個別タイマ (単体機能) として使用可能です。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャンネル :
マスタチャンネルのカウント値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャンネル 2 :
マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネル 2 のカウンタ動作がトリガされます。
 - スレーブのカウントがダウンカウント中の場合は、カウント方向が変わります。
 - スレーブのカウントがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

カウンタはアップ/ダウンカウントを続け、マスタチャンネルの次の INTTAUDnIm を待ちます。

スレーブチャンネル 2 のカウント値が 0001_H になると INTTAUDnIm が発生します。

- スレーブチャンネル 3 :
スレーブチャンネル 2 で INTTAUDnIm が発生すると、スレーブチャンネル 3 のカウンタ動作がトリガされます。そして TAUDnCDRm (スレーブ 3) の現在値が TAUDnCNTm (スレーブ 3) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、スレーブチャンネル 2 の次の INTTAUDnIm を待ちます。

「表 17.172 スレーブチャンネル 2 で割り込みが発生した際の TAUDTTOUTm の動作」にあるように、対応するチャンネルの TAUDnTDL.TAUDnTDLm 設定によって、セット/リセットのタイミング (割り込み発生直後またはデッドタイム経過後) が決まります。

また、TAUDnTOL.TAUDnTOLm の設定によって、対応チャンネルからハイレベル信号を出力 (TAUDnTOL.TAUDnTOLm = 0) するかロウレベル信号を出力 (TAUDnTOL.TAUDnTOLm = 1) するかが決まります。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/ス

スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャンネル 2 の TAUDnCDRm 値を 0000_H にして、TAUDTTOUTm を 100% 出力することができます。

条件

この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

TAUDnTOL.TAUDnTOLm と TAUDnTDL.TAUDnTDLm の設定はカウント動作開始前に行う必要があります。スレーブチャンネル 2 とスレーブチャンネル 3 は TAUDnTDL.TAUDnTDLm の設定が反対でなければなりません。

表 17.172 スレーブチャンネル 2 で割り込みが発生した際の TAUDTTOUTm の動作

TAUDnTDL. TAUDnTDLm	割り込み発生時のスレーブ チャンネル 2 のカウント方向	TAUDTTOUTm セット/ リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUDnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

PWM 信号幅 (正相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2)) × 2 - (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2)) × 2 + (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

(3) ブロック図と基本タイミング図

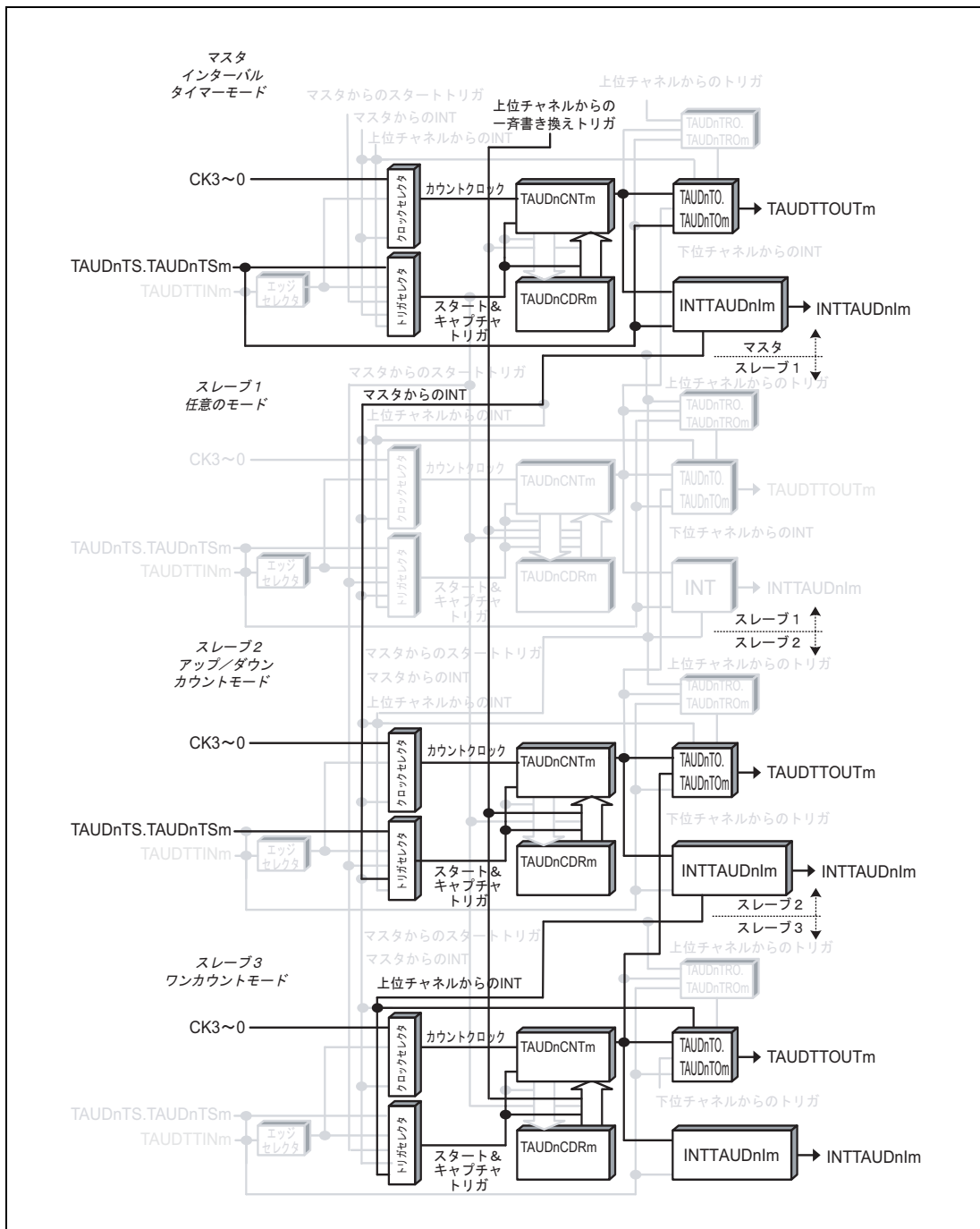


図 17.106 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - － 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

- スレーブチャンネル 2 :
 - 動作開始時に INTTAUDnIm が発生しない
(TAUDnCMORm.TAUDnMD0 = 0)
 - TAUDnTDL.TAUDnTDLm = 0
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブチャンネル 3 :
 - カウント中のスタート トリガ検出許可
(TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnTDL.TAUDnTDLm = 1
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)

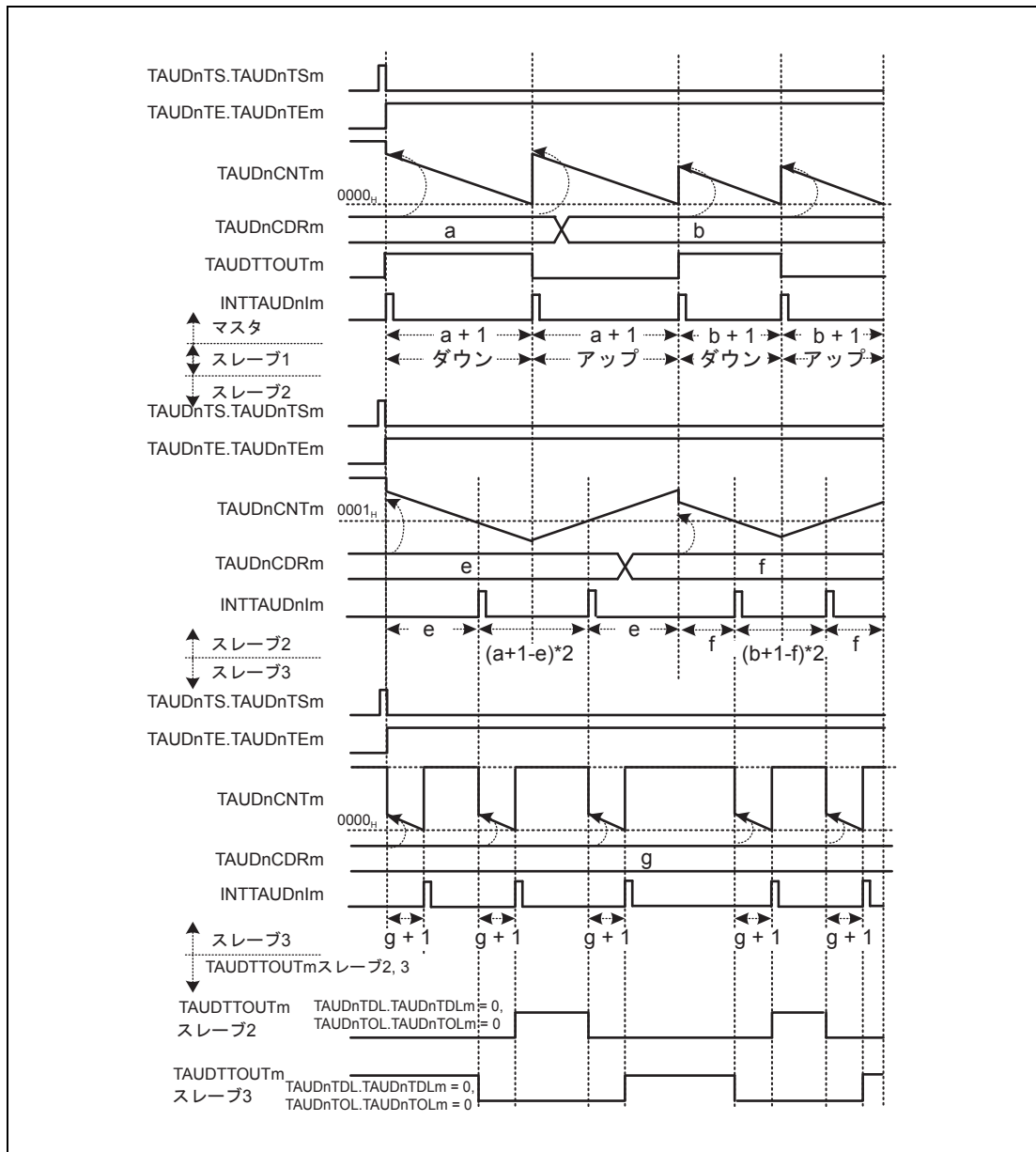


図 17.107 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.173 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.174 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

表 17.175 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.176 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブチャンネル2のレジスタ設定

(a) スレーブチャンネル2のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.177 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル2のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始時にINTTAUDnImが発生しない

(b) スレーブチャンネル2のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.178 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル2のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル2のチャンネル出力モード

表 17.179 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつTAUDnTDL.TAUDnTDLmで設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、奇数チャンネルと排他設定してください。

(d) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.180 三角波 PWM 出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) スレーブチャンネル3のレジスタ設定

(a) スレーブチャンネル3のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.181 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル3のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	110：TAUDTTOUTm生成ユニットのデッドタイム出力信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(b) スレーブチャンネル3のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.182 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル3のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル3のチャンネル出力モード

表 17.183 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(d) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.184 三角波 PWM 出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波周期の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(7) デッドタイム付き三角波 PWM 出力機能時の操作手順

表 17.185 デッドタイム付き三角波 PWM 出力機能時の操作手順

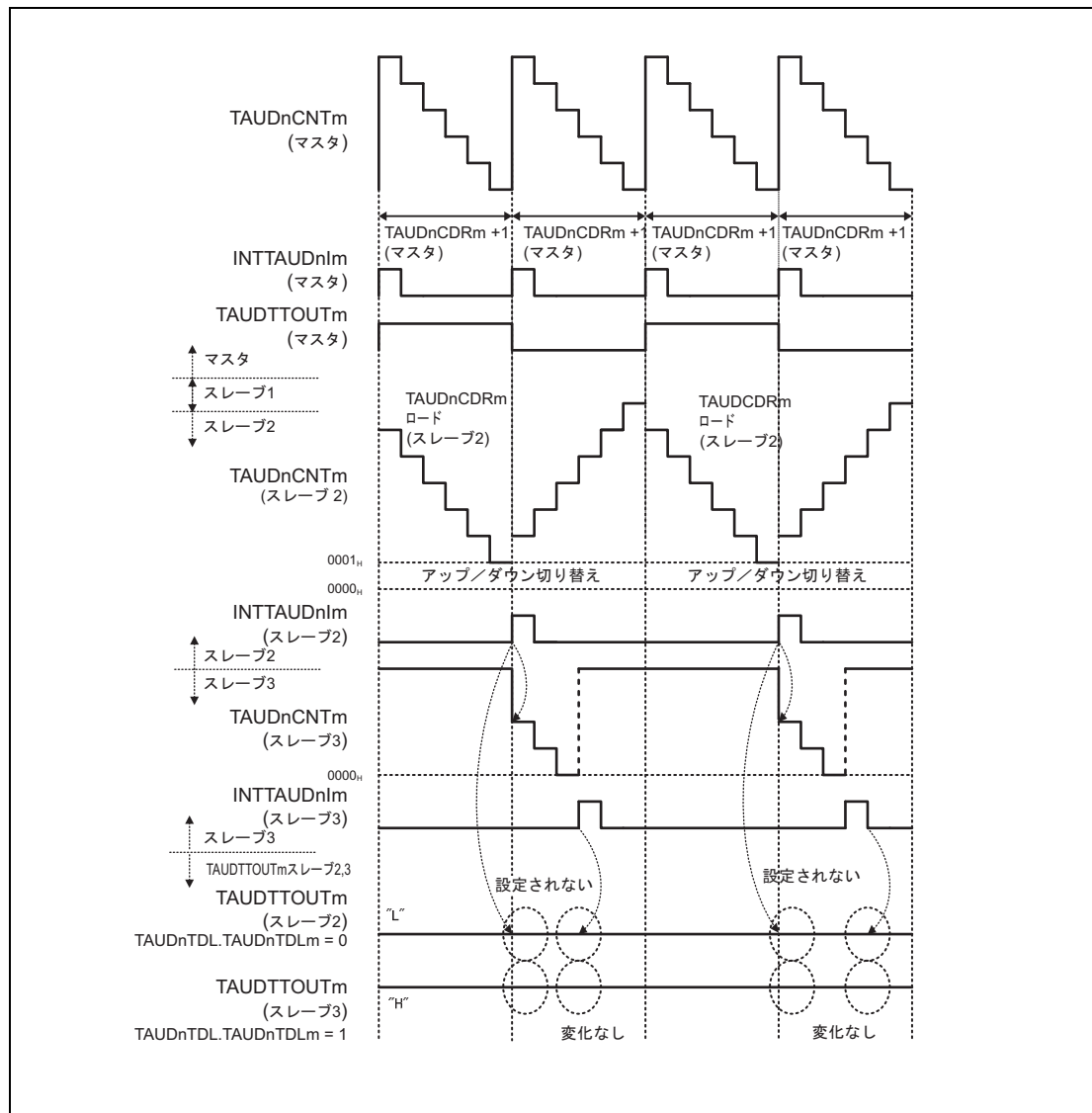
	操作	TAUDnの状態
動作再開 ↑	チャンネルの初期設定 マスタチャンネル : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モード を「(4) マスタチャンネルのレジスタ設定」に示 すように設定します。 スレーブチャンネル 2 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モード を「(5) スレーブチャンネル 2 のレジスタ設定」 に示すように設定します。 スレーブチャンネル 3 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モード を「(6) スレーブチャンネル 3 のレジスタ設定」 に示すように設定します。 全チャンネルの TAUDnCDRm レジスタの値を設定 します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定しま す。 TAUDnTS.TAUDnTSm はトリガビットなので、 自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャ ネル) が“1”に設定され、マスタ/スレーブチャ ネルのカウンタが動作を開始します。 マスタチャンネルで TAUDnCMORm.TAUDnMD0 が“1”に設定されている場合は、INTTAUDnIm (マスタ)が発生します。
	動作中 TAUDnCDRm は任意のタイミングで変更可能で す。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任 意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能で す。	マスタチャンネルとスレーブチャンネル 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、 ダウンカウントを行います。マスタチャンネルのカ ウンタが 0000 _H になった場合 : <ul style="list-style-type: none"> • INTTAUDnIm (マスタ) が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm (マ スタ) にロードし、カウント動作を継続しま す。 • 再び TAUDnCDRm の値を TAUDnCNTm (ス レーブ 2) にロードするか、反対方向のカウ ントを開始します。 TAUDnCNTm (スレーブ 2) が 0001 _H になった 場合 : <ul style="list-style-type: none"> • INTTAUDnIm (スレーブ 2) が発生します。 • スレーブチャンネル 3 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウント を行います。 スレーブチャンネル 3 の TAUDnCNTm が 0000 _H に なった場合 : <ul style="list-style-type: none"> • INTTAUDnIm が発生します。
動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定しま す。 TAUDnTT.TAUDnTTm はトリガビットなので、 自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カ ウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現 在値を保持します。	

(8) 特定の設定時のタイミング図

(a) デューティサイクル = 0%

図 17.108 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 ($TAUDnTDL.TAUDnTDLm = 0$)
- スレーブチャンネル 3 :
 - 負論理 ($TAUDnTDL.TAUDnTDLm = 1$)

図 17.108 $TAUDnCDRm$ (スレーブ) $\geq TAUDnCDRm$ (マスター) + 1

- $TAUDnCDRm$ (スレーブ 2) 値が $TAUDnCDRm$ (マスター) 値以上の場合、スレーブチャンネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUDTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(b) デューティサイクル = 100%

図 17.109 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUDnTDL.TAUDnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUDnTDL.TAUDnTDLm = 1)

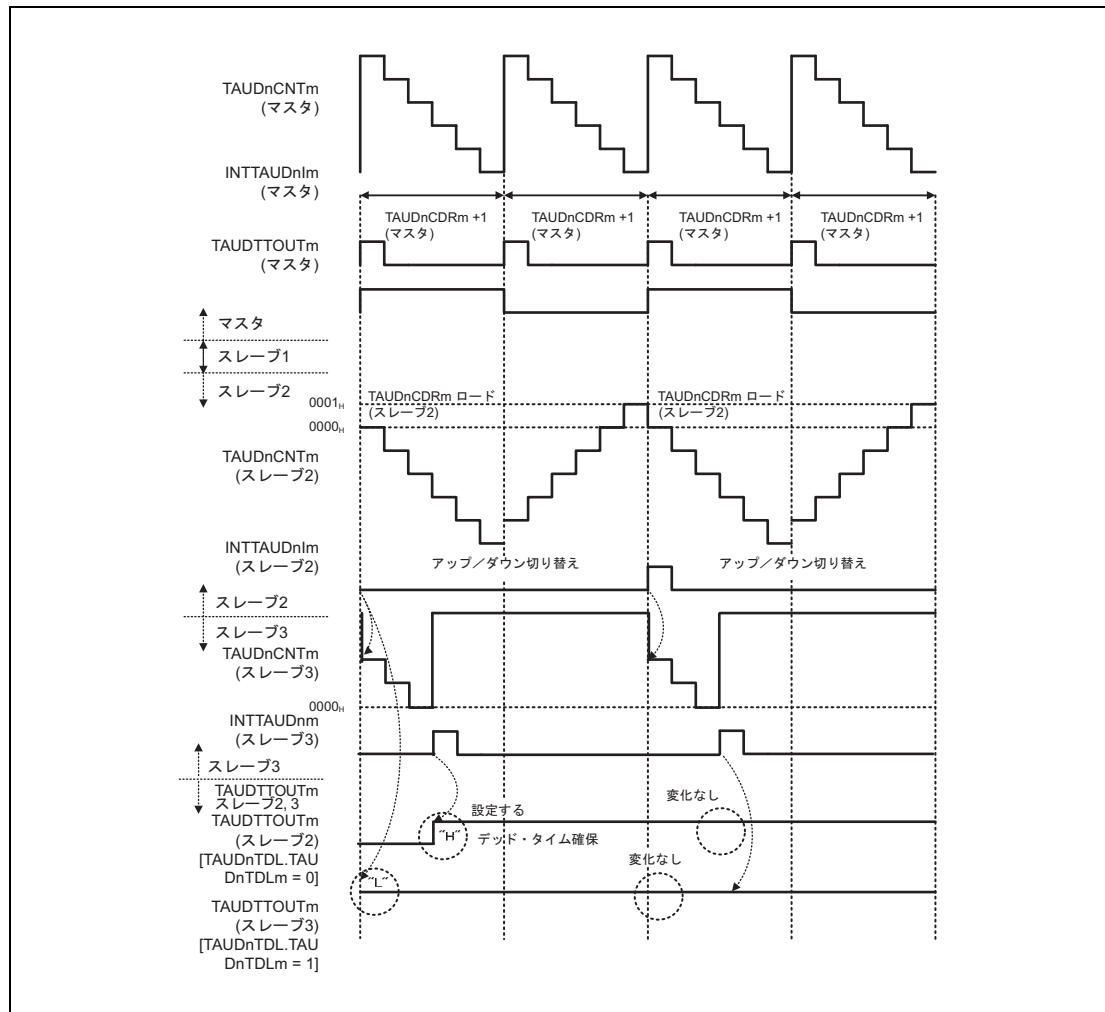


図 17.109 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUDnIm は発生しません。
 - TAUDnTDL.TAUDnTDLm が “0” に設定されているチャンネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUDTTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
 - 上図のスレーブチャンネル 3 はカウント開始時にセットされます。ただし、TAUDnTDL.TAUDnTDLm が “1” に設定されているスレーブチャンネルでは、リセット条件が満たされることがないため、当該チャンネルでは TAUDTTOUTm は初期状態のままになります。

17.4.12.9 A/D 変換トリガ出力機能タイプ 2

(1) 概要

概要

この機能は、TAUDDTOUT_m が出力されないという点を除き、「17.4.12.7 三角波 PWM 出力機能」と同じです。

スレーブチャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

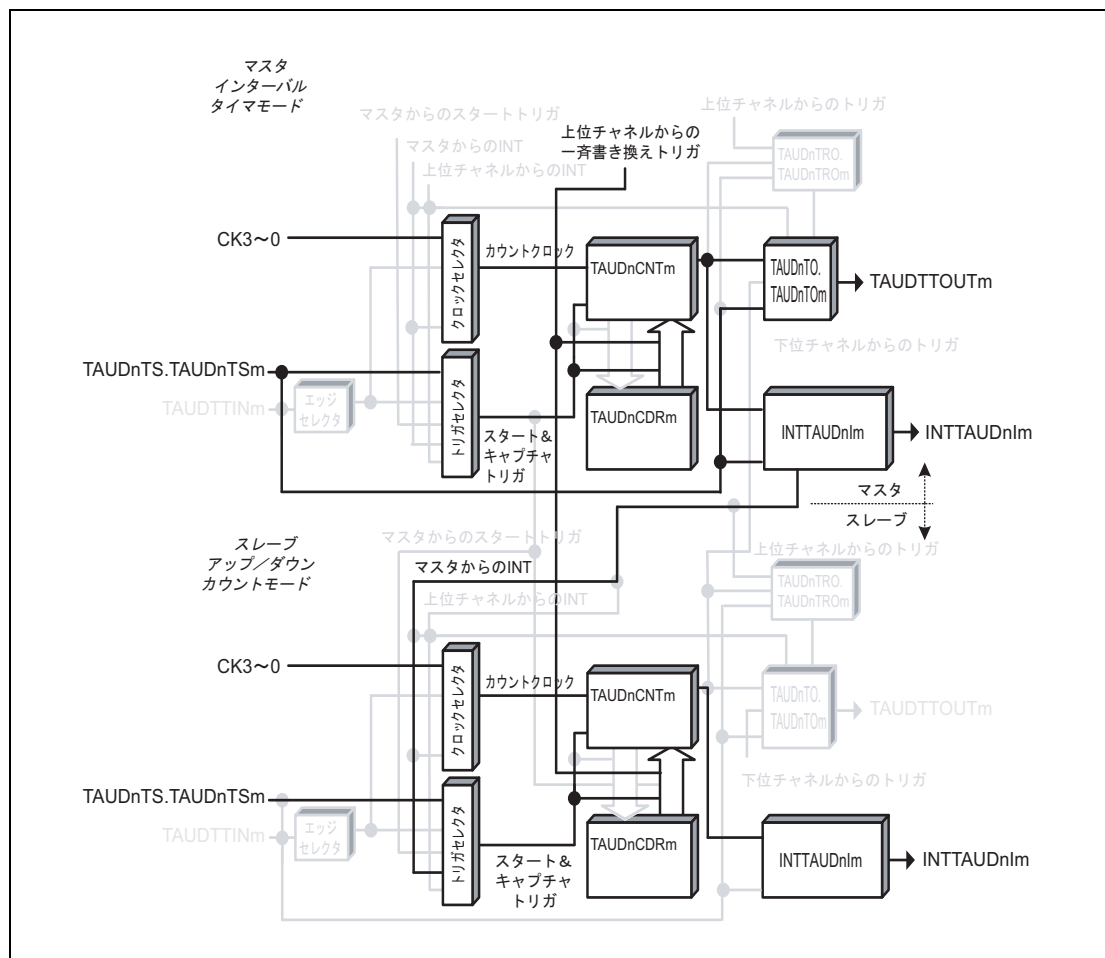


図 17.110 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)

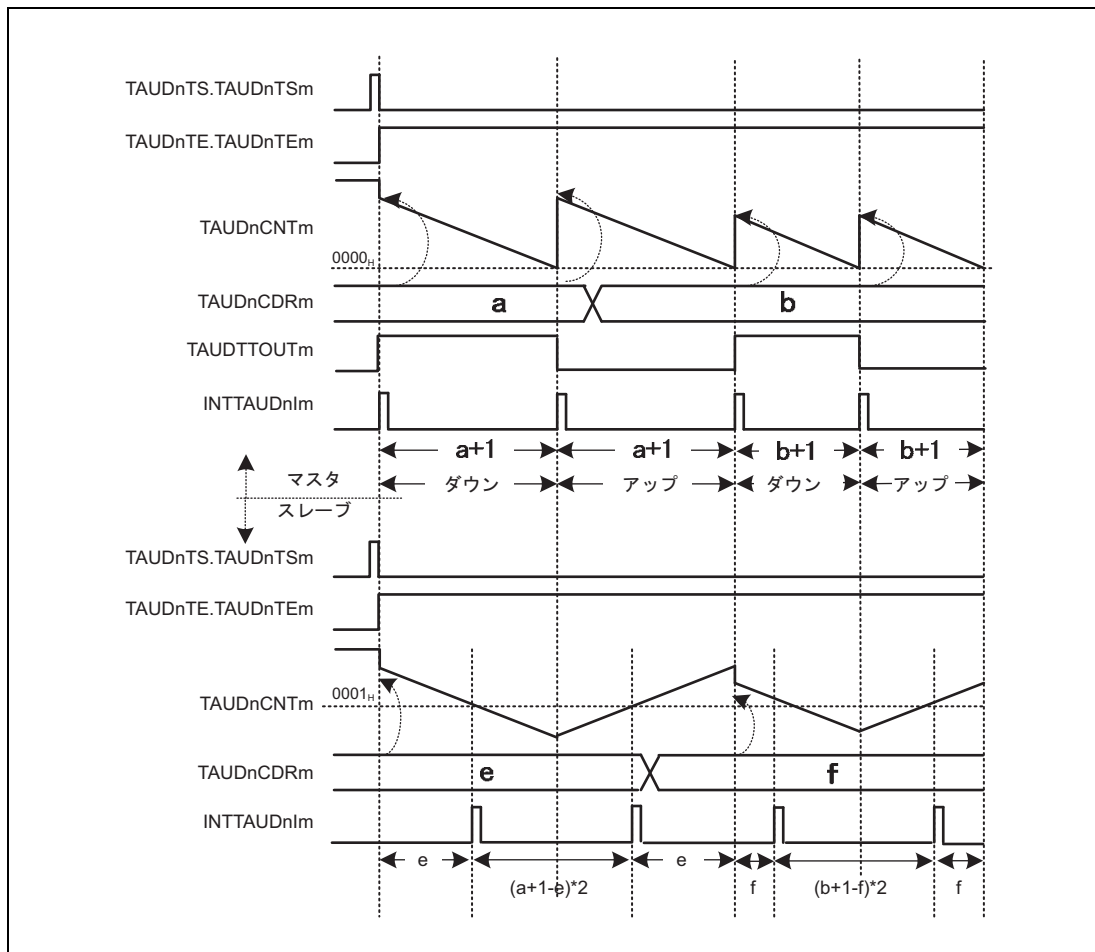


図 17.111 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

17.4.12.10 割り込み要求信号間引き機能

(1) 概要

概要

マスタチャンネルの割り込み数を、スレーブチャンネルを使って指定した値で割る機能です。割り込み要求信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能（「17.4.12.1 PWM 出力機能」参照）
- 三角波 PWM 出力機能（「17.4.12.7 三角波 PWM 出力機能」参照）
- デッドタイム付き三角波 PWM 出力機能（「17.4.12.8 デッドタイム付き三角波 PWM 出力機能」参照）

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 17.186 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、イベントカウントモードに設定する必要があります（「表 17.189 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm を使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ（マスタ/スレーブチャンネル両方）の動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。マスタチャンネルとスレーブチャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル：
マスタチャンネルのカウンタが 0000_Hになると、INTTAUDnIm が発生し、TAUDnCDRm の値が TAUDnCNTm にロードされます。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生するたびに、スレーブチャンネルのカウンタをデクリメントします。カウンタが 0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。そして TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、INTTAUDnIm が発生します。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

(2) 算出式

割り込み除算演算子 = TAUDnCDRm (スレーブチャンネル)

- TAUDnCDRm (スレーブチャンネル) + 1 で定義されたマスタチャンネルの INTTAUDnIm 数につき 1 つの INTTAUDnIm が発生します。

(3) ブロック図と基本タイミング図

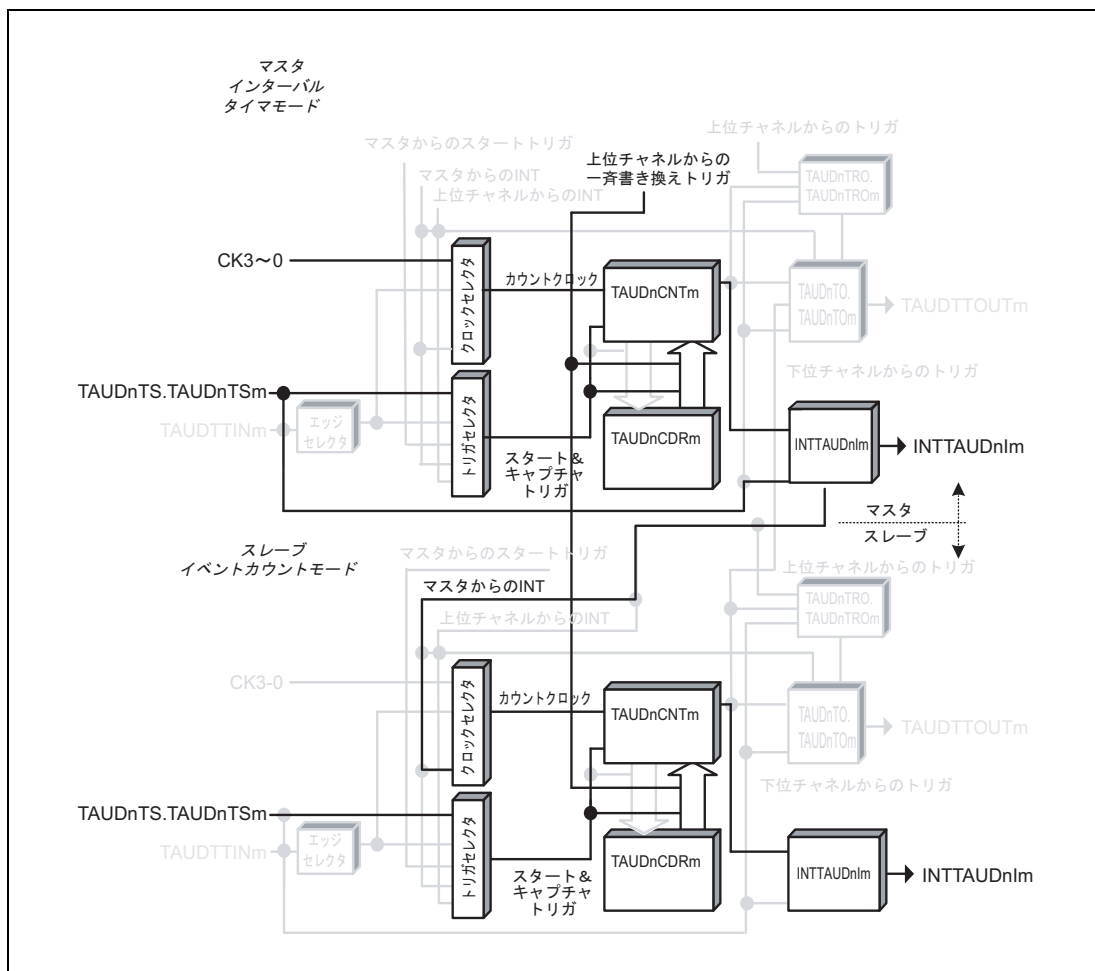


図 17.112 割り込み要求信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

マスタチャネル：

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

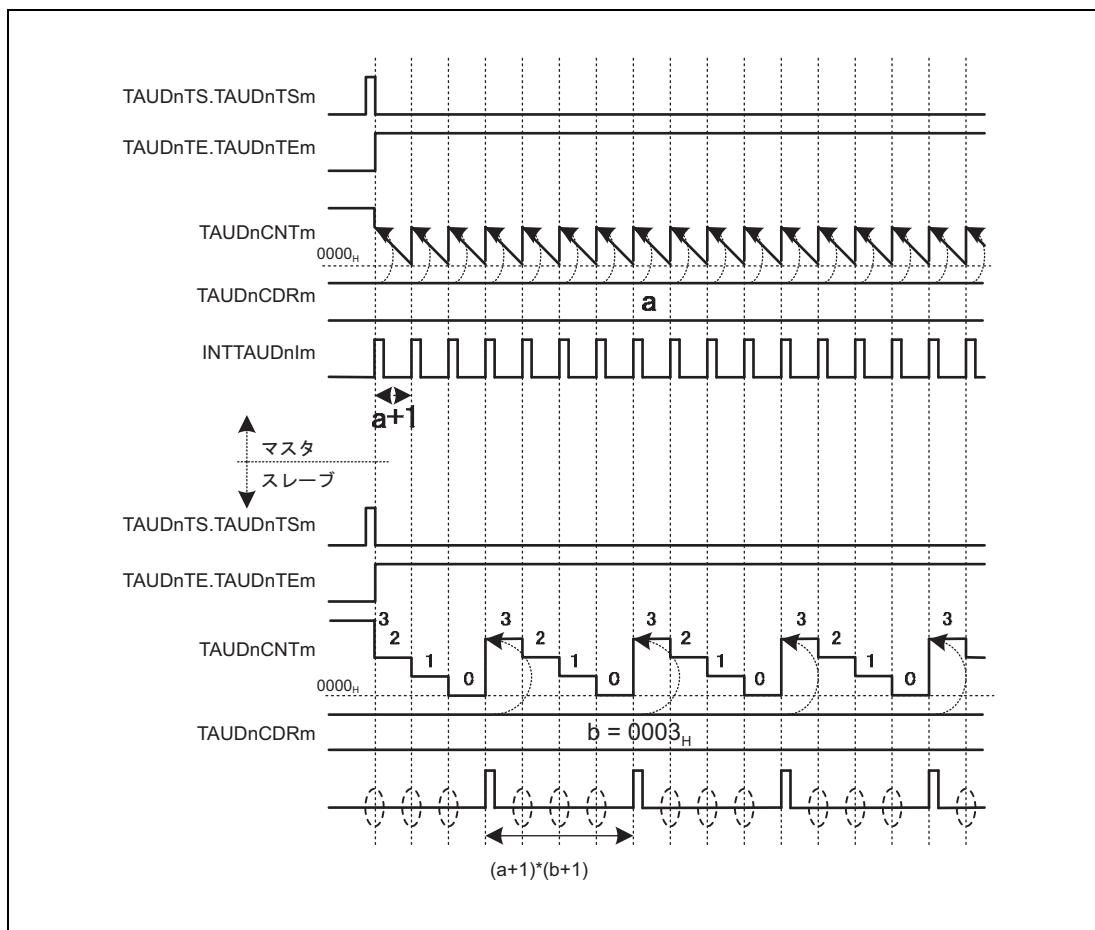


図 17.113 割り込み要求信号間引き機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.186 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.187 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.188 割り込み要求信号間引き機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.189 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.190 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャネルの出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。

(d) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 17.191 割り込み要求信号間引き機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャネルで一斉書き換えトリガを選択 1: チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。

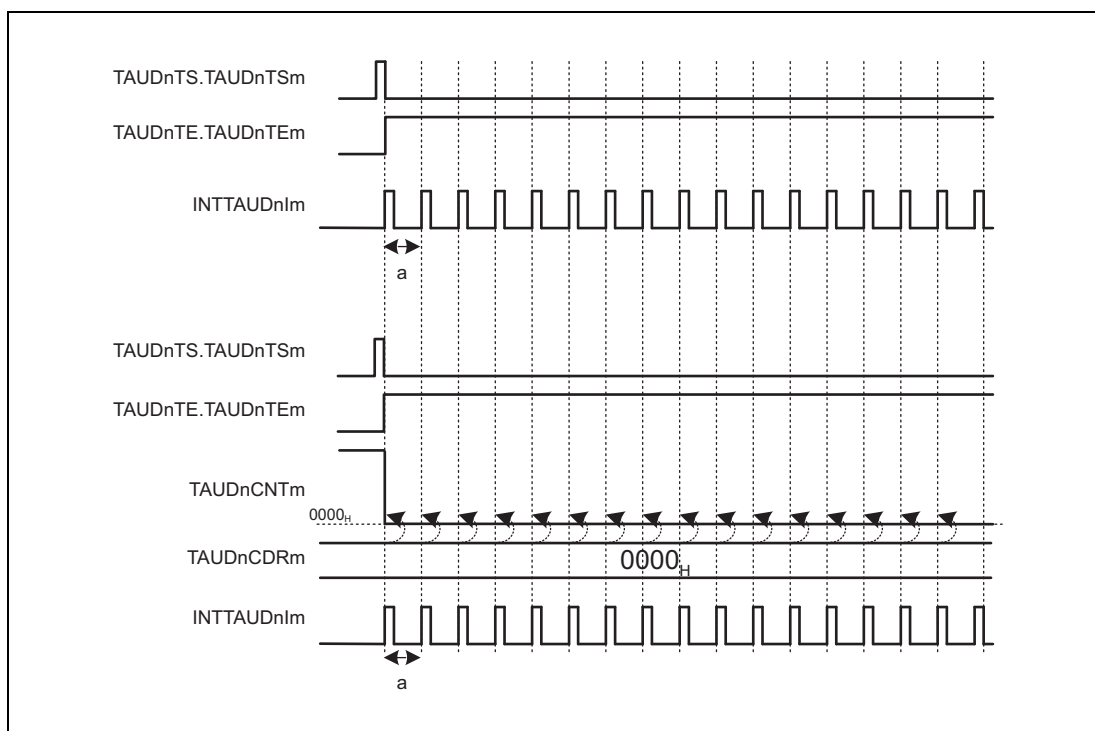
(6) 割り込み要求信号間引き機能時の操作手順

表 17.192 割り込み要求信号間引き機能時の操作手順

	操作	TAUDnの状態
動作再開	初期設定 マスタチャネル: TAUDnCMORm/ TAUDnCMURm レジスタとチャネル出力モードを「(4) マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル: TAUDnCMORm/ TAUDnCMURm レジスタとチャネル出力モードを「(5) スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャネル) が“1”に設定され、マスタ/スレーブチャネルのカウントが動作を開始します。 マスタチャネルで INTTAUDnIm が発生します。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウントが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCNTm (マスタ) は TAUDnCDRm 値をロードし、カウント動作を継続します。 スレーブチャネルの TAUDnCNTm は、マスタチャネルの INTTAUDnIm が検出されるごとにダウンカウントを行います。 スレーブチャネルの TAUDnCNTm が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。
	動作停止 マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm と TAUDnTTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) 割り込み数 (マスタ) = 割り込み数 (スレーブ)

図 17.114 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm = 0000_H の場合、マスタチャンネルの INTTAUDnIm を検出するごとに、スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードします。つまり、TAUDnCNTm は常に 0000_H です。
- したがって、マスタチャンネルで割り込みが発生すると同時に、スレーブチャンネルで割り込みが発生することになります。

17.4.12.11 1相 PWM 出力機能

(1) 概要

概要

TAUDTTINm 入力信号にデッドタイムを付加する機能です。その結果として得られる PWM 信号は、そのチャンネルおよび上位チャンネルの TAUDTTOUTm から出力されます。

前提条件

- 2つ（もしくはそれ以上）のチャンネルで、それぞれデッドタイム制御が許可されている (TAUDnTDE.TAUDnTDEm = 1)
- 下位チャンネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 17.194 1相 PWM 出力機能の TAUDnCMORm レジスタの内容**」参照）。
- 上位チャンネルには任意の動作モードを設定可能です。
- 上位下位チャンネルのチャンネル出力モードは、1相 PWM 出力を行うチャンネル連動出力モード2に設定する必要があります。「**17.4.4 チャンネル出力モード**」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

表 17.193 デッドタイムが付加される TAUDTTOUTm と TAUDTTINm の状態

TAUDnCMURm. TAUDnTIS[1:0]	TAUDnTOL. TAUDnTOLm	デッドタイムが付加される TAUDTTOUTm	TAUDnTDL. TAUDnTDLm	付加時の TAUDTTINm_lower の状態
10	0	TAUDTTOUTm low	0	ハイレベル
			1	ロウレベル
	1	TAUDTTOUTm high	0	ハイレベル
			1	ロウレベル
11	0	TAUDTTOUTm low	0	ロウレベル
			1	ハイレベル
	1	TAUDTTOUTm high	0	ロウレベル
			1	ハイレベル

条件

- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定のタイプを指定します。
 - TAUDnCMURm.TAUDnTIS[1:0] = 10_B : 両エッジを有効エッジとして検出 (ロウレベル幅測定)
 - TAUDnCMURm.TAUDnTIS[1:0] = 11_B : 両エッジを有効エッジとして検出 (ハイレベル幅測定)
- TAUDnTDL.TAUDnTDLm ビットで、下位チャンネルでの割り込み発生時または有効な TAUDTTINm エッジの検出時の各チャンネルの TAUDTTOUTm の動作を指定します。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、割り込みを TAUDTTOUTm セットのトリガ、有効な TAUDTTINm エッジを TAUDTTOUTm リセットのトリガとして使用します。
 - TAUDnTDL.TAUDnTDLm = 1 の場合、有効な TAUDTTINm エッジを TAUDTTOUTm セットのトリガ、割り込みを TAUDTTOUTm リセットのトリガとして使用します。
- この機能では強制リスタートは行えません。

(2) ブロック図と基本タイミング図

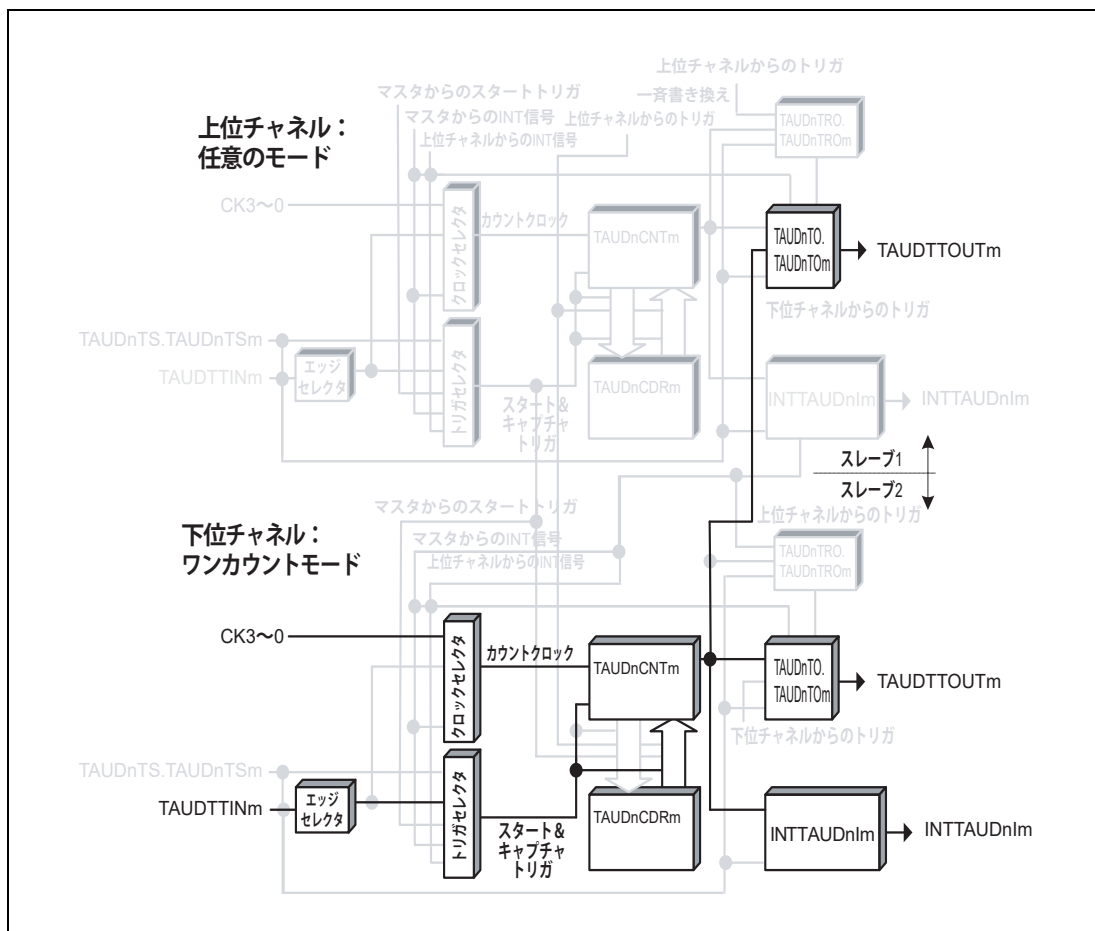


図 17.115 1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

この設定では、デューティをアクティブハイとして考えています。

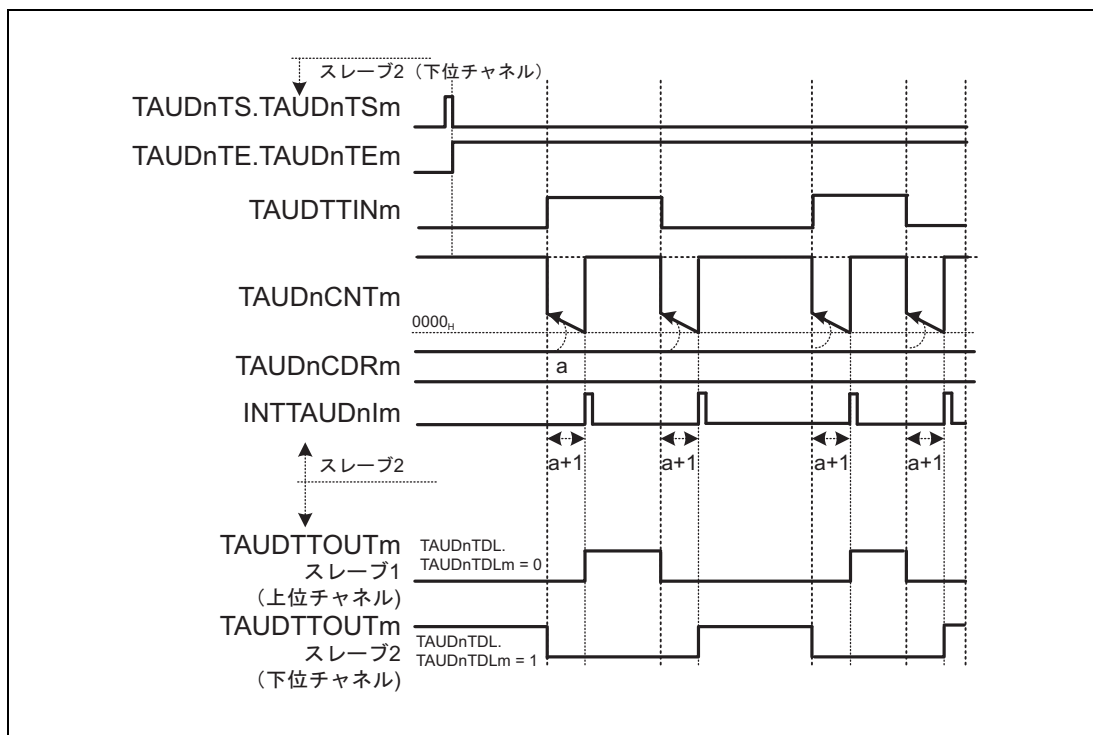


図 17.116 1 相 PWM 出力機能の基本タイミング図

(3) 下位チャンネルのレジスタ設定

(a) 下位チャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.194 1相 PWM 出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(b) 下位チャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.195 1相 PWM 出力機能の下位チャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) 下位チャンネルのチャンネル出力モード

表 17.196 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1: 下位奇数チャンネル TAUDnTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相幅のデッドタイムを付加 1: 逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、上位チャンネルと排他設定してください。

(d) 下位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、1相PWM出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 17.197 1相PWM出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) 上位チャネルのレジスタ設定**(a) 上位チャネルの TAUDnCMORm**

上位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(b) 上位チャネルの TAUDnCMURm

上位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(c) 上位チャネルのチャネル出力モード

表 17.198 1 相 PWM 出力を行うチャネル連動出力モード 2 の上位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1 : チャネル連動出力
TAUDnTOC.TAUDnTOCm	1 : 動作モード 2
TAUDnTOL.TAUDnTOLm	0 : 正論理 1 : 負論理
TAUDnTDE.TAUDnTDEm	1 : デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1 : 下位奇数チャネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0 : 下位チャネルの割り込みを TAUDTTOUTm セットトリガ、下位チャネルの有効な TAUDTTINm エッジを TAUDTTOUTm リセットトリガとして使用します。 1 : 下位チャネルの有効な TAUDTTINm エッジを TAUDTTOUTm セットトリガ、下位チャネルの割り込みを TAUDTTOUTm リセットトリガとして使用しません。
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0 : 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、下位チャネルと排他設定してください。

(d) 上位チャネルの一斉書き換え

上位チャネルの一斉書き換えレジスタは任意の設定が可能です。

(5) 1相PWM出力機能の操作手順

表 17.199 1相PWM出力機能の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定	
	動作開始	
	動作中	
	動作停止	

初期設定	<p>下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 17.194 1相PWM出力機能の TAUDnCMORm レジスタの内容」と「表 17.195 1相PWM出力機能の下位チャンネルの TAUDnCMURm レジスタの内容」に示すように設定します。</p> <p>上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、(4)「上位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUDnCDRm レジスタの値を設定します。</p> <p>制御ビットを「表 17.196 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>TAUDnTOE.TAUDnTOEm (スレーブチャンネル 1、2) を“1”に設定 (動作再開時のみ) します。スレーブチャンネル 2 に TAUDnTS.TAUDnTSm = 1 を設定します。TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。TAUDTTINm スタートエッジ検出</p>	<p>TAUDnTE.TAUDnTEm は“1”に設定され (スレーブチャンネル 2)、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。</p> <p>TAUDnCNTm は TAUDnCDRm 値をロードします。</p>
動作中	<p>TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。</p>	<p>スレーブチャンネル 2 の TAUDnCNTm はダウンカウントを行います。カウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • TAUDnCNTm がカウントを停止します。 <p>TAUDTTINm のエッジ検出信号とスレーブチャンネル 2 の INTTAUDnIm 信号により TAUDTTOUTm を変化させデッドタイム付き 1 相 PWM 波形を出力する。以降、動作を繰り返す。</p>
動作停止	<p>スレーブチャンネル 2 に TAUDnTT.TAUDnTTm = 1 を設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。</p>

17.4.13 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタチャンネルと7個のスレーブチャンネルを使用することで、6相の三角波PWM出力を生成する機能について説明します。

- 「17.4.13.1 非相補方式変調出力機能タイプ1」
- 「17.4.13.2 非相補方式変調出力機能タイプ2」
- 「17.4.13.3 相補方式変調出力機能」

17.4.13.1 非相補方式変調出力機能タイプ1

(1) 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEm) の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 17.201 非相補方式変調出力機能タイプ1時のマスタチャンネルのTAUDnCMORmレジスタの内容」参照)。
- スレーブチャンネル1~7の動作モードは、ワンカウントモードに設定する必要があります (「表 17.204 非相補方式変調出力機能タイプ1時のスレーブチャンネル1のTAUDnCMORmレジスタの内容」参照)。
- この機能では、マスタチャンネルでTAUDTTOUTmは使用しません。
- この機能ではスレーブチャンネル1のTAUDTTOUTmは使用しませんが、TAUDnTRC.TAUDnTRCmは“1”に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。
- スレーブチャンネル2~7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード1に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。
- スレーブチャンネル1のTAUDnCDRmは、0000_Hに設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、マスタ/スレーブチャンネルのカウント動作が許可されます。これによりTAUDnTE.TAUDnTEm=1となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされ、カウンタはダウンカウントを開始します。カウンタが0000_Hになると、INTTAUDnImが発生します。

- スレーブチャンネル1:
 - スレーブチャンネル1がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm=1)、スレーブチャンネル1 (TAUDnCDRmは0000_H固定) で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 値が変化します。割り込み発生後、カウンタはFFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。

- スレーブチャンネル2 :
スレーブチャンネル2はPWM出力を生成します。PWM出力周期はマスタチャンネルで指定し、デューティサイクルはスレーブチャンネル2で指定します。割り込み発生後、カウンタはFFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。

スレーブチャンネル3～7はスレーブチャンネル2と同じように動作します。

「表 17.200 非相補方式変調出力機能タイプ1時のスレーブチャンネル1組のTAUDTTOUTm出力」にあるように、TAUDTTOUTmから出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルのTAUDnTT.TAUDnTTmを“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEemは“0”に設定されます。マスタ/スレーブチャンネルのTAUDnCNTmとTAUDTTOUTmが停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSmを“1”に設定すると、カウントを再開できます。

条件

- スレーブチャンネル2～7でTAUDnTME.TAUDnTMEem = 0が設定されている場合 :
 - チャンネルのTAUDnTRO.TAUDnTROmが“1”の場合、TAUDTTOUTmはハイレベル信号を出力します。
 - チャンネルのTAUDnTRO.TAUDnTROmが“0”の場合、TAUDTTOUTmはロウレベル信号を出力します。
- スレーブチャンネル2～7でTAUDnTME.TAUDnTMEem = 1が設定されている場合 :
 - チャンネルのTAUDnTRO.TAUDnTROmが“1”の場合、TAUDTTOUTmはそのチャンネルの対応するPWMを出力します。
 - チャンネルのTAUDnTRO.TAUDnTROmが“0”の場合、TAUDTTOUTmはロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLmが“1”の場合、TAUDTTOUTmから出力されるハイレベル信号とロウレベル信号は反転します。PWM信号は反転論理となります。TAUDnTOL.TAUDnTOLmは初期設定のみ可能です (動作中は変更できません)。

表 17.200 非相補方式変調出力機能タイプ1時のスレーブチャンネル1組のTAUDTTOUTm出力

TAUDnTME. TAUDnTMEem	TAUDnTRO. TAUDnTROm	TAUDTTOUTm出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。
- スレーブチャンネル1のTAUDnCDRm値は、スレーブチャンネル2～7でPWMが生成されると同時にリアルタイム出力がトリガされるよう、0000_Hに設定する必要があります。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 0が設定されている場合、TAUDnTE.TAUDnTEem = 0に設定する前にTAUDnTO.TAUDnTOmをロウに設定します。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 1が設定されている場合、TAUDnTE.TAUDnTEem = 0に設定する前にTAUDnTO.TAUDnTOmをハイに設定します。

(2) 算出式

スレーブチャンネル2～7:

PWM 出力周期 = [TAUDnCDRm (マスタ) + 1] × カウントクロック

PWM 出力デューティ時間 = [TAUDnCDRm (スレーブ)] × カウントクロック

(3) ブロック図と基本タイミング図

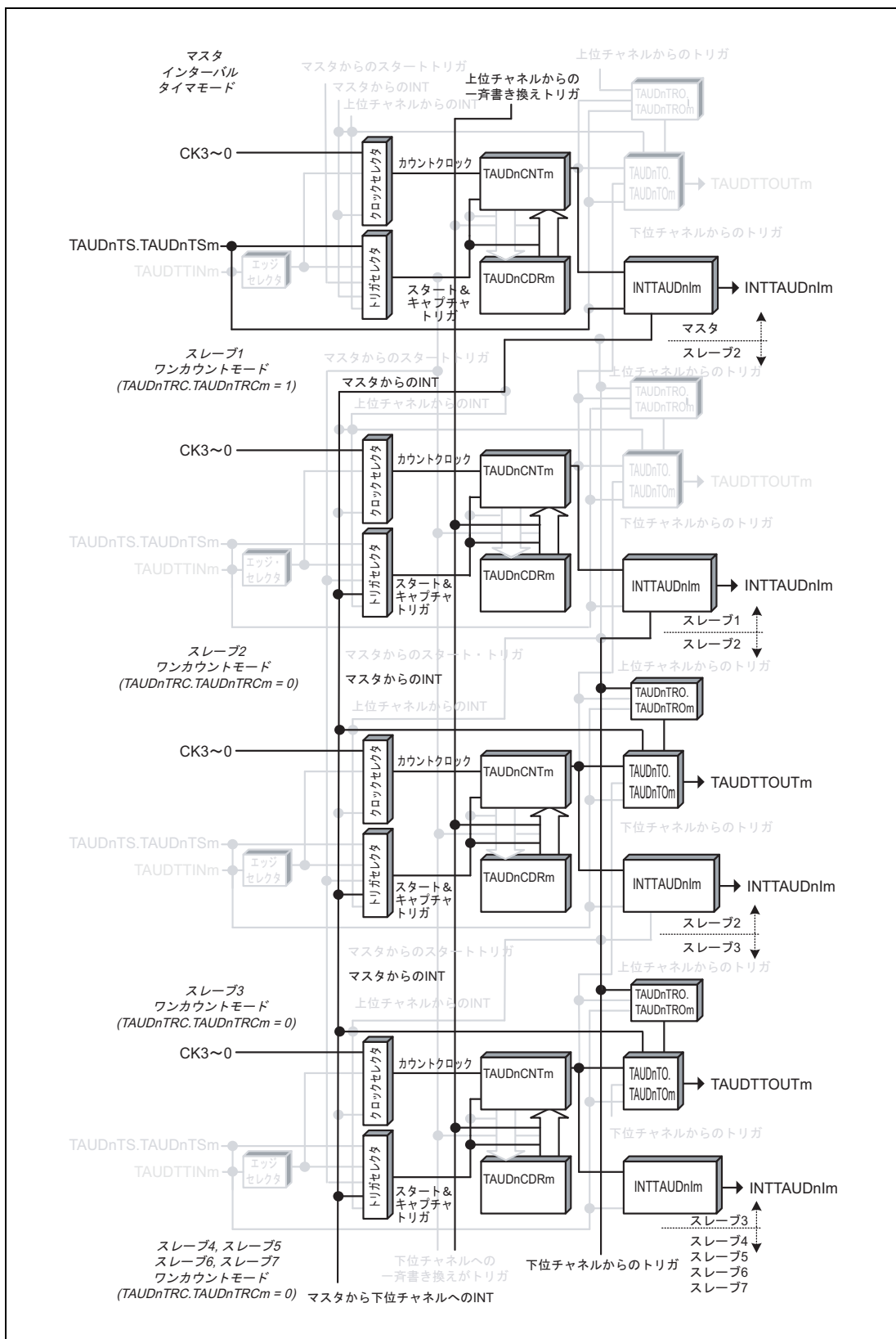


図 17.117 非相補方式変調出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

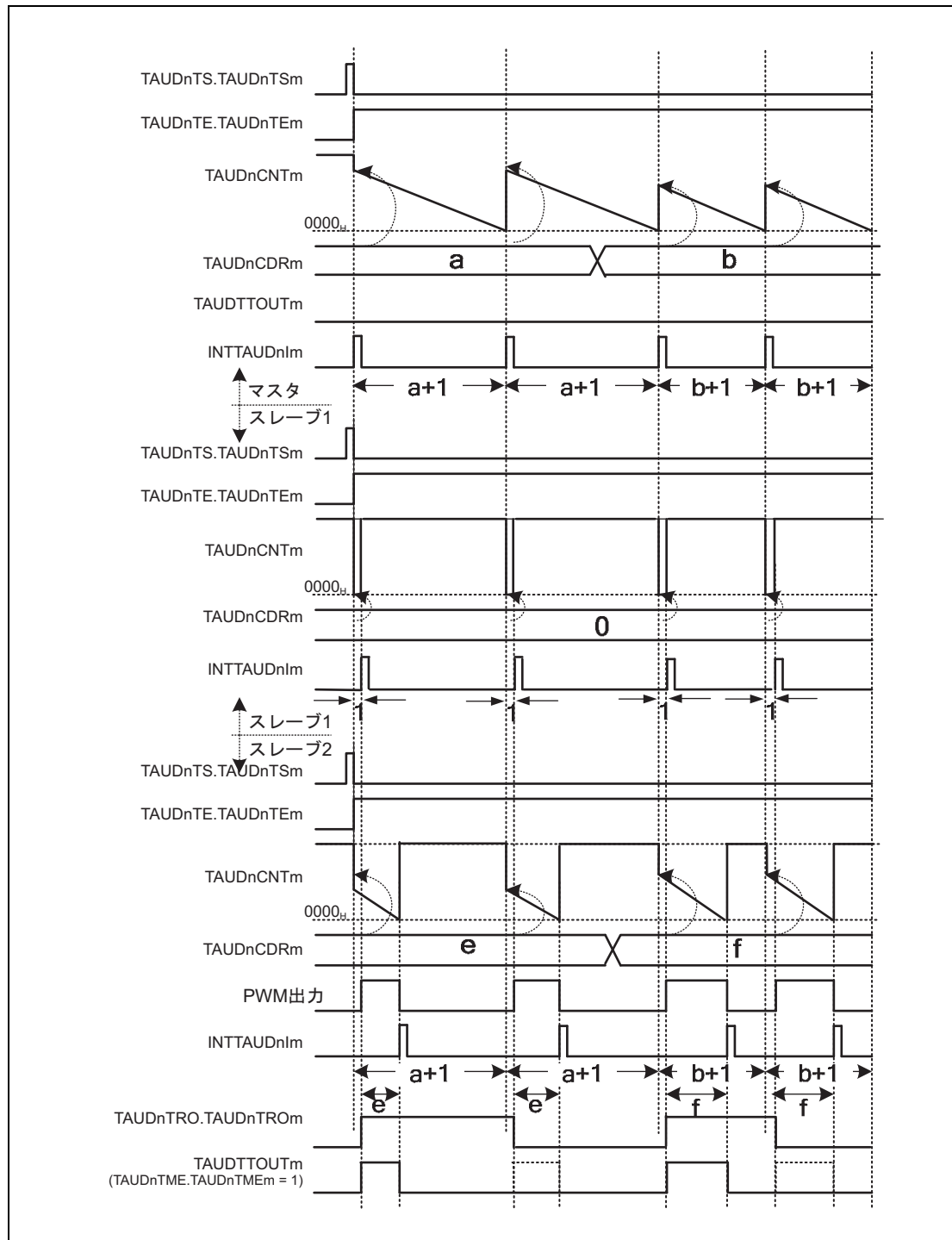


図 17.118 非相補方式変調出力機能タイプ1の基本タイミング図

備考

スレーブチャンネル 2 の TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.201 非相補方式変調出力機能タイプ1時のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始または再開時に INTTAUDnIm が発生する

(b) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.202 非相補方式変調出力機能タイプ1時のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.203 非相補方式変調出力機能タイプ1時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

備考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル: TAUDnRDCm = 1、TAUDnRDSm = 1
また、本チャンネルの TAUDnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUDnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1

(5) スレーブチャンネル1のレジスタ設定

(a) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.204 非相補方式変調出力機能タイプ1時のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルのINTTAUDnImがスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(b) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.205 非相補方式変調出力機能タイプ1時のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを“1”に設定する必要があります。

(d) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.206 非相補方式変調出力機能タイプ1時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(6) スレーブチャンネル2～7のレジスタ設定

(a) スレーブチャンネル2～7のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.207 非相補方式変調出力機能タイプ1時のスレーブチャンネル2～7のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルのINTTAUDnImがスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(b) スレーブチャンネル2～7のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.208 非相補方式変調出力機能タイプ1時のスレーブチャンネル2～7のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル2～7のチャンネル出力モード

表 17.209 非相補方式変調出力を行うチャンネル連動出力モード1時のスレーブチャンネル2～7の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネルm用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0: 変調禁止 1: 変調許可

(d) スレーブチャンネル2～7の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.210 非相補方式変調出力機能タイプ1時のスレーブチャンネル2～7の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(7) 非相補方式変調出力機能タイプ1時の操作手順

表 17.211 非相補方式変調出力機能タイプ1時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル1 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル2~7 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル2~7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスタチャンネルの TAUDnCDRm にパルス周期、スレーブチャンネル1の TAUDnCDRm に 0000_H、スレーブチャンネル2~7の TAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル1に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 17.211 非相補方式変調出力機能タイプ1時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開 ↓	動作開始 マスタチャンネルとスレーブチャンネルのTAUDnTS.TAUDnTsmを同時に“1”に設定します。 TAUDnTS.TAUDnTsmはトリガビットなので、自動的に“0”にクリアされます。	マスタ/スレーブチャンネルのTAUDnTE.TAUDnTEmが“1”に設定され、カウンタがダウンカウントを開始します。
	動作中 TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEmは任意のタイミングで変更可能です。 TAUDnCNTmとTAUDnRSF.TAUDnRSFmは任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTmは動作中に変更可能です。	マスタチャンネル、スレーブチャンネル1、スレーブチャンネル2～7のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。マスタチャンネルのカウンタが0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnImが発生します。 再びTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを継続します。 スレーブチャンネル2～7のPWM出力信号がセット/リセットされます。 再びスレーブチャンネル1のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。 再びスレーブチャンネル2～7のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。 スレーブチャンネル1またはスレーブチャンネル2～7のカウンタが0000_Hになった場合： <ul style="list-style-type: none"> INTTAUDnImが発生します。 スレーブチャンネル2～7のカウンタが0000_Hになった場合： <ul style="list-style-type: none"> INTTAUDnImが発生します。 スレーブチャンネル2～7のPWM出力信号がリセットされます。 スレーブチャンネル2～7のTAUDTTOUTmは、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEm) の値に応じて、PWM信号、ハイレベル信号、またはロウレベル信号を出力します。
	動作停止 マスタチャンネルとスレーブチャンネルのTAUDnTT.TAUDnTTmを同時に“1”に設定します。 TAUDnTT.TAUDnTTmはトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEmが“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTmとTAUDTTOUTmは停止し、現在値を保持します。

(8) 特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

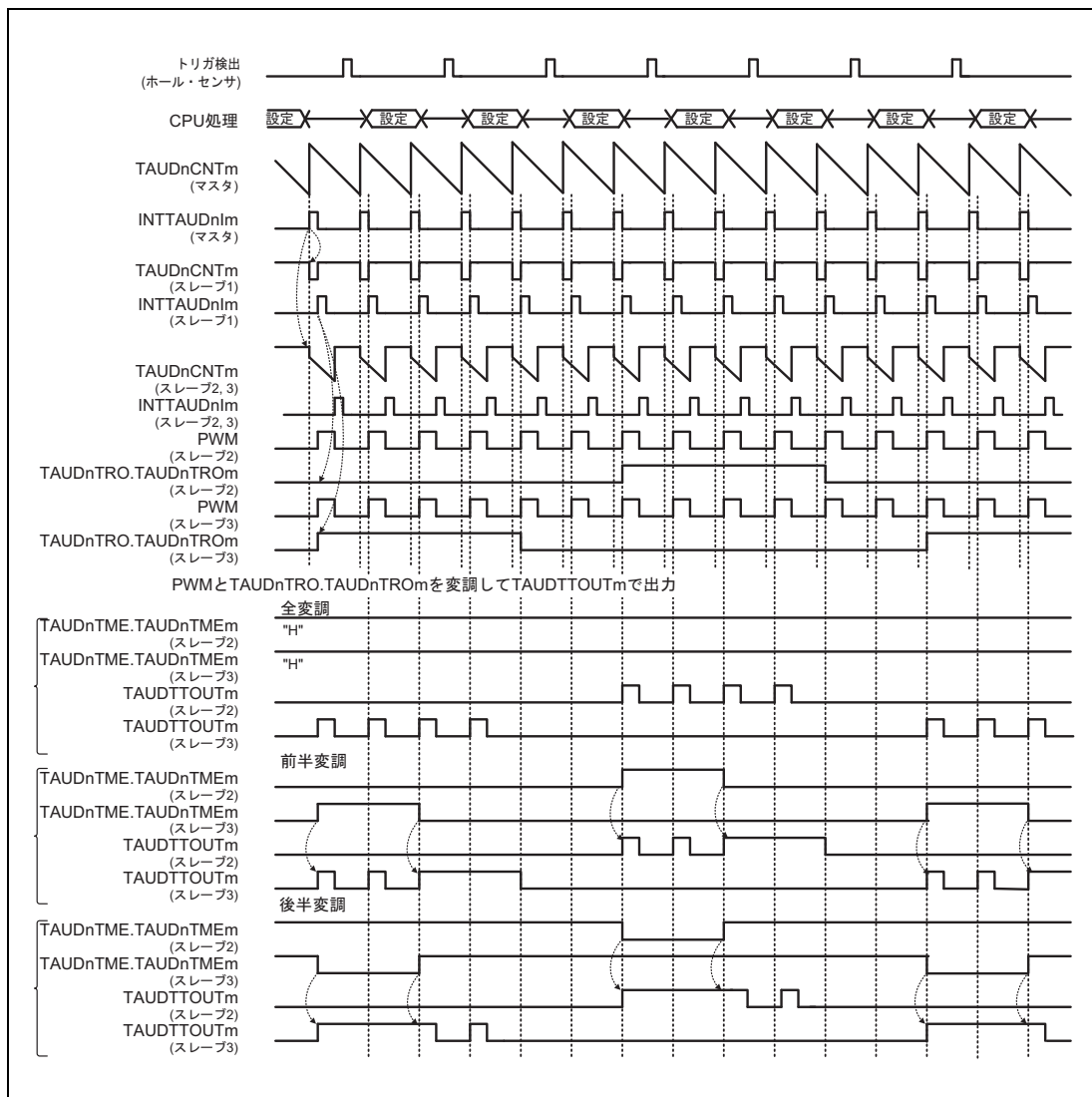


図 17.119 非相補方式変調出力機能タイプ1の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEem ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEem、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEem は、カウント開始タイミングとマスタチャンネルの周期検出で設定値が反映されます。変更された設定値にしたがい、TAUDTTOUTm より変調波形を出力します。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル1で割り込みが発生しないと適用されません。

17.4.13.2 非相補方式変調出力機能タイプ2

(1) 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEem) の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 17.213 非相補方式変調出力機能タイプ2時のマスタチャンネルのTAUDnCMORmレジスタの内容」参照)。
- スレーブチャンネル1の動作モードは、イベントカウントモードに設定する必要があります (「表 17.217 非相補方式変調出力機能タイプ2時のスレーブチャンネル1のTAUDnCMORmレジスタの内容」参照)。
- スレーブチャンネル2～7の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 17.220 非相補方式変調出力機能タイプ2時のスレーブチャンネル2～7のTAUDnCMORmレジスタの内容」参照)。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル1のTAUDTTOUTmは使用しませんが、TAUDnTRC.TAUDnTRCmは“1”に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。
- スレーブチャンネル2～7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、マスタ/スレーブチャンネルのカウント動作が許可されます。これによりTAUDnTE.TAUDnTEm=1となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル :
マスタチャンネルのカウンタがダウンカウントを開始します。カウンタが0000_Hになると、INTTAUDnImが発生します。
- スレーブチャンネル1 :
スレーブチャンネル1がマスタチャンネルからの割り込みを検出すると、TAUDnCNTm値はデクリメントされます。マスタチャンネルからの割り込みがTAUDnCDRm+1検出されると、INTTAUDnImが発生します。その後、TAUDnCDRm値をTAUDnCNTmにロードし、以降、動作を継続します。
スレーブチャンネル1がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm=1)、スレーブチャンネル1で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 値がそれぞれのTAUDTTOUTm出力に反映されます。

- スレーブチャンネル2 :
 マスタチャンネルからの割り込みを検出すると、TAUDnCNTm は逆方向にカウントを行います。アップカウント中に割り込みを検出すると、再び TAUDnCDRm の値をロードしてからダウンカウントを開始します。
 TAUDnCNTm = 0001_H の場合、割り込みが発生し、PWM 出力信号がセット/リセットされます。

マスタチャンネルとスレーブチャンネル2を組み合わせることで、PWM 出力信号を生成します。マスタチャンネルは PWM 出力周期を生成し、スレーブチャンネル2はデューティサイクルを生成します。

スレーブチャンネル3～7はスレーブチャンネル2と同じように動作します。

「表 17.212 非相補方式変調出力機能タイプ2時のスレーブチャンネル1組の TAUDTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEEm) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。

条件

- スレーブチャンネルの TAUDnTME.TAUDnTMEEm が“0”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はハイレベル信号を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャンネルの TAUDnTME.TAUDnTMEEm が“1”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はそのチャンネルの対応する PWM を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は反転論理となります。TAUDnTOL.TAUDnTOLm は初期設定のみ可能です (動作中は変更できません)。

表 17.212 非相補方式変調出力機能タイプ2時のスレーブチャンネル1組のTAUDTTOUTm出力
(TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTMEEm	TAUDnTRO. TAUDnTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 0が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmをロウに設定します。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 1が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmをハイに設定します。

(2) 算出式

スレーブチャンネル2～7:

キャリア周期 (ダウン/アップ)

$$= [\text{TAUDnCDRm (マスタ)} + 1] \times 2 \times \text{カウントクロック周期}$$

デューティ時間

$$= [\text{TAUDnCDRm (マスタ)} + 1 - \text{TAUDnCDRm (スレーブ)}] \times 2 \times \text{カウントクロック周期}$$

(3) ブロック図と基本タイミング図

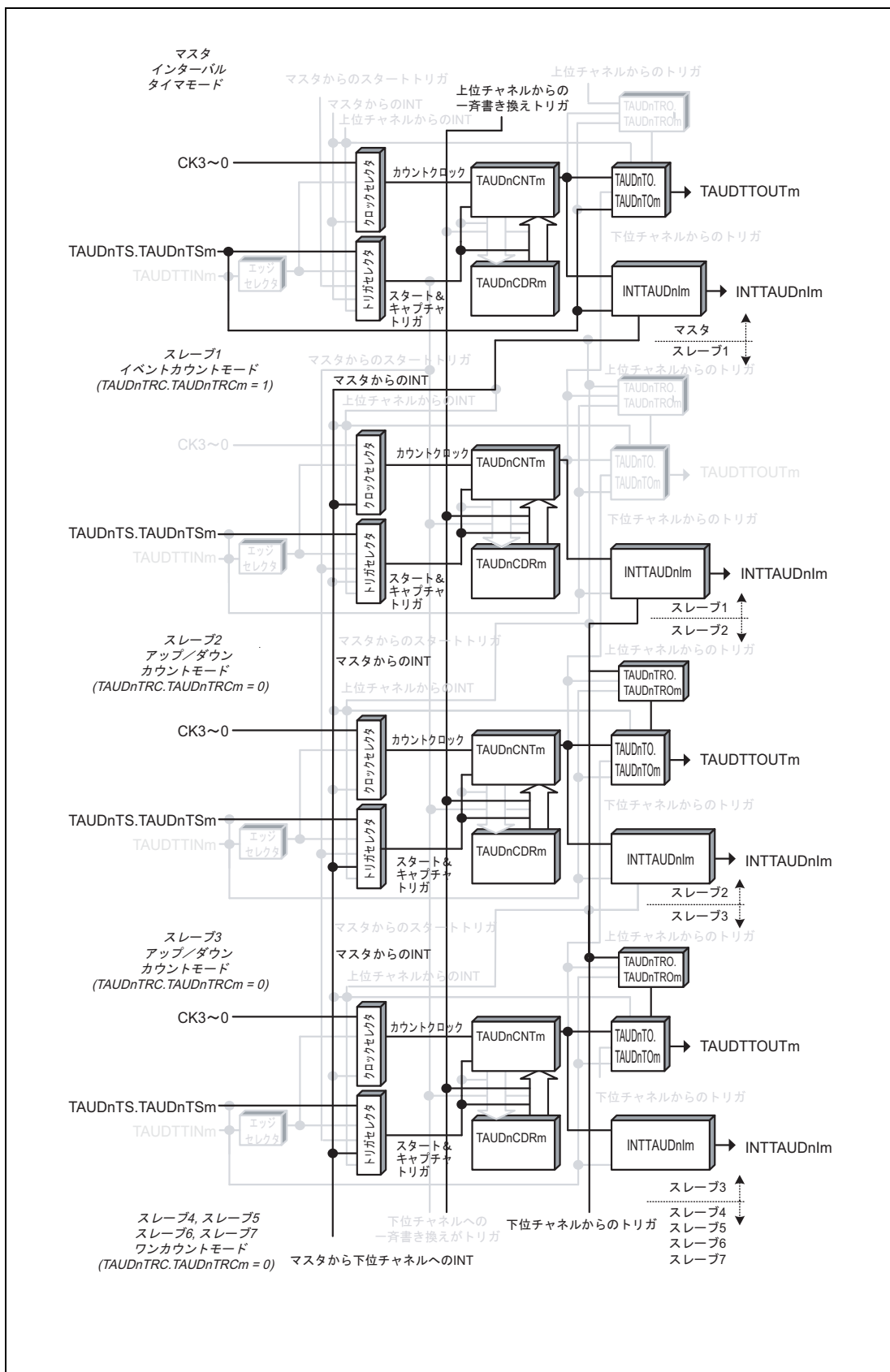


図 17.120 非相補方式変調出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

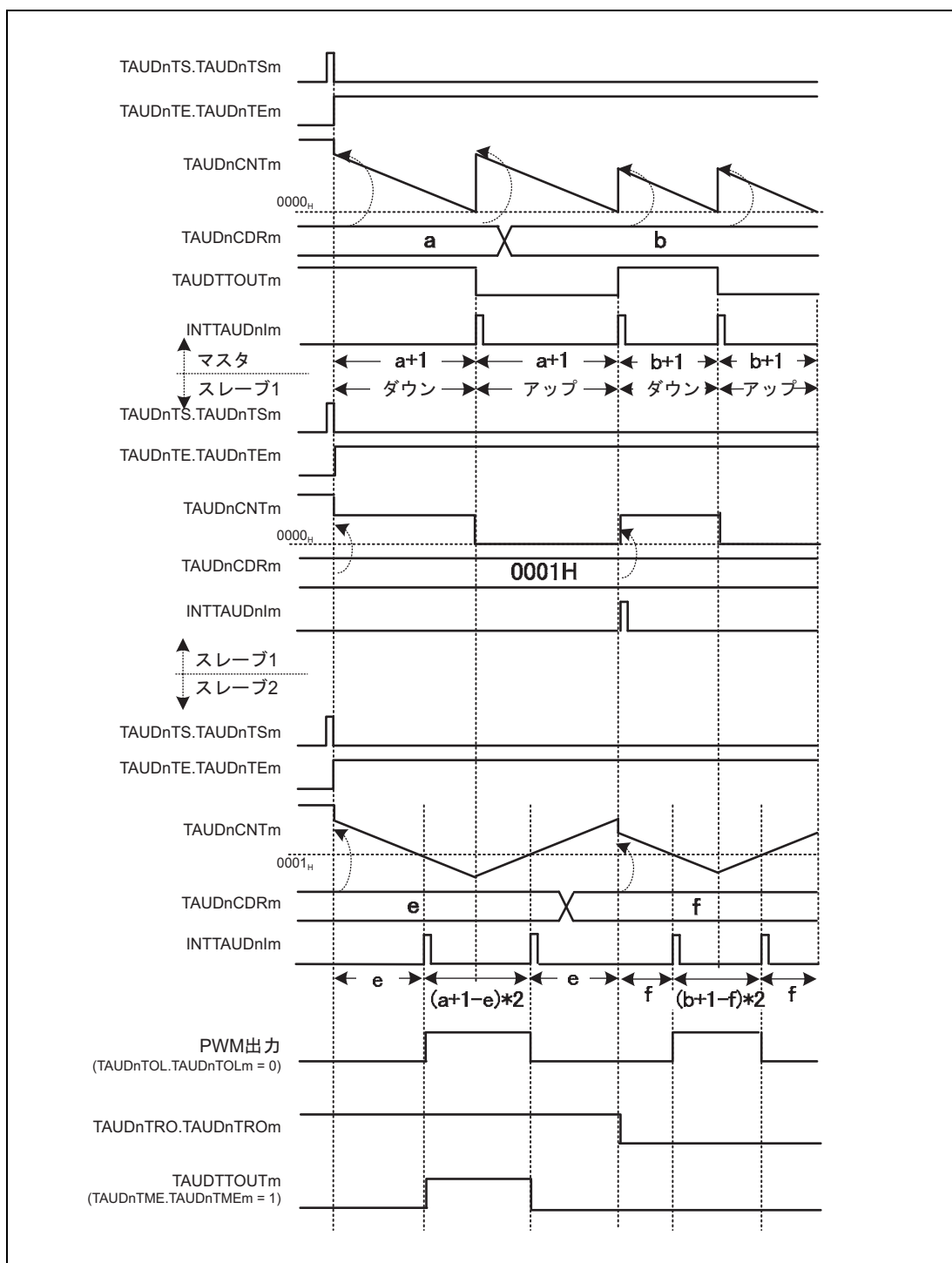


図 17.121 非相補方式変調出力機能タイプ2の基本タイミング図

(4) マスタチャネルのレジスタ設定

(a) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.213 非相補方式変調出力機能タイプ2時のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない 1：動作開始または再開時に INTTAUDnIm が発生する

(b) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 17.214 非相補方式変調出力機能タイプ2時のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

表 17.215 非相補方式変調出力機能タイプ2時のマスタチャンネルの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.216 非相補方式変調出力機能タイプ2時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブチャンネル1のレジスタ設定

(a) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.217 非相補方式変調出力機能タイプ2時のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルのINTTAUDnImをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時にINTTAUDnImが発生しない

(b) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.218 非相補方式変調出力機能タイプ2時のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能では、スレーブチャンネル1ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを“1”に設定する必要があります。

(d) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.219 非相補方式変調出力機能タイプ2時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(6) スレーブチャンネル2～7のレジスタ設定

(a) スレーブチャンネル2～7のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.220 非相補方式変調出力機能タイプ2時のスレーブチャンネル2～7のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時にINTTAUDnImが発生しない

(b) スレーブチャンネル2～7のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.221 非相補方式変調出力機能タイプ2時のスレーブチャンネル2～7のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル2～7の出力モード

表 17.222 非相補方式変調出力を行うチャンネル連動出力モード2時のスレーブチャンネル2～7の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネルm用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

(d) スレーブチャンネル2～7の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.223 非相補方式変調出力機能タイプ2時のスレーブチャンネル2～7の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(7) 非相補方式変調出力機能タイプ2時の操作手順

表 17.224 非相補方式変調出力機能タイプ2時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル1 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル2~7 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル2~7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスタチャンネルの TAUDnCDRm でパルス周期を設定し、スレーブチャンネル1の TAUDnCDRm でスレーブチャンネル1が入力信号を生成するまでに無視するマスタチャンネルの割り込み数を設定します。また、スレーブチャンネル2~7の TAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル1に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 17.224 非相補方式変調出力機能タイプ 2 時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開 ↑	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に "1" に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に "0" にクリアされます。	マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が "1" に設定され、カウンタがダウンカウントを開始します。
	動作中 TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャンネルとスレーブチャンネル 2～7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャンネル 1 の TAUDnCDRm の値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 スレーブチャンネル1のTAUDnCNTm値が1減少し、マスタチャンネルの次の割り込みを待ちます。 スレーブチャンネル2～7のTAUDnCNTmは逆方向にカウントを行います。 スレーブチャンネル1のカウンタが0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。割り込み検出時： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 スレーブチャンネル2～7のカウンタが0001_Hになった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 スレーブチャンネル 2～7 の PWM 出力信号がセット/リセットされます。 スレーブチャンネル 2～7 の TAUDTTOUTm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEm) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(8) 特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

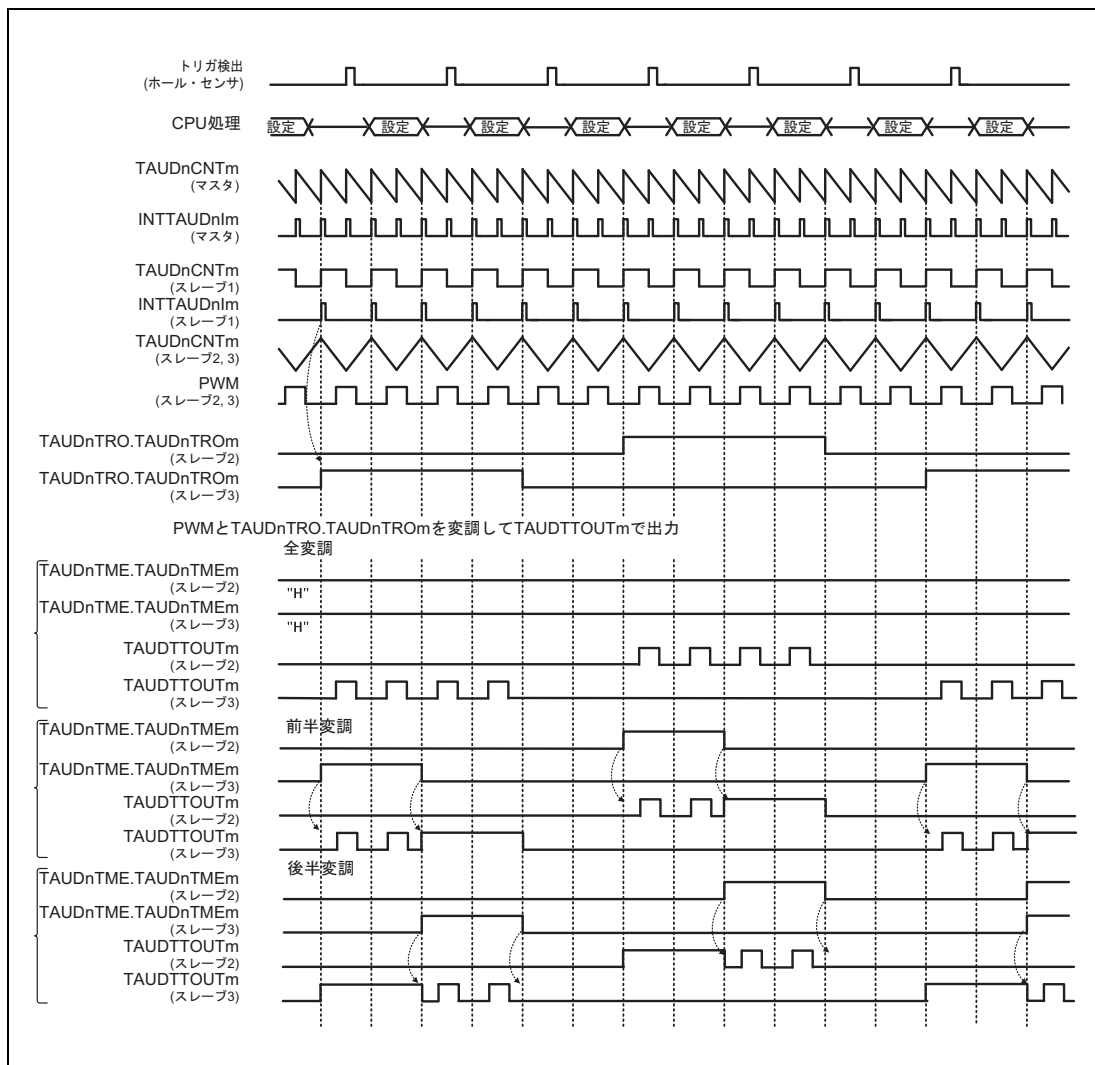


図 17.122 非相補方式変調出力機能タイプ2の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEEm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル1で割り込みが発生しないと適用されません。

17.4.13.3 相補方式変調出力機能

(1) 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTME_m)、出力レベルビット (TAUDnTDL.TAUDnTDL_m) の値に応じて、TAUDTTOUT_m から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 17.227 相補方式変調出力機能時のマスタチャンネルの TAUDnCMOR_m レジスタの内容」参照)。
- スレーブチャンネル1の動作モードは、イベントカウントモードに設定する必要があります (「表 17.231 相補方式変調出力機能時のスレーブチャンネル1の TAUDnCMOR_m レジスタの内容」参照)。
- スレーブチャンネル2, 4, 6の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 17.234 相補方式変調出力機能時のスレーブチャンネル2, 4, 6の TAUDnCMOR_m レジスタの内容」参照)。
- スレーブチャンネル3, 5, 7の動作モードは、ワンカウントモードに設定する必要があります (「表 17.238 相補方式変調出力機能時のスレーブチャンネル3, 5, 7の TAUDnCMOR_m レジスタの内容」参照)。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル1の TAUDTTOUT_m は使用しませんが、TAUDnTRC.TAUDnTRC_m は“1”に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。
- スレーブチャンネル2~7のチャンネル出力モードは、相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (「17.4.4 チャンネル出力モード」参照)。

機能説明

- マスタチャンネル :
チャンネルトリガビット (TAUDnTS.TAUDnTS_m) を“1”に設定すると、マスタチャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTE_m = 1 となり、カウンタが可能になります。マスタチャンネルのデータレジスタ (TAUDnCDR_m) の値がカウンタ (TAUDnCNT_m) にロードされ、カウンタはこの値からダウンカウントを開始します。
マスタチャンネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。これによりスレーブチャンネル1のカウンタ値が1減少し、スレーブチャンネル2のカウンタが反対方向にカウントを開始します。
- スレーブチャンネル1 :
カウンタが 0000_H になると、マスタチャンネルからの次の割り込みを待ちます。そして再び TAUDnCDR_m の値を TAUDnCNT_m (スレーブ1) にロードし、INTTAUDnIm が発生

します。

スレーブチャンネル1はリアルタイム出力のトリガチャンネルとして設定されます (TAUDnTRC.TAUDnTRCm = 1)。割り込みにより、スレーブチャンネル1の割り込み発生を検出しているチャンネルで、各チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の値が適用されます。リアルタイム出力ビット値はアプリケーションソフトで任意のタイミングで変更可能ですが、新しい値はスレーブチャンネル1で割り込みが発生するまで適用されません。

- スレーブチャンネル2 :
スレーブチャンネル2のカウンタが0001_Hになると、スレーブチャンネル3のカウンタがダウンカウントを開始します。スレーブチャンネル3のカウンタが0000_Hになると、割り込みが発生します。
- スレーブチャンネル2、スレーブチャンネル3 :
マスタチャンネルとスレーブチャンネル2およびスレーブチャンネル3を組み合わせて使用することで、PWM出力信号を生成します。マスタチャンネルはPWM出力周期を生成し、スレーブチャンネル2はデューティサイクルを、スレーブチャンネル3はデッドタイムを生成します。
- スレーブチャンネル4～7 :
スレーブチャンネル4、6はスレーブチャンネル2と同じように動作し、スレーブチャンネル5、7はスレーブチャンネル3と同じように動作します。

「表 17.225 相補方式変調出力機能時のスレーブチャンネル1組のTAUDTTOUTm出力

(TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDTTOUTmから出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEem)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値によって決まります。

ただし、チャンネル2とチャンネル3の両方からハイレベル信号が出力されることは禁止です (モータドライバのショートを防ぐなどの目的のため)。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルのTAUDnTT.TAUDnTTmを“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEemは“0”に設定されます。マスタ/スレーブチャンネルのTAUDnCNTmとTAUDTTOUTmが停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSmを“1”に設定すると、カウントを再開できます。

条件

- 1組のチャンネルの双方でTAUDnTME.TAUDnTMEemが“1”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - 片方のチャンネルのTAUDnTRO.TAUDnTROmが“1”の場合、TAUDTTOUTmはそのチャンネルの対応するPWMを出力します。
 - 双方のチャンネルのTAUDnTRO.TAUDnTROmが“0”の場合、1組のTAUDTTOUTmはロウレベル信号を出力します。
- 1組のチャンネルの双方でTAUDnTME.TAUDnTMEemが“0”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - TAUDnTRO.TAUDnTROmが“1”の場合、そのチャンネルのTAUDTTOUTmはハイレベル信号を出力します。
 - TAUDnTRO.TAUDnTROmが“0”の場合、そのチャンネルのTAUDTTOUTmはロウレベル信号を出力します。

- TAUDnTOL.TAUDnTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。

表 17.225 相補方式変調出力機能時のスレーブチャンネル 1 組の TAUDTTOUTm 出力
(TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME.T AUDnTME2	TAUDnTME.T AUDnTME3	TAUDnTRO.T AUDnTRO2	TAUDnTRO.T AUDnTRO3	TAUDnTDL.T AUDnTDL2	TAUDnTDL.T AUDnTDL3	TAUDTTOUT 2 出力	TAUDTTOUT 3 出力
0	0	0	0	×	×	ロウレベル	ロウレベル
		0	1	1	0	ロウレベル	ハイレベル
		1	0	0	1	ハイレベル	ロウレベル
		1	1	×	×	設定禁止	設定禁止
1	1	0	0	×	×	ロウレベル	ロウレベル
		0	1	1	0	~PWMm	PWMm
		1	0	0	1	PWMm	~PWMm
		1	1	×	×	設定禁止	設定禁止

備考

1. この表の PWM は正相 PWM 信号を示し、~PWM は逆相 PWM 信号を示します（正論理）。正相／逆相は TAUDnTDL.TAUDnTDLm で設定されます。
2. この表に記述のない設定は禁止です。

- 1 組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている間、TAUDnTME.TAUDnTMEm が継続的に“1”に設定されている場合、その変調は全変調になります。
- 1 組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている期間の前半で TAUDnTME.TAUDnTMEm が“1”に設定されている場合、その変調は前半変調になります。
- 1 組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている期間の後半で TAUDnTME.TAUDnTMEm が“1”に設定されている場合、その変調は後半変調になります。
- 2つのチャンネルが同時にハイレベル信号の出力となる場合にデッドタイムが正相PWM信号と逆相PWM信号のどちらに付加されるかは、TAUDnTDL.TAUDnTDLm ビット値で決まります。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、正相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm = 1 の場合、逆相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm ビット値の操作は、動作中にアプリケーションソフトで行う必要があります。TAUDnTDL.TAUDnTDLm を変更する場合は、TAUDnTRO.TAUDnTROm が 00_B の期間に書き換えてください。
- スレーブチャンネル 1 の TAUDnCDRm 値は、キャリア周期（山割り込みタイミング）でスレーブチャンネル 1 の INTTAUDnIm を発生させる値に設定する必要があります。
- スレーブチャンネル 2～7 で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“0”（ロウレベル）に設定します。
 - TAUDnTDL.TAUDnTDLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“1”（ハイレベル）に設定します。

- スレーブチャンネル2～7で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“1”（ハイレベル）に設定します。
 - TAUDnTDL.TAUDnTDLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“0”（ロウレベル）に設定します。
- この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

表 17.226 相補方式変調出力機能時のスレーブチャンネル1組の TAUDnTDL.TAUDnTDLm 設定 (TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTME2	TAUDnTME. TAUDnTME3	TAUDnTRO. TAUDnTRO2	TAUDnTRO. TAUDnTRO3	TAUDnTDL. TAUDnTDL2	TAUDnTDL. TAUDnTDL3
0	0	0	0	1	1
		0	1	1	0
		1	0	0	1
1	1	0	0	1	1
		0	1	1	0
		1	0	0	1

- スレーブチャンネル1の TAUDnCDRm 値は“1”に設定して、キャリア周期の頂点でスレーブチャンネル1で INTTAUDnIm を発生させる必要があります。
- マスタチャンネルの TAUDnCMORm.TAUDnMD0 は“0”に設定してください。
- この機能では一斉書き換えを行うことができます。「17.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000H ≤ TAUDnCDRm (マスタ) < FFFFH

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

スレーブチャンネル2、スレーブチャンネル3：

PWM 信号幅 (正相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2) × 2) - (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2) × 2) + (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

スレーブチャンネル4～7：

スレーブチャンネル4,6はスレーブチャンネル2と同じように、スレーブチャンネル5,7はスレーブチャンネル3と同じように算出してください。

(3) ブロック図と基本タイミング図

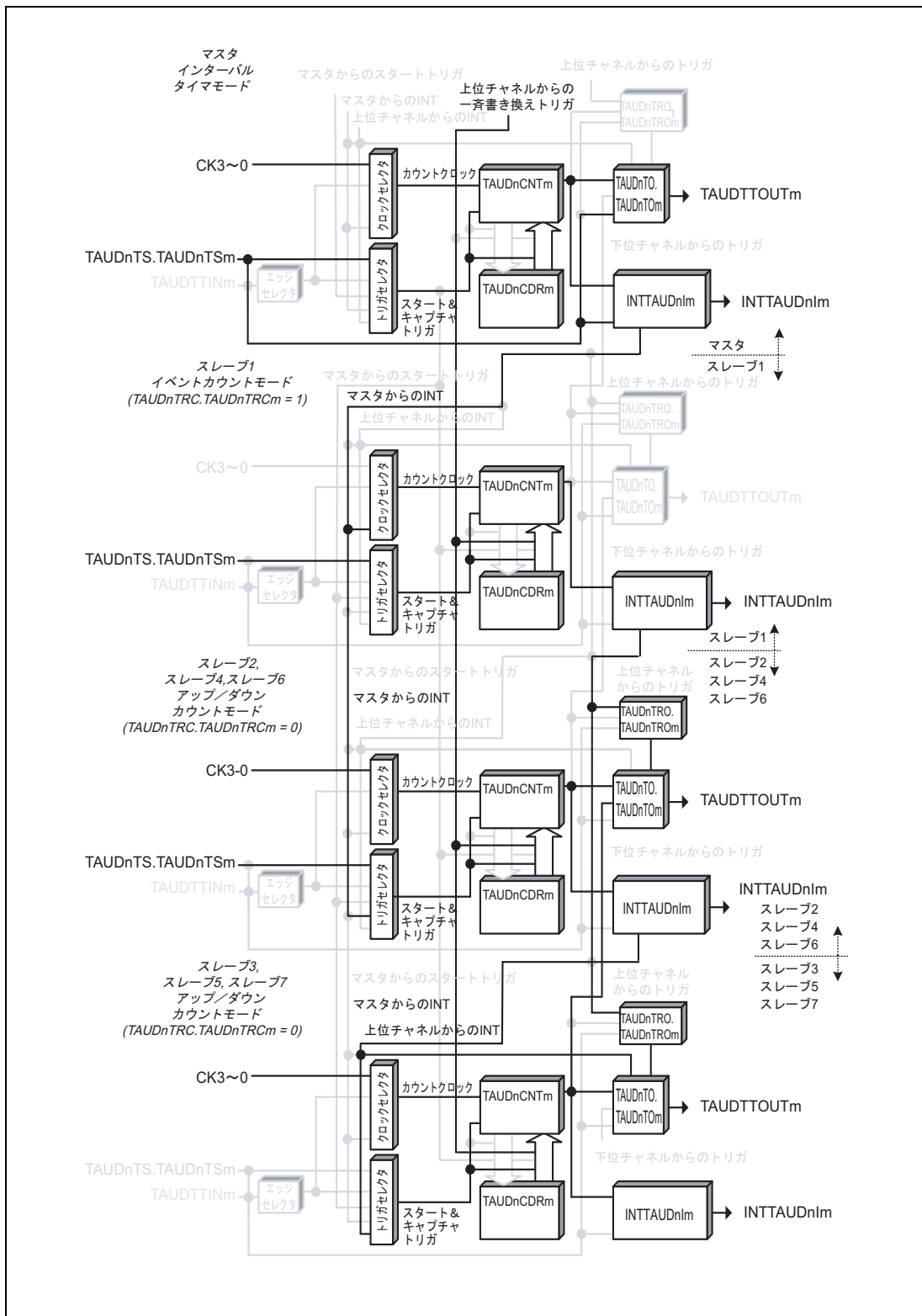


図 17.123 相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)

- スレーブチャンネル 1 : $TAUDnCDRm = 0001_H$
- スレーブチャンネル 2 ~ 7 : 正論理 ($TAUDnTOL.TAUDnTOLm = 0$)

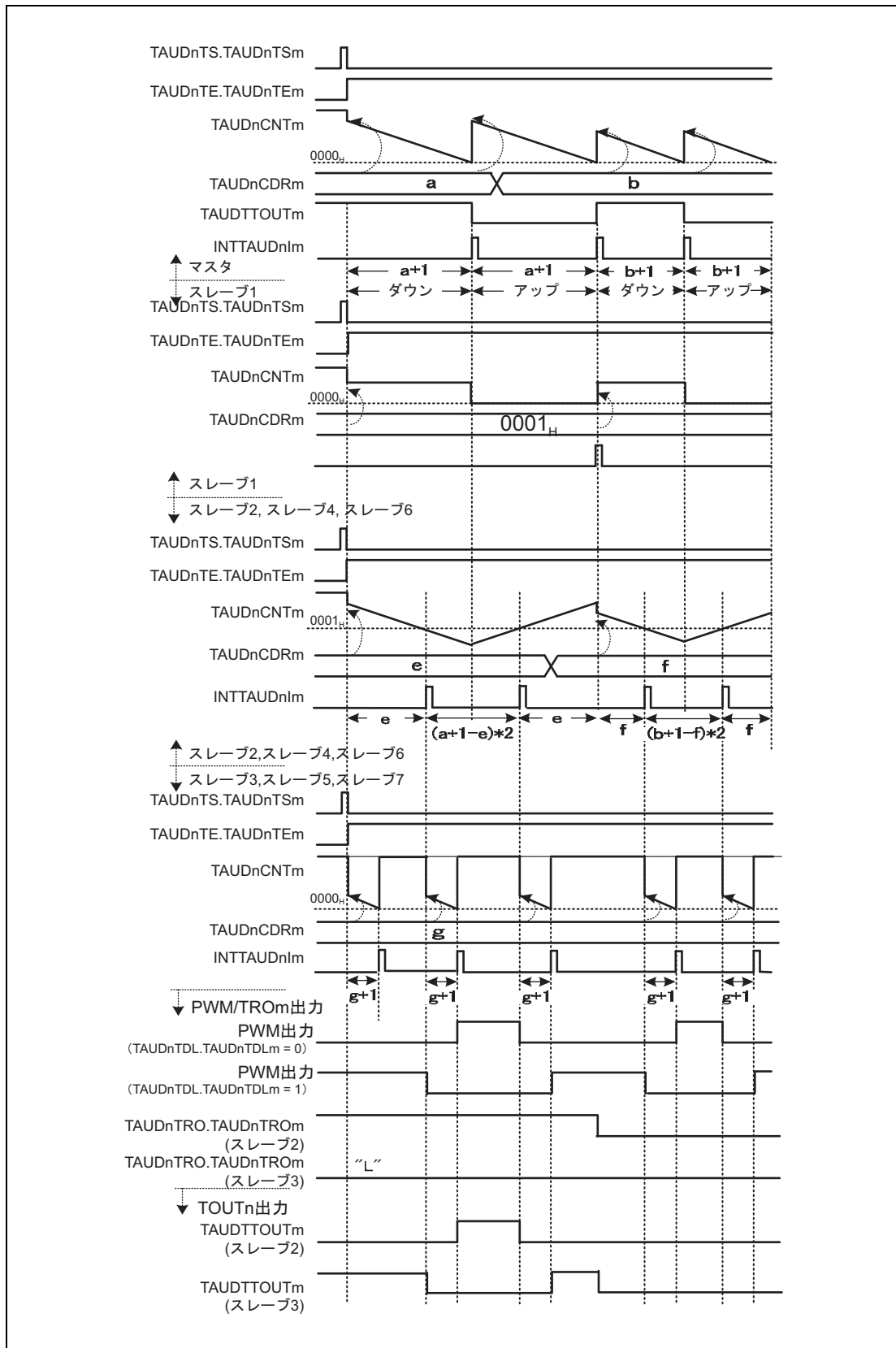


図 17.124 相補方式変調出力機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.227 相補方式変調出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.228 相補方式変調出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

表 17.229 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 17.230 相補方式変調出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャネルで一斉書き換えトリガをモニタ 1: チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

備考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(5) スレーブチャンネル1のレジスタ設定

(a) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.231 相補方式変調出力機能時のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルのINTTAUDnImをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時にINTTAUDnImが発生しない

(b) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.232 相補方式変調出力機能時のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) チャネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを1に設定する必要があります。

(d) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.233 相補方式変調出力機能時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(6) スレーブチャンネル 2, 4, 6 のレジスタ設定

(a) スレーブチャンネル 2, 4, 6 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.234 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	111 : マスタチャンネルのアップ/ダウン出力トリガ信号
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	1001 : アップ/ダウンカウントモード
0	TAUDnMD0	0 : 動作開始または再開時に INTTAUDnIm が発生しない

(b) スレーブチャンネル 2, 4, 6 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.235 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 2, 4, 6 の出力モード

表 17.236 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

注 意

TAUDnTDL.TAUDnTDLm は、奇数チャンネルと排他設定してください。

(d) スレーブチャンネル 2, 4, 6 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.237 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(7) スレーブチャンネル 3, 5, 7 のレジスタ設定

(a) スレーブチャンネル 3, 5, 7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 17.238 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	110 : デッドタイムトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(b) スレーブチャンネル 3, 5, 7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 17.239 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 3, 5, 7 の出力モード

表 17.240 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

注 意

TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(d) スレーブチャンネル 3, 5, 7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 17.241 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(8) 相補方式変調出力機能時の操作手順

表 17.242 相補方式変調出力機能時の操作手順 (1/2)

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2, 4, 6 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル 2, 4, 6 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3, 5, 7 : TAUDnCMORm/ TAUDnCMURm レジスタとチャンネル出力モードを「(7) スレーブチャンネル 3, 5, 7 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスタチャンネルの TAUDnCDRm でパルス周期を設定し、スレーブチャンネル 1 の TAUDnCDRm で無視されるマスタチャンネル割り込み数を設定します。また、スレーブチャンネル 2, 4, 6 の TAUDnCDRm にデューティ幅を、スレーブチャンネル 3, 5, 7 にデッドタイム遅延を設定します。</p> <p>スレーブチャンネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 17.242 相補方式変調出力機能時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTsm を同時に "1" に設定します。 TAUDnTS.TAUDnTsm はトリガビットなので、自動的に "0" にクリアされます。	マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が "1" に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャンネルとスレーブチャンネル 2～7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャンネル 1 の TAUDnCDRm の値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャンネル1のTAUDnCNTm値が1減少し、マスタチャンネルの次の割り込みを待ちます。 • スレーブチャンネル2, 4, 6のTAUDnCNTmは逆方向にカウントを行います。 • スレーブチャンネル1のカウンタが0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。割り込み検出時： <ul style="list-style-type: none"> - 再び TAUDnCDRm の値を TAUDnCNTm にロードし、マスタチャンネルの次の割り込みを待ちます。 - INTTAUDnIm が発生します。 - TAUDnTRO.TAUDnTROm を変更可能です。 • スレーブチャンネル 2, 4, 6 のカウンタが 0001_H になった場合： <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 - スレーブチャンネル m の PWM 出力がセット/リセットされます（設定したチャンネル出力モードの条件に一致した場合）。 - スレーブチャンネル 3, 5, 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 • スレーブチャンネル 3, 5, 7 のカウンタが 0000_H になった場合： <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 スレーブチャンネル 2～7 の TAUDTTOUTm は、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEem)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。
動作停止	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(9) 特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 1：TAUDnCDRm = 0001_H
- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

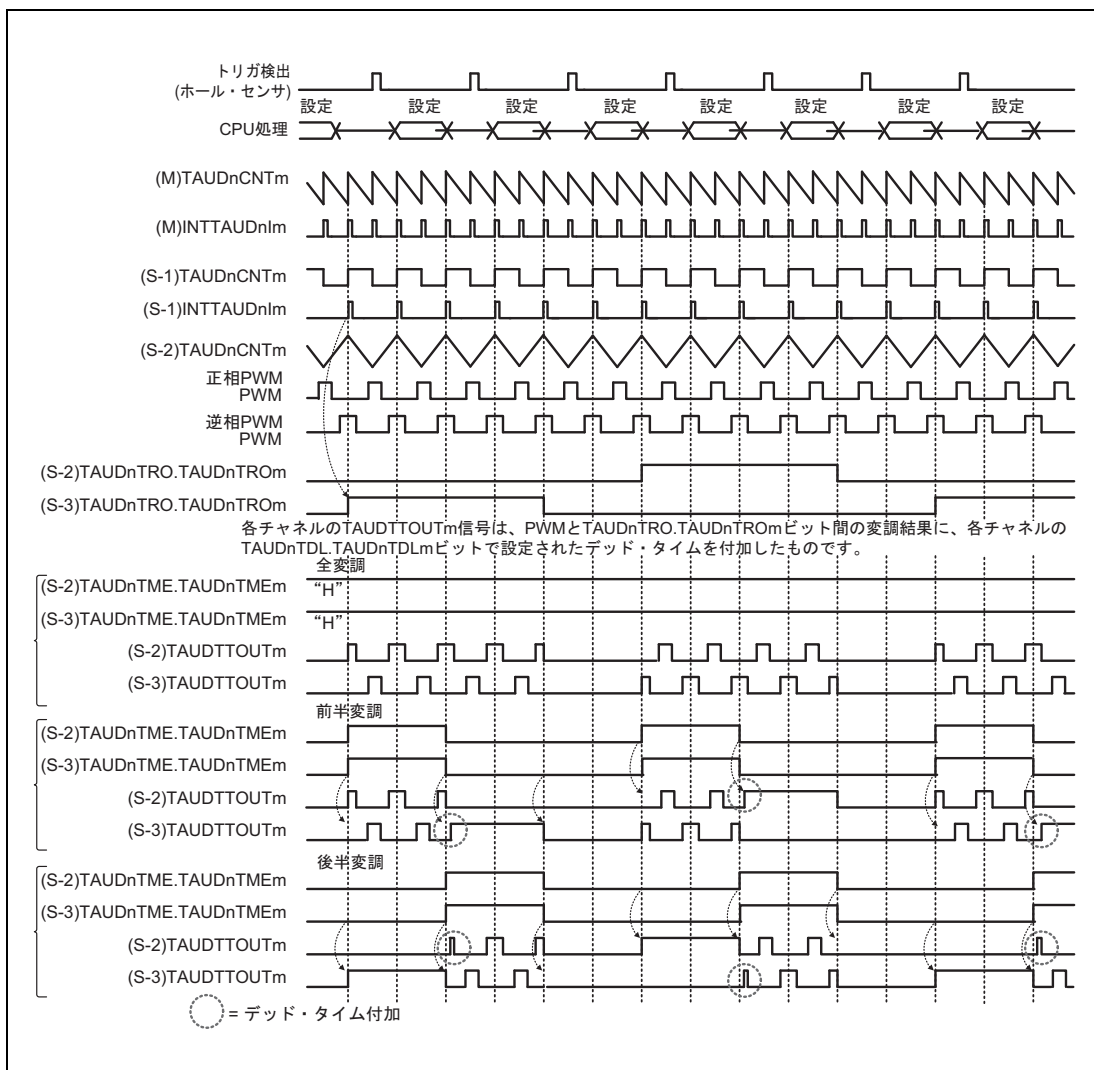


図 17.125 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

スレーブチャンネル 2, 3 から出力されるのは、変調された PWM 出力信号と TAUDnTRO.TAUDnTROm ビットの値です。

TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント開始タイミングと三角波 PWM のキャリア周期 (山割り込みタイミング) 検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル 1 で割り込みが発生しないと適用されません。

備 考

デッドタイムは、正相と逆相の PWM のエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTME_m、TAUDnTRO.TAUDnTRO_m、TAUDnTDL.TAUDnTDL_m の値を変更できる期間を示しています。

第18章 タイマアレユニットJ (TAUJ)

本章では、タイマアレユニットJ (TAUJ) について説明します。

最初の節でユニット数、レジスタのベースアドレス、入出力信号名など、RH850/C1x に固有の特長について説明します。

以降の節で、TAUJ 搭載製品に共通の特長について説明します。

18.1 RH850/C1x TAUJ の特長

18.1.1 ユニット

本製品は以下に示すユニット数の TAUJ を搭載しています。

表 18.1 ユニット数

製品	RH850/C1x
ユニット数	1
名称	TAUJ0

表 18.2 添字

添字	意味
n	本章では、TAUJ の各ユニットを「n」(n = 0) で識別します。たとえば、TAUJn チャネル出力モードレジスタは、TAUJnTOM と記述しています。
m	TAUJ には 4 本のチャネルがあります。 本章では、各チャネルを「m」(m = 0 ~ 3) で識別します。 特定のチャネルを CHm のように記述します。 偶数チャネル (m = 0, 2) は CHm_even と記述します。 奇数チャネル (m = 1, 3) は CHm_odd と記述します。

18.1.2 レジスタベースアドレス

TAUJ ベースアドレスを以下の表に示します。

TAUJ のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 18.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUJ0_base>	FFE5 0000 _H

18.1.3 クロック供給

TAUJ のクロック供給を以下の表に示します。

表 18.4 クロック供給

ユニット名	ユニットクロック名	供給ロック名
TAUJ0	PCLK	CLKC_HSB (非変調高速周辺クロック)

18.1.4 割り込みと DMA/DTS

TAUJ の割り込み要求を以下の表に示します。

表 18.5 割り込み要求

割り込み名	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
TAUJ0				
INTTAUJ0I0	チャンネル 0 割り込み	78	52	12
INTTAUJ0I1	チャンネル 1 割り込み	79	53	13
INTTAUJ0I2	チャンネル 2 割り込み	80	54	14
INTTAUJ0I3	チャンネル 3 割り込み	81	55	15

18.1.5 リセット要因

TAUJ のリセット要因を以下に示します。TAUJ は以下のリセット要因で初期化されます。

表 18.6 リセット要因

ユニット名	リセット要因
TAUJ0	すべてのリセット要因でリセット

18.1.6 外部入出力信号

TAUJ の外部入出力信号を以下の表に示します。

表 18.7 外部入出力信号

TAUJn 信号	機能	ポート端子兼用信号名
TAUJ0		
TAUJTINO-TAUJTTIN3	チャンネル 0-3 入力	TAUJ0I0-TAUJ0I3
TAUJTOUT0-TAUJTOUT3	チャンネル 0-3 出力	TAUJ0O0-TAUJ0O3

18.2 概要

18.2.1 機能概要

TAUJには、次の機能があります。

- 単体動作機能 (1チャンネルで動作する機能)
- 連動動作機能 (マスタチャンネル1チャンネルとスレーブチャンネルの複数チャンネルで実現する機能)

TAUJは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための32ビットカウンタTAUJnCNTmと32ビットデータレジスタTAUJnCDRmをそれぞれ備えた4チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、2つの動作モードで動作することが可能です。1つのマスタチャンネルと1つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、ほかのチャンネルと無関係に動作できます。

連動動作機能は、チャンネルグループ (マスタチャンネルとスレーブチャンネルで構成されます) を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

18.2.1.1 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUJは4チャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、複数のチャンネルを組み合わせで動作する連動動作機能があります。

- 単体動作機能は、ほかのチャンネルと無関係に任意のチャンネルで使用可能です。
- 連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせで実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

チャンネルグループ

連動動作機能では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。1つのチャンネルグループは、1つのマスタチャンネルと1つ以上のスレーブチャンネルで構成されます。

動作モード

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネルグループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、インターバルタイマモードなどがあります。

チャンネル出力モード

チャンネル出力モードは、次のチャンネルの $TAUJTOUTm$ の動作を規定します。

- 1つのチャンネル（単体出力動作）
- チャンネルグループに属するすべてのチャンネル（連動出力動作）

チャンネル出力モードには、チャンネル単体出力モード1があります。

チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネルグループに属するすべてのチャンネル（チャンネル連動動作）

上位／下位チャンネル

チャンネル m から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル2に対してチャンネル1は上位チャンネル、チャンネル3は下位チャンネルです。チャンネル0が最上位チャンネル、チャンネル3が最下位チャンネルです。

18.2.1.2 動作機能一覧

TAUJは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させたりすることで、下記の機能が実現できます。

表 18.8 動作機能一覧

動作機能	設定例参照節/項
単体動作機能	18.4.9
インターバルタイマ機能	18.4.9.1
TAUJTTINm 入力インターバルタイマ機能	18.4.9.2
TAUJTTINm 入力パルスインターバル測定機能	18.4.9.3
TAUJTTINm 入力信号幅測定機能	18.4.9.4
TAUJTTINm 入力位置検出機能	18.4.9.5
TAUJTTINm 入力期間カウント検出機能	18.4.9.6
チャンネル連動動作機能	18.4.10
PWM 出力機能	18.4.10.1

18.2.1.3 入出力と割り込み要求信号

入出力信号と TAUJ 割り込み要求信号を次の図に示します。

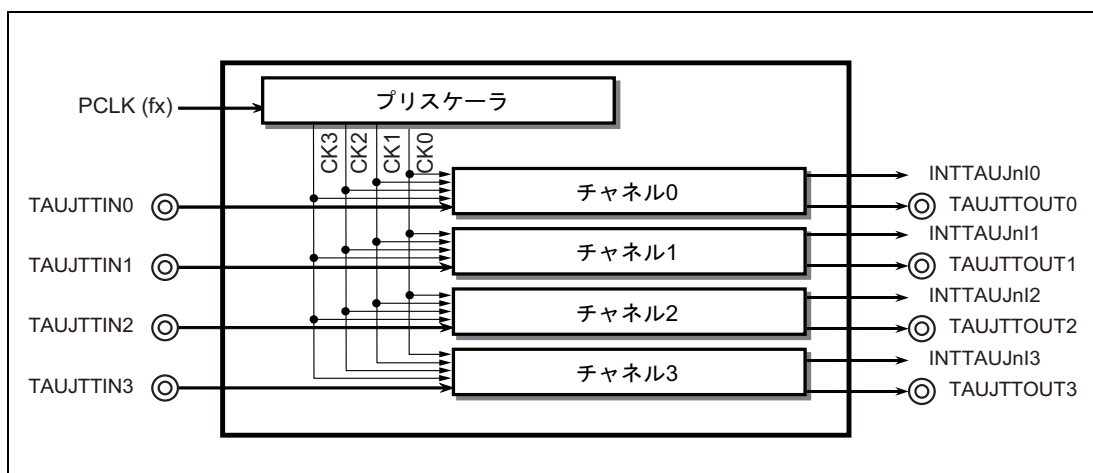


図 18.1 TAUJ 入出力と割り込み要求信号

18.2.2 ブロック図

TAUJの主な構成要素を次の図に示します。

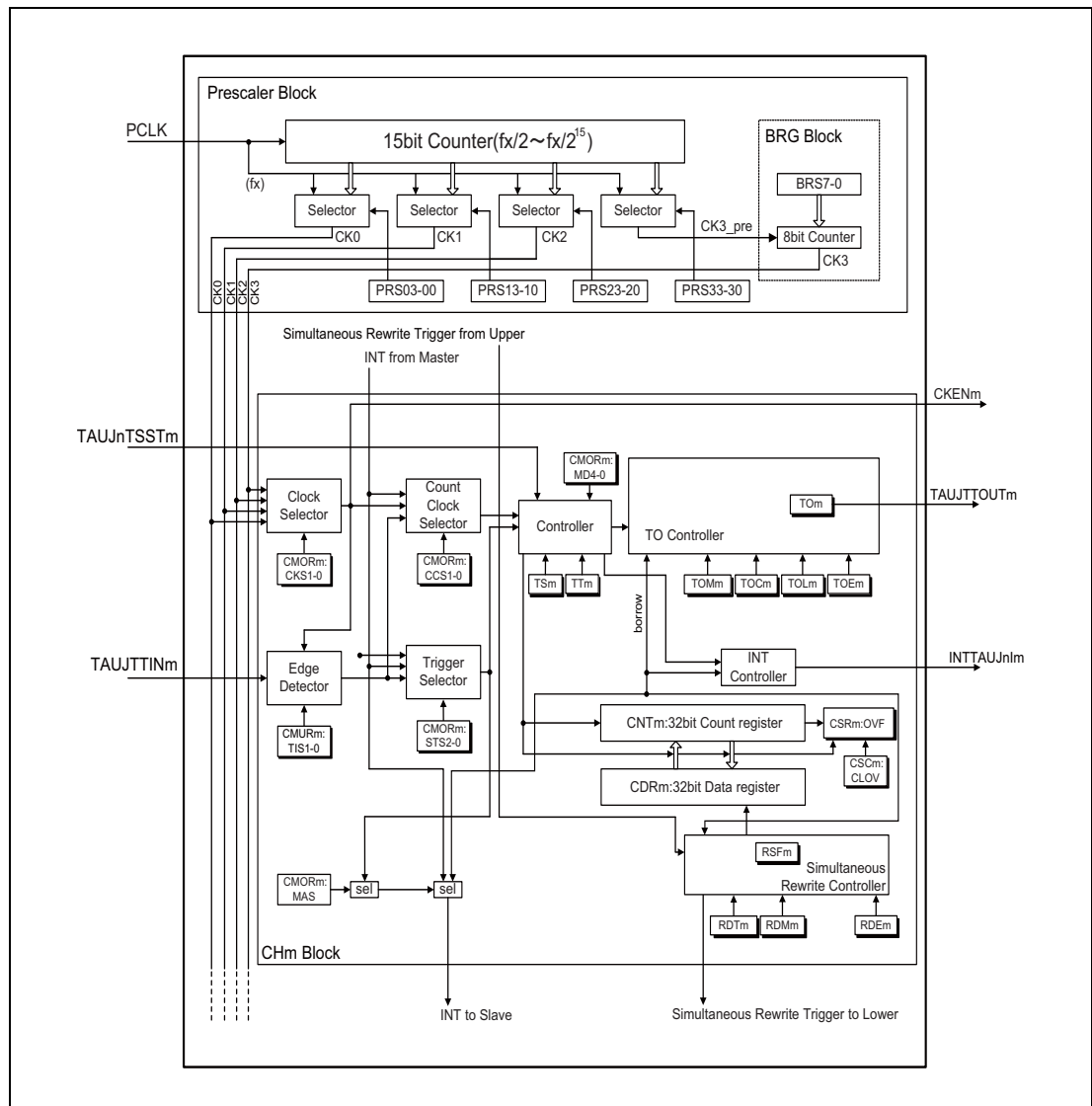


図 18.2 TAUJ のブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

- TAUJnTSSTm : 同時スタートトリガ (PIC1A から入力)

18.2.2.1 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャンネルのカウントクロックとして使用することができる最大4つのクロック信号 (CK0 ~ CK3) を供給します。

カウントクロック CK0 ~ CK2 は、プリスケーラにより PCLK の 2^0 - 2^{15} の分周したクロックを選択することができます。4つ目のカウントクロック CK3 は、BRG を使用することにより、2 のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセクタは、各チャンネルに対してクロックソースを次から選択します。

- CK0 ~ CK3 のいずれかのクロック (クロックセクタにより選択)

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUJnCMORm.TAUJnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUJnTS.TAUJnTSm) およびカウント停止 (TAUJnTT.TAUJnTTm)

カウントの開始を許可すると、ステータスフラグ TAUJnTE.TAUJnTEm がセットされます。

トリガセクタ

カウンタは、動作が許可されている場合 (TAUJnTE.TAUJnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUJnTSSTm
- TAUJnTTINm 入力の有効エッジ
- マスタチャンネルからの INTTAUJnIm

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUJnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUJnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

18.3 レジスタ

18.3.1 レジスタ一覧

TAUJのレジスタ一覧を以下の表に示します。

<TAUJn_base> は「18.1.2 レジスタベースアドレス」を参照してください。

表 18.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUJn プリスケアラレジスタ			
TAUJn	TAUJn プリスケアラクロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90 _H
TAUJn	TAUJn プリスケアラポーレート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94 _H
TAUJn 制御レジスタ			
TAUJn	TAUJn チャンネルデータレジスタ m	TAUJnCDRm	<TAUJn_base> + m × 4 _H
TAUJn	TAUJn チャンネルカウンタレジスタ m	TAUJnCNTm	<TAUJn_base> + 10 _H + m × 4 _H
TAUJn	TAUJn チャンネルモード OS レジスタ m	TAUJnCMORm	<TAUJn_base> + 80 _H + m × 4 _H
TAUJn	TAUJn チャンネルモードユーザレジスタ m	TAUJnCMURm	<TAUJn_base> + 20 _H + m × 4 _H
TAUJn	TAUJn チャンネルステータスレジスタ m	TAUJnCSRm	<TAUJn_base> + 30 _H + m × 4 _H
TAUJn	TAUJn チャンネルステータスクリアトリガレジスタ m	TAUJnCSCm	<TAUJn_base> + 40 _H + m × 4 _H
TAUJn	TAUJn チャンネルスタートトリガレジスタ	TAUJnTS	<TAUJn_base> + 54 _H
TAUJn	TAUJn チャンネル許可ステータスレジスタ	TAUJnTE	<TAUJn_base> + 50 _H
TAUJn	TAUJn チャンネルストップトリガレジスタ	TAUJnTT	<TAUJn_base> + 58 _H
TAUJn 出力レジスタ			
TAUJn	TAUJn チャンネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60 _H
TAUJn	TAUJn チャンネル出力レジスタ	TAUJnTO	<TAUJn_base> + 5C _H
TAUJn	TAUJn チャンネル出力モードレジスタ	TAUJnTOM	<TAUJn_base> + 98 _H
TAUJn	TAUJn チャンネル出力コンフィギュレーションレジスタ	TAUJnTOC	<TAUJn_base> + 9C _H
TAUJn	TAUJn チャンネル出力アクティブレベルレジスタ	TAUJnTOL	<TAUJn_base> + 64 _H
TAUJn リロードデータレジスタ			
TAUJn	TAUJn チャンネルリロードデータ許可レジスタ	TAUJnRDE	<TAUJn_base> + A0 _H
TAUJn	TAUJn チャンネルリロードデータモードレジスタ	TAUJnRDM	<TAUJn_base> + A4 _H
TAUJn	TAUJn チャンネルリロードデータトリガレジスタ	TAUJnRDT	<TAUJn_base> + 68 _H
TAUJn	TAUJn チャンネルリロードステータスレジスタ	TAUJnRSF	<TAUJn_base> + 6C _H

18.3.2 TAUJnTPS — TAUJn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 90_H

リセット後の値 FFFF_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.10 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15 ~ 12	TAUJnPRS3 [3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 18.10 TAUJnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能	
11 ~ 8	TAUJnPRS2 [3:0]	CK2 クロックを指定します。	
		TAUJnPRS2[3:0]	CK2 クロック
		0000 _B	PCLK/2 ⁰
		0001 _B	PCLK/2 ¹
		0010 _B	PCLK/2 ²
		0011 _B	PCLK/2 ³
		0100 _B	PCLK/2 ⁴
		0101 _B	PCLK/2 ⁵
		0110 _B	PCLK/2 ⁶
		0111 _B	PCLK/2 ⁷
		1000 _B	PCLK/2 ⁸
		1001 _B	PCLK/2 ⁹
		1010 _B	PCLK/2 ¹⁰
		1011 _B	PCLK/2 ¹¹
		1100 _B	PCLK/2 ¹²
		1101 _B	PCLK/2 ¹³
		1110 _B	PCLK/2 ¹⁴
1111 _B	PCLK/2 ¹⁵		
		上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。	
7 ~ 4	TAUJnPRS1 [3:0]	CK1 クロックを指定します。	
		TAUJnPRS1[3:0]	CK1 クロック
		0000 _B	PCLK/2 ⁰
		0001 _B	PCLK/2 ¹
		0010 _B	PCLK/2 ²
		0011 _B	PCLK/2 ³
		0100 _B	PCLK/2 ⁴
		0101 _B	PCLK/2 ⁵
		0110 _B	PCLK/2 ⁶
		0111 _B	PCLK/2 ⁷
		1000 _B	PCLK/2 ⁸
		1001 _B	PCLK/2 ⁹
		1010 _B	PCLK/2 ¹⁰
		1011 _B	PCLK/2 ¹¹
		1100 _B	PCLK/2 ¹²
		1101 _B	PCLK/2 ¹³
		1110 _B	PCLK/2 ¹⁴
1111 _B	PCLK/2 ¹⁵		
		上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。	

表 18.10 TAUJnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3 ~ 0	TAUJnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" data-bbox="651 349 1414 987"> <thead> <tr> <th>TAUJnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTE _m = 0) 場合のみ書き換え可能です。																																		

備 考

TAUJn クロック入力 PCLK については、本章の最初の節内「18.1.3 クロック供給」で定義しています。

18.3.3 TAUJnBRS — TAUJn プリスケラポーレート設定レジスタ

プリスケラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケラは、TAUJnTPS.TAUJnPRS3[3:0] で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 94_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	TAUJnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.11 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能																
7 ~ 0	TAUJnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUJnBRS[7:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE / 1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE / 2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE / 3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE / 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE / 255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE / 256</td> </tr> </tbody> </table>	TAUJnBRS[7:0]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUJnBRS[7:0]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	

18.3.4 TAUJnCDRm — TAUJn チャネルデータレジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。
キャプチャモード時はリードのみ可能です。ライト動作は無視されます。
コンペアモード時はリード/ライト可能です。

アドレス <TAUJn_base> + 0_H + m × 4_H

リセット後の値 0000 0000_H どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.12 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TAUJnCDR [31:0]	キャプチャ値/コンペア値用データレジスタ

18.3.5 TAUJnCNTm — TAUJn チャネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 32ビット単位でリード可能です。

アドレス <TAUJn_base> + 10_H + m × 4_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.13 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TAUJnCNT [31:0]	32ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSm、TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTSm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

備 考

カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUJnCMORm.TAUJnMD[4:1] レジスタで変更します。

表 18.14 カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm		
		スタート値 ^{注1}	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 0000 _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ワンカウント モード	アップカウント	0000 0000 _H	停止値	キャプチャ値+1 (TAUJnCDRm)
カウントキャプチャモード	アップカウント	0000 0000 _H	停止値	—
キャプチャ&ゲート カウントモード	アップカウント	0000 0000 _H	停止値	停止値

注1. リセット解除後、動作モードを変更した際に TAUJnCNTm にセットされる値

18.3.6 TAUJnCMORm — TAUJn チャネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

アドレス <TAUJn_base> + 80_H + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.15 TAUJnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15, 14	TAUJnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUJnTTINm 入力エッジ検出回路で使用します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、TAUJnCNTm のカウントクロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUJnCKS1</th> <th>TAUJnCKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUJnCKS1	TAUJnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJnCKS1	TAUJnCKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13, 12	TAUJnCCS [1:0]	<p>TAUJnCNTm カウンタのカウントクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJnCCS1</th> <th>TAUJnCCS0</th> <th>カウントクロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td rowspan="2">設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td></td> </tr> </tbody> </table>	TAUJnCCS1	TAUJnCCS0	カウントクロック選択	0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック	0	1	設定禁止	1	0	1	1		
TAUJnCCS1	TAUJnCCS0	カウントクロック選択															
0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック															
0	1	設定禁止															
1	0																
1	1																
11	TAUJnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

表 18.15 TAUJnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能			
10 ~ 8	TAUJnSTS [2:0]	スタートトリガを選択します。			
		TAUJnSTS2	TAUJnSTS1	TAUJnSTS0	機能説明
		0	0	0	ソフトウェアトリガ
		0	0	1	TAUJnTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定
		0	1	0	TAUJnTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用
		0	1	1	一斉書き換えトリガ
		1	0	0	マスタチャンネルの INTTAUJnIm
		1	0	1	設定禁止
		1	1	0	
		1	1	1	
7, 6	TAUJnCOS [1:0]	チャンネル m のキャプチャレジスタ TAUJnCDRm とオーバーフローフラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ機能（キャプチャモード、キャプチャ&ワンカウントモード）の時にのみ有効です。			
		TAUJnCOS1	TAUJnCOS0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF
		0	0	TAUJnTTINm 入力有効エッジを検出すると更新	TAUJnTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバーフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタオーバーフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア
		0	1		カウンタオーバーフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
		1	0	TAUJnTTINm 入力有効エッジ検出およびカウンタオーバーフローの発生により更新	設定なし
		1	1	<ul style="list-style-type: none"> TAUJnTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる オーバーフロー発生 FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJnTTINm 入力有効エッジ検出は無視される。 	カウンタオーバーフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
5	予約ビット	ライトする場合はリセット後の値を書いてください。			

表 18.15 TAUJnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能																																																		
4 ~ 0	TAUJnMD [4:0]	<p>動作モードを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnMD4</th> <th>TAUJnMD3</th> <th>TAUJnMD2</th> <th>TAUJnMD1</th> <th>TAUJnMD0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1/0</td> <td>インターバルタイマモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1/0</td> <td>キャプチャモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1/0</td> <td>ワンカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>キャプチャ&ワンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1/0</td> <td>カウントキャプチャモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>キャプチャ&ゲートカウントモード</td> </tr> </tbody> </table> <p>上記以外は設定禁止</p> <table border="1"> <thead> <tr> <th>モード</th> <th>TAUJnMD0 ビットの役割</th> </tr> </thead> <tbody> <tr> <td>インターバルタイマモード キャプチャモード カウントキャプチャモード</td> <td>カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号の発生をどうかを指定します。 0：INTTAUJnIm を発生しない 1：INTTAUJnIm を発生する</td> </tr> <tr> <td>ワンカウントモード</td> <td>カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 注意 ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。</td> </tr> <tr> <td>キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード</td> <td>このビットは 0 に設定する必要があります。 注意 カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。</td> </tr> </tbody> </table>	TAUJnMD4	TAUJnMD3	TAUJnMD2	TAUJnMD1	TAUJnMD0	機能説明	0	0	0	0	1/0	インターバルタイマモード	0	0	1	0	1/0	キャプチャモード	0	1	0	0	1/0	ワンカウントモード	0	1	1	0	0	キャプチャ&ワンカウントモード	1	0	1	1	1/0	カウントキャプチャモード	1	1	0	1	0	キャプチャ&ゲートカウントモード	モード	TAUJnMD0 ビットの役割	インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号の発生をどうかを指定します。 0：INTTAUJnIm を発生しない 1：INTTAUJnIm を発生する	ワンカウントモード	カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 注意 ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。	キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは 0 に設定する必要があります。 注意 カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。
TAUJnMD4	TAUJnMD3	TAUJnMD2	TAUJnMD1	TAUJnMD0	機能説明																																															
0	0	0	0	1/0	インターバルタイマモード																																															
0	0	1	0	1/0	キャプチャモード																																															
0	1	0	0	1/0	ワンカウントモード																																															
0	1	1	0	0	キャプチャ&ワンカウントモード																																															
1	0	1	1	1/0	カウントキャプチャモード																																															
1	1	0	1	0	キャプチャ&ゲートカウントモード																																															
モード	TAUJnMD0 ビットの役割																																																			
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号の発生をどうかを指定します。 0：INTTAUJnIm を発生しない 1：INTTAUJnIm を発生する																																																			
ワンカウントモード	カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 注意 ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。																																																			
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは 0 に設定する必要があります。 注意 カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。																																																			

18.3.7 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ

このレジスタは、TAUJTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 20_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.16 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。															
1, 0	TAUJnTIS [1:0]	TAUJTTINm 入力信号の有効エッジを指定します。 <table border="1" style="width: 100%; margin-top: 5px;"> <thead> <tr> <th>TAUJnTIS1</th> <th>TAUJnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <p>TAUJTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択した動作クロックに基づいて行われます。</p>	TAUJnTIS1	TAUJnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がリエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ	1	1	両エッジ検出 (High 幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUJnTIS1	TAUJnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がリエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ															

18.3.8 TAUJnCSRm — TAUJn チャンネルステータスレジスタ

このレジスタは、チャンネル m のオーバーフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base> + 30_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.17 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	予約ビット	リードした場合は不定値が読めます。
0	TAUJnOVF	カウンタオーバーフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> • キャプチャモード • キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOSH[1:0] の設定により異なります。

18.3.9 TAUJnCSCm — TAUJn チャンネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバーフローフラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 40_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 18.18 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUJnCLOV	0: 機能なし 1: オーバフローフラグ TAUJnCSRm.TAUJnOVF をクリア

18.3.10 TAUJnTS — TAUJn チャンネルスタートトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 8ビット単位でライト可能です。リード値は常に00_Hです。

アドレス <TAUJn_base> + 54_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTS03	TAUJnTS02	TAUJnTS01	TAUJnTS00
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 18.19 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

18.3.11 TAUJnTE — TAUJn チャンネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base> + 50_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTE03	TAUJnTE02	TAUJnTE01	TAUJnTE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.20 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	TAUJnTEm	チャンネル m のカウンタ動作の許可/禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUJnTSSTm (チャンネル連動スタートトリガ信号) のトリガ入力を検知するか、TAUJnTS.TAUJnTSm を 1 にセットすると、このビットが 1 に設定されます。TAUJnTT.TAUJnTTm を 1 にセットすると、このビットが 0 にリセットされません。

18.3.12 TAUJnTT — TAUJn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 8ビット単位でライト可能です。リード値は常に00_Hです。

アドレス <TAUJn_base> + 58_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTT03	TAUJnTT02	TAUJnTT01	TAUJnTT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 18.21 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTTm	チャネル m のカウンタ動作を停止します。 0: 機能なし 1: カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。 TAUJnCnTm、TAUJnTO.TAUJnTOM、TAUJnTOUTm は、カウント停止前の値を保持します。

18.3.13 TAUJnTOE — TAUJn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 60_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOE03	TAUJnTOE02	TAUJnTOE01	TAUJnTOE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.22 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOEm	チャネル単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア機能) 1: タイマ単体出力機能を許可

18.3.14 TAUJnTO — TAUJn チャンネル出力レジスタ

このレジスタは、TAUJTOUTm レベルを指定およびリードします。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 5C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTO03	TAUJnTO02	TAUJnTO01	TAUJnTO00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.23 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOm	このレジスタは、TAUJTOUTm レベルを指定およびリードします。 0: ローレベル 1: ハイレベル チャンネル単体出力機能が禁止されている (TAUJnTOEm = 0) TAUJnTOm ビットのみライト可能です。

18.3.15 TAUJnTOM — TAUJn チャンネル出力モードレジスタ

このレジスタは、各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 98_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOM03	TAUJnTOM02	TAUJnTOM01	TAUJnTOM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.24 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOMm	出力モードを指定します。 0: チャンネル単体動作 1: チャンネル連動動作 出力モードは各チャンネル出力制御ビット TAUJnTOE.TAUJnTOEm の設定によって変わります。

18.3.16 TAUJnTOC — TAUJn チャネル出力コンフィギュレーションレジスタ

このレジスタは、TAUJnTOMm とともに各チャネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 9C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOC03	TAUJnTOC02	TAUJnTOC01	TAUJnTOC00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.25 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能															
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。															
3 ~ 0	TAUJnTOCm	出力モードを指定します。 0: 動作モード1 (トグルモード) 1: 機能なし ソフトウェア制御のチャネル単体出力モード以外のすべての出力モードでは、必ず0に設定してください。 次の表にあるように、出力モードは TAUJnTOM.TAUJnTOMm の設定によっても異なります。															
		<table border="1"> <thead> <tr> <th>TAUJnTOMm</th> <th>TAUJnTOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>機能なし</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャネル連動動作モード1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>機能なし</td> </tr> </tbody> </table>	TAUJnTOMm	TAUJnTOCm	機能説明	0	0	トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。	0	1	機能なし	1	0	チャネル連動動作モード1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。	1	1	機能なし
TAUJnTOMm	TAUJnTOCm	機能説明															
0	0	トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。															
0	1	機能なし															
1	0	チャネル連動動作モード1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。															
1	1	機能なし															

18.3.17 TAUJnTOL — TAUJn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 64_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOL03	TAUJnTOL02	TAUJnTOL01	TAUJnTOL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.26 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOLm	チャネル m 出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。 0: 正論理 (アクティブハイ) 1: 負論理 (アクティブロウ) これらのビット設定は、ソフトウェア制御のチャネル単体出力モードおよびチャネル単体出力モード1以外のすべてのチャネル出力モードに適用されます。

18.3.18 TAUJnRDE — TAUJn チャンネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUJnCDRm の一斉書き換えを許可/禁止します。また、PWM 出力機能で動作しているデータレジスタ TAUJnTOLm の一斉書き換えを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A0_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDE03	TAUJnRDE02	TAUJnRDE01	TAUJnRDE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.27 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0 : 一斉書き換え禁止 1 : 一斉書き換え許可

18.3.19 TAUJnRDM — TAUJn チャンネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDM03	TAUJnRDM02	TAUJnRDM01	TAUJnRDM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.28 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0 : マスタチャンネルのカウンタがカウントを開始したとき 1 : 機能なし これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

18.3.20 TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に00_Hです。

アドレス <TAUJn_base> + 68_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDT3	TAUJnRDT2	TAUJnRDT1	TAUJnRDT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 18.29 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし 1: 一斉書き換え許可状態をトリガする。一斉書き換え許可フラグ (TAUJnRSFm) が1に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUJnRDE.TAUJnRDEm = 1

18.3.21 TAUJnRSF — TAUJn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base> + 6C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRSF03	TAUJnRSF02	TAUJnRSF01	TAUJnRSF00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.30 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	TAUJnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生により、一斉書き換えが完了したことを示します。 1: 一斉書き換え許可状態 (TAUJnRDTm = 1) で、一斉書き換えのトリガ待ちを示します。

18.4 機能

18.4.1 基本操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUJTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

- (1) TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
- (2) 任意の TAUJn 機能を設定してください。
 - 動作モードを設定してください。
 - その他の制御ビットを設定してください。
- (3) TAUJnTS.TAUJnTSM ビットを 1 に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
- (4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUJnTT.TAUJnTTm ビットに 1 を設定してください。強制リスタートは TAUJnTS.TAUJnTSM ビットに 1 を設定してください。
- (5) TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備 考

必要な制御ビットと各機能の動作の詳細は、「18.4.10 チャンネル連動動作機能」を参照してください。

18.4.2 連動動作機能の概念

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

ルールの詳細は、「18.4.2.1 連動動作機能のルール」に示します。

連動動作機能の詳細を次の節で説明します。

- 「18.4.10 チャンネル連動動作機能」

18.4.2.1 連動動作機能のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル（CH0、CH2）のみ設定できます。スレーブチャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2がマスタチャンネルの場合、CH3をスレーブチャンネルに設定できます。
- マスタチャンネルを2つ使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH2がマスタチャンネルの場合、CH0に対してCH1をスレーブチャンネルとして設定できますが、CH3は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルのTAUJnCMORm.TAUJnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタチャンネル、スレーブチャンネルの制御トリガ信号

- マスタチャンネルは、制御トリガ信号をスレーブチャンネルに出力することができます。
- スレーブチャンネルは、マスタチャンネルの制御トリガ信号を使用できますが、スレーブチャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタチャンネルは、自身より上位のマスタチャンネルの制御トリガ信号を使用することはできません。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図 18.3 に示します。

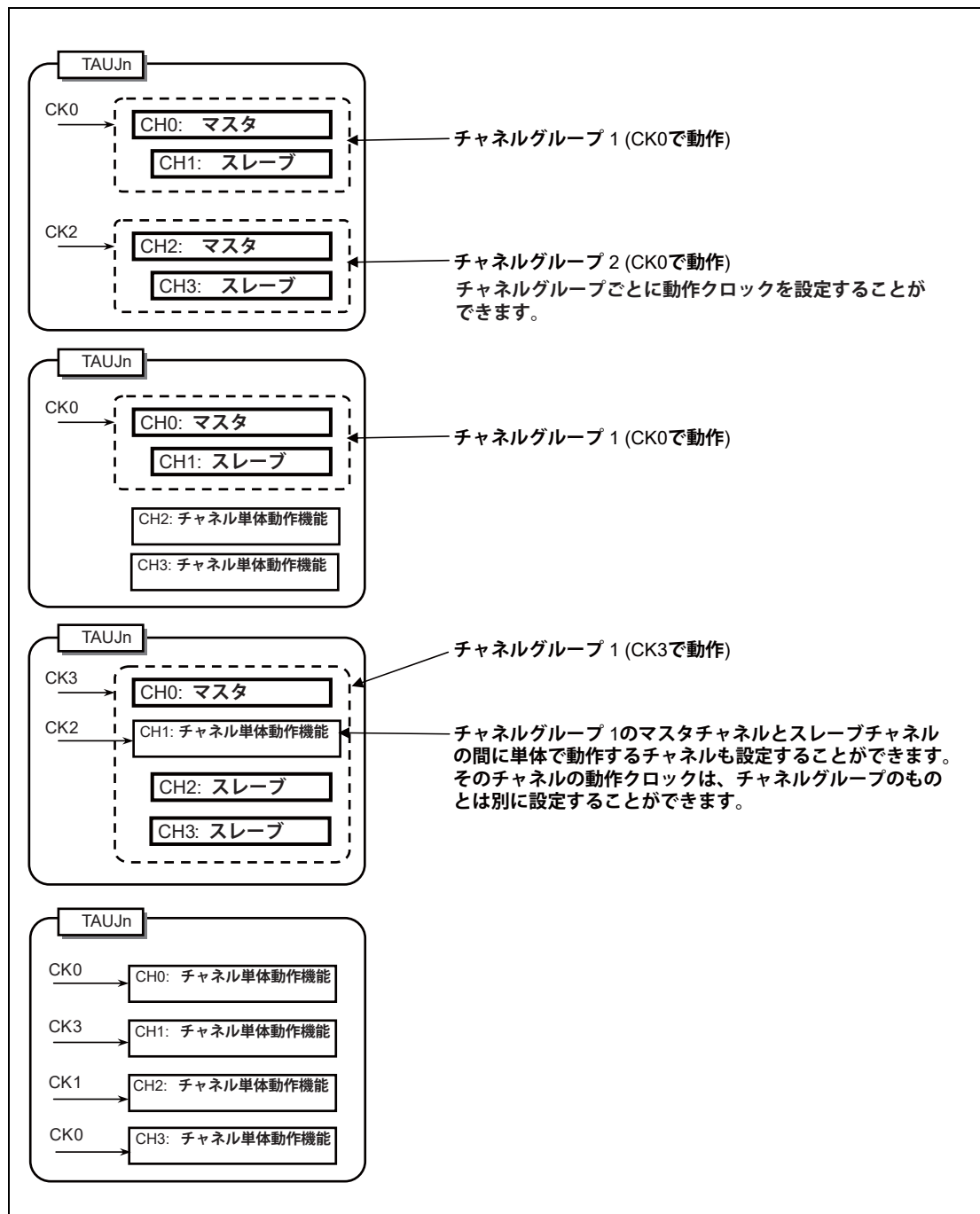


図 18.3 チャンネルのグループ化と動作クロックの割り当て

18.4.2.2 連動チャンネルカウンタの同時動作開始/停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始/停止することができます。

(1) ユニット内の連動チャンネルカウンタの同時動作開始/停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUJnTS.TAUJnTSm ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSm ビットに 1 を設定することにより、対応する TAUJnTE.TAUJnTEm ビットが 1 にセットされ、カウンタ動作を許可します。カウンタのカウンタ開始タイミングは、動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

18.4.3 一斉書き換え機能

18.4.3.1 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

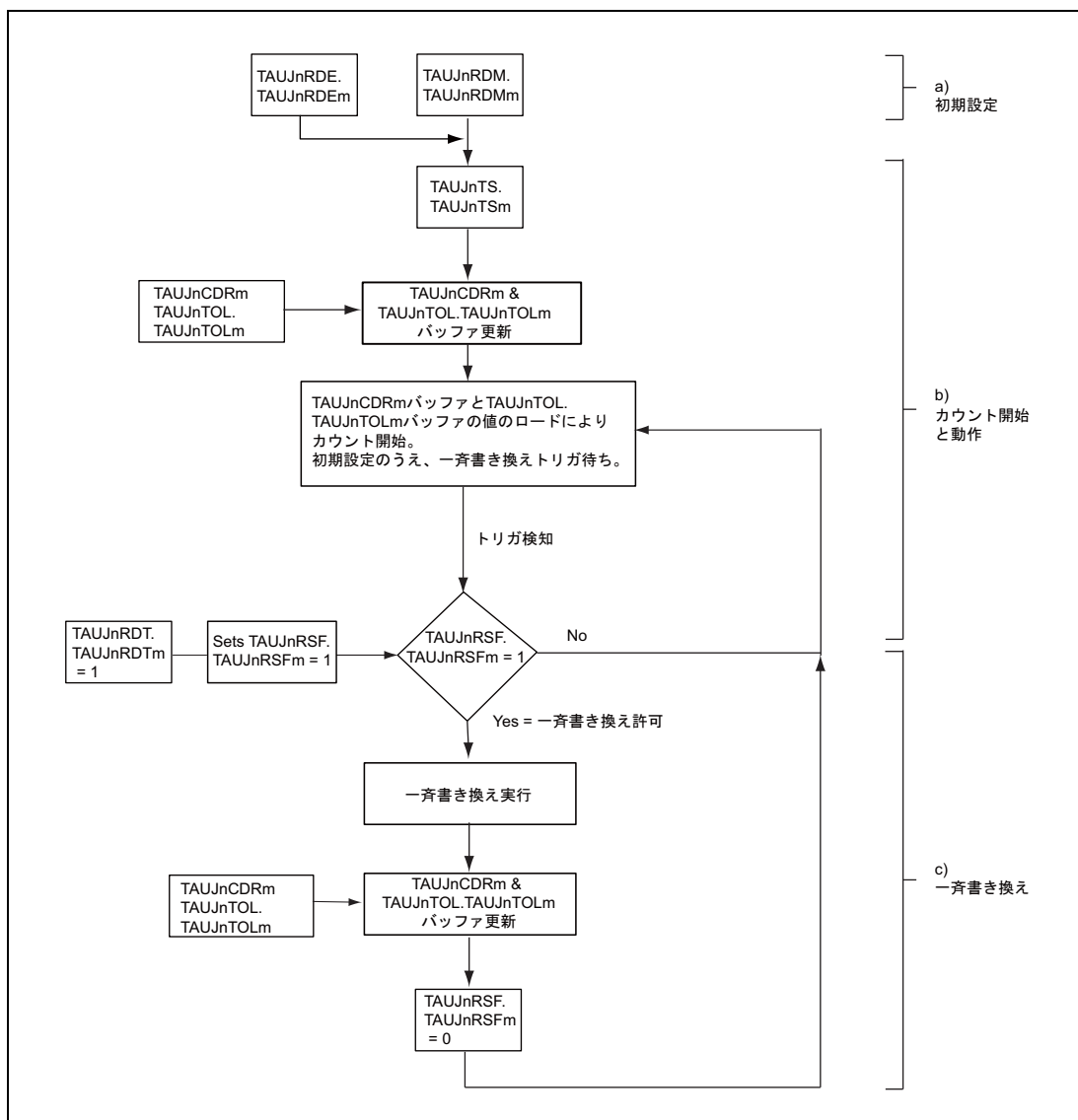


図 18.4 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、 $\text{TAUJnRDE.TAUJnRDEm} = 1$ を設定してください。
- マスタチャンネルがカウント開始時に一斉書き換えの種類を選ぶには、 $\text{TAUJnRDM.TAUJnRDMm}$ を設定してください。

(2) カウント開始とカウント動作

- チャンネルグループに属するすべての TAUJnCNTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSM ビットを 1 に設定してください。 $\text{TAUJnTOL.TAUJnTOLm}$ とデータレジスタ (TAUJnCDRm) の値は、対応する $\text{TAUJnTOL.TAUJnTOLm}$ バッファ ($\text{TAUJnTOL.TAUJnTOLm buf}$) とデータバッファレジスタ (TAUJnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット ($\text{TAUJnRDT.TAUJnRDTm}$) を 1 に設定することにより、リロードフラグ ($\text{TAUJnRSF.TAUJnRSFm}$) が 1 に設定され、一斉書き換えが許可されます。 $\text{TAUJnRSF.TAUJnRSFm}$ は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 ($\text{TAUJnRSF.TAUJnRSFm} = 1$) されているかを確認するために $\text{TAUJnRSF.TAUJnRSFm}$ ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可 ($\text{TAUJnRSF.TAUJnRSFm} = 1$) されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、 $\text{TAUJnRSF.TAUJnRSFm}$ ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

18.4.3.2 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 ($\text{TAUJnTE.TAUJnTEm} = 1$) は、 $\text{TAUJnRDE.TAUJnRDEm}$ 、 $\text{TAUJnRDM.TAUJnRDMm}$ を変更することはできません。
- $\text{TAUJnTOL.TAUJnTOLm}$ は、PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、 $\text{TAUJnTOL.TAUJnTOLm}$ はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、 TAUJTOUTm は不正な波形を出力します。

18.4.3.3 一斉書き換えの方法

PWM 出力機能での一斉書き換えの方法を次の図で示します。

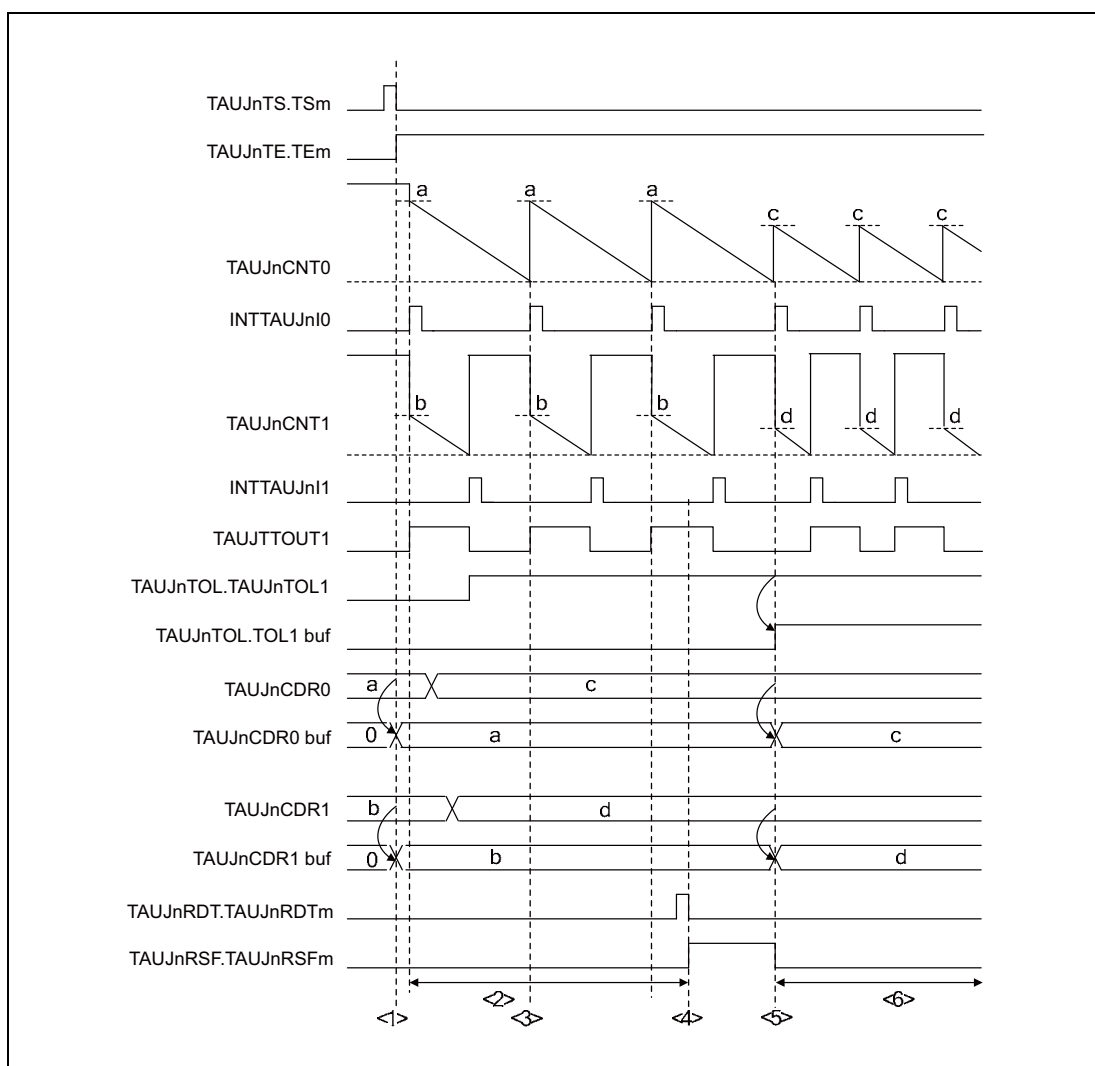


図 18.5 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え

設定

CH0 は、PWM 出力機能のマスタチャンネルです。CH1 は、PWM 出力機能のスレーブチャンネルです。一斉書き換えは、マスタチャンネルがカウント開始時に適用されます。

説明：

- (1) TAUJnTS.TAUJnTSM = 1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。
- (2) TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込めます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUJnRSF.TAUJnRSFm = 0)。
- (4) リロードデータトリガビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、ステータスフラグが設定され (TAUJnRSF.TAUJnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

18.4.4 チャネル出力モード

TAUJTOUT_m 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェア制御 (TAUJnTOE.TAUJnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタビット (TAUJnTO.TAUJnTOM) に書き込んだ値は、出力端子 (TAUJTOUT_m) から出力されます。

- TAUJ 信号による制御 (TAUJnTOE.TAUJnTOEm = 1)

TAUJ 信号で制御した場合、TAUJTOUT_m の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUJTOUT_m の値を反映するために、TAUJnTO.TAUJnTOM の値は更新されます。

- 単体制御 (TAUJnTOM.TAUJnTOMm = 0)

単体動作の場合、TAUJTOUT_m 端子の出力はチャンネル m の設定のみの影響を受けません。したがって、チャンネル単体動作を指定 (TAUJnTOM.TAUJnTOMm = 0) する必要があります。

- 連動制御 (TAUJnTOM.TAUJnTOMm = 1)

連動動作の場合、TAUJTOUT_m 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUJnTOM.TAUJnTOMm = 1)。

TAUJnTO.TAUJnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJTOUT_m の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 18.31 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 18.4.4.2 TAUJn 信号により単体制御されるチャンネル出力モード
- 18.4.4.3 TAUJn 信号により連動制御されるチャンネル出力モード

TAUJnTOM ビットの一括操作

TAUJnTOM ビットへの設定値の反映/非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUJnTOM の設定値の書き込みが行われます。

TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUJnTOM の設定値は反映されません。

備考

TAUJnTO.TAUJnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJTOUTm 信号の出力は不定になります。

「18.4.3 一斉書き換え機能」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 18.31 に示します。

表 18.31 チャンネル出力モード

チャンネル出力モード	TAUJnTOE. TAUJnTOEm	TAUJnTOM. TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャンネル単体出力モード	0	X
TAUJ 信号による単体動作制御		
チャンネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャンネル連動出力モード 1	1	1

注 意

1. 表に記述のない組み合わせは禁止です。
2. “x” が記されているビットは、任意の値を設定できます。
3. 次のビットは、カウント動作中 (TAUJnTE.TAUJnTEm = 1) は変更できません。
 - TAUJnTOM.TAUJnTOMm
 - TAUJnTOC.TAUJnTOCm

18.4.4.1 チャネル出力モードを指定するための基本手順

TAUJTOUT_m チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUJnTOE.TAUJnTOEm = 0)。

1. TAUJnTO.TAUJnTOm を設定して TAUJTOUT_m 出力の初期レベルを指定してください。
2. 「表 18.31 チャネル出力モード」を参照してチャネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUJnTS.TAUJnTSm = 1)。

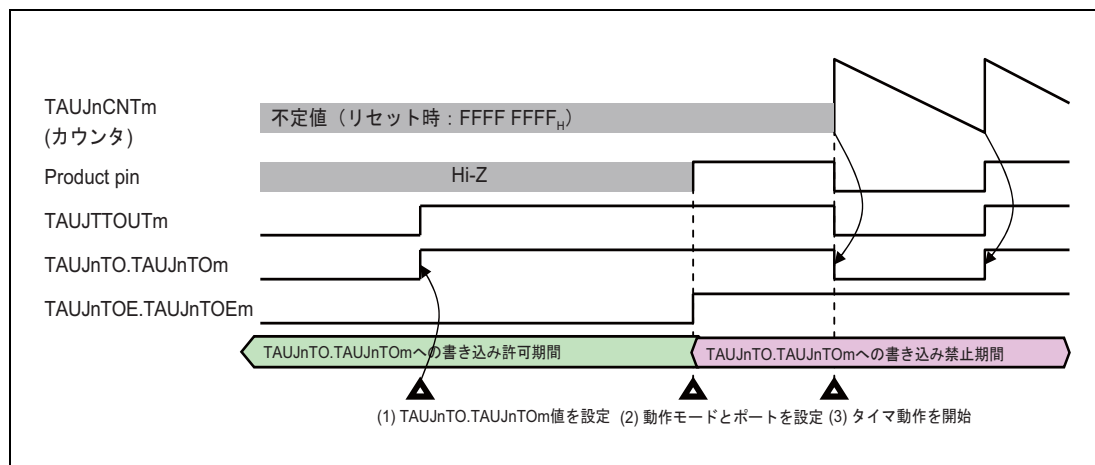


図 18.6 TAUJTOUT_m チャネル出力モードを指定するための基本手順

18.4.4.2 TAUJn 信号により単体制御されるチャンネル出力モード

この節では、TAUJn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 18.31 チャンネル出力モード」に示します。

(1) チャンネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUJnIm が検出されると TAUJTOUTm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。

前提条件

「表 18.31 チャンネル出力モード」に示す条件以外の条件はありません。

18.4.4.3 TAUJn 信号により連動制御されるチャンネル出力モード

この節では、TAUJn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 18.31 チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUJnIm がセット信号、スレーブチャンネルの INTTAUJnIm がリセット信号となります。マスタチャンネルの INTTAUJnIm とスレーブチャンネルの INTTAUJnIm が同時発生した場合、スレーブチャンネルの INTTAUJnIm (リセット信号) は、マスタチャンネルの INTTAUJnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 18.31 チャンネル出力モード」に示す条件以外の条件はありません。

18.4.5 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタ (TAUJnCDRm レジスタ) の値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

この節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

18.4.5.1 インターバルタイマモード、キャプチャモード、カウントキャプチャモード

TAUJnTS.TAUJnTSM が 1 に設定されたあと、カウンタは次のカウントクロックにより動作を開始します。このとき、データレジスタの値もロードされます。

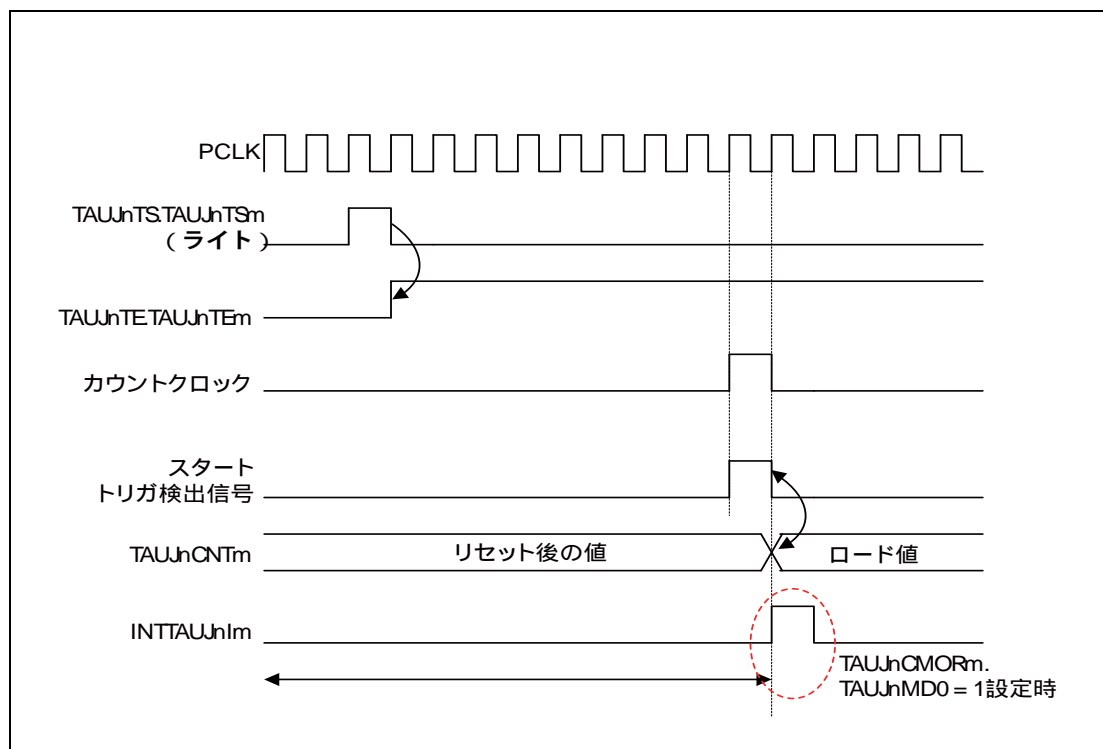


図 18.7 インターバルタイマモード、キャプチャモード、カウントキャプチャモードでの開始タイミング

18.4.5.2 その他の動作モード

その他の動作モードでは、カウンタの動作開始タイミングは TAUJTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

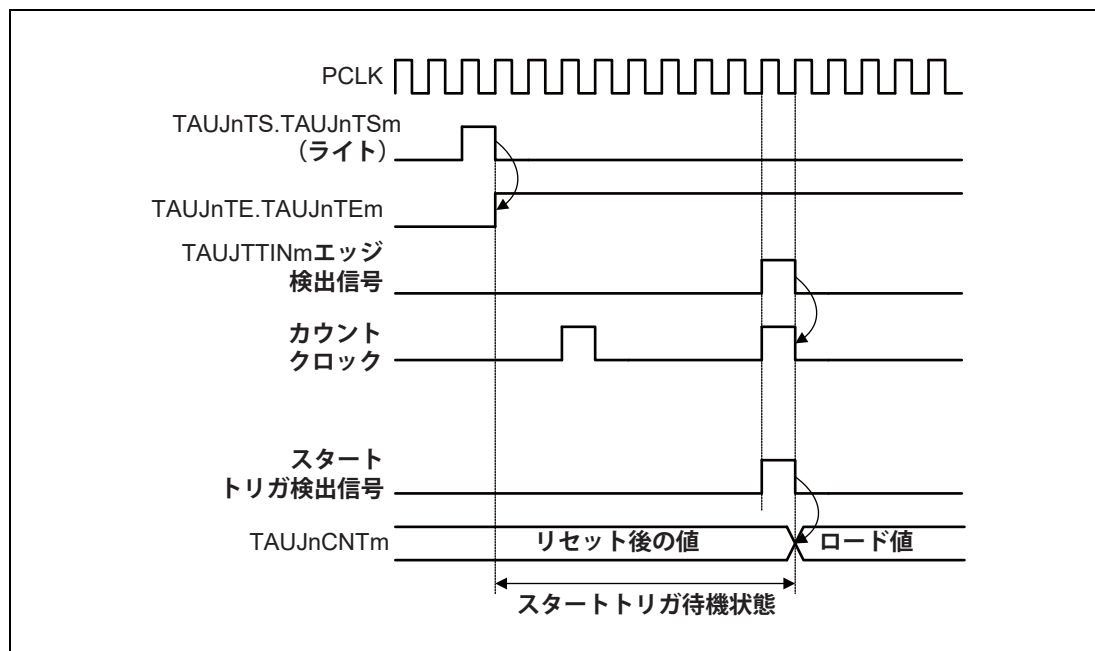


図 18.8 その他の動作モードでのカウント開始タイミング

18.4.6 カウント開始／リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成

カウンタのカウント開始時、TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。次の表に示すように、ビットの影響は、選択したモードに依存します。INTTAUJnIm の TAUJTOUTm に対する影響は、選択したチャネル動作機能に依存します。

表 18.32 カウンタがトリガされた場合の TAUJnCMORm.TAUJnMD0 ビットの INTTAUJnIm 発生に対する影響

モード	TAUJnCMORm.TAUJnMD0 ビット	カウント開始／再開時、または TAUJTINm 入力信号のトリガ検出時の INTTAUJnIm 発生
インターバルタイマモード キャプチャモード カウントキャプチャモード	0	発生しない
	1	発生
キャプチャ＆ワンカウントモード キャプチャ＆ゲートカウントモード	0	発生しない
ワンカウントモード	0/1	TAUJnCMORm.TAUJnMD0 ビットの設定にかかわらず発生しない

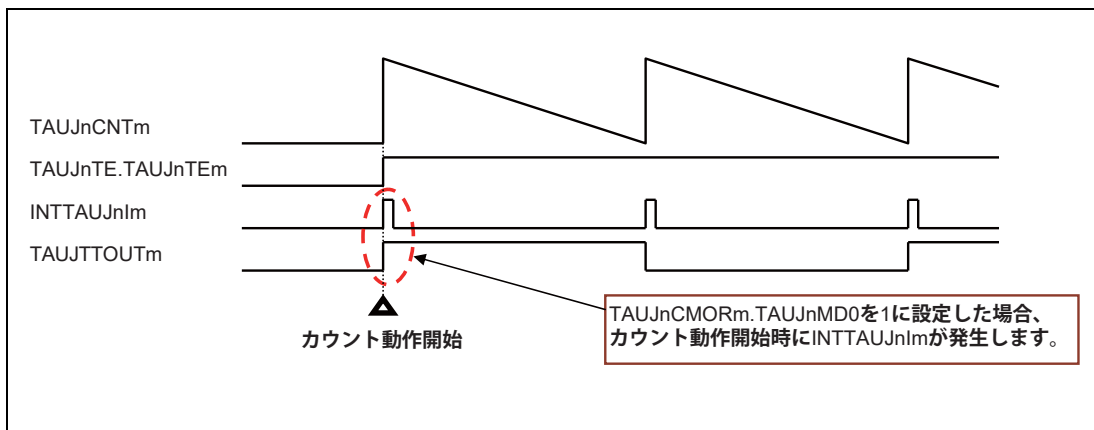


図 18.9 カウント開始時の INTTAUJnIm 発生

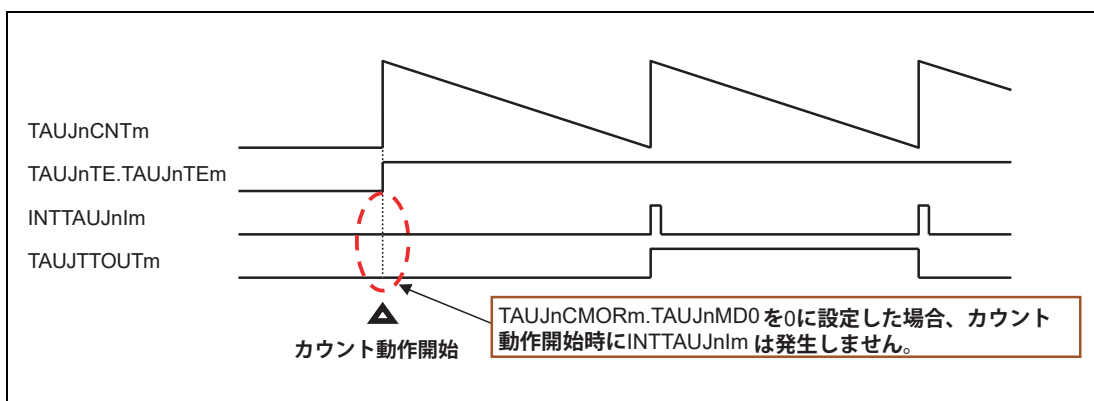


図 18.10 カウント開始時に INTTAUJnIm が発生しない

18.4.7 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が FFFF FFFF_H になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に 0000 0000_H になるようなダウンカウントを行う動作モードを設定します (TAUJnCNTm = FFFF FFFF_H)。
- セカンドチャンネルの TAUJnCDRm を FFFF FFFF_H に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。
- 両チャンネルが同じ TAUJTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUJnCMORm.TAUJnSTS[2:0] と TAUJnCMURm.TAUJnTIS[1:0]) は同じである必要があります。

結果：

ファーストチャンネルのアップカウンタでのオーバフロー発生 (TAUJnCNTm = FFFF FFFF_H) と同時にセカンドチャンネルのダウンカウンタが 0000 0000_H になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

18.4.7.1 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャンネルの TAUJTTINm に同時にキャプチャトリガを入力することで、TAUJTTINm 入力位置検出機能の TAUJnCNTm の FFFF FFFF_H オーバフローをインターバルタイマ機能の INTTAUJnIm で検出できます。

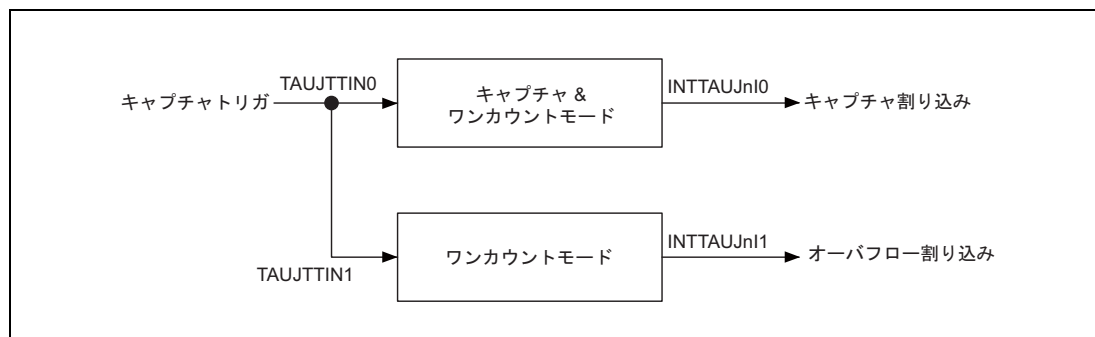


図 18.11 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

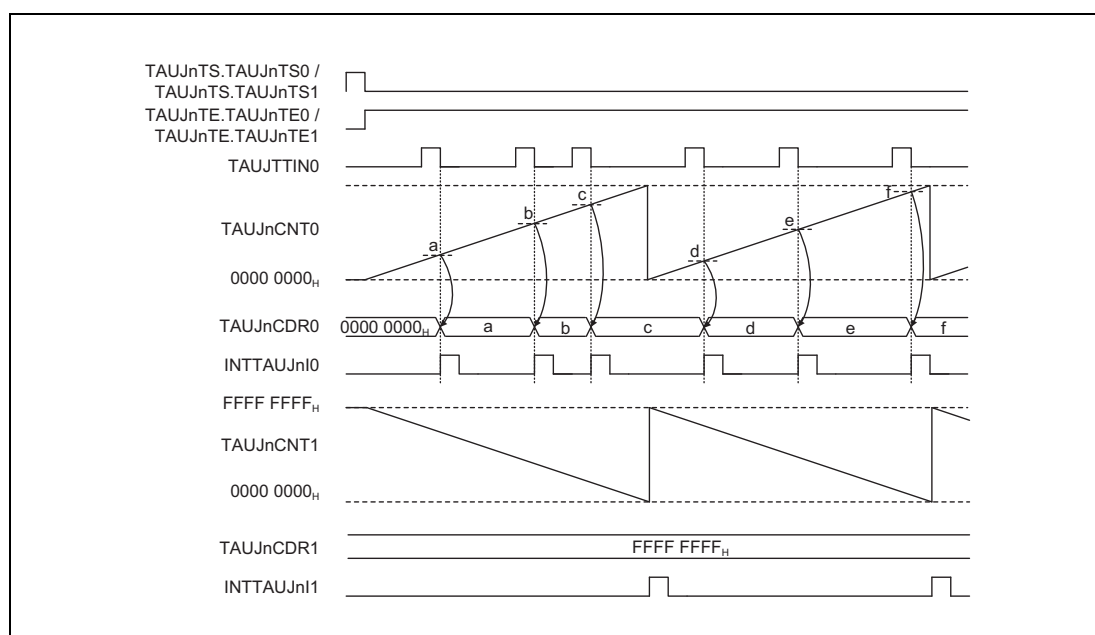


図 18.12 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

18.4.8 TAUJTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

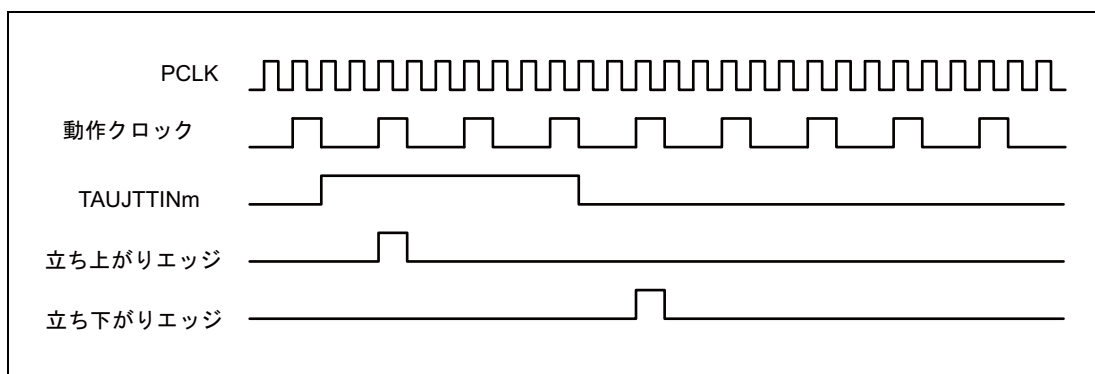


図 18.13 エッジ検出基本動作タイミング

注 意

図 18.13 は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

18.4.9 チャンネル単体動作機能

- 18.4.9.1 インターバルタイマ機能
- 18.4.9.2 TAUJTTINm 入力インターバルタイマ機能
- 18.4.9.3 TAUJTTINm 入力パルスインターバル測定機能
- 18.4.9.4 TAUJTTINm 入力信号幅測定機能
- 18.4.9.5 TAUJTTINm 入力位置検出機能
- 18.4.9.6 TAUJTTINm 入力期間カウント検出機能

18.4.9.1 インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUJnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 18.33 インターバルタイマ機能の TAUJnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「18.4.4 チャンネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000 0000_H になると、INTTAUJnIm が発生し、TAUJTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJTOUTm は停止しますが、値は保持します。TAUJnTS.TAUJnTsm を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTsm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJTOUTm 信号が出力されます。詳細は、「18.4.6 カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成」を参照してください。

(2) 算出式

INTTAUJnIm の周期 = カウントクロック周期 × (TAUJnCDRm + 1)

TAUJTOUTm の矩形波周期 = カウントクロック周期 × (TAUJnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

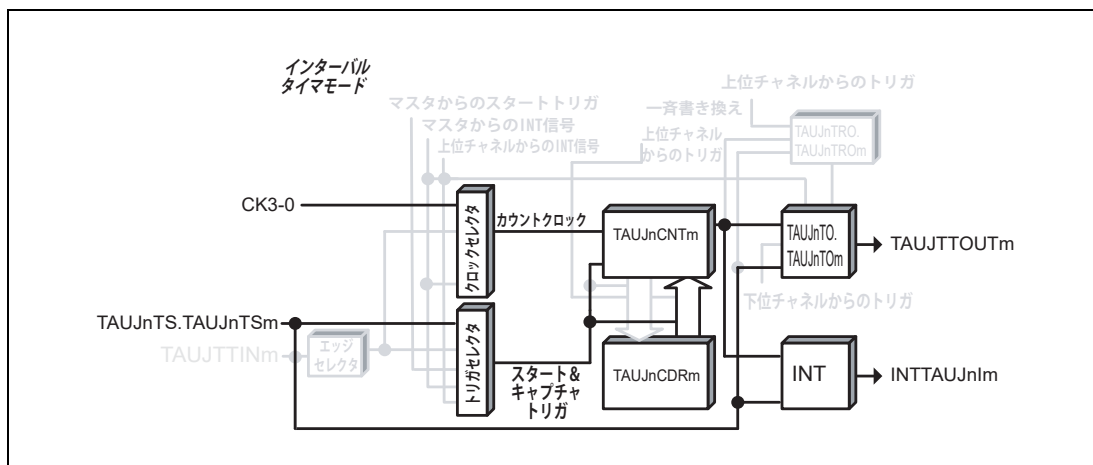


図 18.14 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)

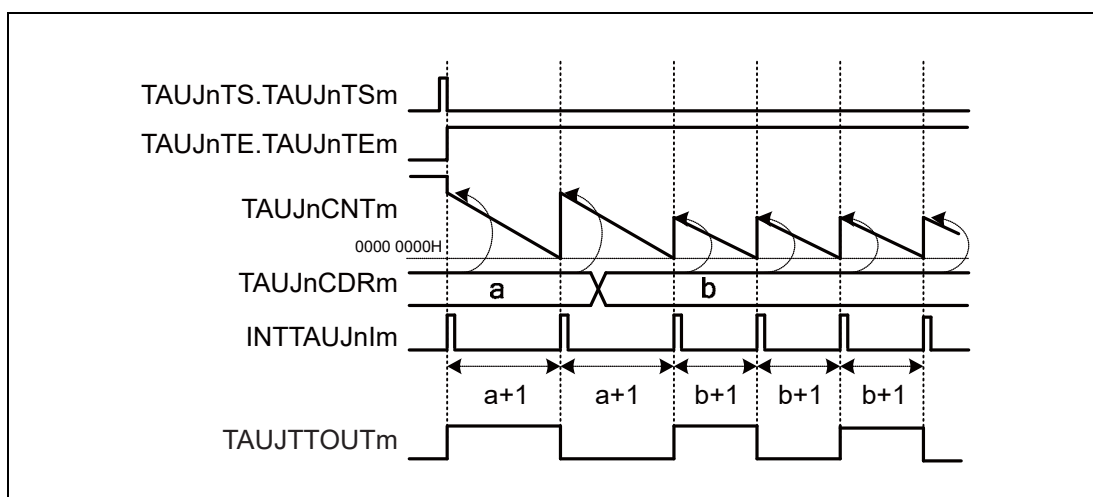


図 18.15 インターバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.33 インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUJnMAS	0：未使用、0を設定
10～8	TAUJnSTS[2:0]	000：ソフトウェアトリガをスタートトリガとして使用
7、6	TAUJnCOS[1:0]	00：未使用、00を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0000：インターバルタイマモード
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生せず、TAUJTOUTm はトグルされない 1：動作開始または再開時に INTTAUJnIm が発生し、TAUJTOUTm はトグルされる

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.34 インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00を設定

(c) チャネル出力モード

表 18.35 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウレベル 1: ハイレベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: トグルモード
TAUJnTOL.TAUJnTOLm	0: 正論理

備考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTOUTm を割り込みとは独立させて制御することができます。詳細は「18.4.4 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 18.36 インターバルタイマ機能の一斉書き換え設定

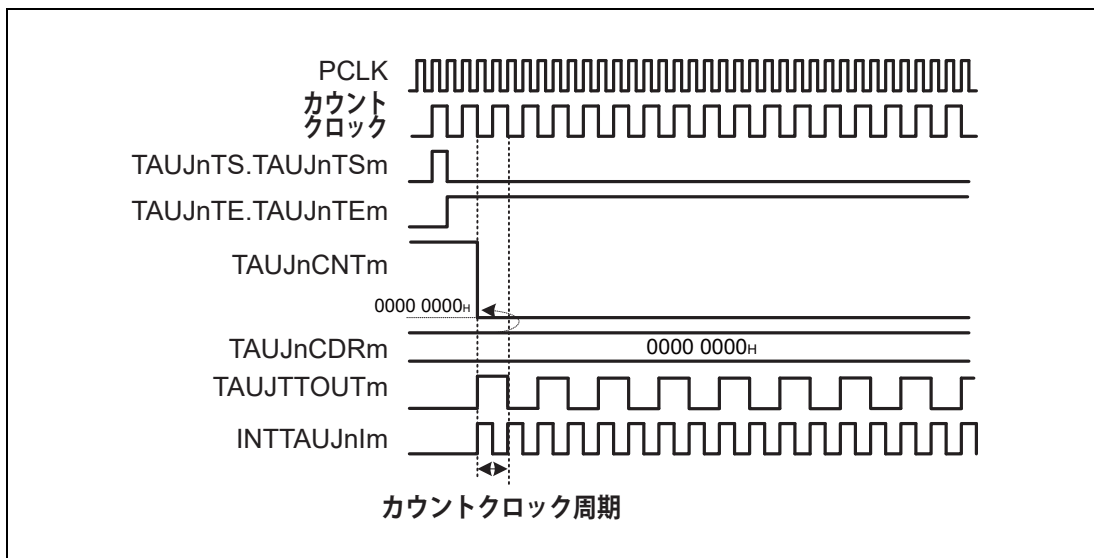
ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

(5) インターバルタイマ機能の操作手順

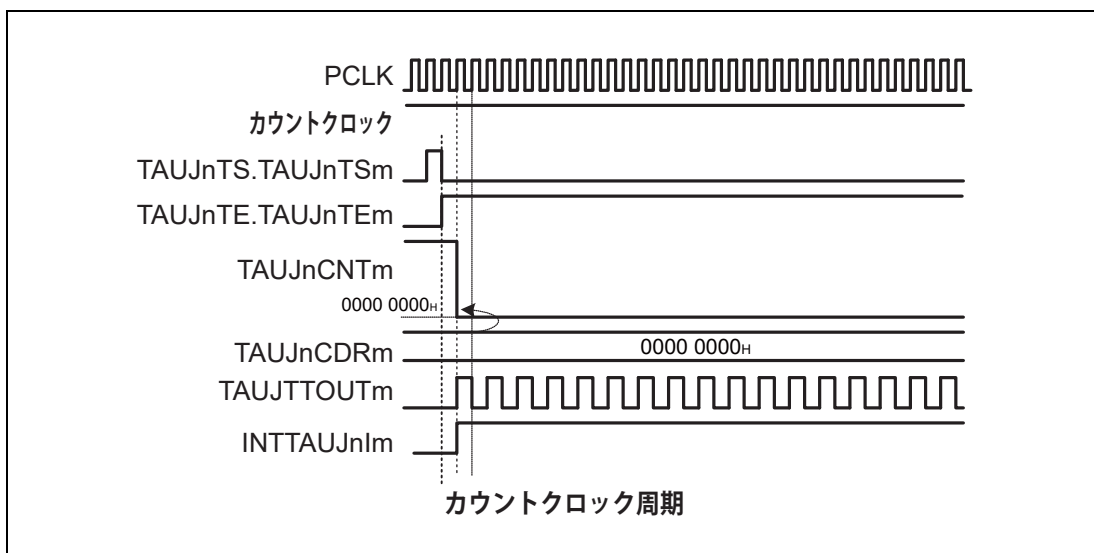
表 18.37 インターバルタイマ機能の操作手順

	操作	TAUJnの状態
動作再開	チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを「表 18.33 インターバルタイマ機能の TAUJnCMORm レジスタの内容」、「表 18.34 インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 18.35 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
	動作中 TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUJnCDRmの値をTAUJnCNTmにロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2図 18.16 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK/2¹ の場合、カウントクロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnlm がカウントクロックごとに発生するので、TAUJTTOUtm はカウントクロックごとにトグルされます。

(b) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK図 18.17 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。

- 継続的にINTTAUJnImが発生し、PCLKクロックごとにTAUJTTOU_{Tm}がトグルされます。

(c) 動作の停止と再開

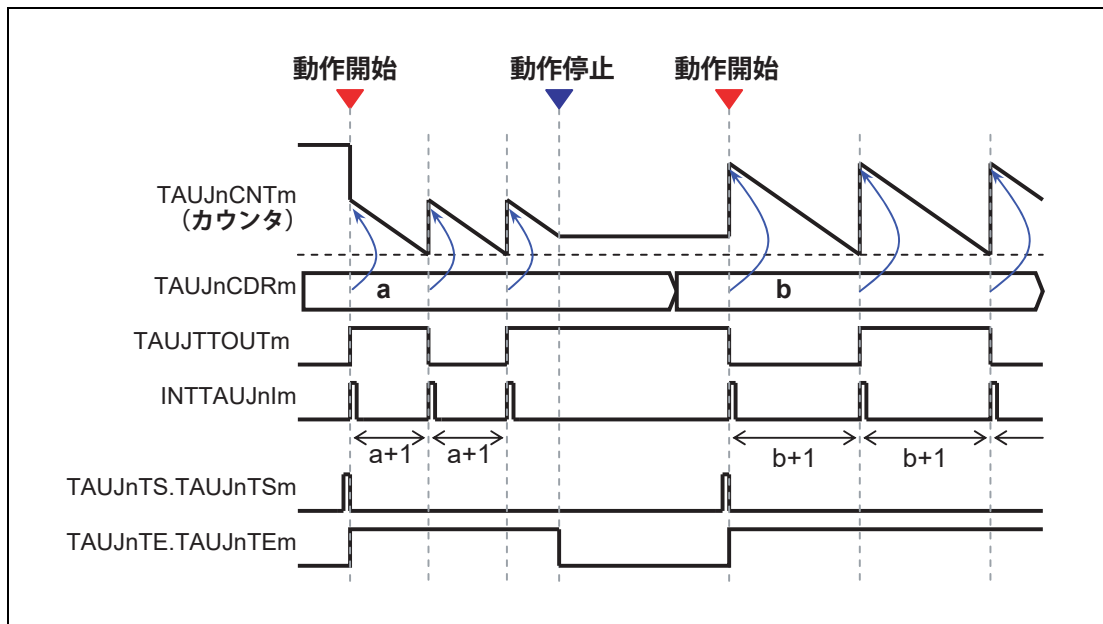


図 18.18 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 1)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCnTm と TAUJTTOUtm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTsm を 1 に設定すると、カウントを再開できます。

(d) 強制リスタート

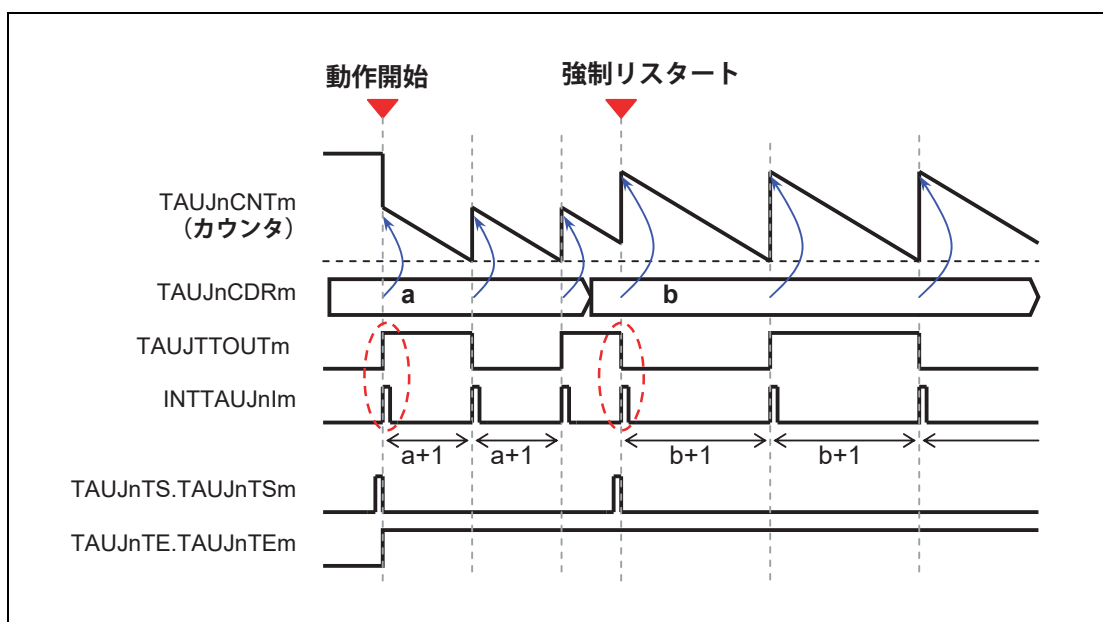


図 18.19 強制リスタート動作 (TAUJnCMORm.TAUJnMD0 = 1)

- カウント中に TAUJnTS.TAUJnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

18.4.9.2 TAUJTTINm 入インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔または有効な TAUJTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUJnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 18.15 TAUJnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「表 18.31 チャンネル出力モード」を参照してください。

機能説明

この機能は、有効な TAUJTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します (「18.4.9.1 インターバルタイマ機能」参照)。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

$INTTAUJnIm$ の周期 = カウントクロック周期 \times (TAUJnCDRm + 1)

TAUJTOUTm の矩形波周期 = カウントクロック周期 \times (TAUJnCDRm + 1) \times 2

(3) ブロック図と基本タイミング図

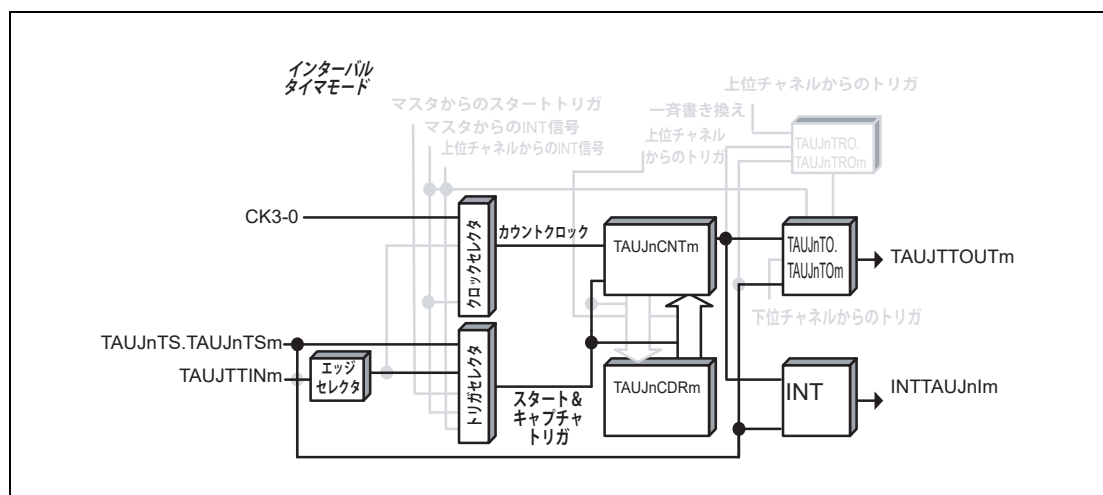


図 18.20 TAUJTTINm 入インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)
- 立ち上がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)

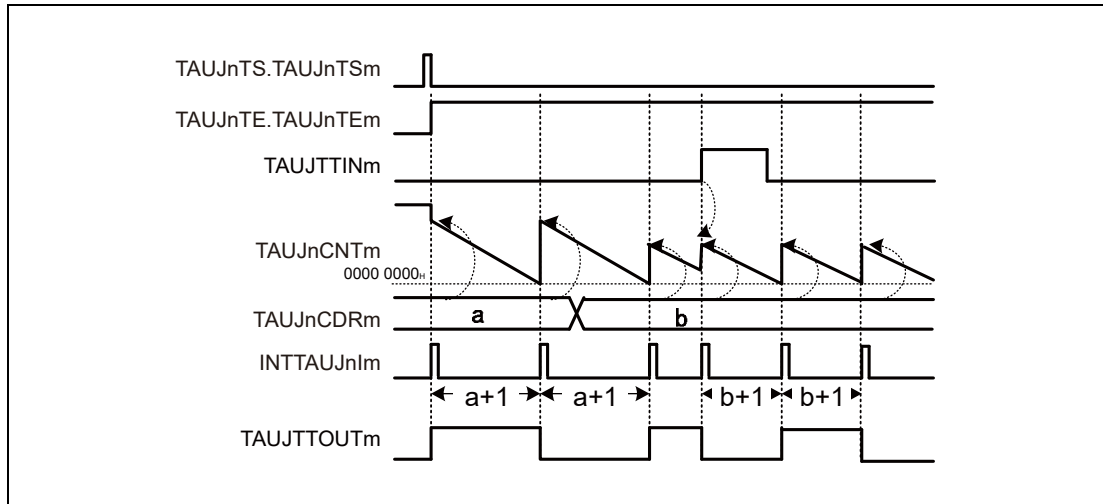


図 18.21 TAUJTTINm 入カインターバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORM

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.38 TAUJTTINm 入カインターバルタイマ機能の TAUJnCMORM レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUJnMAS	0：未使用、0を設定
10～8	TAUJnSTS[2:0]	001：有効な TAUJTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUJnCOS[1:0]	00：未使用、00を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0000：インターバルタイマモード
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生せず、TAUJTOUTm はトグルされない 1：動作開始時に INTTAUJnIm が発生し、TAUJTOUTm はトグルされる

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.39 TAUJTTINm 入カインターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

表 18.40 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ローレベル 1: ハイレベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1 (TAUJnTOM.TAUJnTOMm = 0 時はトグルモード)
TAUJnTOL.TAUJnTOLm	0: 正論理

備 考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTOUTm を割り込みとは独立させて制御することができます。詳細は「18.4.4 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 18.41 TAUJTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

(5) TAUJTTINm 入インターバルタイマ機能の操作手順

表 18.42 TAUJTTINm 入インターバルタイマ機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 18.38 TAUJTTINm 入インターバルタイマ機能の TAUJnCMORm レジスタの内容」と「表 18.39 TAUJTTINm 入インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 18.40 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
	動作中 TAUJnCMURm.TAUJnTIS[1:0]、TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJTTINm エッジ検出	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。 カウント動作中に TAUJTTINm 入力の有効エッジを検出すると、再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

「18.4.9.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUJTTINm 入力エッジを使用することでカウンタを再開することも可能です。

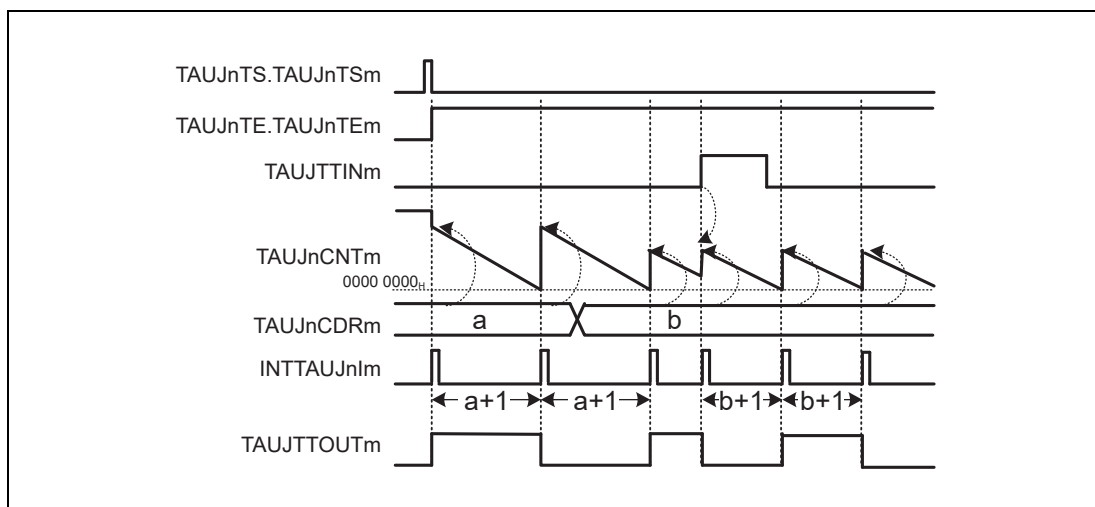


図 18.22 立ち上がり TAUJTTINm 入力エッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)、TAUJnCMORm.TAUJnMD0 = 1 でトリガされたカウンタ

有効な TAUJTTINm 入力エッジを検出した場合、TAUJTTOUm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B) です。

18.4.9.3 TAUJTTINm 入力パルスインターバル測定機能

(1) 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバーフロービット TAUJnCSRm.TAUJnOVF を使用して TAUJTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表 18.44 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、0000 0000_H にリセットされ、その後動作を続けます。

有効な TAUJTTINm エッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタは 0000 0000_H にオーバーフローします。カウンタは、0000 0000_H にリセットされ、その後動作を続けます。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 18.43 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバーフローが発生した場合		その後、有効な TAUJTTINm 入力が 検出された場合	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF _H に 設定	0	TAUJnCNTm は 0 に設定され、 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバーフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の間隔を推定できます。ただし、有効な TAUJTTINm 入力が検出される前に複数のオーバーフローが発生した場合、オーバーフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバーフローの発生を示しません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「18.4.6 カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成」を参照してください。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバーフロー後の最初の有効な TAUJTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUJTINm 入力パルス間隔 = カウントクロック周期 ×
 $[(TAUJnCSRm.TAUJnOVF \times (FFFF\ FFFF_H + 1)) + TAUJnCDRm \text{ キャプチャ値} + 1]$

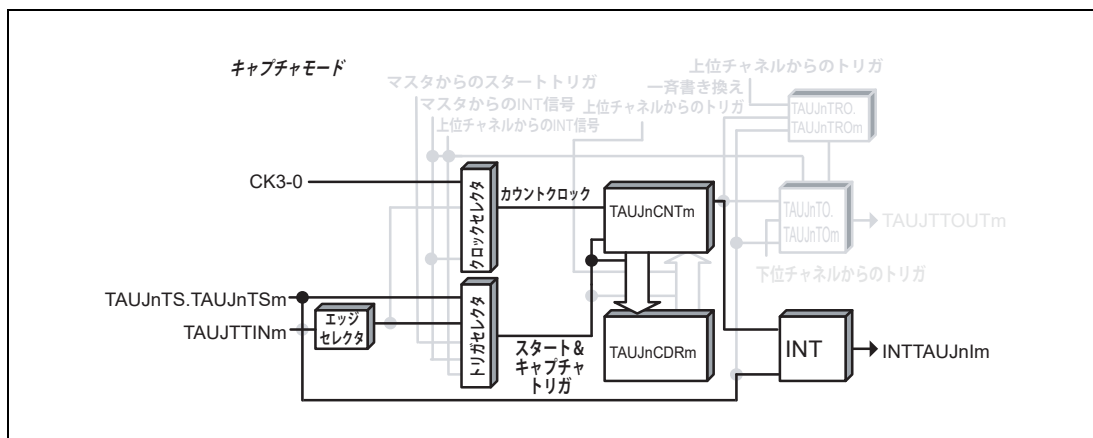
(3) ブロック図と基本タイミング図

図 18.23 TAUJTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

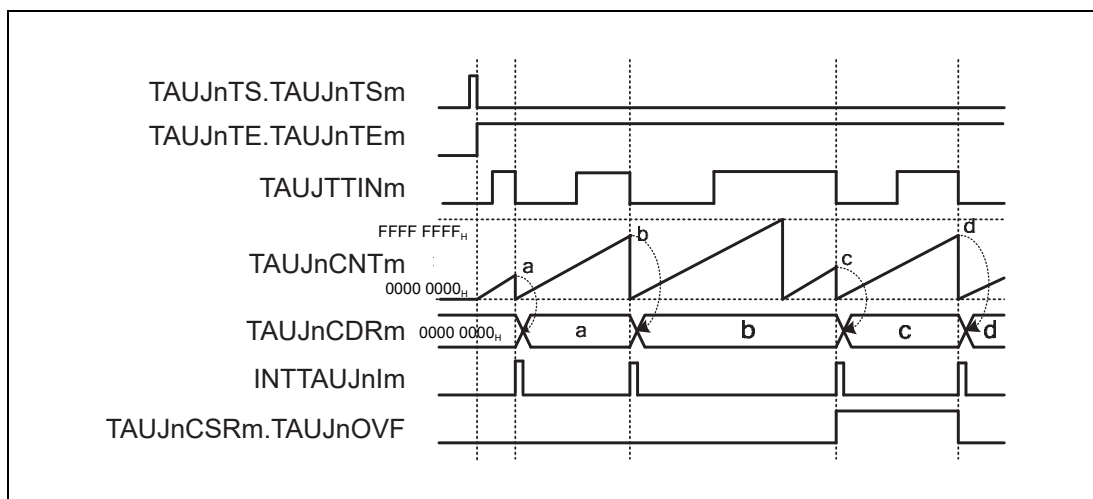


図 18.24 TAUJTTINm 入力パルスインターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORM

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.44 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORM レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : 未使用、0 を設定
10 ~ 8	TAUJnSTS[2:0]	001 : TAUJTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUJnCOS[1:0]	「表 18.43 オーバフローの影響」を参照
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0010 : キャプチャモード
0	TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.45 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がリエッジ検出 10 : 両エッジ検出

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 18.46 TAUJTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

(5) TAUJTINm 入力パルスインターバル測定機能の操作手順

表 18.47 TAUJTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 18.44 TAUJTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」と「表 18.45 TAUJTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCNTm が 0000 0000 _H にクリアされます。TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
	動作中 TAUJTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能。(TAUJnCSRm.TAUJnOVF ビットを 0 にクリア)	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して、0000 0000_H に戻ります。 その後、INTTAUJnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

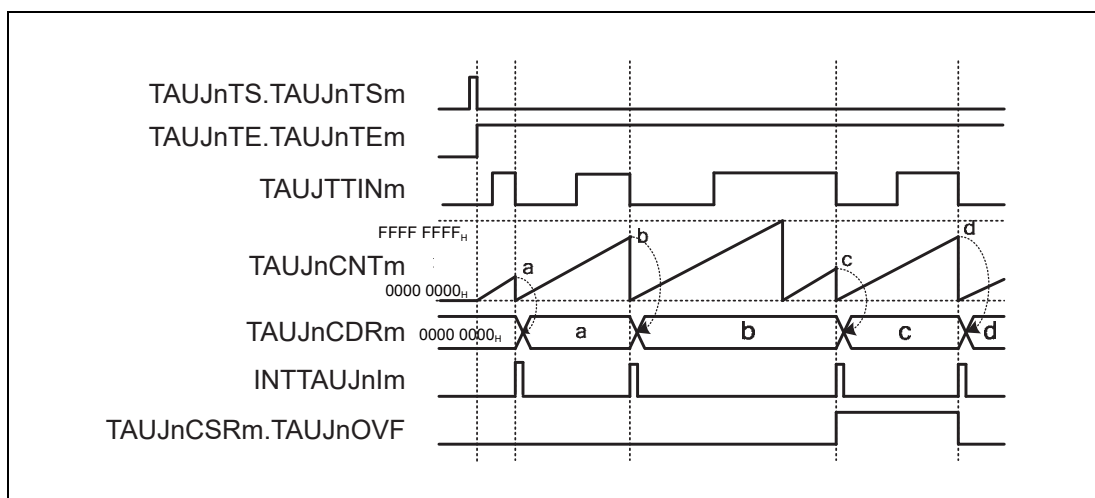
(a) TAUJnCMORM.TAUJnCOS[1:0] = 00_B

図 18.25 TAUJnCMORM.TAUJnCOS[1:0] = 00_B、TAUJnCMORM.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

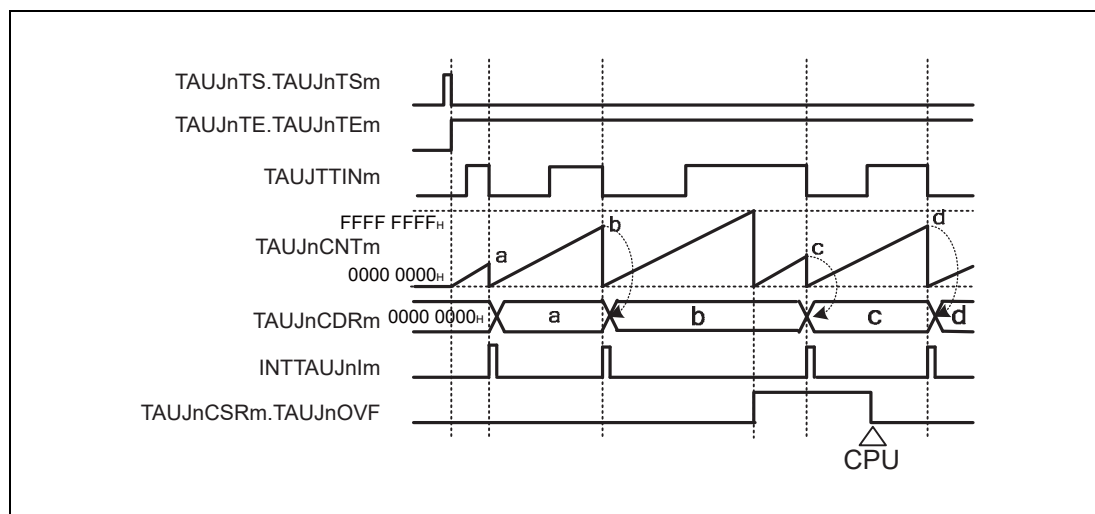
(b) TAUJnCMORM.TAUJnCOS[1:0] = 01_B

図 18.26 TAUJnCMORM.TAUJnCOS[1:0] = 01_B、TAUJnCMORM.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV = 1 のセット) でのみクリアされます。

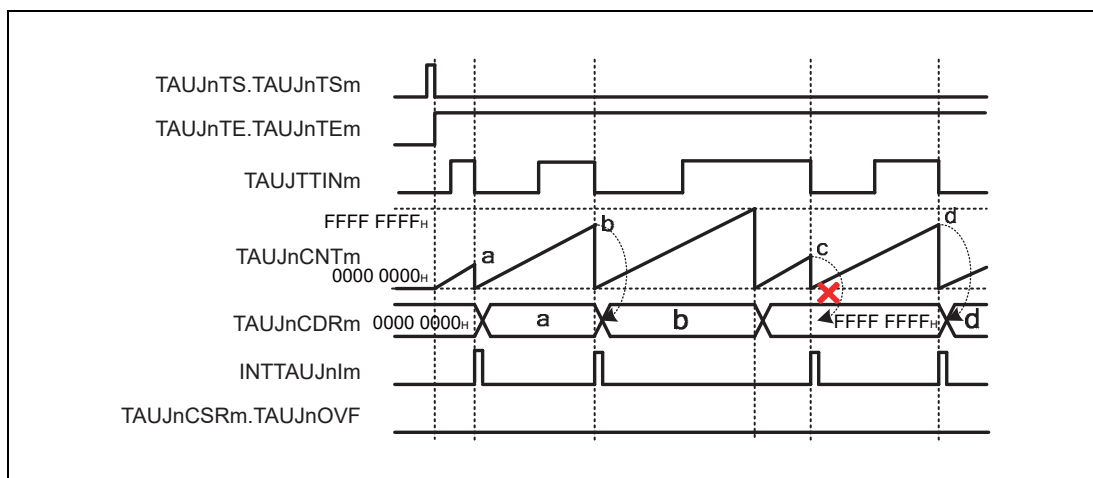
(c) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

図 18.27 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

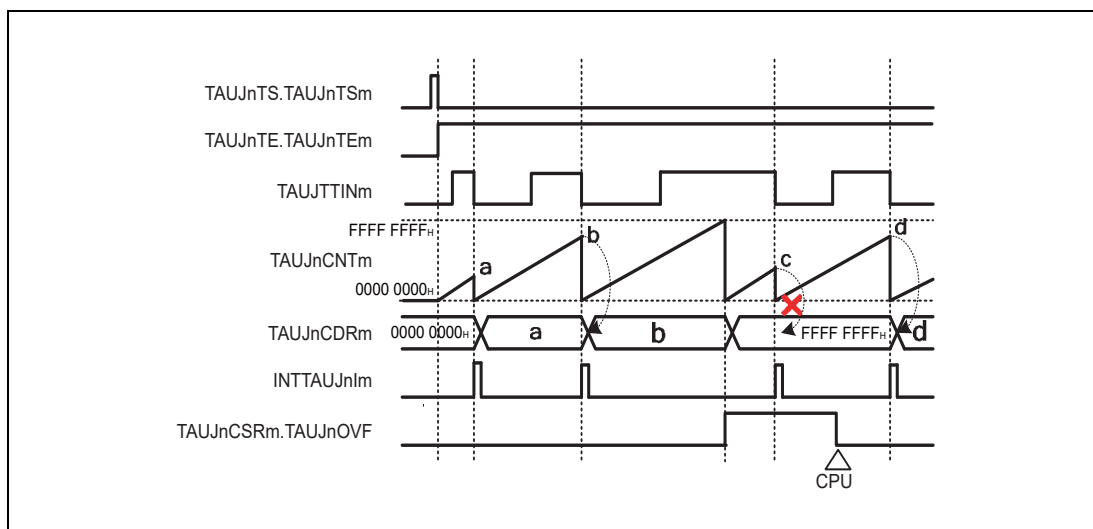
(d) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 18.28 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

18.4.9.4 TAUJTTINm 入力信号幅測定機能

(1) 概要

概要

この機能は、TAUJTTINmT の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUJTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ & ワンカウントモードに設定する必要があります（「表 18.49 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJTOUTm は使用しません。
- TAUJnCMORm.TAUJnMD0 は、0 に設定する必要があります。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。有効な TAUJTTINm スタートエッジが検出されると、カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJTTINm ストップエッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJTTINm 入力スタートエッジを待ちます。

有効な TAUJTTINm ストップエッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 18.48 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		有効な TAUJTTINm 入力ストップエッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の幅を推定できます。ただし、有効な TAUJTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示しません。

この機能は強制的に再開することはできません。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJTnIm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

$$\text{TAUJTnIm 入力信号幅} = \text{カウントクロック周期} \times [(\text{TAUJnCSRm.TAUJnOVF} \times (\text{FFFF FFFF}_H + 1)) + \text{TAUJnCDRm キャプチャ値} + 1]$$

(3) ブロック図と基本タイミング図

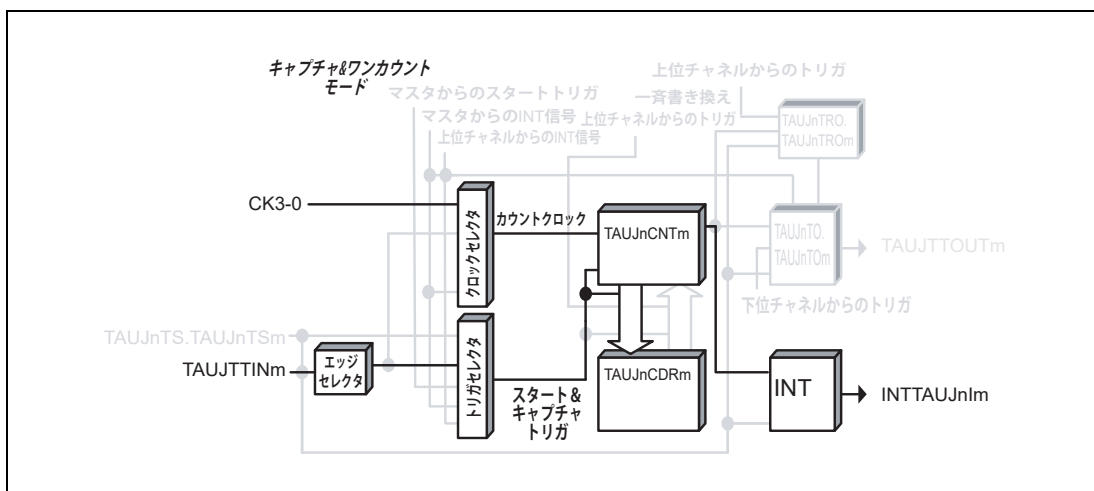


図 18.29 TAUJTnIm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUJTnIm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

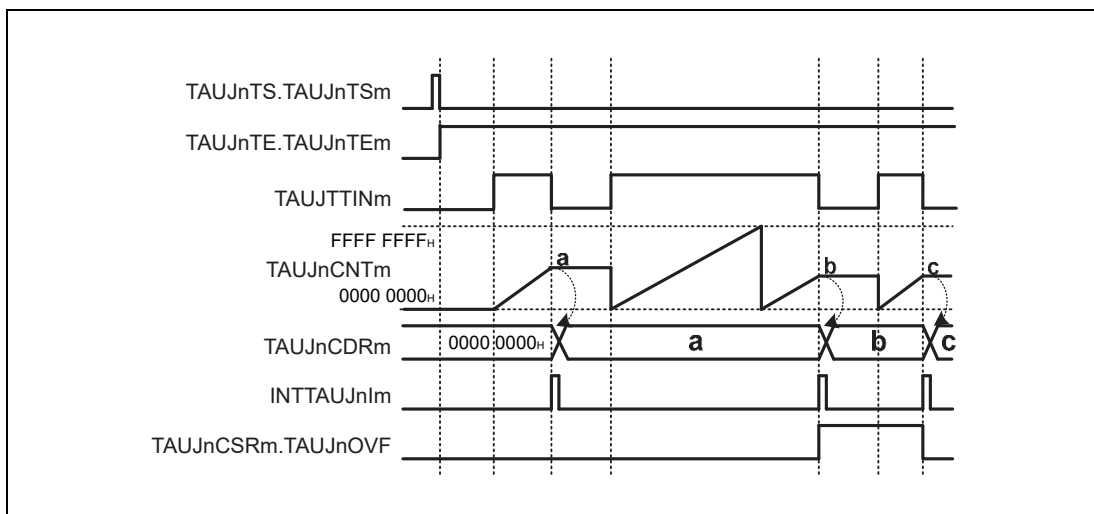


図 18.30 TAUJTnIm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.49 TAUJTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : 未使用、0 を設定
10 ~ 8	TAUJnSTS[2:0]	010 : TAUJTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUJnCOS [1:0]	「表 18.48 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0110 : キャプチャ & ワンカウントモード
0	TAUJnMD0	0 : 動作中のスタートトリガ無効

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.50 TAUJTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 18.51 TAUJTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

(5) TAUJTTINm 入力信号幅測定機能の操作手順

表 18.52 TAUJTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを、「表 18.49 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」と「表 18.50 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。 TAUJTTINm スタートエッジを検出すると、TAUJnCNTm はアップカウントを開始します。
	動作中 TAUJTTINm エッジ検出 TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットは、1 にセット可能です。	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して、その値を保持します。 その後、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

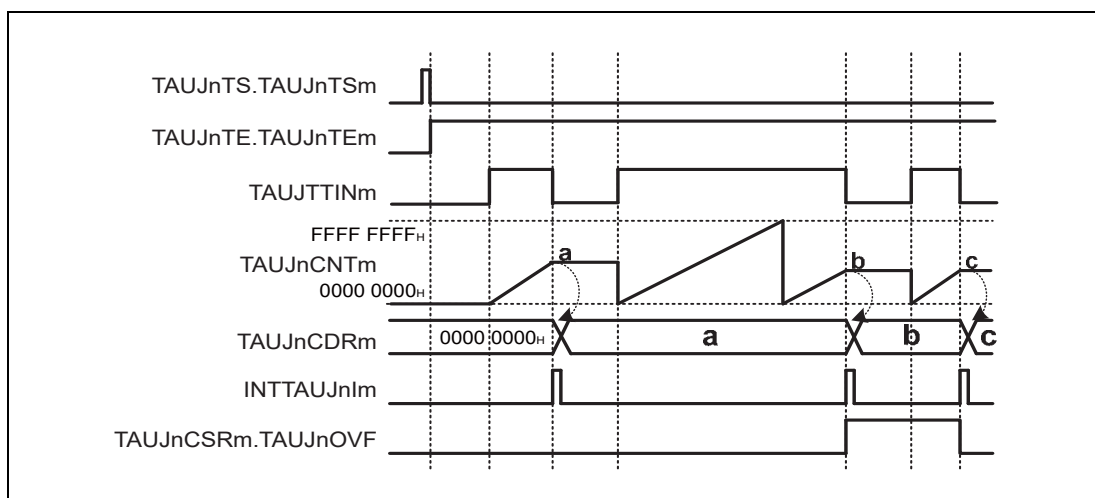
(a) TAUJnCMORM.TAUJnCOS[1:0] = 00_B

図 18.31 TAUJnCMORM.TAUJnCOS[1:0] = 00_B、TAUJnCMORM.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバーフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバーフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

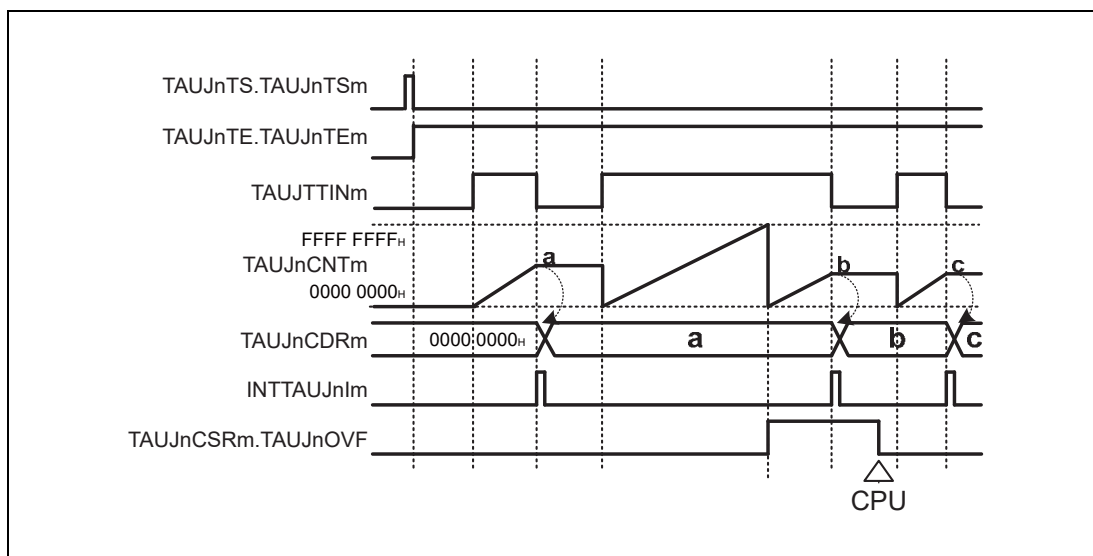
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 18.32 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTnINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV = 1 のセット) でのみクリアされます。

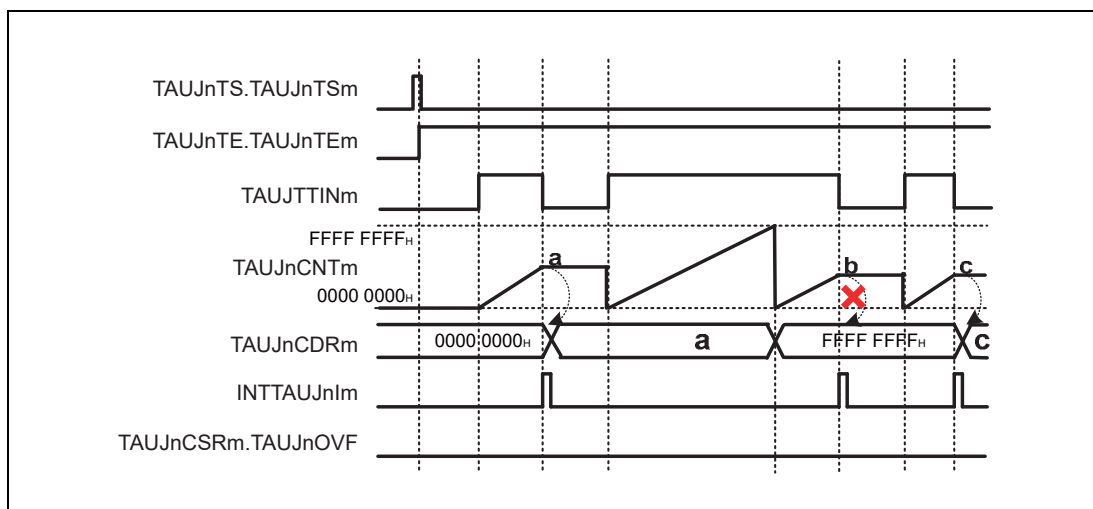
(c) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

図 18.33 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm のカウンタを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

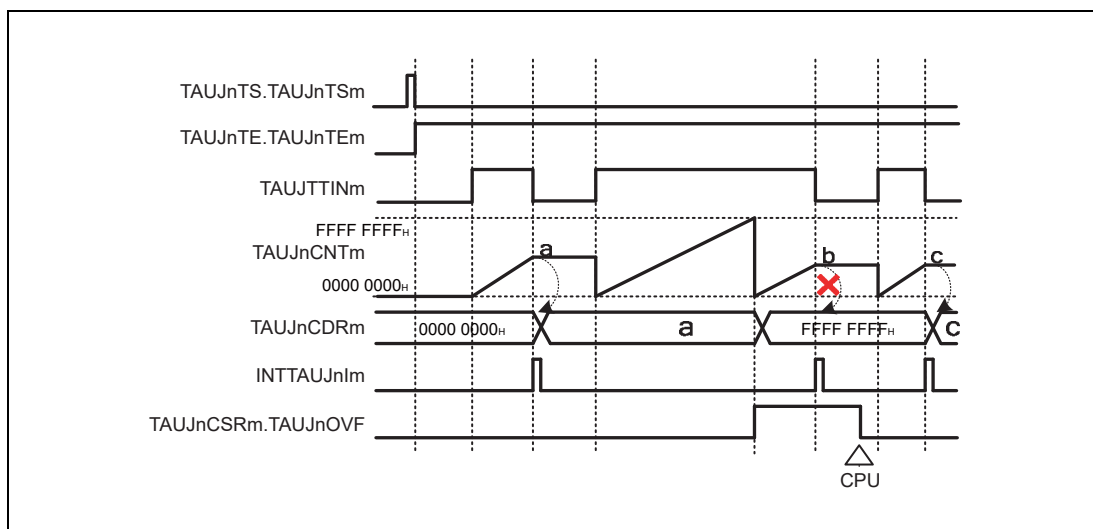
(d) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 18.34 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm のカウンタを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

18.4.9.5 TAUJTTINm 入力位置検出機能

(1) 概要

概要

TAUJTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

備考

TAUJTTINm 入力信号は TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUJTOUTm の出カクロックの周期には、動作クロック ± 1 周期分の誤差があります。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります (「表 18.53 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」参照)。
- この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、0000 0000_H からカウントを開始します。有効な TAUJTTINm 入力エッジが検出されると、TAUJnCnTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「18.4.6 カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成」を参照してください。

(2) 算出式

TAUJTTINm 入力パルスでの機能時間 =
 カウントクロック周期 × (TAUJnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

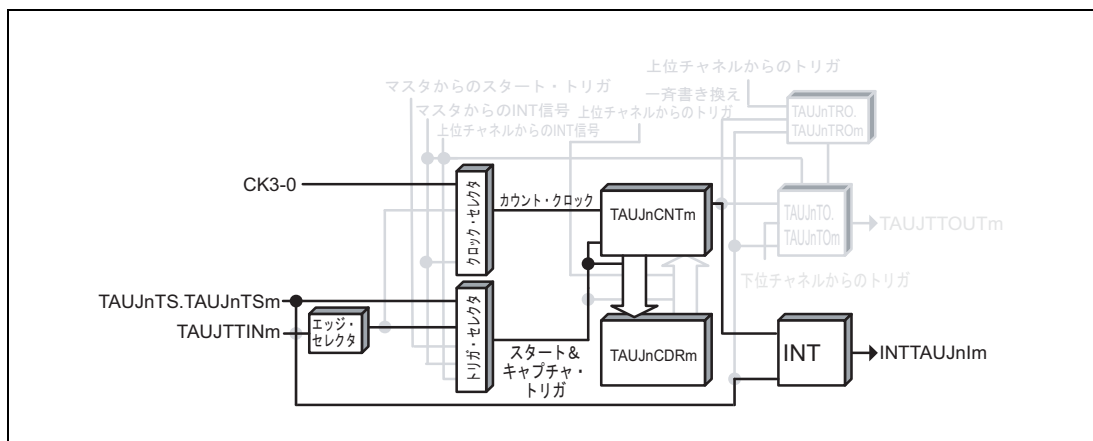


図 18.35 TAUJTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

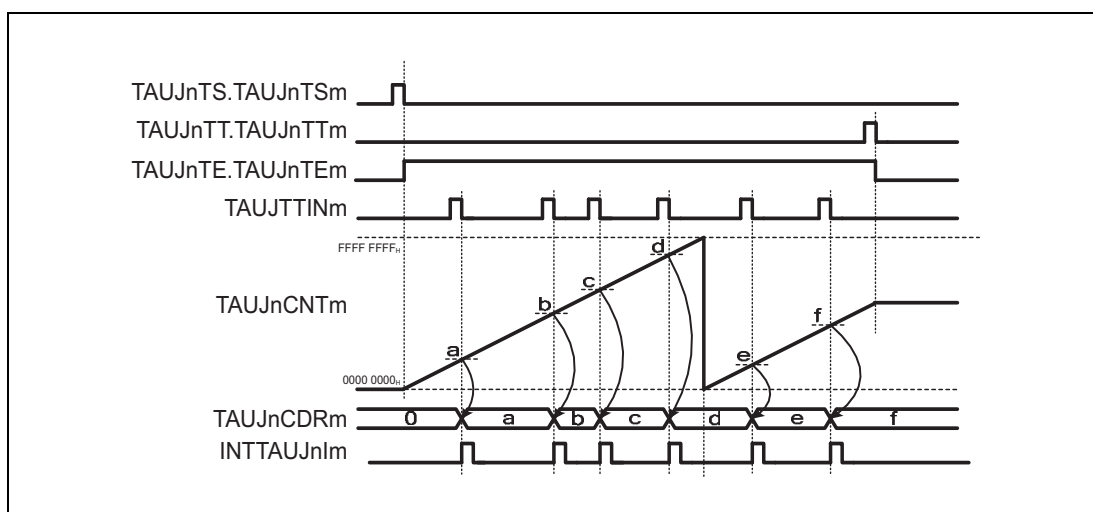


図 18.36 TAUJTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.53 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUJnMAS	0：未使用、0を設定
10～8	TAUJnSTS[2:0]	001：有効な TAUJTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUJnCOS [1:0]	01：この値に設定してください。
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	1011：カウントキャプチャモード
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生しない 1：動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.54 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。詳細は「**18.4.4 チャネル出力モード**」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 18.55 TAUJTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

(5) TAUJTTINm 入力位置検出機能の操作手順

表 18.56 TAUJTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態
初期設定 チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 18.53 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」と「表 18.54 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開 動作開始	TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作中 動作中	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUJnCnTm は、0000 0000 _H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCnTm が自身の値を TAUJnCDRm に転送 (キャプチャ) します。 INTTAUJnIm を出力します。 カウンタ値は 0000 0000_H にクリアされず、TAUJnCnTm はカウント動作を継続します。 以降、この動作を繰り返します。
動作停止 動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm は停止し、TAUJnCnTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

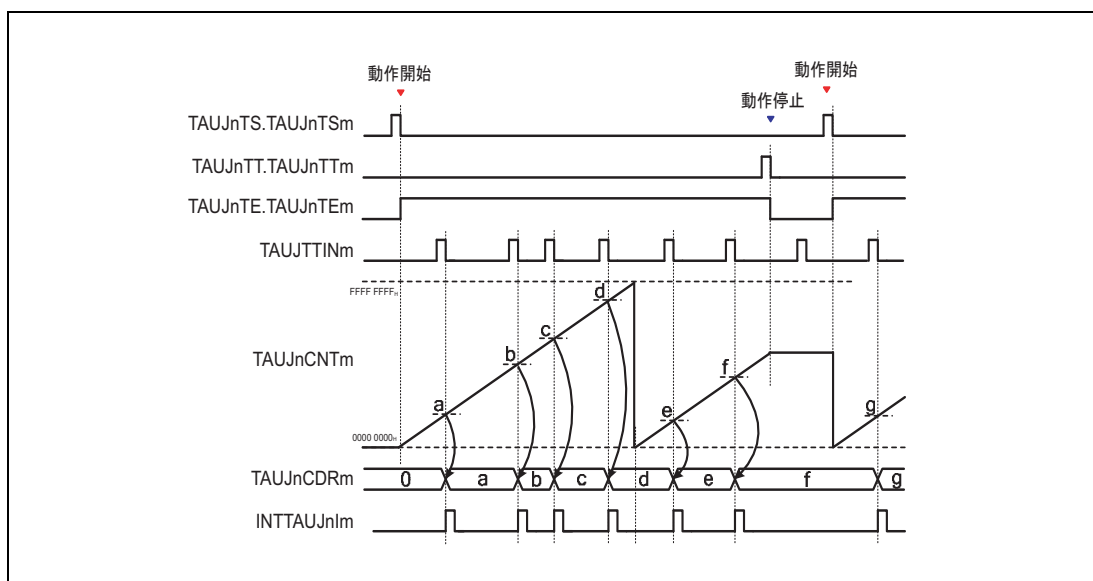


図 18.37 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0,
TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

18.4.9.6 TAUJTTINm 入力期間カウント検出機能

(1) 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ & ゲートカウントモードに設定する必要があります（「表 18.57 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUJTTINm 入力エッジを待ちます。

有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、0000 0000_H からカウントを開始します。

有効な TAUJTTINm 入力ストップエッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。次の有効な TAUJTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

備考

TAUJTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力 Low 期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力 High 期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

(2) 算出式

TAUJTTIN_m 入力幅累計 =
 カウントクロック周期 × (TAUJnCDR_m キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

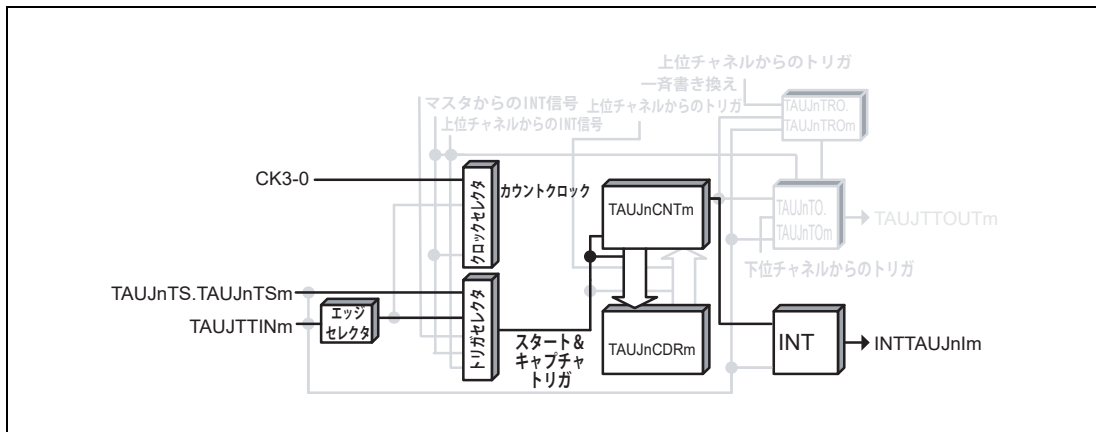


図 18.38 TAUJTTIN_m 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMUR_m.TAUJnTIS[1:0] = 11_B)

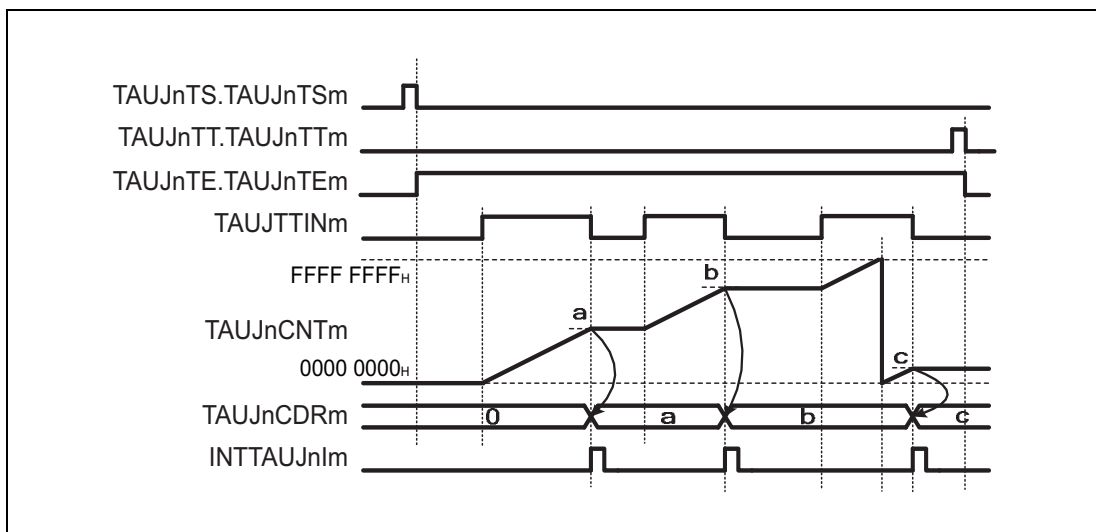


図 18.39 TAUJTTIN_m 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.57 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : 未使用、0 を設定
10 ~ 8	TAUJnSTS[2:0]	010 : TAUJTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7, 6	TAUJnCOS[1:0]	01 : この値に設定してください。
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	1101 : キャプチャ&ゲートカウントモード
0	TAUJnMD0	0 : 動作中のスタートトリガ無効

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.58 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 18.59 TAUJTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

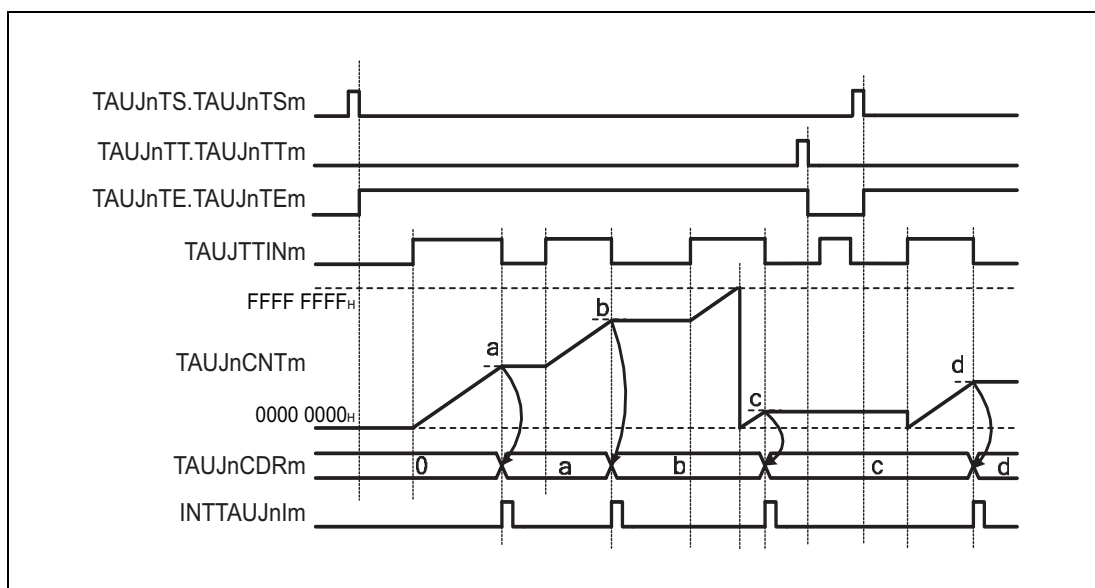
(5) TAUJTTINm 入力期間カウント検出機能の操作手順

表 18.60 TAUJTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
初期設定 チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 18.57 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」と「表 18.58 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	
動作再開	TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。
	TAUJTTINm スタートエッジ検出	スタートエッジが検出されると、TAUJnCNTm は 0000 0000 _H にクリアされ、TAUJnCNTm はアップカウントを開始します。
動作中	TAUJTTINm エッジ検出	TAUJTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ローレベル幅測定なら立ち下がりエッジ) を検出すると、TAUJnCNTm は停止値よりアップカウントを開始します。TAUJnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ローレベル幅測定なら立ち上がりエッジ) を検出すると、値を TAUJnCDRm に転送し、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 TAUJnCNTm が FFFF FFFF _H に達すると、カウンタは 0000 0000 _H からカウント動作を再開します。 以降、この動作を繰り返します。
	TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。	
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 18.40 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

18.4.10 チャンネル連動動作機能

• 18.4.10.1 PWM 出力機能

18.4.10.1 PWM 出力機能

(1) 概要

概要

マスタチャンネルと複数のスレーブチャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUJTOUT_m のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 18.61 PWM 出力機能のマスタチャンネルの TAUJnCMOR_m レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 18.64 PWM 出力機能のスレーブチャンネルの TAUJnCMOR_m レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUJTOUT_m は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。

機能説明

チャンネルトリガビット（TAUJnTS.TAUJnTS_m）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTE_m = 1 となり、カウンタが可能になります。TAUJnCDR_m の現在値が TAUJnCNT_m にロードされ、カウンタはその TAUJnCDR_m 値からダウンカウントを開始します。マスタチャンネルで INTTAUJnIm が発生し、TAUJTOUT_m（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャンネル：
マスタチャンネルのカウンタ値が 0000 0000_H になりパルス周期時間が経過すると、INTTAUJnIm が発生します。TAUJnCDR_m 値を TAUJnCNT_m にロードし、ダウンカウントを行います。
- スレーブチャンネル：
マスタチャンネルで INTTAUJnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUJnCDR_m（スレーブ）の現在値が TAUJnCNT_m（スレーブ）にロードされ、カウンタはその TAUJnCDR_m 値からダウンカウントを開始します。TAUJTOUT_m 信号がアクティブレベルに設定されます。カウンタ値が 0000 0000_H になると（デューティ時間が経過すると）INTTAUJnIm が発生し、TAUJTOUT_m 信号がインアクティブレベルに設定されます。カウンタは FFFF FFFF_H に戻り、マスタチャンネルの次の INTTAUJnIm（次のパルス周期の開始）を待ちます。

マスタ/スレーブチャンネルの TAUJnTT.TAUJnTT_m を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTE_m は 0 に設定されます。マスタ/スレーブチャ

ネルの TAUJnCNTm と TAUJTOUTm が停止しますが、それぞれの値は保持します。
TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え機能」を参照してください。

(2) 算出式

パルス周期 = (TAUJnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = (TAUJnCDRm (スレーブ) / (TAUJnCDRm (マスタ) + 1)) × 100

– デューティサイクル = 0 %

TAUJnCDRm (スレーブ) = 0000 0000_H

– デューティサイクル = 100 %

TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

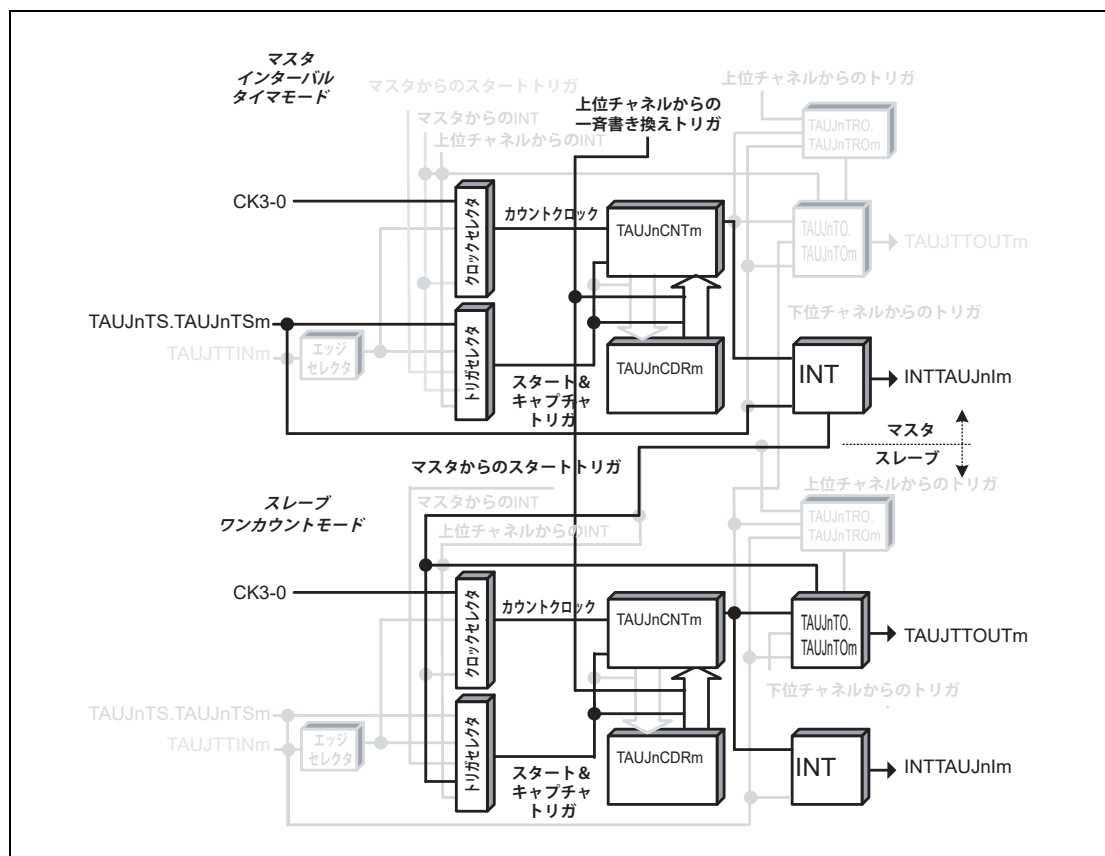


図 18.41 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル: 正論理 (TAUJnTOL.TAUJnTOLm = 0)

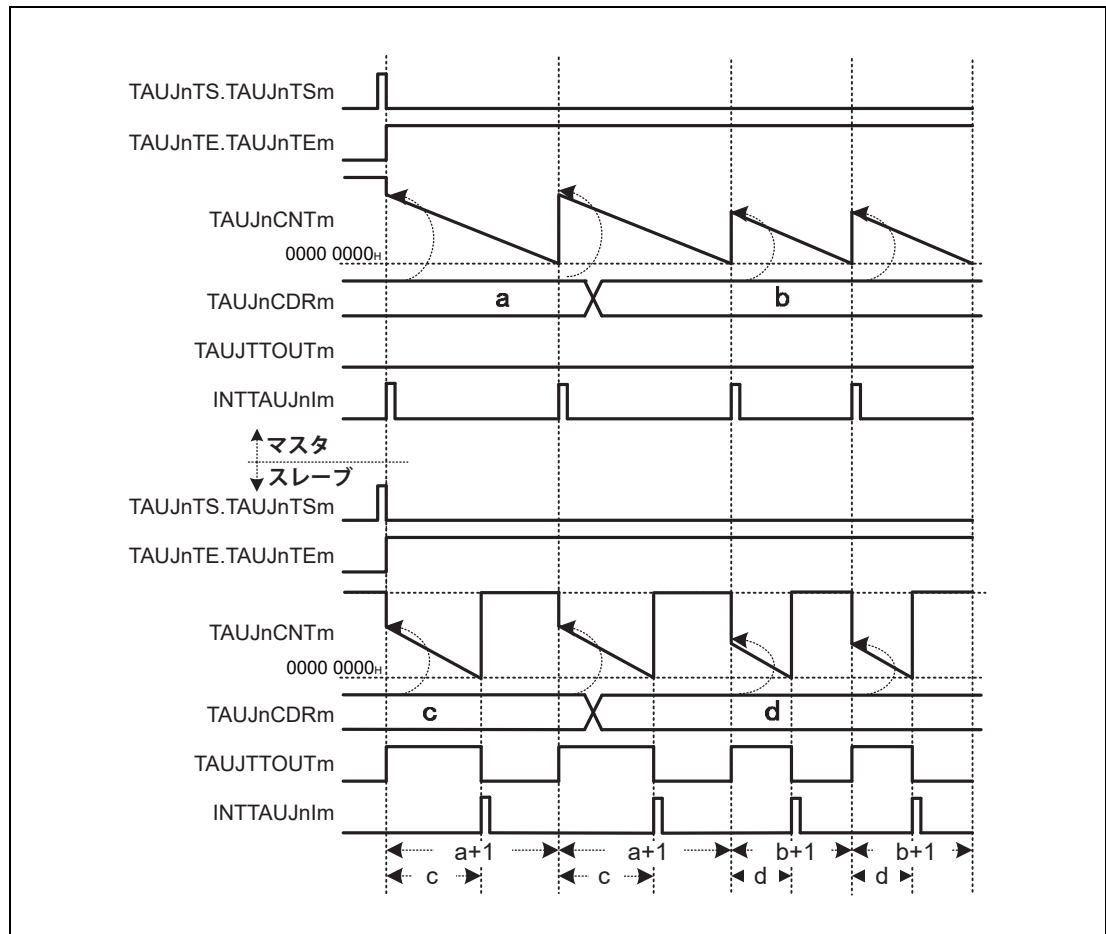


図 18.42 PWM 出力機能の基本タイミング図

備考

- スレーブチャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUJnCDRm の値になりますが、マスタチャンネルでの間隔は対応する TAUJnCDRm + 1 の値になります。
- スレーブチャンネルの TAUJTTOUtm は、マスタチャンネルの INTTAUJnlm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャネルのレジスタ設定

(a) マスタチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.61 PWM 出力機能のマスタチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	1 : チャネルはマスタチャネル
10 ~ 8	TAUJnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUJnCOS[1:0]	00 : 未使用、00 を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUJnMD[4:1]	0000 : インターバルタイマモード
0	TAUJnMD0	1 : 動作開始時に INTTAUJnIm が発生する

(b) マスタチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.62 PWM 出力機能のマスタチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(c) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.63 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.64 PWM 出力機能のスレーブチャンネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUJnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUJnSTS[2:0]	100：マスタチャンネルの INTTAUJnIm がスタートトリガ
7、6	TAUJnCOS[1:0]	00：未使用、00 を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0100：ワンカウントモード
0	TAUJnMD0	1：動作開始時に INTTAUJnIm が発生する

(b) スレーブチャンネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.65 PWM 出力機能のスレーブチャンネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(c) スレーブチャンネルのチャンネル出力モード

表 18.66 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャンネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウレベル 1: ハイレベル
TAUJnTOM.TAUJnTOMm	1: チャンネル連動動作
TAUJnTOC.TAUJnTOCm	0: 動作モード1
TAUJnTOL.TAUJnTOLm	0: 正論理 1: 負論理

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.67 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

(6) PWM 出力機能の操作手順

表 18.68 PWM 出力機能時の操作手順

	操作	TAUJnの状態
動作再開	チャンネルの初期設定 マスタチャンネル：TAUJnCMORm/TAUJnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル：TAUJnCMORm/TAUJnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUJnTS.TAUJnTSm を同時に 1 に設定します。TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。マスタチャンネルで INTTAUJnIm が発生し、TAUJTOUTm (スレーブ) が設定されます。
	動作中 TAUJnCDRm は任意のタイミングで変更可能です。 TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタチャンネルの TAUJnCNTm は TAUJnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUJnIm (マスタ) が発生します。 TAUJnCDRm 値を TAUJnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUJTOUTm (スレーブ) がアクティブレベルに設定されます。 TAUJnCNTm (スレーブ) が 0000 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUJnIm (スレーブ) が発生します。 TAUJTOUTm (スレーブ) がインアクティブレベルに設定されます。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUJnCNTm と TAUJTOUTm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティサイクル = 0 %

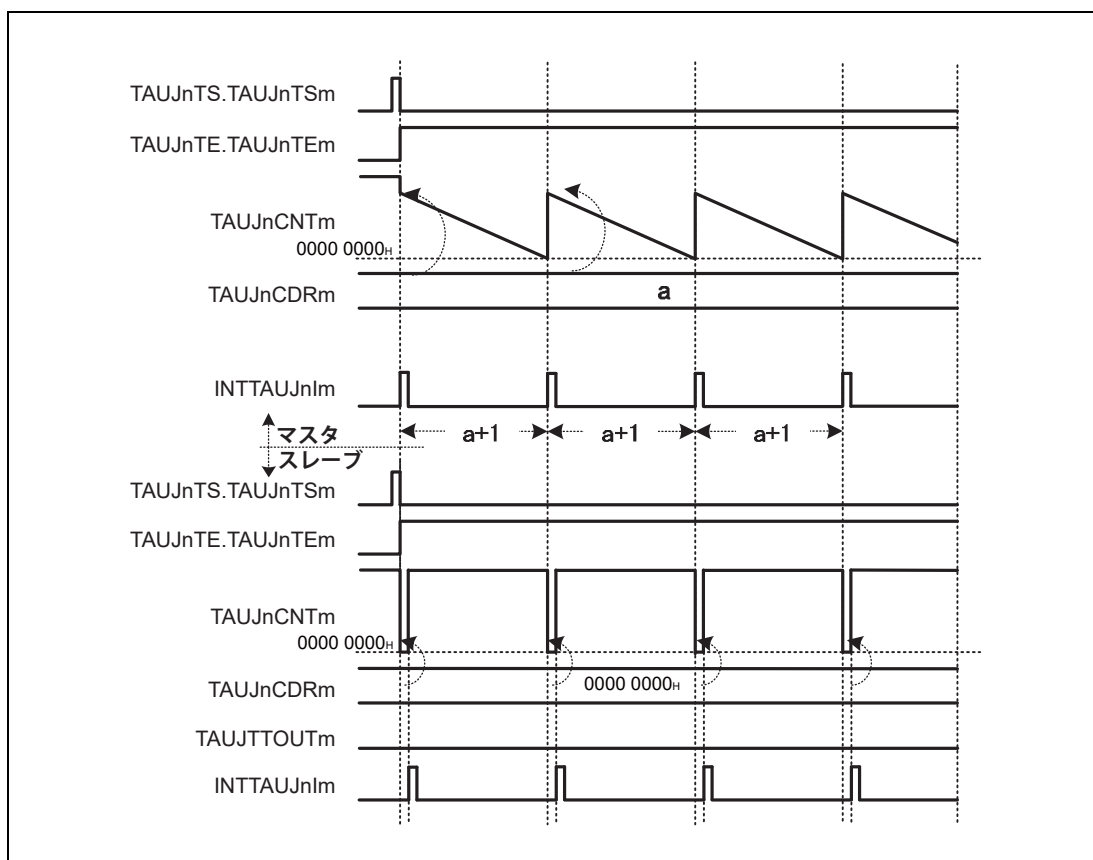


図 18.43 TAUJnCDRm (スレーブ) = 0000 0000_H、
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUJnIm) が発生するたびに、TAUJnCNTm (スレーブ) に 0000 0000_H がロードされます。したがって、TAUJnCNTm (スレーブ) はカウントを開始できず、TAUJTTOUtm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティサイクル = 100 %

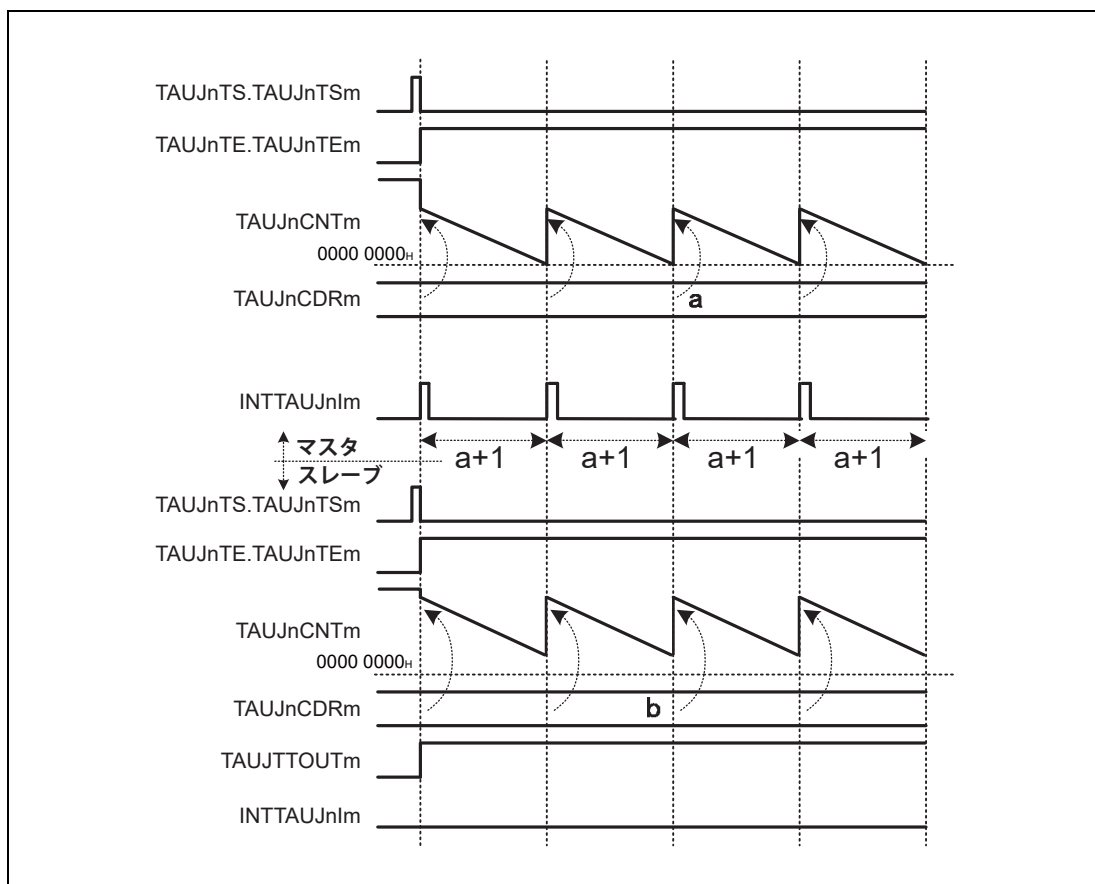


図 18.44 TAUJnCDRm (スレーブ) \geq TAUJnCDRm (マスタ) + 1
 正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

TAUJnCDRm (スレーブ) 値が TAUJnCDRm (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000 0000_Hにならないため、割り込みが発生しません。TAUJTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

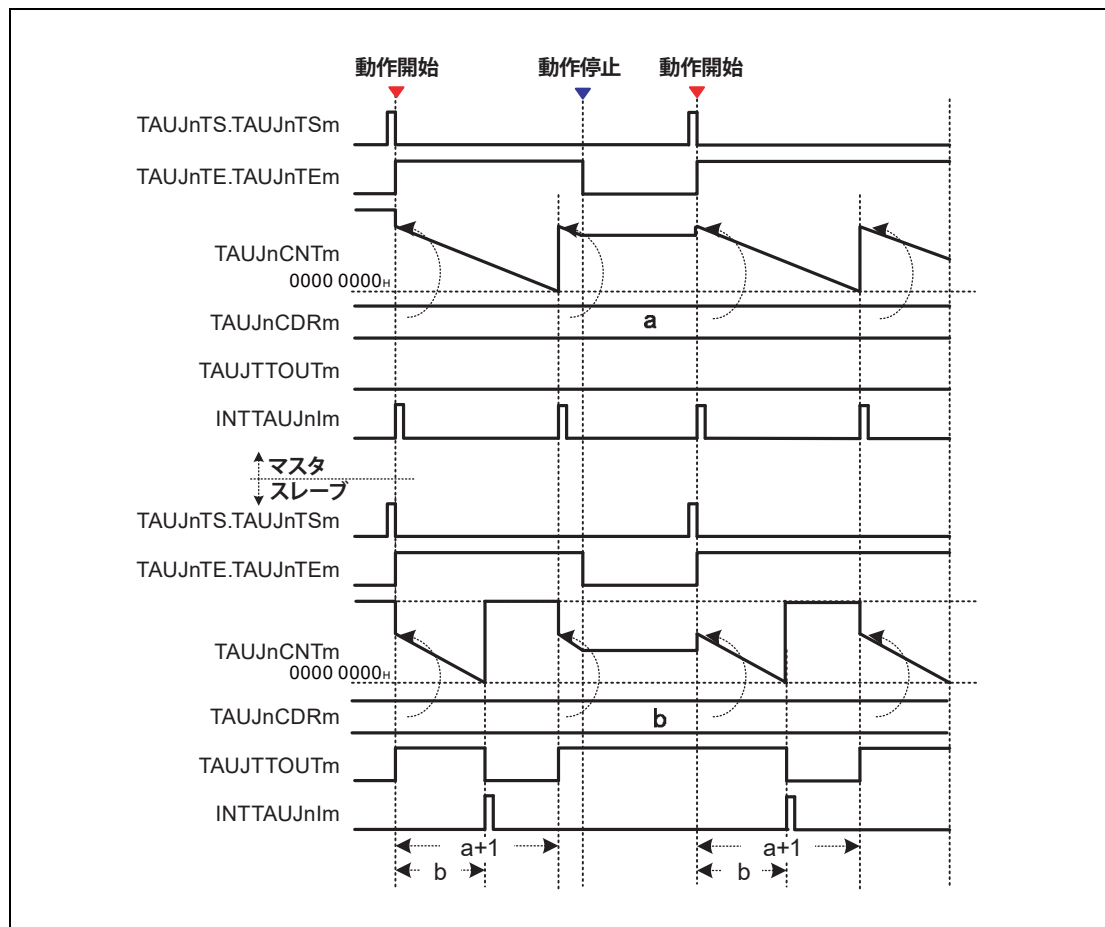


図 18.45 動作の停止と再開
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ/スレーブチャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャンネルの TAUJnCnTm と TAUJnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャンネルの TAUJnTS.TAUJnTEm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャンネルの TAUJnCDRm 値を TAUJnCnTm にロードし、この値からダウンカウントを開始します。

第19章 モータコントロールタイマ (TSG3)

本章では、モータコントロールタイマ (TSG3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。それ以降の節では、TSG3 の機能、レジスタについて説明します。

19.1 RH850/C1x TSG3 の特長

19.1.1 ユニット数

本製品は、以下に示すユニット数の TSG3 を搭載しています。

表 19.1 ユニット数

製品	RH850/C1H	RH850/C1M
ユニット数	2	2
名称	TSG3n (n = 0, 1)	TSG3n (n = 0, 1)

表 19.2 添字

添字	意味
n	本章では、TSG3 の各ユニットを「n」(n = 0, 1) で識別します。たとえば、TSG3n 制御レジスタ 0 は TSG3nCTL0 と記述します。
m, k	本章では、説明時の変数を「m」もしくは「k」で識別します。たとえば、特定のコンペアレジスタを TSG3nCMPmE と記述します。

19.1.2 レジスタベースアドレス

TSG3 のベースアドレスを以下の表に示します。

TSG3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 19.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TSG30_base>	FFE7 0000 _H
<TSG31_base>	FFE7 1000 _H

19.1.3 クロック供給

TSG3 のクロック供給を以下の表に示します。

表 19.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TSG3n	PCLK	CLKC_HSB(非変調高速周辺クロック)

19.1.4 割り込み要求

TSG3 の割り込み要求を以下の表に示します。

表 19.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
TSG30				
INTTSG30I0	TSG30 コンペア一致割り込み 0	164	—	—
INTTSG30I1	TSG30 コンペア一致割り込み 1	136	—	—
INTTSG30I2	TSG30 コンペア一致割り込み 2	137	—	—
INTTSG30I3	TSG30 コンペア一致割り込み 3	138	—	—
INTTSG30I4	TSG30 コンペア一致割り込み 4	139	—	—
INTTSG30I5	TSG30 コンペア一致割り込み 5	140	—	—
INTTSG30I6	TSG30 コンペア一致割り込み 6	141	—	—
INTTSG30I7	TSG30 コンペア一致割り込み 7	142	—	—
INTTSG30I8	TSG30 コンペア一致割り込み 8	143	—	—
INTTSG30I9	TSG30 コンペア一致割り込み 9	144	—	—
INTTSG30I10	TSG30 コンペア一致割り込み 10	145	—	—
INTTSG30I11	TSG30 コンペア一致割り込み 11	146	56	92
INTTSG30I12	TSG30 コンペア一致割り込み 12	147	57	93
INTTSG30IPEK	TSG30 山割り込み	165	58	94
INTTSG30IVLY	TSG30 谷割り込み	166	59	95
INTTSG30IER	TSG30 エラー割り込み	148	—	—
INTTSG30IWN	TSG30 ワーニング割り込み	149	—	—
TSG31				
INTTSG31I0	TSG31 コンペア一致割り込み 0	167	—	—
INTTSG31I1	TSG31 コンペア一致割り込み 1	150	—	—
INTTSG31I2	TSG31 コンペア一致割り込み 2	151	—	—
INTTSG31I3	TSG31 コンペア一致割り込み 3	152	—	—
INTTSG31I4	TSG31 コンペア一致割り込み 4	153	—	—
INTTSG31I5	TSG31 コンペア一致割り込み 5	154	—	—
INTTSG31I6	TSG31 コンペア一致割り込み 6	155	—	—
INTTSG31I7	TSG31 コンペア一致割り込み 7	156	—	—
INTTSG31I8	TSG31 コンペア一致割り込み 8	157	—	—
INTTSG31I9	TSG31 コンペア一致割り込み 9	158	—	—
INTTSG31I10	TSG31 コンペア一致割り込み 10	159	—	—
INTTSG31I11	TSG31 コンペア一致割り込み 11	160	60	96
INTTSG31I12	TSG31 コンペア一致割り込み 12	161	61	97
INTTSG31IPEK	TSG31 山割り込み	168	62	98
INTTSG31IVLY	TSG31 谷割り込み	169	63	99
INTTSG31IER	TSG31 エラー割り込み	162	—	—
INTTSG31IWN	TSG31 ワーニング割り込み	163	—	—

19.1.5 リセット要因

TSG3 のリセット要因を以下に示します。

表 19.6 リセット要因

ユニット名	リセット要因
TSG3n	すべてのリセット要因

19.1.6 外部入出力信号

TSG3 の外部入出力信号を以下の表に示します。

表 19.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TSG30		
TSG30PTSI0-TSG30PTSI2	外部パタン入力	ENCA0E0, ENCA0E1, ENCA0EC 注1
TSG30O0-TSG30O7	タイマ出力	TSG30O0-TSG30O7
TSG31		
TSG31PTSI0-TSG31PTSI2	外部パタン入力	ENCA1E0, ENCA1E1, ENCA1EC 注1
TSG31O0-TSG31O7	タイマ出力	TSG31O0-TSG31O7

注1. C1x 製品では外部パタン入力は ENCA_n 兼用入力と共用しています。
詳細仕様は、「23.2.2.13 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ」を参照してください。

19.2 概要

19.2.1 機能概要

TSG3n は、各種のモータ制御機能を持った 18 ビットタイマ/カウンタです。

- カウントクロック分解能：最小 12.5ns (カウントクロック 80MHz 時)
- 各種モータ制御方式に対応した動作モード
- リロードバッファ付きコンペアレジスタ
- 10 ビットのデッドタイムカウンタ
 - リロードバッファ付きデッドタイムカウンタ
 - 正相→逆相/逆相→正相で独立したデッドタイム値設定可能
- A/D 変換トリガ信号生成
 - コンペアレジスタ TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E で、3 種類の A/D 変換トリガを生成
 - A/D 変換トリガ
TSG3nADTRG0 信号 / TSG3nADTRG1 信号個別の間引き機能：間引き率 1/1, 1/2, 1/4, 1/8
 - TSG3nADTRG0 信号でセット、TSG3nADTRG1 信号でリセットのトグル出力、または、ダイアグ出力の専用端子 (TSG3nO7)
- 割り込み間引き機能
 - 間引き率 1/1~1/32
- 強制出力停止機能
 - タイマオプション (TAPA) 機能を接続し、TSG3nO1-TSG3nO6 端子の出力ハイインピーダンス制御が可能
- コンペア値の設定
 - リロード (一斉書き換え機能) / 随時書き換え機能選択可能
- リロードモード
 - TSG3nCMP1E レジスタを書き込むことでリロード許可 (リロード要求フラグ TSG3nRSF をセット) となり、複数レジスタの同時転送可能
 - 山/谷/山および谷のリロードタイミングで転送可能
 - リロード要求フラグ TSG3nRSF を用意
 - DMA 転送可能なレジスタアドレス配置
 - リロード間引き機能
- HT-PWM モード
 - デッドタイム縮小を含む 0-100% デューティ PWM 出力可能
 - アップカウント側の PWM 出力に付加パルスあり/なしをコンペアレジスタの LSB で制御可能なため、ソフトウェア負荷なしで出力分解能を向上
- 120-DC 制御
 - セミオートドライブ機能 (2 相エンコーダ / 3 相エンコーダ / ENCA と連携したオフセットでトリガ発生可能)

- 3相エンコーダ機能 (ホールセンサ等の信号を入力可能)
- 出力端子 TSG3nO1-TSG3nO6 のアクティブレベルを端子ごとに設定可能
- フェイルセーフ機能 (ワーニング/エラー割り込み発生可能)
 - 正相/逆相における同時アクティブ出力検出機能
 - 3相エンコーダの異常入力検出機能
- キャリア周期設定、PWM デューティ設定を、EMU2 から、直接転送可能
- EMU2 から出力される矩形波と、TSG3 が生成する PWM を選択して出力する機能

備考

本章では、アクティブレベルをハイレベルとして説明しています。

19.2.2 ブロック図

以下のブロック図は TSG3 の主要なコンポーネントを示しています。

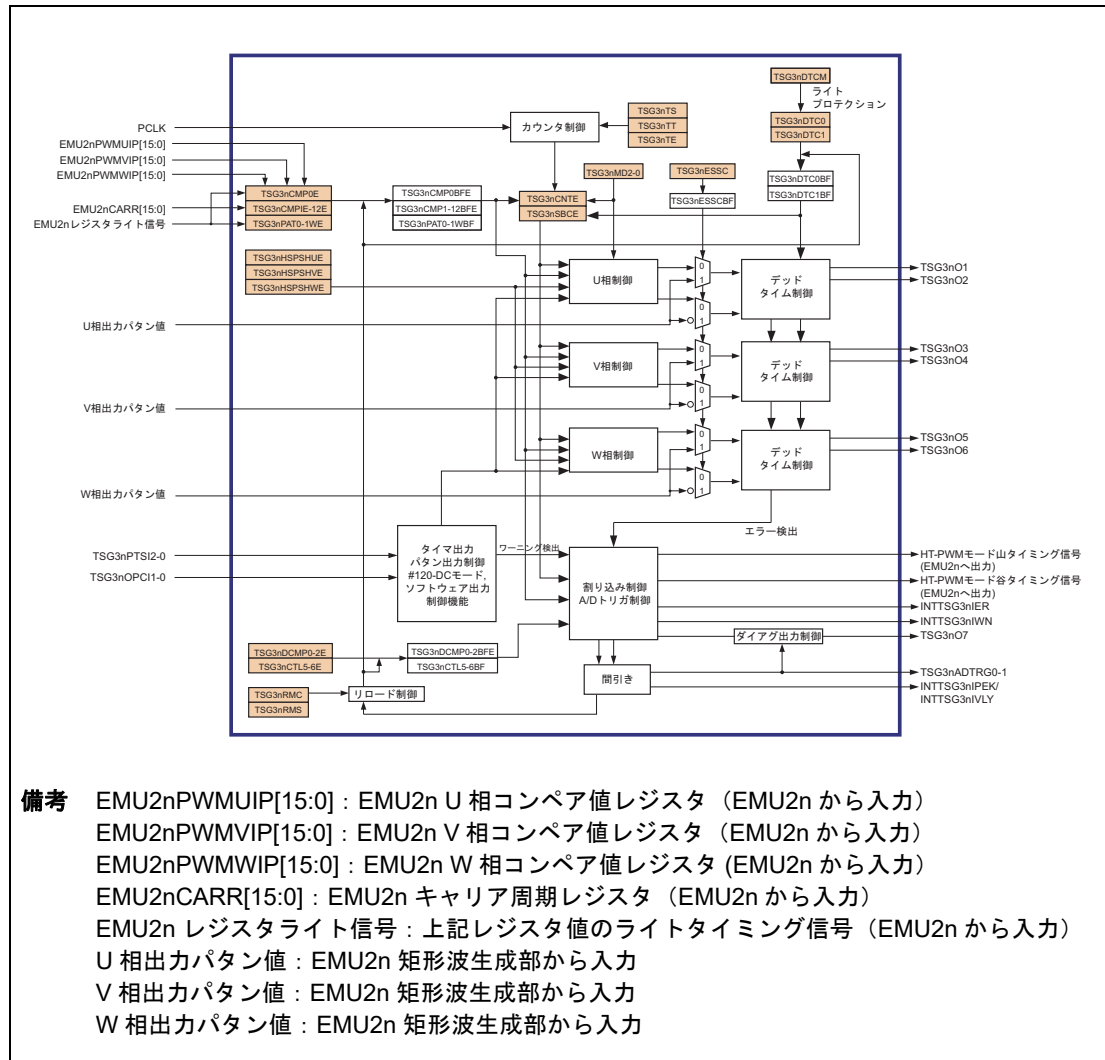


図 19.1 TSG3n のブロック図

- TSG3nTSST : 同時スタートトリガ (PIC1A から入力)

19.3 レジスタ

19.3.1 レジスタ一覧

TSG3n のレジスタ一覧を以下の表に示します。

<TSG3n_base> は「19.1.2 レジスタベースアドレス」を参照してください。

表 19.8 レジスタ一覧 (1/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n 制御レジスタ 0	TSG3nCTL0	<TSG3n_base> + 208 _H	なし
TSG3n	TSG3n 制御レジスタ 1	TSG3nCTL1	<TSG3n_base> + 20C _H	なし
TSG3n	TSG3n 制御レジスタ 3	TSG3nCTL3	<TSG3n_base> + 004 _H	なし
TSG3n	TSG3n 制御レジスタ 4	TSG3nCTL4	<TSG3n_base> + 07C _H	あり
TSG3n	TSG3n 制御レジスタ 5	TSG3nCTL5	<TSG3n_base> + 008 _H	なし
TSG3n	TSG3n 制御レジスタ 6	TSG3nCTL6	<TSG3n_base> + 00C _H	なし
TSG3n	TSG3n 制御レジスタ 7	TSG3nCTL7	<TSG3n_base> + 218 _H	なし
TSG3n	TSG3n 制御レジスタ 8	TSG3nCTL8	<TSG3n_base> + 21C _H	なし
TSG3n	TSG3n I/O 制御レジスタ 0	TSG3nIOC0	<TSG3n_base> + 200 _H	なし
TSG3n	TSG3n I/O 制御レジスタ 1	TSG3nIOC1	<TSG3n_base> + 204 _H	なし
TSG3n	TSG3n I/O 制御レジスタ 2	TSG3nIOC2	<TSG3n_base> + 000 _H	なし
TSG3n	TSG3n I/O 制御レジスタ 3	TSG3nIOC3	<TSG3n_base> + 074 _H	あり
TSG3n	TSG3n ステータスレジスタ 0	TSG3nSTR0	<TSG3n_base> + 010 _H	なし
TSG3n	TSG3n ステータスレジスタ 1	TSG3nSTR1	<TSG3n_base> + 014 _H	なし
TSG3n	TSG3n ステータスレジスタ 2	TSG3nSTR2	<TSG3n_base> + 018 _H	なし
TSG3n	TSG3n ステータスクリアトリガレジスタ	TSG3nSTC	<TSG3n_base> + 01C _H	なし
TSG3n	TSG3n オプションレジスタ 0	TSG3nOPT0	<TSG3n_base> + 020 _H	なし
TSG3n	TSG3n オプションレジスタ 1	TSG3nOPT1	<TSG3n_base> + 024 _H	なし
TSG3n	TSG3n オプションレジスタ 2	TSG3nOPT2	<TSG3n_base> + 03C _H	なし
TSG3n	TSG3n オプション 2 バッファレジスタ	TSG3nOPT2BF	<TSG3n_base> + 0CC _H	なし
TSG3n	TSG3n トリガレジスタ 0	TSG3nTRG0	<TSG3n_base> + 030 _H	なし
TSG3n	TSG3n トリガレジスタ 1	TSG3nTRG1	<TSG3n_base> + 034 _H	なし
TSG3n	TSG3n トリガレジスタ 2	TSG3nTRG2	<TSG3n_base> + 038 _H	なし
TSG3n	TSG3n カウンタリードバッファレジスタ	TSG3nCNT	<TSG3n_base> + 028 _H	なし
TSG3n	TSG3n ビット拡張カウンタリードバッファレジスタ	TSG3nCNTE	<TSG3n_base> + 1A0 _H	なし
TSG3n	TSG3n サブカウンタリードバッファレジスタ	TSG3nSBC	<TSG3n_base> + 02C _H	なし
TSG3n	TSG3n ビット拡張 サブカウンタリードバッファレジスタ	TSG3nSBCE	<TSG3n_base> + 1A4 _H	なし
TSG3n	TSG3n コンペアレジスタ 0	TSG3nCMP0	<TSG3n_base> + 058 _H	あり
TSG3n	TSG3n ビット拡張 コンペアレジスタ 0	TSG3nCMP0E	<TSG3n_base> + 14C _H	あり
TSG3n	TSG3n コンペアレジスタ 1, 2	TSG3nCMP1W	<TSG3n_base> + 040 _H	あり
TSG3n	TSG3n コンペアレジスタ 5, 6	TSG3nCMP5W	<TSG3n_base> + 044 _H	あり
TSG3n	TSG3n コンペアレジスタ 9, 10	TSG3nCMP9W	<TSG3n_base> + 048 _H	あり
TSG3n	TSG3n コンペアレジスタ 3, 4	TSG3nCMP3W	<TSG3n_base> + 04C _H	あり
TSG3n	TSG3n コンペアレジスタ 7, 8	TSG3nCMP7W	<TSG3n_base> + 050 _H	あり
TSG3n	TSG3n コンペアレジスタ 11, 12	TSG3nCMP11W	<TSG3n_base> + 054 _H	あり
TSG3n	TSG3n コンペアレジスタ 1	TSG3nCMP1	<TSG3n_base> + 080 _H	あり
TSG3n	TSG3n コンペアレジスタ 2	TSG3nCMP2	<TSG3n_base> + 084 _H	あり

表 19.8 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n コンペアレジスタ 3	TSG3nCMP3	<TSG3n_base> + 098 _H	あり
TSG3n	TSG3n コンペアレジスタ 4	TSG3nCMP4	<TSG3n_base> + 09C _H	あり
TSG3n	TSG3n コンペアレジスタ 5	TSG3nCMP5	<TSG3n_base> + 088 _H	あり
TSG3n	TSG3n コンペアレジスタ 6	TSG3nCMP6	<TSG3n_base> + 08C _H	あり
TSG3n	TSG3n コンペアレジスタ 7	TSG3nCMP7	<TSG3n_base> + 0A0 _H	あり
TSG3n	TSG3n コンペアレジスタ 8	TSG3nCMP8	<TSG3n_base> + 0A4 _H	あり
TSG3n	TSG3n コンペアレジスタ 9	TSG3nCMP9	<TSG3n_base> + 090 _H	あり
TSG3n	TSG3n コンペアレジスタ 10	TSG3nCMP10	<TSG3n_base> + 094 _H	あり
TSG3n	TSG3n コンペアレジスタ 11	TSG3nCMP11	<TSG3n_base> + 0A8 _H	あり
TSG3n	TSG3n コンペアレジスタ 12	TSG3nCMP12	<TSG3n_base> + 0AC _H	あり
TSG3n	TSG3n ビット拡張 コンペアレジスタ 1	TSG3nCMP1E	<TSG3n_base> + 17C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 2	TSG3nCMP2E	<TSG3n_base> + 178 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 3	TSG3nCMP3E	<TSG3n_base> + 164 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 4	TSG3nCMP4E	<TSG3n_base> + 160 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 5	TSG3nCMP5E	<TSG3n_base> + 174 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 6	TSG3nCMP6E	<TSG3n_base> + 170 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 7	TSG3nCMP7E	<TSG3n_base> + 15C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 8	TSG3nCMP8E	<TSG3n_base> + 158 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 9	TSG3nCMP9E	<TSG3n_base> + 16C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 10	TSG3nCMP10E	<TSG3n_base> + 168 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 11	TSG3nCMP11E	<TSG3n_base> + 154 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 12	TSG3nCMP12E	<TSG3n_base> + 150 _H	あり
TSG3n	TSG3n ダイアグ出力用コンペアレジスタ 0, 1	TSG3nDCMP0W	<TSG3n_base> + 05C _H	あり
TSG3n	TSG3n ダイアグ出力用コンペアレジスタ 2	TSG3nDCMP2	<TSG3n_base> + 060 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0	TSG3nDCMP0E	<TSG3n_base> + 148 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 1	TSG3nDCMP1E	<TSG3n_base> + 144 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 2	TSG3nDCMP2E	<TSG3n_base> + 140 _H	あり
TSG3n	TSG3n パタンレジスタ 0	TSG3nPAT0W	<TSG3n_base> + 064 _H	あり
TSG3n	TSG3n パタンレジスタ 1	TSG3nPAT1W	<TSG3n_base> + 068 _H	あり
TSG3n	TSG3n デッドタイム制御レジスタ 0	TSG3nDTC0W	<TSG3n_base> + 06C _H	あり
TSG3n	TSG3n デッドタイム制御レジスタ 1	TSG3nDTC1W	<TSG3n_base> + 070 _H	あり
TSG3n	TSG3n HT-PWM U 相用コンペアレジスタ	TSG3nCMPU	<TSG3n_base> + 0B0 _H	あり
TSG3n	TSG3n HT-PWM V 相用コンペアレジスタ	TSG3nCMPV	<TSG3n_base> + 0B4 _H	あり
TSG3n	TSG3n HT-PWM W 相用コンペアレジスタ	TSG3nCMPW	<TSG3n_base> + 0B8 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM U 相用コンペアレジスタ	TSG3nCMPUE	<TSG3n_base> + 188 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM V 相用コンペアレジスタ	TSG3nCMPVE	<TSG3n_base> + 184 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM W 相用コンペアレジスタ	TSG3nCMPWE	<TSG3n_base> + 180 _H	あり
TSG3n	TSG3n SP-PWM U 相アクティブ幅レジスタ	TSG3nUPW	<TSG3n_base> + 0BC _H	あり
TSG3n	TSG3n SP-PWM V 相アクティブ幅レジスタ	TSG3nVPW	<TSG3n_base> + 0C0 _H	あり
TSG3n	TSG3n SP-PWM W 相アクティブ幅レジスタ	TSG3nWPW	<TSG3n_base> + 0C4 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM U 相アクティブ幅レジスタ	TSG3nUPWE	<TSG3n_base> + 198 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM V 相アクティブ幅レジスタ	TSG3nVPWE	<TSG3n_base> + 194 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM W 相アクティブ幅レジスタ	TSG3nWPWE	<TSG3n_base> + 190 _H	あり
TSG3n	TSG3n HSP-PWM W 相用シフトレジスタ	TSG3nHSPSHWE	<TSG3n_base> + 120 _H	あり

表 19.8 レジスタ一覧 (3/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n HSP-PWM V 相用シフトレジスタ	TSG3nHSPSHVE	<TSG3n_base> + 124 _H	あり
TSG3n	TSG3n HSP-PWM U 相用シフトレジスタ	TSG3nHSPSHUE	<TSG3n_base> + 128 _H	あり
TSG3n	TSG3n HSP-PWM W 相用コンペアレジスタ	TSG3nHSPCMWE	<TSG3n_base> + 12C _H	あり
TSG3n	TSG3n HSP-PWM V 相用コンペアレジスタ	TSG3nHSPCMVE	<TSG3n_base> + 130 _H	あり
TSG3n	TSG3n HSP-PWM U 相用コンペアレジスタ	TSG3nHSPCMUE	<TSG3n_base> + 134 _H	あり
TSG3n	TSG3n デッドタイムプロテクションレジスタ	TSG3nDTPR	<TSG3n_base> + 210 _H	なし

19.3.2 TSG3nCTL0 — TSG3n 制御レジスタ 0

ダイアグ出力用パルス幅、TSG3n の動作モードを設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 208_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TSG3nDWD	—	TSG3nMD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R/W	R/W	R/W

表 19.9 TSG3nCTL0 レジスタの内容

ビット位置	ビット名	機能																												
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																												
4	TSG3nDWD	ダイアグ出力用パルス幅を選択 0: パルスを 8 クロック幅で出力 1: パルスを 16 クロック幅で出力 このビットの設定は、ダイアグ出力許可 (TSG3nIOC1.TSG3nTGS = 1) 時に有効です。																												
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																												
2 ~ 0	TSG3nMD[2:0]	タイマモードを選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TSG3n MD2</th> <th>TSG3n MD1</th> <th>TSG3n MD0</th> <th>タイマモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PWM モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>HT-PWM モード (HT-PWM)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>シフトパルス PWM モード (SP-PWM)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>120-DC モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>高精度シフトパルス PWM モード (HSP-PWM)</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	TSG3n MD2	TSG3n MD1	TSG3n MD0	タイマモード	0	0	0	PWM モード	0	0	1	HT-PWM モード (HT-PWM)	0	1	0	シフトパルス PWM モード (SP-PWM)	0	1	1	120-DC モード	1	0	0	高精度シフトパルス PWM モード (HSP-PWM)	上記以外			設定禁止
TSG3n MD2	TSG3n MD1	TSG3n MD0	タイマモード																											
0	0	0	PWM モード																											
0	0	1	HT-PWM モード (HT-PWM)																											
0	1	0	シフトパルス PWM モード (SP-PWM)																											
0	1	1	120-DC モード																											
1	0	0	高精度シフトパルス PWM モード (HSP-PWM)																											
上記以外			設定禁止																											

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

19.3.3 TSG3nCTL1 — TSG3n 制御レジスタ 1

TSG3n の各種フラグを制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 20C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBA2	TSG3n TBA1	TSG3n TBA0	TSG3n PPC	TSG3n PEC	TSG3n TDC	TSG3n NDC	TSG3n PRC	TSG3nPTC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.10 TSG3nCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TSG3nTBA2	TSG3nO5 端子と TSG3nO6 端子の同時アクティブの検出を選択します。 0 : TSG3nO5 端子と TSG3nO6 端子の同時アクティブを検出しない 1 : TSG3nO5 端子と TSG3nO6 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA2 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 2 (TSG3nTBF2) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
8	TSG3nTBA1	TSG3nO3 端子と TSG3nO4 端子の同時アクティブの検出を選択します。 0 : TSG3nO3 端子と TSG3nO4 端子の同時アクティブを検出しない 1 : TSG3nO3 端子と TSG3nO4 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA1 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 1 (TSG3nTBF1) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
7	TSG3nTBA0	TSG3nO1 端子と TSG3nO2 端子の同時アクティブの検出を選択します。 0 : TSG3nO1 端子と TSG3nO2 端子の同時アクティブを検出しない 1 : TSG3nO1 端子と TSG3nO2 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA0 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 0 (TSG3nTBF0) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
6	TSG3nPPC	TSG3nPTSI2-0、TSG3nOPF2-0 のパタン位相差異の検出 (TSG3nSTR2.TSG3nPPF) を制御します。 0 : 入力/出力パタンの差異検出禁止 1 : 入力/出力パタンの差異検出許可
5	TSG3nPEC	TSG3nPTSI2-0 のパタンエラーの検出 (TSG3nSTR2.TSG3nPEF) を制御します。 0 : TSG3nPTSI2-0 端子のパタンエラー検出を禁止 1 : TSG3nPTSI2-0 端子のパタンエラー検出を許可
4	TSG3nTDC	TSG3nOPCI0、TSG3nOPCI1 の同時トリガの検出 (TSG3nSTR2.TSG3nTDF) を制御します。 0 : TSG3nOPCI0、TSG3nOPCI1 の同時トリガ検出を禁止 1 : TSG3nOPCI0、TSG3nOPCI1 の同時トリガ検出を許可

表 19.10 TSG3nCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
3	TSG3nNDC	TSG3nPTSI2-0 のノイズ発生 (同時に 2 端子以上の変化) の検出 (TSG3nSTR2.TSG3nNDF) を制御します。 0 : TSG3nPTSI2-0 のノイズ発生の検出を禁止 1 : TSG3nPTSI2-0 のノイズ発生の検出を許可															
2	TSG3nPRC	TSG3nPTSI2-0 のパタンの反転の検出 (TSG3nSTR2.TSG3nPRF) を制御します。 0 : TSG3nPTSI2-0 のパタンの反転の検出を禁止 1 : TSG3nPTSI2-0 のパタンの反転の検出を許可															
1, 0	TSG3nPTC[1:0]	TSG3nOPCI1, 0 のトリガ間における TSG3nPTSI2-0 の端子の異常トグルの検出 (TSG3nSTR2.TSG3nPTF) を制御します。 <table border="1" data-bbox="667 622 1406 875"> <thead> <tr> <th>TSG3n PTC1</th> <th>TSG3n PTC0</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TSG3nPTSI2-0 の端子異常を検出しません</td> </tr> <tr> <td>0</td> <td>1</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>TSG3nPTSI2-0 の端子異常を検出します</td> </tr> <tr> <td>1</td> <td>1</td> <td>TSG3nPTSI2-0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます</td> </tr> </tbody> </table>	TSG3n PTC1	TSG3n PTC0	機能	0	0	TSG3nPTSI2-0 の端子異常を検出しません	0	1		1	0	TSG3nPTSI2-0 の端子異常を検出します	1	1	TSG3nPTSI2-0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます
TSG3n PTC1	TSG3n PTC0	機能															
0	0	TSG3nPTSI2-0 の端子異常を検出しません															
0	1																
1	0	TSG3nPTSI2-0 の端子異常を検出します															
1	1	TSG3nPTSI2-0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます															

注 意

1. TSG3nDTC0 または TSG3nDTC1 を 0000_H (デッドタイム無し) で使用する場合は、TSG3nTBA2-0 ビットは 0 にしてください。
2. このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

19.3.4 TSG3nCTL3 — TSG3n 制御レジスタ 3

コンペアレジスタの書き換え方法を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3nRIA	TSG3nRMC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 19.11 TSG3nCTL3 レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	TSG3nRIA	コンペアレジスタのリロードタイミングを選択 0: リロードタイミングは、山リロードタイミング (TSG3nCTL4.TSG3nPRE にて設定) と谷リロードタイミング (TSG3nCTL4.TSG3nVRE にて設定) 時に発生 1: リロードタイミングは、山割り込みタイミングと谷割り込みタイミング時に発生 このビットの設定は、リロードモード (TSG3nRMC = 0) 時に有効です。
0	TSG3nRMC	コンペアレジスタの転送タイミングを選択 0: リロードモード (一斉書き換え機能) リロード対象レジスタへライトするとリロードが許可され、次のリロードタイミングで一斉に更新されます (リロード)。リロード対象以外のレジスタへライトしてもリロードは許可されません。 リロード対象レジスタは「19.3.1 レジスタ一覧」を参照してください。 1: 随時書き換えモード 各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタに書き込むと随時ライトアクセスした値に更新されます。また、TSG3nRSF は、クリアされます。 120-DC モードおよび HSP-PWM モードでは、TSG3nRMC を 1 にセットしないでください。

19.3.5 TSG3nCTL4 — TSG3n 制御レジスタ 4

山割り込み、谷割り込みとリロードタイミングを制御します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 07C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3n PRE	TSG3n VRE	TSG3n PIE	TSG3n VIE	TSG3nRCC[04:00]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.12 TSG3nCTL4 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	TSG3nPRE	山リロードタイミングの許可/禁止を選択します。 0: 18ビットカウンタの山タイミングにおけるリロード動作を禁止する 1: 18ビットカウンタの山タイミングにおけるリロード動作を許可する <ul style="list-style-type: none"> 山リロードタイミングは、HT-PWM モード時の 18ビットカウンタの山タイミングと HT-PWM モード以外のコンペア一致による 18ビットカウンタのクリアタイミングを示します。 18ビットカウンタの山タイミングにおけるリロード動作を禁止 (TSG3nPRE = 0) した場合、HT-PWM 以外のモードでは、リロードが発生しません。
7	TSG3nVRE	谷リロードタイミングの許可/禁止を選択します。 0: 18ビットカウンタの谷タイミングにおけるリロード動作を禁止する 1: 18ビットカウンタの谷タイミングにおけるリロード動作を許可する このビットの設定は、HT-PWM モードのみ有効です。
6	TSG3nPIE	山割り込み (INTTSG3nIPEK) の発生許可/禁止を選択します。 0: 18ビットカウンタの山タイミングにおける山割り込み (INTTSG3nIPEK) の発生禁止。割り込み間引きの対象とはなりません。 1: 18ビットカウンタの山タイミングにおける山割り込み (INTTSG3nIPEK) の発生許可。割り込み間引きの対象となります。
5	TSG3nVIE	谷割り込み (INTTSG3nIVLY) の発生許可/禁止を選択します。 0: 18ビットカウンタの谷タイミングにおける谷割り込み (INTTSG3nIVLY) の発生禁止。割り込み間引きの対象とはなりません。 1: 18ビットカウンタの谷タイミングにおける谷割り込み (INTTSG3nIVLY) の発生許可。割り込み間引きの対象となります。 このビットの設定は、HT-PWM モードのみ有効です。

表 19.12 TSG3nCTL4 レジスタの内容 (2/2)

ビット位置	ビット名	機能					
4 ~ 0	TSG3nRCC [04:00]	割り込み (INTTSG3nIPEK、INTTSG3nIVLY) とリロードの間引き率を指定します。					
		TSG3n RCC04	TSG3n RCC03	TSG3n RCC02	TSG3n RCC01	TSG3n RCC00	間引き率
		0	0	0	0	0	間引きなし
		0	0	0	0	1	1/2
		0	0	0	1	0	1/3
		0	0	0	1	1	1/4
		⋮	⋮	⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮	⋮	⋮
		1	1	1	0	1	1/30
		1	1	1	1	0	1/31
		1	1	1	1	1	1/32
		タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL4 にライトアクセス (TSG3nRCC[04:00] への同一値を含む) した場合、割り込み間引きカウンタはクリアされます。					

19.3.6 TSG3nCTL5 — TSG3n 制御レジスタ 5

A/D 変換トリガ出力 (TSG3nADTRG0) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nACC [01:00]	TSG3n AT09	TSG3n AT08	TSG3n AT07	TSG3n AT06	TSG3n AT05	TSG3n AT04	TSG3n AT03	TSG3n AT02	TSG3n AT01	TSG3n AT00	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.13 TSG3nCTL5 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
11, 10	TSG3nACC [01:00]	A/D 変換トリガ (TSG3nADTRG0) の間引き率を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TSG3nACC 01</th> <th>TSG3nACC 00</th> <th>間引き率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>間引きなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1/2</td> </tr> <tr> <td>1</td> <td>0</td> <td>1/4</td> </tr> <tr> <td>1</td> <td>1</td> <td>1/8</td> </tr> </tbody> </table> <p>タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL5 にライトアクセス (TSG3nACC01, TSG3nACC00 への同一値を含む) した場合は、間引きカウンタはクリアされます。</p>	TSG3nACC 01	TSG3nACC 00	間引き率	0	0	間引きなし	0	1	1/2	1	0	1/4	1	1	1/8
TSG3nACC 01	TSG3nACC 00	間引き率															
0	0	間引きなし															
0	1	1/2															
1	0	1/4															
1	1	1/8															
9	TSG3nAT09	18 ビットサブカウンタがアップカウントからダウンカウントへ切り替わる (山) タイミングで A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT09 ビットは、HT-PWM モード時のみ、TSG3nAT09 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT09 = 0 に設定してください。 TSG3nDTC0W ≠ 0000_H、TSG3nDTC1W = 0000_H の場合に、TSG3nAT09 = 1 に設定しないでください。18 ビットサブカウンタの山タイミングでは A/D 変換トリガが発生しません。 															
8	TSG3nAT08	18 ビットサブカウンタがダウンカウントからアップカウントへ切り替わる (谷) タイミングでの A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT08 ビットは、HT-PWM モード時のみ、TSG3nAT08 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT08 = 0 に設定してください。 TSG3nDTC0W = 0000_H、TSG3nDTC1W ≠ 0000_H の場合に、TSG3nAT08 = 1 に設定しないでください。18 ビットサブカウンタの谷タイミングでは A/D 変換トリガが発生しません。 															
7	TSG3nAT07	18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする <p>このビットの設定は、HT-PWM モード時のみ、TSG3nAT07 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT07 = 0 に設定してください。</p>															

表 19.13 TSG3nCTL5 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	TSG3nAT06	18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする
5	TSG3nAT05	18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT05 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT05 = 0 に設定してください。
4	TSG3nAT04	18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする
3	TSG3nAT03	18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT03 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT03 = 0 に設定してください。
2	TSG3nAT02	18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする
1	TSG3nAT01	18 ビットカウンタがアップカウントからダウンカウントへ切り替わるタイミング (山割り込み) で、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとしない 1: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとする
0	TSG3nAT00	18 ビットカウンタがダウンカウントからアップカウントへ切り替わるタイミング (谷割り込み) で、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとしない 1: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT00 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT00 = 0 に設定してください。

19.3.7 TSG3nCTL6 — TSG3n 制御レジスタ 6

A/D 変換トリガ出力 (TSG3nADTRG1) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 00C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nACC [11:10]	TSG3n AT19	TSG3n AT18	TSG3n AT17	TSG3n AT16	TSG3n AT15	TSG3n AT14	TSG3n AT13	TSG3n AT12	TSG3n AT11	TSG3n AT10	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.14 TSG3nCTL6 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
11, 10	TSG3nACC [11:10]	A/D 変換トリガ (TSG3nADTRG1) の間引き率を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TSG3nACC 11</th> <th>TSG3nACC 10</th> <th>間引き率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>間引きなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1/2</td> </tr> <tr> <td>1</td> <td>0</td> <td>1/4</td> </tr> <tr> <td>1</td> <td>1</td> <td>1/8</td> </tr> </tbody> </table> <p>タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL6 にライトアクセス (TSG3nACC11, TSG3nACC10 への同一値を含む) した場合は、間引きカウンタはクリアされます。</p>	TSG3nACC 11	TSG3nACC 10	間引き率	0	0	間引きなし	0	1	1/2	1	0	1/4	1	1	1/8
TSG3nACC 11	TSG3nACC 10	間引き率															
0	0	間引きなし															
0	1	1/2															
1	0	1/4															
1	1	1/8															
9	TSG3nAT19	18 ビットサブカウンタがアップカウントからダウンカウントへ切り替わる (山) タイミングで A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT19 ビットは、HT-PWM モード時のみ、TSG3nAT19 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT19 = 0 に設定してください。 TSG3nDTC0W ≠ 0000_H, TSG3nDTC1W = 0000_H の場合に、TSG3nAT19 = 1 に設定しないでください。18 ビットサブカウンタの山タイミングでは A/D 変換トリガが発生しません。 															
8	TSG3nAT18	18 ビットサブカウンタがダウンカウントからアップカウントへ切り替わる (谷) タイミングでの A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT18 ビットは、HT-PWM モード時のみ、TSG3nAT18 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT18 = 0 に設定してください。 TSG3nDTC0W = 0000_H, TSG3nDTC1W ≠ 0000_H の場合に、TSG3nAT18 = 1 に設定しないでください。18 ビットサブカウンタの谷タイミングでは A/D 変換トリガが発生しません。 															
7	TSG3nAT17	18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする <p>このビットの設定は、HT-PWM モード時のみ、TSG3nAT17 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT17 = 0 に設定してください。</p>															

表 19.14 TSG3nCTL6 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	TSG3nAT16	18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする
5	TSG3nAT15	18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT15 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT15 = 0 に設定してください。
4	TSG3nAT14	18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする
3	TSG3nAT13	18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT13 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT13 = 0 に設定してください。
2	TSG3nAT12	18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする
1	TSG3nAT11	18 ビットカウンタがアップカウントからダウンカウントへ切り替わるタイミング (山割り込み) で、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとしない 1: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとする
0	TSG3nAT10	18 ビットカウンタがダウンカウントからアップカウントへ切り替わるタイミング (谷割り込み) で、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとしない 1: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT10 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT10 = 0 に設定してください。

19.3.8 TSG3nCTL7 — TSG3n 制御レジスタ 7

SP-PWM モードの動作開始 (TSG3nTE が 0 から 1) と、リスタート時の PWM 出力 TSG3nO1-6 の出力レベルを設定します。

このレジスタは SP-PWM モード (TSG3nMD2-0 = 010)、かつ動作停止時 (TSG3nTE = 0) のみ設定可能です。その他のモード (PWM モード、HT-PWM モード、120-DC モード、HSP-PWM モード) のとき、または動作中 (TSG3nTE=1) に、このレジスタを書き換えしないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 218_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSG3n SPSTL2	TSG3n SPSTL1	TSG3n SPSTL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 19.15 TSG3nCTL7 レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TSG3nSPSTL2	SP-PWM モード開始レベル制御ビット 2 0: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO5 (W 相) はクリア、TSG3nO6 (WB 相) はセットされる。 1: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO5 (W 相) はセット、TSG3nO6 (WB 相) はクリアされる。
1	TSG3nSPSTL1	SP-PWM モード開始レベル制御ビット 1 0: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO3 (V 相) はクリア、TSG3nO4 (VB 相) はセットされる。 1: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO3 (V 相) はセット、TSG3nO4 (VB 相) はクリアされる。
0	TSG3nSPSTL0	SP-PWM モード開始レベル制御ビット 0 0: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO1 (U 相) はクリア、TSG3nO2 (UB 相) はセットされる。 1: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO1 (U 相) はセット、TSG3nO2 (UB 相) はクリアされる。

備考

TSG3nSPSTL2-0 ビットの設定に応じて、動作開始時およびリスタート時に TSG3nO1-6 の出力が変化しますが、その際にも設定したデッドタイムは必ず挿入されます。

19.3.9 TSG3nCTL8 — TSG3n 制御レジスタ 8

このレジスタは、120-DC モードの入力パタン変更時のタイマ出力のタイミングを設定するレジスタです。

このレジスタは 120-DC モード (TSG3nMD2-0 = 011)、かつ動作停止時 (TSG3nTE = 0) のみ設定可能です。その他のモード (PWM モード、SP-PMW モード、HT-PWM モード、HSP-PWM モード) のとき、または動作中 (TSG3nTE = 1) にこのレジスタを書き換えないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 21C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3n S120DCO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 19.16 TSG3nCTL8 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSG3n S120DCO	120-DC モード制御ビット 0 0: 120-DC モードで入力パタンが変化すると、メインカウンタ (TSG3nCnTE) をクリアし、パタン変更を即時タイマ出力に反映する。 1: 120-DC モードで入力パタンが変化すると、メインカウンタ (TSG3nCnTE) と TSG3nCnMP0E の一致を待ってから (次のタイマ周期から)、パタン変更をタイマ出力に反映する。

注 意

120DC モードで TSG3nS120DCO = 1 に設定する場合は、TSG3nOPT0 の TSG3nSOC と、TSG3nOPT02 の TSG3nESSC は必ず "0" に設定してください。

また、タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) は、TSG3nOPT0 の TSG3nSTE, TSG3nPOT を変更しないでください。

19.3.10 TSG3nIOC0 — TSG3n I/O 制御レジスタ 0

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 200_H

リセット後の値 7E_H

ビット	7	6	5	4	3	2	1	0
	—	TSG3nTOE6	TSG3nTOE5	TSG3nTOE4	TSG3nTOE3	TSG3nTOE2	TSG3nTOE1	—
リセット後の値	0	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.17 TSG3nIOC0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 1	TSG3nTOE6-TSG3nTOE1	TSG3nIOC2 による TSG3nO6-1 の制御許可、禁止を設定します。1 の場合は、TSG3nIOC2 の書き換えは無視されます。 0: 許可 1: 禁止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

19.3.11 TSG3nIOC1 — TSG3n I/O 制御レジスタ 1

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 204_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TSG3nPTS	TSG3nEOC	TSG3nWOC	TSG3nTGS	TSG3nTOS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 19.18 TSG3nIOC1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TSG3nPTS	TSG3nPTSI0-2 のエッジ検出信号 (TSG3nPTE) と 2 相エンコーダカウント信号 (TSG3nPEC) の出力許可 / 禁止を選択します。 0 : TSG3nPTSI0-2 のエッジ検出でトグル信号の出力を禁止 1 : TSG3nPTSI0-2 のエッジ検出でトグル信号の出力を許可
3	TSG3nEOC	モータ制御時のエラー状態の検出を選択します。 0 : エラー割り込み (INTTSG3nIER) の発生を禁止する 1 : エラー割り込み (INTTSG3nIER) の発生を許可する エラー割り込み制御に関する詳細は「19.4.6.1 エラー割り込み機能」を参照してください。
2	TSG3nWOC	モータ制御時のワーニングの検出を選択します。 0 : ワーニング割り込み (INTTSG3nIWN) の発生を禁止する 1 : ワーニング割り込み (INTTSG3nIWN) の発生を許可する ワーニング割り込み制御に関する詳細は「19.4.6.2 ワーニング割り込み機能」を参照してください。
1	TSG3nTGS	A/D 変換トリガ診断出力 (TSG3nO7) 信号を選択します。 0 : A/D 変換トリガ出力を選択 1 : ダイアグ出力を選択
0	TSG3nTOS	タイマアップ / ダウンステータス出力 (TSG3nO0) 信号を選択します。 0 : 18 ビットカウンタのアップ / ダウンカウントフラグを出力 1 : 18 ビットサブカウンタのアップ / ダウンカウントフラグを出力 • TSG3nTOS = 0 の場合、TSG3nSTR0.TSG3nCUF の状態を TSG3nO0 へ出力します。また、TSG3nTOS = 1 の場合、TSG3nSTR0.TSG3nSUF の状態を TSG3nO0 へ出力します。 • このビットの設定は、HT-PWM モードのみ有効です。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

19.3.12 TSG3nIOC2 — TSG3n I/O 制御レジスタ 2

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TSG3nOL6	TSG3nOL5	TSG3nOL4	TSG3nOL3	TSG3nOL2	TSG3nOL1	—	—	TSG3nTO6	TSG3nTO5	TSG3nTO4	TSG3nTO3	TSG3nTO2	TSG3nTO1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.19 TSG3nIOC2 レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 9	TSG3nOL6-TSG3nOL1	TSG3nO6-TSG3nO1 出力のアクティブレベルを設定します。 0: アクティブレベルはハイレベル 1: アクティブレベルはロウレベル
8 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 1	TSG3nTO6-TSG3nTO1	TSG3nO6-TSG3nO1 の出力バッファのラッチレベルを設定します。 0: 出力バッファのラッチレベルはロウレベル 1: 出力バッファのラッチレベルはハイレベル
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

カウンタを停止 (TSG3nSTR0.TSG3nTE = 0) とした場合、TSG3nO1 ~ 6 端子は出力状態を保持します。出力レベルを変更する場合は TSG3nIOC0.TSG3nTOEm ビットを 0 にし TSG3nTOm ビットにより変更する必要があります。

このレジスタの設定は、TSG3nIOC0.TSG3nTOEm = 0 (m = 1 ~ 6) のとき、書き換え可能です。

備 考

TSG3nIOC2 による TSG3nOm の制御許可時 (TSG3nIOC0.TSG3nTOEm = 0)、TSG3nOm の出力レベルは、TSG3nIOC2 の TSG3nOLm ビットと TSG3nTOm ビットにより以下のように決まります。

TSG3nOLm	TSG3nTOm	TSG3nOm の出力レベル
0	0	ロウレベル
0	1	ハイレベル
1	0	ハイレベル
1	1	ロウレベル

19.3.13 TSG3nIOC3— TSG3n I/O 制御レジスタ 3

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TSG3n TOL6	TSG3n TOL5	TSG3n TOL4	TSG3n TOL3	TSG3n TOL2	TSG3n TOL1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.20 TSG3nIOC3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 1	TSG3nTOL6- TSG3nTOL1	出力のセット/クリアレベルを制御します。 0: 通常レベル出力 1: 反転レベル出力 このビットの設定は、出力開始時から反映され、出力レベルの変更は、変更後の次のコンペアー一致から出力レベルが反映されます。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

HT-PWM および HSP-PWM モードのときは TSG3nTOL6-TSG3nTOL1 は "0" としてください。

19.3.14 TSG3nSTR0 — TSG3n ステータスレジスタ 0

各種フラグを格納します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nCUF	TSG3nSUF	TSG3nRSF	TSG3nTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.21 TSG3nSTR0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	TSG3nCUF	18ビットカウンタのカウンタ状態を示すフラグです。 0: 18ビットカウンタはアップカウンタ状態 1: 18ビットカウンタはダウンカウンタ状態 TSG3nCUFはHT-PWMモード時のみ有効です。それ以外のモードの場合は、無効 (TSG3nCUF = 0) です。
2	TSG3nSUF	18ビットサブカウンタのカウンタ状態を示すフラグです。 0: 18ビットサブカウンタがアップカウンタ中 1: 18ビットサブカウンタがダウンカウンタ中 • TSG3nSUFは、18ビットサブカウンタのカウンタ動作が00000 _H から (TSG3nCMP0E値 - 00002 _H) までのカウンタをアップカウンタ、TSG3nCMP0E値から00002 _H までのカウンタをダウンカウンタとして検出します。 • このビットは、HT-PWMモードの場合のみ有効となります。
1	TSG3nRSF	リロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり • TSG3nRMC = 0時のみ有効です。 • このビットは、次に転送するデータが保留されていることを示します。 • このビットは、リロード対象レジスタへのライトで“1”にセットされ、リロード完了で“0”にクリアされます。 • HT-PWMモード時にTSG3nRMCを“0”から“1”に変更した場合、TSG3nRSFは、“0”にクリアされます。 リロード対象レジスタは「19.3.1 レジスタ一覧」を参照してください。
0	TSG3nTE	TSG3nの動作状態を示します。 0: 停止中 1: 動作中 このビットは、TSG3nTRG0.TSG3nTS = 1でセットされ、TSG3nTRG1.TSG3nTT = 1でクリアされます。

19.3.15 TSG3nSTR1 — TSG3n ステータスレジスタ 1

各種フラグを格納します。







アクセス 8ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 014_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nTSF	TSG3nOPF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.22 TSG3nSTR1 レジスタの内容

ビット位置	ビット名	機能						
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。						
3	TSG3nTSF	<p>TSG3nPTSI0-2 で検出したパターンの変化順序を示すフラグです。</p> <p>0 : 正転の順番で TSG3nPTSI0-2 が入力 1 : 逆転の順番で TSG3nPTSI0-2 が入力</p> <table border="1" style="margin-left: 20px;"> <tr> <td>正転</td> <td></td> </tr> <tr> <td>逆転</td> <td></td> </tr> <tr> <td>TSG3nPTSI2-TSG3nPTSI0</td> <td>[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]</td> </tr> </table> <p>正転、逆転を検出できるのは、TSG3nTRG0.TSG3nTS = 1 に設定後、1 回目の TSG3nPTSI0-2 の変化からです。詳細は「19.4.3.5(b) 入力パターン変化の順序検出」を参照してください。</p>	正転		逆転		TSG3nPTSI2-TSG3nPTSI0	[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]
正転								
逆転								
TSG3nPTSI2-TSG3nPTSI0	[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]							
2 ~ 0	TSG3nOPF [2:0]	タイマ出力 (TSG3nO1-TSG3nO6 端子) のパターン出力を示すフラグです。						

19.3.16 TSG3nSTR2 — TSG3n ステータスレジスタ 2

各種フラグを格納します。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 018_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBF2	TSG3n TBF1	TSG3n TBF0	TSG3n PPF	TSG3n PEF	TSG3n TDF	TSG3n NDF	TSG3n PRF	TSG3n PTF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.23 TSG3nSTR2 レジスタの内容 (1/3)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9	TSG3nTBF2	<p>TSG3nCTL1.TSG3nTBA2 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0: 正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブになっていない 1: 正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> TSG3nTBF2 は、正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR2 に “1” をライトすることで TSG3nTBF2 をクリアできます。 TSG3nTBA2 = 0 の場合は、同時アクティブを検出しません。
8	TSG3nTBF1	<p>TSG3nCTL1.TSG3nTBA1 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0: 正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブになっていない 1: 正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> TSG3nTBF1 は、正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR1 に “1” をライトすることで TSG3nTBF1 をクリアできます。 TSG3nTBA1 = 0 の場合は、同時アクティブを検出しません。
7	TSG3nTBF0	<p>TSG3nCTL1.TSG3nTBA0 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0: 正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブになっていない 1: 正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> TSG3nTBF0 は、正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR0 に “1” をライトすることで TSG3nTBF0 をクリアできます。 TSG3nTBA0 = 0 の場合は、同時アクティブを検出しません。

表 19.23 TSG3nSTR2 レジスタの内容 (2/3)

ビット位置	ビット名	機能
6	TSG3nPPF	<p>入力パターン (TSG3nPTSI0-2) と出力パターン (TSG3nO1-TSG3nO6) で比較し、差異を検出するフラグです。</p> <p>0 : TSG3nPTSI0-2 と TSG3nO1-TSG3nO6 出力間で位相差異を検出していない 1 : TSG3nPTSI0-2 と TSG3nO1-TSG3nO6 出力間で位相差異を検出</p> <p>• TSG3nPPF は、入力/出力パタンの差異を検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPPR に "1" をライトすることで TSG3nPPF をクリアできます。</p>
5	TSG3nPEF	<p>入力異常 (TSG3nPTSI0-2 に 000_B または 111_B が入力されたこと) を検出するフラグです。</p> <p>0 : TSG3nPTSI0-2 に 000_B または 111_B は入力されていない 1 : TSG3nPTSI0-2 に 000_B または 111_B が入力されたことを検出</p> <p>TSG3nPEF は、TSG3nPTSI0-2 に 000_B または 111_B が入力されたことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPER に "1" をライトすることで TSG3nPEF をクリアできます。</p> <p>TSG3nPEF は、TSG3nCTL1.TSG3nPEC = 1 の場合、有効となります。</p>
4	TSG3nTDF	<p>TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出するフラグです。</p> <p>0 : TSG3nOPCI0, TSG3nOPCI1 のトリガは同時に発生していない 1 : TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出</p> <p>TSG3nTDF は、TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nTDR に "1" をライトすることで TSG3nTDF をクリアできます。</p> <p>TSG3nTDF は、TSG3nCTL1.TSG3nTDC = 1 の場合、有効となります。</p>
3	TSG3nNDF	<p>TSG3nPTSI0-2 にノイズが発生したことを検出するフラグです。</p> <p>0 : TSG3nPTSI0-2 に 2 端子以上の同時変化によるノイズは発生していない 1 : TSG3nPTSI0-2 に 2 端子以上の同時変化によるノイズが発生したことを検出</p> <p>TSG3nNDF は、TSG3nPTSI0-2 で同時に 2 端子以上の値が変化したことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nNDR に "1" をライトすることで TSG3nNDF をクリアできます。</p> <p>TSG3nNDF は、TSG3nCTL1.TSG3nNDC = 1 の場合、有効となります。</p>
2	TSG3nPRF	<p>TSG3nPTSI0-2 の入力順序が反転したことを検出するフラグです。</p> <p>0 : TSG3nPTSI0-2 の入力順序が反転していない 1 : TSG3nPTSI0-2 の入力順序が反転したことを検出</p> <p>TSG3nPRF は、TSG3nSTR1.TSG3nTSF の変化タイミングでセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。</p> <p>また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPRR に "1" をライトすることで TSG3nPRF をクリアできます。TSG3nTRG0.TSG3nTS = 1 に設定後、2 回目の TSG3nPTSI0-2 変化タイミングから検出可能です。</p> <p>TSG3nPRF は、TSG3nCTL1.TSG3nPRC = 1 の場合、有効となります。</p>

表 19.23 TSG3nSTR2 レジスタの内容 (3/3)

ビット位置	ビット名	機能
1	TSG3nPTF	<p>TSG3nPTSI0-2 の異常トグルを検出するフラグです。 0 : TSG3nPTSI0-2 の異常トグルを検出していない 1 : TSG3nPTSI0-2 の異常トグルを検出</p> <p>TSG3nPTF は、TSG3nOPCI0 のトリガ間に TSG3nPTSI0-2 (TSG3nPTE 信号トグル) が 3 回以上変化した場合、または、TSG3nOPCI1 のトリガ間に TSG3nPTSI0-2 (TSG3nPTE 信号トグル) が 3 回以上変化した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPTR に "1" をライトすることで TSG3nPTF をクリアできません。</p> <p>TSG3nPTF は、TSG3nCTL1.TSG3nPTC[1:0] = 10_B、または 11_B の場合、有効となります。</p>
0	予約ビット	リードした場合はリセット後の値が読めます。

19.3.17 TSG3nSTC — TSG3n ステータスクリアトリガレジスタ

各種フラグを制御します。

アクセス 16ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 01C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBR2	TSG3n TBR1	TSG3n TBR0	TSG3n PPR	TSG3n PER	TSG3n TDR	TSG3n NDR	TSG3n PRR	TSG3n PTR	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W	W	W	W	W	W	W	W	R

表 19.24 TSG3nSTC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	ライトする場合はリセット後の値（または固定値）を書いてください。
9	TSG3nTBR2	TSG3nSTR2.TSG3nTBF2 をクリアするトリガビットです。 0: TSG3nTBF2 をクリアしない 1: TSG3nTBF2 をクリアする TSG3nTBR2 のライトタイミングと TSG3nSTR2.TSG3nTBF2 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF2 のセットが優先され、フラグはクリアされません。
8	TSG3nTBR1	TSG3nSTR2.TSG3nTBF1 をクリアするトリガビットです。 0: TSG3nTBF1 をクリアしない 1: TSG3nTBF1 をクリアする TSG3nTBR1 のライトタイミングと TSG3nSTR2.TSG3nTBF1 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF1 のセットが優先され、フラグはクリアされません。
7	TSG3nTBR0	TSG3nSTR2.TSG3nTBF0 をクリアするトリガビットです。 0: TSG3nTBF0 をクリアしない 1: TSG3nTBF0 をクリアする TSG3nTBR0 のライトタイミングと TSG3nSTR2.TSG3nTBF0 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF0 のセットが優先され、フラグはクリアされません。
6	TSG3nPPR	TSG3nSTR2.TSG3nPPF をクリアするトリガビットです。 0: TSG3nPPF をクリアしない 1: TSG3nPPF をクリアする TSG3nPPR のライトタイミングと TSG3nSTR2.TSG3nPPF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPPF のセットが優先され、フラグはクリアされません。
5	TSG3nPER	TSG3nSTR2.TSG3nPEF をクリアするトリガビットです。 0: TSG3nPEF をクリアしない 1: TSG3nPEF をクリアする TSG3nPER のライトタイミングと TSG3nSTR2.TSG3nPEF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPEF のセットが優先され、フラグはクリアされません。
4	TSG3nTDR	TSG3nSTR2.TSG3nTDF をクリアするトリガビットです。 0: TSG3nTDF をクリアしない 1: TSG3nTDF をクリアする TSG3nTDR のライトタイミングと TSG3nSTR2.TSG3nTDF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTDF のセットが優先され、フラグはクリアされません。

表 19.24 TSG3nSTC レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	TSG3nNDR	<p>TSG3nSTR2.TSG3nNDF をクリアするトリガビットです。 0 : TSG3nNDF をクリアしない 1 : TSG3nNDF をクリアする</p> <p>TSG3nNDR のライトタイミングと TSG3nSTR2.TSG3nNDF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nNDF のセットが優先され、フラグはクリアされません。</p>
2	TSG3nPRR	<p>TSG3nSTR2.TSG3nPRF をクリアするトリガビットです。 0 : TSG3nPRF をクリアしない 1 : TSG3nPRF をクリアする</p> <p>TSG3nPRR のライトタイミングと TSG3nSTR2.TSG3nPRF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPRF のセットが優先され、フラグはクリアされません。</p>
1	TSG3nPTR	<p>TSG3nSTR2.TSG3nPTF をクリアするトリガビットです。 0 : TSG3nPTF をクリアしない 1 : TSG3nPTF をクリアする</p> <p>TSG3nPTR のライトタイミングと TSG3nSTR2.TSG3nPTF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPTF のセットが優先され、フラグはクリアされません。</p>
0	予約ビット	ライトする場合はリセット後の値 (または固定値) を書いてください。

19.3.18 TSG3nOPT0 — TSG3n オプションレジスタ 0

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 020_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	TSG3nSOC	TSG3nSTE	TSG3nPOT	TSG3nPSS	TSG3nIDC	TSG3nPSC	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.25 TSG3nOPT0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TSG3nSOC	ソフトウェアによるタイマ出力 (TSG3nO1-TSG3nO6 端子) の制御を選択します。 0: ソフトウェア制御禁止 1: ソフトウェア制御許可 TSG3nSOC をセット (1) した場合、タイマ出力を TSG3nSPC2-TSG3nSPC0 で設定したソフトウェア制御機能/トリガ制御の出力パターンに切り替えます。その際、デッドタイムカウンタによりデッドタイムを確保します。
5	TSG3nSTE	パタン出カトリガによる制御の許可/禁止を選択します。 0: TSG3nPTSI0-TSG3nPTSI2 と TSG3nOPCI0, TSG3nOPCI1 の入力を禁止 1: TSG3nPTSI0-TSG3nPTSI2 と TSG3nOPCI0, TSG3nOPCI1 の入力を許可 • パタン出カトリガは、TSG3nPOT で選択します。 • TSG3nSTE は、120-DC モードとソフトウェア出力制御機能のとき、有効となります。
4	TSG3nPOT	パタン出カトリガを選択します。 0: 外部パタン入力端子 (TSG3nPTSI0-TSG3nPTSI2) による出力パターン切り替え (パタン切り替え方式) 1: TSG3nOPCI0, TSG3nOPCI1 の立ち上がりエッジによる出力切り替え (トリガ切り替え方式)
3	TSG3nPSS	パタン出力順序切り替え要因を選択します。 0: TSG3nPSC によるパタン出力順序の切り替えを使用しない 1: TSG3nPSC によるパタン出力順序の切り替えを使用する
2	TSG3nIDC	TSG3nIDC と TSG3nSTR1, TSG3nTSF、TSG3nPSC 信号の組み合わせで、TSG3nO1-TSG3nO6 端子の出力パターンを決定します。 タイマ出力順序および出力されるパタンについては「19.4.7.6 (5) 120-DC モードの動作」の図 19.87 ~ 図 19.90 の 120-DC モードの動作例を参照してください。

表 19.25 TSG3nOPT0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TSG3nPSC	<p>セミアートドライブ時のパタン出力順序を選択します。</p> <p>0: 正転の順番でタイマ出力 (TSG3nO1-TSG3nO6) を切り替える 1: 逆転の順番でタイマ出力 (TSG3nO1-TSG3nO6) を切り替える</p> <ul style="list-style-type: none"> • TSG3nPSC は、TSG3nSPC2-TSG3nSPC0 で設定した出力パターンを初期パターンとして、タイマ出力パタンの順序を指定します。また、TSG3nPSC は TSG3nPOT = 1 かつ TSG3nPSS = 1 のとき、有効です。 • TSG3nPSC は、TSG3nSTR0.TSG3nTE = 0、または、TSG3nPOT = 0 のときに変更することを推奨します。TSG3nPOT = 1 のときに書き換えた場合、タイマ出力パターンが期待と異なる場合があります。 • TSG3n 動作停止中 (TSG3nSTR0.TSG3nTE = 0) の状態で、TSG3nPTSI0-TSG3nPTSI2 に入力されている信号が変化する場合、入力信号の変化論理と、TSG3nPSC の順序を合わせてから、TSG3nTRG0.TSG3nTS ビット = 1 を設定してください。 • 正転、逆転における出力順序は、「19.4.7.6 120-DC モード」を参照してください。 ここでの正転、逆転の定義は出力の変化を表しているもので、モータ回転の正転、逆転と同じ意味ではありません。
0	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p>

19.3.19 TSG3nOPT1 — TSG3n オプションレジスタ 1

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 024_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSG3nSPC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 19.26 TSG3nOPT1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	TSG3nSPC [2:0]	ソフトウェア出力機能時および 120-DC モード時のタイマ出力のパターンを設定します。出力パターンについては、「19.4.7.10 ソフトウェア出力制御機能」、「19.4.7.6 120-DC モード」を参照してください。

19.3.20 SG3nOPT2 — TSG3n オプションレジスタ 2

EMU2 から入力される矩形波を TSG3 の PWM 出力として使用するために設定するレジスタです。このレジスタは HT-PWM モード (TSG3nMD2-0 = 001)、かつリロード動作 (TSG3nRMC = 0) のときのみ“1”に設定可能です。それ以外のモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) のとき、または随時書き込み動作 (TSG3nRMC = 1) のときにこのレジスタを書き換えしないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 03C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nESSC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 19.27 TSG3nOPT2 レジスタの内容

ビット位置	ビット名	機能
0	TSG3nESSC	EMU2 矩形波選択制御ビット 0 : TSG3 のタイマ出力は TSG3nMD2-0 で選択される HT-PWM モードの出力になる。 1 : TSG3 のタイマ出力を EMU2 から入力される U 相出力パターン値、V 相出力パターン値、W 相出力パターン値に切り替える (ESW 機能)。 TSG3nESSC を 0 から 1 に変更した場合、即時タイマ出力が U 相出力パターン値、V 相出力パターン値、W 相出力パターン値に切り替わります。 TSG3nESSC を 1 から 0 に変更した場合、次のリロードタイミングでタイマ出力を HT-PWM モードに切り替えます。

19.3.21 TSG3nOPT2BF — TSG3n オプション 2 バッファレジスタ

TSG3nOPT2 レジスタのバッファレジスタです。TSG3nOPT2 レジスタに設定した値を以下のタイミングで取り込みます。

TSG3nO1-6 の出力が EMU2 から入力される矩形波かどうかを示すレジスタで、リードのみが可能です。このレジスタに値を書き込んでも、書き込んだ値は反映されません。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 0CC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nESSCBF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.28 TSG3nOPT2BF レジスタの内容

ビット位置	ビット名	機能
0	TSG3nESSCBF	EMU2 矩形波選択制御バッファビット 0 : TSG3 のタイマ出力 (TSG3nO1-6) は、TSG3nMD2-0 で選択されるモードの PWM 出力 1 : TSG3 のタイマ出力 (TSG3nO1-6) は、ESW 機能 (EMU2 から入力される U 相出力パターン値、V 相出力パターン値、W 相出力パターン値にデッドタイムを付加) の出力

取り込むタイミング

- 動作開始 (TSG3nTE = 0 の状態で、TSG3nTS ビットに 1 をライト) タイミング
- リスタート (TSG3nTE = 1 の状態で、TSG3nTS ビットに 1 をライト) タイミング
- TSG3nESSC を 0 から 1 にしたときは、次の PCLK の立ち上がりタイミング
- TSG3nESSC を 1 から 0 にしたときは、次のリロードタイミング

19.3.22 TSG3nTRG0 — TSG3n トリガレジスタ 0

タイマの開始を制御します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 030_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 19.29 TSG3nTRG0 レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値（または固定値）を書いてください。
0	TSG3nTS	タイマの開始を制御するトリガビットです。 0: タイマを開始しない 1: タイマを開始する（TSG3nSTR0.TSG3nTE = 1 であればリスタートする） リスタート時、18 ビットカウンタが初期化されます。 リード時は常に“0”が読み出されます。

19.3.23 TSG3nTRG1 — TSG3n トリガレジスタ 1

タイマの停止を制御します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 034_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 19.30 TSG3nTRG1 レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値（または固定値）を書いてください。
0	TSG3nTT	タイマの停止を制御するトリガビットです。 0: タイマを停止しない 1: タイマを停止する（TSG3nSTR0.TSG3nTE = 0） リード時は常に“0”が読み出されます。

19.3.24 TSG3nTRG2 — TSG3n トリガレジスタ 2

HT-PWM モード時の随時書き込みモードで PWM のデューティ設定を、TSG3nO1-6 に反映させるトリガビットです。

このレジスタは HT-PWM モード、かつ随時書き込みモード (TSG3nRMC = 1) のときのみ“1”に設定可能です。その他のモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) のとき、またはリロードモード (TSG3nRMC = 0) のときにこのレジスタを書き換えないでください。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 038_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nIMT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 19.31 TSG3nTRG2 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値 (または固定値) を書いてください。
0	TSG3nIMT	随時書き込みトリガビット 0: 無効 1: HT-PWM モードかつ随時書き込みモードのとき、U, V, W のデューティ変更をタイマ出力に反映する。

19.3.25 TSG3nCNT — TSG3n カウンタリードバッファレジスタ

このレジスタは 18 ビットである TSG3nCnTE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCnTE レジスタ「[19.3.26 TSG3nCnTE — TSG3n ビット拡張カウンタリードバッファレジスタ](#)」を参照してください。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 028_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16ビットカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

19.3.26 TSG3nCnTE — TSG3n ビット拡張カウンタリードバッファレジスタ

カウンタ値をリードするレジスタです。このレジスタはミラー構成になっていて、TSG3nCnT レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 1A0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット カウンタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18 ビットカウンタ

このレジスタは、18 ビットカウンタの値をリードできるタイマリードバッファレジスタです。HT-PWM モード時は、カウントアップ/ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に“0”をリードします。

また、HT-PWM モード以外では、カウントアップを 1 カウントずつで行うのこぎり波制御です。

表 19.32 TSG3nCnTE レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nDTC0	TSG3nDTC0	TSG3nDTC0 + TSG3nCnMP0E 注 1
その他のモード	00000 _H	00000 _H	TSG3nCnMP0E

注 1. TSG3nDTC0 + TSG3nCnMP0E < 3FFFF_H の設定値で使用してください。

19.3.27 TSG3nSBC — TSG3n サブカウンタリードバッファレジスタ

このレジスタは 18 ビットである TSG3nSBCE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nSBCE レジスタ「19.3.28 TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ」を参照してください。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 02C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットサブカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

19.3.28 TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ

サブカウンタ値をリードするレジスタです。このレジスタはミラー構成になっていて、TSG3nSBC レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 1A4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビットサブカウンタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットサブカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18 ビットサブカウンタ

このレジスタは、18 ビットサブカウンタの値をリードできるタイマリードバッファレジスタです。HT-PWM モード時は、カウントアップ/ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に“0”をリードします。(HT-PWM モード時のみ使用可能です。)

表 19.33 TSG3nSBCE レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nDTC0	0000 _H	TSG3nDTC0 + TSG3nDTC1 + TSG3nCMP0E 注 1
その他のモード	0000 _H	0000 _H	0000 _H

注 1. TSG3nDTC0 + TSG3nDTC1 + TSG3nCMP0E < 3FFFF_H の設定値で使用してください。

19.3.29 TSG3nCMP0 — TSG3n コンペアレジスタ 0

このレジスタは 18 ビットである TSG3nCMP0E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP0E レジスタ「**19.3.30 TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 058_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.30 TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0

すべてのモードで PWM 周期を設定する 18 ビットのコンペアレジスタです。このレジスタはミラー構成になっていて、TSG3nCMP0 レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 14C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.34 TSG3nCMP0E レジスタの設定

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nCMP0E 注1	00002 _H	3FFFE _H
その他のモード	TSG3nCMP0E + 1	1 (TSG3nCMP0E = 00000 _H)	40000 _H (TSG3nCMP0E = 3FFFF _H)

注 1. HT-PWM モードでは、最下位 ビットは無視されます。

19.3.31 TSG3nCMP1W — TSG3n コンペアレジスタ 1, 2

このレジスタは 18 ビットである TSG3nCMP1E, 2E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP2 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP1 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.32 TSG3nCMP3W — TSG3n コンペアレジスタ 3, 4

このレジスタは 18 ビットである TSG3nCMP3E, 4E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 04C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP4 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP3 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.33 TSG3nCMP5W — TSG3n コンペアレジスタ 5, 6

このレジスタは 18 ビットである TSG3nCMP5E, 6E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 044_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP6 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP5 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.34 TSG3nCMP7W — TSG3n コンペアレジスタ 7, 8

このレジスタは 18 ビットである TSG3nCMP7E, 8E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 050_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP8 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP7 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.35 TSG3nCMP9W — TSG3n コンペアレジスタ 9, 10

このレジスタは 18 ビットである TSG3nCMP9E, 10E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 048_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP10 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP9 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.36 TSG3nCMP11W — TSG3n コンペアレジスタ 11, 12

このレジスタは 18 ビットである TSG3nCMP11E, 12E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 054_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP12 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP11 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.37 TSG3nCMP1-TSG3nCMP12 — TSG3n コンペアレジスタ 1-12

このレジスタは 18 ビットである TSG3nCMP1E-12E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス TSG3nCMP1 <TSG3n_base> + 080_H
 TSG3nCMP2 <TSG3n_base> + 084_H
 TSG3nCMP3 <TSG3n_base> + 098_H
 TSG3nCMP4 <TSG3n_base> + 09C_H
 TSG3nCMP5 <TSG3n_base> + 088_H
 TSG3nCMP6 <TSG3n_base> + 08C_H
 TSG3nCMP7 <TSG3n_base> + 0A0_H
 TSG3nCMP8 <TSG3n_base> + 0A4_H
 TSG3nCMP9 <TSG3n_base> + 090_H
 TSG3nCMP10 <TSG3n_base> + 094_H
 TSG3nCMP11 <TSG3n_base> + 0A8_H
 TSG3nCMP12 <TSG3n_base> + 0AC_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12

コンペア値を設定します。これらのレジスタはミラー構成になっていて、TSG3nCMP1-12 および、TSG3nCMP1W, 3W, 5W, 7W, 9W, 11W レジスタを用いてこれらのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス TSG3nCMP1E <TSG3n_base> + 17C_H
 TSG3nCMP2E <TSG3n_base> + 178_H
 TSG3nCMP3E <TSG3n_base> + 164_H
 TSG3nCMP4E <TSG3n_base> + 160_H
 TSG3nCMP5E <TSG3n_base> + 174_H
 TSG3nCMP6E <TSG3n_base> + 170_H
 TSG3nCMP7E <TSG3n_base> + 15C_H
 TSG3nCMP8E <TSG3n_base> + 158_H
 TSG3nCMP9E <TSG3n_base> + 16C_H
 TSG3nCMP10E <TSG3n_base> + 168_H
 TSG3nCMP11E <TSG3n_base> + 154_H
 TSG3nCMP12E <TSG3n_base> + 150_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.35 TSG3nCMP1E-TSG3nCMP12E レジスタの設定 (1/2)

レジスタ	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード	HSP-PWM モード
TSG3nCMP1E	TSG3nO1 のクリアタイミング	TSG3nO1 のクリアタイミング / TSG3nO2 のセットタイミング		TSG3nO1, 3, 5 の出カパタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO1 のクリアタイミング
TSG3nCMP2E	TSG3nO1 のセットタイミング	TSG3nO1 のセットタイミング / TSG3nO2 のクリアタイミング			TSG3nO1 のセットタイミング
TSG3nCMP3E	TSG3nO2 のクリアタイミング	—		TSG3nO2, 4, 6 の出カパタンを TSG3nPAT1 で選択した場合のデューティ	TSG3nO2 のクリアタイミング
TSG3nCMP4E	TSG3nO2 のセットタイミング	—			TSG3nO2 のセットタイミング
TSG3nCMP5E	TSG3nO3 のクリアタイミング	TSG3nO3 のクリアタイミング / TSG3nO4 のセットタイミング		TSG3nO1, 3, 5 の出カパタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO3 のクリアタイミング
TSG3nCMP6E	TSG3nO3 のセットタイミング	TSG3nO3 のセットタイミング / TSG3nO4 のクリアタイミング			TSG3nO3 のセットタイミング
TSG3nCMP7E	TSG3nO4 のクリアタイミング	—		TSG3nO2, 4, 6 の出カパタンを TSG3nPAT1 で選択した場合のデューティ	TSG3nO4 のクリアタイミング
TSG3nCMP8E	TSG3nO4 のセットタイミング	—			TSG3nO4 のセットタイミング
TSG3nCMP9E	TSG3nO5 のクリアタイミング	TSG3nO5 のクリアタイミング / TSG3nO6 のセットタイミング		TSG3nO1, 3, 5 の出カパタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO5 のクリアタイミング
TSG3nCMP10E	TSG3nO5 のセットタイミング	TSG3nO5 のセットタイミング / TSG3nO6 のクリアタイミング			TSG3nO5 のセットタイミング

表 19.35 TSG3nCMP1E-TSG3nCMP12E レジスタの設定 (2/2)

レジスタ	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード	HSP-PWM モード
TSG3nCMP11E	TSG3nO6 のクリアタイミング	—	—	TSG3nO2, 4, 6 の出カパタンを	TSG3nO6 のクリアタイミング
TSG3nCMP12E	TSG3nO6 のセットタイミング	—	—	TSG3nPAT1 で選択した場合のデューティ	TSG3nO6 のセットタイミング

備考

デッドタイム機能は、すべての動作モードで動作します。
 HT-PWM モードの場合、TSG3nCNTE だけでなく、TSG3nSBCE でもコンペアマッチが発生します。
 120-DC モードの場合、TSG3nO1-TSG3nO6 出力は TSG3nCMPmE, TSG3nPAT0, TSG3nPAT1 レジスタで制御します。

19.3.39 TSG3nDCMP0W — TSG3n ダイアグ出力用コンペアレジスタ 0, 1

このレジスタは 18 ビットである TSG3nDCMP0E, 1E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nDCMP0E-2E レジスタ「19.3.41 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 05C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nDCMP1 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDCMP0 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.40 TSG3nDCMP2 — TSG3n ダイアグ出力用コンペアレジスタ 2

このレジスタは 18 ビットである TSG3nDCMP2E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nDCMP0E-2E レジスタ「**19.3.41 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nDCMP2 (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.41 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2

コンペア値を設定します。これらのレジスタはミラー構成になっていて、TSG3nDCMP0W および、TSG3nDCMP2 レジスタを用いてこれらのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス TSG3nDCMP0E <TSG3n_base> + 148_H

TSG3nDCMP1E <TSG3n_base> + 144_H

TSG3nDCMP2E <TSG3n_base> + 140_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
18 ビットコンペアレジスタ																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

このレジスタの設定は、すべてのモードにおいてダイアグ出力、もしくは A/D 変換トリガ タイミングを制御します。このレジスタと 18 ビットカウンタの一致でパルスを生成します。

19.3.42 TSG3nPAT0W — TSG3n パタンレジスタ 0

出力パタンを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5T		PAT4T			PAT3T			PAT2T			PAT1T			PAT0T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パタン

このレジスタは、120-DC モード用 UT/VT/WT の出力制御を行うレジスタです。

表 19.36 TSG3nPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウレベル固定
001	TSG3nCMP1E で設定した PWM 出力
010	TSG3nCMP2E で設定した PWM 出力
011	TSG3nCMP5E で設定した PWM 出力
100	TSG3nCMP6E で設定した PWM 出力
101	TSG3nCMP9E で設定した PWM 出力
110	TSG3nCMP10E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

19.3.43 TSG3nPAT1W — TSG3n パタンレジスタ 1

出力パターンを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5B	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5B		PAT4B			PAT3B			PAT2B			PAT1B			PAT0B	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パターン

このレジスタは、120-DC モード用 UB/VB/WB の出力制御を行うレジスタです。

表 19.37 TSG3nPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウレベル固定
001	TSG3nCMP3E で設定した PWM 出力
010	TSG3nCMP4E で設定した PWM 出力
011	TSG3nCMP7E で設定した PWM 出力
100	TSG3nCMP8E で設定した PWM 出力
101	TSG3nCMP11E で設定した PWM 出力
110	TSG3nCMP12E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

19.3.44 TSG3nDTC0W — TSG3n デッドタイム設定レジスタ 0

デッドタイム値（逆相インアクティブ→正相アクティブ間）を設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 06C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ライトプロテクションコードチェック															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDTC0 (10ビットデッドタイムコンペア)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSG3nDTC0W[0:9] を書き換える場合、TSG3nDTPR の 14-0 ビットと TSG3nDTCM = 0 を設定し、TSG3nDTC0W を書き換えます。このとき、TSG3nDTC0W[30:16] の書き換え値と TSG3nDTPR の値が一致した場合、TSG3nDTC0W が書き換わります。

タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) の書き換えは、リロードモード (TSG3nCTL3.TSG3nRMC = 0) 時に行ってください。

19.3.45 TSG3nDTC1W — TSG3n デッドタイム設定レジスタ 1

デッドタイム値（正相インアクティブ→逆相アクティブ間）を設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 070_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ライトプロテクションコードチェック															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDTC1 (10ビットデッドタイムコンペア)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSG3nDTC1W[0:9] を書き換える場合、TSG3nDTPR の 14-0 ビットと TSG3nDTCM = 0 を設定し、TSG3nDTC1W を書き換えます。このとき、TSG3nDTC1W[30:16] の書き換え値と TSG3nDTPR の値が一致した場合、TSG3nDTC1W が書き換わります。

タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) の書き換えは、リロードモード (TSG3nCTL3.TSG3nRMC = 0) 時に行ってください。

19.3.46 TSG3nCMPU — TSG3n HT-PWM U 相用コンペアレジスタ

このレジスタは 18 ビットである TSG3nCMPUE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPUE レジスタ「[19.3.49 TSG3nCMPUE — TSG3n ビット拡張 U 相用コンペアレジスタ](#)」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMPU (16ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.47 TSG3nCMPV — TSG3n HT-PWM V 相用コンペアレジスタ

このレジスタは 18 ビットである TSG3nCMPVE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPVE レジスタ「**19.3.50 TSG3nCMPVE — TSG3n ビット拡張 V 相用コンペアレジスタ**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nCMPV (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.48 TSG3nCMPW — TSG3n HT-PWM W 相用コンペアレジスタ

このレジスタは 18 ビットである TSG3nCMPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPWE レジスタ「**19.3.51 TSG3nCMPWE — TSG3n ビット拡張 W 相用コンペアレジスタ**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nCMPW (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.49 TSG3nCMPUE — TSG3n ビット拡張 U 相用コンペアレジスタ

HT-PWM モード時の U 相用のコンペア値を設定します。機能は TSG3nCMP1E, 2E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPUE のライトデータが TSG3nCMP1E, 2E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 19.2 参照)。このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPU レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 188_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

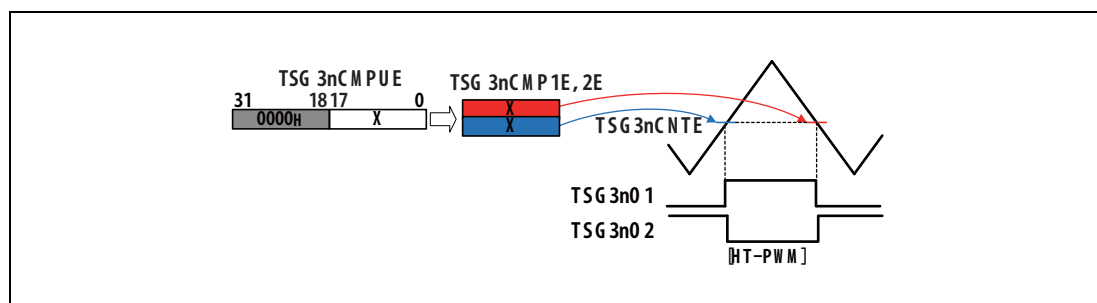


図 19.2 TSG3nCMPUE レジスタのレジスタアクセス

19.3.50 TSG3nCMPVE — TSG3n ビット拡張 V 相用コンペアレジスタ

HT-PWM モード時の V 相用のコンペア値を設定します。機能は TSG3nCMP5E, 6E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPVE のライトデータが TSG3nCMP5E, 6E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 19.3 参照)。このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPV レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 184_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

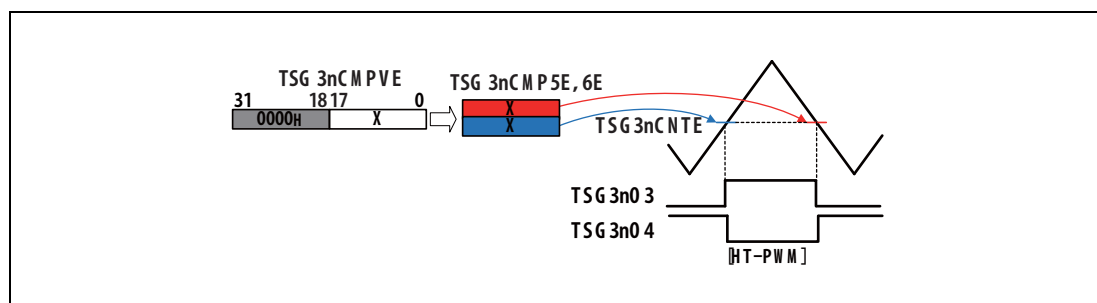


図 19.3 TSG3nCMPVE レジスタのレジスタアクセス

19.3.51 TSG3nCMPWE — TSG3n ビット拡張 W 相用コンペアレジスタ

HT-PWM モード時の W 相用のコンペア値を設定します。機能は TSG3nCMP9E, 10E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPWE のライトデータが TSG3nCMP9E, 10E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 19.4 参照)。このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 180_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

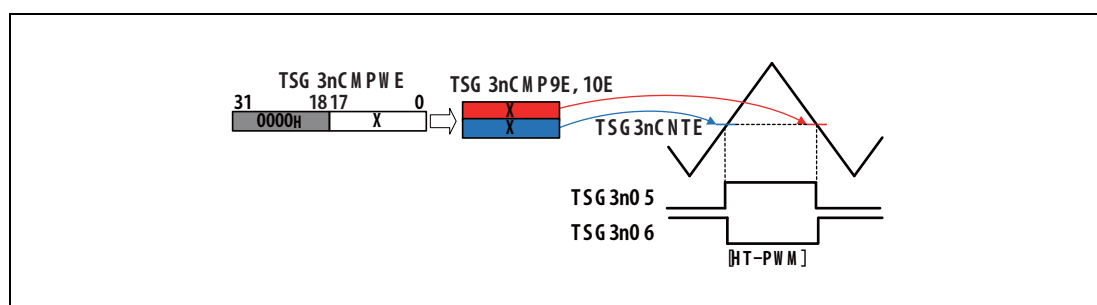


図 19.4 TSG3nCMPWE レジスタのレジスタアクセス

19.3.52 TSG3nUPW — TSG3n SP-PWM U相アクティブ幅レジスタ

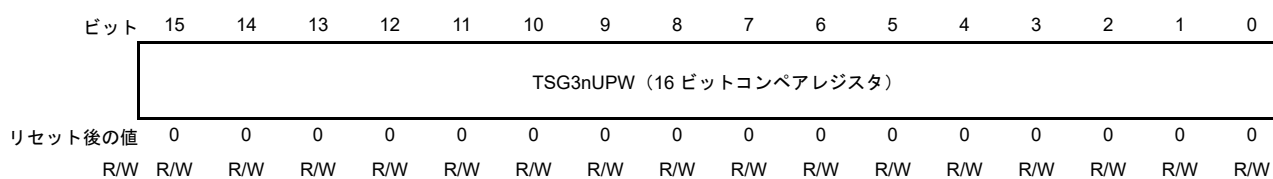
このレジスタは18ビットであるTSG3nUPWEの下位16ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nUPWEレジスタ「19.3.55 TSG3nUPWE — TSG3nビット拡張U相アクティブ幅レジスタ」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0BC_H

リセット後の値 0000_H



19.3.53 TSG3nVPW — TSG3n SP-PWM V相アクティブ幅レジスタ

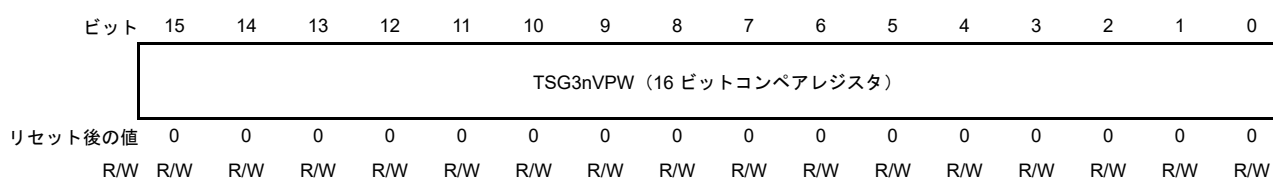
このレジスタは18ビットであるTSG3nVPWEの下位16ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nVPWEレジスタ「19.3.56 TSG3nVPWE — TSG3nビット拡張V相アクティブ幅レジスタ」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0C0_H

リセット後の値 0000_H



19.3.54 TSG3nWPW — TSG3n SP-PWM W相アクティブ幅レジスタ

このレジスタは18ビットであるTSG3nWPWEの下位16ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nWPWEレジスタ「[19.3.57 TSG3nWPWE — TSG3nビット拡張W相アクティブ幅レジスタ](#)」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0C4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nWPW (16ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.55 TSG3nUPWE — TSG3n ビット拡張 U 相アクティブ幅レジスタ

SP-PWM モード時、U 相用のアクティブ幅を設定します。TSG3nUPWE のライトデータは TSG3nCMP2E と加算され、TSG3nCMP1E に格納されます (図 19.5 参照)。このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nUPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 198_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

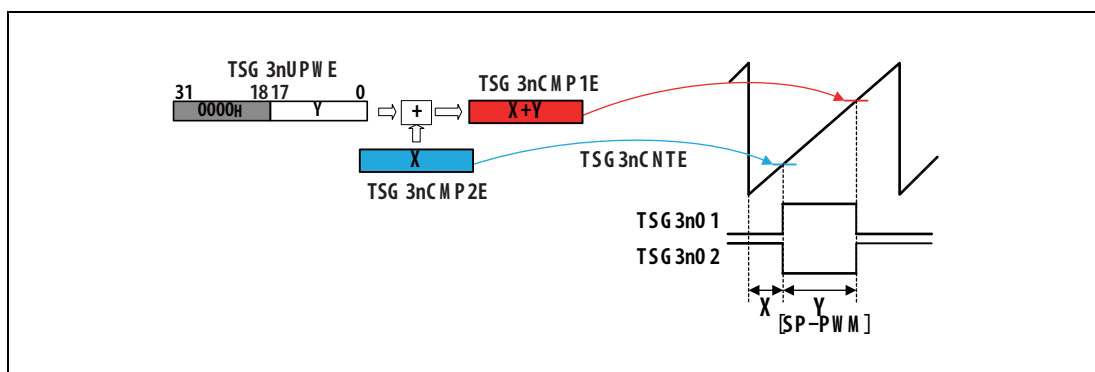


図 19.5 TSG3nUPWE レジスタのレジスタアクセス

19.3.56 TSG3nVPWE — TSG3n ビット拡張 V 相アクティブ幅レジスタ

SP-PWM モード時、V 相用のアクティブ幅を設定します。TSG3nVPWE のライトデータは TSG3nCMP6E と加算され、TSG3nCMP5E に格納されます (図 19.6 参照)。このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nVPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 194_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

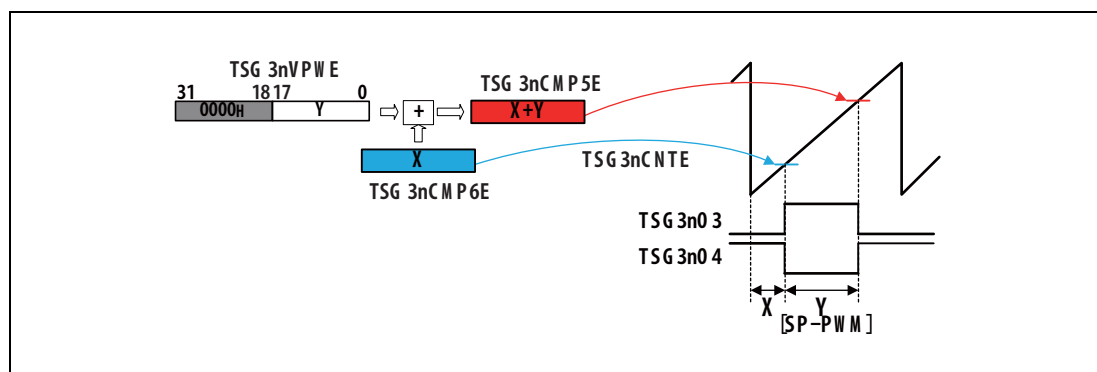


図 19.6 TSG3nVPWE レジスタのレジスタアクセス

19.3.57 TSG3nWPWE — TSG3n ビット拡張 W 相アクティブ幅レジスタ

SP-PWM モード時、W 相用のアクティブ幅を設定します。TSG3nWPWE のライトデータは TSG3nCMP10E と加算され、TSG3nCMP9E に格納されます (図 19.7 参照)。このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nWPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 190_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

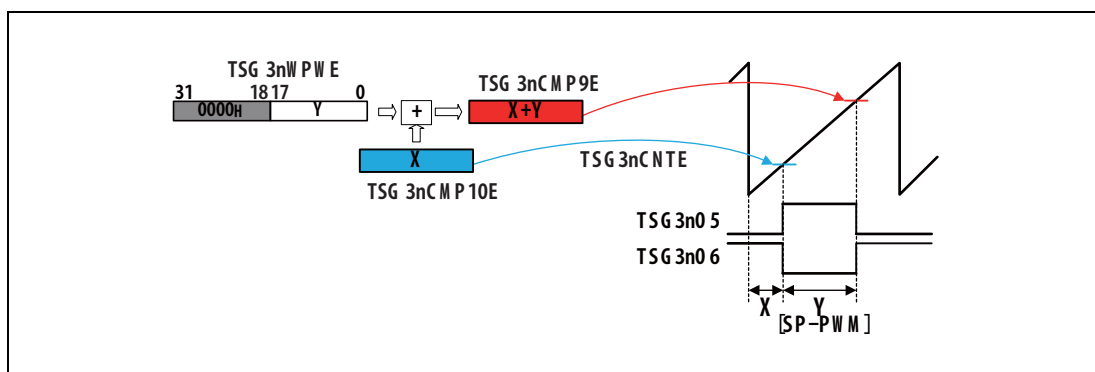


図 19.7 TSG3nWPWE レジスタのレジスタアクセス

19.3.58 TSG3nHSPCMUE — TSG3n HSP-PWM モード U 相コンペアレジスタ

HSP-PWM モード時に U 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「19.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP3E, TSG3nCMP4E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 134_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18ビットコンペアレジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.59 TSG3nHSPCMVE — TSG3n HSP-PWM モード V 相コンペアレジスタ

HSP-PWM モード時に V 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「19.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP7E, TSG3nCMP8E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 130_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18ビットコンペアレジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.60 TSG3nHSPCMWE — TSG3n HSP-PWM モード W 相コンペアレジスタ

HSP-PWM モード時に W 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「19.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP9E, TSG3nCMP10E, TSG3nCMP11E, TSG3nCMP12E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 12C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.61 TSG3nHSPSHUE — TSG3n HSP-PWM モード U 相シフトレジスタ

HSP-PWM モード時に U 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMUE レジスタに書き込み動作を行うと、「19.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP3E, TSG3nCMP4E レジスタに値が設定されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 128_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18ビット シフトレジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18ビットシフトレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.62 TSG3nHSPSHVE — TSG3n HSP-PWM モード V 相シフトレジスタ

HSP-PWM モード時に V 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMVE レジスタに書き込み動作を行うと、「19.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP7E, TSG3nCMP8E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 124_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット シフトレジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットシフトレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.63 TSG3nHSPSHWE — TSG3n HSP-PWM モード W 相シフトレジスタ

HSP-PWM モード時に W 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMWE レジスタに書き込み動作を行うと、「19.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP9E, TSG3nCMP10E, TSG3nCMP11E, TSG3nCMP12E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 120_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット シフトレジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットシフトレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.64 TSG3nDTPR — TSG3n デッドタイムプロテクションレジスタ

デッドタイムレジスタのライトアクセスのプロテクションを制御します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 210_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ライトプロテクションコード															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.38 TSG3nDTPR レジスタの内容

ビット位置	ビット名	機能
15	TSG3nDTCM	TSG3nDTC0, TSG3nDTC1 の書き換えの許可/禁止を設定します。 0 : TSG3nDTC0, TSG3nDTC1 の書き換えを許可 1 : TSG3nDTC0, TSG3nDTC1 の書き換えを禁止
14-0	TSG3nDTPR [14:0]	ライトプロテクションコード (0000-7FFF の任意の値) を設定します。

このレジスタは、TSG3nDTC0, TSG3nDTC1 への不正な書き換えを行わないように保護します。機能は次のようになります。

- TSG3nDTCMによりTSG3nDTC0, TSG3nDTC1の書き換えを許可/禁止を設定することができます。
- TSG3nDTC0, TSG3nDTC1 の書き換え時、TSG3nDTC0, TSG3nDTC1 のライトプロテクションコード (30-16 ビット) と TSG3nDTPR のライトプロテクションコードの一致と TSG3nDTCM の設定の二重のチェックにより書き換えの許可/禁止を決定します。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

19.4 機能

表 19.39 モード一覧

TSG3nCTL0 レジスタ			タイマモード
TSG3nMD2	TSG3nMD1	TSG3nMD0	
0	0	0	PWM モード
0	0	1	HT-PWM モード (HT-PWM)
0	1	0	シフトパルス PWM モード (SP-PWM)
0	1	1	120-DC モード
1	0	0	高精度シフトパルス PWM モード (HSP-PWM)
上記以外			設定禁止

19.4.1 基本動作

19.4.1.1 18 ビットカウンタ基本動作

18 ビットカウンタの基本動作を説明します。詳細は「19.4.7 各モードの動作」を参照してください。

カウント開始動作

HT-PWM モードは、初期値 00000_H で TSG3nDTC0 の値をロードした後、カウントを開始します。また、HT-PWM モード以外のモードは、初期値 00000_H からカウントを開始します。

HT-PWM モードのカウント動作は、TSG3nDTC0 の値から +2 ずつアップカウントし、18 ビットカウンタと TSG3nCMP0E + TSG3nDTC0 の値が一致した後、-2 ずつ TSG3nDTC0 の値までダウンカウントします。また、HT-PWM モード以外のモードのカウント動作は、00000_H, 00001_H, 00002_H, 00003_H, ... とカウントアップします。

クリア動作

HT-PWM モード以外のクリア動作は、カウンタ値と TSG3nCMP0E 値の一致により 18 ビットカウンタをクリアします (HT-PWM モードにクリア動作はありません)。

カウント動作中のカウンタリード動作

TSG3n では、TSG3nCnTE レジスタにより、カウント動作中の 18 ビットカウンタの値をリードできます。

カウント停止動作

カウンタ動作停止 (TS0TE = 1 → 0) 時、TSG3nCnTE, TSG3nSBCE は停止したときのカウンタ値を保持します。

割り込み動作

TSG3n では、次の割り込みを発生します。

- INTTSG3nI0 : HT-PWM モード時、18 ビットカウンタと TSG3nDTC0 の一致による周期割り込みとして機能します。HT-PWM モード以外のモードでは、18 ビットカウンタと TSG3nCMP0E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI1 : 18 ビットカウンタと TSG3nCMP1E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI2 : 18 ビットカウンタと TSG3nCMP2E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI3 : 18 ビットカウンタと TSG3nCMP3E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI4 : 18 ビットカウンタと TSG3nCMP4E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI5 : 18 ビットカウンタと TSG3nCMP5E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI6 : 18 ビットカウンタと TSG3nCMP6E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI7 : 18 ビットカウンタと TSG3nCMP7E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI8 : 18 ビットカウンタと TSG3nCMP8E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI9 : 18 ビットカウンタと TSG3nCMP9E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI10 : 18 ビットカウンタと TSG3nCMP10E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI11 : 18 ビットカウンタと TSG3nCMP11E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI12 : 18 ビットカウンタと TSG3nCMP12E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nIPEK : 18 ビットカウンタがアップカウントからダウンカウントの切り替わりタイミングの山割り込みとして機能します。
- INTTSG3nIVLY : 18 ビットカウンタがダウンカウントからアップカウントの切り替わりタイミングの谷割り込みとして機能します。
- INTTSG3nIER : 正相/逆相同時アクティブの検出割り込みとして機能します。
- INTTSG3nIWN : 各種ワーニングを検出する割り込みとして機能します。

19.4.1.2 コンペアレジスタの機能

コンペアレジスタの動作モード別の機能は次のとおりです。

表 19.40 モード別コンペアレジスタ機能一覧 (1/7)

動作モード	TSG3nCMP0E	TSG3nCMP1E	TSG3nCMP2E
PWM モード	PWM 周期	TSG3nO1 クリアタイミング	TSG3nO1 セットタイミング
HT-PWM モード	PWM 周期	TSG3nO1 クリアタイミング TSG3nO2 セットタイミング	TSG3nO1 セットタイミング TSG3nO2 クリアタイミング
SP-PWM モード	PWM 周期	TSG3nO1 クリアタイミング TSG3nO2 セットタイミング	TSG3nO1 セットタイミング TSG3nO2 クリアタイミング
120-DC モード	PWM 周期	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0 で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0 で選択
HSP-PWM モード	PWM 周期	TSG3nO1 クリアタイミング	TSG3nO1 セットタイミング

表 19.40 モード別コンペアレジスタ機能一覧 (2/7)

動作モード	TSG3nCMP3E	TSG3nCMP4E	TSG3nCMP5E	TSG3nCMP6E
PWM モード	TSG3nO2 クリアタイミング	TSG3nO2 セットタイミング	TSG3nO3 クリアタイミング	TSG3nO3 セットタイミング
HT-PWM モード	コンペアー一致割り込み	コンペアー一致割り込み	TSG3nO3 クリアタイミング TSG3nO4 セットタイミング	TSG3nO3 セットタイミング TSG3nO4 クリアタイミング
SP-PWM モード	—	—	TSG3nO3 クリアタイミング TSG3nO4 セットタイミング	TSG3nO3 セットタイミング TSG3nO4 クリアタイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択
HSP-PWM モード	TSG3nO2 クリアタイミング	TSG3nO2 セットタイミング	TSG3nO3 クリアタイミング	TSG3nO3 セットタイミング

表 19.40 モード別コンペアレジスタ機能一覧 (3/7)

動作モード	TSG3nCMP7E	TSG3nCMP8E	TSG3nCMP9E	TSG3nCMP10E
PWM モード	TSG3nO4 クリアタイミング	TSG3nO4 セットタイミング	TSG3nO5 クリアタイミング	TSG3nO5 セットタイミング
HT-PWM モード	コンペアー一致割り込み	コンペアー一致割り込み	TSG3nO5 クリアタイミング TSG3nO6 セットタイミング	TSG3nO5 セットタイミング TSG3nO6 クリアタイミング
SP-PWM モード	—	—	TSG3nO5 クリアタイミング TSG3nO6 セットタイミング	TSG3nO5 セットタイミング TSG3nO6 クリアタイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択
HSP-PWM モード	TSG3nO4 クリアタイミング	TSG3nO4 セットタイミング	TSG3nO5 クリアタイミング	TSG3nO5 セットタイミング

表 19.40 モード別コンペアレジスタ機能一覧 (4/7)

動作モード	TSG3nCMP11E	TSG3nCMP12E	TSG3nDCMP0E	TSG3nDCMP1E
PWM モード	TSG3nO6 クリアタイミング	TSG3nO6 セットタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
HT-PWM モード	コンペアー一致割り込み	コンペアー一致割り込み	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
SP-PWM モード	—	—	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
HSP-PWM モード	TSG3nO6 クリアタイミング	TSG3nO6 セットタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング

表 19.40 モード別コンペアレジスタ機能一覧 (5/7)

動作モード	TSG3nDCMP2E	TSG3nCMPUE	TSG3nCMPVE	TSG3nCMPWE
PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
HT-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	TSG3nCMPUE へ設定した値 が TSG3nCMP1E, TSG3nCMP2E の設定値とな ります	TSG3nCMPVE へ設定した値 が TSG3nCMP5E, TSG3nCMP6E の設定値とな ります	TSG3nCMPWE へ設定した値 が TSG3nCMP9E, TSG3nCMP10E の設定値とな ります
SP-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
120-DC モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
HSP-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—

表 19.40 モード別コンペアレジスタ機能一覧 (6/7)

動作モード	TSG3nUPWE	TSG3nVPWE	TSG3nWPWE
PWM モード	—	—	—
HT-PWM モード	—	—	—
SP-PWM モード	TSG3nUPWE へ設定した値が TSG3nCMP2E に設定した値と加算され、 TSG3nCMP1E の設定値となります	TSG3nVPWE へ設定した値が TSG3nCMP2E に設定した値と加算され、 TSG3nCMP1E の設定値となります	TSG3nWPWE へ設定した値が TSG3nCMP2E に設定した値と加算され、 TSG3nCMP1E の設定値となります
120-DC モード	—	—	—
HSP-PWM モード	—	—	—

表 19.40 モード別コンペアレジスタ機能一覧 (7/7)

動作モード	TSG3nHSPCMUE, TSG3nHSPSHUE	TSG3nHSPCMVE, TSG3nHSPSHVE	TSG3nHSPCMWE, TSG3nHSPSHWE
PWM モード	—	—	—
HT-PWM モード	—	—	—
SP-PWM モード	—	—	—
120-DC モード	—	—	—
HSP-PWM モード	TSG3nHSPCMUE に設定した値、および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHUE に設定し た値を元に、TSG3nCMP1E-4E が設定さ れます	TSG3nHSPCMVE に設定した値、および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHVE に設定し た値を元に、TSG3nCMP5E-8E が設定さ れます	TSG3nHSPCMWE に設定した値、および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHWE に設定 した値を元に、TSG3nCMP9E-12E が設 定されます

19.4.1.3 コンペアレジスタの書き換え操作

TSG3 は、TSG3nRMC ビットを使用し、リロードモードまたは随時書き込みモードに設定することができます。

TSG3nRMC = 0 のときは、リロードモードとなり、「19.3.1 レジスタ一覧」の“リロード”に“あり”と記載されているレジスタ（リロード対象レジスタ）が、リロードタイミングで一斉に更新されます。

TSG3nRMC = 1 のときは、随時書き込みモードとなり、リロード対象レジスタが独立して更新動作を行い、レジスタへライトしたタイミングで随時更新されます。

以下の表に、モード毎にリロードモード、随時書き込みモードの時のリロード対象レジスタの更新タイミングを記載しています。

表 19.41 モード別コンペアレジスタの更新タイミング

モード	随時書き込み TSG3nRMC = 1	リロード TSG3nRMC = 0
PWM モード	TSG3nCMP0E : 18 ビットカウンタの次回カウンタクリアタイミング	リロードタイミング
	TSG3nCMP0E 以外のレジスタ : レジスタへライトしたタイミング	
HT-PWM モード	TSG3nCMP0E : TSG3nCNTE 次回山 or 谷タイミング	リロードタイミング
	TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E : TSG3nIMT ビットへの“1”ライトタイミング	
	TSG3nCMP0E, 1E, 2E, 5E, 6E, 9E, 10E 以外のレジスタ : レジスタへライトしたタイミング	
SP-PWM モード	TSG3nCMP0E : 18 ビットカウンタの次回カウンタクリアタイミング	リロードタイミング
	TSG3nCMP0E 以外のレジスタ : レジスタへライトしたタイミング	
120-DC モード	設定禁止	リロードタイミング
HSP-PWM モード	設定禁止	リロードタイミング

随時書き換えモード

このモードでは、各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタは表 19.41 のタイミングで随時更新されます。

リロードモード（一斉書き換え機能）

TSG3nCMP1E（TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE）レジスタへライトするとリロードが許可され（リロード要求フラグ TSG3nSTR0.TSG3nRSF をセット）、次のリロードタイミングでリロード対象レジスタが一斉に更新されます（リロード）。

リロードタイミングは、TSG3nTRG0.TSG3nTS ビットを“0”から“1”にしたとき、18 ビットカウンタの山／谷タイミングです。TSG3nCTL4.TSG3nPRE, TSG3nVRE で制御します。

TSG3nCMP1E（TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE）以外のレジスタへライトしてもリロードは許可されません。

TSG3nCMP1E（TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE）レジスタへのライトによりリロードが許可され、次のリロードタイミングがくるまでは、リロード対象レジスタへのライトアクセスはしないでください。リロード要求フラグ TSG3nSTR0.TSG3nRSF = 0 のときに書き換えてください。

リロード対象レジスタの DMA 書き換え

一部のリロード対象レジスタは DMA 転送で書き換えることができます。DMA 転送は、次のように行います。

表 19.42 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 040 _H	TSG3nCMP1W	↑
<TSG3n_base> + 044 _H	TSG3nCMP5W	
<TSG3n_base> + 048 _H	TSG3nCMP9W	
<TSG3n_base> + 04C _H	TSG3nCMP3W	
<TSG3n_base> + 050 _H	TSG3nCMP7W	
<TSG3n_base> + 054 _H	TSG3nCMP11W	
<TSG3n_base> + 058 _H	TSG3nCMP0	
<TSG3n_base> + 05C _H	TSG3nDCMP0W	
<TSG3n_base> + 060 _H	TSG3nDCMP2	
<TSG3n_base> + 064 _H	TSG3nPAT0W	
<TSG3n_base> + 068 _H	TSG3nPAT1W	
<TSG3n_base> + 06C _H	TSG3nDTC0W	
<TSG3n_base> + 070 _H	TSG3nDTC1W	

表 19.43 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 140 _H	TSG3nDCMP2E	↓
<TSG3n_base> + 144 _H	TSG3nDCMP1E	
<TSG3n_base> + 148 _H	TSG3nDCMP0E	
<TSG3n_base> + 14C _H	TSG3nCMP0E	
<TSG3n_base> + 150 _H	TSG3nCMP12E	
<TSG3n_base> + 154 _H	TSG3nCMP11E	
<TSG3n_base> + 158 _H	TSG3nCMP8E	
<TSG3n_base> + 15C _H	TSG3nCMP7E	
<TSG3n_base> + 160 _H	TSG3nCMP4E	
<TSG3n_base> + 164 _H	TSG3nCMP3E	
<TSG3n_base> + 168 _H	TSG3nCMP10E	
<TSG3n_base> + 16C _H	TSG3nCMP9E	
<TSG3n_base> + 170 _H	TSG3nCMP6E	
<TSG3n_base> + 174 _H	TSG3nCMP5E	
<TSG3n_base> + 178 _H	TSG3nCMP2E	
<TSG3n_base> + 17C _H	TSG3nCMP1E	

表 19.44 HT-PWM モード時のデューティ設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 180 _H	TSG3nCMPWE	↓
<TSG3n_base> + 184 _H	TSG3nCMPVE	
<TSG3n_base> + 188 _H	TSG3nCMPUE	

表 19.45 SP-PWM モード時のアクティブ幅設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 190 _H	TSG3nWPWE	↓
<TSG3n_base> + 194 _H	TSG3nVPWE	
<TSG3n_base> + 198 _H	TSG3nUPWE	

表 19.46 HSP-PWM モード時のシフト幅、デューティ設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 120 _H	TSG3nHSPSHWE	↓
<TSG3n_base> + 124 _H	TSG3nHSPSHVE	
<TSG3n_base> + 128 _H	TSG3nHSPSHUE	
<TSG3n_base> + 12C _H	TSG3nHSPCMWE	
<TSG3n_base> + 130 _H	TSG3nHSPCMVE	
<TSG3n_base> + 134 _H	TSG3nHSPCMUE	

備 考

1. TSG3nCTL4, TSG3nIOC3 は、個別に書き換えてください。
2. TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE を含む) のライトは、リロードが許可されますので、他のリロード対象レジスタの書き換え (リロードの準備) が終了した後に書き換えてください。

(1) 随時書き換えモードの動作例

コンペアレジスタ (TSG3nCMP1E-TSG3nCMP12E) へライトした値が、すぐに内部のバッファレジスタに転送されカウンタ値との比較対象になるモードです。

コンペアレジスタ (TSG3nCMP1E-TSG3nCMP12E) 等へライト後、1クロック (PCLK) 後に内部コンペアバッファレジスタへ値が転送されます。

TSG3nCMP0E の転送タイミングは、コンペアレジスタへライト後の 18 ビットカウンタの山／谷タイミング (HT-PWM モードのみ)、もしくは TSG3nCMP0E と 18 ビットカウンタの一致タイミング (HT-PWM モード以外) になります。

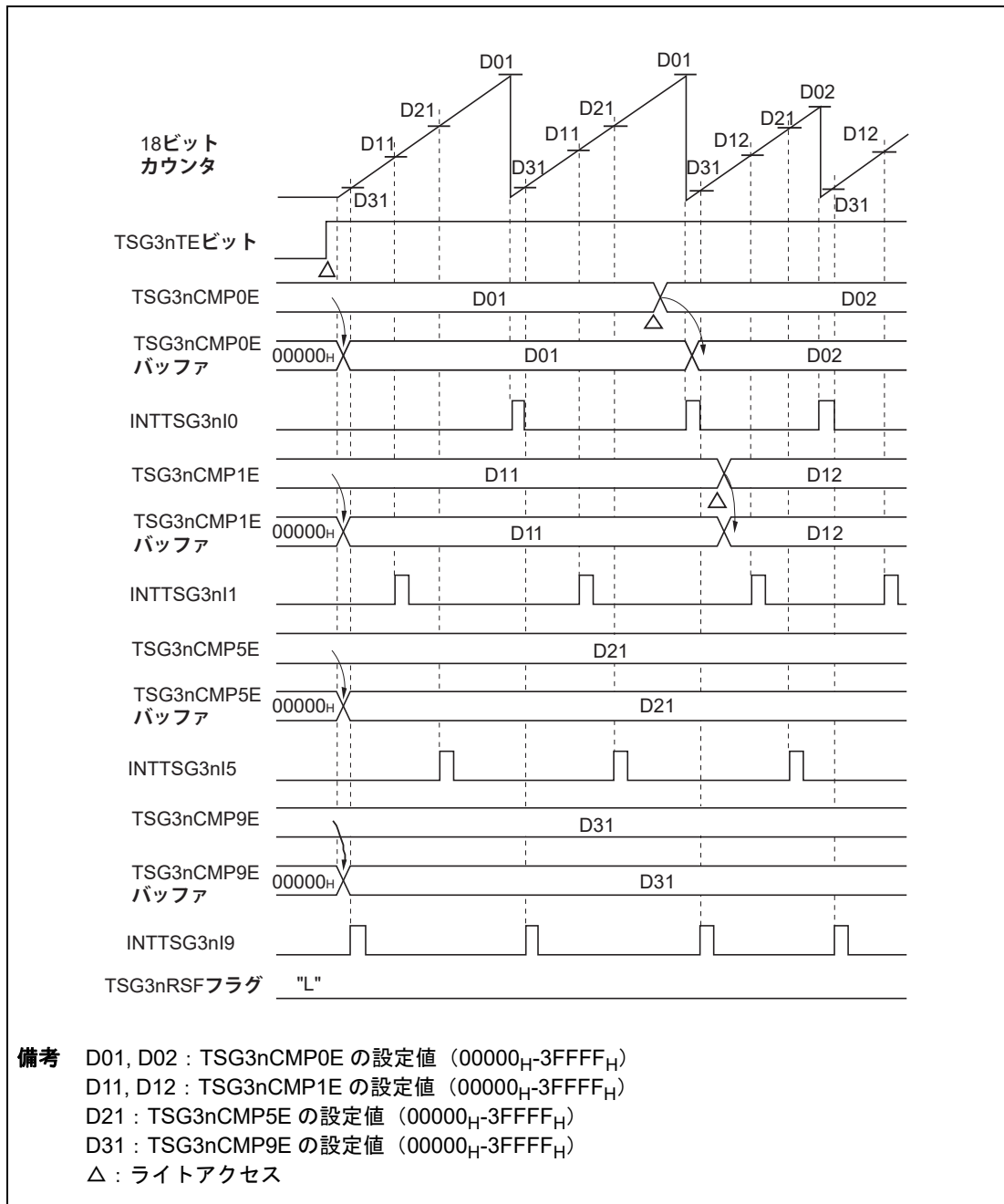


図 19.8 随時書き換えのタイミング (PWM モードの例)

(a) HT-PWM モードにおける随時書き込み時の PWM への反映について

HT-PWM モードの随時書き込み動作では、TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E レジスタの設定を変更したあと、TSG3nIMT ビットに“1”をライトしたタイミングで、バッファに値が転送され、変更した設定値に応じて PWM 出力を強制的にセット/クリアします。

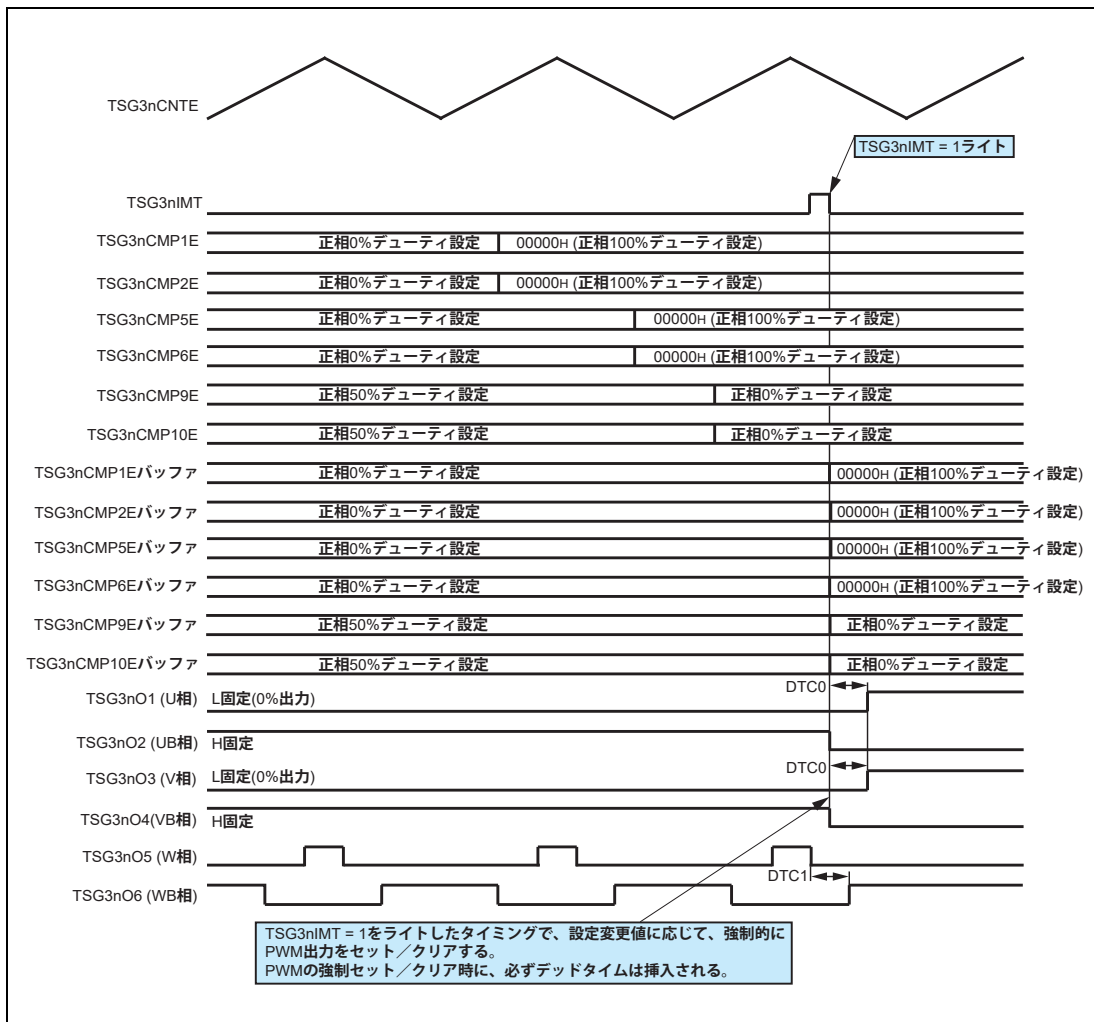


図 19.9 HT-PWM モードの随時書き込み動作時の、TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E レジスタの更新タイミング図

(2) リロードモード（一斉書き換え機能）の動作例

書き換えたリロード対象レジスタ（「19.3.1 レジスタ一覧」の“リロード”に“あり”と記載されているレジスタ）の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

リロード対象レジスタは、リロード要求フラグ TSG3nSTR0.TSG3nRSF = 0 のときに書き換えてください。

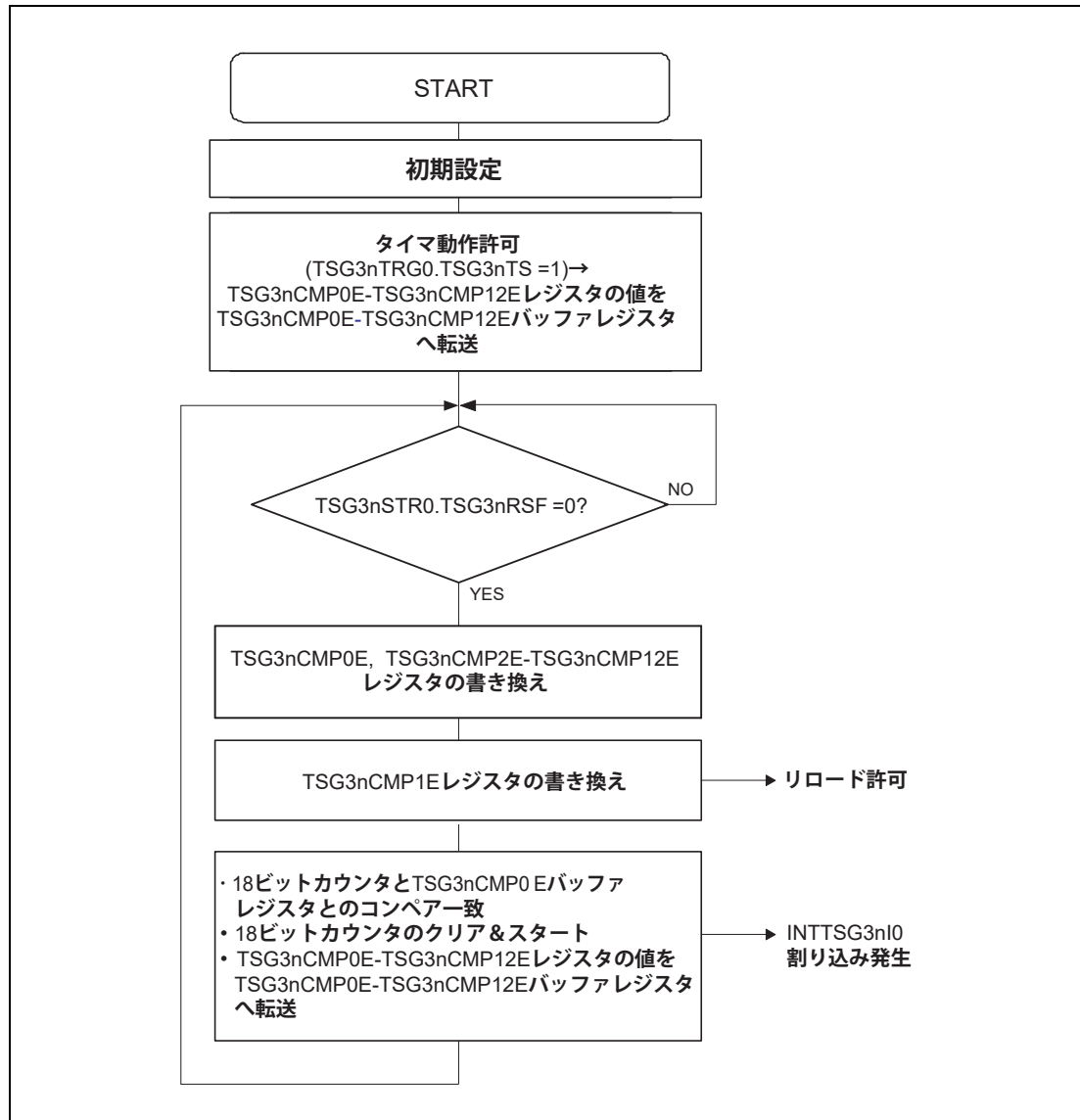


図 19.10 リロードモード（一斉書き換え機能）の基本動作フロー（PWM モードの例）

注 意

TSG3nCMP1E へのライトアクセスにはリロードを許可する動作も含まれます。したがって TSG3nCMP1E の書き換えは他の TSG3nCMP0E, TSG3nCMP2E-TSG3nCMP12E レジスタの書き換えより後にしてください。

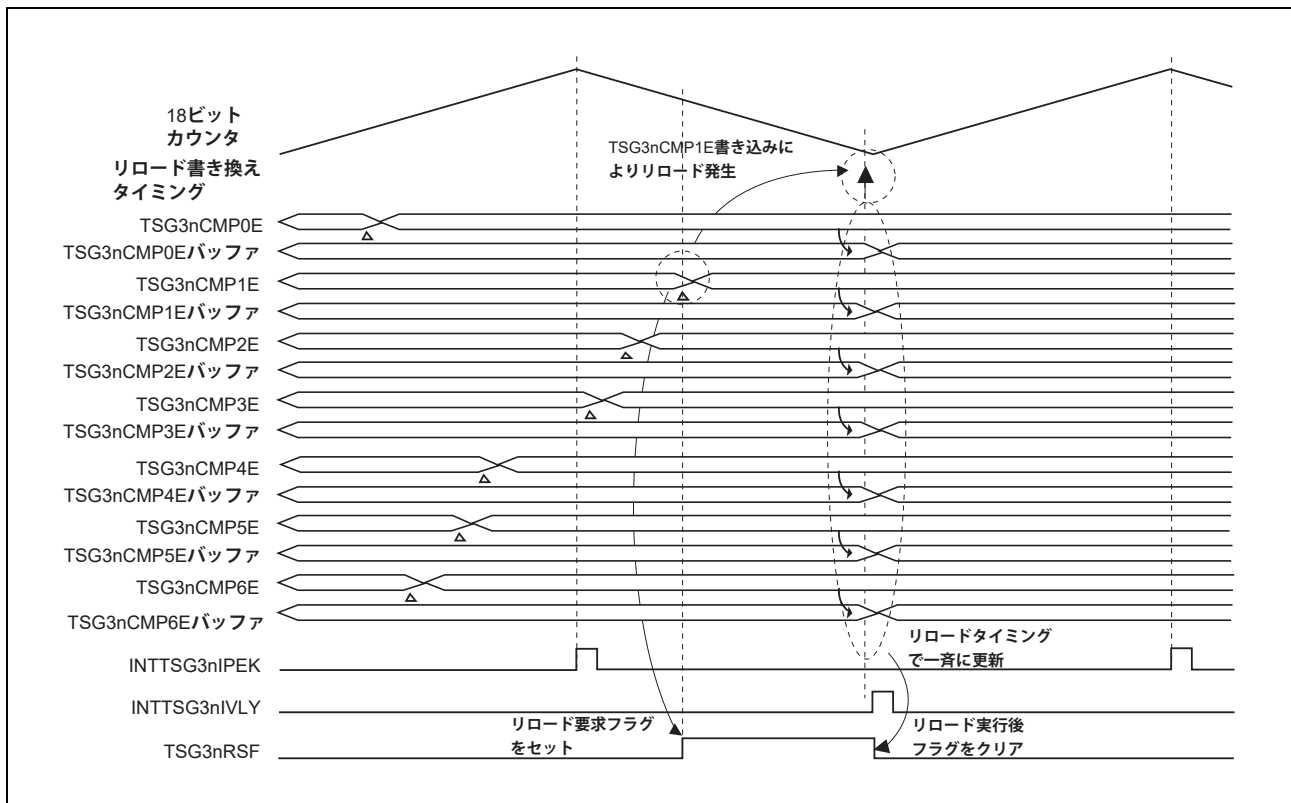


図 19.11 一斉書き換えのタイミング (HT-PWM モードの例) (1/2)

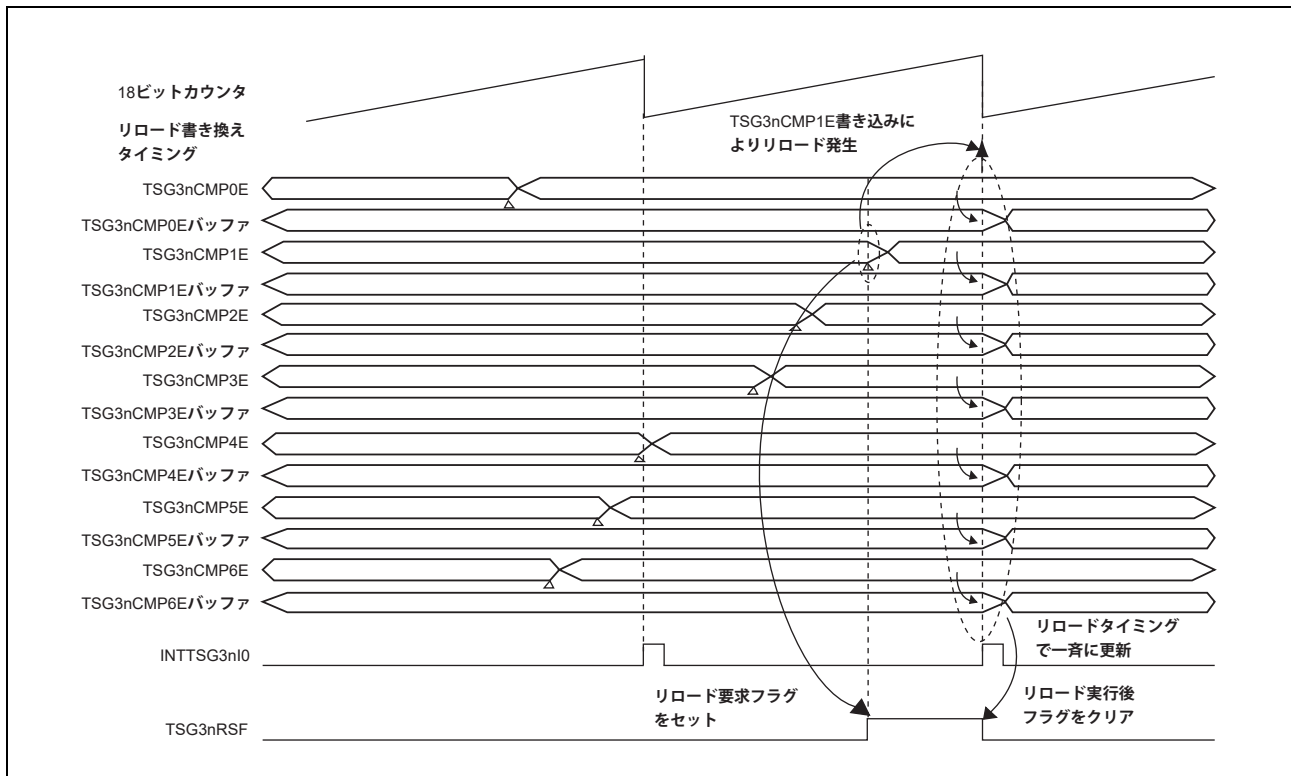


図 19.11 一斉書き換えのタイミング (PWM モードの例) (2/2)

(a) 各モードのリロード書き換え設定例

リロード発生条件および設定例を示します。

表 19.47 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 0 の場合)

モード	TSG3nCTL4. TSG3nPRE	TSG3nCTL4. TSG3nVRE	TSG3nCTL4. TSG3nPIE	TSG3nCTL4. TSG3nVIE	TSG3nCTL4.T SG3nRCC04- TSG3nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0/1	0/1	任意	INTTSG3nI0 発生時
120-DC モード	1	1	0/1	0/1	任意	INTTSG3nI0 発生時
HSP-PWM モード	1	1	0/1	0/1	任意	INTTSG3nI0 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0/1	0/1	任意	INTTSG3nIVLY 発生時
	1	0	0/1	0/1	任意	INTTSG3nIPEK 発生時
	1	1	0/1	0/1	任意	INTTSG3nIPEK/ INTTSG3nIVLY 発生時

表 19.48 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 1 の場合)

モード	TSG3nCTL4. TSG3nPRE	TSG3nCTL4. TSG3nVRE	TSG3nCTL4. TSG3nPIE	TSG3nCTL4. TSG3nVIE	TSG3nCTL4.T SG3nRCC04- TSG3nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0	0/1	任意	設定禁止
120-DC モード	1	0	1	0/1	任意	INTTSG3nI0 発生時
HSP-PWM モード	1	1	0	0/1	任意	設定禁止
	1	1	1	0/1	任意	INTTSG3nI0 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0	0	任意	設定禁止
	0	1	0	1	任意	INTTSG3nIVLY 発生時
	0	1	1	0	任意	設定禁止
	0	1	1	1	任意	INTTSG3nIVLY 発生時
	1	0	0	0/1	任意	設定禁止
	1	0	1	0/1	任意	INTTSG3nIPEK 発生時
	1	1	0	0	任意	設定禁止
	1	1	0	1	任意	INTTSG3nIVLY 発生時
	1	1	1	0	任意	INTTSG3nIPEK 発生時
	1	1	1	1	任意	INTTSG3nIPEK/ INTTSG3nIVLY 発生時

19.4.1.4 各モード時における出力一覧

各モード時のタイマ出力 (TSG3nO0-TSG3nO7 端子) 一覧を次に示します。

表 19.49 モード別タイマ出力一覧 (1/3)

動作モード	TSG3nO0 端子	TSG3nO1 端子	TSG3nO2 端子
PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による PWM 出力	TSG3nCMP3E, TSG3nCMP4E のコンペアー一致による PWM 出力
HT-PWM モード	18 ビットカウンタ、または 18 ビットサブカウンタのアップ/ダウンステータス出力	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO1 端子に対する逆相 PWM 出力 (デッドタイム付き)
SP-PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO1 端子に対する逆相 PWM 出力 (デッドタイム付き)
120-DC モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力
HSP-PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による PWM 出力	TSG3nCMP3E, TSG3nCMP4E のコンペアー一致による PWM 出力

表 19.49 モード別タイマ出力一覧 (2/3)

動作モード	TSG3nO3 端子	TSG3nO4 端子	TSG3nO5 端子
PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による PWM 出力	TSG3nCMP7E, TSG3nCMP8E のコンペアー一致による PWM 出力	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による PWM 出力
HT-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO3 端子に対する逆相 PWM 出力 (デッドタイム付き)	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)
SP-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO3 端子に対する逆相 PWM 出力 (デッドタイム付き)	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)
120-DC モード	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力
HSP-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による PWM 出力	TSG3nCMP7E, TSG3nCMP8E のコンペアー一致による PWM 出力	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による PWM 出力

表 19.49 モード別タイマ出力一覧 (3/3)

動作モード	TSG3nO6 端子	TSG3nO7 端子
PWM モード	TSG3nCMP11E, TSG3nCMP12E のコンペアー一致による PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
HT-PWM モード	TSG3nO5 端子に対する逆相 PWM 出力 (デッドタイム付き)	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
SP-PWM モード	TSG3nO5 端子に対する逆相 PWM 出力 (デッドタイム付き)	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
120-DC モード	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
HSP-PWM モード	TSG3nCMP11E, TSG3nCMP12E のコンペアー一致による PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}

注1. TSG3nO7 に関しては「19.4.1.4 (a) TSG3nO7 端子の出力制御」を参照してください。

(a) TSG3nO7 端子の出力制御

A/D 変換トリガ用のパルス (TSG3nIOC1.TSG3nTGS = 0)、またはダイアグ出力 (TSG3nIOC1.TSG3nTGS = 1) を TSG3nO7 端子に出力することができます。A/D 変換トリガ用のパルス出力時の TSG3nO7 端子は、TSG3nADTRG0 信号の立ち上がりエッジでアクティブとなり、TSG3nADTRG1 信号の立ち上がりエッジでインアクティブとなります。TSG3nO7 端子がアクティブの状態では TSG3nADTRG0 信号を検出した場合は、TSG3nO7 端子はアクティブレベルを維持します。また、TSG3nO7 端子がインアクティブの状態では TSG3nADTRG1 信号を検出した場合は、TSG3nO7 端子はインアクティブレベルを維持します。TSG3nADTRG0, TSG3nADTRG1 信号のトリガが同時の場合は、TSG3nO7 端子のインアクティブが優先されます。

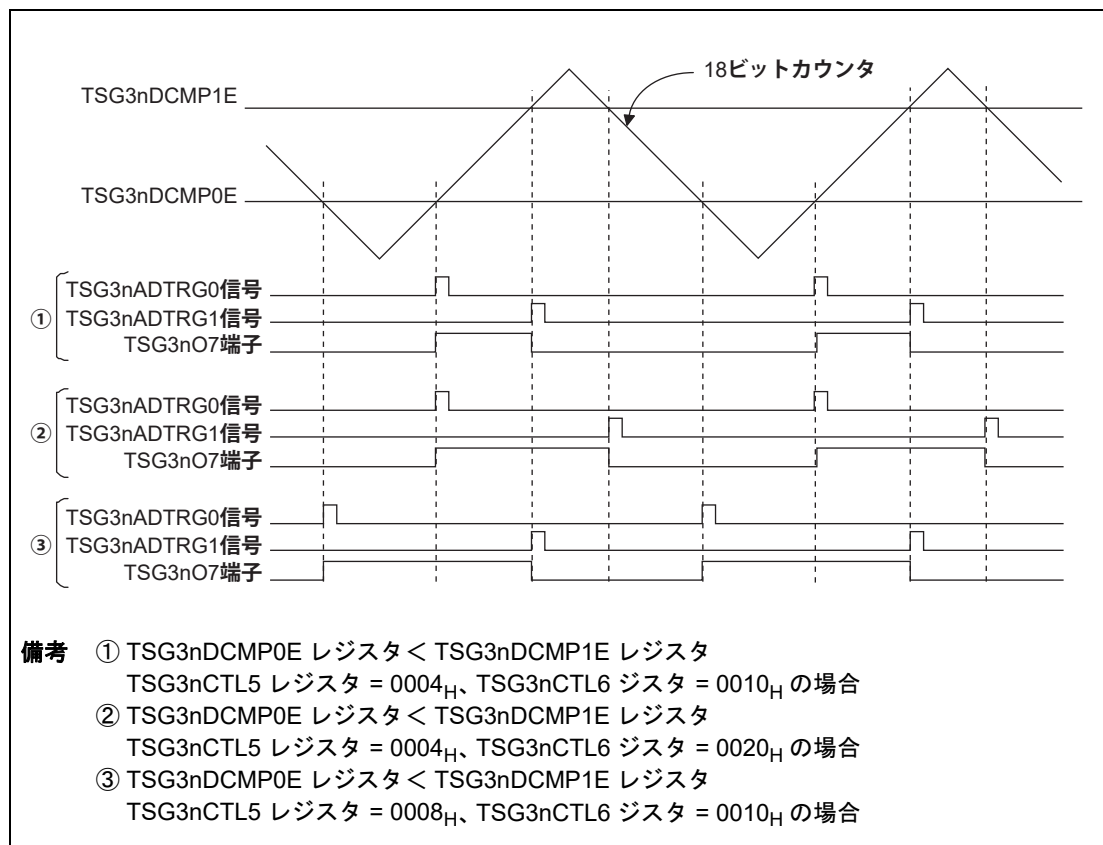


図 19.12 TSG3nO7 端子の A/D トリガ出力タイミング例 (TSG3nIOC1.TSG3nTGS = 0)

ダイアグ出力時の TSG3nO7 端子は、TSG3nDCMP0E-TSG3nDCMP2E が 18 ビットカウンタと一致するタイミングにて TSG3nCTL0.TSG3nDWD で設定した出力幅のアクティブレベルを出力します。なお、ダイアグ出力がアクティブレベル中に TSG3nDCMP0E-TSG3nDCMP2E と 18 ビットカウンタの一致タイミングが発生した場合、重なったタイミングから TSG3nDWD で設定した出力幅にて続けて出力します。

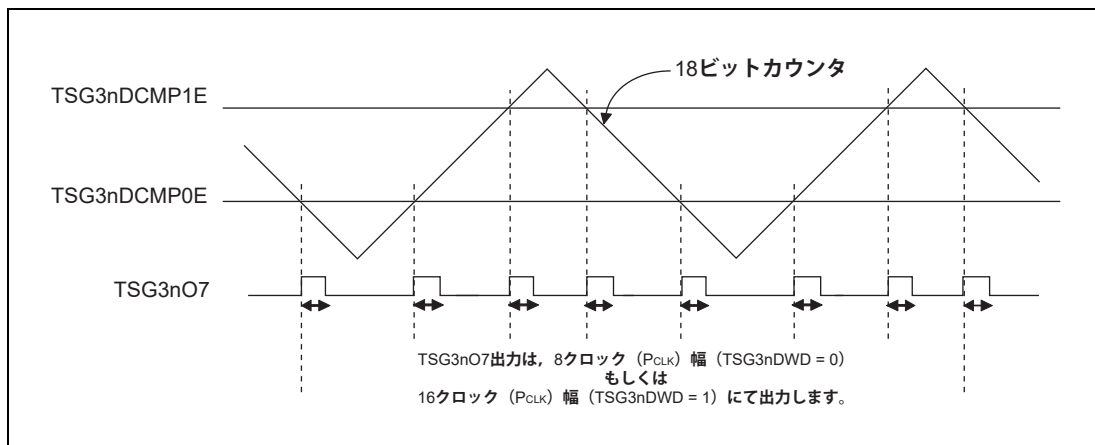


図 19.13 TSG3nO7 端子のダイアグ出力タイミング例① (TSG3nIOC1.TSG3nTGS = 1)

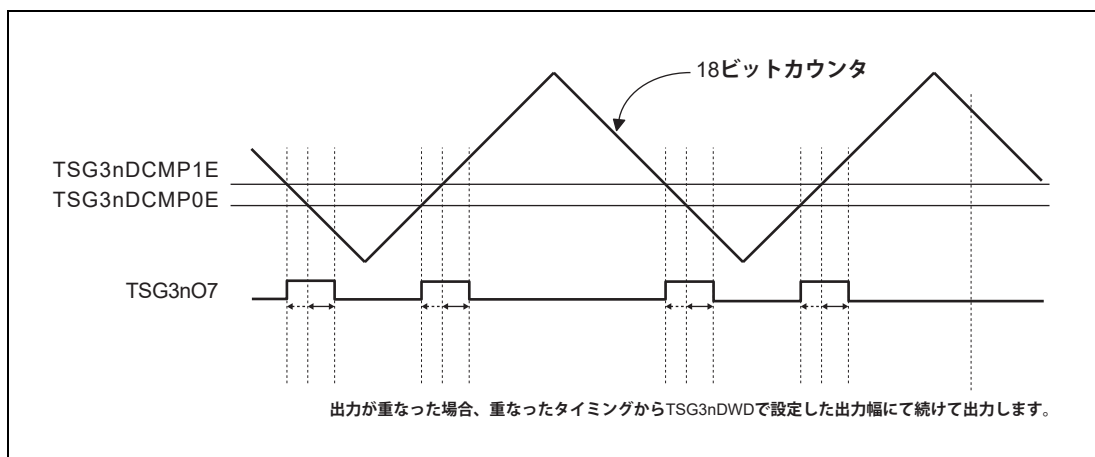


図 19.14 TSG3nO7 端子のダイアグ出力タイミング例② (出力幅が重なった場合)

19.4.2 一致割り込み

割り込みには、コンペア一致割り込み (INTTSG3nIm)、山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) が存在します。エラー/ワーニング割り込み (INTTSG3nIER, INTTSG3nIWN) に関しては「19.4.6 エラー/ワーニング割り込み」を参照してください。

周期割り込み (INTTSG3nI0) は、タイマの周期毎に発生します。HT-PWM モードでは、TSG3nDTC0 バッファレジスタと 18 ビットカウンタが一致したときに発生します。18 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) では、18 ビットカウンタが TSG3nCMP0E バッファレジスタとの一致後に発生します。

コンペア一致割り込み (INTTSG3nIm) は、TSG3nCMPmE バッファレジスタと 18 ビットカウンタの一致により発生する割り込みで、動作モードで使用するコンペアレジスタに応じて一致割り込みを発生します。(m = 1 ~ 12)

山割り込み (INTTSG3nIPEK) は、すべてのモードで発生します。HT-PWM モードでは、18 ビットカウンタがアップカウントからダウンカウントに切り替わる時に発生します。18 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) では、18 ビットカウンタが TSG3nCMP0E バッファレジスタとの一致後に発生します (INTTSG3nI0 割り込みと同タイミング)。

谷割り込み (INTTSG3nIVLY) は、HT-PWM モードで 18 ビットカウンタがダウンカウントからアップカウントに切り替わる時に発生します。

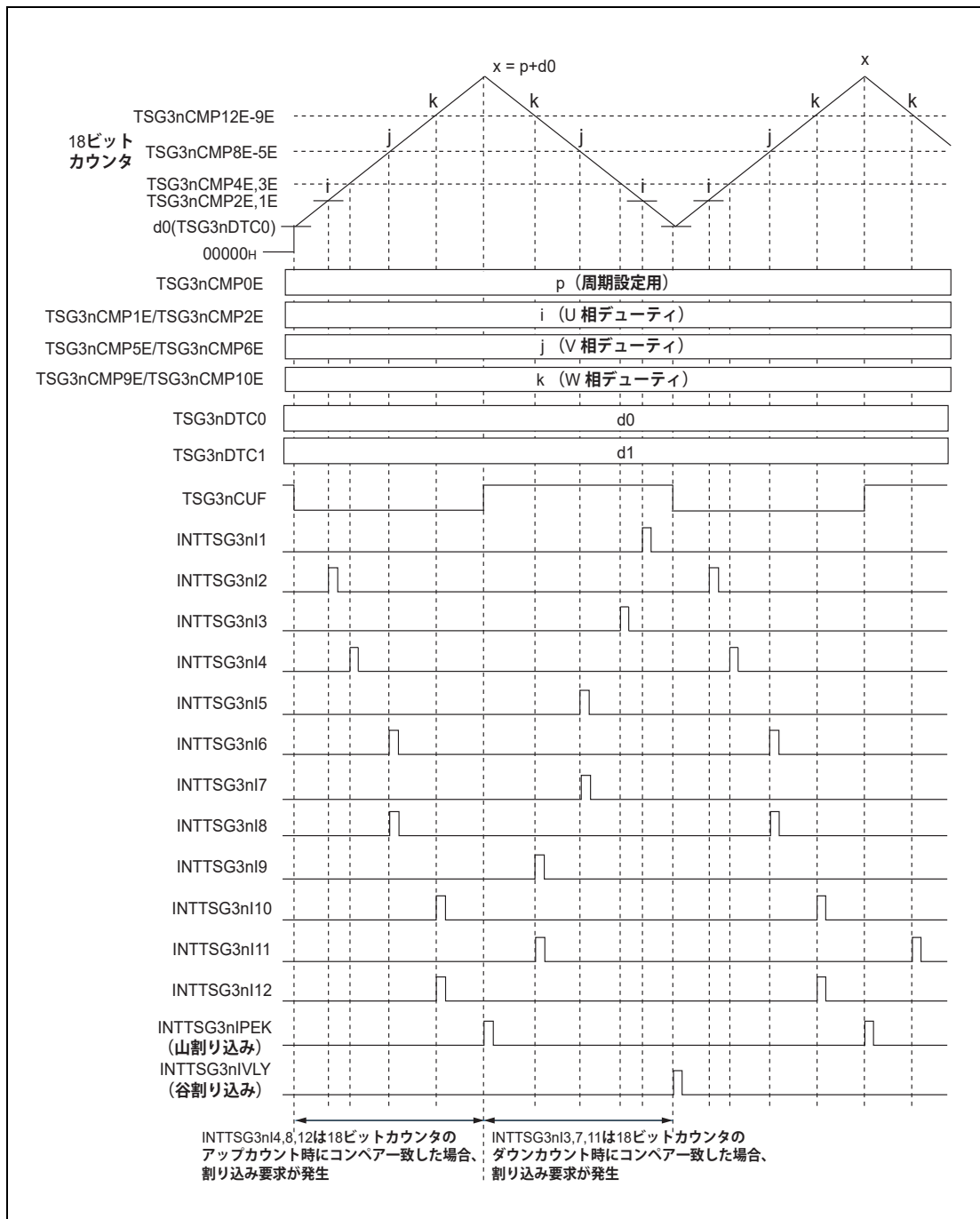


図 19.15 割り込み発生例 (HT-PWM モードの例)

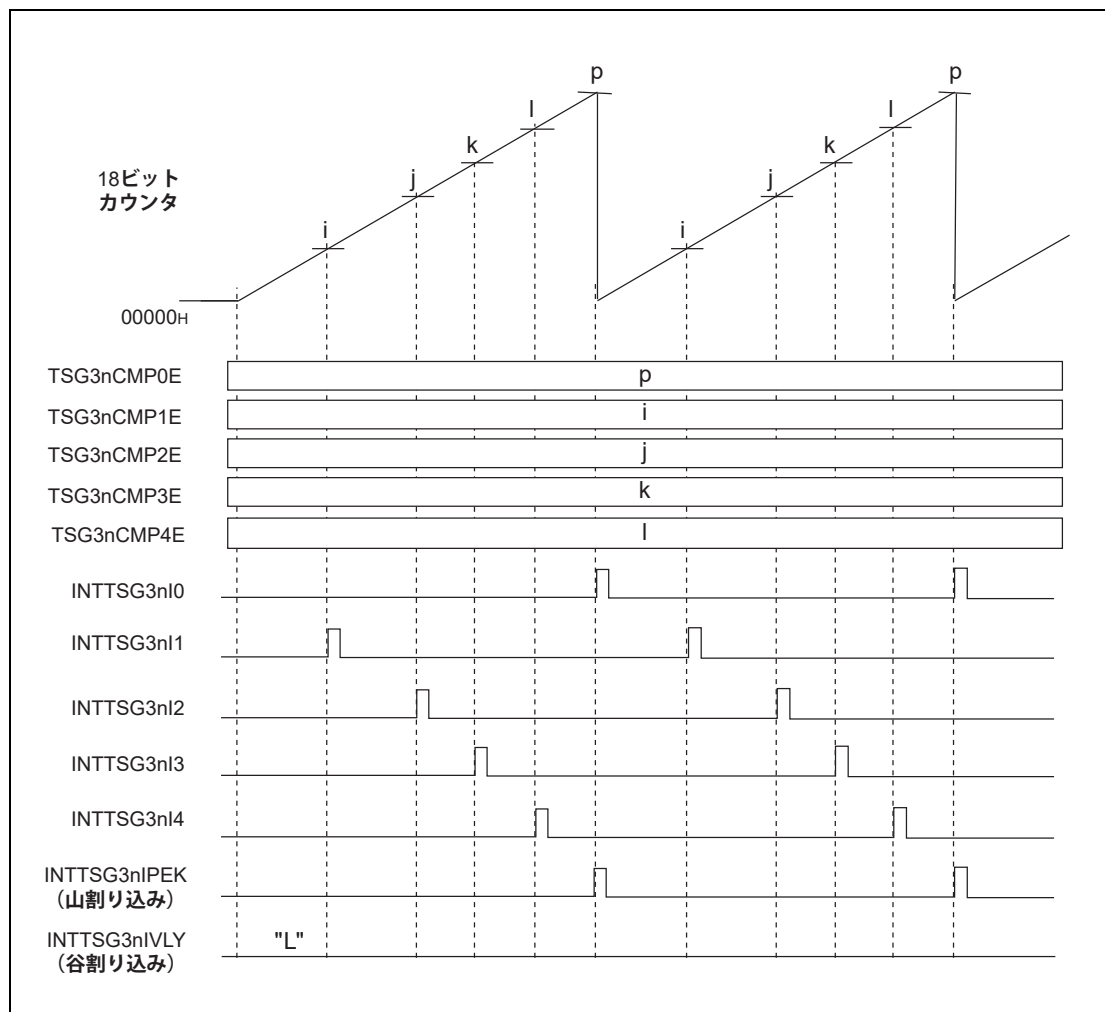


図 19.16 割り込み発生例 (PWM モードの例)

各モード時の割り込み (INTTSG3nI0-INTTSG3nI12, INTTSG3nIPEK, INTTSG3nIVLY, INTTSG3nIER, INTTSG3nIWN) 一覧を表 19.50 に示します。

表 19.50 モード別割り込み一覧 (1/5)

動作モード	INTTSG3nI0	INTTSG3nI1	INTTSG3nI2	INTTSG3nI3
PWM モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注1}	TSG3nCMP2E コンペア一致割り込み ^{注1}	TSG3nCMP3E コンペア一致割り込み ^{注1}
HT-PWM モード	周期割り込み	TSG3nCMP1E コンペア一致割り込み ^{注2}	TSG3nCMP2E コンペア一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、TSG3nCMP3E コンペア一致割り込み ^{注2}
SP-PWM モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注1}	TSG3nCMP2E コンペア一致割り込み ^{注1}	—
120-DC モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注1}	TSG3nCMP2E コンペア一致割り込み ^{注1}	TSG3nCMP3E コンペア一致割り込み ^{注1}
HSP-PWM モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注1}	TSG3nCMP2E コンペア一致割り込み ^{注1}	TSG3nCMP3E コンペア一致割り込み ^{注1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 19.50 モード別割り込み一覧 (2/5)

動作モード	INTTSG3nI4	INTTSG3nI5	INTTSG3nI6	INTTSG3nI7
PWM モード	TSG3nCMP4E コンペア一致割り込み ^{注1}	TSG3nCMP5E コンペア一致割り込み ^{注1}	TSG3nCMP6E コンペア一致割り込み ^{注1}	TSG3nCMP7E コンペア一致割り込み ^{注1}
HT-PWM モード	アップカウント (TSG3nCUF=0) 時、TSG3nCMP4E コンペア一致割り込み ^{注2}	TSG3nCMP5E コンペア一致割り込み ^{注2}	TSG3nCMP6E コンペア一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、TSG3nCMP7E コンペア一致割り込み ^{注2}
SP-PWM モード	—	TSG3nCMP5E コンペア一致割り込み ^{注1}	TSG3nCMP6E コンペア一致割り込み ^{注1}	—
120-DC モード	TSG3nCMP4E コンペア一致割り込み ^{注1}	TSG3nCMP5E コンペア一致割り込み ^{注1}	TSG3nCMP6E コンペア一致割り込み ^{注1}	TSG3nCMP7E コンペア一致割り込み ^{注1}
HSP-PWM モード	TSG3nCMP4E コンペア一致割り込み ^{注1}	TSG3nCMP5E コンペア一致割り込み ^{注1}	TSG3nCMP6E コンペア一致割り込み ^{注1}	TSG3nCMP7E コンペア一致割り込み ^{注1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 19.50 モード別割り込み一覧 (3/5)

動作モード	INTTSG3nI8	INTTSG3nI9	INTTSG3nI10	INTTSG3nI11
PWM モード	TSG3nCMP8E コンペア一致割り込み ^{注1}	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	TSG3nCMP11E コンペア一致割り込み ^{注1}
HT-PWM モード	アップカウント (TSG3nCUF=0) 時、TSG3nCMP8E コンペア一致割り込み ^{注2}	TSG3nCMP9E コンペア一致割り込み ^{注2}	TSG3nCMP10E コンペア一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、TSG3nCMP11E コンペア一致割り込み ^{注2}
SP-PWM モード	—	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	—
120-DC モード	TSG3nCMP8E コンペア一致割り込み ^{注1}	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	TSG3nCMP11E コンペア一致割り込み ^{注1}
HSP-PWM モード	TSG3nCMP8E コンペア一致割り込み ^{注1}	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	TSG3nCMP11E コンペア一致割り込み ^{注1}

- 注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。
 注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 19.50 モード別割り込み一覧 (4/5)

動作モード	INTTSG3nI12	INTTSG3nIPEK	INTTSG3nIVLY
PWM モード	TSG3nCMP12E コンペア一致割り込み ^{注1}	INTTSG3nI0 と同タイミングで山割り込み	—
HT-PWM モード	アップカウント (TSG3nCUF=0) 時、TSG3nCMP12E コンペア一致割り込み ^{注2}	山割り込み	谷割り込み
SP-PWM モード	—	INTTSG3nI0 と同タイミングで山割り込み	—
120-DC モード	TSG3nCMP12E コンペア一致割り込み ^{注1}	INTTSG3nI0 と同タイミングで山割り込み	—
HSP-PWM モード	TSG3nCMP12E コンペア一致割り込み ^{注1}	INTTSG3nI0 と同タイミングで山割り込み	—

- 注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。
 注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 19.50 モード別割り込み一覧 (5/5)

動作モード	INTTSG3nEI	INTTSG3nWI
PWM モード	エラー割り込み	ワーニング割り込み
HT-PWM モード	エラー割り込み	ワーニング割り込み
SP-PWM モード	エラー割り込み	ワーニング割り込み
120-DC モード	エラー割り込み	ワーニング割り込み
HSP-PWM モード	エラー割り込み	ワーニング割り込み

19.4.3 フラグ

表 19.51 フラグ一覧表

番号	フラグ名称	記号	レジスタ	動作モード
(1)	アップカウントフラグ	TSG3nCUF	TSG3nSTR0	HT-PWM モード
		TSG3nSUF	TSG3nSTR0	
(2)	正相/逆相同時アクティブ検出フラグ	TSG3nTBF0- TSG3nTBF2	TSG3nSTR2	全動作モード
(3)	リロード要求フラグ	TSG3nRSF	TSG3nSTR0	全動作モード
(4)	ノイズ検出フラグ	TSG3nNDF	TSG3nSTR2	全動作モード
(5)	パタン順序検出フラグ	TSG3nTSF	TSG3nSTR1	全動作モード
(6)	パタンエラー検出フラグ	TSG3nPEF	TSG3nSTR2	全動作モード
(7)	パタン反転検出フラグ	TSG3nPRF	TSG3nSTR2	全動作モード
(8)	TSG3nPTSI2-TSG3nPTSI0 端子 異常トグル検出フラグ	TSG3nPTF	TSG3nSTR2	全動作モード
(9)	TSG3nOPCI0, TSG3nOPCI1 信号 同時トリガ検出フラグ	TSG3nTDF	TSG3nSTR2	全動作モード
(10)	パタン位相差異検出フラグ	TSG3nPPF	TSG3nSTR2	全動作モード
(11)	タイマ出カパタンフラグ	TSG3nOPF0- TSG3nOPF2	TSG3nSTR1	全動作モード
(12)	パタン切り替え検出信号 (内部信号)	TSG3nPTE	—	全動作モード

19.4.3.1 アップカウントフラグ (TSG3nCUF, TSG3nSUF)

名称

アップカウントフラグ (TSG3nSTR0.TSG3nCUF, TSG3nSUF)

説明

アップカウントフラグには次の2種類があります。

TSG3nCUF は、18 ビットカウンタのアップ/ダウンカウントフラグです。

TSG3nSUF は、18 ビットサブカウンタのアップ/ダウンカウントフラグです。

TSG3nCUF/TSG3nSUF とともに、“0” はアップカウント状態を示し、“1” はダウンカウント状態を示します。

TSG3nCUF/TSG3nSUF は、HT-PWM モード時のみ使用できます。

動作例

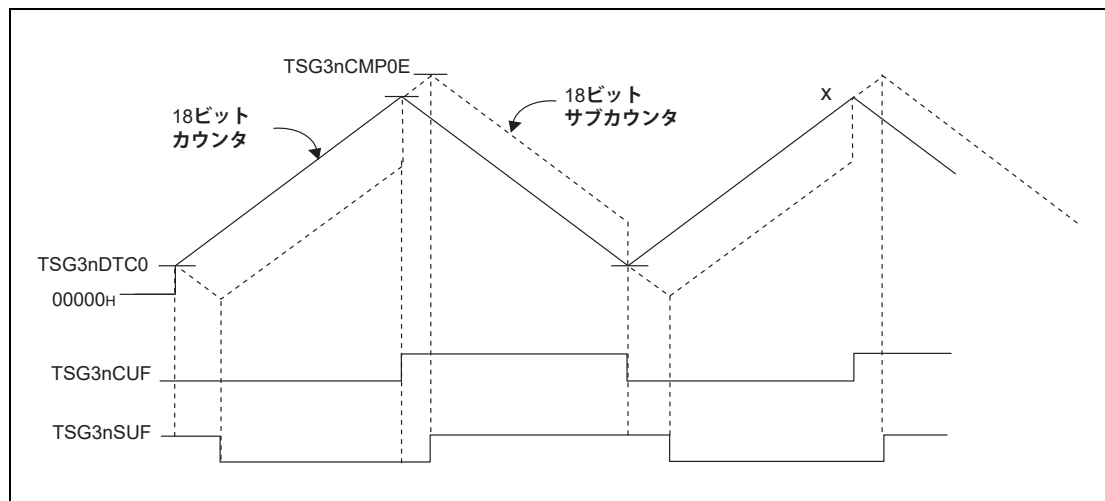


図 19.17 アップカウントフラグ動作例

備考

- TSG3nCUF の値は次のようになります。

$$\text{TSG3nDTC0} \leq 18 \text{ ビットカウンタ} \leq (\text{TSG3nCMP0E} + \text{TSG3nDTC0} - 2)$$

. . . “0”
(アップカウント)

$$(\text{TSG3nCMP0E} + \text{TSG3nDTC0}) \geq 18 \text{ ビットカウンタ} \geq \text{TSG3nDTC0} + 2$$

. . . “1”
(ダウンカウント)
- TSG3nSUF の値は次のようになります。

$$0 \leq 18 \text{ ビットサブカウンタ} \leq (\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} - 2)$$

. . . “0”
(アップカウント)

$$(\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1}) \geq 18 \text{ ビットサブカウンタ} \geq 2$$

. . . “1”
(ダウンカウント)

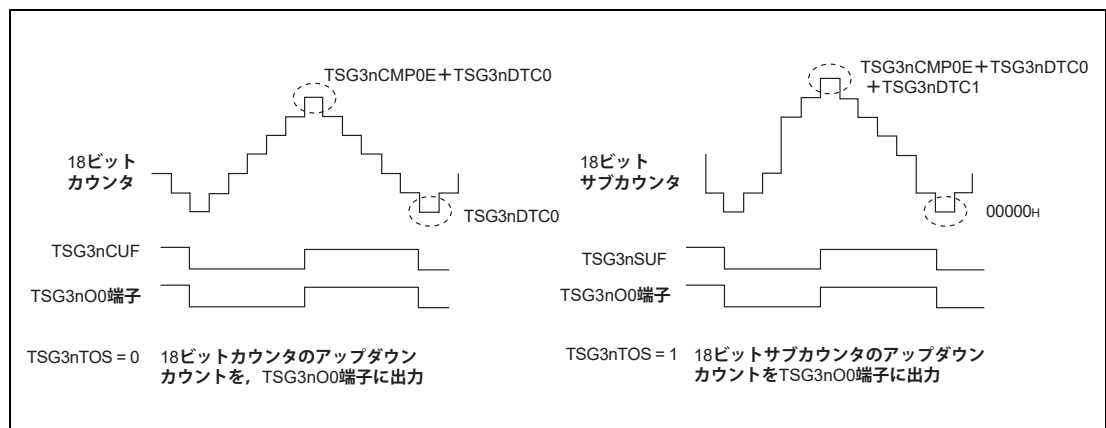


図 19.18 TSG3nIOC1.TSG3nTOS 切り替え時の TSG3nO0 端子出力

動作モード

HT-PWM モード時のみ使用できます。

19.4.3.2 正相／逆相同時アクティブ検出フラグ (TSG3nTBF0-TSG3nTBF2)

名称

正相／逆相同時アクティブ検出フラグ
(TSG3nSTR2.TSG3nTBF0-TSG3nTBF2 フラグ)

説明

TSG3nCTL1.TSG3nTBA2-TSG3nTBA0 のいずれかが“1”の場合において、TSG3nTBF0-TSG3nTBF2 は、TSG3n の正相／逆相の同時アクティブを検出できます。

TSG3n の正相／逆相の同時アクティブを検出した場合、該当する TSG3nTBF0-TSG3nTBF2 フラグはセット (1) されエラー割り込み (INTTSG3nIER) が発生します。

TSG3nSTC.TSG3nTBR0-TSG3nTBR2 に“1”をライトしたときに各々クリアされます。

動作例

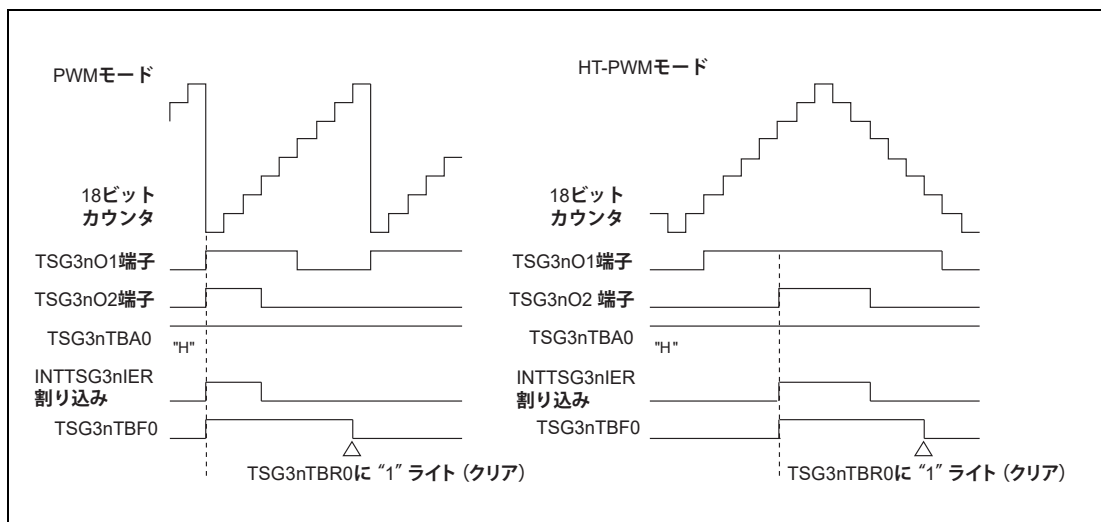


図 19.19 正相／逆相同時アクティブ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nTBF0-TSG3nTBF2 は、TSG3nCTL1.TSG3nTBA0-TSG3nTBA2 = 1 かつ
TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

19.4.3.3 リロード要求フラグ (TSG3nRSF)

名称

リロード要求フラグ (TSG3nSTR0.TSG3nRSF)

説明

TSG3nRSF は、リロード要求が発生したとき (TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE) レジスタにライトしたとき)、セット (1) されます。リロードが発生し、全バッファレジスタに値が転送されたときクリア (0) されます。

動作例

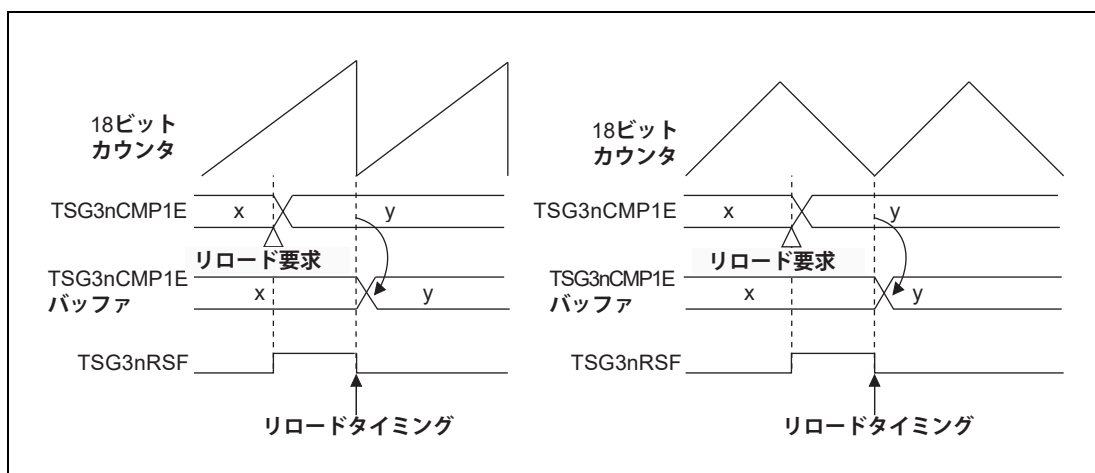


図 19.20 リロード要求フラグ動作例

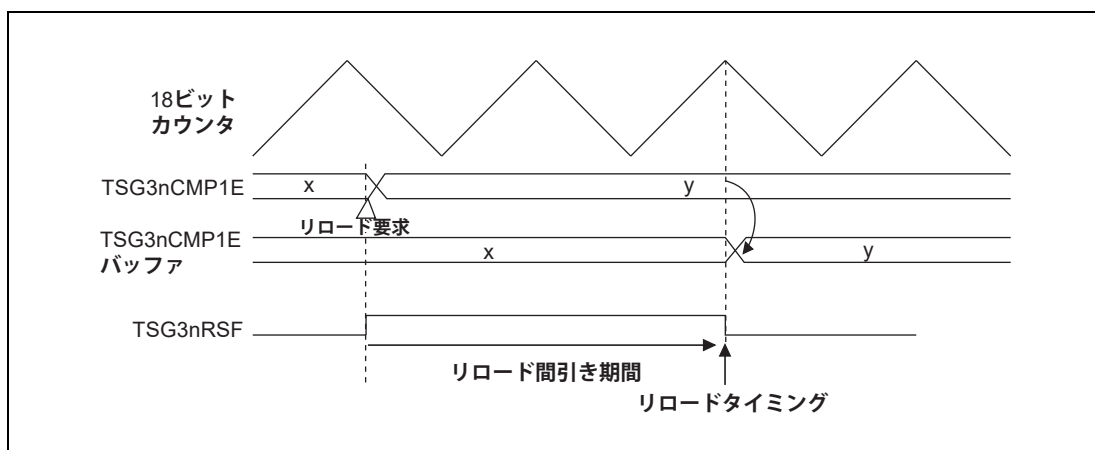


図 19.21 リロード要求フラグとリロード間引き期間

動作モード

すべての動作モードで使用できます。

19.4.3.4 ノイズ検出フラグ (TSG3nNDF)

名称

ノイズ検出フラグ (TSG3nSTR2.TSG3nNDF)

説明

TSG3nNDF は、TSG3nPTSI2-TSG3nPTSI0 端子が同時に 2 端子以上変化した (ノイズ発生) ことを検出できます。

TSG3nNDF は、TSG3nPTSI2-TSG3nPTSI0 端子が同時に 2 端子以上変化した (ノイズ発生) 場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nNDF フラグは、TSG3nSTC.TSG3nNDR ビットに“1”をライトしたときにクリア (0) されます。

動作例

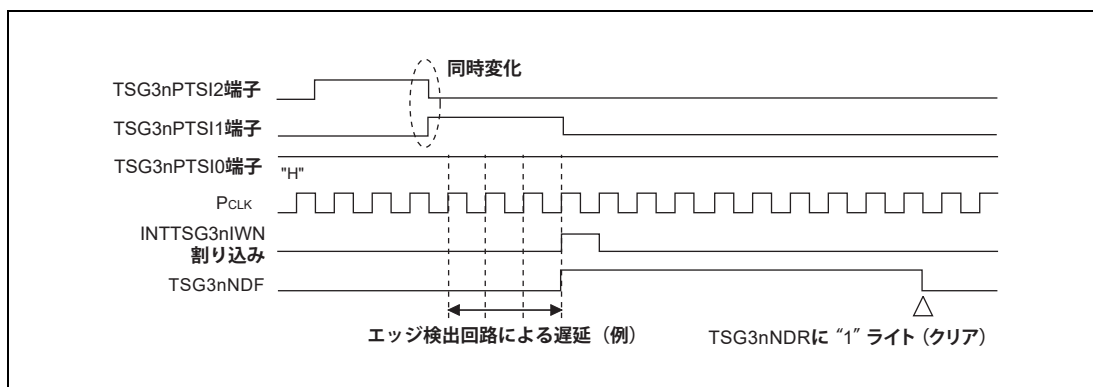


図 19.22 ノイズ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nNDF は、TSG3nCTL1.TSG3nNDC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

19.4.3.5 パタン順序検出フラグ (TSG3nTSF)

名称

パタン順序検出フラグ (TSG3nSTR1.TSG3nTSF)

説明

TSG3nTSF は、TSG3nPTSI2-TSG3nPTSI0 端子に入力しているパタンの順序を検出することができます。

TSG3nPTSI2-TSG3nPTSI0 端子の入力により、次の動作となります。

表 19.52 パタン順序検出フラグとパタン入力順序

TSG3nTSF	TSG3nPTSI2-TSG3nPTSI0 端子の入力
0	[1,0,1] → [1,0,0] → [1,1,0] → [0,1,0] → [0,1,1] → [0,0,1]
1	[1,0,1] ← [1,0,0] ← [1,1,0] ← [0,1,0] ← [0,1,1] ← [0,0,1]

動作例

(a) TSG3nPTSI2-TSG3nPTSI0 端子に正常な入力が発生している場合

図 19.23 のように、TSG3nPTSI2-TSG3nPTSI0 端子が順序どおりに変化した場合、変化したタイミングで変化した順序に従い“0”あるいは“1”の値がセットされます。

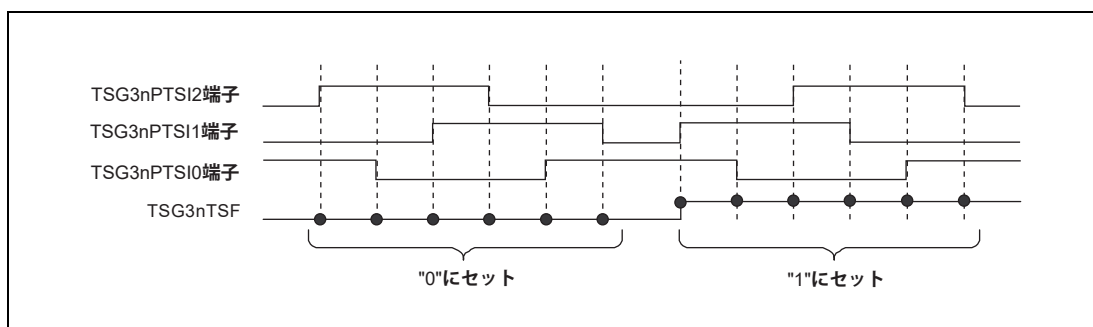


図 19.23 パタン順序検出フラグ動作例 (正常時)

(b) 入力パターン変化の順序検出

TSG3n 動作開始直後は回転方向が判別できないため、TSG3nTSF で、TSG3nPTSI2-TSG3nPTSI0 端子に入力されるパタンの変化（正転／逆転）を検出できません。動作開始時から検出するためには、動作開始前に TSG3nPSC を設定しておく必要があります（TSG3nTE = 0 のときは、TSG3nPSC の値が反映されます）。

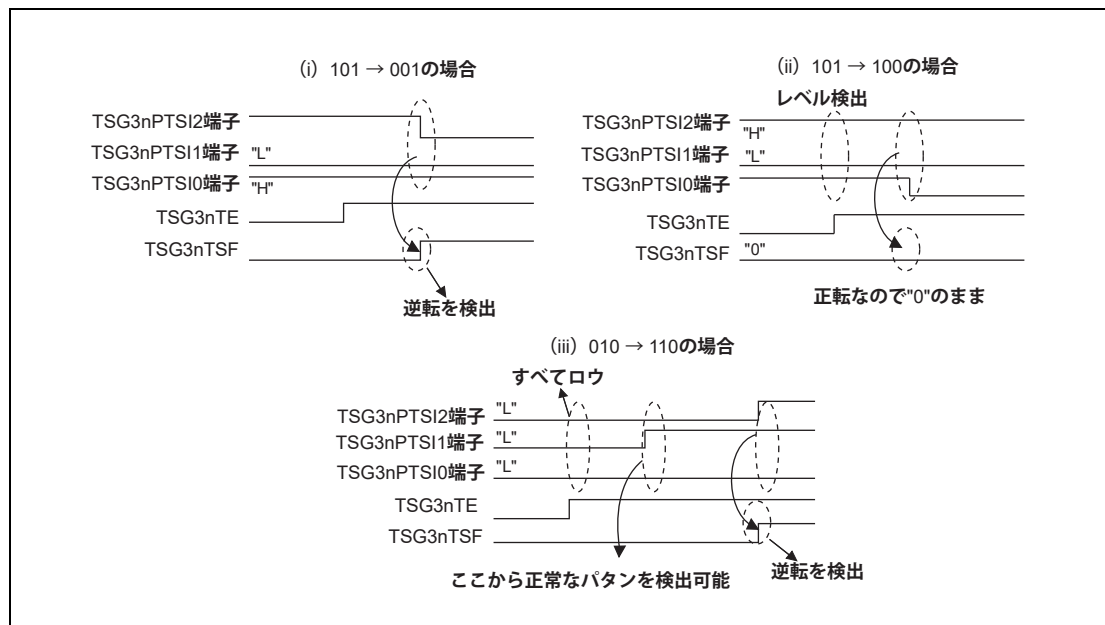


図 19.24 TSG3nPTSI2-TSG3nPTSI0 端子に入力されるパタンの変化（正転／逆転）検出例

(c) TSG3nPTSI2-TSG3nPTSI0 端子に異常な入力が発生した場合

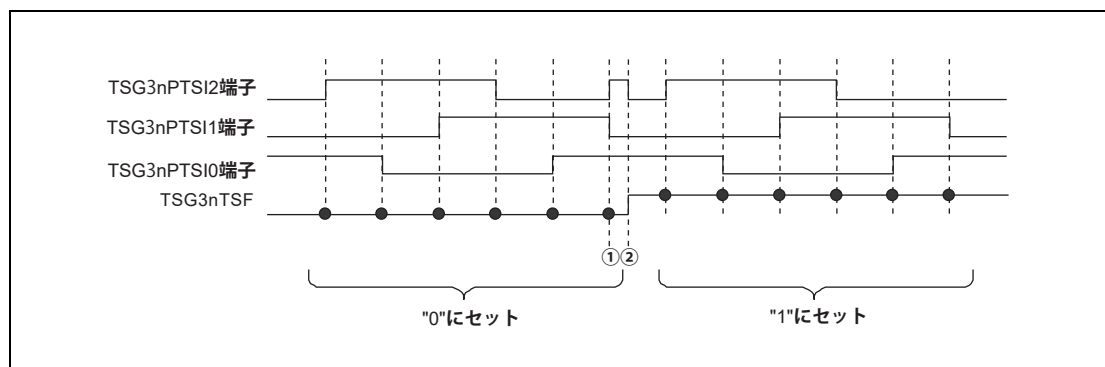


図 19.25 TSG3nPTSI2-TSG3nPTSI0 端子の入力が 2 端子変化した場合の動作例（異常時）

①ここでは、{0, 1, 0} または {0, 0, 1} に変化するのを待っているので、このような場合は、TSG3nTSF は変化しません（2 端子変化した場合、TSG3nTSF は変化しません）。

②ここで、TSG3nPTSI2-TSG3nPTSI0 端子が {1, 0, 1} から {0, 0, 1} に変化したと判断し、TSG3nTSF をセット（1）します。

動作モード

すべての動作モードで使用できます。

19.4.3.6 パターンエラー検出フラグ (TSG3nPEF)

名称

パターンエラー検出フラグ (TSG3nSTR2.TSG3nPEF)

説明

TSG3nPEF は、TSG3nPTSI2-TSG3nPTSI0 端子に“000”、“111”が入力されたことを検出できます。

TSG3nPEF は、TSG3nPTSI2-TSG3nPTSI0 端子のレベルが“111”または“000”の場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nPEF は、TSG3nSTC.TSG3nPER に“1”をライトしたときにクリア (0) されます。

動作例

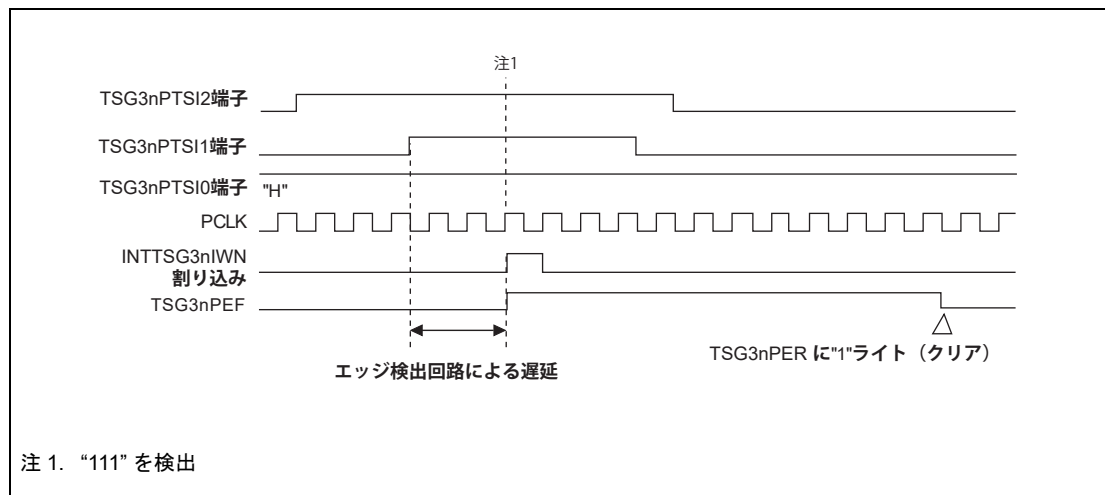


図 19.26 パターンエラー検出フラグ動作例 (TSG3nPTSI2-TSG3nPTSI0 端子 = 111)

動作モード

すべての動作モードで使用できます。

注意

TSG3nPEF は、TSG3nCTL1.TSG3nPEC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

19.4.3.7 パタン反転検出フラグ (TSG3nPRF)

名称

パタン反転検出フラグ (TSG3nSTR2.TSG3nPRF)

説明

TSG3nPRF は、TSG3nPTSI2-TSG3nPTSI0 端子の変化順序が反転したことを検出できます。

TSG3nPRF は、パタン順序検出フラグ (TSG3nTSF) の変化タイミングでセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。ただし、TSG3nSTR0.TSG3nTE フラグ = 1 がセットされた直後は、2 回目以降の TSG3nPTSI2-TSG3nPTSI0 端子の変化で TSG3nPRF が有効になります。

TSG3nPRF は、TSG3nSTC.TSG3nPRR ビットに“1”をライトしたときにクリア (0) されます。

動作例

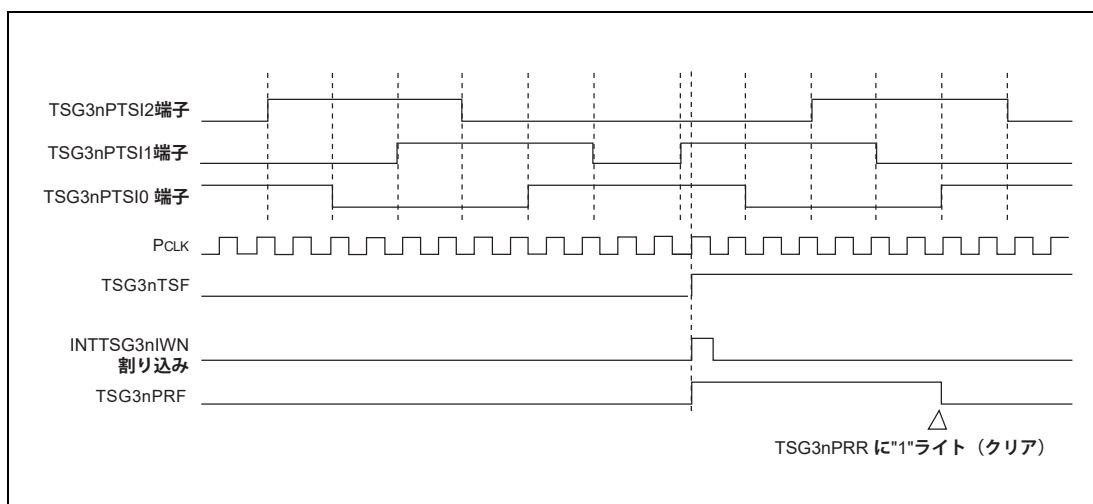


図 19.27 パタン反転検出フラグ動作例

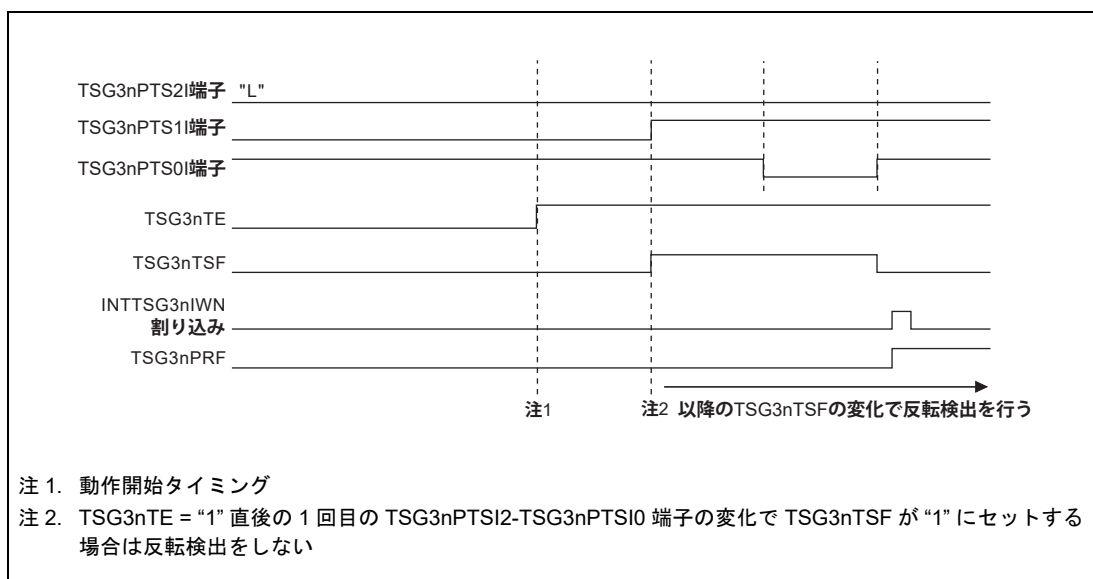


図 19.28 TSG3nSTR0 レジスタの TSG3nTE フラグ = 1 がセットされた直後の動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nPRF は、TSG3nCTL1.TSG3nPRC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

19.4.3.8 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)

名称

TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nSTR2.TSG3nPTF)

説明

TSG3nPTF は、TSG3nOPCI0 信号のトリガ間に TSG3nPTSI2-TSG3nPTSI0 端子の変化が 3 回以上入力されたこと、および TSG3nOPCI1 信号のトリガ間に TSG3nPTSI2-TSG3nPTSI0 端子の変化が 3 回以上入力されたことを検出できます。

TSG3nOPCI0, TSG3nOPCI1 信号の 3 回目のトリガと TSG3nPTSI2-TSG3nPTSI0 端子の変化が同時の場合は、TSG3nPTF がセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。

TSG3nPTF は、TSG3nSTC.TSG3nPTR に“1”をライトしたときにクリア (0) されます。

動作例

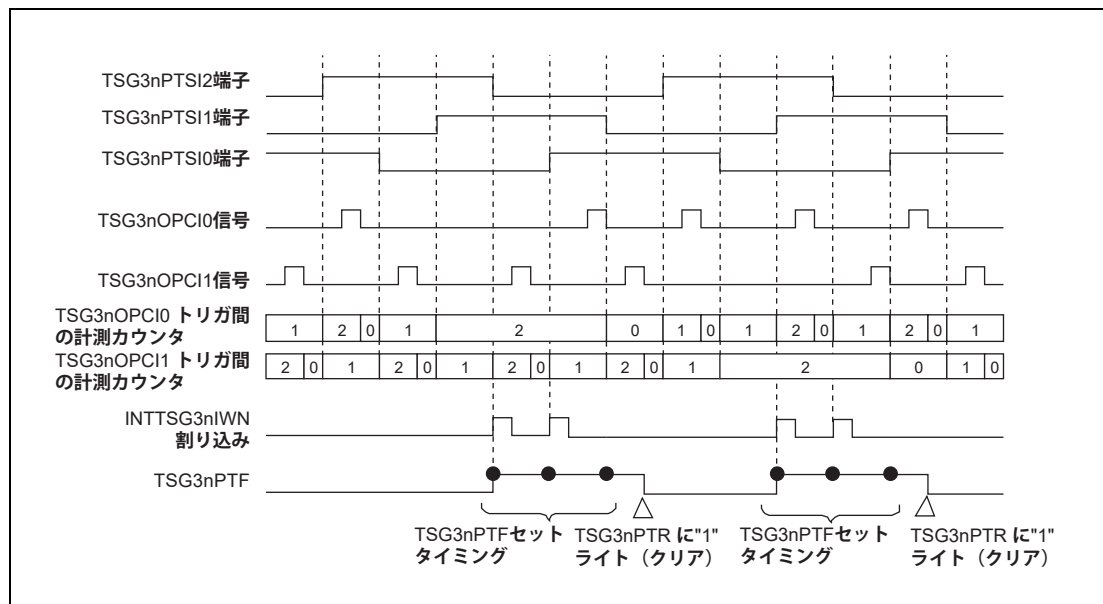


図 19.29 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ動作例

動作モード

すべての動作モードで使用できます。

備考

1. TSG3nPTF フラグは、TSG3nCTL1.TSG3nPTC1 ビット = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。
2. TSG3nPTC0 ビット = 1 かつ TSG3nPTC1 ビット = 1 の場合、異常トグルを検出すると、TSG3nO1-TSG3nO6 端子の出力切り替え制御がパターン切り替え方式 (TSG3nOPT0.TSG3nPOT ビット = 0) に自動的に切り替わります。

19.4.3.9 TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)

名称

TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nSTR2.TSG3nTDF)

説明

TSG3nTDF は、TSG3nOPCI0, TSG3nOPCI1 信号が同時に発生したことを検出できます。

TSG3nTDF は、TSG3nOPCI0, TSG3nOPCI1 信号が同時に発生した場合にセット (1) されワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nTDF は、TSG3nSTC.TSG3nTDR に "1" をライトしたときにクリア (0) されます。

動作例

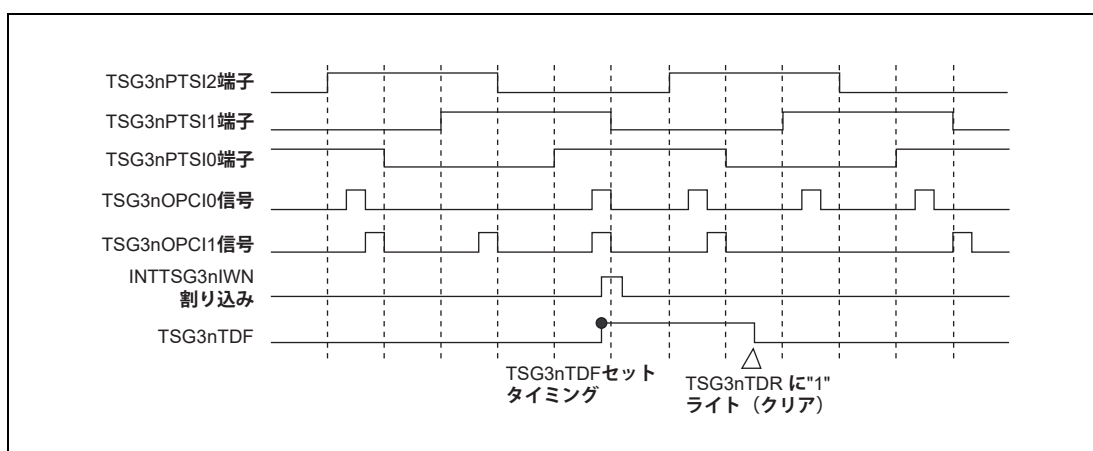


図 19.30 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nTDF は、TSG3nCTL1.TSG3nTDC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

19.4.3.10 パタン位相差異検出フラグ (TSG3nPPF)

名称

パタン位相差異検出フラグ (TSG3nSTR2.TSG3nPPF)

説明

TSG3nPPF は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) と出力パタン (TSG3nSTR1.TSG3nOPF2-TSG3nOPF0 フラグ) の位相差異を検出できます。

TSG3nPPF は、TSG3nOPCI0, TSG3nOPCI1 信号のトリガが入力されたタイミングでパタンの位相差異を検出した場合にセット (1) されワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nPPF は、ソフトウェアで TSG3nSTC.TSG3nPPR に“1”をライトしクリア (0) されるまで“1”を保持しています。位相差異検出時、TSG3nPPF は動作クロック (PCLK) ごとにセットされます。位相差異の発生しないタイミングで TSG3nPPF をクリア (0) してください。

表 19.53 正常な入力パタンと出力パタンの対応表

TSG3nPTSI2-TSG3nPTSI0 端子 (入力)	“1, 0, 1”	“1, 0, 0”	“1, 1, 0”	“0, 1, 0”	“0, 1, 1”	“0, 0, 1”
TSG3nOPF2-TSG3nOPF0 フラグ (出力)	“0, 0, 1” “1, 0, 1” “1, 0, 0”	“1, 0, 1” “1, 0, 0” “1, 1, 0”	“1, 0, 0” “1, 1, 0” “0, 1, 0”	“1, 1, 0” “0, 1, 0” “0, 1, 1”	“0, 1, 0” “0, 1, 1” “0, 0, 1”	“0, 1, 1” “0, 0, 1” “1, 0, 1”

動作例

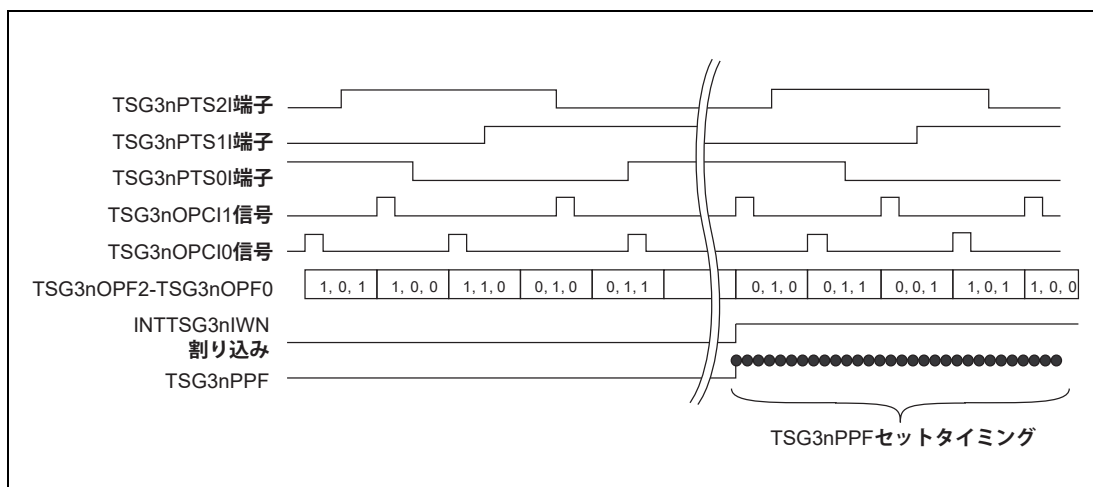


図 19.31 パタン位相差異検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注 意

1. TSG3nPPF は、TSG3nCTL1.TSG3nPPC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときにのみ有効です。
2. TSG3nPTS2-0 端子入力に “000”、“111” が入力されている場合、もしくは TSG3nOPF2-TSG3nOPF0 が “000”、“111” の場合 TSG3nPPF はセットされません。

19.4.3.11 タイマ出力パタンフラグ (TSG3nOPF2-TSG3nOPF0)

名称

タイマ出力パタンフラグ (TSG3nSTR1.TSG3nOPF2-TSG3nOPF0)

説明

TSG3nOPF2-TSG3nOPF0 フラグは、タイマ出力パタンを示すフラグです。

詳細は「19.4.7.6 120-DC モード」、「19.4.7.10 ソフトウェア出力制御機能」を参照してください。

動作モード

すべての動作モードで使用できます。

19.4.3.12 パタン切り替え検出信号 (TSG3nPTE)

名称

パタン切り替え検出信号 (TSG3nPTE 信号)

説明

TSG3nPTE 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

トグルパタンは TSG3nPSC ビット (TSG3nOPT0.TSG3nPSS = "1") によって決定されます。

表 19.54 パタン切り替え検出信号の変化タイミング (1/2)

- TSG3nPSC = 0

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

表 19.54 パタン切り替え検出信号の変化タイミング (2/2)

- TSG3nPSC = 1

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

動作例

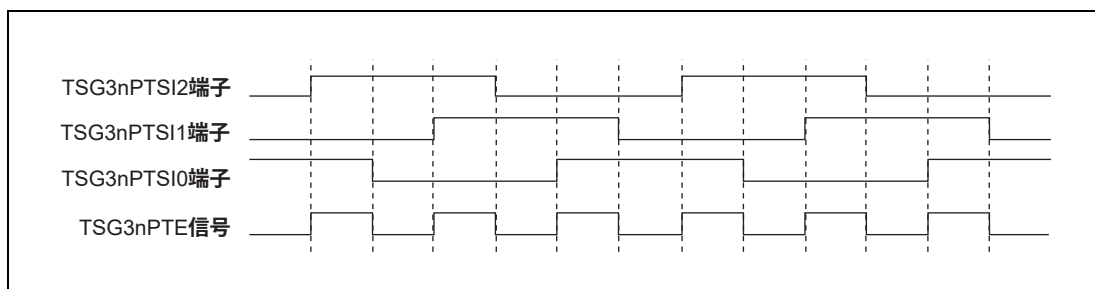


図 19.32 パタン切り替え検出信号動作例

動作モード

すべての動作モードで使用できます。

注 意

TSG3nPTE 信号は、TSG3nIOC1.TSG3nPTS = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

19.4.4 割り込み間引き機能

割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み (INTTSG3nIPEK) と谷割り込み (INTTSG3nIVLY) です。
- TSG3nCTL4.TSG3nPIE で、INTTSG3nIPEK 割り込みの出力許可と間引きカウント対象指定を行います。
- TSG3nCTL4.TSG3nVIE で、INTTSG3nIVLY 割り込みの出力許可と間引きカウント対象指定を行います。

TSG3nCTL3.TSG3nRIA = 1 (リロード間引きあり) した場合は、間引き後の割り込みと同タイミングでリロードタイミグを発生します。TSG3nCTL3.TSG3nRIA = 0 (リロード間引きなし) に指定した場合は、割り込み間引きとは関係なく設定したリロードタイミグにてリロードを発生します。

注 意

TSG3nCTL4 レジスタにライトアクセスし、TSG3nRCC04-TSG3nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなることがあります。これを避けるためには、割り込み間引きに同調したリロードタイミグの設定 (TSG3nCTL3.TSG3nRIA = 1) にして、割り込み間引き数の変更を行ってください。

19.4.4.1 割り込み間引き機能の動作

さまざまな条件での割り込み間引き機能のタイミング図を以下に示します。

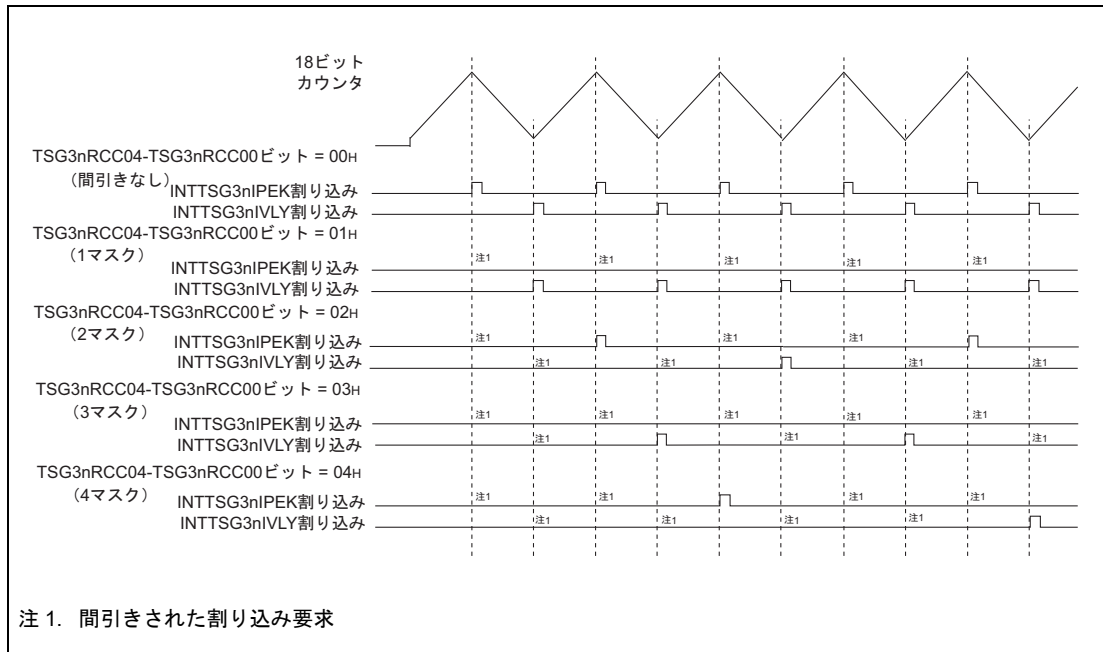


図 19.33 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の山/谷割り込み発生)

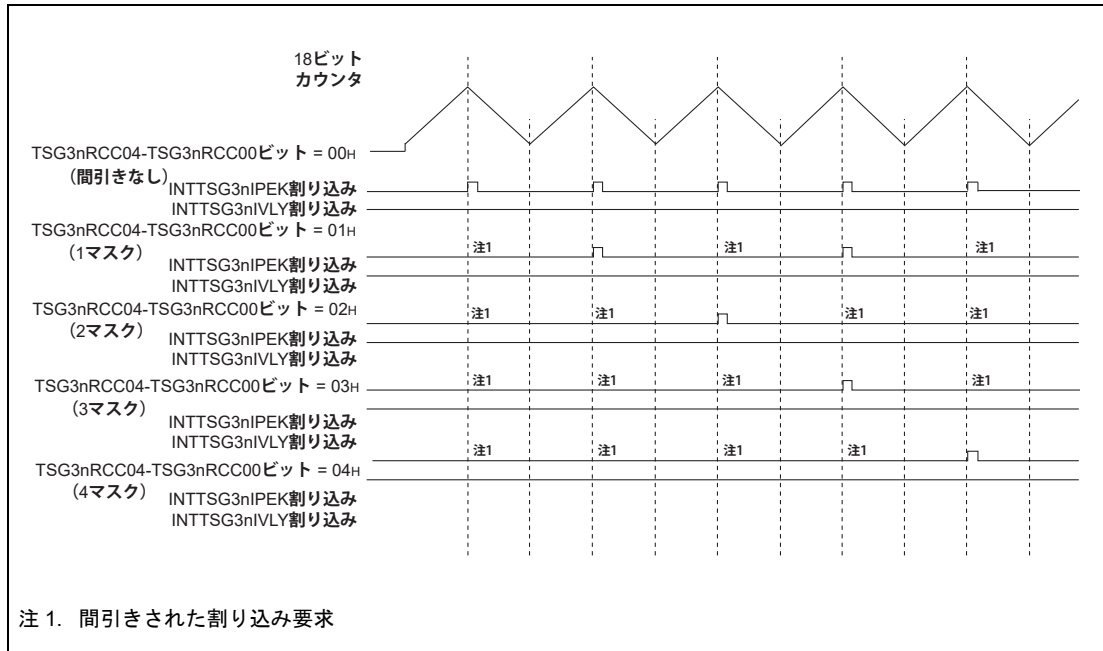


図 19.34 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 0 での割り込み間引き動作 (HT-PWM モード時の山割り込みのみ発生)

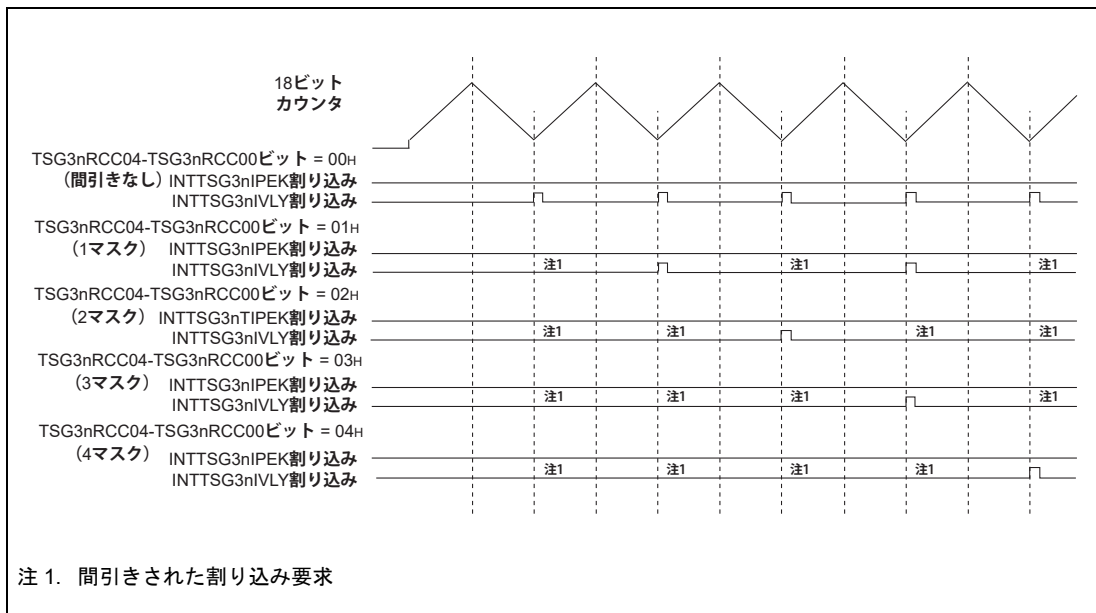


図 19.35 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の谷割り込みのみ発生)

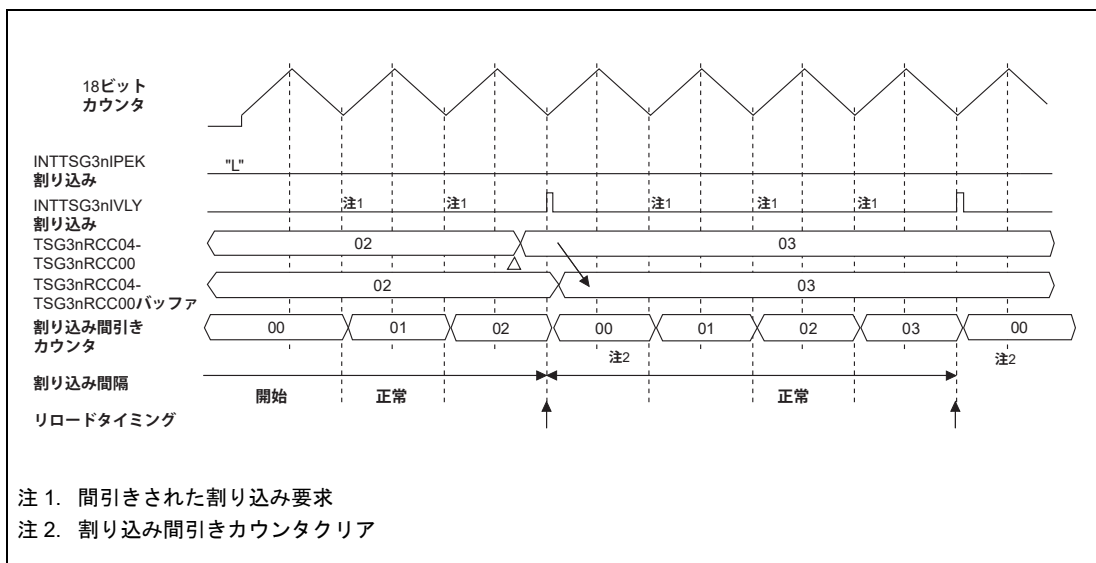


図 19.36 TSG3nCTL3 レジスタの TSG3nRMC = 0, TSG3nRIA = 1 (リロード間引きあり) の場合

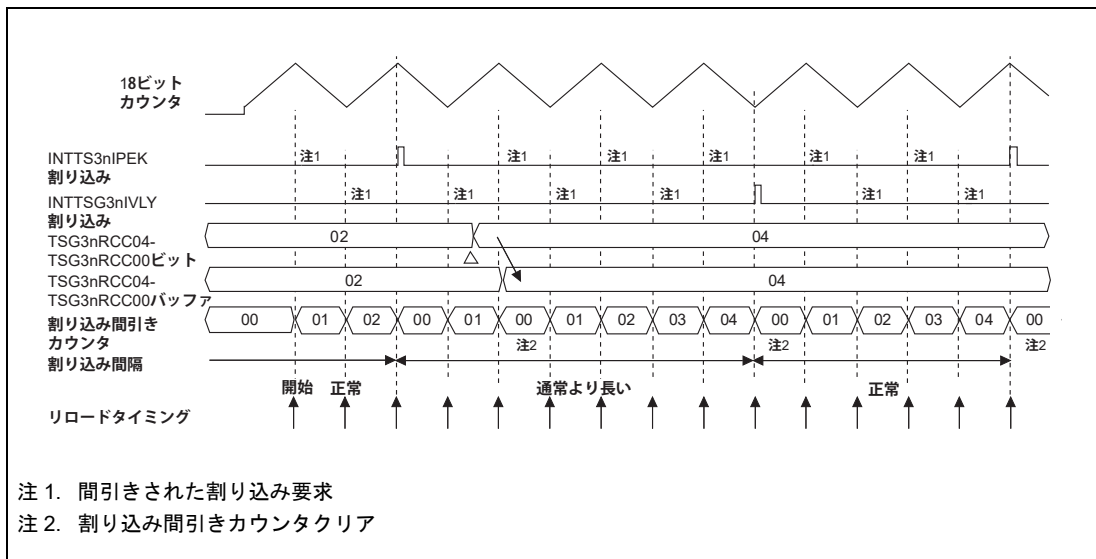


図 19.37 TSG3nCTL3 レジスタの TSG3nRMC = 0, TSG3nRIA ビット = 0 (リロード間引きなし) の場合

注意

割り込み間隔が長くなる場合があります。

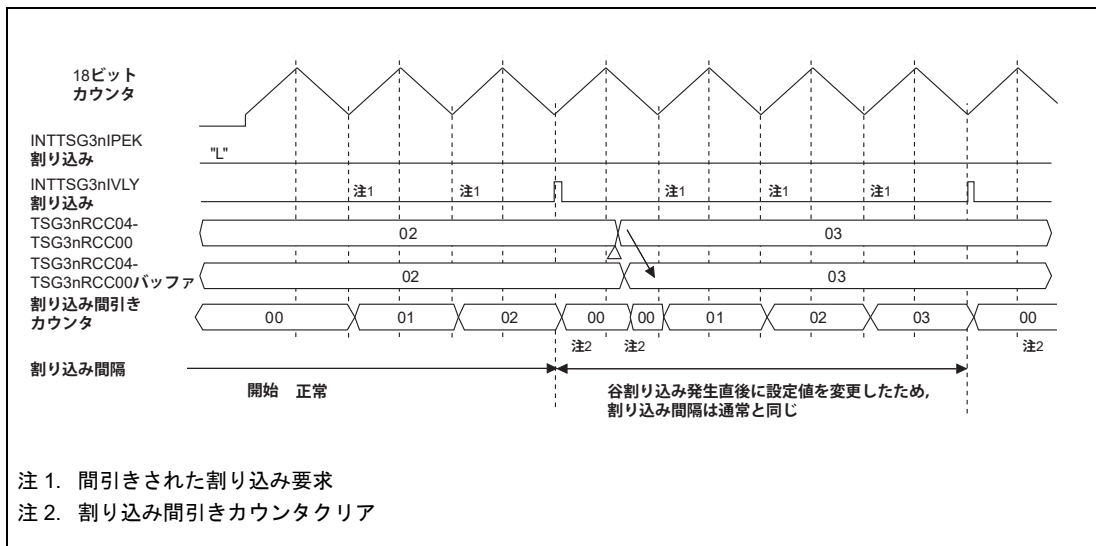


図 19.38 TSG3nCTL3 レジスタの TSG3nRMC = 1 (随时書き換えモード) の場合

備考

書き換え後、リロードタイミングは無視して値が直ちに反映されます。
割り込み間引きカウンタのクリアタイミングはレジスタ書き換え時ではなく、
TSG3nRCC04-TSG3nRCC00 バッファへの転送時です。

19.4.4.2 山割り込みを発生する場合の動作例 (PWM モード時)

PWM モード時の割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み (INTTSG3nIPEK) です。PWM モード動作時は TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致で発生します。
- TSG3nCTL4.TSG3nPIE で、INTTSG3nIPEK 割り込みの発生許可と間引きカウント対象指定を行います。
- TSG3nCTL4.TSG3nVIE の設定は無効となります。このとき、INTTSG3nIVLY 割り込みは発生しません。
TSG3nCTL3.TSG3nRIA = 1 (リロード間引きあり) に指定した場合は、間引き後の割り込みと同タイミングでリロードタイミングが発生します。

注 意

TSG3nCTL4 レジスタにライトアクセスし、TSG3nRCC04-TSG3nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなることがあります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定 (TSG3nCTL3.TSG3nRIA = 1) にして、割り込み間引き数の変更を行ってください。

(1) 動作例

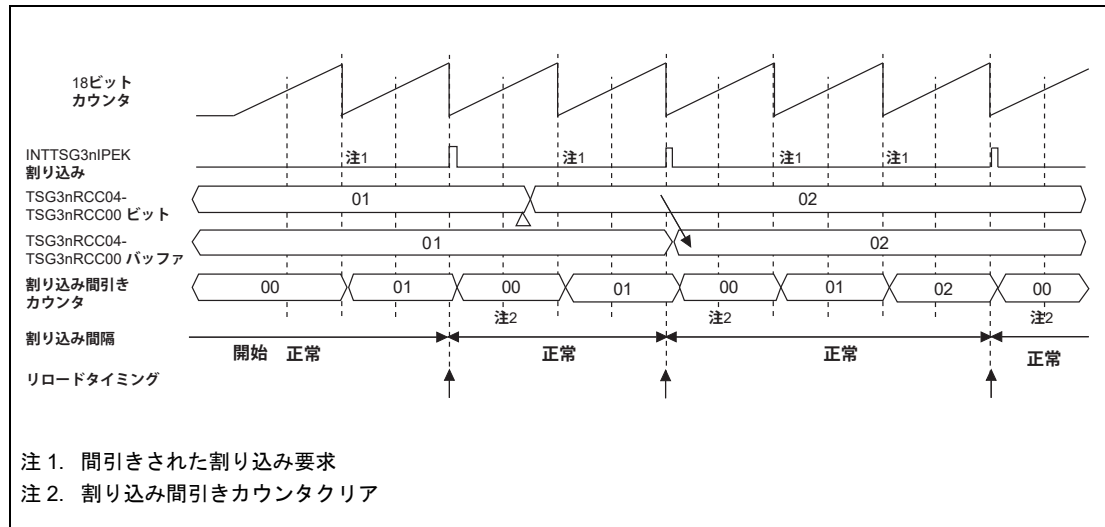


図 19.39 TSG3nCTL3.TSG3nRMC = 0, TSG3nRIA = 1, TSG3nCTL4.TSG3nPRE = 1 の場合 (推奨設定)

備考

TSG3nCTL3.TSG3nRIA = 1 のとき、間引きされた割り込みと同じタイミングでリロードタイミングが発生します。

19.4.5 A/D 変換トリガ機能

A/D 変換トリガの動作に関して説明します。

TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E レジスタは A/D 変換トリガ機能のコンペアレジスタとして使用します。

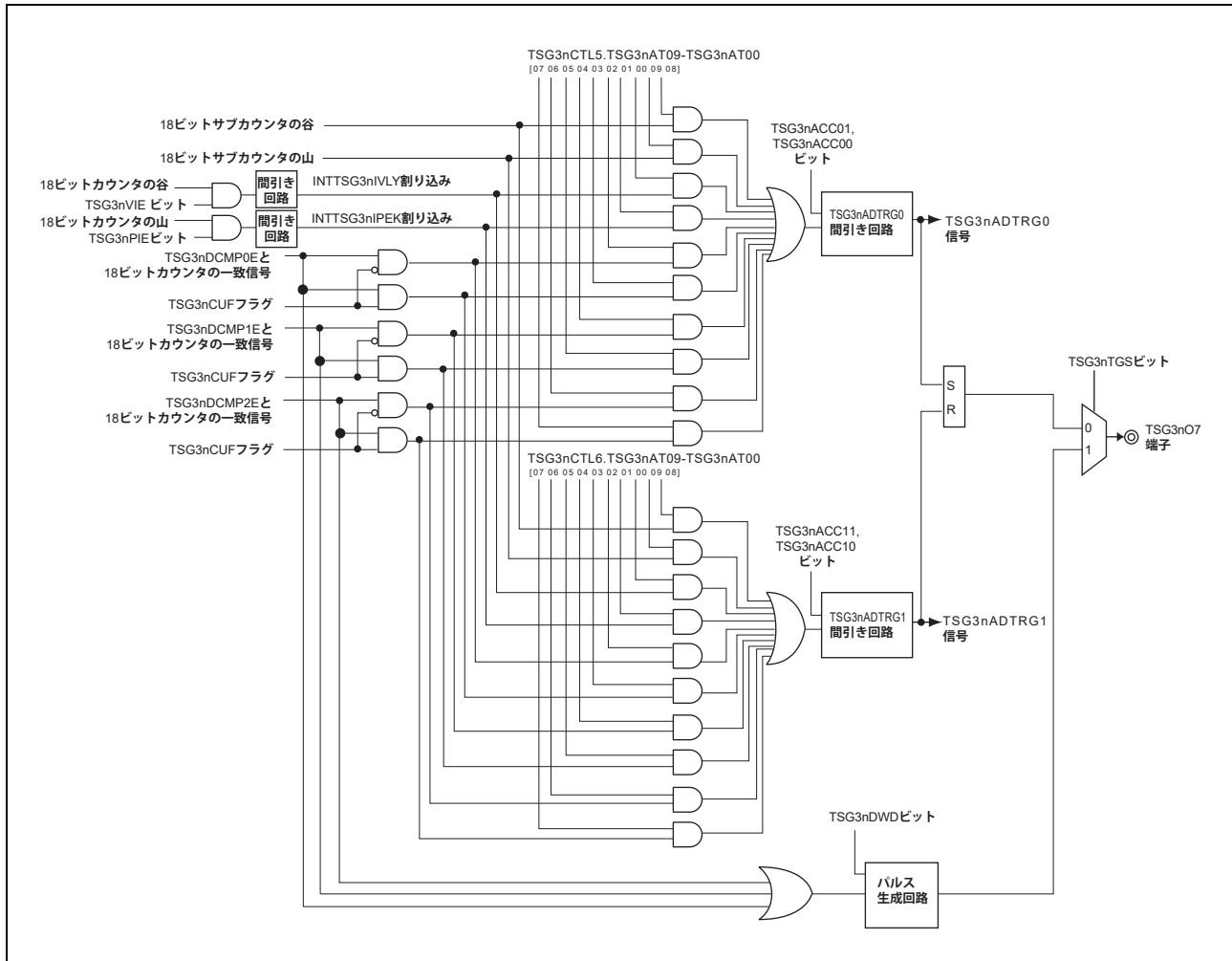


図 19.40 A/D 変換トリガ、ダイアグ出力制御回路

図 19.40 のように、TSG3nDCMP0E-TSG3nDCMP2E と 18 ビットカウンタのコンペア一致と山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) の割り込み信号、18 ビットサブカウンタの山タイミング、18 ビットサブカウンタの谷タイミングを選択し、論理和 (OR) をとった信号を生成することができます。

TSG3n では、同じ A/D 変換トリガ制御回路が 2 チャンネルあり、それぞれ独立に制御することができます。また、A/D 変換トリガの間引き機能があり、間引き率 1/2, 1/4, 1/8, 間引きなしの設定が可能です。

19.4.5.1 A/D 変換トリガの動作

TSG3n には、10 個のトリガソースを自由に選択して、A/D の変換開始トリガ (TSG3nADTRG0, TSG3nADTRG1 信号) を生成する機能があります。トリガソースの選択は、TSG3nCTL5 レジスタの TSG3nAT09-TSG3nAT00、TSG3nCTL6 レジスタの TSG3nAT19-TSG3nAT10 で指定します。

(1) TSG3nADTRG0/TSG3nADTRG1 信号の出力制御 (TSG3nCTL5, TSG3nCTL6 レジスタ)

【トリガソース】

- TSG3nAT00/TSG3nAT10 = 1 : 谷割り込み (INTTSG3nIVLY) 発生時に A/D 変換トリガを発生
- TSG3nAT01/TSG3nAT11 = 1 : 山割り込み (INTTSG3nIPEK) 発生時に A/D 変換トリガを発生
- TSG3nAT02/TSG3nAT12 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP0E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT03/TSG3nAT13 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP0E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT04/TSG3nAT14 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP1E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT05/TSG3nAT15 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP1E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT06/TSG3nAT16 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP2E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT07/TSG3nAT17 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP2E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT08/TSG3nAT18 = 1 : 18 ビットサブカウンタの谷タイミング (ダウンからアップへの切り替わり時、A/D 変換トリガを発生許可
- TSG3nAT09/TSG3nAT19 = 1 : 18 ビットサブカウンタの山タイミング (アップからダウンへの切り替わり) 時、A/D 変換トリガを発生許可

【間引き設定】

- TSG3nACC01, TSG3nACC00 / TSG3nACC11, TSG3nACC10
: TSG3nADTRG0/TSG3nADTRG1 信号の間引き設定

TSG3nAT09-TSG3nAT00/TSG3nAT19-TSG3nAT10 により選択された A/D 変換トリガはすべて論理和 (OR) され、その信号は、TSG3nACC01, TSG3nACC00/TSG3nACC11, TSG3nACC10 で設定した間引き制御の後、TSG3nADTRG0/TSG3nADTRG1 信号が生成されます。

また、TSG3nAT00, TSG3nAT01/TSG3nAT10, TSG3nAT11 によって選択される山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) は、割り込み間引き後の信号となります。したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TSG3nCTL4.TSG3nPIE, TSG3nVIE) を許可にしていない場合は、A/D 変換トリガも出力されません。

また、TSG3nACC01, TSG3nACC00, TSG3nAT09-TSG3nAT00/TSG3nACC11, TSG3nACC10, TSG3nAT19-TSG3nAT10 は、タイマ動作中の書き換えが可能です。

動作中に A/D 変換トリガの設定ビットを書き換えると、即時に A/D 変換トリガの出力状態に反映されます。これらの制御ビットは、動作モードにかかわらず、随時書き換えとなります。また、TSG3nCTL5, TSG3nCTL6 レジスタにライトアクセス (同値書き換え含む) をした場合は、A/D 変換トリガの間引きカウンタはクリアされ 0 からのカウントを開始します。

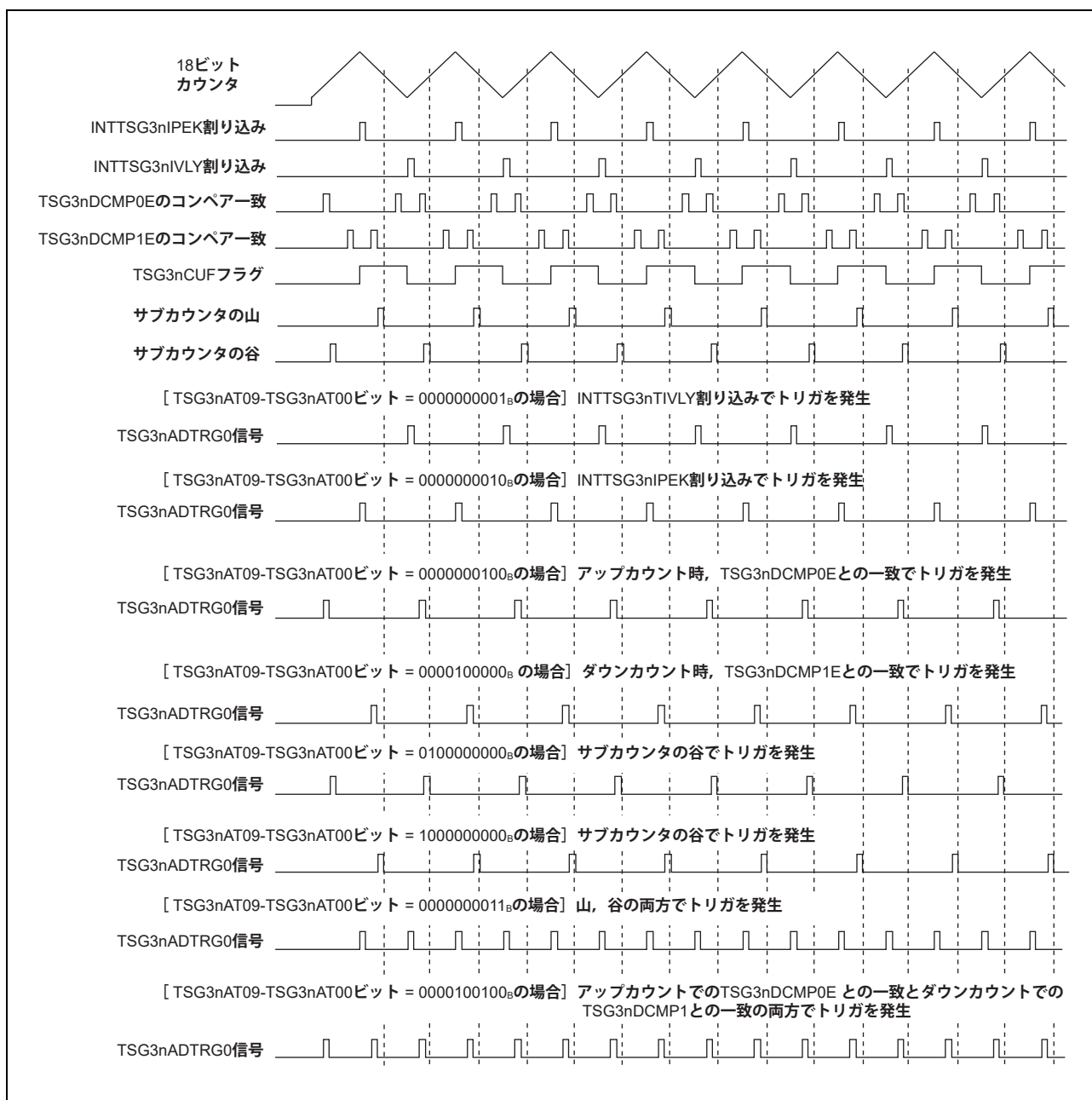


図 19.41 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 00_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B の場合 (HT-PWM モード)

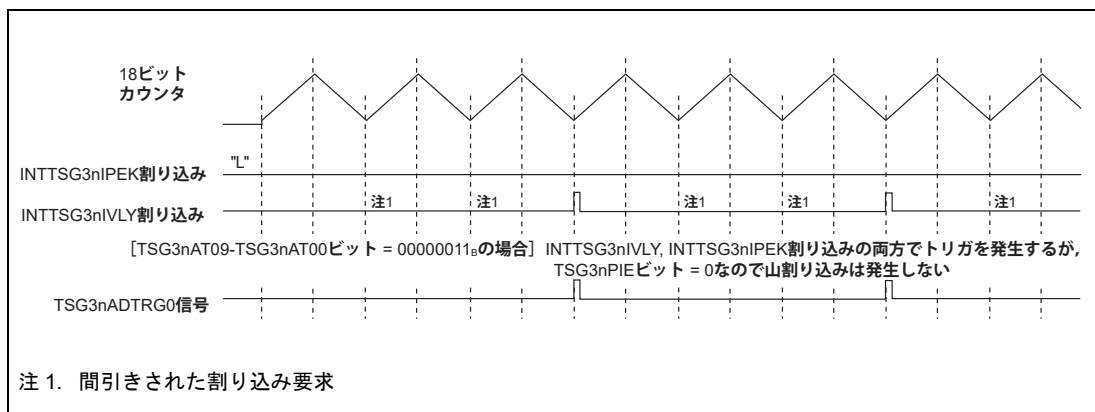


図 19.42 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 02_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B の場合 (HT-PWM モード)

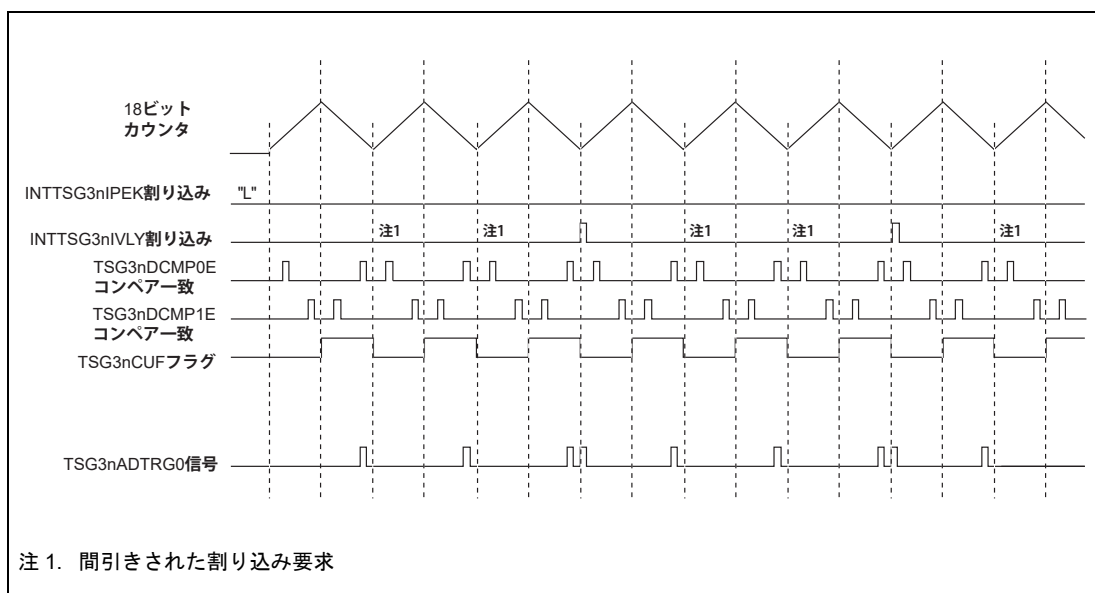


図 19.43 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 02_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B, TSG3nAT09-TSG3nAT00 = 00001001_B の場合 (HT-PWM モード)

(2) A/D 変換トリガ間引き機能

A/D 変換トリガの間引き機能の動作例を次に示します。

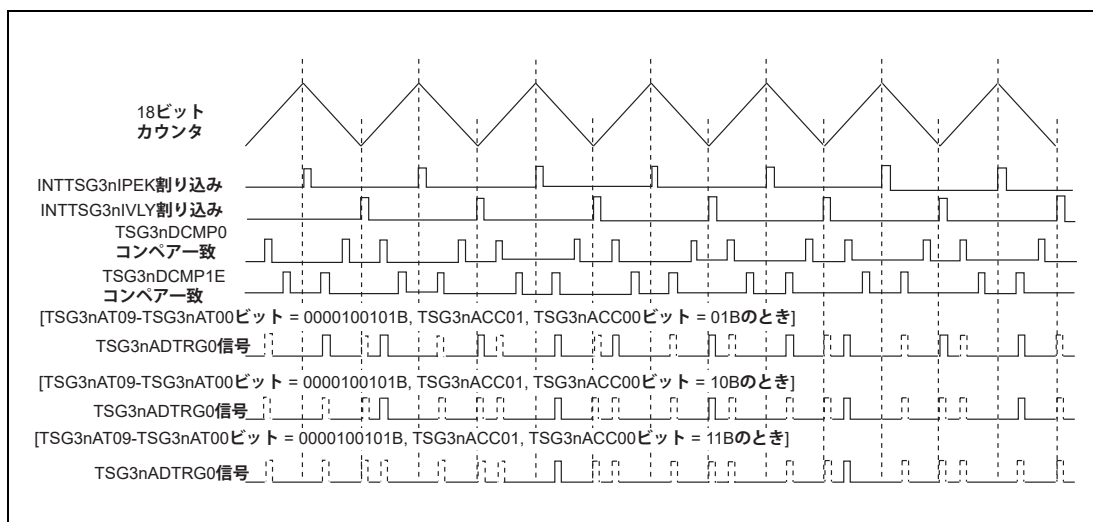


図 19.44 A/D 変換トリガの間引き機能の動作例

備 考

破線は A/D 変換トリガ間引き機能により間引きされた A/D 変換トリガ

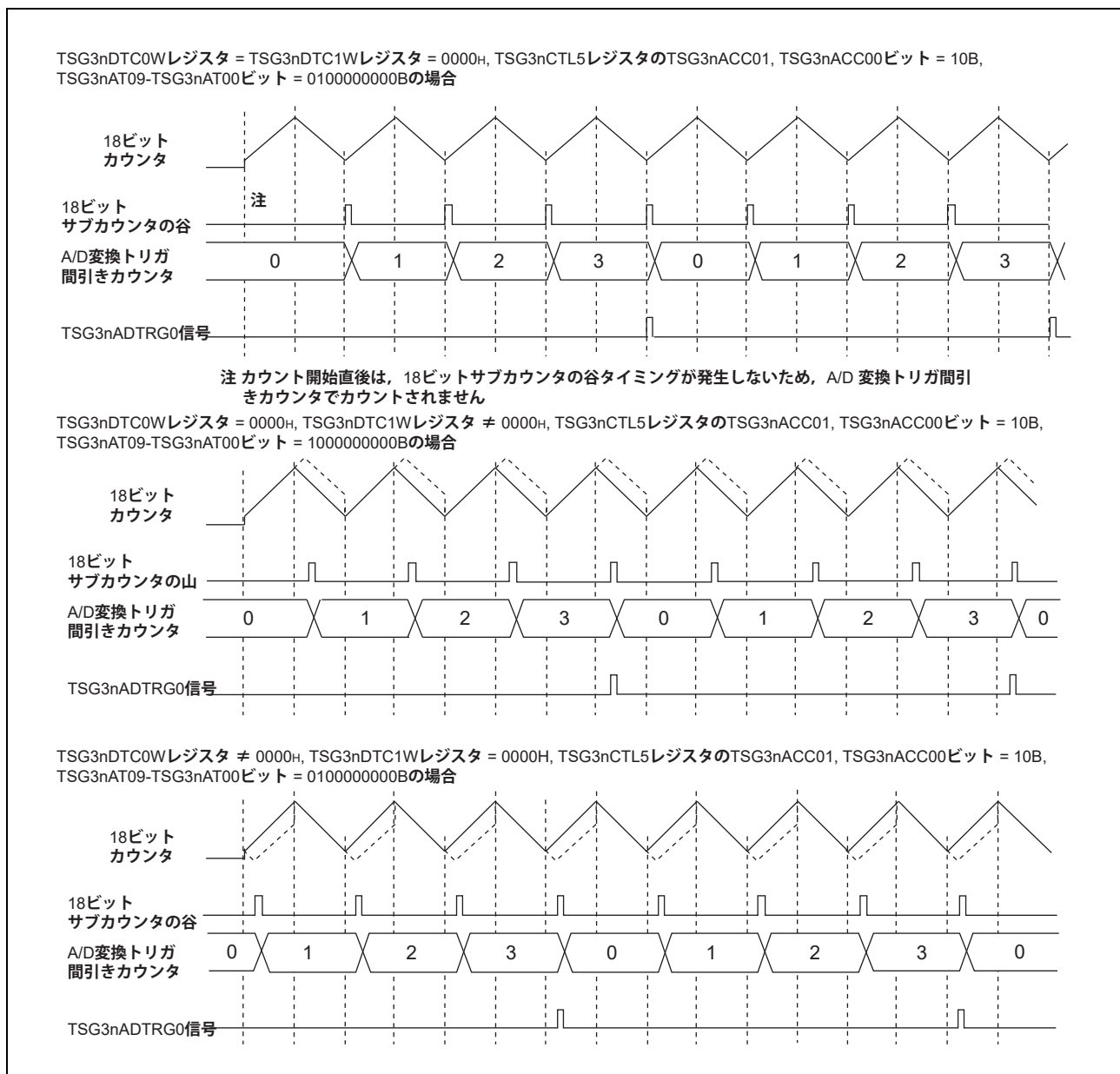


図 19.45 A/D 変換トリガの間引き機能の動作例

(3) A/D 変換トリガに関する注意事項

- TSG3nDCMP0E レジスタと、TSG3nDCMP1E レジスタもしくは、TSG3nDCMP2E レジスタに同値をライトアクセスし、有効な A/D 変換トリガを同じ条件（18 ビットカウンタのアップ/ダウンカウント時）に設定した場合、A/D 変換トリガ間引きカウンタには 1 回としてカウントされます。また出力するトリガも 1 パルスです。
- PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モードにおいて、谷割り込み（INTTSG3nIVLY）は発生しません。山割り込み（INTTSG3nIPEK）のみ有効となります。
- 120-DC モードにおいて TSG3nS120DCO = 0 に設定時、出力パタンの切り替えにより、18 ビットカウンタが搬送周期未満でクリアされる場合があります。このとき、TSG3nDCMP2E-0E と 18 ビットカウンタの一致、山割り込み（INTTSG3nIPEK）が発生しない場合は、A/D 変換トリガが発生しません。

19.4.6 エラー／ワーニング割り込み

19.4.6.1 エラー割り込み機能

エラー割り込み機能を許可 (TSG3nIOC1.TSG3nEOC = 1) 後、正相／逆相同時アクティブを検出した場合、TSG3nSTR2.TSG3nTBF がセットされ、TSG3n のエラー割り込み (INTTSG3nIER) が発生します。TSG3nCTL1.TSG3nTBA2-TSG3nTBA0 で各相 (TSG3nO1/TSG3nO2、TSG3nO3/TSG3nO4、TSG3nO5/TSG3nO6 端子) のエラー検出あり／なしを選択できます。

エラー発生時には、TSG3nO1-TSG3nO6 端子出力をハイインピーダンスにすることが可能です。詳細は、「20.4.1 非同期 Hi-Z 制御機能」を参照してください。

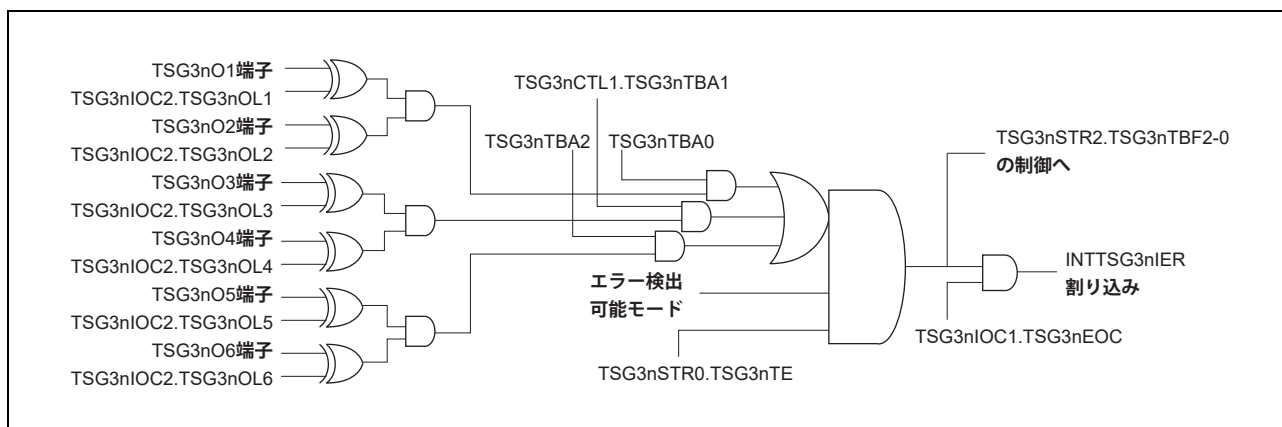


図 19.46 エラー割り込み (INTTSG3nIER) 発生制御回路

注意

エラー割り込みが発生した場合エラー割り込み処理内でエラー状態を解除 (TSG3nSTC.TSG3nTBR2-0 に “1” ライト) してください。エラー状態を解除しない場合以降のエラー割り込みは発生しません。

(1) PWM モード、120-DC モード、HSP-PWM モードの場合

PWM モードおよび HSP-PWM モード時、TSG3nO1 端子と TSG3nO2 端子が同時にアクティブレベルを出力するように TSG3nCMP1E, TSG3nCMP2E レジスタと TSG3nCMP3E, TSG3nCMP4E レジスタを設定した場合、エラー割り込み (INTTSG3nIER) が発生します。同様に、TSG3nO3 端子と TSG3nO4 端子および TSG3nO5 端子と TSG3nO6 端子が同時にアクティブレベルを出力するように TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP9E, TSG3nCMP10E, TSG3nCMP11E, TSG3nCMP12E レジスタを設定した場合も、エラー割り込み (INTTSG3nIER) が発生します。

120-DC モード時、TSG3nO1 端子と TSG3nO2 端子が同時にアクティブレベルを出力するように TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E レジスタと TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E レジスタ、TSG3nPAT0W と TSG3nPAT1W を設定した場合、エラー割り込み (INTTSG3nIER) が発生します。また、同様に設定したとき、TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子も同時にアクティブレベルを出力し、エラー割り込み (INTTSG3nIER) が発生します。

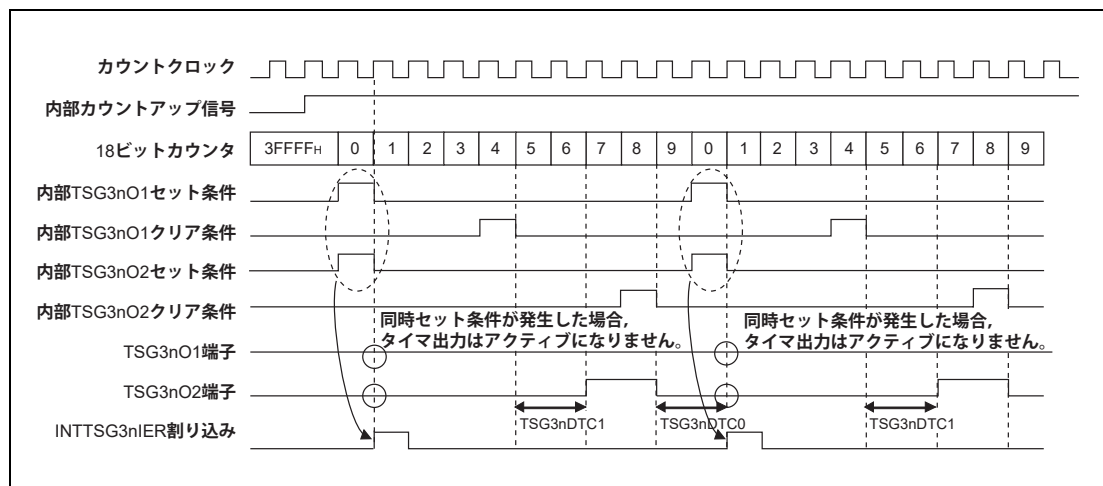


図 19.47 エラー割り込み (INTTSG3nIER) 発生例 (PWM モード時)

備考

TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子も同様です。

TSG3nIOC2.TSG3nOL1, TSG3nOL2 を操作して、出力のアクティブレベルを切り替えた場合は、次のようになります。

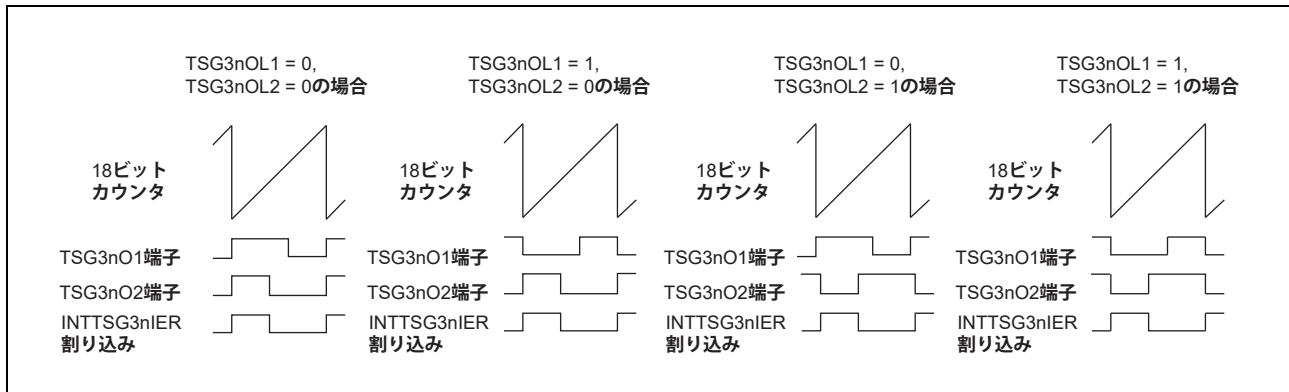


図 19.48 アクティブレベルごとのエラー割り込み (INTTSG3nIER) 発生例

(2) HT-PWM モード、SP-PWM モードの場合

TSG3n デッドタイム設定レジスタ 0, 1 (TSG3nDTC0W, TSG3nDTC1W) のいずれかが 0000_H の場合、エラーが発生する可能性があります。

備考

デッドタイム制御機能を使用 (TSG3nDTC0, TSG3nDTC1 のいずれも 0000_H 以外) 時にエラーが発生した場合は、内部回路の故障が考えられます。

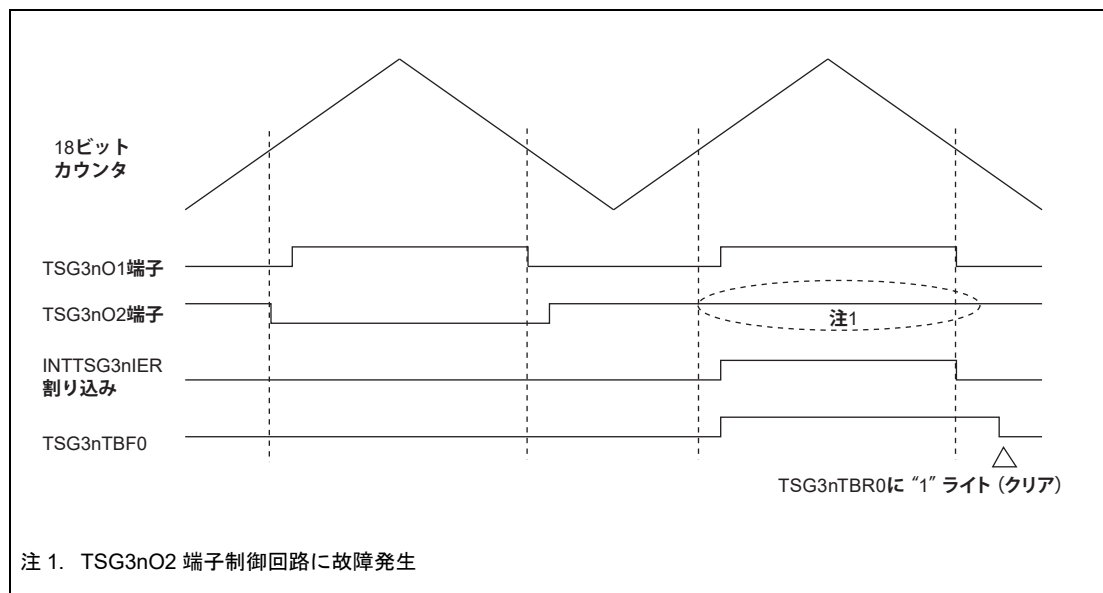


図 19.49 エラー割り込み動作例

19.4.6.2 ワーニング割り込み機能

TSG3nには、ワーニング割り込み (INTTSG3nIWN) があります。

ワーニング割り込み (INTTSG3nIWN) は、次のいずれかの条件を検出した場合に発生します。

詳細は「19.4.3 フラグ」を参照してください。

- TSG3nPTSI2-TSG3nPTSI0 端子に関して、2 端子以上の同時変化を検出した場合：

「19.4.3.4 ノイズ検出フラグ (TSG3nNDF)」を参照

- TSG3nPTSI2-TSG3nPTSI0 端子に関して、反転を検出した場合：

「19.4.3.7 パタン反転検出フラグ (TSG3nPRF)」を参照

- TSG3nPTSI2-TSG3nPTSI0 端子に関して“000”、“111”を検出した場合：

「19.4.3.6 パタンエラー検出フラグ (TSG3nPEF)」を参照

- TSG3nOPCI0, 1 信号のトリガ間に、TSG3nPTSI2-TSG3nPTSI0 端子のトグルが 3 回以上発生した場合：

「19.4.3.8 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)」を参照

- TSG3nOPCI0, TSG3nOPCI1 信号のトリガが同時に検出された場合：

「19.4.3.9 TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)」を参照

- 入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) と出力パタン (TSG3nOPF2-TSG3nOPF0) の位相関係がずれた場合：

「19.4.3.10 パタン位相差異検出フラグ (TSG3nPPF)」を参照

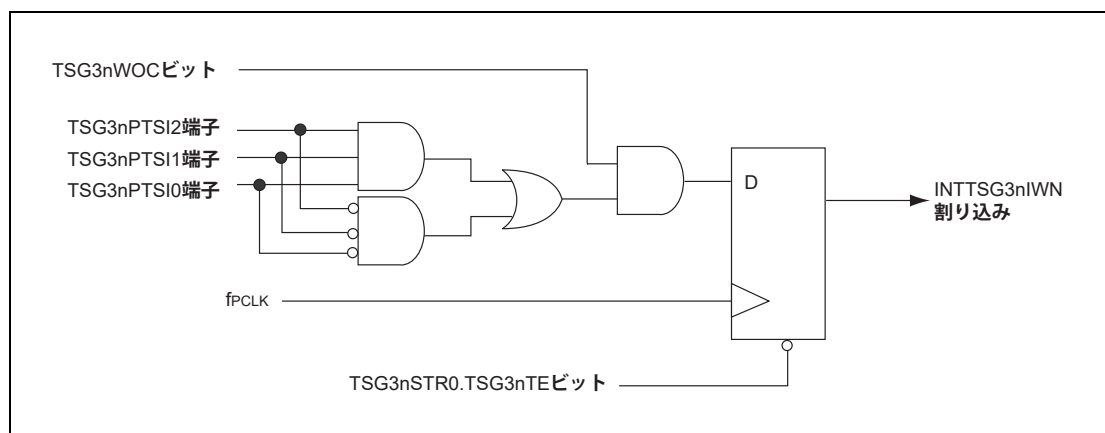


図 19.50 TSG3nPTSI2-TSG3nPTSI0 端子の異常検出

19.4.7 各モードの動作

19.4.7.1 PWM モード

概要

TSG3nCMP0E レジスタの PWM 周期、TSG3nCMP1E-TSG3nCMP12E のセットタイミング／クリアタイミングにより、PWM を TSG3nO1-TSG3nO6 端子から出力します。

前提条件

- 偶数番号のコンペアレジスタにセットタイミングを設定。
TSG3nCMP2E (TSG3nO1 端子のセットタイミング)、TSG3nCMP4E (TSG3nO2 端子のセットタイミング)、TSG3nCMP6E (TSG3nO3 端子のセットタイミング)、TSG3nCMP8E (TSG3nO4 端子のセットタイミング)、TSG3nCMP10E (TSG3nO5 端子のセットタイミング)、TSG3nCMP12E (TSG3nO6 端子のセットタイミング) を設定。
- 奇数番号のコンペアレジスタにクリアタイミングを設定。
TSG3nCMP1E (TSG3nO1 端子のクリアタイミング)、TSG3nCMP3E (TSG3nO2 端子のクリアタイミング)、TSG3nCMP5E (TSG3nO3 端子のクリアタイミング)、TSG3nCMP7E (TSG3nO4 端子のクリアタイミング)、TSG3nCMP9E (TSG3nO5 端子のクリアタイミング)、TSG3nCMP11E (TSG3nO6 端子のクリアタイミング) を設定

機能説明

PWM 周期を設定、TSG3nO1-TSG3nO6 端子出力のセットタイミング／クリアタイミングを設定。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

カウントアップ開始と同時に、TSG3nO1-TSG3nO6 端子はインアクティブレベルとなり、18 ビットカウンタと TSG3nCMP2E, TSG3nCMP4E, TSG3nCMP6E, TSG3nCMP8E, TSG3nCMP10E, TSG3nCMP12E のバッファレジスタの一致によりアクティブレベルとなります。

次に TSG3nCMP1E, TSG3nCMP3E, TSG3nCMP5E, TSG3nCMP7E, TSG3nCMP9E, TSG3nCMP11E のバッファレジスタとの一致により TSG3nO1-TSG3nO6 端子はインアクティブレベルとなります。

カウント動作中、18 ビットカウンタと TSG3nCMP0E-TSG3nCMP12E のバッファレジスタの一致でコンペア一致割り込み (INTTSG3nI0-INTTSG3nI12) が発生します。

注 意

TSG3nCTL3.TSG3nRMC = 0 のとき、TSG3nCMP1E レジスタに書き込むとリロードが実行されます。したがって、TSG3nCMP0E レジスタの値だけ書き換えたい場合でも、TSG3nCMP1E レジスタは同値の書き込みを行う必要があります。TSG3nCMP0E レジスタだけ書き換えを行ってもリロードは行われません。

備 考

PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 000_B に設定したときに有効となります。

- (a) タイマ動作中に TSG3nCMP0E、TSG3nCMP1E-TSG3nCMP12E レジスタの値を書き換えない場合

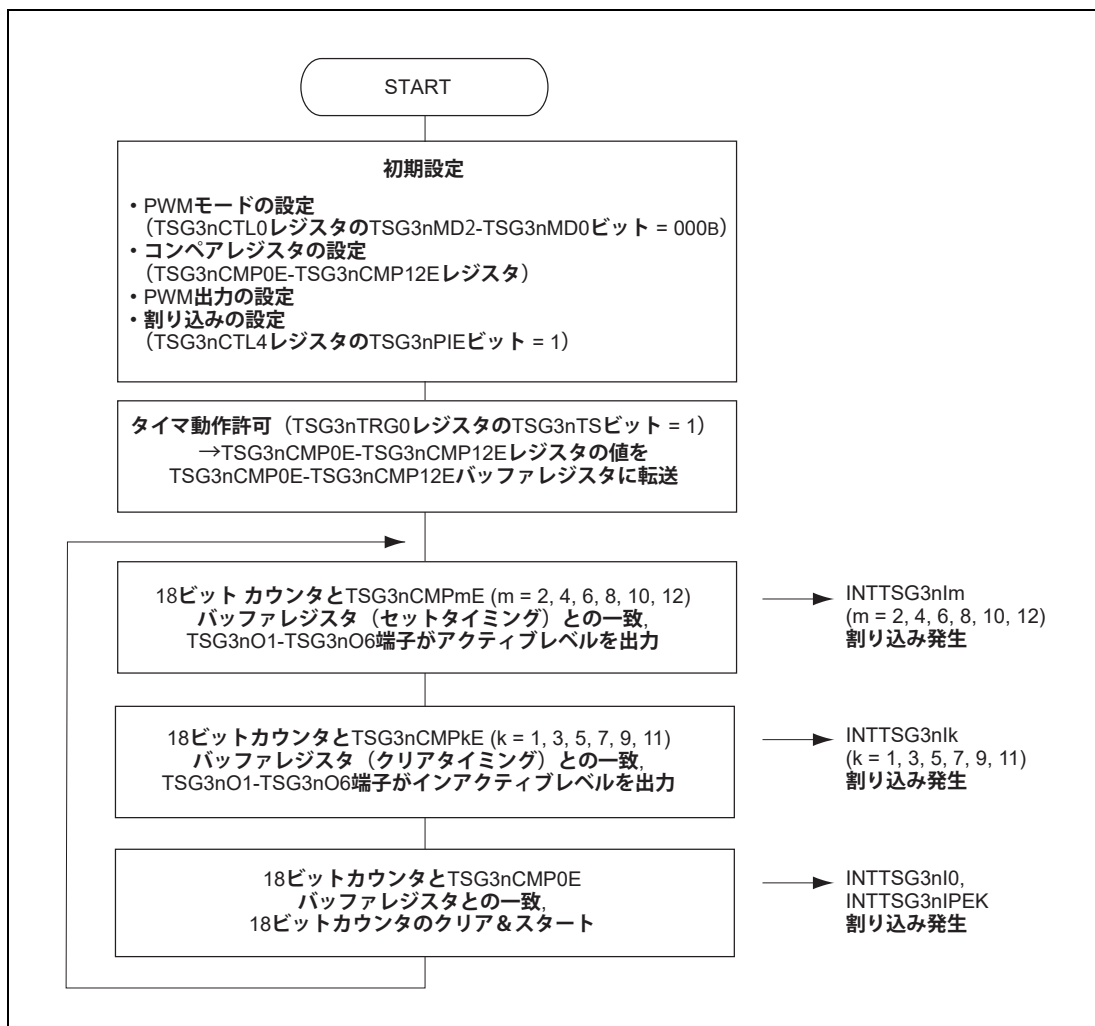


図 19.51 PWM モード時の基本動作フロー (1/2)

- (b) タイマ動作中に TSG3nCMP0E、TSG3nCMP1E-TSG3nCMP12E レジスタの値を書き換える場合

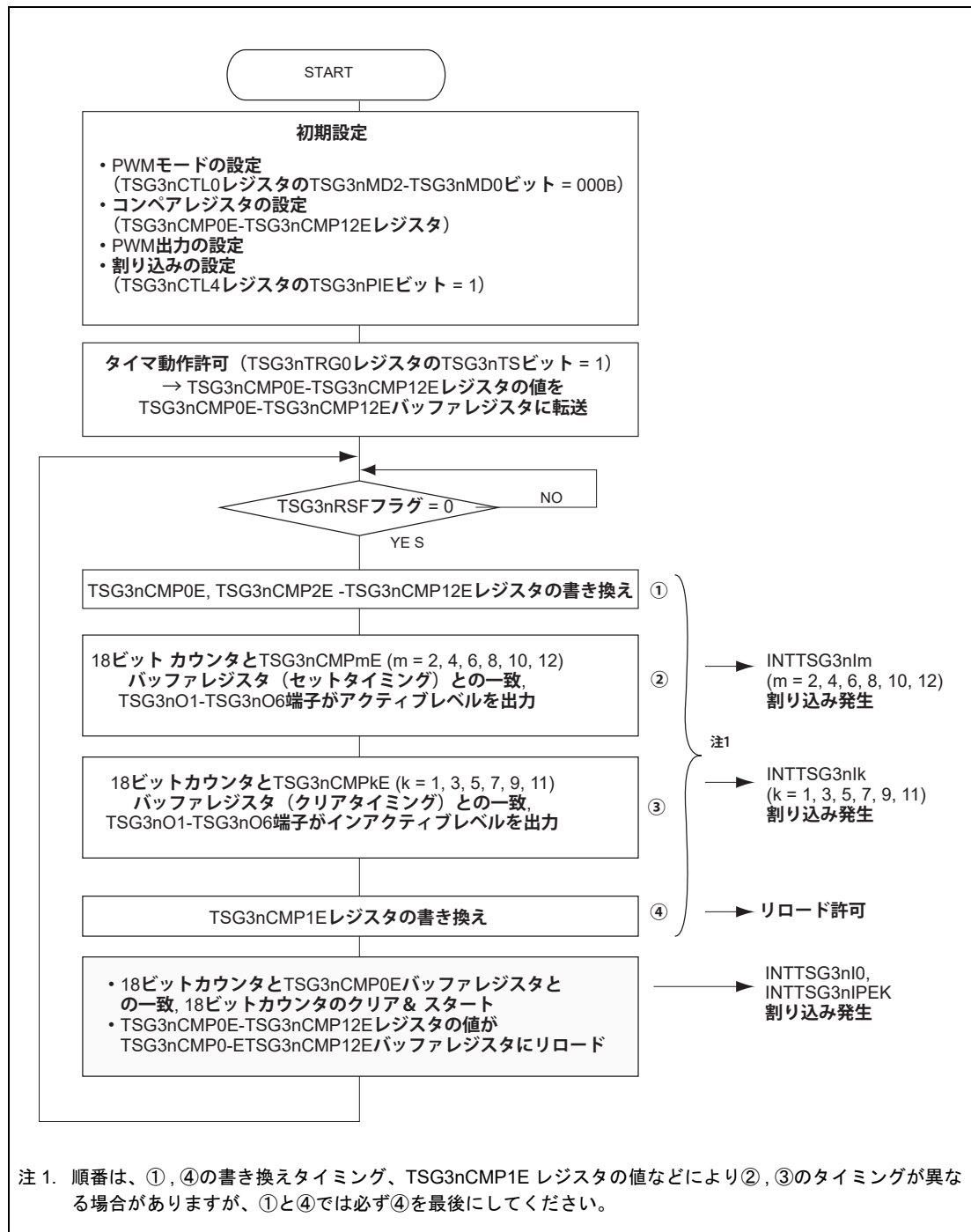


図 19.51 PWM モード時の基本動作フロー (2/2)

注 意

コンペアレジスタの書き換え前に、リロード要求フラグ (TSG3nRSF) が“0”であることを確認してください。

(1) PWM モード動作一覧

表 19.55 PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1 または、同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 19.56 PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nCMPmE (m = 1-12)	リロード/随時書き換え	可能	セット/ クリアタイミング
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード/随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	可能 ^{注1}	デッドタイム

注 1. 詳細は「(3) PWM モード時のデッドタイム制御」を参照してください。

表 19.57 PWM モード : タイマ出力機能

端子	機能
TSG3nOm (m = 1-6)	TSG3nCMPkE バッファレジスタと 18 ビットカウンタのコンペア一致による PWM 出力 (k = 1-12)
TSG3nO7	ダイアグ出力、もしくは、A/D 変換トリガによるパルス出力

表 19.58 PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0-12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致 (m = 0-12)
INTTSG3nIER	エラー (TSG3nO1, TSG3nO2、または TSG3nO3, TSG3nO4、 または TSG3nO5, TSG3nO6 の同時アクティブ検出)
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同時に発生)
INTTSG3nIWN	ワーニング

備考 “—” は、PWM モードで使用しない機能を示します。

表 19.59 PWM モード : コンペア一致タイミング

コンペア一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1-12)	18 ビットカウンタと TSG3nCMPmE の一致検出後 (m = 1-12)

表 19.60 PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nOm (m = 1-6)	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	1 周期の期間内すべて インアクティブレベル出力 (デューティ 0%)	TSG3nCMPmE = TSG3nCMP(m+1)E もしくは TSG3nCMP(m+1)E > TSG3nCMP0E (m = 1, 3, 5, 7, 9, 11)
			1 周期で 1 カウントクロックの アクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E + 1 TSG3nCMP(m+1)E = TSG3nCMPmE - 1 (m = 1, 3, 5, 7, 9, 11)
			1 周期で 1 カウントクロックの インアクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E - 1 TSG3nCMP(m+1)E = TSG3nCMPmE + 1 (m = 1, 3, 5, 7, 9, 11)
			1 周期の期間内すべて アクティブレベル出力 (デューティ 100%)	TSG3nCMPmE > TSG3nCMP0E TSG3nCMP(m+1)E ≤ TSG3nCMP0E (m = 1, 3, 5, 7, 9, 11)

TSG3nCMP2E のみの値書き換え、TSG3nO1 端子出力ありの場合
(TSG3nIOC0.TSG3nTOE1 = 1, TSG3nIOC2.TSG3nOL1 = 0)

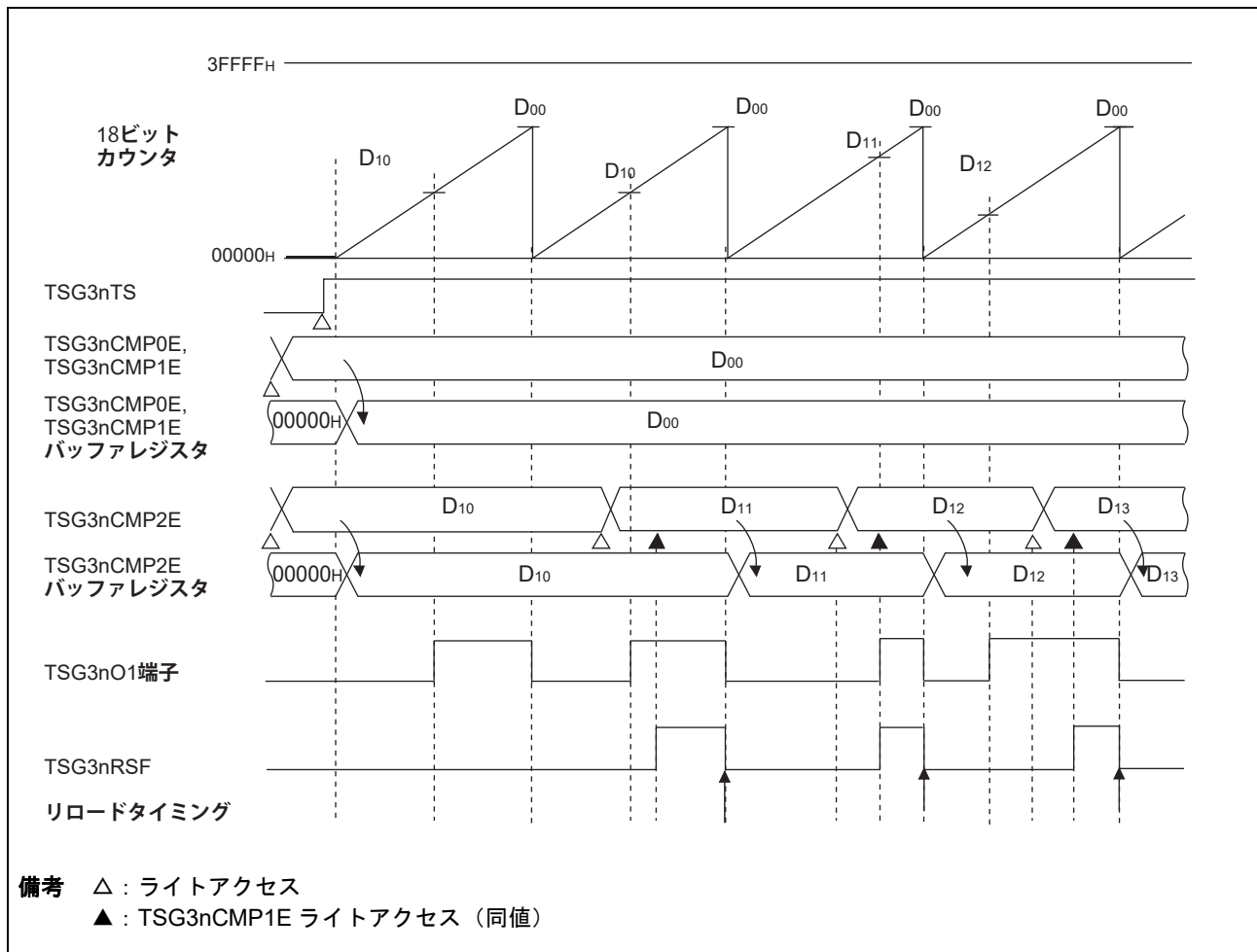


図 19.52 PWM モード時の基本動作タイミング例 (1/2)

備 考

- D00 : TSG3nCMP0E, TSG3nCMP1E の設定値 (00000_H-3FFFF_H)
 D10, D11, D12, D13 : TSG3nCMP2E の設定値 (00000_H-3FFFF_H)
- TSG3nO1 端子 (PWM) デューティ =

$$\frac{(TSG3nCMP1E - TSG3nCMP2E) \times (\text{カウントクロック周期})}{TSG3nO1 \text{ 端子 (PWM) 周期}}$$

$$TSG3nO1 \text{ 端子 (PWM) 周期} = (TSG3nCMP0E \text{ レジスタの設定値} + 1) \times (\text{カウントクロック周期})$$
- TSG3nO2-TSG3nO6 端子は、TSG3nO1 端子と同機能です。

**TSG3nCMP0E-TSG3nCMP2E レジスタの値書き換え、TSG3nO1 端子出力ありの場合
(TSG3nIOC0.TSG3nTOE1 = 1, TSG3nIOC2.TSG3nOL1 = 0)**

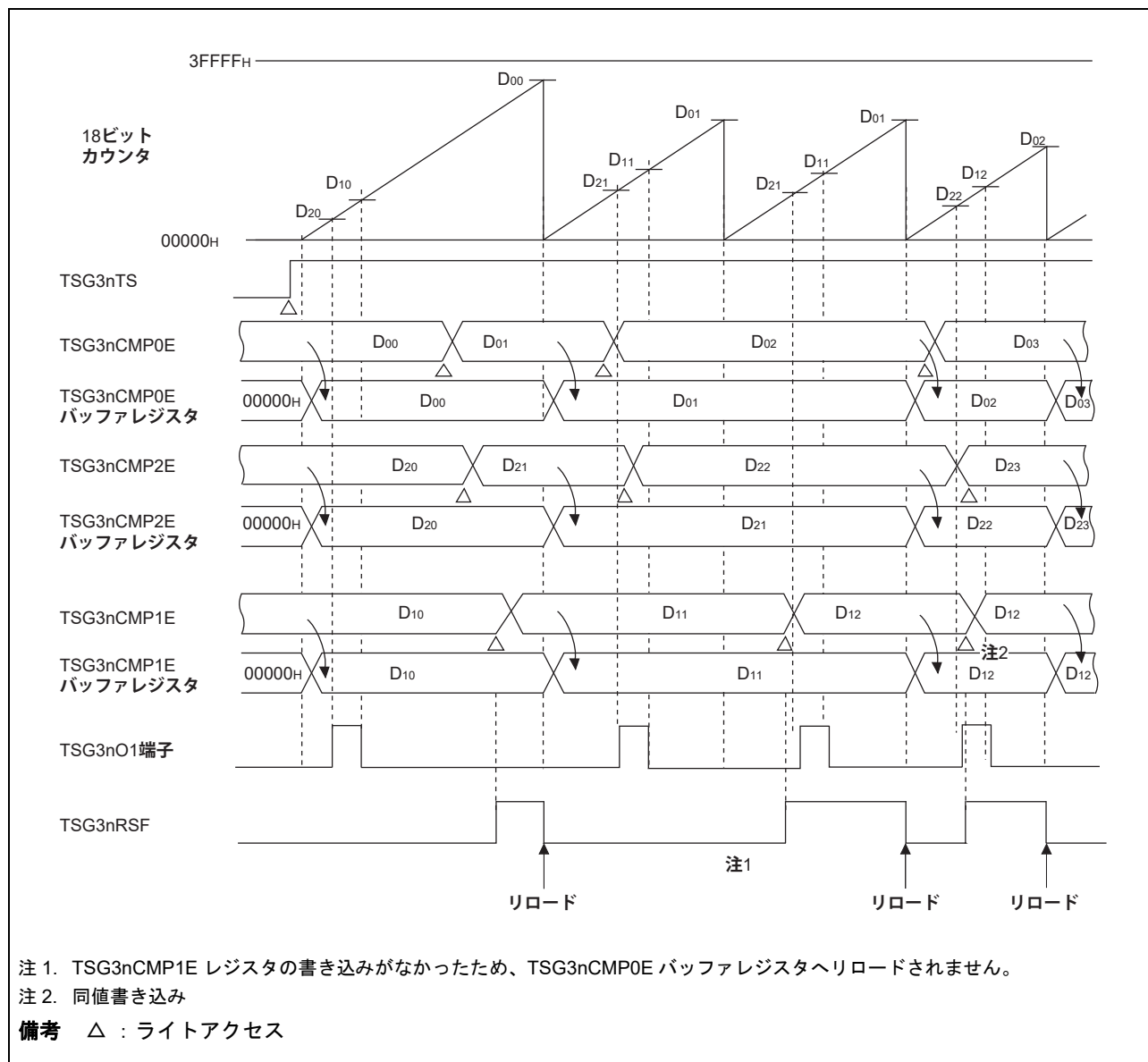


図 19.52 PWM モード時の基本動作タイミング例 (2/2)

備 考

1. D00, D01, D02, D03 : TSG3nCMP0E レジスタの設定値 (00000_H-3FFFF_H)
 D10, D11, D12, D13 : TSG3nCMP1E レジスタの設定値 (00000_H-3FFFF_H)
 D20, D21, D22, D23 : TSG3nCMP2E レジスタの設定値 (00000_H-3FFFF_H)
2. TSG3nO2-TSG3nO6 端子は、TSG3nO1 端子と同機能です。

(2) PWM モード時のリロード／割り込み間引き機能

TSG3nCTL4.TSG3nPRE = 1, TSG3nPIE = 1, TSG3nRCC04-TSG3nRCC00,

TSG3nCTL3.TSG3nRIA を設定することで、リロード間引き機能、割り込み間引き機能を使用できます。

TSG3nPRE = 1, TSG3nRCC04-TSG3nRCC00 を設定することで、割り込み間引き機能を使用できます。

(3) PWM モード時のデッドタイム制御

PWM モードでは、TSG3nDTC0W, TSG3nDTC1W レジスタにデッドタイム値を設定することで、デッドタイム制御ができます。デッドタイムは、TSG3nO1 端子と TSG3nO2 端子、TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子の切り替えタイミングで制御できます。

表 19.61 PWM モードにおけるデッドタイム

切り替えタイミング	デッドタイム
TSG3nO1 端子がハイレベルからロウレベルで TSG3nO2 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO2 端子がハイレベルからロウレベルで TSG3nO1 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値
TSG3nO3 端子がハイレベルからロウレベルで TSG3nO4 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO4 端子がハイレベルからロウレベルで TSG3nO3 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値
TSG3nO5 端子がハイレベルからロウレベルで TSG3nO6 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO6 端子がハイレベルからロウレベルで TSG3nO5 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値

備 考

動作停止 (TSG3nTE = 0) 設定と、デッドタイム挿入タイミングが重なった場合でもデッドタイムカウンタは動作を継続し、TSG3nO1, 2 に設定したデッドタイムは必ず挿入します。

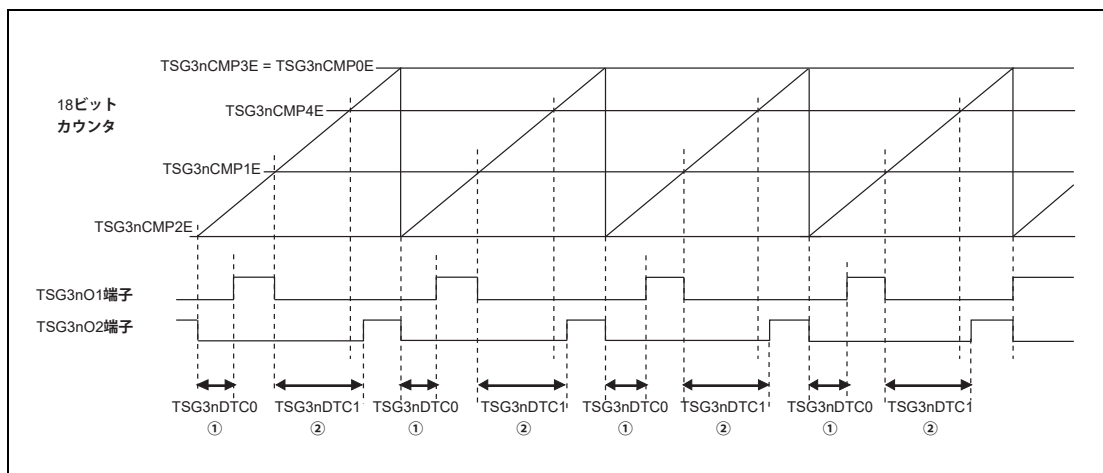


図 19.53 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (1/2)

①の箇所では、TSG3nO2 端子の立ち下がりからデッドタイムカウンタがスタートします。同時に、18ビットカウンタが 00000_H で TSG3nO1 端子がアクティブとなるタイミングでもデッドタイムカウンタが動作中のためインアクティブを継続し、デッドタイムカウント動作が終了したタイミングから TSG3nO1 端子がアクティブとなります。

②の箇所では、TSG3nO1 端子の立ち下がりからデッドタイムカウンタがスタートします。その後、18ビットカウンタと TSG3nCMP4E レジスタの一致で TSG3nO2 端子がアクティブとなるタイミングでもデッドタイムカウンタが動作中のためインアクティブを継続し、デッドタイムカウント動作が終了したタイミングから TSG3nO2 端子がアクティブとなります。

備考

1. TSG3nO1、TSG3nO2 端子のアクティブレベルは、ハイレベル。
2. TSG3nO3、TSG3nO4 端子、TSG3nO5、TSG3nO6 端子の場合も同様です。

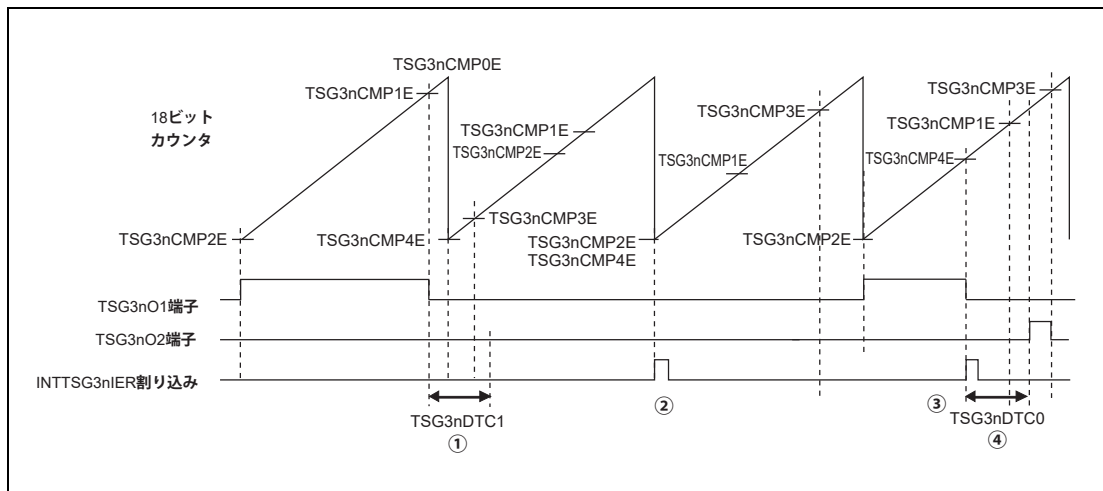


図 19.53 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)

①の箇所では、TSG3nO1 端子の立ち下がりからデッドタイムカウンタがスタートします。その後、18ビットカウンタが 00000_H で TSG3nCMP4E と一致し TSG3nO2 端子がアクティブとなるタイミングでもデッドタイムカウンタ動作中のためインアクティブを継続し、さらにデッドタイムカウンタの動作が終了する前に TSG3nCMP3E レジスタのコンペア一致が発生するため、コンペア一致により TSG3nO2 端子はインアクティブのままとなります。

$$\text{TSG3nCMP1E} + \text{TSG3nDTC1} \geq \text{TSG3nCMP0E} + \text{TSG3nCMP2E}$$

(TSG3nO2 はインアクティブを継続)

$$\text{TSG3nCMP2E} + \text{TSG3nDTC0} \geq \text{TSG3nCMP0E} + \text{TSG3nCMP1E}$$

(TSG3nO1 はインアクティブを継続)

②の箇所では、TSG3nO1 端子と TSG3nO2 端子が同時に立ち上がるように TSG3nCMP2E レジスタと TSG3nCMP4E レジスタを設定しているため INTTSG3nIER 割り込みが発生します。このとき、TSG3nO1, TSG3nO2 端子ともにインアクティブとなります。

③の箇所では、TSG3nO1 端子がアクティブ出力中に TSG3nCMP4E レジスタのコンペア一致が発生したため INTTSG3nIER 割り込みが発生し、両端子ともインアクティブとなります。

④の箇所では、同時アクティブにより TSG3nO1 端子の立ち下がり (インアクティブ) となり、デッドタイムカウンタがスタートします。その後、デッドタイム・カウンタの動作終了後に TSG3nO2 端子がアクティブとなります。

備考

1. TSG3nO1, TSG3nO2 端子のアクティブレベルは、ハイレベル
2. TSG3nO3, TSG3nO4 端子、TSG3nO5, TSG3nO6 端子の場合も同様です。

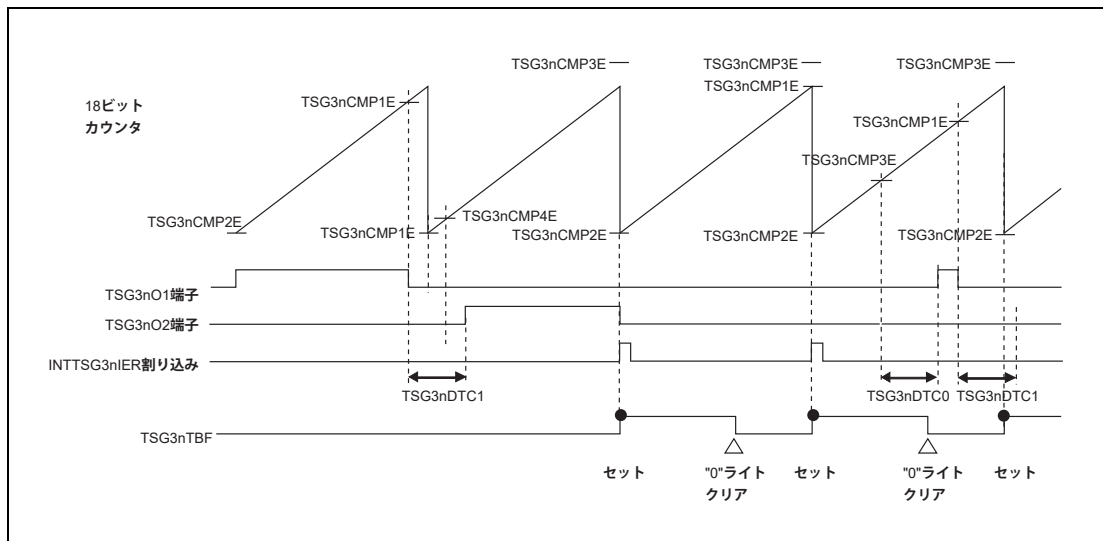


図 19.54 デッドタイム制御時のデューティ 100% 出力例

TSG3nO2 端子にデューティ 100%出力 ($TSG3nCMP3E \geq TSG3nCMP0E + 1$) を設定した場合、TSG3nO1 端子の出力はロウレベル固定となります。これは、TSG3nO1 端子がアクティブとなったタイミングですでに TSG3nO2 端子がアクティブになっているため、TSG3nO1 端子のアクティブ条件をマスクするように制御しています。この場合も、同時にハイレベルとなる設定のため、INTTSG3nIER 割り込みが発生します。

備考

1. TSG3nO1、TSG3nO2 端子のアクティブレベルは、ハイレベル
2. TSG3nO3、TSG3nO4、TSG3nO5、TSG3nO6 端子の場合も同様です。

(4) PWM モード動作時のデッドタイム書き換え

PWM モードでは、カウント中に TSG3n デッドタイム設定レジスタ (TSG3nDTC0W, TSG3nDTC1W) の書き換えが可能です。デッドタイムは、リロードタイミングで新しい設定が有効となります。随時書き換えによる変更はできません。

リロードタイミングを許可するには、TSG3nCMP1E レジスタに書き込みを行ってください。

19.4.7.2 HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード)

概要

18ビットカウンタ (アップ/ダウン、 ± 2 カウント、実質 17ビット) と、18ビットコンペアレジスタ (LSB は付加パルス制御) を使用して、6相 PWM を生成できます。

前提条件

- TSG3nCMP0E には、搬送波の周期を設定します。
- TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE で、U相、V相、W相の電圧データ信号のデューティを設定します。(TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE に設定した値は、対応する TSG3nCMPmE へ即時に設定値が反映されます ($m = 1, 2, 5, 6, 9, 10$))
- この章では、対称三角波による制御を説明します。
(非対称三角波による制御は、「19.4.7.2 (10) HT-PWM モードの非対称三角波制御」を参照してください)

機能説明

搬送波の周期を設定、U相、V相、W相のデューティを設定。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18ビットカウンタは、TSG3nDTC0 を最小値としてアップカウントを行い、TSG3nCMP0E+TSG3nDTC0 で示す最大値との一致でダウンカウント動作を行います。

デッドタイムは、TSG3nDTC0、TSG3nDTC1 で設定し、TSG3nDTC0 は逆相 (OFF) → 正相 (ON) のデッドタイムを、TSG3nDTC1 は正相 (OFF) → 逆相 (ON) のデッドタイムを設定することができます。デッドタイム生成用の 10ビットカウンタ (TSG3nDTT1-TSG3nDTT3) は、18ビットカウンタと TSG3nCMPmE バッファレジスタのコンペア一致で TSG3nDTC0、TSG3nDTC1 の設定値をロードし、ダウンカウントを行います。 ($m = 1, 2, 5, 6, 9, 10$)

18ビットカウンタと、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み ($m = 1, 2, 5, 6, 9, 10$) を発生します。

また、ダウンカウント (TSG3nCUF=1) 時には 18ビットカウンタと TSG3nCMP3E, 7E, 11E バッファレジスタのコンペア一致で、アップカウント (TSG3nCUF=0) 時には 18ビットカウンタと TSG3nCMP4E, 8E, 12E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み ($m = 3, 4, 7, 8, 11, 12$) を発生します。

備考

HT-PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 001_B に設定したときに有効となります。

(1) ブロック図と基本タイミング図

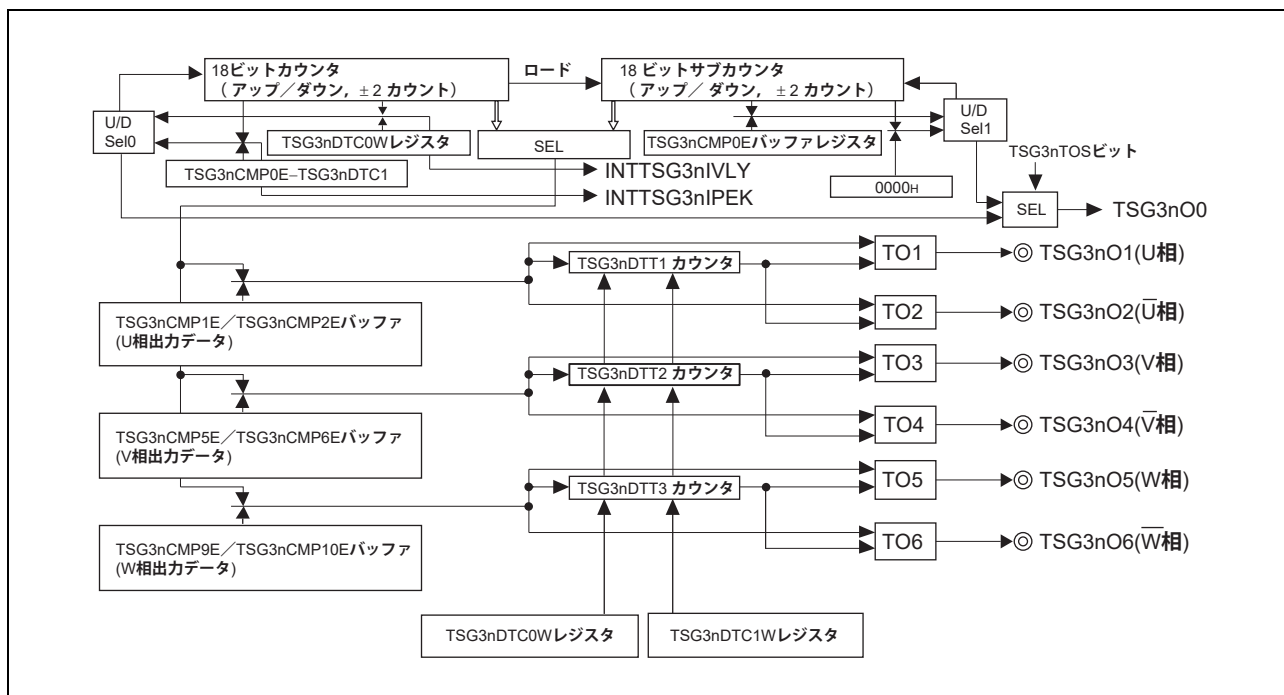


図 19.55 HT-PWM モード時のブロック図概略

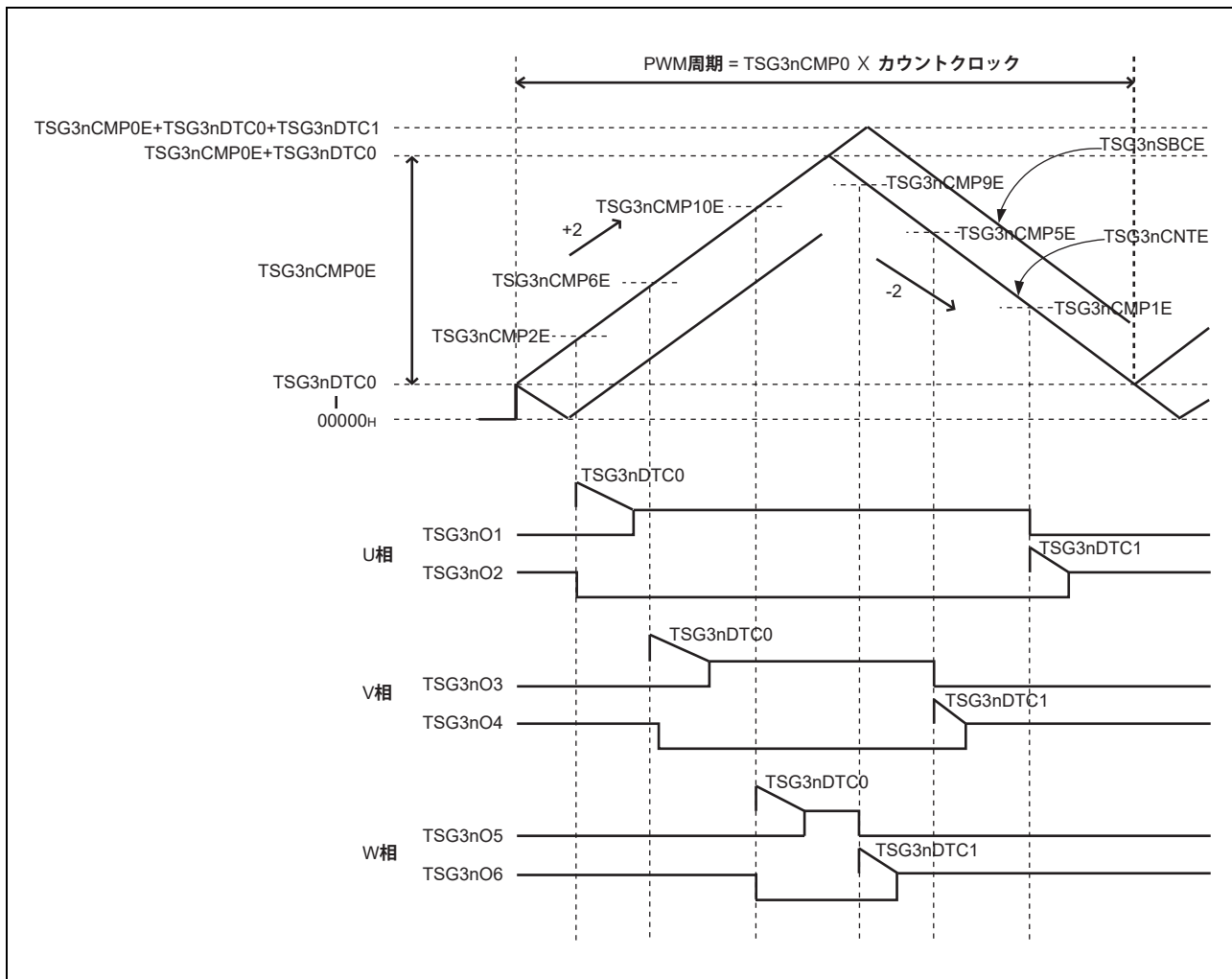


図 19.56 HT-PWM モード時の基本タイミング

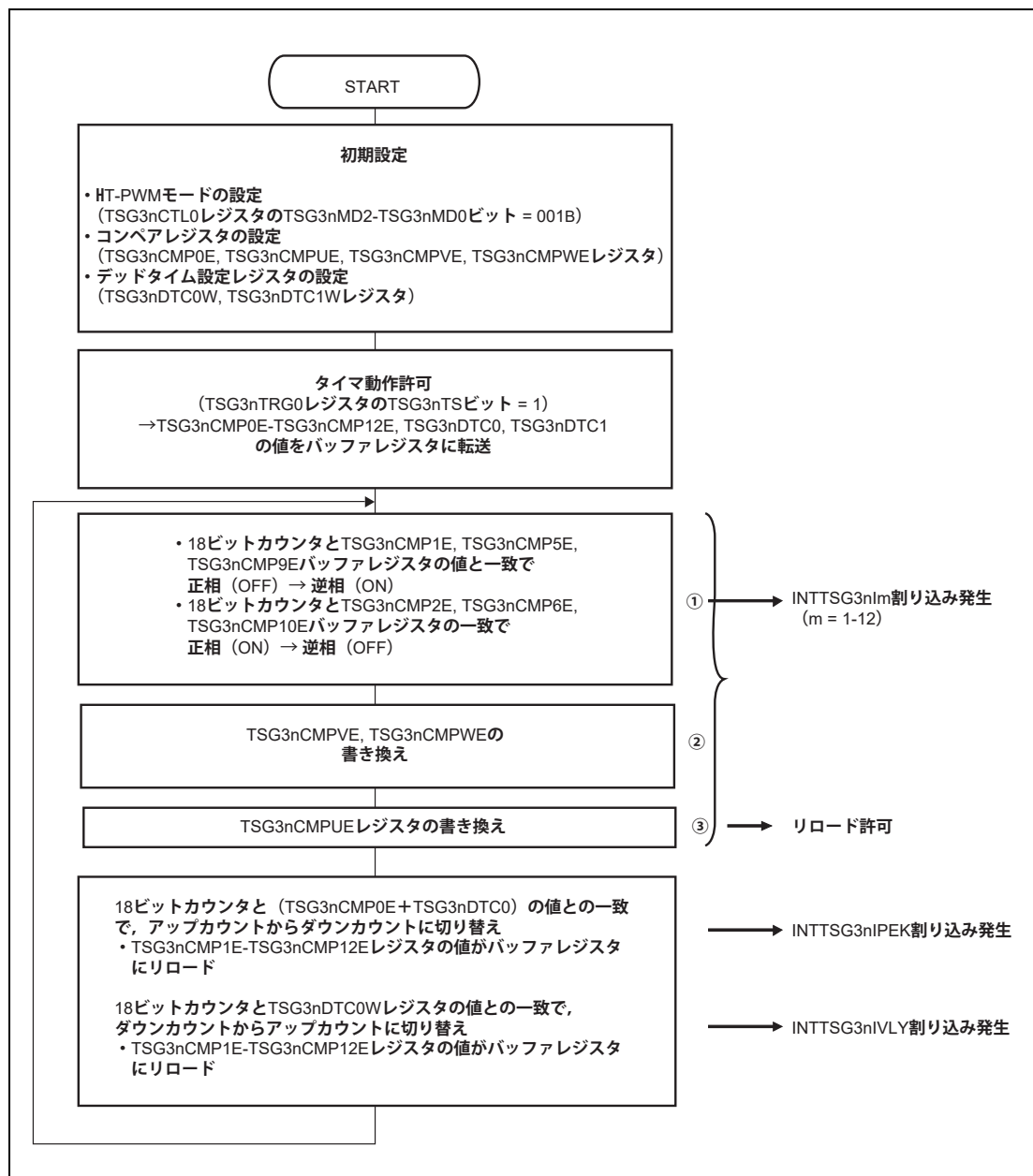


図 19.57 HT-PWM モード時の基本動作フロー

備考

- TSG3nCMPUE (TSG3nCMP1E) へのライトアクセスには、リロードを許可する動作も含まれます。したがって③の書き換えタイミングは、②の書き換えタイミングの後にしてください。
- INTTSG3nIPEK 割り込みは、TSG3nCTL4.TSG3nPIE = 1 のときのみ発生します。
- INTTSG3nIVLY 割り込みは、TSG3nCTL4.TSG3nVIE = 1 のときのみ発生します。
- INTTSG3nI3, INTTSG3nI7, INTTSG3nI11はTSG3nCMP3E, 7E, 11EとTSG3nCnTEのダウンカウント (TSG3nCUF = 1) 時の一致タイミングで、INTTSG3nI4, INTTSG3nI8, INTTSG3nI12はTSG3nCMP4E, 8E, 12EとTSG3nCnTEのアップカウント (TSG3nCUF = 0) 時の一致タイミングで割り込みを出力します。

(2) HT-PWM モード動作一覧

表 19.62 HT-PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ (TSG3nDTC0 からアップカウント)
	アップ	TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致
	ダウン	TSG3nCMP0E + TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致
	クリア	—
	停止	TSG3nTRG1.TSG3nTT = 0 → 1
18 ビット サブカウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ (TSG3nDTC0 からダウンカウント)
	アップ	アンダフロー
	ダウン	TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 バッファレジスタと 18 ビットサブカウンタのコンペア一致
	ロード	TSG3nCMP0E + TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致のとき、TSG3nCMP0E + TSG3nDTC0 TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致のとき、 TSG3nDTC0
	クリア	—
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 19.63 HT-PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nCMPUE	—	可能	U 相用 PWM 制御
TSG3nCMP1E, TSG3nCMP2E	リロード/随時書き換え	可能	V 相用 PWM 制御
TSG3nCMPVE	—		
TSG3nCMP5E, TSG3nCMP6E	リロード/随時書き換え	可能	W 相用 PWM 制御
TSG3nCMPWE	—		
TSG3nCMP9E, TSG3nCMP10E	リロード/随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード/随時書き換え		
TSG3nDTC0W, TSG3nDTC1W	リロード		

備 考

- TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE を書き換えた値は、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E に設定されます。
- TSG3nDTC0, TSG3nDTC1 の書き換え方法は「19.4.7.2(8)(a) TSG3nDTC0, TSG3nDTC1 の書き換えについて」を参照してください。

表 19.64 HT-PWM モード : タイマ出力機能

端子	機能
TSG3nO0	18 ビットカウンタまたは 18 ビットサブカウンタのアップカウント時インアクティブ、ダウンカウント時アクティブ
TSG3nO1	TSG3nCMP1E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP2E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP1E < DTC0 のとき、TSG3nCMP1E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP2E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO2	TSG3nO1 に対する逆相出力
TSG3nO3	TSG3nCMP5E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP6E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP5E < DTC0 のとき、TSG3nCMP3E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP6E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO4	TSG3nO3 に対する逆相出力
TSG3nO5	TSG3nCMP9E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP10E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP9E < DTC0 のとき、TSG3nCMP5E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP10E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO6	TSG3nO5 に対する逆相出力
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

備 考

1. TSG3nO0 端子のステータス出力の対象を TSG3nIOC1.TSG3nTOS で切り替えます。
2. TSG3nCMP1E と TSG3nCMP2E が 18 ビットサブカウンタの山および谷の値に設定された場合はクリアが優先されます。

表 19.65 HT-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nI0	TSG3nDTC0 バッファレジスタと 18 ビットカウンタの一致 (周期割り込み)
INTTSG3nIm (m = 1, 2, 5, 6, 9, 10)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致 (m = 1, 2, 5, 6, 9, 10)
INTTSG3nIER	エラー
INTTSG3nIVLY	谷割り込み
INTTSG3nIPEK	山割り込み
INTTSG3nIWN	ワーニング割り込み

表 19.66 HT-PWM モード : コンペア一致タイミング

コンペア一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nDTC0 → TSG3nDTC0 + 2 へ切り替わる時
TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10)	18 ビットカウンタが TSG3nCMPmE → TSG3nCMPmE ± 2 へ切り替わる時 (m = 1, 2, 5, 6, 9, 10)

表 19.67 HT-PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nO0	トグル出力	TSG3nCMP0E × カウントクロック	アップカウント時、 インアクティブレベル出力 ダウンカウント時、 アクティブレベル出力	—
TSG3nO1, TSG3nO3, TSG3nO5	PWM 出力	TSG3nCMP0E × カウントクロック	1 周期の期間内すべてインアクティブレベル出力 (デューティ 0%)	$TSG3nCMP0E \leq TSG3nCMPmE \leq TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1$ (m = U, V, W)
			1 周期で 1 カウントクロックのアクティブレベル出力	$TSG3nCMPmE = TSG3nCMP0E - 1$ (m = U, V, W)
			1 周期で 1 カウントクロックのインアクティブレベル出力	$TSG3nCMPmE = 0001_H$ (m = U, V, W)
			1 周期の期間内すべてアクティブレベル出力 (デューティ 100%)	$TSG3nCMPmE = 0000_H$ (m = U, V, W)
TSG3nO2, TSG3nO4, TSG3nO6	PWM 出力	TSG3nCMP0E × カウントクロック	1 周期の期間内すべてインアクティブレベル出力 (デューティ 0%)	$TSG3nCMPmE \leq TSG3nDTC0 + TSG3nDTC1$ (m = U, V, W)
			1 周期で 1 カウントクロックのアクティブレベル出力	$TSG3nCMPmE = TSG3nDTC0 + TSG3nDTC1 + 1$ (m = U, V, W)
			1 周期で 1 カウントクロックのインアクティブレベル出力	$TSG3nCMPmE = TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 - 1$ (m = U, V, W)
			1 周期の期間内すべてアクティブレベル出力 (デューティ 100%)	$TSG3nCMPmE = TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1$ (m = U, V, W)
TSG3nO7	ダイアグ出力 もしくは A/D 変換トリガによるパルス出力	TSG3nCMP0E × カウントクロック	「19.4.5 A/D 変換トリガ機能」を参照してください。	

(3) HT-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 001_B に設定することで HT-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO0 端子は、18 ビットカウンタまたは 18 ビットサブカウンタのアップ/ダウンカウントを示すステータス出力です。TSG3nIOC1.TSG3nTOS で、18 ビットカウンタ/18 ビットサブカウンタの切り替えを行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相/逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。HT-PWM モードでは、どのような値をコンペアレジスタに設定しても正相/逆相同時アクティブにはなりません。詳細は、「**19.4.6 エラー/ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) / 随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG3nCTL4.TSG3nPRE または TSG3nVRE を必ずセット (1) してください。

TSG3nPRE、TSG3nVRE 共に “0” の場合はリロードタイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

割り込みと間引き機能の設定

TSG3nCTL4 で、割り込みと間引き機能を設定します。山割り込み (INTTSG3nIPEK) が必要な場合は、TSG3nPIE = 1 にします。谷割り込み (INTTSG3nIVLY) が必要な場合は、TSG3nVIE = 1 にしてください。また、山/谷割り込みに対して、間引き機能を使用したい場合は、TSG3nRCC4-TSG3nRCC0 で設定を行います。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5 の TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップ/ダウンカウント)、18 ビットカウンタの山割り込み (INTTSG3nIPEK)、および谷割り込み (INTTSG3nIVLY)、18 ビットサブカウンタの山タイミング、および谷タイミングによる A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6 の TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01, TSG3nACC00 および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し / 1 間引き / 3 間引き / 7 間引きの設定を行うことができます。

注 意

A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→ TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→ TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC0, TSG3nDTC1 は、偶数値のみ設定可能です。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$\text{TSG3nCMP0E} = \text{搬送波周期} / \text{カウントクロック周期 (PCLK)}$$

また、TSG3nCMP0E レジスタの設定値は、デッドタイムとの兼ね合いから次の条件を満たしてください。

- $\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} \leq 3\text{FFFEH}$
- $\text{TSG3nCMP0E} > \text{TSG3nDTC0}$
- $\text{TSG3nCMP0E} > \text{TSG3nDTC1}$
- $\text{TSG3nCMP0E} > 3 \times \text{MAX}(\text{TSG3nDTC0}, \text{TSG3nDTC1})$
- TSG3nCMP0E は偶数

備 考

MAX (A, B) は A, B の中で大きい方の値を示しています。

デューティ (PWM 幅) の設定

TSG3nCMPmE でそれぞれ U 相、V 相、W 相のデューティ設定を行います。コンペアレジスタの設定範囲は次のようになっています。(m = U, V, W もしくは 1, 2, 5, 6, 9, 10)

$$00000_{\text{H}} \leq \text{TSG3nCMPmE} \leq \text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1}$$

TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE の LSB (Least Significant Bit) は、付加パルスの設定を意味しています。例えば、TSG3nCMPUE = 00003_H と設定した場合は、TSG3nCMPUE = 00002_H に設定した場合に比べて、逆相 (TSG3nO2 端子) の変化が 1 カウントクロック分遅く変化します (18 ビットカウンタがアップカウント時)。ただし、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E には、付加パルスの設定はできません。(偶数値のみ設定可能)

(4) HT-PWM モードの 18 ビットカウンタ動作

18 ビットカウンタは初期値 00000_H で、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した直後に TSG3nDTC0 の値がロードされ、+2 ずつアップカウントを行います。その後、TSG3nCMP0E + TSG3nDTC0 に一致した時点で 18 ビットカウンタは -2 ずつダウンカウントを行います。

18 ビットカウンタの動作は次のようになります。

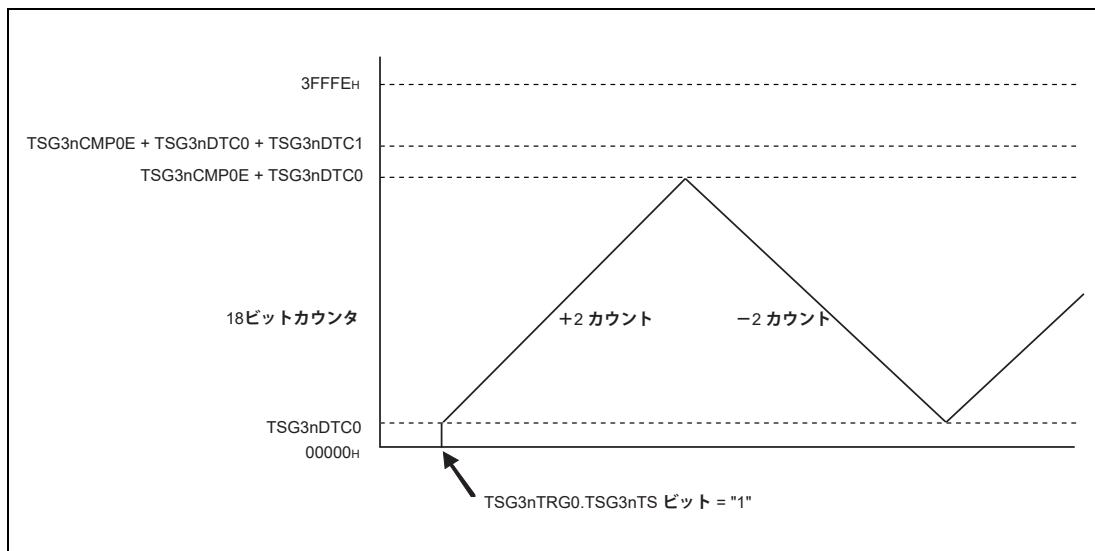


図 19.58 HT-PWM モード時の 18 ビットカウンタ動作例

備 考

18 ビットカウンタ最小値 : TSG3nDTC0

18 ビットカウンタ最大値 : TSG3nCMP0E + TSG3nDTC0

搬送波周期 : TSG3nCMP0E × カウントクロック周期 (PCLK)

18ビットサブカウンタは初期値 00000_H で、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した直後に TSG3nDTC0 の値がロードされます。その後、 00000_H と一致するまで -2 ずつダウンカウントを行い、一致した時点で +2 ずつアップカウントを開始します。次に、18ビットカウンタがアップ→ダウンに切り替わるタイミングで、18ビットサブカウンタに18ビットカウンタの値をロードします。18ビットサブカウンタは、そのままカウントアップを行い、TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 と一致した時点で、-2 ずつダウンカウントを開始します。同様に、18ビットカウンタが TSG3nDTC0 と一致したタイミングで、18ビットカウンタの値をロードし、ダウンカウントを継続します。

18ビットサブカウンタ動作は、下記のようにになります。

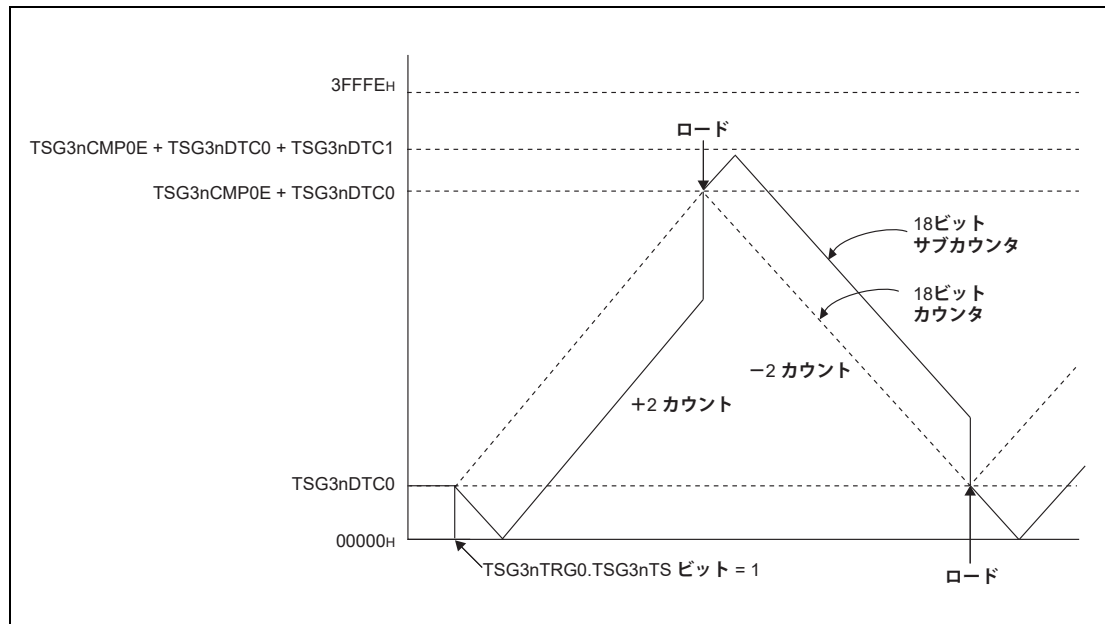


図 19.59 HT-PWM モード時の 18 ビットサブカウンタ動作例

備考

18ビットサブカウンタ最小値 : 00000_H

18ビットサブカウンタ最大値 : TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1

(5) HT-PWM モードの基本動作

(a) TSG3n 動作開始直後のタイマ出力例

TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002H、TSG3nDTC1 = 004H、TSG3nCMPUE を 0000_H-00014_H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG3nIOC2 レジスタの TSG3nOL1-TSG3nOL6 = 000000_B と設定しています。

動作開始 (TSG3nTRG0.TSG3nTS = 1) すると、TSG3nO2 端子がアクティブレベルに変化します。その後、TSG3nCMPUE ≤ TSG3nDTC0 の場合、TSG3nO2 端子は 1 カウントクロック後にクリアされます。

TSG3nCMPUE ≥ TSG3nDTC0 の場合、TSG3nO2 端子は 18 ビットカウンタとコンペアレジスタ (TSG3nCMP2E) との一致、もしくは 18 ビットサブカウンタとコンペアレジスタ (TSG3nCMP2E) との一致でクリアされます。その後、設定したデッドタイム期間後に TSG3nO1 端子がセットされます。(ただし、TSG3nCMPUE ≥ TSG3nCMP0E の場合は、TSG3nO1 端子はセットされません。)

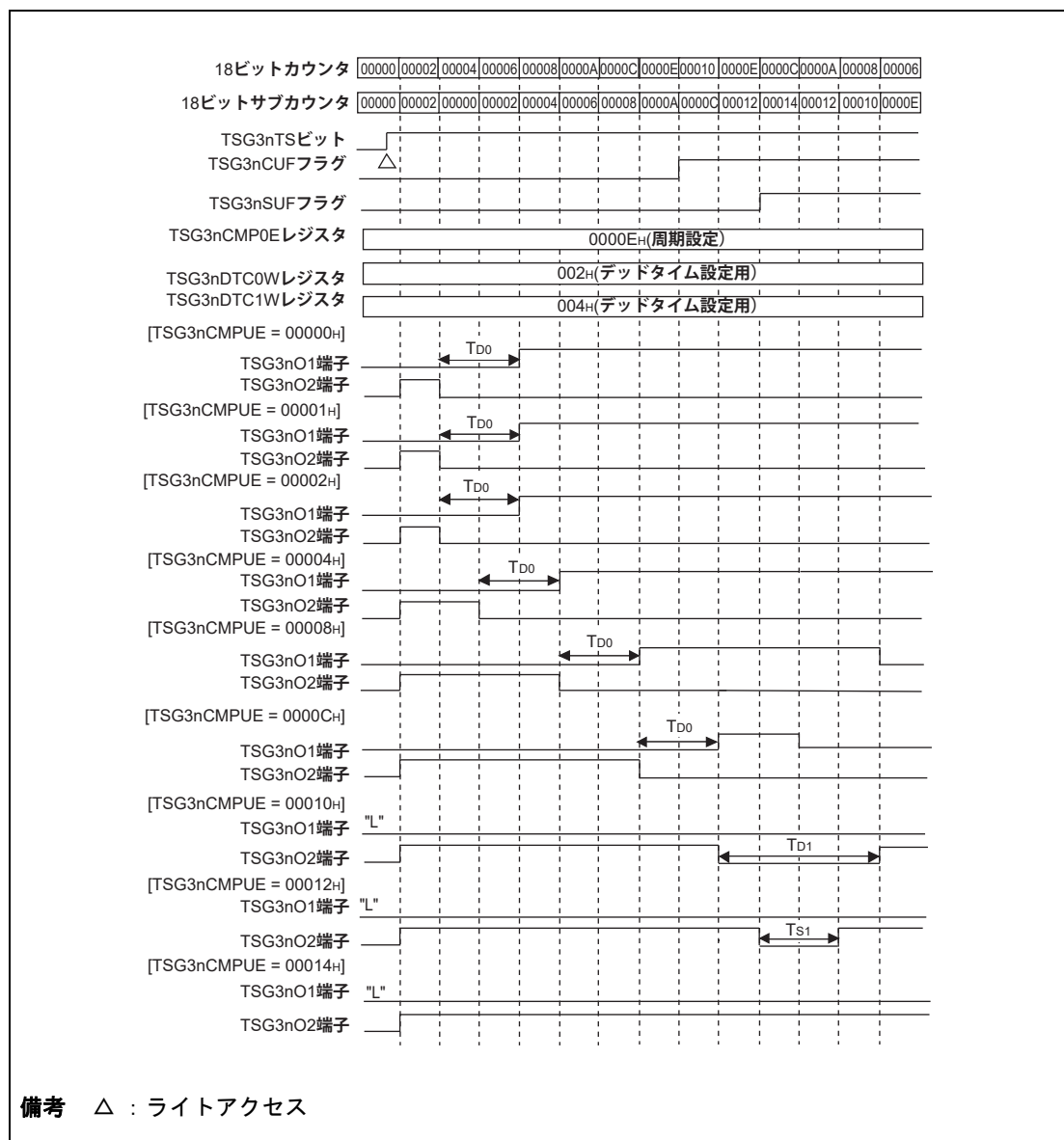


図 19.60 TSG3nTS = 1 にセットした場合 (初期) のタイマ出力例 (HT-PWM モード)

備考

1. TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H
 2. T_{D0} : TSG3nDTC0W レジスタのデッドタイム設定に依存する時間
T_{D1} : TSG3nDTC1W レジスタのデッドタイム設定に依存する時間
T_{S1} : TSG3nCMPUE > 18 ビットカウンタ最大値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間
-

(b) TSG3n 動作中のタイマ出力例

TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H、TSG3nCMPUE を 00000_H-00014_H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG3nIOC2 レジスタの TSG3nOL1-TSG3nOL6 = 000000_B と設定しています。

正相 (TSG3nO1 端子) の出力するアクティブ (ハイレベル) 幅の範囲は 00000_H ≤ TSG3nCMPUE ≤ TSG3nCMP0E (付加パルス分) となっています。また、逆相 (TSG3nO2 端子) の出力するアクティブ (ハイレベル) 幅の範囲は TSG3nDTC0+TSG3nDTC1 ≤ TSG3nCMPUE ≤ TSG3nCMP0E+TSG3nDTC0+TSG3nDTC1 となっています。

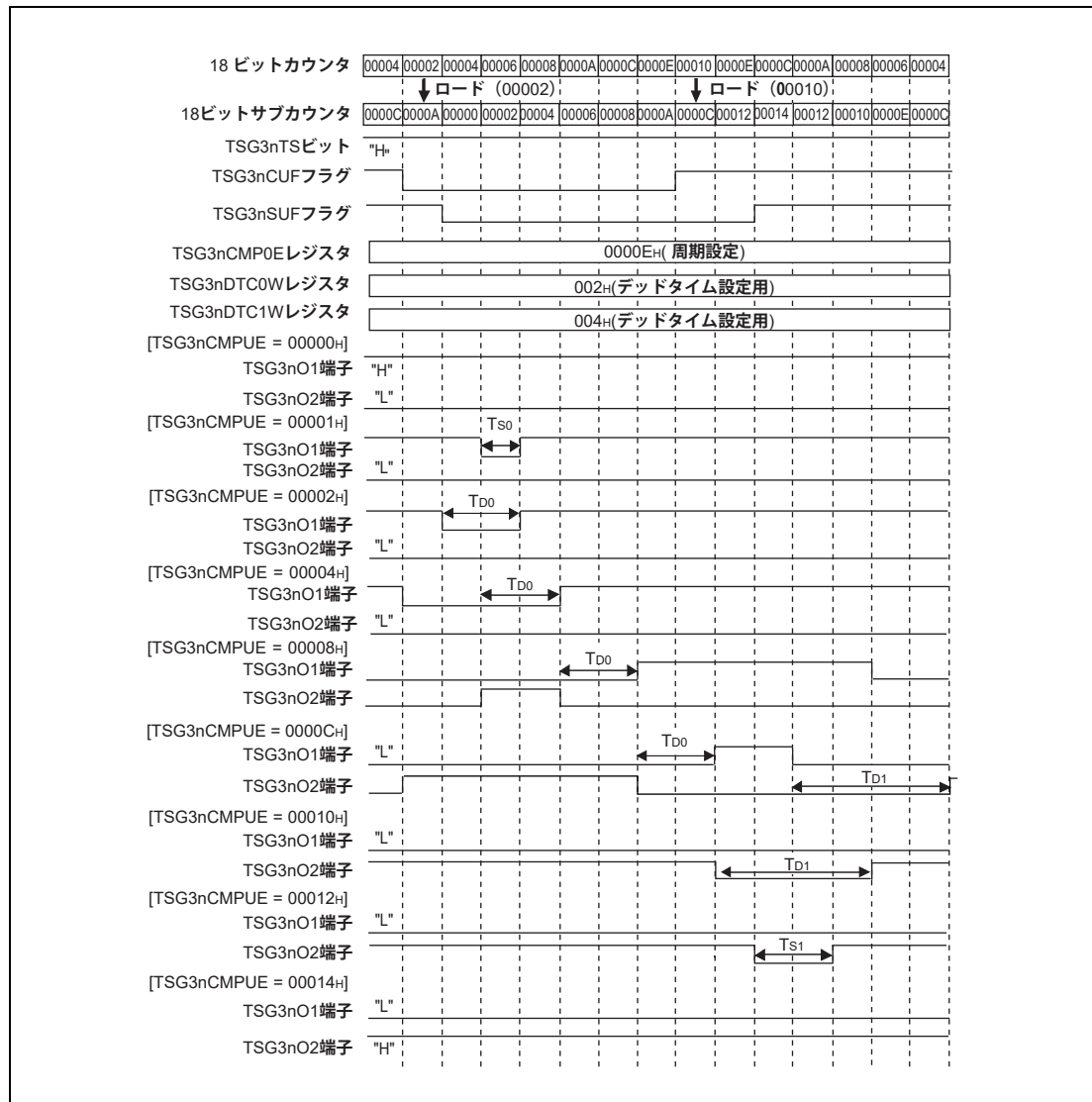


図 19.61 動作中のタイマ出力例 (HT-PWM モード時)

備考

1. TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H
2. T_{D0} : TSG3nDTC0 レジスタのデッドタイム設定に依存する時間
T_{D1} : TSG3nDTC1 レジスタのデッドタイム設定に依存する時間
T_{S0} : TSG3nCMPUE < 18 ビットカウンタ最小値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間

T_{S1} : TSG3nCMPUE > 18 ビットカウンタ最大値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間

(6) HT-PWM モード時の付加パルス制御

HT-PWM モードは、デューティ設定レジスタ (TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE) の LSB に “1” を設定することで付加パルスを設定することができます。付加パルス制御機能を持つことで、デューティ制御をより細かく (精度が高く) 行うことができます。

付加パルス制御を行った場合と、行わない場合の TSG3nO1 端子の出力例を記載します。

(a) 付加パルス制御を行った場合のパルス出力例

図 19.62 で付加パルス制御を行うのは、TSG3nCMPUE に奇数の値を設定した場合です。

矢印と数字は 1 周期内の TSG3nO1 端子出力のデューティ幅を示しています。

図 19.62 のように、付加パルス制御を行った場合 TSG3nO1 端子の出力幅 (デューティ比) が 12 クロック幅から 0 クロック幅まで 1 カウントクロックごとに制御することができます。

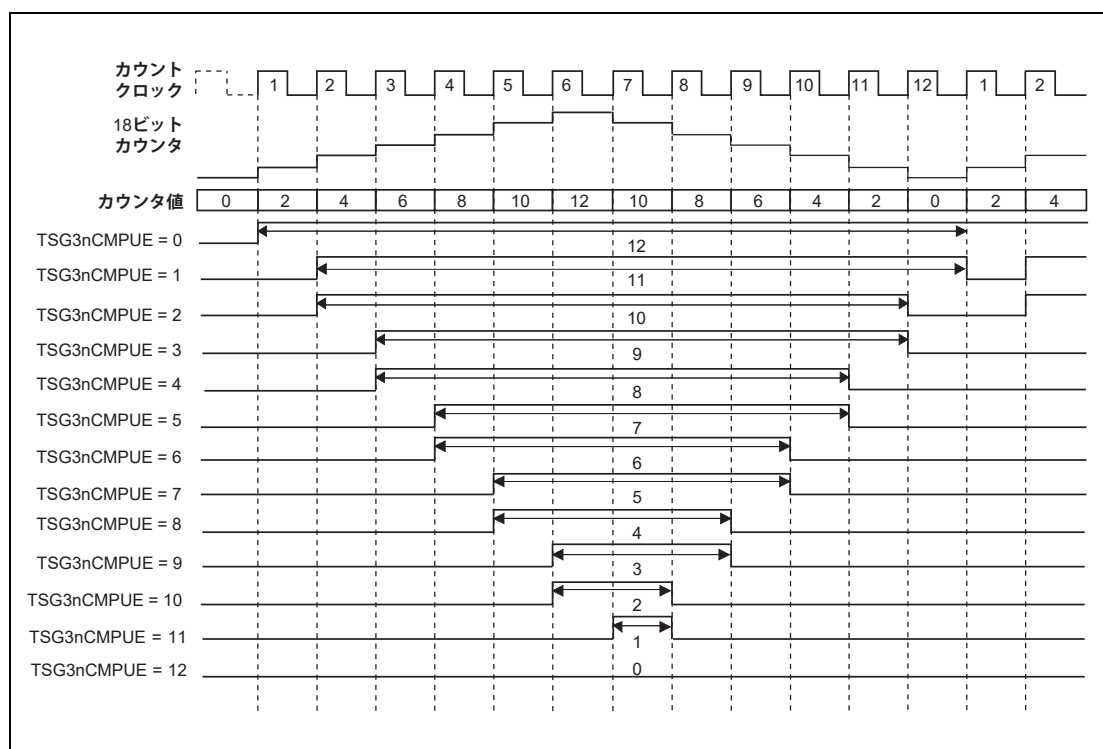


図 19.62 付加パルス制御を行った場合の TSG3nO1 端子出力例

備 考

TSG3nCMP0E = 12、TSG3nDTC0 = 0、TSG3nDTC1 = 0

(b) 付加パルス制御を行っていない場合の出力例

図 19.63 で、矢印と数字は 1 周期内の TSG3nO1 端子出力のデューティ幅を示しています。

付加パルス制御を行わない場合、TSG3nO1 端子の出力幅が 12 クロック幅から 0 クロック幅まで、2 カウントクロックごとの制御となります。この場合は、付加パルス制御を行う場合と比べてデューティ変化量が大きくなってしまいます。

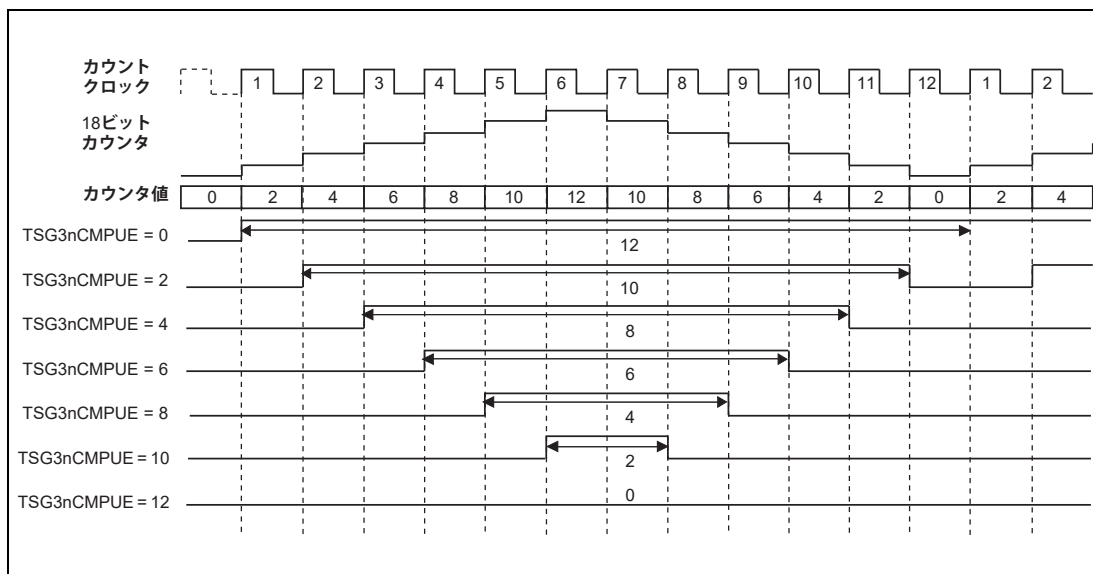


図 19.63 付加パルス制御を行わなかった場合の TSG3nO1 端子出力例

備考

TSG3nCMP0E = 12、TSG3nDTC0 = 0、TSG3nDTC1 = 0

(7) HT-PWM モード時のデッドタイム制御

HT-PWM モードでは、基本的に TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE レジスタでデューティを設定します。この3つのレジスタを使用することで、デューティ可変型の6相PWM波形が出力されます。デッドタイム制御を実現するために、18ビットカウンタのカウンタクロックに同期して動作する6本の10ビットダウンカウンタと、デッドタイム設定レジスタ (TSG3nDTC0W, TSG3nDTC1W) があります。TSG3nDTC0 は、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッドタイムの設定であり、TSG3nDTC1 は、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッドタイムの設定です。

次に TSG3nDTC0 = x、TSG3nDTC1 = y の場合の出力波形を示します。

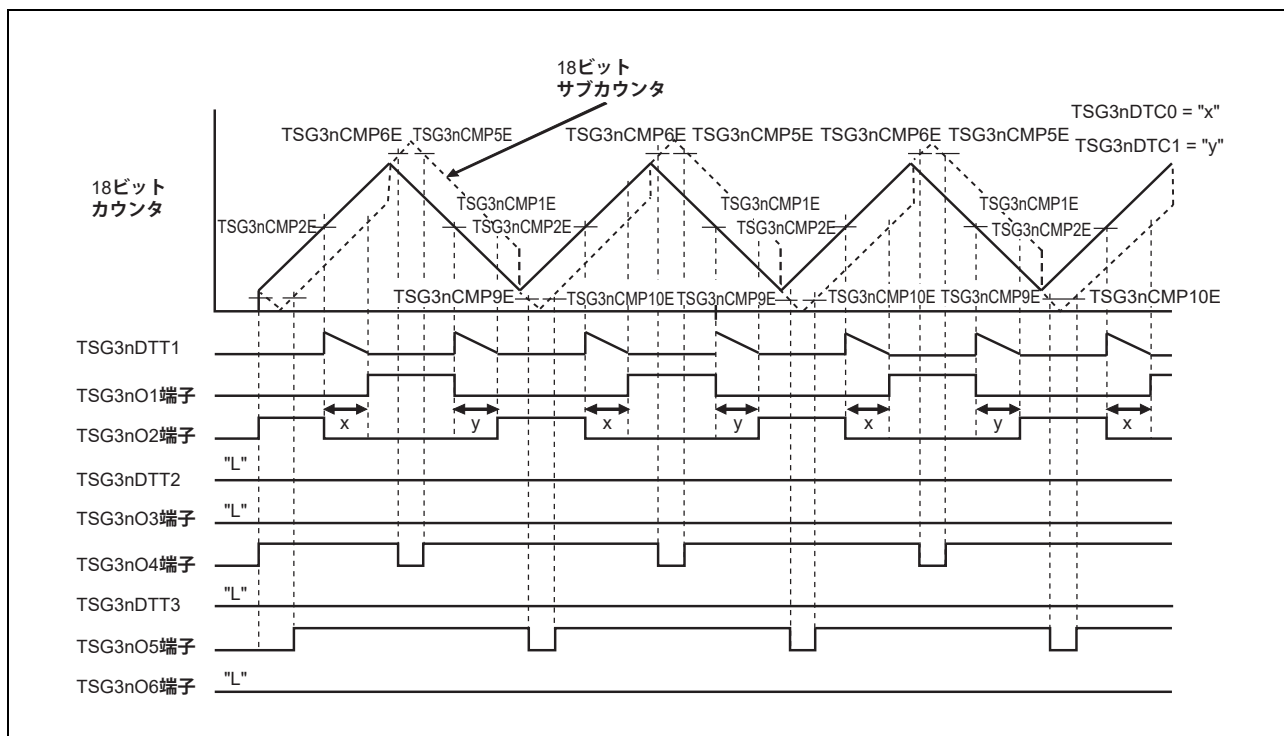


図 19.64 デッドタイム設定時の出力波形例

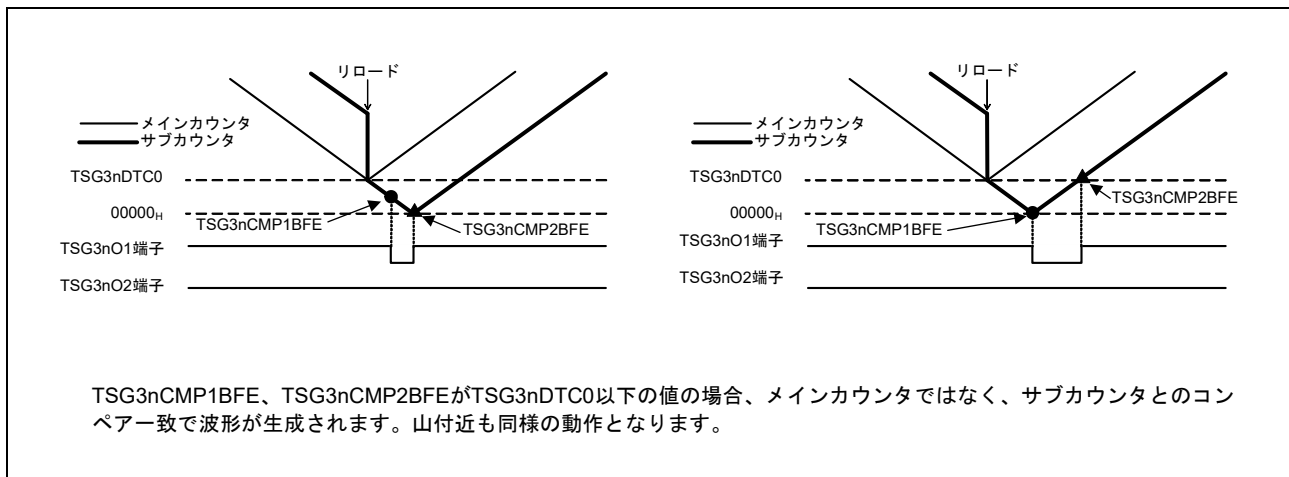


図 19.65 リロード後の谷付近の出力波形例

(8) HT-PWM モード時のデッドタイム制御に関する注意事項

(a) TSG3nDTC0, TSG3nDTC1 の書き換えについて

デッドタイムの設定 (TSG3nDTC0, TSG3nDTC1) を動作中に書き換えることができます。

注 意

1. TSG3nDTC0, TSG3nDTC1 の書き換えは、リロード機能 (TSG3nRMC = 0) を使用している場合に書き換えてください。
2. TSG3nDTC0, TSG3nDTC1 を書き換える場合、ライトプロテクションコードチェックが機能します。詳細はレジスタ説明 (「19.3.44」, 「19.3.45」, 「19.3.64」) を参照してください。
3. 18ビットカウンタの山で TSG3nCMP0E, TSG3nDTC1 を変更する場合 TSG3nCMPmE の設定値が、更新後の TSG3nCMP0E + TSG3nDTC0 (メインカウンタの新しい最大値) より大きい場合、リロード実行直後の一致割り込み (INTTSG3nlm) は発生しません (m = 2, 6, 10)。

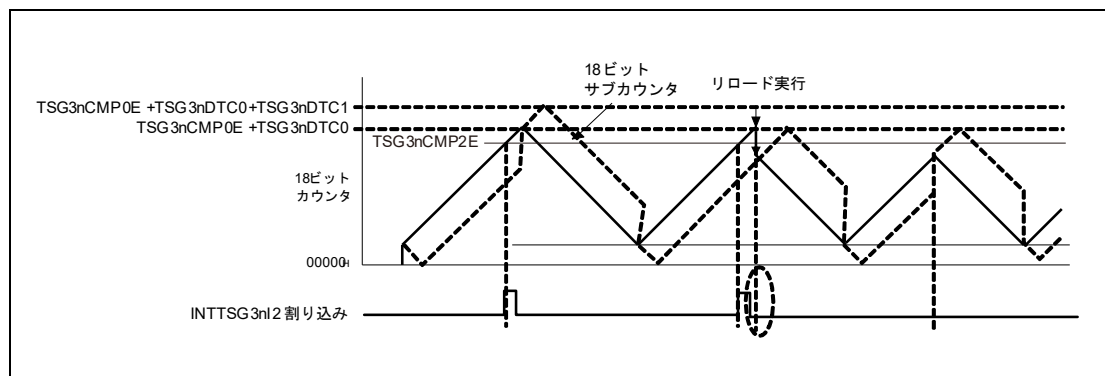


図 19.66 18ビットカウンタ山タイミングでのリロード実行時の動作例

4. 18ビットカウンタの谷で TSG3nDTC0 を変更する場合

TSG3nCMPmE の設定値が、更新後の TSG3nDTC0 (メインカウンタの新しい最小値) より小さい場合、リロード直後の一致割り込み (INTTSG3nlm) は発生しません (m = 1, 5, 9)。

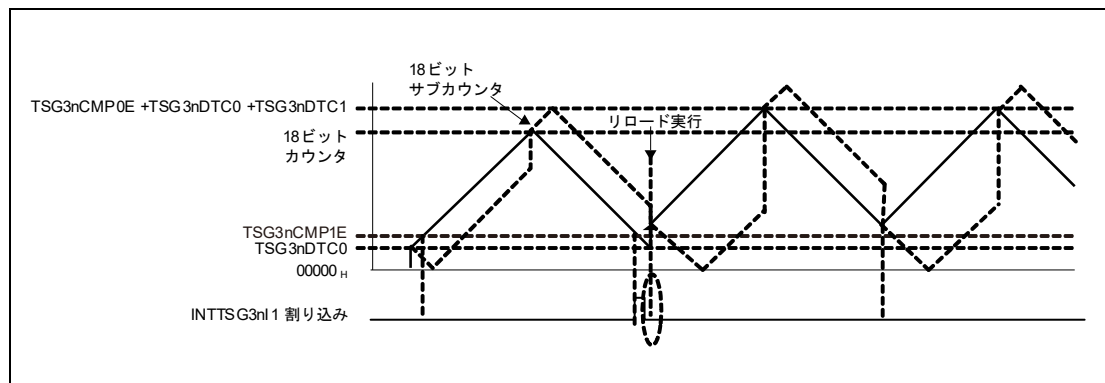


図 19.67 18ビットカウンタ谷タイミングでのリロード実行時の動作例

(9) HT-PWM モード時のソフトウェア出力制御機能

HT-PWM モード時は、TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 19.68 に示すように、TSG3nSTE = 0 とし、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、TSG3nSOC = 0 にしたタイミングでは出力を保持し、リロードタイミングが発生した時点で、HT-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「19.4.7.10 ソフトウェア出力制御機能」を参照してください。

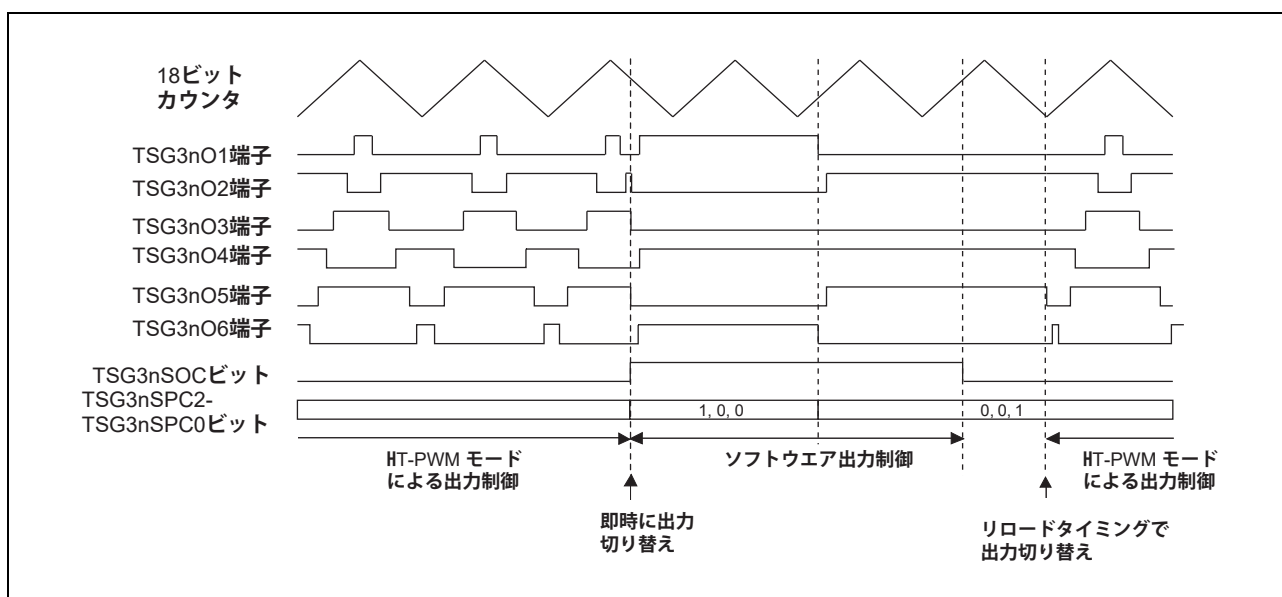


図 19.68 HT-PWM からソフトウェア出力制御機能の切り替え例

注 意

ソフトウェア出力制御機能を使用する場合は、必ずリロード（一斉書き換え）モード (TSG3nCTL3.TSG3nRMC = 0) の設定で使用してください。

(a) ソフトウェア出力制御の処理手順

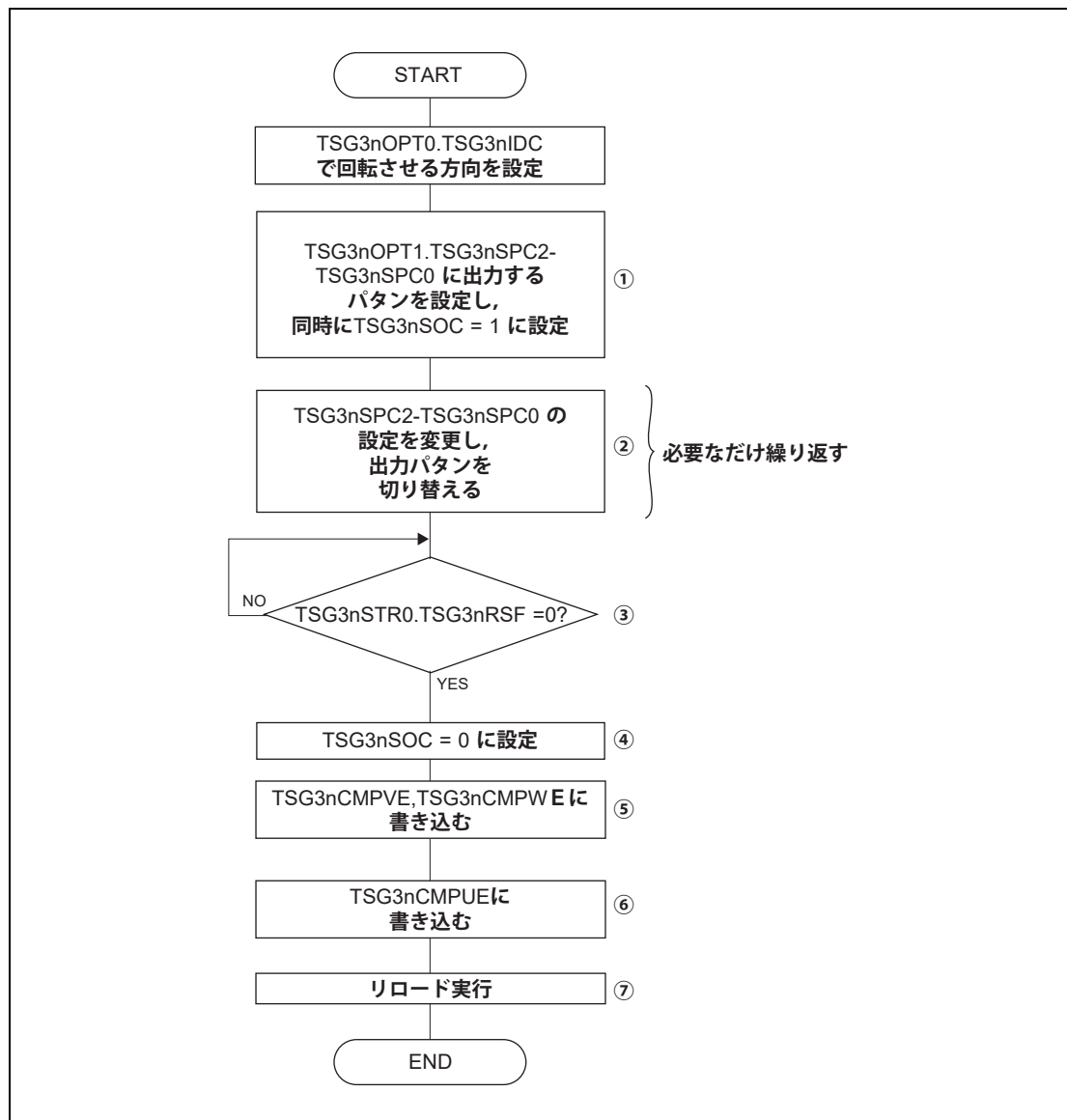


図 19.69 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ① TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nOPT0.TSG3nSOC = 1 にします。
- ② TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
- ③ リロード要求フラグ (TSG3nSTR0.TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF = 0 になるまで次の手順に移行しないでください。
- ④ TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
- ⑤ ソフトウェア出力制御解除後に必要なコンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑥ TSG3nCMPUE (TSG3nCMP1E) に書き込みを行い、リロードを起動します。
- ⑦ リロードが実行され、ソフトウェア出力を解除します。

注 意

③, ④, ⑤, ⑥の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

(10) HT-PWM モードの非対称三角波制御

HT-PWM モードでは、U相、V相、W相の各相のセットタイミングとクリアタイミングを双方異なるタイミングで設定することにより非対称三角波で制御することができます。

以下では、対称三角波と異なる内容について説明します。

(a) PWM の設定について

対称三角波では、U相、V相、W相の設定を TSG3nCMPUE、TSG3nCMPVE、TSG3nCMPWE にてセットタイミング、クリアタイミングを同一値に設定することで各相の出力制御をしていました。非対称三角波では、TSG3nCMPmE を以下のように設定することで各相の出力制御をします。(m = 1, 2, 5, 6, 9, 10)

前提条件

- TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E で、U相、V相、W相の電圧データ信号の PWM のクリアタイミングを設定します。
- TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E で、U相、V相、W相の電圧データ信号の PWM のセットタイミングを設定します。
- セットタイミング、クリアタイミングは、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E で、各相の設定を行うことができます。
- TSG3nCMPmE は偶数値のみ設定可能です。(m = 1, 2, 5, 6, 9, 10)

(b) タイマ出力について

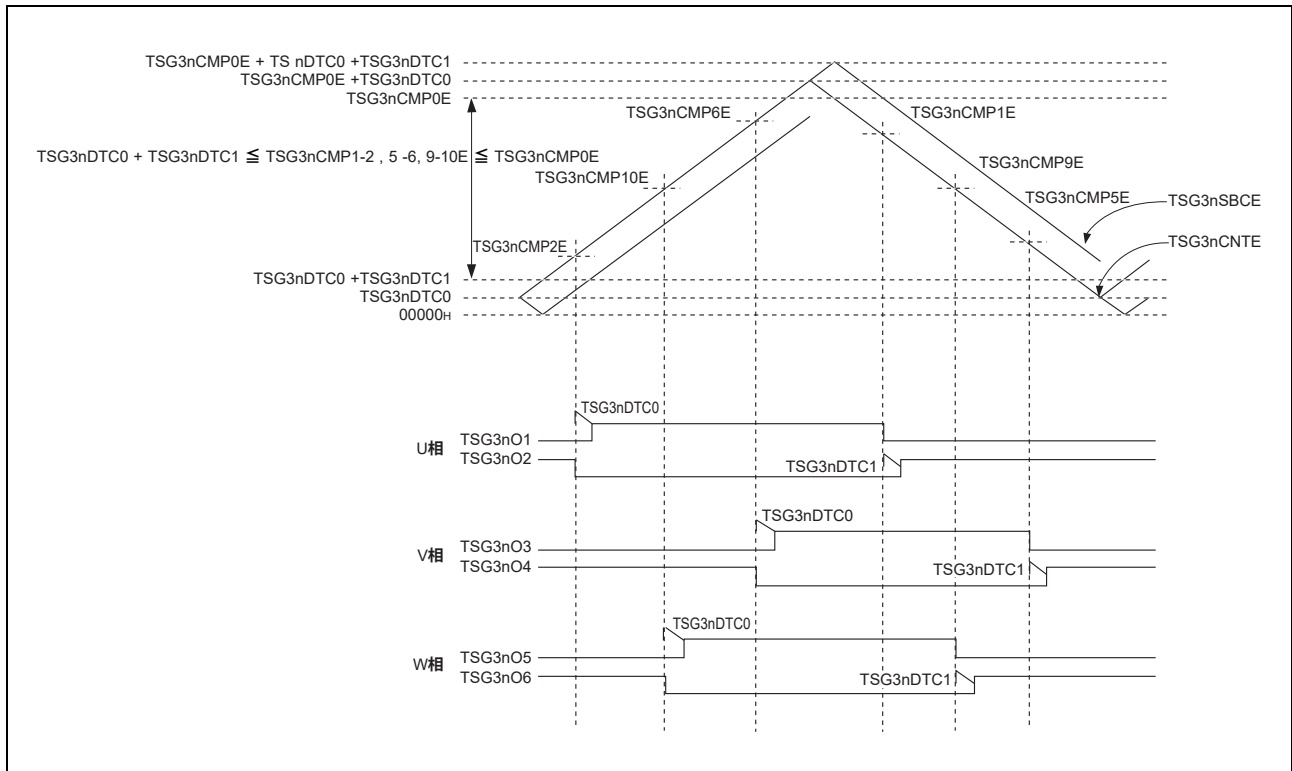


図 19.70 HT-PWM モード：タイマ出力波形例

備考

非対称三角波で出力制御する場合、TSG3nCMPmE の設定は次の条件となります ($m = 1, 2, 5, 6, 9, 10$)。

- $TSG3nDTC0 + TSG3nDTC1 \leq TSG3nCMPmE \leq TSG3nCMP0E$
- $TSG3nCMPmE = TSG3nCMP(m+1)E$ 、もしくは $TSG3nCMPmE = TSG3nCMP(m+1)E + 2$ の場合のみ、対称三角波と同じ「 $00000H \leq TSG3nCMPmE \leq TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1$ 」の条件で設定可能です。

19.4.7.3 EMU2 からのデータ転送について

TSG3 は、EMU2 に設定されたキャリア周期、および EMU2 が算出した U/V/W 相のデューティ設定値を直接、TSG3 のコンペアレジスタ TSG3nCMP0E/1E/2E/5E/6E/9E/10E に反映させることができます。

EMU2 からのキャリア周期設定値 EMU2nCARR、U/V/W 相コンペア値 EMU2nPWMUIP/EMU2nPWMVIP/EMU2nPWMWIP が TSG3 に入力され、EMU2n レジスタライト信号が“1”になると、TSG3 のコンペアレジスタ TSG3nCMP0E/1E/2E/5E/6E/9E/10E が更新されます。そして、TSG3nRSF (リロードフラグ) がセット“1”され、次のリロードタイミングでバッファレジスタ TSG3nCMP0E/1/2/5/6/9/10BFE レジスタに値が転送され、設定値が有効となります。

EMU2n レジスタライト信号は、EMU2n 内の PWM IP が演算完了したときに“1”になります。また、ソフトウェア制御も可能です。

詳細は、「第24章 エンハンスドモータコントロールユニット (EMU2)」の「24.4.7 PWM IP」を参照してください。

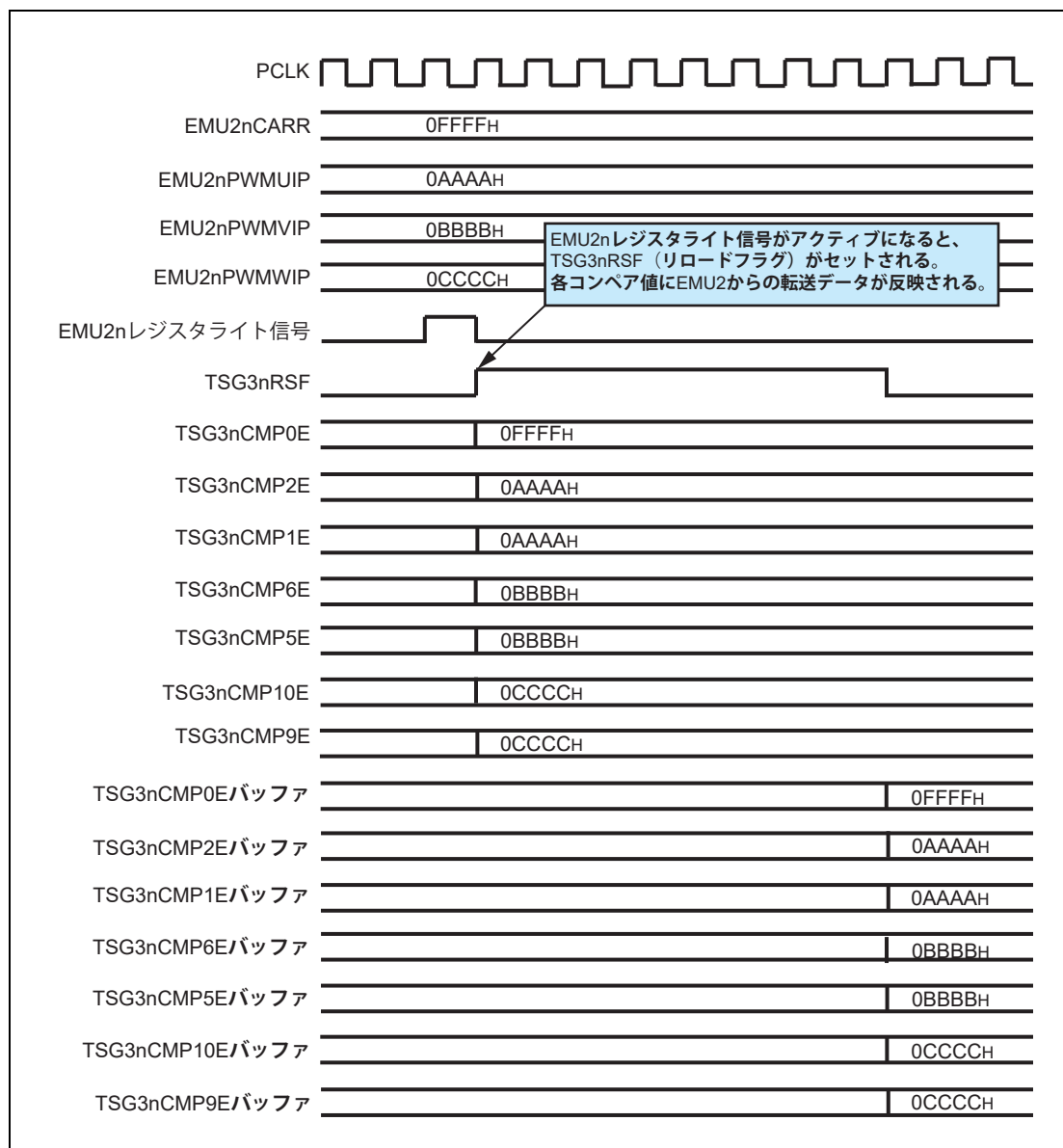


図 19.71 EMU2 からのデータ転送タイミング

注 意

EMU2 からの転送は HT-PWM モード (TSG3nMD2-0 = 001、かつリロード動作 (TSG3nRMC = 0) の時のみ可能です。

PWM モード、SP-PWM モード、120-DC、HSP-PWM モードのとき、また随時書き込み動作 (TSG3nRMC = 1) の時は転送しないでください。

リロードタイミングが発生する前に、EMU2 からのデータ転送が連続で発生した場合、リロードタイミング前に発生した最後の転送データが有効となります。

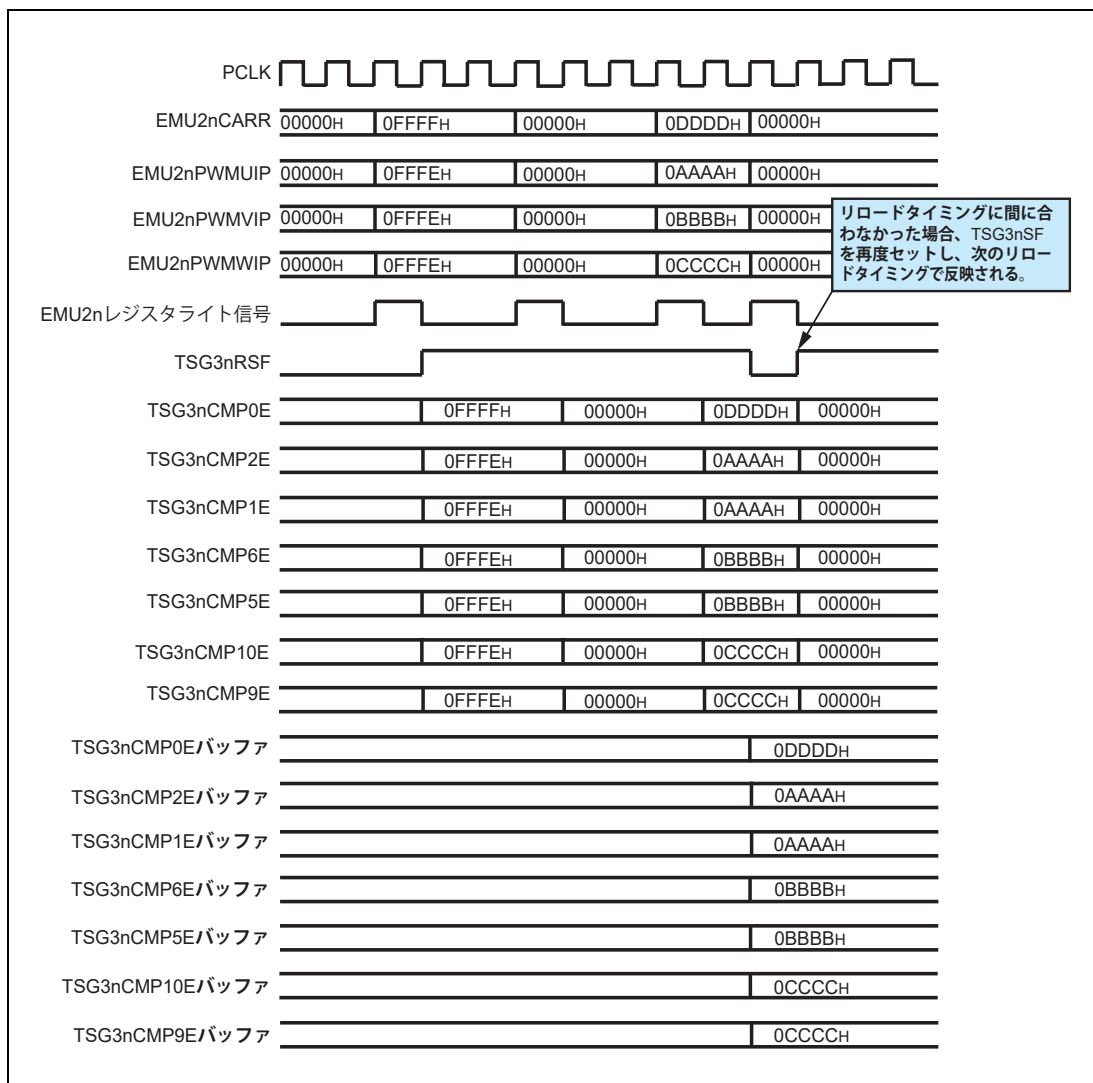


図 19.72 EMU2 からの連続データ転送タイミング

備考

1. リロードタイミングと、EMU2 からのデータ転送が同タイミングで発生した場合、TSG3nRSF はクリアされず、競合したデータ転送は次のリロードタイミングで反映されます。
2. EMU2 のデータ転送と、レジスタへのライトアクセスが同タイミングで発生した場合、レジスタへのライトアクセスが有効となります。例えば、TSG3nCMP0E へのライトと、EMU2 のデータ転送が競合した場合、TSG3nCMP0E はレジスタへのライトが有効となり、他のレジスタ TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E レジスタは EMU2 からの転送データが反映されます。

19.4.7.4 ESW 機能

ESW 機能は TSG3 が保有するカウンタ/コンペア値を用いて生成される PWM ではなく、EMU2 から TSG3 に入力される矩形波に、設定されたデッドタイムを付加して PWM 出力を行う動作です。

(1) ESW 機能の PWM 出力

TSG3nOPT2 レジスタの TSG3nESSC を 1 に設定すると ESW 機能が有効になり、TSG3 のカウンタ、コンペア値を使用した PWM 出力から、EMU2 から入力される矩形波を元に生成される PWM 出力へ切り替わります。

ESW 機能では、EMU2 から入力される U 相出力パタン値、V 相出力パタン値、W 相出力パタン値が正相出力 (TSG3nO1, 3, 5)、U 相出力パタン値、V 相出力パタン値、W 相出力パタン値信号の反転値が逆相出力 (TSG3nO2, 4, 6) となります。

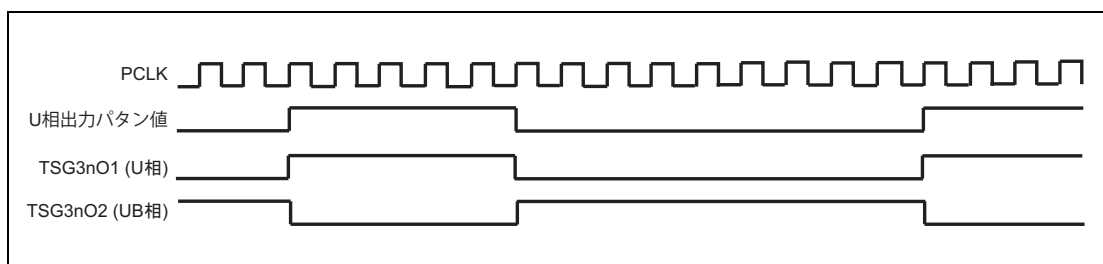


図 19.73 ESW 機能の PWM 出力 (デッドタイムは 0 設定)

ESW 機能時にもデッドタイム設定は有効となり、TSG3nDTC0 に設定したデッドタイムが正相 (TSG3nO1,3,5)、TSG3nDTC1 に設定したデッドタイムが逆相 (TSG3nO2,4,6) に挿入されます。

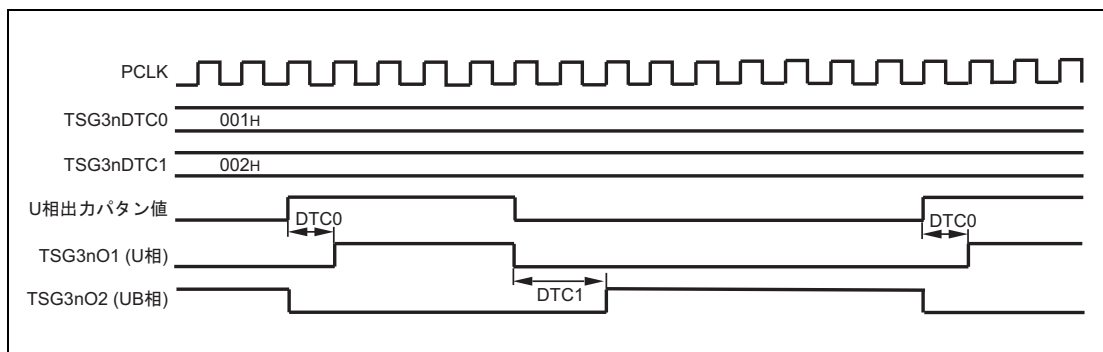


図 19.74 ESW 機能の PWM 出力 (TSG3nDTC0 = 1, TSG3nDTC1 = 2)

(2) ESW 機能の切り替え動作

TSG3nOPT2 レジスタの TSG3nESSC ビットを 0 から 1 に変更すると、即座に ESW 機能に切り替わり、EMU2 から入力される矩形波を元に生成される PWM 出力へ切り替わります。TSG3nESSC ビットを 1 から 0 に変更した場合は、カウンタに同期し、リロードタイミングで HT-PWM モードに切り替わります。

(3) ESW 機能の切り替え時のデッドタイム挿入

ESW 機能への切り替え時にも、設定したデッドタイムは必ず挿入されます。

また、正相がハイの PWM 出力時に、正相ハイの矩形波へ切り替えた場合、ハイレベルを出力し続けます (切り替え時にインアクティブにならない)。

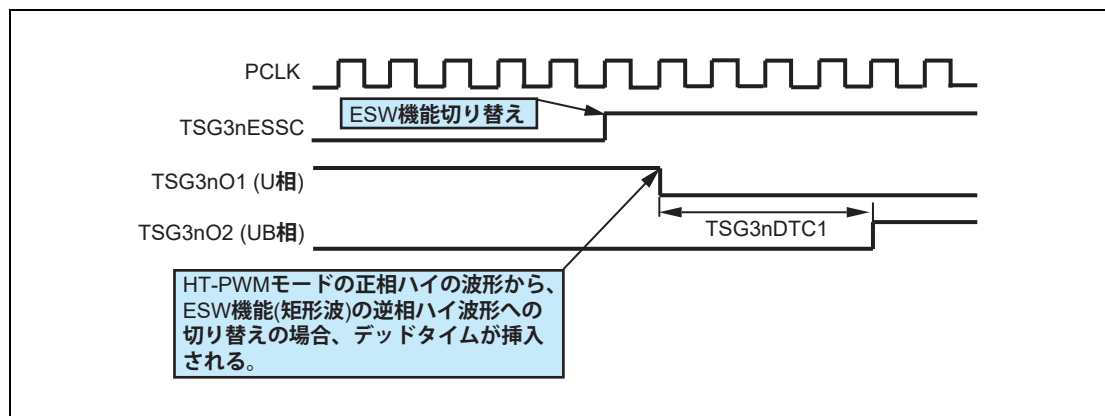


図 19.75 ESW 機能の切り替え図 (正相ハイ→逆相ハイ)

ESW 機能時にもデッドタイム設定は有効となり、TSG3nDTC0 に設定したデッドタイムが正相 (TSG3nO1, 3, 5)、TSG3nDTC1 に設定したデッドタイムが逆相 (TSG3nO2, 4, 6) に挿入されます。

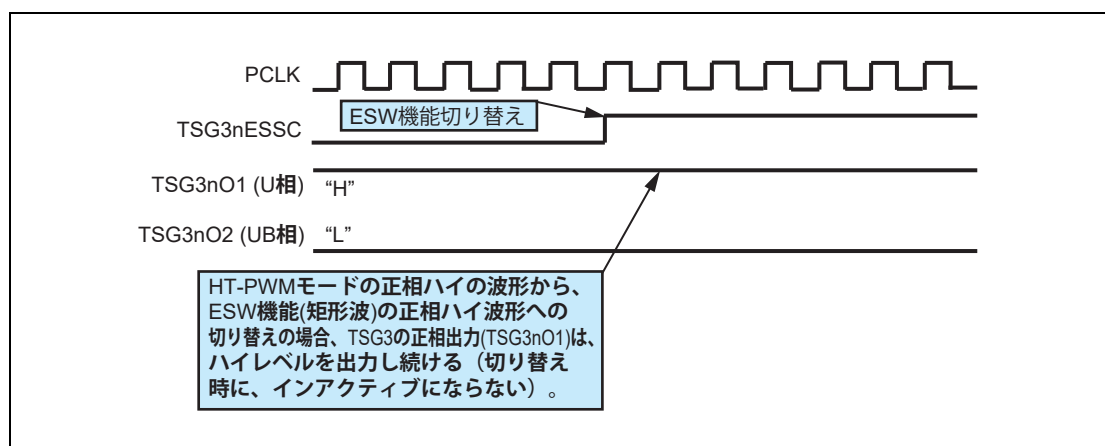


図 19.76 ESW 機能の切り替え図 (正相ハイ→正相ハイ)

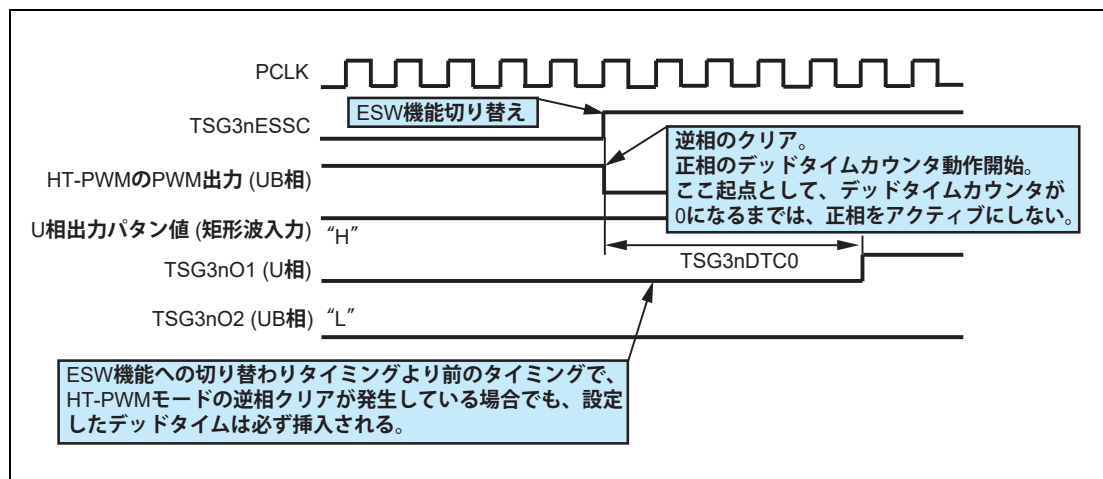


図 19.77 ESW 機能の切り替え図 (切り替え前に逆相のクリアが発生)

(4) ESW 機能動作時の設定

ESW 機能を使用する際は、以下に示す設定で使用してください。また TSG3nTE=1 (動作中) に設定の変更を行わないでください。

表 19.68 ESW 機能動作時の設定一覧

ビット名称	設定値	説明
TSG3nCTL0.TSG3nMD2-0	001 _B	HT-PWM モード時のみ切り替え可能
TSG3nCTL3.TSG3nRMC	0	リロードモードでのみ使用可能
TSG3nIOC3.TSG3nTOL6-1	000000 _B	PWM のセット/クリア論理の反転設定禁止 (HT-PWM モード制限)
TSG3nOPT0.TSG3nSOC	0	ソフトウェア制御機能への切り替え禁止
TSG3nOPT0.TSG3nSTE	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPOT	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSS	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nIDC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT1.TSG3nSPC2-0	000 _B	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nPAT0W	000000 _H	120-DC モードの動作設定 (初期値)
TSG3nPAT1W	000000 _H	120-DC モードの動作設定 (初期値)

19.4.7.5 SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード)

概要

18 ビットカウンタと、18 ビットコンペアレジスタを使用して、6 相 PWM を生成できます。

前提条件

- TSG3nCMP0E には、PWM 周期を設定します。
- U 相、V 相、W 相のセット/クリアタイミングを TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E (セットタイミング)、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E (U 相、V 相、W 相のクリアタイミング) で設定します (セットタイミングとクリアタイミングで制御する場合)。
- U 相、V 相、W 相のセットタイミングとアクティブ期間を TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E (セットタイミング)、TSG3nUPWE, TSG3nVPWE, TSG3nWPWE (アクティブ期間) で設定します。
このとき、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E は、TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E に設定した値と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE へ設定した値とを加算した値が設定されます (セットタイミングとアクティブ期間で制御する場合)。加算した値が 3FFFF_H を超えないよう設定してください。超えた場合は 19 bit 以上の値は切り捨てとなります。

機能説明

搬送波の周期を設定、U 相、V 相、W 相のセットタイミングおよびデューティを設定。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、 00000_H よりカウントを行い、TSG3nCMP0E との一致でカウンタをクリアします。

デッドタイムは、TSG3nDTC0, TSG3nDTC1 で設定し、TSG3nDTC0 は逆相 (OFF) → 正相 (ON) のデッドタイムを、TSG3nDTC1 は正相 (OFF) → 逆相 (ON) のデッドタイムを設定することができます。デッドタイム生成用の 10 ビットカウンタ (TSG3nDTT1-TSG3nDTT3) は、18 ビットカウンタと TSG3nCmPmE バッファレジスタのコンペア一致で TSG3nDTC0, TSG3nDTC1 の設定値をロードし、ダウンカウントを行います。(m = 1, 2, 5, 6, 9, 10)

18 ビットカウンタと、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み (m = 1, 2, 5, 6, 9, 10) を発生します。

備 考

SP-PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 010_B に設定したときに有効となります。

(1) 基本タイミング図

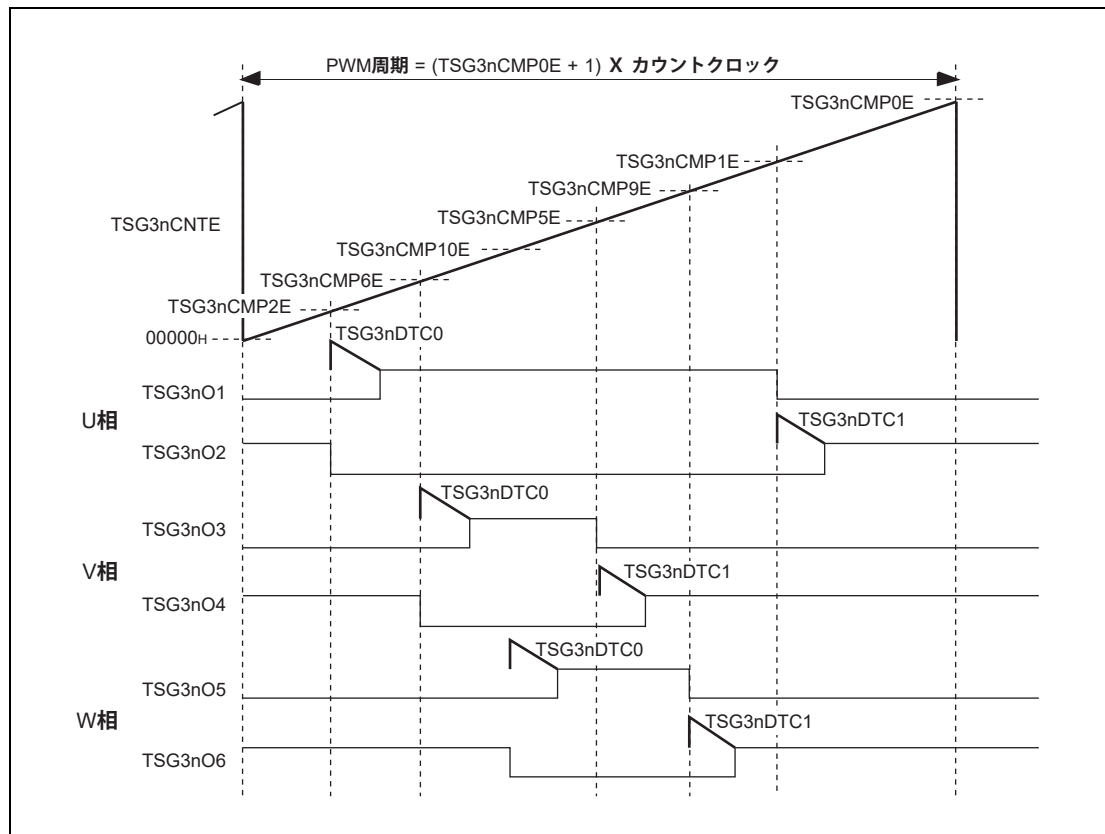


図 19.78 SP-PWM モード時の基本タイミング

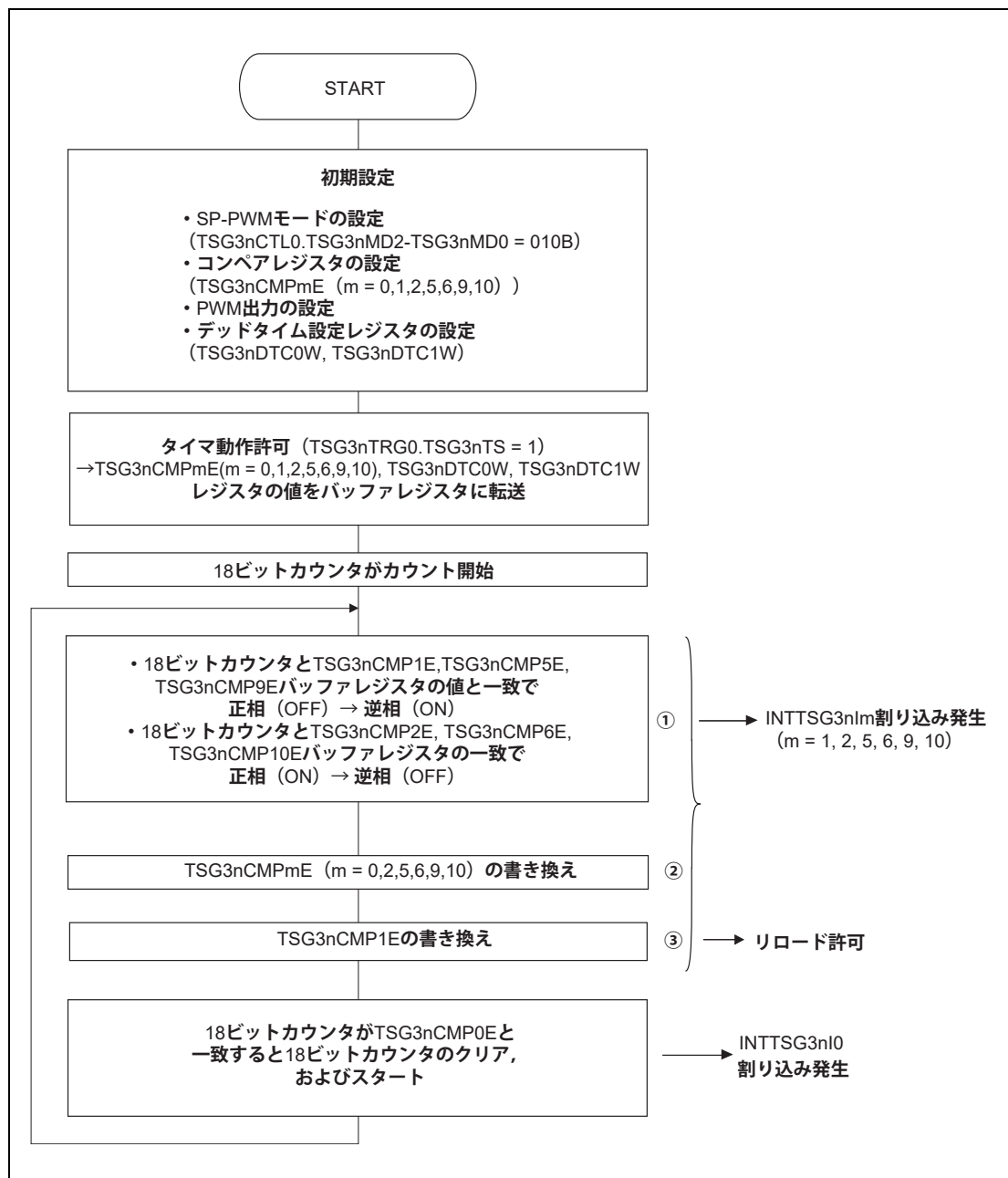


図 19.79 SP-PWM モード時の基本動作フロー

備考

順番は、②, ③の書き換えタイミング、TSG3nCMP1E の値などにより①のタイミングが異なる場合がありますが、②と③では必ず③を最後にしてください。

(2) SP-PWM モード動作一覧

表 19.69 SP-PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペアー一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 19.70 SP-PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nUPWE	リロード/随時書き換え	可能	U 相用 PWM 制御
TSG3nCMP1E, TSG3nCMP2E	リロード/随時書き換え		
TSG3nVPWE	リロード/随時書き換え	可能	V 相用 PWM 制御
TSG3nCMP5E, TSG3nCMP6E	リロード/随時書き換え	可能	W 相用 PWM 制御
TSG3nWPWE, TSG3nCMP9E, TSG3nCMP10E	リロード/随時書き換え		
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード/随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	可能	周期、デッドタイム

表 19.71 SP-PWM モード : 出力機能

端子	機能
TSG3nO1	TSG3nCMP1E バッファレジスタ (クリアタイミング)、TSG3nCMP2E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペアー一致による PWM 出力 (デッドタイム付き)
TSG3nO2	TSG3nO1 に対する逆相出力 (デッドタイム付き)
TSG3nO3	TSG3nCMP5E バッファレジスタ (クリアタイミング)、TSG3nCMP6E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペアー一致による PWM 出力 (デッドタイム付き)
TSG3nO4	TSG3nO3 に対する逆相出力 (デッドタイム付き)
TSG3nO5	TSG3nCMP9E バッファレジスタ (クリアタイミング)、TSG3nCMP10E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペアー一致による PWM 出力 (デッドタイム付き)
TSG3nO6	TSG3nO5 に対する逆相出力 (デッドタイム付き)
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 19.72 SP-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0, 1, 2, 5, 6, 9, 10)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペアー一致 (m = 0, 1, 2, 5, 6, 9, 10)
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 割り込みと同タイミングで発生)
INTTSG3nIWN	ワーニング

表 19.73 SP-PWM モード : コンペアー一致タイミング

コンペアー一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10)	18 ビットカウンタと TSG3nCMPmE の一致検出後 (m = 1, 2, 5, 6, 9, 10)

表 19.74 SP-PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nO1, TSG3nO3, TSG3nO5	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	1 周期の期間内すべて インアクティブレベル 出力 (デューティ 0%)	TSG3nCMPmE = TSG3nCMP(m+1)E もしくは TSG3nCMP(m+1)E > TSG3nCMP0E (m = 1, 5, 9)
			1 周期で 1 カウントク ロックのアクティブレ ベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E + 1 TSG3nCMP(m+1)E = TSG3nCMPmE - 1 (m = 1, 5, 9)
			1 周期で 1 カウントク ロックのインアクティ ブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E - 1 TSG3nCMP(m+1)E = TSG3nCMPmE + 1 (m = 1, 5, 9)
			1 周期の期間内すべて アクティブレベル出力 (デューティ 100%)	TSG3nCMPmE > TSG3nCMP0E TSG3nCMP(m+1)E ≤ TSG3nCMP0E (m = 1, 5, 9)
TSG3nO2, TSG3nO4, TSG3nO6	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	1 周期の期間内すべて インアクティブレベル 出力 (デューティ 0%)	TSG3nCMP(m-1)E > TSG3nCMP0E (m = 2, 6, 10)
			1 周期で 1 カウントク ロックのアクティブレ ベル出力	TSG3nCMPmE = TSG3nCMP(m-1)E - 1 TSG3nCMP(m-1)E = TSG3nCMPmE + 1 (m = 2, 6, 10)
			1 周期で 1 カウントク ロックのインアクティ ブレベル出力	TSG3nCMPmE = TSG3nCMP(m-1)E + 1 TSG3nCMP(m-1)E = TSG3nCMPmE - 1 (m = 2, 6, 10)
			1 周期の期間内すべて アクティブレベル出力 (デューティ 100%)	TSG3nCMPmE = TSG3nCMP(m-1)E もしくは TSG3nCMPmE > TSG3nCMP0E (m = 2, 6, 10)
TSG3nO7	ダイアグ出力も しくは A/D 変 換トリガによる パルス出力	(TSG3nCMP0E + 1) × カウントクロック	「19.4.5 A/D 変換トリガ機能」を参照	

(3) SP-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 010B に設定することで SP-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**19.4.6 エラー／ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) / 随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG3nCTL4.TSG3nPRE を必ずセット (1) してください。

TSG3nPRE が “0” の場合はリロードタイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5.TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップカウント) による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6.TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01, TSG3nACC00, および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し / 1 間引き / 3 間引き / 7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- SP-PWM モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT00, TSG3nAT10 は必ず “0” に設定してください。
- SP-PWM モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT09, TSG3nAT08, TSG3nAT19, TSG3nAT18 は必ず “0” に設定してください。

- SP-PWM モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT07, TSG3nAT05, TSG3nAT03, TSG3nAT17, TSG3nAT15, TSG3nAT13 は必ず“0”に設定してください。

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$PCLK \times TSG3nDTC0$$

$$PCLK \times TSG3nDTC1$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→ TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→ TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$TSG3nCMP0E = (\text{搬送波周期} / \text{カウントクロック周期}) - 1$$

注 意

TSG3nCMP0E = 3FFFF_H で設定した場合、デューティ 100% の PWM 出力はできません。

デューティ (PWM 幅) の設定

TSG3nCMPmE と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE でそれぞれ U 相、V 相、W 相のデューティ設定を行います。(m = 1, 2, 5, 6, 9, 10)

- TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E で U 相、V 相、W 相のセットタイミングを設定し、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E で U 相、V 相、W 相のクリアタイミングを設定します (セットタイミングとクリアタイミングの設定で制御する場合)。
- TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E で U 相、V 相、W 相のセットタイミングを設定し、TSG3nUPWE, TSG3nVPWE, TSG3nWPWE でアクティブ期間を設定します。このとき、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E は、TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E に設定した値と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE へ設定した値とを加算した値が設定されます (セットタイミングとアクティブ期間の設定で制御する場合)。

(4) SP-PWM モード時のデッドタイム制御

SP-PWM モードでは、デューティ用の設定レジスタは TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10) と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE とし、周期用の設定レジスタは TSG3nCMP0E となります。このレジスタを使用することで、デューティ可変型の 6 相 PWM 波形を出力できます。デッドタイム制御を実現するために、18 ビットカウンタのカウントクロックに同期して動作する 6 本の 10 ビットダウンカウンタと、デッドタイム設定レジスタ (TSG3nDTC0W, TSG3nDTC1W) があります。TSG3nDTC0W レジスタは、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッドタイムの設定であり、TSG3nDTC1W レジスタは、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッドタイムの設定です。

動作停止 (TSG3nTE = 0) 設定と、デッドタイム挿入タイミングが重なった場合でもデッドタイムカウンタは動作を継続し、TSG3nO1, 2 に設定したデッドタイムは必ず挿入します。

次に出力波形例を示します。

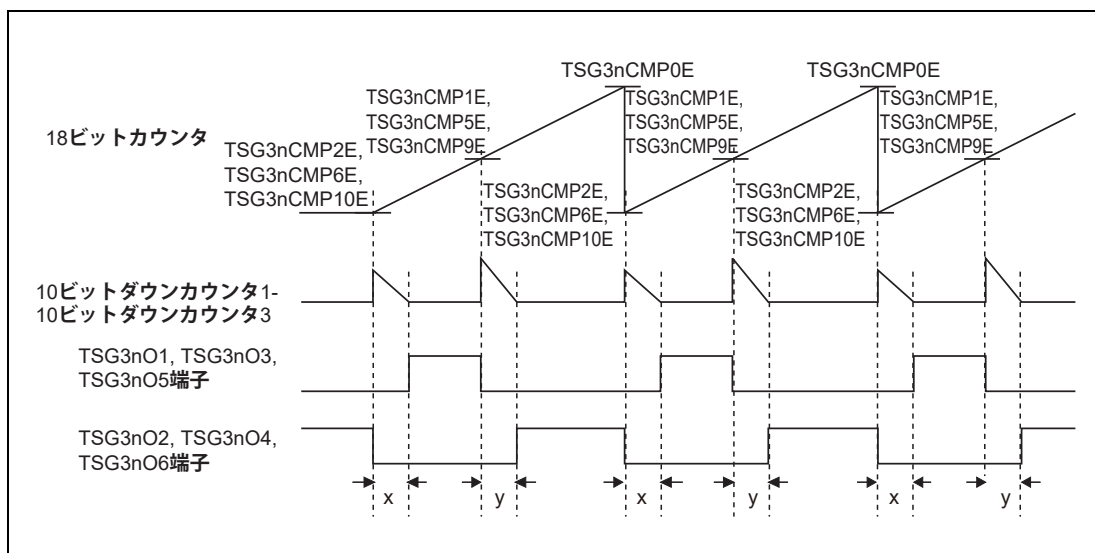


図 19.80 SP-PWM モード時の出力波形例

備考

x : TSG3nDTC0 レジスタ、y : TSG3nDTC1 レジスタ

(5) SP-PWM モード時のソフトウェア出力制御機能

TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 19.81 に示すように、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、TSG3nSOC = 0 にしたタイミングでは出力を保持し、リロードタイミングが発生した時点で、SP-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「19.4.7.10 ソフトウェア出力制御機能」を参照してください。

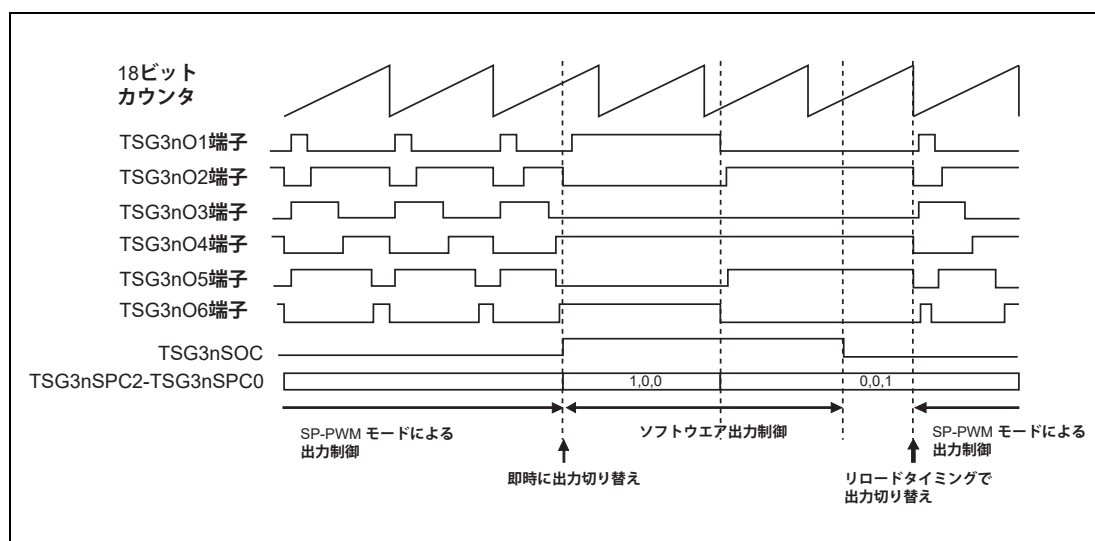


図 19.81 SP-PWM モードからソフトウェア出力制御機能の切り替え例

(a) ソフトウェア出力制御の処理手順

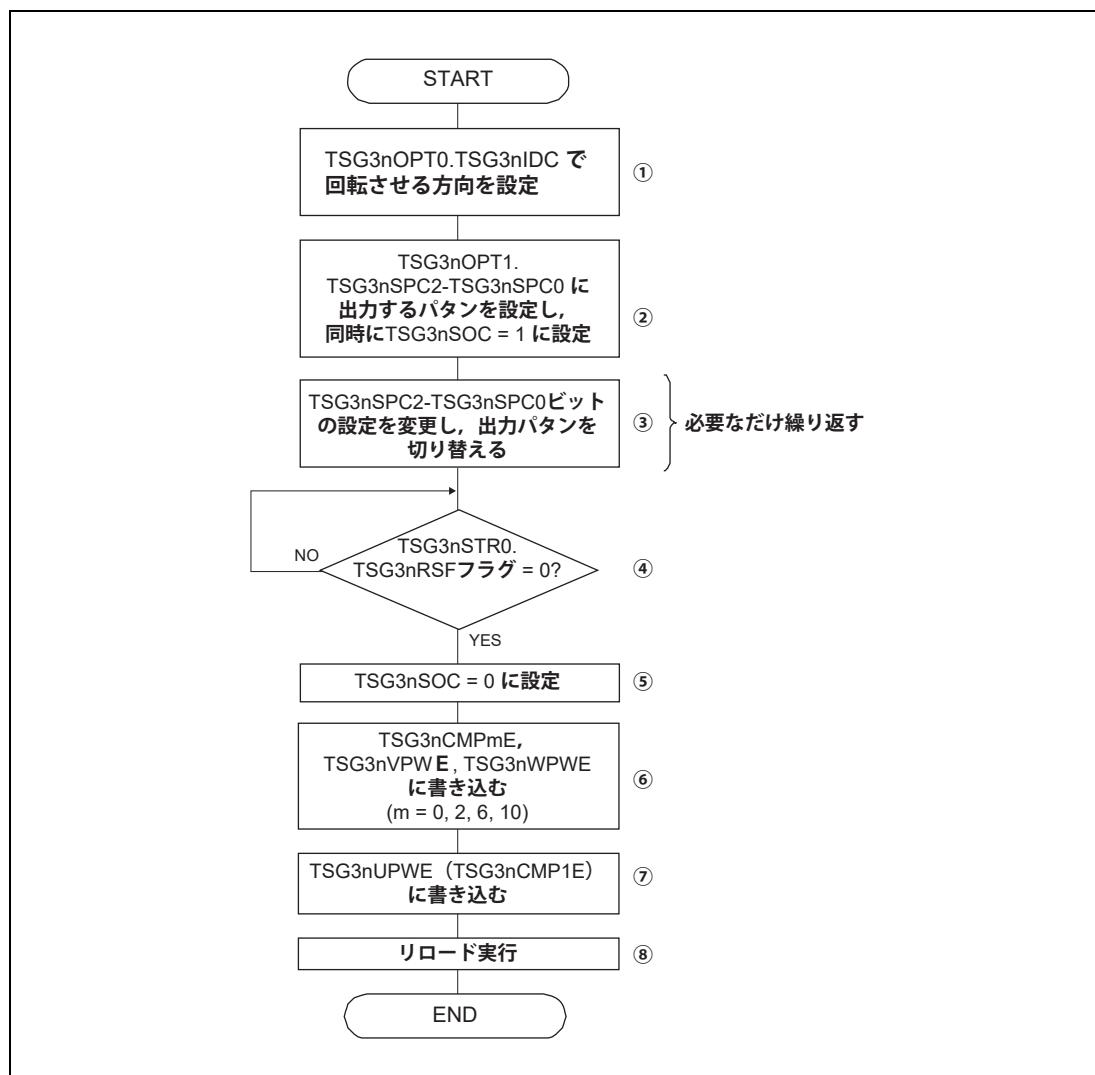


図 19.82 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ①電流方向を決定するため、TSG3nIDC の設定を行います。TSG3nIDC = 0 の場合と、TSG3nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えた場合、次のタイマ周期で新しい設定に応じた出力パターンに切り替わります。
- ② TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nSOC = 1 にします。
- ③ TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
- ④リロード要求フラグ (TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF = 0 になるまで次の手順に移行しないでください。
- ⑤ TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
- ⑥ソフトウェア出力制御解除後に必要な、コンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑦ TSG3nUPWE (TSG3nCMP1E) に書き込みを行い、リロードを起動します。
- ⑧リロードが実行され、ソフトウェア出力を解除します。

注 意

④, ⑤, ⑥, ⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

19.4.7.6 120-DC モード

概要

TSG3nCMP0E の PWM 周期、TSG3nCMP1E-TSG3nCMP12E のデューティによるタイマ出力 (TSG3nO1-TSG3nO6) を 3 種類 (ソフトウェア出力制御方式、パターン切り替え方式、トリガ切り替え方式) のパターン入力で出力制御を行い、120-DC 制御を実現します。

前提条件

- TSG3nCMP0E には、PWM 周期を設定します。
- TSG3nCMP1E-TSG3nCMP12E には、PWM のデューティを設定、TSG3nPAT0W, TSG3nPAT1W に出力パターンを設定します。

機能説明

PWM 周期を設定、各コンペアレジスタにデューティを設定、パターンレジスタに各パタンの出力対象を設定します。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、00000_H よりカウントを行い、TSG3nCMP0E との一致でカウンタをクリアします。

18 ビットカウンタと、TSG3nCMP1E-TSG3nCMP12E バッファレジスタのコンペア一致で、それぞれ INTTSG3nI1-INTTSG3nI12 割り込みを発生します。

備考

120-DC モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 011_B に設定したときに有効となります。

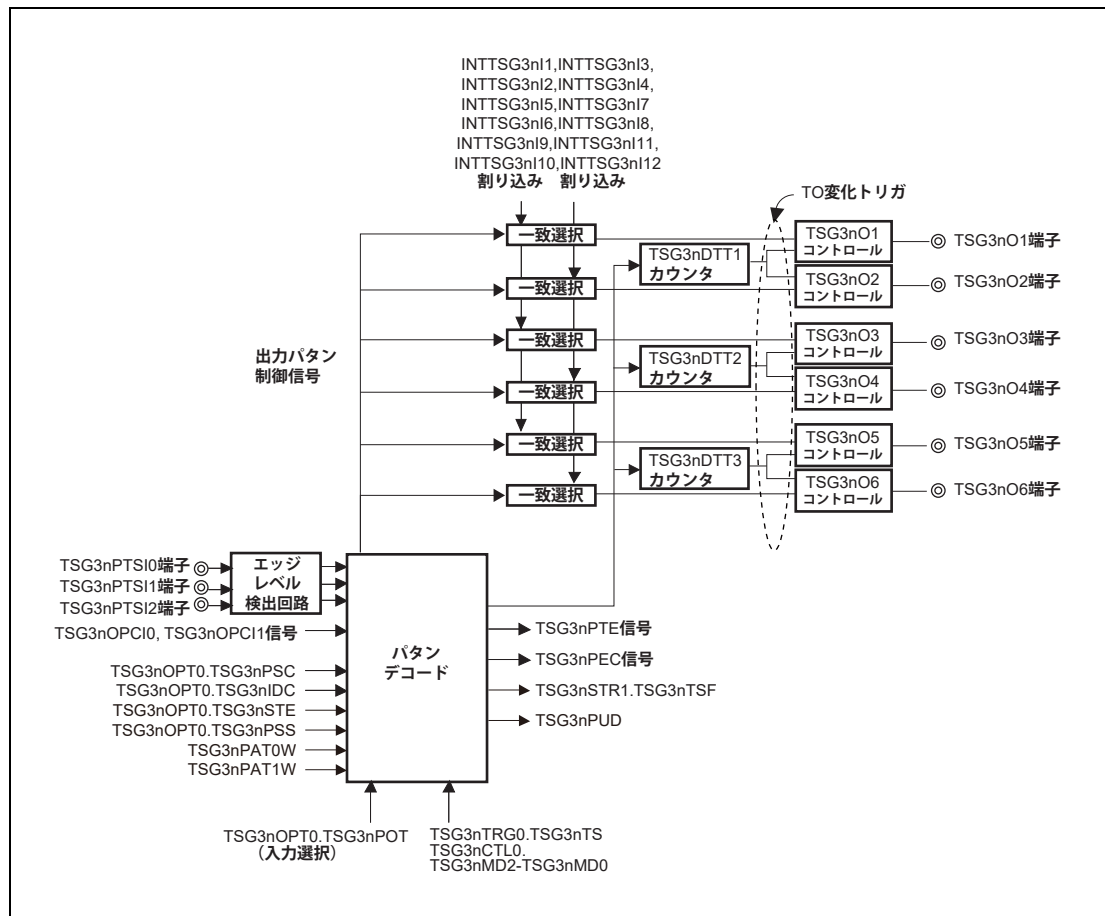


図 19.83 120-DC モード時のブロック構成図

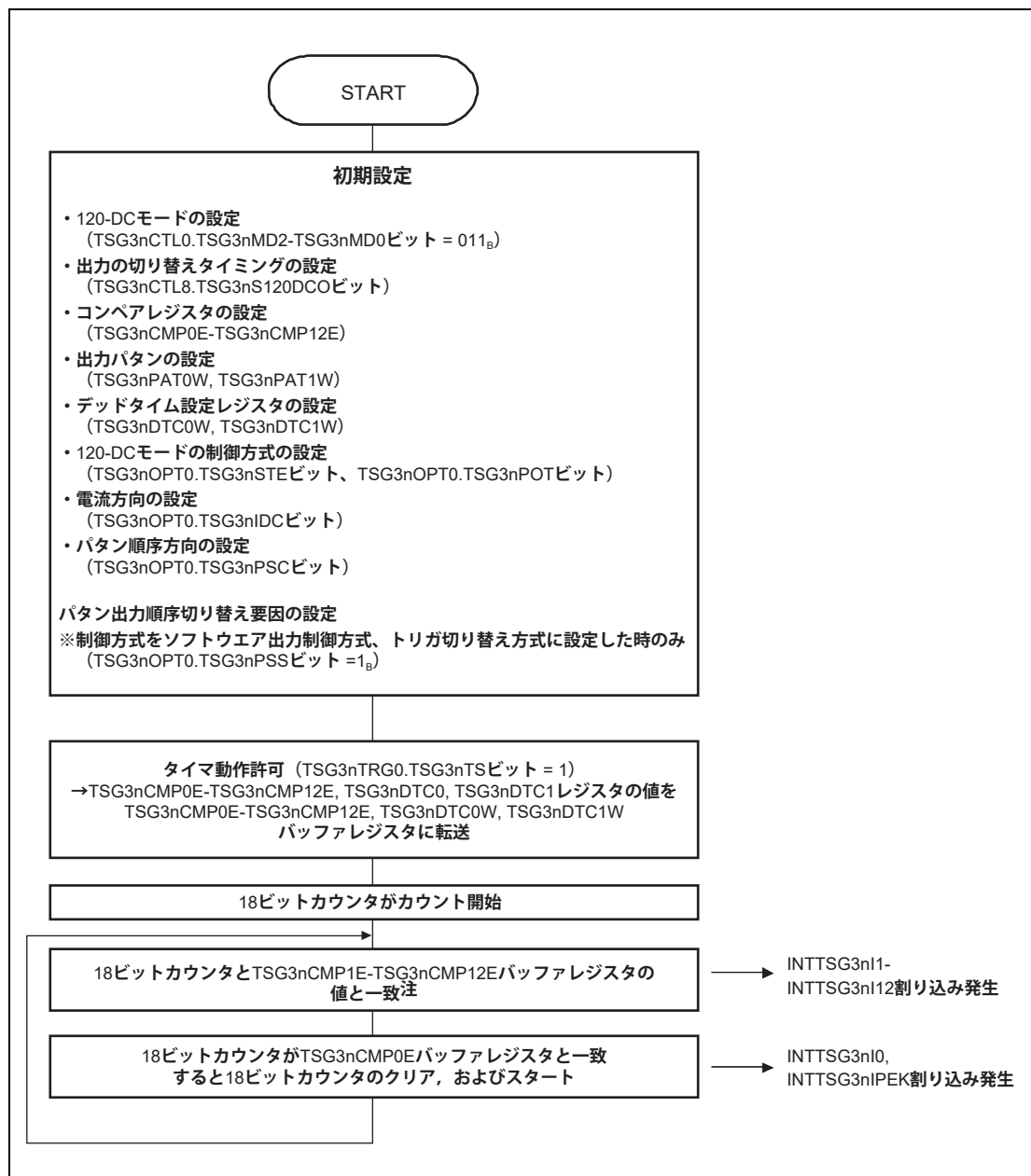


図 19.84 120-DC モード時の基本動作フロー

備考

18ビットカウンタとTSG3nCMP1E-TSG3nCMP12Eバッファレジスタとの一致では、18ビットカウンタはクリアされません。

(1) 120-DC モード動作一覧

表 19.75 120-DC モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCTL8.TSG3nS120DCO = 0 の時は TSG3nCMP0E と 18 ビットカウンタの一致、もしくは、出力パタンの切り替えタイミング TSG3nCTL8.TSG3nS120DCO = 1 の時は TSG3nCMP0E と 18 ビットカウンタの一致タイミング
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 19.76 120-DC モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード	可能	周期
TSG3nCMPmE (m = 1-12)	リロード	可能	PWM デューティ
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	可能	デッドタイム

表 19.77 120-DC モード : タイマ入力機能

端子/信号	機能
TSG3nPTSI2-TSG3nPTSI0 端子	パタン入力 (3 相)
TSG3nOPCI0, TSG3nOPCI1 信号	トリガ入力

表 19.78 120-DC モード : タイマ出力機能

端子/信号	機能
TSG3nO1 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO2 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO3 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO4 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO5 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO6 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO7 端子	ダイアグ出力もしくは A/D 変換トリガによるパルス出力
TSG3nPTE 信号	パタン入力の変化によるトルグル信号

表 19.79 120-DC モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0-12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペアー致 (m = 0-12)
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同タイミングで発生)
INTTSG3nIWN	ワーニング

表 19.80 120-DC モード : コンペアー致タイミング

コンペアー致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1-12)	18 ビットカウンタと TSG3nCMPmE 一致検出後 (m = 1-12)

表 19.81 120-DC モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nOm (m = 1-6)	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	「(6) 120-DC モードの 出力パターン一覧」を参 照	—
TSG3nO7	ダイアグ出力も しくは A/D 変 換トリガによる パルス出力	(TSG3nCMP0E + 1) × カウントクロック	「19.4.5 A/D 変換トリ ガ機能」を参照	—

(2) 120-DC モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 011_B に設定することで 120-DC モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の特可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相/逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**19.4.6 エラー/ワーニング割り込み**」を参照してください。

レジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) を行います (デフォルト "0" リロード)。リロードを行う場合は、TSG3nCTL4.TSG3nPRE を必ずセット (1) してください。

TSG3nPRE に "0" の場合はリロードタイミングが発生しません。

A/D 変換トリガ

出力の設定 A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5 の TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップカウント) による A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6 の TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01, TSG3nACC00、および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し/1 間引き/3 間引き/7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- 120-DC モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT00, TSG3nAT10 は必ず "0" に設定してください。
- 120-DC モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT09, TSG3nAT08, TSG3nAT19, TSG3nAT18 は必ず "0" に設定してください。

- 120-DC モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT07, TSG3nAT05, TSG3nAT03, TSG3nAT17, TSG3nAT15, TSG3nAT13 は必ず“0”に設定してください。

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→ TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→ TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$\text{TSG3nCMP0E} = (\text{搬送波周期} / \text{カウントクロック周期}) - 1$$

デューティ (PWM 幅) の設定

TSG3nCMP1E-TSG3nCMP12E で PWM 出力のデューティ設定を行います。コンペアレジスタの設定範囲は次のようになっています。

$$00000_{\text{H}} \leq \text{TSG3nCMPmE} \leq \text{TSG3nCMP0E} + 1$$

注 意

**TSG3nCMP0E + 1 < TSG3nCMPmE、および TSG3nCMP0E = 3FFFF_H 時のみ
TSG3nCMPmE = TSG3nCMP0E + 1 は設定しないでください。(m = 1-12)**

出力 PWM の設定

120 度制御を行う場合は、TSG3nO1, TSG3nO3, TSG3nO5 端子の出力制御を TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E で行い、TSG3nO2, TSG3nO4, TSG3nO6 端子の出力制御を TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E で行います。PWM 周期 (TSG3nCMP0E) に対して、TSG3nCMP1E-TSG3nCMP12E レジスタでデューティを設定可能です。デューティ 0%にする場合は TSG3nCMP1E-TSG3nCMP12E レジスタに“00000_H”を設定し、デューティ 100%にする場合は、TSG3nCMP1E-TSG3nCMP12E レジスタに TSG3nCMP0E + 1 の値を設定する必要があります。これにより、チョッピング出力制御、矩形波出力制御が可能となります。

(3) 120-DC モードの制御方式

120-DC の制御方式は次の通りです。

表 19.82 120-DC モード : 120DC モードの制御方式

制御方式	機能
ソフトウェア出力制御方式	ソフトウェアで TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を設定することにより、出力パターンを切り替えます
パターン切り替え方式	TSG3nPTSI0-TSG3nPTSI2 のボタン入力信号により出力パターンを切り替えます
トリガ切り替え方式	TSG3nOPCI0, TSG3nOPCI1 のトリガ入力信号によるトリガ切り替え方式、もしくは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のパターン入力設定により、一定の順序により出力パターンを切り替えます

また、TSG3nCTL8.TSG3nS120DCO によって、120-DC モードの入力パターン変更時のタイマ出力の切り替えタイミングを設定することができます。

表 19.83 120-DC モード : TSG3nS120DCO の設定と、120DC モードの動作

TSG3nS120DCO	機能
0	入力パターンが変更すると、メインカウンタ (TSG3nCnTE) をクリアし、即時出力パターンを切り替えます。
1	入力パターンが変更すると、次タイマ周期 (メインカウンタ TSG3nCnTE と TSG3nCMP0E の一致後) に出力パターンを切り替えます。

ソフトウェア出力制御方式の設定

TSG3nOPT0.TSG3nSTE = 0 にすると、ソフトウェア出力制御により出力パターンを切り替えることができます。TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 の設定により TSG3nO1-TSG3nO6 端子の出力を切り替えます。

動作開始時の出力パターンは TSG3nOPT0.TSG3nIDC と TSG3nOPT0.TSG3nPSC で設定します。

ソフトウェア出力制御方式の動作

ソフトウェアにより設定された TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 により、TSG3nO1-TSG3nO6 端子の PWM 出力 (TSG3nCMP1E-TSG3nCMP12E 値で決定される PWM 出力) を選択します。デッドタイムの制御は、各相の信号が立ち下がったタイミングでデッドタイムカウンタが動作し、デッドタイムを挿入します。

18 ビットカウンタは、TSG3nCMP0E に設定した搬送周期でカウントを行います。18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、もしくは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のライト時にカウンタクリアされます (TSG3nS120DCO = 0 の場合)。

この方式では、出力パターン (TSG3nSPC2-TSG3nSPC0)、電流方向制御ビット (TSG3nOPT0.TSG3nIDC)、順序方向制御ビット (TSG3nOPT0.TSG3nPSC) の情報を使用しデコードされたパターンを出力します。図 19.105 はソフトウェア出力制御による出力パターンが変化した場合のタイマ出力を示しています。

また、動作開始 (TSG3nTRG0.TSG3nTS = 1) した直後は、TSG3nSPC2-TSG3nSPC0 の出力パターン、TSG3nIDC, TSG3nPSC (TSG3nOPT0.TSG3nPSS = 1) で設定したパターンを出力します。

パタン切り替え方式の設定

TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 0 にすると、パタン切り替え方式となります。TSG3nPTSI2-TSG3nPTSI0 端子の変化タイミングで TSG3nO1-TSG3nO6 端子の出力パタンを切り替えます。

動作開始時の出力パタンは TSG3nOPT0.TSG3nIDC と TSG3nOPT0.TSG3nPSC で設定します。ただし、回転方向が決定したあと (TSG3nSTR1.TSG3nTSF に値がセットされたあと) は、TSG3nPSC の設定は無効になります。

パタン切り替え方式の動作

TSG3nPTSI2-TSG3nPTSI0 端子 (ホールセンサからの 3 入力) に対してレベル検出を行い、レベル検出した後の信号をデコードします。このデコード結果を判断して、TSG3nO1-TSG3nO6 端子の PWM 出力 (TSG3nCMP1E-TSG3nCMP12E 値で決定される PWM 出力) を選択します。デッドタイムの制御は、各相の信号が立ち下がったタイミングでデッドタイムカウンタが動作し、デッドタイムを挿入します。

18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、もしくは、TSG3nS120DCO = 0 設定で入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) の変化した時にカウンタクリアされます。

この方式では、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子)、電流方向を制御するビット (TSG3nOPT0.TSG3nIDC)、TSG3nPTSI2-TSG3nPTSI0 順序検出フラグ (TSG3nSTR1.TSG3nTSF) の情報を使用してデコードされたパタンを出力します。図 19.87 ~ 図 19.90 は TSG3nPTSI2-TSG3nPTSI0 端子が変化した場合のタイマ出力を示しています。

また、動作開始 (TSG3nTRG0.TSG3nTS = 1) した直後は、TSG3nPTSI2-TSG3nPTSI0 端子の入力レベル、TSG3nIDC、TSG3nPSC で設定したパタンを出力します。その後、TSG3nPTSI2-TSG3nPTSI0 端子が変化すると、変化した順序方向により TSG3nTSF を決定します。TSG3nTSF の値が決定した後は、TSG3nPSC の代わりに TSG3nTSF で設定されるパタンを出力します。

注 意

3 相パルス入力信号を TSG3nPTSI2-TSG3nPTSI0 端子に接続するときに、3 相パルス入力値と、TSG3nO1-TSG3nO6 端子から出力するパタンが期待する条件であることを確認してください。

期待する条件と異なる場合は、3 相パルス入力信号と TSG3nPTSI2-TSG3nPTSI0 端子の接続を変更してください。

トリガ切り替え方式の設定

TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 1 に設定すると、トリガ切り替え方式となります。外部入力 (TSG3nOPCI1, TSG3nOPCI0 信号) の立ち上がりで TSG3nO1-TSG3nO6 端子の出力パタンを切り替えます。

パタンの出力順序に関しては、「19.4.7.6(5) 120-DC モードの動作」を参照してください。

初期出力パタンは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 で制御できます。

TSG3nSPC2-TSG3nSPC0 で設定後、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した時点で、初期パタンが出力されます。詳細は「19.4.7.6 (6) 120-DC モードの出力パターン一覧」を参照してください。

トリガ切り替え方式の動作

トリガ入力切り替え方式は、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりを検出し、出力切り替えタイミングを生成します。タイマ出力の初期パターンは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 で設定します。初期パターン以降の出力パターンは、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりを検出し切り替わります。また TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を設定し出力パターンを切り替えることも可能です。

18 ビットカウンタは、TSG3nCMP0E に設定した搬送周期でカウントを行います。18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のライト時、もしくは、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりを検出時にカウンタクリアされます (TSG3nS120DCO = 0 の場合)。

トリガ入力切り替え方式時の 120-DC モード動作例は、[図 19.87](#) ~ [図 19.90](#) を参照してください。

注 意

TSG3nPTSI2-TSG3nPTSI0 端子が接続されるポートの入カレベルをリードし、初期パターンを設定してください。

(4) 120-DC モードのタイマ出力

120-DC モードでは、PWM 出力を TSG3nPAT0W, TSG3nPAT1W、および TSG3nCMP1E-TSG3nCMP12E で制御します。TSG3nO1, TSG3nO3, TSG3nO5 端子の出力では TSG3nPAT0W と TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を設定します。TSG3nO2, TSG3nO4, TSG3nO6 端子の出力では TSG3nPAT1W と TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を設定します。

PWM の出力制御では、TSG3nO1, TSG3nO3, TSG3nO5 端子および TSG3nO2, TSG3nO4, TSG3nO6 端子の出力パターンを各 8 種類選択できます。

表 19.84 TSG3nPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウレベル固定
001	TSG3nCMP1E で設定した PWM 出力
010	TSG3nCMP2E で設定した PWM 出力
011	TSG3nCMP5E で設定した PWM 出力
100	TSG3nCMP6E で設定した PWM 出力
101	TSG3nCMP9E で設定した PWM 出力
110	TSG3nCMP10E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

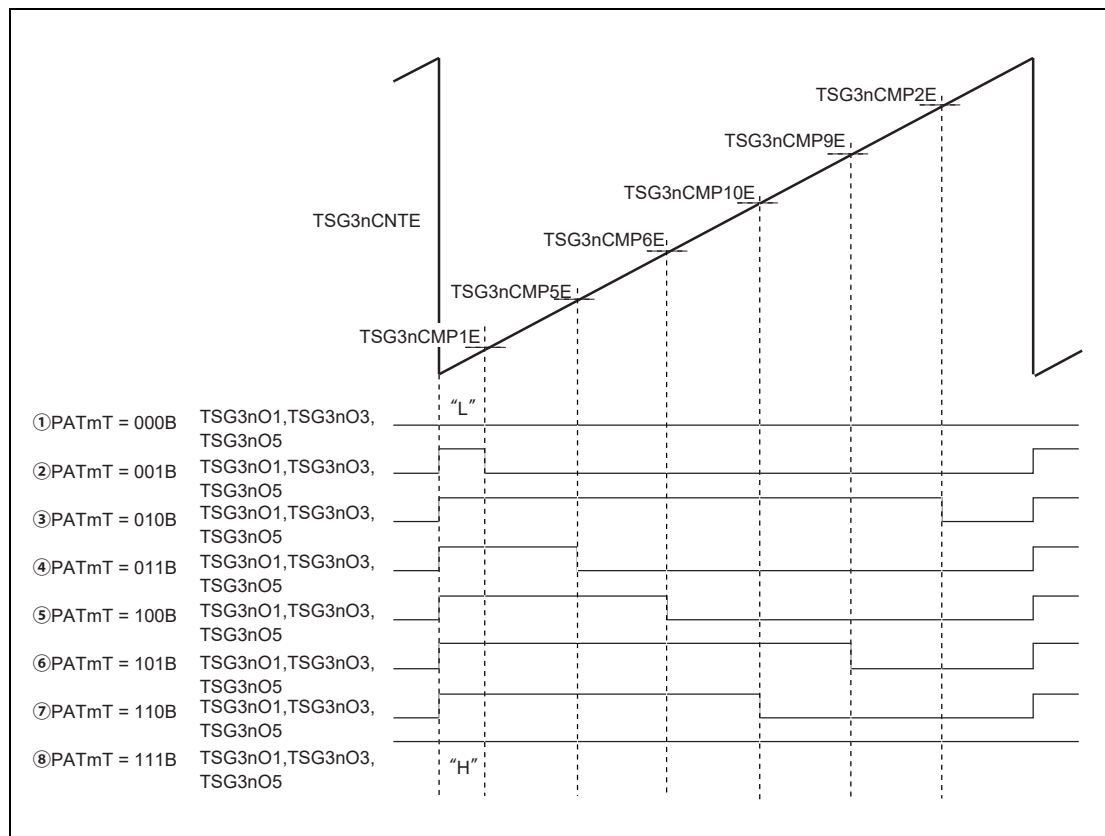


図 19.85 出力パターン別の TSG3nO1, TSG3nO3, TSG3nO5 端子出力

表 19.85 TSG3nPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウレベル固定
001	TSG3nCMP3E で設定した PWM 出力
010	TSG3nCMP4E で設定した PWM 出力
011	TSG3nCMP7E で設定した PWM 出力
100	TSG3nCMP8E で設定した PWM 出力
101	TSG3nCMP11E で設定した PWM 出力
110	TSG3nCMP12E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

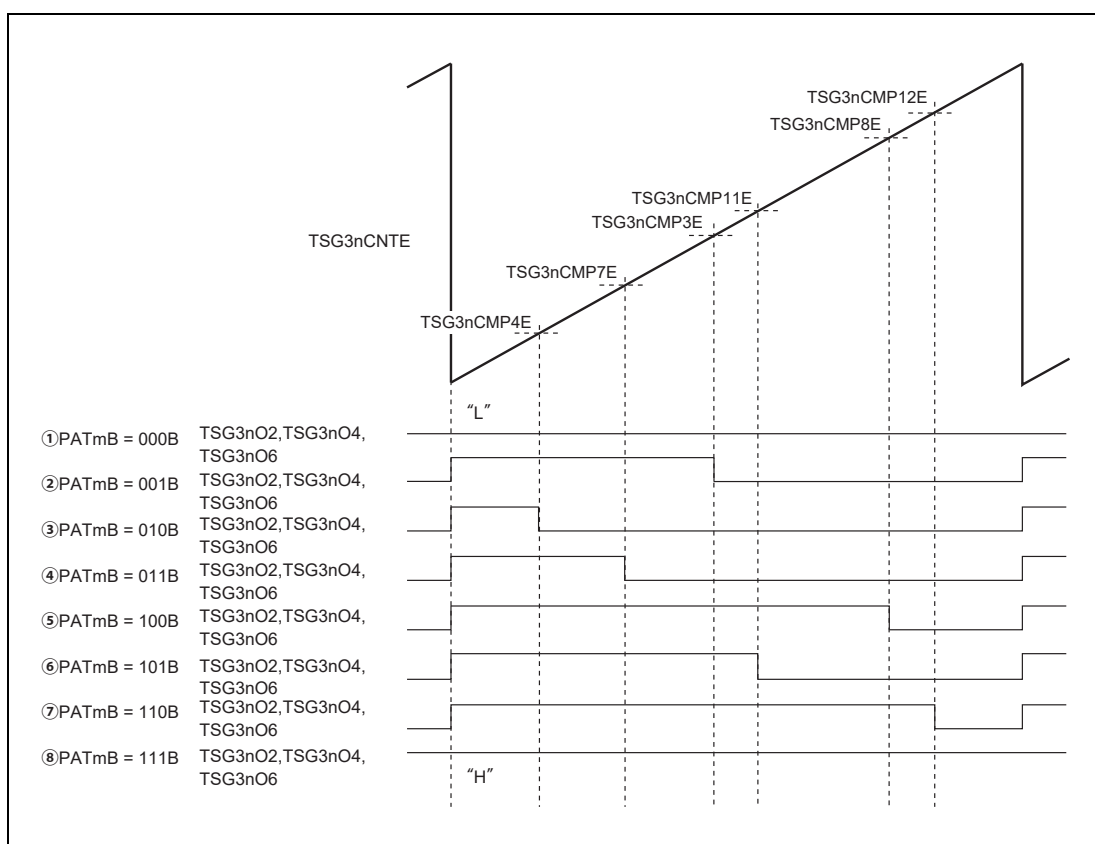


図 19.86 出力パターン別の TSG3nO2, TSG3nO4, TSG3nO6 端子出力

(5) 120-DC モードの動作

図 19.87 ~ 図 19.90 に、120-DC モードの動作例を示します。

TSG3nO1-TSG3nO6 端子は TSG3nPTSI2-TSG3nPTSI0 端子の入力レベルの変化タイミングを検出し、出力パターンを変化させます。18 ビットカウンタはのこぎり波動作を行い、TSG3nCMP0E-TSG3nCMP12E による PWM 出力を行います。TSG3nS120DCO = 0 の場合、18 ビットカウンタは、TSG3nCMP0E レジスタ値との一致、もしくは、TSG3nPTSI2-TSG3nPTSI0 端子の変化を検出するごとに 00000_H にクリアされ、タイマ出力パターンは、TSG3nPTSI2-TSG3nPTSI0 端子の変化を検出するごとに切り替わります。

一方、TSG3nS120DCO = 1 の場合、18 ビットカウンタは、TSG3nCMP0E レジスタ値との一致でクリアされますが、TSG3nPTSI2-TSG3nPTSI0 端子の変化ではクリアされず、タイマ出力パターンは、次の TSG3nCNTE と TSG3nCMP0E の一致タイミングで、新しい TSG3nPTSI2-TSG3nPTSI0 端子のパターンに応じたタイマ出力に切り替わります。

備 考

PAT0T-PAT5T, PAT0B-PAT5B は、それぞれ TSG3nCMP1E-TSG3nCMP12E レジスタ設定の PWM 動作を示しています。

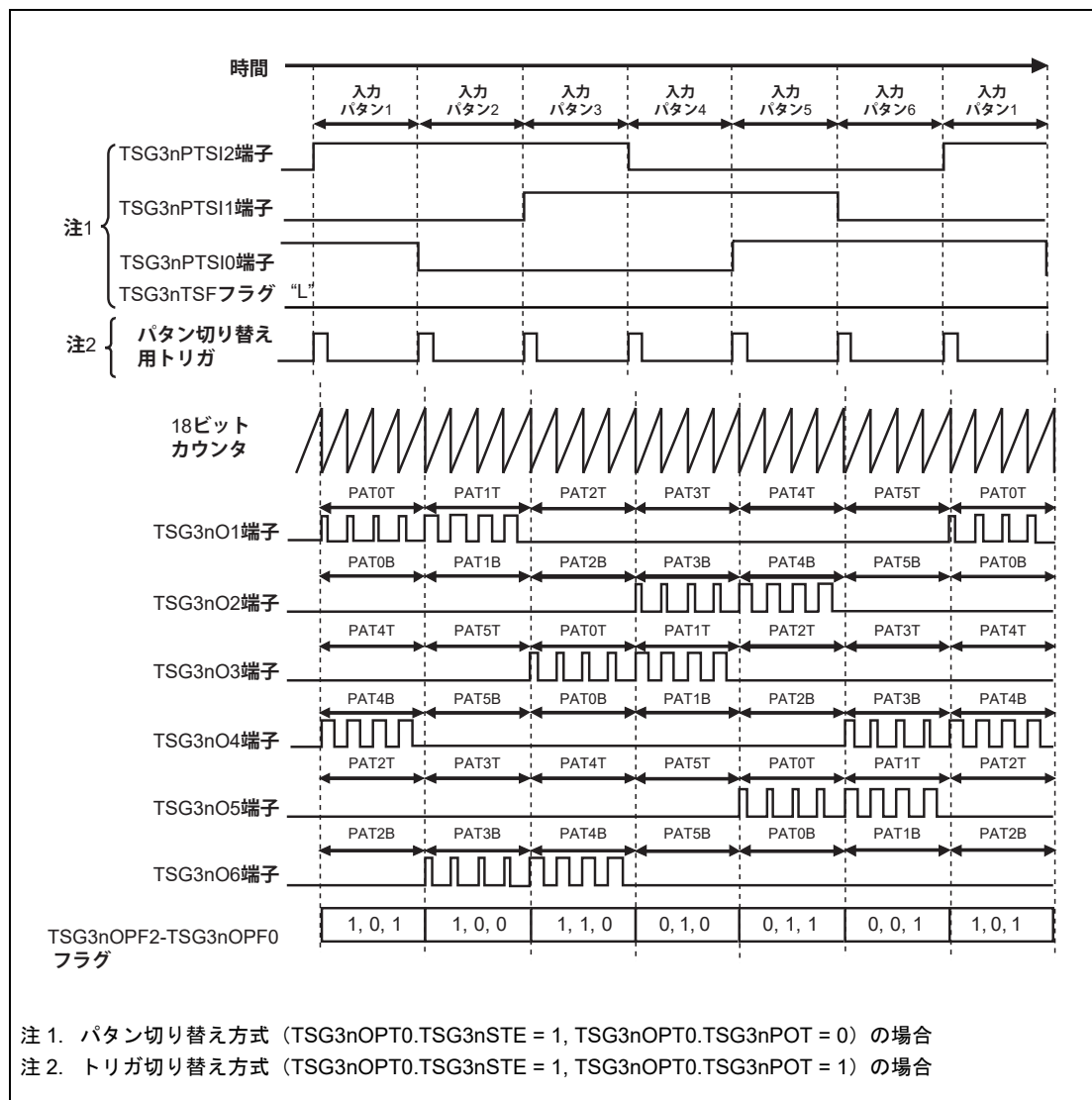


図 19.87 120-DC モード動作例 (正転: TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 0)

備考

TSG3nOPT0.TSG3nSOC = 0

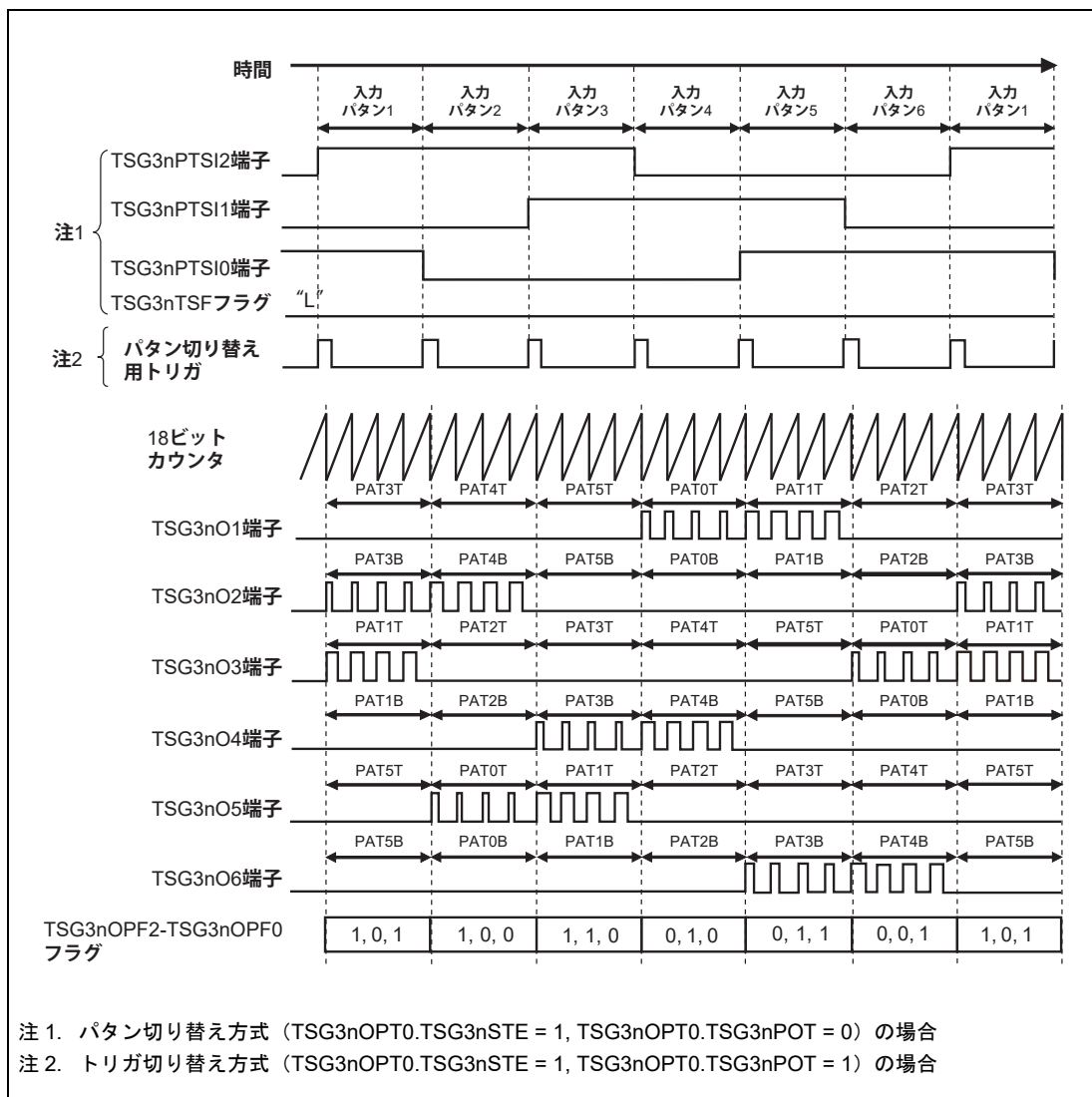


図 19.88 120-DC モード動作例 (正転 : TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 1)

備考

TSG3nOPT0.TSG3nSOC = 0

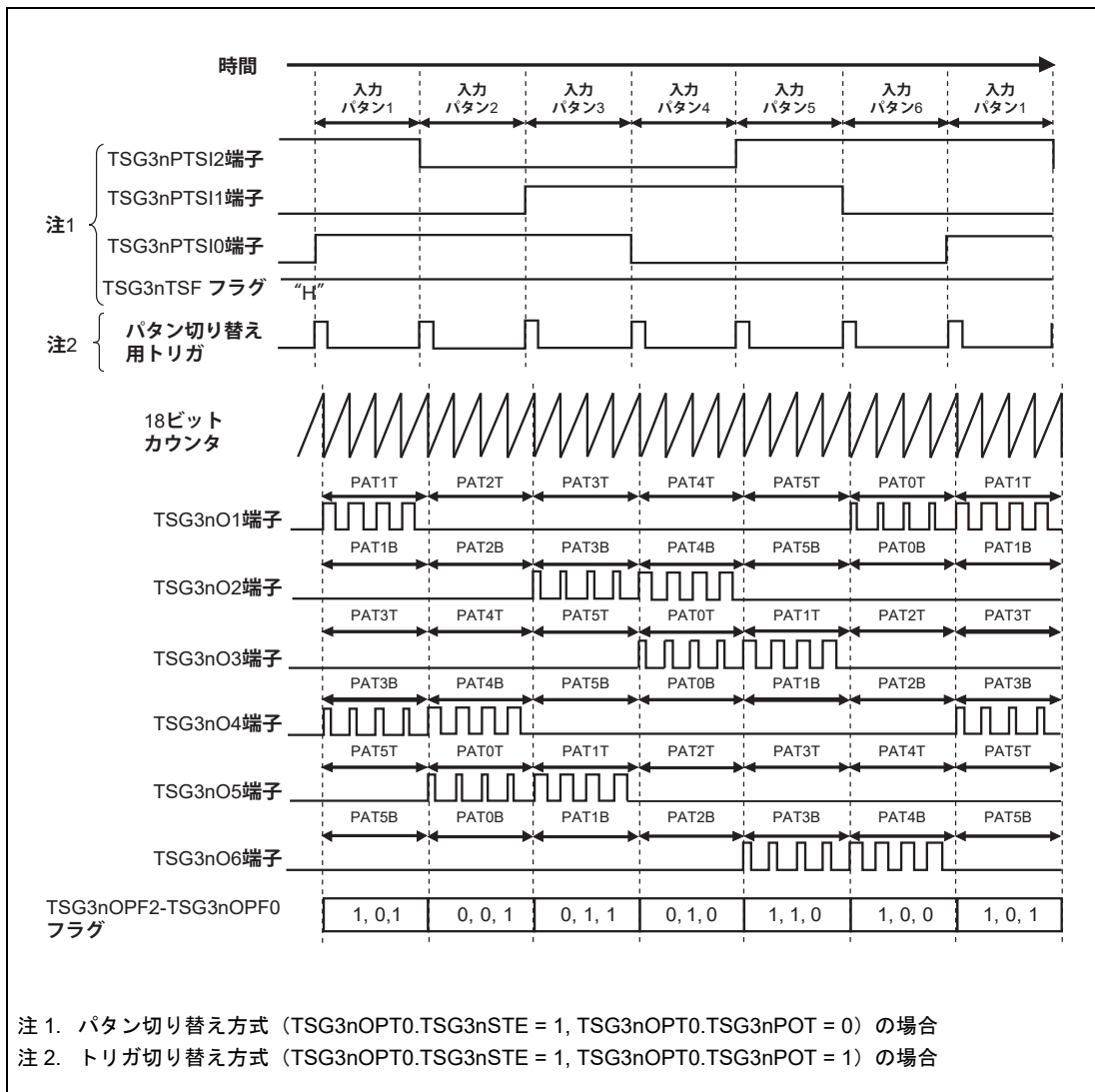


図 19.89 120-DC モード動作例 (逆転: TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 0)

備考

TSG3nOPT0.TSG3nSOC = 0

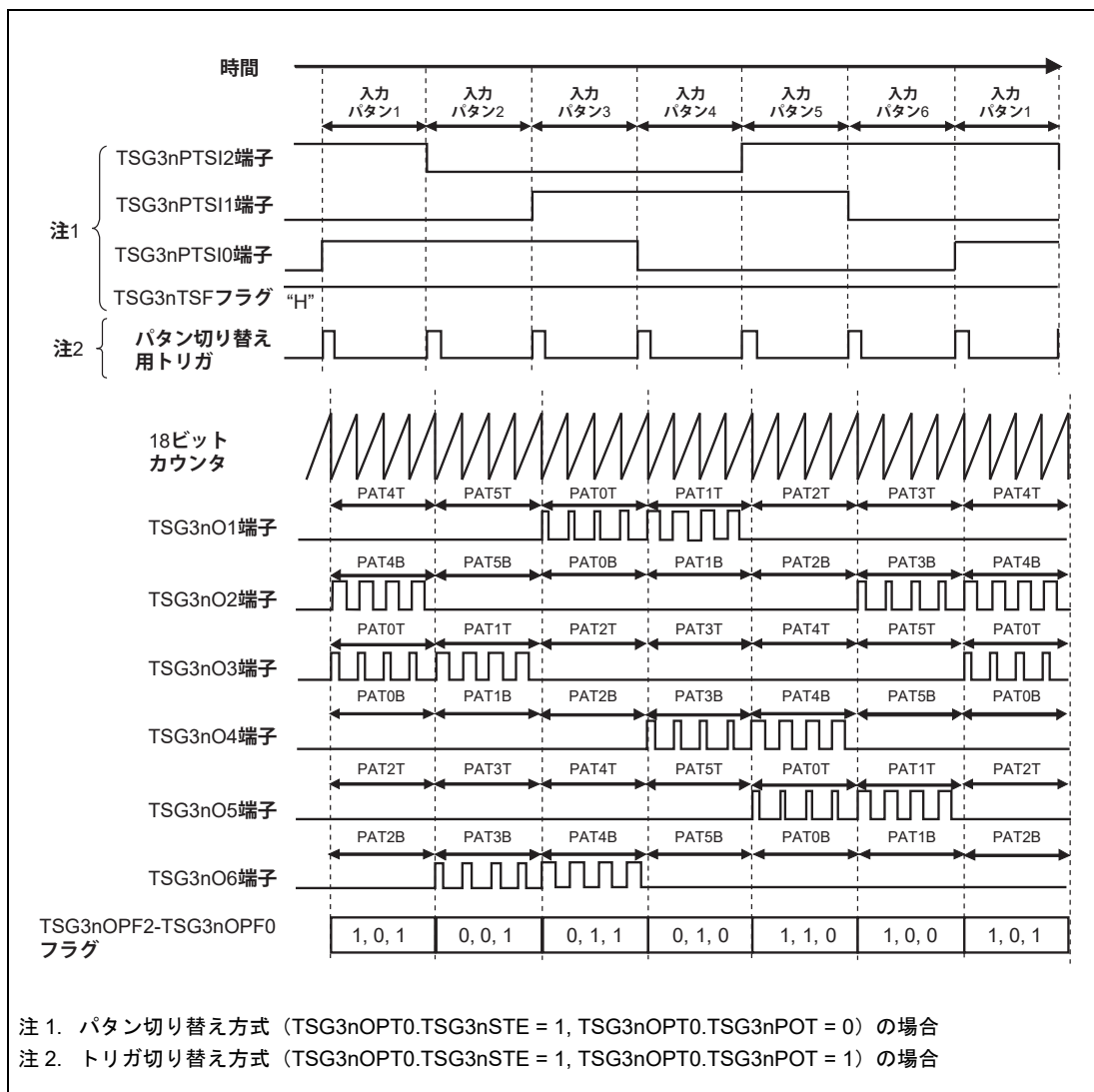


図 19.90 120-DC モード動作例 (逆転 : TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 1)

備考

TSG3nOPT0.TSG3nSOC = 0

(6) 120-DC モードの出力パターン一覧

120DC モードにおいて、出力パターンは電流方向 (TSG3nOPT0.TSG3nIDC) とパターン順序方向によって決定します。

表 19.86 120DC モードのパターン順序方向選択

TSG3nOPT0			パターン順序方向
TSG3nSTE	TSG3nPOT	TSG3nPSS	
0	—	1	TSG3nPSC
1	0	—	TSG3nTSF (動作開始時の初期設定のみ TSG3nPSC)
1	1	1	TSG3nPSC

表 19.87 120DC モードの出力パターン一覧 (1/4)

電流方向 正 (TSG3nIDC = 0)
パターン順序方向 正 (TSG3nTSF = 0 or TSG3nPSC = 0)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	Low	Low
TSG3nO2	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	Low	Low
TSG3nO3	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	Low	Low
TSG3nO4	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	Low	Low
TSG3nO5	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	Low	Low
TSG3nO6	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	Low	Low

表 19.87 120DC モードの出力パターン一覧 (2/4)

電流方向 逆 (TSG3nIDC = 1)
パターン順序方向 正 (TSG3nTSF = 0 or TSG3nPSC = 0)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	Low	Low
TSG3nO2	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	Low	Low
TSG3nO3	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	Low	Low
TSG3nO4	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	Low	Low
TSG3nO5	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	Low	Low
TSG3nO6	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	Low	Low

注 1. TSG3nSPC2-TSG3nSPC0、TSG3nSTE = 1、かつ TSG3nPOT = 1 のときに書き込みを行うと出力パターンが変化します。その後、TSG3nOPCI0、TSG3nOPCI1 信号の立ち上がりによるパターン切り替えトリガが発生するとパターン切り替え順序にしたがって、TSG3nS120DCO = 0 のときは即時、TSG3nS120DCO = 1 のときはメインカウンタ (TSG3nCnTE) が TSG3nCMP0E の一致したときに (次のタイマ周期から) 出力が切り替わります。その際、出力パターンが切り替わっても TSG3nSPC2-TSG3nSPC0 は変化しません。

備 考

- PAT0T - PAT5T : TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E による PWM 出力を示します。
- PAT0B - PAT5B : TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E による PWM 出力を示します。

表 19.87 120DC モードの出力パターン一覧 (3/4)

電流方向 正 (TSG3nIDC = 0)
 パタン順序方向 逆 (TSG3nTSF = 1 or TSG3nPSC = 1)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	Low	Low
TSG3nO2	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	Low	Low
TSG3nO3	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	Low	Low
TSG3nO4	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	Low	Low
TSG3nO5	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	Low	Low
TSG3nO6	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	Low	Low

表 19.87 120DC モードの出力パターン一覧 (4/4)

電流方向 逆 (TSG3nIDC = 1)
 パタン順序方向 逆 (TSG3nTSF = 1 or TSG3nPSC = 1)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	Low	Low
TSG3nO2	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	Low	Low
TSG3nO3	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	Low	Low
TSG3nO4	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	Low	Low
TSG3nO5	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	Low	Low
TSG3nO6	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	Low	Low

注 1. TSG3nSPC2-TSG3nSPC0、TSG3nSTE = 1、かつ TSG3nPOT = 1 のときに書き込みを行うと出力パターンが変化します。その後、TSG3nOPCI0、TSG3nOPCI1 信号の立ち上がりによるパタン切り替えトリガが発生すると、TSG3nS120DCO = 0 のときは即時、TSG3nS120DCO = 1 のときはメインカウンタ (TSG3nCnTE) が TSG3nCMP0E の一致したときに (次のタイマ周期から) 出力が切り替わります。パタン切り替え順序にしたがって出力が切り替わります。その際、出力パターンが切り替わっても TSG3nSPC2-TSG3nSPC0 は変化しません。

備 考

1. PAT0T - PAT5T : TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E による PWM 出力を示します。
2. PAT0B - PAT5B : TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E による PWM 出力を示します。

(7) 120-DC モードの動作開始タイミング

トリガ切り替え制御 (TSG3nOPT0.TSG3nSTE=1, TSG3nOPT0.TSG3nPOT = 1) の場合は、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0、TSG3nOPT0.TSG3nPSC、TSG3nOPT0.TSG3nIDC で設定されたパタンを出力することができます。しかし、パタン切り替え制御 (TSG3nOPT0.TSG3nSTE=1, TSG3nOPT0.TSG3nPOT = 0) の場合は、TSG3nPTSI2-TSG3nPTSI0 端子のパタンは検出できませんが、パタン順序方向 (TSG3nSTR1.TSG3nTSF) が決定できません。そのため、TSG3nTE = 0 のときに TSG3nPSC にパタン順序方向をセットしてください。TSG3nPSC の設定値が TSG3nTSF にロードされ、この値を初期パタン設定に使用できます。

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 0, TSG3nPOT = 0, TSG3nIDC = 0, TSG3nSTE = 1

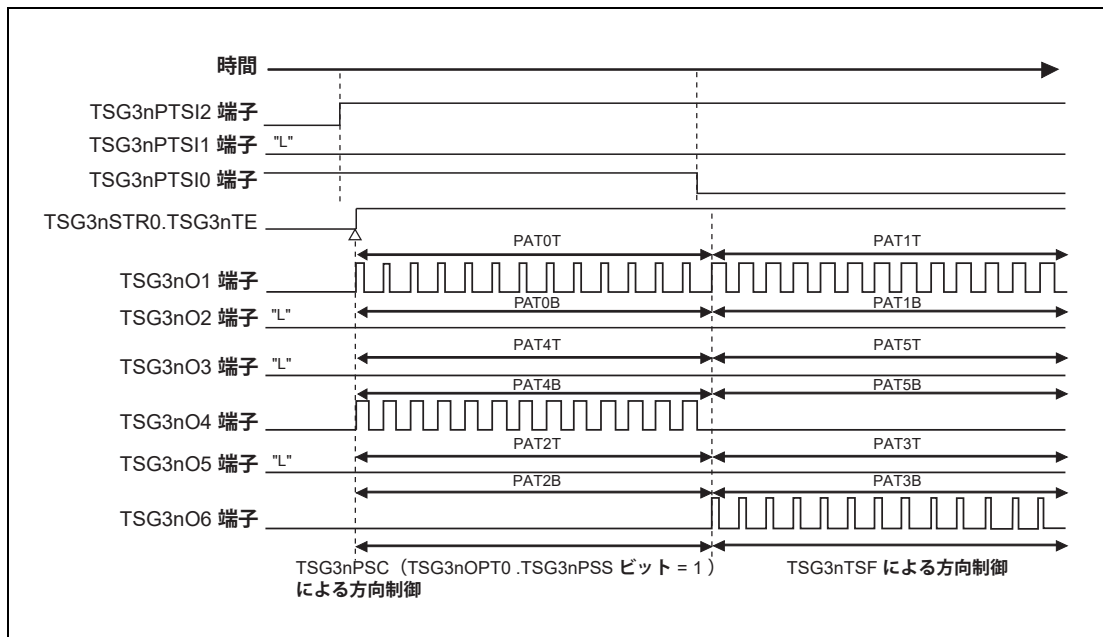


図 19.91 正転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 1, TSG3nPOT = 0, TSG3nIDC = 1, TSG3nSTE = 1

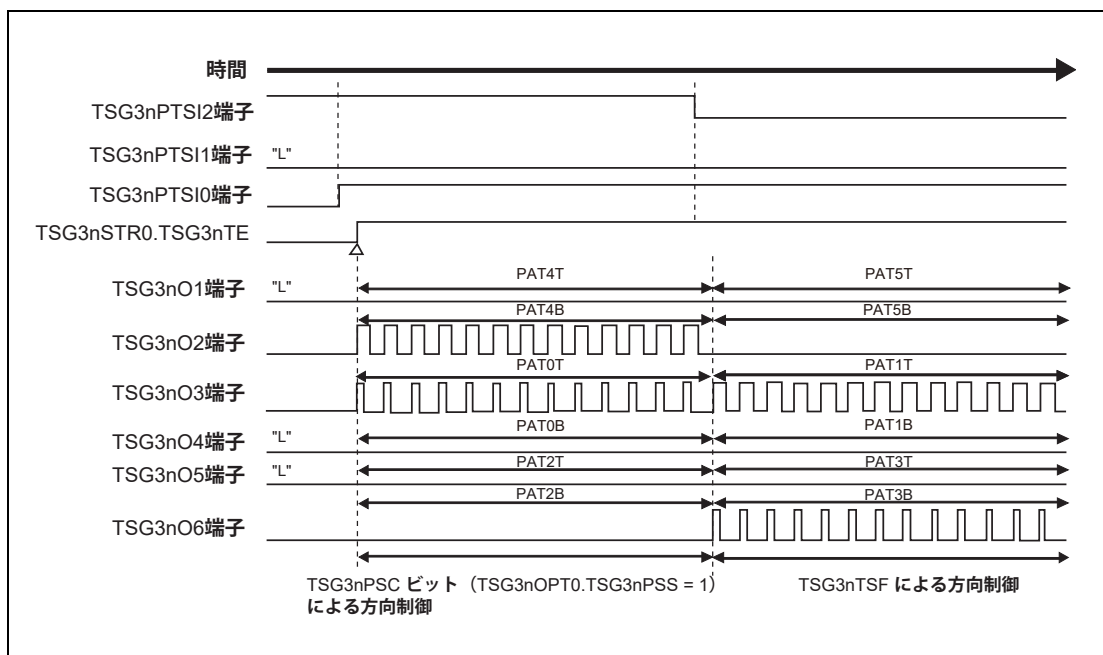


図 19.92 逆転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 0, TSG3nPOT = 0, TSG3nIDC = 0, TSG3nSTE = 1

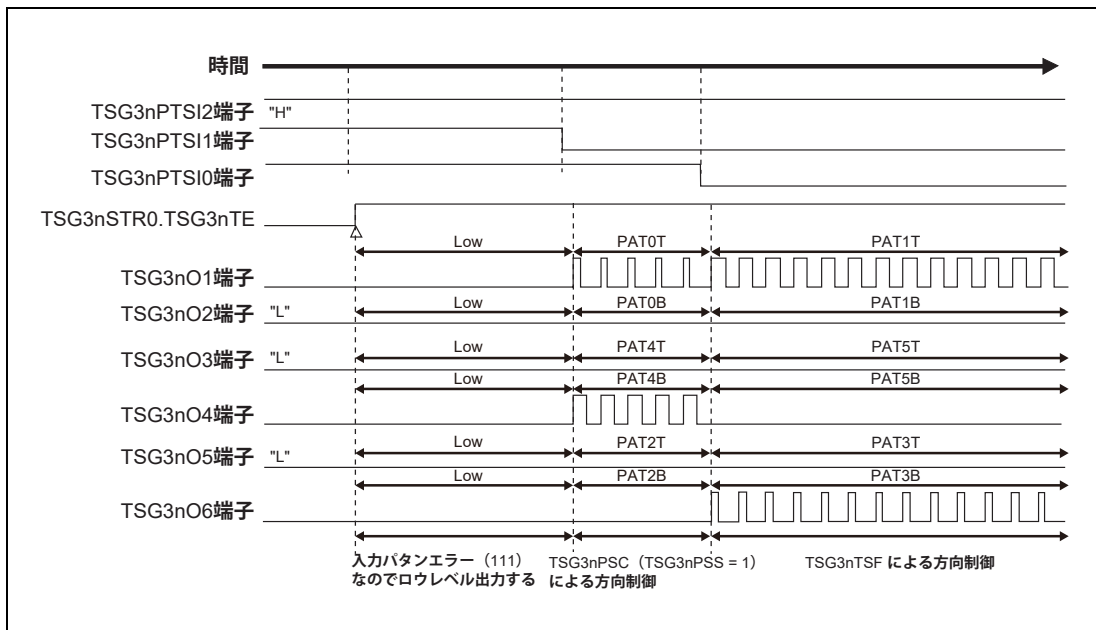


図 19.93 正転時のタイマ出力開始時の制御 (エラーパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 1, TSG3nPOT = 0, TSG3nIDC = 1, TSG3nSTE = 1

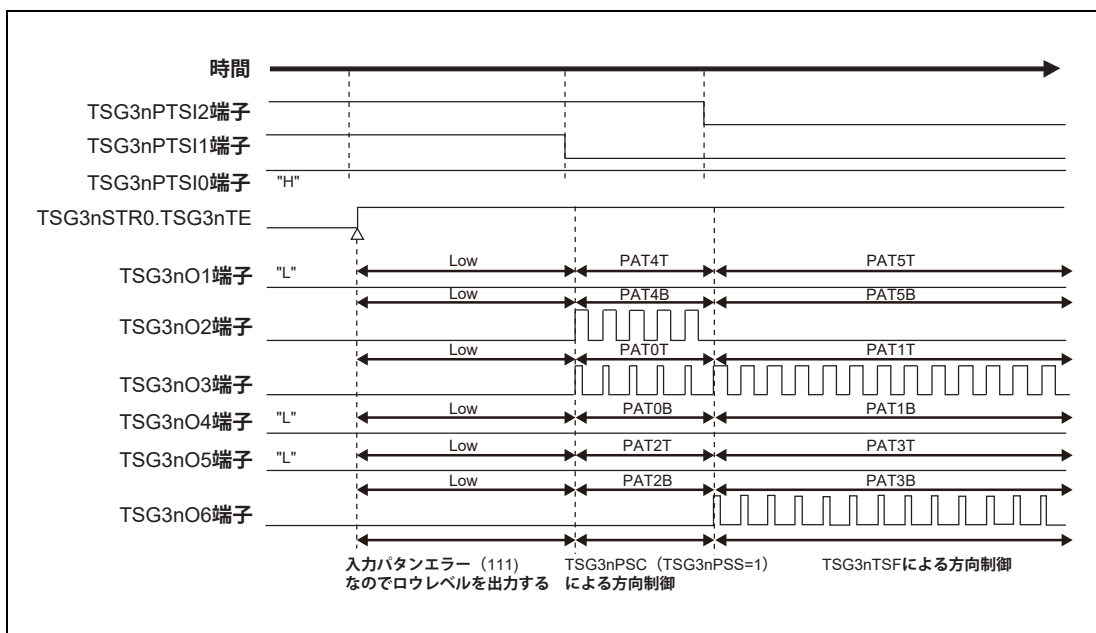


図 19.94 逆転時のタイマ出力開始時の制御 (エラーパターンが入力された場合)

(8) TSG3nS120DCO = 0 時の出力切り替えタイミング

120-DC モードでは、**図 19.95** ~ **図 19.98** に示すように外部からの出力パターン切り替えタイミング (TSG3nOPCI0, TSG3nOPCI1 信号、TSG3nPTSI2-TSG3nPTSI0 端子) は 18 ビットカウンタ動作と関係なく入力されます。TSG3nS120DCO = 0 の場合、出力を切り替えるタイミングは、外部から入力された切り替えタイミングで、18 ビットカウンタをクリアして新しいパターンにて出力します。

パターン切り替え方式にて、1 周期内に TSG3nPTSI2-TSG3nPTSI0 端子が複数回変化した場合、変化するごとに 18 ビットカウンタをクリアし、出力パターンを切り替えます。また、トリガ切り替え方式にて、1 周期内に TSG3nOPCI0, TSG3nOPCI1 信号トリガが複数回入力した場合は、トリガを受け付ける毎に 18 ビットカウンタをクリアし、出力パターンを切り替えます。

1 周期内に TSG3nSPC2-TSG3nSPC0 への書き換えを複数回実行した場合は、書き換えごとに 18 ビットカウンタをクリアし、出力パターンを切り替えます。

TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 への書き換えと TSG3nOPCI0, TSG3nOPCI1 トリガが競合した場合は、TSG3nSPC2-TSG3nSPC0 への書き換えが優先されます。

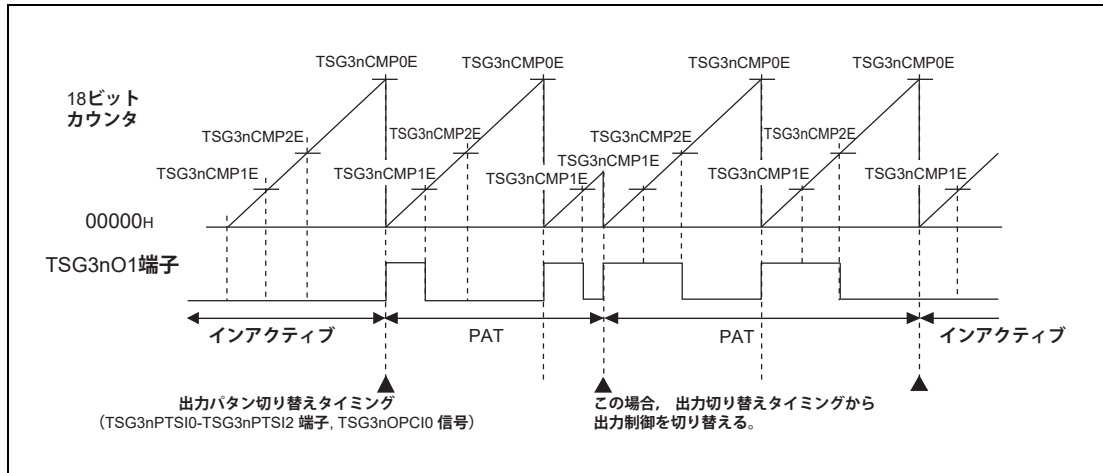


図 19.95 出力切り替え例 (TSG3nPTSI2-TSG3nPTSI0 端子、TSG3nOPCI0, TSG3nOPCI1 信号トリガ入力)

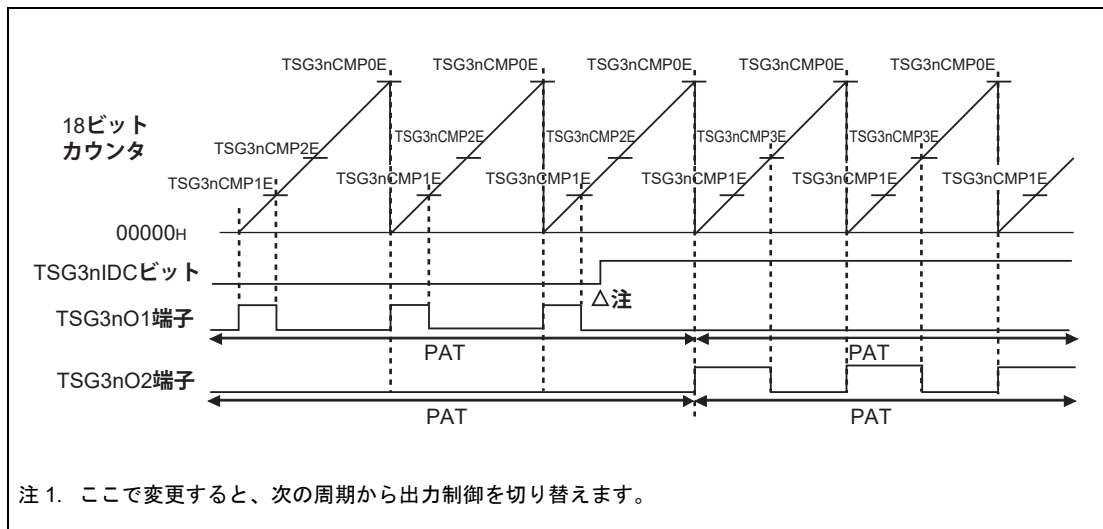


図 19.96 出力切り替え例 (TSG3nOPT0.TSG3nIDC での切り替え)

備考

TSG3nIDC ビットで出力制御を切り替え時、次の周期までに TSG3nPTSI2-TSG3nPTSI0 端子の変化が発生した場合、18ビットカウンタがクリアされ、切り替えた出力制御になります。

- TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 1

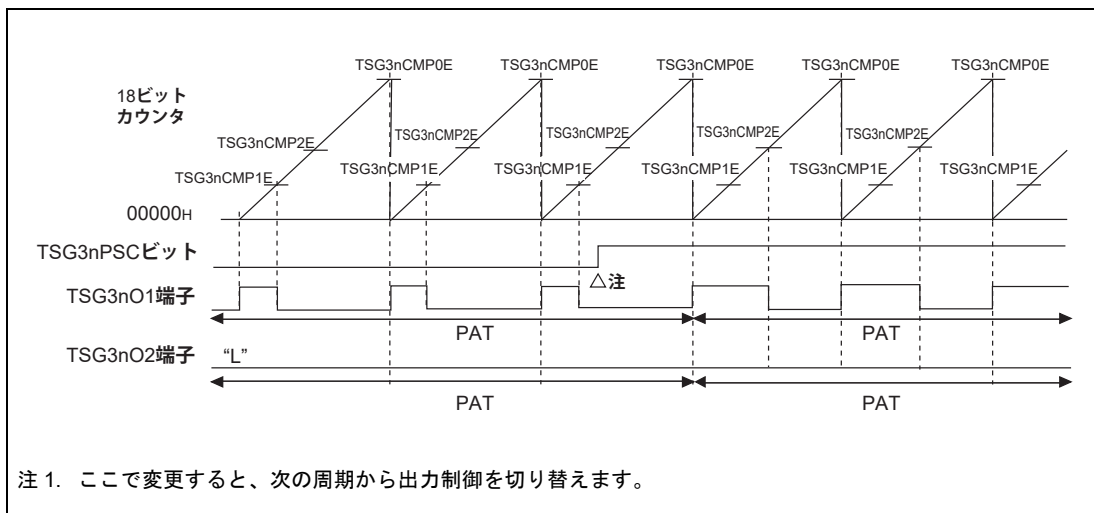


図 19.97 出力切り替え例 (TSG3nOPT0.TSG3nPSC での切り替え)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 1

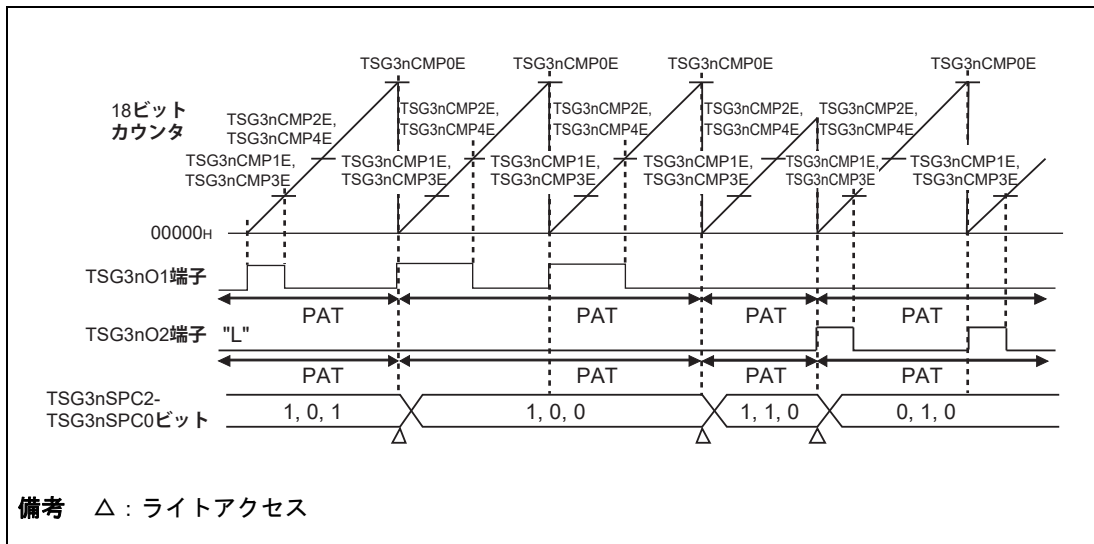


図 19.98 出力切り替え例 (TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 での切り替え)

(9) 120-DC モードのコンペアレジスタ書き換えタイミング

次に、TSG3nCMP1E をリロード（一斉書き換え）した場合の動作例を示します。

図 19.99 は、TSG3nCMP1E レジスタを書き換えた場合の出力例を示しています。TSG3nCMP1E を変更後は次のリロードタイミングまで TSG3nCMP1E バッファレジスタにデータが転送されない（変更したデータが有効にならない）ため、設定どおりの出力波形を得ることができます。ただし、リロードが保留されている期間（TSG3nCMP1E レジスタを変更してから、一斉書き換えが実行されるまでの期間）に、再度 TSG3nCMP1E レジスタに書き込まないでください。必ずリロード要求フラグ（TSG3nRSF）をリードし、0であることを確認してから TSG3nCMP1E レジスタに書き込んでください。

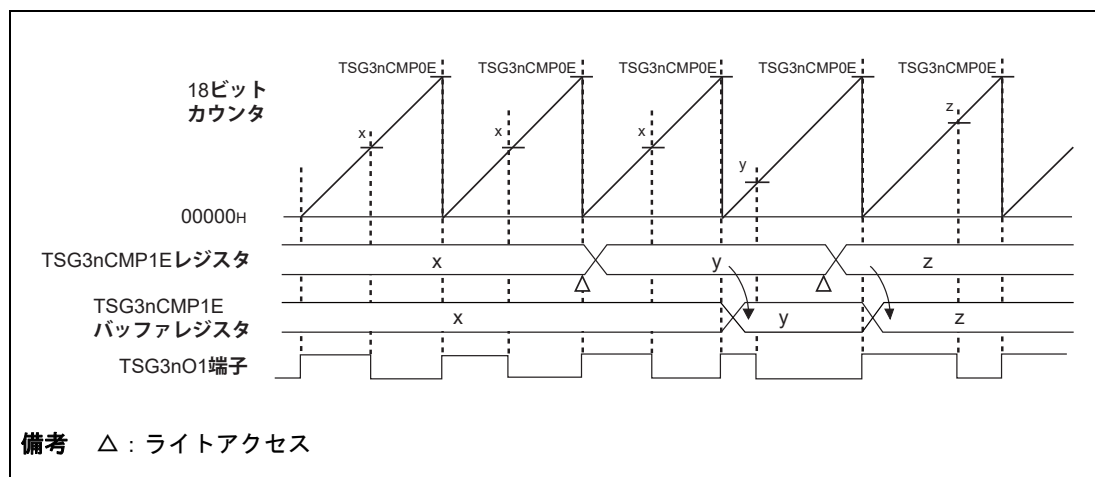


図 19.99 TSG3nCMP1E レジスタを書き換えた時の出力例

(10) 120-DC モードのデッドタイム制御

120-DC モードにおいて、各相の立ち下がりデッドタイム制御が動作し、デッドタイムが付加されます。

正相の立ち下がりでは、TSG3nDTC1W レジスタに設定したデッドタイムが挿入され、逆相の立ち下がりでは TSG3nDTC0W レジスタに設定したデッドタイムが挿入されます。

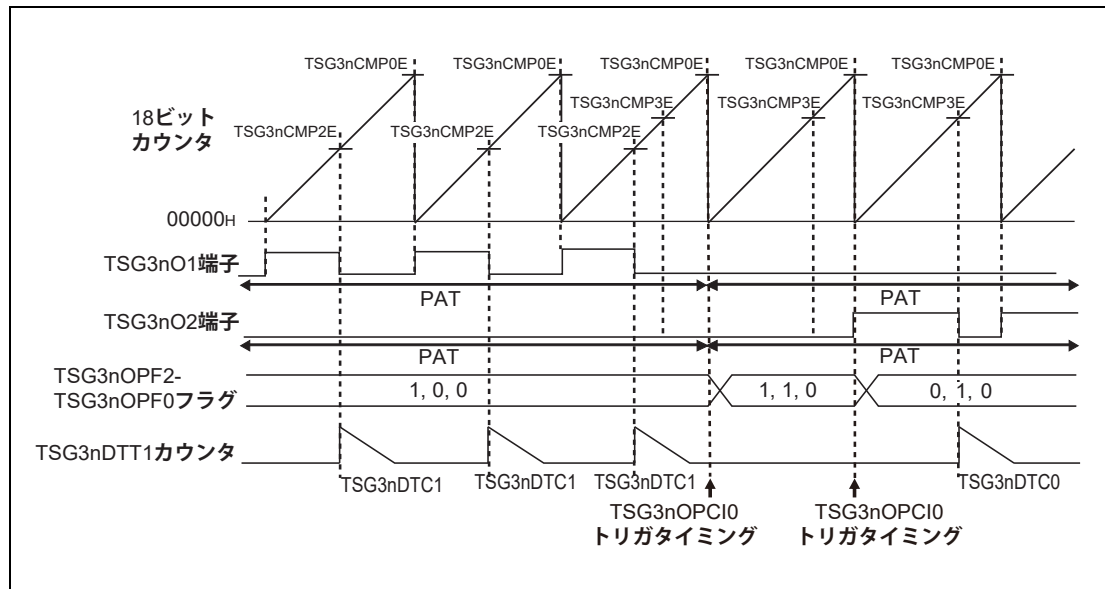


図 19.100 出力切り替え例

注 意

デッドタイムを制御する方法により、タイマ出力に影響を与える場合があります。主に次の条件ではデッドタイム制御のため、タイマ出力が設定どおりのアクティブレベル幅を得られない可能性があります。

- パターン切り替え方式において、入力パターンにノイズが発生した場合
- パターン切り替え方式において、入力パターンの変化が PWM 周期より早くなった場合
- トリガ切り替え方式において、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を変更し、出力パターンを強制的に変化させた場合
- 切り替え方式を変更した場合
- 電流方向を制御するビット (TSG3nOPT0.TSG3nIDC) を変更した場合
- ソフトウェア出力制御機能を使用した場合

(11) 120-DC モードの出力切り替え

120-DC モードでは、トリガ切り替え方式 (TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 1) 時に TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 に値を書き込むことで出力パターンを制御することができます。切り替えタイミングでは、ハードウェアによってデッドタイムの確保を行います。

注 意

TSG3nSPC2-TSG3nSPC0 に “111_B”、“000_B” を書き込んだ場合、TSG3nO1-TSG3nO6 端子はロウレベルとなります。

(12) 120-DC モード時、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生した場合の動作

TSG3nPTSI2-TSG3nPTSI0 端子は、ブラシレス DC モータのホールセンサの入力を想定しています。システムによっては、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生する場合が想定されます。ノイズが発生した場合の動作に関して説明します。

システム製品設計においてはホールセンサと TSG3nPTSI2-TSG3nPTSI0 端子間に必ずノイズフィルタ回路を挿入してください。

図 19.101 ではパタン切り替え方式で動作中に、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生した場合に関して説明します。

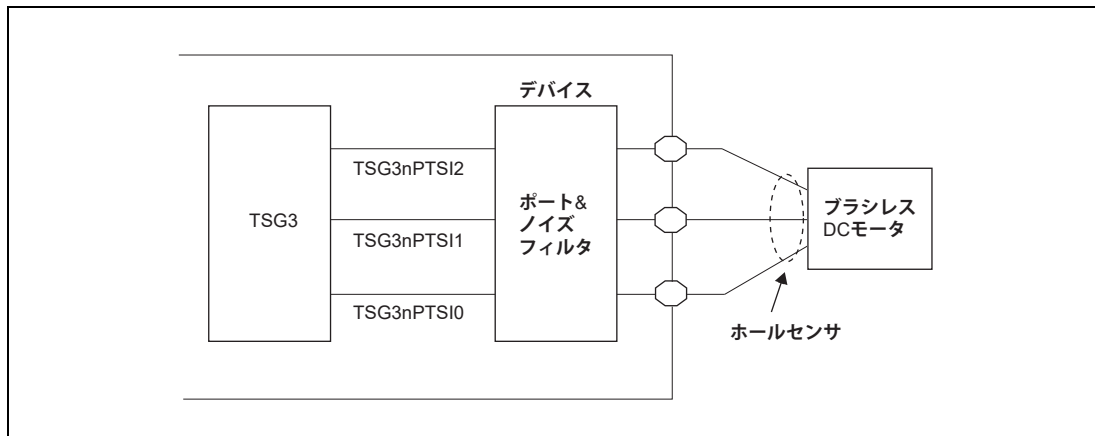


図 19.101 ノイズフィルタ回路接続例

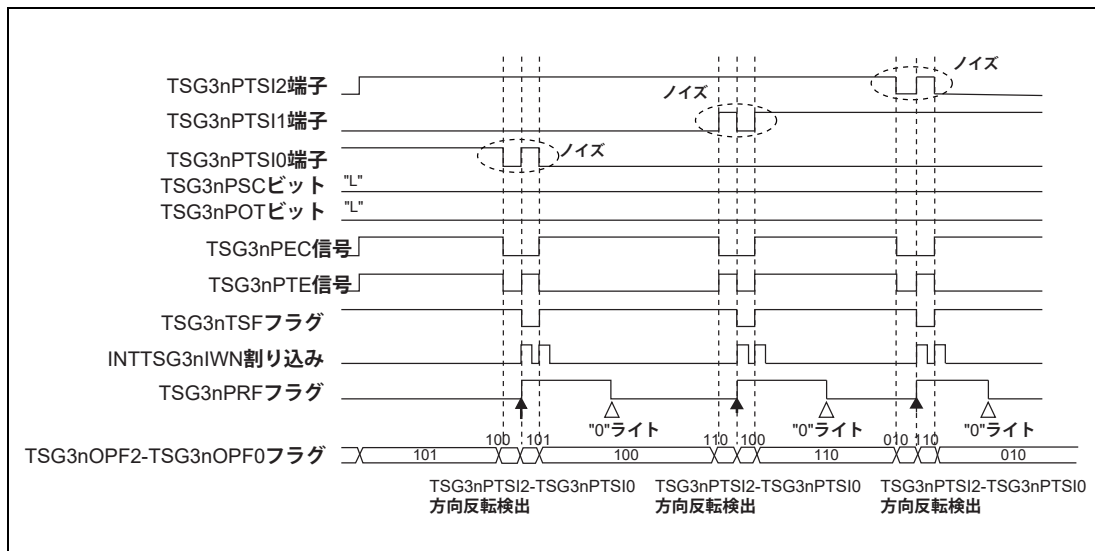


図 19.102 TSG3nPTSI2-TSG3nPTSI0 端子のレベル変化時、ノイズ発生例 (パタン切り替え方式)

(a) 入力パタン変化検出信号 (TSG3nPTE) の変化タイミング

TSG3nPTE 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

注 意

TSG3nOPT0 レジスタの TSG3nPSC (TSG3nOPT0 レジスタの TSG3nPSS = 1) で必ずパタン順序方向を指定してください。

TSG3nPSC = 0 の場合

表 19.88 TSG3nPSC = 0 の場合の TSG3nPTE トグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

TSG3nPSC = 1 の場合

表 19.89 TSG3nPSC = 1 の場合の TSG3nPTE トグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

(b) 3相エンコード信号 (TSG3nPEC) の変化タイミング

TSG3nPEC 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

表 19.90 TSG3nPEC のトグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	トグル
	100	—	—	トグル	—	トグル	—	—	—
	110	—	—	—	トグル	—	トグル	—	—
	010	—	—	—	—	トグル	—	トグル	—
	011	—	—	—	—	—	トグル	—	トグル
	001	—	—	トグル	—	—	—	トグル	—

(c) TSG3nO1-TSG3nO6 端子の変化タイミング

- パタン切り替え方式の場合は、TSG3nPTSI2-TSG3nPTSI0 端子^{注1}の入力信号が変化した場合、出力パタンが変化します。
2 端子以上同時に変化しても出力が切り替わります。
- トリガ切り替え方式の場合は、TSG3nOPCI0, TSG3nOPCI1 信号に立ち上がりエッジにより、出力パタンが変化します。TSG3nOPT0 レジスタの TSG3nSPC2-TSG3nSPC0^{注1}に書き込んだ場合も出力が変化します。

注 1. “000”、“111”に変化した場合、TSG3nO1-TSG3nO6 端子は、ロウレベルになります。
TSG3nO1-TSG3nO6 端子の出力パタンが即変化するのには TSG3nS120DCO = 0 のときのみです。
TSG3nS120DCO = 1 の場合は、メインカウンタ (TSG3nCNTE) が TSG3nCMP0E の一致したときに (次のタイマ周期から) 出力が変化します。

(d) TSG3nTSF フラグの変化タイミング

TSG3nTSF フラグは、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

表 19.91 TSG3nTSF のセット、クリア動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	0	—	—	—	1
	100	—	—	1	—	0	—	—	—
	110	—	—	—	1	—	0	—	—
	010	—	—	—	—	1	—	0	—
	011	—	—	—	—	—	1	—	0
	001	—	—	0	—	—	—	1	—

(e) TSG3nNDF フラグのセットタイミング

TSG3nPTSI2-TSG3nPTSI0 端子が同時に2端子以上変化した場合にセットされます。
TSG3nNDR ビットへの1ライトでクリアします。TSG3nNDC ビットを1にセットしたときに有効となります。

(f) TSG3nPRF フラグのセットタイミング

TSG3nTSF フラグが変化したタイミングでセットされます。TSG3nPRR ビットへの1ライトでクリアします。TSG3nPRC ビットを1にセットしたときに有効となります。

(g) TSG3nPEF フラグのセットタイミング

TSG3nPTSI2-TSG3nPTSI0 端子が“000”、“111”の値を入力したときにセットされます。
TSG3nPER ビットへの1ライトでクリアします。TSG3nPEC ビットを1にセットしたときに有効となります。

(13) 120-DC モード時の基本制御フロー

120-DC モードには表 19.92 に示した 8 つの制御状態が存在します。

TSG3nOPT0.TSG3nSTE = 1 かつ TSG3nPOT = 0 では、パタン切り替え方式の 120-DC 制御となります。これを位相固定制御と定義します。位相固定制御では、ホールセンサからの遅れ、センサレベル検出からタイマ出力までの遅れ等がありますので、これらを考慮して制御する必要があります。ただし、PWM デューティを変更するだけで加速/減速ができます。

TSG3nOPT0.TSG3nSTE = 1 かつ TSG3nPOT = 1 では、トリガ切り替え方式の 120-DC 制御となります。これを位相可変制御と定義します。位相可変制御では、ホールセンサに先行してタイマ出力パターンを設定するため、位相差による加速/減速制御が可能です。ただし、ホールセンサに対するオフセット幅、ホールセンサに対する予測値を考慮する必要があるため、位相固定制御に比べて制御が複雑になります。詳細は、「23.2.3.10 3相パルス入力制御機能」を参照してください。

TSG3nOPT0.TSG3nSTE = 1、TSG3nOPT0.TSG3nPOT = 1、TSG3nPSS = 1 の場合、TSG3nOPT0 レジスタの TSG3nPSC でパタン順序方向が設定できます。正転のときは TSG3nPSC = 0 に、逆転のときは TSG3nPSC = 1 に設定してください。

TSG3nOPT0 レジスタの TSG3nIDC では電流方向を設定します。モータの回転方向 (TSG3nPSC の設定値) と同じ値を設定しているときは加速制御となり、モータの回転方向と異なる値を設定しているときは減速制御となります。

表 19.92 タイマの制御状態

状態	TSG3nOPT0 レジスタの TSG3nPSC	TSG3nSTR1 レジスタの TSG3nTSF	TSG3nOPT0 レジスタの TSG3nIDC	TSG3nOPT0 レジスタの TSG3nPOT	制御
A	—	0	0	0	正転・加速・位相固定
B	0	—	0	1	正転・加速・位相可変
C	0	—	1	1	正転・減速・位相可変
D	—	0	1	0	正転・減速・位相固定
E	—	1	1	0	逆転・加速・位相固定
F	1	—	1	1	逆転・加速・位相可変
G	1	—	0	1	逆転・減速・位相可変
H	—	1	0	0	逆転・減速・位相固定

通常、モータの回転が停止した状態をスタート状態として制御を開始します。まず停止状態からモータを回転させるために位相固定制御を利用して回転させます。その後、高速回転まで引き上げるために位相可変制御に切り替えます。位相可変制御では ENCA と組み合わせてホールセンサの変化点よりも早いタイミング（進角）でタイマ出力を変化させます。

高速回転から減速させる場合も、TSG3nOPT0 レジスタの TSG3nIDC のみを書き換えて減速制御に変更します。その後、低速回転まで回転数を減速できたら PWM デューティを小さくして停止状態まで遷移させます。これがモータ制御の一連の流れになります。

状態の遷移を図 19.103、図 19.104 に示します。

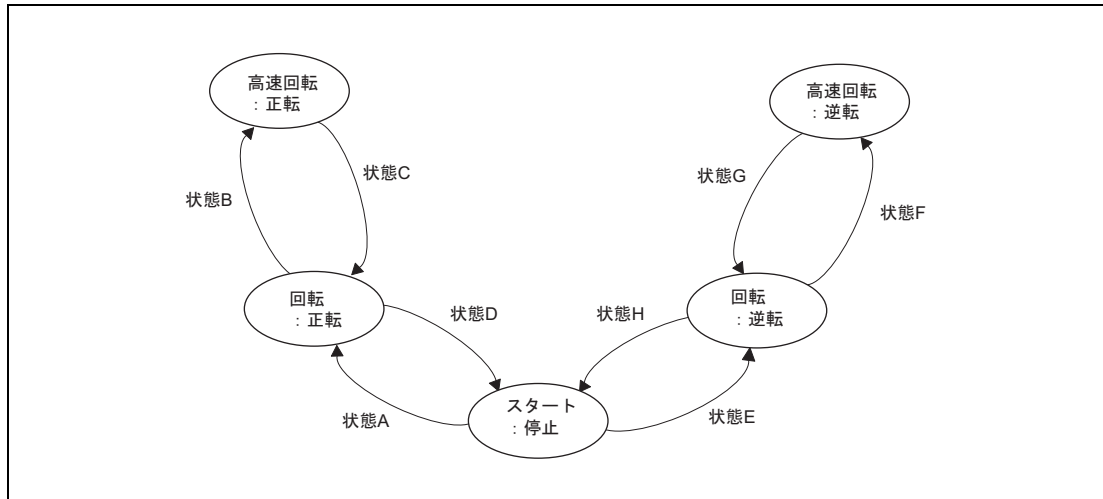


図 19.103 状態遷移図

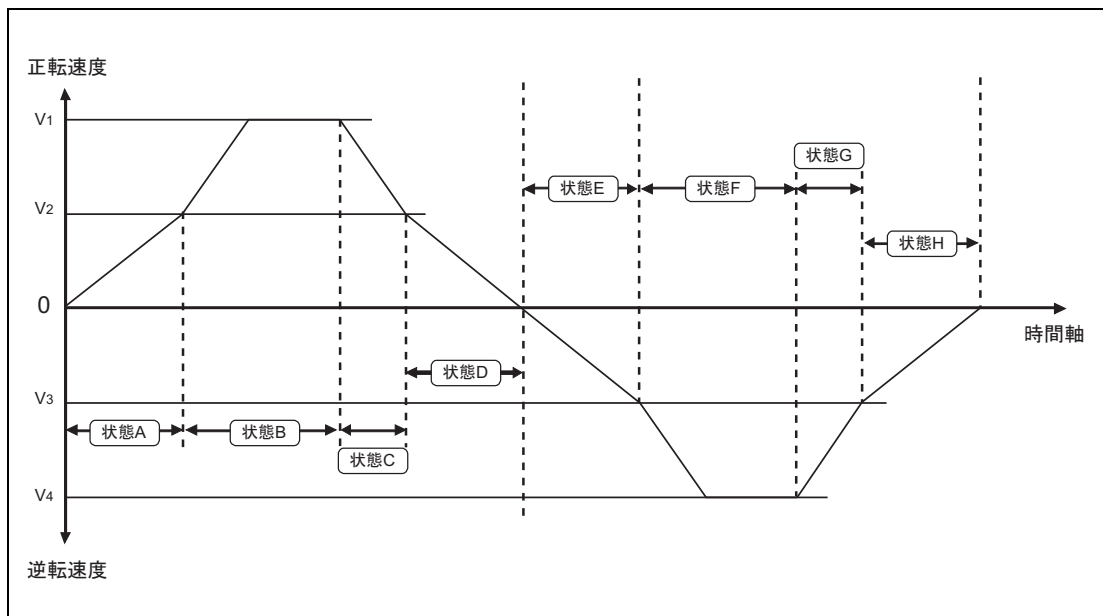


図 19.104 状態遷移とモータ回転速度の関連性

備考

V1, V4 : 正転／逆転の高速回転速度

V2, V3 : 正転／逆転の低速回転速度

(14) 120-DC モード時のソフトウェア出力制御機能

120-DC モード時は、TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 19.105 に示すように、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、ソフトウェア出力制御から 120-DC 制御に切り替える場合は、TSG3nSOC = 0 に設定します。このタイミングでは出力を保持し、リロードタイミングが発生した時点で、120-DC モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「19.4.7.10 ソフトウェア出力制御機能」を参照してください。

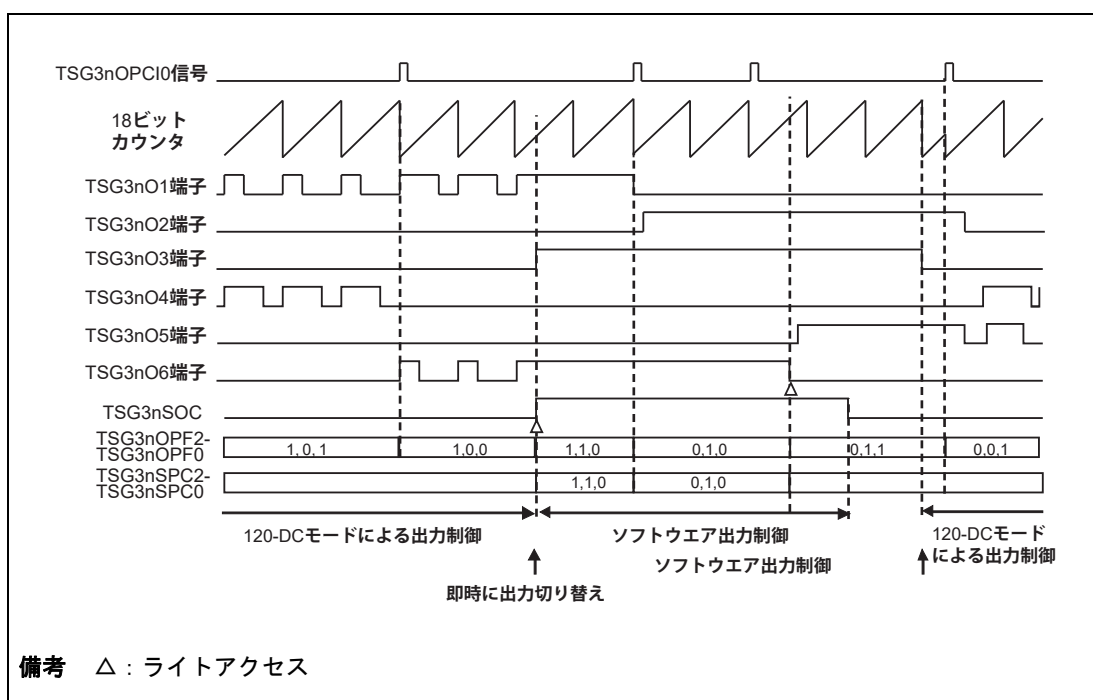


図 19.105 120-DC モードからソフトウェア出力制御機能の切り替え例

(a) ソフトウェア出力制御の処理手順

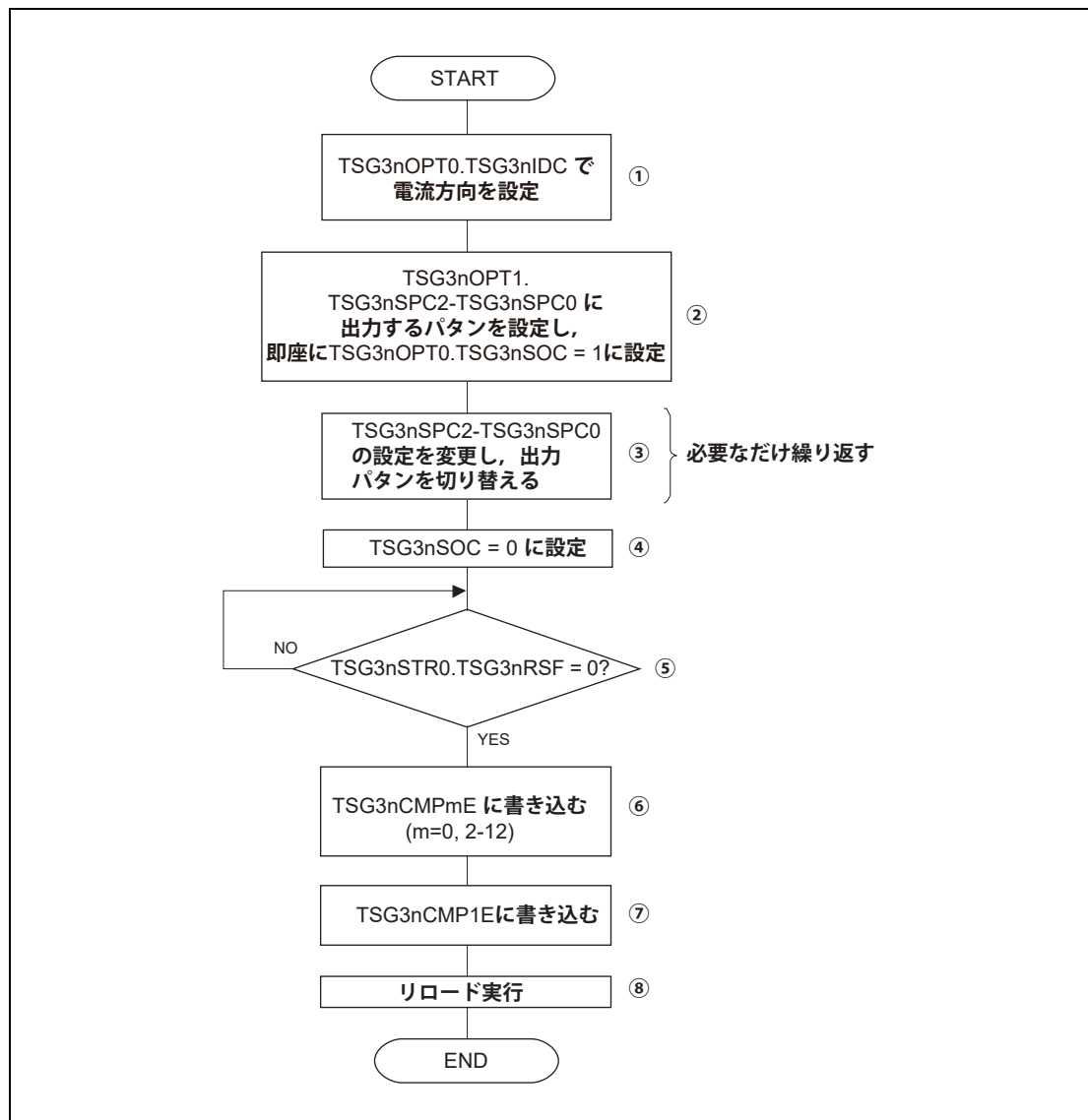


図 19.106 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ① TSG3nIDC の設定を行います。TSG3nIDC = 0 の場合と、TSG3nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えた場合、次のタイマ周期で新しい設定に応じた出力パターンに切り替わります。ただし、②の前に周期一致が発生した場合、120-DC 制御の出力パターンが変わりますので、②の前に周期一致が来ないようにスケジューリングしてください。
- ② TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nSOC = 1 にします。
- ③ TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
- ④ リロード要求フラグ (TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF フラグ = 0 になるまで次の手順に移行しないでください。
- ⑤ TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。

- ⑥ソフトウェア出力制御解除後に必要なコンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑦ TSG3nCMP1E レジスタに書き込みを行い、リロードを起動します。
- ⑧リロードが実行され、ソフトウェア出力を解除します。

注 意

④, ⑤, ⑥, ⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

19.4.7.7 HSP-PWM モード (High accuracy Shifted-pulse - Pulse Width Modulation モード)

概要

18ビットカウンタと18ビットコンペアレジスタを使用して、高精度の鋸波PWMを生成できます。

前提条件

- TSG3nCMP0Eには、PWM周期を設定します。
- TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWEで、PWM出力幅を設定します。TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWEで、PWMシフト幅を設定します。TSG3nDTC0W, TSG3nDTC1Wで、デッドタイムを設定します。TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWE, TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE, TSG3nDTC0W, TSG3nDTC1Wに設定された値は、後述する演算に基づき、対応するTSG3nCmPmEへ即時に設定値が反映されます。(m = 1 ~ 12)

機能説明

PWM周期を設定、デッドタイム設定、PWMシフト幅設定を行った後、PWM出力幅を設定します。

TSG3nTRG0.TSG3nTS = 1にすると、カウントアップを開始します。

18ビットカウンタは、00000_Hよりカウントを行い、TSG3nCMP0Eとの一致でカウンタをクリアします。

カウント動作中、18ビットカウンタとTSG3nCMP0E-TSG3nCMP12Eのバッファレジスタの一致でコンペア一致割り込み(INTTSG3nI0-INTTSG3nI12)が発生します。

備考

HSP-PWMモードはTSG3nCTL0.TSG3nMD2-TSG3nMD0 = 100_Bに設定したときに有効となります。

(1) 基本タイミング図

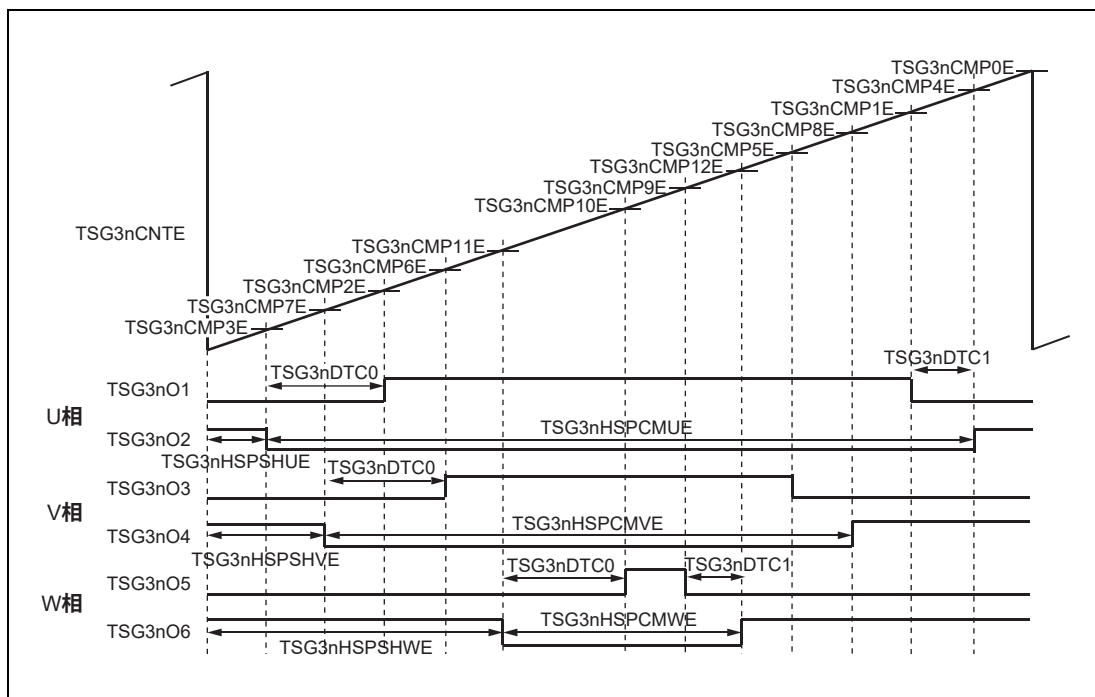


図 19.107 HSP-PWM モード時の基本タイミング

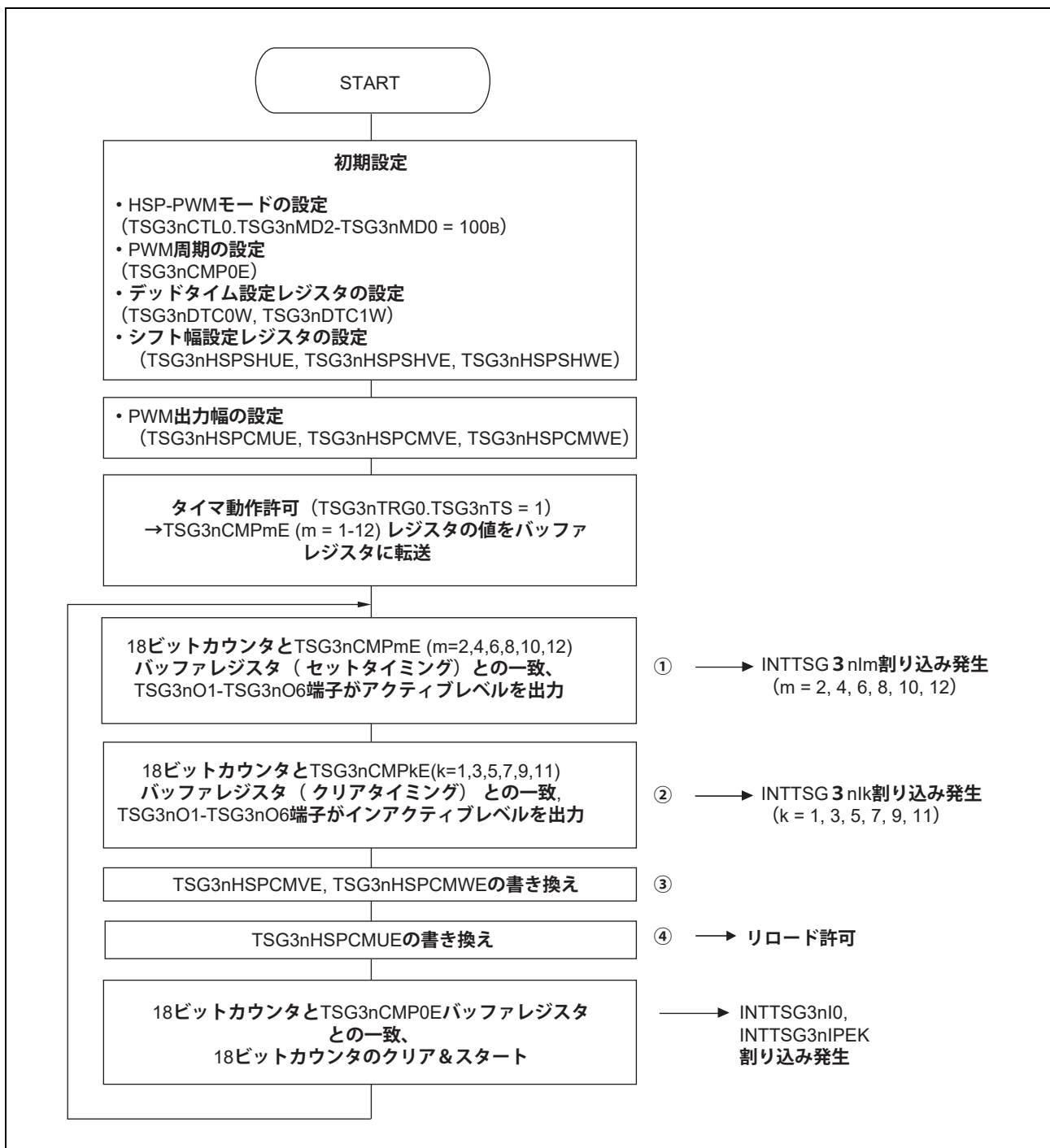


図 19.108 HSP-PWM モード時の基本動作フロー

備考

順番はタイミングが異なる場合がありますが、③と④では必ず④を最後に行ってください。

注意

- 動作中に TSG3nHSPCMUE/VE/WE (PWM 出力幅) を設定する際は、TSG3nHSPCMUE の設定を最後に行ってください。U 相の PWM 出力幅を変更せず、V, W 相のみ変更する場合も、TSG3nHSPCMUE に同値を書き込んでください。

-
2. TSG3nCMP0E (PWM 周期) を変更する際は、TSG3nHSPCMUE/VE/WE (PWM 出力幅) の再設定が必要です。また、TSG3nHSPSHUE/VE/WE (PWM シフト幅) と、TSG3nCMP0E (PWM 周期) の設定を同時に変更しないでください。
 3. TSG3nHSPSHUE/VE/WE (PWM シフト幅) を変更する際は、TSG3nHSPCMUE/VE/WE (PWM 出力幅) を再設定してください。
-

(2) HSP-PWM モード動作一覧

表 19.93 HSP-PWM モード : カウンタ機能

動作		設定条件
18 ビットカウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 19.94 HSP-PWM モード : コンペアレジスタ、シフト幅設定レジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード	可能	周期
TSG3nHSPCMUE	リロード	可能	U 相用 PWM 制御
TSG3nHSPSHUE			
TSG3nHSPCMVE	リロード	可能	V 相用 PWM 制御
TSG3nHSPSHVE			
TSG3nHSPCMWE	リロード	可能	W 相用 PWM 制御
TSG3nHSPSHWE			
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	禁止	デッドタイム

表 19.95 HSP-PWM モード : 出力機能

端子	機能
TSG3nO1	TSG3nCMP1E バッファレジスタ (クリアタイミング)、TSG3nCMP2E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO2	TSG3nCMP3E バッファレジスタ (クリアタイミング)、TSG3nCMP4E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO3	TSG3nCMP5E バッファレジスタ (クリアタイミング)、TSG3nCMP6E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO4	TSG3nCMP7E バッファレジスタ (クリアタイミング)、TSG3nCMP8E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO5	TSG3nCMP9E バッファレジスタ (クリアタイミング)、TSG3nCMP10E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO6	TSG3nCMP11E バッファレジスタ (クリアタイミング)、TSG3nCMP12E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 19.96 HSP-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0 ~ 12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同タイミングで発生)
INTTSG3nIWN	エラー

表 19.97 HSP-PWM モード : コンペアー一致タイミング

コンペアー一致	機能
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1 ~ 12)	18 ビットカウンタと TSG3nCMPmE の一致検出後

(3) HSP-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 100_B に設定することで HSP-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生 of 許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**19.4.6 エラー／ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

本機能はリロードモードでのみ使用可能です。TSG3nCTL3.TSG3nRMC を必ず “0” に設定してください。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5.TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップカウント) による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6.TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。

TSG3nCTL5 の TSG3nACC01, TSG3nACC00, および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し／1 間引き／3 間引き／7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- HSP-PWM モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT00, TSG3nAT10 は必ず “0” に設定してください。
- HSP-PWM モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT09, TSG3nAT08, TSG3nAT19, TSG3nAT18 は必ず “0” に設定してください。
- HSP-PWM モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT07, TSG3nAT05, TSG3nAT03, TSG3nAT17, TSG3nAT15, TSG3nAT13 は必ず “0” に設定してください。

PWM 周期設定

TSG3nCMP0E で PWM 周期の設定を行います。

PWM 周期は、次に示す式で計算できます。

$$\text{PCLK} \times (\text{TSG3nCMP0E} + 1)$$

PWM 出力幅設定

TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWE (TSG3nCMP1E-12E) で PWM 出力幅を設定します。

TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWE は、以下の式を満足するように設定してください。

$$\begin{aligned} 0 &\leq \text{TSG3nHSPCMUE}, \text{TSG3nHSPCMVE}, \text{TSG3nHSPCMWE} \\ &\leq \text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} + 1 \end{aligned}$$

TSG3nCMP0E, TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE, TSG3nDTC0, TSG3nDTC1 の設定後に、PWM 出力幅を設定してください。

PWM シフト幅設定

TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE で PWM シフト幅を設定します。

TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE は、以下の式を満足するように設定してください。

$$\text{TSG3nHSPSHUE}, \text{TSG3nHSPSHVE}, \text{TSG3nHSPSHWE} \leq \text{TSG3nCMP0E}$$

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC0,1 は以下の条件を満たすように設定してください。

$$(\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} + 1) < 3\text{FFFF}_H$$

$$\text{TSG3nCMP0E} > 3 \times \text{TSG3nDTC0}$$

$$\text{TSG3nCMP0E} > 3 \times \text{TSG3nDTC1}$$

注 意

HSP-PWM モードでの動作中 (TSG3nTE = 1) に、TSG3nDTC0, 1 の設定を変更しないでください。TSG3nDTC0, 1 の設定は TSG3nTE = 0 のときに行ってください。

HSP-PWM モードでは、必ずデッドタイムを設定してください。TSG3nDTC0, 1 に 0 を設定しないでください。

HSP-PWM モード動作時の禁止設定

HSP-PWM モードでは、以下の制御レジスタ、ビットは、以下に示す設定でのみ使用してください。

また動作中 (TSG3nTE = 1) に設定を変更しないでください。

表 19.98 HSP-PWM モード動作時の禁止設定

ビット名称	設定値	機能
TSG3nCTL3.TSG3nRMC	0	リロードモードでのみ使用可能。
TSG3nIOC3.TSG3nTOL6-1	000000 _B	PWM のセット/クリア論理の反転設定禁止 (HSP-PWM モード制限)
TSG3nOPT0.TSG3nSOC	0	ソフトウェア制御機能への切り替え禁止
TSG3nOPT0.TSG3nSTE	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPOT	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSS	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nIDC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT1.TSG3nSPC2-0	000 _B	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nPAT0W	0000000 _H	120-DC モードの動作設定 (初期値)
TSG3nPAT1W	0000000 _H	120-DC モードの動作設定 (初期値)

注 意

HSP-PWM モードでは、TSG3nCMPmE (m = 1 ~ 12) へ直接設定は行わないでください。
PWM 出力幅および PWM シフト幅は、TSG3nHSPCMUE/VE/WE と TSG3nHSPSHUE/VE/WE に設定してください。

19.4.7.8 HSP-PWM モードのコンペア設定

HSP-PWM モードでは、PWM の出力幅設定を TSG3nHSPCMUE, VE, WE で行います。

TSG3nHSPCMUE, VE, WE にライトすると、

- TSG3nCMP0E (PWM 周期設定)
- TSG3nDTC0 (デッドタイム設定 0)
- TSG3nDTC1 (デッドタイム設定 1)
- TSG3nHSPSHUE/VE/WE (PWM シフト幅設定)
- TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) への書き込み値

を元に TSG3 が演算を行い、TSG3nCMP1E-12E に高精度の PWM を実現する為の値を設定します。

以下に、コンペア設定の演算アルゴリズムを記載します。

表 19.99 HSP-PWM モードコンペア設定の演算アルゴリズム

HSPCMUE 設定値				CMP4E	CMP3E	CMP2E	CMP1E
HSPCMUE = 0				if (HSPSHUE=0) 0 else HSPCMUE - 1 + HSPSHUE	CMP0E+1	0	0
0	<	HSPCMUE	≤ DTC0 + DTC1	HSPCMUE - 1 + HSPSHUE	if (HSPSHUE = 0) CMP0E else HSPSHUE - 1	0	0
DTC0 + DTC1	<	HSPCMUE	≤ CMP0E	HSPCMUE - 1 + HSPSHUE	if (HSPSHUE = 0) CMP0E else HSPSHUE - 1	DTC0 - 1 + HSPSHUE	HSPCMUE - DTC1 - 1 + HSPSHUE
CMP0E	<	HSPCMUE	≤ CMP0E + DTC1 + 1	0	0	DTC0 - 1 + HSPSHUE	HSPCMUE - DTC1 - 1 + HSPSHUE
CMP0E + DTC1 + 1	<	HSPCMUE	< CMP0E + DTC0 + DTC1 + 1	0	0	DTC0 - 1 + HSPSHUE	HSPCMUE - CMP0E - DTC1 - 2 + HSPSHUE
HSPCMUE = CMP0E + DTC0 + DTC1 + 1				0	0	DTC0 - 1 + HSPSHUE	CMP0E + 1

の箇所は、演算結果が CMP0E より大きかった場合は、CMP0E + 1 を引く。

備 考

演算式中のレジスタ名は“TSG3n”を省略しています。

19.4.7.9 HSP-PWM モードのタイマ出力動作

TSG3nO1-6 の出力は、TSG3nCnTE と、それぞれ TSG3nCnCMP2E, 4E, 6E, 8E, 10E, 12E の一致でセットされます。

また TSG3nCnTE と、それぞれ TSG3nCnCMP1E, 3E, 5E, 7E, 9E, 11E の一致でクリアされます。

TSG3nHSPCMUE, VE, WE に PWM 出力幅を設定すると、「19.4.7.8 HSP-PWM モードのコンペア設定」に記載する演算式に基づいて TSG3nCnCMP1E-12E レジスタに値が設定され、0-100% の高精度 PWM が出力可能になります。

さらに TSG3nHSPSHUE, VE, WE にシフト幅を設定することにより、PWM の出力タイミングを自由にシフトすることが可能です。

(1) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に 0 を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に 0 を設定すると、TSG3nCnCMP1E, 2E に 0 が設定され、TSG3nCnCMP4E には 0、TSG3nCnCMP3E には “TSG3nCnCMP0E + 1” の値が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCnCMP2E の一致によるセット、TSG3nCnTE と TSG3nCnCMP1E の一致によるクリアが同時に発生しますが、クリアが優先されます。結果として TSG3nO1 はインアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCnCMP4E の一致によるセットが発生し、TSG3nCnTE=0 のタイミングでセットされます。TSG3nCnCMP3E には TSG3nCnCMP0E + 1 の値が設定されるため、TSG3nCnTE と TSG3nCnCMP3E の一致は発生しません。結果として TSG3nO2 はアクティブ固定の出力となります。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に 0 を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

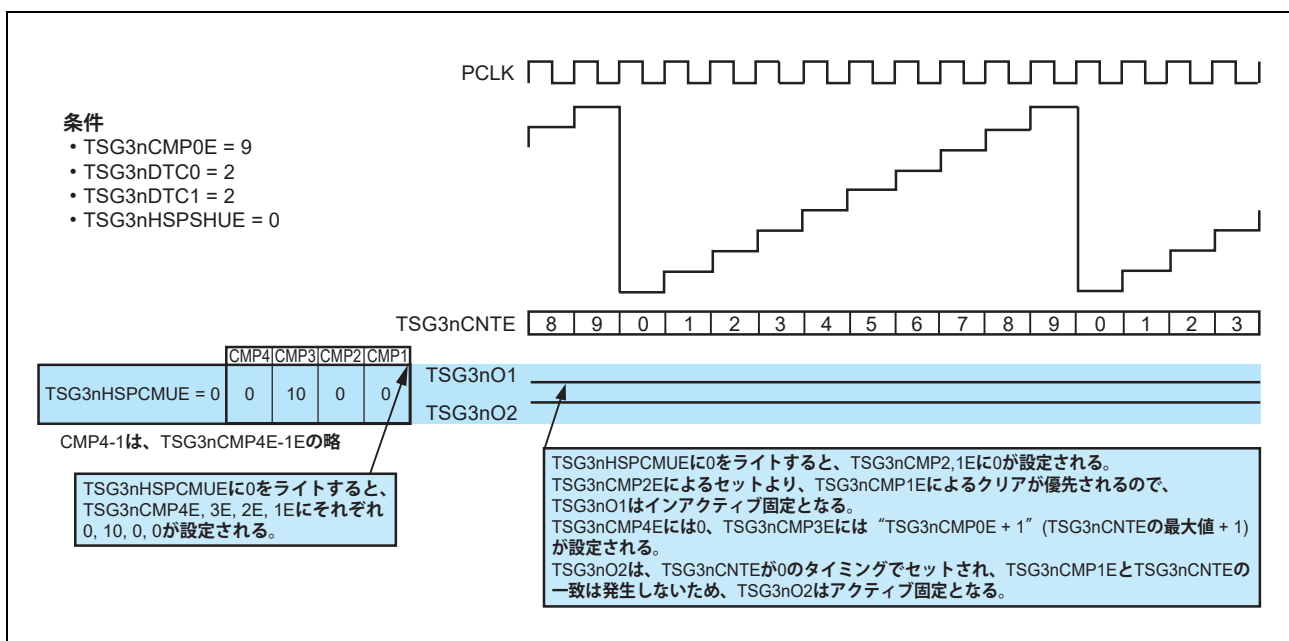


図 19.109 HSP-PWM モード波形 (TSG3nHSPCMUE に 0 設定)

(2) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “ $0 < \text{TSG3nHSPCMUE} \leq \text{TSG3nDTC0} + \text{TSG3nDTC1}$ ” の範囲を設定したときの動作

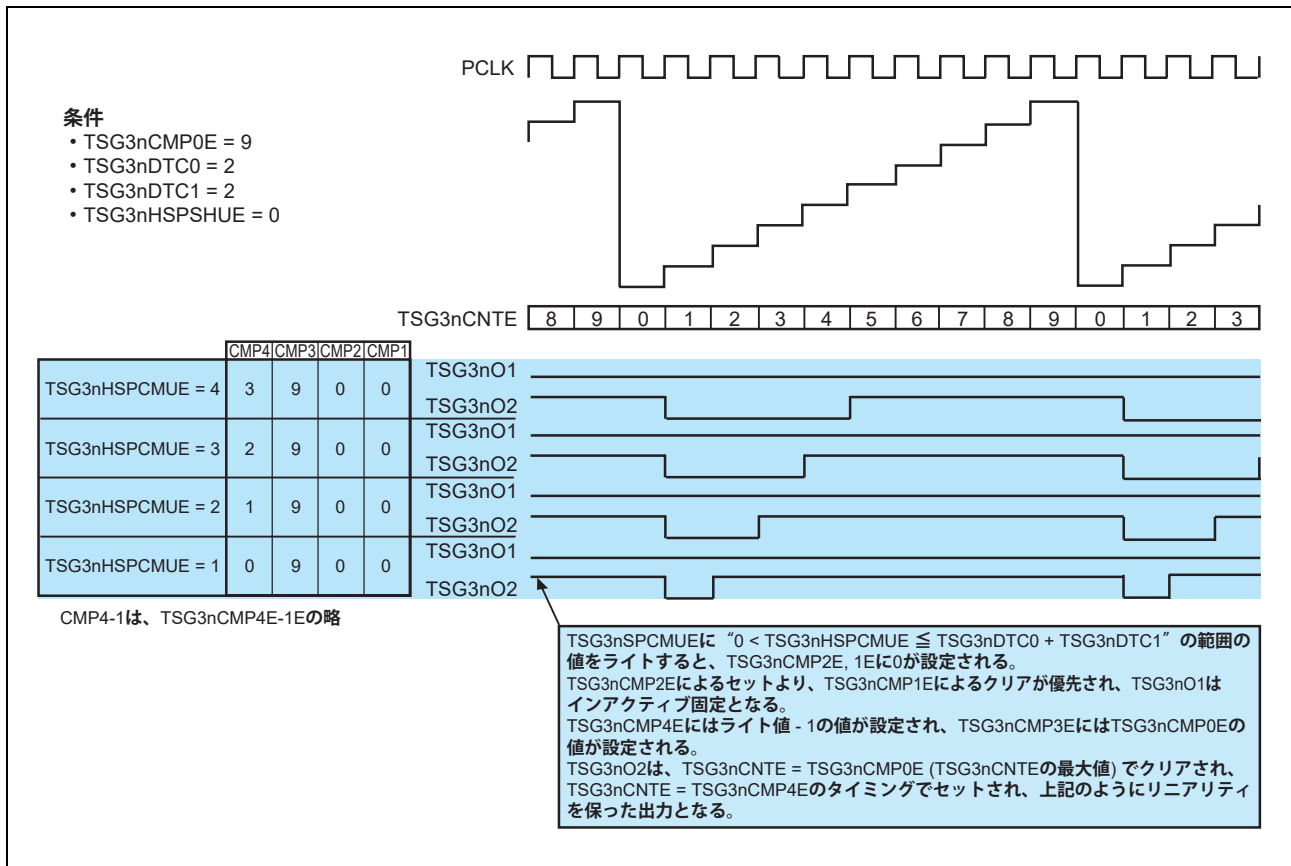
TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると、TSG3nCMP1E, 2E には 0、TSG3nCMP4E には “TSG3nHSPCMUE の設定値 - 1”、TSG3nCMP3E には “TSG3nCMP0E” の値が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP2E の一致によるセット、TSG3nCnTE と TSG3nCMP1E の一致によるクリアが同時に発生しますが、クリアが優先されます。結果として TSG3nO1 はインアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP3E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP4E の一致によりセットされます。そのため、TSG3nHSPCMUE に 1 を設定すると PWM 周期中に 1 サイクルインアクティブ、TSG3nHSPCMUE に 2 を設定すると PWM 周期中に 2 サイクルインアクティブ、TSG3nHSPCMUE に 3 を設定すると PWM 周期中に 3 サイクルインアクティブ というように遷移します。

TSG3nHSPSHUE (PWM シフト幅) に 0 以外を設定した場合、TSG3nO2 のセット/クリア タイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。



(3) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nDTC0 + TSG3nDTC1 < TSG3nHSPCMUE/VE/WE ≤ TSG3nCMP0E” の範囲を設定したときの動作

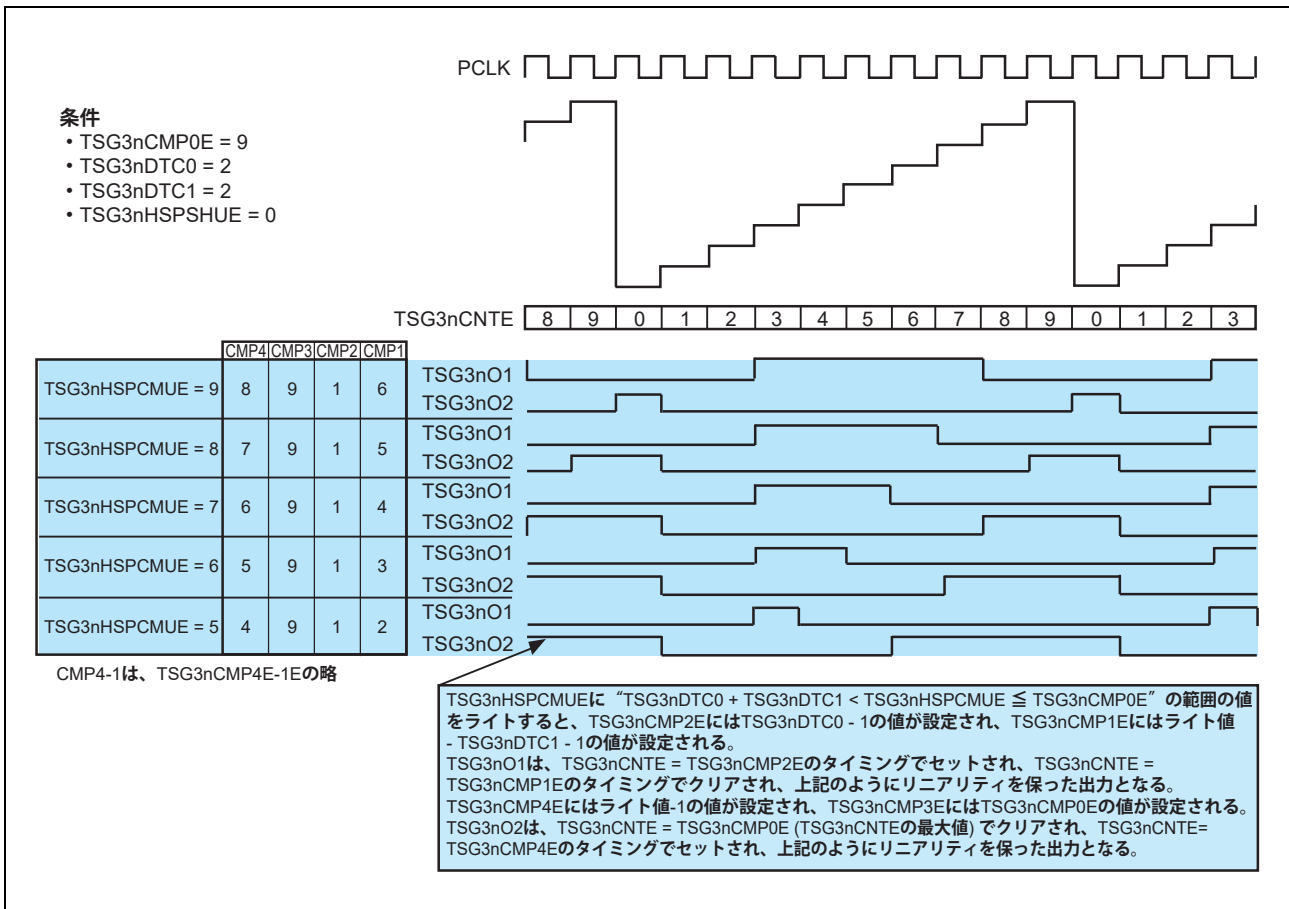
TSG3nHSPCMUE に上記範囲の値を設定すると、TSG3nCMP2E には “TSG3nDTC0 - 1”、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nDTC1 - 1”、TSG3nCMP4E には “TSG3nHSPCMUE の設定値 - 1”、TSG3nCMP3E には “TSG3nCMP0E” の値が設定されます。

TSG3nO1 は、TSG3nCNTE と TSG3nCMP2E の一致によりセット、TSG3nCNTE と TSG3nCMP1E の一致によりクリアされ、TSG3nO2 は、TSG3nCNTE と TSG3nCMP4E の一致によりセット、TSG3nCNTE と TSG3nCMP3E の一致によりクリアされます。

そのため、TSG3nHSPCMUE に TSG3nDTC0 + TSG3nDTC1 + 1 を設定すると、TSG3nO1 は PWM 周期に 1 サイクルアクティブ、TSG3nO2 は PWM 周期に “TSG3nDTC0 + TSG3nDTC1 + 1” サイクルインアクティブ。TSG3nHSPCMUE に TSG3nDTC0 + TSG3nDTC1 + 2 を設定すると、TSG3nO1 は PWM 周期に 2 サイクルアクティブ、TSG3nO2 は PWM 周期に “TSG3nDTC0 + TSG3nDTC1 + 2” サイクルインアクティブというように遷移します。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1, TSG3nO2 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。



(4) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E < TSG3nHSPCMUE/VE/WE < TSG3nCMP0E + TSG3nDTC1 + 1” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると、TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nDTC1 - 1” の値が設定され、TSG3nCMP3E, 4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP1E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP2E の一致によりセットされます。

そのため、TSG3nHSPCMUE (U 相 PWM 出力幅設定) に TSG3nCMP0E + 1 設定時は、PWM 周期中に TSG3nDTC0 + TSG3nDTC1 サイクルだけインアクティブ、TSG3nCMP0E + 2 設定時には PWM 周期中に TSG3nDTC0 + TSG3nDTC1 - 1 サイクルだけインアクティブというように遷移します。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

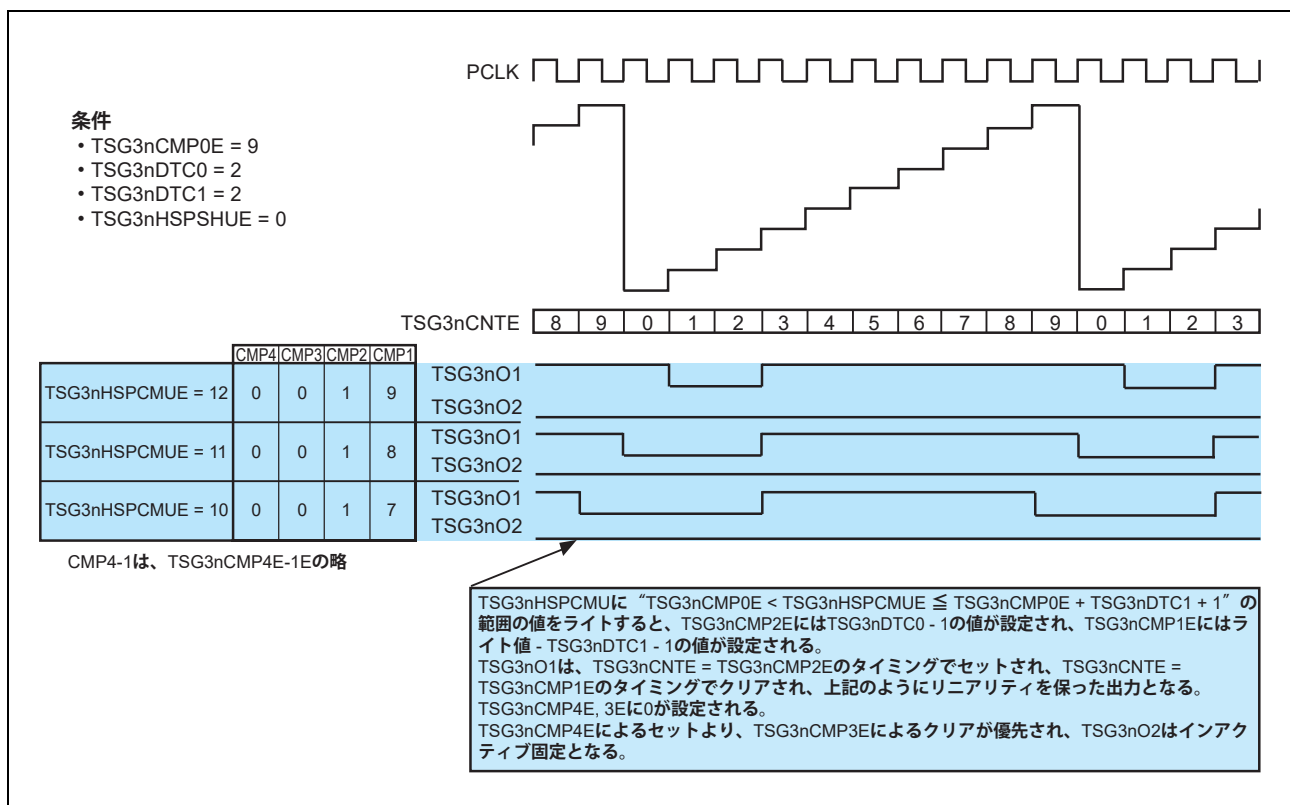


図 19.112 HSP-PWM モード波形 (TSG3nCMP0E < TSG3nHSPCMUE < TSG3nCMP0E + TSG3nDTC1 + 1 の値を設定)

(5) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC1 + 1 < TSG3nHSPCMUE/VE/WE < TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nCMP0E - TSG3nDTC1 - 2” の値が設定され、TSG3nCMP3E, 4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP1E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP2E の一致によりセットされます。そのため、TSG3nHSPCMUE (U 相 PWM 出力幅設定) に TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 (PWM 出力幅の最大値 - 1) を設定時は、PWM 周期中に 1 サイクルインアクティブ、TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 - 1 (PWM 出力幅の最大値 - 2) を設定時は、PWM 周期中に 2 サイクルインアクティブというように波形を出力します。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

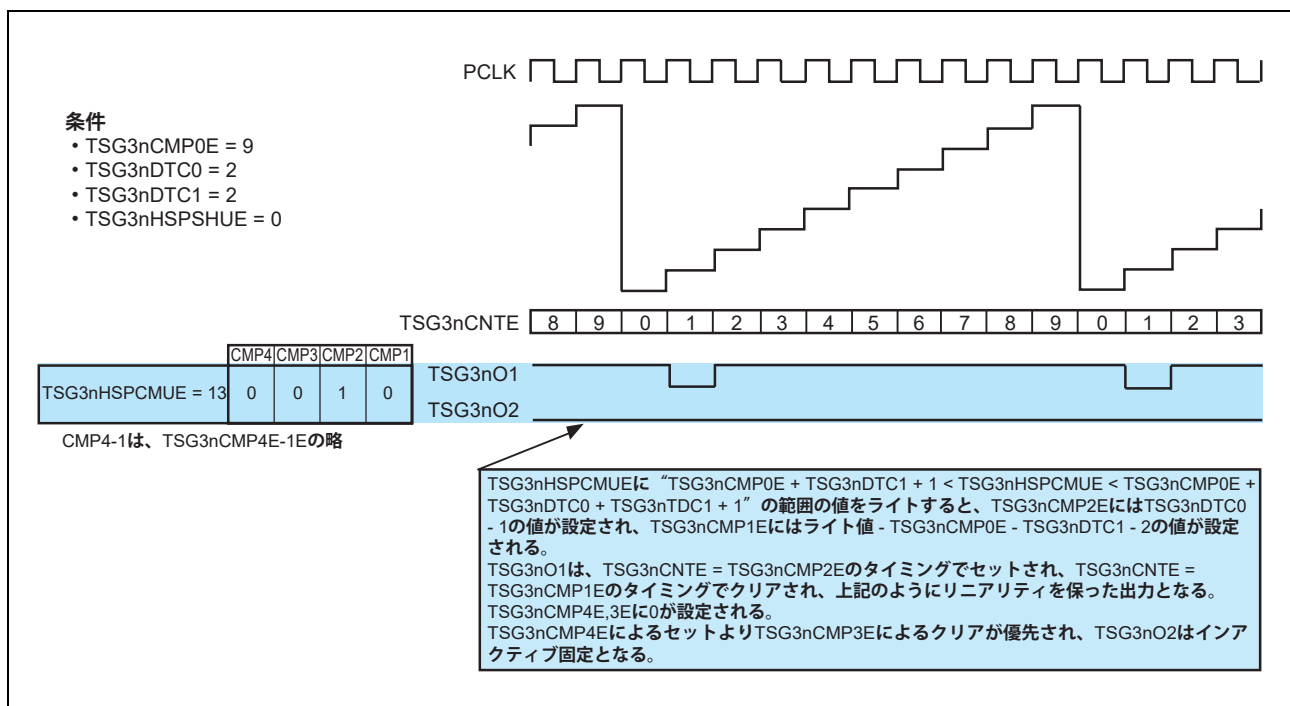


図 19.113 HSP-PWM モード波形 (TSG3nCMP0E + TSG3nDTC1 + 1 < TSG3nHSPCMUE < TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1 の値を設定)

(6) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” を設定したときの動作

TSG3nHSPCMUE に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 (PWM 出力幅の最大値)” を設定すると TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nCMP0E + 1” の値が設定され、TSG3nCMP3E, 4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP2E の一致によるセットが発生し、TSG3nCnTE = TSG3nDTC0 - 1 のタイミングでセットされます。

TSG3nCMP3E には TSG3nCMP0E + 1 の値が設定されるため、TSG3nCnTE と TSG3nCMP3E の一致は発生しません。その結果 TSG3nO1 はアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセットタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。(ただし、TSG3nO1 はアクティブ固定の出力のため、動作開始時 (TSG3nTE = 0 → 1) のみセットタイミングがシフトすることになります。動作開始時の動作は「19.4.7.9 (8) HSP-PWM モードの動作開始時の TO 動作」を参照してください。)

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

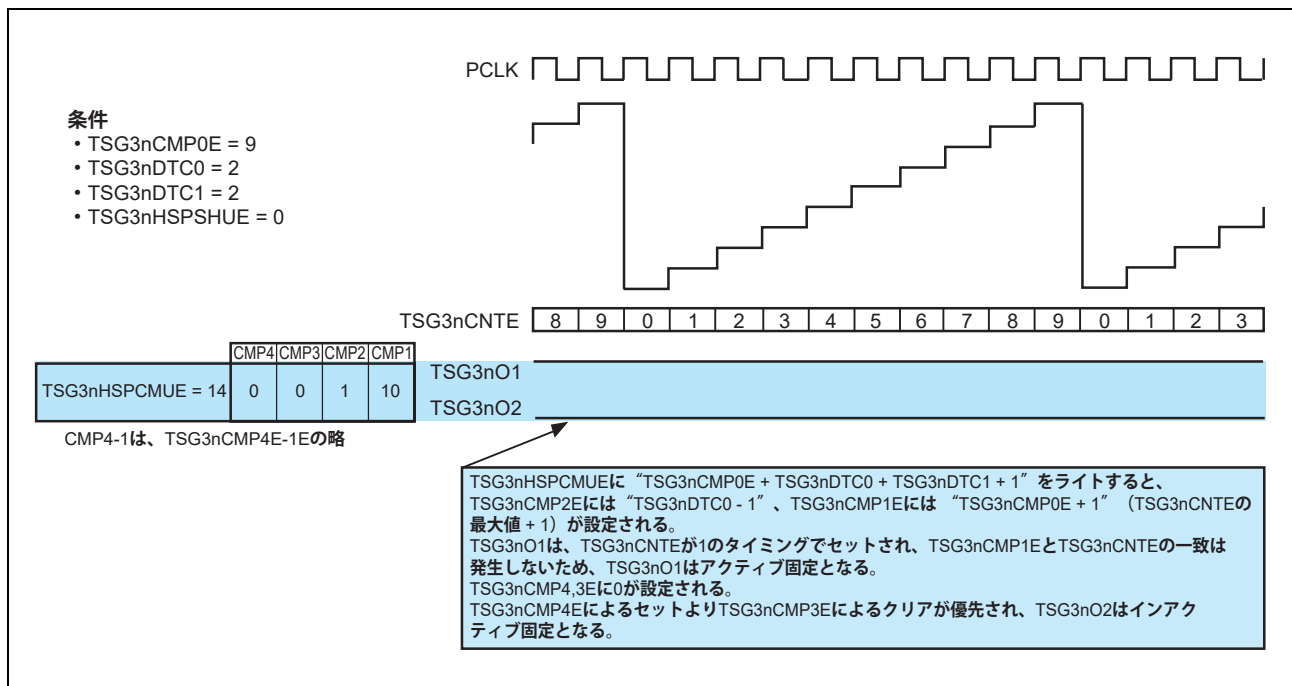


図 19.114 HSP-PWM モード波形 (TSG3nHSPCMUE に TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1 の値を設定)

備 考

1. HSP-PWM モードでは、TSG3nCMP4E, 2E に同じ値を設定すると、TSG3nO1, 2 ともに同じタイミングでセットすることが可能です。ただし、TSG3nO1, 2 をどちらともセットした場合、TSG3nO1, 2 はどちらともインアクティブとなります。
 2. HSP-PWM モードでは、動作停止時 (TSG3nTE = 0) でもデッドタイムカウンタは動作を継続し、TSG3nO1, 2 に設定したデッドタイムは必ず挿入します。
-

(7) HSP-PWM モードのリロード時のPWM 補正動作

HSP-PWM モードでは、動作中に TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) を変更するとリロードタイミングで、TSG3nO1-6 をセット/クリアし、即座に新しい PWM 出力幅設定に応じた出力に切り替える補正動作を行います。

リロード時の補正動作では、以下の演算式にしたがいリロードタイミングで TSG3nO1-6 を強制的にセット/クリアします。

リロード補正動作時にも、TSG3nDTC0,1 に設定したデッドタイムは TSG3nO1-6 に必ず挿入されます。

なお TSG3nCMP1E-12E に直接ライトした場合には、リロード時の補正動作は行いません。

リロード補正動作の演算式

表 19.100 リロード補正動作の演算式：
TSG3nHSPSHUE/VE/WE = 0 (PWM シフト幅設定が 0) のとき

端子	セット	クリア
TSG3nO1/3/5	$CMP0E + DTC1 + 1 < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq CMP0E + DTC1 + 1$
TSG3nO2/4/6	$HSPCMUE/VE/WE = 0$	$0 < HSPCMUE/VE/WE$

表 19.101 リロード補正動作の演算式：
TSG3nHSPSHUE/VE/WE が 0 以外 (PWM シフト幅設定が 0 以外) のとき

端子	セット	クリア
TSG3nO1/3/5	(i) $CMP0E + DTC1 + 1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq CMP0E + DTC1 + 1 - HSPSHUE/VE/WE$
	(ii) $(CMP0E + 1) \times 2 + DTC1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq (CMP0E + 1) \times 2 + DTC1 - HSPSHUE/VE/WE$
TSG3nO2/4/6	$HSPCMUE/VE/WE \leq CMP0E + 1 - HSPSHUE/VE/WE$	$CMP0E + 1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$

PWM シフト幅設定が 0 以外のときは、シフト幅が「 $CMP0E + DTC0 - 1$ 」より大きいかどうかで、正相のセット/クリア条件が異なります。

$$(i) \quad HSPSHUE/VE/WE \leq CMP0E - DTC0 + 1$$

$$(ii) \quad HSPSHUE/VE/WE > CMP0E - DTC0 + 1$$

演算式中のレジスタ名は“TSG3n”を省略しています。

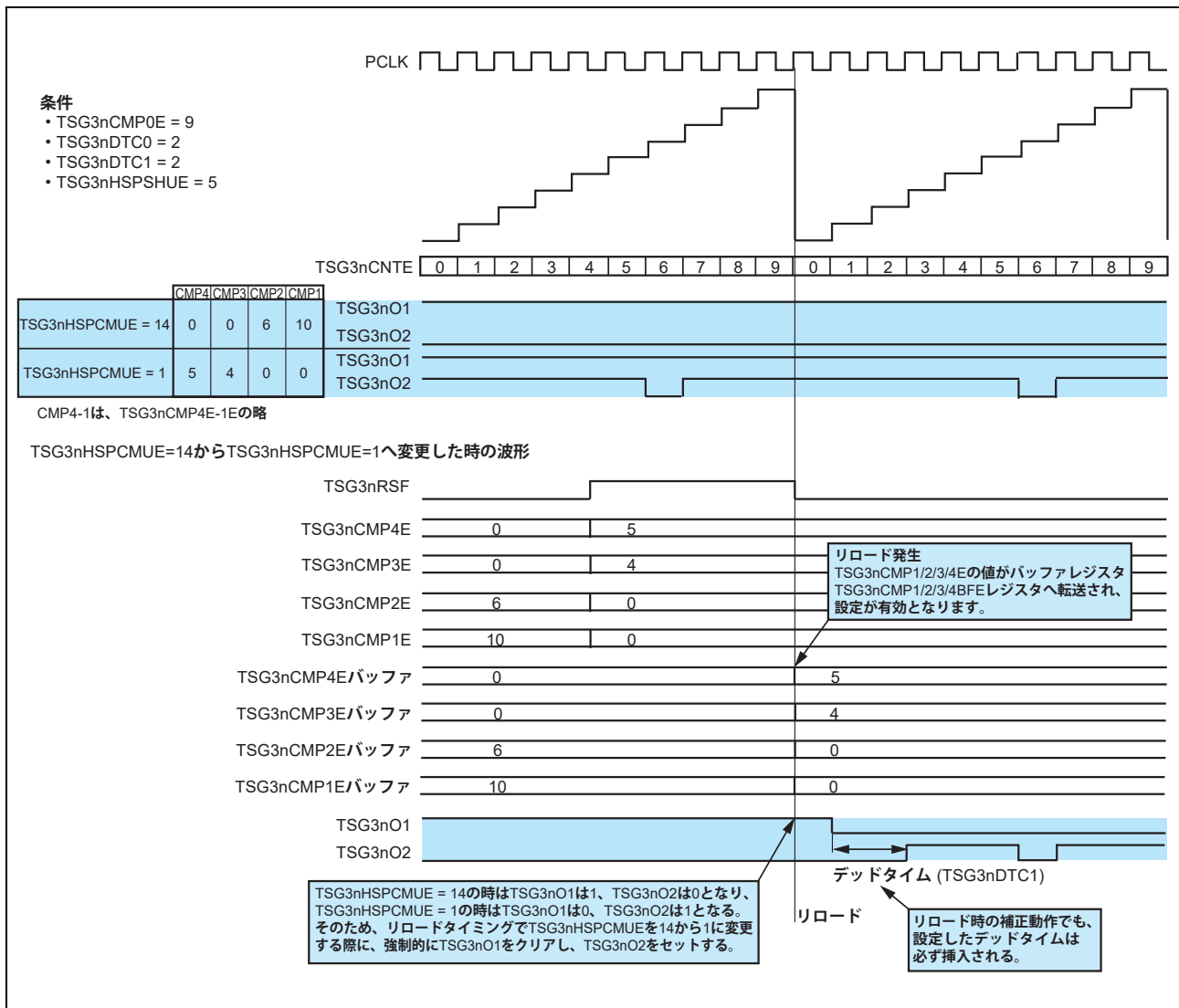


図 19.115 リロード補正詳細タイミング図 (TSG3nHSPCMUE = 14 から TSG3nHSPCMUE = 1 への変更)

(8) HSP-PWM モードの動作開始時の TO 動作

HSP-PWM モードでは動作開始時に TSG3nO1-6 をクリアします。

その後、TSG3nCnTE のカウントアップ動作に合わせて、TSG3nHSPCMUE/VE/WE (TSG3nCMP1E - 12E) に設定した値に応じて、TSG3nO1-6 はセット/クリアされます。

動作開始前に TSG3nO1-6 がセットされた状態で、動作開始時にクリア、その後、TSG3nO1-6 がセットされた時も、設定したデッドタイムは必ず挿入されます。

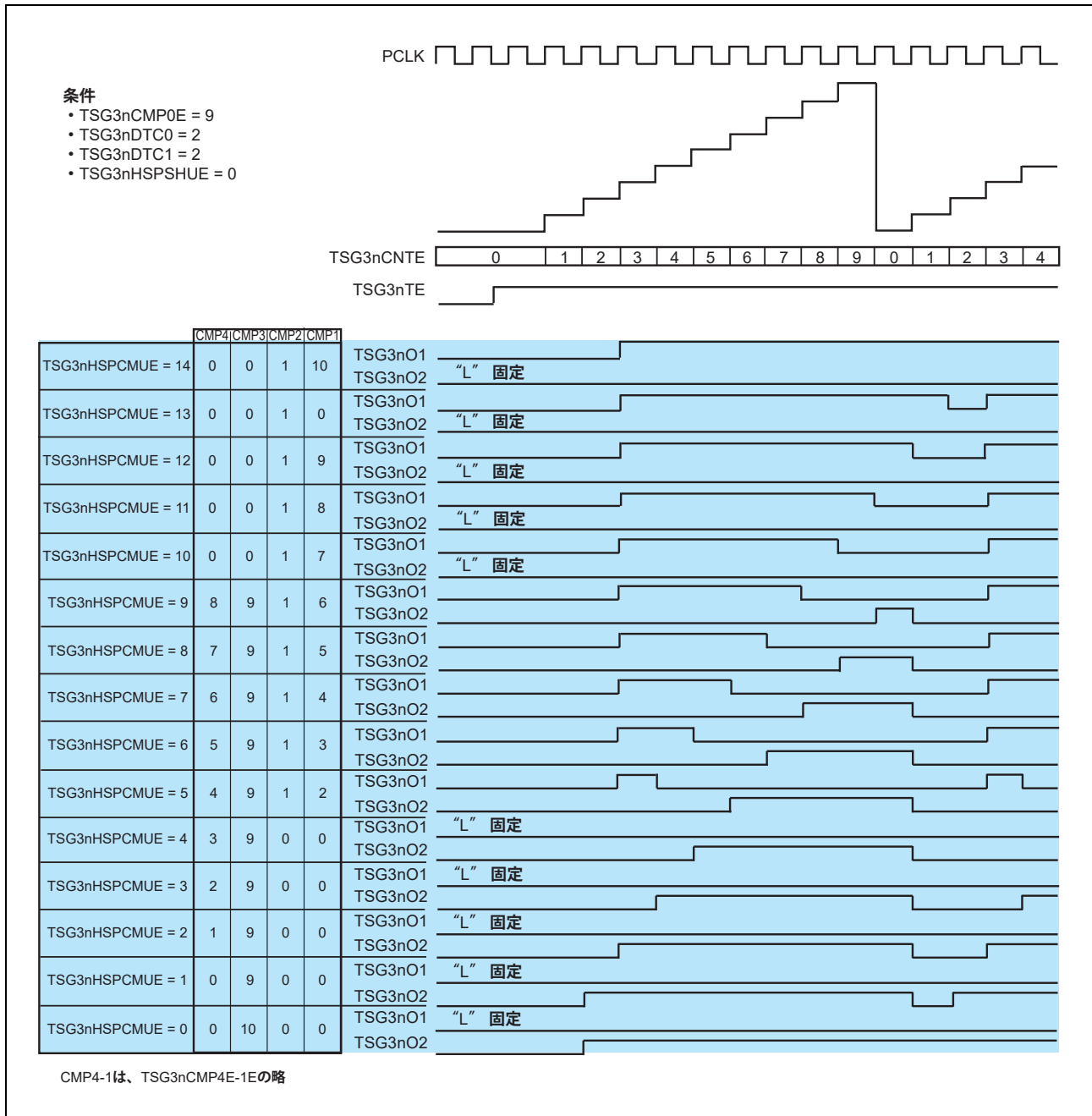


図 19.116 HSP-PWM モードの動作開始時のタイミング図 (TSG3nHSPSHUE = 0 (シフト 0 設定))

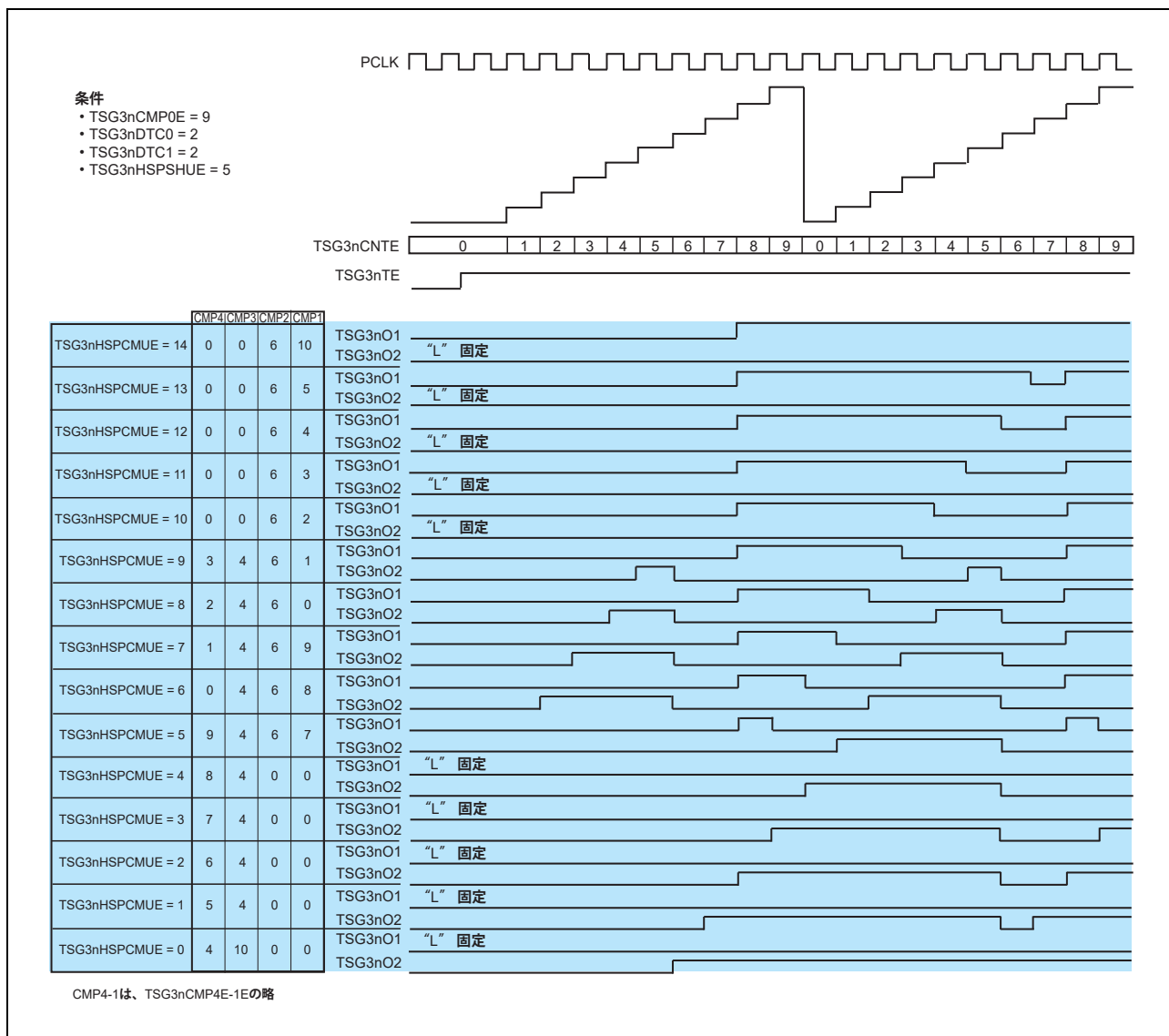


図 19.117 HSP-PWM モードの動作開始時のタイミング図 (TSG3nHSPSHUE = 5 (シフト5クロックサイクル設定))

19.4.7.10 ソフトウェア出力制御機能

HSP-PWM モード以外でソフトウェア出力制御機能を使用することができます。この機能は、TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して TSG3nO1-TSG3nO6 端子に 6 パタンの出力をソフトウェアで切り替えられる機能です。

TSG3nSOC = 0 から TSG3nSOC = 1 に切り替えると、TSG3nO1-TSG3nO6 端子が即時にソフトウェア出力制御に切り替わります。逆に TSG3nSOC = 1 から TSG3nSOC = 0 に切り替えた場合は、リロードタイミングでソフトウェア出力制御が解除されます。

表 19.102 ソフトウェア出力制御機能に関するレジスタ説明

レジスタ	動作
TSG3nOPT0.TSG3nSOC	TSG3nSOC = 1
TSG3nOPT0.TSG3nSTE	TSG3nSTE = 0
TSG3nOPT1.TSG3nSPC2-TSG3nSPC0	次の表 19.103、表 19.104 に示す出力パターンを設定する
TSG3nOPT0.TSG3nIDC	出力するパターン（電流方向）を設定する

表 19.103 ソフトウェア出力制御の出力パターン (TSG3nOPT0.TSG3nIDC = 0)

TSG3nOPT0.TSG3nSOC = 1, TSG3nSTE = 0, TSG3nIDC = 0

出力端子	TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG3nO2	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG3nO3	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG3nO4	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG3nO5	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT
TSG3nO6	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT

備考 ACT : アクティブレベルを出力することを示します。
INACT : インアクティブレベルを出力することを示します。

表 19.104 ソフトウェア出力制御の出力パターン (TSG3nOPT0.TSG3nIDC = 1)

TSG3nOPT0.TSG3nSOC = 1, TSG3nSTE = 0, TSG3nIDC = 1

出力端子	TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG3nO2	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG3nO3	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG3nO4	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG3nO5	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT
TSG3nO6	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT

備考 ACT : アクティブレベルを出力することを示します。
INACT : インアクティブレベルを出力することを示します。

第20章 タイマオプション (TAPA)

本章では、タイマオプション (TAPA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特性について説明します。それ以降の節では、TAPA の機能、レジスタについて説明します。

20.1 RH850/C1x TAPA の特長

20.1.1 ユニット数

本製品は以下のユニット数の TAPA を搭載しています。

表 20.1 ユニット数

製品	RH850/C1x
ユニット数	4
名称	TAPAn (n = 0 ~ 3)

表 20.2 添字

添字	意味
n	本章では、TAPA の各ユニットを「n」(n = 0 ~ 3) で識別します。たとえば、TAPAn フラグレジスタは TAPAnFLG と記述します。

20.1.2 レジスタベースアドレス

TAPA のベースアドレスを以下の表に示します。

TAPA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 20.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAPA0_base>	FFE9 0000 _H
<TAPA1_base>	FFE9 1000 _H
<TAPA2_base>	FFE9 2000 _H
<TAPA3_base>	FFE9 3000 _H

20.1.3 クロック供給

TAPA のクロック供給を以下の表に示します。

表 20.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAPAn	PCLK	CLKC_HSB (非変調高速周辺クロック)

20.1.4 割り込み要求

TAPA の割り込み要求を以下の表に示します。

表 20.5 割り込み要求

割り込み名	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
TAPA0				
TAPA0TIPEK0	TAPA0 の山割り込み	126	40	50
TAPA0TIVLY0	TAPA0 の谷割り込み	127	41	51
TAPA1				
TAPA1TIPEK0	TAPA1 の山割り込み	128	42	52
TAPA1TIVLY0	TAPA1 の谷割り込み	129	43	53

20.1.5 リセット要因

TAPA のリセット要因を以下に示します。

表 20.6 リセット要因

ユニット名	リセット要因
TAPAn	すべてのリセット要因

20.1.6 周辺構成図

TAPA の周辺構成図を以下に示します。

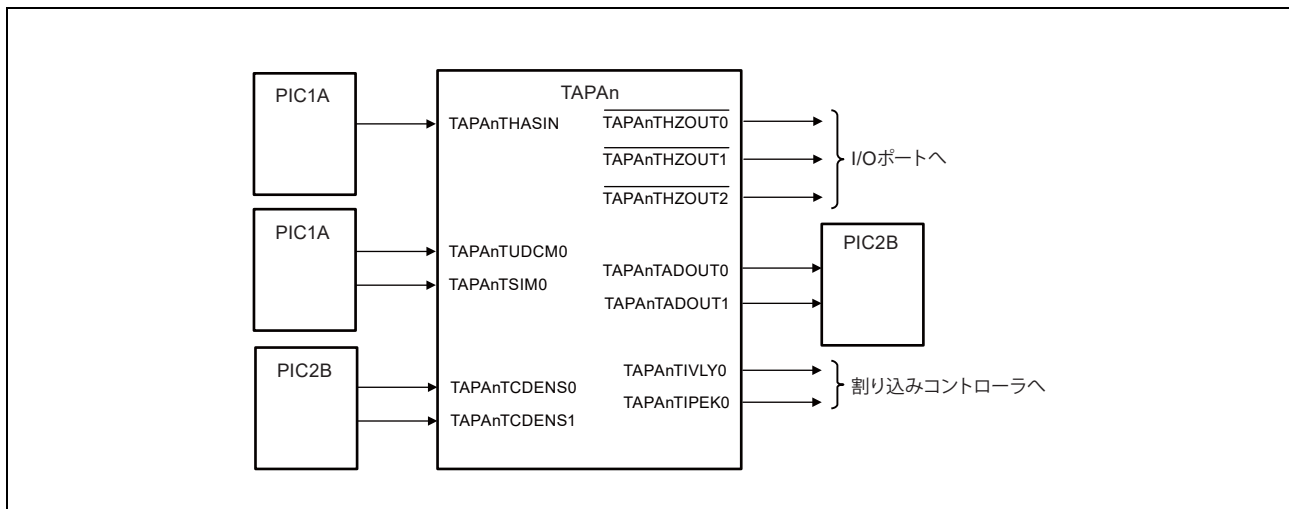


図 20.1 TAPA の周辺構成図

TAPA の周辺構成図を説明します。

- TAPAnTHASIN : Hi-Z 制御 非同期入力信号

PIC1A 内で選択した要因で Hi-Z 制御を行うことができます。

PIC1A 内で選択できる要因は、「**23.2.3.15 Hi-Z 制御機能**」を参照してください。

- TAPAnTUDCM0 : TAUD マスタチャネルアップダウン入力
- TAPAnTSIM0 : TAUD マスタチャネル INT 入力

PIC1A 内で選択した TAUDn チャネルで山割り込み、谷割り込みを生成することができます。

PIC1A 内で選択できる TAUDn チャネルは、「**23.2.2.22 PIC1AREG200 — タイマ入出力制御レジスタ 200**」、「**23.2.2.23 PIC1AREG210 — タイマ入出力制御レジスタ 210**」を参照してください。

本接続は TAPA0、TAPA1 のみ存在します。

- TAPAnTCDENS0、TAPAnTCDENS1 : TAUD スレーブチャネル一致検出入力

PIC2B 内で選択した TAUDn チャネル割り込みで AD 変換トリガ出力 1-0

(TAPAnTADOUT1-0) を生成することができます。PIC 内で選択できる TAUDn チャネル割り込みは、「**23.3.3.2 TAUD トリガ出力機能**」を参照してください。

本接続は TAPA0、TAPA1 のみ存在します。

- TAPAnTADOUT1-0 : A/D 変換トリガ出力 1-0

TAPAn で生成した A/D コンバータ変換トリガ信号を PIC2B へ出力します。PIC2B 内のレジスタ設定により、A/D コンバータ変換のトリガとして使用できます。

PIC2B 内のレジスタ仕様は、「**23.3.3.1 ADCC トリガ選択機能**」を参照してください。

本接続は TAPA0、TAPA1 のみ存在します。

20.2 概要

20.2.1 機能概要

タイマオプション (TAPA) を、タイマレイユニット D (TAUD)、TSG3 機能と組み合わせて使用します。

- TAPA 入力信号により、TAUD、TSG3 出力を個別に非同期 Hi-Z 制御
- TAUD が出力する INTn 信号を基に山割り込み、谷割り込み要求信号を出力可能
- TAUD が出力する INTn 信号を基に A/D コンバータ変換トリガ信号を 2 本出力可能

20.2.2 用語

この章で使用される用語について説明します。

「山」と「谷」、「山割り込み」と「谷割り込み」

TAUD の Down ステータス (カウントダウンステータス) 期間から、マスタチャンネルの INT 発生までを「谷」期間とし、発生するマスタチャンネルの INT を「谷割り込み」(INT-VLY) と定義します。

また、TAUD の Up ステータス (カウントアップステータス) 期間から、マスタチャンネルの INT 発生までを「山」期間とし、発生するマスタチャンネルの INT を「山割り込み」(INT-PEK) と定義します。

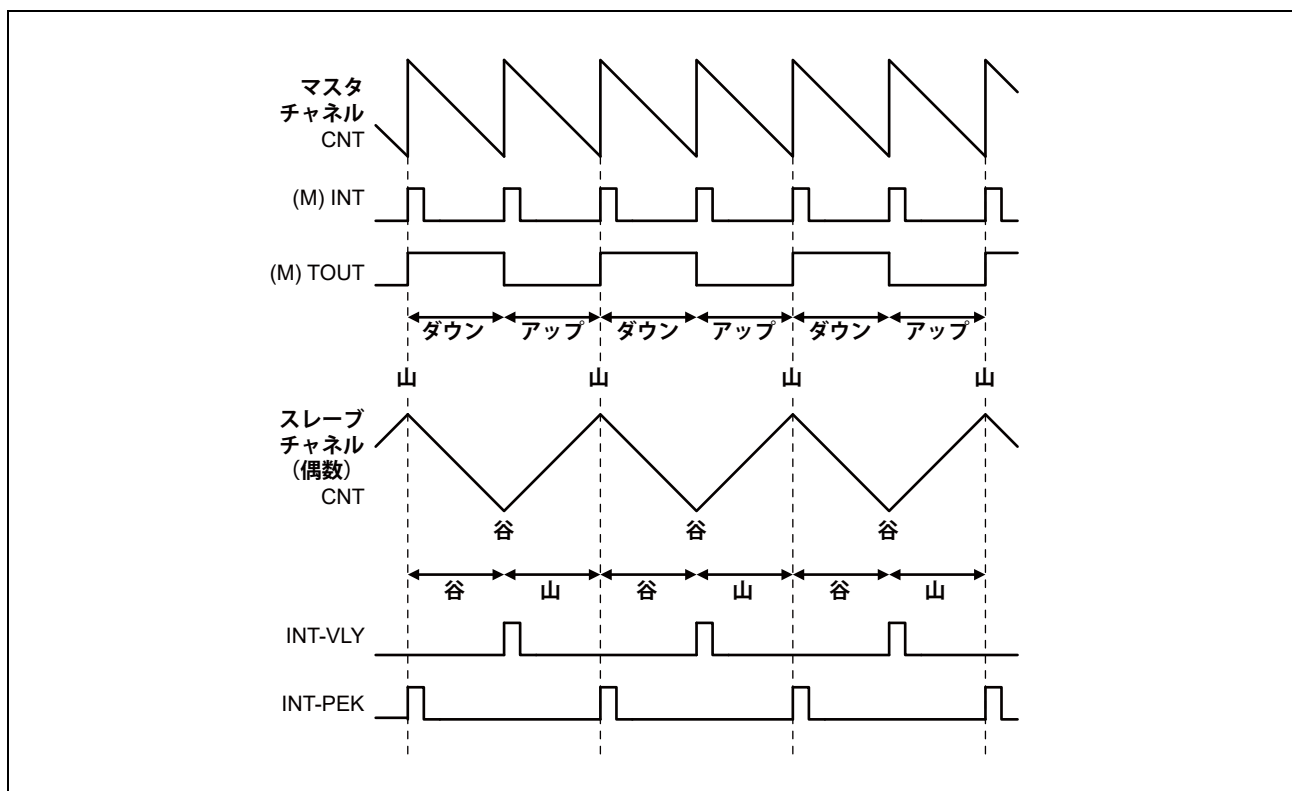


図 20.2 タイマカウンタの「山」と「谷」、「山割り込み」と「谷割り込み」について

20.2.3 ブロック図

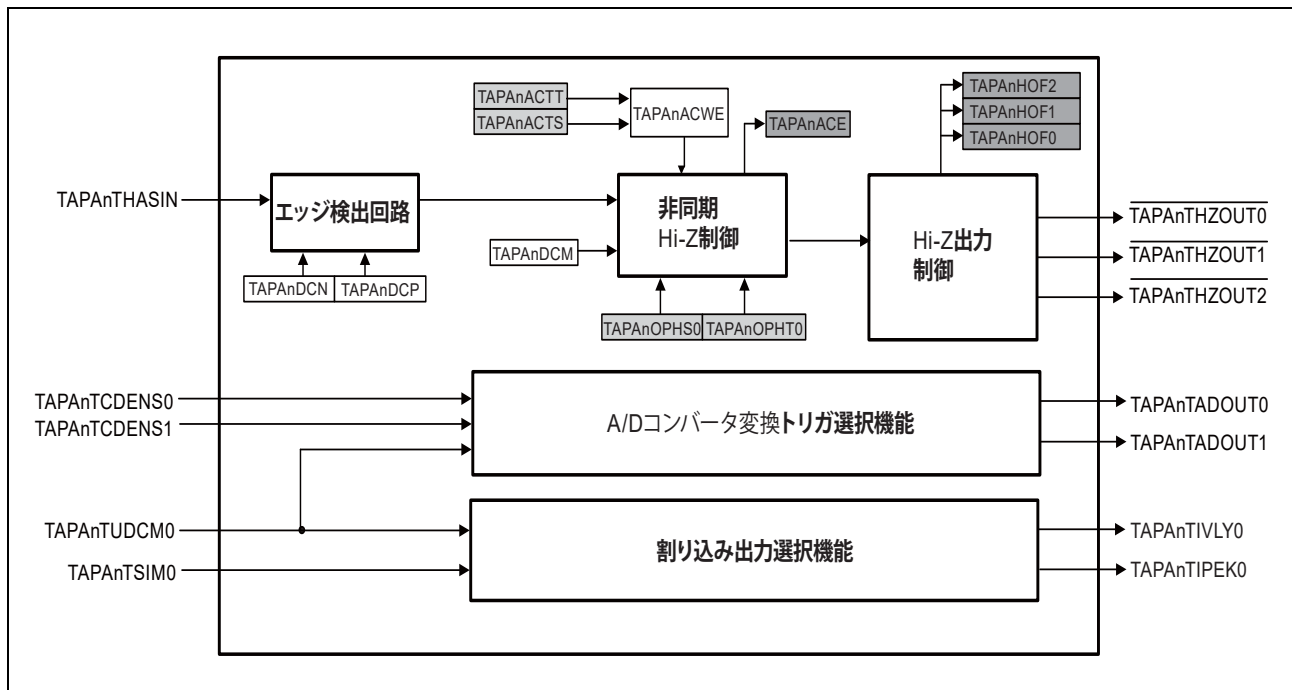


図 20.3 ブロック図

20.3 レジスタ

20.3.1 レジスタ一覧

TAPAn (n = 0 ~ 3) のレジスタ一覧を以下の表に示します。

<TAPAn_base> は「**20.1.2 レジスタベースアドレス**」を参照してください。

モジュール名	レジスタ名	略号	アドレス
TAPAn	TAPA 制御レジスタ 0	TAPAnCTL0	<TAPAn_base> + 20 _H
TAPAn	TAPA 制御レジスタ 1 ^{注1}	TAPAnCTL1	<TAPAn_base> + 24 _H
TAPAn	TAPA フラグレジスタ	TAPAnFLG	<TAPAn_base> + 00 _H
TAPAn	TAPA 非同期制御ライトイネーブルレジスタ	TAPAnACWE	<TAPAn_base> + 04 _H
TAPAn	TAPA 非同期制御スタートトリガレジスタ	TAPAnACTS	<TAPAn_base> + 08 _H
TAPAn	TAPA 非同期制御ストップトリガレジスタ	TAPAnACTT	<TAPAn_base> + 0C _H
TAPAn	TAPA Hi-Z スタートトリガレジスタ	TAPAnOPHS	<TAPAn_base> + 14 _H
TAPAn	TAPA Hi-Z ストップトリガレジスタ	TAPAnOPHT	<TAPAn_base> + 18 _H

注1. TAPAnCTL1 は、TAPAn (n = 0, 1) のときのみ有効です。

20.3.2 TAPAnCTL0 — TAPAn 制御レジスタ 0

Hi-Z 制御用の制御レジスタ 0 です。

このレジスタの値は、以下の場合のみ書き換えることができます。

- TAPAn (n = 0, 1) のとき、TAPAnFLG.TAPAnACE = 0、かつ対応する TAUDn のマスタチャンネルにて TAUDnTEm = 0 (m = 10 ~ 15) となる場合
- TAPAn (n = 2, 3) のとき、TAPAnFLG.TAPAnACE = 0 となる場合

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 20_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TAPAn DCM	TAPAn DCN	TAPAn DCP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 20.7 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能															
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0 : TAPAnTHASIN 信号入力に関係なく、TAPAnOPHT0 の操作を有効 1 : TAPAnTHASIN 信号入力が入力レベルの場合、TAPAnOPHT0 の操作を無効 TAPAnTHASIN 信号入力が入力レベルの場合、TAPAnOPHT0 操作を有効															
3, 2	TAPAnDCN、 TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPAnTHASIN の有効エッジを指定する制御ビットです。 <table border="1" data-bbox="662 1265 1401 1518"> <thead> <tr> <th>TAPAn DCN</th> <th>TAPAn DCP</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>有効エッジを検出しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TAPAn DCN	TAPAn DCP	動作説明	0	0	有効エッジを検出しない	0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)	1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)	1	1	設定禁止
TAPAn DCN	TAPAn DCP	動作説明															
0	0	有効エッジを検出しない															
0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)															
1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)															
1	1	設定禁止															

20.3.3 TAPAnCTL1 — TAPAn 制御レジスタ 1

TAPAn 制御レジスタ 1 です。n=0, 1 のときのみ有効です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAPAn ATS3	TAPAn ATS2	TAPAn ATS1	TAPAn ATS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 20.8 TAPAnCTL1 レジスタの内容

ビット位置	ビット名	機能															
3、2	TAPAnATS3, TAPAnATS2	AD トリガ 1 選択ビット AD 変換トリガ出力 1 (TAPAnTADOUT1) からの信号出力を指定する制御ビットです。 <table border="1" data-bbox="663 887 1401 1122"> <thead> <tr> <th>TAPA0 ATS3</th> <th>TAPA0 ATS2</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>マスタチャンネルが Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>マスタチャンネルが Up ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します</td> </tr> </tbody> </table>	TAPA0 ATS3	TAPA0 ATS2	動作説明	0	0	マスタチャンネルが Down ステータスにいる間、INT を出力	0	1	マスタチャンネルが Up ステータスにいる間、INT を出力	1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力	1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します
TAPA0 ATS3	TAPA0 ATS2	動作説明															
0	0	マスタチャンネルが Down ステータスにいる間、INT を出力															
0	1	マスタチャンネルが Up ステータスにいる間、INT を出力															
1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力															
1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します															
1、0	TAPAnATS1, TAPAnATS0	AD トリガ 0 選択ビット AD 変換トリガ出力 0 (TAPAnTADOUT0) からの信号出力を指定する制御ビットです。 <table border="1" data-bbox="654 1245 1410 1507"> <thead> <tr> <th>TAPA0 ATS1</th> <th>TAPA0 ATS0</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>マスタチャンネルが Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>マスタチャンネルが Up ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します</td> </tr> </tbody> </table>	TAPA0 ATS1	TAPA0 ATS0	動作説明	0	0	マスタチャンネルが Down ステータスにいる間、INT を出力	0	1	マスタチャンネルが Up ステータスにいる間、INT を出力	1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力	1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します
TAPA0 ATS1	TAPA0 ATS0	動作説明															
0	0	マスタチャンネルが Down ステータスにいる間、INT を出力															
0	1	マスタチャンネルが Up ステータスにいる間、INT を出力															
1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力															
1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します															

20.3.4 TAPAnFLG — TAPAn フラグレジスタ

Hi-Z を制御するフラグレジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAPAn_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	—	—	—	—	—	—	—	TAPAnA CE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.9 TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
10 ~ 8	TAPAnHOFm	TAPAnTHZOUTm 出力モニタビット (m = 0, 1, 2) TAPAnTHZOUTm の出力モニタビットです。 0 : TAPAnTHZOUTm の現在の出力がハイレベル 1 : TAPAnTHZOUTm の現在の出力がロウレベル ^{注1}
0	TAPAnACE	非同期 Hi-Z 制御イネーブルビット 非同期 Hi-Z 制御の状態を示すビットです。 0 : 非同期 Hi-Z 制御が停止状態 1 : 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 : TAPAnACWE = 1 時の TAPAnACTT への "1" 書き込み セット条件 : TAPAnACWE = 1 時の TAPAnACTS への "1" 書き込み

注 1. TAPAnHOFm (m = 1, 2) は、TAPAn (n = 0, 1) のときに有効です

20.3.5 TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACWE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 20.10 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
0	TAPAnACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 "1" に書き込み後、TAPAnACTS または TAPAnACTT に "1" を書き込むこと によって、自動的に "0" にクリアされます。 0 : TAPAnACTS と TAPAnACTT への書き込み禁止 1 : TAPAnACTS と TAPAnACTT への書き込み許可

20.3.6 TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8ビット単位でライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 20.11 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
0	TAPAnACTS	非同期制御スタートトリガビット 非同期 Hi-Z 制御用のイネーブルスタートトリガビットです。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を許可

20.3.7 TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ

非同期 Hi-Z 制御用のイネーブルストップトリガレジスタです。

アクセス 8ビット単位でライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 20.12 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
0	TAPAnACTT	非同期制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を停止

20.3.8 TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ

Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ 注¹)) のスタートトリガを設定します。

注 1. $m = 1, 2$ の場合、TAPAn ($n = 2, 3$) では対応していません。

アクセス 8ビット単位でライト可能です。読み出し値は常に00_Hとなります。

アドレス <TAPAn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 20.13 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
0	TAPAnOPHS0	Hi-Z 制御信号のスタートトリガ 0 ビット Hi-Z 制御信号のスタートトリガを設定します。 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ 注 ¹)) をロウレベルに設定

20.3.9 TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ

Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ 注¹)) のストップトリガを設定します。

注 1. $m = 1, 2$ の場合、TAPAn ($n = 2, 3$) では対応していません。

アクセス 8ビット単位でライト可能です。読み出し値は常に00_Hとなります。

アドレス <TAPAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 20.14 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
0	TAPAnOPHT0	Hi-Z 制御信号のストップトリガ 0 ビット Hi-Z 制御信号のストップトリガを設定します。 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ 注 ¹)) をハイレベルに設定

20.4 機能

20.4.1 非同期 Hi-Z 制御機能

CPUによって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、CPUによる制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態にします。

20.4.1.1 概要

Hi-Z は次の方法で制御することができます。

- TAPA 入力信号 (TAPAnTHASIN) に対応した非同期 Hi-Z 制御
 - TAPAn (n = 0, 1) のときは、 $\overline{\text{TAPAnTHZOUT0}}$ (U 相)、 $\overline{\text{TAPAnTHZOUT1}}$ (V 相)、 $\overline{\text{TAPAnTHZOUT2}}$ (W 相) の Hi-Z 制御出力信号で非同期に制御します。
 - TAPAn (n = 2, 3) のときは、 $\overline{\text{TAPAnTHZOUT0}}$ の Hi-Z 制御出力信号で非同期に制御します。

非同期 Hi-Z 制御の機能と動作

機能	動作
TAPA 入力信号 (TAPAnTHASIN) に対応した非同期 Hi-Z 制御	非同期 Hi-Z 制御により、タイマ機能 (TAUD 機能、TSG3 機能) からの出力を強制的に Hi-Z 状態にする機能です。 TAPAnTHASIN がアクティブレベルの間、ソフトウェアが停止要求を送るまで、デバイスのポート出力を Hi-Z 状態にします (TAPAnCTL0.TAPAnDCM = 0 の場合)。

備 考

対象のタイマ出力端子は以下になります。

- TAPAn (n = 0, 1)
 - TAPAnTHZOUT0 (U 相) : TAPAnUP, TAPAnUN
 - TAPAnTHZOUT1 (V 相) : TAPAnVP, TAPAnVN
 - TAPAnTHZOUT2 (W 相) : TAPAnWP, TAPAnWN
- TAPAn (n = 2)
- TAPAnTHZOUT0 : TSG3001 ~ 06
- TAPAn (n = 3)
- TAPAnTHZOUT0 : TSG3101 ~ 06

20.4.1.2 システム構成例

この機能は、外部エラー検出信号の有効エッジを検出すると、割り込みが発生し、同時にモータドライブ信号出力が Hi-Z になります。

エラー発生時にマイコンも暴走している可能性があることを想定し、外部のエラー検出信号を継続的に処理することによってクロックがない状態でも、モータドライブ信号出力を Hi-Z にできるようにしています。

なお、エラー検出信号のエッジを検出したときのみエラーを検出し、出力レベルが固定されている（信号にエッジがない）場合、エラーは検出されません。

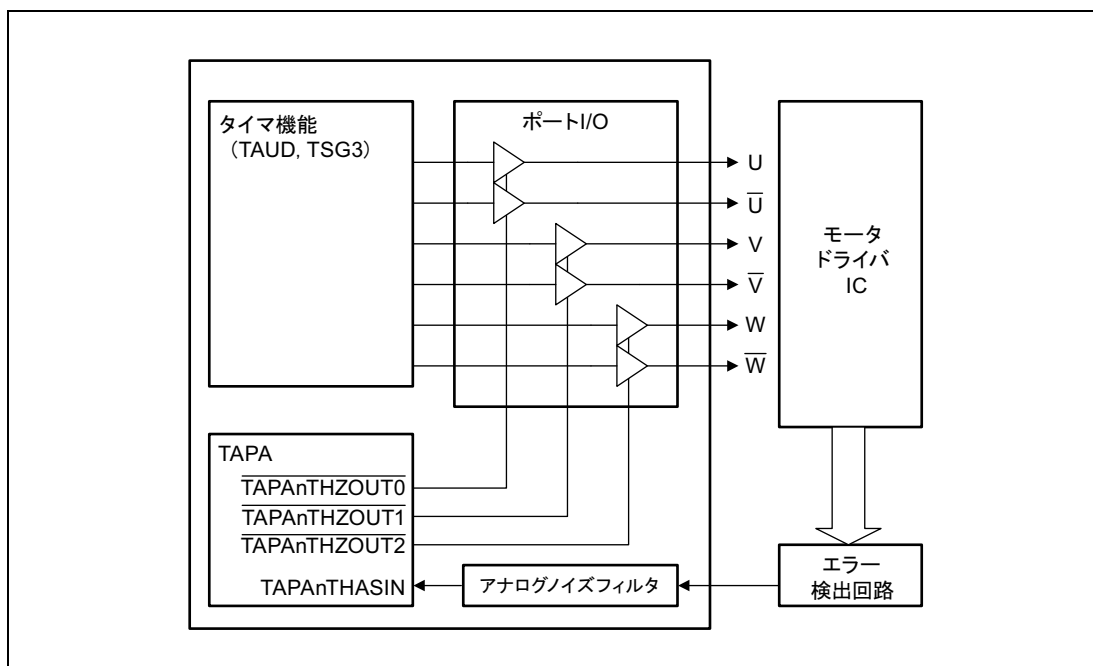


図 20.4 端子入力に対応した非同期 Hi-Z 制御のシステム構成例

20.4.1.3 基本動作

設定例を下記に示します。

TAPAnCTL0.TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPAnTHASIN) の有効エッジを検出すると、TAPAnTHZOUT0 がロウレベルになります。

TAPAnTHZOUT0 がロウレベルの間、強制的に出力を停止 (ポート制御による出力 Hi-Z) します。

TAPAnTHASIN のレベルに関係なく、TAPAn Hi-Z ストップトリガレジスタのビット 0 (TAPAnOPHT0) に“1”を書き込むことによって、TAPAnTHZOUT0 がハイレベルになります。

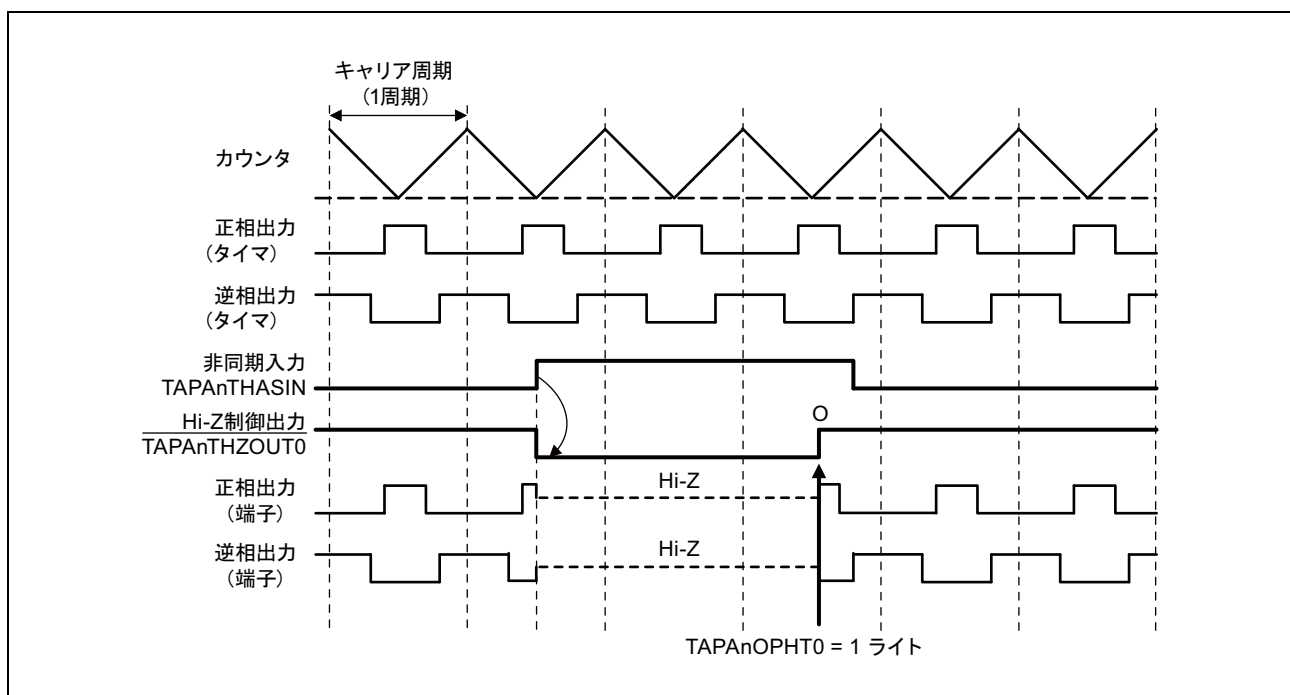


図 20.5 TAPAnDCM = 0, TAPAnDCP = 1, TAPAnDCN = 0 時の TAPAnTHZOUT0 の動作

TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPAnTHASIN) の有効エッジを検出すると、TAPAnTHZOUT0 がロウレベルになります。

TAPAnTHZOUT0 がロウレベルの間、強制的に出力を停止 (ポート制御による出力 Hi-Z) します。

非同期入力 (TAPAnTHASIN) がアクティブレベル (TAPAnDCP = 1 のため、ハイレベル) の間、Hi-Z ストップトリガ 0 (TAPAnOPHT0) への“1”書き込みは無視されます。

非同期入力 (TAPAnTHASIN) がインアクティブ (TAPAnDCP = 1 のため、ロウレベル) レベルとなったあと、Hi-Z ストップトリガ 0 (TAPAnOPHT0) に“1”を書き込むことによって、TAPAnTHZOUT0 がハイレベルになります。

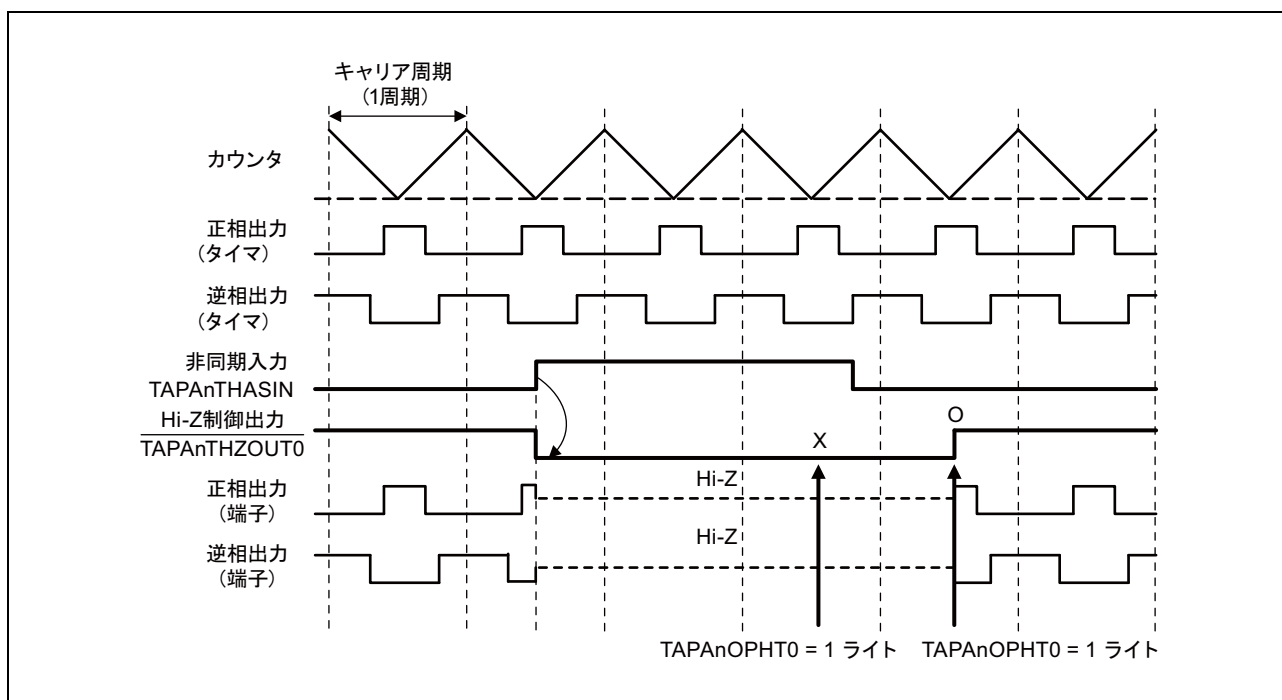


図 20.6 TAPAnDCM = 1, TAPAnDCP = 1, TAPAnDCN = 0 時の TAPAnTHZOUT0 の動作

20.4.1.4 ソフトウェアトリガによる非同期 Hi-Z 制御

この機能では、Hi-Z 制御出力信号をソフトウェアによって制御することが可能です。

Hi-Z スタートトリガ 0 ($\overline{\text{TAPAnOPHS0}}$) および Hi-Z ストップトリガ 0 ($\overline{\text{TAPAnOPHT0}}$) で、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ 注1、 $\overline{\text{TAPAnTHZOUT2}}$ 注1 を制御します。

注 1. TAPAn (n = 2, 3) では対応していません。

Hi-Z スタートトリガ ($\overline{\text{TAPAnOPHS}}$) の動作

TAPAnDCM	動作
0/1	$\overline{\text{TAPAnOPHS0}}$ ビットに“1”を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ 、 $\overline{\text{TAPAnTHZOUT2}}$ がロウレベルとなります。

非同期入力 Hi-Z 制御時のストップトリガ ($\overline{\text{TAPAnOPHT}}$) の動作

Hi-Z ストップトリガは次の条件のときのみ有効となります。

TAPAnDCM	動作
0	$\overline{\text{TAPAnOPHT0}}$ ビットに“1”を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ 、 $\overline{\text{TAPAnTHZOUT2}}$ がハイレベルとなります。
1	$\overline{\text{TAPAnTHASIN}}$ がインアクティブ中、 $\overline{\text{TAPAnOPHT0}}$ ビットに“1”を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ 、 $\overline{\text{TAPAnTHZOUT2}}$ がハイレベルとなります。 $\overline{\text{TAPAnTHASIN}}$ がアクティブ中は、 $\overline{\text{TAPAnOPHT0}}$ ビットへの“1”の書き込みは無視されます。

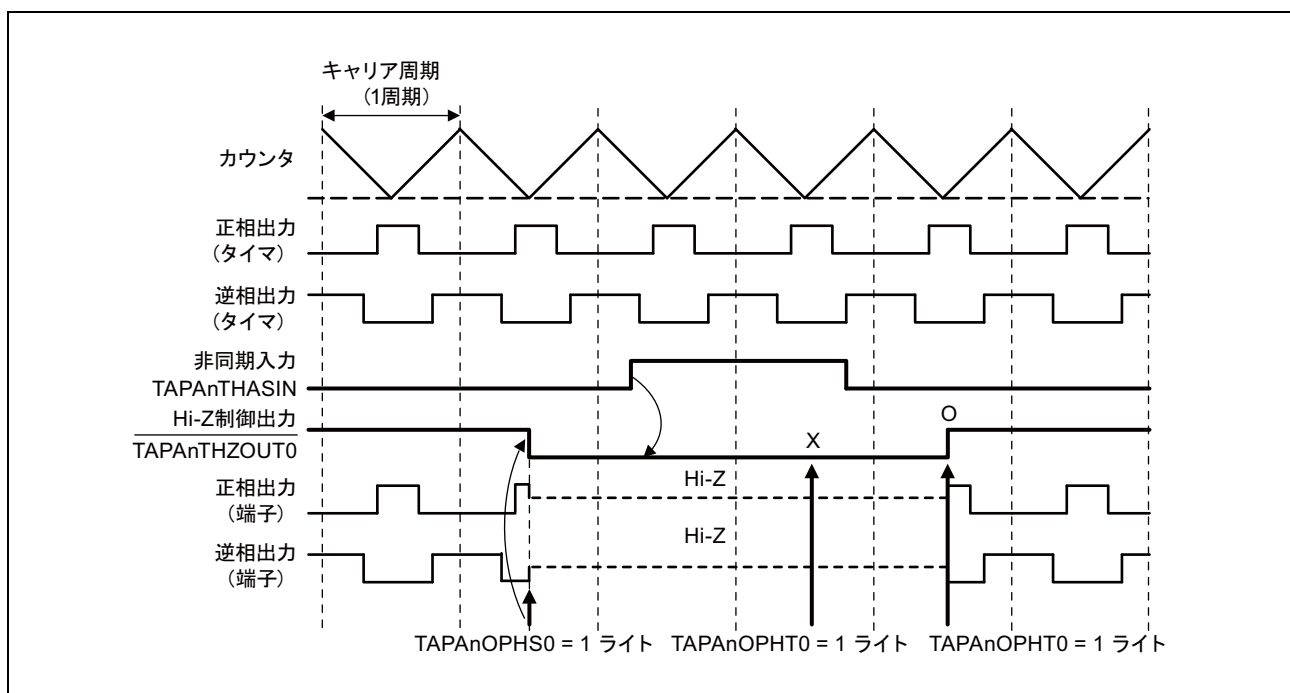


図 20.7 TAPAnDCM = 1, TAPAnDCP = 1, TAPAnDCN = 0 時の $\overline{\text{TAPAnTHZOUT0}}$ の動作

20.4.1.5 操作手順

以下に非同期入力 Hi-Z 制御の操作手順を示します。
(タイマ機能の動作に依存しないため、タイマオプションに関して記載しています)

	動作	TAPA の状態	
動作再開 ↑	初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP、TAPAnDCN を設定 (入力エッジ選択) TAPAnDCM を設定 (クリアモード選択)	非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)
	動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS に "1" を設定	TAPAnACTS ビットの書き込み可能 TAPAnFLG.TAPAnACE = 1 により非同期 Hi-Z 制御許可
	動作中	タイマ機能の出力に対して Hi-Z 制御を開始 (スタート) する方法は、以下の通りです。 TAPA の TAPAnOPHS0 で制御 TAPA の Hi-Z 入力信号 (TAPAnTHASIN) で制御 Hi-Z 制御を終了 (ストップ) する方法は、以下の通りです。 TAPA の TAPAnOPHT0 で制御 (TAPAnDCM = 0 の場合) TAPA の Hi-Z 入力信号 (TAPAnTHASIN) がインアクティブ時に TAPAnOPHT0 で制御 (TAPAnDCM = 1 の場合) TAPA の TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	Hi-Z 制御機能は、Hi-Z 入力信号 (TAPAnTHASIN) に入力されたスタートエッジの検出、またはスタートトリガビットを設定 (TAPAnOPHS0 = 1) することによって、TAPAnTHZOUT0、TAPAnTHZOUT1 ^{注1} 、TAPAnTHZOUT2 ^{注1} をロウレベルで出力します。 Hi-Z 制御機能は、TAPAnDCM で設定した動作モードにしたがい、ストップトリガビットを設定 (TAPAnOPHT0 = 1) することによって、TAPAnTHZOUT0、TAPAnTHZOUT1 ^{注1} 、TAPAnTHZOUT2 ^{注1} をハイレベルで出力します。
	動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT に "1" を設定	TAPAnACTT ビットの書き込み許可 TAPAnFLG.ACE = 0 により非同期 Hi-Z 制御停止

注 1. TAPAn (n = 2, 3) では対応していません。

20.4.2 割り込み出力選択機能

20.4.2.1 構成

TAUD の三角波キャリア周期生成チャンネル (マスタ) から出力された割り込み信号 (TAPAnTSIM0)、アップダウン入力信号 (TAPAnTUDCM0) を用いて、山割り込み、谷割り込みを出力する機能です。

入力として TAUD の信号を使用することで、山割り込みと谷割り込みを出力します。

20.4.2.2 基本動作

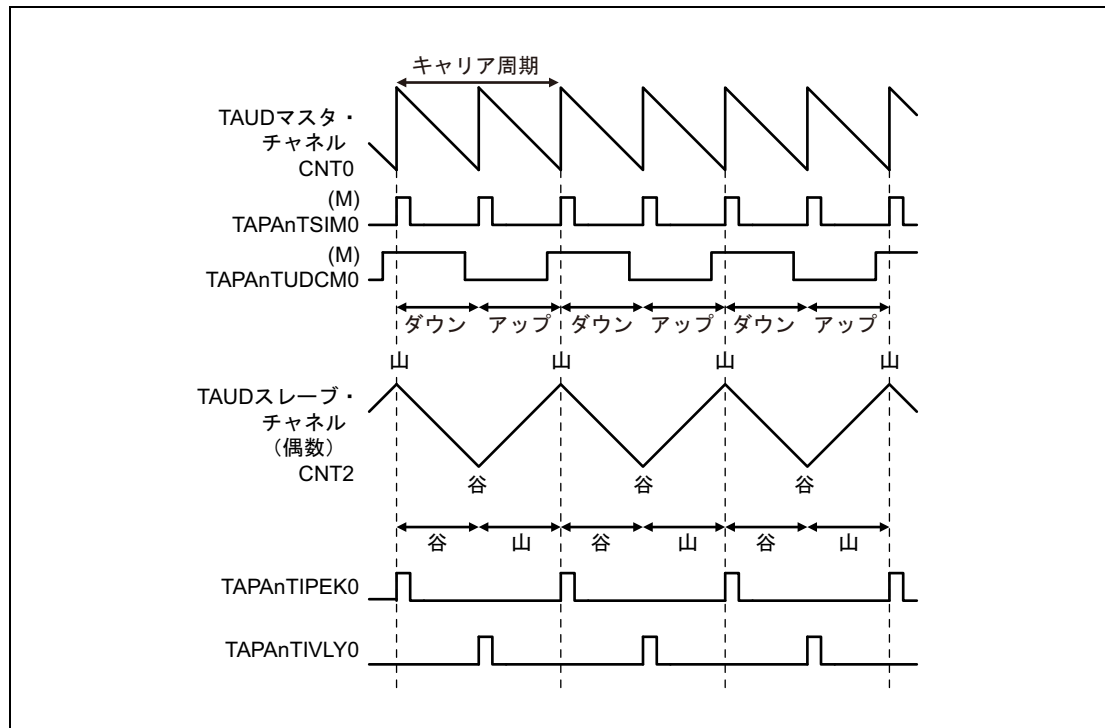


図 20.8 TAUD のマスタチャンネル 0 の動作例

TAUD

マスタチャンネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに TAPAnTSIM0 を出力し、TAPAnTUDCM0 よりアップ/ダウン信号を出力します。

TAPA

- TAPAnTUDCM0 = High 期間中の TAPAnTSIM0 を山割り込みとし、TAPAnTIPEK0 信号より出力します。
- TAPAnTUDCM0 = Low 期間中の TAPAnTSIM0 を谷割り込みとし、TAPAnTIVLY0 信号より出力します。

注 意

TAPAnTIPEK0/TAPAnTIVLY0 は組合せ回路を構成しており、動作モードに関係なく動作します。

TAPAnTIPEK0/TAPAnTIVLY0 を使用しない場合、これらの信号は「6.2.3 IMR0 ~ IMR7 — EI レベル割り込みマスクレジスタ 0 ~ 7」によりマスクする必要があります。

20.4.2.3 操作手順

以下に割り込み出力選択機能の操作手順を示します。

	動作	TAUD、TAPA の状態
初期設定	TAPA は、初期設定不要です。	TAUD、TAPA の動作停止。
動作開始	TAUD を動作開始します。	TAUD のカウント動作が開始します。
動作中	TAUD は、各機能の設定にしたがって動作します。	割り込み出力選択機能は、TAUD からの割り込み入力 (TAPAnTSIM0)、アップ/ダウン入力 (TAPAnTUDCM0) を基に、制御周期 0 に対して山割り込み TAPAnTIPEK0 と谷割り込み TAPAnTIVLY0 を出力します。
動作停止	TAUD を動作停止します。	TAUD のカウント動作が停止します。

動作再開

20.4.3 A/D コンバータ変換トリガ選択機能

TAUD の三角波キャリア周期生成チャンネル (マスタ) から出力された INT 信号、TOUT 信号と、A/D コンバータ変換トリガ選択機能で動作するチャンネルから出力された INT 信号を用いて A/D コンバータ変換トリガ (TAPAnTADOUT0/TAPAnTADOUT1) を出力する機能です。

20.4.3.1 構成

表 20.15 TAPAnTADOUT 信号生成に使用する信号一覧

出力信号	Up/Down 入力	スレーブ一致検出信号	谷割り込み信号
TAPAnTADOUT0	TAPAnTUDCM0	TAPAnTCDENS0	TAPAnTIVLY0
TAPAnTADOUT1	TAPAnTUDCM0	TAPAnTCDENS1	TAPAnTIVLY0

表 20.16 TAPAnCTL1.TAPAnATS[1:0], TAPAnTADOUT0 の動作

TAPAnATS1	TAPAnATS0	動作説明
0	0	TAUD のマスタ 0 が Down ステータス期間中、スレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
0	1	TAUD のマスタ 0 が Up ステータス期間中、スレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
1	0	TAUD のスレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
1	1	TAUD のスレーブ 0 からの INT と TAPAnTIVLY0 (谷割り込み信号 0) を TAPAnTADOUT0 より出力します。

表 20.17 TAPAnCTL1.TAPAnATS[3:2], TAPAnTADOUT1 の動作

TAPAnATS3	TAPAnATS2	動作説明
0	0	TAUD のマスタ 0 が Down ステータス期間中、スレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
0	1	TAUD のマスタ 0 が Up ステータス期間中、スレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
1	0	TAUD のスレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
1	1	TAUD のスレーブ 1 からの INT と TAPAnTIVLY0 (谷割り込み信号 0) を TAPAnTADOUT1 より出力します。

20.4.3.2 基本動作

三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形を以下に示します。

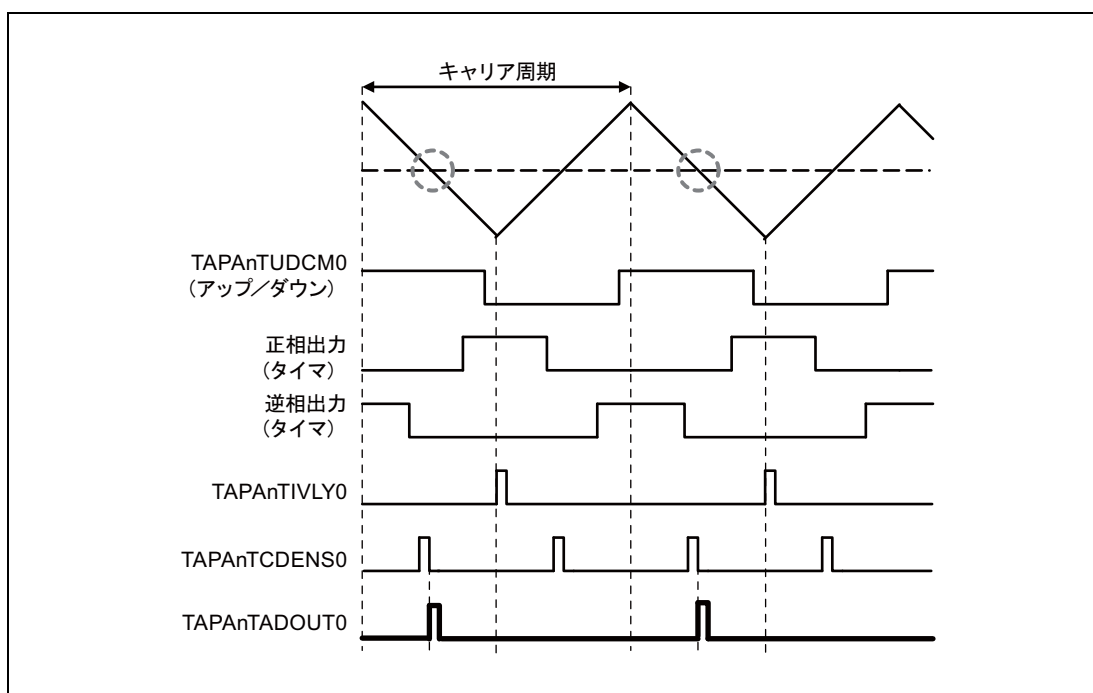


図 20.9 TAPAnATS = {0, 0} : マスタチャンネルが Down ステータス期間中の INT 出力

マスタの Down ステータス期間中、スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

マスタの Up ステータス期間中、スレーブから出力された INT 信号は出力されません。

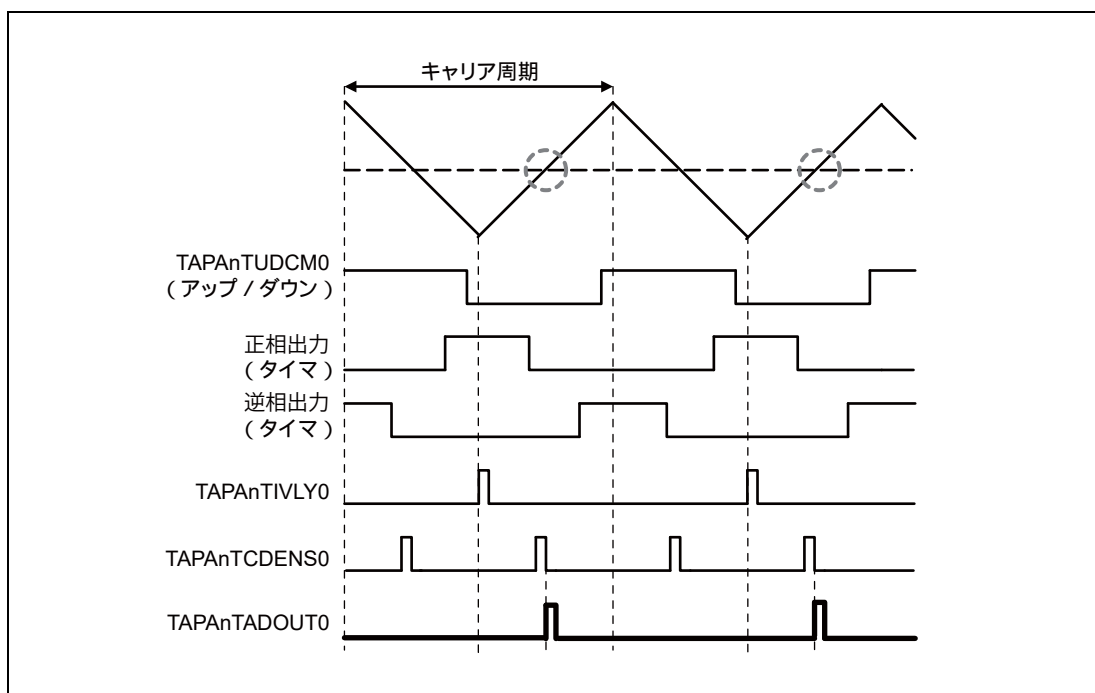


図 20.10 TAPAnATS = {0, 1} : マスタチャンネルが Up ステータス期間中の INT 出力

マスタの Up ステータス期間中、スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

マスタの Down ステータス期間中、スレーブから出力された INT 信号は出力されません。

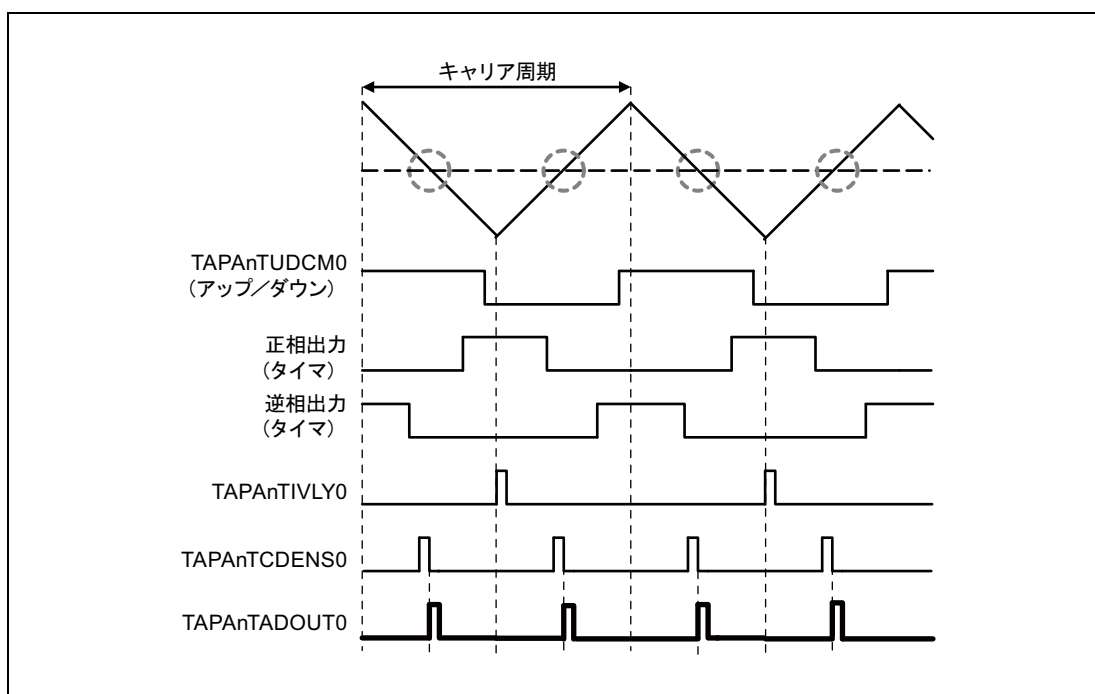


図 20.11 TAPAnATS = {1, 0} : マスタチャンネルが Down/Up ステータス期間中の INT 出力

スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

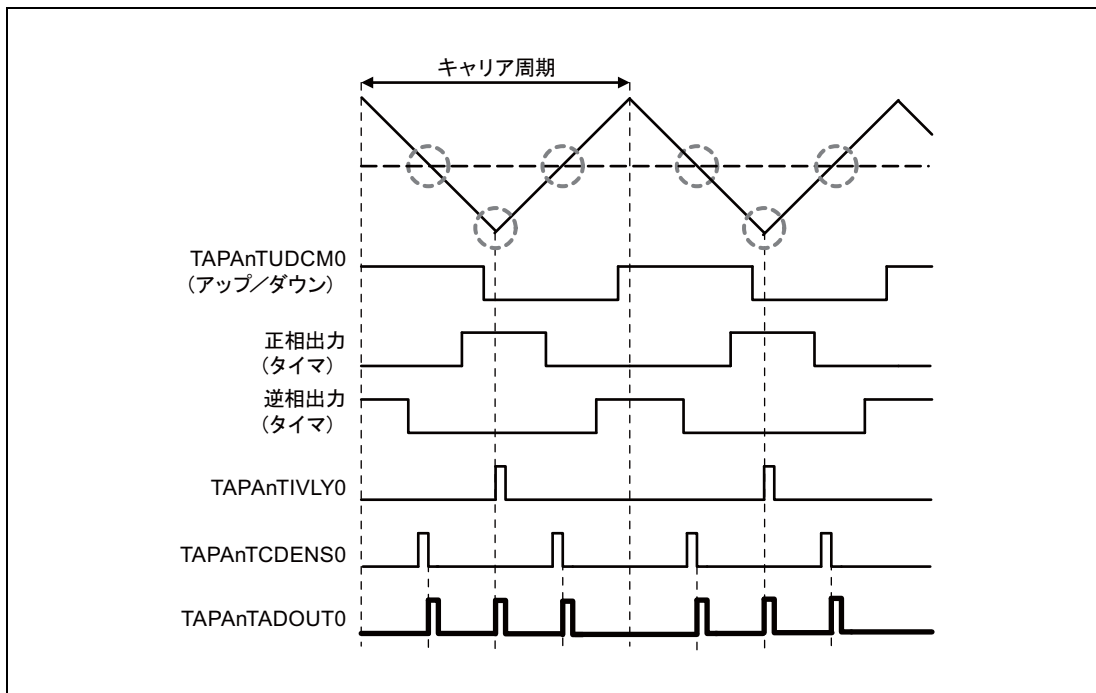


図 20.12 TAPAnATS = {1, 1} : マスタチャンネルが Down/Up ステータス期間中の INT 出力と谷割り込み出力

スレーブから出力された INT 信号と谷割り込み信号は A/D コンバータ変換トリガとして出力されます。

20.4.3.3 操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

	動作	TAUD, TAPA の状態
初期設定	TAUD を初期設定します。 タイマ動作モードを確定	TAUD, TAPA は動作停止。
	TAPAnCTL1 レジスタを設定します。 TAPAnATS[1:0] を設定 (TAPAnTADOUT0 の設定) TAPAnATS[3:2] を設定 (TAPAnTADOUT1 の設定)	
動作開始	TAUD を動作開始します。	TAUD のカウント動作が開始します。
動作中	TAUD は、各機能の設定にしたがって動作します。	A/D コンバータ変換トリガ選択機能は、 TAUD からのスレーブ一致検出信号 (TAPAnTCDENS1/TAPAnTCDENS0)、Up/ Down 入力 (TAPAnTUDCM0)、TAPA で生 成した谷割り込み信号 (TAPAnTIVLY0) を 基に、TAPAnATS[1:0] の設定にしたがって TAPAnTADOUT0、または TAPAnATS[3:2] の 設定にしたがって TAPAnTADOUT1 を出力 します。
動作停止	TAUD を動作停止します。	TAUD のカウント動作が停止します。



第21章 タイマパターンバッファ (TPBA)

本章では、タイマパターンバッファ (TPBA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特性について説明します。それ以降の節では、TPBA の機能、レジスタについて説明します。

21.1 RH850/C1x TPBA の特長

21.1.1 ユニット数

本製品は、以下に示すユニット数の TPBA を搭載しています。

TPBA 1 ユニット当たり 1 チャンネルのインタフェースを持っています。

表 21.1 ユニット数

製品名	RH850/C1H	RH850/C1M
ユニット数	2	1
名称	TPBAn (n = 0, 1)	TPBAn (n = 0)

表 21.2 添字

添字	意味
n	本章では、TPBA の各ユニットを「n」(n = 0, 1) で識別します。たとえば、TPBAn 制御レジスタは TPBAnCTL と記述します。
m	バッファの番号を「m」で識別します (m = 00 ~ 63)。

21.1.2 レジスタベースアドレス

TPBA のベースアドレスを以下の表に示します。

TPBA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TPBA0_base>	FFEA 0000 _H
<TPBA1_base>	FFEA 1000 _H ^{注1}

注 1. RH850/C1M では対応していません。

21.1.3 クロック供給

TPBA のクロック供給を以下の表に示します。

表 21.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TPBAn	PCLK	CLKC_HSB (非変調高速周辺クロック)

21.1.4 割り込み要求

TPBA の割り込み要求を以下の表に示します。

表 21.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
TPBA0				
INTTPBA0IPRD	周期一致検出割り込み	130	44	62
INTTPBA0IDTY	デューティ一致検出割り込み	131	45	63
INTTPBA0IPAT	パターン数一致検出割り込み	132	46	64
TPBA1				
INTTPBA1IPRD	周期一致検出割り込み	133	47	65
INTTPBA1IDTY	デューティ一致検出割り込み	134	48	66
INTTPBA1IPAT	パターン数一致検出割り込み	135	49	67

21.1.5 リセット要因

TPBA のリセット要因を以下に示します。

表 21.6 リセット要因

ユニット名	リセット要因
TPBA _n	すべてのリセット要因

21.1.6 外部入出力信号

TPBA の外部入出力信号を以下の表に示します。

表 21.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TPBA0		
TPBA0O	タイマ出力	TPBA0O
TPBA1		
TPBA1O	タイマ出力	TPBA1O

21.2 概要

21.2.1 機能概要

TPBAn は、デューティ設定用バッファを搭載した 16 ビット PWM タイマです。

- カウントクロック分解能：最小 12.5ns (カウントクロック 80MHz 時)
- 16 ビットカウンタ
- 16 ビットデューティレジスタ
- 16 ビット周期設定レジスタ
- 7 ビットアドレスカウンタ
- 7 ビットパターン数設定レジスタ
- 割り込み要求信号
 - 周期一致検出割り込み
 - デューティ一致検出割り込み
 - パターン数一致検出割り込み
- デューティパターン数
 - 16 ビット 64 パターンもしくは 8 ビット 128 パタン
- パターン数による自動デューティ生成
- ソフトウェアによる出力コントロール
- プリスケアラ設定値により 4 つのカウントクロックを選択可能 (PCLK、PCLK/2、PCLK/4、PCLK/8)
- 他のタイマとの同時スタート

21.2.2 ブロック図

以下のブロック図は TPBA の主要なコンポーネントを示しています。

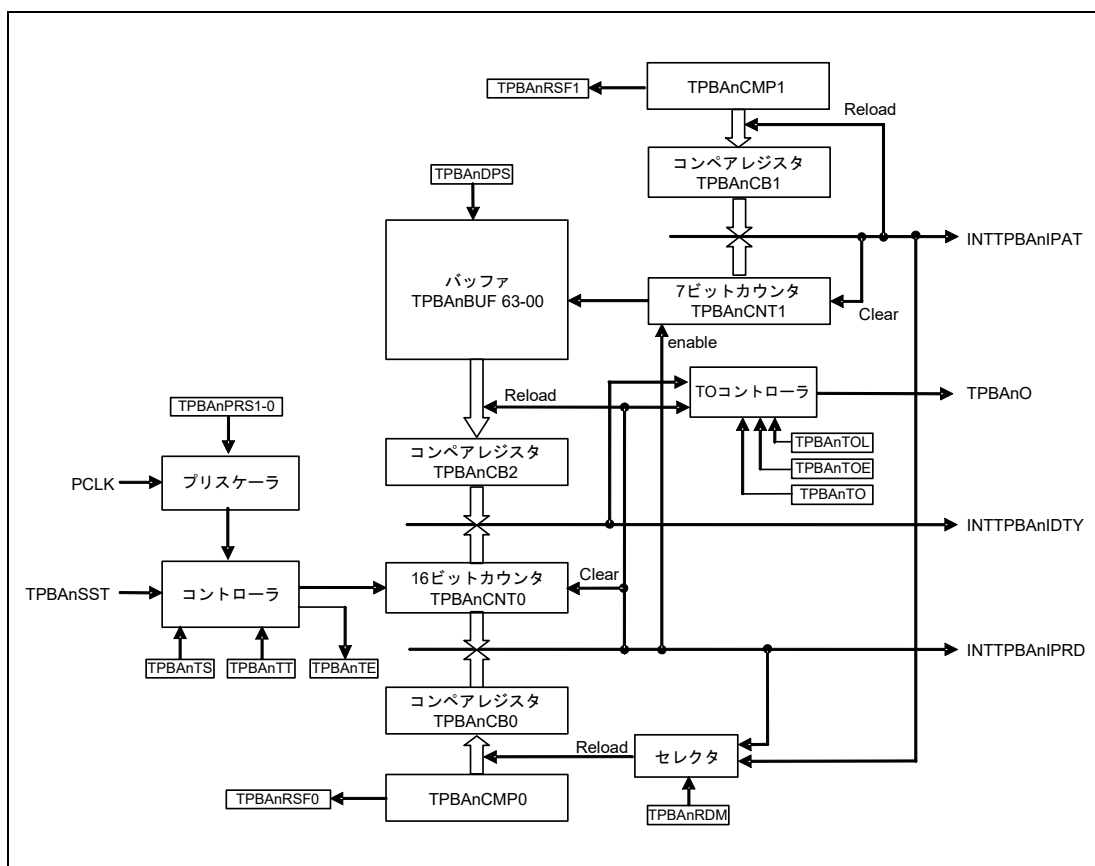


図 21.1 TPBA のブロック図

- TPBAnSST : 同時スタートトリガ (PIC1A から入力)

21.3 レジスタ

21.3.1 レジスタ一覧

TPBA のレジスタ一覧を以下の表に示します。

<TPBA_n_base> は「21.1.2 レジスタベースアドレス」を参照してください。

表 21.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TPBA _n	TPBA _n 制御レジスタ	TPBA _n CTL	<TPBA _n _base> + 200 _H
TPBA _n	TPBA _n リロードデータモードレジスタ	TPBA _n RDM	<TPBA _n _base> + 118 _H
TPBA _n	TPBA _n リロードステータスレジスタ	TPBA _n RSF	<TPBA _n _base> + 110 _H
TPBA _n	TPBA _n リロードデータトリガレジスタ	TPBA _n RDT	<TPBA _n _base> + 114 _H
TPBA _n	TPBA _n タイマ出力許可レジスタ	TPBA _n TOE	<TPBA _n _base> + 120 _H
TPBA _n	TPBA _n タイマ出力レジスタ	TPBA _n TO	<TPBA _n _base> + 11C _H
TPBA _n	TPBA _n タイマ出力レベルレジスタ	TPBA _n TOL	<TPBA _n _base> + 124 _H
TPBA _n	TPBA _n 周期設定レジスタ	TPBA _n CMP0	<TPBA _n _base> + 100 _H
TPBA _n	TPBA _n デューティ設定レジスタ	TPBA _n BUFm	<TPBA _n _base> + m × 4 _H
TPBA _n	TPBA _n パターン数設定レジスタ	TPBA _n CMP1	<TPBA _n _base> + 104 _H
TPBA _n	TPBA _n タイマカウンタレジスタ	TPBA _n CNT0	<TPBA _n _base> + 108 _H
TPBA _n	TPBA _n アドレスカウンタレジスタ	TPBA _n CNT1	<TPBA _n _base> + 10C _H
TPBA _n	TPBA _n イネーブルステータスレジスタ	TPBA _n TE	<TPBA _n _base> + 128 _H
TPBA _n	TPBA _n スタートトリガレジスタ	TPBA _n TS	<TPBA _n _base> + 12C _H
TPBA _n	TPBA _n ストップトリガレジスタ	TPBA _n TT	<TPBA _n _base> + 130 _H

21.3.2 TPBA_nCTL — TPBA_n 制御レジスタ

TPBA_n の動作を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBA_n_base> + 200_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	TPBA _n PRS[1:0]		—	—	—	TPBA _n DPS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R/W

表 21.9 TPBA_nCTL レジスタの内容

ビット位置	ビット名	機能															
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4、5	TPBA _n PRS [1:0]	カウントクロックを選択します。 <table border="1" data-bbox="663 900 1402 1088"> <thead> <tr> <th>TPBA_nPRS1</th> <th>TPBA_nPRS0</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PCLK を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>PCLK/2 を選択</td> </tr> <tr> <td>1</td> <td>0</td> <td>PCLK/4 を選択</td> </tr> <tr> <td>1</td> <td>1</td> <td>PCLK/8 を選択</td> </tr> </tbody> </table>	TPBA _n PRS1	TPBA _n PRS0	動作説明	0	0	PCLK を選択	0	1	PCLK/2 を選択	1	0	PCLK/4 を選択	1	1	PCLK/8 を選択
TPBA _n PRS1	TPBA _n PRS0	動作説明															
0	0	PCLK を選択															
0	1	PCLK/2 を選択															
1	0	PCLK/4 を選択															
1	1	PCLK/8 を選択															
3～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
0	TPBA _n DPS	デューティ設定パターンを選択します。 0 : 16bit × 64 パタン 1 : 8bit × 128 パタン															

注 意

このレジスタの設定は、タイマ停止中 (TPBA_nTE = 0) に設定してください。誤って書き換えた場合は、タイマを停止してから再設定してください。

21.3.3 TPBAnRDM — TPBAn リロードデータモードレジスタ

TPBAn の周期設定レジスタとタイマ出力レベルレジスタのリロードタイミングを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 118_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnRDM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.10 TPBAnRDM レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnRDM0	周期設定レジスタ (TPBAnCMP0) とタイマ出力レベルレジスタ (TPBAnTOL) のリロードタイミングを制御します。 0 : パタン数一致検出割り込み (INTTPBAnIPAT) に同期してリロード 1 : 周期一致検出割り込み (INTTPBAnIPRD) に同期してリロード

注 意

このレジスタは動作中の書き換えが可能です。書き換えた値は随時書き込まれます。したがって、動作中の書き換えは、リロード要求フラグ (TPBAnRSF = 0) のときに行ってください。

21.3.4 TPBAnRSF — TPBAn リロードステータスレジスタ

各レジスタのリロード要求を示すレジスタです。

アクセス 8ビット単位でリード可能です。

アドレス <TPBAn_base> + 110_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TPBAnRSF1	TPBAnRSF0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.11 TPBAnRSF レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	TPBAnRSF1	TPBAnCMP1 レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT1 ビットに“1”がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。
0	TPBAnRSF0	TPBAnCMP0 レジスタおよび TPBAnTOL レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT0 ビットに“1”がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。

21.3.5 TPBAnRDT — TPBAn リロードデータトリガレジスタ

各レジスタのリロードを許可します。

アクセス 8ビット単位でライト可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 114_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TPBAnRDT1	TPBAnRDT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 21.12 TPBAnRDT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	TPBAnRDT1	TPBAnCMP1 レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します (TPBAnRSF1 を“1”にセット) 次のリロードタイミングで一斉に更新されます (リロード)
0	TPBAnRDT0	TPBAnCMP0 レジスタおよび TPBAnTOL レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します (TPBAnRSF0 を“1”にセット) 次のリロードタイミングで一斉に更新されます (リロード)

21.3.6 TPBAnTOE — TPBAn タイマ出力許可レジスタ

タイマ出力の許可/禁止を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 120_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTOE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.13 TPBAnTOE レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTOE0	タイマ出力 (TPBAnO) の出力許可/禁止を選択します。 0: カウント動作によるタイマ出力の停止 1: カウント動作によるタイマ出力の許可 • 出力停止時にはTPBAnTOレジスタに設定したレベルがTPBAnO端子から出力され、ソフトウェアによる操作が可能です。 • 出力許可時にはTPBAnTOレジスタはタイマの動作によりセット/クリアされ、PWM出力します。書き込みは禁止です (書き込みを無視します)。

21.3.7 TPBAnTO — TPBAn タイマ出力レジスタ

タイマの出力レベルを制御、またはリードできます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 11C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTO0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.14 TPBAnTO レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTO0	TPBAnO 端子の出力レベルを設定、または出力レベルを表します。 <ul style="list-style-type: none"> タイマ出力停止中 (TPBAnTOE.TPBAnTOE0 = 0) <ul style="list-style-type: none"> 0: ロウレベルを出力 1: ハイレベルを出力 タイマ出力停止中は、本レジスタを書き換えることで出力レベルを制御しません。 タイマ出力許可中 (TPBAnTOE.TPBAnTOE0 = 1) <ul style="list-style-type: none"> 0: タイマ出力によりロウレベルを出力中 1: タイマ出力によりハイレベルを出力中 タイマ出力許可中は、本レジスタの書き換えは無視されます。

21.3.8 TPBAnTOL — TPBAn タイマ出力レベルレジスタ

タイマ出力レベルを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 124_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTOL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.15 TPBAnTOL レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTOL0	<p>タイマ出力のアクティブレベルを設定します。</p> <p>0: アクティブレベルはハイレベル 1: アクティブレベルはロウレベル</p> <ul style="list-style-type: none"> このビットの設定はタイマ出力許可中 (TPBAnTOE.TPBAnTOE0 = 1) のとき有効となります。 このビットの設定は、タイマ出力開始時から反映され、出力レベルの変更は、変更後の次のリロードタイミングから出力レベルが反映されます。

注 意

このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。

リロードの詳細については「[21.4.2 コンペアレジスタの書き換え操作](#)」を参照してください。

21.3.9 TPBAnCMP0 — TPBAn 周期設定レジスタ

PWM 周期設定用の 16 ビットコンペアレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 100_H

リセット後の値 0000_H

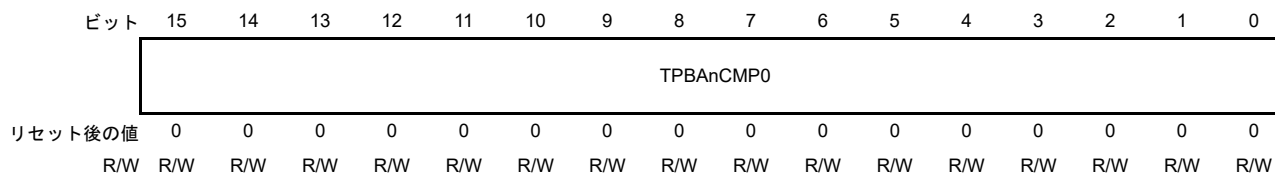


表 21.16 TPBAnCMP0 レジスタの設定

動作モード	PWM 周期	最小値 (周期)	最大値 (周期)
8 ビット設定	TPBAnCMP0 + 1	1	100 _H
16 ビット設定	TPBAnCMP0 + 1	1	10000 _H

注 意

- PWM 周期は、(TPBAnCMP0 + 1) カウントクロック周期となります。
したがって、100%の PWM 出力を行う場合、設定可能な最大値は FFFE_H (FE_H) となります。
- このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。
リロードの詳細については「21.4.2 コンペアレジスタの書き換え操作」を参照してください。

21.3.10 TPBAnBUFm — TPBAn デューティ設定レジスタ

デューティ設定用の 16 × 64 個のバッファレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 000_H~0FC_H

リセット後の値 0000_H

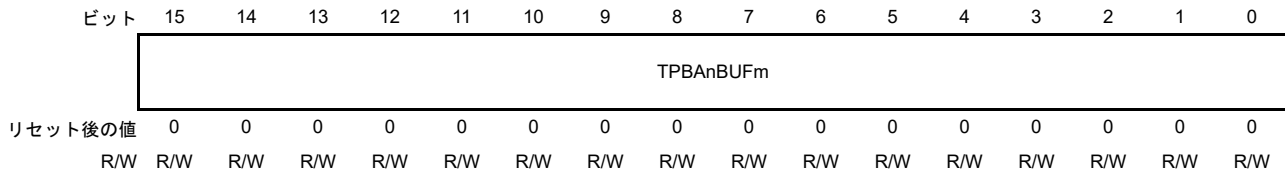


表 21.17 TPBAnBUFm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TPBAnBUFm 15 ~ 0	デューティ値を設定します。 このレジスタは TPBAnDPS ビットにより 16bit × 64 パタン (TPBAnDPS = 0) と 8bit × 128 パタン (TPBAnDPS = 1) を切り替えて使用することが可能です。いずれのパタンにおいても、CPU からのアクセスは 16 ビット単位で行います。詳細については「21.4.3 デューティの書き換え操作」を参照ください。

注 意

このレジスタへ設定された値は、周期一致検出割り込み (INTTPBAnIPRD) に同期してデューティ設定バッファレジスタ (TPBAnCB2) へ転送されます。

タイマ動作中の書き換えは、随時反映されます。

詳細については「21.4.3 デューティの書き換え操作」を参照ください。

- 8bit × 128 パタンのデューティ設定レジスタを使用する場合、デューティ値の設定範囲は 00_H ~ FF_H となります。
デューティ 100% の波形を出力する関係式は $TPBAnBUFm = TPBAnCMP0 + 1 \leq 00FF_H$ となります。そのため、デューティ 100% の PWM 出力が必要な場合、TPBAnCMP0 の最大値は 00FE_H となります。
TPBAnBUFm > TPBAnCMP0+1 の場合は、Duty 値が 100%を超えますが集約して 100%出力となります。
- 16bit × 64 パタンのデューティ設定レジスタを使用する場合、デューティ値の設定範囲は 0000_H ~ FFFF_H となります。
デューティ 100% の波形を出力する関係式は $TPBAnBUFm = TPBAnCMP0+1 \leq FFFF_H$ となります。そのため、デューティ 100% の PWM 出力が必要な場合、TPBAnCMP0 の最大値は FFFE_H となります。
TPBAnBUFm > TPBAnCMP0+1 の場合は、Duty 値が 100%を超えますが集約して 100%出力となります。

21.3.11 TPBAnCMP1 — TPBAn パターン数設定レジスタ

PWM 出力のパターン数を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 104_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0	
	—							TPBAnCMP1	
リセット後の値	0	0	0	0	0	0	0	0	
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 21.18 TPBAnCMP1 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	TPBAnCMP1 [6:0]	パターン数を設定します。設定範囲は以下の通りです。 TPBAnDPS = 0 : 0 ~ 63 TPBAnDPS = 1 : 0 ~ 127

注 意

- このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。リロードの詳細については「**21.4.2 コンペアレジスタの書き換え操作**」を参照してください。
- デューティ設定パターンが 16bit × 64 パタン (TPBAnDPS = 0) のとき、パターン数に 64 以上が設定された場合、アドレスポインタは “63” → “00” となり、再度 “00” からデューティ値の転送動作が行われます。設定されたパターン数と TPBAnCNT1 の下位値 7 ビットの一致により、パターン数一致検出割込み信号 (INTTPBAnIPAT) を出力します。

21.3.12 TPBAnCNT0 — TPBAn タイマカウンタレジスタ

PWM 出力を生成する TPBAnCNT0 です。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 108_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPBAnCNT0															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16 ビットカウンタ

このレジスタは、16 ビットカウンタの値をリードできるカウンタレジスタです。

21.3.13 TPBAnCNT1 — TPBAn アドレスカウンタレジスタ

デューティ設定レジスタのアドレスポインタを示すカウンタレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 10C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TPBAnCNT1							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

7 ビットカウンタ

このレジスタは、TPBAnBUFm レジスタのアドレスを示すカウンタレジスタです。

21.3.14 TPBAnTE — TPBAn イネーブルステータスレジスタ

タイマカウンタの動作/停止状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 128_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.19 TPBAnTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	TPBAnTE0	タイマカウンタの動作/停止状態を示すフラグです。 0: タイマカウンタ停止状態 1: タイマカウンタ動作状態 <ul style="list-style-type: none"> TPBAnTS ビットの“1”ライトもしくは同時スタートトリガ入力により TPBAnTE0 ビットが“1”にセットされます。 TPBAnTT ビットの“1”ライトにより TPBAnTE0 ビットが“0”にクリアされます。

21.3.15 TPBAnTS — TPBAn スタートトリガレジスタ

タイマカウンタのスタートトリガを制御します。

アクセス 8ビット単位でライトのみ可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 12C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.20 TPBAnTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TPBAnTS0	タイマカウンタを動作状態とするトリガビットです。 0: 書き込みは無視されます 1: カウント開始 (TPBAnTE = 1)

注 意

カウント動作中 (TPBAnTE = 1) の、このレジスタへの書き込みは無視されます。

21.3.16 TPBAnTT — TPBAn ストップトリガレジスタ

タイマカウンタのストップトリガを制御します。

アクセス 8ビット単位でライトのみ可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 130_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.21 TPBAnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TPBAnTT0	タイマカウンタを停止状態とするトリガビットです。 0: 書き込みは無視されます 1: カウント停止 (TPBAnTE = 0)

21.4 機能

21.4.1 基本動作

21.4.1.1 16 ビットカウンタ (TPBAnCNT0) の基本動作

カウント開始動作

16 ビットカウンタ (TPBAnCNT0) は、リセット後の値 $FFFF_H$ からカウントを開始します。

クリア動作

カウンタ値と TPBAnCMP0 のバッファレジスタ (TPBAnCB0) の設定値の一致により 16 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TPBAnCNT0 レジスタにより、カウント動作中の 16 ビットカウンタの値をリードできます。

21.4.1.2 7 ビットカウンタ (TPBAnCNT1) の基本動作

カウント開始動作

7 ビットカウンタ (TPBAnCNT1) は、 00_H に初期化されカウントを開始します。以降周期一致検出割り込み (INTTPBAnIPRD) と同期してカウントアップします。

クリア動作

カウンタ値と TPBAnCMP1 のバッファレジスタ (TPBAnCB1) の設定値の一致により 7 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TPBAnCNT1 レジスタにより、カウント動作中の 7 ビットカウンタの値をリードできます。リード値は次に転送するデューティ値が格納されている TPBAnBUFm レジスタを示します。

21.4.2 コンペアレジスタの書き換え操作

次のレジスタの書き換えは、リロードで行います。

- TPBAnCMP0
- TPBAnCMP1
- TPBAnTOL

リロードモード (一斉書き換え機能)

TPBAnRDT レジスタへライトすると、ビットごとに割り当てられた対象レジスタのリロードが許可され (リロード要求フラグ TPBAnRSF.TPBAnRSFk をセット)、次のリロードタイミングでリロード対象レジスタが一斉に更新されます (リロード)。TPBAnCMP0 レジスタと TPBAnTOL レジスタのリロードタイミングは、TPBAnRDM レジスタで設定します。

TPBAnCMP1 レジスタのリロードタイミングは7ビットカウンタ (TPBAnCNT1) と、TPBAnCMP1 のバッファレジスタ (TPBAnCB1) の一致タイミング (INTTPBAnIPAT) になります。リロード対象レジスタは、リロード要求フラグ TPBAnRSF.TPBAnRSFk = 0 のときに書き換えてください。

備考 : k = 0、1

リロードモード対象レジスタの設定フロー

書き換えたリロード対象レジスタ (TPBAnCMP0-TPBAnCMP1, TPBAnTOL) の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

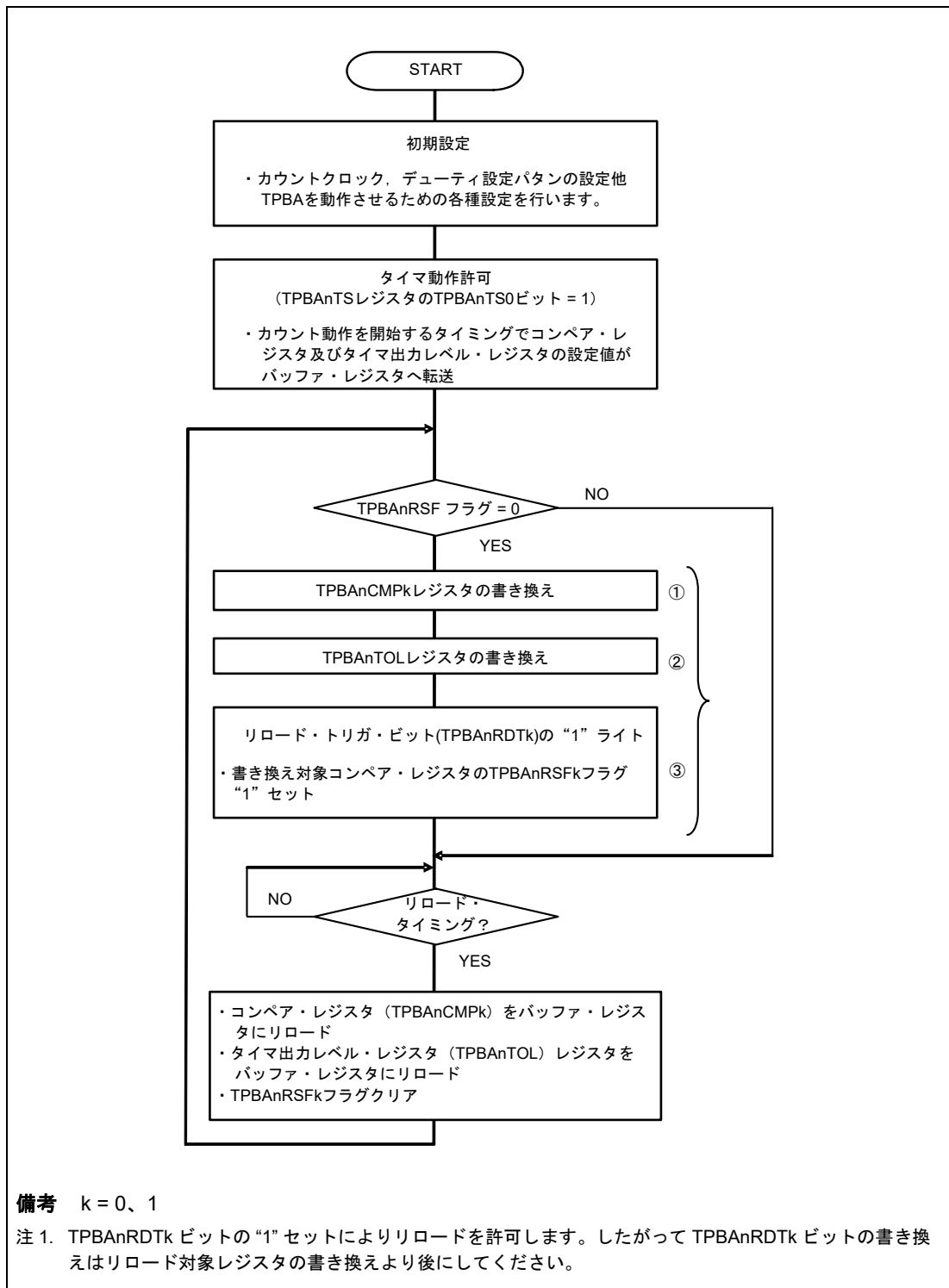


図 21.2 リロード (一斉書き換え機能) の基本動作フロー

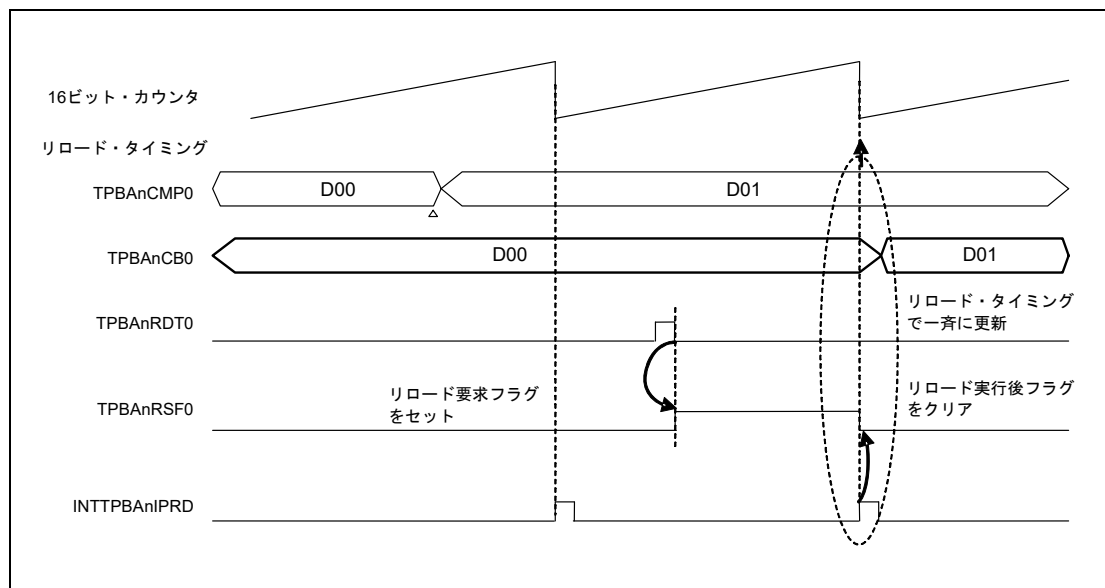


図 21.3 一斉書き換えのタイミング (TPBAnDPS = 0, TPBAnRDM = 0, TPBAnTOL = 0)

21.4.3 デューティの書き換え操作

TPBAnBUFm レジスタは、動作中の書き換えが可能です。

書き換えた設定は随時書き込みとなります。

21.4.3.1 TPBAnBUFm レジスタの設定フロー

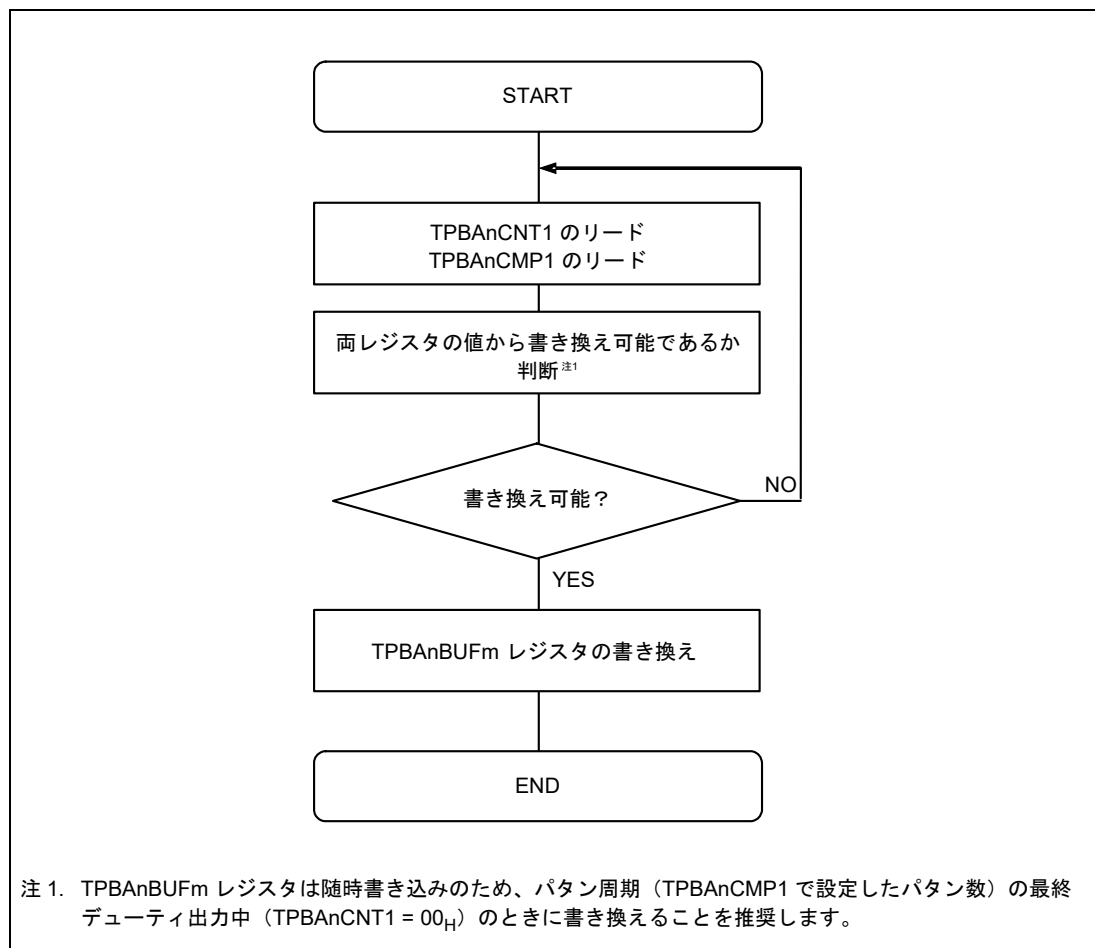


図 21.4 TPBAnBUFm レジスタの基本書き換えフロー

21.4.3.2 TPBAnBUFm レジスタのアクセス

TPBAnBUFm レジスタは、16 ビットアクセスです。

16 ビット×64 パタン、8 ビット×128 パタンの場合のアクセスは、次の通りになります。

- 16 ビット×64 パタン選択時 (TPBAnDPS = 0)
CPU からのアクセスは 16 ビット×1 パタン単位になります

15	0	
パタン 64		00FCh
パタン 63		00F8h
⋮		⋮
⋮		⋮
パタン 3		0008h
パタン 2		0004h
パタン 1		0000h

- 8 ビット×128 パタン選択時 (TPBAnDPS = 1)
CPU からのアクセスは 8 ビット×2 パタン単位になります

15	8 7	0	
パタン 128	パタン 127		00FCh
パタン 126	パタン 125		00F8h
⋮	⋮		⋮
⋮	⋮		⋮
パタン 6	パタン 5		0008h
パタン 4	パタン 3		0004h
パタン 2	パタン 1		0000h

21.4.3.3 TPBAnCNT1 レジスタのリード値と TPBAnBUFm の関係

動作中に TPBAnCNT1 レジスタのカウント値をリードすることにより、現在出力されている PWM 波形のデューティ値を得ることができます。以下の方法により、現在出力中のデューティ値が格納されている TPBAnBUFm レジスタを求めてください。

TPBAnDPS ビット	計算式	
	TPBAnCNT1 = 00 _H 以外	TPBAnCNT1 = 00 _H
0 : 16 ビット × 64 パタン	TPBAnCNT1 - 01 _H ⁽¹⁾	
1 : 8 ビット × 128 パタン	TPBAnCNT1 が奇数	TPBAnCNT1 / 2 ⁽³⁾
	TPBAnCNT1 が偶数	(TPBAnCNT1 / 2) - 01 _H ⁽⁴⁾
		TPBAnCMP1 ⁽²⁾
		TPBAnCMP1 / 2 ⁽⁵⁾

- (1) TPBAnDPS = “0” で、TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” 以外のとき TPBAnCNT1 - 01_H の計算式により該当のレジスタを求めます。
例) TPBAnCNT1 = “08_H” のとき : 08_H - 01_H = 07_H -> TPBA0BUF07
- (2) TPBAnDPS = “0” で、TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” のとき TPBAnCMP1 の値により該当のレジスタを求めます。
例) TPBAnCMP1 = “08_H” のとき : TPBAnBUF08
- (3) TPBAnDPS = “1” で、TPBAnCNT1 のリード値が TPBAnCNT1 = 奇数のとき TPBAnCNT1 / 2 の計算式により該当のレジスタを求めます。
例) TPBAnCNT1 = “07_H” のとき : 07_H / 02_H = 03_H -> TPBAnBUF03 (下位 8bit)
- (4) TPBAnDPS = “1” で、TPBAnCNT1 のリード値が TPBAnCNT1 = 偶数のとき (TPBAnCNT1 / 2) - 01_H の計算式により該当のレジスタを求めます。
例) TPBAnCNT1 = “08_H” のとき : (08_H / 02_H) - 01_H = 03_H -> TPBAnBUF03 (上位 8bit)
- (5) TPBAnDPS = “1” で、TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” のとき TPBAnCMP1 / 2 の計算式により該当のレジスタを求めます。
例) TPBAnCMP1 = “08_H” のとき : 08_H / 2 = 04_H -> TPBAnBUF04 (下位 8bit)

21.4.4 基本動作例

概要

TPBAnCMP0 レジスタの PWM 周期、TPBAnBUF00-TPBAnBUF63 レジスタのデューティにより、PWM を TPBAnO 端子から出力します。

前提条件

- TPBAnDPS レジスタの設定により、16 ビット×64 パタンか 8 ビット×128 パタンを選択
- TPBAnBUF00-TPBAnBUF63 レジスタにデューティを設定
- TPBAnCMP1 レジスタにパタン数を設定

機能説明

PWM 周期、パタン数、デューティ、出力を設定。TPBAnTS.TPBAnTS0 = 1 (または同時スタートトリガを入力) にすると、カウントアップを開始します。

カウントアップ開始と同時に、TPBAnO 端子はアクティブレベルとなり、TPBAnCNT1 レジスタはカウントアップし次のデューティ値が格納されているバッファのアドレスを示します。

16 ビットカウンタと TPBAnBUFm バッファレジスタ (TPBAnCB2) の一致によりインアクティブレベルとなります。

次に 16 ビットカウンタと TPBAnCMP0 バッファレジスタ (TPBAnCB0) の一致により TPBAnBUFm レジスタからバッファレジスタ (TPBAnCB2) に転送され TPBAnCNT1 がカウントアップし、周期一致検出割り込み (INTTPBAnIPRD) が発生します。TPBAnO 端子は 1 カウントクロック後にアクティブレベルとなります。

カウント動作中、16 ビットカウンタと TPBAnBUFm のバッファレジスタ (TPBAnCB2) の一致でデューティ一致検出割り込み (INTTPBAnIDTY) が発生します。

7 ビットカウンタと TPBAnCMP1 バッファレジスタ (TPBAnCB1) の一致でパタン一致検出割り込み (INTTPBAnIPAT) が発生します。

21.4.4.1 動作一覧

表 21.22 16 ビットカウンタ機能

動作		設定条件
16 ビットカウンタ	スタート	TPBAnTS = 1 ライト、または同時スタートトリガ
	クリア	TPBAnCMP0 バッファレジスタと 16 ビットカウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 21.23 7 ビットカウンタ機能

動作		設定条件
7 ビットカウンタ	スタート	TPBAnTS = 1 ライト、または同時スタートトリガ
	クリア	TPBAnCMP1 バッファレジスタと 7 ビットカウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 21.24 コンペアレジスタの機能とバッファレジスタ

(データ) レジスタ	バッファレジスタ	書き換え方法	動作中の書き換え	機能
TPBAnCMP0	TPBAnCB0	リロード	可能	周期
TPBAnCMP1	TPBAnCB1	リロード	可能	パターン数
TPBAnBUFm	TPBAnCB2	随時書き換え	可能	デューティ
TPBAnTOL	TPBAnTOLB	リロード	可能	出力レベル

バッファレジスタについて

周期、パターン数、デューティ、タイマ出力レベルを設定するレジスタは、ユーザーが直接設定可能なデータレジスタと直接設定が不可能なバッファレジスタから構成されています。

表 21.25 タイマ出力機能

端子	機能
TPBAnO	<ul style="list-style-type: none"> 出力許可時 (TPBAnTOE = 01_H) TPBAnBUFm バッファレジスタ (TPBAnCB2) と 16 ビットカウンタのコンペア一致による PWM 出力 出力停止時 (TPBAnTOE = 00_H) TPBAnTO レジスタの設定値

表 21.26 割り込み要求

割り込み	機能
INTTPBAnIPRD	周期一致検出割り込み
INTTPBAnIDTY	デューティ一致検出割り込み
INTTPBAnIPAT	パターン数一致検出割り込み

表 21.27 コンペア一致タイミング

コンペア一致	タイミング
TPBAnCMP0	16 ビットカウンタが TPBAnCMP0 と一致 → 0000 _H へ切り替わる時
TPBAnCMP1	7 ビットカウンタが TPBAnCMP1 と一致 → 01 _H へ切り替わる時
TPBAnBUFm	16 ビットカウンタとバッファレジスタ (TPBAnCB2) の一致したとき

表 21.28 タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TPBAnO	PWM 出力	$(\text{TPBAnCMP0} + 1) \times$ カウントクロック	1 周期の期間内すべてインアクティブレベル出力 (デューティ 0%)	$\text{TPBAnBUFm} = 0000_{\text{H}}$
			1 周期で 1 カウントクロックのアクティブレベル出力	$\text{TPBAnBUFm} = 0001_{\text{H}}$
			1 周期で 1 カウントクロックのインアクティブレベル出力	$\text{TPBAnBUFm} = \text{TPBAnCMP0}$
			1 周期の期間内すべてアクティブレベル出力 (デューティ 100%)	$\text{TPBAnBUFm} \geq \text{TPBAnCMP0} + 1$

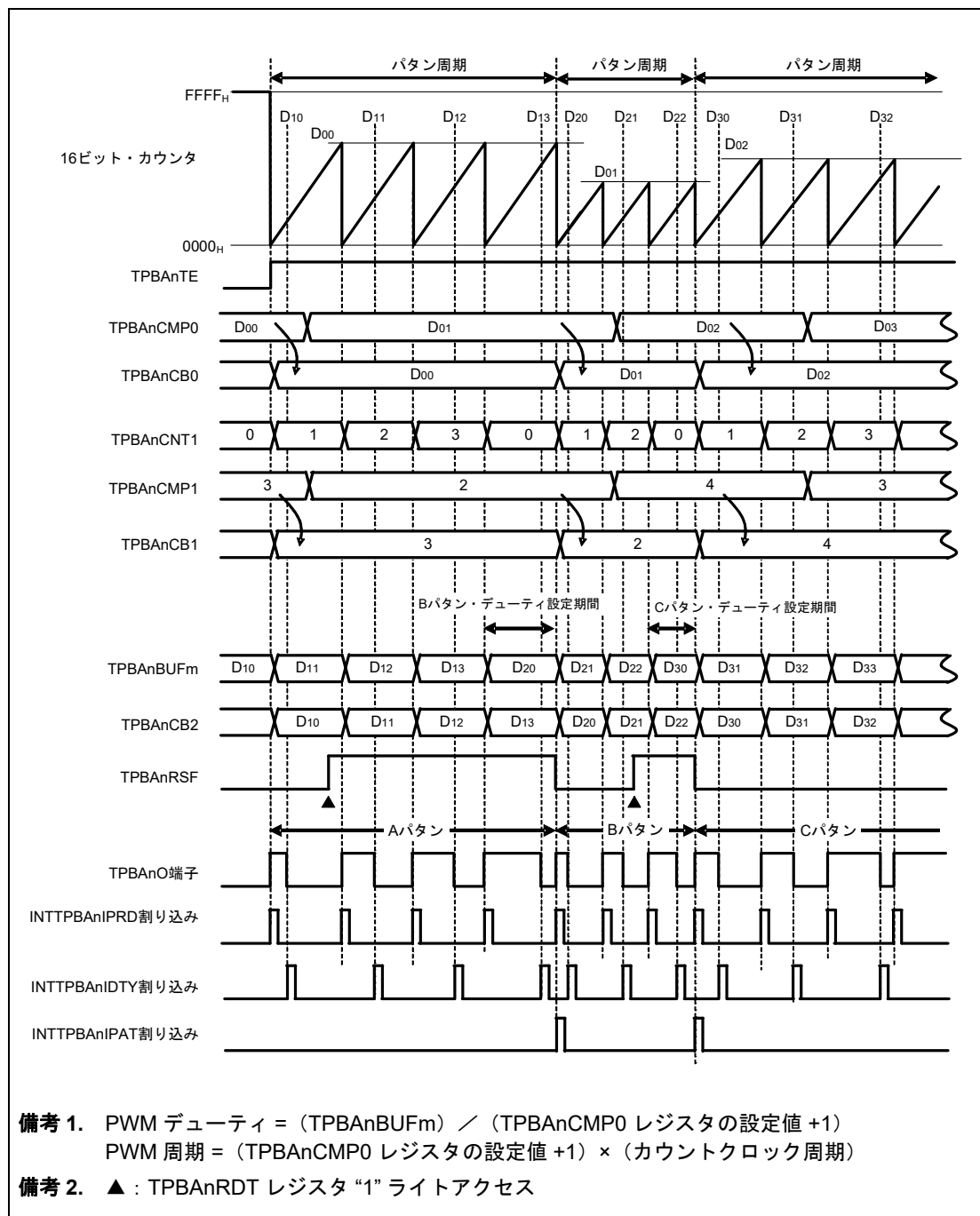


図 21.5 基本動作タイミング例 (1/2)

注意

TPBAnO は INTTPBAnIPRD 出力の 1 カウントクロック後にアクティブレベルが出力され、INTTPBAnIDTY 出カタイミグでインアクティブレベルが出力されます。

TPBAnCMP0, TPBAnTOL レジスタのリロードタイミングをパタン数一致検出割り込みとした場合 (TPBAnIRDM.TPBAnRDM0 = 0, TPBAnTOL = 0)

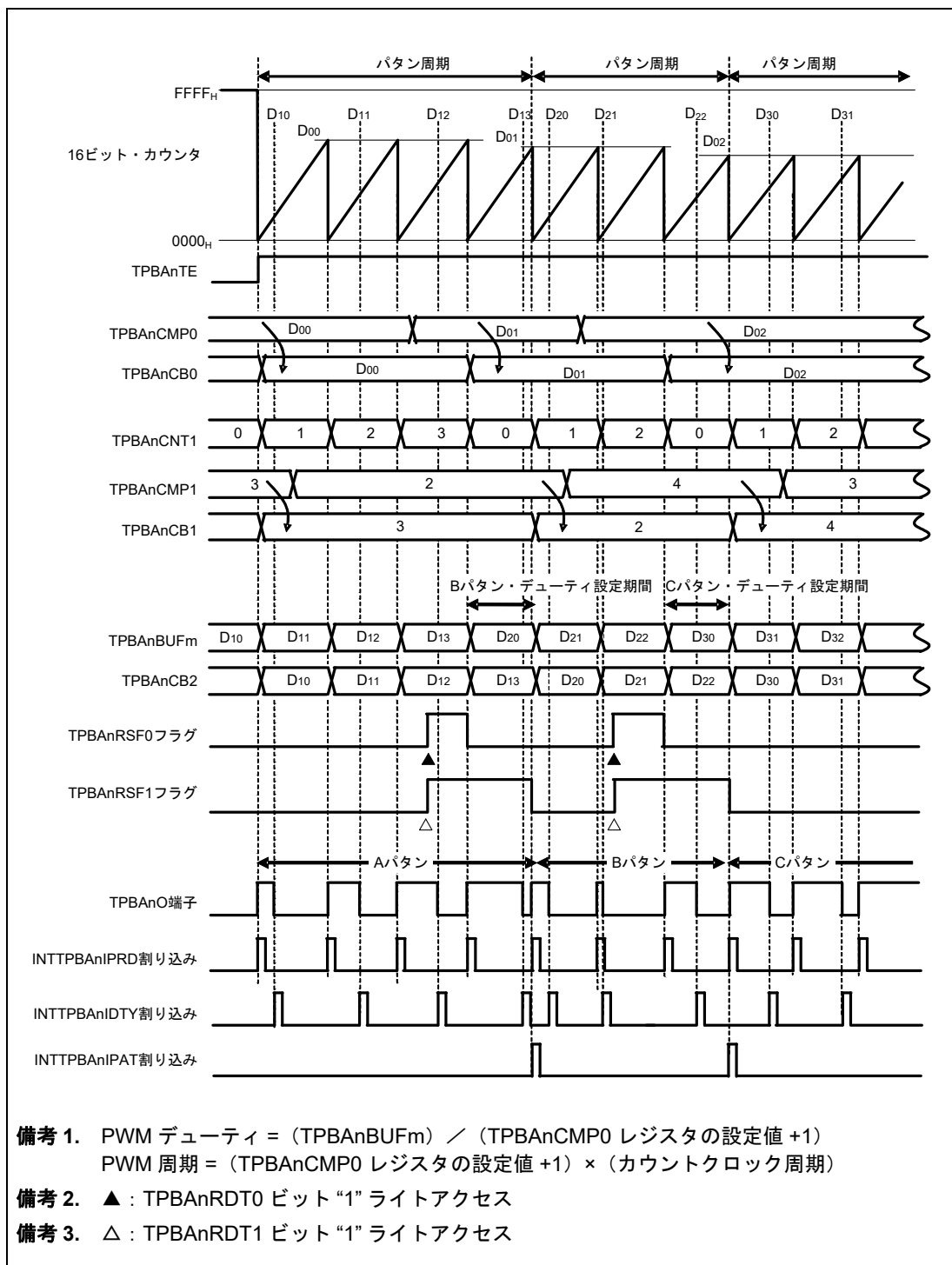


図 21.5 基本動作タイミング例 (2/2)

注意

TPBAAnO は INTTPBAAnIPRD 出力の 1 カウントクロック後にアクティブレベルが出力され、INTTPBAAnIDTY 出力タイミングでインアクティブレベルが出力されます。

TPBAAnCMP0, TPBAAnTOL レジスタのリロードタイミングを周期一致検出割り込みとした場合 (TPBAAnIRDM.TPBAAnRDM0 = 1, TPBAAnTOL = 0)

第22章 エンコーダタイマ (ENCA)

本章では、エンコーダタイマ (ENCA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。

それ以降の節では、ENCA の機能、レジスタについて説明します。

22.1 RH850/C1x ENCA の特長

22.1.1 ユニット数

本製品は以下のユニット数の ENCA を搭載しています。

表 22.1 ユニット数

製品	RH850/C1x
ユニット数	2
名称	ENCA _n (n = 0, 1)

表 22.2 添字

添字	意味
n	本章では、ENCA の各ユニットを「n」(n = 0, 1) で識別します。たとえば、ENCA _n 制御レジスタは ENCA _n CTL と記述します。

22.1.2 レジスタベースアドレス

ENCA のベースアドレスを以下の表に示します。

ENCA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 22.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ENCA0_base>	FFE8 0000 _H
<ENCA1_base>	FFE8 1000 _H

22.1.3 クロック供給

ENCA のクロック供給を以下の表に示します。

表 22.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ENCA _n	PCLK	CLKC_HSB (非変調高速周辺クロック)

22.1.4 割り込みと DMA/DTS

ENCA の割り込み要求を以下の表に示します。

表 22.5 割り込み要求

割り込み名	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
ENCA0				
INTENCA0IOV	オーバフロー割り込み	118	0	54
INTENCA0IUD	アンダフロー割り込み	120	2	56
INTENCA0I0	コンペアー一致 0 またはキャプチャ 0 割り込み	116	50	48
INTENCA0I1	コンペアー一致 1 またはキャプチャ 1 割り込み	119	1	55
INTENCA0IEC	エンコーダクリア入力によるクリア割り込み	121	3	57
ENCA1				
INTENCA1IOV	オーバフロー割り込み	122	4	58
INTENCA1IUD	アンダフロー割り込み	124	6	60
INTENCA1I0	コンペアー一致 0 またはキャプチャ 0 割り込み	117	51	49
INTENCA1I1	コンペアー一致 1 またはキャプチャ 1 割り込み	123	5	59
INTENCA1IEC	エンコーダクリア入力によるクリア割り込み	125	7	61

22.1.5 リセット要因

ENCA のリセット要因を以下に示します。ENCA は以下のリセット要因で初期化されます。

表 22.6 リセット要因

ユニット名	リセット要因
ENCA _n	すべてのリセット要因でリセット

22.1.6 外部入出力信号

ENCA の外部入出力信号を以下の表に示します。

表 22.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
ENCA0		
ENCA0I0	ENCA0 キャプチャトリガ入力 0	ENCA0TIN0
ENCA0I1	ENCA0 キャプチャトリガ入力 1 ^{注1}	ENCA0TIN1
ENCA0E0	ENCA0 エンコーダ入力 0 ^{注1}	ENCA0E0
ENCA0E1	ENCA0 エンコーダ入力 1 ^{注1}	ENCA0E1
ENCA0EC	ENCA0 エンコーダクリア入力 ^{注1}	ENCA0EC
ENCA1		
ENCA1I0	ENCA1 キャプチャトリガ入力 0	ENCA1TIN0
ENCA1I1	ENCA1 キャプチャトリガ入力 1 ^{注1}	ENCA1TIN1
ENCA1E0	ENCA1 エンコーダ入力 0 ^{注1}	ENCA1E0
ENCA1E1	ENCA1 エンコーダ入力 1 ^{注1}	ENCA1E1
ENCA1EC	ENCA1 エンコーダクリア入力 ^{注1}	ENCA1EC

注 1. PIC を経由し入力されます。

22.2 概要

22.2.1 機能概要

- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウント動作を実行
- 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
- カウンタ値とのコンペア一致判定を行うコンペア機能
- キャプチャとコンペア用に別々に設定できる 2 つのキャプチャ/コンペアレジスタ
- コンペア動作中にコンペア一致と判定された結果、生成される割り込み要求信号出力をマスクするための割り込みマスク機能
- アンダフローが発生したときにキャプチャ/コンペアレジスタの値をカウンタにロードする機能
- タイマカウンタのクリア条件にエンコーダ入力信号を利用可能
- タイマカウンタクリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
- カウンタのオーバフローとアンダフローの検出機能およびエラーフラグとエラー発生割り込みの出力機能
- 5 つの割り込み：キャプチャ/コンペア割り込み (2)、カウンタクリア割り込み (1)、オーバフロー割り込み (1)、アンダフロー割り込み (1)

22.2.2 ブロック図

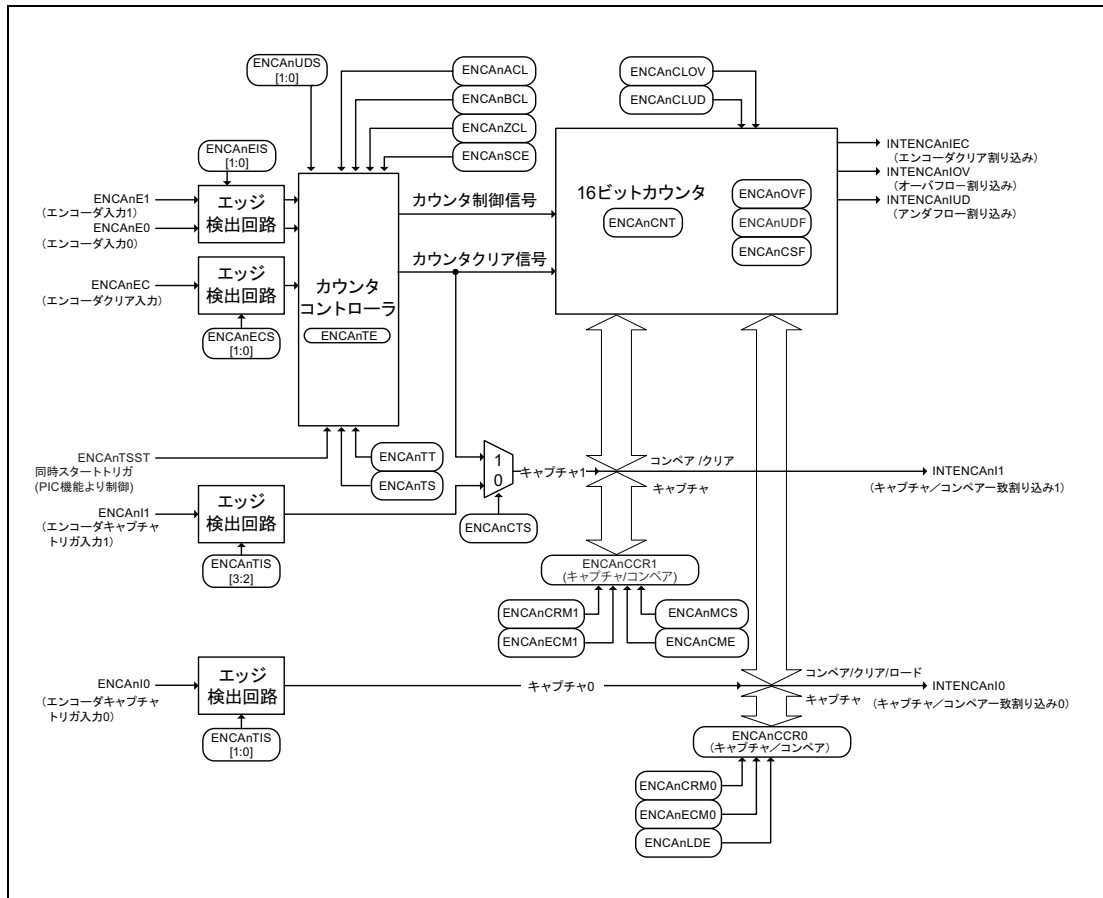


図 22.1 ENCA のブロック図

22.3 レジスタ

22.3.1 レジスタ一覧

ENCA のレジスタ一覧を以下の表に示します。

<ENCA_n_base> は「**22.1.2 レジスタベースアドレス**」を参照してください。

表 22.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ENCA _n	ENCA _n キャプチャ/コンペアレジスタ 0	ENCA _n CCR0	<ENCA _n _base>
ENCA _n	ENCA _n キャプチャ/コンペアレジスタ 1	ENCA _n CCR1	<ENCA _n _base> + 04 _H
ENCA _n	ENCA _n カウンタレジスタ	ENCA _n CNT	<ENCA _n _base> + 08 _H
ENCA _n	ENCA _n ステータスフラグレジスタ	ENCA _n FLG	<ENCA _n _base> + 0C _H
ENCA _n	ENCA _n ステータスフラグクリアレジスタ	ENCA _n FGC	<ENCA _n _base> + 10 _H
ENCA _n	ENCA _n タイマイネーブルステータスレジスタ	ENCA _n TE	<ENCA _n _base> + 14 _H
ENCA _n	ENCA _n タイマスタートトリガレジスタ	ENCA _n TS	<ENCA _n _base> + 18 _H
ENCA _n	ENCA _n タイマストップトリガレジスタ	ENCA _n TT	<ENCA _n _base> + 1C _H
ENCA _n	ENCA _n I/O 制御レジスタ 0	ENCA _n IOC0	<ENCA _n _base> + 20 _H
ENCA _n	ENCA _n 制御レジスタ	ENCA _n CTL	<ENCA _n _base> + 40 _H
ENCA _n	ENCA _n I/O 制御レジスタ 1	ENCA _n IOC1	<ENCA _n _base> + 44 _H

22.3.2 ENCA_nCTL — ENCA_n 制御レジスタ

本レジスタは、ENCA_n のさまざまな動作の設定に使用されます。

アクセス 16ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CME	ENCA _n MCS	—	—	—	—	ENCA _n CRM1	ENCA _n CRM0	ENCA _n CTS	—	—	ENCA _n LDE	ENCA _n ECM1	ENCA _n ECM0	ENCA _n UDS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 22.9 ENCA_nCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ENCA _n CME	エンコーダクリアマスクイネーブルビット このビットは、コンペア機能が使用されているときにコンペアー一致割り込み検出のマスクングを有効または無効にするために使用されます。 0: ENCA _n CCR1 レジスタのコンペアー一致割り込み (INTENCA _n I1) マスク機能を無効にします。 1: ENCA _n CCR1 レジスタのコンペアー一致割り込み (INTENCA _n I1) マスク機能を有効にします。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 このビットが「1」にセットされているときに ENCA _n ECM1 を「1」にセットすることは禁止されています。
14	ENCA _n MCS	エンコーダマスククリア選択ビット このビットは、コンペア機能が使用されているときにコンペアー一致割り込み検出のマスクングをキャンセルするためのトリガの選択に使用されます。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 0: ENCA _n CCR1 レジスタへの書き込みが行われると、コンペアー一致割り込み検出のマスクングをキャンセルします。 1: 以下の3つの動作のいずれかが実行されたときにコンペアー一致割り込み検出のマスクングをキャンセルします。 - エンコーダクリア入力によるタイマカウンタクリア動作 - ENCA _n ECM0 = 1 のときに ENCA _n CNT と ENCA _n CCR0 がコンペアー一致したときのタイマカウンタクリア動作 - ENCA _n LDE = 1 のときのアンダフローの検出による ENCA _n CCR0 からタイマカウンタへのロード
13 ~ 10	予約ビット	ライトする場合はリセット後の値を書き込んでください。
9	ENCA _n CRM1	ENCA _n CCR1 レジスタモードビット 0: ENCA _n CCR1 をコンペアレジスタとして使用します。 1: ENCA _n CCR1 をキャプチャレジスタとして使用します。
8	ENCA _n CRM0	ENCA _n CCR0 レジスタモードビット 0: ENCA _n CCR0 をコンペアレジスタとして使用します。 1: ENCA _n CCR0 をキャプチャレジスタとして使用します。
7	ENCA _n CTS	ENCA _n CCR1 キャプチャトリガ選択ビット ENCA _n CCR1 レジスタへのキャプチャ動作のトリガを選択するビットです。 このビットは ENCA _n CRM1 = 1 のときにのみ有効になります。 0: キャプチャトリガ 1 信号の ENCA _n I1 を ENCA _n CCR1 レジスタへのキャプチャトリガとして使用します。 1: ENCA _n SCE で選択されるカウンタクリア信号を、ENCA _n CCR1 レジスタへのキャプチャトリガとして使用します。
6、5	予約ビット	ライトする場合はリセット後の値を書き込んでください。

表 22.9 ENCA_nCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	ENCA _n LDE	<p>ENCA_n カウンタロードイネーブルビット このビットは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。 このビットは ENCA_nCRM0 = 0 のときにのみ有効になります。 ENCA_nCRM0 = 1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCA_nCCR0 レジスタの設定値のロードは行われません。 0 : カウンタのアンダフローが発生したときに ENCA_nCCR0 レジスタの設定値をカウンタにロードすることを禁止します。 1 : カウンタのアンダフローが発生したときに ENCA_nCCR0 レジスタの設定値をカウンタにロードすることを許可します。</p>
3	ENCA _n ECM1	<p>エンコーダクリアモードビット 1 このビットは、カウンタ値と ENCA_nCCR1 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCA_nCRM1 = 0 のときにのみ有効になります。 0 : タイマカウンタ値と ENCA_nCCR1 の設定値が一致したときにカウンタ 0000_H にクリアしません。 1 : 次のカウントがダウンカウントであれば、タイマカウンタ値と ENCA_nCCR1 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
2	ENCA _n ECM0	<p>エンコーダクリアモードビット 0 このビットは、カウンタ値と ENCA_nCCR0 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCA_nCRM0 = 0 のときにのみ有効になります。 0 : タイマカウンタ値と ENCA_nCCR0 の設定値が一致したときにカウンタを 0000_H にクリアしません。 1 : 次のカウントがアップカウントであれば、タイマカウンタ値と ENCA_nCCR0 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
1、0	ENCA _n UDS [1:0]	<p>アップダウンカウント選択ビット 1 と 0 ENCA_nE0 と ENCA_nE1 を使用するカウンタアップ/ダウン制御ビットです。 00 : ENCA_nE0 の有効エッジを検出したときに以下のカウントを実行します - ENCA_nE1 = H の場合はダウンカウント - ENCA_nE1 = L の場合はアップカウント 01 : ENCA_nE0 の有効エッジを検出したときにアップカウントを実行します。 ENCA_nE1 の有効エッジを検出したときにダウンカウントを実行します。 10 : ENCA_nE0 の立ち上がりエッジでダウンカウントを実行します。 ENCA_nE0 の立ち下がりエッジでアップカウントを実行します。ただし、カウントは ENCA_nE1 = L のときにのみ実行されます。 11 : ENCA_nE0 と ENCA_nE1 の両方のエッジを検出します。検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します。</p>

22.3.3 ENCA_nIOC0 — ENCA_n I/O 制御レジスタ 0

本レジスタは、キャプチャトリガ 0 と 1 (ENCA_nI0 と ENCA_nI1) の入力エッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ENCA_n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ENCA _n TIS[3:2]		ENCA _n TIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.10 ENCA_nIOC0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書き込んでください。
3, 2	ENCA _n TIS[3:2]	キャプチャトリガ 1 の入力エッジ選択ビットです。 これらのビットは ENCA _n CTL レジスタの ENCA _n CRM1 = 1 かつ ENCA _n CTS = 0 である場合にのみ有効になります。 ENCA _n CRM1 と ENCA _n CTS がそれ以外の値に設定されているときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。
1, 0	ENCA _n TIS[1:0]	キャプチャトリガ 0 の入力エッジ選択ビットです。 これらのビットは ENCA _n CTL. ENCA _n CRM0 = 1 の場合にのみ有効になります。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

22.3.4 ENCAAnIOC1 — ENCAAn I/O 制御レジスタ 1

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCAAn_base> + 44_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ENCAAnSCE	ENCAAnZCL	ENCAAnBCL	ENCAAnACL	ENCAAnECS [1:0]		ENCAAnEIS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.11 ENCAAnIOC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	ENCAAnSCE	エンコーダ特殊クリアイネーブルビット これはエンコーダ特殊クリアイネーブルビットです。 このビットを1にセットする場合は、ENCAAnUDS1とENCAAnUDS0を10 _B または11 _B に設定してください。ENCAAnUDS1とENCAAnUDS0が00 _B または01 _B に設定された状態でこのビットを1にセットした場合の動作は保証されません。 0: (ENCAAnECS1とENCAAnECS0で設定された) ENCAAnECの有効エッジを検出すると、カウンタをクリアします。 1: (ENCAAnZCLビット、ENCAAnBCLビット、ENCAAnACLビットで設定された) ENCAAnEC、ENCAAnE1、ENCAAnE0の入力レベル条件を検出すると、カウンタをクリアします。
6	ENCAAnZCL	入力Zクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダクリア入力 (ENCAAnEC) のクリア条件の設定に使用されます。 このビットはENCAAnSCE = 1のときにのみ有効であり、ENCAAnSCE = 0のときは無効です。 0: クリア条件: ローレベル 1: クリア条件: ハイレベル
5	ENCAAnBCL	入力Bクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力1 (ENCAAnE1) のクリア条件の設定に使用されます。 このビットはENCAAnSCE = 1のときにのみ有効であり、ENCAAnSCE = 0のときは無効です。 0: クリア条件: ローレベル 1: クリア条件: ハイレベル
4	ENCAAnACL	入力Aクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力0 (ENCAAnE0) のクリア条件の設定に使用されます。 このビットはENCAAnSCE = 1のときにのみ有効であり、ENCAAnSCE = 0のときは無効です。 0: クリア条件: ローレベル 1: クリア条件: ハイレベル
3、2	ENCAAnECS [1:0]	エンコーダクリア入力エッジ選択ビット1と0 これらはエンコーダクリア入力エッジ選択ビットです。 これらのビットはENCAAnSCE = 0のときにのみ有効であり、ENCAAnSCE = 1のときは無効です。 00: エッジを検出しません。 01: 立ち上がりエッジを検出します。 10: 立ち下がりエッジを検出します。 11: 両方のエッジを検出します。

表 22.11 ENCAAnIOC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1, 0	ENCAAnEIS [1:0]	エンコーダエッジ入力選択ビット 1 と 0 これらはエンコーダ入力エッジ選択ビットです。 これらのビットは、ENCAAnUDS1 と ENCAAnUDS0 が 00 _B または 01 _B のときのみ有効であり、ENCAAnUDS1 と ENCAAnUDS0 が 10 _B または 11 _B のときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

22.3.5 ENCA_nFLG — ENCA_n ステータスフラグレジスタ

本レジスタには ENCA_n のタイマカウンタのステータスフラグが格納されます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENCA _n CSF	ENCA _n UDF	ENCA _n OVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.12 ENCA_nFLG レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	ENCA _n CSF	カウンタステータスフラグ このビットには現在のタイマカウンタの動作が反映されます。 0: タイマカウンタがアップカウント状態にあります。 1: タイマカウンタがダウンカウント状態にあります。
1	ENCA _n UDF	アンダフローフラグ このビットには、タイマカウンタの動作中にアンダフローが発生したかどうか が反映されます。このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 – ENCA _n FGC レジスタの ENCA _n CLUD に「1」が書き込まれる – ENCA _n TE = 0 のときに ENCA _n TS ビットを「1」にセットすること、ま たは同時スタートトリガ入力 (ENCA _n TSST 信号) を“ハイ”にすること によってフラグが「0」にクリアされます 1: エンコーダタイマカウント動作中にアンダフローが発生すると、このフラ グが「1」にセットされます。
0	ENCA _n OVF	オーバフローフラグ このビットには、タイマカウンタの動作中にオーバフローが発生したかどうか が反映されます。 このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 – ENCA _n FGC レジスタの ENCA _n CLOV に「1」が書き込まれる – ENCA _n TE = 0 のときに ENCA _n TS ビットを「1」にセットすること、ま たは同時スタートトリガ入力 (ENCA _n TSST 信号) を“ハイ”にすること によってフラグが「0」にクリアされます。 1: エンコーダタイマカウント動作中にオーバフローが発生すると、このフラ グが「1」にセットされます。

22.3.6 ENCA_nFGC — ENCA_n ステータスフラグクリアレジスタ

本レジスタは ENCA_nFLG のタイマカウンタステータスフラグをクリアするために使用されます。

アクセス 8ビット単位でライトのみ可能です。
常に 00_H としてリードされます。

アドレス <ENCA_n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ENCA _n CLUD	ENCA _n CLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 22.13 ENCA_nFGC レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライトする場合はリセット後の値を書き込んでください。
1	ENCA _n CLUD	アンダフローフラグクリア このビットはアンダフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCA _n FLG レジスタの ENCA _n UDF をクリアします (アンダフロー検出のクリア)。
0	ENCA _n CLOV	オーバフローフラグクリア このビットはオーバフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCA _n FLG レジスタの ENCA _n OVF をクリアします (オーバフロー検出のクリア)。

22.3.7 ENCA_nCCR0 — ENCA_n キャプチャ/コンペアレジスタ 0

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 0 です。

アクセス 16 ビット単位でリード/ライト可能です。
 キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
 コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 00_H

リセット後の値 0000_H

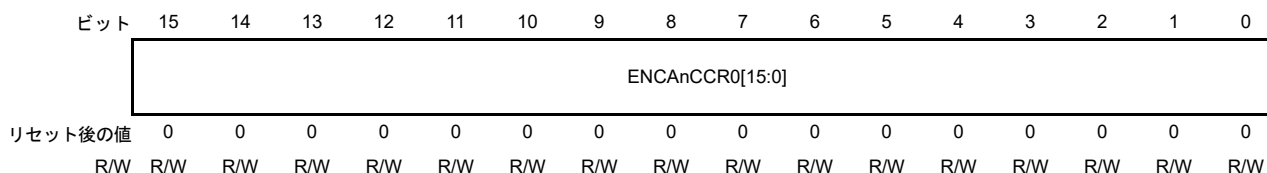


表 22.14 ENCA_nCCR0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CCR0 [15:0]	キャプチャ/コンペアレジスタ 0 アンダフローが発生した場合は、ENCA _n CTL.ENCA _n LDE の設定にしたがって、本レジスタの設定値をカウンタにロードすることができます。詳細については、レジスタ ENCA _n CTL の ENCA _n LDE ビットの説明を参照してください。 <ul style="list-style-type: none"> ENCA_nCTL.ENCA_nCRM0 = 0 の場合: ENCA_nCCR0 はコンペアレジスタになります。タイマカウンタ値との比較の対象になる値を設定します。 ENCA_nCTL.ENCA_nCRM0 = 1 の場合: ENCA_nCCR0 はキャプチャレジスタになります。キャプチャされたタイマカウンタ値が格納されます。

22.3.8 ENCA_nCCR1 — ENCA_n キャプチャ/コンペアレジスタ 1

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 1 です。

アクセス 16 ビット単位でリード/ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 04_H

リセット後の値 0000_H

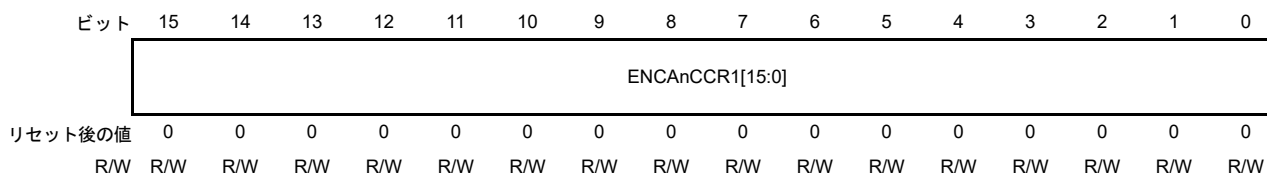


表 22.15 ENCA_nCCR1 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CCR1 [15:0]	キャプチャ/コンペアレジスタ 1 キャプチャ動作中、本レジスタへのキャプチャトリガは、ENCA _n CTL.ENCA _n CTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCA _n CTL の ENCA _n CTS ビットの説明を参照してください。 <ul style="list-style-type: none"> ENCA_nCTL.ENCA_nCRM1 = 0 の場合：ENCA_nCCR1 はコンペアレジスタになります。タイマカウンタ値との比較の対象になる値を設定します。 ENCA_nCTL.ENCA_nCRM1 = 1 の場合：ENCA_nCCR1 はキャプチャレジスタになります。キャプチャされたタイマカウンタ値が格納されます。

22.3.9 ENCA_nCNT — ENCA_n カウンタレジスタ

本レジスタは 16 ビットのタイマカウンタレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。
本レジスタへの書き込みは、動作の停止中にのみ行うことができます。

アドレス <ENCA_n_base> + 08_H

リセット後の値 0000_H

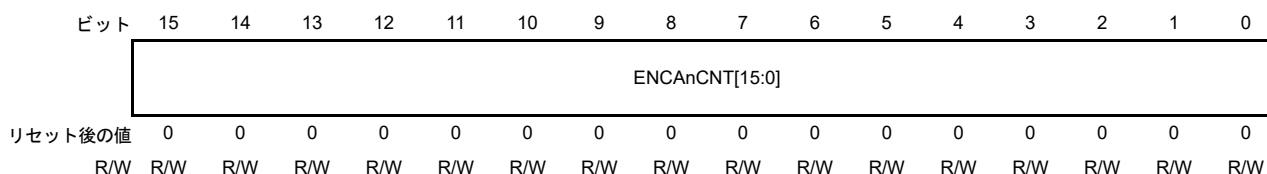


表 22.16 ENCA_nCNT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CNT [15:0]	カウンタレジスタ <ul style="list-style-type: none"> ENCA_nTE.ENCA_nTE の状態 : 0 (初期設定) : カウント停止 任意の値をタイマカウンタに設定できます。 ENCA_nTE.ENCA_nTE の状態 : 0 → 1 (動作開始) : カウント動作開始 設定された任意の値からのアップ/ダウンカウント動作を開始します。 ENCA_nTE.ENCA_nTE の状態 : 1 (動作中) : カウント実行中 アップ/ダウンカウント動作を実行中です。 ENCA_nTE.ENCA_nTE の状態 : 1 → 0 (停止) : カウント停止 動作停止直前のカウンタ値が保持され、カウント動作が停止します。

22.3.10 ENCA_nTE — ENCA_n タイマイネーブルステータスレジスタ

本レジスタは ENCA_n の動作状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.17 ENCA_nTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ENCA _n TE	タイマステータスイネーブルビット ENCA _n の動作可能/停止状態を示すステータスビットです。 このビットは、ENCA _n TT.ENCA _n TTに「1」が書き込まれると「0」にクリアされます。 また、このビットは、ENCA _n TS.ENCA _n TSに「1」が書き込まれるか、 ENCA _n TSST信号にハイレベルが入力されると「1」にセットされます。 0: 動作停止状態 1: 動作可能状態

22.3.11 ENCA_nTS — ENCA_n タイマスタートトリガレジスタ

本レジスタは、ENCA_n を動作可能状態に設定するトリガビットです。

アクセス 8ビット単位でライトのみ可能です。
常に00_Hとしてリードされます。本レジスタへの書き込みはENCA_nTE.ENCA_nTEが0のときのみ行うことができます。

アドレス <ENCA_n_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 22.18 ENCA_nTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	ENCA _n TS	タイマスタートトリガビット ENCA _n を動作可能状態に設定するトリガビットです。 0 : 書き込みは無視されます。 1 : ENCA _n TE.ENCA _n TE = 1 に設定することで、ENCA _n を動作可能状態に設定します。

22.3.12 ENCA_nTT — ENCA_n タイマストップトリガレジスタ

本レジスタは、ENCA_n を動作停止状態に設定するトリガビットです。

アクセス 8ビット単位でライトのみ可能です。
常に00_Hとしてリードされます。

アドレス <ENCA_n_base> + 1C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 22.19 ENCA_nTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	ENCA _n TT	タイマストップトリガビット ENCA _n を動作停止状態に設定するトリガビットです。 0: 書き込みは無視されます。 1: ENCA _n TE、ENCA _n TE を 0 にクリアし、ENCA _n をカウント動作停止状態に設定します。

22.4 機能

ENCAn は、エンコーダ入力を利用してカウンタアップ/ダウン制御とクリア制御を行うことでタイマカウンタを動作させます。ENCAnCCR0 レジスタと ENCAnCCR1 レジスタは、専用のコンペアレジスタとしても専用のキャプチャレジスタとしても使用することができます。

22.4.1 タイマカウンタの動作

以下で ENCAn のタイマカウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号を参照してください。

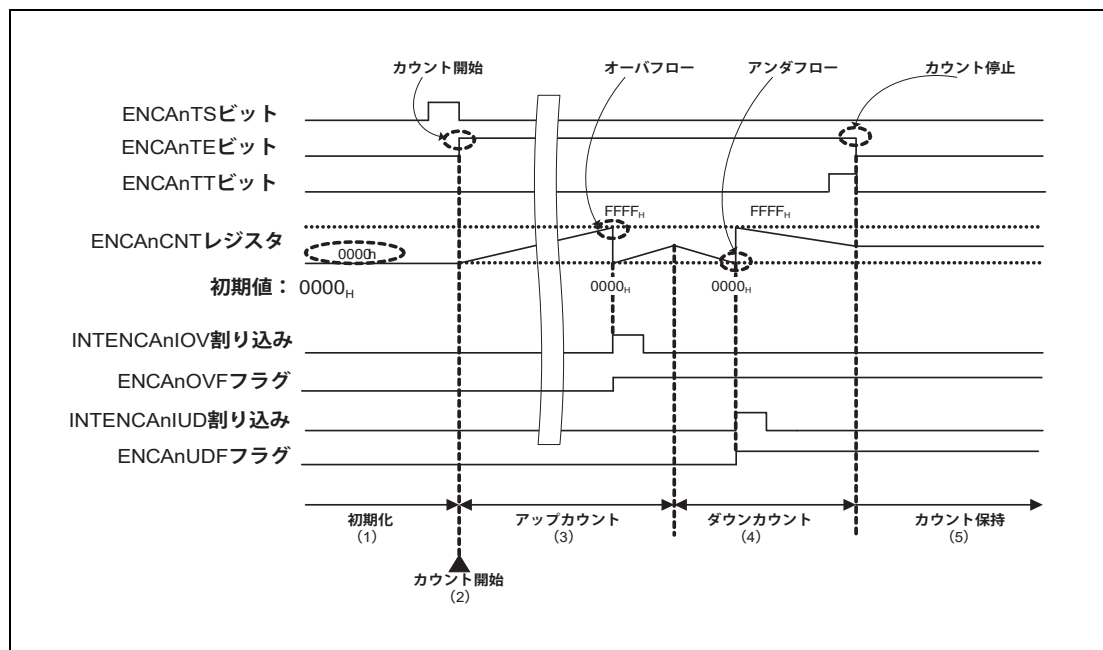


図 22.2 タイマカウンタの初期値設定/開始/停止

(1) タイマカウンタの初期値設定

カウンタ動作停止状態 (ENCAnTE = 0) のときに ENCAn カウンタレジスタ (ENCAnCNT) の初期値を設定することができます。

(2) タイマカウンタの起動

タイマスタートトリガビット (ENCAnTS) に「1」を書き込むことによってタイマステータススイネーブルビット (ENCAnTE) が「1」にセットされ、カウンタ動作許可状態となり、エンコーダ入力の有効エッジが検出されるとカウンタ動作が実行されます。

(3) オーバフロー動作

カウンタ値が FFFF_H のときにアップカウントが実行されると、オーバフローが発生します。カウンタ値が FFFF_H から 0000_H になると、オーバフロー割り込み (INTENCAnIOV) が発生し、オーバフローフラグ (ENCAOVF) が「1」にセットされます。オーバフローフラグクリアビット (ENCAnCLOV) が「1」にセットされると、オーバフローフラグ (ENCAOVF) が「0」にクリアされます。動作の詳細については、「22.6.6 オーバフローの発生とオーバフローフラグクリア操作」を参照してください。

(4) アンダフローの動作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。カウンタ値が 0000_H から FFFF_H になると、アンダフロー割り込み (INTENCA_nIUD) が発生し、アンダフローフラグ (ENCA_nUDF) が「1」にセットされます。アンダフローフラグクリアビット (ENCA_nCLUD) が「1」にセットされると、アンダフローフラグ (ENCA_nUDF) が「0」にクリアされます。動作の詳細については、「**22.6.7 アンダフローの発生とアンダフローフラグクリア操作**」を参照してください。

(5) タイマカウンタの停止

タイマストップトリガビット (ENCA_nTT) に「1」を書き込むことによって、タイマステータスイネーブルビット (ENCA_nTE) が「0」にクリアされ、カウント動作が停止します。その時点で、タイマカウンタは 0000_H にリセットされず、カウント動作が停止する直前の値を保持します。

22.4.2 タイマカウンタのアップ/ダウン制御

アップ/ダウン制御は、ENCAnUDS1 と ENCAnUDS0 ビットの設定にしたがってエンコーダ入力 (ENCAnE0, ENCAnE1) の位相を判定することによって行われます。

22.4.2.1 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 00_B の場合

表 22.20 ENCAnUDS1, ENCAnUDS0 ビット = 00_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	0	立ち上がりエッジ	ハイレベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

ENCAnE0 端子の有効エッジは、ENCAnEIS1 と ENCAnEIS0 ビットを設定することによって指定します。

カウント動作は ENCAnE0 と ENCAnE1 端子の有効エッジとレベルが一致するとアップ/ダウンカウントを行います。

以下のタイミング図は、ENCAnUDS1, ENCAnUDS0 ビット = 00_B のときのカウント動作を示しています。

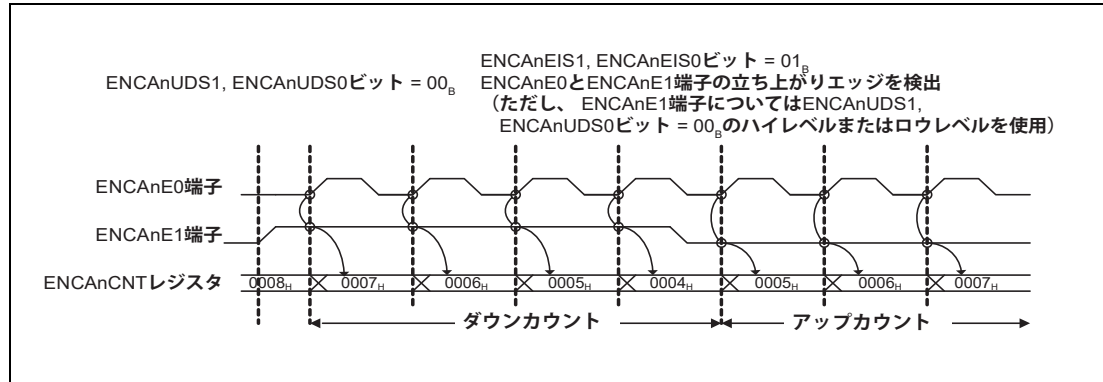


図 22.3 ENCAnCTL レジスタの ENCAnUDS1, ENCAnUDS0 ビット = 00_B のときのカウント動作

22.4.2.2 ENCA_nCTL レジスタの ENCA_nUDS1, ENCA_nUDS0 ビット = 01_B の場合表 22.21 ENCA_nUDS1, ENCA_nUDS0 ビット = 01_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
0	1	ロウレベル	立ち上がりエッジ	ダウン
			立ち下がりエッジ	
			両方のエッジ	
		ハイレベル	立ち上がりエッジ	
			立ち下がりエッジ	
			両方のエッジ	
	立ち上がりエッジ	ロウレベル	アップ	
	立ち下がりエッジ			
	両方のエッジ			
	立ち上がりエッジ	ハイレベル	アップ	
	立ち下がりエッジ			
	両方のエッジ			
同時入力			保持	

ENCA_nE0 と ENCA_nE1 端子の有効エッジは、ENCA_nEIS1 と ENCA_nEIS0 ビットを設定することによって指定します。

カウント動作は ENCA_nE0 と ENCA_nE1 端子の有効エッジとレベルが一致するとアップ/ダウンカウントを行います。また、有効エッジが重なるとカウントを保持します。

以下のタイミング図は、ENCA_nUDS1, ENCA_nUDS0 ビット = 01_B のときのカウント動作を示しています。

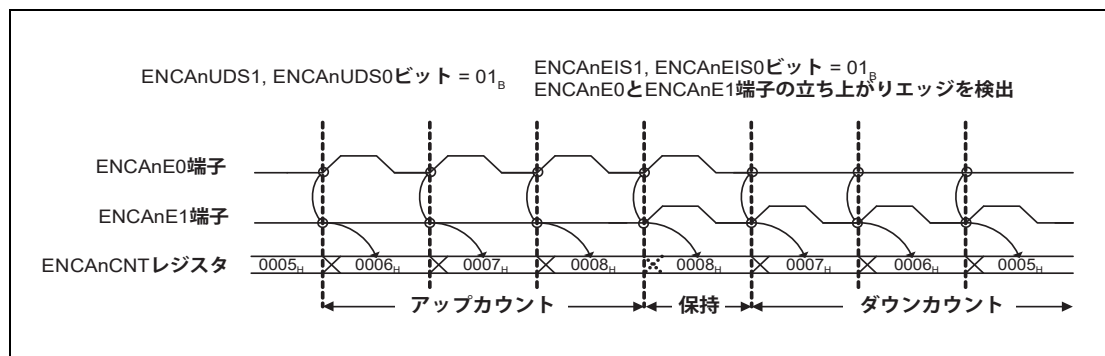


図 22.4 ENCA_nCTL レジスタの ENCA_nUDS1, ENCA_nUDS0 ビット = 01_B のときのカウント動作

22.4.2.3 ENCA_nCTL レジスタの ENCA_nUDS1, ENCA_nUDS0 ビット = 10_B の場合表 22.22 ENCA_nUDS1, ENCA_nUDS0 ビット = 10_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
1	0	立ち上がりエッジ	ロウレベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウレベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウレベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイレベル	
		ハイレベル	立ち下がりエッジ	ダウン
		立ち下がりエッジ	ハイレベル	

ENCA_nE0 と ENCA_nE1 端子の有効エッジの指定 (ENCA_nEIS1 と ENCA_nEIS0 ビットの設定) は無効です。

以下のタイミング図は、ENCA_nUDS1, ENCA_nUDS0 ビット = 10_B のときのカウント動作を示しています。

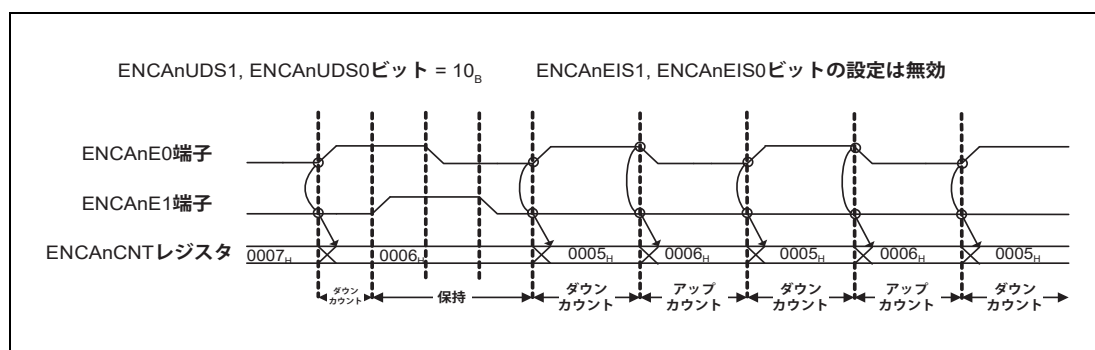


図 22.5 ENCA_nCTL レジスタの ENCA_nUDS1, ENCA_nUDS0 ビット = 10_B のときのカウント動作

22.4.2.4 ENCA_nCTL レジスタの ENCA_nUDS1, ENCA_nUDS0 ビット = 11_B の場合表 22.23 ENCA_nUDS1, ENCA_nUDS0 ビット = 11_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
1	1	ロウレベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウレベル	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイレベル	
		立ち上がりエッジ	ハイレベル	アップ
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	
		ロウレベル	立ち上がりエッジ	
		同時入力		

ENCA_nE0 と ENCA_nE1 端子の有効エッジの指定 (ENCA_nEIS1 と ENCA_nEIS0 ビットの設定) は無効です。

ENCA_nE0 と ENCA_nE1 端子の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCA_nUDS1, ENCA_nUDS0 ビット = 11_B のときのカウンタ動作を示しています。

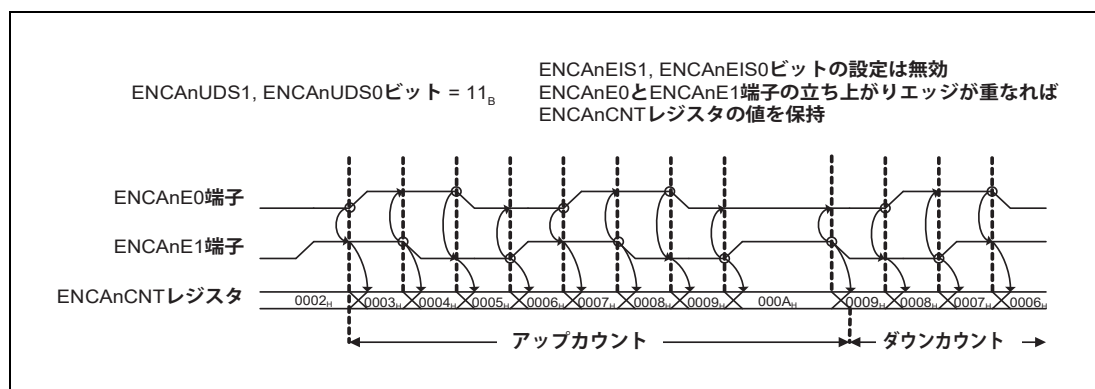


図 22.6 ENCA_nCTL レジスタの ENCA_nUDS1, ENCA_nUDS0 ビット = 11_B のときのカウンタ動作

22.4.3 エンコーダ入力によるタイマカウンタクリア制御

タイマカウンタは、エンコーダクリア入力 (ENCA_nEC) によって 0000_H にクリアされます。ENCA_nIOC1 レジスタの ENCA_nSCE ビット、ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビット、ENCA_nECS1 ビットおよび ENCA_nECS0 ビットを制御することによって、2 種類のクリア方法を選択できます。

表 22.24 エンコーダ入力によるタイマカウンタクリア制御の内容

クリア方法	ENCA _n SCE	ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n ECS1, ENCA _n ECS0
22.4.3.1 参照	0	無効	無効	無効	有効
22.4.3.2 参照	1	有効	有効	有効	無効

22.4.3.1 ENCA_nSCE = 0 のときのクリア方法

- ENCA_nEC の有効エッジを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCA_nEC の有効エッジは ENCA_nECS1 ビットと ENCA_nECS0 ビットを設定することによって指定します。
- ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (INTENCA_nIEC) が出力されます。

ENCA_nSCE = 0 のときのクリア動作については、「**22.6.24 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作**」のタイミング図を参照してください。

22.4.3.2 ENCA_nSCE = 1 のときのクリア方法

- ENCA_nEC 入力、ENCA_nE1 入力、ENCA_nE0 入力のクリアレベルを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCA_nEC 入力、ENCA_nE1 入力、ENCA_nE0 入力のクリアレベルは、ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビットを設定することによって指定します。
- ENCA_nECS1 ビットと ENCA_nECS0 ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (INTENCA_nIEC) が出力されます。

ENCA_nSCE = 1 のときのクリア動作については、「**22.6.23.2 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合**」～「**22.6.23.5 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合**」のタイミング図を参照してください。

ENCA_nZCL、ENCA_nBCL、ENCA_nACL の設定にしたがって行われるタイマカウンタのクリア条件を表 22.25 の表に示します。

表 22.25 タイマカウンタのクリア条件

カウンタクリア条件の設定			エンコーダの端子入力レベル		
ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n EC	ENCA _n E1	ENCA _n E0
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

22.4.4 ENCA_nCCR0 の機能

22.4.4.1 コンペア機能

- ENCA_nCRM0 = 0 のとき、ENCA_nCCR0 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR0 の設定値がコンペア一致すると、コンペア 0 一致割り込み (INTENCA_nI0) が出力されます。
- ENCA_nECM0 = 1 の場合、次のカウント動作がアップカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 22.26 ENCA_nCCR0 のコンペア機能

ENCA _n CCR0 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM0	ENCA _n ECM0		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
	1	アップカウント	タイマカウンタを 0000 _H にクリアします。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。

ENCA_nLDE = 1 の場合

- アンダフローが発生すると、ENCA_nCCR0 レジスタの設定値がタイマカウンタにロードされます。
- アンダフロー割り込み (INTENCA_nIUD) が出力されます。

備考

ENCA_nLDE = 1 のときのタイミング図については「22.6.13 開始直後の ENCA_nLDE 機能の利用」から「22.6.17 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」を参照してください。

22.4.4.2 キャプチャ機能

- ENCA_nCRM0 = 1 のとき、ENCA_nCCR0 レジスタは専用のキャプチャレジスタとして機能します。
- キャプチャトリガ入力 0 (ENCA_nI0) の有効エッジを検出すると、タイマカウンタの値が ENCA_nCCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み (INTENCA_nI0) が出力されます。

備考

ENCA_nCCR0 へのキャプチャ動作については、「22.6.19 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)」と「22.6.22 コンペア一致クリア制御無効時のエンコーダの動作」のタイミング図を参照してください。

22.4.5 ENCA_nCCR1 の機能

22.4.5.1 コンペア機能

- ENCA_nCRM1 = 0 のとき、ENCA_nCCR1 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR1 の設定値がコンペア一致すると、コンペア 1 一致割り込み (INTENCA_nI1) が出力されます。
- ENCA_nECM1 = 1 の場合、次のカウント動作がダウンカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 22.27 ENCA_nCCR1 のコンペア機能

ENCA _n CCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR1 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM1	ENCA _n ECM1		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
	1	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタを 0000 _H にクリアします。

コンペア一致割り込みマスク機能

- ENCA_nCME = 1 のときは、コンペア 1 一致割り込みマスク機能が有効です。この状態では、タイマカウンタの値と ENCA_nCCR1 の設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが、2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCA_nCME = 1 かつ ENCA_nMCS = 0 のときは、ENCA_nCCR1 レジスタへの書き込み操作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- ENCA_nCME = 1 かつ ENCA_nMCS = 1 のときは、エンコーダクリア入力によるタイマカウンタのクリア動作または ENCA_nCCR0 レジスタ値とタイマカウンタ値との一致によるタイマカウンタのクリア動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- ENCA_nCME = 1 かつ ENCA_nMCS = 1 かつ ENCA_nLDE = 1 のときは、アンダフロー検出時の ENCA_nCCR0 レジスタからタイマカウンタへのロード動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- コンペア 1 一致割り込みマスク機能を有効にする場合、ENCA_nECM1 を「1」にセットすることはできません。

表 22.28 ENCAAnCCR1 のコンペアー一致割り込みマスク機能

ENCAAnCCR1 の機能	コンペアー一致割り込みマスク	割り込みマスクキャンセルトリガ	ENCAAnCCR1 とコンペアーが一致したときのコンペアー一致割り込みの出力
ENCAAnCRM1	ENCAAnCME	ENCAAnMCS	
0 (コンペアー)	0 (マスク機能無効)	— (設定無効)	コンペアー一致が発生するたびにコンペアー一致割り込みを出力します。
	1 (マスク機能有効)	0 (ENCAAnCCR1 への書き込み操作) 1 (タイマカウンタクリア動作) (ENCAAnLDE = 1 のときのアンダフロー発生による ENCAAnCCR0 からのタイマカウンタへのロード)	最初のコンペアー一致でコンペアー一致割り込みを 1 回出力します (キャンセルトリガが発生するまで、2 回目以降の一致によって生成される割り込みはマスクされます)。

22.4.5.2 キャプチャ機能

ENCAAnCRM1 = 1 のとき、ENCAAnCCR1 レジスタは、専用のキャプチャレジスタとして機能します。

備 考

ENCAAnCCR1 へのキャプチャ動作については、「22.6.18 カウントクロック間のキャプチャ動作 (ENCAAnCCR1)」のタイミング図を参照してください。

ENCAAnCTS のさまざまな設定に対応する動作を以下の表に示します。

表 22.29 ENCAAnCTS のさまざまな設定に対応する動作

ENCAAnCCR1 の機能	キャプチャトリガの選択	キャプチャトリガ信号	タイマカウンタのクリア	割り込みの発生
ENCAAnCRM1	ENCAAnCTS			
1 (キャプチャ)	0	キャプチャトリガ 1 入力 (ENCAAnI1)	タイマカウンタをクリアしません。	(1) キャプチャ 1 割り込み (INTENCAAnI1)
	1	エンコーダクリア入力 (ENCAAnSCE で設定)	タイマカウンタをクリアします。	(1) キャプチャ 1 割り込み (INTENCAAnI1) (2) エンコーダクリア割り込み (INTENCAAnIEC)

備 考

ENCA_nCTS = 0 または ENCA_nCTS = 1 のときのタイミング図については、以下を参照してください。

「22.6.8 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作」、「22.6.9 オーバフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合」、「22.6.10 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合」、「22.6.16 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合」、「22.6.17 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」。

22.4.5.3 コンペアレジスタが一致したときのタイマカウンタのクリア

タイマカウンタ値と ENCA_nCCR0、ENCA_nCCR1 の設定値がコンペア一致したときに、ENCA_nCTL レジスタの ENCA_nECM1 ビットと ENCA_nECM0 ビットの設定にしたがって行われるタイマカウンタのクリア動作の詳細を以下の表に示します。

表 22.30 コンペアレジスタが一致したときのタイマカウンタのクリア動作の詳細

ENCA _n ECM1 と ENCA _n ECM0	次のカウント動作	ENCA _n CCR1 とのコンペア一致が 発生したときの タイマカウンタのクリア	ENCA _n CCR0 とのコンペア一致が 発生したときの タイマカウンタのクリア
00	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
01	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリア します
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
10	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタを 0000 _H にクリア します。	タイマカウンタをクリアしません (カウント動作を継続します)
11	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリア します
	ダウンカウント	タイマカウンタを 0000 _H にクリア します。	タイマカウンタをクリアしません (カウント動作を継続します)

22.4.6 タイマカウンタの起動／停止

22.4.6.1 タイマの起動

本製品では、エンコーダタイマが2ユニット搭載されており、個々に動作させることも、同期させて動作させることもできます。

個々に動作させる場合、各々に ENCA_nTS レジスタの ENCA_nTS ビットを「1」にセットすることで動作を開始します。

同期動作や他のタイマとの同時スタートを行う場合、PIC を設定することにより可能です。詳細は「23.2.3.1 同時スタートトリガ機能」を参照してください。

22.4.6.2 タイマの停止

各エンコーダタイマの ENCA_nTT レジスタの ENCA_nTT ビットをそれぞれ「1」にセットすることによって、ENCA_nTE レジスタの ENCA_nTE ビットを0に設定します。

ENCA_nTT レジスタの ENCA_nTT ビットへのアクセスが個々のエンコーダタイマで別々の動作として実行されるため、エンコーダタイマによって停止のタイミングが異なり、停止のタイミングで保持されるカウンタ値に、誤差が生じる可能性があります。したがって、停止後に動作を再開するときは、以下の例のように再設定したり、カウンタ値を補正する必要があります。

例 1. 動作を再開する前にカウンタ値を再設定する方法

- 条件 : 2ユニットのエンコーダタイマが共通の ENCA_nE0, ENCA_nE1 端子、ENCA_nEC 端子入力に基づいて動作している。
- 再開の手順 : エンコーダタイマのカウンタに同じ値を設定することによって、同時再開を実行します。
同じ値を設定することで、動作が停止したときに生じたカウンタ値の誤差がなくなり、動作を再開することができます。

例 2. 動作を再開する前にカウンタ値を補正する方法

- 条件 : 2ユニットのエンコーダタイマが別々の ENCA_nE0, ENCA_nE1 端子、ENCA_nEC 端子入力に基づいて動作している。
- 再開の手順 : 同時再開時の各エンコーダタイマのカウンタ値の差を計算し、その差で補正された値を各カウンタに設定することによって、同時再開を実行します。
各エンコーダタイマのカウンタ値の差に関する情報が CPU の情報に含まれているため、差を計算し、補正された値を設定することで、動作が停止したときに生じたカウンタ値の誤差を修正して、動作を再開することができます。

22.4.6.3 ENCA_n を 2 ユニット使用時の接続例

2 ユニットの ENCA_n のカウンタ値を同時に操作するには、ENCA_nIOC1 レジスタおよび ENCA_nCTL レジスタの ENCA_nUDS1 ビットと ENCA_nUDS0 ビットに対して同じ設定を行います。

搭載された 2 ユニットの ENCA_n の ENCA_nCCR0 レジスタをコンペアレジスタとして使用するには、2 ユニットの ENCA_n の ENCA_nCCR0 レジスタ、ENCA_nECM0, ENCA_nLDE ビットに同じ値を設定します。

搭載された 2 ユニットの ENCA_n の ENCA_nCCR1 レジスタをコンペアレジスタとして使用するには、2 ユニットの ENCA_n の ENCA_nECM1 ビットに同じ値を設定します。

同じ値を設定しないと、別々のカウンタ値が使われるため、同期動作を実行できなくなります。

2 つの ENCA_n を使用している例を以下に示します。

この設定例では、ENCA_nCCR0 レジスタをコンペアレジスタとして設定し、ENCA_nCCR1 レジスタをキャプチャレジスタとして使用しています。

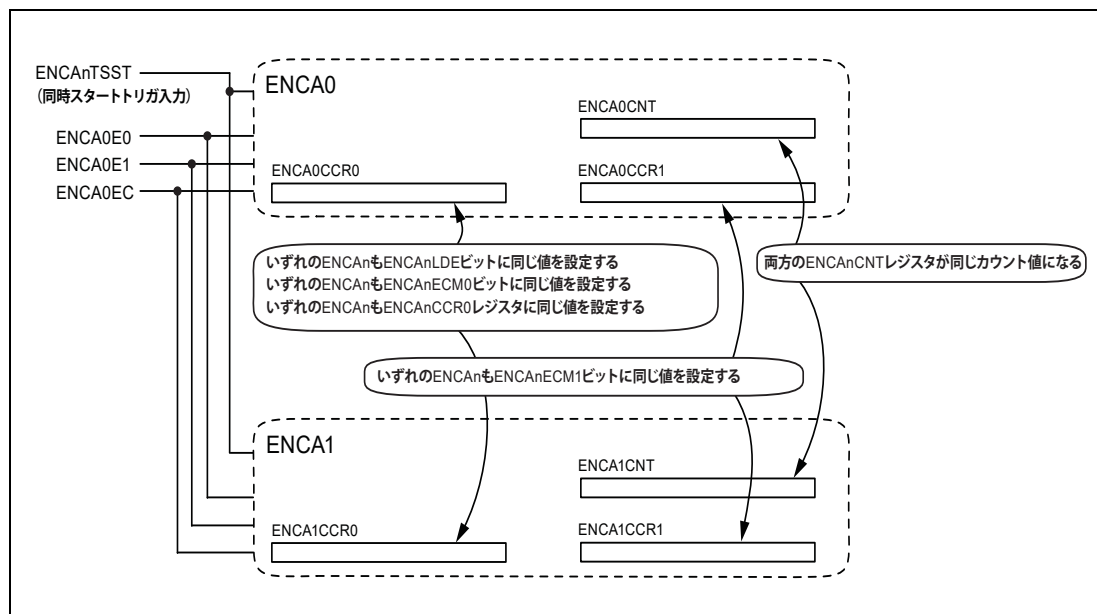


図 22.7 ENCA_n を 2 ユニット使用時の接続例

22.5 手順

22.5.1 ENCA_n の設定手順

以下で ENCA_n の設定の手順を説明します。

表 22.31 ENCA_n の設定の手順

	操作	設定の状態
初期設定	リセット解除	電源オン状態、動作停止状態。 (各レジスタへの書き込みは許可)
ENCA _n の初期設定	以下の初期設定を実行します。 <ul style="list-style-type: none"> カウンタの設定 カウンタクリアの設定 ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 	カウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビット = 0 です。
	カウンタの初期値の設定を実行します。 <ul style="list-style-type: none"> ENCA_nCNT レジスタに任意の 16 ビット値を設定します。 (このレジスタを設定した後、ENCA_nTS ビットを「1」にセットすると、設定されたカウント値からカウンタの動作が開始されます)。 	ここで設定される値がカウンタレジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTS ビットを「1」にセットします。 	カウンタ動作開始状態です。 動作状態を示す ENCA _n TE ビットの値が 1 であり、カウンタクロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 <ul style="list-style-type: none"> ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 ENCA_nIOC0 レジスタの設定 	初期設定で設定されたカウンタ動作が実行され、ENCA _n E0 端子と ENCA _n E1 端子にしたがってアップカウント/ダウンカウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTT ビットを「1」に設定します。 	カウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビット = 0 です。
ENCA _n 停止	リセット	設定レジスタが初期化されます。

22.5.1.1 カウンタの初期設定手順

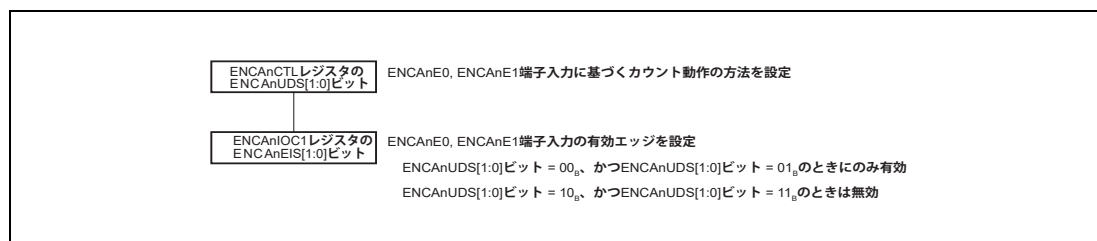


図 22.8 カウンタの初期設定手順

22.5.1.2 カウンタクリアのための初期設定手順

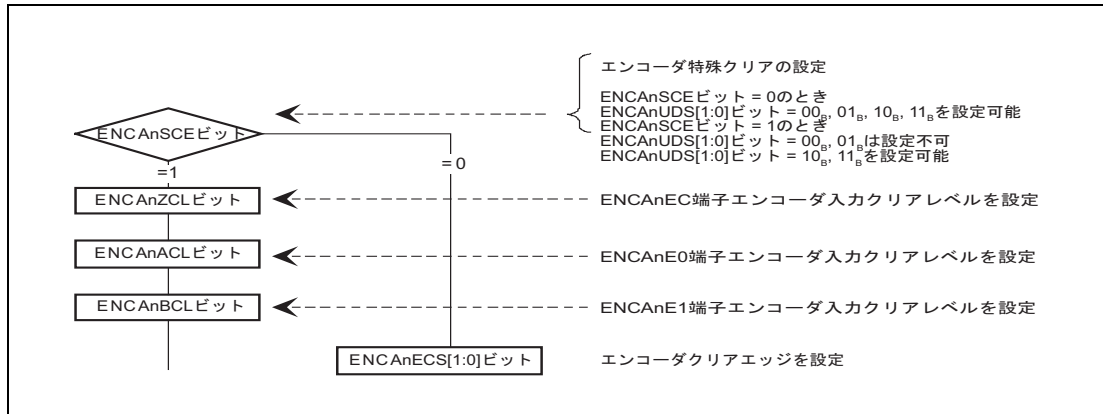


図 22.9 カウンタクリアのための初期設定手順

22.5.1.3 ENCAAnCCR0 レジスタの設定手順

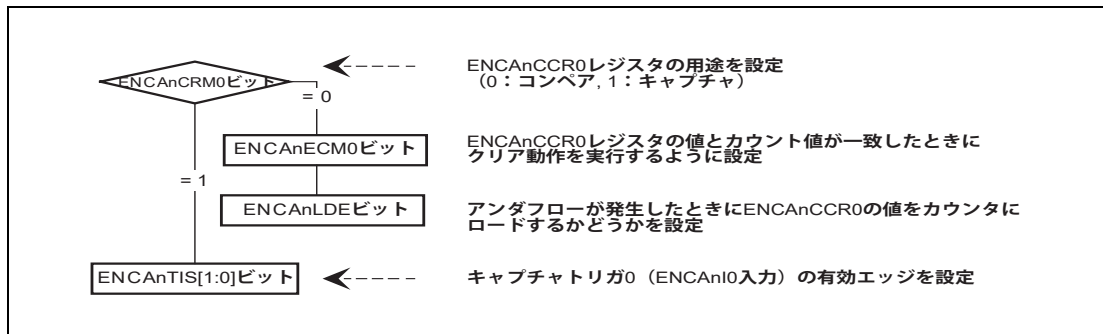


図 22.10 ENCAAnCCR0 レジスタの設定手順

22.5.1.4 ENCAAnCCR1 レジスタの設定手順

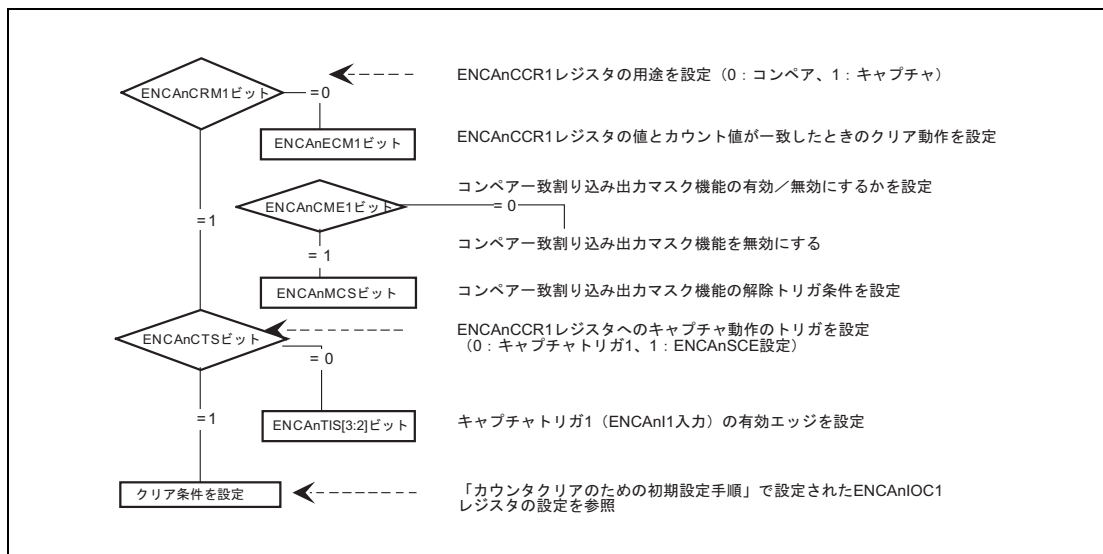


図 22.11 ENCAAnCCR1 レジスタの設定手順

22.6 エンコーダ動作図

22.6.1 エンコーダ基本動作タイミング 1 (エンコーダコンペアモード①)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット = 00_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをコンペア機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット = 01_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値が一致したとき、次のカウントがアップカウンタの場合、カウンタクリア)
- ENCA_nCTL レジスタの ENCA_nLDE ビット = 1
(アンダフロー発生時、ENCA_nCCR0 レジスタ設定値をカウンタにロード)

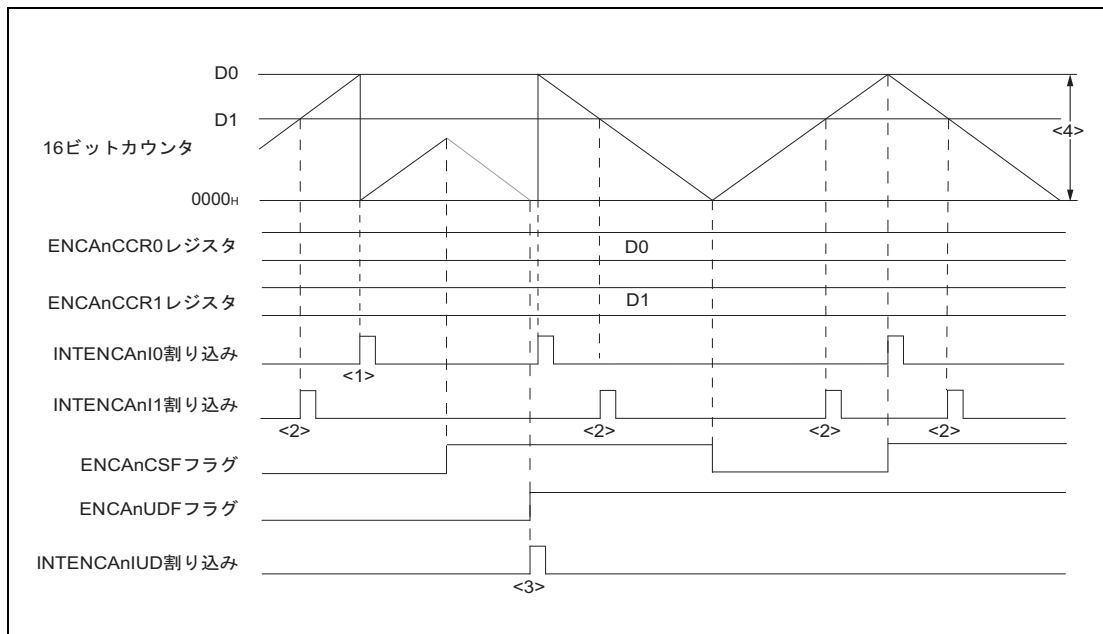


図 22.12 エンコーダ基本動作タイミング 1 (エンコーダコンペアモード①)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペア一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット = 1 設定のため、次のカウント動作がアップカウンタの場合カウンタを 0000_H にクリアします。
2. カウンタ値と ENCA_nCCR1 レジスタ設定値 (D1) との一致によりコンペア一致割り込み (INTENCA_nI1) が発生します。
ENCA_nECM1 ビット = 0 設定のため、ENCA_nCCR1 レジスタとの一致によるカウンタクリア動作は発生しません。
3. カウンタのアンダフローのタイミングでアンダフロー割り込み (INTENCA_nIUD) が発生します。
ENCA_nLDE ビット = 1 設定のため、アンダフローの発生により ENCA_nCCR0 レジスタ設定値 (D0) がカウンタにロードされます。
4. ENCA_nLDE ビット = 1、ENCA_nECM1、ENCA_nECM0 ビット = 01_B の設定により「0000_H - ENCA_nCCR0 レジスタ設定値」間でカウント動作します。

22.6.2 エンコーダ基本動作タイミング 2 (エンコーダコンペアモード②)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット = 00_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをコンペア機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット = 00_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値との一致によるカウンタクリア動作は発生しません)
- ENCA_nCTL レジスタの ENCA_nLDE ビット = 0
(ENCA_nCCR0 レジスタ設定値のカウンタへのロードなし)

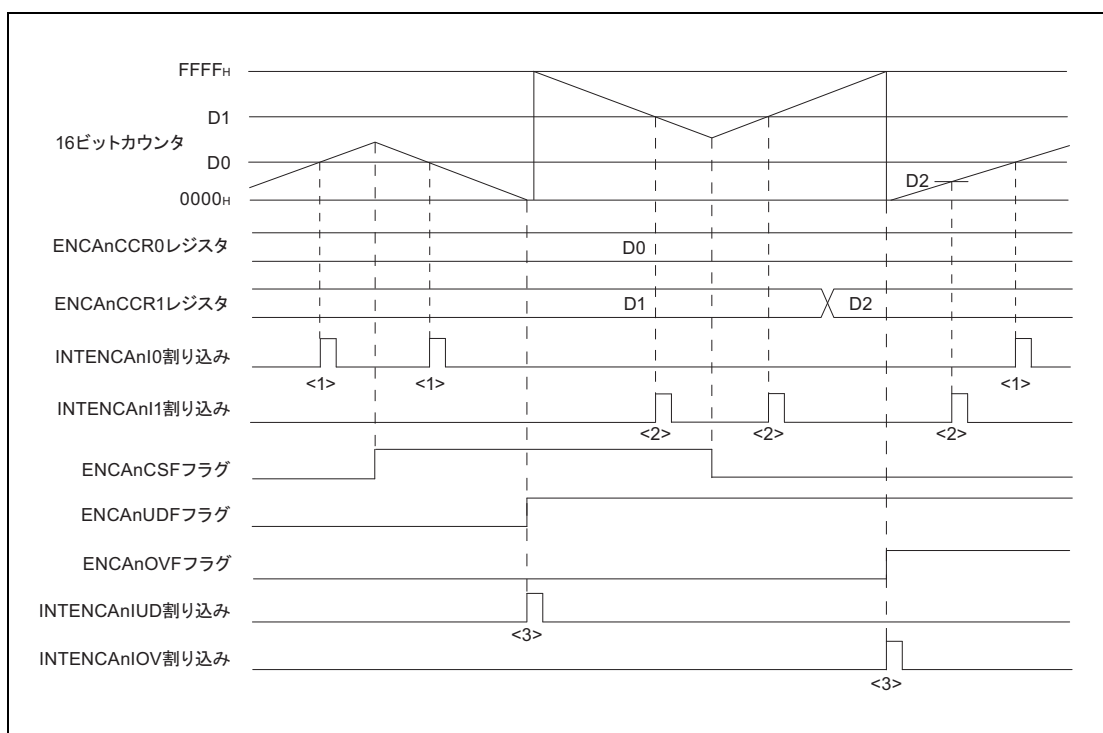


図 22.13 エンコーダ基本動作タイミング 2 (エンコーダコンペアモード②)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペア一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット = 0 設定のため、ENCA_nCCR0 レジスタとの一致によるカウンタクリア動作は発生しません。
2. カウンタ値と ENCA_nCCR1 レジスタ設定値 (D1, D2) との一致によりコンペア一致割り込み (INTENCA_nI1) が発生します。
ENCA_nECM1 ビット = 0 設定のため、ENCA_nCCR1 レジスタとの一致によるカウンタクリア動作は発生しません。
3. カウンタのオーバフロー、アンダフローのタイミングで、オーバフロー割り込み (INTENCA_nIOV)、アンダフロー割り込み (INTENCA_nIUD) が発生します。

22.6.3 エンコーダ基本動作タイミング 3 (エンコーダコンペアモード③)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット = 00_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをコンペア機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット = 11_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値が一致したとき、次のカウントがアップ
カウントの場合、カウンタクリア)
(カウンタ値と ENCA_nCCR1 レジスタの設定値が一致したとき、次のカウントがダウン
カウントの場合、カウンタクリア)
- ENCA_nCTL レジスタの ENCA_nLDE ビット = 0
(ENCA_nCCR0 レジスタ設定値のカウンタへのロードなし)

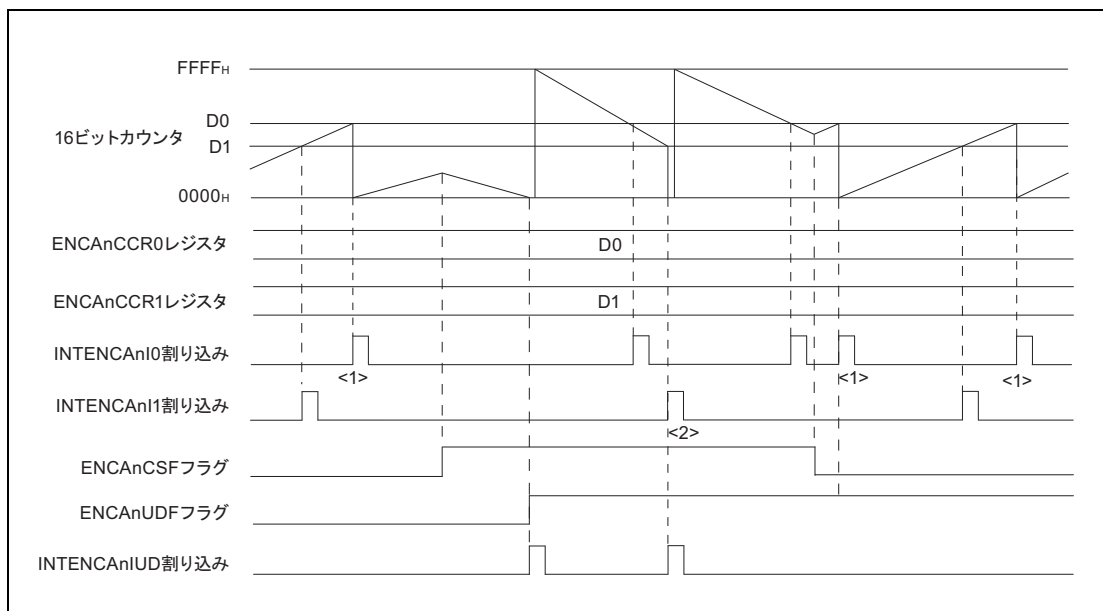


図 22.14 エンコーダ基本動作タイミング 3 (エンコーダコンペアモード③)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペア一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット = 1 設定のため、次のカウント動作がアップカウントの場合カウンタを 0000_H にクリアします。
2. カウンタ値と ENCA_nCCR1 レジスタ設定値 (D1) との一致によりコンペア一致割り込み (INTENCA_nI1) が発生します。
ENCA_nECM1 ビット = 1 設定のため、次のカウント動作がダウンカウントの場合カウンタを 0000_H にクリアします。

22.6.4 エンコーダ基本動作タイミング 4 (エンコーダキャプチャモード)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット = 11_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをキャプチャ機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット = 00_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値との一致によるカウンタクリア動作は発生しません)
- ENCA_nCTL レジスタの ENCA_nLDE ビット = 0
(ENCA_nCCR0 レジスタ設定値のカウンタへのロードなし)
- ENCA_nIOC1 レジスタの ENCA_nSCE ビット = 0、ENCA_nECS1、ENCA_nECS0 ビット = 00_B
(ENCA_nEC 端子入力によるエッジ検出なし)
- ENCA_nIOC0 レジスタの ENCA_nTIS3、ENCA_nTIS2 ビット = 01_B
(ENCA_nI1 端子入力の立ち上がりエッジを検出)
- ENCA_nIOC0 レジスタの ENCA_nTIS1、ENCA_nTIS0 ビット = 01_B
(ENCA_nI0 端子入力の立ち上がりエッジを検出)

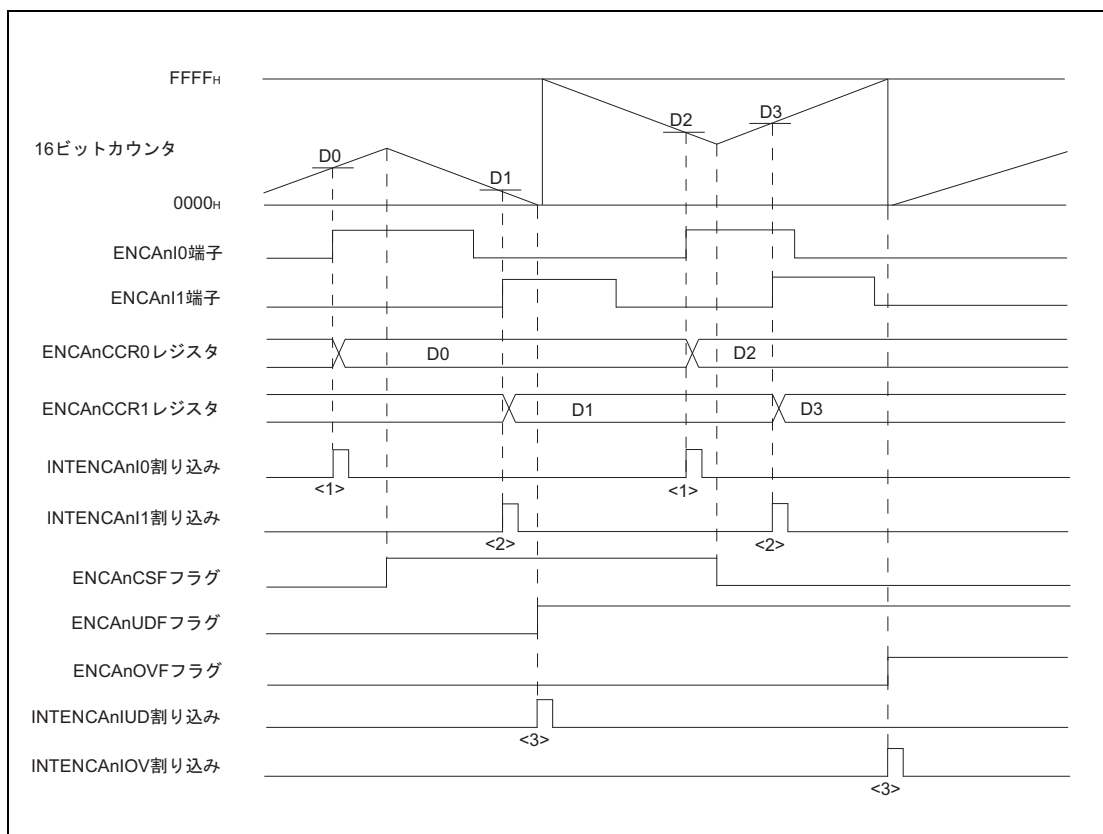


図 22.15 エンコーダ基本動作タイミング 4 (エンコーダキャプチャモード④)

1. ENCA_nI0 端子の立ち上がりエッジ検出によりカウンタ値 (D0, D2) をキャプチャレジスタ (ENCA_nCCR0) に格納し、キャプチャ割り込み (INTENCA_nI0) が発生します。
2. ENCA_nI1 端子の立ち上がりエッジ検出によりカウンタ値 (D1, D3) をキャプチャレジスタ (ENCA_nCCR1) に格納し、キャプチャ割り込み (INTENCA_nI1) が発生します。
3. カウンタのオーバフロー、アンダフローのタイミングで、オーバフロー割り込み (INTENCA_nIOV)、アンダフロー割り込み (INTENCA_nIUD) が発生します。

22.6.5 エンコーダ基本動作タイミング 5 (エンコーダキャプチャコンペアモード)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット = 10_B
(ENCA_nCCR0 レジスタをコンペア機能、ENCA_nCCR1 レジスタをキャプチャ機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット = 01_B
(カウンタ値と ENCA_nCCR0 レジスタ値との一致条件でカウンタクリア)
- ENCA_nCTL レジスタの ENCA_nLDE ビット = 1
(アンダフロー発生時、ENCA_nCCR0 レジスタ設定値をカウンタにロード)
- ENCA_nIOC1 レジスタの ENCA_nSCE ビット = 0、ENCA_nECS1、ENCA_nECS0 ビット = 00_B
- ENCA_nIOC0 レジスタの ENCA_nTIS3、ENCA_nTIS2 ビット = 11_B
(ENCA_nI1 端子入力 of 両エッジを検出)

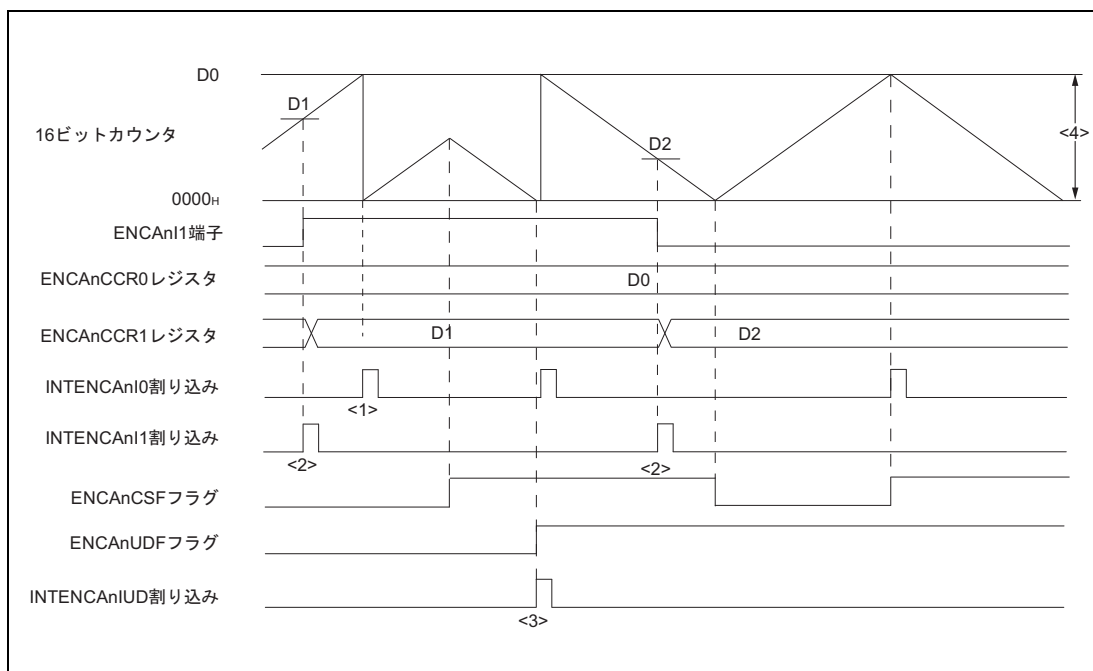


図 22.16 エンコーダ基本動作タイミング 5 (エンコーダキャプチャコンペアモード⑤)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペアー一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット = 1 設定のため、次のカウント動作がアップカウントの場合カウンタを 0000_H にクリアします。
2. ENCA_nI1 端子の両エッジ検出によりカウンタ値 (D1) をキャプチャレジスタ (ENCA_nCCR1) に格納し、キャプチャ割り込み (INTENCA_nI1) が発生します。
3. カウンタのアンダフローのタイミングでアンダフロー割り込み (INTENCA_nIUD) が発生します。
ENCA_nLDE ビット = 1 設定のため、アンダフローの発生により ENCA_nCCR0 レジスタ設定値 (D0) がカウンタにロードされます。
4. ENCA_nLDE ビット = 1、ENCA_nECM1、ENCA_nECM0 ビット = 01_B の設定により「0000_H-ENCA_nCCR0 レジスタ設定値」間でカウント動作します。

22.6.6 オーバフローの発生とオーバーフローフラグクリア操作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバーフローが発生します。オーバーフローが発生すると、オーバーフロー割り込み (INTENCAnIOV) が出力され、オーバーフローフラグ (ENCAnOVF) が「1」にセットされます。オーバーフローフラグクリアビット (ENCAnCLOV) が「1」にセットされると、オーバーフローフラグ (ENCAnOVF) が「0」にクリアされます。

オーバーフロー発生とオーバーフローフラグクリアの動作について説明します。

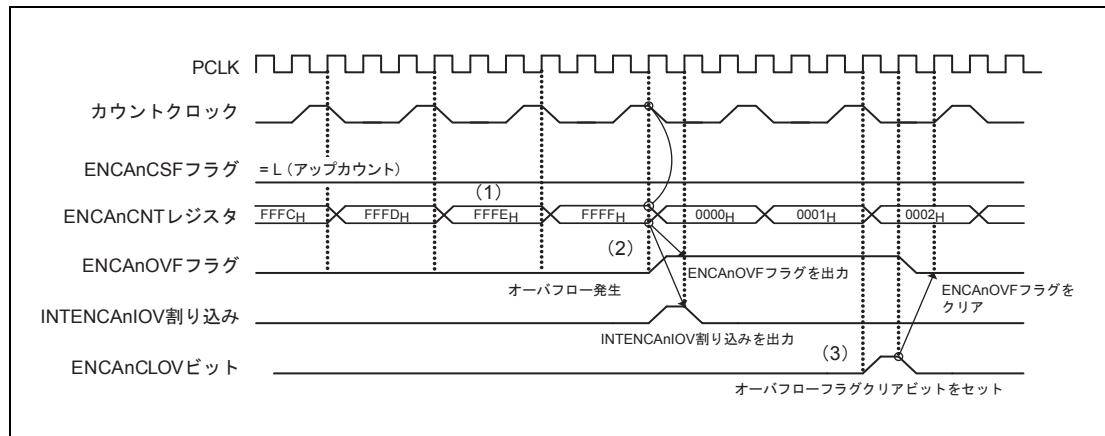


図 22.17 オーバフローの発生とオーバーフローフラグクリアの設定

- (1) カウンタ値が $FFFE_H$ から $FFFF_H$ にアップカウントします。
- (2) カウンタ値が $FFFF_H$ から 0000_H に変化するとオーバーフローが発生します。同時に、オーバーフロー割り込みが出力され、オーバーフローフラグが「1」にセットされます。
- (3) オーバフローフラグのクリア方法で、ENCAAnFGC レジスタの ENCAAnCLOV ビットを「1」にセットすることで「0」にクリアされます。また、ENCAAnTE レジスタの ENCAAnTE ビット = 0 のときに ENCAAnTS レジスタの ENCAAnTS ビットに「1」を設定するか、ENCAAnTSST (同時スタートトリガ入力) の入力信号を「ハイ」にすることでオーバーフローフラグはクリアされます。

22.6.7 アンダフローの発生とアンダフローフラグクリア操作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。アンダフローが発生すると、アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) が「1」にセットされます。アンダフローフラグクリアビット (ENCA_nCLUD) が「1」にセットされると、アンダフローフラグ (ENCA_nUDF) が「0」にクリアされます。

アンダフロー発生とアンダフローフラグクリアの動作について説明します。

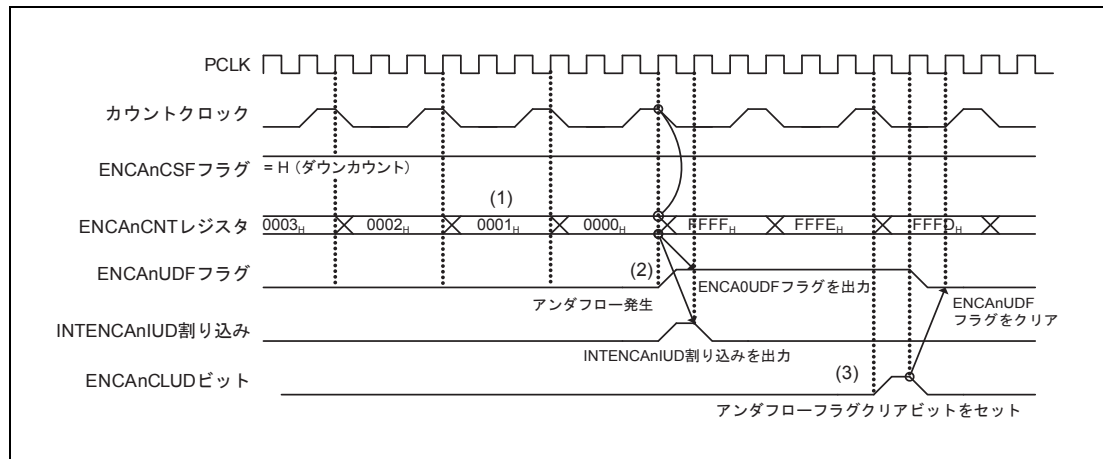


図 22.18 アンダフローの発生とアンダフローフラグクリアの設定

- (1) カウンタ値が 0001_H から 0000_H にダウンカウントします。
- (2) カウンタ値が 0000_H から $FFFF_H$ に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフローフラグが「1」にセットされます。
- (3) アンダフローフラグのクリア方法で、ENCA_nFGC レジスタの ENCA_nCLUD ビットを「1」にセットすることで「0」にクリアされます。また、ENCA_nTE レジスタの ENCA_nTE ビット = 0 のときに ENCA_nTS レジスタの ENCA_nTS ビットに「1」を設定するか、ENCA_nTSST (同時スタートトリガ) の入力信号を「ハイ」にすることでアンダフローフラグはクリアされます。

22.6.8 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作

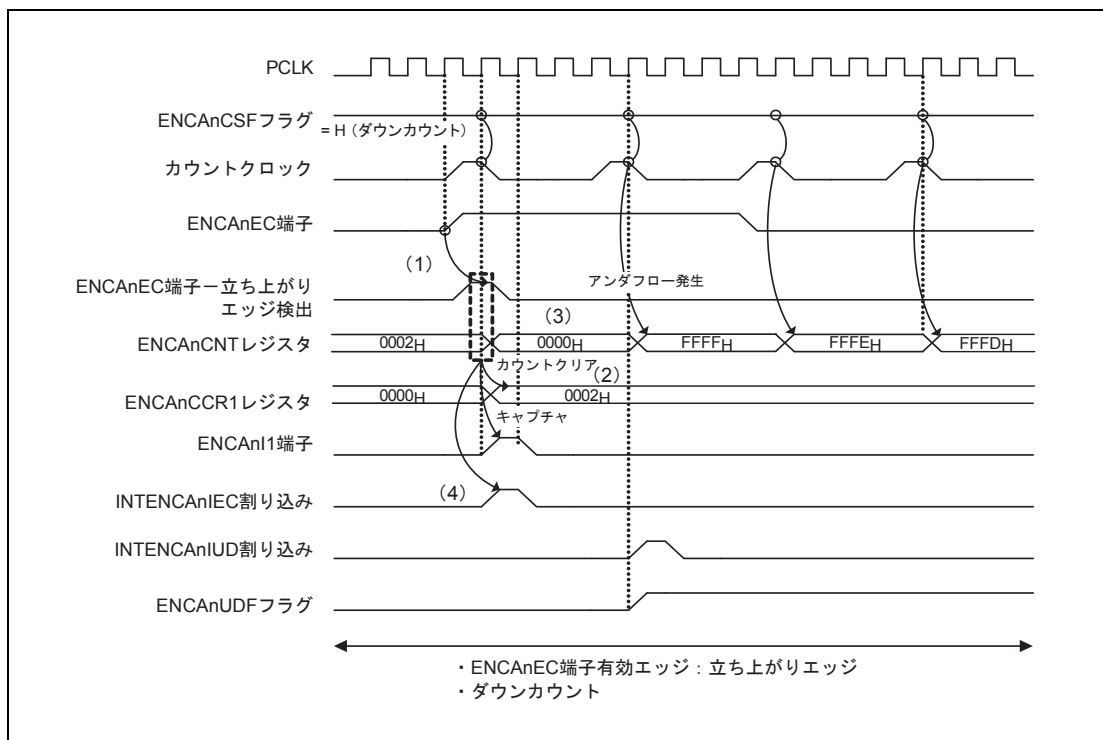


図 22.19 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作のタイミング図

設定条件

- ENCA_nCTL レジスタの ENCA_nCRM1 ビット = 1
(ENCA_nCCR1 レジスタをキャプチャとして選択)
- ENCA_nCTL レジスタの ENCA_nCTS ビット = 1
(ENCA_nEC 端子入力をキャプチャトリガ入力として選択)
- ENCA_nIOC1 レジスタの ENCA_nECS1, ENCA_nECS0 ビット = 01_B
(ENCA_nEC 端子入力の立ち上がりエッジ検出として選択)

- (1) ENCA_nEC 端子入力トリガの立ち上がりエッジでキャプチャ動作が実行されます。
- (2) ENCA_nEC 端子入力の立ち上がりエッジでカウンタ値 (0002_H) が ENCA_nCCR1 レジスタにキャプチャされます。
- (3) ENCA_nEC 端子の入力によるクリア動作が実行されカウンタ値が 0000_H にセットされます。
- (4) 同時に、ENCA_nEC 端子の入力によるエンコーダクリア割り込み (INTENCA_nIEC) とキャプチャ割り込み 1 (INTENCA_nI1) が出力されます。

22.6.9 オーバフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

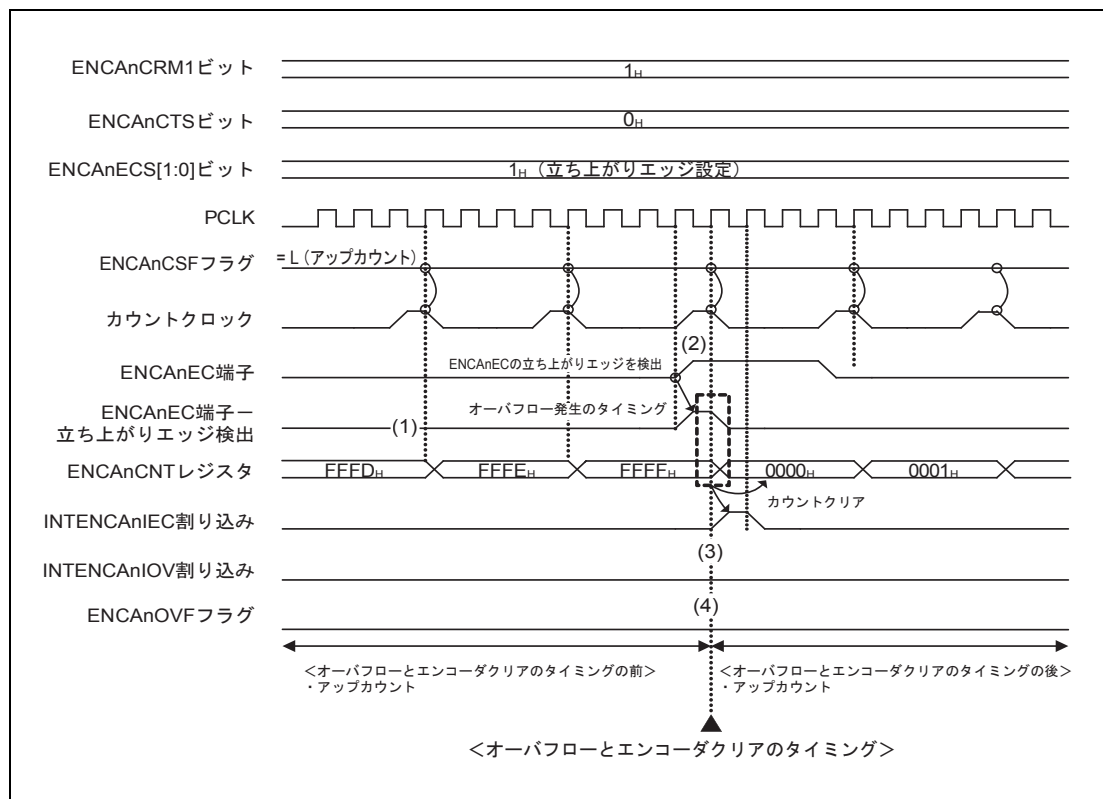


図 22.20 オーバフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

- (1) FFFD_H からのアップカウントが継続的に実行されます。
- (2) カウント値 FFFF_H でオーバーフローが発生すると同時に ENCA_nEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。カウンタ値が 0000_H にクリアされます。
- (3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア入力によるクリア割り込み (INTENCA_nIEC) が出力されます。エンコーダクリア入力によるクリアがオーバーフローの発生と同時に進行するため、オーバーフロー割り込みは出力されません (オーバーフローは発生しません。エンコーダクリア入力によるクリアが実行されます)。
- (4) ステップ (3) と同様にオーバーフローが発生しないため、オーバーフローフラグもセットされません。

22.6.10 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

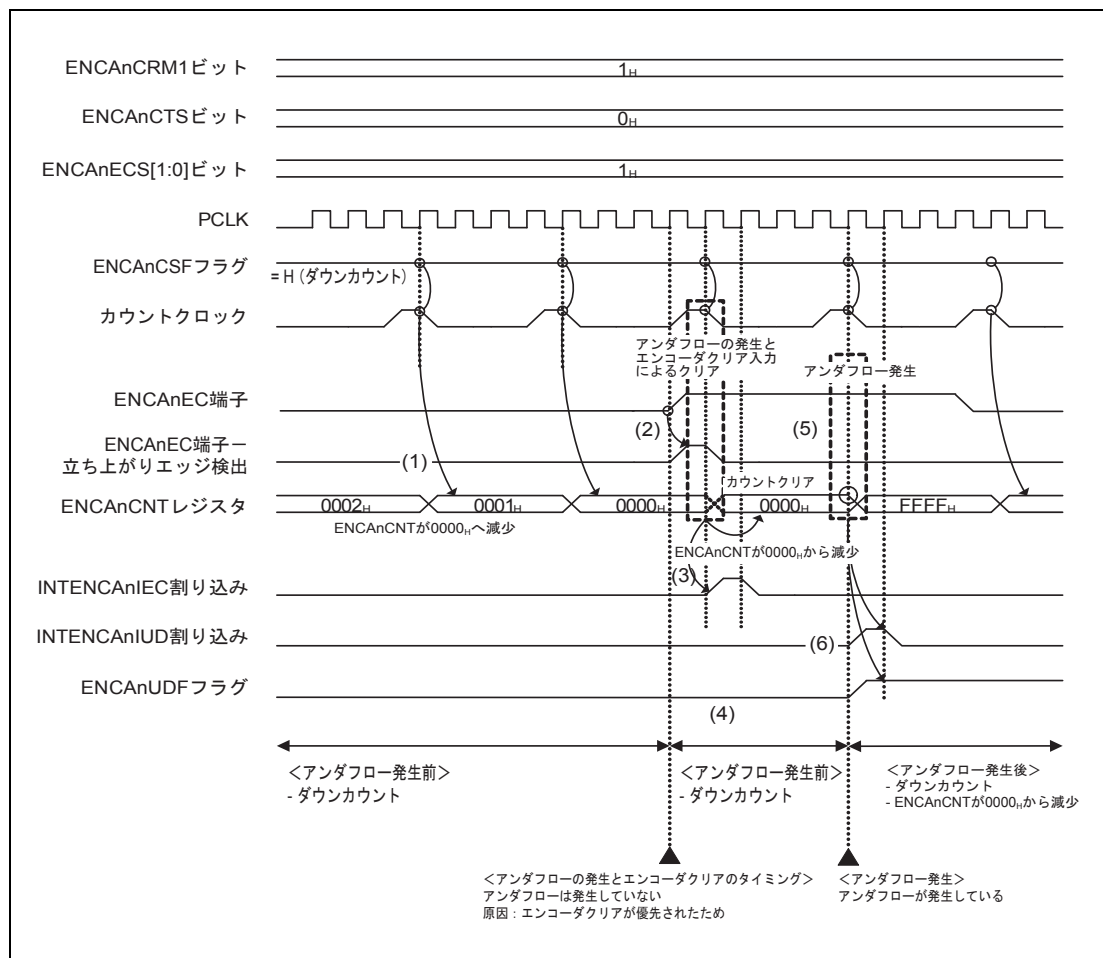


図 22.21 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

- (1) 0002_H からのダウンカウントが継続的に実行されます。
- (2) カウンタ値 0000_H でアンダフローが発生すると同時に ENCA_nEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000_H のまま変わりません。
- (3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア割り込み (INTENCA_nIEC) が出力されます。エンコーダクリア入力によるクリアがアンダフローの発生と同時に行われるため、アンダフロー割り込みは出力されません (アンダフローは発生しません。エンコーダクリア入力によるクリアが実行されます)。
- (4) ステップ (3) と同様にアンダフローが発生しないため、アンダフローフラグもセットされません。
- (5) エンコーダクリア入力によるクリア動作によってカウンタ値が 0000_H になったあと、さらにダウンカウントが行われることで、カウンタ値が 0000_H から FFFF_H へ変化し、アンダフローが発生します。

- (6) アンダフローが発生すると、アンダフロー割り込み (INTENCAnIUD) が出力され、アンダフローフラグ (ENCAnUDF) がセットされます。

22.6.11 開始直後のオーバーフロー動作

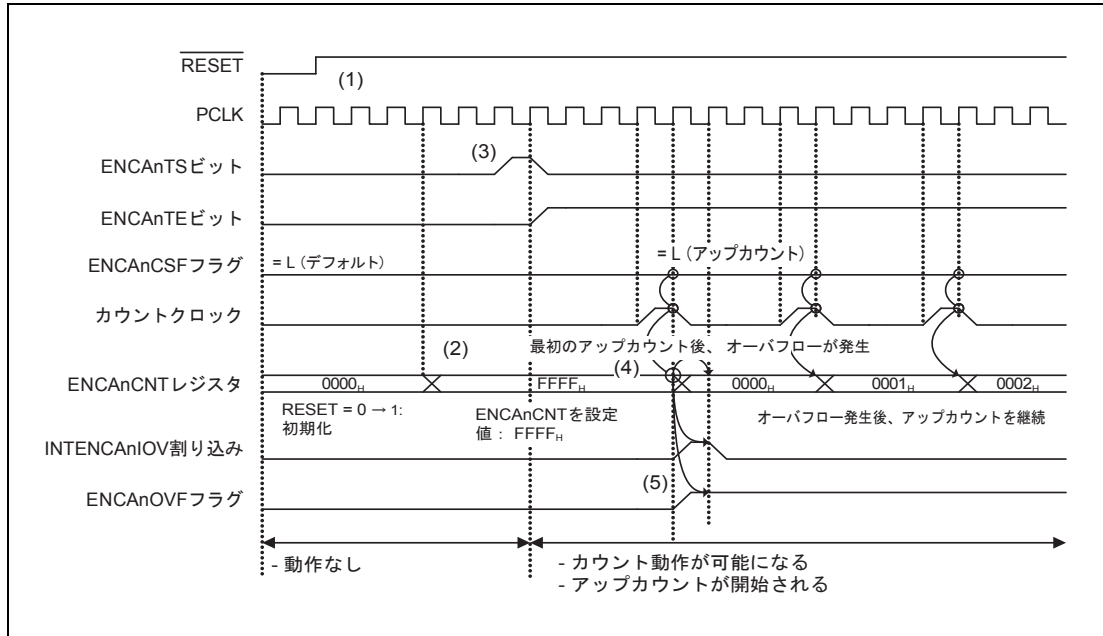


図 22.22 開始直後のオーバーフロー動作

- (1) $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
- (2) FFFF_H がタイマカウンタに初期値として設定されます。
- (3) ENCAAnTS が「1」にセットされ、動作が開始されます。ENCAAnTE が「1」になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である FFFF_H からのアップカウントが実行されることで、カウンタ値が FFFF_H から 0000_H へ変化し、動作開始直後にオーバーフローが発生します。
- (5) 同時に、動作開始直後のオーバーフローの発生によって、オーバーフロー割り込み (INTENCAnIOV) が出力され、オーバーフローフラグ (ENCAnOVF) がセットされます。

22.6.12 開始直後のアンダフロー動作

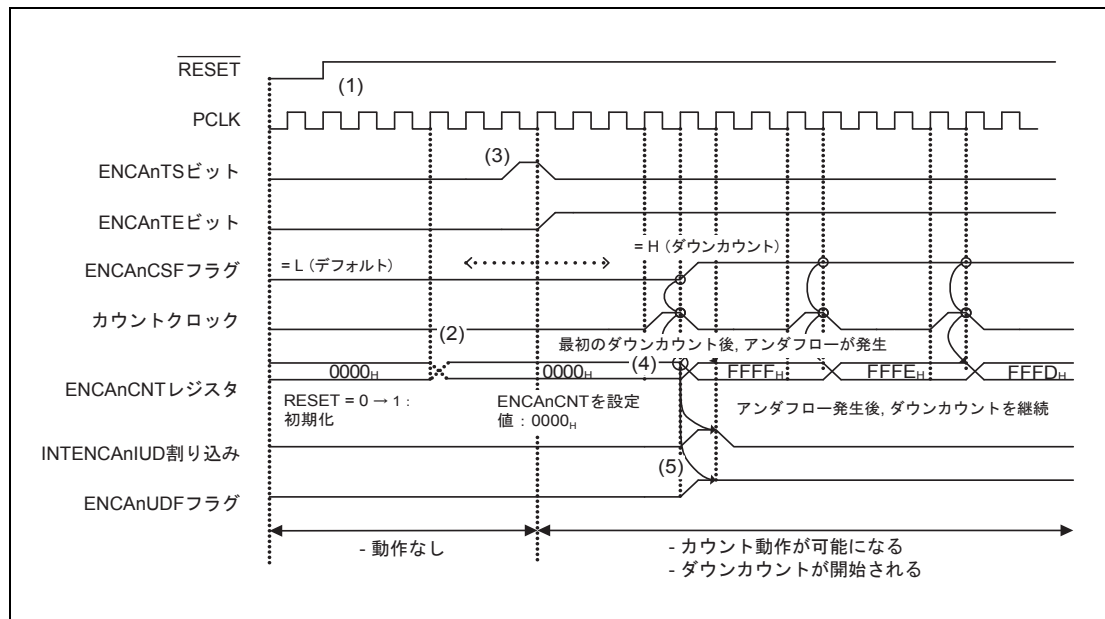
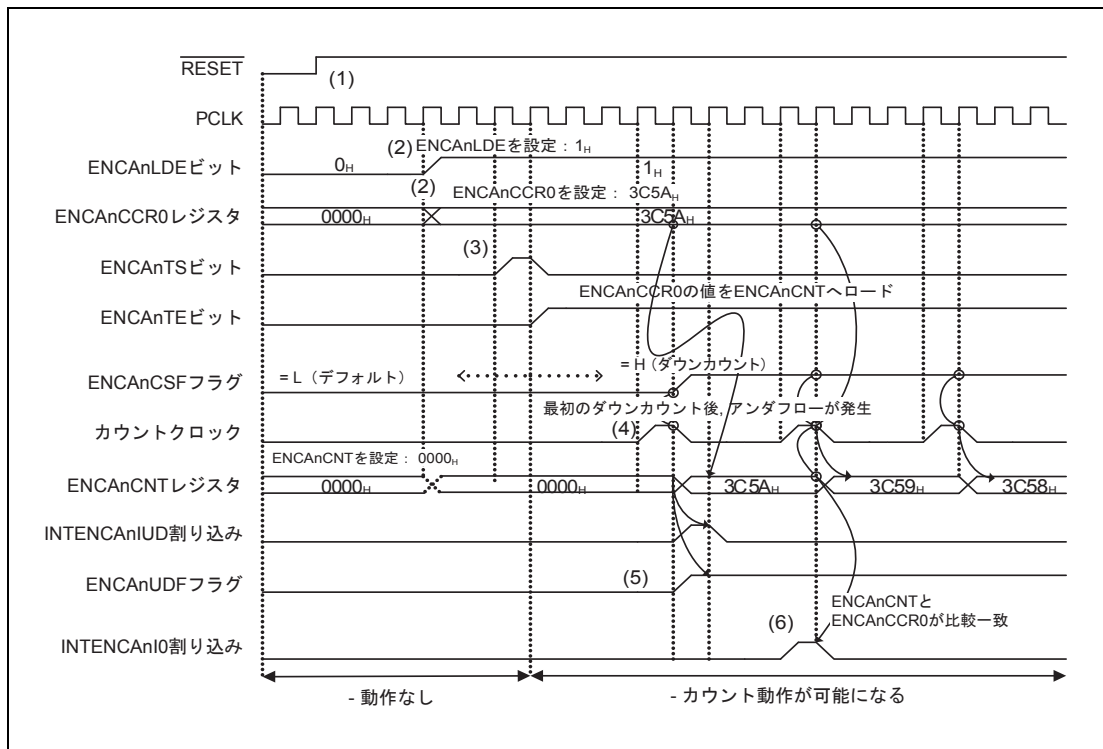
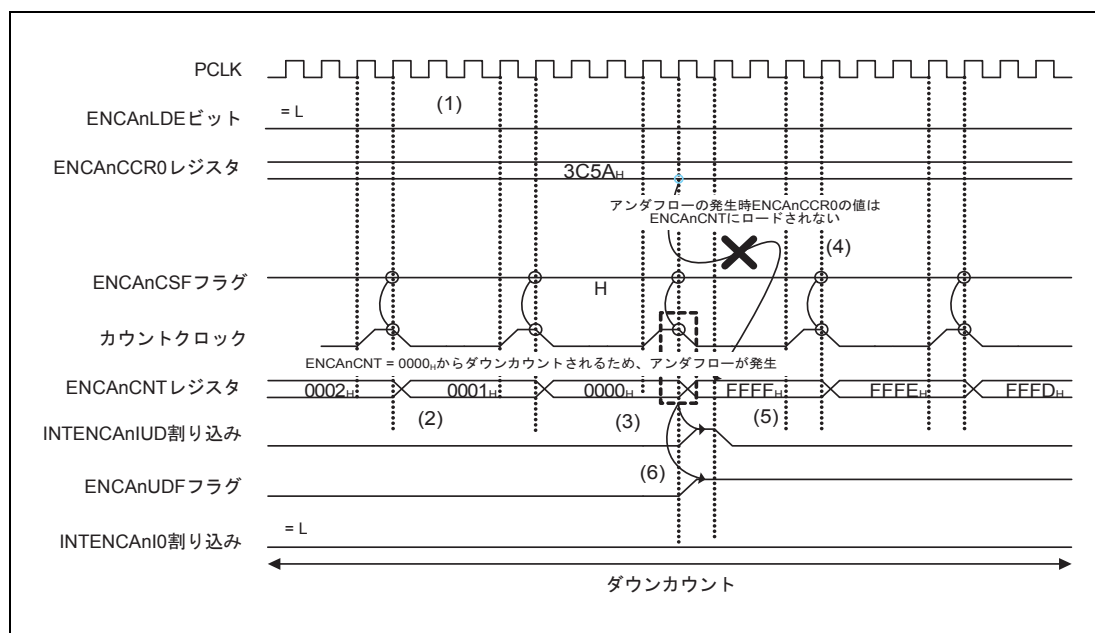


図 22.23 開始直後のアンダフロー動作

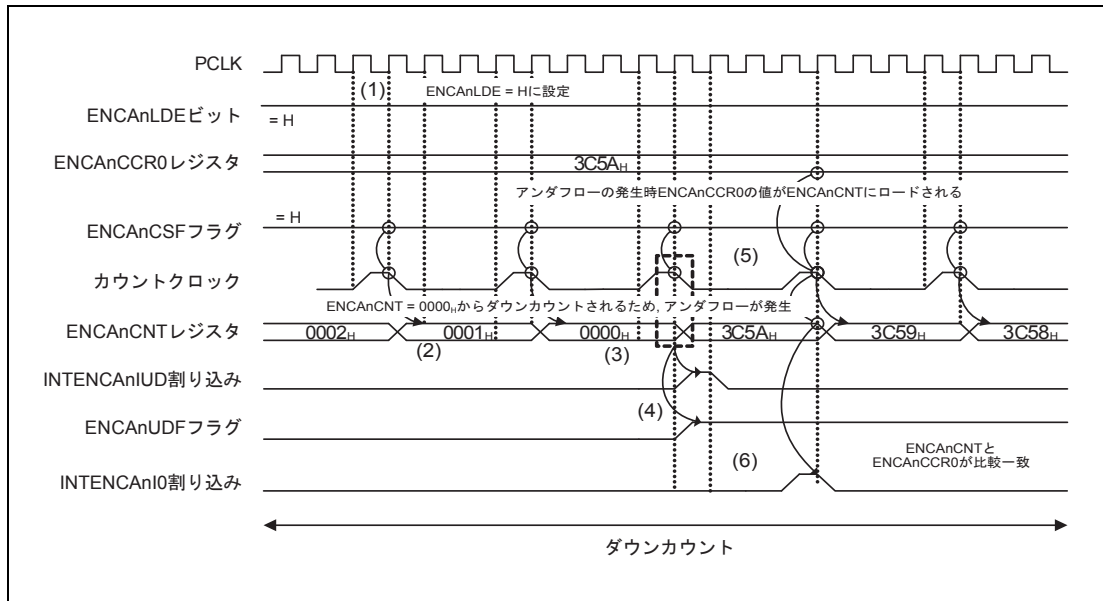
- (1) $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
- (2) 0000_{H} がタイマカウンタに初期値として設定されます。
- (3) ENCAAnTS が「1」にセットされ、動作が開始されます。ENCAAnTE が「1」になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である 0000_{H} からのダウンカウントが実行されることで、カウンタ値が 0000_{H} から FFF_{H} へ変化し、動作開始直後にアンダフローが発生します。
- (5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (INTENCAAnUD) が出力され、アンダフローフラグ (ENCAAnUDF) がセットされます。

22.6.13 開始直後の ENCA_nLDE 機能の利用図 22.24 開始直後の ENCA_nLDE 機能の利用

- (1) $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
- (2) ロードイネーブルビット (ENCA_nLDE) が「1」にセットされ、キャプチャ/コンパレータレジスタ 0 (ENCA_nCCR0) が 3C5A_H に設定され、タイマカウンタが初期値 0000_H に設定されます。
- (3) ENCA_nTS が「1」にセットされ、動作が開始されます。ENCA_nTE が「1」になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、動作開始直後にアンダフローが発生します。ENCA_nLDE が「1」にセットされているため、ENCA_nCCR0 の値である 3C5A_H がタイマカウンタにロードされます (INTENCA_nI0 はロード時に出力されません)。
- (5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (INTENCA_nUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます (アンダフローが発生した後、ロードされた値 (3C5A_H) からのダウンカウント動作が継続します)。
- (6) ENCA_nCCR0 の値が ENCA_nCNT にロードされたあと、ENCA_nCCR0 との一致が検出され、INTENCA_nI0 が出力されます。

22.6.14 ENCA_nLDE 機能 (カウント値のロード)(1) <ENCA_nLDE = 0 の場合 >図 22.25 ENCA_nLDE 機能 (ENCA_nLDE = 0 の場合)

- (1) ENCA_nLDE が「0」に設定されています (アンダフローが発生しても、ENCA_nCCR0 の値はロードされません)。
- (2) ダウンカウントが実行されます : 0002_H → 0001_H → 0000_H
- (3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。
- (4) ENCA_nLDE が「0」に設定されているため、アンダフローが発生したときに ENCA_nCCR0 レジスタの設定値はカウンタにロードされません。
- (5) 動作がアンダフロー動作に変化します (カウンタ値 : 0000_H → FFFF_H)。
- (6) アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。

(2) <ENCA_nLDE = 1 の場合 >図 22.26 ENCA_nLDE 機能 (ENCA_nLDE = 1 の場合)

- (1) ENCA_nLDE が「1」に設定されています (アンダフローが発生すると、ENCA_nCCR0 の値がカウンタにロードされます)。
- (2) ダウンカウントが実行されます : 0002_H → 0001_H → 0000_H
- (3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。
- (4) アンダフロー割り込みが出力され、アンダフローフラグがセットされます。
- (5) ENCA_nLDE が「1」にセットされているため、アンダフローが発生すると ENCA_nCCR0 レジスタの設定値がカウンタにロードされます。ENCA_nCNT が 3C5A_H に設定されます。
- (6) ENCA_nCCR0 の値が ENCA_nCNT に設定されたあと、ENCA_nCNT の値と ENCA_nCCR0 の値がカウントクロックで一致すれば、コンパレー一致割り込み (INTENCA_nI0) が出力されます。

22.6.15 ENCA_nLDE 機能 (カウンタ値のロード) と ENCA_nCCR0 レジスタの書き換えとの競合

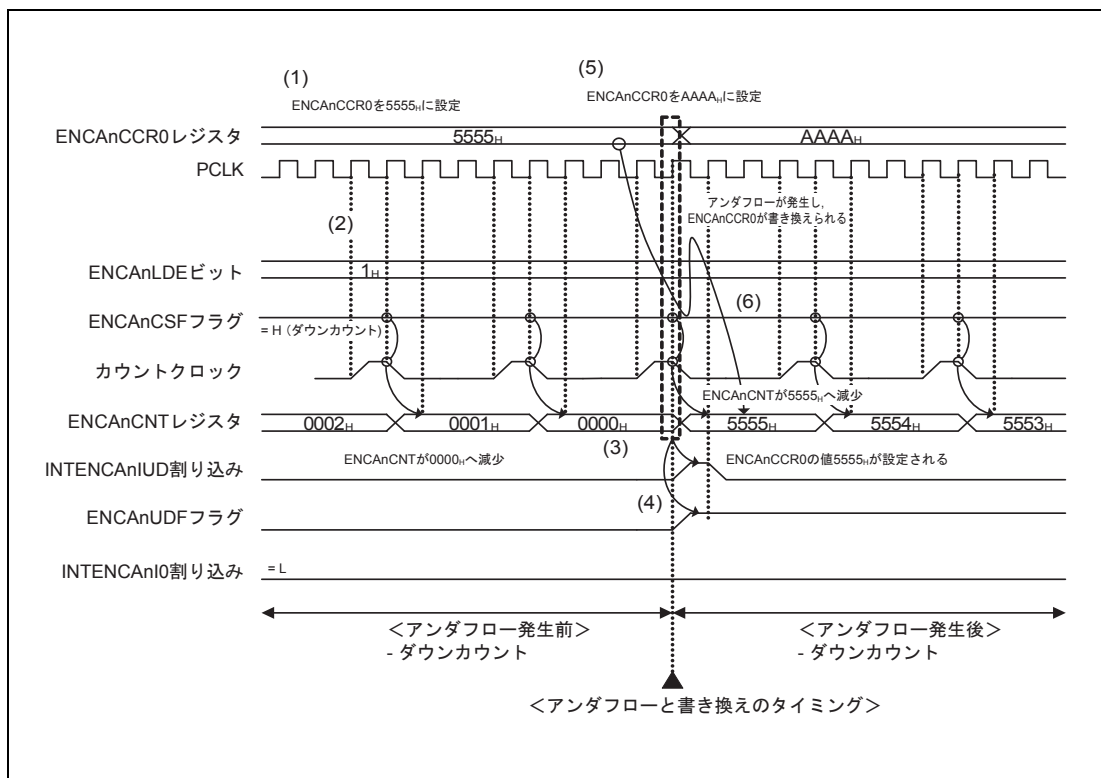


図 22.27 ENCA_nLDE 機能と ENCA_nCCR0 レジスタの書き換えとの競合

- (1) ENCA_nCCR0 レジスタは、現在 5555_H に設定されています。
- (2) ENCA_nLDE は現在「1」にセットされています。
- (3) 0002_H → 0001_H → 0000_H とダウンカウントが実行され、アンダフローが発生します。
- (4) アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。
- (5) アンダフローが発生すると同時に、ENCA_nCCR0 レジスタの値が 5555_H から AAAA_H に書き換えられます。
- (6) さらに、アンダフローが発生すると同時に、書き換えられる前の ENCA_nCCR0 の値 (5555_H) が ENCA_nCNT に設定されます。

22.6.16 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

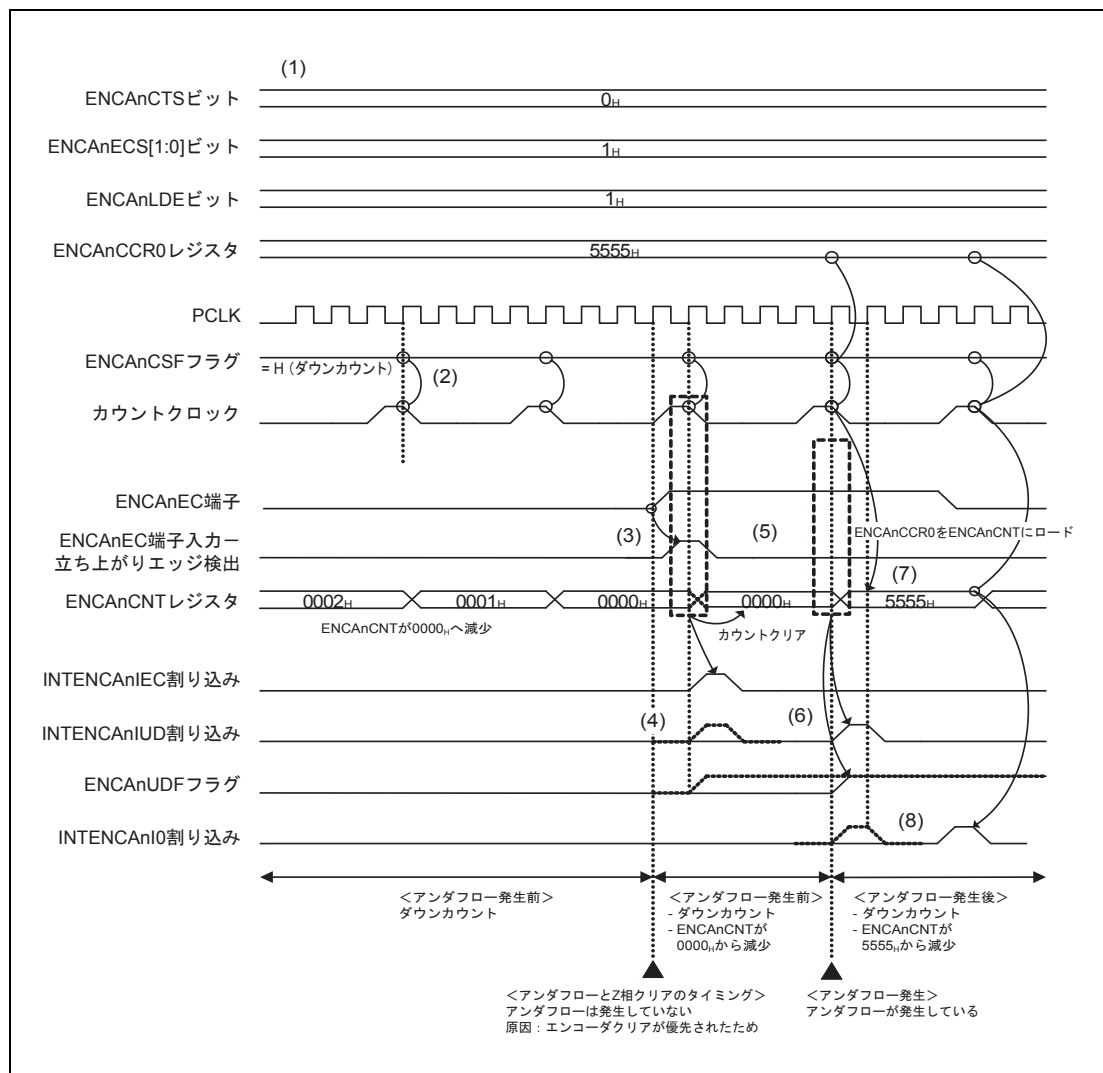


図 22.28 ENCA_nLDE 機能とエンコーダクリア入力によるクリア動作との競合

- (1) 以下の値が設定されています。ENCA_nCTS = 0、ENCA_nECS[1:0] = 01_B、ENCA_nLDE = 1、ENCA_nCCR0 = 5555_H。
- (2) ダウンカウントが実行されます：0002_H → 0001_H → 0000_H。
- (3) カウンタ値が 0000_H になったときに ENCA_nEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
- (4) カウンタ値が 0000_H に達したときにカウンタクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (INTENCA_nIEC) が出力されます。さらに、カウンタ値 0000_H でダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (INTENCA_nIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。
- (5) エンコーダクリア入力によるクリアによってカウンタ値が 0000_H にクリアされたあと、ダウンカウントが実行され、アンダフローが発生します。

- (6) アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。
- (7) ENCA_nLDE = 1 であるため、アンダフローが発生すると ENCA_nCCR0 の値が ENCA_nCNT にロードされます。
- (8) ENCA_nCCR0 の値が ENCA_nCNT に設定されたあと、カウントクロックに基づいてコンペアー一致の検出が行われ、ENCA_nCNT と ENCA_nCCR0 が一致するとコンペアー一致割り込み (INTENCA_nI0) が出力されます。

22.6.17 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント

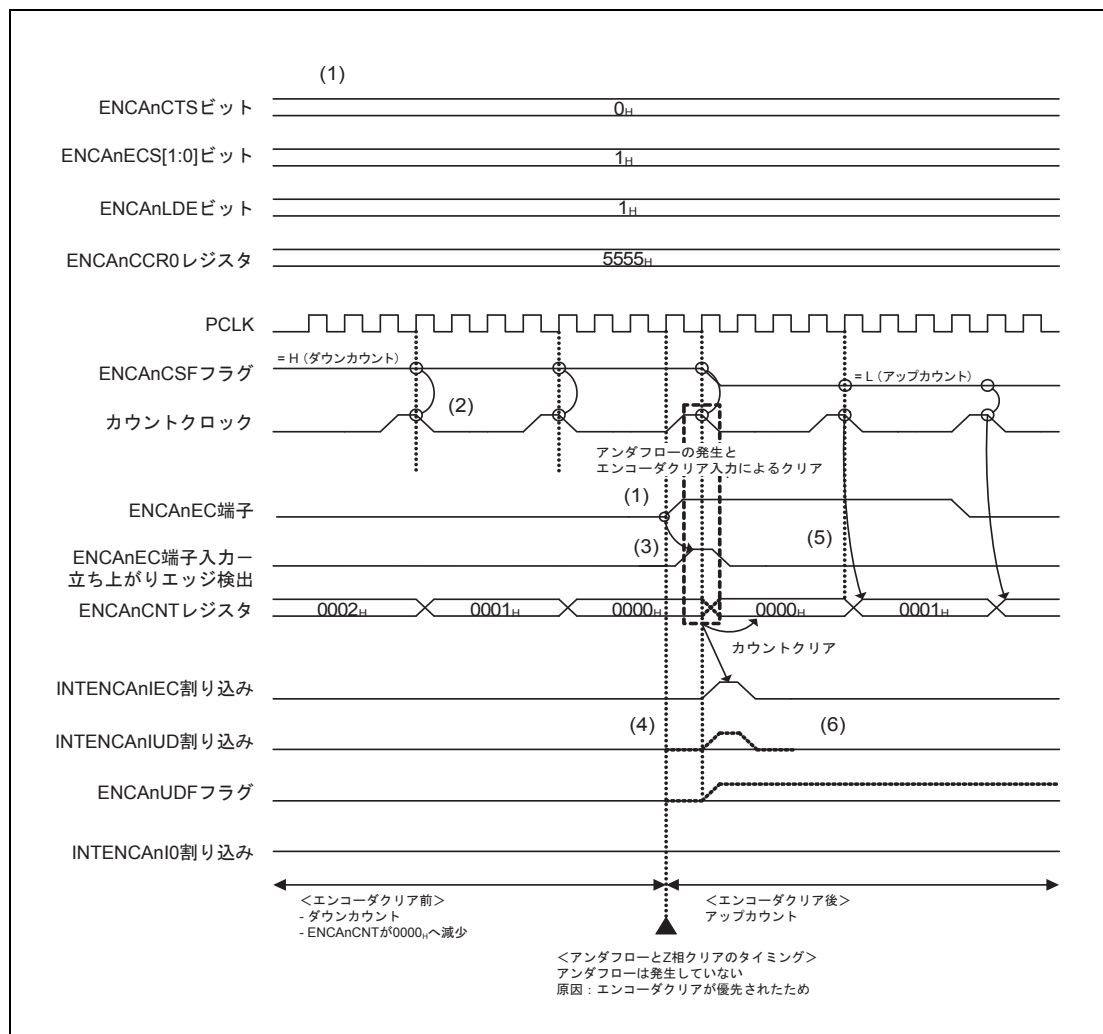


図 22.29 ENCA_nLDE 機能とエンコーダクリアとの競合後のアップカウント

- (1) 以下の値が設定されています。ENCA_nCTS = 0、ENCA_nECS[1:0] = 01_B、ENCA_nLDE = 1、ENCA_nCCR0 = 5555_H。
- (2) ダウンカウントが実行されます: 0002_H → 0001_H → 0000_H。
- (3) カウント値が 0000_H になったときに ENCA_nEC の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
- (4) カウント値が 0000_H に達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (INTENCA_nIEC) が出力されます。さらに、カウント値 0000_H のときにダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (INTENCA_nIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。
- (5) エンコーダクリア入力によるクリアによってカウント値が 0000_H にクリアされたあと、アップカウントが実行されます。

- (6) アンダフロー割り込み (INTENCAnIUD) は出力されず、アンダフローフラグ (ENCAnUDF) もセットされません。

22.6.18 カウントクロック間のキャプチャ動作 (ENCAnCCR1)

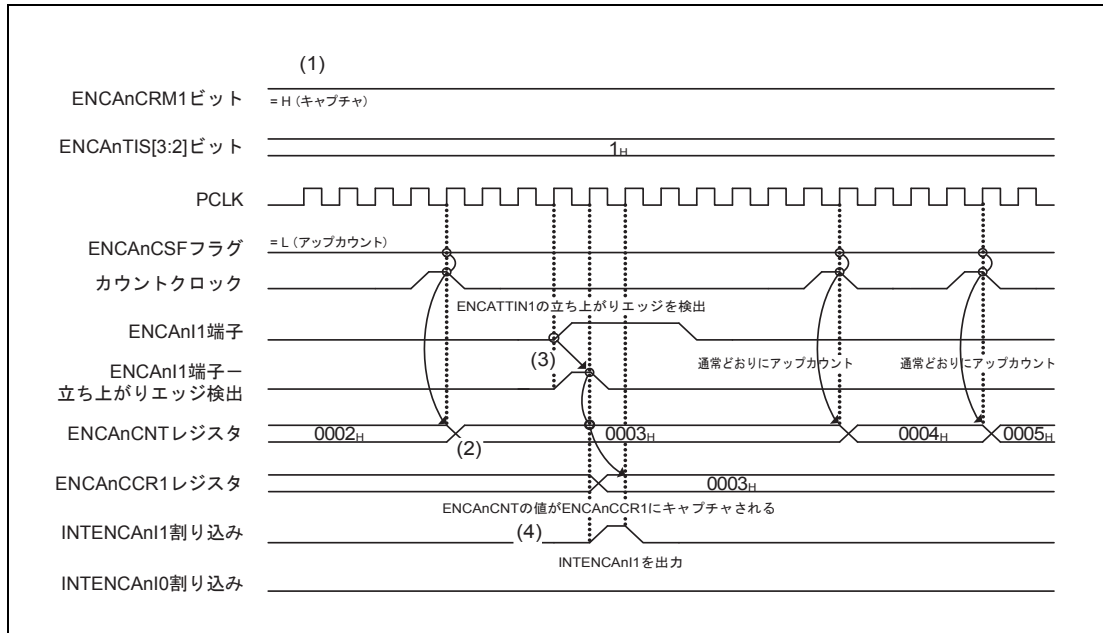


図 22.30 カウントクロック間のキャプチャ動作 (ENCAnCCR1)

- (1) 以下の値が設定されています。ENCAnCRM1 = 1、ENCAnTIS[3:2] = 01_B。
- (2) アップカウントが実行されます。
- (3) ENCAAnI1 入力の立ち上がりエッジが検出され、カウント値が ENCAAnCCR1 にキャプチャされます。
- (4) ENCAAnCCR1 レジスタへのキャプチャに対応する割り込み (INTENCAnI1) が出力されます。

22.6.19 カウントクロック間のキャプチャ動作 (ENCAnCCR0)

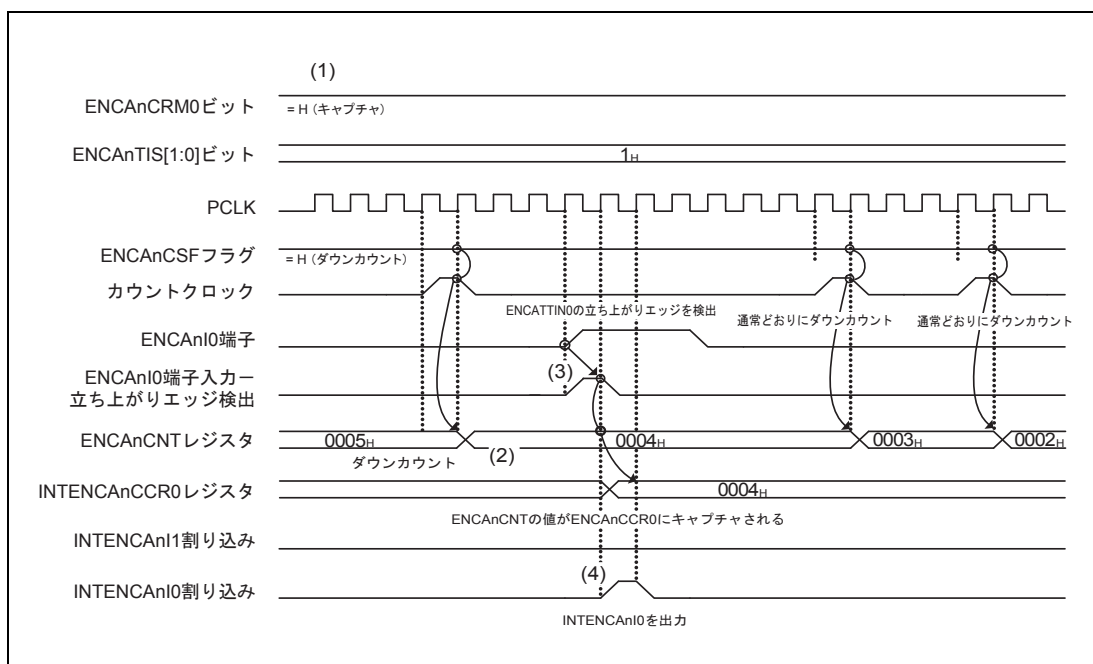
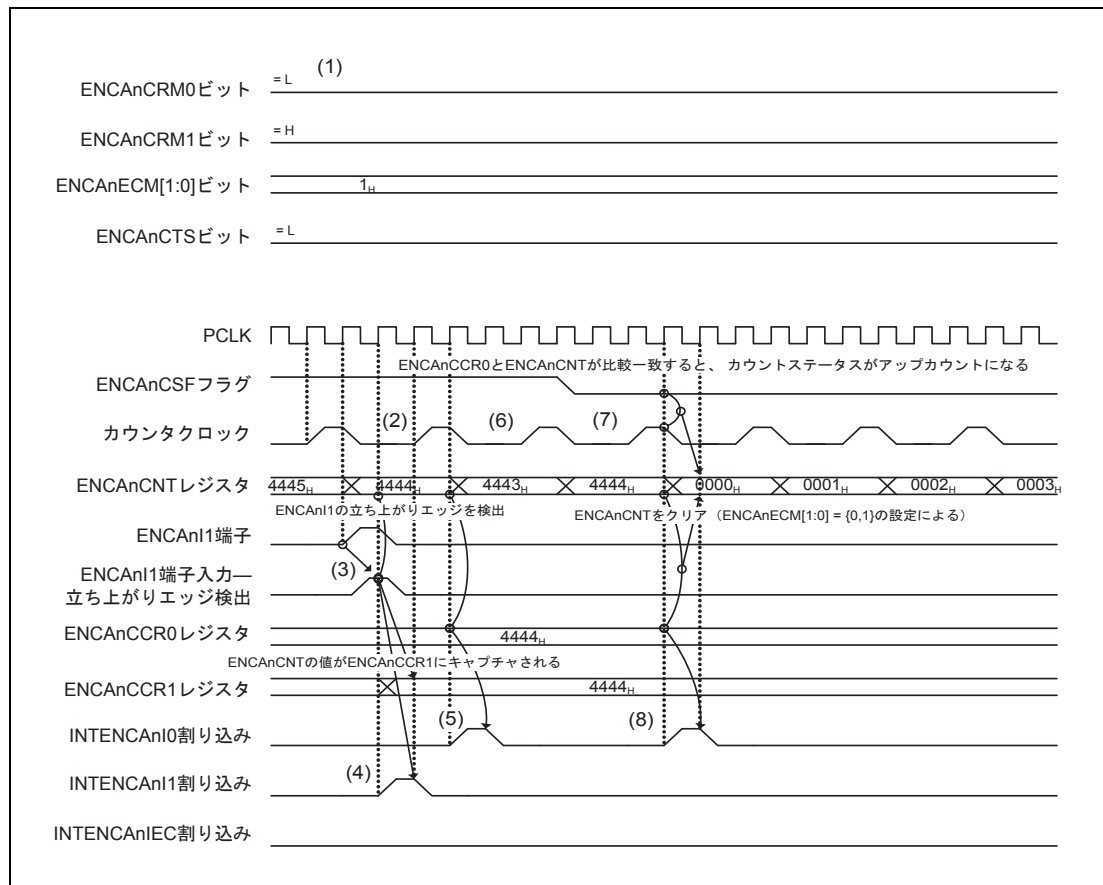
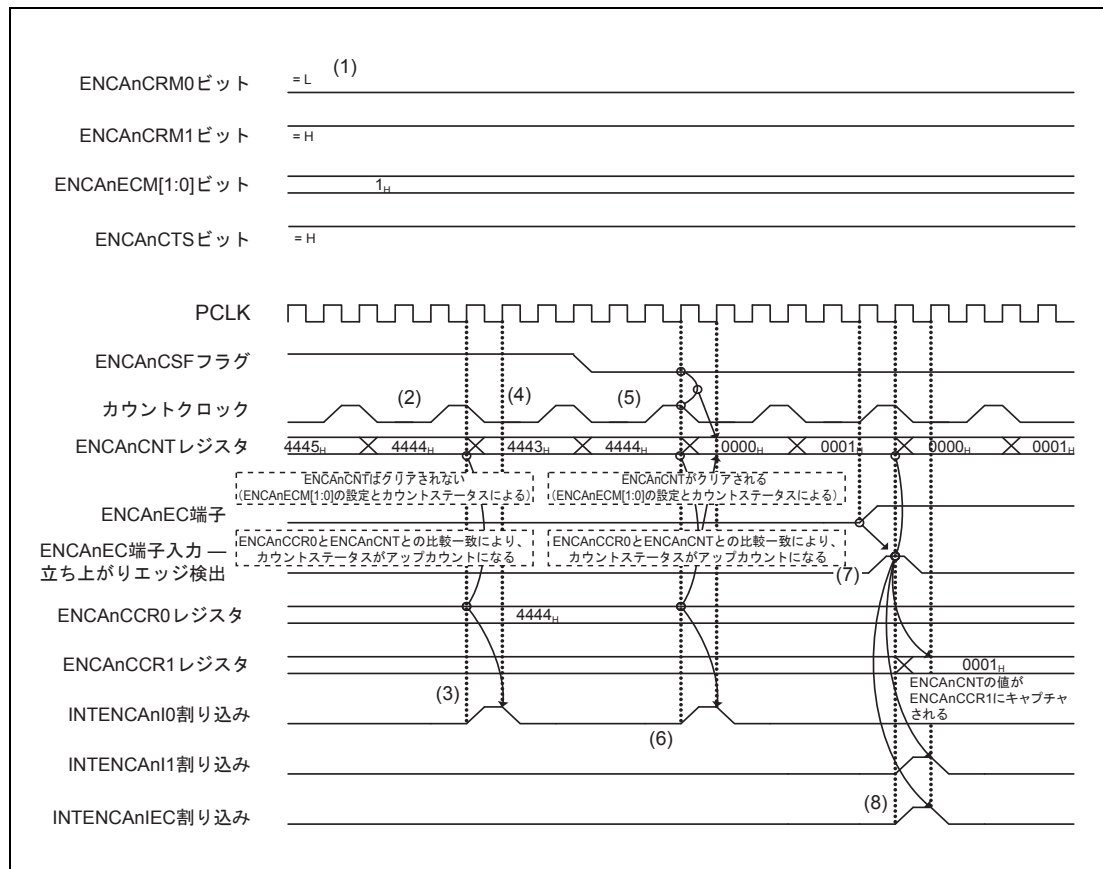


図 22.31 カウントクロック間のキャプチャ動作 (ENCAnCCR0)

- (1) 以下の値が設定されています。ENCAnCRM0 = 1、ENCAnTIS[1:0] = 01_B。
- (2) ダウンカウントが実行されます。
- (3) ENCAAnI0 入力の立ち上がりエッジが検出され、カウント値が ENCAAnCCR0 にキャプチャされます。
- (4) ENCAAnCCR0 レジスタへのキャプチャに対応する割り込み (INTENCAAnI0) が出力されます。

22.6.20 コンペアー一致クリア制御有効かつ ENCA_nCTS = 0 のときのエンコーダの動作図 22.32 コンペアー一致クリア制御有効かつ ENCA_nCTS = 0 のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCA_nCCR0 = 4444_H、ENCA_nCRM0 = 0、ENCA_nCRM1 = 1、ENCA_nECM[1:0] = 01_B、ENCA_nCTS = 0。
- (2) ダウンカウントが実行されます。
- (3) ENCA_nI1 の立ち上がりエッジが検出され、ENCA_nCNT の値 4444_H が ENCA_nCCR1 レジスタにキャプチャされます。
- (4) ENCA_nCCR1 へのキャプチャに対応する割り込み (INTENCA_nI1) が出力されます。
- (5) ENCA_nCNT (4445_H から 4444_H へダウンカウントされる) と ENCA_nCCR0 (4444_H) がコンペアー一致すると、ENCA_nCCR0 とのコンペアー一致割り込み (INTENCA_nI0) が出力されます。
- (6) カウント動作がアップカウントに変わります。
- (7) ENCA_nCNT が 4443_H から 4444_H へカウントアップされると ENCA_nCCR0 とのコンペアー一致が再び発生します。コンペアー一致が発生したときのカウント動作がアップカウントであるため、ENCA_nECM[1:0] の設定 (01_B) にしたがってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- (8) ENCA_nCNT が 4444_H になると、ENCA_nCCR0 とのコンペアー一致割り込み (INTENCA_nI0) が出力されます。

22.6.21 コンペア一致クリア制御有効かつ ENCA_nCTS = 1 のときのエンコーダの動作図 22.33 コンペア一致クリア制御有効かつ ENCA_nCTS = 1 のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCA_nCCR0 = 4444_H、ENCA_nCRM0 = 0、ENCA_nCRM1 = 1、ENCA_nECM[1:0] = 01_B、ENCA_nCTS = 1。
- (2) ダウンカウントが実行されます。
- (3) ENCA_nCNT (4445_H から 4444_H へダウンカウントされる) と ENCA_nCCR0 (4444_H) がコンペア一致すると、コンペア/キャプチャ割り込み 0 (INTENCA_nI0) が出力されません。
- (4) カウント動作がアップカウントに変わります。
- (5) ENCA_nCNT が 4443_H から 4444_H へカウントアップされると ENCA_nCCR0 とのコンペア一致が再び発生します。コンペア一致が発生したときのカウント動作がアップカウントであるため、ENCA_nECM[1:0] の設定 (01_B) にしたがってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- (6) ENCA_nCNT が 4444_H になると、ENCA_nCCR0 とのコンペア一致割り込み (INTENCA_nI0) が出力されます。
- (7) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。この時点で ENCA_nEC 信号の立ち上がりエッジが検出されることによって ENCA_nCNT の値 0001_H が ENCA_nCCR1 にキャプチャされ、カウンタが 0000_H にクリアされます。
- (8) ENCA_nCCR1 レジスタへのキャプチャに対応する割り込み (INTENCA_nI1) と ENCA_nEC によるクリア割り込み (INTENCA_nIEC) が出力されます。

22.6.22 コンペアー一致クリア制御無効時のエンコーダの動作

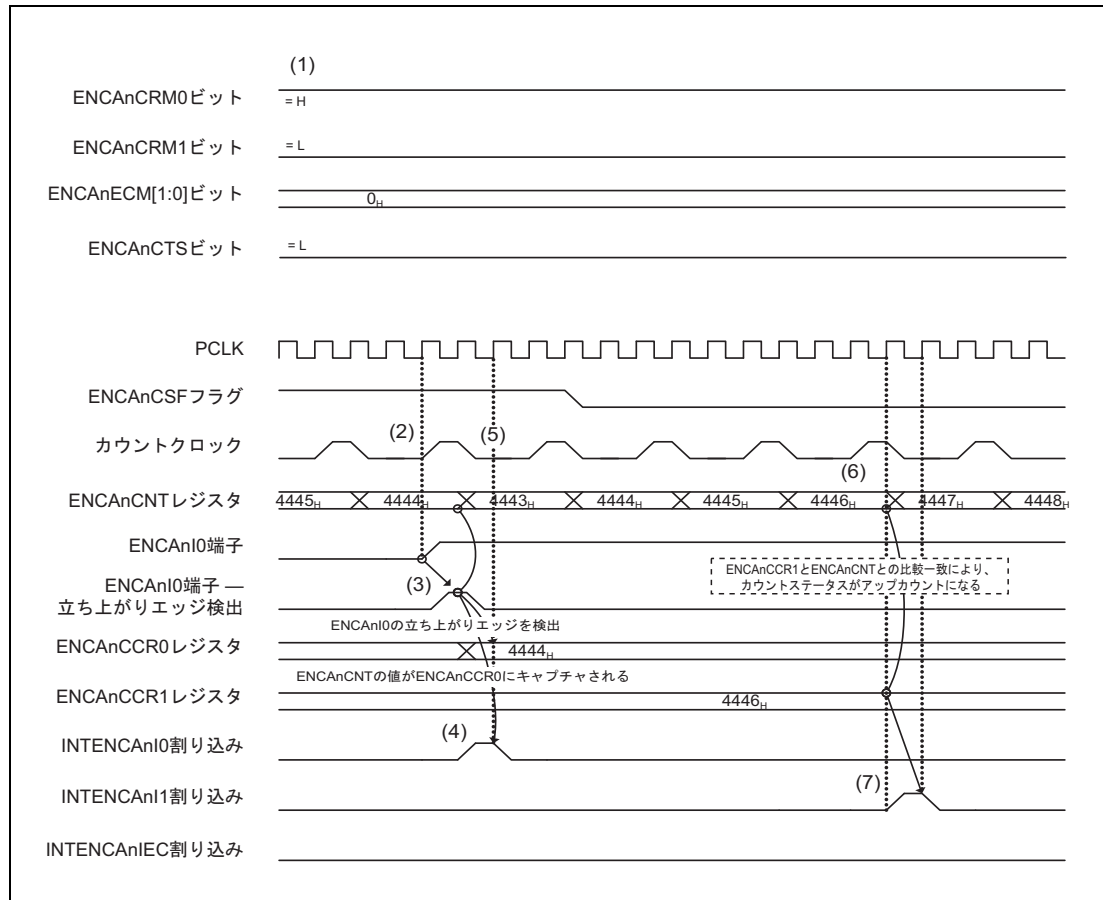


図 22.34 コンペアー一致クリア制御無効時のエンコーダの動作

- (1) 以下の値が設定されています。ENCAAnCCR1 = 4446_H、ENCAAnCRM0 = 1、ENCAAnCRM1 = 0、ENCAAnECM[1:0] = 00_B、ENCAAnCTS = 0。
- (2) ダウンカウントが実行されます。
- (3) ENCAAnI0 の立ち上がりエッジが検出されると、ENCAAnCNT の値 (4444_H) が ENCAAnCCR0 にキャプチャされます。
- (4) ENCAAnCCR0 へのキャプチャに対応する割り込み (INTENCAAnI0) が出力されます。
- (5) カウント動作がアップカウントに変わります。
- (6) ENCAAnCNT が 4446_H になると、ENCAAnCCR1 とのコンペアー一致が検出されます。
- (7) ENCAAnCCR1 とのコンペアー一致割り込み (INTENCAAnI1) が出力されます。

22.6.23 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアのタイミングで行われるキャプチャ動作

22.6.23.1 付随するキャプチャ動作

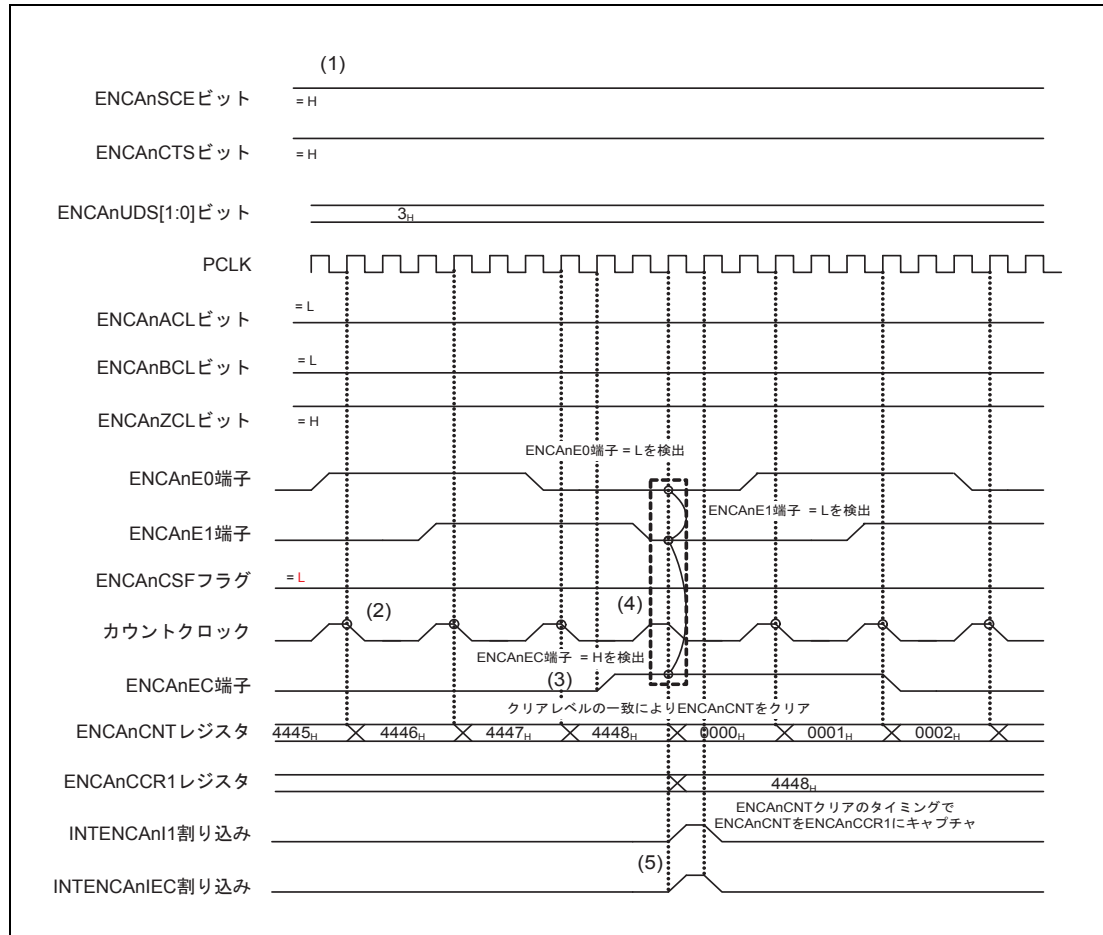


図 22.35 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアのタイミングで行われるキャプチャ動作

- (1) 以下の設定が行われています。ENCA_nSCE = 1、ENCA_nCTS = 1、ENCA_nUDS[1:0] = 11_B、ENCA_nACL = 0、ENCA_nBCL = 0、ENCA_nZCL = 1。
- (2) アップカウントが実行されます。
- (3) ENCA_nEC の立ち上がりエッジではカウント値はクリアされません。
- (4) ENCA_nE0、ENCA_nE1、ENCA_nEC が設定されたクリアレベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCA_nCCR1 にキャプチャされます。
- (5) クリアのタイミングで、ENCA_nCCR1 へのキャプチャに対応する割り込み (INTENCA_nI1) と ENCA_nEC によるクリア割り込み (INTENCA_nIEC) が出力されません。

22.6.23.2 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

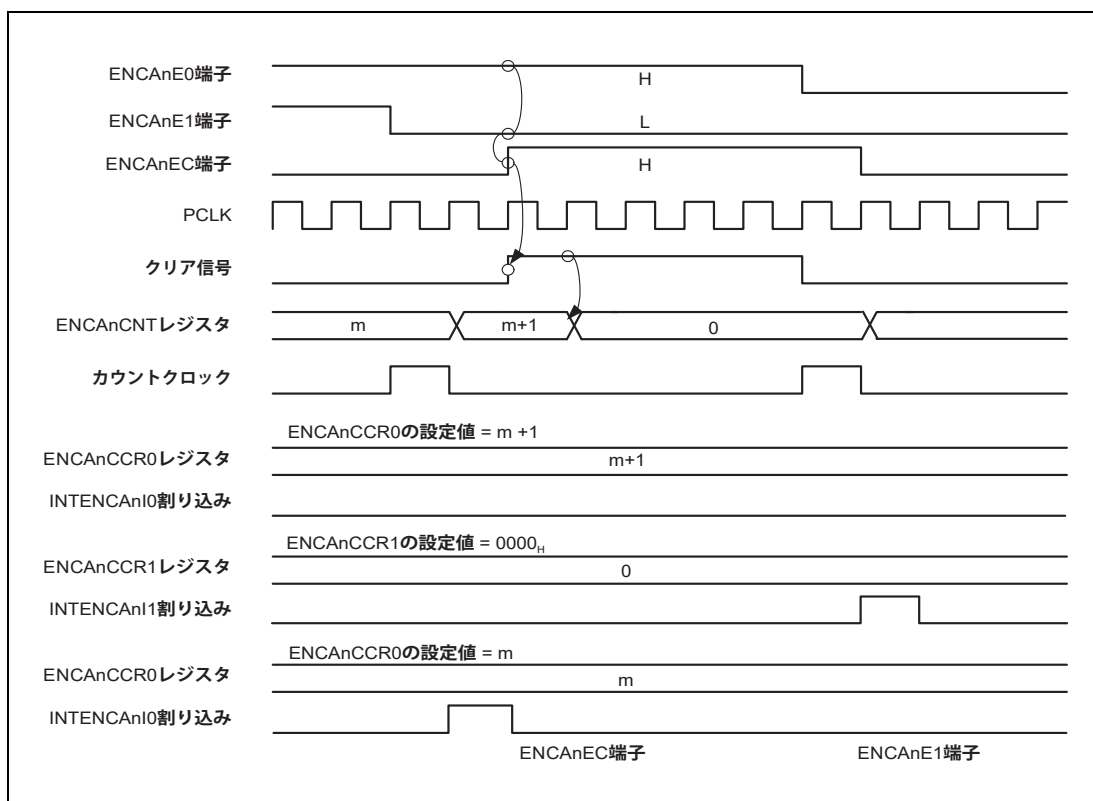


図 22.36 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

22.6.23.3 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

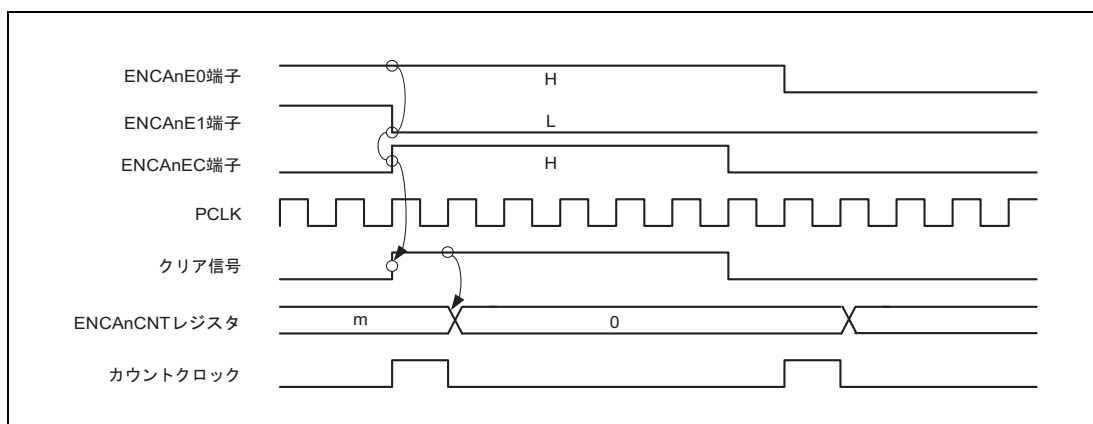


図 22.37 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合のクリアのタイミング

22.6.23.4 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

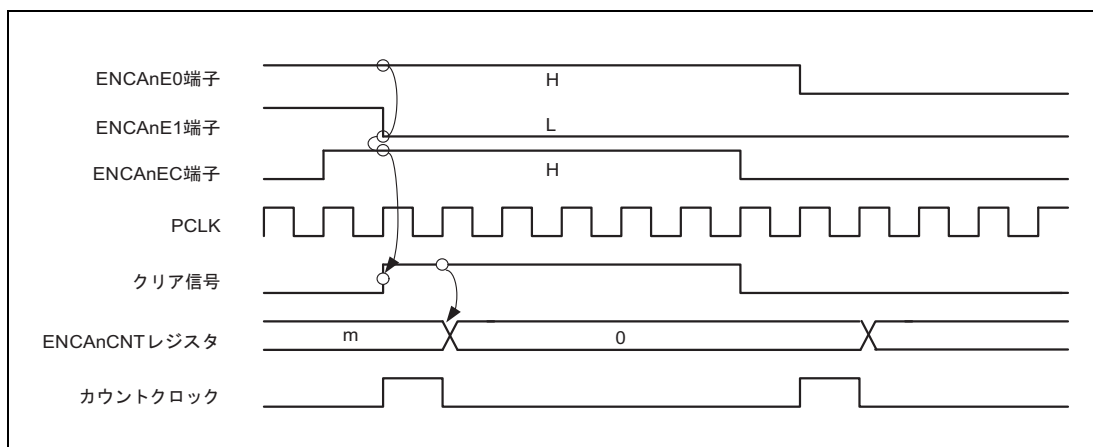


図 22.38 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合のクリアのタイミング

22.6.23.5 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

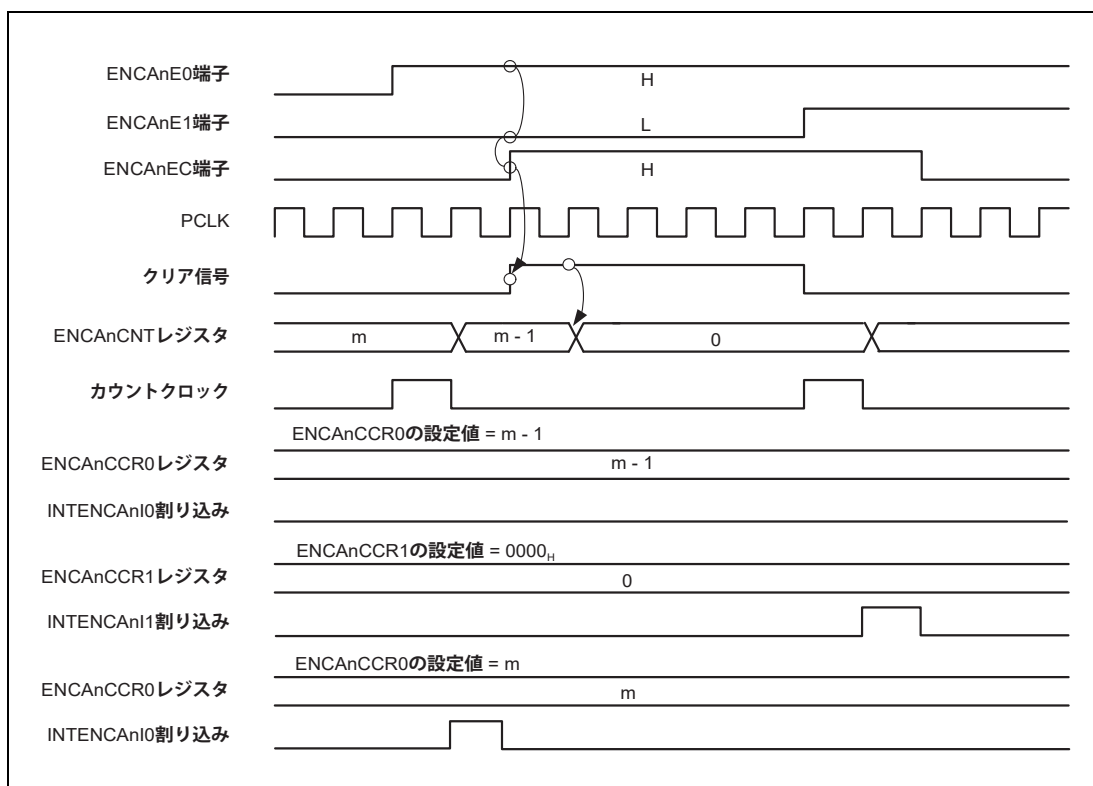


図 22.39 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

22.6.24 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

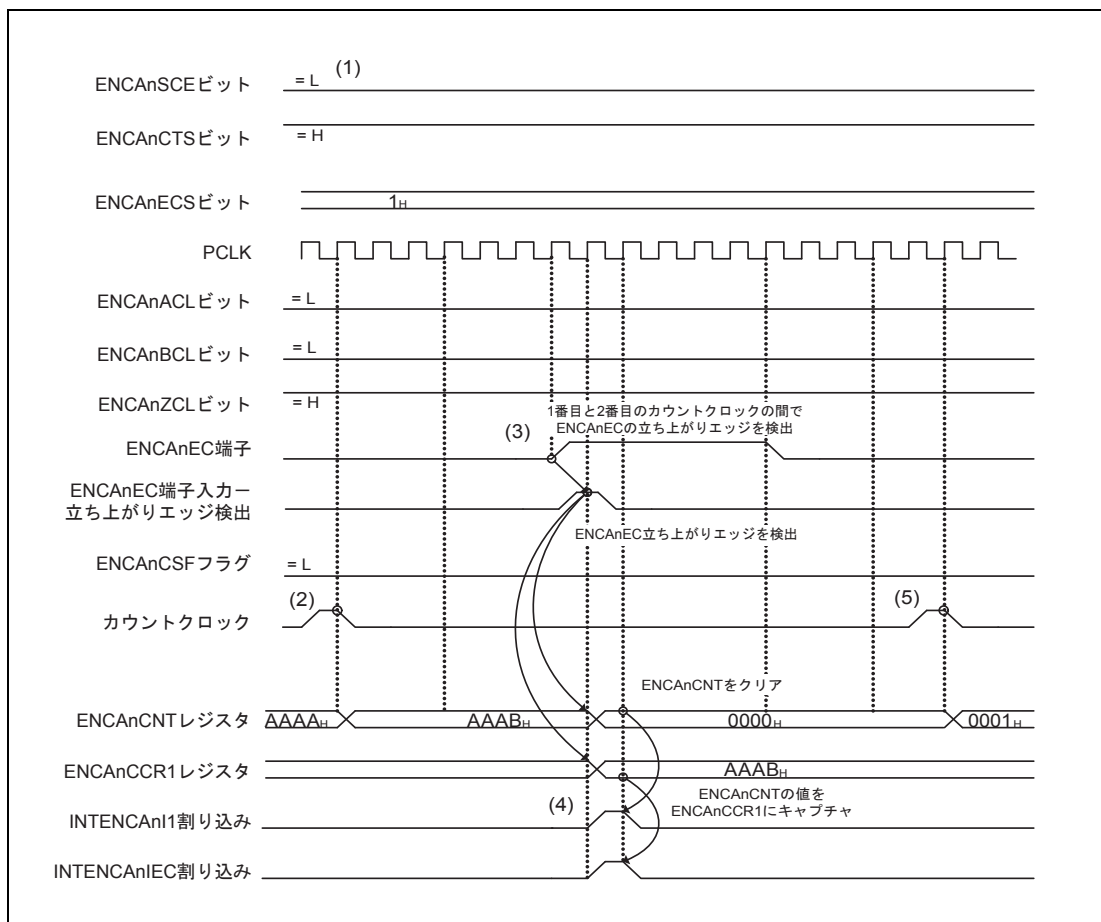


図 22.40 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

- (1) 以下の値が設定されています。ENCA_nSCE = 0、ENCA_nCTS = 1、ENCA_nECS[1:0] = 01_B。
- (2) アップカウントが実行されます。
- (3) ENCA_nEC の立ち上がりエッジが検出され、ENCA_nCNT の値 (AAAB_H) が ENCA_nCCR1 にキャプチャされます。同時に、ENCA_nEC によるクリア動作が行われるため、ENCA_nCNT は 0000_H にクリアされます。
- (4) ENCA_nCCR1 へのキャプチャ割り込み 1 (INTENCA_nI1) と ENCA_nEC によるエンコーダクリア割り込み (INTENCA_nIEC) が出力されます。
- (5) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。

第23章 ペリフェラルインタコネクション (PIC)

23.1 RH850/C1x PIC の特長

本章では、ペリフェラルインタコネクション (PIC) 全般について説明します。

最初の節では、ユニット名、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。それ以降の節では、PIC (PIC1A、PIC2B) の機能、レジスタについて説明します。

23.1.1 ユニット数

本製品は以下のユニット数の PIC を搭載しています。

表 23.1 ユニット数 (PIC1A)

製品	RH850/C1x
ユニット数	1
名称	PIC1A

表 23.2 ユニット数 (PIC2B)

製品	RH850/C1x
ユニット数	1
名称	PIC2B

表 23.3 添字

添字	意味
n	各タイマ、A/D コンバータのユニット数を識別します。
m	各タイマ、A/D コンバータが保有しているチャンネル数を識別します。
x	A/D コンバータが保有しているスキュングループ数を識別します。
i	説明時における変数を示します。

23.1.2 レジスタベースアドレス

PIC のベースアドレスを以下の表に示します。

PIC のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 23.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PIC1A_base>	FFDD 0000 _H
<PIC2B_base>	FFDD 1000 _H

23.1.3 クロック供給

PIC のクロック供給を以下の表に示します。

表 23.5 PIC クロック供給

ユニット名	ユニットクロック名	供給クロック名
PIC1A	PCLK	CLKC_HSB (非変調高速周辺クロック)
PIC2B	PCLK	CLKC_HSB (非変調高速周辺クロック)

23.1.4 リセット要因

PIC のリセット要因を以下に示します。PIC は以下のリセット要因で初期化されます。

表 23.6 リセット要因

ユニット名	リセット要因
PIC1A	すべてのリセット要因でリセット
PIC2B	すべてのリセット要因でリセット

23.1.5 外部入出力信号

PIC の外部入出力信号を以下の表に示します。

表 23.7 PIC1A 外部入力信号

ユニット信号名	概要	ポート端子兼用信号名
ENCAnI1	ENCAn キャプチャトリガ入力 1	ENCAnTIN1
ENCAnE0	ENCAn エンコーダ入力 (カウントパルス 0)	ENCAnE0
ENCAnE1	ENCAn エンコーダ入力 (カウントパルス 1)	ENCAnE1
ENCAnEC	ENCAn エンコーダ入力 (クリアパルス)	ENCAnEC
TAUDnTINm	TAUDn チャネル入力 m	TAUDnIm
ESOn	Hi-Z 制御	TAPAnESO
TSG3nO1-6	TSG3n チャネル出力 1-6	TSG3nO1-6
TOPnU	モータ制御出力 U 相	TAPAnUP
TOPnUB	モータ制御出力 UB 相	TAPAnUN
TOPnV	モータ制御出力 V 相	TAPAnVP
TOPnVB	モータ制御出力 VB 相	TAPAnVN
TOPnW	モータ制御出力 W 相	TAPAnWP
TOPnWB	モータ制御出力 WB 相	TAPAnWN

表 23.8 PIC2B 外部入力信号

ユニット信号名	概要	ポート端子兼用信号名
ADTRGnZ	ADCCn トリガ	ADCCnTRG

23.2 ペリフェラルインタコネクション 1 (PIC1A)

23.2.1 概要

23.2.1.1 機能概要

ペリフェラルインタコネクション 1 (PIC1A) は、複数タイマを使用した同調動作やタイマ入出力の内部信号をタイマ間で接続することにより、様々な機能を実現することができます。

注 意

- 以下に、本章の説明にて使用している信号名の略称を示します。実際の信号名は以下のよう読み替えてください。
 INTm → TAUDnTINTm
 TINm → TAUDnTTINm
 TOUTm → TAUDnTTOUTm
 CDRm → TAUDnCDRm
 CNTm → TAUDnCNTm
- 以下に、本章の説明にて使用している ENCA 内部信号の機能を示します。
 ENCATnEQ0 : INTENCA_nI0 割り込み信号の 1PCLK 前に出力される内部信号です。
 ENCATnEQ1 : INTENCA_nI1 割り込み信号の 1PCLK 前に出力される内部信号です。
 ENCATnIEC : INTENCA_nIEC 割り込み信号の内部信号です。

PIC1A には以下の機能があります。

- 同時スタートトリガ機能
- デッドタイム付き PWM 出力機能
- デッドタイム付き高精度三角波 PWM 出力機能
- デッドタイム付きディレイパルス出力機能
- トリガ&パルス間隔測定機能
- エンコーダキャプチャトリガ選択機能
- 2相エンコーダ制御機能 (制御方式 1)
- 2相エンコーダ制御機能 (制御方式 2)
- 2相エンコーダ制御機能 (制御方式 3)
- 3相パルス入力制御機能
- 3相エンコーダ制御機能
- ENCA 入力選択機能
- TAUD 入力選択機能
- TSG 出力とロウ/ハイ出力切り替え機能
- Hi-Z 制御機能

23.2.2 レジスタ

23.2.2.1 レジスタ一覧

以下にレジスタ一覧を示します。

アクセスアドレスは32ビットアクセスのみであり、16ビット/8ビットアクセスした場合であっても32ビットアクセスとして動作します。

<PIC1A_base> は「**23.1.2 レジスタベースアドレス**」を参照してください。

表 23.9 レジスタ一覧

モジュール名	レジスタ機能	名称	アドレス
PIC1A	同時スタートトリガ制御レジスタ	PIC1ASST	<PIC1A_base> + 04 _H
PIC1A	同時スタート制御レジスタ 0	PIC1ASSER0	<PIC1A_base> + 10 _H
PIC1A	同時スタート制御レジスタ 1	PIC1ASSER1	<PIC1A_base> + 14 _H
PIC1A	同時スタート制御レジスタ 2	PIC1ASSER2	<PIC1A_base> + 18 _H
PIC1A	同時スタート制御レジスタ 3	PIC1ASSER3	<PIC1A_base> + 1C _H
PIC1A	RS フリップフロップ回路初期化レジスタ 00	PIC1AINI00	<PIC1A_base> + 20 _H
PIC1A	DT 初期化レジスタ 01	PIC1AINI01	<PIC1A_base> + 24 _H
PIC1A	RS フリップフロップ回路初期化レジスタ 10	PIC1AINI10	<PIC1A_base> + 2C _H
PIC1A	DT 初期化レジスタ 11	PIC1AINI11	<PIC1A_base> + 30 _H
PIC1A	TSG30 出力のロウ/ハイ出力選択レジスタ	PIC1ALHSEL0	<PIC1A_base> + 60 _H
PIC1A	TSG30 出力制御レジスタ	PIC1ATSGOUTCTR0	<PIC1A_base> + 64 _H
PIC1A	TSG31 出力のロウ/ハイ出力選択レジスタ	PIC1ALHSEL1	<PIC1A_base> + 68 _H
PIC1A	TSG31 出力制御レジスタ	PIC1ATSGOUTCTR1	<PIC1A_base> + 6C _H
PIC1A	ホールセンサ入力選択レジスタ	PIC1ATSGHALLSEL	<PIC1A_base> + 74 _H
PIC1A	TAUD0 入力選択レジスタ	PIC1ATAUD0SEL	<PIC1A_base> + 78 _H
PIC1A	TAUD1 入力選択レジスタ	PIC1ATAUD1SEL	<PIC1A_base> + 7C _H
PIC1A	Hi-Z 制御レジスタ 0	PIC1AHIZCEN0	<PIC1A_base> + 80 _H
PIC1A	Hi-Z 制御レジスタ 1	PIC1AHIZCEN1	<PIC1A_base> + 84 _H
PIC1A	Hi-Z 制御レジスタ 2	PIC1AHIZCEN2	<PIC1A_base> + 88 _H
PIC1A	Hi-Z 制御レジスタ 3	PIC1AHIZCEN3	<PIC1A_base> + 8C _H
PIC1A	ENCATIN1 入力選択レジスタ 400	PIC1AENCSEL400	<PIC1A_base> + B8 _H
PIC1A	ENCATIN1 入力選択レジスタ 410	PIC1AENCSEL410	<PIC1A_base> + BC _H
PIC1A	タイマ入出力制御レジスタ 200	PIC1AREG200	<PIC1A_base> + C0 _H
PIC1A	タイマ入出力制御レジスタ 201	PIC1AREG201	<PIC1A_base> + C4 _H
PIC1A	タイマ入出力制御レジスタ 202	PIC1AREG202	<PIC1A_base> + C8 _H
PIC1A	タイマ入出力制御レジスタ 203	PIC1AREG203	<PIC1A_base> + CC _H
PIC1A	タイマ入出力制御レジスタ 210	PIC1AREG210	<PIC1A_base> + D4 _H
PIC1A	タイマ入出力制御レジスタ 211	PIC1AREG211	<PIC1A_base> + D8 _H
PIC1A	タイマ入出力制御レジスタ 212	PIC1AREG212	<PIC1A_base> + DC _H
PIC1A	タイマ入出力制御レジスタ 213	PIC1AREG213	<PIC1A_base> + E0 _H
PIC1A	タイマ入出力制御レジスタ 30	PIC1AREG30	<PIC1A_base> + E8 _H
PIC1A	タイマ入出力制御レジスタ 31	PIC1AREG31	<PIC1A_base> + EC _H
PIC1A	タイマ入出力制御レジスタ 50	PIC1AREG50	<PIC1A_base> + F8 _H
PIC1A	タイマ入出力制御レジスタ 51	PIC1AREG51	<PIC1A_base> + FC _H

23.2.2.2 PIC1ASST — 同時スタートトリガ制御レジスタ

PIC1ASST レジスタは、同時スタートトリガの選択を行う 8 ビットレジスタです。

	アドレス FFDD 0004 _H							
	リセット後の値 00 _H							
ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1ASYN CTRG
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 23.11 PIC1ASST レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	PIC1ASYN CTRG	同時スタート許可に設定したタイマに対し、スタートトリガを生成 0: 無効 1: 同時スタートトリガ (1PCLK 幅のパルスを出力)

備考 PIC1ASYNCTRG は、リード時は常に 0 を読み出します。

23.2.2.3 PIC1ASSER0 — 同時スタート制御レジスタ 0

PIC1ASSER0 レジスタは TAUD0 の各 CH のスタートトリガ許可を行うレジスタです。

アドレス		FFDD 0010 _H														
リセット後の値		0000 _H														
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AS SER01 5	PIC1AS SER01 4	PIC1AS SER01 3	PIC1AS SER01 2	PIC1AS SER011 1	PIC1AS SER01 0	PIC1AS SER00 9	PIC1AS SER00 8	PIC1AS SER00 7	PIC1AS SER00 6	PIC1AS SER00 5	PIC1AS SER00 4	PIC1AS SER00 3	PIC1AS SER00 2	PIC1AS SER00 1	PIC1AS SER00 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.12 PIC1ASSER0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIC1ASSER015 ~ PIC1ASSER000	TAUD0 CHm の同時スタートトリガの許可／禁止を設定する。 0 : 禁止 1 : 許可

23.2.2.4 PIC1ASSER1 — 同時スタート制御レジスタ 1

PIC1ASSER1 レジスタは TAUD1 の各 CH のスタートトリガ許可を行うレジスタです。

アドレス		FFDD 0014 _H														
リセット後の値		0000 _H														
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AS SER115	PIC1AS SER114	PIC1AS SER113	PIC1AS SER112	PIC1AS SER111	PIC1AS SER110	PIC1AS SER10 9	PIC1AS SER10 8	PIC1AS SER10 7	PIC1AS SER10 6	PIC1AS SER10 5	PIC1AS SER10 4	PIC1AS SER10 3	PIC1AS SER10 2	PIC1AS SER10 1	PIC1AS SER10 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.13 PIC1ASSER1 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIC1ASSER115 ~ PIC1ASSER100	TAUD1 CHm の同時スタートトリガの許可／禁止を設定する。 0 : 禁止 1 : 許可

23.2.2.5 PIC1ASSER2 — 同時スタート制御レジスタ 2

PIC1ASSER2 レジスタは、TAUJ0, TSG3n, TPBA_n, ENCA_n の同時スタートトリガ許可を行うレジスタです。

アドレス FFDD 0018_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PIC1ASSER213	PIC1ASSER212	PIC1ASSER211	PIC1ASSER210	PIC1ASSER209	PIC1ASSER208	—	—	—	—	PIC1ASSER203	PIC1ASSER202	PIC1ASSER201	PIC1ASSER200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 23.14 PIC1ASSER2 レジスタの内容

ビット位置	ビット名	機能
15、14	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
13	PIC1ASSER213	ENCA1 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
12	PIC1ASSER212	ENCA0 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
11	PIC1ASSER211	TPBA1 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
10	PIC1ASSER210	TPBA0 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
9	PIC1ASSER209	TSG31 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
8	PIC1ASSER208	TSG30 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
7 ~ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3	PIC1ASSER203	TAUJ0 CH03 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
2	PIC1ASSER202	TAUJ0 CH02 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
1	PIC1ASSER201	TAUJ0 CH01 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
0	PIC1ASSER200	TAUJ0 CH00 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可

23.2.2.6 PIC1ASSER3 — 同時スタート制御レジスタ 3

PIC1ASSER3 レジスタは、OSTM_n のスタートトリガ許可を行うレジスタです。

アドレス		FFDD 001C _H											PIC1AS	PIC1AS	PIC1AS		
リセット後の値		0000 _H											SER30	SER30	SER30		
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1AS SER30 2	PIC1AS SER30 1	PIC1AS SER30 0
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W		R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 23.15 PIC1ASSER3 レジスタの内容

ビット位置	ビット名	機能
15 ~ 3	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
2	PIC1ASSER302	OSTM2 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
1	PIC1ASSER301	OSTM1 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
0	PIC1ASSER300	OSTM0 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可

23.2.2.7 PIC1AINIn0 — フリップフロップ回路初期化レジスタ n0

PIC1AINIn0 レジスタは、RS フリップフロップ 4-2 回路 (RSn4-2) の初期化を行うレジスタです。

アドレス		FFDD 0020 _H (n = 0), FFDD 002C _H (n = 1)							
リセット後の値		00 _H							
ビット		7	6	5	4	3	2	1	0
		—	—	—	PIC1AINIn04	PIC1AINIn03	PIC1AINIn02	—	—
リセット後の値		0	0	0	0	0	0	0	0
R/W		R	R	R	W	W	W	R	R

表 23.16 PIC1AINIn0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
4 ~ 2	PIC1AINIn0[4:2]	デッドタイム付き PWM 出力機能で使用する RS フリップフロップ 4-2 回路 (RSn4-2) を初期化します。リード時は常に0が読み出されます。 0: 無効 1: 初期化
1, 0	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。

23.2.2.8 PIC1AINn1 — DT 初期化レジスタ n1

PIC1AINn1 レジスタは、ラッチ & トグル出力 (DT) 回路の初期化を行うレジスタです。

アドレス FFDD 0024_H (n = 0)、FFDD 0030_H (n = 1)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1AINn12	PIC1AINn11	PIC1AINn10
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	W	W	W

表 23.17 PIC1AINn1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
2 ~ 0	PIC1AINn1 [2:0]	トリガ & パルス間隔測定機能で使用する DT 回路を初期化します。リード時は常に 0 が読み出されます。 0: 無効 1: 初期化

23.2.2.9 PIC1ALHSEL0 — TSG30 出力のロウ/ハイ 出力選択レジスタ

PIC1ALHSEL0 レジスタは、TSG30 出力のロウ/ハイの選択を行うレジスタです。

アドレス FFDD 0060_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC1ALHSEL06	PIC1ALHSEL05	PIC1ALHSEL04	PIC1ALHSEL03	PIC1ALHSEL02	PIC1ALHSEL01	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 23.18 PIC1ALHSEL0 レジスタの内容

ビット位置	ビット名	機能
7	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
6 ~ 1	PIC1ALHSEL0m	TSG30 出力 [6:1] と PIC1ALHSEL[6:1] が対応しています。 0: ロウ出力 1: ハイ出力
0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

23.2.2.10 PIC1ATSGOUTCTR0 — TSG30 出力制御レジスタ

PIC1ATSGOUTCTR0 レジスタは、TSG30 出力信号の出力選択を行うレジスタです。

アドレス		FFDD 0064 _H						
リセット後の値		00 _H						
ビット	7	6	5	4	3	2	1	0
	—	PIC1ASEL06	PIC1ASEL05	PIC1ASEL04	PIC1ASEL03	PIC1ASEL02	PIC1ASEL01	PIC1ASEL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.19 PIC1ATSGOUTCTR0 レジスタの内容

ビット位置	ビット名	機能
7	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
6 ~ 1	PIC1ASEL0m	出力信号として、TSG30 出力かロウ/ハイ出力かを選択します。 0 : TSG30 出力 1 : ロウ/ハイ 出力
0	PIC1ASEL00	TSG30 出力のロウ/ハイ 出力機能の ON/OFF を切り替えます。 0 : OFF (TSG30 出力のみ) 1 : ON (TSG30 とロウ/ハイ 出力の切り替え可能) 注1

注 1. TSG30 出力のロウ/ハイ 出力機能が ON のとき、OFF に対して TSG 出力は 1 クロック (CLKC_HSB) 遅れます。

23.2.2.11 PIC1ALHSEL1 — TSG31 出力のロウ/ハイ出力選択レジスタ

PIC1ALHSEL1 レジスタは、TSG31 出力のロウ/ハイの選択を行うレジスタです。

アドレス		FFDD 0068 _H						
リセット後の値		00 _H						
ビット	7	6	5	4	3	2	1	0
	—	PIC1ALHSEL16	PIC1ALHSEL15	PIC1ALHSEL14	PIC1ALHSEL13	PIC1ALHSEL12	PIC1ALHSEL11	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 23.20 PIC1ALHSEL1 レジスタの内容

ビット位置	ビット名	機能
7	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
6 ~ 1	PIC1ALHSEL1m	TSG31 出力 [6:1] と PIC1ALHSEL[6:1] が対応しています。 0 : ロウ出力 1 : ハイ出力
0	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。

23.2.2.12 PIC1ATSGOUTCTR1 — TSG31 出力制御レジスタ

PIC1ATSGOUTCTR1 レジスタは、TSG31 出力信号の出力選択を行うレジスタです。

アドレス		FFDD 006C _H						
リセット後の値		00 _H						
ビット	7	6	5	4	3	2	1	0
	—	PIC1ASEL16	PIC1ASEL15	PIC1ASEL14	PIC1ASEL13	PIC1ASEL12	PIC1ASEL11	PIC1ASEL10
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.21 PIC1ATSGOUTCTR1 レジスタの内容

ビット位置	ビット名	機能
7	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
6 ~ 1	PIC1ASEL1m	出力信号として、TSG31 出力かロウ/ハイ出力かを選択します。 0 : TSG31 出力 1 : ロウ/ハイ 出力
0	PIC1ASEL10	TSG31 出力のロウ/ハイ 出力機能の ON/OFF を切り替えます。 0 : OFF (TSG31 出力のみ) 1 : ON (TSG31 とロウ/ハイ 出力の切り替え可能) 注 1

注 1. TSG31 出力のロウ/ハイ 出力機能が ON の時、OFF に対して TSG 出力は 1 クロック (CLKC_HSB) 遅れます。

23.2.2.13 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ

PIC1ATSGHALLSEL レジスタは、外部ホールセンサ信号の入力端子設定を行うレジスタです。

アドレス		FFDD 0074 _H						
リセット後の値		00 _H						
ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC1A TSG1HALLSEL	PIC1A TSG0HALLSEL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.22 PIC1ATSGHALLSEL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1	PIC1A TSG1HALLSEL	外部ホールセンサ信号の入力端子の状態を設定します。注 1 0 : セパレート入力 1 : ENCA 兼用入力
0	PIC1A TSG0HALLSEL	外部ホールセンサ信号の入力端子の状態を設定します。注 1 0 : セパレート入力 1 : ENCA 兼用入力

注 1. C1x 製品では外部ホールセンサ入力端子は ENCA 兼用入力のため、必ず 1 を設定してください。また、PIC1AREG50 レジスタのビット 0 および、PIC1AREG51 レジスタのビット 0 は以下のように設定してください。

PIC1ATSG1HALLSEL	PIC1AREG5100	機能
1	1	ENCA1E0, ENCA1E1, ENCA1EC 端子入力を選択
上記以外		設定禁止

PIC1ATSG0HALLSEL	PIC1AREG5000	機能
1	0	ENCA0E0, ENCA0E1, ENCA0EC 端子入力を選択
上記以外		設定禁止

23.2.2.14 PIC1ATAUD0SEL — TAUD0 入力選択レジスタ

PIC1ATAUD0SEL レジスタは、TAUDTIN 入力信号の選択を行う 32 ビットレジスタです。

アドレス FFDD 0078_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1AT AUD0IN 143	PIC1AT AUD0IN 142	PIC1AT AUD0IN 141	PIC1AT AUD0IN 140	PIC1AT AUD0IN 123	PIC1AT AUD0IN 122	PIC1AT AUD0IN 121	PIC1AT AUD0IN 120	PIC1AT AUD0IN 103	PIC1AT AUD0IN 102	PIC1AT AUD0IN 101	PIC1AT AUD0IN 100	PIC1AT AUD0IN 83	PIC1AT AUD0IN 82	PIC1AT AUD0IN 81	PIC1AT AUD0IN 80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AT AUD0IN 63	PIC1AT AUD0IN 62	PIC1AT AUD0IN 61	PIC1AT AUD0IN 60	PIC1AT AUD0IN 43	PIC1AT AUD0IN 42	PIC1AT AUD0IN 41	PIC1AT AUD0IN 40	PIC1AT AUD0IN 23	PIC1AT AUD0IN 22	PIC1AT AUD0IN 21	PIC1AT AUD0IN 20	PIC1AT AUD0IN 03	PIC1AT AUD0IN 02	PIC1AT AUD0IN 01	PIC1AT AUD0IN 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.23 PIC1ATAUD0SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1ATAUD0 INm3	TAUD0TIN (m+1) 出力端子に出力する信号を選択します。 00 : TAUD0TIN (m+1) を選択 01 : TAUD0TIN (m) を選択 10 : TAUD1TIN (m+1) を選択 11 : TAUD1TIN (m) を選択
2m+2	PIC1ATAUD0 INm2	
2m+1	PIC1ATAUD0 INm1	TAUD0TIN (m) 出力端子に出力する信号を選択します。 00 : TAUD0TIN (m) を選択 01 : TAUD0TIN (m+1) を選択 10 : TAUD1TIN (m) を選択 11 : TAUD1TIN (m+1) を選択
2m	PIC1ATAUD0 INm0	

備考 m = TAUD0 の偶数 CH 番号 (CHm_even)

23.2.2.15 PIC1ATAUD1SEL — TAUD1 入力選択レジスタ

PIC1ATAUD1SEL レジスタは、TAUD1IN 入力信号の選択を行う 32 ビットレジスタです。

アドレス FFDD007C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1ATAUD1IN143	PIC1ATAUD1IN142	PIC1ATAUD1IN141	PIC1ATAUD1IN140	PIC1ATAUD1IN123	PIC1ATAUD1IN122	PIC1ATAUD1IN121	PIC1ATAUD1IN120	PIC1ATAUD1IN103	PIC1ATAUD1IN102	PIC1ATAUD1IN101	PIC1ATAUD1IN100	PIC1ATAUD1IN83	PIC1ATAUD1IN82	PIC1ATAUD1IN81	PIC1ATAUD1IN80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1ATAUD1IN63	PIC1ATAUD1IN62	PIC1ATAUD1IN61	PIC1ATAUD1IN60	PIC1ATAUD1IN43	PIC1ATAUD1IN42	PIC1ATAUD1IN41	PIC1ATAUD1IN40	PIC1ATAUD1IN23	PIC1ATAUD1IN22	PIC1ATAUD1IN21	PIC1ATAUD1IN20	PIC1ATAUD1IN03	PIC1ATAUD1IN02	PIC1ATAUD1IN01	PIC1ATAUD1IN00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.24 PIC1ATAUD1SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1ATAUD1INm3	TAUD1TIN (m+1) 出力端子に出力する信号を選択します。 00 : TAUD1TIN (m+1) を選択 01 : TAUD1TIN (m) を選択 10 : TAUD0TIN (m+1) を選択 11 : TAUD0TIN (m) を選択
2m+2	PIC1ATAUD1INm2	
2m+1	PIC1ATAUD1INm1	TAUD1TIN (m) 出力端子に出力する信号を選択します。 00 : TAUD1TIN (m) を選択 01 : TAUD1TIN (m+1) を選択 10 : TAUD0TIN (m) を選択 11 : TAUD0TIN(m+1) を選択
2m	PIC1ATAUD1INm0	

備考 m = TAUD1 の偶数 CH 番号 (CH_{m_even})

23.2.2.16 PIC1AHIZCEN0 — Hi-Z 制御レジスタ 0

PIC1AHIZCEN0 レジスタは、TAUD0 の Hi-Z 制御用の入力信号を選択します。

	アドレス		FFDD 0080 _H					
	リセット後の値		00 _H					
ビット	7	6	5	4	3	2	1	0
	—	—	PIC1AHIZCEN 05	—	—	—	—	PIC1AHIZCEN 00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R/W

表 23.25 PIC1AHIZCEN0 レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
5	PIC1AHIZCEN 05	ERROROUTZ 信号で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可
4～1	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
0	PIC1AHIZCEN 00	ES00 端子入力で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可

注 意

本レジスタは、TAUD0 の U/V/W 出力、UB/VB/WB 出力を起動する前に設定してください。
ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA0CTL0.TAPA0DCN = 0、
TAPA0CTL0.TAPA0DCP = 1 を設定してください。

23.2.2.17 PIC1AHIZCEN1 — Hi-Z 制御レジスタ 1

PIC1AHIZCEN1 レジスタは、TAUD1 の Hi-Z 制御用の入力信号を選択します。

アドレス	FFDD 0084 _H							
リセット後の値	00 _H							
ビット	7	6	5	4	3	2	1	0
	—	—	PIC1AHIZCEN 15	—	—	—	—	PIC1AHIZCEN 10
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R/W

表 23.26 PIC1AHIZCEN1 レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
5	PIC1AHIZCEN 15	ERROROUTZ 信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
4 ~ 1	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
0	PIC1AHIZCEN 10	ESO1 端子入力で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可

注 意

本レジスタは、TAUD1 の U/V/W 出力、UB/VB/WB 出力を起動する前に設定してください。
ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA1CTL0.TAPA1DCN = 0、
TAPA1CTL0.TAPA1DCP = 1 を設定してください。

23.2.2.18 PIC1AHIZCEN2 — Hi-Z 制御レジスタ 2

PIC1AHIZCEN2 レジスタは、TSG30 の Hi-Z 制御用の入力信号を選択します。

	アドレス FFDD 0088 _H							
	リセット後の値 00 _H							
ビット	7	6	5	4	3	2	1	0
	—	—	PIC1AHIZCEN 25	—	PIC1AHIZCEN 23	—	—	PIC1AHIZCEN 20
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R	R	R/W

表 23.27 PIC1AHIZCEN2 レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5	PIC1AHIZCEN 25	ERROROUTZ 信号で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可
4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3	PIC1AHIZCEN 23	INTTSG30IER 割り込み信号で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可
2、1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	PIC1AHIZCEN 20	ESO2 端子入力で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可

注 意

本レジスタは、TSG30 出力を起動する前に設定してください。
ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA2CTL0.TAPA2DCN = 0、
TAPA2CTL0.TAPA2DCP = 1 を設定してください。

23.2.2.19 PIC1AHIZCEN3 — Hi-Z 制御レジスタ 3

PIC1AHIZCEN3 レジスタは、TSG31 の Hi-Z 制御用の入力信号を選択します。

	アドレス FFDD 008C _H							
	リセット後の値 00 _H							
ビット	7	6	5	4	3	2	1	0
	—	—	PIC1AHIZCEN 35	PIC1AHIZCEN 34	—	—	—	PIC1AHIZCEN 30
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R/W

表 23.28 PIC1AHIZCEN3 レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
5	PIC1AHIZCEN 35	ERROROUTZ 信号で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可
4	PIC1AHIZCEN 34	INTTSG31IER 割り込み信号で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可
3～1	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
0	PIC1AHIZCEN 30	ESO3 端子入力で Hi-Z 制御の許可／禁止を選択します。 0：禁止 1：許可

注 意

本レジスタは、TSG31 出力を起動する前に設定してください。
ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA3CTL0.TAPA3DCN = 0、
TAPA3CTL0.TAPA3DCP = 1 を設定してください。

23.2.2.20 PIC1AENCSEL400 — ENCATIN1 入力選択レジスタ 400

エンコーダキャプチャトリガ選択機能で使用するレジスタです。

	アドレス	FFDD 00B8 _H						
	リセット後の値	00 _H						
ビット	7	6	5	4	3	2	1	0
	PIC1AENCSEL 4007	—	—	—	PIC1AENCSEL 4003	PIC1AENCSEL 4002	PIC1AENCSEL 4001	PIC1AENCSEL 4000
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 23.29 PIC1AENCSEL400 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AENCSEL 4007	PIC1AENCSEL400[3:0] で選択した INTTAUD0Im 信号の出力の許可/禁止を選択します。 0 : 禁止 1 : 許可
6 ~ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3 ~ 0	PIC1AENCSEL 400[3:0]	ENCA0、ENCA1 のキャプチャトリガ信号として使用する TAUD0TINTm を選択します。 0 : INTTAUD0I0 を選択 1 : INTTAUD0I1 を選択 2 : INTTAUD0I2 を選択 3 : INTTAUD0I3 を選択 4 : INTTAUD0I4 を選択 5 : INTTAUD0I5 を選択 6 : INTTAUD0I6 を選択 7 : INTTAUD0I7 を選択 8 : INTTAUD0I8 を選択 9 : INTTAUD0I9 を選択 10 : INTTAUD0I10 を選択 11 : INTTAUD0I11 を選択 12 : INTTAUD0I12 を選択 13 : INTTAUD0I13 を選択 14 : INTTAUD0I14 を選択 15 : INTTAUD0I15 を選択

23.2.2.21 PIC1AENCSEL410 — ENCATIN1 入力選択レジスタ 410

エンコーダキャプチャトリガ選択機能で使用するレジスタです。

アドレス FFDD 00BC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1AENCSEL 4107	—	—	—	PIC1AENCSEL 4103	PIC1AENCSEL 4102	PIC1AENCSEL 4101	PIC1AENCSEL 4100
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 23.30 PIC1AENCSEL410 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AENCSEL 4107	PIC1AENCSEL410[3:0] で選択した INTTAUD1Im 信号の出力の許可/禁止を選択します。 0 : 禁止 1 : 許可
6 ~ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3 ~ 0	PIC1AENCSEL 410[3:0]	ENCA0、ENCA1 のキャプチャトリガ信号として使用する TAUD1TINTm を選択します。 0 : INTTAUD1I0 を選択 1 : INTTAUD1I1 を選択 2 : INTTAUD1I2 を選択 3 : INTTAUD1I3 を選択 4 : INTTAUD1I4 を選択 5 : INTTAUD1I5 を選択 6 : INTTAUD1I6 を選択 7 : INTTAUD1I7 を選択 8 : INTTAUD1I8 を選択 9 : INTTAUD1I9 を選択 10 : INTTAUD1I10 を選択 11 : INTTAUD1I11 を選択 12 : INTTAUD1I12 を選択 13 : INTTAUD1I13 を選択 14 : INTTAUD1I14 を選択 15 : INTTAUD1I15 を選択

23.2.2.22 PIC1AREG200 — タイマ入出力制御レジスタ 200

PIC1AREG200 レジスタは、TAUD0 の入力選択を行うレジスタです。

アドレス FFDD 00C0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC1AREG20025	PIC1AREG20024	—	—	—	—	—	PIC1AREG20018	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIC1AREG20011	PIC1AREG20010	PIC1AREG20009	PIC1AREG20008	—	—	—	—	PIC1AREG20003	PIC1AREG20002	PIC1AREG20001	PIC1AREG20000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 23.31 PIC1AREG200 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
25, 24	PIC1AREG20025, PIC1AREG20024	TAPA0TSIM0, TAPA0TUDCM0 で使用する TAUD のチャンネルを選択します。 00 : 選択なし 01 : TAUD0 チャンネル 0 選択 10 : TAUD0 チャンネル 2 選択 11 : TAUD0 チャンネル 8 選択
23 ~ 19	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
18	PIC1AREG20018	TAUD0 の TAUD0TIN10, TAUD0TIN12, TAUD0TIN14 信号の入力信号を選択します。 1 : TAUD0 CH02 の TOUT 選択 上記以外、設定禁止。 ^{注1}
17 ~ 12	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
11, 10	PIC1AREG20011, PIC1AREG20010	TAUD0 の TAUD0TIN6, TAUD0TIN7 信号の入力信号を選択します。 10 : TSG30 の TSOPTE 信号 上記以外、設定禁止。 ^{注1}
9, 8	PIC1AREG20009, PIC1AREG20008	TAUD0 の TAUD0TIN4, TAUD0TIN5 信号の入力信号を選択します。 10 : TSG30 の TSOPTE 信号 上記以外、設定禁止。 ^{注1}
7 ~ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3	PIC1AREG20003	TAUD0 の TAUD0TIN7 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG20011, PIC1AREG20010 ビットで選択した信号 (TSOPTE 信号) の入力
2	PIC1AREG20002	TAUD0 の TAUD0TIN6 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG20011, PIC1AREG20010 ビットで選択した信号 (TSOPTE 信号) の入力

表 23.31 PIC1AREG200 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	PIC1AREG20001	TAUD0 の TAUD0TIN5 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG20009, PIC1AREG20008 ビットで選択した信号 (TS0PTE 信号) の入力
0	PIC1AREG20000	TAUD0 の TAUD0TIN4 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG20009, PIC1AREG20008 ビットで選択した信号 (TS0PTE 信号) の入力

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

23.2.2.23 PIC1AREG210 — タイマ入出力制御レジスタ 210

PIC1AREG210 レジスタは、TAUD1 の入力選択を行うレジスタです。

アドレス FFDD 00D4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC1AREG2102 5	PIC1AREG2102 4	—	—	—	—	—	PIC1AREG2101 8	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIC1AREG2101 1	PIC1AREG2101 0	PIC1AREG2100 9	PIC1AREG2100 8	—	—	—	—	PIC1AREG2100 3	PIC1AREG2100 2	PIC1AREG2100 1	PIC1AREG2100 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 23.32 PIC1AREG210 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
25, 24	PIC1AREG 21025, PIC1AREG 21024	TAUD1 の TAUD1TIN0, TAUD1TIN12, TAUD1TIN14 信号の入力信号を選択します。 00 : 選択なし 01 : TAUD1 チャンネル 0 選択 10 : TAUD1 チャンネル 2 選択 11 : TAUD1 チャンネル 8 選択
23 ~ 19	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
18	PIC1AREG 21018	TAUD1 の TAUD1TIN10, TAUD1TIN12, TAUD1TIN14 信号の入力信号を選択します。 1 : TAUD1 CH02 の TOUT 選択 上記以外、設定禁止。 ^{注1}
17 ~ 12	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
11, 10	PIC1AREG 21011, PIC1AREG 21010	TAUD1 の TAUD1TIN6, TAUD1TIN7 信号の入力信号を選択します。 10 : TSG31 の TS0PTE 信号 上記以外、設定禁止。 ^{注1}
9, 8	PIC1AREG 21009, PIC1AREG 21008	TAUD1 の TAUD1TIN4, TAUD1TIN5 信号の入力信号を選択します。 10 : TSG31 の TS0PTE 信号 上記以外、設定禁止。 ^{注1}
7 ~ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3	PIC1AREG 21003	TAUD1 の TAUD1TIN7 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21011, PIC1AREG21010 ビットで選択した信号 (TS0PTE 信号) の入力
2	PIC1AREG 21002	TAUD1 の TAUD1TIN6 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21011, PIC1AREG21010 ビットで選択した信号 (TS0PTE 信号) の入力

表 23.32 PIC1AREG210 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	PIC1AREG21001	TAUD1 の TAUD1TIN5 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21009, PIC1AREG21008 ビットで選択した信号 (TS0PTE 信号) の入力
0	PIC1AREG21000	TAUD1 の TAUD1TIN4 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21009, PIC1AREG21008 ビットで選択した信号 (TS0PTE 信号) の入力

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

23.2.2.24 PIC1AREG2n1 — タイマ入出力制御レジスタ 2n1

PIC1AREG2n1 レジスタは、組み合わせ回路 PFN0xx の論理選択を行うレジスタです。

アドレス FFDD 00C4_H (n = 0), FFDD 00D8_H (n = 1)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC1AREG2n127	PIC1AREG2n126	PIC1AREG2n125	PIC1AREG2n124	PIC1AREG2n123	PIC1AREG2n122	PIC1AREG2n121	PIC1AREG2n120	PIC1AREG2n119	PIC1AREG2n118	PIC1AREG2n117	PIC1AREG2n116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.33 PIC1AREG2n1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 28	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
27, 26	PIC1AREG2n127, PIC1AREG2n126	PFN045 の WO2 出力を選択します。 ^{注 1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注 2}
25, 24	PIC1AREG2n125, PIC1AREG2n124	PFN045 の WO1 出力を選択します。 ^{注 1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注 2}
23, 22	PIC1AREG2n123, PIC1AREG2n122	PFC023 の VO2 出力を選択します。 ^{注 1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注 2}
21, 20	PIC1AREG2n121, PIC1AREG2n120	PFN023 の VO1 出力を選択します。 ^{注 1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注 2}

表 23.33 PIC1AREG2n1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
19、18	PIC1AREG 2n119, PIC1AREG 2n118	PFN001 の UO2 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注2}
17、16	PIC1AREG 2n117, PIC1AREG 2n116	PFN001 の UO1 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注2}
15 ~ 0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

注 1. 機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、「23.2.3 機能」を参照してください。

注 2. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

下図に PFN001 のブロック図を示します。

ほかの PFN023、PFN045 については、入力信号および選択レジスタは異なりますが、論理は同一です。

PFN0xx の周辺回路との接続は、**図 23.11** を参照してください。

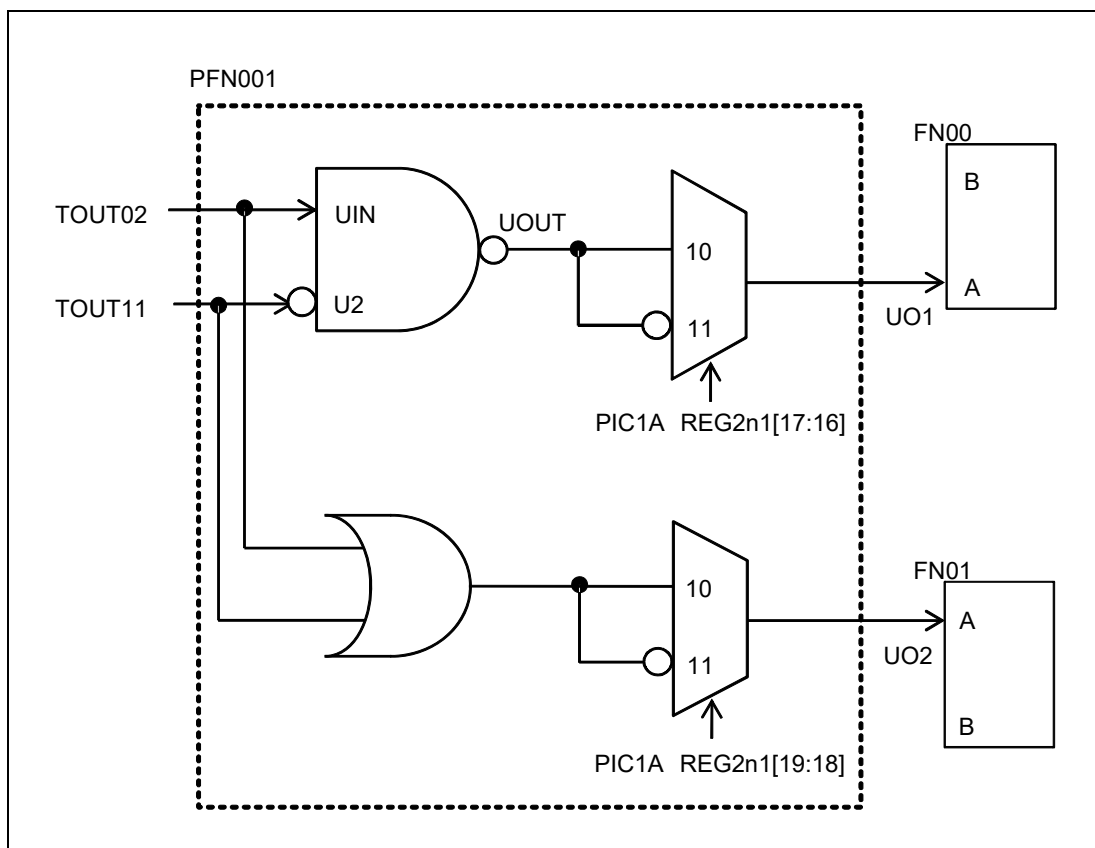


図 23.1 PFN001 ブロック図

23.2.2.25 PIC1AREG2n2 — タイマ入出力制御レジスタ 2n2

PIC1AREG2n2 レジスタは、TAUDn CHm の入力信号の選択を行うレジスタです。

アドレス FFDD 00C8_H (n = 0), FFDD 00DC_H (n = 1)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC1AREG2n227	PIC1AREG2n226	PIC1AREG2n225	PIC1AREG2n224	PIC1AREG2n223	PIC1AREG2n222	PIC1AREG2n221	PIC1AREG2n220	PIC1AREG2n219	PIC1AREG2n218	PIC1AREG2n217	PIC1AREG2n216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC1AREG2n204	PIC1AREG2n203	PIC1AREG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 23.34 PIC1AREG2n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 28	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
27、26	PIC1AREG2n227, PIC1AREG2n226	TAUDnCH15 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n204 ビットで選択した信号 (TAUDnCH09 の TOUT) 上記以外、設定禁止
25、24	PIC1AREG2n225, PIC1AREG2n224	TAUDnCH14 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
23、22	PIC1AREG2n223, PIC1AREG2n222	TAUDnCH13 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n203 ビットで選択した信号 (TAUDnCH07 の TOUT) 上記以外、設定禁止
21、20	PIC1AREG2n221, PIC1AREG2n220	TAUDnCH12 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
19、18	PIC1AREG2n219, PIC1AREG2n218	TAUDnCH11 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n202 ビットで選択した信号 (TAUDnCH05 の TOUT) 上記以外、設定禁止
17、16	PIC1AREG2n217, PIC1AREG2n216	TAUDnCH10 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
15 ~ 5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4	PIC1AREG2n204	TAUDnCH15 の TIN へ供給する信号を選択します 0 : TAUDnCH09 の TOUT を選択 1 : TAUDnINT08, INT09 によるセット/クリア出力を選択
3	PIC1AREG2n203	TAUDnCH13 の TIN へ供給する信号を選択します 0 : TAUDnCH07 の TOUT を選択 1 : TAUDnINT06, INT07 によるセット/クリア出力を選択

表 23.34 PIC1AREG2n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PIC1AREG2n202	TAUDnCH11 の TIN へ供給する信号を選択します 0 : TAUDnCH05 の TOUT を選択 1 : TAUDnINT04, INT05 によるセット/クリア出力を選択
1, 0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

23.2.2.26 PIC1AREG2n3 — タイマ入出力制御レジスタ 2n3

PIC1AREG2n3 レジスタは、組み合わせ回路 FN0i の論理選択を行うレジスタです。

アドレス FFDD 00CC_H (n = 0), FFDD 00E0_H (n = 1)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1AREG2n322	PIC1AREG2n321	PIC1AREG2n320	—	PIC1AREG2n318	PIC1AREG2n317	PIC1AREG2n316
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC1AREG2n314	PIC1AREG2n313	PIC1AREG2n312	—	PIC1AREG2n310	PIC1AREG2n309	PIC1AREG2n308	—	PIC1AREG2n306	PIC1AREG2n305	PIC1AREG2n304	—	PIC1AREG2n302	PIC1AREG2n301	PIC1AREG2n300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 23.35 PIC1AREG2n3 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
22、21、20	PIC1AREG2n322, PIC1AREG2n321, PIC1AREG2n320	入力信号 A, B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
19	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
18、17、16	PIC1AREG2n318, PIC1AREG2n317, PIC1AREG2n316	入力信号 A, B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
15	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
14、13、12	PIC1AREG2n314, PIC1AREG2n313, PIC1AREG2n312	入力信号 A, B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
11	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
10、9、8	PIC1AREG2n310, PIC1AREG2n309, PIC1AREG2n308	入力信号 A, B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
7	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

表 23.35 PIC1AREG2n3 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6、5、4	PIC1AREG 2n306, PIC1AREG 2n305, PIC1AREG 2n304	入力信号 A, B の論理演算を選択します。注 ¹ 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
3	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
2、1、0	PIC1AREG 2n302, PIC1AREG 2n301, PIC1AREG 2n300	入力信号 A, B の論理演算を選択します。注 ¹ 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止

注 1. 機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、「23.2.3 機能」を参照してください。

下図に FN00 のブロック図を示します。

ほかの FN01 ~ FN05 については、入力信号および選択レジスタは異なりますが、論理は同一です。

FN0i の周辺回路との接続は、**図 23.11** を参照してください。

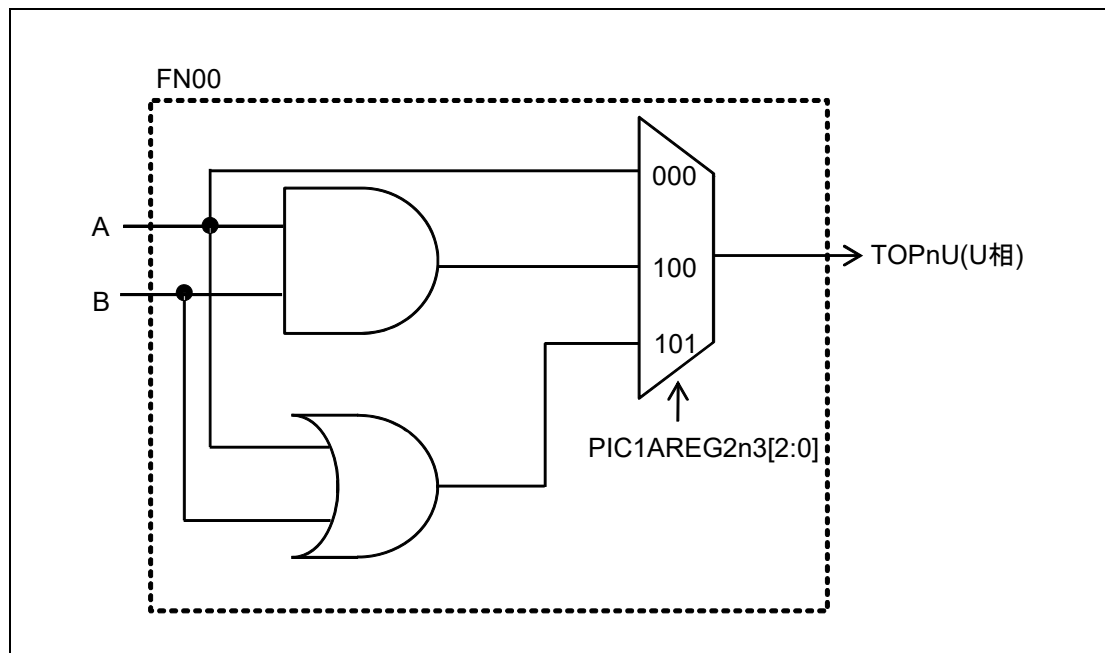


図 23.2 FN00 ブロック図

23.2.2.27 PIC1AREG30 — タイマ入出力制御レジスタ 30

PIC1AREG30 レジスタは、ENCA_n の入力信号の選択を行うレジスタです

アドレス FFDD 00E8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	PIC1AREG3022	PIC1AREG3021	PIC1AREG3020	PIC1AREG3019	PIC1AREG3018	PIC1AREG3017	PIC1AREG3016	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PIC1AREG3015	PIC1AREG3014	PIC1AREG3013	PIC1AREG3012	PIC1AREG3011	PIC1AREG3010	PIC1AREG3009	PIC1AREG3008	PIC1AREG3007	PIC1AREG3006	PIC1AREG3005	PIC1AREG3004	PIC1AREG3003	PIC1AREG3002	PIC1AREG3001	PIC1AREG3000	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 23.36 PIC1AREG30 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
22	PIC1AREG3022	ENCA0 タイマの入力端子 (ENCA0E0, ENCA0E1, ENCA0EC 内部入力) を選択します。 0 : PIC1AREG3000 ビット (ENCA0E0 内部入力)、PIC1AREG3001 ビット (ENCA0E1 内部入力)、PIC1AREG3017-16 ビット (ENCA0EC 内部入力) で選択した信号 1 : PIC1AREG3020、PIC1AREG3019 で選択した信号
21	PIC1AREG3021	PIC1AREG30 bit12 ~ 14 へ供給する信号を選択します。 0 : ENCA1I1 (ENCA1 外部端子 1 信号) 1 : PIC1AENCSEL410 レジスタの PIC1AENCSEL4107 ビットで選択した信号
20、19	PIC1AREG3020、PIC1AREG3019	ENCA1 タイマの入力 (ENCA1E0, ENCA1E1, ENCA1EC 内部入力) を選択します。 00 : ENCA1E0, ENCA1E1, ENCA1EC 端子入力 (ENCA1 タイマ) 01 : RDC1BOUT, RDC1AOUT, RDC1ZOUT 端子入力 (RDC1) 10 : RDC0BOUT, RDC0AOUT, RDC0ZOUT 端子入力 (RDC0) 上記以外、設定禁止
18	PIC1AREG3018	PIC1AREG30 bit2 ~ 4 へ供給する信号を選択します 0 : ENCA0I1 (ENCA0 外部端子 1 信号) 1 : PIC1AENCSEL400 レジスタの PIC1AENCSEL4007 ビットで選択した信号
17、16	PIC1AREG3017、PIC1AREG3016	ENCA0 タイマの入力 (ENCA0E0, ENCA0E1, ENCA0EC 内部入力) を選択します。 00 : ENCA0E0, ENCA0E1, ENCA0EC 端子入力 (ENCA0 タイマ) 01 : RDC0BOUT, RDC0AOUT, RDC0ZOUT 端子入力 (RDC0) 10 : RDC1BOUT, RDC1AOUT, RDC1ZOUT 端子入力 (RDC1) 上記以外、設定禁止

表 23.36 PIC1AREG30 レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ~ 12	PIC1AREG30 [15:12]	ENCAT1TIN1 内部入力への信号を選択します。 0 : PIC1AREG3021 で選択した信号 1 : PIC1AREG3018 で選択した信号 2 : ADCC0TRG4 3 : ADCC0TRG3 4 : ADCC0TRG2 5 : ADCC0TRG1 6 : ADCC0TRG0 7 : ADCC1TRG4 8 : ADCC1TRG3 9 : ADCC1TRG2 10 : ADCC1TRG1 11 : ADCC1TRG0 上記以外、設定禁止
11、10	PIC1AREG 3011, PIC1AREG 3010	タイマ ENCA1 の ENCAEC 端子入力を選択します。 00 : PIC1AREG3019, PIC1AREG3020 ビットで選択した信号 10 : PIC1AREG3016, PIC1AREG3017 ビットで選択した信号 11 : ENCA0EQ1 信号 (ENCA0 タイマ) 上記以外、設定禁止
9、8	PIC1AREG 3009, PIC1AREG 3008	タイマ ENCA1 の ENCA1E1 端子入力を選択します。 00 : PIC1AREG3019, PIC1AREG3020 ビットで選択した信号 01 : PIC1AREG3016, PIC1AREG3017 ビットで選択した信号 10 : TSG31 の TS1PUD 信号 上記以外、設定禁止
7、6	PIC1AREG 3007, PIC1AREG 3006	タイマ ENCA1 の ENCA1E0 端子入力を選択します。 00 : PIC1AREG3019, PIC1AREG3020 ビットで選択した信号 01 : PIC1AREG3016, PIC1AREG3017 ビットで選択した信号 10 : TSG31 の TS1PEC 信号 上記以外、設定禁止
5 ~ 2	PIC1AREG30 [05:02]	ENCAT0TIN1 内部入力への信号を選択します。 0 : PIC1AREG3018 で選択した信号 1 : PIC1AREG3021 で選択した信号 2 : ADCC0TRG4 3 : ADCC0TRG3 4 : ADCC0TRG2 5 : ADCC0TRG1 6 : ADCC0TRG0 7 : ADCC1TRG4 8 : ADCC1TRG3 9 : ADCC1TRG2 10 : ADCC1TRG1 11 : ADCC1TRG0 上記以外、設定禁止
1	PIC1AREG 3001	ENCA0E1 内部入力の信号を選択します。 0 : PIC1AREG3017, PIC1AREG3016 ビットで選択した信号 1 : TSG30 の TS0PUD 信号
0	PIC1AREG 3000	ENCA0E0 内部入力の信号を選択します。 0 : PIC1AREG3017, PIC1AREG3016 ビットで選択した信号 1 : TSG30 の TS0PEC 信号

23.2.2.28 PIC1AREG31 — タイマ入出力制御レジスタ 31

PIC1AREG31 レジスタは、TAUD_n, TAUJ0 の入力信号の選択を行うレジスタです。

アドレス FFDD 00EC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1AREG3122	PIC1AREG3121	PIC1AREG3120	PIC1AREG3119	PIC1AREG3118	PIC1AREG3117	PIC1AREG3116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AREG3115	—	PIC1AREG3113	PIC1AREG3112	PIC1AREG3111	PIC1AREG3110	PIC1AREG3109	PIC1AREG3108	PIC1AREG3107	PIC1AREG3106	—	PIC1AREG3104	PIC1AREG3103	—	PIC1AREG3101	PIC1AREG3100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/W

表 23.37 PIC1AREG31 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
22, 21	PIC1AREG3122, PIC1AREG3121	TAUD1CH02 の TIN 入力信号を選択します。 00 : TIN 端子入力 01 : ENCAT1EQ0 の DT 出力信号 上記以外、設定禁止
20	PIC1AREG3120	TAUD1CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG3115 ~ 17 で選択した信号
19, 18	PIC1AREG3119, PIC1AREG3118	TAUD1CH00 の TIN 入力信号を選択します。 00 : PIC1AREG3115 ~ 17 で選択した信号 10 : ENCAT1EQ0 の DT 出力信号 上記以外、設定禁止
17 ~ 15	PIC1AREG3117, PIC1AREG3116, PIC1AREG3115	TAUD1CH00,01 の TIN 入力信号を選択します。 000 : TIN 端子入力 001 : ENCAT1EQ1 の DT 出力信号 上記以外、設定禁止
14	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
13, 12	PIC1AREG3113, PIC1AREG3112	TAUD0CH02 の TIN 入力信号を選択します。 00 : TIN 端子入力 01 : ENCAT0EQ0 の DT 出力信号 上記以外、設定禁止
11	PIC1AREG3111	TAUD0CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG3106 ~ 08 で選択した信号
10, 9	PIC1AREG3110, PIC1AREG3109	TAUD0CH00 の TIN 入力信号を選択します。 00 : PIC1AREG3106 ~ 08 で選択した信号 10 : ENCAT0EQ0 の DT 出力信号 上記以外、設定禁止

表 23.37 PIC1AREG31 レジスタの内容 (2/2)

ビット位置	ビット名	機能
8 ~ 6	PIC1AREG 3108, PIC1AREG 3107, PIC1AREG 3106	TAUD0CH00, 01 の TIN 入力信号を選択します。 000 : TIN 端子入力 001 : ENCAT0EQ1 の DT 出力信号 上記以外、設定禁止
5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4	PIC1AREG 3104	TAUJ0CH03 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT1IEC の DT 出力信号を選択
3	PIC1AREG 3103	TAUJ0CH02 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT1IEC の DT 出力信号を選択
2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1	PIC1AREG 3101	TAUJ0CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT0IEC の DT 出力信号を選択
0	PIC1AREG 3100	TAUJ0CH00 の TIN 入力信号を選択します 0 : TIN 端子入力 1 : ENCAT0IEC の DT 出力信号を選択

23.2.2.29 PIC1AREG50 — タイマ入出力制御レジスタ 50

PIC1AREG50 レジスタは、TSG30 の入力信号の選択を行うレジスタです。

アドレス FFDD 00F8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1AREG5010	—	PIC1AREG5008	PIC1AREG5007	PIC1AREG5006	PIC1AREG5005	—	—	—	—	PIC1AREG5000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 23.38 PIC1AREG50 レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
10	PIC1AREG5010	TSG30 タイマの TSG30TSTOPC0 信号の入力対象を選択します。 0 : INTENCA1I1 入力 (ENCA1 タイマ) 1 : 設定禁止
9	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
8	PIC1AREG5008	TSG30 タイマの TSG30TSTOPC0 信号の入力対象を選択します。 0 : INTENCA0I1 入力 (ENCA0 タイマ) 1 : 設定禁止
7	PIC1AREG5007	TSG30 の TS0OPCI1 信号の入力対象を選択します。 0 : TAUD0 の INTTAUD0I7 信号入力を選択 1 : 設定禁止
6、5	PIC1AREG5006, PIC1AREG5005	TSG30 の TSG30TSTOPC0 (TS0OPCI0) 信号の入力対象を選択します。 01 : PIC1AREG5008 ビットで選択した信号 10 : PIC1AREG5010 ビットで選択した信号 11 : TAUD0 の INTTAUD0I5 信号入力を選択 上記以外、設定禁止。 ^{注1}
4 ~ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	PIC1AREG5000	ENCA 信号と外部ホールセンサ信号を切り替えます。選択時の注意事項については、 23.2.2.13 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタの注 1. を参照してください。 0 : ENCA0E0, ENCA0E1, ENCA0EC 端子入力を選択 1 : 設定禁止

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

23.2.2.30 PIC1AREG51 — タイマ入出力制御レジスタ 51

PIC1AREG51 レジスタは、TSG31 の入力信号の選択を行うレジスタです。

アドレス FFDD 00FC_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1AREG5110	—	PIC1AREG5108	PIC1AREG5107	PIC1AREG5106	PIC1AREG5105	—	—	—	—	PIC1AREG5100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 23.39 PIC1AREG51 レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
10	PIC1AREG5110	TSG31 タイマの TSG31TSTOPC0 信号の入力対象を選択します。 0: INTENCA1I1 入力 (ENCA1 タイマ) 1: 設定禁止
9	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
8	PIC1AREG5108	TSG31 タイマの TSG31TSTOPC0 信号の入力対象を選択します。 0: INTENCA0I1 入力 (ENCA0 タイマ) 1: 設定禁止
7	PIC1AREG5107	TSG31 の TS1OPCI1 信号の入力対象を選択します。 0: TAUD1 の INTTAUD1I7 信号入力を選択 1: 設定禁止
6、5	PIC1AREG5106, PIC1AREG5105	TSG31 タイマの TSG31TSTOPC0 (TS1OPCI0) 信号の入力対象を選択します。 01: PIC1AREG5108 ビットで選択した信号 10: PIC1AREG5110 ビットで選択した信号 11: TAUD1 の INTTAUD1I5 信号入力を選択 上記以外、設定禁止。 ^{注1}
4 ~ 1	—	リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。
0	PIC1AREG5100	ENCA 信号と外部ホールセンサ信号を切り替えます。選択時の注意事項については、「23.2.2.13 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ」の注1を参照してください。 1: ENCA1E0, ENCA1E1, ENCA1EC 端子入力を選択 上記以外、設定禁止。 ^{注1}

注1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

23.2.3 機能

23.2.3.1 同時スタートトリガ機能

(1) 概要

各タイマ (TAUDn, TAUJ0, TSG3n, TPBA_n, OSTM_n, ENCA_n) の任意の組み合わせで、選択したタイマの同時スタートを実現する機能です。

(2) 構成

本機能に対応するタイマを以下に示します。

同時スタートトリガ機能 対応タイマ

- TAUD_n
- TAUJ0
- TSG3_n
- TPBA_n
- OSTM_n
- ENCA_n

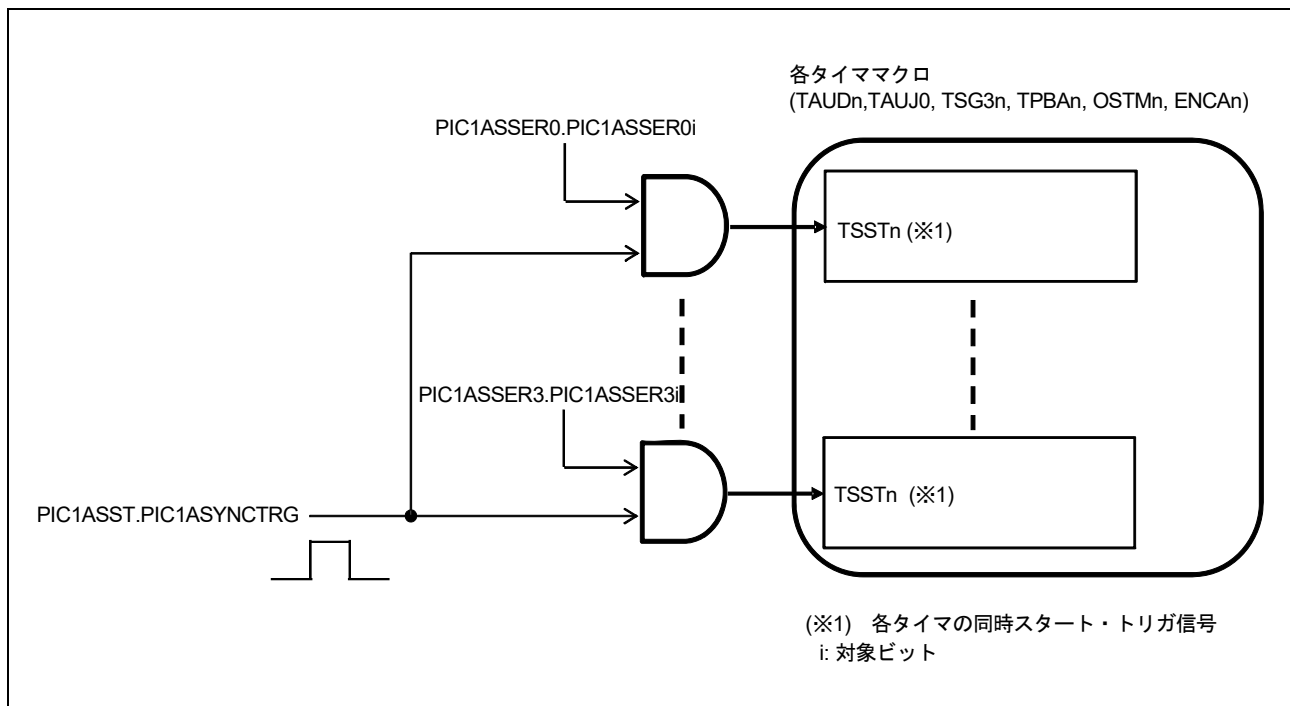


図 23.3 同時スタートトリガ機能 ブロック図

同時スタートさせるタイマのマスク解除後、同時スタートトリガ制御レジスタ (PIC1ASST) の PIC1ASYNCTRIG ビットに 1 を設定することで、各タイマのスタートトリガにアクティブ信号が入力され、タイマ動作を開始します。

(3) レジスタ

本機能で設定する PIC1A レジスタを以下に示します。レジスタの設定値は、**23.2.2.2** ~ **23.2.2.6** を参照してください。

- PIC1A 設定レジスタ
PIC1ASST
PIC1ASSER0
PIC1ASSER1
PIC1ASSER2
PIC1ASSER3

(4) 機能

各タイマ (TAUDn, TAUJ0, TSG3n, TPBA_n, OSTM_n, ENCA_n) の任意の組み合わせで同時スタートを行います。

(5) フローチャート

以下に本機能のフローチャートを示します。

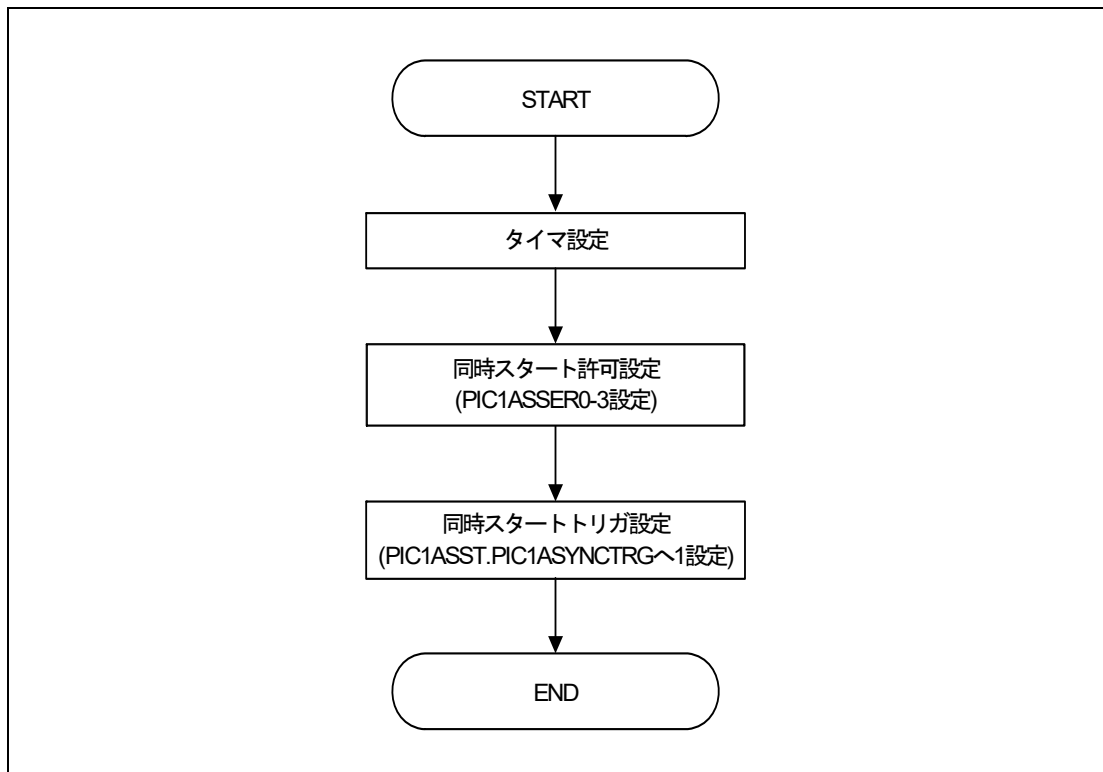


図 23.4 設定フロー

以下に各手順での設定内容を記載します。

- タイマ設定
同時スタートさせるタイマの設定を行ってください。
- 同時スタート許可設定
同時スタートさせるタイマの許可ビットを 1 に設定してください。PIC1ASSER0, PIC1ASSER1, PIC1ASSER2, PIC1ASSER3 の該当ビットを 1 に設定することで、タイマの同時スタートを許可します。

- 同時スタートトリガ設定
同時スタートトリガ制御レジスタ (PIC1ASST) の PIC1ASYNCTRГ ビットに 1 を設定することで、タイマが同時スタートします。

23.2.3.2 デッドタイム付き PWM 出力機能

(1) 概要

TAUDn を使って、1 相から 3 相のデッドタイム付き PWM 出力を生成する機能です。

TAUD の PWM 出力機能では、デューティ値指定により 1 周期にクリアタイミンングのみ設定しますが、本機能によりセットタイミンングも指定可能となり、より自由度の高いデッドタイム付き PWM を出力できます。

使用する TAUDn のチャンネル数は以下に示します。

デッドタイム付き PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相 / UB 相)	5ch (マスタチャンネル 1ch, スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相 / UB 相, V 相 / VB 相)	9ch (マスタチャンネル 1ch, スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相 / UB 相, V 相 / VB 相, W 相 / WB 相)	13ch (マスタチャンネル 1ch, スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 はマスタチャンネルとしてください。

TAUDn チャンネル	U 相 / UB 相	V 相 / VB 相	W 相 / WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	×	×	×	未使用
CH4	○	×	×	デューティ (U 相セット)
CH5	○	×	×	デューティ (U 相クリア)
CH6	×	○	×	デューティ (V 相セット)
CH7	×	○	×	デューティ (V 相クリア)
CH8	×	×	○	デューティ (W 相セット)
CH9	×	×	○	デューティ (W 相クリア)
CH10	○	×	×	U 相出力 (TOUT10)
CH11	○	×	×	UB 相出力 (TOUT11)
CH12	×	○	×	V 相出力 (TOUT12)
CH13	×	○	×	VB 相出力 (TOUT13)
CH14	×	×	○	W 相出力 (TOUT14)
CH15	×	×	○	WB 相出力 (TOUT15)

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn の PWM 出力機能／1相 PWM 出力機能と PIC1A を組み合わせることで、デッドタイム付き PWM 出力機能を実現します。デッドタイム付き PWM 出力機能のブロック図を以下に示します。

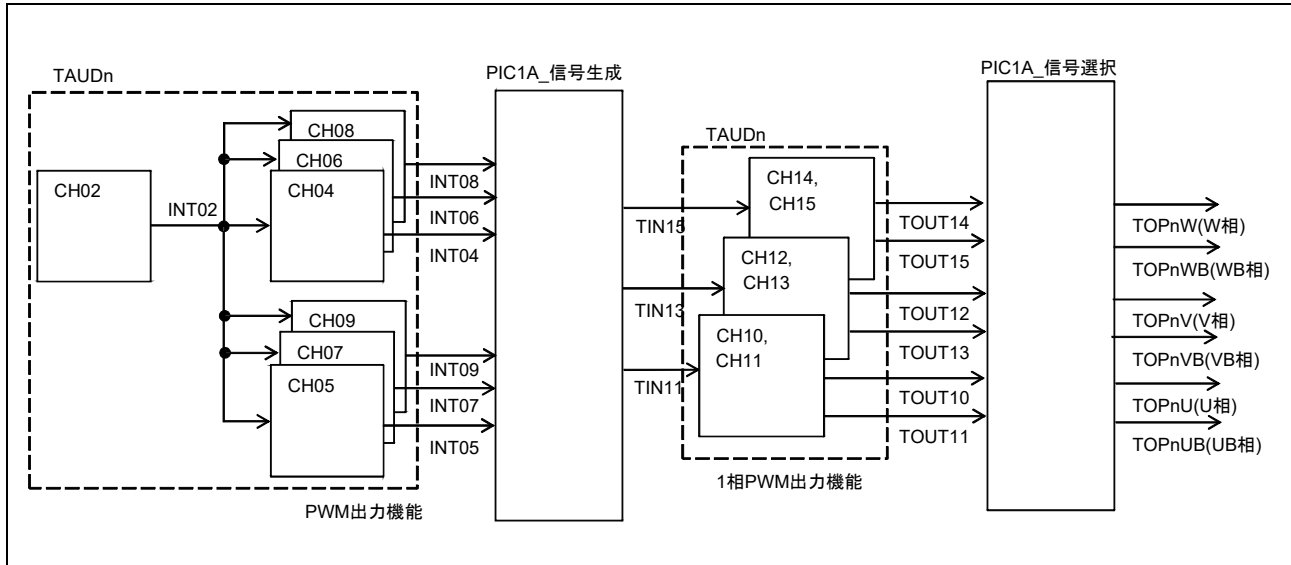


図 23.5 デッドタイム付き PWM 出力機能 ブロック図

U 相／UB 相の PWM 出力を例に構成を説明します。

- [TAUDn] PWM 出力機能
CH02, CH04, CH05 を使用します。CDR02 に周期、CDR04 に U 相セット値、CDR05 に U 相クリア値を設定し、INT04/INT05 (PWM 信号のセット／クリア信号) を生成します。
- [PIC1A_信号生成] RS フリップフロップ回路 (RSn2)
INT04/INT05 入力を選択して、TIN11 (PWM 信号) を生成します。
- [TAUDn] 1 相 PWM 出力機能
CH10, CH11 を使用します。CDR11 にデッドタイム値を設定し、TIN11 に入力される PWM 信号にデッドタイムを付加し、TOUT10 (U 相 PWM 信号)、TOUT11 (UB 相 PWM 信号) を出力します。
- [PIC1A_信号選択]
TOUT10, 11 入力を選択して、TOPnU, UB 端子に出力します。

V 相 /VB 相、W 相 /WB 相は、上記 U 相 /UB 相と同様の構成です。

(3) レジスタ

下図に PIC1A のブロック図を示します。

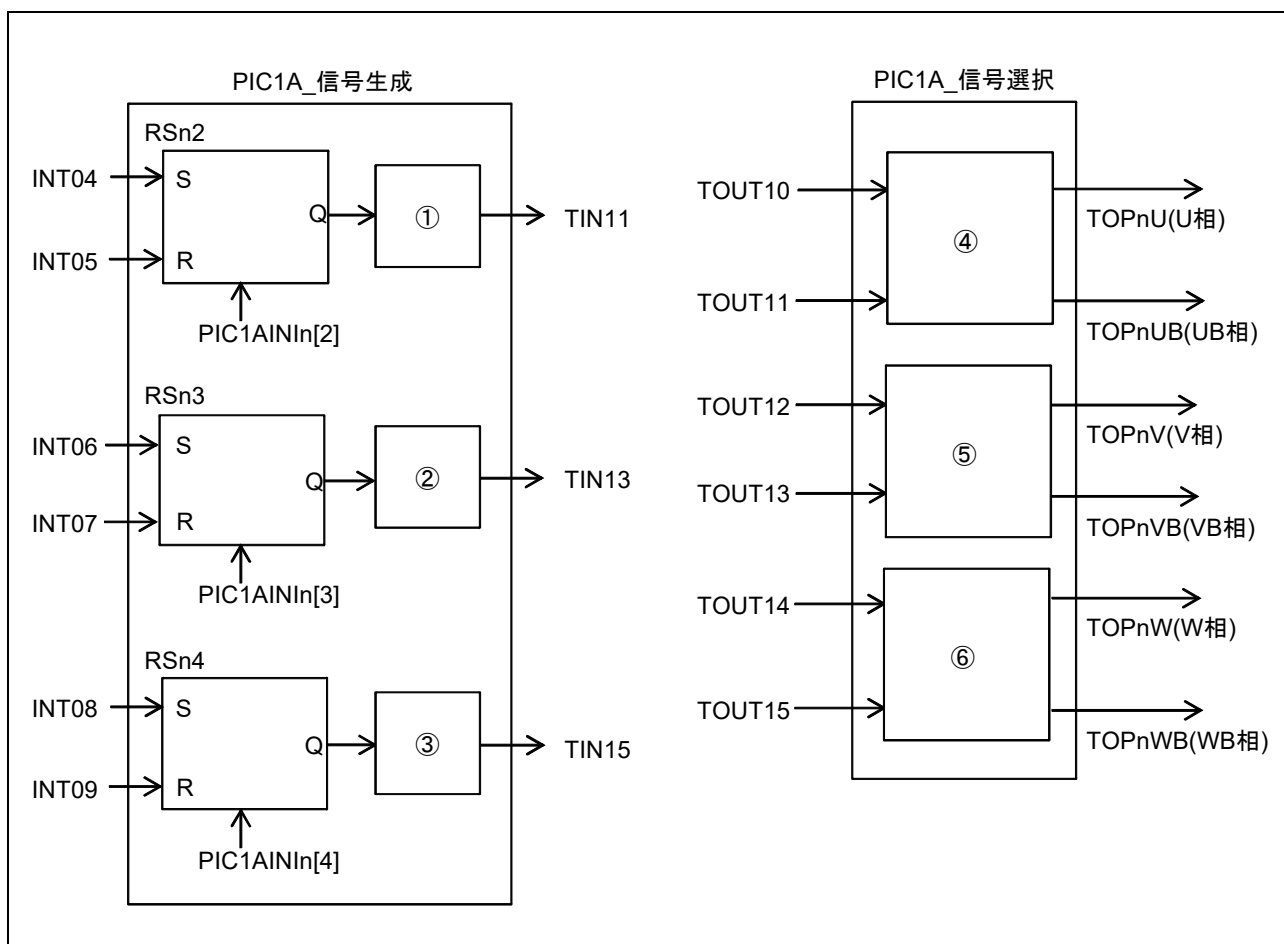


図 23.6 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

U 相 / UB 相

RSn2 の出力 Q を TIN11 として出力するための設定値 (図 23.6 ①)

$$\text{PIC1AREG2n2}[19:18] = 10_{\text{B}}$$

$$\text{PIC1AREG2n2}[2] = 1_{\text{B}}$$

$$\text{PIC1ATAUDnSEL}[23:22] = 00_{\text{B}}$$

出力 TOUT10, 11 を TOPnU, UB として出力するための設定値 (図 23.6 ④)

$$\text{PIC1AREG2n1}[19:16] = 0000_{\text{B}}$$

$$\text{PIC1AREG2n3}[2:0] = 000_{\text{B}}$$

$$\text{PIC1AREG2n3}[6:4] = 000_{\text{B}}$$

V相 /VB 相

RSn3 の出力 Q を TIN13 として出力するための設定値 (図 23.6 ②)

$$\text{PIC1AREG2n2}[23:22] = 10_{\text{B}}$$
$$\text{PIC1AREG2n2}[3] = 1_{\text{B}}$$
$$\text{PIC1ATAUDnSEL}[27:26] = 00_{\text{B}}$$

出力 TOUT12, 13 を TOPnV, VB として出力するための設定値 (図 23.6 ⑤)

$$\text{PIC1AREG2n1}[23:20] = 0000_{\text{B}}$$
$$\text{PIC1AREG2n3}[10:8] = 000_{\text{B}}$$
$$\text{PIC1AREG2n3}[14:12] = 000_{\text{B}}$$
W相 /WB 相

RSn4 の出力 Q を TIN15 として出力するための設定値 (図 23.6 ③)

$$\text{PIC1AREG2n2}[27:26] = 10_{\text{B}}$$
$$\text{PIC1AREG2n2}[4] = 1_{\text{B}}$$
$$\text{PIC1ATAUDnSEL}[31:30] = 00_{\text{B}}$$

出力 TOUT14, 15 を TOPnW, WB として出力するための設定値 (図 23.6 ⑥)

$$\text{PIC1AREG2n1}[27:24] = 0000_{\text{B}}$$
$$\text{PIC1AREG2n3}[18:16] = 000_{\text{B}}$$
$$\text{PIC1AREG2n3}[22:20] = 000_{\text{B}}$$
RSn2-4 の初期化

RSn2-4 を初期化をするための設定値

$$\text{PIC1AINIn0}[4] = 1_{\text{B}} \text{ (初期化)}$$
$$\text{PIC1AINIn0}[3] = 1_{\text{B}} \text{ (初期化)}$$
$$\text{PIC1AINIn0}[2] = 1_{\text{B}} \text{ (初期化)}$$

(4) 機能

本機能の詳細を、デッドタイム付き1相PWM出力 (U相/UB相) を例に説明します。
 下図にタイミング図を示します。

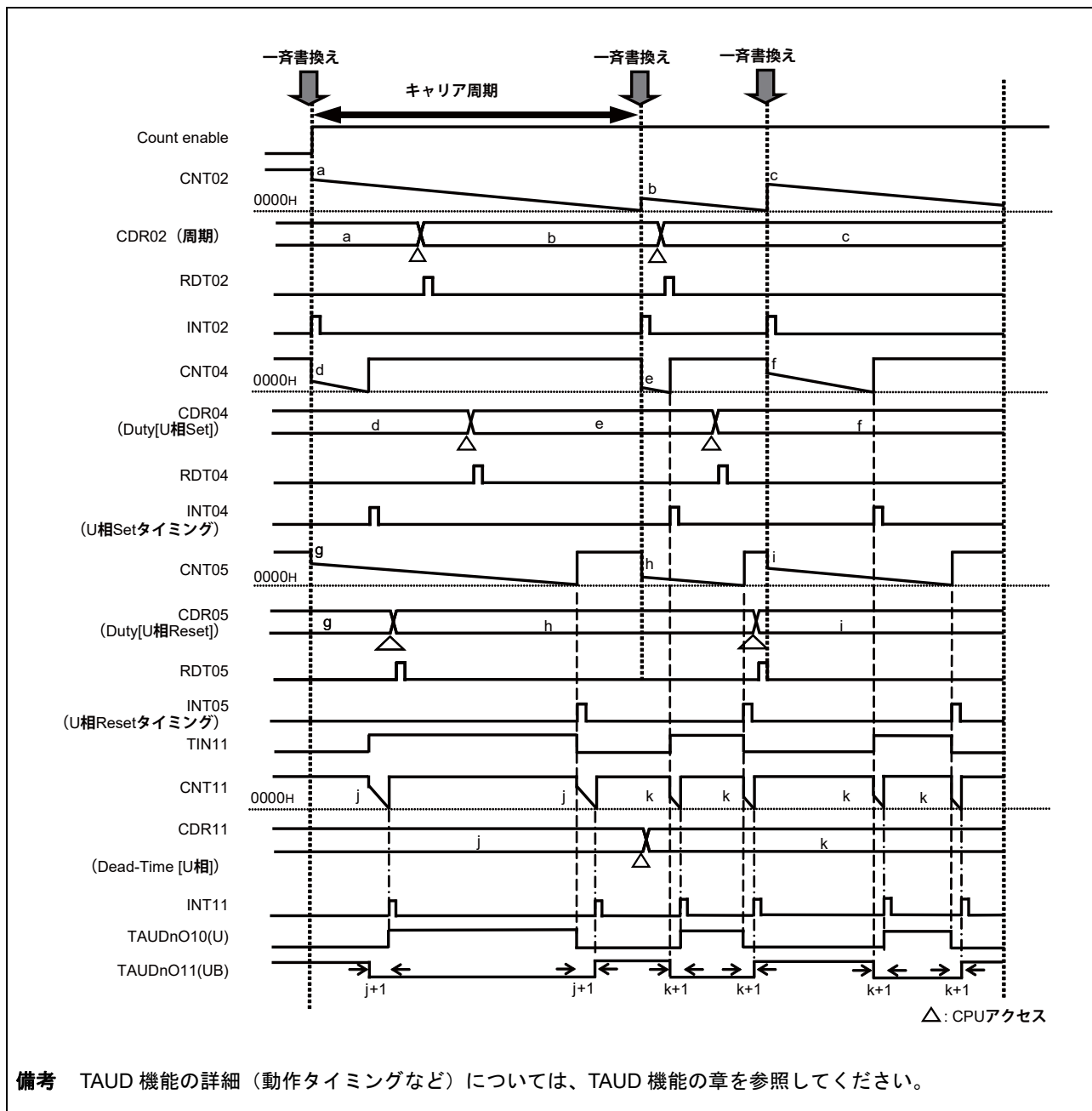


図 23.7 デッドタイム付き1相PWM出力 (U相/UB相)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。注1
- (2) CH04、CH05はCH02のアンダーフローにより、CNT04、CNT05へ設定値のリロードが行われます。
- (3) CH04のアンダーフローにより、INT04が発生しTIN11がハイレベルになり、CH05のアンダーフローにより、INT05が発生し、TIN11がロウレベルになることで、PWM波形を生成します。

- (4) TIN11 の両エッジにより、CNT11 へ設定値のリロードが行われます。^{注2}
- (5) CH11 のアンダーフローにより、INT11 が発生し TAUDnO10 がハイレベルになり、CH05 のアンダーフローにより、INT05 が発生し、TAUDnO10 がロウレベルになることで U 相の PWM 波形を生成し、TOPnU へ出力します。
- (6) TIN11 の立ち上がりエッジにより、TAUDnO11 がロウレベルになり、CH11 のアンダーフローにより、INT11 が発生し、TAUDnO11 がハイレベルになることで UB 相の PWM 波形を生成し、TOPnUB へ出力します。

同様の手順にて、V 相 /VB 相および、W 相 /WB 相を生成します。

注 1. TAUDn の各カウントクロック信号は、同じクロックを選択してください。

注 2. 本機能では、TAUDn の TIN11 で検出する有効エッジを両エッジ（立ち上がり、立ち下がり）に設定してください。

次に、クリアタイミング設定値をキャリア周期設定値より大きくした場合を、V相/VB相を例に説明します。

下図にタイミング図を示します。

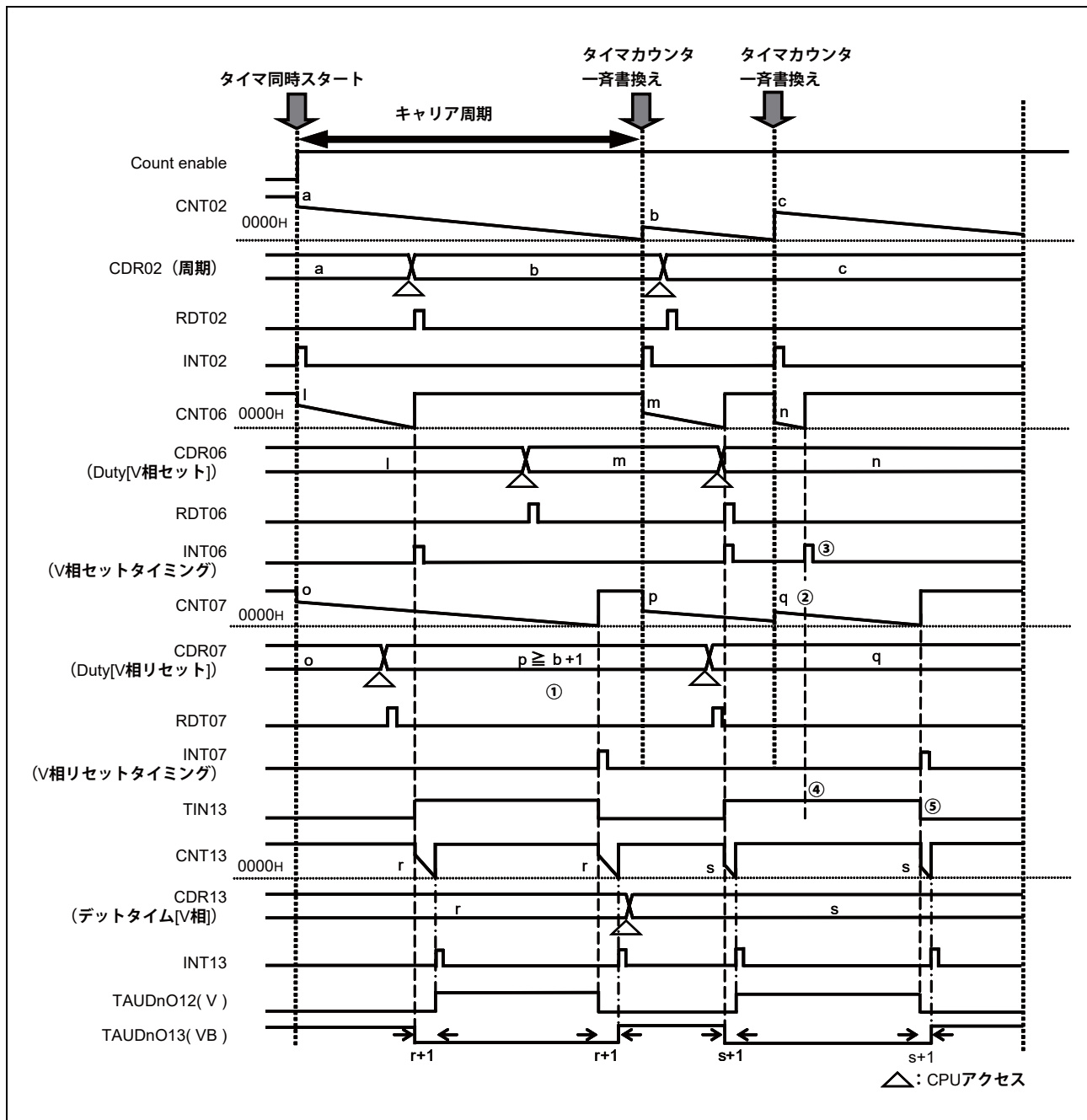


図 23.8 クリアタイミング設定値>キャリア周期設定値 (V相、VB相)

クリアタイミング設定値をキャリア周期設定値よりも大きくすることにより、キャリア周期をまたぐ波形出力が可能となります。

以下に1相PWM出力 (V相/VB相) を例に、動作例を示します。「1相PWM出力機能」によるPWM出力までの動作については、デッドタイム付き1相PWM出力 (U相/UB相) を参照してください。

CH07設定値をCH02設定値より大きくした場合 (図 23.8 ①)、V相クリアタイミング信号 (INT07) 発生前に、キャリア周期タイマのアンダーフローが発生し、設定値はリロードさ

れます (図 23.8 ②)。そのため、本来発生すべき V 相クリアタイミング信号 (INT07) は発生せず、V 相セットタイミング信号 (INT06) が連続して発生します (図 23.8 ③)。このとき、PIC 回路内にて V 相セットタイミング信号は無視されるため PWM 出力波形に影響はなく (図 23.8 ④)、出力される PWM 出力はキャリア周期をまたぐ波形が出力されます (図 23.8 ⑤)。

下図にデッドタイム付き 3 相 PWM 出力のタイミング図を示します。

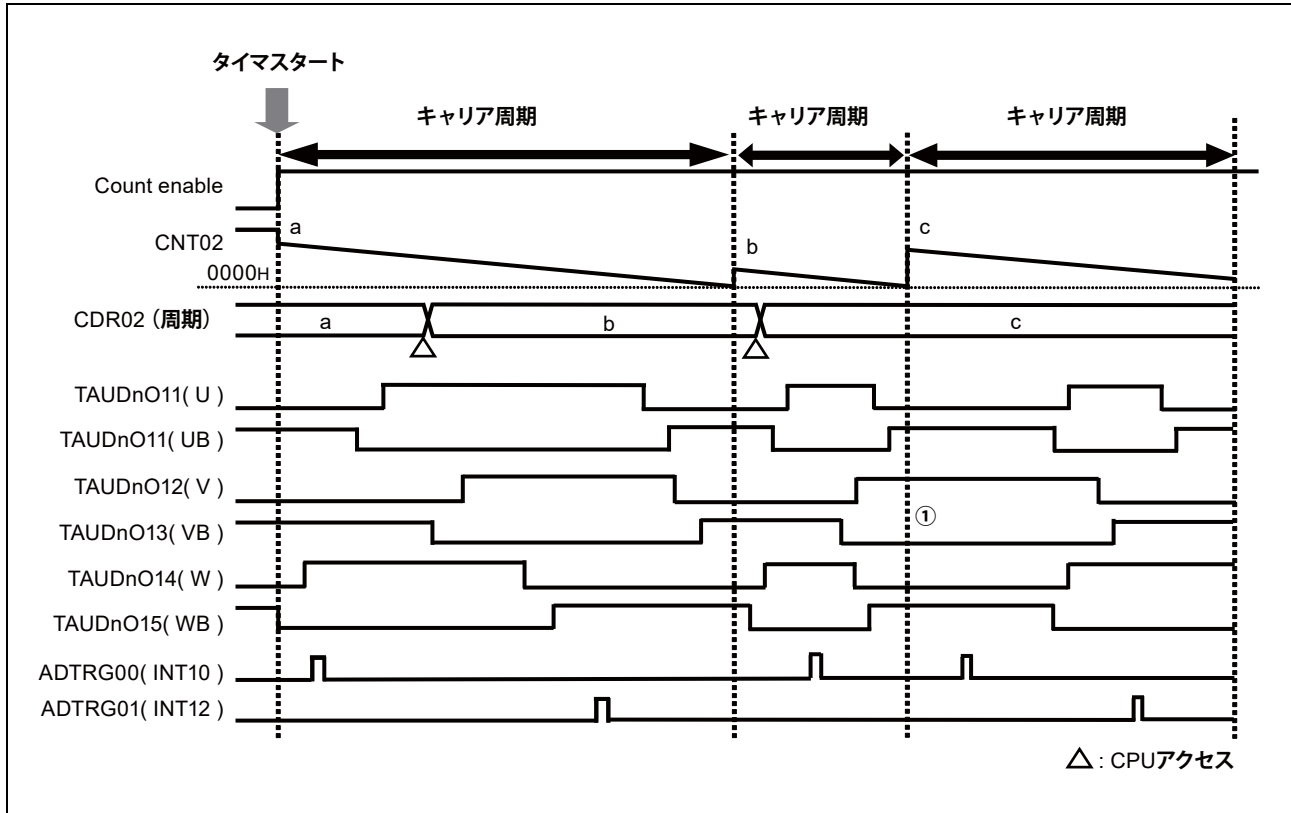
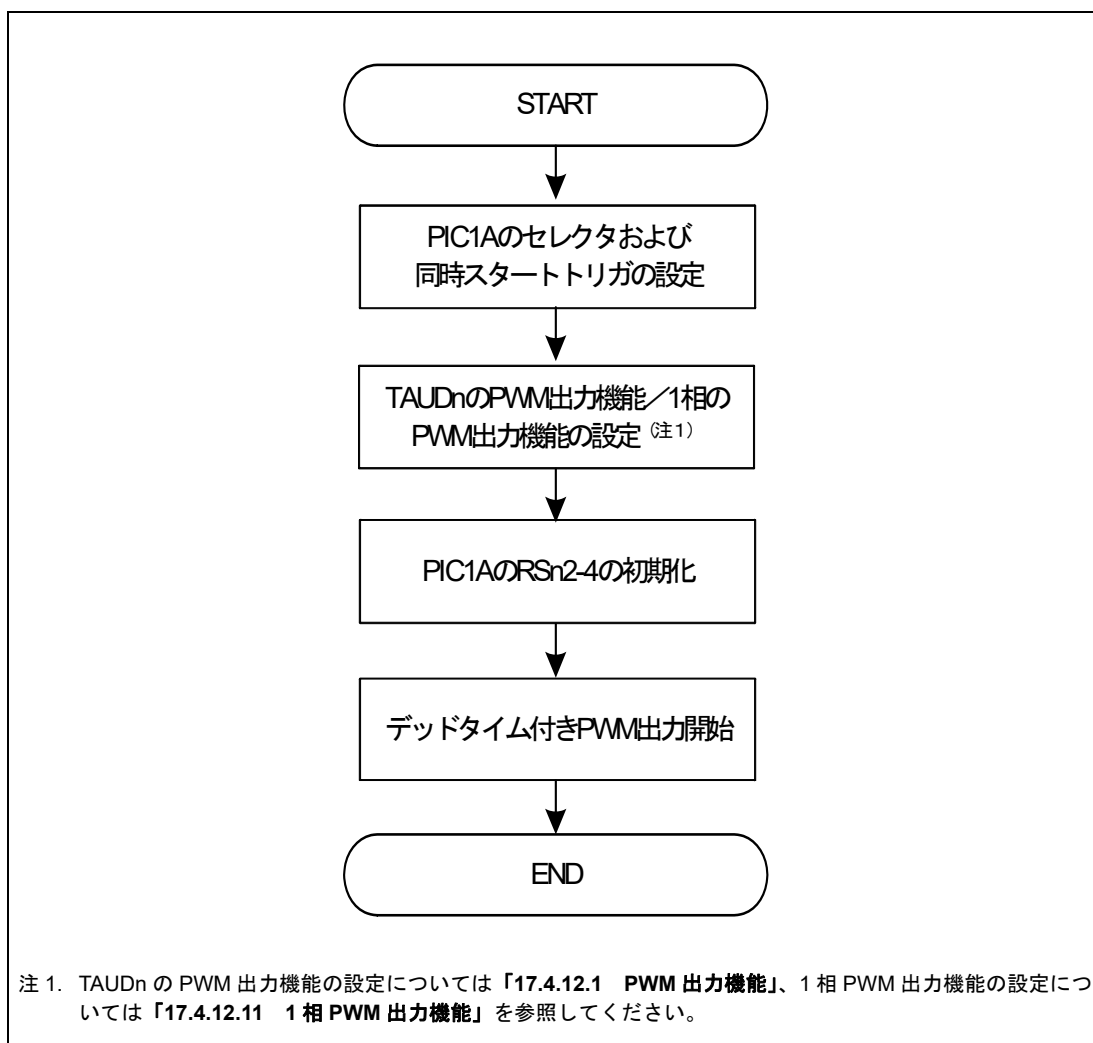


図 23.9 デッドタイム付き 3 相 PWM 出力

(5) フローチャート

本機能のフローチャートを以下に示します。



23.2.3.3 デッドタイム付き高精度三角波 PWM 出力機能

(1) 概要

TAUDn の「デッドタイム付き三角波 PWM 出力機能」に対し、デューティ 100%および 0% 近傍のデッドタイム可変領域の制御が可能な、1 相から 3 相のデッドタイム付き三角波 PWM 出力を生成する機能です。使用する TAUDn のチャンネル数は以下に示します。

デッドタイム付き高精度三角波 PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相 /UB 相)	5ch (マスタチャンネル 1ch、スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相 /UB 相、V 相 /VB 相)	9ch (マスタチャンネル 1ch、スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相 /UB 相、V 相 /VB 相、W 相 /WB 相)	13ch (マスタチャンネル 1ch、スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 は CH3 ~ 9 のマスタチャンネルとしてください。

CHm は CHm+1 のマスタチャンネルとしてください。(m = 10, 12, 14)

TAUDn チャンネル	U 相 /UB 相	V 相 /VB 相	W 相 /WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	×	×	×	未使用
CH4	○	×	×	デッドタイム付き三角波 PWM 出力 (U 相 /UB 相)
CH5	○	×	×	
CH6	×	○	×	デッドタイム付き三角波 PWM 出力 (V 相 /VB 相)
CH7	×	○	×	
CH8	×	×	○	デッドタイム付き三角波 PWM 出力 (W 相 /WB 相)
CH9	×	×	○	
CH10	○	×	×	縮小デッドタイムパルス (U 相 /UB 相)
CH11	○	×	×	
CH12	×	○	×	縮小デッドタイムパルス (V 相 /VB 相)
CH13	×	○	×	
CH14	×	×	○	縮小デッドタイムパルス (W 相 /WB 相)
CH15	×	×	○	

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn のデッドタイム付き三角波 PWM 出力機能／ワンショットパルス出力機能と PIC1A を組み合わせることで、デッドタイム付き高精度三角波 PWM 出力機能を実現します。デッドタイム付き高精度三角波 PWM 出力機能のブロック図を以下に示します。

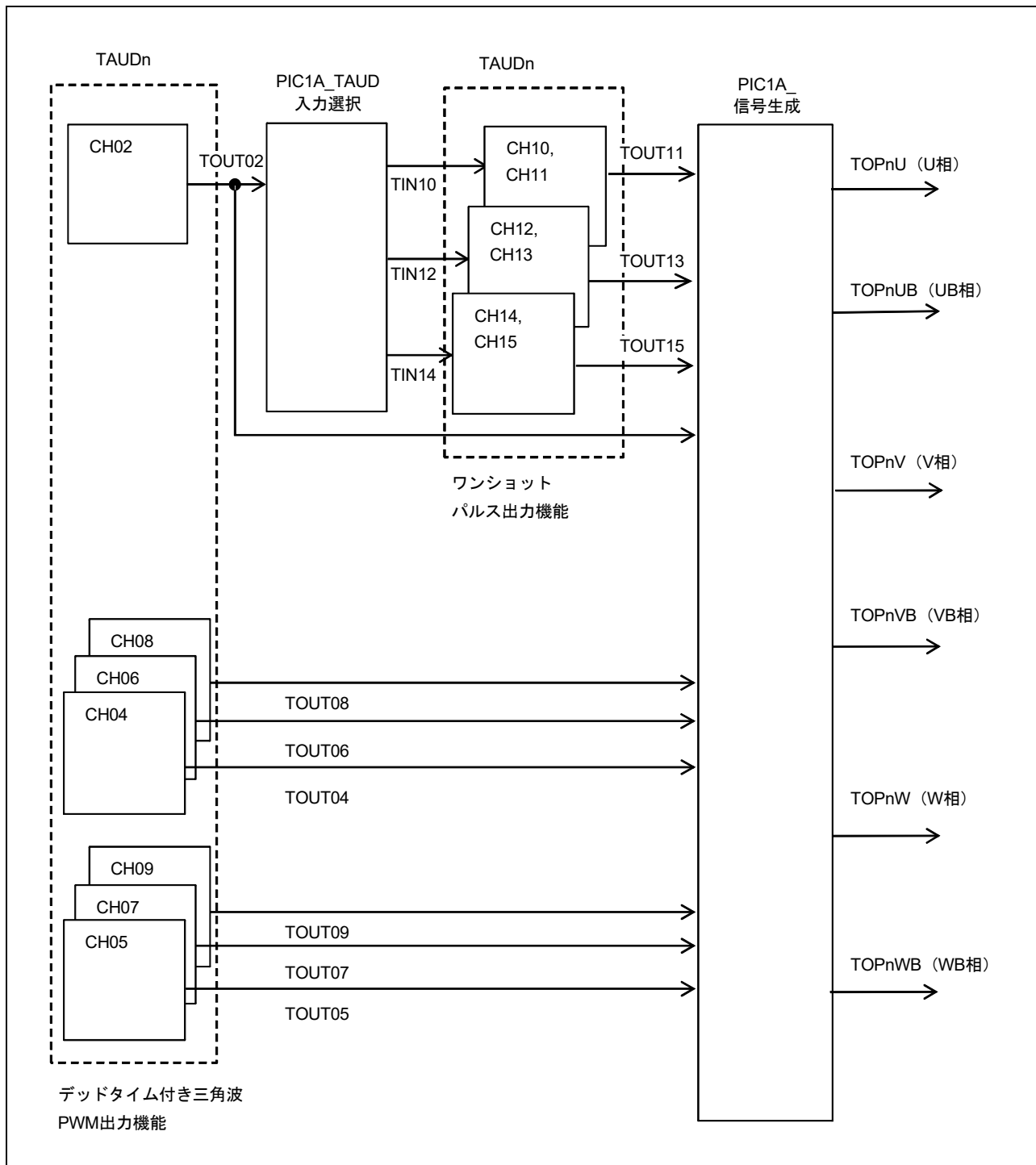


図 23.10 デッドタイム付き高精度三角波 3 相 PWM 出力 ブロック図

U相 /UB相のPWM出力を例に構成を説明します。

- [PIC1A_TAUD 入力選択]
TOUT02 を選択して、TIN10 に出力します。
- [TAUDn] ワンショットパルス出力機能
CH10、CH11 を使用します。CDR10 にディレイ値、CDR11 にパルス幅を設定し、TOUT11 (ワンショットパルス出力信号) を生成します。
- [TAUDn] デッドタイム付き三角波 PWM 出力機能
CH02、CH04、CH05 を使用します。CDR02 に周期、CDR04 にデューティ、CDR05 にデッドタイムを設定し、TOUT04/TOUT05 (デッドタイム付き三角波 PWM 信号) を生成します。
- [PIC1A_ 信号生成]
PFN001 にて、ワンショットパルス出力信号から UO1/UO2 (縮小デッドタイムパルス) を生成します。FN00、FN01 で、TOUT04/TOUT05 と UO1/UO2 を合成し、デッドタイム可変領域パルスを付加し、TOPnU (U相 PWM 信号)、TOPnUB (UB相 PWM 信号) を生成します。

V相 /VB相、W相 /WB相は、上記U相 /UB相と同様の構成です。

(3) レジスタ

下図に PIC1A のブロック図を示します。

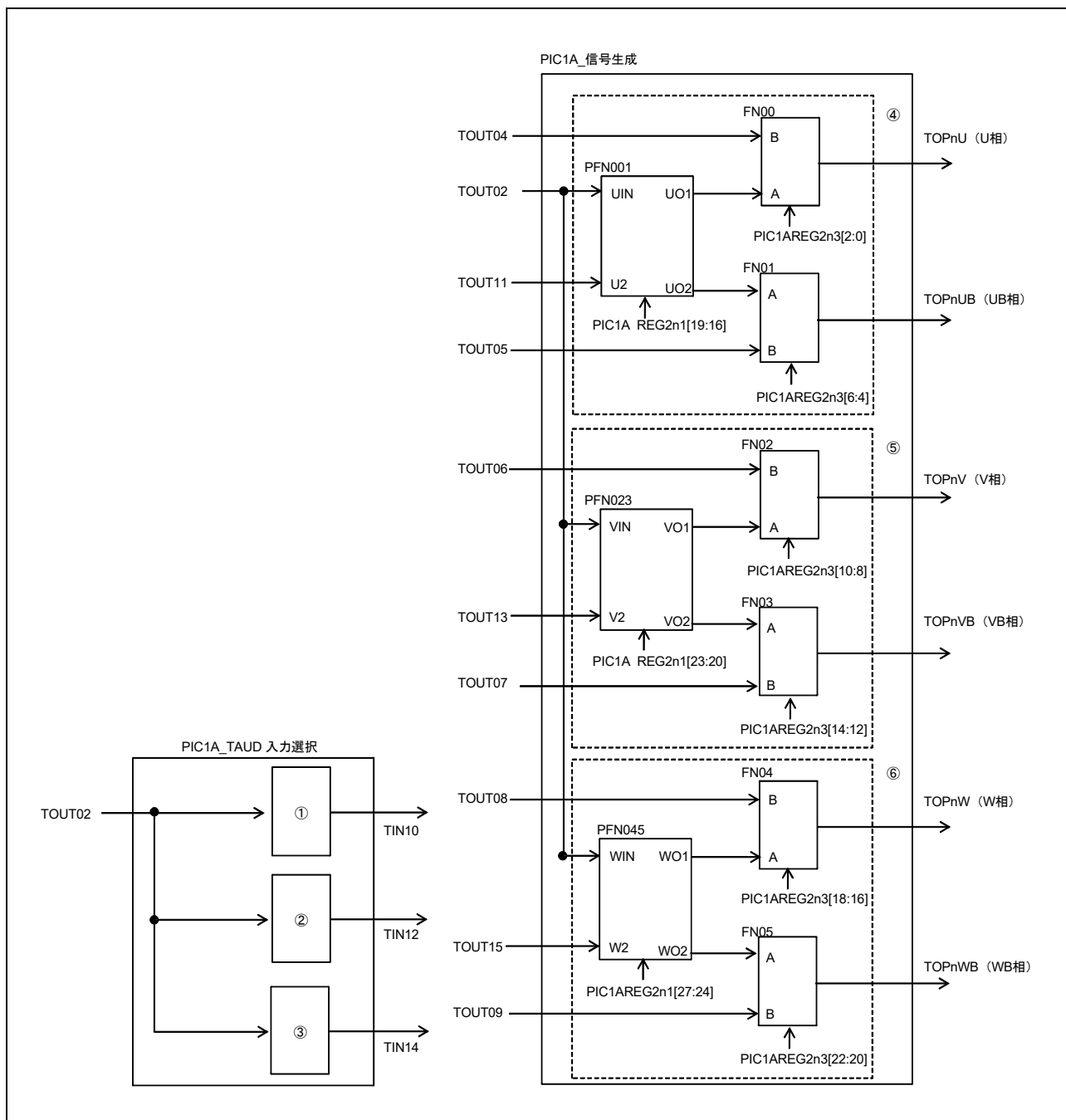


図 23.11 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

① PIC1A_TAUD 入力選択 (U 相 /UB 相)

TOUT02 を TIN10 として出力するための設定値 (アクティブハイ/ロウ共通)

$PIC1AREG2n0[18] = 1_B$

$PIC1AREG2n2[17:16] = 10_B$

$PIC1ATAUDnSEL[21:20] = 00_B$

② PIC1A_TAUD 入力選択 (V 相 /VB 相)

TOUT02 を TIN12 として出力するための設定値 (アクティブハイ/ロウ共通)

PIC1AREG2n0[18] = 1_B

PIC1AREG2n2[21:20] = 10_B

PIC1ATAUDnSEL[25:24] = 00_B

③ PIC1A_TAUD 入力選択 (W 相 /WB 相)

TOUT02 を TIN14 として出力するための設定値 (アクティブハイ/ロウ共通)

PIC1AREG2n0[18] = 1_B

PIC1AREG2n2[25:24] = 10_B

PIC1ATAUDnSEL[29:28] = 00_B

④ PIC1A_ 信号生成 (U 相 /UB 相)

TAUDnO10, TAUDnO11 から 1 相 PWM (アクティブハイ/ロウ) を出力するための設定値

PIC1AREG2n1[19:16] = 1010_B (アクティブハイ)、1111_B (アクティブロウ)

PIC1AREG2n3 [06:04] = 100_B (アクティブハイ)、101_B (アクティブロウ)

PIC1AREG2n3[02:00] = 100_B (アクティブハイ)、101_B (アクティブロウ)

⑤ PIC1A_ 信号生成 (V 相 /VB 相)

TAUDnO12, TAUDnO13 から 1 相 PWM (アクティブハイ/ロウ) を出力するための設定値

PIC1AREG2n1[23:20] = 1010_B (アクティブハイ)、1111_B (アクティブロウ)

PIC1AREG2n3 [14:12] = 100_B (アクティブハイ)、101_B (アクティブロウ)

PIC1AREG2n3[10:08] = 100_B (アクティブハイ)、101_B (アクティブロウ)

⑥ PIC1A_ 信号生成 (W 相 /WB 相)

TAUDnO14, TAUDnO15 から 1 相 PWM (アクティブハイ/ロウ) を出力するための設定値

PIC1AREG2n1[27:24] = 1010_B (アクティブハイ)、1111_B (アクティブロウ)

PIC1AREG2n3 [22:20] = 100_B (アクティブハイ)、101_B (アクティブロウ)

PIC1AREG2n3[18:16] = 100_B (アクティブハイ)、101_B (アクティブロウ)

(4) 機能

本機能の詳細を U 相 /UB 相を例に説明します。V 相 /VB 相、W 相 /WB 相については、入力信号および設定レジスタは異なりますが、論理は U 相 /UB 相と同一です。

- U 相組み合わせ回路 (PFN001)

ワンショットパルス出力機能で生成したパルスを、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するための縮小デッドタイムパルス^{注1} (FN00 A、FN01 A) を生成します。ブロック図については、「**図 23.1 PFN001 ブロック図**」を参照してください。

注 1. 縮小デッドタイムパルスについて

TSG3n の HT-PWM モードで PWM 出力をした場合に、デューティ 100% もしくは 0% 近傍で生成されるデッドタイムパルスを TAUDn のデッドタイム付き三角波 PWM 出力に擬似的に付加するパルスです。

- 論理演算回路 (FN0i) (i = 0, 1)

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力 (TOUT04, TOUT05) と組み合わせ回路出力 (PFN001 の UO0、UO1) を合成し、デッドタイム可変領域パルスを付加した PWM を生成します。論理演算回路は PIC1AREG2n3k (k = 00 ~ 02, 04 ~ 06) の設定によって、論理を切り替えます。ブロック図については、**図 23.2, FN00 ブロック図**を参照してください。

本機能の詳細を、デッドタイム付き高精度三角波 PWM 出力機能 (U 相 /UB 相) を例に説明します。

下図にアクティブハイ設定時の U 相 0%、UB 相 100% のタイミング図を示します。

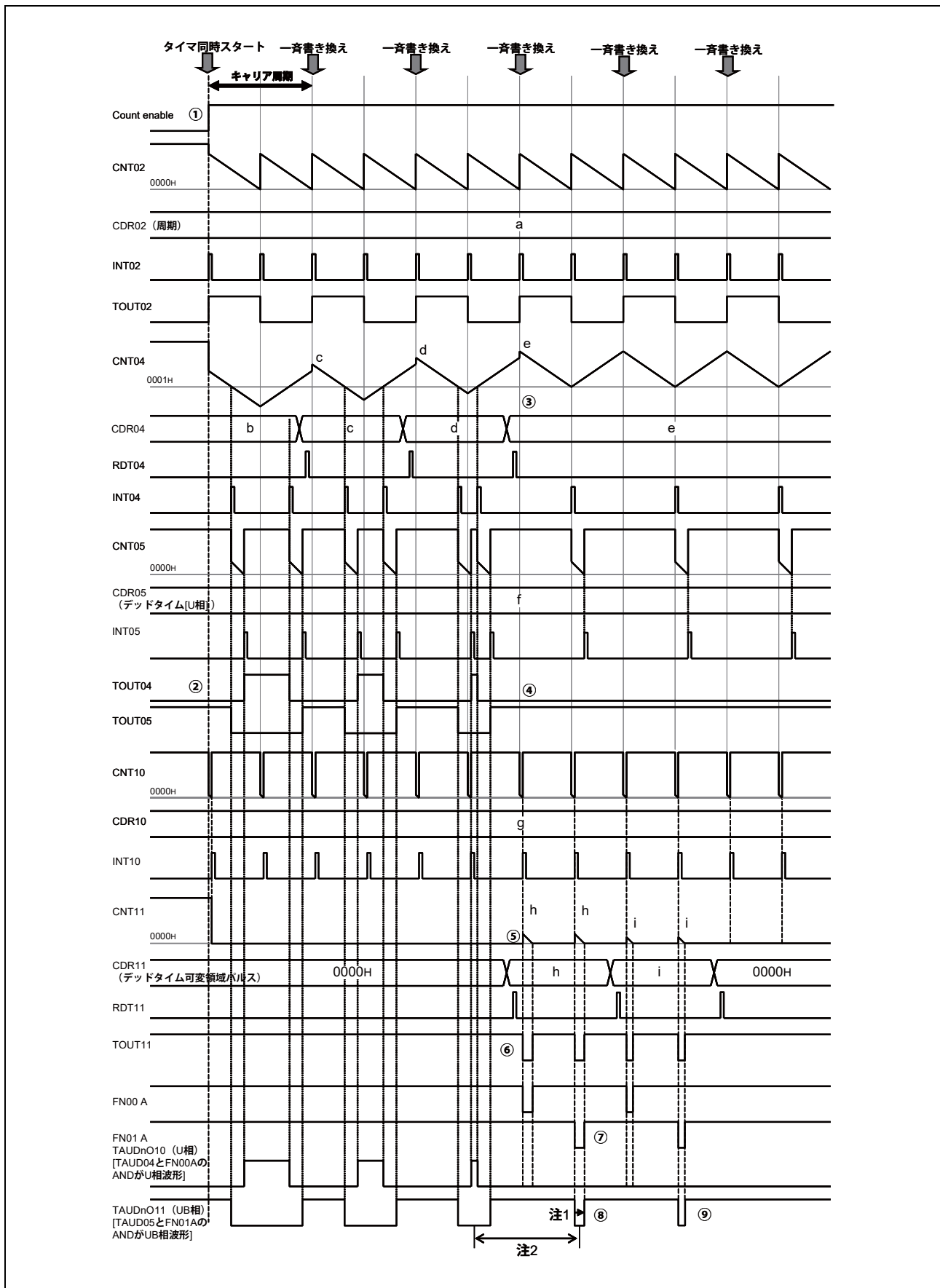


図 23.12 デッドタイム付き高精度三角波 PWM (U相 0%、UB相 100%) _ アクティブハイ

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) デッドタイム付き三角波 PWM 出力機能により、TOUT04/TOUT05 を生成します。
- (3) CDR04 に U 相デューティ 0% 出力値を設定します。
- (4) (3) の設定により、TOUT04 の出力はインアクティブレベル、TOUT05 の出力はアクティブレベルとなります。
- (5) デッドタイム可変領域パルスを作成するため、(3) の U 相デューティ 0% 設定時に、縮小デッドタイムパルス幅となる値を CDR11 に設定します。
- (6) TOUT02 の有効エッジで CH10 のカウントを開始し、アンダーフローにより INT10 が発生します。INT10 の発生により CH11 のカウントを開始し、CDR11 に設定された幅をパルス幅とする TOUT11 (縮小デッドタイムパルス) を出力します。
- (7) PFN001 において、TOUT02、TOUT11 より UO1/UO2 (縮小デッドタイムパルス) が生成されます。
- (8) UO1/UO2 は FN00/FN01 により TOUT04/TOUT05 と合成され、TOPnU (U 相 PWM 信号)、TOPnUB (UB 相 PWM 信号) を出力します。

注 意

縮小デッドタイムパルスは、三角波を使用している両側伸縮するパルスとは異なり、鋸波を使用しているため片側伸縮となります。

縮小デッドタイムパルスが片側伸縮のため、デッドタイム可変領域での 1 相 PWM の出力周期は、付加する縮小デッドタイムパルス幅の 1/2 分長くなります。

下図にアクティブハイ設定時の U 相 100%、UB 相 0% のタイミング図を示します。

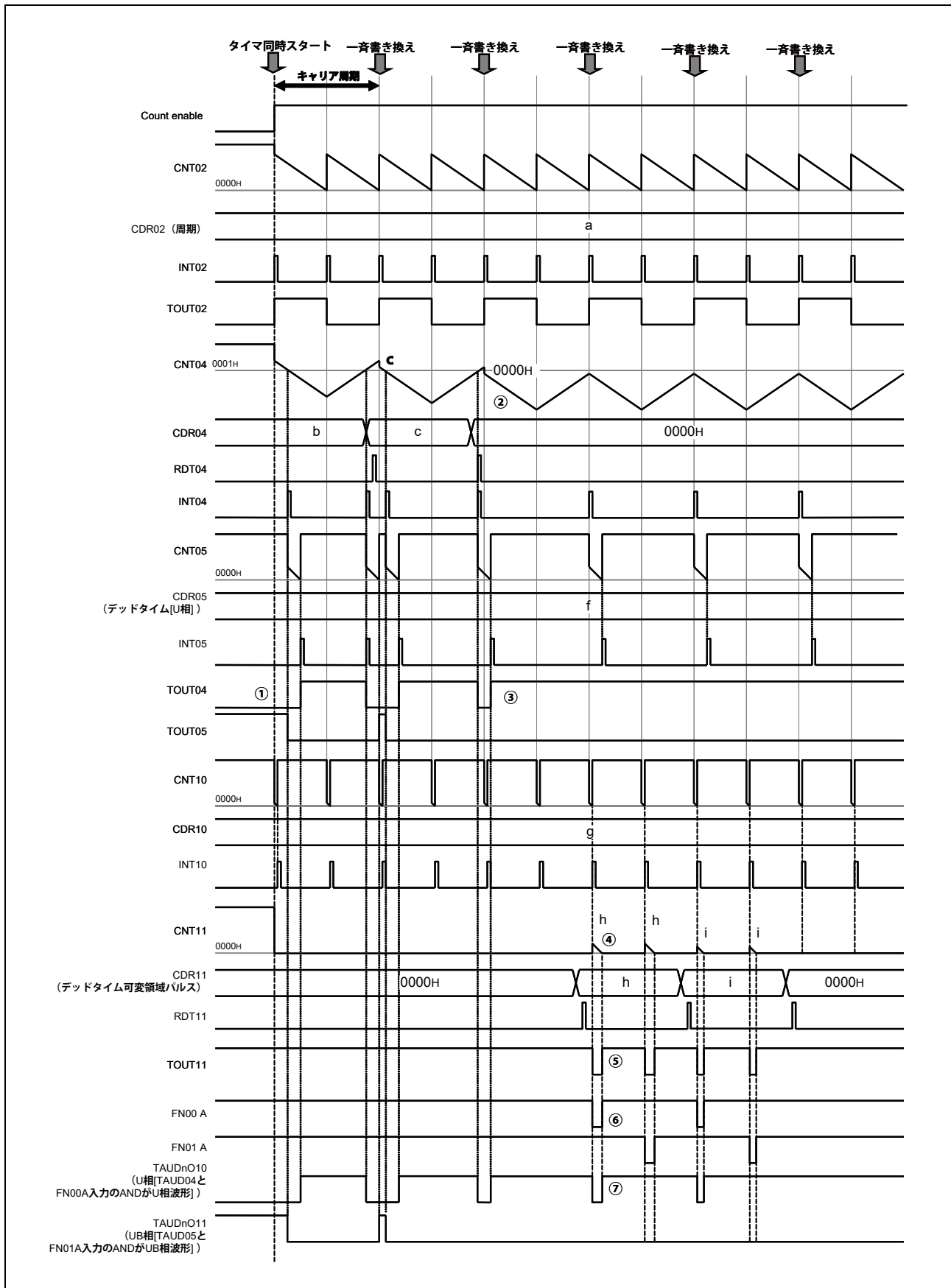


図 23.13 デッドタイム付き高精度三角波 PWM (U 相 100%、UB 相 0%)_ アクティブハイ

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) デッドタイム付き三角波 PWM 出力機能により、TOUT04/TOUT05 を生成します。
- (3) CDR04 に U 相デューティ 100%出力値 (CDR04 = 0000_H) を設定します。
- (4) TOUT04 はアクティブレベル、TOUT05 はインアクティブレベルを出力します。
- (5) U 相デューティ 100%設定から 1 周期後に、縮小デッドタイムパルス幅となる値を CDR11 に設定します。
- (6) TOUT02 の有効エッジで CH10 のカウントを開始し、アンダーフローにより INT10 が発生します。INT10 の発生により CH11 のカウントを開始し、CDR11 に設定された幅をパルス幅とする TOUT11 (縮小デッドタイムパルス) を出力します。
- (7) PFN001 において、TOUT02、TOUT11 より UO1/UO2 (縮小デッドタイムパルス) を生成します。
- (8) UO1/UO2 は FN00/FN01 により TOUT04/TOUT05 と合成され、TOPnU (U 相 PWM 信号)、TOPnUB (UB 相 PWM 信号) を出力します。

注 意

CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、図 23.14 ①で示す TOUT04 から出力される最後の PWM に対し、②で示されるデッドタイム可変領域パルスにより、デッドタイムパルス幅が長くなります。そのため、U 相デューティ 100% 設定後、1 周期以上経過したあとに CDR11 を設定してください。

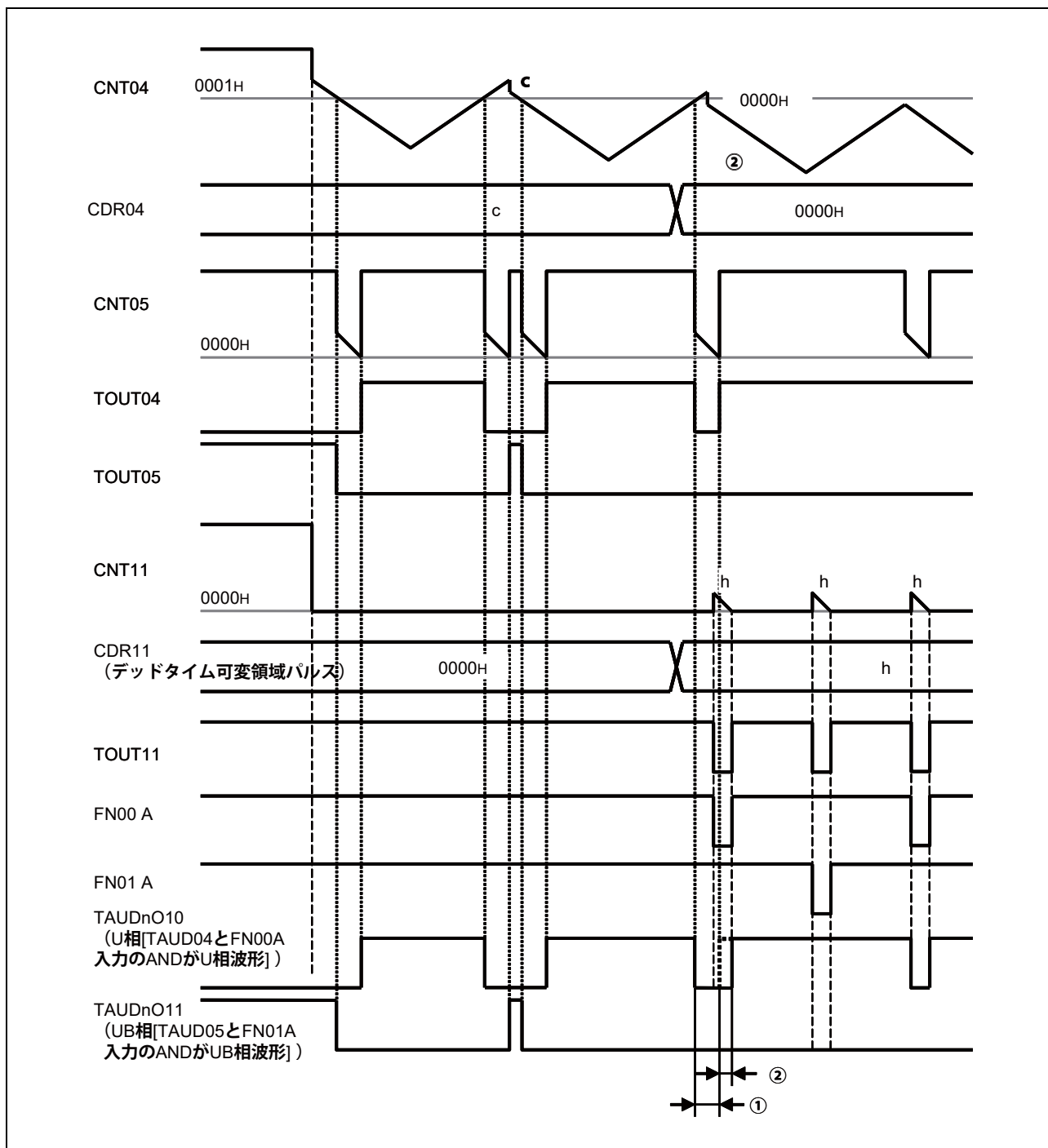


図 23.14 デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響した場合

下図にアクティブロウ設定時のU相 100%、UB相 0%のタイミング図を示します。

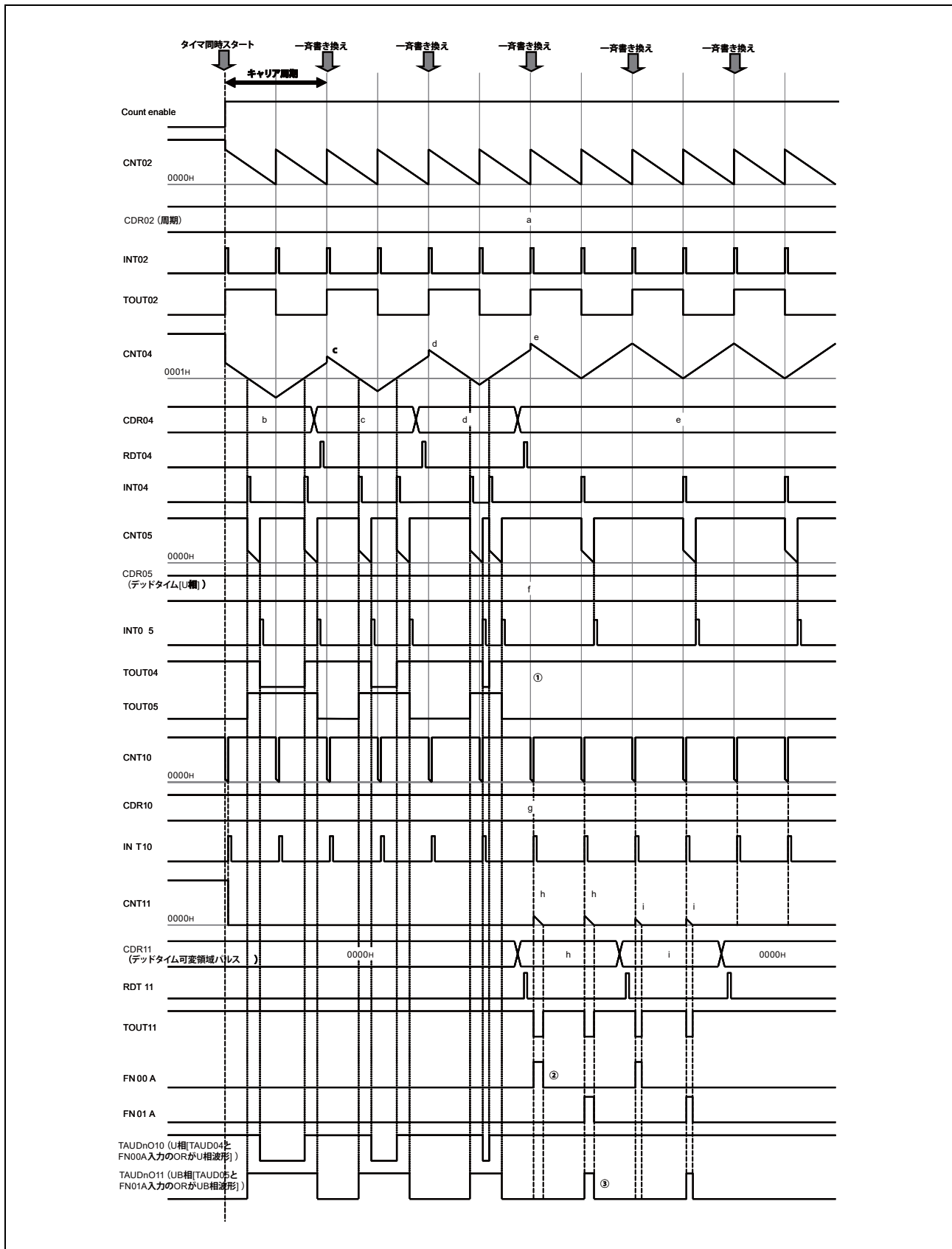


図 23.15 デッドタイム付き高精度三角波 PWM(U相 100%、UB相 0%)_アクティブロウ

タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は、**図 23.13 デッドタイム付き高精度三角波 PWM (U 相 100%、UB 相 0%)_ アクティブハイ**と同じです。ただし、PWM 出力として、TOUT04、TOUT05 からはアクティブロウの PWM 信号が出力されます。

注 意

ワンショットパルス出力機能の各 CDR 設定値は、以下の条件を満たすように設定してください。

$$\text{CDR05} \geq (\text{CDR10} + \text{CDR11})$$

上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、縮小デッドタイムパルスが必要になる状況まで、CDR11 には 0000_H を設定しておいてください。

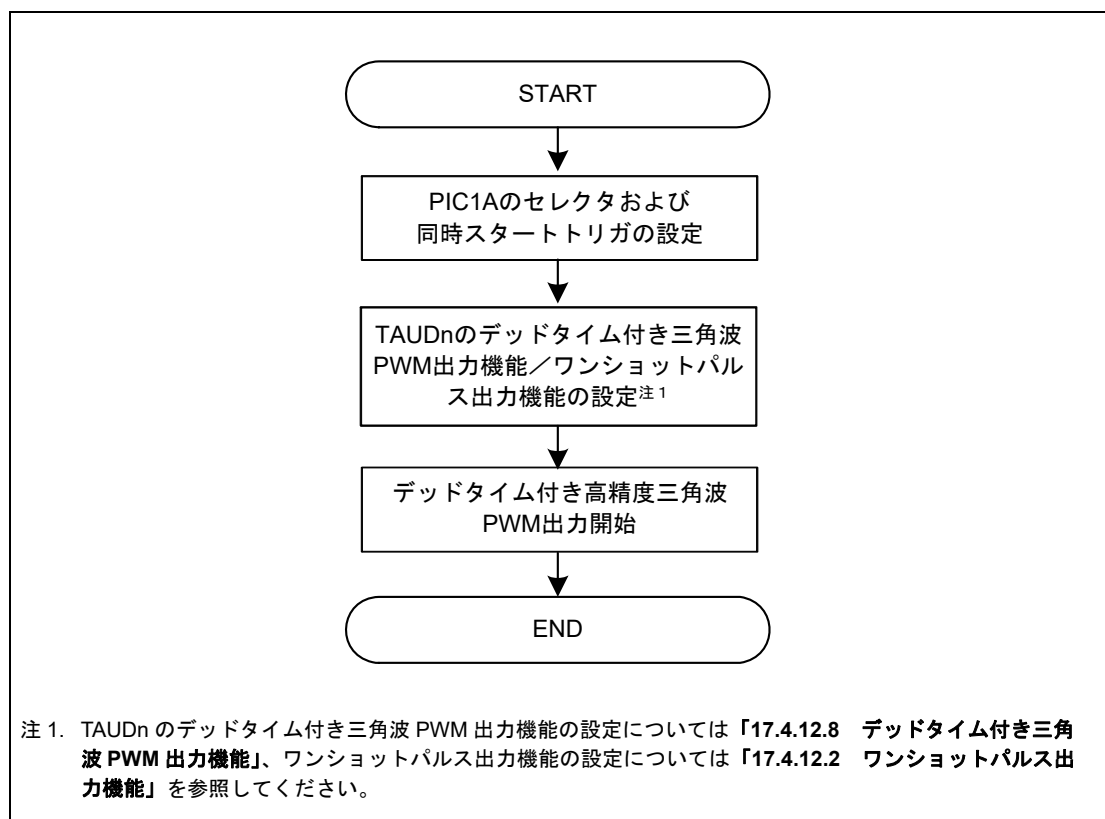
TIN10 (TOUT02) の有効エッジは両エッジ検出、また TAUDnTOL11 = 1 (アクティブロウ) に設定して下さい。

TAUDn のカウントクロック信号 (CK0 ~ 3) は、同じ信号を選択してください。

デッドタイム付き高精度三角波 PWM 出力開始後、U 相、V 相、W 相のデューティを 100% 設定すると同時にデッドタイム可変領域パルス幅の値を設定しないでください。

(5) フローチャート

本機能のフローチャートを以下に示します。



23.2.3.4 デッドタイム付きディレイパルス出力機能

(1) 概要

TAUDn を使って、周期タイミングからディレイを付加したデッドタイム付き PWM 出力を生成する機能です。

「23.2.3.2 デッドタイム付き PWM 出力機能」と異なり、次の周期内にリセットを持つ PWM 出力が可能です。

使用するチャンネル数は以下の通りです。

デッドタイム付き PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相 /UB 相)	5ch (マスタチャンネル 1ch、スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相 /UB 相、V 相 /VB 相)	9ch (マスタチャンネル 1ch、スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相 /UB 相、V 相 /VB 相、W 相 /WB 相)	13ch (マスタチャンネル 1ch、スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 は CH3 ～ 9 のマスタチャンネルとしてください。

TAUDn チャンネル	U 相 /UB 相	V 相 /VB 相	W 相 /WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	○	○	○	予約
CH4	○	×	×	ディレイパルス出力 (U 相 /UB 相)
CH5	○	×	×	
CH6	×	○	×	ディレイパルス出力 (V 相 /VB 相)
CH7	×	○	×	
CH8	×	×	○	ディレイパルス出力 (W 相 /WB 相)
CH9	×	×	○	
CH10	○	×	×	U 相出力 (TOUT10)
CH11	○	×	×	UB 相出力 (TOUT11)
CH12	×	○	×	V 相出力 (TOUT12)
CH13	×	○	×	VB 相出力 (TOUT13)
CH14	×	×	○	W 相出力 (TOUT14)
CH15	×	×	○	WB 相出力 (TOUT15)

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDnのディレイパルス出力機能／1相PWM出力機能とPIC1Aを組み合わせることで、デッドタイム付きディレイパルス出力機能を実現します。デッドタイム付きディレイパルス出力機能のブロック図を以下に示します。

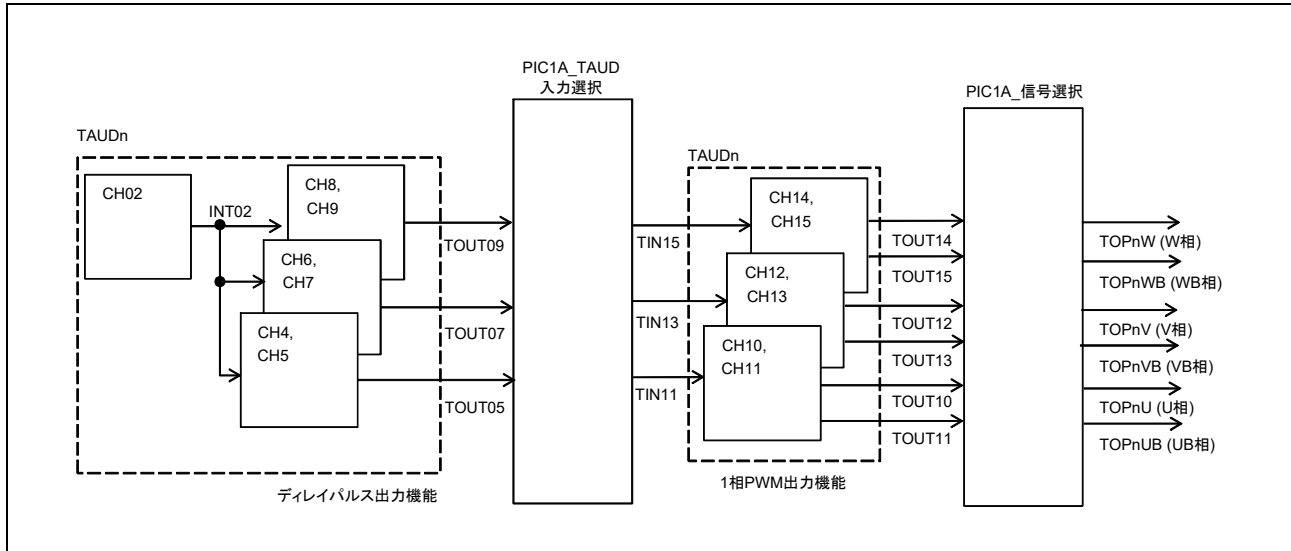


図 23.16 デッドタイム付きディレイパルス出力機能 ブロック図

U相 /UB 相の PWM 出力を例に構成を説明します。

- [TAUDn] ディレイパルス出力機能
TAUDn の CH02、CH04、CH05 を使用します。CDR02 に周期、CDR04 にディレイ、CDR05 にパルス幅を設定し、TOUT05 (ディレイパルス出力) を生成します。
- [PIC1A_TAUD 入力選択]
TOUT05 を選択して、TIN11 に出力します。
- [TAUDn] 1 相 PWM 出力機能
TAUDn の CH10、CH11 を使用します。CDR11 にデッドタイム値を設定することで TIN11 に入力される PWM 信号にデッドタイムを付加し、TOUT10 (U 相 PWM 信号)、TOUT11 (UB 相 PWM 信号) を出力します。
- [PIC1A_信号選択]
TOUT10, 11 入力を選択して、TOPnU, UB 端子に出力します。

V 相 /VB 相、W 相 /WB 相は、上記 U 相 /UB 相と同様と同様の構成です。

(3) レジスタ

下図に PIC1A 内のブロック図を示します。

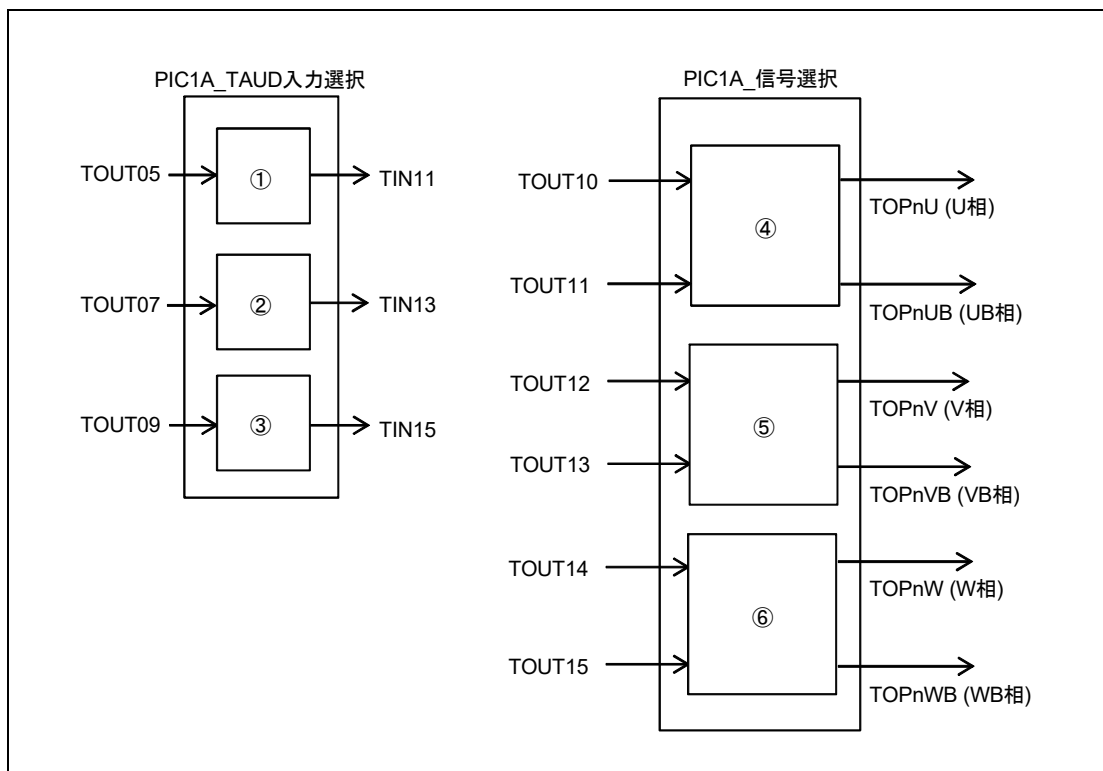


図 23.17 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

U 相 / UB 相

TOUT05 を TIN11 として出力するための設定値 (図 23.17 ①)

$$\text{PIC1AREG2n2}[19:18] = 10_{\text{B}}$$

$$\text{PIC1AREG2n2}[2] = 0_{\text{B}}$$

$$\text{PIC1ATAUDnSEL}[23:22] = 00_{\text{B}}$$

出力 TOUT10, 11 を TOPnU, UB として出力するための設定値 (図 23.17 ④)

$$\text{PIC1AREG2n1}[19:16] = 0000_{\text{B}}$$

$$\text{PIC1AREG2n3}[2:0] = 000_{\text{B}}$$

$$\text{PIC1AREG2n3}[6:4] = 000_{\text{B}}$$

V相 /VB 相

TOUT07 を TIN13 として出力するための設定値 (図 23.17 ②)

$$\text{PIC1AREG2n2}[23:22] = 10_{\text{B}}$$
$$\text{PIC1AREG2n2}[3] = 0_{\text{B}}$$
$$\text{PIC1ATAUDnSEL}[27:26] = 00_{\text{B}}$$

出力 TOUT12, 13 を TOPnV, VB として出力するための設定値 (図 23.17 ⑤)

$$\text{PIC1AREG2n1}[23:20] = 0000_{\text{B}}$$
$$\text{PIC1AREG2n3}[10:8] = 000_{\text{B}}$$
$$\text{PIC1AREG2n3}[14:12] = 000_{\text{B}}$$
W相 /WB 相

TOUT09 を TIN15 として出力するための設定値 (図 23.17 ③)

$$\text{PIC1AREG2n2}[27:26] = 10_{\text{B}}$$
$$\text{PIC1AREG2n2}[4] = 0_{\text{B}}$$
$$\text{PIC1ATAUDnSEL}[31:30] = 00_{\text{B}}$$

出力 TOUT14, 15 を TOPnW, WB として出力するための設定値 (図 23.17 ⑥)

$$\text{PIC1AREG2n1}[27:24] = 0000_{\text{B}}$$
$$\text{PIC1AREG2n3}[18:16] = 000_{\text{B}}$$
$$\text{PIC1AREG2n3}[22:20] = 000_{\text{B}}$$
(4) 機能

本機能の詳細を、デッドタイム付きディレイパルス出力 (U相 /UB 相) を例に説明します。

下図にタイミング図を示します。

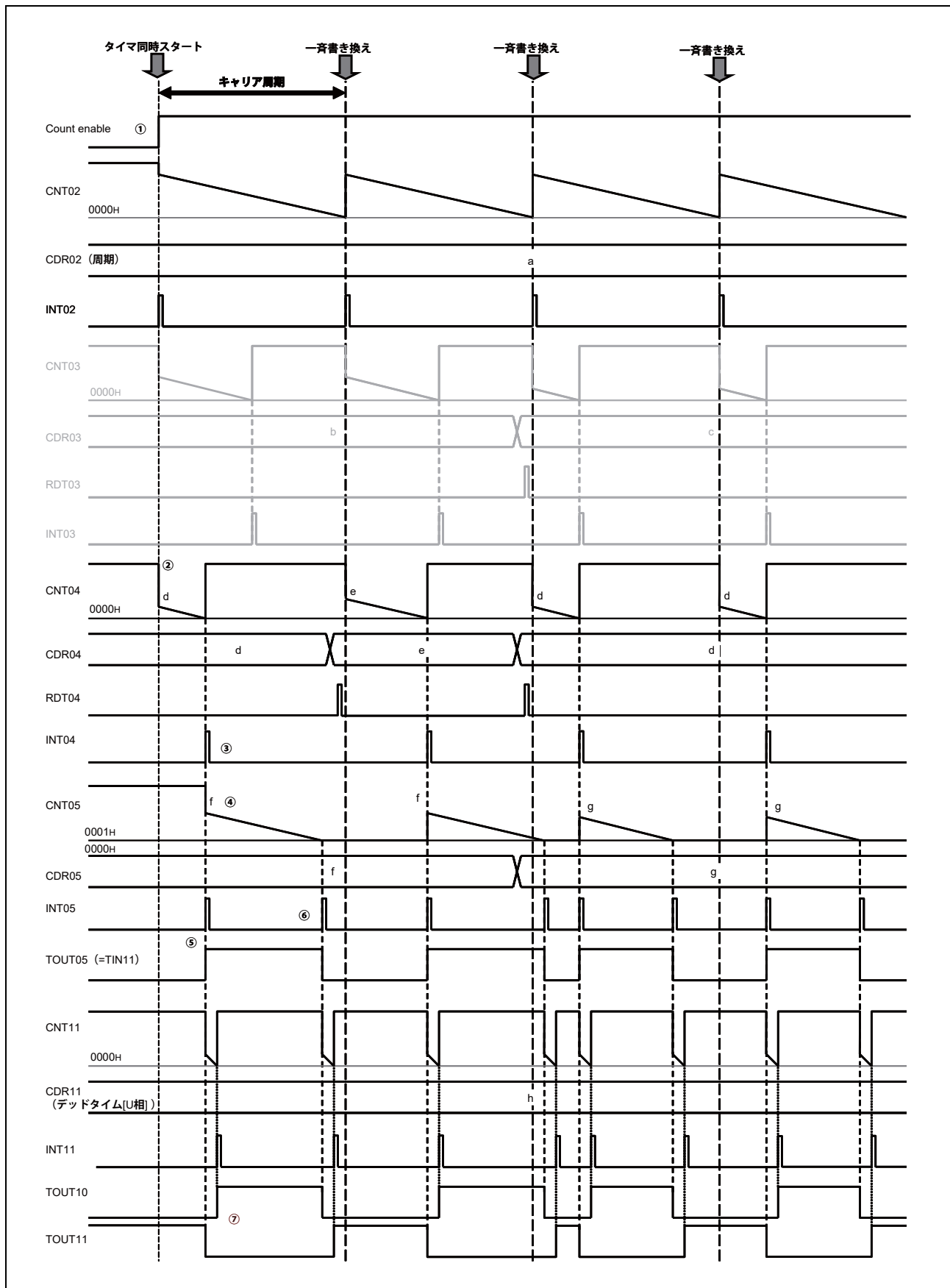


図 23.18 デッドタイム付きディレイパルス出力 (U相 /UB相)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) CH04 は CH02 のアンダーフローにより、CNT04 へ設定値のリロードが行われます。
- (3) CH04 のアンダーフローにより、INT04 が発生します。
- (4) INT04 の発生により、CNT05 へ設定値のリロードが行われ、CH05 が動作開始します。
- (5) CH05 の動作開始により INT05 が発生し、TOUT05 がアクティブレベルになります。
- (6) CH05 のアンダーフローにより、INT05 が発生し、TOUT05 はインアクティブレベルになります。この TOUT05 を TIN11 へ出力します。
- (7) TIN11 のエッジ検出により、デッドタイムを付加した TOUT10 (U相 PWM 信号)、TOUT11 (UB 相 PWM 信号) を生成し、TOPnU、TOPnUB へ出力します。

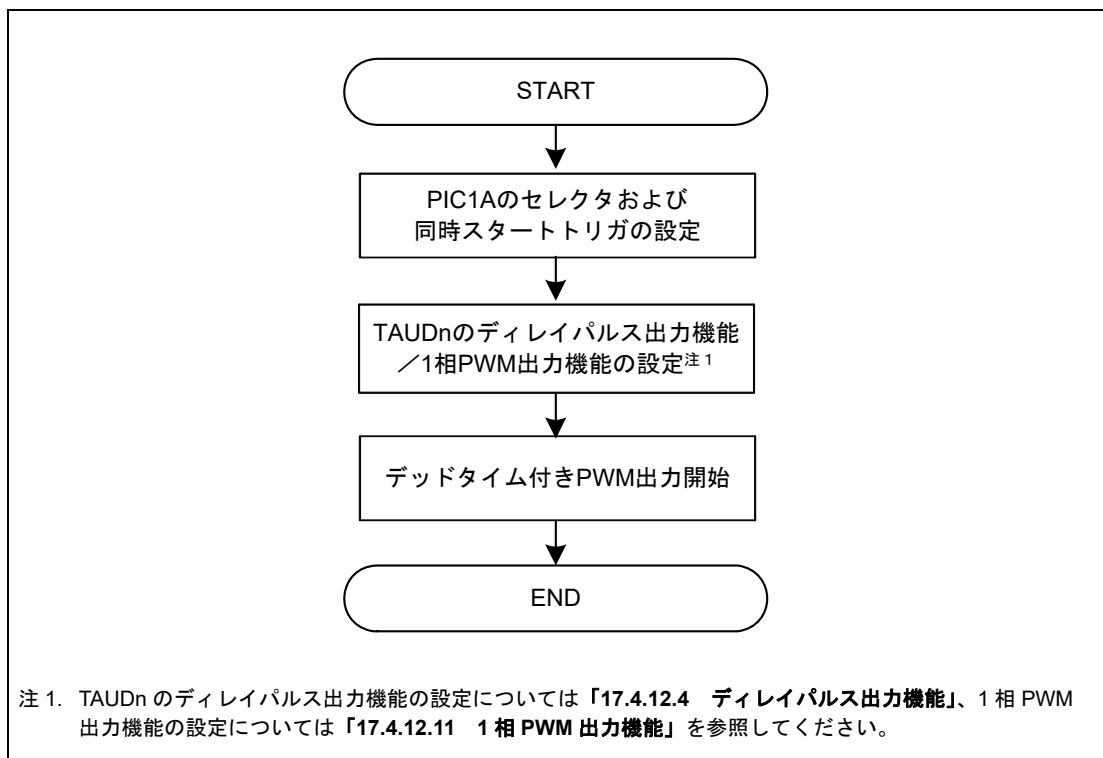
同様の手順にて、V 相 /VB 相および、W 相 /WB 相を生成します。

注 意

周期を超えるディレイ値の設定は行わないでください。
TAUDn の各カウントクロック信号は、同じクロックを選択してください。

(5) フローチャート

本機能のフローチャートを以下に示します。



23.2.3.5 トリガ&パルス間隔測定機能

(1) 概要

ENCAn から出力される割り込みトリガ信号を TAUJ0, TAUDn に入力し、トリガ&パルス間隔を測定する機能です。

ENCAn 割り込みトリガ信号は以下の組み合わせにて測定可能です。

測定タイマ	チャンネル	測定対象
TAUJ0	CH0	ENCAT0IEC
	CH1	ENCAT0IEC
	CH2	ENCAT1IEC
	CH3	ENCAT1IEC
TAUD0	CH0	ENCAT0EQ0 or ENCAT0EQ1
	CH1	ENCAT0EQ1
	CH2	ENCAT0EQ0
TAUD1	CH0	ENCAT1EQ0 or ENCAT1EQ1
	CH1	ENCAT1EQ1
	CH2	ENCAT1EQ0

(2) 構成

TAUJ0、TAUDn の TINm 入力パルス間隔測定機能と PIC1A を組み合わせることで、トリガ & パルス間隔測定機能を実現します。トリガ&パルス間隔測定機能のブロック図を以下に示します。

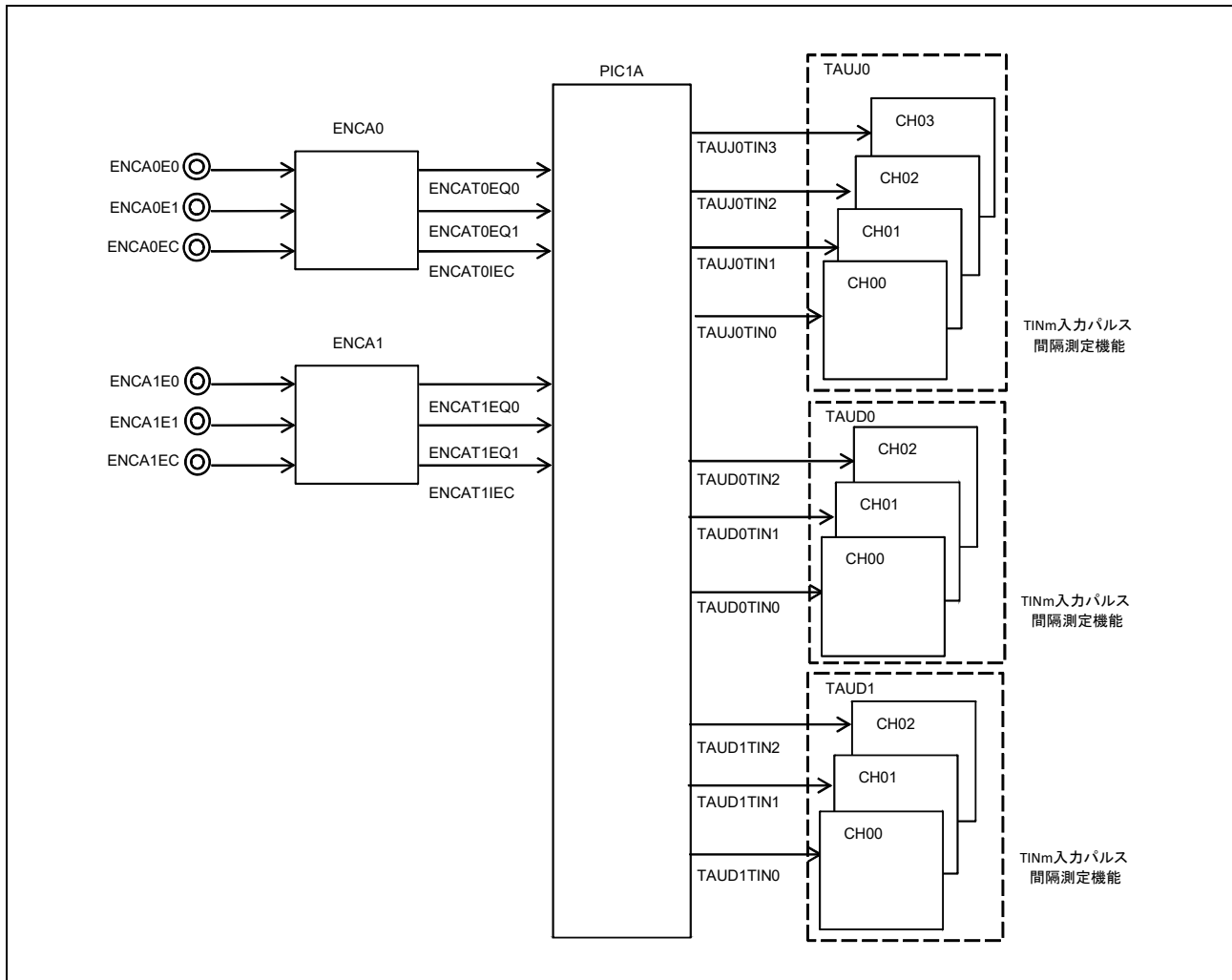


図 23.19 トリガ&パルス間隔測定機能 ブロック図

TAUJ0 CH0 を使用した場合を例に構成を説明します。

- [ENCA0]
ENCA0EC 端子入力により、ENCA0 のタイマカウント値がクリアされるごとに ENCAT0IEC 割り込みトリガ信号を生成します。
- [PIC1A] ラッチ & トグル出力 (DT) 回路
DT にて ENCA0IEC 割り込みトリガ信号を選択、レベル変化のトグル信号に変換し、TAUJ0TIN0 に出力します。
- [TAUJ0] TINm 入力パルス間隔測定機能
TAUJ0 の CH0 を使用します。入力信号がトグルするごとに TAUJ0CNT0 をキャプチャし、カウンタをクリアしたあと、再カウントします。

TAUD0、TAUD1 を用いたトリガ&パルス間隔測定は、上記 TAUJ0 CH0 使用時と同様の構成です。

(3) レジスタ

下図に PIC1A のブロック図を示します。

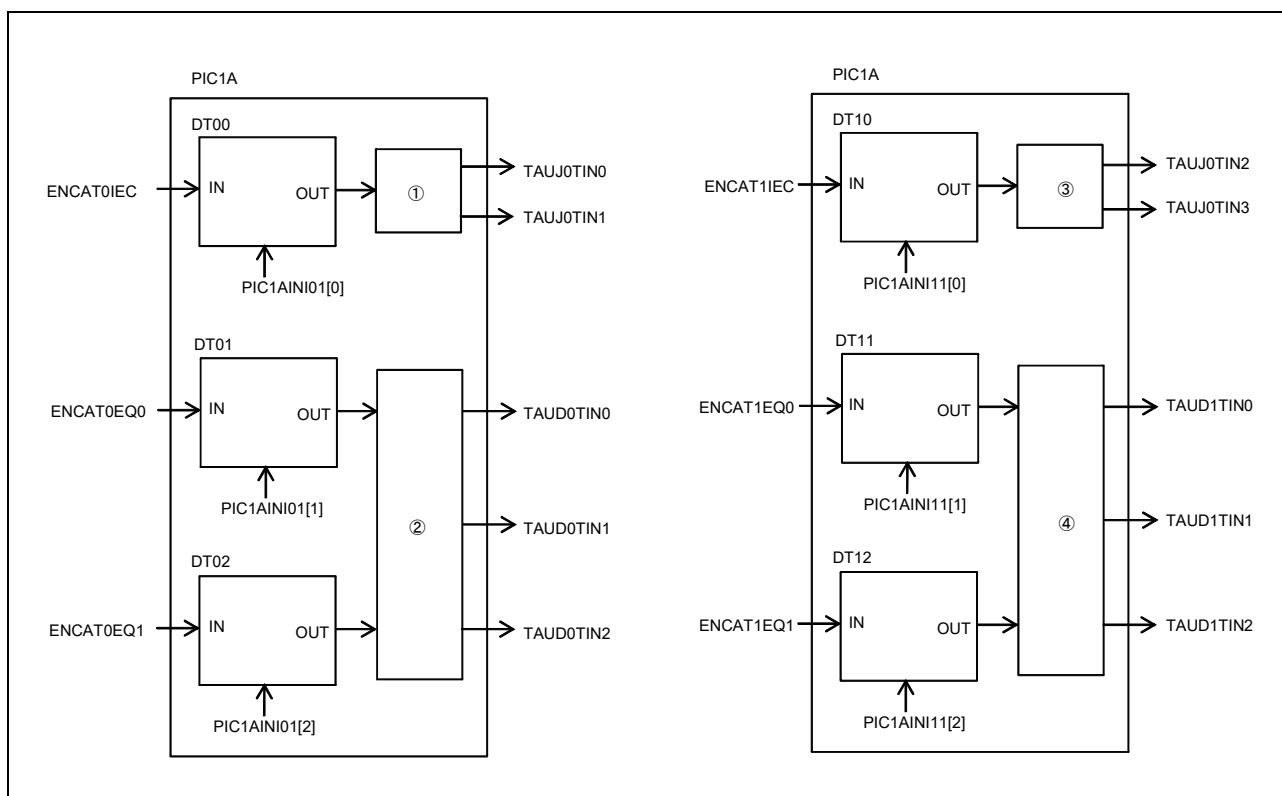


図 23.20 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

ENCA0

- ENCAT0EC トリガ&パルス間隔測定
ENCAT0EC トリガ&パルス間隔測定を行うタイマを選択する設定値 (図 23.20 ①)

レジスタ設定		TAUJ0.TIN00	TAUJ0.TIN01
PIC1AREG31			
1	0		
0	0	選択なし	
0	1	ENCAT0IEC	—
1	0	—	ENCAT0IEC
1	1	ENCAT0IEC	ENCAT0IEC

備考 PIC1AREG30[22,17:16] にはリセット後の値 "0" を設定してください。

- ENCAT0EQ0, ENCAT0EQ1 トリガ&パルス間隔測定
ENCAT0EQ0, ENCAT0EQ1 トリガ&パルス間隔測定を行うタイマを選択する設定値
(図 23.20 ②)

レジスタ設定								TAUD0.TIN00	TAUD0.TIN01	TAUD0.TIN02
PIC1AREG31										
13	12	11	10	9	8	7	6			
0	0	0	0	0	0	0	0	選択なし		
0	0	1	1	0	0	0	1	ENCAT0EQ0	ENCAT0EQ1	—
0	1	0	0	0	0	0	1	ENCAT0EQ1	—	ENCAT0EQ0
0	1	1	0	0	0	0	1	ENCAT0EQ1	ENCAT0EQ1	ENCAT0EQ0
0	1	1	1	0	0	0	1	ENCAT0EQ0	ENCAT0EQ1	ENCAT0EQ0

備考 上記以外の設定は、本機能では設定しないでください。
また、PIC1ATAUD0SEL[5:0]、PIC1AREG30[22, 17:16, 1:0]にはリセット後の値“0”を設定してください。

- DT02-00 回路の初期化
DT02-00 回路を初期化するための設定値
PIC1AINI01 [2:0] = 111_B (初期化)

ENCA1

- ENCAT1IEC トリガ&パルス間隔測定
ENCAT1IEC トリガ&パルス間隔測定を行うタイマを選択する設定値 (図 23.20 ③)

レジスタ設定				TAUJ0.TIN02	TAUJ0.TIN03
PIC1AREG31					
4		3			
0		0		選択なし	
0		1		ENCAT1IEC	—
1		0		—	ENCAT1IEC
1		1		ENCAT1IEC	ENCAT1IEC

備考 PIC1AREG30[20:19,11:10]にはリセット後の値“0”を設定してください。

- ENCAT1EQ0, ENCAT1EQ1 トリガ&パルス間隔測定
ENCAT1EQ0, ENCAT1EQ1 トリガ&パルス間隔測定を行うタイマを選択する設定値 (図 23.20 ④)

レジスタ設定								TAUD1.TIN00	TAUD1.TIN01	TAUD1.TIN02
PIC1AREG31										
22	21	20	19	18	17	16	15			
0	0	0	0	0	0	0	0	選択なし		
0	0	1	1	0	0	0	1	ENCAT1EQ0	ENCAT1EQ1	—
0	1	0	0	0	0	0	1	ENCAT1EQ1	—	ENCAT1EQ0
0	1	1	0	0	0	0	1	ENCAT1EQ1	ENCAT1EQ1	ENCAT1EQ0
0	1	1	1	0	0	0	1	ENCAT1EQ0	ENCAT1EQ1	ENCAT1EQ0

備考 上記以外の設定は、本機能では設定しないでください。
また、PIC1ATAUD1SEL[5:0]、PIC1AREG30[20:19, 9:6]にはリセット後の値“0”を設定してください。

- DT12-10 回路の初期化
DT12-10 回路を初期化するための設定値
PIC1AINI11 [2:0] = 111_B (初期化)

(4) 機能

本機能の詳細を説明します。

下図にタイミング図を示します。

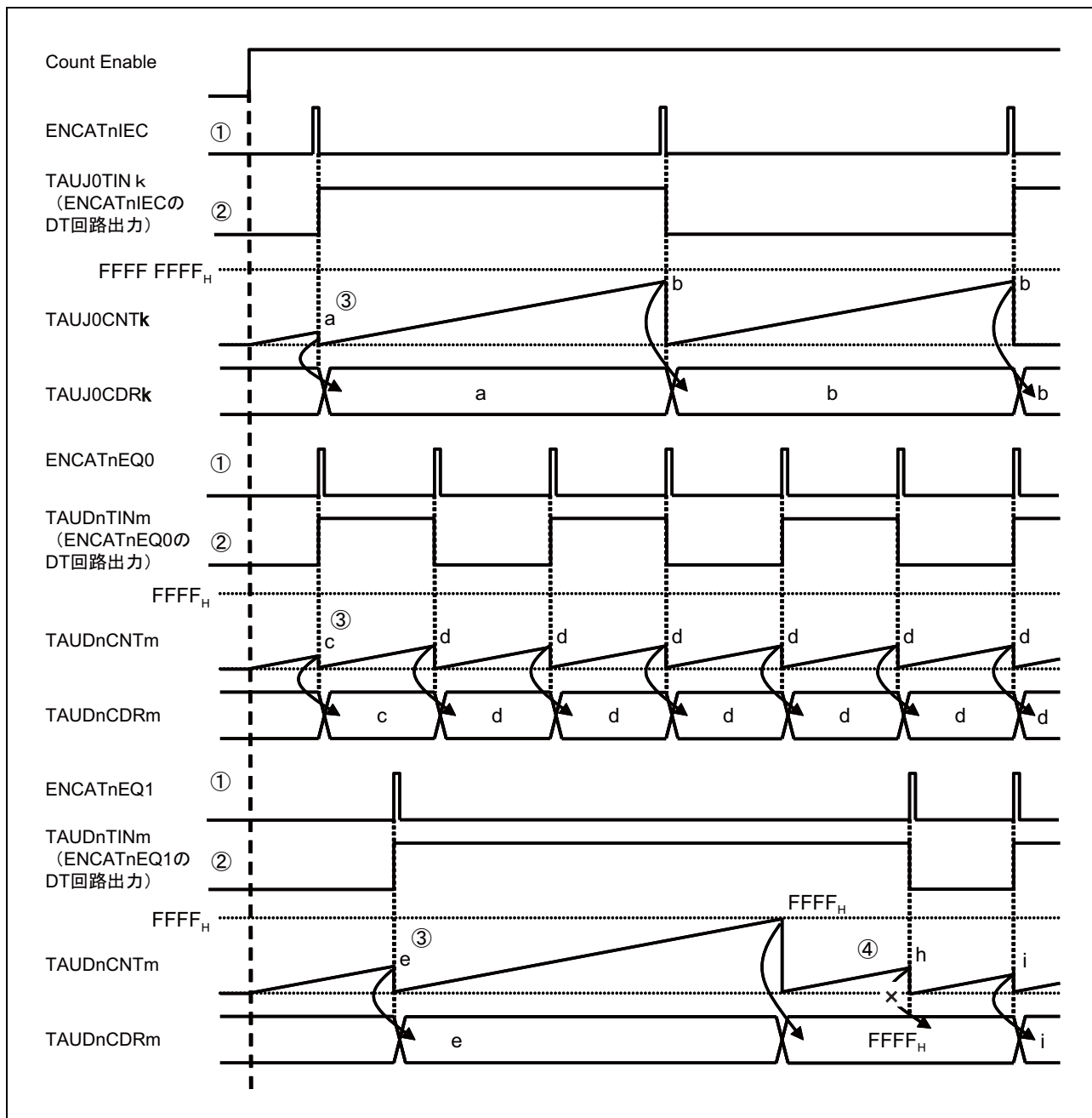


図 23.21 トリガ&パルス間隔測定機能

- 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- ENCAn から出力された割り込みトリガ信号は、DT でレベル変化のトグル信号に変換され、TAUJ0, TAUDn の TINm へ出力します。

- (3) TINm のトグルタイミングで CNTm 値をキャプチャします。同時にカウンタをクリアします。
- (4) オーバフロー発生時はカウント最大値 (TAUDn は FFFF_H、TAUJ0 は FFFF FFFF_H) をキャプチャし、同時にカウンタをクリアします。このとき、オーバフロー直後のトリガでは CNTm 値をキャプチャしません。(TAUDnCMORm.TAUDnCOS[1] = 1_B 設定時)

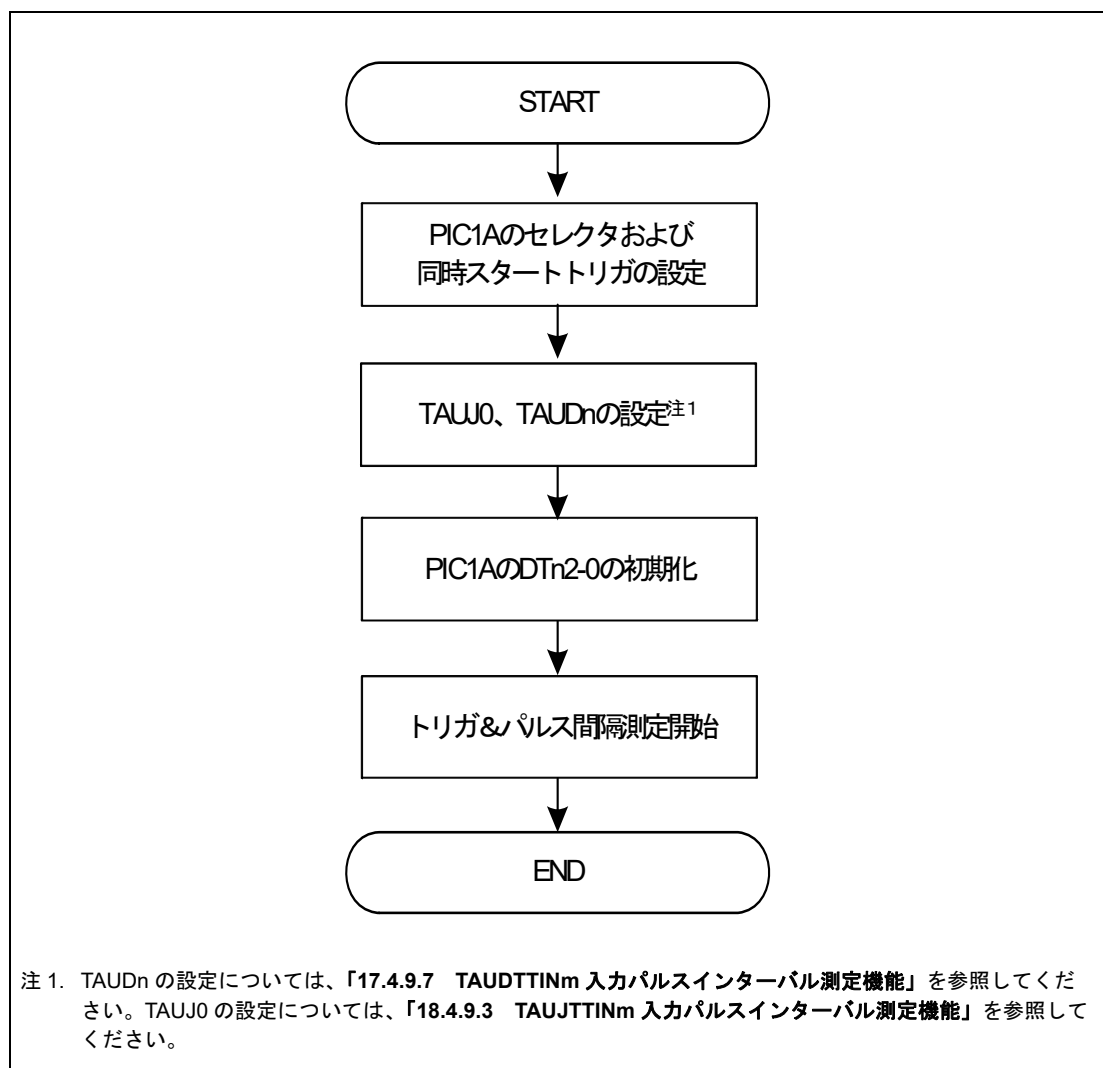
注 意

オーバフロー時の動作については、TAUJ, TAUD の設定により異なります。TAUJ の設定の詳細は「18.4.9.3 TAUJTTINm 入力パルスインターバル測定機能」、TAUD の設定の詳細は「17.4.9.7 TAUDTTINm 入力パルスインターバル測定機能」を参照してください。本機能では、TAUJ0, TAUDn の TINm で検出する有効エッジを両エッジ (立ち上がり、立ち下がり) に設定してください。

(5) フローチャート

本機能のフローチャートを以下に示します。

以下のフローは、ENCA_n が動作中または同時スタートトリガ待ちのどちらの状態でも設定可能です。



本機能を行う場合、ENCA_n は下記の設定を行います。

$$\text{ENCA}_n\text{CTL}[15:0] = \text{xx00_0000_x00x_xxxx}_B$$
$$\text{ENCA}_n\text{IOC0}[7:0] = 0000_0000_B$$
$$\text{ENCA}_n\text{IOC1}[7:0] = (\text{任意})$$

x は任意設定。レジスタ仕様については、ENCA 章を参照。

23.2.3.6 エンコーダキャプチャトリガ選択機能

(1) 概要

ENCA_n のキャプチャトリガ信号として、ADCC_nTRG_m (ADCC_n 変換開始トリガ信号 m)、TAUD_nTINT_m (TAUD_n-CH_m 割込み信号)、ENCA_nI1 (ENCA_n 外部端子入力 1 信号) のいずれかを選択する機能です。

(2) 構成

ADCC_nTRG_m (ADCC_n 変換開始トリガ信号 m)、TAUD_nTINT_m (TAUD_n CH_m 割り込み信号)、ENCA_nI1 (ENCA_n 外部端子入力 1 信号) と PIC1A を組み合わせることで、エンコーダキャプチャトリガ選択機能を実現します。エンコーダキャプチャトリガ選択機能のブロック図を以下に示します。

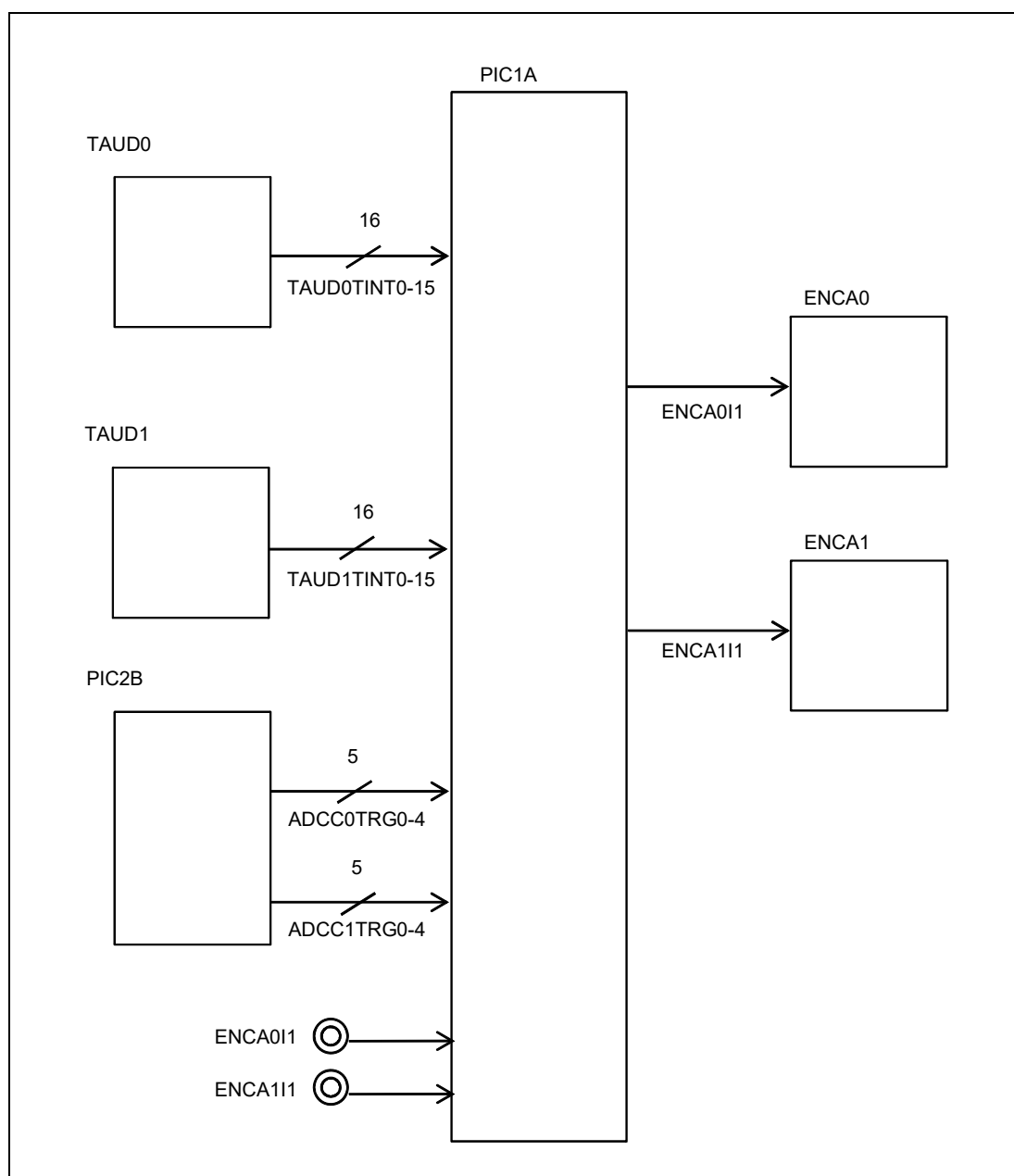


図 23.22 エンコーダキャプチャトリガ選択機能ブロック図

TAUD0 CH0 を ENCA0 のキャプチャトリガ入力に選択した場合を例に説明します。

$PIC1AENCSEL400[7] = 1_B$

$PIC1AENCSEL400[3:0] = 0000_B$

$PIC1AREG30[18] = 1_B$

$PIC1AREG30[5:2] = 0000_B$

(3) レジスタ

下図に PIC1A のブロック図を示します。

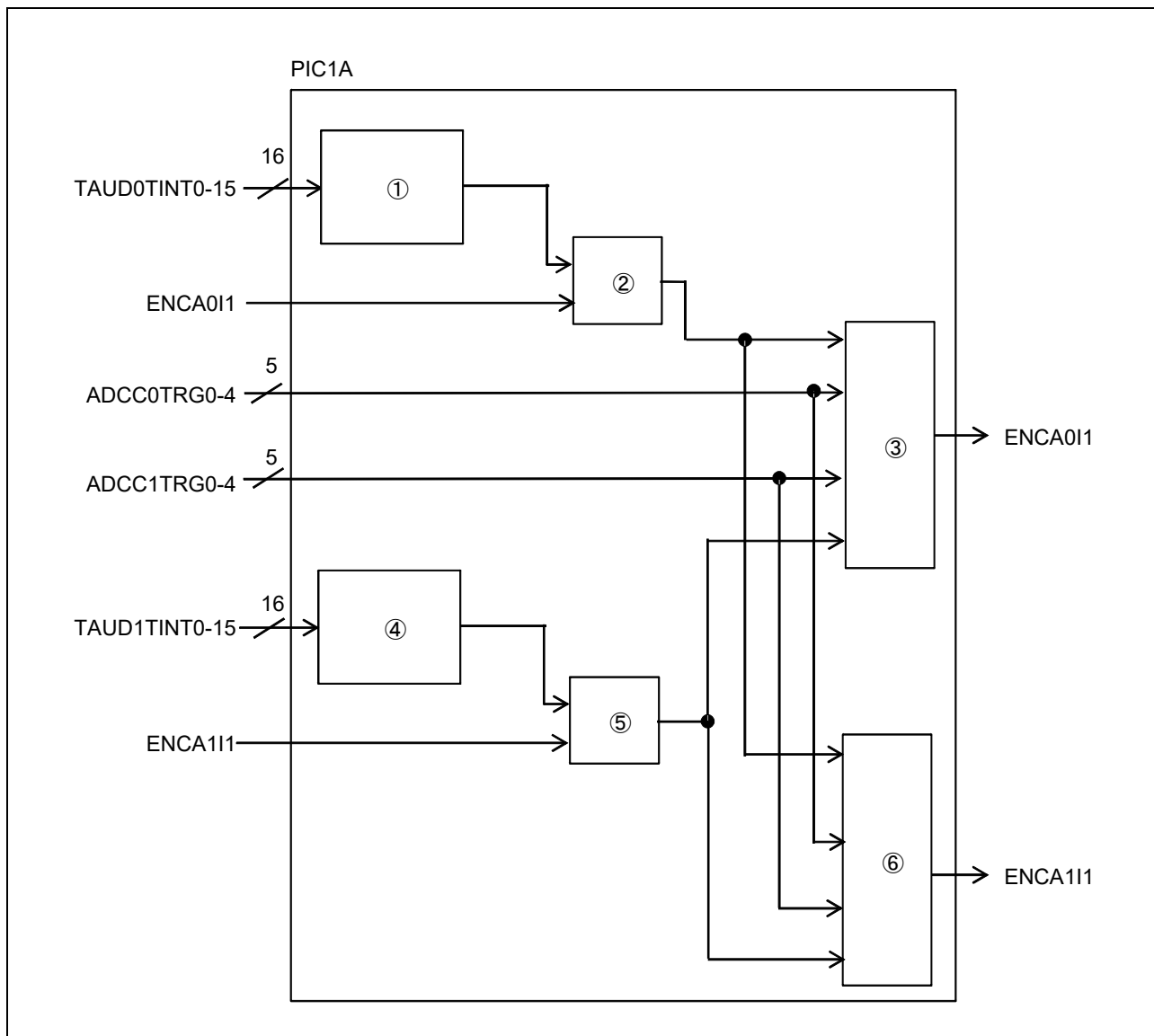


図 23.23 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

ENCA0

- ① TAUD0TINT_m 選択
TAUD0TINT_m を選択する設定値。TAUD0TINT_m を選択する場合は、PIC1AENCSEL400[7] に 1 を設定してください

レジスタ設定					①出力
PIC1AENCSEL400					
7	3	2	1	0	
1	0	0	0	0	INTTAUD010
1	0	0	0	1	INTTAUD011
1	0	0	1	0	INTTAUD012
1	0	0	1	1	INTTAUD013
1	0	1	0	0	INTTAUD014
1	0	1	0	1	INTTAUD015
1	0	1	1	0	INTTAUD016
1	0	1	1	1	INTTAUD017
1	1	0	0	0	INTTAUD018
1	1	0	0	1	INTTAUD019
1	1	0	1	0	INTTAUD0110
1	1	0	1	1	INTTAUD0111
1	1	1	0	0	INTTAUD0112
1	1	1	0	1	INTTAUD0113
1	1	1	1	0	INTTAUD0114
1	1	1	1	1	INTTAUD0115

- ② TAUD0TINT_m、ENCA0I1 端子選択
①出力と ENCA0I1 のいずれかを選択する設定値

レジスタ設定	②出力
PIC1AREG30	
18	
1	①出力
0	ENCA0I1

- ③ ENCA0I1 選択
 - ②出力、⑤出力、ADCC0TRG0-4、ADCC1TRG0-4 のいずれかを選択する設定値

レジスタ設定				ENCA0I1
PIC1AREG30				
5	4	3	2	
0	0	0	0	②出力
0	0	0	1	⑤出力
0	0	1	0	ADCC0TRG4
0	0	1	1	ADCC0TRG3
0	1	0	0	ADCC0TRG2
0	1	0	1	ADCC0TRG1
0	1	1	0	ADCC0TRG0
0	1	1	1	ADCC1TRG4
1	0	0	0	ADCC1TRG3
1	0	0	1	ADCC1TRG2
1	0	1	0	ADCC1TRG1
1	0	1	1	ADCC1TRG0

備考 上記以外の設定は、本機能では設定しないでください。

ENCA1

- ④ TAUD1TINTm 選択
 - TAUD1TINTm を選択する設定値。TAUD1TINTm を選択する場合は、PIC1AENCSEL410[7] に 1 を設定してください。

レジスタ設定					④出力
PIC1AENCSEL410					
7	3	2	1	0	
1	0	0	0	0	INTTAUD110
1	0	0	0	1	INTTAUD111
1	0	0	1	0	INTTAUD112
1	0	0	1	1	INTTAUD113
1	0	1	0	0	INTTAUD114
1	0	1	0	1	INTTAUD115
1	0	1	1	0	INTTAUD116
1	0	1	1	1	INTTAUD117
1	1	0	0	0	INTTAUD118
1	1	0	0	1	INTTAUD119
1	1	0	1	0	INTTAUD1110
1	1	0	1	1	INTTAUD1111
1	1	1	0	0	INTTAUD1112
1	1	1	0	1	INTTAUD1113
1	1	1	1	0	INTTAUD1114
1	1	1	1	1	INTTAUD1115

- ⑤ TAUD1TINTm、ENCA11I 端子選択
④出力と ENCA11I のいずれかを選択する設定値

レジスタ設定		⑤出力
PIC1AREG30		
21		
1		④出力
0		ENCA11I

- ⑥ ENCA11I 選択
②出力、⑤出力、ADCC0TRG0-4、ADCC1TRG0-4 のいずれかを選択する設定値

レジスタ設定				ENCA11I
PIC1AREG30				
15	14	13	12	
0	0	0	0	⑤出力
0	0	0	1	②出力
0	0	1	0	ADCC0TRG4
0	0	1	1	ADCC0TRG3
0	1	0	0	ADCC0TRG2
0	1	0	1	ADCC0TRG1
0	1	1	0	ADCC0TRG0
0	1	1	1	ADCC1TRG4
1	0	0	0	ADCC1TRG3
1	0	0	1	ADCC1TRG2
1	0	1	0	ADCC1TRG1
1	0	1	1	ADCC1TRG0

備考 上記以外の設定は、本機能では設定しないでください。

(4) 機能

本機能の詳細を、TAUDnTINTm をキャプチャトリガ信号として選択した場合を例として説明します。

下図にタイミング図を示します。

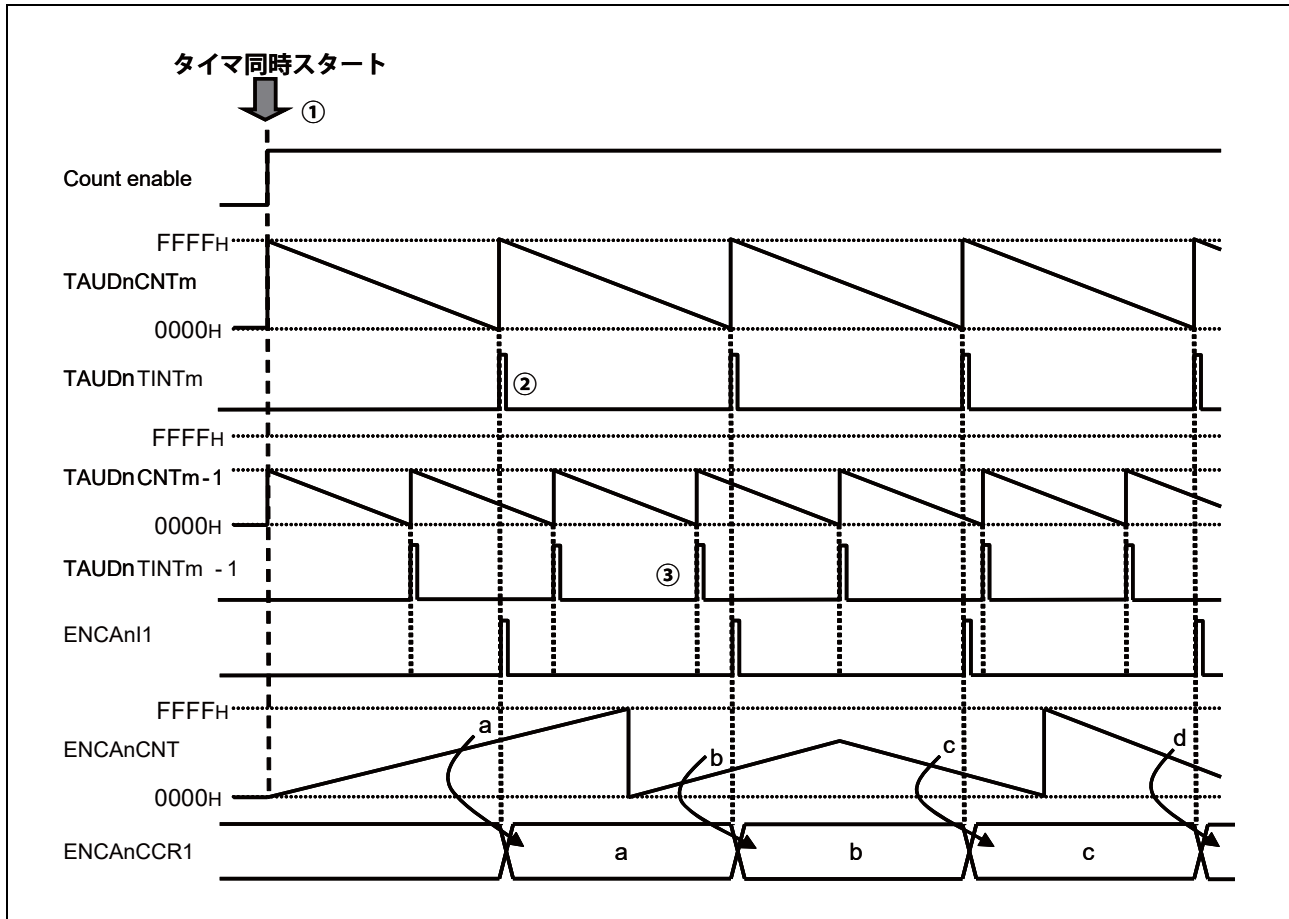


図 23.24 エンコーダキャプチャトリガ選択 (TAUDnTINTm)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) TAUDnTINTm の有効エッジ発生により、ENCAAn は ENCAAnCNT をキャプチャします。

「23.3.3.1 ADCC トリガ選択機能」で、ENCAAn の割り込みトリガ信号 (INTENCAAnI1) を ADCCn のトリガとして選択しないでください。選択した場合、「ADCCnTRG1 発生→ENCAAn キャプチャ動作→キャプチャ実行による INTENCAAnI1 発生→ADCCnTRG1 発生」のループが成立してしまい、正常動作できなくなります。

PIC1A、PIC2B、ENCAAn のループ経路を以下に示します。

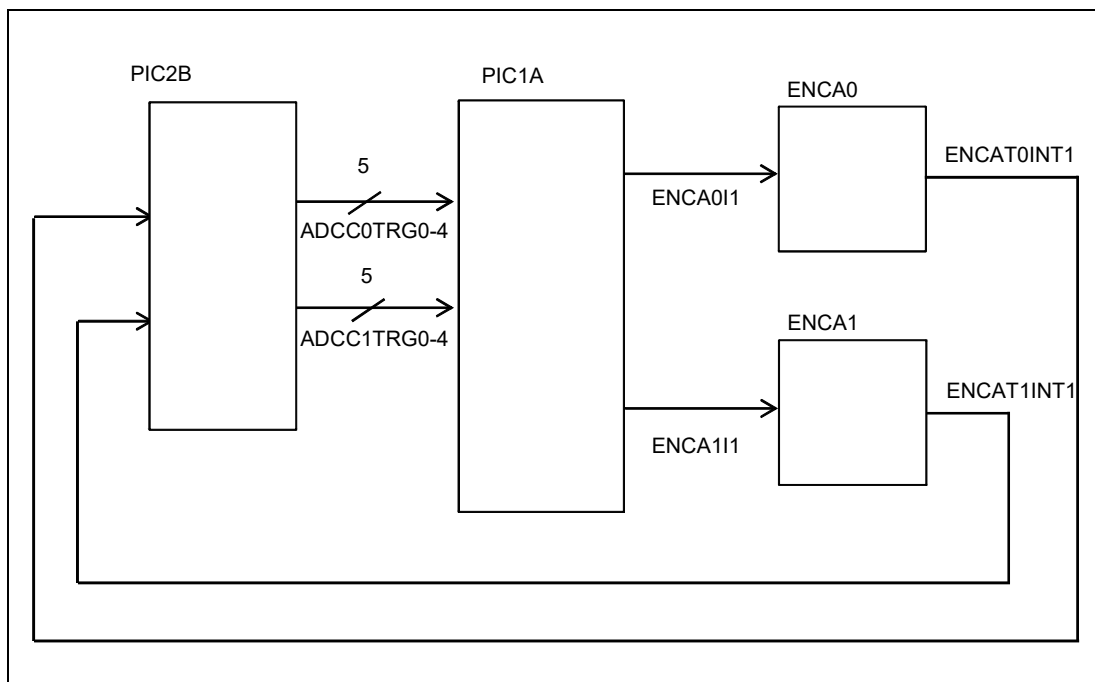


図 23.25 PIC1A, PIC2B, ENCA_n のループ経路

(5) フローチャート

エンコード開始前にエンコーダキャプチャトリガ選択を行ってください。

本機能を行う場合、ENCA_n は下記の設定を行います。

$$\text{ENCA}_n\text{CTL}[15:0] = 0000_001x_000x_xxxx_B$$

$$\text{ENCA}_n\text{IOC0}[7:0] = 0000_01xx_B$$

$$\text{ENCA}_n\text{IOC1}[7:0] = (\text{任意})$$

x は任意設定。レジスタ仕様については、ENCA 章を参照。

23.2.3.7 2相エンコーダ制御機能 (制御方式 1)

(1) 概要

2相エンコーダ制御機能 (ENCA_n) を使って、モータ制御機能 (TSG3_n) 120-DC モードの出力パターンを切り替える機能です。

(2) 構成

ENCA_n および TSG3_n と PIC1A を組み合わせることで、エンコーダ結果により 120-DC モードの出力パターンを切替える機能を実現します。2相エンコーダ制御機能 (制御方式 1) のブロック図を以下に示します。

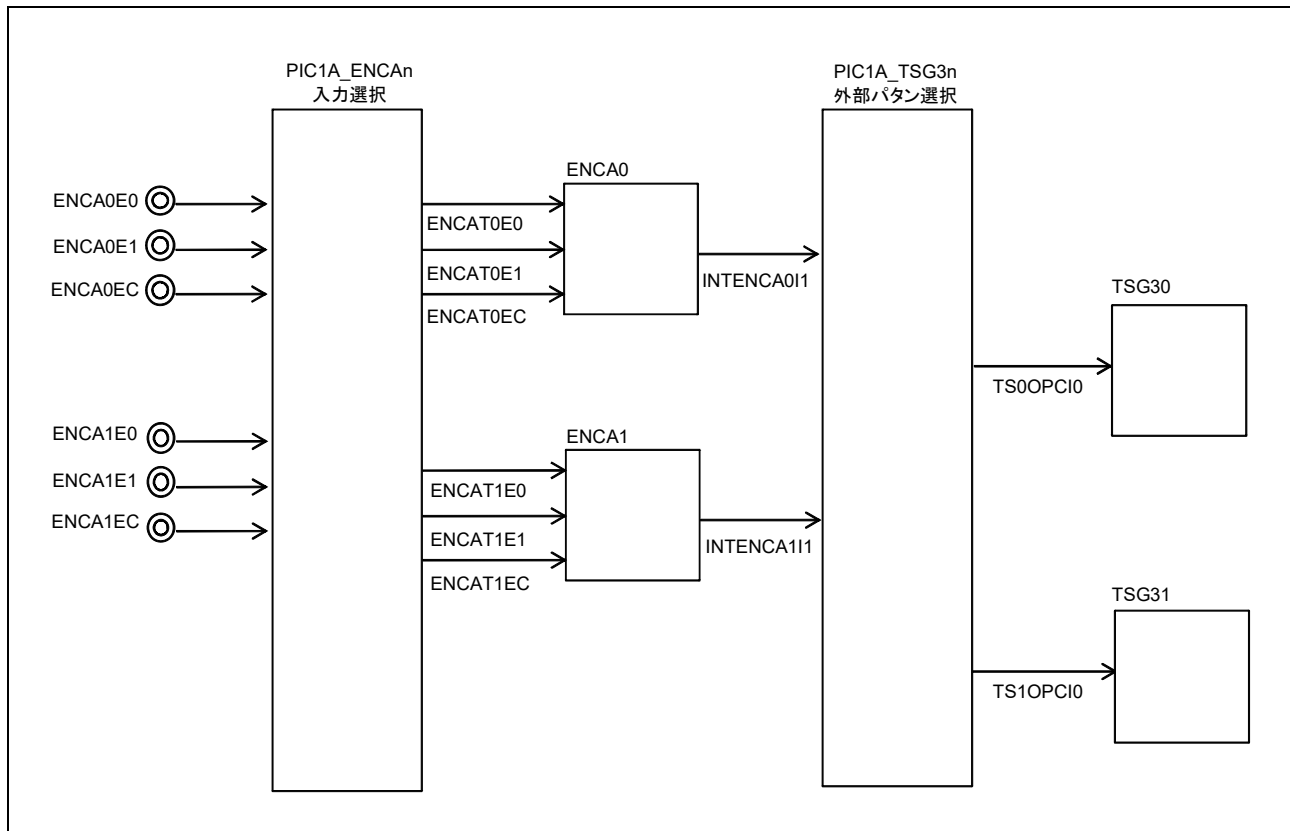


図 23.26 2相エンコーダ制御機能 (制御方式 1) ブロック図

2相エンコーダ制御機能 (制御方式 1) の構成を説明します。

- [PIC1A_ENCA_n 入力選択]
ENCA_nE0, E1, EC 端子入力を選択して、ENCAT_nE0, E1, EC に出力します。
- [ENCA_n]
2相エンコーダ処理を行い、INTENCA_nI1 を出力します。
- [PIC1A_TSG3_n 外部パタン選択]
INTENCA_nI1 を選択して、TS0OPCI0 または TS1OPCI0 に出力します。
- [TSG3_n]
TSG3_nOPCI0 により、120-DC モードの出力パターンを切り替えます。

(3) レジスタ

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

PIC1A_ENCAn 入力選択

ENCAn 端子入力 (ENCAnE0, ENCAnE1, ENCAnEC) を ENCATnE0, ENCATnE1, ENCATnEC として出力するための設定値

PIC1AREG30[22] = 0_B

PIC1AREG30[20:19] = 00_B

PIC1AREG30[17:16] = 00_B

PIC1AREG30[11:6] = 000000_B

PIC1AREG30[1:0] = 00_B

PIC1A_TSG3n 外部パタン選択

TSG30 の外部パタン入力とする割り込み信号を選択する設定値

レジスタ設定				TS0OPCI0
PIC1AREG50				
10	8	6	5	
X	0	0	1	INTENCA0I1
0	X	1	0	INTENCA1I1

備考 上記以外の設定は、本機能では設定しないでください。

TSG31 の外部パタン入力とする割り込み信号を選択する設定値

レジスタ設定				TS1OPCI0
PIC1AREG51				
10	8	6	5	
X	0	0	1	INTENCA0I1
0	X	1	0	INTENCA1I1

備考 上記以外の設定は、本機能では設定しないでください。

(4) 機能

本機能の詳細を、アップカウント（正転）時を例に説明します。

下図にタイミング図を示します。

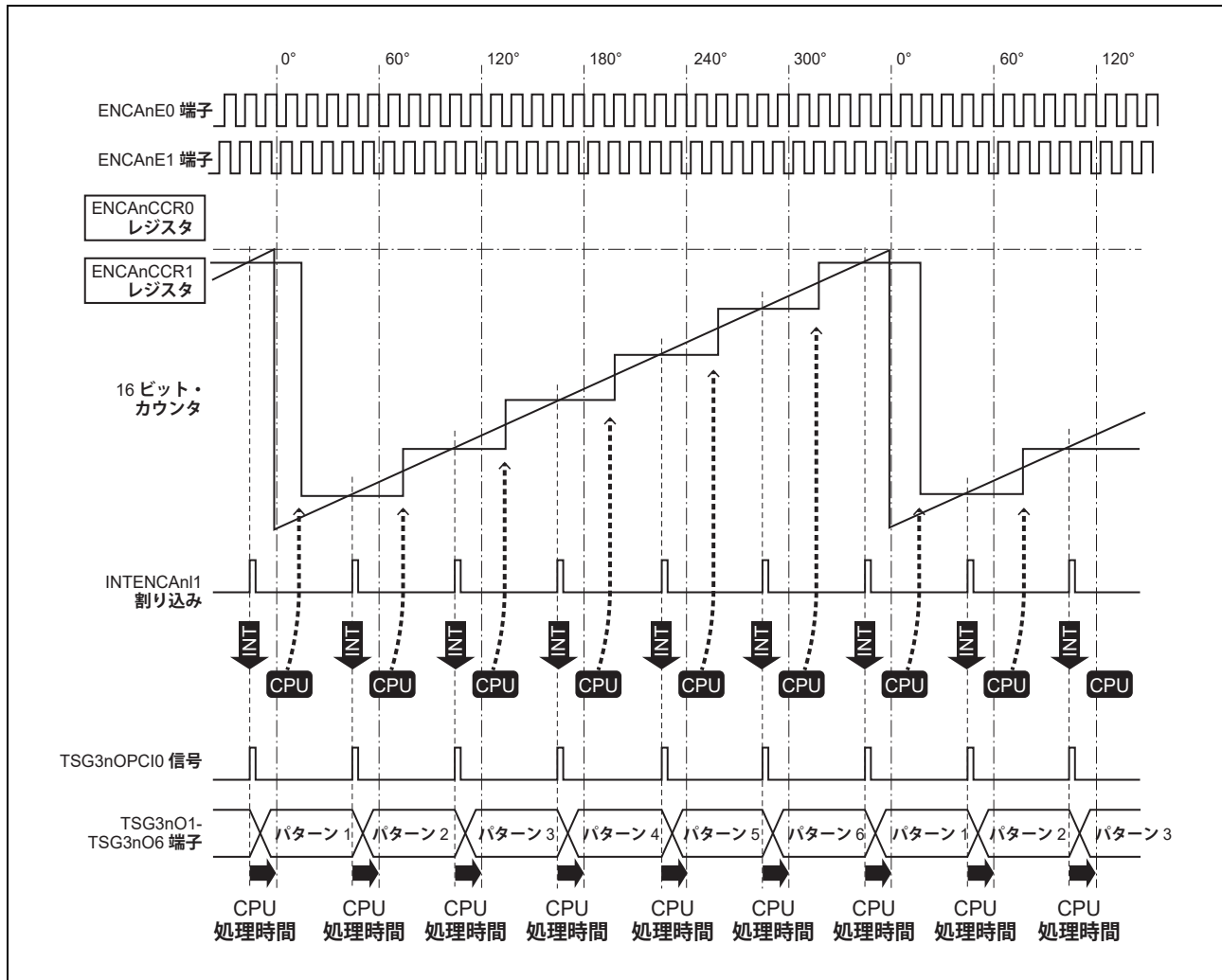


図 23.27 2相エンコーダ制御機能（制御方式1）アップカウント（正転）

- (1) エンコーダカウント値が ENCAAnCCR1 と一致すると、INTENCAAn1 が発生し、設定したパターンを TSG3nO1-6 端子から出力します。
- (2) 割り込み処理にて CPU が次のパターン切り替えタイミングを算出し、ENCAAnCCR1 を設定します。
- (3) エンコーダカウント値が ENCAAnCCR0 と一致すると、エンコーダカウンタをクリアします。

注意

ENCAAnCCR1 はパターン切り替えごと（INTENCAAn1 ごと）に設定する必要があります。エンコーダクリア入力によるクリアがないため、ENCAAnCCR1 の設定値と TSG3n 初期出力パターンをあらかじめ合わせてください。パタンの正転、逆転の切り替えは、TSG3nOPT0 レジスタの TSG3nPSC ビットで設定してください。

下図に、ダウンカウント（逆転）時のタイミング図を示します。

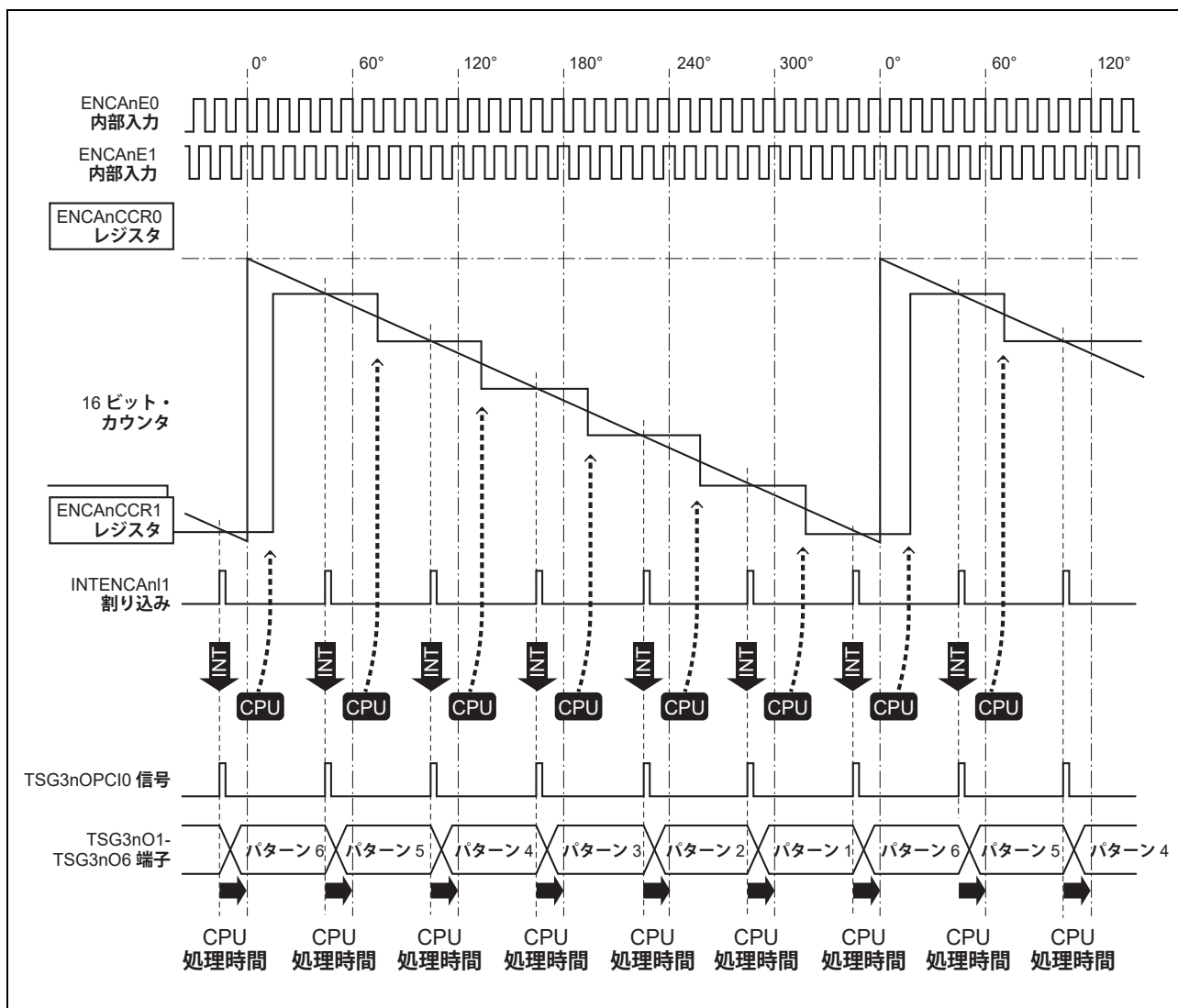
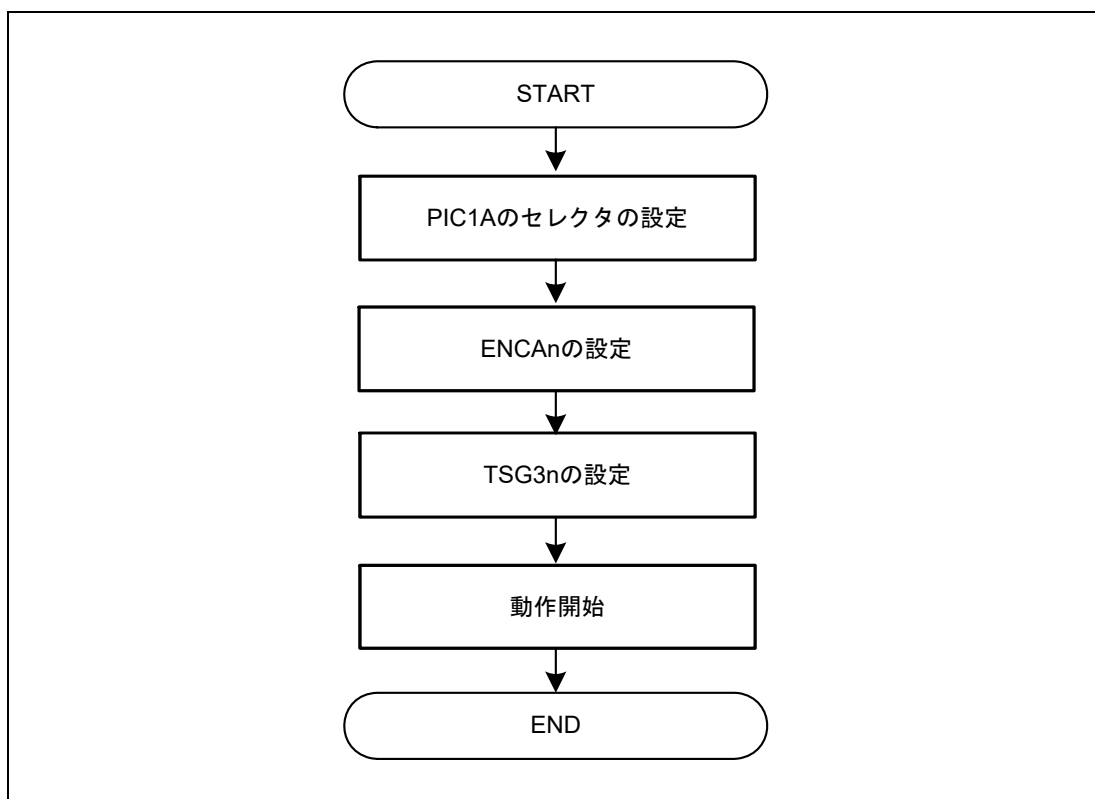


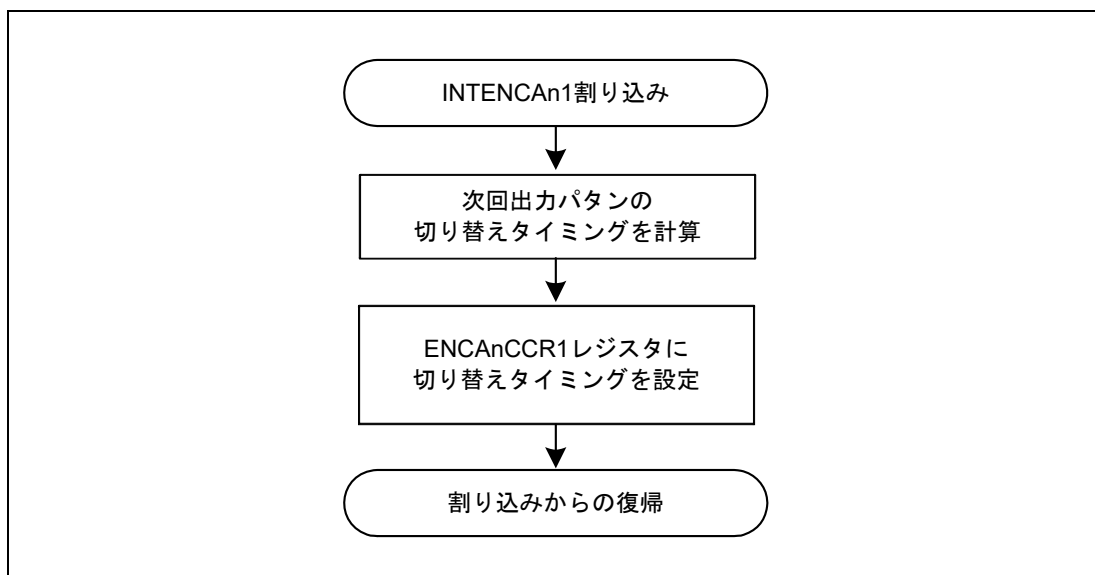
図 23.28 2相エンコーダ制御機能（制御方式1）ダウンカウント（逆転）

(5) フローチャート

本機能のフローチャートを以下に示します。



割り込み処理後のフローチャートを以下に示します。



本機能を行う場合、ENCA_n は下記の設定を行います。

$$\text{ENCA}_n\text{CTL}[15:0] = 1000_0000_000x_01xx_B$$
$$\text{ENCA}_n\text{IOC1}[7:0] = 0000_00xx_B$$
$$\text{ENCA}_n\text{CCR0} = (\text{任意})$$
$$\text{ENCA}_n\text{CCR1} = (\text{任意})$$
$$\text{ENCA}_n\text{CNT} = (\text{任意})$$

x は任意設定。レジスタ仕様については、ENCA 章を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

$$\text{TSG3}_n\text{CTL0}[7:0] = 000x_0011_B$$
$$\text{TSG3}_n\text{CTL3}[7:0] = 0000_00xx_B$$
$$\text{TSG3}_n\text{CTL4}[15:0] = 0000_0001_xxx0_0000_B$$
$$\text{TSG3}_n\text{IOC0}[7:0] = 0111_1110_B$$
$$\text{TSG3}_n\text{IOC2}[15:0] = 0xxx_xxx0_0000_0000_B$$
$$\text{TSG3}_n\text{OPT0}[7:0] = 0011_1xx0_B$$
$$\text{TSG3}_n\text{OPT1}[7:0] = 0000_0xxx_B$$
$$\text{TSG3}_n\text{CMP0} = (\text{任意})$$
$$\text{TSG3}_n\text{CMP1W}, 5W, 9W = (\text{任意})$$
$$\text{TSG3}_n\text{CMP1}, 5, 9 = (\text{任意})$$
$$\text{TSG3}_n\text{PAT0W}, 1W = (\text{任意})$$
$$\text{TSG3}_n\text{DTC0W}, 1W = (\text{任意})$$

x は任意設定。レジスタ仕様については、TSG3 章を参照。

23.2.3.8 2相エンコーダ制御機能 (制御方式 2)

(1) 概要

2相エンコーダ制御機能 (ENCA_n) を使って、モータ制御機能 (TSG3_n) の 120-DC モードの出力パターンを進み/遅れ制御により切り替える機能です。

(2) 構成

構成については、「23.2.3.7 2相エンコーダ制御機能 (制御方式 1)」と同一です。

「23.2.3.7 2相エンコーダ制御機能 (制御方式 1)」の (2) 構成を参照してください。

(3) レジスタ

レジスタについては、「23.2.3.7 2相エンコーダ制御機能 (制御方式 1)」と同一です。

「23.2.3.7 2相エンコーダ制御機能 (制御方式 1)」の (3) レジスタを参照してください。

(4) 機能

本機能の詳細を、2相エンコーダ制御機能 (制御方式 2) 進み時 (正転) を例に説明します。

下図にタイミング図を示します。

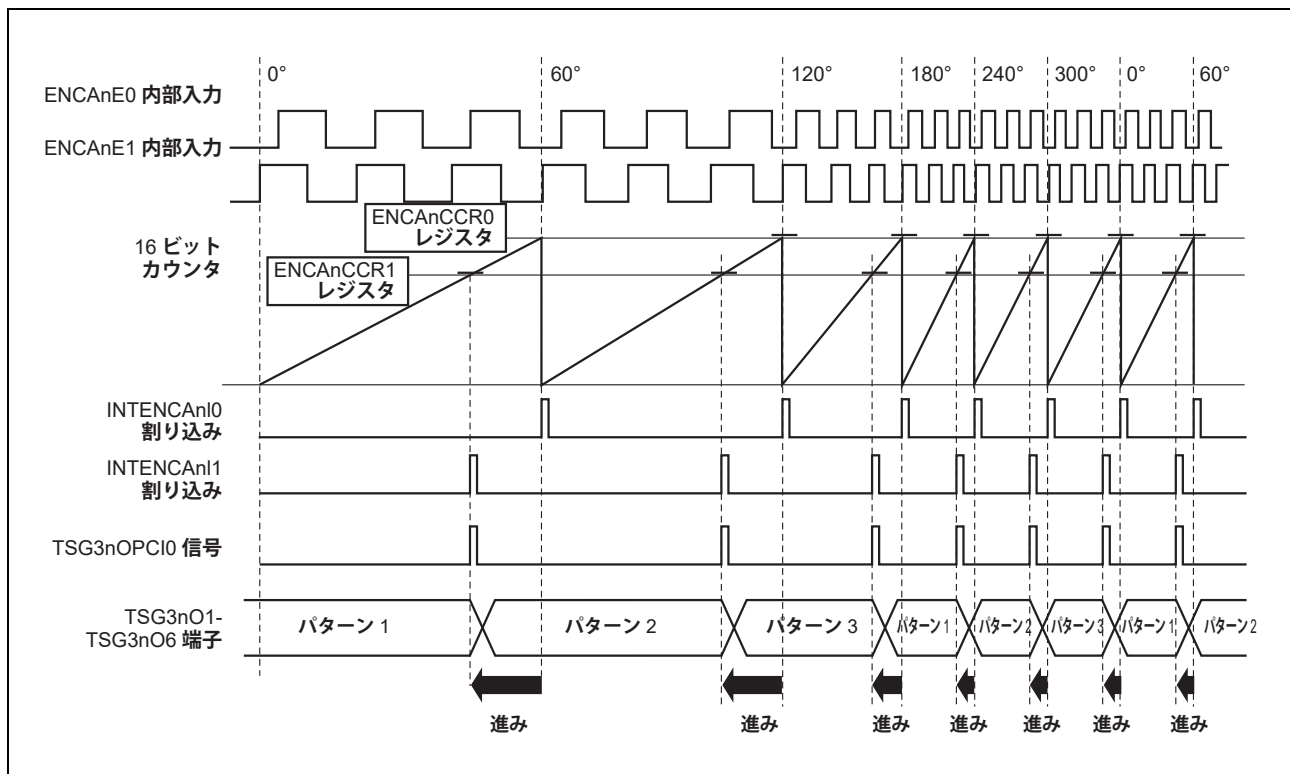


図 23.29 2相エンコーダ制御機能 (制御方式 2) 進み時 (正転)

- (1) エンコーダカウント値が、ENCA_nCCR1 (TSG3_n の出力パターンの切り替え位置に相当) と一致すると、INTENCA_nI1 が発生し、設定したパターンを TSG3_nO1-6 端子から出力します。
- (2) エンコーダカウント値が、ENCA_nCCR0 (切り替え位置の位相 (進み、遅れ) に相当) と一致すると、INTENCA_nI0 が発生し、エンコーダカウンタをクリアします。

注 意

ENCAnCCR1 の値を変更する場合は、INTENCAnI1 割り込みで値を書き換えます。
 エンコーダクリア入力によるクリアがないため、ENCAnCCR0 の設定値と TSG3n の初期出力パターンをあらかじめ合わせてください。
 パタンの正転、逆転の切り替えは、TSG3nOPT0 レジスタの TSG3nPSC ビットで設定してください。

下図に、遅れ時（正転）のタイミング図を示します。

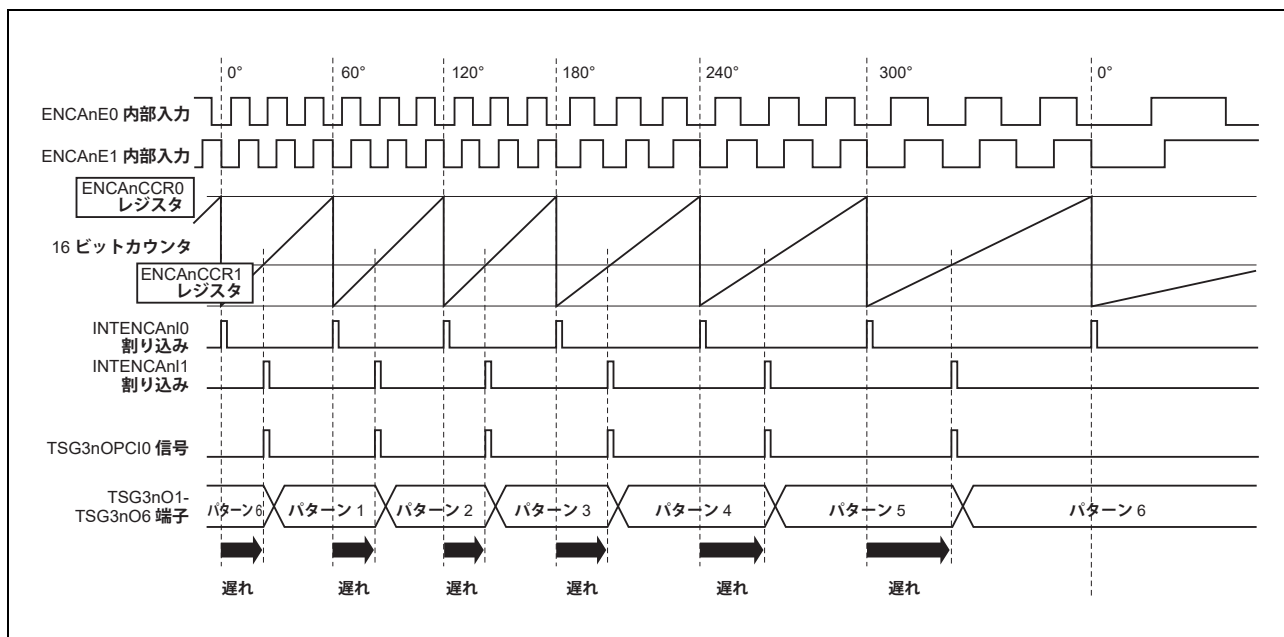


図 23.30 2相エンコーダ制御機能（制御方式2）遅れ時（正転）

ENCAnCCR1 の値を ENCAAnCCR0 より大きい値を設定することで TSG3n の出力パタンの位相を遅れさせることができます。

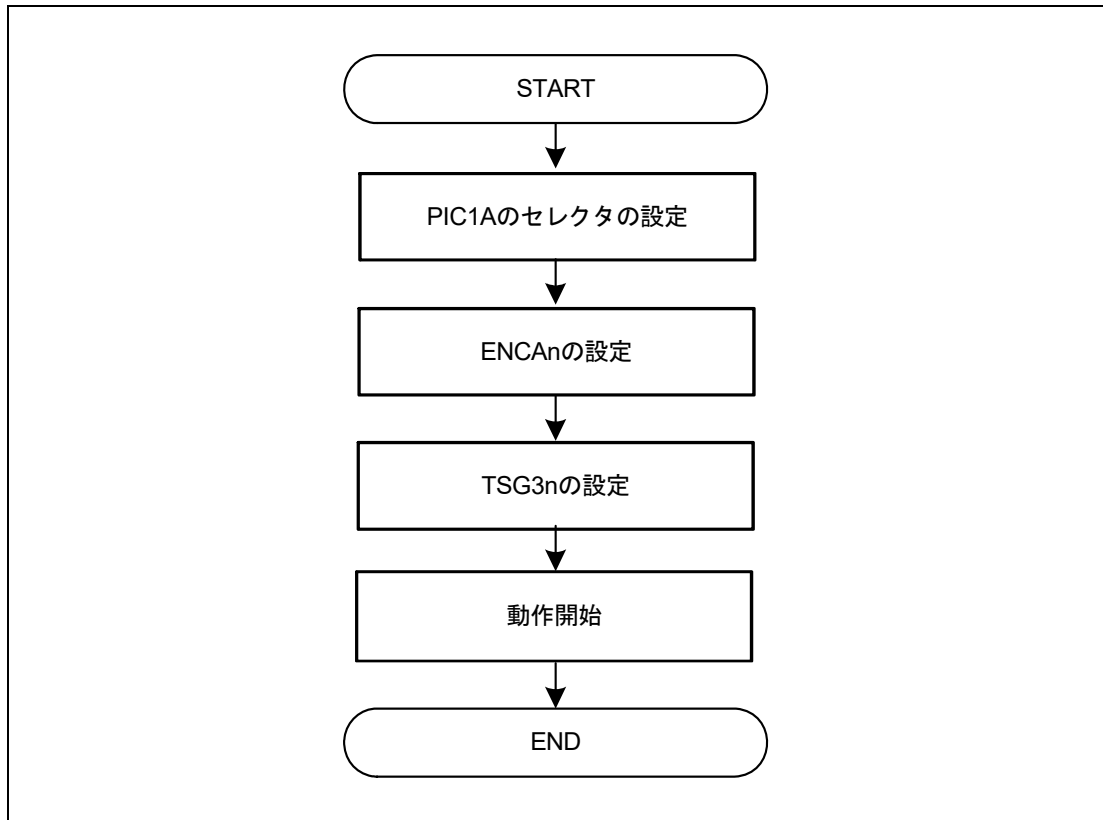
備 考

本機能は、ENCA のカウンタは進み時、遅れ時ともにアップカウント／ダウンカウントのどちらでも使用可能です。

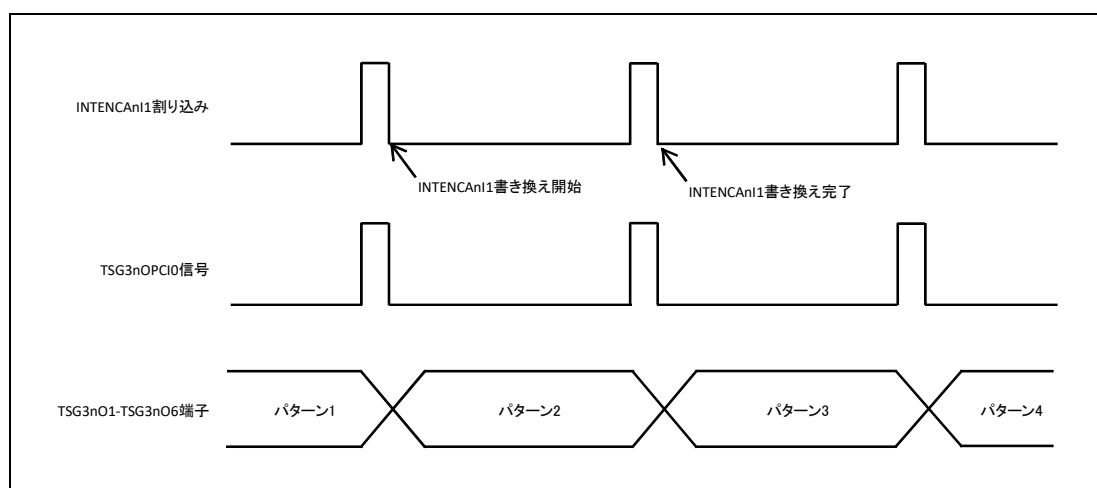
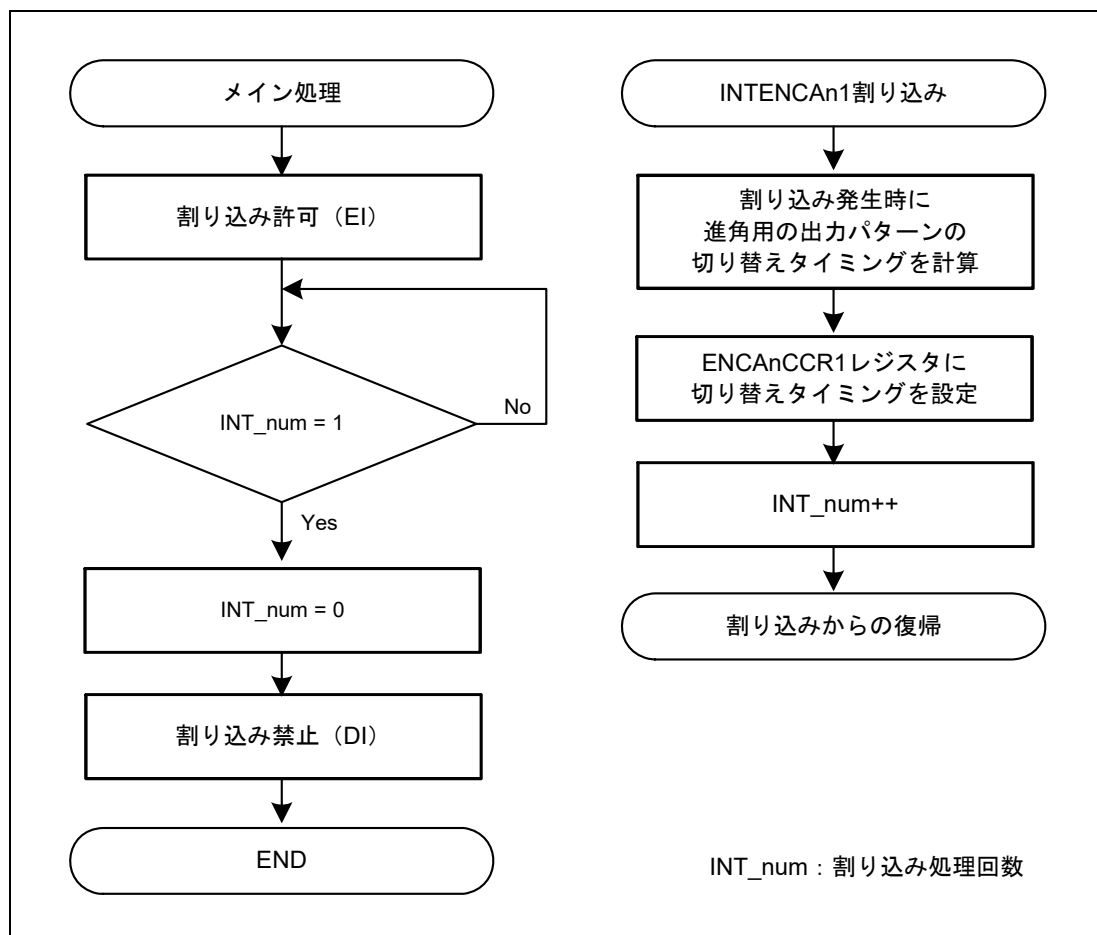
(5) フローチャート

以下に本機能のフローチャートを示します。

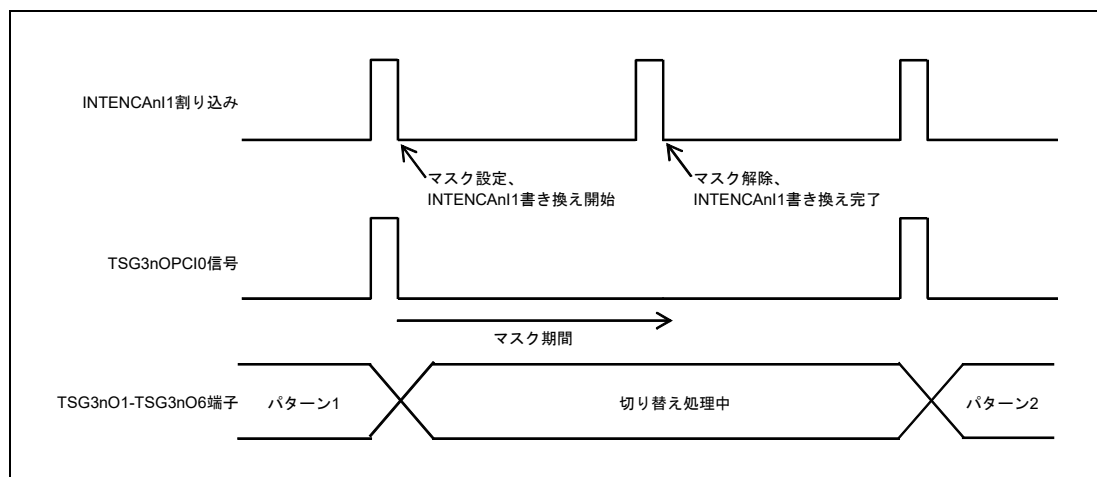
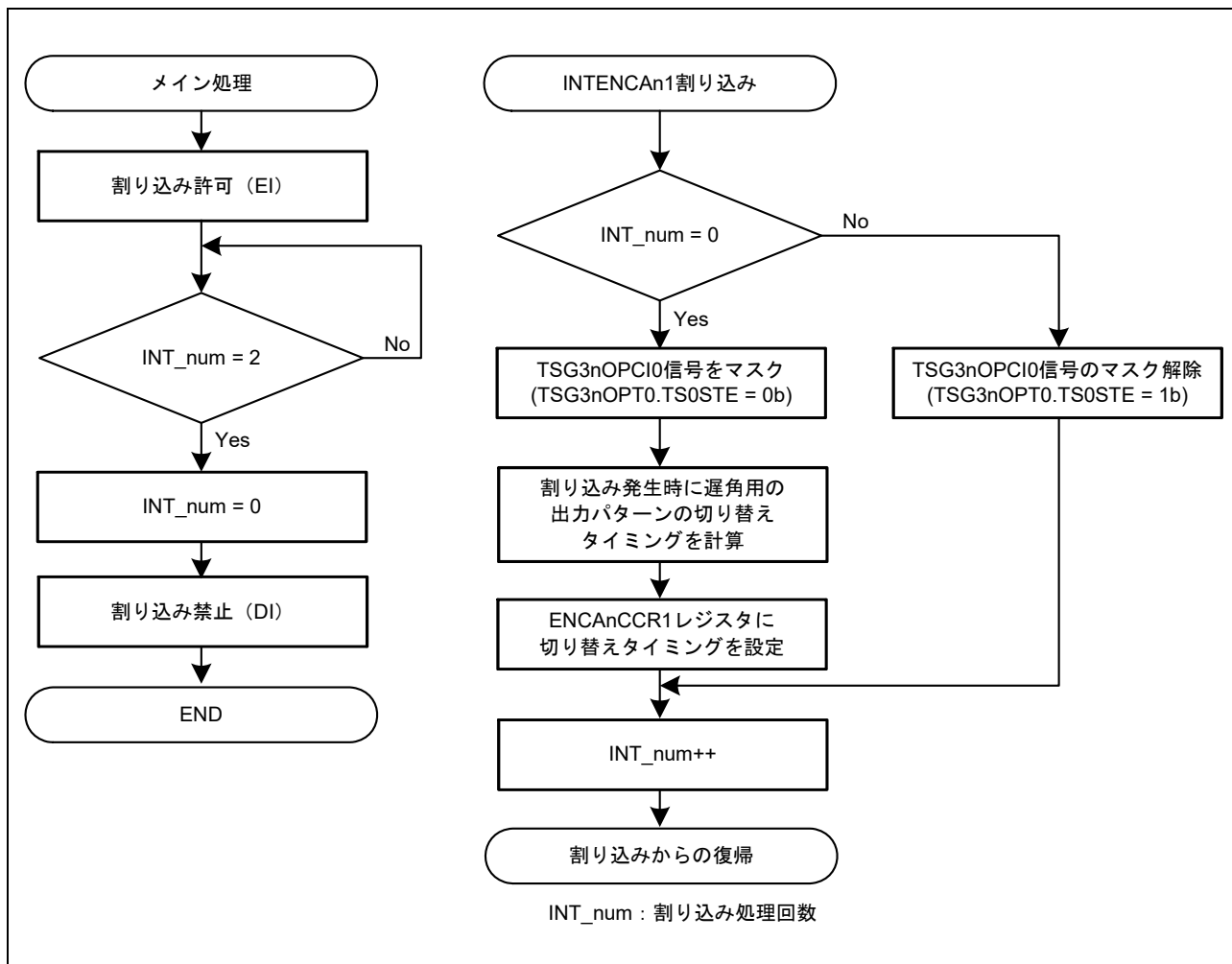
メイン処理を以下に示します。



進み時の ENCA_nCCR1 書き換え処理を以下に示します。



遅れ時の ENCA_nCCR1 書き換え処理を以下に示します。



本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000_0000_000x_01xx_B

ENCA_nIOC1[7:0] = 0000_00xx_B

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、ENCA 章を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 000x_0011_B

TSG3_nCTL3[7:0] = 0000_00xx_B

TSG3_nCTL4[15:0] = 0000_0001_xxx0_0000_B

TSG3_nIOC0[7:0] = 0111_1110_B

TSG3_nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3_nOPT0[7:0] = 0011_1xx0_B

TSG3_nOPT1[7:0] = 0000_0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1W, 5W, 9W = (任意)

TSG3_nCMP1, 5, 9 = (任意)

TSG3_nPAT0W, 1W = (任意)

TSG3_nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、TSG3 章を参照。

23.2.3.9 2相エンコーダ制御機能 (制御方式3)

(1) 概要

2相エンコーダ制御機能 (ENCA_n) を使って、ENCA0, ENCA1 が示すモータの回転角度に対し、任意の角度位相 (最大 ±60 度) 分を可変したパタン出力制御を行う機能です。

(2) 構成

ENCA_n および TSG3_n と PIC1A を組み合わせることで、任意の角度位相分を可変した 120-DC モードのパタン出力制御機能を実現します。2相エンコーダ制御機能 (制御方式3) のブロック図を以下に示します。

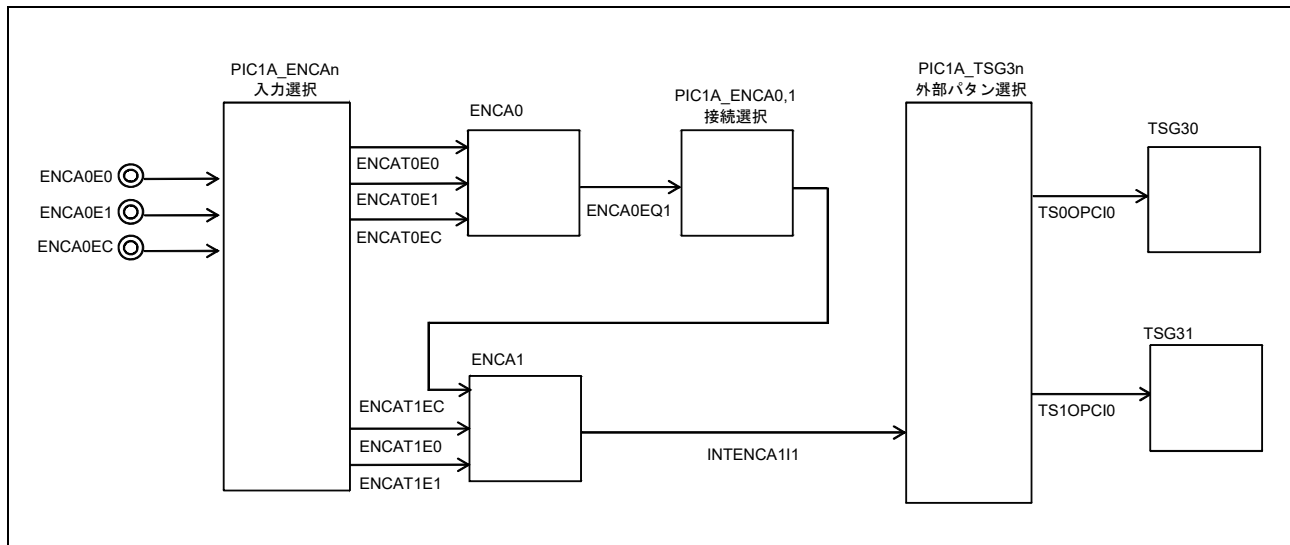


図 23.31 2相エンコーダ制御機能 (制御方式3) ブロック図

2相エンコーダ制御機能 (制御方式3) の構成を説明します。

- [PIC1A_ENCA_n 入力選択]
ENCA0E0, E1, EC 端子入力を選択して、ENCAT_nE0, E1, EC に出力します。
- [ENCA0]
2相エンコーダ処理を行い、ENCA0EQ1 を出力します。
- [PIC1A_ENCA0,1 接続選択]
ENCA0EQ1 を選択して、ENCAT1EC に出力します。
- [ENCA1]
2相エンコーダ処理を行い、INTENCA1I1 を出力します。ENCAT1EC にアクティブレベルの信号が入力された場合は、タイマカウンタ値をクリアします。
- [PIC1A_TSG3_n 外部パタン選択]
INTENCA1I1 を選択して、TSG3_nOPCI0 に出力します。
- [TSG3_n]
TSG3_nOPCI0 により、120-DC モードの出力パターンを切り替えます。

(3) レジスタ

下図に PIC1A のブロック図を示します。

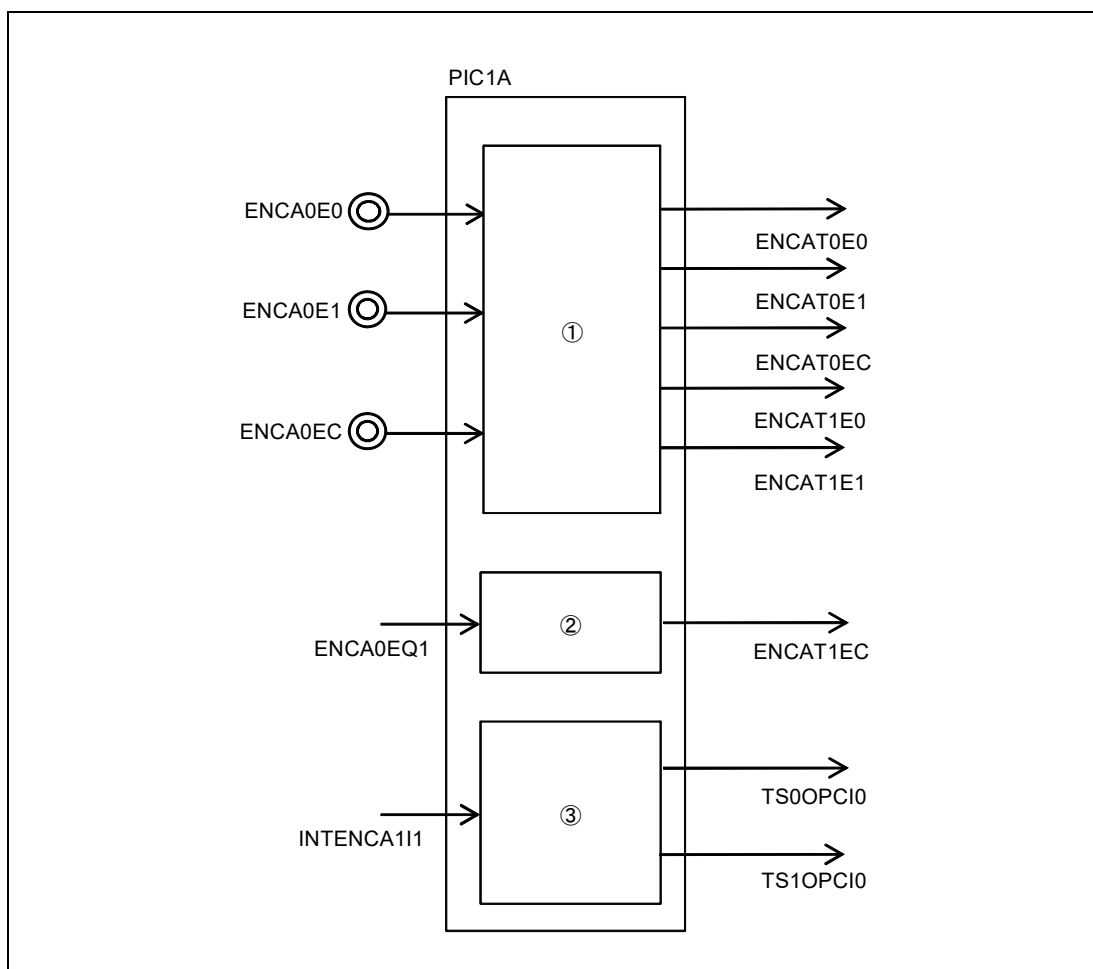


図 23.32 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

① PIC1A_ENCA_n 入力選択

PIC1AREG30[22] = 0_B

PIC1AREG30[17:16] = 00_B

PIC1AREG30[9:6] = 0101_B

PIC1AREG30[1:0] = 00_B

② PIC1A_ENCA0, 1 接続選択

PIC1AREG30[11:10] = 11_B

③ PIC1A_TSG3_n 外部パターン選択

PIC1AREG5_n[10] = 0_B

PIC1AREG5_n[6:5] = 10_B

(n = 0 は TSG30 選択、n = 1 は TSG31 選択した場合の設定値です)

(4) 機能

本機能の詳細を、2相エンコーダ制御機能（制御方式3）正転、進み制御を例に説明します。

下図にタイミング図を示します。

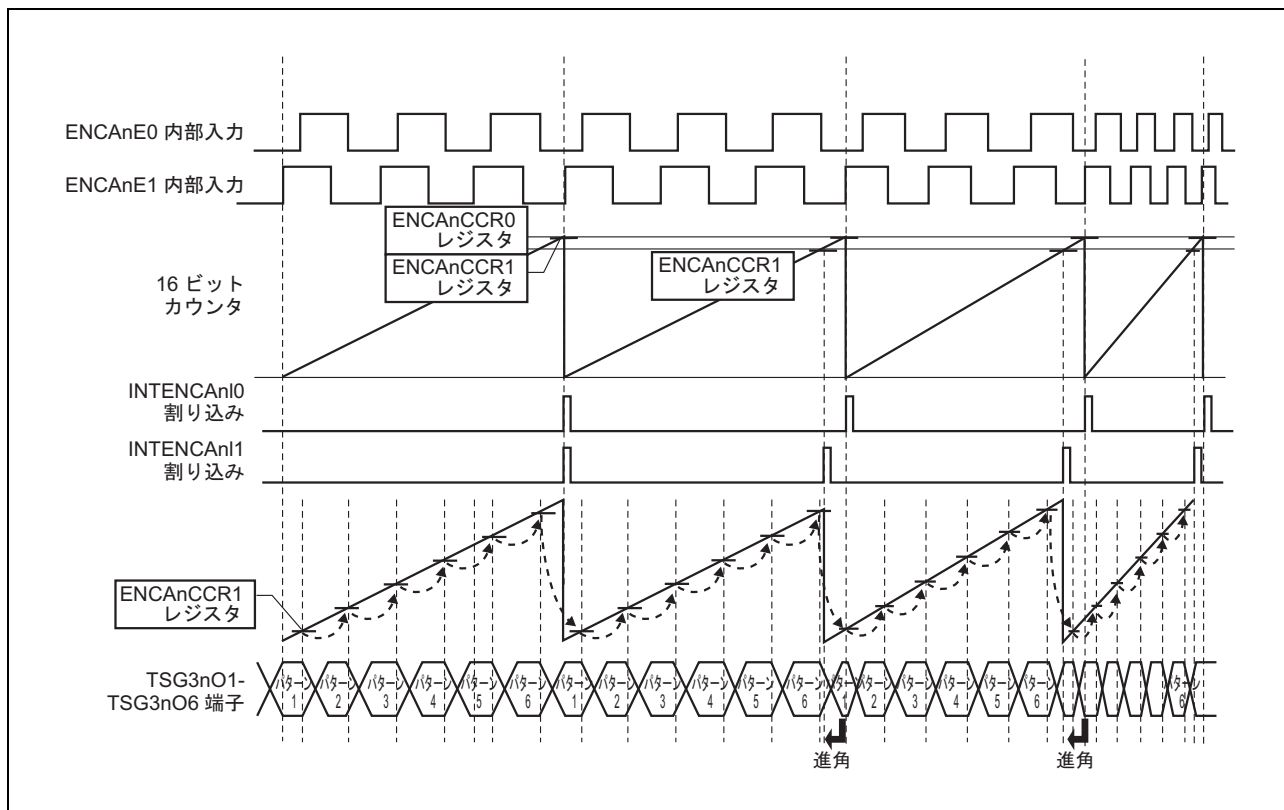


図 23.33 2相エンコーダ制御機能（制御方式3）進み時（正転）

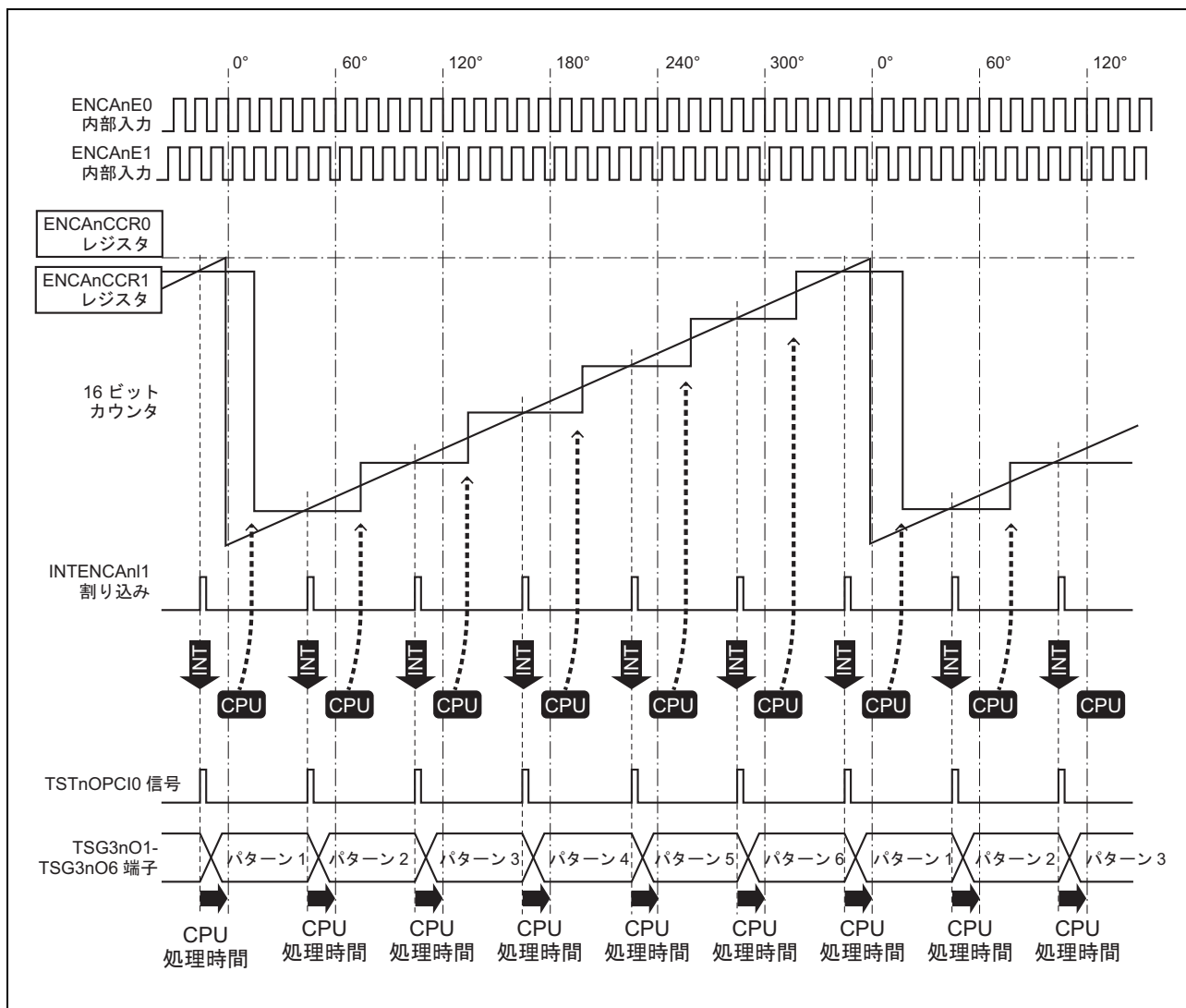


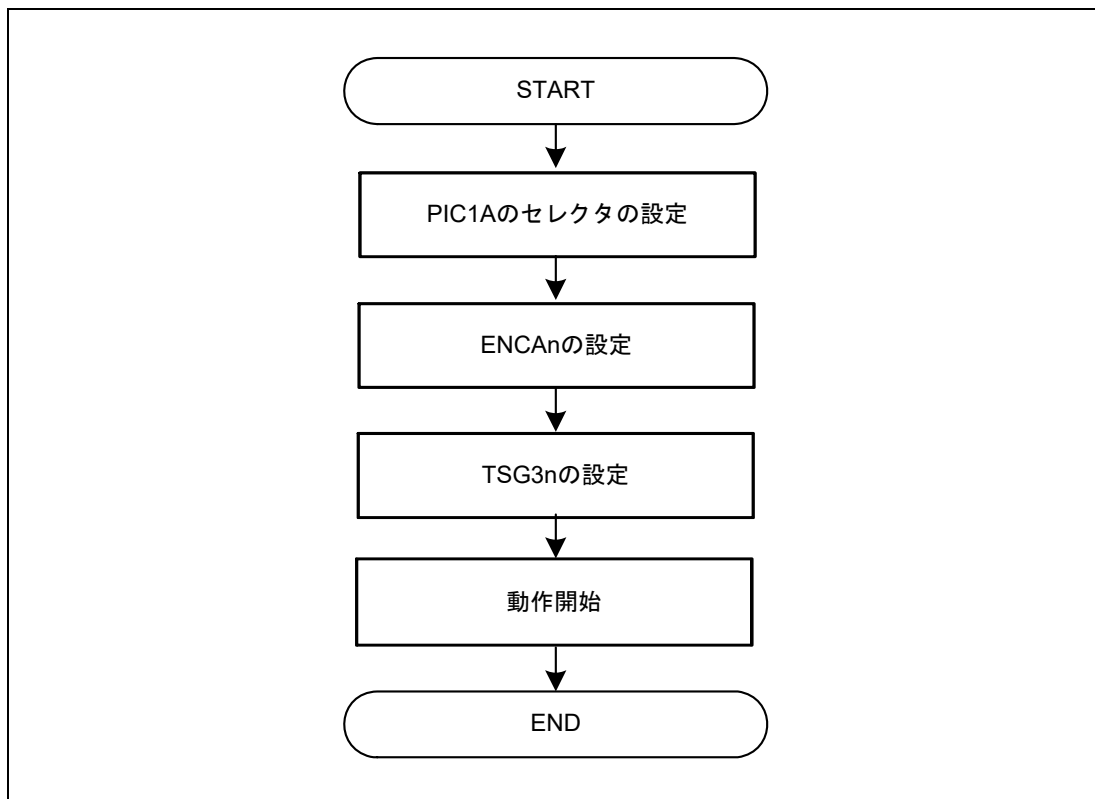
図 23.34 TSG3n 出力パターン制御 (ENCA1) (正転)

- (1) ENCA0 のエンコーダカウント値が、ENCA0CCR1 と一致すると、INTENCA0I1 が発生し、ENCA1 のエンコーダカウンタ値がクリアされます。
- (2) ENCA1 のエンコーダカウント値が、ENCA1CCR1 と一致すると、INTENCA1I1 が発生し、設定したパターンを TSG3nO1-6 端子から出力します。
- (3) ENCA0 のエンコーダカウント値が、ENCA0CCR0 と一致すると、INTENCA0I0 が発生し、エンコーダカウンタをクリアします。

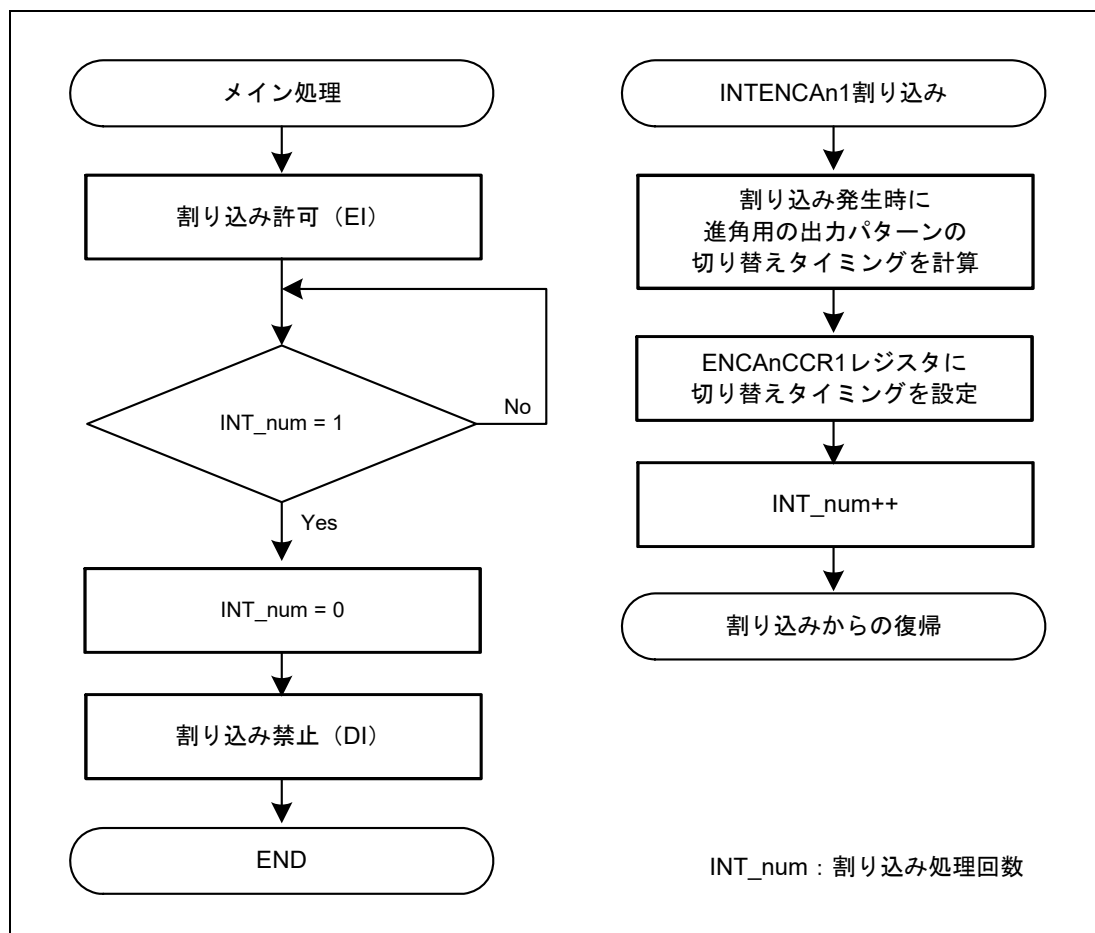
(5) フローチャート

本機能のフローチャートを以下に示します。

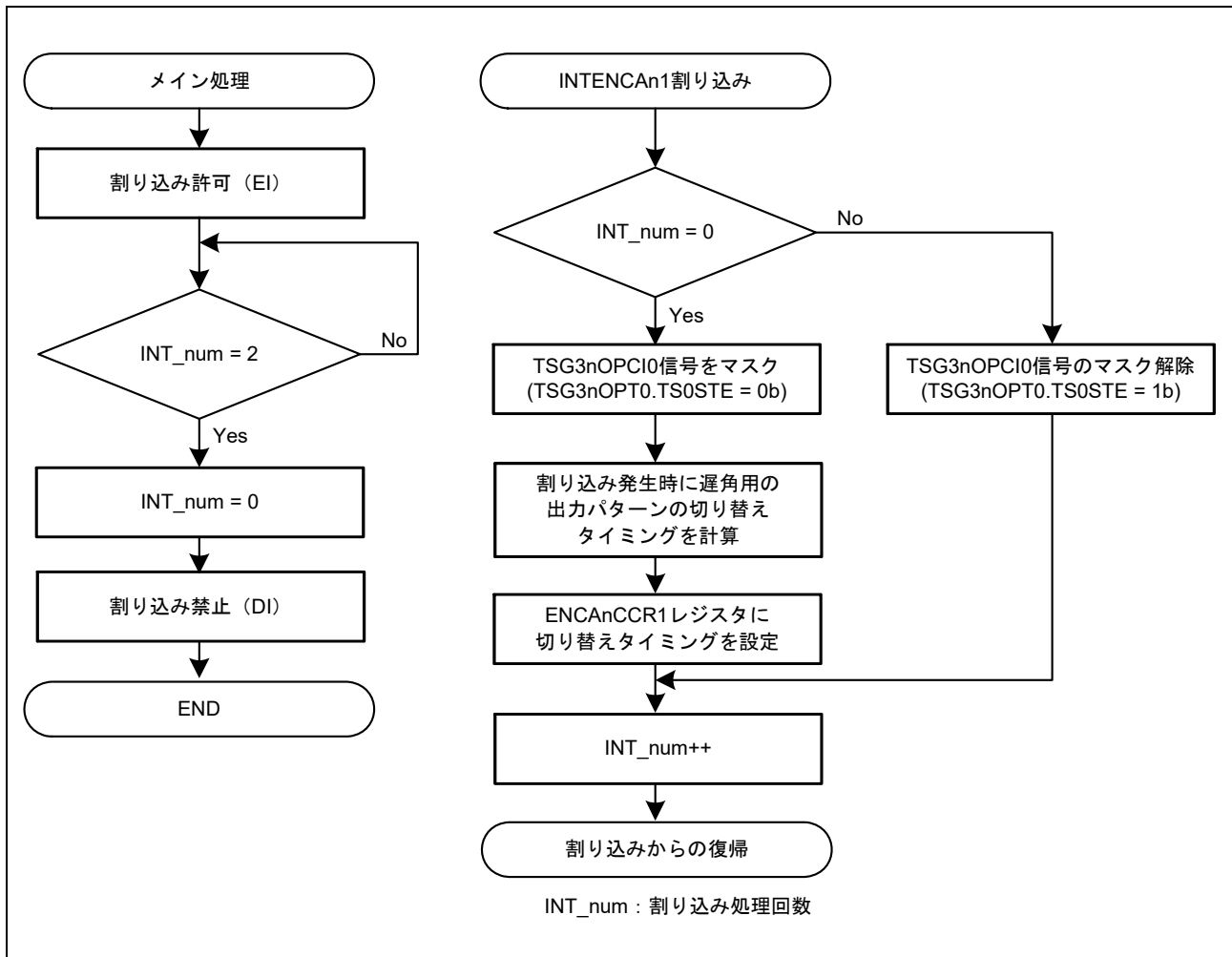
メイン処理を以下に示します。



進み時の ENCA_nCCR1 書き換え処理を以下に示します。



遅れ時の ENCA_nCCR1 書き換え処理を以下に示します。



本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000_0000_000x_01xx_B

ENCA_nIOC1[7:0] = 0000_00xx_B

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、ENCA 章を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 000x_0011_B

TSG3_nCTL3[7:0] = 0000_00xx_B

TSG3_nCTL4[15:0] = 0000_0001_xxx0_0000_B

TSG3_nIOC0[7:0] = 0111_1110_B

TSG3_nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3nOPT0[7:0] = 0011_1xx0_B

TSG3nOPT1[7:0] = 0000_0xxx_B

TSG3nCMP0 = (任意)

TSG3nCMP1W, 5W, 9W = (任意)

TSG3nCMP1, 5, 9 = (任意)

TSG3nPAT0W, 1W = (任意)

TSG3nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、TSG3 章を参照。

23.2.3.10 3相パルス入力制御機能

(1) 概要

TSG3n と TAUDn を使って、TSG3n 120-DC モードのパタン出力の位相可変制御を行う機能です。

3相パルス入力制御の制御方法について以下に示します。

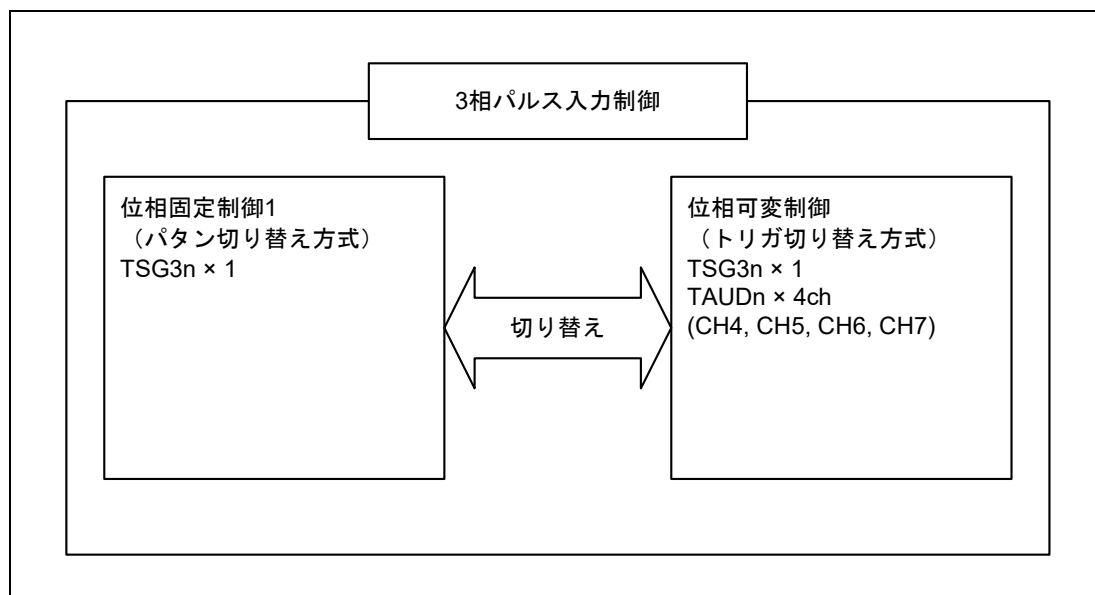


図 23.35 3相パルス入力制御 制御方式

制御方式	機能
位相固定制御1 (パタン切り替え方式)	一定の回転角度に固定したパタンを出力
位相可変制御 (トリガ切り替え方式)	回転角度に対し、任意の角度 (時間) 位相 (最大 ±60 度) を可変したパタンを出力

(2) 構成

3相パルス入力、TAUDn のオフセットトリガモードと PIC1A を組み合わせることで、3相パルス入力制御機能を実現します。3相パルス入力制御機能のブロック図を以下に示します。

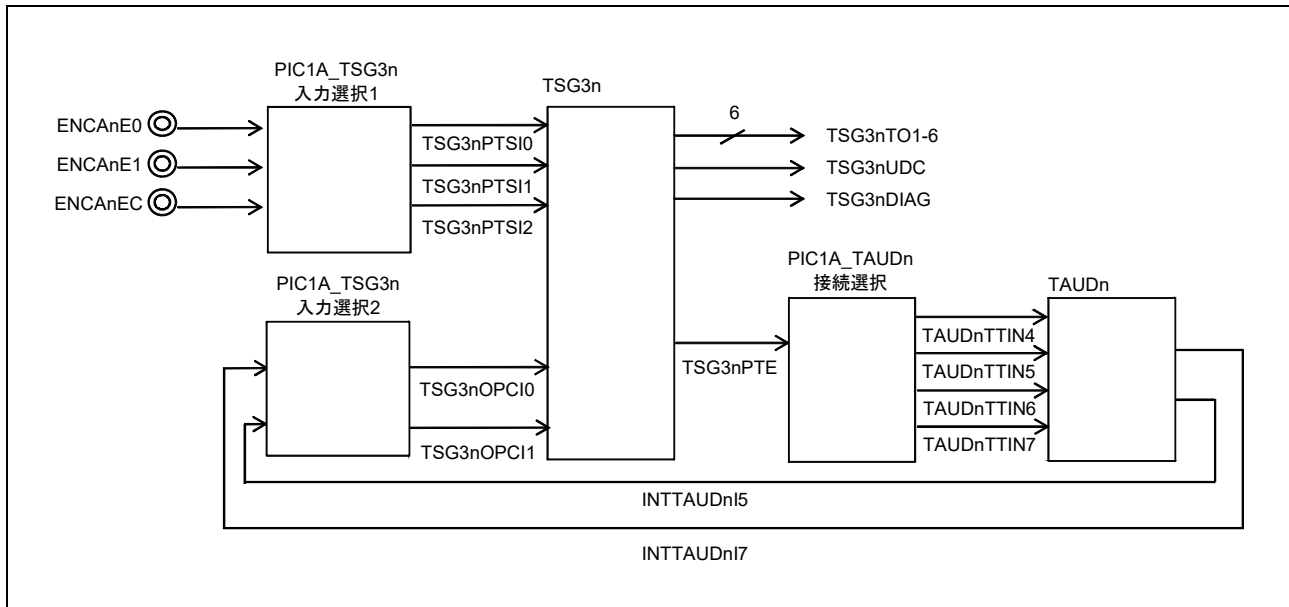


図 23.36 3相パルス入力制御機能ブロック図

構成を以下に説明します。

- [PIC1A_TSG3n 入力選択 1]
ENCAAnE0, E1, EC 端子入力を選択して、TSG3nPTSI0-2 に出力します。
- [TSG3n]
TSG3nPTSI0-2 の信号に応じ、TSG3nTO1-6 に対し設定されたパターンを出力します。また、出力されるパターンが切り替わるごとに、TSG3nPTE を反転します。
- [PIC1A_TAUDn 接続選択]
TSG3nPTE 入力を選択し、TAUDnTTIN4-7 に出力します。
- [TAUDn]
オフセットトリガモードにて出力パターン位相生成用の割り込み INTTAUDnI5、INTTAUDnI7 を出力します。
- [PIC1A_TSG3n 入力選択 2]
INTTAUDnI5、INTTAUDnI7 入力を選択し、TSG3nOPCI0-1 を出力します。

(3) レジスタ

下図に PIC1A のブロック図を示します。

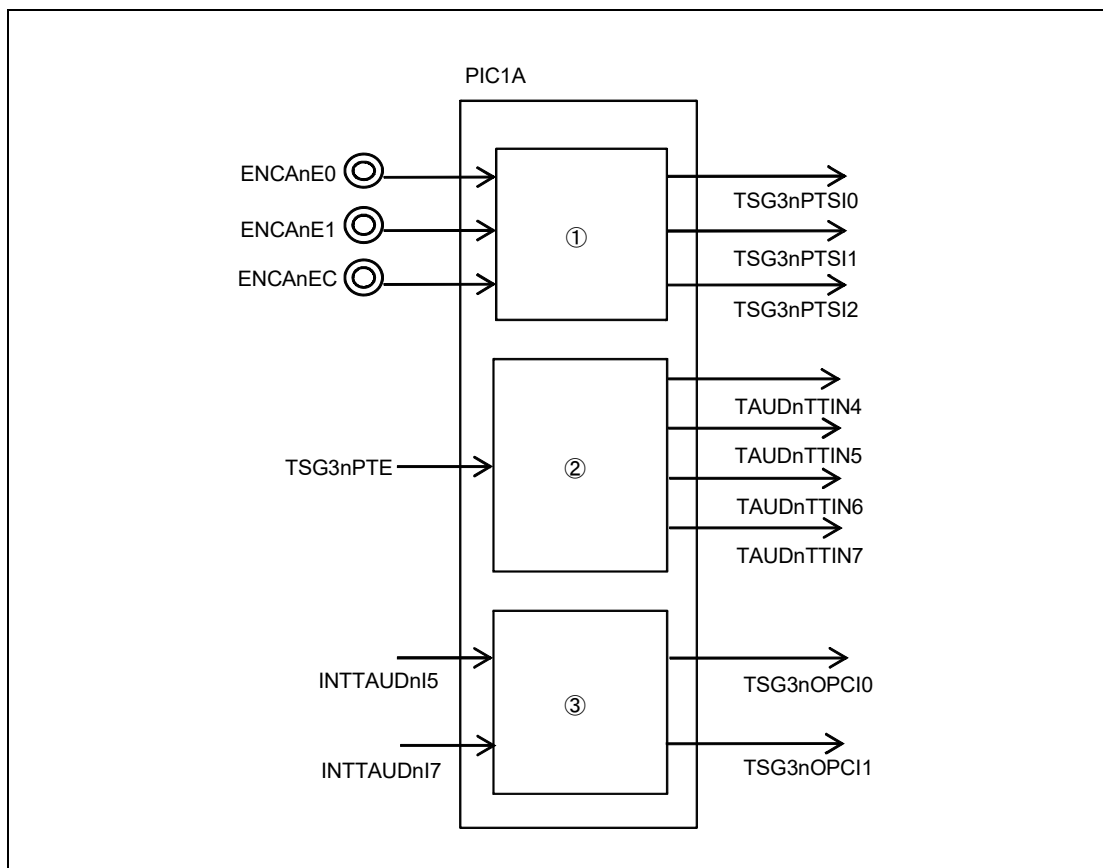


図 23.37 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

① PIC1A_TSG3_n 入力選択 1

ENCA0E0, E1, EC を TSG30PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[0] = 1_{\text{B}}$$

$$\text{PIC1AREG50}[0] = 0_{\text{B}}$$

ENCA1E0, E1, EC を TSG31PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[1] = 1_{\text{B}}$$

$$\text{PIC1AREG51}[0] = 1_{\text{B}}$$

② PIC1A_TAUD_n 接続選択

TSG3_nPTE を TAUD_nTTIN4-7 に出力するための設定値

$$\text{PIC1AREG2n0}[11:8] = 1010_{\text{B}}$$

$$\text{PIC1AREG2n0}[3:0] = 1111_{\text{B}}$$

$$\text{PIC1ATAUDnSEL}[15:8] = 00_{\text{H}}$$

③ PIC1A_ENCA_n 入力選択 2

INTTAUD_nI5, INTTAUD_nI7 を TSG3_nOPCI0-1 に出力するための設定値

PIC1AREG5_n[7:5] = 011_B

(4) 機能

本機能の詳細を説明します。

下図にタイミング図を示します。

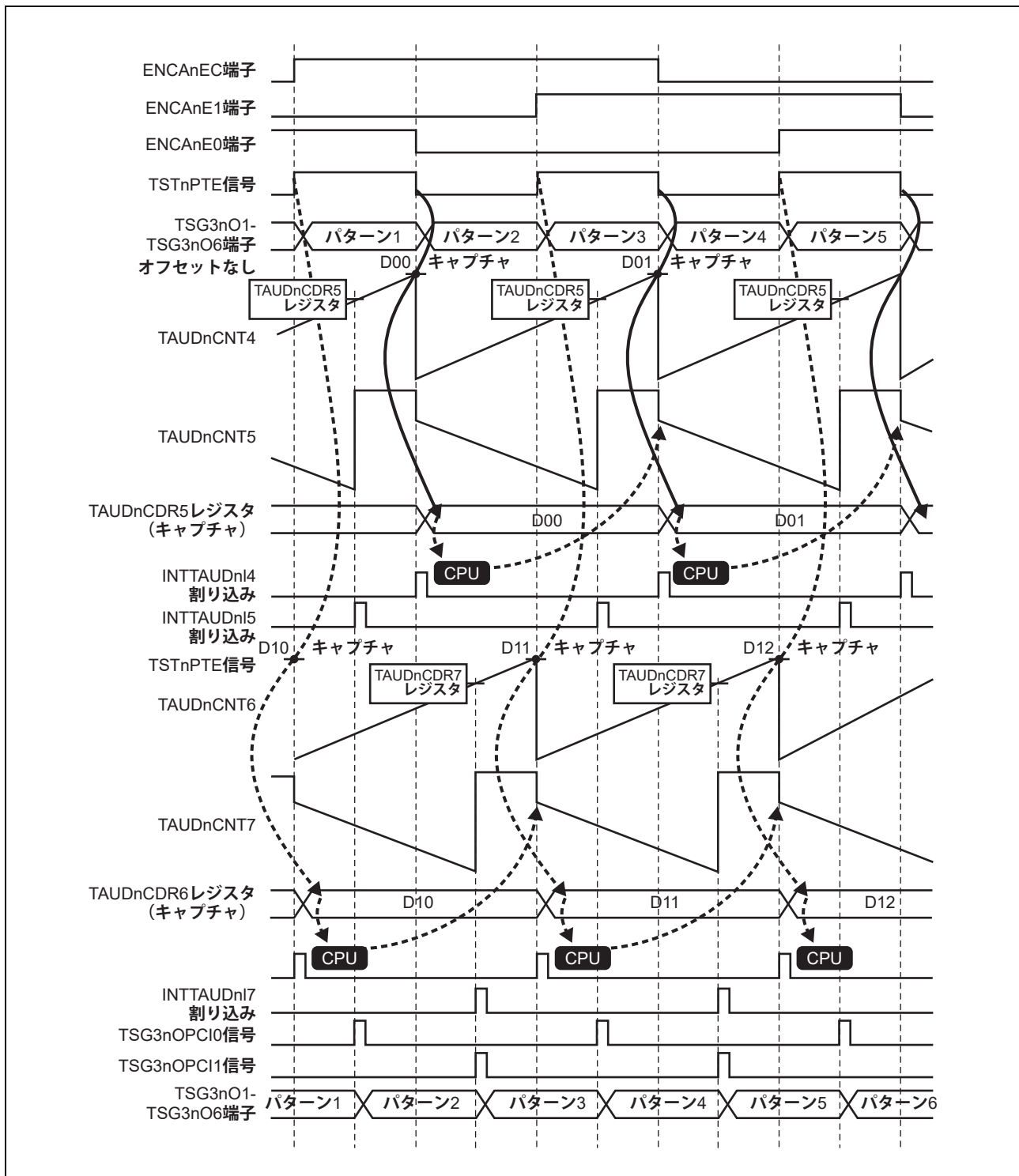


図 23.38 3相パルス入力制御機能

- (1) ENCA_n 端子信号により、TSG のパタン切り替え方式にて出力パタンを切り替えます。パタン切り替えごとに、TSTnPTE 信号が反転します。
- (2) TSTnPTE 信号の立ち上がり、立ち下がりエッジにて TAUDnCNT6、TAUDnCNT4 をキャプチャし、キャプチャした値をもとにパタン切り替え間隔を算出します。
- (3) 次回出力パタンの位相を CPU にて算出し、TAUDnCNT5、TAUDnCNT7 に設定、設定値に応じた TSG3nOPCI0, TSG3nOPCI1 が出力されます。このとき、トリガ切り替え方式にて出力パタン切り替えを行うことで、設定した位相値分がシフトされたパタンが出力されます。

TAUDnCNT_m の設定値とキャプチャ値 (TAUDnCDR (m-1)) の関係について、以下に示します。(m = 5, 7)

TAUDnCNT _m 設定値	TSG3n パタン出力切り替えタイミング
TAUDnCNT _m = 0000 _H	TSTnPTE 信号のエッジ検出のタイミングでパタン切り替え (ただし、最大 TAUDn カウントクロック 1CLK 分の遅延が発生します)
TAUDnCNT _m = キャプチャ値	TSTnPTE 信号のエッジ検出のタイミングでパタン切り替え
TAUDnCNT _m < キャプチャ値	TSTnPTE 信号のエッジ検出のタイミングから位相分をシフトしたタイミングでパタン切り替え
TAUDnCNT _m > キャプチャ値	設定禁止

位相固定制御 1 から位相可変制御への切り替え動作例

下図に位相固定制御 1 から位相可変制御への切り替え時の動作例を示します。

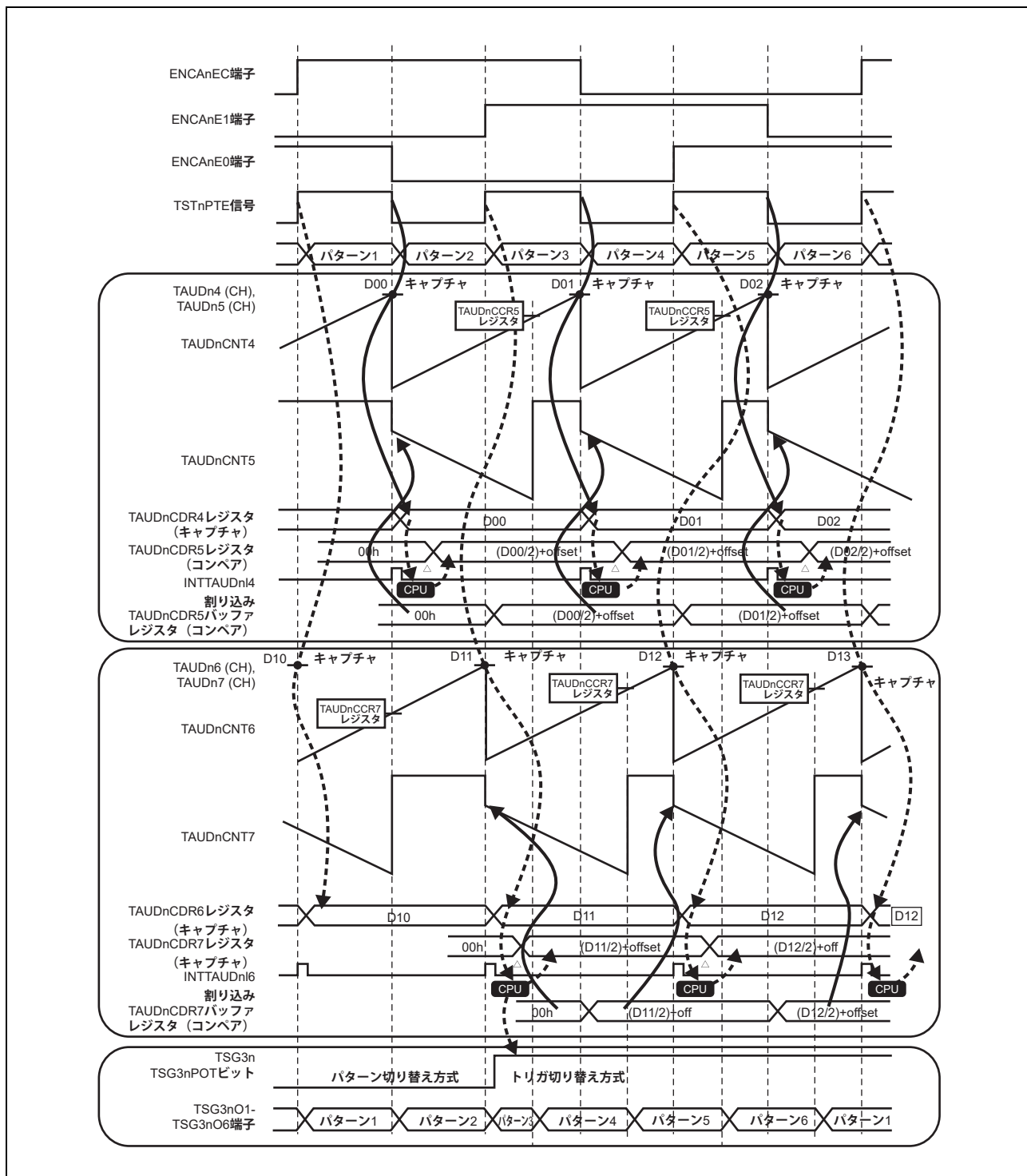


図 23.39 位相固定制御 1 から位相可変制御への切り替え

TSG3nPOT ビットをロウからハイとすることで、出力パターンはトリガ切り替え方式に変更され、位相可変制御が可能となります。

位相可変制御から位相固定制御 1 への切り替え動作例

下図に位相可変制御から位相固定制御 1 へ切り替え時の動作例を示します。

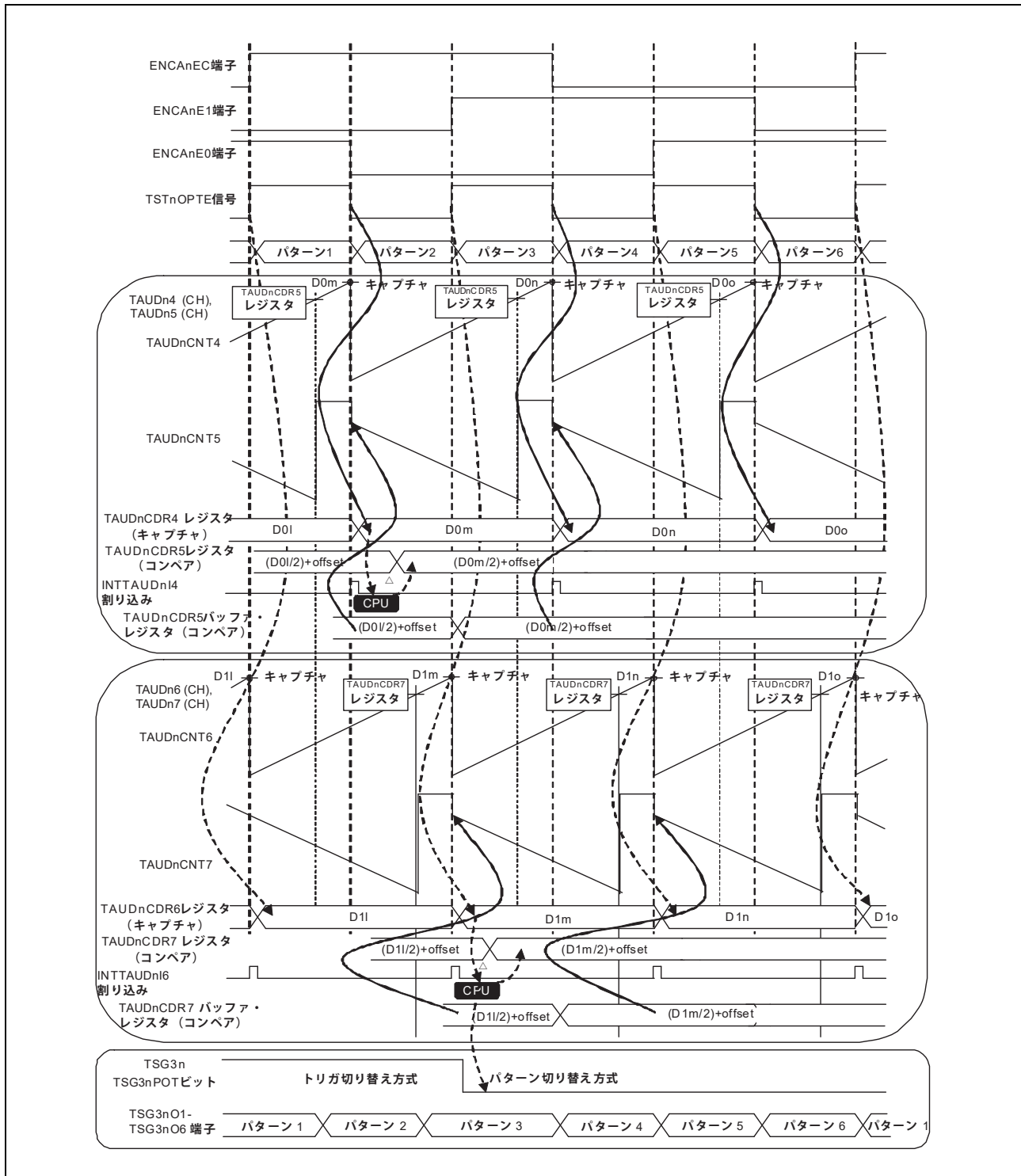


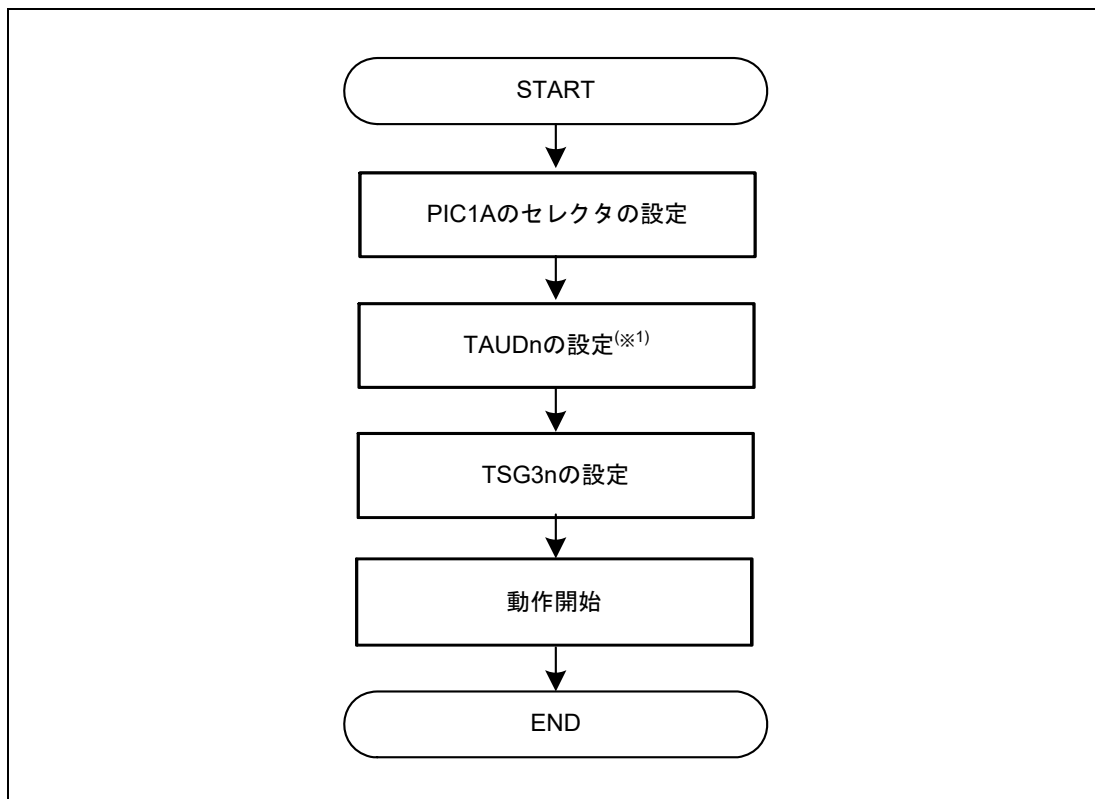
図 23.40 位相可変制御から位相固定制御 1 への切り替え

TSG3nPOT ビットをハイからロウとすることで、出力パタンはパタン切り替え方式に変更され、位相固定制御 1 が可能となります。

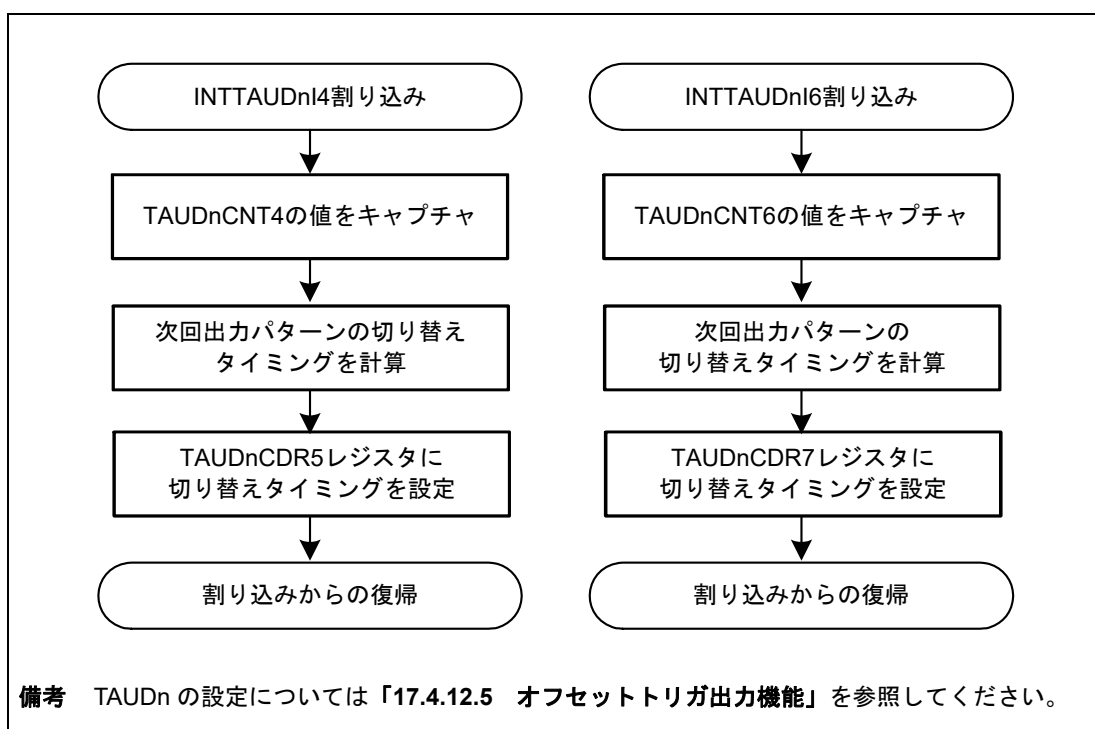
(5) フローチャート

本機能のフローチャートを以下に示します。

メイン処理を以下に示します。



動作中の TAUDnCDR5、TAUDnCDR7 書き換え処理を以下に示します。



本機能を行う場合、TSG3n は下記の設定を行います。

TSG3nCTL0[7:0] = 0000_0011_B

TSG3nCTL3[7:0] = 0000_00xx_B

TSG3nCTL4[15:0] = 0000_0001_xxx0_0000_B

TSG3nIOC0[7:0] = 0111_1110_B

TSG3nIOC1[7:0] = 0001_xxxx_B

TSG3nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3nOPT0[7:0] = 0011_1xx0_B

TSG3nOPT1[7:0] = 0000_0xxx_B

TSG3nCMP0 = (任意)

TSG3nCMP1W, 5W, 9W = (任意)

TSG3nCMP1, 5, 9 = (任意)

TSG3nPAT0W, 1W = (任意)

TSG3nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、TSG3 章を参照。

23.2.3.11 3相エンコーダ制御機能

(1) 概要

ENCA_n を使って、3相の外部パタン入力 (TSG3_nPTSI0-TSG3_nPTSI2) をエンコードする機能です。

(2) 構成

TSG3_n、ENCA_n と PIC1A を組み合わせることで、3相エンコーダ制御機能を実現します。3相エンコーダ制御機能のブロック図を以下に示します。

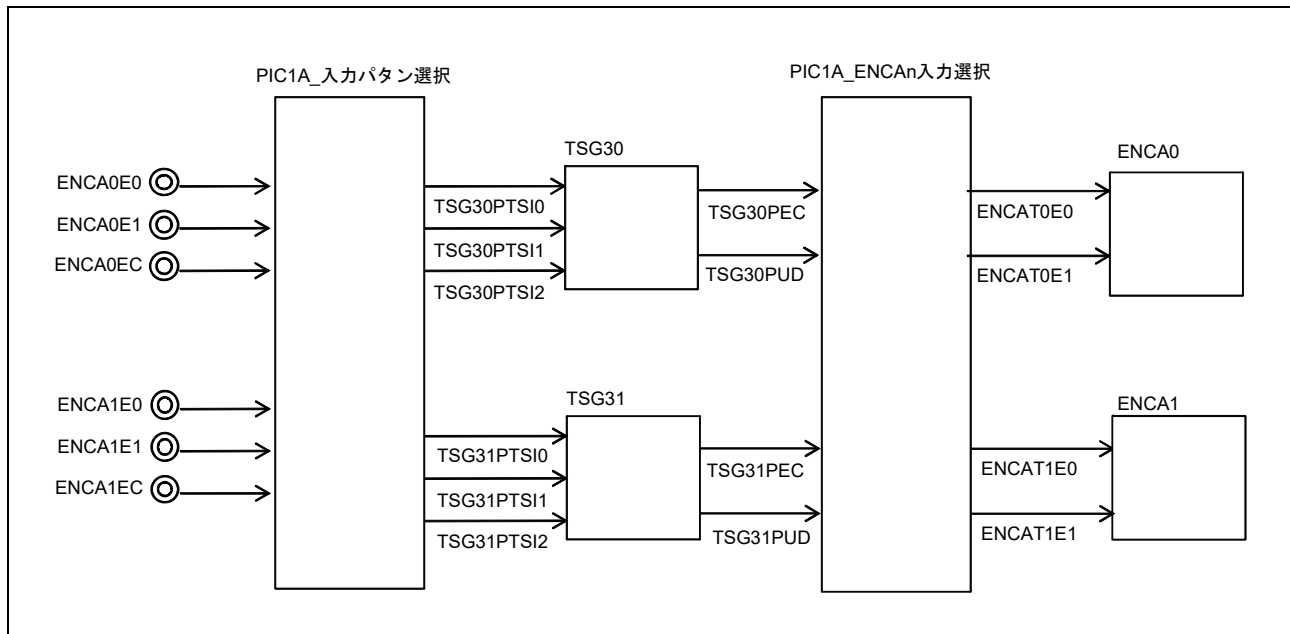


図 23.41 3相エンコーダ制御機能ブロック図

構成を以下に説明します。

- [PIC1A_入力パタン選択]
ENCA_nE0, E1, EC 端子入力を選択して、TSG3_nPTSI0-2 に出力します。
- [TSG3_n]
TSG3_nPTSI0-2 信号により、出力パタン、TSG3_nPEC を出力します。また、正転、逆転に応じて TSG3_nPUD を出力します。
- [PIC1A_ENCA_n 入力選択]
TSG3_nPEC を選択して ENCA_nT_nE0 に出力します。また、TSG3_nPUD を選択して ENCA_nT_nE1 に出力します。
- [ENCA_n]
ENCA_nT_nE0、ENCA_nT_nE1 をエンコード処理します。

(3) レジスタ

下図に PIC1A のブロック図を示します。

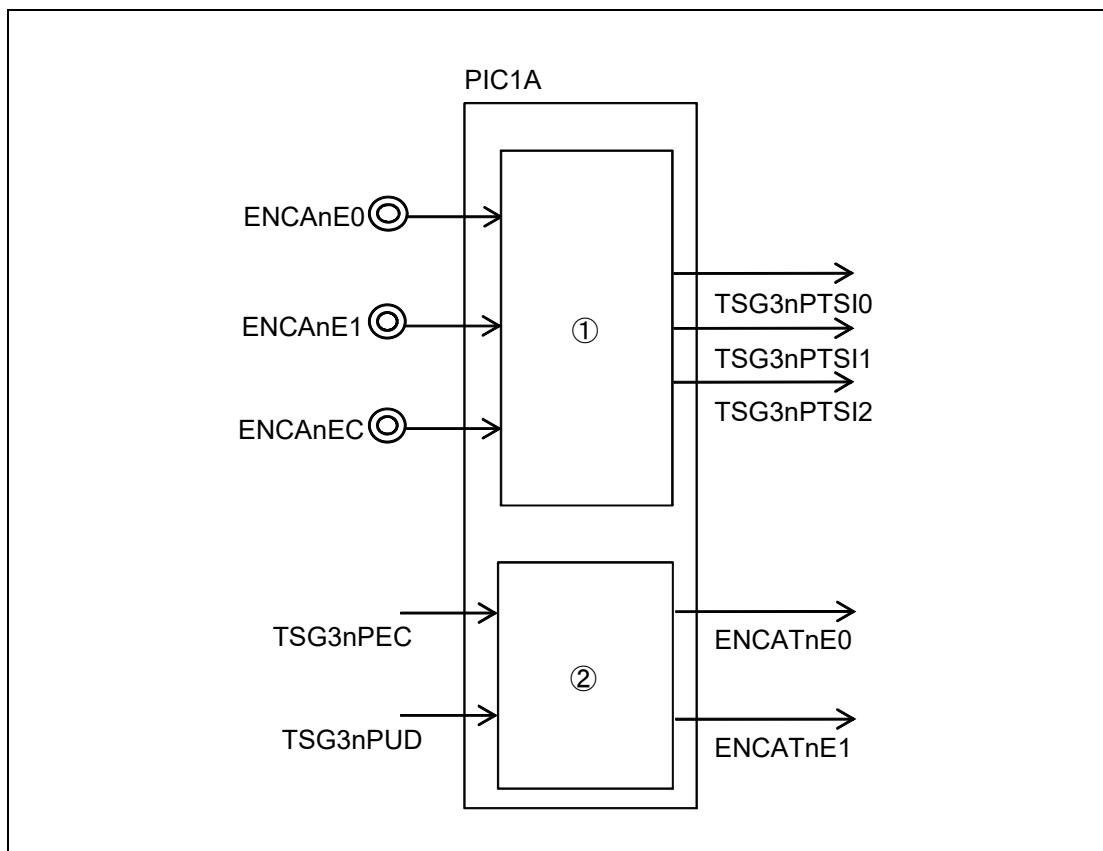


図 23.42 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

① PIC1A_入力パタン選択

ENCA0E0, E1, EC を TSG30PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[0] = 1_B$$

$$\text{PIC1AREG50}[0] = 0_B$$

ENCA1E0, E1, EC を TSG31PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[1] = 1_B$$

$$\text{PIC1AREG51}[0] = 1_B$$

② PIC1A_ENCA_n 入力選択

TSG30PEC を ENCA0E0、TSG30PUD を ENCA0E1 として出力するための設定値

$$\text{PIC1AREG30}[22] = 0_B$$

$$\text{PIC1AREG30}[1:0] = 11_B$$

TSG31PEC を ENCA1E0、TSG31PUD を ENCA1E1 として出力するための設定値

$$\text{PIC1AREG30}[9:8] = 10_B$$

$$\text{PIC1AREG30}[7:6] = 10_B$$

(4) 機能

本機能の詳細を、以下に説明します。

下図にタイミング図を示します。

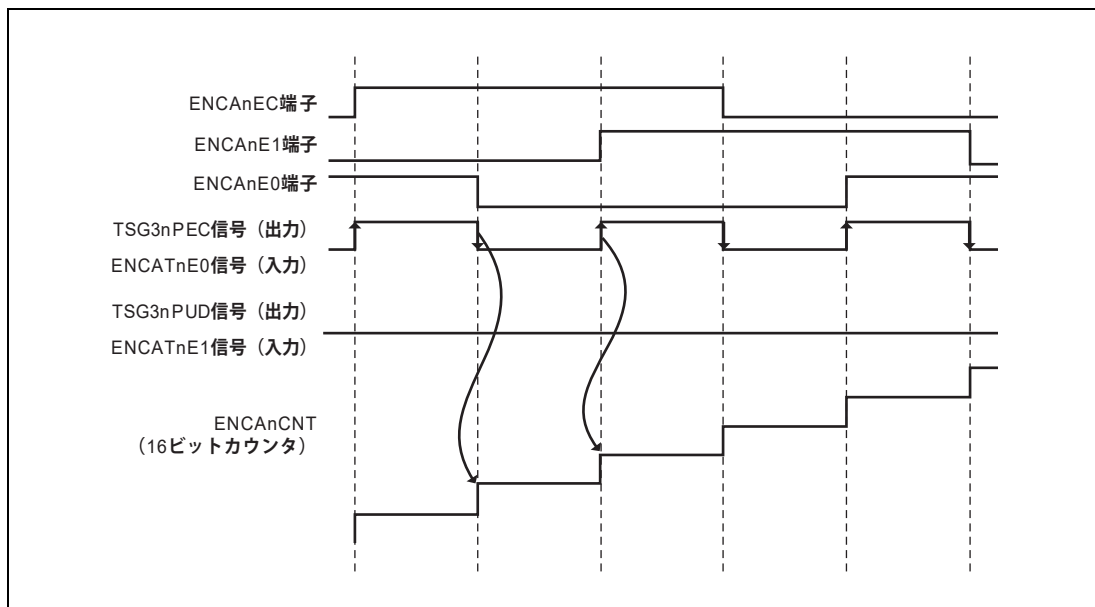


図 23.43 3相エンコーダ機能 _ENCAAnUDS1, ENCAAnUDS0 = 00_B

- (1) ENCAAnE1 にロウレベルが入力されている場合、ENCAAnE0 にアクティブエッジが入力されるごとにカウントアップします。

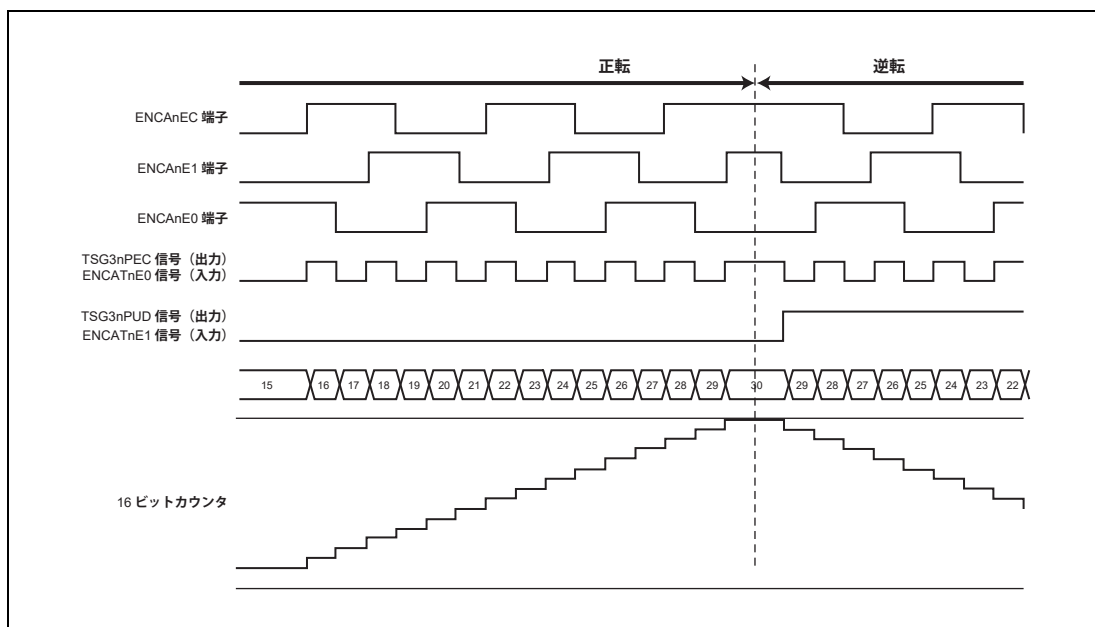


図 23.44 3相エンコーダ機能 _正転/逆転

(5) フローチャート

3相エンコーダ制御機能の動作前に PIC 設定を行ってください。

本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = xx00_00xx_000x_xx00_B

ENCA_nIOC1[7:0] = 0000_00xx_B ^{注1}

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、ENCA 章を参照。

注1. ENCA_nIOC1[1:0] は 00_B (エッジ検出なし) を除く。エッジ検出必須のため。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 0000_0001_B

TSG3_nCTL3[7:0] = 0000_00xx_B

TSG3_nCTL4[15:0] = 0000_000x_xxxx_xxxx_B

TSG3_nIOC0[7:0] = 0xxx_xxx0_B

TSG3_nIOC1[7:0] = 0001_xxxx_B

TSG3_nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3_nOPT0[7:0] = 0xxx_xxx0_B

TSG3_nOPT1[7:0] = 0000_0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1W, 5W, 9W = (任意)

TSG3_nCMP1, 5, 9 = (任意)

TSG3_nPAT0W, 1W = (任意)

TSG3_nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、「**第19章 モータコントロールタイマ (TSG3)**」を参照。

23.2.3.12 ENCA 入力選択機能

(1) 概要

ENCAn の入力信号を選択する機能です。RDC0、RDC1、エンコーダ信号グループ 0 端子、エンコーダ信号グループ 1 端子のいずれかを選択可能です。

ENCAn に同じエンコーダ信号を接続し、同時動作させることで、仮想的にコンペアマッチレジスタを増設することが可能です。

(2) 構成

RDCn 出力信号、ENCAn 入力端子信号と PIC1A を組み合わせることで、ENCA 入力選択機能を実現します。

ENCA 入力選択機能のブロック図を以下に示します。

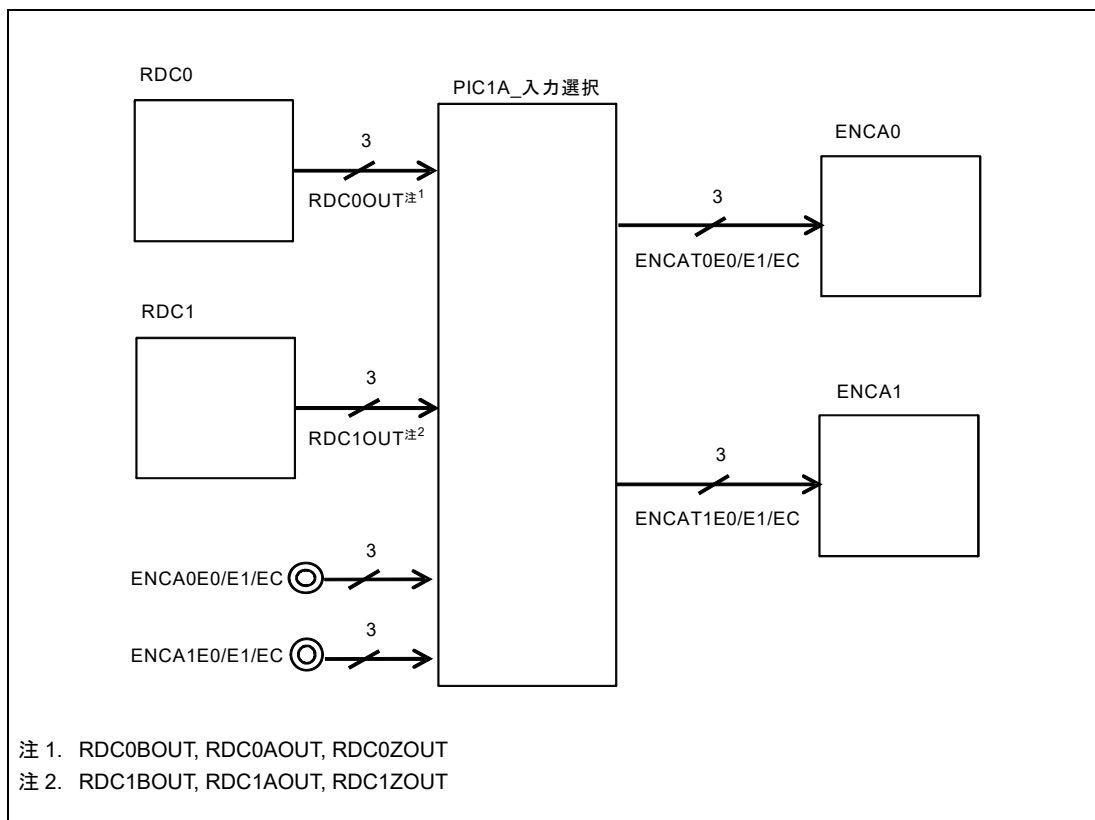


図 23.45 ENCA 入力選択機能 ブロック図

PIC1A に入力される信号から ENCA0、ENCA1 に出力する信号の選択が可能です。

(3) レジスタ

下図に PIC1A のブロック図を示します。

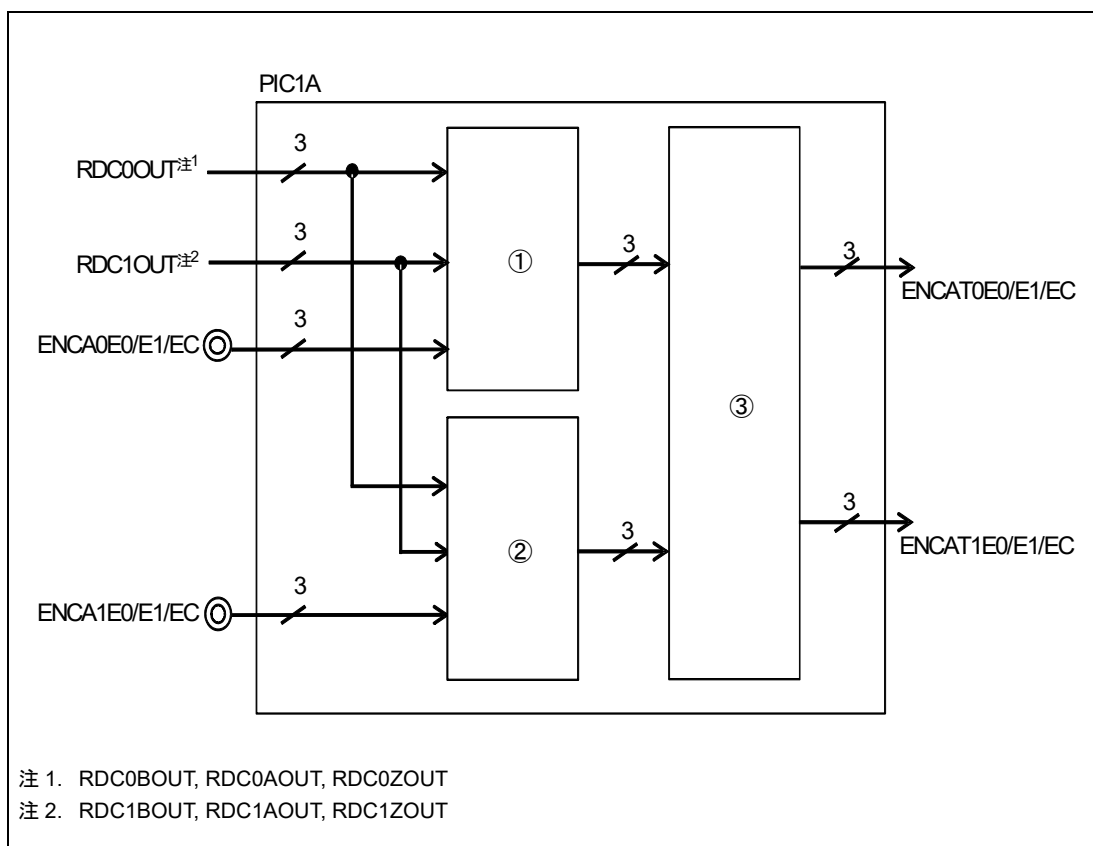


図 23.46 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

PIC1A_ 入力選択

- ENCA0 接続選択

①を経由し、ENCAT0E0、ENCAT0E1、ENCAT0EC に入力する信号を③で選択するための設定値

レジスタ設定			ENCAT0E0	ENCAT0E1	ENCAT0EC
PIC1AREG30					
22	[17:16]	[1:0]			
0	01	00	RDC0BOUT	RDC0AOUT	RDC0ZOUT
0	10	00	RDC1BOUT	RDC1AOUT	RDC1ZOUT
0	00	00	ENCA0E0 端子入力	ENCA0E1 端子入力	ENCA0EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

②を経由し、ENCAT0E0、ENCAT0E1、ENCAT0EC に入力する信号を③で選択するための設定値

レジスタ設定		ENCAT0E0	ENCAT0E1	ENCAT0EC
PIC1AREG30				
22	[20:19]			
1	10	RDC0BOUT	RDC0AOUT	RDC0ZOUT
1	01	RDC1BOUT	RDC1AOUT	RDC1ZOUT
1	00	ENCA1E0 端子入力	ENCA1E1 端子入力	ENCA1EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

- ENCA1 接続選択

①を経由し、ENCAT1E0、ENCAT1E1、ENCAT1EC に入力する信号を③で選択するための設定値

レジスタ設定		ENCAT1E0	ENCAT1E1	ENCAT1EC
PIC1AREG30				
[17:16]	[11:6]			
10	100101	RDC0BOUT	RDC0AOUT	RDC0ZOUT
01	100101	RDC1BOUT	RDC1AOUT	RDC1ZOUT
00	100101	ENCA0E0 端子入力	ENCA0E1 端子入力	ENCA0EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

②を経由し、ENCAT1E0、ENCAT1E1、ENCAT1EC に入力する信号を③で選択するための設定値

レジスタ設定		ENCAT1E0	ENCAT1E1	ENCAT1EC
PIC1AREG30				
[20:19]	[11:6]			
10	000000	RDC0BOUT	RDC0AOUT	RDC0ZOUT
01	000000	RDC1BOUT	RDC1AOUT	RDC1ZOUT
00	000000	ENCA1E0 端子入力	ENCA1E1 端子入力	ENCA1EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

(4) 機能

本機能では、下図に示すような1系統接続、2系統接続が可能です。それぞれ選択した入力信号のエンコードカウントを行います。

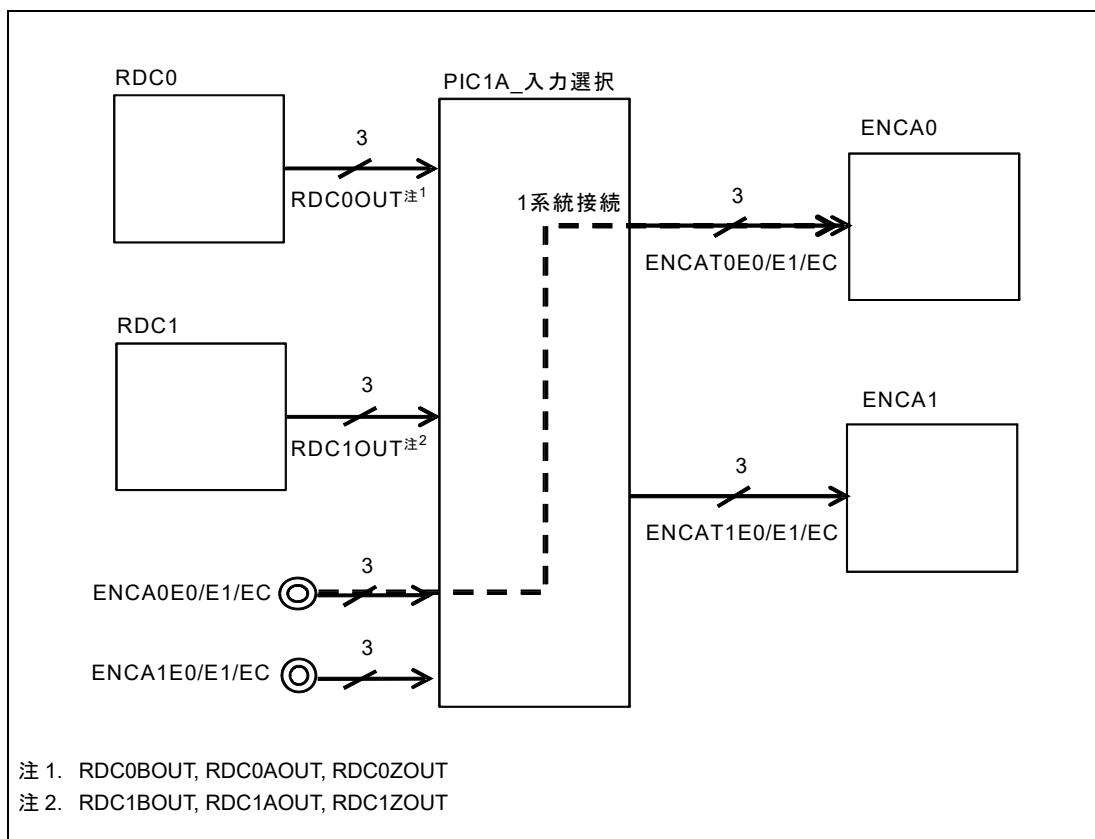


図 23.47 1系統接続例 (ENCA0 端子を ENCA0 に接続)

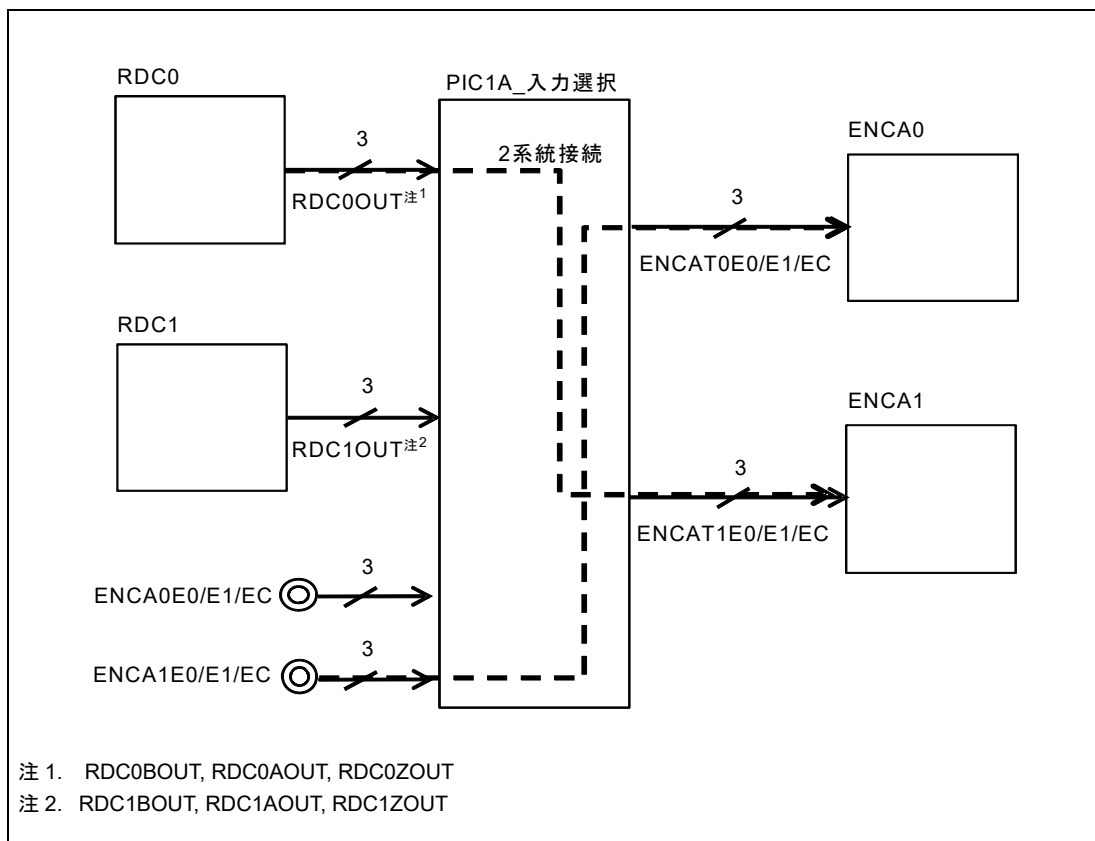


図 23.48 2 系統接続例 (ENCA1 端子を ENCA0、RDC0 を ENCA1 に接続)

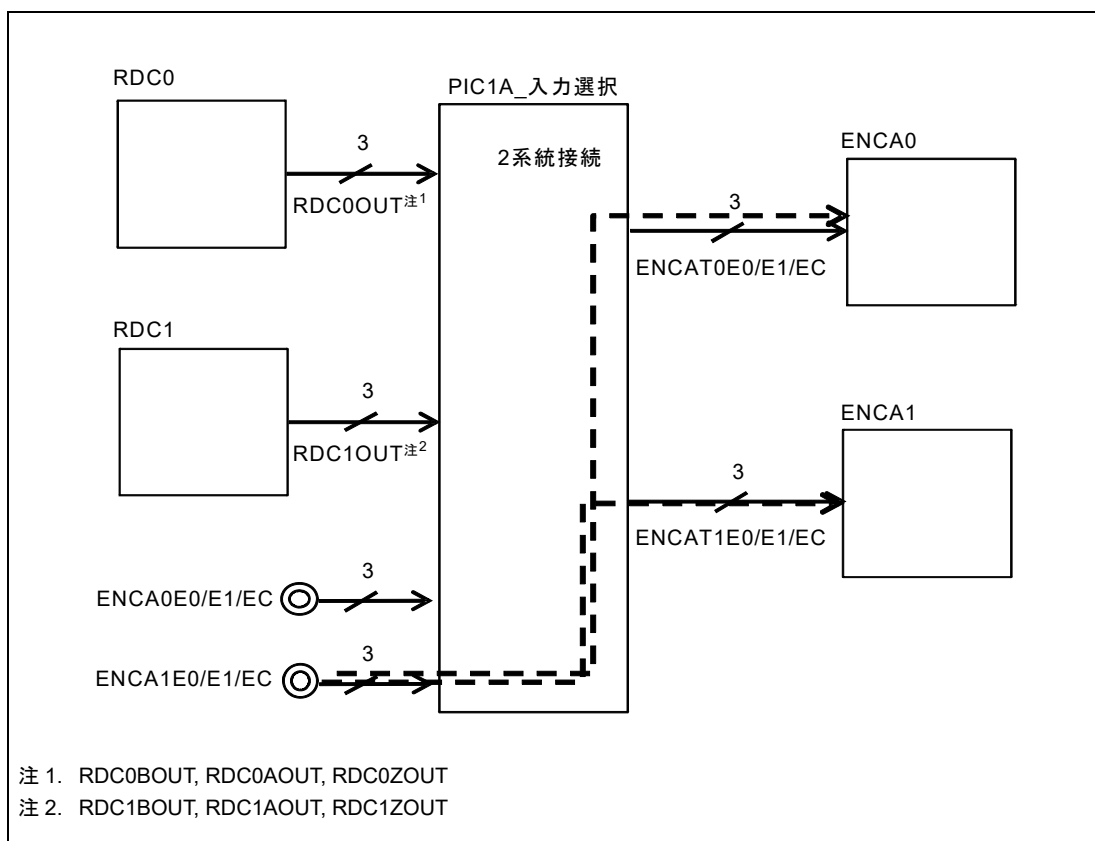


図 23.49 2 系統接続例 (ENCA1 端子を ENCA0、ENCA1 に接続)

(5) フローチャート

エンコーダタイマ動作前に PIC 設定を行ってください。

ENCA0, 1 の入力として異なる信号を選択する場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000_0000_000x_0101_B (ENCA 端子入力時)、1000_0000_000x_0111_B
(RDC 入力時)

ENCA_nIOC0[7:0] = 0000_xxxx_B

ENCA_nIOC1[7:0] = xxxx_xxxx_B ^{注1}

x は任意設定。レジスタ仕様については、ENCA 章を参照。

注1. ENCA_nIOC1[3:2]、[1:0] は 00_B (エッジ検出なし) を除く。エッジ検出必須のため。

ENCA0, 1 の入力として同一信号を選択する場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 0x00_000x_x00x_0xxx_B (ENCA 端子入力時)、0x00_000x_x00x_0x11_B
(RDC 入力時)

ENCA_nIOC0[7:0] = 0000_xxxx_B

ENCA_nIOC1[7:0] = xxxx_xxxx_B ^{注1}

x は任意設定。レジスタ仕様については、ENCA 章を参照。

注1. ENCA_nIOC1[3:2]、[1:0] は 00_B (エッジ検出なし) を除く。エッジ検出必須のため。

23.2.3.13 TAUD 入力選択機能**(1) 概要**

TAUD_n の入力信号を選択する機能です。TAUD_nTTIN_{m/m+1} 入力信号として TAUD0Im/m+1 信号、TAUD1Im/m+1 信号のいずれかを選択可能です。(m は 0 ~ 14 の偶数)

(2) 構成

TAUD_n 入力信号と PIC1A を組み合わせることで、TAUD 入力選択機能を実現します。

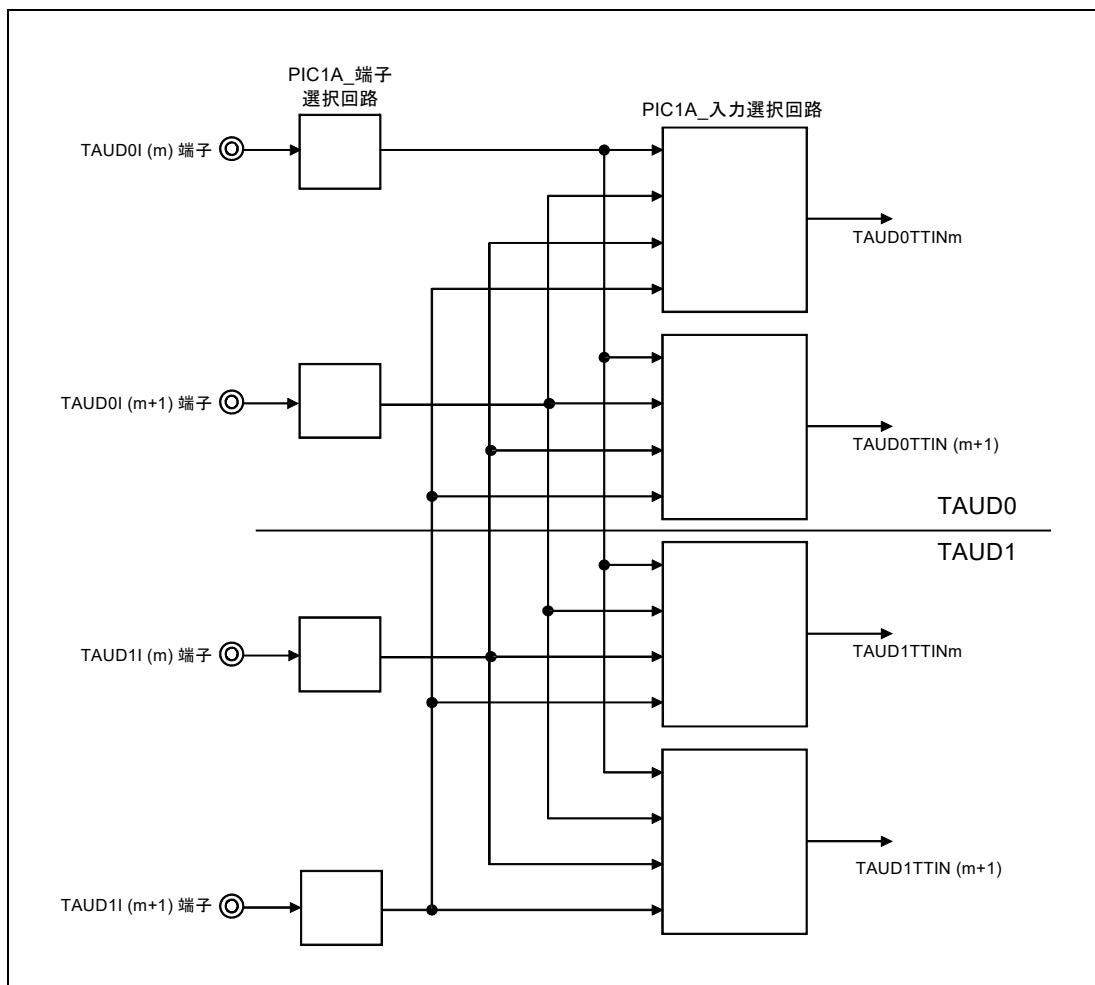


図 23.50 TAUD 入力選択機能ブロック図

(3) レジスタ

本機能で使用する PIC1A レジスタおよび設定内容を示します。

PIC1A_端子選択回路

PIC1A の端子選択回路の出力は TAUD_n の外部チャンネル入力端子を選択してください。

PIC1A_入力選択回路

以下の設定レジスタで選択してください。

PIC1ATAUD0SEL

PIC1ATAUD1SEL

設定レジスタの詳細については、**23.2.2.14** ~ **23.2.2.15**、**23.2.2.22** ~ **23.2.2.23**、**23.2.2.25**、**23.2.2.28** を参照してください。

(4) 機能

本機能の詳細を TAUD0TTIN[1:0] の信号選択を例に説明します。

TAUD0TTIN[1:0] の信号選択例を下表に示します。例えば、PIC1AREG31[11:6] を 000000、PIC1ATAUD0SEL[3:2], PIC1ATAUD0SEL[1:0] を 01 に設定すると、TAUD0 の TAUD0TTIN1 入力に TAUD0I0 端子信号、TAUD0TTIN0 入力に TAUD0I1 端子信号が入力されます。PIC1ATAUD0SEL[3], PIC1ATAUD0SEL[1] を 1 に設定すると TAUD1 の TIN 端子信号が選択されます。

レジスタ設定	TAUD0TTIN0
PIC1ATAUD0SEL	
[1:0]	
00 _B	TAUD0I0 端子
01 _B	TAUD0I1 端子
10 _B	TAUD1I0 端子
11 _B	TAUD1I1 端子

レジスタ設定	TAUD0TTIN1
PIC1ATAUD0SEL	
[3:2]	
00 _B	TAUD0I1 端子
01 _B	TAUD0I0 端子
10 _B	TAUD1I1 端子
11 _B	TAUD1I0 端子

(5) フローチャート

TAUDn タイマ動作前に PIC1A 内の設定を行ってください。

23.2.3.14 TSG 出力とロウ／ハイ出力切り替え機能

(1) 概要

TSG 出力を任意のタイミングで、ロウ出力またはハイ出力に切り替え可能です。

(2) 構成

TSG 出力を PIC1A 経由で出力します。本機能を使用する場合は、TSG 出力は 1 クロック (CLKC_HSB) 遅れます。

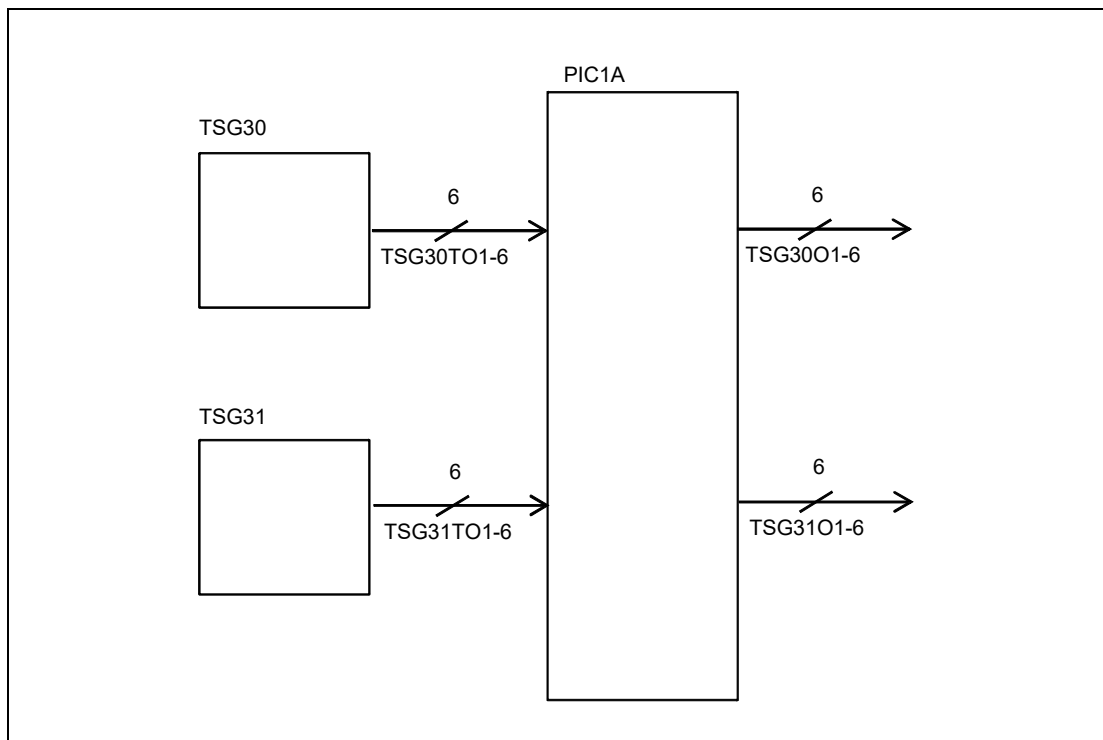


図 23.51 TSG 出力とロウ／ハイ出力切り替え機能ブロック図

(3) レジスタ

下図に PIC1A のブロック図を示します。

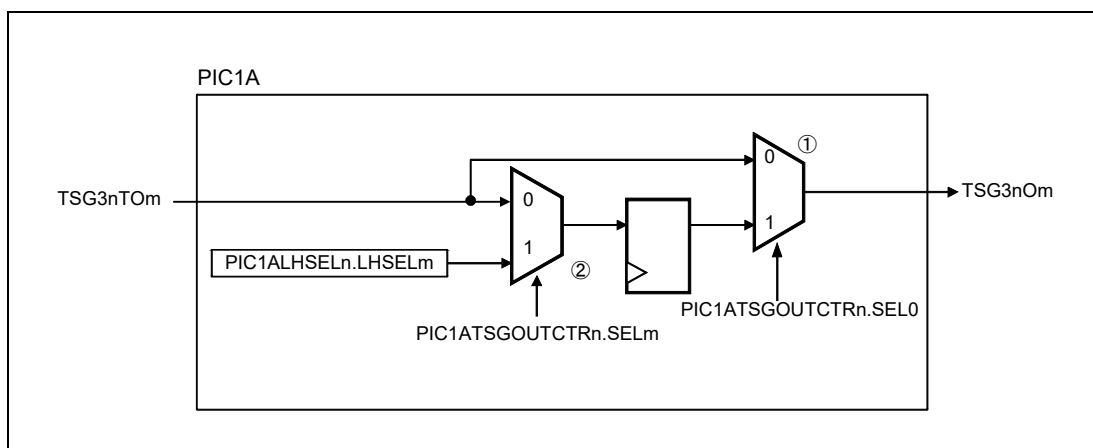


図 23.52 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

① 本機能の ON/OFF 切り替え

$PIC1ATSGOUTCTRn[0] = 0_B$ (OFF)、 1_B (ON)

② ロウ/ハイ出力切り替え

$PIC1ALHSELn[m] = 0_B$ (ロウ出力)、 1_B (ハイ出力)

$PIC1ATSGOUTCTRn.SELm = 0_B$ (TSG3n 出力)、 1_B (ロウ/ハイ出力)

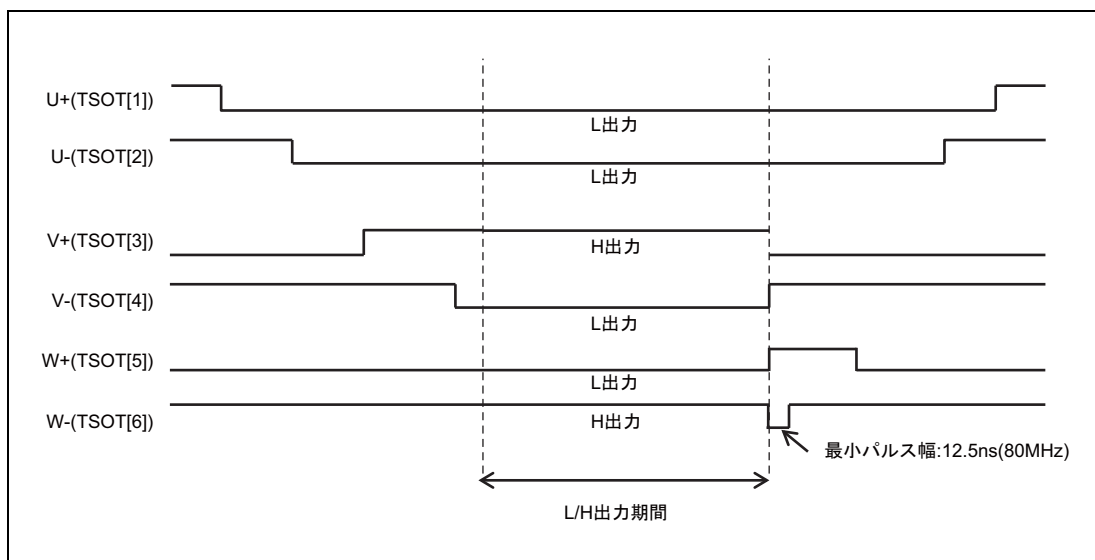
注 意

①は TSG3n 起動前に設定してください。動作中の切り替えは禁止です。

(4) 機能

本機能の詳細を、切り替え機能タイミングを例に説明します。

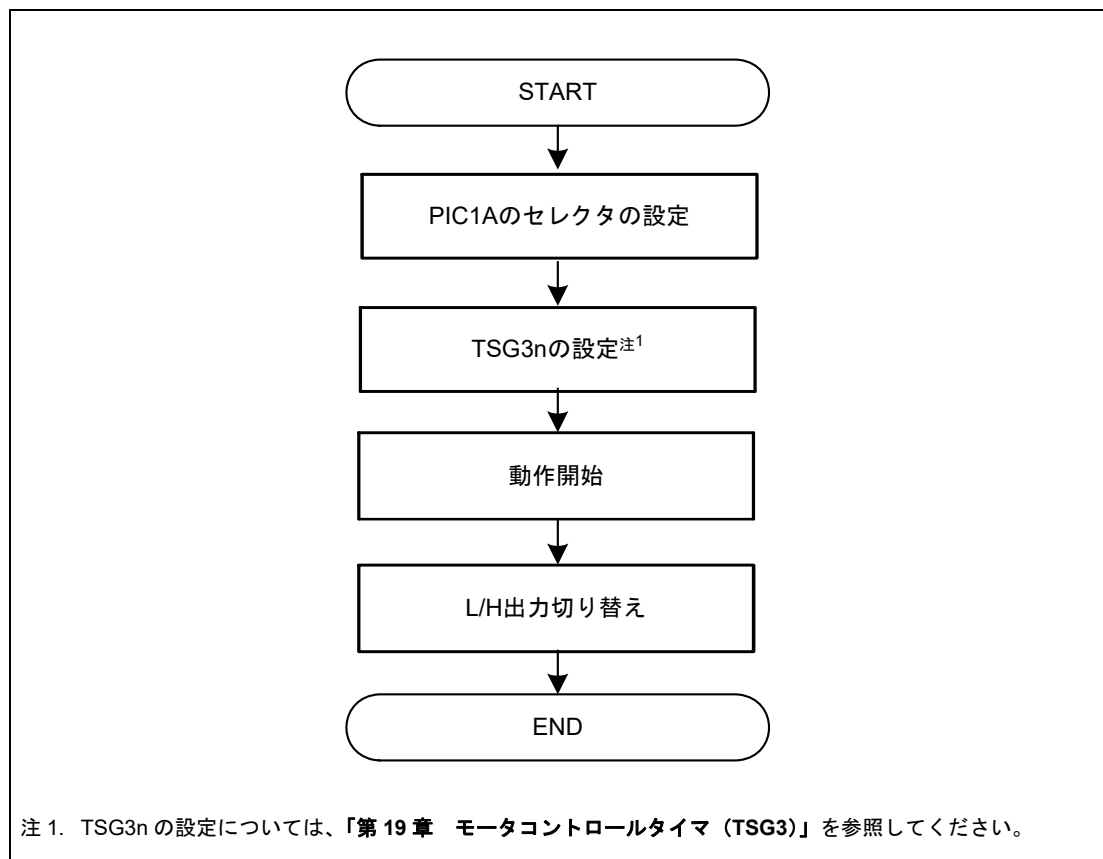
下図にタイミング図を示します。



TSG 出力を任意のタイミングで、ロウ出力またはハイ出力に切り替え可能です。ロウ出力またはハイ出力の切り替えは、6相出力を個別に切り替えることや、同時に切り替えることができます。切り替えタイミングにより、CLKC_HSBの最小パルス（内部）が発生します。

(5) フローチャート

本機能のフローチャートを以下に示します。



23.2.3.15 Hi-Z 制御機能

(1) 概要

3 相出力信号を遮断し、Hi-Z 状態へ変更する機能です。

Hi-Z 制御機能の目的および動作の詳細については、「**20.4.1 非同期 Hi-Z 制御機能**」を参照してください。

(2) 構成

PIC1A にて ESO_n, ERROROUTZ, INTTSG30IER, INTTSG31IER のマスク処理と各信号の OR を行い、TAPAn に Hi-Z 制御用の信号を出力します。

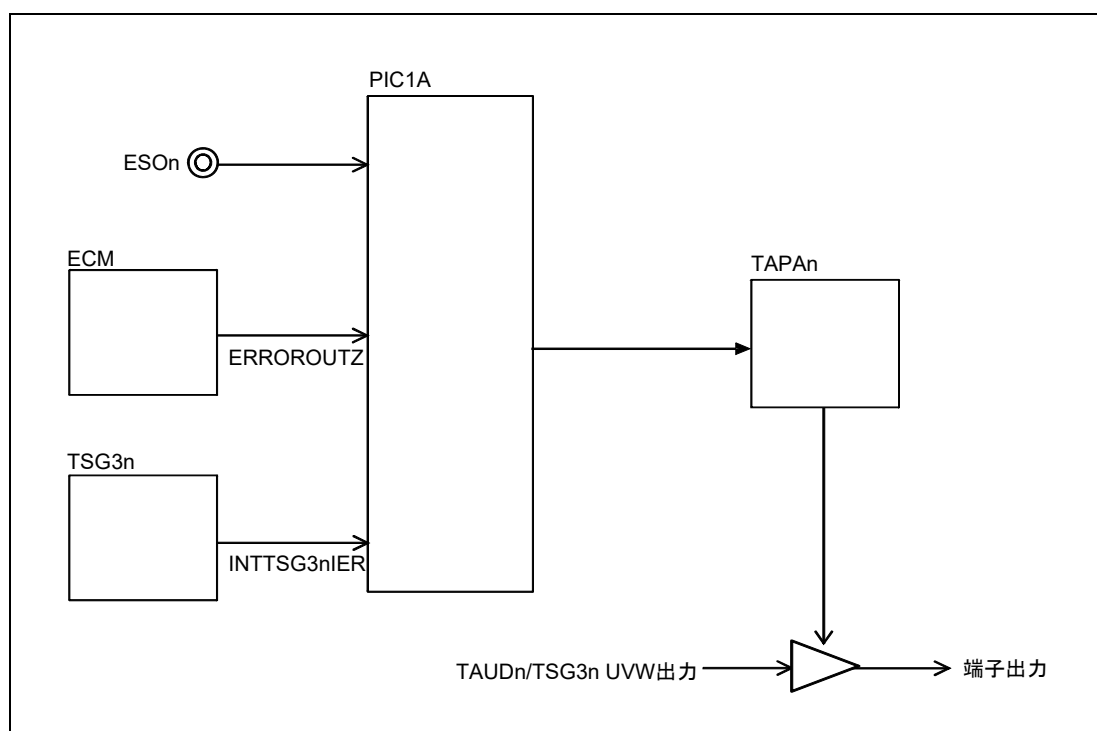


図 23.53 Hi-Z 制御のブロック図

(3) レジスタ

下図に PIC1A のブロック図を示します。

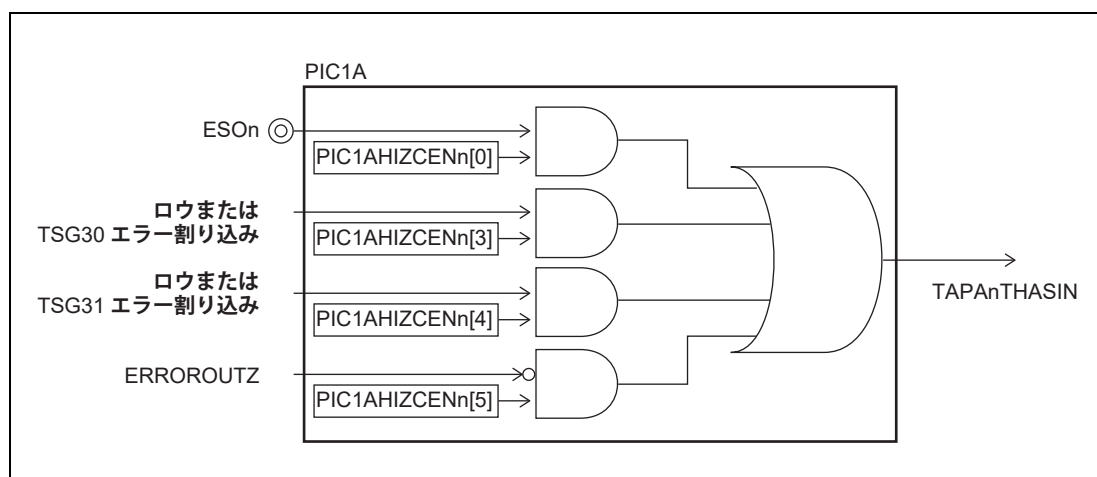


図 23.54 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

PIC1AHIZCENn[5] = 1_B (許可)、0_B (禁止) : ERROROUTZ

PIC1AHIZCENn[0] = 1_B (許可)、0_B (禁止) : ESO_n

PIC1AHIZCENn[3] = 1_B (許可)、0_B (禁止) : INTTSG30IER

PIC1AHIZCENn[4] = 1_B (許可)、0_B (禁止) : INTTSG31IER

n = 0, 1 は TAUD0 / TAUD1 用です。PIC1AHIZCENn[3]、PIC1AHIZCENn[4] はありません。

n = 2 は TSG30 用です。PIC1AHIZCENn[4] はありません。

n = 3 は TSG31 用です。PIC1AHIZCENn[3] はありません。

(4) 機能

PIC1A では、Hi-Z 制御要因となる ESO_n 端子、ERROROUTZ、INTTSG30IER、INTTSG31IER のマスク処理および各信号の OR を TAPAn に出力します。

TAPA による Hi-Z 制御については「**20.4.2.2 基本動作**」を参照してください。

(5) フローチャート

Hi-Z 制御開始前に PIC1A の設定を行ってください。

TAPA の動作フローについては「**20.4.2.3 操作手順**」を参照してください。

23.3 ペリフェラルインタコネクション 2 (PIC2B)

23.3.1 概要

23.3.1.1 機能概要

ペリフェラルインタコネクション 2 (PIC2B) は、各 IP から出力される内部トリガおよび外部トリガ信号を用いて ADCC ハードウェアトリガ信号を生成することができます。

23.3.2 レジスタ

23.3.2.1 レジスタ一覧

以下にレジスタ一覧を示します。

<PIC2B_base> は「[23.1.2 レジスタベースアドレス](#)」を参照してください。

表 23.40 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 0	PIC2BADCC0TSEL0	<PIC2B_base> + 00 _H
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 1	PIC2BADCC0TSEL1	<PIC2B_base> + 04 _H
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 2	PIC2BADCC0TSEL2	<PIC2B_base> + 08 _H
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 3	PIC2BADCC0TSEL3	<PIC2B_base> + 0C _H
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 4	PIC2BADCC0TSEL4	<PIC2B_base> + 10 _H
PIC2B	AD コンバータ 0 トリガエッジ選択制御レジスタ	PIC2BADCC0EDGSEL	<PIC2B_base> + 1C _H
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 0	PIC2BADCC1TSEL0	<PIC2B_base> + 20 _H
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 1	PIC2BADCC1TSEL1	<PIC2B_base> + 24 _H
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 2	PIC2BADCC1TSEL2	<PIC2B_base> + 28 _H
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 3	PIC2BADCC1TSEL3	<PIC2B_base> + 2C _H
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 4	PIC2BADCC1TSEL4	<PIC2B_base> + 30 _H
PIC2B	AD コンバータ 1 トリガエッジ選択制御レジスタ	PIC2BADCC1EDGSEL	<PIC2B_base> + 3C _H
PIC2B	ADCC0, 1 共通		
PIC2B	AD コンバータトリガ出力制御レジスタ 400	PIC2BADTEN400	<PIC2B_base> + 40 _H
PIC2B	AD コンバータトリガ出力制御レジスタ 401	PIC2BADTEN401	<PIC2B_base> + 44 _H
PIC2B	AD コンバータトリガ出力制御レジスタ 402	PIC2BADTEN402	<PIC2B_base> + 48 _H
PIC2B	AD コンバータトリガ出力制御レジスタ 403	PIC2BADTEN403	<PIC2B_base> + 4C _H
PIC2B	AD コンバータトリガ出力制御レジスタ 404	PIC2BADTEN404	<PIC2B_base> + 50 _H
PIC2B	AD コンバータトリガ出力制御レジスタ 410	PIC2BADTEN410	<PIC2B_base> + 60 _H
PIC2B	AD コンバータトリガ出力制御レジスタ 411	PIC2BADTEN411	<PIC2B_base> + 64 _H
PIC2B	AD コンバータトリガ出力制御レジスタ 412	PIC2BADTEN412	<PIC2B_base> + 68 _H
PIC2B	AD コンバータトリガ出力制御レジスタ 413	PIC2BADTEN413	<PIC2B_base> + 6C _H
PIC2B	AD コンバータトリガ出力制御レジスタ 414	PIC2BADTEN414	<PIC2B_base> + 70 _H

23.3.2.2 PIC2BADCCnTSELx — AD コンバータ n トリガ選択制御レジスタ x

PIC2BADCCnTSELx レジスタは、ADCCn のスキャングループ x のトリガを選択するレジスタです。(n = 0、1, x = 0 ~ 4)。

アドレス Base = FFDD 1000_H
 Base + 00_H (n = 0, x = 0), Base + 04_H (n = 0, x = 1), Base + 08_H (n = 0, x = 2),
 Base + 0C_H (n = 0, x = 3), Base + 10_H (n = 0, x = 4),
 Base + 20_H (n = 1, x = 0), Base + 24_H (n = 1, x = 1), Base + 28_H (n = 1, x = 2),
 Base + 2C_H (n = 1, x = 3), Base + 30_H (n = 1, x = 4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	PIC2BADCCnTSELx[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PIC2BADCCnTSELx[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.41 PIC2BADCCnTSELx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 22	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
21	PIC2BADCCnTSELx21	ADCCn のスキャングループ x のトリガソースとして RDC1 励磁タイマ (ET) A/D 変換開始トリガ信号出力 RDC1ETCNT を選択する。 ^{注 1} 0 : RDC1ETCNT を選択しない 1 : RDC1ETCNT を選択する
20	PIC2BADCCnTSELx20	ADCCn のスキャングループ x のトリガソースとして RDC1Phi コンペア 0 一致割り込み出力 RDC1COMP0INT を選択する。 ^{注 1} 0 : RDC1COMP0INT を選択しない 1 : RDC1COMP0INT を選択する
19	PIC2BADCCnTSELx19	ADCCn のスキャングループ x のトリガソースとして RDC0 励磁タイマ (ET) A/D 変換開始トリガ信号出力 RDC0ETCNT を選択する。 0 : RDC0ETCNT を選択しない 1 : RDC0ETCNT を選択する
18	PIC2BADCCnTSELx18	ADCCn のスキャングループ x のトリガソースとして RDC0Phi コンペア 0 一致割り込み出力 RDC0COMP0INT を選択する。 0 : RDC0COMP0INT を選択しない 1 : RDC0COMP0INT を選択する
17	PIC2BADCCnTSELx17	ADCCn のスキャングループ x のトリガソースとして TAPA1TADOUT1 端子を選択する。 0 : TAPA1TADOUT1 端子を選択しない 1 : TAPA1TADOUT1 端子を選択する
16	PIC2BADCCnTSELx16	ADCCn のスキャングループ x のトリガソースとして TAPA0TADOUT1 端子を選択する。 0 : TAPA0TADOUT1 端子を選択しない 1 : TAPA0TADOUT1 端子を選択する
15 ~ 13	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
12	PIC2BADCCnTSELx12	ADCCn のスキャングループ x のトリガソースとして EMU チャネル 1 の ADC スキャングループ変換起動信号 EMU1ADT を選択する。 0 : EMU1ADT を選択しない 1 : EMU1ADT を選択する

表 23.41 PIC2BADCCnTSELx レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	PIC2BADCCnTSELx11	ADCCn のスキャングループ x のトリガソースとして EMU チャンネル 0 の ADC スキャングループ変換起動信号 EMU0ADT を選択する。 0 : EMU0ADT を選択しない 1 : EMU0ADT を選択する
10	PIC2BADCCnTSELx10	ADCCn のスキャングループ x のトリガソースとして TAPA1TADOUT0 端子を選択する。 0 : TAPA1TADOUT0 端子を選択しない 1 : TAPA1TADOUT0 端子を選択する
9	PIC2BADCCnTSELx09	ADCCn のスキャングループ x のトリガソースとして TAPA0TADOUT0 端子を選択する。 0 : TAPA0TADOUT0 端子を選択しない 1 : TAPA0TADOUT0 端子を選択する
8	PIC2BADCCnTSELx08	ADCCn のスキャングループ x のトリガソースとして ADTRGnZ 端子を選択する。 0 : ADTRGnZ 端子を選択しない 1 : ADTRGnZ 端子を選択する
7	PIC2BADCCnTSELx07	ADCCn のスキャングループ x のトリガソースとして TSG1TSTADT1 を選択する。(TSG1TSTADT1 信号) 0 : TSG1TSTADT1 を選択しない 1 : TSG1TSTADT1 を選択する
6	PIC2BADCCnTSELx06	ADCCn のスキャングループ x のトリガソースとして TSG1TSTADT0 を選択する。(TSG1TSTADT0 信号) 0 : TSG1TSTADT0 を選択しない 1 : TSG1TSTADT0 を選択する
5	PIC2BADCCnTSELx05	ADCCn のスキャングループ x のトリガソースとして TSG0TSTADT1 を選択する。(TSG0TSTADT1 信号) 0 : TSG0TSTADT1 を選択しない 1 : TSG0TSTADT1 を選択する
4	PIC2BADCCnTSELx04	ADCCn のスキャングループ x のトリガソースとして TSG0TSTADT0 を選択する。(TSG0TSTADT0 信号) 0 : TSG0TSTADT0 を選択しない 1 : TSG0TSTADT0 を選択する
3	PIC2BADCCnTSELx03	ADCCn のスキャングループ x のトリガソースとして ENCAT1INT1 を選択する。 0 : ENCAT1INT1 を選択しない 1 : ENCAT1INT1 を選択する
2	PIC2BADCCnTSELx02	ADCCn のスキャングループ x のトリガソースとして ENCAT0INT1 を選択する。 0 : ENCAT0INT1 を選択しない 1 : ENCAT0INT1 を選択する
1	PIC2BADCCnTSELx01	ADCCn のスキャングループ x のトリガソースとして PIC2ADTEN41x レジスタで選択されたトリガを選択する。 0 : PIC2ADTEN41x レジスタで選択されたトリガを選択しない 1 : PIC2ADTEN41x レジスタで選択されたトリガを選択する
0	PIC2BADCCnTSELx00	ADCCn のスキャングループ x のトリガソースとして PIC2ADTEN40x レジスタで選択されたトリガを選択する。 0 : PIC2ADTEN40x レジスタで選択されたトリガを選択しない 1 : PIC2ADTEN40x レジスタで選択されたトリガを選択する

注 1. C1M では RDC1 は非搭載であるため、0 を設定してください。

23.3.2.3 PIC2BADCCnEDGSEL — AD コンバータトリガエッジ制御レジスタ

PIC2BADCCnEDGSEL レジスタは ADCC トリガを生成するワンショットパルス発生回路に対して有効エッジの選択を行うレジスタです。

ADC 外部端子トリガは負論理で入力されますが、トリガ要因選択時は、正論理に変換します。エッジ検出は、選択後のトリガ要因に対して行うため、ADC 外部端子信号に対しては、エッジの定義が逆になることに注意してください。(00 を設定すると、ADC 外部端子トリガ ADTRG0Z、ADTRG1Z の立ち下がリエッジを選択します。)

アドレス Base = FFDD 1000_H
Base + 1C_H (n = 0), Base + 3C_H (n = 1)

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC2BADCCnEDGSEL[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.42 PIC2BADCCnEDGSEL レジスタの内容

ビット位置	ビット名	機能
15 ~ 10	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
9、8	PIC2BADCCnEDGSEL[9:8]	ADCCn のスキヤングroup 4 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がリエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
7、6	PIC2BADCCnEDGSEL[7:6]	ADCCn のスキヤングroup 3 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がリエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
5、4	PIC2BADCCnEDGSEL[5:4]	ADCCn のスキヤングroup 2 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がリエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
3、2	PIC2BADCCnEDGSEL[3:2]	ADCCn のスキヤングroup 1 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がリエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
1、0	PIC2BADCCnEDGSEL[1:0]	ADCCn のスキヤングroup 0 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がリエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)

23.3.2.4 PIC2BADTEN4nx — AD コンバータトリガ出力選択制御レジスタ

PIC2BADTEN4nx レジスタは ADCC トリガとして TAUDn チャンネル m からのトリガソース選択許可を行うレジスタです。(n = 0, 1, x = 0 ~ 4)。本レジスタは ADCC0, 1 共通です。

アドレス Base = FFDD 1000_H
 Base + 40_H (n = 0, x = 0), Base + 44_H (n = 0, x = 1), Base + 48_H (n = 0, x = 2),
 Base + 4C_H (n = 0, x = 3), Base + 50_H (n = 0, x = 4),
 Base + 60_H (n = 1, x = 0), Base + 64_H (n = 1, x = 1), Base + 68_H (n = 1, x = 2),
 Base + 6C_H (n = 1, x = 3), Base + 70_H (n = 1, x = 4)

リセット後の値 0000_H

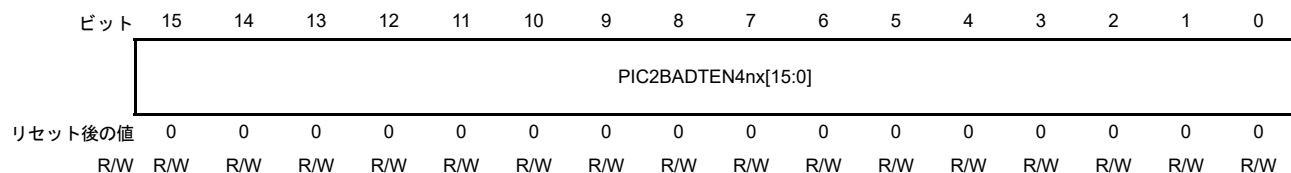


表 23.43 PIC2BADTEN4nx レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIC2BADTEN4nxm (m = 0 ~ 15)	TAUDn のチャンネル m からのトリガソースを設定する。 0: TAUDn のチャンネル m のトリガソースを ADCC トリガとして選択可能にしない。 1: TAUDn のチャンネル m のトリガソースを ADCC トリガとして選択可能にする。

23.3.3 機能

23.3.3.1 ADCC トリガ選択機能

(1) 概要

各 IP からの信号を使って、各チャンネルグループの ADCC ハードウェアトリガ信号を生成する機能です。選択可能な IP は、TAUD0、TAUD1、ENCA0、ENCA1、TSG30、TSG31、TAPA0、TAPA1、EMU、RDC0、RDC1 **注1** です。

外部トリガ信号 (ADTRG) はロウアクティブであるため、PIC2B にて論理反転を行います。

注1. C1M では RDC1 は非搭載です。

(2) 構成

各 IP と PIC2B を組み合わせることで、ADCC トリガ選択機能を実現します。ADCC トリガ選択機能のブロック図を以下に示します。

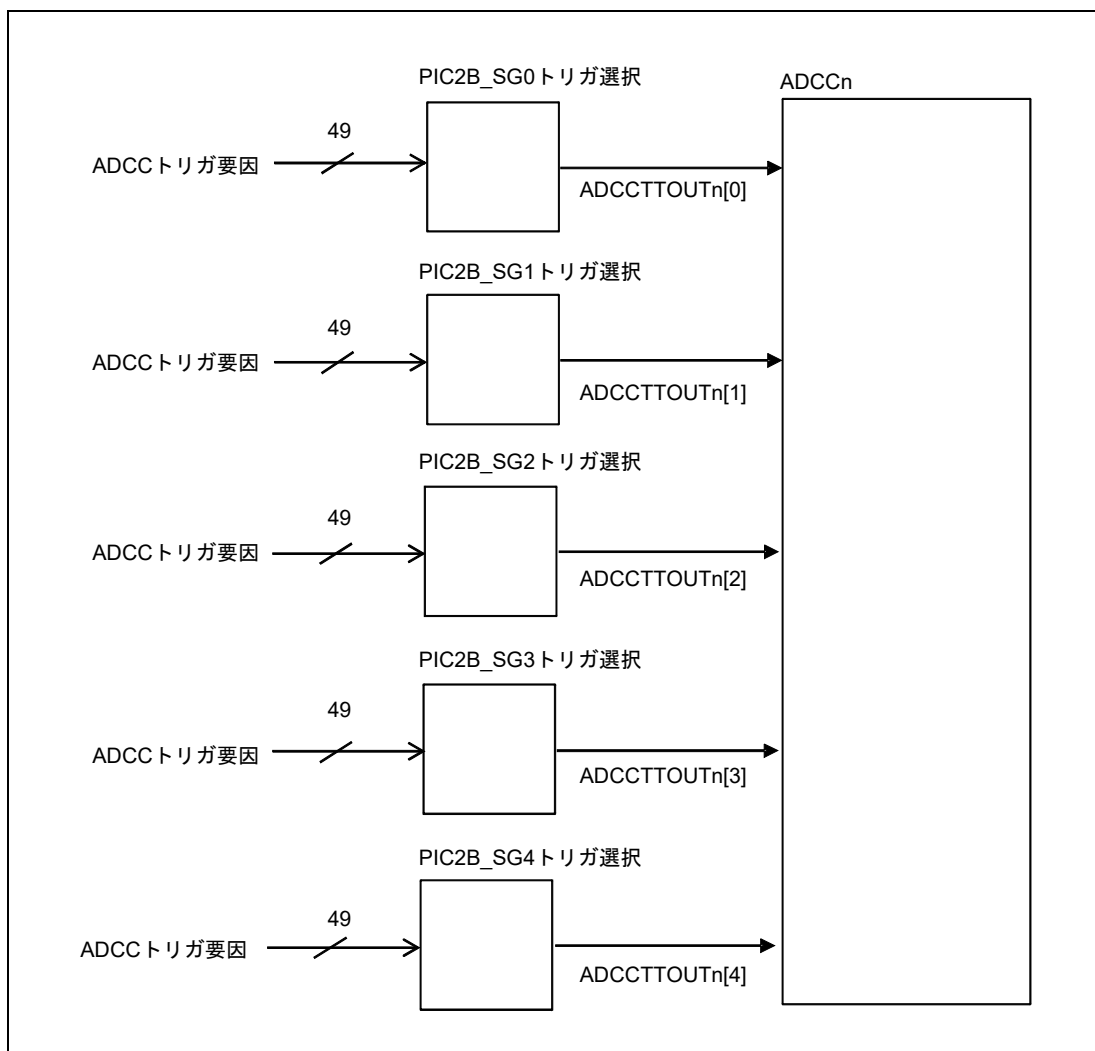


図 23.55 ADCC トリガ選択機能ブロック図

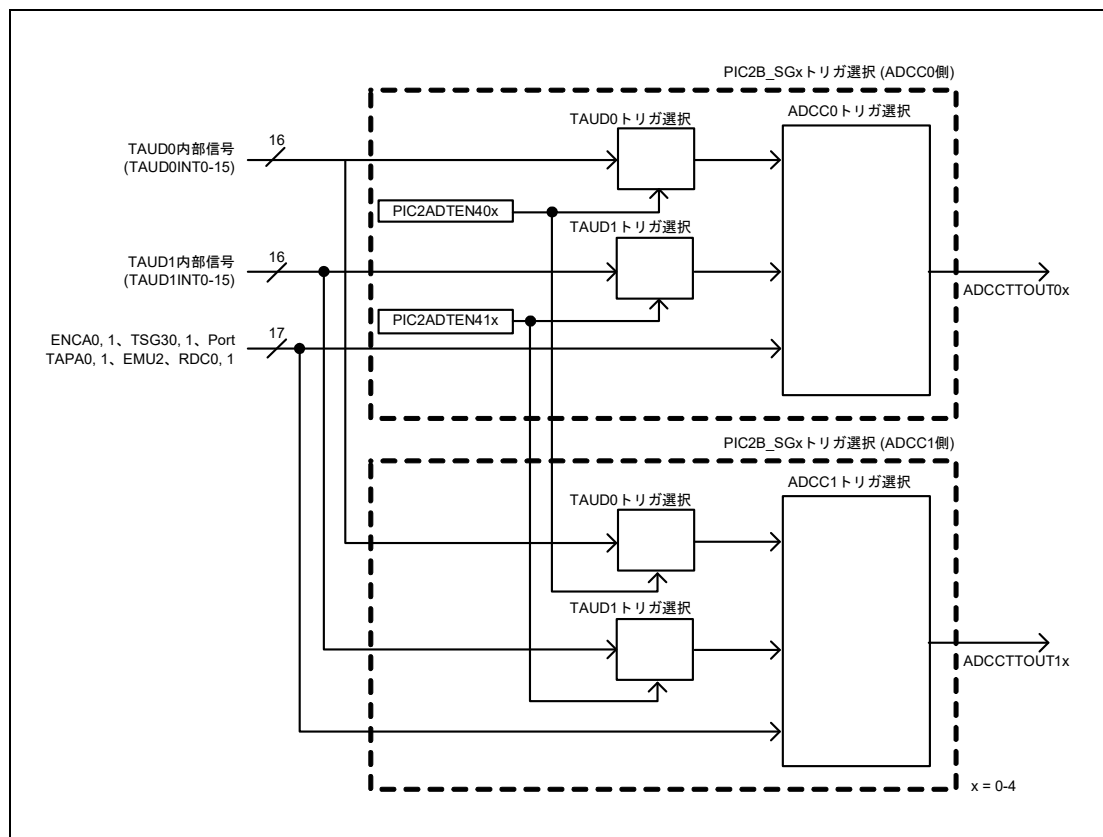


図 23.56 PIC2B_SG x トリガ選択ブロック図

(3) レジスタ

本機能で使用する PIC2B の設定レジスタについては、**図 23.57 PIC2B ブロック図**および、**23.3.2.2 ~ 23.3.2.4** を参照してください。

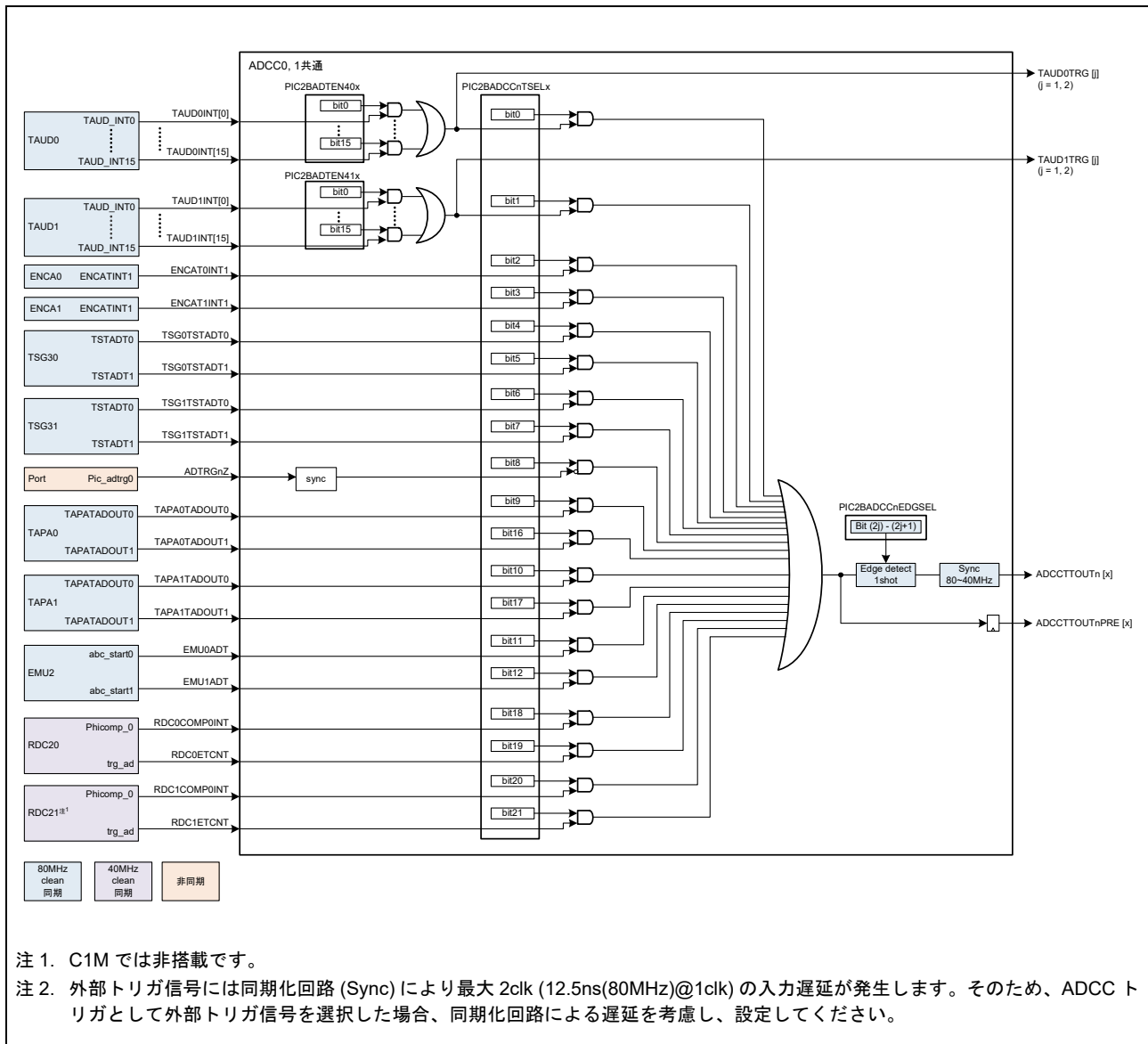


図 23.57 PIC2B ブロック図

(4) 機能

ADCCn のチャンネルグループごとに、AD トリガ信号を任意に選択可能です。

AD トリガ信号は、立ち上がりエッジ、立ち下がりエッジ、両エッジ出力が選択可能です。

ADCC0, ADCC1 トリガにおいて、同じ番号のスキャングループでの TAUD トリガは共通です。

(5) フローチャート

本機能は、AD 動作前に設定してください。

23.3.3.2 TAUD トリガ出力機能

(1) 概要

TAUD の各チャンネルの割り込み信号のマスク処理と各信号の OR を行い、TAPA に TAUD トリガ信号を出力します。本機能はスキャングループ 1, 2 のみの機能です。

TAUD トリガ信号は TAPA の A/D コンバータ変換トリガ信号のソースになります。詳細は TAPA 章の A/D コンバータ変換トリガ選択機能を参照してください。

(2) 構成

PIC2B により TAUD トリガ出力機能を実現します。TAUD トリガ出力機能のブロック図を以下に示します。

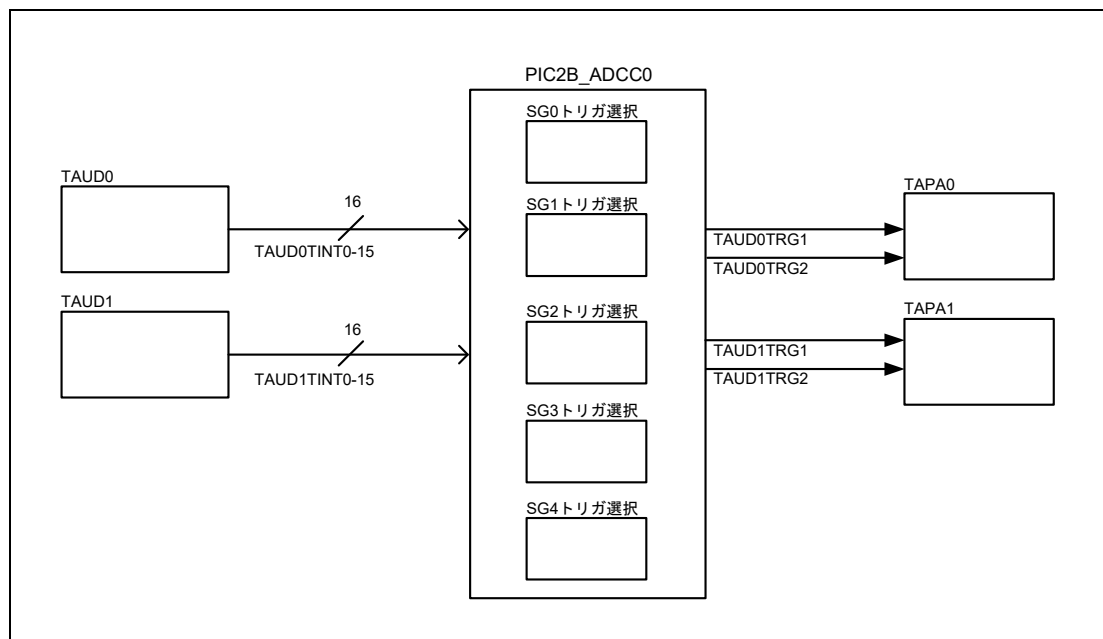


図 23.58 TAUD トリガ出力機能 ブロック図

(3) レジスタ

本機能で使用する PIC2B の設定レジスタについては、**図 23.57 PIC2B ブロック図**および、「**23.3.2.4 PIC2BADTEN4nx — AD コンバータトリガ出力選択制御レジスタ**」を参照してください。

本機能で使用する PIC2B レジスタの設定値を以下に示します。

PIC2BADTEN40x = (任意)

PIC2BADTEN41x = (任意)

PIC2BADCC0TSELx [1:0] = 00_B

x = 1, 2

(4) 機能

TAUD の各チャンネルの割り込み信号のマスク処理と各信号の OR を行い、TAPA に TAUD トリガ信号を出力します。

注 意

本機能はスキヤングループ 1, 2 のみの機能です。

スキヤングループ 1, 2 において、本機能を使用する際、TAUD トリガ選択は TAPA 経由の経路で行い、ADCC トリガ選択機能で TAUD トリガの直接経路を選択しないでください。

(5) フローチャート

本機能は、AD 動作前に設定してください。

第24章 エンハンスドモータコントロールユニット (EMU2)

エンハンスドモータコントロールユニット2 (EMU2 : Enhanced Motor control Unit 2) は、A/D コンバータ、R/D コンバータ、TSG3 と組み合わせて使用することにより、CPU 負荷を軽減したモータ制御を行うことができます。EMU2 は2チャンネル搭載されており、2モータの同時制御が可能です。

24.1 RH850/C1x の EMU2 の特長

24.1.1 ユニット数

本製品は、以下に示すユニット数の EMU2 を搭載しています。

表 24.1 ユニット数

製品	RH850/C1x
ユニット数	1 (2チャンネル)
名称	EMU2n (n = 0, 1)

表 24.2 添字

添字	意味
n	本章では、EMU2 の各チャンネルを「n」(n = 0, 1) で識別します。たとえば、EMU2n プロテクトレジスタは EMU2nPRT と記述します。
i	本章では、EMU2n 割り込みを「i」(i = 0 ~ 4) で識別します。
m	本章では、ADCC の各ユニットを「m」(m = 0, 1) で識別します。
k	本章では、ADCC の仮想チャンネルを「k」(k = 0 ~ 2) で識別します。

24.1.2 レジスタベースアドレス

EMU2 のベースアドレスを以下の表に示します。

EMU2 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 24.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<EMU20_base>	FFF9 9000 _H
<EMU21_base>	FFF9 A000 _H

24.1.3 クロック供給

EMU2 のクロック供給を以下の表に示します。

表 24.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
EMU2	PCLK	CLK_HSB (高速周辺クロック)
	CCLK	CLKC_HSB (非変調高速周辺クロック)

24.1.4 割り込み要求

EMU2 は、EMU2n 割り込み i ($n=0, 1$) ($i=0 \sim 4$) を持ち、それぞれ独立したベクタアドレスが割り当てられています。割り込み要因は EMU2nINTi レジスタで選択できます。

EMU2n 割り込みが発生すると、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、優先順位は割り込みコントローラの設定により変更可能です。詳細については、「割り込み (INTC)」の章を参照してください。

EMU2n 割り込み 0、1、2、3、4 すべての割り込みにおいて DMAC は起動可能です。

表 24.5 に EMU2n 割り込み要因選択レジスタを、**表 24.6** に EMU2n 割り込みで選択できる要因を示します。

表 24.5 EMU2n 割り込み要因選択レジスタ

名称	割り込み要因を選択できるレジスタ	割り込み番号	DMA トリガ番号	DTS トリガ番号
EMU20 割り込み 0	EMU20 割り込み要因選択レジスタ 0	56	96	78
EMU20 割り込み 1	EMU20 割り込み要因選択レジスタ 1	57	97	79
EMU20 割り込み 2	EMU20 割り込み要因選択レジスタ 2	58	98	80
EMU20 割り込み 3	EMU20 割り込み要因選択レジスタ 3	59	99	81
EMU20 割り込み 4	EMU20 割り込み要因選択レジスタ 4	60	100	82
EMU21 割り込み 0	EMU21 割り込み要因選択レジスタ 0	61	101	83
EMU21 割り込み 1	EMU21 割り込み要因選択レジスタ 1	62	102	84
EMU21 割り込み 2	EMU21 割り込み要因選択レジスタ 2	63	103	85
EMU21 割り込み 3	EMU21 割り込み要因選択レジスタ 3	64	104	86
EMU21 割り込み 4	EMU21 割り込み要因選択レジスタ 4	65	105	87

表 24.6 EMU2n 割り込みで選択できる要因

名称	選択できる割り込み要因
EMU20 割り込み要因選択レジスタ 0	以下から選択可能 速度計測タイマオーバーフロー、独立矩形W相コンペア一致、 独立矩形V相コンペア一致、独立矩形U相コンペア一致、角度コンペア1一致、角度コンペア0一致、キャリアカウンタ、検算用バッファリング完了、 等価チェックエラー、入力IP完了、PI制御IP完了、PWM IP完了、矩形IP完了
EMU20 割り込み要因選択レジスタ 1	
EMU20 割り込み要因選択レジスタ 2	
EMU20 割り込み要因選択レジスタ 3	
EMU20 割り込み要因選択レジスタ 4	
EMU21 割り込み要因選択レジスタ 0	以下から選択可能 速度計測タイマオーバーフロー、独立矩形W相コンペア一致、 独立矩形V相コンペア一致、独立矩形U相コンペア一致、角度コンペア1一致、角度コンペア0一致、キャリアカウンタ、検算用バッファリング完了、 等価チェックエラー、入力IP完了、PI制御IP完了、PWM IP完了、矩形IP完了
EMU21 割り込み要因選択レジスタ 1	
EMU21 割り込み要因選択レジスタ 2	
EMU21 割り込み要因選択レジスタ 3	
EMU21 割り込み要因選択レジスタ 4	

24.1.5 リセット要因

EMU2 のリセット要因を以下に示します。

表 24.7 リセット要因

ユニット名	リセット要因
EMU2	すべてのリセット要因

24.2 概要

24.2.1 機能概要

本モジュールは、A/D コンバータで測定した電流値と、R/D コンバータで取得したモータの角度値を基に、三相 PWM 波形のデューティ値を算出したり、矩形波パタンの生成をハードウェアのみで高速に行います。本モジュールで生成した PWM デューティ値や矩形波パターンを基に、TSG3 が PWM 波形や矩形波を出力します。

また、各 IP での処理完了時やコンペアマッチなどで割り込みを発生する事ができるため、一部の演算を CPU で行うなど柔軟な対応も可能です。

表 24.8 に EMU2 の仕様概要を、**表 24.9** に演算部各 IP の最長処理時間を、**図 24.1** に EMU2 の全体構成を示します。

表 24.8 EMU2 の仕様概要

項目	機能	説明
入力部	A/D からの U/V/W 相電流値入力	U/V/W 相電流値の A/D 変換結果を取得します。
	R/D コンバータからのレゾルバ角度入力	レゾルバ角の R/D 変換結果と Z 相を取得します。
	TSG3 からのキャリア山、谷トリガ入力	TSG3 からのキャリアカウンタの山、谷トリガ信号を取得します。
	速度計測タイマ	Z 相のパルス間隔を計測するタイマです。
演算部		専用の 16 ビット / 32 ビット演算器を有しており、CPU と並列処理が可能。
	角度生成機能 (角度生成 IP)	RDC の角度データから電気角を生成し、コンペア一致を検出します。
	入力演算機能 (入力 IP)	モータ電流値と電気角を用いて dq 変換を行います。
	PI 制御機能 (PI 制御 IP)	dq 軸の電流値を用いて PI 制御を行います。
	PWM 値演算機能 (PWM IP)	dq 軸の電圧値と電気角を用いて三相変換を行い、PWM デューティ値を算出します。
矩形波生成部	矩形波パターン演算機能 (矩形 IP)	電圧位相値から、矩形波出力レベルやコンペア値を算出します。
	一括矩形波制御機能 (一括矩形 IP)	角度生成 IP によるコンペア値と電気角一致の検出をトリガとして、U/V/W 相の矩形波出力パターンを一括して切り替えます。
	独立矩形波制御機能 (独立矩形 IP)	U/V/W の各相に 3 種類ずつのコンペア値と出力パターン値を設定し、各相独立したタイミングで矩形波出力パターンを切り替えます。
検算機能		バッファリング機能や等価チェック機能を用いて、演算結果を検算します。
割り込み / DMA 起動要因		以下の要因での割り込み、DMA の起動が可能 <ul style="list-style-type: none"> 入力 IP 完了、PI 制御 IP 完了、PWM IP 完了、矩形 IP 完了 検算用バッファリング完了、等価チェックエラー キャリア信号 (山、谷、山谷両方を選択可能) 角度コンペア 0 一致、角度コンペア 1 一致 独立矩形 U 相角度コンペア一致、独立矩形 V 相角度コンペア一致、独立矩形 W 相角度コンペア一致 速度計測タイマオーバーフロー割り込み

表 24.9 演算部各 IP の最長処理時間

入力 IP	PI 制御	PWM IP	矩形 IP	角度生成 IP
0.6 μ s	0.2 μ s	0.8 μ s	0.2 μ s	0.4 μ s

備考 各 IP の起動受付時間、データ転送時間は含みません。

24.2.2 ブロック図

以下のブロック図は EMU2 の主要なコンポーネントを示しています。

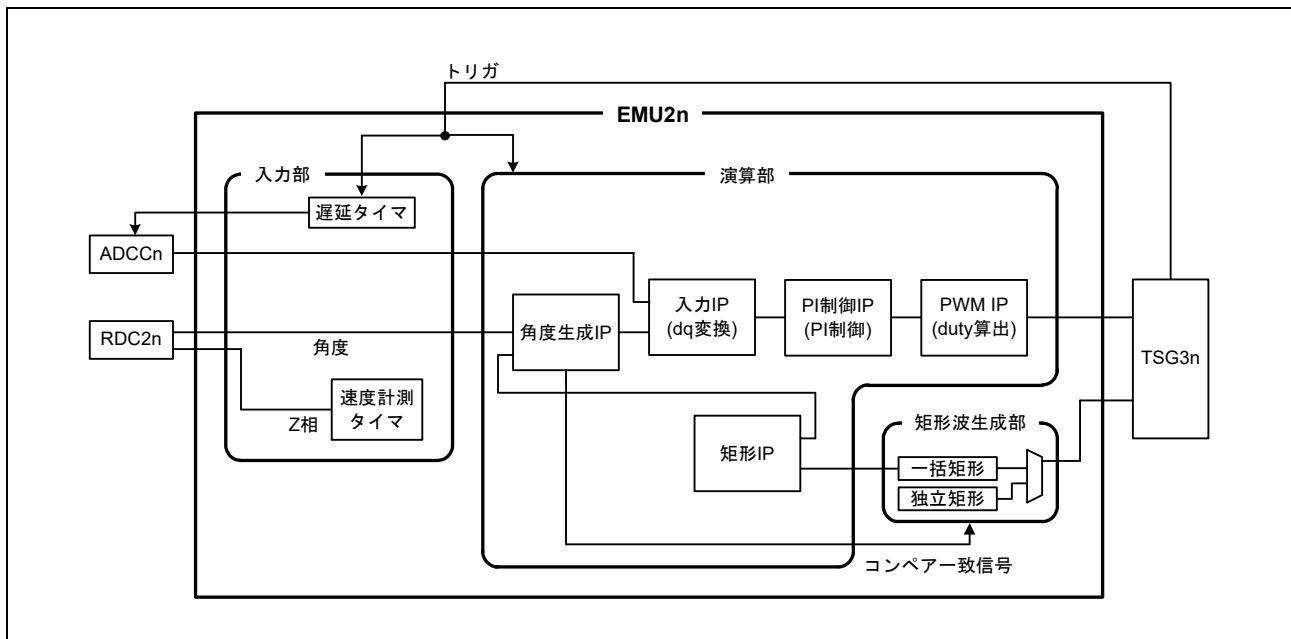


図 24.1 EMU2 のブロック図

EMU2 は、各種センサからの入力信号を制御する入力部、入力データを基にモータ制御演算を行う演算部、矩形波を生成する矩形波生成部から構成されています。

A/D コンバータからのモータ電流値と R/D コンバータからのモータ角度値を入力部で受け取り、その値を基に演算部で三相 PWM デューティを算出し、TSG3 が三相 PWM 波形を出力します。または、入力データを基に矩形波の切り換えタイミングやレベルを算出し、角度生成 IP で検出したコンペアー致信号をトリガとして矩形波生成部で矩形波を生成し、それにデッドタイムを付加した波形を TSG3 から出力することも可能です。

24.3 レジスタ

24.3.1 レジスタ一覧

表 24.10 ~ 表 24.25 に EMU2 のレジスタ一覧を、表 24.26 ~ 表 24.33 に EMU レジスタの機能一覧を示します。何も配置されていないアドレスは予約領域です。アクセスしないでください。

<EMU2n_base> は「24.1.2 レジスタベースアドレス」を参照してください。

表 24.10 EMU2 チャンネル 0 のレジスタ一覧 (全般)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 プロテクトレジスタ	EMU20PRT	<EMU20_base> + 0000 _H
EMU20	EMU20 制御レジスタ	EMU20CTR	<EMU20_base> + 0001 _H
EMU20	EMU20 レジスタ値反映制御レジスタ	EMU20REFCTR	<EMU20_base> + 0002 _H
EMU20	EMU20 IP 起動トリガ要因選択レジスタ	EMU20IPTRG	<EMU20_base> + 0004 _H
EMU20	EMU20 IP ソフトウェア起動レジスタ	EMU20IPSFT	<EMU20_base> + 0005 _H
EMU20	EMU20 A/D 変換開始トリガ選択レジスタ	EMU20ADTRG	<EMU20_base> + 0008 _H
EMU20	EMU20 A/D 変換トリガ要因判別レジスタ	EMU20ADMN	<EMU20_base> + 0009 _H
EMU20	EMU20 A/D 変換トリガ要因判別クリアレジスタ	EMU20ADMNOC	<EMU20_base> + 000A _H
EMU20	EMU20 データ遅延カウンタ値設定レジスタ	EMU20DDCNT	<EMU20_base> + 000C _H
EMU20	EMU20 割り込み要因選択レジスタ 0	EMU20INT0	<EMU20_base> + 0010 _H
EMU20	EMU20 割り込み要因選択レジスタ 1	EMU20INT1	<EMU20_base> + 0012 _H
EMU20	EMU20 割り込み要因選択レジスタ 2	EMU20INT2	<EMU20_base> + 0014 _H
EMU20	EMU20 割り込み要因選択レジスタ 3	EMU20INT3	<EMU20_base> + 0016 _H
EMU20	EMU20 割り込み要因選択レジスタ 4	EMU20INT4	<EMU20_base> + 0018 _H
EMU20	EMU20 割り込み要因判定レジスタ	EMU20INTSD	<EMU20_base> + 001C _H
EMU20	EMU20 割り込み要因判定クリアレジスタ	EMU20INTSDC	<EMU20_base> + 001E _H
EMU20	EMU20 オーパフロー検出結果レジスタ	EMU20OFMON	<EMU20_base> + 0020 _H
EMU20	EMU20 ゼロ除算検出結果レジスタ	EMU20ZDMON	<EMU20_base> + 0021 _H
EMU20	EMU20 オーパフロー検出結果クリアレジスタ	EMU20OFMONC	<EMU20_base> + 0022 _H
EMU20	EMU20 ゼロ除算検出結果クリアレジスタ	EMU20ZDMONC	<EMU20_base> + 0023 _H
EMU20	EMU20 等価チェック機能制御レジスタ	EMU20SMLCTR	<EMU20_base> + 0028 _H
EMU20	EMU20 検算用バッファ制御レジスタ 0	EMU20CBCTR0	<EMU20_base> + 002C _H
EMU20	EMU20 検算用バッファ制御レジスタ 1	EMU20CBCTR1	<EMU20_base> + 002D _H
EMU20	EMU20 検算用バッファタイミング選択レジスタ	EMU20CBTIM	<EMU20_base> + 002E _H

表 24.11 EMU2 チャンネル 0 のレジスタ一覧 (角度生成 IP)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 角度生成 IP 制御レジスタ	EMU20ANGCTR	<EMU20_base> + 0040 _H
EMU20	EMU20 コンペア判定補正レジスタ 0	EMU20CPJUD0	<EMU20_base> + 0042 _H
EMU20	EMU20 コンペア判定補正レジスタ 1	EMU20CPJUD1	<EMU20_base> + 0043 _H
EMU20	EMU20 レゾルバ角ソフト入力レジスタ	EMU20RESTHSFT	<EMU20_base> + 0044 _H
EMU20	EMU20 角度生成 IP オフセットレジスタ	EMU20ANGOFS	<EMU20_base> + 0046 _H
EMU20	EMU20 電気角生成用係数レジスタ	EMU20PXR	<EMU20_base> + 0048 _H
EMU20	EMU20 レゾルバ角レジスタ	EMU20RESTHETA	<EMU20_base> + 004A _H
EMU20	EMU20 電気角レジスタ	EMU20THTEFIX	<EMU20_base> + 004C _H
EMU20	EMU20 レゾルバ極数設定レジスタ	EMU20RESRLD	<EMU20_base> + 004E _H
EMU20	EMU20 レゾルバ極カウントレジスタ	EMU20RESCNT	<EMU20_base> + 004F _H
EMU20	EMU20 速度計測タイマ制御レジスタ	EMU20VMTCTR	<EMU20_base> + 0054 _H
EMU20	EMU20 速度計測タイマカウンタレジスタ	EMU20VMTCNT	<EMU20_base> + 0058 _H
EMU20	EMU20 速度計測タイマキャプチャレジスタ	EMU20VMTCAP	<EMU20_base> + 005C _H
EMU20	EMU20 速度計測タイマオーバーフローレジスタ	EMU20VMTOF	<EMU20_base> + 0060 _H

表 24.12 EMU2 チャンネル 0 のレジスタ一覧 (入力 IP)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 入力 IP 制御レジスタ	EMU20CTRINMD	<EMU20_base> + 0080 _H
EMU20	EMU20 AD0 データレジスタ 0	EMU20AD00	<EMU20_base> + 0084 _H
EMU20	EMU20 AD0 チャンネル 0 原点補正值レジスタ	EMU20ADDOFS00	<EMU20_base> + 0086 _H
EMU20	EMU20 AD0 データレジスタ 1	EMU20AD01	<EMU20_base> + 0088 _H
EMU20	EMU20 AD0 チャンネル 1 原点補正值レジスタ	EMU20ADDOFS01	<EMU20_base> + 008A _H
EMU20	EMU20 AD0 データレジスタ 2	EMU20AD02	<EMU20_base> + 008C _H
EMU20	EMU20 AD0 チャンネル 2 原点補正值レジスタ	EMU20ADDOFS02	<EMU20_base> + 008E _H
EMU20	EMU20 AD0 チャンネル 0 変換値レジスタ	EMU20ADFIX00	<EMU20_base> + 0090 _H
EMU20	EMU20 電気角ソフト入力レジスタ	EMU20THTESFT	<EMU20_base> + 0092 _H
EMU20	EMU20 AD0 チャンネル 1 変換値レジスタ	EMU20ADFIX01	<EMU20_base> + 0094 _H
EMU20	EMU20 電気角応答遅れ補正変数レジスタ	EMU20EARD	<EMU20_base> + 0096 _H
EMU20	EMU20 AD0 チャンネル 2 変換値レジスタ	EMU20ADFIX02	<EMU20_base> + 0098 _H
EMU20	EMU20 電気角保持レジスタ	EMU20THTE	<EMU20_base> + 009A _H
EMU20	EMU20 レゾルバ角モニタレジスタ	EMU20THTREFIXIN	<EMU20_base> + 009C _H
EMU20	EMU20 dq 軸電流変換係数レジスタ	EMU20SR2	<EMU20_base> + 00A0 _H
EMU20	EMU20 LSB 調整レジスタ	EMU20DIVLSB	<EMU20_base> + 00A4 _H
EMU20	EMU20 U 相電流値レジスタ	EMU20IUFIX	<EMU20_base> + 00A8 _H
EMU20	EMU20 V 相電流値レジスタ	EMU20IVFIX	<EMU20_base> + 00AC _H
EMU20	EMU20 W 相電流値レジスタ	EMU20IWFIX	<EMU20_base> + 00B0 _H
EMU20	EMU20 d 軸電流値レジスタ	EMU20IDFIX	<EMU20_base> + 00B4 _H
EMU20	EMU20 q 軸電流値レジスタ	EMU20IQFIX	<EMU20_base> + 00B8 _H

表 24.13 EMU2 チャンネル 0 のレジスタ一覧 (PI 制御 IP)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 PI 制御レジスタ	EMU20PICTR	<EMU20_base> + 00C0 _H
EMU20	EMU20 d 軸電流指令値レジスタ	EMU20IDIN	<EMU20_base> + 00C4 _H
EMU20	EMU20 q 軸電流指令値レジスタ	EMU20IQIN	<EMU20_base> + 00C8 _H
EMU20	EMU20 id レジスタ	EMU20ID	<EMU20_base> + 00CC _H
EMU20	EMU20 iq レジスタ	EMU20IQ	<EMU20_base> + 00D0 _H
EMU20	EMU20 GPD0 レジスタ	EMU20GPD0	<EMU20_base> + 00D4 _H
EMU20	EMU20 GPQ0 レジスタ	EMU20GPQ0	<EMU20_base> + 00D8 _H
EMU20	EMU20 GPD レジスタ	EMU20GPD	<EMU20_base> + 00DC _H
EMU20	EMU20 GPQ レジスタ	EMU20GPQ	<EMU20_base> + 00E0 _H
EMU20	EMU20 GID レジスタ	EMU20GID	<EMU20_base> + 00E4 _H
EMU20	EMU20 GIQ レジスタ	EMU20GIQ	<EMU20_base> + 00E8 _H
EMU20	EMU20 GID_MAX レジスタ	EMU20GIDMAX	<EMU20_base> + 00EC _H
EMU20	EMU20 GIQ_MAX レジスタ	EMU20GIQMAX	<EMU20_base> + 00F0 _H
EMU20	EMU20 vd_MAX レジスタ	EMU20VDMAX	<EMU20_base> + 00F4 _H
EMU20	EMU20 vq_MAX レジスタ	EMU20VQMAX	<EMU20_base> + 00F8 _H
EMU20	EMU20 sum_id レジスタ	EMU20SUMID	<EMU20_base> + 0100 _H
EMU20	EMU20 sum_id モニタレジスタ	EMU20SUMIDM	<EMU20_base> + 0104 _H
EMU20	EMU20 sum_iq レジスタ	EMU20SUMIQ	<EMU20_base> + 0108 _H
EMU20	EMU20 sum_iq モニタレジスタ	EMU20SUMIQM	<EMU20_base> + 010C _H
EMU20	EMU20 d 軸電圧値レジスタ	EMU20VD	<EMU20_base> + 0110 _H
EMU20	EMU20 q 軸電圧値レジスタ	EMU20VQ	<EMU20_base> + 0114 _H

表 24.14 EMU2 チャンネル 0 のレジスタ一覧 (PWM IP)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 PWM IP 制御レジスタ	EMU20PWMCTR	<EMU20_base> + 0120 _H
EMU20	EMU20 PWM データ転送レジスタ	EMU20PWMDT	<EMU20_base> + 0122 _H
EMU20	EMU20 d 軸電圧補正值レジスタ	EMU20VDCRCT	<EMU20_base> + 0124 _H
EMU20	EMU20 q 軸電圧補正值レジスタ	EMU20VQCRCT	<EMU20_base> + 0128 _H
EMU20	EMU20 三相電圧変換係数レジスタ	EMU20SR23	<EMU20_base> + 012C _H
EMU20	EMU20 U 相電圧オフセット値レジスタ	EMU20UVOFS	<EMU20_base> + 0130 _H
EMU20	EMU20 W 相電圧オフセット値レジスタ	EMU20WVOFS	<EMU20_base> + 0134 _H
EMU20	EMU20 d 軸基準電圧レジスタ	EMU20PHI	<EMU20_base> + 0138 _H
EMU20	EMU20 電気角調整用レジスタ	EMU20GTHT	<EMU20_base> + 013C _H
EMU20	EMU20 予測電気角ソフト入力レジスタ	EMU20THTFORESFT	<EMU20_base> + 013E _H
EMU20	EMU20 桁数あわせレジスタ 1	EMU20PWMK1	<EMU20_base> + 0140 _H
EMU20	EMU20 桁数あわせレジスタ 2	EMU20PWMK2	<EMU20_base> + 0144 _H
EMU20	EMU20 入力電圧レジスタ	EMU20VOLV	<EMU20_base> + 0146 _H
EMU20	EMU20 デューティ比上限値レジスタ	EMU20DTUL	<EMU20_base> + 0148 _H
EMU20	EMU20 デューティ比下限値レジスタ	EMU20DTLL	<EMU20_base> + 014C _H
EMU20	EMU20 PWM 上限値レジスタ	EMU20PWMUL	<EMU20_base> + 0150 _H
EMU20	EMU20 PWM 下限値レジスタ	EMU20PWMLL	<EMU20_base> + 0152 _H
EMU20	EMU20 短絡防止時間設定レジスタ	EMU20DTT	<EMU20_base> + 0154 _H
EMU20	EMU20 キャリア周期レジスタ	EMU20CARR	<EMU20_base> + 0156 _H
EMU20	EMU20 U 相 PWM レジスタ	EMU20UPWM	<EMU20_base> + 0158 _H
EMU20	EMU20 V 相 PWM レジスタ	EMU20VPWM	<EMU20_base> + 015A _H
EMU20	EMU20 W 相 PWM レジスタ	EMU20WPWM	<EMU20_base> + 015C _H
EMU20	EMU20 デューティ比算出用 U 相出力電圧レジスタ	EMU20VUFIX	<EMU20_base> + 0160 _H
EMU20	EMU20 デューティ比算出用 V 相出力電圧レジスタ	EMU20VVFIX	<EMU20_base> + 0164 _H
EMU20	EMU20 デューティ比算出用 W 相出力電圧レジスタ	EMU20VWFIX	<EMU20_base> + 0168 _H
EMU20	EMU20 U 相コンペア値レジスタ	EMU20PWMUIP	<EMU20_base> + 016C _H
EMU20	EMU20 V 相コンペア値レジスタ	EMU20PWMVIP	<EMU20_base> + 016E _H
EMU20	EMU20 W 相コンペア値レジスタ	EMU20PWMWIP	<EMU20_base> + 0170 _H
EMU20	EMU20 U 相出力電圧補正量レジスタ	EMU20VUOFS	<EMU20_base> + 0174 _H
EMU20	EMU20 V 相出力電圧補正量レジスタ	EMU20VVOFS	<EMU20_base> + 0176 _H
EMU20	EMU20 W 相出力電圧補正量レジスタ	EMU20VWOFS	<EMU20_base> + 0178 _H

表 24.15 EMU2 チャンネル 0 のレジスタ一覧 (矩形 IP)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 矩形 IP 制御レジスタ	EMU20RECCTR	<EMU20_base> + 0180 _H
EMU20	EMU20 一括矩形出力レジスタ	EMU20PTNN	<EMU20_base> + 0184 _H
EMU20	EMU20 一括矩形出力パターン AB レジスタ	EMU20PTNAB	<EMU20_base> + 0185 _H
EMU20	EMU20 一括矩形出力パターン CD レジスタ	EMU20PTNCD	<EMU20_base> + 0186 _H
EMU20	EMU20 一括矩形出力パターン EF レジスタ	EMU20PTNEF	<EMU20_base> + 0187 _H
EMU20	EMU20 コンペアレジスタ 0	EMU20CMP0	<EMU20_base> + 0188 _H
EMU20	EMU20 コンペアレジスタ 1	EMU20CMP1	<EMU20_base> + 018A _H
EMU20	EMU20 q 軸基準電圧位相ソフト入力レジスタ	EMU20PHQSFT	<EMU20_base> + 018C _H
EMU20	EMU20 スイッチング指令ソフト入力レジスタ	EMU20PSWSFT	<EMU20_base> + 018E _H
EMU20	EMU20 スイッチング指令レジスタ	EMU20PSW	<EMU20_base> + 018F _H
EMU20	EMU20 IP コンペア値 0 レジスタ	EMU20IPCMP0	<EMU20_base> + 0190 _H

表 24.16 EMU2 チャンネル 0 のレジスタ一覧 (独立矩形 IP)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 独立矩形 IP 制御レジスタ	EMU20IRECCTR	<EMU20_base> + 0198 _H
EMU20	EMU20 独立矩形出力パターン更新レジスタ	EMU20IRPTN	<EMU20_base> + 019C _H
EMU20	EMU20 独立矩形 IP フラグセレクト信号初期化レジスタ	EMU20IRCTRST	<EMU20_base> + 019E _H
EMU20	EMU20 独立矩形 IP U 相コンペア/パターン設定レジスタ 0	EMU20IRUCPPN0	<EMU20_base> + 01A0 _H
EMU20	EMU20 独立矩形 IP U 相コンペア/パターン設定レジスタ 1	EMU20IRUCPPN1	<EMU20_base> + 01A2 _H
EMU20	EMU20 独立矩形 IP U 相コンペア/パターン設定レジスタ 2	EMU20IRUCPPN2	<EMU20_base> + 01A4 _H
EMU20	EMU20 独立矩形 IP V 相コンペア/パターン設定レジスタ 0	EMU20IRVCPN0	<EMU20_base> + 01A8 _H
EMU20	EMU20 独立矩形 IP V 相コンペア/パターン設定レジスタ 1	EMU20IRVCPN1	<EMU20_base> + 01AA _H
EMU20	EMU20 独立矩形 IP V 相コンペア/パターン設定レジスタ 2	EMU20IRVCPN2	<EMU20_base> + 01AC _H
EMU20	EMU20 独立矩形 IP W 相コンペア/パターン設定レジスタ 0	EMU20IRWCPPN0	<EMU20_base> + 01B0 _H
EMU20	EMU20 独立矩形 IP W 相コンペア/パターン設定レジスタ 1	EMU20IRWCPPN1	<EMU20_base> + 01B2 _H
EMU20	EMU20 独立矩形 IP W 相コンペア/パターン設定レジスタ 2	EMU20IRWCPPN2	<EMU20_base> + 01B4 _H
EMU20	EMU20 独立矩形 IP フラグモニタレジスタ	EMU20IRFLGM	<EMU20_base> + 01B8 _H
EMU20	EMU20 独立矩形 IP セレクト信号モニタレジスタ	EMU20IRSELM	<EMU20_base> + 01BA _H

表 24.17 EMU2 チャンネル 0 のレジスタ一覧 (検算機能)

モジュール名	レジスタ名	略号	アドレス
EMU20	EMU20 AD0 データ 0 検算用バッファレジスタ	EMU20CBAD00	<EMU20_base> + 01C0 _H
EMU20	EMU20 AD0 データ 1 検算用バッファレジスタ	EMU20CBAD01	<EMU20_base> + 01C2 _H
EMU20	EMU20 AD0 データ 2 検算用バッファレジスタ	EMU20CBAD02	<EMU20_base> + 01C4 _H
EMU20	EMU20 レゾルバ角検算用バッファレジスタ	EMU20CBHTREFIXIN	<EMU20_base> + 01C6 _H
EMU20	EMU20 d 軸電流値検算用バッファレジスタ	EMU20CBIDFIX	<EMU20_base> + 01C8 _H
EMU20	EMU20 q 軸電流値検算用バッファレジスタ	EMU20CBIQFIX	<EMU20_base> + 01CC _H
EMU20	EMU20 U 相コンペア値検算用バッファレジスタ	EMU20CBPWMUIP	<EMU20_base> + 01D0 _H
EMU20	EMU20 V 相コンペア値検算用バッファレジスタ	EMU20CBPWMVIP	<EMU20_base> + 01D4 _H
EMU20	EMU20 W 相コンペア値検算用バッファレジスタ	EMU20CBPMMWIP	<EMU20_base> + 01D8 _H
EMU20	EMU20 一括矩形パターン値検算用バッファレジスタ	EMU20CBBREC	<EMU20_base> + 01DC _H
EMU20	EMU20 独立矩形パターン値検算用バッファレジスタ	EMU20CBIREC	<EMU20_base> + 01DD _H

表 24.18 EMU2 チャンネル 1 のレジスタ一覧 (全般)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 プロテクトレジスタ	EMU21PRT	<EMU21_base> + 0000 _H
EMU21	EMU21 制御レジスタ	EMU21CTR	<EMU21_base> + 0001 _H
EMU21	EMU21 レジスタ値反映制御レジスタ	EMU21REFCTR	<EMU21_base> + 0002 _H
EMU21	EMU21 IP 起動トリガ要因選択レジスタ	EMU21IPTRG	<EMU21_base> + 0004 _H
EMU21	EMU21 IP ソフトウェア起動レジスタ	EMU21IPSFT	<EMU21_base> + 0005 _H
EMU21	EMU21 A/D 変換開始トリガ選択レジスタ	EMU21ADTRG	<EMU21_base> + 0008 _H
EMU21	EMU21 A/D 変換トリガ要因判別レジスタ	EMU21ADMON	<EMU21_base> + 0009 _H
EMU21	EMU21 A/D 変換トリガ要因判別クリアレジスタ	EMU21ADMONC	<EMU21_base> + 000A _H
EMU21	EMU21 データ遅延カウンタ値設定レジスタ	EMU21DDCNT	<EMU21_base> + 000C _H
EMU21	EMU21 割り込み要因選択レジスタ 0	EMU21INT0	<EMU21_base> + 0010 _H
EMU21	EMU21 割り込み要因選択レジスタ 1	EMU21INT1	<EMU21_base> + 0012 _H
EMU21	EMU21 割り込み要因選択レジスタ 2	EMU21INT2	<EMU21_base> + 0014 _H
EMU21	EMU21 割り込み要因選択レジスタ 3	EMU21INT3	<EMU21_base> + 0016 _H
EMU21	EMU21 割り込み要因選択レジスタ 4	EMU21INT4	<EMU21_base> + 0018 _H
EMU21	EMU21 割り込み要因判定レジスタ	EMU21INTSD	<EMU21_base> + 001C _H
EMU21	EMU21 割り込み要因判定クリアレジスタ	EMU21INTSDC	<EMU21_base> + 001E _H
EMU21	EMU21 オーバフロー検出結果レジスタ	EMU21OFMON	<EMU21_base> + 0020 _H
EMU21	EMU21 ゼロ除算検出結果レジスタ	EMU21ZDMON	<EMU21_base> + 0021 _H
EMU21	EMU21 オーバフロー検出結果クリアレジスタ	EMU21OFMONC	<EMU21_base> + 0022 _H
EMU21	EMU21 ゼロ除算検出結果クリアレジスタ	EMU21ZDMONC	<EMU21_base> + 0023 _H
EMU21	EMU21 等価チェック機能制御レジスタ	EMU21SMLCTR	<EMU21_base> + 0028 _H
EMU21	EMU21 検算用バッファ制御レジスタ 0	EMU21CBCTR0	<EMU21_base> + 002C _H
EMU21	EMU21 検算用バッファ制御レジスタ 1	EMU21CBCTR1	<EMU21_base> + 002D _H
EMU21	EMU21 検算用バッファタイミング選択レジスタ	EMU21CBTIM	<EMU21_base> + 002E _H

表 24.19 EMU2 チャンネル 1 のレジスタ一覧 (角度生成 IP)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 角度生成 IP 制御レジスタ	EMU21ANGCTR	<EMU21_base> + 0040 _H
EMU21	EMU21 コンペア判定補正レジスタ 0	EMU21CPJUD0	<EMU21_base> + 0042 _H
EMU21	EMU21 コンペア判定補正レジスタ 1	EMU21CPJUD1	<EMU21_base> + 0043 _H
EMU21	EMU21 レゾルバ角ソフト入力レジスタ	EMU21RESTHSFT	<EMU21_base> + 0044 _H
EMU21	EMU21 角度生成 IP オフセットレジスタ	EMU21ANGOFS	<EMU21_base> + 0046 _H
EMU21	EMU21 電気角生成用係数レジスタ	EMU21PXR	<EMU21_base> + 0048 _H
EMU21	EMU21 レゾルバ角レジスタ	EMU21RESTHETA	<EMU21_base> + 004A _H
EMU21	EMU21 電気角レジスタ	EMU21THTEFIX	<EMU21_base> + 004C _H
EMU21	EMU21 レゾルバ極数設定レジスタ	EMU21RESRLD	<EMU21_base> + 004E _H
EMU21	EMU21 レゾルバ極カウントレジスタ	EMU21RESCNT	<EMU21_base> + 004F _H
EMU21	EMU21 速度計測タイマ制御レジスタ	EMU21VMTCTR	<EMU21_base> + 0054 _H
EMU21	EMU21 速度計測タイマカウンタレジスタ	EMU21VMTCNT	<EMU21_base> + 0058 _H
EMU21	EMU21 速度計測タイマキャプチャレジスタ	EMU21VMTCAP	<EMU21_base> + 005C _H
EMU21	EMU21 速度計測タイマオーバーフローレジスタ	EMU21VMTOF	<EMU21_base> + 0060 _H

表 24.20 EMU2 チャンネル 1 のレジスタ一覧 (入力 IP)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 入力 IP 制御レジスタ	EMU21CTRINMD	<EMU21_base> + 0080 _H
EMU21	EMU21 AD1 データレジスタ 0	EMU21AD10	<EMU21_base> + 0084 _H
EMU21	EMU21 AD1 チャンネル 0 原点補正值レジスタ	EMU21ADDOFS10	<EMU21_base> + 0086 _H
EMU21	EMU21 AD1 データレジスタ 1	EMU21AD11	<EMU21_base> + 0088 _H
EMU21	EMU21 AD1 チャンネル 1 原点補正值レジスタ	EMU21ADDOFS11	<EMU21_base> + 008A _H
EMU21	EMU21 AD1 データレジスタ 2	EMU21AD12	<EMU21_base> + 008C _H
EMU21	EMU21 AD1 チャンネル 2 原点補正值レジスタ	EMU21ADDOFS12	<EMU21_base> + 008E _H
EMU21	EMU21 AD1 チャンネル 0 変換値レジスタ	EMU21ADFIX10	<EMU21_base> + 0090 _H
EMU21	EMU21 電気角ソフト入力レジスタ	EMU21THTESFT	<EMU21_base> + 0092 _H
EMU21	EMU21 AD1 チャンネル 1 変換値レジスタ	EMU21ADFIX11	<EMU21_base> + 0094 _H
EMU21	EMU21 電気角応答遅れ補正変数レジスタ	EMU21EARD	<EMU21_base> + 0096 _H
EMU21	EMU21 AD1 チャンネル 2 変換値レジスタ	EMU21ADFIX12	<EMU21_base> + 0098 _H
EMU21	EMU21 電気角保持レジスタ	EMU21THTE	<EMU21_base> + 009A _H
EMU21	EMU21 レゾルバ角モニタレジスタ	EMU21HTREFIXIN	<EMU21_base> + 009C _H
EMU21	EMU21 dq 軸電流変換係数レジスタ	EMU21SR2	<EMU21_base> + 00A0 _H
EMU21	EMU21 LSB 調整レジスタ	EMU21DIVLSB	<EMU21_base> + 00A4 _H
EMU21	EMU21 U 相電流値レジスタ	EMU21IUFIX	<EMU21_base> + 00A8 _H
EMU21	EMU21 V 相電流値レジスタ	EMU21IVFIX	<EMU21_base> + 00AC _H
EMU21	EMU21 W 相電流値レジスタ	EMU21IWFIX	<EMU21_base> + 00B0 _H
EMU21	EMU21 d 軸電流値レジスタ	EMU21IDFIX	<EMU21_base> + 00B4 _H
EMU21	EMU21 q 軸電流値レジスタ	EMU21IQFIX	<EMU21_base> + 00B8 _H

表 24.21 EMU2 チャンネル 1 のレジスタ一覧 (PI 制御 IP)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 PI 制御レジスタ	EMU21PICTR	<EMU21_base> + 00C0 _H
EMU21	EMU21 d 軸電流指令値レジスタ	EMU21IDIN	<EMU21_base> + 00C4 _H
EMU21	EMU21 q 軸電流指令値レジスタ	EMU21IQIN	<EMU21_base> + 00C8 _H
EMU21	EMU21 id レジスタ	EMU21ID	<EMU21_base> + 00CC _H
EMU21	EMU21 iq レジスタ	EMU21IQ	<EMU21_base> + 00D0 _H
EMU21	EMU21 GPD0 レジスタ	EMU21GPD0	<EMU21_base> + 00D4 _H
EMU21	EMU21 GPQ0 レジスタ	EMU21GPQ0	<EMU21_base> + 00D8 _H
EMU21	EMU21 GPD レジスタ	EMU21GPD	<EMU21_base> + 00DC _H
EMU21	EMU21 GPQ レジスタ	EMU21GPQ	<EMU21_base> + 00E0 _H
EMU21	EMU21 GID レジスタ	EMU21GID	<EMU21_base> + 00E4 _H
EMU21	EMU21 GIQ レジスタ	EMU21GIQ	<EMU21_base> + 00E8 _H
EMU21	EMU21 GID_MAX レジスタ	EMU21GIDMAX	<EMU21_base> + 00EC _H
EMU21	EMU21 GIQ_MAX レジスタ	EMU21GIQMAX	<EMU21_base> + 00F0 _H
EMU21	EMU21 vd_MAX レジスタ	EMU21VDMAX	<EMU21_base> + 00F4 _H
EMU21	EMU21 vq_MAX レジスタ	EMU21VQMAX	<EMU21_base> + 00F8 _H
EMU21	EMU21 sum_id レジスタ	EMU21SUMID	<EMU21_base> + 0100 _H
EMU21	EMU21 sum_id モニタレジスタ	EMU21SUMIDM	<EMU21_base> + 0104 _H
EMU21	EMU21 sum_iq レジスタ	EMU21SUMIQ	<EMU21_base> + 0108 _H
EMU21	EMU21 sum_iq モニタレジスタ	EMU21SUMIQM	<EMU21_base> + 010C _H
EMU21	EMU21 d 軸電圧値レジスタ	EMU21VD	<EMU21_base> + 0110 _H
EMU21	EMU21 q 軸電圧値レジスタ	EMU21VQ	<EMU21_base> + 0114 _H

表 24.22 EMU2 チャンネル 1 のレジスタ一覧 (PWM IP)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 PWMIP 制御レジスタ	EMU21PWMCTR	<EMU21_base> + 0120 _H
EMU21	EMU21 PWM データ転送レジスタ	EMU21PWMDT	<EMU21_base> + 0122 _H
EMU21	EMU21 d 軸電圧補正值レジスタ	EMU21VDCRCT	<EMU21_base> + 0124 _H
EMU21	EMU21 q 軸電圧補正值レジスタ	EMU21VQCRCT	<EMU21_base> + 0128 _H
EMU21	EMU21 三相電圧変換係数レジスタ	EMU21SR23	<EMU21_base> + 012C _H
EMU21	EMU21 U 相電圧オフセット値レジスタ	EMU21UVOFS	<EMU21_base> + 0130 _H
EMU21	EMU21 W 相電圧オフセット値レジスタ	EMU21WVOFS	<EMU21_base> + 0134 _H
EMU21	EMU21 d 軸基準電圧レジスタ	EMU21PHI	<EMU21_base> + 0138 _H
EMU21	EMU21 電気角調整用レジスタ	EMU21GTHT	<EMU21_base> + 013C _H
EMU21	EMU21 予測電気角ソフト入力レジスタ	EMU21THTFORESFT	<EMU21_base> + 013E _H
EMU21	EMU21 桁数あわせレジスタ 1	EMU21PWMK1	<EMU21_base> + 0140 _H
EMU21	EMU21 桁数あわせレジスタ 2	EMU21PWMK2	<EMU21_base> + 0144 _H
EMU21	EMU21 入力電圧レジスタ	EMU21VOLV	<EMU21_base> + 0146 _H
EMU21	EMU21 デューティ比上限値レジスタ	EMU21DTUL	<EMU21_base> + 0148 _H
EMU21	EMU21 デューティ比下限値レジスタ	EMU21DTLL	<EMU21_base> + 014C _H
EMU21	EMU21 PWM 上限値レジスタ	EMU21PWMUL	<EMU21_base> + 0150 _H
EMU21	EMU21 PWM 下限値レジスタ	EMU21PWMLL	<EMU21_base> + 0152 _H
EMU21	EMU21 短絡防止時間設定レジスタ	EMU21DTT	<EMU21_base> + 0154 _H
EMU21	EMU21 キャリア周期レジスタ	EMU21CARR	<EMU21_base> + 0156 _H
EMU21	EMU21 U 相 PWM レジスタ	EMU21UPWM	<EMU21_base> + 0158 _H
EMU21	EMU21 V 相 PWM レジスタ	EMU21VPWM	<EMU21_base> + 015A _H
EMU21	EMU21 W 相 PWM レジスタ	EMU21WPWM	<EMU21_base> + 015C _H
EMU21	EMU21 デューティ比算出用 U 相出力電圧レジスタ	EMU21VUFIX	<EMU21_base> + 0160 _H
EMU21	EMU21 デューティ比算出用 V 相出力電圧レジスタ	EMU21VVFIX	<EMU21_base> + 0164 _H
EMU21	EMU21 デューティ比算出用 W 相出力電圧レジスタ	EMU21VWFIX	<EMU21_base> + 0168 _H
EMU21	EMU21 U 相コンペア値レジスタ	EMU21PWMUIP	<EMU21_base> + 016C _H
EMU21	EMU21 V 相コンペア値レジスタ	EMU21PWMVIP	<EMU21_base> + 016E _H
EMU21	EMU21 W 相コンペア値レジスタ	EMU21PWMWIP	<EMU21_base> + 0170 _H
EMU21	EMU21 U 相出力電圧補正量レジスタ	EMU21VUOFS	<EMU21_base> + 0174 _H
EMU21	EMU21 V 相出力電圧補正量レジスタ	EMU21VVOFS	<EMU21_base> + 0176 _H
EMU21	EMU21 W 相出力電圧補正量レジスタ	EMU21WVOFS	<EMU21_base> + 0178 _H

表 24.23 EMU2 チャンネル 1 のレジスタ一覧 (矩形 IP)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 矩形 IP 制御レジスタ	EMU21RECCTR	<EMU21_base> + 0180 _H
EMU21	EMU21 一括矩形出力レジスタ	EMU21PTNN	<EMU21_base> + 0184 _H
EMU21	EMU21 一括矩形出力パターン AB レジスタ	EMU21PTNAB	<EMU21_base> + 0185 _H
EMU21	EMU21 一括矩形出力パターン CD レジスタ	EMU21PTNCD	<EMU21_base> + 0186 _H
EMU21	EMU21 一括矩形出力パターン EF レジスタ	EMU21PTNEF	<EMU21_base> + 0187 _H
EMU21	EMU21 コンペアレジスタ 0	EMU21CMP0	<EMU21_base> + 0188 _H
EMU21	EMU21 コンペアレジスタ 1	EMU21CMP1	<EMU21_base> + 018A _H
EMU21	EMU21 q 軸基準電圧位相ソフト入力レジスタ	EMU21PHQSFT	<EMU21_base> + 018C _H
EMU21	EMU21 スイッチング指令ソフト入力レジスタ	EMU21PSWSFT	<EMU21_base> + 018E _H
EMU21	EMU21 スイッチング指令レジスタ	EMU21PSW	<EMU21_base> + 018F _H
EMU21	EMU21 IP コンペア値 0 レジスタ	EMU21IPCMP0	<EMU21_base> + 0190 _H

表 24.24 EMU2 チャンネル 1 のレジスタ一覧 (独立矩形 IP)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 独立矩形 IP 制御レジスタ	EMU21IRECCTR	<EMU21_base> + 0198 _H
EMU21	EMU21 独立矩形出力パターン更新レジスタ	EMU21IRPTN	<EMU21_base> + 019C _H
EMU21	EMU21 独立矩形 IP フラグセレクト信号初期化レジスタ	EMU21IRCTRST	<EMU21_base> + 019E _H
EMU21	EMU21 独立矩形 IP U 相コンペア/パターン設定レジスタ 0	EMU21IRUCPPN0	<EMU21_base> + 01A0 _H
EMU21	EMU21 独立矩形 IP U 相コンペア/パターン設定レジスタ 1	EMU21IRUCPPN1	<EMU21_base> + 01A2 _H
EMU21	EMU21 独立矩形 IP U 相コンペア/パターン設定レジスタ 2	EMU21IRUCPPN2	<EMU21_base> + 01A4 _H
EMU21	EMU21 独立矩形 IP V 相コンペア/パターン設定レジスタ 0	EMU21IRVCPPN0	<EMU21_base> + 01A8 _H
EMU21	EMU21 独立矩形 IP V 相コンペア/パターン設定レジスタ 1	EMU21IRVCPPN1	<EMU21_base> + 01AA _H
EMU21	EMU21 独立矩形 IP V 相コンペア/パターン設定レジスタ 2	EMU21IRVCPPN2	<EMU21_base> + 01AC _H
EMU21	EMU21 独立矩形 IP W 相コンペア/パターン設定レジスタ 0	EMU21IRWCPPN0	<EMU21_base> + 01B0 _H
EMU21	EMU21 独立矩形 IP W 相コンペア/パターン設定レジスタ 1	EMU21IRWCPPN1	<EMU21_base> + 01B2 _H
EMU21	EMU21 独立矩形 IP W 相コンペア/パターン設定レジスタ 2	EMU21IRWCPPN2	<EMU21_base> + 01B4 _H
EMU21	EMU21 独立矩形 IP フラグモニタレジスタ	EMU21IRFLGM	<EMU21_base> + 01B8 _H
EMU21	EMU21 独立矩形 IP セレクト信号モニタレジスタ	EMU21IRSELM	<EMU21_base> + 01BA _H

表 24.25 EMU2 チャンネル 1 のレジスタ一覧 (検算機能)

モジュール名	レジスタ名	略号	アドレス
EMU21	EMU21 AD1 データ 0 検算用バッファレジスタ	EMU21CBAD10	<EMU21_base> + 01C0 _H
EMU21	EMU21 AD1 データ 1 検算用バッファレジスタ	EMU21CBAD11	<EMU21_base> + 01C2 _H
EMU21	EMU21 AD1 データ 2 検算用バッファレジスタ	EMU21CBAD12	<EMU21_base> + 01C4 _H
EMU21	EMU21 レゾルバ角検算用バッファレジスタ	EMU21CBTHTREFIXIN	<EMU21_base> + 01C6 _H
EMU21	EMU21 d 軸電流値検算用バッファレジスタ	EMU21CBIDFIX	<EMU21_base> + 01C8 _H
EMU21	EMU21 q 軸電流値検算用バッファレジスタ	EMU21CBIQFIX	<EMU21_base> + 01CC _H
EMU21	EMU21 U 相コンペア値検算用バッファレジスタ	EMU21CBPWMUIP	<EMU21_base> + 01D0 _H
EMU21	EMU21 V 相コンペア値検算用バッファレジスタ	EMU21CBPWMVIP	<EMU21_base> + 01D4 _H
EMU21	EMU21 W 相コンペア値検算用バッファレジスタ	EMU21CBPMMWIP	<EMU21_base> + 01D8 _H
EMU21	EMU21 一括矩形パターン値検算用バッファレジスタ	EMU21CBBREC	<EMU21_base> + 01DC _H
EMU21	EMU21 独立矩形パターン値検算用バッファレジスタ	EMU21CBIREC	<EMU21_base> + 01DD _H

表 24.26 EMU2 レジスタの機能一覧 (全般)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ○: 有 —: 無	プロテクト ^{注1} ○: 対象 —: 対象外
EMU2n	EMU2n プロテクトレジスタ	EMU2nPRT	U8	—	—
EMU2n	EMU2n 制御レジスタ	EMU2nCTR	U8	—	○
EMU2n	EMU2n レジスタ値反映制御レジスタ	EMU2nREFCTR	U8	—	—
EMU2n	EMU2n IP 起動トリガ要因選択レジスタ	EMU2nIPTRG	U8	—	—
EMU2n	EMU2n IP ソフトウェア起動レジスタ	EMU2nIPSFT	U8	—	—
EMU2n	EMU2n A/D 変換開始トリガ選択レジスタ	EMU2nADTRG	U8	—	—
EMU2n	EMU2n A/D 変換トリガ要因判別レジスタ	EMU2nADMON	U8	—	—
EMU2n	EMU2n A/D 変換トリガ要因判別クリアレジスタ	EMU2nADMONC	U8	—	—
EMU2n	EMU2n データ遅延カウンタ値設定レジスタ	EMU2nDDCNT	U32	—	—
EMU2n	EMU2n 割り込み要因選択レジスタ 0	EMU2nINT0	U16	—	—
EMU2n	EMU2n 割り込み要因選択レジスタ 1	EMU2nINT1	U16	—	—
EMU2n	EMU2n 割り込み要因選択レジスタ 2	EMU2nINT2	U16	—	—
EMU2n	EMU2n 割り込み要因選択レジスタ 3	EMU2nINT3	U16	—	—
EMU2n	EMU2n 割り込み要因選択レジスタ 4	EMU2nINT4	U16	—	—
EMU2n	EMU2n 割り込み要因判定レジスタ	EMU2nINTSD	U16	—	—
EMU2n	EMU2n 割り込み要因判定クリアレジスタ	EMU2nINTSDC	U16	—	—
EMU2n	EMU2n オーバフロー検出結果レジスタ	EMU2nOFMON	U8	—	—
EMU2n	EMU2n ゼロ除算検出結果レジスタ	EMU2nZDMON	U8	—	—
EMU2n	EMU2n オーバフロー検出結果クリアレジスタ	EMU2nOFMONC	U8	—	—
EMU2n	EMU2n ゼロ除算検出結果クリアレジスタ	EMU2nZDMONC	U8	—	—
EMU2n	EMU2n 等価チェック機能制御レジスタ	EMU2nSMLCTR	U8	—	—
EMU2n	EMU2n 検算用バッファ制御レジスタ 0	EMU2nCBCTR0	U8	—	—
EMU2n	EMU2n 検算用バッファ制御レジスタ 1	EMU2nCBCTR1	U8	—	—
EMU2n	EMU2n 検算用バッファタイミング選択レジスタ	EMU2nCBTIM	U16	—	—

注 1. プロテクトの解除方法は、「24.3.2 EMU2nPRT — EMU2n プロテクトレジスタ (n = 0, 1)」を参照してください。

表 24.27 EMU2 レジスタの機能一覧 (角度生成 IP)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ^{注1} ○: 有 —: 無	設定値反映 ○: 対象 —: 対象外
EMU2n	EMU2n角度生成IP制御レジスタ	EMU2nANGCTR	U8	—	—
EMU2n	EMU2nコンペア判定補正レジスタ0	EMU2nCPJUD0	U8	—	—
EMU2n	EMU2nコンペア判定補正レジスタ1	EMU2nCPJUD1	U8	—	—
EMU2n	EMU2nレゾルバ角ソフト入力レジスタ	EMU2nRESTHSFT	U12	—	○ ^{注2}
EMU2n	EMU2n角度生成IPオフセットレジスタ	EMU2nANGOFS	S16	○	—
EMU2n	EMU2n電気角生成用係数レジスタ	EMU2nPXR	S16	—	—
EMU2n	EMU2nレゾルバ角レジスタ	EMU2nRESTHETA	U12	—	—
EMU2n	EMU2n電気角レジスタ	EMU2nTHTEFIX	U12	—	—
EMU2n	EMU2nレゾルバ極数設定レジスタ	EMU2nRESRLD	U3	—	—
EMU2n	EMU2nレゾルバ極カウントレジスタ	EMU2nRESCNT	U3	—	—
EMU2n	EMU2n速度計測タイマ制御レジスタ	EMU2nVMTCTR	U32	—	—
EMU2n	EMU2n速度計測タイマカウンタレジスタ	EMU2nVMTCNT	U25	—	—
EMU2n	EMU2n速度計測タイマキャプチャレジスタ	EMU2nVMTCAP	U25	—	—
EMU2n	EMU2n速度計測タイマオーバーフローレジスタ	EMU2nVMTOF	U32	—	—

注 1. ユーザ設定値は角度生成 IP 起動時に、EMU 演算結果は角度生成 IP 完了時にバッファへ格納されます。

注 2. EMU2nANGCTR レジスタの PHISEL ビットを“1”に設定すると、ユーザ設定値が EMU に取り込まれます。

表 24.28 EMU2 レジスタの機能一覧 (入力 IP)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ^{注1} ○: 有 —: 無	設定値反映 ○: 対象 —: 対象外
EMU2n	EMU2n 入力 IP 制御レジスタ	EMU2nCTRINMD	U16	○ (b0のみ有)	—
EMU2n	EMU2n ADm データレジスタ 0	EMU2nADm0	U12	○	—
EMU2n	EMU2n ADm チャネル 0 原点補正值レジスタ	EMU2nADDOFSm0	S16	○	—
EMU2n	EMU2n ADm データレジスタ 1	EMU2nADm1	U12	○	—
EMU2n	EMU2n ADm チャネル 1 原点補正值レジスタ	EMU2nADDOFSm1	S16	○	—
EMU2n	EMU2n ADm データレジスタ 2	EMU2nADm2	U12	○	—
EMU2n	EMU2n ADm チャネル 2 原点補正值レジスタ	EMU2nADDOFSm2	S16	○	—
EMU2n	EMU2n ADm チャネル 0 変換値レジスタ	EMU2nADFIXm0	S16	○	—
EMU2n	EMU2n 電気角ソフト入力レジスタ	EMU2nTHTESFT	U12	○	○ ^{注3}
EMU2n	EMU2n ADm チャネル 1 変換値レジスタ	EMU2nADFIXm1	S16	○	—
EMU2n	EMU2n 電気角応答遅れ補正変数レジスタ	EMU2nEARD	U12	○	—
EMU2n	EMU2n ADm チャネル 2 変換値レジスタ	EMU2nADFIXm2	S16	○	—
EMU2n	EMU2n 電気角保持レジスタ	EMU2nTHTE	U12	○ ^{注2}	—
EMU2n	EMU2n レゾルバ角モニタレジスタ	EMU2nTHTREFIXIN	U12	○	—
EMU2n	EMU2n dq 軸電流変換係数レジスタ	EMU2nSR2	S32	—	—
EMU2n	EMU2n LSB 調整レジスタ	EMU2nDIVLSB	S32	○	—
EMU2n	EMU2n U 相電流値レジスタ	EMU2nIUFIX	S32	○	—
EMU2n	EMU2n V 相電流値レジスタ	EMU2nIVFIX	S32	○	—
EMU2n	EMU2n W 相電流値レジスタ	EMU2nIWFIX	S32	○	—
EMU2n	EMU2n d 軸電流値レジスタ	EMU2nIDFIX	S32	○	—
EMU2n	EMU2n q 軸電流値レジスタ	EMU2nIQFIX	S32	○	—

- 注 1. ユーザ設定値は入力 IP 起動時に、EMU 演算結果は入力 IP 完了時にバッファへ格納されます。
- 注 2. EMU2nADTRG レジスタで指定したタイミングを起点として、EMU2nDDCNT レジスタの RDDATA ビットで指定した時間経過後に、角度生成 IP により出力された電気角がバッファへ格納されます。
- 注 3. EMU2nCTRINMD レジスタの FREGIN ビットを“0”に設定すると、ユーザ設定値が EMU に取り込まれません。

表 24.29 EMU2 レジスタの機能一覧 (PI 制御 IP)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ^{注1} ○: 有 —: 無	設定値反映 ○: 対象 —: 対象外
EMU2n	EMU2n PI 制御レジスタ	EMU2nPICTR	U8	○	—
EMU2n	EMU2n d 軸電流指令値レジスタ	EMU2nIDIN	S32	○	—
EMU2n	EMU2n q 軸電流指令値レジスタ	EMU2nIQIN	S32	○	—
EMU2n	EMU2n id レジスタ	EMU2nID	S32	○	—
EMU2n	EMU2n iq レジスタ	EMU2nIQ	S32	○	—
EMU2n	EMU2n GPD0 レジスタ	EMU2nGPD0	S32	○	—
EMU2n	EMU2n GPQ0 レジスタ	EMU2nGPQ0	S32	○	—
EMU2n	EMU2n GPD レジスタ	EMU2nGPD	S32	○	—
EMU2n	EMU2n GPQ レジスタ	EMU2nGPQ	S32	○	—
EMU2n	EMU2n GiD レジスタ	EMU2nGiD	S32	○	—
EMU2n	EMU2n GiQ レジスタ	EMU2nGiQ	S32	○	—
EMU2n	EMU2n GiD_MAX レジスタ	EMU2nGiD_MAX	U31	○	—
EMU2n	EMU2n GiQ_MAX レジスタ	EMU2nGiQ_MAX	U31	○	—
EMU2n	EMU2n vd_MAX レジスタ	EMU2nVD_MAX	U29	○	—
EMU2n	EMU2n vq_MAX レジスタ	EMU2nVQ_MAX	U29	○	—
EMU2n	EMU2n sum_id レジスタ	EMU2nSUMID	S32	○	—
EMU2n	EMU2n sum_id モニタレジスタ	EMU2nSUMIDM	S32	—	—
EMU2n	EMU2n sum_iq レジスタ	EMU2nSUMIQ	S32	○	—
EMU2n	EMU2n sum_iq モニタレジスタ	EMU2nSUMIQM	S32	—	—
EMU2n	EMU2n d 軸電圧値レジスタ	EMU2nVD	S32	—	—
EMU2n	EMU2n q 軸電圧値レジスタ	EMU2nVQ	S32	—	—

注 1. ユーザ設定値は PI 制御 IP 起動時に、EMU 演算結果は PI 制御 IP 完了時にバッファへ格納されます。

表 24.30 EMU2 レジスタの機能一覧 (PWM IP)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ^{注1} ○: 有 —: 無	設定値反映 ^{注4} ○: 対象 —: 対象外
EMU2n	EMU2n PWM IP 制御レジスタ	EMU2nPWMCTR	U8	○ (b5のみ有)	—
EMU2n	EMU2n PWM データ転送レジスタ	EMU2nPWMMDT	U8	—	○ ^{注5}
EMU2n	EMU2n d 軸電圧補正值レジスタ	EMU2nVDCRCT	S32	○	○
EMU2n	EMU2n q 軸電圧補正值レジスタ	EMU2nVQCRCT	S32	○	○
EMU2n	EMU2n 三相電圧変換係数レジスタ	EMU2nSR23	S32	—	—
EMU2n	EMU2n U 相電圧オフセット値レジスタ	EMU2nUVOFS	S32	○	○
EMU2n	EMU2n W 相電圧オフセット値レジスタ	EMU2nWVOFS	S32	○	○
EMU2n	EMU2n d 軸基準電圧レジスタ	EMU2nPHI	S16	○	○
EMU2n	EMU2n 電気角調整用レジスタ	EMU2nGTHT	S16	○	—
EMU2n	EMU2n 予測電気角ソフト入力レジスタ	EMU2nTHTFORESFT	U12	○	—
EMU2n	EMU2n 桁数あわせレジスタ 1	EMU2nPWMK1	S32	—	—
EMU2n	EMU2n 桁数あわせレジスタ 2	EMU2nPWMK2	S16	—	—
EMU2n	EMU2n 入力電圧レジスタ	EMU2nVOLV	S16	○	—
EMU2n	EMU2n デューティ比上限値レジスタ	EMU2nDTUL	S32	—	—
EMU2n	EMU2n デューティ比下限値レジスタ	EMU2nDTLL	S32	—	—
EMU2n	EMU2n PWM 上限値レジスタ	EMU2nPWMUL	U16	—	—
EMU2n	EMU2n PWM 下限値レジスタ	EMU2nPWMMLL	U16	—	—
EMU2n	EMU2n 短絡防止時間設定レジスタ	EMU2nDTT	U16	—	—
EMU2n	EMU2n キャリア周期レジスタ	EMU2nCARR	U16	○ ^{注2}	—
EMU2n	EMU2n U 相 PWM レジスタ	EMU2nUPWM	U16	○ ^{注3}	○ ^{注5}
EMU2n	EMU2n V 相 PWM レジスタ	EMU2nVPWM	U16	○ ^{注3}	○ ^{注5}
EMU2n	EMU2n W 相 PWM レジスタ	EMU2nWPWM	U16	○ ^{注3}	○ ^{注5}
EMU2n	EMU2n デューティ比算出用 U 相出力電圧レジスタ	EMU2nVUFIX	S32	—	—
EMU2n	EMU2n デューティ比算出用 V 相出力電圧レジスタ	EMU2nVVFIX	S32	—	—
EMU2n	EMU2n デューティ比算出用 W 相出力電圧レジスタ	EMU2nVWFIX	S32	—	—
EMU2n	EMU2n U 相コンペア値レジスタ	EMU2nPWMUIP	U16	—	—
EMU2n	EMU2n V 相コンペア値レジスタ	EMU2nPWMVIP	U16	—	—
EMU2n	EMU2n W 相コンペア値レジスタ	EMU2nPWMWIP	U16	—	—
EMU2n	EMU2n U 相出力電圧補正量レジスタ	EMU2nVUOFS	S16	○	—
EMU2n	EMU2n V 相出力電圧補正量レジスタ	EMU2nVVOFS	S16	○	—
EMU2n	EMU2n W 相出力電圧補正量レジスタ	EMU2nWVOFS	S16	○	—

- 注 1. ユーザ設定値は PWM IP 起動時に、EMU 演算結果は PWM IP 完了時にバッファへ格納されます。
- 注 2. EMU2nPWMCTR レジスタの SETPWM ビットが“0”の場合、EMU2nPWMMDT レジスタの PWMMDT ビットへの“1”書き込み時に、ユーザ設定値がバッファへ格納されます。SETPWM ビットが“1”の場合、PWM IP 起動時にバッファへ格納されます。
- 注 3. EMU2nPWMMDT レジスタの PWMMDT ビットへの“1”書き込み時に、ユーザ設定値がバッファへ格納されません。
- 注 4. EMU2nREFCTR レジスタの FPWMREFPER ビットを“1”に設定すると、ユーザ設定値が EMU に取り込まれます。詳細は、「24.3.4 EMU2nREFCTR — EMU2n レジスタ値反映制御レジスタ (n = 0, 1)」を参照してください。
- 注 5. EMU2nPWMCTR レジスタの SETPWM ビットを“0”に設定すると、ユーザ設定値が EMU に取り込まれません。

表 24.31 EMU2 レジスタの機能一覧 (矩形 IP)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ^{注1} ○: 有 —: 無	設定値反映 ○: 対象 —: 対象外
EMU2n	EMU2n 矩形 IP 制御レジスタ	EMU2nRECCTR	U8	○ ^{注2}	—
EMU2n	EMU2n 一括矩形出力レジスタ	EMU2nPTNN	U8	—	○ ^{注3}
EMU2n	EMU2n 一括矩形出力パターン AB レジスタ	EMU2nPTNAB	U8	—	—
EMU2n	EMU2n 一括矩形出力パターン CD レジスタ	EMU2nPTNCD	U8	—	—
EMU2n	EMU2n 一括矩形出力パターン EF レジスタ	EMU2nPTNEF	U8	—	—
EMU2n	EMU2n コンペアレジスタ 0	EMU2nCMP0	U12	—	—
EMU2n	EMU2n コンペアレジスタ 1	EMU2nCMP1	U12	—	—
EMU2n	EMU2n q 軸基準電圧位相ソフト入力レジスタ	EMU2nPHQSFT	S16	○	—
EMU2n	EMU2n スwitching 指令ソフト入力レジスタ	EMU2nPSWSFT	U3	○	—
EMU2n	EMU2n スwitching 指令レジスタ	EMU2nPSW	U3	—	—
EMU2n	EMU2n IP コンペア値 0 レジスタ	EMU2nIPCMP0	U12	—	—

注 1. ユーザ設定値は矩形 IP 起動時に、EMU 演算結果は矩形 IP 完了時にバッファへ格納されます。

注 2. FIPPOSI ビットは矩形 IP 起動時に、FDRCT ビットは矩形 IP 起動時に、設定値がバッファへ格納されます。その他のビットには、バッファはありません。

注 3. EMU2nRECCTR レジスタの SETREC ビットを "0" に設定すると、ユーザ設定値が EMU に取り込まれません。

表 24.32 EMU2 レジスタの機能一覧 (独立矩形 IP)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ○: 有 —: 無	設定値反映 ○: 対象 —: 対象外
EMU2n	EMU2n 独立矩形 IP 制御レジスタ	EMU2nIRECCTR	U8	—	—
EMU2n	EMU2n 独立矩形出力パターン更新レジスタ	EMU2nIRPTN	U8	—	—
EMU2n	EMU2n フラグセレクト信号初期化レジスタ	EMU2nIRCTRST	U8	—	—
EMU2n	EMU2n U 相コンペア/パターン設定レジスタ 0	EMU2nIRUCPPN0	U16	—	—
EMU2n	EMU2n U 相コンペア/パターン設定レジスタ 1	EMU2nIRUCPPN1	U16	—	—
EMU2n	EMU2n U 相コンペア/パターン設定レジスタ 2	EMU2nIRUCPPN2	U16	—	—
EMU2n	EMU2n V 相コンペア/パターン設定レジスタ 0	EMU2nIRVCPN0	U16	—	—
EMU2n	EMU2n V 相コンペア/パターン設定レジスタ 1	EMU2nIRVCPN1	U16	—	—
EMU2n	EMU2n V 相コンペア/パターン設定レジスタ 2	EMU2nIRVCPN2	U16	—	—
EMU2n	EMU2n W 相コンペア/パターン設定レジスタ 0	EMU2nIRWCPPN0	U16	—	—
EMU2n	EMU2n W 相コンペア/パターン設定レジスタ 1	EMU2nIRWCPPN1	U16	—	—
EMU2n	EMU2n W 相コンペア/パターン設定レジスタ 2	EMU2nIRWCPPN2	U16	—	—
EMU2n	EMU2n フラグモニタレジスタ	EMU2nIRFLGM	U16	—	—
EMU2n	EMU2n セレクト信号モニタレジスタ	EMU2nIRSELM	U16	—	—

表 24.33 EMU2 レジスタの機能一覧 (検算機能)

モジュール名	レジスタ名	略号	符号/データサイズ U: 符号無 S: 符号有	バッファ ^{注1} ○: 有 —: 無	設定値反映 ○: 対象 —: 対象外
EMU2n	EMU2n AD0 データ 0 検算用バッファレジスタ	EMU2nCBAD00	U12	○	—
EMU2n	EMU2n AD0 データ 1 検算用バッファレジスタ	EMU2nCBAD01	U12	○	—
EMU2n	EMU2n AD0 データ 2 検算用バッファレジスタ	EMU2nCBAD02	U12	○	—
EMU2n	EMU2n レゾルバ角検算用バッファレジスタ	EMU2nCBTHTREFIXIN	U12	○	—
EMU2n	EMU2n d 軸電流値検算用バッファレジスタ	EMU2nCBIDFIX	S32	○	—
EMU2n	EMU2n q 軸電流値検算用バッファレジスタ	EMU2nCBIQFIX	S32	○	—
EMU2n	EMU2n U 相コンペア値検算用バッファレジスタ	EMU2nCBPWMUIP	U18	○	—
EMU2n	EMU2n V 相コンペア値検算用バッファレジスタ	EMU2nCBPWMVIP	U18	○	—
EMU2n	EMU2n W 相コンペア値検算用バッファレジスタ	EMU2nCBPMMWIP	U18	○	—
EMU2n	EMU2n 一括矩形パタン値検算用バッファレジスタ	EMU2nCBBREC	U8	○	—
EMU2n	EMU2n 独立矩形パタン値検算用バッファレジスタ	EMU2nCBIREC	U8	○	—

注 1. EMU2nCBTIM レジスタで指定したタイミングでバッファへ格納されます。

24.3.2 EMU2nPRT — EMU2n プロテクトレジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PRTCT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 24.34 EMU2nPRT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	PRTCT	プロテクト解除ビット 書き込みをプロテクトされているレジスタのプロテクトを解除するビットです。 0: プロテクト状態 1: プロテクト解除

EMU2nPRT レジスタは、EMU2nCTR レジスタを簡単に書き換えられないよう保護するプロテクト機能の設定を行います。

PRTCT ビット

EMU2nCTR レジスタを変更する場合は、以下の手順で変更を行ってください。

- (1) EMU2nPRT レジスタに“01_H”を書く (各レジスタへの書き込みを許可)
- (2) EMU2nCTR レジスタの値を変更する。
- (3) EMU2nPRT レジスタに“00_H”を書く (各レジスタへの書き込みを禁止)

24.3.3 EMU2nCTR — EMU2n 制御レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0001_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EMUST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 24.35 EMU2nCTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	EMUST	EMU 動作ビット ^{注1} 0: EMU2n リセット 1: EMU2n 動作

注 1. EMUST ビットが“0”のとき、初期化されます。初期化される対象は、EMU2n 制御レジスタ (EMU2nCTR) と EMU2n プロテクトレジスタ (EMU2nPRT) 以外の EMU2 関連レジスタと、EMU2 モジュールの内部レジスタです。

注 2. EMU2nCTR レジスタは、リセット後はプロテクト状態です。EMU2nCTR レジスタを変更する場合は、EMU2nPRT レジスタでプロテクトを解除してから変更してください。EMU2nPRT レジスタについては「24.3.2 EMU2nPRT — EMU2n プロテクトレジスタ (n = 0、1)」を参照してください。

24.3.4 EMU2nREFCTR — EMU2n レジスタ値反映制御レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0002_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	FPWMREFPER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 24.36 EMU2nREFCTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	FPWMREFPER	PWM IP レジスタ値反映制御ビット レジスタの設定値が EMU 回路内部へ反映されるのを許可/禁止するビットです 0: 値反映禁止 1: 値反映許可

EMU2nREFCTR レジスタは、**表 24.37** に示すレジスタに設定された値を EMU 回路内部へ反映するかどうかを選択します。

FPWMREFPER ビット

表 24.37 に示すレジスタに設定された値を EMU 回路内部へ反映するかどうかを FPWMREFPER ビットにより選択します。レジスタへは任意のタイミングで書き込みます。EMU2nREFCTR レジスタがリセット後の値の状態では、下表のレジスタ値は IP 回路内部へは反映されません。なお、リセット後の IP 回路内部の値は各レジスタのリセット後の値が適用されます。

図 24.2 に FPWMREFPER ビットによるレジスタ設定値反映動作例を示します。

表 24.37 FPWMREFPER ビットで反映/許可禁止できるレジスタ

レジスタ名	シンボル
EMU2n d 軸電圧補正值レジスタ	EMU2nVDCRCT
EMU2n q 軸電圧補正值レジスタ	EMU2nVQCRCT
EMU2n U 相電圧オフセット値レジスタ	EMU2nUVOFS
EMU2n W 相電圧オフセット値レジスタ	EMU2nWVOFS
EMU2n d 軸基準電圧レジスタ	EMU2nPHI

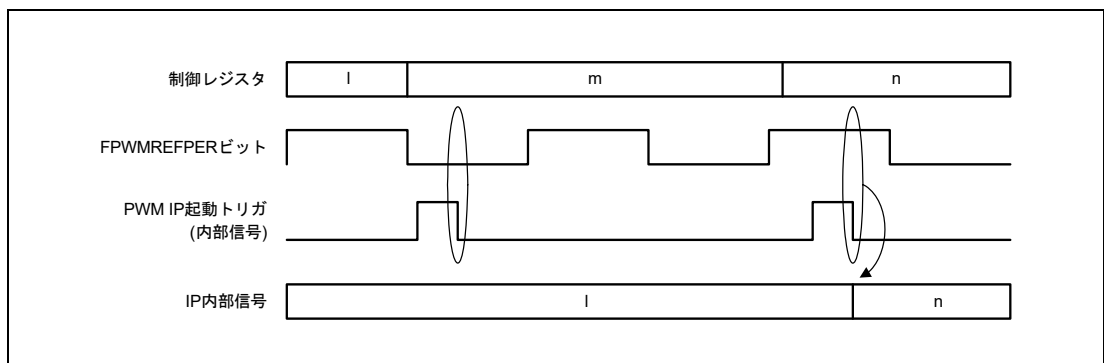


図 24.2 FPWMREFPER ビットによるレジスタ設定値反映動作例 (PWM IP の場合)

24.3.5 EMU2nIPTRG — EMU2n IP 起動トリガ要因選択レジスタ (n = 0, 1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RECIPTRG	PWMIPTRG	PIIPTRG	INIPTRG1	INIPTRG0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 24.38 EMU2nIPTRG レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	—	読むと“0”が読み出されます。書き込みは“0”としてください。
4	RECIPTRG	矩形 IP 起動トリガ選択ビット 矩形 IP の起動要因を選択するビットです。 0: ソフトウェアトリガ (EMU2nIPSFT レジスタの RECIPSFT ビット) 1: 角度コンペア 0 一致 ^{注1}
3	PWMIPTRG	PWM IP 起動トリガ選択ビット PWM IP の起動要因を選択するビットです。 0: ソフトウェアトリガ (EMU2nIPSFT レジスタの PWMIPSFT ビット) 1: PI 制御 IP 完了
2	PIIPTRG	PI 制御 IP 起動トリガ選択ビット PI 制御 IP の起動要因を選択するビットです。 0: ソフトウェアトリガ (EMU2nIPSFT レジスタの PIIPSFT ビット) 1: 入力 IP 完了
1, 0	INIPTRG[1:0]	入力 IP の起動要因を選択するビットです。 0 0: ソフトウェアトリガ (EMU2nIPSFT レジスタの INIPSFT ビット) 0 1: 角度コンペア 0 一致 1 0: EMU2nCTRINMD レジスタの INSTCTR[1:0] ビットで選択した A/D 変換完了タイミング ^{注2} 1 1: 角度コンペア 0 一致、または EMU2nCTRINMD レジスタの INSTCTR[1:0] ビットで選択した A/D 変換完了タイミング ^{注2}

注 1. 角度コンペア 0 に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

注 2. INIPTRG[1:0] ビットを “10_B”、“11_B” にする場合、ADCCmSGCRx レジスタの ADIE ビットを “1” にしてください。

注 3. 各起動トリガ選択ビットは、各 IP の起動トリガ発生タイミングと同時に変更しないでください。

24.3.6 EMU2nIPSFT — EMU2n IP ソフトウェア起動レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0005_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	RECIPSFT	PWMIPSFT	PIIPSFT	INIPSFT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.39 EMU2nIPSFT レジスタの内容

ビット位置	ビット名	機能
7～4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3	RECIPSFT	矩形IPソフトウェア起動ビット “1”を書くと、矩形IPは起動します。あらかじめEMU2nIPTRGレジスタのRECIPTRGビットを“0”にしてください。
2	PWMIPSFT	PWM IPソフトウェア起動ビット “1”を書くと、PWM IPは起動します。あらかじめEMU2nIPTRGレジスタのPWMIPTRGビットを“0”にしてください。
1	PIIPSFT	PI制御 IPソフトウェア起動 “1”を書くと、PI制御 IPは起動します。あらかじめEMU2nIPTRGレジスタのPIIPTRGビットを“0”にしてください。
0	INIPSFT	入力IPソフトウェア起動ビット “1”を書くと、入力IPは起動します。あらかじめEMU2nIPTRGレジスタのINIPTRG0、INIPTRG1ビットを“0”にしてください。

各 IP をソフトから起動する際に設定するレジスタです。各ビットに“1”を設定後、対応する IP が完了すると“0”になります。

IP をソフトウェア起動する前に、起動対象となる IP の EMU2nINTSD レジスタのビットをクリアしてください。EMU2nINTSD レジスタのビットクリアは EMU2nINTSDC レジスタで行います。

24.3.7 EMU2nADTRG — EMU2n A/D 変換開始トリガ選択レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0008_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	CMPAD	CAVALAD	CAMOUAD
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.40 EMU2nADTRG レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	CMPAD	角度コンペア0一致AD起動ビット 角度コンペア0一致によるAD起動を設定するビットです。注1 0:無効 1:有効
1	CAVALAD	キャリア谷タイミングAD起動ビット キャリア信号谷タイミングによるAD起動を設定するビットです。 0:無効 1:有効
0	CAMOUAD	キャリア山タイミングAD起動ビット キャリア信号山タイミングによるAD起動を設定するビットです。 0:無効 1:有効

注1. 角度コンペア0に関する詳細は、「24.4.10 一括矩形IP」を参照してください。

A/D変換開始要因を設定するレジスタです。EMU2nADTRGレジスタは、A/D変換トリガ発生タイミングと同時に変更しないでください。

24.3.8 EMU2nADMON — EMU2n A/D 変換トリガ要因判別レジスタ (n = 0、1)

アクセス 8ビット単位でリード可能です。

アドレス <EMU2n_base> + 0009_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	CMPADMO	CAVALADMO	CAMOUADMO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.41 EMU2nADMON レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	CMPADMO	AD 起動要因判別ビット (角度コンペア 0 一致) 角度コンペア 0 一致による AD 起動判定ビットです。注1 0: 要因なし 1: 要因発生
1	CAVALADMO	AD 起動要因判別ビット (キャリア信号谷タイミング) キャリア信号谷タイミングによる AD 起動判定ビットです。 0: 要因なし 1: 要因発生
0	CAMOUADMO	AD 起動要因判別ビット (キャリア信号山タイミング) キャリア信号山タイミングによる AD 起動判定ビットです。 0: 要因なし 1: 要因発生

注 1. 角度コンペア 0 に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

発生した A/D 変換開始要因をモニタするレジスタです。各ビットは対応する A/D 変換要因が発生したら“1”になります。EMU2nADMONC レジスタの対応するビットに“1”を書くことでクリアされます。

24.3.9 EMU2nADMONC — EMU2n A/D 変換トリガ要因判別クリアレジスタ (n = 0, 1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 000A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	CMADMOCL	CVLADMOCL	CMOADMOCCL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.42 EMU2nADMONC レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	CMADMOCL	AD変換トリガ要因判別レジスタクリアビット (角度コンペア0一致) 注1 “1”を書くと、EMU2nADMONレジスタのCMPADMOビットが“0”になります。 “1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
1	CVLADMOCL	AD変換トリガ要因判別レジスタクリアビット (キャリアカウンタ谷) “1”を書くと、EMU2nADMONレジスタのCAVALADMOビットが“0”になります。 “1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
0	CMOADMOCCL	AD変換トリガ要因判別レジスタクリアビット (キャリアカウンタ山) “1”を書くと、EMU2nADMONレジスタのCAMOUADMOビットが“0”になります。 “1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。

注1. 角度コンペア0に関する詳細は、「24.4.10 一括矩形IP」を参照してください。

各ビットに“1”を書くと、EMU2nADMONレジスタの対応するビットをクリアします。なお、書いた値は、PCLKの1サイクル後に自動的に“0”にクリアされます。

24.3.10 EMU2nDDCNT — EMU2n データ遅延カウンタ値設定レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 000C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.43 EMU2nDDCNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RDDATA	R/D データ R/D 変換トリガ出力の遅延時間を設定してください。
15 ~ 0	ADDATA	A/D データ A/D 変換トリガ出力の遅延時間を設定してください。

A/D 変換トリガ出力の遅延時間と、R/D 変換トリガ出力の遅延時間を設定するレジスタです。リセット後の値“0000_H”のまま動作させることも可能です。遅延カウンタ動作中の A/D 変換開始トリガは無効になります。

24.3.11 EMU2nINT0 — EMU2n 割り込み要因選択レジスタ 0 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0010_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VMTINT 0	I _{REC} W INT0	I _{REC} V INT0	I _{REC} U INT0	CMP1 INT0	CMP0 INT0	CARRI INT0	SMLINT 0	C _{BU} FIN T0	—	—	RECINT 0	PWMIN T0	PIINT0	ININT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

表 24.44 EMU2nINT0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	—	読むと“0”が読み出されます。書き込みは“0”としてください。
14	VMTINT0	割り込み要因設定ビット0 (速度計測タイマオーバーフロー) 速度計測タイマオーバーフロー発生による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
13	I _{REC} WINT0	割り込み要因設定ビット0 (独立矩形W相コンペア一致) 独立矩形W相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
12	I _{REC} VINT0	割り込み要因設定ビット0 (独立矩形V相コンペア一致) 独立矩形V相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
11	I _{REC} UINT0	割り込み要因設定ビット0 (独立矩形U相コンペア一致) 独立矩形U相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
10	CMP1INT0	割り込み要因設定ビット0 (角度コンペア1一致) ^{注1} 角度コンペア1一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
9	CMP0INT0	割り込み要因設定ビット0 (角度コンペア0一致) ^{注1} 角度コンペア0一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
8	CARRINT0	割り込み要因設定ビット0 (キャリアカウンタ) キャリアカウンタ山、谷タイミングによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可 CARRINT0 ビットを“1”に設定した場合、EMU2nPWMCTR レジスタの CARRMOU ビット、CARRVAL ビットの設定により、キャリアカウンタ山、谷、 山谷両方のタイミングで割り込みが発生します。
7	SMLINT0	割り込み要因設定ビット0 (等価チェックエラー) 等価チェックエラーによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
6	C _{BU} FININT0	割り込み要因設定ビット0 (検算用バッファリング完了) バッファリング完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
5、4	—	読むと“0”が読み出されます。書き込みは“0”としてください。

表 24.44 EMU2nINT0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	RECINT0	割り込み要因設定ビット 0 (矩形 IP 完了) 矩形 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
2	PWMINT0	割り込み要因設定ビット 0 (PWM IP 完了) PWM IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
1	PIINT0	割り込み要因設定ビット 0 (PI 制御 IP 完了) PI 制御 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
0	ININT0	割り込み要因設定ビット 0 (入力 IP 完了) 入力 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可

注 1. 角度コンペア 0、1に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

EMU2n 割り込み 0 (n = 0、1) の割り込み要因を設定するレジスタです。詳細は、「24.1.4 割り込み要求」を参照してください。

24.3.12 EMU2nINT1 — EMU2n 割り込み要因選択レジスタ 1 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0012_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VMTINT1	IRECWI NT1	IRECVI NT1	IRECUI NT1	CMP1I NT1	CMP0I NT1	CARRI NT1	SMLINT1	CBUFINT1	—	—	RECINT1	PWMIN T1	PIINT1	ININT1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

表 24.45 EMU2nINT1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	—	読むと“0”が読み出されます。書き込みは“0”としてください。
14	VMTINT1	割り込み要因設定ビット1 (速度計測タイマオーバーフロー) 速度計測タイマオーバーフロー発生による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
13	IRECWI NT1	割り込み要因設定ビット1 (独立矩形W相コンペア一致) 独立矩形W相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
12	IRECVI NT1	割り込み要因設定ビット1 (独立矩形V相コンペア一致) 独立矩形V相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
11	IRECUI NT1	割り込み要因設定ビット1 (独立矩形U相コンペア一致) 独立矩形U相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
10	CMP1INT1	割り込み要因設定ビット1 (角度コンペア1一致) ^{注1} 角度コンペア1一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
9	CMP0INT1	割り込み要因設定ビット1 (角度コンペア0一致) ^{注1} 角度コンペア0一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
8	CARRINT1	割り込み要因設定ビット1 (キャリアカウンタ) キャリアカウンタ山、谷タイミングによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可 CARRINT1 ビットを“1”に設定した場合、EMU2nPWMCTR レジスタの CARRMOU ビット、CARRVAL ビットの設定により、キャリアカウンタ山、谷、 山谷両方のタイミングで割り込みが発生します。
7	SMLINT1	割り込み要因設定ビット1 (等価チェックエラー) 等価チェックエラーによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
6	CBUFINT1	割り込み要因設定ビット1 (検算用バッファリング完了) バッファリング完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
5、4	—	読むと“0”が読み出されます。書き込みは“0”としてください。

表 24.45 EMU2nINT1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	RECINT1	割り込み要因設定ビット 1 (矩形 IP 完了) 矩形 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
2	PWMINT1	割り込み要因設定ビット 1 (PWM IP 完了) PWM IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
1	PIINT1	割り込み要因設定ビット 1 (PI 制御 IP 完了) PI 制御 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
0	ININT1	割り込み要因設定ビット 1 (入力 IP 完了) 入力 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可

注 1. 角度コンペア 0、1に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

EMU2n 割り込み 1 (n = 0、1) の割り込み要因を設定するレジスタです。詳細は、「24.1.4 割り込み要求」を参照してください。

24.3.13 EMU2nINT2 — EMU2n 割り込み要因選択レジスタ 2 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0014_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VMTINT 2	IRECWI NT2	IRECVI NT2	IRECUI NT2	CMP11 NT2	CMP01 NT2	CARRI NT2	SMLINT 2	CBUFIN T2	—	—	RECINT 2	PWMIN T2	PIINT2	ININT2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

表 24.46 EMU2nINT2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	—	読むと“0”が読み出されます。書き込みは“0”としてください。
14	VMTINT2	割り込み要因設定ビット 2 (速度計測タイマオーバーフロー) 速度計測タイマオーバーフロー発生による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
13	IRECWINT2	割り込み要因設定ビット 2 (独立矩形 W 相コンペア一致) 独立矩形 W 相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
12	IRECINT2	割り込み要因設定ビット 2 (独立矩形 V 相コンペア一致) 独立矩形 V 相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
11	IRECUINT2	割り込み要因設定ビット 2 (独立矩形 U 相コンペア一致) 独立矩形 U 相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
10	CMP1INT2	割り込み要因設定ビット 2 (角度コンペア 1 一致) ^{注1} 角度コンペア 1 一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
9	CMP0INT2	割り込み要因設定ビット 2 (角度コンペア 0 一致) ^{注1} 角度コンペア 0 一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
8	CARRINT2	割り込み要因設定ビット 2 (キャリアカウンタ) キャリアカウンタ山、谷タイミングによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可 CARRINT2 ビットを“1”に設定した場合、EMU2nPWMCTR レジスタの CARRMOU ビット、CARRVAL ビットの設定により、キャリアカウンタ山、谷、 山谷両方のタイミングで割り込みが発生します。
7	SMLINT2	割り込み要因設定ビット 2 (等価チェックエラー) 等価チェックエラーによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
6	CBUFINT2	割り込み要因設定ビット 2 (検算用バッファリング完了) バッファリング完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
5、4	—	読むと“0”が読み出されます。書き込みは“0”としてください。

表 24.46 EMU2nINT2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	RECINT2	割り込み要因設定ビット 2 (矩形 IP 完了) 矩形 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
2	PWMINT2	割り込み要因設定ビット 2 (PWM IP 完了) PWM IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
1	PIINT2	割り込み要因設定ビット 2 (PI 制御 IP 完了) PI 制御 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
0	ININT2	割り込み要因設定ビット 2 (入力 IP 完了) 入力 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可

注 1. 角度コンペア 0、1 に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

EMU2n 割り込み 2 (n = 0、1) の割り込み要因を設定するレジスタです。詳細は、「24.1.4 割り込み要求」を参照してください。

24.3.14 EMU2nINT3 — EMU2n 割り込み要因選択レジスタ 3 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0016_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VMTINT3	IRECWINT3	IRECVINT3	IRECUINT3	CMP1INT3	CMP0INT3	CARRINT3	SMLINT3	CBUFINT3	—	—	RECINT3	PWMININT3	PIINT3	ININT3
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

表 24.47 EMU2nINT3 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	—	読むと“0”が読み出されます。書き込みは“0”としてください。
14	VMTINT3	割り込み要因設定ビット3 (速度計測タイマオーバーフロー) 速度計測タイマオーバーフロー発生による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
13	IRECWINT3	割り込み要因設定ビット3 (独立矩形W相コンペア一致) 独立矩形W相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
12	IRECVINT3	割り込み要因設定ビット3 (独立矩形V相コンペア一致) 独立矩形V相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
11	IRECUINT3	割り込み要因設定ビット3 (独立矩形U相コンペア一致) 独立矩形U相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
10	CMP1INT3	割り込み要因設定ビット3 (角度コンペア1一致) ^{注1} 角度コンペア1一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
9	CMP0INT3	割り込み要因設定ビット3 (角度コンペア0一致) ^{注1} 角度コンペア0一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
8	CARRINT3	割り込み要因設定ビット3 (キャリアカウンタ) キャリアカウンタ山、谷タイミングによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可 CARRINT3 ビットを“1”に設定した場合、EMU2nPWMCTR レジスタの CARRMOU ビット、CARRVAL ビットの設定により、キャリアカウンタ山、谷、 山谷両方のタイミングで割り込みが発生します。
7	SMLINT3	割り込み要因設定ビット3 (等価チェックエラー) 等価チェックエラーによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
6	CBUFINT3	割り込み要因設定ビット3 (検算用バッファリング完了) バッファリング完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
5、4	—	読むと“0”が読み出されます。書き込みは“0”としてください。

表 24.47 EMU2nINT3 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	RECINT3	割り込み要因設定ビット 3 (矩形 IP 完了) 矩形 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
2	PWMINT3	割り込み要因設定ビット 3 (PWM IP 完了) PWM IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
1	PIINT3	割り込み要因設定ビット 3 (PI 制御 IP 完了) PI 制御 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
0	ININT3	割り込み要因設定ビット 3 (入力 IP 完了) 入力 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可

注 1. 角度コンペア 0、1に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

EMU2n 割り込み 3 (n = 0、1) の割り込み要因を設定するレジスタです。詳細は、「24.1.4 割り込み要求」を参照してください。

24.3.15 EMU2nINT4 — EMU2n 割り込み要因選択レジスタ 4 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0018_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VMTINT 4	IRECWI NT4	IRECVI NT4	IRECUI NT4	CMP1I NT4	CMP0I NT4	CARRI NT4	SMLINT 4	CBUFIN T4	—	—	RECINT 4	PWMIN T4	PIINT4	ININT4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

表 24.48 EMU2nINT4 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	—	読むと“0”が読み出されます。書き込みは“0”としてください。
14	VMTINT4	割り込み要因設定ビット4 (速度計測タイマオーバーフロー) 速度計測タイマオーバーフロー発生による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
13	IRECWINT4	割り込み要因設定ビット4 (独立矩形W相コンペア一致) 独立矩形W相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
12	IRECVENT4	割り込み要因設定ビット4 (独立矩形V相コンペア一致) 独立矩形V相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
11	IRECUINT4	割り込み要因設定ビット4 (独立矩形U相コンペア一致) 独立矩形U相コンペア一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
10	CMP1INT4	割り込み要因設定ビット4 (角度コンペア1一致) ^{注1} 角度コンペア1一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
9	CMP0INT4	割り込み要因設定ビット4 (角度コンペア0一致) ^{注1} 角度コンペア0一致による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
8	CARRINT4	割り込み要因設定ビット4 (キャリアカウンタ) キャリアカウンタ山、谷タイミングによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可 CARRINT4 ビットを“1”に設定した場合、EMU2nPWMCTR レジスタの CARRMOU ビット、CARRVAL ビットの設定により、キャリアカウンタ山、谷、 山谷両方のタイミングで割り込みが発生します。
7	SMLINT4	割り込み要因設定ビット4 (等価チェックエラー) 等価チェックエラーによる割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
6	CBUFINT4	割り込み要因設定ビット4 (検算用バッファリング完了) バッファリング完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
5、4	—	読むと“0”が読み出されます。書き込みは“0”としてください。

表 24.48 EMU2nINT4 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	RECINT4	割り込み要因設定ビット 4 (矩形 IP 完了) 矩形 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
2	PWMINT4	割り込み要因設定ビット 4 (PWM IP 完了) PWM IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
1	PIINT4	割り込み要因設定ビット 4 (PI 制御 IP 完了) PI 制御 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可
0	ININT4	割り込み要因設定ビット 4 (入力 IP 完了) 入力 IP 完了による割り込みを許可するビットです。 0: 割り込み禁止 1: 割り込み許可

注 1. 角度コンペア 0、1に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

EMU2n 割り込み 4 (n=0、1) の割り込み要因を設定するレジスタです。詳細は、「24.1.4 割り込み要求」を参照してください。

24.3.16 EMU2nINTSD — EMU2n 割り込み要因判別レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 001C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VMTIF	IRECWIF	IRECVIF	IRECUIF	CMP1IF	CMP0IF	CARRIF	SMLIF	CBUFIF	—	—	RECIF	PWMIF	PIIF	INIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.49 EMU2nINTSD レジスタの内容

ビット位置	ビット名	機能
15	—	読むと“0”が読み出されます。書き込みは“0”としてください。
14	VMTIF	割り込み要因判定フラグ (速度計測タイムオーバーフロー) 0: 速度計測タイムオーバーフロー未発生 1: 速度計測タイムオーバーフロー発生
13	IRECWIF	割り込み要因判定フラグ (独立矩形 W 相コンペア一致) 0: 独立矩形 W 相コンペア一致 未発生 1: 独立矩形 W 相コンペア一致 発生
12	IRECVIF	割り込み要因判定フラグ (独立矩形 V 相コンペア一致) 0: 独立矩形 V 相コンペア一致 未発生 1: 独立矩形 V 相コンペア一致 発生
11	IRECUIF	割り込み要因判定フラグ (独立矩形 U 相コンペア一致) 0: 独立矩形 U 相コンペア一致 未発生 1: 独立矩形 U 相コンペア一致 発生
10	CMP1IF	割り込み要因判定フラグ (角度コンペア 1 一致) 注1 0: 角度コンペア 1 一致 未発生 1: 角度コンペア 1 一致 発生
9	CMP0IF	割り込み要因判定フラグ (角度コンペア 0 一致) 注1 0: 角度コンペア 0 一致 未発生 1: 角度コンペア 0 一致 発生
8	CARRIF	割り込み要因判定フラグ (キャリアカウンタ) 0: キャリアカウンタ割り込み未発生 1: キャリアカウンタ割り込み発生
7	SMLIF	割り込み要因判定フラグ (等価チェックエラー) 0: 等価チェックエラー 未発生 1: 等価チェックエラー 発生
6	CBUFIF	割り込み要因判定フラグ (検算用バッファリング完了) 0: 検算用レジスタへのバッファリング 未発生 1: 検算用レジスタへのバッファリング 発生
5、4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3	RECIF	割り込み要因判定フラグ (矩形 IP 完了) 0: 矩形 IP 完了割り込み未発生 1: 矩形 IP 完了割り込み発生
2	PWMIF	割り込み要因判定フラグ (PWM IP 完了) 0: PWM IP 完了割り込み未発生 1: PWM IP 完了割り込み発生
1	PIIF	割り込み要因判定フラグ (PI 制御 IP 完了) 0: PI 制御 IP 完了割り込み未発生 1: PI 制御 IP 完了割り込み発生
0	INIF	割り込み要因判定フラグ (入力 IP 完了) 0: 入力 IP 完了割り込み未発生 1: 入力 IP 完了割り込み発生

注 1. 角度コンペア 0、1に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

EMU2nINTSD レジスタのビットは各 IP の動作完了時に“1”になります。割り込み発生時の要因判別にも使用可能です。

24.3.17 EMU2nINTSDC — EMU2n 割り込み要因判別クリアレジスタ (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 001E_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VMTIF C	I _{REC} WIF C	I _{REC} VIF C	I _{REC} UIF C	CMP1IF C	CMP0IF C	CARRIF C	SMLIFC	CBUFIF C	—	—	RECIF C	PWMIF C	PIIFC	INIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

表 24.50 EMU2nINTSDC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	—	読むと“0”が読み出されます。書き込みは“0”としてください。
14	VMTIFC	割り込み要因判定フラグクリアビット (速度計測タイムオーバーフロー) “1”を書くと、EMU2nINTSD レジスタの VMTIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
13	I _{REC} WIFC	割り込み要因判定フラグクリアビット (独立矩形 W 相コンペア一致) “1”を書くと、EMU2nINTSD レジスタの I _{REC} WIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
12	I _{REC} VIFC	割り込み要因判定フラグクリアビット (独立矩形 V 相コンペア一致) “1”を書くと、EMU2nINTSD レジスタの I _{REC} VIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
11	I _{REC} UIFC	割り込み要因判定フラグクリアビット (独立矩形 U 相コンペア一致) “1”を書くと、EMU2nINTSD レジスタの I _{REC} UIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
10	CMP1IFC	割り込み要因判定フラグクリアビット (角度コンペア 1 一致) 注1 “1”を書くと、EMU2nINTSD レジスタの CMP1IF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
9	CMP0IFC	割り込み要因判定フラグクリアビット (角度コンペア 0 一致) 注1 “1”を書くと、EMU2nINTSD レジスタの CMP0IF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
8	CARRIFC	割り込み要因判定フラグクリアビット (キャリアカウンタ) “1”を書くと、EMU2nINTSD レジスタの CARRIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
7	SMLIFC	割り込み要因判定フラグクリアビット (等価チェックエラー) “1”を書くと、EMU2nINTSD レジスタの SMLIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
6	CBUFIFC	割り込み要因判定フラグクリアビット (検算用バッファリング完了) “1”を書くと、EMU2nINTSD レジスタの CBUFIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
5, 4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3	RECIFC	割り込み要因判定フラグクリアビット (矩形 IP 完了) “1”を書くと、EMU2nINTSD レジスタの RECIF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。

表 24.50 EMU2nINTSDC レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PWMIFC	割り込み要因判定フラグクリアビット (PWM IP 完了) “1” を書くと、EMU2nINTSD レジスタの PWMIF ビットが “0” になります。“1” 書き込み後に自動的に “0” になります。“0” 書き込みは無効です。読み出し値はつねに “0” になります。
1	PIIFC	割り込み要因判定フラグクリアビット (PI 制御 IP 完了) “1” を書くと、EMU2nINTSD レジスタの PIIF ビットが “0” になります。“1” 書き込み後に自動的に “0” になります。“0” 書き込みは無効です。読み出し値はつねに “0” になります。
0	INIFC	割り込み要因判定フラグクリアビット (入力 IP 完了) “1” を書くと、EMU2nINTSD レジスタの INIF ビットが “0” になります。“1” 書き込み後に自動的に “0” になります。“0” 書き込みは無効です。読み出し値はつねに “0” になります。

注 1. 角度コンペア 0、1 に関する詳細は、「24.4.10 一括矩形 IP」を参照してください。

24.3.18 EMU2nOFMON — EMU2n オーバフロー検出結果レジスタ (n = 0, 1)

アクセス 8ビット単位でリード可能です。

アドレス <EMU2n_base> + 0020_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWMIPOF	PIIPOF	INIPOF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.51 EMU2nOFMON レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPOF	PWM IP オーバフロー検出フラグ 0: PWM IP オーバフロー未検出 1: PWM IP オーバフロー検出
1	PIIPOF	PI 制御 IP オーバフロー検出フラグ 0: PI 制御 IP オーバフロー未検出 1: PI 制御 IP オーバフロー検出
0	INIPOF	入力 IP オーバフロー検出フラグ 0: 入力 IP オーバフロー未検出 1: 入力 IP オーバフロー検出

24.3.19 EMU2nZDMON — EMU2n ゼロ除算検出結果レジスタ (n = 0, 1)

アクセス 8ビット単位でリード可能です。

アドレス <EMU2n_base> + 0021_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWMIPZD	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.52 EMU2nZDMON レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPZD	PWM IP ゼロ除算検出フラグ 0: PWM IP ゼロ除算未検出 1: PWM IP ゼロ除算検出
1、0	—	読むと“0”が読み出されます。書き込みは“0”としてください。

24.3.20 EMU2nOFMONC — EMU2n オーバフロー検出結果クリアレジスタ (n = 0, 1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0022_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWMIPOFC	PIIPOFC	INIPOFC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.53 EMU2nOFMONC レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPOFC	PWM IP オーバフロー検出フラグクリアビット “1”を書くと、EMU2nOFMON レジスタの PWMIPOF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
1	PIIPOFC	PI 制御 IP オーバフロー検出フラグクリアビット “1”を書くと、EMU2nOFMON レジスタの PIIPOF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
0	INIPOFC	入力 IP オーバフロー検出フラグクリアビット “1”を書くと、EMU2nOFMON レジスタの INIPOF ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。

24.3.21 EMU2nZDMONC — EMU2n ゼロ除算検出結果クリアレジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0023_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWMIPZDC	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R

表 24.54 EMU2nZDMONC レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPZDC	PWM IP ゼロ除算検出フラグクリアビット “1”を書くと、EMU2nZDMON レジスタのPWMIPZD ビットが“0”になります。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
1、0	—	読むと“0”が読み出されます。書き込みは“0”としてください。

24.3.22 EMU2nSMLCTR — EMU2n 等価チェック機能制御レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0028_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DATTRG	SMLLEN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.55 EMU2nSMLCTR レジスタの内容

ビット位置	ビット名	機能
7～2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
1	DATTRG	データトリガ信号選択ビット チャンネル0の場合： 0：データ／トリガ信号にチャンネル0側の信号を適用 1：データ／トリガ信号にチャンネル1側の信号を適用 チャンネル1の場合： 0：データ／トリガ信号にチャンネル1側の信号を適用 1：データ／トリガ信号にチャンネル0側の信号を適用
0	SMLLEN	等価チェック機能許可ビット 0：チャンネル0と1の同時入力、同時起動を禁止 1：チャンネル0と1の同時入力、同時起動を許可

SMLLEN ビットは、EMU20SMLCTR レジスタと EMU21SMLCTR レジスタで同じ値を設定してください。

EMU20SMLCTR レジスタの DATTRG ビットと EMU21SMLCTR レジスタの DATTRG ビットは、“0”と“0”、“0”と“1”、“1”と“0”の組合せのみ設定可能です。

24.3.23 EMU2nCBCTR0 — EMU2n 検算用バッファ制御レジスタ 0 (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 002C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	CBMON	CBEN1	CBEN0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.56 EMU2nCBCTR0 レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	CBMON	バッファリング状態ビット バッファリングの状態を示します。 0: バッファリング完了またはアイドル状態 1: バッファリング完了待ち状態
1	CBEN1	バッファリング許可ビット1 バッファリングを許可します。 0: CBEN0 ビットでバッファリングを許可する 1: 常時バッファリングを許可する
0	CBEN0	バッファリング許可ビット0 “1”を書くと、バッファリングが許可されます。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。

バッファリング対象の値は以下のとおりです。

- EMU2nADm データレジスタ k (EMU2nADmk) (m = 0、1、k = 0～2)
- EMU2n レゾルバ角モニタレジスタ (EMU2nTHTREFIXIN)
- EMU2n d 軸電流値レジスタ (EMU2nIDFIX)
- EMU2n q 軸電流値レジスタ (EMU2nIQFIX)
- U 相コンペア値レジスタ (EMU2nPWMUIP)
- V 相コンペア値レジスタ (EMU2nPWMVIP)
- W 相コンペア値レジスタ (EMU2nPWMWIP)
- U/V/W 相一括矩形パタン値
- U/V/W 相独立矩形パタン値

CBEN0 ビット

CBEN0 ビットに“1”を書いた場合、EMU2nCBTIM レジスタで許可したタイミングのうち一番初めに発生したイベントのタイミングで検算用バッファレジスタへのバッファリングが一度だけ実行されます。再度バッファリングを行う場合は、その都度 CBEN0 ビットへ“1”を書いてください。EMU2nCBTIM レジスタに複数のタイミングを設定する場合は、一つ一つのタイミングごとに CBEN0 ビットへ“1”を書いてください。

CBEN1 ビット

CBEN1 ビットを“1”に設定すると、EMU2nCBTIM レジスタで許可したタイミングが発生する度に、検算用バッファレジスタへのバッファリングが毎回実行されます。

CBMON ビット

CBEN0 ビットでのバッファリング実行時は、CBEN0 ビットへの“1”書き込みからバッファリング完了までの期間“1”になります。CBEN1 ビットでのバッファリング実行時は、CBEN1 ビットへの“1”書き込みから CBEN1 ビットへの“0”書き込みまでの期間“1”になります。

24.3.24 EMU2nCBCTR1 — EMU2n 検算用バッファ制御レジスタ 1 (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 002D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	IRECCEN	BRECCEN	PWMCEN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.57 EMU2nCBCTR1 レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	IRECCEN	独立矩形パタン比較許可ビット バッファリング完了時に独立矩形パタンがチャンネル間で一致するかチェックします。 0: 独立矩形パタンの比較を禁止 1: 独立矩形パタンの比較を許可
1	BRECCEN	一括矩形パタン比較許可ビット バッファリング完了時に一括矩形パタンがチャンネル間で一致するかチェックします。 0: 一括矩形パタンの比較を禁止 1: 一括矩形パタンの比較を許可
0	PWMCEN	PWMコンペア値比較許可ビット バッファリング完了時にPWMコンペア値がチャンネル間で一致するかチェックします。 0: PWM デューティ値の比較を禁止 1: PWM デューティ値の比較を許可

PWMCEN、BRECCEN、IRECCEN ビットを“1”にする場合は、EMU20CBTIM レジスタと EMU21CBTIM レジスタに同じ値を設定してください。比較結果は割り込みおよび EMU2nINTSD の SMLIF ビットに出力されます。

24.3.25 EMU2nCBTIM — EMU2n 検算用バッファタイミング選択レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 002E

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IRECW BT	IRECV BT	IRECU BT	—	CMP0B T	—	—	—	—	—	—	PWMB T	—	INBT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R	R/W	R	R/W

表 24.58 EMU2nCBTIM レジスタの内容

ビット位置	ビット名	機能
15、14	—	読むと“0”が読み出されます。書き込みは“0”としてください。
13	IRECWBT	バッファタイミング設定ビット（独立矩形 W 相コンペア一致） ^{注1} 独立矩形 W 相コンペア一致時の検算用バッファレジスタへのバッファリングを許可します。 0：バッファリング禁止 1：バッファリング許可
12	IRECVBT	バッファタイミング設定ビット（独立矩形 V 相コンペア一致） ^{注1} 独立矩形 V 相コンペア一致時の検算用バッファレジスタへのバッファリングを許可します。 0：バッファリング禁止 1：バッファリング許可
11	IRECUBT	バッファタイミング設定ビット（独立矩形 U 相コンペア一致） ^{注1} 独立矩形 U 相コンペア一致時の検算用バッファレジスタへのバッファリングを許可します。 0：バッファリング禁止 1：バッファリング許可
10	—	読むと“0”が読み出されます。書き込みは“0”としてください。
9	CMP0BT	バッファタイミング設定ビット（角度コンペア 0 一致） 角度コンペア 0 一致時の検算用バッファレジスタへのバッファリングを許可します。 0：バッファリング禁止 1：バッファリング許可
8～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMBT	バッファタイミング設定ビット（PWM IP 完了） PWM IP 完了時の検算用バッファレジスタへのバッファリングを許可します。 0：バッファリング禁止 1：バッファリング許可
1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	INBT	バッファタイミング設定ビット（入力 IP 完了） 入力 IP 完了時の検算用バッファレジスタへのバッファリングを許可します。 0：バッファリング禁止 1：バッファリング許可

注 1. 独立矩形のバッファリングは、各相に用意された独立矩形用コンペアレジスタ 0～2 の各コンペア一致毎に実行されます。

24.3.26 EMU2nANGCTR — EMU2n 角度生成 IP 制御レジスタ (n = 0, 1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0040_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RDPHIEN	PHISEL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.59 EMU2nANGCTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
1	RDPHIEN	0 : 角度入力 0 固定 1 : R/D コンバータからの角度情報 / Z 相信号イネーブル
0	PHISEL	0 : R/D コンバータからの角度情報 / Z 相信号を使用 1 : EMU2 ユーザ設定値を使用 (EMU2nRESTHSFT レジスタ)

EMU2nANGCTR レジスタは、角度生成 IP の演算制御を行います。角度生成 IP の演算制御詳細は、「**24.4.4 角度生成 IP**」を参照してください。

24.3.27 EMU2nCPJUD0 — EMU2n コンペア判定補正レジスタ 0 (n = 0, 1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0042_H

リセット後の値 FF_H

ビット	7	6	5	4	3	2	1	0
	DATA							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.60 EMU2nCPJUD0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	DATA	データビット データを設定してください。

EMU2nCPJUD0 レジスタの設定値による演算詳細は、「**24.4.4 (4) 角度コンペア 0 一致の判定**」を参照してください。

24.3.28 EMU2nCPJUD1 — EMU2n コンペア判定補正レジスタ 1 (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0043_H

リセット後の値 FF_H

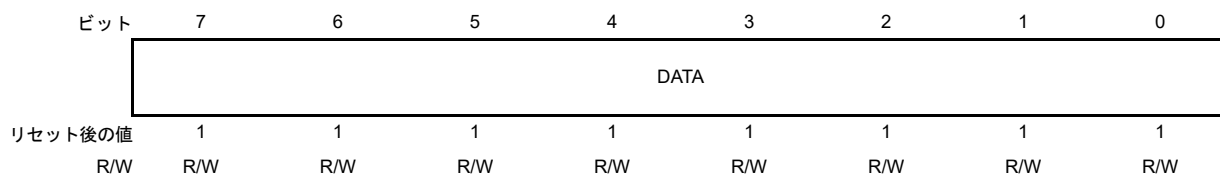


表 24.61 EMU2nCPJUD1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	DATA	データビット データを設定してください。

EMU2nCPJUD1 レジスタの設定値による演算詳細は、「**24.4.4 (5) 角度コンペア 1 一致の判定**」を参照してください。

24.3.29 EMU2nRESTHSFT — EMU2n レゾルバ角ソフト入力レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0044_H

リセット後の値 0000_H

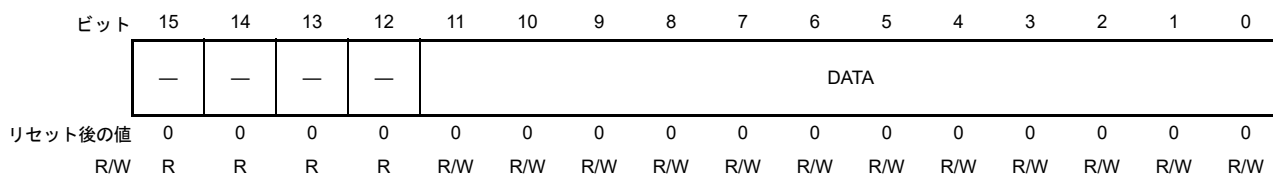


表 24.62 EMU2nRESTHSFT レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと"0"が読み出されます。書き込みは"0"としてください。
11 ~ 0	DATA	データビット データを設定してください。

EMU2nRESTHSFT レジスタの設定値による演算詳細は、「**24.4.4 (2) 角度データの取得**」を参照してください。

24.3.30 EMU2nANGOFS — EMU2n 角度生成 IP オフセットレジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0046_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S				DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.63 EMU2nANGOFS レジスタの内容

ビット位置	ビット名	機能
15～12	S	符号ビット 符号ビットを設定してください。
11～0	DATA	データビット データを設定してください。

EMU2nANGOFS レジスタの設定値による演算詳細は、「24.4.4 (2) 角度データの取得」を参照してください。

24.3.31 EMU2nPXR — EMU2n 電気角生成用係数レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0048_H

リセット後の値 0100_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.64 EMU2nPXR レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 0に固定してください。
14～0	DATA	データビット データを設定してください。

EMU2nPXR レジスタの設定値による演算詳細は、「24.4.4 (3) 電気角の生成」を参照してください。

24.3.32 EMU2nRESTHETA — EMU2n レゾルバ角レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 004A_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.65 EMU2nRESTHETA レジスタの内容

ビット位置	ビット名	機能
15～12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11～0	DATA	データビット データが格納されます。

EMU2nRESTHETA レジスタによりモニタできる演算詳細は、「24.4.4 (2) 角度データの取得」、「24.4.4 (5) 角度コンペア 1 一致の判定」を参照してください。

24.3.33 EMU2nTHTEFIX — EMU2n 電気角レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 004C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.66 EMU2nTHTEFIX レジスタの内容

ビット位置	ビット名	機能
15～12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11～0	DATA	データビット データが格納されます。

EMU2nTHTEFIX レジスタによりモニタできる演算詳細は、「24.4.5 (2) 電気角の入手元の選択、A/D 変換結果の取得」、「24.4.4 (3) 電気角の生成」、「24.4.4 (4) 角度コンペア 0 一致の判定」を参照してください。

24.3.34 EMU2nRESRLD — EMU2n レゾルバ極数設定レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 004E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.67 EMU2nRESRLD レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2～0	DATA	データビット データを設定してください。

EMU2nRESRLD レジスタの設定値による演算詳細は、「24.4.4 (3) 電気角の生成」、を参照してください。

24.3.35 EMU2nRESCNT — EMU2n レゾルバ極カウントレジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 004F_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.68 EMU2nRESCNT レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2～0	DATA	データビット データを設定してください。

EMU2nRESCNT レジスタの設定値による演算詳細は、「24.4.4 (3) 電気角の生成」、を参照してください。

24.3.36 EMU2nVMTCTR — EMU2n 速度計測タイマ制御レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0054_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STTRG	—	—	—	—	—	—	—	—	—	—	—	—	—	OVFSW	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 24.69 EMU2nVMTCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	読むと“0”が読み出されます。書き込みは“0”としてください。
15	STTRG	ソフトウェアトリガビット “1”を書くと、EMU2nVMTCNT カウンタ値を EMU2nVMTCAP レジスタへ格納（キャプチャ）します。 “1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
14 ~ 2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
1	OVFSW	オーバフロー出力先切り替えビット 0：EMU2nVMTOF レジスタ 1：割り込み要求
0	STR	カウント開始ビット 0：カウンタのカウント動作停止 1：カウンタのカウント動作開始

STTRG ビット

STTRG ビットに“1”を書き込むと、EMU2nVMTCNT カウンタ値を EMU2nVMTCAP レジスタへ格納（キャプチャ）します。

OVFSW ビット

EMU2nVMTCNT カウンタがオーバフローしたとき、割り込み要求を発生させるか、または EMU2nVMTOF レジスタの OVF ビットを“1”にするかを選択します。

STR ビット

EMU2nVMTCNT カウンタの動作開始/停止を選択します。

24.3.37 EMU2nVMTCNT — EMU2n 速度計測タイマカウンタレジスタ (n = 0、1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0058_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	DATA								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.70 EMU2nVMTCNT レジスタの内容

ビット位置	ビット名	機能
31～25	—	読むと“0”が読み出されます。書き込みは“0”としてください。
24～0	DATA	データビット データを設定してください。

EMU2nVMTCNT カウンタは、EMU2nVMTCTR レジスタの STR ビットが“1”のとき、CCLK によってカウントアップする 25 ビットカウンタです。このレジスタは、動作中/停止中に関係なく、値を書き換えることができます。読むと、カウンタ値が読み出せます。

EMU2nVMTCNT カウンタ値を EMU2nVMTCAP レジスタへ格納したとき、または、EMU2nVMTCNT カウンタがオーバフローしたとき、EMU2nVMTCNT カウンタは“0000 0000_H”になります。その後、カウント継続します。

24.3.38 EMU2nVMTCAP — EMU2n 速度計測タイマキャプチャレジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 005C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	DATA								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.71 EMU2nVMTCAP レジスタの内容

ビット位置	ビット名	機能
31～25	—	読むと“0”が読み出されます。書き込みは“0”としてください。
24～0	DATA	データビット データが格納されます。

EMU2nVMTCAP レジスタは、読み出し専用レジスタです。R/D コンバータからの信号で EMU2nVMTCNT カウンタ値を EMU2nVMTCAP レジスタへ格納します。

速度計測タイマを使用する場合は EMU2nANGCTR レジスタを“02_H”に設定してください。

24.3.39 EMU2nVMTOF — EMU2n 速度計測タイマオーバフローレジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 24.72 EMU2nVMTOF レジスタの内容

ビット位置	ビット名	機能
31～1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	OVF	オーバフローフラグ 0: オーバフローなし 1: オーバフローあり、または“0”の状態に“1”を書いたとき

EMU2nVMTOF レジスタは、EMU2nVMTCTR レジスタの OVFSW ビットが“0”のとき有効になります。

OVF フラグ

[“0”になる条件]

- OVF フラグが“1”の状態に、“0”を書き込んだとき

[“1”になる条件]

- EMU2nVMTCTR レジスタの OVFSW ビットが“0”(EMU2nVMTOF レジスタを選択)の状態に、EMU2nVMTCNT カウンタがオーバフローしたとき (01FF FFFF_H → 0000 0000_H)
- OVF フラグが“0”の状態に、“1”を書き込んだとき

24.3.40 EMU2nCTRINMD — EMU2n 入力 IP 制御レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0080_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	INSTC TR1	INSTC TR0	CMUV W2	CMUV W1	CMUV W0	CMES	—	FREGI N
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

表 24.73 EMU2nCTRINMD レジスタの内容

ビット位置	ビット名	機能
15 ~ 6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
7	INSTCTR1	入力 IP 起動タイミングを選択します。注1 b1 b0 0 0: すべての A/D 変換完了時 (AD コンバータのスキャングループ 4 のスキャン終了) 0 1: Ch0 の A/D 変換完了時 (AD コンバータの仮想チャンネル 0 の変換完了) 1 0: Ch1 の A/D 変換完了時 (AD コンバータの仮想チャンネル 1 の変換完了) 1 1: Ch2 の A/D 変換完了時 (AD コンバータの仮想チャンネル 2 の変換完了)
6	INSTCTR0	
5	CMUVW2	CMES ビットを“1”にした場合、電流値測定の対象を選択します。 b5 b4 b3 0 0 0: 3 相 (U 相、V 相、W 相) を測定 0 0 1: 2 相 (V 相、W 相) を測定 0 1 0: 2 相 (U 相、W 相) を測定 1 0 0: 2 相 (U 相、V 相) を測定 上記以外、設定しないでください。
4	CMUVW1	
3	CMUVW0	
2	CMES	電流値測定の対象を選択します。 0: 2 相 1: CMUVW[2:0] ビットで選択
1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	FREGIN	入力 IP で使用する電気角を選択します。 0: ユーザ設定値を使用する 1: 角度生成 IP で生成された電気角、レゾルバ角を使用する

注 1. INSTCTR[1:0] ビットの変更は A/D 変換器が停止状態で行ってください。

入力 IP の演算を制御するレジスタです。各ビットによる演算詳細は、「24.4.5 入力 IP」を参照してください。

注 意

A/D コンバータの仮想チャンネルレジスタ (VCRn) およびデータレジスタ (DRn) と EMU2 の ADm データレジスタ k の接続関係は、以下のとおりです。

A/D コンバータ側	EMU2 側	EMU2 が期待する電流値
仮想チャンネル 0 (VCR0、DR0)	ADm データレジスタ 0 (EMU2nADm0)	V 相電流値
仮想チャンネル 1 (VCR1、DR1)	ADm データレジスタ 1 (EMU2nADm1)	W 相電流値
仮想チャンネル 2 (VCR1、DR2)	ADm データレジスタ 2 (EMU2nADm2)	U 相電流値

EMU2 が期待する上記の電流値を、A/D コンバータの仮想チャンネル 0 ~ 2 が出力できるように、A/D コンバータ内レジスタを設定してください。

24.3.41 EMU2nADmk — EMU2n ADm データレジスタ k (n = 0、1) (m = 0、1) (k = 0 ~ 2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU20AD00: <EMU20_base> + 0084_H、EMU20AD01: <EMU20_base> + 0088_H、
EMU20AD02: <EMU20_base> + 008C_H
EMU21AD10: <EMU21_base>+0084_H、EMU21AD11: <EMU21_base> + 0088_H、
EMU21AD12: <EMU21_base> + 008C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.74 EMU2nADmk レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット AD 変換値が格納されます。 また、A/D 変換値を設定できます。

EMU2nADmk レジスタには、ADCCmDRk レジスタの変換結果が格納されます。また、プログラムで変換結果を設定できます。AD 変換値の格納と CPU による電流値書き込みが同時に発生した場合は AD 変換値の格納が優先されます。詳細は、「**24.4.5 (2) 電気角の入手元の選択、A/D 変換結果の取得**」を参照してください。

ADCCnADCR2.DFMT ビットの設定にかかわらず、EMU2nADmk レジスタには A/D 変換結果が b11 ~ b0 に格納されます。

24.3.42 EMU2nADDOFSmk — EMU2n ADm チャンネル k 原点補正值レジスタ (n = 0, 1) (m = 0, 1) (k = 0 ~ 2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU20ADDOFS00: <EMU20_base> + 0086_H, EMU20ADDOFS01: <EMU20_base> + 008A_H,
EMU20ADDOFS02: <EMU20_base> + 008E_H
EMU21ADDOFS10: <EMU21_base> + 0086_H, EMU21ADDOFS11: <EMU21_base> + 008A_H,
EMU21ADDOFS12: <EMU21_base> + 008E_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.75 EMU2nADDOFSmk レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14~0	DATA	データビット データを設定してください。

EMU2nADDOFSmk レジスタの設定値による演算詳細は、「24.4.5 (3) モータ電流値の算出」、を参照してください。

24.3.43 EMU2nADFIXmk — EMU2n A/Dm チャンネル k 変換値レジスタ (n = 0, 1) (m = 0, 1) (k = 0 ~ 2)

アクセス 16 ビット単位でリード可能です。

アドレス EMU20ADFIX00: <EMU20_base> + 0090_H, EMU20ADFIX01: <EMU20_base> + 0094_H,
EMU20ADFIX02: <EMU20_base> + 0098_H
EMU21ADFIX10: <EMU21_base> + 0090_H, EMU21ADFIX11: <EMU21_base> + 0094_H,
EMU21ADFIX12: <EMU21_base> + 0098_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.76 EMU2nADFIXmk レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットが格納されます。
14-0	DATA	データビット データが格納されます。

EMU2nADFIXmk レジスタによりモニタできる演算詳細は、「24.4.5 (3) モータ電流値の算出」を参照してください。

24.3.44 EMU2nTHTESFT — EMU2n 電気角ソフト入力レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0092_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.77 EMU2nTHTESFT レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット データを設定してください。

EMU2nTHTESFT レジスタの設定値による演算詳細は、「24.4.5 (2) 電気角の入手元の選択、A/D 変換結果の取得」を参照してください。

24.3.45 EMU2nEARD — EMU2n 電気角応答遅れ補正変数レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0096_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.78 EMU2nEARD レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット データを設定してください。

EMU2nEARD レジスタの設定値による演算詳細は、「24.4.5 (2) 電気角の入手元の選択、A/D 変換結果の取得」を参照してください。

24.3.46 EMU2nTHTE — EMU2n 電気角保持レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 009A_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.79 EMU2nTHTE レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット データが格納されます。

EMU2nTHTE レジスタによりモニタできる演算詳細は、「24.4.5 (2) 電気角の入手元の選択、A/D 変換結果の取得」、「24.4.7 (3) 三相電圧へ変換」を参照してください。

24.3.47 EMU2nTHTREFIXIN — EMU2n レゾルバ角モニタレジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 009C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.80 EMU2nTHTREFIXIN レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット データが格納されます。

EMU2nTHTREFIXIN レジスタによりモニタできる演算詳細は、「24.4.5 (2) 電気角の入手元の選択、A/D 変換結果の取得」を参照してください。

24.3.48 EMU2nSR2 — EMU2n dq 軸電流変換係数レジスタ (n = 0、1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00A0_H

リセット後の値 0000 D106_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	1	1	0	1	0	0	0	1	0	0	0	0	0	1	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.81 EMU2nSR2 レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nSR2 レジスタの設定値による演算詳細は、「24.4.5 (4) dq 軸電流変換」、「24.4.7 (3) 三相電圧へ変換」を参照してください。

24.3.49 EMU2nDIVLSB — EMU2n LSB 調整レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00A4

リセット後の値 0001 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.82 EMU2nDIVLSB レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nDIVLSB レジスタの設定値による演算詳細は、「24.4.5 (3) モータ電流値の算出」を参照してください。

24.3.50 EMU2nIUFIX — EMU2n U相電流値レジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 00A8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.83 EMU2nIUFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nIUFIX レジスタによりモニタできる演算詳細は、「24.4.5 (3) モータ電流値の算出」を参照してください。

24.3.51 EMU2nIVFIX — EMU2n V相電流値レジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 00AC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.84 EMU2nIVFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nIVFIX レジスタによりモニタできる演算詳細は、「24.4.5 (3) モータ電流値の算出」を参照してください。

24.3.52 EMU2nIWFIX — EMU2n W 相電流値レジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 00B0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.85 EMU2nIWFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nIWFIX レジスタによりモニタできる演算詳細は、「24.4.5 (3) モータ電流値の算出」、
「24.4.5 (4) dq 軸電流変換」を参照してください。

24.3.53 EMU2nIDFIX — EMU2n d 軸電流値レジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 00B4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.86 EMU2nIDFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nIDFIX レジスタによりモニタできる演算詳細は、「24.4.5 (4) dq 軸電流変換」、
「24.4.6 PI 制御 IP」、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.54 EMU2nIQFIX — EMU2n q 軸電流値レジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 00B8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.87 EMU2nIQFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nIQFIX レジスタによりモニタできる演算詳細は、「24.4.5 (4) dq 軸電流変換」、
「24.4.6 PI 制御 IP」、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.55 EMU2nPICTR — EMU2n PI 制御レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00C0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FSUMIQ	FSUMID
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.88 EMU2nPICTR レジスタの内容

ビット位置	ビット名	機能
7～2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
1	FSUMIQ	sum_iq ソフト入力選択ビット sum_iq に使用する設定値を選択するビットです。 0：ユーザ設定値を使用 1：EMU 演算結果を使用
0	FSUMID	sum_id ソフト入力選択ビット sum_id に使用する設定値を選択するビットです。 0：ユーザ設定値を使用 1：EMU 演算結果を使用

24.3.56 EMU2nIDIN — EMU2n d 軸電流指令値レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00C4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.89 EMU2nIDIN レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30～0	DATA	データビット データを設定してください。

EMU2nIDIN レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.57 EMU2nIQIN — EMU2n q 軸電流指令値レジスタ (n = 0、1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.90 EMU2nIQIN レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nIQIN レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.58 EMU2nID — EMU2n id レジスタ (n = 0、1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00CC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.91 EMU2nID レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nID レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.59 EMU2nIQ — EMU2n iq レジスタ (n = 0、1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00D0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.92 EMU2nIQ レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nIQ レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.60 EMU2nGPD0 — EMU2n GPD0 レジスタ (n = 0, 1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00D4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.93 EMU2nGPD0 レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nGPD0 レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.61 EMU2nGPQ0 — EMU2n GPQ0 レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00D8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.94 EMU2nGPQ0 レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nGPQ0 レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.62 EMU2nGPD — EMU2n GPD レジスタ (n = 0, 1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00DC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.95 EMU2nGPD レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30 ~ 0	DATA	データビット データを設定してください。

EMU2nGPD レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.63 EMU2nGPQ — EMU2n GPQ レジスタ (n = 0, 1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00E0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.96 EMU2nGPQ レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30 ~ 0	DATA	データビット データを設定してください。

EMU2nGPQ レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.64 EMU2nGID — EMU2n GID レジスタ (n = 0, 1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00E4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.97 EMU2nGID レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30 ~ 0	DATA	データビット データを設定してください。

EMU2nGID レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.65 EMU2nGIQ — EMU2n GIQ レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00E8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.98 EMU2nGIQ レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nGIQ レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.66 EMU2nGIDMAX — EMU2n GID_MAX レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00EC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.99 EMU2nGIDMAX レジスタの内容

ビット位置	ビット名	機能
31	—	読むと“0”が読み出されます。書き込みは“0”としてください。
30~0	DATA	データビット データを設定してください。

EMU2nGIDMAX レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.67 EMU2nGIQMAX — EMU2n GIQ_MAX レジスタ (n = 0、1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00F0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—															
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.100 EMU2nGIQMAX レジスタの内容

ビット位置	ビット名	機能
31	—	読むと“0”が読み出されます。書き込みは“0”としてください。
30~0	DATA	データビット データを設定してください。

EMU2nGIQMAX レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.68 EMU2nVDMAX — EMU2n vd_MAX レジスタ (n = 0, 1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00F4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DATA												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.101 EMU2nVDMAX レジスタの内容

ビット位置	ビット名	機能
31～29	—	読むと“0”が読み出されます。書き込みは“0”としてください。
28～0	DATA	データビット データを設定してください。

EMU2nVDMAX レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.69 EMU2nVQMAX — EMU2n vq_MAX レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 00F8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DATA												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.102 EMU2nVQMAX レジスタの内容

ビット位置	ビット名	機能
31～29	—	読むと“0”が読み出されます。書き込みは“0”としてください。
28～0	DATA	データビット データを設定してください。

EMU2nVQMAX レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.70 EMU2nSUMID — EMU2n sum_id レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0100_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.103 EMU2nSUMID レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nSUMID レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.71 EMU2nSUMIDM — EMU2n sum_id モニタレジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 0104_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.104 EMU2nSUMIDM レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nSUMIDM レジスタによりモニタできる演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.72 EMU2nSUMIQ — EMU2n sum_iq レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0108_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.105 EMU2nSUMIQ レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nSUMIQ レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.73 EMU2nSUMIQM — EMU2n sum_iq モニタレジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 010C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.106 EMU2nSUMIQM レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nSUMIQM レジスタによりモニタできる演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.74 EMU2nVD — EMU2n d 軸電圧値レジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 0110_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.107 EMU2nVD レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nVD レジスタによりモニタできる演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.75 EMU2nVQ — EMU2n q 軸電圧値レジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 0114_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.108 EMU2nVQ レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nVQ レジスタによりモニタできる演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

24.3.76 EMU2nPWMCTR — EMU2n PWM IP 制御レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0120_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PWMSEL	SHIPWM	FLININIP	SETRVRS	CARRMOU	CARRVAL	SETHARM	SETPWM
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.109 EMU2nPWMCTR レジスタの内容

ビット位置	ビット名	機能
7	PWMSEL	PWM 演算基準値選択ビット PWM 演算基準値の生成方法を選択します。 0: キャリア周期の設定値から生成 1: キャリア周期および短絡防止時間の設定値から生成
6	SHIPWM	出力キャリア/PWM コンペア値シフトビット EMU2 が出力するキャリア周期と PWM コンペアに関する設定値を出力時に 1 ビット左シフト (2 倍化) します。 0: 各設定値をシフトせずに出力 1: 各設定値を 1 ビット左シフトして出力
5	FLININIP	電気角選択ビット 電気角に使用する設定値を選択するビットです。 0: ユーザ設定値を使用 1: EMU 演算結果を使用
4	SETRVRS	PWM 反転ビット 0: PWM の 50% + 電圧補正值 1: PWM の 50% - 電圧補正值
3	CARRMOU	キャリアカウンタ山ビット キャリアカウンタ山タイミングでの IP 動作を設定します。 0: キャリアカウンタ山で割り込み発生を行わない 1: キャリアカウンタ山で割り込み発生を行う
2	CARRVAL	キャリアカウンタ谷ビット キャリアカウンタ谷タイミングでの IP 動作を設定します。 0: キャリアカウンタ谷で割り込み発生を行わない 1: キャリアカウンタ谷で割り込み発生を行う
1	SETHARM	三次高調波重畳設定ビット 0: 三次高調波重畳を無効にする 1: 三次高調波重畳を有効にする
0	SETPWM	PWM 設定ビット PWM 波生成に関して、設定値を決定するビットです。 0: ユーザ設定値を使用 1: EMU 演算結果を使用

PWM IP の演算を制御するレジスタです。各ビットによる演算詳細は、「24.4.7 PWM IP」を参照してください。

24.3.77 EMU2nPWMDT — EMU2n PWM データ転送レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0122_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWMDT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 24.110 EMU2nPWMDT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	PWMDT	<p>PWM データ転送ビット</p> <p>EMU2nPWMCTR レジスタの SETPWM ビットが“0”の際に本ビットへ“1”を書くと、キャリア周期 (EMU2nCARR レジスタ)、デューティ値 (EMU2nUPWM レジスタ、EMU2nVPWM レジスタ、EMU2nWPWM レジスタ) を TSG3 へ転送します。</p> <p>EMU2nPWMCTR レジスタの SETPWM ビットが“1”の際の本ビットへの“1”書き込みは無効です。</p> <p>“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。</p>

24.3.78 EMU2nVDCRCT — EMU2n d 軸電圧補正值レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0124_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.111 EMU2nVDCRCT レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nVDCRCT レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

EMU2nVDCRCT レジスタ値の EMU 回路内部への反映については、「24.3.4 EMU2nREFCTR — EMU2n レジスタ値反映制御レジスタ (n = 0、1)」を参照してください。

24.3.79 EMU2nVQCRCT — EMU2n q 軸電圧補正值レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0128_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.112 EMU2nVQCRCT レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nVQCRCT レジスタの設定値による演算詳細は、「24.4.7 (2) d 軸、q 軸電圧補正」を参照してください。

EMU2nVQCRCT レジスタ値の EMU 回路内部への反映については、「24.3.4 EMU2nREFCTR — EMU2n レジスタ値反映制御レジスタ (n = 0、1)」を参照してください。

24.3.80 EMU2nSR23 — EMU2n 三相電圧変換係数レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 012C_H

リセット後の値 0000 D106_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	1	1	0	1	0	0	0	1	0	0	0	0	0	1	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.113 EMU2nSR23 レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30 ~ 0	DATA	データビット データを設定してください。

EMU2nSR23 レジスタの設定値による演算詳細は、「24.4.7 (3) 三相電圧へ変換」を参照してください。

24.3.81 EMU2nUVOFS — EMU2n U相電圧オフセット値レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0130_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.114 EMU2nUVOFS レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30 ~ 0	DATA	データビット データを設定してください。

EMU2nUVOFS レジスタの設定値による演算詳細は、「**24.4.7 (3) 三相電圧へ変換**」を参照してください。

24.3.82 EMU2nWVOFS — EMU2n W 相電圧オフセット値レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0134_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.115 EMU2nWVOFS レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30 ~ 0	DATA	データビット データを設定してください。

EMU2nWVOFS レジスタの設定値による演算詳細は、「**24.4.7 (3) 三相電圧へ変換**」を参照してください。

24.3.83 EMU2nPHI — EMU2n d 軸基準電圧レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0138_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.116 EMU2nPHI レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14 ~ 0	DATA	データビット データを設定してください。

EMU2nPHI レジスタの設定値による演算詳細は、「**24.4.7 (3) 三相電圧へ変換**」を参照してください。

EMU2nPHI レジスタ値の EMU 回路内部への反映については、「**24.3.4 EMU2nREFCTR — EMU2n レジスタ値反映制御レジスタ (n = 0、1)**」を参照してください。

24.3.84 EMU2nGTHT — EMU2n 電気角調整用レジスタ (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 013C_H

リセット後の値 0100_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.117 EMU2nGTHT レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14~0	DATA	データビット データを設定してください。

EMU2nGTHT レジスタの設定値による演算詳細は、「24.4.7 (3) 三相電圧へ変換」を参照してください。

24.3.85 EMU2nTHTFORESFT — EMU2n 予測電気角ソフト入力レジスタ (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 013E_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.118 EMU2nTHTFORESFT レジスタの内容

ビット位置	ビット名	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット データが格納されます。

EMU2nTHTFORESFT レジスタの設定値による演算詳細は、「24.4.7 (3) 三相電圧へ変換」を参照してください。

24.3.86 EMU2nPWMK1 — EMU2n 桁数あわせレジスタ 1 (n = 0, 1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0140_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.119 EMU2nPWMK1 レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nPWMK1 レジスタの設定値による演算詳細は、「24.4.7 (4) デューティ比の算出」を参照してください。

24.3.87 EMU2nPWMK2 — EMU2n 桁数あわせレジスタ 2 (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0144_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.120 EMU2nPWMK2 レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14~0	DATA	データビット データを設定してください。

EMU2nPWMK2 レジスタの設定値による演算詳細は、「24.4.7 (8) PWM の設定」を参照してください。

24.3.88 EMU2nVOLV — EMU2n 入力電圧レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0146_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.121 EMU2nVOLV レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14~0	DATA	データビット データを設定してください。

EMU2nVOLV レジスタの設定値による演算詳細は、「24.4.7 (4) デューティ比の算出」、
「24.4.7 (8) PWM の設定」を参照してください。

24.3.89 EMU2nDTUL — EMU2n デューティ比上限値レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0148_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.122 EMU2nDTUL レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nDTUL レジスタの設定値による演算詳細は、「24.4.7 (7) 各相出力電圧の選択とリ
ミット処理」を参照してください。

24.3.90 EMU2nDTLL — EMU2n デューティ比下限値レジスタ (n = 0、1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 014C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.123 EMU2nDTLL レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットを設定してください。
30~0	DATA	データビット データを設定してください。

EMU2nDTLL レジスタの設定値による演算詳細は、「24.4.7 (7) 各相出力電圧の選択とリミット処理」を参照してください。

24.3.91 EMU2nPWMUL — EMU2n PWM 上限値レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0150_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.124 EMU2nPWMUL レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データを設定してください。

PWM コンペア値の上限値を設定するレジスタです。

24.3.92 EMU2nPWMLL — EMU2n PWM 下限値レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0152_H

リセット後の値 0000_H

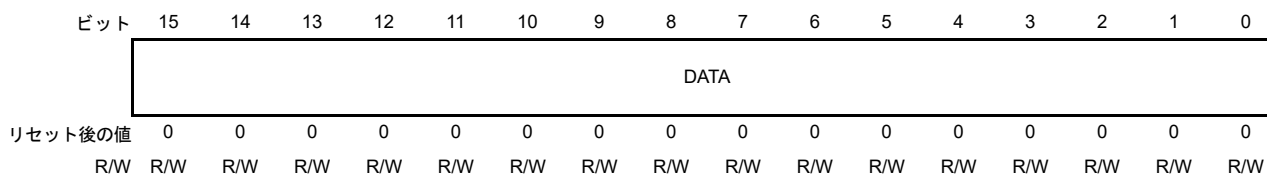


表 24.125 EMU2nPWMLL レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データを設定してください。

PWM コンペア値の下限値を設定するレジスタです。EMU2nPWMLL レジスタの値による PWM コンペア値の演算に関しては「**24.4.7 PWM IP**」を参照してください。

24.3.93 EMU2nDTT — EMU2n 短絡防止時間設定レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0154_H

リセット後の値 0FFF_H

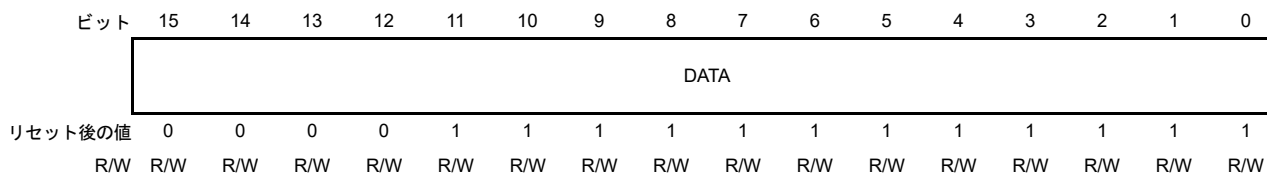


表 24.126 EMU2nDTT レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データを設定してください。

短絡防止時間を設定するレジスタです。

24.3.94 EMU2nCARR — EMU2n キャリア周期レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0156_H

リセット後の値 7FFF_H

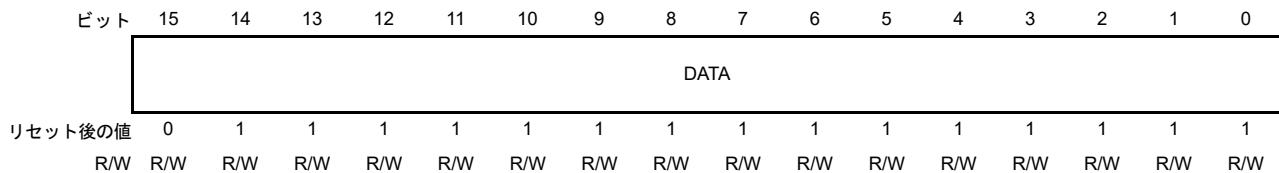


表 24.127 EMU2nCARR レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データを設定してください。

PWM 波形生成用のキャリアカウンタ周期を制御するレジスタです。EMU2nCARR レジスタ値 + EMU2nDTT レジスタ値が、“FFFF_H” 以下になるように設定してください。

24.3.95 EMU2nUPWM — EMU2n U 相 PWM レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0158_H

リセット後の値 47FF_H

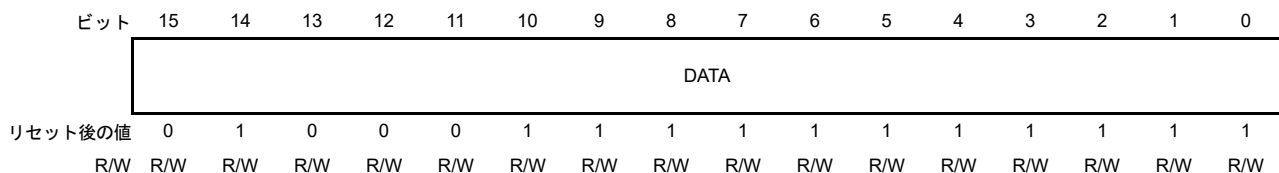


表 24.128 EMU2nUPWM レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データを設定してください。

PWM コンペア値をユーザ設定するレジスタです。PWM コンペア値に IP 演算結果を使用せず、ユーザ設定値で制御する場合は、EMU2nUPWM レジスタに値を設定してください。また、(EMU2nCARR レジスタ + EMU2nDTT レジスタ) より大きい値を設定しないでください。

24.3.96 EMU2nVPWM — EMU2n V 相 PWM レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 015A_H

リセット後の値 47FF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.129 EMU2nVPWM レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データを設定してください。

PWM コンペア値をユーザ設定するレジスタです。PWM コンペア値に IP 演算結果を使用せず、ユーザ設定値で制御する場合は、EMU2nVPWM レジスタに値を設定してください。また、(EMU2nCARR レジスタ + EMU2nDTT レジスタ) より大きい値を設定しないでください。

24.3.97 EMU2nWPWM — EMU2n W 相 PWM レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 015C_H

リセット後の値 47FF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.130 EMU2nWPWM レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データを設定してください。

PWM コンペア値をユーザ設定するレジスタです。PWM コンペア値に IP 演算結果を使用せず、ユーザ設定値で制御する場合は、EMU2nWPWM レジスタに値を設定してください。また、(EMU2nCARR レジスタ + EMU2nDTT レジスタ) より大きい値を設定しないでください。

24.3.98 EMU2nVUFIX — EMU2n デューティ比算出用 U 相出力電圧レジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 0160_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.131 EMU2nVUFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nVUFIX レジスタによりモニタできる演算詳細は、「**24.4.7 (7) 各相出力電圧の選択とリミット処理**」、**24.4.7 (8) PWM の設定**」を参照してください。

24.3.99 EMU2nVVFIX — EMU2n デューティ比算出用 V 相出力電圧レジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 0164_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.132 EMU2nVVFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nVVFIX レジスタによりモニタできる演算詳細は、「24.4.7 (7) 各相出力電圧の選択とリミット処理」、「24.4.7 (8) PWM の設定」を参照してください。

24.3.100 EMU2nVWFIX — EMU2n デューティ比算出用 W 相出力電圧レジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 0168_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.133 EMU2nVWFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット 符号ビットが格納されます。
30~0	DATA	データビット データが格納されます。

EMU2nVWFIX レジスタによりモニタできる演算詳細は、「24.4.7 (7) 各相出力電圧の選択とリミット処理」、「24.4.7 (8) PWM の設定」を参照してください。

24.3.101 EMU2nPWMUIP — EMU2n U 相コンペア値レジスタ (n = 0、1)

アクセス 16 ビット単位でリード可能です。

アドレス <EMU2n_base> + 016C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.134 EMU2nPWMUIP レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データが格納されます。

EMU2nPWMUIP レジスタによりモニタできる演算詳細は、「24.4.7 (8) PWM の設定」を参照してください。

24.3.102 EMU2nPWMVIP — EMU2n V 相コンペア値レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 016E_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.135 EMU2nPWMVIP レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データが格納されます。

EMU2nPWMVIP レジスタによりモニタできる演算詳細は、「24.4.7 (8) PWM の設定」を参照してください。

24.3.103 EMU2nPWMWIP — EMU2n W 相コンペア値レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 0170_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.136 EMU2nPWMWIP レジスタの内容

ビット位置	ビット名	機能
15~0	DATA	データビット データが格納されます。

EMU2nPWMWIP レジスタによりモニタできる演算詳細は、「24.4.7 (8) PWM の設定」を参照してください。

24.3.104 EMU2nVUOFS — EMU2n U 相出力電圧補正量レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0174_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.137 EMU2nVUOFS レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14~0	DATA	データビット データを設定してください。

EMU2nVUOFS レジスタの設定値による演算詳細は、「24.4.7 (6) オフセット加算」を参照してください。

24.3.105 EMU2nVVOFS — EMU2n V 相出力電圧補正量レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0176_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.138 EMU2nVVOFS レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14~0	DATA	データビット データを設定してください。

EMU2nVVOFS レジスタの設定値による演算詳細は、「24.4.7 (6) オフセット加算」を参照してください。

24.3.106 EMU2nVWOFS — EMU2n W 相出力電圧補正量レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0178_H

リセット後の値 0000_H

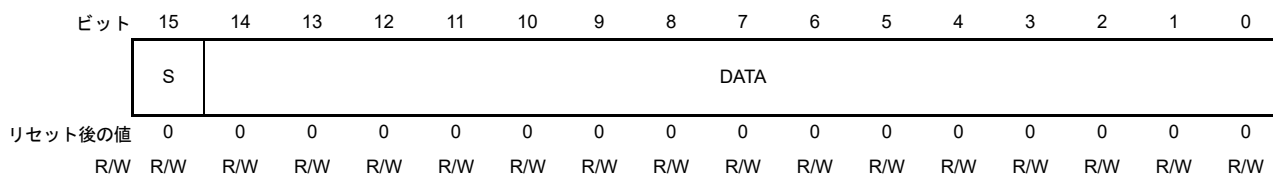


表 24.139 EMU2nVWOFS レジスタの内容

ビット位置	ビット名	機能
15	S	符号ビット 符号ビットを設定してください。
14~0	DATA	データビット データを設定してください。

EMU2nVWOFS レジスタの設定値による演算詳細は、「24.4.7 (6) オフセット加算」を参照してください。

24.3.107 EMU2nRECCTR — EMU2n 矩形 IP 制御レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0180_H

リセット後の値 04_H

ビット	7	6	5	4	3	2	1	0
	FDRCT	—	—	—	—	FIPPOSI	SLCTCMP0	SETREC
リセット後の値	0	0	0	0	0	1	0	0
R/W	R/W	R	R	R	R	R/W	R/W	R/W

表 24.140 EMU2nRECCTR レジスタの内容

ビット位置	ビット名	機能
7	FDRCT	回転方向選択ビット 回転方向を選択するビットです。 0: 正回転 1: 逆回転
6 ~ 3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	FIPPOSI	帰還データ選択ビット 矩形 IP 演算に帰還データを使用するか選択するビットです。 0: EMU 演算結果を使用 1: ユーザ設定値を使用
1	SLCTCMP0	角度コンペア 0 設定ビット 角度コンペア 0 に使用する設定値を選択するビットです。 0: EMU2nCMP0 レジスタ値を設定値に使用 1: EMU 演算結果を設定値に使用
0	SETREC	一括矩形設定ビット 一括矩形波生成に関して、設定値を決定するビットです。 0: ユーザ設定値を使用 1: EMU 演算結果を使用

矩形 IP の演算を制御するレジスタです。各ビットによる演算詳細は、「24.4.8 矩形 IP」を参照してください。

24.3.108 EMU2nPTNN — EMU2n 一括矩形出力レジスタ (n = 0, 1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0184_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WPTN	VPTN	UPTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.141 EMU2nPTNN レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WPTN	角度コンペア0一致時のW相の上アームレベル設定ビット W相コンペア0一致時のW相の上アームレベルを設定するビットです。 0:Lレベル 1:Hレベル
1	VPTN	角度コンペア0一致時のV相の上アームレベル設定ビット V相コンペア0一致時のV相の上アームレベルを設定するビットです。 0:Lレベル 1:Hレベル
0	UPTN	角度コンペア0一致時のU相の上アームレベル設定ビット U相コンペア0一致時のU相の上アームレベルを設定するビットです。 0:Lレベル 1:Hレベル

矩形波をユーザ設定値で生成する際に、上アームのレベルを設定してください。
EMU2nRECCTR レジスタの SETREC ビットを“0”にすることで、EMU2nPTNN レジスタに設定された各相のパルスが有効になります。EMU2nPTNN レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.109 EMU2nPTNAB — EMU2n 一括矩形出力パターン AB レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0185_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	WPTNB	VPTNB	UPTNB	WPTNA	VPTNA	UPTNA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 24.142 EMU2nPTNAB レジスタの内容

ビット位置	ビット名	機能
7, 6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	WPTNB	三相レベル設定ビット (パターン B W 相) パターン B の W 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
4	VPTNB	三相レベル設定ビット (パターン B V 相) パターン B の V 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
3	UPTNB	三相レベル設定ビット (パターン B U 相) パターン B の U 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
2	WPTNA	三相レベル設定ビット (パターン A W 相) パターン A の W 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
1	VPTNA	三相レベル設定ビット (パターン A V 相) パターン A の V 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
0	UPTNA	三相レベル設定ビット (パターン A U 相) パターン A の U 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力

矩形波を IP 演算で生成する際に、上アームのレベルを設定してください。EMU2nRECCTR レジスタの SETREC ビットを“1”にすることで、EMU2nPTNAB レジスタに設定された各相のパルスが有効になります。EMU2nPTNAB レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。矩形波出力に関する詳細は、「24.4.8 矩形 IP」を参照してください。

24.3.110 EMU2nPTNCD — EMU2n —括矩形出力パターン CD レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0186_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	WPTND	VPTND	UPTND	WPTNC	VPTNC	UPTNC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 24.143 EMU2nPTNCD レジスタの内容

ビット位置	ビット名	機能
7, 6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	WPTND	三相レベル設定ビット (パターン D W 相) パターン D の W 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
4	VPTND	三相レベル設定ビット (パターン D V 相) パターン D の V 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
3	UPTND	三相レベル設定ビット (パターン D U 相) パターン D の U 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
2	WPTNC	三相レベル設定ビット (パターン C W 相) パターン C の W 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
1	VPTNC	三相レベル設定ビット (パターン C V 相) パターン C の V 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
0	UPTNC	三相レベル設定ビット (パターン C U 相) パターン C の U 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力

矩形波を IP 演算で生成する際に、上アームのレベルを設定してください。EMU2nRECCTR レジスタの SETREC ビットを“1”にすることで、EMU2nPTNCD レジスタに設定された各相のパルスが有効になります。EMU2nPTNCD レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。矩形波出力に関する詳細は、「24.4.8 矩形 IP」を参照してください。

24.3.111 EMU2nPTNEF — EMU2n 一括矩形出力パターン EF レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0187_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	WPTNF	VPTNF	UPTNF	WPTNE	VPTNE	UPTNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 24.144 EMU2nPTNEF レジスタの内容

ビット位置	ビット名	機能
7、6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	WPTNF	三相レベル設定ビット (パターン F W 相) パターン F の W 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
4	VPTNF	三相レベル設定ビット (パターン F V 相) パターン F の V 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
3	UPTNF	三相レベル設定ビット (パターン F U 相) パターン F の U 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
2	WPTNE	三相レベル設定ビット (パターン E W 相) パターン E の W 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
1	VPTNE	三相レベル設定ビット (パターン E V 相) パターン E の V 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力
0	UPTNE	三相レベル設定ビット (パターン E U 相) パターン E の U 相レベルを設定するビットです。 0: L レベル出力 1: H レベル出力

矩形波を IP 演算で生成する際に、上アームのレベルを設定してください。EMU2nPTNEF レジスタの SETREC ビットを“1”にすることで、EMU2nPTNEF レジスタに設定された各相のパルスが有効になります。EMU2nPTNEF レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。矩形波出力に関する詳細は、「24.4.8 矩形 IP」を参照してください。

24.3.112 EMU2nCMP0 — EMU2n コンペアレジスタ 0 (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0188_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.145 EMU2nCMP0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット データを設定してください。

角度コンペア 0 に使用するコンペア値用のレジスタです。ユーザが設定します。角度コンペア 0 初回コンペア値として使用します。

24.3.113 EMU2nCMP1 — EMU2n コンペアレジスタ 1 (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 018A_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.146 EMU2nCMP1 レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット データを設定してください。

角度コンペア 1 に使用するコンペア値用のレジスタです。ユーザが設定します。角度コンペア 1 初回コンペア値として使用します。

24.3.114 EMU2nPHQSFT — EMU2n q 軸基準電圧位相ソフト入力レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 018C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S					DATA										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.147 EMU2nPHQSFT レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	S	符号ビット 符号ビットを設定してください。 ビット15～ビット11には正数なら“0”を負数なら“1”を書いてください。
10 ~ 0	DATA	データビット データを設定してください。

EMU2nPHQSFT レジスタの設定値による演算詳細は、「**24.4.8 (2) スイッチング指令の生成**」を参照してください。

24.3.115 EMU2nPSWSFT — EMU2n スイッチング指令ソフト入力レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 018E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA		
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R/W	R/W	R/W

表 24.148 EMU2nPSWSFT レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2 ~ 0	DATA	データビット データを設定してください。

EMU2nPSWSFT レジスタの設定値による演算詳細は、「**24.4.8 (2) スイッチング指令の生成**」を参照してください。設定値の範囲は0～5です。

24.3.116 EMU2nPSW — EMU2n スイッチング指令レジスタ (n = 0、1)

アクセス 8ビット単位でリード可能です。

アドレス <EMU2n_base> + 018F_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.149 EMU2nPSW レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2 ~ 0	DATA	データビット データが格納されます。

EMU2nPSW レジスタによりモニタできる演算詳細は、「24.4.8 (2) スイッチング指令の生成」を参照してください。

24.3.117 EMU2nIPCMP0 — EMU2n IP コンペア値 0 レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 0190_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.150 EMU2nIPCMP0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット データが格納されます。

24.3.118 EMU2nIRECCTR — EMU2n 独立矩形 IP 制御レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 0198_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RECMD
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 24.151 EMU2nIRECCTR レジスタの内容

ビット位置	ビット名	機能
7～1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	RECMD	矩形波出力モード切替ビット 0:一括矩形波出力 1:独立矩形波出力

24.3.119 EMU2nIRPTN — EMU2n 独立矩形出力パターン更新レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 019C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WINIPTN	VINIPTN	UINIPTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.152 EMU2nIRPTN レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WINIPTN	W相パターンビット 0:Lレベル 1:Hレベル
1	VINIPTN	V相パターンビット 0:Lレベル 1:Hレベル
0	UINIPTN	U相パターンビット 0:Lレベル 1:Hレベル

上アームのレベルを設定してください。EMU2nIRPTN レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.120 EMU2nIRCTRST — EMU2n 独立矩形 IP フラグセレクト信号初期化レジスタ (n = 0、1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 019E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WINIT	VINIT	UINIT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.153 EMU2nIRCTRST レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WINIT	W相フラグ/セレクト信号初期化ビット “1”を書くと、W相についてのバッファ0～2のフラグ/セレクト信号を初期状態にします。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
1	VINIT	V相フラグ/セレクト信号初期化ビット “1”を書くと、V相についてのバッファ0～2のフラグ/セレクト信号を初期状態にします。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。
0	UINIT	U相フラグ/セレクト信号初期化ビット “1”を書くと、U相についてのバッファ0～2のフラグ/セレクト信号を初期状態にします。“1”書き込み後に自動的に“0”になります。“0”書き込みは無効です。読み出し値はつねに“0”になります。

24.3.121 EMU2nIRUCPPN0 — EMU2n 独立矩形 IPU 相コンペア/パターン設定レジスタ 0 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01A0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UPTN0	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.154 EMU2nIRUCPPN0 レジスタの内容

ビット位置	ビット名	機能
15	UPTN0	U 相出力パターン 0 0: L レベル 1: H レベル
14 ~ 12	—	読むと "0" が読み出されます。書き込みは "0" としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRUCPPN0 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.122 EMU2nIRUCPPN1 — EMU2n 独立矩形 IPU 相コンペア/パターン設定レジスタ 1 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01A2_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UPTN1	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.155 EMU2nIRUCPPN1 レジスタの内容

ビット位置	ビット名	機能
15	UPTN1	U 相出力パターン 1 0: L レベル 1: H レベル
14 ~ 12	—	読むと "0" が読み出されます。書き込みは "0" としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRUCPPN1 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.123 EMU2nIRUCPPN2 — EMU2n 独立矩形 IPU 相コンペア/パタン設定レジスタ 2 (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01A4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UPTN2	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.156 EMU2nIRUCPPN2 レジスタの内容

ビット位置	ビット名	機能
15	UPTN2	U 相出力パタン 2 0: L レベル 1: H レベル
14 ~ 12	—	読むと "0" が読み出されます。書き込みは "0" としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRUCPPN2 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.124 EMU2nIRVCPN0 — EMU2n 独立矩形 IPV 相コンペア/パタン設定レジスタ 0 (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01A8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPTN0	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.157 EMU2nIRVCPN0 レジスタの内容

ビット位置	ビット名	機能
15	VPTN0	V 相出力パタン 0 0: L レベル 1: H レベル
14 ~ 12	—	読むと "0" が読み出されます。書き込みは "0" としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRVCPN0 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.125 EMU2nIRVCPN1 — EMU2n 独立矩形 IPV 相コンペア/パタン設定レジスタ 1 (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01AA_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPTN1	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.158 EMU2nIRVCPN1 レジスタの内容

ビット位置	ビット名	機能
15	VPTN1	V 相出力パタン 1 0: L レベル 1: H レベル
14 ~ 12	—	読むと "0" が読み出されます。書き込みは "0" としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRVCPN1 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.126 EMU2nIRVCPN2 — EMU2n 独立矩形 IPV 相コンペア/パタン設定レジスタ 2 (n = 0, 1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01AC_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPTN2	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.159 EMU2nIRVCPN2 レジスタの内容

ビット位置	ビット名	機能
15	VPTN2	V 相出力パタン 2 0: L レベル 1: H レベル
14 ~ 12	—	読むと "0" が読み出されます。書き込みは "0" としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRVCPN2 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.127 EMU2nIRWCPPN0 — EMU2n 独立矩形 IPW 相コンペア/パタン設定レジスタ 0 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01B0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WPTN0	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.160 EMU2nIRWCPPN0 レジスタの内容

ビット位置	ビット名	機能
15	WPTN0	W 相出力パターン 0 0: L レベル 1: H レベル
14 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRWCPPN0 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.128 EMU2nIRWCPPN1 — EMU2n 独立矩形 IPW 相コンペア/パタン設定レジスタ 1 (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01B2_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WPTN1	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.161 EMU2nIRWCPPN1 レジスタの内容

ビット位置	ビット名	機能
15	WPTN1	W 相出力パターン 1 0: L レベル 1: H レベル
14 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRWCPPN1 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.129 EMU2nIRWCPPN2 — EMU2n 独立矩形 IPW 相コンペア/パターン設定レジスタ 2 (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU2n_base> + 01B4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WPTN2	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.162 EMU2nIRWCPPN2 レジスタの内容

ビット位置	ビット名	機能
15	WPTN2	W 相出力パターン 2 0: L レベル 1: H レベル
14 ~ 12	—	読むと "0" が読み出されます。書き込みは "0" としてください。
11 ~ 0	DATA	データビット コンペア値を設定してください。

上アームのレベルを設定してください。EMU2nIRWCPPN2 レジスタに設定した値を基に、TSG3 がデッドタイムを付加した上アーム信号と下アーム信号を出力します。

24.3.130 EMU2nIRFLGM — EMU2n 独立矩形 IP フラグモニタレジスタ (n = 0, 1)

アクセス 16 ビット単位でリード可能です。

アドレス <EMU2n_base> + 01B8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WFLG2	WFLG1	WFLG0	VFLG2	VFLG1	VFLG0	UFLG2	UFLG1	UFLG0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.163 EMU2nIRFLGM レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	WFLG2	W相フラグ2 W相についてのバッファ2のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
7	WFLG1	W相フラグ1 W相についてのバッファ1のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
6	WFLG0	W相フラグ0 W相についてのバッファ0のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
5	VFLG2	V相フラグ2 V相についてのバッファ2のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
4	VFLG1	V相フラグ1 V相についてのバッファ1のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
3	VFLG0	V相フラグ0 V相についてのバッファ0のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
2	UFLG2	U相フラグ2 U相についてのバッファ2のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
1	UFLG1	U相フラグ1 U相についてのバッファ1のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態
0	UFLG0	U相フラグ0 U相についてのバッファ0のフラグ状態。 0: CPUからバッファへの書き込み前、またはコンペアー一致済みの状態 1: CPUからバッファへの書き込み後、コンペアー一致未の状態

24.3.131 EMU2nIRSELM — EMU2n 独立矩形 IP セレクト信号モニタレジスタ (n = 0, 1)

アクセス 16 ビット単位でリード可能です。

アドレス <EMU2n_base> + 01BA_H

リセット後の値 0049_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WSEL[2:0]		VSEL[2:0]			USEL[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.164 EMU2nIRSELM レジスタの内容

ビット位置	ビット名	機能
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8~6	WSEL[2:0]	W相セレクト信号 ^{注1} W相バッファについてのセレクト信号値。 0 0 1: バッファ 0 0 1 0: バッファ 1 1 0 0: バッファ 2
5~3	VSEL[2:0]	V相セレクト信号 ^{注1} V相バッファについてのセレクト信号値。 0 0 1: バッファ 0 0 1 0: バッファ 1 1 0 0: バッファ 2
2~0	USEL[2:0]	U相セレクト信号 ^{注1} U相バッファについてのセレクト信号値。 0 0 1: バッファ 0 0 1 0: バッファ 1 1 0 0: バッファ 2

注 1. 値は“001 → 010 → 100 → 001 → ...”のように変化します。

24.3.132 EMU2nCBADmk — EMU2n ADm データ k 検算用バッファレジスタ (n = 0、1) (m = 0、1) (k = 0 ~ 2)

アクセス 16ビット単位でリード可能です。

アドレス EMU20CBAD00: <EMU20_base> + 01C0_H, EMU20CBAD01: <EMU20_base> + 01C2_H,
EMU20CBAD02: <EMU20_base> + 01C4_H
EMU21CBAD10: <EMU21_base> + 01C0_H, EMU21CBAD11: <EMU21_base> + 01C2_H,
EMU21CBAD12: <EMU21_base> + 01C4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.165 EMU2nCBADmk レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット EMU2nADmk レジスタのバッファリング結果が格納されます。

24.3.133 EMU2nCBTHTRFIXIN — EMU2n レゾルバ角検算用バッファレジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <EMU2n_base> + 01C6_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.166 EMU2nCBTHTRFIXIN レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11 ~ 0	DATA	データビット EMU2nTHTRFIXIN レジスタのバッファリング結果が格納されます。

24.3.134 EMU2nCBIDFIX — EMU2n d 軸電流値検算用バッファレジスタ (n = 0、1)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU2n_base> + 01C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.167 EMU2nCBIDFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット EMU2nIDFIX レジスタのバッファリング結果が格納されます。
30~0	DATA	データビット EMU2nIDFIX レジスタのバッファリング結果が格納されます。

24.3.135 EMU2nCBIQFIX — EMU2n q 軸電流値検算用バッファレジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 01CC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	DATA														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.168 EMU2nCBIQFIX レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット EMU2nIQFIX レジスタのバッファリング結果が格納されます。
30~0	DATA	データビット EMU2nIQFIX レジスタのバッファリング結果が格納されます。

24.3.136 EMU2nCBPWMUIP — EMU2n U 相コンペア値検算用バッファレジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 01D0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.169 EMU2nCBPWMUIP レジスタの内容

ビット位置	ビット名	機能
31~18	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17~0	DATA	データビット EMU2nPWMUIP レジスタのバッファリング結果が格納されます。

24.3.137 EMU2nCBPWMVIP — EMU2n V 相コンペア値検算用バッファレジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 01D4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.170 EMU2nCBPWMVIP レジスタの内容

ビット位置	ビット名	機能
31～18	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17～0	DATA	データビット EMU2nPWMVIP レジスタのバッファリング結果が格納されます。

24.3.138 EMU2nCBPWMWIP — EMU2n W 相コンペア値検算用バッファレジスタ (n = 0、1)

アクセス 32ビット単位でリード可能です。

アドレス <EMU2n_base> + 01D8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.171 EMU2nCBPWMWIP レジスタの内容

ビット位置	ビット名	機能
31～18	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17～0	DATA	データビット EMU2nPWMWIP レジスタのバッファリング結果が格納されます。

24.3.139 EMU2nCBBREC — EMU2n 一括矩形パターン値検算用バッファレジスタ (n = 0、1)

アクセス 8ビット単位でリード可能です。

アドレス <EMU2n_base> + 01DC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WPTN	VPTN	UPTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.172 EMU2nCBBREC レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WPTN	一括矩形 W 相パターン値 一括矩形 W 相パターン値のバッファリング結果が格納されます。
1	VPTN	一括矩形 V 相パターン値 一括矩形 V 相パターン値のバッファリング結果が格納されます。
0	UPTN	一括矩形 U 相パターン値 一括矩形 U 相パターン値のバッファリング結果が格納されます。

24.3.140 EMU2nCBIREC — EMU2n 独立矩形パターン値検算用バッファレジスタ (n = 0、1)

アクセス 8ビット単位でリード可能です。

アドレス <EMU2n_base> + 01DD_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WPTN	VPTN	UPTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.173 EMU2nCBIREC レジスタの内容

ビット位置	ビット名	機能
7～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WPTN	独立矩形 W 相パターン値 独立矩形 W 相パターン値のバッファリング結果が格納されます。
1	VPTN	独立矩形 V 相パターン値 独立矩形 V 相パターン値のバッファリング結果が格納されます。
0	UPTN	独立矩形 U 相パターン値 独立矩形 U 相パターン値のバッファリング結果が格納されます。

24.4 動作

24.4.1 EMU2 の初期化

図 24.3 に EMU2 の初期設定フローを示します。

EMUST ビットにて動作禁止→再スタートする際にも本手順で設定してください。

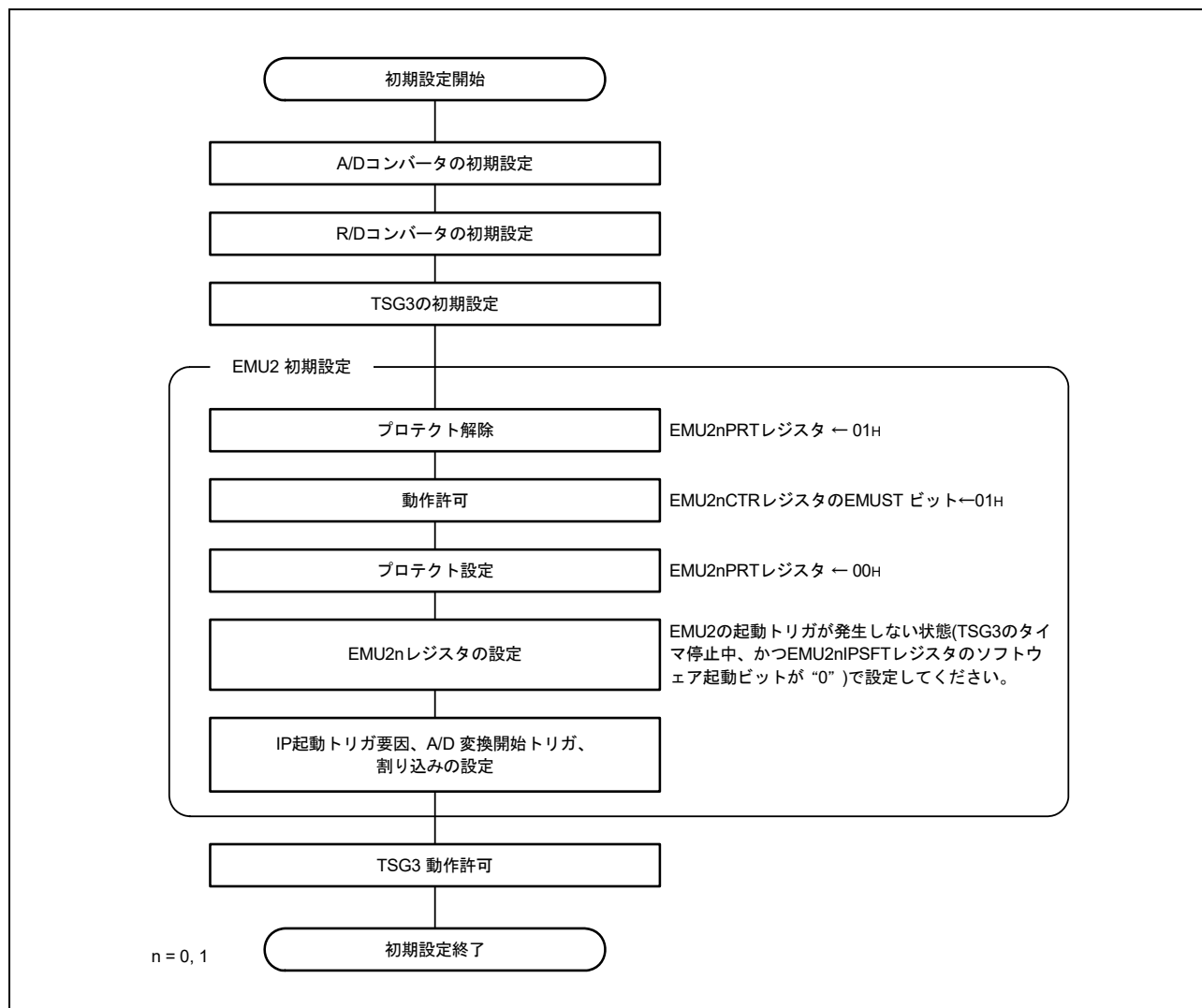


図 24.3 EMU2 の初期設定

24.4.2 A/D 変換開始トリガの設定

EMU2nADTRG レジスタの CAMOUAD ビット、CAVALAD ビット、CMPAD ビットを設定することによってキャリアの山、谷、角度コンペア 0 一致のタイミングで、ADCCm の A/D 変換開始トリガを発生させることができます。図 24.4 に A/D 変換開始トリガ生成機能の構成を示します。

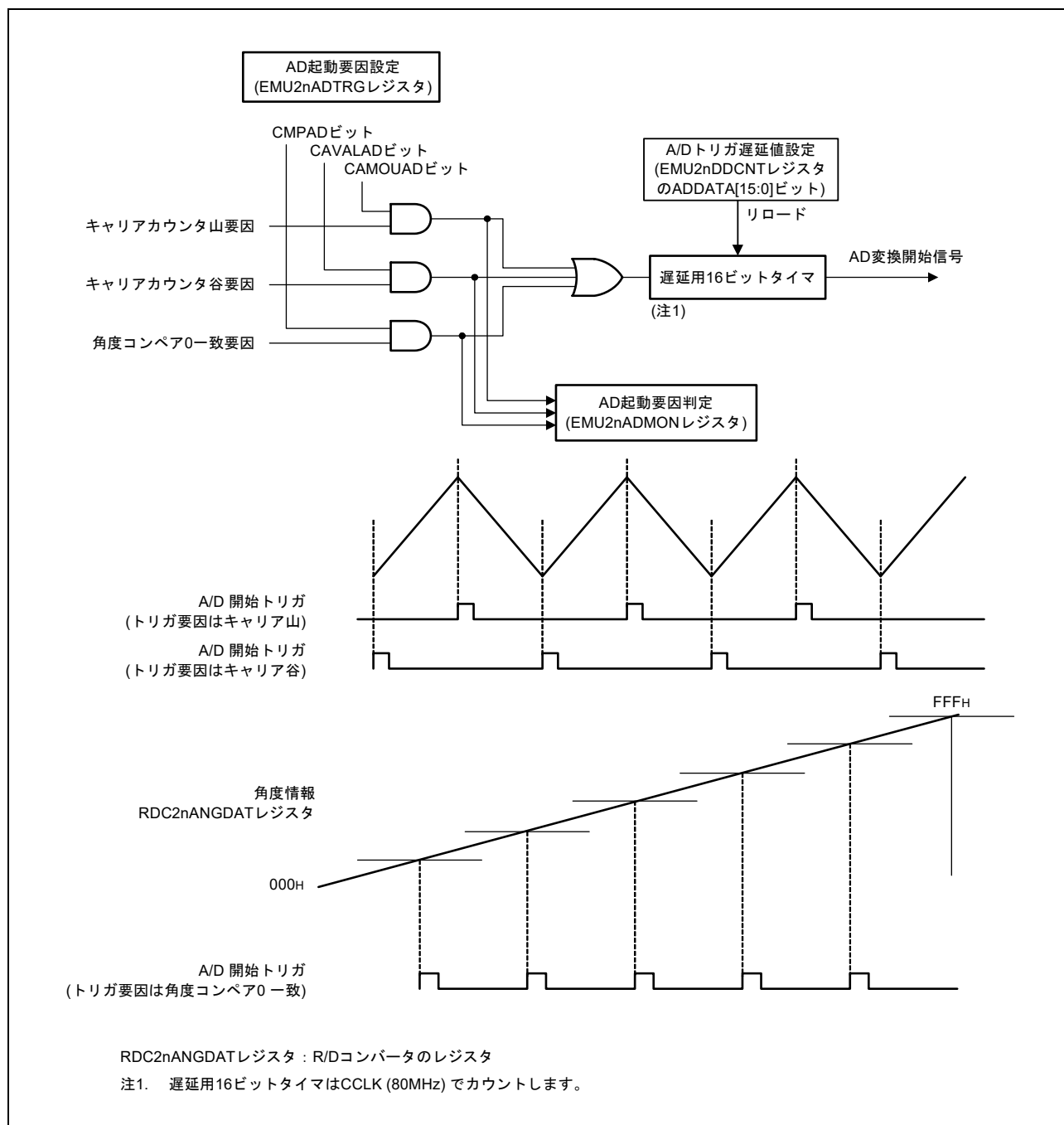


図 24.4 A/D 変換開始トリガ生成機能の構成

EMU2nADMON レジスタを読むと A/D 変換開始トリガの発生要因を判別することができます。A/D 変換中に A/D 変換開始要因が発生しても A/D 変換開始トリガは無効となりますが、EMU2nADMON レジスタの対応する AD 起動要因判別ビットは“1”になります。

EMU2nADMON レジスタの各要因判別ビットは EMU2nADMONC レジスタの対応するビットに“1”を書くとクリアされます。

EMU2nDDCNT レジスタの ADDATA[15:0] ビットに値を設定すると、A/D 変換開始要因発生から A/D 変換開始トリガが発生するまでの時間を任意に遅延させることができます。遅延用のカウンタは 16 ビットタイマ構成で、A/D 変換開始要因発生からダウンカウント^{注1}し、“0”になると A/D 変換開始トリガが発生します。

注 1. ダウンカウント中に A/D 変換開始要因が発生した場合は無視されます。

24.4.3 演算部

演算部は専用演算器を用いモータ演算処理を行います。CPU の処理速度に殆ど影響をあたえずにモータを制御できます。

角度生成 IP、入力 IP、PI 制御 IP、PWM IP、矩形 IP から構成されます。

図 24.5 に演算部の概要を示します。

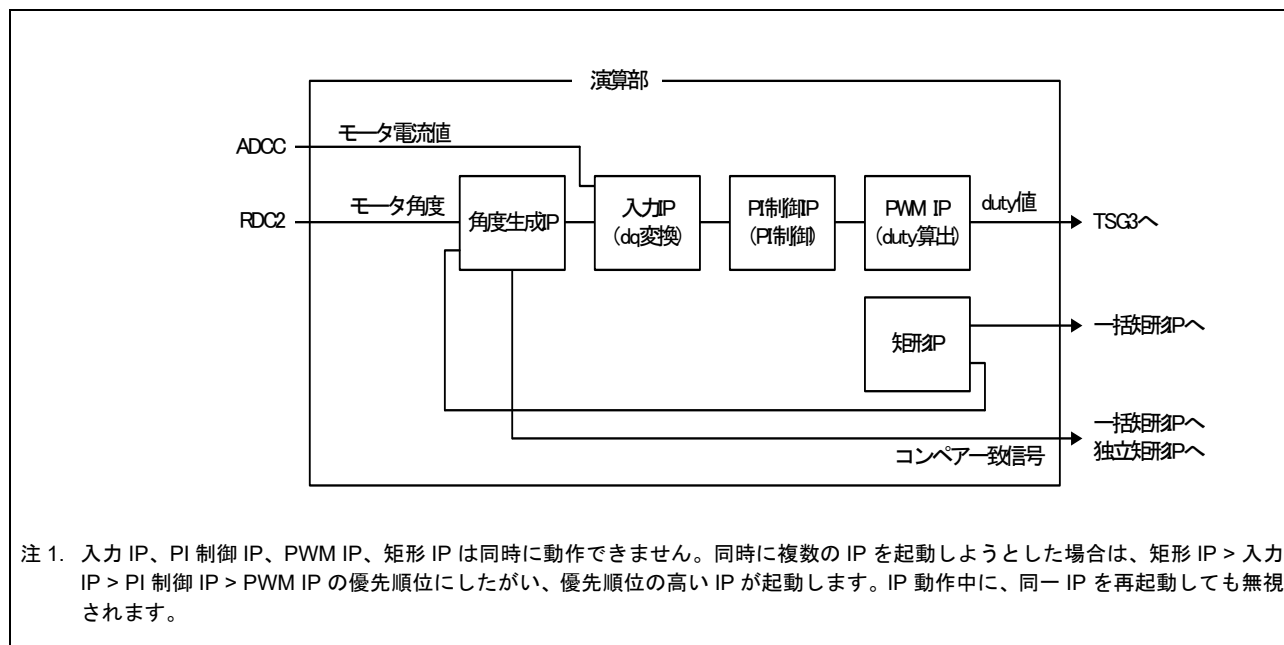


図 24.5 演算部の概要

24.4.3.1 各 IP モジュールの演算について

1. 各変数には、符号有/無と有効ビット長が追記されています。
_s は符号あり _u は符号なし、その後の数字はビット長を表します。符号ありの場合は最上位ビットが符号ビットです。

例

Ia_v_Lo_fix_s[31:0] は Ia_v_Lo_fix という変数の 0 ビット目から 31 ビット目のデータです。31 ビット目は符号データとなります。

2. 演算式はビット数を越えた値になるとオーバーフローします。

例

A : 7FFF_H B : 7FFF_H
C_s[15:0] ← A_s[15:0] + B_s[15:0]

注 意

入力 IP の演算でオーバーフローが発生すると EMU2nOFMON レジスタの INIPOF ビットが“1”になり、PI 制御 IP の演算でオーバーフローが発生すると PIPOF ビットが“1”になり、PWM IP での演算でオーバーフローが発生すると PWMIPOF ビットが“1”になります。

3. 演算式の直後に除算や右シフトがある場合は、ビット拡張したあと、除算やシフトをした値が格納されます。

例

C_s[15:0] ← (A_s[15:0] × B_s[15:0]) >>10

A_s[15:0] × B_s[15:0] の結果を 32 ビットとしてから 10 ビット右シフトした 16 ビット分を C_s[15:0] に格納します。

(A、B、C ともに 32 ビットだった場合も同様に、A_s[31:0] × B_s[31:0] の結果を 64 ビットとしてから 10 ビット右シフトして 32 ビット分を格納します)

D_s[15:0] ← (A_s[15:0] × B_s[15:0]) / C_s[15:0]

D(A_s[15:0] × B_s[15:0]) の結果を 32 ビットで格納したものを C_s[15:0] で除算した結果を D_s[15:0] に格納します。

4. 演算式は、格納側のビット数によってビット拡張されます。

例

D_s[31:0] ← C_s[31:0] + A_s[15:0] × B_s[15:0]

A_s[15:0] × B_s[15:0] の結果を 32 ビットに拡張したまま C_s[31:0] に加算します。

注 意

C_s[31:0] と加算された値が 32 ビットを越える場合は、オーバーフローします。

例

C_s[15:0] ← A_s[11:0] + B_s[11:0]

(A_s[11:0] + B_s[11:0]) の結果を 16 ビットに符号拡張して C_s[15:0] に格納します。

5. |変数| は絶対値を求める処理を表します。
6. 除算は以下のように処理されます。
除算時、小数点以下は切り捨てます。

例)

$$5 / 2 = 2$$

$$-5 / 2 = -2$$

- (1) 16 ビット ← 32 ビット /16 ビットの除算

$$0/0 = 0$$

$$\text{負の数} / 0 = 8000_{\text{H}}$$

$$\text{正の数} / 0 = 7FFF_{\text{H}}$$

- (2) 32 ビット ← 32 ビット /16 ビットの除算

$$0/0 = 0$$

$$\text{負の数} / 0 = 8000\ 0000_{\text{H}}$$

$$\text{正の数} / 0 = 7FFF\ FFFF_{\text{H}}$$

- (3) 16 ビット ← 32 ビット /16 ビットの除算

$$0/0 = 0$$

$$7FFF_{\text{H}} \leq \text{結果ならば、結果} \leftarrow 7FFF_{\text{H}}$$

$$8000_{\text{H}} \geq \text{結果ならば、結果} \leftarrow 8000_{\text{H}}$$

7. 本章に記載されている変数のうち、英数字の小文字で表されているものは基本的に EMU2 内のレジスタ、ビット、キャッシュ内で設定されます。ユーザにより直接設定はできません。特に記載のない EMU2 内部レジスタのリセット後の値は 0 です。
8. 各章の二重線を境にした枠内は、二重線を境に左に条件となる対象、右に結果の格納先を表しています。
本章内にある 2 重線を引いた表 (下表参照) は、「対象 A が条件 B を満たすとき、結果 E を D に格納する。または、対象 A が条件 C を満たすとき、結果 F を D に格納する」を表します。

例

条件となる対象 A	結果の格納先 D
条件 B	結果 E
条件 C	結果 F

24.4.3.2 IP 起動前設定レジスタについて

下記のレジスタはバッファ機構が存在しません。そのため、IP 起動中に値を書き換えると動作が不定になります。必ず、IP 起動前に値を設定してください。表 24.174 に IP 起動前設定レジスタを示します。

表 24.174 IP 起動前設定レジスタ

レジスタ名	略号
EMU2n PWM 下限値レジスタ	EMU2nPWMLL
EMU2n PWM 上限値レジスタ	EMU2nPWMUL
EMU2n 矩形出力パタン AB レジスタ	EMU2nPTNAB
EMU2n 矩形出力パタン CD レジスタ	EMU2nPTNCD
EMU2n 矩形出力パタン EF レジスタ	EMU2nPTNEF
EMU2n コンペア判定補正レジスタ 0	EMU2nCPJUD0
EMU2n コンペア判定補正レジスタ 1	EMU2nCPJUD1
EMU2n 電気角生成用係数レジスタ	EMU2nPXR
EMU2n 桁数あわせレジスタ 1	EMU2nPWMK1
EMU2n 桁数あわせレジスタ 2	EMU2nPWMK2
EMU2n デューティ比上限値レジスタ	EMU2nDTUL
EMU2n デューティ比下限値レジスタ	EMU2nDTLL

24.4.3.3 IP 完了タイミング更新レジスタに関して

EMU2 から出力される演算結果には、各 IP の完了タイミングにて更新されるものがあります。

表 24.175 に入力 IP 完了タイミングで更新されるレジスタを、**図 24.6** に IP 完了信号によるレジスタの更新タイミングを示します。

表 24.175 入力 IP 完了タイミングで更新されるレジスタ

レジスタ名	略号
EMU2n レゾルバ角モニタレジスタ	EMU2nTHTRFIXIN
EMU2n ADm チャンネル 0 変換値レジスタ	EMU2nADFIXm0
EMU2n ADm チャンネル 1 変換値レジスタ	EMU2nADFIXm1
EMU2n ADm チャンネル 2 変換値レジスタ	EMU2nADFIXm2
EMU2n U 相電流値レジスタ	EMU2nIUFIX
EMU2n V 相電流値レジスタ	EMU2nIVFIX
EMU2n W 相電流値レジスタ	EMU2nIWFIX
EMU2n d 軸電流値レジスタ	EMU2nIDFIX
EMU2n q 軸電流値レジスタ	EMU2nIQFIX

注 1.

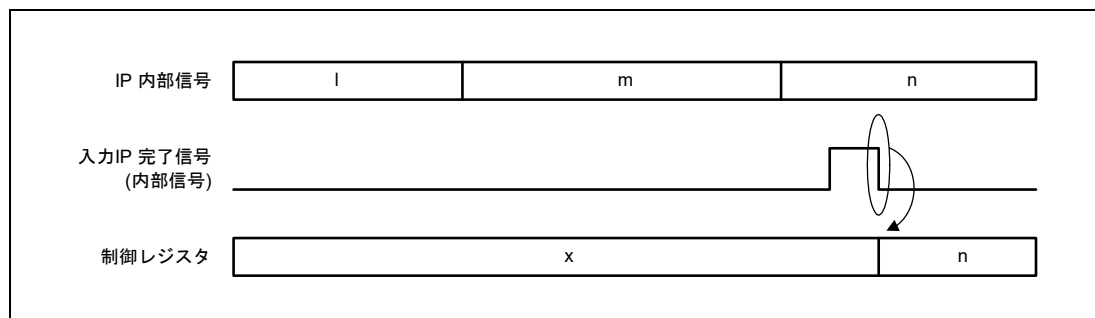


図 24.6 IP 完了信号によるレジスタの更新タイミング

24.4.4 角度生成 IP

角度データの変化ごとに起動し、電気角の生成とコンペア一致の判定を行います。動作中に起動要求があった場合は、その起動要求は無視されます。

図 24.7 に角度生成 IP の処理の流れを、図 24.8 に角度生成 IP の初期設定手順例を示します。

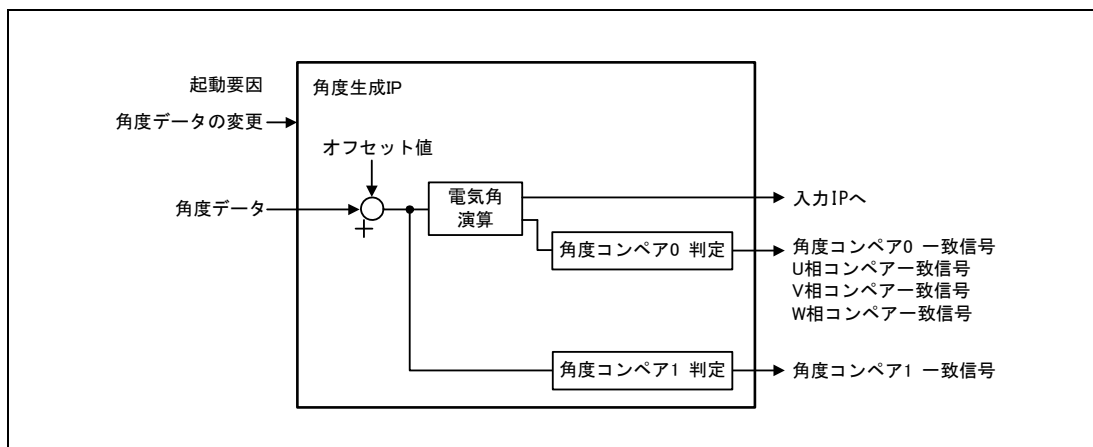


図 24.7 角度生成 IP の処理の流れ

(1) 角度生成 IP の初期設定

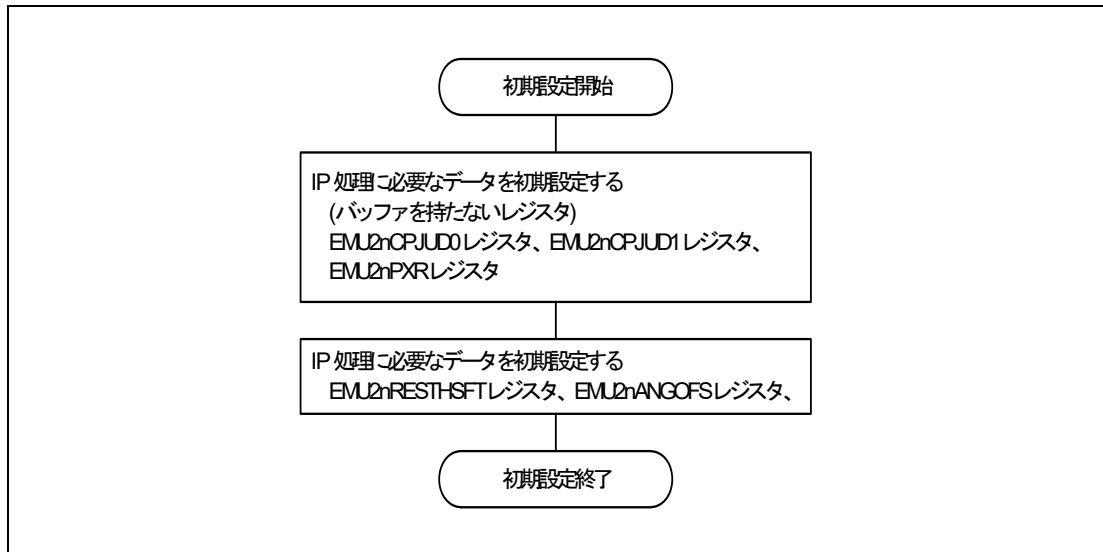


図 24.8 角度生成 IP の初期設定手順例

(2) 角度データの取得

EMU2nANGCTR レジスタの RDPHIEN ビット = 1, PHISEL ビット = “0” の場合

$$\theta_{org0_u}[11:0] \leftarrow \text{角度データ}$$

EMU2nANGCTR レジスタの PHISEL ビット = “1” の場合

$$\theta_{org0_u}[11:0] \leftarrow \text{EMU2nRESTHSFT_u}[11:0]$$

$$\text{EMU2nRESTHETA_u}[11:0] \leftarrow \theta_{org0_u}[11:0]$$

$$\theta_{res_fix_u}[11:0] \leftarrow (\theta_{org0_u}[11:0] + \text{EMU2nANGOFS_s}[15:0]) \& 0FFF_H$$
(3) 電気角の生成

電気角を生成します。

EMU2nRESCNT レジスタは、レゾルバからの角度データがオーバーフローしたら +1、アンダフローしたら -1 されます。

EMU2nRESRLD レジスタ値は、“レゾルバの極数 -1” を設定してください。

EMU2nPXR レジスタ値は、“(モータの極対数 ÷ レゾルバ極数) × 256” を設定してください。

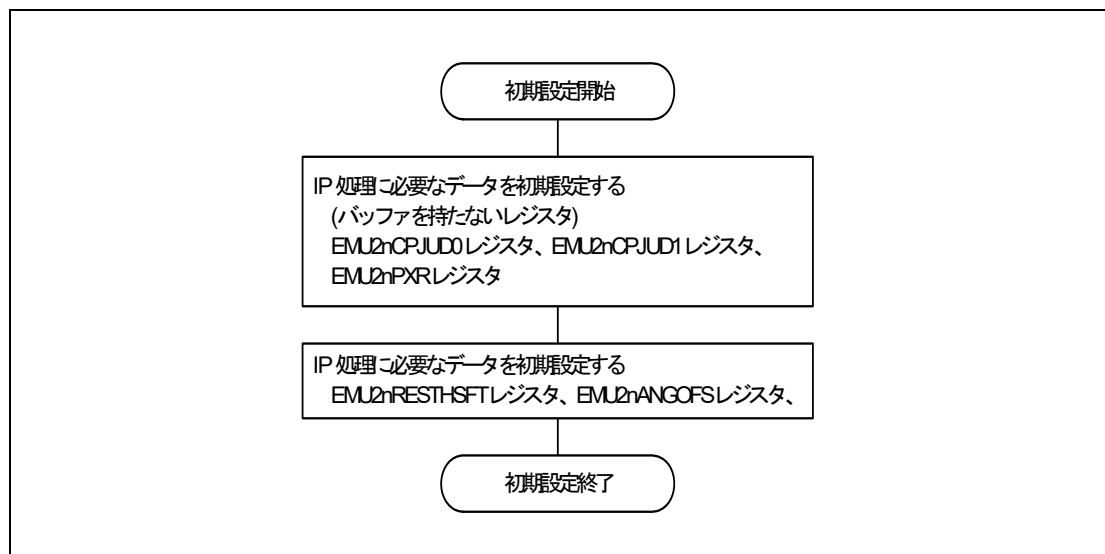


図 24.9 角度生成 IP の初期設定手順例

判断 1 : $F00_H < \theta_{res_fix_u}[11:0]$ (前回値) かつ $\theta_{res_fix_u}[11:0]$ (今回値) $< 0FFF_H$ (オーバーフロー)

判断 2 : $F00_H < \theta_{res_fix_u}[11:0]$ (今回値) かつ $\theta_{res_fix_u}[11:0]$ (前回値) $< 0FFF_H$ (アンダフロー)

EMU2nRESCNT_u[2:0] は

判断 1 成立のとき +1 され、判断 2 成立のとき -1 されます。

EMU2nRESCNT_u[2:0] > EMU2nRESRLD_u[2:0] の場合

$$\text{EMU2nRESCNT_u}[2:0] \leftarrow 0$$

$\text{EMU2nRESCNT_u}[2:0] < 0$ の場合

(判断2が成立し、 $\text{EMU2nRESCNT_u}[2:0] - 1$ の結果が0より小さい場合)

$$\text{EMU2nRESCNT_u}[2:0] \leftarrow \text{EMU2nRESRLD_u}[2:0]$$

となります。

$$\text{EMU2nTHTEFIX_u}[11:0] \leftarrow 0\text{FFF}_H \& ((\text{EMU2nPXR_s}[15:0] \times ((\text{EMU2nRESCNT_u}[2:0] \ll 12) + \theta_{\text{res_fix_u}}[11:0])) \gg 8)$$

(4) 角度コンペア0一致の判定

コンペア0一致は、

正回転時

電気角 (前回値) < コンペア0 設定値 ≤ 電気角 (今回値)

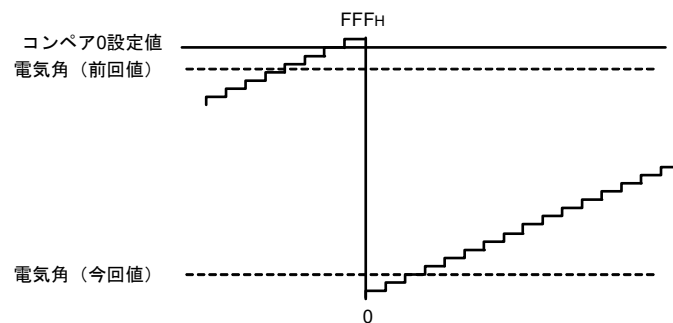
逆回転時

電気角 (前回値) > コンペア0 設定値 ≥ 電気角 (今回値)

が成立した際に一致したと判定されます。

ただし、電気角が“FFF_H”から“0_H”に変化する（もしくは“0_H”から“FFF_H”に変化する）場合をはさんで、コンペア0一致を判断する際に追加条件が必要なことから、判断1と判断2を判断条件に追加しています。

電気角が“FFF_H”から“0_H”に変化する場合



判断1 : FFF_H - EMU2nCPJUD0_u[7:0] < EMU2nTHTEFIX_u[11:0] (前回値) かつ
EMU2nTHTEFIX_u[11:0] (今回値) < EMU2nCPJUD0_u[7:0]

判断2 : FFF_H - EMU2nCPJUD0_u[7:0] < EMU2nTHTEFIX_u[11:0] (今回値) かつ
EMU2nTHTEFIX_u[11:0] (前回値) < EMU2nCPJUD0_u[7:0]

正回転時

判断1 = 不成立 AND 判断2 = 不成立 AND

EMU2nTHTEFIX_u[11:0] (前回値) < コンペア0 ≤ EMU2nTHTEFIX_u[11:0] (今回値)

逆回転時

判断1 = 不成立 AND 判断2 = 不成立 AND

EMU2nTHTEFIX_u[11:0] (前回値) > コンペア0 ≥ EMU2nTHTEFIX_u[11:0] (今回値)

正回転かつ電気角が“FFF_H”から“0_H”に変化する場合

判断 1 = 成立 AND

((EMU2nTHTEFIX_u[11:0] (前回値) < コンペア 0) OR (コンペア 0 ≤ EMU2nTHTEFIX_u[11:0] (今回値)))

逆回転かつ電気角が“0_H”から“FFF_H”に変化する場合

判断 2 = 成立 AND

((EMU2nTHTEFIX_u[11:0] (前回値) > コンペア 0) OR (コンペア 0 ≥ EMU2nTHTEFIX_u[11:0] (今回値)))

(5) 角度コンペア 1 一致の判定

コンペア 1 一致は、

正回転時

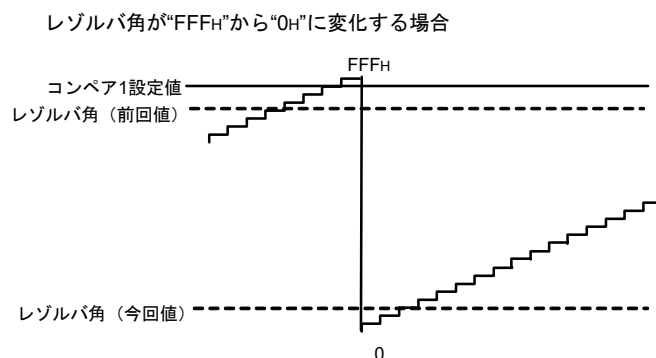
レゾルバ角 (前回値) < コンペア 1 設定値 ≤ レゾルバ角 (今回値)

逆回転時

レゾルバ角 (前回値) > コンペア 1 設定値 ≥ レゾルバ角 (今回値)

が成立した際に一致したと判定されます。

ただし、レゾルバ角が“FFF_H”から“0_H”に変化する（もしくは“0_H”から“FFF_H”に変化する）場合をはさんで、コンペア 1 一致を判断する際に追加条件が必要なことから、判断 1 と判断 2 を判断条件に追加しています。



判断 1 : FFF_H-EMU2nCPJUD1_u[7:0] < EMU2nRESTHETA_u[11:0] (前回値) かつ
EMU2nRESTHETA_u[11:0] (今回値) < EMU2nCPJUD1_u[7:0]

判断 2 : FFF_H-EMU2nCPJUD1_u[7:0] < EMU2nRESTHETA_u[11:0] (今回値) かつ
EMU2nRESTHETA_u[11:0] (前回値) < EMU2nCPJUD1_u[7:0]

正回転時

判断 1 = 不成立 AND 判断 2 = 不成立 AND

$EMU2nRESTHETA_u[11:0]$ (前回値) < コンペア 1 \leq $EMU2nRESTHETA_u[11:0]$ (今回値)

逆回転時

判断 1 = 不成立 AND 判断 2 = 不成立 AND

$EMU2nRESTHETA_u[11:0]$ (前回値) > コンペア 1 \geq $EMU2nRESTHETA_u[11:0]$ (今回値)

正回転かつレゾルバ角が “FFF_H” から “0_H” に変化する場合

判断 1 = 成立 AND

(($EMU2nRESTHETA_u[11:0]$ (前回値) < コンペア 1) OR (コンペア 1 \leq $EMU2nRESTHETA_u[11:0]$ (今回値)))

逆回転かつレゾルバ角が “0_H” から “FFF_H” に変化する場合

判断 2 = 成立 AND

(($EMU2nRESTHETA_u[11:0]$ (前回値) > コンペア 1) OR (コンペア 1 \geq $EMU2nRESTHETA_u[11:0]$ (今回値)))

(6) 独立矩形用 U/V/W 相角度コンペア一致

独立矩形部が出力する U/V/W 各相の角度コンペア値との一致比較を行います。コンペア一致の判定方法は角度コンペア 0 一致と同じです。

24.4.5 入力 IP

入力 IP はモータ電流値を取得し、dq 変換等の演算を行います。モータ電流値を示す A/D 値は、自動的に入力 IP に入力されます。

図 24.10 に入力 IP の処理の流れを示します。

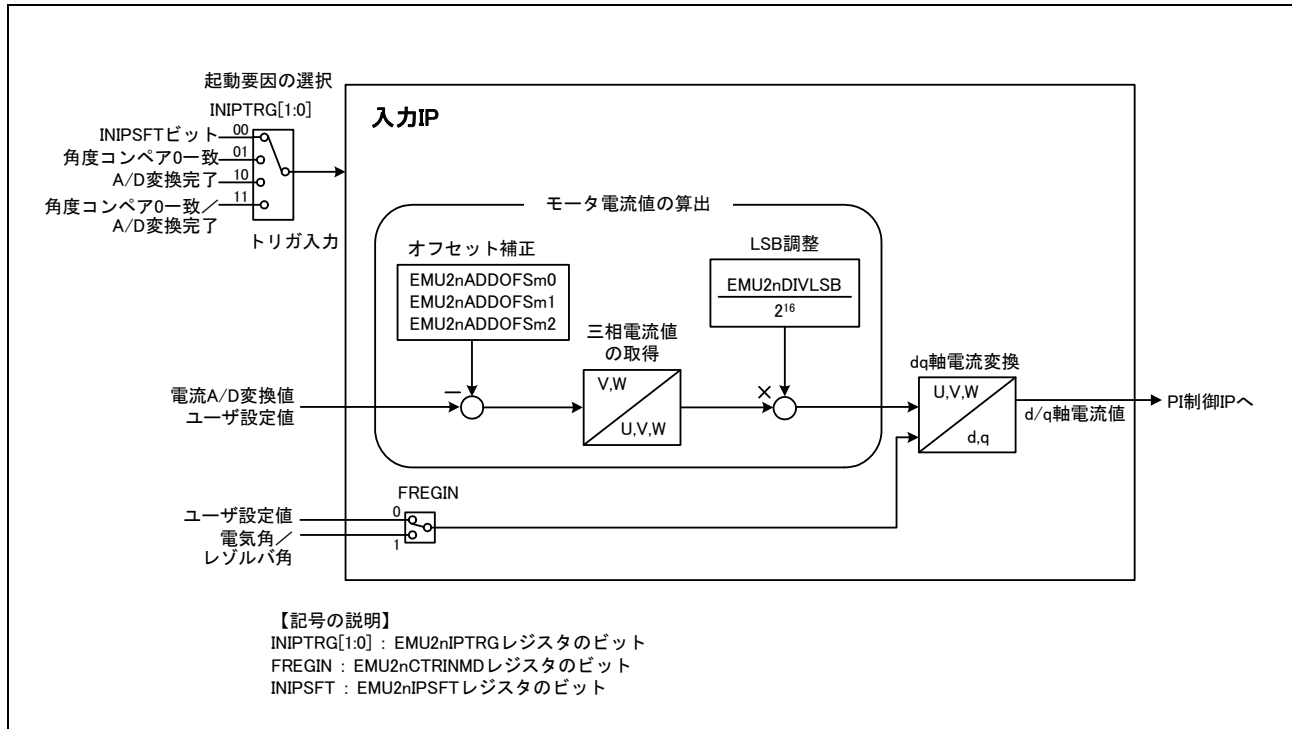


図 24.10 入力 IP の処理の流れ

入力 IP は、EMU2nIPSTRG レジスタの INIPSTRG[1:0] ビットで起動要因を選択したあと、その要因が発生すると起動します。ソフトウェアトリガを選択した場合は、EMU2nIPSFT レジスタの INIPSFT ビットを“1”にすることで起動させることができます。

入力 IP の処理が完了すると、EMU2nINTSD レジスタの INIF ビットが“1”になります。INIF ビットは、EMU2nINTSDC レジスタの INIFC ビットに“1”を書くことでクリアすることができます。

入力 IP の完了をトリガとして割り込みを発生することが可能です。

図 24.11 に入力 IP の初期設定手順例（割り込みを使用する場合）を示します。

(1) 入力 IP の初期設定

「**図 24.11** 入力 IP の初期設定手順例（割り込みを使用する場合）」にしたがい、入力 IP の初期設定ができます。

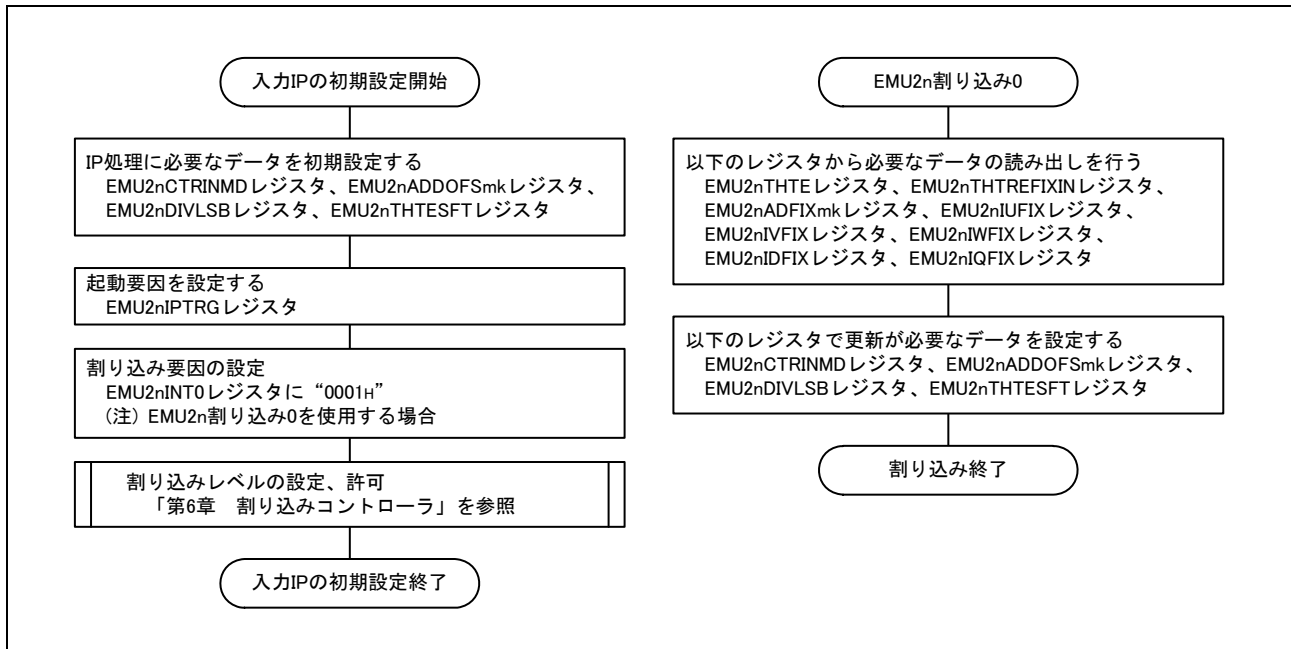


図 24.11 入力 IP の初期設定手順例（割り込みを使用する場合）

以降に入力 IP の処理詳細を記します。

(2) 電気角の入手元の選択、A/D 変換結果の取得

電気角値の入手元を選択します。

$$\text{EMU2nTHTREFIXIN}_u[11:0] \leftarrow \theta_{\text{res_fix_in_u}}[11:0] \leftarrow \theta_{\text{res_fix_u}}[11:0]$$

注 1. $\theta_{\text{res_fix_u}}$ は角度生成 IP で生成されます。

注 2. $\theta_{\text{res_fix_in_u}}[11:0] \leftarrow \theta_{\text{res_fix_u}}[11:0]$ の転送は R/D 変換トリガ出力遅延時間経過後に実行され、 $\text{EMU2nTHTREFIXIN}_u[11:0] \leftarrow \theta_{\text{res_fix_in_u}}[11:0]$ の転送は入力 IP 完了時に実行されます。

$$\text{EMU2nTHTE}_u[11:0] \leftarrow \text{EMU2nTHTEFIX}_u[11:0]$$

注 1. EMU2nTHTEFIX_u は角度生成 IP で生成されます。

注 2. EMU2nDDCNT レジスタに設定した R/D 変換トリガ出力遅延時間経過後に上記の転送が実行されます。

EMU2nCTRINMD レジスタの FREGIN ビット	電気角 $\theta_{e_u}[11:0]$
“0” (ユーザ設定値を使用)	$\text{EMU2nTHTESFT}_u[11:0]$
“1” (電気角、レゾルバ角を使用)	$\text{EMU2nTHTE}_u[11:0] + \text{EMU2nEARD}_u[11:0]$

注 1. 角度生成 IP からの電気角と補正值から、入力 IP で使用する電気角を生成します。

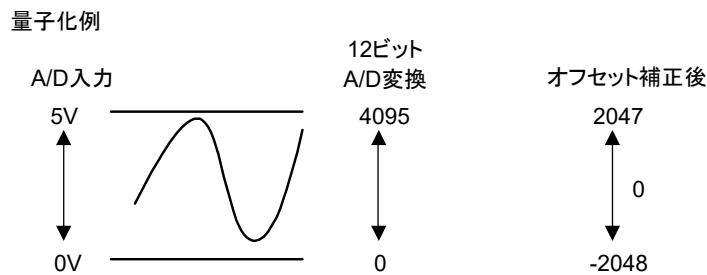
入力 IP の起動タイミングで値を転送します。

$$ia_0ch_org_u[11:0] \leftarrow EMU2nADm0_u[11:0]$$

$$ia_1ch_org_u[11:0] \leftarrow EMU2nADm1_u[11:0]$$

$$ia_2ch_org_u[11:0] \leftarrow EMU2nADm2_u[11:0]$$

(3) モータ電流値の算出



$$ia_0ch_tmp1_s[15:0] \leftarrow EMU2nADFIXm0_s[15:0] - EMU2nADDOFSm0_s[15:0]$$

$$ia_1ch_tmp1_s[15:0] \leftarrow EMU2nADFIXm1_s[15:0] - EMU2nADDOFSm1_s[15:0]$$

$$ia_2ch_tmp1_s[15:0] \leftarrow EMU2nADFIXm2_s[15:0] - EMU2nADDOFSm2_s[15:0]$$

EMU2nCTRINMD レジスタの CMES ビット = “0” の場合

V 相、W 相電流値から U 相電流値を生成します。

$$EMU2nIVFIX_s[31:0] \leftarrow (ia_0ch_tmp1_s[15:0] \times EMU2nDIVLSB_s[31:0]) \gg 16$$

$$EMU2nIWFIX_s[31:0] \leftarrow (ia_1ch_tmp1_s[15:0] \times EMU2nDIVLSB_s[31:0]) \gg 16$$

$$EMU2nIUFIX_s[31:0] \leftarrow -(EMU2nIVFIX_s[31:0] + EMU2nIWFIX_s[31:0])$$

EMU2nCTRINMD レジスタの CMES ビット = “1” の場合

$$EMU2nIVFIX_s[31:0] \leftarrow (ia_0ch_tmp1_s[15:0] \times EMU2nDIVLSB_s[31:0]) \gg 16$$

$$EMU2nIWFIX_s[31:0] \leftarrow (ia_1ch_tmp1_s[15:0] \times EMU2nDIVLSB_s[31:0]) \gg 16$$

$$EMU2nIUFIX_s[31:0] \leftarrow (ia_2ch_tmp1_s[15:0] \times EMU2nDIVLSB_s[31:0]) \gg 16$$

EMU2nIVFIX_s[31:0] \leftarrow -(EMU2nIWFIX_s[31:0] + EMU2nIUFIX_s[31:0]) (CMUVW[2:0] ビット = “010_B” のとき)

EMU2nIWFIX_s[31:0] \leftarrow -(EMU2nIUFIX_s[31:0] + EMU2nIVFIX_s[31:0]) (CMUVW[2:0] ビット = “100_B” のとき)

EMU2nIUFIX_s[31:0] \leftarrow -(EMU2nIWFIX_s[31:0] + EMU2nIVFIX_s[31:0]) (CMUVW[2:0] ビット = “001_B” のとき)

(4) dq 軸電流変換

変換公式を以下に示します。

$$\begin{pmatrix} \text{EMU2nIDFIX}_s[31:0] \\ \text{EMU2nIQFIX}_s[31:0] \end{pmatrix} = \text{EMU2nSR2}_s[31:0] \times \begin{pmatrix} \sin(\theta_{e_u} + 90^\circ) & -\sin(\theta_{e_u} + 150^\circ) & -\sin(\theta_{e_u} + 30^\circ) \\ -\sin(\theta_{e_u} + 0^\circ) & \sin(\theta_{e_u} + 60^\circ) & -\sin(\theta_{e_u} + 120^\circ) \end{pmatrix} \begin{pmatrix} \text{EMU2nIUFIX}_s[31:0] \\ \text{EMU2nIVFIX}_s[31:0] \\ \text{EMU2nIWFIX}_s[31:0] \end{pmatrix}$$

実際の処理を以下に示します。

```
EMU2nIDFIX_s[31:0] ← (EMU2nSR2_s[31:0] × (
    ((cos(θe_u + 0°)_s[16:0] × EMU2nIUFIX_s[31:0]) >> 15)
    - ((cos(θe_u + 60°)_s[16:0] × EMU2nIVFIX_s[31:0]) >> 15)
    - ((sin(θe_u + 30°)_s[16:0] × EMU2nIWFIX_s[31:0]) >> 15)
)) >> 16
```

```
EMU2nIQFIX_s[31:0] ← (EMU2nSR2_s[31:0] × (
    - ((sin(θe_u + 0°)_s[16:0] × EMU2nIUFIX_s[31:0]) >> 15)
    + ((sin(θe_u + 60°)_s[16:0] × EMU2nIVFIX_s[31:0]) >> 15)
    - ((cos(θe_u + 30°)_s[16:0] × EMU2nIWFIX_s[31:0]) >> 15)
)) >> 16
```

上記演算で用いられる sin 値は、EMU2 回路内部に存在する sin データテーブルの値を使用します。sin データテーブルに格納されている sin 値は 8000_H 倍された値です。

24.4.6 PI 制御 IP

PI 制御 IP は d 軸、q 軸電流値から V_d 、 V_q 電圧値 (EMU2nVD レジスタ、EMU2nVQ レジスタ) を生成します。d 軸、q 軸電流値は入力 IP から入力することもできます。図 24.12 に PI 制御 IP の処理の流れを示します。

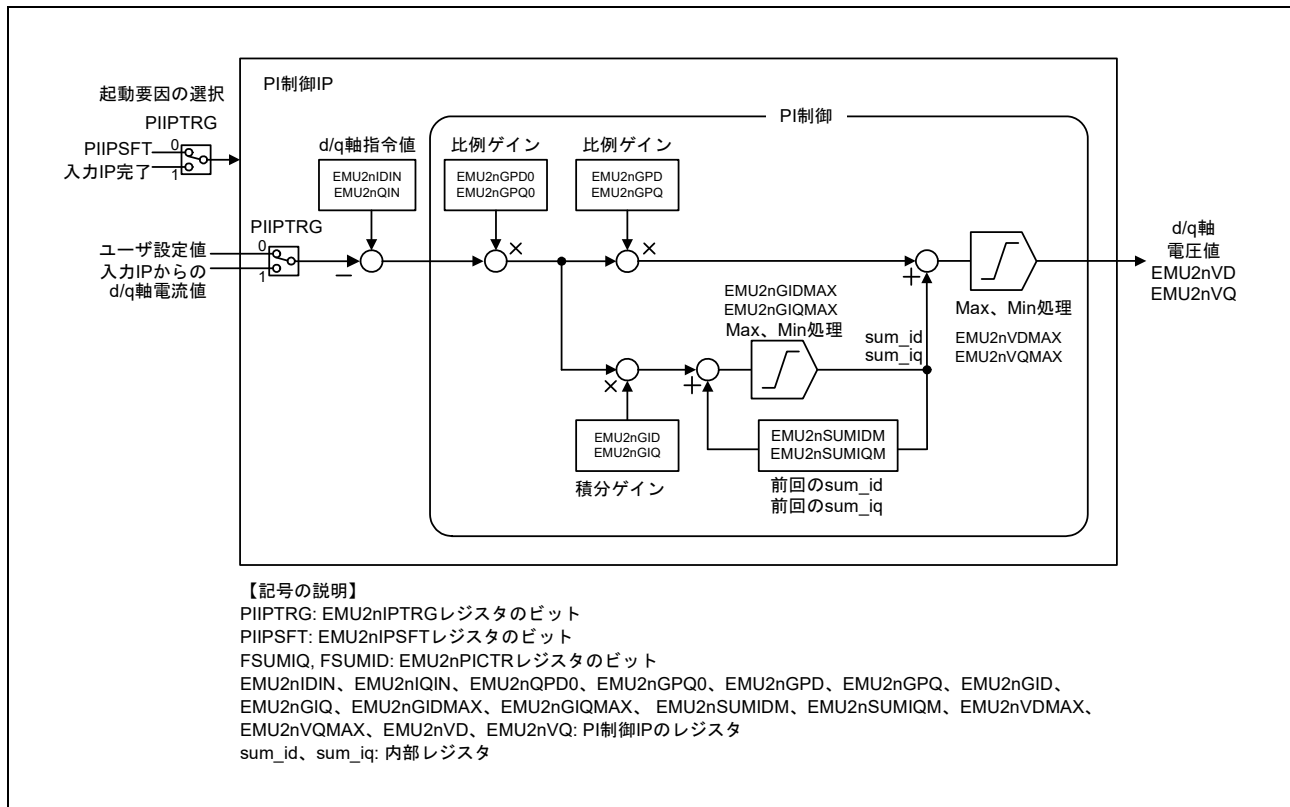


図 24.12 PI 制御 IP の処理の流れ

PI 制御 IP は、EMU2nIPTRG レジスタの PIPTRG ビットを“1”に設定すると入力 IP 完了時に起動します。PIPTRG ビットを“0”にした場合は、EMU2nIPSFT レジスタの PIIPSFT ビットを“1”にすることで起動させることができます。

PI 制御 IP の処理が完了すると、EMU2nINTSD レジスタの PIIF ビットが“1”になります。PIIF ビットは、EMU2nINTSDC レジスタの PIIFC ビットに“1”を書くことでクリアすることができます。

PI 制御 IP の完了をトリガとして割り込みを発生することが可能です。

(1) PI 制御 IP の初期設定

「**図 24.13** PI 制御 IP の初期設定手順例 (割り込みを使用する場合)」にしたがい、PI 制御 IP の初期設定ができます。

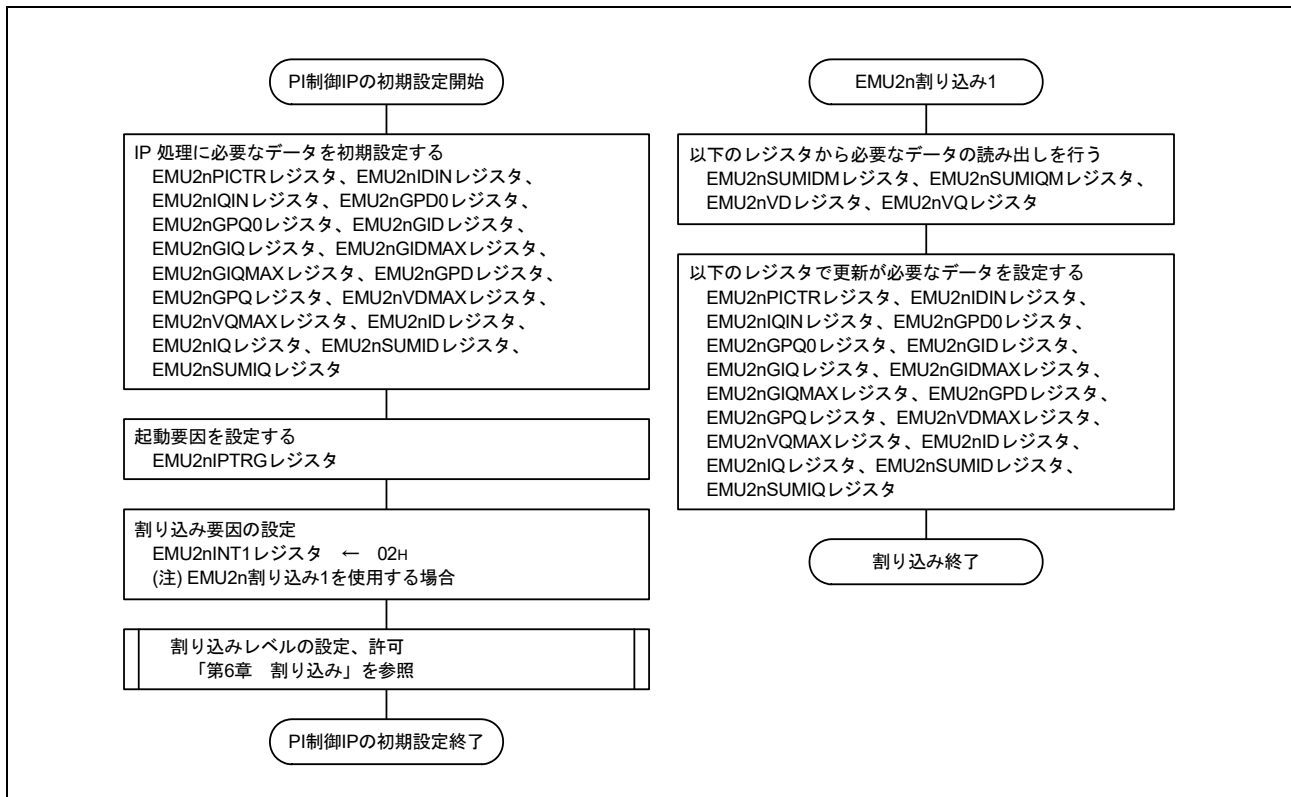


図 24.13 PI 制御 IP の初期設定手順例 (割り込みを使用する場合)

(2) PI 制御

【EMU2nIPTRG レジスタの PIIPTRG ビット = “1” の場合】

入力 IP からの d 軸、q 軸電流値を使用します。

$$id_s[31:0] \leftarrow EMU2nIDFIX_s[31:0]$$

$$iq_s[31:0] \leftarrow EMU2nIQFIX_s[31:0]$$

【EMU2nIPTRG レジスタの PIIPTRG ビット = “0” の場合】

レジスタに設定した d 軸、q 軸電流値を使用します。

$$id_s[31:0] \leftarrow EMU2nID_s[31:0]$$

$$iq_s[31:0] \leftarrow EMU2nIQ_s[31:0]$$

d 軸電流からの PI 制御を行います。

EMU2nGPD0、EMU2nGPD レジスタに比例ゲイン、EMU2nGID レジスタに積分ゲインを設定してください。

EMU2nGIDMAX レジスタで積分値の制限を、EMU2nVDMAX レジスタで生成される d 軸電圧の制限をかけることができます。

$$ids_a_s[31:0] \leftarrow EMU2nIDIN_s[31:0] - id_s[31:0]$$

$$ids_s[31:0] \leftarrow (ids_a_s[31:0] \times EMU2nGPD0_s[31:0]) \gg 16$$

【EMU2nPICTR レジスタの FSUMID ビット = “0” の場合】

$$\text{sum_id_s}[31:0] \leftarrow \text{EMU2nSUMID_s}[31:0]$$

$$\text{emvd_tmp_s}[31:0] \leftarrow \text{sum_id_s}[31:0] + (\text{ids_s}[31:0] \times \text{EMU2nGPD_s}[31:0]) \gg 16$$

【EMU2nPICTR レジスタの FSUMID ビット = “1” の場合】

$$\text{sum_id_s}[31:0] \leftarrow \text{EMU2nSUMIDM_s}[31:0] (\text{前回値}) + (\text{ids_s}[31:0] \times \text{EMU2nGID_s}[31:0]) \gg 16$$

条件	EMU2nSUMIDM_s[31:0]
$\text{sum_id_s}[31:0] > \text{EMU2nGIDMAX_u}[31:0]$	$\text{EMU2nGIDMAX_u}[31:0]$
$\text{sum_id_s}[31:0] < -\text{EMU2nGIDMAX_u}[31:0]$	$-\text{EMU2nGIDMAX_u}[31:0]$
上記以外	$\text{sum_id_s}[31:0]$

$$\text{emvd_tmp_s}[31:0] \leftarrow \text{EMU2nSUMIDM_s}[31:0] + (\text{ids_s}[31:0] \times \text{EMU2nGPD_s}[31:0]) \gg 16$$

条件	EMU2nVD_s[31:0]
$\text{emvd_tmp_s}[31:0] > \text{EMU2nVDMAX_u}[31:0]$	$\text{EMU2nVDMAX_u}[31:0]$
$\text{emvd_tmp_s}[31:0] < -\text{EMU2nVDMAX_u}[31:0]$	$-\text{EMU2nVDMAX_u}[31:0]$
上記以外	$\text{emvd_tmp_s}[31:0]$

q 軸電流からの PI 制御を行います。

EMU2nGPQ0、EMU2nGPQ レジスタに比例ゲイン、EMU2nGIQ レジスタに積分ゲインを設定してください。

EMU2nGIQMAX レジスタで積分値の制限を、EMU2nVQMAX レジスタで生成される q 軸電圧の制限をかけることができます。

$$\text{iqs_a_s}[31:0] \leftarrow \text{EMU2nIQIN_s}[31:0] - \text{iq_s}[31:0]$$

$$\text{iqs_s}[31:0] \leftarrow (\text{iqs_a_s}[31:0] \times \text{EMU2nGPQ0_s}[31:0]) \gg 16$$

【EMU2nPICTR レジスタの FSUMIQ ビット = “0” の場合】

$$\text{sum_iq_s}[31:0] \leftarrow \text{EMU2nSUMIQ_s}[31:0]$$

$$\text{emvq_tmp_s}[31:0] \leftarrow \text{sum_iq_s}[31:0] + (\text{iqs_s}[31:0] \times \text{EMU2nGPQ_s}[31:0]) \gg 16$$

【EMU2nPICTR レジスタの FSUMIQ ビット = “1” の場合】

$$\text{sum_iq_s}[31:0] \leftarrow \text{EMU2nSUMIQM_s}[31:0] (\text{前回値}) + (\text{iqs_s}[31:0] \times \text{EMU2nGIQ_s}[31:0]) \gg 16$$

条件	EMU2nSUMIQM_s[31:0]
$\text{sum_iq_s}[31:0] > \text{EMU2nGIQMAX_u}[31:0]$	$\text{EMU2nGIQMAX_u}[31:0]$
$\text{sum_iq_s}[31:0] < -\text{EMU2nGIQMAX_u}[31:0]$	$-\text{EMU2nGIQMAX_u}[31:0]$
上記以外	$\text{sum_iq_s}[31:0]$

$$\text{emvq_tmp_s}[31:0] \leftarrow \text{EMU2nSUMIQM_s}[31:0] + (\text{iqs_s}[31:0] \times \text{EMU2nGPQ_s}[31:0]) \gg 16$$

条件	EMU2nVQ_s[31:0]
$emvq_tmp_s[31:0] > EMU2nVQMAX_u[31:0]$	$EMU2nVQMAX_u[31:0]$
$emvq_tmp_s[31:0] < -EMU2nVQMAX_u[31:0]$	$-EMU2nVQMAX_u[31:0]$
上記以外	$emvq_tmp_s[31:0]$

24.4.7 PWM IP

PWM IP は d 軸、q 軸電圧値と電気角から、PWM デューティ値を算出します。電気角は入力 IP から入力することもできます。図 24.14 に PWM IP の処理の流れを示します。

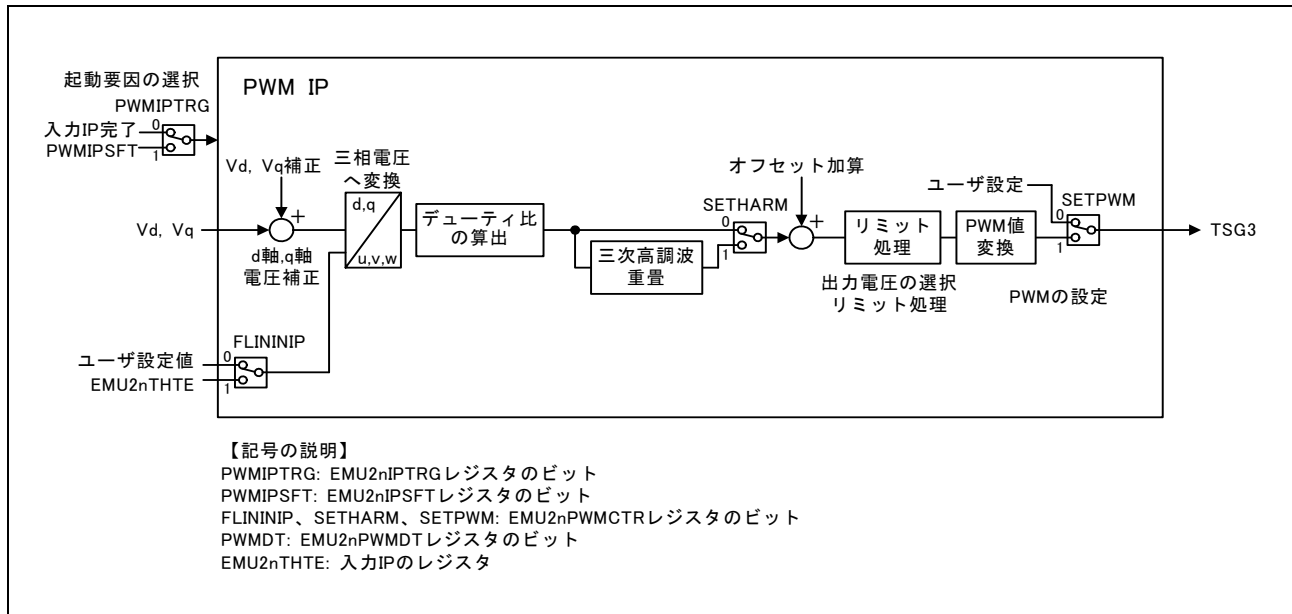


図 24.14 PWM IP の処理の流れ

PWM IP は、EMU2nIPTRG レジスタの PWMIPTRG ビットを“1”に設定すると PI 制御 IP 完了時に起動します。PWMIPTRG ビットを“0”にした場合は、EMU2nIPSFT レジスタの PWMIPSFT ビットを“1”にすることで起動させることができます。

PWM IP の処理が完了すると、EMU2nINTSD レジスタの PWMIF ビットが“1”になります。PWMIF ビットは、EMU2nINTSDC レジスタの PWMIFC ビットに“1”を書くことでクリアすることができます。

PWM IP の完了をトリガとして割り込みを発生することが可能です。

(1) PWM IP の初期設定

「**図 24.15** PWM IP の初期設定手順例（割り込みを使用する場合）」にしたがい、PWM IP の初期設定ができます。

初期設定後、「**図 24.16** 同時反映レジスタの設定値変更手順（PWM IP）」にしたがい「**表 24.37** FPWMREFPER ビットで反映/許可禁止できるレジスタ」に記載のレジスタ値を変更できます。

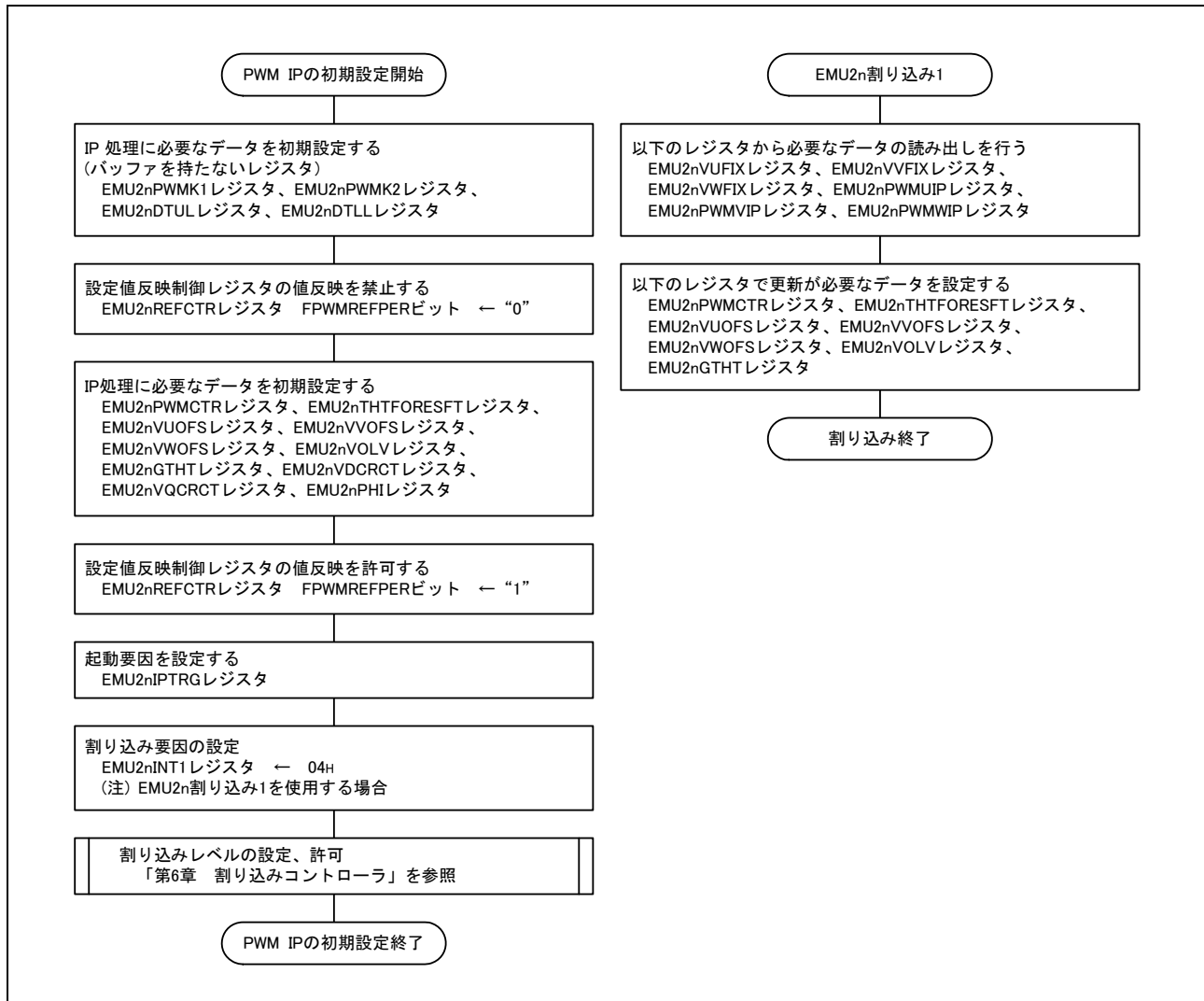


図 24.15 PWM IP の初期設定手順例（割り込みを使用する場合）

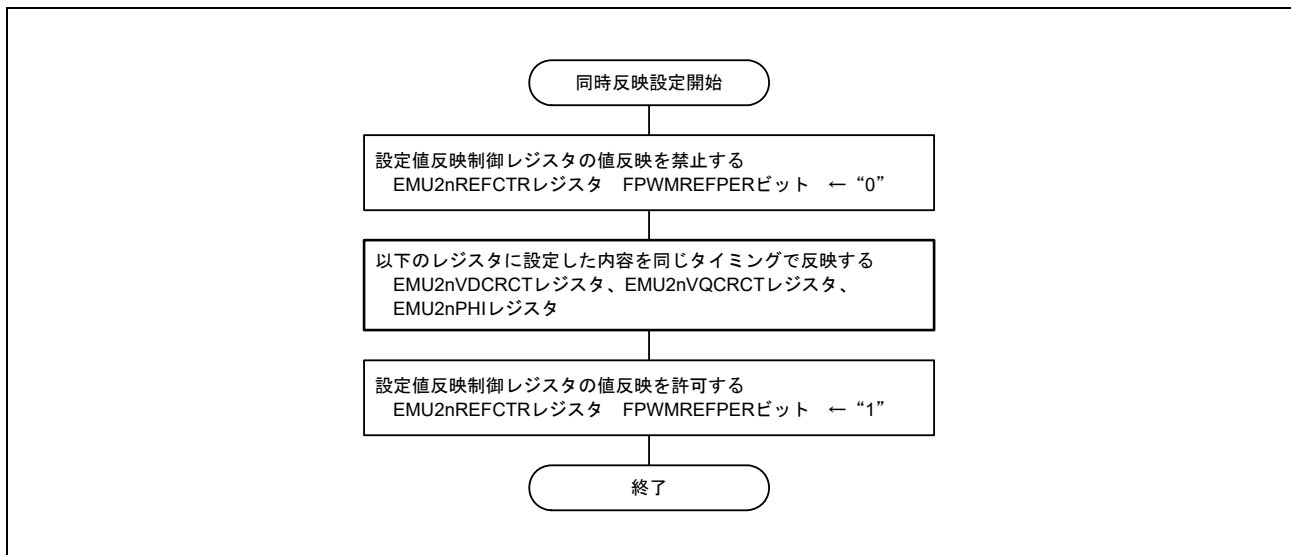


図 24.16 同時反映レジスタの設定値変更手順 (PWM IP)

(2) d 軸、q 軸電圧補正

$$vr1_s[31:0] \leftarrow EMU2nVD_s[31:0] + EMU2nVDCRCT_s[31:0]$$

$$vr2_s[31:0] \leftarrow EMU2nVQ_s[31:0] + EMU2nVQCRCT_s[31:0]$$

(3) 三相電圧へ変換

EMU2nPWMCTR レジスタの FLININIP ビット = “1” の場合

$$\theta'_u[11:0] \leftarrow EMU2nTHTE_u[11:0]$$

EMU2nPWMCTR レジスタの FLININIP ビット = “0” の場合

$$\theta'_u[11:0] \leftarrow EMU2nTHTFORESFT_u[11:0]$$

$$\theta'_u[11:0] \leftarrow ((\theta'_u[11:0] + EMU2nPHI_s[15:0]) \& 0FFF_H \times EMU2nGTHT_s[15:0]) \gg 8$$

EMU2nPHI レジスタに値を設定することで、位相を進めることができます。

変換公式を以下に示します。

$$\begin{pmatrix} vu1_s[31:0] \\ vw1_s[31:0] \end{pmatrix} = (EMU2nSR23_s[31:0]) \times \begin{pmatrix} \cos(\theta'_u + 0^\circ) & -\sin(\theta'_u + 0^\circ) \\ \cos(\theta'_u + 120^\circ) & -\sin(\theta'_u + 120^\circ) \end{pmatrix} \begin{pmatrix} vr1_s[31:0] \\ vr2_s[31:0] \end{pmatrix} + \begin{pmatrix} EMU2nUVOFS_s[31:0] \\ EMU2nWVOFS_s[31:0] \end{pmatrix}$$

実際の処理を以下に示します。

$$\begin{aligned}vu1_s[31:0] \leftarrow & (EMU2nSR23_s[31:0] \times (\\ & ((\cos(\theta_u+ 0^\circ)_s[16:0] \times vr1_s[31:0]) \gg 15) \\ & - ((\sin(\theta_u+ 0^\circ)_s[16:0] \times vr2_s[31:0]) \gg 15) \\ &)) \gg 16 + EMU2nUVOFS_s[31:0]\end{aligned}$$

$$\begin{aligned}vw1_s[31:0] \leftarrow & (EMU2nSR23_s[31:0] \times (\\ & ((\cos(\theta_u+120^\circ)_s[16:0] \times vr1_s[31:0]) \gg 15) \\ & - ((\sin(\theta_u+120^\circ)_s[16:0] \times vr2_s[31:0]) \gg 15) \\ &)) \gg 16 + EMU2nWVOFS_s[31:0]\end{aligned}$$

上記演算で用いられる sin 値は、EMU2 回路内部に存在する sin データテーブルの値を使用します。sin データテーブルに格納されている sin 値は 8000_H 倍された値です。そのため、上記演算では 15 ビットシフトしています。

(4) デューティ比の算出

$$vu_s[31:0] \leftarrow ((vu1_s[31:0] \times EMU2nPWMK1_s[31:0]) \gg 16) / EMU2nVOLV_s[15:0]$$

$$vw_s[31:0] \leftarrow ((vw1_s[31:0] \times EMU2nPWMK1_s[31:0]) \gg 16) / EMU2nVOLV_s[15:0]$$

$$vv_s[31:0] \leftarrow -(vu_s[31:0] + vw_s[31:0])$$

(5) 三次高調波重畳の実施

EMU2nPWMCTR レジスタの SETHARM ビット = “1” の場合

$$vu2'_s[31:0] \leftarrow vu_s[31:0] - \text{三次高調波}$$

$$vv2'_s[31:0] \leftarrow vv_s[31:0] - \text{三次高調波}$$

$$vw2'_s[31:0] \leftarrow vw_s[31:0] - \text{三次高調波}$$

EMU2nPWMCTR レジスタの SETHARM ビット = “0” の場合

$$vu2'_s[31:0] \leftarrow vu_s[31:0]$$

$$vv2'_s[31:0] \leftarrow vv_s[31:0]$$

$$vw2'_s[31:0] \leftarrow vw_s[31:0]$$

(6) オフセット加算

$$vu2_s[31:0] \leftarrow vu2'_s[31:0] + EMU2nVUOFS_s[15:0]$$

$$vv2_s[31:0] \leftarrow vv2'_s[31:0] + EMU2nVVOFS_s[15:0]$$

$$vw2_s[31:0] \leftarrow vw2'_s[31:0] + EMU2nVWOFs_s[15:0]$$

(7) 各相出力電圧の選択とリミット処理

$$vu4_s[31:0] \leftarrow vu2_s[31:0]、vv4_s[31:0] \leftarrow vv2_s[31:0]、vw4_s[31:0] \leftarrow vw2_s[31:0]$$

条件	EMU2nVUFIX_s[31:0]
$vu4_s[31:0] > EMU2nDTUL_s[31:0]$	EMU2nDTUL_s[31:0]
$vu4_s[31:0] < EMU2nDTLL_s[31:0]$	EMU2nDTLL_s[31:0]
上記以外	$vu4_s[31:0]$

条件	EMU2nVVFIX_s[31:0]
$vv4_s[31:0] > EMU2nDTUL_s[31:0]$	EMU2nDTUL_s[31:0]
$vv4_s[31:0] < EMU2nDTLL_s[31:0]$	EMU2nDTLL_s[31:0]
上記以外	$vv4_s[31:0]$

条件	EMU2nVWFIX_s[31:0]
$vw4_s[31:0] > EMU2nDTUL_s[31:0]$	EMU2nDTUL_s[31:0]
$vw4_s[31:0] < EMU2nDTLL_s[31:0]$	EMU2nDTLL_s[31:0]
上記以外	$vw4_s[31:0]$

- 注 1. EMU2nDTLL、EMU2nDTUL でリミット補正されることで、値が EMU2nPWMML レジスタ値以下、
 $pwm_max(EMU2nCARR \text{ レジスタ値} + EMU2nDTT \text{ レジスタ値} - EMU2nPWMUL \text{ レジスタ値})$ 以上にならないと 100%、0% デューティ波形が出力されません。
 EMU2nVUFIX、EMU2nVVFIX、EMU2nVWFIX は EMU2nCARR レジスタ値 /2 や EMU2nDTT レジスタ値 /2 と演算されるので、EMU2nCARR レジスタ値が奇数、EMU2nDTT レジスタ値が奇数の際、桁落ちする場合があります。100%、0% デューティ出力をする際は、「24.4.7 (8) PWM の設定」の演算式を考慮して、EMU2nPWMML、EMU2nPWMUL レジスタ等の値を設定してください。

(8) PWM の設定

EMU2nPWMCTR レジスタの PWMSEL = “0” の場合

PWM 演算の基準値をキャリア周期の設定値から生成します。

$$pwm2_u[14:0] \leftarrow EMU2nCARR_u[15:0]/2$$

EMU2nPWMCTR レジスタの PWMSEL = “1” の場合

PWM 演算の基準値をキャリア周期および短絡防止時間の設定値から生成します。

$$pwm2_u[14:0] \leftarrow (EMU2nCARR_u[15:0] + EMU2nDTT_u[15:0])/2$$

$$pwm_max_u[15:0] \leftarrow EMU2nCARR_u[15:0] + EMU2nDTT_u[15:0] - EMU2nPWMUL_u[15:0]$$

EMU2nPWMCTR レジスタの SETRVRS ビット = “0” の場合

各相 PWM 指令値 ← 各相電圧指令値 + PWM の 50% デューティとして演算します。

$$pwmu_s[31:0] \leftarrow ((EMU2nVUFIX_s[31:0] \times (pwm2_u[14:0] \times EMU2nPWMK2_s[15:0])) \gg 16) + (EMU2nCARR_u[15:0] + EMU2nDTT_u[15:0])/2$$

$$\text{pwmw}'_s[31:0] \leftarrow ((\text{EMU2nVWVFIX}_s[31:0] \times (\text{pwm2_u}[14:0] \times \text{EMU2nPWMK2}_s[15:0])) \gg 16) + (\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2$$

$$\text{pwmv}'_s[31:0] \leftarrow ((\text{EMU2nVVFIX}_s[31:0] \times (\text{pwm2_u}[14:0] \times \text{EMU2nPWMK2}_s[15:0])) \gg 16) + (\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2$$

EMU2nPWMCTR レジスタの SETRVRS ビット = “1” の場合

各相 PWM 指令値 ← PWM の 50% デューティ - 各相電圧指令値として演算します。

$$\text{pwmu}'_s[31:0] \leftarrow (\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2 - (\text{EMU2nVUFIX}_s[31:0] \times (\text{pwm2_u}[14:0] \times \text{EMU2nPWMK2}_s[15:0])) \gg 16$$

$$\text{pwmw}'_s[31:0] \leftarrow (\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2 - (\text{EMU2nVWVFIX}_s[31:0] \times (\text{pwm2_u}[14:0] \times \text{EMU2nPWMK2}_s[15:0])) \gg 16$$

$$\text{pwmv}'_s[31:0] \leftarrow (\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2 - (\text{EMU2nVVFIX}_s[31:0] \times (\text{pwm2_u}[14:0] \times \text{EMU2nPWMK2}_s[15:0])) \gg 16$$

PWM 指令値 pwmu' 、 pwmv' 、 pwmw' から PWM デューティを設定します。

PWM デューティは、 pwmu' 、 pwmv' 、 pwmw' が EMU2nPWMLL レジスタ値以下であれば 0% デューティに、 pwm_max 以上であれば 100% デューティとなります。

条件	EMU2nPWMUIP_u[15:0]
$\text{pwmu}'_s[31:0] \geq \text{pwm_max_u}[15:0]$	$\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0]$
$\text{pwmu}'_s[31:0] \leq \text{EMU2nPWMLL_u}[15:0]$	0
$\text{EMU2nVOLV_s}[15:0] = 0$	$(\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2$
上記以外	$\text{pwmv}'_u[15:0]$

条件	EMU2nPWMVIP_u[15:0]
$\text{pwmv}'_s[31:0] \geq \text{pwm_max_u}[15:0]$	$\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0]$
$\text{pwmv}'_s[31:0] \leq \text{EMU2nPWMLL_u}[15:0]$	0
$\text{EMU2nVOLV_s}[15:0] = 0$	$(\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2$
上記以外	$\text{pwmw}'_u[15:0]$

条件	EMU2nPWMWIP_u[15:0]
$\text{pwmw}'_s[31:0] \geq \text{pwm_max_u}[15:0]$	$\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0]$
$\text{pwmw}'_s[31:0] \leq \text{EMU2nPWMLL_u}[15:0]$	0
$\text{EMU2nVOLV_s}[15:0] = 0$	$(\text{EMU2nCARR_u}[15:0] + \text{EMU2nDTT_u}[15:0])/2$
上記以外	$\text{pwmw}'_u[15:0]$

EMU2nCARR レジスタの値は、PWM IP 起動時に PWM IP 内部へバッファリングされます。
 EMU2nCARR レジスタ (バッファリングされた値)、EMU2nPWMUIP レジスタ、
 EMU2nPWMVIP レジスタ、EMU2nPWMWIP レジスタの値は同時に TSG3 に転送します。

TSG3 への転送は、

EMU2nPWMCTR レジスタの SHIPWM ビット = “0” の場合、

TSG3 のレジスタ ← 各レジスタ値として出力します。

$$\text{TSG3nCMP0E}[17:0] \leftarrow \text{EMU2nCARR}[15:0]$$

TSG3nCMP2E[17:0]、TSG3nCMP1E[17:0] ← EMU2nPWMUIP[15:0]

TSG3nCMP6E[17:0]、TSG3nCMP5E[17:0] ← EMU2nPWMVIP[15:0]

TSG3nCMP10E[17:0]、TSG3nCMP9E[17:0] ← EMU2nPWMWIP[15:0]

EMU2nPWMCTR レジスタの SHIPWPM ビット = “1” の場合、

TSG3 のレジスタ ← 各レジスタ値 << 1 (1 ビット左シフト) として出力します。

TSG3nCMP0E[17:0] ← EMU2nCARR[15:0] << 1

TSG3nCMP2E[17:0]、TSG3nCMP1E[17:0] ← EMU2nPWMUIP[15:0] << 1

TSG3nCMP6E[17:0]、TSG3nCMP5E[17:0] ← EMU2nPWMVIP[15:0] << 1

TSG3nCMP10E[17:0]、TSG3nCMP9E[17:0] ← EMU2nPWMWIP[15:0] << 1

- 注 1.** EMU2nPWMMDT レジスタの PWMMDT ビットによる PWM データ転送 (ソフトウェア起動) の場合も、SHIPWPM ビットの影響を受けて、各出力端子に対して上記と同様な左シフト処理を実行します。

24.4.8 矩形 IP

矩形 IP は、矩形波出力レベルやコンペア設定値を演算します。図 24.17 に矩形 IP の処理の流れを示します。

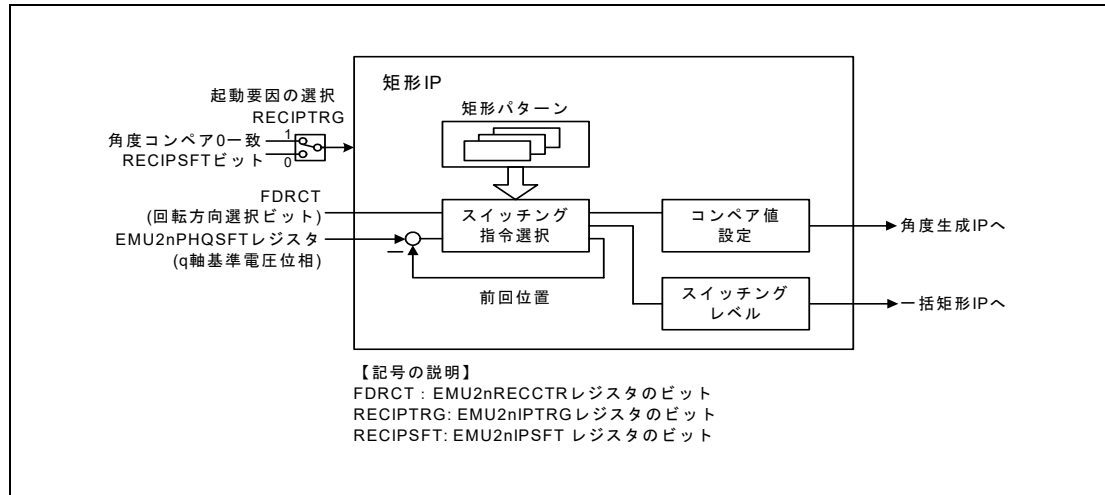


図 24.17 矩形 IP の処理の流れ

矩形 IP は、EMU2nIPTRG レジスタの RECIPTRG ビットを“1”に設定すると、角度コンペア 0 一致の発生時に起動します。RECIPTRG ビットを“0”にした場合は、EMU2nIPSFT レジスタの RECIPSFT ビットを“1”にすることで起動させることができます。

矩形 IP の処理が完了すると、EMU2nINTSD レジスタの RECIF ビットが“1”になります。

RECIF ビットは、EMU2nINTSDC レジスタの RECIFC ビットに“1”を書くことでクリアすることができます。

矩形 IP の完了をトリガとして割り込みを発生することが可能です。

図 24.18 に矩形 IP の初期設定手順例（割り込みを使用する場合）を示します。

(1) 矩形 IP の初期設定

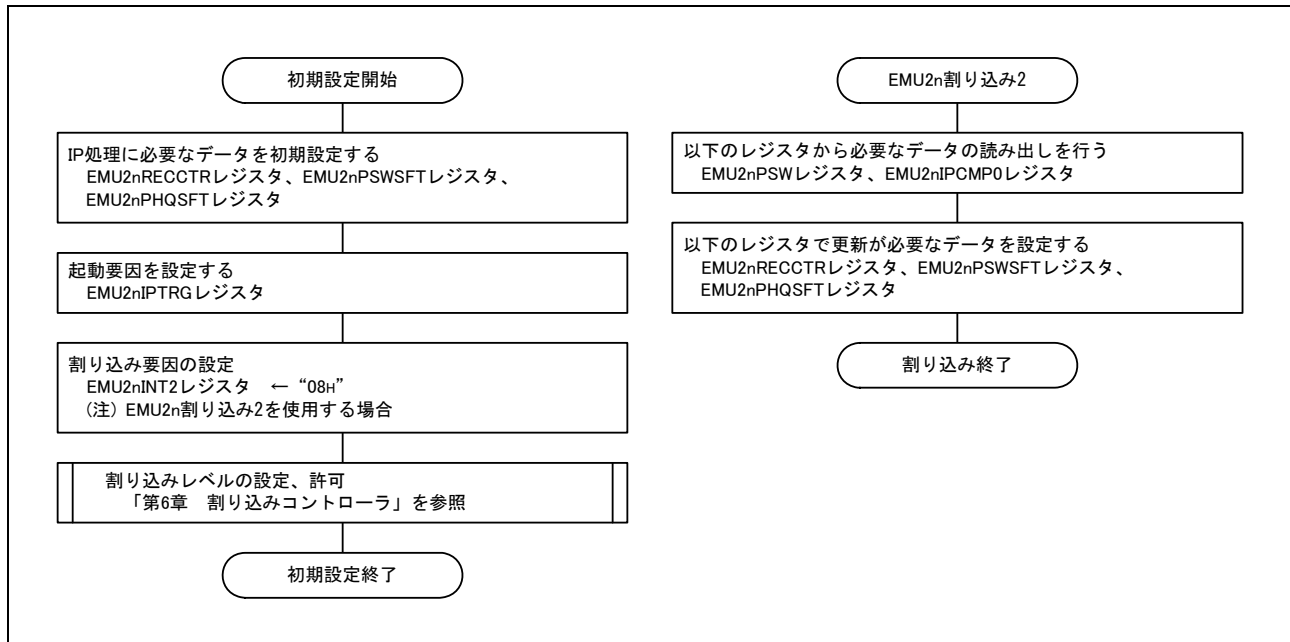


図 24.18 矩形 IP の初期設定手順例（割り込みを使用する場合）

(2) スイッチング指令の生成

“ 帰還データ選択 ” EMU2nRECCTR レジスタの FIPPOSI ビット	psw_old_u[2:0]
“0” (EMU2 演算値を使用)	EMU2nPSW_u[2:0]
“1” (ユーザ設定を使用)	EMU2nPSWSFT_u[2:0]

回転方向 EMU2nRECCTR レジスタの FDRCT ビット	psw_old_u[2:0]	EMU2nPSW_u [2:0]	eθ'sw_u[11:0]	次回 スイッチング
“0” (正回転)	0	1	60° - φq_s[11:0]	EMU2nPTNAB の A 側
	1	2	120° - φq_s[11:0]	EMU2nPTNAB の B 側
	2	3	180° - φq_s[11:0]	EMU2nPTNCD の C 側
	3	4	240° - φq_s[11:0]	EMU2nPTNCD の D 側
	4	5	300° - φq_s[11:0]	EMU2nPTNEF の E 側
	5	0	360° - φq_s[11:0]	EMU2nPTNEF の F 側
“1” (逆回転)	0	5	180° + φq_s[11:0]	EMU2nPTNEF の E 側
	1	0	240° + φq_s[11:0]	EMU2nPTNEF の F 側
	2	1	300° + φq_s[11:0]	EMU2nPTNAB の A 側
	3	2	360° + φq_s[11:0]	EMU2nPTNAB の B 側
	4	3	60° + φq_s[11:0]	EMU2nPTNCD の C 側
	5	4	120° + φq_s[11:0]	EMU2nPTNCD の D 側

注 1. 文中 θ は度数計算しているが、実際には 0 ~ FFF_H で扱っています。
 60° = 2AA_H、120° = 555_H、180° = 800_H、240° = AAA_H、300° = D55_H、360°(0°) = 000_H
 eθ'sw は演算結果を &0FFF_H することで、符号なし 12 ビットにしています。

(3) コンペア 0 値の設定

EMU2nIPCM0_u[11:0] ← eθ'sw_u[11:0]

24.4.9 矩形波生成部

矩形波生成部は、一括矩形 IP と独立矩形 IP から構成されます。ここで生成した矩形波が TSG3 から出力されます。EMU2nIRECCTR レジスタの RECMD ビットで、どちらの IP を使用するか選択できます。

一括矩形 IP は、演算部の矩形 IP で算出した矩形波出力レベルやコンペア設定値を基に、U/V/W 相の出力波形を一括で更新します。独立矩形 IP は、U, V, W 各相で個別に設定したコンペア値と出力レベルを基に、各相異なるタイミングで出力波形を更新できます。

24.4.10 一括矩形 IP

矩形波出力は入力される角度データから生成される電気角^{注1}と目標角度 0 の一致したタイミングで矩形波の出力レベルを切り替えることによって生成します。角度データは、R/D コンバータの RDC2nANGDAT レジスタ (角度値の上位 12 ビット)^{注5}を使用します。

目標角度 0 は、内部コンペアレジスタであるコンペア 0 レジスタに設定されます^{注2}。コンペア 0 レジスタは、EMU2nRECCTR レジスタの SLCTCMP0 ビットで、EMU2nCMP0 レジスタで設定するか矩形 IP^{注4}が設定するかを選択できます。切り替え後の矩形波の出力レベルは、EMU2nRECCTR レジスタの SETREC ビットに“0”を設定すると EMU2nPTNN レジスタで設定され、SETREC ビットに“1”を設定すると矩形 IP が、EMU2nPTNAB レジスタ、EMU2nPTNCD レジスタ、EMU2nPTNEF レジスタの値から自動設定します。

目標角度 1 は、内部コンペアレジスタであるコンペア 1 レジスタに設定されます^{注3}。

- 注 1. 電気角生成用係数として EMU2nPXR レジスタを必ず設定してください。「24.4.4 (3) 電気角の生成」を参照してください。
- 注 2. 電気角がコンペア 0 レジスタ設定値と一致すること、または通過することを角度コンペア 0 一致と呼びます。
- 注 3. レゾルバ角がコンペア 1 レジスタ設定値と一致すること、または通過することを角度コンペア 1 一致と呼びます。
- 注 4. EMU2nRECCTR レジスタの SLCTCMP0 ビットが“1”の場合でも、EMU2 起動後 1 回目のコンペア動作は、コンペア 0 レジスタには EMU2nCMP0 レジスタの値が設定されます。
- 注 5. RDC2nCONSEL レジスタの DATSEL[3:0] ビットを“0000_B” (12 ビット角度データ) に設定した場合、角度データは RDC2nANGDAT レジスタのビット 11 ~ 0 を使用します。

図 24.19 に角度データとコンペア 0、コンペア 1 の生成動作を図 24.20 に矩形波出力の概要を示します。

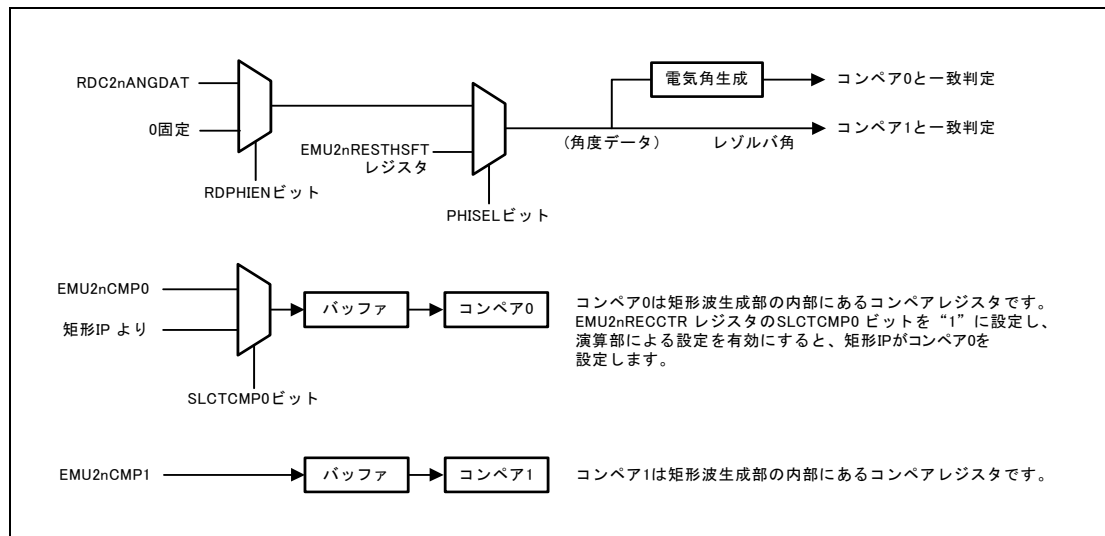


図 24.19 角度データとコンペア 0、コンペア 1 の生成動作

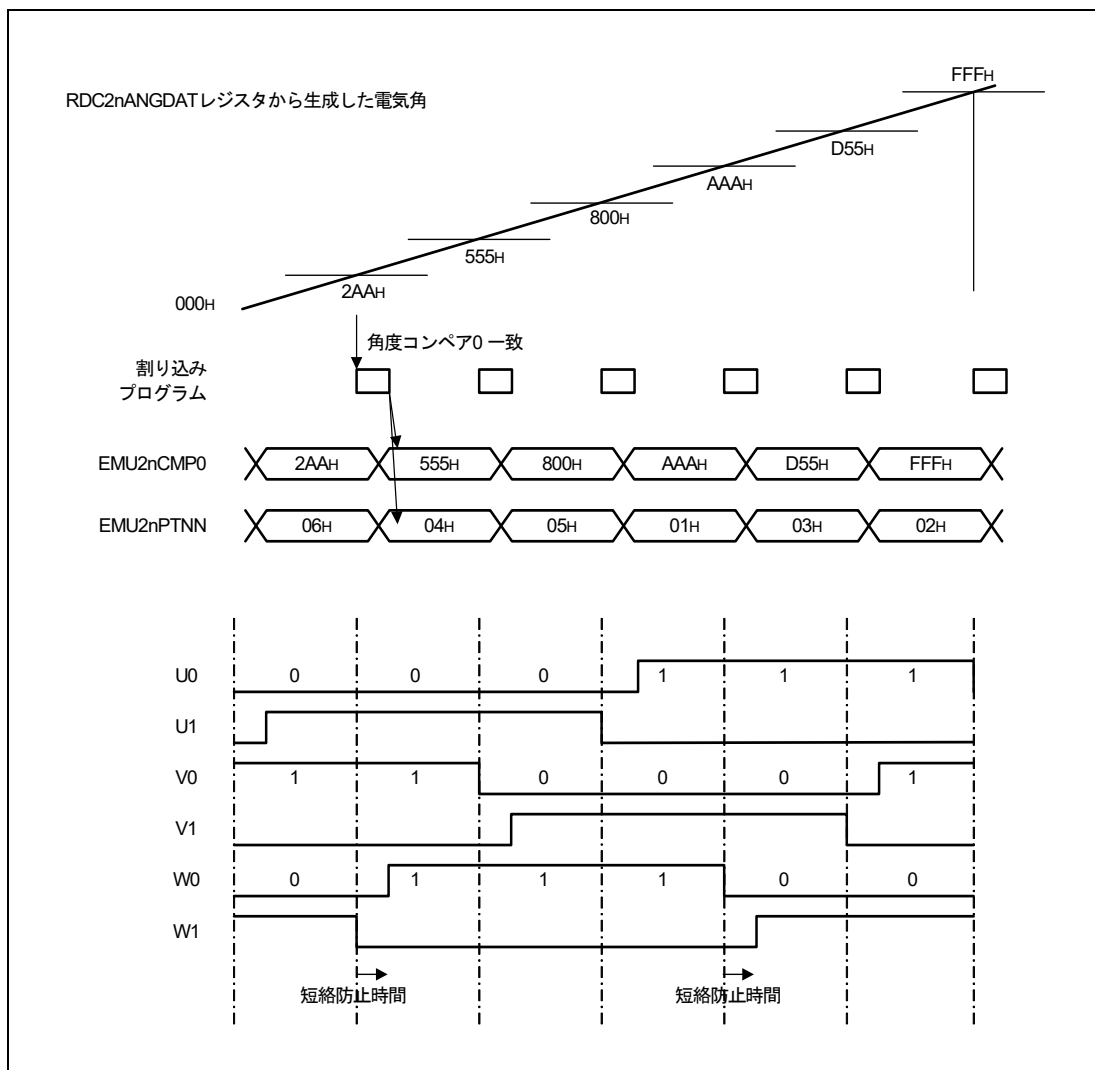


図 24.20 矩形波出力の概要

24.4.11 独立矩形 IP

独立矩形 IP は、U, V, W 各相で個別に設定したコンペア値と電気角との一致でパタン更新することで、より柔軟な矩形出力パタンを生成します。

独立矩形 IP は、EMU2nIRECCTR レジスタの RECMD ビットを“1”（独立矩形波出力）に設定すると、独立矩形 IP の出力パタンが TSG3 へ出力されます。

U 相コンペア一致、V 相コンペア一致、W 相コンペア一致のいずれかが発生すると、対応する相の独立矩形出力パタンが更新されます。また、コンペア一致が発生した相に対応する EMU2nINTSD レジスタの IRECWIF, IRECVIF, IRECUIF ビットが“1”になります。これらのビットは、EMU2nINTSDC レジスタの IRECWIFC, IRECVIFC, IRECUIFC ビットに“1”を書くことでクリアすることができます。

EMU2nIRPTN レジスタの UINIPTN, VINIPTN, WINIPTN ビットに書くことにより、U/V/W 相の出力レベルを更新することができます。これらのビットを読むと、最後に書いた値が読み出されます。

また、入力された角度データから生成する電気角と U/V/W 各相の目標角度が一致したタイミングで、U/V/W 相の出力レベルを切り替えることができます。U/V/W 各相個別に 3 つのコンペア値とパタン値 (EMU2nIRUCPPN0 ~ EMU2nIRUCPPN2、EMU2nIRVCPN0 ~ EMU2nIRVCPN2、EMU2nIRWCPN0 ~ EMU2nIRWCPN2 レジスタ) を設定する事ができ、コンペア一致ごとにコンペア値を切り替えて比較処理を行います。また切り替え動作は、各相で完全に独立して行います。

コンペア値 2 (EMU2nIRUCPPN2、EMU2nIRVCPN2、EMU2nIRWCPN2 レジスタ) が一致した時のみ割り込み要因判別フラグ (EMU2nINTSD レジスタの IRECUIF、IRECVIF、IRECWIF ビット) が“1”になり、割り込み要因選択レジスタ (EMU2nINT0 ~ EMU2nINT4) で選択されていた場合、割り込み要求が発生します。

角度コンペア一致検出は角度生成 IP で行われます。角度生成 IP ではレゾルバ角から変換した電気角とセクタで選択されたコンペア値とを比較し、コンペア一致信号を生成します。独立矩形波出力機能は角度生成 IP に対して各相の比較対象となるコンペア値を出力し、角度生成 IP からはコンペア一致信号が入力されます。図 24.21 に独立矩形波出力機能のブロック図を示します。

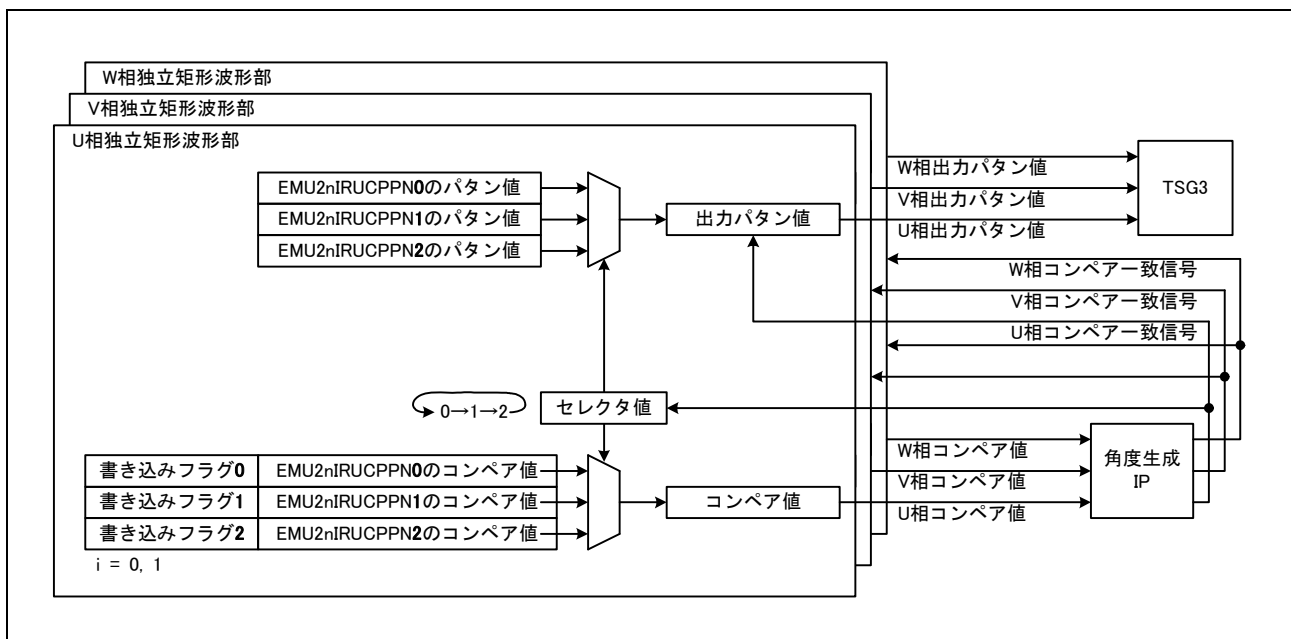


図 24.21 独立矩形波出力機能のブロック図

各相につきコンペア/パタン設定レジスタが0～2の3つずつあり、どのコンペア/パタン値を使用するかは、セレクト値で選択されます。セレクト値はリセット後は0となり、コンペア一致ごとにインクリメントされます。セレクト値が2の状態でもコンペア一致が発生すると、対応する割り込み要因判定フラグが“1”になり、セレクト値が0になります。現在のセレクト値は EMU2nRSELM レジスタによってモニタできます。またフラグセレクト信号初期化レジスタ (EMU2nIRCTRST) に“1”を書くと、セレクト値は0になります。

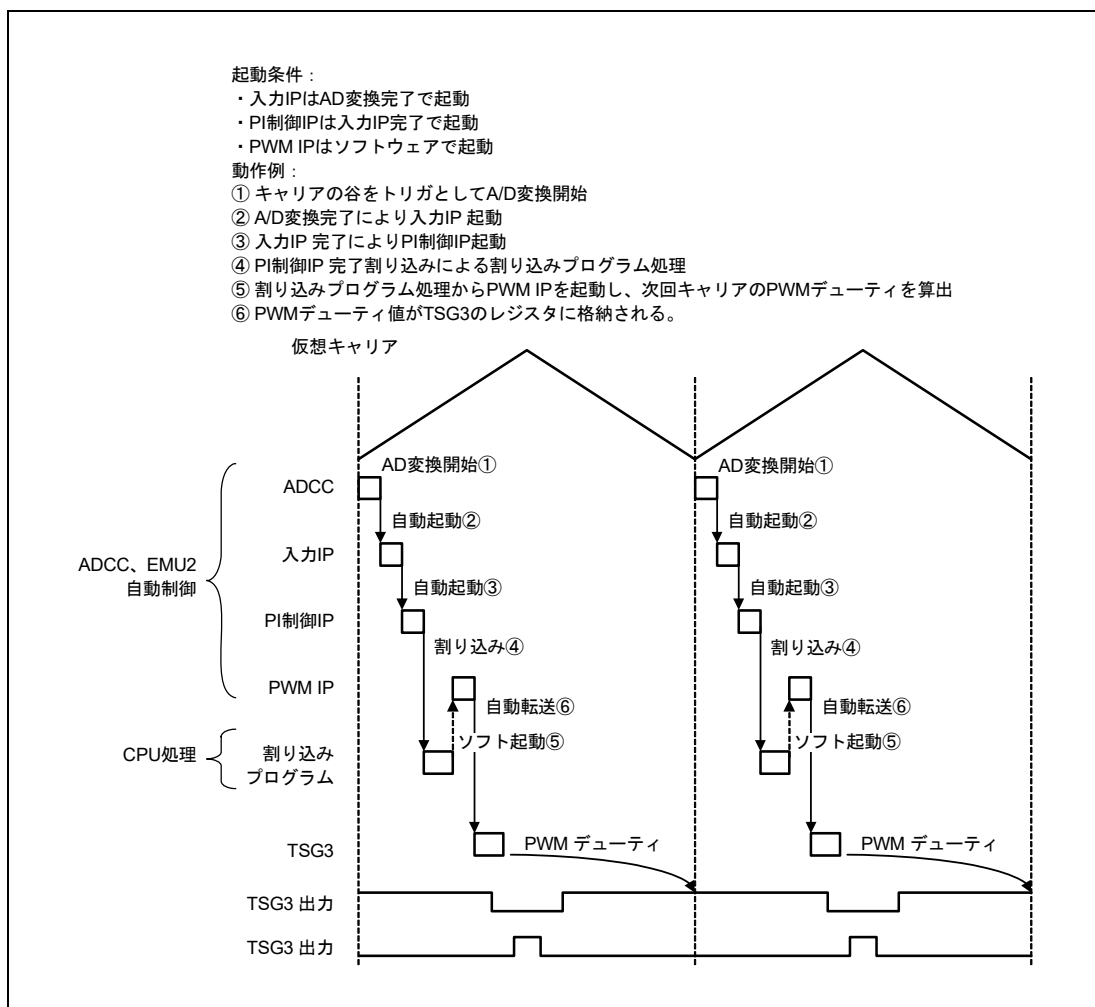
EMU2nIRFLGM レジスタの書き込みフラグ0～2は、同じコンペア値が何度も比較されることを防止するために使用します。書き込みフラグは、コンペア/パタン設定レジスタへ値を書くと“1”になり、該当するコンペア一致が発生すると“0”になります。フラグが“0”の場合はコンペア一致が発生しないため出力パタンの更新は行われません。またフラグセレクト信号初期化レジスタ (EMU2nIRCTRST) のフラグ/セレクト値初期化ビットに“1”を書くと、対応するコンペアパタン値0～2のすべての書き込みフラグが“0”になります。

- 注 1.** セレクト値はコンペア一致が発生した場合のみインクリメントされます。現在セレクト値で選択されているコンペア/パタン設定レジスタに対応する書き込みフラグが0の場合、以降コンペア一致は発生しなくなります。現在セレクト値と CPU が書き換えたコンペアパタン値の間に書き込みフラグが“0”のレジスタが存在しないようにしてください。
- 注 2.** 同じ相の異なるコンペアパタンレジスタに同じコンペア値を設定しないでください。
- 注 3.** 同じ相での出力切り替えには複数サイクルが必要です。出力切り替え角度 (コンペア値) の間隔が狭い場合は指定した切り替え角度よりも遅れて出力が切り替わることがあります。

24.4.12 三相 PWM 波形出力制御

EMU2nPWMCTR レジスタの SETPWM ビットを“1”に設定すると、PWM IP で演算した結果が TSG3 から出力される三相 PWM 波形のデューティに反映されます。PWM IP は、IP 起動時に設定したキャリア周期を格納する EMU2nCARR レジスタ、EMU2nDTT レジスタ、PWM IP に必要な演算データを格納する制御レジスタの値から PWM デューティを算出します。PWM IP 動作の詳細に関しては「24.4.7 PWM IP」を参照ください。

図 24.22 に三相 PWM 波形出力制御フローを示します。



24.4.13 一括矩形波出力制御

EMU2nRECCTR レジスタの SETREC ビットを“1”に設定すると矩形 IP で算出した出力パターンが矩形出力波形に反映されます。

EMU2nRECCTR レジスタの SLCTCMP0 ビットを“1”に設定すると、矩形 IP で算出した結果を矩形波の切り替えタイミングとしてコンペア 0 に設定します。

一括矩形 IP の動作の詳細に関しては「**24.4.8 矩形 IP**」を参照ください。

図 24.23 に一括矩形波出力制御フローを、**図 24.24** に角度生成例を示します。

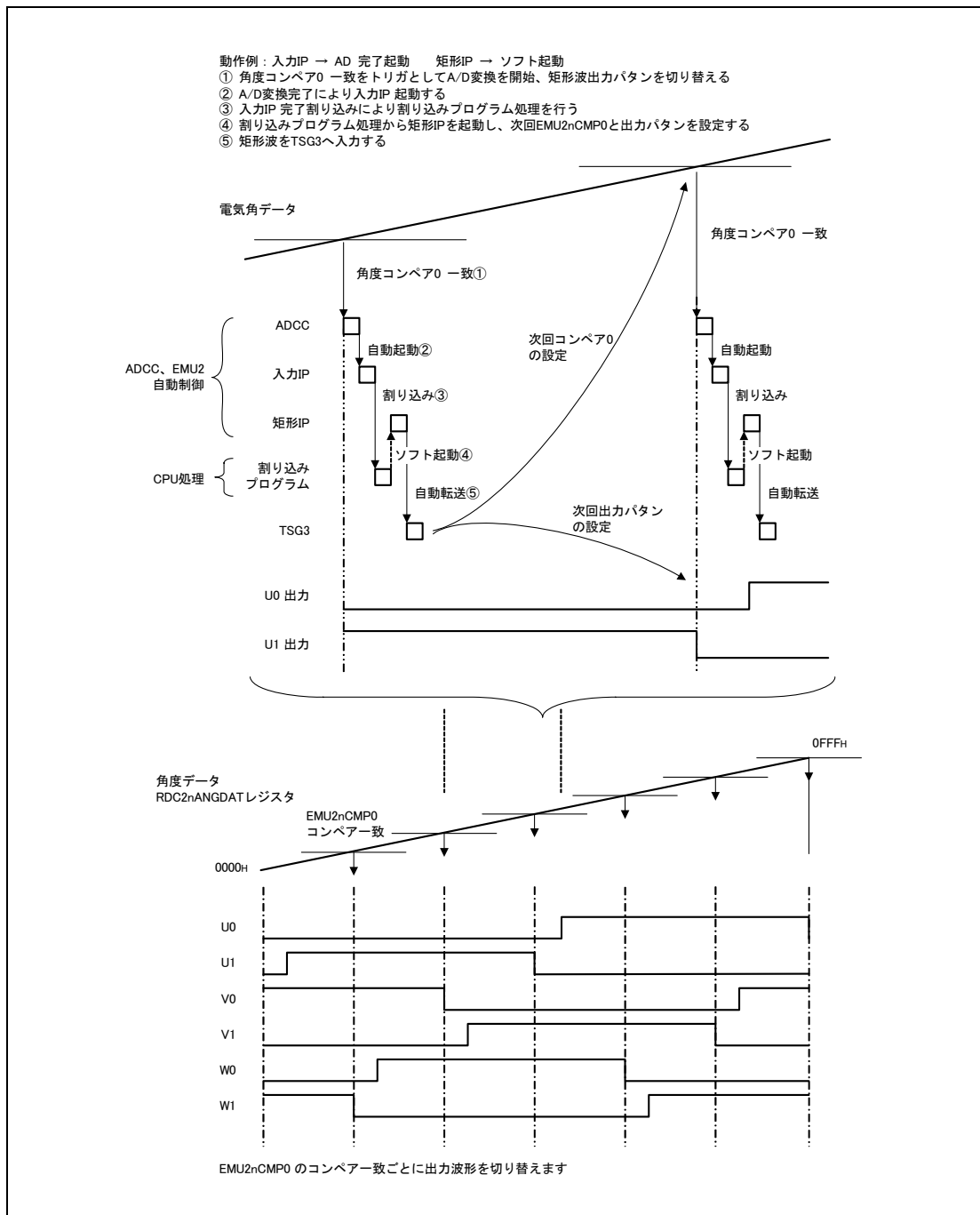


図 24.23 一括矩形波出力制御フロー

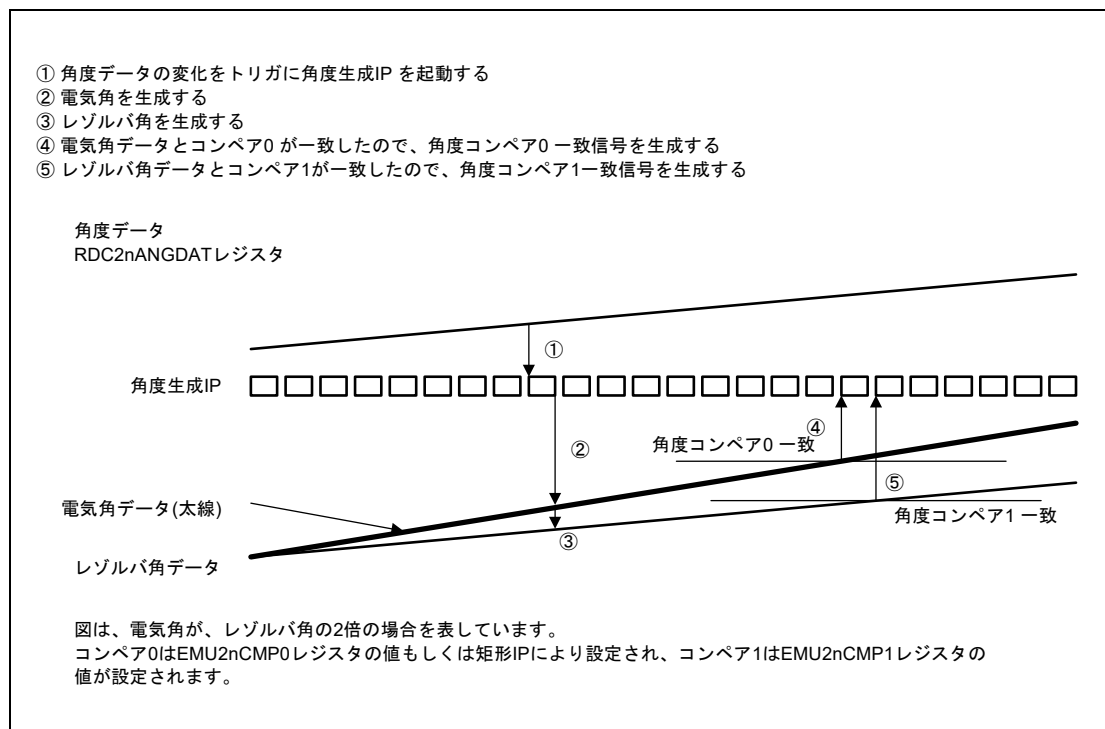


図 24.24 角度生成例

24.4.14 速度計測タイマ

R/D コンバータから出力される Z 相信号の周期を計測します。EMU2nVMTCTR レジスタの STR ビットを“1”にすると、タイマがカウントを開始します。Z 相信号の立ち上がりエッジを検出すると、カウンタ値が EMU2nVMTCAP レジスタに格納されます。また、カウンタが初期化されて 0 からカウントを継続します。2 回目以降の Z 相信号の立ち上がりエッジから、正確な Z 相周期が格納されます。

表 24.176 速度計測タイマの仕様

項目	仕様
カウントソース	CCLK
カウント開始/停止	EMU2nVMTCTR レジスタの STR ビットにより制御
カウント動作	<ul style="list-style-type: none"> • 25 ビットのアップカウント • キャプチャ信号によりカウンタ値を EMU2nVMTCAP レジスタへ格納するとき、またはオーバーフローするとき、EMU2nVMTCNT カウンタは 0000 0000_H にリセット • リセット後、カウント動作を継続
カウンタの読み出し	EMU2nVMTCNT カウンタを読むと、25 ビットカウンタのカウント値が読める
カウンタへの書き込み	タイマ動作中、停止中に関係なく EMU2nVMTCNT カウンタに値を書き込める
オーバーフロー出力	OVF フラグを“1”にするか、割り込み要求を発生
周期測定信号 (キャプチャ信号)	<ul style="list-style-type: none"> • RDC の Z 相信号

24.5 検算機能

故障検出に使用する機能です。演算の入出力値をバッファレジスタに転送する検算用バッファリング機能と、チャンネル0と1で同時に同じ処理を実行し、完了後に値を比較する等価チェック機能があります。表 24.177 に検算機能関連レジスタと検算方式を示します。

表 24.177 検算機能関連レジスタと検算方式

レジスタと値 (転送元)	検算用バッファレジスタ (転送先)	検算方式
EMU2n ADm データレジスタ k (EMU2nADmk)	EMU2n ADm データ k 検算用バッファレジスタ (EMU2nCBADmk)	ソフトウェア検算
EMU2n レゾルバ角モニタレジスタ (EMU2nTHTREFIXIN)	EMU2n レゾルバ角検算用バッファレジスタ (EMU2nCBTHTREFIXIN)	ソフトウェア検算
EMU2n d 軸電流値レジスタ (EMU2nIDFIX)	EMU2n d 軸電流値検算用バッファレジスタ (EMU2nCBIDFIX)	ソフトウェア検算
EMU2n q 軸電流値レジスタ (EMU2nIQFIX)	EMU2n q 軸電流値検算用バッファレジスタ (EMU2nCBIQFIX)	ソフトウェア検算
EMU2n U 相コンペア値レジスタ (EMU2nPWMUIP)	EMU2n U 相コンペア値検算用バッファレジスタ (EMU2nCBPWMUIP)	ソフトウェア検算/ 等価チェック
EMU2n V 相コンペア値レジスタ (EMU2nPWMVIP)	EMU2n V 相コンペア値検算用バッファレジスタ (EMU2nCBPWMVIP)	ソフトウェア検算/ 等価チェック
EMU2n W 相コンペア値レジスタ (EMU2nPWMWIP)	EMU2n W 相コンペア値検算用バッファレジスタ (EMU2nCBPWMWIP)	ソフトウェア検算/ 等価チェック
U/V/W 相一括矩形パタン値	EMU2n 一括矩形パタン値検算用バッファレジスタ (EMU2nCBBREC)	等価チェック
U/V/W 相独立矩形パタン値	EMU2n 独立矩形パタン値検算用バッファレジスタ (EMU2nCBIREC)	等価チェック

24.5.1 検算用バッファリング機能

バッファリング機能を使用すると、EMU2nCBTIM レジスタで選択したタイミングで、対象となるレジスタと値を検算用バッファレジスタに転送することができます。

バッファリングを許可する方法は二通りあります。EMU2nCBCTR0 レジスタの CBEN1 ビットを“0”に設定した場合、CBEN0 ビットに“1”を書く度に一度だけバッファリングが許可されます。EMU2nCBCTR0 レジスタの CBMON ビットは CBEN0 ビットに“1”を書くと“1”になり、バッファリングが完了すると“0”になります。

CBEN1 ビットを“1”に設定した場合、常にバッファリングは許可された状態になります。CBMON ビットは、CBEN1 ビットが“1”に設定されている期間は常に“1”になります。

EMU2nINTj レジスタ (j=0~4) の CBUFINTj ビットを“1” (割り込み許可) に設定すると、バッファリング完了時に、検算用バッファリング完了割り込みが発生します。

24.5.2 等価チェック機能

等価チェック機能を使用すると、チャンネル0と1を同時に起動し、検算用バッファレジスタへの転送完了時に、自動で値を比較することができます。その結果、チャンネル0と1で値が異なる場合、等価チェックエラー割り込みが発生します。

EMU2nSMLCTR レジスタの DATTRG ビットでトリガ信号を選択し、SMLLEN ビットを“1”に設定したあと、両チャンネル共に EMU2nCBCTR0 レジスタの CBMON ビットが“0”の状態、選択したトリガ信号が発生すると、チャンネル0と1が同時に起動します。

EMU2nCBCTR1 レジスタで、バッファリング完了時に比較する値を選択します。

EMU2nINTj レジスタの SMLINTj ビットを“1”（割り込み許可）に設定すると、EMU2nCBCTR1 レジスタで選択した検算用バッファレジスタ値がチャンネル間で異なった場合、等価チェックエラー割り込みが発生します。

等価チェック機能は、PWM コンペア値、一括矩形パターン、独立矩形パターンの比較を行います。

24.5.3 検算方式

検算方法として、ソフトウェアで出力値と演算結果を比較する方法と、等価チェック機能制御レジスタを使用してハードウェアで自動的に比較する方法があります。

24.5.3.1 ソフトウェア検算方式

バッファリング機能と検算用バッファリング完了割り込みを使用して、ソフトウェアで検算を行います。

検算用バッファリング完了割り込みが発生したとき、割り込みルーチン内で、入力 IP へ入力されるモータ電流値 (EMU2nCBADmk レジスタ値) と角度値 (EMU2nCBTHPREFIXIN レジスタ値) を用いて、d 軸電流値と q 軸電流値を演算します。その演算結果を入力 IP から出力される d 軸/q 軸電流値 (EMU2nCBIDFIX、EMU2nCBIQFIX レジスタ) と比較します。また、PWM IP の演算をソフトウェアで行い、U/V/W 相コンペア値 (EMU2nCBPWMUIP、EMU2nCBPWMVIP、EMU2nCBPWMWIP レジスタ) と比較することで、PWM IP が出力する値の検算を行うことができます。

24.5.3.2 等価チェック結果の一致確認方式

バッファリング機能、等価チェック機能、等価チェックエラー割り込みを使用して、ハードウェアで検算を行います。

等価チェック機能は、EMU2nSMLCTR レジスタの DATTRG ビットの設定値に従って以下の3つの動作モードに分かれます。

動作モード	EMU20SMLCTR レジスタ DATTRG ビット	EMU21SMLCTR レジスタ DATTRG ビット	動作内容
A	0	0	チャンネル0、1を別々に主体とし、チャンネルを1つ使用する1モータ制御またはチャンネルを2つ使用する2モータ制御のモード。 (等価チェック機能 OFF の状態)
B	0	1	チャンネル0を主体とする1モータ制御のモード。 (等価チェック機能 ON の状態) 同じ入力値をチェック用のチャンネル1へ適用し、バッファリング結果の一致性から故障検出します。
C	1	0	チャンネル1を主体とする1モータ制御のモード。 (等価チェック機能 ON の状態) 同じ入力値をチェック用のチャンネル0へ適用し、バッファリング結果の一致性から故障検出します。

等価チェック機能 ON の場合は、下記の EMU2 外部から主体チャンネルへの入力と同時にチェック用チャンネルへ自動で適用されるため、チェックのための入力データ設定を意識する必要がありません。

- TSG3 からのキャリア山、谷トリガ入力
- A/D コンバータからの電流値入力
- R/D コンバータからのレゾルバ角入力
- EMU2 から ROM、RAM へのメモリ転送
- CPU からのレジスタアクセス

なお、DATTRG ビットへ設定値を書き込み後は即座に上記の入力がチェック用チャンネルへ適用されるため、CPU からのレジスタアクセスは特に注意が必要です。“CPU からのレジスタアクセス”に対する動作モード毎の振る舞いは下表の通りであり、B または C の動作モードの場合は主体チャンネルへの書き込みが同時にチェック用のチャンネルへ反映される反面、チェック用チャンネルへの書き込みは無効です。

動作モード	ch0 へのライトアクセス	ch0 からのリードアクセス	ch1 へのライトアクセス	ch1 からのリードアクセス
A	ch0 へのライト	ch0 からのリード	ch1 へのライト	ch1 からのリード
B	ch0 へのライトが同時に ch1 へ反映	ch0 からのリード	無効	ch1 からのリード
C	無効	ch0 からのリード	ch1 へのライトが同時に ch0 へ反映	ch1 からのリード

したがって、DATTRG ビットを含むレジスタ値の初期設定は順番に気をつける必要があります。

図 24.3 の EMU2 初期設定において両チャンネルで同じレジスタ設定を実施し、最後に DATTRG ビットへの設定を次の例に示す順番で実施ください。

この例は、バッファリング機能で PWM コンペア値を保持し、等価チェック機能で主体チャンネルとチェック用チャンネルの一致を確認するための設定の一例を示しています。この他、割り込み設定によりバッファリング結果の不一致を割り込み出力することが可能です。

- B の動作モードを設定する順番の例 :

下記を含む、“EMU2nSMLCTR レジスタの DATTRG ビット” 以外の初期設定を先に済ませます。

チャンネル 0	
EMU20CBCTR0 = 0x02;	バッファリング許可
EMU20CBCTR1 = 0x01;	PWM コンペア値の結果比較許可
EMU20CBTIM = 0x0004;	PWM IP 完了時をバッファタイミングに選択
チャンネル 1	
EMU21CBCTR0 = 0x02;	バッファリング許可
EMU21CBCTR1 = 0x01;	PWM コンペア値の結果比較許可
EMU21CBTIM = 0x0004;	PWM IP 完了時をバッファタイミングに選択
EMU20SMLCTR = 0x01;	主体チャンネルとなる方へ“0x01” (DATTRG ビットへ“0”) を先に書き込み
EMU21SMLCTR = 0x03;	チェック用チャンネルとなる方へ“0x03” (DATTRG ビットへ“1”) を続けて書き込み

- B の動作モードを設定する順番の誤り例 :

EMU21SMLCTR = 0x03;	チェック用チャンネルとなる方へ“0x03” (DATTRG ビットへ“1”) を先に書き込み
EMU20SMLCTR = 0x01;	主体となるチャンネルへの書き込みがチェック用チャンネルへ反映されるため、チェック用チャンネルに対して“0x01” (DATTRG ビットへ“0”) が書き込まれます。その結果、両チャンネルの DATTRG ビットが“0” となり、等価チェック機能が OFF 状態になってしまうため、この順番の書き込みは実施しないでください。

- C の動作モードを設定する順番の例 :

下記を含む、“EMU2nSMLCTR レジスタの DATTRG ビット” 以外の初期設定を先に済ませます。

チャンネル 0	
EMU20CBCTR0 = 0x02;	バッファリング許可
EMU20CBCTR1 = 0x01;	PWM コンペア値の結果比較許可
EMU20CBTIM = 0x0004;	PWM IP 完了時をバッファタイミングに選択
チャンネル 1	
EMU21CBCTR0 = 0x02;	バッファリング許可
EMU21CBCTR1 = 0x01;	PWM コンペア値の結果比較許可
EMU21CBTIM = 0x0004;	PWM IP 完了時をバッファタイミングに選択
EMU21SMLCTR = 0x01;	主体チャンネルとなる方へ“0x01” (DATTRG ビットへ“0”) を先に書き込み
EMU20SMLCTR = 0x03;	チェック用チャンネルとなる方へ“0x03” (DATTRG ビットへ“1”) を続けて書き込み

- C の動作モードを設定する順番の誤り例 :

EMU20SMLCTR = 0x03;	チェック用チャンネルとなる方へ“0x03” (DATTRG ビットへ“1”) を先に書き込み
EMU21SMLCTR = 0x01;	主体となるチャンネルへの書き込みがチェック用チャンネルへ反映されるため、チェック用チャンネルに対して“0x01” (DATTRG ビットへ“0”) が書き込まれます。その結果、両チャンネルの DATTRG ビットが“0” となり、等価チェック機能が OFF 状態になってしまうため、この順番の書き込みは実施しないでください。

24.6 注意事項

24.6.1 矩形波出力のコンペア一致について

角度データと角度コンペア 0 一致、角度コンペア 1 一致において、コンペア一致後、同じ値で再度コンペア一致となっても、新たにコンペア値が設定されるまで、コンペア一致がキャンセルされます。この連続コンペア一致防止は、矩形 IP の起動以外の角度コンペア 0 一致、角度コンペア 1 一致による IP 起動、矩形波のアクティブレベルの切り替えに適用されます。

注 1. 矩形 IP 動作中のコンペア一致による矩形 IP 起動は無視されます。

図 24.25 に連続コンペア一致防止概要を示します。

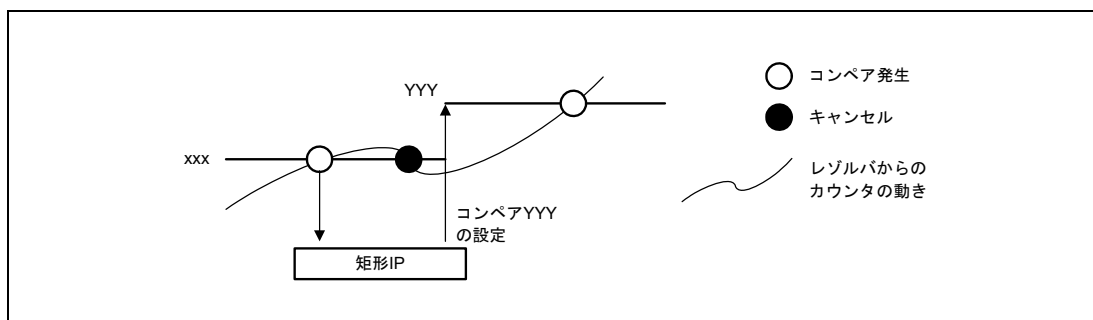


図 24.25 連続コンペア一致防止

24.7 EMU2 の応用動作例

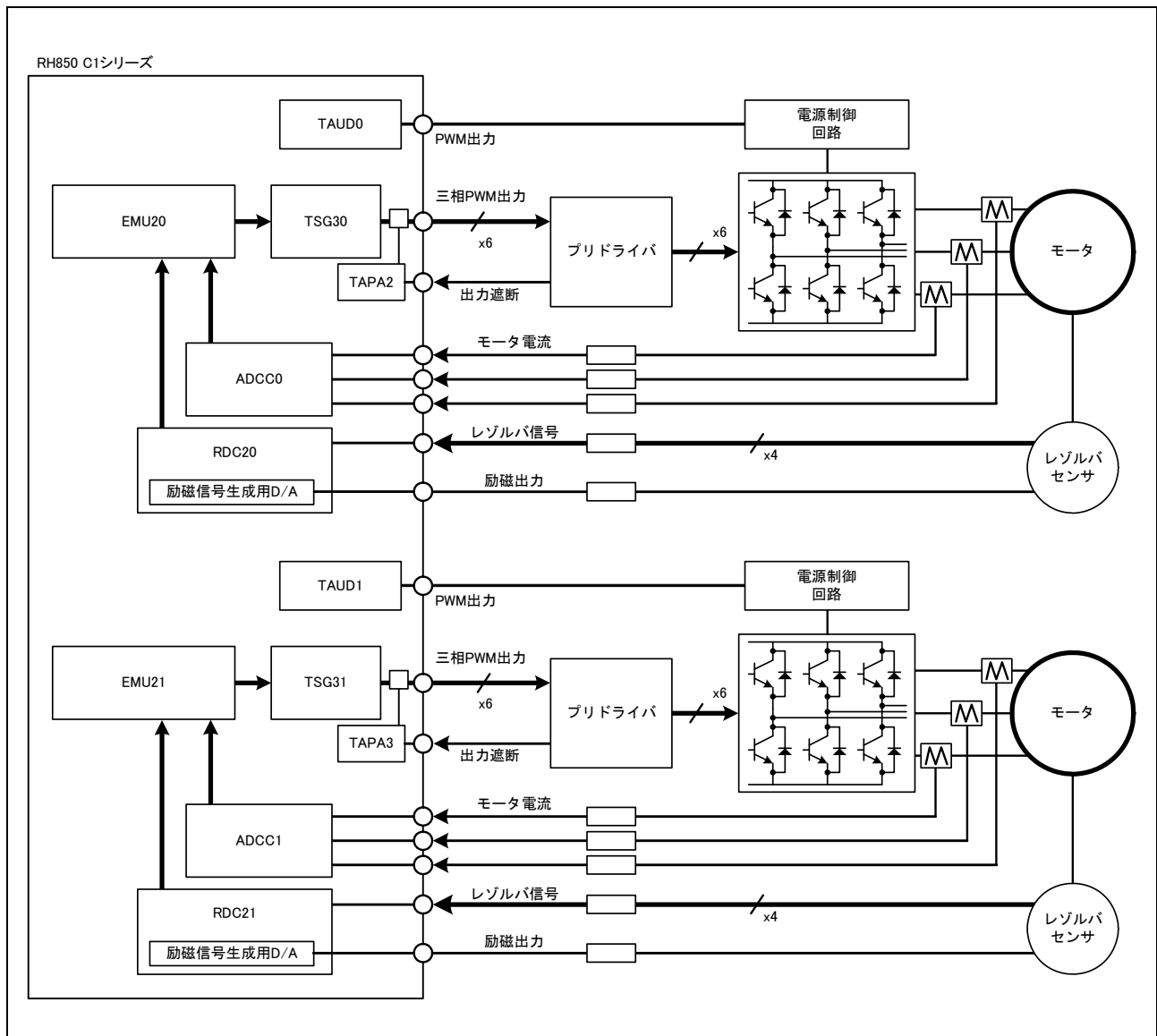


図 24.26 2 モータ接続例

第25章 R/Dコンバータ (RDC2)

R/D (レゾルバ/デジタル) コンバータ 2 は、レゾルバのロータ角度に応じて出力されるアナログ値 (角度情報) を、最大 16 ビットのデジタル値に変換します。

25.1 RH850/C1x の RDC2 の特長

25.1.1 ユニット数

本製品は以下のユニット数の RDC2 を搭載しています。

表 25.1 ユニット数

製品	RH850/C1H	RH850/C1M
ユニット数	2	1
名称	RDC20, RDC21	RDC20

表 25.2 添字

添字	意味
n	本章では、RDC2 の各ユニットを「n」(n = 0, 1) で識別します。たとえば、RDC2n 変換条件選択レジスタ RDC2nCONSEL と記述します。

25.1.2 レジスタベースアドレス

RDC2 のベースアドレスを以下の表に示します。

RDC2 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 25.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RCD20_base>	FFED D000 _H
<RDC21_base>	FFED E000 _H

25.1.3 クロック供給

RDC2 のクロック供給を以下の表に示します。

表 25.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RDC2	PCLK	CLKC_LSB (非変調低速周辺クロック)

25.1.4 割り込み要求

RDC2 の割り込み要求を以下の表に示します。

表 25.5 割り込み要因

割り込み名	割り込み番号	DMA トリガ番号	DTS トリガ番号
RDC20			
RDC20 Z 相割り込み	66	86	68
RDC20 RDC 異常割り込み	67	—	—
RDC20 コンペア 0 一致割り込み	68	87	69
RDC20 コンペア 1 一致割り込み	69	88	70
RDC20 コンペア 2 一致割り込み	70	89	71
RDC20 励磁タイマ (ET) 割り込み	71	—	—
RDC20 励磁タイマ (ET) DMA 要求	—	90	72
RDC21			
RDC21 Z 相割り込み	72	91	73
RDC21 RDC 異常割り込み	73	—	—
RDC21 コンペア 0 一致割り込み	74	92	74
RDC21 コンペア 1 一致割り込み	75	93	75
RDC21 コンペア 2 一致割り込み	76	94	76
RDC21 励磁タイマ (ET) 割り込み	77	—	—
RDC21 励磁タイマ (ET) DMA 要求	—	95	77

25.1.5 リセット要因

RDC2 のリセット要因を以下に示します。

表 25.6 リセット要因

ユニット名	リセット要因
RDC2	すべてのリセット要因

25.1.6 外部入出力信号

RDC2 の外部入出力信号を以下の表に示します。

表 25.7 外部入出力信号

ユニット信号	概要	ポート端子兼用信号名	対象製品	
			C1H	C1M
			252	144
RDC20/RDC21 共通				
RVDD	RDC2 アナログ電源 (5V)	RVCC	○	○
RVSS	RDC2 アナロググランド (0V)	RVSS	○	○
RDC20				
RDC20SINMNT ^{注1}	入力アンプモニタ出力	RDC20SINMNT	○	○
RDC20S4	レゾルバ信号入力	RDC20S4	○	○
RDC20S2	レゾルバ信号入力	RDC20S2	○	○
RDC20S1	レゾルバ信号入力	RDC20S1	○	○
RDC20S3	レゾルバ信号入力	RDC20S3	○	○
RDC20COSMNT ^{注1}	入力アンプモニタ出力	RDC20COSMNT	○	○
RDC20RSO	入出力励磁信号入力/出力	RDC20RSO	○	○
RDC20COM	入出力励磁信号用コモン電圧入力/出力	RDC20COM	○	○
RDC21				
RDC21SINMNT ^{注1}	入力アンプモニタ出力	RDC21SINMNT	○	—
RDC21S4	レゾルバ信号入力	RDC21S4	○	—
RDC21S2	レゾルバ信号入力	RDC21S2	○	—
RDC21S1	レゾルバ信号入力	RDC21S1	○	—
RDC21S3	レゾルバ信号入力	RDC21S3	○	—
RDC21COSMNT ^{注1}	入力アンプモニタ出力	RDC21COSMNT	○	—
RDC21RSO	入出力励磁信号入力/出力	RDC21RSO	○	—
RDC21COM	入出力励磁信号用コモン電圧入力/出力	RDC21COM	○	—

注 1. 入力アンプモニタ出力端子 (RDC2nSINMNT, RDC2nCOSMNT) は、AD コンバータアナログ入力端子と兼用端子となります。
この兼用端子に対して、入力アンプモニタ出力と A/D 変換は同時動作は禁止です。

25.2 概要

25.2.1 機能概要

RDC2 はレゾルバからのアナログ角度信号をデジタル角度信号に変換する機能のほかに、励磁信号出力機能、異常検出機能、自己診断機能があります。

表 25.8 に RDC2 の仕様を示します。

表 25.8 RDC2 の仕様

項目	機能	説明
励磁信号出力	励磁信号出力 (RDC2nRSO、RDC2nCOM) 生成機能	電圧バッファにより励磁信号を発生 RDC2nRSO 端子より 7 ビット D/A による正弦波電圧信号を出力 電圧振幅は 2Vpp、レジスタ設定により振幅を変更可能 RDC2nCOM 端子より RVDD/2 コモン電圧を出力
	振幅自動調整機能	入力モニタ信号 (RDC2nSINMNT、RDC2nCOSMNT) の振幅を適正値に自動調整 調整対象は入力ゲイン抵抗、励磁信号出力振幅の 2 項目
トラッキンググループ	励磁信号源選択機能	RDC2 内部で生成した励磁信号 (RDC2nRSO/RDC2nCOM)、または外部入力した励磁信号を選択
	使用センサ選択機能	VR レゾルバ、または DC レゾルバを選択
	励磁成分抽出機能	レゾルバ入力信号から抽出した励磁成分を R/D 変換に使用
	PI 補償器帯域設定機能	6 種類 (5 種類の固定帯域と自動調整) から帯域を選択
	強制ゲイン制御機能	レゾルバ角と R/D 変換角度が大きくずれている場合に、追従性を向上
	最大角速度設定機能	最大角速度 (分解能) を 960,000rpm (10 ビット) ~ 15,000 rpm (16 ビット) の範囲で設定
	モニタ機能	角度情報 (°)、角速度情報 (rpm)、制御偏差 (%) をレジスタ読み出し
	角度コンペア機能	角度コンペア 0 ~ 2 設定レジスタに設定した角度と R/D 変換角度が一致したときに割り込み要求を発生
	エンコーダパルス出力機能	ABZ 相信号 (4096 Edge/Revolution) を出力
異常検出	異常検出機能	レゾルバ信号異常、レゾルバ信号断線異常、R/D 変換異常を検出
自己診断	自己診断 (Built-In Self Test) 機能	角度変換 BIST (0,45,270 度) 異常検出 BIST (レゾルバ信号異常、レゾルバ信号断線異常、変換異常)
その他	励磁タイマ (ET) 機能	励磁信号の周期計測、イベント信号発生 (AD トリガ、DMA 要求)
割り込み		<ul style="list-style-type: none"> コンペア 0 ~ 2 割り込み Z 相信号割り込み RDC 異常割り込み 励磁タイマ割り込み

25.2.2 ブロック図

図 25.1 に RDC2 モジュール全体ブロック構成図を示します。

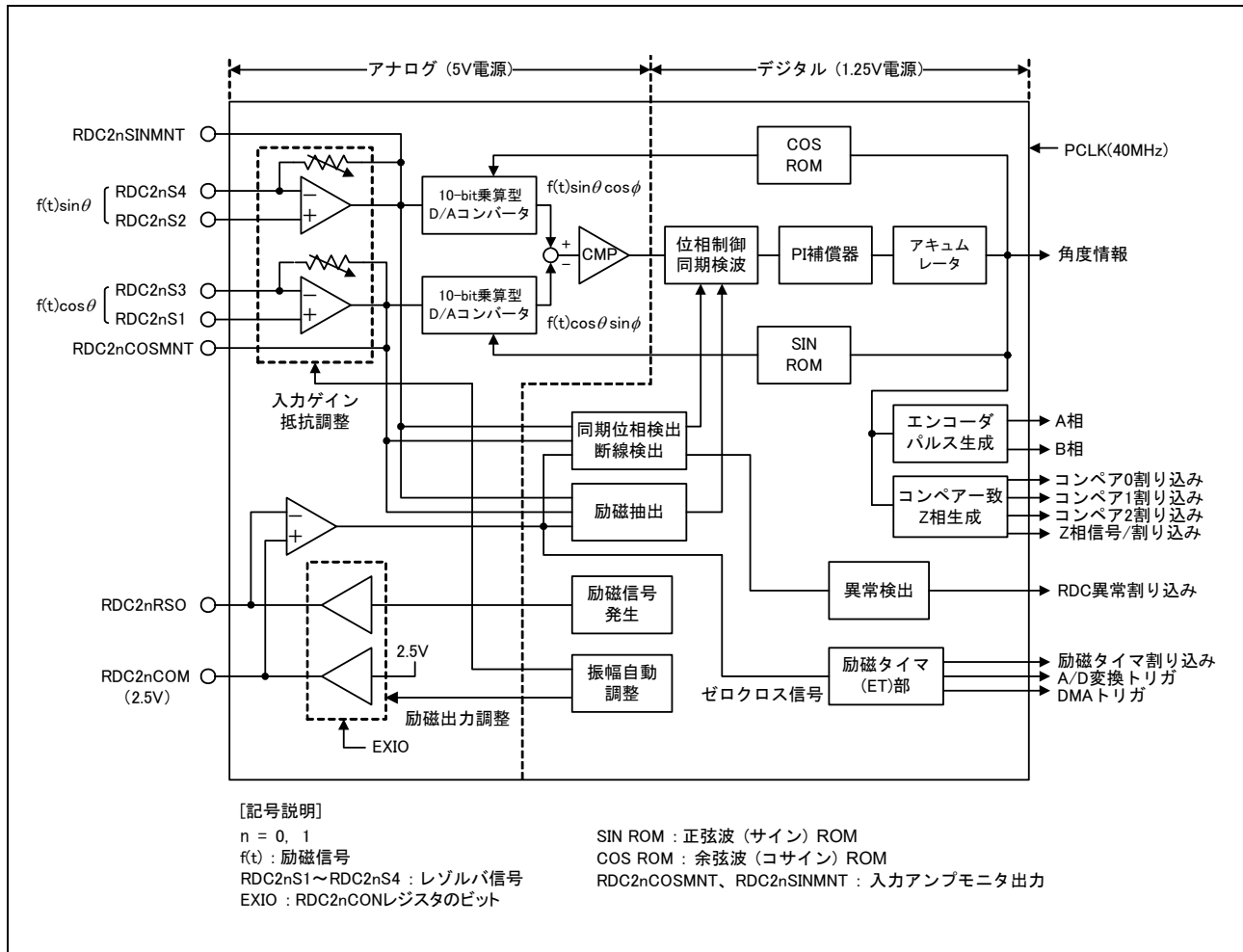


図 25.1 RDC2 モジュール全体ブロック構成図

25.2.3 動作原理

RDC2 モジュールの動作原理について説明します。

RDC2 は、トラッキンググループ方式により、レゾルバ（アナログ信号）をデジタル信号に変換（R/D 変換）します。

励磁信号 $f(t)$ を励磁コイルに入力することにより、モータの回転子の角度 (θ) に応じてレゾルバから $f(t) \cdot \sin\theta$, $f(t) \cdot \cos\theta$ が出力されます。これをそれぞれ RDC2nS2-RDC2nS4, RDC2nS1-RDC2nS3 端子に入力します。

これらを増幅して、乗算型 D/A コンバータへ入力します。一方、アキュムレータの出力を COSROM（または SINROM）をとおし、 $\cos\phi$ （または $\sin\phi$ ）を生成し、それぞれに対応する D/A コンバータへフィードバックします。その後、両者 D/A コンバータ出力を減算し、

$$f(t) \cdot (\sin\theta \cdot \cos\phi - \cos\theta \cdot \sin\phi)$$

$$= f(t) \cdot \sin(\theta - \phi)$$

$$\approx f(t) \cdot (\theta - \phi)$$

を得ます。この値をコンパレータ（CMP）で 1bit/A/D 変換したものがデジタル部に受け渡されます。

同期検波回路において励磁成分 $f(t)$ を取り除き

$$\text{制御偏差 } \varepsilon = \theta - \phi$$

を得ます。

アナログ回路とデジタル回路全体での負帰還制御により、この制御偏差がゼロになるようにフィードバックがかかり、 $\theta = \phi$ のとき、レゾルバのアナログ角度情報がデジタル角度 ϕ （16bit 幅）に変換されたこととなります。次に、PI 補償器およびアキュムレータについて説明します。

図 25.2 に PI 補償器およびアキュムレータを示します。

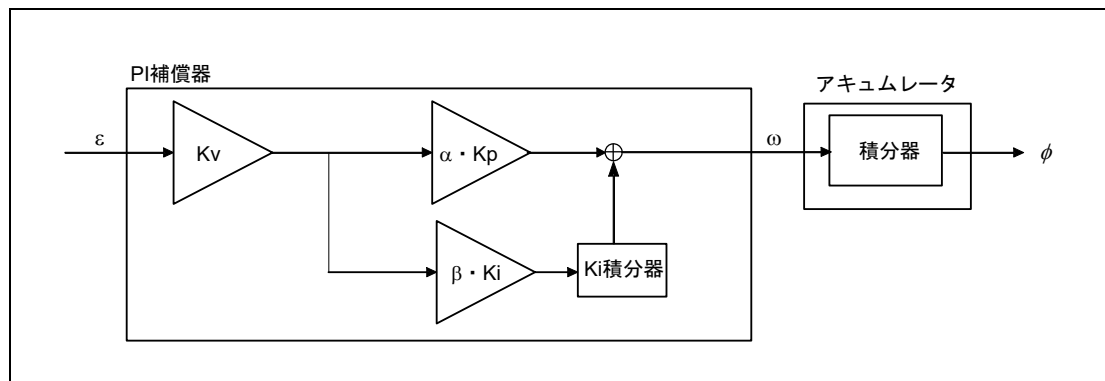


図 25.2 PI 補償器およびアキュムレータ

PI 補償器では制御偏差を以下の式にしたがい変換し、アキュムレータ回路に受け渡します。

$$\omega = (\alpha K_p + \beta K_i/sT) \cdot K_v \cdot \varepsilon$$

K_v , K_p , K_i : レジスタで設定可能な制御係数

α , β : 固定値

s : ラプラス変数

T : 積分時定数

ω : PI 補償器出力、角速度情報

アキュムレータ回路では角速度情報 ω から角度 ϕ を算出します。

25.3 レジスタ

25.3.1 レジスタ一覧

表 25.9 にレジスタ一覧を示します。

<RDC2n_base> は「25.1.2 レジスタベースアドレス」を参照してください。

表 25.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
RDC2n	RDC2n 変換条件選択レジスタ	RDC2nCONSEL	<RDC2n_base> + 0000 _H
RDC2n	RDC2n 制御ゲイン選択レジスタ	RDC2nCGSEL	<RDC2n_base> + 0002 _H
RDC2n	RDC2n 最大角速度設定レジスタ	RDC2nMAXV	<RDC2n_base> + 0006 _H
RDC2n	RDC2n 角度データレジスタ	RDC2nANGDAT	<RDC2n_base> + 0008 _H
RDC2n	RDC2n リセットレジスタ	RDC2nRST	<RDC2n_base> + 000C _H
RDC2n	RDC2n モニタ端子設定レジスタ	RDC2nMNTC	<RDC2n_base> + 001A _H
RDC2n	RDC2n データ格納レジスタ	RDC2nDATSTR	<RDC2n_base> + 001C _H
RDC2n	RDC2n 角度コンペア 0 値設定レジスタ	RDC2nCMP0	<RDC2n_base> + 0020 _H
RDC2n	RDC2n 角度コンペア 1 値設定レジスタ	RDC2nCMP1	<RDC2n_base> + 0022 _H
RDC2n	RDC2n 角度コンペア 2 値設定レジスタ	RDC2nCMP2	<RDC2n_base> + 0024 _H
RDC2n	RDC2n 初期化レジスタ	RDC2nINIT	<RDC2n_base>+0026 _H
RDC2n	RDC2n 出力制御レジスタ	RDC2nOUTC	<RDC2n_base> + 0028 _H
RDC2n	RDC2n 制御レジスタ	RDC2nCON	<RDC2n_base> + 002C _H
RDC2n	RDC2n BIST 設定レジスタ	RDC2nBISTC	<RDC2n_base> + 0030 _H
RDC2n	RDC2n 異常検出機能有効レジスタ	RDC2nERDEN	<RDC2n_base> + 0032 _H
RDC2n	RDC2n 入力ゲイン抵抗値レジスタ	RDC2nINGR	<RDC2n_base> + 0036 _H
RDC2n	RDC2n ループゲイン設定レジスタ	RDC2nLPGAIN	<RDC2n_base> + 0038 _H
RDC2n	RDC2n 励磁振幅自動調整回路設定レジスタ	RDC2nEXAAT	<RDC2n_base> + 003A _H
RDC2n	RDC2n 異常検出レジスタ	RDC2nERDET	<RDC2n_base> + 003E _H
RDC2n	RDC2n コンペア一致割り込みレジスタ	RDC2nCMINT	<RDC2n_base> + 0044 _H
RDC2n	RDC2n エンコーダパルスレジスタ	RDC2nENCPL	<RDC2n_base> + 0046 _H
RDC2n	RDC2n アナログ回路停止レジスタ	RDC2nANSTP	<RDC2n_base> + 0048 _H
RDC2n	RDC2n ET イベント生成カウンタレジスタ	RDC2nETECNT	<RDC2n_base> + 004C _H
RDC2n	RDC2n ET 制御レジスタ	RDC2nETCON	<RDC2n_base> + 004E _H
RDC2n	RDC2n ET コンペアレジスタ	RDC2nETCMP	<RDC2n_base> + 0050 _H
RDC2n	RDC2n ET キャプチャレジスタ	RDC2nETCAP	<RDC2n_base> + 0052 _H
RDC2n	RDC2n ET リロードレジスタ	RDC2nETRLD	<RDC2n_base> + 0054 _H
RDC2n	RDC2n ET 周期計測カウンタレジスタ	RDC2nETPMCNT	<RDC2n_base> + 0056 _H
RDC2n	RDC2n 励磁振幅二乗和積分値モニタレジスタ	RDC2nEXSQR	<RDC2n_base> + 0058 _H

25.3.2 RDC2nCONSEL — RDC2n 変換条件選択レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0000_H

リセット後の値 2C00_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DEVCK[2:0]		EDPS[1:0]		DVW[1:0]		DATSEL[3:0]			—	EXFS[2:0]				
リセット後の値	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 25.10 RDC2nCONSEL レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
14～12	DEVCK[2:0]	制御偏差判定用クロック選択ビット ^{注3} 000: 50 μs 周期クロック 001: 100 μs 周期クロック 010: 200 μs 周期クロック 011: 25 μs 周期クロック 100: 400 μs 周期クロック 101: 800 μs 周期クロック 上記以外、設定しないでください
11～10	EDPS[1:0]	R/D 変換異常判定時間選択ビット ^{注4, 注5} 00: 95.8 msec 01: 147.0 msec 10: 4.92 msec 11: 7.37 msec
9、8	DVW[1:0]	制御偏差重みづけビット ^{注1, 注2} 00: ×1 01: ×3 10: ×5 11: ×7
7～4	DATSEL[3:0]	RDC データ選択ビット RDC データを RDC2nDATSTR レジスタへ出力します。 詳細は表 25.11 を参照。 表 25.11 に記載の値以外、設定しないでください。
3	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
2～0	EXFS[2:0]	励磁信号周波数選択ビット 000: 10 kHz 001: 5 kHz 010: 20 kHz 011: 40 kHz 100: 15 kHz 上記以外、設定しないでください

- 注 1. DVW[1:0] ビットは、リセット後の値で使用することを推奨します。帯域設定を変更する場合は RDC2nLPGAIN レジスタの LPGS[2:0] ビットで 6 種類の PI 補償器設定から選択してください。
- 注 2. RDC2nCONSEL レジスタの DVW[1:0] ビット、RDC2nCGSEL レジスタの KPS[1:0] ビット、KPF ビット、HKVS[3:0] ビットの設定において、表 25.13 と表 25.14 の組み合わせに設定しないでください。表に示す組み合わせでは、Kv ゲインが大きい場合、PI 補償器の P 成分がオーバーフローし、所望の値になりません。
- 注 3. 制御偏差判定クロックの周期は、使用している励磁信号の周期以上の長さに設定してください。たとえば励磁信号として 10 kHz (100 μs 周期) を使用している場合は、制御偏差判定クロック周期を 100 μs、200 μs、400 μs、800 μs のいずれかに設定してください。50 μs、25 μs に設定しないでください。
- 注 4. R/D コンバータ動作中に、EDPS[1:0] の設定を現設定値より短い判定時間に変更しないでください。ただし、リセット後、RDC2nERDEN レジスタの ERDEN ビットが“0”の場合のみ、“11_B”から“10_B”への変更ができます。変更後、ERDEN ビットを“1”にしてください。
- 注 5. RDC2nCON レジスタの CVEDS ビットを“0” (R/D 変換異常検出回路 (レゾルバ高速回転対応)) を選択) に設定する場合、EDPS[1:0] ビットを“10_B”または“11_B”に設定してください。

EDPS[1:0] ビット

R/D 変換異常を判定する時間を設定します。入力角度と変換角度の偏差が大きい状態のまま、設定した判定時間の 50% 以上経過すると変換異常とみなし、RDC2nERDET レジスタの RDCE ビット、ERR ビット、ERHD ビットが“1”になります。

DATSEL[3:0] ビット

選択したデータが、RDC2nDATSTR レジスタから読み出せます。

表 25.11 RDC2 データ選択

DATSEL[3:0]	出力	出力先
0 0 0 0	12 ビット角度データ	RDC2nDATSTR レジスタのビット 11-0
0 1 0 0	16 ビット角度データ	RDC2nDATSTR レジスタのビット 15-0
0 1 0 1	コンペアー一致 2 割り込み信号	RDC2nDATSTR レジスタのビット 10
	コンペアー一致 1 割り込み信号	RDC2nDATSTR レジスタのビット 9
	コンペアー一致 0 割り込み信号	RDC2nDATSTR レジスタのビット 8
	制御偏差値	RDC2nDATSTR レジスタのビット 7-0
1 0 0 1	角速度データ	RDC2nDATSTR レジスタのビット 15-0

25.3.3 RDC2nCGSEL — RDC2n 制御ゲイン選択レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0002_H

リセット後の値 0000_H注¹

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KVMS[1:0]		KPS[1:0]		LKVS[3:0]				HKVS[3:0]			KPF	KIS[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.12 RDC2nCGSEL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15、14	KVMS[1:0]	Kv ゲイン方式選択ビット 00: 12 段階 AGC 方式 01: 7 段階 AGC 方式 10: 2 段階 AGC 方式 11: Kv 固定方式
13、12	KPS[1:0]	Kp ゲイン選択ビット 注 ² 00: ×1 01: ×0.25 10: ×0.5 11: ×2
11 ~ 8	LKVS[3:0]	低 Kv ゲイン選択ビット Kv 固定方式選択時および 2 段階 AGC 方式選択時の Kv の低い側のゲインを設定します。 0000: ×1 0001: ×0.0625 0010: ×0.125 0011: ×0.25 0100: ×0.5 0101: ×1 0110: ×2 0111: ×4 1000: ×8 1001: ×16 1010: ×32 1011: ×64 1100: ×128 上記以外、設定しないでください
7 ~ 4	HKVS[3:0]	高 Kv ゲイン選択ビット 注 ² Kv 固定方式選択時および 2 段階 AGC 方式選択時の Kv の高い側のゲインを設定します。 0000: ×32 0001: ×0.0625 0010: ×0.125 0011: ×0.25 0100: ×0.5 0101: ×1 0110: ×2 0111: ×4 1000: ×8 1001: ×16 1010: ×32 1011: ×64 1100: ×128 上記以外、設定しないでください
3	KPF	Kp ゲイン 4 倍ビット 注 ² 0: Kp ゲインを 4 倍しない 1: Kp ゲインを 4 倍する

表 25.12 RDC2nCGSEL レジスタの内容 (2/2)

ビット位置	ビット名	機能
2 ~ 0	KIS[2:0]	Ki ゲイン選択ビット PI 補償器内の Ki ゲインを設定します。 000: × 1 001: × 0.125 010: × 0.25 011: × 0.5 100: × 2 101: × 4 110: × 8 111: × 16

- 注 1. RDC2nCGSEL レジスタは、リセット後の値で使用することを推奨します。帯域設定を変更する場合は RDC2nLPGAIN レジスタの LPGS[2:0] ビットで 6 種類の PI 補償器設定から選択してください。
- 注 2. RDC2nCONSEL レジスタの DVW[1:0] ビット、RDC2nCGSEL レジスタの KPS[1:0] ビット、KPF ビット、HKVS[3:0] ビットの設定において、表 25.13 と表 25.14 の組み合わせに設定しないでください。次表に示す組み合わせでは、Kv ゲインが大きい場合、PI 補償器の P 成分がオーバーフローし、所望の値になりません。

表 25.13 禁止組み合わせ設定 1 (KVMS[1:0] ビットが “00_B” または “01_B” 設定時)

DVW[1:0]	KPS[1:0]	KPF
00 (× 1)	11 (× 2)	1 (× 4)
01 (× 3)	11 (× 2)	1 (× 4)
01 (× 3)	00 (× 1)	1 (× 4)
10 (× 5)	11 (× 2)	1 (× 4)
10 (× 5)	11 (× 2)	0 (× 1)
10 (× 5)	00 (× 1)	1 (× 4)
10 (× 5)	10 (× 0.5)	1 (× 4)
11 (× 7)	11 (× 2)	1 (× 4)
11 (× 7)	11 (× 2)	0 (× 1)
11 (× 7)	00 (× 1)	1 (× 4)
11 (× 7)	10 (× 0.5)	1 (× 4)

表 25.14 禁止組み合わせ設定 2 (KVMS[1:0] ビットが “10_B” または “11_B” 設定時) (1/2)

DVW[1:0]	KPS[1:0]	KPF	HKVS[3:0]
00 (× 1)	11 (× 2)	1 (× 4)	1100 (× 128)
01 (× 3)	11 (× 2)	1 (× 4)	1100 (× 128)
01 (× 3)	11 (× 2)	1 (× 4)	1011 (× 64)
01 (× 3)	00 (× 1)	1 (× 4)	1100 (× 128)
10 (× 5)	11 (× 2)	1 (× 4)	1100 (× 128)
10 (× 5)	11 (× 2)	1 (× 4)	1011 (× 64)
10 (× 5)	11 (× 2)	1 (× 4)	1010 (× 32)
10 (× 5)	11 (× 2)	0 (× 1)	1100 (× 128)
10 (× 5)	00 (× 1)	1 (× 4)	1100 (× 128)
10 (× 5)	00 (× 1)	1 (× 4)	1011 (× 64)
10 (× 5)	10 (× 0.5)	1 (× 4)	1100 (× 128)
11 (× 7)	11 (× 2)	1 (× 4)	1100 (× 128)
11 (× 7)	11 (× 2)	1 (× 4)	1011 (× 64)
11 (× 7)	11 (× 2)	1 (× 4)	1010 (× 32)
11 (× 7)	11 (× 2)	0 (× 1)	1100 (× 128)

表 25.14 禁止組み合わせ設定 2 (KVMS[1:0] ビットが “10_B” または “11_B” 設定時) (2/2)

DVW[1:0]	KPS[1:0]	KPF	HKVS[3:0]
11 (× 7)	00 (× 1)	1 (× 4)	1100 (× 128)
11 (× 7)	00 (× 1)	1 (× 4)	1011 (× 64)
11 (× 7)	10 (× 0.5)	1 (× 4)	1100 (× 128)

KVMS[1:0] ビット

PI 補償器内の Kv ゲインの方式を選択します。AGC (Auto Gain Control) 方式を選択した場合は制御偏差量に応じて Kv ゲインが自動的に選択されます。リセット後の値 (12 段階 AGC 方式) での使用を推奨します。

- 12 段階 AGC 方式 (リセット後の値)

表 25.15 に 12 段階 AGC の制御偏差量と選択される Kv ゲインの値の関係を示します。

制御偏差量とは、制御偏差 ε (High もしくは Low) の判定クロック周期内での偏りを表します。レゾルバ角度信号 θ と R/D コンバータ出力角度信号 ϕ について、 θ と ϕ が一致している状態では、High と Low は等しい割合で出現し、その場合制御偏差量は $\pm 0\%$ です。 ϕ が θ に対して完全に遅れている場合は ε は常時 High になります。その場合、制御偏差量は $+100\%$ です。

ϕ が θ に対して完全に進んでいる場合は ε は常時 Low になります。その場合、制御偏差量は -100% です。判定クロックは RDC2nCONSEL レジスタの DEVCK[2:0] ビットにより周期を選択できます。

表 25.15 12 段階 AGC での制御偏差量と Kv ゲイン量

制御偏差量 (絶対値)	Kv ゲイン量
リセット解除時	× 128
76.8% ~ 100%	× 64
64.0% ~ 76.8%	× 32
57.6% ~ 64.0%	× 16
51.2% ~ 57.6%	× 8
44.8% ~ 51.2%	× 4
38.4% ~ 44.8%	× 2
32.0% ~ 38.4%	× 1
25.6% ~ 32.0%	× 0.5
19.2% ~ 25.6%	× 0.25
12.8% ~ 19.2%	× 0.125
0.0% ~ 12.8%	× 0.0625

- 7段階 AGC 方式

表 25.16 に 7 段階 AGC の制御偏差量と選択される Kv ゲインの値の関係を示します。

表 25.16 7 段階 AGC での制御偏差量と Kv ゲイン量

制御偏差量 (絶対値)	Kv ゲイン量
リセット解除時	× 128
76.8% ~ 100%	× 64
51.2% ~ 76.8%	× 16
38.4% ~ 51.2%	× 4
25.6% ~ 38.4%	× 1
12.8% ~ 25.6%	× 0.25
0.0% ~ 12.8%	× 0.0625

- 2 段階 AGC 方式

表 25.17 に 2 段階 AGC の制御偏差量と選択される Kv ゲインの値の関係を示します。

なお、低ゲイン、高ゲインはそれぞれ RDC2nCGSEL レジスタの LKVS[3:0] ビット、HKVS[3:0] ビットで設定できます。

表 25.17 2 段階 AGC の制御偏差量と Kv ゲイン

制御量偏差 (絶対値)	Kv ゲイン量
76.8% ~ 100%	高 Kv ゲイン (HKVS[3:0] で選択した値) へ遷移
25.6% ~ 76.8%	Kv ゲイン維持 (遷移なし)
0.0% ~ 25.6%	低 Kv ゲイン (LKVS[3:0] で選択した値) へ遷移

注 1. リセット後、Kv ゲインが×128 より小さくなった場合、以下の条件で Kv が×128 に戻ります。

1. RDC2nRST レジスタの KIRST ビットを“1” (Ki リセット) に設定
2. 励磁信号異常状態からの復帰

- Kv 固定方式

Kv 固定方式を選択した場合、制御偏差量に依らず低 Kv ゲイン (RDC2nCGSEL レジスタの LKVS[3:0] ビットで選択した値) で動作します。ただし、異常検出 (R/D 変換異常、レゾルバ信号断線異常) が発生し、さらにその異常から復帰し、かつ制御偏差が 76.8% ~ 100% になった場合のみ高 Kv ゲイン側 (HKVS[3:0] ビットで選択した値) に遷移します。その後、制御偏差量の絶対値が 25.6% 以下になると低 Kv ゲイン側に遷移します。

- Kv, Kp, Ki ゲインおよび偏差重みづけによるデジタルトラッキングサーボ周波数応答特性

表 25.18 に Kv, Kp, Ki のゲイン設定と偏差重みづけ設定によるデジタルトラッキングサーボの周波数特性の例を示します。RDC2nCGSEL レジスタの LKVS[3:0]、HKVS[3:0]、KPS[1:0]、KIS[2:0] ビット、RDC2nCONSEL レジスタの DVW[1:0] ビットでそれぞれ設定します。

表 25.18 Kv、Kp、Ki ゲインと周波数特性

Kv	Kp	Ki	偏差重みづけ (RDC2nCONSEL レジスタ DVW[1:0] ビット)	帯域 (-3dB)
0.5	1	0.5	1	800 Hz 相当
0.125	1	1	7	1500 Hz 相当
0.125	1	0.5	5	1000 Hz 相当
0.0625	1	0.25	5	500 Hz 相当
0.0625	2	0.125	1	200 Hz 相当

注 1. 上記以外、設定しないでください。

25.3.4 RDC2nMAXV — RDC2n 最大角速度設定レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0006_H

リセット後の値 8140_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	MAXV[2:0]			—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 25.19 RDC2nMAXV レジスタ の内容

ビット位置	ビット名	機能
15	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。
14～11	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
10～8	MAXV[2:0]	最大角速度選択ビット 最大角速度を設定します。表 25.20 を参照してください。 表に記載の値以外は、設定しないでください。
7	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
6	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。
5～0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

MAXV[2:0] ビット

選択した最大角速度と R/D 変換の分解能の関係を表 25.20 に示します。

表 25.20 最大角速度選択ビット

MAXV[2:0]	最大角速度 [rpm]	分解能 [bit]
000 _B	120,000	13
001 _B	240,000	12
010 _B	480,000	11
011 _B	960,000	10
100 _B	15,000	16
101 _B	60,000	14

25.3.5 RDC2nANGDAT — RDC2n 角度データレジスタ (n = 0、1)

アクセス 16 ビット単位でリード可能です。

アドレス <RDC2n_base> + 0008_H

リセット後の値 XXXX_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ANG[15:0]															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.21 RDC2nANGDAT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ANG[15:0]	角度データ 角度が 16 ビット幅で格納されます。 読み出し値を n とすると、角度は $360 / 2^{16} \times n$ (°)

25.3.6 RDC2nRST — RDC2n リセットレジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 000C_H

リセット後の値 0100_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	KIRST	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 25.22 RDC2nRST レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
8	予約ビット	読むと“1”が読み出されます。書き込みは“0”としてください。
7 ~ 2	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
1	KIRST	Ki リセットビット “1”を書くと、Ki 積分器およびアキュムレータ積分器の値が“0”になります。本ビットは、“1”になった後 2 クロックサイクル経過後に“0”になります。
0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

25.3.7 RDC2nMNTC — RDC2n モニタ端子設定レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 001A_H

リセット後の値 00x0_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MNTC	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 25.23 RDC2nMNTC レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
12	MNTC	モニタ端子制御ビット 0: RDC2nSINMNT、RDC2nCOSMNT 端子をオープンにする 1: RDC2nSINMNT、RDC2nCOSMNT 端子から出力する
11 ~ 0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

25.3.8 RDC2nDATSTR — RDC2n データ格納レジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <RDC2n_base> + 001C_H

リセット後の値 XXXX_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
R/W 注1	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.24 RDC2nDATSTR レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	DATA[15:0]	データ RDC2nCONSEL レジスタの DATSEL[3:0] ビットで選択したデータが格納されます。

注 1. RDC2nCONSEL レジスタの DATSEL[3:0] ビットで選択したデータで規定されていないビットの読み出し値は不定になります。

25.3.9 RDC2nCMP0 — RDC2n 角度コンペア 0 値設定レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0020_H

リセット後の値 0000_H

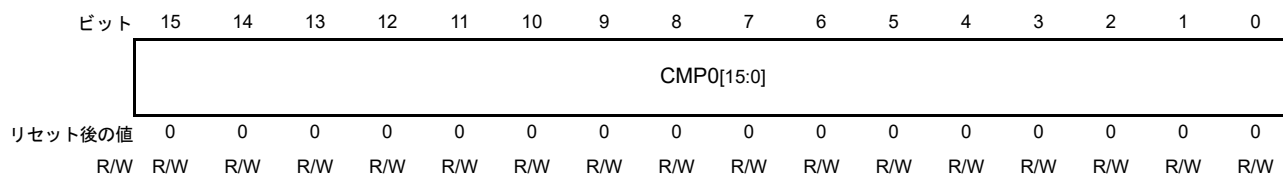


表 25.25 RDC2nCMP0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CMP0[15:0]	角度コンペア値 角度コンペア値を 16 ビット幅で設定します。 角度を θ とすると、設定値 n は $2^{16} / 360 \times \theta$

25.3.10 RDC2nCMP1 — RDC2n 角度コンペア 1 値設定レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0022_H

リセット後の値 0000_H

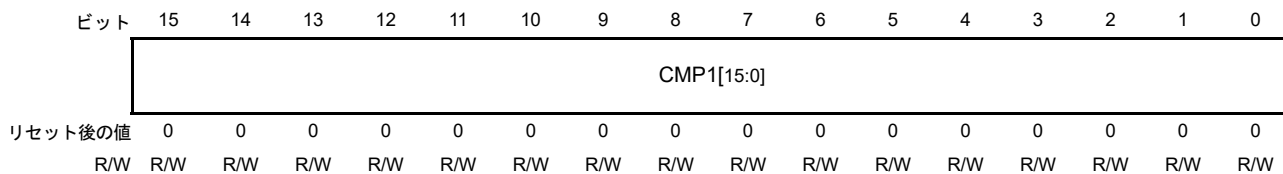


表 25.26 RDC2nCMP1 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CMP1[15:0]	角度コンペア値 角度コンペア値を 16 ビット幅で設定します。 角度を θ とすると、設定値 n は $2^{16} / 360 \times \theta$

25.3.11 RDC2nCMP2 — RDC2n 角度コンペア 2 値設定レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0024_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMP2[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.27 RDC2nCMP2 レジスタ の内容

ビット位置	ビット名	機能
15 ~ 0	CMP2[15:0]	角度コンペア値 角度コンペア値を 16 ビット幅で設定します。 角度を θ とすると、設定値 n は $2^{16} / 360 \times \theta$

25.3.12 RDC2nINIT — RDC2n 初期化レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0026_H

リセット後の値 1XXX_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INIT	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	1	X	X	X	X	X	0	0	X	X	X	X	X
	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.28 RDC2nINIT レジスタ の内容

ビット位置	ビット名	機能
15	INIT	“1” を書くと、RDC2n 内を初期化します。 本ビットは、“1” になったあと RDC2n 内の初期化が完了したのち “0” になります。
14 ~ 0	—	読むと “0” もしくは “1” が読み出されます。書き込みはリセット後の値としてください。

25.3.13 RDC2nOUTC — RDC2n 出力制御レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0028_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CINTEN	ABEN	—	ZEN	EINTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W

表 25.29 RDC2nOUTC レジスタの内容

ビット位置	ビット名	機能
15 ~ 5	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
4	CINTEN	角度コンペア割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
3	ABEN	A相B相出力許可ビット 0: 出力禁止 1: 出力許可
2	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
1	ZEN	Z相出力およびZ相信号割り込み許可ビット 0: 出力禁止 1: 出力許可
0	EINTEN	RDC異常割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

25.3.14 RDC2nCON — RDC2n 制御レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 002C_H

リセット後の値 4200_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FGCON	BWCS	CVEDS	—	BDVTH	REDTH	SENS	EXIO	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 25.30 RDC2nCON レジスタの内容

ビット位置	ビット名	機能
15	FGCON	強制ゲイン制御ビット ^{注1} 0: 強制ゲイン制御機能を使用する 1: 強制ゲイン制御機能を使用しない
14	BWCS	帯域設定方法選択ビット ^{注2} PI 補償器設定方法を選択します。 0: RDC2nCONSEL, RDC2nCGSEL レジスタで設定 1: RDC2nLPGAIN レジスタの LPGS[2:0] ビットで設定 (設定値は、RDC2nLPGAIN レジスタの説明を参照)
13	CVEDS	変換異常検出回路選択ビット ^{注3} 0: R/D 変換異常検出信号のレゾルバ高速回転に対応の回路を選択 1: R/D 変換異常検出信号のレゾルバ高速回転に未対応の回路を選択
12	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
11	BDVTH	断線検出アナログ電圧閾値設定ビット 断線検出アナログ電圧閾値を設定します。 0: SENS、EXIO ビット設定に依存 SENS = 0, EXIO = 1 のとき、RDC2nCOM + 0.35 × RVDD SENS = 0, EXIO = 1 以外、RDC2nCOM + 0.08 × RVDD 1: 常に RDC2nCOM + 0.35 × RVDD
10	REDTH	レゾルバ信号異常検出閾値設定ビット レゾルバ信号異常検出の閾値を設定します。 0: 0.10 × (RVDD±5%) [Vp-p] 1: 0.14 × (RVDD±5%) [Vp-p]
9	SENS	センサ選択ビット 使用するセンサを選択します。 0: DC レゾルバを使用 ^{注4} 1: VR レゾルバを使用
8	EXIO	励磁信号入出力切り替えビット ^{注3} 励磁信号の入出力切り替えを選択します。 0: 励磁信号入力 1: 励磁信号出力
7 ~ 0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

注1. FGCON ビットの設定値を変更する場合は、レゾルバが止まっている状態（角速度が 1rpm 以下）で行い、設定値変更後に RDC2nRST レジスタの KIRST ビットに“1”を書いてください。

注2. BWCS ビットはリセット後の値“1”で使用することを推奨します。

注3. RDC2nCONSEL レジスタの EXFS[2:0] ビットを“011_B”(励磁周波数 40 kHz) に設定する場合、CVEDS ビットを“1”にしてください。
また、CVEDS ビットを“0”、EXIO ビットを“0”にする場合、22 kHz 以上の周波数を入力しないでください。

注4. SENS ビットを“0”にする場合は、EXIO ビットを“1”にしてください。

25.3.15 RDC2nBISTC — RDC2n BIST 設定レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0030_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BEXE	—	—	—	—	—	—	BSTF	BRLT[3:0]			BCON[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 25.31 RDC2nBISTC レジスタの内容

ビット位置	ビット名	機能
15	BEXE	BIST 実行ビット 0: BIST を停止する 1: BIST の実行を許可する
14 ~ 9	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
8	BSTF	BIST ビット BIST の実行状態を示すフラグです。 0: BIST 停止中 1: BIST 実行中
7 ~ 4	BRLT[3:0]	BIST 結果格納ビット 実行した BIST の結果を常時格納するビットです。 表 25.32 を参照してください。
3 ~ 0	BCON[3:0]	BIST 設定ビット 実行する BIST を選択します。表 25.32 を参照してください。 表に記載の値以外は、設定しないでください。

BEXE ビット

BEXE ビットが“1”、かつ BCON[3:0] ビットが“0000_B”以外のときに、BIST を開始します。
BEXE ビットが“0”、または BCON[3:0] ビットが“0000_B”のときに、BIST を停止します。

表 25.32 BIST の設定と結果 (BCON[3:0]、BRLT[3:0] ビットの内容)

BCON[3:0] ビット				実行する BIST	BRLT[3:0] ビット				BIST の実行結果
0	0	0	0	BEXE ビット無効	0	0	0	0	判定しない
0	1	0	1	角度変換 BIST1: 指令角度 0°	0	1	0	1	OK
					1	1	1	1	NG
0	1	1	0	角度変換 BIST2: 指令角度 45°	0	1	1	0	OK
					1	1	1	1	NG
0	1	1	1	角度変換 BIST3: 指令角度 270°	0	1	1	1	OK
					1	1	1	1	NG
1	0	0	1	異常検出 BIST: レゾルバ信号異常検出 BIST	1	0	0	1	OK
					1	1	1	1	NG
1	0	1	0	異常検出 BIST: レゾルバ信号断線異常検出 BIST (COS 側)	1	0	1	0	OK
					1	1	1	1	NG
1	0	1	1	異常検出 BIST: レゾルバ信号断線異常検出 BIST (SIN 側)	1	0	1	1	OK
					1	1	1	1	NG
1	1	0	0	異常検出 BIST: 変換異常 BIST	1	1	0	0	OK
					1	1	1	1	NG

BSTF ビット

BEXE ビットが“0”、または BCON[3:0] ビットが“0000_B”のとき、BSTF ビットは“0”になります。それ以外の場合、“1”になります。

25.3.16 RDC2nERDEN — RDC2n 異常検出機能有効レジスタ (n = 0, 1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0032_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ERDEN	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

表 25.33 RDC2nERDEN レジスタの内容

ビット位置	ビット名	機能
15 ~ 5	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
4	ERDEN	異常検出機能有効ビット 本ビットを“1”に設定してから 26 ms 後に、異常検出機能が有効になります。
3 ~ 0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

ERDEN ビット

異常検出機能を有効にすると、異常発生時に RDC 異常割り込み要求が発生します。割り込み要求を発生させるためには、RDC2nOUTC レジスタの EINTEN ビットを“1”にしてください。

リセット後、異常検出機能は無効になっています。ERDEN ビットへいったん“1”を書くと、その後に“0”を書いても無効にはなりません。異常検出機能を有効にしたあと、無効にした場合は、EINTEN ビットを“0”にして割り込みを禁止してください。

25.3.17 RDC2nINGR — RDC2n 入力ゲイン抵抗値レジスタ (n = 0、1)

アクセス 16 ビット単位でリード可能です。

アドレス <RDC2n_base> + 0036_H

リセット後の値 00XX_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	IGRT	IGRM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	X	X	X	X	X
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.34 RDC2nINGR レジスタの内容

ビット位置	ビット名	機能
15 ~ 5	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
4	IGRT	入力ゲイン抵抗値チューニングビット 工場出荷時にチューニングされた入力ゲイン抵抗値の有無を示します。 0: チューニングあり 1: チューニングなし
3 ~ 0	IGRM[3:0]	入力ゲイン抵抗値モニタビット 工場出荷時にチューニングされた入力ゲイン抵抗値を示します。 0000: 入力ゲイン抵抗値 TYP-40% 0001: 入力ゲイン抵抗値 TYP-30% 0010: 入力ゲイン抵抗値 TYP-20% 0011: 入力ゲイン抵抗値 TYP-10% 0100: 入力ゲイン抵抗値 TYP±0% 0101: 入力ゲイン抵抗値 TYP+10% 0110: 入力ゲイン抵抗値 TYP+20% 0111: 入力ゲイン抵抗値 TYP+30% 1XXX: 入力ゲイン抵抗値 TYP+40%

25.3.18 RDC2nLPGAIN — RDC2n ループゲイン設定レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0038_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	LPGS[2:0]			—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

表 25.35 RDC2nLPGAIN レジスタ の内容

ビット位置	ビット名	機能
15 ~ 8	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
7 ~ 5	LPGS[2:0]	ループゲイン選択ビット注1 RDC2nCON レジスタの BWCS ビットが“1”の場合、本ビットが有効になり、LPGS[2:0] ビットの組み合わせにより、PI 補償器の設定を行うことができます。 表 25.36 を参照してください。
4 ~ 0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

注1. LPGS[2:0] ビットは、“111_B”でを使用することを推奨します。

表 25.36 LPGS[2:0] ビットによる PI 補償器設定

BWCS ビット	LPGS[2:0]			PI 補償器設定
	b7	b6	b5	帯域
0	X	X	X	RDC2nCONSEL, RDC2nCGSEL レジスタで設定
1	0	0	0	800 Hz 相当
1	0	1	1	1500 Hz 相当
1	1	0	0	1000 Hz 相当
1	1	0	1	500 Hz 相当
1	1	1	0	200 Hz 相当
1	1	1	1	自動調整

注1. 上記以外、設定しないでください。

25.3.19 RDC2nEXAAT — RDC2n 励磁振幅自動調整回路設定レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 003A_H

リセット後の値 08X4_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EAAOD	IRSS1	EXOS	—	EAATSP	—	—	—	EXOC[1:0]	—	IRSS0	IRSC[3:0]				
リセット後の値	0	0	0	0	1	0	0	0	1	0	X	0	0	1	0	0
	R/W	R/W	R/W	R	R/W	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 25.37 RDC2nEXAAT レジスタの内容

ビット位置	ビット名	機能
15	EAAOD	励磁振幅自動調整順序選択ビット 0: 励磁出力による調整のあと、入力ゲイン抵抗による調整を行う 1: 入力ゲイン抵抗による調整の後、励磁出力による調整を行う
14	IRSS1	入力ゲイン抵抗値選択ビット 1 入力ゲイン抵抗値を選択します。表 25.38 を参照してください。 0: IRSC[3:0] ビットで設定する値または出荷時のチューニング値 1: 入力ゲイン抵抗自動調整値
13	EXOS	励磁出力振幅設定選択ビット 励磁振幅自動調整回路から出力される励磁出力振幅を選択します。 0: EXOC[1:0] ビットで設定する値 1: 励磁出力自動調整値
12	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
11	EAATSP	振幅自動調整停止ビット 振幅自動調整回路による励磁振幅調整を停止します。 0: 入力ゲイン抵抗値および励磁出力振幅の自動調整を行う 1: 入力ゲイン抵抗値および励磁出力振幅の自動調整を停止する
10 ~ 8	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
7、6	EXOC[1:0]	励磁出力値設定ビット EXOS ビットが“0”のときの励磁出力値を設定します。 00: 励磁出力値 TYP-40% 01: 励磁出力値 TYP-20% 10: 励磁出力値 TYP±0% 11: 励磁出力値 TYP+20%
5	予約ビット	読み出し値は不定です。書き込みは“0”としてください。
4	IRSS0	入力ゲイン抵抗値選択ビット 0 IRSS1 ビットとの組み合わせで入力ゲイン抵抗値を選択します。 表 25.38 を参照してください。
3 ~ 0	IRSC[3:0]	入力ゲイン抵抗値設定ビット 入力ゲイン抵抗値を設定します。 0000: 入力ゲイン抵抗値 TYP-40% 0001: 入力ゲイン抵抗値 TYP-30% 0010: 入力ゲイン抵抗値 TYP-20% 0011: 入力ゲイン抵抗値 TYP-10% 0100: 入力ゲイン抵抗値 TYP±0% 0101: 入力ゲイン抵抗値 TYP+10% 0110: 入力ゲイン抵抗値 TYP+20% 0111: 入力ゲイン抵抗値 TYP+30% 1000: 入力ゲイン抵抗値 TYP+40% 上記以外、設定しないでください。

IRSS0、IRSS1 ビット

入力ゲイン抵抗値の設定方法を選択します。入力ゲイン抵抗値を RDC2nEXAAT レジスタの IRSC[3:0] ビットで設定する場合、RDC2nINGR レジスタの IGRT ビットが“1”なら、直接 IRSC[3:0] ビットを設定してください。もし、IGRT ビットが“0”なら、RDC2nINGR レジスタの IGRM[3:0] ビットを読んで、その値をベースに IRSC[3:0] ビットで増減を設定してください。

表 25.38 入力ゲイン抵抗値

RDC2nEXAAT レジスタ IRSS1 ビット	RDC2nEXAAT レジスタ IRSS0 ビット	RDC2nINGR レジスタ IGRT ビット	選択される入力ゲイン抵抗値設定
0	0	0	工場出荷チューニング値
0	1	0 or 1	RDC2nEXAAT レジスタの IRSC[3:0] ビットで選択した値
1	0 or 1	0 or 1	入力ゲイン抵抗自動調整値

25.3.20 RDC2nERDET — RDC2n 異常検出レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 003E_H

リセット後の値 7000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ERRST	EID[2:0]			—	—	ERR	ERHD	RDCE	RESE	CBRE	SBRE	—	—	—	—
リセット後の値	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.39 RDC2nERDET レジスタの内容

ビット位置	ビット名	機能
15	ERRST	エラー信号リセットビット “1”を書くと以下のレジスタビットが“0”になります。本ビットは、“1”になったあと2クロックサイクル経過後に“0”に戻ります。 RDC2nERDET レジスタ： EID[2:0] ビット、ERHD ビット、RDCE ビット RESE ビット、CBRE ビット、SBRE ビット
14 ~ 12	EID[2:0]	エラー識別ビット R/D コンバータが検出したエラーの識別を行います ^{注1} 。 表 25.40 を参照してください。
11、10	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
9	ERR	エラービット R/D 変換異常、レゾルバ信号異常、レゾルバ信号断線異常を検出します。 0：エラー未検出 ^{注2} 1：エラー検出 ^{注3}
8	ERHD	エラー保持ビット R/D 変換異常、レゾルバ信号異常、レゾルバ信号断線異常を検出します。 0：エラー未検出 ^{注1} 1：エラー検出 ^{注3}
7	RDCE	R/D 変換異常ビット 0：エラー未検出 ^{注1} 1：エラー検出
6	RESE	レゾルバ信号異常ビット 0：エラー未検出 ^{注1} 1：エラー検出
5	CBRE	レゾルバ信号断線異常 (cos 側) ビット 0：エラー未検出 ^{注1} 1：エラー検出
4	SBRE	レゾルバ信号断線異常 (sin 側) ビット 0：エラー未検出 ^{注1} 1：エラー検出
3 ~ 0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

注 1. RDC2nERDET レジスタの ERRST ビットを“1”にすると、“0”になります。ただし、異常発生中に ERRST ビットを“1”にしても、これらのビットは“0”になりません。

注 2. 異常から復帰すると“0”になります。

注 3. RDC2nOUTC レジスタの EINTEN ビットが“0”の場合は、本ビットは 1 になりません。

表 25.40 EID[2:0] ビットで示すエラー

EID[2:0]			検出されたエラー ^{注1}
0	0	0	エラー未検出
0	0	1	レゾルバ信号異常
0	1	0	レゾルバ信号断線異常 (cos 側)
0	1	1	レゾルバ信号断線異常 (sin 側)
1	0	0	R/D 変換異常
1	1	1	異常検出機能無効 (リセット解除から、RDC2nERDEN レジスタの ERDEN ビットを "1" にして 26ms 経過するまでの期間)

- 注 1. エラーを 2 種類以上検出した場合は、次のエラー識別優先順位に則って、優先順位の高いエラー検出コードを格納します。
レゾルバ信号断線異常 (cos 側) > レゾルバ信号断線異常 (sin 側) > レゾルバ信号異常 > R/D 変換異常

25.3.21 RDC2nCMINT — RDC2n コンペアー一致割り込みレジスタ (n = 0, 1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0044_H

リセット後の値 XXXX_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRS	INTCLR 2	INTCLR 1	INTCLR 0	—	INTFLG 2	INTFLG 1	INTFLG 0	—	—	—	—	—	—	—	—
リセット後の値	0	X	X	X	0	X	X	X	X	X	X	X	X	X	X	X
	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 25.41 RDC2nCMINT レジスタの内容

ビット位置	ビット名	機能
15	IRS	コンペアー一致割り込み要求信号選択ビット 0: コンペアー一致信号 1: コンペアー一致信号をラッチした信号
14	INTCLR2	コンペアー一致 2 割り込みクリアビット “1” を書くと、INTFLG2 ビットが “0” になります。本ビットは、“1” になったあと 2 クロックサイクル経過後に “0” になります。
13	INTCLR1	コンペアー一致 1 割り込みクリアビット “1” を書くと、INTFLG1 ビットが “0” になります。本ビットは、“1” になったあと 2 クロックサイクル経過後に “0” になります。
12	INTCLR0	コンペアー一致 0 割り込みクリアビット “1” を書くと、INTFLG0 ビットが “0” になります。本ビットは、“1” になったあと 2 クロックサイクル経過後に “0” になります。
11	予約ビット	読むと “0” が読み出されます。書き込みは “0” としてください。
10	INTFLG2	コンペアー一致 2 割り込みフラグ 0: 割り込み要求なし 1: 割り込み要求あり
9	INTFLG1	コンペアー一致 1 割り込みフラグ 0: 割り込み要求なし 1: 割り込み要求あり
8	INTFLG0	コンペアー一致 0 割り込みフラグ 0: 割り込み要求なし 1: 割り込み要求あり
7 ~ 0	予約ビット	読み出し値は不定です。書き込みは “0” としてください。

IRS ビット

割り込みコントローラへのコンペア一致割り込み要求信号を選択します。

“0”を選択した場合、割り込み要求信号は角度値と RDC2nCMPj レジスタ (j = 0 ~ 2) に設定した値が一致している間 “H” になり、一致が外れると “L” になります。

“1”を選択した場合、割り込み要求信号は角度値と RDC2nCMPj レジスタに設定した値が一致すると “H” になります。この場合、いったん “H” になると、一致が外れても “L” になりません。一致が外れた状態で INTCLRj ビットに “1” を書くことで、“L” になります。

つまり、INTFLGj ビットが割り込み要求信号として通知される状態となります。

よって、割り込み処理後は INTCLRj ビットを用いて INTFLGj ビットをクリアしてください。

なお、本ビットの設定変更時は次の点にご注意ください。

- “1” に設定する場合は、INTFLGj = “0” であることを確認してから変更してください。INTFLGj = “1” である場合は、phi とコンペア値設定 (RDC2nCMP0、RDC2nCMP1、RDC2nCMP2) が一致していない状態でフラグをクリアしてください。(INTCLRj = “1”)
- 動作中に設定しないでください。

INTCLR0、INTCLR1、INTCLR2 ビット

これらのビットは、それぞれ INTFLG0、INTFLG1、INTFLG2 および割り込み信号 (IRS = 1 のとき) をクリアします。

角度値と RDC2nCMPj レジスタに設定した値が一致している間は、“1” を書いても INTFLG0、INTFLG1、INTFLG2 ビットは “0” になりません。

一致が外れたあとに、再度 “1” を書いてください。

INTFLG0、INTFLG1、INTFLG2 ビット

角度値と RDC2nCMPj レジスタに設定した値が一致すると “1” になり、一致が外れた状態で INTCLRj ビットに “1” を書くと “0” になります。

25.3.22 RDC2nENCP — RDC2n エンコーダパルスレジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0046_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ENCPA	ENCPB	ENCPZ	—	—	—	—	HYSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 25.42 RDC2nENCP レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
7	ENCPA	エンコーダ A 相パルスビット エンコーダパルス A 相の値を格納します。 0: “L” 1: “H”
6	ENCPB	エンコーダ B 相パルスビット エンコーダパルス B 相の値を格納します。 0: “L” 1: “H”
5	ENCPZ	エンコーダ Z 相パルスビット エンコーダパルス Z 相の値を格納します。 0: “L” 1: “H”
4 ~ 1	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
0	HYSS	ヒステリシス選択ビット 0: ヒステリシスあり 1: ヒステリシスなし

HYSS ビット

“0”を設定すると、エンコーダパルスとコンペアー一致信号の生成に、±1 のヒステリシスを持たせます。なお、本ヒステリシス回路は 12bit 分解能設定 (MAXV[2:0] = 001_B 設定) にのみ対応しています。他の分解能設定使用時は HYSS ビット = 1 (ヒステリシスなし) にてご使用ください。

25.3.23 RDC2nANSTP — RDC2n アナログ回路停止レジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0048_H

リセット後の値 8000_H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ANSTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.43 RDC2nANSTP レジスタの内容

ビット位置	ビット名	機能
15	ANSTP	R/D コンバータ停止レジスタ アナログ回路を停止します。 0: アナログ回路動作 1: アナログ回路停止
14 ~ 0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

ANSTP ビット

“1”に設定すると、アナログ回路がすべて停止し、アナログ端子（RDC2nSINMNT、RDC2nCOSMNT、RDC2nS1、RDC2nS2、RDC2nS3、RDC2nS4、RDC2nRSO、RDC2nCOM）がすべて Hi-Z になります。

25.3.24 RDC2nETECNT — RDC2nET イベント生成カウンタレジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <RDC2n_base> + 004C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.44 RDC2nETECNT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CNT[15:0]	イベント生成タイマカウンタ値 イベント生成タイマのカウンタ値が格納されます。

25.3.25 RDC2nETCON — RDC2nET 制御レジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 004E_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ZCSTR G	—	—	—	—	—	—	—	—	—	CMPEN	IREN	DREN	ADTEN	ZCES	CNTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.45 RDC2nETCON レジスタ の内容

ビット位置	ビット名	機能
15	ZCSTRG	ゼロクロス信号ソフトウェアトリガビット “1”を書くと、励磁タイマのゼロクロス信号のトリガが発生します。常に“0”が読めます。
14 ~ 6	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
5	CMPEN	コンペアー一致機能有効ビット 0: コンペアー一致機能無効 1: コンペアー一致機能有効
4	IREN	励磁タイマ割り込み要求許可ビット 0: 割り込み禁止 1: 割り込み許可
3	DREN	DMA 要求許可ビット 0: DMA 要求禁止 1: DMA 要求許可
2	ADTEN	A/D 変換開始トリガ許可ビット 0: A/D 変換開始トリガ禁止 1: A/D 変換開始トリガ許可
1	ZCES	ゼロクロス信号エッジ選択ビット 検出するエッジを選択します。 0: 立ち上がりを検出 1: 立ち下がりを検出
0	CNTEN	カウント動作許可ビット 周期計測タイマ、イベント生成タイマの動作を許可します。 0: 周期計測タイマ、イベント生成タイマ停止 ^{注1} 1: 周期計測タイマ、イベント生成タイマ動作

注 1. イベント生成タイマのカウンタにはリロードレジスタ (RDC2nETRLD) の値が取り込まれます。

25.3.26 RDC2nETCMP — RDC2nET コンペアレジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0050_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMP[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.46 RDC2nETCMP レジスタ の内容

ビット位置	ビット名	機能
15 ~ 0	CMP[15:0]	周期計測タイマコンペア値 コンペア値を設定してください。

周期計測タイマのカウンタ値と RDC2nETCMP レジスタ設定値が一致すると、周期計測タイマのカウンタ値が RDC2nETCAP レジスタに取り込まれ、周期計測カウンタ値が“0000_H”になります。

周期計測タイマのカウンタ値と RDC2nETCMP レジスタ設定値が一致した次のサイクルで、励磁タイマ割り込み要求が生成します。

25.3.27 RDC2nETCAP — RDC2nET キャプチャレジスタ (n = 0、1)

アクセス 16ビット単位でリード可能です。

アドレス <RDC2n_base> + 0052_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.47 RDC2nETCAP レジスタ の内容

ビット位置	ビット名	機能
15 ~ 0	CAP[15:0]	周期計測タイマキャプチャデータ ゼロクロス信号検出時またはコンペアー一致発生時に、周期計測タイマの値が格納されます。

ゼロクロス信号を検出すると、周期計測タイマのカウンタ値が RDC2nETCAP レジスタに格納されます。

また、RDC2nETCON レジスタの CMPEN ビットが“1”のときに、周期計測タイマのカウンタ値と RDC2nETCMP レジスタの設定値が一致すると、周期計測タイマのカウンタ値が RDC2nETCAP レジスタに格納されます。

25.3.28 RDC2nETRLD — RDC2nET リロードレジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0054_H

リセット後の値 0000_H

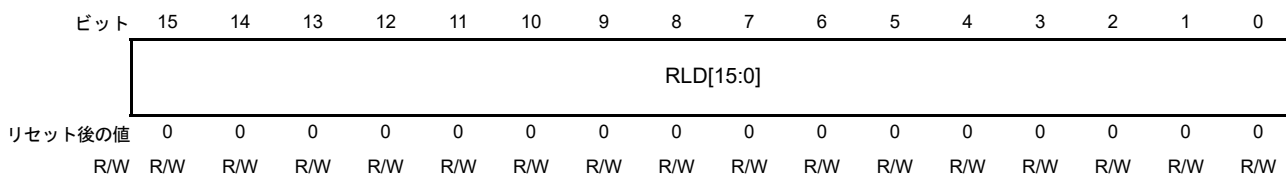


表 25.48 RDC2nETRLD レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	RLD[15:0]	イベント生成タイマリロード値 ゼロクロス信号のエッジを検出時に、イベント生成タイマのカウンタにリロードさせる値を設定してください。 設定値は 0002 _H 以上の値を設定してください。(0000 _H , 0001 _H は設定禁止)

25.3.29 RDC2nETPMCNT — RDC2nET 周期計測カウンタレジスタ (n = 0、1)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0056_H

リセット後の値 0000_H

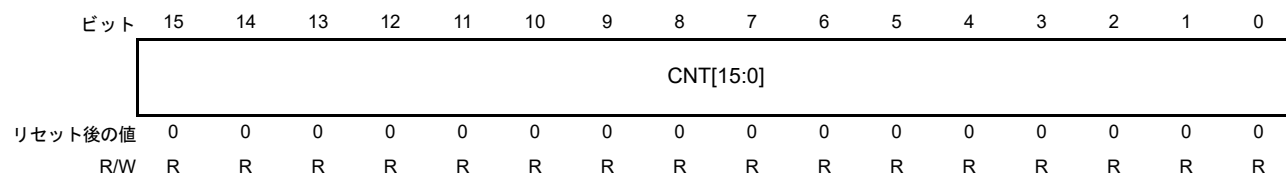


表 25.49 RDC2nETPMCNT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	CNT[15:0]	周期計測タイマカウンタ値 周期計測タイマのカウンタ値が格納されます。

カウンタ値が“FFFF_H”に達すると、カウンタは動作を停止します。

25.3.30 RDC2nEXSQR — RDC2n 励磁振幅二乗和積分値モニタレジスタ (n = 0、1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <RDC2n_base> + 0058_H

リセット後の値 XXXX_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ESQULL	ESQOUL	RLT[13:0]													
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.50 RDC2nEXSQR レジスタの内容

ビット位置	ビット名	機能
15	ESQULL	励磁振幅二乗和積分値下限割れ判定ビット 励磁振幅二乗和積分値下限割れ判定信号が格納されます。 0：励磁振幅二乗和が閾値下限以上 1：励磁振幅二乗和が閾値下限より小さい
14	ESQOUL	励磁振幅二乗和積分値上限割れ判定ビット 励磁振幅二乗和積分値上限割れ判定信号が格納されます。 0：励磁振幅二乗和が閾値上限以下 1：励磁振幅二乗和が閾値上限より大きい
13 ~ 0	RLT[13:0]	励磁振幅二乗和積分値 励磁振幅二乗和積分値の 18 ビット中上位 14 ビットが格納されます。 値は 1 ms ごとに更新されます。

RDC2nEXSQR レジスタは、励磁振幅自動調整回路の励磁振幅二乗和積分値をモニタします。励磁振幅二乗和積分値（下式）は、SIN 側と COS 側の入力信号をそれぞれ二乗して加算し、一定期間積分した値です。

$$\int_0^t \{ (f(t) \sin \theta)^2 + (f(t) \cos \theta)^2 \} dt = \int_0^t (f(t))^2 \{ \sin^2 \theta + \cos^2 \theta \} dt = \int_0^t (f(t))^2 dt$$

25.4 機能説明

25.4.1 トラッキンググループ

25.4.1.1 PI 補償器帯域設定機能

本 RDC は 6 種類 (5 種類の固定帯域と自動調整) の帯域をレジスタにより設定できます。またさらに PI 補償器内の係数を詳細に設定することも可能です。この場合は RDC2nCON レジスタの BWCS ビットを“0”に設定してください。詳細は RDC2nCONSEL, RDC2nCGSEL レジスタを参照してください。

25.4.1.2 強制ゲイン制御機能

強制ゲイン制御機能は、リセット解除時などレゾルバ角と R/D 変換角度が大きくずれている場合に、追従性をよくするために使用します。

以下のいずれかの条件で、強制ゲイン制御機能が実行されます。

[強制ゲイン機能実行条件]

1. リセット解除時
2. レゾルバ信号異常からの復帰時
3. レゾルバ信号断線異常からの復帰時
4. BIST 開始時、および停止時
5. RDC2nRST レジスタの KIRST ビットに“1”を書いたとき

強制ゲイン制御機能が実行されると Kv ゲインが最大値に移行し、実行中は PI 補償器内の係数、および励磁抽出回路の設定が、強制的に表 25.51 の値になります。

強制ゲイン制御機能が実行される期間は、約 5 ms です。実行中に再度上記の強制ゲイン機能実行条件を満たすと、その時点から再び Kv ゲインが最大値となり、さらに実行期間が約 5 ms 延長されます。

また、RDC2nCON レジスタの FGCON ビットを“1” (強制ゲイン制御機能を使用しない) に設定するとリセット解除後以外は、強制ゲイン制御機能実行条件を満たしても実行されません。

機能が実行されると Kv ゲインが最大値に移行するため、レゾルバ角と R/D 変換角度が一致したあとも、約 1 ms 程度 R/D 変換角度が大きく振動します。

25.4.1.3 励磁信号源選択機能

RDC2nRSO 端子、RDC2nCOM 端子からの励磁出力、コモン出力を使用せずに、外部で発生した励磁信号を RDC2nRSO 端子、RDC2nCOM 端子に入力して R/D 変換に使用することができます。外部入力を使用する場合は RDC2nCON レジスタの EXIO ビットを“0”に設定してください。

25.4.1.4 使用センサ選択機能

レゾルバ信号 ($f(t) \cdot \sin\theta$, $f(t) \cdot \cos\theta$) は励磁成分を含みますが、RDC2nCON レジスタの SENS ビットを“0”に設定することにより励磁成分を含まない DC レゾルバ信号 ($E \cdot \sin\theta$, $E \cdot \cos\theta$) も使用することができます。DC レゾルバ信号を使用する場合、励磁成分抽出機能は無効になります。

25.4.1.5 励磁成分抽出機能

RDC へのアナログ信号入力として、励磁信号 (RDC2nRSO, RDC2nCOM)、レゾルバ信号 (RDC2nS1 ~ RDC2nS4) があります。励磁信号ラインの励磁成分 (正弦波成分) とレゾルバ信号ラインの励磁成分 (正弦波成分) に位相差が存在すると、位相差分だけ角度変換結果に誤差が生じる場合があります。レゾルバ信号ラインに含まれる励磁成分を抽出して角度変換に用いることにより、レゾルバ信号と励磁信号の位相差を低減することができます。

RDC2nCON レジスタの EXIO ビットを“0”に設定し外部励磁信号を使用する場合は、レゾルバの電気角と RDC 変換角度に差が大きいとき (電源立ち上げ時、異常発生時など)、抽出した励磁成分は使用できません。したがって、外部励磁信号を使用する場合は必ず RDC2nRSO, RDC2nCOM に外部励磁信号を入力してください。

レゾルバ電気角と R/D 変換角度の差が大きいときには励磁信号 (RDC2nRSO, RDC2nCOM) を使用し、差が小さいときには抽出した励磁成分を使用することを自動で行います。励磁信号抽出機能があるため、励磁信号とレゾルバ信号の位相差調整を厳密に行う必要がなくなります。

25.4.1.6 最大角速度設定機能

RDC2nMAXV レジスタの MAXV[2:0] ビットにより追従可能な最大角速度 (分解能) を設定することができます。選択した分解能でのビット飛びは起こりません。

25.4.1.7 コンペアー一致割り込み

RDC2nCMPj レジスタ (j=0~2) に設定した角度と R/D 変換角度が一致したときにコンペアー一致割り込み要求信号を出力します。コンペアー一致比較対象のビット幅は RDC2nMAXV レジスタの MAXV[2:0] ビット (最大角速度選択) で設定されたビット幅になります。

コンペアー一致割り込み要求信号は、RDC2nCMINT レジスタの IRS ビットで、コンペアー一致信号またはコンペアー一致割り込み信号をラッチした信号のいずれかを選択できます。IRS ビットを“0”にした場合、R/D 変換角度と RDC2nCMPj レジスタに設定した角度が一致している間“H”になり、一致がはずれると“L”になります。

IRS ビットを“1”にした場合は、R/D 変換角度と RDC2nCMPj レジスタに設定した角度が一致するとコンペアー一致割り込み要求信号は“H”になり、また RDC2nCMINT レジスタの INTFLGj フラグが“1”になります。この場合、要求信号は一致がはずれた後も“H”を保持します。R/D 変換角度と RDC2nCMPj レジスタに設定した角度が一致していない状態で、RDC2nCMINT レジスタの INTCLRj ビットを“1”にすると要求信号は“L”になり、INTFLGj フラグが“0”になります。R/D 変換角度と RDC2nCMPj レジスタに設定した角度が一致している状態で INTCLRj ビットを“1”にしても、要求信号は“H”のまま、INTFLGj フラグも“0”になりません。

RDC2nENCP レジスタの HYSS ビット=“0”設定でヒステリシス機能を ON にすると、比較対象ビット付近で角度出力が安定しない場合にコンペアー一致割り込み信号および Z 相出力がチャタリングして出力することを防ぎます。

ヒステリシス回路は 12bit 分解能設定 (MAXV[2:0]=001_B 設定) でのみ使用可能です。

図 25.3 にヒステリシス機能 OFF の場合のコンペアー一致割り込み要求信号タイミング図を、図 25.4 にヒステリシス機能 ON の場合のコンペアー一致割り込み要求信号タイミング図を示します。

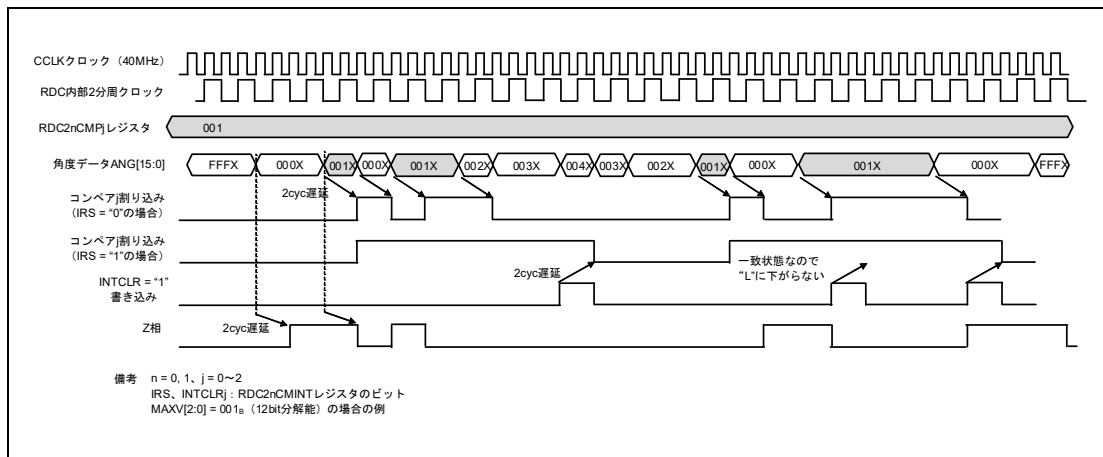


図 25.3 ヒステリシス機能 OFF の場合のコンペアー一致割り込み要求信号タイミング図

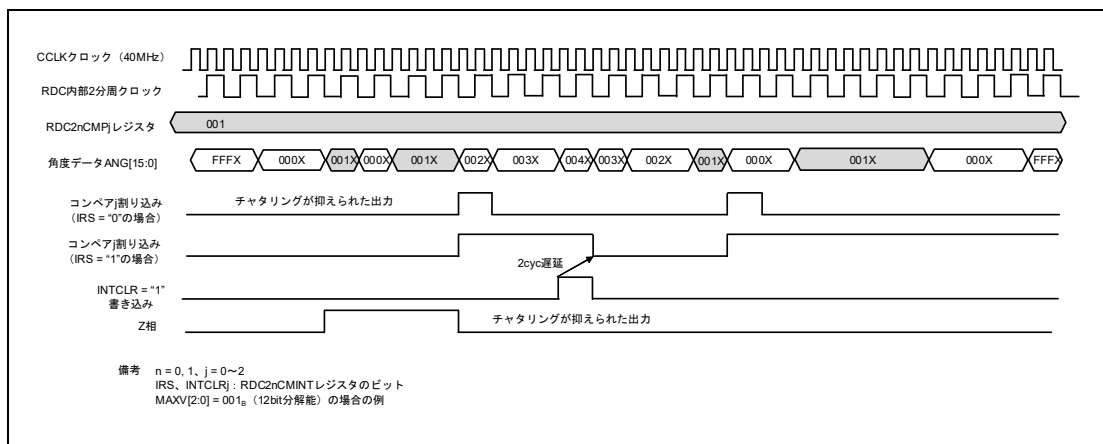


図 25.4 ヒステリシス機能 ON の場合のコンペアー一致割り込み要求信号タイミング図

25.4.1.8 エンコーダパルス出力機能

エンコーダパルス信号 (A相、B相、Z相) を出力します。

Z相割り込み信号については R/D 変換角度が 0° になったときに “H” になります。その比較対象ビット幅はコンペアー一致割り込み要求信号の場合と同じく、RDC2nMAXV レジスタの MAXV[2:0] ビットで設定したビット幅になります。エンコーダパルス信号は RDC2nOUTC レジスタの対応するビットを “1” (出力許可) にすることで出力されます。

RDC2nENCP レジスタの HYSS ビットで、ヒステリシス回路を通して出力するか、通さずに出力するかを選択できます。ヒステリシス回路は 12bit 分解能設定 (MAXV[2:0] = 001_B 設定) でのみ使用可能です。

図 25.5 にヒステリシス機能 ON の場合のエンコーダ相当パルス動作波形を、図 25.6 にヒステリシス機能 OFF の場合のエンコーダ相当パルス動作波形を示します。

比較対象ビット付近で角度出力が安定しない場合の Z 相出力波形については図 25.3 および図 25.4 を参照ください。

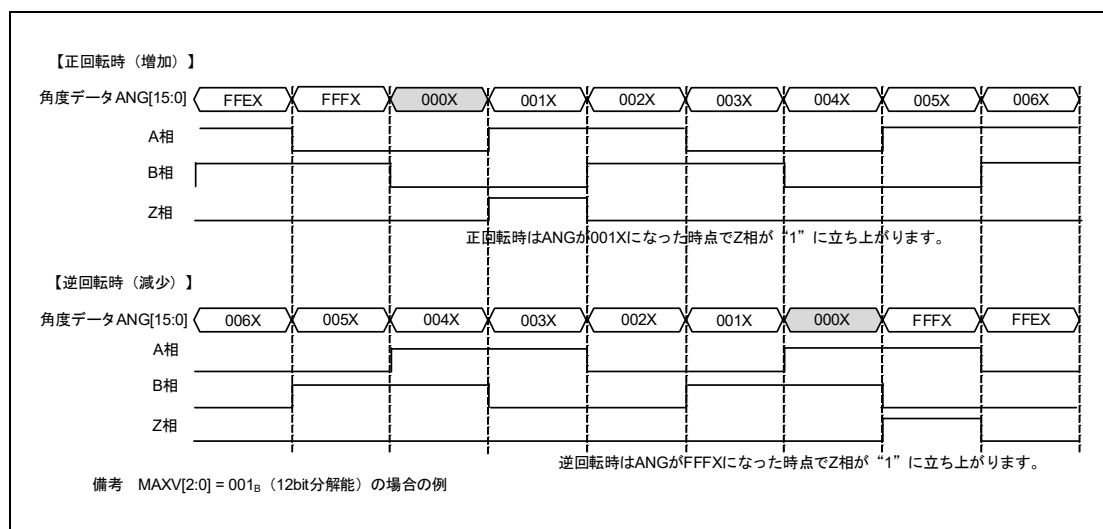


図 25.5 ヒステリシス機能 ON の場合のエンコーダ相当パルス動作波形

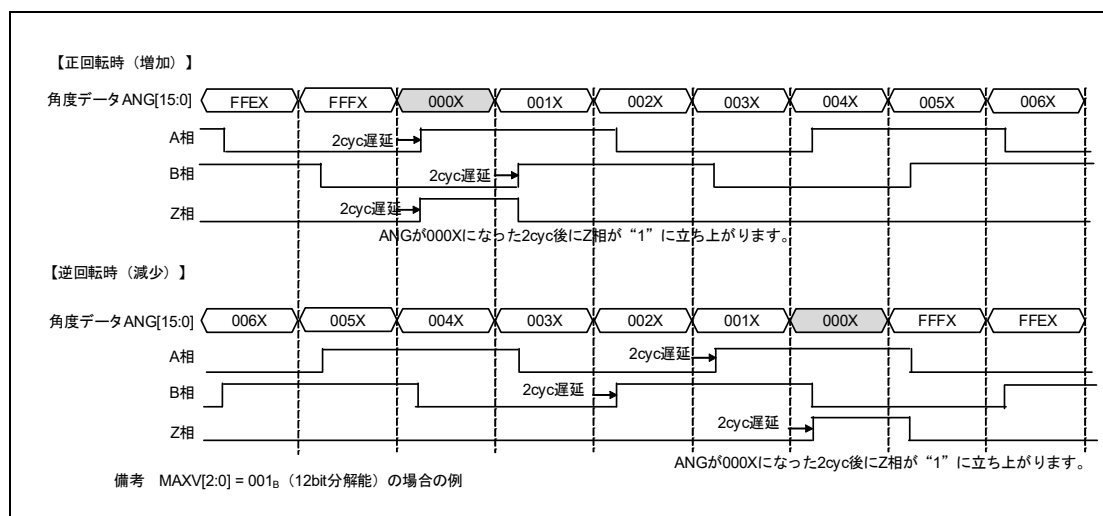


図 25.6 ヒステリシス機能 OFF の場合のエンコーダ相当パルス動作波形

25.4.1.9 モニタ機能

角速度情報、制御偏差値を直接レジスタから読み出す機能です。角速度情報を読み出す場合は RDC2nCONSEL レジスタの DATSEL[3:0] ビットを “1001_B” に設定した状態で、RDC2nDATSTR レジスタのビット 15～0 を読み出してください。読み出した値が負の数の場合は 2 の補数で表現されています。

表 25.51 に RDC2nDATSTR レジスタと角速度情報の関係を示します。たとえば、角速度読み出し結果が “CFE0_H” の場合、2 進数表示は表に示すとおりです。この値は 2 の補数で表現されているので、これを補正するとビット 13, 12, 5 が “1” となります。該当するビットの角速度を合計すると -440,597 rpm となります。

表 25.51 RDC2nDATSTR レジスタと角速度情報の関係

各ビット	角速度 [rpm]	読み出し結果 (例)	
		CFE0 _H (2 の補数)	元の値
15	0: 正、1: 負	1	負
14	585,938 rpm	1	0
13	292,969 rpm	0	1
12	146,484 rpm	0	1
11	73,242 rpm	1	0
10	36,621 rpm	1	0
9	18,311 rpm	1	0
8	9,155 rpm	1	0
7	4,578 rpm	1	0
6	2,289 rpm	1	0
5	1,144 rpm	1	1
4	572 rpm	0	0
3	286 rpm	0	0
2	143 rpm	0	0
1	72 rpm	0	0
0	36 rpm	0	0

制御偏差値を読み出す場合は、RDC2nCONSEL レジスタの DATSEL[3:0] ビットを “0101_B” に設定した状態で、RDC2nDATSTR レジスタのビット 7～0 を読み出してください。読み出した値が負の数の場合は 2 の補数で表現されています。

表 25.52 に RDC2nDATSTR レジスタと制御偏差値 (%) の関係を示します。たとえば、制御偏差値読み出し結果が “93_H” の場合は、その 2 進数表示は表に示すとおりです。この値は 2 の補数で表現されているので、これを補正するとビット 6, 5, 3, 2, 0 が “1” となります。該当するビットの偏差を合計すると -85.16% となります。

表 25.52 RDC2nDATSTR レジスタと制御偏差値 (%) の関係

各ビット	制御偏差値 (%)	読み出し結果 (例)	
		93 _H (2 の補数)	元の値
b7	符号 (0 : 正、1 : 負)	1	負
b6	50 %	0	1
b5	25 %	0	1
b4	12.5 %	1	0
b3	6.25 %	0	1
b2	3.13 %	0	1
b1	1.56 %	1	0
b0	0.78 %	1	1

25.4.2 励磁信号出力

25.4.2.1 励磁信号出力 (RDC2nRSO、RDC2nCOM) 機能

RDC2nRSO 端子より 7 ビット DA による正弦波電圧信号を出力します。また RDC2nCOM 端子より $RVDD/2$ (2.5V) コモン電圧を出力します。RDC2nCON レジスタの EXIO ビットを“0” (励磁信号入力) にすることで、出力はオフになり、RDC2nRSO, RDC2nCOM 端子は入力になります。

RDC2nRSO 端子より出力される正弦波信号振幅は RDC2nEXAAT レジスタの EXOC[1:0] ビットで設定します。標準値の振幅は $0.4 \times RVDD$ [Vp-p] です。

25.4.2.2 振幅自動調整機能

適正な R/D 変換精度を得るためには、レゾルバ信号入力振幅 (モニタ信号振幅) を $0.4 \times RVDD \sim 0.6 \times RVDD$ [Vp-p] の範囲に収める必要があります。振幅自動調整機能は、励磁信号出力振幅および入力ゲイン抵抗値を自動で調整し、モニタ信号振幅がおおよそ $0.4 \times RVDD \sim 0.6 \times RVDD$ [Vp-p] の範囲に収まるように調整します。

自動調整の対象は励磁出力振幅と入力ゲイン抵抗です。RDC2nEXAAT レジスタの EAAOD ビットの設定により優先順位を設定できます。また、自動調整は常時調整を続ける仕様になっていますが、RDC2nEXAAT レジスタの EAATSP ビットを“1”に設定することで、自動調整を停止しその時点の調整値に固定することができます。EAATSP ビットを“0”に設定すると再び自動調整を開始します。

モニタ振幅を簡易型 ADC (4bit 分解能) でモニタし 1 ms 間の励磁振幅二乗和積分値を基に振幅の大きさを判定し、振幅調整を行います。判定閾値の H 側は $3V_{p-p}$ 程度、L 側は $2V_{p-p}$ 程度になります。

自動調整の結果を使用せずにレジスタに設定した励磁出力設定、入力ゲイン抵抗値設定を固定で使用することも可能です。

25.4.3 異常検出

25.4.3.1 異常検出機能

レゾルバ信号の異常やR/D変換動作の異常を監視/検出する機能です。表 25.53 に示す異常のいずれかを検出すると RDC 異常割り込みが発生するとともに、RDC2nERDET レジスタの対応するビットが“1”になります。

以下に異常検出要因を示します。

表 25.53 検出する異常

項目	検出する要因
レゾルバ信号異常	<ul style="list-style-type: none"> 励磁ライン (RDC2nRSO, RDC2nCOM) の断線 (接触不良含む) 励磁信号ダウン (励磁信号出力回路ダウン、ライン間の短絡等) 信号ライン間 (RDC2nS1-RDC2nS3, RDC2nS2-RDC2nS4) の短絡 レゾルバ巻線のレアショート
レゾルバ信号断線異常	レゾルバ信号 (RDC2nS1 ~ RDC2nS4) ラインの断線 (接触不良含む)
R/D 変換異常	トラッキング制御ループ (負帰還制御系) の制御偏差 (ϵ) 過大

25.4.3.2 レゾルバ信号異常検出機能

レゾルバに入力される励磁信号の異常によって起こるレゾルバ信号のバランスの乱れを検出します。レゾルバ信号異常が検出されると、RDC 異常割り込み要求信号が“H”になります。

モニタ出力 (RDC2nSINMNT、RDC2nCOSMNT) が閾値を下回った状態が約 220 us 継続した場合にレゾルバ信号異常と判定します。

25.4.3.3 レゾルバ信号断線異常検出機能

レゾルバ信号 (RDC2nS1 ~ RDC2nS4) ラインの断線 (接触不良含む) を検出します。レゾルバ信号断線異常が検出されると、RDC 異常割り込み要求信号が“H”になります。

モニタ出力 (RDC2nSINMNT, RDC2nCOSMNT) の DC レベル変動が設定した閾値より高くなった場合、レゾルバ信号断線異常と判定します。レジスタ値と閾値の関係は「35.5.3 異常検出の特性」を参照してください。

25.4.3.4 R/D 変換異常検出機能

R/D 変換ループの制御偏差を監視し、R/D 変換機能の動作異常を検出します。R/D 変換異常が検出されると、RDC 異常割り込み要求信号が“H”になります。

R/D 変換異常検知は、内部制御偏差 (ϵ) が設定した閾値を上回る、または下回ると制御偏差過大と認識します。レジスタ値と閾値の関係は「35.5.3 異常検出の特性」を参照してください。制御偏差過大状態が、RDC2nCONSEL レジスタの EDPS[1:0] ビットで設定した判定時間の 50% を超えた場合に R/D 変換異常と判定します。

R/D 変換異常検知回路には、レゾルバ高速回転に対応できる回路と未対応の回路があり、RDC2nCON レジスタの CVEDS ビットで選択できます。

25.4.4 自己診断

25.4.4.1 自己診断 (Built-In Self Test) 機能

自己診断 (Built-In Self Test) 機能は、RDC2nBISTC レジスタで BIST 指令を設定することにより RDC 内部において、みずから意図した模擬信号入力が発生させ、その模擬信号入力に対する出力信号を監視することで動作の妥当性を判断します。**表 25.54** にその診断内容を示します。

BIST 実行中の各出力は、模擬信号に対し動作します。

なお、BIST 実行時は次の設定を行ってください。

- (1) BIST 実行時は強制ゲイン制御機能を有効にしてください。(レジスタ RDC2nCON のビット FGCON に“0”を設定)
- (2) BIST 終了後は、RDC2nERDET レジスタの ERRST ビットを“1”にして、異常検出エラー信号をリセットしてください。

表 25.54 BIST 指令

項目	診断内容
角度変換 BIST	R/D 変換機能を自己診断します。レゾルバ信号入力として以下の電気角を設定できます。 <ul style="list-style-type: none"> • 指令角度 0° • 指令角度 45° • 指令角度 270°
異常検出 BIST	以下の異常検出機能を自己診断します。 <ul style="list-style-type: none"> • レゾルバ信号異常検出 BIST : レゾルバ信号異常検出機能を自己診断 • レゾルバ信号断線検出 BIST : レゾルバ信号断線検出機能を自己診断 • 変換異常 BIST : R/D 変換異常検出機能を自己診断

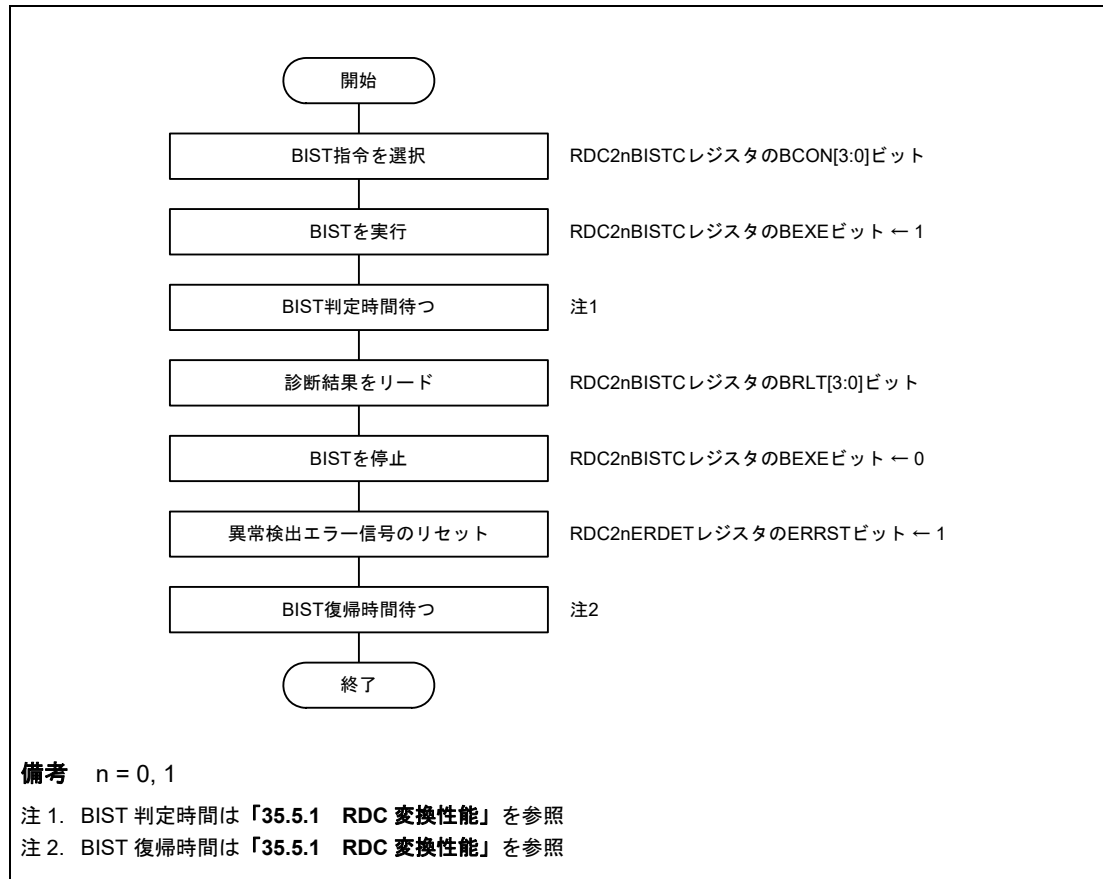


図 25.7 自己診断 (BIST) フロー

25.4.5 励磁タイマ (ET) 機能

励磁タイマは周期計測タイマとイベント生成タイマの2つの16ビットタイマで構成され、PCLK (40MHz) にてカウント動作します。図 25.8 に励磁タイマブロック図を示します。

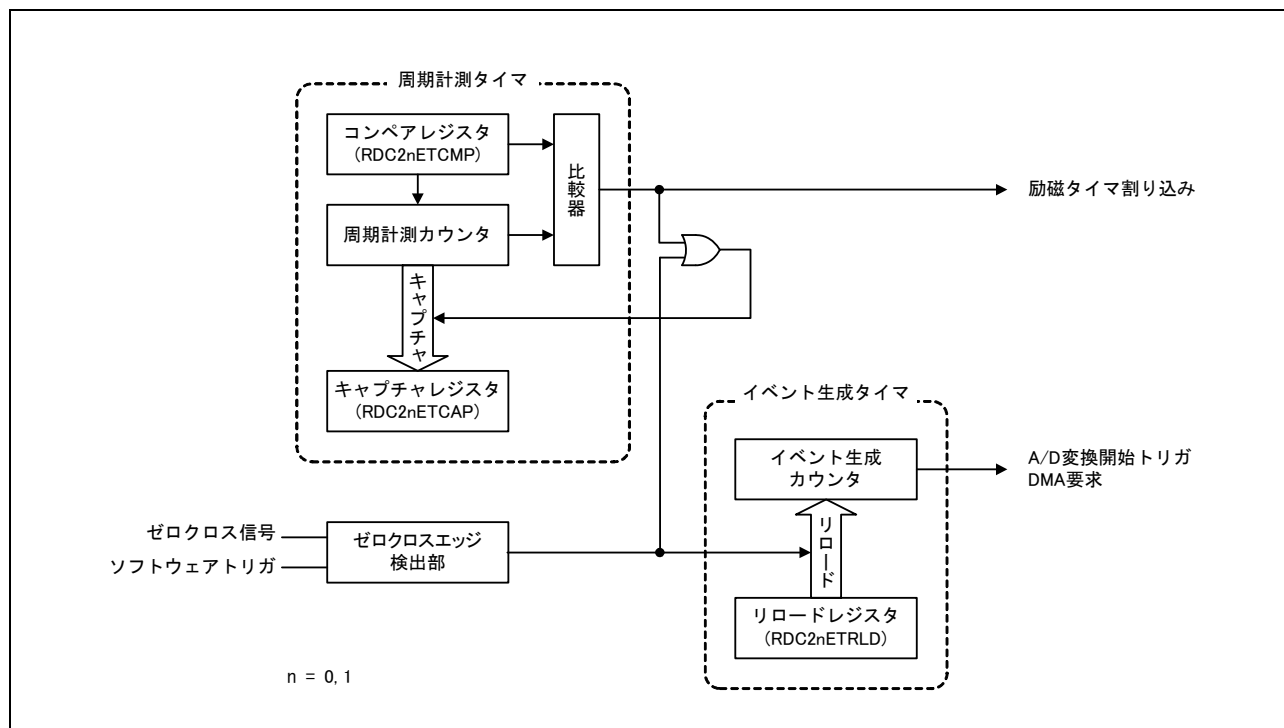


図 25.8 励磁タイマブロック図

25.4.5.1 周期計測タイマ

周期計測タイマは励磁信号（ゼロクロス信号）の周期を計測します。ゼロクロス信号のエッジ（立ち上がり／立ち下がり選択可）を検出すると周期計測カウンタの値をキャプチャし、ET キャプチャレジスタ（RDC2nETCAP）に格納します。これにより、励磁信号の周期を計測することができます。

励磁信号の周期は、「 $(RDC2nETCAP \text{ レジスタ値} + 1) \times PCLK \text{ 周期 (25ns)}$ 」で求められます。

また、RDC2nETCON レジスタの IREN ビットが“1”（割り込み許可）の場合、ET コンペアレジスタ（RDC2nETCMP）に設定した値と周期計測カウンタを比較して、一致したときに励磁タイマ割り込み要求を発生します。励磁信号の周期異常を検出するために RDC2nETCMP レジスタに励磁信号の周期よりも長い期間の値を設定してください。

周期計測タイマは、RDC2nETCON レジスタの ZCSTRG ビットに“1”を書いてゼロクロス信号のトリガを発生した場合も、ゼロクロス信号エッジの場合と同様の動作をします。

図 25.9 に周期計測タイマ動作例を示します。

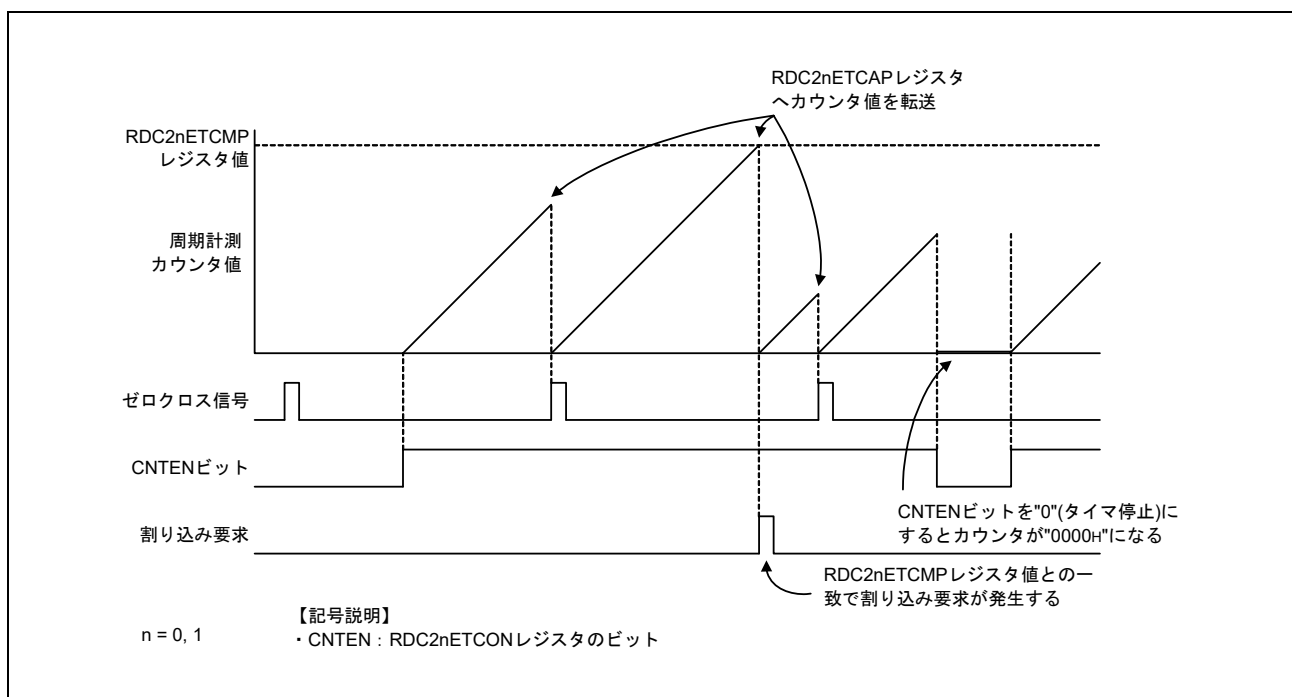


図 25.9 周期計測タイマ動作例

25.4.5.2 イベント生成タイマ

イベント生成タイマは、ゼロクロス信号のエッジから ET リロードレジスタ (RDC2nETRLD) で設定した時間後にトリガ信号 (A/D 変換トリガ、DMA 要求) を発生することができます。また、イベント生成タイマは、RDC2nETCON レジスタの ZCSTRG ビットに“1”を書いてゼロクロス信号のトリガを発生した場合も、ゼロクロス信号エッジの場合と同様の動作をします。図 25.10 にイベント生成タイマ動作例を示します。

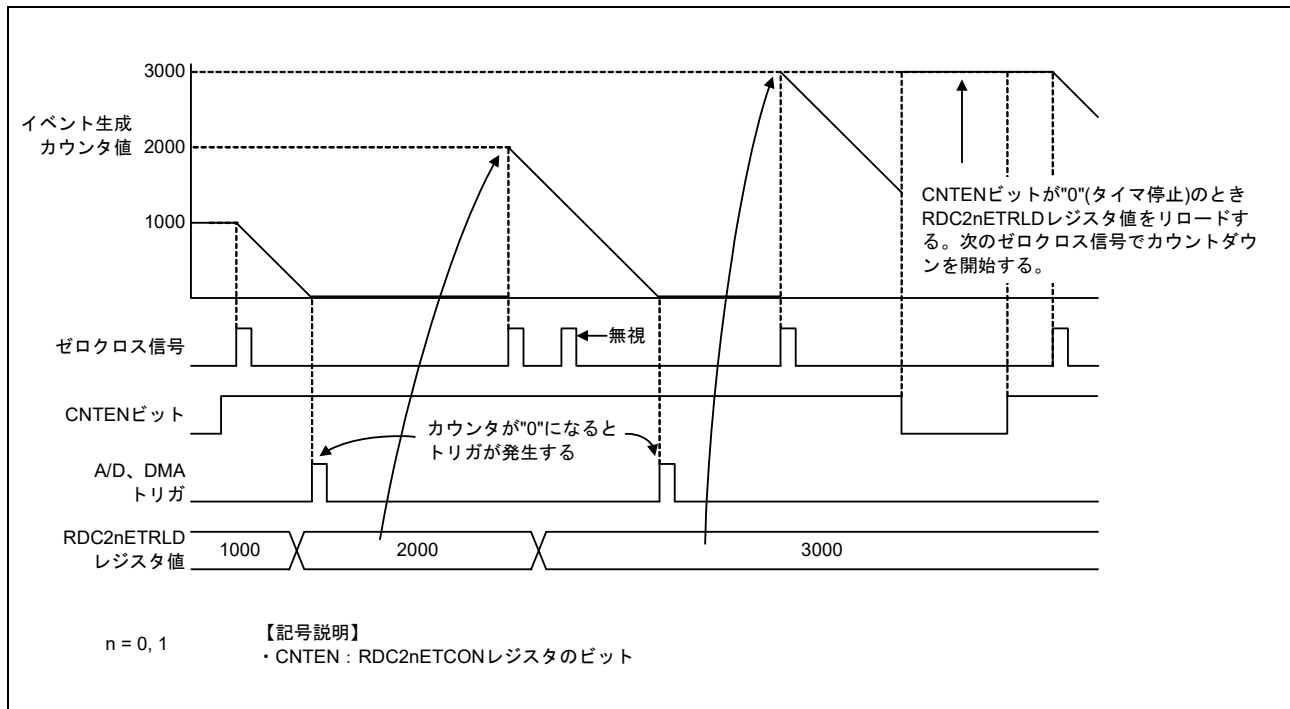


図 25.10 イベント生成タイマ動作例

25.4.5.3 励磁ゼロクロス信号

ゼロクロス信号は差動励磁信号入力のゼロクロスタイミングを示します。ゼロクロス信号は励磁タイマ回路に入力され、励磁頂点検出に使用します。

図 25.11 に差動励磁信号入力波形とゼロクロス信号の関係を示します。

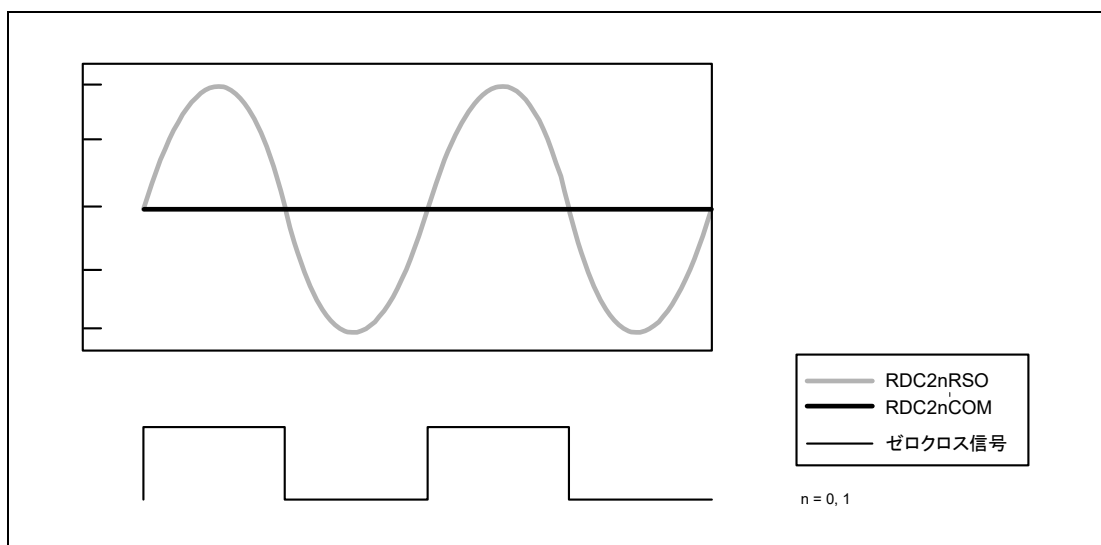


図 25.11 差動励磁信号入力 (RDC2nRSO, RDC2nCOM) とゼロクロス信号の関係

25.5 初期動作手順

図 25.12 に RDC2 初期動作フローを、図 25.13 にレジスタ初期設定フローを示します。

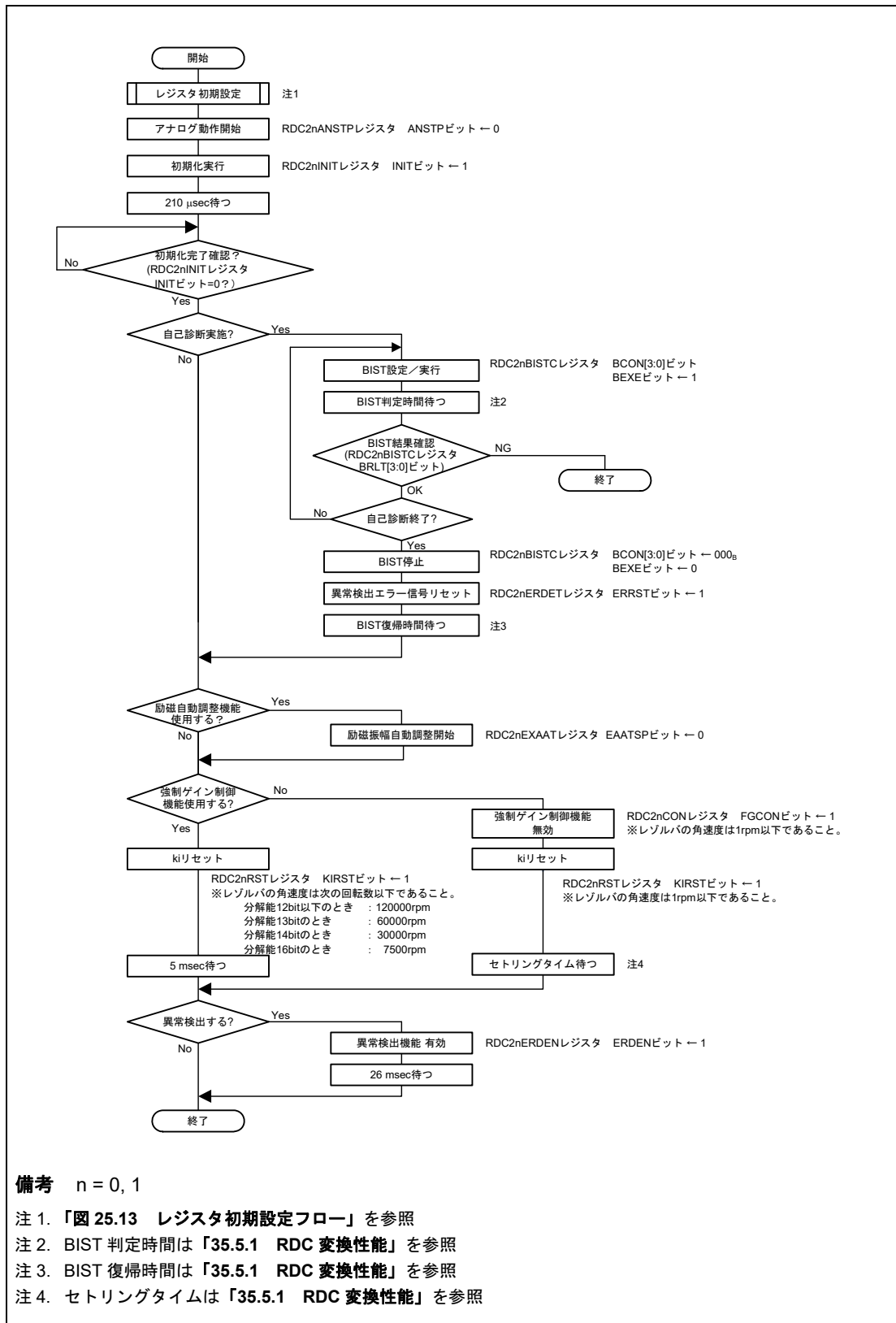


図 25.12 RDC2 初期動作フロー

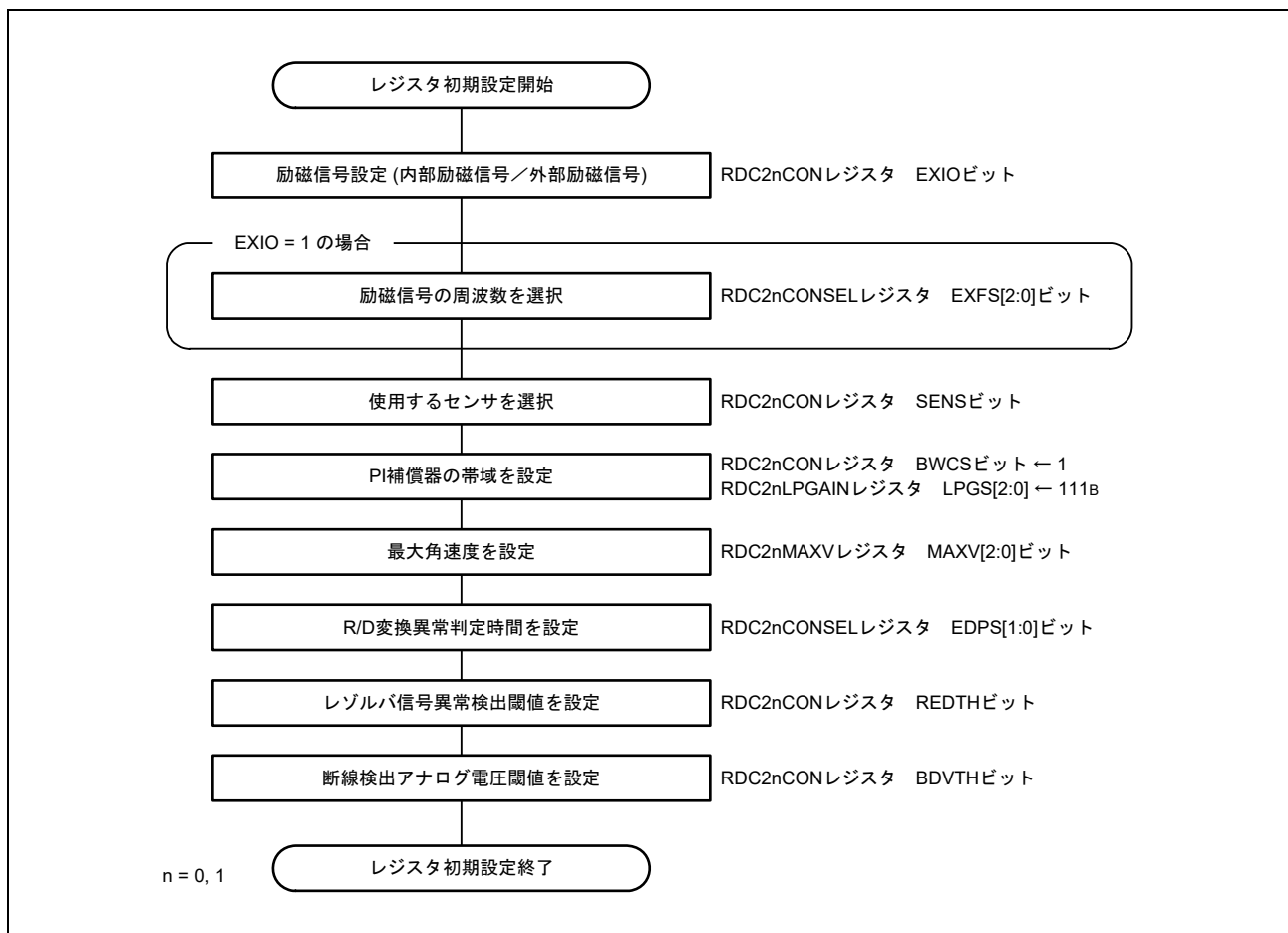


図 25.13 レジスタ初期設定フロー

25.6 レゾルバインタフェース回路

以下に具体的なインタフェース回路を参考例として示します。抵抗値等の定数決定や入出力保護回路などの付加については、各システムに合わせて判断し、十分評価してください。

25.6.1 レゾルバ信号入力 (差動) 回路

図 25.14 に VR レゾルバ信号入力回路およびモニタ出力の等価回路図を示します。

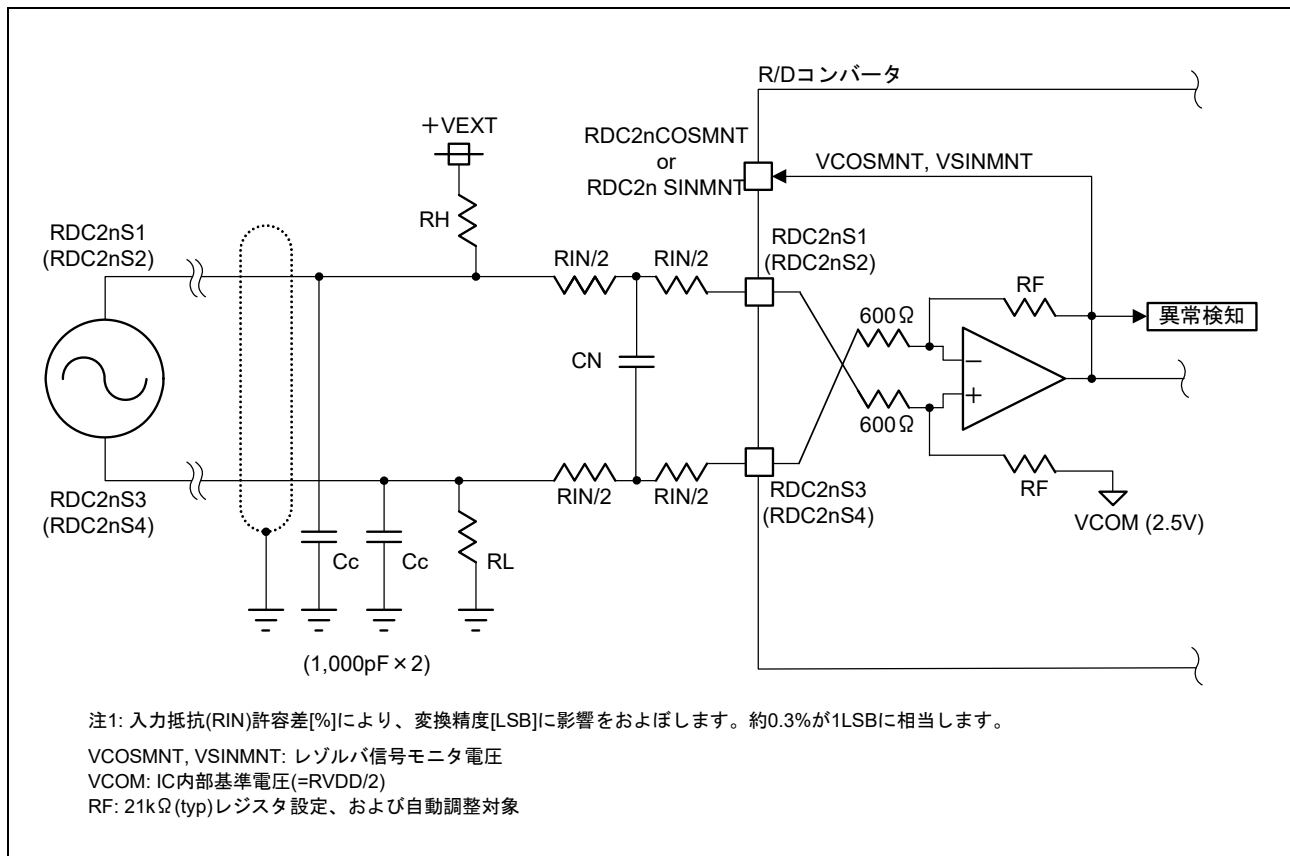


図 25.14 VR レゾルバ信号入力回路およびモニタ出力の等価回路図

- RIN : レゾルバ信号レベル

$$VCOSMNT \text{ or } VSINMNT = (VIN) \times (RF / (RIN + 600\Omega)) \cong 2 \sim 3[V_{p-p}]$$

ただし、VIN はレゾルバ端子間信号出力電圧 [V_{p-p}]、RIN ≧ 2[kΩ]

- RH および RL : 以下の計算値の 8 割～ 10 割の範囲で抵抗値を決定してください。

$$(1) RH \cong \{(RVDD - VCOM) / (22.0 \times 10^{-6})\} - RIN \quad \text{ただし、} VCOM = RVDD / 2[V]$$

$$(2) RL \cong \{VCOM / (22.0 \times 10^{-6})\} - RIN \quad \text{ただし、} VCOM = RVDD / 2[V]$$

図 25.15 に DC レゾルバ信号入力を使用する場合の等価回路を示します。

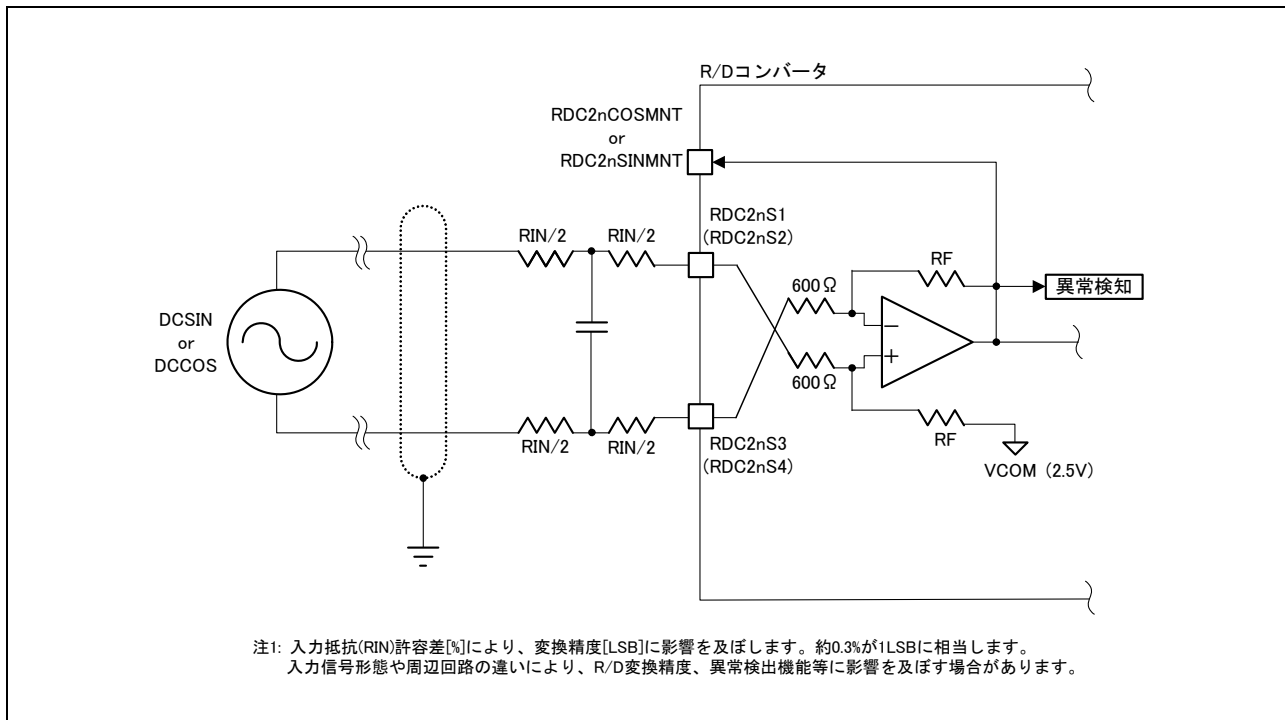


図 25.15 DC レゾルバ信号入力を使用する場合の等価回路

25.6.2 励磁電圧昇圧アンプ回路

25.6.2.1 励磁電圧昇圧アンプ回路 (単電源の場合)

図 25.16 に単電源での励磁電圧昇圧アンプ回路の等価回路を示します。

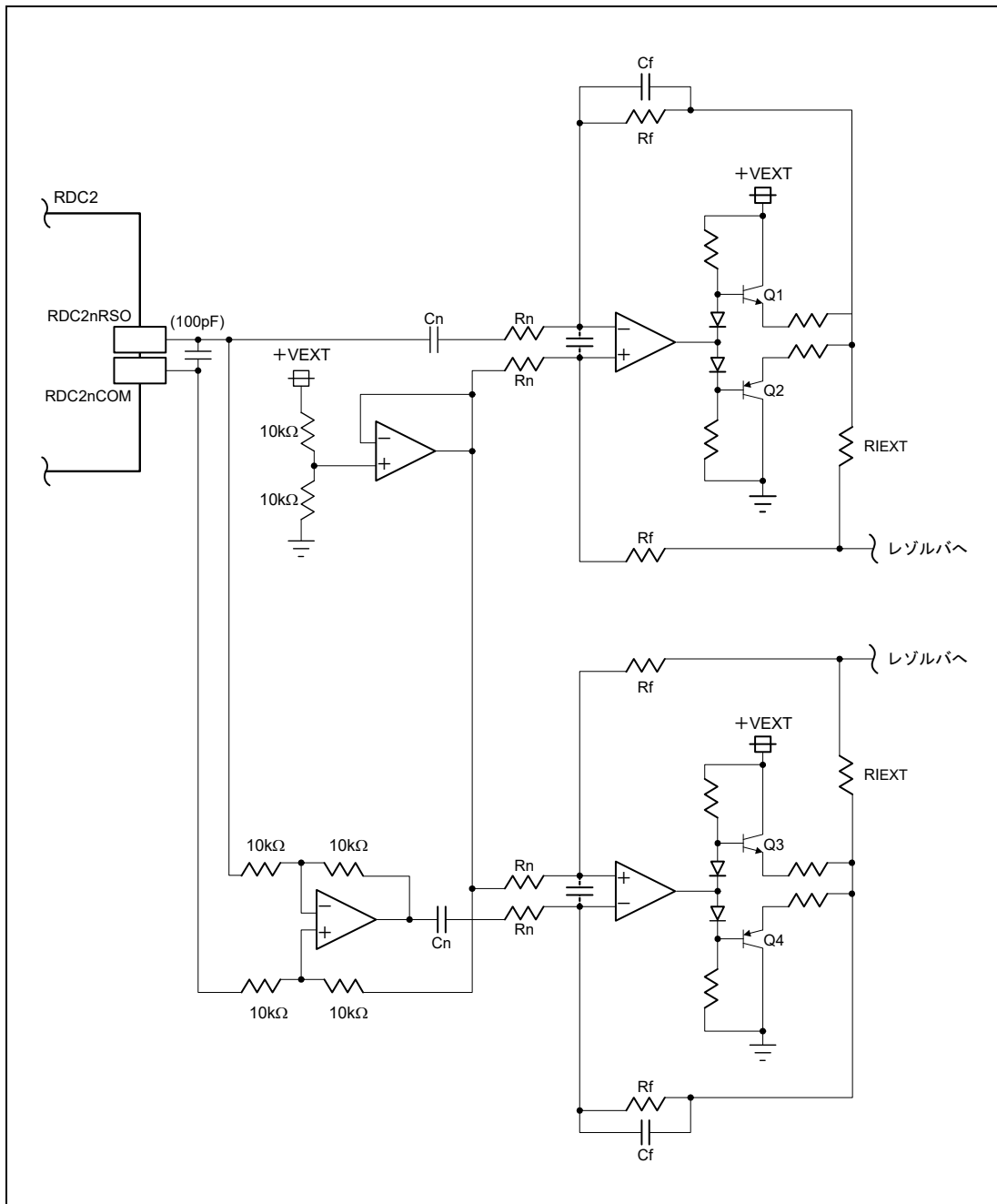


図 25.16 励磁電圧昇圧アンプ回路例 (単電源の場合)

25.6.2.2 励磁電圧昇圧アンプ回路 (両電源の場合)

図 25.17 に両電源での励磁電圧昇圧アンプ回路の等価回路を示します。

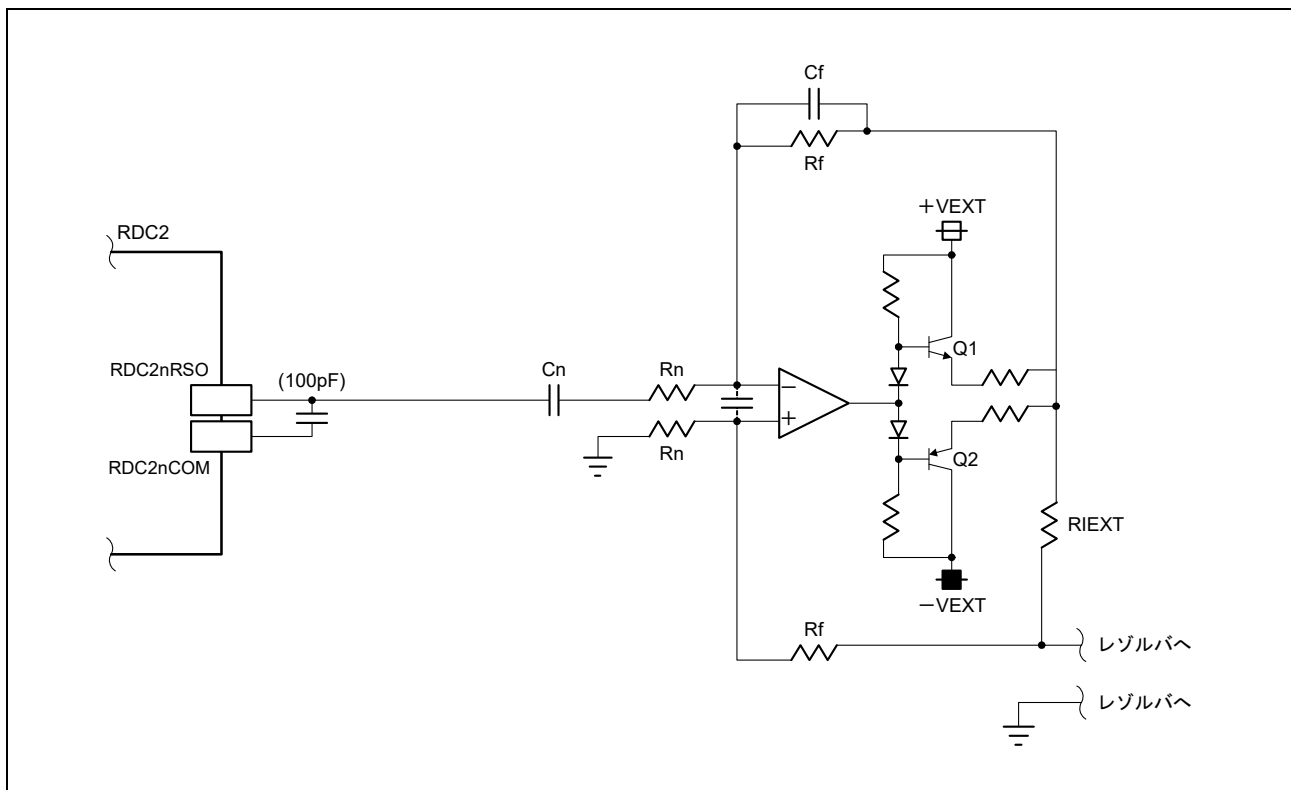


図 25.17 励磁電圧昇圧アンプ回路例 (両電源の場合)

25.6.2.3 励磁電圧昇圧アンプ回路の定数設定方法

参考に示した励磁電圧昇圧アンプ回路は、いずれも電流制御方式であり、励磁ライン間の短絡事故による二次故障防止等に有効であるとともに、昇圧によりレゾルバ信号の S/N 比改善が期待できます。

手順①：外部電源より励磁電圧設定し、励磁電流を求める。

$$VREF = IREF \times ZRO$$

手順②：励磁電流より回路定数を求める。

$$IREF = (VRSO \times Rf) / (RIEXT \times Rn)$$

【記号の説明】

+VEXT、-VEXT：外部電源（励磁電圧昇圧アンプ回路用）

IREF：レゾルバ励磁電流

RIEXT：レゾルバ励磁電流設定用抵抗

VREF：レゾルバ励磁電圧

ZRO：レゾルバ入力インピーダンス（仕様値）

VRSO：RDC2nRSO 端子出力電圧 (= 2Vp-p)

< 設定条件 >

- $RIEXT \leq (ZRO/10) [\Omega]$
- $Rf \geq 50k\Omega$ 、 $Cn \times Rn \geq 5 \times 10^{-4} [s]$ 、 $Cf \times Rf \leq 5 \times 10^{-6} [s]$
- オペアンプ用電源は、トランジスタバッファ用電源と同じものとする。

25.6.3 レゾルバ励磁信号外部入力方法

25.6.3.1 レゾルバ励磁信号入力回路 (単電源)

図 25.18 にレゾルバ励磁信号を外部から入力する場合 (単電源) の等価回路を示します。表 25.55 に単電源の場合のレゾルバ励磁信号外部入力回路の付加抵抗値 (参考値) を示します。

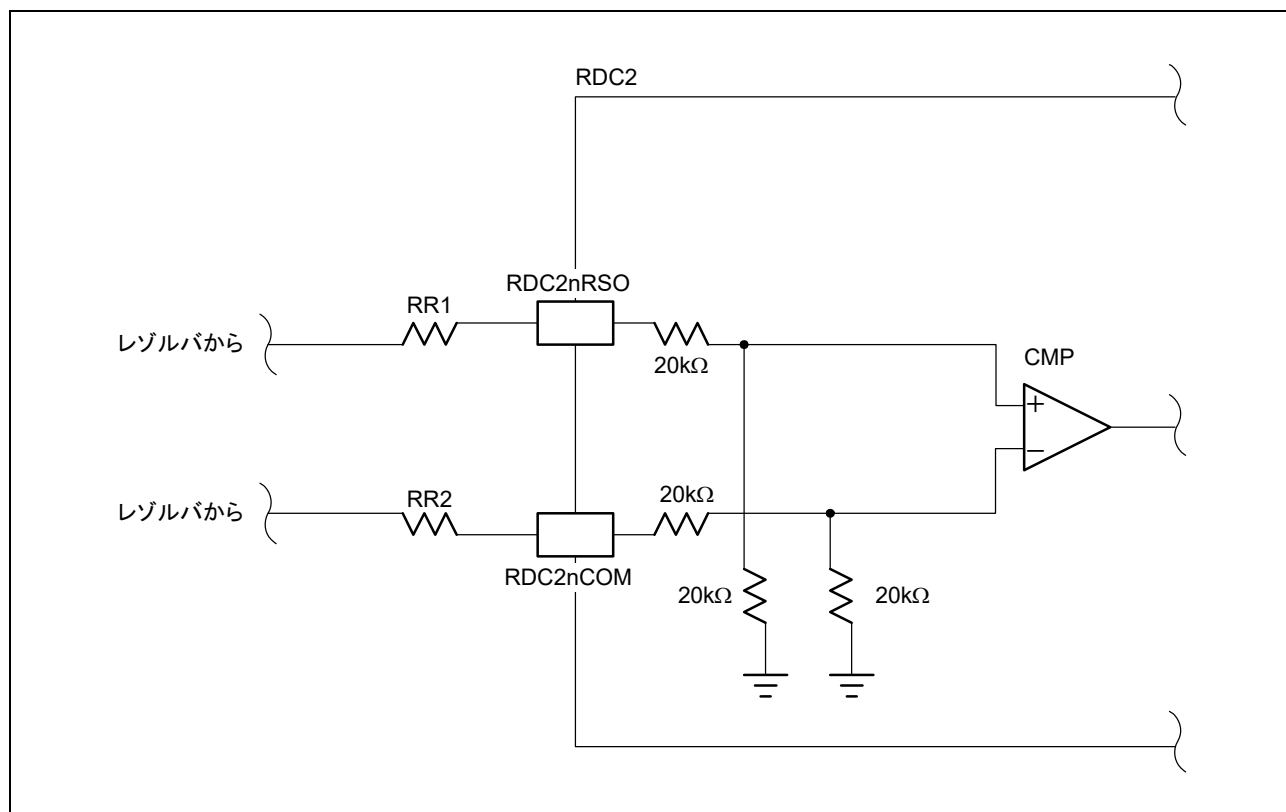


図 25.18 レゾルバ励磁信号外部入力回路 (励磁回路用電源が単電源の場合)

表 25.55 レゾルバ励磁信号外部入力回路の付加抵抗値 (参考値、単電源の場合)

+ VEXT	RR1, RR2
5V 系	0kΩ
12V 系	47kΩ
24V 系	120kΩ

25.7 使用上の注意事項

モータ用のセンサとしてレゾルバを使用する場合、モータの駆動制御形態により、レゾルバ信号は様々なノイズの影響を受けます。R/D変換を正常に行うためには、レゾルバ信号のS/N比を十分に確保する必要があります。

本RDCモジュールは応答性に優れたR/D変換モジュールであり、耐ノイズ性について考慮されてはいるものの、RDC単体ですべてのノイズ環境に適応できるものではなく、使用環境に応じて適切な周辺回路の検討が必要です。具体的なノイズ対策方法を、以下[対策I]～[対策VIII]に参考として示します。

25.7.1 磁気的外乱ノイズへの対応

モータ漏れ磁束がレゾルバを貫通した場合は、レゾルバ信号自体があたかも角度変化を生じたようにふるまい、結果的に誤動作となります。

[対策 I]

モータとレゾルバの取り付けにおいて、構造/材質の工夫により、レゾルバを貫通する磁気ループを遮断する（磁気シールド効果）ことにより、レゾルバを貫通するモータ漏れ磁束量を最小限に抑える。

[対策 II]

モータ漏れ磁束のレゾルバ貫通が完全に回避できない場合、本来の信号に対するS/N比を向上させるため、レゾルバ励磁電圧（電流）を上げる。

25.7.2 電気的外乱ノイズへの対応

モータのPWMドライブにより生じる電気的外乱（スパイクノイズ等）は極めて大きく、様々な経路を経て、レゾルバの励磁/信号ラインや電源ライン等のすべての電気系に影響をおよぼします。

[対策 III]

レゾルバ励磁ラインにコモンモード/ノーマルモードフィルタを挿入し、スパイクノイズ成分を除去する。一般的には、低インピーダンスの励磁ラインにはノイズは乗りやすく、対策の必要性は低い。

[対策 IV]

レゾルバ信号ライン (RDC2nS1-RDC2nS3, RDC2nS2-RDC2nS4) にコモンモード/ノーマルモードフィルタを挿入し、スパイクノイズ成分を除去する。その際、ノイズに対してのみ有効に働くようなフィルタ時定数の選定が必要であり、本来のレゾルバ信号波形そのものに歪み等の影響をおよぼすものであってはならない。また、RVSS（グランド）から見たRDC2nS1～RDC2nS4各端子の電氣的ノイズ波形が、同相となるように考慮する。

なお、本対策後も電気的外乱ノイズによるエラーが発生する場合には、レゾルバ信号レベルを低く抑えることが有効である。

[対策 V]

電源 (RVDD) ラインは、状況によりバイパスコンデンサ等を挿入する。

25.7.3 その他の一般的対応

[対策 VI]

レゾルバ配線にはツイストペア各対シールド電線を使用し、シールド端末は一括して回路側で処理する (GND (グラウンド) へ接地)。また、モータケーブルとは引き回しを分離する。

[対策 VII]

GND系を低インピーダンスに強化し、共通インピーダンスによるノイズ低減およびシールド効果を図る。また、モータドライバ放熱器やモータケース等の電位を、制御系 GND 電位で固定するのも方策のひとつである。

[対策 VIII]

モータドライバおよびセンサ回路を物理的に引き離すとともに、個々にシールドケース等で覆う。

第26章 A/Dコンバータ (ADCC)

本章では、A/Dコンバータ (ADCC) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1xに固有の特長について説明します。それ以降の節では、ADCCの機能、レジスタについて説明します。

26.1 RH850/C1x ADCCの特長

26.1.1 ユニット数

本製品は、以下のユニット数のADCCを搭載しています。

表 26.1 ユニット数

製品名	RH850/C1x
ユニット数	2
名称	ADCCn (n = 0, 1)

表 26.2 添字

添字	意味
n	本章では、ADCCの各ユニットを「n」(n = 0, 1)で識別します。たとえば、ADCCnユニットの仮想チャンネルレジスタjはADCCnVCRjと記述します。
j	本章では、ADCCのデータレジスタ数、仮想チャンネル数を「j」(j = 0 ~ 35)で識別します。たとえば、データレジスタjはADCCnDRjと記述します。
k	本章では、ADCCのT&Hチャンネル番号を「k」(k = 0 ~ 5)で識別します。
p	本章では、物理チャンネルグループを「p」(ADCC0:p = 0 ~ 3, ADCC1:p = 0 ~ 6)で識別します。
q	本章では、物理サブチャンネルグループを「q」(ADCC0:q = 0 ~ 3, ADCC1:q = 0 ~ 2)で識別します。
x	本章では、スキャングループを「x」(x = 0 ~ 4)で識別します。
y	本章では、ADタイマ数を「y」(y = 3 ~ 4)で識別します。

26.1.2 レジスタベースアドレス

ADCCのベースアドレスを以下の表に示します。

ADCCのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 26.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ADCC0_base>	FFF2 0000 _H
<ADCC1_base>	FFF2 1000 _H

26.1.3 クロック供給

ADCC のクロック供給を以下の表に示します。

表 26.4 クロック供給

ユニット名	ユニット クロック名	供給クロック名
ADCCn	PCLK	CLK_LSB (低速周辺クロック)
	clkad	CLKC_LSB (非変調低速周辺クロック)

26.1.4 割り込み要求

ADCC の割り込み要求を以下の表に示します。ADCCn のスキャングループ x 終了割り込みは ADInx で表します。

表 26.5 割り込み要求

割り込み名 (概要)	割り込み番号	DMA トリガ 番号	DTS トリガ 番号
ADCC0			
ADI00 ADCC0 スキャングループ 0 終了割り込み	172	64	0
ADI01 ADCC0 スキャングループ 1 終了割り込み	173	65	1
ADI02 ADCC0 スキャングループ 2 終了割り込み	174	66	2
ADI03 ADCC0 スキャングループ 3 終了割り込み	175	67	3
ADI04 ADCC0 スキャングループ 4 終了割り込み	176	68	4
ADE0 ADCC0 AD エラー割り込み	184	—	—
ADCC1			
ADI10 ADCC1 スキャングループ 0 終了割り込み	177	69	5
ADI11 ADCC1 スキャングループ 1 終了割り込み	178	70	6
ADI12 ADCC1 スキャングループ 2 終了割り込み	179	71	7
ADI13 ADCC1 スキャングループ 3 終了割り込み	180	72	8
ADI14 ADCC1 スキャングループ 4 終了割り込み	181	73	9
ADE1 ADCC1 AD エラー割り込み	185	—	—

26.1.5 リセット要因

ADCC のリセット要因を以下に示します。ADCC は以下のリセット要因で初期化されます。

表 26.6 リセット要因

ユニット名	リセット要因
ADCCn	すべてのリセット要因

26.1.6 外部入出力信号

ADCC の外部入出力信号とトラック & ホールド回路 (T&H 回路) の端子割り当てを以下の表に示します。

ADCC に外部出力信号はありません。

表 26.7 外部入出力信号 (1/2)

ユニット 信号名	概要	ポート端子 兼用信号名	T&H 回路 の割当て	対象製品	
				C1H 252 pin	C1M 144 pin
AVcc0	ADCC0 電源端子	A0VCC	—	○	○
AVss0	ADCC0 グランド端子	A0VSS	—	○	○
AVcc1	ADCC1 電源端子	A1VCC	—	○	○
AVss1	ADCC1 グランド端子	A1VSS	—	○	○
AVREFH0	ADCC0 基準電圧端子	A0VREFH	—	○	○
AVREFH1	ADCC1 基準電圧端子	A1VREFH	—	○	○
AN000	アナログ入力端子 000	ADCC0I00	—	○	○
AN001	アナログ入力端子 001	ADCC0I01	—	○	—
AN002	アナログ入力端子 002	ADCC0I02	—	○	—
AN003	アナログ入力端子 003	ADCC0I03	—	○	○
AN010	アナログ入力端子 010	ADCC0I10	—	○	—
AN011	アナログ入力端子 011	ADCC0I11	—	○	—
AN012	アナログ入力端子 012	ADCC0I12	—	○	—
AN013	アナログ入力端子 013	ADCC0I13	—	○	—
AN020	アナログ入力端子 020	ADCC0I20	—	○	○
AN021	アナログ入力端子 021	ADCC0I21	—	○	○
AN022	アナログ入力端子 022	ADCC0I22	T&H 回路 4	○	○
AN023	アナログ入力端子 023	ADCC0I23	T&H 回路 5	○	○
AN030	アナログ入力端子 030	ADCC0I30	T&H 回路 0	○	○
AN031	アナログ入力端子 031	ADCC0I31	T&H 回路 1	○	○
AN032	アナログ入力端子 032	ADCC0I32	T&H 回路 2	○	○
AN033	アナログ入力端子 033	ADCC0I33	T&H 回路 3	○	○
AN100	アナログ入力端子 100	ADCC1I00	—	○	○
AN101	アナログ入力端子 101	ADCC1I01	—	○	○
AN102	アナログ入力端子 102	ADCC1I02	—	○	○
AN110	アナログ入力端子 110	ADCC1I10	—	○	○
AN111	アナログ入力端子 111	ADCC1I11	—	○	○
AN112	アナログ入力端子 112	ADCC1I12	—	○	—
AN120	アナログ入力端子 120	ADCC1I20	—	○	○
AN121	アナログ入力端子 121	ADCC1I21	—	○	—
AN122	アナログ入力端子 122	ADCC1I22	—	○	—
AN130	アナログ入力端子 130	ADCC1I30	T&H 回路 0	○	○
AN131	アナログ入力端子 131	ADCC1I31	T&H 回路 1	○	○
AN132	アナログ入力端子 132	ADCC1I32	T&H 回路 2	○	○
AN140	アナログ入力端子 140	ADCC1I40	T&H 回路 3	○	○
AN141	アナログ入力端子 141	ADCC1I41	T&H 回路 4	○	○
AN142	アナログ入力端子 142	ADCC1I42	T&H 回路 5	○	○

表 26.7 外部入出力信号 (2/2)

ユニット 信号名	概要	ポート端子 兼用信号名	T&H回路 の割当て	対象製品	
				C1H 252 pin	C1M 144 pin
AN150	アナログ入力端子 150	ADCC1I50	—	○	—
AN151	アナログ入力端子 151	ADCC1I51	—	○	—
AN152	アナログ入力端子 152	ADCC1I52	—	○	—
AN160	アナログ入力端子 160	ADCC1I60	—	○	○
AN161	アナログ入力端子 161	ADCC1I61	—	○	○
AN162	アナログ入力端子 162	ADCC1I62	—	○	○

26.1.7 アナログ入力端子の命名規則

アナログ入力端子名はユニット信号名またはポート端子兼用信号名により表します。アナログ入力端子を物理チャネルと呼び、アナログ入力端子の名称は、物理チャネルグループ番号と物理サブチャネル番号で表します。

アナログ入力端子のユニット信号名とポート端子兼用信号名の命名規則を以下に示します。

ユニット信号名：AN + ユニット番号 + 物理チャネルグループ + 物理サブチャネル

ポート端子兼用信号名：ADCC + ユニット番号 + I + 物理チャネルグループ + 物理サブチャネル

たとえば、AN161 (ADCC1I61) は、ADCC1、物理チャネルグループ = 6、物理サブチャネル = 1 となります。

26.2 概要

26.2.1 機能概要

ADCCには以下の機能があります。

項目	概要
分解能	12ビット
A/D変換方式	逐次比較方式
変換時間	1チャンネルあたり 1.0μs
仮想チャンネル (仮想 ch) 数	ADCC0 : 36チャンネル (仮想 ch0 ~ 35) ADCC1 : 36チャンネル (仮想 ch0 ~ 35)
スキャングループ (SG) 数	ADCC0 : 5グループ (SG0 ~ 4) ADCC1 : 5グループ (SG0 ~ 4)
A/D変換モード	A/D変換は以下の4種類です。 <ul style="list-style-type: none"> • 通常 A/D 変換 • ホールド値 A/D 変換 • A/D 変換回路自己診断 • 加算 A/D 変換
スキャンモード	スキャンモードは以下の2種類です。 <ul style="list-style-type: none"> • マルチサイクルスキャンモード : 指定された回数スキャンを実行する • 連続スキャンモード : スキャンを無制限に繰り返し実行する
A/D変換開始トリガ	A/D変換開始トリガは以下の3種類です。 <ul style="list-style-type: none"> • ハードウェアトリガ (HW トリガ) • ソフトウェアトリガ (SW トリガ) • AD タイマトリガ (SG3、SG4のみ対応) <p>注意</p> <p>同時トラック&ホールド機能を使用する場合、AD タイマトリガは使用できません。</p>
スキャングループ処理の優先順位	スキャングループの処理中に別のスキャングループの処理を割り込むことができません。 優先順位は 高い 低い SG4>SG3>SG2>SG1>SG0 となります。
サスペンド機能	サスペンド方式は以下の3種類です。 <ul style="list-style-type: none"> • 同期サスペンド • 非同期サスペンド • 同期/非同期ミックス型サスペンド <p>同時トラック & ホールド機能を使用する場合、必ず非同期サスペンドを選択してください。</p>
割り込みと DMA, DTS 転送機能	以下の割り込みを発生させることができます。 <ul style="list-style-type: none"> • スキャングループ x 終了割り込み • AD エラー割り込み <p>スキャングループ x 終了割り込み信号で、DMA, DTS 転送を起動させることができます。</p>
EMU への A/D 変換結果転送機能	EMU に対し、以下の信号を出力することができます。 <ul style="list-style-type: none"> • AD 変換完了信号 (仮想 ch0 ~ 2) • AD 変換データ (仮想 ch0 ~ 2) • SG4 スキャン終了信号
自己診断機能	以下の自己診断機能を搭載しています。 <ul style="list-style-type: none"> • A/D 変換回路自己診断 • 端子レベル自己診断 • 断線検出自己診断

26.2.2 ブロック図

ADCC0のブロック図を図26.1に、ADCC1のブロック図を図26.2に示します。

(1) ADCC0の構成

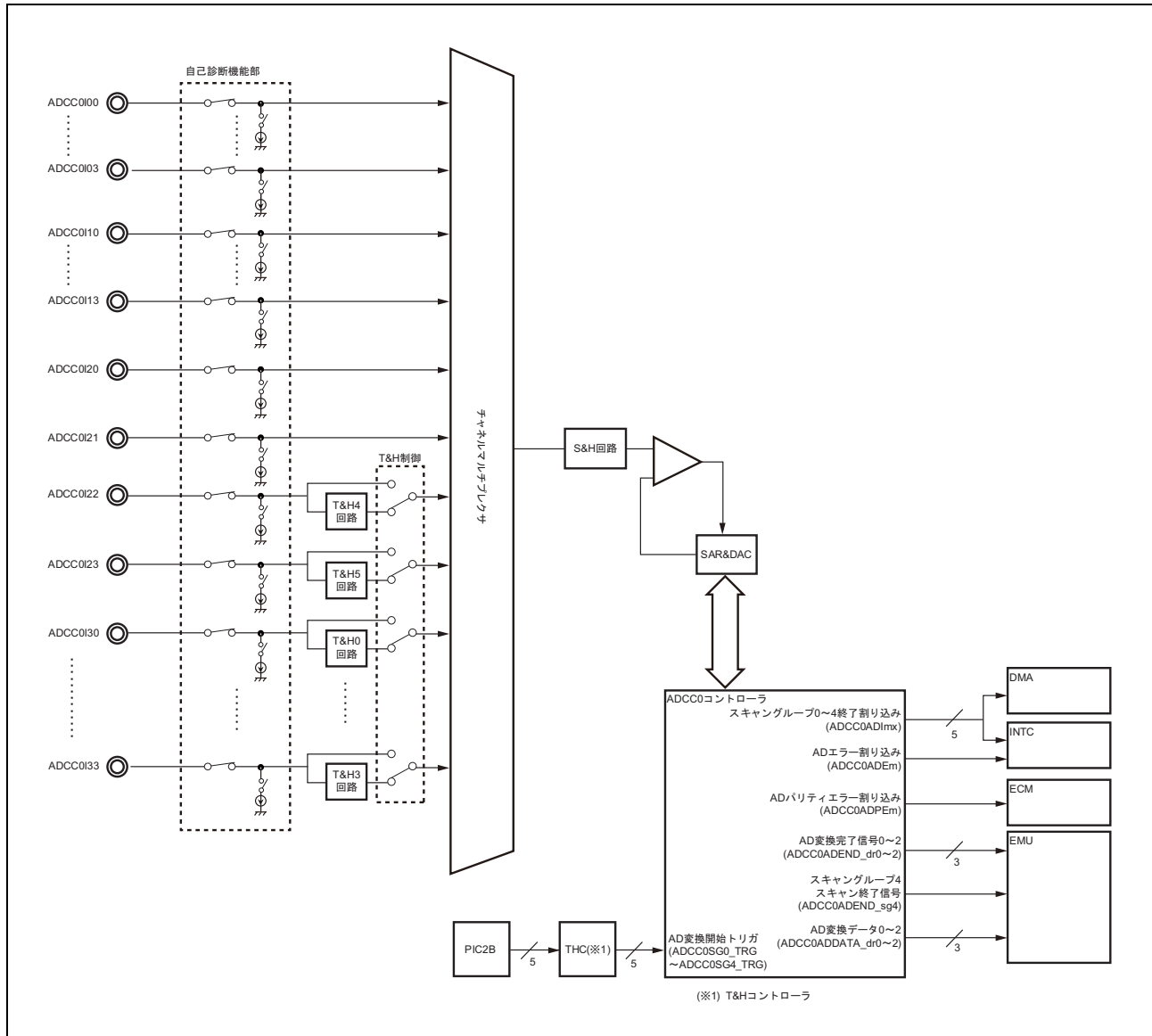


図 26.1 ADCC0のブロック図

(2) ADCC1の構成

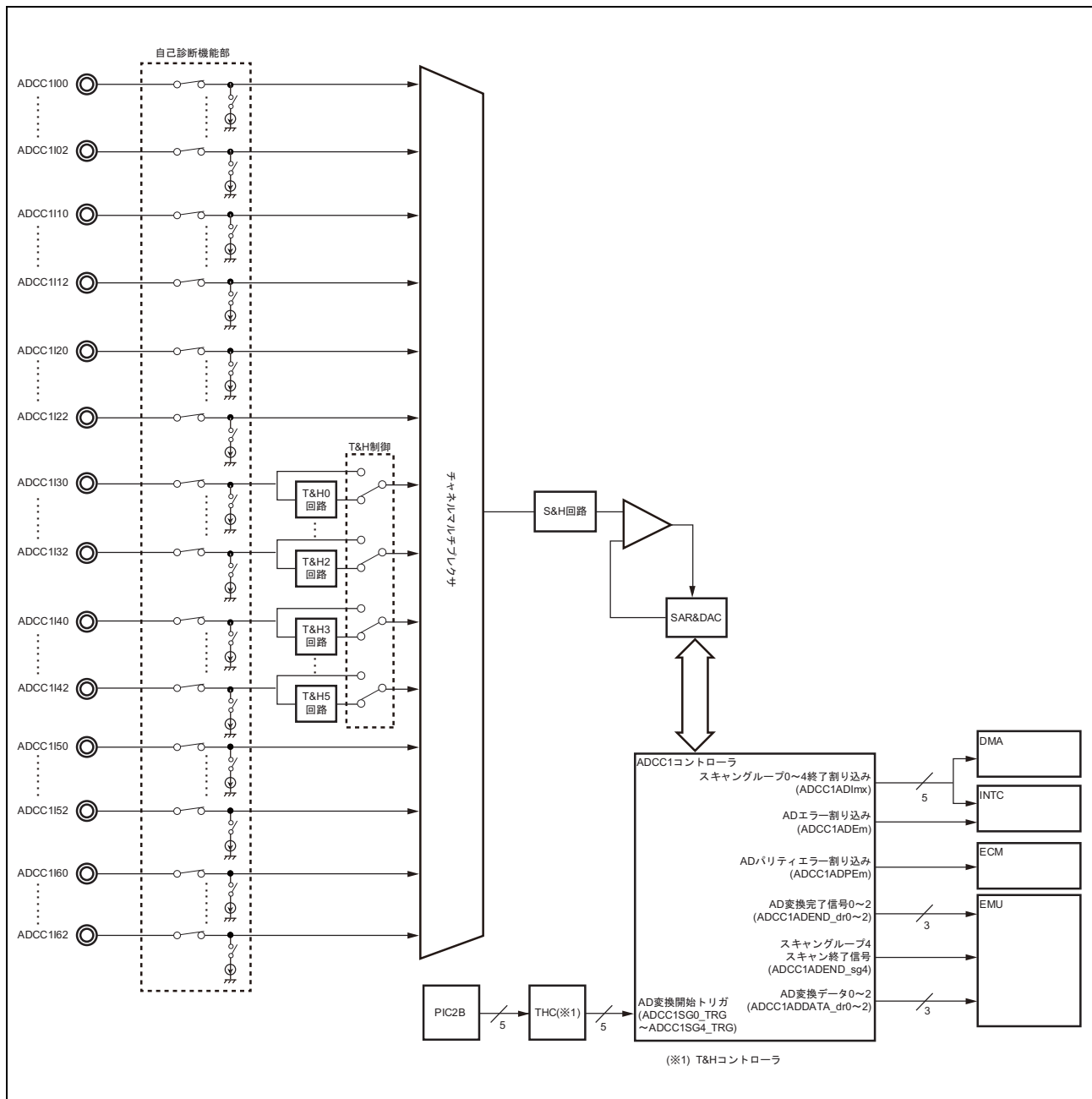


図 26.2 ADCC1のブロック図

(3) ADCC の機能ブロック図

以下に ADCC の機能ブロック図を示します。

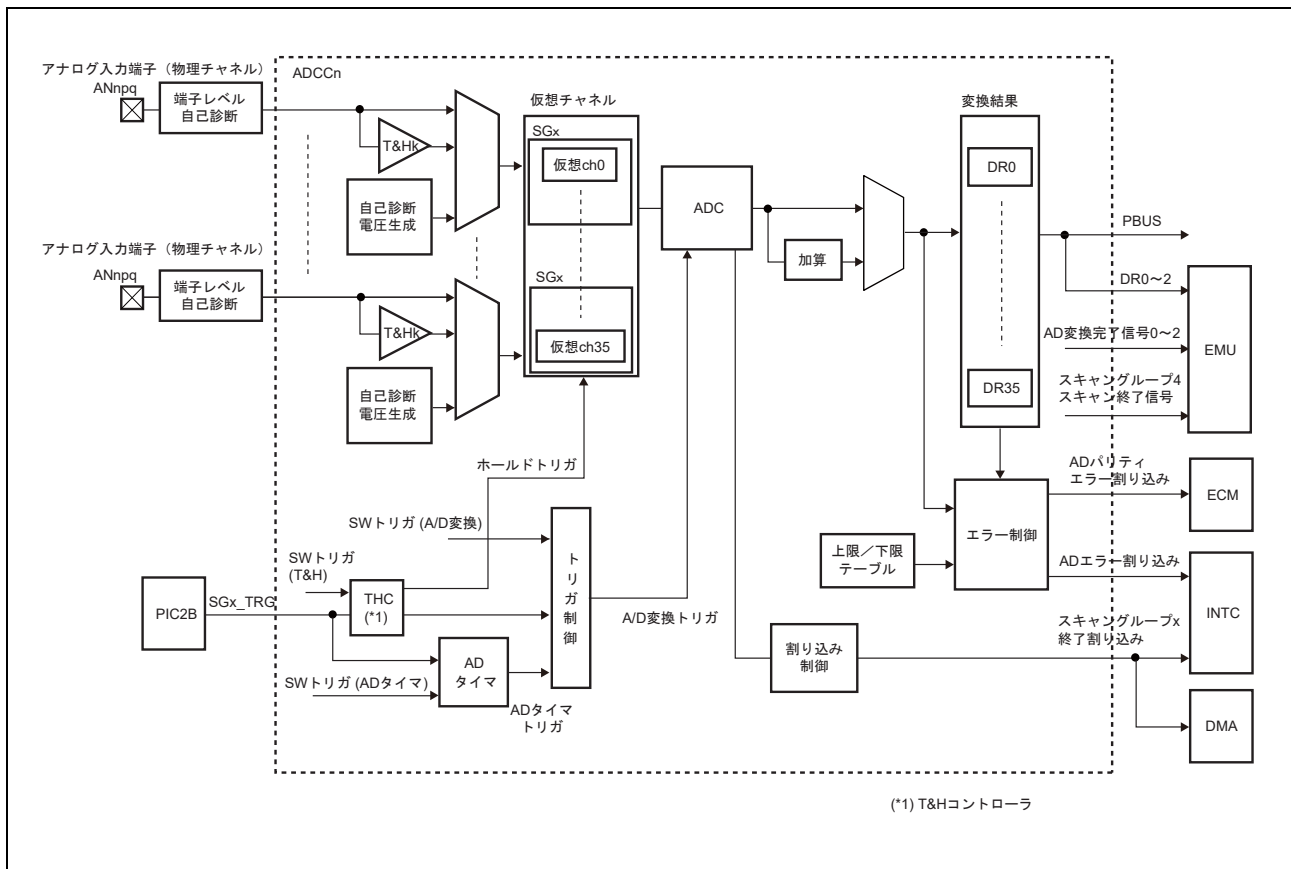


図 26.3 ADCC の機能ブロック図

26.2.3 仮想チャンネル (仮想 ch)

仮想チャンネルとは、アナログ入力端子 (物理チャンネル)、T&Hk 回路出力、A/D 変換回路自己診断出力のいずれかを任意に選択できるアナログ入力経路のことであり、各 ADCC には 36 チャンネル分の仮想チャンネルがあります。A/D 変換した結果は、仮想チャンネルと同番号のデータレジスタに格納されます。

以下にイメージ図を示します。

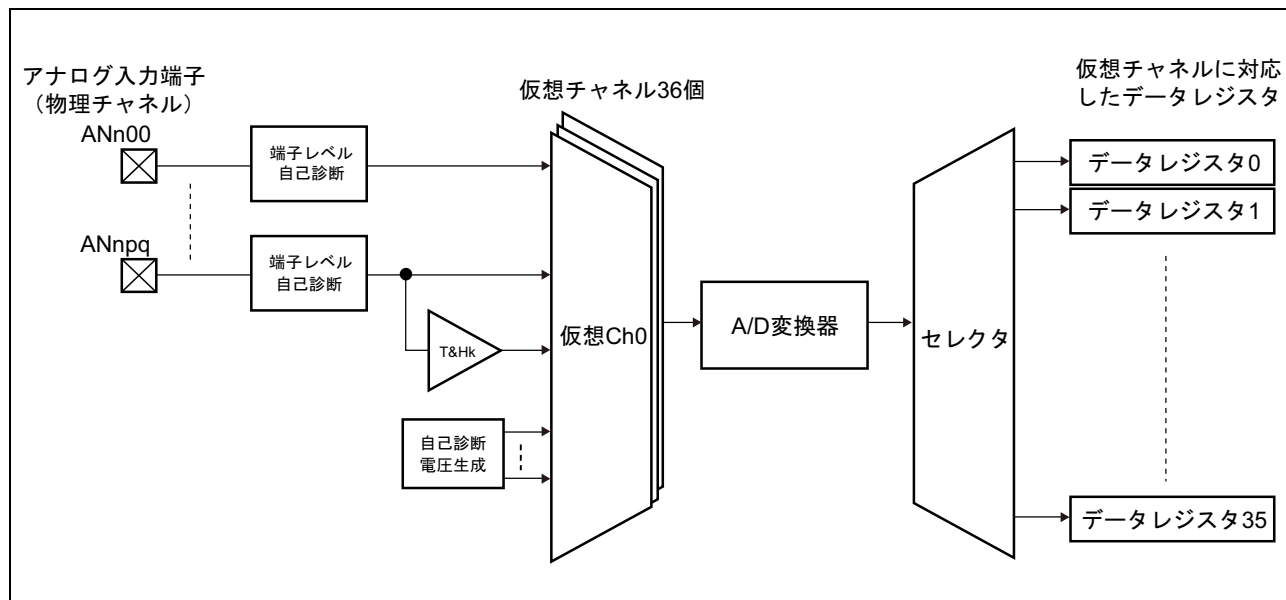


図 26.4 仮想チャンネルイメージ図

26.2.4 スキャングループ (SG)

スキャングループとは、複数の仮想チャンネルをグルーピングしたものです。

ADCC には 5 つのスキャングループがあります。A/D 変換の優先順位は SG4 > SG3 > SG2 > SG1 > SG0 です。

SGx は連続した仮想チャンネルをグルーピングできます。グルーピングは、開始ポインタ (ADCCnSGVCSPx レジスタ) と終了ポインタ (ADCCnSGVCEPx レジスタ) を用いて設定します。未使用のスキャングループは A/D 変換トリガ入力を無効に設定してください。

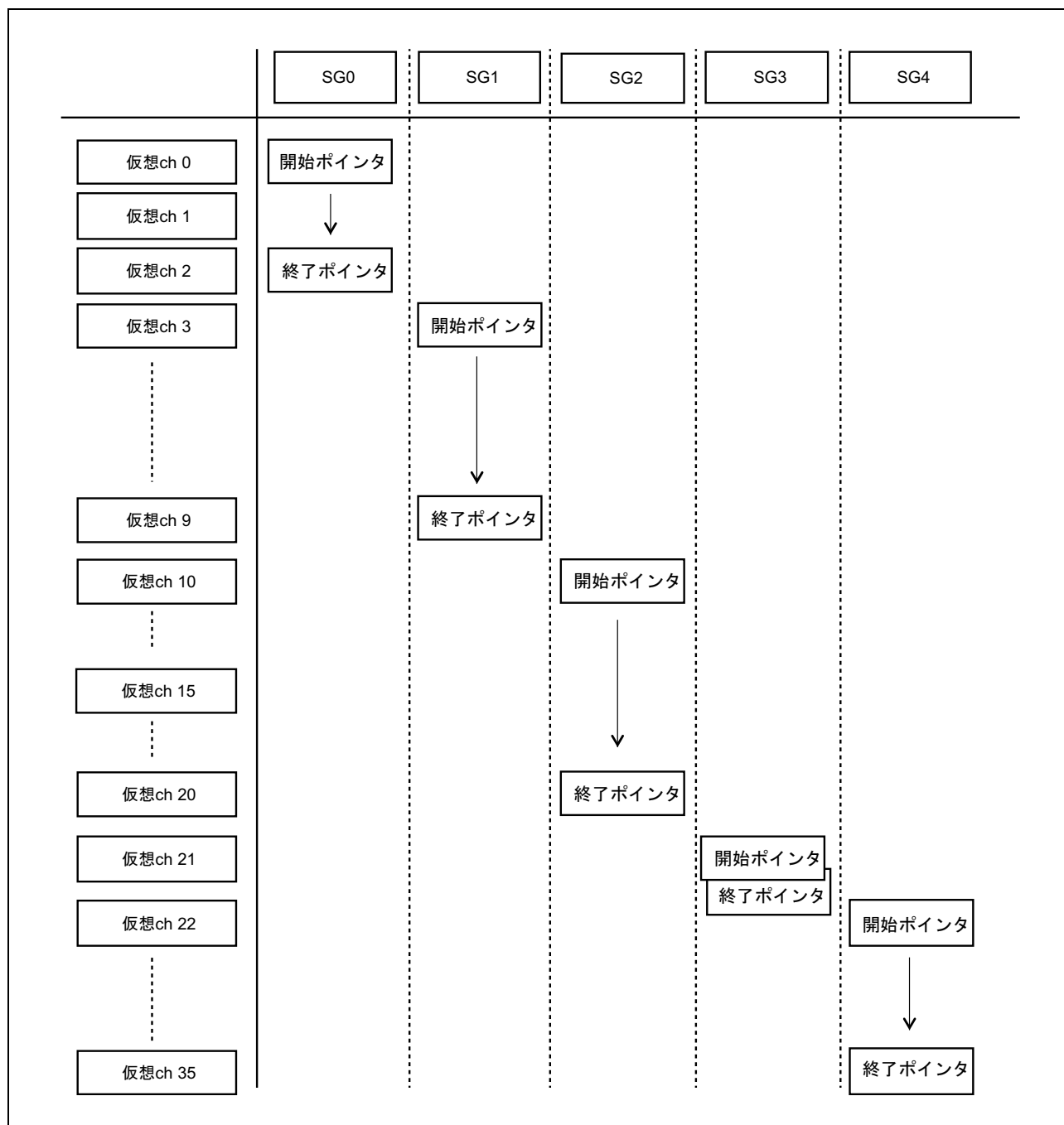


図 26.5 SG 割り当て例

26.3 レジスタ

26.3.1 レジスタ一覧

ADCC のレジスタ一覧を以下の表に示します。

<ADCC0_base>, <ADCCn_base> は「**26.1.2 レジスタベースアドレス**」を参照してください。

表 26.8 レジスタ一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
ADCCn	AD 同期開始制御レジスタ	ADCC0ADSYNSTCR	<ADCC0_base> + 300 _H
ADCCn	AD タイマ同期開始制御レジスタ	ADCC0ADTSYNSTCR	<ADCC0_base> + 304 _H
ADCCn	仮想チャンネルレジスタ j	ADCCnVCRj	<ADCCn_base> + j × 4 _H
ADCCn	データレジスタ j	ADCCnDRj	<ADCCn_base> + 100 _H + j × 2 _H
ADCCn	データ付帯情報レジスタ j	ADCCnDIRj	<ADCCn_base> + 200 _H + j × 4 _H
ADCCn	AD 終了レジスタ	ADCCnADHALTR	<ADCCn_base> + 380 _H
ADCCn	AD 制御レジスタ 1	ADCCnADCR1	<ADCCn_base> + 384 _H
ADCCn	AD 制御レジスタ 2	ADCCnADCR2	<ADCCn_base> + 398 _H
ADCCn	T&H サンプリング開始制御レジスタ	ADCCnTHSMPSTCR	<ADCCn_base> + 400 _H
ADCCn	T&H 停止制御レジスタ	ADCCnTHSTPCR	<ADCCn_base> + 404 _H
ADCCn	T&H 制御レジスタ	ADCCnTHCR	<ADCCn_base> + 408 _H
ADCCn	T&H グループ A ホールド開始制御レジスタ	ADCCnTHAHLDDSTCR	<ADCCn_base> + 410 _H
ADCCn	T&H グループ B ホールド開始制御レジスタ	ADCCnTHBHLDDSTCR	<ADCCn_base> + 414 _H
ADCCn	T&H グループ A 制御レジスタ	ADCCnTHACR	<ADCCn_base> + 420 _H
ADCCn	T&H グループ B 制御レジスタ	ADCCnTHBCR	<ADCCn_base> + 424 _H
ADCCn	T&H イネーブルレジスタ	ADCCnTHER	<ADCCn_base> + 430 _H
ADCCn	T&H グループ選択レジスタ	ADCCnTHGSR	<ADCCn_base> + 434 _H
ADCCn	セーフティ制御レジスタ	ADCCnSFTCR	<ADCCn_base> + 3C0 _H
ADCCn	端子レベル自己診断制御レジスタ	ADCCnTDCR	<ADCCn_base> + 3C4 _H
ADCCn	断線検出制御レジスタ	ADCCnODCR	<ADCCn_base> + 3C8 _H
ADCCn	上限/下限テーブルレジスタ 0	ADCCnULLMTBR0	<ADCCn_base> + 3CC _H
ADCCn	上限/下限テーブルレジスタ 1	ADCCnULLMTBR1	<ADCCn_base> + 3D0 _H
ADCCn	上限/下限テーブルレジスタ 2	ADCCnULLMTBR2	<ADCCn_base> + 3D4 _H
ADCCn	エラークリアレジスタ	ADCCnECR	<ADCCn_base> + 3D8 _H
ADCCn	上限/下限エラーレジスタ	ADCCnULER	<ADCCn_base> + 3DC _H
ADCCn	オーバーライトエラーレジスタ	ADCCnOWER	<ADCCn_base> + 3E0 _H
ADCCn	パリティエラーレジスタ	ADCCnPER	<ADCCn_base> + 3E4 _H
ADCCn	ID エラーレジスタ	ADCCnIDER	<ADCCn_base> + 3E8 _H
ADCCn	スキャングループ x 開始制御レジスタ	ADCCnSGSTCRx	<ADCCn_base> + x × 80 _H + 480 _H
ADCCn	AD タイマ y 開始制御レジスタ	ADCCnADTSTCRy	<ADCCn_base> + y × 80 _H + 488 _H
ADCCn	AD タイマ y 終了制御レジスタ	ADCCnADTENDCRy	<ADCCn_base> + y × 80 _H + 48C _H
ADCCn	スキャングループ x 制御レジスタ	ADCCnSGCRx	<ADCCn_base> + x × 80 _H + 490 _H
ADCCn	スキャングループ x 開始仮想チャンネルポインタ	ADCCnSGVCSPx	<ADCCn_base> + x × 80 _H + 494 _H
ADCCn	スキャングループ x 終了仮想チャンネルポインタ	ADCCnSGVCEPx	<ADCCn_base> + x × 80 _H + 498 _H
ADCCn	スキャングループ x マルチサイクルレジスタ	ADCCnSGMCYCRx	<ADCCn_base> + x × 80 _H + 49C _H
ADCCn	スキャングループ x ステータスレジスタ	ADCCnSGSRx	<ADCCn_base> + x × 80 _H + 4A4 _H

表 26.8 レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
ADCCn	AD タイマ初期位相レジスタ y	ADCCnADTIPRy	<ADCCn_base> + y × 80 _H + 4A8 _H
ADCCn	AD タイマ周期レジスタ y	ADCCnADTPRRy	<ADCCn_base> + y × 80 _H + 4AC _H
ADCCn	スキヤングループ x 上限値/下限値テーブル選択レジスタ	ADCCnULLMSRx	<ADCCn_base> + x × 80 _H + 4B0 _H

26.3.2 ADCC0ADSYNSTCR — AD 同期開始制御レジスタ

ADCC0 と ADCC1 のスキャングループの A/D 変換を同時に開始する制御を行うためのレジスタです。本レジスタは、ADCC0 にだけあります。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCC0_base> + 300_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADSTART
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.9 ADCC0ADSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADSTART	ADCC0 と ADCC1 の SG の A/D 変換を同時に開始します。 0 : 何も機能しない。(0 ライトは無視されます。) 1 : A/D 変換開始 A/D 変換を同時に開始させる SG の SG 同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) を有効にしてください。

26.3.3 ADCC0ADTSYNSTCR — AD タイマ同期開始制御レジスタ

ADCC0 と ADCC1 の各 AD タイマのカウンタ動作を同時に開始する制御を行うためのレジスタです。本レジスタは、ADCC0 にだけあります。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCC0_base> + 304_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTSTART
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.10 ADCC0ADTSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADTSTART	ADCC0 と ADCC1 の AD タイマのカウンタ動作を同時に開始します。 0 : 何も機能しない。(0 ライトは無視されます。) 1 : AD タイマカウンタ開始 AD タイマのカウンタ動作を同時に開始させる AD タイマ同期開始イネーブル (ADCCnSGCRx.ADTSTARTE ビット) を有効にしてください。

26.3.4 ADCCnVCRj — 仮想チャンネルレジスタ j

仮想チャンネルの設定を行うためのレジスタです。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + j × 4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNVCLS[2:0]			—	—	—	—	—	ADIE	—	GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.11 ADCCnVCRj レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	CNVCLS[2:0]	変換モードを設定します。 0 _H : 通常 A/D 変換 1 _H : ホールド値 A/D 変換 3 _H : A/D 変換回路自己診断 4 _H : 加算 A/D 変換 上記以外 : 設定禁止
12 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7	ADIE	スキャングループ x 終了割り込み信号 (ADInx) の出力許可/禁止を設定します。 0 : 出力禁止 1 : 出力許可
6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	GCTRL[5:0]	各変換モードでの A/D 変換設定を行います。 <ul style="list-style-type: none"> 通常 A/D 変換 (CNVCLS[2:0] = 0_H) 時 : GCTRL[5:2] : 物理チャンネルグループ GCTRL[1:0] : 物理サブチャンネル ホールド値 A/D 変換 (CNVCLS[2:0] = 1_H) 時 : 00_H : T&H0 ホールド値を A/D 変換 01_H : T&H1 ホールド値を A/D 変換 02_H : T&H2 ホールド値を A/D 変換 03_H : T&H3 ホールド値を A/D 変換 04_H : T&H4 ホールド値を A/D 変換 05_H : T&H5 ホールド値を A/D 変換 上記と「26.7.2 注入電流印加時の注意事項」、「26.7.3 同時トラック & ホールド機能を使用する場合の注意事項」に示す設定以外、設定禁止 A/D 変換回路自己診断 (CNVCLS[2:0] = 3_H) 時 : 00_H : AVREFH × 0 04_H : AVREFH × 1/4 08_H : AVREFH × 1/2 0C_H : AVREFH × 3/4 10_H : AVREFH × 1 上記以外 : 設定禁止 加算 A/D 変換 (CNVCLS[2:0] = 4_H) 時 : GCTRL[5:2] : 物理チャンネルグループ GCTRL[1:0] : 物理サブチャンネル

26.3.5 ADCCnDRj — データレジスタ j

A/D 変換結果データを格納するレジスタです。ADCCnDRj レジスタと ADCCnDRj+1 レジスタが連続で配置されているため、32 ビット (ADCCnDRj と ADCCnDRj+1) で読み出しが可能です。

リード & クリアイネーブル (ADCCnSFTCR.RDCLRE ビット) が 1 (有効) のとき、読み出しは必ず 32 ビット (ADCCnDRj_j+1) で行ってください。レジスタの構成は「**図 26.6 32 ビットリード時のデータレジスタ配置**」を参照してください。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> +100_H + j × 2_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.12 ADCCnDRj レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	DRj[15:0]	データレジスタ A/D 変換結果データを格納します。

注 意

ADCCnDIRj.WFLG と ADCCnDIR(j+1).WFLG は、ADCCnDRj の 16 ビット単位の読み出しでクリアされるため注意してください。

ADCCnADCR2.DFMT ビットで、符号付き固定小数点フォーマットまたは符号付き固定整数フォーマットに変更することができます。以下にフォーマットのデータ配列を示します。図中の 2 回変換、4 回変換は加算 A/D 変換時のデータフォーマットです。

符号付き固定小数点フォーマット (ADCCnADCR2.DFMT = 0) のとき

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1 回変換	S	A/D 変換結果													0	0	0
2 回変換	S	A/D 変換結果 (2 回加算値)													0	0	
4 回変換	S	A/D 変換結果 (4 回加算値)													0		

小数点位置

符号付き固定整数フォーマット (ADCCnADCR2.DFMT = 1) のとき

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1 回変換	S	S	S	S	A/D 変換結果											
2 回変換	S	S	S	A/D 変換結果 (2 回加算値)												
4 回変換	S	S	A/D 変換結果 (4 回加算値)													

小数点位置

S	: 符号ビット (0 固定)
0	: 0 拡張

データレジスタ j を 32 ビットで読み出す場合は、ADCCnDR j _ $j+1$ を読み出してください。
ADCCnDR j _ $j+1$ のデータ配置を以下に示します。

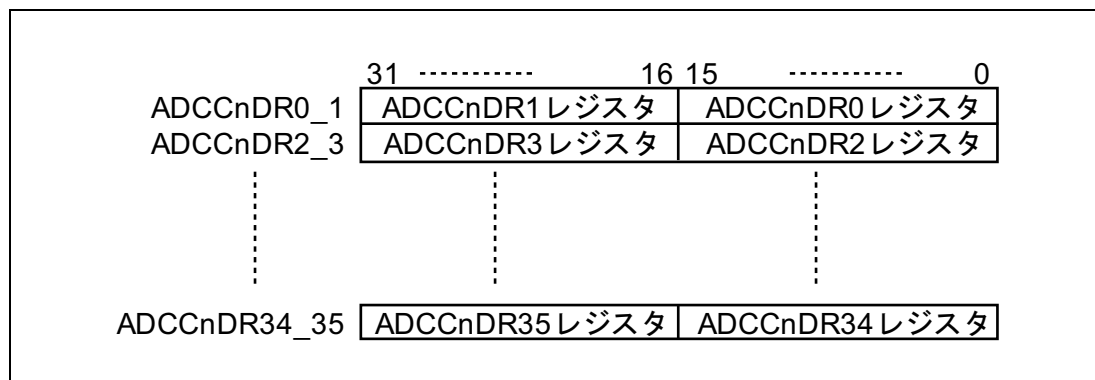


図 26.6 32 ビットリード時のデータレジスタ配置

26.3.6 ADCCnDIRj — データ付帯情報レジスタ j

データレジスタ (ADCCnDRj レジスタ) と A/D 変換値に付帯する情報を格納するレジスタです。読み出しは必ず 32 ビットで行ってください。

リード&クリア 設定 (ADCCnSFTCR.RDCLRE ビット) が 1 のとき、ADCCnDRj レジスタまたは ADCCnDIRj レジスタの読み出しで ADCCnDRj レジスタと ADCCnDIRj レジスタがクリア (ALL“0”) されます。ADCCnDIRj.WFLG ビットは、リード&クリア 設定 (ADCCnSFTCR.RDCLRE ビット) によらず、ADCCnDRj レジスタまたは ADCCnDIRj レジスタの読み出しでクリアされます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> +200_H + j × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	WFLG	PRTY	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.13 ADCCnDIRj レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	ライトする場合はリセット後の値を書いてください。
25	WFLG	ライトフラグ セット条件： ADCCnDRj レジスタに A/D 変換値が格納されたとき クリア条件： ADCCnDRj レジスタまたは ADCCnDIRj レジスタを読みだしたとき
24	PRTY	パリティ ADCCnDRj ビットに対するパリティビットです。偶数パリティです。
23 ~ 16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ~ 0	DRj[15:0]	データレジスタ A/D 変換結果データとして ADCCnDRj レジスタと同じデータが格納されます。

26.3.7 ADCCnADHALTR — AD 終了レジスタ

ADCC を終了するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 380_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HALT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.14 ADCCnADHALTR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HALT	全 SG の A/D 変換および全 AD タイマを強制終了します。 0: 何も機能しない。(0 ライトは無視されます。) 1: 終了

26.3.8 ADCCnADCR1 — AD 制御レジスタ 1

ADCC の共通制御 (サスペンド方式) を設定するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 384_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SUSMTD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.15 ADCCnADCR1 レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1、0	SUSMTD[1:0]	サスペンド方式を選択します。 0: 同期サスペンド 1: 同期/非同期ミックス型サスペンド 2: 非同期サスペンド 3: 設定禁止

26.3.9 ADCCnADCR2 — AD 制御レジスタ 2

ADCC の共通制御（データフォーマット、加算 A/D 変換時の加算回数）を設定するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 398_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	DFMT	—	—	—	ADDNT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R/W

表 26.16 ADCCnADCR2 レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	ライトする場合はリセット後の値を書いてください。
4	DFMT	ADCCnDRj レジスタと ADCCnDIRj レジスタのデータフォーマット設定です。 0: 符号付き固定小数点フォーマット 1: 符号付き整数フォーマット データフォーマットの詳細は、「26.3.5 ADCCnDRj — データレジスタ j」を参照してください。
3～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADDNT	加算 A/D 変換時の加算回数を選択します。 0: 2 回加算 1: 4 回加算

26.3.10 ADCCnTHSMPSTCR — T&H サンプルング開始制御レジスタ

全 T&H のサンプルングを開始制御するレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 400_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SMPST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.17 ADCCnTHSMPSTCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SMPST	全 T&H のサンプルングを開始します。 0: 何も機能しない。(0 ライトは無視されます。) 1: サンプルング開始

26.3.11 ADCCnTHSTPCR — T&H 停止制御レジスタ

全 T&H の停止制御するレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 404_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	THSTP
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.18 ADCCnTHSTPCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	THSTP	全 T&H を停止します。 0: 何も機能しない。(0 ライトは無視されます。) 1: 停止

注 意

ADCCnTHSTPCR.THSTP ビットは ADCCnADHALTR レジスタにより全 SG を停止した後に使用してください。

また、ADCCnTHSTPCR.THSTP ビットによる停止後、自動サンプリング機能 (ADCCnTHCR.ASMPMSK ビット) による再サンプリング動作を防止するために、ADCCnTHER.THkE をすべて 0 としてください。

26.3.12 ADCCnTHCR — T&H 制御レジスタ

T&H のサンプリングを制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 408_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ASMPMSK
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 26.19 ADCCnTHCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ASMPMSK	ホールド値 A/D 変換が終了したときに、自動的にサンプリングを行うかを選択します 0: 自動サンプリングする 1: 自動サンプリングしない

26.3.13 ADCCnTHAHLDDSTCR — T&H グループ A ホールド開始制御レジスタ

T&H グループ A のホールドを開始制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 410_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.20 ADCCnTHAHLDDSTCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ A のホールドを開始します。 0: 何も機能しない。(0 ライトは無視されます。) 1: ホールド開始

26.3.14 ADCCnTHBHLDDSTCR — T&H グループ B ホールド開始制御レジスタ

T&H グループ B のホールドを開始制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 414_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.21 ADCCnTHBHLDDSTCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ B のホールドを開始します。 0: 何も機能しない。(0 ライトは無視されます。) 1: ホールド開始

26.3.15 ADCCnTHACR — T&H グループ A 制御レジスタ

T&H グループ A を制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 420_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 26.22 ADCCnTHACR レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	ライトする場合はリセット後の値を書いてください。
5	HLDCTE	ホールド制御の有効/無効を選択します。 0: 無効 1: ホールド制御を有効
4	HLDTE	H/W トリガ信号の有効/無効を選択します。 0: 無効 1: ADCCnTHACR.SGS[1:0] ビットで選択したスキャングループの H/W トリガ信号を有効
3, 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1, 0	SGS[1:0]	T&H グループ A のスキャングループを選択します。 0: SG1 1: SG2 2: SG3 3: SG4

注 意

同時トラック & ホールド機能を H/W トリガで使用する場合、ADCCnTHACR.HLDCTE ビットと ADCCnTHACR.HLDTE ビットを 1 に設定してください。S/W トリガで使用する場合、ADCCnTHACR.HLDCTE ビットを 1 にして、ADCCnTHACR.HLDTE ビットを 0 に設定してください。

T&H グループ A、T&H グループ B を使用して制御を行う場合、ADCCnTHACR.SGS[1:0] ビットと ADCCnTHBCR.SGS[1:0] ビットを同じスキャングループに設定しないでください。本レジスタは、A/D 変換停止状態で、設定してください。

ADCCnTHACR.HLDCTE ビットを 1 に設定する場合、ADCCnTHACR.SGS[1:0] ビットで選択する SGx の ADCCnSGCRx.TRGMD1 ビットを 0、ADCCnSGCRx.TRGMD0 ビットを 1 に設定してください。

26.3.16 ADCCnTHBCR — T&H グループ B 制御レジスタ

T&H グループ B を制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 424_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 26.23 ADCCnTHBCR レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	ライトする場合はリセット後の値を書いてください。
5	HLDCTE	ホールド制御の有効/無効を選択します。 0: 無効 1: ホールド制御を有効
4	HLDTE	H/W トリガ信号の有効/無効を選択します。 0: 無効 1: ADCCnTHBCR.SGS[1:0] ビットで選択したスキャングループの H/W トリガ信号を有効
3, 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1, 0	SGS[1:0]	T&H グループ B のスキャングループを選択します。 0: SG1 1: SG2 2: SG3 3: SG4

注 意

同時トラック & ホールド機能を H/W トリガで使用する場合、ADCCnTHBCR.HLDCTE ビットと ADCCnTHBCR.HLDTE ビットを 1 に設定してください。S/W トリガで使用する場合、ADCCnTHBCR.HLDCTE ビットを 1 にして、ADCCnTHBCR.HLDTE ビットを 0 に設定してください。

T&H グループ A、T&H グループ B を使用して制御を行う場合、ADCCnTHACR.SGS[1:0] ビットと ADCCnTHBCR.SGS[1:0] ビットを同じスキャングループに設定しないでください。本レジスタは、A/D 変換停止状態で、設定してください。

ADCCnTHBCR.HLDCTE ビットを 1 に設定する場合、ADCCnTHBCR.SGS[1:0] ビットで選択する SGx の ADCCnSGCRx.TRGMD1 ビットを 0、ADCCnSGCRx.TRGMD0 ビットを 1 に設定してください。

26.3.17 ADCCnTHER — T&H イネーブルレジスタ

各 T&H 回路の有効/無効を制御するためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 430_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	TH5E	TH4E	TH3E	TH2E	TH1E	TH0E
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.24 ADCCnTHER レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	THKE	T&Hk 回路のトラック & ホールド動作の有効/無効を設定します。 0: 無効 1: 有効

26.3.18 ADCCnTHGSR — T&H グループ選択レジスタ

各 T&H の T&H グループを選択するためのレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 434_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TH5GS	—	TH4GS	—	TH3GS	—	TH2GS	—	TH1GS	—	TH0GS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

表 26.25 ADCCnTHGSR レジスタの内容

ビット位置	ビット名	機能
15 ~ 11、 9、7、5、 3、1	予約ビット	ライトする場合はリセット後の値を書いてください。
10、8、6、 4、2、0	THKGS	T&Hk の T&H グループを選択します。 0: T&H グループ A を選択 1: T&H グループ B を選択

26.3.19 ADCCnSFTCR — セーフティ制御レジスタ

セーフティ制御に関するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 3C0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RDCLRE	ULEIE	OWEIE	PEIE	IDEIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 26.26 ADCCnSFTCR レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	ライトする場合はリセット後の値を書いてください。
4	RDCLRE	リード&クリア動作の実行/禁止を設定します。 ADCCnDRj レジスタまたは ADCCnDIRj レジスタを読みだしたとき、ADCCnDRj レジスタかつ ADCCnDIRj レジスタのクリア (ALL“0”) をおこなうかどうかを設定します。 0: リード&クリアしない。 1: リード&クリアする。
3	ULEIE	上限/下限エラー割り込み許可/禁止を設定します。 0: 禁止 1: 許可
2	OWEIE	オーバーライトエラー割り込み許可/禁止を設定します。 0: 禁止 1: 許可
1	PEIE	パリティエラー許可/禁止を設定します。 0: 禁止 1: 許可
0	IDEIE	ID エラー割り込み許可/禁止を設定します。 0: 禁止 1: 許可

26.3.20 ADCCnTDCR — 端子レベル自己診断制御レジスタ

端子レベル自己診断を制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 3C4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TDE	—	—	—	—	—	TDLV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 26.27 ADCCnTDCR レジスタの内容

ビット位置	ビット名	機能
7	TDE	端子レベル自己診断の実行/禁止を設定します。 0: 端子レベル自己診断をしない 1: 端子レベル自己診断をする 1にすると、すべてのアナログ端子が入力バッファと切り離されます。
6 ~ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1、0	TDLV[1:0]	端子レベル自己診断時に印加する診断電圧を設定します。 0: 偶数物理サブチャネルに AVSS、奇数物理サブチャネルに AVCC を印加。 1: 偶数物理サブチャネルに AVCC、奇数物理サブチャネルに AVSS を印加。 2: 偶数物理サブチャネルに AVSS、奇数物理サブチャネルに 1/2 × AVCC を印加。 3: 偶数物理サブチャネルに 1/2 × AVCC、奇数物理サブチャネルに AVSS を印加。

26.3.21 ADCCnODCR — 断線検出制御レジスタ

断線検出を制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 3C8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ODE	—	ODPW[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.28 ADCCnODCR レジスタの内容

ビット位置	ビット名	機能
7	ODE	断線検出の実行/禁止を設定します。 0: 断線検出をしない 1: 断線検出をする 1にすると、ADCCnのすべてのアナログ端子の断線検出が有効となります。
6	予約ビット	ライトする場合はリセット後の値を書いてください。
5~0	ODPW[5:0]	断線検出時に発生させる検出パルス幅を設定します。 04 _H : 1クロック 05 _H : 2クロック : 13 _H : 16クロック 14 _H : 17クロック 03 _H 以下と15 _H 以上の設定は禁止です。

26.3.22 ADCCnULLMTBR0 ~ 2 — 上限/下限テーブルレジスタ 0 ~ 2

A/D 変換値の上限値と下限値を設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス ADCCnULLMTBR0 : <ADCCn_base> +3CC_H
 ADCCnULLMTBR1 : <ADCCn_base> +3D0_H
 ADCCnULLMTBR2 : <ADCCn_base> +3D4_H

リセット後の値 7FFE 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[15:0]															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 26.29 ADCCnULLMTBR レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	ULMTB[15:0]	A/D 変換値の上限値を設定します。 必ず、符号付き固定小数点フォーマットで設定してください。 ULMTB[15] と ULMTB[0] は常に 0 固定です。
15 ~ 0	LLMTB[15:0]	A/D 変換値の下限値を設定します。 必ず、符号付き固定小数点フォーマットで設定してください。 LLMTB[15] と LLMTB[0] は常に 0 固定です。

26.3.23 ADCCnECR — エラークリアレジスタ

エラークリアを制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 3D8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ULEC	OWEC	PEC	IDEC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 26.30 ADCCnECR レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	ULEC	上限/下限エラーのクリアビットです。 0: クリアしない 1: クリアする
2	OWEC	オーバーライトエラーのクリアビットです。 0: クリアしない 1: クリアする
1	PEC	パリティエラーのクリアビットです。 0: クリアしない 1: クリアする
0	IDEC	ID エラーのクリアビットです。 0: クリアしない 1: クリアする

26.3.24 ADCCnULER — 上限/下限エラーレジスタ

上限/下限エラーを示すレジスタです。本レジスタは上限/下限エラークリア (ADCCnECR.ULEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3DC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ULE	—	ULECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.31 ADCCnULER レジスタの内容

ビット位置	ビット名	機能
7	ULE	上限/下限エラーの有無を表します。 0: 上限/下限エラーなし 1: 上限/下限エラーあり
6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	ULECAP[5:0]	上限/下限エラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、上限/下限エラークリア (ADCCnECR.ULEC ビット) に 1 を書き込むまで保持されます。保持されている状態で上限/下限エラーが発生した場合、新しいエラー情報は破棄されます。

26.3.25 ADCCnOWER — オーバーライトエラーレジスタ

オーバーライトエラーを示すレジスタです。オーバーライトエラークリア (ADCCnECR.OWEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3E0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	OWE	—	OWECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.32 ADCCnOWER レジスタの内容

ビット位置	ビット名	機能
7	OWE	オーバーライトエラーの有無を表します。 0: エラーなし 1: エラーあり
6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	OWECAP[5:0]	オーバーライトエラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、オーバーライトエラークリア (ADCCnECR.OWEC ビット) に 1 を書き込むまで保持されます。保持されている状態でオーバーライトエラーが発生した場合、新しいエラー情報は破棄されません。

26.3.26 ADCCnPER — パリティエラーレジスタ

パリティエラーを示すレジスタです。パリティエラークリア (ADCCnECR.PEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3E4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PE	—	PECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.33 ADCCnPER レジスタの内容

ビット位置	ビット名	機能
7	PE	パリティエラーの有無を表します。 0: エラーなし 1: エラーあり
6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	PECAP[5:0]	パリティエラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、パリティエラークリア (ADCCnECR.PEC ビット) に 1 を書き込むまで保持されます。保持されている状態でパリティエラーが発生した場合、新しいエラー情報は破棄されます。

26.3.27 ADCCnIDER — ID エラーレジスタ

ID エラーを示すレジスタです。ID エラークリア (ADCCnECR.IDEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3E8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDE	—	IDECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.34 ADCCnIDER レジスタの内容

ビット位置	ビット名	機能
7	IDE	ID エラーの有無を表します。 0: エラーなし 1: エラーあり
6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	IDECAP[5:0]	ID エラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、ID エラークリア (ADCCnECR.IDEC ビット) に 1 を書き込むまで保持されます。保持されている状態で ID エラーが発生した場合、新しいエラー情報は破棄されます。

26.3.28 ADCCnSGSTCRx — スキャングループ x 開始制御レジスタ

SGx の A/D 変換の開始を制御するためのレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + x × 80_H + 480_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SGST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.35 ADCCnSGSTCRx レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SGST	SGx の A/D 変換を開始します。 0: 何も機能しない。(0 ライトは無視されます。) 1: A/D 変換開始 スキャングループステータス (ADCCnSGSRx.SGACT) = 0 の状態で、A/D 変換を開始してください。

26.3.29 ADCCnADTSTCRy — AD タイマ y 開始制御レジスタ

AD タイマ y の開始を制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + y × 80_H + 488_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.36 ADCCnADTSTCRy レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADTST	AD タイマ y を開始します。 0: 何も機能しない。(0 ライトは無視されます。) 1: AD タイマ開始 AD タイマステータス (ADCCnSGSRx.ADTACT) = 0 の状態で AD タイマを開始してください。

26.3.30 ADCCnADTENDCRy — AD タイマ y 終了制御レジスタ

AD タイマ y の終了を制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + y × 80_H + 48C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTEND
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.37 ADCCnADTENDCRy レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADTEND	AD タイマを終了します。 0: 何も機能しない。(0 ライトは無視されます。) 1: AD タイマ終了

26.3.31 ADCCnSGCRx — スキャングループ x 制御レジスタ

SGx を制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 490_H

リセット後の値 00_H

- x = 0 ~ 2 の場合

ビット	7	6	5	4	3	2	1	0
	—	ADSTARTE	SCANMD	ADIE	—	—	—	TRGMDO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R/W

表 26.38 ADCCnSGCRx レジスタの内容 (x = 0 ~ 2 の場合)

ビット位置	ビット名	機能
7	予約ビット	ライトする場合はリセット後の値を書いてください。
6	ADSTARTE	SG の同期開始信号の有効/無効を設定します。 0: 無効 1: 有効
5	SCANMD	スキャンモードを設定します。 0: マルチサイクルスキャンモード 1: 連続スキャンモード
4	ADIE	スキャングループ x 終了割り込み信号 ADInx の出力許可/禁止を設定します。 0: 出力禁止 1: 出力許可
3 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TRGMDO	スキャングループ x への A/D 変換開始トリガ入力の有効/無効を設定します。 0: 無効 1: 有効

注 意

スキャングループ x が A/D 変換中に発生したスキャングループ x の A/D 変換開始トリガ入力は無視されます。

- x = 3、4 の場合

ビット	7	6	5	4	3	2	1	0
	ADTSTARTE	ADSTARTE	SCANMD	ADIE	—	—	TRGMD1	TRGMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 26.39 ADCCnSGCRx レジスタの内容 (x = 3、4 の場合)

ビット位置	ビット名	機能
7	ADTSTARTE	AD タイマの同期開始信号の有効/無効を設定します。 0: 無効 1: 有効
6	ADSTARTE	SG の同期開始信号の有効/無効を設定します。 0: 無効 1: 有効
5	SCANMD	スキャンモードを設定します。 0: マルチサイクルスキャンモード 1: 連続スキャンモード
4	ADIE	スキヤングループ x 終了割り込み信号 ADInx の出力許可/禁止を設定します。 0: 出力禁止 1: 出力許可
3、2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	TRGMD1	AD タイマへのトリガ入力の有効/無効を設定します。 0: 無効 1: 有効
0	TRGMD0	スキヤングループ x への A/D 変換開始トリガ入力の有効/無効を設定します。 0: 無効 1: 有効

26.3.32 ADCCnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

仮想チャネルの開始ポインタを指定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 494_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.40 ADCCnSGVCSPx レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	VCSP[5:0]	SGx の開始仮想チャネル番号を設定します。

注 意

1. $ADCCnSGVCSPx \leq ADCCnSGVCEPx$ となるように設定してください。
2. 搭載仮想チャネル数よりも大きな値を設定しないでください。

26.3.33 ADCCnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ

仮想チャネルの終了ポインタを指定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 498_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	VCEP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.41 ADCCnSGVCEPx レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	ライトする場合はリセット後の値を書いてください。
5 ~ 0	VCEP[5:0]	SGx の終了仮想チャネル番号を設定します。

注 意

1. $ADCCnSGVCSPx \leq ADCCnSGVCEPx$ となるように設定してください。
2. 搭載仮想チャネル数よりも大きな値を設定しないでください。

26.3.34 ADCCnSGMCYCRx — スキャングループ x マルチサイクルレジスタ

マルチサイクルスキャンモード時の A/D 変換回数を設定するレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 49C_H

リセット後の値 00_H

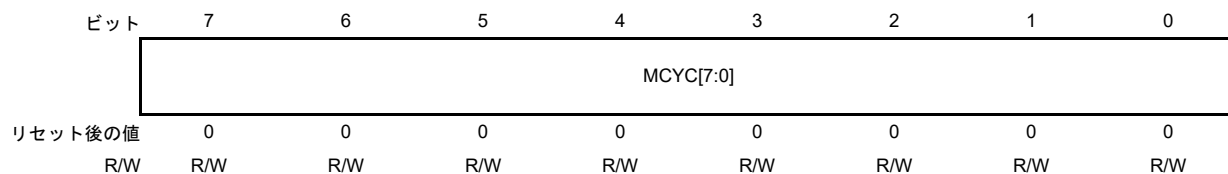


表 26.42 ADCCnSGMCYCRx レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	MCYC[7:0]	マルチサイクルスキャンモード時の A/D 変換回数を設定します。 A/D 変換回数 = MCYC[7:0] + 1

26.3.35 ADCCnSGSRx — スキャングループ x ステータスレジスタ

SGx の A/D 変換動作状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + x × 80_H + 4A4_H

リセット後の値 00_H

- x = 0 ~ 2 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.43 ADCCnSGSRx レジスタの内容 (x = 0 ~ 2 の場合)

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	SGACT	SGx の A/D 変換動作状態を表します。 0 : SGx の A/D 変換がアイドル状態 1 : SGx の A/D 変換中
0	予約ビット	ライトする場合はリセット後の値を書いてください。

- x = 3、4 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADTACT	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 26.44 ADCCnSGSRx レジスタの内容 (x = 3、4 の場合)

ビット位置	ビット名	機能
7 ~ 3	予約ビット	ライトする場合はリセット後の値を書いてください。
2	ADTACT	AD タイマの動作状態を表します。 0 : AD タイマ x がアイドル状態 1 : AD タイマ x が動作中
1	SGACT	SGx の A/D 変換動作状態を表します。 0 : SGx の A/D 変換がアイドル状態 1 : SGx の A/D 変換中
0	予約ビット	ライトする場合はリセット後の値を書いてください。

26.3.36 ADCCnADTIPRy — AD タイマ初期位相レジスタ y

AD タイマ y の初期位相（カウンタ初期値）を設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + y × 80_H + 4A8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTIP[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTIP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.45 ADCCnADTIPRy レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	ライトする場合はリセット後の値を書いてください。
20 ~ 0	ADTIP[20:0]	AD タイマ y の初期位相（カウンタ初期値）を設定します。

注 意

本レジスタの設定は、A/D 変換および AD タイマを起動させる前に行ってください。

26.3.37 ADCCnADTPRRy — AD タイマ周期レジスタ y

AD タイマ y の周期を設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + y × 80_H + 4AC_H

リセット後の値 001F FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTPR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTPR[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.46 ADCCnADTPRRy レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	ライトする場合はリセット後の値を書いてください。
20 ~ 0	ADTPR[20:0]	AD タイマ y の周期を設定します。

注 意

本レジスタの設定は、A/D 変換および AD タイマを起動させる前に行ってください。

26.3.38 ADCCnULLMSRx — スキャングループ x 上限値/下限値テーブル選択レジスタ

SGx の上限値/下限値テーブルを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 4B0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ULS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 26.47 ADCCnULLMSRx レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1, 0	ULS[1:0]	限值/下限値テーブルを選択します。 0 : 上限/下限チェックをしない。 1 : ADCCnULLMTBR0 レジスタで上限/下限チェックする。 2 : ADCCnULLMTBR1 レジスタで上限/下限チェックする。 3 : ADCCnULLMTBR2 レジスタで上限/下限チェックする。

26.4 機能

26.4.1 A/D変換の方法

A/D変換はスキャングループ単位で行います。A/D変換のトリガ信号はスキャングループ分あり、トリガ信号(SGx_TRG)が入るとスキャングループに割り当てられている仮想チャンネルの信号を小さい番号順でA/D変換を行い、仮想チャンネル毎のA/D変換が完了もしくはSGに割り当てられているすべての仮想チャンネルのA/D変換が完了するとA/D完了割り込み(ADInx)が発生します。

マルチスキャンモードは、トリガ信号が入ると指定回数分A/D変換を繰り返します。また、連続スキャンモードはトリガ信号が入ると無制限にA/D変換を繰り返します。

A/D変換のデータフォーマットは、符号付き固定小数点フォーマットと符号付き整数フォーマットから選択できます。データフォーマットのビット並びは、「**26.3.5 ADCCnDRj — データレジスタj**」を参照してください。

以下に変換時の動作例を示します。

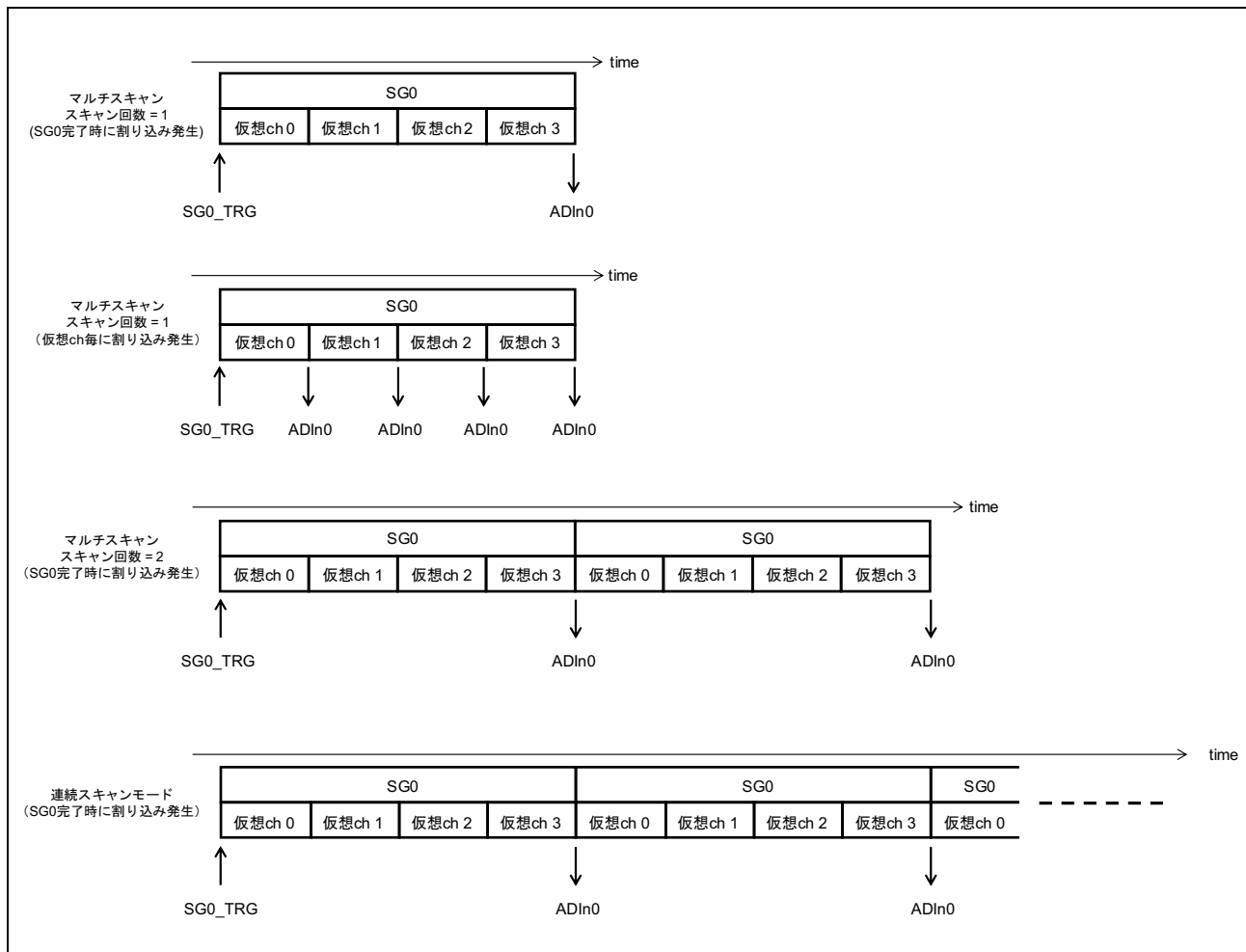


図 26.7 A/D変換時の動作例

26.4.2 A/D 変換機能

26.4.2.1 通常 A/D 変換機能

通常 A/D 変換は、物理チャネルのアナログ信号をそのまま A/D 変換します。

26.4.2.2 同時トラック & ホールド機能

複数のアナログ信号をホールドして、A/D 変換を行います。同時にホールドするアナログ信号を T&H グループ A と B の 2 つのグループに割り当てることができ、グループごとに異なるタイミングでホールドを行うことが可能です。

T&H 回路がある物理チャネルを仮想チャネルとスキャングループに割り当て、そのスキャングループを T&H グループに割り当てます。ただし、SG0 を T&H グループに割り当てることはできません。

T&H のホールド方法に自動サンプリングモードがあります。これは、ホールドしたアナログ信号の A/D 変換が完了すると自動的にサンプリングを開始します。自動サンプリングモードに設定しない場合は、S/W でサンプリングさせる必要があります。

以下に同時トラック & ホールド機能の動作例を示します。

図 26.8 に示すように、A/D 変換中に SG2 のトリガ信号（ホールドトリガ A）が入ると、現在 A/D 変換中の仮想チャネルを強制停止します。停止し、アナログ信号が安定した時点で T&H 回路にてアナログ信号をホールドします。ホールドが完了すると、スキャングループの優先順位にしたがい、A/D 変換を再開します。

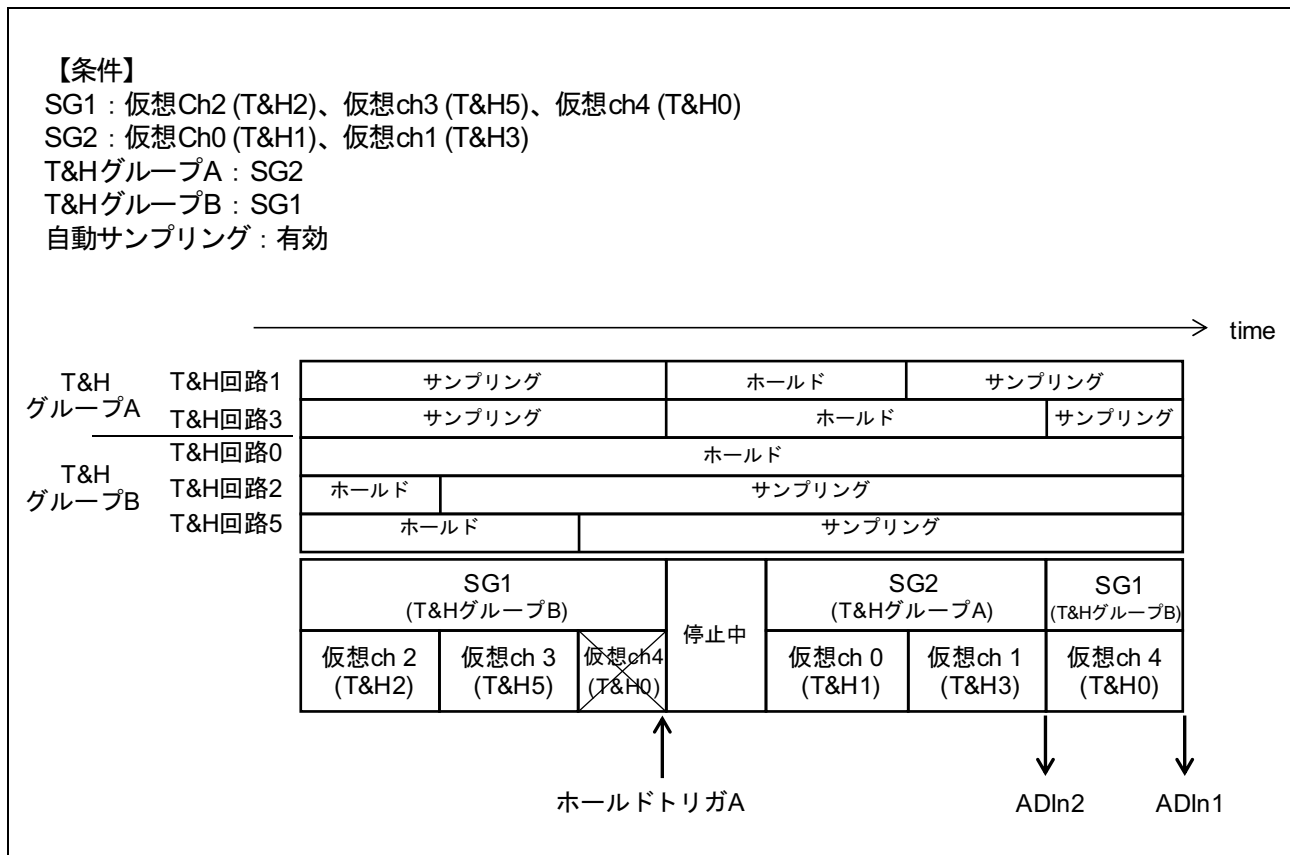


図 26.8 同時トラック & ホールド動作例（高優先 SG ホールドトリガ入力）

例えば、**図 26.9** のように強制停止した A/D 変換が SG3 の場合、SG3 の優先順位が高いため、SG3 の A/D 変換後に、SG2 の A/D 変換を行います。

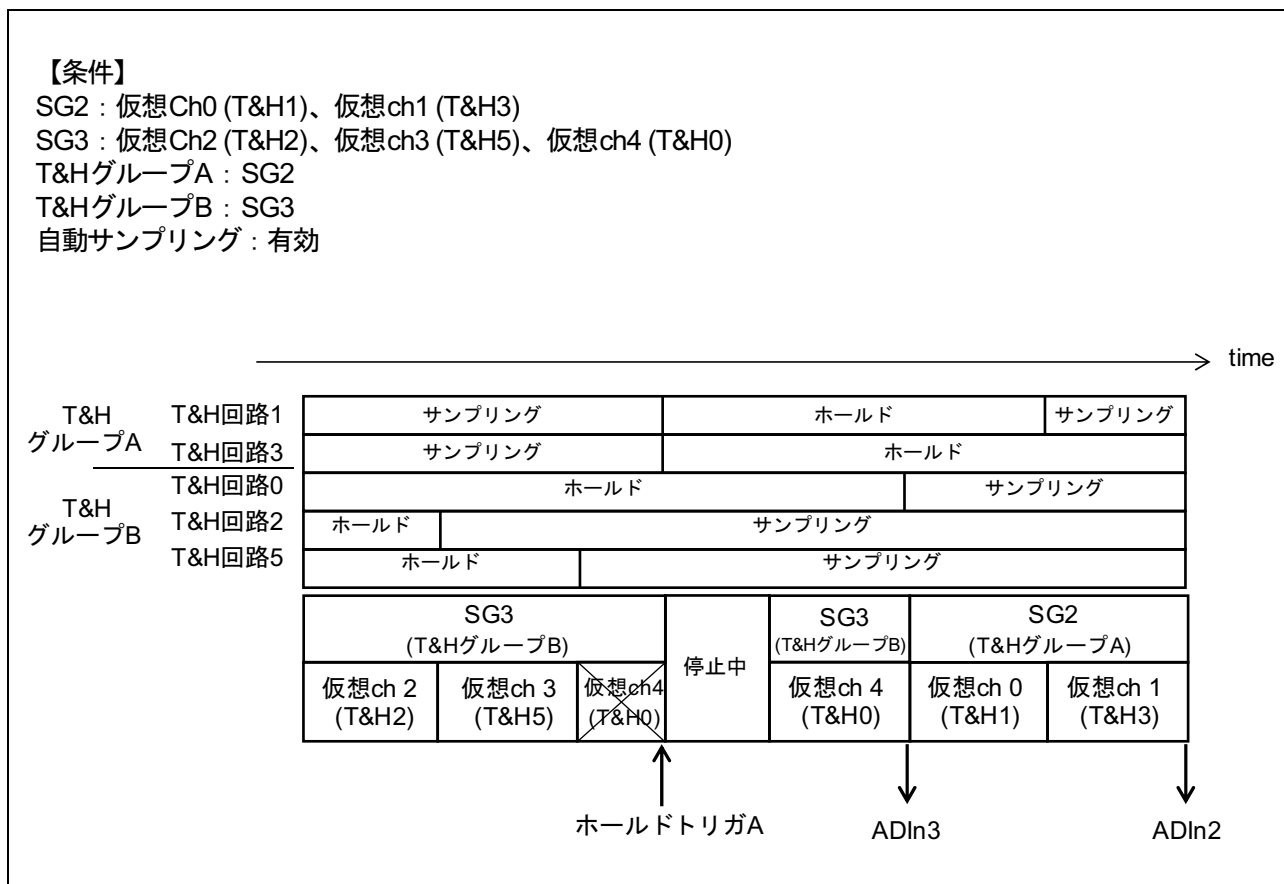


図 26.9 同時トラック & ホールド動作例 (低優先 SG ホールドトリガ入力)

また、図 26.9 のように A/D 変換の強制停止中に新たなトリガ信号（ホールドトリガ B）が入ると、SG1（T&Hグループ B）に割り当てられたアナログ信号をホールドするまで待つため、1つのトリガ信号が入る場合に比べ停止時間が長くなります。

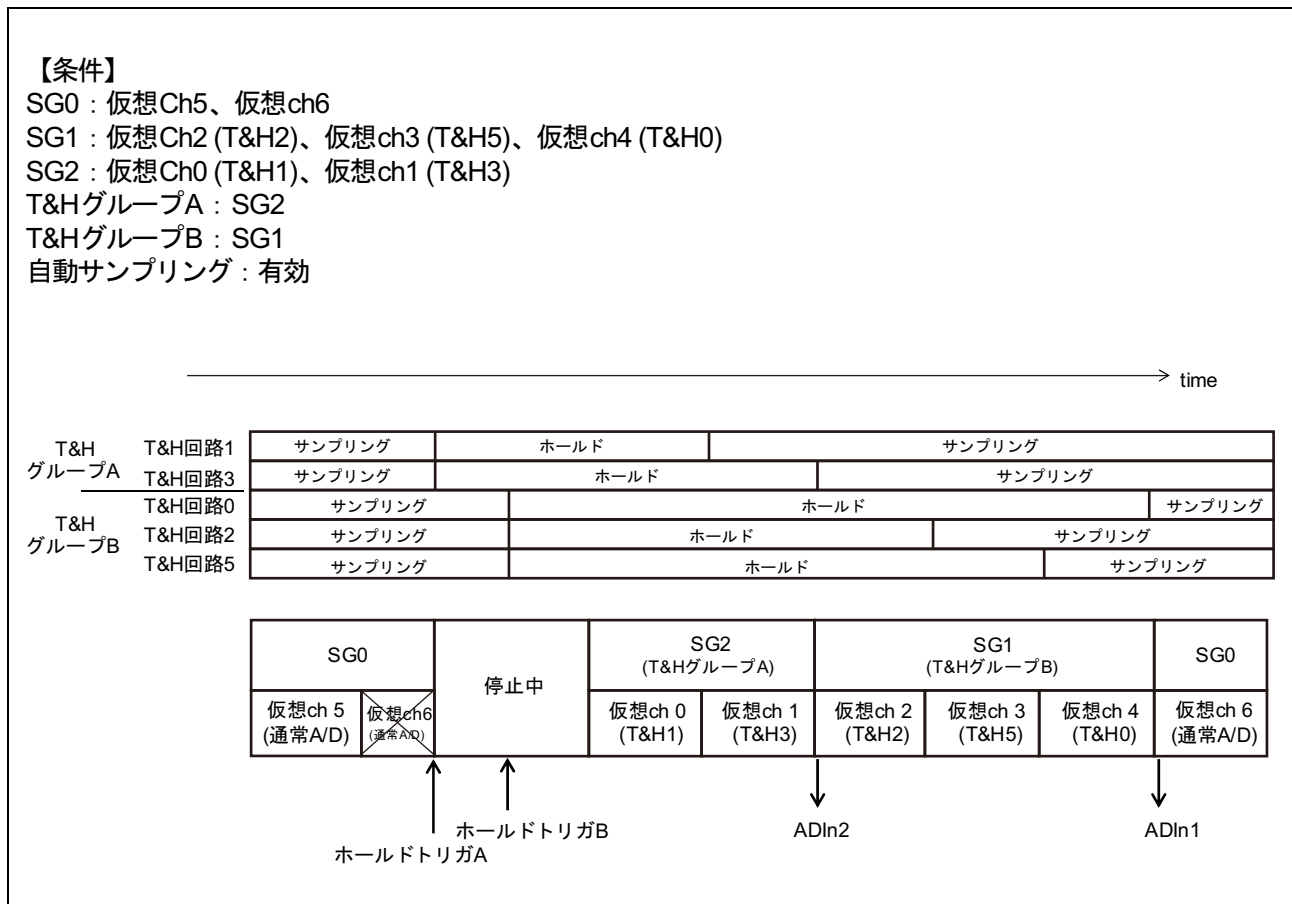


図 26.10 同時トラック & ホールド動作例（連続ホールドトリガ入力）

26.4.2.3 加算 A/D 変換機能

加算 A/D 変換は、物理チャンネルのアナログ信号を 2 回または 4 回連続で A/D 変換を行い、加算した値をデータレジスタに格納します。加算回数（2 回または 4 回）は、全仮想チャンネル共通になります。

26.4.2.4 マルチサイクルスキャンモード

マルチサイクルスキャンモードでは、1 回トリガが入力されると対象の SGx に割り当てた仮想チャンネルを、指定した回数（1 回～ 256 回）分 A/D 変換を繰り返し行います。

26.4.2.5 連続スキャンモード

連続スキャンモードでは、1回トリガが入力されると対象のSGxに割り当てた仮想チャネルを無制限にA/D変換を繰り返し行います。

連続スキャンモードを停止する場合には、A/D変換停止手順にしたがって、A/D変換を停止してください。A/D変換停止手順については、「**26.5.3 A/D変換停止手順**」を参照してください。AD終了レジスタ (ADCCnADHALTRレジスタ) で停止することにより、全SGx、全ADタイマが停止します。

連続スキャンモードに設定したスキャングループに対して、低優先のスキャングループのトリガが入力されても受け付けません。そのため、連続スキャンモードは、もっとも優先の低いSG0に対して設定することを想定しています。

26.4.3 トリガ機能

26.4.3.1 スキャングループのトリガ入力選択

各スキャングループのA/D変換開始トリガとして、以下のトリガを選択することができます。未使用のスキャングループはトリガ入力を無効に設定してください。

表 26.48 トリガ対応一覧

	HWトリガ		SWトリガ		
	SGxトリガ (SGx_TRG)	ADタイマ トリガ (SGy_TRG)	A/D変換 トリガ	ホールド トリガ	ADタイマ トリガ
SG0	○	×	○	×	×
SG1, SG2	○	×	○	○	×
SG3, SG4	○	○	○	○	○

備考 ○：対応、×：非対応

26.4.3.2 HW トリガによるスキャングループの起動

HW トリガには、SGx トリガ、AD タイマトリガがあります。

(1) SGx トリガによるスキャングループの起動

SGx_TRG 信号で SGx を起動し、A/D 変換を開始することができます。同時トラック & ホールドの場合、ホールドトリガでアナログ信号をホールドしたあと、A/D 変換を行います。

SGx_TRG 信号は PIC2B から入力されます。PIC2B では、各ユニットおよび端子からのトリガ信号をマスク制御し、SGx_TRG 信号として出力しています。トリガ要因の詳細については、「23.3.3.1 ADCC トリガ選択機能」を参照してください。

(2) AD タイマトリガによるスキャングループの起動

SGy_TRG 信号で AD タイマ (フリーラン) が起動され、**図 26.11** のようにカウンタのアンダフローごとに AD タイマトリガ信号が出力されます。この AD タイマトリガ信号により一定のインターバルで SGy の A/D 変換を開始することができます。ただし、同時トラック & ホールド機能を使用する場合、AD タイマトリガは使用できません。

AD タイマのカウンタは clkad で行います。

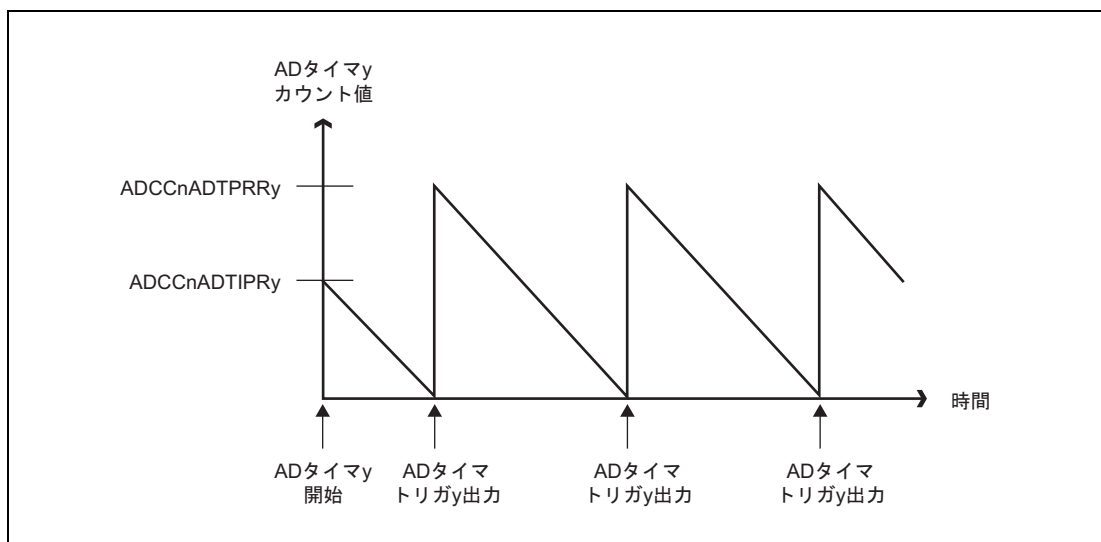


図 26.11 AD タイマ動作例

注 意

AD タイマ初期位相レジスタ (ADCCnADTIPRy レジスタ) に 0 を設定した場合、AD タイマ起動と同時に AD タイマトリガが出力されます。また、AD タイマ周期レジスタ (ADCCnADTPRRy レジスタ) に 0 を設定した場合は、毎クロックごとに AD タイマトリガが出力されます。

26.4.3.3 SWトリガによるスキャングループの起動

SWトリガは、A/D変換トリガ、ホールドトリガ、ADタイマトリガがあります。各トリガを有効にする前に、対象のSGトリガが無効かつスキャングループが停止していることを確認してください。

(1) A/D変換トリガ

「図 26.12 SWトリガ機能機能図」のとおり、ADCC0, ADCC1 の複数のSG_xを同時に起動し、A/D変換を開始することができます。また、SG_xのA/D変換を個別に開始することができます。

(2) ADタイマトリガ

「図 26.12 SWトリガ機能機能図」のとおり、ADCC0, ADCC1 の複数のADタイマ_yを同時に起動することができます。また、ADタイマ_yを個別に起動することができます。

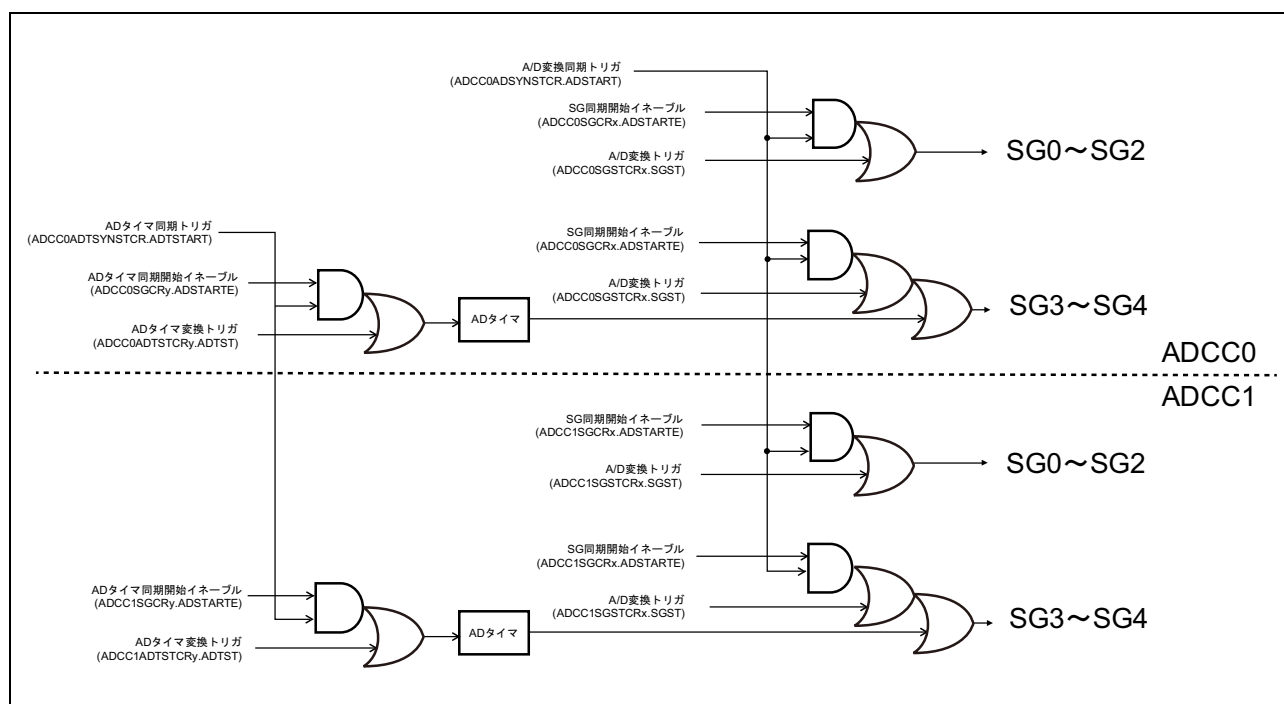


図 26.12 SWトリガ機能機能図

(3) ホールドトリガ

「図 26.13 ホールドトリガ機能機能図」のとおり、任意のタイミングでホールドを開始することができます。ホールドを開始する前には必ず 30clkad 以上サンプリングを行ったあと、設定してください。

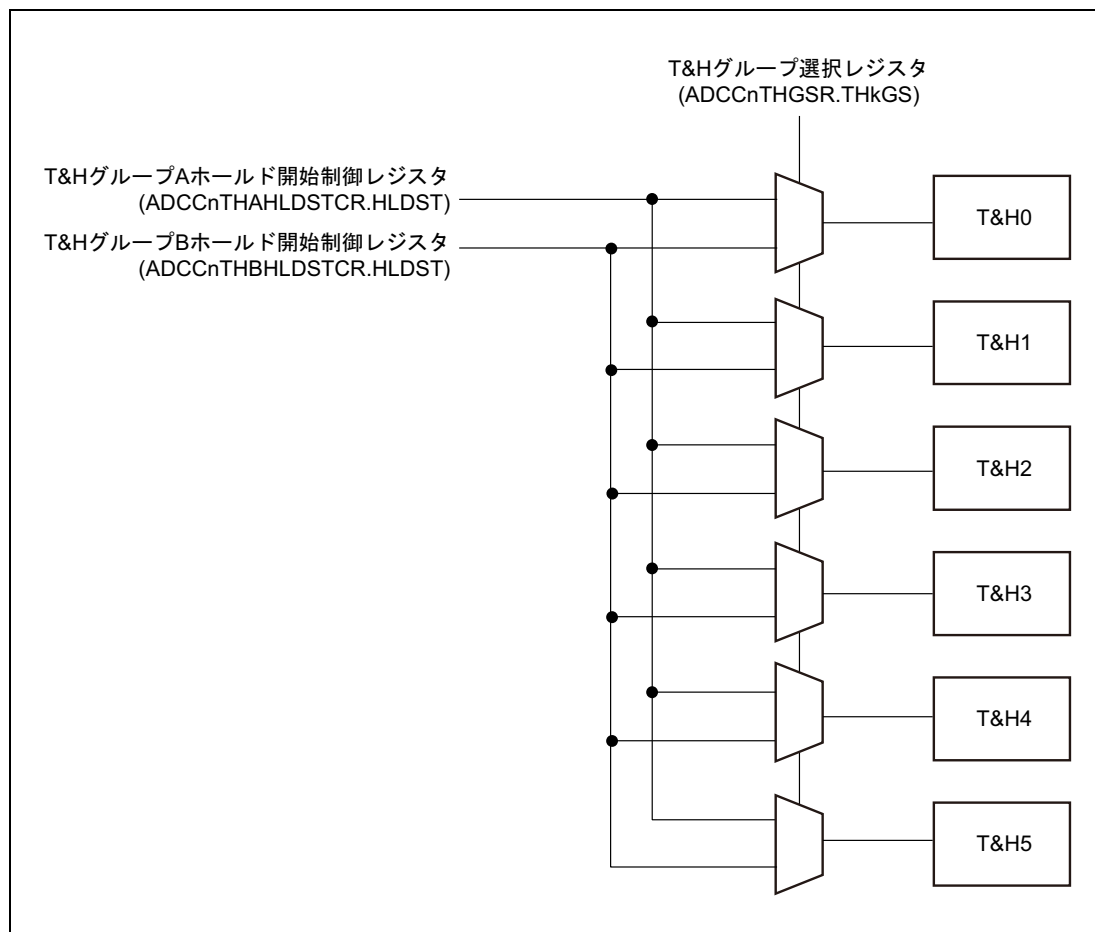


図 26.13 ホールドトリガ機能機能図

26.4.4 サスペンド機能

サスペンド機能は、低優先のスキャングループ処理中に高優先のスキャングループ要求があると、低優先の A/D 変換を中断して、高優先の A/D 変換を行う機能です。サスペンド動作は以下の 3 種類があります。

26.4.4.1 同期サスペンド動作

A/D 変換中のスキャングループよりも高優先のスキャングループの A/D 変換トリガが発生した際、A/D 変換中の仮想チャンネルの変換が終了したあとに、高優先のスキャングループの A/D 変換を行います。高優先のスキャングループの A/D 変換が完了した後、中断した仮想チャンネルから A/D 変換を再開します。

以下に例を示します。

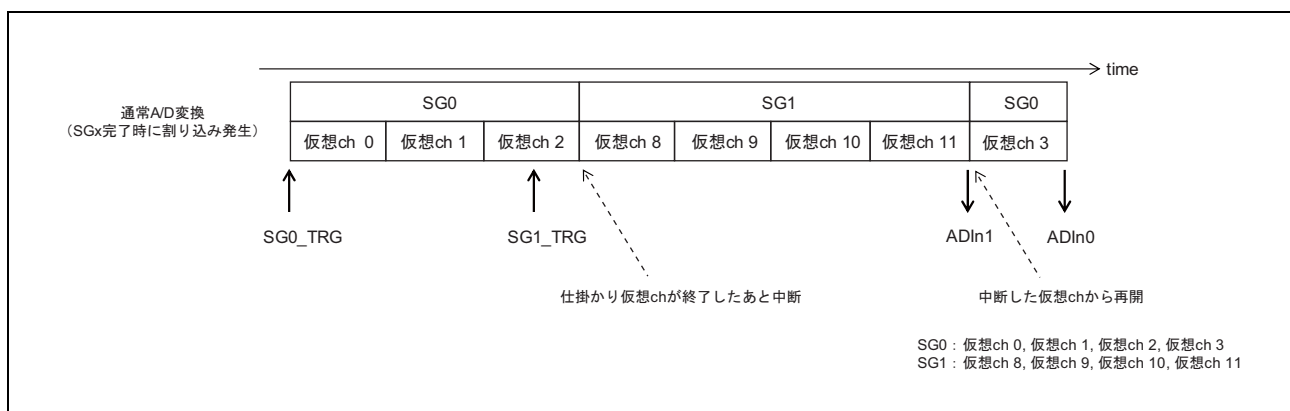


図 26.14 同期サスペンド動作例 (通常 A/D 変換)

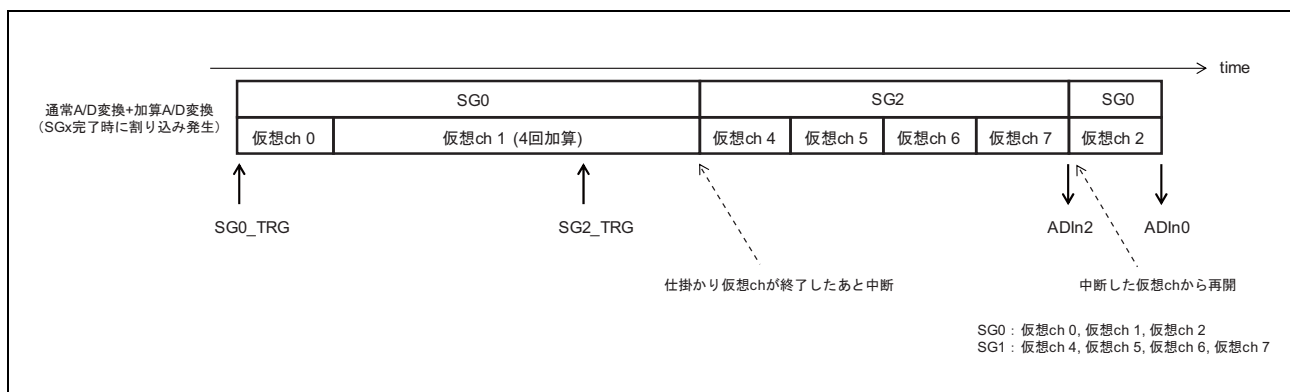


図 26.15 同期サスペンド動作例 (通常 A/D 変換+加算 A/D 変換)

26.4.4.2 非同期サスペンド動作

A/D 変換中のスキヤングループよりも高優先のスキヤングループの A/D 変換トリガが発生した際、A/D 変換中の仮想チャンネルの変換を即中断し、高優先のスキヤングループの A/D 変換を行います。高優先のスキヤングループの A/D 変換が完了したあと、中断した仮想チャンネルの A/D 変換を初めから行います。

以下に例を示します。

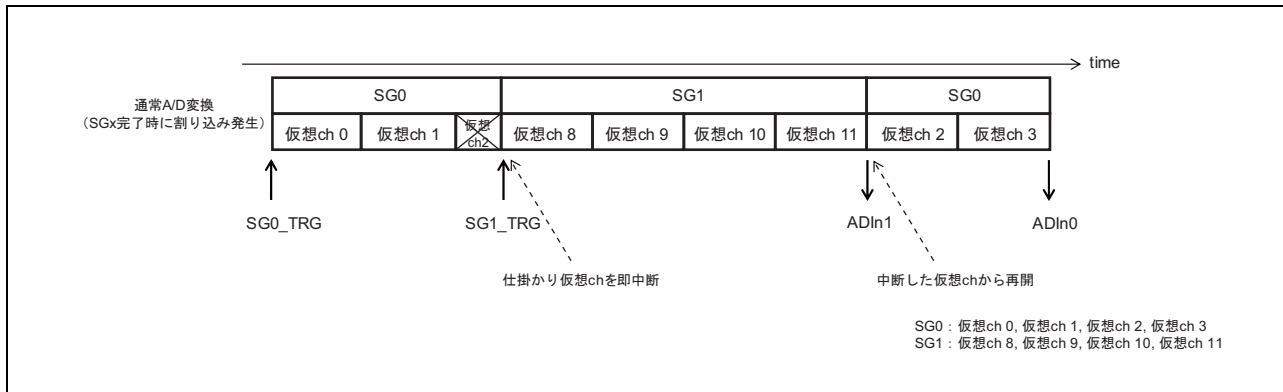


図 26.16 非同期サスペンド動作例 (通常 A/D 変換)

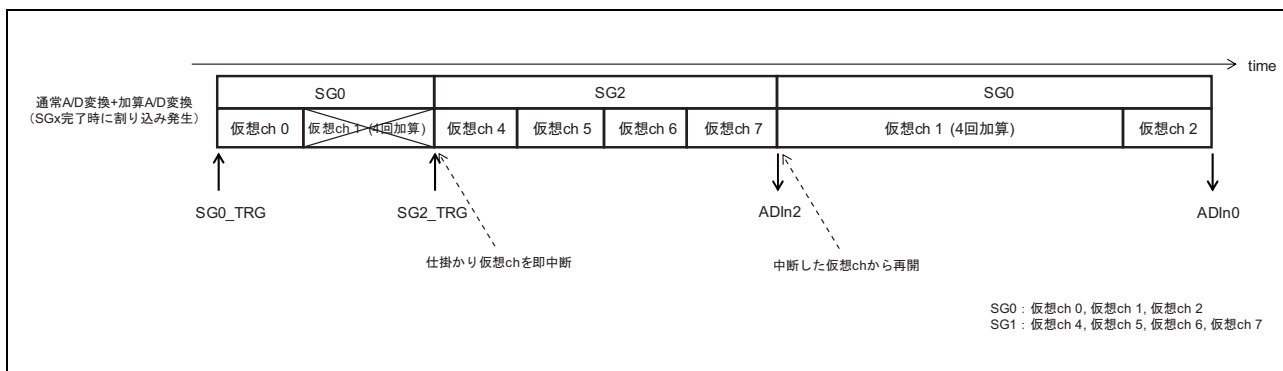


図 26.17 非同期サスペンド動作例 (通常 A/D 変換+加算 A/D 変換)

26.4.4.3 同期/非同期ミックス型サスペンド動作

SG0 の A/D 変換中に高優先のスキャングループの A/D 変換トリガが発生した際は非同期サスペンド動作を行い、SG0 以外のスキャングループの A/D 変換中に高優先のスキャングループの A/D 変換トリガが発生した際は同期サスペンド動作を行います。高優先のスキャングループの A/D 変換が完了したあと、中断した仮想チャンネルの A/D 変換を初めから行います。

以下に例を示します。

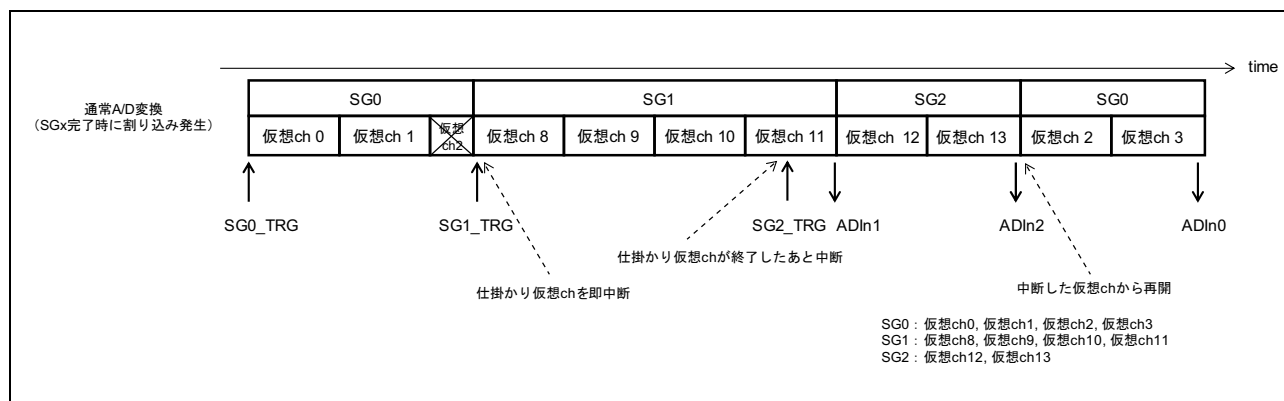


図 26.18 同期/非同期ミックス型サスペンド動作例

26.4.5 割り込み要求機能

スキャングループ x 終了割り込みと AD エラー割り込みがあります。割り込み要求信号はパルスです。スキャングループ x 終了割り込みにより、DMA/ DTS を起動させることができます。

割り込み出力はマスクすることができます。マスクした場合でも、ステータスレジスタに 1 (割り込み発生) がセットされます。

26.4.5.1 スキャングループ x 終了割り込み

終了割り込みは、下記の 2 つのタイミングで発生させることができます。

1. 仮想 ch ごとに割り込み発生
1 つの仮想チャンネルの A/D 変換が完了したら、割り込みが発生します。
2. スキャングループ毎に割り込み発生
スキャングループに割り当てられているすべての仮想チャンネルの A/D 変換が完了したら、割り込みが発生します。

マルチスキャンモードの場合、1 回のスキャングループ A/D 変換ごとに割り込みが発生します。つまり、上記 2 の設定で、2 回マルチスキャンを行った場合、終了割り込みが 2 回発生します。

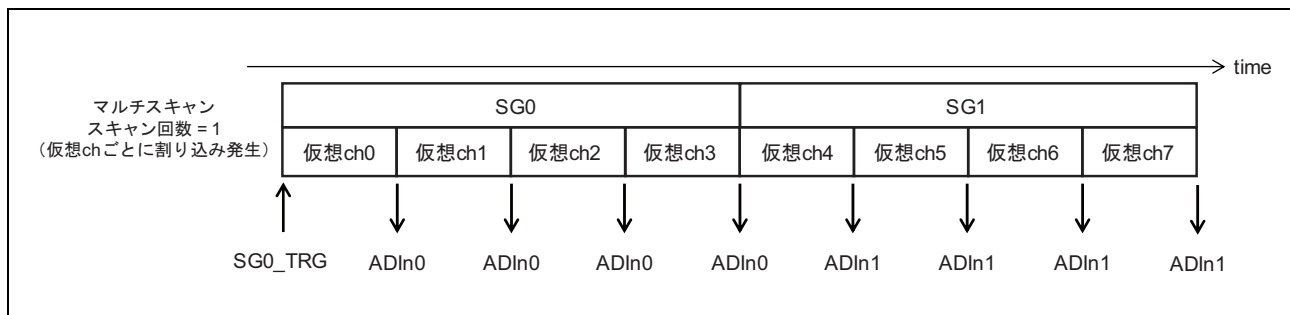


図 26.19 スキャングループ x 終了割り込み (仮想チャンネルごとに割り込み発生)

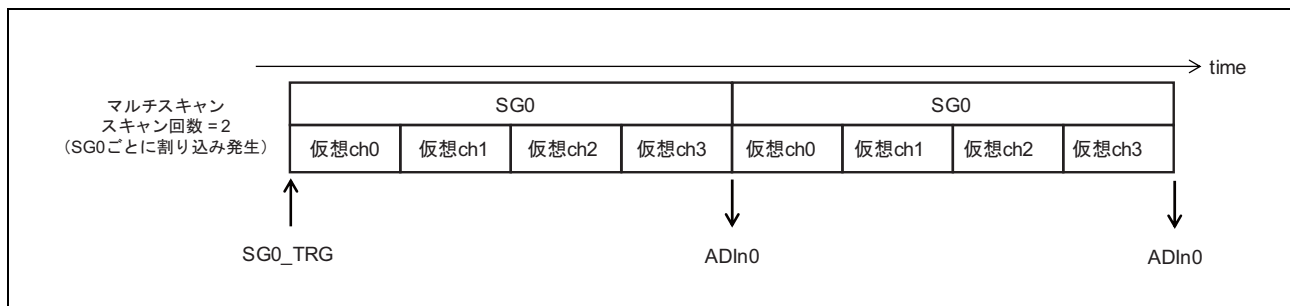


図 26.20 スキャングループ x 終了割り込み (SG ごとに割り込み発生)

26.4.5.2 AD エラー割り込み要求

下記の AD エラーが発生した場合、AD エラー割り込みを発生させることができます。AD エラー割り込み発生タイミングは、終了割り込みと同じです。

AD エラー割り込み要求は、上限/下限エラー、オーバーライトエラー、ID エラーのいずれかが発生 (OR 条件) することにより、発生します。割り込み発生後、割り込みハンドラ内にて、エラーステータスクリアを行ってください。

1. 上限/下限エラー
2. オーバーライトエラー
3. ID エラー

(1) 上限/下限エラー

A/D 変換値が指定した上限/下限値を超えると、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnULER.ULECAP[5:0] ビット) に保持されます。上限/下限値は 3 つのテーブルから一つを選択できます。

上限/下限エラーの判定は、データレジスタに格納される加算結果で判定します。

(2) オーバーライトエラー

A/D 変換した値が読みだされていない状態 (ADCCnDIRj.WFLG ビット = 1) で、A/D 変換した値が更新 (オーバーライト) されると、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnOWER.OWECAP[5:0] ビット) に保持されます。

(3) ID エラー

仮想チャンネルで割り当てた物理チャンネルと実際に変換された物理チャンネルが不一致のとき、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnIDER.IDECAP[5:0] ビット) に保持されます。

注 意

エラークリアを行わない状態で再度同じエラーが発生した場合、後続のエラー情報は破棄されます。

26.4.5.3 AD パリティエラートリガ

パリティエラーが発生した場合、パリティエラートリガを発生させることができます。パリティエラーは、データレジスタ (ADCCnDRj レジスタ) をリードしたタイミングで発生します。

AD パリティエラートリガは、パリティエラーにより発生します。AD パリティエラートリガは ECM へ通知します。

データレジスタをリードした際に、データ付帯情報レジスタのパリティ (ADCCnDIRj.PRTY ビット) でチェックし、パリティエラーになると、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnPER.PECAP[5:0] ビット) に保持されます。

注 意

エラークリアを行わない状態で再度同じエラーが発生した場合、後続のエラー情報は破棄されます。

26.4.6 EMU への A/D 変換結果転送機能

ADCC は EMU に対し、仮想チャンネル 0, 1, 2 の A/D 変換完了信号、A/D 変換データおよび、SG4 スキャン終了信号を出力することができます。A/D 変換完了信号は、A/D 変換結果がデータレジスタに値が設定され、A/D 変換が完了したことを示す信号です。

A/D 変換データは、データレジスタ ADCCnDR0, 1, 2 に格納されたデータを出力します。ただし、出力されるデータはデータフォーマット (ADCCnADCR2.DFMT ビット) の設定によらず、上位 4 ビットは 0 固定、下位 12 ビットは A/D 変換データとなります。また、A/D 変換データは ADCCnDR0, 1, 2 レジスタと同様、リード & クリアイネーブル有効 (ADCCnSFTCR.RDCLRE ビット = 1) に設定されているときに、ADCCnDRj レジスタもしくは ADCCnDIRj レジスタの読み出しで 0000_H にクリアされます。

注 意

本機能を使用する場合は、仮想チャンネル 0, 1, 2 を SG4 に割り当ててください。

スキャングループ終了割り込みは、スキャングループごとに割り込みが発生するように設定してください。(仮想チャンネルごとに割り込みが発生する設定は禁止です。)

加算 A/D 変換設定 (ADCCnVCRj.CNVCLS[2:0] ビット = 4_H) では使用しないでください。

26.4.7 自己診断

ADCCは、以下の3つの自己診断機能を搭載しています。自己診断機能では、変換結果を期待値と比較し、期待値通りであるかを確認します。

- 端子レベル自己診断機能
- A/D変換回路自己診断機能
- 断線検出自己診断回路機能

26.4.7.1 端子レベル自己診断機能

端子からの経路異常を診断する機能です。偶数物理サブチャネル、奇数物理サブチャネルを1セットとし、端子レベル自己診断制御レジスタ (ADCCnTDCR レジスタ) で異電源に設定し、A/D変換を実行することで、端子からの経路異常を診断する機能です。図26.21のように、アナログ入力端子から切り離し、設定した電圧を印加しA/D変換を行います。

異電源はAVSS、AVCC、 $1/2 \times AVCC$ の組み合わせが使用できます。また、診断を行う物理チャネルは任意に選択できます。

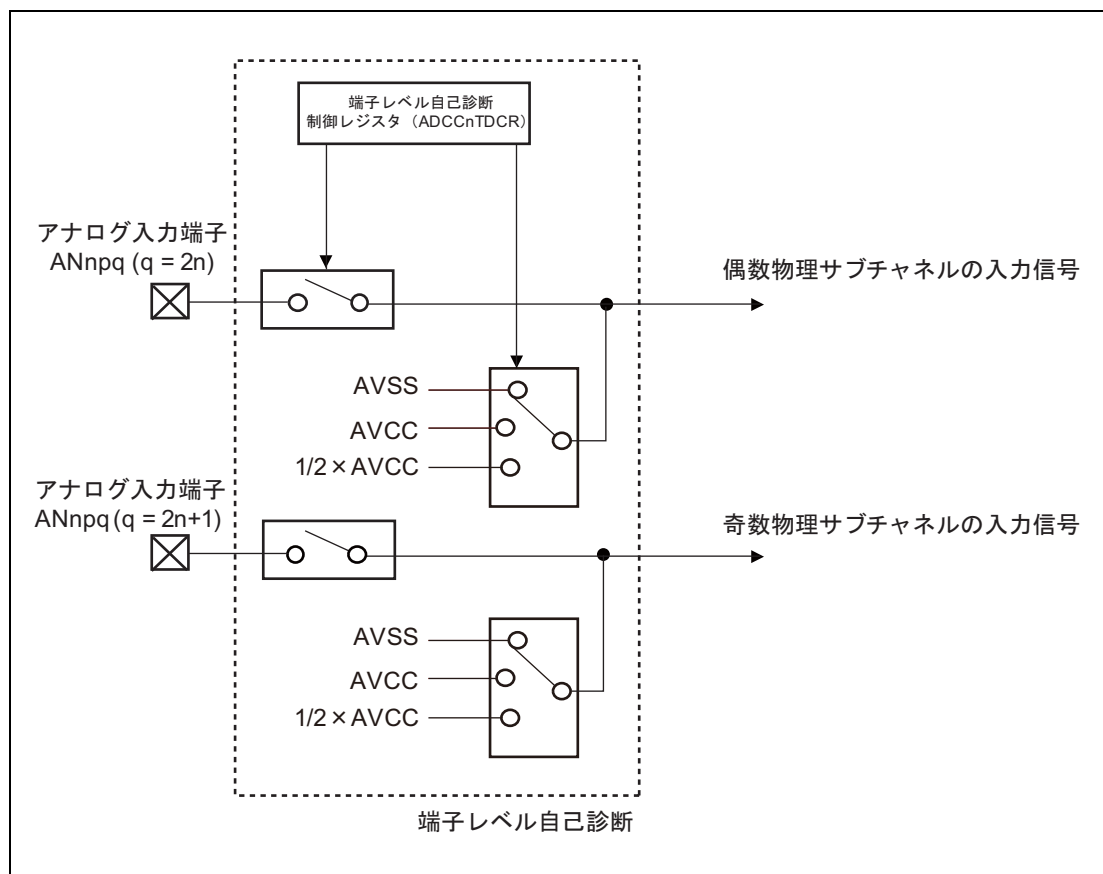


図 26.21 端子レベル自己診断機能図

26.4.7.2 A/D 変換回路自己診断機能

自己診断電圧レベルを入力し、A/D 変換の結果から A/D 変換回路を診断する機能です。自己診断電圧レベルは、 $AVREFH \times 1$ 、 $AVREFH \times 3/4$ 、 $AVREFH \times 1/2$ 、 $AVREFH \times 1/4$ 、 $AVREFH \times 0$ から選択できます。

A/D 変換回路自己診断前に A/D 変換を行った端子に対し、注入電流が印加されている状態で A/D 変換回路自己診断を行った場合、A/D 変換精度に影響を与えることがあります。そのため、A/D 変換回路自己診断前の A/D 変換対象は注入電流が印加されない端子を選択してください。

以下に設定例を示します。

注 意

端子に印加される電圧が供給される電源電圧を超えた場合、およびグランド電圧を下回った場合、注入電流が発生します。

- (1) 同じ SG で A/D 変換と A/D 変換回路自己診断を行う場合、A/D 変換回路自己診断前に注入電流が印加されない端子を選択してください。

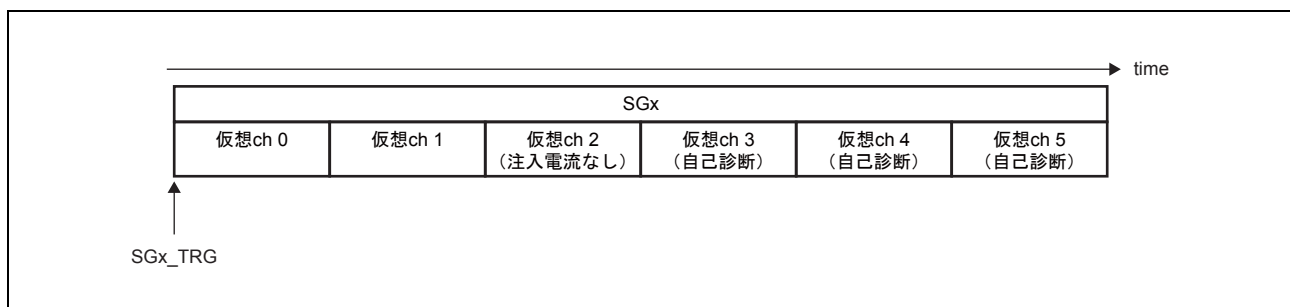


図 26.22 同 SG 内で A/D 変換と A/D 変換回路自己診断を行う場合の設定例

- (2) A/D 変換回路自己診断を実施する SG より高優先の SG がある場合、高優先の SG の A/D 変換を実施するために、A/D 変換回路自己診断が中断された後、再開されることがあります。この場合は、高優先の SG の最後で注入電流が印加されない端子^{注1}を変換してください。

注 1. 注入電流が印加されない端子を確定できない場合は、代替として未使用端子を A/D 変換してください。



図 26.23 A/D 変換回路自己診断よりも高優先となる SG がある場合の設定例

26.4.7.3 断線検出自己診断機能

半田はがれによる端子の断線検出を行う機能です。

断線検出制御レジスタ (ADCCnODCR レジスタ) で設定した時間分、対象のアナログ端子を放電した後、A/D変換を行い、変換結果が0V近傍となった場合、断線していると判断することができます。

26.5 手順

26.5.1 A/D変換設定手順

図 26.24 に A/D 変換設定フローを、図 26.25 に初期設定フローを示します。初期設定は、全スキャングループのトリガ要因無効かつ全スキャングループ、全 T&H が停止した状態で、設定してください。動作している場合は、A/D 変換停止設定を行ってください。

使用しない機能の設定値は、リセット後の値を設定してください。

以下の A/D 変換設定フローは、A/D 変換開始前に A/D 変換が無効状態にて端子接続の自己診断を行ったあと、A/D 変換開始設定を行うフローです。

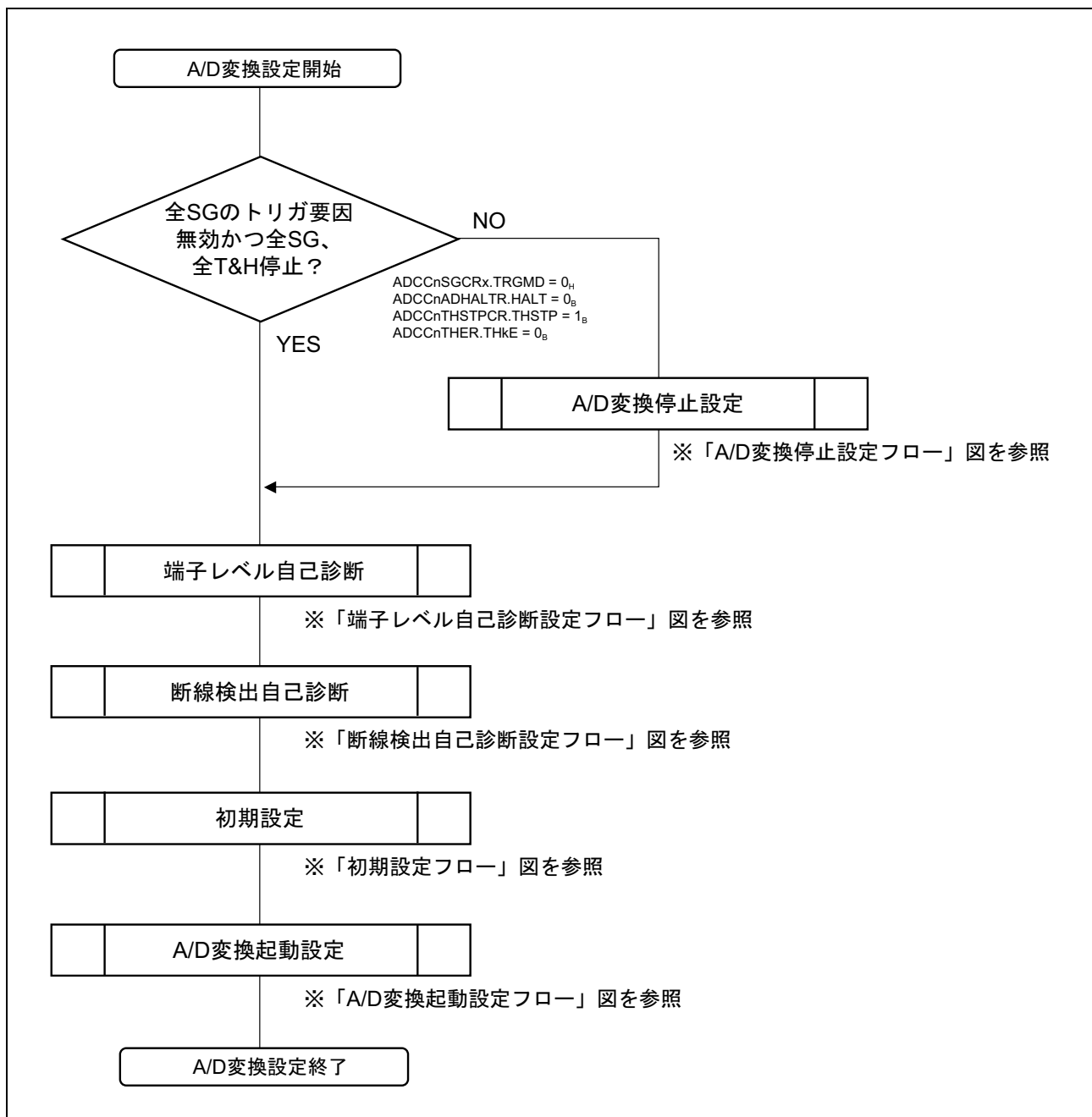


図 26.24 A/D 変換設定フロー

以下の初期設定フローは、A/D変換モードの設定などADCCの基本設定を行うためのフローです。

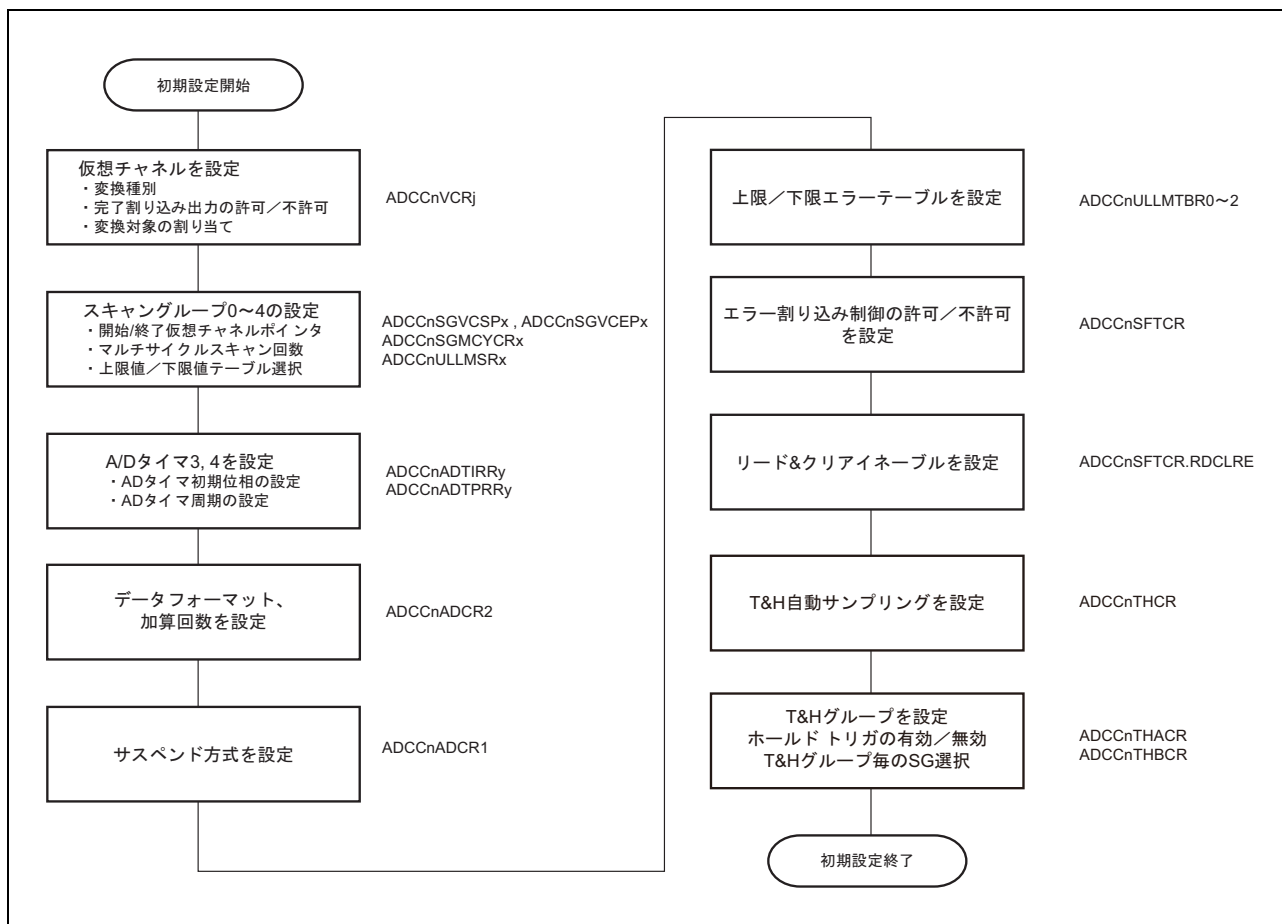


図 26.25 初期設定フロー

26.5.2 A/D 変換起動手順

図 26.26 に A/D 変換起動フローを示します。

以下の A/D 変換起動フローは、HW トリガを用い、A/D 変換動作を起動するためのフローです。同時トラック & ホールド機能を使用する場合、T&H サンプル開始を設定した後、必ず 30clkad 以上経過したあとにホールドを行ってください。

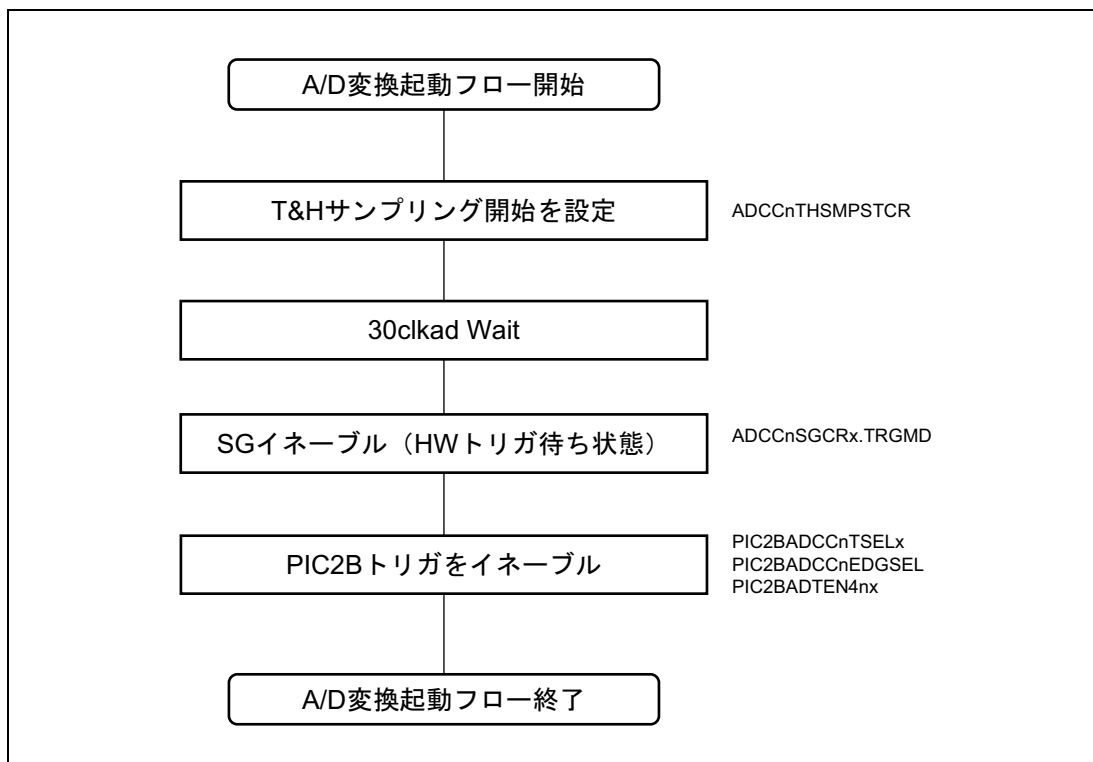


図 26.26 A/D 変換起動フロー

26.5.3 A/D 変換停止手順

図 26.27 に A/D 変換停止フローを示します。

以下の A/D 変換停止フローは、全スキャングループのトリガを無効とし、全スキャングループ、全 T&H の動作を停止させることで、A/D 変換動作を停止するためのフローです。

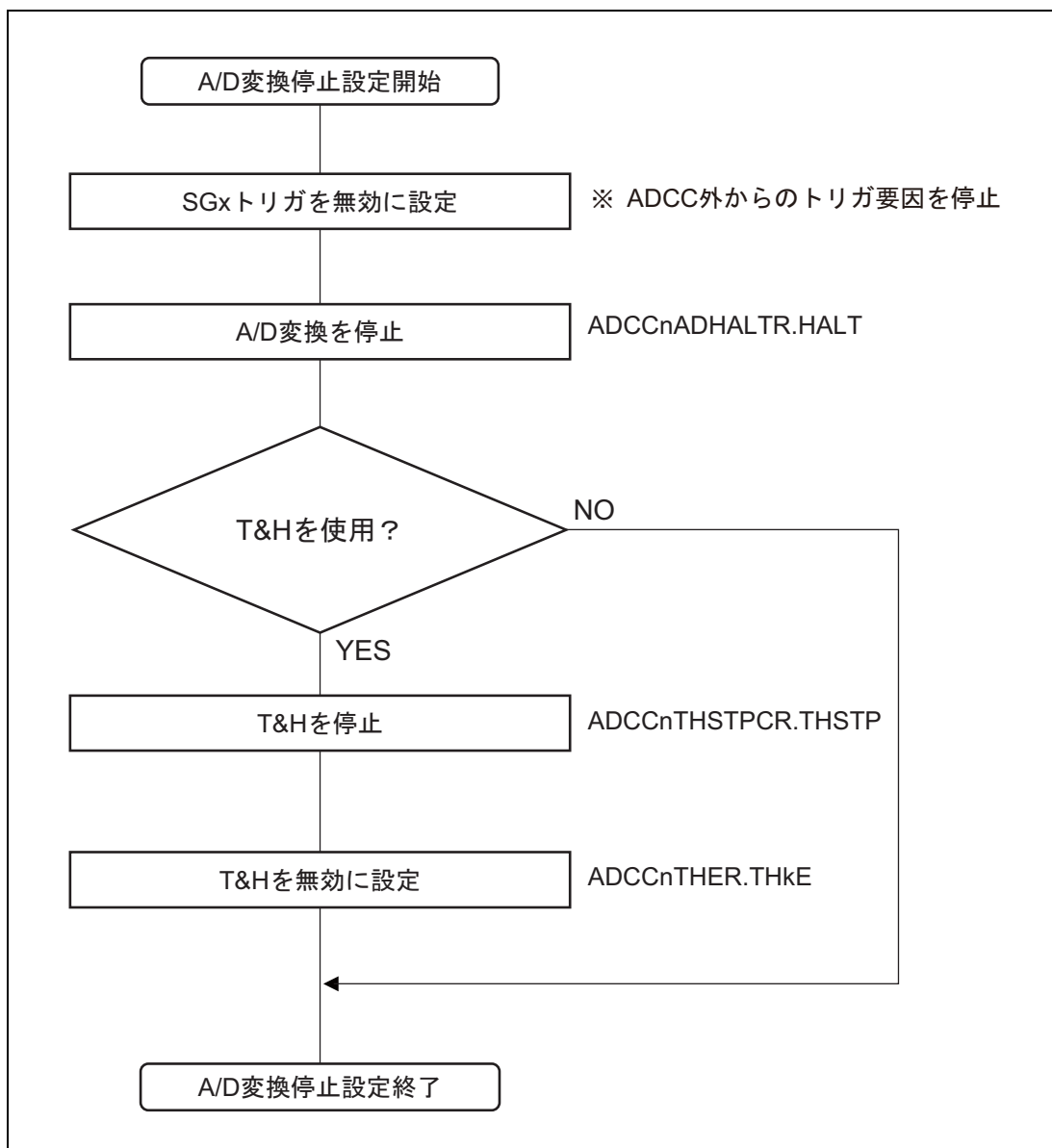


図 26.27 A/D 変換停止フロー

26.5.4 端子レベル自己診断設定手順

図 26.28 に端子レベル自己診断フローを示します。

以下の端子レベル自己診断フローは、ADCC0の全端子を仮想チャンネルに割り当て、偶数物理サブチャンネルと奇数物理サブチャンネルへの印加電圧を切り替えて端子レベル自己診断を行った場合を例としています。また、端子レベル自己診断フローはA/D変換起動前に行うことを想定しています。アナログ入力端子に対し、注入電流が発生している状態では自己診断を行わないでください。

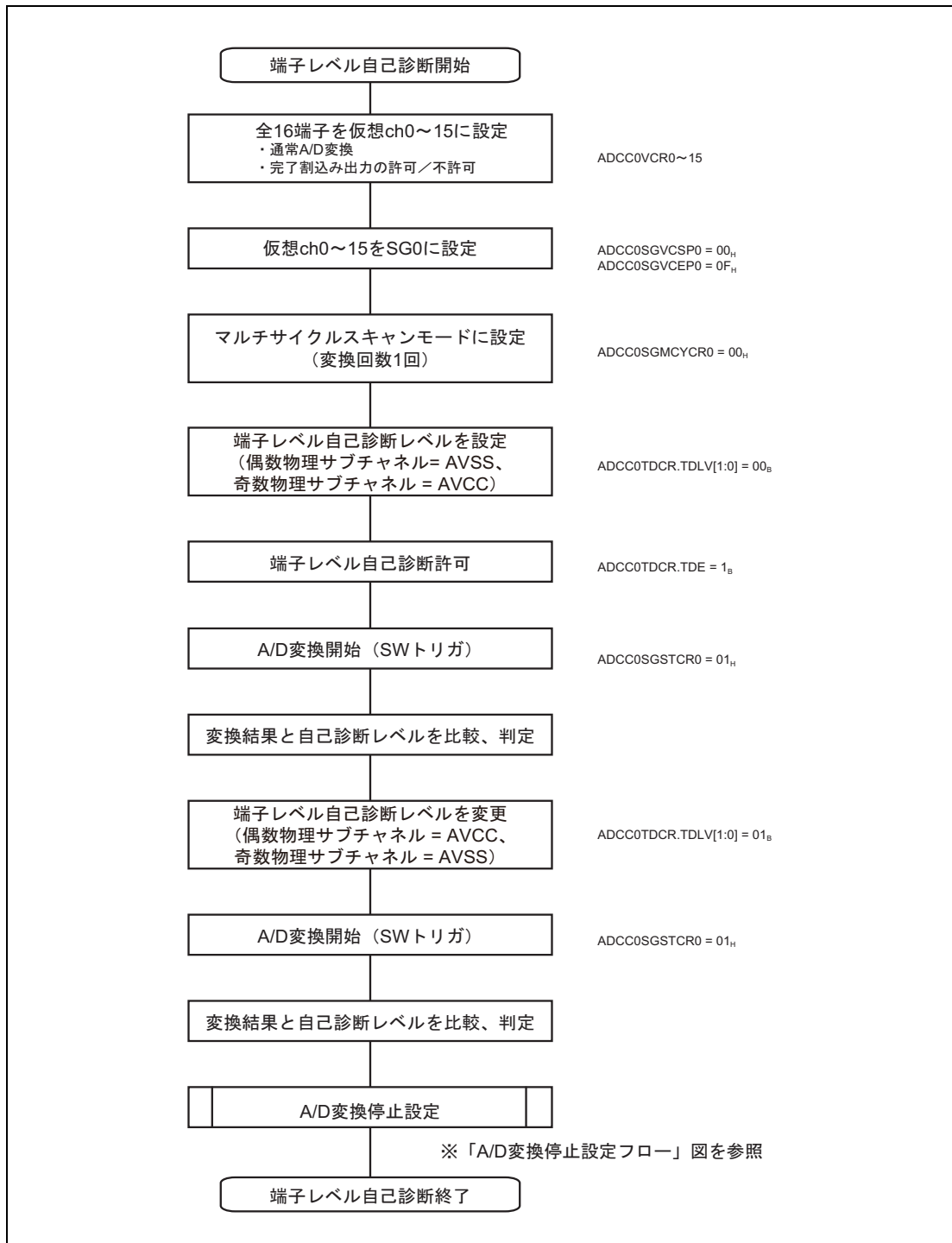


図 26.28 端子レベル自己診断フロー

26.5.5 断線検出自己診断設定手順

図 26.29 に断線検出自己診断フローを示します。

以下の断線検出自己診断フローは、ADCC0 の 1 端子ごとに仮想チャンネルに割り当て、対象端子に診断電圧 (0V 近傍除く) を印加し、断線検出自己診断を行った場合を例としています。また、断線検出自己診断フローは A/D 変換起動前に行うことを想定しています。

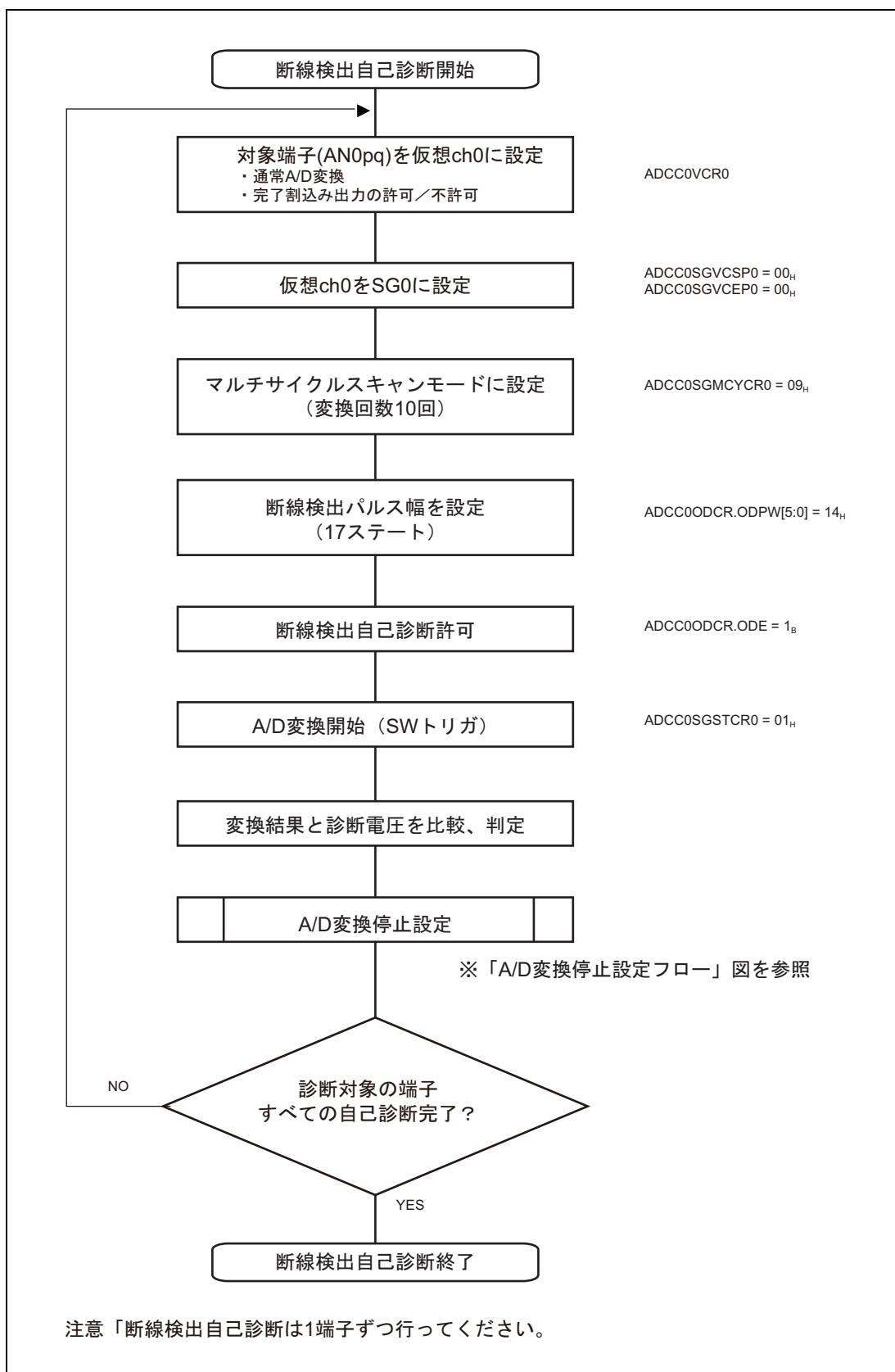


図 26.29 断線検出自己診断フロー

26.6 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
A/D 変換器のデジタル出力コード数
- 量子化誤差
A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で与えられる (図 26.30)。
- オフセット誤差
デジタル出力が最小電圧値 000_{H} から 001_{H} に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 26.30)。
- フルスケール誤差
デジタル出力が FFE_{H} から FFF_{H} に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 26.30)。
- DNL (微分非直線性誤差)
理想デジタル出力コード幅 (V_q) と実際のデジタル出力コード幅 (V_a) との偏差であり、 $(V_a - V_q) / V_q$ で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 26.30)。
- INL (積分非直線性誤差)
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、 000_{H} から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 26.30)。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、DNL、および INL を含む (図 26.30)。

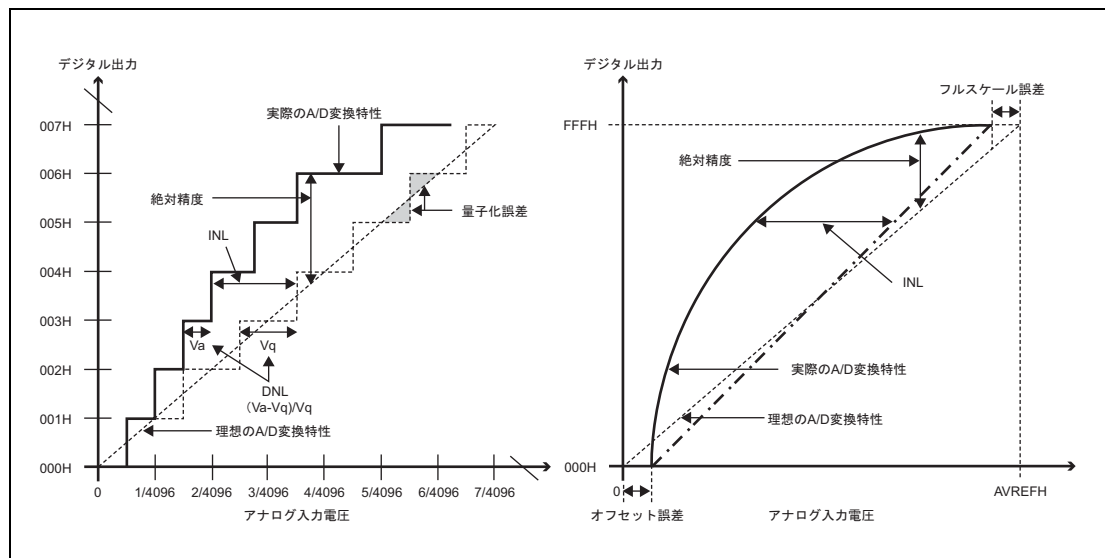


図 26.30 A/D 変換精度の定義

26.7 注意事項

26.7.1 レジスタ設定上の注意事項

1. 同時トラック & ホールド機能を使用する場合、必ず非同期サスペンドを選択してください。
2. 同時トラック & ホールド機能を使用する場合、必ずマルチサイクルスキャンモードを選択し、スキャン回数は1回にしてください。
3. 同時トラック & ホールド機能を使用する場合、必ずホールドを実行したのちに A/D 変換を行ってください。
4. 同時トラック & ホールド機能を使用する場合、必ず T&H グループ A/B で選択する SGx への AD タイマトリガ入力は無効としてください。
5. 断線検出は、同時トラック & ホールドの A/D 変換で行わないでください。また、誤動作を防ぐため、ADCCnTHER.THkE ビットを 0 もしくは、ADCCnTHSTPCR.THSTP ビットを 1 にした後、断線検出機能を使用してください。
6. アナログ入力端子に対し、注入電流が発生している状態では自己診断を行わないでください。

以下に、レジスタ設定上の注意事項を示します。

以下のレジスタは、注意手順の内容を設定/確認したあとに値を設定してください。

表 26.49 レジスタ設定上の注意事項 (1/2)

対象レジスタ	注意手順
ADCCnVCRj	① T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0 ② 全スキャングループの スキャングループ同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) が 0 かつ全スキャングループのトリガモード (ADCCnSGCRx.TRGMD ビット) が 0 ③ 全スキャングループの スキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前)
ADCCnADCR1	
ADCCnADCR2	
ADCCnSFTCR	
ADCCnTDCR	
ADCCnODCR	
ADCCnULLMTBR0 ~ 2	
ADCCnTHCR	① T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0 ② T&H グループ A/B のスキャングループ選択 (ADCCnTHACR.SGS[1:0] ビットおよび ADCCnTHBCR.SGS[1:0] ビット) で指定した SGx のスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前) ③ 全 T&H の ADCCnTHER.THkE ビットが 0 (全 T&H 停止)
ADCCnTHGSR	
ADCCnTHACR.HLDCTE ビット、SGS[1:0] ビット	① T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0 ② 全スキャングループの スキャングループ同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) が 0 かつ全スキャングループのトリガモード (ADCCnSGCRx.TRGMD ビット) が 0 ③ 全スキャングループの スキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前) ④ 全 T&H の ADCCnTHER.THkE ビットが 0 (全 T&H 停止)
ADCCnTHBCR.HLDCTE ビット、SGS[1:0] ビット	
ADCCnTHER	① T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0 ② T&H グループ A/B のスキャングループ選択 (ADCCnTHACR.SGS[1:0] ビット、ADCCnTHBCR.SGS[1:0] ビット) で指定した SGx のスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前)

表 26.49 レジスタ設定上の注意事項 (2/2)

対象レジスタ	注意手順
ADCCnSGCRx.SCANMD ビット、ADIE ビット	① T&H グループ A のスキャングループ選択 (ADCCnTHACR.SGS[1:0] ビット) が SGx を選択している場合は T&H グループ A のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット) が 0 ② T&H グループ B のスキャングループ選択 (ADCCnTHBCR.SGS[1:0] ビット) が SGx を選択している場合は T&H グループ B のホールドトリガイネーブル (ADCCnTHBCR.HLDTE ビット) が 0 ③ SGx のスキャングループ同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) が 0 かつ SGx のトリガモード (ADCCnSGCRx.TRGMD ビット) が 0 ④ SGx のスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前)
ADCCnSGMCYCRx	
ADCCnULLMSRx	
ADCCnSGVCSPx	
ADCCnSGVCEPx	
ADCCnTHCR ADCCnTHACR ADCCnTHBCR ADCCnTHER ADCCnTHGSR ADCCnSGCRx ADCCnSGVCSPx ADCCnSGVCEPx	左記レジスタを設定する場合には、該当レジスタを読み出した後、書き込みを行ってください。本手順を実施しない場合には、書き込んだレジスタ値が、動作に正しく反映されない場合があります。

26.7.2 注入電流印加時の注意事項

注入電流を印加した状態で同時トラック & ホールド機能を使用した A/D 変換を行った場合、A/D 変換精度に影響を与えることがあります。

注入電流による A/D 変換精度の影響を回避するため、以下のいずれかの内容に従って設定してください。

注 意

端子に印加される電圧が供給される電源電圧を超えた場合、およびグランド電圧を下回った場合、注入電流が発生します。

- (1) 同時トラック & ホールド機能を使用する場合は、表 26.50 に示す「注入電流が変換精度に影響する端子」に注入電流を印加しないでください。

表 26.50 T&H 回路と変換精度に影響する端子の組み合わせ

ユニット名	変換対象の T&H 回路 (ユニット信号名)	注入電流が変換精度に 影響する端子	対象製品 ^{注1}	
			C1H	C1M
ADCC0	T&H 回路 0 (AN030)	AN000	○	○
	T&H 回路 1 (AN031)	AN001	○	—
	T&H 回路 2 (AN032)	AN002	○	—
	T&H 回路 3 (AN033)	AN003	○	○
	T&H 回路 4 (AN022)	AN010	○	—
	T&H 回路 5 (AN023)	AN011	○	—
ADCC1	T&H 回路 0 (AN130)	AN100	○	○
	T&H 回路 1 (AN131)	AN101	○	○
	T&H 回路 2 (AN132)	AN102	○	○
	T&H 回路 3 (AN140)	— (該当端子なし)	—	—
	T&H 回路 4 (AN141)	AN110	○	○
	T&H 回路 5 (AN142)	AN111	○	○

注 1. 該当：○、非該当（端子非搭載）：—

- (2) 同時トラック&ホールド機能を使用時、ADCCnVCRj.GCTRL ビットの bit 4、3 に 00_B 以外の値を設定することで、「注入電流が変換精度に影響する端子」を変更することができます。

以下に ADCCnVCRj.GCTRL ビットの bit 4、3 の設定値 (00_B 以外) と「注入電流が変換精度に影響する端子」の対応を示します。表 26.51 に従って、「注入電流が変換精度に影響する端子」が該当端子なし、あるいは、注入電流がない端子となるように ADCCnVCRj.GCTRL ビットの bit 4、3 を設定してください。

表 26.51 T&H 回路と変換精度に影響する端子の組み合わせ (ADCCnVCRj.GCTRL ビット使用)

ユニット名	変換対象の T&H 回路 (ユニット信号名)	GCTRL[4:3] の 設定値 (00 _B 以外)	注入電流が変換精度に影響する端子
ADCC0	T&H 回路 0 (AN030)	11 _B	— (該当端子なし)
	T&H 回路 1 (AN031)	11 _B	— (該当端子なし)
	T&H 回路 2 (AN032)	11 _B	— (該当端子なし)
	T&H 回路 3 (AN033)	11 _B	— (該当端子なし)
	T&H 回路 4 (AN022)	11 _B	— (該当端子なし)
	T&H 回路 5 (AN023)	11 _B	— (該当端子なし)
ADCC1	T&H 回路 0 (AN130)	01 _B	AN120
		10 _B	AN140
		11 _B	AN160
	T&H 回路 1 (AN131)	01 _B	AN121 ^{注1}
		10 _B	AN141
		11 _B	AN161
	T&H 回路 2 (AN132)	01 _B	AN122 ^{注1}
		10 _B	AN142
		11 _B	AN162
	T&H 回路 3 (AN140)	—	— (該当端子なし)
	T&H 回路 4 (AN141)	11 _B	— (該当端子なし)
	T&H 回路 5 (AN142)	11 _B	— (該当端子なし)

注 1. C1M では非搭載の端子です。C1M では回避策として本端子を選択してください。

26.7.3 同時トラック & ホールド機能を使用する場合の注意事項

以下の条件で同時トラック&ホールド機能を使用した A/D 変換を行う場合、A/D 変換精度及びレゾルバ信号モニタ出力に影響を与えることがあります。

1. 表 26.53 に示す組み合わせの端子で A/D 変換を行う場合
2. 表 26.53 に示す組み合わせの端子でレゾルバ信号モニタ出力を使用する場合

A/D変換精度への影響は、下記で算出される誤差がA/D変換器特性で規定される誤差（絶対誤差等）に追加されます。

$$\text{sampling error (LSB)} = \left[\left(\frac{1}{T2} \times C1 \times V3 \times Re \right) \right] \times \frac{4096}{Vavrefh}$$

図 26.31 A/D変換影響算出式

表 26.52 A/D変換影響算出式

項目	記号	参考値	単位
信号源インピーダンス	Re	ユーザ基板依存	kΩ
T&H回路の変換周期	T2		ms
AnVREFH電圧 (n = 0, 1)	Vavrefh		V
チャンネルマルチプレクサ内の寄生容量	C1	10	pF
AnVCC電圧 /2- 測定端子電圧 (n = 0, 1)	V3	ユーザ基板依存	V

そのため、下記の内容に従って設定してください。

- (1) 同時トラック&ホールド機能を使用する場合は、**表 26.53**に示す組み合わせの端子に影響を与えます。

表 26.53 T&H回路と影響を受ける端子の組み合わせ

ユニット名	影響を与えるT&H回路 (ユニット信号名)	影響を受ける端子	対象製品 ^{注1}	
			C1H	C1M
ADCC0	T&H回路0 (AN030)	AN000/RDC20SINMNT	○	○
	T&H回路1 (AN031)	AN001	○	—
	T&H回路2 (AN032)	AN002	○	—
	T&H回路3 (AN033)	AN003/RDC20COSMNT	○	○
	T&H回路4 (AN022)	AN010	○	—
	T&H回路5 (AN023)	AN011	○	—
ADCC1	T&H回路0 (AN130)	AN100	○	○
	T&H回路1 (AN131)	AN101	○	○
	T&H回路2 (AN132)	AN102	○	○
	T&H回路3 (AN140)	— (該当端子なし)	—	—
	T&H回路4 (AN141)	AN110	○	○
	T&H回路5 (AN142)	AN111	○	○

注1. 該当：○、非該当（端子非搭載）：—

- (2) 同時トラック&ホールド機能を使用時、ADCCnVCRj.GCTRL ビットの bit 4、3 に 00_B 以外の値を設定することで、「影響を受ける端子」を変更することができます。以下に ADCCnVCRj.GCTRL ビットの bit 4、3 の設定値と「影響を受ける端子」の対応を示します。表 26.54 に従って、「影響を受ける端子」が該当端子なし、あるいは、システム上問題とならない端子となるように ADCCnVCRj.GCTRL ビットの bit 4、3 を設定してください。

表 26.54 T&H 回路と影響を受ける端子の組み合わせ (ADCCnVCRj.GCTRL ビット使用)

ユニット名	影響を与える T&H 回路 (ユニット信号名)	GCTRL[4:3] の 設定値	影響を受ける端子
ADCC0	T&H 回路 0 (AN030)	11 _B	— (該当端子なし)
	T&H 回路 1 (AN031)	11 _B	— (該当端子なし)
	T&H 回路 2 (AN032)	11 _B	— (該当端子なし)
	T&H 回路 3 (AN033)	11 _B	— (該当端子なし)
	T&H 回路 4 (AN022)	11 _B	— (該当端子なし)
	T&H 回路 5 (AN023)	11 _B	— (該当端子なし)
ADCC1	T&H 回路 0 (AN130)	01 _B	AN120
		10 _B	AN140
		11 _B	AN160
	T&H 回路 1 (AN131)	01 _B	AN121 注 ¹
		10 _B	AN141
		11 _B	AN161
	T&H 回路 2 (AN132)	01 _B	AN122 注 ¹
		10 _B	AN142
		11 _B	AN162
	T&H 回路 3 (AN140)	—	— (該当端子なし)
	T&H 回路 4 (AN141)	11 _B	— (該当端子なし)
	T&H 回路 5 (AN142)	11 _B	— (該当端子なし)

注 1. C1M では非搭載の端子です。C1M では回避策として本端子を選択してください。

第27章 ファンクショナルセーフティ

27.1 概要

この章では、LSI に生じた故障を早期に検出するための故障検出機能について説明します。ここで故障には、メモリのソフトエラーのように回復可能な一過性故障と、回復不可能な恒久故障の両方を含みます。

以下に本 LSI の備える故障検出機能を示します。

ECC および EDC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

ロックステップ

CPU1 の故障を早期に検出します。

注 意

**デバッグ中はロックステップ機能は無効化されます。
故障検出機能を使っても、故障は検出されません。**

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

MISG

CPU による特定のアドレスへのライトアクセスを監視し、そのライトデータを用いたシグネチャを生成し、生成したシグネチャ同士を自動比較します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

BIST

故障検出機能自身の故障を検出します。

エラーコントロールモジュール ECM

LSI 内の様々な故障検出状況を監視し、故障検出時の動作を指定します。

27.2 ECC および EDC

27.2.1 概要

27.2.1.1 ECC

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコードとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 27.1 ECC 概要

対象	対象データ幅 [bit]	エラー検出時の動作				故障注入
		検出／訂正	ECM 通知	エラーステータス	アドレスキャプチャ	
Code Flash	128	SEC-DED	○	○	○	○
Data Flash Local RAM (CPU1) Local RAM (CPU2: C1Hのみ) Global RAM	32	SEC-DED	○	○	○	○
命令キャッシュ (データ)	64	SEC-DED	○	○	○	○
命令キャッシュ (TAG)	32	SEC-DED	○	○	○	○
DTS 用 RAM	32	SEC-DED	○	○	○	○
周辺 RAM (32 ビット)	32	SEC-DED	○	○	○	○

対象データ幅

ECC エンコードの対象となるデータ幅を示します。これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、(1) の読み出し時にも ECC はチェックされます。

- (1) 書き換え対象データを含む ECC エンコード対象データの読み出し
- (2) 書き換え対象データの入れ替え
- (3) (2) で生成したデータの書き戻し

検出／訂正

SEC-DED : 1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED : 1 ビットエラーおよび 2 ビットエラーの検出が可能です。

ECM 通知

エラー検出時に ECM (Error Control Module) に通知可能です。

エラーステータス

エラー検出時に、検出したエラー内容のステータスを保持します。

アドレスキャプチャ

エラー検出時に、エラーを発生したアドレスを保持します。

故障注入

意図的に ECC エラーを発生させることによって、ECC デコーダの動作を自己診断することができます。

27.2.1.2 アドレスパリティ

本製品は、以下のメモリに対してアドレスパリティを搭載しています。これによって、アドレスデコード時のエラーを検出可能です。また、パリティエンコーダとメモリ間のアドレスに生じたエラーの検出も可能です。

表 27.2 アドレスパリティ概要

対象	パリティビット	ECM 通知	エラーステータス	アドレスキャプチャ	故障注入
Code Flash	1bit	○	○	○	○
Local RAM (CPU1、CPU2: C1Hのみ)	2bit 注1	○	○	○	○
Global RAM	1bit	○	○	○	○

注 1. ライトアドレスに対応するパリティビットをメモリの2ヶ所に書き込みます。リードアドレスに対応するパリティビットとの比較において、メモリに格納した2ビットの両方にエラーを検出した場合をアドレスパリティエラー、パリティビットの一方にのみエラーを検出した場合をパリティビットエラーとして区別します。

27.2.1.3 データパリティ

本製品は、特定のデータ転送に対してデータパリティを搭載しています。これにより、転送データに生じたエラーを検出可能です。詳細は、「27.2.9 データ転送経路のデータパリティ」を参照してください。

27.2.2 Code Flash の ECC およびアドレスパリティ

27.2.2.1 概要

Code Flash 用 ECC の概要を以下に示します。

表 27.3 Code Flash 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。無効時はエラー検出・訂正を行いません。 <p>リセット後の値は機能有効で 2 ビットエラー検出、1 ビットエラー検出・訂正の通知を行います。</p>
アドレスパリティ	<p>アドレスパリティチェックの有効/無効を選択可能</p> <p>アドレスパリティチェックはデータリード時に行います。</p> <p>リセット後の値は機能有効。</p>
エラー通知	<p>ECC エラー発生時、またはパリティエラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の値は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時にエラー通知許可/禁止を選択可 <p>リセット後の値は、アドレスパリティエラー検出時のエラー通知許可。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として ECM に通知します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>ROM データと、ECC ビットやアドレスパリティビットをダイレクトに読みだすことができます。</p> <p>ROM データと、ECC ビットやアドレスパリティビットに任意のデータを書き込むことができます。</p>
その他	<p>命令フェッチ時の ECC 2 ビットエラーは ECM で安全状態に移行できます。</p>

ECC デコーダとアドレスパリティ生成器は Code Flash インタフェースにつながる各読み出しポート (CPU1、CPU2、インターコネクタ) それぞれに対応して用意されています。アドレスパリティチェッカは Code Flash のアクセスコントローラにあります。図 27.1 をご参照ください。

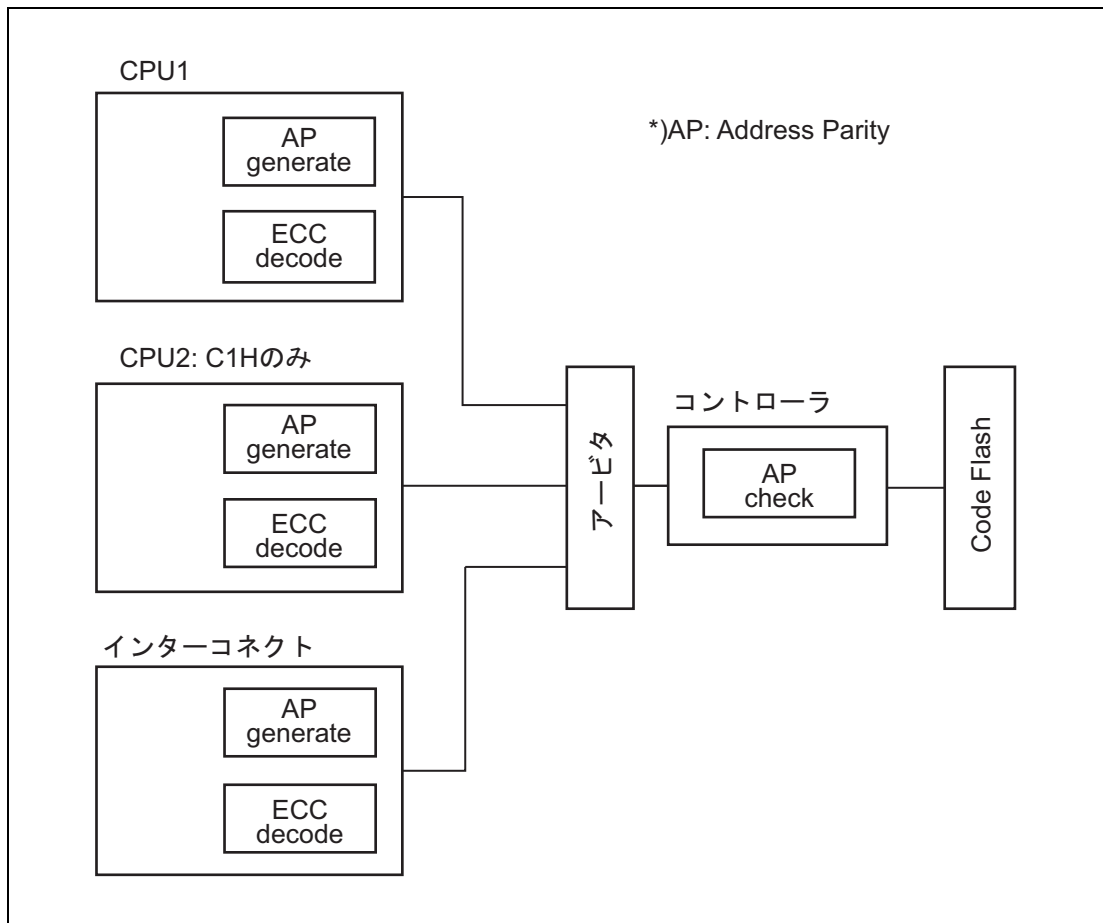


図 27.1 Code Flash の ECC とアドレスパリティ

27.2.2.2 レジスタ一覧

表 27.4 レジスタ一覧

モジュール名	アドレス	シンボル ^{注1}	レジスタ名	R/W	リセット後の値	アクセスサイズ
ECCFLI	FFC6 2000 _H	CFAPCTL	Code Flash アドレスパリティ コントロールレジスタ	R/W	0000 0000 _H	16/32
ECCFLI	FFC6 2200 _H	CFECCCTL_VCI	Code Flash ECC コントロール レジスタ (VCI)	R/W	0000 0000 _H	16/32
ECCFLI	FFC6 2204 _H	CFERRINT_VCI	Code Flash エラー情報コントロール レジスタ (VCI)	R/W	0000 0006 _H	8/16/32
ECCFLI	FFC6 2208 _H	CFSTCLR_VCI	Code Flash ステータスクリア レジスタ (VCI)	W	0000 0000 _H	8/16/32
ECCFLI	FFC6 220C _H	CFOVFSTR_VCI	Code Flash エラーカウントオーバーフ ローステータスレジスタ (VCI)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2210 _H	CF1STERSTR_VCI	Code Flash 1st エラーステータス レジスタ (VCI)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2250 _H	CF1STEADR0_VCI	Code Flash 1st エラーアドレス レジスタ (VCI)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2350 _H	CFSTSTCTL_VCI	Code Flash サブテストコントロール レジスタ (VCI)	R/W	0000 0000 _H	16/32
ECCFLI	FFC6 2400 _H	CFECCCTL_PE1	Code Flash ECC コントロール レジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCFLI	FFC6 2404 _H	CFERRINT_PE1	Code Flash エラー情報コントロール レジスタ (PE1)	R/W	0000 0006 _H	8/16/32
ECCFLI	FFC6 2408 _H	CFSTCLR_PE1	Code Flash ステータスクリア レジスタ (PE1)	W	0000 0000 _H	8/16/32
ECCFLI	FFC6 240C _H	CFOVFSTR_PE1	Code Flash エラーカウントオーバーフ ローステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2410 _H	CF1STERSTR_PE1	Code Flash 1st エラーステータス レジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2450 _H	CF1STEADR0_PE1	Code Flash 1st エラーアドレス レジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2550 _H	CFSTSTCTL_PE1	Code Flash サブテストコントロール レジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCFLI	FFC6 2600 _H	CFECCCTL_PE2	Code Flash ECC コントロール レジスタ (PE2)	R/W	0000 0000 _H	16/32
ECCFLI	FFC6 2604 _H	CFERRINT_PE2	Code Flash エラー情報コントロール レジスタ (PE2)	R/W	0000 0006 _H	8/16/32
ECCFLI	FFC6 2608 _H	CFSTCLR_PE2	Code Flash ステータスクリア レジスタ (PE2)	W	0000 0000 _H	8/16/32
ECCFLI	FFC6 260C _H	CFOVFSTR_PE2	Code Flash エラーカウントオーバーフ ローステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2610 _H	CF1STERSTR_PE2	Code Flash 1st エラーステータス レジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2650 _H	CF1STEADR0_PE2	Code Flash 1st エラーアドレス レジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCFLI	FFC6 2750 _H	CFSTSTCTL_PE2	Code Flash サブテストコントロール レジスタ (PE2)	R/W	0000 0000 _H	16/32

注1. レジスタシンボルにおいて、“_VCI”、“_PE1”、“_PE2”が付いているレジスタは、各アクセスポートに対応するECCコントローラごとに用意されているレジスタとなります。

“_VCI”はシステムインタコネク1からCode Flashへのアクセス用、“_PE1”はCPU1からのアクセス用、“_PE2”はCPU2からのアクセス用のECCコントローラを示します。

27.2.2.3 レジスタ詳細

(1) CFAPCTL — Code Flash アドレスパリティコントロールレジスタ

CFAPCTL レジスタは、アドレスパリティチェックの有効/無効を設定するレジスタです。CFAPCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	APTES TB	APTES TA	APARID IS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 27.5 CFAPCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されず。
13 ~ 3	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	APTESTB	アドレスパリティチェッカ (BankB) テストビット アドレスパリティチェッカをテストモードに設定します。 APTESTB = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
1	APTESTA	アドレスパリティチェッカ (BankA) テストビット アドレスパリティチェッカをテストモードに設定します。 APTESTA = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
0	APARIDIS	アドレスパリティチェックディスエーブルビット アドレスパリティ回路のアドレスパリティチェックの有効/無効を設定します。 0: アドレスのパリティチェック許可 1: アドレスのパリティチェック禁止

(2) CFEECCTL_VCI/PE1/PE2 — Code Flash ECC コントロールレジスタ

CFEECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。CFEECCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.6 CFEECCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されず。
13 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1 ビットエラー検出時にエラー訂正する 1: 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効

(3) CFERRINT_VCI/PE1/PE2 — Code Flash エラー情報コントロールレジスタ

CFERRINT レジスタは、ECC 2 ビットエラー検出時、ECC 1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEIE	DEDIE	SEDIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 27.7 CFERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0: アドレスパリティエラー通知禁止 1: アドレスパリティエラー通知許可
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(4) CFSTCLR_VCI/PE1/PE2 — Code Flash ステータスクリアレジスタ

CFSTCLR レジスタは、エラーステータスレジスタ (CF1STERSTR) のエラーフラグ、エラーカウントオーバーフローステータスレジスタ (CFOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (CF1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 27.8 CFSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STCLR0	エラーオーバーフローフラグクリアビット 1 書き込みで「CF1STERSTR レジスタの APEF0, DEDF0, SEDF0 フラグ」、 「CFOVFSTR レジスタの ERROVF0 フラグ」および「CF1STEADR0 レジスタ」 をクリアします。

(5) CFOVFSTR_VCI/PEI/PE2 — Code Flash エラーカウントオーバフローステータスレジスタ

CFOVFSTR レジスタは、エラーカウントのオーバフロー発生を監視するためのレジスタです。1stエラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の2ndエラーが発生した場合に本フラグがセットされます。ただし、2ndエラーの内容が、1stエラーとまったく同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または、CFSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.9 CFOVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ (APEF0, DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(6) CF1STERSTR_VCI/PE1/PE2 — Code Flash 1st エラーステータスレジスタ

CF1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが0の状態ではエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生すると、エラーフラグを上書きします。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされず。CF1STERSTR レジスタは内部リセット、外部リセット、またはCFSTCLR レジスタのSTCLR ビットへ1をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.10 CF1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	予約です。読み出すと常に0が読み出されず。書き込む値も常に0にしてください。
2	APEF0	アドレスパリティエラーモニタフラグ 0: CFSTCLR レジスタの STCLR0 ビットへ1をセット 1: DEDF0/APEF0 のエラーフラグが0の状態ではアドレスパリティエラー発生
1	DEDF0	ECC 2 ビットエラーモニタフラグ 0: CFSTCLR レジスタの STCLR0 ビットへ1をセット 1: DEDF0/APEF0 のエラーフラグが0の状態ではECC 2 ビットエラー発生
0	SEDF0	ECC 1 ビットエラーモニタフラグ 0: CFSTCLR レジスタの STCLR0 ビットへ1をセット 1: DEDF0/SEDF0/APEF0 のすべてのエラーフラグが0の状態ではECC 1 ビットエラー発生

(7) CF1STEADR0_VCI/PE1/PE2 — Code Flash 1st エラーアドレスレジスタ

CF1STEADR レジスタは、エラー発生時のアドレスを保持するためのレジスタです。CF1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[24:4] は実アドレスの [24:4] が対応します。上位アドレス [31:25] をベースアドレスとして加算することにより実アドレスが計算できます。CF1STEADR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—							EADR[24:16]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:4]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.11 CF1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24 ~ 4	EADR[24:4]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。
3 ~ 0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(8) CFSTSTCTL_VCI/PE1/PE2 — Code Flash サブテストコントロールレジスタ

CFSTSTCTL レジスタは ECC テスト（自己診断）時に使用するレジスタです。Code Flash 専用のレジスタです。ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。本レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 27.12 CFSTSTCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。
13 ~ 1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。

ECC テストモード（ECCTST = 1）に設定した Code Flash アクセスポートからは正しい命令を読み出せません。CPU 用のアクセスポートをテストモードに設定中は（ECCTST ビットの操作中も含まれます）、CPU は Local RAM や Global RAM 上のプログラムを実行するようにし、Code Flash から命令をフェッチしないようにしてください。

CPU には小容量のデータバッファを備えています。これらのデータバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、CPU の章をご参照ください。

ECC テストモードに設定した Code Flash アクセスポートからは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 27.13 Code Flash の読み出し結果

ビット位置	内容
31 ~ 10	常に 0 です。
9	アドレスパリティビット
8 ~ 0	ECC ビット

27.2.2.4 テスト機能

レジスタ設定により、Code Flash データ、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) Code Flash データ読み出し

- (a) Code Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- (b) ECCDIS = 1 のとき、Code Flash 読み出し時にエラー検出・訂正を行いませんので Code Flash からのデータがそのまま読みだされます。

本テストモードからの抜け方：

- (c) Code Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC ビット、アドレスパリティビット読み出し

- (a) Code Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- (b) Code Flash サブテストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (c) Code Flash の読み出しを実行すると、Code Flash データ部分の代わりに ECC ビットとアドレスパリティビットが読みだされます。

本テストモードからの抜け方：

- (d) Code Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。
- (e) Code Flash サブテストコントロールレジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Code Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読みだすことによって各アクセスポートの ECC デコーダやアドレスパリティデコーダを自己診断することができます。いったん正しい ECC ビットやアドレスパリティビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラー、アドレスパリティエラーの故障を注入することができます。

Code Flash 書き込み方法の詳細は、「RH850/C1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

27.2.3 Data Flash の ECC

27.2.3.1 概要

Data Flash 用 ECC の概要を以下に示します。

表 27.14 Data Flash 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の値は機能有効で 2 ビットエラー検出、1 ビットエラー検出・訂正の通知を行います。</p>
エラー通知	<p>ECC エラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の値は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>ROM データと、ECC ビットをダイレクトに読みだすことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。</p>

27.2.3.2 レジスタ一覧

(1) ECC モジュール一覧

表 27.15 モジュール一覧

ECC モジュール名とレジスタベースアドレス			
マスタ側		チェック側	
モジュール名	ベースアドレス <Base_addr>	モジュール名	ベースアドレス <Base_addr>
ECCEEP	FFC6 2C00 _H	ECCEEPC	FFC6 2E00 _H

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 27.16 レジスタ一覧

モジュール名	レジスタ シンボル	レジスタ名	R/W	リセット 後の値	アドレス	アクセス サイズ		
						8	16	32
ECCEEP	DFECCCTL	Data Flash ECC コントロールレジスタ	R/W	0000 _H	<Base_addr>		○	
ECCEEP	DFERSTR	Data Flash エラーステータスレジスタ	R	00 _H	<Base_addr> + 04 _H	○		
ECCEEP	DFERSTC	Data Flash エラーステータスクリア レジスタ	W	00 _H	<Base_addr> + 08 _H	○		
ECCEEP	DFOVFSTR	Data Flash エラーオーバフローステータ スレジスタ	R	00 _H	<Base_addr> + 0C _H	○		
ECCEEP	DFOVFSTC	Data Flash エラーオーバフローステータ スクリアレジスタ	W	00 _H	<Base_addr> + 10 _H	○		
ECCEEP	DFERRINT	Data Flash エラー通知コントロールレジ スタ	R/W	02 _H	<Base_addr> + 14 _H	○		
ECCEEP	DFEADR	Data Flash 1st エラーアドレスレジスタ	R	0000 0000 _H	<Base_addr> + 18 _H			○
ECCEEP	DFTSTCTL	Data Flash テストコントロールレジスタ	R/W	0000 _H	<Base_addr> + 1C _H		○	

(3) DFECCTL — Data Flash ECC コントロールレジスタ

DFECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1ビットエラー訂正の許可/禁止を設定するレジスタです。DFECCTL レジスタは内部リセットまたは、外部リセットによって初期化されます。DFECCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.17 DFECCTL レジスタの内容

ビット位置	ビット名	機能
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されず。
13 ~ 2	—	予約ビット
1	SECDIS	1ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1ビットエラー検出時にエラー訂正します 1: 1ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 初期状態は ECC エラー検出・訂正機能が有効です。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効

(4) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

DFERSTR は内部リセットまたは、外部リセット、Data Flash エラーステータスクリアレジスタのクリアビットセットによって初期化されます。

ECC エラー検出・訂正有効時に、ECC 1 ビットエラーが検出されると SEDF ビットがセットされ、ECC 2 ビットエラーが検出されると DEDF ビットがセットされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.18 DFERSTR レジスタの内容

ビット位置	ビット名	機能
7～2	—	予約ビット
1	DEDF	ECC 2 ビットエラーモニタフラグ SEDF、DEDF がすべて 0 の状態で、ECC 2 ビットエラーが発生するとセットされます。 0 になる条件： リセット発生 Data Flash エラーステータスクリアレジスタの ERRCLR ビットのセット 1 になる条件： SEDF、DEDF がすべて 0 の状態で、ECC 2 ビットエラー発生
0	SEDF	ECC 1 ビットエラーモニタフラグ SEDF、DEDF がすべて 0 の状態で、ECC 1 ビットエラーが発生するとセットされます。 0 になる条件： リセット発生 Data Flash エラーステータスクリアレジスタの ERRCLR ビットのセット 1 になる条件： SEDF、DEDF がすべて 0 の状態で、ECC 1 ビットエラー発生

(5) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。書き込み専用レジスタで、読み出し値は常に 0 です。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.19 DFERSTC レジスタの内容

ビット位置	ビット名	機能
7～1	—	予約ビット
0	ERRCLR	SEDF/DEDF フラグクリアビット 1 書き込みで SEDF/DEDF フラグをクリアします。

(6) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフロー発生を監視するためのレジスタです。ERROVF フラグは内部リセットまたは、外部リセット、DFOVFSTC レジスタの ERROVFCLR ビットへ1 をセットすることでクリアされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.20 DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7～1	—	予約ビット
0	ERROVF	エラーオーバフローフラグ エラーアドレスレジスタがフルの状態では ECC エラーが発生するとセットされます。

(7) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。ERROVFCLR ビットへ1 をセットすることでクリアされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVFCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.21 DFOVFSTC レジスタの内容

ビット位置	ビット名	機能
7～1	—	予約ビット
0	ERROVFCLR	エラーオーバフローフラグクリアビット 1書き込みで ERROVF フラグをクリアします。 常に0が読み出されます。

(8) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC 2 ビットエラー検出時、ECC 1 ビットエラー検出時にエラー通知信号発生の有効/無効を設定するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W

表 27.22 DFERRINT レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	—	予約ビット
1	DEDIE	ECC 2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(9) DFEADR — Data Flash 1st エラーアドレスレジスタ

Data Flash エラーステータスレジスタの SEDF、DEDIF がすべて 0 の状態で発生した ECC エラーの発生アドレスを DFEADR に保持します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFEADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.23 DFEADR レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	—	予約ビット
20 ~ 2	DFEADR[20:2]	ECC エラー発生アドレス ECC エラーの発生したアドレスをモニタするための読み出し専用レジスタです。
1、0	—	予約ビット

(10) DFTSTCTL — Data Flash テストコントロールレジスタ

ECC テスト時に使用するレジスタです。

ECC テストモード (ECCTST = 1) 設定後、ECC ビットのデータを読み出すことができます。

DFTSTCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 27.24 DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。
13 ~ 1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCTST	ECC テストビット ECC テストモードに設定します。

27.2.3.3 テスト機能

Data Flash テストコントロールレジスタ (DFTSTCTL) の設定により、ROM データ、ECC ビットを読み出すことができます。

(1) ROM データの読み出し

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
- (b) ECCDIS=1 のとき、Data Flash 読み出し時にエラー検出、訂正を行いませんので、Data Flash からの出力データがそのまま読みだされます。

本テストモードからの抜け方：

- (c) Data Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC データの読み出し

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
- (b) Data Flash テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (c) Data Flash の読み出しを実行するとリードデータの下位 7 ビットが ECC データとして読み出されます。

本テストモードからの抜け方：

- (d) Data Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。
- (e) Data Flash テストコントロールレジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Data Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読みだすことによって ECC デコードを自己診断することができます。いったん正しい ECC ビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラーの故障を注入することができます。

Data Flash 書き込み方法の詳細は、「RH850/C1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

27.2.4 Local RAM (CPU1、CPU2) の ECC およびアドレスパリティ

27.2.4.1 概要

CPU1 および CPU2 の Local RAM 用 ECC の仕様概要を以下に示します。

表 27.25 CPU1 および CPU2 の Local RAM 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の値は機能有効で 2 ビットエラー検出、1 ビットエラー検出・訂正の通知を行います。</p>
アドレスパリティ	<p>アドレスパリティチェックの有効/無効を選択可能</p> <p>ライト時は、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、同じパリティビットが RAM の 2 か所にも書き込まれます。リード時は、リードアドレスから生成したパリティビットと、RAM から読み出したパリティビット 2 ビットが比較されます。このときのエラーデコード仕様は「表 27.26 アドレスパリティ定義」のようになります。 リセット後の値は機能有効。</p>
エラー通知	<p>ECC エラー発生時、またはアドレスのパリティエラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の値は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時のエラー通知許可/禁止を選択可 • パリティビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の値は、アドレスパリティエラー通知許可、パリティビットエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーとパリティビットエラーを 1 要因 として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。エラーステータスはクリアレジスタによってクリア可能です。</p>
自己診断	<p>RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。 RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。</p>

リードアクセス時のアドレスパリティエラーの定義は以下のとおりとします。

表 27.26 アドレスパリティ定義

RAM マクロ パリティビット1	RAM マクロ パリティビット2	リードアドレスパリティ	エラー判定とエラー名称
0	0	0	エラーでない
0	0	1	アドレスパリティエラー
0	1	0	パリティビットエラー
0	1	1	パリティビットエラー
1	0	0	パリティビットエラー
1	0	1	パリティビットエラー
1	1	0	アドレスパリティエラー
1	1	1	エラーでない

CPU1 および CPU2 の Local RAM は、最大で 128 ビットのデータを同時にリード/ライト可能な構成となっています。一方で、ECC やアドレスパリティは 32 ビットのデータごとに用意されており、各 32 ビットデータをバンク 0 ~ 3 と称しています。ここで、アドレスの小さい方（つまりデータの LSB 側）がバンク 0、アドレスの大きい方（つまりデータの MSB 側）がバンク 3 となります。

アドレスとバンク番号の関係は以下のとおりです。

表 27.27 アドレスとバンク番号の関係

アドレスの下位 4 ビット (16 進表記)	F _H ~ C _H	B _H ~ 8 _H	7 _H ~ 4 _H	3 _H ~ 0 _H
バンク番号	バンク 3	バンク 2	バンク 1	バンク 0

27.2.4.2 レジスタ一覧

表 27.28 レジスタ一覧

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
ECCCPU1	FFC6 5000 _H	LRAPCTL_PE1	Local RAM アドレスパリティ コントロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCCPU1	FFC6 5020 _H	LRAPCTL_PE2	Local RAM アドレスパリティ コントロールレジスタ (PE2)	R/W	0000 0000 _H	16/32
ECCCPU1	FFC6 5004 _H	LRTSTCTL_PE1	Local RAM テストコントロール レジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCCPU1	FFC6 5008 _H	LRTDATBF0_PE1	Local RAM テストデータリード バッファ 0 (PE1)	R	0000 0000 _H	8/16/32
ECCCPU1	FFC6 500C _H	LRTDATBF1_PE1	Local RAM テストデータリード バッファ 1 (PE1)	R	0000 0000 _H	8/16/32
ECCCPU1	FFC6 5024 _H	LRTSTCTL_PE2	Local RAM テストコントロール レジスタ (PE2)	R/W	0000 0000 _H	16/32
ECCCPU1	FFC6 5028 _H	LRTDATBF0_PE2	Local RAM テストデータリード バッファ 0 (PE2)	R	0000 0000 _H	8/16/32
ECCCPU1	FFC6 502C _H	LRTDATBF1_PE2	Local RAM テストデータリード バッファ 1 (PE2)	R	0000 0000 _H	8/16/32
ECCCPU1	FFC6 5400 _H	LRECCCTL_PE1	Local RAM ECC コントロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCCPU1	FFC6 5404 _H	LRERRINT_PE1	Local RAM エラー情報コントロール レジスタ (PE1)	R/W	0000 0006 _H	8/16/32
ECCCPU1	FFC6 5408 _H	LRSTCLR_PE1	Local RAM ステータスクリア レジスタ (PE1)	W	0000 0000 _H	8/16/32
ECCCPU1	FFC6 540C _H	LROVFSTR_PE1	Local RAM エラーカウントオーバーフロー ステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCCPU1	FFC6 5410 _H	LR1STERSTR_PE1	Local RAM 1st エラーステータス レジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCCPU1	FFC6 5600 _H	LRECCCTL_PE2	Local RAM ECC コントロール レジスタ (PE2)	R/W	0000 0000 _H	16/32
ECCCPU1	FFC6 5604 _H	LRERRINT_PE2	Local RAM エラー情報コントロール レジスタ (PE2)	R/W	0000 0006 _H	8/16/32
ECCCPU1	FFC6 5608 _H	LRSTCLR_PE2	Local RAM ステータスクリアレジスタ (PE2)	W	0000 0000 _H	8/16/32
ECCCPU1	FFC6 560C _H	LROVFSTR_PE2	Local RAM エラーカウントオーバーフロー ステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCCPU1	FFC6 5610 _H	LR1STERSTR_PE2	Local RAM 1st エラーステータス レジスタ (PE2)	R	0000 0000 _H	8/16/32

27.2.4.3 レジスタ詳細

(1) LRAPCTL_PE1/PE2 — Local RAM アドレスパリティコントロールレジスタ

LRAPCTL レジスタは、アドレスパリティチェックの有効/無効を設定するレジスタです。LRAPCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APARIDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 27.29 LRAPCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されず。
13 ~ 1	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	APARIDIS	アドレスパリティチェックディスエーブルビット 全アドレスパリティ回路（バンク0～バンク3）のアドレスパリティチェックの有効/無効を設定します。 0：アドレスのパリティチェック許可 1：アドレスのパリティチェック禁止

(2) LRTSTCTL_PE1/PE2 — Local RAM テストコントロールレジスタ

ECC テスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）設定後、ECC ビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAM データ、ECC ビット、アドレスパリティビットの選択は DATSEL ビットで行います。

アドレスパリティテストモード（APTEST_i = 1、i = 0, 1, 2, 3）設定により、アドレスパリティチェッカに入力するパリティが反転します。LRTSTCTL レジスタへの書き込みは、PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	APTES T3	APTES T2	APTES T1	APTES T0	ECCTS T	DATSE L
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.30 LRTSTCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。
13 ~ 6	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	APTEST3	アドレスパリティチェッカ（バンク 3）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST3 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
4	APTEST2	アドレスパリティチェッカ（バンク 2）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST2 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
3	APTEST1	アドレスパリティチェッカ（バンク 1）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST1 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
2	APTEST0	アドレスパリティチェッカ（バンク 0）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST0 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。
0	DATSEL	データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 0: RAM データ選択 1: ECC ビットとアドレスパリティビット選択

注 1. Local RAM の ECC テストモードを有効（ECCTST = 1）にした場合、Local RAM へのアクセスは 4 バイトアクセスで実施してください。

(3) LRTDATBFn_PE1/PE2 — Local RAM テストデータリードバッファ n (n = 0, 1)

ECCテスト（自己診断）時、ECCビットとアドレスパリティビットを読み出すことができます。Local RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、Local RAM を読み出すと ECC ビットとアドレスパリティビットが読み出され、本バッファに保持されます。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	LRDATABF										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	LRDATABF										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

表 27.31 LRTDATBFn レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24 ~ 16	LRDATABF	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応するバンク読み出し時に Local RAM（バンク (2n+1)）の ECC ビットが LRTDATABF[22:16] に、アドレスパリティビットが LRTDATABF[24:23] に格納されます。
15 ~ 9	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8 ~ 0	LRDATABF	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応するバンク読み出し時に Local RAM（バンク (2n)）の ECC ビットが LRTDATABF[6:0] に、アドレスパリティビットが LRTDATABF[8:7] に格納されます。

(4) LRECCCTL_PE1/PE2 — Local RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。LRECCCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCLDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.32 LRECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されず。
13 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCLDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(5) LRERRINT_PE1/PE2 — Local RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC 2 ビットエラー検出時、ECC 1 ビットエラー検出時、アドレスパリティエラー検出時、パリティビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	PBEIE	APEIE	DEDIE	SEDIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	

表 27.33 LRERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	PBEIE	パリティビットエラー通知許可ビット アドレスパリティチェック許可時に、パリティビットエラー検出時のエラー通知発生を制御するビットです。 0: パリティビットエラー通知禁止 1: パリティビットエラー通知許可
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0: アドレスパリティエラー通知禁止 1: アドレスパリティエラー通知許可
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(6) LRSTCLR_PE1/PE2 — Local RAM ステータスクリアレジスタ

LRSTCLR レジスタは、エラーステータスレジスタ (LR1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (LROVFSTR) のオーバフローフラグをクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 3	STCLR 2	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W	W

表 27.34 LRSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	STCLR3	エラーオーバフローフラグクリアビット (バンク 3 用) 1 書き込みで「LR1STERSTR レジスタの PBEF3, APEF3, DEDF3, SEDF3 フラグ」、 「LROVFSTR レジスタの ERROVF3 フラグ」をクリアします。
2	STCLR2	エラーオーバフローフラグクリアビット (バンク 2 用) 1 書き込みで「LR1STERSTR レジスタの PBEF2, APEF2, DEDF2, SEDF2 フラグ」、 「LROVFSTR レジスタの ERROVF2 フラグ」をクリアします。
1	STCLR1	エラーオーバフローフラグクリアビット (バンク 1 用) 1 書き込みで「LR1STERSTR レジスタの PBEF1, APEF1, DEDF1, SEDF1 フラグ」、 「LROVFSTR レジスタの ERROVF1 フラグ」をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット (バンク 0 用) 1 書き込みで「LR1STERSTR レジスタの PBEF0, APEF0, DEDF0, SEDF0 フラグ」、 「LROVFSTR レジスタの ERROVF0 フラグ」をクリアします。

(7) LROVFSTR_PE1/PE2 — Local RAM エラーカウントオーバーフローステータスレジスタ

LROVFSTR レジスタは、エラーオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF3	ERROVF2	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.35 LROVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	ERROVF3	エラーオーバーフローフラグ（バンク 3 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF3, APEF3, DEDF3, SEDF3）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
2	ERROVF2	エラーオーバーフローフラグ（バンク 2 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF2, APEF2, DEDF2, SEDF2）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
1	ERROVF1	エラーオーバーフローフラグ（バンク 1 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF1, APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバーフローフラグ（バンク 0 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF0, APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(8) LR1STERSTR_PE1/PE2 — Local RAM 1st エラーステータスレジスタ

LR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが0の状態ではエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットエラー、またはパリティビットエラーのフラグがセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生すると、エラーフラグを上書きします。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。LR1STERSTR レジスタは内部リセット、外部リセット、またはLRSTCLR レジスタのSTCLR ビットへ1をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PBEF3	APEF3	DEDF3	SEDF3	—	—	—	—	PBEF2	APEF2	DEDF2	SEDF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PBEF1	APEF1	DEDF1	SEDF1	—	—	—	—	PBEF0	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.36 LR1STERSTR レジスタの内容

ビット位置	ビット名	機能
7+8n:4+8n	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3+8n	PBEFn	パリティビットエラーモニタフラグ 0: LRSTCLR レジスタの STCLRn ビットへ1をセット 1: PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが0の状態ではパリティビットエラー発生
2+8n	APEFn	アドレスパリティエラーモニタフラグ 0: LRSTCLR レジスタの STCLRn ビットへ1をセット 1: DEDFn/APEFn のエラーフラグが0の状態ではアドレスパリティエラー発生 注意 Read/Write の発生要因の区別なく同一フラグとしてセットします。
1+8n	DEDFn	ECC 2 ビットエラーモニタフラグ 0: LRSTCLR レジスタの STCLRn ビットへ1をセット 1: DEDFn/APEFn のエラーフラグが0の状態では ECC 2 ビットエラー発生
0+8n	SEDFn	ECC 1 ビットエラーモニタフラグ 0: LRSTCLR レジスタの STCLRn ビットへ1をセット 1: PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが0の状態では ECC 1 ビットエラー発生

備考 n=0~3、ここで“n”はバンク番号を示します。

27.2.4.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) RAM データの書き込み

(a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(b) Local RAM テストコントロールレジスタの DATSEL ビットを 0 にして、書き込み対象に RAM データを選択します。

(c) Local RAM へデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

(d) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

(a) Local RAM ECC コントロールレジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。

(b) Local RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

(c) Local RAM ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

(a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(b) Local RAM テストコントロールレジスタの DATSEL を 1 にして、書き込み時のアクセスビットに ECC ビットとアドレスパリティビットを選択します。

(c) Local RAM へデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。このとき、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれ、bit[8:7] がアドレスパリティビットに書き込まれます。

注 意

RAM データとアドレスパリティビットの両方に任意の値を書き込む場合は、① RAM データの書き込み、②アドレスパリティビットの書き込み、の順に書き込んでください。

RAM データと ECC ビットの両方に任意の値を書き込む場合は、RAM データと ECC ビットのどちらを先に書き込んでかまいません。

本テストモードからの抜け方：

(d) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

(a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(b) Local RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、Local RAM テストデータ読み出しバッファ 0 または Local RAM テストデータ読み出しバッファ 1 の対応するバンク位置に格納されます。

本テストモードからの抜け方：

(c) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。このため、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。その後で通常モードで Local RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって自己診断が可能です。

(a) Local RAM テストコントロールレジスタの APTEST_i ($i=0, 1, 2, 3$) を 1 に設定すると、対応するバンクのアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Local RAM の対応するバンクに書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。

(b) 上記 (4) に記載する手順で、アドレスパリティビットに任意のデータを書き込むことが可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに 1 ビットまたは 2 ビットの故障を注入することができます。その後で通常モードで Local RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

27.2.5 Global RAM の ECC およびアドレスパリティ

27.2.5.1 概要

Global RAM 用 ECC の仕様概要を以下に示します。

表 27.37 Global RAM 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の値は機能有効で 2 ビットエラー検出、1 ビットエラー検出・訂正の通知を行います。</p>
アドレスパリティ	<p>アドレスパリティチェックの有効/無効を選択可能</p> <p>ライト時には、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、パリティビットは RAM の 1 か所にだけ書き込まれます。メモリリード時には、リードアドレスから生成したパリティビットと、メモリから読み出したパリティビットが比較されます。 リセット後の値は機能有効。</p>
エラー通知	<p>ECC エラー発生時、またはアドレスのパリティエラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の値は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の値はエラー通知許可。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。 RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。</p>

ECC エンコーダおよびデコーダ、アドレスパリティ生成器は Global RAM につながる各アクセスポート (CPU1、CPU2、インターコネクト) それぞれに対応して用意されています。アドレスパリティチェックは Global RAM の Bank A と Bank B に対応して用意されています。また、RMW 処理 (*) に対応した ECC デコーダおよび ECC エンコーダも Bank A/B ごとに用意されています。図 27.2 をご参照ください。

- RMW 処理

ビット操作命令や、2バイトライト、1バイトライトは、① 32 ビットデータのリード、② 所定データのリプレースによるライトデータの生成（モディファイ）、③ 32 ビットデータのライト、の3ステップで実行されます。本節では、これをリード・モディファイ・ライト（RMW）処理と称します。Global RAM における RMW 処理は、各バンクに対応したコントローラ内で行われます。

RMW 処理では、①のリードに対応して ECC デコードが行われ、③のライトに対応して ECC エンコードが行われます。

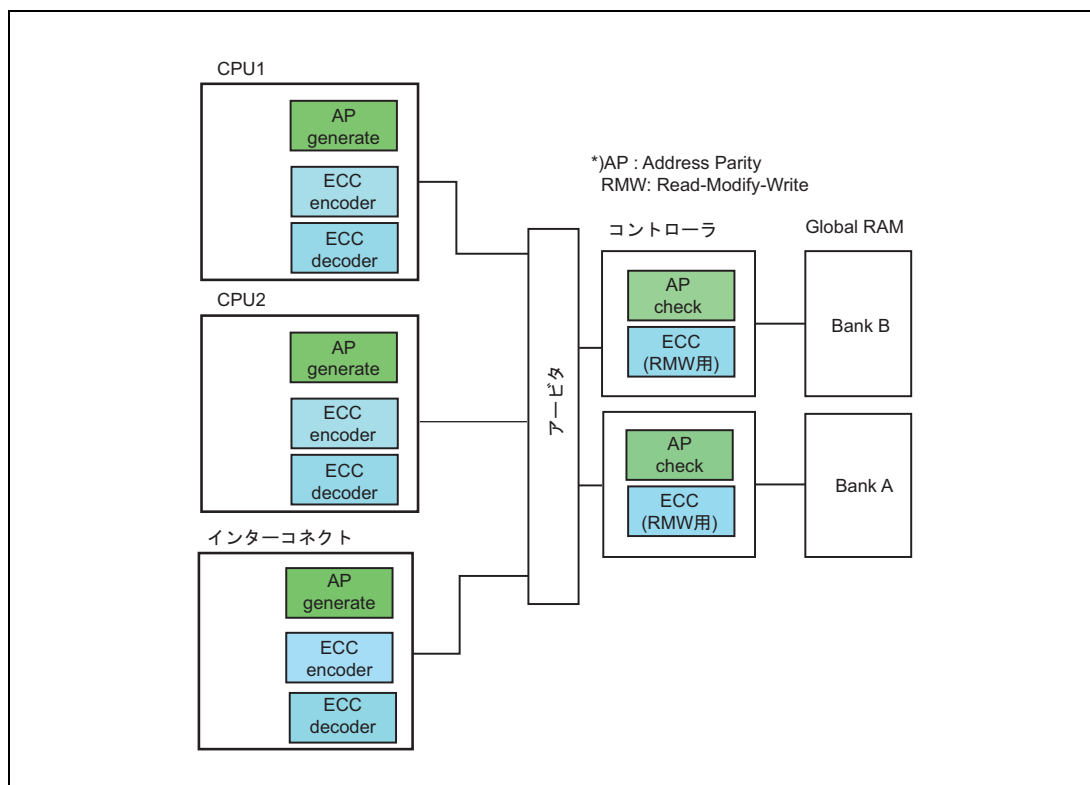


図 27.2 Global RAM の ECC とアドレスパリティ

Global RAM は、最大で 64 ビットのデータを同時にリード/ライト可能な構成となっています。一方で、ECC やアドレスパリティは 32 ビットのデータごとに用意されています。つまり、図 27.2 の ECC decoder と ECC encoder、ECC (RMW 用)、アドレスパリティチェッカは、すべて上位 32 ビットデータ用と下位 32 ビットデータ用のそれぞれに 2 つずつ用意されています。

表 27.38 アドレスと対応する ECC 回路

アドレスの下位 3 ビット	7 _H ~ 4 _H	3 _H ~ 0 _H
対応する ECC 回路	上位 32 ビット	下位 32 ビット

注 意

Local RAM（CPU1、CPU2）では ECC の単位に応じたデータをバンク 0 ~ 3 と呼んでいます。Global RAM はアドレス FEF0 0000_H を境界として Bank A と Bank B に分かれているため、混乱を避けるためにバンクという言葉を使わずに上位 32 ビット、下位 32 ビットという呼び方とします。

27.2.5.2 レジスタ一覧

表 27.39 レジスタ一覧 (1/2)

モジュール名	アドレス	シンボル ^{注1}	レジスタ名	R/W	リセット後の値	アクセスサイズ
ECCGRAM	FFC6 4000 _H	GRECCCTL_GRAMC	Global RAM ECC コントロールレジスタ (GRAMC)	R/W	0000 0000 _H	16/32
ECCGRAM	FFC6 4004 _H	GRTSTCTL	Global RAM テストコントロールレジスタ	R/W	0000 0000 _H	16/32
ECCGRAM	FFC6 4008 _H	GRTDATBF0	Global RAM テストデータリードバッファ 0	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 400C _H	GRTDATBF1	Global RAM テストデータリードバッファ 1	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4010 _H	GRTDATBF2	Global RAM テストデータリードバッファ 2	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4014 _H	GRTDATBF3	Global RAM テストデータリードバッファ 3	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4018 _H	GRDECINBF0	Global RAM ECC デコーダ入力データバッファ 0	R/W	0000 0000 _H	8/16/32
ECCGRAM	FFC6 401C _H	GRDECINBF1	Global RAM ECC デコーダ入力データバッファ 1	R/W	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4200 _H	GRECCCTL_VCI	Global RAM ECC コントロールレジスタ (VCI)	R/W	0000 0000 _H	16/32
ECCGRAM	FFC6 4204 _H	GRERRINT_VCI	Global RAM エラー情報コントロールレジスタ (VCI)	R/W	0000 0006 _H	8/16/32
ECCGRAM	FFC6 4208 _H	GRSTCLR_VCI	Global RAM ステータスクリアレジスタ (VCI)	W	0000 0000 _H	8/16/32
ECCGRAM	FFC6 420C _H	GROVFSTR_VCI	Global RAM エラーカウントオーバーフローステータスレジスタ (VCI)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4210 _H	GR1STERSTR_VCI	Global RAM 1st エラーステータスレジスタ (VCI)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4250 _H	GR1STEADR0_VCI	Global RAM 1st エラー (下位 32 ビットデータ) アドレスレジスタ (VCI)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4254 _H	GR1STEADR1_VCI	Global RAM 1st エラー (上位 32 ビットデータ) アドレスレジスタ (VCI)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4400 _H	GRECCCTL_PE1	Global RAM ECC コントロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCGRAM	FFC6 4404 _H	GRERRINT_PE1	Global RAM エラー情報コントロールレジスタ (PE1)	R/W	0000 0006 _H	8/16/32
ECCGRAM	FFC6 4408 _H	GRSTCLR_PE1	Global RAM ステータスクリアレジスタ (PE1)	W	0000 0000 _H	8/16/32
ECCGRAM	FFC6 440C _H	GROVFSTR_PE1	Global RAM エラーカウントオーバーフローステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4410 _H	GR1STERSTR_PE1	Global RAM 1st エラーステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4450 _H	GR1STEADR0_PE1	Global RAM 1st エラー (下位 32 ビットデータ) アドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4454 _H	GR1STEADR1_PE1	Global RAM 1st エラー (上位 32 ビットデータ) アドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4600 _H	GRECCCTL_PE2	Global RAM ECC コントロールレジスタ (PE2)	R/W	0000 0000 _H	16/32
ECCGRAM	FFC6 4604 _H	GRERRINT_PE2	Global RAM エラー情報コントロールレジスタ (PE2)	R/W	0000 0006 _H	8/16/32
ECCGRAM	FFC6 4608 _H	GRSTCLR_PE2	Global RAM ステータスクリアレジスタ (PE2)	W	0000 0000 _H	8/16/32

表 27.39 レジスタ一覧 (2/2)

モジュール名	アドレス	シンボル ^{注1}	レジスタ名	R/W	リセット後の値	アクセスサイズ
ECCGRAM	FFC6 460C _H	GROVFSTR_PE2	Global RAM エラーカウントオーバーフローステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4610 _H	GR1STERSTR_PE2	Global RAM 1st エラーステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4650 _H	GR1STEADR0_PE2	Global RAM 1st エラー (下位 32 ビットデータ) アドレスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCGRAM	FFC6 4654 _H	GR1STEADR1_PE2	Global RAM 1st エラー (上位 32 ビットデータ) アドレスレジスタ (PE2)	R	0000 0000 _H	8/16/32

注 1. レジスタシンボルにおいて、“*_VCI”、“*_PE1”、“*_PE2” は各アクセスポートの ECC コントローラ毎に用意されているレジスタとなります。“_VCI” はシステムインタコネク 1 から Global RAM へのアクセス用、“_PE1” は CPU1 から Global RAM へのアクセス用、“_PE2” は CPU2 から Global RAM へのアクセス用の制御レジスタです。“_GRAMC” は全アクセスポートに共通な制御レジスタです。

27.2.5.3 レジスタ詳細

(1) GRECCCTL_GRAMC — Global RAM ECC コントロールレジスタ (GRAMC)

Global RAM 共通の ECC およびアドレスパリティコントロールレジスタです。アドレスパリティチェックの有効/無効、Read-Modify-Write (RMW) 処理時の ECC 処理の内容を指定します。本レジスタへの書き込みは、PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	APARIDIS	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 27.40 GRECCCTL_GRAMC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されます。
13 ~ 3	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	APARIDIS	アドレスパリティチェックディスエーブルビット アドレスのパリティチェックの許可/禁止を設定できます。初期状態はパリティチェックが許可されています。 0: アドレスのパリティチェック許可 1: アドレスのパリティチェック禁止
1	SECDIS	RMW 時 ECC 1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1 ビットエラー検出時にエラー訂正する 1: 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	RMW 時 ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。初期状態は ECC エラー検出・訂正機能が有効です。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効 注意 エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。

(2) GRTSTCTL — Global RAM テストコントロールレジスタ

ECC テスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST=1）設定後、ECC ビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAM データ、ECC ビット、アドレスパリティビットの選択は DATSEL0, 1 ビットで行います。また、Global RAM コントローラ内の ECC デコーダの入出力を制御し、テスト（自己診断）することが可能です。

アドレスパリティテストモード（APTEST_i=1、i=0, 1, 2, 3）設定により、アドレスパリティチェッカに入力するパリティが反転します。GRTSTCTL レジスタへの書き込みは、PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	APTES T3	APTES T2	APTES T1	APTES T0	ECCTS T	DECIN EN	DATSEL	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.41 GRTSTCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。
13 ~ 8	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	APTEST3	アドレスパリティチェッカ（BankB、上位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST3 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
6	APTEST2	アドレスパリティチェッカ（BankB、下位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST2 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
5	APTEST1	アドレスパリティチェッカ（BankA、上位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST1 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
4	APTEST0	アドレスパリティチェッカ（BankA、下位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST0 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。

表 27.41 GRTSTCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	ECCTST	ECC テストビット ECC テストモード (ECCTST = 1) に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。
2	DECINEN	RMW 用 ECC デコーダエラー注入許可ビット ECCTST = 1 のときに有効。ECC デコーダ入力バッファレジスタのデータを RMW 時の更新データ用の ECC デコーダへ入力することを許可します。 0 : ECC デコーダ入力バッファのデータが入力されない 1 : ECC デコーダ入力バッファのデータが入力される
1、0	DATSEL	読み出しバッファ格納データ選択ビット 0, 1 ECCTST = 1 のときに有効。読み出しバッファ GRTDATBFn に格納するデータ、RAM の各フィールドに書き込むデータを選択します。 00 : <ul style="list-style-type: none"> - GRTDATBFn : RMW を含む読み出し時に、ECC ビットとアドレスパリティビットが格納されます - Global RAM : RMW を含む書き込み時に、ライトアクセスのサイズやアドレスに応じたデータ領域を更新します。ECC ビットは更新されません。 01 : <ul style="list-style-type: none"> - GRTDATBFn : RMW を含む読み出し時に、ECC ビットとアドレスパリティビットが格納されます - Global RAM : RMW を含む書き込み時に、ECC ビットとアドレスパリティビットのみを更新します。データ領域は更新されません。 10 : <ul style="list-style-type: none"> - GRTDATBFn : RMW 時に、“RMW 時リードデータ用 ECC デコード結果” が格納されます。RMW 以外のリード動作では更新されません。 - Global RAM : 通常動作モード (ECCTST = 0) と同じ動作です。 11 : <ul style="list-style-type: none"> - GRTDATBFn : RMW 時に、“RMW 時更新データ用 ECC デコード結果” が格納されます。RMW 以外のリード動作では更新されません。 - Global RAM : 通常動作モード (ECCTST = 0) と同じ動作です。 <p>いずれの場合も、CPU や DMA などへのリード結果には通常と同じデータが読みだされます。</p>

(3) GRTDATBFn — Global RAM テストデータリードバッファ n (n = 0 ~ 3)

テストモード (ECCTST = 1) のとき、RAM データと ECC ビット、アドレスパリティビット、ECC デコーダ出力を読み出すことができます。Global RAM テストコントロールレジスタの DATSEL1, 0 ビットで選択したデータが、RAM を読み出すと本バッファに格納されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRTDATBF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRTDATBF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.42 GRTDATBFn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	GRTDATBF	Global RAM テストコントロールレジスタの ECCTST = 1 (テストモード) のときに有効です。 (DATSEL1, DATSEL0) = (0, 0) または (0, 1) のとき RAM 読み出し時に、ECC ビットが GRTDATBF[6:0] に、アドレスパリティビットが GRTDATBF[7] に、格納されます。GRTDATBF[31:8] には 0 が格納されま す。 (DATSEL1, DATSEL0) = (1, 0) のとき RMW 時にリード用 ECC デコーダ出力データ (更新後) が GRTDATBF[31:0] に 格納されます。 (DATSEL1, DATSEL0) = (1, 1) のとき RMW 時に更新データ用 ECC デコーダ出力データ (更新後) が GRTDATBF[31:0] に格納されます。

備考 n = 0 : BankA、下位 32 ビット
n = 1 : BankA、上位 32 ビット
n = 2 : BankB、下位 32 ビット
n = 3 : BankB、上位 32 ビット

(4) GRECCCTL_VCI/PE1/PE2 — Global RAM ECC コントロールレジスタ (VCI/PE1/PE2)

GRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。GRECCCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.43 GRECCCTL_VCI/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
13 ~ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されず。
13 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(5) GRDECINBF0 — Global RAM ECC デコーダ入力データバッファ 0

RMW 時の更新データ用 ECC デコーダへの入力データを格納するレジスタです。本レジスタのデータは 32 ビットの RAM データとして ECC デコーダに入力します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRDECINBF0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRDECINBF0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.44 GRDECINBF0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	GRDECINBF0	Global RAM テストコントロールレジスタの ECCTST = 1 (テストモード) 時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 32 ビットの RAM データとして、更新データ用の ECC デコーダへ入力します。バンク A/B、上位 32 ビット/下位 32 ビットに対して共用レジスタです。

(6) GRDECINBF1 — Global RAM ECC デコーダ入力データバッファ 1

RMW 時の更新データ用 ECC デコーダへの入力データを格納するレジスタです。本レジスタのデータは7ビットの ECC データとして ECC デコーダに入力します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	GRDECINBF1						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.45 GRDECINBF1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ~ 0	GRDECINBF1	Global RAM テストコントロールレジスタの ECCTST = 1 (テストモード) 時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが7ビットの ECC データとして、更新データ用の ECC デコーダへ入力します。バンク A/B、上位 32 ビット/下位 32 ビットに対して共用レジスタです。

(7) GRERRINT_VCI/PE1/PE2 — Global RAM エラー情報コントロールレジスタ

GRERRINT レジスタは、ECC 2 ビットエラー検出時、ECC 1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEIE	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 27.46 GRERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0: アドレスパリティエラー通知禁止 1: アドレスパリティエラー通知許可
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(8) GRSTCLR_VCI/PE1/PE2 — Global RAM ステータスクリアレジスタ

GRSTCLR レジスタは、エラーステータスレジスタ (GR1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (GROVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (GR1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 27.47 GRSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバフローフラグクリアビット (上位 32 ビットデータ用) 1 書き込みで「GR1STERSTR レジスタの EXDEDF1, EXSEDF1, APEF1, DEDF1, SEDF1 フラグ」、「GROVFSTR レジスタの ERROVF1 フラグ」および「GR1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット (下位 32 ビットデータ用) 1 書き込みで「GR1STERSTR レジスタの EXDEDF0, EXSEDF0, APEF0, DEDF0, SEDF0 フラグ」、「GROVFSTR レジスタの ERROVF0 フラグ」および「GR1STEADR0 レジスタ」をクリアします。

(9) GROVFSTR_VCI/PE1/PE2 — Global RAM エラーカウントオーバフローステータスレジスタ

GROVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーとまったく同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.48 GROVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバフローフラグ（上位 32 ビットデータ用） エラーステータスレジスタのいずれかのエラーフラグ (EXDEDF1, EXSEDF1, APEF1, DEDF1, SEDF1) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ（下位 32 ビットデータ用） エラーステータスレジスタのいずれかのエラーフラグ (EXDEDF0, EXSEDF0, APEF0, DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(10) GR1STERSTR_VCI/PE1/PE2 — Global RAM 1st エラーステータスレジスタ

GR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが0の状態ではエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生すると、エラーフラグを上書きします。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。GR1STERSTR レジスタは内部リセット、外部リセット、またはGRSTCLR レジスタのSTCLR ビットへ1をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	EXDED F1	EXSED F1	—	APEF1	DEDF1	SEDF1	—	—	EXDED F0	EXSED F0	—	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.49 GR1STERSTR レジスタの内容

ビット位置	ビット名	機能
7+8×n 6+8×n	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5+8×n	EXDEDFn	ECC 2 ビットエラーモニタフラグ 0: GRSTCLR レジスタの STCLRn ビットへ1をセット 1: EXDEDFn/APEFn/DEDFn のエラーフラグが0の状態では ECC 2 ビットエラー発生 (Global RAM RMW 時)
4+8×n	EXSEDFn	ECC 1 ビットエラーモニタフラグ 0: GRSTCLR レジスタの STCLRn ビットへ1をセット 1: EXDEDFn/EXSEDFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが0の状態では ECC 1 ビットエラー発生 (Global RAM RMW 時)
3+8×n	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2+8×n	APEFn	アドレスパリティエラーモニタフラグ 0: GRSTCLR レジスタの STCLRn ビットへ1をセット 1: EXDEDFn/APEFn/DEDFn のエラーフラグが0の状態ではアドレスパリティエラー発生 注意 Read/Write の発生要因の区別なく同一フラグとしてセットします。
1+8×n	DEDFn	ECC 2 ビットエラーモニタフラグ 0: GRSTCLR レジスタの STCLRn ビットへ1をセット 1: EXDEDFn/APEFn/DEDFn のエラーフラグが0の状態では ECC 2 ビットエラー発生
0+8×n	SEDFn	ECC 1 ビットエラーモニタフラグ 0: GRSTCLR レジスタの STCLRn ビットへ1をセット 1: EXDEDFn/EXSEDFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが0の状態では ECC 1 ビットエラー発生

備考 n = 0, 1、n = 0 は下位 32 ビットを、n = 1 は上位 32 ビットを示します。

(11) GR1STEADRn_VCI/PE1/PE2 — Global RAM 1st エラーアドレスレジスタ n (n = 0, 1)

GR1STEADRn レジスタは、エラー発生時のアドレスを保持するためのレジスタです。GR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[20:0] は実アドレスの [20:0] が対応します。上位アドレス [31:21] をベースアドレスとして加算することにより実アドレスが計算できます。GR1STEADR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。下位 32 ビットデータアクセス時には GR1STEADR0 にアドレスは保持されます。上位 32 ビットデータアクセス時には GR1STEADR1 にアドレスは保持されます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—											EADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.50 GR1STEADRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20 ~ 0	EADR[20:0]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 GR1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

27.2.5.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビット、RMW 用 ECC デコーダ出力データを読み出すことができます。RMW 用 ECC デコーダには、任意のデータを入力することができます。

(1) RAM データの書き込み

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (0, 0) に設定して書き込み対象に RAM データを選択します。
- (c) Global RAM ヘデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

- (d) Global RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

- (a) Global RAM ECC コントロールレジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。
- (b) Global RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

- (c) Global RAM ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (0, 1) に設定して書き込み対象に ECC ビットとアドレスパリティビットを選択します。
- (c) Global RAM ヘデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。この時、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれ、bit[7] がアドレスパリティビットに書き込まれます。

注 意

RAM データとアドレスパリティビットの両方に任意の値を書き込む場合は、① RAM データの書き込み、②アドレスパリティビットの書き込み、の順に書き込んでください。

RAM データと ECC ビットの両方に任意の値を書き込む場合は、RAM データと ECC ビットのどちらを先に書き込んでかまいません。

本テストモードからの抜け方：

(d) Global RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

(a) Global RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (0, 1) に設定して読み出し対象に ECC ビットとアドレスパリティビットを選択します。

(c) Global RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、Global RAM テストデータ読み出しバッファ 0 ~ 3 の対応するレジスタに格納されます。

本テストモードからの抜け方：

(d) Global RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) 各アクセスポートの ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。これによって、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。その後で通常モードで Global RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって自己診断が可能です。

(a) Global RAM テストコントロールレジスタの APTEST_i (i=0, 1, 2, 3) を 1 に設定すると、対応するバンク (Bank A/B) の対応するデータ領域 (上位 32 ビット/下位 32 ビット) のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Global RAM の対応するバンクの対応するデータ領域に書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。

(b) 上記 (4) に記載する手順で、アドレスパリティビットに任意のデータを書き込むことが可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに故障を注入することができます。その後で通常モードで Global RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

(7) RMW 時リードデータ用 ECC チェック機能の自己診断

- (a) 上記 (1) や (3) に記載する手順で RAM データや ECC ビットに適切な故障を注入します。
- (b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (1, 0) に設定して読み出し対象に RMW 時リードデータ用 ECC デコーダ出力を選択します。
- (c) Global RAM に RMW 処理を実行すると、対応する RMW 時リードデータ用 ECC デコーダの出力が、Global RAM テストデータ読み出しバッファ 0 ~ 3 の対応するレジスタに格納されます。この結果を確認することで RMW 時リードデータ用 ECC デコーダの自己診断が可能です。

(8) RMW 時更新データ用 ECC デコーダの自己診断

- (a) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (1, 1) に設定して読み出し対象に RMW 時更新データ用 ECC デコーダ出力を選択します。
- (b) 上記設定によって、RMW 時更新データ ECC デコーダの入力は、各アクセスポートから送られるライトデータから ECC デコーダ入力バッファ 0, 1 (GRDECINBF0/1) に切り替わります。このため、ECC デコーダ入力バッファ 0, 1 に適当な値を設定することで適当な故障を注入することができます。
- (c) Global RAM に RMW 処理を実行すると、対応する RMW 時更新データ用 ECC デコーダの出力が、Global RAM テストデータ読み出しバッファ 0 ~ 3 の対応するレジスタに格納されます。この結果を確認することで RMW 時更新データ用 ECC デコーダの自己診断が可能です。

27.2.6 命令キャッシュの ECC および EDC

27.2.6.1 概要

命令キャッシュ用 ECC の仕様概要を以下に示します。

表 27.51 命令キャッシュ用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の値は機能有効で 2 ビットエラー検出、1 ビットエラー検出・訂正の通知を行います。</p>
アドレスパリティ	なし
エラー通知	<p>ECC エラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可能 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可能 <p>リセット後の状態は、2 ビットエラー通知禁止、1 ビットエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込むことができます。 同じく RAM データと ECC ビットをダイレクトに読み出すことができます。 上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード/デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。</p>

27.2.6.2 レジスタ一覧

表 27.52 レジスタ一覧 (1/2)

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
ECCIC1	FFC6 0400 _H	IDECCTL_PE1	命令キャッシュデータ RAM ECC コントロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCIC1	FFC6 0404 _H	IDERRINT_PE1	命令キャッシュデータ RAM エラー情報 コントロールレジスタ (PE1)	R/W	0000 0000 _H	8/16/32
ECCIC1	FFC6 0408 _H	IDSTCLR_PE1	命令キャッシュデータ RAM エラー ステータスクリアレジスタ (PE1)	W	0000 0000 _H	8/16/32
ECCIC1	FFC6 040C _H	IDOVFSTR_PE1	命令キャッシュデータ RAM エラー カウントオーバフローステータスレジ スタ (PE1)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 0410 _H	ID1STERSTR_PE1	命令キャッシュデータ RAM 1st エラー ステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 0450 _H	ID1STEADR0_PE1	命令キャッシュデータ RAM (Bank0) 1st エラーアドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 0454 _H	ID1STEADR1_PE1	命令キャッシュデータ RAM (Bank1) 1st エラーアドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 0600 _H	IDECCTL_PE2	命令キャッシュデータ RAM ECC コント ロールレジスタ (PE2)	R/W	0000 0000 _H	16/32
ECCIC1	FFC6 0604 _H	IDERRINT_PE2	命令キャッシュデータ RAM エラー情報 コントロールレジスタ (PE2)	R/W	0000 0000 _H	8/16/32
ECCIC1	FFC6 0608 _H	IDSTCLR_PE2	命令キャッシュデータ RAM エラー ステータスクリアレジスタ (PE2)	W	0000 0000 _H	8/16/32
ECCIC1	FFC6 060C _H	IDOVFSTR_PE2	命令キャッシュデータ RAM エラー カウントオーバフローステータスレジ スタ (PE2)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 0610 _H	ID1STERSTR_PE2	命令キャッシュデータ RAM 1st エラー ステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 0650 _H	ID1STEADR0_PE2	命令キャッシュデータ RAM (Bank0) 1st エラーアドレスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 0654 _H	ID1STEADR1_PE2	命令キャッシュデータ RAM (Bank1) 1st エラーアドレスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 1400 _H	ITECCCTL_PE1	命令キャッシュタグ RAM ECC コント ロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
ECCIC1	FFC6 1404 _H	ITERRINT_PE1	命令キャッシュタグ RAM エラー情報 コントロールレジスタ (PE1)	R/W	0000 0000 _H	8/16/32
ECCIC1	FFC6 1408 _H	ITSTCLR_PE1	命令キャッシュタグ RAM エラーステータ スクリアレジスタ (PE1)	W	0000 0000 _H	8/16/32
ECCIC1	FFC6 140C _H	ITOVFSTR_PE1	命令キャッシュタグ RAM エラーカウント オーバフローステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 1410 _H	IT1STERSTR_PE1	命令キャッシュタグ RAM 1st エラー ステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 1450 _H	IT1STEADR0_PE1	命令キャッシュタグ RAM 1st エラーアド レスレジスタ (PE1)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 1600 _H	ITECCCTL_PE2	命令キャッシュタグ RAM ECC コントロールレジスタ (PE2)	R/W	0000 0000 _H	16/32
ECCIC1	FFC6 1604 _H	ITERRINT_PE2	命令キャッシュタグ RAM エラー情報 コントロールレジスタ (PE2)	R/W	0000 0000 _H	8/16/32
ECCIC1	FFC6 1608 _H	ITSTCLR_PE2	命令キャッシュタグ RAM エラーステータ スクリアレジスタ (PE2)	W	0000 0000 _H	8/16/32
ECCIC1	FFC6 160C _H	ITOVFSTR_PE2	命令キャッシュタグ RAM エラーカウント オーバフローステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32

表 27.52 レジスタ一覧 (2/2)

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
ECCIC1	FFC6 1610 _H	IT1STERSTR_PE2	命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32
ECCIC1	FFC6 1650 _H	IT1STEADR0_PE2	命令キャッシュタグ RAM1st エラーアドレスレジスタ (PE2)	R	0000 0000 _H	8/16/32

27.2.6.3 レジスタ詳細

(1) IDECCCTL_PE1/PE2 — 命令キャッシュデータ RAM ECC コントロールレジスタ

IDECCCTL レジスタは、キャッシュデータ RAM の ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。IDECCCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.53 IDECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。
13 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) IDERRINT_PE1/PE2 — 命令キャッシュデータ RAM エラー情報コントロールレジスタ

IDERRINT レジスタは、キャッシュデータ RAM の ECC 2 ビットエラー検出時、ECC 1 ビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.54 IDERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(3) IDSTCLR_PE1/PE2 — 命令キャッシュデータ RAM エラーステータスクリアレジスタ

IDSTCLR レジスタは、エラーステータスレジスタ (ID1STERSTR) のエラーフラグ、エラーカウントオーバーフローステータスレジスタ (IDOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (ID1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 27.55 IDSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバーフローフラグクリアビット (バンク 1 用) 1 書き込みで「ID1STERSTR レジスタの DEDF1, SEDF1 フラグ」、「IDOVFSTR レジスタの ERROVF1 フラグ」および「ID1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバーフローフラグクリアビット (バンク 0 用) 1 書き込みで「ID1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「IDOVFSTR レジスタの ERROVF0 フラグ」および「ID1STEADR0 レジスタ」をクリアします。

(4) IDOVFSTR_PE1/PE2 — 命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ

IDOVFSTR レジスタは、キャッシュデータ RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.56 IDOVFSTR レジスタの内容

ビット位置	ビット名	機能
31～2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバフローフラグ（バンク 1 用） エラーステータスレジスタのいずれかのエラーフラグ (DED1, SED1) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ（バンク 0 用） エラーステータスレジスタのいずれかのエラーフラグ (DED0, SED0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(5) ID1STERSTR_PE1/PE2 — 命令キャッシュデータ RAM 1st エラーステータスレジスタ

ID1STERSTR レジスタは、キャッシュデータ RAM の最初に発生したエラーをモニタするためのレジスタです。同一バンク内のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラーが発生した場合は、該当するエラーフラグがセットされません。

なお、本レジスタでは、エラーが発生した Way を特定することはできません。

ID1STERSTR レジスタは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF1	SEDF1	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.57 ID1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	DEDF1	ECC 2 ビットエラーモニタフラグ (バンク 1 用) 0: IDSTCLR レジスタの STCLR1 ビットへ 1 をセット 1: DEDF1 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
8	SEDF1	ECC 1 ビットエラーモニタフラグ (バンク 1 用) 0: IDSTCLR レジスタの STCLR1 ビットへ 1 をセット 1: DEDF1/SEDF1 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生
7 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF0	ECC 2 ビットエラーモニタフラグ (バンク 0 用) 0: IDSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDF0 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
0	SEDF0	ECC 1 ビットエラーモニタフラグ (バンク 0 用) 0: IDSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDF0/SEDF0 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生

(6) ID1STEADR_n_PE1/PE2 — 命令キャッシュデータ RAM (Bank_n) 1st エラーアドレスレジスタ (n = 0, 1)

ID1STEADR レジスタは、キャッシュデータ RAM のエラー発生時のアドレスを保持するためのレジスタです。ID1STERSTR レジスタの該当するバンクのすべてのエラーフラグが0の状態エラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。ID1STEADR レジスタは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EADR _n [8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.58 ID1STEADR_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8 ~ 0	EADR _n [8:0]	1st エラー発生アドレス (バンク n 用) 1st エラー発生時のアドレスをモニタするためのレジスタです。 EADR[6:0] にキャッシュアドレス [10:4] を示します。EADR[7] は0 固定です。 EADR[8] は Way グループを示します。 ID1STERSTR レジスタのバンク n 用のすべてのエラーフラグが0の状態エラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。 命令キャッシュの構成は、「第3章 CPU システム」をご参照ください。

(7) ITECCCTL_PE1/PE2 — 命令キャッシュタグ RAM ECC コントロールレジスタ

ITECCCTL レジスタは、キャッシュ TAG RAM の ECC エラー検出の有効/無効を設定するレジスタです。ITECCCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 27.59 ITECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されません。
13 ~ 1	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出機能の有効/無効を設定できます。 0 : ECC エラー検出機能が有効 1 : ECC エラー検出機能が無効

(8) ITERRINT_PE1/PE2 — 命令キャッシュタグ RAM エラー情報コントロールレジスタ

ITERRINT レジスタは、キャッシュ TAG RAM の ECC 2 ビットエラー検出時、ECC 1 ビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.60 ITERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出機能有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知許可ビット ECC のエラー検出機能有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(9) ITSTCLR_PE1/PE2 — 命令キャッシュタグ RAM エラーステータスクリアレジスタ

ITSTCLR レジスタは、エラーステータスレジスタ (IT1STERSTR) のエラーフラグ、エラーカウントオーバーフローステータスレジスタ (ITOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (IT1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 27.61 ITSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STCLR0	エラーオーバーフローフラグクリアビット (バンク 0 用) 1 書き込みで「IT1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「ITOVFSTR レジスタの ERROVF0 フラグ」および「IT1STEADR0 レジスタ」をクリアします。

(10) ITOVFSTR_PE1/PE2 — 命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ

ITOVFSTR レジスタは、キャッシュ TAG RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーとまったく同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.62 ITOVFSTR レジスタの内容

ビット位置	ビット名	機能
31～1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF0	エラーオーバフローフラグ（バンク 0 用） エラーステータスレジスタのいずれかのエラーフラグ (DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(11) IT1STERSTR_PE1/PE2 — 命令キャッシュタグ RAM 1st エラーステータスレジスタ

IT1STERSTR レジスタはキャッシュ TAG RAM の最初に発生したエラーをモニタするためのレジスタです。

すべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラーが発生した場合は、該当するエラーフラグがセットされます。

なお、本レジスタでは、エラーが発生した Way を特定することはできません。

IT1STERSTR レジスタは内部リセット、外部リセット、または、ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDFO	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.63 IT1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDFO	ECC 2 ビットエラーモニタフラグ 0: ITSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDFO のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
0	SEDF0	ECC 1 ビットエラーモニタフラグ 0: ITSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDFO/SEDF0 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生

(12) IT1STEADR0_PE1/PE2 — 命令キャッシュタグ RAM 1st エラーアドレスレジスタ

IT1STEADR レジスタは、キャッシュ TAG RAM のエラー発生時のアドレスを保持するためのレジスタです。IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。IT1STEADR レジスタは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EADR[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.64 IT1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8 ~ 0	EADR[8:0]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。EADR[6:0] にキャッシュアドレス [10:4] を示します。EADR[7] は 0 固定です。EADR[8] は Way グループを示します。 IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。 命令キャッシュの構成は、「第 3 章 CPU システム」をご参照ください。

27.2.6.4 テスト機能

キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込んだり、RAM データと ECC ビットをダイレクトに読み出ししたりすることができます。

上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード/デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。

詳細は「RH850G3M ユーザーズマニュアル ソフトウェア編」をご参照ください。

27.2.7 DTS 用 RAM の ECC

「第7章 DMA 機能」をご参照ください。

27.2.8 周辺 RAM (32 ビット) の ECC

27.2.8.1 概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

RS-CAN、CSIH

誤り検出・訂正

32 ビットの RAM データに対して、7 ビットの ECC データを付加します。

本 ECC モジュールは 2 ビット ECC エラー検出と 1 ビット ECC エラー検出・訂正機能を持っています。

注 意

3 ビット以上のビットエラーは、本モジュールでは正しく検出できません。

3 ビット以上のビットエラーがある場合、本モジュールの動作としては、1 ビットエラーまたは 2 ビットエラーとして検出する場合とエラー検出をしない場合があります。

また、設定によっては反転していないビットを訂正することがあります。

ECC のエラー検出・訂正の有効/無効

- ECC エラー検出の有効/無効を選択可能です。
- ECC 1 ビットエラー訂正の有効/無効を選択可能です。
- なお、本モジュールは、RAM データ出力が ALL 0、ALL 1 へ固着した際には 2 ビット ECC エラーとして検出されます。

エラー通知

- ECC 2 ビットエラー検出時に ECM にエラーを通知します。(有効/無効選択可)
- ECC 1 ビットエラー検出時に ECM にエラーを通知します。(有効/無効選択可)

ECM にエラーを通知したあと、対象のエラーステータスをクリアするまでは、新たに ECC エラーを検出しても ECM にエラーを通知しません。

エラーステータス

- ECC 2 ビットエラー検出と ECC 1 ビットエラー検出をモニタ可能です。
- エラーステータスのクリアレジスタを搭載しています。

アドレスキャプチャ

- ECC エラー発生アドレスを 1 アドレスだけキャプチャ可能です。
- ECC 2 ビットエラーまたは ECC 1 ビットエラー検出時、要因となるアドレスをキャプチャします。フラグクリア後、最初のエラー検出時のみキャプチャします。

テスト機能（エラー注入）

- モード設定により、レジスタの値を RAM への出力データとして使用可能です。周辺モジュールからの RAM 書き込み時に ECEDB[31:0] レジスタの値を RAM データ部へ、ECERDB[6:0] レジスタの値を ECC 冗長ビット部へ書き込み可能です。
- モード設定により、RAM データリード時の ECC 冗長ビット部をラッチし、値を確認できます。
- モード設定により、入力データから生成される ECC 冗長ビット（エンコード回路）およびシンドロームコード（デコード回路）を確認できます。

27.2.8.2 レジスタ一覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが実装されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 27.65 ECC を実装するモジュール名とベースアドレス

対応する周辺機能	ECC モジュール名とレジスタベースアドレス			
	マスタ側 ^{注1}		チェッカ側 ^{注1}	
	モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>
RS-CAN	E7RC0M	FFC7 1000 _H	E7RC0C	FFC7 1200 _H
CSIH0	E7CS0M	FFC7 0000 _H	E7CS0C	FFC7 0200 _H
CSIH1	E7CS1M	FFC7 0400 _H	E7CS1C	FFC7 0600 _H

注 1. BIST 対応としてマスタ側とチェッカ側の 2 モジュールが存在します。詳細は「27.7 BIST」を参照してください。

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 27.66 レジスタ一覧

モジュール名	レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
E7RC0M/ E7CS0M/ E7CS1M	ECC コントロールレジスタ ^{注1}	E710CTL	R/W	001X _H	<base_addr> + 00 _H	16/8
E7RC0M/ E7CS0M/ E7CS1M	ECC テストモードコントロールレジスタ	E710TMC	R/W	0000 _H	<base_addr> + 04 _H	16/8
E7RC0M/ E7CS0M/ E7CS1M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	R/W	0000 0000 _H	<base_addr> + 08 _H	32
E7RC0M/ E7CS0M/ E7CS1M	ECC エンコード・デコードデータテストレジスタ	E710TED	R/W	0000 0000 _H	<base_addr> + 0C _H	32
E7RC0M/ E7CS0M/ E7CS1M	ECC エラーアドレスレジスタ	E710EAD	R/W	0000 0000 _H	<base_addr> + 10 _H	32

注 1. ECC コントロールレジスタの下位 1 ビットのリセット値は不定です。

(3) レジスタマップ

表 27.67 レジスタマップ

略称	31	24	23	16	15	8	7	0	Address
E710CTL	—	(00 _H)	—	(00 _H)	ECCTL[15:8]		ECCTL[7:0]		nn00 _H
E710TMC	—	(00 _H)	—	(00 _H)	ECTMC[15:8]		ECTMC[7:0]		nn04 _H
E710TRC	ECSYND[7:0]		ECHORD[7:0]		ECECRD[7:0]		ECERDB[7:0]		nn08 _H
E710TED	ECEDB[31:24]		ECEDB[23:16]		ECEDB[15:8]		ECEDB[7:0]		nn0C _H
E710EAD	ECEAD[31:24]		ECEAD[23:16]		ECEAD[15:8]		ECEAD[7:0]		nn10 _H

27.2.8.3 レジスタ詳細

(1) E710CTL — ECC コントロールレジスタ

ECC モジュールのステータスコントロールおよびモード制御するレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

ただし、ビット 7 への書き込みは 16 ビット操作命令のみ有効です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA[1:0]	—	—	—	—	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	不定
R/W	W 注1	W 注1	R	R	R	W 注1	W 注1	R/W	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード時は常に“0”が読み出されます。

表 27.68 E710CTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15, 14	EMCA[1:0]	ECC モード選択ビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガ予約ビットであり、読み出し値は常に“0”です。
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットはビット 2【ECER2F】のステータスフラグをクリアするためのビットです。 読み出し値は常に“0”であり、“0”書き込みを行っても変化しません。 “1”書き込みとビット 2 のセット要因が競合した際には本ビットの書き込みが優先されます。 【ECER2F】ビットがセットされている際に、本ビットに“1”書き込みを行うことで ECER2F ビットがクリアされます。
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットはビット 1【ECER1F】のステータスフラグをクリアするためのビットです。 読み出し値は常に“0”であり、“0”書き込みを行っても内部状態に変化しません。 “1”書き込みとビット 1 のセット要因が競合した際には本ビットの書き込みが優先されます。【ECER1F】ビットがセットされている際に、本ビットに“1”書き込みを行うことで ECER1F ビットがクリアされます。
7	ECTHM	ECC 機能ディセーブル選択ビット 本ビットを設定することにより ECC デコード動作の取り扱いを選択します。 ただし、本ビットへのライトアクセスは上位 15、14 ビットを 01 _B にしてアクセスする必要があります。したがって本ビットへのアクセスは 16 ビット操作命令のみ有効です。本ビットに“1”をセットすることでエラー判定ならびにビット訂正を行いません。周辺モジュールへの出力データはエラーがあってもビット訂正を行わないデータが出力されます。エンコーダ側には影響を与えません。 0 : ECC 検出・訂正機能が有効 1 : ECC 検出・訂正機能が無効
5	EC1ECP	1 ビットエラー訂正許可ビット 0 : 1 ビットエラー検出時にエラー訂正を行います 1 : 1 ビットエラー検出時にエラー訂正を行いません
4	EC2EDIC	2 ビットエラー検出通知許可ビット 0 : 2 ビットエラー検出時に ECM へ通知しません 1 : 2 ビットエラー検出時に ECM へ通知します
3	EC1EDIC	1 ビットエラー検出通知許可ビット 0 : 1 ビットエラー検出時に ECM へ通知しません 1 : 1 ビットエラー検出時に ECM へ通知します

表 27.68 E710CTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	ECER2F	<p>2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態において RAM へのリードアクセス時にデータビット 0 からビット 38 に対して 2 カ所のビットエラーが検出されたことを示すフラグです。本ビットはリード専用です。 0 : 2 ビットエラーは発生していません 1 : 2 ビットエラーが発生しました</p> <p>[クリア条件] (1) リセット時。 (2) ECER2C = 1 ライト。 (3) ECC 検出・訂正機能無効 (ECTHM = 1)</p>
1	ECER1F	<p>ECC 1 ビットエラー検出・訂正フラグビット 本ビットはエラー判定許可状態において RAM へのリードアクセス時にデータビット 0 からビット 38 に対して 1 カ所のビットエラーが検出されたことを示すフラグです。本ビットはリード専用です。 0 : 1 ビットエラーは発生していません 1 : 1 ビットエラーが発生しました</p> <p>[クリア条件] (1) リセット時。 (2) ECER1C = 1 ライト。 (3) ECC 検出・訂正機能無効時 (ECTHM = 1)</p>
0	ECEMF	<p>ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。 本ビットは RAM 出力データ毎に更新されます。 RAM のリセット後の値が不定であるため、エラーと判定され、本ビットがセットされる可能性があります。よって本ビットのリセット後の値は不定とします。 0 : 現在の RAM 出力データには、ビットエラーが存在していません 1 : 現在の RAM 出力データでは、ビットエラーが存在します エラー判定許可な状態で RAM の出力データにビットエラーのある RAM データが出力されている間セットされます。</p> <p>[クリア条件] (1) ECC 検出・訂正機能無効時 (ECTHM = 1) (2) デコード回路入力データに 1 ビットエラーがないとき。</p>

(2) E710TMC — ECC テストモードコントロールレジスタ

テストモードへの切り替えおよびテストモード制御のための 16 ビットレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

ただし、ビット 7 への書き込みは 16 ビット操作命令のみ有効です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA[1:0]	—	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W 注1	W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード時は常に“0”が読み出されます。

表 27.69 E710TMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15, 14	ETMA[1:0]	ECC テストモードビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガ予約ビットであり、読み出し値は常に“0”です。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよびテスト制御ビットへのアクセス許可するかを選択するビットです。ただし、本ビットのアクセスは上位 15、14 ビットを 10 _g にしてアクセスする必要があります。 0 : テストレジスタおよびテスト制御ビットに対するアクセスを禁止します 1 : テストレジスタおよびテスト制御ビットに対するアクセスを許可します
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは RAM リードステータスを E710TED レジスタのリードにより発生させる事を許可したり、E710TRC : ECERDB[7:0] ビットと E710TED レジスタのリード値を RAM 出力データの値に切り替えするためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア) 0 : E710TED をリードしても、テスト用 RAM リードステータスは発生しません 1 : E710TED レジスタをリードした際に、テスト用 RAM リードステータスを生成します。 E710TRC : ECERDB[7:0] および E710TED レジスタの読み出し値は、RAM 出力データ端子の値が読み出されます
3	ECREOS	ECC 冗長ビット出力データ選択ビット 本ビットは ECC 冗長ビット出力に ECC エンコーダ出力データまたは ECERDB レジスタ値のいずれを出力するか選択するためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア) 0 : ECC 冗長ビット出力にはエンコード結果を出力します 1 : ECC 冗長ビット出力には E710TRC : ECERDB[6:0] を出力します

表 27.69 E710TMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	ECENS	<p>ECC エンコード入力選択ビット</p> <p>本ビットはエンコード処理される入力信号に周辺モジュールからのデータ値または内部テストレジスタ (E710TED : ECEDB[31:0]) 値のいずれを入力するか選択するビットです。なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : ECC エンコード入力データには周辺モジュールからの RAM へのライトデータを入力します</p> <p>1 : ECC エンコード入力データには E710TED : ECEDB[31:0] を入力します</p>
1	ECDCS	<p>ECC デコード入力選択ビット</p> <p>本ビットはデコード処理される入力信号の下位 32 ビットデータに RAM からの下位 32 ビットデータ値または内部テストレジスタ (E710TED : ECEDB[31:0]) 値のいずれを入力するか選択するビットです。</p> <p>なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : デコード回路へのデータ領域 (下位 32 ビット) には RAM 出力データの下位 32 ビットを入力します</p> <p>1 : デコード回路へのデータ領域には E710TED : ECEDB[31:0] を入力します</p>
0	ECREIS	<p>ECC 冗長ビット入力データ選択ビット</p> <p>本ビットはデコード処理される入力信号の上位 7 ビットデータに RAM からの上位 7 ビット (冗長ビット領域) データ値またはテストレジスタ (E710TRC : ECERDB[6:0] ビット) 値のいずれを入力するか選択するビットです。</p> <p>なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : デコード回路への ECC 冗長ビット領域には RAM 出力データの上位 7 ビットを入力します</p> <p>1 : デコード回路への ECC 冗長ビット領域には E710TRC : ECERDB[6:0] を入力します</p>

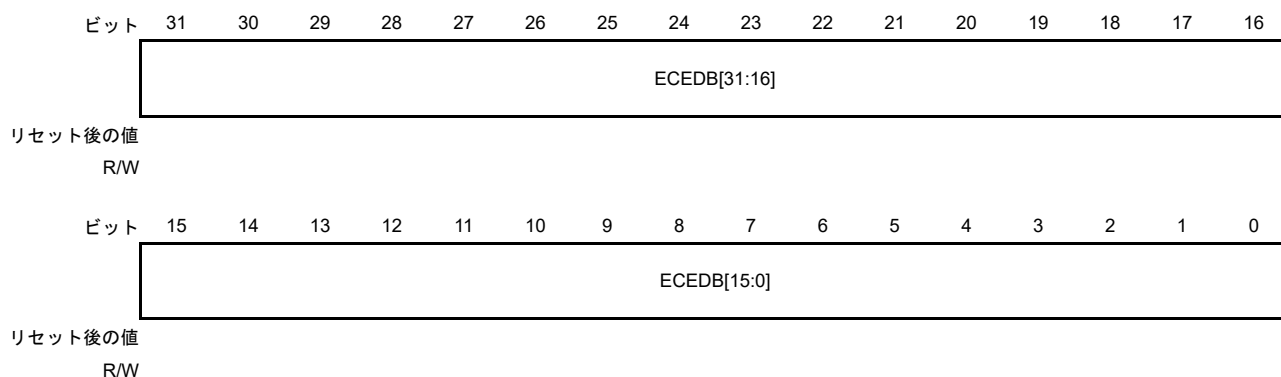
(3) E710TED — ECC エンコード・デコードデータテストレジスタ

ECC エンコード/デコード用 32 ビットデータのテストレジスタです。

ECTMCE = 1 のとき、32 ビット操作命令でリード/ライト可能です。

ECTMCE = 0 のときは常に“0”です。

テストモードにおいて本レジスタの値をエンコード回路、デコード回路の入力データとして使用します。

**備 考**

ECTMCE = 1 → 0 では同期リセットとなります。

E710TMC : ECENS = 1 において本レジスタの値がエンコード回路への入力データとなり、RAM へ供給されます。

E710TMC : ECDCS = 1 において本レジスタの値がデコード回路への入力データ 31 ~ 0 ビット目のデータとなります。

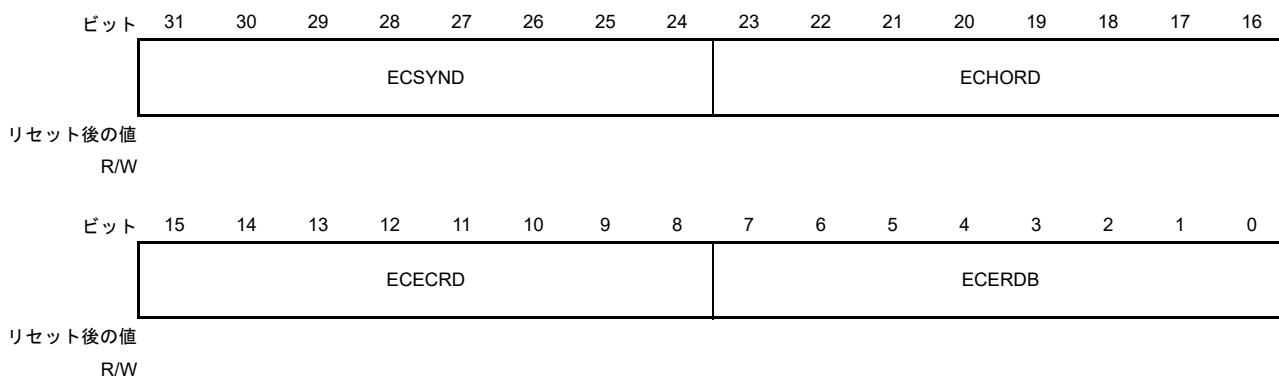
また、E710TMC : ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値に替わり RAM の出力データの値が読み出されます。

(4) E710TRC — ECC 冗長ビットデータコントロールテストレジスタ

本レジスタは ECC 冗長ビット領域に対する 32 ビットのテストレジスタで、ECSYND、ECHORD、ECECRD、ECERDB の 4 フィールドで構成されています。各フィールドは同じ名前の 8 ビットレジスタとしてもアクセス可能です。各フィールドの詳細は、これら 4 レジスタの説明を参照してください。

ECTMCE = 0 のときは常に“0”です。

ECTMCE = 1 のとき、32 ビット操作命令でリード/ライト可能です。

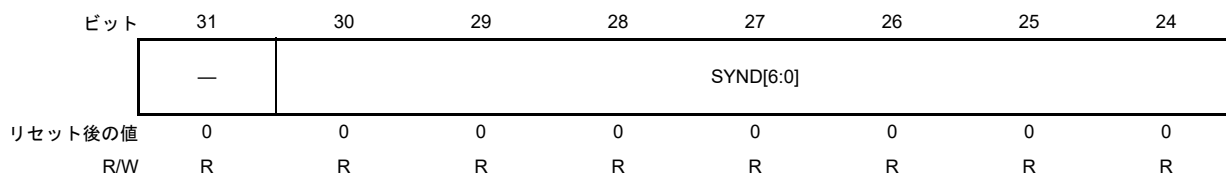
**備 考**

ECTMCE = 1 → 0 では同期リセットとなります。

(5) ECSYND — ECC デコード・シンドロームデータレジスタ

テストモード (ECTMCE = 1) 時にデコード回路で生成されるシンドロームコードを確認するのに使用するリード専用レジスタです。

このレジスタへのライトアクセスは無視されます。



本レジスタビットは、デコード回路の入力データを基に生成されるシンドロームコードの値 (synd[6:0]) が読み出されます。

本レジスタビットは保持回路ではありません。

したがって、入力信号が変化すると本レジスタ値も変化します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で、ECTMCE = 0 では常に 00_H です。

(6) ECHORD — ECC7 ビット冗長ビットデータ保持テストレジスタ

テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM へのリードアクセスした際に周辺モジュールでは確認できない ECC7 ビット冗長ビット領域 (RAM データの上位 7 ビット) を格納するレジスタです。

ビット	23	22	21	20	19	18	17	16
	—							HORD[6:0]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

本レジスタビットは、テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM データリードアクセスした際に次の動作クロックの立ち上がりで RAM 出力データ上位 7 ビット分のデータを格納します。

また、E710TMC : ECTRRS = 1 のときに ECEDB[15:0] レジスタをリードした際にも EC7TERI38 - 32 入力端子のデータを次の動作クロックで格納します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

(7) ECECRD — ECC エンコードテストレジスタ

テストモード (ECTMCE = 1) 時においてエンコード回路により生成される 7 ビット冗長ビット部を読み出すリード専用レジスタです。

ビット	15	14	13	12	11	10	9	8
	—							ECRD[6:0]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

周辺モジュールからの入力データにより生成される冗長ビットを確認するために使用します。

ここで読み出されるデータはエンコード結果 (ecc[6:0]) であり、出力値ではありません。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

(8) ECERDB — ECC 冗長ビット入出力代替バッファレジスタ

テストモード (ECTMCE = 1) 時に ECC7 ビット冗長ビットデータ領域に対する入出力データの代替データのためのバッファレジスタです。

ECTMCE = 1 (ECC テストモード) のときリード/ライト可能です。

ビット	7	6	5	4	3	2	1	0
	ERDB[6:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ECREOS = 1 において、エンコード回路で生成される 7 ビットの冗長ビットに替わり、本レジスタの値が端子に出力され、RAM へ供給されます。

ECREIS = 1 において、デコード回路への入力されるデータの上位 7 ビットに替わり本レジスタの値がデコード回路で扱われます。

また、ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値ではなく、RAM へ供給される信号の値が読み出されます。

(9) E710EAD — ECC エラーアドレスレジスタ

ECC エラー発生アドレスを保持するリード専用レジスタです。

ECC エラー判定が許可された状態で ECC エラーを検出すると、検出信号をトリガとして RAM アドレスをラッチし ECC エラー発生アドレスとして、本レジスタへ保持します。

どのエラーステータスもセットされていない状態で最初に発生した ECC エラー発生時に保持します。

ただし、最初が 1 ビットエラー発生で次に 2 ビットエラーが発生した際には後者が格納されます。

保持できるのは 1 アドレスです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

27.2.8.4 ECM への通知

本モジュールでは、設定により 2 つのエラー検出が可能であり、検出されたエラーは ECM に通知されます。

- 1 ビットエラー通知
1 ビットエラー通知制御が許可【EC1EDIC = 1_B】設定で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 1 箇所のビットエラーを検出すると、1 ビットエラーを通知します。ただし、ECER1F および ECER2F が既にセットされている場合は通知されません。
- 2 ビットエラー通知
2 ビットエラー通知制御が許可【EC2EDIC = 1_B】設定で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 2 箇所のビットエラーを検出すると 2 ビットエラーを通知します。ただし、ECER2F が既にセットされている場合は通知されません。

27.2.8.5 テスト機能

(1) RAM データの書き込み

周辺 RAM へデータ書き込みを実行してください。ただし、同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。任意の値を ECC ビットに書き込むためには、(3) に示す ECC テストモードを使用します。

(2) RAM データの読み出し

- (a) ECC コントロールレジスタの ECTHM ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- (b) 周辺 RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読み出されます。

本テストモードからの抜け方：

- (c) ECC コントロールレジスタの ECTHM ビットを 0 にして、ECC エラー検出・訂正を有効にします。

(3) ECC ビットの書き込み

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- (b) ECC ビットに書き込む値を E710TRC.ECERDB[6:0] に書き込みます。
- (c) ECC テストモードコントロールレジスタの ECREOS ビットを 1 にして、ECC ビットへの書き込み対象に E710TRC.ECERDB[6:0] を選択します。
- (d) 周辺 RAM へデータ書き込みを実行すると、ECC ビットに E710TRC.ECERDB[6:0] が書き込まれます。

本テストモードからの抜け方：

- (e) ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

(4) ECC ビットの読み出し

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- (b) 周辺 RAM の読み出しを実行すると、ECC ビットが E710TRC.ECHORD[6:0] に格納されます。

本テストモードからの抜け方：

- (c) ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

27.2.9 データ転送経路のデータパリティ

以下に、データパリティの対象となる転送経路を示します。以下に示すアクセス元からアクセス先への転送にはデータパリティによるエラーの検出が可能です。いずれかの転送経路でパリティエラーを検出すると、ECMに通知します。

表 27.70 データパリティの対象となる転送経路

アクセス元 (マスタ)	アクセス先 (スレーブ)
CPU1, CPU2, DMAC, DTS	INTC2, DMAC, DTS, CSIH, ADCC, ポートグループ
DMAC, DTS	CPU1/CPU2 の Local RAM, Global RAM

なお、リード時にデータパリティエラーが発生した際、バスマスタの CPU へは 0 が返されます。その他のバスマスタへはエラーデータがそのまま返されます。また、ライト時にデータパリティエラーが発生した際は、スレーブが INTC2、CSIH、ADCC であればライトはキャンセルされます。

パリティ対象モジュールの幾つかはパリティコントローラ (エンコーダおよびデコーダ) に制御レジスタを持っており、エラー検出時のステータス保持などが可能です。これらのモジュールでパリティエラーが検出された場合は、エラーとなったアクセスを特定することが可能です。

制御レジスタを持たないパリティコントローラは、必ずパリティを検出します。これらのコントローラ自身はエラー検出時のステータスは保持しませんが、エラー検出の有無は ECM に保持されます。

27.2.9.1 レジスタ一覧

表 27.71 レジスタ一覧

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
APDP	<Base_addr> + 0 _H	APDPERRST_xx	P-Bus データパリティステータスレジスタ xx	R	0000 0000 _H	8/16/32
APDP	<Base_addr> + 4 _H	APDPERRSTC_xx	P-Bus データパリティステータスクリアレジスタ xx	W	0000 0000 _H	8/16/32
APDP	<Base_addr> + 8 _H	APDPTMC_xx	P-Bus データパリティテストモードコントロールレジスタ xx	R/W	0000 0000 _H	16/32
APDP	<Base_addr> + C _H	APDPERRADR_xx	P-Bus データパリティエラーアドレスレジスタ xx	R	0000 0000 _H	32

上記における、“xx” はこれら制御レジスタが対応するパリティ対象モジュールを示します。以下にパリティ対象モジュールと、そのベースアドレス <base_addr> の一覧を示します。

表 27.72 データパリティ制御モジュール一覧

パリティ対象モジュール名	xx	<base_addr>
INTC2	INTC2	FFC6 8800 _H
DMA_DTS	PDMA	FFC6 8900 _H
CSIH0 (グループ A) 注1	CS0A	FFF9 6000 _H
CSIH0 (グループ B) 注1	CS0B	FFF9 6020 _H
CSIH1 (グループ A) 注1	CS1A	FFF9 6040 _H
CSIH1 (グループ B) 注1	CS1B	FFF9 6060 _H
ADCC0	ADC0	FFC8 8000 _H
ADCC1	ADC1	FFC8 8020 _H
ポートグループ	PT	FFC8 5000 _H

注 1. CSIHx のレジスタは以下の 2 グループに分けて制御されます。
 グループ A : CSIHnCTL0~2、CSIHnSTR0、CSIHnSTCR0
 グループ B : 上記以外

27.2.9.2 レジスタ詳細

(1) APDPERRST_xx — P-Bus データパリティステータスレジスタ

xx は、「表 27.72 データパリティ制御モジュール一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.73 APDPERRST レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	APDPERR	データパリティエラーモニタフラグ パリティエラーが発生したことを示すフラグです。 データパリティエラーモニタフラグクリアビット (APDPERRC) に1をセットすることでクリアされます。 0: パリティエラーは発生していない 1: パリティエラーが発生した

(2) APDPERRSTC_xx — P-Bus データパリティステータスクリアレジスタ

xx は、「表 27.72 データパリティ制御モジュール一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPE RRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 27.74 APDPERRSTC レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	APDPERRC	本ビットは、データパリティエラーモニタフラグ (APDPERR) をクリアするためのビットです。 APDPERR がセットされた状態で、本ビットに“1”を書き込むと APDPERR はクリアされます。 読み出し値は常に“0”です。

(3) APDPTMC_xx — P-Bus データパリティテストモードコントロールレジスタ

xx は、「表 27.72 データパリティ制御モジュール一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APDPTMC[1:0]	—	—	—	—	—	—	—	—	—	—	—	APDPEIC3	APDPEIC2	APDPEIC1	APDPEIC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 27.75 APDPTMC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15、14	APDPTMC[1:0]	データパリティテストモードコントロールビット 本ビットのデータが01 _B のときにエラー注入制御ビット（APDPEIC3 ~ 0）にライトアクセスが可能になります。 01 _B 以外でAPDPEIC3 ~ 0にライトアクセスしても値は書き込まれません。 読み出し値は常に“0”です。
13 ~ 4	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	APDPEIC3	バイトレーン3エラー注入制御ビット バイトレーン3（ビット31 ~ 24）に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）
2	APDPEIC2	バイトレーン2エラー注入制御ビット バイトレーン2（ビット23 ~ 16）に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）
1	APDPEIC1	バイトレーン1エラー注入制御ビット バイトレーン1（ビット15 ~ 8）に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）
0	APDPEIC0	バイトレーン0エラー注入制御ビット バイトレーン0（ビット7 ~ 0）に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）

(4) APDPERRADR_xx — P-Bus データパリティエラーアドレスレジスタ

xx は、「表 27.72 データパリティ制御モジュール一覧」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	APDPERRADR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APDPERRADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.76 APDPERRADR レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	APDPERRADR [31:0]	データパリティエラーアドレス データパリティエラーモニタフラグ (APDPAERR) がセットされていない状態で、最初にパリティエラーが発生したアドレスを保持します。DPAERR がセットされた状態で再度パリティエラーが発生しても保持情報は更新されません。

注 意

APDPERRADR_xx レジスタは、パリティ対象モジュールによって値の示すアドレス表現が異なります。

- INTC2,DMA_DTS は、実アドレス (32bit) を示します。
- その他のモジュールは、下位アドレスの 12 ビットを示しますので、各モジュールのベースアドレスを加算して実アドレスに変換してください。
また、データアライメントされたアドレスを示しますので、下位 2 ビットは 0 固定になります。

27.3 ロックステップ

本製品は、CPUの故障を、特別なソフトウェアを使わずにかつ速やかに検出するために、CPU1にロックステップ機能を搭載しています。CPU1におけるプログラム実行は、異なる2つの回路であるマスタコアとチェッカコアによって処理され、両者の実行結果は常時比較されます。比較結果が一致しなかった場合、いずれかの回路にエラーが生じたものとしてECMにロックステップコンペアエラーを通知します。比較対象となるバス出力は、CPU1のLocal RAM、Global RAM、CPU Peripheral、インターコネク、P-Bus、Code Flash、命令キャッシュのタグRAM、命令キャッシュのデータRAMへの出力です。

CPU1のロックステップ機能は故障注入機能を備えており、意図的にエラーを発生させることによってロックステップ機能の動作を自己診断することができます。

27.3.1 レジスタ一覧

表 27.77 レジスタ一覧

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
TESTCOMP	FFFE ED00 _H	TESTCOMPREG0	比較器テストレジスタ 0	R/W	0000 0000 _H	8/16/32
TESTCOMP	FFFE ED04 _H	TESTCOMPREG1	比較器テストレジスタ 1	R/W	0000 0000 _H	8/16/32

これらのレジスタは、CPU1のCPU Peripheralに配置されています。これらのレジスタはCPU1からしかアクセスすることができません。

27.3.2 レジスタ詳細

27.3.2.1 TESTCOMPREG0 — 比較器テストレジスタ 0

CPU1 のロックステップ機能用のテストレジスタ 0 です。

本レジスタと TESTCOMPREG1 を組み合わせることによってロックステップ機能の自己診断を行うことができます。以下に、自己診断方法の一例を示します。

- (1) TESTCOMPREG0 に任意の値を書き込みます。
- (2) TESTCOMPREG1 に TESTCOMPREG0 とは異なる任意の値を書き込みます。
- (3) TESTCOMPREG0 を読み出します。マスタコアとチェッカコアには、異なる値が読み出されます。
- (4) この読み出した値を使用して、診断を行いたい比較器を動作させます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG0[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.78 TESTCOMPREG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TESTCOMPREG0[31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1 : TESTCOMPREG0[31:0] の値が読めます。 PE1C : TESTCOMPREG1[31:0] の値が読めます。

27.3.2.2 TESTCOMPREG1 — 比較器テストレジスタ 1

CPU1 のロックステップ機能用のテストレジスタ 1 です。

本レジスタと TESTCOMPREG0 を組み合わせることによってロックステップ機能の自己診断を行うことができます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG1[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.79 TESTCOMPREG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TESTCOMPREG1[31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1 : TESTCOMPREG1[31:0] の値が読めます。 PE1C : TESTCOMPREG0[31:0] の値が読めます。

27.4 メモリ保護

27.4.1 概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU

CPU1 や CPU2 が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU1 や CPU2 から発行されることはありません。詳細は、「*RH850G3M ユーザーズマニュアル ソフトウェア編*」をご参照ください。

- スレーブガード

あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。

- PEG

Local RAM を不正なアクセスから保護します。ただし、Local RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内、および CPU2 から CPU2 内の Local RAM へのアクセスは、PEG によってプロテクトされることはありません。

詳細は「**第3章 CPU システム**」をご参照ください。

- IPG

CPU Peripheral を不正なアクセスから保護します。詳細は「**第3章 CPU システム**」をご参照ください。

- GRG

Global RAM を不正なアクセスから保護します。

- PBG

周辺回路の制御レジスタやメモリを不正なアクセスから保護します。詳細は、**27.4.3 節**をご参照ください。

27.4.1.1 スレーブガードの識別子

スレーブガードでは、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 27.80 スレーブガードの識別子

識別子	機能
UM	<p>CPU のアクセス時に、その CPU の動作モードを示します。</p> <p>0 : スーパバイザモード 1 : ユーザモード</p> <p>DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。その他のマスタのアクセス時には、本識別子は必ず 0 となります。</p>
SPID	<p>CPU のアクセス時に、その CPU に設定されたシステム保護識別子 SPID の値を示します。</p> <p>DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。その他のマスタのアクセス時には、本識別子は必ず 00_B となります。</p>
PEID	<p>アクセス元のバスマスタを示します。</p> <p>000_B : 予約 001_B : CPU1 010_B : CPU2 011_B : 予約 100_B : その他のバスマスタ 101_B : 予約 110_B : 予約 111_B : 予約</p> <p>DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。</p>

27.4.2 GRG (Global RAM Guard)

本製品は、4チャンネルのGRGを実装しています。以下にGRGの詳細を記します。

27.4.2.1 レジスタ一覧

表 27.81 レジスタ一覧 (1/2)

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
MGDGR	FFC4 9000 _H	MGDGRPROT0	GRG プロテクション設定レジスタ 0	R/W	07FF FFF0 _H	8/16/32
MGDGR	FFC4 9004 _H	MGDGRBAD0	GRG コンペアベースアドレスレジスタ 0	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9008 _H	MGDGRADV0	GRG コンペアアドレス有効レジスタ 0	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9010 _H	MGDGRPROT1	GRG プロテクション設定レジスタ 1	R/W	07FF FFF0 _H	8/16/32
MGDGR	FFC4 9014 _H	MGDGRBAD1	GRG コンペアベースアドレスレジスタ 1	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9018 _H	MGDGRADV1	GRG コンペアアドレス有効レジスタ 1	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9020 _H	MGDGRPROT2	GRG プロテクション設定レジスタ 2	R/W	07FF FFF0 _H	8/16/32
MGDGR	FFC4 9024 _H	MGDGRBAD2	GRG コンペアベースアドレスレジスタ 2	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9028 _H	MGDGRADV2	GRG コンペアアドレス有効レジスタ 2	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9030 _H	MGDGRPROT3	GRG プロテクション設定レジスタ 3	R/W	07FF FFF0 _H	8/16/32
MGDGR	FFC4 9034 _H	MGDGRBAD3	GRG コンペアベースアドレスレジスタ 3	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9038 _H	MGDGRADV3	GRG コンペアアドレス有効レジスタ 3	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9100 _H	MGDGRSCTL_VCI	GRG コントロールレジスタ (VCI)	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9104 _H	MGDGRSSTAT_VCI	GRG エラーステータスレジスタ (VCI)	R	0000 0000 _H	8/16/32
MGDGR	FFC4 9108 _H	MGDGRSAD_VCI	GRG エラーアドレスレジスタ (VCI)	R	0000 0000 _H	8/16/32
MGDGR	FFC4 910C _H	MGDGRSTYPE_VCI	GRG エラーアクセスタイプレジスタ (VCI)	R	0000 0000 _H	8/16/32
MGDGR	FFC4 9200 _H	MGDGRSCTL_PE1	GRG コントロールレジスタ (PE1)	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9204 _H	MGDGRSSTAT_PE1	GRG エラーステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
MGDGR	FFC4 9208 _H	MGDGRSAD_PE1	GRG エラーアドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32
MGDGR	FFC4 920C _H	MGDGRSTYPE_PE1	GRG エラーアクセスタイプレジスタ (PE1)	R	0000 0000 _H	8/16/32

表 27.81 レジスタ一覧 (2/2)

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
MGDGR	FFC4 9300 _H	MGDGRSCTL_PE2	GRG コントロールレジスタ (PE2)	R/W	0000 0000 _H	8/16/32
MGDGR	FFC4 9304 _H	MGDGRSSTAT_PE2	GRG エラーステータスレジスタ (PE2)	R	0000 0000 _H	8/16/32
MGDGR	FFC4 9308 _H	MGDGRSAD_PE2	GRG エラーアドレスレジスタ (PE2)	R	0000 0000 _H	8/16/32
MGDGR	FFC4 930C _H	MGDGRSTYPE_PE2	GRG エラーアクセスタイプレジスタ (PE2)	R	0000 0000 _H	8/16/32

- MGDGRPROT_n、MGDGRBAD_n、MGDGRADV_n は、各チャンネルの保護内容を設定します。(n : 0 ~ 3)
- MGDGRSCTL_*, MGDGRSSTAT_*, MGDGRSAD_*, MGDGRSTYPE_* は、各アクセスポートにおけるエラー情報を示します。“_VCI” はシステムインタコネク1 から Global RAM へのアクセス、“_PE1” は CPU1 から Global RAM へのアクセス、“_PE2” は CPU2 から Global RAM へのアクセスを示します。

27.4.2.2 レジスタ詳細

(1) MGDGRPROTn — GRG プロテクション設定レジスタ n (n = 0 ~ 3)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	EN	—	—	—	—	UM	PEID[7:0]							—	
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SPID[3:0]				DEB	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 27.82 MGDGRPROTn レジスタの内容

ビット位置	ビット名	機能
31	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	EN	保護イネーブル 0: 保護しません 1: 保護します 本レジスタで許可したアクセスのみ可能
29 ~ 27	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	—	予約です。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
25	UM	ユーザーモードでのアクセス 0: 管理者モードでのアクセスを許可します。 1: ユーザーモードと管理者モードでのアクセスを許可します。
24 ~ 17	PEID[7:0]	PEIDによるアクセス PEIDは各ビットがそれぞれ1つのPEID値に対応するビットリストです。複数のビットを設定することによって同時に複数のID値を許可します。たとえばPEIDを0101 _B に設定すればPEID=0およびPEID=2でのアクセスを許可します。 0: PEID=nでのアクセスを許可しません。 1: PEID=nでのアクセスを許可します。
16 ~ 9	—	予約です。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
8 ~ 5	SPID[3:0]	SPIDによるアクセス SPIDは各ビットがそれぞれ1つのSPID値に対応するビットリストです。複数のビットを設定することによって同時に複数のSPID値を許可します。たとえばSPIDを0101 _B に設定すればSPID=0およびSPID=2でのアクセスを許可します。 0: SPID=nでのアクセスを許可しません。 1: SPID=nでのアクセスを許可します。
4	DEB	デバッグアクセス 0: デバッグマスタからのアクセスを許可しません。 1: デバッグマスタからのアクセスを許可します。 本ビットには必ず“1”を設定してください。もしも“0”を設定した場合、デバッグやRAMモニタツールが正しく動作しない可能性があります。
3 ~ 0	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(2) MGDGRBADn — GRG コンペアベースアドレスレジスタ n (n = 0 ~ 3)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	AD[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[15:9]							—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 27.83 MGDGRBADn レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20 ~ 9	AD[20:9]	コンペアベースアドレス
8 ~ 0	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(3) MGDGRADVn — GRG コンペアアドレス有効レジスタ n (n = 0 ~ 3)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADV[15:9]							—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 27.84 MGDGRADVn レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20 ~ 9	ADV[20:9]	コンペアアドレス有効 MGDGRADVn[20:9] = 1 のビットはアドレスコンペアを実行します。 MGDGRADVn[20:9] がすべて1の場合は MGDGRBAD で指定されたアドレスをベースに 512 バイトが保護対象となります。ただし、MGDGRADVn[20:9] がすべて0の場合は Global RAM 全域が保護対象となります。
8 ~ 0	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

設定例：MGDGRBADn[20:9] = 800_H, MGDGRADVn[20:9] = FF7_H に設定した場合、Global RAM ガード保護領域 n は FEF00000_H ~ FEF001FF_H と FEF01000_H ~ FEF011FF_H になります。

考え方：MGDGRBADn[20:9] = 800_H をセットするとベースアドレスは FEF00000_H となり設定可能範囲を【 】で示すと、

1111 1110 111 【1 0000 0000 000】 0 0000 0000

F E F 0 0 0 0 0

MGDGRADVn[20:9] = FF7_H の場合、0 をセットしたビットと下位 9 ビットは見ないので

1111 1110 111 【1 0000 000X 000】 X XXXX XXXX

F E F 0 0 0 0 0 ~

F E F 0 0 1 F F

および

F E F 0 1 0 0 0 ~

F E F 0 1 1 F F

の各 512 バイト、計 1K バイトを保護します。

(4) MGDGRSCTL_VCI/PE1/PE2 — GRG コントロールレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRCLO	ERRCLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 27.85 MGDGRSCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	ERRCLO	エラーエントリオーバフローフラグクリア 0: 動作しません。 1: オーバフローフラグをクリアします。
0	ERRCLE	エラー検出フラグクリア 0: 動作しません。 1: エラー検出フラグをクリアします。ただし、下表に示すとおり ERRCLO と同時にセットしてください。

表 27.86 ERRCLO, ERRCLE ビットの設定

ERRCLO	ERRCLE	機能
0	0	いずれのビットもクリアしません。
0	1	いずれのビットもクリアしません（この設定は無視されます）。
1	0	OVF ビットをクリアします。
1	1	両方のビットをクリアします。

(5) MGDGRSSTAT_VCI/PE1/PE2 — GRG エラーステータスレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.87 MGDGRSSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	OVF	エラーエントリオーバフローフラグ 0: オーバフローなし 1: オーバフロー発生 GRGのエラーエントリ段数は1のため、最初のガード違反が発生し、エラー検出フラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 なお、オーバフローはECMには通知されません。またオーバフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラー検出フラグ 0: エラーなし 1: エラー発生

(6) MGDGRSAD_VCI/PE1/PE2 — GRG エラーアドレスレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	GRIFR EQAP	—	—	—	—	GRIFA[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRIFA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.88 MGDGRSAD レジスタの内容

ビット位置	ビット名	機能
31～26	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25	GRIFREQAP	エラー発生時のアドレスパリティビット
24～21	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20～0	GRIFA[20:0]	エラー発生時のアドレス

(7) MGDGRSTYPE_VCI/PE1/PE2 — GRG エラーアクセスタイプレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PACKETID[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	TYPE[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.89 MGDGRSTYPE レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	PACKETID[1:0]	エラー発生時のパケット ID（内部バス、インターコネクトの信号であり参考情報）
15 ~ 13	PEID[2:0]	エラー発生時の PEID
12 ~ 10	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	SPID[1:0]	エラー発生時の SPID
7	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	UM	エラー発生時の UM
5	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 ~ 0	TYPE[4:0]	エラー発生時の転送タイプ（内部バス、インターコネクトの信号であり参考情報）

27.4.3 PBG

PBG モジュールは複数の PBG グループに分かれており、各 PBG グループは最大 16 個の保護チャンネルを備えています。一つの PBG チャンネルが 1 つの周辺回路に対してプロテクトすべきアクセスを指定することができます。また PBG グループごとに、プロテクトしたアクセスの情報を保持することができます。

以下に、保護対象の周辺回路モジュールの一覧と、対応する PBG グループ名、PBG チャンネル番号を示します。

表 27.90 保護対象の周辺回路モジュールと対応する PBG チャンネル番号

PBG グループ	PBG チャンネル番号	保護対象モジュール
PBG0	0	INTC2
	1	DMA_DTS
PBG1	4	GRG (制御レジスタ)
	5	GRG ステータス (VCI2GRAM)
	6	GRG ステータス (PE1)
	7	GRG ステータス (PE2)
PBG2	0	RDC20
	1	RDC21 (C1Hのみ)
	2	PBG2 自身
PBG3	0	ADCC0
	1	ADCC1
	2	ECM (マスタ)
	3	ECM (チェッカ)
	4	ECM (共通部)
	5	ポートグループ
	6	DCRA0
	7	DCRA1
	8	PBG3 自身
PBG4	0	TAUD0
	1	TAUD1
	2	TAPA0
	3	TAPA1
	4	TAPA2
	5	TAPA3
	6	TSG30
	7	TSG31
	8	PBG4 自身
PBG5	0	CSIH0 (グループ A) 注1
	1	CSIH0 (グループ B) 注1
	2	CSIH1 (グループ A) 注1
	3	CSIH1 (グループ B) 注1
	4	RS-CAN
	5	EMU20
	6	EMU21
	7	PBG5 自身

注 1. CSIHx のレジスタは以下の 2 グループに分けて制御されます。

グループ A : CSIHnCTL0 ~ 2, CSIHnSTR0, CSIHnSTCR0
 グループ B : 上記以外

27.4.3.1 レジスタ一覧

以下に PBG チャンネルごとに実装されるレジスタを示します。

表 27.91 レジスタ一覧

モジュール名	レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBG	FSGDxxDPR0Tn	PBGxx プロテクションレジスタ n	R/W	PBG0-1 : 07FF FFFF _H PBG2-5 : 0006 0255 _H	<base_addr0> + 4*n	8/16/32

以下に PBG グループごとに実装されるレジスタを示します。

表 27.92 レジスタ一覧 (PBG グループ)

モジュール名	レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBG	ERRSLVxxCTL	PBGxx エラーコントロールレジスタ	W	0000 0000 _H	<base_addr1> + 0 _H	8/16/32
PBG	ERRSLVxxSTAT	PBGxx エラーステータスレジスタ	R	0000 0000 _H	<base_addr1> + 4 _H	8/16/32
PBG	ERRSLVxxADDR	PBGxx エラーアドレスレジスタ	R	0000 0000 _H	<base_addr1> + 8 _H	32
PBG	ERRSLVxxTYPE	PBGxx エラータイプレジスタ	R	0000 0000 _H	<base_addr1> + C _H	16/32

ここで、レジスタ名やレジスタシンボルの“xx”は PBG グループ番号を、“n”は PBG チャンネル番号を示します。各 PBG グループ番号や PBG チャンネル番号に対応したベースアドレス値 <base_addr0> と <base_addr1> の値は以下のとおりです。

表 27.93 PBG チャンネル番号に対応したベースアドレス値

PBG グループ	PBG チャンネル	<base_addr0>	<base_addr1>
PBG0	0, 1	FFC4 C000 _H	FFC4 C800 _H
PBG1	4 - 7	FFC4 C100 _H	FFC4 C900 _H
PBG2	0 - 2	FFDC 0000 _H	FFDC 0200 _H
PBG3	0 - 8	FFC4 0000 _H	FFC4 0200 _H
PBG4	0 - 8	FFDD D000 _H	FFDD D200 _H
PBG5	0 - 7	FFF9 4000 _H	FFF9 4200 _H

27.4.3.2 レジスタ詳細

(1) FSGDxxDPROTn — PBGxx プロテクションレジスタ n

保護対象である周辺回路モジュールの制御レジスタやRAMに対して、プロテクトするアクセスを指定します。いずれかの識別子で禁止されたアクセスは不正アクセスとしてプロテクトされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PROTUM	PROTPEID[7:0]							—	
リセット後の値 注1	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID[3:0]			PROTDEB	PROTRDPDEF	PROTRWPEF	PROTRD	PROTRWR	
リセット後の値 注1	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. リセット後の値は以下になります。

PBG0-1 : 0000 0111 1111 1111 1111 1111 1111 1111_B

PBG2-5 : 0000 0000 0000 0110 0000 0010 0101 0101_B

表 27.94 FSGDxxDPROTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	—	予約です。読み出すとリセット後の値が読み出されます。書き込む値もリセット後の値にしてください。
25	PROTUM	ユーザーモードでのアクセス 0 : 管理者モードでのアクセスを許可します。 1 : ユーザーモードと管理者モードでのアクセスを許可します。
24 ~ 17	PROTPEID[7:0]	PEIDによるアクセス PROTnPEIDは各ビットがそれぞれ1つのPEID値に対応するビットリストです。複数のビットを設定することによって同時に複数のID値を許可します。たとえばPROTnPEIDを0101 _B に設定すればPEID=0およびPEID=2でのアクセスを許可します。 0 : PEID=nでのアクセスを許可しません。 1 : PEID=nでのアクセスを許可します。
16 ~ 9	—	予約です。読み出すとリセット後の値が読み出されます。書き込む値もリセット後の値にしてください。
8 ~ 5	PROTSPID[3:0]	SPIDによるアクセス PROTnSPIDは各ビットがそれぞれ1つのSPID値を表すビットの一覧です。複数のビットを設定することによって同時に複数のSPID値を許可します。たとえばPROTnSPIDを0101 _B に設定すればSPID=0およびSPID=2でのアクセスを許可します。 0 : SPID=nでのアクセスを許可しません。 1 : SPID=nでのアクセスを許可します。
4	PROTDEB	デバッグアクセス 0 : デバッグマスタからのアクセスを許可しません。 1 : デバッグマスタからのアクセスを許可します。 本ビットには必ず“1”を設定してください。もしも“0”を設定した場合、デバッグやRAMモニタツールが正しく動作しない可能性があります。
3	PROTRDPDEF	デフォルトリード保護 0 : いずれのマスタもリードアクセスを実行することができます。 1 : アクセスを許可されたマスタによるリードだけを許可します。

表 27.94 FSGDxxDPROTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PROTWRPDEF	デフォルトライト保護 0: いずれのマスタもライトアクセスを実行することができます。 1: アクセスを許可されたマスタによるライトだけを許可します。
1	PROTRD	リード許可 0: いずれのマスタもリードアクセスは許可しません。 1: アクセスを許可されたマスタによるリードアクセスだけを許可します。
0	PROTWR	ライト許可 0: いずれのマスタもライトアクセスは許可しません。 1: アクセスを許可されたマスタによるライトアクセスだけを許可します。

(2) ERRSLVxxCTL — PBGxx エラーコントロールレジスタ

PBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 27.95 ERRSLVxxCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	CLRO	エラーエントリオーバフローフラグクリア 0: 動作しません。 1: オーバフローフラグをクリアします。
0	CLRE	エラー検出フラグクリア 0: 動作しません。 1: エラー検出フラグをクリアします。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ

PBGxx においてプロテクトした不正アクセスのステータスを保持するためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.96 ERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	OVF	エラーエントリオーバフローフラグ 0: オーバフローなし 1: オーバフロー発生 PBGのエラーエントリ段数は1のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 なお、オーバフローはECMには通知されません。またオーバフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラー検出フラグ 0: エラーなし 1: エラー発生

(4) ERRSLVxxADDR — PBGxx エラーアドレスレジスタ

PBGxx においてプロテクトした不正アクセスのアドレスを保持するためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	ADDR[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.97 ERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ~ 0	ADDR[23:0]	不正アクセス発生時のアクセスアドレスは、本ビットの読み出し値にFF00 0000 _H を加算して算出してください。

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ

PBGxx においてプロテクトした不正アクセスのアクセスタイプを保持するためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	STRB[3:0]			WRITE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.98 ERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ~ 13	PEID[2:0]	エラー発生時の PEID
12 ~ 10	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	SPID[1:0]	エラー発生時の SPID
7	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	UM	エラー発生時の UM
5	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 ~ 1	STRB[3:0]	エラー発生時のストローブ信号（内部バス、インターコネクトの信号であり参考情報）
0	WRITE	エラー発生時のライト信号（内部バス、インターコネクトの信号であり参考情報）

27.5 マルチインプットシグネチャジェネレータ (MISG)

27.5.1 概要

本 LSI は、CPU 部の自己診断などを目的として、マルチインプットシグネチャジェネレータ (MISG) を搭載しています。

MISG の仕様概要を以下に示します。

表 27.99 仕様概要

項目	説明
生成多項式	<p>2 種類の生成多項式を用いてシグネチャを生成することができます。</p> <ul style="list-style-type: none"> MISR1: $G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ MISR2: $G(x) = x^{32} + x^{22} + x^2 + x + 1$ <p>* 64 ビットデータに対するシグネチャの生成に対応するために、各 CPU に MISR1 (MISR2) を 2 つ搭載した MISG を接続します。</p>
シグネチャの生成	<p>シグネチャ生成の許可/禁止を設定できます。</p> <ul style="list-style-type: none"> MISR1 でのシグネチャ生成の許可/禁止 MISR2 でのシグネチャ生成の許可/禁止 <p>シグネチャ生成条件として、下記 2 条件を選択できます。</p> <ul style="list-style-type: none"> レジスタ書き込み MISR1 カルキュレーションレジスタ (MISRCURL) への書き込みによってシグネチャを生成します。 ライト監視 CPU によるライトアクセスを監視し、特定の監視アドレス領域へのライトアクセスが発生するとシグネチャを生成します。監視対象となる特定の監視アドレス領域は、監視領域ベースアドレスレジスタと監視領域アドレスマスクレジスタで指定します。
シグネチャ自動比較機能	<p>2 つのシグネチャ生成部を選択してシグネチャを比較します。</p> <p>各シグネチャ生成部にデータカウンタを搭載し、比較対象に選択した MISG に搭載したデータカウンタのカウント値が一致した場合に比較を実施します。データカウンタは MISRCURL レジスタ、または監視するアドレス領域へのライトアクセスの回数をカウントします。</p>
エラー通知	<p>シグネチャの比較で不一致になった場合、ECM にエラー通知します。ECM へのエラー通知の許可/禁止を選択できます。</p> <p>直接 INTC への割り込み要求は行いません。</p>

27.5.2 ブロック図

27.5.2.1 MISG

MISG のブロック図を以下に示します。MISG は、2つのシグネチャ生成部とシグネチャ比較部で構成されます。

シグネチャ生成条件のライト監視モード（節参照）は、対応するシグネチャ生成部と CPU 間でのみ実現可能です。このため各シグネチャ生成部には、CPU 番号に対応した名称がつけられています（MISG_PE1、MISG_PE2）。MISG_PE1 は CPU1 のライトアクセスを MISG_PE2 は CPU2 のライトアクセスを監視できます。

シグネチャ生成条件のレジスタライトモードでは、各 CPU とシグネチャ生成部の間に対応関係はありません。すべての CPU はすべてのシグネチャ生成部でシグネチャを生成することができます。

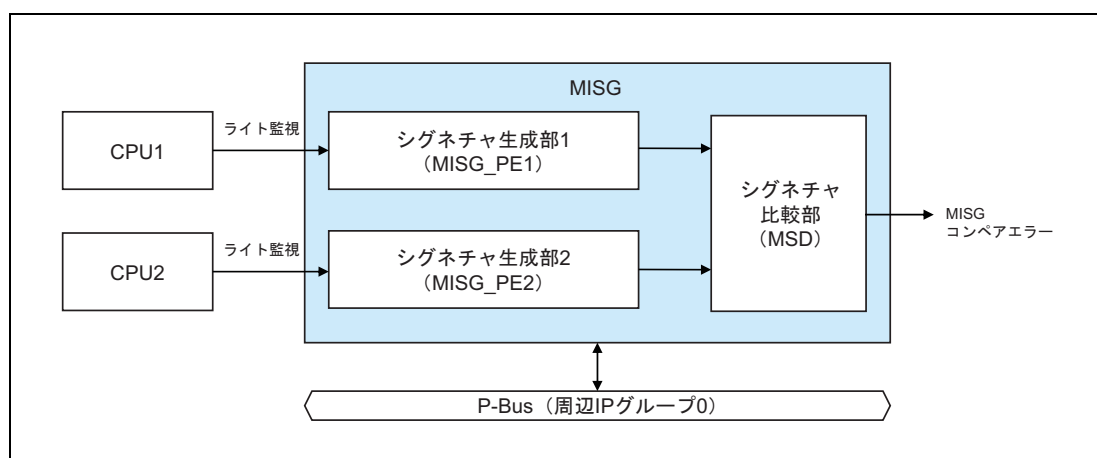


図 27.3 MISG ブロック図 (RH850/C1H)

27.5.2.2 シグネチャ生成

以下にシグネチャ生成におけるデータの流れを示します。MISR1 および MISR2 は 32 ビットのシグネチャ生成器 2 つ (MISR1H と MISR1L、MISR2H と MISR2L) から構成されます。MISR1H と MISR2H は監視対象 CPU のライトデータ上位 32 ビットからシグネチャを生成できます。MISR1L と MISR2L は、監視対象 CPU のライトデータ下位 32 ビットまたは MISRCDRL へのライトデータからシグネチャを生成できます。

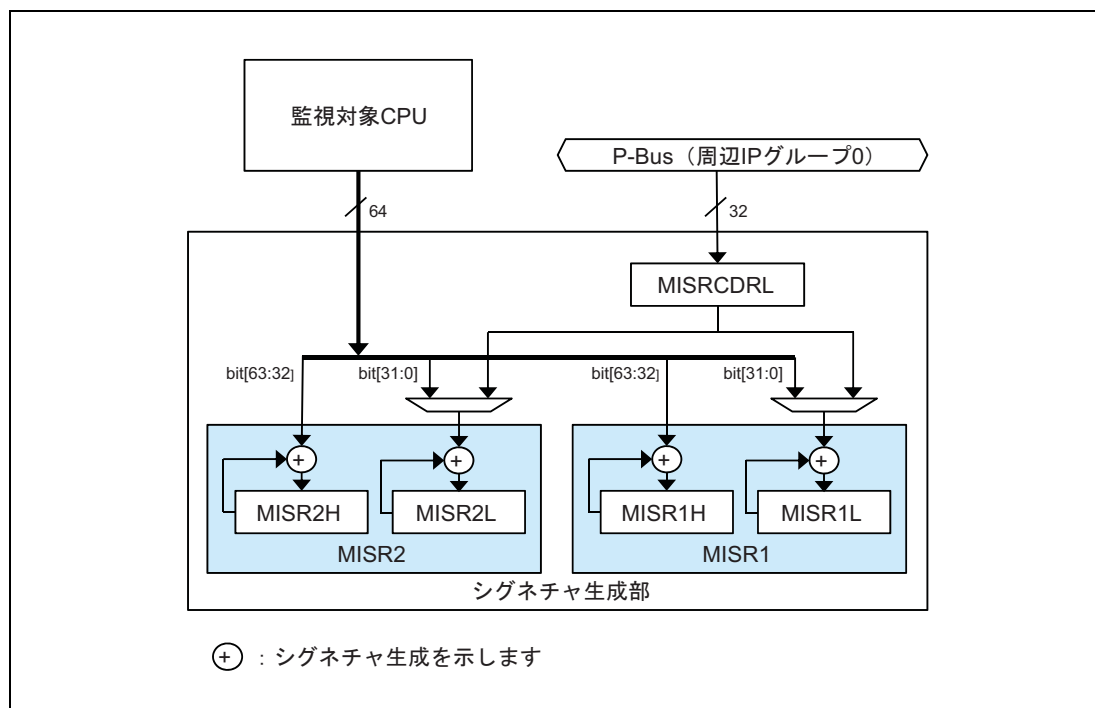


図 27.4 シグネチャ生成部

以下に MISR1H および MISR1L のシグネチャ生成のブロック図と生成多項式を示します。

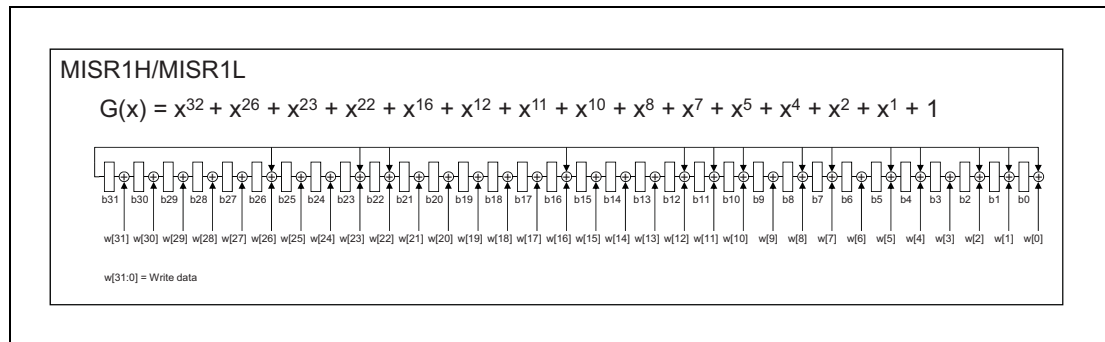


図 27.5 MISR1H および MISR1L のシグネチャ生成のブロック図と生成多項式

以下に MISR2H および MISR2L のシグネチャ生成のブロック図と生成多項式を示します。

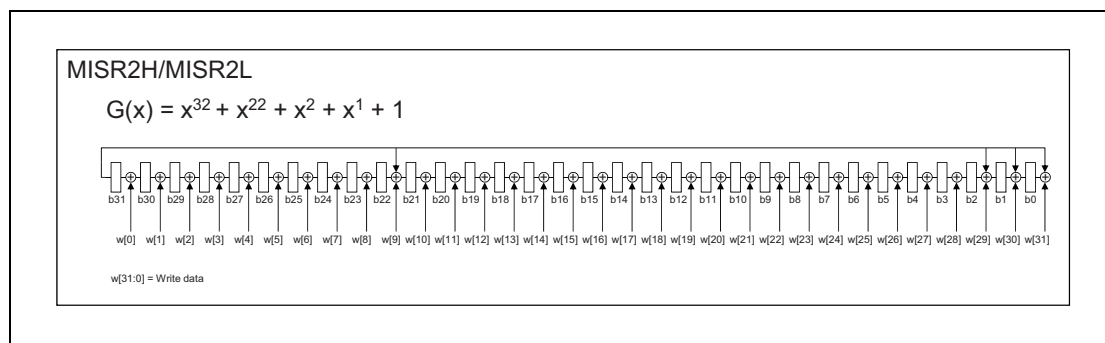


図 27.6 MISR2H および MISR2L のシグネチャ生成のブロック図と生成多項式

27.5.3 機能仕様

27.5.3.1 シグネチャ生成条件

MISR1 および MISR2 のシグネチャ生成条件は、MISR コントロールレジスタ (MISRCR) の設定によって選択することができます。

MISR_i のシグネチャ生成条件 (i = 1, 2)

表 27.100 MISR_i のシグネチャ生成条件

MISRCR. MISR _i EN	MISRCR. MISR _i CND	シグネチャ生成条件
0	—	MISR _i はシグネチャを生成しません
1	0	レジスタ書き込みモード MISR _i は、MISRCDR _L レジスタへの書き込みが行われるとシグネチャを生成します
1	1	ライト監視モード MISR _i は、対応する CPU が特定の監視アドレスへのライトアクセスを実行するとシグネチャを生成します

(1) レジスタ書き込みモード

MISR1 がレジスタ書き込みモードのときに MISR カルキュレーションレジスタ (MISRCDDL) への書き込みが実行されると、MISR1 はマルチインプットシグネチャレジスタ 1L (MISR1L) に保持している値と MISRCDDL へのライトデータから 32 ビットのシグネチャを生成し、MISR1L に保持します。同様に、MISR2 がレジスタ書き込みモードのときに MISRCDDL への書き込みが実行されると、MISR2 はマルチインプットシグネチャレジスタ 2L (MISR2L) に保持している値と MISRCDDL へのライトデータから 32 ビットのシグネチャを生成し、MISR2L に保持します。レジスタ書き込みモードのとき、MISR1H および MISR2H の値は更新されません。

MISRCDDL への書き込みは 8/16/32 ビット単位で実行可能で、書き込みが行われないビットは“0”として扱います。例えば、MISRCDDL の下位 16 ビットにのみ書き込みを行った場合、ライトデータの上位 16 ビットは“0”としてシグネチャが生成されます。同じく、MISRCDDL の上位 16 ビットにのみ書き込みを行った場合、ライトデータの下位 16 ビットは“0”としてシグネチャが生成されます (ただし、IO ヘッドファイルを使ったアクセスではこのような状況は起こらない)。

MISR1 および MISR2 は、MISRCDDL への書き込みを行うバスマスタを区別しません。CPU、DMAC、デバッグマスタ、などいかなるバスマスタからの書き込みによってもシグネチャを生成します。

(2) ライト監視モード

MISR1 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR1 は MISR1H と MISR1L に保持している値と CPU のライトデータから 2 つの 32 ビットシグネチャを生成し、MISR1H と MISR1L に保持します。このとき、MISR1H とライトデータの上位 32 ビットが、MISR1L とライトデータの下位 32 ビットが対応します。同様に、MISR2 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR2 は MISR2H と MISR2L に保持している値と CPU のライトデータから 2 つの 32 ビットシグネチャを生成し、MISR2H と MISR2L に保持します。

シグネチャ生成の対象となる特定の監視アドレス領域は、MISR 監視領域ベースアドレスレジスタ (MISRBASEADR) と MISR 監視領域アドレスマスクレジスタ (MISRADRMSK) で設定します。CPU のライトアドレスが特定の監視アドレス領域内であれば、シグネチャが生成されます。

ライト監視モードでは、対応する CPU の 8/16/32/64 ビット単位でのライトアクセスを監視します。8/16/32 ビット単位での書き込みの場合、書き込みが行われない残りのビットは“0”として扱い、常に 64 ビットのデータが MISR1 および MISR2 へ入力されます。アクセス先のアドレスにかかわらず、ライトデータは下位側に配置されます。例えば、8N+4 番地への 32 ビットライトの場合も、32 ビットのライトデータは下位側に配置され、上位 32 ビットのライトデータは“0”としてシグネチャが生成されます。

MISR1 および MISR2 が監視できる CPU のライトアクセス先は下記の通りです。

Local-RAM、Global-RAM、

CPU Peripheral (ローカル APB)、

インターコネクタ (GVC1) または P-Bus (グローバル APB) に接続された周辺回路

以下のストア動作は監視対象外です。

- (1) スレーブ応答時にライトデータが判明する命令 : BitOp、CAXI、STC.W
- (2) 64bit を超えるデータを扱うスタック退避命令 : PREPARE 系、PUSHSP

ライト監視モードは、特定のシグネチャ生成部と対応する CPU の間でのみ実行可能です。本製品では、以下の監視が可能です。

- シグネチャ生成部 1 による CPU1 のライトアクセス監視
- シグネチャ生成部 2 による CPU2 のライトアクセス監視(本機能は、Dual コア製品でのみ実行可能です)

ライト監視モードに対応していないシグネチャ生成部でライト監視モードを設定した場合、シグネチャは生成されません。この時、MISRBASEADR と MISRADRMSK の値はどこからも参照されません。

27.5.3.2 シグネチャ自動比較機能

シグネチャ生成部のうち、コンパレータコントロールレジスタ (MISRCMPCTL) の MISR1CMPEN0 ビット、MISR2CMPEN0 ビットで、2つのシグネチャ生成部を選択してシグネチャを比較します。各シグネチャ生成部にはデータカウンタを搭載しており、比較対象に選択した2つのシグネチャ生成部に搭載したデータカウンタのカウント値が一致した場合にシグネチャを比較します。

2つのシグネチャを比較する場合、MISRCMPCTL レジスタの MISR1CMPEN0/MISR2CMPEN0 で2つのシグネチャ生成部でのシグネチャ比較を許可してください。

27.5.3.3 データカウンタ

MISR データカウンタレジスタ (MISRDCNT) は、MISRCDDL への書き込み回数、または BASEADR と ADRMSK で設定されたアドレス範囲へのライトアクセスの回数をカウントします。データカウンタコントロールレジスタ (MISRDCNTCTL) の CNTSTA ビット=1、CNTTRG ビット=0 のとき、MISRDCNT は MISRCDDL へのライトアクセスの回数をカウントします。MISRDCNTCTL の CNTSTA ビット=1、CNTTRG ビット=1 のとき、MISRDCNT は MISRBASEADR と MISRADRMSK で設定された監視アドレス範囲への対応する CPU のライトアクセスの回数をカウントします。

MISR1 や MISR2 のシグネチャ生成条件を MISRDCNT のカウントアップトリガに設定することで、MISRDCNT は MISR1 や MISR2 のどちらか一方または両方のシグネチャ生成回数をカウントすることができます。ただし、MISR1 と MISR2 のシグネチャ生成条件とデータカウンタのカウントアップトリガが整合していない場合、MISRDCNT の値とシグネチャ生成回数と一致しませんので注意してください。

注 意

1. MISRCR レジスタの MISR1EN および MISR2EN がともに 0 の場合には、MISRCDDL への書き込みおよび MISRBASEADR と MISRADRMSK で設定されたアドレス範囲へのライトが行われても MISRDCNT のカウントはインクリメントされません。
2. ライト監視モードに対応していないシグネチャ生成部において、データカウンタのカウントアップトリガを監視アドレス領域への CPU ライトアクセスに設定した場合、MISRDCNT のカウントはインクリメントされません。

27.5.3.4 エラー通知

エラー通知コントロールレジスタ (MISRERRCTL) の CMPERREN ビット=1 のとき、シグネチャの比較不一致で ECM へエラーを通知します。同時にコンペアエラーステータスレジスタのエラーフラグをセットします。

INTC への割り込み要求発生は行いません。

27.5.4 レジスタ仕様

27.5.4.1 レジスタマップ

シグネチャ生成部のレジスタ一覧を下記に示します。

末尾に“_PE1”と記したレジスタはシグネチャ生成部 1 (MISG_PE1) に搭載されています。

末尾に“_PE2”と記したレジスタはシグネチャ生成部 2 (MISG_PE2) に搭載されています。

なお、本章の説明において、シグネチャ生成部 1、2 を区別する必要がない場合は、レジスタシンボル末尾の“_PE1”、“_PE2”を省略します。

MISG_PE1_base = FFC5 1000_H

MISG_PE2_base = FFC5 2000_H

表 27.101 シグネチャ生成部のレジスタ一覧 (1/2)

モジュール名	レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ		
						8	16	32
MISG	MISR1L_PE1	マルチインプットシグネチャレジスタ 1L (PE1)	R/W	0000 0000 _H	<MISG_PE1_base> + 000 _H			○
MISG	MISR1H_PE1	マルチインプットシグネチャレジスタ 1H (PE1)	R/W	0000 0000 _H	<MISG_PE1_base> + 004 _H			○
MISG	MISR2L_PE1	マルチインプットシグネチャレジスタ 2L (PE1)	R/W	0000 0000 _H	<MISG_PE1_base> + 008 _H			○
MISG	MISR2H_PE1	マルチインプットシグネチャレジスタ 2H (PE1)	R/W	0000 0000 _H	<MISG_PE1_base> + 00C _H			○
MISG	MISRCURL_PE1	MISR カルキュレーションデータレジスタ L (PE1)	W	—	<MISG_PE1_base> + 010 _H	○	○	○
MISG	MISRCR_PE1	MISR コントロールレジスタ (PE1)	R/W	00 _H	<MISG_PE1_base> + 018 _H	○		
MISG	MISRBASEADR_PE1	MISR 監視領域ベースアドレスレジスタ (PE1)	R/W	0000 0000 _H	<MISG_PE1_base> + 01C _H	○	○	○
MISG	MISRADMSK_PE1	MISR 監視領域アドレスマスクレジスタ (PE1)	R/W	0000 0000 _H	<MISG_PE1_base> + 020 _H	○	○	○
MISG	MISRDCNTCTL_PE1	MISR データカウントコントロールレジスタ (PE1)	R/W	00 _H	<MISG_PE1_base> + 024 _H	○		
MISG	MISRDCNT_PE1	MISR データカウントレジスタ (PE1)	R/W	0000 _H	<MISG_PE1_base> + 028 _H		○	
MISG	MISR1L_PE2	マルチインプットシグネチャレジスタ 1L (PE2)	R/W	0000 0000 _H	<MISG_PE2_base> + 000 _H			○
MISG	MISR1H_PE2	マルチインプットシグネチャレジスタ 1H (PE2)	R/W	0000 0000 _H	<MISG_PE2_base> + 004 _H			○
MISG	MISR2L_PE2	マルチインプットシグネチャレジスタ 2L (PE2)	R/W	0000 0000 _H	<MISG_PE2_base> + 008 _H			○
MISG	MISR2H_PE2	マルチインプットシグネチャレジスタ 2H (PE2)	R/W	0000 0000 _H	<MISG_PE2_base> + 00C _H			○
MISG	MISRCURL_PE2	MISR カルキュレーションデータレジスタ L (PE2)	W	—	<MISG_PE2_base> + 010 _H	○	○	○
MISG	MISRCR_PE2	MISR コントロールレジスタ (PE2)	R/W	00 _H	<MISG_PE2_base> + 018 _H	○		
MISG	MISRBASEADR_PE2	MISR 監視領域ベースアドレスレジスタ (PE2)	R/W	0000 0000 _H	<MISG_PE2_base> + 01C _H	○	○	○
MISG	MISRADMSK_PE2	MISR 監視領域アドレスマスクレジスタ (PE2)	R/W	0000 0000 _H	<MISG_PE2_base> + 020 _H	○	○	○

表 27.101 シグネチャ生成部のレジスタ一覧 (2/2)

モジュール名	レジスタ シンボル	レジスタ名	R/W	リセット後 の値	アドレス	アクセスサイズ		
						8	16	32
MISG	MISRDCNTCTL_PE2	MISR データカウントコントロールレジスタ (PE2)	R/W	00 _H	<MISG_PE2_base> + 024 _H	○		
MISG	MISRDCNT_PE2	MISR データカウントレジスタ (PE2)	R/W	0000 _H	<MISG_PE2_base> + 028 _H		○	

シグネチャ比較部（MSD サブブロック）のレジスタ一覧を下記に示します。

MSD_base = FFC5 0000

表 27.102 シグネチャ比較部（MSD サブブロック）のレジスタ一覧

モジュール名	レジスタ シンボル	レジスタ名	R/W	リセット 後の値	アドレス	アクセス サイズ		
						8	16	32
MISG	MISRCMPCTL	MISR コンパレータコントロールレジスタ	R/W	0000 _H	<MSD_base> + 00 _H	○	○	
MISG	MISRCMPERSTR	MISR コンペアエラーステータスレジスタ	R	00 _H	<MSD_base> + 04 _H	○		
MISG	MISRCMPERRSTC	MISR コンペアエラーステータスクリアレジスタ	W	00 _H	<MSD_base> + 08 _H	○		
MISG	MISRERRCTL	MISR エラー通知コントロールレジスタ	R/W	00 _H	<MSD_base> + 0C _H	○		

注 1. 実体が 32bit 未満のレジスタに対するアクセスで、未実装（未定義）のビットに対するアクセスは、ライトアクセスは無視し、リードアクセスでは 0 を返します。

以下、シグネチャ生成部に搭載する制御レジスタについて記載します。

27.5.4.2 MISRCDRL_PE1/PE2 — MISR カルキュレーションデータレジスタ

MISR カルキュレーションデータレジスタは書き込み専用の 32 ビットレジスタです。

シグネチャ生成条件がレジスタライトモードの時、本レジスタへの書き込みによって MISR1 や MISR2 でシグネチャが生成されます。本レジスタへ書き込んだデータは、マルチインプットシグネチャレジスタ 1L (MISR1L)、マルチインプットシグネチャレジスタ 2L (MISR2L) の入力データになります。シグネチャ生成条件については、「**27.5.3.1 シグネチャ生成条件**」を参照してください。

本レジスタへの書き込みは 8/16/32 ビット単位で実行可能です。8/16 ビット単位での書き込みの場合、書き込みが行われない残りのビットは“0”として扱い、常に 32 ビットのデータが MISR1L、MISR2L へ入力されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISRCDRL[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISRCDRL[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 27.103 MISRCDRL レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	MISRCDRL31 ~ MISRCDRL0	カルキュレーションデータ MISR1 または MISR2 への入力データ。 MISRCDR レジスタの MISR1EN ビット = 1 かつ MISR1CND = 0 のとき、または MISR2EN = 1 かつ MISR2CND = 0 のとき、MISRCDR レジスタへの書き込みが 行われるたびに新たなシグネチャが生成され、MISR1 または MISR2 に保持され ます。

注 1. 本レジスタへの書き込みによりシグネチャ生成を実施した場合、MISR1/MISR2 の内下位 32bit (MISR1L/MISR2L) のみが動作し、上位 32bit (MISR1H/MISR2H) は動作せず値が保持されたままとなります。

27.5.4.3 MISR1L_PE1/PE2 — マルチインプットシグネチャレジスタ 1L

マルチインプットシグネチャレジスタは読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**27.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR1L[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR1L[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.104 MISR1L レジスタの内容

ビット位置	ビット名	機能
31~0	MISR1L31 ~ MISR1L0	マルチインプットシグネチャレジスタ 1L 読み出すと、常に最新のシグネチャが読み出されます。

27.5.4.4 MISR1H_PE1/PE2 — マルチインプットシグネチャレジスタ 1H

マルチインプットシグネチャレジスタ 1H は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**27.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR1H[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR1H[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.105 MISR1H レジスタの内容

ビット位置	ビット名	機能
31~0	MISR1H31 ~ MISR1H0	マルチインプットシグネチャレジスタ 1H 読み出すと、常に最新のシグネチャが読み出されます。

注 1. レジスタ書き込みモードにおいては、シグネチャ生成条件が成立した場合にも本レジスタは更新されません。ライト監視モードに対応していないシグネチャ生成部にも本レジスタを搭載していますが、シグネチャが生成されることはありません。

27.5.4.5 MISR2L_PE1/PE2 — マルチインプットシグネチャレジスタ 2L

マルチインプットシグネチャレジスタ 2L は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**27.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{22} + x^2 + x + 1$$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR2L[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR2L[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.106 MISR2L レジスタの内容

ビット位置	ビット名	機能
31~0	MISR2L31 ~ MISR2L0	マルチインプットシグネチャレジスタ 2L 読み出すと、常に最新のシグネチャが読み出されます。

27.5.4.6 MISR2H_PE1/PE2 — マルチインプットシグネチャレジスタ 2H

マルチインプットシグネチャレジスタ 2H は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**27.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{22} + x^2 + x + 1$$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR2H[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR2H[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.107 MISR2H レジスタの内容

ビット位置	ビット名	機能
31~0	MISR2H31 ~ MISR2H0	マルチインプットシグネチャレジスタ 2H 読み出すと、常に最新のシグネチャが読み出されます。

注 1. レジスタ書き込みモードにおいては、シグネチャ生成条件が成立した場合にも本レジスタは更新されません。ライト監視モードに対応していないシグネチャ生成部にも本レジスタを搭載していますが、シグネチャが生成されることはありません。

27.5.4.7 MISRCR_PE1/PE2 — MISR コントロールレジスタ

MISR コントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR1EN ビット、MISR2EN ビットで MISR1、MISR2 のシグネチャ生成の許可／禁止を設定します。MISR1EN ビット、MISR2EN ビットが“1”のとき、MISR1、MISR2 はシグネチャを生成し、保持します。MISR1EN ビット、MISR2EN ビットが“0”のとき、MISR1、MISR2 はシグネチャを生成せず、これらレジスタの値は更新されません。

MISR1EN ビット、MISR2EN ビットが 1 のとき、MISR1CND ビット、MISR2CND ビットで MISR1、MISR2 のシグネチャ生成条件を選択します。MISR1CND ビット、MISR2CND ビットが“0”のとき、MISR1、MISR2 のシグネチャ生成条件はレジスタ書き込みモードとなり、MISRCDRL への書き込みによってシグネチャを生成します。MISR1CND ビット、MISR2CND ビットが“1”のとき、MISR1、MISR2 のシグネチャ生成条件はライト監視モードとなり、MISRBASEADR レジスタ、MISRADRMASK レジスタで設定されたアドレス範囲への対応する CPU のライトアクセスによってシグネチャを生成します。シグネチャ生成条件は「27.5.3.1 シグネチャ生成条件」をご参照ください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MISR2CND	MISR1CND	MISR2EN	MISR1EN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 27.108 MISRCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MISR2CND	MISR2 シグネチャ書き込み制御ビット MISR2EN ビット = 1 のときの MISR2 でのシグネチャ生成条件を設定します。 0 : レジスタ書き込みモード 1 : ライト監視モード
2	MISR1CND	MISR1 シグネチャ書き込み制御ビット MISR1EN ビット = 1 のときの MISR1 でのシグネチャ生成条件を設定します。 0 : レジスタ書き込みモード 1 : ライト監視モード
1	MISR2EN	MISR2 イネーブルビット 0 : MISR2 はシグネチャを生成しません 1 : MISR2 はシグネチャを生成し、MISR2H/MISR2L の値が更新されます。
0	MISR1EN	MISR1 イネーブルビット 0 : MISR1 はシグネチャを生成しません 1 : MISR1 はシグネチャを生成し、MISR1H/MISR1L の値が更新されます。

27.5.4.8 MISRBASEADR_PE1/PE2 — MISR 監視領域ベースアドレスレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域マスクアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は「27.5.3.1 シグネチャ生成条件」をご参照ください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BASEADR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASEADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.109 MISRBASEADR レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	BASEADR31 ~ BASEADR0	監視領域ベースアドレスレジスタ

監視領域へのアクセスを判定する仕組みについては、「27.5.4.9 MISRADDRMSK_PE1/PE2 — MISR 監視領域アドレスマスクレジスタ」を参照してください。

27.5.4.9 MISRADRMSK_PE1/PE2 — MISR 監視領域アドレスマスクレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域ベースアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は「27.5.3.1 シグネチャ生成条件」をご参照ください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRMSK[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRMSK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.110 MISRADRMSK レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	ADRMSK31 ~ ADRMSK0	監視領域マスクアドレスレジスタ

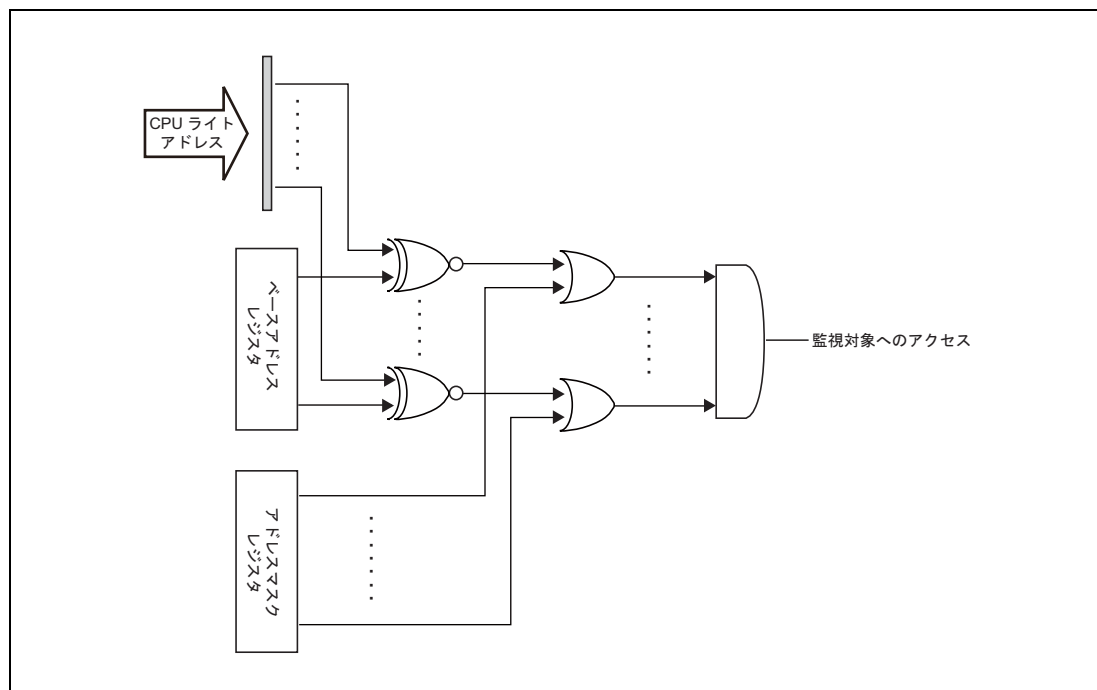


図 27.7 監視領域へのアクセスを判定する仕組み

27.5.4.10 MISRDCNTCTL_PE1/PE2 — MISR データカウンタコントロールレジスタ

MISR データカウンタコントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR データカウンタレジスタの動作を制御します。CNTSTA ビット=1 のとき、CNTTRG ビットで選択したイベントが発生するとデータカウンタがインクリメントされます。データカウンタの動作については「27.5.3.3 データカウンタ」を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CNTTRG	CNTSTA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 27.111 MISRDCNTCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CNTTRG	カウントアップトリガ選択ビット データカウンタのカウントアップトリガを選択します。 0: MISRCDRL レジスタへのライトアクセス 1: MISRBASEADR レジスタと MISRADRMSK レジスタで指定したアドレス領域へのライトアクセス
0	CNTSTA	データカウンタスタートビット データカウンタのイネーブルビットです。CNTSTA = 1 のとき、CNTTRG ビットで選択したイベントが発生すると、データカウンタがインクリメントされます。 0: データカウンタ停止 1: データカウンタ動作

27.5.4.11 MISRDCNT_PE1/PE2 — MISR データカウンタレジスタ

データカウンタは読み出し、書き込み可能な 16 ビットレジスタです。

比較対象の各シグネチャ生成部のデータカウンタ値が一致した時、シグネチャの自動比較が実行されます。

データカウンタコントロールレジスタの CNTTRG ビット=0 のとき、MISR カルキュレーションデータレジスタへのライトアクセス発生でインクリメントされます。データカウンタコントロールレジスタの CNTTRG ビット=1 のとき、MISRBASEADR レジスタと MISRADDRMSK レジスタで指定したアドレス領域への対応 CPU のライトアクセス発生でインクリメントされます。データカウンタの動作については「**27.5.3.3 データカウンタ**」を参照してください。

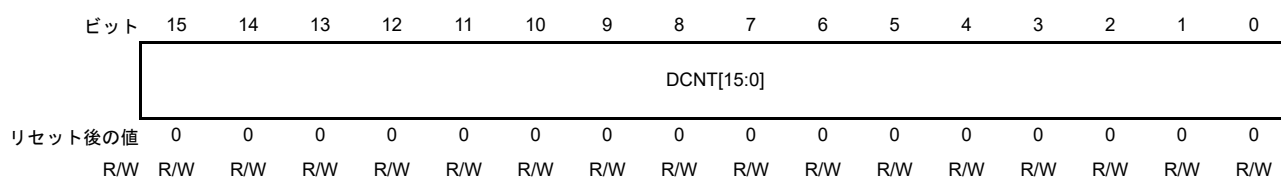


表 27.112 MISRDCNT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	DCNT15 ~ DCNT0	データカウンタレジスタ

以下、MSD部（シグネチャ比較部）で搭載する制御レジスタについて記載します。

27.5.4.12 MISRCMPCTL — MISR コンパレータコントロールレジスタ

コンパレータコントロールレジスタは読み出し、書き込み可能な16ビットレジスタです。

シグネチャ自動比較機能において、各シグネチャ生成部で生成されたシグネチャを比較するコンパレータを制御します。シグネチャ自動比較機能については「**27.5.3.2 シグネチャ自動比較機能**」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MISR2 CMP0	—	—	MISR1 CMP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W

表 27.113 MISRCMPCTL レジスタの内容

ビット位置	ビット名	機能
15～4	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	MISR2 CMPEN0	MISR2 シグネチャコンペア許可ビット0 MISG_PE1 と MISG_PE2 の MISR2 に保持しているシグネチャの比較を制御するビットです。 0：比較禁止 1：比較許可
2、1	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MISR1 CMPEN0	MISR1 シグネチャコンペア許可ビット0 MISG_PE1 と MISG_PE2 の MISR1 に保持しているシグネチャの比較を制御するビットです。 0：比較禁止 1：比較許可

27.5.4.13 MISRCMPERSTR — MISR コンペアエラーステータスレジスタ

コンペアエラーステータスレジスタは読み出し可能な 8 ビットレジスタです。

コンパレータコントロールレジスタで許可したシグネチャ比較で不一致が発生すると対応するエラーフラグがセットされます。

エラーフラグのクリアはコンペアエラーステータスクリアレジスタの対応するクリアビットへの“1”書き込みで行います。リセットでもクリアされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MISR2ERR0	—	—	MISR1ERR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.114 MISRCMPERSTR レジスタの内容

ビット位置	ビット名	機能
7～4	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MISR2ERR0	MISR2 シグネチャコンペアエラーフラグ 0 MISG_PE1 と MISG_PE2 の MISR2 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0 : シグネチャ比較で不一致は発生していない 1 : シグネチャ比較で不一致が発生した
2、1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MISR1ERR0	MISR1 シグネチャコンペアエラーフラグ 0 MISG_PE1 と MISG_PE2 の MISR1 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0 : シグネチャ比較で不一致は発生していない 1 : シグネチャ比較で不一致が発生した

27.5.4.14 MISRCMPERRSTC — MISR コンペアエラーステータスクリアレジスタ

コンペアエラーステータスクリアレジスタは書き込み専用の 8 ビットレジスタです。

コンペアエラーステータスレジスタの各エラーフラグが“1”のとき、対応するクリアビットに“1”を書き込むことでエラーフラグがクリアされます。MISR コンペアエラーステータスレジスタをリードして、“1”になっているフラグのクリアビットに“1”を書き込んでください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MISR2ERR0	—	—	MISR1ERR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	R	R	W

表 27.115 MISRCMPERRSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	—	予約ビット
3	MISR2CLR0	MISR2 シグネチャコンペアエラークリアビット 0 “1” 書き込みで CMPERRST レジスタの MISR2ERR0 ビットをクリアします。
2、1	—	予約ビット
0	MISR1CLR0	MISR1 シグネチャコンペアエラークリアビット 0 “1” 書き込みで CMPERRST レジスタの MISR1ERR0 ビットをクリアします。

27.5.4.15 MISRERRCTL — MISR エラー通知コントロールレジスタ

エラー通知コントロールレジスタは読み出し、書き込み可能な8ビットレジスタです。

シグネチャ自動比較機能におけるシグネチャのコンペア不一致発生時のエラー通知許可/禁止を設定します。シグネチャ自動比較機能とエラー通知については「**27.5.3.2 シグネチャ自動比較機能**」と「**27.5.3.4 エラー通知**」を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CMPPEREN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 27.116 MISRERRCTL レジスタの内容

ビット位置	ビット名	機能
7～1	—	予約ビット
0	CMPPEREN	コンペアエラー通知許可ビット シグネチャのコンペア不一致発生でエラー通知の許可/禁止を選択します。 0: シグネチャのコンペア不一致が発生してもエラー通知しない 1: シグネチャのコンペア不一致が発生すればエラー通知する

27.5.5 使用例

27.5.5.1 使用例 1

自己診断プログラムによる診断を容易化します。自己診断プログラムの途中経過を MISG で圧縮することにより、すべての途中結果の保存や比較が不要となります。プログラム終了後に MISG の圧縮結果を期待値と比較することで、途中経過を含めた自己診断結果を判定することができます。

→これによってメモリ容量や比較処理時間の削減の効果が見込めます（CRC での代替も可能）。

設定例（PE1 で自己診断プログラムを実行する場合）

下記記載の MISG のレジスタは、PE1 に対応するシグネチャ生成部 1 (MISG_PE1) のレジスタが対象です。

- (1) マルチインプットシグネチャレジスタ 1 (MISR1H/MISR1L)、マルチインプットシグネチャレジスタ 2 (MISR2H/MISR2L)、データカウンタレジスタ (MISRDCNT) を初期化します。
- (2) MISR コントロールレジスタ (MISRCR) の MISR1CND/MISR2CND ビットを“1”にして、MISR1/MISR2 のシグネチャ生成条件をライト監視モードに設定します。
- (3) MISR 監視領域ベースアドレスレジスタ (MISRBASEADR)、MISR 監視領域アドレスマスクレジスタ (MISRADRMSK) で監視対象アドレス領域を設定します。
- (4) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを“1”にして、MISR1/MISR2 でのシグネチャ生成を許可します。
- (5) PE1 で自己診断プログラムを実行します。
- (6) 自己診断プログラムの実行完了後、MISR1H/MISR1L、MISR2H/MISR2L のデータを FLASH に格納した期待値と比較します。

27.5.5.2 使用例 2

複数プロセッサで、同じ処理（自己診断プログラムを含む）を実行して、結果が正しいことを確認してください。違うハードウェアの実行結果を比較することで、信頼性が向上します。

設定例（PE1、PE2 で同じタスクを実行する場合）

下記記載の MISG のレジスタは、PE1、PE2 に搭載する MISG のレジスタが対象です。

- (1) マルチインプットシグネチャレジスタ 1 (MISR1H/MISR1L)、マルチインプットシグネチャレジスタ 2 (MISR2H/MISR2L)、データカウンタレジスタ (MISRDCNT) を初期化します。
- (2) MISR コントロールレジスタ (MISRCR) の MISR1CND/MISR2CND ビットを“0”にして、MISR1/MISR2 のシグネチャ生成条件をレジスタ書き込みモードに設定します。
- (3) MISR コンパレータコントロールレジスタ (MISRCMPCTL) の MISR1CMPEN1/MISR2CMPEN1 を“1”に設定し、コンパレータでのシグネチャ比較を許可します。

- (4) MISR エラー通知コントロールレジスタの CMPERREN を“1”にして、ECM へのエラー通知を許可します。
- (5) MISR データカウンタコントロールレジスタ (MISRDCNTCTL) の CNTTRG を“0”にして、データカウンタのカウントアップトリガを MISRCDRL への書き込みに設定します。CNTSTA を“1”にして、データカウンタの動作を許可します。
- (6) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを“1”にして、MISR1/MISR2 でのシグネチャ生成を許可します。
- (7) 各 CPU で自己診断プログラムを実行します。
- (8) 自己診断プログラムは、プログラム実行の途中でプログラム実行経過を対応するシグネチャ生成部の MISRCDRL に格納します。シグネチャ比較部は、MISG_PE1 と MISG_PE2 のデータカウンタレジスタ (MISRDCNT) の値が一致するたびに、MISG_PE1 と MISG_PE2 の MISR1/MISR2 のシグネチャが比較します。
- (9) コンペアエラーの有無はコンペアエラーステータスレジスタで確認してください。

27.6 クロックモニタ

27.6.1 概要

本製品は、クロックの動作を監視するためのクロックモニタを搭載します。

クロックモニタは、モニタ対象クロックの周波数異常を検出します。クロックモニタは下記機能を持ちます。

- クロックモニタは、モニタクロックの周波数が特定の範囲にあることを監視します。サンプリングクロックを使用して、モニタクロックの周波数が特定の範囲内にあることを確認します。
- クロックの異常検知後、クロックモニタはECMへエラー通知を行います。

クロックモニタのモニタクロックとサンプリングクロックを以下の表に示します。

表 27.117 各クロックモニタのモニタクロック、サンプリングクロック一覧

クロックモニタチャンネル	モニタクロック	サンプリングクロック
CLMA0	40MHz SSCG	40MHz clean
CLMA1	40MHz clean	10MHz (Main OSC の 1/2)
CLMA2	WDTA カウントクロック (Main OSC の 1/80)	CLK_LIOSC

27.6.2 レジスタ一覧

27.6.2.1 クロックモニタ チャンネルレジスタ

表 27.118 レジスタ一覧

モジュール名	アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
CLMA _n	<Base_adr+00 _H >	CLMA _n CTL0	CLMA _n 制御レジスタ 0	R/W	00 _H	8
CLMA _n	<Base_adr+08 _H >	CLMA _n CMPL	CLMA _n 比較レジスタ L	R/W	0001 _H	16
CLMA _n	<Base_adr+0C _H >	CLMA _n CMPH	CLMA _n 比較レジスタ H	R/W	03FF _H	16
CLMA _n	<Base_adr+10 _H >	CLMA _n PCMD	CLMA _n 保護命令レジスタ	W	00 _H	8
CLMA _n	<Base_adr+14 _H >	CLMA _n PS	CLMA _n 保護ステータスレジスタ	R	00 _H	8

レジスタベースアドレスは下記のとおりです。

表 27.119 レジスタベースアドレス

クロックモニタチャンネル	<Base_addr>
CLMA0	FFF8 8400 _H
CLMA1	FFF8 8420 _H
CLMA2	FFF8 8440 _H

27.6.2.2 共通レジスタ

表 27.120 共通レジスタ

モジュール名	レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	保護
CLMAC	CLMATEST	CLMA セルフテストレジスタ	R/W	0000 0000 _H	FFF8 8204 _H	32	PROT1PHCMD ^{注1}
CLMAC	CLMATESTS	CLMA セルフテストステータスレジスタ	R/W	0000 0000 _H	FFF8 8208 _H	32	

注1. 本レジスタについては「第10章 クロックコントローラ」をご参照ください。

27.6.3 レジスタ詳細

27.6.3.1 CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ機能の動作を制御するレジスタです。

CLMAnPCMD レジスタにより保護されます。

外部および内部リセットどちらからでもリセット可能です。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnCLME
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W 注1

注1. レジスタはリセットでクリア可能です。0の書き込みは、無視されます。

表 27.121 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7～1	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	CLMAnCLME	クロックモニタ機能の動作 0: 動作を禁止 1: 動作を許可

27.6.3.2 CLMAnCMPL — CLMAn 比較レジスタ L

正常な周波数範囲か比較するための下限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPL1	CLMAnCMPL1	CLMAnCMPL9	CLMAnCMPL8	CLMAnCMPL7	CLMAnCMPL6	CLMAnCMPL5	CLMAnCMPL4	CLMAnCMPL3	CLMAnCMPL2	CLMAnCMPL1	CLMAnCMPL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.122 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
15～12	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11～0	CLMAnCMPL [11:0]	正常な周波数範囲か比較するための下限値 本レジスタは CLMAnCTL0.CLMAnCLME が 0 のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が 1 にセットされた後は、書き込みは無効です。

27.6.3.3 CLMAnCMPH — CLMAn 比較レジスタ H

正常な周波数範囲か比較するための上限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAn CMPH1 1	CLMAn CMPH1 0	CLMAn CMPH9	CLMAn CMPH8	CLMAn CMPH7	CLMAn CMPH6	CLMAn CMPH5	CLMAn CMPH4	CLMAn CMPH3	CLMAn CMPH2	CLMAn CMPH1	CLMAn CMPH0
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.123 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	—	予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 ~ 0	CLMAnCMPH [11:0]	正常な周波数範囲か比較するための上限値です。 本レジスタは CLMAnCTL0.CLMAnCLME が0のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が1にセットされた後は、書き込みは無効です。

27.6.3.4 CLMAnPCMD — CLMAn 保護命令レジスタ

CLMAnCTL0 レジスタのための特別なシーケンスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	7	6	5	4	3	2	1	0
	CLMAnPCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

この保護方式の詳細については、**27.6.6.1** 節をご参照ください。

27.6.3.5 CLMAnPS — CLMAn 保護命令ステータスレジスタ

CLMAnCTL0 レジスタのための特別なシーケンスステータスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.124 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	予約です。読み出すと常に0が読み出されます。
0	CLMAnPRERR	保護エラーの検出 0: 保護エラー発生なし 1: 保護エラー発生

- CLMAnPRERR ビットの動作条件

セット条件：CLMAnPCMD でプロテクションの対象となっている CLMAnCTL0 に対して、プロテクト解除シーケンスを守らずにアクセスした場合

クリア条件：CLMAnPCMD レジスタに A5_H を書き込んだ場合（プロテクト解除シーケンスの手順 1）

27.6.3.6 CLMATEST — CLMA セルフテストレジスタ

CLMA2 ~ 0 の自己診断を行うためのレジスタです。

本レジスタは、PROT1PHCMD レジスタによって保護することができます。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLMA2 TESTE N	CLMA1 TESTE N	CLMA0 TESTE N	ERRMS K	MONCL KMSK	RESCL M
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.125 CLMATEST レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	—	予約です。読み出すと常に0が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5 ~ 3	CLMA2TESTEN CLMA1TESTEN CLMA0TESTEN	CLMA2-0 のセルフテストの有効/無効を指定します。 0 : 対応する CLMA _n のセルフテストは無効です 1 : 対応する CLMA _n のセルフテストは有効です
2	ERRMSK	CLMA _n によるエラー検出結果の ECM への通知を無効化します。本ビットをセットされた CLMA _n は、エラーを検出しても ECM に通知しません。本ビットの設定は、CLMA _n TESTEN (n = 0 ~ 2) が1にセットされている CLMA _n に対して有効です。 0 : ECM へのエラー通知を無効化しません 1 : ECM へのエラー通知を無効化します
1	MONCLKMSK	CLMA _n に対するモニタ対象クロックの入力をロウレベルに固定します。本ビットの設定は、CLMA _n TESTEN (n = 0 ~ 2) が1にセットされている CLMA _n に対して有効です。 0 : CLMA _n へのモニタクロック入力をロウレベルに固定しません 1 : CLMA _n へのモニタクロック入力をロウレベルに固定します
0	RESCLM	CLMA _n を強制的に初期化します。本ビットの設定は、CLMA _n TESTEN (n = 0 ~ 2) が1にセットされている CLMA _n に対して有効です。 0 : CLMA _n を初期化しません 1 : CLMA _n を初期化します

27.6.3.7 CLMATESTS — CLMA セルフテストステータスレジスタ

CLMA2-0 の自己診断結果を確認するためのレジスタです。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLMA2 ERRS	CLMA1 ERRS	CLMA0 ERRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.126 CLMATESTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	—	予約です。読み出すと常に0が読み出されます。
2 ~ 0	CLMA2ERRS CLMA1ERRS CLMA0ERRS	CLMA2 ~ 0 におけるエラー検出の有無を示します。本ビットは、CLMATEST.ERRMSK の影響を受けません。 0 : 対応する CLMA _n はエラーを検出していません 1 : 対応する CLMA _n はエラーを検出しています

27.6.4 異常クロック周波数の検出

検出方法

- CLMAn はサンプリングクロックの 16 サイクル内でモニタクロックの立ち上がりエッジをカウントし、このカウント値と設定したしきい値を比較します。
 - CLMAnCMPL レジスタの CLMAnCMPL[11:0] は下限しきい値を指定します。
 - CLMAnCMPH レジスタの CLMAnCMPH[11:0] は上限しきい値を指定します。
- モニタクロックの周波数が低く^{注1}、カウント値が CLMAnCMPL レジスタの CLMAnCMPL[11:0] の設定を下回った場合にクロック異常を ECM へ通知します。また、モニタクロックの周波数が高く、カウント値が CLMAnCMPH レジスタの CLMAnCMPH[11:0] の設定値を上回った場合、クロック異常を ECM へ通知します。

ただし、サンプリング期間内でモニタクロック周波数が変動しても、検出エッジ数が規定範囲内に収まった場合は、エラー通知しません。

注 1. モニタクロックが完全に停止する場合は異常を検知できない場合があります。

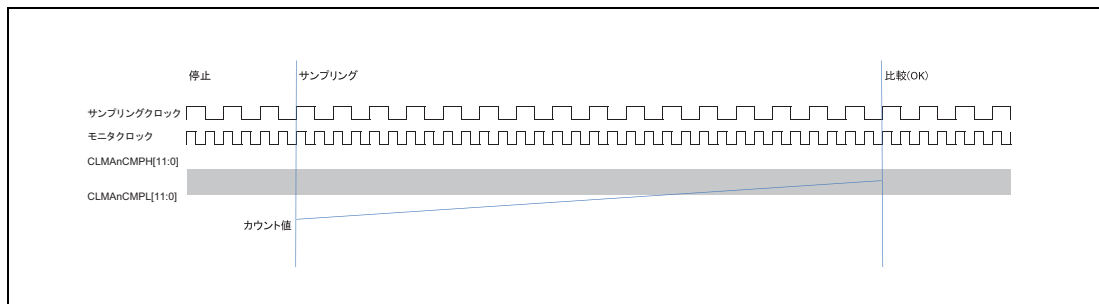


図 27.8 クロック周波数が特定範囲内にある場合

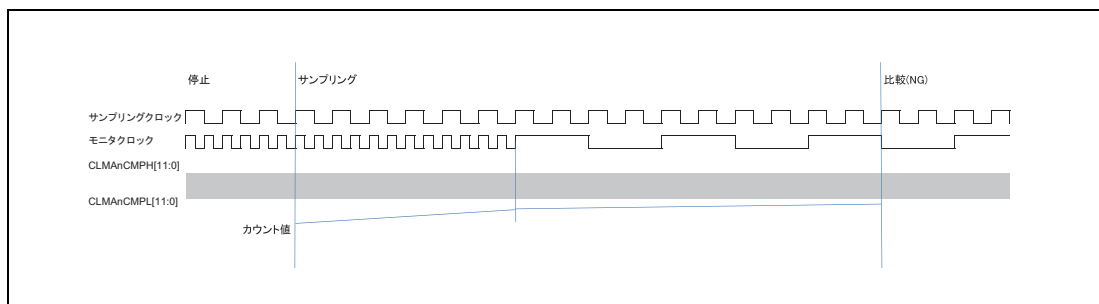


図 27.9 クロック周波数が特定範囲内を下回る場合

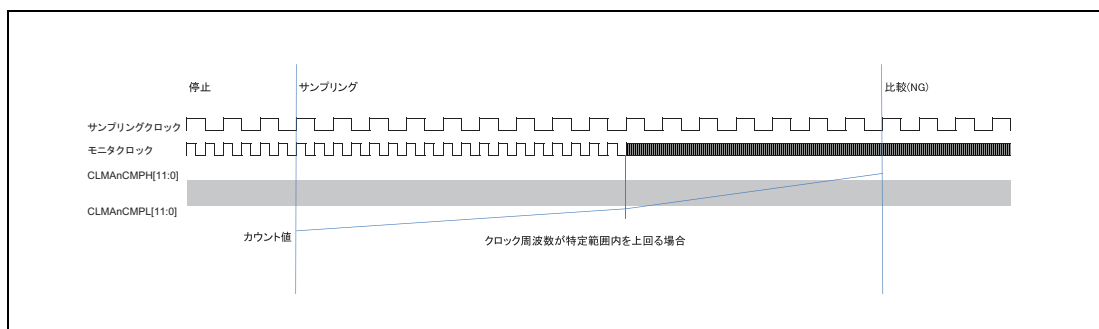


図 27.10 クロック周波数が特定範囲内を上回る場合

(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出 方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック CLMATSMPL の 16 サイクル内で有効と想定されるモニタクロック CLMATMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{\text{CLMATSMPL}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMPL}}} \times 16$$

CLMATMON と CLMATSMPL の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{f_{\text{CLMATMON}(\min)}}{f_{\text{CLMATSMPL}(\max)}} \times 16 - 1 \end{aligned}$$

$$\begin{aligned} \text{上限しきい値} &= N_{\max} \\ &= \frac{f_{\text{CLMATMON}(\max)}}{f_{\text{CLMATSMPL}(\min)}} \times 16 + 1 \end{aligned}$$

備 考

PLL のジッタは計算式の「+1」と「-1」によってカバーされています。

例

$f_{\text{CLMATSMPL}} = 240 \text{ kHz}$ ($\pm 8\%$) および $f_{\text{CLMATMON}} = 16 \text{ MHz}$ ($\pm 5\%$) の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= 15,200 / 259.2 \times 16 - 1 \\ &= 937.27 \\ \text{CLMAnCMPL} &= 937 = 03A9_{\text{H}} \end{aligned}$$

$$\begin{aligned} N_{\max} &= 16,800 / 220.8 \times 16 + 1 \\ &= 1218.39 \\ \text{CLMAnCMPH} &= 1219 = 04C3_{\text{H}} \end{aligned}$$

最小しきい値

次の制限事項を考慮する必要があります。

- $CLMAnCMPL \geq 0001_H$
- $CLMAnCMPH \geq CLMAnCMPL + 0003_H$

(2) しきい値レジスタの初期値入力の定義

しきい値レジスタのリセット後の値は次のようになります。

- $CLMAnCMPL[11:0] = 001_H$
- $CLMAnCMPH[11:0] = 3FF_H$

27.6.5 自己診断

以下に示すようにクロックモニタの自己診断を実施可能です。

- (1) 診断対象のクロックモニタの閾値設定 (CLMAnCMPL/CLMAnCMPH 設定) を行います。このとき、閾値は必ずエラーが出る状態に設定します。
- (2) 診断対象のクロックモニタを指定します。
CLMATEST.CLMAnTESEN ビットに 1 をセットすることで、対応するクロックモニタを診断対象に指定できます。
- (3) 自己診断による ECM へのエラー通知を避けたい場合は、上記 (2) と同時に CLMATEST.ERRMSKL をセットします。
- (4) CLMAnCTL0.CLMAnCLME ビットに 1 をセットして、クロックモニタの動作を許可します。
- (5) エラーが発生するのに十分な時間を待ってから CLMATESTS レジスタをリードし、診断対象のクロックモニタのエラー有無を確認します。
自己診断の開始からエラー発生までの時間は、サンプリング期間に依存します。
最大でサンプリング期間 2 周期分の時間を待つ必要があります。
- (6) 自己診断によって発生したエラーをクリアします。
CLMATEST.RESCLM に 1 をセットすることで診断対象のクロックモニタを初期化することができます。
- (7) 自己診断を終了します。
CLMATEST に all-0 をセットすることで、自己診断を終了することができます。

自己診断を行ったクロックモニタの動作を再開するには、改めてレジスタの設定を行ってください。

27.6.6 レジスタ設定時の注意事項

27.6.6.1 保護レジスタへの書き込み

各クロックモニタの CLMAnCTL0 レジスタ ($n=0, 1, 2$) への書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. CLMAnPCMD レジスタに固定値 A5_H を書き込みます。

手順 2. CLMAnCTL0 レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. CLMAnCTL0 レジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. CLMAnCTL0 レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、CLMAnPS レジスタの CLMAnPRERR ビットが 1 にセットされます。(必須ではありませんが、手順 4. のあと、CLMAnPS レジスタの CLMAnPRERR ビットの値が 0 であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1. から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、CLMAnPS レジスタの CLMAnPRERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

また、CLMATEST への書き込みについては、PROT1PHCMD レジスタの説明を参照してください。

27.6.6.2 CLMAnCMPL/CLMAnCMPH レジスタの設定

CLMAnCMPL/CLMAnCMPH レジスタの設定値は以下の条件を満たすこと。以下の条件を満たさない状態でクロックモニタを使用した場合は動作の保証はできません。

- $1 \leq \text{CLMAnCMPL}$
- $\text{CLMAnCMPL} + 3 \leq \text{CLMAnCMPH}$ ($n=0, 1, 2$)

27.7 BIST

本製品は、故障検出機能自身の故障を検出するための機能を搭載しており、これを BIST と称しています。以下に示す故障検出機能は、検出のためのハードウェアが 2 重化されており、いずれかの機能に故障が発生した場合は、BIST エラーとして ECM に通知されます。

表 27.127 故障検出機能

BIST 対象機能一覧	備考
ロックステップ比較器	CPU1 のロックステップ用比較器
ECC デコーダ	
アドレスパリティデコーダ	

周辺 RAM と Data Flash の ECC デコーダは、制御レジスタを含めて 2 重化されています。BIST 機能を利用する場合は、マスタ側とチェッカ側の制御レジスタに同じ値を設定してください。

その他の ECC デコーダやアドレスパリティチェッカ、制御レジスタは 2 重化されていません。

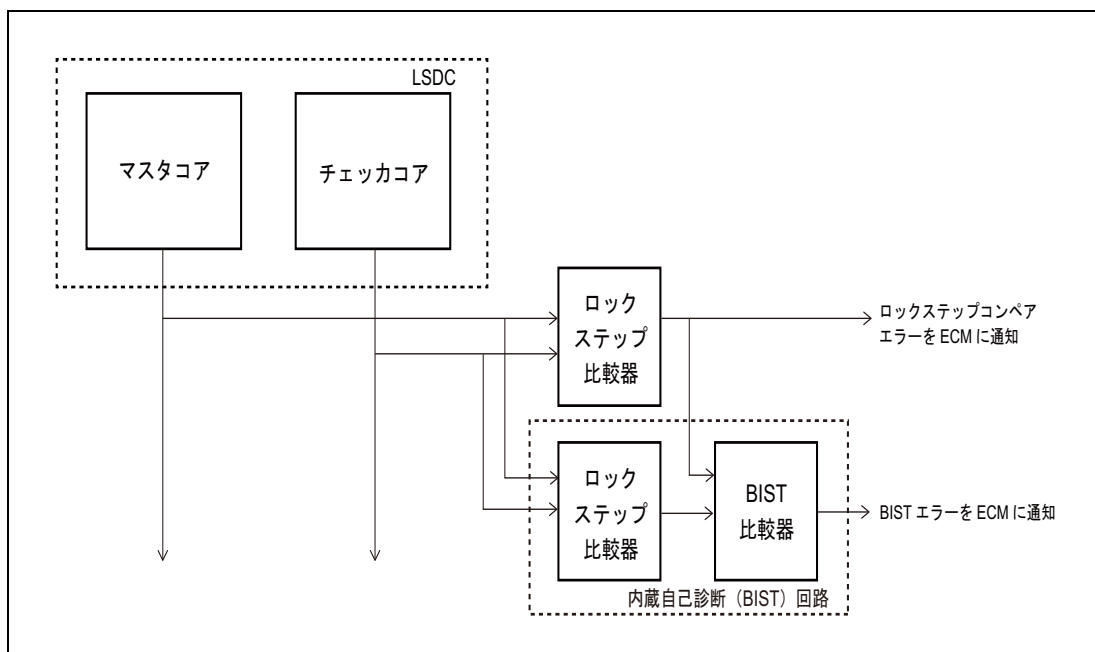


図 27.11 ロックステップ構成図

27.8 ECM

ECM は、チップ内における様々な故障検出状況を監視し、故障検出時の動作を指定するための機能です。ECM については、「第 28 章 エラーコントロールモジュール (ECM)」をご参照ください。

第28章 エラーコントロールモジュール (ECM)

本章では、エラーコントロールモジュール (ECM) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。それ以降の節では、ECM の機能、レジスタについて説明します。

28.1 RH850/C1x ECM の特長

28.1.1 ユニット数

この製品は、以下のユニット数の ECM を搭載しています。

表 28.1 ユニット数

製品	RH850/C1x
ユニット数	1
名称	ECM

28.1.2 レジスタベースアドレス

ECM のベースアドレスを以下の表に示します。

ECM のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 28.2 レジスタベースアドレス

ベースアドレス名	ベースアドレス
ECM マスタ <ECMM_base>	FFCB 0000 _H
ECM チェッカ <ECMC_base>	FFCB 1000 _H
ECM 共通部 <ECM_base>	FFCB 2000 _H

28.1.3 クロック供給

ECM のクロック供給を以下の表に示します。

表 28.3 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ECM	PCLK	CLK_LSB (低速周辺クロック (周辺クロック))

28.1.4 割り込みと DMA/DTS

ECM の割り込み要求を以下の表に示します。

表 28.4 割り込み要求

割り込み名 (概要)	割り込み番号	DMA トリガ番号	DTS トリガ番号
エラーコントロールモジュール NMI 割り込み	(FEINT)	—	—
エラーコントロールモジュール割り込み	8	—	—

28.1.5 リセット要因

ECM のリセット要因を以下に示します。ECM は以下のリセット要因で初期化されます。

ただし、ECM マスタ/チェッカエラーソースステータスレジスタに関しては外部リセットでのみ初期化されます。詳細は、「28.3 レジスタ」を参照してください。

表 28.5 リセット要因

ユニット名	リセット要因
ECM	すべてのリセット要因でリセット

28.1.6 外部入出力信号

ECM の外部入出力信号を以下の表に示します。

表 28.6 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
ERROROUT_M	ERROROUT 端子 (マスタ)	ERROROUT_M
ERROROUT_C	ERROROUT 端子 (チェッカ)	ERROROUT_C

28.2 概要

28.2.1 機能概要

ECM (Error Control Module) にはさまざまなエラーソースやモニタ回路で発生するエラー信号が入力され、ERROROUT 端子 (ERROROUT_M/ERROROUT_C) からエラー信号を出力したり、割り込みや内部リセット信号を発生します。ECM の仕様概要を表 28.7 に示します。

表 28.7 機能概要

項目	説明
セーフティ処理	各モジュールからのエラー信号入力に対して、下記処理を行うことができます。 <ul style="list-style-type: none"> エラーフラグセット マスカブル割り込み発生 エラーごとのマスカブル割り込み発生制御 (許可/禁止) 可能です。 FE レベル割り込み発生 エラーごとの FE レベル割り込み発生制御 (許可/禁止) 可能です。 内部リセット発生 エラーごとの内部リセット発生制御 (許可/禁止) 可能です。 ERROROUT 出力 エラーごとの端子出力マスク制御 (許可/禁止) 可能です。 タイマ入力によるトグル出力、またはレベル固定出力が可能です。
エラーステータス	ECM マスタ/チェッカエラーソースステータスレジスタを搭載し、エラーフラグからエラー状態を確認することができます。 エラーフラグは、ECM エラーソースステータスクリアトリガレジスタで対応するビットに 1 を書き込むか外部リセットでのみクリアされます。内部リセットではエラーフラグは保持され、リセット後に ECM マスタ/チェッカエラーソースステータスレジスタを読み出すことでリセット発生要因を確認することができます。
デバッグ、自己診断	<ul style="list-style-type: none"> デバッグ、自己診断用に擬似エラーを発生させることができます。 擬似エラー発生時の動作は、実際にエラーが発生した場合と同じです。 ERROROUT 出力のマスクや割り込み、内部リセットの設定はすべて反映されません。 ERROROUT 端子までのパスの診断のために、ERROROUT 出力のループバック機能を搭載します。 ERROROUT 端子の状態が ECM マスタ/チェッカエラーソースステータスレジスタに反映され、レジスタを読み出すことで ERROROUT 端子の状態を確認することができます。
タイムアウト機能	割り込み発生と同時にディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値が ECM ディレイタイマコンペアレジスタと一致した場合に ERROROUT 出力、または内部リセットを発生する機能を搭載します。ディレイタイマカウント値は、低速周辺クロックの周波数でカウントされます。
レジスタ保護	不正な書き込みからレジスタを保護するために、特定シーケンスによるレジスタの書き込み保護を行います。
その他	ECM は 2 重化します。 ERROROUT 端子をマスタ端子とチェッカ端子の 2 端子搭載します。 ECM マスタと ECM チェッカの ERROROUT 出力を常時比較し、不一致の場合 ECM コンペアエラー (エラー要因 26) が発生します。

28.2.2 ブロック図

ECM のブロック図を図 28.1 に示します。

ERROROUT 出力、内部リセット、ERROROUTZ 信号はアクティブロウ、マスクブル割り込みと FE レベル割り込みはアクティブハイの信号です。

なお、ECM をダイナミックモードに設定しても、PIC1A への ERROROUTZ 信号はトグルしません。

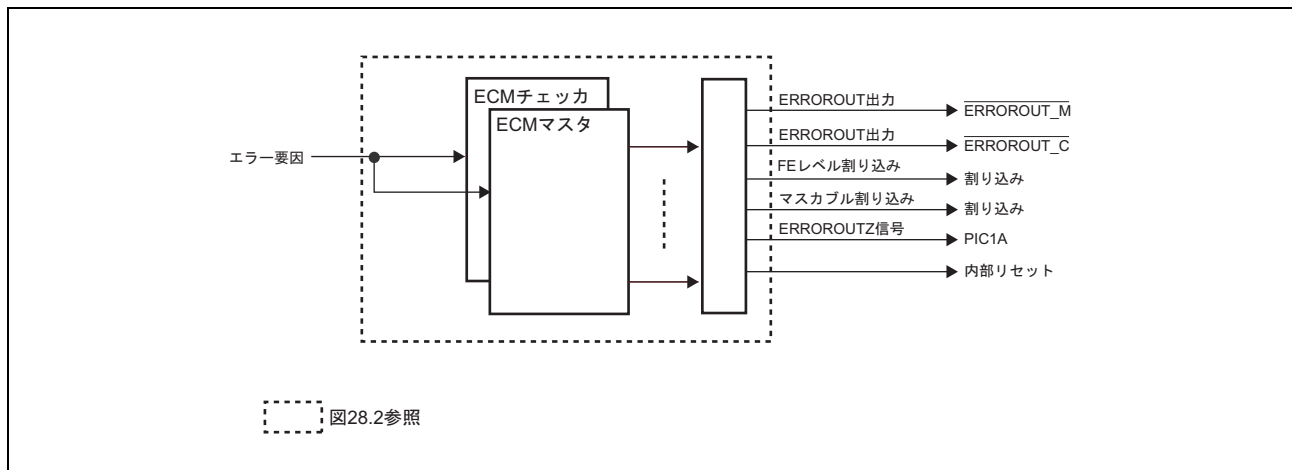


図 28.1 ECM の概要

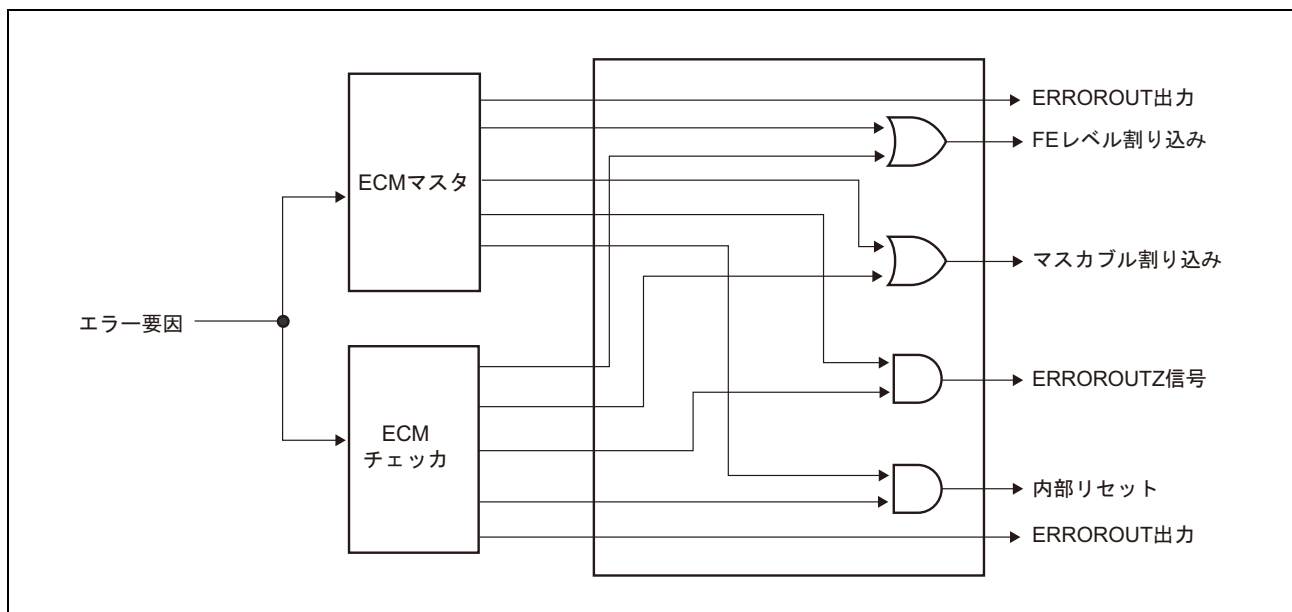


図 28.2 ECM の接続図

28.2.3 エラー要因とセーフティ処理

RH850/C1x の ECM のエラー要因とセーフティ処理を表 28.8 に示します。

表 28.8 エラー要因とセーフティ処理一覧 (1/2)

エラー要因 No.	モジュール	エラー要因	エラーフラグセット	マスカブル割り込み	FE レベル割り込み	内部リセット	ERROR OUT 出力	ディレイタイマスタート
0	WDTA	WDTA エラー ^{注2}	○	○	○	○ ^{注1}	○	○
1	予約		—	—	—	—	—	—
2	予約		—	—	—	—	—	—
3	予約		—	—	—	—	—	—
4	ロックステップ	ロックステップコンペアエラー ^{注3}	○	○	○	○	○	○
5	MISG	MISG コンペアエラー ^{注3}	○	○	○	○	○	○
6	RAM	Local RAM (CPU1、CPU2) の ECC 2 ビットエラーおよび Local RAM (CPU1) のアドレスパリティエラー ^{注3}	○	○	○	○	○	○
7		Local RAM (CPU1、CPU2) の ECC 1 ビットエラーおよび Local RAM (CPU1) のパリティビットエラー ^{注3}	○	○	○	○	○	○
8		Global RAM の ECC 2 ビットエラーおよびアドレスパリティエラー ^{注3}	○	○	○	○	○	○
9		Global RAM の ECC 1 ビットエラー ^{注3}	○	○	○	○	○	○
10		周辺 RAM (CAN、CSIH、DTS) ECC 2 ビットエラー ^{注3}	○	○	○	○	○	○
11		周辺 RAM (CAN、CSIH、DTS) ECC 1 ビットエラー ^{注3}	○	○	○	○	○	○
12	コードフラッシュ	コードフラッシュ ECC 2 ビットエラーおよびアドレスパリティエラー ^{注3}	○	○	○	○	○	○
13		コードフラッシュ ECC 1 ビットエラー ^{注3}	○	○	○	○	○	○
14	命令キャッシュ	命令キャッシュデータ (CPU1、CPU2) ECC 2 ビットエラー ^{注3}	○	○	○	○	○	○
15		命令キャッシュデータ (CPU1、CPU2) ECC 1 ビットエラー ^{注3}	○	○	○	○	○	○
16		命令キャッシュタグ (CPU1、CPU2) ECC 2 ビットエラー ^{注3}	○	○	○	○	○	○
17		命令キャッシュタグ (CPU1、CPU2) ECC 1 ビットエラー ^{注3}	○	○	○	○	○	○
18	データフラッシュ	データフラッシュ ECC 2 ビットエラー ^{注3}	○	○	○	○	○	○
19		データフラッシュ ECC 1 ビットエラー ^{注3}	○	○	○	○	○	○
20	PE ガード機能 (PEG)	PEG エラー ^{注4}	○	○	○	○	○	○
21	GRG (Global RAM Guard)	GRG エラー ^{注3}	○	○	○	○	○	○
22	PBG	PBG エラー ^{注3}	○	○	○	○	○	○
23	予約		—	—	—	—	—	—
24	予約		—	—	—	—	—	—
25	データパリティ	データパリティエラー ^{注3}	○	○	○	○	○	○
26	ECM	ECM コンペアエラー ^{注5}	○	○	○	○	○	○
27	クロックモニタ	クロックモニタエラー (メイン発振) ^{注3}	○	○	○	○	○	○
28		クロックモニタエラー (PLL0 (SSCG)) ^{注3}	○	○	○	○	○	○
29		クロックモニタエラー (PLL1 (clean)) ^{注3}	○	○	○	○	○	○
30 ~ 36	予約		—	—	—	—	—	—
37	ADCC	AD パリティエラー ^{注6}	○	○	○	○	○	○

表 28.8 エラー要因とセーフティ処理一覧 (2/2)

エラー要因 No.	モジュール	エラー要因	エラーフラグセット	マスカブル割り込み	FE レベル割り込み	内部リセット	ERROR OUT 出力	ディレイタイマスタート
38	Flash	フラッシュアクセスエラー ^{注7}	○	○	○	○	○	○
39		FACI リセット転送エラー ^{注7, 注13}	○	—	—	—	○	—
40	予約		—	—	—	—	—	—
41	DMAC	DTS RAM Data ECC SEC-DED ^{注8}	○	○	○	○	○	○
42	BIST	内蔵自己診断 (BIST) 回路によるエラー検出 ^{注3}	○	○	○	○	○	○
43	DMAC	DMA 違反アクセス通知 ^{注8}	○	○	○	○	○	○
44	OSTM	OSTM1 割り込み ^{注9}	○	○	○	○	○	○
45	TSG3	TSG3 エラー信号 (INTTSG3nIER) ^{注10}	○	○	○	○	○	○
46	EMU2	EMU2 エラー信号 ^{注11}	○	○	○	○	○	○
47	RDC2	RDC2 異常検出信号 ^{注12}	○	○	○	○	○	○
48 ~ 60	予約		—	—	—	—	—	—
61	ECM	ECM ディレイタイマのタイムアウト機能 ^{注5}	○	—	—	○	○	—
62		ECMmESET によるエラーセット ^{注5}	○	—	—	—	—	—
63		エラー出カループバック状態 ^{注5}	○	—	—	—	—	—

注 1. 初期状態では内部リセット発生を許可しています。

注 2. エラー内容については「第 15 章 ウインドウウォッチドッグタイマ (WDTA)」をご参照ください。

注 3. エラー内容については「第 27 章 ファンクショナルセーフティ」をご参照ください。

注 4. エラー内容については「第 3 章 CPU システム」をご参照ください。

注 5. エラー内容については「表 28.7 機能概要」をご参照ください。

注 6. エラー内容については「第 26 章 A/D コンバータ (ADCC)」をご参照ください。

注 7. No.38/39 のエラー内容については、「RH850/C1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

注 8. エラー内容については「第 7 章 DMA 機能」をご参照ください。

注 9. エラー内容については「第 16 章 OS タイマ (OSTM)」をご参照ください。

注 10. エラー内容については「第 19 章 モータコントロールタイマ (TSG3)」をご参照ください。

注 11. エラー内容については「第 24 章 エンハンスドモータコントロールユニット (EMU2)」をご参照ください。

注 12. エラー内容については「第 25 章 R/D コンバータ (RDC2)」をご参照ください。

注 13. FACI リセット転送エラー発生時のデバイスの動作は保証できません。リセット解除後、ERROROUT 端子のエラー出力をクリアする際、再度エラー状態にならないことで FACI リセット転送エラーが発生していないことを確認してください。

表 28.9 のとおり、エラー要因を集約します。

表 28.9 エラー要因集約

エラー要因 No.	モジュール	エラー要因	備考
0	WDTA	WDTA エラー (WDTA0、1)	WDTA0、1 のエラーを集約する。 初期状態では内部リセット発生を許可しています。
6	RAM	Local RAM (CPU1, CPU2) の ECC 2 ビットエラー および Local RAM (CPU1) のアドレスパリティエラー	CPU1、CPU2 の Local RAM の、ECC 2 ビットエラー およびアドレスパリティエラーを集約する。
7		Local RAM (CPU1, CPU2) の ECC 1 ビットエラー および Local RAM (CPU1) のパリティビットエラー	CPU1、CPU2 の Local RAM の、ECC 1 ビットエラー およびパリティビットエラーを集約する。
8		Global RAM の ECC 2 ビットエラーおよびアドレス パリティエラー	各マスタから Global RAM をアクセスした際の ECC 2 ビットエラーおよびアドレスパリティエラーを集 約する。
9		Global RAM の ECC 1 ビットエラー	各マスタから Global RAM をアクセスした際の ECC 1 ビットエラーを集約する。
10		周辺 RAM (CAN, CSIH, DTS) ECC 2 ビットエラー	各周辺回路用 RAM の ECC 2 ビットエラーを集約す る。
11		周辺 RAM (CAN, CSIH, DTS) ECC 1 ビットエラー	各周辺回路用 RAM の ECC 1 ビットエラーを集約す る。
12	コードフラッシュ	コードフラッシュ ECC 2 ビットエラー コードフラッシュアドレスパリティエラー	各マスタからコードフラッシュをアクセスした際の ECC 2 ビットエラーを集約する。
13		コードフラッシュ ECC 1 ビットエラー	各マスタからコードフラッシュをアクセスした際の ECC 1 ビットエラーを集約する。
14	命令キャッシュ	命令キャッシュデータ (CPU1, CPU2) ECC 2 ビット エラー	PE1, PE2 のキャッシュデータアレイの ECC 2 ビット エラーを集約する。
15		命令キャッシュデータ (CPU1, CPU2) ECC 1 ビット エラー	PE1, PE2 のキャッシュデータアレイの ECC 1 ビット エラーを集約する。
16		命令キャッシュタグ (CPU1, CPU2) ECC 2 ビット エラー	PE1, PE2 のキャッシュタグアレイの ECC 2 ビット エラーを集約する。
17		命令キャッシュタグ (CPU1, CPU2) ECC 1 ビット エラー	PE1, PE2 のキャッシュタグアレイの ECC 1 ビット エラーを集約する。
20	PE ガード機能 (PEG)	PEG エラー	CPU1 と CPU2 の PEG エラーを集約する。
21	GRG (Global RAM Guard)	GRG エラー	CPU1 と CPU2 と DMA の GRG エラーを集約する。
22	PBG	PBG エラー	各周辺回路用の PBG エラーを集約する。
25	データパリティ	データパリティエラー	各アクセス経路のデータパリティエラーを集約す る。
37	ADCC	AD パリティエラー	ADCC0, 1 の AD パリティエラーを集約する。
41	DMA	DTS RAM Data ECC SEC-DED	DTS RAM の ECC 2 ビットエラーと 1 ビットエラー を集約する。
42	BIST	内蔵自己診断 (BIST) 回路によるエラー検出	各種自己診断回路のエラーを集約する。
45	TSG3	TSG3 エラー (INTTSG3nIER)	TSG30, TSG31 のエラーを集約する。
46	EMU2	EMU2 エラー信号	EMU20 割り込み 4 と EMU21 割り込み 4 を集約す る。
47	RDC2	RDC2 異常検出	RDC20, RDC21 のエラーを集約する。

備考 表 28.9 がないエラー要因は、集約しません。

28.3 レジスタ

28.3.1 レジスタ一覧

ECM のレジスタは ECM 共通レジスタ、ECM マスタレジスタ、ECM チェッカレジスタの 3 つのアドレス領域に分かれます。ECM 共通レジスタはマスタとチェッカで共通のレジスタ領域です。共通領域のレジスタへの書き込みはマスタチェッカで同時にそれぞれ実行されます。共通領域の読み出しは、マスタのレジスタの値が読み出されます。ECM マスタレジスタと ECM チェッカレジスタは個別に書き込み可能です。

ECM マスタレジスタのレジスタ一覧を以下の表に示します。

<ECMM_base>, <ECMC_base>, <ECM_base> は「**28.1.2 レジスタベースアドレス**」を参照してください。

表 28.10 レジスタ一覧 (ECM マスタ)

モジュール名	レジスタ名	略号	シーケンスによる保護	アドレス
ECM	ECM マスタエラーセットトリガレジスタ	ECMMESET	あり	<ECMM_base> + 00 _H
ECM	ECM マスタエラークリアトリガレジスタ	ECMMECLR	あり	<ECMM_base> + 04 _H
ECM	ECM マスタエラーソースステータスレジスタ 0	ECMMESSTR0	なし	<ECMM_base> + 08 _H
ECM	ECM マスタエラーソースステータスレジスタ 1	ECMMESSTR1	なし	<ECMM_base> + 0C _H
ECM	ECM マスタ保護コマンドレジスタ	ECMMPCMD0	なし	<ECMM_base> + 10 _H

ECM チェッカレジスタのレジスタ一覧を以下の表に示します。

表 28.11 レジスタ一覧 (ECM チェッカ)

モジュール名	レジスタ名	略号	シーケンスによる保護	アドレス
ECM	ECM チェッカエラーセットトリガレジスタ	ECMCESSET	あり	<ECMC_base> + 00 _H
ECM	ECM チェッカエラークリアトリガレジスタ	ECMCDECLR	あり	<ECMC_base> + 04 _H
ECM	ECM チェッカエラーソースステータスレジスタ 0	ECMCESSTR0	なし	<ECMC_base> + 08 _H
ECM	ECM チェッカエラーソースステータスレジスタ 1	ECMCESSTR1	なし	<ECMC_base> + 0C _H
ECM	ECM チェッカ保護コマンドレジスタ	ECMCPCMD0	なし	<ECMC_base> + 10 _H

ECM 共通部のレジスタ一覧を以下の表に示します。

表 28.12 レジスタ一覧 (ECM 共通)

モジュール名	レジスタ名	略号	シーケンスによる保護	アドレス
ECM	ECM エラーパルスコンフィグレーションレジスタ	ECMEPCFG	あり	<ECM_base> + 00 _H
ECM	ECM マスカブル割り込みコンフィグレーションレジスタ 0	ECMMICFG0	あり	<ECM_base> + 04 _H
ECM	ECM マスカブル割り込みコンフィグレーションレジスタ 1	ECMMICFG1	あり	<ECM_base> + 08 _H
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 0	ECMNMICFG0	あり	<ECM_base> + 0C _H
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 1	ECMNMICFG1	あり	<ECM_base> + 10 _H
ECM	ECM 内部リセットコンフィグレーションレジスタ 0	ECMIRCFG0	あり	<ECM_base> + 14 _H
ECM	ECM 内部リセットコンフィグレーションレジスタ 1	ECMIRCFG1	あり	<ECM_base> + 18 _H
ECM	ECM エラーマスクレジスタ 0	ECMEMK0	あり	<ECM_base> + 1C _H
ECM	ECM エラーマスクレジスタ 1	ECMEMK1	あり	<ECM_base> + 20 _H
ECM	ECM エラーソースステータスクリアトリガレジスタ 0	ECMESSTC0	あり	<ECM_base> + 24 _H
ECM	ECM エラーソースステータスクリアトリガレジスタ 1	ECMESSTC1	あり	<ECM_base> + 28 _H
ECM	ECM 保護コマンドレジスタ	ECMPCMD1	なし	<ECM_base> + 2C _H
ECM	ECM 保護ステータスレジスタ	ECMPS	なし	<ECM_base> + 30 _H
ECM	ECM 疑似エラートリガレジスタ 0	ECMPE0	あり	<ECM_base> + 34 _H
ECM	ECM 疑似エラートリガレジスタ 1	ECMPE1	あり	<ECM_base> + 38 _H
ECM	ECM ディレイタイマコントロールレジスタ	ECMDTMCTL	あり	<ECM_base> + 3C _H
ECM	ECM ディレイタイマレジスタ	ECMDTMR	なし	<ECM_base> + 40 _H
ECM	ECM ディレイタイマコンペアレジスタ	ECMDTMCMP	あり	<ECM_base> + 44 _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 0	ECMDTMCFG0	あり	<ECM_base> + 48 _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 1	ECMDTMCFG1	あり	<ECM_base> + 4C _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 2	ECMDTMCFG2	あり	<ECM_base> + 50 _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 3	ECMDTMCFG3	あり	<ECM_base> + 54 _H

28.3.2 ECMmESET (m = M/C) — ECM マスタ/チェッカエラーセットトリガレジスタ

ECM マスタ/チェッカエラーセットトリガレジスタは ERROROUT 端子から出力するエラー信号をエラー出力に設定するためのレジスタです。ECMmEST ビットに 1 をセットされると ERROROUT 端子からはただちにエラー出力が出力されます。出力をマスクすることはできません。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。このレジスタの読み出し値は常に 00_H です。

アクセス 8ビット単位でライト可能です。

アドレス <ECMM_base>
<ECMC_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmEST
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 28.13 ECMmESET レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMmEST	エラーセットトリガビット 0: 0 書き込みは無効。 1: ERROROUT 端子からの出力レベルをエラー出力に設定します。

注 意

ECMmESET レジスタで ERROROUT 端子からの ERROROUT 出力のセットを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmESET レジスタを設定する必要があります。

- ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
- 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
- ECMmESET レジスタで ERROROUT 出力のセットを行います。
- ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
- ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - ERROROUT 端子出力から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
 - 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

28.3.3 ECMmECLR (m = M/C) — ECM マスタ/チェッカエラークリアトリガレジスタ

ECM マスタ/チェッカエラークリアトリガレジスタは ERROROUT 端子から出力するエラー信号を正常出力に設定するためのレジスタです。ECMmECT ビットに 1 をセットされると他に ERROROUT 端子をエラー出力にする要因がない場合には、ERROROUT 端子からはただちに正常出力が出力されます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。このレジスタの読み出し値は常に 00_H です。

アクセス 8 ビット単位でライト可能です

アドレス <ECMM_base> + 04_H
<ECMC_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmECT
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 28.14 ECMmECLR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMmECT	エラークリアトリガビット 0: 0 書き込みは無効。 1: ERROROUT 端子からの出力レベルを正常出力に設定します。

注 意

ERROROUT 出力のクリアは、ECMEMK0/1 によってマスクされていないすべてのエラーが、あらかじめクリアされている場合にのみ可能です。

ECMmECLR レジスタで ERROROUT 出力のクリアを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmECLR レジスタを設定する必要があります。

- ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
- 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
- ECMmECLR レジスタで ERROROUT 出力クリアを行います。
- ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
- ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - ERROROUT 端子から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
 - 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

28.3.4 ECMmESSTR0 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 0

ECM マスタ/チェッカエラーソースステータスレジスタ 0 は個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 0 の対応するビットに 1 を書き込むか外部リセットでのみ実行できます。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + 08_H
<ECMC_base> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMmSSE029	ECMmSSE028	ECMmSSE027	ECMmSSE026	ECMmSSE025	—	—	ECMmSSE022	ECMmSSE021	ECMmSSE020	ECMmSSE019	ECMmSSE018	ECMmSSE017	ECMmSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMmSSE015	ECMmSSE014	ECMmSSE013	ECMmSSE012	ECMmSSE011	ECMmSSE010	ECMmSSE009	ECMmSSE008	ECMmSSE007	ECMmSSE006	ECMmSSE005	ECMmSSE004	—	—	—	ECMmSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 28.15 ECMmESSTR0 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット (リードした場合は不定値が読めます。)
29 ~ 25	ECMmSSE029 ~ ECMmSSE025	エラー要因ステータスビット ECMmSSE029 ~ ECMmSSE025 がエラー要因 29 ~ 25 に対応します。 0 : エラー未発生 1 : エラー発生
24、23	—	予約ビット (リードした場合は不定値が読めます。)
22 ~ 4	ECMmSSE022 ~ ECMmSSE004	エラー要因ステータスビット ECMmSSE022 ~ ECMmSSE004 がエラー要因 22 ~ 4 に対応します。 0 : エラー未発生 1 : エラー発生
3 ~ 1	—	予約ビット (リードした場合は不定値が読めます。)
0	ECMmSSE000	エラー要因ステータスビット ECMmSSE000 がエラー要因 0 に対応します。 0 : エラー未発生 1 : エラー発生

28.3.5 ECMmESSTR1 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 1

ECM マスタ/チェッカエラーソースステータスレジスタ 1 は個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 1 の対応するビットに 1 を書き込むか外部リセットでのみ実行できます。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + 0C_H
<ECMC_base> + 0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMmSSE131	ECMmSSE130	ECMmSSE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMmSSE115	ECMmSSE114	ECMmSSE113	ECMmSSE112	ECMmSSE111	ECMmSSE110	ECMmSSE109	—	ECMmSSE107	ECMmSSE106	ECMmSSE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 28.16 ECMmESSTR1 レジスタの内容

ビット位置	ビット名	機能
31	ECMmSSE131	ERROROUT 出カループバック状態を示します。 0: ERROROUT 出力はエラー出力 1: ERROROUT 出力は正常出力
30	ECMmSSE130	ECMmESET の書き込みステータスを示します。 0: エラーなし 1: ECMmESET レジスタの ECMmEST ビットでエラー設定された
29	ECMmSSE129	ディレイタイムオーバーフロー有無を示します。 0: ディレイタイムオーバーフローなし 1: ディレイタイムオーバーフローあり
28 ~ 16	—	予約ビット (リードした場合は不定値が読めます。)
15 ~ 9	ECMmSSE115 ~ ECMmSSE109	エラー要因ステータスビット ECMmSSE115 ~ ECMmSSE109 は、エラー要因 47 ~ 41 に対応します。 0: エラー未発生 1: エラー発生
8	—	予約ビット (リードした場合は不定値が読めます。)
7 ~ 5	ECMmSSE107 ~ ECMmSSE105	エラー要因ステータスビット ECMmSSE107 ~ ECMmSSE105 は、エラー要因 39 ~ 37 に対応します。 0: エラー未発生 1: エラー発生
4 ~ 0	—	予約ビット (リードした場合は不定値が読めます。)

28.3.6 ECMmPCMD0 (m = M/C) — ECM マスタ/チェッカ保護コマンドレジスタ

ECM マスタ/チェッカ保護コマンドレジスタは、保護対象のレジスタへの誤ったプログラム動作などによる不正なライトアクセスから保護するレジスタです。

ECM マスタ/チェッカ保護コマンドレジスタによる保護対象のレジスタは「**28.3.1 レジスタ一覧**」を参照してください。

保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でライト可能です。

アドレス <ECMM_base> + 10_H
<ECMC_base> + 10_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMmREG0[7:0]							
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 28.17 ECMmPCMD0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 書き込む場合は "0" をライトしてください。
7 ~ 0	ECMmREG07 ~ ECMmREG00	書き込み保護された ECMm レジスタへの書き込みを有効にする保護コマンド

28.3.7 ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ

ECM エラーパルスコンフィグレーションレジスタは、ERROROUT 端子の ERROROUT 出力動作を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ECM_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMSL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 28.18 ECMEPCFG レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMSL0	ERROROUT 端子動作設定ビット ERROROUT 端子の ERROROUT 出力動作の設定 0 : ノンダイナミックモード 1 : ダイナミックモード

28.3.8 ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0

ECM マスカブル割り込みコンフィグレーションレジスタ 0 は、ECM マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 04_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMMIE029	ECMMIE028	ECMMIE027	ECMMIE026	ECMMIE025	—	—	ECMMIE022	ECMMIE021	ECMMIE020	ECMMIE019	ECMMIE018	ECMMIE017	ECMMIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMMIE015	ECMMIE014	ECMMIE013	ECMMIE012	ECMMIE011	ECMMIE010	ECMMIE009	ECMMIE008	ECMMIE007	ECMMIE006	ECMMIE005	ECMMIE004	—	—	—	ECMMIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 28.19 ECMMICFG0 レジスタの内容

ビット位置	ビット名	機能
31, 30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29 ~ 25	ECMMIE029 ~ ECMMIE025	ECM マスカブル割り込み発生制御ビット ECMMIE029 ~ ECMMIE025 がエラー要因 29 ~ 25 に対応します。 0 : 割り込み発生禁止 1 : 割り込み発生許可
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ~ 4	ECMMIE022 ~ ECMMIE004	ECM マスカブル割り込み発生制御ビット ECMMIE022 ~ ECMMIE004 がエラー要因 22 ~ 4 に対応します。 0 : 割り込み発生禁止 1 : 割り込み発生許可
3 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMMIE000	ECM マスカブル割り込み発生制御ビット ECMMIE000 がエラー要因 0 に対応します。 0 : 割り込み発生禁止 1 : 割り込み発生許可

28.3.9 ECMMICFG1 — ECM マスカブル割り込みコンフィグレーションレジスタ 1

ECM マスカブル割り込みコンフィグレーションレジスタ 1 は、ECM マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMMIE115	ECMMIE114	ECMMIE113	ECMMIE112	ECMMIE111	ECMMIE110	ECMMIE109	—	—	ECMMIE106	ECMMIE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 28.20 ECMMICFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15 ~ 9	ECMMIE115 ~ ECMMIE109	ECM マスカブル割り込み発生制御ビット ECMMIE115 ~ ECMMIE109 は、エラー要因 47 ~ 41 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
8, 7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6, 5	ECMMIE106、 ECMMIE105	ECM マスカブル割り込み発生制御ビット ECMMIE106、ECMMIE105 は、エラー要因 38、37 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
4 ~ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

28.3.10 ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0

ECM FE レベル割り込みコンフィグレーションレジスタ 0 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMN MIE029	ECMN MIE028	ECMN MIE027	ECMN MIE026	ECMN MIE025	—	—	ECMN MIE022	ECMN MIE021	ECMN MIE020	ECMN MIE019	ECMN MIE018	ECMN MIE017	ECMN MIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMN MIE015	ECMN MIE014	ECMN MIE013	ECMN MIE012	ECMN MIE011	ECMN MIE010	ECMN MIE009	ECMN MIE008	ECMN MIE007	ECMN MIE006	ECMN MIE005	ECMN MIE004	—	—	—	ECMN MIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 28.21 ECMNMICFG0 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29 ~ 25	ECMNMIE029 ~ ECMNMIE025	ECM FE レベル割り込み発生制御ビット ECMNMIE029 ~ ECMNMIE025 がエラー要因 29 ~ 25 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ~ 4	ECMNMIE022 ~ ECMNMIE004	ECM FE レベル割り込み発生制御ビット ECMNMIE022 ~ ECMNMIE004 がエラー要因 22 ~ 4 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
3 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMNMIE000	ECM FE レベル割り込み発生制御ビット ECMNMIE000 がエラー要因 0 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

28.3.11 ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1

ECM FE レベル割り込みコンフィグレーションレジスタ 1 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMN MIE115	ECMN MIE114	ECMN MIE113	ECMN MIE112	ECMN MIE111	ECMN MIE110	ECMN MIE109	—	—	ECMN MIE106	ECMN MIE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 28.22 ECMNMICFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15 ~ 9	ECMNMIE115 ~ ECMNMIE109	ECM FE レベル割り込み発生制御ビット ECMNMIE115 ~ ECMNMIE109 は、エラー要因 47 ~ 41 に対応します。 0 : 割り込み発生禁止 1 : 割り込み発生許可
8, 7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6, 5	ECMNMIE106、 ECMNMIE105	ECM FE レベル割り込み発生制御ビット ECMNMIE106、ECMNMIE105 は、エラー要因 38、37 に対応します。 0 : 割り込み発生禁止 1 : 割り込み発生許可
4 ~ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

28.3.12 ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0

ECM 内部リセットコンフィグレーションレジスタ 0 は、内部エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 14_H

リセット後の値 0000 000F_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMIRE029	ECMIRE028	ECMIRE027	ECMIRE026	ECMIRE025	—	—	ECMIRE022	ECMIRE021	ECMIRE020	ECMIRE019	ECMIRE018	ECMIRE017	ECMIRE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMIRE015	ECMIRE014	ECMIRE013	ECMIRE012	ECMIRE011	ECMIRE010	ECMIRE009	ECMIRE008	ECMIRE007	ECMIRE006	ECMIRE005	ECMIRE004	—	—	—	ECMIRE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 28.23 ECMIRCFG0 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29 ~ 25	ECMIRE029 ~ ECMIRE025	ECM 内部リセット発生制御ビット ECMIRE029 ~ ECMIRE025 がエラー要因 29 ~ 25 に対応します。 0 : 内部リセット発生禁止 1 : 内部リセット発生許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ~ 4	ECMIRE022 ~ ECMIRE004	ECM 内部リセット発生制御ビット ECMIRE022 ~ ECMIRE004 がエラー要因 22 ~ 4 に対応します。 0 : 内部リセット発生禁止 1 : 内部リセット発生許可
3 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMIRE000	ECM 内部リセット発生制御ビット ECMIRE000 がエラー要因 0 に対応します。 0 : 内部リセット発生禁止 1 : 内部リセット発生許可

28.3.13 ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1

ECM 内部リセットコンフィグレーションレジスタ 1 は、内部エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 18_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMIR E129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMIR E115	ECMIR E114	ECMIR E113	ECMIR E112	ECMIR E111	ECMIR E110	ECMIR E109	—	—	ECMIR E106	ECMIR E105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 28.24 ECMIRCFG1 レジスタの内容

ビット位置	ビット名	機能
31, 30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29	ECMIRE129	ECM 内部リセット発生制御ビット ディレイタイマオーバフローに対応します。 0: 内部リセット発生禁止 1: 内部リセット発生許可
28 ~ 16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15 ~ 9	ECMIRE115 ~ ECMIRE109	ECM 内部リセット発生制御ビット ECMIRE115 ~ ECMIRE109 は、エラー要因 47 ~ 41 に対応します。 0: 内部リセット発生禁止 1: 内部リセット発生許可
8, 7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6, 5	ECMIRE106、 ECMIRE105	ECM 内部リセット発生制御ビット ECMIRE106、ECMIRE105 は、エラー要因 38、37 に対応します。 0: 内部リセット発生禁止 1: 内部リセット発生許可
4 ~ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

28.3.14 ECMEMK0 — ECM エラーマスクレジスタ 0

ECM エラーマスクレジスタ 0 は、ERROROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 1C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECME MK029	ECME MK028	ECME MK027	ECME MK026	ECME MK025	—	—	ECME MK022	ECME MK021	ECME MK020	ECME MK019	ECME MK018	ECME MK017	ECME MK016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECME MK015	ECME MK014	ECME MK013	ECME MK012	ECME MK011	ECME MK010	ECME MK009	ECME MK008	ECME MK007	ECME MK006	ECME MK005	ECME MK004	—	—	—	ECME MK000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 28.25 ECMEMK0 レジスタの内容

ビット位置	ビット名	機能
31, 30	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
29 ~ 25	ECMEMK029 ~ ECMEMK025	ECM ERROROUT 出力マスク制御ビット ECMEMK029 ~ ECMEMK025 がエラー要因 29 ~ 25 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする
24, 23	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
22 ~ 4	ECMEMK022 ~ ECMEMK004	ECMERROROUT 出力信号マスク制御ビット ECMEMK022 ~ ECMEMK004 がエラー要因 22 ~ 4 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする
3 ~ 1	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
0	ECMEMK000	ECMERROROUT 出力信号マスク制御ビット ECMEMK000 がエラー要因 0 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする

28.3.15 ECMEMK1 — ECM エラーマスクレジスタ 1

ECM エラーマスクレジスタ 1 は、ERROROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 20_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECME MK129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECME MK115	ECME MK114	ECME MK113	ECME MK112	ECME MK111	ECME MK110	ECME MK109	—	ECME MK107	ECME MK106	ECME MK105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R

表 28.26 ECMEMK1 レジスタの内容

ビット位置	ビット名	機能
31, 30	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
29	ECMEMK129	ディレイタイマオーバーフローに対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする
28 ~ 16	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
15 ~ 9	ECMEMK115 ~ ECMEMK109	ECM ERROROUT 出力マスク制御ビット ECMEMK115 ~ ECMEMK109 は、エラー要因 47 ~ 41 に対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする
8	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
7 ~ 5	ECMEMK107 ~ ECMEMK105	ECM ERROROUT 出力マスク制御ビット ECMEMK107 ~ ECMEMK105 は、エラー要因 39 ~ 37 に対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする
4 ~ 0	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。

28.3.16 ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0

ECM エラーソースステータスクリアトリガレジスタ 0 は、ECM マスタ/ チェッカエラーソースステータスレジスタ 0 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 24_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMCL SSE029	ECMCL SSE028	ECMCL SSE027	ECMCL SSE026	ECMCL SSE025	—	—	ECMCL SSE022	ECMCL SSE021	ECMCL SSE020	ECMCL SSE019	ECMCL SSE018	ECMCL SSE017	ECMCL SSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	W	W	W	W	W	R	R	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMCL SSE015	ECMCL SSE014	ECMCL SSE013	ECMCL SSE012	ECMCL SSE011	ECMCL SSE010	ECMCL SSE009	ECMCL SSE008	ECMCL SSE007	ECMCL SSE006	ECMCL SSE005	ECMCL SSE004	—	—	—	ECMCL SSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	R	R	R	W

表 28.27 ECMESSTC0 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29 ~ 25	ECMCLSSE029 ~ ECMCLSSE025	ECM エラー状態クリアビット ECMCLSSE029 ~ ECMCLSSE025 がエラー要因 29 ~ 25 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ~ 4	ECMCLSSE022 ~ ECMCLSSE004	ECM エラー状態クリアビット ECMCLSSE022 ~ ECMCLSSE004 がエラー要因 22 ~ 4 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
3 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMCLSSE000	ECM エラー状態クリアビット ECMCLSSE000 がエラー要因 0 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする

28.3.17 ECMESSTC1 — ECM エラーソースステータスクリアトリガレジスタ 1

ECM エラーソースステータスクリアトリガレジスタ 1 は、ECM マスタ/ チェッカエラーソースステータスレジスタ 1 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 28_H

リセット後の値 00000000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ECMCLSSE130	ECMCLSSE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMCLSSE115	ECMCLSSE114	ECMCLSSE113	ECMCLSSE112	ECMCLSSE111	ECMCLSSE110	ECMCLSSE109	—	ECMCLSSE107	ECMCLSSE106	ECMCLSSE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	R	W	W	W	R	R	R	R	R

表 28.28 ECMESSTC1 レジスタの内容

ビット位置	ビット名	機能
31	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
30、29	ECMCLSSE130、 ECMCLSSE129	ECM エラー状態クリアビット ECMCLSSE130、ECMCLSSE129 は ECMmESET の書き込みステータス、ディレイタイマオーバーフローに対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
28～16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15～9	ECMCLSSE115 ～ ECMCLSSE109	ECM エラー状態クリアビット ECMCLSSE115～ECMCLSSE109 は、エラー要因 47～41 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
8	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7～5	ECMCLSSE107 ～ ECMCLSSE105	ECM エラー状態クリアビット ECMCLSSE107～ECMCLSSE105 は、エラー要因 39～37 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
4～0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

28.3.18 ECMPCMD1 — ECM 保護コマンドレジスタ

ECM 保護コマンドレジスタの保護対象のレジスタは「28.3.1 レジスタ一覧」を参照してください。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 2C_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMREG1[7:0]							
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 28.29 ECMPCMD1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	—	予約ビット 書き込む場合は“0”をライトしてください。
7 ~ 0	ECMREG17 ~ ECMREG10	書き込み保護された ECM レジスタへの書き込みを有効にする保護コマンド

28.3.19 ECMPs — ECM 保護ステータスレジスタ

ECM 保護ステータスレジスタは書き込み保護レジスタが正常に書き込まれたかどうかを示します。詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 8ビット単位でリード可能です。

アドレス <ECM_base> + 30_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.30 ECMPs レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。
0	ECMPRERR	ECM 保護ステータスビット 書き込み保護レジスタへ正常に書き込まれたかどうかを表示します。 0: 書き込み成功 1: 書き込み失敗

28.3.20 ECMPE0 — ECM 擬似エラートリガレジスタ 0

ECM 擬似エラートリガレジスタ 0 は、テスト用の擬似エラーを発生させるときに使用するレジスタです。擬似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 34_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMPE 029	ECMPE 028	ECMPE 027	ECMPE 026	ECMPE 025	—	—	ECMPE 022	ECMPE 021	ECMPE 020	ECMPE 019	ECMPE 018	ECMPE 017	ECMPE 016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	W	W	W	W	W	R	R	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMPE 015	ECMPE 014	ECMPE 013	ECMPE 012	ECMPE 011	ECMPE 010	ECMPE 009	ECMPE 008	ECMPE 007	ECMPE 006	ECMPE 005	ECMPE 004	—	—	—	ECMPE 000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	R	R	R	W

表 28.31 ECMPE0 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29 ~ 25	ECMPE029 ~ ECMPE025	ECM 擬似エラートリガビット ECMPE029 ~ ECMPE025 がエラー要因 29 ~ 25 に対応します。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ~ 4	ECMPE022 ~ ECMPE004	ECM 擬似エラートリガビット ECMPE022 ~ ECMPE004 がエラー要因 22 ~ 4 に対応します。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する
3 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMPE000	ECM 擬似エラートリガビット ECMPE000 がエラー要因 0 に対応します。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する

28.3.21 ECMPE1 — ECM 疑似エラートリガレジスタ 1

ECM 疑似エラートリガレジスタ 1 は、テスト用の疑似エラーを発生させるときに使用するレジスタです。疑似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 38_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMPE 129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMPE 115	ECMPE 114	ECMPE 113	ECMPE 112	ECMPE 111	ECMPE 110	ECMPE 109	—	ECMPE 107	ECMPE 106	ECMPE 105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	R	W	W	W	R	R	R	R	R

表 28.32 ECMPE1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29	ECMPE129	ECM 疑似エラートリガビット ディレイタイマオーバフローに対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
28 ~ 16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15 ~ 9	ECMPE115 ~ ECMPE109	ECM 疑似エラートリガビット ECMPE115 ~ ECMPE109 は、エラー要因 47 ~ 41 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
8	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7 ~ 5	ECMPE107 ~ ECMPE105	ECM 疑似エラートリガビット ECMPE107 ~ ECMPE105 は、エラー要因 39 ~ 37 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
4 ~ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

28.3.22 ECMDTMCTL — ECM ディレイタイマコントロールレジスタ

ECM ディレイタイマコントロールレジスタはディレイタイマを制御するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「28.4.5 書き込み保護レジスタ」を参照してください。

アクセス 8ビット単位でライト可能です。

アドレス <ECM_base> + 3C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ECMSTP	ECMSTA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 28.33 ECMDTMCTL レジスタの内容

ビット位置	ビット名	機能
7～2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	ECMSTP	ディレイタイマストップビット このビットへ1を書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時に ECMSTA ビットは0になります。
0	ECMSTA	ディレイタイマスタートビット 割り込み発生時のディレイタイマの動作を設定します。 このビットへ1を書き込むとディレイタイマカウンタが初期化され、タイマ動作を開始します。 このビットへ0を書き込むとディレイタイマカウンタが初期化されて停止します。 0: タイマ停止 1: タイマ動作

28.3.23 ECMDTMR — ECM ディレイタイマレジスタ

ECM ディレイタイマレジスタはディレイタイマカウンタ値を示します。ECM ディレイタイマコントロールレジスタ (ECMDTMCTL) の ECMSTP ビットへ1を書き込むか ECMSTA ビットへ0を書き込むことで、ディレイタイマカウンタは初期化されます。

アクセス 16ビット単位でリード可能です。

アドレス <ECM_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMDTMR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

28.3.24 ECMDTMCMP — ECM ディレイタイマコンペアレジスタ

ECM ディレイタイマコンペアレジスタとディレイタイマカウンタの値が一致するとディレイタイマオーバフロー信号が発生し、ECMmSSE129n ビットがセットされます。本レジスタへのデータ書き込みはディレイタイマ停止中に行ってください。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 44_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMDTMCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

28.3.25 ECMDTMCFG0 — ECM ディレイタイマコンフィグレーションレジスタ 0

ECM ディレイタイマコンフィグレーションレジスタ 0 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 48_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMTE029	ECMTE028	ECMTE027	ECMTE026	ECMTE025	—	—	ECMTE022	ECMTE021	ECMTE020	ECMTE019	ECMTE018	ECMTE017	ECMTE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE015	ECMTE014	ECMTE013	ECMTE012	ECMTE011	ECMTE010	ECMTE009	ECMTE008	ECMTE007	ECMTE006	ECMTE005	ECMTE004	—	—	—	ECMTE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 28.34 ECMDTMCFG0 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29 ~ 25	ECMTE029 ~ ECMTE025	ECM ディレイタイマスタート制御ビット ECMTE029 ~ ECMTE025 がエラー要因 29 ~ 25 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ~ 4	ECMTE022 ~ ECMTE004	ECM ディレイタイマスタート制御ビット ECMTE022 ~ ECMTE004 がエラー要因 22 ~ 4 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
3 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMTE000	ECM ディレイタイマスタート制御ビット ECMTE000 がエラー要因 0 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可

28.3.26 ECMDTMCFG1 — ECM ディレイタイマコンフィグレーションレジスタ 1

ECM ディレイタイマコンフィグレーションレジスタ 1 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 4C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE 115	ECMTE 114	ECMTE 113	ECMTE 112	ECMTE 111	ECMTE 110	ECMTE 109	—	—	ECMTE 106	ECMTE 105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 28.35 ECMDTMCFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15 ~ 9	ECMTE115 ~ ECMTE109	ECM ディレイタイマスタート制御ビット ECMTE115 ~ ECMTE109 は、エラー要因 47 ~ 41 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
8、7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6、5	ECMTE106、 ECMTE105	ECM ディレイタイマスタート制御ビット ECMTE106、ECMTE105 は、エラー要因 38、37 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
4 ~ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

28.3.27 ECMDTMCFG2 — ECM ディレイタイマコンフィグレーションレジスタ 2

ECM ディレイタイマコンフィグレーションレジスタ 2 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 50_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMTE 229	ECMTE 228	ECMTE 227	ECMTE 226	ECMTE 225	—	—	ECMTE 222	ECMTE 221	ECMTE 220	ECMTE 219	ECMTE 218	ECMTE 217	ECMTE 216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE 215	ECMTE 214	ECMTE 213	ECMTE 212	ECMTE 211	ECMTE 210	ECMTE 209	ECMTE 208	ECMTE 207	ECMTE 206	ECMTE 205	ECMTE 204	—	—	—	ECMTE 200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 28.36 ECMDTMCFG2 レジスタの内容

ビット位置	ビット名	機能
31, 30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29 ~ 25	ECMTE229 ~ ECMTE225	ECM ディレイタイマスタート制御ビット ECMTE229 ~ ECMTE225 がエラー要因 29 ~ 25 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ~ 4	ECMTE222 ~ ECMTE204	ECM ディレイタイマスタート制御ビット ECMTE222 ~ ECMTE204 がエラー要因 22 ~ 4 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
3 ~ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMTE200	ECM ディレイタイマスタート制御ビット ECMTE200 がエラー要因 0 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可

28.3.28 ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3

ECM ディレイタイマコンフィグレーションレジスタ 3 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**28.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 54_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE 315	ECMTE 314	ECMTE 313	ECMTE 312	ECMTE 311	ECMTE 310	ECMTE 309	—	—	ECMTE 306	ECMTE 305	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 28.37 ECMDTMCFG3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15 ~ 9	ECMTE315 ~ ECMTE309	ECM ディレイタイマスタート制御ビット ECMTE315 ~ ECMTE309 は、エラー要因 47 ~ 41 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
8, 7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6 ~ 5	ECMTE306 ~ ECMTE305	ECM ディレイタイマスタート制御ビット ECMTE306 ~ ECMTE305 は、エラー要因 38, 37 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
4 ~ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

28.4 機能

28.4.1 ERROROUT 出力動作

リセット中およびリセット解除後、ERROROUT_M 端子の状態はエラー出力をしています。**28.3.3 注意**に記載の手順でエラー出力をクリアしてから使用してください。また、ERROROUT_C 端子は汎用ポートや他機能との兼用ポートですので、ERROROUT_C 機能を選択して使用してください。設定方法は「**第2章 端子**」を参照してください。

ERROROUT 出力はノンダイナミックモードとダイナミックモードの2つの動作モードを設定できます。また、ERROROUT 出力は、ダイナミックモードのパルス周期にかかわらず、エラー要因発生に同期して端子状態をエラー出力とします。

表 28.38 ERROROUT 出力動作

エラー状態 ECMmSSE031 ~ ECMmSSE000 ECMmSSE115 ~ ECMmSSE100	動作モード ECMSL0 ビット	ERROROUT 出力の 動作モード	ERROROUT 出力 レベル	エラー状態
0	0	ノンダイナミック	ハイレベル	正常
	1	ダイナミック	トグル ^{注1} (タイマ入力による 注2)	正常
1	0	ノンダイナミック	ロウレベル	エラー
	1	ダイナミック	ロウレベル	エラー

注1. PIC1A への ERROROUTZ 信号はトグルしません。

注2. 詳細は「**第16章 OS タイマ (OSTM)**」をご参照ください。

28.4.1.1 ダイナミックモードを有効にする

1. OSTM0 を初期化する。
2. ECM マスタ/チェッカエラークリアトリガレジスタの ECMmECT (m = M/C) ビットを 1 に設定して ERROROUT 出力を正常出力にします。
3. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 1 にしてダイナミックモードに設定します。
4. OSTM0 を起動します。

28.4.1.2 ダイナミックモードを無効にする

1. ECM マスタ/チェッカエラーセットトリガレジスタの ECMmEST (m = M/C) ビットを 1 に設定して ERROROUT 出力をエラー出力にします。
2. OSTM0 を停止します。
3. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 0 にしてノンダイナミックモードに設定します。

28.4.2 ループバック機能

ERROROUT 端子までの経路を確認するためにループバック機能を搭載します。ERROROUT 端子の出力レベルを ECM マスタ/チェッカエラーソースステータスレジスタ 1 の ECMmSSE131 (m = M/C) ビットで確認できます。

28.4.3 疑似エラー発生

テストまたはデバッグ用にエラーを疑似的に発生する機能を搭載しています。疑似エラーを挿入するときの ECM の動作は実際のエラー発生時と同じです。エラーマスク、割り込み、内部リセット、ディレイタイマに対する設定はすべて反映されます。

28.4.4 エラー状態

エラー状態は ECM マスタ/チェッカエラーソースステータスレジスタ 0 と ECM マスタ/チェッカエラーソースステータスレジスタ 1 で表示されます。エラー状態は、ECM エラーソースステータスクリアトリガレジスタで対応するビットに 1 を書き込むか外部リセットでのみクリアされます。内部リセットではエラー状態は保持され、リセット解除後に ECM マスタ/チェッカエラーソースステータスレジスタ 0 と ECM マスタ/チェッカエラーソースステータスレジスタ 1 を読み出すことでリセット要因となったエラーを確認できます。

28.4.5 書き込み保護レジスタ

書き込み保護レジスタは誤ったプログラム動作などによる不正なライトアクセスから保護されています。

28.4.5.1 書き込み保護されたレジスタへの書き込みシーケンス

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. ECM 保護コマンドレジスタ ECMPCMD1、ECM マスタ/チェッカ保護コマンドレジスタ ECMmPCMD0 に固定値 0000 00A5_H を書き込みます。

手順 2. ECM、ECMm の保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値^{注1}を書き込みます。

手順 3. 手順 2. と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値^{注1}のビット反転値を書き込みます。

手順 4. 手順 2. と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値^{注1}を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

注 1. ECMEMK0/1 レジスタの予約ビットについては、手順 2、手順 4 では 1、手順 3 では 0 を書き込んでください。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、ECM 保護ステータスレジスタ ECMPs の ECMPRERR ビットが 1 にセットされます。(必須ではありませんが、手順 4. の後、ECM 保護ステータスレジスタ ECMPs の ECMPRERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1. から保護解除シーケンスを再実行してください。

また、上記手順 1. から手順 4. までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注2}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、保護ステータスレジスタの保護ステータスビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 2. ECM では「28.3.1 レジスタ一覧」に記載されているレジスタが、全て“同一モジュール内の別のレジスタ”として扱われます。

28.4.6 割り込み処理のタイムアウト機能

割り込み要求発生と同時に ECM に搭載するディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値と ECM ディレイタイマコンペアレジスタの値が一致した場合に、ERROROUT 出力、または内部リセットを発生する機能を搭載します。ブレーク発生時はタイマカウントを停止しません。

ディレイタイマのカウントは常に 0 から開始します。ECM ディレイタイマコンペアレジスタの設定値で内部リセットまたは、ERROROUT 出力が発生するまでの時間を決定してください。

ディレイタイマ動作中に、ディレイタイマをスタートに設定した新たなエラー要因が発生した場合、現在動作しているディレイタイマのカウント値はリセットされず動作を継続します。

28.5 注意事項

外部リセット端子 ($\overline{\text{RESET}}$) の解除後 $2\mu\text{s}$ 以内に、 $\overline{\text{ERROROUT_M}}$ 端子にハザード (最大 20ns) 出力が発生することがあります。

ERROROUT 端子の信号を使用する場合は以下の対策をご検討ください。

(1) $\overline{\text{ERROROUT_M}}$ (マスタ) と $\overline{\text{ERROROUT_C}}$ (チェッカ) 2 本の端子を使用する場合

マスタとチェッカ双方の端子が、エラーなしの状態 (双方 Hi 出力) を検知した後、外部監視を開始してください。

備 考

ルネサスエレクトロニクス製の電源監視 IC (RAA270000KFT) は上記ハザードを検出ししない仕様ですので、対策は不要です。

(2) $\overline{\text{ERROROUT_M}}$ (マスタ) 端子のみを使用する場合

ハザードを除去するため、 $\overline{\text{ERROROUT_M}}$ 端子に時定数が最小 50 ~ 100ns のフィルタを挿入してください。

第29章 データ CRC (DCRA)

本章では、データ CRC 機能 A (DCRA) 全般について説明します。

最初の節では、ユニット、レジスタベースアドレスなど、RH850/C1x に固有の特長について説明します。

それ以降の節では、DCRA の機能、レジスタについて説明します。

29.1 RH850/C1x DCRA の特長

29.1.1 ユニット数

本製品は以下のユニット数の DCRA を搭載しています。

表 29.1 ユニット数

製品	RH850/C1x
ユニット数	2
名称	DCRAn (n = 0, 1)

表 29.2 添字

添字	意味
n	本章では、DCRA の各ユニットを「n」(n = 0, 1) で識別します。たとえば、DCRAn 制御レジスタ (DCRAnCTL) のように記述しています。

29.1.2 レジスタベースアドレス

DCRA のベースアドレスを以下の表に示します。

DCRA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 29.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DCRA0_base>	FFF7 0000 _H
<DCRA1_base>	FFF7 1000 _H

29.1.3 クロック供給

DCRA のクロック供給を以下の表に示します。

表 29.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
DCRAn	PCLK	CLK_LSB (低速周辺クロック)

29.1.4 リセット要因

DCRA のリセット要因を以下に示します。DCRA は以下のリセット要因で初期化されます。

表 29.5 リセット要因

ユニット名	リセット要因
DCRAn	全リセット要因でリセット

29.2 概要

29.2.1 機能概要

データ CRC 機能 A を利用して、CRC で保護された任意の長さとはさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 32 ビットイーサネット CRC
($X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X^1+1$)
- 16 ビット CCITT CRC
($X^{16}+X^{12}+X^5+1$)
- 任意のデータブロック長の CRC を生成できます。
- CRC データレジスタが初期化されると、CRC 入力レジスタへの書き込みアクセスを行うたびに、選択されている多項式にしたがって新しい CRC が生成され、その結果が CRC データレジスタに格納されます。

29.2.2 ブロック図

以下の図は、データ CRC 機能 A のブロック図を示しています。

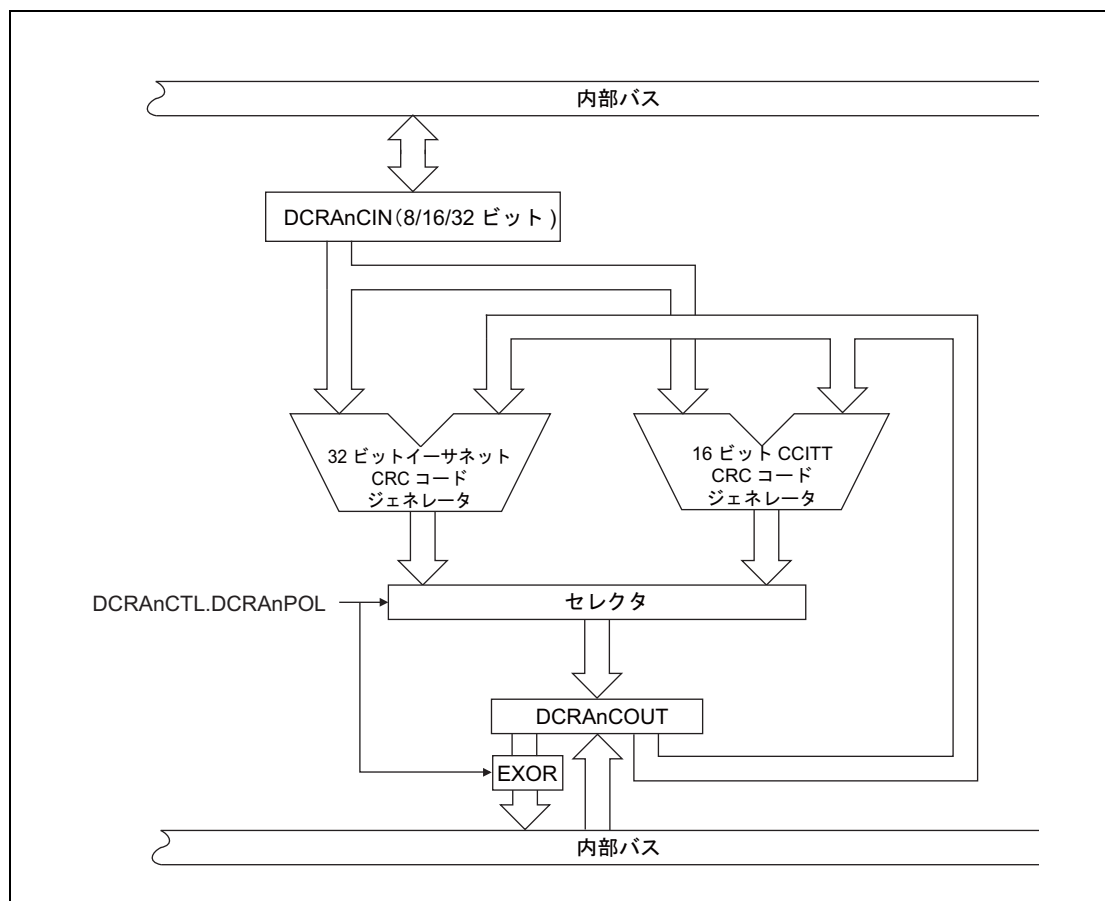
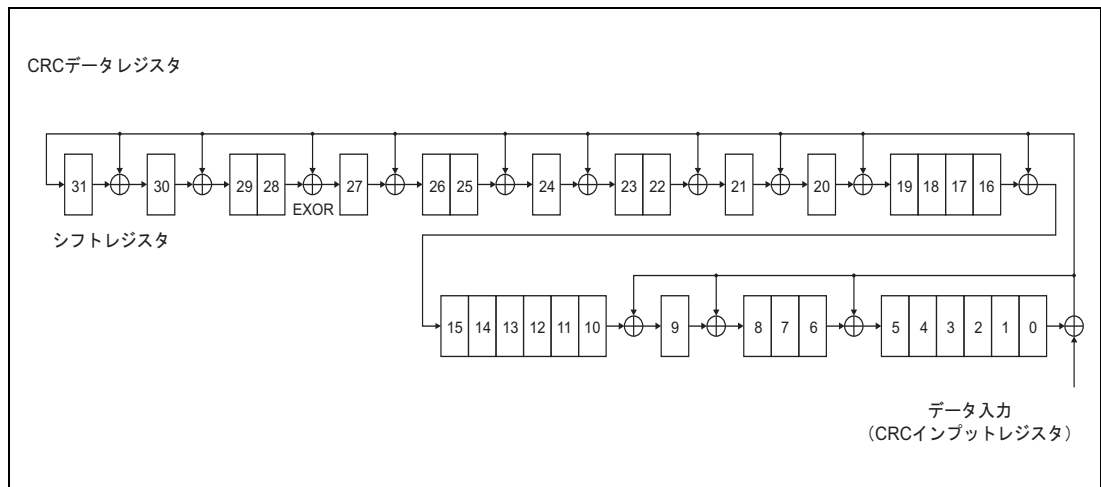


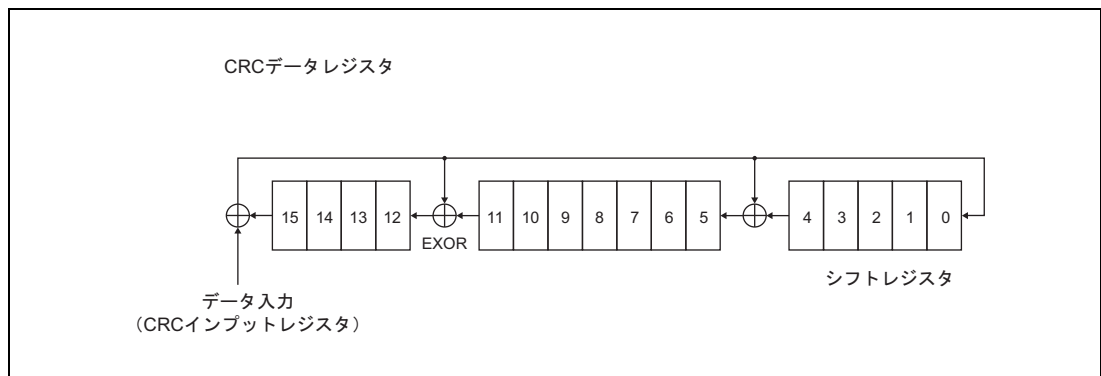
図 29.1 データ CRC 機能 A のブロック図

29.2.3 演算回路

- 32 ビットイーサネット



- 16 ビット CCITT



29.3 レジスタ

29.3.1 レジスタ一覧

DCRA のレジスタ一覧を以下の表に示します。

<DCRAn_base> は「**29.1.2 レジスタベースアドレス**」を参照してください。

表 29.6 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
DCRAn	CRC 入力レジスタ	DCRAnCIN	<DCRAn_base> + 00 _H
DCRAn	CRC データレジスタ	DCRAnCOUT	<DCRAn_base> + 04 _H
DCRAn	CRC 制御レジスタ	DCRAnCTL	<DCRAn_base> + 20 _H

29.3.2 DCRAAnCIN — CRC 入力レジスタ

本レジスタには CRC 計算用の入力データが格納されます。CRC 計算に使われる有効ビット幅を DCRAAnCTL.DCRAAnISZ[1:0] で設定する必要があります。

本レジスタにデータを書き込むと、CRC コードが生成されます。

DCRAAnCIN への書き込みが行われると、ただちに CRC の計算が開始されます。データブロックの最初のデータを DCRAAnCIN レジスタに書き込む前に、DCRAAnCOUT レジスタを初期開始値で初期化する必要があります。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <DCRAAn_base>

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAAnCIN[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAAnCIN[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.7 DCRAAnCIN レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAAnCIN [31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 <ul style="list-style-type: none"> 有効ビット幅 32 ビット : DCRAAnCIN[31:0] 有効ビット幅 16 ビット : DCRAAnCIN[15:0] 有効ビット幅 8 ビット : DCRAAnCIN[7:0]

29.3.3 DCRAnCOUT — CRC データレジスタ

本レジスタには 32 ビットイーサネット多項式または 16 ビット CCITT 多項式によって生成された CRC コードの結果が格納されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <DCRAn_base> + 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAnCOUT[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ^{注1}	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAnCOUT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ^{注1}	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビットイーサネット多項式になっているため、0000 0000_H になります。

表 29.8 DCRAnCOUT レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAnCOUT [31:0]	CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は、ビット 15 ~ 0 が CRC の結果を示します。ビット 31 ~ 16 は不定になります。 本レジスタのリード値は、以下の値と EXOR 演算された値となります。 <ul style="list-style-type: none"> 32 ビットイーサネット多項式の場合 : FFFF FFFF_H 16 ビット CCITT 多項式の場合 : 0000_H 例えば、32 ビットイーサネット多項式で、DCRAnCOUT = 5555 5555 _H のとき AAAA AAAA _H がリードされます。

注 意

データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

29.3.4 DCRAnCTL — CRC 制御レジスタ

本レジスタは CRC 生成プロセスを制御します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <DCRAn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DCRAnISZ[1:0]		DCRAnPOL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 29.9 DCRAnCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	ライトする場合はリセット後の値を書き込んでください。
2, 1	DCRAnISZ[1:0]	CRC 入力ビット幅を指定します。 00 : 32 ビット (DCRAnCIN[31:0]) 01 : 16 ビット (DCRAnCIN[15:0]) 10 : 8 ビット (DCRAnCIN[7:0]) 11 : 設定禁止
0	DCRAnPOL	CRC 生成方式を指定します。 0 : 32 ビットイーサネット CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は LSB (最下位ビット) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0] = 10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 0 (LSB) が入力データの先頭ビットになります。 1 : 16 ビット CCITT CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB (最上位ビット) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0] = 10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 7 (MSB) が入力データの先頭ビットになります。

注 意

- CRC 生成方式 (DCRAnCTL.DCRAnPOL) を変更した場合は、DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。
- データブロックのビット幅に合わせて CRC 入力ビット幅 (DCRAnCTL.DCRAnISZ[1:0]) を設定する必要があります。データブロックの処理中に CRC 入力ビット幅を変更することは禁止されています (データブロックの構成単位は N バイト、ハーフワードまたは 1 ワードです)。DCRAnCOUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、あとで DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。

29.4 機能

データ CRC 機能 A は任意のデータブロック長の CRC (巡回冗長検査) を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビットイーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ (DCRAnCIN) への最初の書き込みアクセスを行う前に、DCRAnCOUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

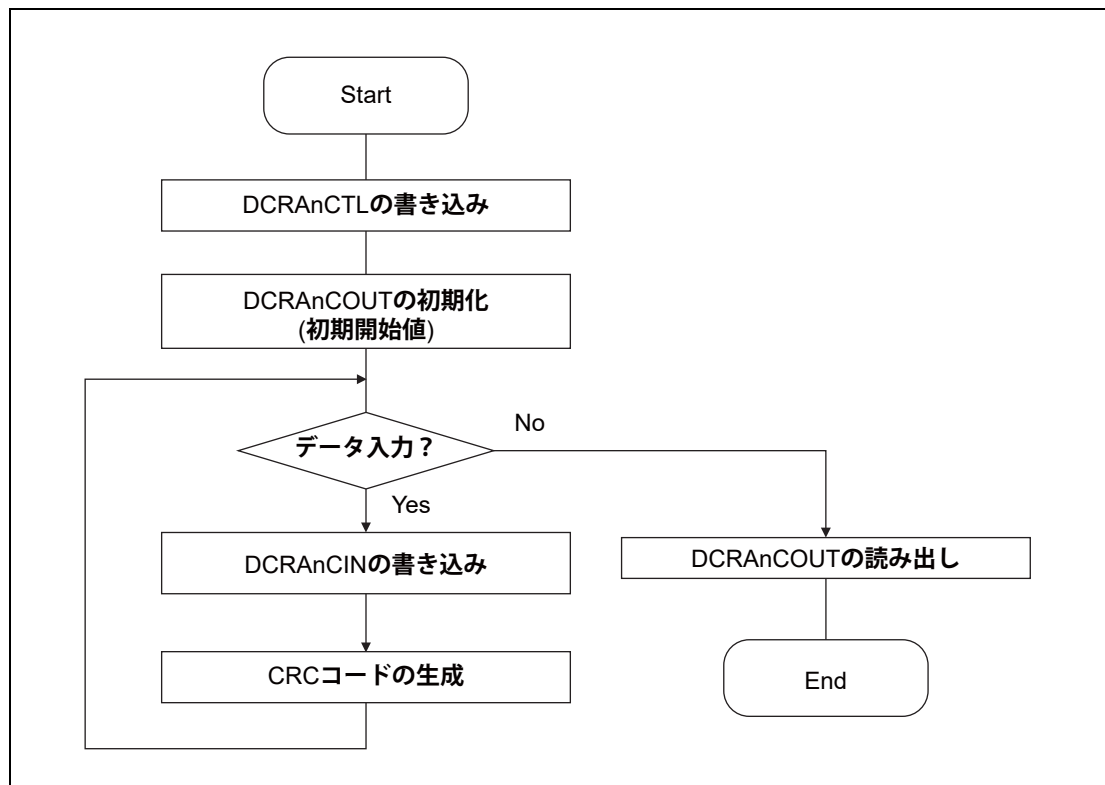


図 29.2 データ CRC 機能 A のフロー図

備考

1. 最初のデータを DCRAnCIN に書き込む前に、CRC 出力レジスタ DCRAnCOUT を初期化 (初期開始値を設定) する必要があります。
2. DCRAnCTL.DCRAnPOL を変更することによって多項式を変更した場合は、DCRAnCOUT を再初期化 (初期開始値を設定) する必要があります。
3. 各多項式の初期開始値の設定例
以下に設定例を示します。

表 29.10 初期開始値の設定例 (リセット時にリードした場合の例)

	初期開始値	EXOR 値	DCRAnCOUT リード値
32 ビットイーサネット	FFFF FFFF _H	FFFF FFFF _H	0000 0000 _H
16 ビット CCITT	XXXX FFFF _H	XXXX 0000 _H	XXXX FFFF _H

第 30 章 オンチップデバッグユニット (OCD)

30.1 デバッグ機能

本製品には、オンチップデバッグ機能があります。オンチップデバッグエミュレータの使用により、ターゲットシステムに搭載されたマイクロコントローラでプログラムをデバッグできます。

注 意

この章で説明するデバッグ機能は、マイクロコントローラではサポートされますが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズマニュアルを参照してください。

(1) デバッグインタフェース

デバッグインタフェースとして、“NEXUS JTAG Interface”、“Low Pin Debug Interface (4pin) (以下、LPD (4pin) と記載)”をサポートします。また、内蔵 RAM・データ周辺レジスタ等のモニタリング/チューニングなどを目的として、AUD-RAM モニタを搭載し、AUD-RAM モニタインタフェースをサポートします。

AUD-RAM モニタについては、「**30.4 AUD-RAM モニタ (AUDR)**」を参照してください。

(2) デバッグモニタ機能

デバッグモード中、デバッグ専用領域でモニタプログラムを実行します。モニタプログラムを実行することで、次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- ユーザプログラムの中断中に、ユーザリソース（メモリ、レジスタなど）のリード/ライト
- 任意のアドレスで始まるユーザプログラムの実行

(3) オンチップブ레이크機能

CPU ごとに 12 本のブ레이크ポイントを搭載。内、4 本は任意のアクセス（アクセスアドレス、アクセスデータ）を指定可能。

(4) ソフトウェアブ레이크機能

任意のアドレスにソフトウェアブ레이크ポイントを指定できます。

(5) 強制ブ레이크機能

ユーザプログラムの実行を強制的に中断可能です。

(6) 強制リセット機能

マイクロコントローラ（本製品）を強制的にリセット可能です。

(7) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリードアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(8) ダイナミックメモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライトアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) タイマ機能

32 ビットカウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

(10) マスク機能

リセット要因 (外部リセット、ソフトウェアリセット、ECM リセット) をマスクすることが可能です。

(11) イベント検出機能

実行アドレス/アクセスアドレス/アクセスデータ/範囲 (大小比較) /シーケンシャル実行によるイベント検出が可能です。

(12) ホットプラグイン機能

通常動作モードから外部リセット入力なしで、デバッグを開始することができます。

(13) セキュリティ機能

フラッシュメモリの内容が権限のないユーザにリードされないように、128 ビットの ID コード (OCD_ID) をマイクロコントローラにライトすることができます。デバッガ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュメモリにアクセスできません。

(14) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

詳細は、「**30.2 トレースコントロール機能**」を参照してください。

(15) マルチコアデバッグ機能

CPU1、CPU2 を対象としたマルチコアデバッグとして、以下の機能をサポート。

- 同期機能 (リセット、実行、ブレイク)
- 同期設定
- 複数コア同時トレース

30.2 トレースコントロール機能

本製品は、CPU の分岐 PC トレース、データトレース、および DMA のデータトレースを行うトレース機能を提供します。

(1) トレース RAM

本製品は、トレース RAM として、32KB を搭載します。

トレース RAM 内のトレース情報は、デバッグインタフェース (NEXUS/LPD (4pin)) にて、アクセス可能です。

(2) ソフトトレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することでできます。

ソフトトレース情報は、デバッグインタフェース (LPD (4pin)) を介して、出力可能です。

30.3 ペリフェラルブレークの制御

ペリフェラルブレークは、ユーザプログラムが停止した場合 (ブレークポイントなどで) に、周辺モジュールを停止させる機能です。

ペリフェラルブレーク時の内蔵モジュールの動作は以下のようになります。

1. 無条件で停止するモジュール
WDTA0、WDTA1^{注1}
2. 機能停止/継続を選択できるモジュール^{注2}
OSTM0、OSTM1、OSTM2^{注1}、TAPA0、TAPA1、TAPA2、TAPA3、TSG30、TSG31、
CSIH0、CSIH1、TAUJ0、TAUD0、TAUD1、ENCA0、ENCA1、TPBA0、TPBA1^{注1}

注 1. RH850/C1M では対応していません。

注 2. TAPAn ではペリフェラルブレークによる機能停止時に、TAUD、TSG3n の出力端子を強制的に Hi-Z 状態にします。また、TAPAnFLG レジスタの TAPAnHOF[10:8] ビットの値が 111_B になります。
該当の出力端子は以下です。
TAPAnUN, TAPAnUP, TAPAnVN, TAPAnVP, TAPAnWN, TAPAnWP
TSG3nO1 ~ 6

30.4 AUD-RAM モニタ (AUDR)

30.4.1 概要

本製品は、システムに実装された状態でユーザプログラムのデバッグ支援を行う機能として、AUD (Advanced User Debugger) -RAM モニタ (AUDR) を備えています。AUDR は、LSI が動作中に内蔵メモリや周辺レジスタ等メモリ空間にマッピングされたリソースの読み出しや書き込みを行う機能です。

RH850/C1H (252 ピン BGA) のみ AUDR を搭載しています。

表 30.1 に AUDR の概要を示します。また、図 30.1 に AUDR のブロック図を示します。

表 30.1 AUDR の概要

項目	概要
転送方式	クロック同期型パラレルインタフェース (4 ビット)
転送クロックの発生	外部ホスト (RAM モニタツール) 側が発生
転送クロック周波数	最大 20MHz
アクセス領域	システムバス上の物理アドレス領域
アクセスデータサイズ	8/16/32/64 ビット
アクセスアドレス入力ビット幅	8/16/24/32 ビット 入力されないアクセスアドレスの上位ビットは前回のアクセスアドレスと同じ値が使用されます。
データ転送方法	<ul style="list-style-type: none"> 単一転送 入力したアクセスアドレスに対して一つのデータを転送します。 連続転送 入力したアクセスアドレスから最大 16 個のデータを連続的に転送します。 アクセスアドレスはデータサイズに応じて自動的にインクリメントされます。
入出力端子	7 本 (AUDRST、AUDCK、AUDSYNC、AUDATA3 ~ AUDATA0)
機能	<ul style="list-style-type: none"> RAM モニタ機能 システムバスよりアクセス可能な物理アドレス領域に対して読み出し／書き込みを行う機能です。本機能により内蔵メモリや周辺レジスタ等の参照、変更ができます。 Configuration 情報保持 (startup communication) 機能 内部リセット解除時の AUDATA3 ~ AUDATA0 端子の値を保持する機能です。RAM モニタツールとの通信に使用します。 同期通信 (メッセージボード) 機能 CPU で動作するファームウェアが、RAM モニタツールと通信するために利用するフラグレジスタです。

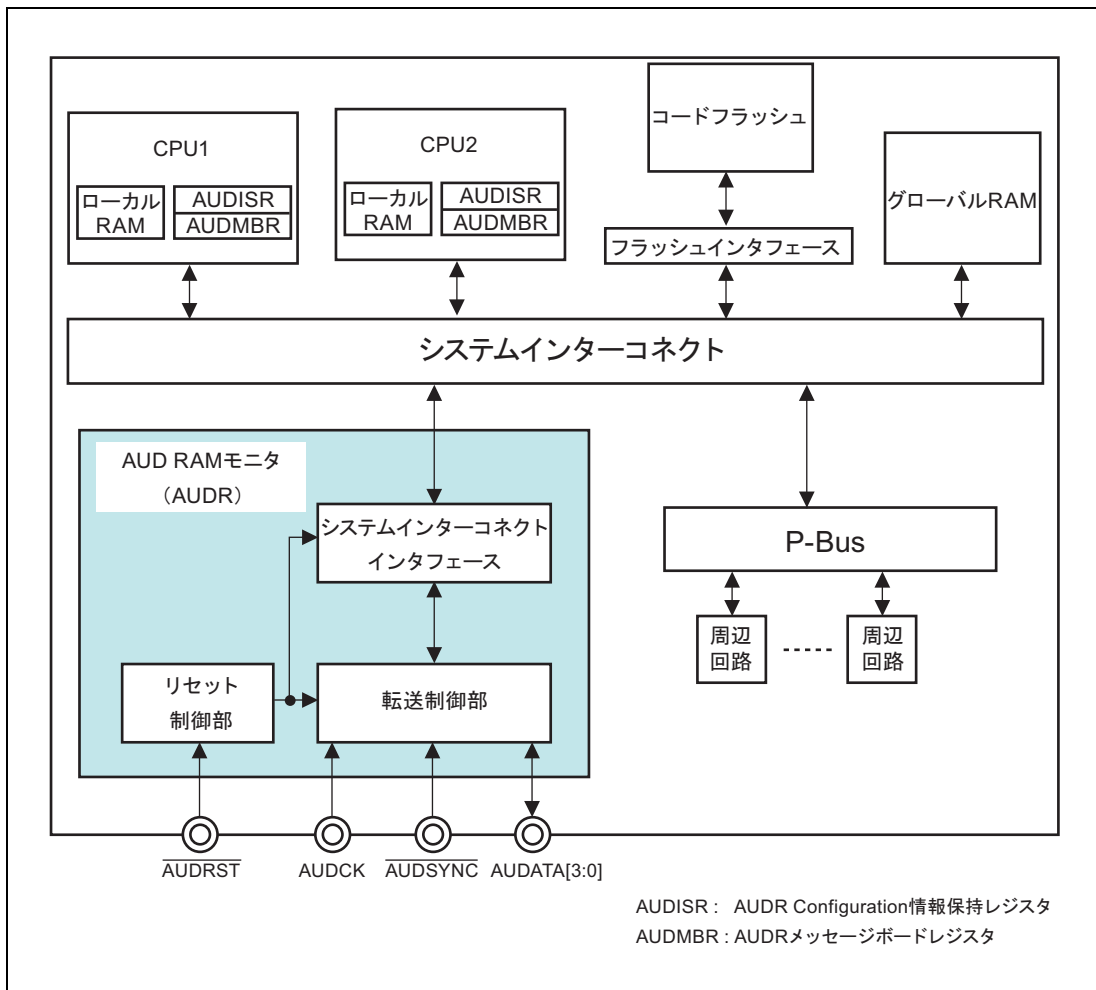


図 30.1 AUDR のブロック図

30.4.2 入出力端子

表 30.2 に AUDR の端子構成を示します。

表 30.2 端子構成

端子名	入出力	機能
AUDRST	入力	本端子は AUDR リセット入力端子です。 本端子に L を入力すると AUDR がリセット状態となります。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。 また、何も接続しないときは内部でプルダウンします。
AUDCK	入力	本端子は外部クロック入力端子です。 入力できるクロックの周波数は 20MHz 以下です。 また、何も接続しないときは内部でプルアップします。
AUDSYNC	入力	タイミング制御信号入力端子です。 L: コマンド、アドレス、書き込みデータを入力、状態フラグを出力 H: 読み出しデータを出力、アイドル状態 また、何も接続しないときは内部でプルアップします。 注意 本端子は外部から AUDATA にコマンド等を入力して、レディ状態になるまでネゲート (ハイレベルに) しないでください。詳細は後述のプロトコルを参照してください。
AUDATA3 ~ AUDATA0	入出力	4 ビットのパラレルデータ入出力端子です。 下記情報が時分割で入出力されます。 <ul style="list-style-type: none"> • コマンド (入力) • アドレス (入力) • ライトデータ (入力) / リードデータ (出力) • 状態フラグ (出力) また、何も接続しないときは内部でプルアップします。

30.4.3 レジスタの説明

表 30.3 に AUDR 関連のレジスタ構成を示します。

表 30.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	R/W	アドレス	アクセスサイズ	詳細解説
AUDR Configuration 情報保持レジスタ	AUDISR	000X _H 注1	R	FA00 5000 _H (CPU) 注4 F900 5000 _H (AUDR) 注4 F800 5000 _H (AUDR) 注4	16 注5	30.4.3.1
AUDR メッセージボードレジスタ	AUDMBR AUDMBRC	0000 _H	R/W 注2	FA00 5004 _H (CPU) 注4 F900 5004 _H (AUDR) 注4 F800 5004 _H (AUDR) 注4	16 注5	30.4.3.2
			R/W 注2, 注3	FA00 5008 _H (CPU) 注4 F900 5008 _H (AUDR) 注4 F800 5008 _H (AUDR) 注4		

注 1. ビット 3 ~ 0 に内部リセット解除時の AUDATA3 ~ AUDATA0 端子の値を保持します。

注 2. 値が 0 のビットへの 1 書き込みのみ可能です。値が 1 のビットへの 0 書き込みはできません。

注 3. 読み出し後すべてのビットが 0 にクリアされます。

注 4. AUDISR と AUDMBR/AUDMBRC は、CPU からアクセスするときのアドレスと AUDR からアクセスするときのアドレスが異なります

CPU からアクセスするときのアドレスは FA00 500x_H を使用してください。AUDR から CPU1 のレジスタにアクセスするときのアドレスは F900 500x_H を使用してください。AUDR から CPU2 のレジスタにアクセスするときのアドレスは F800 500x_H を使用してください。

「予約エリア」領域ですが、AUDR ツールと通信用に本アドレスはアクセス可能です。

注 5. 16 ビット (ハーフワード) 以外のサイズでアクセスした場合の動作は保証しません。

30.4.3.1 AUDISR — AUDR Configuration 情報保持レジスタ

AUDISR は、読み出し専用の 16 ビットのレジスタです。CPU および AUDR による読み出しが可能です。

CPU から AUDISR をアクセスするときのアドレスは、FA00 5000_H を使用してください。AUDR から CPU1 の AUDISR をアクセスするときのアドレスは、F900 5000_H を使用してください。

AUDR から CPU2 の AUDISR をアクセスするときのアドレスは、F800 5000_H を使用してください。

AUDISR は、AUDR リセットによって初期化されません。AUDR リセット中も CPU から AUDISR の読み出しは可能です。

AUDISR の想定使用用途は以下の通りです。

- Configuration 情報保持機能

内部リセット解除時の AUDATA3 ~ AUDATA0 端子の値を保持します。エミュレータの構成を AUDATA3 ~ AUDATA0 端子に設定することにより、プログラムでエミュレータの接続構成を判定することができます。

AUD RAM モニタ関連端子に何も接続されていない状態では、AUDATA3 ~ AUDATA0 端子はプルアップされており、000F_H が読み出されます。AUD RAM モニタツールが接続された状態では、AUDATA3 ~ AUDATA0 端子は 000F_H 以外の値に設定された後、CPU から AUDISR を読み出すことによってツールが接続されたことを判定できます。

また、AUDATA3 ~ AUDATA0 端子の値によって、どのツールベンダのツールが接続されたのかを判別することが可能です。

アクセスサイズ、アドレス、リセット後の値については、「表 30.3 レジスタ構成」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	DATA			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	AUDATA3 ~ AUDATA0 端子の値			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.4 AUDISR レジスタの内容

ビット位置	ビット名	機能
15 ~ 4	—	予約ビット。 読み出すと常に“0”が読み出されます。
3 ~ 0	DATA	内部リセット解除時の AUDATA3 ~ AUDATA0 端子の値を保持します。

30.4.3.2 AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ

AUDMBR/AUDMBRC は、読み出し/書き込み可能な 16 ビットのレジスタです。CPU および AUDR による読み出し/書き込みが可能です。

CPU から AUDMBR をアクセスするときのアドレスは、FA00 5004_H、FA00 5008_H を使用してください。

AUDR から CPU1 の AUDMBR をアクセスするときのアドレスは、F900 5004_H、F900 5008_H を使用してください。

AUDR から CPU2 の AUDMBR をアクセスするときのアドレスは、F800 5004_H、F800 5008_H を使用してください。

CPU が FA00 5008_H 番地から AUDMBRC を読み出すと、読み出し後に AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。CPU が FA00 5004_H 番地から AUDMBR を読み出した場合は、AUDMBR/AUDMBRC のビットはクリアされません。

AUDR が F900 5008_H 番地から AUDMBR を読み出すと、読み出し後に AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。AUDR が F900 5004_H 番地から AUDMBR を読み出した場合は、AUDMBR/AUDMBRC のビットはクリアされません。CPU2 の AUDMBR についても同様です。

CPU および AUDR はそれぞれ上記のアドレスから AUDMBR/AUDMBRC への書き込みが可能です。ただし、値が 1 のビットへの 0 の書き込みは無視されます (1 セットのみ可能)。

表 30.6 に AUDMBR の推奨アクセス方法を示します。

AUDMBR は、AUDR リセットによって初期化されません。AUDR リセット中も CPU から AUDMBR の読み出し/書き込みは可能です。

AUDMBR/AUDMBRC の想定使用用途は以下の通りです。

- 同期通信 (メッセージボード) 機能

CPU で動作するファームウェア (プログラム) が、エミュレータと通信するために利用するフラグレジスタとして、AUDMBR を使用し、RAM モニタ機能で読み出すことにより、ファームウェア (プログラム) の動作状況をエミュレータが知ることができます。

アクセスサイズ、アドレス、リセット後の値については、「**表 30.3 レジスタ構成**」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AUDMBR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.5 AUDMBR/AUDMBRC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	AUDMBR	AUDR、CPU 間通信フラグ

表 30.6 AUDMBR/AUDMBRC の推奨アクセス方法

ホスト	アドレス	アクセス方向	アクセス可否	備考
CPU	FA00 5004 _H (AUDMBR)	ライト	“1”のみ書き込み可能 “0”の書き込みは無視	—
		リード	リード可	読み出し後のクリア動作なし

表 30.6 AUDMBR/AUDMBRC の推奨アクセス方法

ホスト	アドレス	アクセス方向	アクセス可否	備考
AUDR	AUDMBR (CPU1) : F900 5008 _H	ライト	“1”のみ書き込み可能 “0”の書き込みは無視	—
	AUDMBR (CPU2) : F800 5008 _H (AUDMBRC)	リード	リード可	読み出し後に全ビットが“0”にクリアされる

30.4.4 RAM モニタ機能

30.4.4.1 通信プロトコル

AUDATA 端子に入力するコマンド、カウント値、アドレス、データは、**図 30.2** に示すフォーマットで入力してください。詳細については「**30.4.4.2 動作説明**」を参照してください。

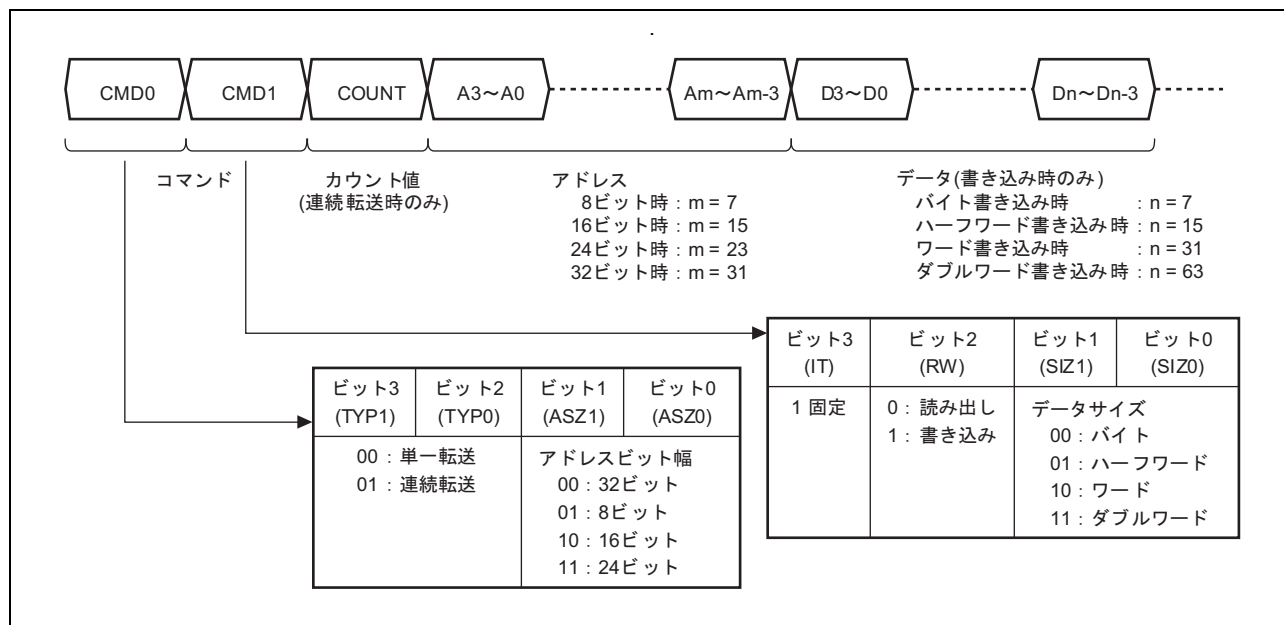


図 30.2 AUDATA 端子入力フォーマット

30.4.4.2 動作説明

(1) 単一転送

単一転送は、入力したアクセスアドレスに対して一つのデータを転送する転送方法です。図 30.3 に単一転送時のリード動作の例、図 30.4 に単一転送時のライト動作の例を示します。

AUDSYNC 端子がアサートされ、図 30.2 に示すフォーマットで AUDATA 端子にコマンド、アドレス、データ（書き込み時のみ）が入力されると、AUDR は指定されたアドレスの読み出し／書き込み動作を開始します。内部実行中 AUDR は Not Ready フラグ（“0000”）を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ（“0001”）を AUDATA 端子に出力します（図 30.3、図 30.4）。

読み出し時は Ready フラグの出力後、AUDSYNC 端子がネゲートされると AUDATA 端子から読み出しデータを出力します（図 30.3）。

読み出しデータ出力後、次のコマンドを入力するまでには、端子の入出力状態を切り替えるために、最低 1AUDCK サイクル間隔を空ける必要があります。

また、ライト完了後、AUDSYNC 端子をネゲートした後に、次のコマンドを入力する場合も、端子の入出力状態を切り替えるために、最低 1AUDCK サイクル間隔を空ける必要があります。つまり、AUDSYNC 端子のネゲート期間は、2AUDCK サイクルです。

CMD0、CMD1 に図 30.2 に示すコマンド以外が入力された場合、AUDR はコマンドエラーとして処理を無効にし、Ready フラグ内の CFLG ビットを“1”にセットします。また、内部実行でバスエラーとなった場合、処理を無効にし Ready フラグ内の BFLG ビットを“1”にセットします（図 30.5）。

エラー検出時は、リードデータの出力は行われません。

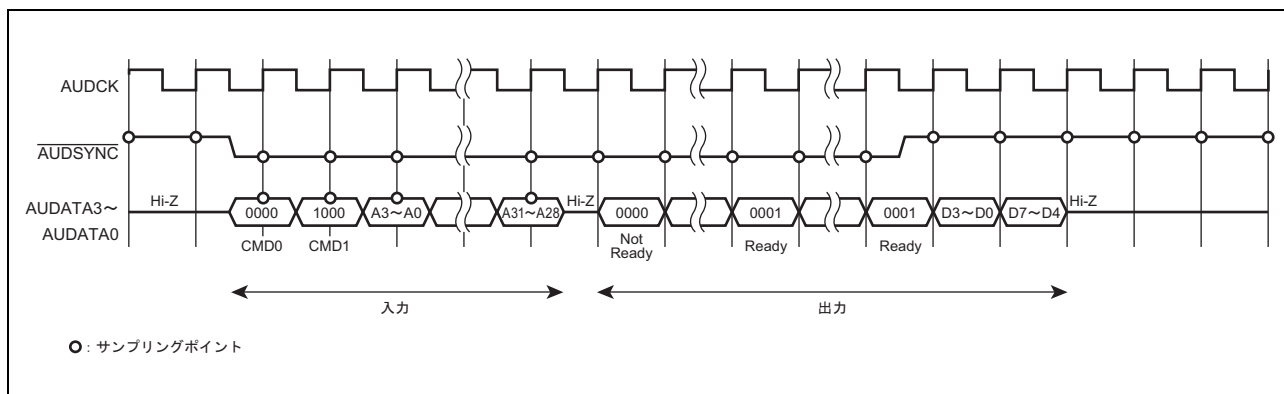


図 30.3 単一転送リード動作例（アドレス 32 ビット、バイトリード）

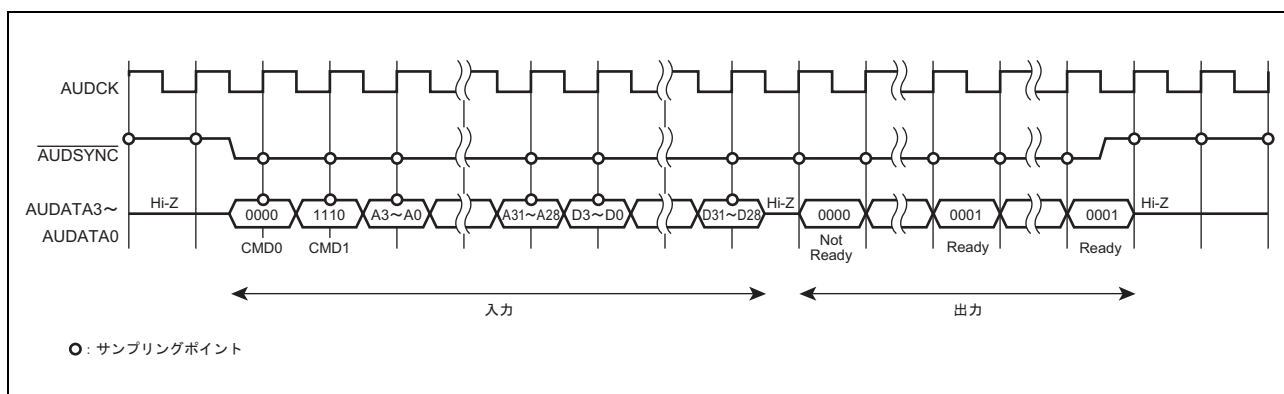


図 30.4 単一転送ライト動作例（アドレス 32 ビット、ワードライト）

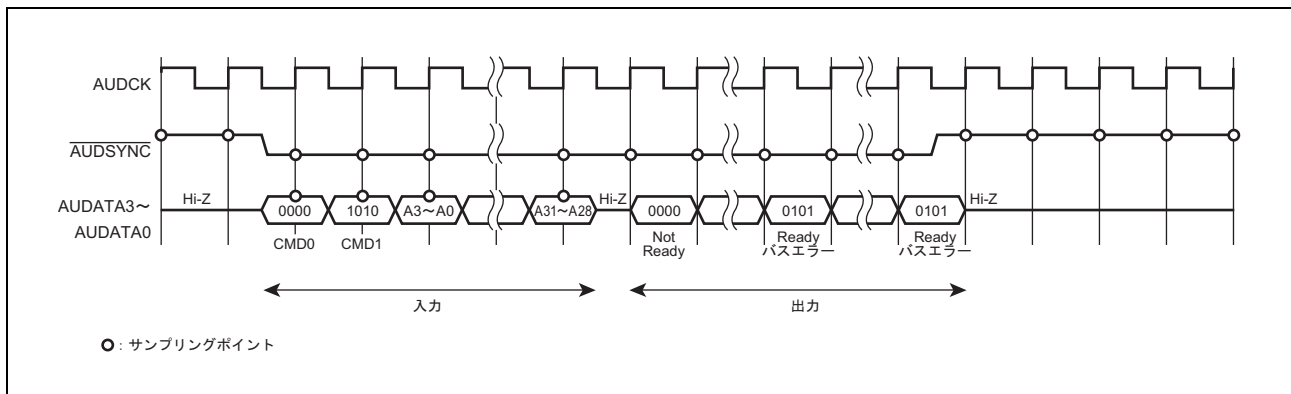


図 30.5 単一転送エラー発生例 (アドレス 32 ビット、ワードリード)

(2) 連続転送

連続転送は入力したアドレスから最大 16 個のデータを連続的に転送する転送方法です。アクセスアドレスは 1 回のデータ転送が完了するたびに、データサイズに応じて自動的にインクリメントされます。図 30.6 に連続転送時のリード動作の例、図 30.7 に連続転送時のライト動作の例を示します。

初回のデータ転送は、図 30.2 に示す COUNT (カウント値) を入力する必要がある点を除いて、単一転送と同一です。COUNT には転送するデータの個数 -1 を入力します。

2 回目以降のデータ転送は CMD0、CMD1、COUNT、アドレスの入力は省略されます。リード動作、ライト動作それぞれの 2 回目以降のデータ転送は以下のように行われます。

リード動作の場合、前回のデータ転送完了後、AUDSYNC 端子がアサートされると、内部実行中 AUDR は Not Ready フラグ (“0000”) を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ (“0001”) を AUDATA 端子に出力します。その後、AUDSYNC 端子がネゲートされると AUDATA 端子から読み出しデータを出力します。以降、COUNT で指定された個数のデータを読み出すまでこの動作を繰り返します (図 30.6)。

ライト動作の場合、前回のデータ転送完了後、AUDSYNC 端子がアサートされると AUDR は AUDATA 端子から書き込みデータを入力します。書き込みデータの入力後、AUDR は内部実行を開始します。内部実行中 AUDR は Not Ready フラグ (“0000”) を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ (“0001”) を AUDATA 端子に出力します。以降、COUNT で指定された個数のデータを書き込むまでこの動作を繰り返します (図 30.7)。

次の書き込みデータを入力するため AUDSYNC 端子を再アサートしますが、AUDSYNC 端子のネゲート期間は最小 2AUDCK サイクル必要です。

また、内部実行でバスエラーとなった場合、以降のデータ転送を中断し、Ready フラグ内の BFLG ビットを “1” にセットします (図 30.8)。

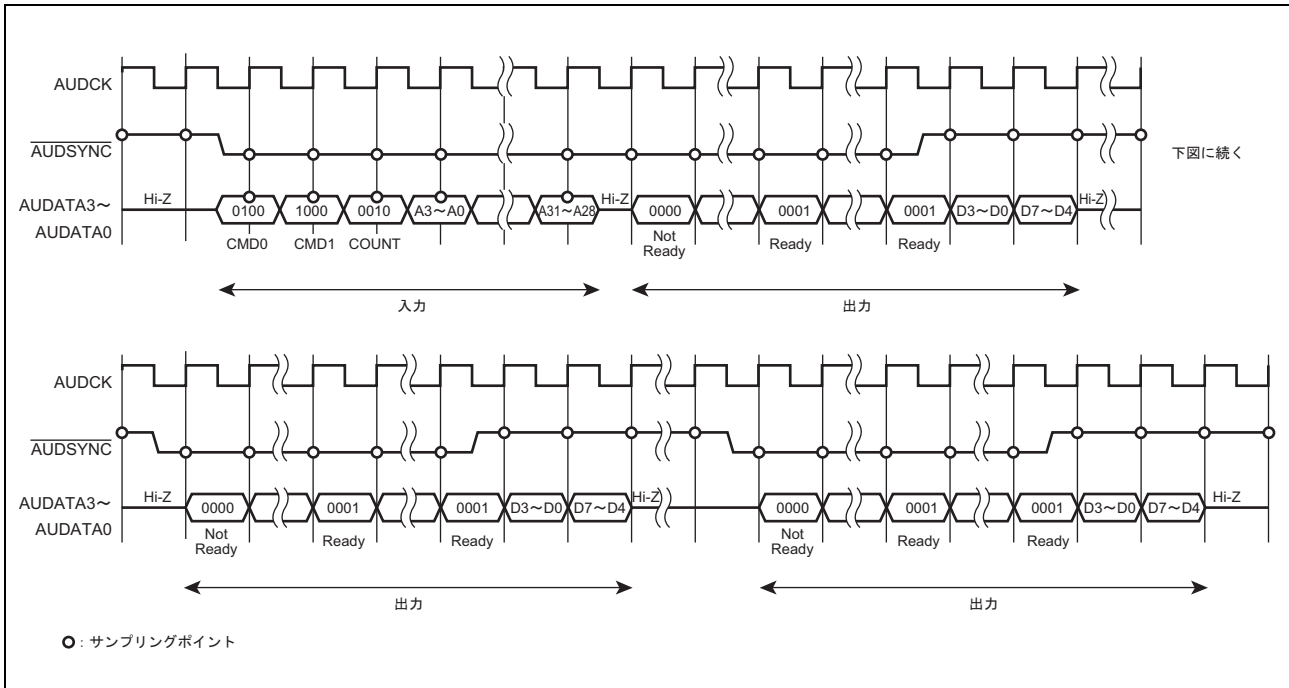


図 30.6 連続転送リード動作例 (アドレス 32 ビット、バイトリード x3 データ)

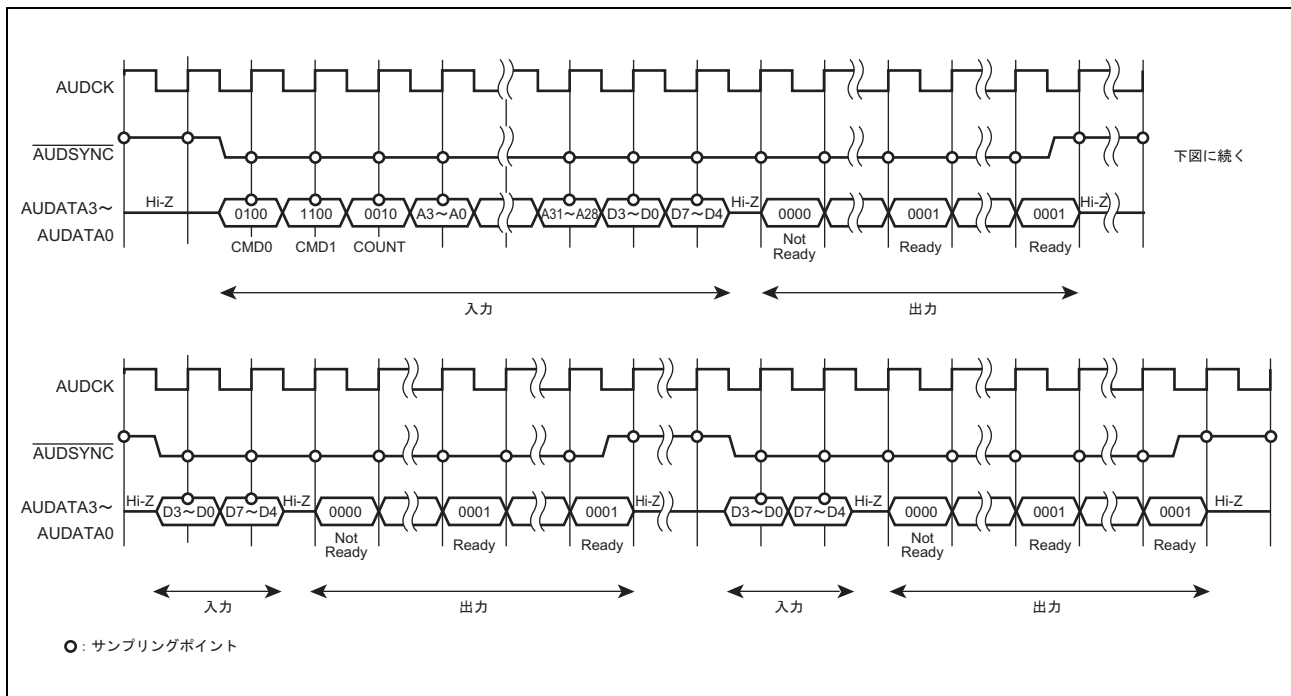


図 30.7 連続転送ライト動作例 (アドレス 32 ビット、バイトライト×3 データ)

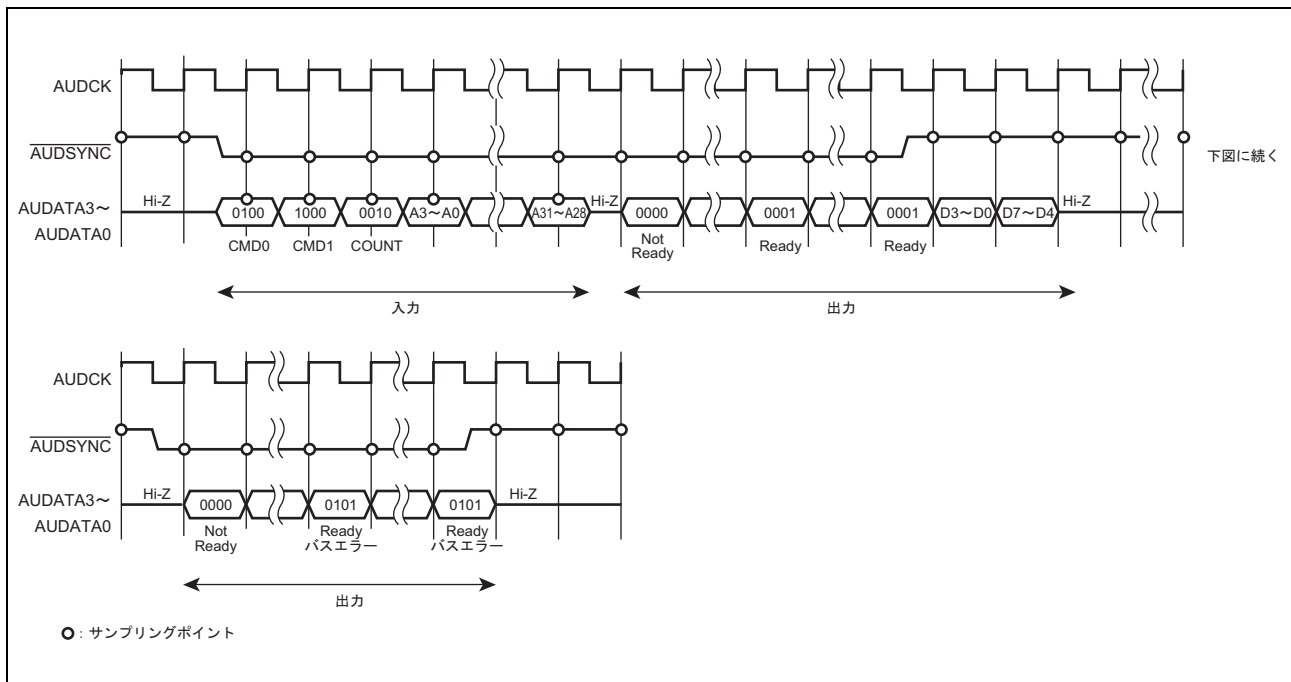


図 30.8 連続転送エラー発生例 (アドレス 32 ビット、バイトリード×3 データ)

(3) コマンドエラー条件

表 30.7 コマンド (CMD0) エラー条件

ビット3 (TYP1)	ビット2 (TYP0)	ビット1 (ASZ1)	ビット0 (ASZ0)	内容
0	0	0	0	単一転送 アドレスビット幅 32 ビット
0	0	0	1	単一転送 アドレスビット幅 8 ビット
0	0	1	0	単一転送 アドレスビット幅 16 ビット
0	0	1	1	単一転送 アドレスビット幅 24 ビット
0	1	0	0	連続転送 アドレスビット幅 32 ビット
0	1	0	1	連続転送 アドレスビット幅 8 ビット
0	1	1	0	連続転送 アドレスビット幅 16 ビット
0	1	1	1	連続転送 アドレスビット幅 24 ビット
1	x	x	x	コマンドエラー

表 30.8 コマンド (CMD1) エラー条件

ビット3 (IT)	ビット2 (RW)	ビット1 (SIZ1)	ビット0 (SIZ0)	内容
0	x	x	x	コマンドエラー
1	0	0	0	リードバイト
1	0	0	1	リード ハーフワード
1	0	1	0	リードワード
1	0	1	1	リードダブルワード
1	1	0	0	ライトバイト
1	1	0	1	ライト ハーフワード
1	1	1	0	ライトワード
1	1	1	1	ライトダブルワード

(4) バスエラー条件

- $4n+1$ 、 $4n+3$ 番地にハーフワードアクセス
- $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にワードアクセス
- $8n+1$ 、 $8n+2$ 、 $8n+3$ 、 $8n+4$ 、 $8n+5$ 、 $8n+6$ 、 $8n+7$ 番地にダブルワードアクセス
- システムバスからエラーレスポンスを受信

(5) AUDATA 端子入力フォーマット

表 30.9 入力フォーマットのビット配置

入力順	フォーマット名	ビット配置				○：必要、－：不要				
		AUDATA3	AUDATA2	AUDATA1	AUDATA0					
先 ↓ 後	CMD0	TYP1	TYP0	ASZ1	ASZ0	○				
	CMD1	IT	RW	SIZ1	SIZ0	○				
	COUNT	C3	C2	C1	C0	－：単一転送時、○：連続転送時				
	アドレス						8ビット	16ビット	24ビット	32ビット
		A3	A2	A1	A0	○	○	○	○	
		A7	A6	A5	A4	○	○	○	○	
		A11	A10	A9	A8	－	○	○	○	
		A15	A14	A13	A12	－	○	○	○	
		A19	A18	A17	A16	－	－	○	○	
		A23	A22	A21	A20	－	－	○	○	
		A27	A26	A25	A24	－	－	－	○	
	A31	A30	A29	A28	－	－	－	○		
	データ (ライト時のみ)						バイト ライト時	ハーフ ワード ライト時	ワード ライト時	ダブル ワード ライト時
		D3	D2	D1	D0	○	○	○	○	
		D7	D6	D5	D4	○	○	○	○	
		D11	D10	D9	D8	－	○	○	○	
		D15	D14	D13	D12	－	○	○	○	
		D19	D18	D17	D16	－	－	○	○	
		D23	D22	D21	D20	－	－	○	○	
		D27	D26	D25	D24	－	－	○	○	
		D31	D30	D29	D28	－	－	○	○	
		D35	D34	D33	D32	－	－	－	○	
		D39	D38	D37	D36	－	－	－	○	
		D43	D42	D41	D40	－	－	－	○	
		D47	D46	D45	D44	－	－	－	○	
		D51	D50	D49	D48	－	－	－	○	
		D55	D54	D53	D52	－	－	－	○	
D59	D58	D57	D56	－	－	－	○			
D63	D62	D61	D60	－	－	－	○			

表 30.10 CMD0 フォーマット

ビット名	機能	内容
TYP[1:0]	転送タイプ	00 : 単一転送 01 : 連続転送
ASZ[1:0]	アドレスビット幅を指定	AUDATA 端子から入力するアドレスのビット幅を指定します。 8、16、24 ビットを指定した場合、AUDATA 端子から入力されないアドレスの上位ビットは、前回のアクセスアドレスと同じ値が使用されます。 リセット解除後や、コマンドエラー/バスエラー発生後の最初のアクセスは、32 ビットのアドレスを入力してください。 00 : 32 ビット 01 : 8 ビット 10 : 16 ビット 11 : 24 ビット

注 1. 上記以外の設定を行ったときはコマンドエラーになります。

表 30.11 CMD1 フォーマット

ビット名	機能	内容
IT	アクセス空間を指定	"1" に設定してください。
RW	リード/ライトを指定	0 : リード 1 : ライト
SIZ[1:0]	データサイズを指定	アクセスするデータのサイズを指定します。 00 : バイト (8 ビット) 01 : ハーフワード (16 ビット) 10 : ワード (32 ビット) 11 : ダブルワード (64 ビット)

注 1. 上記以外の設定を行ったときはコマンドエラーになります。

表 30.12 COUNT フォーマット

ビット名	機能	内容
C3 ~ C0	転送データ数を指定	連続転送時の転送データ数を指定します。 0000 : 1 データ 0001 : 2 データ 0010 : 3 データ 0011 : 4 データ 0100 : 5 データ 0101 : 6 データ 0110 : 7 データ 0111 : 8 データ 1000 : 9 データ 1001 : 10 データ 1010 : 11 データ 1011 : 12 データ 1100 : 13 データ 1101 : 14 データ 1110 : 15 データ 1111 : 16 データ

表 30.13 アドレスフォーマット

ビット名	機能	内容
A31 ~ A0	アドレスを指定	アクセス先のアドレスを指定します。 CMD0の ASZ[1:0] ビットの指定により必要なビット数が増減します (詳細は表 30.9 を参照してください)。

表 30.14 ライトデータフォーマット

ビット名	機能	内容
D63 ~ D0	ライトデータを指定	ライトデータを指定します。 CMD1の SIZ[1:0] ビットの指定により必要なビット数が増減します (詳細は表 30.9 を参照してください)。

(6) AUDATA 端子出力フォーマット

表 30.15 Ready フラグフォーマット

ビット配置	ビット名	機能	内容
AUDATA3	0	—	—
AUDATA2	BFLG	バスエラーの発生を示します。	0 : 正常 1 : バスエラー発生
AUDATA1	CFLG	コマンドエラーの発生を示します。	0 : 正常 1 : コマンドエラー発生
AUDATA0	RFLG	AUDR の動作完了を示します。	0 : Not Ready 1 : Ready

表 30.16 リードデータのビット配置

出力順	ビット配置				○ : 必要、— : 不要			
	AUDATA3	AUDATA2	AUDATA1	AUDATA0	バイト リード時	ハーフ ワード リード時	ワード リード時	ダブル ワード リード時
先 ↓ 後	D3	D2	D1	D0	○	○	○	○
	D7	D6	D5	D4	○	○	○	○
	D11	D10	D9	D8	—	○	○	○
	D15	D14	D13	D12	—	○	○	○
	D19	D18	D17	D16	—	—	○	○
	D23	D22	D21	D20	—	—	○	○
	D27	D26	D25	D24	—	—	○	○
	D31	D30	D29	D28	—	—	○	○
	D35	D34	D33	D32	—	—	—	○
	D39	D38	D37	D36	—	—	—	○
	D43	D42	D41	D40	—	—	—	○
	D47	D46	D45	D44	—	—	—	○
	D51	D50	D49	D48	—	—	—	○
	D55	D54	D53	D52	—	—	—	○
	D59	D58	D57	D56	—	—	—	○
	D63	D62	D61	D60	—	—	—	○

表 30.17 リードデータフォーマット

ビット名	機能	内容
D63 ~ D0	リードデータ出力	CMD1 の SIZ[1:0] ビットの指定により出力されるビット数が変化します (詳細は表 30.16 を参照してください)。

30.4.4.3 AUDR 機能に関する使用上の注意事項

- AUDSYNC 端子は AUDATA 端子にコマンドが入力されて、Ready 返却後の 1AUDCK 期間までネゲートしないでください。
- 未初期化のメモリへ AUDR でアクセスした場合、ECC エラーの検出によりバスエラーとなる場合があります。

30.4.4.4 RAM モニタ機能の有効/無効設定

AUDR はオプションバイト (AUDREN) によって有効/無効の指定が可能です。

AUDREN : AUDR のイネーブルビット

オプションバイトの設定方法に関しては「**第 31 章 フラッシュメモリ**」を参照してください。

備 考

シリアルプログラミングモード時は、本設定に関係なく AUDR は無効となります。

30.5 オンチップデバッグ使用上の注意

(1) デバッグに使用したデバイスの処理

デバッグに使用したデバイスを量産製品に搭載しないでください。デバッグ中にフラッシュメモリが書き換えられているため、フラッシュメモリの書き換え回数を保証できません。

(2) ホットプラグアウト機能

本製品は、デバッグモード中にデバッグツールの電源 OFF (コネクタ抜去含む) に対応する、ホットプラグアウト機能をサポートしていません。デバッグモード中に NEXUS ツールの電源 OFF (コネクタ抜去含む) を行わないでください。

(3) オンチップデバッグ終了時の処理

オンチップデバッグを終了する際は、DCUTRST 端子と外部リセット端子をロウレベルにしてください。

(4) デバッグ使用時の注意

デバッグを使用する際、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンに書き込まれているプログラムがリセットベクタから動作します。このため、お客様の意図せず動作することがあるため、注意が必要です。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。

第31章 フラッシュメモリ

本製品は、Code Flash メモリと Data Flash メモリを内蔵しています。

31.1 特長

- Code Flash メモリ容量：ユーザ領域 4 M バイト (2BANK 構成)、
ユーザブート領域 32 K バイト
- Data Flash メモリ容量：データ領域 32 K バイト
- 書き換え方式
 - 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介した書き換え (シリアルプログラミング)
 - ユーザプログラムによるフラッシュメモリの書き換え (セルフプログラミング)
- フラッシュメモリの不正改ざん／不正読み出しを防止するセキュリティ機能をサポート
- フラッシュメモリの誤書き換えを防止するプロテクション機能をサポート
- フラッシュメモリの誤り検出／訂正機能をサポート
- BGO (Back Ground Operation) 機能をサポート
 - Data Flash メモリ書き換え中の Code Flash メモリ読み出しが可能
- 本製品の初期設定を、フラッシュメモリの拡張領域 (オプションバイト) に設定可能

31.2 メモリ構成

図 31.1 に、Code Flash メモリマッピングを示します。本製品の Code Flash メモリのユーザ領域は 8 KB または 32 KB のブロックに分割されており、各ブロック単位で消去可能です。ユーザ領域は、ユーザプログラムの格納領域として利用可能です。

セルフプログラミングでは書き換えられない保護領域として、32 KB のユーザブート領域を 1 ブロック内蔵しています。ユーザブート領域は、ユーザ任意のインタフェースを使用した Code Flash メモリ書き換え用ブートプログラムなど、ユーザプログラム動作時の書き換えを禁止したいブートプログラム等の格納領域として利用可能です。

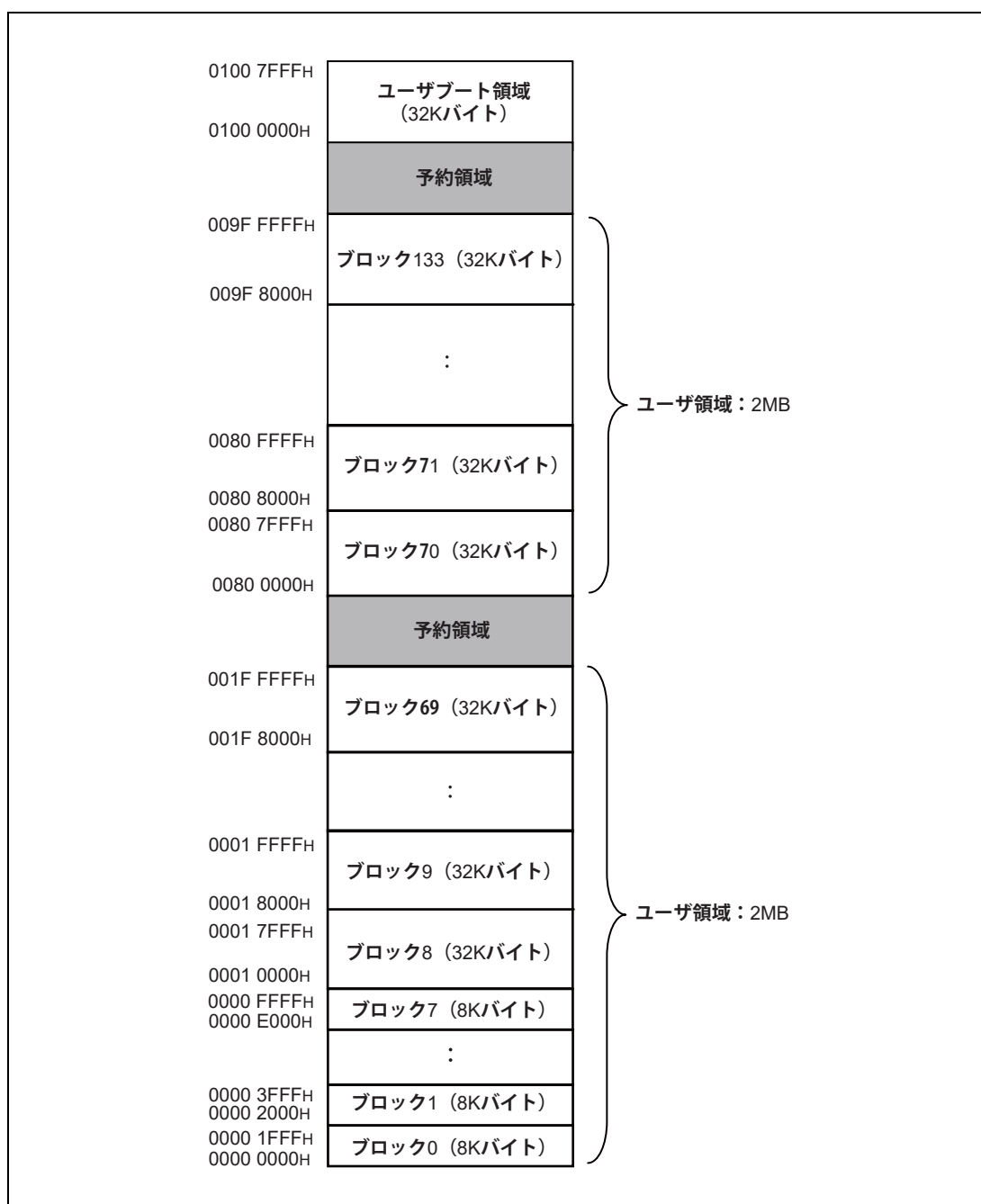


図 31.1 Code Flash メモリマッピング (8 KB × 8 + 32 KB × 126 構成) _C1H

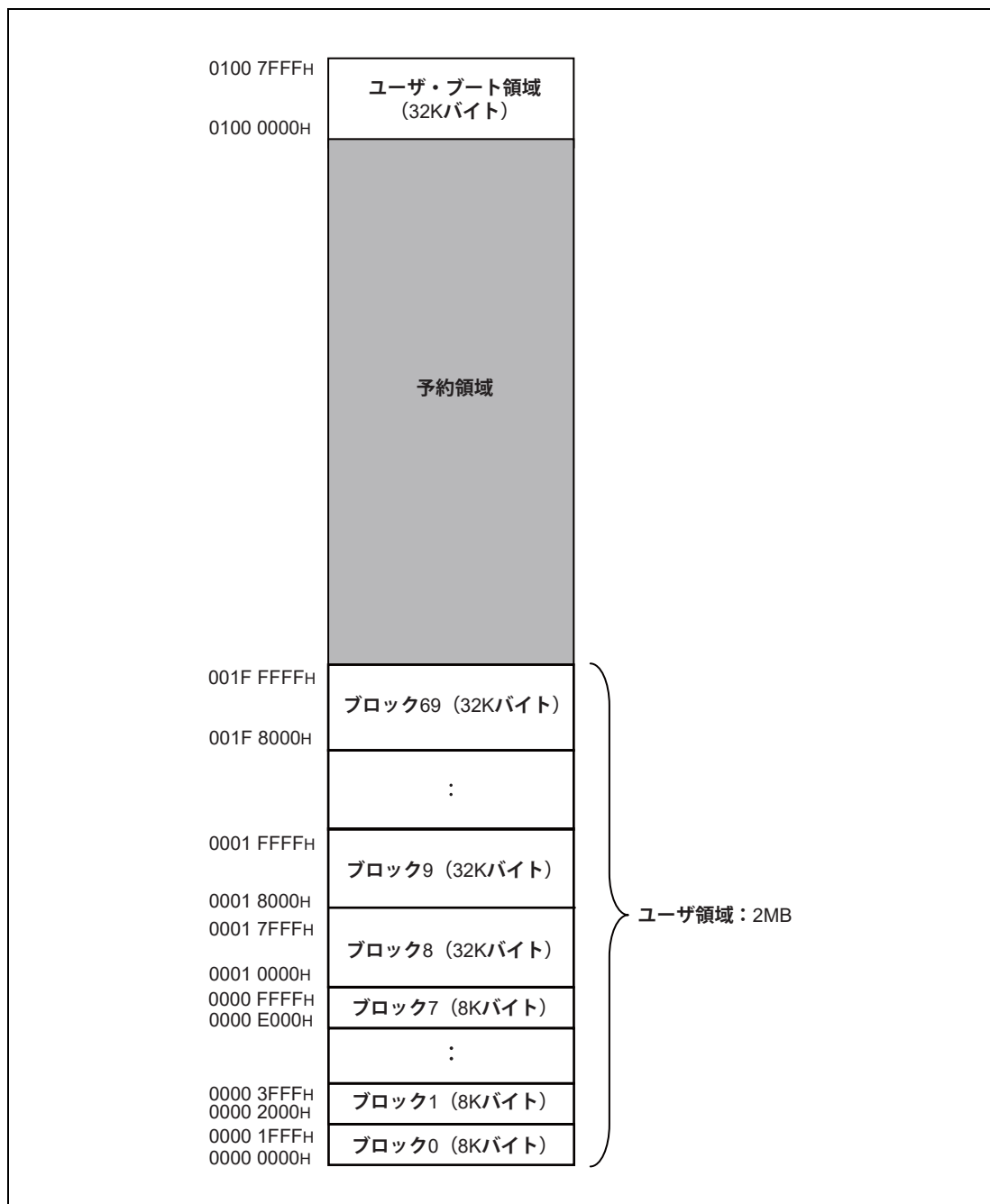


図 31.2 Code Flash メモリマッピング (8 KB × 8 + 32 KB × 62 構成) _C1M

本製品の Data Flash メモリのデータ領域は 64 B のブロックに分割されており、各ブロック単位で消去可能です。図 31.3 に、Data Flash メモリマッピングを示します。

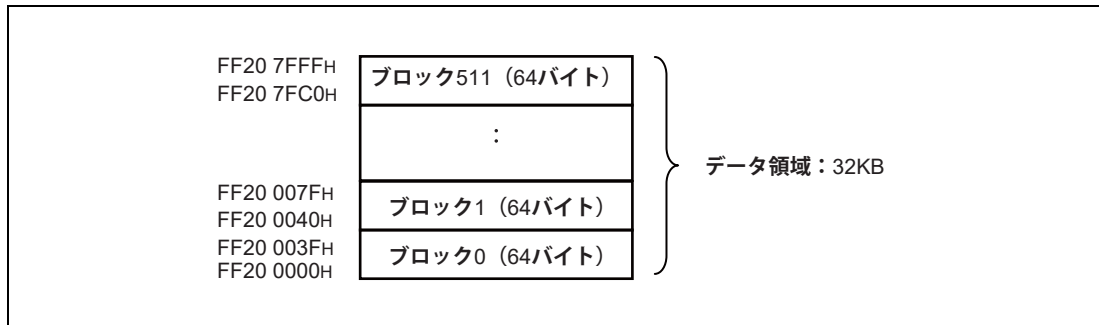


図 31.3 Data Flash メモリマッピング (64B × 512 構成)

31.3 フラッシュメモリ関連の動作モード

図 31.4 にフラッシュメモリに関するモードの遷移図を示します。モード設定の方法については「第 5 章 動作モード」を参照してください。

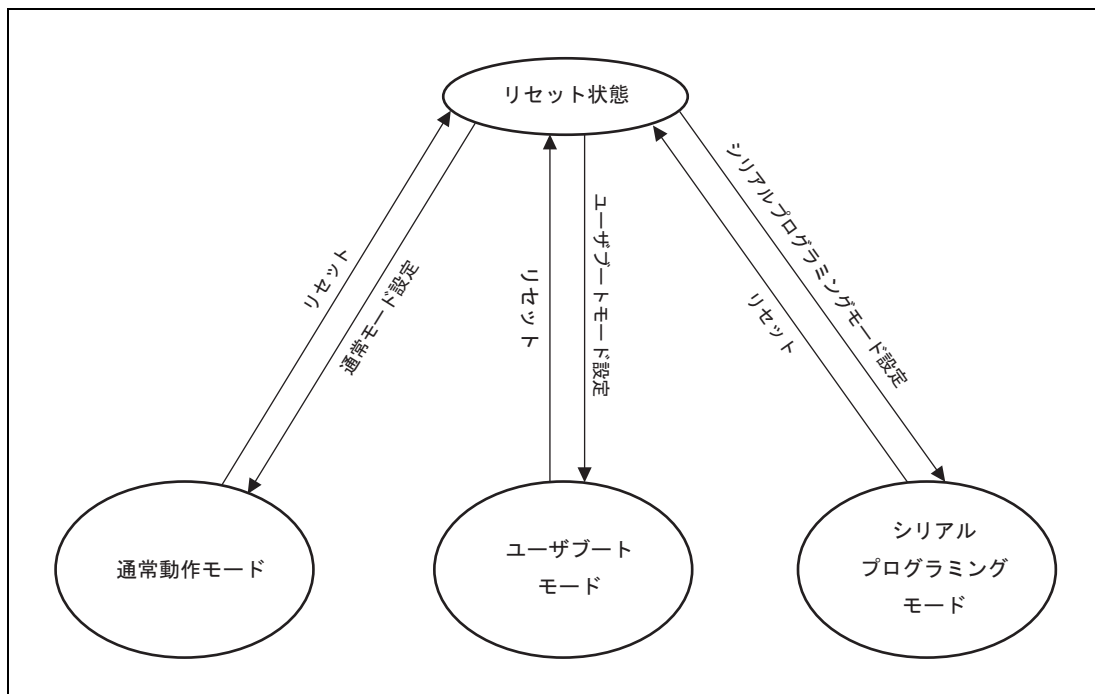


図 31.4 フラッシュメモリに関するモード遷移図

各モードで書き込み／消去が可能なフラッシュメモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を表 31.1 にまとめます。

表 31.1 各モードの相違点

項目	通常動作モード ^{注1}	ユーザブートモード	シリアルプログラミングモード
書き込み／消去が可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域	ユーザ領域 ユーザブート領域 データ領域
リセット時の起動プログラム	ユーザ領域のプログラム	ユーザブート領域のプログラム	シリアルプログラミング用組み込みプログラム

注 1. 通常動作モードとは、起動領域がユーザ領域であるユーザブートモードのことを指しています。

31.4 機能概要

本製品の内蔵フラッシュメモリは、専用フラッシュメモリプログラマによるシリアルインタフェース通信を介した書き換え（シリアルプログラミング）により、ターゲットシステムへの実装前、実装後にかかわらず書き換えが可能です。

また、内蔵フラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザプログラムによる書き換え機能（セルフプログラミング）は、ターゲットシステムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

各書き換え方式の概要と対応する動作モードを、**表 31.2** に示します。

表 31.2 書き換え方法

書き換え方法	機能概要	動作モード
シリアルプログラミング	専用フラッシュメモリプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	専用フラッシュメモリプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングにより Code Flash メモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。 セルフプログラミングによる Data Flash メモリの書き換え時には、BGO 機能により Code Flash メモリからの命令フェッチおよびデータの読み出しが可能です。このため、Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。 セルフプログラミングによる Code Flash メモリの書き換え時には、Code Flash メモリからの命令フェッチおよびデータアクセスはできません。 Local RAM または Global RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード ユーザブートモード

セルフプログラミングを実施する場合には、本製品の対象となる「RH850/C1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編」のユーザーズマニュアルを参照してください。

内蔵フラッシュメモリの機能一覧を表 31.3 に示します。シリアルプログラミングにおける各機能は、専用フラッシュメモリプログラムのコマンドで実現されます。セルフプログラミングにおける各機能は、フラッシュメモリのハードウェアインタフェース操作、またはユーザープログラムによる内蔵フラッシュメモリの読み出しで実現されます。

表 31.3 基本機能一覧

機能	機能概要	サポートの有無 (○：サポート、△：条件付サポート×：未サポート)	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態の Code Flash メモリと Data Flash メモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランクチェックを使用してください。	○	○
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みを行います。	○	○
ベリファイ/ チェックサム	フラッシュメモリから読み出したデータと、フラッシュメモリプログラマから転送されたデータの比較を行います。	○	○
リード	フラッシュメモリに書き込まれたデータの読み出しを行います。	○	○
OTP (One Time Programming) 設定	指定した Code Flash メモリのブロックに対する OTP の設定を行います (OTP を設定することのみ可能、解除は不可能)。	○	○
ID 設定	シリアルプログラミング時の専用フラッシュメモリプログラマ接続制御、セルフプログラミングによる Code Flash メモリ書き込みの有効化に使用する ID の設定を行います。	○	○
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	○	△ (設定を許可から禁止にする場合のみ可能)
プロテクション設定	Code Flash メモリの各ブロックのロックビットの設定を行います。	○	○
オプションバイト設定	オプションバイトの設定を行い、本製品の初期設定を変更します。	○	○
コンフィグレーション クリア	ID 設定、セキュリティ設定、プロテクション設定、オプションバイト設定を初期化します。	○	×

シリアルプログラミングの詳細については、「PG-FP5 フラッシュメモリプログラマユーザズマニュアル」、「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザズマニュアル」を参照してください。

セルフプログラミングの詳細につきましては、本製品の対象となる「RH850/C1x フラッシュメモリユーザズマニュアルハードウェアインタフェース編」のユーザズマニュアルをご参照ください。

内蔵フラッシュメモリは、各種のセキュリティ機能をサポートしています。

OTP と ID 認証は、シリアルプログラミングおよびセルフプログラミングともに使用できるセキュリティ機能です。

シリアルプログラミング時は、ID 認証、専用フラッシュメモリプログラマ接続禁止、コマンド禁止（ブロック消去コマンド禁止／プログラムコマンド禁止／リードコマンド禁止）のいずれかのセキュリティ機能を使用可能です。

内蔵フラッシュメモリでサポートされるセキュリティ機能を表 31.4 に、セキュリティ設定時の動作を表 31.5 に示します。

表 31.4 セキュリティ機能一覧

機能	機能概要
OTP	Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。
専用フラッシュメモリプログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去→ユーザブート領域を消去→データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。

表 31.5 セキュリティ設定時の動作

機能	各セキュリティ設定時の消去/書き込み/読み出し動作 (○: 実行可能、×: 実行不可、-: 未サポート)		セキュリティ設定 注意事項	
	シリアルプログラミング	セルフプログラミング	シリアルプログラミング	セルフプログラミング
OTP	<ul style="list-style-type: none"> OTP 設定された領域 ブロック消去コマンド: × プログラムコマンド: × リードコマンド: ○ OTP 設定されていない領域 ブロック消去コマンド: ○ プログラムコマンド: ○ リードコマンド: ○ 	<ul style="list-style-type: none"> OTP 設定された領域 ブロック消去: × 書き込み: × 読み出し: ○ OTP 設定されていない領域 ブロック消去: ○ 書き込み: ○ 読み出し: ○ 	OTP 設定の解除が不可能 コンフィグレーションコマンドの実行が不可能	OTP 設定の解除が不可能
ID 認証	<ul style="list-style-type: none"> ID が不一致の場合 ブロック消去コマンド: × プログラムコマンド: × リードコマンド: × ID が一致した場合 ブロック消去コマンド: ○ プログラムコマンド: ○ リードコマンド: ○ 	<ul style="list-style-type: none"> ID が不一致の場合 <ul style="list-style-type: none"> Code Flash メモリ ブロック消去: × 書き込み: × 読み出し: ○ Data Flash メモリ ブロック消去: ○ 書き込み: ○ 読み出し: ○ ID が一致した場合 ブロック消去: ○ 書き込み: ○ 読み出し: ○ 	コンフィグレーションコマンドによる禁止設定の初期化が可能 ブロック消去コマンド禁止の設定が不可能 プログラムコマンド禁止の設定が不可能 リードコマンド禁止の設定が不可能	ID 認証機能は常に有効
専用フラッシュメモリプログラマ接続禁止	ブロック消去コマンド: × プログラムコマンド: × リードコマンド: ×	ブロック消去: ○ 書き込み: ○ 読み出し: ○	コンフィグレーションコマンドの実行が禁止されるため、禁止設定の初期化が不可能	コンフィグレーションコマンドが未サポートのため、禁止設定の初期化が不可能
ブロック消去コマンド禁止	ブロック消去コマンド: × プログラムコマンド: ○ リードコマンド: ○	ブロック消去: ○ 書き込み: ○ 読み出し: ○	コンフィグレーションコマンドの実行が禁止されるため、禁止設定の初期化が不可能 シリアルプログラミング用の ID 認証機能の有効設定が不可能	コンフィグレーションコマンドが未サポートのため、禁止設定の初期化が不可能
プログラムコマンド禁止	ブロック消去コマンド: × ^{注1} プログラムコマンド: × リードコマンド: ○	ブロック消去: ○ 書き込み: ○ 読み出し: ○	コンフィグレーションコマンドによる禁止設定の初期化が可能	コンフィグレーションコマンドが未サポートのため、禁止設定の初期化が不可能
リードコマンド禁止	ブロック消去コマンド: ○ プログラムコマンド: ○ リードコマンド: ×	ブロック消去: ○ 書き込み: ○ 読み出し: ○	シリアルプログラミング用の ID 認証機能の有効設定が不可能	

注 1. ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去→ユーザブート領域を消去→データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。

内蔵フラッシュメモリは、各種のプロテクション機能をサポートしています。内蔵フラッシュメモリでサポートされるプロテクション機能を表 31.6 に示します。

表 31.6 プロテクション機能一覧

機能	機能概要
ブロック保護	Code Flash メモリのユーザ領域の各ブロックに対して、個別に書き込み/消去の有効/無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフプログラミングで書き込み/消去禁止です。 ロックビット機能を有効から無効に変更することで、再度書き込み/消去を実施することも可能です。Code Flash メモリをブロック消去すると、該当ブロックのロックビットも消去されます。
ユーザブート保護	ユーザブート領域は、セルフプログラミングでは書き込み/消去禁止です。 シリアルプログラミングでは、ユーザブート領域を書き込み/消去することが可能です。

31.5 シリアルプログラミング

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリの書き込みを行うことができます。

シリアルプログラミング

シリアルプログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはターゲットマイクロコントローラに書き込みを行うことができます。

31.5.1 プログラミング環境

マイクロコントローラのフラッシュメモリにデータを書き込むための推奨される環境を次に示します。

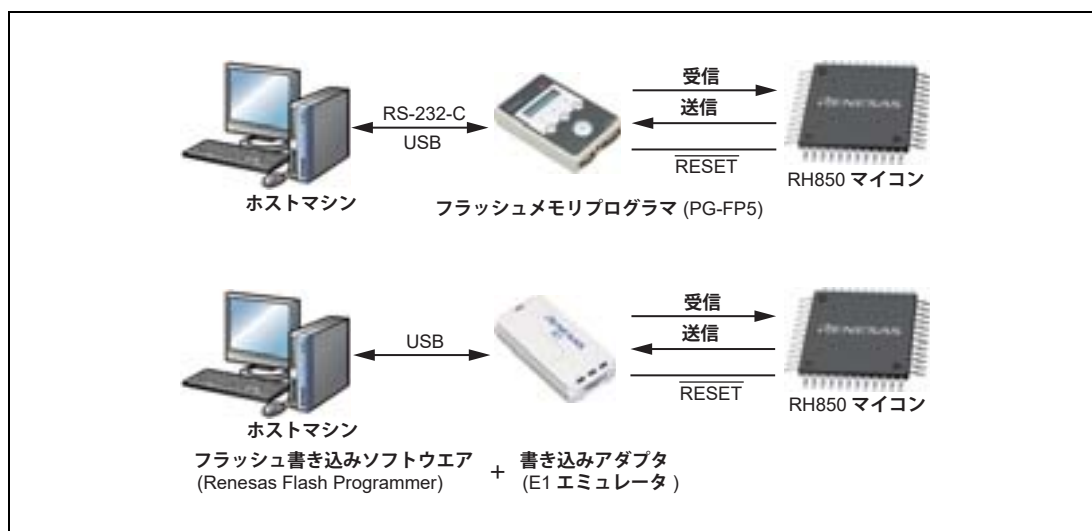


図 31.5 フラッシュメモリにプログラムを書き込むための環境

フラッシュメモリプログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer（ホストマシンで動作）と E1 エミュレータを書き込みアダプタとして使用することで、ルネサスエレクトロニクス製のフラッシュメモリ内蔵マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュメモリプログラマ PG-FP5 は、ホストマシンからの書き込み操作、または、スタンドアロンモードでの書き込み操作が可能です。

フラッシュ書き込みソフトウェア（Renesas Flash Programmer）は、ホストマシンから書き込み操作が可能です。

備考： PG-FP5 の詳細は『PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル』を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は『Renesas Flash Programmer フラッシュ書き込み ソフトウェアユーザーズマニュアル』を参照してください。

31.6 通信方式の選択

本製品では、FLMODE 端子によりシリアル通信の方式を、2 線 UART 方式とクロック同期方式のどちらかを選択することが可能です。FLMODE 端子設定方法の詳細は「**第5章 動作モード**」を参照してください。各通信方式に沿ったプログラミング環境の設定方法は、「*PG-FP5 フラッシュメモリプログラマユーザズマニュアル*」および、「*Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザズマニュアル*」を参照してください。

31.7 セルフプログラミング

31.7.1 概要

本製品は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。フラッシュメモリ書き換え用のハードウェアインタフェースであるフラッシュアプリケーションコマンドインタフェース (FACI) のコマンドをユーザプログラムで使用することにより、Code Flash メモリと Data Flash メモリを書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

Data Flash メモリの書き換え時には、BGO 機能を利用して Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。また、あらかじめ Local RAM または Global RAM に転送した書き換え用のプログラムを実行して、Data Flash メモリを書き換えることもできます。

フラッシュセルフプログラミングに関する包括的な情報は、本製品の対象となる「*RH850/C1x フラッシュメモリユーザズマニュアルハードウェアインタフェース編*」のユーザズマニュアルを参照してください。

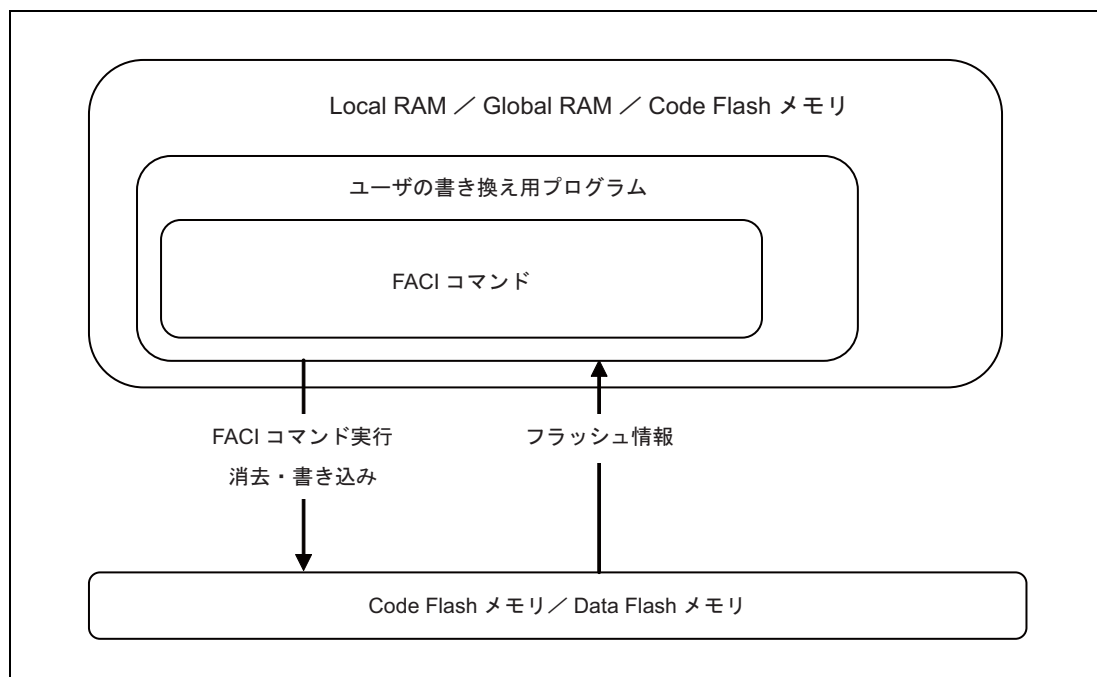


図 31.6 セルフプログラミング概念

31.7.2 BGO 機能

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが下記の組み合わせである場合には、BGO 機能を利用することができます。

表 31.7 BGO 機能を利用可能な条件

書き換え対象領域	読み出し対象領域
Data Flash メモリ	Code Flash メモリ

31.8 フラッシュメモリの読み出し

31.8.1 Code Flash メモリの読み出し

通常モードおよびユーザブートモードの Code Flash メモリの読み出し時には、特別な設定は必要ありません。Code Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリを読み出すと、ECC エラーが検出されて例外が発生しますのでご注意ください。また、ECC エラーが発生した場合のデータ値は保証できないため、未書き込み状態の確認には、ブランクチェック機能を使用してください。ECC 機能の詳細は「**第 27 章 ファンクショナルセーフティ**」を参照してください。

31.8.2 Data Flash メモリの読み出し

通常モードおよびユーザブートモードの Data Flash メモリの読み出し時には、事前に FRDCYCLD レジスタに Data Flash メモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後に Data Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Data Flash メモリの値は不定です。未書き込み状態の確認には、ブランクチェック機能を使用してください。

31.9 レジスタの説明

31.9.1 Data Flash メモリ関連のレジスタ

表 31.8 に、Data Flash メモリ関連のレジスタ一覧を示します。

表 31.8 Data Flash メモリ関連のレジスタ一覧

モジュール名	レジスタ名	略称	R/W	リセット後の値	アドレス	アクセス サイズ
FLASH	Data Flash メモリ 読み出しサイクル 設定レジスタ	FRDCYCLD	R/W	0F _H	FFC5 9810 _H	8

31.9.1.1 FRDCYCLD — Data Flash メモリ読み出しサイクル設定レジスタ

本レジスタは、Data Flash メモリの読み出しサイクルを設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC5 9810_H

リセット後の値 0F_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FRDCYCLD[3:0]			
リセット後の値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 31.9 FRDCYCLD レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	—	予約ビット
3 ~ 0	FRDCYCLD [3:0]	Data Flash メモリ読み出しサイクル数 設定値 + 1 サイクルで、Data Flash メモリを読み出します。 0 _H -2 _H : 設定禁止 3 _H : リードサイクル 4 4 _H : リードサイクル 5 5 _H : リードサイクル 6 6 _H : リードサイクル 7 7 _H : リードサイクル 8 8 _H : リードサイクル 9 9 _H -F _H : リードサイクル 10

備考 1 リードサイクルは、CLK_LSB です。

31.9.2 フラッシュメモリ書き込み消去プロテクト関連レジスタ

表 31.10 に、フラッシュメモリ書き込み消去プロテクト関連のレジスタ一覧を示します。

表 31.10 フラッシュメモリ書き込み消去プロテクト関連のレジスタ一覧

モジュール名	レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
FLASH	FHVE15 コントロールレジスタ	FHVE15	R/W	0000 0000 _H	FFF8 A430 _H	32
FLASH	FHVE3 コントロールレジスタ	FHVE3	R/W	0000 0000 _H	FFF8 2410 _H	32

31.9.2.1 FHVE15 — FHVE15 コントロールレジスタ

FHVE15 レジスタは、フラッシュ書き込み/消去/ブランクチェック実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。フラッシュ書き込み/消去/ブランクチェックのためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み/消去/ブランクチェック可能な状態 (0000 0001_H) に設定してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 A430_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE15CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.11 FHVE15 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	予約ビット
0	FHVE15CNT	0: 書き込み/消去/ブランクチェック不可能 1: 書き込み/消去/ブランクチェック可能

31.9.2.2 FHVE3 — FHVE3 コントロールレジスタ

FHVE3 レジスタは、フラッシュ書き込み/消去/ブランクチェック実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。フラッシュ書き込み/消去/ブランクチェックのためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み/消去/ブランクチェック可能な状態 (0000 0001_H) に設定してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2410_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE3 CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.12 FHVE3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	—	予約ビット
0	FHVE3CNT	0: 書き込み/消去/ブランクチェック不可能 1: 書き込み/消去/ブランクチェック可能

31.9.3 製品情報関連レジスタ

表 31.13 に、製品情報関連のレジスタ一覧を示します。

表 31.13 製品情報関連のレジスタ一覧

モジュール名	レジスタ名	略称	R/W	リセット後の値	アドレス	アクセス サイズ
FLASH	製品名格納レジスタ (1)	PRDNAME1	R	表 31.14 を参照	FFCD 00D0 _H	32
FLASH	製品名格納レジスタ (2)	PRDNAME2	R	表 31.14 を参照	FFCD 00D4 _H	32
FLASH	製品名格納レジスタ (3)	PRDNAME3	R	表 31.14 を参照	FFCD 00D8 _H	32
FLASH	製品名格納レジスタ (4)	PRDNAME4	R	表 31.14 を参照	FFCD 00DC _H	32

表 31.14 製品名と PRDNAME 初期値 (リセット後の値) の関係

製品型名	PRDNAME4	PRDNAME3	PRDNAME2	PRDNAME1
R7F701270	2020 2020 _H	2020 2030 _H	3732 3130 _H	3746 3752 _H
R7F701271	2020 2020 _H	2020 2031 _H	3732 3130 _H	3746 3752 _H

31.9.3.1 PRDNAME_n[31:16] (n = 1 ~ 4) — 製品名格納レジスタ

製品名を格納するレジスタです。製品型名が 16 バイトの ASCII コードで格納され、PRDNAME1, PRDNAME2, PRDNAME3, PRDNAME4 は、それぞれ、製品型名の 4 ~ 1 バイト目、8 ~ 5 バイト目、12 ~ 9 バイト目、16 ~ 13 バイト目に該当します。

アクセス 32 ビット単位でリード可能です。

アドレス PRDNAME1 : FFCD 00D0_H
 PRDNAME2 : FFCD 00D4_H
 PRDNAME3 : FFCD 00D8_H
 PRDNAME4 : FFCD 00DC_H

リセット後の値 C1x 製品名 初期値 (PRDNAME_n, n = 1 ~ 4)
 R7F701270 37463752 37323130 20202030 20202020_H
 R7F701271 37463752 37323130 20202031 20202020_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRDNAME _n															
リセット後の値 注1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRDNAME _n															
リセット後の値 注1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. 表 31.14 製品名と PRDNAME 初期値 (リセット後の値) の関係に示す値となります。

表 31.15 製品情報関連のレジスタ一覧

ビット位置	ビット名	機能
31 ~ 0	PRDNAME _n [31:0]	製品名 16 バイトの ASCII コードで製品型名を示します。 PRDNAME1[31:0] : 製品型名の 4 ~ 1 バイト目 PRDNAME2[31:0] : 製品型名の 8 ~ 5 バイト目 PRDNAME3[31:0] : 製品型名の 12 ~ 9 バイト目 PRDNAME4[31:0] : 製品型名の 16 ~ 13 バイト目

31.10 オプションバイト

フラッシュメモリには、さまざまな目的でユーザが指定したデータを保持する拡張領域（オプションバイト）があります。オプションバイト設定による周辺機能の初期設定等の変更は、リセット解除後に有効になります。オプションバイトの設定と読み出し方法は、「PG-FP5 フラッシュメモリプログラマユーザズマニュアル」および、「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザズマニュアル」または、「RH850/C1x フラッシュメモリユーザズマニュアルハードウェアインタフェース編」のユーザズマニュアルを参照してください。

表 31.16 オプションバイト設定の領域

オプションバイト領域 (各 8 ビット×32 = 計 256 ビット)	設定有効領域	出荷品の初期状態 ^{注1}
オプションバイト 4 ~ 1 (OPBT0)	有効	7FFF FFFE _H
オプションバイト 8 ~ 5 (OPBT1)	予約	FFFF FFFF _H
オプションバイト 12 ~ 9 (OPBT2)	有効	FFFF FFFF _H
オプションバイト 16 ~ 13 (OPBT3)	予約	FFFF FFFF _H
オプションバイト 20 ~ 17 (OPBT4)	予約	FFFF FFFF _H
オプションバイト 24 ~ 21 (OPBT5)	予約	FFFF FFFF _H
オプションバイト 28 ~ 25 (OPBT6)	予約	FFFF FFFF _H
オプションバイト 32 ~ 29 (OPBT7)	予約	FFFF FFFF _H

注 1. 出荷品の初期状態の値です。オプションバイトの設定により値の変更が可能です。

31.10.1 OPBT0 — オプションバイト 0 レジスタ

アクセス オンチップデバッグ機能を使用時のみ、32ビット単位でリード/ライト可能です。

アドレス FFCD 0030_H

リセット後の値 ユーザ定義（出荷時は 7FFF FFFE_Hになっています）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPWD RUN	OPWDI NT	OPWD WS1	OPWD WS0	OPWD OVF2	OPWD OVF1	OPWD OVF0	—	—	—	—	—	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AUDRE N	—	—	STMSE L1	STMSE L0
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. FACL コマンドを使った場合と、フラッシュメモリプログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定 (R/W) が可能です。

表 31.17 OPBT0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
31	OPWDRUN	WDTA0 のスタートモードを選択します。 0 : WDTA0 ソフトウェアトリガスタートモード 1 : WDTA0 デフォルトスタートモード																																				
30	OPWDINT	WDTA0 の 75% 割り込み要求 WDTA0TIT の有効/無効を設定します。 0 : WDTA0TIT 無効 1 : WDTA0TIT 有効																																				
29、28	OPWDWS1, OPWDWS0	WDTA0 のウインドウオープン期間を選択します。 <table border="1"> <thead> <tr> <th>OPWDWS1</th><th>OPWDWS0</th><th>起動領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>25%</td></tr> <tr> <td>0</td><td>1</td><td>50%</td></tr> <tr> <td>1</td><td>0</td><td>75%</td></tr> <tr> <td>1</td><td>1</td><td>100%</td></tr> </tbody> </table>	OPWDWS1	OPWDWS0	起動領域	0	0	25%	0	1	50%	1	0	75%	1	1	100%																					
OPWDWS1	OPWDWS0	起動領域																																				
0	0	25%																																				
0	1	50%																																				
1	0	75%																																				
1	1	100%																																				
27 ~ 25	OPWDOVF2 ~ OPWDOVF0	WDTA0 のオーバフローインターバル時間を選択します。 <table border="1"> <thead> <tr> <th>OPWDOVF2</th><th>OPWDOVF1</th><th>OPWDOVF0</th><th>オーバフローインターバル時間</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>2⁹/WDTATCKI</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>2¹⁰/WDTATCKI</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>2¹¹/WDTATCKI</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>2¹²/WDTATCKI</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>2¹³/WDTATCKI</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>2¹⁴/WDTATCKI</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>2¹⁵/WDTATCKI</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>2¹⁶/WDTATCKI</td></tr> </tbody> </table>	OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフローインターバル時間	0	0	0	2 ⁹ /WDTATCKI	0	0	1	2 ¹⁰ /WDTATCKI	0	1	0	2 ¹¹ /WDTATCKI	0	1	1	2 ¹² /WDTATCKI	1	0	0	2 ¹³ /WDTATCKI	1	0	1	2 ¹⁴ /WDTATCKI	1	1	0	2 ¹⁵ /WDTATCKI	1	1	1	2 ¹⁶ /WDTATCKI
OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフローインターバル時間																																			
0	0	0	2 ⁹ /WDTATCKI																																			
0	0	1	2 ¹⁰ /WDTATCKI																																			
0	1	0	2 ¹¹ /WDTATCKI																																			
0	1	1	2 ¹² /WDTATCKI																																			
1	0	0	2 ¹³ /WDTATCKI																																			
1	0	1	2 ¹⁴ /WDTATCKI																																			
1	1	0	2 ¹⁵ /WDTATCKI																																			
1	1	1	2 ¹⁶ /WDTATCKI																																			
24 ~ 5	—	予約ビット（書き込むときは 1 を設定してください）																																				
4	AUDREN	AUDRAM モニタのイネーブルビット 0 : AUDRAM モニタ無効 1 : AUDRAM モニタ有効																																				
3、2	—	予約ビット（書き込むときは 1 を設定してください）																																				

表 31.17 OPBT0 レジスタの内容 (2/2)

ビット位置	ビット名	機能																
1, 0	STMSEL1, STMSEL0	<p>動作モード起動領域を選択します。 端子 MD0、MD1、FLMODE がすべて 0 のとき、STMSEL1、STMSEL0 の値の組み合わせによって、動作モード起動領域を選択できます。詳細は、「第 5 章 動作モード」を参照ください。</p> <table border="1"> <thead> <tr> <th>STMSEL1</th> <th>STMSEL0</th> <th>動作モード</th> <th>起動領域</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ユーザブートモード</td> <td>ユーザ領域</td> </tr> <tr> <td>0</td> <td>1</td> <td>ユーザブートモード</td> <td>ユーザブート領域</td> </tr> <tr> <td>1</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> </tr> </tbody> </table> <p>備考 X : Don't care</p>	STMSEL1	STMSEL0	動作モード	起動領域	0	0	ユーザブートモード	ユーザ領域	0	1	ユーザブートモード	ユーザブート領域	1	X	シリアルプログラミングモード	ブート領域
STMSEL1	STMSEL0	動作モード	起動領域															
0	0	ユーザブートモード	ユーザ領域															
0	1	ユーザブートモード	ユーザブート領域															
1	X	シリアルプログラミングモード	ブート領域															

31.10.2 OPBT2 — オプションバイト 2 レジスタ

アクセス オンチップデバッグ機能を使用時のみ、32 ビット単位でリード/ライト可能です。

アドレス FFCD 0038_H

リセット後の値 ユーザ定義（出荷時は FFFF FFFF_H になっています）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG1	OPJTAG0	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	R/W	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	R/W	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}

注 1. FACL コマンドを使った場合と、フラッシュメモリプログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定 (R/W) が可能です。

表 31.18 OPBT2 レジスタの内容

ビット位置	ビット名	機能															
31	—	予約ビット（書き込むときは 1 を設定してください）															
30、29	OPJTAG1、 OPJTAG0	デバッグインタフェース切り替え (OPJTAG1、OPJTAG0) の値の組み合わせにより、以下のデバッグインタフェースが選択されます。 <table border="1" data-bbox="651 1151 1414 1339"> <thead> <tr> <th>OPJTAG1</th> <th>OPJTAG0</th> <th>デバッグインタフェース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FLSCI3 (ライター I/F)</td> </tr> <tr> <td>0</td> <td>1</td> <td>LPD (4pin)</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>Nexus (JTAG)</td> </tr> </tbody> </table>	OPJTAG1	OPJTAG0	デバッグインタフェース	0	0	FLSCI3 (ライター I/F)	0	1	LPD (4pin)	1	0	設定禁止	1	1	Nexus (JTAG)
OPJTAG1	OPJTAG0	デバッグインタフェース															
0	0	FLSCI3 (ライター I/F)															
0	1	LPD (4pin)															
1	0	設定禁止															
1	1	Nexus (JTAG)															
28 ~ 0	—	予約ビット（書き込むときは 1 を設定してください）															

31.11 注意事項

1. 書き込み／消去を中断した領域の読み出し
書き込み／消去を中断したフラッシュメモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。
 2. 消去後に書き込んでいない状態の Code Flash メモリの読み出し
消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリ領域を読み出すと、ECC エラーが検出して例外が発生しますので注意してください。未書き込み状態の確認には、ブランクチェック機能を使用してください。
 3. 追加書き込みの禁止
同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みのフラッシュメモリ領域を書き換えたい場合には、必ず当該領域を消去してください。
 4. 書き込み／消去中のリセット
書き込み／消去中に外部リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、リセットパルスの min 幅以上のリセット入力期間のあとにリセット解除してください。
 5. 書き込み／消去中の割り込み／例外ベクタの配置
FCU ファーム転送中、または CodeFlash の書き込み／消去中に割り込み／例外が発生する場合は、事前に割り込み／例外をマスクするか、割り込みハンドラアドレステーブル^{注1}と例外ハンドラを CodeFlash 以外の命令フェッチ可能空間に配置してください。
- 注 1. 割り込みハンドラアドレスの選択方式としてテーブル参照方式を使用する場合に該当します。詳細は「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。
6. 書き込み／消去中の異常終了
外部リセットや電源瞬断などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュメモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランクチェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にしたあとにご使用ください。Code Flash メモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、該当ブロックの消去を実施して、ロックビットを消去してください。
 7. 書き込み／消去中の禁止事項
フラッシュメモリの書き込み／消去中は、以下の動作は行わないでください。
 - 電源を動作電圧範囲外にする
 - FHVE15 および FHVE3 の値を更新する
 - 周辺クロックの動作周波数を変更する
 8. クロックギアアップシーケンス完了前のフラッシュメモリの各種コマンド実行禁止
シリアルプログラミングおよびセルフプログラミングにおける各種コマンドの実行は、クロックギアアップシーケンスを完了させたあとに実施してください。クロックギアアップシーケンスの詳細については、「第 10 章 クロックコントローラ」を参照してください。
 9. 命令キャッシュとデータバッファのコヒーレンシ確保
Code Flash メモリの書き込み／消去終了後は、命令キャッシュとデータバッファのコヒーレンシを確保するため、リセットまたは命令キャッシュとデータバッファのクリ

アが必要となります。命令キャッシュとデータバッファの詳細は、「**第3章 CPU システム**」を参照してください。

第 32 章 フラッシュセキュリティ

本製品は、コードフラッシュおよびデータフラッシュ、ID コードを保護するために、「**第 31 章 フラッシュメモリ**」に示したセキュリティ機能と本章で追加説明するデバッグインターフェースの接続制限機能を搭載しています。

シリアルプログラミングモード時のセキュリティ機能およびフラッシュメモリの書き換え方法の詳細な説明につきましては、「**第 31 章 フラッシュメモリ**」をご参照ください。

また、本章では、オンチップデバッグ機能で使用するインターフェース (NEXUS および LPD 4pin) を共通してデバッグインターフェースと略して記載しています。ユーザブートモード時のコードフラッシュおよびデータフラッシュ、ID コードの保護を実施している ID 認証を SELF ID 認証、オンチップデバッグ機能の保護を実施している ID 認証を OCD ID 認証と略して記載しています。なお、SELF ID 認証および OCD ID 認証、更に、シリアルプログラミングモード時の ID 認証モードにおける ID コードは、データ長 128 ビットで全て共通です。また、出荷品の初期状態では、ID コードは、`FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_H` となっています。

32.1 特長

32.1.1 コードフラッシュおよびデータフラッシュ、ID コード保護

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、ユーザブートモードおよびシリアルプログラミングモードにおいて、以下のセキュリティ機能を搭載しています。

32.1.1.1 ユーザブートモード固有機能

SELF ID 認証によるコードフラッシュの書き込み/消去、ID コード読み出し保護機能を搭載しています。

(1) セキュリティ状態

本モードでは、2種類のセキュリティ設定状態が存在します。各状態間は、SELF ID 認証および ID コード変更にて遷移します。

1. プロテクトアンロック状態
SELF ID 認証により、セキュリティ機能が解除され、コードフラッシュの書き込み/消去および ID コード読み出しが保護されていない状態
2. プロテクトロック状態
SELF ID 認証により、セキュリティ機能が有効となり、コードフラッシュの書き込み/消去および ID コード読み出しが保護されている状態

32.1.1.2 シリアルプログラミングモード固有機能

シリアルプログラミングモードでの固有セキュリティ機能として、下記、3つの機能が搭載されております。これらのセキュリティ機能を併用することはできません。

(1) ID 認証機能：

ID コードを用いて ID 認証を実施することでコードフラッシュおよびデータフラッシュを保護します。ID 認証が成功した場合、コードフラッシュおよびデータフラッシュの書き込み／消去／読み出しが実施できます。

(2) プログラムコマンド／ブロック消去コマンド／リードコマンド禁止機能：

コードフラッシュおよびデータフラッシュへの書き込み／消去／読み出しコマンド発行を個別に禁止／許可を設定することができます。出荷品の初期状態では、本セキュリティ機能が選択されており、各コマンドの禁止設定は、全て許可となっています。

(3) シリアルプログラマ接続禁止機能：

シリアルプログラミングモードにてコードフラッシュおよびデータフラッシュの書き込み／消去／読み出しコマンド発行を禁止することができます。本機能を設定した場合、本機能以外のセキュリティ機能に変更することはできません。

32.1.1.3 ユーザブートモードおよびシリアルプログラミングモード共通機能

(1) OTP (One Time Programming) 機能

OTP 機能が設定された領域に対して、コードフラッシュの書き込み／消去を保護します。詳細な設定方法については、「**第 31 章 フラッシュメモリ**」をご参照ください。

32.1.2 デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェース経由での不正アクセス防止機能を搭載しており、2種類のセキュリティレベルがあります。

- **セキュリティレベル1:**

デバッグインターフェースが使用可能な状態になります。本レベルでは、オンチップデバッグ機能を OCD ID 認証で保護しています。オンチップデバッグ機能を使用する際は、OCD ID 認証を解除する必要があります。

- **セキュリティレベル2:**

デバッグインターフェースが使用できない状態になります。

上記に説明したとおり、各モードでコードフラッシュおよびデータフラッシュ、ID コード保護およびデバッグインターフェースの接続制限が異なります。各モードのセキュリティ機能を表 32.1 にまとめます。

表 32.1 各モードのセキュリティ機能

動作モード	コードフラッシュおよびデータフラッシュ、ID コード保護	デバッグインターフェース接続制限機能
ユーザブートモード	<ul style="list-style-type: none"> • SELF ID 認証 • OTP (併用可能) 	<ul style="list-style-type: none"> • セキュリティレベル1 (OCD ID 認証) • セキュリティレベル2 (デバッグインターフェース接続禁止設定)
シリアルプログラミングモード	<ul style="list-style-type: none"> • ID 認証 • プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 • シリアルプログラマ接続禁止 (上記3つは併用できません) • OTP (併用可能) 	<ul style="list-style-type: none"> • 機能なし (常にデバッグインターフェース接続禁止)

32.2 ユーザブートモード時のセキュリティ機能

32.2.1 SELF ID 認証

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、コードフラッシュの書き込み／消去および ID コード読み出しについて、有効／無効を切り替えるセキュリティ機能を搭載しています。本保護機能の有効／無効設定は、ユーザが設定した ID コードを期待値として、SELF ID 認証を実施することで、切り替えることができます。

32.2.2 SELF ID 認証とセキュリティ状態

SELF ID 認証によるセキュリティ状態および遷移条件を表 32.2、図 32.1 に示します。

表 32.2 セキュリティ設定状態

状態名	SELF ID 認証	コードフラッシュ書き込み／消去および ID コード読み出し保護状態
プロテクトアンロック	解除状態	保護されていない状態
プロテクトロック	ロック状態	保護状態

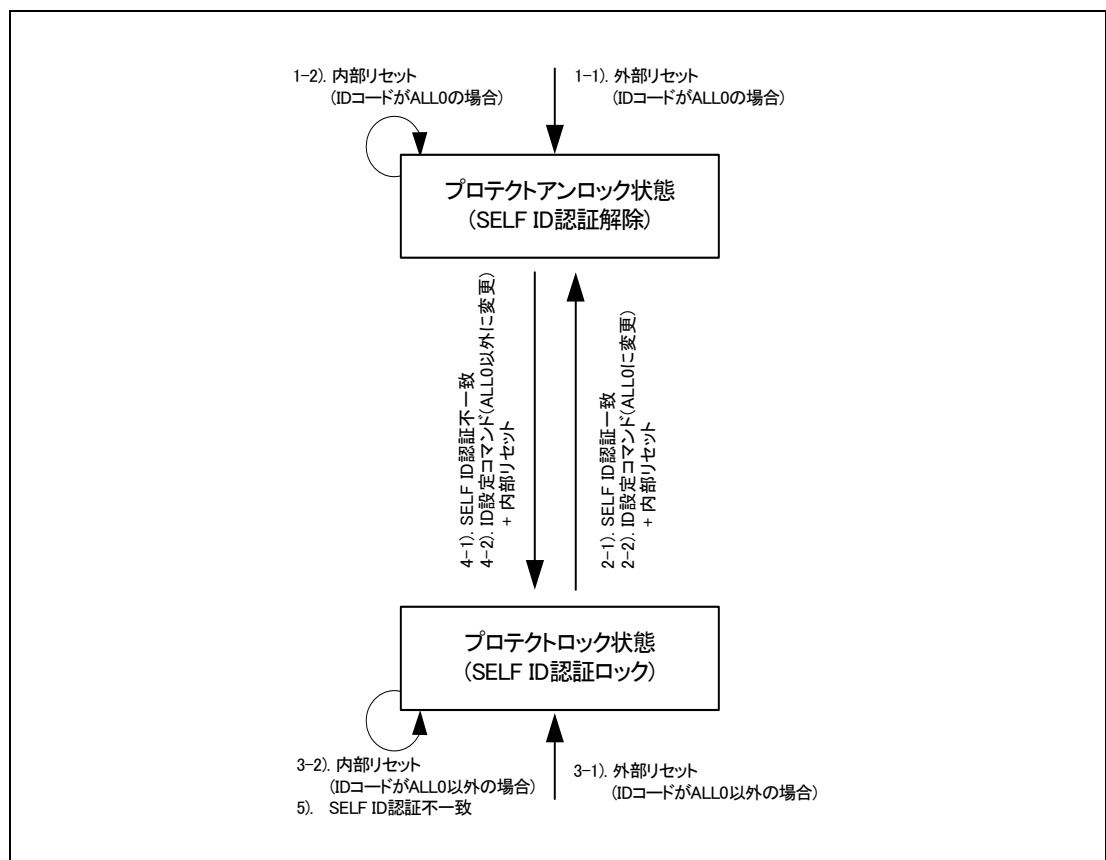


図 32.1 SELF ID 認証によるセキュリティ設定状態遷移

図 32.1 に示した各セキュリティ状態への遷移条件を以下に説明します。

- プロテクトアンロック状態への遷移条件
 - 1). プロテクトアンロック状態での起動
 - 1-1). “ID コードが ALL0” の状態で外部リセットを実施した場合、プロテクトアンロック状態で起動します。
 - 1-2). “ID コードが ALL0” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトアンロック状態で起動します。
 - 2). プロテクトロック状態からプロテクトアンロック状態への遷移
 - 2-1). SELF ID 認証が一致の場合、プロテクトアンロック状態に遷移します。
 - 2-2). “ID コードを ALL0 以外 から ALL0 の状態に変更” し、内部リセットを実施した場合、プロテクトアンロック状態で起動します。
- プロテクトロック状態への遷移条件
 - 3). プロテクトロック状態での起動
 - 3-1). “ID コードが ALL0 以外 ” の状態で、外部リセットを実施した場合、プロテクトロック状態で起動します。
 - 3-2). “ID コードが ALL0 以外 ” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトロック状態で起動します。
 - 4). プロテクトアンロック状態からプロテクトロック状態への遷移
 - 4-1). SELF ID 認証が不一致の場合、プロテクトロック状態に遷移します。
 - 4-2). “ID コードを ALL0 から ALL0 以外 の状態に変更” し、内部リセットを実施した場合、プロテクトロック状態で起動します。
 - 5). プロテクトロック状態維持

SELF ID 認証が不一致の場合、プロテクトロック状態を維持します。

32.3 シリアルプログラミングモード時のセキュリティ機能

シリアルプログラミングモード時のセキュリティ機能の詳細については、「第31章 フラッシュメモリ」をご参照ください。

32.4 デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェースを経由した不正アクセスを防ぐために、デバッグインターフェースの接続制限機能を搭載しており、2種類のレベルがあります。

- セキュリティレベル1：OCD ID 認証によるオンチップデバッグ機能へのアクセス制限
- セキュリティレベル2：デバッグインターフェースの接続を禁止

これらのセキュリティレベルは、フラッシュメモリの拡張領域にあるオプションバイト2のビット30, 29 (OPJTAG1, OPJTAG0) で変更する事ができます。本章では、これらのOPJTAG0、OPJTAG1について、OPJTAG ビットと略して記載しています。

32.4.1 セキュリティレベルとデバッグインターフェースの接続制限状態

各セキュリティレベルとセキュリティ状態および遷移条件を表32.3、図32.2に示します。

表 32.3 セキュリティレベルとデバッグインターフェースの接続制限状態

状態名	OCD ID 認証	OPJTAG ビット 注1	デバッグインターフェース 接続制限
セキュリティレベル1	解除状態	00 _B 以外	デバッグインターフェース経由のアクセス制限解除
	ロック状態	00 _B 以外	デバッグインターフェース経由のアクセス制限有効
セキュリティレベル2	—	00 _B	デバッグインターフェース接続禁止

注1. OPJTAG ビットの詳細説明については、「第31章 フラッシュメモリ」をご参照ください。

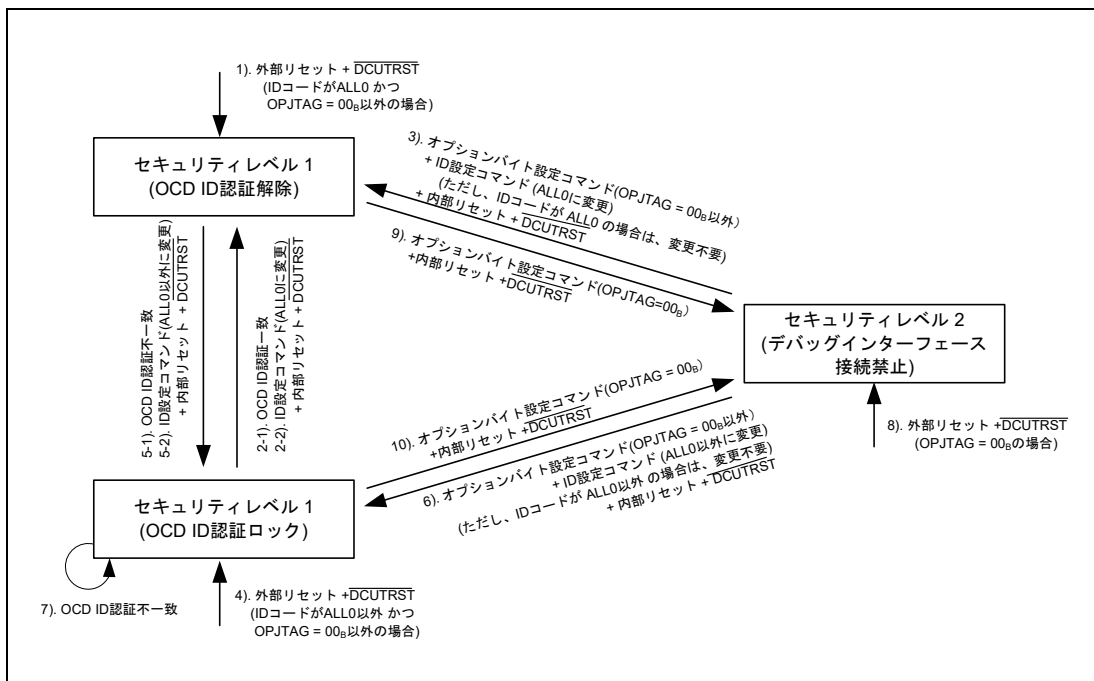


図 32.2 セキュリティレベル状態遷移

図 32.2 に示した各セキュリティレベルへの遷移条件を以下に説明します。

- セキュリティレベル 1 (OCD ID 認証解除) 状態への遷移条件
 - 1). セキュリティレベル 1 (OCD ID 認証解除) 状態での起動

“ID コードが ALL0 かつ OPJTAG が 00_B 以外” の状態で外部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) 状態にて起動します。
 - 2). セキュリティレベル 1 (OCD ID 認証ロック) 状態からセキュリティレベル 1 (OCD ID 認証解除) 状態への遷移
 - 2-1). OCD ID 認証が一致の場合、セキュリティレベル 1 (OCD ID 認証解除) 状態に遷移します。
 - 2-2). “ID コードを ALL0 に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) で起動します。
 - 3). セキュリティレベル 2 状態から セキュリティレベル 1 (OCD ID 認証解除) 状態への遷移

“ID コードを ALL0 かつ OPJTAG を 00_B 以外に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) 状態にて起動します。
- セキュリティレベル 1 (OCD ID 認証ロック) 状態への遷移条件
 - 4). セキュリティレベル 1 (OCD ID 認証ロック) 状態での起動

“ID コードが ALL0 以外 かつ OPJTAG が 00_B 以外” の状態で外部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態にて起動します。
 - 5). セキュリティレベル 1 (OCD ID 認証解除) 状態からセキュリティレベル 1 (OCD ID 認証ロック) 状態への遷移
 - 5-1). OCD ID 認証が不一致の場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態に遷移します。
 - 5-2). “ID コードを ALL0 以外に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態で起動します。
 - 6). セキュリティレベル 2 から セキュリティレベル 1 (OCD ID 認証ロック) への遷移

“ID コードを ALL0 以外 かつ OPJTAG = 00_B 以外に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態にて起動します。
 - 7). セキュリティレベル 1 (OCD ID 認証ロック) 状態維持

OCD ID 認証が不一致の場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態を維持します。
- セキュリティレベル 2 への遷移条件
 - 8). セキュリティレベル 2 状態での起動

“OPJTAG が 00_B” の状態で外部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

- 9). セキュリティレベル1 (OCD ID 認証解除) 状態からセキュリティレベル2 状態への遷移
- “OPJTAG を 00_B に変更”し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル2 状態にて起動します。
- 10). セキュリティレベル1 (OCD ID 認証ロック) 状態からセキュリティレベル2 状態への遷移
- “OPJTAG を 00_B に変更”し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル2 状態にて起動します。

第33章 RAM

33.1 搭載 RAM 一覧

RH850/C1x では、以下の RAM を搭載します。

- Local RAM (CPU1) 64KB
- Local RAM (CPU2) 64KB
- Global RAM 最大 112KB^{注1}

注1. 各製品ごとの搭載容量については、「表 1.1 製品概要」を参照してください。

33.2 特長

アクセス

CPU1、CPU2、DMAC からは、Local RAM (CPU1、CPU2) と Global RAM へアクセスできます。

CPU からのアクセスレイテンシは、Local RAM (CPU1)、Local RAM (CPU2) の領域とも同じです。

アドレスマップやアクセスの可否の詳細については、「第4章 アドレス空間」を参照してください。

ECC

Local RAM (CPU1)、Local RAM (CPU2)、Global RAM は ECC およびアドレスパリティを搭載しています。

詳細は「第27章 ファンクショナルセーフティ」を参照してください。

33.3 注意事項

- (1) Local RAM、Global RAM は、アクセスサイズの最大ビット長で初期化してから使用してください。
初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、たとえば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。
- (2) 以下の RAM と CPU の間には高速アクセス用のバッファが存在します。
 - Local RAM (CPU1), Local RAM (CPU2)
ライト命令を行った後に同一アドレスからリード命令による読み出しを行うと、RAM ではなくバッファからデータが読み出される場合があります。
確実に RAM からデータを読み出すには、以下のような方法があります。
 1. 32 バイトを超えるデータをライト後、最初にライトしたデータをリードする。
 2. ライト命令と同一アドレスからのリード命令の間に SYNCM 命令を実行する。

第34章 バウンダリスキャン

本 LSI は JTAG インタフェースを持ち、IEEE1149.1 規格に準拠したバウンダリスキャン機能を提供します。

バウンダリスキャン機能を持つのは BGA252 のみです。

34.1 特長

- 5本のテスト信号 (DCUTCK、DCUTDI、DCUTDO、DCUTMS、および $\overline{\text{DCUTRST}}$)
- TAP コントローラ
- インストラクションレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

JTAG インタフェースは 6 つのコマンドを備えています。

- BYPASS モード
IEEE 1149.1 に対応したテストモード
- EXTEST モード
IEEE 1149.1 に対応したテストモード
- SAMPLE/PRELOAD モード
IEEE 1149.1 に対応したテストモード
- CLAMP モード
IEEE 1149.1 に対応したテストモード
- HIGHZ モード
IEEE 1149.1 に対応したテストモード
- IDCODE モード
IEEE 1149.1 に対応したテストモード

JTAG インタフェースのブロック図を図 34.1 に示します。

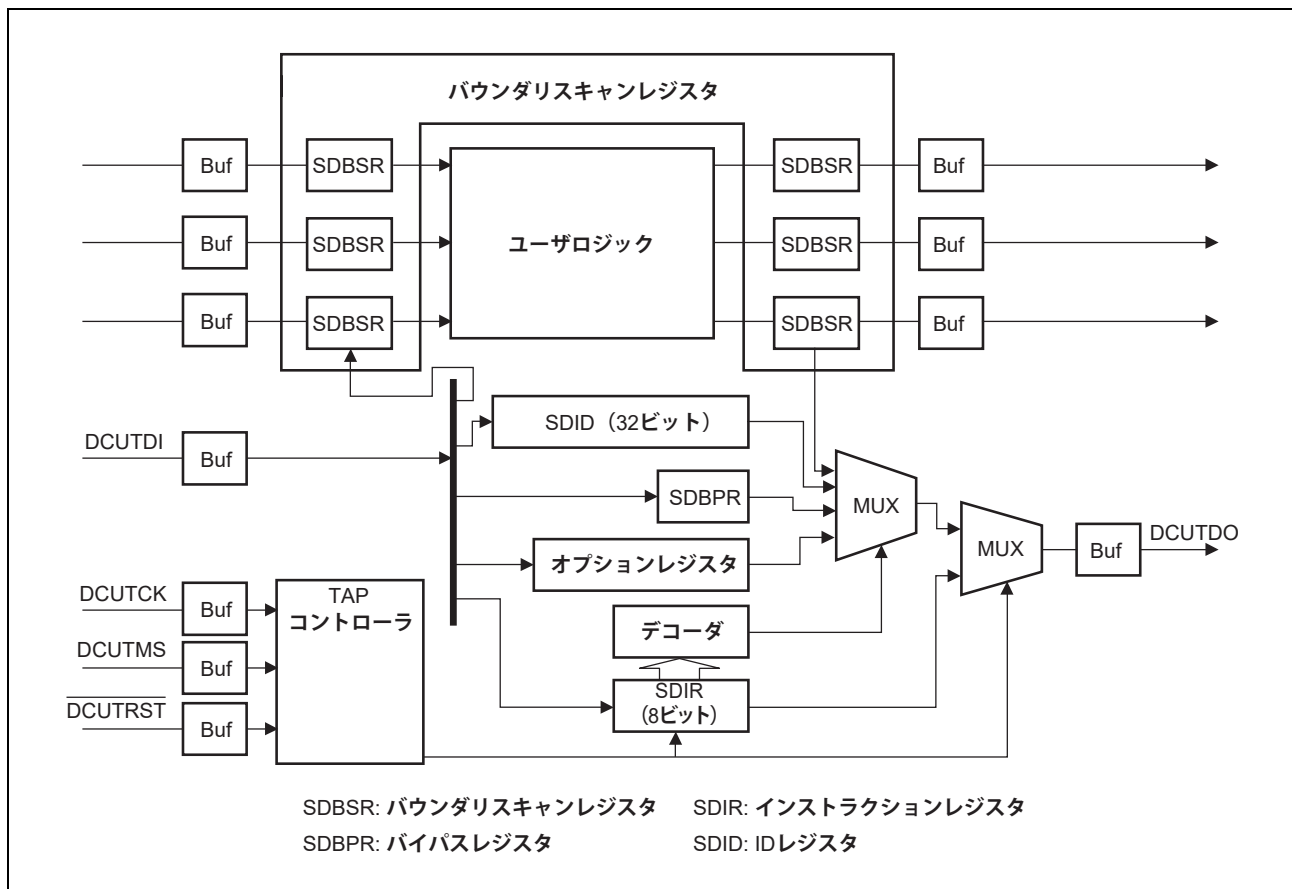


図 34.1 JTAG インタフェースブロック図

34.2 入出力端子

JTAG の制御信号には DCUTCK、DCUTDI、DCUTMS、DCUTDO、 $\overline{\text{DCUTRST}}$ の 5 本があります。

表 34.1 に端子構成を示します。

表 34.1 端子構成

名称	説明
DCUTCK	シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子 (DCUTDI) から供給され、データ出力端子 (DCUTDO) から出力されます。
DCUTMS	モードセレクト入力端子 DCUTCK に同期してこの信号を変化させることによって TAP コントローラの状態が決まります。プロトコルは「 図 34.2 TAP コントローラ状態遷移図 」を参照してください。
$\overline{\text{DCUTRST}}$	リセット入力端子 DCUTCK とは非同期で入力を受け付けローレベルで JTAG インタフェースをリセットします。JTAG インタフェースの機能の利用の有無にかかわらず、電源投入時に $\overline{\text{DCUTRST}}$ を一定期間ローレベルにしなければなりません。
DCUTDI	シリアルデータ入力端子 DCUTCK に同期してこの端子を変化させることによって JTAG インタフェースにデータを送ります。
DCUTDO	シリアルデータ出力端子 DCUTCK に同期してこの端子を読み出すことによって JTAG インタフェースからデータを読み取ります。

34.3 レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

- SDIR : インストラクションレジスタ
- SDID : ID レジスタ
- SDBPR : バイパスレジスタ
- SDBSR : バウンダリスキャンレジスタ

表 34.2 レジスタ構成

レジスタ名	略称	アクセスサイズ	リセット後の値 ^{注1}
インストラクションレジスタ	SDIR	8	55 _H
ID レジスタ	SDID	32	注2
バイパスレジスタ	SDBPR	1	不定
バウンダリスキャンレジスタ	SDBSR	—	不定

注 1. (DCUTRST_T 端子が 0、または TAP が Test-Logic-Reset 状態) で初期化。

注 2. ID レジスタのリセット後の値は以下になります。

C1x 製品名	リセット後の値
R7F701270	1830D447

コマンドは、シリアルデータ入力端子 (DCUTDI) からシリアル転送によりインストラクションレジスタ (SDIR) へ入力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード、CLAMP モード、および HIGHZ モード時、DCUTDI と DCUTDO はこのレジスタに接続されます。また、バウンダリスキャンレジスタ (SDBSR) は SAMPLE/PRELOAD モード、および EXTEST モード時 DCUTDI と DCUTDO はこのレジスタに接続されます。ID レジスタ (SDID) は 32 ビットのレジスタで IDCODE モード時、DCUTDO を通じて固定コードが出力できます。

表 34.3 に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 34.3 バウンダリスキャンレジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可 ^{注1}
SDBPR	可能	可能
SDBSR	可能	可能
SDID	不可	可能

注 1. 固定値が読み出されます。

34.3.1 インストラクションレジスタ (SDIR)

インストラクションレジスタ (SDIR) はバウンダリスキャンのコマンドを保持する 8 ビットのレジスタです。 $\overline{\text{DCUTRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

表 34.4 バウンダリスキャンコマンド

IR コード								説明
0	0	0	0	0	0	0	0	JTAG EXTEST
0	1	0	0	0	0	0	0	JTAG SAMPLE/PRELOAD
1	1	0	1	0	0	0	0	JTAG CLAMP
1	0	0	0	0	0	0	0	JTAG HIGHZ
0	1	0	1	0	1	0	1	JTAG IDCODE (リセット後の値)
1	1	1	1	1	1	1	1	JTAG BYPASS
上記以外								予約

34.3.2 ID レジスタ (SDID)

ID レジスタ (SDID) は、32 ビットのレジスタで、LSI 固有の ID を持ちます。

JTAG インタフェースの端子側からは IDCODE のコマンドがセットされたときに読み出し可能で、書き込みはできません。

読み出される値は、「表 34.2 レジスタ構成」を参照してください。

34.3.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は端子 DCUTDI と DCUTDO の間に接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のアサートでも初期化されません。

34.3.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は、外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタです。SDIR に “SAMPLE/PRELOAD”、“EXTEST” コマンドがセットされると、端子 DCUTDI と DCUTDO の間に SDBSR が接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のアサートでも初期化されません。

34.4 動作説明

34.4.1 TAP コントローラ

図 34.2 に TAP コントローラの内部状態を示します。

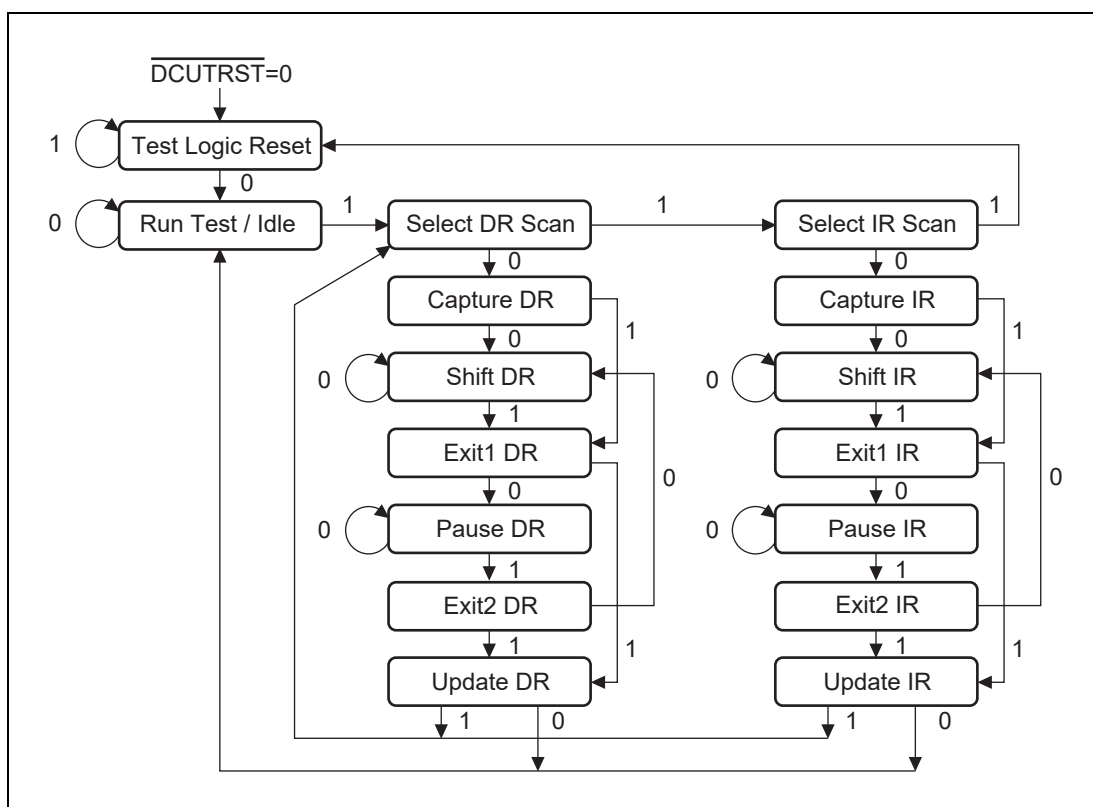


図 34.2 TAP コントローラ状態遷移図

注 1. 遷移条件は DCUTCK の立ち上がりエッジにおける DCUTMS 値です。DCUTDI 値は DCUTCK の立ち上がりエッジでサンプリングし、DCUTCK の立ち下がりエッジでシフトします。DCUTDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。DCUTRST のアサートにより DCUTCK とは非同期で Test-Logic-Reset 状態へ遷移します。

34.4.2 サポートするコマンド

34.4.2.1 BYPASS

BYPASS コマンドは、バイパスレジスタを動作させる必須の標準コマンドです。このコマンドはシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。このコマンドの実行中、テスト回路はシステム回路に何も影響を与えません。

34.4.2.2 SAMPLE/PRELOAD

SAMPLE/PRELOAD コマンドは本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードするコマンドです。本コマンド実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本コマンドの実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST コマンドに先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチにリセット後の値を設定します。PRELOAD 動作がないと、EXTEST コマンドを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST コマンドでは出力ピンに常に平行出力ラッチを出力する）こととなります。

34.4.2.3 EXTEST

本コマンドでは、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本コマンドの実行時、出力ピンはバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD コマンドですでに設定されています）をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST コマンドを N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本コマンドの Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。（シフト動作で入れ替えます）。

34.4.2.4 CLAMP

CLAMP コマンドが選択されると、出力ピンはあらかじめ SAMPLE/PRELOAD コマンドによって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

DCUTDI、DCUTDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

34.4.2.5 HIGHZ

HIGHZ コマンドが選択されると、すべての出力ピンはハイインピーダンス状態となります。HIGHZ コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

DCUTDI、DCUTDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

34.4.2.6 IDCODE

JTAG インタフェースの端子を JTAG で規定されている“IDCODE”モードに設定できます。JTAG インタフェースを初期化した場合（ $\overline{\text{DCUTRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする）、“IDCODE”モードになります。

34.4.3 注意事項

JTAG インタフェースには以下のような制限があります。

- 電源／GND 端子はバウンダリスキャンの対象外です。
- A/D コンバータのリファレンス電圧端子（A0VREFH、A1VREFH）はバウンダリスキャンの対象外です。
- EPT 制御端子（EPTVOUT）はバウンダリスキャンの対象外です。
- NC 端子はバウンダリスキャンの対象外です。
- バウンダリスキャンの対象外の端子を表 34.5 に示します。

表 34.5 バウンダリスキャン対象外の端子

分類	端子
アナログ入力	ADCC000/RDC20SINMNT, ADCC001, ADCC002, ADCC003/RDC20COSMNT, ADCC010, ADCC011, ADCC012, ADCC013, ADCC020/RDC21SINMNT, ADCC021/RDC21COSMNT, ADCC022, ADCC023, ADCC030, ADCC031, ADCC032, ADCC033, ADCC100, ADCC101, ADCC102, ADCC110, ADCC111, ADCC112, ADCC120, ADCC121, ADCC122, ADCC130, ADCC131, ADCC132, ADCC140, ADCC141, ADCC142, ADCC150, ADCC151, ADCC152, ADCC160, ADCC161, ADCC162, RDC20COM, RDC21COM, RDC20RSO, RDC21RSO, RDC20S1, RDC20S2, RDC20S3, RDC20S4, RDC21S1, RDC21S2, RDC21S3, RDC21S4
デバッグ系	AUDCK, $\overline{\text{DCURDY}}$, DCUTCK, DCUTDI, DCUTDO, DCUTMS, $\overline{\text{DCUTRST}}$
モード設定	MD0, MD1, FLMODE
クロックリセット	X1, X2, $\overline{\text{RESET}}$
エラー出力	$\overline{\text{ERROROUT_M}}$

- PullDown される端子に対する HIGHZ コマンドは無効です。

34.5 使用上の注意

1. コマンドは、いったんセットされると他のコマンドが再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド（BYPASS モード等）をいったん設定してから再度コマンドを設定する必要があります。
2. バウンダリスキャンモードでの起動時は、 $\overline{\text{RESET}} = \text{High}$ の状態で $\overline{\text{DCUTRST}}$ を解除してください。
3. DCUTCK に入力可能な最大周波数は「**第 35 章 電気的特性**」を参照してください。
4. DCUTDI、DCUTDO 間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えて DCUTDO から出力されるシリアルデータは、DCUTDI から入力されたデータとなります。
5. シリアル転送シーケンスがくずれた場合、必ず $\overline{\text{DCUTRST}}$ のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
6. DCUTDO の出力タイミングは DCUTCK の立ち下がりからになります。
7. デバッグ容易化のため、 $\overline{\text{DCUTRST}}$ の基板上的配線はパターンカットが容易なように配慮してください。

第35章 電気的特性

35.1 絶対最大定格

絶対最大定格を示します。

表 35.1 絶対最大定格

項目		略号	定格値	単位	備考
電源電圧 ^{注1}	SYSVCC, PLLVCC, VCC	VCC	-0.3 ~ +4.3	V	
	EVCC	EVCC	-0.3 ~ +6.5	V	
	VDD	VDD	-0.3 ~ +1.8	V	
入力電圧	SYSVCC 電源関連端子	V _{in}	-0.3 ~ SYSVCC+0.3	V	対象の端子名は表 35.2 を参照してください。
	VCC 電源関連端子	V _{in}	-0.3 ~ VCC+0.3	V	
	EVCC 電源関連端子	V _{in}	-0.3 ~ EVCC+0.3	V	
	5V トレラント端子 ^{注2}	V _{in}	-0.3 ~ 5.8	V	
アナログ電源電圧	A0VCC, A1VCC		-0.3 ~ +6.5	V	
	RVCC		-0.3 ~ +6.5	V	
アナログ基準電圧	A0VREFH		-0.3 ~ A0VCC+0.3	V	
	A1VREFH		-0.3 ~ A1VCC+0.3	V	
アナログ入力電圧	V _{AIN}		-0.3 ~ A0VCC +0.3 -0.3 ~ A1VCC +0.3	V	
	V _{RIN}		-0.3 ~ RVCC+0.3	V	
VSS 差動電圧 ^{注3} (条件: VSS, A0VSS, A1VSS, RVSS, PLLVSS のうちの任意の2つのVSS間)			-0.1 ~ +0.1	V	
最大入力電流 (1端子当たり)	デジタル入力端子	I _{max}	-25 ~ +25	mA	同時に1端子のみ
	アナログ入力端子	I _{max}	-25 ~ +25	mA	
ジャンクション温度 ^{注1}		T _j	-40 ~ +150	°C	
保存温度		T _{stg}	-55 ~ +150	°C	実装後

注1. このLSIをT_j = 125 °C以上、T_j = 150 °Cまでの範囲で動作させる場合は、累積動作時間を3,000時間以内にしてください。

注2. 表 35.2 電源名と端子の関係電源名と端子の関係で(5Vトレラント)と記載のある以下の端子 FLMODE, MD0, MD1, RESET, DCUTRST, LPDTRST

注3. デジタル系の電源である PLLVSS と VSS は基板上でショートしてください。

備 考

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

複数の電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧でのLSIの使用はLSIの永久破壊、LSIを実装したシステムへのダメージを生じる場合があります。

入力電圧、アナログ基準電圧、アナログ入力電圧は6.5Vを超えないようにしてください。

35.2 DC 特性

35.2.1 電源名と端子の関係

電源名と端子の関係を表 35.2 に示します。

表 35.2 電源名と端子の関係

端子名 (リセット後の値)	回路電源名	I/O	入力バッファタイプ	備考
Px_x	EVCC	I/O	シュミット B	ドライバピリティ変更可
ADCC0lxx	A0VCC	I ^{注1}	アナログ (ADC)	
ADCC1lxx	A1VCC	I	アナログ (ADC)	
RDC2nSx	RVCC	I	アナログ (RDC)	
RDC2nRSO	RVCC	IO	—	
RDC2nCOM	RVCC	IO	—	
RESET	SYSVCC	I	シュミット A	5V トレラント
FLMODE	SYSVCC	I	シュミット A	5V トレラント
MD0	SYSVCC	I	シュミット A	5V トレラント
MD1	SYSVCC	I	シュミット A	5V トレラント
NMI	SYSVCC	I	シュミット A	
ERROROUT_M	EVCC	O	—	
X1	VCC	I	CMOS	
X2	VCC	O	—	
AUDRST	VCC	I	シュミット A	
AUDCK	VCC	I	TTL2	
AUDSYNC	VCC	I	TTL2	
AUDATAx	VCC	I/O	TTL2	
DCUTRST/LPDTRST	SYSVCC	I	シュミット A	5V トレラント
DCUTDO/LPDO	VCC	O	—	
DCUTMS	VCC	I	TTL2	
DCUTCK/LPDCLK	VCC	I	TTL2	
DCUTDI/LPDI	VCC	I	TTL2	
DCURDY/LPDCLKOUT	VCC	O	—	

注 1. 一部 RDC2 端子との兼用があります。以下の端子は I/O となります。
 ADCC0I00/RDC20SINMNT, ADCC0I03/RDC20COSMNT, ADCC0I20/RDC21SINMNT, ADCC0I21/
 RDC21COSMNT

35.2.2 推奨動作条件

表 35.3 推奨動作条件

記号	Min.	Typ.	Max.	単位	備考
SYSVCC	3.0	3.3	3.6	V	
VCC 注1	3.0	3.3	3.6		
PLLVCC 注1	3.0	3.3	3.6		
VDD 注2	1.15	1.25	1.35		
EVCC	4.5	5.0	5.5		
A0VCC, A1VCC 注3	4.5	5.0	5.5		
RVCC 注3	4.5	5.0	5.5		
A0VREFH, A1VREFH 注4	4.5	5.0	5.5		

注 VSS = A0VSS = A1VSS = PLLVSS = RVSS = 0V でご使用ください。

注 1. VCC と PLLVCC は同電位になるように接続してください。

注 2. EPT 動作時も本スペックを遵守してください。

注 3. A0VCC と A1VCC、RVCC は同電位になるように接続してください。

注 4. A0VCC、A1VCC を超えない値を設定してください。

35.2.3 入力電圧特性

表 35.4 DC 特性 (入力電圧)

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V
 Tj = -40 °C ~ 150 °C

項目	記号	Min.	Typ.	Max.	単位	測定条件	
シュミットトリガ入力電圧 (バッファタイプ A)	SYSVCC VCC	V_T^+ (V_{IH})	$SYSVCC \times 0.75$ $VCC \times 0.75$	—	$SYSVCC + 0.3$ $VCC + 0.3$	V	表 35.2 参照 (入力バッファタイプがシュミット A の項目)
		V_T^- (V_{IL})	-0.3	—	$SYSVCC \times 0.25$ $VCC \times 0.25$	V	
		V_{HS}	$SYSVCC \times 0.2$ $VCC \times 0.2$	—	—	V	
シュミットトリガ入力電圧 (バッファタイプ B)	EVCC	V_T^+ (V_{IH})	$EVCC \times 0.7$	—	$EVCC + 0.3$	V	表 35.2 参照 (入力バッファタイプがシュミット B の項目)
		V_T^- (V_{IL})	-0.3	—	$EVCC \times 0.42$	V	
		V_{HS}	$EVCC \times 0.082$	—	—	V	
TTL 入力電圧	VCC	V_{IH}	2.2	—	$VCC + 0.3$	V	表 35.2 参照 (入力バッファタイプが TTL2 の項目)
		V_{IL}	-0.3	—	0.8	V	
CMOS 入力電圧	VCC	V_{IH}	$VCC \times 0.7$	—	$VCC + 0.3$	V	表 35.2 参照 (入力バッファタイプが CMOS の項目)
		V_{IL}	-0.3	—	$VCC \times 0.2$	V	

35.2.4 入力リーク電流特性

表 35.5 DC 特性 (入力リーク電流)

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V
 Tj = -40 °C ~ 150 °C

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流	A/D ポート R/D ポート 以外注 1	I _{in}	—	—	1	μA Vin = 0V ~ EVCC Vin = 0V ~ SYSVCC Vin = 0V ~ VCC
	A/D ポート	I _{in}	—	—	0.1	μA Vin = 0V ~ A0VCC, A1VCC
	R/D ポート	I _{in}	—	—	0.3	μA Vin = 0V ~ RVCC かつ RDC2 停止時

注 1. X1 端子は対象外です。また、各端子におけるプルアップ/プルダウン時も対象外です。

35.2.5 プルアップ/プルダウン MOS 電流特性

表 35.6 DC 特性 (プルアップ/プルダウン MOS 電流)

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5V ~ A0VCC, A1VREFH = 4.5V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0V
 Tj = -40°C ~ 150°C

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力プルアップ MOS 電流	DCUTMS, DCUTCK, DCUTDI	—	—	350	μA	Vin = 0V VCC = 3.0 ~ 3.6V
	AUDCK, AUDSYNC, AUDATA3-0 注1	—	—	350	μA	Vin = 0V VCC = 3.0 ~ 3.6V
	汎用ポート	—	—	350	μA	Vin = 0V, EVCC = 5.5V
入力プルダウン MOS 電流	RESET	25	60	120	μA	Vin = SYSVCC = 3.6V
		5	20	40	μA	Vin = SYSVCC = 2.0V
	DCUTRST	—	—	350	μA	Vin = SYSVCC = 3.0 ~ 3.6V
	NMI, FLMODE, MD0, MD1	15	—	120	μA	Vin = SYSVCC = 3.0 ~ 3.6V
	AUDRST	—	—	350	μA	Vin = VCC = 3.0 ~ 3.6V
	汎用ポート	—	—	350	μA	Vin = EVCC = 5.5V

注 1. AUDATA3 ~ 0 のプルアップは、入力時だけでなく出力時にも有効です。

35.2.6 出力電圧特性

表 35.7 DC 特性 (出力電圧)

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5V ~ A0VCC, A1VREFH = 4.5V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0V
 Tj = -40°C ~ 150°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
出力ハイレベル電圧	EVCC 電源系端子	V _{OH}	EVCC - 0.5	—	—	V	I _{OH} = 200μA EVCC = 4.5 ~ 5.5V
			EVCC - 1.0	—	—	V	I _{OH} = 1mA EVCC = 4.5 ~ 5.5V
	VCC 電源系端子	V _{OH}	VCC - 0.1	—	—	V	I _{OH} = 50μA VCC = 3.0 ~ 3.6V
			VCC - 1.0	—	—	V	I _{OH} = 200μA VCC = 3.0 ~ 3.6V
出力ローレベル電圧	EVCC 電源系端子	V _{OL}	—	—	0.4	V	I _{OL} = 1.6mA EVCC = 4.5 ~ 5.5V
			—	—	1.2	V	I _{OL} = 4mA EVCC = 4.5 ~ 5.5V
	VCC 電源系端子	V _{OL}	—	—	0.1	V	I _{OL} = 50μA VCC = 3.0 ~ 3.6V
			—	—	0.4	V	I _{OL} = 1.6mA VCC = 3.0 ~ 3.6V

35.2.7 許容出力電流

表 35.8 DC 特性 (許容出力電流)

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5V ~ A0VCC, A1VREFH = 4.5V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0V
 Tj = -40°C ~ 150°C

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1端子当たり)	I _{OL}	—	—	4.0	mA
出力ローレベル許容電流 (総和)	ΣI _{OL}	—	—	80.0	mA
出力ハイレベル許容電流 (1端子当たり)	I _{OH}	—	—	2.0	mA
出力ハイレベル許容電流 (総和)	ΣI _{OH}	—	—	25.0	mA

本項目はチップの発熱量や Tj に影響します。本制約のほかに、熱設計についても考慮をお願いします。

35.2.8 注入電流

表 35.9 DC 特性（注入電流）

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V
 Tj = -40 °C ~ 150 °C

項目		記号	Min.	Typ.	Max.	単位
DC 注入電流（1 端子当たり）	ロジック端子	I_{IC}	- 2.0	—	2.0	mA
	アナログ端子注1		- 3.0	—	3.0	mA
DC 注入電流（総和）		$\Sigma I_{IC} $	- 50.0	—	50.0	mA

本項目はチップの発熱量や Tj に影響します。本制約の他に、熱設計についても考慮をお願いします。

注 1. ADCCn 端子が対象です。ただし、以下の端子は除きます。
 ADCC0I00, ADCC0I03, ADCC0I20, ADCC0I21

35.2.9 入力容量

表 35.10 DC 特性（入力容量）

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力容量	全ての端子	Cin	—	10	20	pF	Vin = 0V, f = 1MHz Tj = 25 °C

35.2.10 消費電流特性

表 35.11 DC 特性 (消費電流 : C1H)

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5V ~ A0VCC, A1VREFH = 4.5V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0V
 Tj = -40°C ~ 150°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
コア消費電流 (VDD 電源)	通常動作	I_{dd}	—	185	310	mA	
	リセット時電流	I_{ddrst}	—	30	150	mA	
VCC 電源消費電流 (EPT 未使用時) 注1	通常動作 (CodeFlash 消去動作 時を除く)	I_{CC}	—	10	15	mA	
	CodeFlash 消去動作 時	$I_{cc_cferase}$	—	—	40	mA	
	リセット時電流	I_{ccrst}	3	7	15	mA	
システム系の消費電流 (SYSVCC 電源)	通常動作	I_{SYS}	—	—	1	mA	
	リセット時電流	I_{sysrst}	0.1	—	1	mA	
PLL 消費電流 (PLLVCC 電源)		I_{PLL}	2	3.5	5	mA	
アナログ電源電流 (A0VCC, A1VCC 電源)		I_{AVCC}	—	3	5	mA	T&H 動作 無効
			—	10	20	mA	T&H 動作 有効
アナログ電源電流 (RVCC 電源)		I_{RVCC}	—	—	20	mA	
ADC 基準電源電流 (A0VREFH, A1VREFH)		I_{AVREF}	—	0.22	0.5	mA	

注 1. EPT を使用する場合は、EPT の電流増幅率から EPTVOUT に流れる電流を計算し、その値を VCC に加算してください。

注 意

- A/D 変換器を使用しないとき、および A/D 変換器がスタンバイのとき、A0VCC, A1VCC, A0VREFH, A1VREFH, A0VSS, A1VSS 端子を開放しないでください。
- 消費電流値は、すべての出力端子を無負荷状態で、 $V_{IHmin} = VCC - 0.5V$ / $EVCC - 0.5V$, $V_{IL} = 0.5V$ のときの値です。

表 35.12 DC 特性 (消費電流 : C1M)

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = A0VSS = A1VSS = RVSS = 0 V
 Tj = -40 °C ~ 150 °C

項目	記号	Min.	Typ.	Max.	単位	測定条件
コア消費電流 (VDD 電源)	通常動作	—	135	250	mA	
	リセット時電流	—	30	150	mA	
VCC 電源消費電流	通常動作 (CodeFlash 消去動作 時を除く)	—	13.5	20	mA	
	CodeFlash 消去動作 時	—	—	45	mA	
	リセット時電流	5	10.5	20	mA	
システム系の消費電流 (SYSVCC 電源)	通常動作	—	—	1	mA	
	リセット時電流	0.1	—	1	mA	
アナログ電源電流 (A0VCC, A1VCC 電源)	I_{AVCC}	—	3	5	mA	T&H 動作 無効
		—	10	20	mA	T&H 動作 有効
アナログ電源電流 (RVCC 電源)	I_{RVCC}	—	—	10	mA	
ADC 基準電源電流 (A0VREFH, A1VREFH)	I_{AVREF}	—	0.22	0.5	mA	

注 意

1. A/D 変換器を使用しないとき、および A/D 変換器がスタンバイのとき、A0VCC, A1VCC, A0VREFH, A1VREFH, A0VSS, A1VSS 端子を開放しないでください。
2. 消費電流値は、すべての出力端子を無負荷状態で、 $V_{IHmin} = VCC - 0.5 V$ / $EVCC - 0.5 V$, $V_{IL} = 0.5 V$ のときの値です。

35.3 AC 特性

- タイミング条件について、特に記載がない場合は、下記条件を適用します。

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V

A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC

RVCC = 4.5V ~ 5.5V

VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V

Tj = -40 °C ~ 150 °C

- ポートコントロールレジスタにおいて、出力端子のドライバビリティ選択ができるものについては、同一チャンネルで使用するモジュールの出力端子をすべて同じドライバビリティに設定した条件を適用します。特に指定のない限り、すべてのドライバビリティ設定を含みます。

- AC 測定条件は、特に記載がないものは、下図に従います。

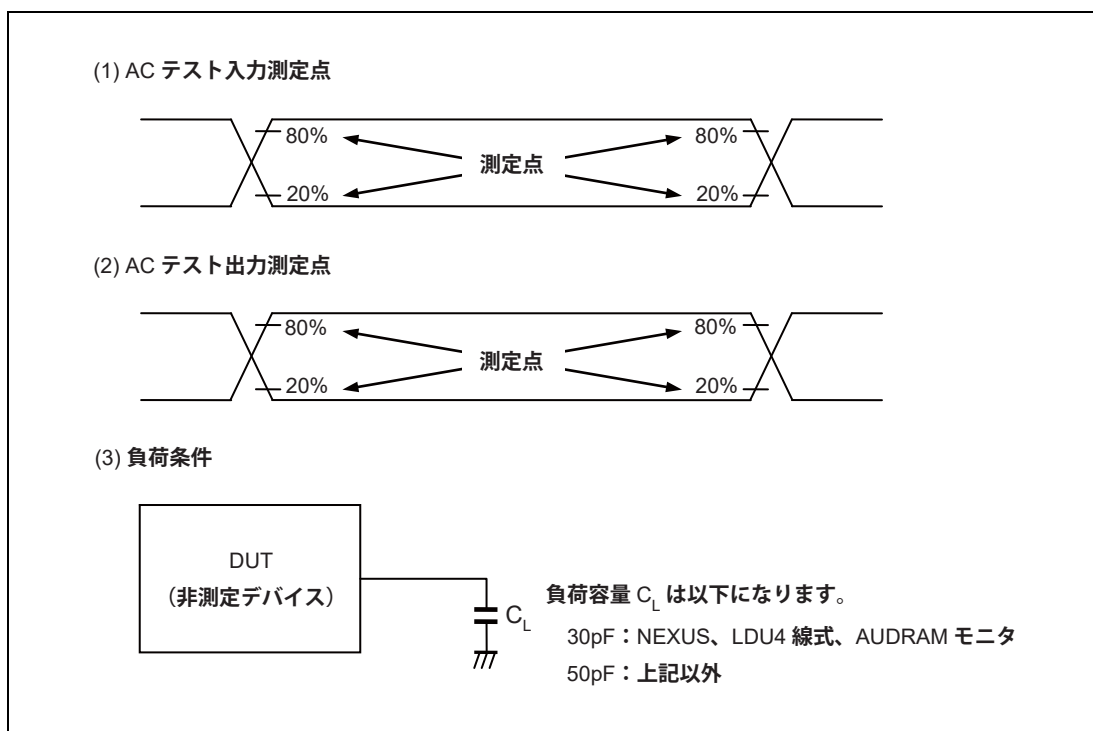


図 35.1 AC 測定条件

35.3.1 電源投入／切断タイミング

(1) EPT 未使用時

表 35.13 電源投入／切断タイミング

項目	略号	Min.	Max.	単位	備考
電源立ち上げ時の端子リセットL期間	tRESW1	10	—	ms	注1
電源立ち下げ時の端子リセットL期間	tRESW2	2	—	μs	注2
PLL1 ロックアップ時間	tPLL1L0	—	1	ms	注3

注1. tRESW1は、全電源が立ち上がり内部クロック安定供給に必要なリセット期間を示します。

注2. tRESW2は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。

注3. tPLL1L0は、MOSC（メイン OSC）が発振安定してから PLL1 がロックアップするのに必要な時間を示します。

注 意

- 電源遮断時のリセット挿入からリセットノイズキャンセル幅 (Max.1.2μs) の期間は、I/O 端子状態はリセットされません。
- フラッシュメモリの書き込み／消去中に電源遮断を行った場合は、書き込み／消去した領域のフラッシュのデータは保証できません。

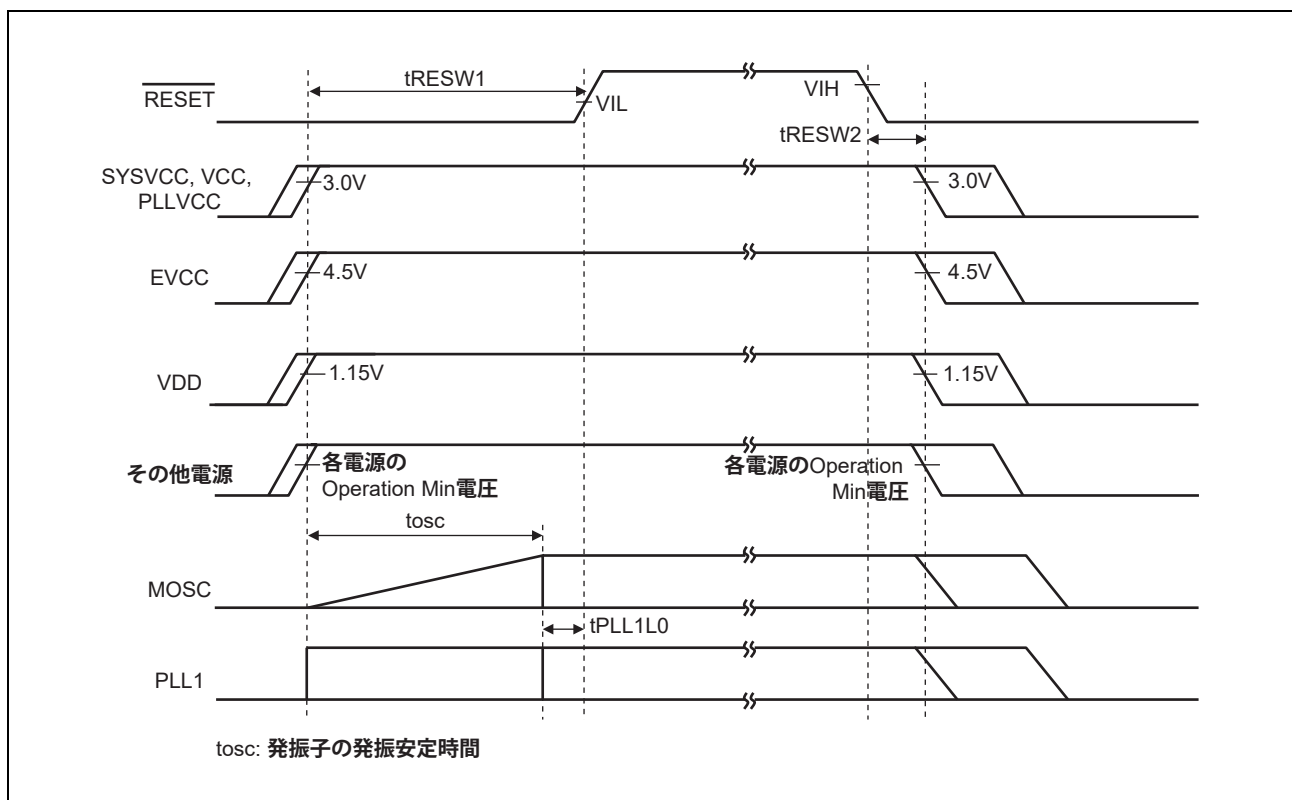


図 35.2 EPT 未使用時の電源投入／切断タイミング

(2) EPT 使用時

表 35.14 EPT 使用時の電源投入／切断タイミング

項目	略号	Min.	Max.	単位	備考
電源立ち上げ時の端子リセットL期間	tRESW4	10	—	ms	注1
電源立ち下げ時の端子リセットL期間	tRESW5	2	—	μs	注2
PLL1 ロックアップ時間	tPLL1L0	—	1	ms	注3

注1. tRESW4 は、VDD 以外の全電源が立ち上がり内部クロック安定供給に必要なリセット期間を示します。

注2. tRESW5 は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。

注3. tPLL1L0 は、MOSC (メイン OSC) が発振安定してから PLL1 がロックアップするのに必要な時間を示します。

注 意

- 電源遮断時のリセット挿入からリセットノイズキャンセル幅 (Max.1.2μs) の期間は、I/O 端子状態はリセットされません。
- フラッシュメモリの書き込み／消去中に電源遮断を行った場合は、書き込み／消去した領域のフラッシュのデータは保証できません。

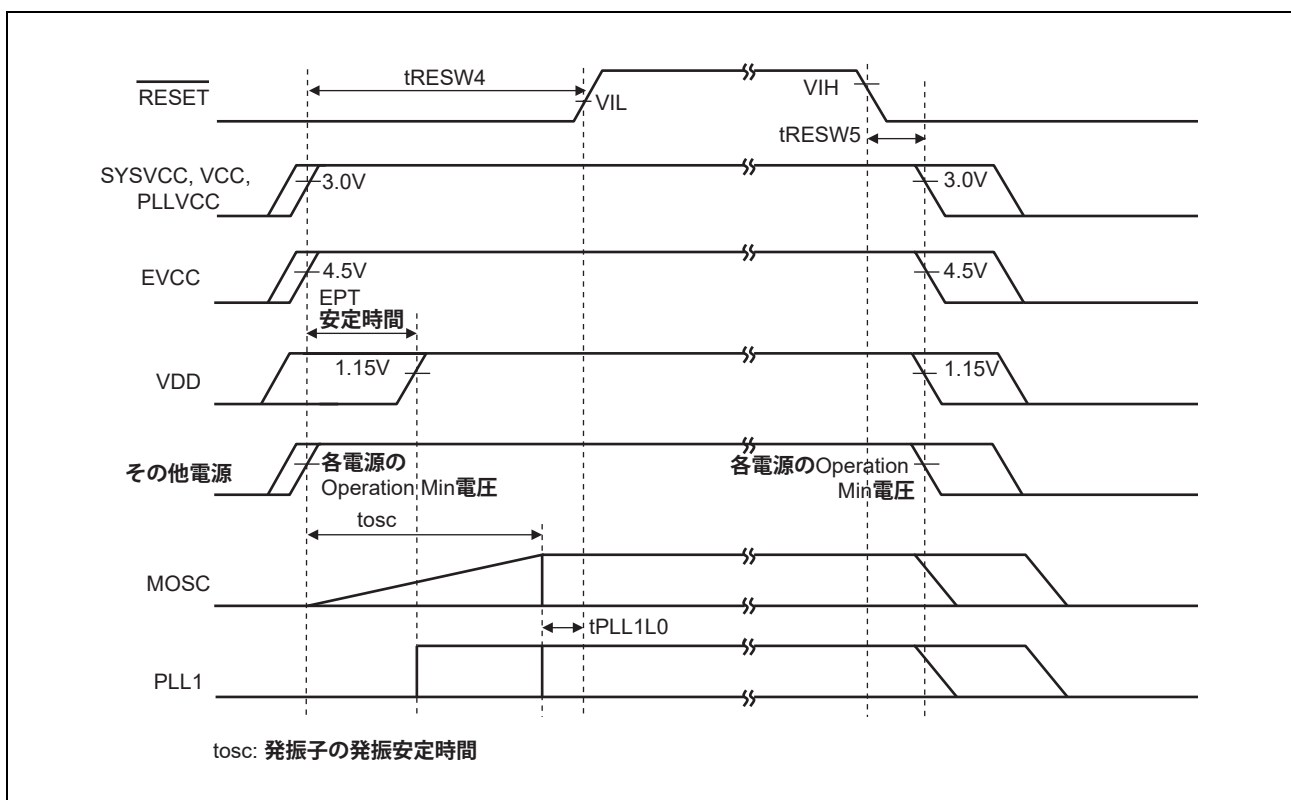


図 35.3 EPT 使用時の電源投入／切断タイミング

35.3.2 クロックタイミング

35.3.2.1 スペクトラム拡散クロックジェネレータ

表 35.15 SSCG タイミング

項目	記号	Min.	Typ.	Max.	単位
変調周波数 ^{注1}	f_{mod}	20	—	100	kHz
周波数ディザ範囲 ^{注1}	f_{dit}	4.1	—	—	%
発振安定時間 (OFF → ON)		—	—	1.6	ms

注 1. 変調方式はダウン拡散のみ。

35.3.2.2 オンチップオシレータ発振周波数精度

表 35.16 オンチップオシレータ発振周波数精度

項目	記号	Min.	Typ.	Max.	単位
CLK_LIOSC 発振周波	fLIOSC	160	240	360	kHz

35.3.3 出力スルーレート

EVCC 電源系端子

表 35.17 ドライバビリティ選択 = High

項目	記号	条件	Min.	Typ.	Max.	単位
出力立ち上がり/立ち下がり時間 スルーレート	tR、tF	CL = 25pF	—	4	6	ns
		CL = 50pF	—	6	12	ns
		CL = 75pF	—	8	16	ns
		CL = 100pF	—	10	20	ns

表 35.18 ドライバビリティ選択 = Mid

項目	記号	条件	Min.	Typ.	Max.	単位
出力立ち上がり/立ち下がり時間 スルーレート	tR、tF	CL = 25pF	—	8	15	ns
		CL = 50pF	—	15	30	ns
		CL = 75pF	—	23	45	ns
		CL = 100pF	—	30	60	ns

表 35.19 ドライバビリティ選択 = Low

項目	記号	条件	Min.	Typ.	Max.	単位
出力立ち上がり/立ち下がり時間 スルーレート	tR、tF	CL = 25pF	—	25	50	ns
		CL = 50pF	—	50	100	ns
		CL = 75pF	—	70	120	ns
		CL = 100pF	—	85	150	ns

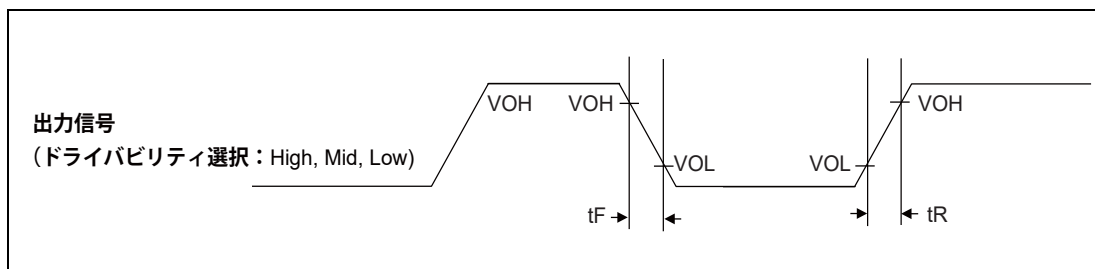


図 35.4 出力信号タイミング

35.3.4 制御信号タイミング

表 35.20 制御信号

項目	記号	Min.	Typ.	Max.	単位
リセットパルス幅 ^{注1}	tRESW3	1.5	—	—	μs
リセットノイズキャンセル幅	tRESNCW	0.2	0.4	1.2	μs
NMI ノイズキャンセル幅	tNC	0.2	0.4	1.2	μs
IRQ パルス幅 ^{注2}	tIRQ	50	—	—	ns
動作モードセットアップ時間	tMDS	1	—	—	ms
動作モードホールド時間	tMDH	1	—	—	ms

- 注1. リセットパルス幅は必ず tRESW3 の min 値以上入れてください。
リセットパルス幅がリセットノイズキャンセル幅の min 値未満なら、リセットを受け付けません。
- 注2. DNF にてノイズ除去禁止の場合。

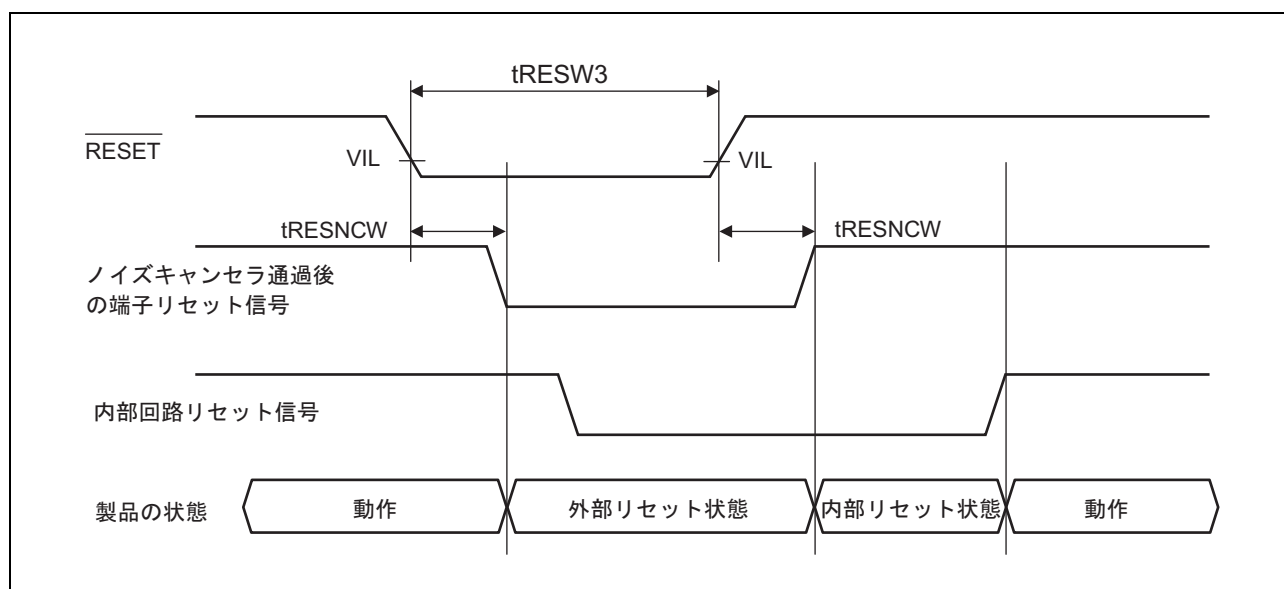


図 35.5 リセットタイミング

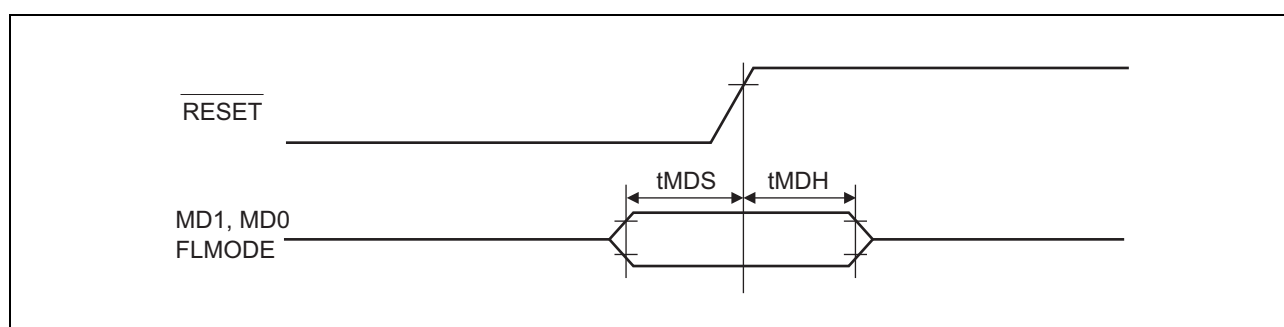


図 35.6 制御信号タイミング

35.3.5 CSIH タイミング

35.3.5.1 マスタモード

表 35.21 CSIH タイミング (マスタモード時)

条件 : CL = 50pF、ドライバピリティ選択 = High

項目	略号	条件	Min.	Max.	単位
CSIHnSC 周期	tKCYM		100	—	ns
CSIHnSC 出力ハイレベル幅	tKWHM		(tKCYM/2) - 20	—	ns
CSIHnSC 出力ロウレベル幅	tKWLM		(tKCYM/2) - 20	—	ns
CSIHnSI 入力セットアップ時間	tSSIM		18	—	ns
CSIHnSI 入力ホールド時間	tHSIM		10	—	ns
CSIHnSO 出力遅延時間	tDSOM		—	10	ns
CSIHnSO 出力ホールド時間 (対 CSIHnSC)	tHSOM		tKWHM - 10	—	ns
CSIHnRYI セットアップ時間	tSRYI	HSE = 1	(2×tPAck) + 30	—	ns
CSIHnCSSx インアクティブレベル幅	tWCSB	注 1	(CSidle + 0.5) × tKCYM - 20	—	ns
		上記以外	CSidle × tKCYM - 20	—	ns
CSIHnCSSx セットアップ時間	tSSCSB0	DAP = 0	CSsetup × tKCYM - 10	—	ns
	tSSCSB1	DAP = 1	(CSsetup + 0.5) × tKCYM - 10	—	ns
CSIHnCSSx ホールド時間	tHSCSB0	SIT = 0	CShold × tKCYM - 10	—	ns
	tHSCSB1	SIT = 1	(CShold + 0.5) × tKCYM - 10	—	ns

注 1. 通信中にシリアルクロックのレベルが変更された場合、かつ IDLE 設定が 0.5 送信クロックの場合

備考 1.

tPAck は CSIH の動作クロック周期を表します。(80MHz SSCG)

n = 0 ~ 1, x = 0 ~ 3

CSsetup : CSIHnCFGx.CSIH0SPx3-0 設定値

CShold : CSIHnCFGx.CSIH0HDx3-0 設定値

CSidle : CSIHnCFGx.CSIHnIDx2-0 設定値

DAP : CSIHnCFGx.CSIHnDAP ビット

SIT : CSIHnCTL1.CSIHnSIT ビット

HSE : CSIHnCTL1.CSIHnHSE ビット

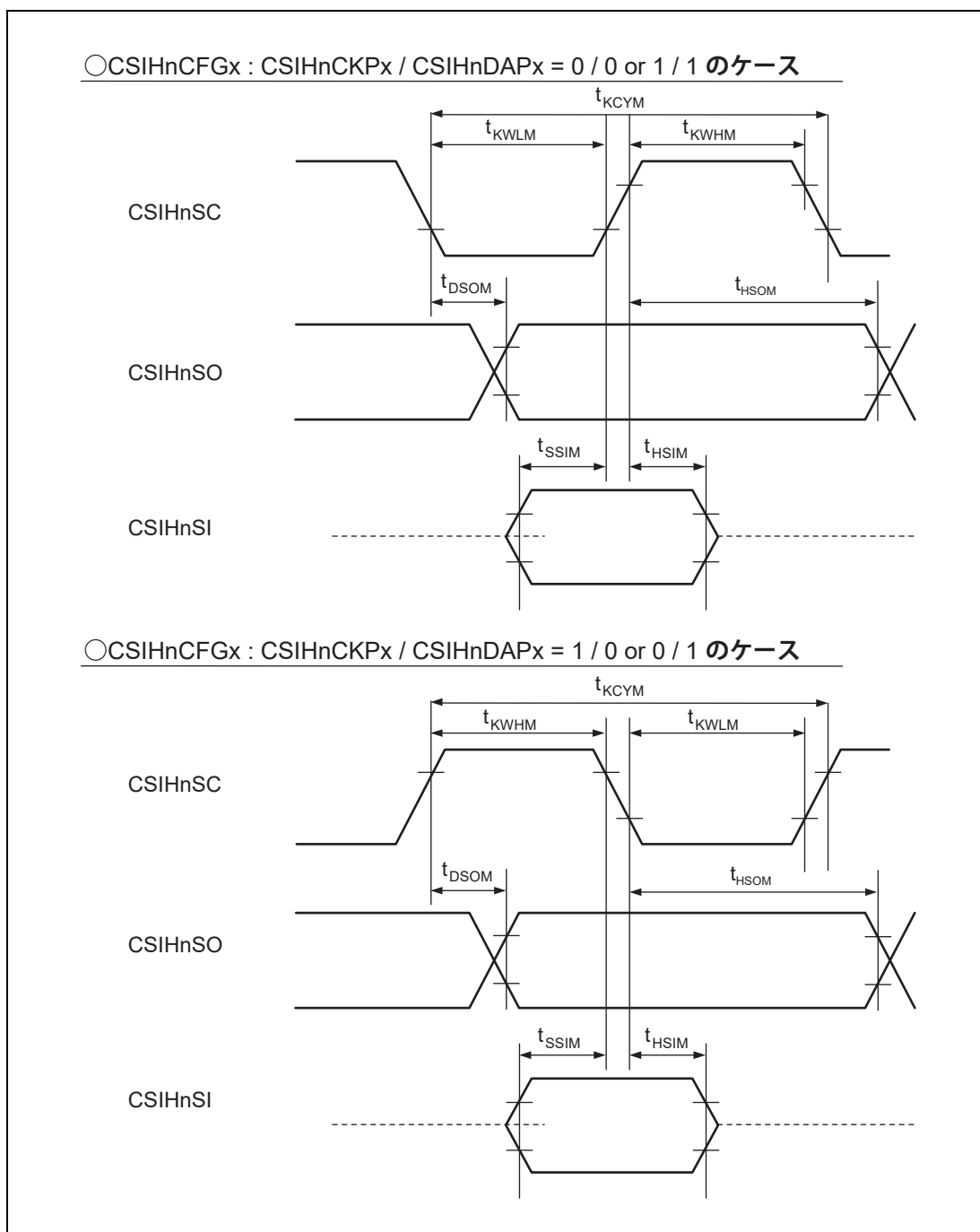


図 35.7 CSH タイミング (マスターモード) (1/4)

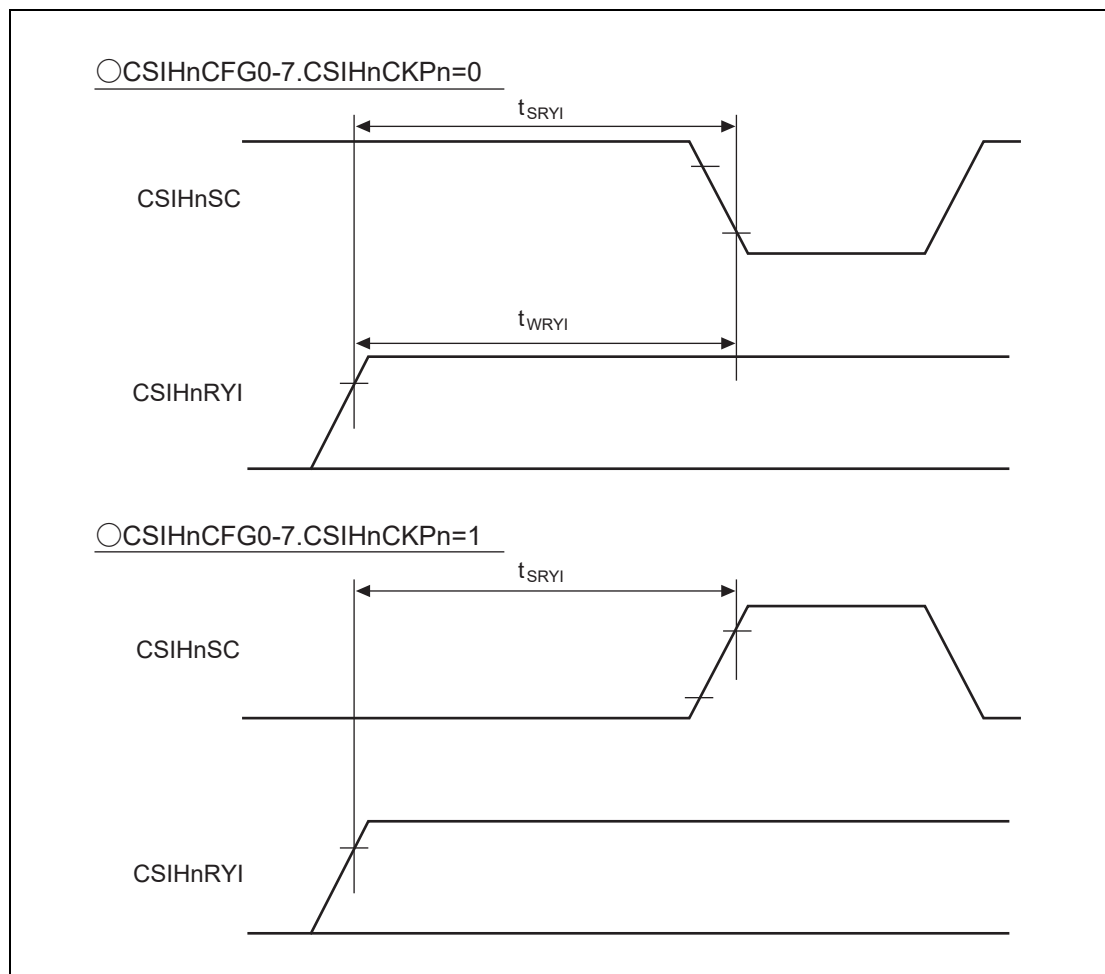


図 35.7 CSIH タイミング (マスターモード) (2/4)

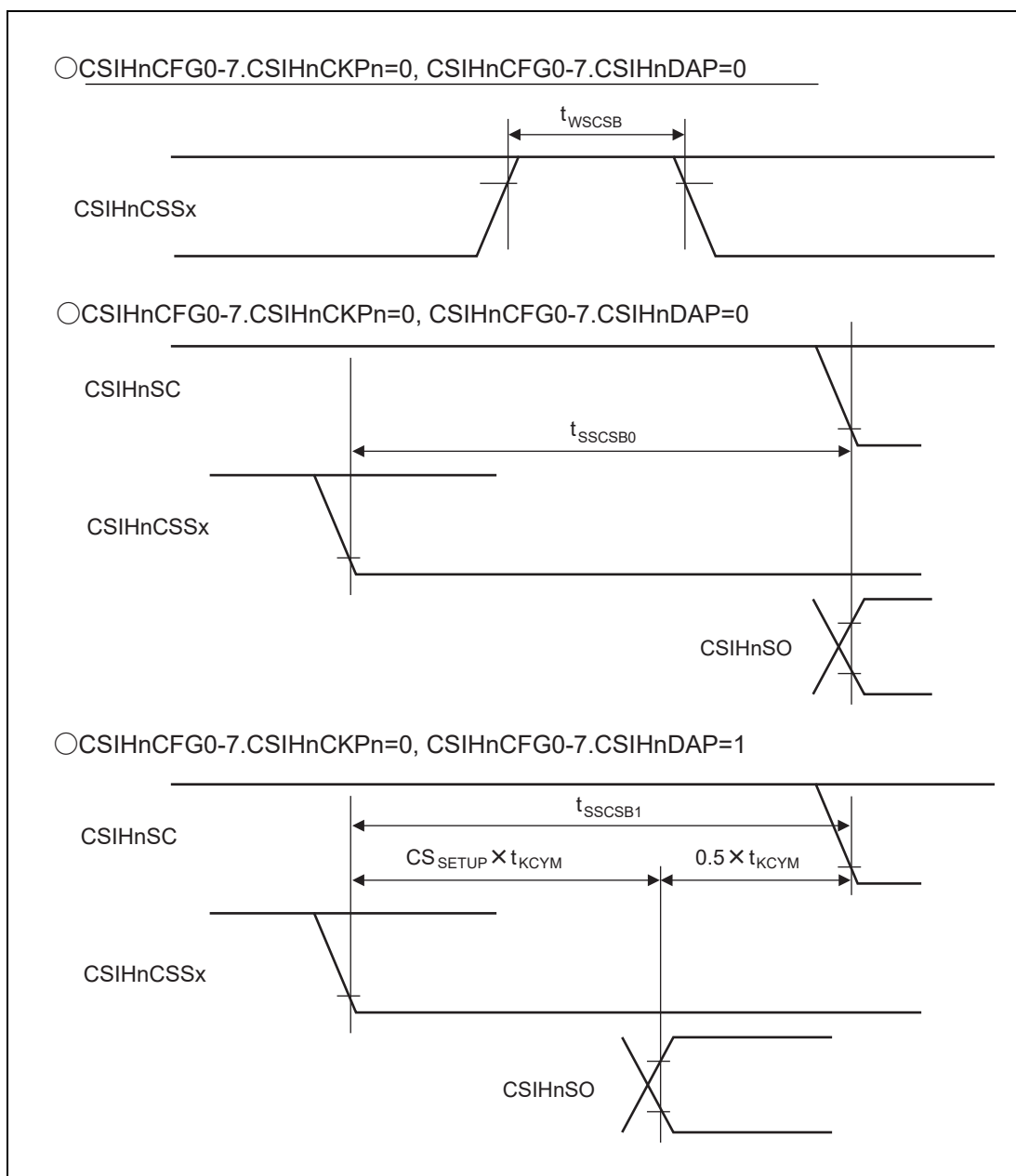


図 35.7 CSIH タイミング (マスターモード) (3/4)

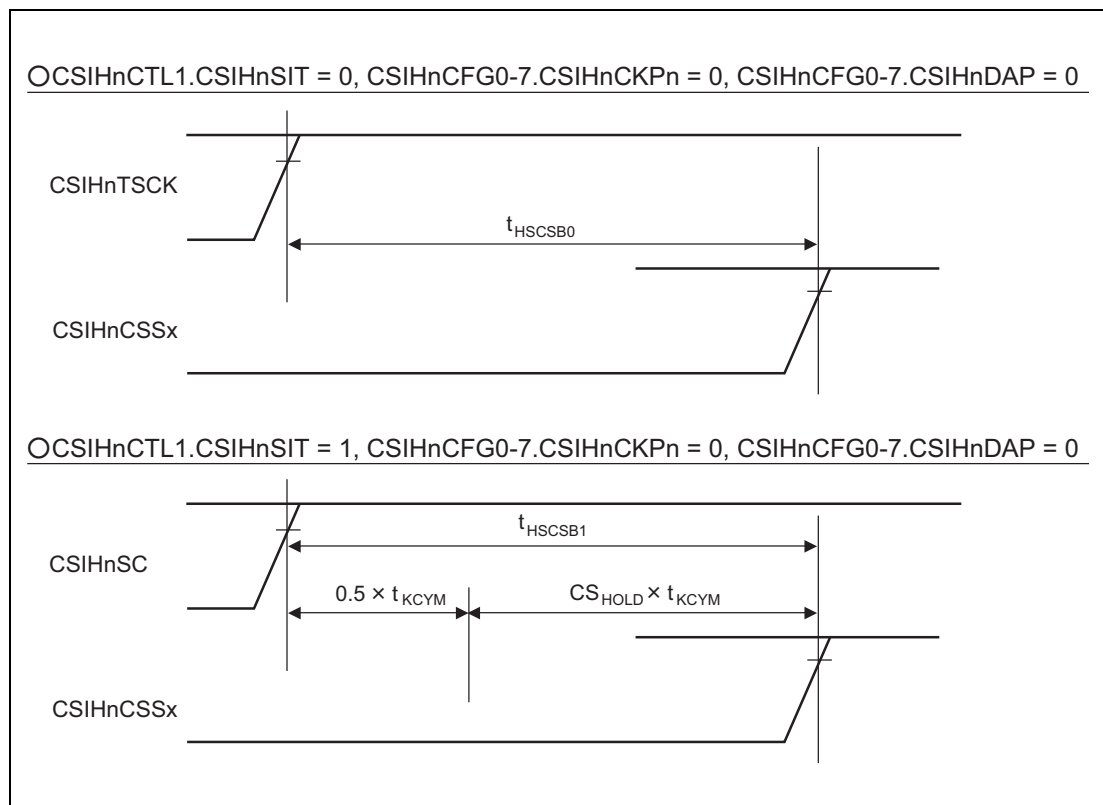


図 35.7 CSIH タイミング (マスターモード) (4/4)

35.3.5.2 スレーブモード

表 35.22 CSIH タイミング (スレーブモード時)

条件 : CL = 50pF、ドライバピリティ選択 = High

項目	略号	条件	Min.	Max.	単位
CSIHnSC 周期	tKCYS		200	—	ns
CSIHnSC 入力ハイレベル幅	tKWHS		(tKCYS/2) - 30	—	ns
CSIHnSC 入力ロウレベル幅	tKWLS		(tKCYS/2) - 30	—	ns
CSIHnSI 入力セットアップ時間	tSSIS		15	—	ns
CSIHnSI 入力ホールド時間	tHSIS		tPAck + 15	—	ns
CSIHnSO 出力遅延時間	tDSOS		—	30	ns
CSIHnSO 出力ホールド時間 (対 CSIHnSC)	tHSOS		tKWHS	—	ns
CSIHnRYO 出力遅延時間	tSRYO		—	30	ns
CSIHnSSI セットアップ時間	tSSSIS		0.5 × tKCYS	—	ns
CSIHnSSI ホールド時間	tHSSIS		tPAck + 30	—	ns
スレーブ出力解放時間	tREL		—	100	ns

備考 1.

tPAck は CSIH の動作クロック周期を表します。(80MHz SSCG)

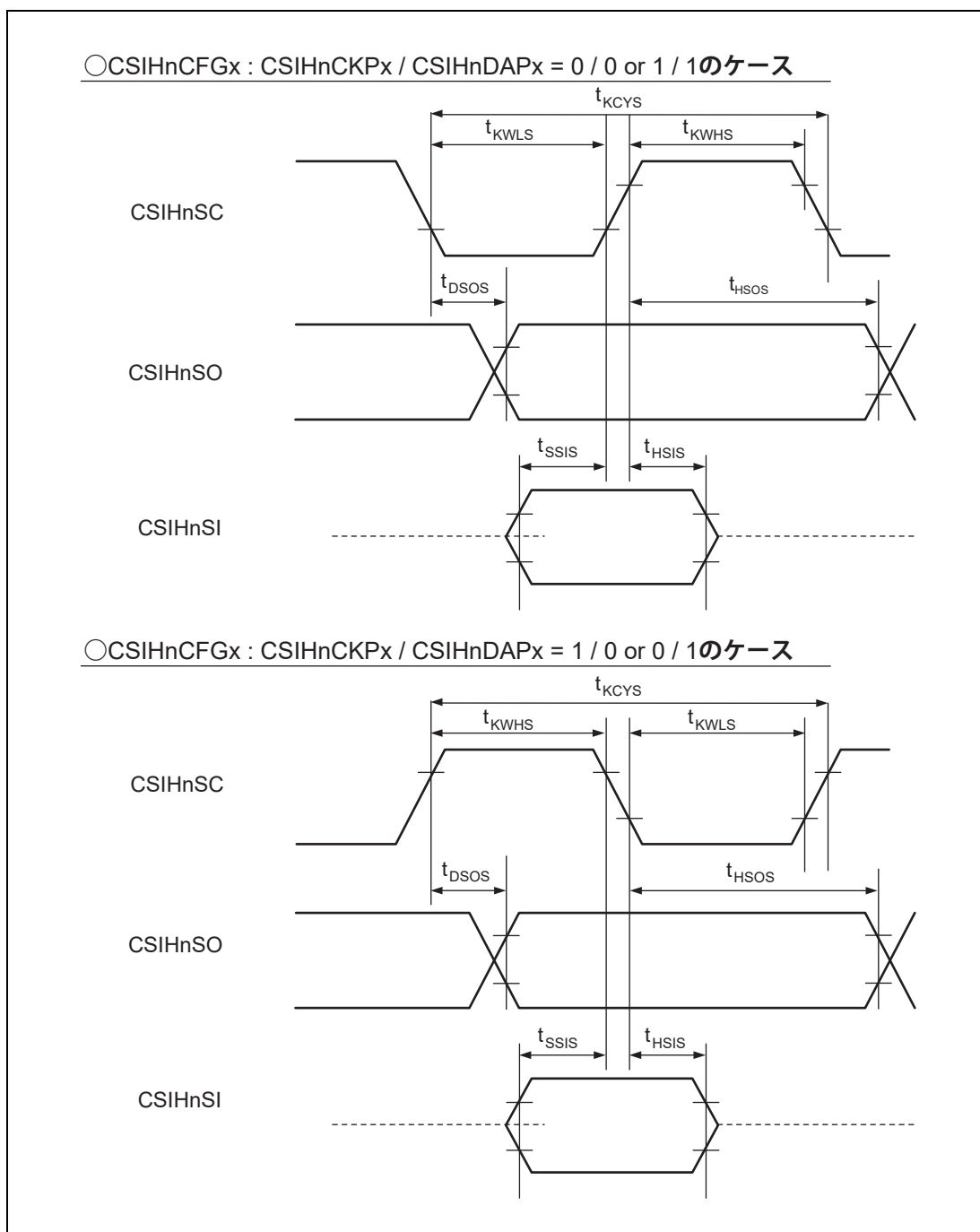


図 35.8 CSIH タイミング (スレープモード) (1/3)

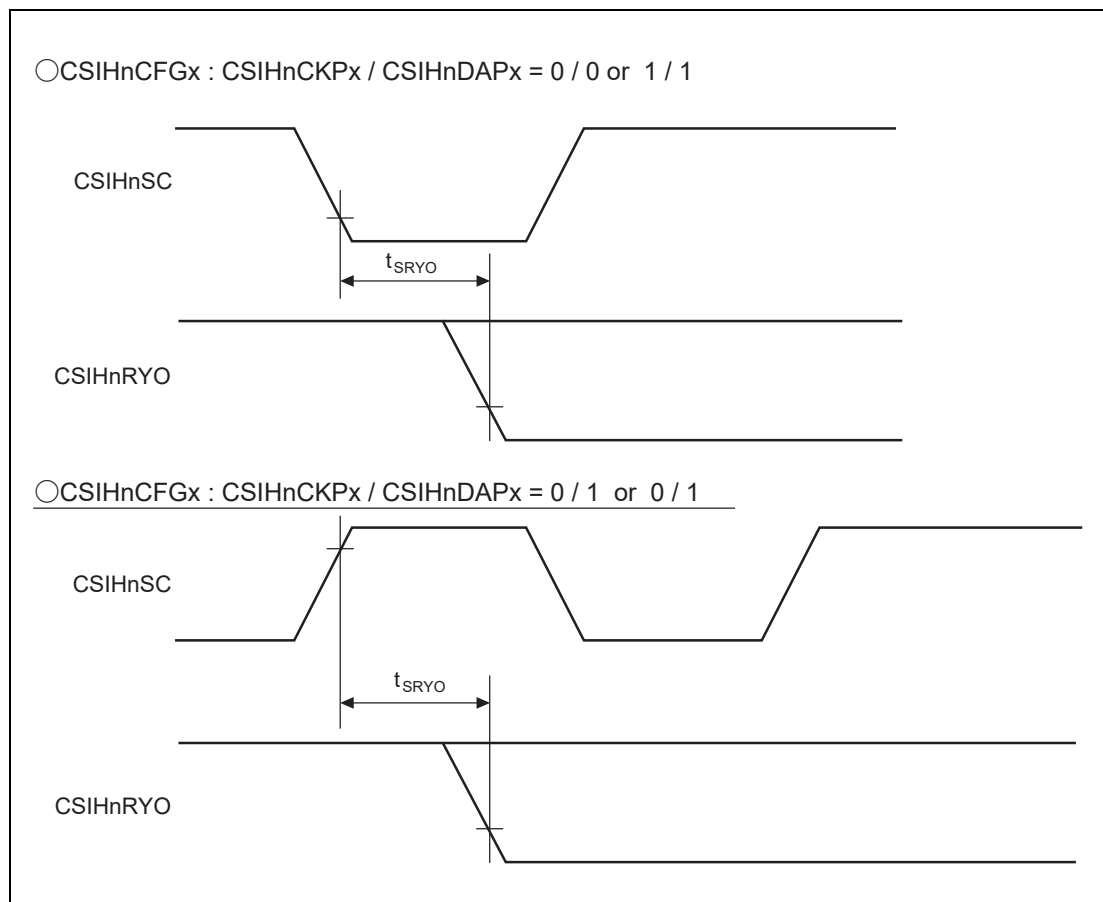


図 35.8 CSH タイミング (スレーブモード) (2/3)

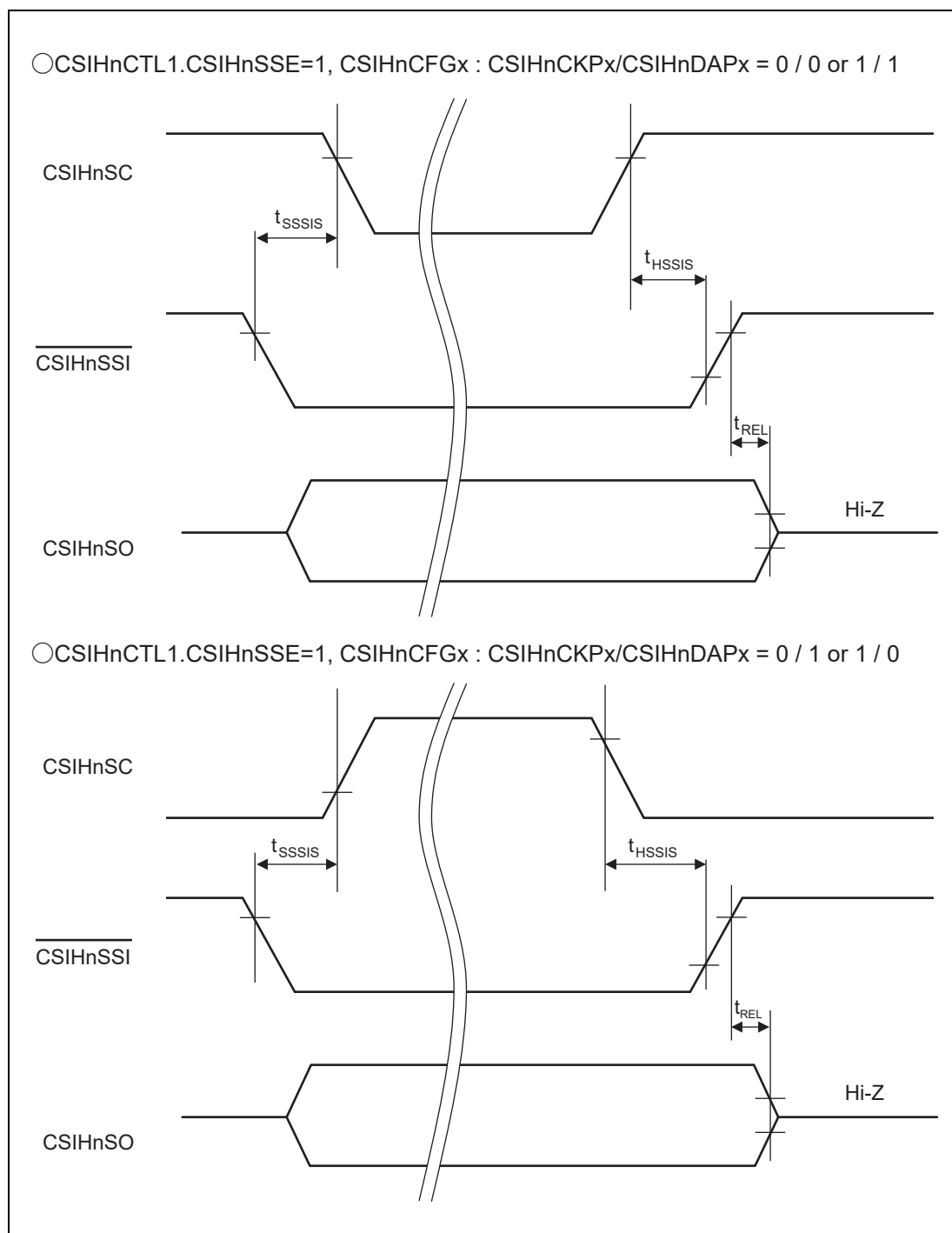


図 35.8 CSIH タイミング (スレーブモード) (3/3)

35.3.6 SCI/FLSCI タイミング

表 35.23 SCI3 タイミング (マスタモード時)

条件 : CL = 50pF、ドライバビリティ選択 = High

項目	略号	条件	Min.	Max.	単位
出カクロックサイクル	t_{Scyc}	調歩同期	$16 \times tPck$	—	ns
		クロック同期	$8 \times tPck$	—	ns
出カクロックパルス幅	t_{SCKW}		$0.4 \times t_{Scyc}$	$0.6 \times t_{Scyc}$	ns
送信データ遅延時間	t_{TXD}	クロック同期	—	40	ns
受信データセットアップ時間	t_{RXS}	クロック同期	$2 \times tPck$	—	ns
受信データホールド時間	t_{RXH}	クロック同期	$2 \times tPck$	—	ns

備考 1.

$tPck$ は SCI の動作クロック周期を表します。(40MHz CleanClock)

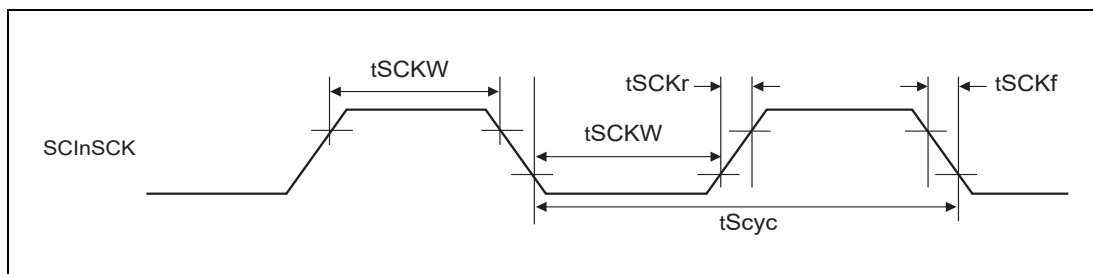


図 35.9 SCI クロック入出力タイミング

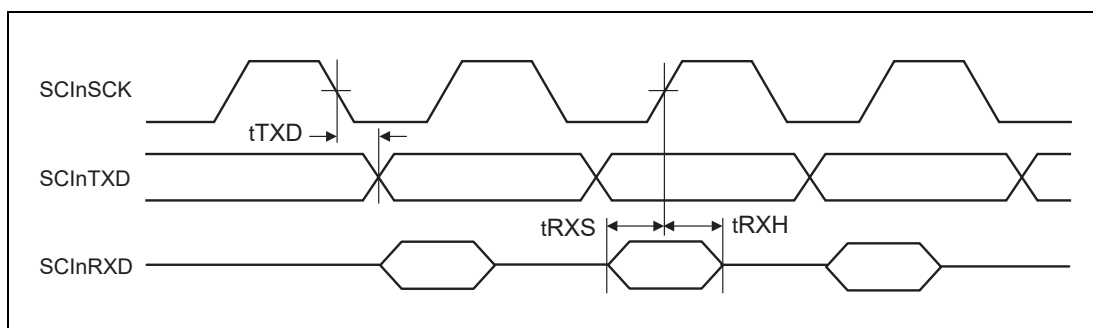


図 35.10 SCI 入出力タイミング/クロック同期式モード

表 35.24 SCI3 タイミング (スレーブモード時)

条件 : CL = 50pF、ドライバビリティ選択 = High

項目	略号	Min.	Max.	単位
入力クロックサイクル	tScyc	12 × tPck	—	ns
入力クロックパルス幅	tSCKW	0.4 × tScyc	0.6 × tScyc	ns
入力クロック立ち上がり時間	tSCKr	—	20	ns
入力クロック立ち下がり時間	tSCKf	—	20	ns
送信データ遅延時間 ^{注1}	tTXD	2 × tPck	50 + 3 × tPck	ns
受信データセットアップ時間	tRXS	2 × tPck	—	ns
受信データホールド時間	tRXH	2 × tPck	—	ns

注1. “連続転送でない Data0 (1st bit)” 以外が対象です。“連続転送でない Data0 (1st bit)” の送信は TDRE=0 と同時に開始されます。

備考 1.

tPck は SCI の動作クロック周期を表します。(40MHz CleanClock)

調歩同期のクロック入力モードは未サポートです。

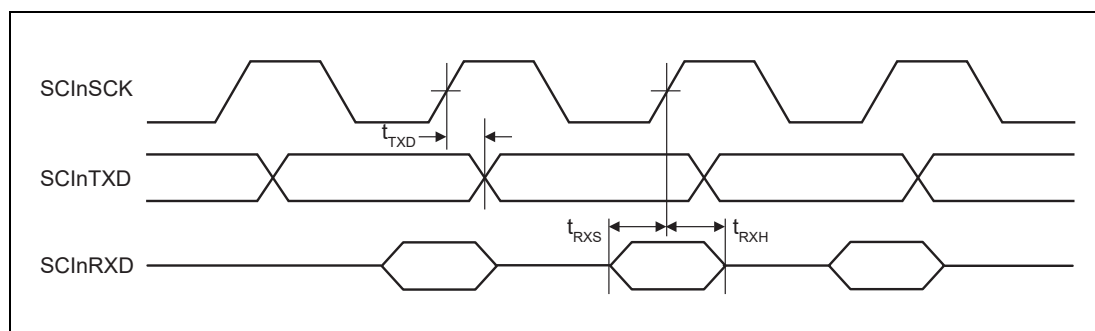


図 35.11 SCI 入出力タイミング/クロック同期式モード (スレーブモード時)

35.3.7 RS-CAN タイミング

表 35.25 RS-CAN タイミング

条件 : CL = 50pF、ドライバピリティ選択 = High

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート			—	—	1	Mbps
内部遅延時間	t_{NODE}		—	—	100	ns

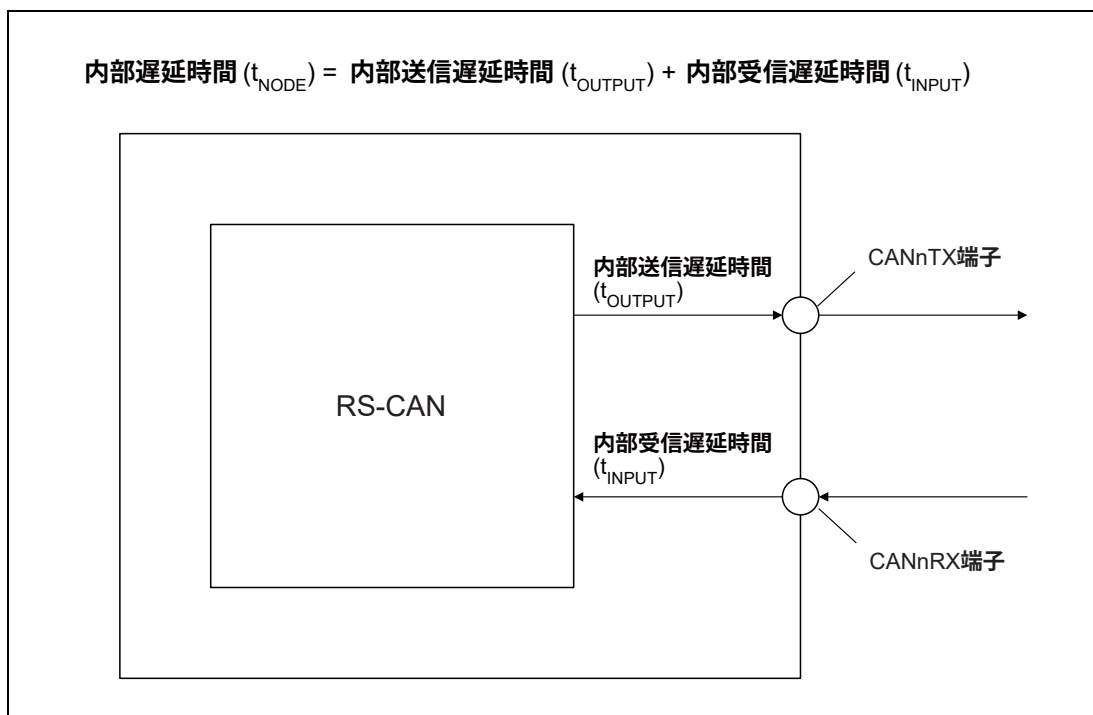


図 35.12 RS-CAN タイミング

RS-CAN の内部遅延時間の定義

$$\text{内部遅延時間 } (t_{\text{NODE}}) = t_{\text{OUTPUT}} + t_{\text{INPUT}}$$

35.3.8 RLIN2 タイミング

表 35.26 RLIN2 タイミング

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート			—	—	20	kbps

35.3.9 モータ制御信号タイミング

表 35.27 モータ制御信号タイミング

項目	略号	条件	Min.	Max.	単位
入力ハイレベル幅	tTIH	ENCAnE0-1, ENCAnEC 注1, TAPAnESO	$1.5 \times tPck$	—	ns
入力ロウレベル幅	tTIL	ENCAnE0-1, ENCAnEC 注1, TAPAnESO	$1.5 \times tPck$	—	ns

注 DNF にてノイズ除去禁止の場合

注 1. TSG3n のホールセンサ入力 (TSG3nPTSI0-I2) として使用する場合。

備考 1.

tPck は TSG3 が動作するクロック周期を示します。(80MHz CleanClock)

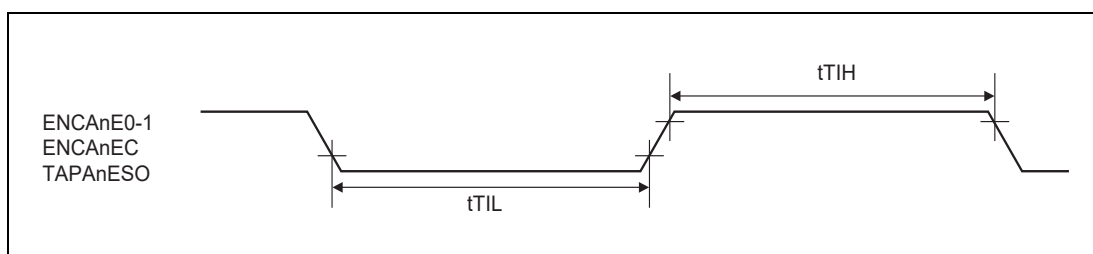


図 35.13 モータ制御信号タイミング

35.3.10 タイマタイミング

表 35.28 タイマタイミング

項目	略号	条件	Min.	Max.	単位
入力ハイレベル幅	tTIH	TAUDnI0-15, TAUJ0I0-3, ENCAnI0-1, ENCAnE0-1, ENCAnEC	$1.5 \times tPck$	—	ns
入力ロウレベル幅	tTIL	TAUDnI0-15, TAUJ0I0-3, ENCAnI0-1, ENCAnE0-1, ENCAnEC	$1.5 \times tPck$	—	ns

注 DNF にてノイズ除去禁止の場合

備考 1.

tPck は TSG3 が動作するクロック周期を示します。(80MHz CleanClock)

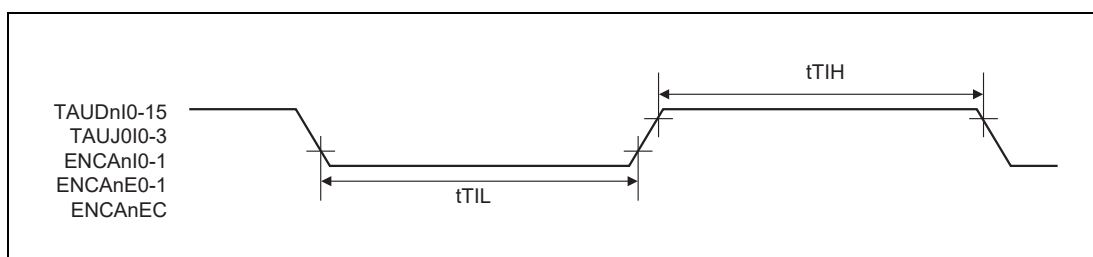


図 35.14 タイマタイミング

35.3.11 JTAG, NEXUS タイミング

表 35.29 JTAG, NEXUS タイミング

条件 : $C_L = 30 \text{ pF}$

項目	略号	条件	Min.	Max.	単位
DCUTCK 周期	tTCKW		50	—	ns
DCUTCK ハイレベル幅	tTCKWH		21	—	ns
DCUTCK ローレベル幅	tTCKWL		21	—	ns
DCUTMS, DCUTDI セットアップ時間 (対 DCUTCK ↑)	tTISU		12		ns
DCUTMS, DCUTDI ホールド時間 (対 DCUTCK ↑)	tTIH		12	—	ns
DCUTDO 出力遅延時間 (対 DCUTCK ↓)	tTDOD		—	tTCKW - 20	ns
DCURDY 出力遅延時間 (対 DCUTCK ↓)	tRDYD			tTCKW - 20	ns
DCUTRST ローレベル幅	tTRSTWL		1200		ns
DCUTRST, DCUTCK, DCUTMS, DCUTDI 入力 立ち上がり時間	tTIR		—	12	ns
DCUTRST, DCUTCK, DCUTMS, DCUTDI 入力 立ち下がり時間	tTIF		—	12	ns

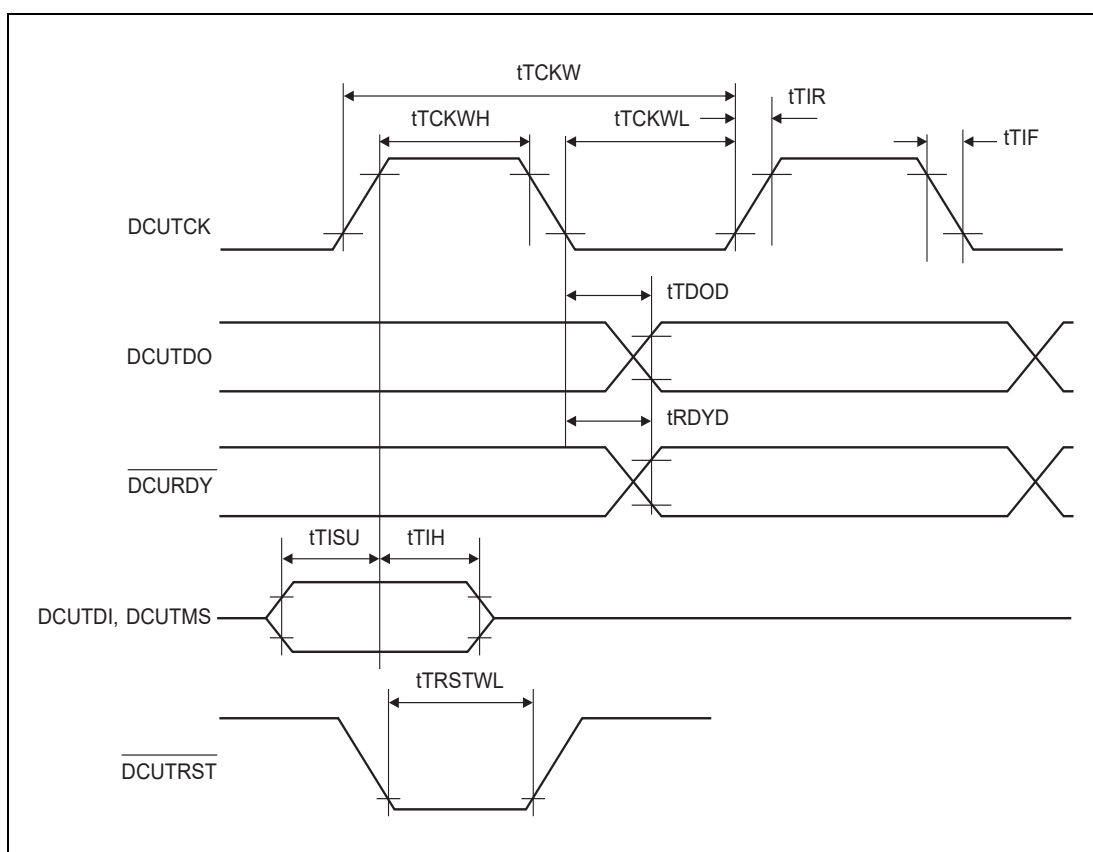


図 35.15 JTAG, NEXUS タイミング

35.3.12 LPD (4pin) タイミング

表 35.30 LPD (4pin) タイミング

条件 : $T_j = -40^\circ\text{C} \sim 150^\circ\text{C}$ 、 $C_L = 30\text{ pF}$

項目	略号	条件	Min.	Max.	単位
LPDCLK 周期	tLPDCKW		25	—	ns
LPDCLK ハイレベル幅	tLPDCKWH		4.5	—	ns
LPDCLK ローレベル幅	tLPDCKWL		4.5	—	ns
LPDCLK 入力立ち上がり時間	tLPDCKR		—	8	ns
LPDCLK 入力立ち下がり時間	tLPDCKF		—	8	ns
LPDI セットアップ時間 (対 LPDCLK ↑)	tLPDSU		2	—	ns
LPDI ホールド時間 (対 LPDCLK ↑)	tLPDH		2	—	ns
LPDCLKOUT 周期	tLPDCKOW		25	—	ns
LPDCLKOUT ハイレベル幅	tLPDCKOWH		4.5	—	ns
LPDCLKOUT ローレベル幅	tLPDCKOWL		4.5	—	ns
LPDCLKOUT 入力立ち上がり時間	tLPDCKOR		—	8	ns
LPDCLKOUT 入力立ち下がり時間	tLPDCKOF		—	8	ns
LPDO 出力遅延時間 (対 LPDCLKOUT ↑)	tLPDOD		0	12	ns

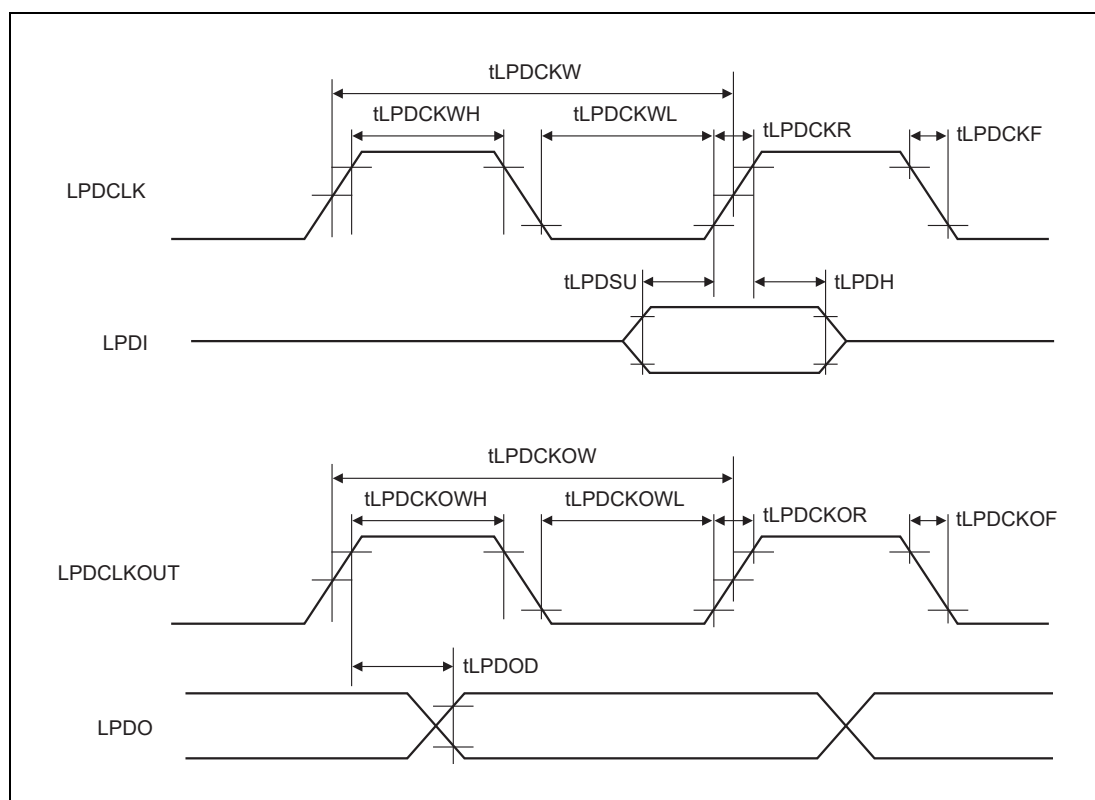


図 35.16 LDU4 線式タイミング

35.3.13 AUD RAM モニタ

表 35.31 AUD RAM モニタタイミング

条件 : $T_j = -40^\circ\text{C} \sim 150^\circ\text{C}$ 、 $C_L = 30\text{ pF}$

項目	略号	Min.	Max.	単位
AUDCK 周期 (モニタモード)	tAUCKMcycc	50	—	ns
AUDCK ハイレベル幅 (モニタモード)	tAUCKMH	$0.4 \times tAUCKMcycc$	—	ns
AUDCK ローレベル幅 (モニタモード)	tAUCKML	$0.4 \times tAUCKMcycc$	—	ns
AURST セットアップ時間 (モニタモード、対 AUDCK ↑)	tAURSTMS	30	—	ns
AURST 入力パルス幅 (モニタモード)	tAURSTMW	$5 \times tAUCKMcycc$	—	ns
モニタデータ出力遅延時間 (対 AUDCK ↑)	tAUDTMD	—	35	ns
モニタデータ入力セットアップ時間 (対 AUDCK ↑)	tAUDTMS	15	—	ns
モニタデータ入力ホールド時間 (対 AUDCK ↑)	tAUDTMH	5	—	ns
AUDSYNC 入力セットアップ時間 (対 AUDCK ↑)	tAUDSYS	15	—	ns
AUDSYNC 入力ホールド時間 (対 AUDCK ↑)	tAUDSYH	5	—	ns

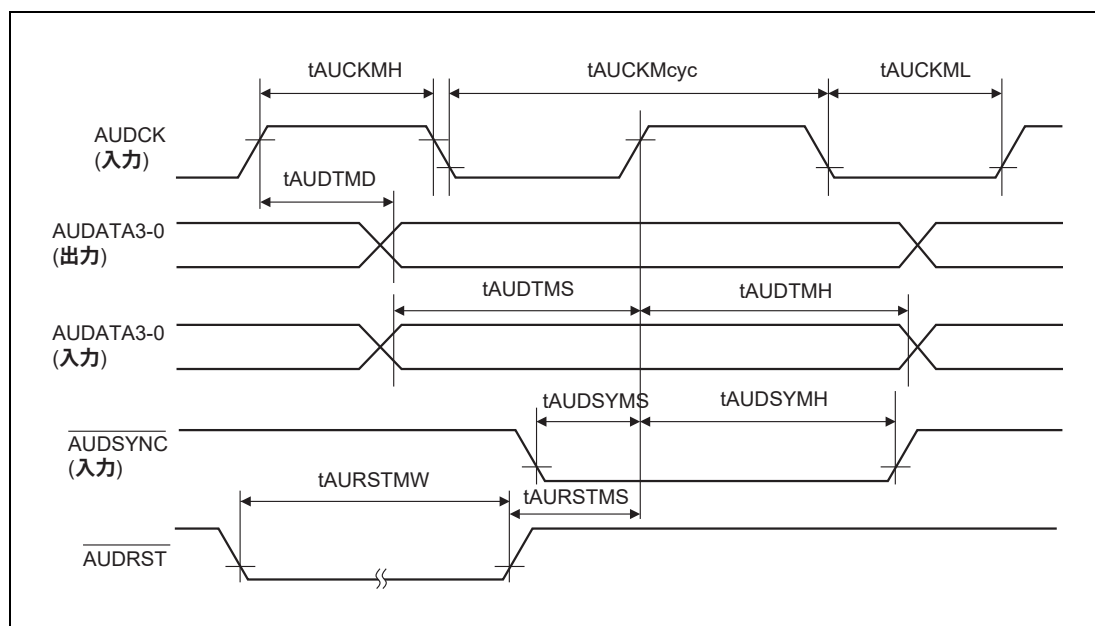


図 35.17 AUD RAM モニタタイミング

35.4 A/D 変換器特性

表 35.32 A/D 変換器特性

項目	略号	条件	Min.	Typ.	Max.	単位
デジタル分解能	—	—	—	12	—	bit
A/D 変換時間 ^{注1}	—	—	—	1	—	μs
積分非直線性	—	T&H アンプ使用時	—	—	±4	LSB
オフセット誤差	—	T&H アンプ使用時	—	—	±7.5	LSB
フルスケール誤差	—	T&H アンプ使用時	—	—	±7.5	LSB
量子化誤差	—	—	—	—	±0.5	LSB
絶対誤差	—	—	—	—	±8.0	LSB
自己診断時の絶対誤差	—	A/D 変換回路自己診断時	—	—	±8.0	LSB
	—	端子レベル自己診断時	—	—	±80	LSB
アナログ入力容量	—	待機中	—	—	10	pF
	—	サンプリング中	—	—	20	pF
許容アナログ信号源インピーダンス	—	—	—	—	3	kΩ
チャンネル T&H 保持時間 ^{注2}	—	—	—	—	10	μs
T&H サンプリング時間	—	—	—	—	0.45	μs
入力電圧範囲	—	T&H アンプ未使用時	0	—	A0VREFH A1VREFH	V
	—	T&H アンプ使用時	0.2	—	A0VREFH-0.2 A1VREFH-0.2	V

注 1. 1チャンネルあたりの変換時間であり、T&H 時間は含みません。

注 2. T&H 回路を使用した場合、Max. 値以内で A/D 変換を行ってください。

• A/D 変換器の外付け回路による誤差について

サンプリング誤差は入力回路、変換周期に依存します。誤差式は LSI 内部の寄生容量、AMP オフセット、信号源抵抗、変換周期を考慮してサンプリング誤差を計算するための簡易式です。誤差式を利用することで、信号源抵抗、変換周期がサンプリング誤差に与える影響が計算できます。

下図においてアナログ入力 1, 2 の順で A/D 変換を行った際のアナログ入力 2 の誤差式は下記の通りです。

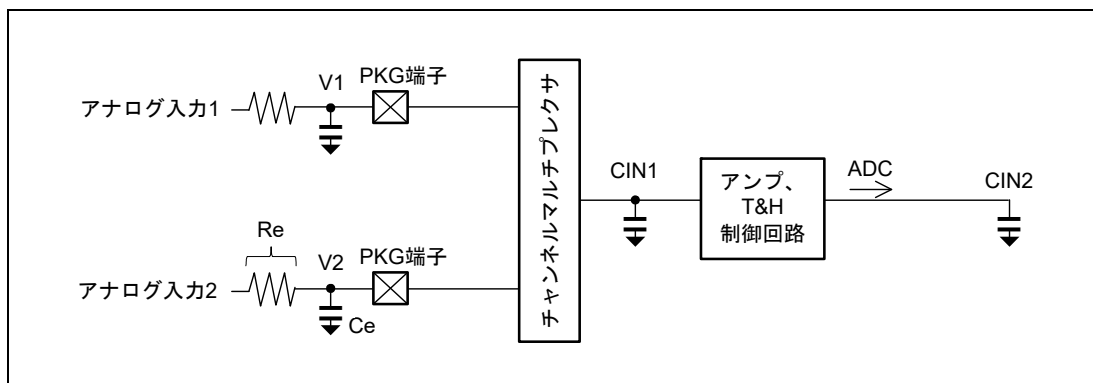
$$\text{変換誤差}(LSB) = \left[\left(\frac{|V2 - V1| \times CIN1}{Ce + CIN1} + \frac{|Vvfaerr| \times CIN2}{Ce + CIN2} \right) \times \frac{1}{1 - e^{-T1 / (Re \times Ce)}} + \left(\frac{1}{T1} \times C1 \times V3 \times Re \right) \right] \times \frac{4096}{Vavrefh}$$

表 35.33 C1M (R7F701271EAFP #**0) / C1H (R7F701270EABG #**0) のパラメータ

項目	記号	参考値	単位
チャンネルマルチプレクサ後段の共通容量 (ADCC0)	CIN1	1.6	pF
チャンネルマルチプレクサ後段の共通容量 (ADCC1)	CIN1	2	pF
アンプ、T&H 制御回路後段の共通容量	CIN2	10	pF
アナログ入力端子の外付け容量	Ce	ユーザ基板依存	μF
信号源インピーダンス	Re		kΩ
変換端子の変換周期	T1		ms
AnVREFH 電圧 (n = 0, 1)	Vavrefh		V
V1, V2 電位差	V2-V1	5	V
アンプ、T&H 制御回路のオフセット電圧	Vvfaerr	50	mV
チャンネルマルチプレクサ内の寄生容量	C1	10	pF
AnVCC 電圧 /2- 測定端子電圧 (n = 0, 1)	V3	ユーザ基板依存	V

表 35.34 C1M (R7F701271EAFP #**4) / C1H (R7F701270EABG-C #**4) のパラメータ

項目	記号	参考値	単位
チャンネルマルチプレクサ後段の共通容量 (ADCC0)	CIN1	1.6	pF
チャンネルマルチプレクサ後段の共通容量 (ADCC1)	CIN1	2	pF
アンプ、T&H 制御回路後段の共通容量	CIN2	10	pF
アナログ入力端子の外付け容量	Ce	ユーザ基板依存	μF
信号源インピーダンス	Re		kΩ
変換端子の変換周期	T1		ms
AnVREFH 電圧 (n = 0, 1)	Vavrefh		V
V1, V2 電位差	V2-V1	5	V
アンプ、T&H 制御回路のオフセット電圧	Vvfaerr	50	mV
チャンネルマルチプレクサ内の寄生容量	C1	2	pF
AnVCC 電圧 /2- 測定端子電圧 (n = 0, 1)	V3	ユーザ基板依存	V



- 本誤差式で算出される値は、A/D変換器特性で規定される誤差（絶対誤差等）は含みません。
- 本誤差式は、机上で算出される理論式であり、信号源抵抗が極端に高い場合や、変換周期が短い場合については実測値と乖離する場合があります。（本誤差式の適用範囲は、 $Re < 1.5M\Omega$ かつ $T1 \geq 10\mu s$ 、または $1.5M\Omega \leq Re \leq 2M\Omega$ かつ $T1 \geq 512\mu s$ ）したが、実際に発生する誤差は、ご使用される容量、抵抗、基板配線上の容量、抵抗にも依存するため、ユーザ基板での評価確認をお願いいたします。

35.5 R/D 変換器特性

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5V
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V
 Tj = -40 °C ~ 150 °C

35.5.1 RDC 変換性能

表 35.35 RDC 変換性能

項目	条件	Min.	Typ.	Max.	単位	
分解能 ^{注1}		—	—	16	bit	
変換精度 ^{注2}	電気角に対する静止時絶対誤差 (12ビット分解能時)	—	—	±4	LSB	
セトリングタイム (電気角 180° 入力ステップ応答)	整定範囲 ±8LSB 以内	帯域 800Hz	—	53	—	ms
		帯域 1500Hz	—	31	—	
		帯域 1000Hz	—	43	—	
		帯域 500Hz	—	85	—	
		帯域 200Hz	—	211	—	
最大角速度 ^{注3} (()内の数値は帯域設定が自動調整の 場合)	16ビット分解能	15000 (7500)	—	—	min ⁻¹	
	14ビット分解能	60000 (30000)	—	—		
	13ビット分解能	120000 (60000)	—	—		
	12ビット分解能	240000 (120000)	—	—		
	11ビット分解能	480000 (240000)	—	—		
	10ビット分解能	960000 (480000)	—	—		
最大角加速度 追従可能な角加速度範囲 (電気角)	帯域 800Hz	—	146000	—	rad/s ²	
	帯域 1500Hz	—	513000	—		
	帯域 1000Hz	—	183000	—		
	帯域 500Hz	—	46000	—		
	帯域 200Hz	—	5000	—		
	自動調整	—	3000000	—		
応答遅延 ^{注4}	一定角速度における電気角出力応 答遅延	-0.2	—	0.20	°/10000 min ⁻¹	
BIST 判定時間 ^{注5}	角度変換 BIST (角度判定閾値 ±8LSB 以内)	—	—	10	ms	
	レゾルバ信号異常検出 BIST	—	—	1.5	ms	
	レゾルバ信号断線検出 BIST	—	—	1	ms	
	変換異常 BIST	—	—	10	ms	
BIST 復帰時間 ^{注6}	全 BIST 種	—	—	10	ms	

注 1. RDC2n 最大角速度設定レジスタの最大角速度選択ビット設定により分解能は変化します。レジスタアクセスにより最大 16bit 幅で角度を読み出し可能です。

注 2. RDC へのアナログ入力信号波形が完全な理想正弦波の場合の実力値になります。アナログ入力信号、電源電圧に歪み、ずれ等があれば、それに応じて R/D 変換結果はレゾルバ機械角からずれを生じます。

注 3. 追従可能な角速度範囲 (電気角)。RDC2n 最大角速度設定レジスタの最大角速度選択ビット設定により変わります。

- 注 4. 実際に RDC から出力される PHI 角度出力は、この応答遅れにアナログ回路で発生する精度誤差が足された値になります。また、PHI 角度出力レジスタ値をバスアクセスにて読み出す場合はアクセス時間がかかります。PHI コンペア信号を使用する場合は、アクセス時間は発生しません。
- 注 5. BIST 判定結果が安定するまでの時間を記載。
また、変換異常 BIST の判定時間は、デフォルト状態の値です。変換異常 BIST 判定時間は RDC2n 変換条件選択レジスタ RDC2nCONSEL.EDPS[1:0] ビットに依存するため、変換異常判定時間を 10ms 以上に設定した場合は BIST 判定時間も 10ms 以上になります。
- 注 6. BIST 動作状態から通常動作状態に復帰するまでの時間
励磁周波数が 9kHz 未満の場合、BIST 復帰時間は最大 15ms になります。
変換異常判定時間を 10ms 以上に設定した場合は、BIST 復帰時間も設定値以上（10ms 以上）の値になります。

35.5.2 RDC アナログ端子

表 35.36 RDC アナログ端子の特性

信号	略号	項目	Min.	Typ.	Max.	単位
レゾルバ励磁電源用 信号源出力 ^{注1}	RSO	周波数	—	—	40	kHz
		出力電圧 ^{注2}	$0.38 \times$ RVCC	$0.4 \times$ RVCC	$0.42 \times$ RVCC	V_{P-P}
		負荷インピーダンス	10	—	—	k Ω
		出力切替 ^{注3}	-40	± 0	+20	%
レゾルバ励磁電源用 コモン電圧出力	COM	出力電圧	$0.475 \times$ RVCC	$0.5 \times$ RVCC	$0.525 \times$ RVCC	V
		負荷インピーダンス	10	—	—	k Ω
レゾルバ励磁信号 外部入力	R1E, R2E	周波数 ^{注4 注10}	5	—	40	kHz
		入力電圧範囲	0	—	RVCC	V
		入力電圧差動振幅	2	—	—	V_{P-P}
		入力インピーダンス ^{注11}	32	40	48	k Ω
レゾルバ信号入力	S1, S2, S3, S4	周波数 ^{注10}	5	—	40	kHz
		入力電圧範囲 ^{注5}	—	—	—	V
		入力インピーダンス ^{注6}	16	21	26	k Ω
		入力インピーダンス切替 ^{注7}	-40	± 0	+40	%
レゾルバ信号 モニタ出力	COSMNT, SINMNT	周波数 ^{注8}	5	—	40	kHz
		出力電圧 ^{注9}	$0.4 \times VCC$	—	$0.6 \times VCC$	V_{P-P}
		負荷インピーダンス	100	—	—	k Ω

- 注 1. 擬似正弦波出力で、7 ビットの D/A 出力です。
- 注 2. COM 電圧を中心に振幅します。記載されている値は、出力調整デフォルト ($\pm 0\%$) 設定時の値です。
- 注 3. 調整機能により、-40、-20、 ± 0 、+20 % の 4 段階で出力電圧を調整可能です。
- 注 4. レゾルバ励磁信号の外部入力 (RDC2nCON.EXIO = 0b 設定) 時において、励磁周波数 22kHz 以上の周波数で入力する場合は、RDC2nCON.CVEDS = 1b とし、RD 変換異常検出回路 (高速回転対応) を使用しない設定にしてください。
- 注 5. 外付け回路によります。
COSMNT, SINMNT = $0.4 RVCC \sim 0.6 RVCC (V_{P-P})$ になるように入力電圧を調整してください。
- 注 6. 内蔵帰還抵抗による入力インピーダンスです。デフォルト設定 ($\pm 0\%$) 時の値です。
- 注 7. 調整機能により、-40% から +40% まで 10% 刻みで調整可能です。
- 注 8. レゾルバ信号入力の入力周波数と同じです。
- 注 9. 角度変換精度を得るために、この範囲内に調整してください。
- 注 10. レゾルバ励磁信号外部入力とレゾルバ信号入力の励磁成分位相誤差は 45° 以内にしてください。
- 注 11. RDC2nCON.EXIO = 0b (外部励磁信号入力設定) 時は RSO (R1E)、COM (R2E) 端子は本インピーダンスで RVSS にプルダウンされます。

35.5.3 異常検出の特性

表 35.37 異常検出の特性

異常検出内容		設定閾値	検出時間 [ms]
レゾルバ信号異常 モニター出力振幅電圧 ^{注1}	設定レジスタ RDC2nCON.REDTH = 0b	$0.10 \times (RVCC \pm 5\%) [V_{P-P}]$	2 (max.)
	設定レジスタ RDC2nCON.REDTH = 1b	$0.14 \times (RVCC \pm 5\%) [V_{P-P}]$	
	レンジ間相対偏差	$0.04 \times (RVCC \pm 5\%) [V_{P-P}]$	
レゾルバ信号断線 (直流バイアス印加法) VSINMNT-VCOM または VCOSMNT-VCOM ^{注2}	設定レジスタ RDC2nCON.BDVTH = 1b	$COM + 0.35 \times (RVCC \pm 5\%) [VDC]$	10 (max.)
	設定レジスタ RDC2nCON.BDVTH = 0b かつ RDC2nCON.EXIO = 1b かつ RDC2nCON.SENS = 0b	$COM + 0.35 \times (RVCC \pm 5\%) [VDC]$	
	上記設定以外	$COM + 0.08 \times (RVCC \pm 5\%) [VDC]$	
R/D 変換異常 (制御偏差過大) 内部制御偏差 (ϵ) 過大認識 レベル ^{注3}	ハイ側	$0.55 \times (RVCC \pm 5\%) [VDC]$	注4
	ロウ側	$0.45 \times (RVCC \pm 5\%) [VDC]$	

注 1. SINMNT, COSMNT とともに閾値を下回ると、異常と判定します。

注 2. DC レベル変動が閾値を上回ると、異常と判定します。

注 3. 制御偏差がハイ側閾値以上、またはロウ側閾値以下で、過大と判定します。

注 4. レジスタ RDC2nCONSEL.EDPS[1:0] ビットで設定した期間 (デフォルト設定 = 約 7.4ms) の平均値として、制御偏差過大認識率 50% を越えた場合に、異常と判定します。異常継続時間が検出時間より短い場合は、検出されない可能性があります。

35.6 Code Flash 特性

表 35.38 Code Flash 基本特性

項目	略号	条件	Min.	Typ.	Max.	単位
書き換え回数 ^{注1}	CWRT	保持 20 年 ^{注2}	1000	—	—	回
プログラミング温度	TPRG	Tj	-40	—	+150	°C
読み出し温度	TREAD	Tj	-40	—	+150	°C

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、32KB のブロックについて、それぞれ異なる番地に 256 バイトの書き込みを 128 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 平均 Ta = 85 °C での保持期間。コードフラッシュメモリの消去が正常に完了した時点からの保持期間。

表 35.39 Code Flash プログラミング特性

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V
 Tj = -40 °C ~ 150 °C

項目	条件	ブロックサイズ	Min.	Typ.	Max.	単位
書き込み時間	書き替え回数 < 100 回	256B	—	0.4 ^{注1}	6 ^{注1}	ms
		32KB	—	80	360	ms
	書き替え回数 ≥ 100 回	256B	—	0.5 ^{注1}	7.2 ^{注1}	ms
		32KB	—	96	432	ms
消去時間 ^{注1}	書き替え回数 < 100 回	8KB	—	39	120	ms
		32KB	—	141	480	ms
	書き替え回数 ≥ 100 回	8KB	—	47	144	ms
		32KB	—	169	576	ms

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバーヘッドは考慮されていません。

35.7 Data Flash 特性

表 35.40 Data Flash 基本特性

項目	略号	条件	Min.	Typ.	Max.	単位
書き換え回数 ^{注1}	CWRT	保持 20 年 ^{注2}	125000	—	—	回
		保持 3 年 ^{注2}	250000	—	—	回
プログラミング温度	TPRG	Tj	- 40	—	+150	°C
読み出し温度	TREAD	Tj	- 40	—	+150	°C

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 125000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64B のブロックについて、それぞれ異なる番地に 4 バイトの書き込みを 16 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 平均 Ta = 85 °C での保持期間。データフラッシュメモリの消去が正常に完了した時点からの保持期間。

表 35.41 Data Flash プログラミング特性

条件 : EVCC = 4.5V ~ 5.5V, SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V, VDD = 1.15V ~ 1.35V
 A0VCC, A1VCC = 4.5V ~ 5.5V, A0VREFH = 4.5 V ~ A0VCC, A1VREFH = 4.5 V ~ A1VCC
 RVCC = 4.5V ~ 5.5
 VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0 V
 Tj = -40 °C ~ 150 °C

項目	ブロックサイズ	Min.	Typ.	Max.	単位
書き込み時間 ^{注1}	4B	—	0.16	1.7	ms
消去時間 ^{注1}	64B	—	1.7	10	ms
ブランクチェック時間 ^{注1}	4B	—	—	30	µs
	64B	—	—	100	µs

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバーヘッドは考慮されていません。

35.8 熱特性

35.8.1 パラメータ

表 35.42 RH850/C1x での熱抵抗

パッケージ	パラメータ	見積もり値	単位	備考
FPBGA1717-252	4L Ψ jb	27	°C / W	L 基板 (4 layers)
	4LTb_inc	9	°C / W	L 基板 (4 layers)
	4L Ψ jt	1	°C / W	L 基板 (4 layers)
LQFP2020-144	4L Ψ jb	30	°C / W	L 基板 (4 layers)
	4LTb_inc	9	°C / W	L 基板 (4 layers)
	4L Ψ jt	1	°C / W	L 基板 (4 layers)

注 熱抵抗、熱特性パラメータの数値は使用環境により変化します。

35.8.2 想定基板

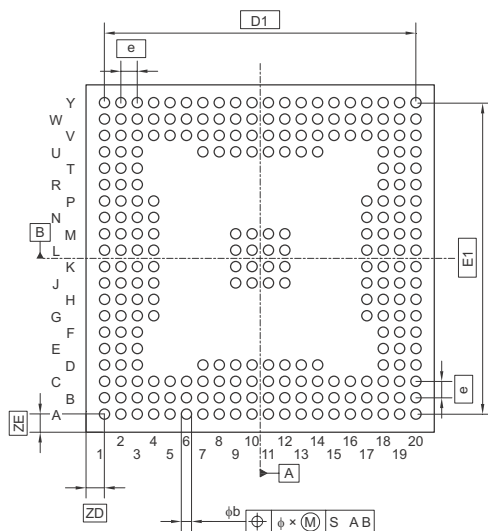
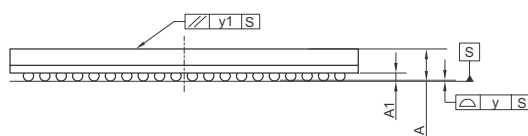
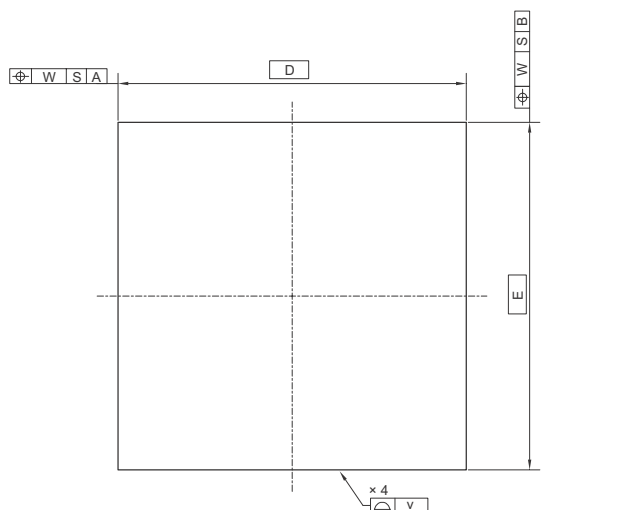
表 35.43 L 基板 (4 layers)

パッケージ	基板サイズ (mm)		面積 (mm ²)
	X	Y	
L 基板	90	160	14400
残銅率	導体厚		
30-80-80-30%	35-35-35-35 μ m		

付録 外形寸法図

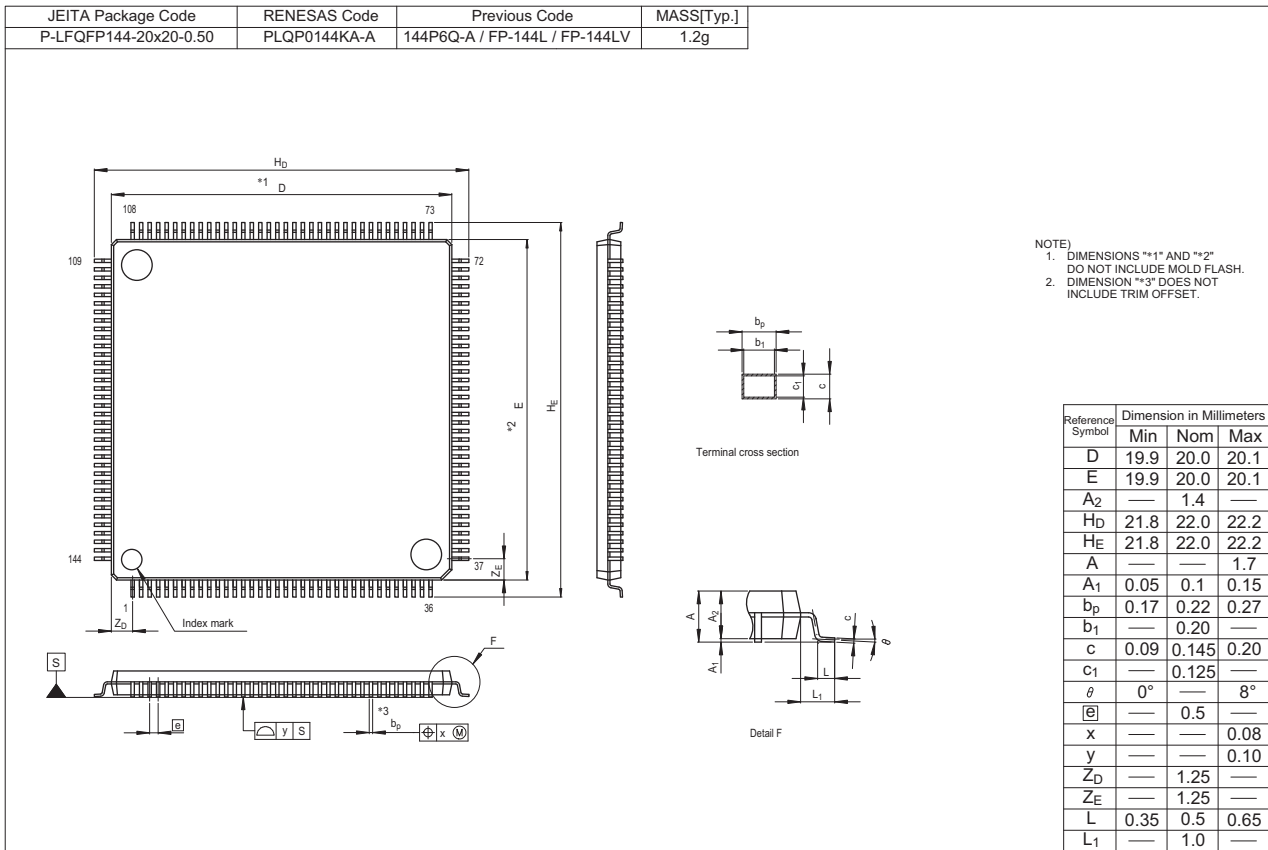
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-FBGA252-17x17-0.80	PRBG0252GB-A	—	0.90

Unit: mm



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	—	17.00	—
D1	—	15.20	—
E	—	17.00	—
E1	—	15.20	—
v	—	—	0.15
w	—	—	0.20
e	—	0.80	—
A	—	1.58	2.00
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
ZD	—	0.90	—
ZE	—	0.90	—

© 2014 Renesas Electronics Corporation. All rights reserved.



改訂記録	RH850/C1x ユーザーズマニュアル ハードウェア編
------	------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2013.02.05	—	初版発行
0.40	2013.06.06	全版	第 1 章～第 29 章の構成を標準化 LPD 1pin のデバッグ I/F を削除 H-Bus を削除 ADCB を ADCC に名称変更 144 ピン LQFP を 144 ピン QFP に変更
			第 1 章 概要
		46	表 1.1 製品概要 (2/2) 注 3 を削除
		46	表 1.2 製品一覧 表中の誤記修正 (C1L → C1M)
		53, 54, 60	表 1.4 C1H ピン配置、表 1.5 C1M ピン配置 プログラミングシリアル I/F 信号 (FLSCI3TX/FLSCI3RX/FLSCI3SCK) を追加
			第 2 章 端子
		69	2.1.3 ポートタイプに図 2.1 端子全体構成ブロック図を追加
		70	2.1.3 ポートタイプの図 2.2 ポート制御論理図を変更
		119, 122	表 2.58 C1H 端子機能、表 2.59 C1M 端子機能 ・ ADCCnTRG 信号をアクティブハイからアクティブロウに変更 ・ プログラミングシリアル I/F 信号 (FLSCI3TX/FLSCI3RX/FLSCI3SCK) を追加
			第 3 章 CPU システム
		全版	内部レジスタを追記
			第 4 章 アドレス空間
		198	表 4.1 アドレス空間 (C1H) 中の誤記修正 FEFF 8000 _H ~ FEF1 3FFF _H → FEEF 0000 _H ~ FEF0 BFFF _H (Global RAM 領域)
		200	図 4.1 各バスマスタから見たアドレス空間 (C1H) に内蔵 IO レジスタを追加
		202	表 4.2 アドレス空間 (C1M) 中の誤記修正 FEFF 8000 _H ~ FEF0 7FFF _H → FEEF 0000 _H ~ FEEF FFFF _H (Global RAM 領域)
		204	図 4.3 各バスマスタから見たアドレス空間 (C1M) に内蔵 IO レジスタを追加
			第 6 章 割り込み
		219	6.2.11 ソフトウェア割り込みレジスタ (SINTR0 ~ SINTR3) の仕様を修正
		220	6.2.12 周辺割り込みステータスレジスタ (PINT0 ~ PINT7, PINTCLR0 ~ PINTCLR7) の図の誤記修正
		227-232	表 6.13 割り込み例外ハンドラと優先順位の誤記修正
			第 7 章 DMA 機能
		263	7.5.3 マスタ情報継承機能に VM, VCID ビットを追加
		269-271	表 7.8 DMA トリガ要因一覧の誤記修正
		274-275	表 7.9 DTS トリガ要因一覧の誤記修正
		295	表 7.31 の SECDIS ビット機能に対し、説明を追加
		300, 301	表 7.36、表 7.37 に VCID, VM ビットを追加
		324	7.11.1.4 TI アクセスの際の注意点の誤記修正
			第 9 章 電源回路
		全版	EPT(C1Hのみ)仕様の追記
			第 10 章 クロックコントローラ
		358	10.2.2 PLL0 ステータスレジスタ (PLL0CLKS) の初期値と CLKACT ビットの誤記修正
		368	10.3.1 値が 03 _H で PLL0 が安定→値が 07 _H で PLL0 が安定に誤記修正
		369	図 10.3 PLL0CLKS=03 _H → PLL0CLKS=07 _H に誤記修正
			第 11 章 クロック同期シリアルインタフェース H (CSIH)
		380	表 11.12 中の CSIHnCKR ビット機能の誤記修正
		397	表 11.23 中の CSIHnDIRx ビット機能の誤記修正
		396, 399	表 11.23 中の CSIHnBRSSx[1:0], CSIHnINx[3:0] ビットの誤記修正
		401	表 11.24 中の CSIHnCSx ビットの誤記修正
		425	ポーレートの上限と下限 変更
			第 12 章 シリアルコミュニケーションインタフェース 3(SCI3)
		479	12.3.3 レシーブデータレジスタ (SCI3nRDR) の初期値の誤記修正 (XX _H → 00 _H) 12.3.4 トランスミットデータレジスタ (SCI3nTDR) の初期値の誤記修正 (XX _H → FF _H)

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2013.06.06	485	12.3.9 シリアル通信フォーマットレジスタ (SCI3nSCMR) の初期値の誤記修正 (F3 _H → F2 _H)
		第 13 章 LIN マスタインタフェース (RLIN2)	
		522	13.1.2 レジスタベースアドレスの見直し <RLIN211_ADR> FFCE 1000 _H → FFCE 0020 _H <RLIN212_ADR> FFCE 2000 _H → FFCE 0040 _H
		527	13.3.2.1 RLIN21nGLWBR-LIN ウェイクアップポーレート選択レジスタの説明修正
		530	13.3.2.4 RLIN21nGLSTC-LIN セルフテスト制御レジスタの仕様を修正
		第 14 章 CAN インタフェース (RS-CAN)	
		580	図 14.1 中の pclk に 2 分周器を追加
		616, 617	14.3.6 RSCAN0GCFG レジスタの TSSS, DCS ビットの誤記修正
		625-627	14.3.10 RSCAN0GTINTSTS0 レジスタの各ビット機能の説明修正
		629	14.3.12 RSCAN0GAFLECTR レジスタの AFLPN ビット機能の誤記修正
		653, 655, 656	14.3.31 RSCAN0CFCK レジスタの各ビットの説明修正
		658, 659	14.3.32 RSCAN0CFSTS k レジスタの各ビットの説明修正
		726	14.4.3.1 の (6) タイムスタンプのクロック元の説明修正 (pclk → pclk/2)
		742	図 14.20 の受信バッファの誤記修正
		743	図 14.21 のフローを修正
		—	RS-CAN RAM ECC の説明を「第 27 章 ファンクショナルセーフティ」に移動
		第 16 章 OS タイマ (OSTM)	
		777	表 16.4 OSTM クロック供給 修正 (CLKC_HSB → PCLK、クロックコントローラ → CLKC_LSB(非変調低速周辺クロック))
		778	表 16.6 OSTMn のリセット信号 リセット要因の修正 (リセットコントローラ SYSRES → すべてのリセット要因でリセット)
		779	16.2 概要 「カウントクロック許可信号 (OSTMnTCKE)」削除 16.2.1 機能概要 「ユニット間の同時スタート」修正 図 16.1 OS タイマのブロック図 OSTMnTCKE, OSTMnTSST 信号の削除
		780	16.2.3 カウントクロック 説明の変更および図の削除 16.2.4 割り込み要求 (OSTMnTINT) 説明の変更
		784	表 16.13 OSTMnTE レジスタの内容 予約ビットの説明 追加
		785	表 16.14 OSTMnTS レジスタの内容 予約ビットの説明 追加 表 16.15 OSTMnTT レジスタの内容 予約ビットの説明 追加
		786	表 16.16 OSTMnCTL レジスタの内容 予約ビットの説明 追加
		787	16.4.1 タイマの起動と停止 初期化の説明削除および同期起動の説明追加
		788	16.4.2.1 インターバルタイマモードの基本動作 説明変更
		791	16.4.2.2 OSTMnCMP = 0000 0000 _H の場合の動作 説明変更
		793	16.4.3.1 フリーランニングコンペアモードの基本動作 説明変更
		794	16.4.3.2 OSTMnCMP = 0000 0000 _H の場合の動作 追加
		第 17 章 タイマレイユニット D (TAUD)	
		797	17.1.5 リセット要因の説明追加
		801	図 17.1 の割り込み要求信号名の変更
		802	図 17.2 に出力信号の記載を追加・変更
		806	17.3.2 TAUDnTPS のビット図の初期値を修正
		814-818	17.3 レジスタの表中にある予約ビットの機能の説明を変更
		856	17.4.5.3 その他の動作モードの説明変更
		863-1091	17.4.9 ~ 17.4.13 で、TAUDnCMORm と TAUDnCMURm の予約ビットの機能の説明変更
		878	表 17.55 の TAUDnCCS[1:0] のビット位置の記述修正
		883	17.4.9.4 外部イベントカウント機能 (1) 概要 機能説明の記述変更
		1016	図 17.97 の下の説明変更
		1017	図 17.98 の下の説明変更
		1030	図 17.101 の下の説明変更
		1031	図 17.102 の下の説明変更
		第 18 章 タイマレイユニット J (TAUJ)	
		1097	表 18.4 クロック供給 修正 (クロックドメイン C_AWO_TAUJ → CLKC_HSB(非変調高速周辺クロック))

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2013.06.06	1098	表 18.5 割り込み要求 割り込み番号、DMA トリガ番号、DTS トリガ番号の修正 表 18.6 リセット要因 説明および表の追加
		1112	表 18.14 TAUJnCMORm レジスタの内容 TAUJnMD[4:0] ビット 機能の修正
		1125	18.4.3.1 一斉書き換えの制御方法 説明文の変更と図の差し替え
		1153	18.4.8.3 TAUJnTTINm 入力パルスインターバル測定機能 条件 参照先の修正
			第 19 章 モータコントロールタイマ (TSG3)
		1189	19.1.3 クロック供給を追加
		1190	表 19.5 割り込み要求 ユニット割り込み名を変更
		1191	19.1.5 リセット要因、19.1.6 外部入出力信号を追加
		1192-1408	各種割り込み名、信号名、端子名、レジスタ名を変更
		1195	表 19.8 レジスタ一覧 (2/3) TSG3nUPWE, TSG3nWPWE のアドレスを修正
		1223	19.3.24 TSG3n トリガレジスタ 2 の説明修正
		1317	表 19.60 HT-PWM モード: カウンタ機能 スタート条件を修正
		1346	表 19.66 SP-PWM モード: カウンタ機能 スタート条件を修正 表 19.67 SP-PWM モード: コンペアレジスタ、デッドタイム設定レジスタの機能 TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E の説明追加
		1357	表 19.72 120-DC モード: カウンタ機能 スタート条件を修正
		1381	図 19.95 ノイズフィルタ回路接続例 修正
		1392	表 19.82 HSP-PWM モード: カウンタ機能 スタート条件を修正 表 19.83 HSP-PWM モード: コンペアレジスタ、シフト幅設定レジスタ、デッドタイム設定 レジスタの機能 TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E の説明追加
			第 20 章 タイマオプション (TAPA)
		1409	表 20.4 クロック供給 追加
		1410	表 20.6 リセット要因 追加
		1411	20.1.6 周辺構成図 構成図および説明の追加
			第 21 章 タイマパタンバッファ (TPBA)
		1432	表 21.4 TPBA のクロック供給 修正 (CLKC_HSB → PCLK、クロックコントローラ → CLKC_HSB (非変調高速周辺クロック))
		1433	表 21.6 リセット要因 追加 表 21.7 外部入出力信号 修正 (TPBn → TPBA, TPBA_SST 信号を削除)
		1434	21.2.1 機能の概要 カウントクロック 修正 (CLKC_HSB, CLKC_HSB/2, CLKC_HSB/4, CLKC_HSB/8 → PCLK, PCLK/2, PCLK/4, PCLK/8)
		1435	図 21.1 TPBA のブロック図 信号名の修正 (TPBn → TPBA)
		1437	表 21.9 TPBA_CTL レジスタの内容 TPBA_PRS ビット 動作説明の変更
		1440	表 21.13 TPBA_TOE レジスタの内容 TPBA_TOE0 ビット タイマ出力の変更 (TPBnO → TPBAO)
			表 21.14 TPBA_TO レジスタの内容 TPBA_TO0 ビット 端子名の変更 (TPBnO → TPBAO)
		1454	21.4.4 基本動作例 概要および機能説明 端子名の変更 (TPBnO → TPBAO)
		1455	表 21.25 タイマ出力機能 端子名の変更 (TPBnO → TPBAO)
		1456	表 21.28 タイマ出力条件別の設定例 端子名の変更 (TPBnO → TPBAO)
		1457-1458	図 21.5 基本動作タイミング例 端子名の変更 (TPBnO → TPBAO)
			第 22 章 エンコーダタイマ (ENCA)
		1459	表 22.4 クロック供給 修正 (CLK_HSB → PCLK、クロックコントローラ → CLKC_HSB (非 変調高速周辺クロック))
		1460	表 22.5 割り込み要求 割り込み番号、DMA トリガ番号、DTS トリガ番号の修正 表 22.7 外部入力信号 「ポート端子兼用信号名」列の追加、ENCA_TSSST 信号の削除
		1465	22.3.2 ENCA_CTL レジスタ図 初期値、R/W 修正 表 22.9 ENCA_CTL レジスタ ・機能説明 修正 ・予約ビット (ビット 13-10、ビット 6-5) 追加
		1467	22.3.3 ENCA_IOC0 ・アクセス 動作中の書き込み条件の追加 ・レジスタ図 初期値、R/W 修正 表 22.10 ENCA_IOC0 レジスタの内容 ・機能説明 修正 ・予約ビット (ビット 7-4) 追加
		1468	22.3.4 ENCA_IOC1 レジスタ図 初期値、R/W 修正 表 22.11 ENCA_IOC1 レジスタの内容 機能説明 修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.40	2013.06.06	1470	22.3.5 ENCAAnFLG ・アクセス 動作中の書き込み条件の追加 ・レジスタ図 初期値、R/W 修正 表 22.12 ENCAAnFLG レジスタの内容 ・機能説明 修正 ・予約ビット (ビット 7-3) 追加		
		1471	22.3.6 ENCAAnFGC レジスタ図 初期値、R/W 修正 表 22.13 ENCAAnFGC レジスタの内容 ・機能説明 修正 ・予約ビット (ビット 7-2) 追加		
		1472	22.3.7 ENCAAnCCR0 レジスタ図 初期値、R/W 修正 表 22.14 ENCAAnCCR0 レジスタの内容 機能説明 修正		
		1473	22.3.8 ENCAAnCCR1 レジスタ図 初期値、R/W 修正 表 22.15 ENCAAnCCR1 レジスタの内容 機能説明 修正		
		1474	22.3.9 ENCAAnCNT レジスタ図 初期値、R/W 修正 表 22.16 ENCAAnCNT レジスタの内容 機能説明 修正		
		1475	22.3.10 ENCAAnTE レジスタ図 初期値、R/W 修正 表 22.17 ENCAAnTE レジスタの内容 ・機能説明 修正 ・予約ビット (ビット 7-1) 追加		
		1476	22.3.11 ENCAAnTS レジスタ図 初期値、R/W 修正 表 22.18 ENCAAnTS レジスタの内容 ・機能説明 修正 ・予約ビット (ビット 7-1) 追加		
		1477	22.3.12 ENCAAnTT レジスタ図 初期値、R/W 修正 表 22.19 ENCAAnTT レジスタの内容 ・機能説明 修正 ・予約ビット (ビット 7-1) 追加		
		1478-1479	図 22.2 タイマカウンタの初期値設定/開始/停止 修正 (ENCAAnxx ビット→ENCAAnxx、INTENCAAnxx 割り込み→INTENCAAnxx、ENCAAnxx フラグ→ENCAAnxx) 22.4.1 タイマカウンタの動作 操作説明 (1)~(5)の追加		
		1480	22.4.2.1 ENCAAnUDS1 と ENCAAnUDS0={0, 0} の場合 説明修正 表 22.20 ENCAAnUDS1 と ENCAAnUDS0={0, 0} の場合 ENCAAnE0 入力 修正		
		1481	22.4.2.2 ENCAAnUDS1 と ENCAAnUDS0={0, 1} の場合 説明修正 表 22.21 ENCAAnUDS1 と ENCAAnUDS0={0, 1} の場合 ENCAAnE0n 入力 修正		
		1482	22.4.2.3 ENCAAnUDS1 と ENCAAnUDS0={1, 0} の場合 説明修正 表 22.22 ENCAAnUDS1 と ENCAAnUDS0={1, 0} の場合 ENCAAnE0n 入力 修正		
		1482, 1483	図 22.5 ~ 図 22.6 修正 (ENCAAnxx 端子→ENCAAnxx、ENCAAnCNT レジスタ→ENCAAnCNT)		
		1484	22.4.3 エンコーダ入力によるタイマカウンタクリア制御 ・タイトル変更 ・説明修正 ・タイミング図の削除		
		1486	22.4.4.1 コンペア機能 備考の追加 22.4.4.2 キャプチャ機能 ・キャプチャ動作図および説明の削除 ・備考の追加		
		1487	22.4.5.1 コンペア機能 コンペアー一致割り込み検出マスク機能の説明修正		
		1488	22.4.5.2 キャプチャ機能 キャプチャ動作図と説明の削除、備考の追加		
		1490	22.4.6.1 タイマの起動 構成図とタイミング図 追加		
		1491	22.4.6.3 タイマの停止 構成図とタイミング図 追加		
		1503	22.6.6 オーバフローの発生とオーバフローフラグクリア操作 ・図 22.21 オーバフローの発生 追加 ・説明修正		
		1504	22.6.7 アンダフローの発生とアンダフローフラグクリア操作 ・図 22.23 アンダフローの発生 追加 ・説明修正		
		1505-1526	22.6.8 Z 相のキャプチャ~ 22.6.24 ENCAAnSCE = 0 のときに ENCAAnEC によるクリアのタイミングで行われるキャプチャ動作 追加		
				第 23 章 ペリフェラルインタコネクション (PIC)	
				全版	全面改訂

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2013.06.06	第 24 章 エンハンスドモータコントロールユニット (EMU2)	
		全版	EMU2n AHB プロテクション制御レジスタを削除
		1666	表 24.9 演算部各 IP の最長処理時間 変更
		1667	図 24.1 EMU2 のブロック図 変更
		1687	24.3.4 EMU2n レジスタ値反映制御レジスタ (EMU2nREFCTR) (n=0,1) FPWMREFPER ビットの説明変更
		1708	表 24.52 EMU2nZDMON レジスタの内容 変更
		1710	表 24.54 EMU2nZDMONC レジスタの内容 変更
		1715	24.3.26 EMU2n 角度生成 IP 制御レジスタ (EMU2nANGCTR) (n=0,1) レジスタ図、機能説明を変更
		1714	表 24.58 EMU2nCBTIM レジスタの内容 注 1 を修正
		1717	表 24.64 EMU2nPXR レジスタの内容 ビット 15 の説明変更
		1724	表 24.73 EMU2nCTRINMD レジスタの内容 変更、注意を追加
		1725, 1726, 1788	24.3.41 EMU2nADm データレジスタ k、24.3.42 EMU2nADm チャネル k 原点補正值レジスタ、24.3.43 EMU2nADm チャネル k 変換値レジスタ、24.3.132 EMU2nADm データ k 検算用バッファレジスタ アドレスを修正
		1755	表 24.109 EMU2nPWMCTR レジスタの内容 ビット 3, 2 の説明変更
		1756	表 24.110 EMU2nPWMDT レジスタの内容 ビット 0 の説明変更
		1760	24.3.84 EMU2n 電気角調整用レジスタ (EMU2nGTH) (n=0,1) 初期値を変更 (0000 _H → 0100 _H)
		1795	図 24.5 演算部の概要 変更
		1800	24.4.4 角度生成 IP (3) 電気角の生成 説明変更
		1805	図 24.10 入力 IP の初期設定手順例 (割り込みを使用する場合) 変更
		1808	24.4.6 PI 制御 IP 説明変更
		1811	図 24.13 PWM IP の処理の流れ 変更
		1822	図 24.18 角度データとコンペア 0、コンペア 1 の生成動作 変更
		第 25 章 R/D コンバータ (RDC2)	
		1833	章タイトル、表 25.1 ユニット数 変更
		1852	25.3.14 RDC2n 制御レジスタ (RDC2nCON)(n = 0, 1) 注 1 を変更
		1857	25.3.19 RDC2n 励磁振幅自動調整回路設定レジスタ (RDC2nEXAAT) (n = 0, 1) EAATSP (励磁振幅自動調整停止ビット) の機能説明を変更
		1863	表 25.44 RDC2nETECNT レジスタの内容 変更 (周期計測→イベント生成)
		1866	表 25.48 RDC2nETRLD レジスタの内容 設定値の注意事項を追加
		1876	25.4.4.1 自己診断 (Built-In Self Test) 機能 BIST 実行時の注意事項を追加
		1880	図 25.11 RDC2 初期動作フローを変更 <ul style="list-style-type: none"> ・異常検出機能有効の後の待ち時間を変更 (25ms → 26ms) ・励磁振幅自動調整のフローを追加 ・初期化手順を追加 ・強制ゲイン制御のフローを変更
		第 26 章 A/D コンバータ (ADCC)	
		1898, 1899	図 26.1, 図 26.2 ADCC0, ADCC1 のブロック図を表記
		1943	26.4.2.1 同時トラック & ホールド動作 (THC 制御) 注意を追加
		1944-1946	図 26.5 ~ 図 26.7 の誤記修正 ANm02(T&H2) → ANm32(T&H2) ANm11(T&H5) → AN023(m = 0), AN142(m = 1) (T&H5) ANm00(T&H0) → ANm30(T&H0) ANm01(T&H1) → ANm31(T&H1) ANm03(T&H3) → AN033(m = 0), AN140(m = 1) (T&H3)
		1947	図 26.8 の誤記修正 ANm01(T&H1) → ANm31(T&H1) ANm03(T&H3) → AN033(m = 0), AN140(m = 1) (T&H3)
		第 28 章 エラーコントロールモジュール (ECM)	
		2063	28.2.2 ブロック図 電源電圧モニタを削除
		2096	28.3.30 ECMDTMCFG3 ビット 7 を予約ビットに修正
		2097	28.4.1.2 ダイナミックモードを無効にする 1 を修正
		第 29 章 データ CRC (DCRA)	
		2102	図 29.1 データ CRC 機能 A のブロック図 DCRAncOUT 読み出しパスに EXOR を追加
		2105	表 29.8 DCRAncOUT レジスタの内容 機能にレジスタリード時の説明追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2013.06.06	2107	29.4 機能 初期化する値を修正 (0000 0000 _H → 初期開始値)
		第 31 章 オンチップデバッグユニット (OCD)	
		2112-2126	31.4 AUD-RAM モニタ (AUDR) 別章から組み込み
		2115	表 31.3 レジスタ構成 注 4 に説明を追加
		2126	31.4.4.4 RAM モニタ機能の有効/無効設定 AUDREN : AUDR のイネーブルビット 説明追加
		第 36 章 電気的特性	
		2164	36.1 絶対最大定格 注意 3 を追加
		2165	表 36.2 電源名と端子の関係 備考欄、DCUTDI/LPDI の I/O を修正
		2173-2174	36.3.1 電源投入/切断タイミング 説明追加と図の変更
		2191	表 36.26 モータ制御信号タイミング 注 1 を追加
		2195	表 36.31 A/D コンバータ特性 条件欄に T&H アンプ使用時 を追加
		2196	表 36.32 RDC 変換性能 応答遅延の単位修正 (min-1 → °/10000min ⁻¹)
		0.41	2013.12.18
第 1 章 概要			
49, 50	1.1.3 内部ブロック図 導入文追加、図を変更 (周辺回路を Peripheral Group ごとに整理)		
51	図 1.3 C1H 端子接続図 以下の端子名を変更 9Y : FLMODE → RESET 11Y : RESET → FLMODE 3L : P6_1 → P0_4 4L : P0_4 → P6_1 12B : ADCC0I01 → ADCC0I02 12D : ADCC0I02 → ADCC0I01		
52	図 1.4 C1M 端子接続図 以下の端子名を変更 24 ピン : 出力→入出力 (RDC20RSO) 25 ピン : 出力→入出力 (RDC20COM) 87 ピン : FLMODE → RESET 92 ピン : RESET → FLMODE		
54-56	表 1.4 C1H ピン配置 (2/7) ~ (4/7) 以下の端子名を変更 3L : P6_1 → P0_4/TAUD0I4/TAUD0O4/CAN2TX/INTP1 4L : P0_4/TAUD0I4/TAUD0O4/CAN2TX/INTP1 → P6_1 9Y : FLMODE → RESET 11Y : RESET → FLMODE 12B : ADCC0I01 → ADCC0I02 12D : ADCC0I02 → ADCC0I01		
62	表 1.5 C1M ピン配置 (3/4) 以下の端子名を変更 87 ピン : FLMODE → RESET 92 ピン : RESET → FLMODE		
第 2 章 端子			
65	2.1.2.1 用語 用語の定義見直し		
66	表 2.3 端子機能の設定 (概要) 変更 「注 2. 兼用モードの入力端子として使用する場合、必ず PIBCn_m = 0 に設定してください」を追加		
72	表 2.6 ポートグループコンフィグレーションレジスタ PFCEn レジスタのアドレス 誤記修正		
77	2.1.4.2 (6) ポート入力バッファコントロールレジスタ 説明文を変更		
88	表 2.24 PIPC レジスタの設定が必要な端子一覧 注 1, 2 追加 (RH850/C1M で機能しない端子を明記)		
101, 113	表 2.37、表 2.52 端子名称の誤記修正 (例 CSIHnCCS0 → CSIHnCSS0)		
118, 119	表 2.57 DNF 挿入対象 注 1 追加 (RH850/C1M で機能しない端子を明記)		
120	2.4.2 端子機能一覧 不要な説明文章 削除		
120-122	2.4.2 端子機能一覧 表 2.58 C1H 端子機能 端子機能 削除 (CSIHnDCS (n = 0-1), EVSS)、誤記修正 (AUDRST, AUDSYNC を負論理表記)		
121	2.4.2 端子機能一覧 表 2.58 端子機能 修正 RDC2nCOM, RDC2nRSO を O → I/O に変更		
123	2.4.2 端子機能一覧 表 2.59 C1M 端子機能 (1/2) 端子機能 削除 (CSIHnDCS (n = 0-1), EVSS, EPTVOUT)		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	124	表 2.59 C1M 端子機能 (2/2) 変更 (RH850/C1M で機能しない端子を明記)
		124	2.4.2 端子機能一覧 表 2.59 端子機能 RDC20COM,RDC20RSO を O → I/O に変更
		126-127	2.4.4 未使用端子の処理 項を追加
			第 3 章 CPU システム
		129	3.1.1 ブロック構成 - Global RAM 変更
		132	3.2.1.2 (1) (b) PC 注 1 追加
		133	3.2.1.2 (2) 基本システムレジスタ 変更
		135	表 3.5 EIPSW レジスタの内容 CU2-0 ビット 変更
		137	表 3.7 FEPSW レジスタの内容 CU2-0 ビット 変更
		143	3.2.1.2 (2) (k) ASID — アドレス空間識別子 表 3.15 ビット 9-0 機能説明 修正
		144	表 3.19 MEA レジスタの内容 変更
		148	表 3.22 RBASE レジスタの内容 RINT ビット 変更
		149	3.2.1.2 (2) (s) INTBP 機能説明 修正 表 3.25 PID レジスタの内容 ビット 23 ~ 8 変更
		151	3.2.1.2 (2) (x) MCFG1 レジスタ図、表 3.29 MCFG1 レジスタの内容 ビット 15 ~ 8 変更
		152	表 3.30 MCTL レジスタの内容 注 1 変更
		157	表 3.39 HTCTL レジスタの内容 EN ビット 変更
		158	3.2.1.2 (5) 仮想化支援機能レジスタ 変更
		159	3.2.1.2 (5) (d) VMPRT0 変更
		161	表 3.46 MPU 機能システムレジスタ一覧 注 3 変更
		162	3.2.1.2 (7) (a) MPM レジスタ図 変更
		163	表 3.48 MPRC レジスタの内容 E15-E12 ビット、注 1 変更 3.2.1.2 (7) (c) MPBRGN レジスタ図、表 3.49 MPBRGN レジスタの内容 変更
		164	3.2.1.2 (7) (d) MPTRGN レジスタ図、表 3.50 MPTRGN レジスタの内容、注 1 変更
		165	表 3.53 MCC レジスタの内容 ビット名を修正
		166	3.2.1.2 (7) (i) MPPRT0 変更
		166-168	表 3.56 MPLAn レジスタの内容 ~ 表 3.58 MPATn レジスタの内容 注 1 変更
		170, 171	3.2.1.2 (8) (c) ICDATL, (d) ICDATH 変更
		173	表 3.66 ICERR レジスタの内容 変更
		178	3.2.3 プロセッサ間割り込み 説明文 割り込みチャネル修正
		—	3.2.4.1 (1) (4) その他 削除
		180	3.2.4.1 (3) PEG 保護設定レジスタ一覧、表 3.71 PEG レジスタのベースアドレス 変更、注 1 削除
		181	3.2.4.1 (4) (a) PEGSP タイトル変更
		182	3.2.4.1 (4) (b) PEGnMK 変更
		183	3.2.4.1 (4) (c) PEGnBA タイトル、レジスタ図 変更
		184	3.2.4.2 (1) (4) 違反発生の通知 備考 変更、(5) 後続アクセスの無効化 備考 1, 2 追加
		185	3.2.4.2 (3) 対不正ユーザ IPG 保護設定レジスタ一覧 変更
		186	3.2.4.2 (4) 対不正仮想マシン IPG 保護設定レジスタ一覧 変更
		187-192	3.2.1.2 (5) レジスタセット 説明文 CPU コア名修正
		193	3.2.4.3 システムエラー通知制御機能 変更、表 3.85 SEG レジスタのベースアドレス 操作可能ビット -32 修正 注 1 変更、注 2 削除
		194-195	3.2.4.3 (2) レジスタセット 変更、表 3.86 SEGCONT レジスタの内容 ビット 14、ビット 10 機能説明 修正
		198	3.2.4.3 (3) (a) SEG 機能 変更
		199	3.2.4.3 (3) (c) SYSERR 例外に関する補足事項、3.2.4.4 Checker Core 変更
		200	3.3.3 排他制御、表 3.89 レジスタ一覧 変更
		201	3.3.3.2 LDL.W/STC.W 命令の動作 追加
		202	3.4.1 ストア命令の完了と後続命令の同期化 - 制御レジスタの更新結果を、後続命令の実行に反映させる場合 変更
		203	3.4.2 ビット操作命令でのレジスタ・アクセス、3.4.3 CodeFlash 書き換え後のコヒーレンス確保 追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	第4章 アドレス空間	
		204	4.1.1 アドレス空間の説明を修正、注2,3の内容を修正 表 4.1 アドレス空間 (C1H) ・修正: CIB内のレジスタ→FCUFAREAレジスタ、FF20 FFFF _H →FF20 7FFF _H 、DataFlash(リード/ライト)64KB→32KB ・追加: 注3
		205	4.1.2.2 CPU1によるデータアクセス可能空間、4.1.2.3 CPU2によるデータアクセス可能空間の説明を修正
		206	図 4.1 各バスマスタから見たアドレス空間 (C1H) ・修正: FF10 0000 _H →FF00 0000 _H ・不要なアドレスを削除 ・アクセス可能な領域の修正
		208	表 4.2 アドレス空間 (C1M) ・修正: CIB内のレジスタ→FCUFAREAレジスタ、FF20 FFFF _H →FF20 7FFF _H 、DataFlash(リード/ライト)64KB→32KB ・追加: 注1
		209	4.2.2.2 CPU1によるデータアクセス可能空間の説明を修正
		210	図 4.3 各バスマスタから見たアドレス空間 (C1M) ・修正: FF10 0000 _H →FF00 0000 _H ・不要なアドレスを削除 ・アクセス可能な領域の修正
		第6章 割り込み	
		214	6.2.1 レジスタ構成 説明を変更
		219	表 6.5 EIBD0-EIBD255 レジスタの内容 PEIDビット機能の説明を修正
		221	6.2.7 NMICTL - NMI 割り込みコントロールレジスタの説明を修正
		229	6.3.2 IRQ 割り込みの説明を修正
		232, 237	表 6.13 割り込み例外ハンドラと優先順位 ・割り込み名称を修正 エラーコントロールモジュール FE レベル割り込み→エラーコントロールモジュール NMI レベル割り込み、フラッシュシーケンサ終了割り込み→フラッシュシーケンサ処理完了割り込み ・注意事項を修正
		第7章 DMA 機能	
		263	7.3.4 DTFR のハードウェア DMA 転送要求マスクおよびクリア 説明を追加
		266	7.4.3 DTSRAM エラー 説明を修正
		267	7.5.2.1 アクセス元マスタの識別、7.5.2.2 マスタアクセス 説明を修正
		268	7.5.2.3 チャネル割り当て 説明を修正
		271	表 7.7 チャネル割り当て 説明を修正
		272	7.6.2 DMA 全体動作設定手順 説明を修正
		291-295	7.9.2.7 DTSER2 ~ 7.9.2.11 DTSCMV ビット名、機能説明を修正
		302	7.9.2.15 DTRERINT ビット名、機能説明を修正
		306	7.9.2.19 DMnnCM - リセット後の値を修正
		309	表 7.38 DMAC チャネルレジスタアドレス DTFRRQCn オフセットアドレスを修正
		310	表 7.39 DSA _n レジスタの内容 注意 3 表を変更
		311	表 7.40 DDA _n レジスタの内容 注意 4 表を変更
		316	表 7.43 DRSA _n レジスタの内容 注意 表を変更
		317	表 7.44 DRDA _n レジスタの内容 注意 表を変更
		318	表 7.45 DRTC _n レジスタの内容 変更
		330	7.11.1.4 TI アクセスの際の注意点 レジスタ名を修正 (DTTC _{nnn})
		332	表 7.54 DTSAnnn レジスタの内容 注意 表を変更
		333	表 7.55 DTDAnnn レジスタの内容 注意 2 表を変更
		338	表 7.58 DTRSA _{nnn} レジスタの内容 注意 表を変更
		339	表 7.59 DTRDA _{nnn} レジスタの内容 注意 表を変更
		340	表 7.60 DTRTC _{nnn} レジスタの内容 変更
		第9章 電源回路	
		全版	レジスタ表 予約ビットの機能を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	353	9.1 RH850/C1x 電源回路の特長 2 番目の表を変更
		354	図 9.1、図 9.2 電源 - 電源 IC の接続例 端子名を変更 (RESET)
		355	表 9.1 レジスタ一覧 レジスタ名を変更
		356	9.3.3 PROTOPHCMD レジスタ図、表 9.3 PROTOPHCMD レジスタの内容 変更
		第 10 章 クロックコントローラ	
		360	10.1 RH850/C1x クロックコントローラの特長 注 1 変更
		361	表 10.2 クロックと機能モジュール 修正
		362	図 10.1 クロックコントローラのプロック図 修正 (CKSC0 → CKSC0CTL.CKSC[5:0])
		365	表 10.6 PLL0CLKC1 レジスタの内容 修正 (SELMPRECENT[2:0] → SELMPERCENT[2:0])
		366	10.2.4 CKSC0CTL レジスタ図 修正 (CKSC0 → CKSC[5:0])
		第 11 章 クロック同期シリアルインタフェース H (CSIH)	
		全版	章構成の見直し
		389	11.3.4 CSIHnCTL2 CSIHnCFGx.CSIHnBRSS[1:0] で選択される転送クロック周波数設定ビットの名称を修正
		393	11.3.5 表 11.16 CSIHnSTR0 レジスタの内容 CSIHnTMOE, CSIHnOFE, CSIHnDCE の機能説明を修正
		395	11.3.6 表 11.18 CSIHnSTCR0 レジスタの内容 CSIHnPCT の機能説明を修正
		399	11.3.9 表 11.21 CSIHnMCTL2 レジスタの内容 注意を修正: ダイレクトアクセスモードではこれらのビットはデクリメントされません→ダイレクトアクセスモードでこれらのビットはインクリメントされません
		404-405	表 11.23 CSIHnCFGx レジスタの内容 CSIHnIDx、CSIHnIDx[2:0] の機能説明を修正
		406	表 11.24 CSIHnTX0W レジスタの内容 CSIHnEDL の注意事項を修正
		409	表 11.26 CSIHnRX0W レジスタの内容 CSIHnCSx (x = 3 ~ 0) の機能説明を修正
		412	11.4.1 表 11.29 割り込みの発生 割り込み要因の説明を修正
		414	11.4.3 表 11.30 INTCSIHTIC 割り込みの発生 割り込み要因の説明を修正
		416	11.4.3.1 備考の内容を説明を修正
		418	11.4.4 表 11.32 INTCSIHTIR 割り込みの発生 割り込み要因の説明を修正: CSIHnMCTL1.CSIHnFFS[6:0] と等しくなると→(128 - CSIHnMCTL1.CSIHnFFS[6:0]) と等しくなると
		419-420	11.4.5 表 11.33 データエラーのタイプ 通信エラー割り込み後の通信ステータス、備考の説明の修正
		420	11.4.6 表 11.34 INTCSIHTIJC 割り込みの発生 割り込み要因の説明を修正
		434	11.4.12.2 表 15.36 デュアルバッファモード 説明の修正、追加 11.4.12.3 表 15.37 送信専用バッファモード 説明の修正、追加
		438	11.4.14.2 図 11.24 EDL のタイミング図 説明の修正
		440	11.4.16.1 SS 機能を使用した SPI 通信のタイミング 説明の修正
		442-443	11.4.17.1 スレーブモード 説明の修正
		444	11.4.17.2 マスタモード 注意の追加
		451	11.4.18.5 オーバランエラー 説明の追加
		453	11.4.18.5 オーバランエラー (2)FIFO モード 2. 説明の修正
		454	11.4.19 ループバックモード 説明の修正
		455-457	11.4.20 CPU 制御による高優先通信機能 図 15.45 誤記の修正: PCLK×4 → PCLK×3、説明の追加
		459-460	11.5.1.1 マスタモードでジョブモードが無効になっているときの送受信 説明の修正
		462	11.5.1.2 マスタモードでジョブモードが有効になっているときの送受信 説明の修正
		463-464	11.5.2.1 マスタモードでジョブモードが無効になっているときの送受信 説明の修正
		465-466	11.5.2.2 マスタモードでジョブモードが有効になっているときの送受信 説明の修正
		467-468	11.5.3.1 マスタモードでジョブモードが無効になっているときの送受信 説明の修正
		469-470	11.5.3.2 マスタモードでジョブモードが有効になっているときの送受信 説明の修正
		471-472	11.5.3.3 スレーブモードでジョブモードが無効になっているときの送受信 説明の修正
		—	11.5.3.4 項の削除: スレーブモードでジョブモードが有効になっているときの送受信
		473	11.5.4.1 マスタモードでジョブモードが無効になっているときの送受信 説明の修正
		474	11.5.4.1 手順 8 説明の修正: CSIHnFES[6:0] = CSIHnSPF[7:0] であるため、割り込み要求 INT_CSIHTIR が発生します。→ CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	474	11.5.4.1 手順 9 説明の修正：受信データの数が CSIHnFFS[6:0] と等しくなるため、割り込み要求 INT_CSIHTIC が発生します。→ CSIHnFFS[6:0] = 128-CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されます。
		475-476	11.5.4.2 ジョブモードが有効になっている送受信モードのマスタ 説明の修正
		478	11.6 注意事項 表 11.39 CSIHnTX0W.CSIHnEDL の内容説明の修正：CSIHnCTL1.CSIHnJE = 0 → CSIHnCTL1.CSIHnEDLE=0
		479	11.6 注意事項 表 11.39 CSIHnTX0W.CSIHnCS[3:0] の内容説明の修正：マスタモード時は、これらのビットを“E _H ”に設定することは→マスタモード時は、これらのビットを“F _H ”に設定することは
		479	11.6 注意事項 表 11.39 CSIHnTX0W、CSIHnTX0H の内容説明の修正
		第 12 章 シリアルコミュニケーションインタフェース 3 (SCI3)	
		480	12.1.3 クロック供給 説明を修正、注 1 を追加
		481	表 12.7 外部入出力信号 注 1 を追加
		第 13 章 LIN マスタインタフェース (RLIN2)	
		全版	レジスタ表 予約ビットの機能を変更
		529	13.1.3 クロック供給 タイトル名を変更 表 13.7 リセット要因 リセット要因を修正 表 13.8 外部入出力信号 信号名を修正：LRX0 → RLIN20RX, LTX0 → RLIN20TX, LRX1 → RLIN21RX, LTX1 → RLIN21TX, LTX2 → RLIN22RX, LTX2 → RLIN22TX
		531	図 13.1 LIN マスタインタフェースブロック図 信号名を修正：LRX0 → RLIN20RX, LTX0 → RLIN20TX, LTX1 → RLIN21RX, LTX1 → RLIN21TX, LTX2 → RLIN22RX, LTX2 → RLIN22TX
		536	表 13.14 RLIN2nGLSTC レジスタの内容 ビット説明の内容を修正
		547	13.3.3.10 RLIN2nmList - アクセス、R/W を修正：リード/ライト→リード、R/W → R
		549	13.3.3.11 RLIN2nmLiEST - アクセス、R/W を修正：リード/ライト→リード、R/W → R
		578	13.15.4 LIN セルフテストモード終了 説明を修正
		第 14 章 CAN インタフェース (RS-CAN)	
		583	表 14.8 外部入出力信号 信号名を修正：CRX0 → CAN0RX, CRX1 → CAN1RX, CRX2 → CAN2RX, CRX3 → CAN3RX, CTX0 → CAN0TX, CTX1 → CAN1TX, CTX2 → CAN2TX, CTX3 → CAN3TX
		622	14.3.5 RSCAN0CmERFL BEF フラグ 備考 追加
		631	14.3.9 RSCAN0GERFL DEF フラグ 説明を追加
		632-633	表 14.23 RSCAN0GTINTSTS0 レジスタの内容 機能説明を修正
		636	14.3.12 RSCAN0GAFLECTR 受信ルーテータブルページ番号を修正：ページ 23 (10111 _B) →ページ 15 (01111 _B)、"10111 _B " → "01111 _B "
		645	14.3.17 RSCAN0GAFLP1j ビット名、機能説明を修正
		647	14.3.19 RSCAN0RMNDy RMNSq フラグ 説明を修正
		655	14.3.25 RSCAN0RFSTsx RFIF フラグ、RFMLT フラグ 説明を追加
		666-667	14.3.32 RSCAN0CFSTSk CFTXIF フラグ、CFRXIF フラグ、CFMLT フラグ 説明を追加
		668-669	14.3.33 RSCAN0CFPCTRk CFPC[7:0] ビットの説明を修正
		685	14.3.44 RSCAN0TMCp 説明を修正
		693	14.3.48 RSCAN0TMTCSy アドレスを修正：<RSCAN0_base> + 0273 _H + (04 _H × y) → <RSCAN0_base> + 0373 _H + (04 _H × y)
		699	14.3.51 RSCAN0TMIDp 説明を修正
		701	14.3.52 RSCAN0TMPTRp 説明を修正
		703	14.3.53 RSCAN0TMDF0p 説明を修正
		704	14.3.54 RSCAN0TMDF1p 説明を修正
		705-706	14.3.55 RSCAN0TXQCCm アドレスを修正：(10 _H × m) → (4 _H × m)
		713	14.3.59 RSCAN0THLSTSm THLIF フラグ、THLELT フラグ 説明を追加
		718	14.3.63 RSCAN0GTSTCTR - RTME ビット 書式を変更
		722	表 14.84 CAN 割り込み要因一覧 要求フラグ、許可ビット名を修正：RSCAN0TXQSTS → RSCAN0TXQSTSm, RSCAN0TXQCC → RSCAN0TXQCCm, RSCAN0THLSTS → RSCAN0THLSTSm, RSCAN0THLCC → RSCAN0THLCCm
		734	図 14.6 受信ルーテータブル ページ数修正：ページ 19 →ページ 15
		738	14.4.4 送信機能 説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	742	14.4.4.4 送信キューによる送信 説明を修正
		743	表 14.91 送信履歴データのバッファ番号 バッファの乗数を修正 : n → m
		752	14.5.1.4 受信ルールの設定 ページ数を修正 : ページ 0 ~ 19 → ページ 0 ~ 15
		755-756	14.5.2.1 受信バッファの読み出し手順 説明を修正
		第 16 章 OS タイマ (OSTM)	
		全版	レジスタ表 予約ビットの機能を変更、信号名 OTSMnTSST, OSTMnCNT, OSTMnTINT 修正
		789	16.1.1 ユニット数 説明 変更、表 16.4 クロック供給 タイトル変更
		790	16.1.5 リセット要因 変更
		792	16.2.3 カウントクロック 変更
		794-798	16.3.3 OSTMnCNT ~ 16.3.9 OSTMnCTL 変更
		798	16.3.9 表 16.16 予約ビット位置 誤記修正
		799	16.4.1 タイマの起動と停止 変更
		800-802	16.4.2.1 インターバルタイマモードの基本動作 変更
		801, 802	16.4.2.1 図 16.3、図 16.4 OSTMnTTOUT 信号 追加
		803	16.4.2.2 OSTMnCMP = 0000 0000 _H の場合の動作 変更
		803, 806	16.4.2.2 図 16.5、16.4.3.2 図 16.7 OSTMTCKE 信号 削除、OSTMnTTOUT 信号 追加
		第 17 章 タイマアレイユニット D (TAUD)	
		812	表 17.9 TAUD 動作機能一覧 項目名変更
		814	17.2.5 ブロック図 変更
		820	表 17.11 TAUDnTPS レジスタの内容 (3/3) 備考 変更
		823	表 17.15 カウント再許可後の TAUDnCNTm リード値 変更
		829	表 17.18 TAUDnCSRm レジスタの内容 変更
		850	17.4.3.4 (1) マスタチャンネルがカウントを再開/開始した場合の一斉書き換え - 説明 (1) 変更
		856	図 17.8 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え 変更
		859	表 17.43 チャンネル出力モード 非相補方式変調出力を行うチャンネル連動出力モード 1 の TAUDnTME.TAUDnTME _m 修正 (1 → x)
		865	図 17.12 1 相 PWM 出力を行うチャンネル連動出力モード 2 のセット/リセット条件 変更
		871	17.4.7.1 カウントキャプチャモード 変更
		872	17.4.9 チャンネル単体動作機能 変更
		875	表 17.45 インターバルタイマ機能の TAUDnCMORm 設定 変更
		884	表 17.50 TAUDnTTINm 入力インターバルタイマ機能の TAUDnCMORm 設定 変更
		890	表 17.55 クロック分周機能の TAUDnCMORm 設定 変更
		894	図 17.34 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01) タイトル変更
		897	表 17.60 外部イベントカウント機能の TAUDnCMORm 設定 変更
		899	(6) (a) TAUDnCDRm = 0000 _H 変更
		903	表 17.64 デレイカウント機能の TAUDnCMORm 設定 変更
		907	表 17.68 ワンパルス出力機能の TAUDnCMORm 設定 変更
		910-911	17.4.9.7 TAUDnTTINm 入力パルスインターバル測定機能 タイトル変更、(1) 概要 - 機能説明 変更
		911	図 17.44 TAUDnTTINm 入力パルスインターバル測定機能のブロック図 タイトル変更
		912	図 17.45 TAUDnTTINm 入力パルスインターバル測定機能の基本タイミング図 タイトル変更
		913	表 17.74 TAUDnTTINm 入力パルスインターバル測定機能の TAUDnCMORm 設定 変更、表 17.75 TAUDnTTINm 入力パルスインターバル測定機能の TAUDnCMURm 設定 タイトル変更
		914	表 17.76 TAUDnTTINm 入力パルスインターバル測定機能の一斉書き換え設定 タイトル変更 17.4.9.7 (5) TAUDnTTINm 入力パルスインターバル測定機能の操作手順 変更
		920	表 17.79 TAUDnTTINm 入力信号幅測定機能の TAUDnCMORm 設定 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	923	図 17.54 TAUDnCMORm.TAUDnCOS[1:0] = 10 _B 、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11 _B タイトル変更
		925	17.4.9.9 (1) 概要 - 機能説明、(2) 算出式 変更
		926	図 17.57 TAUDnTTINm 入力位置検出機能の基本タイミング図 変更
		927	表 17.83 TAUDnTTINm 入力位置検出機能の TAUDnCMORm 設定 変更
		928	表 17.86 TAUDnTTINm 入力位置検出機能の操作手順 変更
		929	図 17.58 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00 _B) 変更
		930	17.4.9.10 (1) 概要 - 機能説明 変更
		931	17.4.9.10 (2) 算出式、(3) ブロック図と基本タイミング図 変更
		932	表 17.87 TAUDnTTINm 入力期間カウント検出機能の TAUDnCMORm 設定 変更
		933	表 17.90 TAUDnTTINm 入力期間カウント検出機能の操作手順 変更
		934	図 17.61 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 11 _B) 変更
		935	17.4.9.11 TAUDnTTINm 入力パルスインターバル判定機能 タイトル、(1) 概要 - 前提条件 変更
		936	図 17.62 TAUDnTTINm 入力パルスインターバル判定機能のブロック図、図 17.63 TAUDnTTINm 入力パルスインターバル判定機能の基本タイミング図 タイトル変更
		937	表 17.91 TAUDnTTINm 入力パルスインターバル判定機能の TAUDnCMORm 設定 変更、表 17.92 TAUDnTTINm 入力パルスインターバル判定機能の TAUDnCMURm 設定 タイトル変更
		938	17.4.9.11 (3) (d) 一斉書き換え、(4) TAUDnTTINm 入力パルスインターバル判定機能の操作手順 変更
		941	表 17.95 TAUDnTTINm 入力信号幅判定機能の TAUDnCMORm 設定 変更
		946	表 17.99 リアルタイム出力機能タイプ 1 の TAUDnCMORm 設定 変更
		954	表 17.105 リアルタイム出力機能タイプ 2 の TAUDnCMORm 設定 変更
		958	図 17.71 動作の開始と停止 (TAUDnCMORm.TAUDnMD0 = 0) タイトル変更
		964	表 17.111 一斉書き換えトリガ生成機能タイプ 1 の TAUDnCMORm 設定 変更
		972	17.4.12.1 (4) (d) マスタチャンネルの一斉書き換え 変更
		974	表 17.122 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定 変更
		982	表 17.124 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMORm 設定 変更
		984	表 17.127 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMORm 設定 変更
		987-990	17.4.12.2 (7) (a) TAUDnCDRm (master) = 0000 _H ~ (d) スレーブチャンネルカウント中にマスタチャンネルがリスタート 変更
		992	17.4.12.3 (2) 算出式 備考 2 変更
		1014	表 17.154 オフセットトリガ出力機能時の操作手順 変更
		1015	17.4.12.4 (7) (a) Duty cycle = 0% 変更
		1016	17.4.12.4 (7) (b) Duty cycle = 100% 変更
		1018	17.4.12.5 (3) 基本タイミング図 タイトル削除
		1035	表 17.165 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm 設定 変更
		1038	17.4.12.7 (5) (c) スレーブチャンネル 2 のチャンネル出力モード 注意 変更
		1047	17.4.12.9 (1) 概要 - 機能説明 変更
		1055	表 17.185 デッドタイムが付加される TAUDnTTOUtm と TAUDnTTINm の状態 項目名を変更
		1058	図 17.109 1 相 PWM 出力機能の基本タイミング図 変更
		1059	表 17.186 1 相 PWM 出力機能の TAUDnCMORm 設定 変更
		1064	17.4.13.1 (1) 概要 - 条件 変更
		1075	表 17.203 非相補方式変調出力機能タイプ 1 時の操作手順 (2/2) 変更
		1077	17.4.13.2 (1) 概要 - 前提条件 変更
		1078	17.4.13.2 (1) 概要 - 条件 変更
1081	図 17.114 非相補方式変調出力機能タイプ 2 の基本タイミング図 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	1087	表 17.214 非相補方式変調出力を行うチャンネル運動出力モード 2 時のスレーブチャンネル 2 ~ 7 の制御ビット設定 変更
		1089	表 17.216 非相補方式変調出力機能タイプ 2 時の操作手順 (2/2) 変更
		1090	図 17.115 非相補方式変調出力機能タイプ 2 の特定設定時のタイミング図 変更
		1092	17.4.13.3 (1) 概要 - 機能説明 変更
		1103	表 17.230 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMORm 設定 変更
		1106	表 17.234 相補方式変調出力機能時の操作手順 (2/2) 変更
		1107	17.4.13.3 (9) 特定の設定時のタイミング図 変更
			第 18 章 タイマアレユニット J (TAUJ)
		1109	18.1.3 クロック供給 変更
		1114	18.2.2 ブロック図 変更
		1123	表 18.14 カウント再許可後の TAUJnCNTm リード値 追加
		1127	表 18.17 TAUJnCSRm レジスタの内容 変更
		1155	表 18.37 インターバルタイマ機能の操作手順 変更
		1165	18.4.8.3 (1) 概要 - 機能説明 変更
		1182	18.4.8.5 (1) 概要 - 機能説明、(2) 算出式 変更
		1183	図 18.34 TAUJnTTINm 入力位置検出機能の基本タイミング図 変更
		1184	表 18.53 TAUJnCMORm レジスタの内容 変更
		1185	表 18.56 TAUJnTTINm 入力位置検出機能の操作手順 変更
		1186	図 18.35 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00 _B) 変更
		1187	18.4.8.6 (1) 概要 - 機能説明 変更
		1188	18.4.8.6 (2) 算出式、図 18.37 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図 変更
		1189	表 18.57 TAUJnCMORm レジスタの内容 変更
		1190	表 18.60 TAUJnTTINm 入力期間カウント検出機能の操作手順 変更
		1191	図 18.38 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11 _B) 変更
			第 19 章 モータコントロールタイマ (TSG3)
		全版	記載の表現、形式を全面見直し
		1205	19.2.1 機能概要 説明文を変更 (TOP 機能を接続し → タイマオプション (TAPA) 機能を接続し)
		1207	図 19.1 TSG3n のブロック図 仕様に合わせて修正
		1235	表 19.27 TSG3nOPT2 レジスタの内容 説明文を変更
		1236	表 19.28 TSG3nOPT2BF レジスタの内容 説明文を変更
		1242	表 19.34 TSG3nCMP0E レジスタの設定 HT-PWM モードの最大値 誤記を修正 (TSG3nDTC0 + TSG3nDTC1 + TSG3nCMP0E → 3FFFE _H)
		1273	表 19.48 HSP-PWM モード時のシフト幅、デューティ設定 TSG3nHSPCMVE, TSG3nHSPCMUE レジスタのアドレス誤記を修正
		1283	図 19.16 割り込み発生例 (HT-PWM モードの例) 誤記を修正 (INTTSG3nI1, 5, 9 発生をアップカウント → ダウンカウント時、INTTSG3nI2, 6, 10 発生をダウンカウント → アップカウント時)
		1305	図 19.34 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の山/谷割り込み発生) 変更
		1307	図 19.39 TSG3nCTL3 レジスタの TSG3nRMC = 1 (随時書き換えモード) の場合の下にある注意文を削除
		1312	図 19.42 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 00B, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00B の場合 (HT-PWM モード) 複数の誤記を修正
		1313	図 19.43 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 02B, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00B の場合 (HT-PWM モード) ビット名の誤記を修正
		1315	図 19.46 A/D 変換トリガの間引き機能の動作例 設定値の誤記を修正
		1356	19.4.7.3 EMU2 からのデータ転送について 説明文、図を見直し
		1359-1361	19.4.7.4 ESW 機能 説明部、図を見直し

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	1366	表 19.77 SP-PWM モード：タイマ出力条件別の設定例 TSG3nO2, TSG3nO4, TSG3nO6 の設定条件を見直し
		1409	表 19.89 HSP-PWM モード：コンペアレジスタ、シフト幅設定レジスタ、デッドタイム設定レジスタの機能 TSG3nDTC0W, TSG3nDTC1W の動作中の書き換え 変更 (可能→禁止)
		第 20 章 タイマオプション (TAPA)	
		1430	20.2.1 機能概要 文言を変更 (端子入力 → TAPA 入力信号)
		1435	20.3.4 TAPAnFLG — TAPAn フラグレジスタ リセット後の値 誤記修正 (TAPAnHOF2-0 : 0700 _H → 0000 _H) 表 20.9 TAPAnFLG レジスタの内容 不要な文言を削除 表 20.10 TAPAnACWE レジスタの内容 文言を変更 (TAPAnACTS と TAPAnACTT に → TAPAnACTS または TAPAnACTT に)
		1436	表 20.11 TAPAnACTS レジスタの内容、表 20.12 TAPAnACTT レジスタの内容 レジスタ名の誤記を修正 (TAPAnACE = 1 の場合に → TAPAnACWE = 1 の場合に)
		1438	20.4.1.1 概要 表現の見直しおよび対象のタイマ出力端子の明確化
		1439	図 20.4 端子入力に対応した非同期 Hi-Z 制御のシステム構成例 変更
		1444	図 20.8 TAUD のマスタチャンネル 0 の動作例 変更
		1446	表 20.17 TAPAnCTL1.TAPAnATS[3:2], TAPAnTADOUT1 の動作 追加
		第 21 章 タイマバッファ (TPBA)	
		1453	図 21.1 TPBA のブロック図 信号名の誤記修正および説明追加 ・ TPBAnSST → TPBAnTSST ・ TPBAnTSST : 同時スタートトリガ (PIC1A から入力)
		1457	表 21.11 TPBAnRSF レジスタの内容 ビット名の誤記を修正 (b0 : TPBAnRDM0 → b0 : TPBAnRSF0)
		1459	21.3.7 TPBAnTO — TPBAn タイマ出力レジスタ 説明文を見直し
		第 22 章 エンコーダタイマ (ENCA)	
		全版	信号名 修正 ENCAnTAIN → ENCAnE0 ENCAnTBIN → ENCAnE1 ENCAnTZIN → ENCAnEC ENCATTIN0 → ENCAnI0 ENCATTIN1 → ENCAnI1 レジスタ名 変更/誤記修正 ENCAnCCR0 → ENCAnCCR0 ENCAnCCR1 → ENCAnCCR1 ENCASST → ENCAnTSST
		1478	22.1.1 ユニット数 チャンネル説明 追加
		1479	表 22.5 割り込み要求 項目名を変更 表 22.6 ENCAn のリセット要因、表 22.7 外部入出力信号 タイトル変更
		1481	図 22.1 エンコーダタイマのブロック図 誤記修正 (ENCAnCCR0 (キャプチャ/コンペア) → ENCAnCCR1 (キャプチャ/コンペア))
		—	22.2.3 基本的な仕様を理解するための予備知識 削除
		1484	表 22.9 ENCAnCTL レジスタの内容 (2/2) ENCAnLDE ビットの機能説明 誤記修正 (オーバフロー → アンダーフロー) ENCAnUDS[1:0] ビット 機能説明 誤記修正 (カウンタアップ/ダウン制御レジスタ → カウンタアップ/ダウン制御ビット)
		1488	表 22.12 ENCAnFLG レジスタの内容 ENCAnCSF ビット 機能説明 変更、 機能説明 誤記修正 (ENCASST → ENCAnTSST)
		1493	表 22.17 ENCAnTE レジスタの内容 ENCAnTE ビット 機能説明 変更
		1500	22.4.2.3 ENCAnUDS1 と ENCAnUDS0 = {1, 0} の場合 説明文 誤記修正 (ENCAnUDS1 と ENCAnUDS0 = {0, 1} → ENCAnUDS1 と ENCAnUDS0 = {1, 0})
		1506	表 22.28 ENCAnCCR1 のコンペア一致割り込み検出マスク機能 項目名を変更
		1508	22.4.6.1 タイマの起動 説明文 変更、22.4.6.2 エンコーダタイマを 2 チャンネル使用時のタイマ起動 説明文 修正 (ENCAnTE → ENCAnTS)
		1509	22.4.6.3 タイマの停止 図 22.9、図 22.10 削除 22.4.6.4 エンコーダタイマが 2 チャンネルの場合のタイマ停止 例 1 - 再開の手順 変更
		1511	表 22.31 エンコーダタイマの設定の手順 変更
		1512	図 22.13 ENCAnCCR1 レジスタの設定手順 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.41	2013.12.18	1523	図 22.24 オーバフローの発生と Z 相の入力によるクリア動作との競合 信号名修正 (ENCAnUOVF → ENCAnOVF)		
		1529	図 22.30 ENCAAnLDE 機能 信号名 修正 (ENCATINIT0 → INTENCAnI0)		
		1530	22.6.15 (5) 説明文 "APB によって" 削除		
		1531	図 22.32 ENCAAnLDE 機能と Z 相の入力によるクリア動作との競合 信号名修正 (ENCATINT0 → INTENCAnI0)		
		1533	図 22.33 ENCAAnLDE 機能と Z 相クリアとの競合後のアップカウント 信号名修正 (ENCATINT0 → INTENCAnI0)		
			22.6.17(4) 説明文 信号名修正 (INTENCAnI1 → INTENCAnIEC, ENCAAnIUD → INTENCAnIUD)		
		1534	図 22.34 カウントクロック間のキャプチャ動作 信号名修正 (ENCAATZIN1 → ENCATTIN1)		
		1535	図 22.35 カウントクロック間のキャプチャ動作 信号名修正 (ENCAATZIN0, ENCAATZIN1 → ENCATTIN0)		
		1536	22.6.20 および 図 22.36 タイトル 変更 (ENCAnECM1-0 = {0, 1} かつ ENCAAnCTS = 0 のときのエンコーダの動作 → コンペアー致クリア制御有効かつ ENCAAnCTS = 0 のときのエンコーダの動作)		
			図 22.36 コンペアー致クリア制御有効かつ ENCAAnCTS = 0 のときのエンコーダの動作 信号名修正 (ENCAATZIN1 → ENCATTIN1, ENCATINT1 → INTENCAnI1)		
			22.6.20 (4) 説明文 信号名修正 (INTENCAnIEC → INTENCAnI1)		
		1537	22.6.21 および 図 22.37 タイトル 変更 (ENCAnECM1-0 = {0, 1} かつ ENCAAnCTS = 1 のときのエンコーダの動作 → コンペアー致クリア制御有効かつ ENCAAnCTS = 1 のときのエンコーダの動作)		
		1538	22.6.22 および 図 22.38 タイトル 変更 (ENCAnECM1-0 = {0, 0} のときのエンコーダの動作 → コンペアー致クリア制御無効時のエンコーダの動作)		
			図 22.38 コンペアー致クリア制御無効時のエンコーダの動作 信号名修正 (ENCATTIN0 → ENCAAnI0)		
			22.6.22 (1) 説明文 修正 (ENCAnCRM1 = 1 → ENCAAnCRM1 = 0)		
		1543	図 22.44 ENCAAnSCE = 0 のときに ENCAAnEC によるクリアのタイミングで行われるキャプチャ動作 信号名修正 (ENCATINT → INTENCAnI1, ENCAAnCN → ENCAAnCNT)		
		第 23 章 ペリフェラルインタコネクション (PIC)			
		1547, 1548	表 23.9 レジスタ一覧、表 23.10 機能別使用レジスタ一覧 制御レジスタ PIC1AEN を削除		
		—	23.2.2.2 PIC1AEN 削除		
		1553	23.2.2.8 PIC1AINIn0 説明を修正		
		1553	23.2.2.9 PIC1AINIn1 説明を修正		
		1556	表 23.23 PIC1ATSGHALLSEL レジスタの内容 ビット位置、ビット名称修正 : 7 → 7 ~ 2, 6-1 → 1, PIP1ATSG0HALLSEL → PIC1ATSG0HALLSEL		
		1570	23.2.2.25 PIC1AREG2n1 アドレスを修正 : FF81 C0C4 _H (n=0), FF81 C0D8 _H (n=1) → FFDD 00C4 _H (n=0), FFDD 00D8 _H (n=1)		
		1578	表 23.38 PIC1AREG50 レジスタの内容 ビット 6, 5 の機能説明を修正		
		1579	表 23.39 PIC1AREG51 レジスタの内容 ビット 6, 5 の機能説明を修正		
		1610	23.2.3.5 (1) 概要 表 (TAUD1) を修正 : ENCAT0EQ0 or ENCAT0EQ1 → ENCAT1EQ0 or ENCAT1EQ1, ENCAT0EQ1 → ENCAT1EQ1, ENCAT0EQ0 → ENCAT1EQ0		
		1612-1613	23.2.3.5 (3) レジスタ - ENCA1 - ENCAT1EQ0, ENCAT1EQ1 トリガパルス間隔測定 表の項目を修正		
		1626	図 23.27 2 相エンコーダ制御機能 (制御方式 1) アップカウント (正転) 記載を修正		
		1633-1634	23.2.3.8 (5) フローチャート 変更		
		1341-1642	23.2.3.9 (5) フローチャート 変更		
		1659	23.2.3.12 (3) レジスタ - PIC1A_ 入力選択 - ENCA1 接続選択 PIC1AREG30[17:16] の記載を修正 : 10 → 01, 01 → 10		
		1666	23.2.3.14 (3) レジスタ 説明を修正		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	第 24 章 エンハンスドモータコントロールユニット (EMU2)	
		全版	以下の機能名およびレジスタ名を変更 <ul style="list-style-type: none"> ・チャンネル同時処理機能 → 等価チェック機能 ・チャンネル同時処理制御レジスタ → 等価チェック機能制御レジスタ ・同時処理許可ビット → 等価チェック機能許可ビット ・同時処理結果不一致割り込み → 等価チェックエラー割り込み ・レゾルバ角周期リロード値レジスタ → レゾルバ極数設定レジスタ ・レゾルバ角周期カウント値レジスタ → レゾルバ極カウントレジスタ ・キャリア半周期レジスタ → キャリア周期レジスタ
		1697	表 24.28 EMU2 レジスタの機能一覧 (入力 IP) レジスタ名、略称の誤記修正 (例 EMU2nADm データレジスタ 0 EMU2nADm0)
		1704	24.3.4 EMU2nREFCTR — EMU2n レジスタ値反映制御レジスタ (n = 0, 1) 説明文の誤記を修正
		1706	表 24.38 EMU2nIPTRG レジスタの内容 INIPTRG[1:0] ビットの説明および注 2 の文言を変更
		1716	24.3.13 EMU2nINT2 レジスタ図 (ビット 1 の名称誤記) を修正
		1732	24.3.25 EMU2nCBTIM — EMU2n 検算用バッファタイミング選択レジスタ (n = 0, 1) 注 1 の説明文を修正
		1792-1795	24.3.108 EMU2nPTNN ~ 24.3.111 EMU2nPTNEF 説明文を変更
		1799	24.3.119 EMU2nIRPTN 説明文を追加
		1800-1807	24.3.120 EMU2nIRCTRST ~ 24.3.131 EMU2nIRSELM レジスタ名に「独立矩形 IP」を追加
		1801-1805	24.3.121 EMU2nIRUCPPN0 ~ 24.3.129 EMU2nIRWCPPN2 説明文を追加
		1821	図 24.8 角度生成 IP の初期設定手順例 以下の手順を削除 コンペア 1 の初期値を設定する。
		1822-1825	24.4.4 (3) 電気角の生成 ~ (5) 角度コンペア 1 一致の判定 説明文を見直し
		1826	図 24.9 入力 IP の処理の流れ 変更 (A/D 転送完了 → A/D 変換完了)
		1830	24.4.6 PI 制御 IP 説明文を変更 図 24.11 PI 制御 IP の処理の流れ レジスタ名の誤記を修正
		1831-1833	24.4.6 (2) PI 制御 説明文の構成を見直し
		1833	24.4.7 PWM IP 説明文を誤記を修正 (PIIPSFT ビット → PWMIPSFT ビット)
		1840	図 24.16 矩形 IP の処理の流れ 記号の説明を追加
		1843	24.4.10 一括矩形 IP 説明文を見直し、注 5 を追加
		1845	図 24.19 矩形波出力の概要 注 1 を削除
		1846-1847	24.4.11 独立矩形 IP 説明文の変更 (重複記載の解消および誤記修正)
		1848	図 24.21 三相 PWM 波形出力制御フロー TSG3 出力の欠落を解消
		1849	24.4.13 一括矩形波出力制御 説明文を変更
		1850	図 24.23 角度生成例 ③の文言を変更
		第 25 章 R/D コンバータ (RDC2)	
		1856	表 25.4 クロック供給 供給クロック名の誤記を修正 (CLK_LSB → CLKC_LSB)
		1858	25.1.6 外部入出力信号 注 1 の説明文に以下を追加 この兼用端子に対して、入力アンプモニタ出力と A/D 変換は同時動作は禁止です。
		1879	25.3.17 RDC2nINGR リセット後の値 2 進数表記から 16 進数表記に変更
		1881	25.3.19 RDC2nEXAAT リセット後の値 2 進数表記から 16 進数表記に変更
		1885	25.3.21 RDC2nCMINT リセット後の値 2 進数表記から 16 進数表記に変更 ビット名称変更 (INTC2-0 → INTCLR2-0, INTF2-0 → INTFLG2-0)
		1902	25.4.5.1 周期計測タイマ 説明文に励磁信号周期の計算方法を追加
		第 26 章 A/D コンバータ (ADCC)	
		全版	構成を全面見直し
		第 27 章 ファンクショナルセーフティ	
		1980	27.1 概要 - ロックステップ 注意 追加
		1982	表 27.2 アドレスパリティ概要 変更
		1983	27.2.2.1 概要 変更
		1984	図 27.1 Code Flash の ECC とアドレスパリティ 追加
		1985	表 27.3 レジスタ一覧 追加
		1991	27.2.2.3 (6) CF1STERSTR_VCI/PE1/PE2 変更
		1993	27.2.2.3 (8) CFSTSTCTL_VCI/PE1/PE2 追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.41	2013.12.18	1994-1995	27.2.2.4 テスト機能 追加
		1996	27.2.3.1 概要 変更
		1997	27.2.3.2 レジスタ一覧 変更
		2002	27.2.3.2 (10) DFTSTCTL 追加
		2002-2003	27.2.3.3 テスト機能 追加
		2004-2005	27.2.4.1 概要 変更
		2006	表 27.23 レジスタ一覧 変更
		2008-2009	27.2.4.3 (2) LRTSTCTL_PE1/PE2 追加
		2010	27.2.4.3 (3) LRTDATBFn_PE1/PE2 追加
		2016-2018	27.2.4.4 テスト機能 追加
		2019-2020	27.2.5.1 概要 変更
		2021	27.2.5.2 レジスタ一覧 変更
		2023-2024	27.2.5.3 (2) GRTSTCTL 追加
		2025	27.2.5.3 (3) GRDATBFn 追加
		2027	27.2.5.3 (5) GRDECINBF0 追加
		2028	27.2.5.3 (6) GRDECINBF1 追加
		2034-2037	27.2.5.4 テスト機能 追加
		2037	27.2.6.1 概要 変更
		2038-2039	表 27.45 レジスタ一覧 変更
		2042	27.2.6.3 (3) GRDATBFn 追加
		2051	27.2.6.4 テスト機能 追加
		2052	27.2.8.1 概要 - 誤り検出・訂正 注意 変更
		2064-2066	27.2.8.5 テスト機能 追加
		—	27.2.10.3 レジスタ詳細 削除
		2067	表 27.61 データパリティ制御モジュール一覧 変更
		2085	27.4.3.2 (1) FSGDxxDPROTn 変更
		2087	27.4.3.2 (4) ERRSLVxxADDR 変更
		2088	表 27.81 ERRSLVxxTYPE レジスタの内容 変更
		2089	27.5.1 概要 変更
		2090-2092	27.5.2 ブロック図 追加
		2092-2095	27.5.3 機能仕様 追加
		2098-2111	27.5.4.2 MISRCDRL_PE1/PE2 ~ 27.5.4.15 MISRERRCTL 追加
		2112-2113	27.5.5 使用例 追加
		2114	表 27.97 各クロックモニタのモニタクロック、サンプリングクロック一覧 変更
			第 28 章 エラーコントロールモジュール (ECM)
		2124	表 28.3 クロック供給 誤記修正 (CLKC_LSB → CLK_LSB)
		2126	表 28.7 機能概要 エラーステータス 説明 変更
		2127	28.2.2 ブロック図 説明文 変更 図 28.1 ECM のブロック図 ERROROUTZ 出力 追加
		2128-2129	表 28.8 エラー入力一覧 No.22, No.23, No.26, No.42, No.44, No.48, No.62 変更、 No.46 追加
		2130	表 28.9 エラー要因集約 No.22, No.23, No.26, No.47, No.48 変更、No.46 追加
		2131	28.3.1 レジスタ一覧 説明文 変更
		2134	28.3.3 ECMmECLR レジスタ説明文 誤記修正 (ECMmEST ビット → ECMmECT ビット)
		2135、2136	28.3.4 ECMmESSTR0, 28.3.5 ECMmESSTR1 説明文 変更 28.3.4 表 28.15 ビット名 修正 (ECMmSSE027 ~ ECMmSSE025 → ECMmSSE029 ~ ECMmSSE025)
		2137	28.3.6 ECMmPCMD0 ビット配置図、表 28.17 ビット名称 修正 (ECMm0REG → ECMmREG0)
		2138、2139	28.3.7 ECMmESSTR0n, 28.3.8 ECMmESSTR1n 説明文 変更
		2141-2144	28.3.10 ECMMICFG0 ~ 28.3.13 ECMNMICFG1 説明文 変更
		2145	28.3.14 ECMIRCFG0 ビット配置図 ビット 3-0 リセット後の値 変更 (0 → 1)
		2151	28.3.20 ECMPCMD1 ビット配置図、表 28.31 ビット名称 修正 (ECMm1REG → ECMREG1)
		2153	表 28.33 ECMPE0 レジスタの内容 ビット 22 ~ 4, ビット 0 誤記修正 (ECM エラー状態クリアビット → ECM 擬似エラートリガビット)

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.41	2013.12.18	2155	28.3.25 ECMDTMR 説明文 変更		
		2161	28.4.1 エラー出力動作 表中に注 1 を追加		
		2162	28.4.4 エラー状態 変更		
		2163	28.4.5.1 保護シーケンス解除 変更		
			第 29 章 データ CRC (DCRA)		
		2164	導入文を変更		
		2166	29.2.1 機能概要 説明文 変更		
		2166	図 29.1 データ CRC 機能 A のブロック図 変更		
		2169	29.3.3 DCRAncOUT 変更		
		2170	29.3.4 DCRAncCTL 変更		
		2171	29.4 機能 備考 変更		
			第 31 章 オンチップデバッグユニット (OCD)		
		2175	31.3 ペリフェラルブレークの制御 注 2 追加		
		2179	表 31.3 レジスタ構成 AUDMBRC を AUDMB と併記		
		2181	31.4.3.2 AUDMBR/AUDMBRC 変更 (AUDMBRC を併記)		
		2190	31.4.4.4 RAM モニタ機能の有効/無効設定 備考 追加		
			第 32 章 フラッシュメモリ		
		2192、2193	図 32.1 Code Flash メモリマッピング (8KB × 8 + 32KB × 126 構成) _C1H アドレス修正 : 001E 8FFF _H → 001F 8000 _H , 001E FFFF _H → 001F FFFF _H 図 32.2 Code Flash メモリマッピング (8KB × 8 + 32KB × 62 構成) _C1M アドレス修正 : 0080 0000 _H → 001F 8000 _H , 001E FFFF _H → 001F FFFF _H		
		2194	図 32.3 Data Flash メモリマッピング (64B × 512 構成) タイトル修正 : 64KB → 64B		
		2201	32.6.1 概要 説明を修正		
		2204	表 32.11 FRDCYCLD レジスタの内容 機能の修正 : 0 _H ~ 2 _H : 設定禁止 → 0 _H ~ 6 _H : 設定禁止、3 _H ~ 6 _H を削除		
		2207	32.9.3.1 PRDNAME _n リセット後の値を修正		
		2209	32.10.1 OPBT0 アクセス、リセット後の値、R/W の説明を修正 表 32.17 OPBT0 レジスタの内容 (1/2) ビット 29、28 の機能説明を修正		
		2211	32.10.2 OPBT2 アクセス、リセット後の値、R/W の説明を修正 表 32.18 OPBT2 レジスタの内容 ビット 30、29 のデバッグインタフェースを修正 : FLSCI3 → FLSCI3 (ライタ I/F)		
		2212	32.11 注意事項 4、8 説明を修正		
			第 35 章 バウンダリスキャン		
		2221	35.3 レジスタの説明 説明文を見直し、ID レジスタのリセット後の値 誤記を修正		
		2223	図 35.2 TAP コントローラ状態遷移図 信号名の誤記を修正 (TRST → DCUTRST)		
			第 36 章 電気的特性		
		2227	表 36.1 絶対最大定格 入力電圧に 5V トレラント端子項を追加、注 4 追加		
		2228	表 36.2 端子機能 変更 ・ DCUTMS/EVTO VCC I/O → DCUTMS VCC I ・ RDC2nRSO, RDC2nCOM を O → I/O に変更		
		2229	表 36.3 推奨動作条件 注意 変更および追加		
		2233	表 36.9 DC 特性 (注入電流) 注 2 追加		
		2236	表 36.12 電源投入/切断タイミング 注 1 の説明文を変更		
		2237	表 36.13 EPT 使用時の電源投入タイミング項目を見直し、注 1 を削除 上記に合わせて、図 36.3 EPT 使用時の電源投入タイミングを変更		
		2238	36.3.2.2 低速内蔵発振周波数精度 タイトルおよびクロック名を修正		
		2243、2246	図 36.8 CSIH タイミング (マスターモード) (1/4), (4/4) 端子名称の誤記を修正		
		2251	表 36.22 SCI3 タイミング (マスターモード時) 不足項目を追加		
		2253	36.3.7 RS-CAN タイミング タイトル名および端子名誤記を修正		
		2256	36.3.12 表 36.29 端子名称の誤記を修正		
		2258	表 36.31 A/D コンバータ特性 入力電圧範囲の誤記を修正		
		2262	36.6 Code Flash 特性、36.7 Data Flash 特性 項目を見直し		
		0.50	2014.07.09	全体	ICU-S → ICUSB 名称変更
					第 1 章 概要
				49	表 1.1 製品概要 (2/2) A/D コンバータおよび電源電圧の I/O 電源の項目変更 (入力端子数 → 説明削除、3.3V ± 0.3V → 削除)

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	51	図 1.1 RH850/C1H 内部ブロック図 変更 (CPU1, 2 からの P-Bus への双方向矢印追加)
		52	図 1.2 RH850/C1M 内部ブロック図 変更 (CPU1 からの P-Bus への双方向矢印追加)
		第 2 章 端子	
		全体	初期値→リセット後の値 名称変更 リザーブビット→予約ビット 名称変更
		85	表 2.23 PCRn_m レジスタの内容 b31 ~ 26, b23 ~ 20, b15 ~ 13, b11 ~ 9, b7, b3 の予約ビットの表記、説明を変更
		92 ~ 98	表 2.25 ~ 表 2.31 C1H ポートグループ 0 ~ 6 レジスタ一覧 ビットマップ誤記修正
		107 ~ 110	表 2.42 ~ 表 2.45 C1M ポートグループ 1 ~ 4 レジスタ一覧 ビットマップ誤記修正
		117	2.3.1 ノイズ除去例 説明変更 (Low → ロウレベル、High → ハイレベル)
		119	2.3.2.3 DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ b6, 5, 2 ~ 0 のビット名変更、b4, 3 の予約ビット説明変更
		122	表 2.58 C1H 端子機能 (1/3) 変更 (FLSCI3TX(FPDT)、FLSCI3RX (FPDR)、FLSCI3SCK (FPCK))
		124	表 2.58 C1H 端子機能 (3/3) X1, X2 端子の機能説明変更 (メイン発振子→水晶振動子)
		125	表 2.59 C1M 端子機能 (1/2) 変更 (FLSCI3TX(FPDT)、FLSCI3RX (FPDR)、FLSCI3SCK (FPCK))
		126	表 2.59 C1M 端子機能 (2/2) X1, X2 端子の機能説明変更 (メイン発振子→水晶振動子)
		128	表 2.61 端子状態 (2/2) デバッグ系端子状態を追加、注 1 追加
		第 3 章 CPU システム	
		全体	ビット名表記統一 : ASID → ASID9-0、PEID → PEID2-0、VCID → VCID2-0、TCID → TCID7-0、MEA → MEA31-0、DATAECC → DATAECC7-0、TAGECC → TAGECC7-0 用語統一 : コンフィギュレーション→コンフィグレーション、SysErr → SYSERR、周辺機能→周辺装置、CodeFlash → Code Flash
		131	3.1.1 ブロック図説明 Local RAM、Code Flash、Data Flash、DMA 説明変更
		132	Slave Guard(1) ~ (3) 説明変更
		133	表 3.1 RH850G3M コアの特長 CPU の説明追加
		135	3.2.1.2 (1) (a) 汎用レジスタ 説明変更
		136	3.2.1.2 (2)(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ 説明変更
		138	3.2.1.2 (2) (b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ b31, b30 の説明変更 (レベル→EI レベル)
		139	3.2.1.2 (2) (c) FEPC — FE レベル例外受け付け時の状態退避レジスタ 説明変更
		141	表 3.8 PSW レジスタビットのアクセス権限 b12 の表記追加
		142	表 3.9 PSW レジスタの内容 (2/3) の b16 説明変更 (CU0 ビット 16 → CU0 ビット)
		143	表 3.9 PSW レジスタの内容 (3/3) の b3、b2、b1、b0 説明変更
		151	表 3.22 RBASE レジスタの内容 b31-9 説明変更 (利用→適用)
		151	表 3.22 RBASE レジスタの内容 b0 説明変更
		151	表 3.23 EBASE レジスタの内容 b31-9 説明変更 (利用→適用)
		151	表 3.23 EBASE レジスタの内容 b0 説明変更
		152	表 3.24 INTBP レジスタの内容 b31-9 説明変更 (利用→適用)
		154	3.2.1.2 (2) (w) MCFG0 — マシンコンフィグレーション b4 の表記削除
		154	表 3.28 MCFG0 レジスタの内容 b1, b0 説明変更
		154	3.2.1.2(x) MCFG1 — マシンコンフィグレーションのリセット後の値 変更
		155	3.2.1.2 (2) (y) MCTL — マシンの制御 b29 の表記削除、注 1. 削除
		156	表 3.32 FPIPR レジスタの内容 b4-0 説明変更、注意削除
		158	表 3.35 ICSR レジスタの内容 b1, b0 説明変更
		163	3.2.1.2 (6) FPU 機能レジスタ 説明変更
		166	3.2.1.2 (7) (c) MPBRGN — MPU ベースリジョン リセット後の値変更
		167	3.2.1.2 (7) (d) MPTRGN — MPU 終端リジョン リセット後の値変更
		168	3.2.1.2 (7) (g) MCC — メモリ保護設定チェックコマンド 説明変更
		168	表 3.53 MCC レジスタの内容 b31-0 説明変更
		168	3.2.1.2 (7) (h) MCR — メモリ保護設定チェック結果 説明変更
		169	表 3.56 MPLAn レジスタの内容 b31-2 説明変更
		170	表 3.57 MPUAn レジスタの内容 b31-2 説明変更
		178	3.2.2.1 特長 説明変更 (CPU1 → CPU)
		179	3.2.2.2 命令キャッシュ機能の LRU 注意追加

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2014.07.09	182	3.2.4.1 (1) PEG 機能概要 説明変更		
		183	3.2.4.1 (3) PEG 設定レジスタ一覧 説明変更		
		184	表 3.72 PEGSP レジスタの内容 b0 説明変更		
		185	3.2.4.1 (4) (b) PEGnMK — PE ガード保護領域 n マスク設定レジスタ 説明変更		
		187	3.2.4.2 内部周辺保護機能 (IPG) タイトル変更		
		187	3.2.4.2(1) IPG 機能概要 説明変更、備考変更		
		188	3.2.4.2(2) IPG 機能 説明変更		
		193	表 3.81 IPGPMTUM1、IPG0PMT1、IPG0PMTUM1 レジスタの内容 b6, b2 説明変更 (GRAM → Global RAM)		
		195	表 3.83 IPGPMTUM3、IPG0PMT3、IPG0PMTUM3 レジスタの内容 b6-b4 説明変更 (SysErrGen → SEG)		
		196	3.2.4.3 システムエラー通知制御機能 (SEG) 説明変更		
		197、198	表 3.86 SEGCONT レジスタの内容 b9, b4 説明変更、b2 注記追加		
		199	表 3.87 G3M コアのシステムエラー例外の要因コードとエラー内容の対応 追加		
		200	3.2.4.3(2)(b) SEGFLAG — エラー発生保持レジスタ 説明変更		
		201	表 3.89 SEGADDR アドレスの内容 説明変更		
		203	3.2.4.4 Checker Core 注意追加		
		204	3.3.2 プロセッサ間割り込み機能 説明変更		
		204	3.3.3.1 排他制御用レジスタ (MEV) 説明変更 (CPU → CPU2)		
		206	3.4.1(4) 後続の命令 (EI) 例 2. 説明変更 (機能→装置)		
		第 4 章 アドレス空間			
		208	表 4.1 アドレス空間 アドレスおよびアドレス空間の種類変更		
		210	図 4.1 各バスマスタから見たアドレス空間 変更		
		212	表 4.2 アドレス空間 (C1M) アドレスおよびアドレス空間の種類変更		
		214	図 4.3 各バスマスタから見たアドレス空間 (C1M) 変更		
		第 6 章 割り込み			
		—	用語統一 : Low → ロウ、High → ハイ		
		217、218	6.1 概要 説明変更、追加		
		219	表 6.1 割り込み制御 変更		
		219	6.2.1 レジスタ構成 説明変更		
		220	表 6.3 割り込みマージ機能 レジスタ名および R/W 変更 (割り込みクリアレジスタ n → 周辺割り込みステータスクリアレジスタ n)		
		221、222	6.2.2 EIC0 ~ EIC255 — EI レベル割り込み制御レジスタ 0 ~ 255 説明変更 / 削除、注意追加、b3-b0 ビット名変更		
		221、222	表 6.4 EIC0-EIC255 レジスタの内容 b12 説明変更、備考追加		
		223	6.2.3 IMR0 ~ IMR7 — EI レベル割り込みマスクレジスタ 0 ~ 7 備考追加		
		224	6.2.4 EIBD0 ~ EIBD255 — EI レベル割り込みバインドレジスタ 0 ~ 255 説明変更		
		224	表 6.5 EIBD0-EIBD255 レジスタの内容 備考、注意追加		
		—	6.2.5 FNC — FE レベル NMI 制御レジスタ 削除		
		—	6.2.6 FIC — FE レベル INT 制御レジスタ 削除		
		225	6.2.5 NMICL — NMI 割り込みコントロールレジスタ b1, b0 ビット名変更		
		226	6.2.6 EXINTCTL — 外部割り込みコントロールレジスタ ビット名変更		
		229	6.2.9 SINTR0 ~ SINTR3 — ソフトウェア割り込みレジスタ ビット名変更		
		230	6.2.10 PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ タイトル変更		
		230、231	PINTn + x (n = 0 ~ 3, x = 4)、PINTCLRn + x (n = 0 ~ 3, x = 4) のビット名変更		
231、232	PINT0 ~ 7、PINTCLR0 ~ 7 のビット位置変更				
233	6.3 割り込み要因 説明変更				
233	6.3.1 NMI 割り込み 説明変更				
233	6.3.2 IRQ 割り込み 説明変更				
233	6.3.3 ECM 割り込み タイトルおよび説明変更				
233	6.3.4 プロセッサ間割り込み 追加				
234	6.3.5 ソフトウェア割り込み 説明変更				
234	6.3.6 内蔵周辺モジュール割り込み モジュール名および略称名変更、説明変更				
235	6.4 割り込み例外ハンドラと優先順位動作説明 説明変更				
236	表 6.11 割り込み例外ハンドラと優先順位 (1/6) 変更				

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2014.07.09	239	表 6.11 割り込み例外ハンドラと優先順位 (4/6) 変更 (ICU-S → ICUSB)		
		241	表 6.11 割り込み例外ハンドラと優先順位 (6/6) 注意変更		
		242	6.5.1 外部割り込み (NMI/IRQ) 説明変更		
		242	6.5.2 プロセッサ間割り込み 追加		
		243	6.5.5.1 NMI 処理フロー 説明追加		
		243	図 6.1 NMI 処理フロー 変更		
		245	図 6.2 外部割り込み処理フロー 変更		
		246	6.5.5.3 プロセッサ間割り込みフロー 追加		
		247	6.5.5.4 ソフトウェア割り込み処理フロー 追加		
		250	図 6.5 DTS 割り込み処理フロー 変更		
		251	6.6 割り込み応答時間 追加		
		第 7 章 DMA 機能			
		255	7.2.1.5 転送完了割り込み、転送回数一致割り込み出力の転送完了割り込み出力 説明変更 (転送完了 → DMAC 転送完了)		
		271	図 7.10 DMAC チャンネルの一時中断/再開転送中止の動作例 変更 (チャンネル 0 の時間 11 に転送中止追加)		
		286	表 7.8 DMA トリガ要因一覧 (3/4) 変更 (ICU-S → ICUSB)		
		286	表 7.9 DTS トリガ要因一覧 (3/4) 変更 (ICU-S → ICUSB)		
		312	表 7.33 DTRTSCCTL レジスタの内容 b0 説明変更		
		337	図 7.12 TI の構成 TI-D 変更		
		第 8 章 リセット			
		358	8.4.2 RESF — リセット要因判定レジスタ 説明追加		
		359	8.4.3 RESFC — リセット要因クリアレジスタ 説明追加		
		第 9 章 電源回路			
		368	9.5 注意事項 変更		
		368	9.5.1 EPT 使用について 追加		
		368	9.5.2 電源端子の外付けコンデンサ例 追加		
		368	図 9.4 電源端子の外付けコンデンサ例 変更		
		第 10 章 クロックコントローラ			
		369	10.1 RH850/C1x クロックコントローラの特長 変更		
		371	表 10.3 クロック発振関連端子 変更 (外部クロック → クリスタル入力、クリスタル → クリスタル出力)		
		371	10.1.3 水晶振動子の接続方法 タイトルおよび説明変更 (発振子 → 振動子)		
		371	図 10.2 水晶振動子の接続例 タイトル変更		
		375	表 10.7 CKSC0CTL レジスタの内容 b5-0 2進数表示追加		
		377	表 10.9 CLKD0DIV レジスタの内容 b2-0 2進数表示追加		
		379	表 10.11 CKSC1CTL レジスタの内容 b5-0 2進数表示追加		
		380	表 10.12 CKSC1ACT レジスタの内容 b5-0 設定表記変更		
		第 11 章 クロック同期シリアルインタフェース H (CSIH)			
		—	用語統一: ハンドシェイク → ハンドシェイク 予約ビットの説明を以下に統一 ・リード/ライトレジスタ: リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 ・リードのみのレジスタ: リードした場合はリセット後の値が読めます。 ・ライトのみのレジスタ: ライトする場合はリセット後の値を書いてください。		
		389	11.1.7 データ整合性チェック 説明変更		
		390	11.2.1 機能概要 説明変更		
		391	11.2.2 機能概要説明 下表 CSIHnMCTL2 レジスタの説明変更		
		394	表 11.11 CSIHnCTL0 レジスタの内容 b7 説明変更		
		395	表 11.12 CSIHnCTL1 レジスタの内容 b16 説明変更		
		400 ~ 402	表 11.16 CSIHnSTR0 レジスタの内容 b31-24、b23-16、b15、b14、b3 の説明変更		
		403	表 11.17 メモリモードでの動作 CSIHnTSF ビットの説明変更 (アイドルステート → アイドル状態)		
		404	表 11.18 CSIHnSTCR0 レジスタの内容 b8 説明変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	406	表 11.20 CSIHnMCTL1 レジスタの内容 b22-16、b6-0 説明削除
		408	表 11.21 CSIHnMCTL2 レジスタの内容 b6-0 説明変更
		413	表 11.23 CSIHnCFGx レジスタの内容 (3/5) b17、b16 説明変更、b15 説明削除
		414	表 11.23 CSIHnCFGx レジスタの内容 (4/5) b11-8 説明変更
		415	表 11.23 CSIHnCFGx レジスタの内容 (5/5) b7-4、b3-0 説明変更
		416	11.3.12 CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0 の b19-16 のビット図 変更
		416	表 11.24 CSIHnTX0W レジスタの内容 (1/2) b29 説明変更
		417	表 11.24 CSIHnTX0W レジスタの内容 (2/2)b19-16 説明変更
		419	11.3.14 CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0 の b19-16 のビット図 変更
		422	表 11.29 割り込みの発生 割り込み要因の説明変更、注 4. 変更
		422	11.4.2 割り込み遅延 タイトル変更
		425	11.4.3.1 ダイレクトアクセスモードでの INTCSIHTIC 説明変更 (全割り込み遅延なし→割り込み遅延なし)
		425	図 11.3 転送後の INTCSIHTIC の発生 (CSIHnCTL1.CSIHnSLIT = 0) 変更
		426	図 11.4 INTCSIHTIC の即時発生 (CSIHnCTL1.CSIHnSLIT = 1) 変更
		426	11.4.3.1 ダイレクトアクセスモードでの INTCSIHTIC 備考変更
		426	11.4.3.2 FIFO モードでの INTCSIHTIC 説明変更 (全割り込み遅延なし→割り込み遅延なし)
		427	11.4.3.3 ジョブモードでの INTCSIHTIC 説明変更 (全割り込み遅延なし→割り込み遅延なし)
		428	表 11.32 INTCSIHTIR 割り込みの発生 FIFO モードの割り込み要因説明変更
		428	11.4.4.1 ダイレクトアクセスモードでの INTCSIHTIR 説明変更 (全割り込み遅延なし→割り込み遅延なし)
		429	11.4.4.2 デュアルバッファモードでの INTCSIHTIR 説明変更 (全割り込み遅延なし→割り込み遅延なし)
		431	図 11.9 マスタモードでの送受信 変更
		432	11.4.7.2 スレープモード 備考変更
		433	11.4.8.2 マスタ 1、スレープ複数の場合 説明変更
		435	11.4.9.1 コンフィギュレーションレジスタ 説明変更
		436	図 11.13 チップセレクトのタイミング 変更
		436	11.4.9.1 コンフィギュレーションレジスタ ・チップセレクトのタイミングに注意追加
		437	図 11.14 チップセレクトと RCB の例 変更
		437	11.4.9.2 CS の例 説明変更
		437	11.4.9.3 ジョブ概念 説明変更
		438	11.4.10.1 クロック位相の変更 説明変更 (データパケット→データ)
		439	11.4.10.2 データ位相の変更 説明変更
		441	11.4.11 送信クロックの選択 説明変更 (CSIHnTSCK → CSIHTSCK、クリアすると→000 _H に設定すると)
		442	11.4.11 送信クロックの選択の転送クロック周波数の上限と下限 説明削除
		443	11.4.12.1 FIFO モード 説明変更
		443	表 11.35 FIFO モード 説明変更および注 1. 変更
		444	表 11.36 デュアルバッファモード ポインタ説明の変更
		444	表 11.37 送信専用バッファモード ポインタ説明の変更、注 1. 変更
		445	11.4.13.2 受信専用モード 説明変更 (マスタからクロックを受信→マスタから送信クロック CSIHTSCK を受信)
		446	11.4.14.1 2 ~ 16 ビットのデータ長 説明変更 (利用して→使用して)
		447	11.4.14.2 16 ビットを上回るデータ長 説明変更
		448	11.4.14.2 16 ビットを上回るデータ長の備考 No.4 と No.6 追加
		449	11.4.15 シリアルデータ方向選択機能 説明変更 (利用して→使用して)
		449	図 11.25 シリアルデータ方向選択機能 — MSB ファースト (CSIHnDIRx = 0) 図タイトル変更
		449	図 11.26 シリアルデータ方向選択機能 — LSB ファースト (CSIHnDIRx = 1) 図タイトル変更
		450	11.4.16 SS (スレープセレクト) 機能 タイトル変更
450	11.4.16.1 SS 機能を使用した通信のタイミング タイトルおよび (3)(6) 説明変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	450	図 11.27 SS 機能を使用した通信の送受信のタイミング タイトル変更
		451	11.4.16.2 CSIHTSSO オペレーション 表の説明変更 (CHISTSSO → CSIHTSSO)
		452	11.4.17 ハンドシェイク機能 タイトルおよび説明変更
		452	表 11.39 メモリモードとスレーブの転送状態 追加
		453	表 11.40 メモリモードとスレーブの受信状態 追加
		453	11.4.17.1 スレーブモードの 2. 説明変更
		455	図 11.34 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1) 変更
		460、461	11.4.18.4 オーバフローエラーの例 説明変更
		463	11.4.18.5(1) ダイレクトアクセス/送信専用バッファ 備考追加
		463	11.4.18.5(2) FIFO モード 備考追加
		464	図 11.42 FIFO モードでのオーバランエラーの検出 (データなし) 変更 (オーバランエラー → INTCSIHTIRE)
		—	11.4.18.5(2) FIFO モード 備考削除
		—	11.4.18.5(2) の 2. CPU が存在しない受信データを読み出そうとしている 備考削除
		465	11.4.19 ループバックモード 説明変更
		465	表 11.41 ループバックモード使用時の端子の出力レベル 追加
		466	図 11.44 ループバックモードでの動作 タイトルおよび内容変更
		470	11.4.21 強制 CS アイドル設定 注意変更 (IDLE ステート → アイドル状態)
		471	11.5.1.1 マスタモードでジョブモードが無効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし)
		471	図 11.49 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0 変更
		471、472	11.5.1.1 マスタモードでジョブモードが無効になっているときの送受信の手順 説明変更
		473	11.5.1.2 マスタモードでジョブモードが有効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし、データパケット → データ)
		473	図 11.50 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 1 変更
		474	11.5.1.2 マスタモードでジョブモードが有効になっているときの送受信の手順 説明変更
		474	11.5.2.1 マスタモードでジョブモードが無効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし、データパケット → データ)
		474	図 11.51 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0 変更 (CSIHTCSS → CSIHTCSSx)
		475	11.5.2.1 マスタモードでジョブモードが無効になっているときの送受信の手順 説明変更
		477	11.5.2.2 マスタモードでジョブモードが有効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし、データパケット → データ)
		477	図 11.52 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1 変更
		477	11.5.2.2 マスタモードでジョブモードが有効になっているときの送受信 備考変更
		478	11.5.2.2 マスタモードでジョブモードが有効になっているときの送受信の手順 説明変更
		479	11.5.3.1 マスタモードでジョブモードが無効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし、データパケット → データ)
		479	図 11.53 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0 変更
		480	11.5.3.1 マスタモードでジョブモードが無効になっているときの送受信の手順 説明変更
		481	11.5.3.2 マスタモードでジョブモードが有効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし、データパケット → データ)
		481	図 11.54 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1 変更
		481	11.5.3.2 マスタモードでジョブモードが有効になっているときの送受信の備考 変更
		482	11.5.3.2 マスタモードでジョブモードが有効になっているときの送受信の手順 説明変更
		483	11.5.3.3 スレーブモードでジョブモードが無効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし、データパケット → データ)
		483	図 11.55 デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE = 0 変更
		484	11.5.3.3 スレーブモードでジョブモードが無効になっているときの送受信の手順 6. 変更
		485	11.5.4.1 マスタモードでジョブモードが無効になっているときの送受信 変更 (全割り込み遅延なし → 割り込み遅延なし)
		485	図 11.56 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 0 変更 (CSIHTCSS → CSIHTCSSx)
		486	11.5.4.1 マスタモードでジョブモードが無効になっているときの送受信の手順 説明変更
487	11.5.4.2 ジョブモードが有効になっている送受信モードのマスタ 変更 (全割り込み遅延なし → 割り込み遅延なし、データパケット → データ)		
487	図 11.57 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 1 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	488	11.5.4.2 ジョブモードが有効になっている送受信モードのマスタの手順 変更
		490	表 11.42 レジスタ設定上の注意事項 (2/3) 説明変更
		491	表 11.42 レジスタ設定上の注意事項 (3/3) 説明変更
		第 12 章 シリアルコミュニケーションインタフェース 3 (SCI3)	
		全体	用語統一: $\phi \rightarrow$ PCLK、bit/s \rightarrow bps、TxDi/RxDi \rightarrow TxDn/RxDn
		493	表 12.5 割り込み要求 割り込み名変更
		494	12.2.1 機能概要 説明変更、表追加
		496	表 12.8 レジスタ構成 説明変更、注 1. 追加
		497	12.3.2 SCI3nRDR — レシーブデータレジスタ 変更
		497	12.3.3 SCI3nTDR — トランスミットデータレジスタ 変更
		—	12.3.4 SCI3nRSR — レシーブシフトレジスタ ~ 12.3.7 SCI3nTSR — トランスミットシフトレジスタ 削除
		505	表 12.17 SCI3nBRR の設定値 N とビットレート B の関係 変更
		506	表 12.18 ビットレートに対する BRR の設定例 (調歩同期式モード) のボーレート 4800bps の設定例 変更
		507	表 12.20 クロック同期式モードのビットレート設定例の上説明 変更
		512	12.4.1.4 倍速動作 説明削除
		517	12.4.1.7 シリアルデータ受信 (調歩同期式) の 5. 変更 (RDRF フラグ \rightarrow SCI3nRDR)
		530	図 12.21 シリアル送信のフローチャートの例 変更 (Yes を追加)
		第 13 章 LIN マスタインタフェース (RLIN2)	
		541	表 13.5 クロック供給 変更 (pclk \rightarrow PCLK、CLKC_LSB \rightarrow CLK_LSB、非変調低速周辺クロック \rightarrow 低速周辺クロック)
		542	13.2.1 機能概要 説明変更
		542	表 13.9 LIN マスタインタフェースの仕様 説明変更
		543	図 13.1 LIN マスタインタフェースブロック図 変更 (ユニットチャネルの表記変更)
		544	表 13.10 レジスタ一覧 備考追加
		545	表 13.11 RLIN21nGLWBR レジスタの内容 b0 説明変更
		546	13.3.2.2 RLIN21nGLBRP0 — LIN ボーレートプリスケアラ 0 レジスタ 説明変更 (LPRS ビット (プリスケアラクロック選択ビット) で分周したクロック \rightarrow LIN 通信クロック源)
		547	13.3.2.3 RLIN21nGLBRP1 — LIN ボーレートプリスケアラ 1 レジスタ 説明変更 (LPRS ビット (プリスケアラクロック選択ビット) で分周したクロック \rightarrow LIN 通信クロック源)
		548	13.3.2.4 RLIN21nGLSTC — LIN セルフテスト制御レジスタ 変更
		553	13.3.3.5 RLIN21nmLiIE — LIN 割り込み許可レジスタの ERRIE / FRCIE / FTCIE ビットの説明 変更 (割り込み \rightarrow 割り込み要求)
		557	13.3.3.8 RLIN21nmLiTRC — LIN 送信制御レジスタの RTS ビット 変更 (MOV 命令 \rightarrow ストア命令)
		558	13.3.3.9 RLIN21nmLiMST — LIN モードステータスレジスタの OMM1 ビット 変更
		559	13.3.3.10 RLIN21nmLiST — LIN ステータスレジスタ アクセス / R/W および説明の変更、HTRC フラグの説明変更
		560	13.3.3.10 RLIN21nmLiST — LIN ステータスレジスタ D1RC ~ FTC フラグ 説明変更 (割り込み \rightarrow 割り込み要求、TER \rightarrow FTER)
		561	13.3.3.11 RLIN21nmLiEST — LIN エラーステータスレジスタ アクセス / R/W および説明の変更
		563	13.3.3.12 RLIN21nmLiDFC — LIN データフィールド設定レジスタの FSM ビット 説明変更
		567	13.3.3.15 RLIN21nmLiDBRb — LIN データバッファ b レジスタ タイトル変更
		570	13.5 モード 説明変更
		570	図 13.3 動作モードの移行 (3) の位置変更
		575	図 13.5 レスポンス送信時の動作 (1)(7) の位置変更
		575	表 13.33 レスポンス送信時の処理 説明変更
		576	図 13.6 レスポンス受信時の動作 (2)(3)(6) の位置変更
		576	表 13.34 レスポンス受信時の処理 説明変更
		577	図 13.7 データ送信タイミング例 変更
		581	13.12.1 ウェイクアップ送信動作 説明変更
		586	13.15 LIN セルフテストモード 変更 (・フレームタイムアウトエラー \rightarrow 削除)
		587	13.15.1 LIN セルフテストモードへの移行 説明変更
		590	13.15.4 LIN セルフテストモード終了 説明変更
		591	図 13.16 ボーレート生成ブロック図 注 3. の説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	592	表 13.37 ボーレート生成例 (19200bps、10417bps、9600bps、2400bps) 32MHz ~ 8MHz を削除
		第 14 章 CAN インタフェース (RS-CAN)	
		593	表 14.2 添字 添字 n、x、q の説明変更
		597	表 14.9 RS-CAN モジュールの仕様 (2/2) 割り込み要因の受信 FIFO 割り込み 変更
		622	表 14.15 RSCAN0CmCFG レジスタの内容 (1/2) b22-20 注 1 追加および SJW[1:0] ビット 説明変更
		627	14.3.3 RSCAN0CmCTR — チャネル制御レジスタ (m = 0 ~ 3) の OLIE ビット 説明変更
		636	表 14.19 RSCAN0GCFG レジスタの内容 b31-16 注 3 追加、表外にも注 3 追加
		643	14.3.9 RSCAN0GERFL — グローバルエラーフラグレジスタのアクセス 説明変更
		645	14.3.10 RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 の CFTIFn ビット 説明変更 (FIFO バッファ → FIFO)
		661	表 14.33 RSCAN0RMIDq レジスタの内容 RMIDE ビット説明変更 (GAFLIDE → RMIDE)
		674	表 14.44 RSCAN0CFCK レジスタの内容 CFITR ビット説明変更 (CFITSS ビットが "1" → CFITSS ビットが "0")
		678	14.3.32 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 11) アクセスおよびリセット後の値を変更
		679	14.3.32 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 11) CFTXIF フラグ 説明変更
		683	14.3.34 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 11) b28-0 備考追加
		704	表 14.61 RSCAN0TMTARSTSy レジスタの内容 TMTARSTSp フラグ (p=0 ~ 63) 説明変更 (送信 → 送信アポート)
		708	表 14.65 RSCAN0TMTASTSy レジスタの内容 TMTASTSp フラグ (p=0 ~ 63) 説明変更 (表 14.64 → 表 14.66)
		722	14.3.57 RSCAN0TXQPCTRM — 送信キューポイント制御レジスタ (m = 0 ~ 3) リセット後の値の説明変更
		725	14.3.59 RSCAN0THLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 3) アクセスの説明変更
		726	表 14.77 RSCAN0THLSTSm レジスタの内容 備考追加
		727	表 14.78 RSCAN0THLACCM レジスタの内容 b2-0 説明変更
		732	14.3.64 RSCAN0GLOCKK — グローバルロックキーレジスタ b11 R/W 変更 (R/W → W)
		734	14.4.1 割り込み要因 変更 (受信 FIFO 割り込み (1 本) → 受信 FIFO 割り込み)
		735	表 14.84 CAN 割り込み要因一覧 変更 (FIFO 送信 → FIFO 送信完了、FIFO 受信 → FIFO 受信完了)
		737	図 14.3 CAN チャネル割り込みブロック図 変更 (CANm 送受信 FIFO バッファ受信割り込み → CANm 送受信 FIFO 受信完了割り込み)
		739	14.4.2.1(2) グローバルリセットモード 変更 (表 14.88 と表 14.89 → 表 14.89 と表 14.90)
		第 15 章 ウィンドウウォッチドッグタイマ (WDTA)	
		788	表 15.5 割り込み要求 変更、注 1. 追加
		788	表 15.7 WDTA0 の起動オプション 変更
		789	15.2.1 機能概要 変更
		790	図 15.1 WDTA のブロック図 変更
		792	15.3.2 WDTAnWDTE – WDTA イネーブルレジスタ 変更
		792	表 15.9 WDTAnWDTE レジスタの内容 変更
		792	表 15.10 WDTAnRUN[7] のリセット後の値 追加
		793	15.3.3 WDTAnMD — WDTA モードレジスタ 説明追加、注 1 削除
		793	表 15.11 WDTAnMD レジスタの内容 (1/2) b6-4、b3 説明変更
		794	15.4 割り込み要因 追加
		795	15.5.1.1 スタートモード 変更
		795	15.5.1.2 スタートモードの選択 (WDTA0 のみ) タイトル変更
		795	15.5.1.3 リセット解除後の WDTA 設定 表の内容変更、WDTA 設定の変更 変更
		796	図 15.2 デフォルトスタートモード時の WDTA スタートのタイミング図 変更
		796	15.5.1.4 デフォルトスタートモードのタイミング (WDTA0 のみ) 説明変更
		797	図 15.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図 変更
		797	15.5.1.5 ソフトウェアトリガスタートモードのタイミング (WDTA0、WDTA1 共通) 変更
		798	15.5.2 WDTA トリガ 説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	798	15.5.3 エラー検出 説明変更
		799	15.5.4 WDTA エラーモード 追加
		799	図 15.4 WDTA 内部リセット発生のタイミング図 タイトル変更、図下説明の変更
		800	15.5.5 75%割り込み要求信号 説明変更および(7)変更
		800	図 15.5 WDTA 75%割り込み要求信号のタイミング図 変更
		800	図 15.5 の下説明 変更
		801	15.5.6 ウィンドウ機能 変更
		801	図 15.6 WDTA ウィンドウ機能のタイミング図 変更
		第 16 章 OS タイマ (OSTM)	
		全体	用語統一 : OSTMn → OSTM、OS タイマ → OSTM
		802	16.1.1 ユニット数 説明変更
		802	表 16.1 ユニット数 タイトル変更
		803	表 16.5 割り込み要求 表ヘッダ名称変更
		804	16.2.1 機能概要 変更 (ユニット間の同時スタート→ユニット間の同時スタートトリガ機能)
		804	図 16.1 OSTM のブロック図 タイトルおよび内容変更
		805	16.2.3 カウントクロック 変更
		805	図 16.2 カウント開始時の割り込み生成 (インターバルタイマモード) タイトル変更
		806	16.3.2 OSTMnCMP — OSTMn コンペアレジスタ 説明およびリセット後の値変更
		806	表 16.8 OSTMnCMP レジスタの内容 変更 (ダウンカウンタ→カウンタ)
		807	16.3.3 OSTMnCNT — OSTMn カウンタレジスタ リセット後の値変更
		807	表 16.9 OSTMnCNT レジスタの内容 変更 (リセット後の値→初期値)
		807	表 16.10 動作モード、カウント方向、初期値の関係 変更 (リセット後の値→初期値)
		808	16.3.4 OSTMnTO — OSTMn 出力レジスタ リセット後の値変更
		808	16.3.5 OSTMnTOE — OSTMn 出力イネーブルレジスタ リセット後の値変更
		809	16.3.6 OSTMnTE — OSTMn カウントイネーブルステータスレジスタ リセット後の値変更
		809	表 16.13 OSTMnTE レジスタの内容 b7-1 説明変更
		810	16.3.7 OSTMnTS — OSTMn カウント開始トリガレジスタ リセット後の値変更
		810	16.3.8 OSTMnTT — OSTMn カウント停止トリガレジスタ リセット後の値変更
		811	16.3.9 OSTMnCTL — OSTMn 制御レジスタ リセット後の値変更
		812	16.4.1 タイマの起動と停止 起動 説明変更
		812	16.4.1 タイマの起動と停止 同時スタートトリガ機能 タイトル変更
		814	16.4.2.1 インターバルタイマモードの基本動作 OSTMnTINT 期間 説明変更、(4)変更
		815	16.4.2.1 インターバルタイマモードの基本動作 強制リスタート 説明変更、(1)変更
		816	16.4.2.2 OSTMnCMP = 0000 0000 _H の場合の動作 説明変更
		817	16.4.2.3 インターバルタイマモードの設定手順 タイトルおよび内容変更
		818	16.4.3.1 フリーランニングコンペアモードの基本動作 変更
		819	16.4.3.1 フリーランニングコンペアモードの基本動作 OSTMnTINT 期間 タイトル追加
		819	16.4.3.2 OSTMnCMP = 0000 0000 _H の場合の動作 変更
		820	16.4.3.3 フリーランニングコンペアモードの設定手順 タイトルおよび内容変更
		第 17 章 タイマアレイユニット D (TAUD)	
		全体	表記統一 : TAUDnTTINm → TAUDTTINm、TAUDnTTOUm → TAUDTTOUm、TAUDnTSSTm → TAUDTSSTm 用語統一 : ゲートカウントモード→削除、反転論理→負論理、リアルタイムトリガ→リアルタイム出力トリガ、INT → INTTAUDnIm、アドレス xxx _H の前の“0”を削除
		827	図 17.2 TAUD のブロック図 変更
		839	表 17.16 TAUDnCMORm レジスタの内容 b5 予約ビットの説明変更
		841	表 17.17 TAUDnCMURm レジスタの内容 b7-2 予約ビットの説明変更
		842	表 17.18 TAUDnCSRm レジスタの内容 変更
		843	表 17.19 TAUDnCSCm レジスタの内容 b7-1 予約ビットの説明変更
		845	表 17.24 TAUDnRDS レジスタの内容 機能説明変更
		847	17.3.17 TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ 説明変更
		847	表 17.27 TAUDnRDT レジスタの内容 機能説明変更
		847	表 17.28 TAUDnRSF レジスタの内容 機能説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	848	表 17.29 TAUDnTOE レジスタの内容 機能説明変更
		855	17.4.1 基本操作手順 (3)(4) 説明変更
		856	17.4.2 チャネル連動動作の概念 説明変更
		859	表 17.41 一斉書き換え方法とトリガタイミング B方式の説明および C1/C2 説明変更
		860	図 17.4 一斉書き換えの基本手順 (保留フラグ→許可フラグ)
		861	17.4.3.2 (3) 一斉書き換え 変更
		865	17.4.3.4(2) の設定 変更 (ダウン/アップカウント→ダウンカウント)
		867	図 17.7 TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え 変更
		—	17.4.3.4(4) 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C2) 削除
		878	17.4.5.1 インターバルタイムモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモード タイトル変更
		878	図 17.12 インターバルタイムモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモードでの開始タイミング タイトル変更
		878	17.4.5.1 の備考 説明変更
		886	表 17.45 インターバルタイム機能の TAUDnCMORm レジスタの内容 変更
		886	表 17.46 インターバルタイム機能の TAUDnCMURm レジスタの内容 変更
		887	表 17.47 チャネル単体出力モード 1 時の制御ビット設定 TAUDnTOL.TAUDnTOLm の設定変更
		892	17.4.9.1(6)(d) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1) タイトルおよび説明変更
		893	17.4.9.1(7) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 0) 項目追加
		896	表 17.50 TAUDTTInm 入インターバルタイム機能の TAUDnCMORm レジスタの内容 タイトルと内容変更
		896	表 17.51 TAUDTTInm 入インターバルタイム機能の TAUDnCMURm レジスタの内容 タイトルと内容変更
		897	表 17.52 チャネル単体出力モード 1 時の制御ビット設定 変更
		902	表 17.55 クロック分周機能の TAUDnCMORm レジスタの内容 変更
		902	表 17.56 クロック分周機能の TAUDnCMURm レジスタの内容 変更
		903	表 17.57 チャネル単体出力モード 1 時の制御ビット設定 変更
		905	図 17.33 動作再開 (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01 _B) 変更 (0001 _H → 0000 _H)
		906	図 17.34 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01) 変更 (0001 _H → 0000 _H)
		909	表 17.60 外部イベントカウント機能の TAUDnCMORm レジスタの内容 変更
		909	表 17.61 外部イベントカウント機能の TAUDnCMURm レジスタの内容 変更
		912	17.4.9.4 (6)(c) 強制リスタート 説明変更
		915	表 17.64 デレイカウント機能の TAUDnCMORm レジスタの内容 変更
		915	表 17.65 デレイカウント機能の TAUDnCMURm レジスタの内容 変更
		919	表 17.68 ワンパルス出力機能の TAUDnCMORm レジスタの内容 変更
		919	表 17.69 ワンパルス出力機能の TAUDnCMURm レジスタの内容 変更
		920	表 17.70 チャネル単体出力モード 2 時の制御ビット設定 タイトル変更
		922	表 17.73 オーバフローの影響 TAUDnCSRm.TAUDnOVF の “10”“11” 変更 (0 → 変化しない)
		923	17.4.9.7(1) 備考 説明変更
		925	表 17.74 TAUDTTInm 入パルスインターバル測定機能の TAUDnCMORm レジスタの内容 変更
		925	表 17.75 TAUDTTInm 入パルスインターバル測定機能の TAUDnCMURm レジスタの内容 変更
		926	表 17.77 TAUDTTInm 入パルスインターバル測定機能の操作手順 チャネルの初期設定の操作 説明追加
		930	表 17.78 オーバフローの影響 TAUDnCSRm.TAUDnOVF の “10”“11” 変更 (0 → 変化しない)
		931	17.4.9.8(1) 機能説明の備考 説明変更
		932	表 17.79 TAUDTTInm 入力信号幅測定機能の TAUDnCMORm レジスタの内容 変更
932	表 17.80 TAUDTTInm 入力信号幅測定機能の TAUDnCMURm レジスタの内容 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	933	表 17.82 TAUDTTINm 入力信号幅測定機能の操作手順 チャンルの初期設定の操作説明変更
		939	表 17.83 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容 変更
		939	表 17.84 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容 変更
		940	表 17.86 TAUDTTINm 入力位置検出機能の操作手順 変更
		942	17.4.9.10 TAUDTTINm 入力期間カウント検出機能 備考説明変更
		944	表 17.87 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容 変更
		944	表 17.88 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容 変更
		946	表 17.90 TAUDTTINm 入力期間カウント検出機能の操作手順 チャンルの初期設定の操作説明変更
		950	表 17.91 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容 変更
		950	表 17.92 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容 変更
		951	表 17.94 TAUDTTINm 入力パルスインターバル判定機能の操作手順 変更
		954	表 17.95 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容 変更
		954	表 17.96 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容 変更
		955	表 17.98 TAUDTTINm 入力信号幅判定機能の操作手順 変更
		959	表 17.99 リアルタイム出力機能タイプ1の TAUDnCMORm レジスタの内容 変更
		959	表 17.100 リアルタイム出力機能タイプ1の TAUDnCMURm レジスタの内容 変更
		960	表 17.101 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定 変更
		961	表 17.103 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定 変更
		963	17.4.10.1(7) 特定の設定時のタイミング図 説明変更
		967	表 17.105 リアルタイム出力機能タイプ2の TAUDnCMORm レジスタの内容 変更
		967	表 17.106 リアルタイム出力機能タイプ2の TAUDnCMURm レジスタの内容 変更
		968	表 17.107 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定 変更
		969	表 17.109 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定 変更
		970	表 17.110 リアルタイム出力機能タイプ2の操作手順 説明変更
		975	図 17.73 一斉書き換えトリガ生成機能タイプ1の基本タイミング図 変更
		—	17.4.11.1(3) ブロック図と基本タイミング図 説明削除
		976	表 17.111 一斉書き換えトリガ生成機能タイプ1の TAUDnCMORm レジスタの内容 変更
		976	表 17.112 一斉書き換えトリガ生成機能タイプ1の TAUDnCMURm レジスタの内容 変更
		977	表 17.113 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定 変更
		977	17.4.11.1(5)(c) 下位チャンネルのチャンネル出力モード 説明変更
		977	表 17.114 一斉書き換えトリガ生成機能タイプ1時の下位チャンネル一斉書き換え設定 変更
		983	表 17.116 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更
		983	表 17.117 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更
		984	表 17.118 PWM 出力機能時のマスタチャンネルの一斉書き換え設定 変更
		985	表 17.119 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容 変更
		985	表 17.120 PWM 出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容 変更
		986	表 17.122 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定 変更
		987	表 17.123 PWM 出力機能時の操作手順の動作中 説明変更
		992	17.4.12.2(2) 算出式 説明変更
		994	表 17.124 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更
		994	表 17.125 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更
		995	表 17.126 ワンショットパルス出力機能時のマスタチャンネルの一斉書き換え設定 変更
		996	表 17.127 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容 変更
996	表 17.128 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容		
997	表 17.129 チャンネル連動出力モード2の時の制御ビット設定 変更		
997	表 17.130 ワンショットパルス出力機能時のスレーブチャンネルの一斉書き換え設定 変更		
999	図 17.81 TAUDnCDRm (マスタ) = 0000 _H 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1000	17.4.12.2(7)(b) TAUDnCDRm (スレーブ) = 0000 _H 説明変更
		1000	図 17.82 TAUDnCDRm (スレーブ) = 0000 _H 変更
		1002	図 17.84 TAUDTTInm のインターバル ≤ 遅延時間 + パルス幅 +1 タイトルおよび内容変更
		1006、1007	17.4.12.3(3) ブロック図と基本タイミング図 説明および備考追加
		1008	表 17.132 デレイパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容変更
		1008	表 17.133 デレイパルス出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容変更
		1009	17.4.12.3(4)(c) マスタチャンネルのチャンネル出力モード 説明変更
		1009	表 17.134 デレイパルス出力機能時のマスタチャンネルの一斉書き換え設定 変更
		1010	表 17.135 デレイパルス出力機能時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容 変更
		1010	表 17.136 デレイパルス出力機能時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容 変更
		1011	表 17.137 チャンネル連動出力モード 1 の制御ビット設定 変更
		1011	表 17.138 デレイパルス出力機能時のスレーブチャンネル 1 の一斉書き換え設定 変更
		1012	表 17.139 デレイパルス出力機能時のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容 変更
		1012	表 17.140 デレイパルス出力機能時のスレーブチャンネル 2 の TAUDnCMURm レジスタの内容 変更
		1013	17.4.12.3(6)(c) スレーブチャンネル 2 のチャンネル出力モード 説明変更
		1013	表 17.141 デレイパルス出力機能時のスレーブチャンネル 2 の一斉書き換え設定 変更
		1014	表 17.142 デレイパルス出力機能時のスレーブチャンネル 3 の TAUDnCMORm レジスタの内容 変更
		1015	表 17.143 デレイパルス出力機能時のスレーブチャンネル 3 の TAUDnCMURm レジスタの内容 変更
		1015	表 17.145 デレイパルス出力機能時のスレーブチャンネル 3 の一斉書き換え設定 変更
		1018	図 17.87 デューティサイクル (スレーブ 3) = 100% 変更
		1019	図 17.88 TAUDTTOUTm (スレーブ 1) = TAUDTTOUTm (スレーブ 3) 変更
		1021	17.4.12.4(2) 算出式 説明変更
		1022	17.4.12.4(3) ブロック図と基本タイミング図 備考追加
		1023	表 17.147 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更
		1023	表 17.148 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更
		1024	17.4.12.4(4)(c) マスタチャンネルのチャンネル出力モード 説明削除
		1025	表 17.150 オフセットトリガ出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容 変更
		1025	表 17.151 オフセットトリガ出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容 変更
		1026	表 17.152 チャンネル連動出力モード 1 時の制御ビット設定 変更
		1027	表 17.154 オフセットトリガ出力機能時の操作手順 変更
		1033	17.4.12.6(2) 算出式 説明変更
		1036	表 17.155 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更
		1036	表 17.156 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更
		1037	表 17.157 チャンネル単体出力モード 1 時の制御ビット設定 変更
		1038	表 17.158 三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定 変更
		1038	表 17.159 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容 変更
		1038	表 17.160 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容 変更
		1039	表 17.162 三角波 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定 変更
		1041	図 17.97 TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) +1 変更 (CDRn → TAUDnCDRm)
		1042	図 17.98 TAUDnCDRm (スレーブ) = 0000 _H 変更 (CDRn → TAUDnCDRm)
		1047	図 17.100 デッドタイム付き三角波 PWM 出力機能の基本タイミング図 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1048	表 17.165 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更
		1048	表 17.166 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更
		1049	表 17.167 チャンネル単体出力モード 1 時の制御ビット設定 変更
		1049	表 17.168 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定 変更
		1050	表 17.169 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容 変更
		1050	表 17.170 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 2 の TAUDnCMURm レジスタの内容 変更
		1051	表 17.172 三角波 PWM 出力機能時のスレーブチャンネル 2 の一斉書き換え設定 変更
		1052	表 17.173 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 3 の TAUDnCMORm レジスタの内容 変更
		1052	表 17.174 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 3 の TAUDnCMURm レジスタの内容 変更
		1053	表 17.176 三角波 PWM 出力機能時のスレーブチャンネル 3 の一斉書き換え設定 変更
		1055	図 17.101 TAUDnCDRm (スレーブ) \geq TAUDnCDRm (マスタ) + 1 変更 (CDRn \rightarrow TAUDnCDRm)
		1056	図 17.102 TAUDnCDRm (スレーブ) = 0000 _H 変更
		—	17.4.12.9(3) ブロック図と基本タイミング図 説明削除
		1063	表 17.178 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更
		1063	表 17.179 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更
		1064	17.4.12.9(4)(c) マスタチャンネルのチャンネル出力モード 説明削除
		1064	表 17.180 割り込み要求信号間引き機能時のマスタチャンネルの一斉書き換え設定 変更
		1065	表 17.181 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容 変更
		1065	表 17.182 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容 変更
		1066	17.4.12.9(5)(c) スレーブチャンネルの出力モード 説明削除
		1066	表 17.183 割り込み要求信号間引き機能時のスレーブチャンネルの一斉書き換え設定 変更
		1072	表 17.186 1 相 PWM 出力機能の TAUDnCMORm レジスタの内容 変更
		1072	表 17.187 1 相 PWM 出力機能の下位チャンネルの TAUDnCMURm レジスタの内容 変更
		1077	表 17.192 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 組の TAUDTTOUTm 出力 変更
		1079	図 17.110 非相補方式変調出力機能タイプ 1 のブロック図 変更
		1080	17.4.13.1(3) ブロック図と基本タイミング図 備考追加
		1081	表 17.193 非相補方式変調出力機能タイプ 1 時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更
		1081	表 17.194 非相補方式変調出力機能タイプ 1 時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更
		1082	17.4.13.1(4)(c) マスタチャンネルのチャンネル出力モード 説明削除
		1082	表 17.195 非相補方式変調出力機能タイプ 1 時のマスタチャンネルの一斉書き換え設定 変更
		1082	17.4.13.1(4)(d) マスタチャンネルの一斉書き換え 備考内容変更
		1083	表 17.196 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容 変更
		1083	表 17.197 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容 変更
		1084	表 17.198 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 の一斉書き換え設定 変更
		1085	表 17.199 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 2 ~ 7 の TAUDnCMORm レジスタの内容 変更
		1085	表 17.200 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 2 ~ 7 の TAUDnCMURm レジスタの内容 変更
1086	表 17.202 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 2 ~ 7 の一斉書き換え設定 変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2014.07.09	1091	17.4.13.2(1) の機能説明のスレーブチャンネル 1: 説明変更		
		1091	17.4.13.2(1) の機能説明の条件 説明変更		
		1092	表 17.204 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 組の TAUDTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0) タイトル変更		
		1093	図 17.113 非相補方式変調出力機能タイプ 2 のブロック図 変更		
		1095	表 17.205 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更		
		1096	表 17.206 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更		
		1096	表 17.207 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの制御ビット設定 変更		
		1096	表 17.208 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの一斉書き換え設定 変更		
		1097	表 17.209 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容 変更		
		1097	表 17.210 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容 変更		
		1098	表 17.211 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 の一斉書き換え設定 変更		
		1099	表 17.212 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2 ~ 7 の TAUDnCMORm レジスタの内容 変更		
		1099	表 17.213 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2 ~ 7 の TAUDnCMURm レジスタの内容		
		1100	表 17.215 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2 ~ 7 の一斉書き換え設定 変更		
		1105、1106	17.4.13.3(1) の概要、機能説明および条件 説明変更、備考変更		
		1106	表 17.217 相補方式変調出力機能時のスレーブチャンネル 1 組の TAUDTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0) 変更 (TAUDnTDL.TAUDnTDL2 / 3 の列追加)		
		1108	図 17.116 相補方式変調出力機能のブロック図 変更		
		1109	17.4.13.3(3) ブロック図と基本タイミング図 説明変更		
		1110	表 17.219 相補方式変調出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容 変更		
		1110	表 17.220 相補方式変調出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容 変更		
		1111	表 17.221 チャンネル単体出力モード 1 時の制御ビット設定 変更		
		1111	表 17.222 相補方式変調出力機能時のマスタチャンネルの一斉書き換え設定 変更		
		1112	表 17.223 相補方式変調出力機能時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容 変更		
		1112	表 17.224 相補方式変調出力機能時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容 変更		
		1113	表 17.225 相補方式変調出力機能時のスレーブチャンネル 1 の一斉書き換え設定 変更		
		1114	表 17.226 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の TAUDnCMORm レジスタの内容 変更		
		1114	表 17.227 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の TAUDnCMURm レジスタの内容 変更		
		1115	表 17.228 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定 変更		
		1115	表 17.229 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の一斉書き換え設定 変更		
		1116	表 17.230 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMORm レジスタの内容 変更		
		1116	表 17.231 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMURm レジスタの内容 変更		
		1117	表 17.232 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定 変更		
		1117	表 17.233 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の一斉書き換え設定 変更		
		1120	17.4.13.3(9) 特定の設定時のタイミング図 説明変更		
		第 18 章 タイマアレイユニット J (TAUJ)			
		全体	表記統一: TAUJnTTOUT → TAUJTTOUT、TAUJnTTINm → TAUJTTINm アドレス xx _H の前の "0" を削除、反転論理→負論理、ゲートカウントモード→削除		
		1125	18.2.1.1 用語の単体動作機能/連動動作機能 変更 (16 チャンネル→4 チャンネル)		
		1127	図 18.2 TAUJ のブロック図 変更		
		1128	18.2.2.1 ブロック図の説明のクロックおよびカウントクロックの選択 説明変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1135	18.3.5 TAUJnCNTm — TAUJn チャンネルカウンタレジスタ リセット後の値変更
		1137	表 18.15 TAUJnCMORm レジスタの内容 (1/3) 変更
		1138	表 18.15 TAUJnCMORm レジスタの内容 (2/3) 変更
		1139	表 18.15 TAUJnCMORm レジスタの内容 (3/3) 変更
		1140	表 18.16 TAUJnCMURm レジスタの内容 変更
		1142	18.3.10 TAUJnTS — TAUJn チャンネルスタートトリガレジスタ リセット後の値変更
		1142	表 18.19 TAUJnTS レジスタの内容 変更
		1142	表 18.20 TAUJnTE レジスタの内容 変更
		1143	18.3.12 TAUJnTT — TAUJn チャンネルストップトリガレジスタ リセット後の値変更
		1143	表 18.21 TAUJnTT レジスタの内容 変更
		1143	表 18.22 TAUJnTOE レジスタの内容 変更
		1144	表 18.23 TAUJnTO レジスタの内容 変更
		1144	表 18.24 TAUJnTOM レジスタの内容 変更
		1145	表 18.25 TAUJnTOC レジスタの内容 変更
		1145	表 18.26 TAUJnTOL レジスタの内容 変更
		1146	18.3.18 TAUJnRDE — TAUJn チャンネルリロードデータ許可レジスタ 説明変更
		1146	表 18.27 TAUJnRDE レジスタの内容 変更
		1146	表 18.28 TAUJnRDM レジスタの内容 変更
		1147	18.3.20 TAUJnRDT — TAUJn チャンネルリロードデータトリガレジスタ 説明およびリセット後の値変更
		1147	表 18.29 TAUJnRDT レジスタの内容 変更
		1147	表 18.30 TAUJnRSF レジスタの内容 変更
		1148	18.4.1 基本操作手順 (3)(4) 変更
		1154	18.4.3.3 一斉書き換えの方法 説明変更
		1154	18.4.3.3 の設定 説明変更
		1155	18.4.3.3 の説明 : (6) 変更
		1157	18.4.4 の注意の変更
		1160	18.4.5.1 インターバルタイムモード、キャプチャモード、カウントキャプチャモード タイトル変更
		1160	図 18.7 インターバルタイムモード、キャプチャモード、カウントキャプチャモードでの開始タイミング タイトル変更
		1163	図 18.11 エッジ検出基本動作タイミング 変更
		1164	18.4.8 チャンネル単体動作機能 タイトル変更
		1167	表 18.33 インターバルタイム機能の TAUJnCMORm レジスタの内容 タイトルと内容変更
		1167	表 18.34 インターバルタイム機能の TAUJnCMURm レジスタの内容 タイトルと内容変更
		1175	表 18.38 TAUJTTINm 入力インターバルタイム機能の TAUJnCMORm レジスタの内容 タイトルと内容変更
		1175	表 18.39 TAUJTTINm 入力インターバルタイム機能の TAUJnCMURm レジスタの内容 タイトルと内容変更
		1179	表 18.43 オーバフローの影響 変更 (0 → 変化しない)
		1182	表 18.44 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容 タイトルと内容変更
		1182	表 18.45 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容 タイトルと内容変更
		1183	表 18.47 TAUJTTINm 入力パルスインターバル測定機能の操作手順 操作のチャンネルの初期設定 説明変更
		1188	表 18.48 オーバフローの影響 変更 (0 → 変化しない)
		1190	表 18.49 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容 タイトルと内容変更
		1190	表 18.50 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容 タイトルと内容変更
		1191	表 18.52 TAUJTTINm 入力信号幅測定機能の操作手順 操作のチャンネルの初期設定 説明変更
		1198	表 18.53 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容 タイトルと内容変更
1198	表 18.54 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容 タイトルと内容変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1199	表 18.56 TAUJTTINm 入力位置検出機能の操作手順 操作のチャンネルの初期設定 説明変更
		1203	表 18.57 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容 タイトルと内容変更
		1203	表 18.58 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容 タイトルと内容変更
		1204	表 18.60 TAUJTTINm 入力期間カウント検出機能の操作手順 操作のチャンネルの初期設定 説明変更
		1208	18.4.9.1(3) ブロック図と基本タイミング図 備考追加
		1209	表 18.61 PWM 出力機能のマスタチャンネルの TAUJnCMORm レジスタの内容 タイトルと内容変更
		1209	表 18.62 PWM 出力機能のマスタチャンネルの TAUJnCMURm レジスタの内容 タイトルと内容変更
		1211	表 18.64 PWM 出力機能のスレーブチャンネルの TAUJnCMORm レジスタの内容 タイトルと内容変更
		1211	表 18.65 PWM 出力機能のスレーブチャンネルの TAUJnCMURm レジスタの内容 タイトルと内容変更
		第 19 章 モータコントロールタイマ (TSG3)	
		—	ビット名変更: TSG3n120DCMC → TSG3nS120DCO 予約ビットの説明統一: ・リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 ・リードした場合はリセット後の値が読めます。 ・ライトする場合はリセット後の値 (または固定値) を書いてください。
		1221	19.2.1 機能概要 備考追加
		1228	表 19.10 TSG3nCTL1 レジスタの内容 b1.0 説明変更、注意変更
		1229	表 19.11 TSG3nCTL3 レジスタの内容 b0 変更
		1236	19.3.8 TSG3nCTL7 — TSG3n 制御レジスタ 7 説明削除
		1236	表 19.15 TSG3nCTL7 レジスタの内容 備考追加
		1237	19.3.9 TSG3nCTL8 — TSG3n 制御レジスタ 8 の b0 ビット名変更
		1237	表 19.16 TSG3nCTL8 レジスタの内容 b0 ビット名変更、注意追加
		1239	表 19.18 TSG3nIOC1 レジスタの内容 b4 説明変更
		1242	表 19.21 TSG3nSTR0 レジスタの内容 b1 説明変更
		1243	表 19.22 TSG3nSTR1 レジスタの内容 b7-4 予約ビットの説明変更
		1244 ~ 1246	表 19.23 TSG3nSTR2 レジスタの内容 b9-0 説明変更
		1249	表 19.25 TSG3nOPT0 レジスタの内容 b3 説明変更
		1253	表 19.29 TSG3nTRG0 レジスタの内容 b0 説明変更
		1283	表 19.39 モード一覧 100 時の説明変更
		1283	19.4.1.1 18 ビットカウンタ基本動作 説明変更
		1285	表 19.40 モード別コンペアレジスタ機能一覧 (2/7) 変更
		1285	表 19.40 モード別コンペアレジスタ機能一覧 (3/7) 変更
		1285	表 19.40 モード別コンペアレジスタ機能一覧 (4/7) 変更
		1286	表 19.40 モード別コンペアレジスタ機能一覧 (7/7) 変更
		1287	表 19.41 モード別コンペアレジスタの更新タイミング タイトル追加および内容変更
		1287	19.4.1.3 の随時書き換えモード 変更
		1290	図 19.8 随時書き換えのタイミング (PWM モードの例) 変更
		1291	図 19.9 HT-PWM モードの随時書き込み動作時の、TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E レジスタの更新タイミング図 変更
		1292	19.4.1.3(2) リロードモード (一斉書き換え機能) の動作例 説明変更
		1294	表 19.47 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 0 の場合) 表ヘッダ変更
		1294	表 19.48 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 1 の場合) 表ヘッダ変更
		1297	19.4.1.4(a) TSG3nO7 端子の出力制御 説明変更
		1297	図 19.15 TSG3nO7 端子のダイアグ出力カタイミング例② (出力幅が重なった場合) 変更
		1299	図 19.16 割り込み発生例 (HT-PWM モードの例) 変更
		1306	図 19.20 正相/逆相同時アクティブ検出フラグ動作例 変更
1308	図 19.23 ノイズ検出フラグ動作例 変更		
1309	表 19.57 パタン順序検出フラグとパタン入力順序 タイトル追加		
1314	図 19.30 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ動作例 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1317	図 19.32 バタン位相差異検出フラグ動作例
		1318	表 19.59 バタン切り替え検出信号の変化タイミング タイトル追加
		1326	図 19.41 A/D 変換トリガ、ダイアグ出力制御回路 変更
		1330	図 19.45 A/D 変換トリガの間引き機能の動作例 変更
		1331	図 19.46 A/D 変換トリガの間引き機能の動作例 変更
		1331	19.4.5.1(3) A/D 変換トリガに関する注意事項 変更
		1332	図 19.47 エラー割り込み (INTTSG3nIER) 発生制御回路 変更
		1332	19.4.6.1 エラー割り込み機能 注意変更
		1334	図 19.50 エラー割り込み動作例 変更
		1343	19.4.7.1(3) PWM モード時のデッドタイム制御 備考追加
		1352	表 19.70 HT-PWM モード: タイマ出力機能 TSG3nO1, 3, 5 の機能説明変更、備考変更
		1352	表 19.72 HT-PWM モード: コンペアー一致タイミング 変更
		1353	表 19.73 HT-PWM モード: タイマ出力条件別の設定例 設定条件変更
		1358	19.4.7.2(5) (a) TSG3n 動作開始直後のタイマ出力例 変更
		1363	19.4.7.2(7) HT-PWM モード時のデッドタイム制御 変更
		1364	図 19.66 リロード後の谷付近の出力波形例 変更
		1365	19.4.7.2(8) HT-PWM モード時のデッドタイム制御に関する注意事項 注意変更
		1365	図 19.67 18 ビットカウンタ山タイミングでのリロード実行時の動作例 変更
		1365	図 19.68 18 ビットカウンタ谷タイミングでのリロード実行時の動作例 変更
		1367	図 19.70 ソフトウェア出力制御時の処理フロー 変更
		1368	19.4.7.2(9) HT-PWM モード時のソフトウェア出力制御機能 ②の説明変更
		1370	図 19.71 HT-PWM モード: タイマ出力波形例 タイトル追加
		1377	19.4.7.5 の前提条件 説明変更
		1384	19.4.7.5(4) SP-PWM モード時のデッドタイム制御 変更
		1385	19.4.7.5(5) SP-PWM モード時のソフトウェア出力制御機能 ①~③説明変更
		1389	図 19.84 120-DC モード時のブロック構成図 変更
		1390	図 19.85 120-DC モード時の基本動作フロー 変更
		1391	表 19.81 120-DC モード: カウンタ機能 クリアの説明変更
		1391	表 19.84 120-DC モード: タイマ出力機能 変更
		1395	表 19.89 120-DC モード: TSG3nS120DCO の設定と、120DC モードの動作 タイトル追加および内容変更、注意削除
		1395	19.4.7.6 ソフトウェア出力制御方式の設定 変更
		1395	19.4.7.6 ソフトウェア出力制御方式の動作 変更
		1396	19.4.7.6 バタン切り替え方式の動作 変更
		1397	19.4.7.6 トリガ切り替え方式の動作 変更
		1401	図 19.88 120-DC モード動作例 (正転: TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 0) 注記変更
		1402	図 19.89 120-DC モード動作例 (正転: TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 1) 注記変更
		1403	図 19.90 120-DC モード動作例 (逆転: TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 0) 注記変更
		1404	図 19.91 120-DC モード動作例 (逆転: TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 1)
		1405	19.4.7.6(6) 120-DC モードの出力パターン一覧 説明変更
		1405	表 19.92 120DC モードのパタン順序方向選択 変更
		1405	表 19.93 120DC モードの出力パターン一覧 (1/4) 変更
1405	表 19.94 120DC モードの出力パターン一覧 (2/4) 変更		
1406	表 19.95 120DC モードの出力パターン一覧 (3/4) 変更		
1406	表 19.96 120DC モードの出力パターン一覧 (4/4) 変更		
1407	19.4.7.6(7) 120-DC モードの動作開始タイミング 変更		
1408	図 19.93 逆転時のタイマ出力開始時の制御 (正常なパタンが入力された場合) 変更		
1409	図 19.94 正転時のタイマ出力開始時の制御 (エラーパタンが入力された場合) 変更		
1409	図 19.95 逆転時のタイマ出力開始時の制御 (エラーパタンが入力された場合) 変更		
1410	19.4.7.6(8) TSG3nS120DCO = 0 時の出力切り替えタイミング 説明変更		
1411	図 19.98 出力切り替え例 (TSG3nOPT0.TSG3nPSC での切り替え) 図上の条件変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2014.07.09	1411	図 19.99 出力切り替え例 (TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 での切り替え) 図上の条件変更		
		1413	図 19.101 出力切り替え例 変更		
		1415	19.4.7.6(12)(a) 入力パタン変化検出信号 (TSG3nPTE) の変化タイミング 注意変更		
		1415	表 19.97 TSG3nPSC = 0 の場合の TSG3nPTE トグル動作 タイトル追加		
		1415	表 19.98 TSG3nPSC = 1 の場合の TSG3nPTE トグル動作 タイトル追加		
		1416	表 19.99 TSG3nPEC のトグル動作 タイトル追加		
		1416	表 19.100 TSG3nTSF のセット、クリア動作 タイトル追加		
		1418	19.4.7.6(13) 120-DC モード時の基本制御フロー 説明変更		
		1421	図 19.107 ソフトウェア出力制御時の処理フロー 変更		
		1421	図 19.107 図下の手順説明 ①、③変更		
		1423	19.4.7.7 の前提条件 説明変更		
		1424	図 19.108 HSP-PWM モード時の基本タイミング タイトル追加、内容変更		
		1425	図 19.109 HSP-PWM モード時の基本動作フロー 図下の注意追加		
		1431	表 19.107 HSP-PWM モード動作時の禁止設定 タイトルおよび注意追加		
		1432	表 19.108 HSP-PWM モードコンペア設定の演算アルゴリズム タイトル追加		
		1436	図 19.113 HSP-PWM モード波形 (TSG3nCMP0E < TSG3nHSPCMUE < TSG3nCMP0E+TSG3nDTC1 + 1 の値を設定) 変更		
		—	19.4.7.7(7) のリロード補正動作の演算式 削除		
		1440	表 19.109 リロード補正動作の演算式 : TSG3nHSPSHUE/VE/WE = 0 (PWM シフト幅設定が 0) のとき タイトル追加		
		1440	表 19.110 リロード補正動作の演算式 : TSG3nHSPSHUE/VE/WE が 0 以外 (PWM シフト幅設定が 0 以外) のとき タイトル追加		
		1442	図 19.117 HSP-PWM モードの動作開始時のタイミング図 (TSG3nHSPSHUE = 0 (シフト 0 設定)) 設定値変更		
		1443	図 19.118 HSP-PWM モードの動作開始時のタイミング図 (TSG3nHSPSHUE = 5 (シフト 5 クロックサイクル設定)) 変更		
		1444	19.4.7.10 ソフトウェア出力制御機能 変更		
		1444	表 19.111 ソフトウェア出力制御機能に関するレジスタ説明 変更 (回転方向→電流方向)		
		第 20 章 タイマオプション (TAPA)			
		1451	表 20.7 TAPAnCTL0 レジスタの内容 b4 変更 (TAPAnOPHS0 →削除)		
		第 21 章 タイマパタンバッファ (TPBA)			
		1480	表 21.17 TPBAnBUFm レジスタの内容 注意説明変更		
		1490	21.4.3.2 TPBAnBUFm レジスタのアクセス ・8 ビット×128 パタン選択時 (TPBAnDPS = 1) ビット番号追記		
		1493	表 21.24 コンペアレジスタの機能とバッファレジスタ タイトルと内容変更		
		1493	バッファレジスタについて 追加		
		1493	表 21.27 コンペアー致タイミング 変更 (00 _H → 01 _H)		
		1495	図 21.5 基本動作タイミング例の注意 追加		
		1496	図 21.6 基本動作タイミング例の注意 追加		
		第 22 章 エンコーダタイマ (ENCA)			
		全体	用語統一 : エンコーダタイマ→ ENCA、アンダー→アンダ		
		1497	22.1.1 ユニット数 ENCA を削除		
		1498	表 22.6 ENCA _n のリセット要因 タイトル変更		
		1498	表 22.7 外部入出力信号 注 1. 追加		
		1499	22.2.1 機能概要 変更		
		1502 ~ 1514	22.3.2 ENCA _n CTL — ENCA _n 制御レジスタ ~ 22.3.12 ENCA _n TT — ENCA _n タイマストップトリガレジスタ リセット後の値変更 (本レジスタは、リセットにより 0000 _H に初期化されます→削除)		
		1502	表 22.9 ENCA _n CTL レジスタの内容 (1/2) b14, 7 説明変更		
		1503	表 22.9 ENCA _n CTL レジスタの内容 (2/2) b4-2 説明変更 (レジスタ→ビット)		
		1504	22.3.3 ENCA _n IOC0 — ENCA _n I/O 制御レジスタ 0 アクセス説明変更		
		1505、1506	表 22.11 ENCA _n IOC1 レジスタの内容 説明変更		
		1507	22.3.5 ENCA _n FLG — ENCA _n ステータスフラグレジスタ アクセス説明変更		
		1507	表 22.12 ENCA _n FLG レジスタの内容 変更		
		1508	22.3.6 ENCA _n FGC — ENCA _n ステータスフラグクリアレジスタ アクセス説明変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1509	22.3.7 ENCA _n CCR0 — ENCA _n キャプチャ/コンペアレジスタ 0 アクセス説明変更
		1509	表 22.14 ENCA _n CCR0 レジスタの内容 変更
		1510	22.3.8 ENCA _n CCR1 — ENCA _n キャプチャ/コンペアレジスタ 1 アクセス説明変更
		1510	表 22.15 ENCA _n CCR1 レジスタの内容 説明変更
		1512	22.3.10 ENCA _n TE — ENCA _n タイマイネーブルステータスレジスタ アクセス説明変更
		1512	表 22.17 ENCA _n TE レジスタの内容 変更
		1513	22.3.11 ENCA _n TS — ENCA _n タイマスタートトリガレジスタ アクセス説明変更
		1514	22.3.12 ENCA _n TT — ENCA _n タイマストップトリガレジスタ アクセス説明変更
		1515	22.4 機能 変更 (A 相、B 相、Z 相—削除)
		1515	図 22.2 タイマカウンタの初期値設定/開始/停止 変更
		1515、1516	22.4(1) ~ (4) 説明変更
		1517	22.4.2.1 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 00 _B タイトルと内容変更
		1517	表 22.20 ENCA _n UDS1, ENCA _n UDS0 ビット = 00 _B の場合 変更
		1517	図 22.3 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 00 _B のときのカウンタ動作 変更
		1518	22.4.2.2 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 01 _B の場合 変更
		1518	表 22.21 ENCA _n UDS1, ENCA _n UDS0 ビット = 01 _B の場合 変更
		1518	図 22.4 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 01 _B のときのカウンタ動作 変更
		1519	22.4.2.3 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 10 _B の場合 変更
		1519	表 22.22 ENCA _n UDS1, ENCA _n UDS0 ビット = 10 _B の場合 変更
		1519	図 22.5 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 10 _B のときのカウンタ動作 変更
		1520	22.4.2.4 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 11 _B の場合 変更
		1520	表 22.23 ENCA _n UDS1, ENCA _n UDS0 ビット = 11 _B の場合 変更
		1520	図 22.6 ENCA _n CTL レジスタの ENCA _n UDS1, ENCA _n UDS0 ビット = 11 _B のときのカウンタ動作 変更
		1521	22.4.3 エンコーダ入力によるタイマカウンタクリア制御 変更 (Z 相のエンコーダ→エンコードクリア)
		1521	22.4.3.1 ENCA _n SCE = 0 のときのクリア方法 変更 (クリア割り込み→エンコーダクリア割り込み)
		1522	表 22.25 タイマカウンタのクリア条件 変更
		1523	22.4.4.1 コンペア機能 備考変更
		1523	22.4.4.2 キャプチャ機能 変更 (ENCATTIN0 → ENCA _n I0)
		1524	22.4.5.1 のコンペア一致割り込みマスク機能 変更 (割り込み検出→割り込み)
		1525	表 22.28 ENCA _n CCR1 のコンペア一致割り込みマスク機能 変更
		1525、1526	表 22.29 ENCA _n CTS のさまざまな設定に対応する動作 内容変更、備考変更
		1527	22.4.5.3 コンペアレジスタが一致したときのタイマカウンタのクリア 変更
		1528	22.4.6.1 タイマの起動 変更
		1528	22.4.6.2 タイマの停止 変更
		1529	22.4.6.3 ENCA _n を 2 ユニット使用時の接続例 変更
		1529	図 22.7 ENCA _n を 2 ユニット使用時の接続例 タイトルと内容変更
		1530	表 22.31 ENCA _n の設定の手順 変更
		1530	図 22.8 カウンタの初期設定手順 変更
		1531	図 22.9 カウンタクリアのための初期設定手順 変更
		1531	図 22.10 ENCA _n CCR0 レジスタの設定手順 変更
		1531	図 22.11 ENCA _n CCR1 レジスタの設定手順 変更
		1532	22.6.1 エンコーダ基本動作タイミング 1 (エンコーダコンペアモード①) の 1. と 2. 説明変更
		1533	22.6.2 エンコーダ基本動作タイミング 2 (エンコーダコンペアモード②) の 1. と 2. 説明変更
1534	22.6.3 エンコーダ基本動作タイミング 3 (エンコーダコンペアモード③) の 1. と 2. 説明変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1536	22.6.4 エンコーダ基本動作タイミング 4 (エンコーダキャプチャモード) の 1. と 2. 説明変更
		1538	22.6.5 エンコーダ基本動作タイミング 5 (エンコーダキャプチャコンペアモード) の 1. と 2. 説明変更
		—	図 22.19 オーバフローの発生 削除
		1539	22.6.6 オーバフローの発生とオーバフローフラグクリア操作 変更
		1540	22.6.7 アンダフローの発生とアンダフローフラグクリア操作 変更
		—	図 22.21 アンダフローの発生 削除
		1541	22.6.8 エンコーダクリア入力 (ENCAnEC 端子) によるカウントクリアとキャプチャ動作タイトルと内容変更
		1541	図 22.19 エンコーダクリア入力 (ENCAnEC 端子) によるカウントクリアとキャプチャ動作のタイミング図 変更
		1542	22.6.9 オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合 タイトルと内容変更
		1542	図 22.20 オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合 変更
		1543	22.6.10 アンダフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合 タイトルと内容変更
		1543	図 22.21 アンダフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合 変更
		1544	22.6.11 開始直後のオーバフロー動作 説明変更
		1544	図 22.22 開始直後のオーバフロー動作 変更
		1545	22.6.12 開始直後のアンダフロー動作 説明変更
		1545	図 22.23 開始直後のアンダフロー動作 変更
		1546	22.6.13 開始直後の ENCAAnLDE 機能の利用 説明変更
		1546	図 22.24 開始直後の ENCAAnLDE 機能の利用 変更
		1547	22.6.14(1) <ENCAnLDE = 0 の場合 >(6) 説明変更
		1547	図 22.25 ENCAAnLDE 機能 (ENCAnLDE = 0 の場合) 変更
		1548	図 22.26 ENCAAnLDE 機能 (ENCAnLDE = 1 の場合) 変更
		1549	22.6.15 ENCAAnLDE 機能 (カウンタ値のロード) と ENCAAnCCR0 レジスタの書き換えとの競合 説明変更
		1549	図 22.27 ENCAAnLDE 機能と ENCAAnCCR0 レジスタの書き換えとの競合 変更
		1550	22.6.16 ENCAAnLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合 説明変更
		1550	図 22.28 ENCAAnLDE 機能とエンコーダクリア入力によるクリア動作との競合 変更
		1552	22.6.17 ENCAAnLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント 説明変更
		1552	図 22.29 ENCAAnLDE 機能とエンコーダクリアとの競合後のアップカウント 変更
		1553	22.6.18 カウントクロック間のキャプチャ動作 (ENCAnCCR1) 説明変更
		1553	図 22.30 カウントクロック間のキャプチャ動作 (ENCAnCCR1) 変更
		1554	22.6.19 カウントクロック間のキャプチャ動作 (ENCAnCCR0) 説明変更
		1554	図 22.31 カウントクロック間のキャプチャ動作 (ENCAnCCR0) 変更
		1555	22.6.20 コンペアー致クリア制御有効かつ ENCAAnCTS = 0 のときのエンコーダの動作 説明変更
1555	図 22.32 コンペアー致クリア制御有効かつ ENCAAnCTS = 0 のときのエンコーダの動作 変更		
1556	22.6.21 コンペアー致クリア制御有効かつ ENCAAnCTS = 1 のときのエンコーダの動作 説明変更		
1556	図 22.33 コンペアー致クリア制御有効かつ ENCAAnCTS = 1 のときのエンコーダの動作 変更		
1557	22.6.22 コンペアー致クリア制御無効時のエンコーダの動作 説明変更		
1557	図 22.34 コンペアー致クリア制御無効時のエンコーダの動作 変更		
1558	22.6.23.1 付随するキャプチャ動作 説明変更		
1558	図 22.35 ENCAAnSCE = 1 のときに ENCAAnEC によるクリアのタイミングで行われるキャプチャ動作 変更		
1559	22.6.23.2 アップカウント中に ENCAAnEC の入力のタイミングが ENCAAnE1 の入力のタイミングより遅かった場合 説明変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1559	図 22.36 アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより遅かった場合のクリアのタイミング 変更
		1560	図 22.37 アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングと同じだった場合のクリアのタイミング 変更
		1560	図 22.38 アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより早かった場合のクリアのタイミング 変更
		1561	図 22.39 ダウンカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより遅かった場合のクリアのタイミング 変更
		1562	22.6.24 ENCA _n SCE = 0 のときに ENCA _n EC によるクリアのタイミングで行われるキャプチャ動作 説明変更
		1562	図 22.40 ENCA _n SCE = 0 のときに ENCA _n EC によるクリアのタイミングで行われるキャプチャ動作 変更
		第 23 章 ペリフェラルインタコネクション (PIC)	
全体		用語統一：パターン→パタン	
1565	23.2 ペリフェラルインタコネクション 1 (PIC1A) タイトル変更		
1565	23.2.1.1 機能概要 注意変更		
1572	23.2.2.9 PIC1ALHSEL0 — TSG30 出力のロウ/ハイ 出力選択レジスタ b6-1 変更 (TSG 出力→TSG30 出力)		
1573	23.2.2.11 PIC1ALHSEL1 — TSG31 出力のロウ/ハイ出力選択レジスタ b6-1 変更 (TSG 出力→TSG31 出力)		
1597	23.2.2.29 PIC1AREG50 — タイマ入出力制御レジスタ 50 b7-5, b0 説明変更		
1598	23.2.2.30 PIC1AREG51 — タイマ入出力制御レジスタ 51 b7 説明変更 (入力→入力対象)		
1599	23.2.3.3(1) 概要 説明変更		
1631	23.2.3.5(3) レジスタ ENCA0 説明変更		
1643	図 23.26 2 相エンコーダ制御機能 (制御方式 1) ブロック図 変更		
1643	23.2.3.7(2) 構成 ・ [PIC1A_ENCA _n 入力選択] 説明変更		
1644	23.2.3.7(3) レジスタ PIC1A_ENCA _n 入力選択 説明変更		
1655	図 23.31 2 相エンコーダ制御機能 (制御方式 3) ブロック図 変更		
1655	23.2.3.9(2) 構成 説明変更		
1656	図 23.32 PIC1A ブロック図 変更		
1666	図 23.38 3 相パルス入力制御機能 端子名変更		
1668	図 23.39 位相固定制御 1 から位相可変制御への切り替え 端子名変更		
1669	図 23.40 位相可変制御から位相固定制御 1 への切り替え 端子名変更		
1672	図 23.41 3 相エンコーダ制御機能ブロック図 変更		
1672	23.2.3.11(2) 構成 説明変更		
1673	23.2.3.11(3) レジスタ ② PIC1A_ENCA _n 入力選択 説明変更		
1674	図 23.43 3 相エンコーダ機能 _ENCA _n UDS1, ENCA _n UDS0 = 00 _B 端子信号名変更		
1674	図 23.44 3 相エンコーダ機能 _正転/逆転 端子信号名変更		
1676	図 23.45 ENCA 入力選択機能 ブロック図 信号名変更		
1677	図 23.46 PIC1A ブロック図 信号名変更		
1677	23.2.3.12(3) レジスタの PIC1A_ 入力選択 説明変更		
1679	図 23.47 1 系統接続例 (ENCA0 端子を ENCA0 に接続) 信号名変更		
1680	図 23.48 2 系統接続例 (ENCA1 端子を ENCA0、RDC0 を ENCA1 に接続) 信号名変更		
1680	図 23.49 2 系統接続例 (ENCA1 端子を ENCA0、ENCA1 に接続) 信号名変更		
1681	23.2.3.13(1) 概要 説明変更		
1682	図 23.50 TAUD 入力選択機能ブロック図 端子名変更		
1683	23.2.3.13(4) 機能 説明変更		
1685	23.2.3.14(3) レジスタの② ロウ/ハイ出力切り替え 変更 (TSG 出力→TSG3n 出力)		
1690	23.3 ペリフェラルインタコネクション 2 (PIC2B) タイトル変更		
1698	図 23.58 TAUD トリガ出力機能 ブロック図 信号名変更		
第 24 章 エンハンスドモータコントロールユニット (EMU2)			
全体		用語統一：同時処理結果不一致 → 等価チェックエラー	
1703	図 24.1 EMU2 のブロック図 変更		
1753	表 24.59 EMU2nANGCTR レジスタの内容 b1, 0 変更 (角度情報→角度情報/Z 相信号)		
1760	24.3.38 EMU2nVMTCAP — EMU2n 速度計測タイマキャプチャレジスタ (n = 0, 1) 説明追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	1763	24.3.41 EMU2nADmk — EMU2n ADm データレジスタ k (n = 0, 1) (m = 0, 1) (k = 0 ~ 2) 説明追加
		1845	図 24.9 電気角出力例 追加
		1845	図 24.9 電気角出力例の下説明 変更
		1847	24.4.4(4) 角度コンペア 0 一致の判定 正回転時 変更
		1848	24.4.4(5) 角度コンペア 1 一致の判定 正回転時の説明変更
		1851	24.4.5(2) 電気角の入手元の選択、A/D 変換結果の取得 説明変更
		1854	24.4.6 PI 制御 IP 変更
		1878	24.5.2 等価チェック機能 変更
		1879、1880	24.5.3.2 等価チェック結果の一致確認方式 変更、追加
		第 25 章 R/D コンバータ (RDC2)	
		1898	25.3.5 RDC2nANGDAT — RDC2n 角度データレジスタ (n = 0, 1) リセット後の値変更
		1899	25.3.7 RDC2nMNTC — RDC2n モニタ端子設定レジスタ (n = 0, 1) リセット後の値変更
		1899	25.3.8 RDC2nDATSTR — RDC2n データ格納レジスタ (n = 0, 1) リセット後の値変更
		1901	25.3.12 RDC2nINIT — RDC2n 初期化レジスタ (n = 0, 1) リセット後の値
		1910	25.3.20 RDC2nERDET — RDC2n 異常検出レジスタ (n = 0, 1) リセット後の値変更
		1911	表 25.40 EID[2:0] ビットで示すエラー 異常検出機能無効の説明追加
		1912	25.3.21 RDC2nCMINT — RDC2n コンペアー一致割り込みレジスタ (n = 0, 1) リセット後の値変更
		1914	表 25.42 RDC2nENCP レジスタの内容 HYSS ビット説明追加
		1919	25.3.30 RDC2nEXSQR — RDC2n 励磁振幅二乗和積分値モニタレジスタ (n = 0, 1) リセット後の値変更
		第 26 章 A/D コンバータ (ADCC)	
		1948	26.2.1 機能概要 表の A/D 変換開始トリガの概要欄に注意追加
		1963	26.3.11 ADCCnTHSTPCR — T&H 停止制御レジスタ 注意追加
		1965	26.3.15 ADCCnTHACR — T&H グループ A 制御レジスタ 注意変更
		1966	26.3.16 ADCCnTHBCR — T&H グループ B 制御レジスタ 注意変更
		1968	表 26.26 ADCCnSFTCR レジスタの内容 b1 変更 (パリティエラー割り込み→パリティエラー)
		1978	表 26.38 ADCCnSGCRx レジスタの内容 (x = 0 ~ 2 の場合) b0 および注意変更 (H/W トリガ→A/D 変換開始 トリガ)
		1979	表 26.39 ADCCnSGCRx レジスタの内容 (x = 3, 4 の場合) b0 変更 (H/W トリガ→A/D 変換開始 トリガ)
		1980	26.3.32 ADCCnSGVCSPx — スキャングループ x 開始仮想チャネルポイント 注意追加 26.3.33 ADCCnSGVCEPx — スキャングループ x 終了仮想チャネルポイント 注意追加
		1991	26.4.3.2 (2) AD タイマトリガによるスキャングループの起動 説明変更
		—	図 26.21 AD エラー割り込み機能図 削除
		1998	26.4.5.2 AD エラー割り込み要求 注意変更
		1999	26.4.5.3 AD パリティエラートリガ 説明および注意変更
		2000	図 26.21 端子レベル自己診断機能図 変更
		2005	図 26.25 A/D 変換停止フロー 変更
		2006	図 26.26 端子レベル自己診断フロー 変更
		2007	26.5.5 断線検出自己診断設定手順 説明変更
		2008	図 26.27 断線検出自己診断フロー 変更
		2010	26.7 注意事項の 3. 変更、4. 追加 表 26.49 レジスタ設定上の注意事項 タイトル付与、対象レジスタの追加
		第 27 章 ファンクショナルセーフティ	
		全体	表記、ビット名統一: PROT1、PROT0 → PROT[1:0]、(PROT1, PROT0) = (x, x) → PROT[1:0] ビットを xx _B 、LRAM → Local RAM、GRAM → Global RAM、2(1) ビット ECC エラー → ECC2(1) ビットエラー、D-Parity → データパリティ
		2013	27.2.1.2 アドレスパリティ 変更 (アドレス EDC (パリティ) → アドレスパリティ) 27.2.1.3 データパリティ 変更 (データ EDC (パリティ) → データパリティ)
		2014	表 27.3 Code Flash 用 ECC の概要 タイトル追加、説明変更、表下説明変更
		2016	表 27.4 レジスタ一覧 変更 (初期値→リセット後の値)
		2017	表 27.5 CFAPCTL レジスタの内容 変更
		2018	表 27.6 CFECCTL レジスタの内容 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	2020	(4) CFSTCLR_VCI/PE1/PE2 — Code Flash ステータスクリアレジスタ 説明変更
		2021	(5) CFOVFSTR_VCI/PE1/PE2 — Code Flash エラーカウントオーバーフローステータスレジスタ 説明変更
		2022	(6) CF1STERSTR_VCI/PE1/PE2 — Code Flash 1st エラーステータスレジスタ 説明変更
		2024	(8) CFSTSTCTL_VCI/PE1/PE2 — Code Flash サブテストコントロールレジスタ 説明変更 表 27.12 CFSTSTCTL レジスタの内容 変更 表 27.13 Code Flash の読み出し結果 タイトル追加
		2026	表 27.14 Data Flash 用 ECC の概要 タイトル追加、説明変更
		2027	表 27.16 レジスタ一覧 変更 (初期値→リセット後の値)
		2028	表 27.17 DFECCTL レジスタの内容 変更
		2029	(4) DFERSTR — Data Flash エラーステータスレジスタ 説明変更
		2032	表 27.24 DFTSTCTL レジスタの内容 変更
		2034	表 27.25 CPU1 および CPU2 の Local RAM 用 ECC の概要 タイトル追加、説明変更
		2035	表 27.27 アドレスとバンク番号の関係 タイトル追加
		2036	表 27.28 レジスタ一覧 変更 (初期値→リセット後の値)
		2037	表 27.29 LRAPCTL レジスタの内容 変更
		2038	表 27.30 LRTSTCTL レジスタの内容 b15,14 説明変更
		2040	表 27.32 LRECCCTL レジスタの内容 変更
		2042	27.2.4.3(6) LRSTCLR_PE1/PE2 — Local RAM ステータスクリアレジスタ 説明変更
		2044	表 27.36 LR1STERSTR レジスタの内容 DEDFn フラグの説明変更
		2045	(9) LR1STEADRn_PE1/PE2 — Local RAM 1st エラーアドレスレジスタ n (n=0~3) 説明変更、EADR[14:0] ビットに変更 表 27.37 LR1STEADRn レジスタの内容 b14-0 変更 (EADR[12:0] → EADR[14:0])
		2046	27.2.4.4(3) ECC ビットとアドレスパリティビットの書き込み (3) 変更
		2048	表 27.38 Global RAM 用 ECC の概要 タイトル追加、説明変更
		2049	図 27.2 Global RAM の ECC とアドレスパリティ 変更 (PWM → RWM)
		2050	表 27.39 レジスタ一覧 変更 (初期値→リセット後の値)
		2051	表 27.40 GRECCCTL レジスタの内容 変更
		2052	27.2.5.3(2) GRTSTCTL — Global RAM テストコントロールレジスタ 説明変更
		2052、2053	表 27.41 GRTSTCTL レジスタの内容 説明変更
		2054	表 27.42 GRTDATBFn レジスタの内容 説明変更
		2055	表 27.43 GRECCCTL レジスタの内容 説明変更
		2059	表 27.47 GRSTCLR レジスタの内容 b1, 0 説明追加
		2060	表 27.48 GROVFSTR レジスタの内容 b1, 0 説明追加
		2062	27.2.5.3(11) GR1STEADRn_VCI/PE1/PE2 — Global RAM 1st エラーアドレスレジスタ n (n=0, 1) 説明変更
		2063	27.2.5.4(3) ECC ビットとアドレスパリティビットの書き込みの (c) 変更
		2066	表 27.51 命令キャッシュ用 ECC の概要 タイトル追加、内容変更
		2067、2068	表 27.52 レジスタ一覧 変更 (初期値→リセット後の値)
		2069	表 27.53 IDECCCTL レジスタの内容 変更
		2071	27.2.6.3(3) IDSTCLR_PE1/PE2 — 命令キャッシュデータ RAM エラーステータスクリアレジスタ 変更 (エラーオーバーフロー→エラーカウントオーバーフロー)
		2075	(7) ITECCCTL_PE1/PE2 — 命令キャッシュタグ RAM ECC コントロールレジスタ 説明変更、b1 変更 表 27.59 ITECCCTL レジスタの内容 変更
		2077	(9) ITSTCLR_PE1/PE2 — 命令キャッシュタグ RAM エラーステータスクリアレジスタ 変更 (エラーオーバーフロー→エラーカウントオーバーフロー) 表 27.64 IT1STEADR0 レジスタの内容 b8-0 変更
		2080	表 27.64 IT1STEADR0 レジスタの内容 b8-0 変更
		2081	27.2.8.1 概要のエラー通知 タイトルおよび内容変更 27.2.8.1 概要のエラーステータスおよびアドレスキャプチャ 変更
		2083	表 27.65 ECC を実装するモジュール名とベースアドレス タイトル追加 表 27.66 レジスタ一覧 変更 (初期値→リセット後の値) 表 27.67 レジスタマップ タイトル追加
		2084	27.2.8.3(1) E710CTL — ECC コントロールレジスタ 変更 (ECC マクロ→ECC モジュール、EMCA1, 0 → EMCA[1:0])
		2084、2085	表 27.68 E710CTL レジスタの内容 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2014.07.09	2086	(2) E710TMC — ECC テストモードコントロールレジスタ 変更 (ETMA1, 0 → ETMA[1:0])
		2086、2087	表 27.69 E710TMC レジスタの内容 変更
		2088	(3) E710TED — ECC エンコード・デコードデータテストレジスタ 備考下説明 変更
		2089	(5) ECSYND — ECC デコード・シンドロームデータレジスタ b30-24 変更 (SYND6 ~ 0 → SYND[6:0])
		2090	(6) ECHORD — ECC7 ビット冗長ビットデータ保持テストレジスタ b22-16 変更 (HORD6 ~ 0 → HORD[6:0])
			(7) ECECRD — ECC エンコードテストレジスタ b14-8 変更 (ECRD6 ~ 0 → ECRD[6:0])
		2091	(8) ECERDB — ECC 冗長ビット入出力代替バッファレジスタ b6-0 変更 (ERDB6 ~ 0 → ERDB[6:0])
		2092	27.2.8.4 ECM への通知 変更
		2093	27.2.8.5 テスト機能 変更 (図削除および説明追加)
		2094	表 27.70 データパリティの対象となる転送経路 タイトル追加、変更 (DNF 削除、表下の説明変更)
			表 27.71 レジスタ一覧 変更 (初期値→リセット後の値)
			表 27.72 データパリティ制御モジュール一覧 変更 (DNF0, 1 削除)
		2098	27.2.9.2(4) APDPERRADR_xx — P-Bus データパリティエラーアドレスレジスタ b15-0 の R/W 属性変更、注意追加
		2099	27.3 ロックステップ 説明変更
			表 27.77 レジスタ一覧 変更 (初期値→リセット後の値)
		2103	表 27.80 スレープガードの識別子 タイトル追加
		2104	表 27.81 レジスタ一覧 変更 (初期値→リセット後の値)
		2105	27.4.2.2(1) MGDGRPROTn — GRG プロテクション設定レジスタ n (n = 0 ~ 3) b31, 29-27, 3-0 予約ビットへ変更
		2105	表 27.82 MGDGRPROTn レジスタの内容 b31, 29-27, 3-0 予約ビットへ変更、b30 説明変更
		2106	(2) MGDGRBADn — GRG コンペアベースアドレスレジスタ n (n = 0 ~ 3) と表 27.83 MGDGRBADn レジスタの内容 変更 (RFU ビット→予約ビット)
		2106	(3) MGDGRADVn — GRG コンペアアドレス有効レジスタ n (n = 0 ~ 3) と表 27.84 MGDGRADVn レジスタの内容 変更 (RFU ビット→予約ビット)、b20-9 説明変更、表下説明追加
		2108	(4) MGDGRSCTL_VCI/PE1/PE2 — GRG コントロールレジスタ n と表 27.85 MGDGRSCTL レジスタの内容 変更 (RFU ビット→予約ビット、b1,0 のビット変更)
		2108	表 27.86 ERRCLO, ERRCLE ビットの説明変更 タイトル追加
		2109	(5) MGDGRSSTAT_VCI/PE1/PE2 — GRG エラーステータスレジスタと表 27.87 MGDGRSSTAT レジスタの内容 変更 (RFU ビット→予約ビット、b1,0 のビット説明変更)
		2109	(6) MGDGRSAD_VCI/PE1/PE2 — GRG エラーアドレスレジスタと表 27.88 MGDGRSAD レジスタの内容 変更 (RFU ビット→予約ビット)
		2110	表 27.89 MGDGRSTYPE レジスタの内容 b17,16、b4-0 説明変更
		2111	表 27.90 保護対象の周辺回路モジュールと対応する PBG チャネル番号 タイトル追加
		2112	表 27.91 レジスタ一覧 タイトル追加、内容変更
		2112	表 27.92 レジスタ一覧 (PBG グループ) タイトル追加、内容変更
		2112	表 27.93 PBG チャネル番号に対応したベースアドレス値 タイトル変更
		2114	表 27.94 FSGDxxDPROTn レジスタの内容 b3-0 説明変更
		2114	表 27.95 ERRSLVxxCTL レジスタの内容 b1, 0 説明変更
		2115	表 27.96 ERRSLVxxSTAT レジスタの内容 b1, 0 説明変更
		2115	表 27.97 ERRSLVxxADDR レジスタの内容 b31-24 予約ビットの説明追加
2117	表 27.99 仕様概要 シグネチャ自動比較機能、エラー通知の説明変更		
2118	27.5.2.1 MISG 変更 (3 つの→2 つの)		
2120	図 27.5 MISR1H および MISR1L のシグネチャ生成のブロック図と生成多項式 タイトル追加		
2120	図 27.6 MISR2H および MISR2L のシグネチャ生成のブロック図と生成多項式 タイトル追加		
2121	表 27.100 MISRi のシグネチャ生成条件 タイトル追加		
2123	27.5.3.2 シグネチャ自動比較機能 説明変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2014.07.09	2125、2126	表 27.101 シグネチャ生成部のレジスタ一覧 タイトル追加、内容変更（初期値→リセット後の値、モニタリングエリア→監視領域、8/16 のアクセスサイズ変更）		
		2127	表 27.102 シグネチャ比較部（MSD サブブロック）のレジスタ一覧 タイトル追加、内容変更（初期値→リセット後の値）		
		2128	表 27.103 MISRCRDL レジスタの内容 変更（MISR → MISR1）		
		2133	27.5.4.7 MISRCR_PE1/PE2 — MISR コントロールレジスタ 変更（MISR1CND2 → MISR2CND）		
		2133	表 27.108 MISRCR レジスタの内容 b7-4 予約ビットの説明追加		
		2136	表 27.111 MISRDCNTCTL レジスタの内容 b7-2 予約ビットの説明追加		
		2144	表 27.117 各クロックモニタのモニタクロック、サンプリングクロック一覧 変更（WDT → WDTA）		
		2145	表 27.118 レジスタ一覧 変更（初期値→リセット後の値）		
		2145	表 27.119 レジスタベースアドレス タイトル追加		
		2145	表 27.120 共通レジスタ 変更（初期値→リセット後の値）		
		2146	表 27.121 CLMAnCTL0 レジスタの内容 b7-1 予約ビットの説明追加		
		2146	表 27.122 CLMAnCMPL レジスタの内容 b15-12 予約ビットの説明追加		
		2147	表 27.123 CLMAnCMPH レジスタの内容 b15-12 予約ビットの説明追加		
		2147	表 27.124 CLMAnPS レジスタの内容 b7-1 予約ビットの説明追加		
		2148	27.6.3.5 CLMAnPS — CLMAn 保護命令ステータスレジスタ 予約ビットの説明追加および・CLMAnPRERR ビットの動作条件 追加		
		2149、2150	27.6.3.6 CLMATEST — CLMA セルフテストレジスタ (1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法および (2) しきい値レジスタの初期値入力の定義 追加		
		第 28 章エラーコントロールモジュール (ECM)			
		全体	用語統一：エラー端子/出力 → ERROROUT 端子/出力		
		2157	28.1.5 リセット要因 説明変更		
		2157	表 28.6 外部入出力信号 概要項目変更		
		2158	表 28.7 機能概要 変更		
		2159	28.2.2 ブロック図 変更（PIC1 → PIC1A）		
		2159	図 28.1 ECM のブロック図 変更		
		2160	28.2.3 エラー要因とセーフティ処理 タイトルおよび説明変更		
		2160、2161	表 28.8 エラー要因とセーフティ処理一覧 内容変更、注記追加		
		2162	表 28.9 エラー要因集約 内容変更、備考追加		
		2163	表 28.10 レジスタ一覧（ECM マスタ） タイトルおよび内容変更		
		2163	表 28.11 レジスタ一覧（ECM チェッカ） タイトルおよび内容変更		
		2164	表 28.12 レジスタ一覧（ECM 共通） タイトルおよび ECMESSTCx レジスタ名変更、説明削除		
		2165	28.3.2 ECMmESET (m = M/C) — ECM マスタ/チェッカエラーセットトリガレジスタ 説明変更、注意変更		
		2165	表 28.13 ECMmESET レジスタの内容 b0、注意変更		
		2166	28.3.3 ECMmECLR (m = M/C) — ECM マスタ/チェッカエラークリアトリガレジスタ 説明変更、注意変更		
		2166	表 28.14 ECMmECLR レジスタの内容 b0、注意変更		
		2167	28.3.4 ECMmESSTR0 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 0 説明およびアクセスの変更		
		2167	表 28.15 ECMmESSTR0 レジスタの内容 変更		
		2168	28.3.5 ECMmESSTR1 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 1 説明およびアクセスの変更		
		2168	表 28.16 ECMmESSTR1 レジスタの内容 b31 と b15-b9 と b7-b5 変更		
		2169	28.3.6 ECMmPCMD0 (m = M/C) — ECM マスタ/チェッカ保護コマンドレジスタ 説明変更、R/W 表記変更		
		—	28.3.7 ECMmESSTR0n (m = M/C, n = A/B/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 0n 削除		
		2170	28.3.7 ECMEPCFG — ECM エラーパルスコンフィギュレーションレジスタ 説明 変更		
		—	28.3.8 ECMmESSTR1n (m = M/C, n = A/B/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 1n 削除		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2014.07.09	2171 ~ 2178	28.3.8 ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0 ~ 28.3.15 ECMEMK1 — ECM エラーマスクレジスタ 1 まで説明およびアクセスの変更		
		2171 ~ 2190	表 28.19 ECMMICFG0 レジスタの内容 ~ 表 28.37 ECMDTMCFG3 レジスタの内容までエラー要因の説明変更		
		2175	表 28.23 ECMIRCFG0 レジスタの内容 b3-1 説明変更		
		2176	表 28.24 ECMIRCFG1 レジスタの内容 b29 説明変更		
		2179 ~ 2184	28.3.16 ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0 ~ 28.3.21 ECMPE1 — ECM 擬似エラートリガレジスタ 1 まで説明の変更		
		2180	表 28.28 ECMESSTC1 レジスタの内容 b30,29 説明変更		
		2185	28.3.22 ECMDTMCTL — ECM ディレイタイムコントロールレジスタ 説明およびアクセスの変更		
		2185	表 28.33 ECMDTMCTL レジスタの内容 b0 説明変更		
		2185、2186	28.3.23 ECMDTMR — ECM ディレイタイムレジスタ ~ 28.3.24 ECMDTMCMP — ECM ディレイタイムコンペアレジスタまで説明の変更		
		2187 ~ 2190	28.3.25 ECMDTMCFG0 — ECM ディレイタイムコンフィグレーションレジスタ 0 ~ 28.3.28 ECMDTMCFG3 — ECM ディレイタイムコンフィグレーションレジスタ 3 まで説明およびアクセスの変更		
		2191	28.4.1 ERROROUT 出力動作 変更		
		2191	28.4.1.1 ダイナミックモードを有効にする 変更		
		2191	28.4.1.2 ダイナミックモードを無効にする 変更		
		2191	28.4.2 ループバック機能 変更		
		2192	28.4.4 エラー状態 変更 (端子リセット→外部リセット)		
		2194	28.4.6 割り込み処理のタイムアウト機能 説明変更		
		第 29 章 データ CRC (DCRA)			
		全体	表記統一: DCRAn → DCRA、イーサネット→イーサネット		
		2195	表 29.4 クロック供給 表ヘッダ変更		
		2198	29.2.3 演算回路 追加		
		2200	29.3.2 DCRAnCIN — CRC 入力レジスタ 説明削除、リセット後の値変更		
		2202	29.3.4 DCRAnCTL — CRC 制御レジスタ リセット後の値変更、備考削除、注意変更		
		2203	表 29.10 初期開始値の設定例 (リセット時にリードした場合の例) 表タイトル変更		
		第 30 章 インテリジェントクリプトグラフィックスユニット (ICUSB)			
		全体	表記統一: ICU-S → ICUSB		
		第 31 章 オンチップデバッグユニット (OCD)			
		2206	31.1(10) マスク機能 変更 (端子リセット→外部リセット)		
		2208	31.4.1 概要 変更 (本 LSI → 本製品)		
		2210	表 31.2 端子構成 変更 (H → ハイレベル)		
		2212	表 31.4 AUDISR レジスタの内容 b15-4 予約ビットの説明変更		
		第 32 章 フラッシュメモリ			
		全体	用語統一: コンフィギュレーション→コンフィグレーション		
		2224	冒頭文章の変更		
		2224	32.1 特長 変更		
		2225	32.2 メモリ構成 変更		
		2227	図 32.3 Data Flash メモリマッピング (64B × 512 構成) の上説明文 変更		
		2229	32.4 機能概要 変更		
		2229	表 32.2 書き換え方法 変更 (データの読み出し→データアクセス、Local RAM → Local RAM または Global RAM)		
		2230	表 32.3 基本機能一覧の上説明文 変更		
		2230	表 32.3 基本機能一覧 変更		
		2231	表 32.4 基本機能一覧の上説明文 変更		
		2231	表 32.4 セキュリティ機能一覧 変更		
		2232	表 32.5 セキュリティ設定時の動作 変更、注 1 追加、注 1 下説明文変更		
		2232	表 32.6 プロテクション機能一覧 変更		
2233	32.5 シリアルプログラミング タイトル変更				
2234	32.6 通信方式の選択 追加				
2234	32.7 セルフプログラミング タイトル変更				
2234	32.7.1 概要 変更				

Rev.	発行日	改訂内容					
		ページ	ポイント				
0.50	2014.07.09	2234	図 32.6 セルフプログラミング概念 変更				
		2235	32.8.1 Code Flash メモリの読み出し 説明追加				
		—	32.9 フラッシュメモリのエラー検出/訂正 削除				
		2236	表 32.9 FRDCYCLD レジスタの内容 変更				
		2239	表 32.13 製品情報関連のレジスタ一覧 リセット後の値変更				
		2239	表 32.14 製品名と PRDNAME 初期値 (リセット後の値) の関係 追加				
		2240	32.9.3.1 PRDNAME _n — 製品名格納レジスタ (n = 1 ~ 4) リセット後の値変更				
		2240	表 32.15 製品情報関連のレジスタ一覧 変更				
		2241	32.10 オプションバイト 説明追加				
		2242	32.10.1 OPBT0 — オプションバイト 0 レジスタ リセット後の値変更、注 1 追加				
		2243	表 32.16 OPBT0 レジスタの内容 (2/2) b1, 0 説明変更				
		2244	32.10.2 OPBT2 — オプションバイト 2 レジスタ 注 1 変更				
		2245	32.11 注意事項 4. 6. 変更、7. ~ 9. 変更および追加				
		第 33 章 フラッシュセキュリティ					
		全体	全面改訂				
		第 34 章 RAM					
		2255	34.2 特長 説明変更				
		第 36 章 電気的特性					
		2271	表 36.10 DC 特性 (入力容量) 測定条件変更				
		2274	表 36.12 電源投入/切断タイミング 注 4. 変更 (2 μ s → 1.2 μ s)				
		2275	表 36.13 EPT 使用時の電源投入タイミング 注 4. 変更 (2 μ s → 1.2 μ s)				
		2277	表 36.17 リセット信号 Max. 変更 (— → T.B.D)				
		2278	表 36.18 割り込み信号 Max. 変更 (— → T.B.D)				
		2281	図 36.8 CSIH タイミング (マスタモード) 変更				
		2296	表 36.31 A/D コンバータ特性 微分非直線性を項目削除				
		2298	表 36.33 RDC アナログ端子の特性 注 10、注 11 追加				
		1.00	2015.01.13	全体	インテリジェントクリプトグラフィックユニット (ICUSB) の記述および章を削除		
				全体	「予約ビット」のビット名、機能説明を統一		
				このマニュアルの使い方			
				4	「構成」、「読み方」別冊の参照先を修正		
				第 1 章 概要			
49	表 1.2 製品一覧 C1H/C1M の型名修正						
54	図 1.4 C1M 端子接続図 ピン番号 80 および 83 の端子名修正						
63, 64	表 1.5 C1M ピン配置 ピン番号 80 および 83 の端子名修正						
第 2 章 端子							
全体	表 2.25 C1H ポートグループ 0 レジスタ一覧 ~ 表 2.32 C1H ポートグループ 7 レジスタ一覧、 表 2.41 C1M ポートグループ 0 レジスタ一覧 ~ 表 2.47 C1M ポートグループ 7 レジスタ一覧 モジュール名列追加 用語統一: DNF マクロ番号 → DNF グループ番号						
67	2.1.2.1 用語 ・ポートグループの説明修正						
68	表 2.3 端子機能の設定 (概要) 修正						
70	表 2.5 PPR _n _m リード値 PPR _n _m リード値の列説明修正						
70	2.1.2.3 端子データ入力/出力 ・PBDC _n .PBDC _n _m 説明修正						
72	図 2.1 端子全体構成ブロック図 注記削除						
74	2.1.4 ポートグループコンフィグレーションレジスタ 箇条書き追記						
76	2.1.4.2(2) PMCSR _n — ポートモードコントロールセット/リセットレジスタ 説明修正						
77	表 2.9 PIP _n レジスタの内容 機能説明の修正						
78	2.1.4.2(5) PMSR _n — ポートモードセット/リセットレジスタ 説明修正						
83	2.1.4.3(5) PSR _n — ポートセット/リセットレジスタ 説明修正						
86	2.1.4.5(1) PCR _n _m — ポートコントロールレジスタ 修正 (PCR → PCR _n _m)						
87	2.1.4.6 ポート設定のフロー例 説明修正						
92	2.1.5.2 直接 I/O 制御兼用モードで使用する兼用機能 説明追加						
93	2.1.5.4 JTAG ポートの機能選択 追加						
110	表 2.43 C1M ポートグループ 2 レジスタ一覧 (PCR2_0、PCR2_1 の PIPC: “O → —”、 PCR2_6、PCR2_7 の PIPC: “— → O”)						
126	表 2.58 C1H 端子機能 (3/3) 修正 (TSG3n チャネル出力 m の I/O 列修正)						

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	126	表 2.59 C1M 端子機能 (2/2) 表 2.59 C1M 端子機能 (2/2) 修正 (TSG3n チャンネル出力 m の I/O 列修正)
		第3章 CPU システム	
		133	図 3.1 C1H ブロック構成図 修正
		135	表 3.1 RH850G3M コアの特長 CPU・CPU 動作モード修正
		136	表 3.2 プログラムレジスタ一覧 コンテキスト列および注記削除
		136	表 3.2 備考の説明修正
		138	3.2.1.2 (2) 基本システムレジスタ 説明修正
		138	表 3.3 基本システムレジスタ一覧 コンテキスト列、SR1, 1 および注 1、注 2 削除
		139	3.2.1.2 (2) (a) EIPC — EI レベル例外受け付け時の状態退避レジスタ 参照先修正
		140	3.2.1.2 (2) (b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ ビット図の b31、b19 修正
		140	表 3.5 EIPSW レジスタの内容 b31、b19 修正
		141	3.2.1.2 (2) (c) FEPC — FE レベル例外受け付け時の状態退避レジスタ 参照先修正
		142	3.2.1.2 (2) (d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ ビット図の b31、b19 修正
		142	表 3.7 FEPSW レジスタの内容 b31、b19 修正
		143	表 3.8 PSW レジスタビットのアクセス権限 b31、b19 を削除
		143	3.2.1.2 (2) (e) PSW — プログラムステータスワード ビット図の b31、b19 修正
		143, 144	表 3.9 PSW レジスタの内容 b31、b19、b7、b5 の修正および注 1～注 4 を削除
		145	表 3.10 EIIC レジスタの内容 機能説明修正
		145	表 3.11 FEIC レジスタの内容 機能説明修正
		148	3.2.1.2 (2) (n) HTCFG0 — スレッドコンフィグレーション ビット図の b15、b10～0 およびリセット後の値を修正
		148	表 3.18 HTCFG0 レジスタの内容 b15～b0 の説明修正
		149	表 3.20 MEI レジスタの内容 R/W 列修正
		150	表 3.21 例外を引き起こした命令と MEI レジスタの値 HVCALL 命令を削除
		152	3.2.1.2 (2) (q) RBASE — リセットベクタベースアドレス ビット図のリセット後の値を修正
		152	表 3.22 RBASE レジスタの内容 R/W 列および b0 の R/W を修正
		153	3.2.1.2 (2) (t) PID — プロセッサ識別子 ビット図のリセット後の値を修正
		153	表 3.25 PID レジスタの内容 b23 の説明を削除、リセット後の値を修正
		155	3.2.1.2 (2) (w) MCFG0 — マシンコンフィグレーション ビット図 b2～0 修正、リセット後の値修正
		155	表 3.28 MCFG0 レジスタの内容 b2～0、R/W、リセット後の値を修正、注 1 追加
		—	3.2.1.2 (2) (x) MCFG1 — マシンコンフィグレーション 削除
		155	3.2.1.2 (2) (x) MCTL — マシンの制御 b31、b21～16 修正、リセット後の値修正
		155	表 3.29 MCTL レジスタの内容 b31、b21～16 の説明と R/W 修正、リセット後の値修正
		156	3.2.1.2 (3) 割り込み機能レジスタ 説明修正
		156	表 3.30 割り込み機能システムレジスタ一覧 コンテキスト列削除、注記削除
		—	3.2.1.2 (4) ハードウェアスレッド機能レジスタ 削除
		—	3.2.1.2 (5) 仮想化支援機能レジスタ 削除
		160	3.2.1.2 (4) FPU 機能レジスタ 説明修正
		160	表 3.36 FPU 機能レジスタ一覧 コンテキスト列削除、注記削除
		160	3.2.1.2 (5) MPU 機能レジスタ 説明修正
		160, 161	表 3.37 MPU 機能システムレジスタ一覧 コンテキスト列削除、SR20, 5 削除、注記削除
		162	3.2.1.2 (5) (a) MPM — メモリ保護動作モード 説明修正、ビット図 b2 修正
		162	表 3.38 MPM レジスタの内容 b2 機能説明修正
		163	表 3.39 MPRC レジスタの内容 表ヘッダ修正、b11～0 の説明修正と R/W 修正
		163	3.2.1.2 (5) (c) MPBRGN — MPU ベースリジョン リセット後の値を修正
		163	表 3.40 MPBRGN レジスタの内容 b4～0 機能説明、リセット後の値の修正、注記削除
		164	3.2.1.2 (5) (d) MPTRGN — MPU 終端リジョン b4～0 機能説明、リセット後の値の修正、注記削除
		—	3.2.1.2 (5) (i) MPPRT0 — 保護領域の割り当て 削除
166	表 3.46 MPLAn レジスタの内容 R/W の列および b32～2 の R/W 修正、注記削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	166	3.2.1.2 (5) (j) MPUAn — 保護領域の上限アドレス R/Wの列およびb32～2のR/W修正、注記削除
		166	表3.47 MPATn レジスタの内容 R/Wの列およびb7～0の機能説明修正、注1.削除
		168	3.2.1.2 (6) キャッシュ操作機能レジスタ 説明修正
		168	表3.49 キャッシュ操作機能レジスタ一覧 コンテキスト列削除、注記削除
		169	3.2.1.2 (6) (b) ICTAGH — 命令キャッシュタグHi アクセス ビットb6、b1、b0修正
		169	表3.51 ICTAGHレジスタの内容 b30、b23～16、b6、b1、b0の機能説明、R/W、リセット後の値を修正
		173	3.2.1.2 (7) データバッファ操作機能レジスタ 説明修正、コンテキスト列と注記削除
		174	3.2.2.1 特長 修正 (CPU1→CPU)
		174	図3.2 命令キャッシュ、データバッファ 修正 (CPU1→CPU)
		175	図3.3 命令キャッシュの構成 修正
		175	3.2.2.2 命令キャッシュ機能のタグアレイ VMビットおよびVICIDの説明を削除
		176	3.2.2.2 命令キャッシュ機能のLRU 注意の説明修正
		177	表3.59 レジスタ一覧 修正
		177	表3.60 IPIR_CHn レジスタの内容 表タイトル修正
		178	3.2.4.1(2) SPIDによる保護 ・PEG設定修正 (・PEG保護設定→・PEG設定)
		179	3.2.4.1(3) PEG設定レジスタ一覧 説明修正
		179	表3.61 レジスタ一覧 修正
		181	3.2.4.1(4) (b) PEGnMK — PE ガード領域nマスク設定レジスタ (「保護」を削除)
		181	表3.63 PEGnMKレジスタの内容 b31～12の機能説明修正 (「保護」削除)
		182	3.2.4.1(4) (c) PEGnBA — PE ガード保護領域n ベース設定レジスタ (n=0～3) 説明修正 (「保護」削除)
		182	表3.64 PEGnBAレジスタの内容 機能説明修正 (「保護」削除、注意追加)
		183	3.2.4.2 (1) (4) 違反発生の通知 説明修正、備考削除
		183	3.2.4.2 (1) (5) 後続アクセスの無効化 備考2.を削除
		184	3.2.4.2 (3) 対不正ユーザIPG保護設定レジスタ一覧 説明修正
		184	表3.65 レジスタ一覧 内容修正
		—	3.2.4.2 (4) 対不正仮想マシンIPG保護設定レジスタ一覧 削除
		185	3.2.4.2 (4) (a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ タイトル修正
		185	表3.66 IPGECRUMレジスタの内容 表タイトル、備考説明修正
		186	3.2.4.2 (4) (b) IPGADRUM — 周辺装置保護違反アクセスアドレス保存レジスタ タイトル修正
		186	表3.67 IPGADRUMレジスタの内容 表タイトル修正、備考説明修正
		186	3.2.4.2 (4) (c) IPGENUM — 周辺装置保護イネーブルレジスタ タイトル修正
		186	表3.68 IPGENUMレジスタの内容 表タイトル修正、b0の機能説明修正 (「リセット後の値」削除)
		187	3.2.4.2 (4) (d) IPGPMTUM0 — 周辺装置保護設定レジスタ0 タイトル修正
		187	表3.69 IPGPMTUM0レジスタの内容 表タイトル修正、b6～4の機能説明修正 (「リセット後の値」削除)
		188	3.2.4.2 (4) (e) IPGPMTUM1 — 周辺装置保護設定レジスタ1 タイトル修正
		188	表3.70 IPGPMTUM1レジスタの内容 表タイトル修正、b6、b2の機能説明修正 (「リセット後の値」削除)
		189	3.2.4.2 (4) (f) IPGPMTUM2 — 周辺装置保護設定レジスタ2 タイトル修正、b6、b2修正
		189	表3.71 IPGPMTUM2レジスタの内容 表タイトル修正、b6～4、b2～0およびb6、b2の機能説明修正 (MECNT→MEV、「リセット後の値」削除、b6、b2を予約)
		190	3.2.4.2 (4) (g) IPGPMTUM3 — 周辺装置保護設定レジスタ3 タイトル修正、b6修正
		190	表3.72 IPGPMTUM3レジスタの内容 表タイトル修正、b6～4の機能説明修正 (「リセット後の値」削除、b6を予約)
		190	3.2.4.2 (4) (h) IPGPMTUM4 — 周辺装置保護設定レジスタ4 タイトル修正
		190	表3.73 IPGPMTUM4レジスタの内容 表タイトル修正、b1、0の機能説明修正 (「リセット後の値」削除)
		191	3.2.4.3 (1) SEG 機能制御レジスタ一覧 注1修正、備考説明修正
191	表3.74 レジスタ一覧 内容修正		
192	表3.75 SEGCONTレジスタの内容 b6～4に注1を追記		
196	3.2.4.3 (2) (c) SEGADDR — エラー要因保持情報レジスタ (アドレス) タイトル修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2015.01.13	199	表 3.79 レジスタ一覧 修正		
		201	3.4.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合 タイトル追加、説明修正、(4)を修正 (ストア命令→命令)、注1追加		
		201	3.4.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合 タイトル追加		
		202	3.4.2 ビット操作命令でのレジスタ・アクセス 説明修正		
		202	3.4.4 多重例外受け付け時のコンテキストの上書き 追加		
		202, 203	3.4.5 プリフェッチに関する注意事項 追加		
		第4章 アドレス空間			
		204	表 4.1 アドレス空間 (C1H) 注3参照先修正		
		208	表 4.2 アドレス空間 (C1M) 注1参照先修正		
		第6章 割り込み			
		全体	予約ビットの説明統一：ビット名→予約ビット、機能説明→リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。 用語統一：同期エッジ検出→エッジ検出、ハイレベル検出→レベル検出		
		213	6.1 概要の高速割り込み、低速割り込み 説明修正		
		215	表 6.1 割り込み制御 モジュール列追加		
		215	6.2.1 レジスタ構成 説明修正		
		216	表 6.2 外部割り込み/ソフトウェア割り込み/NMI モジュール名列追加		
		216	表 6.3 割り込みマージ機能 モジュール名列追加		
		217	表 6.4 EIC0-EIC255 レジスタの内容 b15の説明修正		
		226	6.2.10 PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ 説明修正		
		229	6.3.2 IRQ 割り込み 説明修正		
		232-238	表 6.11 割り込み例外ハンドラと優先順位 表ヘッダに注1、注2追加、直接分岐方式の説明文修正		
		232	表 6.11 割り込み例外ハンドラと優先順位(1/7) 修正 (EINT 割り込みチャンネルNo.32, 34, 37のレベル割り込み「O」→削除、OSTM 割り込み名称修正、No33の Code Flash/Data Flashに注3追加)		
		233	表 6.11 割り込み例外ハンドラと優先順位(2/7) WDTA 割り込み名称修正		
		235, 236	表 6.11 割り込み例外ハンドラと優先順位(4/7)(5/7) 修正 (TSG3の割り込み名称修正、ICUSB 削除)		
		238	表 6.11 割り込み例外ハンドラと優先順位(7/7) CSIH、DTSの割り込み名称修正		
		238	表 6.11 割り込み例外ハンドラと優先順位 注記追加、注意削除		
		239	6.5.4 DTS 割り込みのマージ機能 説明修正		
		240	図 6.1 NMI 処理フロー例 タイトル修正		
		241	6.5.5.2 外部割り込み処理フロー 説明修正		
		242	図 6.2 外部割り込み処理フロー例 タイトルおよび内容修正		
		243	図 6.3 プロセッサ間割り込み処理フロー例 タイトルおよび内容修正		
		244	6.5.5.4 ソフトウェア割り込み処理フロー 説明修正		
		244	図 6.4 ソフトウェア割り込み処理フロー例 タイトルおよび内容修正		
		245	6.5.5.5 DTS 割り込み処理フロー 説明修正		
		246	図 6.5 DTS 割り込み処理フロー例 タイトルおよび内容修正		
		第7章 DMA			
		全体	予約ビットの説明追加：ビット名→予約ビット、機能説明→「リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。」または「リードした場合はリセット後の値が読めます。」 表記統一：ビットイメージ図とビット名をフィールド表記に統一 (xx1、xx0 ビット→xx[1:0] ビット)		
		248	7.1.1 概要 説明修正 (外部に接続する→削除)		
		251	7.2.1.5 転送完了割り込み、転送回数一致割り込み出力 説明修正 (外部に対して→削除)		
		252	7.2.1.6 連続転送 説明修正 (DCEN.DTE→DCENn.DTE)		
		253	図 7.2 DMAC の連続転送の動作イメージ 修正 (DCEN.DTE→DCENn.DTE)		
		258	図 7.5 リロード機能1動作イメージ 修正 (16進数表記の修正)		
		259	図 7.6 リロード機能2動作イメージ 修正 (16進数表記の修正)		
		259	図 7.7 リロード機能1+リロード機能2動作イメージ (16進数表記の修正)		
		268	7.3.5 DTSFSLのDMA転送要求マスクおよびクリア 説明修正 (外部からの→削除)		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2015.01.13	272	7.5.2.1 アクセス元マスタの識別 修正		
		272	7.5.2.2 マスタアクセス 修正		
		273	7.5.2.3 チャンネル割り当て 修正		
		274	表7.6 DMAが出力するマスタ情報 修正 (VMおよびVCID削除)		
		274	7.5.4.1 チェイン先の制限 修正 (VMおよびVCID削除)		
		276	表7.7 チャンネル割り当て 修正 (設定元マスタの説明修正)		
		278	7.6.2 DMA全体動作設定手順 本文修正		
		282	表7.8 DMA トリガ要因一覧 (2/4)DMACTRG50, 51の機能モジュール修正、56～63、74～79の名称修正		
		283	表7.8 DMA トリガ要因一覧 (3/4)DMACTRG115、116 ICUSB削除		
		286	表7.9 DTS トリガ要因一覧 (2/4)DTSTRG48, 49の機能モジュール修正		
		287	表7.9 DTS トリガ要因一覧 (3/4)DTSTRG92～105の名称修正、DTSTRG118、119のICUSB削除		
		289, 290	表7.10 グローバルレジスタアドレス一覧 モジュール名列追加、DTSPR0～7,DM00CM～DM17CMD, DTSnnnCMの意味列の修正		
		300	7.9.2.9 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ b16を予約ビットに修正		
		300	表7.19 DM0CMVレジスタの内容 b22～17の説明修正		
		301	7.9.2.10 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ b16を予約ビットに修正		
		301	表7.20 DM1CMVレジスタの内容 b22～17の説明修正		
		302	7.9.2.11 DTSCMV — DTS レジスタアクセス保護違反レジスタ b16を予約ビットに修正		
		302	表7.21 DTSCMVレジスタの内容 b22～17の説明修正		
		309	表7.32 DTRERINTレジスタの内容 b1, b0の説明修正 (外部通知許可ビット→通知許可ビット)		
		313	7.9.2.19 DMnnCM — DMACチャンネルマスタ設定レジスタ (nn = 00～07、10～17) b9～7とb0を予約ビットに修正		
		314	7.9.2.20 DTSnnnCM — DTSチャンネルマスタ設定レジスタ (nnn = 000～127) b25～23とb16を予約ビットに修正		
		314	表7.37 DTSnnnCMレジスタの内容 b16の予約ビットの説明追加		
		316	表7.38 DMACチャンネルレジスタアドレス モジュール名列追加		
		321	表7.42 DTCTnレジスタの内容 (2/3) b10、9の説明修正		
		333	表7.52 DTFRRQnレジスタの内容 b0の説明修正 (外部からの→削除)		
		337	7.11.1.4 TI アクセスの際の注意点 修正 (DTTCTnnn→DTTCCnnn)		
		338	7.11.2 DTSチャンネルレジスタアドレス 表にモジュール列追加		
		344	表7.57 DTTCTnnnレジスタの内容 (3/3) 注意の説明修正		
		350	表7.63 DTFSTnnnレジスタの内容 b0の説明修正		
		第8章 リセット			
		355	表8.1 レジスタ一覧 モジュール名列追加		
		358	8.4.4 SWRESA — ソフトウェアリセット要求レジスタ 表下説明修正		
		359	図8.2 ソフトウェアリセットのフロー 修正 (PROT0PHCMD→PROT1PHCMD、注意追加)		
		第9章 電源回路			
		362	表9.1 レジスタ一覧 モジュール名列追加		
		366	図9.4 電源端子の外付けコンデンサ例 (RH850/C1H (BGA)) タイトル修正、注1修正		
		366	図9.5 電源端子の外付けコンデンサ例 (RH850/C1M (QFP)) 追加		
		第10章 クロックコントローラ			
		372, 373	表10.6 PLL0CLKC1レジスタの内容 内容修正、注記修正		
		374	表10.7 CKSC0CTLレジスタの内容 b31～6の説明追加		
		376	表10.9 CLKD0DIVレジスタの内容 b31～3の説明追加		
		378	表10.11 CKSC1CTLレジスタの内容 b31～6の説明追加		
		380, 381	10.2.10 PROT1PHCMD — プロテクト1コマンドレジスタ 説明修正		
		382	10.2.11 PROT1PS — プロテクト1ステータスレジスタ ビット図b31～1のビット名修正 (“0” → “—”)		
		382	表10.14 PROT1PSレジスタの内容 クリア条件: の説明修正		
		385	表10.15 クロックギアアップシーケンスにおける周波数 修正 (Step→Step 2, Step 3)		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	第11章 クロック同期シリアルインタフェースH (CSIH)	
		全体	用語統一：ビットxxx → xxxまたはxxxビット、(T.B.D)表記を削除
		391	表 11.10 CSIHの主なレジスタ 表タイトル追加、CSIHnBRSy追加
		396	表 11.13 CSIHnCTL1レジスタの内容 b4、b1、b0の機能説明修正 (CSIHnCTL1.CSIHnSLIT = 0 → 1、モード → 機能、無効 / 有効)
		399	11.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2 説明追加
		401	表 11.17 CSIHnSTR0 レジスタの内容 b7の説明修正
		403	表 11.18 メモリモードでの動作 b7の説明修正
		412-415	表 11.24 CSIHnCFGx レジスタの内容 b18、b15の参照先修正、b7～4の説明および表ヘッダ修正 (遅延時間 → 時間)
		422	表 11.30 割り込みの発生 修正 (FIFOのジョブモード無効説明修正、送信専用バッファとデュアルバッファを分割)
		431	11.4.7.1(2) クロックのデフォルト設定 説明修正
		432	11.4.7.2 スレープモード 備考の説明修正
		434	11.4.8.2 マスタ1、スレープ複数の場合 説明修正
		436	図 11.13 チップセレクトのタイミング 修正 (“CS2”を追記)
		437	図 11.14 チップセレクトとRCBの例 修正 (CSIHnDx[2:0] → CSIHnID0[2:0])
		444	表 11.37 デュアルバッファモード ポインタ修正 (CSIHnND[6:0] → CSIHnND[7:0])
		444	表 11.38 送信専用バッファモード ポインタおよび範囲修正 (CSIHnND[6:0] → CSIHnND[7:0])
		448	11.4.14.2 16ビットを上回るデータ長 備考の1、2、5修正
		449	図 11.25 シリアルデータ方向選択機能 — MSB ファースト (CSIHnDIRx = 0) 修正
		449	図 11.26 シリアルデータ方向選択機能 — LSB ファースト (CSIHnDIRx = 1) 修正
		450	11.4.16.1 SS機能を使用した通信のタイミング(3)および(4) 説明修正
		452	11.4.17 ハンドシェイク機能 説明修正 (“ビジーとなる”を追加)
		455	11.4.17.2 マスタモード 説明修正 (“CSIHnCTL1.CSIHnHSE = 1 のとき”を追加)
		455	11.4.17.2 マスタモード 注意1の説明修正
		459, 460	11.4.18.3 タイムアウトエラー 説明追加
		465	11.4.19 ループバックモード 説明修正
		466	図 11.44 ループバックモードでの動作 修正 (インアクティブレベル → ハイレベル)
		468	11.4.20 CPU制御による高優先通信機能 図の下の説明修正 (CSIHTIJC 割り込み → INTCSIHTIJC 割り込み)
		475	図 11.51 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0 CSIHnMCTL2.CSIHnSOP[6:0]の設定値修正
		477	図 11.52 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1 CSIHnMCTL2.CSIHnSOP[6:0]の設定値修正
		479	図 11.53 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0 設定値およびタイミング修正
		480	11.5.3.1 マスタモードでジョブモードが無効になっているときの送受信 手順：1. 説明修正
		481	図 11.54 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1 設定値およびタイミング修正
		483	図 11.55 デュアルバッファモードのスレープ、CSIHnCTL1.CSIHnJE = 0 設定値およびタイミング修正
		486	11.5.4.1 マスタモードでジョブモードが無効になっているときの送受信 手順：5、6 説明修正
		487, 488	11.5.4.2 マスタモードでジョブモードが有効になっている送受信 タイトル修正、手順6、8、9修正
		487	図 11.57 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 1 修正 (CSIHTSOE タイミング削除)
		489	表 11.43 レジスタ設定上の注意事項 ビット名CSIHnTXE/CSIHnRXE、CSIHnMBSの説明修正、レジスタ名CSIHnCFGx、CSIHnBRSyの表記修正)
		第12章 シリアルコミュニケーションインタフェース3 (SCI3)	
		全体	SCI3のレジスタのアドレス表記修正 <SCI3n_base> + 00xx _H → <SCI3n_base> + xx _H
		497	12.3.3 SCI3nTDR — トランスミットデータレジスタ 説明修正 (SCI3TDR → SCI3nTDR)
		498	12.3.4 SCI3nSMR — シリアルモードレジスタ b1, 0修正 (CKS1, CKS0 → CKS[1:0])
		498	表 12.11 SCI3nSMR レジスタの内容 b1、b0の機能説明修正 (ビット名修正およびn → m)

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	499	12.3.5 SCI3nSCR — シリアルコントロールレジスタ b1, 0修正 (CKE1, CKE0→CKE[1:0])
		500	表 12.12 SCI3nSCR レジスタの内容 b1、b0のビット名修正、備考追加
		508	表 12.23 ビットレートモジュレーション機能使用時のSCI3nMDDR設定値とビットレートBの関係 備考修正 (SCI3nMDDR→MDDR)
		第13章 LIN マスタインタフェース (RLIN2)	
		540	13.1.1 ユニット数とチャネル数 説明修正 (RLIN21nGLWBR → RLN21nGLWBR、RLIN21nmLiMD → RLN21nmLiMD)
		551	13.3.3.3 RLN21nmLiSC — LIN スペース設定レジスタ 説明修正 (RLIN21nmLiSC → RLN21nmLiSC)
		565	13.3.3.13 RLN21nmLiIDB — LIN IDバッファレジスタ リセット後の値修正
		566	13.3.3.14 RLN21nmLiCBR — LIN チェックサムバッファレジスタ リセット後の値修正、LIN動作モード別の説明修正
		567	13.3.3.15 RLN21nmLiDBRb — LIN データバッファ b レジスタ リセット後の値修正
		578	図 13.8 データ受信タイミング例 修正
		584	表 13.36 エラーステータスの種類 注1.修正
		588	13.15.2 LIN セルフテストモードにおける送信 ・割り込み許可、エラー許可関連レジスタを設定する RLN21nmLiEDE レジスタ修正
		588	13.15.2 LIN セルフテストモードにおける送信 ・ヘッダ送信→レスポンス送信開始 説明追加
		589	"13.15.3 LIN セルフテストモードにおける受信 ・割り込み許可、エラー許可関連レジスタを設定する 説明修正 ・ヘッダ送信→レスポンス受信開始 説明追加
		第14章 CAN インタフェース (RS-CAN)	
		626	14.3.3 RSCAN0CmCTR — チャネル制御レジスタ (m = 0 ~ 3) BOM[1:0]ビット説明修正 ("バスオフ状態からの復帰時に"→削除)
		667	14.3.25 RSCAN0RFSTsx — 受信FIFO バッファステータスレジスタ (x = 0 ~ 7) アクセスの説明修正
		676	14.3.31 RSCAN0CFCK — 送受信FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 11) CFTML[3:0] ビットの説明修正
		733	14.3.65 RSCAN0RPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63) アドレス表記修正 (n → r)
		739	14.4.2.1(1) グローバルストップモード 説明修正
		744	14.4.2.2 (5) バスオフ状態 ・BOM[1:0] ビットが"01 _B "のとき: 説明修正
		748	14.4.3.1(1) アクセプタンスフィルタ処理 説明修正 (IEDビット→IDEビット)
		751	図 14.9 送信キューの割り付けと送受信FIFOバッファのリンク 修正 (バッファ送信→送信バッファ)
		757	14.4.5 ゲートウェイ機能 説明修正 (設定した→送信するチャンネルの)
		786	14.6 注意事項 修正 (CAN0TMTRSTS2→RSCAN0TMTRSTS2)
		第15章 ウィンドウウォッチドッグタイマ (WDTA)	
		793	15.3.3 WDTAnMD — WDTA モードレジスタ 説明修正
		第16章 OSタイマ (OSTM)	
		815	図 16.4 インターバルタイマモードの強制リスタートのタイミング図 OSTMnTE タイミング修正
		816	16.4.2.2 OSTMnCMP = 0000 0000 _H の場合の動作 (3) の説明修正
		819	16.4.3.1 フリーランニングコンペアモードの基本動作 OSTMnTINT 期間 タイトル修正
		820	16.4.3.2 OSTMnCMP = 0000 0000 _H の場合の動作 (4) の説明修正
		第17章 タイマアレイユニットD (TAUD)	
		822	17.1.6 外部入出力信号 注意追加
		825	表 17.9 TAUD動作機能一覧 修正 (1相PWM出力機能、トリガスタートPWM出力機能の追加)
		836	17.3.5 TAUDnCNTm — TAUDnチャネルカウンタレジスタ リセット後の値修正
		839	表 17.16 TAUDnCMORm レジスタの内容 (2/3) b10~8の表中100 _B と101 _B の機能説明修正
		839	表 17.16 TAUDnCMORm レジスタの内容 (2/3) b7、6の表中00 _B の説明修正
		846	表 17.26 TAUDnRDC レジスタの内容 機能説明修正
		848	表 17.29 TAUDnTOE レジスタの内容 機能説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	851	表 17.33 TAUDnTOL レジスタの内容 機能説明追加
		853	表 17.37 TAUDnTRE レジスタの内容 機能説明修正 (TAUDnTOE → TAUDnTOE)
		859	表 17.42 一斉書き換え方法とトリガタイミング 修正 (A ~ C2の表記、トリガスタート PWM出力機能追加)
		869, 870	17.4.3.4 (4) 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C2) 追加
		877	図 17.11 デッドタイム出力を行うチャンネル連動出力モード2のセット/リセット条件 修正 (TAUDnTOL.TAUDnTOL → TAUDnTOL.TAUDnTOLm)
		882	図 17.17 カウント開始時に INTTAUDnIm が発生しない タイトル修正 (INTTAUDnIm → INTTAUDnIm)
		883	17.4.7 オーバフロー時の割り込み発生 説明削除 (・両チャンネルが同じ TAUDTTINm 入力信号でトリガされます。・ヘッダ送信→レスポンス受信開始 説明追加両チャンネルのトリガ検出設定 (TAUDnCMORm.TAUDnSTS[2:0]と TAUDnCMURm.TAUDnTIS[1:0]) は同じである必要があります。→削除)
		884	図 17.19 カウントキャプチャモードとインターバルタイマモードの組み合わせによる割り込み発生 TAUDnCDR0の"d, e, f"表記修正
		897	17.4.9.2 (3) ブロック図と基本タイミング図 修正 (TAUDnMD = 1 → TAUDnMD0 = 1)
		901	17.4.9.2 (6) 特定の設定時のタイミング図 説明修正
		908	図 17.35 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01 _B) タイトル修正 (01 → 01 _B)
		911	表 17.61 外部イベントカウント機能の TAUDnCMURm レジスタの内容 b1,0 説明修正
		912	表 17.63 外部イベントカウント機能の操作手順 動作中の TAUDn の状態 説明修正
		932	17.4.9.8 (1) 概要の概要 修正 (TAUDTTINmT → TAUDTTINm)
		934	表 17.79 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容 b10 ~ 8 説明修正
		935	表 17.82 TAUDTTINm 入力信号幅測定機能の操作手順 動作中の操作 説明修正
		939	17.4.9.9 (1) 概要 備考追加
		951	図 17.64 TAUDTTINm 入力パルスインターバル判定機能の基本タイミング図 修正
		960	図 17.68 リアルタイム出力機能タイプ1の基本タイミング図 修正 (TAUDnTRO.TRO1/2 → TAUDnTRO.TAUDnTRO1/2)
		968	図 17.71 リアルタイム出力機能タイプ2の基本タイミング図 修正 (TAUDnCMOR1 → TAUDnCSR1)
		979	表 17.113 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定 TAUDnRDM.TAUDnRDMm の説明修正
		979	表 17.114 一斉書き換えトリガ生成機能タイプ1時の下位チャンネル一斉書き換え設定 TAUDnRDM.TAUDnRDMm の説明修正
		981	17.4.12 チャンネル連動動作機能 ・「17.4.12.3 トリガスタート PWM 出力機能」追加
		1005-1015	17.4.12.3 トリガスタート PWM 出力機能 追加
		1031	17.4.12.4 (9) 特定のタイミング図 説明修正 (スレーブチャンネル → スレーブチャンネル1)
		1040	表 17.162 オフセットトリガ出力機能時の操作手順 動作中の操作 説明修正
		1041	17.4.12.5 (7) (a) デューティサイクル = 0% タイトル表記変更 (Duty cycle →、デューティサイクル)
		1042	17.4.12.5 (7) (b) デューティサイクル = 100% タイトル表記変更 (Duty cycle →、デューティサイクル)
		1054	17.4.12.7 (7) (a) デューティサイクル = 0% 図 17.103 の下 説明修正
		1055	17.4.12.7 (7) (b) デューティサイクル = 100% 図 17.104 の下 説明修正
		1056	17.4.12.8 (1) 概要 前提条件の説明修正 (スレーブチャンネル1 は、個別タイマ (単体機能) として使用可能です → 追加)
		1057	17.4.12.8 (1) 概要 前提条件の備考 修正
		1057	17.4.12.8 (1) 概要 機能説明 ・スレーブチャンネル2 : の説明修正 (スレーブチャンネル2 のカウンタ値が 0001 _H になると INTTAUDnIm が発生します → 追加)
		1058	17.4.12.8 (1) 概要 条件の説明修正
		1058	表 17.172 スレーブチャンネル2 で割り込みが発生した際の TAUDTTOUTm の動作 修正 (設定 → セット)
		1058	17.4.12.8 (2) 算出式 修正
		1060	17.4.12.8 (3) ブロック図と基本タイミング図 ・スレーブチャンネル3 : の説明修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2015.01.13	1060	図 17.106 デッドタイム付き三角波PWM出力機能の基本タイミング図 修正 (スレーブ3のTAUDnCDRm表記修正)		
		1065	表 17.181 デッドタイム付き三角波PWM出力機能時のスレーブチャンネル3のTAUDnCMORmレジスタの内容 b10~8の機能説明修正		
		1077	表 17.188 割り込み要求信号間引き機能時のマスタチャンネルの一斉書き換え設定TAUDnRDS.TAUDnRDSmの説明修正		
		1079	表 17.191 割り込み要求信号間引き機能時のスレーブチャンネルの一斉書き換え設定TAUDnRDS.TAUDnRDSmの説明修正		
		1080	17.4.12.10(7) 特定の設定時のタイミング図 説明修正 (INTTAUDnIm→INTTAUDnIm)		
		1081	表 17.193 デッドタイムが付加されるTAUDTTOUTmとTAUDTTINmの状態 表ヘッダ修正 (TAUDnCMUR.TAUDnTIS→TAUDnCMURm.TAUDnTIS[1:0])		
		1086	表 17.196 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定 修正 (TAUDnTDL.TAUDnTDLmの説明修正)		
		1133	図 17.124 相補方式変調出力機能の特定設定時のタイミング図 修正 (TAUDnTDL.TAUDnTDL→TAUDnTDL.TAUDnTDLm)		
		第18章 タイマアレギュレーション (TAUJ)			
		1141	18.2.2.1 ブロック図の説明 クロックおよびカウンタクロックの選択 説明削除		
		1141	18.2.2.1 ブロック図の説明 コントローラ 説明追加		
		1148	18.3.5 TAUJnCnTm — TAUJn チャンネルカウンタレジスタ リセット後の値 説明修正		
		1151	表 18.15 TAUJnCMORmレジスタの内容 b7, 6 機能説明修正		
		1156	表 18.22 TAUJnTOEレジスタの内容 b3~0 説明修正		
		1158	表 18.25 TAUJnTOCレジスタの内容 b3~0 説明追加		
		1169	18.4.3.3 一斉書き換えの方法 説明 (6) 説明修正		
		1171	表 18.31 チャンネル出力モード 注意の3. 修正		
		1176	図 18.10 カウント開始時にINTTAUJnImが発生しない 修正 (TAUJCnTm→TAUJnCnTm)		
		1177, 1178	18.4.7 オーバフロー時の割り込み発生 追加		
		1194	18.4.9.2 (6) 特定の設定時のタイミング図 説明修正		
		1207	表 18.52 TAUJTINm入力信号幅測定機能の操作手順 動作中の操作とTAUJnの状態 説明修正		
		1212	18.4.9.5 (1) 概要 備考追加		
		1213	図 18.36 TAUJTINm入力位置検出機能の基本タイミング図 修正 (FFFF _H →FFFF _H , 0000 _H →0000 0000 _H)		
		1216	図 18.37 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00 _B) 修正 (FFFF _H →FFFF _H , 0000 _H →0000 0000 _H)		
		第19章 モータコントロールタイマ (TSG3)			
		1268	19.3.21 TSG3nOPT2BF — TSG3nオプション2バッファレジスタ 説明修正		
		1280	表 19.35 TSG3nCMP1E-TSG3nCMP12Eレジスタの設定の備考 説明修正		
		1301	表 19.40 モード別コンペアレジスタ機能一覧 (3/7) 表ヘッダ修正		
		1368	表 19.66 HT-PWM モード: コンペアー一致タイミング タイミングの説明修正		
		1369	表 19.67 HT-PWM モード: タイマ出力条件別の設定例 TSG3nO1, TSG3nO3, TSG3nO5端子の設定条件 説明修正		
		1455	図 19.113 HSP-PWM モード波形 (TSG3nCMP0E < TSG3nHSPCMUE < TSG3nCMP0E + TSG3nDTC1 + 1の値を設定) 修正 (固定となり→固定となる)		
		第20章 タイマオプション (TAPA)			
		1475	20.4.1.2 システム構成例 説明修正		
		第21章 タイマパターンバッファ (TPBA)			
		1487	表 21.5 割り込み要求 DTS トリガ番号列追加		
		1489	21.2.2 ブロック図説明修正 (TPBAnTSST→TPBAnSST)		
		第22章 エンコーダタイマ (ENCA)			
		全体	用語統一: ENCA _n CNTカウンタ→ENCA _n CNTレジスタ		
		1518	図 22.1 ENCAのブロック図 修正 (ENCA _n UFD→ENCA _n UDF)		
		1520	表 22.9 ENCA _n CTLレジスタの内容 (1/2) b9, b8, b7の説明修正		
		1537	図 22.5 ENCA _n CTLレジスタのENCA _n UDS1, ENCA _n UDS0ビット = 10 _B のときのカウンタ動作 修正 (「端子」の記載追加)		
		1542	22.4.5.1 コンペア機能 コンペアー一致割り込みマスク機能 説明修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2015.01.13	1543	表 22.28 ENCAAnCCR1 のコンペアー一致割り込みマスク機能 割り込みマスクキャンセルトリガの説明修正 (ENCAAnIDE→ENCAAnLDE)		
		1543	表 22.29 ENCAAnCTS のさまざまな設定に対応する動作 ENCAAnCTSが1のときのキャプチャトリガ信号の説明修正 (ENCAAnEC端子→ENCAAnSCEで設定)		
		1547	図 22.7 ENCAAnを2ユニット使用時の接続例 修正 (ECM→ECM1、ENCAAnCNTビット→ENCAAnCNTレジスタ)		
		1549	図 22.11 ENCAAnCCR1レジスタの設定手順 修正 (ENCAAnEC端子入力→ENCAAnSCE設定、ENCAAnT1入力→ENCAAnI1入力)		
		1560	図 22.20 オーバフローの発生とエンコーダクリア入力 (ENCAAnEC 端子) によるクリア動作との競合 修正 (xxx→xxxビット)		
		1560	22.6.9 オーバフローの発生とエンコーダクリア入力 (ENCAAnEC 端子) によるクリア動作との競合 (4) 項目修正		
		1561	図 22.21 アンダフローの発生とエンコーダクリア入力 (ENCAAnEC 端子) によるクリア動作との競合 修正 (xxx→xxxビット、ENCAAnCNT→ENCAAnCNT)		
		1565	図 22.25 ENCAAnLDE機能 (ENCAAnLDE = 0の場合) 修正 (ENCAAnCCR0→ENCAAnCNT)		
		1566	図 22.26 ENCAAnLDE機能 (ENCAAnLDE = 1の場合) 修正 (ENCAAnCCR0→ENCAAnCNT)		
		1567	図 22.27 ENCAAnLDE機能とENCAAnCCR0レジスタの書き換えとの競合 修正 (ENCAAnCCR0カウンタ→ENCAAnCCR0レジスタ)		
		1568	図 22.28 ENCAAnLDE機能とエンコーダクリア入力によるクリア動作との競合 修正		
		1570	図 22.29 ENCAAnLDE機能とエンコーダクリアとの競合後のアップカウント 修正		
		1571	図 22.30 カウントクロック間のキャプチャ動作 (ENCAAnCCR1) 修正		
		1572	図 22.31 カウントクロック間のキャプチャ動作 (ENCAAnCCR0) 修正		
		1573	図 22.32 コンペアー一致クリア制御有効かつENCAAnCTS = 0 のときのエンコーダの動作修正		
		1574	図 22.33 コンペアー一致クリア制御有効かつENCAAnCTS = 1 のときのエンコーダの動作修正		
		1575	図 22.34 コンペアー一致クリア制御無効時のエンコーダの動作 修正		
		1576	22.6.23 ENCAAnSCE = 1のときにENCAAnEC、ENCAAnE0、ENCAAnE1によるクリアのタイミングで行われるキャプチャ動作 タイトル修正		
		1576	図 22.35 ENCAAnSCE = 1のときにENCAAnEC、ENCAAnE0、ENCAAnE1によるクリアのタイミングで行われるキャプチャ動作 図タイトル修正		
		第23章 ペリフェラルインタコネクション (PIC)			
		全体		用語統一：トリガパルス→トリガ&パルス	
		1587	表 23.12 PIC1ASSER0 レジスタの内容	ビット名修正	
		1587	表 23.13 PIC1ASSER1 レジスタの内容	ビット名修正	
		第24章 エンハンスドモータコントロールユニット (EMU2)			
		全体		用語統一：DATAビットの名称→「データビット」	
		1726	表 24.16 EMU2 チャネル0のレジスタ一覧 (独立矩形IP)	レジスタ名称修正	
		1731	表 24.24 EMU2 チャネル1のレジスタ一覧 (独立矩形IP)	レジスタ名称修正	
		1748	表 24.43 EMU2nDDCNT レジスタの内容	b15~0の機能説明修正、表下説明修正	
		1774	表 24.65 EMU2nRESTHETA レジスタの内容	b11~0 機能説明修正	
		1774	表 24.66 EMU2nTHTEFIX レジスタの内容	b11~0 機能説明修正	
		1775	24.3.34 EMU2nRESRLD — EMU2n レゾルバ極数設定レジスタ (n = 0、1)	説明追加	
		1775	24.3.35 EMU2nRESCNT — EMU2n レゾルバ極カウントレジスタ (n = 0、1)	説明追加	
		1778	表 24.71 EMU2nVMTCAP レジスタの内容	b24~0 機能説明修正	
		1783	24.3.45 EMU2nEARD — EMU2n 電気角応答遅れ補正変数レジスタ (n = 0、1)	説明追加	
		1785	24.3.48 EMU2nSR2 — EMU2n dq 軸電流変換係数レジスタ (n = 0、1)	説明追加	
		1802	表 24.99 EMU2nGIDMAX レジスタの内容	タイトル修正	
		1816	24.3.80 EMU2nSR23 — EMU2n 三相電圧変換係数レジスタ (n = 0、1)	説明追加	
		1817	24.3.81 EMU2nUVOFS — EMU2n U相電圧オフセット値レジスタ (n = 0、1)	説明追加	
		1818	24.3.82 EMU2nWVOFS — EMU2n W相電圧オフセット値レジスタ (n = 0、1)	説明追加	
		1842	24.3.122 EMU2nIRUCPPN1 — EMU2n 独立矩形IPU 相コンペアー/パタン設定レジスタ 1 (n = 0、1)	説明修正 (EMU2nIRUCPPN0→EMU2nIRUCPPN1)	
		1843	24.3.123 EMU2nIRUCPPN2 — EMU2n 独立矩形IPU 相コンペアー/パタン設定レジスタ 2 (n = 0、1)	説明修正 (EMU2nIRUCPPN0→EMU2nIRUCPPN2)	

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	1843	24.3.124 EMU2nIRVCPPN0 — EMU2n 独立矩形IPV 相コンペア/パタン設定レジスタ0 (n = 0、1) 説明修正 (EMU2nIRUCPPN0→EMU2nIRVCPPN0)
		1844	24.3.125 EMU2nIRVCPPN1 — EMU2n 独立矩形IPV 相コンペア/パタン設定レジスタ1 (n = 0、1) 説明修正 (EMU2nIRUCPPN0→EMU2nIRVCPPN1)
		1844	24.3.126 EMU2nIRVCPPN2 — EMU2n 独立矩形IPV 相コンペア/パタン設定レジスタ2 (n = 0、1) 説明修正 (EMU2nIRUCPPN0→EMU2nIRVCPPN2)
		1845	24.3.127 EMU2nIRWCPPN0 — EMU2n 独立矩形IPW 相コンペア/パタン設定レジスタ0 (n = 0、1) 説明修正 (EMU2nIRUCPPN0→EMU2nIRWCPPN0)
		1845	24.3.128 EMU2nIRWCPPN1 — EMU2n 独立矩形IPW 相コンペア/パタン設定レジスタ1 (n = 0、1) 説明修正 (EMU2nIRUCPPN0→EMU2nIRWCPPN1)
		1846	24.3.129 EMU2nIRWCPPN2 — EMU2n 独立矩形IPW 相コンペア/パタン設定レジスタ2 (n = 0、1) 説明修正 (EMU2nIRUCPPN0→EMU2nIRWCPPN2)
		1872	24.4.5 (4) dp 軸電流変換 参照先修正
		1873	図24.12 PI 制御IPの処理の流れ 修正 (EMU2nGDMAX→EMU2nGIDMAX)
		第25章 R/Dコンバータ (RDC2)	
		1909	25.3.2 RDC2nCONSEL — RDC2n 変換条件選択レジスタ (n = 0、1) 注5. 修正 (“01 _B ” → “10 _B ”)
		1933	25.3.22 RDC2nENCP — RDC2n エンコーダパルスレジスタ (n = 0、1) b7~5のビット名修正、HYSSビットの説明修正
		1942	25.4.1.8 エンコーダパルス出力機能 説明修正
		1947	25.4.3.3 レゾルバ信号断線異常検出機能 参照先修正
		1947	25.4.3.4 R/D 変換異常検出機能 参照先修正
		1948	図25.6 自己診断 (BIST) フロー 参照先修正
		1952	図25.11 RDC2初期動作フロー 参照先修正
		1954	25.6.1 レゾルバ信号入力(差動)回路 ・RIN: レゾルバ信号レベル T.B.D変更
		第26章 A/Dコンバータ (ADCA)	
		1973	表26.8 レジスタ一覧 (1/2) ADCCnの略号修正 (ADCCNDRj→ADCCnDRj)
		2022	図26.23 初期設定フロー 修正
		2029	表26.49 レジスタ設定上の注意事項 対象レジスタの説明修正
		第27章 ファンクショナルセーフティ	
		2030	27.1 概要 説明文修正
		2033	表27.3 Code Flash 用ECCの概要 その他 説明修正
		2035	表27.4 レジスタ一覧 モジュール名列追加
		2036	27.2.2.3 (1) CFAPCTL — Code Flash アドレスパリティコントロールレジスタ b15, b14のR/W修正
		2037	27.2.2.3 (2) CFECCTL_VCI/PE1/PE2 — Code Flash ECC コントロールレジスタ b15, b14のR/W修正
		2042	27.2.2.3 (7) CF1STEADR0_VCI/PE1/PE2 — Code Flash 1st エラーアドレスレジスタ 説明修正
		2043	27.2.2.3 (8) CFSTSTCTL_VCI/PE1/PE2 — Code Flash サブテストコントロールレジスタ b15, b14のR/W修正
		2046	表27.16 レジスタ一覧 モジュール名列追加
		2047	27.2.3.2 (3) DFECCTL — Data Flash ECC コントロールレジスタ b15, b14のR/W修正
		2051	27.2.3.2 (10) DFTSTCTL — Data Flash テストコントロールレジスタ b15, b14のR/W修正
		2055, 2056	表27.28 レジスタ一覧 モジュール名列追加
		2057	27.2.4.3 (1) LRAPCTL_PE1/PE2 — Local RAM アドレスパリティコントロールレジスタ b15, b14のR/W修正
		2058	27.2.4.3 (2) LRTSTCTL_PE1/PE2 — Local RAM テストコントロールレジスタ b15, b14のR/W修正
		2060	27.2.4.3 (4) LRECCCTL_PE1/PE2 — Local RAM ECC コントロールレジスタ b15, b14のR/W修正
		2065	27.2.4.3 (9) LR1STEADRn_PE1/PE2 — Local RAM 1st エラーアドレスレジスタ n (n = 0 ~ 3) 説明追加
		2069	表27.39 アドレスと対応するECC回路 タイトル追加
		2070, 2071	表27.40 レジスタ一覧 モジュール名列追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	2072	27.2.5.3 (1) GRECCCTL_GRAMC — Global RAM ECC コントロールレジスタ (GRAMC) タイトル修正
		2072	表 27.41 GRECCCTL_GRAMC レジスタの内容 表タイトル修正
		2073	27.2.5.3 (2) GRTSTCTL — Global RAM テストコントロールレジスタ b15, b14のR/W修正
		2076	27.2.5.3 (4) GRECCCTL_VCI/PE1/PE2 — Global RAM ECC コントロールレジスタ (VCI/PE1/PE2) タイトル修正およびb15, b14のR/W修正
		2076	表 27.44 GRECCCTL_VCI/PE1/PE2 レジスタの内容 表タイトル修正
		2083	27.2.5.3 (11) GR1STEADRn_VCI/PE1/PE2 — Global RAM 1st エラーアドレスレジスタ n (n = 0, 1) 説明追加
		2087	表 27.52 命令キャッシュ用ECCの概要 エラー通知の説明修正
		2088, 2089	表 27.53 レジスタ一覧 モジュール名列追加
		2090	27.2.6.3 (1) IDECCCTL_PE1/PE2 — 命令キャッシュデータRAM ECC コントロールレジスタ b15, b14のR/W修正
		2095	27.2.6.3 (6) ID1STEADRn_PE1/PE2 — 命令キャッシュデータRAM (Bankn) 1st エラーアドレスレジスタ (n = 0, 1) 説明修正
		2095	表 27.59 ID1STEADRn レジスタの内容 b8~0の説明修正
		2096	27.2.6.3 (7) ITECCCTL_PE1/PE2 — 命令キャッシュタグRAM ECC コントロールレジスタ b15, b14のR/W修正
		2097	表 27.61 ITERRINT レジスタの内容 b1, b0の説明修正 (検出・訂正→検出機能)
		2101	27.2.6.3 (12) IT1STEADR0_PE1/PE2 — 命令キャッシュタグRAM 1stエラーアドレスレジスタ 説明修正
		2101	27.2.6.4 テスト機能 説明修正
		2104	表 27.67 レジスタ一覧 モジュール名列追加
		2105	27.2.8.3 (1) E710CTL — ECC コントロールレジスタ b15, b14, b10, b9のR/W修正
		2105	表 27.69 E710CTL レジスタの内容 b7の説明修正
		2107	27.2.8.3 (2) E710TMC — ECC テストモードコントロールレジスタ b15, b14のR/W修正
		2115	表 27.72 レジスタ一覧 モジュール名列追加
		2119	27.2.9.2 (3) APDPTMC_xx — P-Bus データパリティテストモードコントロールレジスタ b15, b14のR/W修正
		2119	表 27.76 APDPTMC レジスタの内容 b15, b14の機能説明のビット名称修正
		2121	表 27.78 レジスタ一覧 モジュール名列追加
		2124	27.4.1 概要 ・MPU 説明修正
		2125	表 27.81 スレープガードの識別子 識別子VM、VCID、TCIDを削除
		2126, 2127	表 27.82 レジスタ一覧 モジュール名列追加
		2128	27.4.2.2 (1) MGDGRPROTn — GRG プロテクション設定レジスタ n (n = 0 ~ 3) b26, b16 ~ b9を予約ビットに修正、R/W修正
		2128	表 27.83 MGDGRPROTn レジスタの内容 b26, b16 ~ b9を予約ビットに修正
		2133	27.4.2.2 (7) MGDGRSTYPE_VCI/PE1/PE2 — GRG エラーアクセスタイプレジスタ b12 ~ b10, b7を予約ビットに修正
		2133	表 27.90 MGDGRSTYPE レジスタの内容 b12 ~ b10, b7を予約ビットに修正
		2135	表 27.92 レジスタ一覧 モジュール名列追加
		2135	表 27.93 レジスタ一覧 (PBG グループ) モジュール名列追加
		2136	27.4.3.2 (1) FSGDxxDPROTn — PBGxx プロテクションレジスタ n b26, b16 ~ b9を予約ビットに修正、R/Wの修正
		2136	表 27.95 FSGDxxDPROTn レジスタの内容 b26, b16 ~ b9を予約ビットに修正
		2139	27.4.3.2 (5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ b12 ~ b10, b7を予約ビットに修正
		2139	表 27.99 ERRSLVxxTYPE レジスタの内容 b12 ~ b10, b7を予約ビットに修正
		2148, 2149	表 27.102 シグネチャ生成部のレジスタ一覧 モジュール列追加
		2150	表 27.103 シグネチャ比較部 (MSD サブブロック) のレジスタ一覧 モジュール列追加
		2168	表 27.119 レジスタ一覧 モジュール列追加
		2168	表 27.121 共通レジスタ モジュール列追加
		2169	表 27.122 CLMAnCTL0 レジスタの内容 b7 ~ 1の機能説明修正
2170	27.6.3.4 CLMAnPCMD — CLMAn保護命令レジスタ ビット表記修正		
2171	表 27.125 CLMAnPS レジスタの内容 b7 ~ 1の機能説明修正		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	2171	27.6.3.5 CLMAnPS — CLMAn保護命令ステータスレジスタ ・ CLMAnPRERR ビットの動作条件 クリア条件：修正
		2172	表 27.126 CLMATEST レジスタの内容 b31～6の機能説明修正
		—	27.6.3.6 CLMATEST — CLMAセルフテストレジスタ しきい値の説明を削除
		2173	表 27.127 CLMATESTS レジスタの内容 b31～3の機能説明修正
		2175, 2176	27.6.4 異常クロック周波数の検出 (1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法および(2) しきい値レジスタの初期値入力の定義 説明追加
		2177	27.6.6.1 保護レジスタへの書き込み 説明修正
		第28章 エラーコントロールモジュール (ECM)	
		全体	予約ビットの説明統一
		全体	用語統一：ライト保護→書き込み保護
		2182	図 28.1 ECMの概要 追加
		2182	図 28.2 ECMの接続図 追加
		2185	表 28.9 エラー要因集約 修正 (エラー要因No.0、No.12のエラー要因説明修正、エラー要因No.6～9の備考修正 (ECC1/2 ビットエラー→ECC 1/2 ビットエラー)、エラー要因No.41の修正)
		2188	28.3.2 ECMmESET (m = M/C) — ECM マスタ/チェッカエラーセットトリガレジスタ 説明修正、b7～1のR/W修正
		2189	28.3.3 ECMmECLR (m = M/C) — ECM マスタ/チェッカエラークリアトリガレジスタ 説明修正、b7～1のR/W修正
		2192	28.3.6 ECMmPCMD0 (m = M/C) — ECM マスタ/チェッカ保護コマンドレジスタ 説明修正
		2192	表 28.17 ECMmPCMD0 レジスタの内容 b31～8の機能説明修正
		2193	28.3.7 ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ ～ 28.3.28 ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3データに書き込むための説明文修正
		2205	表 28.30 ECMP5 レジスタの内容 b7～1の機能説明修正
		2208	表 28.33 ECMDTMCTL レジスタの内容 b0の機能説明修正
		2214	表 28.38 ERROROUT 出力動作 注2の説明修正
		2216	28.4.5 書き込み保護レジスタ タイトル修正
		2216	28.4.5.1 書き込み保護されたレジスタへの書き込みシーケンス 内容修正
		第29章 データCRC (DCRA)	
		2225	29.3.4 DCRAAnCTL — CRC制御レジスタ 注意 説明修正 (CRC入力ビット幅)
		2226	表 29.10 初期開始値の設定例 (リセット時にリードした場合の例) 修正 (DCRA0COUT リード値→DCRAAnCOUT リード値)
		第30章 インテリジェントクリプトグラフィックユニット (ICUSB) →章削除	
		第30章 オンチップデバッグユニット (OCD)	
		2227	30.1(1) デバッグインタフェース 修正 (4-pin→4pin)
		2227	30.1(4) ソフトウェアブレーク機能 説明修正
		2229	30.2(1) トレースRAM、(2) ソフトトレース機能 修正 (4-pin→4pin)
		2232	表 30.2 端子構成 AUDCK端子の機能説明修正 (AUDISR→AUDISRと AUDMBR/AUDMBRC)
		2234	30.4.3.1 AUDISR — AUDR Configuration情報保持レジスタ ・ Configuration情報保持機能 説明追加
		2235	30.4.3.2 AUDMBR/AUDMBRC — AUDRメッセージボードレジスタ ・ 同期通信 (メッセージボード) 機能 説明追加
		2238	30.4.4.2(1) 単一転送 説明修正
		2240	30.4.4.2(2) 連続転送 説明修正
		2246	30.4.4.3 AUDR機能に関する使用上の注意事項 タイトルおよび内容修正
		2246	30.5 オンチップデバッグ使用上の注意 タイトル追加および(2)～(4)項目追加
		第31章 フラッシュメモリ	
		2252	表 31.2 書き換え方法 表下の説明追加
		2253	表 31.3 基本機能一覧 ブランクチェックとベリファイ/チェックサムのセルフプログラミングの説明修正
		2254	表 31.3 基本機能一覧 表下説明追加
		2257	31.7.1 概要 修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2015.01.13	2259	表31.8 Data Flashメモリ関連のレジスタ一覧 モジュール名列の追加		
		2260	表31.10 フラッシュメモリ書き込み消去プロテクト関連のレジスタ一覧 モジュール名列の追加		
		2262	表31.13 製品情報関連のレジスタ一覧 モジュール名列の追加		
		2262	表31.14 製品名とPRDNAME 初期値（リセット後の値）の関係 内容修正		
		2263	31.9.3.1 PRDNAME _n [31:16] (n = 1 ~ 4) — 製品名格納レジスタ タイトル、リセット後の値および注1の修正		
		2263	表31.15 製品情報関連のレジスタ一覧 ビット名および機能説明修正		
		2264	31.10 オプションバイト 修正		
		2265	31.10.1 OPBT0 — オプションバイト0レジスタ ビット図b27~25および注1を修正		
		2265	表31.16 OPBT0レジスタの内容 b31~25の機能説明修正、b27~25のビット名修正		
		2267	31.10.2 OPBT2 — オプションバイト2レジスタ 注1説明修正		
		第34章 バウンダリスキャン			
		2282	表34.2 レジスタ構成の注2 C1x製品名およびリセット後の値を修正		
		第35章 電気的特性			
		全体	T.B.Dを修正		
		2288	表35.1 絶対最大定格 注記修正、保存温度修正		
		2289	表35.2 電源名と端子の関係 入力バッファタイプの内容修正		
		2290	表35.3 推奨動作条件 注記追加、注意削除		
		2291	表35.4 DC特性（入力電圧） 修正		
		2291	表35.5 DC特性（入力リーク電流） 修正		
		2292	表35.6 DC特性（プルアップ/プルダウンMOS電流） 内容修正、注1追加		
		2293	表35.7 DC特性（出力電圧） 修正		
		2293	表35.8 DC特性（許容出力電流） 修正、表下説明修正		
		2294	表35.9 DC特性（注入電流） 修正、表下説明修正		
		2294	表35.10 DC特性（入力容量） 修正		
		2295	表35.11 DC特性（消費電流：C1H） タイトル、内容および注意修正		
		2296	表35.12 DC特性（消費電流：C1M） 追加		
		2297	35.3 AC特性 本文修正		
		2297	図35.1 AC測定条件 タイトル修正		
		2298	表35.13 電源投入/切断タイミング 内容変更、注記修正、注意追加		
		2299	表35.14 EPT使用時の電源投入/切断タイミング タイトル、内容修正、注記修正、注意追加		
		2299	図35.3 EPT使用時の電源投入/切断タイミング タイトル修正		
		2300	表35.15 SSCGタイミング 内容修正、注記追加		
		2300	表35.16 オンチップオシレータ発振周波数精度 タイトル変更、内容修正、注意削除		
		2300	35.3.3 出力スルーレート 修正		
		—	35.3.4.1 リセット~35.3.4.3 モード を削除		
		2302	表35.20 制御信号 追加		
		2302	図35.5 リセットタイミング 追加		
		2302	図35.6 制御信号タイミング 追加		
		2303	表35.21 CSIHタイミング（マスタモード時） 内容修正、注記追加、備考修正		
		2305	図35.7 CSIHタイミング（マスタモード）(2/4) t _{WRYI} の規定削除		
		2307	図35.7 CSIHタイミング（マスタモード）(4/4) 修正		
		2308	表35.22 CSIHタイミング（スレーブモード時） 内容修正、備考追加		
		2309	図35.8 CSIHタイミング（スレーブモード）(1/3) 条件修正		
		2310	図35.8 CSIHタイミング（スレーブモード）(2/3) 条件修正		
		2311	図35.8 CSIHタイミング（スレーブモード）(3/3) 条件修正		
		2312	表35.23 SCI3タイミング（マスタモード時） 内容修正、備考追加		
		2313	表35.24 SCI3タイミング（スレーブモード時） 内容および備考修正		
		2314	表35.25 RS-CANタイミング 条件追記		
		2314	35.3.7 RS-CANタイミング RS-CANの内部遅延時間の定義 追加		
		2315	表35.27 モータ制御信号タイミング 内容修正、注記および備考追加		
		2315	表35.28 タイマタイミング 内容修正、注記および備考修正		
		2316	表35.29 JTAG, NEXUSタイミング 修正		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.01.13	2317	表 35.30 LPD (4pin) タイミング 条件および内容修正
		2318	表 35.31 AUD RAM モニタタイミング 条件および内容修正
		2319	表 35.32 A/D 変換器特性 タイトルおよび内容修正、注2追加
		2320	35.5 R/D 変換器特性 タイトル修正
		2320, 2321	表 35.33 RDC 変換性能 修正、注1、注3、注5修正
		2321	表 35.34 RDC アナログ端子の特性 内容修正、注4と注11修正
		2322	表 35.35 異常検出の特性 内容修正、注4修正
		2323	表 35.36 Code Flash 基本特性 内容修正、注2修正
		2323	表 35.37 Code Flash プログラミング特性 修正
		2324	表 35.38 Data Flash 基本特性 内容修正、注2修正
		2324	表 35.39 Data Flash プログラミング特性 内容修正
		2325	35.8 熱特性 追加
		1.10	2015.09.10
第1章 概要			
49	表 1.1 製品概要 モータ制御のエンハンスドモータコントロールユニット (EMU2) (2チャンネル) を追加		
53	図 1.3 C1H 端子接続図 1A, 1Y, 20A, 20Y の電源名に (N.C.) を追加、注意を追加		
第2章 端子			
126	2.4.2 端子機能一覧 注意を追加		
128	表 2.59 C1M 端子機能 PLLVCC, PLLVSS を削除		
第3章 CPU システム			
140	(b) EIPSW—EI レベル例外受け付け時の状態退避レジスタ 注意を追加		
140	表 3.5 EIPSW レジスタの内容 ビット位置 11~9 (Debug) の機能説明を修正		
142	(d) FEPSW—FE レベル例外受け付け時の状態退避レジスタ 注意を追加		
142	表 3.7 FEPSW レジスタの内容 ビット位置 11~9 (Debug) の機能説明を修正		
144	表 3.9 PSW レジスタの内容 ビット位置 6 (EP) の機能説明 (0機能) を修正		
149	(p) MEI—メモリエラー情報 レジスタ説明を修正		
155	表 3.29 MCTL レジスタの内容 R/W, リセット後の値の欄を修正		
165	(h) MCR—メモリ保護設定チェック結果 注意を追加		
179	表 3.61 レジスタ一覧 PEG のアドレスを修正		
196	(c) SEGADDR—エラー要因保持レジスタ (アドレス) レジスタ説明を修正		
199	3.3.3.1 排他制御用レジスタ (MEV) 説明文を修正 (CPU(PE2) → CPU2(PE2))		
第4章 アドレス空間			
205	4.1.2.1 命令フェッチ可能空間 説明文を修正 (LocalRAM self領域 → Local RAM 領域)		
209	4.2.2.1 命令フェッチ可能空間 説明文を修正 (Local RAM self領域 → Local RAM 領域)		
第5章 動作モード			
212	表 5.1 動作モードの選択 IF の種類欄を追加、備考欄を修正、注1. を追加		
第6章 割り込み			
220	表 6.5 EIBD0-EIBD255 レジスタの内容 注1. を修正		
236	表 6.11 割り込み例外ハンドラと優先順位 EIINT 割り込みチャンネル 170, 171 の Reserved を修正 (テーブル参照方式、割り込み優先順位 (リセット後の値) を削除)		
第7章 DMA 機能			
260	7.2.3.4 DMAC のリロードレジスタ設定タイミング 説明文を修正 (句読点を追加)		
260	7.2.3.5 DTS のリロード情報設定タイミング 説明文を修正 (句読点を追加)		
第8章 リセット			
358, 359	8.4.4 SWRESA—ソフトウェアリセット要求レジスタ SWRESA レジスタへの書き込みシーケンス例の説明文を修正		
第9章 電源回路			
360	電源説明 (表) 注1. 追加		
第10章 クロックコントローラ			
全体	用語修正 (内部外部 → 内部・外部)		
369	表 10.2 クロックと機能モジュール 低速周辺クロック (周辺クロック) の機能モジュールを修正 (FSCI → FLSCI3)		
370	表 10.3 クロック発振関連端子 注1. 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2015.09.10	373, 374	表 10.6 PLL0CLKC1 レジスタの内容 ビット位置 7 ~ 3(SELMFREQ[4:0])、ビット位置 2 ~ 0(SELMPERCENT[2:0]) の機能説明を修正
		第11章 クロック同期シリアルインタフェースH (CSIH)	
		436	11.4.9.1 コンフィギュレーションレジスタ 注意を修正 (IDLnビット → IDLxビット)
		442	11.4.11 送信クロックの選択 説明文を修正 (CSIHnCFGx.CSIHnBRSS[1:0] → CSlHnCFGx.CSlHnBRSSx[1:0])
		468	図 11.45 CPU制御による高優先通信例、CSIHnCTL1.CSIHnSLIT = 1 図タイトルを修正
		第12章 シリアルコミュニケーションインタフェース3 (SCI3)	
		517	図 12.8 シリアル送信後にSCI3を停止するフローチャートの例 ブロックを修正 (DRを0にクリア、DDRを1にセット→TxDn端子に対応するポートを0出力に設定)、[6]の説明文を修正
		529	図 12.19 SCI3の初期化フローチャートの例 [5]の説明文を修正
		第13章 LINマスタインタフェース (RLIN2)	
		567	13.3.3.14 RLIN2nmLiCBr—LINチェックサムバッファレジスタ LINセルフテストモード時のレジスタ説明を修正
		590	13.15.3 LINセルフテストモードにおける受信 ヘッダ送信→レスポンス受信開始の説明文修正 (LINセルフモード→LINセルフテストモード)
		第14章 CANインタフェース (RS-CAN)	
		765	図 14.18 CANクロック制御ブロック図 1/2分周を削除
		第15章 ウィンドウウォッチドッグタイマ (WDTA)	
		794	表 15.11 WDTAnMD レジスタの内容 WDTAnWIE ビットの機能説明の0機能を修正
		796	15.5.1.3 リセット解除後のWDTA設定 表を修正 (75%割り込みモードのWDTA1のリセット後の設定を修正(75%割り込み無効 → 75%割り込み有効))
		第17章 タイマアレイユニットD (TAUD)	
		826	表 17.9 TAUD動作機能一覧 1相PWM出力機能 (17.4.12.11章) を削除
		882	17.4.5.2 イベントカウントモード 説明文を修正 (インクリメント → デクリメント)
		1006	17.4.12.3 トリガスタートPWM出力機能 前提条件の参照先を修正 (「表 17.135 トリガスタートPWM出力機能のスレーブチャネルのTAUDnCMORm レジスタの内容」)
		1020	図 17.92 デイレイパルス出力機能の基本タイミング図 cおよびdの矢印の位置を修正
		第18章 タイマアレイユニットJ (TAUJ)	
		1155	表 18.17 TAUJnCSRm レジスタの内容 ビット位置1 (予約ビット) の機能説明を修正
		第19章 モータコントロールタイマ (TSG3)	
		1239	図 19.1 TSG3nのブロック図 TSG3nCKS レジスタを削除
		1255	表 19.17 TSG3nIOC0 レジスタの内容 TSG3nTOE6-TSG3nTOE1 ビットの機能説明を修正
		1257	表 19.19 TSG3nIOC2 レジスタの内容 備考を修正
		1286	19.3.45 TSG3nDTC1W — TSG3nデッドタイム設定レジスタ1 説明文を修正 (30-16ビット → 14-0ビット)
		1370	表 19.67 HT-PWM モード: タイマ出力条件別の設定例 TSG3nO2, 4, 6 出力条件: 1周期の期間内すべてインアクティブレベル出力 (デューティ 0%) 設定条件を修正
		1421	図 19.88 120-DCモード動作例 (正転: TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 1) TSG3nO3端子の出力波形を修正
		1422	図 19.89 120-DCモード動作例 (逆転: TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 0) TSG3nO1端子の出力波形を修正
		第21章 タイマパタンバッファ (TPBA)	
		1489	21.2 概要 タイトルの誤記を修正
1515	図 21.5 基本動作タイミング例 図を追加		
第22章 エンコーダタイマ (ENCA)			
1572	図 22.30 カウントクロック間のキャプチャ動作 (ENCAAnCCR1) INTENCAAn1 割り込み信号のENCATINT1を出力 → INTENCAAn1を出力に修正		
1573	図 22.31 カウントクロック間のキャプチャ動作 (ENCAAnCCR0) INTENCAAn0 割り込み信号のENCATINT0を出力 → INTENCAAn0を出力に修正		
第23章 ペリフェラルインタコネクション (PIC)			
1586	表 23.10 機能別使用レジスタ一覧 同時スタートトリガ機能、2相エンコーダ制御機能(制御方式3)、3相パルス入力制御機能、ENCA入力選択機能、TAUD入力選択機能、TSG出力とロウ/ハイ出力切り替え機能、Hi-Z制御機能の使用レジスタを修正		
1594	表 23.23 PIC1ATAUD0SEL レジスタの内容 表タイトルを修正 (レジスタ名)		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2015.09.10	1617	表23.39 PIC1AREG51レジスタの内容 PIC1AREG5107ビットの機能説明を修正 (TS0OPCI1信号 → TS1OPCI1信号)		
		1620	23.2.3.1 同時スタートトリガ機能 (5) フローチャートの説明文を修正 (スタートトリガ設定 → 同時スタートトリガ設定)		
		1710	23.3.2.2 PIC2BADCCnTSELx — ADコンバータnトリガ選択制御レジスタx 説明文を修正 (チャンネルグループ → スキャングループ)		
		1710	表23.41 PIC2BADCCnTSELxレジスタの内容 機能説明文を修正 (チャンネルグループ → スキャングループ)		
		1712	表23.42 PIC2BADCCnEDGSELレジスタの内容 機能説明文を修正 (チャンネルグループ → スキャングループ)		
		第24章 エンハンスドモータコントロールユニット (EMU2)			
		1719	章タイトルの下の説明文の誤記修正 (チャンネル → チャネル)		
		1719	表24.1 ユニット数 ユニット数を修正 (2 → 1(2チャンネル))		
		1719	表24.2 添字 nの意味を修正 (各ユニット → 各チャネル)		
		1722	図24.1 EMU2のブロック図 修正 (メモリ転送部を削除、添字nに修正)		
		1873	24.4.5 入力IP (4) dq軸電流変換 説明文を修正		
		第25章 R/Dコンバータ (RDC2)			
		全体	ビット名誤記修正 INTFj → INTFLGj、INTCj → INTCLRj		
		1932	表25.41 RDC2nCMINTレジスタの内容 ビット名誤記修正 (INTF2 → INTFLG2, INTF1 → INTFLG1, INTF0 → INTFLG0)		
		1955	図25.13 VRレゾルバ信号入力回路およびモニタ出力の等価回路図 修正 (Ω)		
		第26章 A/Dコンバータ (ADCC)			
		2026	26.5.4 端子レベル自己診断設定手順 説明文を修正		
		2030	26.7 注意事項 6.を追加		
		第27章 ファンクショナルセーフティ			
		2057	表27.28 レジスタ一覧 LR1STEADR0_PE1, LR1STEADR1_PE1, LR1STEADR2_PE1, LR1STEADR3_PE1, LR1STEADR0_PE2, LR1STEADR1_PE2, LR1STEADR2_PE2, LR1STEADR3_PE2レジスタを削除		
		2063	(6) LRSTCLR_PE1/PE2 — Local RAMステータスクリアレジスタ 説明文を修正 (エラーアドレスレジスタ(LR1STEADR)を削除)		
		2063	表27.34 LRSTCLRレジスタの内容 STCLR3ビットの機能説明文を修正 (LR1STEADR3レジスタを削除) STCLR2ビットの機能説明文を修正 (LR1STEADR2レジスタを削除) STCLR1ビットの機能説明文を修正 (LR1STEADR1レジスタを削除) STCLR0ビットの機能説明文を修正 (LR1STEADR0レジスタを削除)		
		—	(9) LR1STEADRn_PE1/PE2 — Local RAM 1stエラーアドレスレジスタn 削除		
		2082	表27.49 GR1STERSTRレジスタの内容 ビット位置4+8*n (EXSEDFn)の機能機能説明中の用語修正 (GRAM → Global RAM)		
		2096	(7) ITECCCTL_PE1/PE2 — 命令キャッシュタグRAM ECCコントロールレジスタ ビット配置図のビット位置1のR/Wを修正		
		2102	27.2.8 周辺RAM (32ビット) のECC 27.2.8.1 概要 アドレスキャプチャの説明文を修正		
		2106	表27.68 E710CTLレジスタの内容 ビット位置2 (ECER2F)、ビット位置1 (ECER1F)、ビット位置0 (ECEMF)の機能説明[クリア条件]を修正		
		2107	表27.69 E710TMCレジスタの内容 ビット位置4 (ECTRRS)の機能説明を修正		
		2115	表27.70 データパリティの対象となる転送経路 アクセス元 (CPU1, CPU2, DMAC, DTS)のアクセス先を修正 (DMA → DMAC)		
		2131	(4) MGDGRSCTL_VCI/PE1/PE2 — GRGコントロールレジスタ 添字nを削除		
		第28章 エラーコントロールモジュール (ECM)			
		全体	用語修正 (ノンマスカブル割り込み → FEレベル割り込み)		
		2217	28.5 注意事項 追加		
		第30章 オンチップデバッグユニット (OCD)			
		2227	30.1 デバッグ機能 (1) デバッグインタフェース 説明文を修正 (内蔵RAMデータ周辺レジスタ → 内蔵RAM・データ周辺レジスタ)		
		第31章 フラッシュメモリ			
		2250	図31.3 Data Flashメモリマッピング (64B × 512 構成) FF20 7E00 _H → FF20 7FC0 _H に修正		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2015.09.10	2251	表31.1 各モードの相違点 注1.追加		
		2257	図31.6 セルフプログラミング概念 用語修正 (FACIコマンド)		
		2264	表31.16 オプションバイト設定の領域 追加		
		第35章 電気的特性			
		2296	表35.12 DC特性 (消費電流: C1M) 条件を修正 (SYSVCC = PLLVCC = VCC = 3.0 ~ 3.6V → SYSVCC = VCC = 3.0 ~ 3.6V, VSS = PLLVSS = A0VSS = A1VSS = RVSS = 0V → VSS = A0VSS = A1VSS = RVSS = 0V)		
		2298	図35.2 EPT未使用時の電源投入/切断タイミング tPLL1L0を修正		
		2299	図35.3 EPT使用時の電源投入/切断タイミング tPLL1L0を修正		
		2302	表35.20 制御信号 注1.を修正		
		2303	表35.21 CSIHタイミング (マスタモード時) CSIHnSO 出力ホールド時間(tHSOM)を追加		
		2304	図35.7 CSIHタイミング (マスタモード) (1/4) tHSOMを追加		
		2308	表35.22 CSIHタイミング (スレーブモード時) CSIHnSO 出力ホールド時間(tHSOS)、スレーブ出力解放時間(tREL)を追加		
		2309	図35.8 CSIHタイミング (スレーブモード) (1/3) tHSOSを追加		
		2311	図35.8 CSIHタイミング (スレーブモード) (3/3) tRELを追加		
		2313	表35.24 SCI3タイミング (スレーブモード時) 送信データ遅延時間(tTXD)修正、注1.修正、注2.削除		
		2313	図35.11 SCI入出力タイミング/クロック同期式モード (スレーブモード時) 追加		
		2316	表35.29 JTAG, NEXUSタイミング tTDOD, tRDYDのMax.を修正 (tTCKcyc - 20 → tTCKW - 20)		
		2320	表35.33 RDC変換性能 最大角速度の12ビット分解能のMin.を修正 (240000(12000) → 240000(120000))		
		2322	表35.35 異常検出の特性 レゾルバ信号断線の設定レジスタの誤記修正 (RD2nCON.BDVTH = 1b → RDC2nCON.BDVTH = 1b)		
		1.20	2015.12.22	第1章 概要	
				51	図1.1 RH850/C1H内部ブロック図 備考を追加
52	図1.2 RH850/C1M内部ブロック図 備考を追加				
第3章 CPUシステム					
134	P-Bus 説明に参照先を追記				
135, 136	3.1.2 Peripheral Group 構成 追加				
158	表3.32 FPIPRレジスタの内容 ビット位置4~0 (FPIPR) の機能説明を修正				
160	表3.34 PMRレジスタの内容 ビット位置15~0 (PM15-0) の機能説明 (ビット15の優先度)を修正				
202	3.3.3.2 LDL.W/STC.W命令の動作 説明を修正、注1.を追加				
203	3.4.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合 例2.の説明に参照先を追記				
第6章 割り込み					
217	6.2.1 レジスタ構成 説明を修正 (周辺IP グループ0→Peripheral Group 0)				
233	6.4 割り込み例外ハンドラと優先順位動作説明 注意を追加				
第7章 DMA機能					
257	図7.4 DTSチャンネルアービトレーション 修正 (チャンネル1のDMA転送要求、DMA転送要求受付)				
258	7.2.2.3 インタフェースアービトレーション 説明を追記				
268	7.3.1 ソフトウェア制御によるDMA一時中断/再開 ビット名を修正、注意を追加				
268	7.3.2 DMACチャンネルの一時中断/再開および転送中止 説明を修正				
269, 270	7.3.3 DTSの一時中断/再開および転送中止 説明を修正、注1.を追加				
271	表7.5 一時中断/再開転送中止機能一覧 DMA一時中断/再開、DTS一時中断/再開の操作方法を修正 (ビット名)、注2.を追加				
293	表7.11 DMACTLレジスタの内容 注意を追加				
294	表7.12 DTSTCTL1レジスタの内容 注意を追加				
317	DTSチャンネルマスタ設定レジスタの推奨設定手順 説明 (ビット位置)を修正				
322	表7.42 DTCTnレジスタの内容 ビット位置27 (ESE) の機能説明 (ビット名)を修正				

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2015.12.22	第11章 クロック同期シリアルインタフェースH (CSIH)	
		417	表 11.24 CSIHnCFGxレジスタの内容 ビット位置14 ~ 12 (CSIHnIDX[2:0]) の機能説明を修正 (CSIHnCTL1.CSIHnSIT=1のときのアイドル時間を削除)
		494	表 11.43 レジスタ設定上の注意事項 CSIHnRX0W、CSIHnRX0Hレジスタの内容を修正
		第12章 シリアルコミュニケーションインタフェース3 (SCI3)	
		519	図 12.8 シリアル送信後にSCI3を停止するフローチャートの例 【注】を修正
		522	図 12.10 シリアル受信のフローチャートの例 (1) [1]の説明を修正
		527	図 12.15 マルチプロセッサシリアル受信のフローチャートの例 (1) [1]の説明を修正
		528	図 12.16 マルチプロセッサシリアル受信のフローチャートの例 (2) 【注】を修正
		534	図 12.22 シリアル送信後にSCI3を停止するフローチャートの例 【注】を修正
		536	図 12.24 シリアル受信のフローチャートの例 [1], [6]の説明を修正、【注】を修正
		538	図 12.25 シリアル送受信同時動作のフローチャートの例 【注】を修正
		542	12.5.6 クロック同期式モードの外部クロック入力 説明を修正
		第24章 エンハンスドモータコントロールユニット (EMU2)	
		1736	表 24.27 EMU2レジスタの機能一覧 (角度生成IP) EMU2n電気角生成用係数レジスタの符号 / データサイズを修正
		1748	24.3.7 EMU2nADTRG—EMU2n A/D 変換開始トリガ選択レジスタ (n = 0、1) レジスタ説明を修正 (レジスタ名)
		第26章 A/Dコンバータ (ADCC)	
		1979	表 26.11 ADCCnVCRj レジスタの内容 ビット位置5 ~ 0 (GCTRL[5:0]) の機能説明を修正
		2023	26.4.7.2 A/D変換回路自己診断機能 説明を修正
		2033	26.7.1 レジスタ設定上の注意事項 項タイトルを追加
		2034, 2035	26.7.2 注入電流印加時の注意事項 追加
		第27章 ファンクショナルセーフティ	
		2039	表 27.3 Code Flash 用ECCの概要 項目自己診断の説明を修正
		2059	表 27.25 CPU1 およびCPU2 のLocal RAM 用ECCの概要 項目アドレスキャプチャを削除
		2063	表 27.30 LRTSTCTLレジスタの内容 ビット位置5 ~ 2 (APTEST3 ~ APTEST0) の機能説明を修正 (WORD3 ~ WORD0 → バンク3 ~ バンク0)
		2069	表 27.36 LR1STERSTRレジスタの内容 ビット位置1+8n (DEDFn)、0+8n (SEDFn) の機能説明 (1機能のエラーフラグ) を修正
		2077, 2078	表 27.41 GRTSTCTLレジスタの内容 ビット位置7 ~ 4 (APTEST3 ~ APTEST0)、2 (DECINEN)、1, 0 (DATSEL) の機能説明を修正
		2079	表 27.42 GRDATBFnレジスタの内容 備考を追加
		2098	(5) ID1STERSTR_PE1/PE2—命令キャッシュデータRAM 1stエラーステータスレジスタ レジスタ説明を修正
		2104	(11) IT1STERSTR_PE1/PE2—命令キャッシュタグRAM 1stエラーステータスレジスタ レジスタ説明を修正
		2105	(12) IT1STEADR0_PE1/PE2—命令キャッシュタグRAM 1stエラーアドレスレジスタ レジスタ説明を修正
		2125	27.3 ロックステップ 説明を修正 (「インターコネクト」を追記)
		2140	表 27.94 FSGDxxDPROTnレジスタの内容 ビット位置4 (PROTDEB) の機能説明を修正
		2143	表 27.98 ERRSLVxxTYPEレジスタの内容 ビット位置15 ~ 13 (PEID[2:0])、9, 8 (SPID[1:0])、6 (UM)、4 ~ 1 (STRB[3:0])、0 (WRITE) の機能説明を修正
		2150	27.5.3.3 データカウンタ 注意を修正
		第28章 エラーコントロールモジュール (ECM)	
		2218	28.4.1 ERROROUT出力動作 説明を修正
		第31章 フラッシュメモリ	
		2272	31.11 注意事項 4.、5.の説明を修正
		第35章 電気的特性	
		2300	表 35.11 DC特性 (消費電流: C1H) アナログ電源電流 (A0VCC, A1VCC電源) を修正
		2301	表 35.12 DC特性 (消費電流: C1M) アナログ電源電流 (A0VCC, A1VCC電源) を修正
		2303	表 35.13 電源投入 / 切断タイミング PLL1 ロックアップ時間を修正
		2304	表 35.14 EPT使用時の電源投入 / 切断タイミング PLL1 ロックアップ時間を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2016.07.29	第2章 端子	
		77	(4) PMn — ポートモードレジスタ ビット配置図のビット名を修正
		77	表2.10 PMn レジスタの内容 ビット位置15~0のビット名を修正
		121	2.3.2.4 周辺機能DNF の設定手順 (4)の説明を修正
		第3章 CPUシステム	
		145	(e) PSW — プログラムステータスワード 説明を修正
		183	(b) PEGGnMK — PE ガード領域n マスク設定レジスタ 例を修正
		192	表3.74 IPGPMTUM4 レジスタの内容 ビット位置1 (W0)、0 (R0) の機能説明を修正
		194	表3.76 SEGCONT レジスタの内容 ビット位置8 (VCRE) の機能説明を修正 (注2を追加)
		195	表3.76 SEGCONT レジスタの内容 ビット位置4 (VCIE) の機能説明にエラー要因を追加、注2を追加
		198	(c) SEGADDR — エラー要因保持レジスタ (アドレス) 説明を修正
		203	3.4.1 ストア命令の完了と後続命令の同期化 説明を修正
		203, 204	3.4.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合 説明を修正
		204	3.4.1.3 Code Flashの領域を切り替える場合 追加
		第6章 割り込み	
		231	6.2.10 PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ PINTCLR4~PINTCLR7のビット名を修正
		250	表6.13 割り込み応答時間 (min.) 表タイトルを修正、内容 (対象、動作クロック、同期化、合計、CPU1内/CPU2内) を修正、備考を修正 (I _φ = CLK_CPUを追加)、注1.を追加
		第7章 DMA 機能	
		253	7.2.1.2 DMA サイクルの実行 説明を修正
		256	7.2.1.6 連続転送 説明の内容を修正
		269	7.3.2 DMAC チャンルの一時中断/再開および転送中止 説明を修正
		272	表7.5 一時中断/再開転送中止機能一覧 注3を追加
		273	7.4.2 DMA 転送エラー 説明を追加
		277	7.5.3 マスタ情報継承機能 説明を修正
		292	表7.10 グローバルレジスタアドレス一覧 DTSPR0~DTSPR7の意味を修正
		325	7.10.2.4 DTCTn — DMAC 転送制御レジスタ 注意1.の内容を修正
		338	図7.12 TI の構成 TI-Hの(reserved)を修正
		340	7.11.1.4 TI アクセスの際の注意点 説明を修正 (TI-Hのビット31 ~ 26→TI-Hのビット31 ~ 23)
		第8章 リセット	
		357	8.3 リセット要因 表中の要因と動作説明の内容を修正
		362	8.4.4 SWRESA — ソフトウェアリセット要求レジスタ 注1を修正
		第9章 電源回路	
		368	9.3.3 PROTOPHCMD — プロテクト0 コマンドレジスタ 説明を修正、注1.を追加
		第10章 クロックコントローラ	
		373	表10.2 クロックと機能モジュール 高速周辺クロックおよび低速周辺クロック (周辺クロック) のユニットを修正
		386	10.2.10 PROT1PHCMD — プロテクト1 コマンドレジスタ 注1を修正
		第11章 クロック同期シリアルインタフェースH (CSIH)	
		442	図11.14 チップセレクトとRCB の例 修正
		480	図11.51 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0 修正
		484	図11.53 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0 修正
		485	11.5.3.1 マスタモードでジョブモードが無効になっているときの送受信 手順6.および7.の説明を修正
		488	図11.55 デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE = 0 修正
		489	11.5.3.3 スレーブモードでジョブモードが無効になっているときの送受信 手順6.および7.の説明を修正
		496	表11.43 レジスタ設定上の注意事項 CSIHnRX0WおよびCSIHnRX0H レジスタの内容を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2016.07.29	第13章 LIN マスタインタフェース (RLIN2)	
		563	表 13.23 RLIN21nmLiMST レジスタの内容 ビット位置7~2 (予約ビット) の機能説明を修正
		567	13.3.3.11 RLIN21nmLiEST — LIN エラーステータスレジスタ PBERフラグ (フィジカルバスエラーフラグ) の説明を修正
		570	13.3.3.13 RLIN21nmLiIDB — LIN ID バッファレジスタ ビット名を修正 (パリティビット→パリティ設定ビット、IDビット→ID設定ビット)
		571	13.3.3.14 RLIN21nmLiCBBR — LIN チェックサムバッファレジスタ LINセルフテストモード時の説明を修正
		588	表 13.35 ステータスの種類 ヘッダ送信完了のステータスセット条件を修正
		第14章 CANインタフェース (RS-CAN)	
		603	図 14.1 RS-CAN モジュールのブロック図 修正
		639	14.3.5 RSCAN0CmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 3) BLFフラグの説明を修正
		681	14.3.31 RSCAN0CFCK — 送受信FIFOバッファコンフィギュレーション/制御レジスタ (k = 0 ~ 11) CFITRビットおよびCFITSSビットの説明を修正
		769	14.5.1.2 ビットタイミングの設定 説明を修正
		771	図 14.19 受信ルール設定手順 添字 (y = 0) を削除
		第17章 タイマアレユユニットD (TAUD)	
		857	表 17.33 TAUDnTOL レジスタの内容 ビット位置15~0 (TAUDnTOLm) の機能説明を修正
		994	表 17.121 チャネル連動出力モード1時の制御ビット設定 タイトルを修正
		1005	表 17.129 チャネル単体出力モード2の時の制御ビット設定 タイトルを修正
		1017	表 17.137 チャネル連動出力モード1時の制御ビット設定 タイトルを修正
		1045	表 17.160 チャネル連動出力モード1時の制御ビット設定 表タイトルを修正、TAUDnTOM.TAUDnTOMmおよびTAUDnTOC.TAUDnTOCmビットの設定を修正
		第18章 タイマアレユユニットJ (TAUJ)	
		1165	表 18.26 TAUJnTOL レジスタの内容 ビット位置3~0 (TAUJnTOLm) の機能説明を修正
		1234	表 18.66 チャネル連動出力モード1時の制御ビット設定 タイトルを修正
		第20章 タイマオブション (TAPA)	
		1485	20.4.1.5 操作手順 作動中の動作、および動作停止時のTAPAの状態の説明を修正
		第25章 R/D コンバータ (RDC2)	
		1928	表 25.30 RDC2nCON レジスタの内容 注3を修正
		1929	25.3.15 RDC2nBISTC — RDC2n BIST設定レジスタ (n = 0, 1) BEXEビットの説明を修正 (000 _B →0000 _B)
		1935	表 25.39 RDC2nERDET レジスタの内容 注3を追加
		1955	図 25.6 自己診断 (BIST) フロー 処理を追加、注1, 注2を追加および参照先を修正
		1959	図 25.11 RDC2初期動作フロー 処理を追加、注1~注4を追加
		第26章 A/D コンバータ (ADCC)	
		2038	表 26.49 レジスタ設定上の注意事項 対象レジスタを追加
		第27章 ファンクショナルセーフティ	
		2180	27.6.3.6 CLMATEST — CLMA セルフテストレジスタ ビット位置1 (MONCLKMSK) の機能説明を修正
		2182	27.6.4 異常クロック周波数の検出 検出方法2の説明を修正、注1を追加
		2184	27.6.5 自己診断 説明を修正
		第28章 エラーコントロールモジュール (ECM)	
		2191	表 28.8 エラー要因とセーフティ処理一覧 PE ガード機能 (PEG) モジュールのエラー要因を修正
		2193	表 28.9 エラー要因集約 PE ガード機能 (PEG) モジュールのエラー要因を修正
		2198	28.3.4 ECMmESSTR0 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ0 説明を修正
		2199	28.3.5 ECMmESSTR1 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ1 説明を修正
		第31章 フラッシュメモリ	
		2262	表 31.4 セキュリティ機能一覧 OTPの機能概要を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2016.07.29	第35章 電気的特性	
		2329	35.4 A/D変換器特性 「A/D変換器の外付け回路による誤差について」の説明を追加
		2331	表35.35 RDC アナログ端子の特性 注4を修正
1.40	2017.01.30	第8章 リセット	
		357	8.2.2 内部リセット状態 tINTRESの記述を削除
		第11章 クロック同期シリアルインタフェースH (CSIH)	
		417	表11.24 CSIHnCFGxレジスタの内容(2/5) CSIHnDLSx[3:0]ビットの機能：注意を変更
		第12章 シリアルコミュニケーションインタフェース3 (SCI3)	
		516	12.4.1.2 受信データサンプリングタイミングと受信マージン 誤記修正 (SABCS → ABCS)
		519	12.4.1.6 シリアルデータ送信 (調歩同期式) 「調歩同期式モードの送信許可時の動作に関する補足」を追加
		520	図12.7 シリアル送信のフローチャートの例 [1]の説明を修正 (High → High レベル (ブリアンブル))
		538	図12.24 シリアル受信のフローチャートの例 【注】を変更
		542	12.4.5 割り込み要因 注意を変更
		第17章 タイマレイユニットD (TAUD)	
		942	17.4.9.8 TAUDTTINm入力信号幅測定機能 (6) 特定の設定時のタイミング図：オーバフロー動作 (c) TAUDnCMORm.TAUDnCOS[1:0]=10 _B 説明を変更
		943	17.4.9.8 TAUDTTINm入力信号幅測定機能 (6) 特定の設定時のタイミング図：オーバフロー動作 (d) TAUDnCMORm.TAUDnCOS[1:0]=11 _B 説明を変更
		978	17.4.10.2 リアルタイム出力機能タイプ2 (6) 特定のタイミング図 (a) 動作の開始と停止 ビット名の誤記を修正
		1005	表17.131 ファンショットパルス出力機能時の操作手順 動作中のTAUDnの状態を変更
		1038	17.4.12.5 オフセットトリガ出力機能 (1) 概要 前提条件を変更
		1063	表17.172 スレーブチャネル2で割り込みが発生した際のTAUDTTOUTmの動作 TAUDnTDL.TAUDnTDLm=1のときのアップカウントのTAUDTTOUTmセット/リセットタイミングを修正
		1065	図17.106 デッドタイム付き三角波PWM出力機能の基本タイミング図 ビット名の誤記を修正
		1106	表17.211 非相補方式変調出力機能タイプ1時の操作手順(2/2) 動作中のTAUDnの状態を変更
		1110	17.4.13.2 非相補方式変調出力機能タイプ2 (2) 算出式 変更
		1125	17.4.13.3 相補方式変調出力機能 (2) 算出式 変更
		1137	表17.242 相補方式変調出力機能時の操作手順(2/2) 動作中のTAUDnの状態を変更
		第18章 タイマレイユニットJ (TAUJ)	
		1188	表18.33 インターバルタイマ機能のTAUJnCMORmレジスタの内容 TAUJnSTS[2:0]ビットの機能説明を変更
		1199	図18.22 立ち上がりTAUJTINm入力エッジ(TAUJnCMURm.TAUJnTIS[1:0]=01 _B)、TAUJnCMORm.TAUJnMD0=1でトリガされたカウンタ 変更
		1200	18.4.9.3 TAUJTINm入力パルスインターバル測定機能 (1) 概要 機能説明を変更
		1215	18.4.9.4 TAUJTINm入力信号幅測定機能 (6) 特定の設定時のタイミング図：オーバフロー動作 (c) TAUJnCMORm.TAUJnCOS[1:0]=10 _B 説明を変更
		1216	18.4.9.4 TAUJTINm入力信号幅測定機能 (6) 特定の設定時のタイミング図：オーバフロー動作 (d) TAUJnCMORm.TAUJnCOS[1:0]=11 _B 説明を変更
		1220	表18.56 TAUJTINm入力位置検出機能の操作手順 動作中の操作説明を変更
		1225	表18.60 TAUJTINm入力期間カウント検出機能の操作手順 動作中の操作説明を変更
		第19章 モータコントロールタイマ (TSG3)	
		1448	図19.108 HSP-PWMモード時の基本動作フロー 処理を変更
		第22章 エンコーダタイマ (ENCA)	
		1562	図22.17 オーバフローの発生とオーバフローフラグクリアの設定 ENCAAnCSFフラグの波形を変更
		1563	図22.18 アンダフローの発生とアンダフローフラグクリアの設定 ENCAAnCSFフラグの波形を変更
		1564	図22.19 エンコーダクリア入力 (ENCAAnEC端子) によるカウントクリアとキャプチャ動作のタイミング図 ENCAAnCSFフラグの波形を変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.40	2017.01.30	1565	図 22.20 オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合 ENCAnCSF フラグの波形を変更		
		1566	図 22.21 アンダフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合 ENCAnCSF フラグの波形を変更		
		1567	図 22.22 開始直後のオーバフロー動作 ENCAnCSF フラグの波形を変更		
		1568	図 22.23 開始直後のアンダフロー動作 ENCAnCSF フラグの波形を変更		
		1569	図 22.24 開始直後の ENCAnLDE 機能の利用 ENCAnCSF フラグの波形を変更		
		1570	図 22.25 ENCAnLDE 機能 (ENCAnLDE=0 の場合) ENCAnCSF フラグの波形を変更		
		1571	図 22.26 ENCAnLDE 機能 (ENCAnLDE=1 の場合) ENCAnCSF フラグの波形を変更		
		1572	図 22.27 ENCAnLDE 機能と ENCAnCCR0 レジスタの書き換えとの競合 ENCAnCSF フラグの波形を変更		
		1573	図 22.28 ENCAnLDE 機能とエンコーダクリア入力によるクリア動作との競合 ENCAnCSF フラグの波形を変更		
		1575	図 22.29 ENCAnLDE 機能とエンコーダクリアとの競合後のアップカウント ENCAnCSF フラグの波形を変更		
		1576	図 22.31 カウントクロック間のキャプチャ動作 (ENCAnCCR1) ENCAnCSF フラグの波形を変更		
		1577	図 22.31 カウントクロック間のキャプチャ動作 (ENCAnCCR0) ENCAnCSF フラグの波形を変更		
		1578	図 22.32 コンペア一致クリア制御有効かつ ENCAnCTS=0 のときのエンコーダの動作 ENCAnCSF フラグの波形を変更		
		1579	図 22.33 コンペア一致クリア制御有効かつ ENCAnCTS=1 のときのエンコーダの動作 ENCAnCSF フラグの波形を変更		
		1580	図 22.34 コンペア一致クリア制御無効時のエンコーダの動作 ENCAnCSF フラグの波形を変更		
		1581	図 22.35 ENCAnSCE=1 のときに ENCAnEC、ENCAnE0、ENCAnE1 によるクリアのタイミングで行われるキャプチャ動作 ENCAnCSF フラグの波形を変更		
		1585	図 22.40 ENCAnSCE=0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作 ENCAnCSF フラグの波形を変更		
		第 24 章 エンハンスドモータコントロールユニット (EMU2)		1878	図 24.12 PI 制御 IP の処理の流れ d/q 軸指令値の下の符号“-”の位置を変更
		第 29 章 データ CRC (DCRA)		2232	表 29.9 DCRAnCTL レジスタの内容 DCRAnPOL ビットの機能説明を変更
				2233	表 29.10 初期開始値の設定例 (リセット時にリードした場合の例) 16 ビット CCITT の初期開始値、EXOR 値、DCRAnCOUT リード値を変更
		付録 外形寸法図		2335, 2336	付録 外形寸法図 追加
		1.50	2017.06.23	第 13 章 LIN マスタインタフェース (RLIN2)	
				572	13.3.3.15 RLN21nmLiDBRb — LIN データバッファ b レジスタ レスポンス受信の場合の説明を変更
				第 19 章 モータコントロールタイマ (TSG3)	
				1371	図 19.57 HT-PWM モード時の基本動作フロー 備考: ビット名を変更 (TSG3nPRE → TSG3nPIE、TSG3nVRE → TSG3nVIE)
				第 25 章 R/D コンバータ (RDC2)	
				1916	表 25.12 RDC2nCGSEL レジスタの内容 (1/2) KVMS[1:0] ビットの機能説明を変更 (ACG 方式 → AGC 方式)
第 26 章 A/D コンバータ (ADCC)					
1982	表 26.11 ADCCnVCRj レジスタの内容 GCTRL[5:0] ビットの機能説明を変更 (参照先を追加)				
2038 ~ 2040	26.7.3 同時トラック & ホールド機能を使用する場合の注意事項 追加				
第 28 章 エラーコントロールモジュール (ECM)					
2213	表 28.29 ECMPCMD1 レジスタの内容 予約ビットの機能説明を変更				
2225	28.4.5.1 書き込み保護されたレジスタへの書き込みシーケンス 注 1. を追加				
1.60	2018.03.30	第 1 章 概要			
		49	表 1.2 製品一覧 型名を変更、前工程製造拠点を追加		
		第 2 章 端子			
92	表 2.24 PIPC レジスタの設定が必要な端子一覧 端子名を修正: CSIHnSCK → CSIHnSC				

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.60	2018.03.30	97	表 2.28 C1Hポートグループ3レジスタ一覧 PMCSR3レジスタのビットマップ7を修正		
		99	表 2.30 C1Hポートグループ5レジスタ一覧 (下表) ビットマップ25 (PDCC) を追加		
		105	表 2.38 C1Hポートグループ5 端子兼用機能一覧 P5_2の第4兼用/ALT_OUT4を修正		
		116	表 2.48 C1Mポートグループ0 端子兼用機能一覧 P0_9の第7兼用/ALT_OUT7を修正		
		116	表 2.49 C1Mポートグループ1 端子兼用機能一覧 P1_5の第6兼用/ALT_IN6を修正		
		第3章 CPUシステム			
		187	表 3.67 IPGECRUMレジスタの内容 ビット位置0 (VDビット) の機能: 変更		
		188	表 3.69 IPGENUMレジスタの内容 ビット位置0 (Eビット) の機能: 誤記を修正		
		194	表 3.76 SEGCONTレジスタの内容 (1/2) ビット位置8 (VCREビット) の機能: 説明を追加		
		195	表 3.76 SEGCONTレジスタの内容 (2/2) ビット位置4 (VCIEビット) の機能: 説明を追加		
		第6章 割り込み			
		218	6.2.1 レジスタ構成 レジスタへの書き込みについての説明を変更		
		第7章 DMA機能			
		287	表 7.8 DMA トリガ要因一覧 (4/4) DMACTRG125を修正		
		第10章 クロックコントローラ			
		372	10.1 RH850/C1xクロックコントローラの特長 本文を変更、注1: 説明を追加		
		373	表 10.1 クロッカー一覧 注1を追加		
		388	10.3.1 分周機能使用時の動作説明 本文を変更		
		第14章 CANインタフェース (RS-CAN)			
		748	14.4.2.2, (1) チャネルストップモード 本文を変更、ビット名を修正: GSLPRビット → CSLPRビット		
		第17章 タイマアレユユニットD (TAUD)			
		841	表 17.15 カウント再許可後のTAUDnCNTm リード値 「ゲートカウントモード」の項目を削除		
		845	表 17.16 TAUDnCMORm レジスタの内容 (3/3) ビット位置4~0(TAUDnMD[4:0])の機能: (動作モード指定の表)「設定禁止」の項目を削除 (2箇所)、表の下に「上記以外は設定禁止」を追記		
		887	表 17.44 カウンタがトリガされた場合のTAUDnCMORm.TAUDnMD0 ビットの INTTAUDnIm発生に対する影響 ゲートカウントモードを削除		
		998	17.4.12.2, (1) 概要 概要: 本文を変更		
		998	17.4.12.2, (1) 概要 前提条件: 説明を追加		
		998	17.4.12.2, (1) 概要 機能説明 (マスタチャネル): 説明を追加		
		1000	17.4.12.2, (3) ブロック図と基本タイミング図 本文: 説明を追加		
		1000	図 17.81 ワンショットパルス出力機能の基本タイミング図 (外部入力信号の場合) タイトルを変更		
		1001	図 17.82 ワンショットパルス出力機能の基本タイミング図 (ソフトウェアトリガの場合) 追加		
		第18章 タイマアレユユニットJ (TAUJ)			
		1158	表 18.15 TAUJnCMORm レジスタの内容 (3/3) ビット位置4~0 (TAUJnMD[4:0]) の機能: (動作モード指定の表)「設定禁止」の項目を削除 (5箇所)、表の下に「上記以外は設定禁止」を追記		
		第19章 モータコントロールタイマ (TSG3)			
		1258	19.3.8 TSG3nCTL7 — TSG3n 制御レジスタ7 本文: SP-PWM モード (TSG3nMD2-0 = 001) → SP-PWM モード (TSG3nMD2-0 = 010) に修正		
		1389	図 19.66 18 ビットカウンタ山タイミングでのリロード実行時の動作例 INTTSG3nI2 割り込みのタイミングを修正		
		1389	図 19.67 18 ビットカウンタ谷タイミングでのリロード実行時の動作例 INTTSG3nI1 割り込み → INTTSG3nI1 割り込み に修正、 INTTSG3nI1 割り込みのタイミングを修正		
		第24章 エンハンスドモータコントロールユニット (EMU2)			
		1777	表 24.59 EMU2nANGCTR レジスタの内容 ビット位置0 (PHISEL) の機能: EMUnRESTHSFT レジスタ → EMU2nRESTHSFT レジスタ に修正		
		1786	表 24.73 EMU2nCTRINMD レジスタの内容 注1: 誤記を修正		
		第25章 R/D コンバータ (RDC2)			
		1946	25.4.1.7 コンペアー一致割り込み 本文: 説明を追加		
		—	図 25.3 コンペアー一致割り込み要求信号タイミング図 削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2018.03.30	1947	図25.3 ヒステリシス機能OFFの場合のコンペアー致割り込み要求信号タイミング図 追加
		1947	図25.4 ヒステリシス機能ONの場合のコンペアー致割り込み要求信号タイミング図 追加
		1948	25.4.1.8 エンコーダパルス出力機能 本文：説明を追加
		—	図25.4 ABZ 出力例 削除
		—	図25.5 ヒステリシス出力例 削除
		1948	図25.5 ヒステリシス機能ONの場合のエンコーダ相当パルス動作波形 追加
		1948	図25.6 ヒステリシス機能OFFの場合のエンコーダ相当パルス動作波形 追加
		第26章 A/Dコンバータ (ADCC)	
		1976	図26.3 ADCC の機能ブロック図 スキャングループ4終了割り込み → スキャングループ4スキャン終了信号に変更
		1983	表26.12 ADCCnDRj レジスタの内容 注意を追加
		第27章 ファンクショナルセーフティ	
		2185	27.6.4, (2) しきい値レジスタの初期値入力の定義 本文を修正
		第28章 エラーコントロールモジュール (ECM)	
		2193	表28.8 エラー要因とセーフティ処理一覧 (2/2) 注13を追加
		第31章 フラッシュメモリ	
		2268	表31.9 FRDCYCLD レジスタの内容 注を追加
		第35章 電気的特性	
		2330	表35.33 C1M (R7F701271EAFP #**0) / C1H (R7F701270EABG #**0) のパラメータ タイトルを変更
		2330	表35.34 C1M (R7F701271EAFP #**4) / C1H(R7F701270EABG-C #**4) のパラメータ 追加

RH850/C1x ユーザーズマニュアル
ハードウェア編

発行年月日 2013年02月05日 Rev.0.10
2018年05月31日 Rev.1.60

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<https://www.renesas.com/contact/>

RH850/C1x