

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A040A/J	Rev.	第1版
題名	RX210 グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	RX210 グループ	対象ロット等	関連資料	RX210 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0037JJ0100)	
		全ロット			

RX210 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 109 of 1406

表 5.1 に以下のとおり電圧レギュレータ制御レジスタ (VRCR) を追加いたします。

【正】

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLK の場合	ICLK<PCLK の場合	
0008 00E3h	SYSTEM	電圧監視 2 回路/コンパレータ A2 ステータスレジスタ	LVD2SR	8	8	3ICLK		8 章、35 章
0008 0200h	SYSTEM	電圧レギュレータ制御レジスタ	VRCR	8	8	3ICLK		9 章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		12 章

•Page 115 to 117, 126 of 1406

表 5.1 の割り込み要因プライオリティレジスタ 000~249 (IPR000~IPR249)、およびポート入力データレジスタ (PIDR) のアクセス状態数を以下のとおり訂正いたします。

【誤】

モジュール シンボル	レジスタ名	レジスタ シンボル	アクセス状態数	
			ICLK ≥ PCLK の場合	ICLK < PCLK の場合
ICU	割り込み要因プライオリティレジスタ 000	IPR000	リード時 3ICLK、ライト時 2ICLK	
:	:	:	:	
ICU	割り込み要因プライオリティレジスタ 249	IPR249	リード時 3ICLK、ライト時 2ICLK	
PORT0	ポート入力データレジスタ	PIDR	2~3PCLKB	2ICLK
:	:	:	:	:
PORTJ	ポート入力データレジスタ	PIDR	2~3PCLKB	2ICLK

【正】

モジュール シンボル	レジスタ名	レジスタ シンボル	アクセスサイクル数	
			ICLK ≥ PCLK の場合	ICLK < PCLK の場合
ICU	割り込み要因プライオリティレジスタ 000	IPR000	2ICLK	
:	:	:	:	
ICU	割り込み要因プライオリティレジスタ 249	IPR249	2ICLK	
PORT0	ポート入力データレジスタ	PIDR	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、 ライト時 2ICLK
:	:	:	:	:
PORTJ	ポート入力データレジスタ	PIDR	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、 ライト時 2ICLK

•Page 133 of 1406

表 6.2 に「メインクロック発振器関連のレジスタ (MOFCR)」を以下のとおり追加いたします。

【正】

リセット対象	リセット要因								
	端子から のリセット	パワーオン リセット	電圧監視 0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイ マリセット	電圧監視 1 リセット	電圧監視 2 リセット	ディープ ソフトウェア スタンバイ リセット	ソフトウェア リセット
消費電力低減機能関連の レジスタ (DPSBYCR、DPSIER0、 DPSIER2、DPSIFR0、 DPSIFR2、DPSIEGR0、 DPSIEGR2、FHSSBYCR)	○	○	○	○	○	○	○	—	○
メインクロック発振器関連の レジスタ (MOFCR)	○	○	○	○	○	○	○	—	○
高速オンチップオシレータ関連 のレジスタ (HOCOPCR.HOCOPCNT)	○	○	○	○	○	○	○	—	○

•Page 149 of 1406

7.2.2 オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0]ビットの機能を以下のとおり訂正いたします。

【誤】

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出 0 レベル選択ビット ^(注1)	b1 b2 0 0: 3.80V を選択 0 1: 2.85V を選択 1 0: 1.90V を選択 1 1: 1.72V を選択	R

【正】

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出 0 レベル選択ビット ^(注1)	b1 b0 0 0: 3.80V を選択 0 1: 2.80V を選択 1 0: 1.90V を選択 1 1: 1.72V を選択	R

•Page 159 of 1406

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR) の説明本文を以下のとおり訂正いたします。

【誤】

電圧検出 1 回路と電圧検出 2 回路は、同じ検出電圧レベル設定で使用しないでください。電圧検出 0 回路の検出電圧レベルを 1.90V に設定する場合は、電圧検出 1 回路および電圧検出 2 回路の検出電圧レベルを **1.90V に設定しないでください。**

【正】

電圧検出 1 回路と電圧検出 2 回路は、同じ検出電圧レベル設定で使用しないでください。電圧検出 0 回路の検出電圧レベルを 1.90V に設定する場合は、**誤検知の可能性がりますので**、電圧検出 1 回路および電圧検出 2 回路の検出電圧レベルを **1.90V 以外に設定してください。**また、電圧検出 0 回路の検出レベルを **2.80V に設定する場合は、誤検知の可能性がりますので**、電圧検出 1 回路および電圧検出 2 回路の検出電圧レベルを **2.80V 以外に設定してください。**

•Page 178 of 1406

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3) の説明本文を以下のとおり訂正いたします。

【誤】

リセット解除後、低速オンチップオシレータで動作中、システムクロックのクロックソースを変更する場合、本レジスタに書き込む前に、**0008 0200h 番地**に“00h”を書き込んでください。

【書き込み手順】

- ① PRCR.PRC2 ビット対象レジスタへの書き込み許可
プロテクトレジスタ (PRCR) に“A504h”を書き込む
- ② **0008 0200h 番地**に“00h”を書き込む
- ③ PRCR.PRC2 ビット対象レジスタへの書き込み禁止
プロテクトレジスタ (PRCR) に“A500h”を書き込む

【正】

リセット解除後、低速オンチップオシレータで動作中、システムクロックのクロックソースを変更する場合、本レジスタに書き込む前に、**VRCR レジスタ**に“00h”を書き込んでください。

【書き込み手順】

- ① PRCR.PRC2 ビット対象レジスタへの書き込み許可
プロテクトレジスタ (PRCR) に“A504h”を書き込む
- ② **VRCR レジスタ**に“00h”を書き込む
- ③ PRCR.PRC2 ビット対象レジスタへの書き込み禁止
プロテクトレジスタ (PRCR) に“A500h”を書き込む

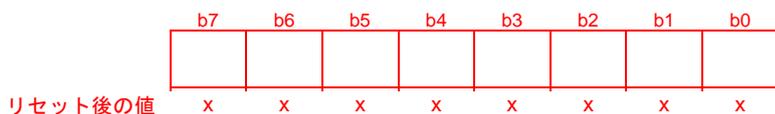
•Page 179 of 1406

「9.2.3 電圧レギュレータ制御レジスタ (VRCR)」を以下のとおり追加いたします。

【正】

9.2.3 電圧レギュレータ制御レジスタ (VRCR)

アドレス 0008 0200h



VRCR レジスタは、8 ビットの読み出し/書き込み可能なレジスタです。

リセット解除後、システムクロックのクロックソースを変更する前に、このレジスタに“00h”を書き込んでください。

•Page 191 of 1406

9.2.15 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR) の HOCOPCNT ビットに関する説明を以下のとおり訂正いたします。

【誤】

以下に該当する場合、HOCOPCNT ビットの値を書き換えしないでください。

- システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でクロックソースに HOCO を選択しているとき
- 動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で低速動作モード 1、あるいは低速動作モード 2 に設定しているとき

【正】

以下に該当する場合、HOCOPCNT ビットの値を書き換えしないでください。

- システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でクロックソースに HOCO を選択しているとき
- 動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で**高速動作モード、中速動作モード 2A、中速動作モード 2B**、低速動作モード 1、あるいは低速動作モード 2 に設定しているとき

•Page 193 of 1406

9.3.2 項本文、ならびに図 9.4 を以下のとおり訂正いたします。

【誤】

外部クロック入力の接続例を図 9.4 に示します。**XTAL** 端子をオープンにする場合、寄生容量は **5pF** 以下にしてください。

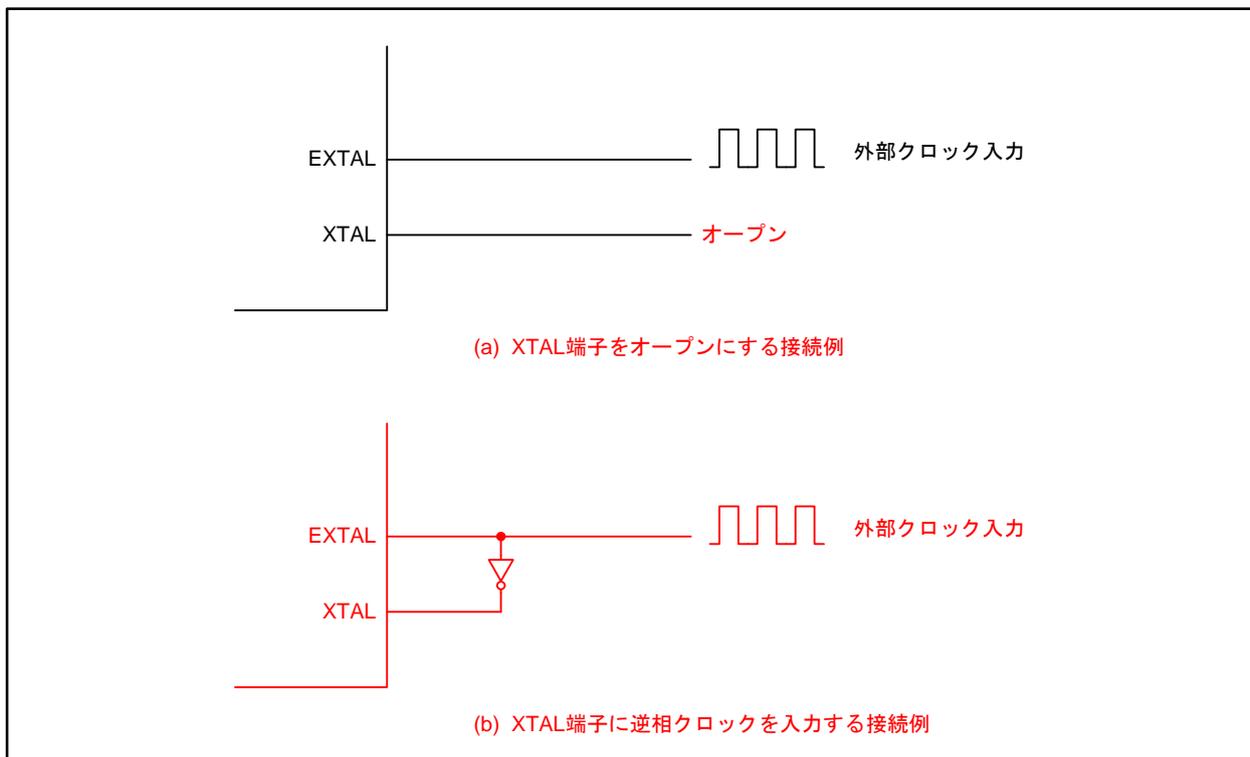


図 9.4 外部クロックの接続例

【正】

外部クロック入力の接続例を図 9.4 に示します。外部クロックを入力して動作させる場合には、**MOFCR.MOSEL** ビットを“1”にしてください。このとき **XTAL** 端子は、**Hi-Z** になります。

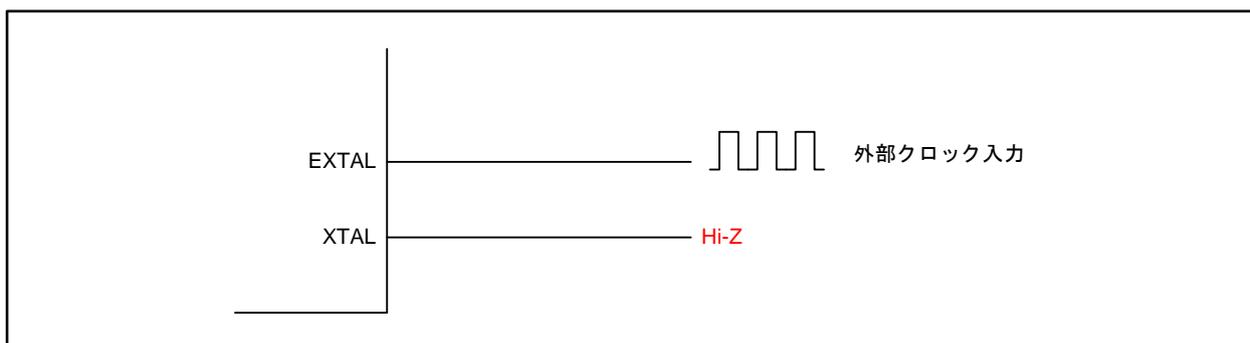


図 9.4 外部クロックの接続例

•Page 201 of 1406

9.8.5 項の 2 つ目の注意事項を以下のとおり訂正いたします。

【誤】

- サブクロックをシステムクロックとして使用する場合は、SOSCCR.SOSTP ビットで設定を行い、リアルタイムクロックのカウントソースとして使用する場合は、RCR3.RTCEN ビットで設定を行ってください。

【正】

- サブクロックをシステムクロックとして使用し、かつリアルタイムクロックのカウントソースとして使用する場合は、サブクロックの発振を開始し発振安定待機時間経過後に、SOSCWTCR.SSTS[4:0]ビットを“00000b”とする必要があります。そのためには初期設定として以下を実行してください。その後、「25.3.2 クロック設定手順」に記載されたクロック設定手順に従って設定してください。

【初期設定手順】

- ① サブクロックの発振安定待機時間^(注1)の経過待ち
- ② SOSCCR.SOSTP ビットに“1”を設定
- ③ SOSCCR.SOSTP ビットが“1”になっていることを確認
- ④ RCR3.RTCEN ビットに“0”を設定
- ⑤ RCR3.RTCEN ビットが“0”になっていることを確認
- ⑥ サブクロックで 5 サイクル以上の時間が経過するのを待つ
- ⑦ RCR3.RTCDV[2:0] ビットを設定
ここで RCR3.RTCDV[2:0] ビットを設定した場合、「25.3.2 クロック設定手順」で再度設定する必要はありません
- ⑧ SOSCWTCR.SSTS[4:0] ビットにサブクロック発振に必要な待ち時間を設定
- ⑨ SOSCCR.SOSTP ビットに“0” (サブクロック発振器動作) を設定
- ⑩ サブクロックの発振安定待機時間^(注1)の経過待ち
- ⑪ SOSCCR.SOSTP ビットが“0”に書き換わっていることを確認し、RCR3.RTCEN ビットに“1” (サブクロック発振器動作) を設定
- ⑫ RCR3.RTCEN ビットが“1”に書き換わっていること確認し、SOSCCR.SOSTP ビットに“1”を設定
- ⑬ SOSCCR.SOSTP ビットが“1”に書き換わっていることを確認し、サブクロックで 5 サイクル以上の時間が経過するのを待つ
- ⑭ SOSCWTCR.SSTS[4:0] ビットに“00000b”を設定
- ⑮ SOSCCR.SOSTP ビットに“0”を設定
- ⑯ サブクロックで 2 サイクル以上の時間が経過するのを待つ
- ⑰ SOSCCR.SOSTP ビットが書き換わっていることを確認

注 1. サブクロックの発振安定待機時間については「11.2.8 サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)」を参照してください。

•Page 201 of 1406

9.8.5 項に下記の注意事項を追加いたします。

【正】

- サブクロック発振器を動作させる場合、RCR3.RTCDV[2:0]ビットの設定も必要です。また、RCR3.RTCDV[2:0]ビットの設定は、サブクロック発振器停止中に行ってください。動作中の書き換えは禁止です。

•Page 244 of 1406

11.5.1 項の移行手順例を以下のとおり訂正いたします。

【誤】

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

例：高速動作モードから低速動作モード1への切替

(切り替え前の動作電力制御モードでの高速動作)

↓

HOCO クロックから LOCO クロックへの切り替え設定 (クロックソース、分周比)

↓

OPCCR レジスタへの書き込み

↓

(切り替え後の動作電力制御モードでの低速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

例：低速動作モード2から高速動作モードへの切替

(切り替え前の動作電力制御モードでの低速動作)

↓

OPCCR レジスタへの書き込み

↓

LOCO クロックから HOCO クロックへの切り替え設定 (クロックソース、分周比)

↓

(切り替え後の動作電力制御モードでの高速動作)

【正】

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

例：高速動作モードから低速動作モード1への切替

(切り替え前の動作電力制御モードでの高速動作)

↓

HOCO クロックから LOCO クロックへの切り替え設定 (クロックソース、分周比)

↓

OPCCR レジスタへの書き込み

↓

OPCCR.OPCMTSF フラグが“0”であることの確認

↓

(切り替え後の動作電力制御モードでの低速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

例：低速動作モード2から高速動作モードへの切替

(切り替え前の動作電力制御モードでの低速動作)

↓

OPCCR レジスタへの書き込み

↓

OPCCR.OPCMTSF フラグが“0”であることの確認



LOCO クロックから HOCO クロックへの切り替え設定 (クロックソース、分周比)



(切り替え後の動作電力制御モードでの高速動作)

•Page 250 of 1406

11.6.3.2 項の「割り込みによる解除」の本文を以下のとおり訂正いたします。

【誤】

• 割り込みによる解除

NMI、IRQ0～IRQ7、RTC アラーム、RTC 周期、IWDT および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。そして発振器ごとに MOSCWTCR.MSTS[4:0]ビット、SOSCWTCR.SSTS[4:0]ビット、PLLWTCR.PSTS[4:0]ビットで設定した時間が経過した後、安定したクロックが LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

【正】

• 割り込みによる解除

NMI、IRQ0～IRQ7、RTC アラーム、RTC 周期、IWDT および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0]ビット、SOSCWTCR.SSTS[4:0]ビット、HOCOWTCR2.HSTS2[4:0]ビット、PLLWTCR.PSTS[4:0]ビットで設定した各発振器の発振安定待機時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

•Page 477 of 1406

19.3.7 プルアップ制御レジスタ (PCR) の説明本文を以下のとおり訂正いたします。

【誤】

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

PCR レジスタは、ディープソフトウェアスタンバイになってもプルアップ状態を保持します。

外部バス端子、汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

【正】

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

PCR レジスタは、ディープソフトウェアスタンバイモードになってもプルアップ状態を保持します。

WAIT#端子を除く外部バス端子、汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

•Page 479 of 1406

表 19.3 の汎用入出力ポートに関する処理内容を以下のとおり訂正いたします。

【誤】

端子名	処理内容
ポート 0~5 ポート A~E、H、J	端子ごとに抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン)

【正】

端子名	処理内容
ポート 0~5 ポート A~E、H、J	<ul style="list-style-type: none"> • 入力に設定 (PORTn.PDR ビット="0") し、1 端子ごとに抵抗を介して VCC に接続 (プルアップ)、または 1 端子ごとに抵抗を介して VSS に接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDR ビット="1") し、端子を開放 (注1)(注2)

注 1. PORTn.PMR ビットを“0”、および PmnPFS.ISEL, ASEL ビットを“0”にしてください。

注 2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

•Page 665 of 1406

「21.6.24 MTU5.TCNT と MTU5.TGR の注意事項」を以下のとおり追加いたします。

【正】

21.6.24 MTU5.TCNT と MTU5.TGR の注意事項

MTU5.TCNTm (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGRm に“MTU5.TCNTm 値 + 1”の値を設定しないでください。MTU5.TCNTm のカウント動作を停止した状態で、MTU5.TGRm に“MTU5.TCNTm 値 + 1”の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5m ビット) が“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNTm は、コンペアマッチ割り込みの禁止/許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

•Page 715 of 1406

表 23.2 のカウンタクリアの欄を以下のとおり訂正いたします。

【誤】

項目	ユニット 0			ユニット 1		
	8 ビット		16 ビット	8 ビット		16 ビット
チャンネル	TMR0	TMR1	TMR0+TMR1	TMR2	TMR3	TMR2+TMR3
カウンタクリア	TMR0.TCORA TMR0.TCORAB TMRIO	TMR0.TCORA TMR0.TCORAB TMR1	TMR0.TCORA+ TMR1.TCORA TMR0.TCORB+ TMR1.TCORB TMRIO	TMR2.TCORA TMR2.TCORAB TMR12	TMR3.TCORA TMR3.TCORAB TMR11	TMR2.TCORA+ TMR3.TCORA TMR2.TCORB+ TMR3.TCORB TMRIO

【正】

項目	ユニット 0			ユニット 1		
	8 ビット		16 ビット	8 ビット		16 ビット
チャンネル	TMR0	TMR1	TMR0+TMR1	TMR2	TMR3	TMR2+TMR3
カウンタクリア	TMR0.TCORA TMR0.TCORB TMRIO	TMR1.TCORA TMR1.TCORB TMR1	TMR0.TCORA+ TMR1.TCORA TMR0.TCORB+ TMR1.TCORB TMRIO	TMR2.TCORA TMR2.TCORB TMR12	TMR3.TCORA TMR3.TCORB TMR13	TMR2.TCORA+ TMR3.TCORA TMR2.TCORB+ TMR3.TCORB TMR12

•Page 753 of 1406

表 25.2 の XCIN、XCOUT 端子の機能欄を以下のとおり訂正いたします。

【誤】

端子名	入出力	機能
XCIN	入力	RTC 用に 32.768kHz の水晶振動子を接続します。また、XCIN 端子は外部クロックを 入力することもできます
XCOUT	出力	

【正】

端子名	入出力	機能
XCIN	入力	RTC 用に 32.768kHz の水晶振動子を接続します。
XCOUT	出力	

•Page 770 of 1406

25.2.19 RTC コントロールレジスタ 3 (RCR3) の RTCDV[2:0]ビットに関する説明を以下のとおり訂正いたします。

【誤】

RTCDV[2:0]ビット (サブクロック発振器ドライブ能力制御ビット)

サブクロック発振器のドライブ能力を制御します。

オンチップデバッグエミュレータを接続した状態で RTCDV[2:0]ビットに 001b (低 CL 用ドライブ能力) に設定するとサブクロック発振器の発振精度に影響がでるためご注意ください。RCR3.RTCDV[2:0]ビットに 110b (標準 CL 用ドライブ能力) に設定すると発振精度に影響はありません。

【正】

RTCDV[2:0]ビット (サブクロック発振器ドライブ能力制御ビット)

サブクロック発振器のドライブ能力を制御します。標準 CL の水晶発振子を接続する場合は“110b”(標準 CL 用ドライブ能力)、低 CL の水晶発振子を接続する場合は“001b”(低 CL 用ドライブ能力)を設定してください。RTCDV[2:0]ビットの設定は、SOSCCR.SOSTP ビットが“1”、かつ RCR3.RTCEN ビットが“0”のときに行ってください。

(1) 低 CL 水晶発振子の使用に関する注意事項

RCR3.RTCDV[2:0]ビットを“001b”(低 CL 用ドライブ能力)にした場合、ノイズの影響を受けやすくなります。特に、XCIN 端子や XCOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。低 CL 水晶発振子を使用した基板を作成する際には、アプリケーションノート「低 CL サブクロック回路のデザインガイド」(R01AN1012JJ)を参考に、ノイズ対策を実施してください。

発振精度に与える影響が大きい例を以下に示します。

- FINED 端子にオンチップデバッグエミュレータを接続する場合

FINED 端子(FINE インタフェース端子)は、XCIN 端子、XCOUT 端子の近傍に存在するため、この端子を使用してデバッグを行うと、サブクロック発振器の発振精度に影響します。FINED 端子を使用してデバッグを行う際は、低 CL 水晶発振子はそのままで、RCR3.RTCDV[2:0]ビットに“110b”(標準 CL 用ドライブ能力)を設定してください。ただし、この対策は、発振子の信頼性に影響を与える可能性があるため、オンチップデバッグエミュレータを使用するときのみ実施し、量産プログラムでは、“001b”(低 CL 用ドライブ能力)に戻してください。

- メインクロック発振器に外部クロックを供給する場合

EXTAL 端子に外部クロックを入力すると、サブクロック発振器の発振精度に影響を与える可能性があります。

- Page 844 of 1406

28.2.6 シリアルコントロールレジスタ (SCR) (1)シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) のレジスタ表の注 2 を以下のとおり訂正いたします。

【誤】

注 2. SMR.CM ビットが “1” のときは、TE ビット=0、RE ビット=0 の場合のみ “1” を書き込み可能です。

一度、TE、RE ビットのいずれかを “1” に設定した後は、TE ビット=0、RE ビット=0 の書き込みのみ可能になります。SMR.CM ビットが “0” のときは、任意のタイミングで書き込みが可能です。

【正】

注 2. SMR.CM ビットが “1” のときは、TE ビット=0、RE ビット=0 の場合のみ “1” を書き込み可能です。

一度、TE、RE ビットのいずれかを “1” に設定した後は、TE ビット=0、RE ビット=0 の書き込みのみ可能になります。SMR.CM ビットが “0” かつ SIMR1 の IICM ビットが “0” のときは、任意のタイミングで書き込みが可能です。

•Page 848 of 1406

28.2.7 シリアルステータスレジスタ (SSR) の TEND フラグ (トランスミットエンドフラグ) の ["0"になる条件] を以下のとおり訂正いたします。

【誤】

["0"になる条件]

- SCR.TE ビットが"1"の状態 で TDR レジスタへ送信データを書き込んだとき
TDR レジスタへの送信データの書き込みにより TEND フラグをクリアしたときは、**TEND フラグをリードして"0"であることを確認してください。**

【正】

["0"になる条件]

- SCR.TE ビットが"1"の状態 で TDR レジスタへ送信データを書き込んだとき
TDR レジスタへの送信データの書き込みにより TEND フラグをクリアしたときは、**以下の順序で SSR レジスタをダミーリードしてください。**
 - (1) TDR レジスタに送信データを書く
 - (2) SSR レジスタを汎用レジスタに読み出す
 - (3) 読み出した値を使って何らかの演算を実行する

•Page 890 of 1406

図 28.10 の[4]の説明文を以下のとおり訂正いたします。

【誤】

- [4] シリアル送信の終了時にブ레이크を出力：
シリアル送信時にブ레이크を出力するときには、TXDn 端子に対応する I/O ポート機能を設定 (**Low レベル出力に設定した後に、SCR.TE ビットを"0"に設定します。**)

【正】

- [4] シリアル送信の終了時にブ레이크を出力：
シリアル送信時にブ레이크を出力するときには、TXDn 端子に対応する I/O ポート機能を設定 (**Low 出力に設定) し、TXDn 端子を汎用入出力ポート機能に切り替えた後、SCR.TE ビットを"0"に設定します。**)

•Page 954 of 1406

28.13.3 項本文を以下のとおり訂正いたします。

【誤】

SCR.TE ビットが“0”(シリアル送信動作を禁止) のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレイクを送出することができます。SCR.TE ビットを“1”(シリアル送信動作を許可) に設定するまで、通信回線をマーク状態(1 の状態) にするためには、I/O ポート機能により TXDn 端子を“1”を出力に設定します。一方、データ送信時にブレイクを送出したいときは、I/O ポート機能設定により TXDn 端子を“0”を出力に設定した後、SCR.TE ビットを“0”に設定します。SCR.TE ビットを“0”に設定すると現在の送信状態とは無関係に送信部は初期化され、TXDn 端子は I/O ポートになり、TXDn 端子からは I/O ポート機能の設定に従い“0”または“1”が出力されます。

【正】

SCR.TE ビットが“0”(シリアル送信動作を禁止) のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレイクを送出することができます。SCR.TE ビットを“1”(シリアル送信動作を許可) に設定するまで、通信回線をマーク状態(1 の状態) にするためには、I/O ポート機能により TXDn 端子を“1”を出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレイクを送出したいときは、I/O ポート機能設定により TXDn 端子を“0”を出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを“0”に設定すると現在の送信状態とは無関係に送信部は初期化されます。

•Page 955 of 1406

28.13.9 項 (1) の 1 段落目を以下のとおり訂正いたします。

【誤】

モジュールストップ状態への設定、またはソフトウェアスタンバイモードへの遷移は、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットをクリアすることによって、TSR、TDR および SSR レジスタはリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

【正】

モジュールストップ状態への設定、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグはリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

•Page 956 of 1406

図 28.69 に以下のとおり [2] の手順を追加いたします。

【誤】

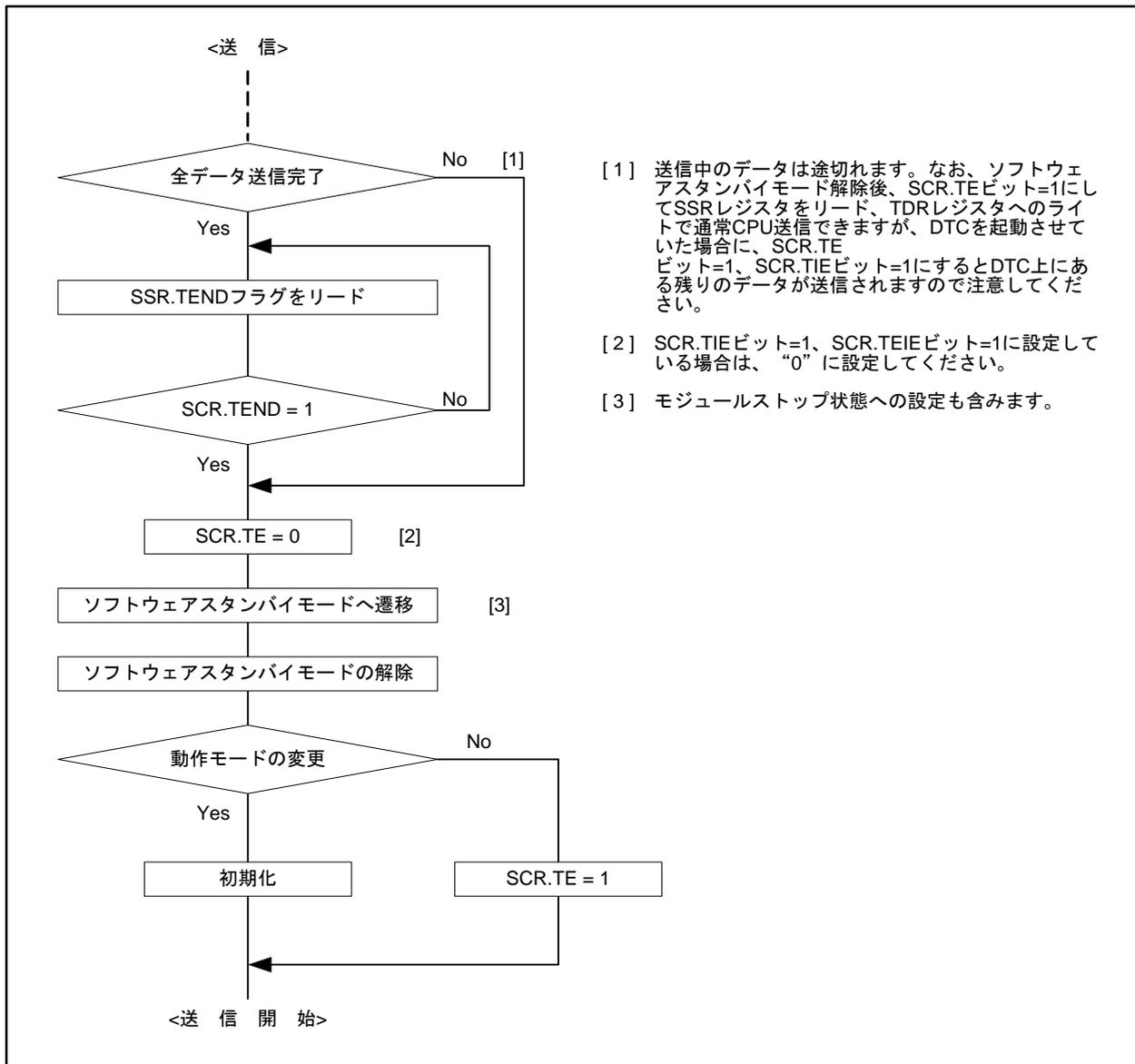
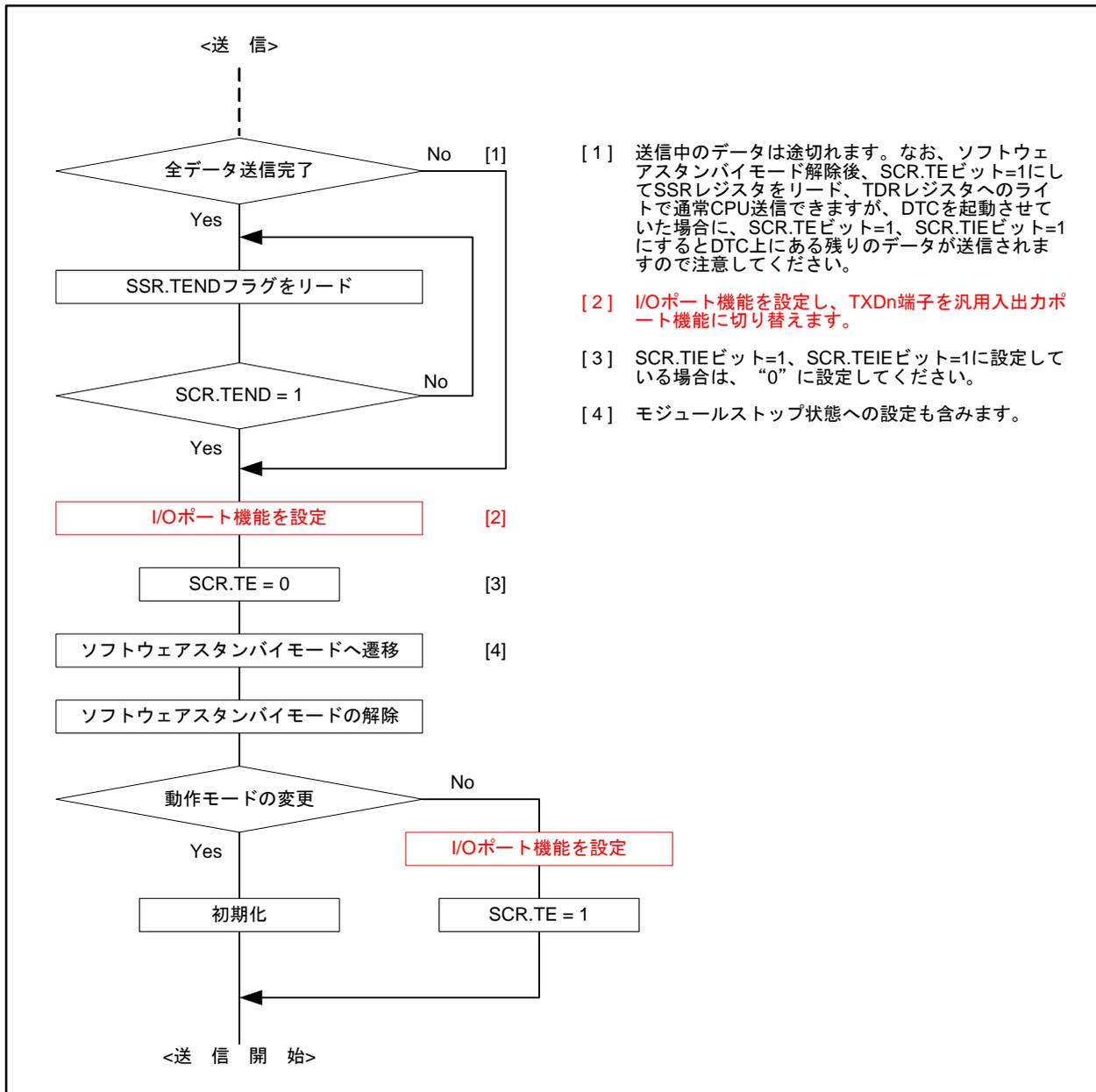


図 28.69 送信時のソフトウェアスタンバイモード遷移フローチャートの例

【正】



- [1] 送信中のデータは途切れます。なお、ソフトウェアスタンバイモード解除後、SCR.TEビット=1にしてSSRレジスタをリード、TDRレジスタへのライトで通常CPU送信できますが、DTCを起動させていた場合に、SCR.TEビット=1、SCR.TIEビット=1にするとDTC上にある残りのデータが送信されずので注意してください。
- [2] I/Oポート機能を設定し、TXDn端子を汎用入出力ポート機能に切り替えます。
- [3] SCR.TIEビット=1、SCR.TEIEビット=1に設定している場合は、“0”に設定してください。
- [4] モジュールストップ状態への設定も含まれます。

図 28.69 送信時のソフトウェアスタンバイモード遷移フローチャートの例

•Page 1272 of 1406

表 39.9 の不正コマンドエラーの 11 行目の内容を以下のとおり訂正いたします。

【誤】

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
不正コマンドエラー	プログラムコマンドの 2 サイクル目で 80h 以外を指定	1	0	0	0	0

【正】

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
不正コマンドエラー	プログラムコマンドの 2 サイクル目で 01h、04h、40h 以外を指定	1	0	0	0	0

•Page 1300 of 1406

39.13 節 (2) の本文を以下のとおり訂正いたします。

【誤】

(2) プログラム/イレーズサスペンドによる中断

プログラム/イレーズサスペンドコマンドによってプログラム/イレーズ処理を中断した場合は、レジュームコマンドにより動作を完了させてください。レジュームコマンド発行後 20µs 以内 (FCLK = 25MHz 時) に、再びプログラム/イレーズコマンドを発行しないでください。

【正】

(2) プログラム/イレーズサスペンドによる中断

プログラム/イレーズサスペンドコマンドによってプログラム/イレーズ処理を中断した場合は、レジュームコマンドにより動作を完了させてください。

•Page 1300 of 1406

39.13 節 (4) の本文を以下のとおり訂正いたします。

【誤】

(4) プログラム/イレーズ中のリセット

プログラム/イレーズ中にリセット (RES#端子リセット、LVD0~LVD2、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット) が発生しないようにしてください。フラッシュメモリにダメージを与える可能性があります。やむを得ずRES#端子からのリセットを入力する場合は、tRESWF (「41. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。

プログラム/イレーズ中にFRESETR.FRESETビットによりFCUをリセットする場合、またはWDTのオーバフローによる内部リセットを行う場合は、リセット状態をtRESW2 (「41. 電気的特性」を参照) の時間保持してください。FCUをリセットしている期間はROMの読み出しを行わないでください。

【正】

(4) プログラム/イレーズ中のリセット

プログラム/イレーズ中にRES#端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内でtRESWF (「41. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。

プログラム/イレーズ中にFRESETR.FRESETビットによりFCUをリセットする場合は、リセット状態をtFCUR (「41. 電気的特性」を参照) の時間保持してください。FCUをリセットしている期間は、プログラム/イレーズ対象のROMの読み出しを行わないでください。

プログラム/イレーズ中のWDTリセット、IWDTリセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。

•Page 1300 of 1406

39.13 節 (5) の本文を以下のとおり訂正いたします。

【誤】

(5) プログラム/イレーズ中のノンマスクابل割り込み禁止

プログラム/イレーズ中にノンマスクابل割り込み (NMI端子割り込み、LVD1、LVD2、発振停止検出、独立ウォッチドッグタイマ、ウォッチドッグタイマ) が発生すると、ROMからのベクタのフェッチが発生し、不定データが読み出されます。このため、ROMへのプログラム/イレーズ中にノンマスクابل割り込みが発生しないようにしてください。

【正】

(5) プログラム/イレーズ中のノンマスクابل割り込み禁止

プログラム/イレーズ中にノンマスクابل割り込み (NMI端子割り込み、発振停止検出割り込み、WDTアンダフロー/リフレッシュエラー、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込み) が発生すると、ROMからのベクタのフェッチが発生し、不定データが読み出されます。このため、ROMへのプログラム/イレーズ中にノンマスクابل割り込みが発生しないようにしてください (本禁止事項はROMにのみ適用されます)。

•Page 1300 of 1406

39.13 節 (8) の本文を以下のとおり訂正いたします。

【誤】

(8) プログラム/イレーズ中の異常終了

プログラム/イレーズ中のリセット、FRESETR.FRESET ビットによるリセット、およびエラー検出によるコマンドロック状態により、プログラム/イレーズが正常に終了しなかった場合、ロックビットが“0”(プロテクト状態) になっている場合があります。この場合 FPROTR.FPROTCN ビットに“1”をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。

【正】

(8) プログラム/イレーズ中の異常終了

プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項(9)の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、ロックビットが“0”(プロテクト状態) になっている場合があります。この場合 FPROTR.FPROTCN ビットに“1”をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

•Page 1301 of 1406

39.13 節 (9) の本文を以下のとおり訂正いたします。

【誤】

(9) プログラム/イレーズ中の禁止事項

プログラム/イレーズ中はフラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- RX210の電源を動作電圧以下にする。
- FWEPROR.FLWE[1:0]ビットの値を更新する。
- SYSCR0.ROMEビットの設定により、動作モードを変更する。
- OPCCR.OPCM[2:0]ビットの値を更新する。
- SCKCR3レジスタのクロックソース選択ビットを変更する。
- RSTCKCR.RSTCKENビットの設定により、スリープモード復帰時のクロックソース切り替えを有効にする。
- FlashIFクロック (FCLK) の分周比を変更する。
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する。

【正】

(9) プログラム/イレーズ中の禁止事項

プログラム/イレーズ中はフラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- RX210の電源を**動作電圧範囲外**にする。
- FWEPROR.FLWE[1:0]ビットの値を更新する。
- SYSCR0.ROMEビットの設定により、動作モードを変更する。
- OPCCR.OPCM[2:0]ビットの値を更新する。
- SCKCR3レジスタのクロックソース選択ビットを変更する。
- **ELSR28レジスタにより「クロックソースをLOCOへ切り替え」を設定し、このイベントを発生させる。**
- RSTCKCR.RSTCKENビットの設定により、スリープモード復帰時のクロックソース切り替えを有効にする。
- FlashIFクロック (FCLK) の分周比を変更する。
- **FCLKと異なる周波数をPCKARレジスタに設定する。**
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する。

•Page 1325 of 1406

表 40.7 の「不正コマンド」の分類名および内容を以下のとおり訂正いたします。

【誤】

分類	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	DFLWPE
不正コマンド	プログラムコマンドの2サイクル目で 04h、40h 以外を指定	1	0	0	0	0	0

【正】

分類	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	DFLWPE
不正コマンド エラー	プログラムコマンドの2サイクル目で 01h、04h 以外を指定	1	0	0	0	0	0