

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	システムLSI	発行番号	TN-RIN-A027A/J	Rev.	第1版
題名	R-IN32M3シリーズ 各種ドキュメント改訂		情報分類	技術情報	
適用製品	R-IN32M3 シリーズ (詳細は下記参照)	対象ロット等	関連資料	R-IN32M3 シリーズ 各ドキュメント (詳細は下記参照)	
		全ロット			

R-IN32M3 シリーズ各ドキュメントの改訂について報告いたします。

お手数をおかけしますが、本内容についてご確認の上、ご使用くださいますようお願い致します。

なお、“※” マークがついている項目は、デバイスの仕様、制約等に関する重要な項目となります。

1 適用製品

製品分類		マーク型名	製品型名
R-IN32M3-EC	旧製品	MC-10287F1	MC-10287F1-HN4-A MC-10287F1-HN4-M1-A
	現行品	MC-10287BF1	MC-10287BF1-HN4-A MC-10287BF1-HN4-M1-A
R-IN32M3-CL	旧製品	D60510F1	UPD60510F1-HN4-A UPD60510F1-HN4-M1-A
	現行品	D60510BF1	UPD60510BF1-HN4-A UPD60510BF1-HN4-M1-A

2 関連資料

資料番号	資料名	文書番号	改訂前版数	改訂後版数
1	R-IN32M3 シリーズ データ・シート	R18DS0007JJ****	V4.01	V5.00
2	R-IN32M3-CL ユーザーズ・マニュアル	R18UZ0004JJ****	V3.01	V4.00
3	R-IN32M3-EC ユーザーズ・マニュアル	R18UZ0002JJ****	V4.01	V5.00
4	R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編	R18UZ0006JJ****	V10.00	V11.00
5	R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編	R18UZ0018JJ****	V3.00	V4.00
6	R-IN32M3 シリーズ プログラミング・マニュアル ドライバ編	R18UZ0008JJ****	V5.00	V6.00
7	R-IN32 シリーズ ユーザーズ・マニュアル CC-Link リモートデバイス局編	R18UZ0055JJ****	V1.01	V1.02

3 改訂内容

(1/2)

資料番号	改訂番号	改訂箇所（見出し番号）	該当ページ (改版前版番号)	内容
1	1-1	1.3 機能概要	Page 3	補足
1	1-2	1.5 メモリ・マップ	Page 6~7 Page 10~11	注記追加
1	1-3	1.5 メモリ・マップ	Page 6~7	誤記訂正
1	1-4	1.5 メモリ・マップ	Page 10~11	誤記訂正
1	1-5	2.3.5 ポート端子、リアルタイム・ポート端子	Page 22	誤記訂正
1	1-6	2.3.15 CC-Link (インテリジェントデバイス局)	Page 30	誤記訂正
1	1-7	4.2 絶対最大定格	Page 68	補足
1	1-8	4.3 推奨動作範囲	Page 69	補足
1	1-9	4.8.4 外部マイコン・インタフェース端子 ※ (3) 非同期モード	Page 89 Page 91	補足
1	1-10	4.8.5 シリアル・フラッシュ ROM インタフェース ※	Page 96	誤記訂正
2	2-1	1.5 システム・レジスタ領域のベース・アドレス	-	補足
2	2-2	2.1.4 ポート端子、リアルタイム・ポート端子	Page 12	誤記訂正
2	2-3	2.1.14 CC-Link 端子 (インテリジェントデバイス局)	Page 19	誤記訂正
2	2-4	3 メモリ・マップ	Page 40 Page 43	注記追加
2	2-5	7.2 ポートの構成	Page 57	表記変更
2	2-6	7.2 ポートの構成	Page 57	注記変更
2	2-7	7.4 兼用機能の選択一覧	Page 83	誤記訂正
3	3-1	1.5 システム・レジスタ領域のベース・アドレス	-	補足
3	3-2	2.1.14 CC-Link 端子 (インテリジェントデバイス局)	Page 20	誤記訂正
3	3-3	3 メモリ・マップ	Page 40 Page 43	注記追加
3	3-4	8.2 ポートの構成	Page 181	表記変更
3	3-5	8.2 ポートの構成	Page 181	注記変更
4	4-1	2.4 リセット動作	Page 2-9	補足
4	4-2	5.1 ブート選択 (2)外部メモリ・ブート・モード	Page 5-1	表記変更
4	4-3	7.3.4.1 MIIM レジスタ (GMAC_MIIM)	Page 7-9	表記変更
4	4-4	7.3.4.5 RX MODE レジスタ (GMAC_RXMODE)	Page 7-13	誤記訂正
4	4-5	7.3.4.6 TX MODE レジスタ (GMAC_TXMODE)	Page 7-14	誤記訂正
4	4-6	7.3.4.6 TX MODE レジスタ (GMAC_TXMODE)	Page 7-14	誤記訂正
4	4-7	7.4.1.2 ハードウェア・ファンクション・コール発行処理フロー※	Page 7-31	補足
4	4-8	7.4.1.3 Buffer Allocator	Page 7-32	誤記訂正
4	4-9	7.4.1.3 Buffer Allocator	Page 7-35	誤記訂正
4	4-10	7.4.1.3 Buffer Allocator	Page 7-36	誤記訂正
4	4-11	7.4.1.4 MAC DMA コントローラ	Page 7-42	誤記訂正
4	4-12	7.4.1.4 MAC DMA コントローラ	Page 7-43	誤記訂正
4	4-13	7.4.1.4 MAC DMA コントローラ	Page 7-48	誤記訂正

(2/2)

資料番号	改訂番号	改訂箇所（見出し番号）	該当ページ (改版前版番号)	内容
4	4-14	7.4.1.4 MAC DMA コントローラ	Page 7-48	補足
4	4-15	7.4.1.5 バッファ RAM DMA コントローラ	Page 7-50	誤記訂正
4	4-16	7.4.1.5 バッファ RAM DMA コントローラ	Page 7-50	誤記訂正
4	4-17	7.4.2 割り込み機能	Page 7-53	補足
4	4-18	7.4.2 割り込み機能	Page 7-54	補足
4	4-19	7.5 注意事項	—	注記追加
4	4-20	9.7 メモリ・アクセス・タイミング例	Page 9-18~22	表記変更
4	4-21	9.7 メモリ・アクセス・タイミング例	Page 9-19	誤記訂正
4	4-22	11.1 メモリマップ	Page 11-3	注記追加
4	4-23	11.1 メモリマップ	Page 11-3	誤記訂正
4	4-24	11.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)	Page 11-18 Page 11-19	誤記訂正
4	4-25	11.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)	Page 11-18	注記追加
4	4-26	11.2.5 制御レジスタ (4) HOSTIF ページ ROM 制御レジスタ (HIFPRC)	Page 11-21	誤記訂正
4	4-27	12.3 シリアル・フラッシュ ROM との接続	Page 12-12	表記変更
4	4-28	13.1.1 概要	Page 13-2	表記変更
4	4-29	13.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTFR)	Page 13-86	注記追加
4	4-30	13.6 割り込み出力機能	Page 13-90	表記変更
4	4-31	17.4.2 マスタ/スレーブの接続	Page 17-40	表記変更
4	4-32	18.3 (6) IICBn ハイ・レベル幅設定レジスタ	Page 18-15	誤記訂正
4	4-33	18.6.1 シングル転送モード (3) シングル転送モード (スレーブ受信) の通信例	Page 18-43	誤記訂正
4	4-34	21.7 システム・プロテクト・コマンド・レジスタ (SYSPCMD)	Page 21-7	補足
4	4-35	22 デバッグ機能	Page 22-1	表記変更
5	5-1	12 シリアル・フラッシュ ROM 接続端子 ※	Page 36	誤記修正
5	5-2	17 CSIH 端子	—	新規追加
5	5-3	22.4 BSCAN 非対応端子	Page 48	補足
5	5-4	22.6 BSDL 使用時の注意事項	—	新規追加
5	5-5	25 熱設計	Page 52	表記変更
5	5-6	26 ノイズ対策	—	新規追加
6	6-1	1.2 開発環境	Page 2	表記変更
6	6-2	3.2.1 メモリ配置	Page 11~12 Page 15~16	注記追加
6	6-3	3.2.1 メモリ配置	Page 11~12	誤記訂正
6	6-4	3.2.1 メモリ配置	Page 15~16	誤記訂正
6	6-5	6.4.1 IIC メモリコントローラの初期化 ※	Page 39	誤記訂正
6	6-6	6.5.5 受信データ確認 (スレーブ用)	Page 46	誤記訂正
7	7-1	3 推奨部品	Page 4	補足
7	7-2	5 CC-Link(リモートデバイス局)対応端子	Page 6 Page 8	補足
7	7-3	6.1 占有局数設定	Page 9	補足
7	7-4	14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など	Page 69	補足

以上

No.1-1 1.3 機能概要

内蔵 PHY 用 1.5V 電源の記載を追加

V4.01		V5.00					
ページ	記載内容	ページ	改訂内容				
3	<p>【表 1.2 R-IN32M3 の機能概要(2/2)】</p> <table border="1"> <tr> <td>電源電圧</td> <td>端子電源用：VDD33 = 3.3±0.3V 内部電源用：VDD10 = 1.0±0.1V</td> </tr> </table>	電源電圧	端子電源用：VDD33 = 3.3±0.3V 内部電源用：VDD10 = 1.0±0.1V	3	<p>【表 1.2 R-IN32M3 の機能概要(2/2)】</p> <table border="1"> <tr> <td>電源電圧</td> <td>端子電源用：VDD33 = 3.3±0.3V 内部電源用：VDD10 = 1.0±0.1V 内蔵 PHY 用電源^{注2}：VDD15 = 1.5±0.15V (内蔵レギュレータ使用可能)</td> </tr> </table>	電源電圧	端子電源用：VDD33 = 3.3±0.3V 内部電源用：VDD10 = 1.0±0.1V 内蔵 PHY 用電源 ^{注2} ：VDD15 = 1.5±0.15V (内蔵レギュレータ使用可能)
電源電圧	端子電源用：VDD33 = 3.3±0.3V 内部電源用：VDD10 = 1.0±0.1V						
電源電圧	端子電源用：VDD33 = 3.3±0.3V 内部電源用：VDD10 = 1.0±0.1V 内蔵 PHY 用電源 ^{注2} ：VDD15 = 1.5±0.15V (内蔵レギュレータ使用可能)						

No.1-2 1.5 メモリ・マップ

命令 RAM ミラー領域に関する注記を追加

V4.01		V5.00																										
ページ	記載内容	ページ	改訂内容																									
6	<p>【図 1.1 メモリ・マップ(全体) (R-IN32M3-EC)】</p> <p>記載無し</p>	6	<p>【図 1.1 メモリ・マップ(全体) (R-IN32M3-EC)】</p> <p>注. 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
7	<p>【図 1.2 メモリ・マップ(全体) (R-IN32M3-CL)】</p> <p>記載無し</p>	7	<p>【図 1.2 メモリ・マップ(全体) (R-IN32M3-CL)】</p> <p>注. 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
10	<p>【図 1.6 外部マイコン・インタフェース空間(R-IN32M3-EC)】</p> <p>記載無し</p>	10	<p>【図 1.6 外部マイコン・インタフェース空間(R-IN32M3-EC)】</p> <p>注. 上記命令 RAM ミラー領域(768K バイト)は、ブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								
11	<p>【図 1.7 外部マイコン・インタフェース空間(R-IN32M3-CL)】</p> <p>記載無し</p>	11	<p>【図 1.7 外部マイコン・インタフェース空間(R-IN32M3-CL)】</p> <p>注. 上記命令 RAM ミラー領域(768K バイト)は、ブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.1-3 1.5 メモリ・マップ[1/2]

命令RAM領域と命令RAMミラー領域の入れ替わりを修正

V4.01		V5.00	
ページ	記載内容	ページ	改訂内容
6	<p>【図 1.1 メモリ・マップ(全体) (R-IN32M3-EC)】</p>	6	<p>【図 1.1 メモリ・マップ(全体) (R-IN32M3-EC)】</p>

No.1-3 1.5 メモリ・マップ[2/2]

命令RAM領域と命令RAMミラー領域の入れ替わりを修正

V4.01		V5.00	
ページ	記載内容	ページ	改訂内容
7	<p>【図 1.2 メモリ・マップ(全体) (R-IN32M3-CL)】</p>	7	<p>【図 1.2 メモリ・マップ(全体) (R-IN32M3-CL)】</p>

No.1-4 1.5 メモリ・マップ[1/2]

命令 RAM ミラー領域に対する誤記を修正

V4.01		V5.00	
ページ	記載内容	ページ	改訂内容
10	<p>【図 1.6 外部マイコン・インタフェース空間(R-IN32M3-EC)】</p>	10	<p>【図 1.6 外部マイコン・インタフェース空間(R-IN32M3-EC)】</p>

No.1-4 1.5 メモリ・マップ[2/2]

命令RAM ミラー領域に対する誤記を修正

V4.01		V5.00	
ページ	記載内容	ページ	改訂内容
11	<p>【図 1.7 外部マイコン・インタフェース空間(R-IN32M3-CL)】</p> <p>内部SRAM空間</p> <p>1F FFFFH 13 FFFFH 10 0000H 00 0000H</p> <p>2Mバイト</p> <p>内部AHB空間</p> <p>400F C000H 400F BFFFH 400F 8000H 400F AFFFH 400F A000H 400F 9FFFH 400F 8000H 400F 7FFFH</p> <p>4Gバイト</p> <p>MCU空間</p> <p>1F FFFFH データRAM領域 (512Kバイト)</p> <p>18 0000H 予約領域</p> <p>17 FFFFH</p> <p>14 0000H CC-Link IE Field Network領域 (256Kバイト)</p> <p>13 FFFFH</p> <p>10 0000H HOSTIFレジスタ領域 (256バイト)</p> <p>0F FFFFH</p> <p>0F F000H 予約領域</p> <p>0F C000H CC-Link Slave 領域 (4Kバイト)</p> <p>0F BFFFH</p> <p>0F B000H CC-Link Master I/O 領域 (4Kバイト)</p> <p>0F AFFFH</p> <p>0F A000H CC-Link Masterメモリ 領域 (8Kバイト)</p> <p>0F 9FFFH</p> <p>0F 8000H 予約領域</p> <p>0F 7FFFH</p> <p>0E 0000H システム-レジスタ領域 (64Kバイト)</p> <p>0D FFFFH</p> <p>0D 0000H AHB周辺レジスタ領域 (上位52Kバイト)</p> <p>0C FFFFH</p> <p>0C 3000H 予約領域</p> <p>0C 0000H 命令RAM領域 (768Kバイト)</p> <p>0B FFFFH</p> <p>00 0000H</p> <p>2Mバイト</p> <p>命令RAM領域 (768Kバイト)</p>	11	<p>【図 1.7 外部マイコン・インタフェース空間(R-IN32M3-CL)】</p> <p>内部SRAM空間</p> <p>1F FFFFH 13 FFFFH 10 0000H 00 0000H</p> <p>2Mバイト</p> <p>内部AHB空間</p> <p>400F C000H 400F BFFFH 400F 8000H 400F AFFFH 400F A000H 400F 9FFFH 400F 8000H 400F 7FFFH</p> <p>4Gバイト</p> <p>MCU空間</p> <p>1F FFFFH データRAM領域 (512Kバイト)</p> <p>18 0000H 予約領域</p> <p>17 FFFFH</p> <p>14 0000H CC-Link IE Field Network領域 (256Kバイト)</p> <p>13 FFFFH</p> <p>10 0000H HOSTIFレジスタ領域 (256バイト)</p> <p>0F FFFFH</p> <p>0F F000H 予約領域</p> <p>0F C000H CC-Link Slave 領域 (4Kバイト)</p> <p>0F BFFFH</p> <p>0F B000H CC-Link Master I/O 領域 (4Kバイト)</p> <p>0F AFFFH</p> <p>0F A000H CC-Link Masterメモリ 領域 (8Kバイト)</p> <p>0F 9FFFH</p> <p>0F 8000H 予約領域</p> <p>0F 7FFFH</p> <p>0E 0000H システム-レジスタ領域 (64Kバイト)</p> <p>0D FFFFH</p> <p>0D 0000H AHB周辺レジスタ領域 (上位52Kバイト)</p> <p>0C FFFFH</p> <p>0C 3000H 予約領域</p> <p>0C 0000H 命令RAMミラー領域¹ (768Kバイト)</p> <p>0B FFFFH</p> <p>00 0000H</p> <p>2Mバイト</p> <p>命令RAMミラー領域¹ (768Kバイト)</p>

No.1-5 2.3.5 ポート端子、リアルタイム・ポート端子

CC-Link(インテリジェントデバイス局)端子の端子名変更

V4.01							V5.00						
ページ	記載内容						ページ	改訂内容					
22	【2.3.5 ポート端子、リアルタイム・ポート端子】						22	【2.3.5 ポート端子、リアルタイム・ポート端子】					
	ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中		ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中
P3	P30	RXD1	—	—	—	Hi-Z (High)	P3	P30	RXD1	—	—	—	Hi-Z (High)
	P31	TXD1	—	—	—			P31	TXD1	—	—	—	
	P32	DMAREQZ1	—	—	CCS_MON1			P32	DMAREQZ1	—	—	CCS_MON1	
	P33	DMAACKZ1	CCI_WAITEDGEH ^{注2}	—	CCS_MON2			P33	DMAACKZ1	CCI_WAITEDGEH ^{注2}	—	CCS_MON2	
	P34	DMATCZ1	CCI_WRLLENH ^{注2}	—	CCS_MON3			P34	DMATCZ1	CCI_WRLLENH ^{注2}	—	CCS_MON3	
	P35	CSISCK1	INTPZ22	CCM_IRZ	—			P35	CSISCK1	INTPZ22	CCM_IRLZ	—	
	P36	CSIS1	INTPZ23	CCS_FUSEZ	—			P36	CSIS1	INTPZ23	CCS_FUSEZ	—	
	P37	CSISO1	INTPZ24	CCM_MSTZ	—			P37	CSISO1	INTPZ24	CCM_MSTZ	—	

No.1-6 2.3.15 CC-Link (インテリジェントデバイス局)

CC-Link(インテリジェントデバイス局)端子の端子名および機能説明変更

V4.01						V5.00						
ページ	記載内容					ページ	改訂内容					
30	【2.3.15 CC-Link(インテリジェントデバイス局)】					30	【2.3.15 CC-Link(インテリジェントデバイス局)】					
	端子名称	入出力	機能	兼用ポート	アクティブ	リセット中	端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
	CCM_LINKERRZ	出力	リンクエラーLED 制御出力	P20	Low	注	CCM_LINKERRZ	出力	リンクエラーLED 制御出力	P20	Low	注
	CCM_ERRZ	出力	エラーLED 制御出力	P21	Low		CCM_ERRZ	出力	未使用	P21	Low	
	CCM_RUNZ	出力	RUN LED 制御出力	P26	Low		CCM_RUNZ	出力	RUN LED 制御出力	P26	Low	
	CCM_MDIN0- CCM_MDIN3	入力	伝送速度・モード設定スイッチ入力	P62-P65	—		CCM_MDIN0- CCM_MDIN3	入力	伝送速度設定入力	P62-P65	—	
	CCM_SNIN0- CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—		CCM_SNIN0- CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—	
	CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	Hi-Z (High)	CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	Hi-Z (High)
	CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low		CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low	
	CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low		CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low	
	CCM_IRZ	出力	割り込み出力	P35	Low		CCM_IRLZ	出力	通信回路からの割り込み信号出力	P35	Low	
	CCM_WDTENZ	入力	ウォッチドック・タイマ・エラー入力	P13	Low		CCM_WDTENZ	入力	ウォッチドック・タイマ・エラー入力	P13	Low	
	CCM_MSTZ	出力	動作確認用 LED	P37	Low		CCM_MSTZ	出力	未使用	P37	Low	
	CCM_SMSTZ	出力	待機マスタ LED 制御出力	RP01	Low		CCM_SMSTZ	出力	未使用	RP01	Low	
	CCM_RD	入力	通信回路 データ受信端子	P53	—		CCM_RD	入力	通信回路 データ受信端子	P53	—	
	CCM_SD	出力	通信回路 データ送信端子	P54	—		CCM_SD	出力	通信回路 データ送信端子	P54	—	
	CCM_SDGCZ	出力	通信回路 送信データ・ゲート制御端子	P42	Low		CCM_SDGCZ	出力	通信回路 送信データ・ゲート制御端子	P42	Low	
	CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—	—	CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—	—

No.1-7 4.2 絶対最大定格

1.5V 系の記載を追加

V4.01					V5.00						
ページ	記載内容				ページ	改訂内容					
68	【表 4.4 絶対最大定格】				68	【表 4.4 絶対最大定格】					
	項 目	略 号	条 件	定 格	単 位		項 目	略 号	条 件	定 格	単 位
	電源電圧	V _{DD}	1.0V 系	-0.5 ~ +1.4	V		電源電圧	V _{DD}	1.0V 系	-0.5 ~ +1.4	V
			3.3V 系	-0.5 ~ +4.6	V				1.5V 系	-0.5 ~ +2.0	V
									3.3V 系	-0.5 ~ +4.6	V

No.1-8 4.3 推奨動作範囲

1.5V 電源の記載を追加

V4.01							V5.00								
ページ	記載内容						ページ	改訂内容							
69	【表 4.5 推奨動作範囲】						69	【表 4.5 推奨動作範囲】							
	項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位		項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
	電源電圧	V _{DD}	1.0V 電源	0.9	1.0	1.1	V		電源電圧	V _{DD}	1.0V 電源	0.9	1.0	1.1	V
			3.3V 電源	3.0	3.3	3.6	V				1.5V 電源	1.35	1.5	1.65	V
											3.3V 電源	3.0	3.3	3.6	V

No.1-9 4.8.4 外部マイコン・インタフェース端子 (3) 非同期モード

“先読み機能有効時のアドレス入力保持時間”のスペックを追加

V4.01						V5.00																													
ページ	記載内容					ページ	改訂内容																												
89	<p>【4.8.4 外部マイコン・インタフェース端子 (3) 非同期モード】</p> <table border="1"> <thead> <tr> <th>番号</th> <th>項目</th> <th>略号</th> <th>MIN</th> <th>MAX</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>記載無し</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>					番号	項目	略号	MIN	MAX	単位	記載無し						89	<p>【4.8.4 外部マイコン・インタフェース端子 (3) 非同期モード】</p> <table border="1"> <thead> <tr> <th>番号</th> <th>項目</th> <th>略号</th> <th>MIN</th> <th>MAX</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>22</td> <td>先読み機能有効時のアドレス入力保持時間 (対 HRDZ↑)</td> <td>t_{ADDRHP}</td> <td>4.3</td> <td>—</td> <td>ns</td> </tr> </tbody> </table>					番号	項目	略号	MIN	MAX	単位	22	先読み機能有効時のアドレス入力保持時間 (対 HRDZ↑)	t _{ADDRHP}	4.3	—	ns
番号	項目	略号	MIN	MAX	単位																														
記載無し																																			
番号	項目	略号	MIN	MAX	単位																														
22	先読み機能有効時のアドレス入力保持時間 (対 HRDZ↑)	t _{ADDRHP}	4.3	—	ns																														
91	<p>【図 4.14 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=L)】</p>					91	<p>【図 4.14 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=L)】</p>																												

No.1-10 4.8.5 シリアル・フラッシュ ROM インタフェース

t_{DSMCSCK}、t_{DSMCKCS} のスペックを変更

V4.01							V5.00						
ページ	記載内容						ページ	改訂内容					
96	【4.8.5 シリアル・フラッシュ ROM インタフェース】						96	【4.8.5 シリアル・フラッシュ ROM インタフェース】					
	項目	略号	条件	MIN	MAX	単位		項目	略号	条件	MIN	MAX	単位
	SMCSZ の立ち下りから SMSCK の立ち上がりまでの遅延時間	t _{DSMCSCK}	C _L = 15pF Freq = 50MHz	7.5 ^注	—	ns		SMCSZ の立ち下りから SMSCK の立ち上がりまでの遅延時間	t _{DSMCSCK}	C _L = 15pF Freq = 50MHz	6.0 ^注	—	ns
	SMSCK の立ち上がりに対する SMCSZ の立ち上がりまでの保持時間	t _{DSMCKCS}	C _L = 15pF Freq = 50MHz	11.5 ^注	—	ns		SMSCK の立ち上がりに対する SMCSZ の立ち上がりまでの保持時間	t _{DSMCKCS}	C _L = 15pF Freq = 50MHz	9.0 ^注	—	ns

No.2-1 1.5 システム・レジスタ領域のベース・アドレス

ベース・アドレスに関する説明を追記

V3.01		V4.00	
ページ	記載内容	ページ	改訂内容
—	【1.5 システム・レジスタ領域のベース・アドレス】 記載無し	6	【1.5 システム・レジスタ領域のベース・アドレス】 以降の章で記載されている各レジスタのアドレスの記載は、ベース・アドレスからの相対アドレスで記載しています。外部マイコン・インタフェースからアクセスする場合には D_0000H 番地、また CPU および DMA コントローラからのアクセスは、4001_0000H 番地がベース・アドレスになります。 ・CPU および DMA コントローラからのアクセスの場合 BASE = 4001_0000H ・外部マイコン・インタフェースからのアクセスの場合 BASE = D_0000H

No.2-2 2.1.4 ポート端子、リアルタイム・ポート端子

CC-Link(インテリジェントデバイス局)端子の端子名変更

V3.01							V4.00						
ページ	記載内容						ページ	改訂内容					
13	【2.1.4 ポート端子、リアルタイム・ポート端子】						13	【2.1.4 ポート端子、リアルタイム・ポート端子】					
	ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中およびリセット解除後		ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中およびリセット解除後
	P30	RXD1	—	—	—	Hi-Z (High)		P30	RXD1	—	—	—	Hi-Z (High)
	P31	TXD1	—	—	—			P31	TXD1	—	—	—	
	P32	DMAREQZ1	—	—	CCS_MON1			P32	DMAREQZ1	—	—	CCS_MON1	
	P33	DMAACKZ1	CCI_WAITEDGEH	—	CCS_MON2			P33	DMAACKZ1	CCI_WAITEDGEH	—	CCS_MON2	
	P34	DMATCZ1	CCI_WRLLENH	—	CCS_MON3			P34	DMATCZ1	CCI_WRLLENH	—	CCS_MON3	
	P35	CSISCK1	INTPZ22	CCM_IRZ	—			P35	CSISCK1	INTPZ22	CCM_IRLZ	—	
	P36	CSISI1	INTPZ23	CCS_FUSEZ	—			P36	CSISI1	INTPZ23	CCS_FUSEZ	—	
	P37	CSISO1	INTPZ24	CCM_MSTZ	—			P37	CSISO1	INTPZ24	CCM_MSTZ	—	

No.2-3 2.1.14 CC-Link 端子 (インテリジェントデバイス局)

CC-Link(インテリジェントデバイス局)端子の端子名および機能説明変更

V3.01						V4.00						
ページ	記載内容					ページ	改訂内容					
19	【2.1.14 CC-Link 端子(インテリジェントデバイス局)】					20	【2.1.14 CC-Link 端子(インテリジェントデバイス局)】					
	端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後	端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
	CCM_LINKERRZ	出力	リンクエラーLED 制御出力	P20	Low	Hi-Z (High)	CCM_LINKERRZ	出力	リンクエラーLED 制御出力	P20	Low	Hi-Z (High)
	CCM_ERRZ	出力	エラーLED 制御出力	P21	Low		CCM_ERRZ	出力	未使用	P21	Low	
	CCM_RUNZ	出力	RUN LED 制御出力	P26	Low		CCM_RUNZ	出力	RUN LED 制御出力	P26	Low	
	CCM_MDIN0-CCM_MDIN3	入力	伝送速度・モード設定スイッチ入力	P62-P65	—		CCM_MDIN0-CCM_MDIN3	入力	伝送速度設定入力	P62-P65	—	
	CCM_SNIN0-CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—		CCM_SNIN0-CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—	
	CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low		CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	
	CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low		CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low	
	CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low		CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low	
	CCM_IRZ	出力	割り込み出力	P35	Low		CCM_IRLZ	出力	通信回路からの割り込み信号出力	P35	Low	
	CCM_WDTENZ	入力	ウォッチドッグ・タイマ・エラー入力	P13	Low		CCM_WDTENZ	入力	ウォッチドッグ・タイマ・エラー入力	P13	Low	
	CCM_MSTZ	出力	動作確認用 LED	P37	Low		CCM_MSTZ	出力	未使用	P37	Low	
	CCM_SMSTZ	出力	待機マスタ LED 制御出力	RP01	Low		CCM_SMSTZ	出力	未使用	RP01	Low	
	CCM_RD	入力	通信回路データ受信端子	P53	—		CCM_RD	入力	通信回路データ受信端子	P53	—	
	CCM_SD	出力	通信回路データ送信端子	P54	—		CCM_SD	出力	通信回路データ送信端子	P54	—	
	CCM_SDGCZ	出力	通信回路送信データ・ゲート制御端子	P42	Low		CCM_SDGCZ	出力	通信回路送信データ・ゲート制御端子	P42	Low	
	CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—		CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—	

No.2-4 3 メモリ・マップ

命令 RAM ミラー領域に関する注意を追加

V3.01		V4.00																										
ページ	記載内容	ページ	改訂内容																									
40	<p>【図 3.1 メモリ・マップ(全体)】</p> <p>記載無し</p>	41	<p>【図 3.1 メモリ・マップ(全体)】</p> <p>注.上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
43	<p>【図 3.5 外部マイコン・インタフェース空間】</p> <p>記載無し</p>	44	<p>【図 3.5 外部マイコン・インタフェース空間】</p> <p>注.上記命令 RAM ミラー領域(768K バイト)は、ブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.2-5 7.2 ポートの構成

ポート・ファンクション・コントロール・レジスタ/拡張レジスタの用途と動作の説明を変更

V3.01			V4.00		
ページ	記載内容		ページ	改訂内容	
57	【7.2 ポートの構成】		57	【7.2 ポートの構成】	
	レジスタ名	用途と動作		レジスタ名	用途と動作
		リード ライト			リード ライト
	ポート・ファンクション・コントロール・レジスタ (PFCn、RPFCEm)	2 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。		ポート・ファンクション・コントロール・レジスタ (PFCn、RPFCEm)	兼用機能の選択状態を読み出します。兼用機能を選択します。
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn、RPFCEm)	3 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。		ポート・ファンクション・コントロール拡張レジスタ (PFCEn、RPFCEm)	

No.2-6 7.2 ポートの構成

ポート構成に関する注意を変更

V3.01		V4.00	
ページ	記載内容	ページ	改訂内容
57	【7.2 ポートの構成】	57	【7.2 ポートの構成】
	外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCn レジスタ、および RPMCEm レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。		兼用機能の割り当てが無い設定を行った場合の動作は保証されません。例えば、P00 端子のように兼用機能 4 の割り当てが無い場合、兼用機能 4 を選択しても正常に動作しないため、ご注意ください。兼用端子割り当てに関しては「7.4 兼用機能の選択一覧」を参照してください。

No.2-7 7.4 兼用機能の選択一覧

CC-Link(インテリジェントデバイス局)端子の端子名変更

V3.01							V4.00							
ページ	記載内容						ページ	改訂内容						
83	【(1)ポート(P00-P77) (2/3)】						84	【(1)ポート(P00-P77) (2/3)】						
	端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)				端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)			
				PFCEmn = 0		PFCEmn = 1						PFCEmn = 0		PFCEmn = 1
		PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)		PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
	P35 P35 (出力モード)	P35 (入力モード)	CSISCK1	INTPZ22	CCM_IRZ	—	P35 P35 (出力モード)	P35 (入力モード)	CSISCK1	INTPZ22	CCM_IRLZ	—		

No.3-1 1.5 システム・レジスタ領域のベース・アドレス

ベース・アドレスに関する説明を追記

V4.01		V5.00	
ページ	記載内容	ページ	改訂内容
-	【1.5 システム・レジスタ領域のベース・アドレス】 記載無し	6	【1.5 システム・レジスタ領域のベース・アドレス】 以降の章で記載されている各レジスタのアドレスの記載は、ベース・アドレスからの相対アドレスで記載しています。外部マイコン・インタフェースからアクセスする場合には D_0000H 番地、また CPU および DMA コントローラからのアクセスは、4001_0000H 番地がベース・アドレスになります。 ・CPU および DMA コントローラからのアクセスの場合 BASE = 4001_0000H ・外部マイコン・インタフェースからのアクセスの場合 BASE = D_0000H

No.3-2 2.1.14 CC-Link 端子 (インテリジェントデバイス局)

CC-Link(インテリジェントデバイス局)端子の機能説明変更

V4.01						V5.00						
ページ	記載内容					ページ	改訂内容					
20	【2.1.14 CC-Link 端子(インテリジェントデバイス局)】					21	【2.1.14 CC-Link 端子(インテリジェントデバイス局)】					
	端子名称	入出力	機能	兼用ポート	アクティブ		端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
	CCM_LINKERRZ	出力	リンクエラーLED 制御出力	P20	Low		CCM_LINKERRZ	出力	リンクエラーLED 制御出力	P20	Low	Hi-Z
	CCM_ERRZ	出力	エラーLED 制御出力	P21	Low		CCM_ERRZ	出力	未使用	P21	Low	
	CCM_RUNZ	出力	RUN LED 制御出力	P26	Low		CCM_RUNZ	出力	RUN LED 制御出力	P26	Low	
	CCM_MDIN0- CCM_MDIN3	入力	伝送速度・モード設定スイッチ入力	P62-P65	—		CCM_MDIN0- CCM_MDIN3	入力	伝送速度設定入力	P62-P65	—	
	CCM_SNIN0- CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—		CCM_SNIN0- CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—	
	CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low		CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	Hi-Z (High)
	CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low		CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low	
	CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low		CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low	
	CCM_IRLZ	出力	割り込み出力	P35	Low		CCM_IRLZ	出力	通信回路からの割り込み信号出力	P35	Low	
	CCM_WDTENZ	入力	ウォッチドッグ・タイマ・エラー入力	P13	Low		CCM_WDTENZ	入力	ウォッチドッグ・タイマ・エラー入力	P13	Low	
	CCM_MSTZ	出力	動作確認用 LED	P37	Low		CCM_MSTZ	出力	未使用	P37	Low	
	CCM_SMSTZ	出力	待機マスタ LED 制御出力	RP01	Low		CCM_SMSTZ	出力	未使用	RP01	Low	
	CCM_RD	入力	通信回路 データ受信端子	P53	—		CCM_RD	入力	通信回路 データ受信端子	P53	—	
	CCM_SD	出力	通信回路 データ送信端子	P54	—		CCM_SD	出力	通信回路 データ送信端子	P54	—	
	CCM_SDGCZ	出力	通信回路 送信データ・ゲート制御端子	P42	Low		CCM_SDGCZ	出力	通信回路 送信データ・ゲート制御端子	P42	Low	
	CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—		CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—	—

No.3-3 3 メモリ・マップ

命令 RAM ミラー領域に関する注意を追加

V4.01		V5.00																										
ページ	記載内容	ページ	改訂内容																									
40	<p>【図 3.1 メモリ・マップ(全体)】</p> <p>記載無し</p>	41	<p>【図 3.1 メモリ・マップ(全体)】</p> <p>注. 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
43	<p>【図 3.5 外部マイコン・インタフェース空間】</p> <p>記載無し</p>	44	<p>【図 3.5 外部マイコン・インタフェース空間】</p> <p>注. 上記命令 RAM ミラー領域(768K バイト)は、ブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.3-4 8.2 ポートの構成

ポート・ファンクション・コントロール・レジスタ/拡張レジスタの用途と動作の説明を変更

V4.01			V5.00		
ページ	記載内容		ページ	改訂内容	
181	【8.2 ポートの構成】		181	【8.2 ポートの構成】	
	レジスタ名	用途と動作		レジスタ名	用途と動作
		リード ライト			リード ライト
	ポート・ファンクション・コントロール・レジスタ (PFCn、RPFcM)	2 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。		ポート・ファンクション・コントロール・レジスタ (PFCn、RPFcM)	兼用機能の選択状態を読み出します。兼用機能を選択します。
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn、RPFCEm)	3 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。		ポート・ファンクション・コントロール拡張レジスタ (PFCEn、RPFCEm)	

No.3-5 8.2 ポートの構成

ポート構成に関する注意を変更

V4.01		V5.00	
ページ	記載内容	ページ	改訂内容
181	【8.2 ポートの構成】	181	【8.2 ポートの構成】
	外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCn レジスタ、および RPMCm レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。		兼用機能の割り当てが無い設定を行った場合の動作は保証されません。例えば、P00 端子のように兼用機能 4 の割り当てが無い場合、兼用機能 4 を選択しても正常に動作しないため、ご注意ください。兼用端子割り当てに関しては「8.4 兼用機能の選択一覧」を参照してください。

No.4-1 2.4 リセット動作

パワー-ON 時のリセットタイミングチャート、およびシステムリセット時のリセットタイミングチャートを変更

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
2-9	<p>【図 2.2 パワー-ON 時のリセットタイミングチャート】</p> <p>4096 + 825 cycle 16 cycle 16 cycle 200 cycle</p> <p>発振回路 (OSC25M) PLL出力 内部システムクロック (HCLK/PCLK) HOTRESETZ (端子入力) RESETZ (端子入力) PONRZ (端子入力) 内部周辺機能リセット RSTOUTZ (端子出力) CPU & HOST-I/Fリセット</p> <p>両方解除されるとリセット解除シーケンスを開始 Clockを停止させPLL動作に切り替え 内部周辺機能のリセット解除 内部周辺機能のリセット解除 CPU & HOST-I/Fリセット解除</p>	2-9	<p>【図 2.2 パワー-ON 時のリセットタイミングチャート】</p> <p>外部発振器 発振安定待ち リセット期間 1 μs以上確保 リセット解除 4096 + 825 cycle @OSC25M 16 cycle @OSC25M 16 cycle @OSC25M 200 cycle @OSC25M</p> <p>発振回路 (OSC25M) PLL出力 内部システムクロック (ACLK/HCLK/PCLK) HOTRESETZ (端子入力) RESETZ (端子入力) PONRZ (端子入力) 内部周辺機能リセット RSTOUTZ (端子出力) CPU & HOST-I/Fリセット</p> <p>クロックを停止させPLL動作に切り替え PONRZ、RESETZの両方が解除されるとリセット解除シーケンスを開始 内部周辺機能のリセット解除 内部周辺機能のリセット解除 CPU & HOST-I/Fリセット解除</p> <p>PLLクロック切替 Clock出力継続/リセット状態 周辺機能リセット解除 CPU & HOST-I/F Reset解除</p>
	<p>【図 2.3 システムリセット時のリセットタイミングチャート】</p> <p>16 cycle @OSC25M 16 cycle @OSC25M 200 cycle @OSC25M</p> <p>発振回路 (OSC25M) HCLK/PCLK SYSTEMRESET 内部周辺機能リセット CPU & HOST-I/Fリセット</p> <p>Clock出力継続/リセット状態 周辺機能リセット解除 CPU & HOST-I/F Reset解除</p>	<p>【図 2.3 システムリセット時のリセットタイミングチャート】</p> <p>16 cycle @OSC25M 16 cycle @OSC25M 200 cycle @OSC25M</p> <p>発振回路 (OSC25M) HCLK/PCLK システム・リセット 内部周辺機能リセット RSTOUTZ (端子出力) CPU & HOST-I/Fリセット</p> <p>Clock出力継続/リセット状態 周辺機能リセット解除 CPU & HOST-I/F Reset解除</p> <p>システム・リセット(SY_SRESETレジスタ制御)は、内部周辺機能がリセットされることでシステム・リセットは自動解除となります。</p>	

No.4-2 5.1 ブート選択

CSZ0 の表記を統一

V10.00				V11.00																																											
ページ	記載内容			ページ	改訂内容																																										
5-1	【表 5.1 ブート・モード選択】 <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>ブート領域の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>外部バス・インタフェースの STCSZ0 に接続されているメモリ</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>シリアル・フラッシュ ROM</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート (デバッグのみ使用可能)</td> <td>命令 RAM</td> </tr> </tbody> </table>			BOOT1	BOOT0	ブート・モード	ブート領域の選択	0	0	外部メモリ・ブート	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	1	0	外部マイコン・ブート	命令 RAM	1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM	5-1	【表 5.1 ブート・モード選択】 <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>ブート領域の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>外部バス・インタフェースの CSZ0 に接続されているメモリ</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>シリアル・フラッシュ ROM</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート (デバッグのみ使用可能)</td> <td>命令 RAM</td> </tr> </tbody> </table>			BOOT1	BOOT0	ブート・モード	ブート領域の選択	0	0	外部メモリ・ブート	外部バス・インタフェースの CSZ0 に接続されているメモリ	0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	1	0	外部マイコン・ブート	命令 RAM	1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM
BOOT1	BOOT0	ブート・モード	ブート領域の選択																																												
0	0	外部メモリ・ブート	外部バス・インタフェースの STCSZ0 に接続されているメモリ																																												
0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM																																												
1	0	外部マイコン・ブート	命令 RAM																																												
1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM																																												
BOOT1	BOOT0	ブート・モード	ブート領域の選択																																												
0	0	外部メモリ・ブート	外部バス・インタフェースの CSZ0 に接続されているメモリ																																												
0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM																																												
1	0	外部マイコン・ブート	命令 RAM																																												
1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM																																												
	【(1) 外部メモリ・ブート・モード】 外部バス・インタフェースの STCSZ0 に接続されているメモリからブートします。				【(1) 外部メモリ・ブート・モード】 外部バス・インタフェースの CSZ0 に接続されているメモリからブートします。																																										

No.4-3 7.3.4.1 MIIM レジスタ (GMAC MIIM)

注意文の文言を修正

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
7-9	【7.3.4.1 MIIM レジスタ(GMAC_MIIM)】 注意 本レジスタは、MAC セレクト・レジスタ (MACSEL) で設定された管理インターフェースにおいて有効です。その他の場合、書き込みは無効で読み出す値は不定になります。	7-9	【7.3.4.1 MIIM レジスタ(GMAC_MIIM)】 注意 本レジスタは、MAC セレクト・レジスタ (MACSEL) で汎用 Ethernet ポートが選択されている場合のみ有効です。その他の場合、書き込みは無効で読み出す値は不定になります。

No.4-4 7.3.4.5 RX MODE レジスタ (GMAC_RXMODE)

SFRXFIFO ビットの意味欄を変更

V10.00			V11.00														
ページ	記載内容		ページ	改訂内容													
7-13	【7.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】 <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>29</td> <td>SFRXFIFO</td> <td>Store & Forward For RX FIFO 1 : Store & Forward モード フレームの最後まで RX FIFO に書き込まれるまで、受信 DMA コントローラは動作を開始しません 0 : Cut Through モード</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	29	SFRXFIFO	Store & Forward For RX FIFO 1 : Store & Forward モード フレームの最後まで RX FIFO に書き込まれるまで、受信 DMA コントローラは動作を開始しません 0 : Cut Through モード	7-13	【7.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】 <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>29</td> <td>SFRXFIFO</td> <td>Store & Forward For RX FIFO 1 : Store & Forward モード RX FIFO にフレームの終わりまで書き込まれてから受信 DMA コントローラが動作を開始します 0 : Cut Through モード RX FIFO に RRTTH2-0 ビットで設定したワード数を書き込まれると受信 DMA コントローラが動作を開始します</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	29	SFRXFIFO	Store & Forward For RX FIFO 1 : Store & Forward モード RX FIFO にフレームの終わりまで書き込まれてから受信 DMA コントローラが動作を開始します 0 : Cut Through モード RX FIFO に RRTTH2-0 ビットで設定したワード数を書き込まれると受信 DMA コントローラが動作を開始します
ビット位置	ビット名	意味															
29	SFRXFIFO	Store & Forward For RX FIFO 1 : Store & Forward モード フレームの最後まで RX FIFO に書き込まれるまで、受信 DMA コントローラは動作を開始しません 0 : Cut Through モード															
ビット位置	ビット名	意味															
29	SFRXFIFO	Store & Forward For RX FIFO 1 : Store & Forward モード RX FIFO にフレームの終わりまで書き込まれてから受信 DMA コントローラが動作を開始します 0 : Cut Through モード RX FIFO に RRTTH2-0 ビットで設定したワード数を書き込まれると受信 DMA コントローラが動作を開始します															

No.4-5 7.3.4.6 TXMODE レジスタ (GMAC_TXMODE)

SF ビットの意味欄を変更

V10.00			V11.00														
ページ	記載内容		ページ	改訂内容													
7-13	【7.3.4.6 TXMODE レジスタ(GMAC_TXMODE)】 <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>29</td> <td>SF</td> <td>Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : TX FIFO に FSTTH1-0 ビットで設定したワード数書き込まれると送信を開始します</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	29	SF	Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : TX FIFO に FSTTH1-0 ビットで設定したワード数書き込まれると送信を開始します	7-13	【7.3.4.6 TXMODE レジスタ(GMAC_TXMODE)】 <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>29</td> <td>SF</td> <td>Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : 設定禁止^{注2}</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	29	SF	Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : 設定禁止 ^{注2}
ビット位置	ビット名	意味															
29	SF	Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : TX FIFO に FSTTH1-0 ビットで設定したワード数書き込まれると送信を開始します															
ビット位置	ビット名	意味															
29	SF	Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : 設定禁止 ^{注2}															
<p>注. イーサネット・スイッチのマネージメント・タグ挿入機能を有効にしている場合 (ETHSWMTC レジスタ SWTAGEN ビット= “1”)、フレームの最大サイズ 1518 バイトを超える可能性があるため、LPTXEN を “1” に設定する必要があります。</p>			<p>注 1. イーサネット・スイッチのマネージメント・タグ挿入機能を有効にしている場合 (ETHSWMTC レジスタ SWTAGEN ビット= “1”)、フレームの最大サイズ 1518 バイトを超える可能性があるため、LPTXEN を “1” に設定する必要があります。 注 2. SF ビットの 0 設定は設定禁止です。必ず設定を 1へ変更してから動作を開始してください。詳細は「7.5.1 Cut Throughモードにおける送信の問題」を参照してください。</p>														

No.4-7 7.4.1.2 ハードウェア・ファンクション・コール発行処理フロー

フロー図の変更及び注記の追加

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
7-31	<p>【7.4.1.2 ハードウェア・ファンクション・コール発行処理フロー】</p> <pre> graph TD START([START]) --> A[ハードウェア・ファンクション・コール・パラメータ設定 (ハードウェア・ファンクション・引数レジスタ: R4-7)] A --> B[ハードウェア・ファンクション・コール発行 (ハードウェア・ファンクション・システム・コールレジスタ: SYSC)] B --> C[R0レジスタの読み出し] C --> D{R0[29] == 1?} D -- No --> C D -- Yes --> E[R1レジスタの読み出し] E --> END([END]) </pre> <p>図 7.4 ハードウェア・ファンクション・コール発行処理フロー</p>	7-31	<p>【7.4.1.2 ハードウェア・ファンクション・コール発行処理フロー】</p> <pre> graph TD START([START]) --> A[HW-RTOS割り込み(INT_HWRRTOS)のディスイネブル注] A --> B[ハードウェア・ファンクション・コール・パラメータ設定 (ハードウェア・ファンクション・引数レジスタ: R4-7)] B --> C[ハードウェア・ファンクション・コール発行 (ハードウェア・ファンクション・システム・コールレジスタ: SYSC)] C --> D[R0レジスタの読み出し] D --> E{R0[29] == 1?} E -- No --> D E -- Yes --> F[R1レジスタの読み出し] F --> G[HW-RTOS割り込み(INT_HWRRTOS)のイネーブル注] G --> END([END]) </pre> <p>図 7.4 ハードウェア・ファンクション・コール発行処理フロー</p> <p>注: ハードウェア・リアルタイム OS を使用している場合のみ必要な処理です。</p>

No.4-8 7.4.1.3 Buffer Allocator

Exception 発生に関する文言を変更

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
7-32	<p>【(1) 機能概要】 バッファ RAM を使用するには、Buffer Allocator が提供する Hardware Function Call を行い、必要な領域（以下 Buffer）をあらかじめ確保しなければなりません。確保していない領域に書き込みを行った場合、CPU からの書き込みは無視されますが、ハードウェアファンクションの DMA がアクセスした場合には Exception が発生します。</p>	7-32	<p>【(1) 機能概要】 バッファ RAM を使用するには、Buffer Allocator が提供する Hardware Function Call を行い、必要な領域（以下 Buffer）をあらかじめ確保しなければなりません。確保していない領域に書き込みを行った場合、CPU と MAC DMA コントローラからのアクセスは割り込みを発生します。バッファ RAM DMA コントローラからのアクセスの場合は、Hardware Function Call の種類により、割り込みを発生するタイプと、戻り値レジスタ R0 に Exception を返すタイプがあります。</p>

No.4-9 7.4.1.3 Buffer Allocator

HWFNC_LongBuffer_Get の戻り値レジスタ R1 を修正

V10.00		V11.00							
ページ	記載内容	ページ	改訂内容						
7-35	<p>【表 7.2 HWFNC_LongBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26] 1 [25:18] LLID [17: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 1 [25:18] LLID [17: 0] 0	7-35	<p>【表 7.2 HWFNC_LongBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26:24] 3'b100 [23:18] LLID [17: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:24] 3'b100 [23:18] LLID [17: 0] 0
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 1 [25:18] LLID [17: 0] 0							
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:24] 3'b100 [23:18] LLID [17: 0] 0							

No.4-10 7.4.1.3 Buffer Allocator

HWFNC_ShortBuffer_Get の戻り値レジスタ R1 を修正

V10.00		V11.00							
ページ	記載内容	ページ	改訂内容						
7-36	<p>【表 7.3 HWFNC_ShortBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26] 0 [25:18] SBID [18: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 0 [25:18] SBID [18: 0] 0	7-36	<p>【表 7.3 HWFNC_ShortBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26:25] 2'b00 [24:18] SBID [17: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:25] 2'b00 [24:18] SBID [17: 0] 0
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 0 [25:18] SBID [18: 0] 0							
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:25] 2'b00 [24:18] SBID [17: 0] 0							

No.4-11 7.4.1.4 MAC DMA コントローラ

バッファ読み出しと解放手順中の誤記修正

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
7-42	<p>【(b)使用方法】</p> <p>① BUFID レジスタを Read します。</p> <p>② Read された BUFID の[27:16]を、16 ビット右シフトすると受信ワード数になります。</p> <p>③ Read された BUFID の[15:0]は、獲得したバッファ先頭アドレスの[26:11]です。獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。</p> <p>[31:27] : 00001b [26:19] : BUFID の[15:8]に相当 (先頭アドレスの[26]は常に 1、[25:19]は LLID[6:0]) [18:11] : BUFID の[7:0]に相当 (常に 0) [10: 0] : 常に 0</p> <p>④ バッファ使用後は、先頭アドレスを引数にして BufferRelease ファンクションコールを発行し、バッファを解放します。</p>	7-42	<p>【(b)使用方法】</p> <p>① BUFID レジスタを Read します。</p> <p>② Read された BUFID の[27:16]を、16 ビット右シフトすると受信ワード数になります。</p> <p>③ Read された BUFID の[15:0]は、獲得したバッファ先頭アドレスの[26:11]です。獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。</p> <p>[31:27] : 00001b [26:18] : BUFID の[15:7]に相当 [17:11] : BUFID の[6:0]に相当 [10: 0] : 常に 0</p> <p>④ バッファ使用後は、先頭アドレスを引数にして BufferRelease ファンクションコールを発行し、バッファを解放します。</p>

No.4-12 7.4.1.4 MAC DMA コントローラ

受信 MAC DMA 機能の Hardware Function Call 一覧の説明文を修正

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
7-43	<p>【(c)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にアクセス禁止領域 (バッファ RAM 以外の領域、等)へアクセスが発生した場合には、Exception を戻り値レジスタ R0 に返します。</p>	7-43	<p>【(c)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。</p>

No.4-13 7.4.1.4 MAC DMA コントローラ

送信 MAC DMA 機能の Hardware Function Call 一覧の説明文を修正

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
7-48	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p>	7-48	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。</p>

No.4-14 7.4.1.4 MAC DMA コントローラ

HWFNC_MACDMA_TX_Errstat の戻り値レジスタ R0 の各 bit の発生条件を追記

V10.00		V11.00							
ページ	記載内容	ページ	改訂内容						
7-48	<p>【表 7.11 HWFNC_MACDMA_TX_Errstat】</p> <table border="1" style="width: 100%;"> <tr> <td style="width: 15%;">R0[1:0]</td> <td style="width: 15%;">Result</td> <td>[0]: Memory Access Violation [1]: Memory Access Timeout</td> </tr> </table>	R0[1:0]	Result	[0]: Memory Access Violation [1]: Memory Access Timeout	7-49	<p>【表 7.11 HWFNC_MACDMA_TX_Errstat】</p> <table border="1" style="width: 100%;"> <tr> <td style="width: 15%;">R0[1:0]</td> <td style="width: 15%;">Result</td> <td> [0]: Memory Access Violation ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが 64 ビット境界でない [1]: Memory Access Timeout ・送信用ディスクリプタの最初のアドレスが終了値(FFFF FFFFh) ・Buffer の自動開放機能による Buffer のリリースが失敗 </td> </tr> </table>	R0[1:0]	Result	[0]: Memory Access Violation ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが 64 ビット境界でない [1]: Memory Access Timeout ・送信用ディスクリプタの最初のアドレスが終了値(FFFF FFFFh) ・Buffer の自動開放機能による Buffer のリリースが失敗
R0[1:0]	Result	[0]: Memory Access Violation [1]: Memory Access Timeout							
R0[1:0]	Result	[0]: Memory Access Violation ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが 64 ビット境界でない [1]: Memory Access Timeout ・送信用ディスクリプタの最初のアドレスが終了値(FFFF FFFFh) ・Buffer の自動開放機能による Buffer のリリースが失敗							

No.4-15 7.4.1.5 バッファ RAM DMA コントローラ

DMA 転送機能の Hardware Function Call 一覧の説明文を修正

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
7-50	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にアクセス禁止領域(バッファ RAM 以外の領域、等)へアクセスが発生した場合には、Exception を戻り値レジスタ R0 に返します。</p>	7-51	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にアクセス禁止領域(バッファ RAM 以外の領域、等)へアクセスが発生した場合には、HWFNC_Direct_Memory_Transfer および HWFNC_Direct_Memory_Replace は Exception を戻り値レジスタ R0 に返し、HWFNC_INTBUFF_DMA_Start および HWFNC_INTBUFF_DMA_Start(ディスクリプタ)は Exception による割り込みが発生します。</p>

No.4-16 7.4.1.5 バッファ RAM DMA コントローラ

HWFNC_Direct_Memory_Transfer の戻り値レジスタ R4、R5 の説明を修正

V10.00		V11.00													
ページ	記載内容	ページ	改訂内容												
7-50	<p>【表 7.12 HWFNC_Direct_Memory_Transfer】</p> <p>引数レジスタ</p> <table border="1"> <tr> <td>R4[31:0]</td> <td>転送先先頭アドレス</td> <td>転送先アドレスを指定します。</td> </tr> <tr> <td>R5[31:0]</td> <td>転送元先頭アドレス</td> <td>転送元アドレスを指定します。</td> </tr> </table>	R4[31:0]	転送先先頭アドレス	転送先アドレスを指定します。	R5[31:0]	転送元先頭アドレス	転送元アドレスを指定します。	7-51	<p>【表 7.12 HWFNC_Direct_Memory_Transfer】</p> <p>引数レジスタ</p> <table border="1"> <tr> <td>R4[31:0]</td> <td>転送元先頭アドレス</td> <td>転送元アドレスを指定します。</td> </tr> <tr> <td>R5[31:0]</td> <td>転送先先頭アドレス</td> <td>転送先アドレスを指定します。</td> </tr> </table>	R4[31:0]	転送元先頭アドレス	転送元アドレスを指定します。	R5[31:0]	転送先先頭アドレス	転送先アドレスを指定します。
R4[31:0]	転送先先頭アドレス	転送先アドレスを指定します。													
R5[31:0]	転送元先頭アドレス	転送元アドレスを指定します。													
R4[31:0]	転送元先頭アドレス	転送元アドレスを指定します。													
R5[31:0]	転送先先頭アドレス	転送先アドレスを指定します。													

No.4-17 7.4.2 割り込み機能

MAC DMA 送信エラー発生条件を修正

V10.00			V11.00		
ページ	記載内容		ページ	改訂内容	
7-53	【表 7.16 送信動作に関する割り込み】		7-54	【表 7.16 送信動作に関する割り込み】	
	割り込み名称	シンボル	発生条件／クリア条件		
	MACDMA送信エラー 割り込み	INTETHXDERR	ディスクリプタのアドレス・フィールドがバッファ範囲外、または転送バイト数が不正、またはディスクリプタの先頭アドレスが64ビット境界でない場合、に発生します。 送信ディスクリプタを修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。	割り込み名称	シンボル
				MACDMA送信エラー 割り込み	INTETHXDERR
					発生条件／クリア条件
					送信MACDMA動作時にエラーが発生したことを示します。 エラー要因は複数ありHWFNC_MACDMA_TX_Errstatでエラー要因を取得します。 送信ディスクリプタを修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。

No.4-18 7.4.2 割り込み機能

Buffer RAM 領域アクセスエラー発生条件/クリア条件を追記

V10.00			V11.00		
ページ	記載内容		ページ	改訂内容	
7-54	【表 7.18 その他の動作に関する割り込み】		7-55	【表 7.18 その他の動作に関する割り込み】	
	割り込み名称	シンボル	発生条件/クリア条件		
	記載無し				
	割り込み名称	シンボル	発生条件/クリア条件		
	Buffer RAM 領域 アクセスエラー	INTBRAMERR	CPU から獲得されていないバッファ領域へアクセスした場合に発生します。パルスで発生するため、要因のクリア処理は不要です。		

No.4-19 7.5 注意事項

Cut Through モードにおける送信の問題、および Jumbo フレームに関する注意事項を追加

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
-	【7.5.5 Cut Through モードにおける送信の問題】	7-82	【7.5.5 Cut Through モードにおける送信の問題】
	記載無し		TX Mode レジスタ(GMAC_TXMODE)の SF ビット(ビット 29)を 0 に設定した場合、意図しない TX FIFO アンダーフロー割り込みが発生する可能性があります。そのため、SF ビットは必ず 1 (Store & Forward モード) 固定で使用してください。
	【7.5.6 Jumbo フレームについて】		【7.5.6 Jumbo フレームについて】
	記載無し		本製品は 1,518byte を超えるフレームサイズ、いわゆる Jumbo フレームの送受信には対応していません。

No.4-20 9.7 メモリ・アクセス・タイミング例

CSZn の表記を統一

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
9-18 ~ 9-22	【9.7 メモリ・アクセス・タイミング例】 以下の図中表記は「STCSZn」。 図 9.8 SRAM リード・サイクル 図 9.9 SRAM リード・サイクル(ウエイト設定あり) 図 9.10 SRAM リード・サイクル(外部ウエイト挿入) 図 9.11 SRAM ライト・サイクル(ウエイトなし) 図 9.12 SRAM ライト・サイクル(ウエイトあり) 図 9.13 SRAM ライト・サイクル(外部ウエイト挿入) 図 9.14 ページ ROM リード・サイクル(シングル転送) 図 9.15 ページ ROM リード・サイクル(4 バースト転送)	9-18 ~ 9-22	【9.7 メモリ・アクセス・タイミング例】 以下の図中表記は「CSZn」。 図 9.8 SRAM リード・サイクル 図 9.9 SRAM リード・サイクル(ウエイト設定あり) 図 9.10 SRAM リード・サイクル(外部ウエイト挿入) 図 9.11 SRAM ライト・サイクル(ウエイトなし) 図 9.12 SRAM ライト・サイクル(ウエイトあり) 図 9.13 SRAM ライト・サイクル(外部ウエイト挿入) 図 9.14 ページ ROM リード・サイクル(シングル転送) 図 9.15 ページ ROM リード・サイクル(4 バースト転送)

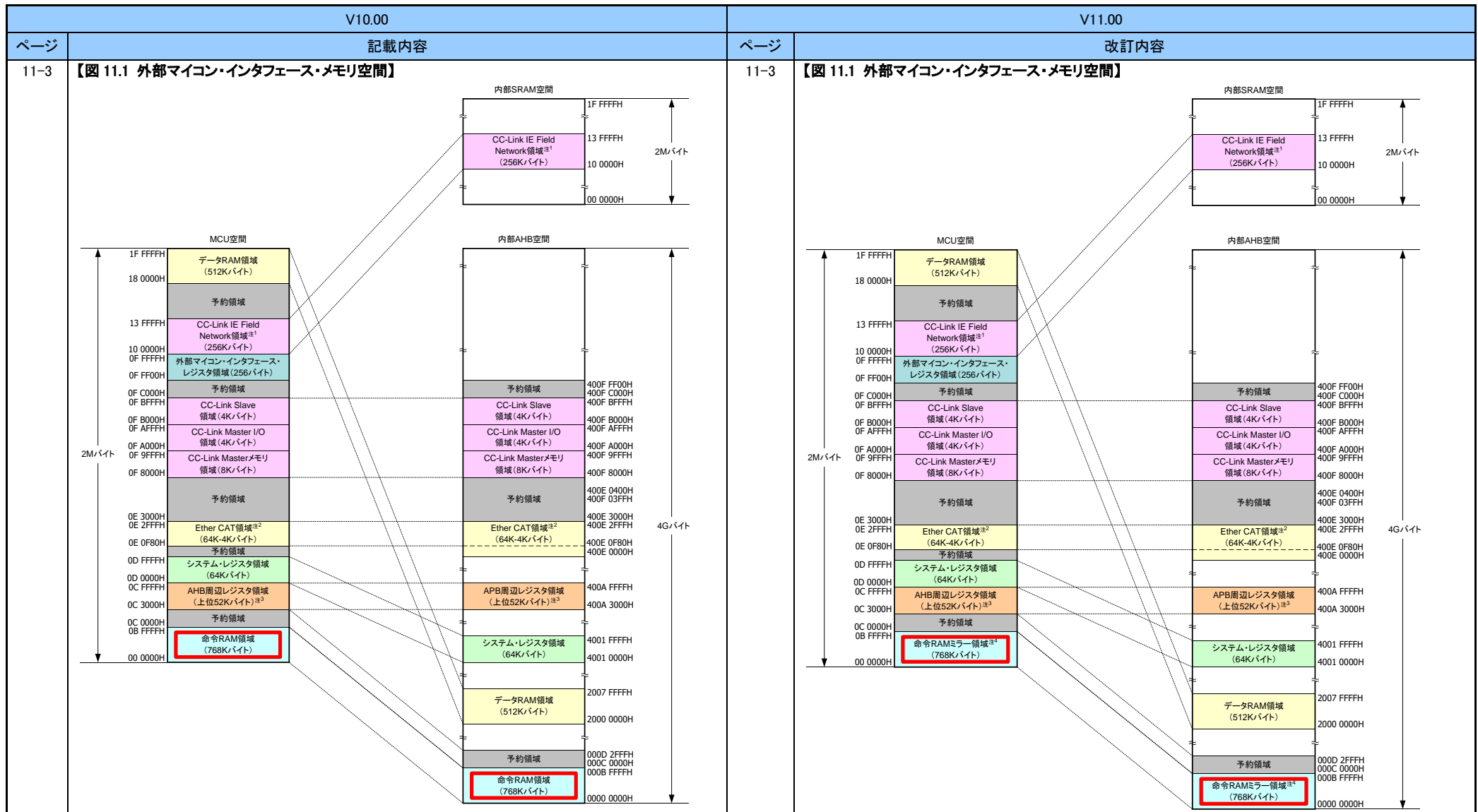
No.4-21 9.7 メモリ・アクセス・タイミング例

SRAM ライト・サイクル時のアドレス設定ウエイト数に関する説明と図の矛盾を修正

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
9-19	【図 9.11 SRAM ライト・サイクル(ウエイトなし)】 BSC : SBS3-SBS0 = 1111B(32 ビット), SMCn : WWn3-WWn0 = 0000B/0001B(1 ウエイト), DWn3-DWn0 = 0000B(0 ウエイト), ACn3-ACn0 = 0000B/0001B(0 ウエイト)	9-19	【図 9.11 SRAM ライト・サイクル(ウエイトなし)】 BSC : SBS3-SBS0 = 1111B(32 ビット), SMCn : WWn3-WWn0 = 0000B/0001B(1 ウエイト), DWn3-DWn0 = 0000B(0 ウエイト), ACn3-ACn0 = 0000B/0001B(1 ウエイト)

No.4-22 11.1 メモリマップ

命令RAM領域を命令RAMミラー領域へ修正



No.4-23 11.1 メモリマップ

命令 RAM ミラー領域に関する注意を追加

V10.00		V11.00																										
ページ	記載内容	ページ	改訂内容																									
11-3	<p>【11.1 メモリ MAP】 注 1.R-IN32M3-CL のみ搭載しています。 2.R-IN32M3-EC のみ搭載しています。 3.MCU 空間からアクセス可能な AHB 周辺レジスタ領域は「GPIO～同期式バーストアクセス MEMC 制御レジスタ」までの上位 52KB になります。 詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル」のメモリ・マップを参照してください。</p>	11-4	<p>【11.1 メモリ MAP】 注 1.R-IN32M3-CL のみ搭載しています。 2.R-IN32M3-EC のみ搭載しています。 3.MCU 空間からアクセス可能な AHB 周辺レジスタ領域は「GPIO～同期式バーストアクセス MEMC 制御レジスタ」までの上位 52KB になります。 詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル」のメモリ・マップを参照してください。 4.上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.4-24 11.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)

命令 RAM 領域を命令 RAM ミラー領域へ修正

V10.00			V11.00																														
ページ	記載内容		ページ	改訂内容																													
11-18	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>RBUFON1</td> <td>命令 RAM 領域領域への先読み機能の ON/OFF を設定します。 0:先読み機能無効 1:先読み機能有効</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	1	RBUFON1	命令 RAM 領域領域への先読み機能の ON/OFF を設定します。 0:先読み機能無効 1:先読み機能有効	11-18	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>RBUFON1</td> <td>命令 RAM ミラー領域への先読み機能の ON/OFF を設定します。 0:先読み機能無効 1:先読み機能有効</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	1	RBUFON1	命令 RAM ミラー 領域への先読み機能の ON/OFF を設定します。 0:先読み機能無効 1:先読み機能有効																
ビット位置	ビット名	意味																															
1	RBUFON1	命令 RAM 領域領域への先読み機能の ON/OFF を設定します。 0:先読み機能無効 1:先読み機能有効																															
ビット位置	ビット名	意味																															
1	RBUFON1	命令 RAM ミラー 領域への先読み機能の ON/OFF を設定します。 0:先読み機能無効 1:先読み機能有効																															
11-19	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <table border="1"> <thead> <tr> <th rowspan="2">対象マクロ</th> <th colspan="2">アドレス範囲</th> <th colspan="2">関連許可ビット</th> </tr> <tr> <th>MPU 空間</th> <th>内部 AHB 空間</th> <th>先読み</th> <th>PageROM</th> </tr> </thead> <tbody> <tr> <td>命令 RAM 領域</td> <td>0B FFFFH ~ 00 0000H</td> <td>000B FFFFH ~ 0000 0000H</td> <td>HIFBCC. RBUFON1</td> <td>HIFPRC. PAGEON1</td> </tr> </tbody> </table>		対象マクロ	アドレス範囲		関連許可ビット		MPU 空間	内部 AHB 空間	先読み	PageROM	命令 RAM 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1	11-19	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <table border="1"> <thead> <tr> <th rowspan="2">対象マクロ</th> <th colspan="2">アドレス範囲</th> <th colspan="2">関連許可ビット</th> </tr> <tr> <th>MPU 空間</th> <th>内部 AHB 空間</th> <th>先読み</th> <th>PageROM</th> </tr> </thead> <tbody> <tr> <td>命令 RAM ミラー領域</td> <td>0B FFFFH ~ 00 0000H</td> <td>000B FFFFH ~ 0000 0000H</td> <td>HIFBCC. RBUFON1</td> <td>HIFPRC. PAGEON1</td> </tr> </tbody> </table>		対象マクロ	アドレス範囲		関連許可ビット		MPU 空間	内部 AHB 空間	先読み	PageROM	命令 RAM ミラー 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1
対象マクロ	アドレス範囲			関連許可ビット																													
	MPU 空間	内部 AHB 空間	先読み	PageROM																													
命令 RAM 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1																													
対象マクロ	アドレス範囲		関連許可ビット																														
	MPU 空間	内部 AHB 空間	先読み	PageROM																													
命令 RAM ミラー 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1																													

No.4-25 11.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)

先読み機能有効時に命令 RAM ミラー領域へアクセスする場合の注意を追加

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
11-19	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <p>注意. 対象マクロに応じて、先読み機能を有効に設定しても先読みできない領域があります。</p>	11-19	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <p>注意 1. 対象マクロに応じて、先読み機能を有効に設定しても先読みできない領域があります。 2. 先読み機能有効時に命令 RAM ミラー領域の最終 16 バイト領域をリード・アクセスすると、HERROUTZ 端子がアサートされますのでご注意ください。</p>

No.4-26 11.2.5 制御レジスタ (4) HOSTIF ページ ROM 制御レジスタ (HIFPRC)

命令 RAM 領域を命令 RAM ミラー領域へ修正

V10.00		V11.00													
ページ	記載内容	ページ	改訂内容												
11-21	<p>【(4) HOSTIF ページ ROM 制御レジスタ(HIFPRC)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PAGEON1</td> <td>命令 RAM 領域領域への PageROM 読み出しの ON/OFF を設定します。 0: SRAM 読み出し 1: PageROM 読み出し</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	1	PAGEON1	命令 RAM 領域領域への PageROM 読み出しの ON/OFF を設定します。 0: SRAM 読み出し 1: PageROM 読み出し	11-21	<p>【(4) HOSTIF ページ ROM 制御レジスタ(HIFPRC)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PAGEON1</td> <td>命令 RAM ミラー領域への PageROM 読み出しの ON/OFF を設定します。 0: SRAM 読み出し 1: PageROM 読み出し</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	1	PAGEON1	命令 RAM ミラー領域への PageROM 読み出しの ON/OFF を設定します。 0: SRAM 読み出し 1: PageROM 読み出し
ビット位置	ビット名	意味													
1	PAGEON1	命令 RAM 領域領域への PageROM 読み出しの ON/OFF を設定します。 0: SRAM 読み出し 1: PageROM 読み出し													
ビット位置	ビット名	意味													
1	PAGEON1	命令 RAM ミラー領域への PageROM 読み出しの ON/OFF を設定します。 0: SRAM 読み出し 1: PageROM 読み出し													

No.4-27 12.3 シリアル・フラッシュ ROM との接続

接続図内の R-IN 端子名および接続方向を修正

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
12-12	<p>【図 12.1 シリアル・フラッシュ ROM との接続図】</p>	12-12	<p>【図 12.1 シリアル・フラッシュ ROM との接続図】</p>

No.4-28 13.1.1 概要

スキップ機能説明の文言を他章と統一

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
13-2	<p>【13.1.1 概要】 ○スキップ機能 DMA 転送でアクセスする領域に対し、連続アクセス・サイズと離散アクセス・サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスを離散アクセス・サイズで設定サイズ分スキップできます。</p>	13-2	<p>【13.1.1 概要】 ○スキップ機能 DMA 転送でアクセスする領域に対し、連続アクセス・サイズとスキップ空間サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスをスキップ空間サイズで設定サイズ分スキップできます。</p>

No.4-29 13.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTFR)

DMA 転送トリガ要因に外部 DMA 転送要求入力を選択する際の注記を追加

V10.00		V11.00																	
ページ	記載内容	ページ	改訂内容																
13-86	<p>【13.4.6 DMA トリガ要因選択レジスタ(DTFRn, RTDTFR)】</p> <table border="1"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr> <td>01H</td> <td>DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)</td> </tr> <tr> <td>02H</td> <td>DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)</td> </tr> <tr> <td>03H</td> <td>RTDMAREQZ 端子 (DMA 転送要求) 入力 (RTDTFR レジスタのみ設定有効)</td> </tr> </tbody> </table> <p>【13.4.6 DMA トリガ要因選択レジスタ(DTFRn, RTDTFR)】</p> <p>記載なし</p>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	01H	DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)	02H	DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)	03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 (RTDTFR レジスタのみ設定有効)	13-86	<p>【13.4.6 DMA トリガ要因選択レジスタ(DTFRn, RTDTFR)】</p> <table border="1"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr> <td>01H</td> <td>DMAREQZ0 端子 (DMA 転送要求) 入力^注</td> </tr> <tr> <td>02H</td> <td>DMAREQZ1 端子 (DMA 転送要求) 入力^注</td> </tr> <tr> <td>03H</td> <td>RTDMAREQZ 端子 (DMA 転送要求) 入力^注</td> </tr> </tbody> </table> <p>【13.4.6 DMA トリガ要因選択レジスタ(DTFRn, RTDTFR)】</p> <p>注. DMA 転送トリガ要因に外部 DMA 転送要求入力 (DMAREQZ0 端子入力、DMAREQZ1 端子入力、RTDMAREQZ 端子入力) を設定可能なレジスタは、以下の組み合わせです。 DMAREQZ0 端子 : DTFR0 レジスタ DMAREQZ1 端子 : DTFR1 レジスタ RTDMAREQZ 端子 : RTDTFR レジスタ</p>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	01H	DMAREQZ0 端子 (DMA 転送要求) 入力 ^注	02H	DMAREQZ1 端子 (DMA 転送要求) 入力 ^注	03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 ^注
IFCn6-IFCn0	DMA 転送トリガ要因の選択																		
01H	DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)																		
02H	DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)																		
03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 (RTDTFR レジスタのみ設定有効)																		
IFCn6-IFCn0	DMA 転送トリガ要因の選択																		
01H	DMAREQZ0 端子 (DMA 転送要求) 入力 ^注																		
02H	DMAREQZ1 端子 (DMA 転送要求) 入力 ^注																		
03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 ^注																		

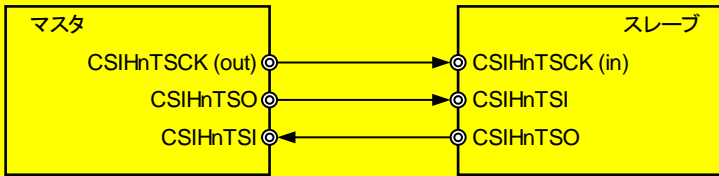
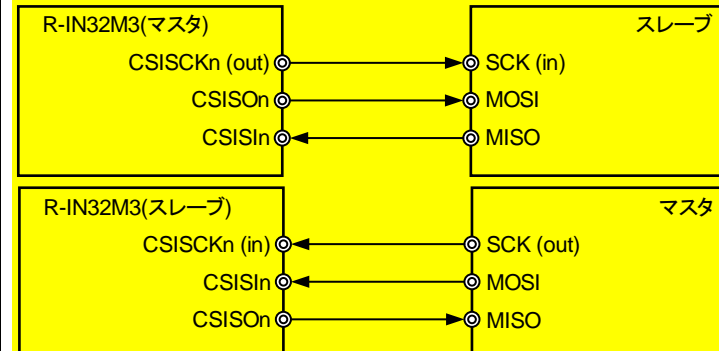
No.4-30 13.6 割り込み出力機能

汎用およびリアルタイムポート用 DMA コントローラの割り込み出力波形設定の削除

V10.00					V11.00				
ページ	記載内容				ページ	改訂内容			
13-90	【表 13.9 汎用 DMA コントローラの割り込み出力】				13-90	【表 13.9 汎用 DMA コントローラの割り込み出力】			
	割り込み信号	割り込み要因	割り込み検出のマスク	パルス出力/割り込み出力の切り替え		割り込み出力のマスク	割り込み信号	割り込み要因	割り込み検出のマスク
	INTDMA _n	DMA トランザクションが終了	CHCFG _n レジスタ DEM = 1	DCTRL レジスタ LVINT = 0:パルス出力 LVINT = 1:レベル出力	CHSTAT _n . INTM = 1	INTDMA _n	DMA トランザクションが終了	CHCFG _n レジスタ DEM = 1	CHSTAT _n . INTM = 1
		リンク・モードでインバリッドなディスクリプタをリード	header の DIM = 1				リンク・モードでインバリッドなディスクリプタをリード	header の DIM = 1	
	INTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)		— (不可)	INTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)	— (不可)
	【表 13.10 リアルタイムポート用 DMA コントローラの割り込み出力】					【表 13.10 リアルタイムポート用 DMA コントローラの割り込み出力】			
	割り込み信号	割り込み要因	割り込み検出のマスク	パルス出力/割り込み出力の切り替え	割り込み出力のマスク	割り込み信号	割り込み要因	割り込み検出のマスク	割り込み出力のマスク
	INTRTDMA	DMA トランザクションが終了	RTCHCFG レジスタ DEM = 1	DCTRL レジスタ LVINT = 0:パルス出力 LVINT = 1:レベル出力	RTCHSTAT. INTM = 1	INTRTDMA _n	DMA トランザクションが終了	RTCHCFG レジスタ DEM = 1	RTCHSTAT. INTM = 1
		リンク・モードでインバリッドなディスクリプタをリード	header の DIM = 1				リンク・モードでインバリッドなディスクリプタをリード	header の DIM = 1	
	INTRTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)		— (不可)	INTRTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)	— (不可)

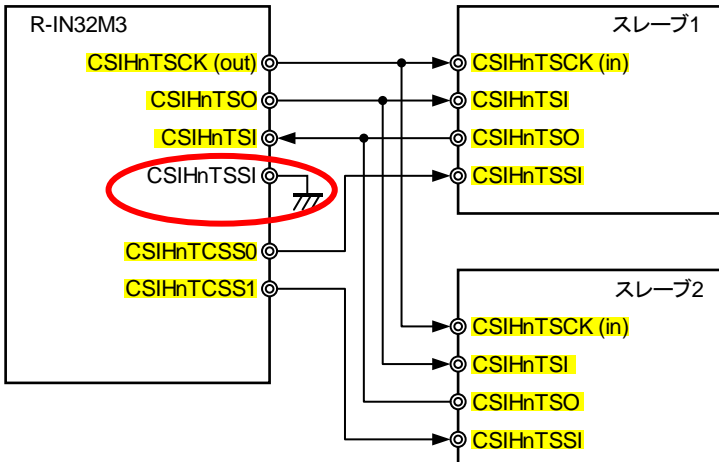
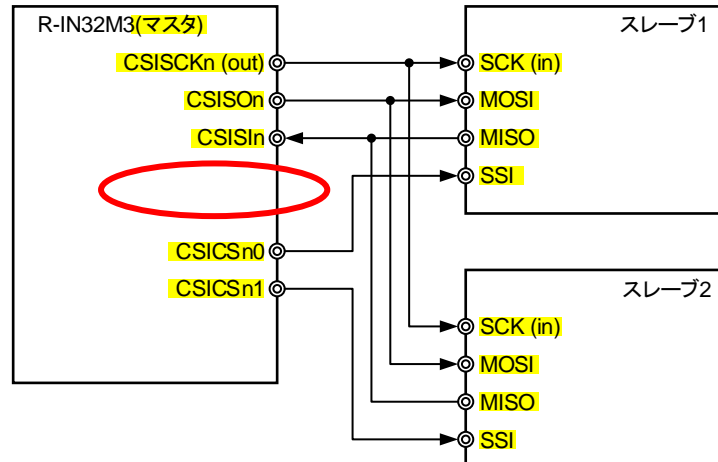
No.4-31 17.4.2 マスタ/スレーブの接続[1/2]

マスタ 1/スレーブ 1 接続の場合の図を変更、および CSIH 端子名変更と CSIHnTSSI 端子の削除

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
17-40	<p>【(1) マスタ 1、スレーブ 1 の場合】</p>  <p>図 17.4 マスタ/スレーブ間の直接の接続</p>	17-40	<p>【(1) マスタ 1、スレーブ 1 の場合】</p>  <p>図 17.4 マスタ/スレーブ間の直接の接続</p>

No.4-31 17.4.2 マスタ/スレーブの接続[2/2]

マスタ 1/スレーブ 1 接続の場合の図を変更、および CSIH 端子名変更と CSIHnTSSI 端子の削除

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
17-40	<p>【(2) マスタ 1、スレーブ 2 の場合】 以下の図は、R-IN32M3 をマスタとした 2 つのスレーブとの接続を示しています。 この例では、R-IN32M3 が各スレーブに 1 つずつチップ・セレクト (CS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 CSIHnTSSI に接続されます。</p>  <p>図 17.5 1 つのマスタと 2 つのスレーブの間の接続</p> <p>デフォルトのチップ・セレクト・レベルはアクティブ・ローです。つまり、スレーブのスレーブ選択入力信号 (CSIHnTSSI) がロー・レベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、チップ・セレクト信号 (CS) をほかのデバイスに適合させるために、チップ・セレクト信号の出力レベルがアクティブ・ハイになるようにプログラミングすることもできます。</p> <p>選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 CSIHnTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。</p>	17-40~41	<p>【(2) マスタ 1、スレーブ 2 の場合】 以下の図は、R-IN32M3 をマスタとした 2 つのスレーブとの接続を示しています。 この例では、R-IN32M3 が各スレーブに 1 つずつチップ・セレクト (CS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 SSI に接続されます。</p>  <p>図 17.5 1 つのマスタと 2 つのスレーブの間の接続</p> <p>デフォルトのチップ・セレクト・レベルはアクティブ・ローです。つまり、スレーブのスレーブ選択入力信号 (SSI) がロー・レベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、チップ・セレクト信号 (CS) をほかのデバイスに適合させるために、チップ・セレクト信号の出力レベルがアクティブ・ハイになるようにプログラミングすることもできます。</p> <p>選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 MISO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。</p>
17-41	<p>【(3) CSIHnTSO 出力制御】 CSIH は、以下のすべての条件が満たされたときに、CSIHnTSO 出力が可能になります。</p> <ul style="list-style-type: none"> ・CSIH が有効になっている (CSIHnCTL0.CSIHnPWR = 1)。 ・CSIH が送信モードまたは送受信モードで動作している (CSIHnCTL0.CSIHnTXE = 1)。 <p>この機能を利用して外部 CSIHnTSO 信号回線の輻輳を回避することができます。</p>	17-41	<p>【(3) CSISOn 出力制御】 CSIH は、以下のすべての条件が満たされたときに、CSISOn 出力が可能になります。</p> <ul style="list-style-type: none"> ・CSIH が有効になっている (CSIHnCTL0.CSIHnPWR = 1)。 ・CSIH が送信モードまたは送受信モードで動作している (CSIHnCTL0.CSIHnTXE = 1)。 <p>この機能を利用して外部 CSISOn 信号回線の輻輳を回避することができます。</p>

No.4-32 18.3 (6) IICBn ハイ・レベル幅設定レジスタ

$t_{SU:STA}$ の発生タイミングを修正・タイミング図に $t_{HD:DAT}$ を追加

V10.00		V11.00																																																																	
ページ	記載内容	ページ	改訂内容																																																																
18-15	<p>【(1) 外部メモリ・ブート・モード】</p> <p>表 18.4 シリアル出カタイミグ生成条件</p> <table border="1"> <thead> <tr> <th>略号</th> <th>内容</th> <th>標準モード</th> <th>高速モード</th> </tr> </thead> <tbody> <tr> <td>$t_{HD:STA}$</td> <td>スタート・コンディション・ホールド時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{LOW}</td> <td>SCL ロー・レベル幅期間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>t_{HIGH}</td> <td>SCL ハイ・レベル幅期間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>$t_{SU:STA}$</td> <td>スタート・コンディション・セットアップ時間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{SU:STO}$</td> <td>ストップ・コンディション・セットアップ時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{BUF}</td> <td>バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{HD:DAT}$</td> <td>データ・ホールド時間</td> <td>IICB0WL[9:2] / PCLK</td> <td>IICB0WL[9:2] / PCLK</td> </tr> </tbody> </table>	略号	内容	標準モード	高速モード	$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK	t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK	$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0W L / PCLK	$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK	$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK	18-15	<p>【(1) 外部メモリ・ブート・モード】</p> <p>表 18.4 シリアル出力タイミグ生成条件</p> <table border="1"> <thead> <tr> <th>略号</th> <th>内容</th> <th>標準モード</th> <th>高速モード</th> </tr> </thead> <tbody> <tr> <td>$t_{HD:STA}$</td> <td>スタート・コンディション・ホールド時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{LOW}</td> <td>SCL ロー・レベル幅期間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>t_{HIGH}</td> <td>SCL ハイ・レベル幅期間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>$t_{SU:STA}$</td> <td>スタート・コンディション・セットアップ時間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{SU:STO}$</td> <td>ストップ・コンディション・セットアップ時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{BUF}</td> <td>バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{HD:DAT}$</td> <td>データ・ホールド時間</td> <td>IICB0WL[9:2] / PCLK</td> <td>IICB0WL[9:2] / PCLK</td> </tr> </tbody> </table>	略号	内容	標準モード	高速モード	$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK	t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK	$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0W L / PCLK	$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK	$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK
略号	内容	標準モード	高速モード																																																																
$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																
t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK																																																																
t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK																																																																
$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0W L / PCLK																																																																
$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																
t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK																																																																
$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK																																																																
略号	内容	標準モード	高速モード																																																																
$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																
t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK																																																																
t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK																																																																
$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0W L / PCLK																																																																
$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																
t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK																																																																
$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK																																																																

No.4-33 18.6.1 シングル転送モード (3) シングル転送モード (スレーブ受信) の通信例

<5> データ受信完了処理 で設定不要なビットを削除

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
18-43	<p>【<5> データ受信完了処理】</p> <ul style="list-style-type: none"> ・ウェイト期間中に IICBnCTL0.IICBnSLWT ビット=1、IICBnCTL0.IICBnSLAC ビット=0 に設定。 ・その後、IICBnTRG.IICBnWRET ビットをセット(1)することでウェイト解除シアクノリッジが生成されず、送信側にデータの終わりを通知。 	18-43	<p>【<5> データ受信完了処理】</p> <ul style="list-style-type: none"> ・ウェイト期間中に IICBnCTL0.IICBnSLAC ビット=0 に設定。 ・その後、IICBnTRG.IICBnWRET ビットをセット(1)することでウェイト解除シアクノリッジが生成されず、送信側にデータの終わりを通知。

No.4-34 21.7 システム・プロテクト・コマンド・レジスタ (SYSPCMD)

システム・プロテクト・コマンド・レジスタへのライト完了後動作の注意の補足説明を追加

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
21-7	<p>【21.7 システム・プロテクト・コマンド・レジスタ(SYSPCMD)】</p> <p>注意 1 <1>、<2>、<3>では、レジスタへの書き込みは行われていません。 2 対象レジスタへのライト完了後は、必ず本ビットをクリア (0) してください。</p>	21-7	<p>【21.7 システム・プロテクト・コマンド・レジスタ(SYSPCMD)】</p> <p>注意 1 <1>、<2>、<3>では、レジスタへの書き込みは行われていません。 2 対象レジスタへのライト完了後は、必ず本ビットをクリア (0:プロテクト設定) してください。</p>

No.4-35 22 デバッグ機能

推奨インサーキット・エミュレータ情報の変更

V10.00		V11.00	
ページ	記載内容	ページ	改訂内容
22-1	<p>【22 デバッグ機能】</p> <p>なお、R-IN32M3と接続する推奨インサーキット・エミュレータ(ICE)は、IAR システムズ株式会社の I-jet (トレース未対応)と JTAGjet (トレース対応)、横河デジタルコンピュータ株式会社の adviceLUNA です。</p>	22-1	<p>【22 デバッグ機能】</p> <p>なお、R-IN32M3と接続する推奨インサーキット・エミュレータ(ICE)は、IAR システムズ株式会社の I-jet (トレース未対応)と JTAGjet (トレース対応)、株式会社 DTS インサイトの adviceLUNA II です。</p>

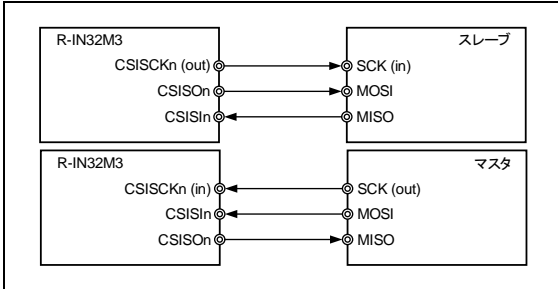
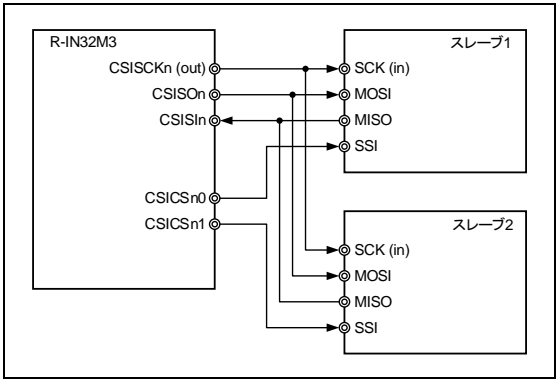
No.5-1 12 シリアル・フラッシュ ROM 接続端子

接続図内の R-IN 端子名を修正

V3.00		V4.00	
ページ	記載内容	ページ	改訂内容
36	<p>【図 12.1 シリアル・フラッシュ ROM との接続図】</p>	36	<p>【図 12.1 シリアル・フラッシュ ROM との接続図】</p>

No.5-2 17 CSIH 端子

章を追加

V3.00		V4.00	
ページ	記載内容	ページ	改訂内容
-	記載なし	41	<p>【17 CSIH 端子】 新規追加 「 17. CSIH 端子 R-IN32M3 と CSI マスタおよび CSI スレーブを接続する際の接続例です。</p> <p>15.1 マスタ1、スレーブ1 の場合 1つのマスタと1つのスレーブの間の接続例を示します。</p>  <p>17.2 マスタ1、スレーブ2 の場合 R-IN32M3 をマスタとした2つのスレーブとの接続を示します。 この例では、R-IN32M3 が各スレーブに1つつチップ・セレクト (CS) 信号を供給し、スレーブ・デバイスのスレーブ選択入力 (SSI) へ接続しています。</p> 

No.5-3 22.4 BSCAN 非対応端子

非対応端子を追加

V3.00		V4.00	
ページ	記載内容	ページ	改訂内容
48	<p>【21.4 BSCAN 非対応端子】</p> <div style="border: 1px solid black; padding: 5px;"> <p style="text-align: center;">R-IN32M3-EC</p> <p>XT1 XT2 PONRZ ... LX EXTRES</p> </div>	49	<p>【22.4 BSCAN 非対応端子】</p> <div style="border: 1px solid black; padding: 5px;"> <p style="text-align: center;">R-IN32M3-EC</p> <p>XT1 XT2 PONRZ ... LX EXTRES FB P0_SD_N P1_SD_N</p> </div>

No.5-4 22.6 BSDL 使用時の注意事項

章を追加

V3.00		V4.00	
ページ	記載内容	ページ	改訂内容
-	記載無し	50	<p>【22.6 BSDL 使用時の注意事項】</p> <p>BSDL ファイルの使用時、BSDL 上に使用していない Control セルが存在していることにより以下のエラーが発生する場合があります。該当のエラーが発生した場合は、疑似エラーとして扱ってください。</p> <div style="border: 1px solid black; padding: 5px;"> <p>エラーログ<一部抜粋>:</p> <p>Error, Line 1112, Control cell 236 does not enable any driver.</p> <p>Error, Line 1112, Control cell 238 does not enable any driver.</p> <p>Error, Line 1112, Control cell 240 does not enable any driver.</p> <p>Error, Line 1112, Control cell 242 does not enable any driver.</p> <p>Error, Line 1112, Control cell 244 does not enable any driver.</p> <p>Error, Line 1112, Control cell 246 does not enable any driver.</p> </div>

No.5-5 25 熱設計ガイド

章題を変更

V3.00		V4.00	
ページ	記載内容	ページ	改訂内容
52	<p>【25 熱設計ガイド】 25 熱設計ガイド</p> <p>本章では、R-IN32M3 の熱特性について記載するとともに、実装基板を設計する上での放熱対策や異常発熱を起こさないための注意事項について記載します。特に R-IN32M3-EC は、Ethernet PHY、大容量内蔵メモリ、レギュレータを搭載しているため、熱への配慮がより必要となります。放熱を考慮した基板設計及び筐体設計をお願いします。</p>	53	<p>【25.熱設計】 25 熱設計</p> <p>本章では、R-IN32M3 の熱特性について記載するとともに、実装基板を設計する上での放熱対策や異常発熱を起こさないための注意事項について記載します。特に R-IN32M3-EC は、Ethernet PHY、大容量内蔵メモリ、レギュレータを搭載しているため、熱への配慮がより必要となります。放熱を考慮した基板設計及び筐体設計をお願いします。</p>

No.5-6 26 ノイズ対策

ノイズ対策として、クロック出力の停止に関する内容を追加

V3.00		V4.00	
ページ	記載内容	ページ	改訂内容
-	記載なし	62	<p>【26.ノイズ対策】 新規追加 「 26.1 クロック出力の停止 R-IN32M3 から出力される BUSCLK を使用していない場合、出力の停止が可能です。 「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編」の「2.2.2 クロック制御レジスタ(CLKGTD0, CLKGTD1)」に記載されている、CLKGTD0 レジスタの GCBCLK ビットの制御を行ってください。」</p>

No.6-1 1.2 開発環境

推奨インサートキット・エミュレータ情報の変更

V5.00					V6.00					
ページ	記載内容				ページ	改訂内容				
2	【表 1.1 ソフトウェア開発ツール一覧(ツールチェーン)】				2	【表 1.1 ソフトウェア開発ツール一覧(ツールチェーン)】				
	ツール チェーン	IDE	コンパイラ	デバッガ	ICE	ツール チェーン	IDE	コンパイラ	デバッガ	ICE
	Keil MDK-Arm	µVision V5.18.0.0 (Arm)	µVision V5.18.0.0 (Arm)	µVision V5.18.0.0 (Arm)	ULINK2 ULINKpro (Arm)	Keil MDK-Arm	µVision V5.18.0.0 (Arm)	µVision V5.18.0.0 (Arm)	µVision V5.18.0.0 (Arm)	ULINK2 ULINKpro (Arm)
	GNU	-	Sourcery G++ Lite for ARM EABI 2012.09-63 (Mentor Graphics)	microVIEW-PLUS Ver.5.11PL3 (横河デジタルコンピュータ)	adviceLUNA 2.03-00 (横河デジタルコンピュータ)	GNU	-	Sourcery G++ Lite for ARM EABI 2012.09-63 (Mentor Graphics)	microVIEW-PLUS Ver.5.11PL3 (株式会社 DTS インサイト)	adviceLUNA 2.03-00 (株式会社 DTS インサイト)
	IAR	Embedded Workbench for Arm (最新版をお使いください) (IAR Systems)			I-jet JTAGjet-Trace-CM (IAR Systems)	IAR	Embedded Workbench for Arm (最新版をお使いください) (IAR Systems)			I-jet JTAGjet-Trace-CM (IAR Systems)

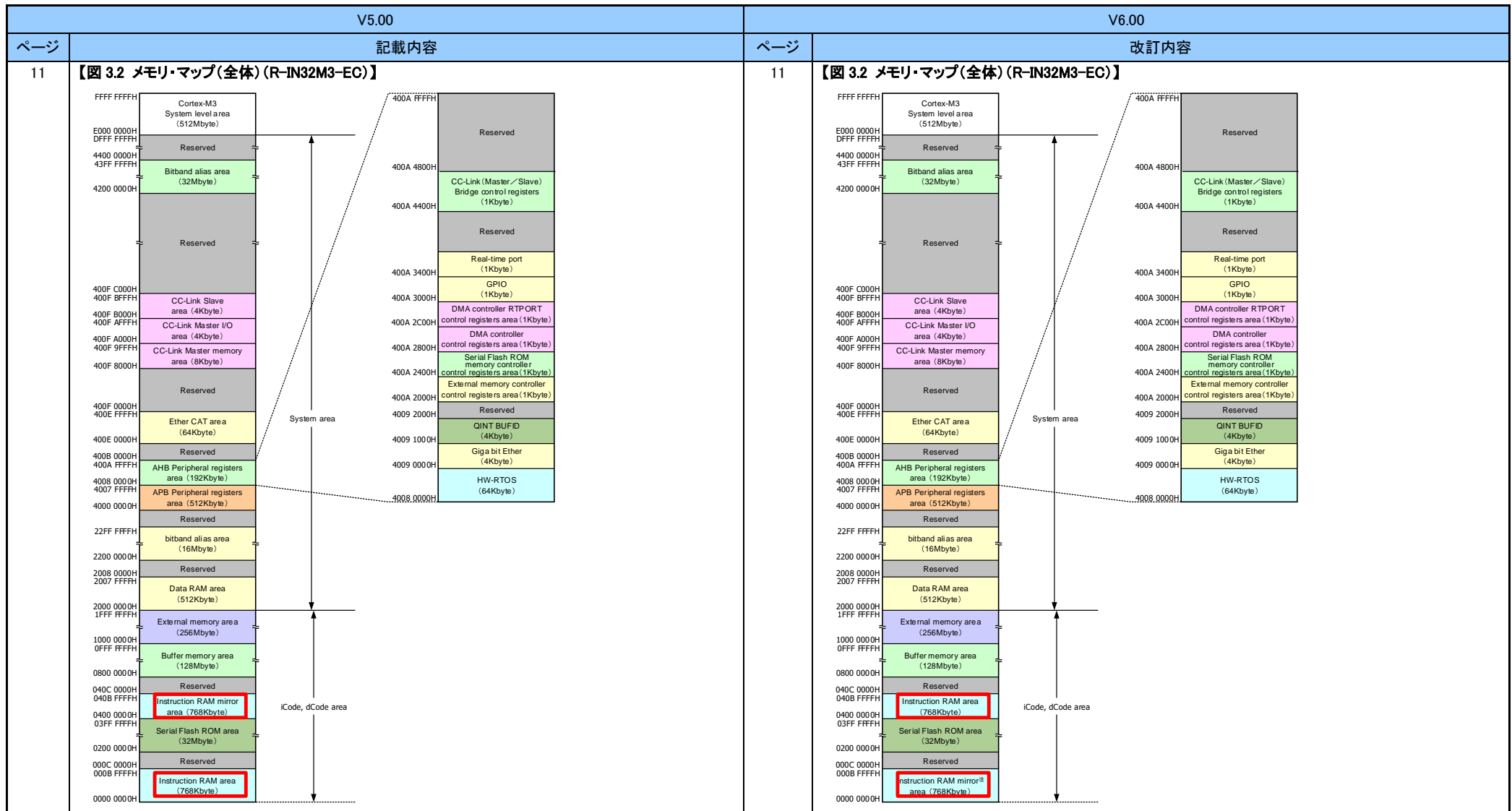
No.6-2 3.2.1 メモリ配置

命令 RAM ミラー領域に関する注意を追加

V5.00		V6.00																										
ページ	記載内容	ページ	改訂内容																									
11	<p>【3.2.1 メモリ配置】</p> <p>記載なし</p>	11	<p>【3.2.1 メモリ配置】</p> <p>注. 上記 Instruction RAM mirror area(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
12	<p>【3.2.1 メモリ配置】</p> <p>記載なし</p>	12	<p>【3.2.1 メモリ配置】</p> <p>注. 上記 Instruction RAM mirror area(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
15	<p>【3.2.1 メモリ配置】</p> <p>記載なし</p>	15	<p>【3.2.1 メモリ配置】</p> <p>注. 上記 Instruction RAM mirror area(768K バイト)はブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								
16	<p>【3.2.1 メモリ配置】</p> <p>記載なし</p>	16	<p>【3.2.1 メモリ配置】</p> <p>注. 上記 Instruction RAM mirror area(768K バイト)はブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.6-3 3.2.1 メモリ配置[1/2]

命令 RAM 領域と命令 RAM ミラー領域の入れ替わりを修正



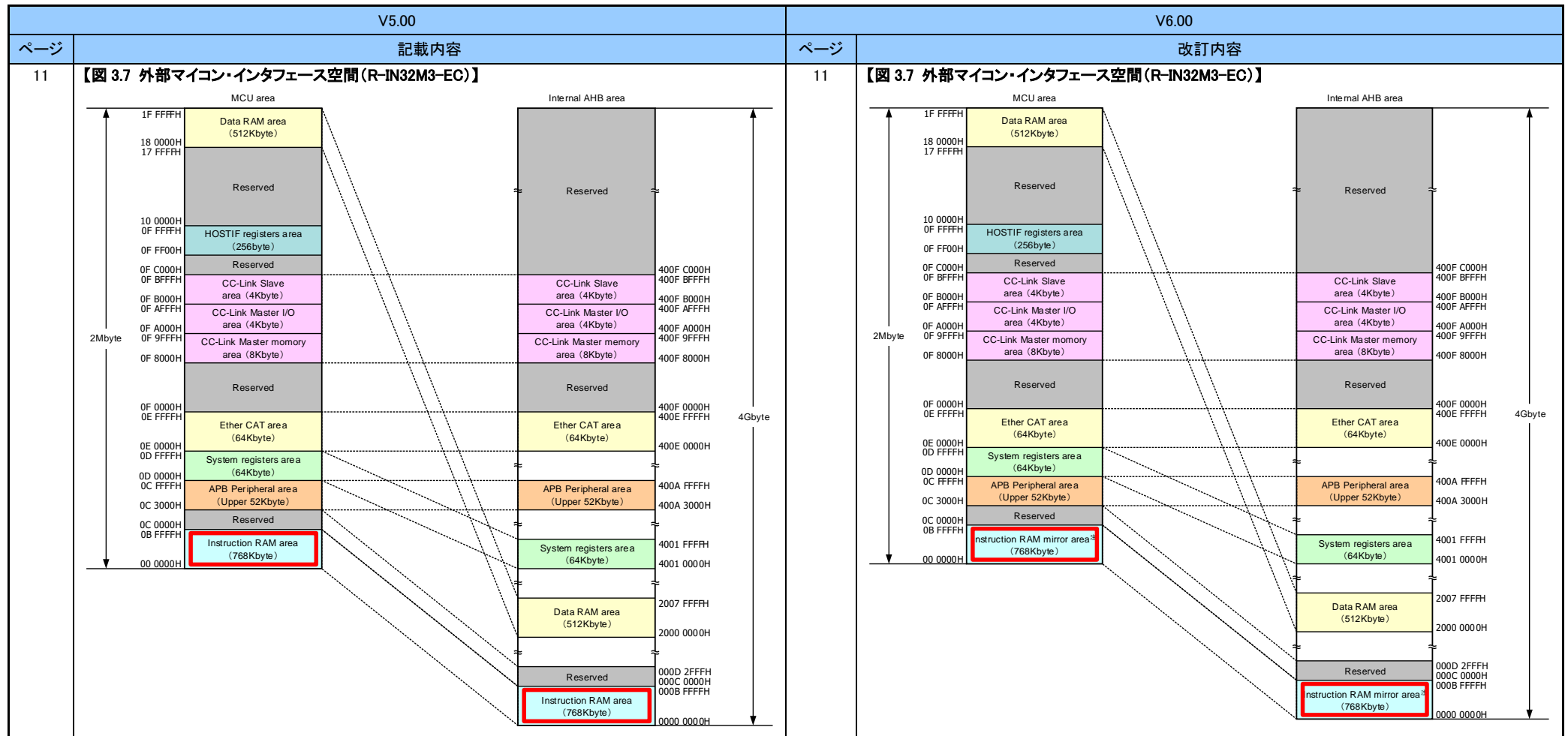
No.6-3 3.2.1 メモリ配置[2/2]

命令 RAM 領域と命令 RAM ミラー領域の入れ替わりを修正

V5.00		V6.00	
ページ	記載内容	ページ	改訂内容
12	<p>【図 3.3 メモリ・マップ(全体) (R-IN32M3-CL)】</p>	12	<p>【図 3.3 メモリ・マップ(全体) (R-IN32M3-CL)】</p>

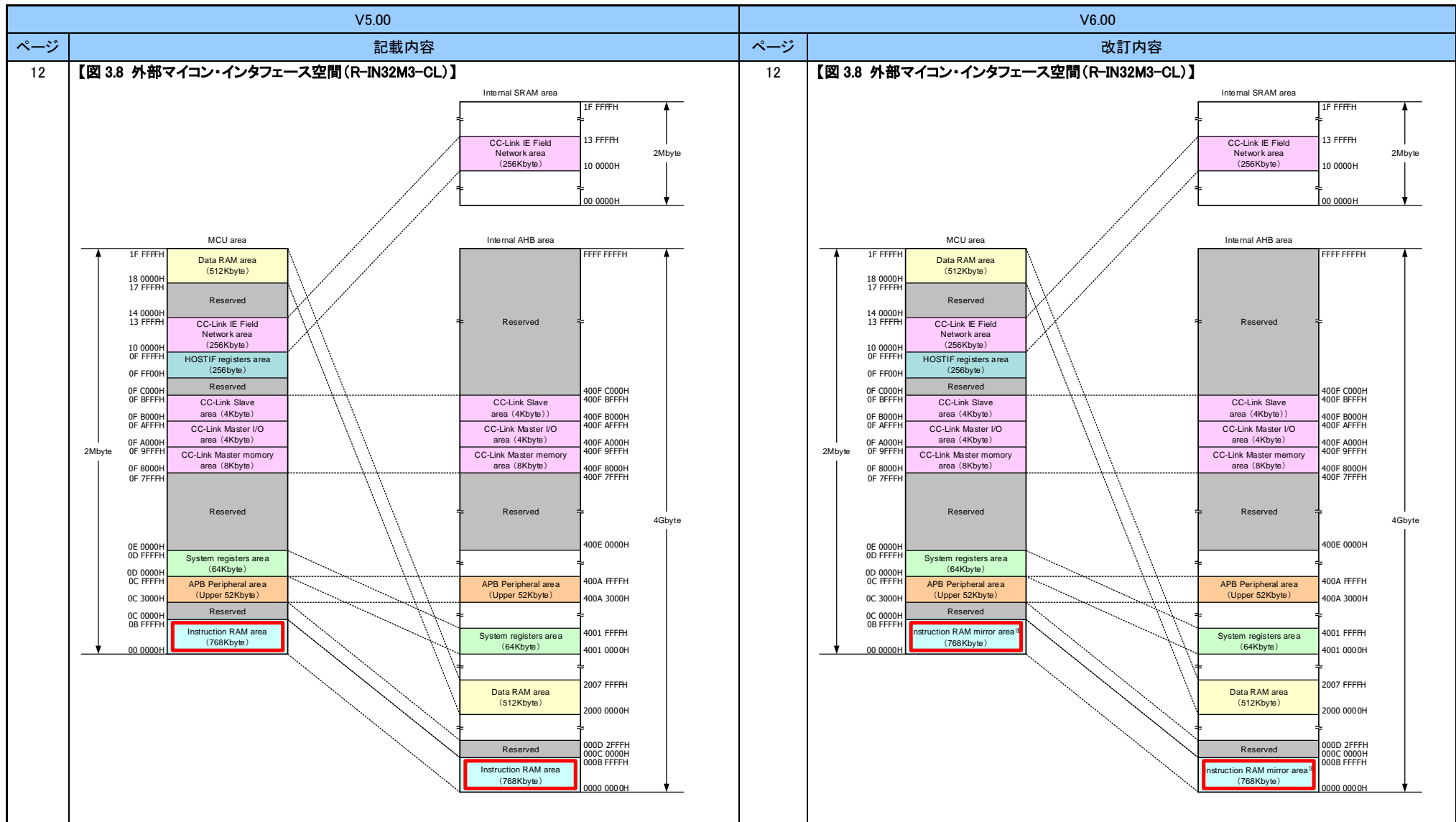
No.6-4 3.2.1 メモリ配置[1/2]

命令 RAM 領域を命令 RAM ミラー領域へ修正



No.6-4 3.2.1 メモリ配置[2/2]

命令 RAM 領域を命令 RAM ミラー領域へ修正



No.6-5 6.4.1 IICコントローラの初期化

機能説明のタイミング設定値の修正と補足説明の追加

V5.00		V6.00	
ページ	記載内容	ページ	改訂内容
39	<p>【(4) 機能】</p> <p>選択したチャンネルの IIC の初期設定を行います。 選択したチャンネルが 0 または 1 以外の場合は ER_PARAM (パラメータ・エラー) を返します。</p> <ul style="list-style-type: none"> ・ IIC クロック設定 <ul style="list-style-type: none"> > 高速モード : 400kHz ・ IIC タイミング設定 <ul style="list-style-type: none"> > ストップとスタートの間隔 : $80 \times \text{PCLK}$ > セットアップ・サイクル <ul style="list-style-type: none"> スタート・コンディション : $80 \times \text{PCLK}$ ストップ・コンディション : $45 \times \text{PCLK}$ ライト・データ : $2 \times \text{PCLK}$ > ホールド・サイクル <ul style="list-style-type: none"> スタート・コンディション : $45 \times \text{PCLK}$ データ : $80 \times \text{PCLK}$ ライト・データ : $0 \times \text{PCLK}$ リード・データ : $2 \times \text{PCLK}$ <p>備考. IIC クロック設定は SDA_n および SCL_n の立ち上がり時間、立ち下がり時間が共に 20ns の場合を想定し、400kHz となるよう設定しています。ご利用の環境にあわせて適宜レジスタ設定を変更してください。 詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編」をご覧ください。</p>	35	<p>【(4) 機能】</p> <p>選択したチャンネルの IIC の初期設定を行います。 選択したチャンネルが 0 または 1 以外の場合は ER_PARAM (パラメータ・エラー) を返します。</p> <ul style="list-style-type: none"> ・ IIC クロック設定 <ul style="list-style-type: none"> > 高速モード : 400kHz ・ IIC タイミング設定 <ul style="list-style-type: none"> > ストップとスタートの間隔 : $130 \times \text{PCLK 周期 (ns)}$ SCL ロー・レベル期間 : $130 \times \text{PCLK 周期 (ns)}$ SCL ハイ・レベル期間 : $116 \times \text{PCLK 周期 (ns)}$ > セットアップ・サイクル <ul style="list-style-type: none"> スタート・コンディション : $116 \times \text{PCLK 周期 (ns)}$ ストップ・コンディション : $116 \times \text{PCLK 周期 (ns)}$ > ホールド・サイクル <ul style="list-style-type: none"> スタート・コンディション : $116 \times \text{PCLK 周期 (ns)}$ データ : $32 \times \text{PCLK 周期 (ns)}$ <p>備考 1. IIC クロック設定は SDA_n および SCL_n の立ち上がり時間、立ち下がり時間が共に 20ns の場合を想定し、400kHz となるよう設定しています。ご利用の環境にあわせて適宜レジスタ設定を変更してください。 詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編」をご覧ください。 備考 2. PCLK 周期 = 10ns</p>

No.6-6 6.5.5 受信データ確認 (スレーブ用)

説明文中の誤記を修正

V5.00		V6.00	
ページ	記載内容	ページ	改訂内容
50	<p>【(4)機能】</p> <p>選択したチャンネルが受信モードのときに CSI の受信データの有無を戻り値に返します。CSI コントローラがマスタ・モードの場合は、受信データを蓄えないため、常に ER_NOTYET (受信データなし) を返します。また、チャンネル選択引数が、0 または 1 以外の場合は、ER_PARAM (パラメータ・エラー) を返し、CSI コントローラの状態が送信モードでない場合は ER_INVALID (モード・エラー) を返します。</p>	46	<p>【(4)機能】</p> <p>選択したチャンネルが受信モードのときに CSI の受信データの有無を戻り値に返します。CSI コントローラがマスタ・モードの場合は、受信データを蓄えないため、常に ER_NOTYET (受信データなし) を返します。また、チャンネル選択引数が、0 または 1 以外の場合は、ER_PARAM (パラメータ・エラー) を返し、CSI コントローラの状態が受信モードでない場合は ER_INVALID (モード・エラー) を返します。</p>

No.7-1 3 推奨部品

推奨部品を追加

V1.01			V1.02		
ページ	記載内容		ページ	改訂内容	
4	【表 3.1 推奨部品】		4	【表 3.1 推奨部品】	
	品名	型名 ^{注1}	メーカー		
	フィルタ	MCT7050-A401	信華株式会社		
	RS485 トランシーバ	SN75ALS181NS	日本テキサス・インスツルメンツ株式会社		
	ツェナーダイオード	RD6.2Z	ルネサス エレクトロニクス株式会社		
				STZU6.2NT146	ローム株式会社

No.7-2 5.CC-Link(リモートデバイス局)対応端子

IOTENSU 端子の機能説明を変更

V1.01				V1.02			
ページ	記載内容			ページ	改訂内容		
6	【表 5.1 CC-Link(リモートデバイス局)と R-IN32M3 シリーズ端子の対応】			6	【表 5.1 CC-Link(リモートデバイス局)と R-IN32M3 シリーズ端子の対応】		
	CC-Link 端子名	R-IN32M3 端子名	兼用ポート	機能			
	IOTENSU	CCS_IOTENSU	P22	初期設定端子			初期設定端子 (Low 固定)
8	【表 5.2 CC-Link(リモートデバイス局)と R-IN32M4-CL2 端子の対応】			8	【表 5.2 CC-Link(リモートデバイス局)と R-IN32M4-CL2 端子の対応】		
	CC-Link 端子名	R-IN32M3 端子名	兼用ポート	機能			
	IOTENSU	CCS_IOTENSU	P22	初期設定端子			初期設定端子 (Low 固定)

No.7-3 6.1 占有局数設定

IOTENSU 端子に関する注意を変更

V1.01		V1.02	
ページ	記載内容	ページ	改訂内容
9	【6.1 占有局数設定】 注意 IOTENSU 端子を「H」に設定した場合、I/O 点数は占有局数の設定にかかわらず、32ビット固定となります。	9	【6.1 占有局数設定】 注意 IOTENSU 端子は「L」でご使用ください。「H」は使用禁止です。

No.7-4 14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など

質問・回答のおよび回答内容の変更

V1.01		V1.02																												
ページ	記載内容	ページ	改訂内容																											
69	<p>【14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など】</p> <table border="1"> <thead> <tr> <th></th> <th>質問</th> <th>回答</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？</td> <td>局番設定は必須です。お客様で、自由な局番設定ができないば愛、システムを構成できない可能性があるためです。 ロータリースイッチではなく、ディップスイッチやソフトウェア処理とすることには問題ありません。</td> </tr> <tr> <td>3</td> <td>通信用(RS485)コネクタを下面に設置してよいですか。 (コネクタを抜き差し可能にします)</td> <td>適宜配置していただいてかまいません。</td> </tr> <tr> <td>4</td> <td>外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの大 きさ、種類など</td> <td>指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。</td> </tr> </tbody> </table>		質問	回答	2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	局番設定は必須です。お客様で、自由な局番設定ができないば愛、システムを構成できない可能性があるためです。 ロータリースイッチではなく、ディップスイッチやソフトウェア処理とすることには問題ありません。	3	通信用(RS485)コネクタを下面に設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。	4	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの大 きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。	69	<p>【14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など】</p> <table border="1"> <thead> <tr> <th></th> <th>質問</th> <th>回答</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？</td> <td>CC-linkの規格上、局番は自由に 設定する必要があります。</td> </tr> <tr> <td>3</td> <td>ソフトウェアで局番を設定できますか？</td> <td>局番を設定するレジスタはありません。 局番設定には“局番設定スイッチ入力端子 (CCS_STATION_NO_0 - CCS_STATION_NO_7)”を 使用する必要があります。 スイッチを備えない場合、“局番設定スイッチ入力端子”を 任意の汎用ポートと接続の上、ソフトウェアで汎用 ポートから局番を設定することで、局番設定を行うことが 可能です。 局番設定後、CC-Linkブロックのリセット解除を 行ってください</td> </tr> <tr> <td>4</td> <td>通信用(RS485)コネクタを下面に 設置してよいですか。 (コネクタを抜き差し可能にします)</td> <td>適宜配置していただいてかまいません。</td> </tr> <tr> <td>5</td> <td>外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの 大きさ、種類など</td> <td>指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状 態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。</td> </tr> </tbody> </table>		質問	回答	2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	CC-linkの規格上、局番は自由に 設定する必要があります。	3	ソフトウェアで局番を設定できますか？	局番を設定するレジスタはありません。 局番設定には“局番設定スイッチ入力端子 (CCS_STATION_NO_0 - CCS_STATION_NO_7)”を 使用する必要があります。 スイッチを備えない場合、“局番設定スイッチ入力端子”を 任意の汎用ポートと接続の上、ソフトウェアで汎用 ポートから局番を設定することで、局番設定を行うことが 可能です。 局番設定後、CC-Linkブロックのリセット解除を 行ってください	4	通信用(RS485)コネクタを下面に 設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。	5	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの 大きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状 態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。
	質問	回答																												
2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	局番設定は必須です。お客様で、自由な局番設定ができないば愛、システムを構成できない可能性があるためです。 ロータリースイッチではなく、ディップスイッチやソフトウェア処理とすることには問題ありません。																												
3	通信用(RS485)コネクタを下面に設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。																												
4	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの大 きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。																												
	質問	回答																												
2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	CC-linkの規格上、局番は自由に 設定する必要があります。																												
3	ソフトウェアで局番を設定できますか？	局番を設定するレジスタはありません。 局番設定には“局番設定スイッチ入力端子 (CCS_STATION_NO_0 - CCS_STATION_NO_7)”を 使用する必要があります。 スイッチを備えない場合、“局番設定スイッチ入力端子”を 任意の汎用ポートと接続の上、ソフトウェアで汎用 ポートから局番を設定することで、局番設定を行うことが 可能です。 局番設定後、CC-Linkブロックのリセット解除を 行ってください																												
4	通信用(RS485)コネクタを下面に 設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。																												
5	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの 大きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状 態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。																												