

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RH8-B0567B/J	Rev.	第 2 版
題名	RH850 G3M 停止問題		情報分類	技術情報	
適用製品	RH850/C1H, C1M RH850/D1M1A, D1M1H, D1M2 RH850/E1L, E1M-S RH850/F1H RH850/P1H-C, P1M-C	対象ロット等	関連資料	下記関連資料参照	
		全て			

G3M が特定のプログラムコードの実行で停止する事象が判明致しましたので、報告いたします。

1. 概要

G3M コアを搭載する下記 RH850 製品において、G3M CPU(以下 CPU)で特定のプログラムコードの実行と、Code Flash への CPU による命令フェッチアクセスと 1 つ以上のバスマスタ (プログラムを実行している CPU のデータアクセスを含む)による同時アクセスを組み合わせると、CPU コア内において「分岐予測」と「命令フェッチ」の間に競合が発生し、CPU が停止する場合があります。

この CPU 停止から復帰する手段はリセットに限られます。

対象製品：RH850/C1H, C1M, D1M1A, D1M1H, D1M2, E1L, E1M-S, F1H, P1H-C, P1M-C

非対象製品：RH850/D1L1, D1L2, D1M1, D1M1-V2, D1S1, F1M, P1L-C, P1M, P1M-E

2. 発生条件

以下の状態が全て成立する場合(静的条件)

状態 1. 負の PC 相対アドレスへの分岐

[分岐命令 A] Bcond, JR, LOOP

状態 2. [分岐命令 A]の分岐先以降に[分岐命令 B]があり、それぞれの配置のキャッシュライン(16 バイト配置ブロック)は別で連続 [分岐命令 B] BR, JR, JARL, JMP

状態 3.

3-1. [分岐命令 B]はアドレス+0x8 ～ +0xf [範囲 X]に配置

3-2. [分岐命令 B]とライン境界の間にある命令数は 1 ～ 2 つ

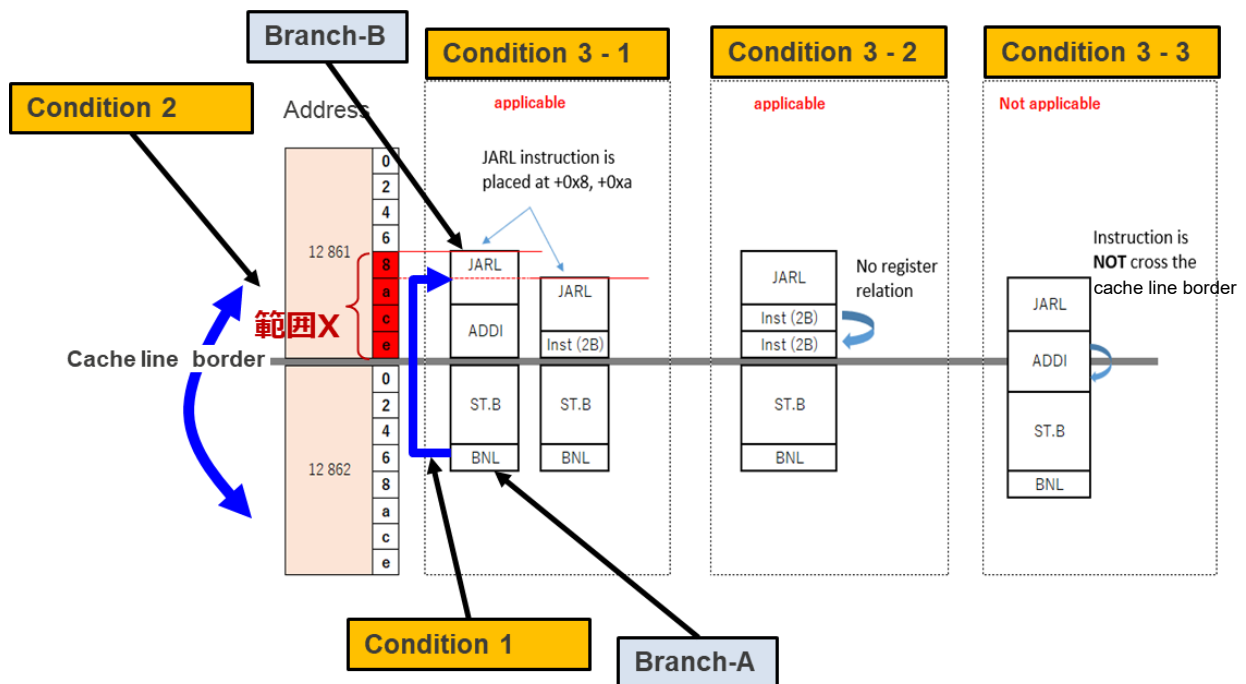
但し、以下を除く

命令数 1：SYNCI

命令数 2：2 命令の間で「レジスタ競合なし」、

あるいはいずれかの命令が NOP/SYNCI/SYNCP/SYNCM/一部の FPU 命令

3-3. [範囲 X]に、キャッシュライン(16 バイト配置ブロック)の境界をまたぐ命令はない



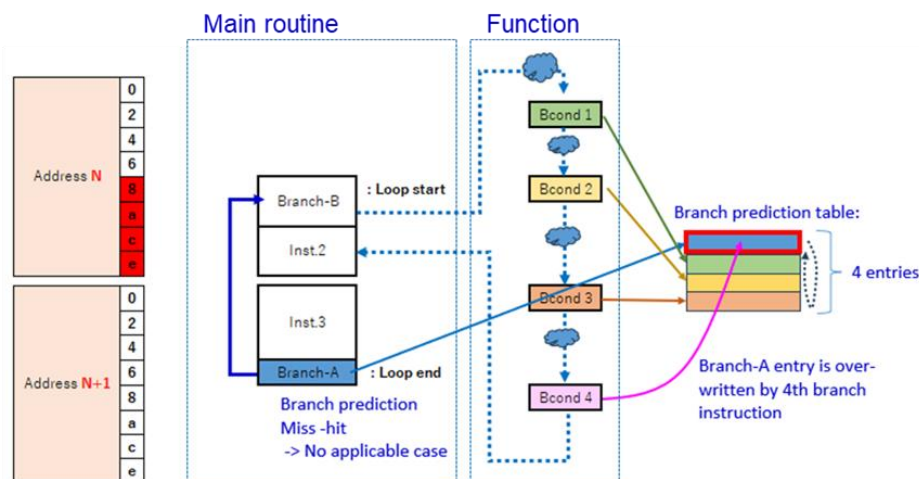
但し、上記静的条件を満たすコードでも、動的条件により該当にならない場合があります。

動的条件の一つが、[分岐命令 B] (“Function” の呼び出し) からのコードシーケンスにおける分岐回数です。

- ・ HW 機構の観点から「[分岐命令 A] を実行した場合の分岐予測はヒットである」が該当条件の 1 つである
- ・ [分岐命令 B] から呼ばれた「関数」に 4 つ以上の分岐命令 (Bcond1, 2, 3, 4) < *1 > がある場合、それら分岐命令の再実行により、[分岐命令 A] に対する分岐予測テーブルエントリが失われ、非該当にできる

< *1 > Bcond, JR, LOOP 命令が対象の分岐予測機能

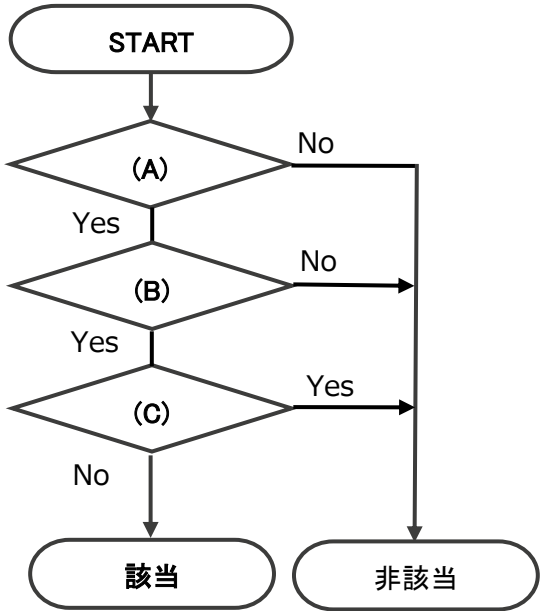
➤ Branch Prediction Entry Status



3. 該非判定

3.1 シングルコア製品

<該非判定フロー>



	判断内容
(A)	下表で対象(●)になっているか？
(B)	チェッカーツールにて、該当箇所が検出されたか？
(C)	検出された該当箇所は全て誤検出であるといえるか？

製品	Code Flash に同時アクセスするバスマスタ (バスマスタ 1,3,4 の内容は下表参照)			
製品名	バスマスタ 1 のみ	バスマスタ 1+3	バスマスタ 1+4	バスマスタ 1+3+4
C1M	●	N/A	●	N/A
D1M1A, D1M1H, D1M2		N/A	●	N/A
E1L (160MHz)				●
E1L (240MHz)	●	●	●	●
E1M-S	●	●	●	●
P1M-C (120/160MHz)		●	●	●
P1M-C (240MHz)	●	●	●	●

●：該非判定対象

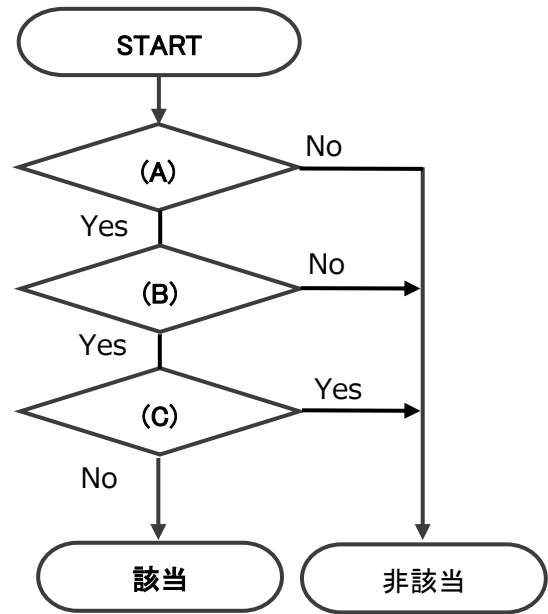
N/A：該当組み合わせ無し

バスマスタ 1	CPU1
バスマスタ 2	非搭載
バスマスタ 3	PCU または ICU-M
バスマスタ 4	上記以外の 1 つ以上のバスマスタ (DMA 他)

※各製品のバスマスタは 5. バスマスタ一覧を参照

3.2 マルチコア製品 CPU1 と CPU2 が Code Flash の同じバンクをアクセス

< 該非判定フロー >



	判断内容
(A)	下表で対象(●)になっているか？
(B)	チェッカーツールにて、該当箇所が検出されたか？
(C)	検出された該当箇所は全て誤検出であるといえるか？

Code Flash の同じバンクに同時アクセスするバスマスタ (バスマスタ 1,2,3,4 の内容は下表参照)				
製品名	バスマスタ 1+2	バスマスタ 1+2+3	バスマスタ 1+2+4	バスマスタ 1+2+3+4
C1H	●	N/A	●	N/A
F1H		●	●	●
P1H-C (160MHz)	●	●	●	●
P1H-C (240MHz)	●	●	●	●

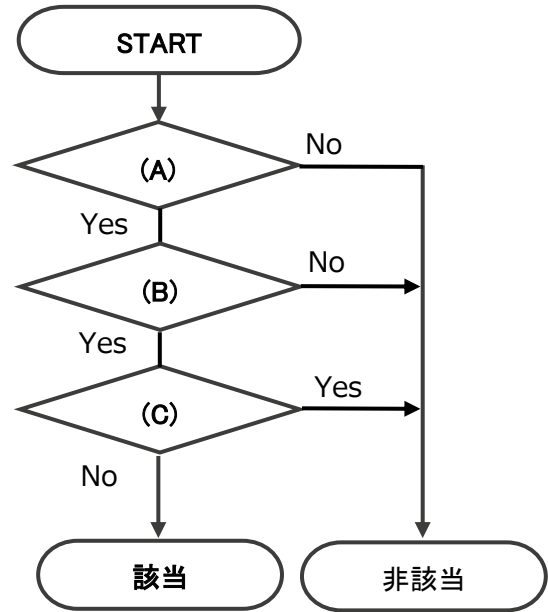
● ：該非判定対象
N/A：該当組み合わせ無し

バスマスタ 1	CPU1
バスマスタ 2	CPU2
バスマスタ 3	ICU-M
バスマスタ 4	上記以外の 1 つ以上のバスマスタ (DMA 他)

※各製品のバスマスタは 5. バスマスタ一覧を参照

3.3 マルチコア製品 CPU1 と CPU2 が Code Flash の異なるバンクをアクセス

< 該非判定フロー >



	判断内容
(A)	下表で対象(●)になっているか？
(B)	チェッカーツールにて、該当箇所が検出されたか？
(C)	検出された該当箇所は全て誤検出であるといえるか？

Code Flash の同じバンクに同時アクセスするバスマスタ (バスマスタ 1,2,3,4 の内容は下表参照)				
製品名	バスマスタ (1or2)のみ	バスマスタ (1or2)+3	バスマスタ (1or2)+4	バスマスタ (1or2)+3+4
C1H	●	N/A	●	N/A
F1H				●
P1H-C (160MHz)		●	●	●
P1H-C (240MHz)	●	●	●	●

● ：該非判定対象
N/A：該当組み合わせ無し

バスマスタ 1	CPU1
バスマスタ 2	CPU2
バスマスタ 3	ICU-M
バスマスタ 4	上記以外の 1 つ以上のバスマスタ (DMA 他)

※各製品のバスマスタは 5. バスマスタ一覧を参照

4. 回避策

以下のいずれかを実施して下さい。

- (1) CPU コアの「分岐予測機能」を無効にしてください。
- (2) [分岐命令 A]に対する分岐予測ヒットを阻害してください。

(1)分岐予測機能の無効化方法

G3M の「分岐予測 (Branch Prediction)」機能はリセット後から有効(デフォルト)になっており、分岐予測制御レジスタ(BPCR)の BPEN=0 で無効にできる。

Register No. (regID, selID)	Symbol	Function	Access Permission
SR8.12	BPCR	Branch prediction control	SV

31 2 1 0

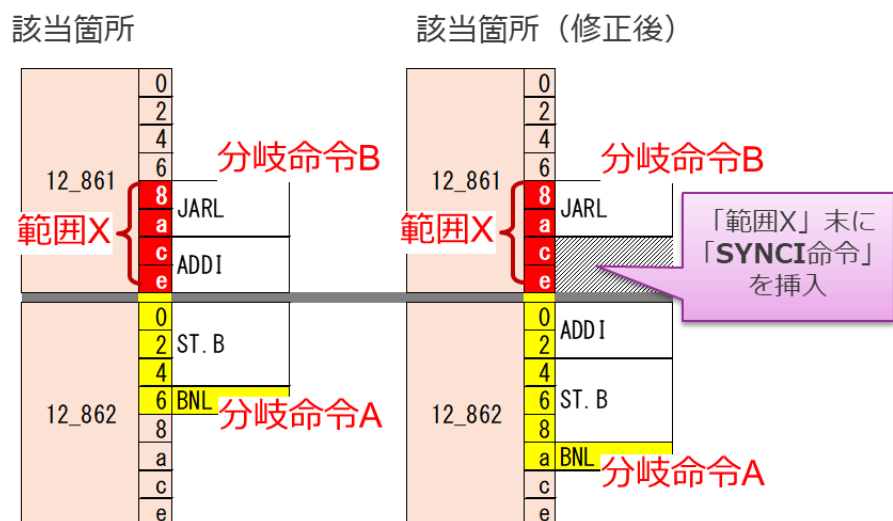
BPCR

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BP CLR	BP EN
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	-----------	----------

Value after reset
0000 0001H

(2)分岐予測機能の無効化方法

チェッカーツールで該当した箇所全ての「**範囲 X**」末に **SYNCR** 命令を挿入して下さい。



5. バスマスター一覧

Product	Bus Master 1	Bus Master 2	Bus Master 3	Bus Master 4					
C1H	CPU1	CPU2	-	DMA	-	-	-	-	-
C1M	CPU1	-	-	DMA	-	-	-	-	-
D1M1A	CPU1	-	-	DMA	SPEA (XC0)	ETNB (XC1)	GPU2D (XC1)	JCUA (XC1)	NFMA (XC1)
D1M1H	CPU1	-	-	DMA	SPEA (XC0)	ETNB (XC1)	GPU2D (XC1)	JCUA (XC1)	-
D1M2	CPU1	-	-	DMA	SPEA (XC0)	ETNB (XC1)	GPU2D (XC1)	JCUA (XC1)	MLBB (XC1)
E1L	CPU1	-	PCU	DMA	-	-	-	-	-
E1M-S	CPU1	-	PCU	DMA	FlexRay (H-Bus)	-	-	-	-
F1H	CPU1	CPU2	ICUMB	DMA	FLXA (H-Bus)	ETNB (H-Bus)	-	-	-
P1H-C	CPU1	CPU2	ICUMC	DMA	FLX0/1 (H-Bus)	ETNA (H-Bus)	HS-USRT (H-Bus)	-	-
P1M-C	CPU1	-	ICUMC	DMA	FLX0/1 (H-Bus)	ETNA (H-Bus)	HS-USRT (H-Bus)	-	-

【関連文書】

シリーズ	グループ	関連資料	Rev.	管理番号
RH850	C1H/C1M	RH850/C1x ユーザーズマニュアル ハードウェア編	1.60	R01UH0414JJ0160
RH850	D1M1A/D1M1H/ D1M2	RH850/D1L/D1M Group User's Manual: Hardware	2.20	R01UH0451EJ0220
RH850	E1L	RH850/E1L ユーザーズマニュアル ハードウェア編	1.20	R01UH0468JJ0120
RH850	E1M-S	RH850/E1M-S ユーザーズマニュアル ハードウェア編	1.20	R01UH0466JJ0120
RH850	F1H	RH850/F1H ユーザーズマニュアル ハードウェア編	1.12	R01UH0445JJ0112
RH850	F1H-100	RH850/F1H PREMIUM100pin 版ユーザーズマニュアル ハードウェア編	1.01	R01UH0631JJ0101
RH850	P1H-C/P1M-C	RH850/P1x-C Group User's Manual: Hardware	1.40	R01UH0517EJ0140
RH850		RH850G3M ユーザーズマニュアル ソフトウェア編	1.40	R01US0123JJ0140

以上