

1. 絶対最大定格, 電気的特性

1.1 絶対最大定格

絶対最大定格の項目である耐圧 V_{DSS} , ドレイン電流 I_D , 許容チャネル損失 P_{ch} は, それぞれ独立した項目として規定されています。また, これらの項目はいかなる使用条件でも超えてはならないという定格値を表わしています。絶対最大定格の項目は, 他の特性と相互に緊密な関連のあるものが多く, それぞれ同時に許されるものではありません。

(1) ドレイン・ソース耐圧 V_{DSS}

ゲート・ソース間を短絡したとき, ドレイン・ソース間に印加し得る電圧の最大値です。 V_{DSS} は, 温度により変動します。図1に示しますようにジャンクション温度 T_j が, 100°C 上昇した場合, $V_{(BR)DSS}$ が約 10% 増加します。 T_j が低下した場合は, 逆に同じ比率で $V_{(BR)DSS}$ が低下することに注意する必要があります。

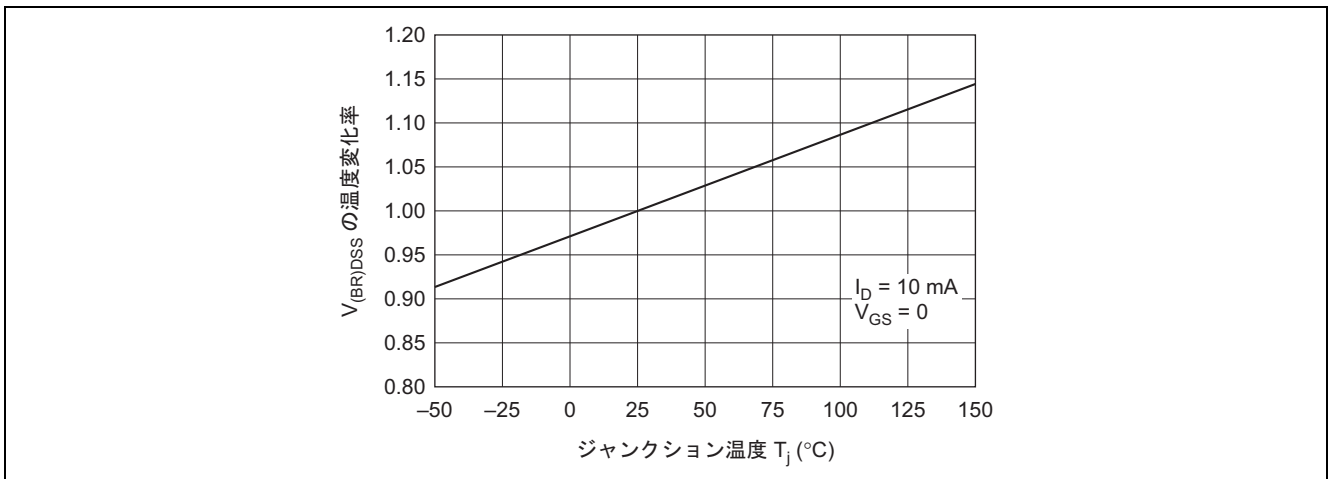


図1 ジャンクション温度に対する $V_{(BR)DSS}$ の変化率

(2) ゲート・ソース耐圧 V_{GSS}

ドレイン・ソース間を短絡したとき, ゲート・ソース間に保護ダイオードが挿入されているデバイスについて測定しています。したがって保護ダイオードなしのデバイスを測定してはいけません。

(3) ドレイン電流 I_D , ドレインピーク電流 $I_{D(\text{peak})}$ または $I_{D(\text{pulse})}$

許容チャネル損失の限度内において, ドレインに連続的に流し得る直流電流の最大値が I_D , 平均電流が I_D を超えない範囲において, 流し得る交流ドレイン電流のせん頭値を $I_{D(\text{peak})}$ または $I_{D(\text{pulse})}$ で表わしています。一般的に動作時の I_D 許容値は, 下記の式により計算できます。

$$I_{D\text{max.}} = \sqrt{\frac{T_{ch \text{ max.}} - T_c}{\theta_{ch-c} \cdot R_{DS(\text{on})\text{max.}}}} \text{ (A)} \quad \text{.....①}$$

同様に $I_{D(\text{peak})}$ の許容値は, 下記の式により計算できます。

$$I_{D(\text{peak})\text{max.}} = \sqrt{\frac{T_{ch \text{ max.}} - T_c}{\theta_{ch-c(t)} \cdot R_{DS(\text{on})\text{max.}}}} \text{ (A)} \quad \text{.....②}$$

ただし,

- $T_{ch \text{ max.}}$: チャネル温度 max.(150°C)
- T_c : ケース温度
- θ_{ch-c} : 直流での熱抵抗
- $\theta_{ch-c(t)}$: 過渡熱抵抗

- $R_{DS(on)max}$: ドレイン・ソースオン抵抗の max.値
- $\gamma_{S(t)}$: 規格化過渡熱抵抗
(ここでは, 1 shot pulse)

なおパルス幅 PW, duty cycle n%の $\theta_{ch-c}(t)$ は, 次式により求めることができます。

$$\theta_{ch-c}(t) = \theta_{ch-c} \left\{ \frac{n}{100} + \left(1 - \frac{n}{100} \right) \gamma_{S(t)} \right\} \dots\dots\dots ③$$

①②式の $R_{DS(on)max}$ は, ワorst条件を考慮して, $T_{ch} = 150^{\circ}C$ の $R_{DS(on)max}$ (データシートの $R_{DS(on)} - T_c$ 特性カーブによる) の値を使用します。

《計算例》2SK1166 を使用し $PW = 10 \mu s$, $duty = 10\%$, $T_c = 80^{\circ}C_{max}$. での $I_{D(peak)}$ 許容値は?

(i) $PW = 10 \mu s$, $duty = 10\%$ の $\theta_{ch-c}(t)$ は, データシート (図 2) の過渡熱抵抗より, $\gamma_{S(t)} \cong 0.12$, よって $\theta_{ch-c}(t) = \gamma_{S(t)} \cdot \theta_{ch-c} = 0.12 \times 1.25 = 0.15^{\circ}C/W$ となります。

(ii) 2SK1166 の $R_{DS(on)max}$ は, データシートより 0.6Ω , $T_{ch} = 150^{\circ}C$ の $R_{DS(on)max}$ は, 約 $2.4 \times 0.6 = 1.44 \Omega$ となります。

したがって, ②式に各定数を代入して計算すると下記のように約 18 A となります。

$$I_{D(peak)} = \sqrt{\frac{150 - 80}{0.15 \times 1.44}} \cong 18A$$

【注】 $R_{DS(on)max}$ は, カタログ測定条件の値を使用していますが, 実装 $I_{D(peak)}$ 条件での $R_{DS(on)}$ を確認することが必要です。

(4) 逆ドレイン電流 I_{DR}

許容チャネル損失の限度内において, ソース・ドレイン間に等価的に形成される内蔵ダイオードに連続的に流し得る逆方向直流電流の最大値です。本特性は, モータコントロール用途の Hブリッジ回路出力段などに用いた場合, 転流ダイオードとして応用しますが, 回路動作条件により破壊することがあるため, 使用に際しては 8.1 内蔵ダイオードの使用上の注意をご参照ください。

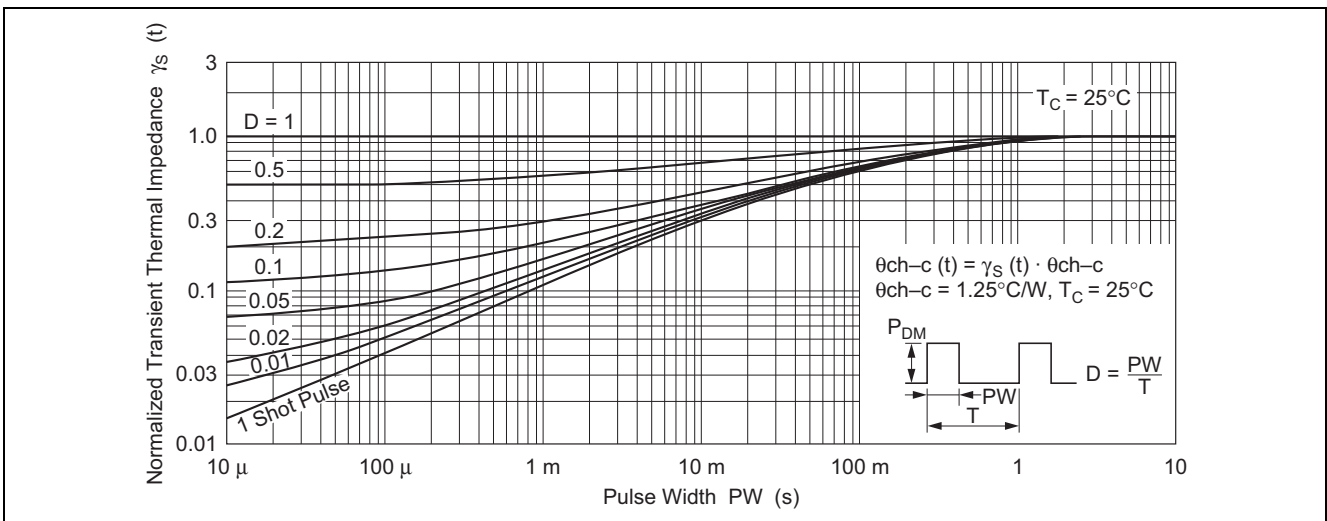


図 2 2SK1165, 2SK1166 過渡熱抵抗特性 (データシート)

(5) 許容チャネル損失 Pch または P_D

規定の放熱条件において, トランジスタに連続的に消費させ得るドレイン損失の最大値です。ケース温度 T_c により下式でディレーティングする必要があります。

$$Pch(T_c) = Pch_{(25^{\circ}C)} \times \frac{T_{ch\ max.} - T_c}{T_{ch\ max.} - 25} \dots\dots\dots ④$$

また, 過渡時の許容チャネル損失 $Pch(t)$ は, データシートの過渡熱抵抗特性により・式で算出することができます。

$$Pch(t) = \frac{T_{ch\ max.} - T_c}{\theta_{ch-c}(t)} \dots\dots\dots ⑤$$

温度ディレーティングは、④式と同様な方法で行います。

(6) 許容チャネル温度 T_{ch}

トランジスタの T_j と同じで、動作中におけるケース温度 (T_c) とトランジスタ自身の内部損失 (P_d) による温度上昇 ($\theta_{ch-c} \cdot P_d$) との和 ($T_c + \theta_{ch-c} \cdot P_d$) が超えてはならない接合部温度の上限値です。

(7) 保存温度 T_{stg}

トランジスタを非動作状態において保存する場合、超えてはならない周囲温度の下限および上限値です。

1.2 電気的特性

(1) ドレイン・ソース破壊電圧 $V_{(BR)DSS}$

測定条件は、 I_D を規定し、 $V_{GS} = 0$ とします。前述しましたように温度により変動します。

(2) ゲート・ソース破壊電圧 $V_{(BR)GSS}$

本項目は、ゲート・ソース間に保護ダイオードが挿入されている製品について規定しています。測定条件は、 $I_G (= \pm 100 \text{ mA})$ を規定し、 $V_{DS} = 0$ とします。

(3) ゲート遮断電流 I_{GSS}

測定条件は、 V_{GS} を規定し、 $V_{DS} = 0$ とします。ゲート保護ダイオードのない製品の I_{GSS} は、通常 1 nA 以下の値で、温度による影響は、ほとんどありません。ゲート保護ダイオード内蔵品の I_{GSS} は、通常数百 $\text{nA} \sim 1 \mu\text{A}$ の値で、温度上昇により若干増加し、 $T_c \cong 110^\circ\text{C}$ で数 $\mu\text{A} \sim$ 数十 μA の値になります。

(4) ドレイン電流 I_{DSS}

ドレイン・ソース間の直流漏れ電流で、測定条件は、 V_{DS} を規定し、 $V_{GS} = 0$ とします。この値は、温度により最も敏感に変動します。

図3に示しますように、ジャンクション温度 T_j が 100°C に上昇した場合、 I_{DSS} は、約2桁に増加します。(ただし、 25°C の I_{DSS} が、PN ジャンクションの漏れ電流に対し、MOS FET のチャネル電流が支配的の場合、(B), (C) のようになります)

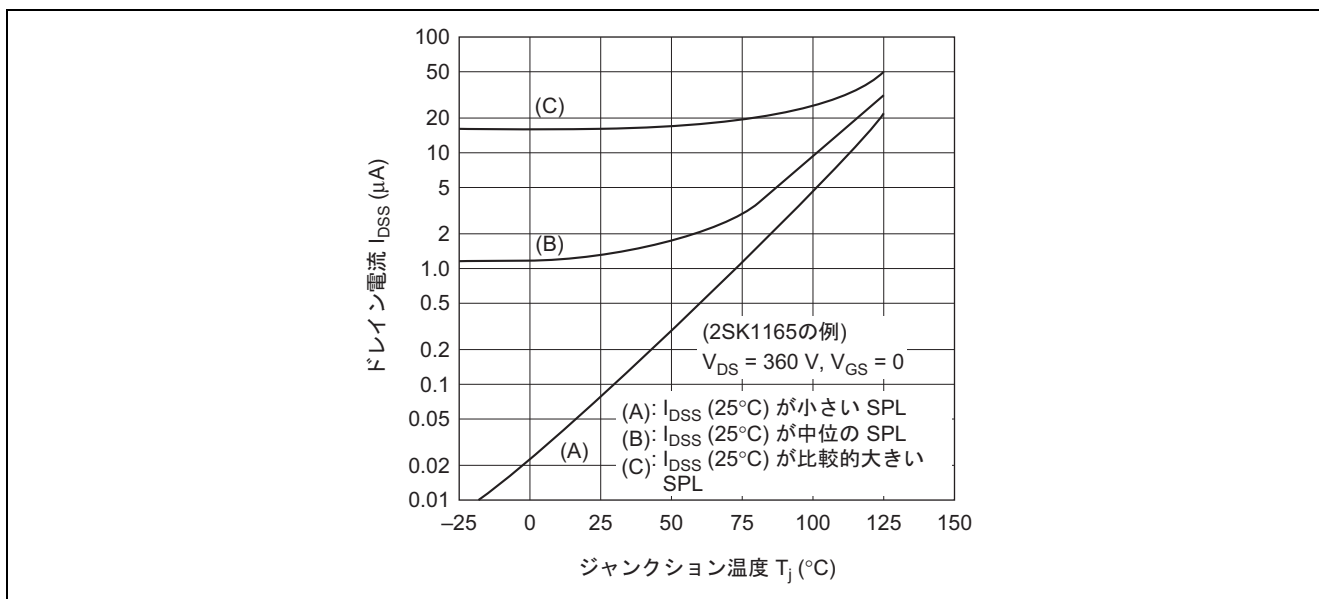


図3 ジャンクション温度に対する I_{DSS} の変化例

(5) ゲート・ソース遮断電圧 $V_{GS(off)}$

パワーMOS FET が伝導し始めるゲートしきい電圧で、 $V_{GS(off)}$ または $V_{GS(th)}$ の記号で表わしています。 $V_{GS(off)}$ は、温度により変動し、図4のように負の温度係数を持っています。製品によっても若干違ってきますが、 $-5\sim 7\text{mV}/^\circ\text{C}$ の温度係数になります。測定条件は、 V_{DS} 、 I_D を規定します。

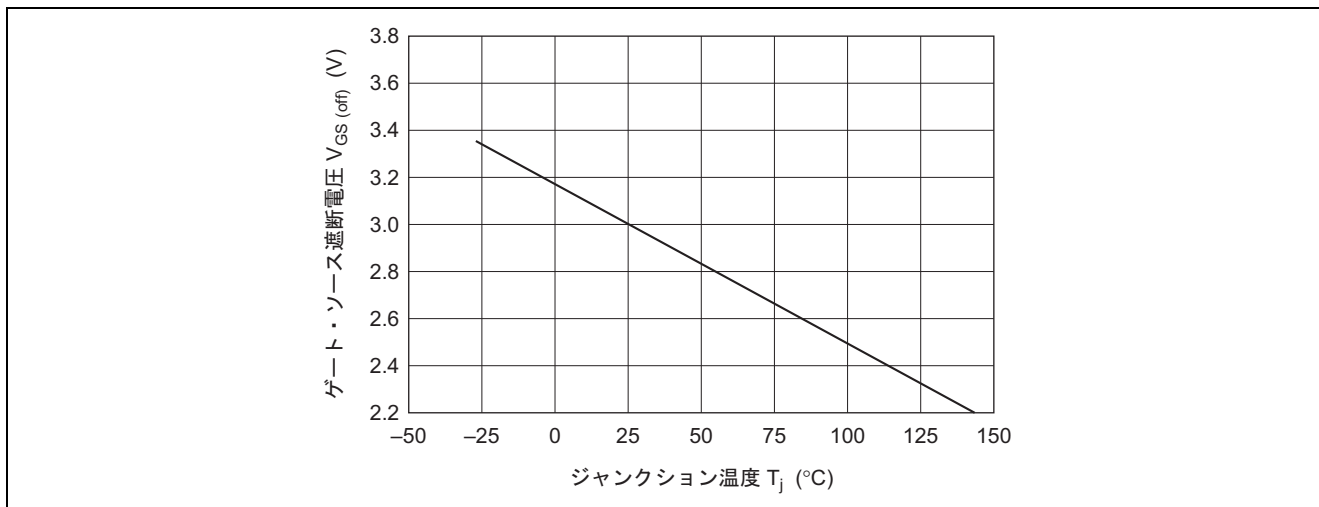


図4 ジャンクション温度に対する $V_{GS(off)}$ の変化

(6) ドレイン・ソースオン抵抗 $R_{DS(on)}$

オン抵抗 $R_{DS(on)}$ は、パワーMOS FET の最も重要なパラメータの一つで、測定条件は、 I_D 、 V_{GS} を規定します。

$R_{DS(on)}$ は、 V_{GS} により大きく変動します。すなわち $R_{DS(on)}$ を最小にし、デバイスを抵抗領域 (低損失) で動作させるためには、最低約 10 V 印加する必要があります (ただし、4 V 駆動が可能なシリーズは約 5 V で充分抵抗領域になります)。 V_{GS} は、12~15 V 以上にしても $R_{DS(on)}$ の低減にはあまり効果がなく、不必要にゲート電圧を大きくすると、充電電流が大きくなり、駆動損失の増加と、ゲート・ソース間にスパイク電圧が発生しやすくなります。さらにターンオフ遅延時間 $t_{d(off)}$ が長くなります (上昇時間 t_r は、短くなります)。

$R_{DS(on)}$ は、ドレイン電流 I_D により変化し、最大定格電流以上になると増加します。また正の温度依存性を持っており、ドレイン電流をパラメータに、温度特性をそれぞれの品種についてデータシートに記載していますのでご参照ください。

(7) 順伝達アドミタンス $|y_{fs}|$

バイポーラトランジスタが h_{FE} で利得を表わすのと同様、パワーMOS FET の利得を表わします。データシートに記載している $|y_{fs}|$ は、ゲート電圧の変化に対するドレイン電流の変化率 ($|y_{fs}| = \Delta I_D / \Delta V_{GS}$) で定義しています。 $|y_{fs}|$ は、デバイスを能動領域 (リニア回路) で動作させる場合には、重要なパラメータで、飽和領域 (スイッチング回路) で動作する場合にはあまり使用しないパラメータです。

測定条件は、 $V_{DS} (V_{DS} > I_D \cdot R_{DS(on)max.})$ 、 I_D を規定します。

(8) 各容量 C_{iss} 、 C_{oss} 、 C_{rss}

入力容量 C_{iss} 、出力容量 C_{oss} 、逆伝達容量 C_{rss} は、次のような関係になります。

$$C_{iss} = C_{gs} + C_{gd}$$

$$C_{oss} = C_{ds} + C_{gd}$$

$$C_{rss} = C_{gd}$$

ただし、

- C_{gs} : ゲート・ソース間容量
- C_{ds} : ドレイン・ソース間容量
- C_{gd} : ゲート・ドレイン間容量

Cgs, Cgd は、主にチップサイズとシリコンゲート酸化膜の厚さにより決定されます。Cds は、P-N 接合部の容量でドレイン領域の接合部の面積と接合部に逆バイアスを印加したとき形成される空乏層の広がり幅により決定されます。測定条件は、 V_{DS} , V_{GS} , f を規定しています。各容量の温度による影響は、ほとんどありません。

入力容量 C_{iss} は、パワーMOS FET のドライブ回路の設計で、ドライブ損失や入力容量を充電するために必要なピークラッシュ電流を計算する場合に使用しますが、データシートに記載している値を使用した場合、問題が生じてきます。したがって、計算にあたっては、5 入力ダイナミック特性をご参照ください。なお、ルネサスパワーMOS FET は、それぞれの品種について入力ダイナミック特性を記載しています。

(9) スイッチング時間 $t_{d(on)}$, t_r , $t_{d(off)}$, t_f

スイッチング時間は、測定回路の信号源インピーダンス R_S とドレイン負荷抵抗 R_L に大きく影響されます。測定条件は、 V_{DD} , R_L , V_{GS} , I_D を規定し、測定回路を規定しています。信号源インピーダンスは、 50Ω のパルスジェネレータを接続し規定しています。実際に使用する場合、 R_S をさらに小さくすることにより高速化することが可能です。温度による影響はほとんどありません。

ターンオン遅延時間 $t_{d(on)}$ は、入力ゲート電圧波形の立ち上り 10% から出力電圧波形立ち上り 10% までの期間です。この値は、 $V_{GS(off)}$ の値により若干影響し、 $V_{GS(off)}$ が小さい方が短くなります。

立ち上り時間 t_r は、出力電圧波形の立ち上り 10% から 90% の期間です。この値は、 V_{GS} および $V_{GS(off)}$ の値により影響し、 V_{GS} が大きく、 $V_{GS(off)}$ が小さい程短くなります。

ターンオフ遅延時間 $t_{d(off)}$ は、入力ゲート電圧波形の立ち下り 90% から出力電圧波形立ち下り 90% までの期間です。この値は、 V_{GS} および $V_{GS(off)}$ の値により影響し、 V_{GS} が小さく、 $V_{GS(off)}$ が大きい程短くなります。スイッチング動作で並列接続した場合、過渡時の電流バランスを均一にするためには、 $V_{GS(off)}$ を揃えることが有効な手段です。

立ち下がり時間 t_f は、出力電圧波形立ち下り 90% から 10% の期間です。この値は、負荷抵抗 R_L に最も影響を受けやすく、 R_L が大きい (軽負荷) 程長くなります。これは、オフ時にドレイン・ソース容量 C_{ds} を充電する時定数によるものです。

(10) ダイオード順電圧 V_{DF}

ドレイン・ソース間に等価的に形成される内蔵ダイオードの順方向電圧で、測定条件は、 I_F を規定し、 $V_{GS} = 0$ とします。なお、ゲートに順バイアスを印加することにより、チャネルが形成されるため、 $I_F \times R_{DS(on)}$ の値となり、使用する電流領域によっては通常のダイオードより、 V_F が小さくなります。温度特性は、通常のダイオードと同様に負の温度係数 (約 $-2.4 \text{ mV}/^\circ\text{C}$) を持っています。

(11) 逆回復時間 t_{rr}

ドレイン・ソース間に等価的に形成される内蔵ダイオードの逆回復時間で、図 5 に示す期間です。測定条件は、 I_F , di/dt を規定し、 $V_{GS} = 0$ とし、測定回路を規定します。本特性は、モータコントロール用途などの H ブリッジ回路に転流ダイオードとして応用した場合に用いるもので、 t_{rr} が高速で i_{rr} が小さいほど低損失になります。 t_{rr} , i_{rr} は、 di/dt により影響を受け、 di/dt がなだらかな程 t_{rr} は長くなり、 i_{rr} は小さくなります。 t_b は、 i_{rr} からダイオードの耐圧が回復するまでの期間で、一般的に di_{rr}/dt がなだらかな特性 (i_{rr} が 0 に回復するとき振動波形がみられないもの) をソフト波形といいノイズ特性が良くなります。 di/dt をなだらかにする程、 t_b はソフト波形になる傾向があります。 di/dt は、ターンオン時間 (ゲート外付け抵抗により可変)、回路の浮遊インダクタンス、電源電圧などにより決定されます。 t_{rr} は、温度により変動し温度上昇とともに若干長くなります。

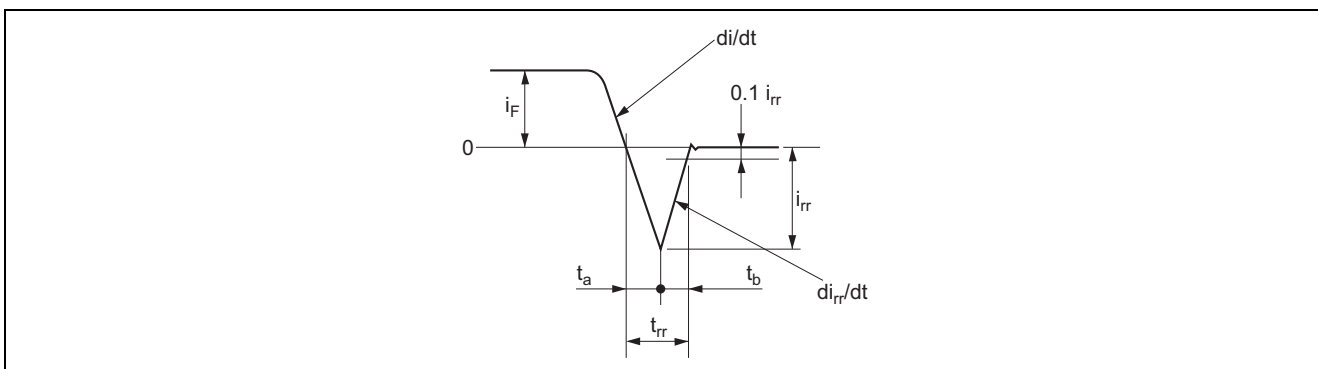


図 5 逆回復時間 t_{rr} の波形

2. 出力静特性

図6に同一定格であるDシリーズ2SK413, Sシリーズ2SK1057の出力静特性を示します。小信号MOS FETでは、順伝達アドミタンス $|y_{fs}|$ はせいぜい10 mS~20 mSでしたが、パワーMOS FETは約1.0 S~15 Sと非常に大きく、また図からもわかりますように、いわゆる五極管特性を持ち、 $|y_{fs}|$ の I_D に対するリニアリティは、極めて優れています。さらにPチャンネルについても同様の特性をもっており、Nチャンネル, Pチャンネルで優れたコンプリメンタリペアとなります。

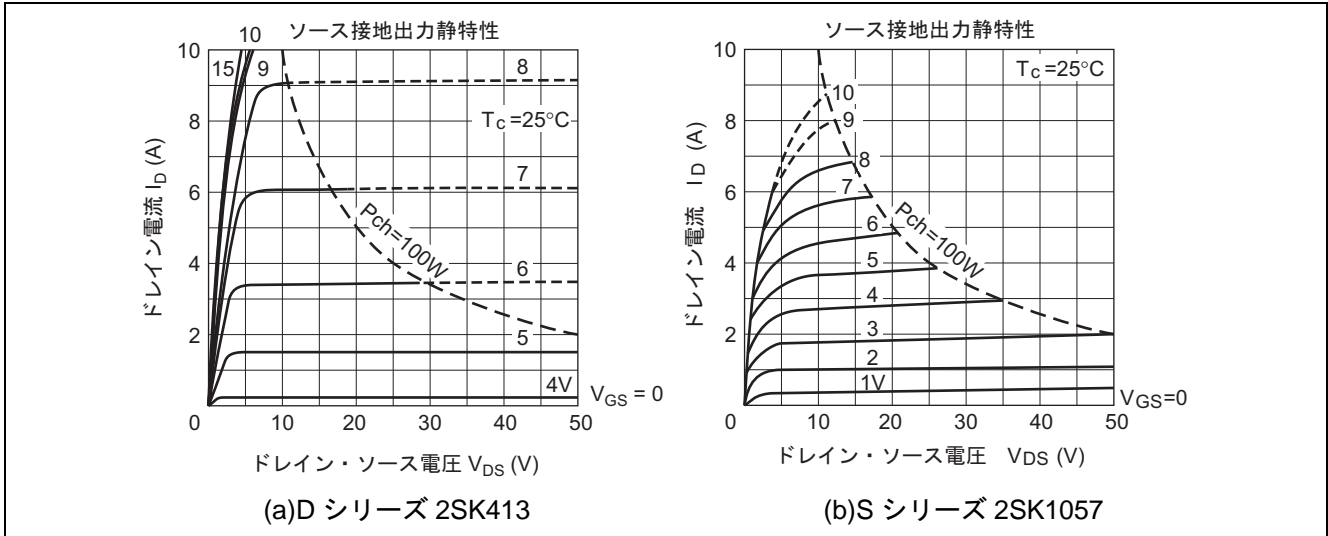


図6 パワーMOS FETの出力静特性

3. 周波数特性

パワーMOS FETの顕著な特性は、高速・高周波特性に優れていることであり、その特長を生かすべく高速スイッチングレギュレータ、大出力放送用送信機などに応用されています。

真性MOS FETの遮断周波数は相互コンダクタンスと入力容量の比で定義され、通常MOS FETでは数GHzにも達します。しかし、実際の素子では、遮断周波数はゲートの寄生抵抗と入力容量により制限されます。

MOS FETの飽和領域における等価回路を図7に示します。

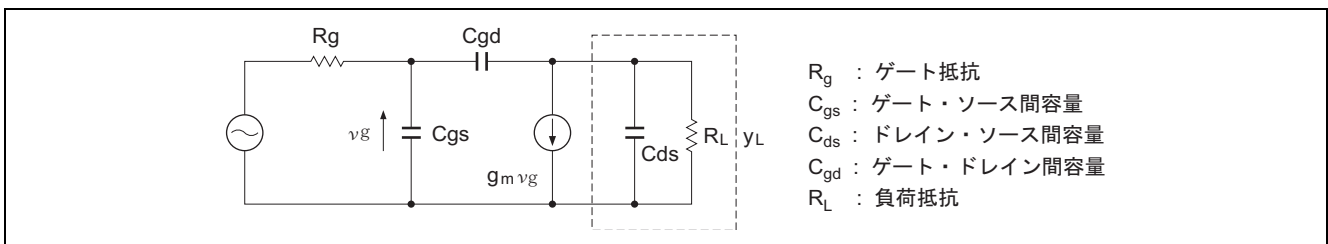


図7 飽和領域の等価回路

同図において電圧利得の3dB低下で遮断周波数 f_c を定義すると次式で近似できます。

$$f_c \cong \frac{1}{2\pi} \cdot \frac{1}{R_g \{C_{gs} + (1 - A_0)C_{gd}\}} \dots\dots\dots (1)$$

ただし、 A_0 は低域での電圧利得で、 R_g はゲートの直列抵抗です。

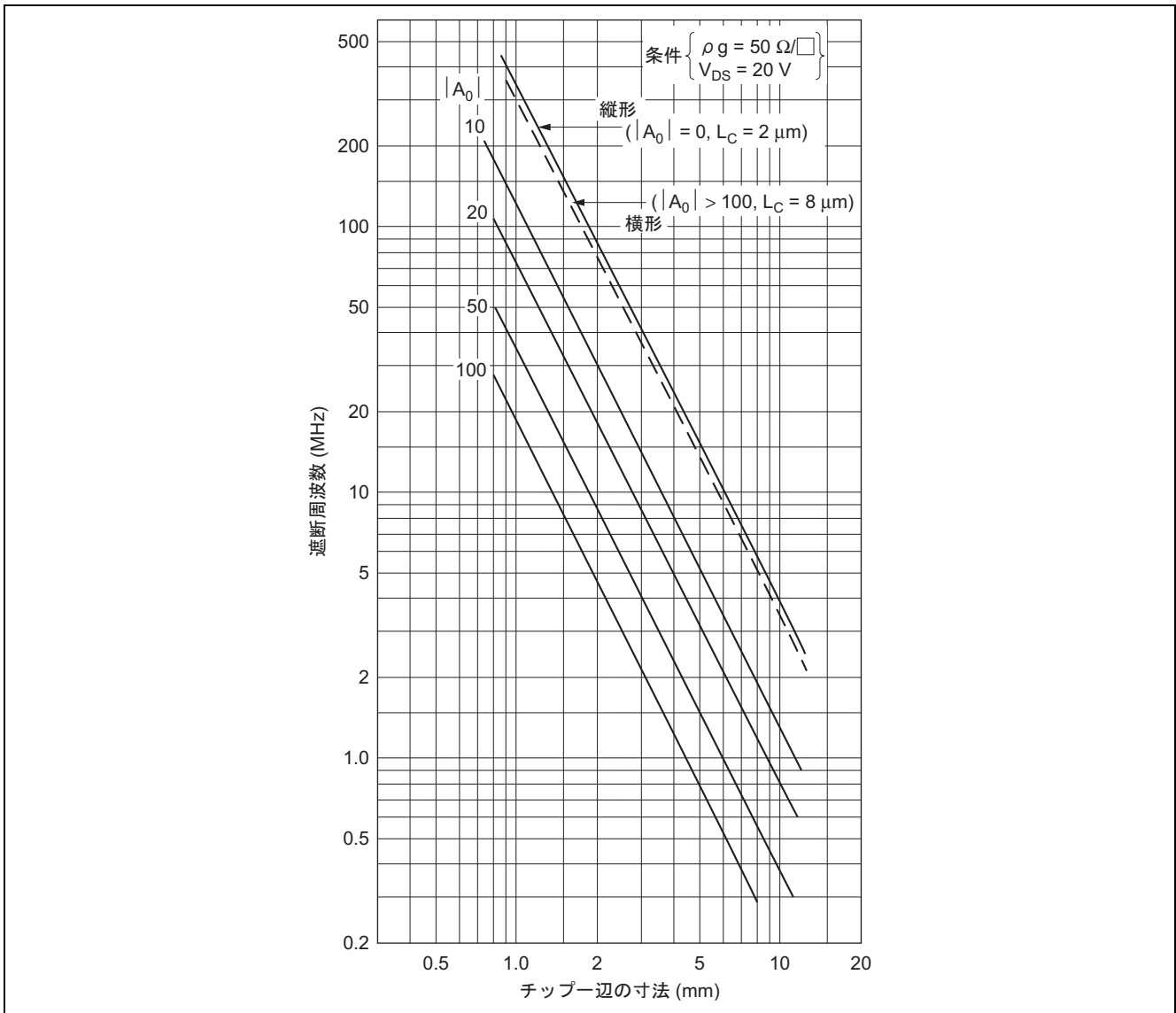


図8 シリコンゲート・パワーMOS FET の遮断周波数

図8は、シリコンゲートを有するパワーMOS FET の各パラメータ (計算値) を (1)式に代入し、縦形・横形構造それぞれの遮断周波数を計算したものです。横形構造では、 C_{gd} は C_{gs} に比べ非常に小さいので無視できますが、縦形構造は C_{gd} が大きいので低域での電圧利得 A_0 の関数となっています。

したがって、次のことが言えます。

- (1) 電圧利得が小さい場合は、縦形・横形構造ともに遮断周波数は同程度となります。しかし f_c における入力インピーダンス比は R_g の比で与えられますので、縦形構造が、1.5~2 倍低インピーダンスです。
- (2) 高利得増幅回路では縦形構造の場合、帰還容量 C_{gd} の影響が大きいので、周波数特性は横形構造の方が優れています。

さらに周波数特性を改善するため、低抵抗材料であるメタルなどを用いれば遮断周波数は1~2桁改善できます。図9に実測した代表品種の周波数特性とその測定回路を示します。同図において2SK317はゲート材料にメタルを使用しています。

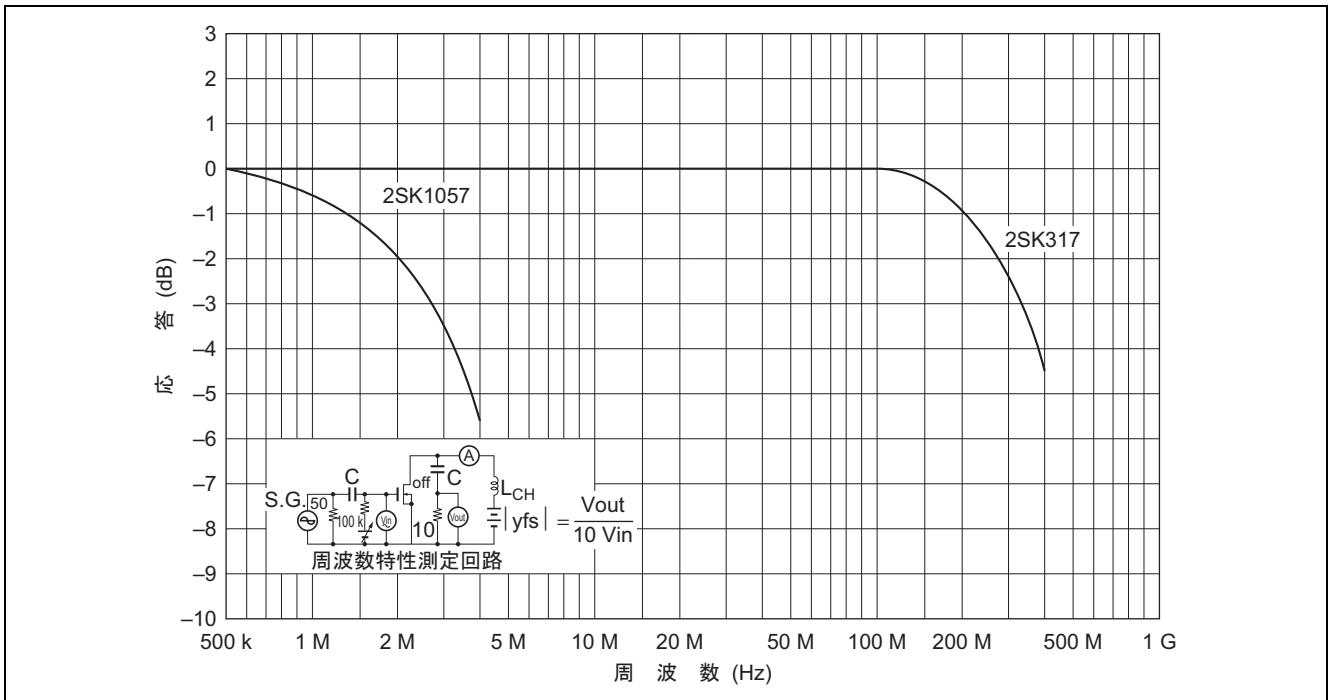


図9 |y_{fs}|の周波数応答

4. スイッチング特性

4.1 スイッチング特性

スイッチングレギュレータなどパワースイッチングの用途では、スイッチング素子の負荷は誘導性の場合が多いですが、ここでは取扱いが容易な抵抗負荷を仮定して述べます。

図10は、抵抗負荷のスイッチング回路 (a) と模型的に示した電流-電圧特性および負荷線 (b) を示します。ただし、電流・電圧の立ち上がりは直線で近似し、かつ $g_m = 0$ と仮定します。したがって同図 (b) においてドレイン電圧が $V_{DS(sat)}$ の点では非飽和、 $V_{DS} > V_{DS(sat)}$ の範囲は飽和領域となります。

横形構造では C_{gd} は C_{gs} 、 C_{ds} に比べ非常に小さいので無視でき、その時定数は次式で与えられます。

$$\tau_i \cong R_g \cdot C_{in} = R_g \cdot C_{gs} \dots\dots\dots (2)$$

$$\tau_o \cong R_L \cdot C_{out} = R_g \cdot C_{ds} \dots\dots\dots (3)$$

τ_i : 入力時定数 τ_o : 出力時定数

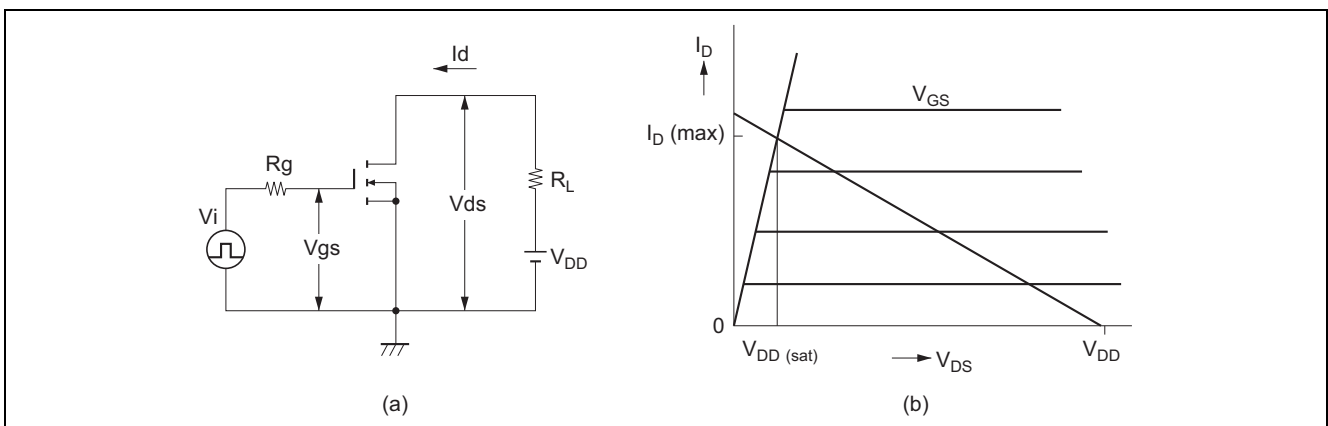


図10 スイッチング回路 (a) と電流・電圧特性および負荷線 (b)

したがって、スイッチング波形は図11のようになります。

また駆動のしやすさの目安となるゲートに蓄積される電荷量は、次式で与えられます。

$$Q_{on} = C_{gs} \cdot V_{Gmax} \dots\dots\dots (4)$$

充電する際に過渡的に流れる電流 i_{rush} は、次式で与えられます。

$$i_{rush} = \frac{C_{gs} \cdot V_{Gmax}}{t_r} \dots\dots\dots (5)$$

したがってドライブ回路は、高速のみならず瞬時にこの電流を流し得る素子が必要です。

縦形構造では帰還容量 C_{gd} が大きく、かつドレイン電圧依存性が大きいので動作解析は複雑となります。ゲート電極直下のドレイン領域に空乏層が拡がり始めると、 C_{gd} の値は急激に減少します。

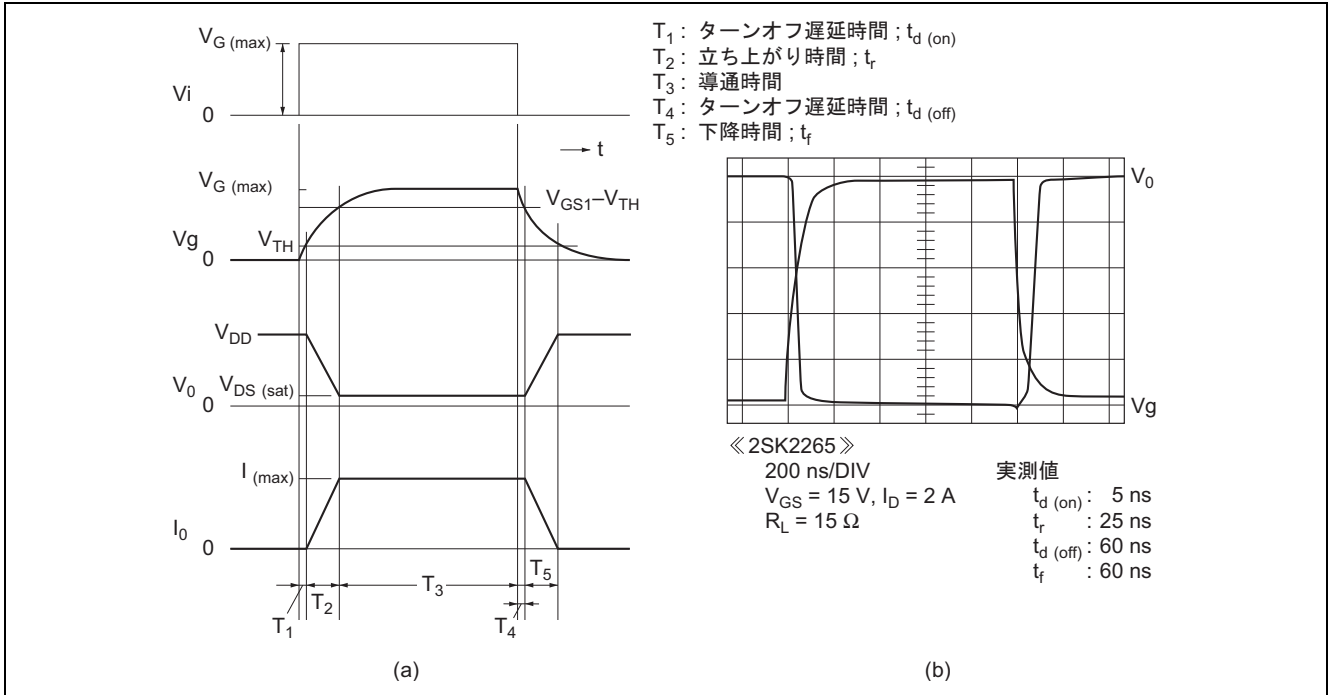


図 11 横形パワーMOS FET のスイッチング波形

以上の点を考慮して、 C_{gd} および g_m のドレイン電圧依存性を図 12 に示します。すなわち $V_{GS} > V_{DS}$ のときは、 C_{gd} はドレイン電極直下の酸化膜容量 C_{gd0} となります。 $V_{GS} < V_{DS}$ のときは、ドレイン領域中にも空乏層が拡がり始めるので $C_{gd} \ll C_{gs}$ となります。ここでドレイン表面が P 反転するしきい電圧は、ゼロと仮定しました。このような仮定のもとにスイッチング動作を考えてみます。

まず、ドレイン電圧が $V_{DS} > V_{DS(sat)}$ の範囲では飽和領域にあり、 $V_{DS(sat)} < V_{DS} < V_{GS}$ の範囲では C_{gd} は C_{gd0} です。等価回路は図 12(c) のようになります。

したがって入力容量の充放電時定数は次式で与えられます。

$$\left. \begin{aligned} \tau_1 &\cong R_g C_{gs} (V_{DS} > V_{GS}) \\ \tau_1' &\cong R_g \{ C_{gs} + (1 + g_m R_L) C_{gd} \} (V_{DS(sat)} < V_{DS} < V_{GS}) \end{aligned} \right\} \dots\dots (6)$$

また $V_{DS} = V_{DS(sat)}$ では非飽和領域にあるので、等価回路は図 12(d) のようになり、時定数は次のように与えられます。

$$\tau_i \cong R_g (C_{gs} + C_{gd0}) \dots\dots\dots (7)$$

以上のような動作に基づいたスイッチング波形を模型的に示したものが図 13 です。ここで T_1 , T_2 , T_4 , T_5 は各々ターンオン遅延時間 $t_{d(on)}$, 立ち上がり時間 t_r , ターンオフ遅延時間 $t_{d(off)}$, 下降時間 t_f ($t_{on} = t_{d(on)} + t_r$, $t_{off} = t_{d(off)} + t_f$)

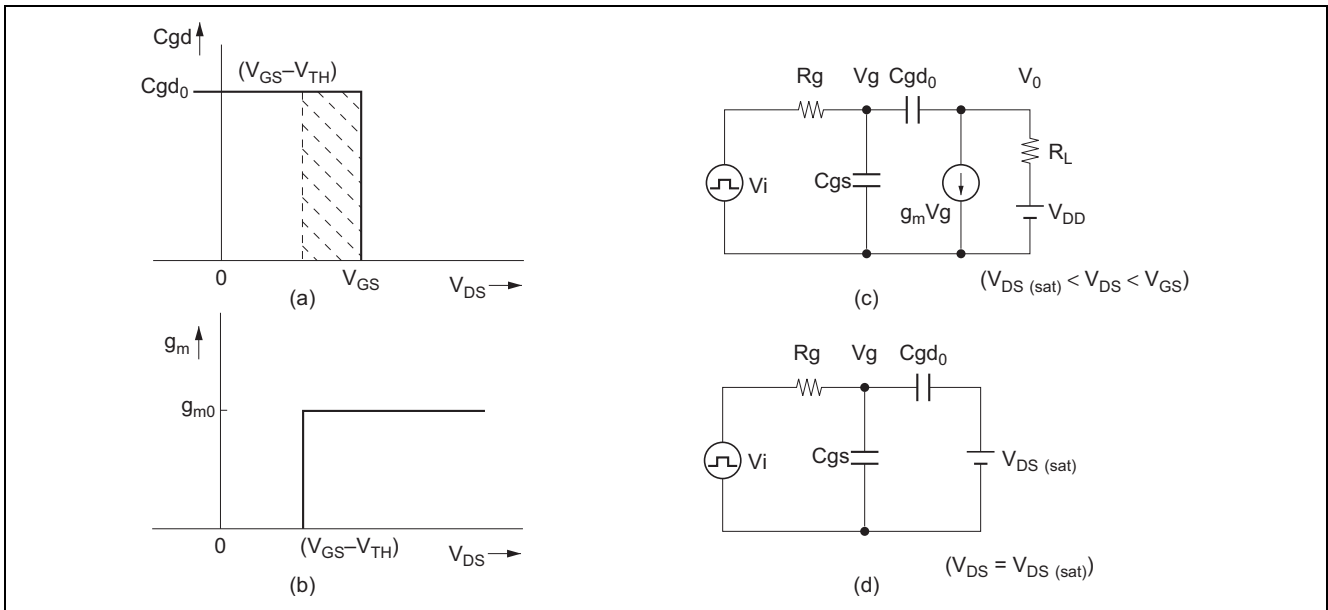


図 12 Cgd および gm のドレイン電圧依存性 (a) (b) と等価回路表示 (c) (d)

さらに、 $T_6 \sim T_9$ は、各々 C_{gd} の充放電時間です。このうち T_6 、 T_9 はミラー積分が動作している範囲であり、図 12(a) の斜線部の面積に相当する電荷を充・放電する時間と考えられます。

図 13(b) は、実際に測定したときの縦形構造のゲート駆動波形 V_g および出力電圧波形 V_o です。ゲート電圧波形は (a) に示した原理的な波形と定性的によく一致しており、図 12 (a), (b) に示したような帰還容量と g_m の近似でスイッチング動作が説明できることを意味しています。また、ゲート駆動のしやすさの目安となる蓄積電荷量は次式で与えられます。

$$Q_{on} = (C_{gs} + C_{gd0}) V_{Gmax} \dots\dots\dots (8)$$

充電の際、過渡的に流れる電流 i_{rush} は、次式で与えられます。

$$i_{rush} = \frac{(C_{gs} + C_{gd0})V_{Gmax}}{t_{on}} \dots\dots\dots (9)$$

したがって、縦形・横形構造のスイッチング動作を比較すると次のことが明らかになります。

- (1) ゲートの駆動のしやすさはゲート容量の蓄積電荷量の比で与えられ、縦形構造は横形構造に比べ $(C_{gs} + C_{gd0})_D / (C_{gs})_S$ だけ大きな駆動電力が必要です。
- (2) 高速パルスで駆動した場合、立ち上がり時間 t_r および下降時間 t_f は両構造ともに次式で与えられます。

$$t_r \cong C_{in} \cdot R_g \cdot \ln \left(\frac{V_{Gmax} - V_{th}}{V_{GSmax} - V_{GS1}} \right) \dots\dots\dots (10)$$

$$t_f \cong C_{in} \cdot R_g \cdot \ln \left(\frac{V_{GS1}}{V_{th}} \right) \dots\dots\dots (11)$$

ここで V_{GS1} は飽和条件を与えるゲート電圧です。

縦形構造の t_r 、 t_f に関しては、横形に比べゲート抵抗の小さい分だけ高速になりますが、OFF 時にはターンオフ遅延時間 $t_{d(off)}$ が大きいので、 $t_{off} (= t_{d(off)} + t_f)$ は大きな値となります。

なお、このゲート抵抗 R_g は、実際の回路に組んだ場合ドライブ回路の出力抵抗 R が加わってきます。

したがって、縦形構造を高速動作させるためには、前段のドライブにエミッタフォロウ回路などを 1 段あるいは 2 段挿入することによりドライブ回路の出力抵抗をできるだけ小さく設計する必要があります。

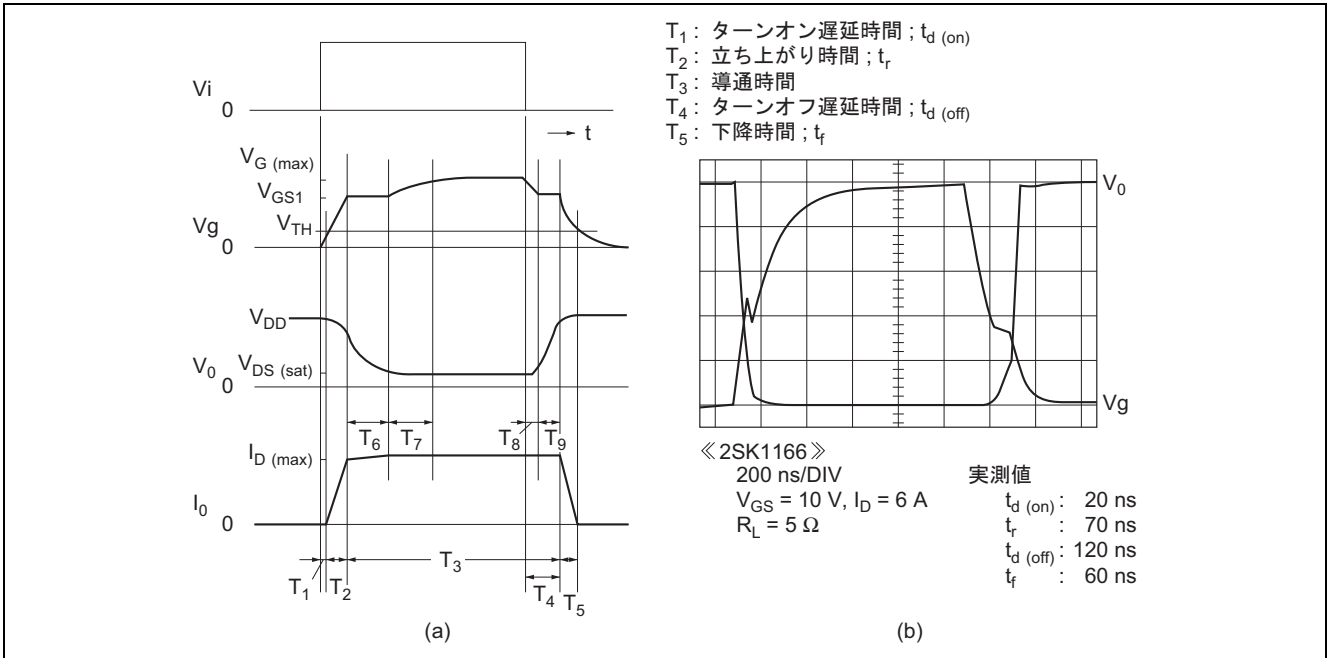


図 13 縦形パワーMOS FETのスイッチング波形

図 14, 図 15 に, そのドライブ回路を挿入した場合のターンオフ時間 t_{off} を標準測定回路と比較して示します。さらに (c) 回路のようにカットオフ時, ゲート電位を負に引くことにより一層速くなります。

次にスイッチング時間の温度特性は, バイポーラトランジスタとは対称的で温度による影響をほとんど受けません。したがって, 回路設計が容易になります。図 16 にスイッチング時間の温度特性をバイポーラトランジスタと比較して示します。

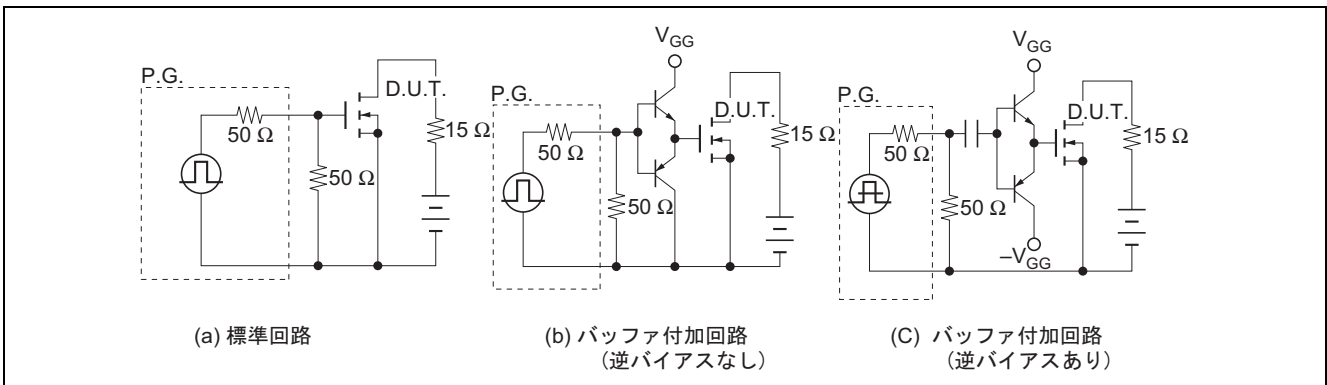


図 14 ドライブ回路

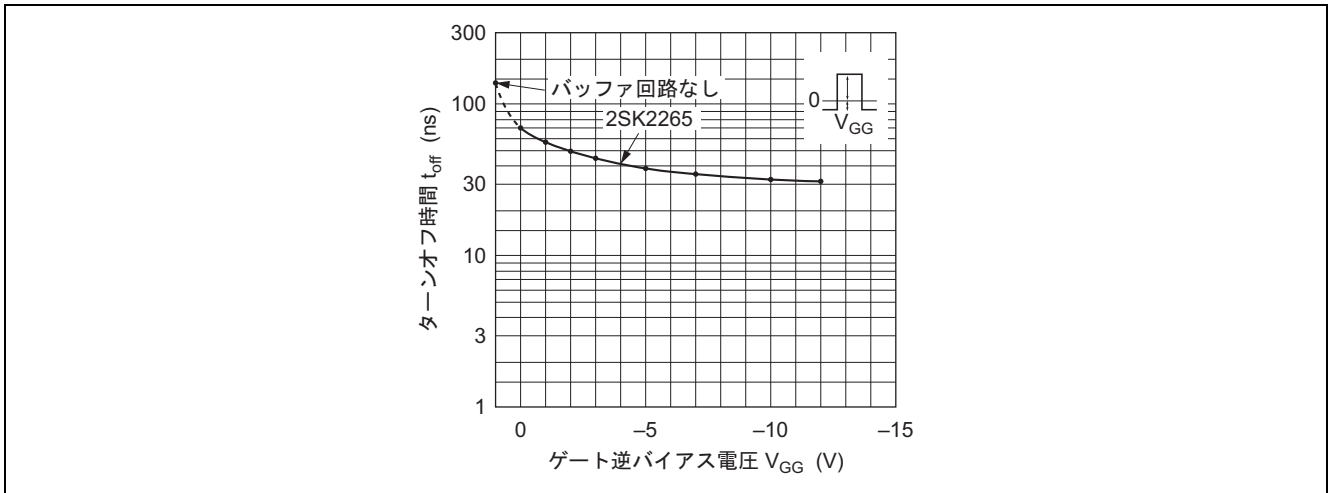


図 15 ターンオフ時間とゲート逆バイアス電圧の関係

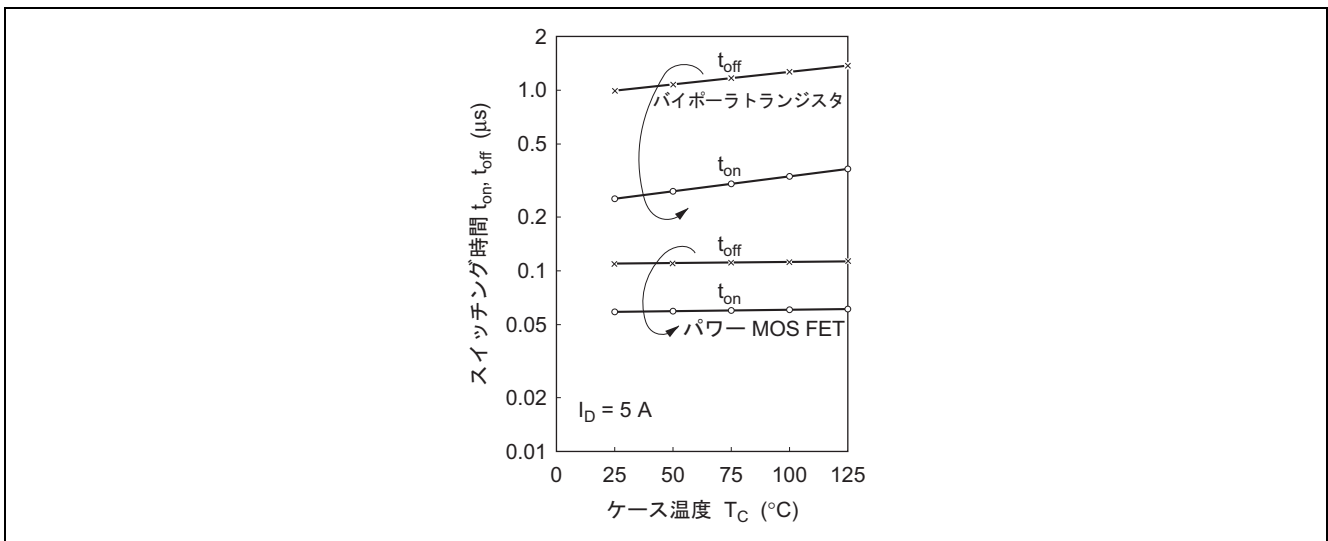


図 16 スイッチング時間対ケース温度特性

4.2 パワーMOS FET のスイッチング損失の計算方法 (ご参考)

図 17 のような近似波形を仮定した場合のパワーMOS FET のスイッチング損失について計算したものです。

期間 t_1 , t_2 , t_3 の損失を P_1 , P_2 , P_3 とするとそれぞれ下記のようになります。 P_1 がターンオン損失, P_3 がターンオフ損失となります。

$$P_1 = \frac{1}{6} \cdot f \cdot t_1 (V_D \cdot I_b + 2I_b^2 \cdot R_{on}) \dots\dots\dots (1)$$

$$P_2 = \frac{1}{3} \cdot f \cdot t_2 \cdot R_{on} (I_p^2 + I_p \cdot I_b + I_b^2) \dots\dots\dots (2)$$

$$P_3 = \frac{1}{6} \cdot f \cdot t_3 (V_P \cdot I_p + 2I_p^2 \cdot R_{on}) \dots\dots\dots (3)$$

ご参考に P_1 , P_2 の算出方法について以下に示します。

[算出根拠]

(1) 期間 t_1 の損失 P_1 は繰り返し周期を T とすると,

$$\begin{aligned}
 P_1 &= \frac{1}{T} \int_0^{t_1} (i(t) \cdot v_{ds}(t)) dt \\
 &= \frac{1}{T} \int_0^{t_1} \frac{I_b}{t_1} t \left(-\frac{V_D - I_b \cdot R_{on}}{t_1} t + V_D \right) dt \\
 &= \frac{1}{T} \int_0^{t_1} \left(-\frac{I_b \cdot V_D}{t_1^2} t^2 + \frac{I_b^2 \cdot R_{on}}{t_1^2} t^2 + \frac{I_b \cdot V_D}{t_1} t \right) dt \\
 &= \frac{1}{T} \left[-\frac{I_b \cdot V_D}{t_1^2} \cdot \frac{t^3}{3} + \frac{I_b^2 \cdot R_{on}}{t_1^2} \cdot \frac{t^3}{3} + \frac{I_b \cdot V_D}{t_1} \cdot \frac{t^2}{2} \right]_0^{t_1} \\
 P_1 &= \frac{1}{T} \left(-\frac{I_b \cdot V_D}{t_1^2} \cdot \frac{t_1^3}{3} + \frac{I_b^2 \cdot R_{on}}{t_1^2} \cdot \frac{t_1^3}{3} + \frac{I_b \cdot V_D}{t_1} \cdot \frac{t_1^2}{2} \right) \\
 &= \frac{1}{T} \left(-\frac{1}{3} \cdot V_D \cdot I_b \cdot t_1 + \frac{1}{3} I_b^2 \cdot R_{on} \cdot t_1 + \frac{1}{2} V_D \cdot I_b \cdot t_1 \right) \\
 &= \frac{1}{T} \left(\frac{1}{6} V_D \cdot I_b \cdot t_1 + \frac{1}{3} I_b^2 \cdot R_{on} \cdot t_1 \right) \\
 &= \frac{1}{6T} (V_D \cdot I_b + 2I_b^2 \cdot R_{on}) t_1 \\
 \frac{1}{T} &= f \text{ により}
 \end{aligned}$$

$$\therefore P_1 = \frac{1}{6} \cdot f \cdot t_1 (V_D \cdot I_b + 2I_b^2 \cdot R_{on})$$

(2) 期間 t_2 の損失 P_2 は,

$$\begin{aligned}
 P_2 &= \frac{1}{T} \int_0^{t_2} \left\{ \left(\frac{I_p - I_b}{t_2} t + I_b \right) \left(\frac{I_b - I_b}{t_2} R_{on} \cdot t + I_b \cdot R_{on} \right) \right\} dt \\
 \frac{I_p - I_b}{t_2} &= a \text{ とすると,} \\
 P_2 &= \int_0^{t_2} (a t + I_b)(a \cdot R_{on} \cdot t + I_b \cdot R_{on}) dt \\
 P_2 &= \frac{1}{T} \int_0^{t_2} (a^2 \cdot R_{on} \cdot t^2 + 2a \cdot I_b \cdot R_{on} \cdot t + I_b^2 \cdot R_{on}) dt \\
 &= \frac{1}{T} \left[a^2 R_{on} \cdot \frac{t^3}{3} + 2a \cdot I_b \cdot R_{on} \cdot \frac{t^2}{2} + I_b^2 \cdot R_{on} \cdot t \right]_0^{t_2} \\
 &= \frac{1}{T} \left\{ \frac{(I_p - I_b)^2}{t_2^2} \cdot R_{on} \cdot \frac{t_2^3}{3} + 2 \frac{I_p - I_b}{t_2} \cdot I_b \cdot R_{on} \cdot \frac{t_2^2}{2} + I_b^2 \cdot R_{on} \cdot t_2 \right\} \\
 &= \frac{1}{T} \left\{ \frac{1}{3} t_2 (I_p - I_b)^2 R_{on} + (I_p - I_b) I_b \cdot R_{on} \cdot t_2 + I_b^2 \cdot R_{on} \cdot t_2 \right\} \\
 &= \frac{1}{T} \left\{ \frac{1}{3} I_p^2 \cdot R_{on} \cdot t_2 - \frac{2}{3} I_p \cdot I_b \cdot R_{on} \cdot t_2 + \frac{1}{3} I_b^2 \cdot R_{on} \cdot t_2 \right. \\
 &\quad \left. + I_p \cdot I_b \cdot R_{on} \cdot t_2 - I_b^2 \cdot R_{on} \cdot t_2 + I_b^2 \cdot R_{on} \cdot t_2 \right\} \\
 &= \frac{1}{3T} \cdot R_{on} \cdot t_2 (I_p^2 + I_p I_b + I_b^2) \\
 \frac{1}{T} &= f \text{ により}
 \end{aligned}$$

$$\therefore P_2 = \frac{1}{3} \cdot f \cdot R_{on} \cdot t_2 (I_p^2 + I_p I_b + I_b^2)$$

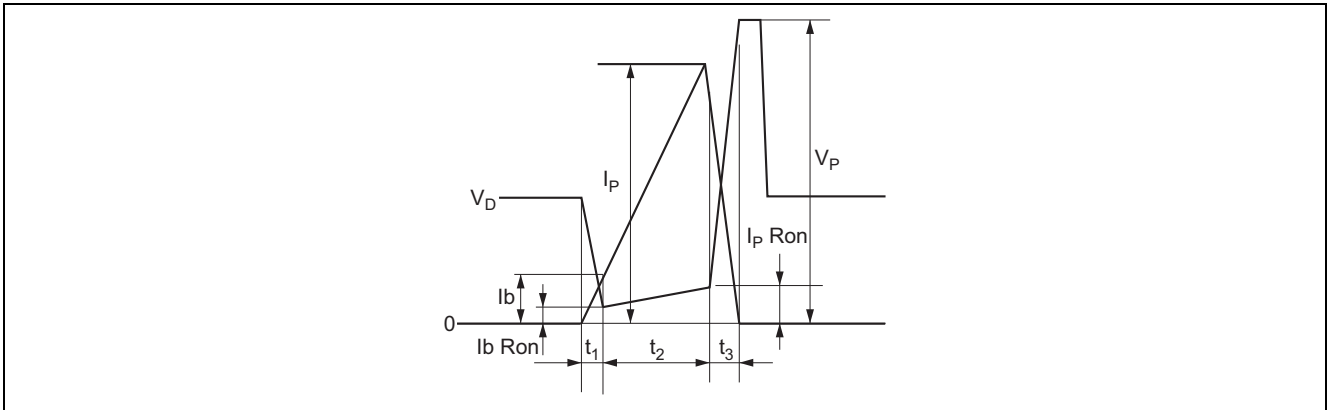


図 17 電圧，電流近似波形

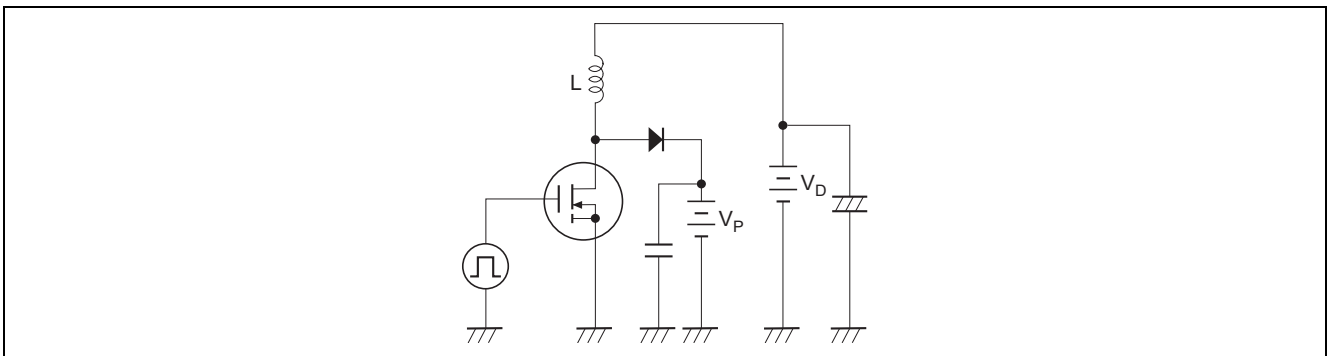


図 18 L 負荷のスイッチング回路

5. 入力ダイナミック特性

一般にパワーMOS FET のドライブ回路の設計でドライブ損失やゲート入力容量を充電するために必要なピークラッシュ電流を計算する場合次式で求めることができます。

$$\text{ドライブ損失 } Pd = f \cdot Cin \cdot V_{GS}^2 \dots\dots\dots(12)$$

$$\text{ピークラッシュ電流 } i_{(rush)} = \frac{Cin \cdot V_{GS}}{t} \dots\dots\dots(13)$$

この式の中で入力容量 Cin は、一般的にデータシートではバイアスを固定したときの値であり、この値をそのまま入れて計算した場合若干問題が生じてきます。その理由は、Cin の中にはミラー容量であるゲート・ドレイン容量 Cgd の存在があり、かつドレイン・ソース間電圧 V_{DS} の関数となっているためです。またゲート・ソース容量 Cgs は V_{GS} の関数となっているため複雑な要素を含みます。これらの詳細は 4 のスイッチング特性で説明しましたが実際にドライブ回路を設計する上では、かなり面倒です。

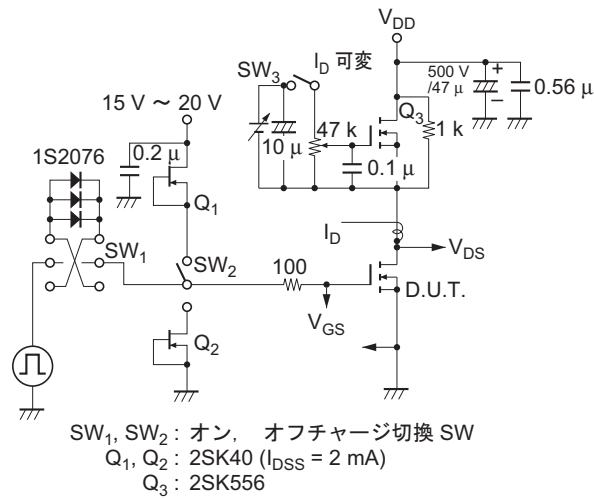
そこで V_{GS}、V_{DS} の関数としてゲートチャージ電荷量 Qg を規定する方法が最適です。

(1) ゲートチャージファクタ

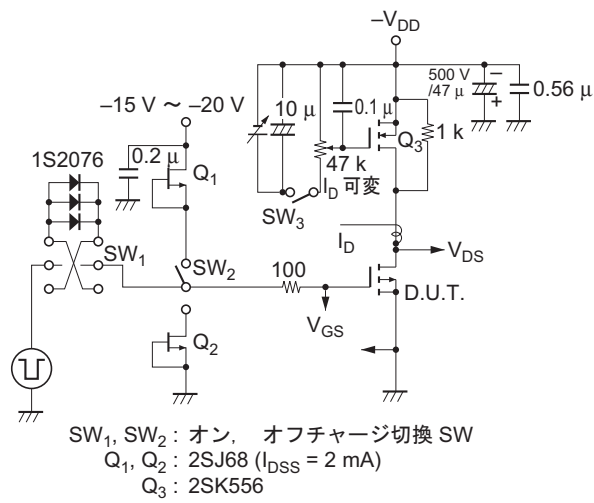
図 19 にゲートチャージ電荷量 Qg の測定回路を示します。この測定原理は、ゲートに定電流 I_g で時間 t に対し定電流ドライブすれば時間軸 t に I_g を乗じることにより、時間軸を電荷量 Qg として読みとることができることを応用したものです。

図 20 に 2SK299 で実測した Turn-on、Turn-off 時の Qg-V_{GS}・V_{DS} 特性を示します。縦軸はドレイン・ソース電圧 V_{DS}、ゲート・ソース電圧 V_{GS}、横軸はゲートチャージ電荷量 Qg です。(a)、(b)の波形で最初にゼロから上昇している部分がゲート・ソース容量 Cgs を充電している期間で次にフラットになっている部分がゲート・ドレイン容量 Cgd を充電している期間です。(c)、(d)の波形は、逆にディスチャージしている期間です。このように Cgs と Cgd を充電するために必要な電荷量がそれぞれ異なることがはっきり判ります。

図 21 に 2SK299 の V_{DD}、I_D をパラメータとした Qg-V_{GS} 特性を示します。図 21-(b)の波形で V_{DD} = 100 V、I_D = 1 A 流すために必要なチャージ量は 16 nC となります。



N-ch 測定回路



P-ch 測定回路

単位 R : Ω
 C : F

図 19 ゲートチャージ測定回路

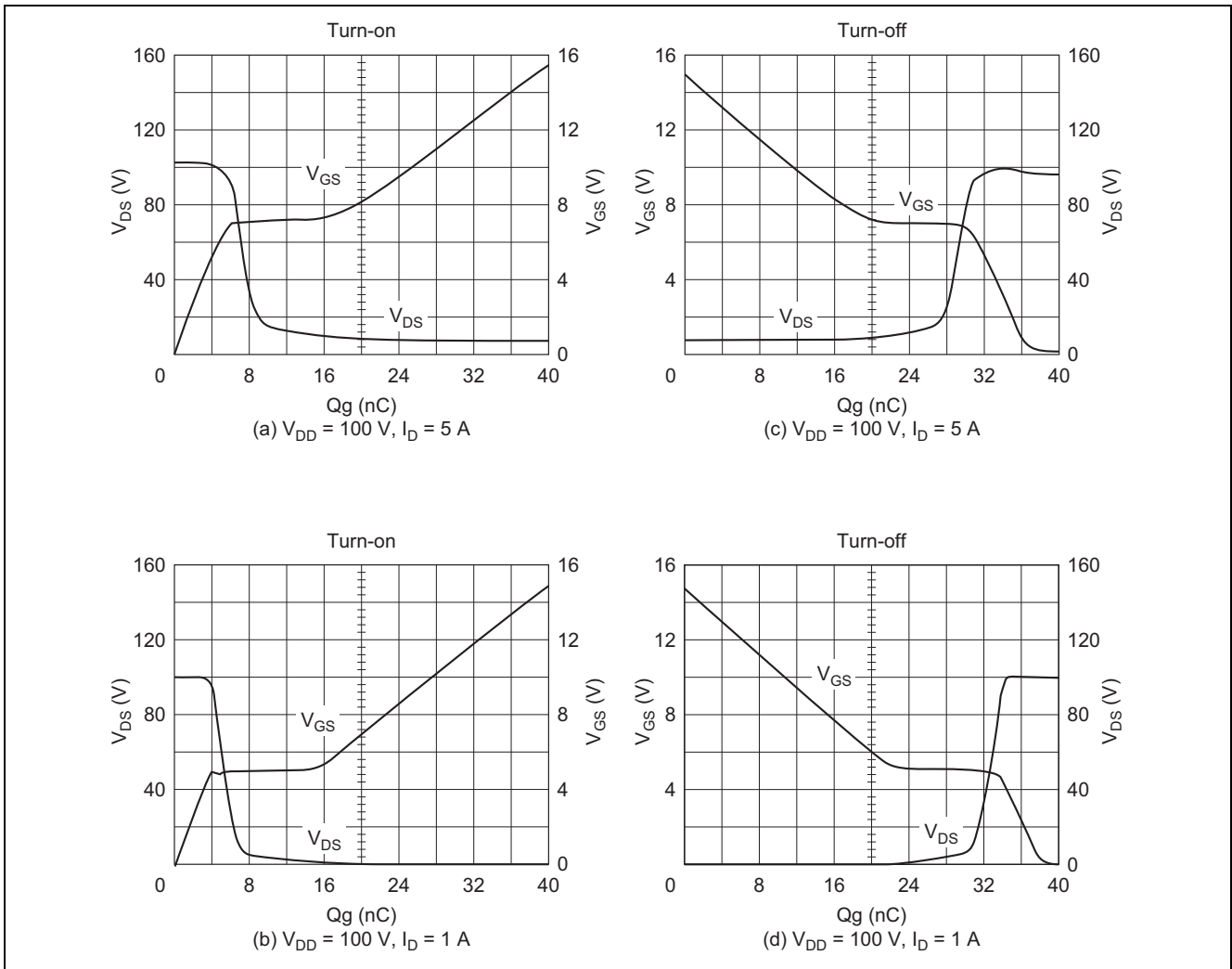


図 20 2SK299 $Q_g - V_{GS}$, V_{DS} 特性

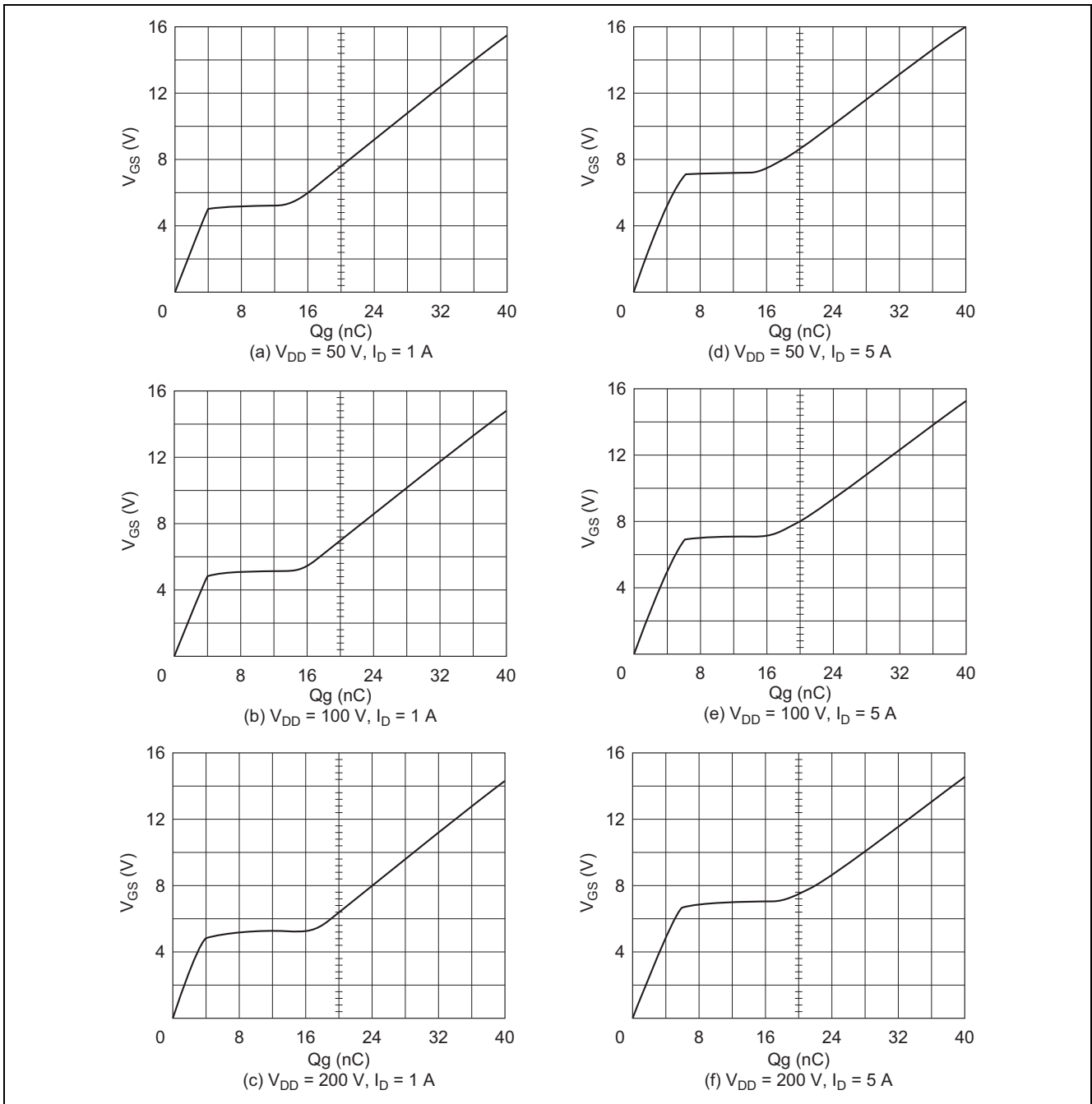


図 21 2SK299 Qg-V_{GS}特性

このとき必要な V_{GS} は約 5.2 V となっています。(この値は、V_{th}・g_mにより多少異なります) しかし、実際のスイッチング動作においてはドレイン・ソース電圧を完全にオン状態 (飽和) にし、オン抵抗を下げるべく更にマージンを加え V_{GS} = 10~15 V でオーバードライブして使用するのが一般的です。したがって V_{DD} = 100 V, I_D = 1 A, V_{GS} = 10 V でドライブ電圧を設計した場合、ゲートチャージ電荷量は、28 nC となります。

V_{DD} = 100 V と 200 V で Qg の値が異なるのは C_{gd} が V_{DS}により変動するためです。

(2) ドライブ回路の設計

ゲートチャージ電荷量 Qg でドライブ回路のドライブ損失, 必要ピークラッシュ電流を計算する場合次式により求めることができます。

$$\text{ドライブ損失 } Pd = f \cdot Qg \cdot V_{GS} \dots\dots\dots(14)$$

$$\text{ピークラッシュ電流 } i_{(rush)} = \frac{Q}{t} \dots\dots\dots(15)$$

<例>

2SK299 を使用して $f = 100 \text{ kHz}$, $V_{DD} = 100 \text{ V}$, $V_{GS} = 15 \text{ V}$, スイッチング時間 $t_{on} = 50 \text{ ns}$, $I_D = 5 \text{ A}$ とした場合のドライブ損失と必要なピークラッシュ電流は？

<方法>

上記条件での Q_g は図 21(e)により 39 nC ですから

$$\begin{aligned} P_d &= f \cdot Q_g \cdot V_{GS} \\ &= 100 \times 10^3 \times 39 \times 10^{-9} \times 15 \\ &= 58.5 \text{ mW} \end{aligned}$$

$$i_{(\text{rush})} = \frac{Q_g}{t} = \frac{39 \times 10^{-9}}{50 \times 10^{-9}} = 0.78 \text{ A}$$

と簡単に計算で求めることができます。

図 22 は、図 23 の測定回路で実測したドライブ損失と (14)式を用いて計算したドライブ損失の比較を横軸に周波数を取り示したものです。図のように計算値と実測値は良く一致しておりゲートチャージ量 Q_g を決めることによりドライブ回路を簡単にかつ正確に設計できることが判ります。

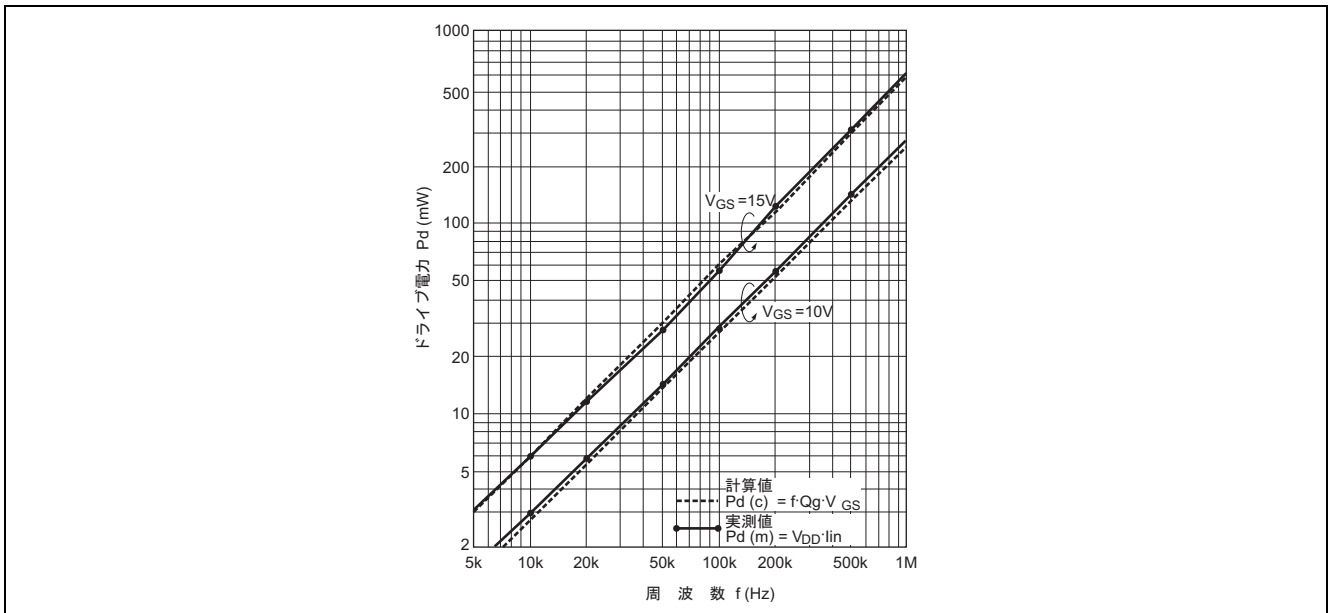


図 22 パワーMOS FET のドライブ電力 (2SK320 の例)

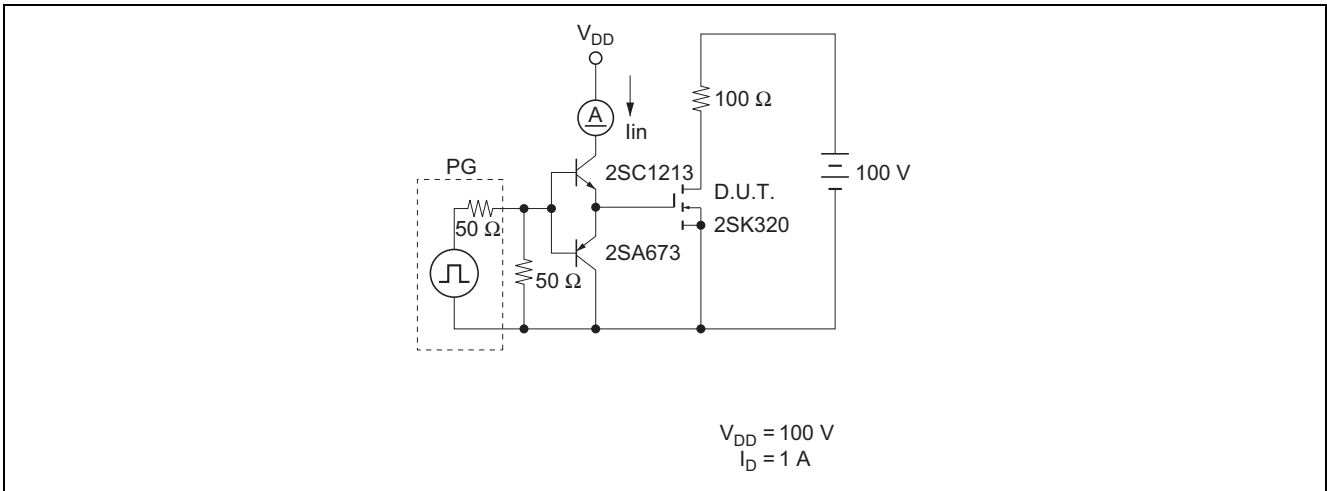


図 23 測定回路

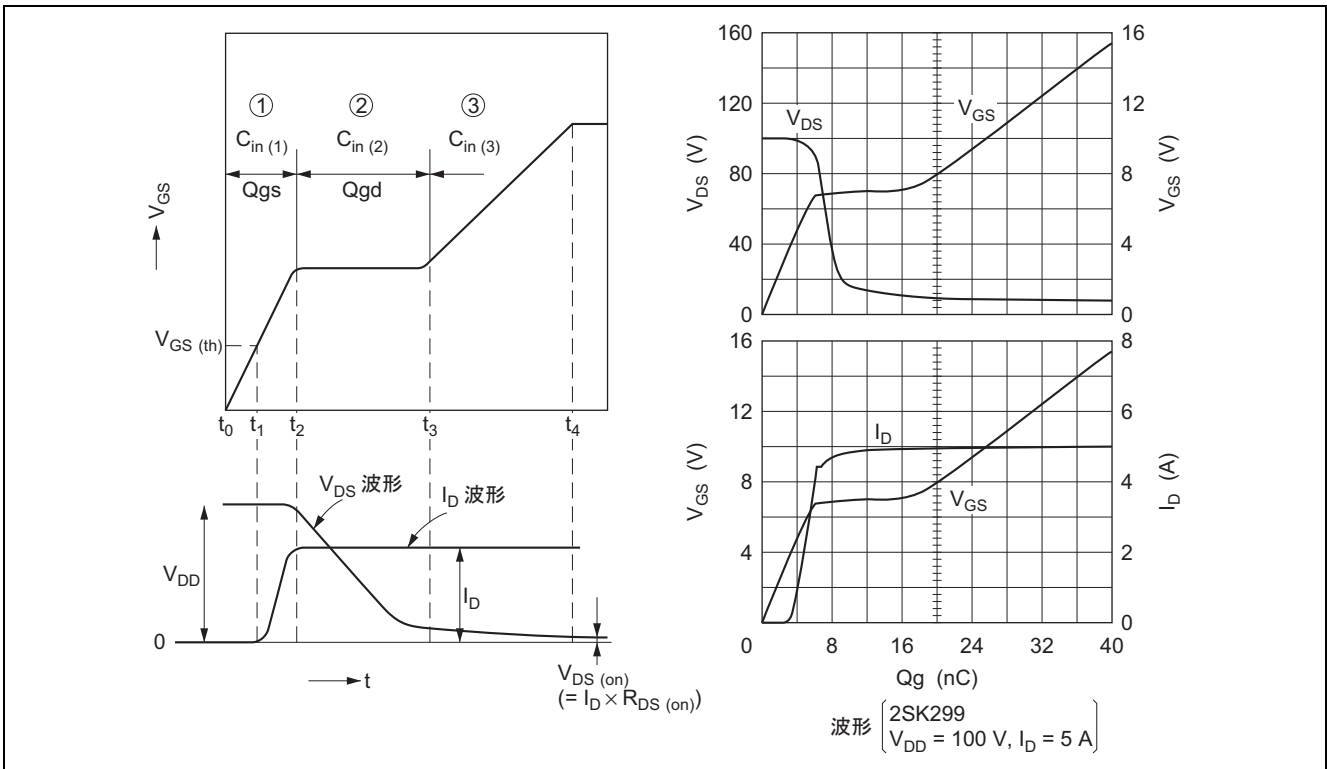


図 24 基本的なゲートチャージ波形と V_{DS} , I_D 波形

(3) ゲートチャージ特性の説明

図 24 は、基本的なゲートチャージ特性と V_{GS} , V_{DS} , I_D 波形を示します。図の特性カーブにおいて領域を 3 つに分けることができます。領域①は、所定のドレイン電流 I_D を流すために必要な V_{GS} までゲート・ソース容量 C_{gs} をチャージする期間です。この中でスレッシュホールド電圧 $V_{GS(th)}$ 以下 t_1 まで FET はオフしており、 $V_{GS(th)}$ を超えるにしたがいドレイン電流 I_D が流れ t_2 で所定の電流値に到達します。領域②は、活性領域から飽和領域へ移る部分で、ドレイン・ソース電圧 V_{DS} が変化し、ゲート・ドレイン (ミラー) 容量 C_{gd} をチャージする期間です。このミラー効果により C_{in} は大きくなりますが FET が完全にオン状態になり V_{DS} の変化がなくなるとともにこの効果もなくなります。この点が t_3 です。領域③は、完全に飽和状態になっており V_{DS} の変化はほとんどありません。即ち FET の V_{DS} は $V_{DS(on)} = I_D \times R_{DS(on)}$ に保たれています。この領域③の C_{in} は領域①より大きいですが領域②に比べれば小さくなります。 $C_{in(1)}$ と $C_{in(3)}$ は C_{iss} に相当しほぼ $C_{gs} + C_{gd}$ の値と等しくなります。ただしそれは領域①と③における V_{DS} の値がちがうため (C_{gd} の値が異なり) 大きさは異なります。即ち領域③の $C_{in(3)}$ の方が、ゲート直下の空乏層の広がり小さいため C_{gd} が大きく、 $C_{in(1)}$ より大きくなります。

(4) ゲートチャージ特性 Q_g を用いたスイッチング時間算出方法

図 25(c)にスイッチング時間の標準測定回路, (a)にゲート入力電圧の過渡応答特性を示します。

この図において C_{in} が一定の場合 $V_{GS(t)}$ の特性は,

$$V_{GS(t)} = V_{GS} \left\{ 1 - \exp\left(-\frac{t}{C_{in} \cdot R_S}\right) \right\} \dots\dots\dots (16)$$

となります。また V_{g1} , V_{g2} は

$$V_{g1} = V_{GG} \left\{ 1 - \exp\left(-\frac{t_1}{C_{in} \cdot R_S}\right) \right\} \dots\dots\dots (17)$$

$$V_{g2} = V_{GG} \left\{ 1 - \exp\left(-\frac{t_2}{C_{in} \cdot R_S}\right) \right\} \dots\dots\dots (18)$$

(17), (18)式を変形して t_1 , $t_2 - t_1$ を求めます。また C_{in} は図 26 のように領域①と②では異なりますので t_1 , $t_2 - t_1$ は次のようになります。

$$t_1 = (C_{in(1)} \cdot R_S) / n \ln\left(\frac{V_{GG}}{V_{GG} - V_{g1}}\right) \dots\dots\dots (19)$$

$$t_2 - t_1 = (C_{in(2)} \cdot R_S) / n \ln\left(\frac{V_{GG} - V_{g1}}{V_{GG} - V_{g2}}\right) \dots\dots\dots (20)$$

領域①, ②の $C_{in(1)}$, $C_{in(2)}$ は次式で表わされます。

$$C_{in(1)} = \frac{\Delta Q}{\Delta V_g} = \frac{Q_{g1}}{V_{g1}} \dots\dots\dots (21)$$

$$C_{in(2)} = \frac{\Delta Q}{\Delta V_g} = \frac{Q_{g2} - Q_{g1}}{V_{g2} - V_{g1}} \dots\dots\dots (22)$$

図 26 の波形で t_1 がターンオン遅延時間 $t_{d(on)}$, $t_2 - t_1$ が上昇時間 t_r に相当するものです。(21), (22)式を(19), (20)式に代入すると $t_{d(on)}$, t_r は

$$\therefore t_{d(on)} = \frac{Q_{g1}}{V_{g1}} \cdot R_S / n \ln\left(\frac{V_{GG}}{V_{GG} - V_{g1}}\right) \dots\dots\dots (23)$$

$$\therefore t_r = \left(\frac{Q_{g2} - Q_{g1}}{V_{g2} - V_{g1}}\right) \cdot R_S / n \ln\left(\frac{V_{GG} - V_{g1}}{V_{GG} - V_{g2}}\right) \dots\dots\dots (24)$$

となります。

同様にしてターンオフ遅延時間 $t_{d(off)}$, 下降時間 t_f も求めることができます。図 25(b)により

$$V_{GS(1)} = V_{GG} \cdot \exp\left(-\frac{t}{C_{in} \cdot R_S}\right) \dots\dots\dots (25)$$

t_2 , $t_1 - t_2$ は次式となります。

$$t_2 = (C_{in(1)} \cdot R_S) / n \ln\left(\frac{V_{GG}}{V_{g2}}\right) \dots\dots\dots (26)$$

$$t_1 - t_2 = (C_{in(2)} \cdot R_S) / n \ln\left(\frac{V_{g2}}{V_{g1}}\right) \dots\dots\dots (27)$$

図 27 により $C_{in(1)}$, $C_{in(2)}$ は次式で表わされます。

$$C_{in(1)} = \frac{\Delta Q}{\Delta V_g} = \frac{Q_{g3} - Q_{g2}}{V_{GG} - V_{g2}} \dots\dots\dots (28)$$

$$C_{in(2)} = \frac{\Delta Q}{\Delta V_g} = \frac{Q_{g2} - Q_{g1}}{V_{g2} - V_{g1}} \dots\dots\dots (29)$$

図 27 の波形において t_2 がターンオフ遅延時間 $t_{d(off)}$, $t_1 - t_2$ が下降時間 t_f に相当するものです。

$$\therefore t_{d(off)} = \left(\frac{Q_{g3} - Q_{g2}}{V_{GG} - V_{g2}}\right) \cdot R_S / n \ln\left(\frac{V_{GG}}{V_{g2}}\right) \dots\dots\dots (30)$$

$$\therefore t_f = \left(\frac{Q_{g2} - Q_{g1}}{V_{g2} - V_{g1}} \right) \cdot R_s \cdot I_n \left(\frac{V_{g2}}{V_{g1}} \right) \dots\dots\dots(31)$$

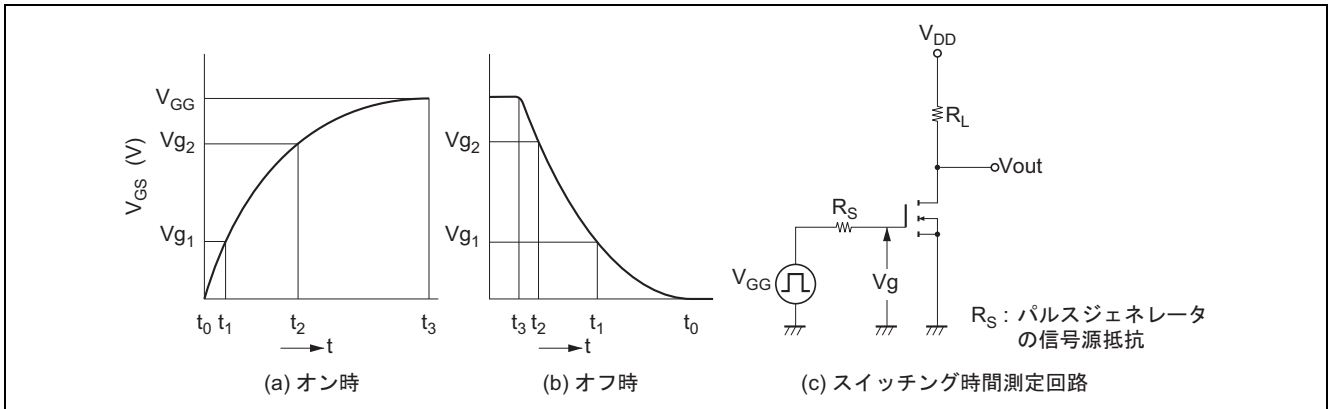


図 25 スイッチング時間測定回路と VGS 波形

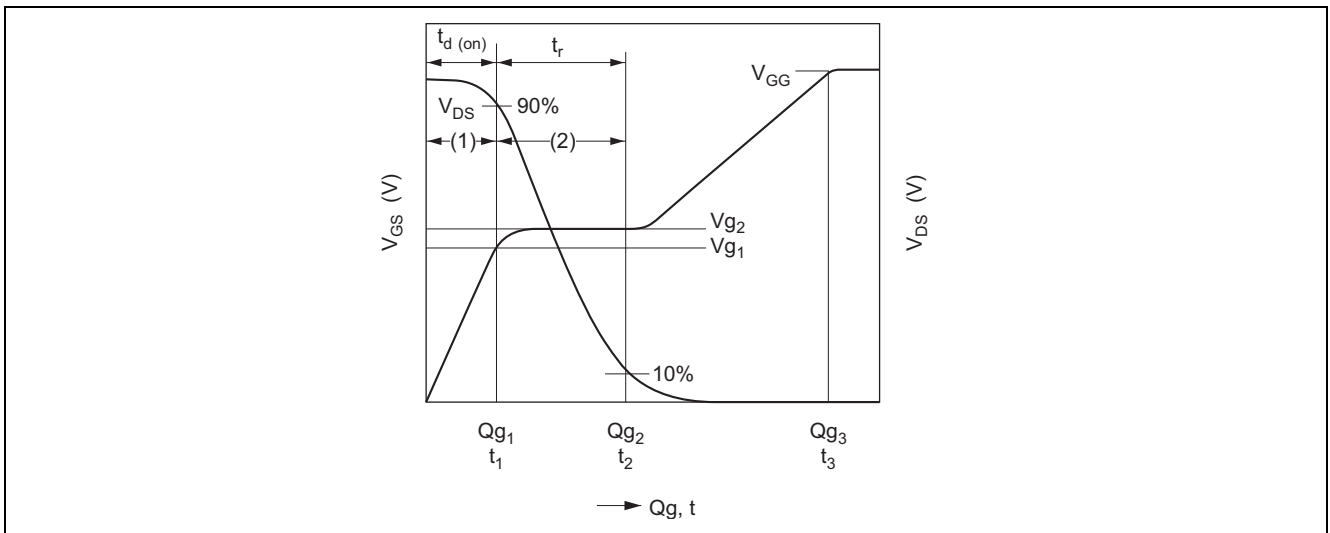


図 26 ゲートチャージ特性 (ターンオン)

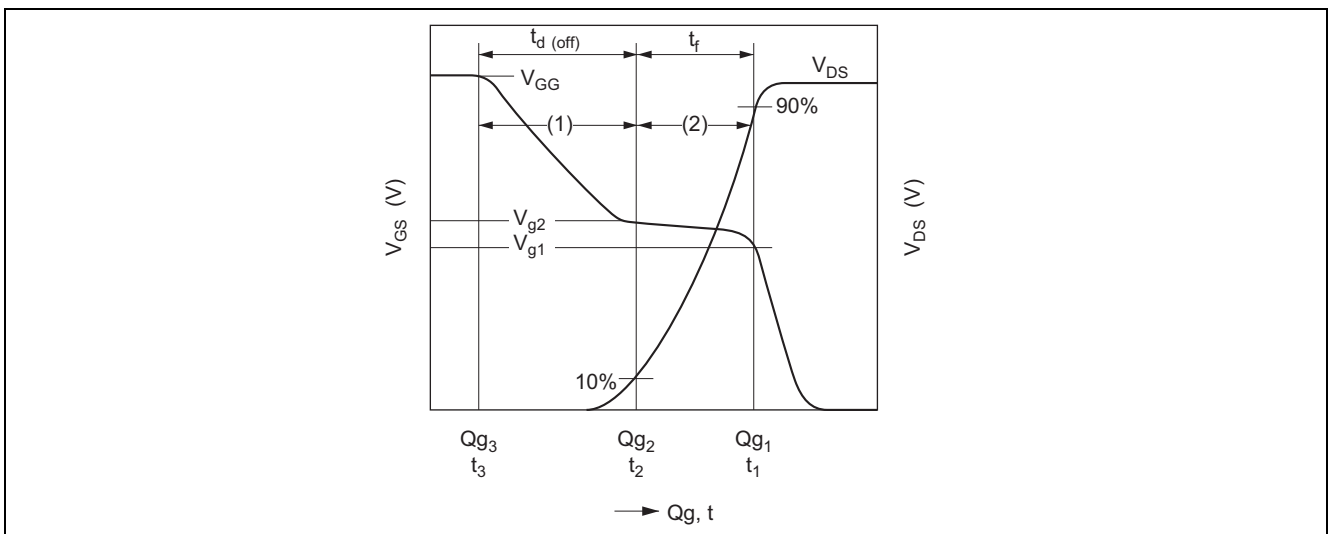


図 27 ゲートチャージ特性 (ターンオフ)

6. 安全動作領域(ASO)

6.1 順バイアス ASO

電力増幅用素子として破壊強度に強いということは、必須条件です。

パワーMOS FET は、原理的に電流集中がないので2次降伏現象が起りません。

図 28 にパワーMOS FET およびバイポーラトランジスタに電力を印加したときのチップの表面温度分布を示します。

同図のようにパワーMOS FET は熱分布が一様であるのに対し、バイポーラトランジスタでは1/2の電力印加にもかかわらずホットスポットの発生がみられます。図 29 にバイポーラトランジスタと比較したパワーMOS FET の破壊強度を示します。バイポーラトランジスタでは高電圧領域で2次降伏により安全動作領域が制限されますが、パワーMOS FET は熱抵抗により制限される“等電力”曲線で安全動作領域の保証が可能です。したがって ASO 設計が非常に簡単になります。

- パワーMOS FET の連続パルススイッチング動作条件の ASO 検討方法 (ご参考)

パワーMOS FET の連続パルススイッチング動作において ASO に入っているかどうかを検討するには、ジャンクション温度 T_j を計算し $T_{j\max}$ 内に入っていれば ASO 内ということを確認できます。

以下、その計算方法の一例について示します。

例 1. 電力損失が一定の繰り返しパルススイッチング動作の場合
 ジャンクション温度 T_j は、下記の式で表わされます。

$$T_j = T_c + \Delta T_j$$

$$= T_c + \theta_{ch-c(t)} (I_D^2 \cdot R_{on} + SW \text{ 損失})$$

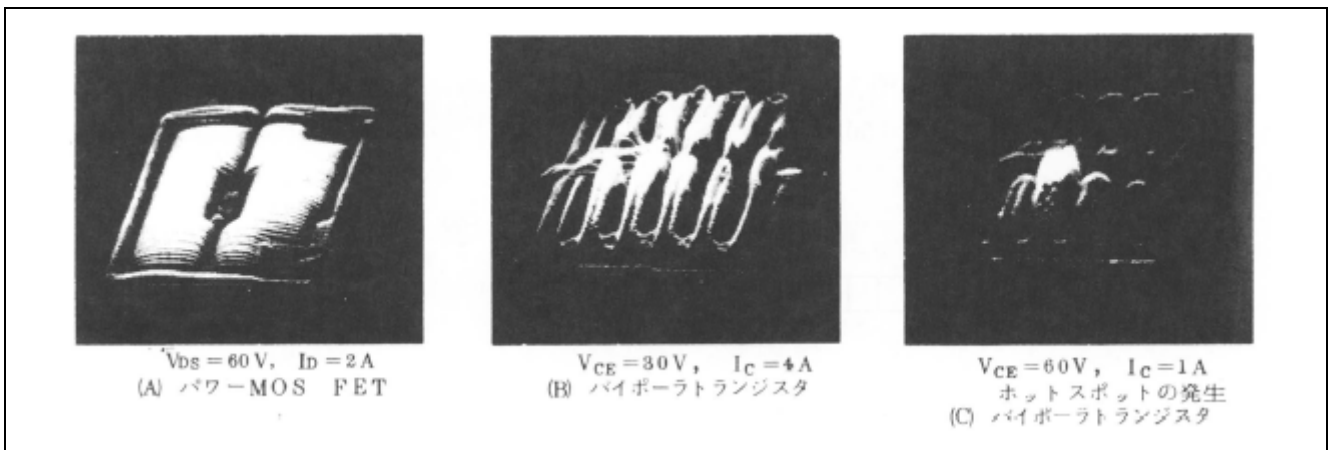


図 28 電力印加時のチップ表面温度分布

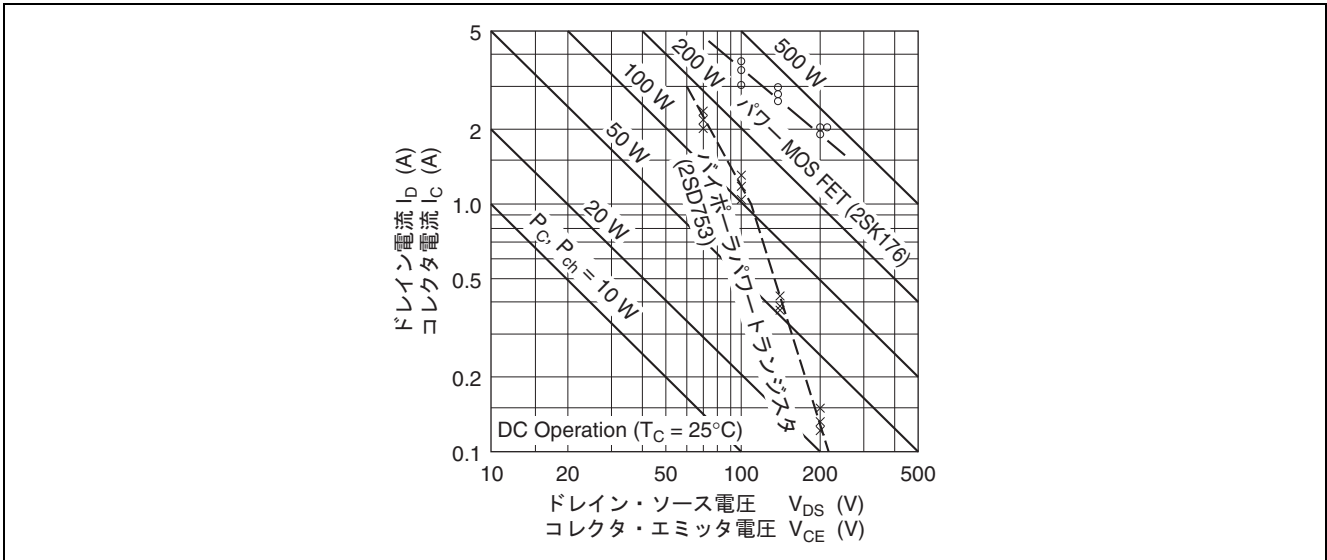


図 29 パワーMOS FET の破壊強度

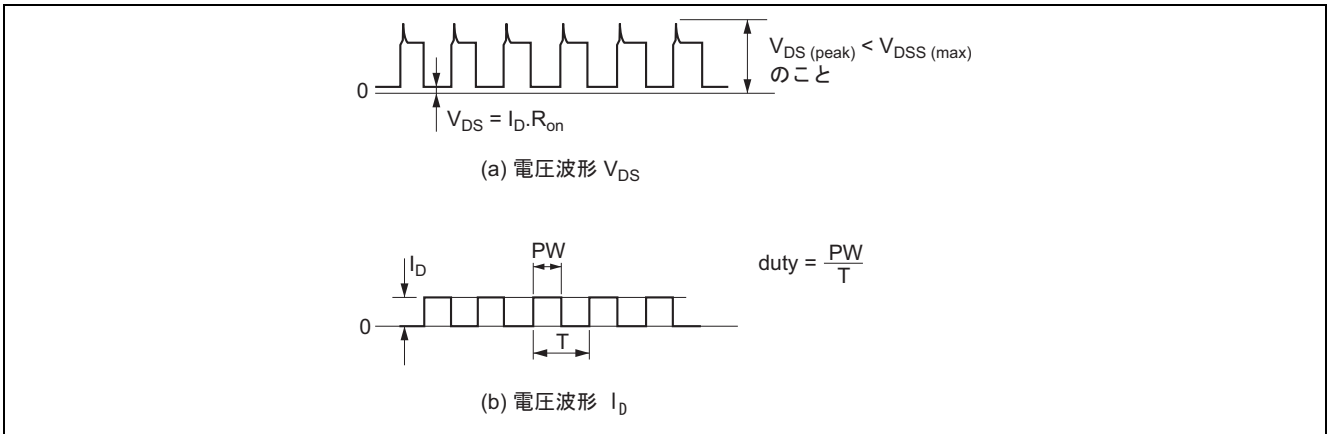


図 30 電力損失が一定の繰り返しパルススイッチング動作波形

ただし、

- Tc : ケース温度
- $\theta_{ch-c}(t)$: PW = t, duty = n%の過渡熱抵抗
- Ron : オン抵抗の max.(Tj max. = 150°C)
- SW 損失 : スwitching時間 ton, toff による損失

〔例〕 2SK1165 (Pch = 100W, $\theta_{ch-c} = 1.25^\circ\text{C}/\text{W}$, Tj max. = 150°C) を使用した場合、ケース温度 Tc = 80°C, ID = 10 A, PW = 10 ms, duty = 20% (f = 50 kHz) のスイッチング動作 (パワーMOS FET の VGS ≥ 10 V とする)の条件で ASO 内か? (ただし、ここでは SW 損失は、Ron 損失の半分とした)

(1) まず PW = 10 μs, duty = 20%の過渡熱抵抗 $\theta_{ch-c}(t)$ はデータシートより $\gamma_{S(t)} = 0.21$ で $\theta_{ch-c}(t) = \gamma_{S(t)} \cdot \theta_{ch-c} = 0.21 \times 1.25 = 0.263^\circ\text{C}/\text{W}$ となります。

なお、PW = t, duty = n%の $\theta_{ch-c}(t)$ は次式により求めることができます。

$$\theta_{ch-c}(t) = \theta_{ch-c} \left\{ \frac{n}{100} + \left(1 - \frac{n}{100} \right) \cdot \gamma_{S(t)} \right\}$$

(* $\gamma_{S(t)}$ は, 1shot pulse の規格化過渡熱抵抗)

(2) 2SK1165 の $R_{on\ max}$ は, データシートより $0.55\ \Omega$ である。 $T_j\ max. = 150^\circ\text{C}$ を考慮すると 2.2~2.4 倍となるため $R_{on} = 2.4 \times 0.55 = 1.32\ \Omega$ となります。

(3) したがって, ジャンクション温度 T_j は,

$$\begin{aligned} T_j &= T_c + \theta_{ch-c}(t)(I_D^2 \cdot R_{on} + SW\text{損失}) \\ &= 80 + 0.263 \left\{ (10^2 \times 132) + \frac{1}{2} (10^2 \times 1.32) \right\} \\ &= 80 + 52 \\ &= 132^\circ\text{C} \end{aligned}$$

よって $T_j < T_j\ max.$ となり ASO 内であることが確認できます。

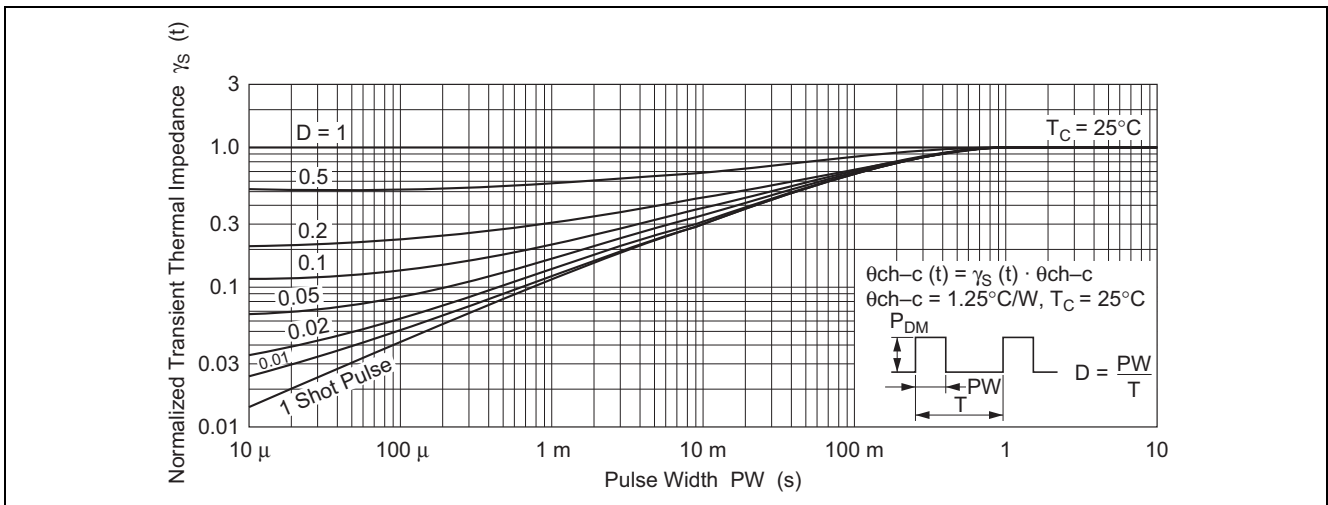


図 31 規格化過渡熱抵抗特性

例 2. 電力損失が一定でない (例えば負荷変動, 負荷短絡時など) 繰り返しパルススイッチング動作の場合

図 32(a)のような波形の場合, (b)のように (若干条件がきつくなりますが簡便化するため) 近似仮定して計算する方法が有効です。

(c)に示すように連続繰り返し動作条件の損失 P_1 に期間 $(t_2 + t_3)$ での平均損失 P_2 とさらにピーク時 (I_{D2}) の損失 P_3 を印加したものとしてジャンクション温度 $T_j(\text{peak})$ を求めます。

$T_j(\text{peak})$ は, 下記の式で表わされます。

$$\begin{aligned} T_j(\text{peak}) &\equiv T_c + P_1 \cdot \theta_{ch-c}(t_1) + P_2 \cdot \theta_{ch-c}(t_2 + t_3) \\ &\quad + P_3 \cdot \theta_{ch-c}(t_3) - P_1 \cdot \theta_{ch-c}(t_2 + t_3) - P_2 \cdot \theta_{ch-c}(t_3) \\ &= T_c + \theta_{ch-c}(t_1)(I_{D1}^2 \cdot R_{on1} + SW\text{損失}) \\ &\quad + \frac{t_1}{T} \cdot I_{D2}^2 \cdot R_{on2} \cdot \theta_{ch-c}(t_2 + t_3) + I_{D2}^2 \cdot R_{on2} \cdot \theta_{ch-c}(t_3) \\ &\quad - \frac{t_1}{T} \cdot I_{D1}^2 \cdot R_{on1} \cdot \theta_{ch-c}(t_2 + t_3) - \frac{t_1}{T} \cdot I_{D2}^2 \cdot R_{on2} \cdot \theta_{ch-c}(t_3) \end{aligned}$$

ただし,

- $\theta_{ch-c}(t_1)$: $PW = t_1$ での duty n%の過渡熱抵抗
- $\theta_{ch-c}(t_2)$: $PW = t_2$ 1shot pulse の過渡熱抵抗
- $\theta_{ch-c}(t_3)$: $PW = t_3$ 1shot pulse の過渡熱抵抗
- SW 損失 : スイッチング時間 t_{on}, t_{off} による損失
- R_{on1} : I_{D1} の $R_{on\ max}$. ($T_j\ max. = 150^\circ\text{C}$)
- R_{on2} : I_{D2} の $R_{on\ max}$. ($T_j\ max. = 150^\circ\text{C}$)

〔例〕 2SK1165 を使用した場合、図 32(a)の波形でケース温度 $T_c = 50^\circ\text{C}$ 、 $I_{D1} = 3\text{ A}$ 、 $I_{D2} = 30\text{ A}$ 、 $t_1 = 10\ \mu\text{s}$ 、 $\text{duty} = 50\%$ ($f = 50\text{ kHz}$)、 $t_2 = 100\ \mu\text{s}$ の条件で ASO 内か？(ただし、ここでは SW 損失は、 R_{on1} 損失の半分とし P_2 、 P_3 期間は無視しました)。

- (1) $I_{D1} = 3\text{ A}$ の R_{on1} は、データシートの $0.55\ \Omega\ \text{max.}$ を使用し、 $T_j\ \text{max.} 150^\circ\text{C}$ を考慮すると 2.2~2.4 倍となるため、 $R_{on1} = 2.4 \times 0.55 = 1.32\ \Omega$ となります。
- (2) $I_{D2} = 30\text{ A}$ の R_{on2} は、データシート I_D - R_{on} 特性により $R_{on2} \cong 0.8\ \Omega\ \text{typ.}$ 、 $T_j\ \text{max.} 150^\circ\text{C}$ を同様に考慮し $R_{on\ \text{max.}}$ を 1.3 倍とすると $R_{on2} = 2.4 \times 1.3 \times 0.8 = 2.5\ \Omega$ (実際は、波形にて観測することが重要です)。
- (3) $PW = t_1 = 10\ \mu\text{s}$ 、 $\text{duty} 50\%$ の過渡熱抵抗 $\theta_{ch-c}(t_1)$ は、データシートより $\gamma_{S(t)} = 0.5$ で $\theta_{ch-c}(t_1) = \gamma_{S(t)} \cdot \theta_{ch-c} = 0.5 \times 1.25 = 0.625^\circ\text{C/W}$
- (4) $PW = (t_2 + t_3) = 110\ \mu\text{s}$ 1shot の $\theta_{ch-c}(t_2 + t_3)$ は、同様にしてデータシートより $\gamma_{S(t)} = 0.04$ で $\theta_{ch-c}(t_2 + t_3) = \gamma_{S(t)} \cdot \theta_{ch-c} = 0.04 \times 1.25 = 0.05^\circ\text{C/W}$

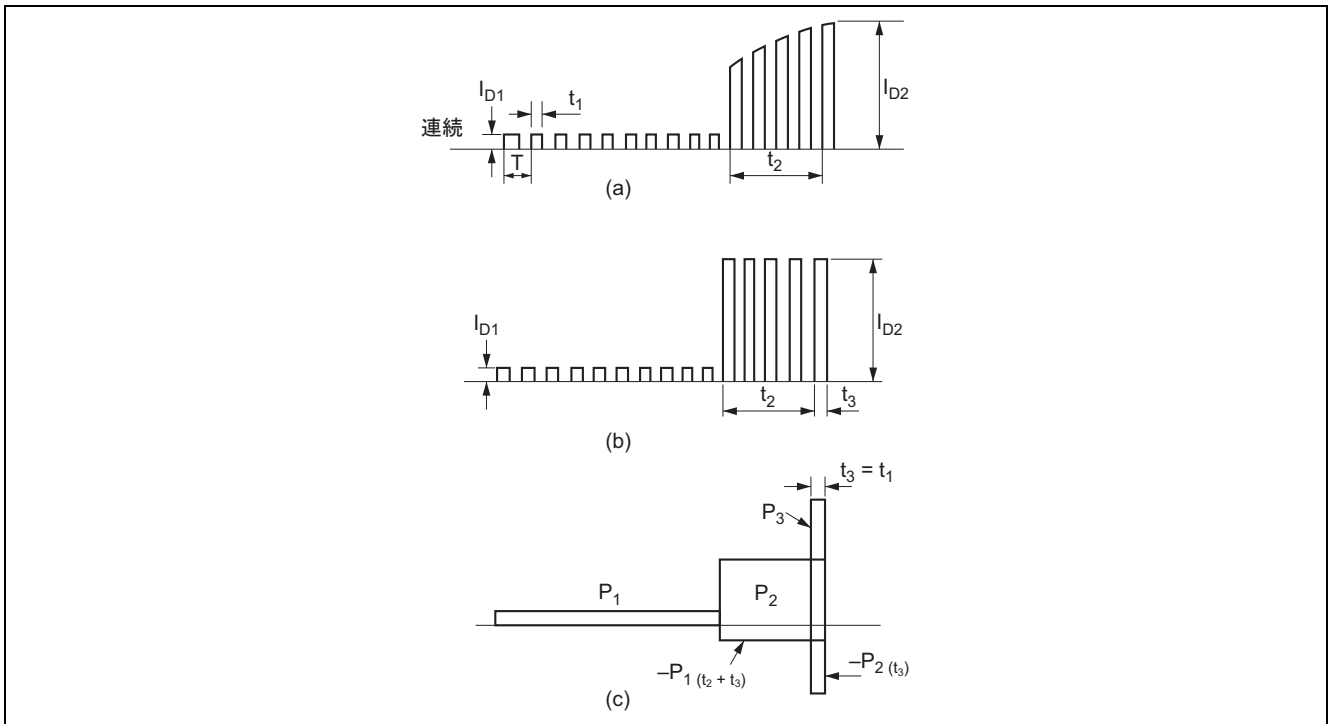


図 32 電力損失が一定でない繰り返しパルススイッチング波形例 (電流波形)

- (5) $PW = t_1 = 10\ \mu\text{s}$ 1shot の $\theta_{ch-c}(t_3)$ は、同様にしてデータシートより $\gamma_{S(t)} = 0.015$ で $\theta_{ch-c}(t_3) = \gamma_{S(t)} \cdot \theta_{ch-c} = 0.015 \times 1.25 \cong 0.02^\circ\text{C/W}$

$$\begin{aligned}
 \therefore T_j(\text{peak}) &= T_c + \theta_{ch-c}(t_1)(I_{D1}^2 \cdot R_{on1} + \text{SW損失}) \\
 &\quad + \frac{t_1}{T} \cdot I_{D2}^2 \cdot R_{on2} \cdot \theta_{ch-c}(t_2 + t_3) + I_{D2}^2 \cdot R_{on2} \cdot \theta_{ch-c}(t_3) \\
 &\quad - \frac{t_1}{T} \cdot I_{D1}^2 \cdot R_{on1} \cdot \theta_{ch-c}(t_2 + t_3) - \frac{t_1}{T} \cdot I_{D2}^2 \cdot R_{on2} \cdot \theta_{ch-c}(t_3) \\
 &= 50 + 0.625 \left\{ (3^2 \times 1.32) + \frac{1}{2} (3^2 \times 1.32) \right\} + \frac{1}{2} (30^2 \times 2.5) \times 0.05 \\
 &\quad + 30^2 \times 2.5 \times 0.02 - \frac{1}{2} (3^2 \times 1.32) \times 0.05 - \frac{1}{2} (30^2 \times 2.5) \times 0.02 \\
 &= 50 + 11.1 + 56.3 + 45 - 0.3 - 22.5 \\
 &= 139.6^\circ\text{C}
 \end{aligned}$$

よって $T_j < T_j\ \text{max.}$ となり ASO 内であることが確認できます。

6.2 逆バイアス ASO

スイッチングレギュレータなどパワースwitchingの用途では、スイッチング素子の負荷は誘導性の場合が多いです。このため前述の順バイアス ASO とともに逆バイアス ASO が問題となります。一般にスイッチ

ング電源などにおいては t_{stg} , t_f を短くするため、エミッタ・ベース接合を強制的に逆バイスし、 I_B の逆方向電流を流しますが、この電流を大きくするほど t_{stg} , t_f は小さくできる一方、逆バイス ASO は狭くなるため、動作領域が制限されます。この様子を図 33 に示します。パワーMOS FET は、ゲートを逆バイスすることによって t_{off} を小さくしたとしてもこのような現象はなく、回路設計上の余裕度が大きくなります。

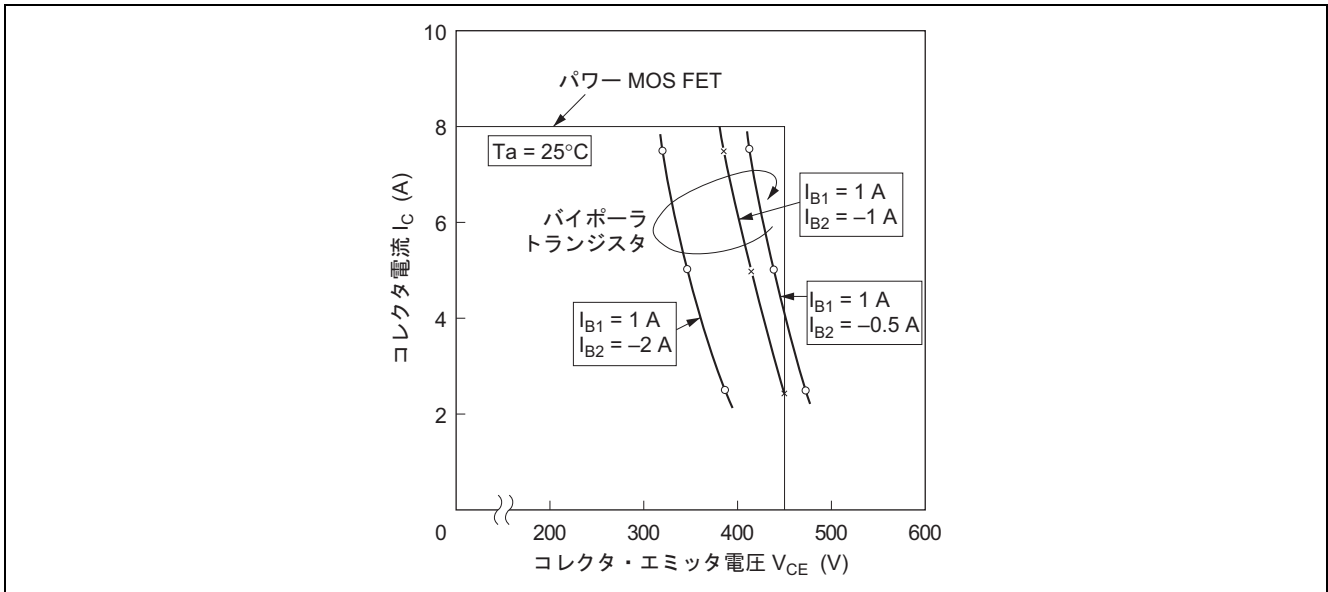


図 33 逆バイス ASO

7. 温度特性

図 34 に伝達静特性を示します。パワーMOS FET は、大電流領域で温度係数が負となるため電流集中せず、広い安全動作領域となり熱暴走による破壊が起こりにくくなります。

また、バイポーラトランジスタと同じエンハンスメント形であるため、デプレッション形 FET で必要となる複雑なバイス回路は不要となります。

温度係数がゼロになるクロスポイントは、D シリーズと S シリーズでは、構造、プロセスなどの違いにより大きく異なります。その値は、製品によって異なりますが、D シリーズで 2~6A、S シリーズは約 100 mA です。

したがって S シリーズでは、オーディオ B 級プッシュプルアンプ出力段に使用した場合、アイドル電流を 100mA 前後に設定してやれば、バイポーラトランジスタ回路で必要であった電流温度補償回路が不要となります。

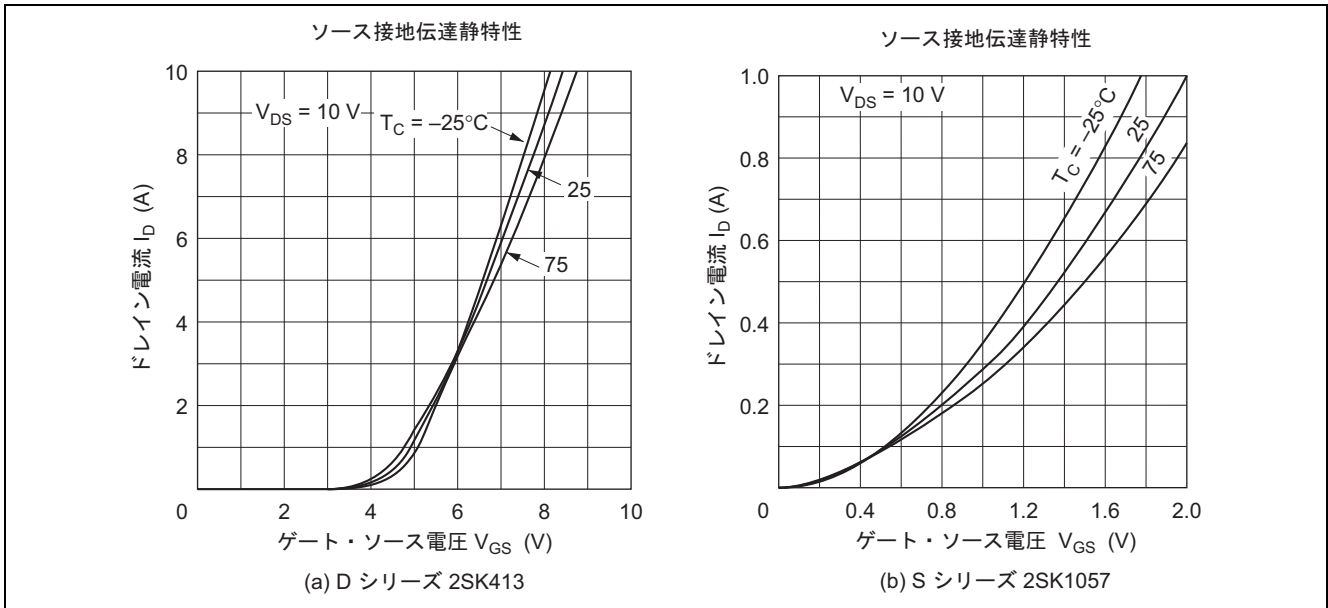


図 34 伝達静特性

8. ソース・ドレイン間ダイオード特性

パワーMOS FET は、Dシリーズ、Sシリーズともに図 35、36 に示しますように、ソース・ドレイン間に等価的にダイオードが内臓されています。このダイオードの順方向電流とブレイクダウン電圧定格は、パワーMOS FET の電流、電圧定格と同じ性能を有しています。

図 37 にこのダイオードの V_F-I_F 特性を示します。図 38 に逆方向回復時間 t_{rr} の波形を示します。ご参考のために図 39 に各品種とファーストリカバリダイオードを比較してみました。このように、このダイオードは、通常のダイオードに劣らない特性を有しており、モータ駆動用途などのブリッジ回路、PWM アンプの出力段などに使用する場合、外付の転流ダイオードが省略できますので、部品点数の低減が可能です。また、 V_{GS} を正にバイアスすることによりチャネルを形成すると電流は両方向同じように流れ、小電流領域では $I_F \times R_{on}$ の直線となるので通常のダイオードより V_F が小さくなり、用途によってはその優位性を発揮します。

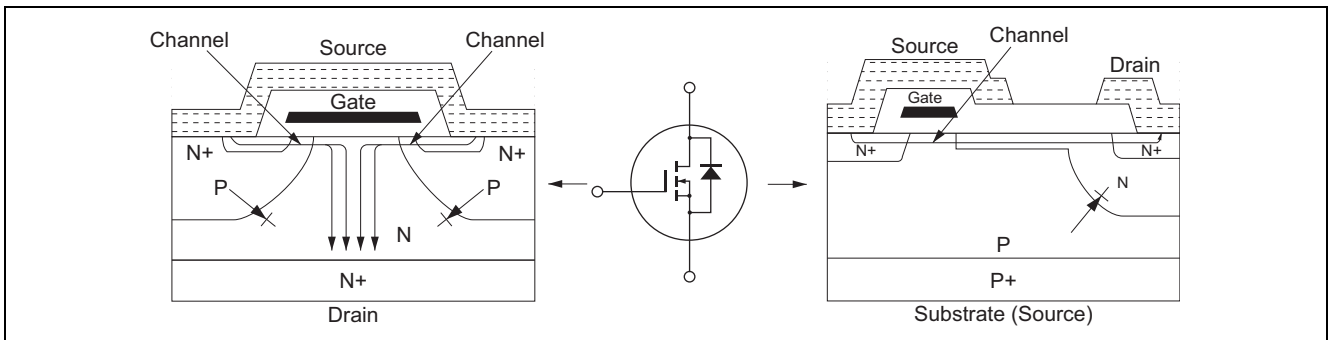


図 35 Dシリーズ(縦形)の構造 (Nチャネル)

図 36 Sシリーズ(横形)の構造 (Nチャネル)

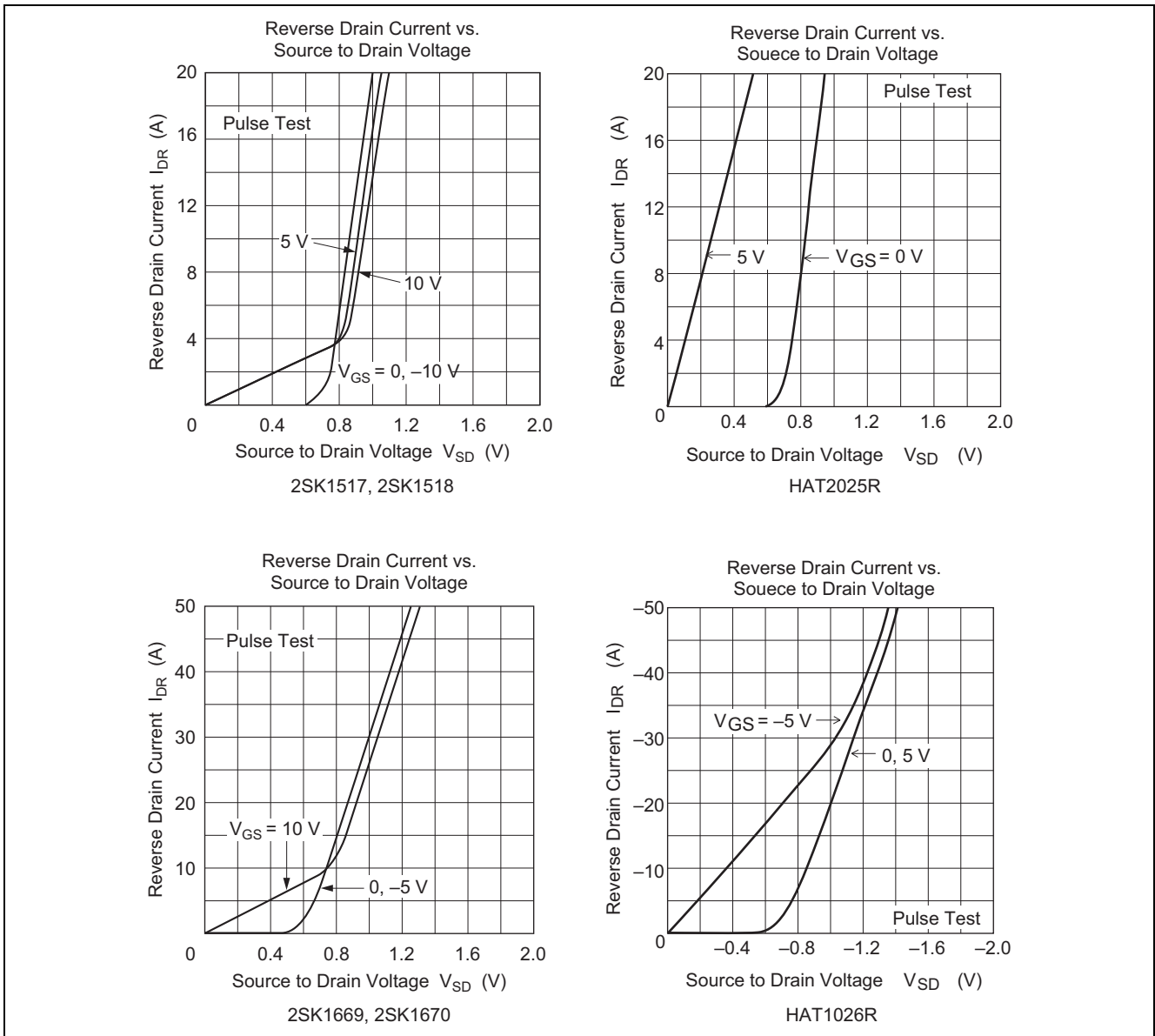


図 37 $V_F - I_F$ 特性

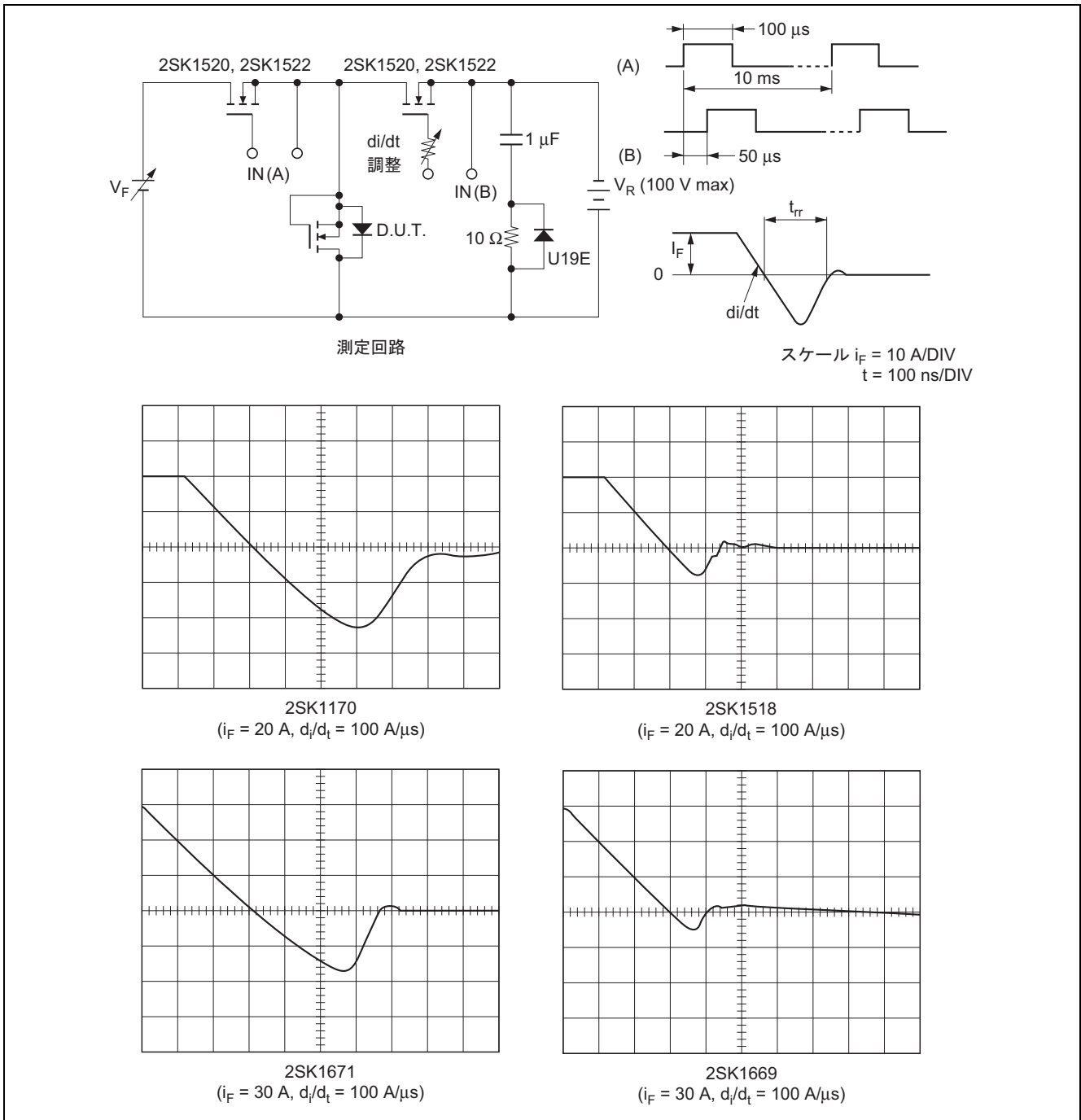


図 38 内部ダイオードの t_{rr} 波形

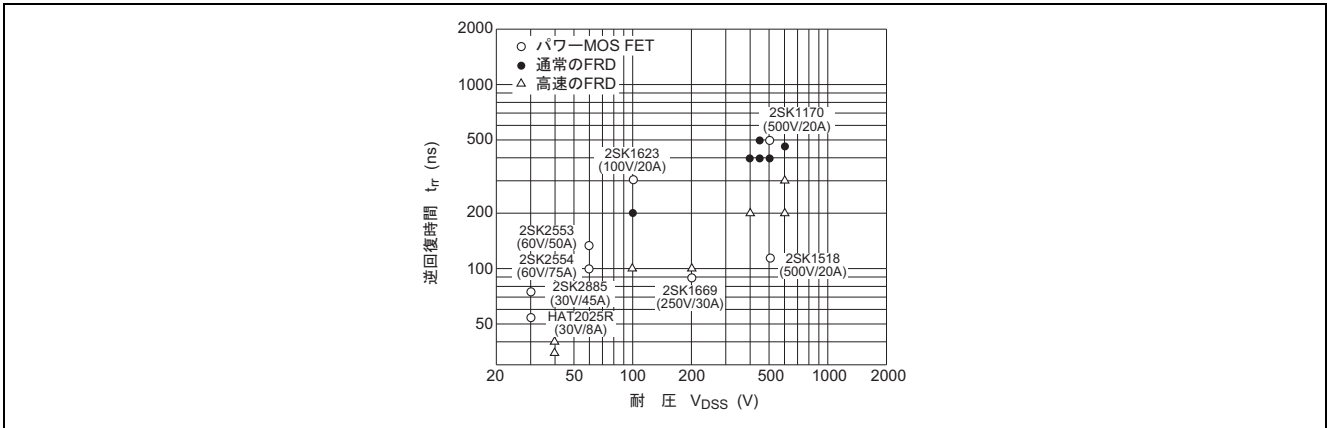


図 39 内部ダイオードと FRD の t_{rr} 比較

8.1 内部ダイオード使用上の注意

パワーMOS FET の内部ダイオードをモータコントロール用途のように転流ダイオードとして積極的に電流を流し込み、その直後逆電圧が印加されるような場合、回路、動作条件により破壊することがあります。

図 40、図 41 に基本的なモータコントロール回路と動作時の波形を示します。

図の波形は、 Q_2 、 Q_3 がオフ、 Q_1 、 Q_4 がオンとし Q_4 は Q_1 がチョッピングしている期間、常時オン状態としたときの波形です。

G_1 にゲートドライブ信号が入り、 Q_1 がオンして i_{D1} が流れます。 Q_1 の電流 i_{D1} がオフするとモータのインダクタンスに蓄積されたエネルギーにより再生電流 i_F が Q_2 の内部ダイオードを通して流れます。この状態で次に Q_1 がオンすると Q_2 の内部ダイオードの逆回復時間 t_{rr} の影響で Q_2 は短絡状態となり過大なリカバリ電流 i_{Dr} が流れます。

この過大なリカバリ電流により、内部ダイオードの電圧が回復する期間である図中斜線の部分のクリティカルなポイントで破壊することがあります。したがってこの内部ダイオードの破壊を防ぐためには、リカバリ電流 i_{rr} を小さくおさえることが有効な手段となります。表 1 に具体的な回路対策例を示します。

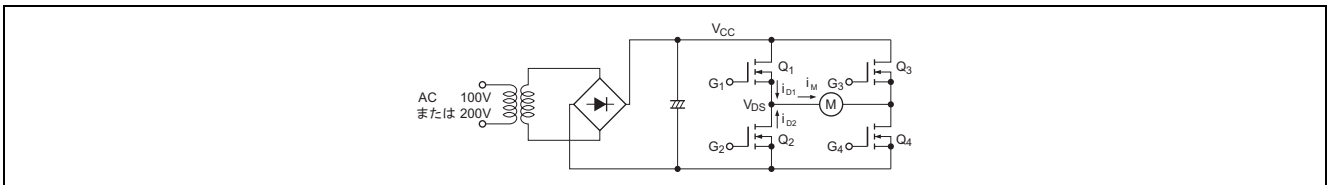


図 40 モータコントロール基本回路

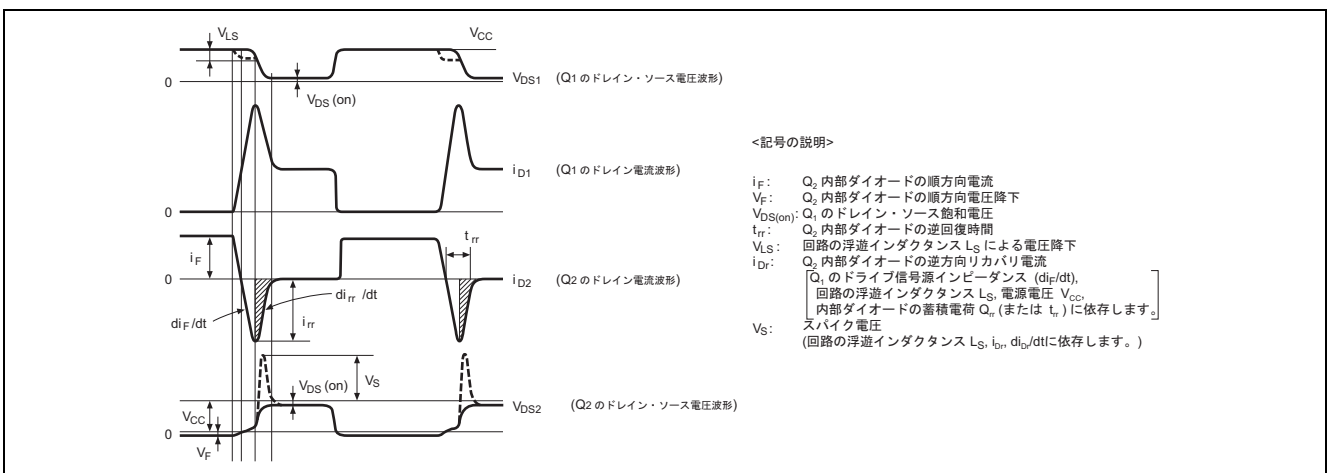


図 41 モータコントロール動作時の波形

表 1 内部 Diode 破壊の回路対策例

区分	対策内容	対策回路	内部Diodeの電流, 電圧波形		回路定数, 他
			対策前	対策後	
①	パワーMOS FETのゲートに抵抗とDiodeの並列接続したものを挿入することによりターンオン時間を遅くします。これにより内部ダイオードの di/dt , dv/dt を制御しリカバリ電流を小さくします。(この場合, ターンオフ時間は遅くしなくても可)				$R = 330 \Omega \sim 820 \Omega$ ($di/dt = 20 \sim 50 A/\mu s$)
②	パワーMOS FETのドレインに夫々LとDiodeの並列接続したものを挿入し, di/dt を制御しリカバリ電流 i_{rr} を小さくおさえます。				$L = 2 \mu H \sim 20 \mu H$
③	パワーMOS FETのドレイン・ソース間にCまたはCRスナバを挿入し内部Diodeの dv/dt , スパイク電圧を抑制します。				$R = 10 \sim 47 \Omega$ $C = 0.01 \mu F \sim 0.1 \mu F$ スナバの配線は極力短くすることが必要です。
④	電源ラインの(+),(-)端子～各アームのドレイン・ソース間(N/Nの場合)をツイスト等のねじり配線とし, 更にCを接続, 上アームと下アームの配線は直付とし浮遊インダクタンスを最小限におさえスパイク電圧, dv/dt を制御します。				①～③の対策に併用して行う必要があります。
⑤	パワーMOS FETの内部Diodeに電流を流さぬよう外付に高速Diodeを接続します。				

9. トーテムポール接続 (高耐圧化の回路手法)

(1) トーテムポール接続

図 42 にパワーMOS FET を直列接続したいわゆるトーテムポール形の基本回路を示します。この回路は本来飽和形論理回路として広く使用され, TTL IC などの基本回路となっています。

次にこの回路の動作を説明いたします。

Q_1 にゲートバイアスが加わらない場合, パワーMOS FET はエンハンスメントタイプのため Q_1 は遮断状態となり, 次の関係が成り立ちます。

$$V_{G1} = 0, I_D = 0$$

$$V_{G2} = 1/2 V_{DD} (\because V_{G2} = V_{DD} \frac{R_g}{R_g + R_g})$$

$$V_D = V_{G2} - V_{GS2} = 1/2 V_{DD} - V_{th2}$$

ここで V_{th2} は Q_2 のスレッシユホールド電圧です。一般に $V_{th2} \ll V_{DD}$ のため $V_O \cong 1/2V_{DD}$ となり、 Q_1 および Q_2 に加わる電圧は約 $1/2V_{DD}$ となります。

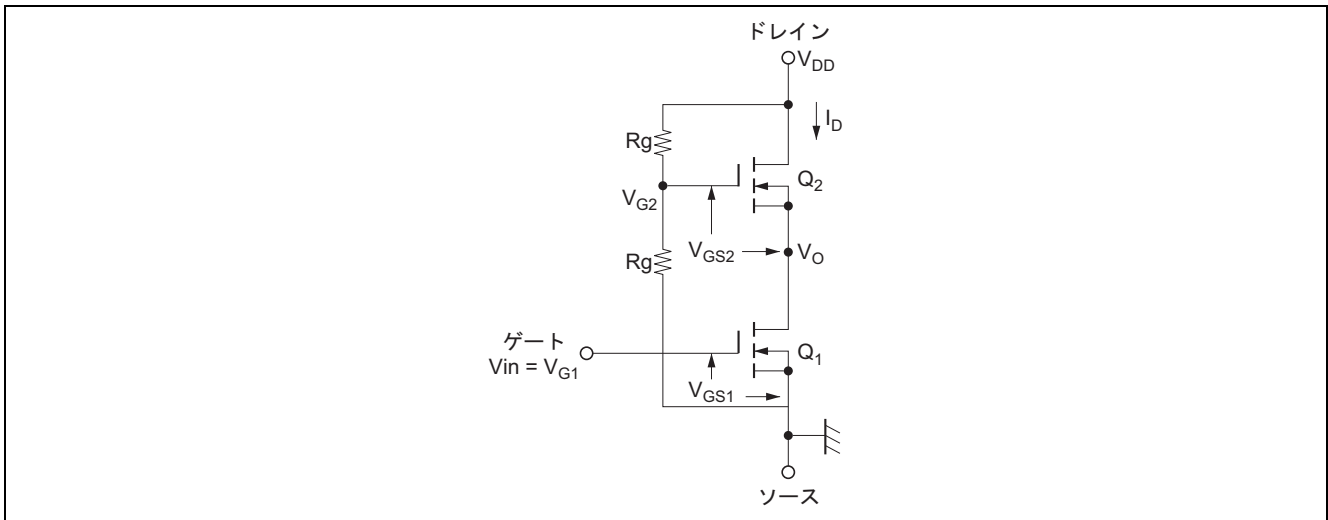


図 42 トータムポール基本回路

次に過渡的な状態を考えてみます。 Q_1 のゲートバイアスを 0 から徐々に増加させた場合、 Q_1 は導通を開始し、同時に Q_2 も導通します。回路の負荷を Z_L とすると、 Q_2 のドレイン・ソース電圧は $V_{DS} = V_{DD} - Z_L \cdot I_D$ となり、 $V_O (= 1/2 \cdot V_D - V_{GS2})$ は徐々に低下します。

ここで V_{DD} が V_{GS2} に比べ十分大きな値をもち、 Q_2 が完全に飽和領域まで駆動されたとすると等価 MOS FET の特性は Q_1 により支配されます。

一般に素子を直列動作させた場合に、スイッチング時間の差による電圧不平衡が問題となりますが、パワー MOS FET の場合はスイッチング時間を数 10 ns 以下と非常に短かくできるため、その問題はほとんどありません。図 43, 44 は、単体での降伏特性、出力静特性を示しています。またこの素子を図 42 のトータムポール基本回路に使用したときの降伏特性、出力静特性を図 45, 46 に示します。

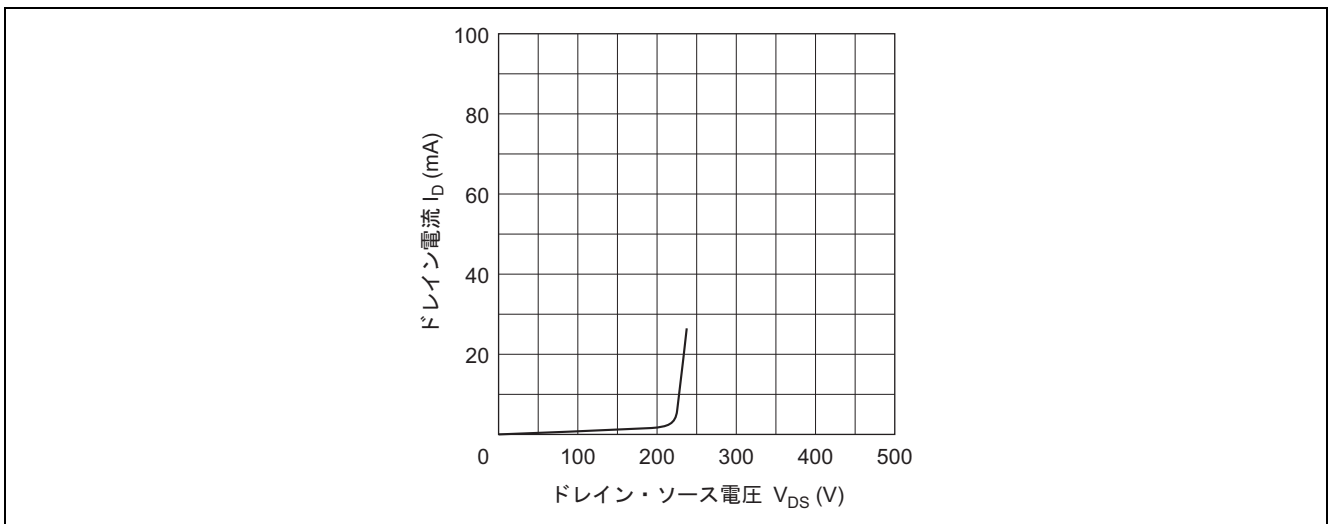


図 43 単体での降伏特性

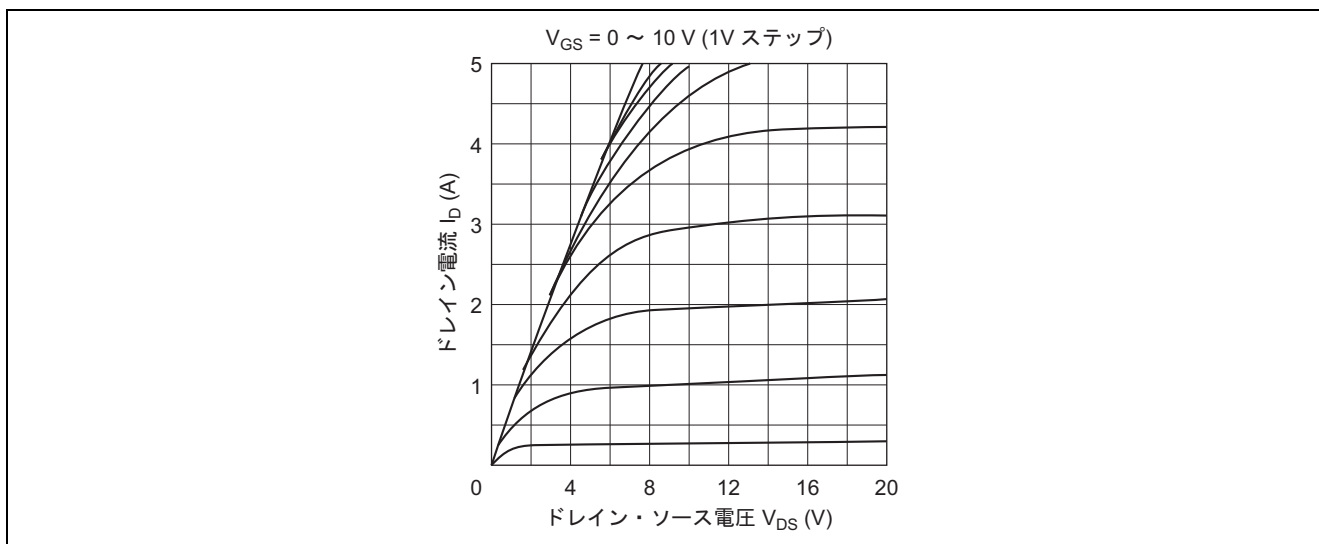


図 44 単体での出力静特性

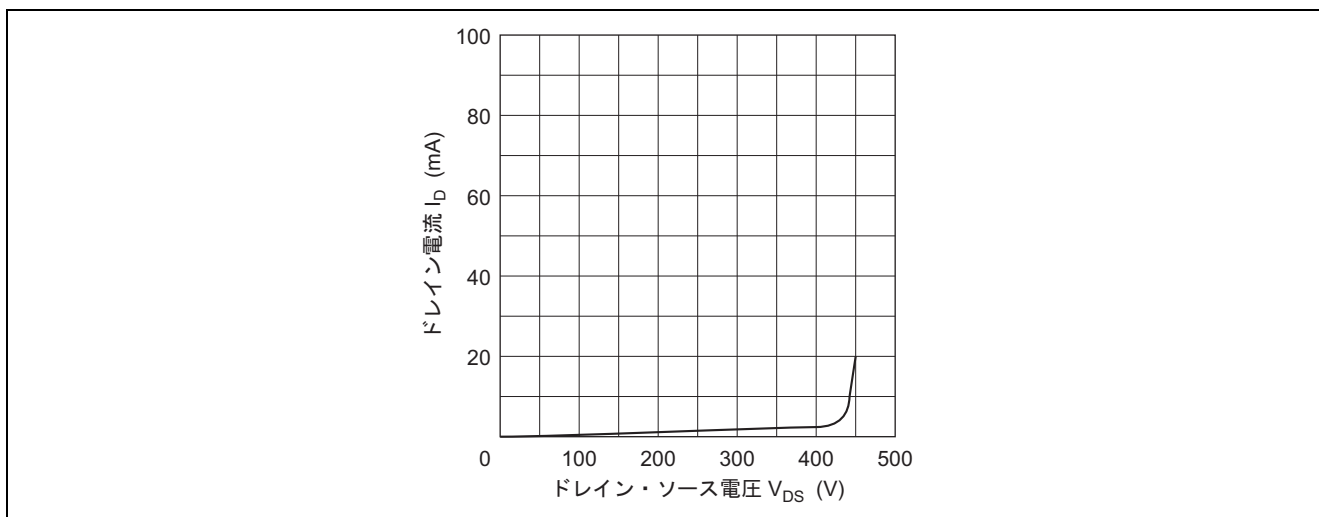


図 45 降伏特性

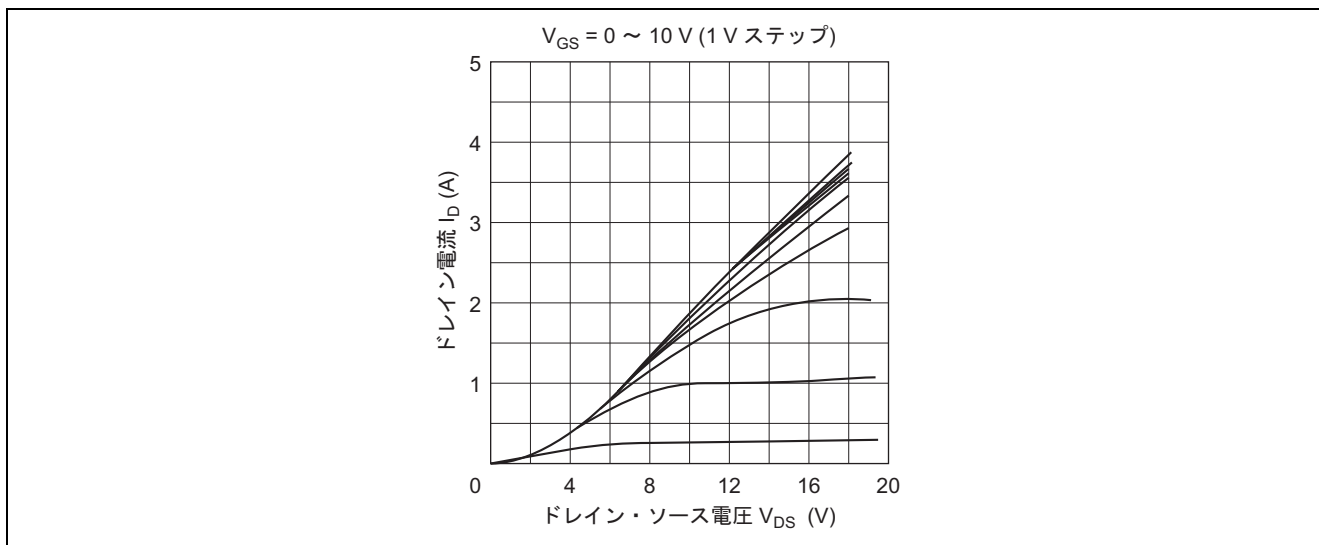


図 46 出力静特性

図 45 より降伏電圧は単体の場合の 2 倍になっていることがわかります。ただし図 46 からわかるようにオン抵抗が約 2 倍となる欠点があります。

次の(2)項ではこのオン抵抗を下げる方法の一例を述べます。

(2) 基本回路のオン抵抗低減方法

オン抵抗 (または飽和電圧) を下げるには、 Q_2 のゲート電位を正方向にレベルシフトすればよく、この方法として図 47 に示すような例があります。図 48 は図 47(C)の回路で、14 V 電源を使用してゲート側を正にレベルシフトした場合の出力静特性を示しています。

なお、図 47 に示す回路においても基本回路同様、等価のドレイン・ソース降伏電圧は、FET 1 個使用時の約 2 倍の値になります。

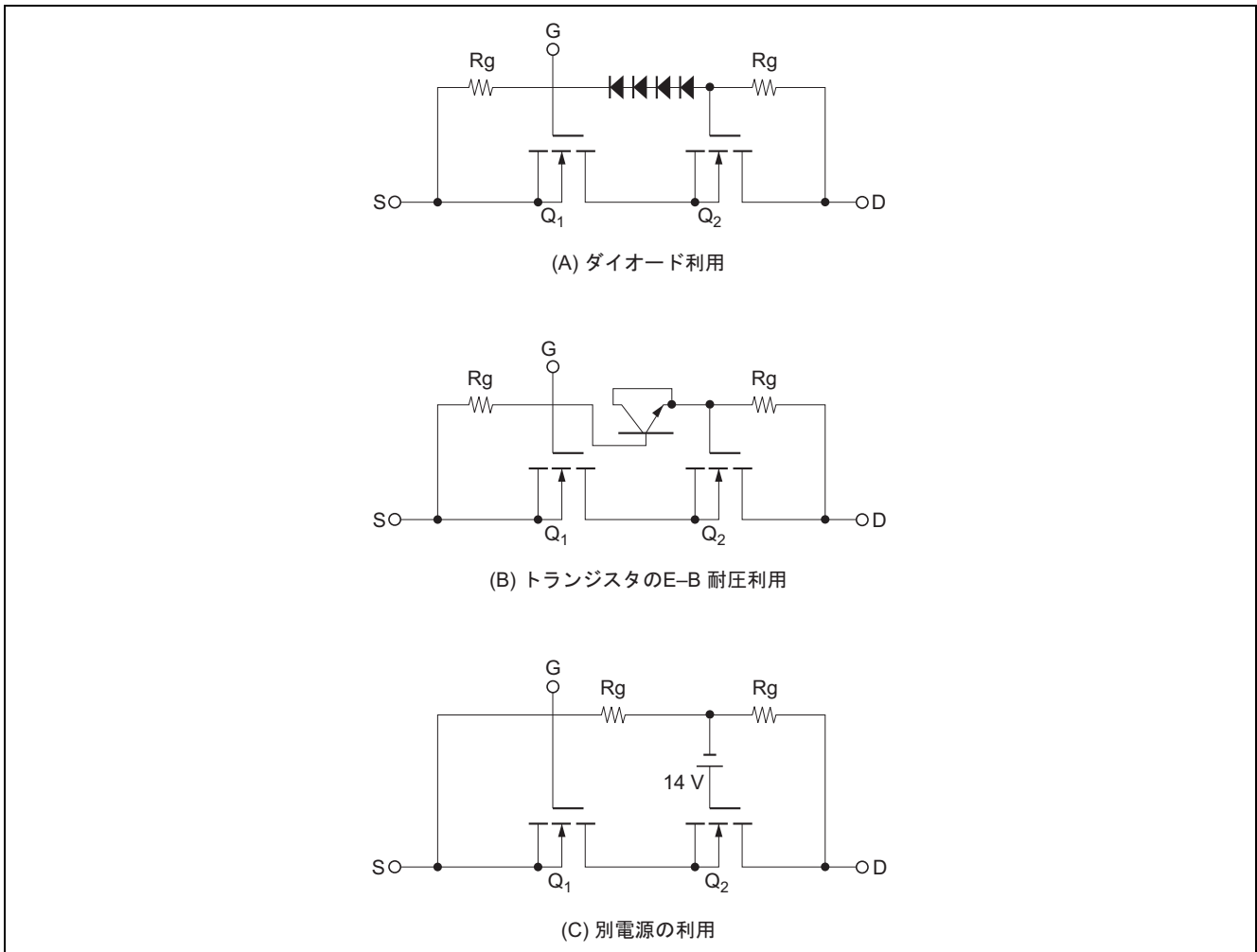


図 47 オン抵抗を下げる方法

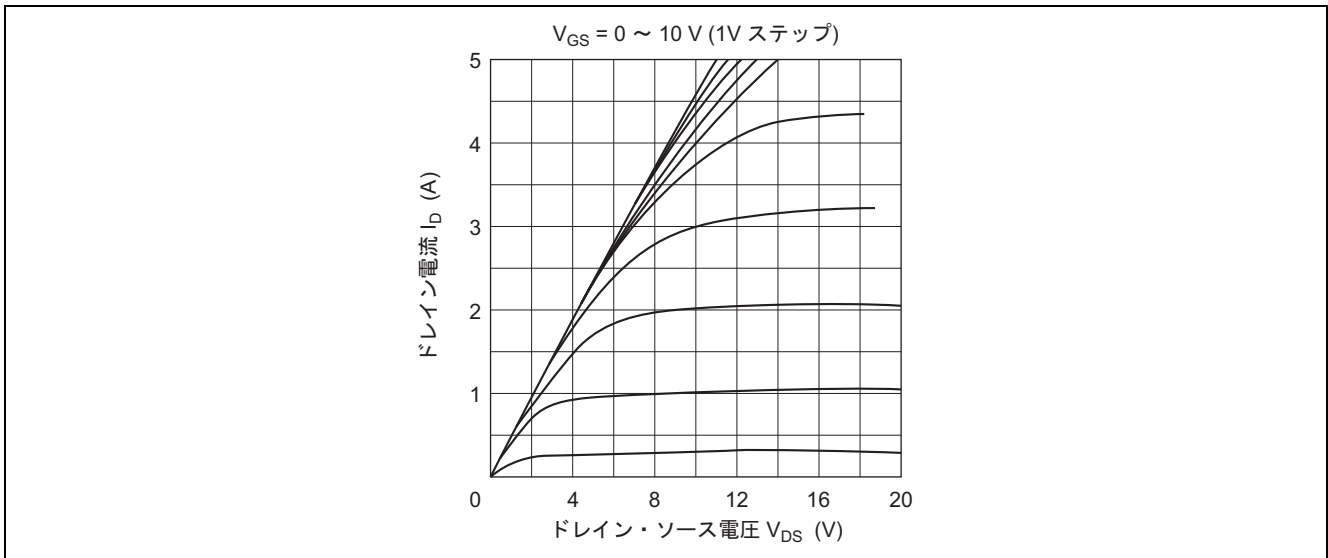


図 48 (C)回路での出力静特性

(3) トーテムポール接続での高周波特性改善

図42に示した回路をソース・フォロワで使用しますと、パワーMOS FETの入力容量 (2SK1057で約 500 pF, 2SJ161で約 600 pF, $f = 1$ MHz) の影響で Q_1 , Q_2 の動作上位相差が生じ、結果的に回路の高周波利得の低下、位相回転の増加など特性悪化の原因となります。

この様子を図 49 に示し、受動素子のみの等価回路は図 50 に示します。

出力 V_{O1} , V_{O2} の位相差をなくし、同位相で駆動するには、 $C_g = C_{in2}$ とすればよく、100 kHz での位相回転が -90° 以内におさまることを実験的に確認しています。

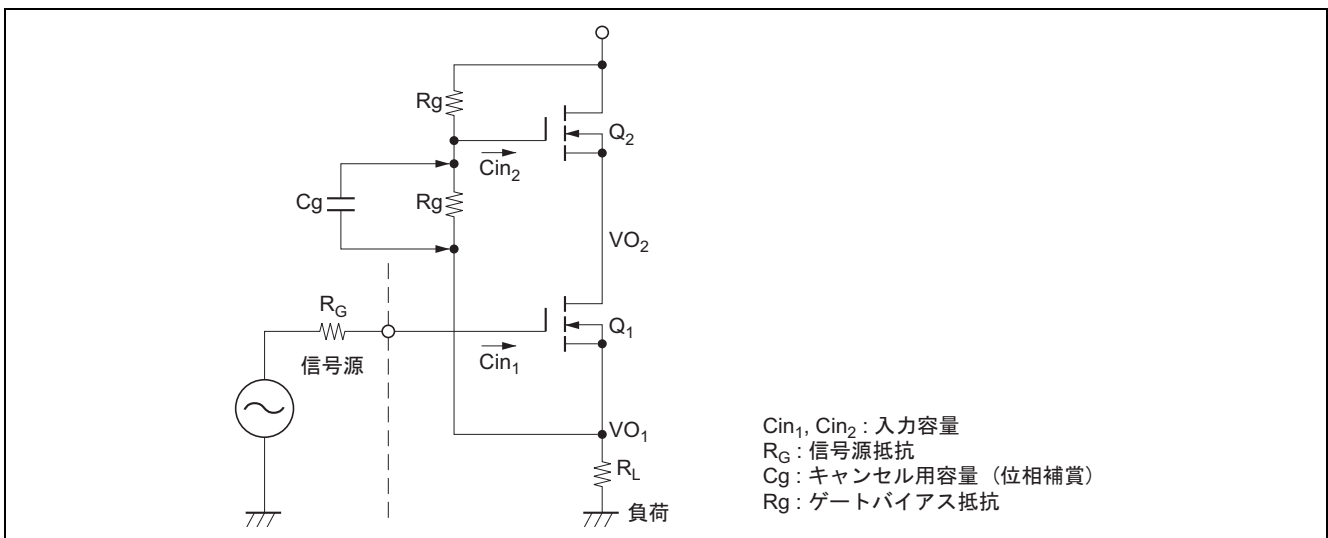


図 49 トーテムポール ソース・フォロワ

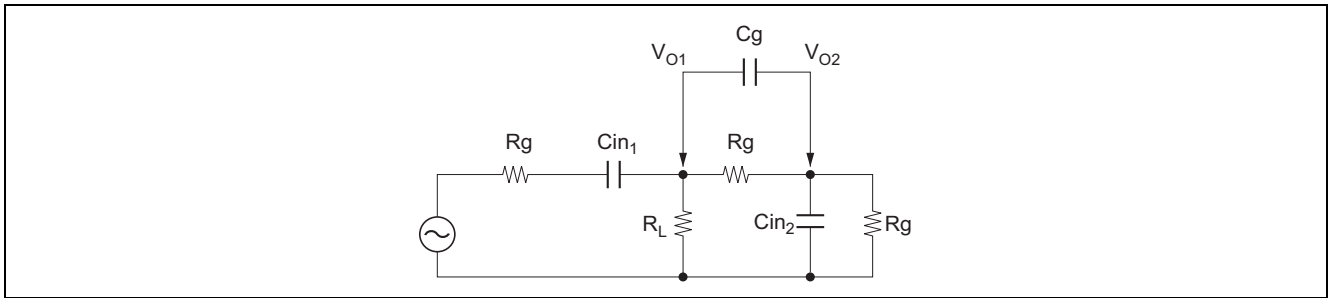


図 50 トーテムポール CR 等価回路

10. ソースフォロワ回路における発振現象の解析 <ご参考>

ソースフォロワ回路における発振現象の解析は多く行われていますが、ソースフォロワ回路の入力インピーダンスの実数部が負になり、虚数部が 0 になる周波数で発振するという解析がもっとも一般的です。その一例を次に示します。

図 51 にパワーMOS FET ソースフォロワ回路の簡略した等価回路を示します。

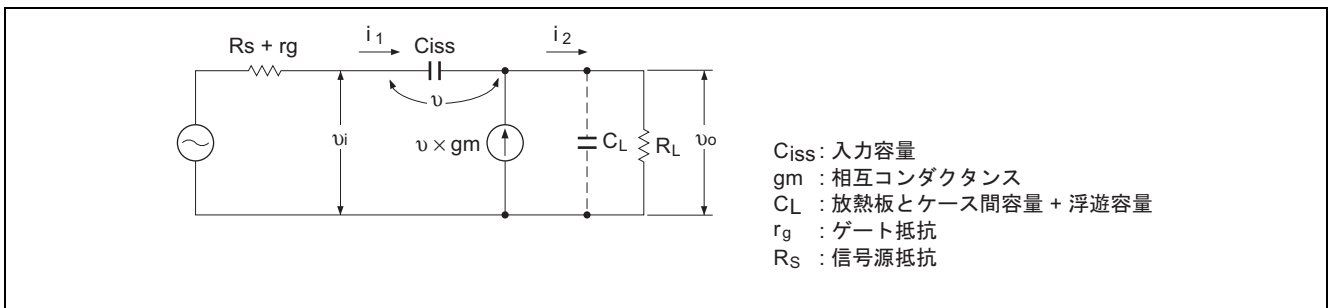


図 51 ソースフォロワ等価回路

この等価回路より入力インピーダンス Zin は次式で表わされます。

$$Z_{in} = \frac{V_i}{i_1} = \frac{1}{j\omega C_{iss}} + R_L \left(1 + \frac{g_m}{j\omega C_{iss}}\right) \dots\dots\dots (1)$$

◆抵抗と容量の並列負荷の場合

(1)式の RL に $\frac{R_L}{1 + j\omega C_L R_L}$ 代入すると、

$$Z_{in} = \frac{1}{j\omega C_{iss}} - \frac{j\omega C_L R_L^2}{1 + \omega^2 C_L^2 R_L^2} - \frac{j\omega g_m R_L}{(1 + \omega^2 C_L^2 R_L^2)\omega^2 C_{iss}} + \frac{R_L}{1 + \omega^2 C_L^2 R_L^2} - \frac{\omega^2 C_L R_L^2 g_m}{(1 + \omega^2 C_L^2 R_L^2)\omega^2 C_{iss}} \dots\dots (2)$$

となり、負性抵抗を生じる条件は次のようになります。

$$R_s + r_g + \frac{R_L}{1 + \omega^2 C_L^2 R_L^2} - \frac{C_L R_L^2 g_m}{(1 + \omega^2 C_L^2 R_L^2) C_{iss}} < 0 \dots\dots (3)$$

さらに近似的に

$$R_s + r_g + R_L - \frac{C_L R_L^2 g_m}{C_{iss}} < 0 \dots\dots (4)$$

となります。したがって、異常発振を防止するためにはゲート抵抗 RG を付加して、

$$R_G + R_s + r_g + R_L - \frac{C_L R_L^2 g_m}{C_{iss}} \geq 0$$

となるようにするのが有効となります。しかし、この方法はパワーMOS FET の周波数特性を悪くするという欠点がありますので、設計に際しては異常発振に対する安定度と特性のバランスを取りながらゲート抵抗を入れる必要があります。

D シリーズの場合、ドレインがケースとなりますので放熱板とケース間の容量がほとんどなく、(4)式中の C_L を小さくすることができ異常発振に対する安定度が向上します。

図 52 にゲート抵抗をパラメータとしたソースフォロワ回路の周波数特性を示します。

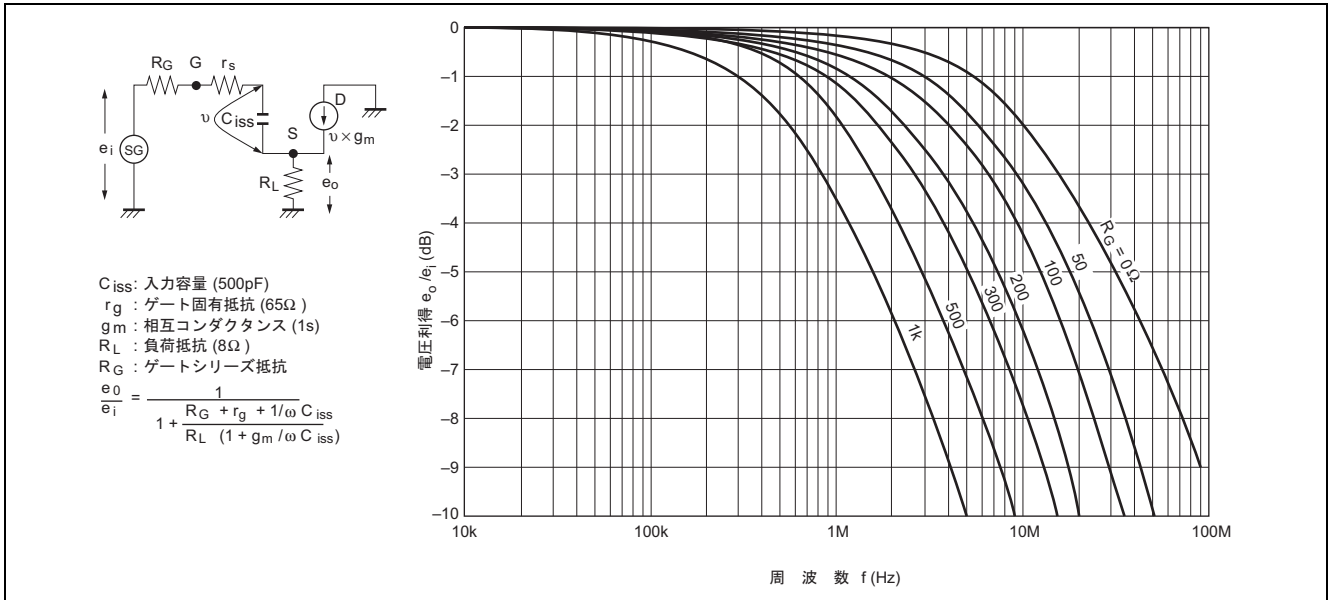


図 52 パワーMOS FET ソースフォロワの電圧利得対周波数特性 (計算値)

11. パワーMOS FET の放熱設計, チャネル温度の計算方法

(1) チャネルとパッケージまたは周囲空気間の熱抵抗値について

チャネル部から見た外気までの全熱抵抗は図 53 の等価回路により、(1)式で表されます。

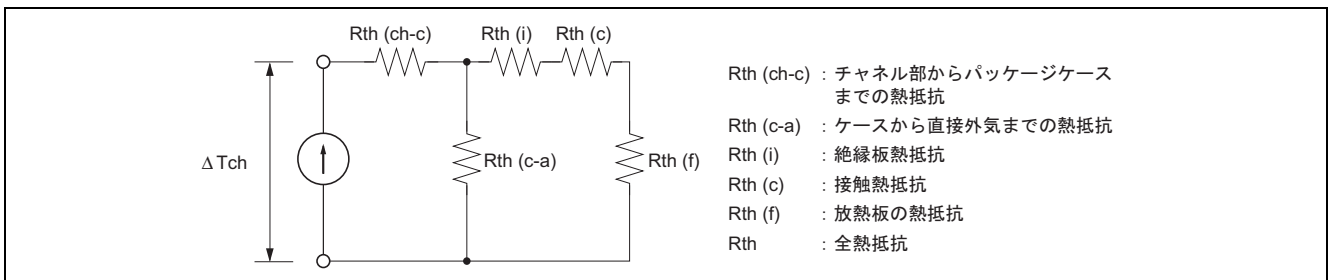


図 53 放熱等価回路

$$R_{th} = R_{th}(ch-c) + \frac{R_{th}(ch-a) \cdot (R_{th}(i) + R_{th}(c) + R_{th}(f))}{R_{th}(ch-a) + R_{th}(i) + R_{th}(c) + R_{th}(f)} \dots\dots\dots(1)$$

各パッケージの熱抵抗各項目の値は、表 2 のようになっております。(御参考)

ケースから周囲空気までの熱抵抗 $R_{th}(c-a)$ は、トランジスタのケース材質、形状により決まりますが、表 2 に示しますように一般に $R_{th}(i)$, $R_{th}(c)$, $R_{th}(f)$, $R_{th}(ch-c)$ に比べ相当大きい値となるため、(1)式は簡略化して、(2)式で実用上使用することができます。

$$R_{th} = R_{th}(ch-c) + R_{th}(i) + R_{th}(c) + R_{th}(f) \dots\dots\dots(2)$$

表2 トランジスタパッケージの各熱抵抗

各熱抵抗			パッケージ						
			DPAK	TO-220AB	LDBAK	TO-220FM	TO-3P	TO-3PFM	TO-3PL
Rth(ch-a) (°C/W)			$R_{th(ch-c)} = \frac{T_{j\ max} - T_c}{P_{ch}}$ (Pch(W) は個別カタログによる)						
注1 Rth(c-a) (°C/W)			178	80	83.3	62.5	55	42	45
(Rth(i)+ Rth(c)) (°C/W)	絶縁板 なし	シリコングリス 有	0.3~0.6	0.3~0.5	0.3~0.5	0.4~0.6	0.1~0.2	0.3~0.5	0.1~0.2
		シリコングリス 無	2.0~2.5	1.5~2.0	1.5~2.0	1.5~2.0	0.5~0.9	1.0~1.5	0.4~0.5
	マイカ挿入 (t = 50~ 100 μm)	シリコングリス 有	—	2.0~2.5	—	—	0.5~0.8	—	0.5~0.7
		シリコングリス 無	—	4.0~6.0	—	—	2.0~3.0	—	1.2~1.5

【注】 1. 参考値

(2) チャネル温度 Tch の計算方法

(a) 放熱板使用時：トランジスタのケース温度が判っていない場合

$$T_{ch} = T_a + P_D \cdot (R_{th(ch-c)} + R_{th(i)} + R_{th(c)} + R_{th(f)}) \dots\dots\dots(3)$$

(b) 放熱板使用時：トランジスタのケース温度が判っている場合(熱的平衡状態)

$$T_{ch} = T_c + P_D \cdot R_{th(ch-c)} \dots\dots\dots(4)$$

(c) 放熱板なし時(自立単体)

$$T_{ch} = T_a + P_D \cdot (R_{th(ch-c)} + R_{th(c-a)}) \dots\dots\dots(5)$$

Rth(ch-c)は、個別カタログの許容チャネル損失 Pch より計算で、(6)式により求めます。

$$R_{th(ch-c)} = \frac{T_{ch\ max} - T_c}{P_{ch}} \dots\dots\dots(6)$$

〈例〉 2SK1170 (TO-3P)の場合、カタログより、Pch = 120 W ですから

$$R_{th(ch-c)} = \frac{150 - 25}{120} \approx 1.04^\circ\text{C/W} \text{ となります。}$$

ドレイン消費電力がパルス状態の場合は、過渡熱抵抗 Rth(ch-c)(t)を用います。一般に Rth(ch-c)が定常状態(熱的平衡状態)に達する時間は、1~10 秒、Rth(ch-a)が数分要します。

したがって、パルス幅が短い場合、温度上昇は、チャネル部の近傍に限られてきます。パルス幅 100 ms 以下 (1shot pulse) ではトランジスタの放熱状態と温度上昇はほぼ無関係となります。

〈例〉 2SK1170 (TO-3P)を使用。パルス幅 PW = 10 ms (1shot pulse)の過渡熱抵抗 Rth(ch-c)(t) 1 および PW = 10 ms, duty cycle = 20% 連続動作時の過渡熱抵抗 Rth(ch-c)(t) 2 を求めよ。

2SK1170 カタログの過渡熱抵抗特性より、それぞれ

$$R_{th(ch-c)(t)1} = \gamma_{s(t)} \cdot R_{th(ch-c)} = 0.015 \times 1.04 = 0.0156^\circ\text{C/W}$$

$$R_{th(ch-c)(t)2} = \gamma_{s(t)} \cdot R_{th(ch-c)} = 0.034 \times 1.04 = 0.035^\circ\text{C/W}$$

となります。

(d) チャネル温度 Tch の計算例

- 実装状態および動作条件

イ) 2SK1170 (TO-3P)使用

ロ) $I_D = 8\text{ A}$, $PW = 10\ \mu\text{s}(t_{ON})$, $duty = 50\%$ ($f = 50\text{ KHz}$)

スイッチング損失 $P(t_f) = 500\text{ W}$ ($t_f = 0.2\ \mu\text{s}$)

(下降時間 t_f の損失のみとして他は、ここでは省略しました)

- ハ) 放熱板の熱抵抗 $R_{th}(f) : 1^{\circ}\text{C}/\text{W}$ (自然空冷)
- ニ) 周囲温度 $T_a : 50^{\circ}\text{C}$ 雰囲気
- ホ) 実装方法 : マイカ板使用, シリコングリス有

● チャンネル温度 T_{ch} 計算方法
 イ) 全熱抵抗 R_{th} は, (2)式に表 2 の各熱抵抗の値を代入して,

$$\begin{aligned} R_{th} &= R_{th}(ch-c) + R_{th}(i) + R_{th}(c) + R_{th}(f) \\ &= 1.04 + 0.8 + 1 \\ &= \underline{2.84^{\circ}\text{C}/\text{W}} \end{aligned}$$

ロ) パワーMOS FET の消費電力 P_D は(9)式に各値を代入して,

$$\begin{aligned} P_D &= \frac{1}{T} (t_{ON} \cdot I_D^2 \cdot R_{DS(on)max} \cdot \alpha + P(t_f) \cdot t_f) \\ &= \frac{1}{20} (10 \times 8^2 \times 0.27 \times 2.41 + 500 \times 0.2) \\ &= \underline{25.8\text{W}} \end{aligned}$$

ハ) チャンネル温度 T_{ch} は, (3)式に上記で計算した R_{th} , P_D を代入して,

$$\begin{aligned} T_{ch} &= T_a + P_D \cdot R_{th} \\ &= 50 + 25.8 \times 2.84 \\ &= \underline{123^{\circ}\text{C}} \end{aligned}$$

かりにもし, この動作状態でパルス電力 $P_D(t) = 500\text{W}$ が, $PW = 50\ \mu\text{s}$ (1shot pulse) の時間印加された場合, さらに ΔT_{ch} は, 図 54 の過渡熱抵抗 $R_{th}(ch-c)(t)$ を用い

$$\begin{aligned} \Delta T_{ch} &= \Delta P_D \cdot R_{th}(ch-c)(t) \\ &= (500 - 25.8) \times (1.04 \times 0.032) \\ &= \underline{15.8^{\circ}\text{C}} \end{aligned}$$

したがって, さらに 15.8°C 上昇し, 約 140°C となります。

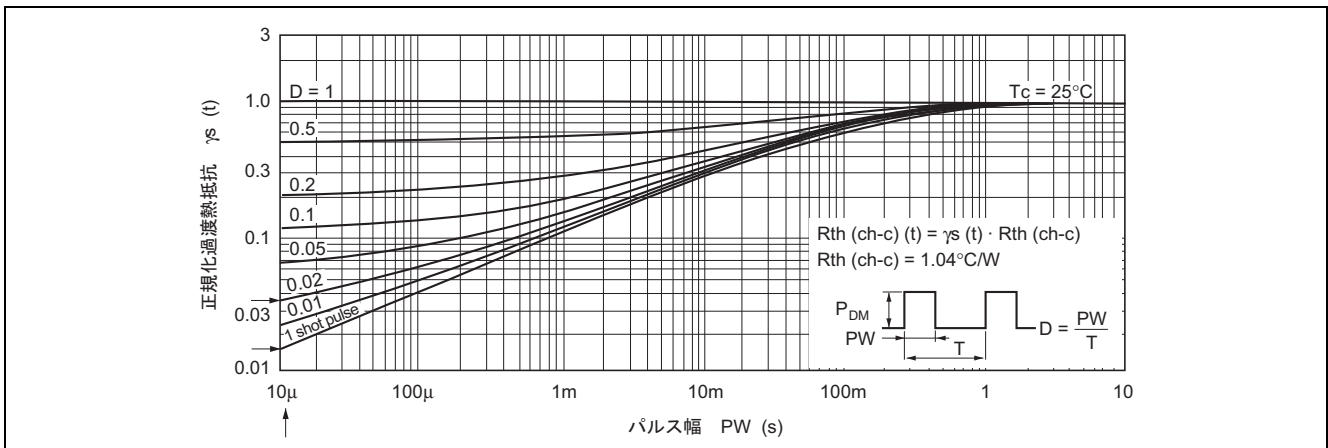


図 54 2SK1170 過渡熱抵抗特性 (個別カタログより)

(3) 放熱設計方法

(a) パワーMOS FET 2SK1170 (TO-3P) を使用した場合の放熱設計例について述べます。例えば, 実装条件として下記(1)~(4)で, $T_{ch} \leq 120^{\circ}\text{C}$ に設計したい。

- 動作条件 :
 - $I_D = 8\text{A}, 10\text{A}, PW = 10\ \mu\text{s}$ (t_{ON}), $duty = 50\%$ ($f = 50\text{kHz}$)
 - スイッチング損失 $P(t_f) = 500\text{W}$ ($t_f = 0.2\ \mu\text{s}$)
 - (下降時間は t_f の損失のみとして他は, ここでは省略しました。)
- 放熱板仕様 :
 - 放熱板の熱抵抗 $R_{th}(f)(I)$. (I). $0.5^{\circ}\text{C}/\text{W}$, (II). $1^{\circ}\text{C}/\text{W}$, (III). $1.5^{\circ}\text{C}/\text{W}$ の異なる 3 種類について検討。
- 実装方法 :
 - マイカ板使用, シリコングリス有。
- 周囲温度 :
 - $T_a = 50^{\circ}\text{C}$

(b) 放熱板取付け時の全熱抵抗 Rth による許容損失特性とパワーMOS FET の消費電力特性

- パワーMOS FET のチャネル温度 Tch は、(7)式で表されます。

$$T_{ch} = T_a + \Delta T_{ch} = T_a + P_D \cdot R_{th} \dots\dots\dots(7)$$

$$\therefore P_D = \frac{T_{ch} - T_a}{R_{th}} \dots\dots\dots(8)$$

(8)式により Tch max = ~150°C まで、Ta = 50°C において、2SK1170 上記実装状態の全熱抵抗 Rth における許容損失直線 (Tch 依存性) を求めます。

- 次にパワーMOS FET の消費電力特性 (Tch 依存性) を求めます。

パワーMOS FET の消費電力 PD は、オン抵抗 RDS(on) が正の温度依存性があるためチャネル温度 Tch の上昇とともに増加します。

消費電力 PD は、(9)式で求められます。

$$P_D = \frac{1}{T} (\text{ton} \cdot I_D^2 \cdot R_{DS(on)max} \cdot \alpha + P(t_f) \cdot t_f) \dots\dots\dots(9)$$

ただし、α は Tch = 25°C に対する Tch(n) における温度係数

(8)式、(9)式により求め、チャネル温度 Tch と消費電力 PD の関係を表したものを図 55 に示します。

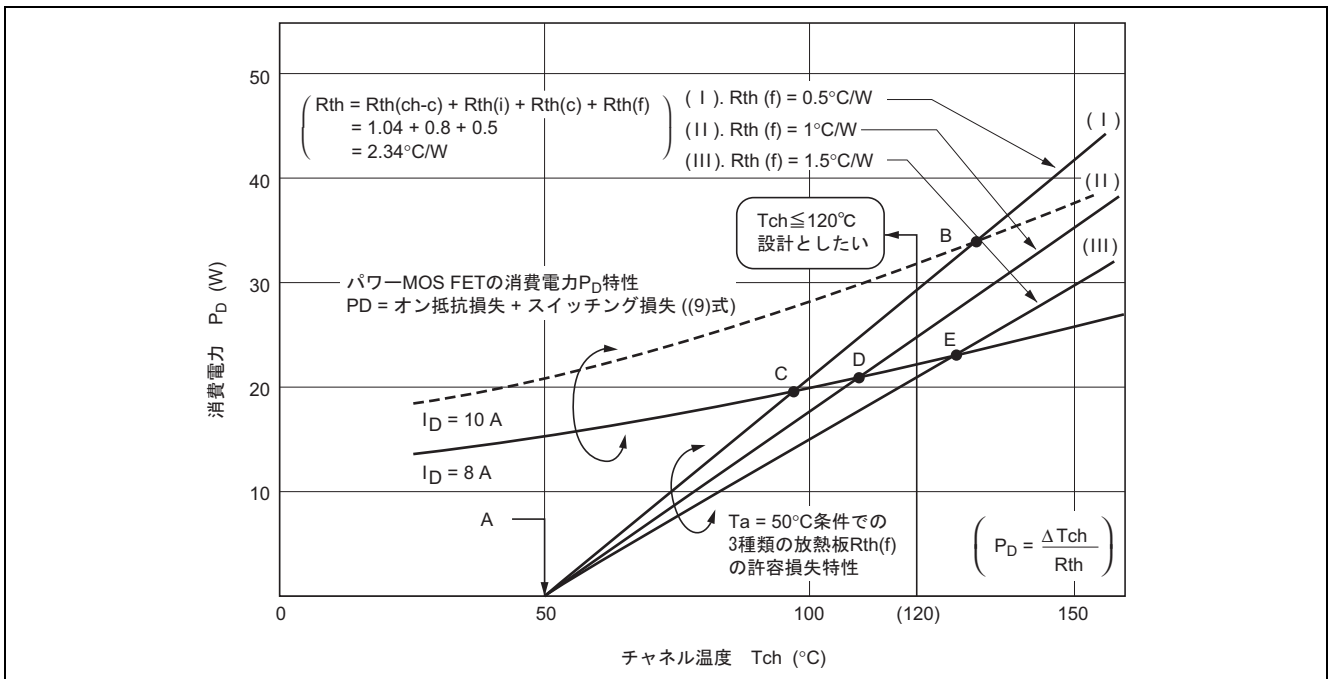


図 55 チャネル温度 Tch と消費電力 PD の関係

表 3 パワーMOS FET 消費電力 P_D の計算 (2SK1170 の例)

項目	Tch (°C)								
	25	40	60	80	100	120	140	150	
Tch = 25°C に対する $R_{DS(on)}$ 温度係数 α	1.0	1.09	1.27	1.5	1.73	2.0	2.27	2.41	
オン抵抗損失 P_{ON} $I_D = 8\text{ A}$	8.64	9.4	11.0	13.0	14.9	17.3	19.6	20.8	
$P_{ON} = \frac{t_{ON}}{T} \cdot I_D^2 \cdot R_{DS(on) \max} \cdot \alpha$ $I_D = 10\text{ A}$	13.5	14.7	17.1	20.3	23.4	27	30.6	32.5	
スイッチング損失 $P_s = \frac{t_f}{T} \cdot P(t_f)$	5	5	5	5	5	5	5	5	
全消費電力 $P_D = P_{ON} + P_s$	$I_D = 8\text{ A}$	13.6	14.4	16.0	18.0	19.9	22.3	24.6	25.8
	$I_D = 10\text{ A}$	18.5	19.7	22.1	25.5	28.4	32.0	35.6	37.5

【注】 1. P_s は、簡略化のため $I_D = 8\text{ A}$, 10 A 共に同値としております。

(c) 図 55 のチャネル温度 Tch と消費電力 P_D の関係図より、次のようなことが言えます。

- A 点は、周囲温度 $T_a = 50^\circ\text{C}$ のポイントを示すものです。すなわち消費電力 P_D が“ゼロ”のため $Tch = Ta = 50^\circ\text{C}$ となります。
- B, C, D, E 点は、各放熱板使用時の全熱抵抗特性とパワーMOS FET の消費電力特性が交わる点で、熱的平衡状態におけるチャネル温度 Tch を示しています。

したがって、 $Tch \leq 120^\circ\text{C}$ を満足させるための放熱設計および動作条件として次のような方法、手段を講じる必要があります。

イ) 放熱板は、(I), (II)仕様とする必要があります。(但し、 $I_D = 8\text{ A}$)

ロ) $I_D = 10\text{ A}$ の動作条件においては、放熱板 (II) および (II) は全熱抵抗特性と消費電力特性曲線の交わる点がないため、熱暴走して破壊に至る可能性があることを意味しています。また、放熱板 (I) も、熱的平衡状態での Tch が約 130°C となり、定格内 ($Tch \max \leq 150^\circ\text{C}$) にあるものの目標とする $Tch \leq 120^\circ\text{C}$ を満足できていません。

ハ) したがって、この場合 $I_D = 10\text{ A}$ 動作まで、 $Tch \leq 120^\circ\text{C}$ を満足させるためには、更に放熱条件をよくしてやるか、1 ランクオン抵抗の小さいデバイスに変更する必要があります。

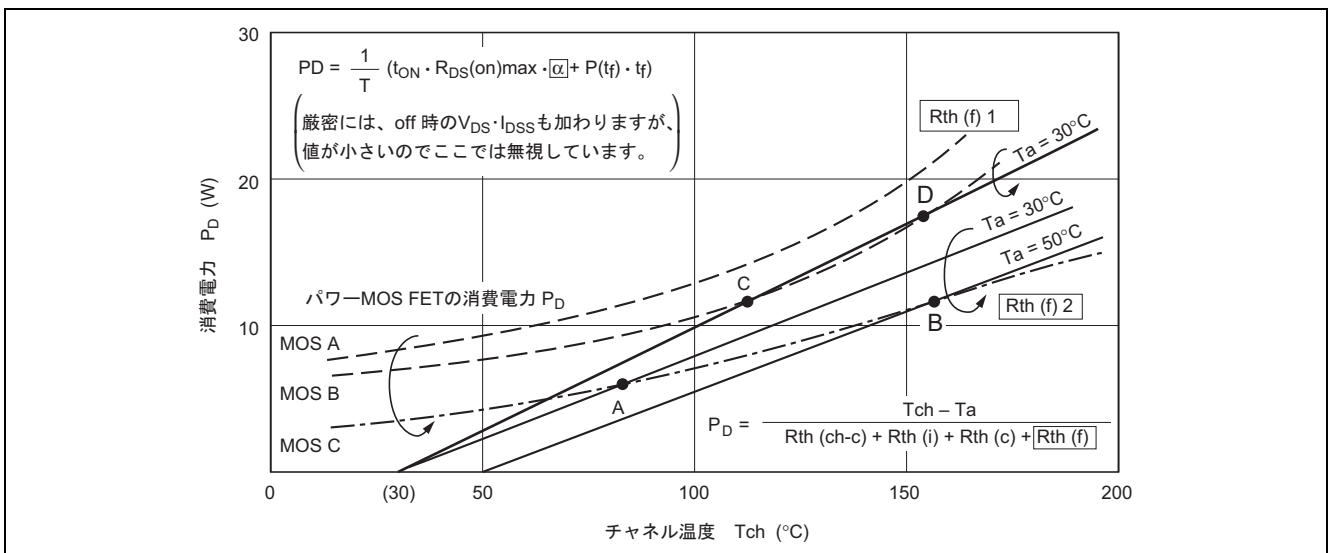


図 56 チャネル温度 Tch と消費電力 P_D の関係

(d) 図 56 によりいくつかの例を説明します。

- 放熱板熱抵抗 $R_{th}(f)$ 1 を $T_a = 30^\circ\text{C}$ において、MOS A, B を使用した場合
 - イ) MOS A 使用の場合、全熱抵抗特性と消費電力特性曲線との交わりがないため、熱的平衡状態はなく、熱暴走し素子が破壊に至ります。
 - ロ) MOS B 使用の場合、パワー印加とともにチャネル温度が上昇し、C 点で熱的平衡状態 (約 110°C) となるが、外的環境が不安定で (周囲温度 T_a , 近傍に別な熱発生源があるなどして) その影響によりチャネル温度 T_{ch} が D 点 (約 150°C 以上) に上昇すると、熱暴走に入る危険性が充分あります。
- 放熱板熱抵抗 $R_{th}(f)$ 2 と MOS C を使用し、 $T_a = 30^\circ\text{C}$, 50°C で動作させた場合
 - イ) $T_a = 30^\circ\text{C}$ 動作では、A 点 ($T_{ch} = 83^\circ\text{C}$) で熱的平衡状態となり問題ありません。
 - ロ) $T_a = 50^\circ\text{C}$ 動作では、B 点 ($T_{ch} = 154^\circ\text{C}$) で熱的平衡状態となります。
この点では許容チャネル温度 ($T_{ch} \geq 150^\circ\text{C}$) 定格オーバーとなります。
すぐ破壊には至らないものの寿命時間の低下、諸故障モードを誘発しやすい状態となります。

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.07.26	—	初版発行
2.00	2008.12.25	20	誤記訂正
		21	誤記訂正
		25	誤記訂正
		38	誤記訂正
3.00	2014.08.18	—	最新フォーマットに変更、ドキュメント番号切り替え

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>