

RL78/F13, F14, F15

R01AN2164JJ0250

安全機能

Rev.2.50
2023.12.31

要旨

本アプリケーションノートは、RL78/F13, RL78/F14, RL78/F15 マイクロコントローラ (MCU) の安全機能について説明します。

対象デバイス

- RL78/F13, RL78/F14, RL78/F15

目次

1. 安全機能の概要	3
2. フラッシュ・メモリ CRC 演算機能 (高速 CRC)	4
2.1 高速 CRC 演算機能の概要	4
2.2 高速 CRC 演算機能のレジスタ	5
2.3 高速 CRC 演算機能の処理例	6
2.3.1 高速 CRC 演算機能の処理例 (対象領域: 64KB)	7
2.4 高速 CRC 演算機能を使用する際の注意事項	8
3. CRC 演算機能 (汎用 CRC)	9
3.1 汎用 CRC 演算機能の概要	9
3.2 汎用 CRC 演算機能のレジスタ	9
3.3 汎用 CRC 演算機能の処理例	10
3.4 汎用 CRC 演算機能を使用する際の注意事項	10
4. RAM ECC 機能	11
4.1 RAM ECC 機能の概要	11
4.2 RAM ECC 機能のレジスタ	12
4.3 RAM ECC 機能の処理例	14
4.4 ECC テスト・モード	15
4.5 RAM ECC 機能を使用する際の注意事項	16
5. CPU スタック・ポインタ・モニタ機能	17
5.1 CPU スタック・ポインタ・モニタ機能の概要	17
5.2 CPU スタック・ポインタ・モニタ機能のレジスタ	17
5.3 CPU スタック・ポインタ・モニタ機能の処理例	18
5.4 CPU スタック・ポインタ・モニタ機能の割り込み判定	19
5.5 CPU スタック・ポインタ・モニタ機能を使用する際の注意事項	19
6. クロック・モニタ機能	20
6.1 クロック・モニタ機能の概要	20
6.2 クロック・モニタ機能のレジスタ	20
6.3 クロック・モニタ機能の処理例	21
6.4 クロック・モニタ機能の割り込み判定	22
6.5 クロック・モニタ機能を使用する際の注意事項	23
7. RAM ガード機能	24
7.1 RAM ガード機能の概要	24
7.2 RAM ガード機能のレジスタ	24

7.3	RAM ガード機能の処理例	25
7.4	RAM ガード機能を使用する際の注意事項	25
8.	SFR ガード機能	26
8.1	SFR ガード機能の概要	26
8.2	SFR ガード機能のレジスタ	26
8.3	SFR ガード機能の処理例	27
8.4	SFR ガード機能を使用する際の注意事項	27
9.	不正メモリ・アクセス検出機能	28
9.1	不正メモリ・アクセス検出機能の概要	28
9.2	不正メモリ・アクセス検出機能のレジスタ	30
9.3	不正メモリ・アクセス検出機能の処理例	30
9.4	不正メモリ・アクセス検出機能を使用する際の注意事項	31
10.	周波数検出機能	32
10.1	周波数検出機能の概要	32
10.2	周波数検出機能のレジスタ	32
10.3	周波数検出機能の処理例	33
11.	A/D テスト機能	34
11.1	A/D テスト機能の概要	34
11.2	A/D テスト機能のレジスタ	34
11.3	A/D テスト機能の処理例	35
11.4	A/D テスト機能を使用する際の注意事項	36
12.	入出力ポートのデジタル出力信号レベル検出機能	37
12.1	入出力ポートのデジタル出力信号レベル検出機能の概要	37
12.2	入出力ポートのデジタル出力信号レベル検出機能のレジスタ	37
12.3	入出力ポートのデジタル出力信号レベル検出機能の処理例	38
12.4	入出力ポートのデジタル出力信号レベル検出機能を使用する際の注意事項	38
13.	参考資料	39
	改訂記録	40

1. 安全機能の概要

RL78/F13, F14, F15 は、自己診断による故障検出を目的とした以下の安全機能を搭載しています。

(1) CRC 演算機能（高速 CRC、汎用 CRC）

高速 CRC 演算：CPU を停止（HALT モードに遷移）させて、コード・フラッシュ・メモリ領域全体を高速に検査する機能です。

汎用 CRC 演算：汎用 CRC は、コード・フラッシュ・メモリ領域に限らず、シリアル通信等、多用途のデータチェックに使用することができます。

(2) RAM ECC 機能

RAM 読み出し時のデータ化け（ビット・エラー）の検出／訂正および割り込み通知を行う機能です。

(3) CPU スタック・ポインタ・モニタ機能

スタック・ポインタ（SP）のオーバフロー、アンダフローを検出し、割り込み通知を行う機能です。

(4) クロック・モニタ機能

低速オンチップ・オシレータ・クロック（f_{IL}）を使用してメイン・システム・クロック（f_{MAIN}）およびメイン／PLL 選択クロック（f_{MP}）の発振停止を検出し、リセットまたは割り込み通知を行う機能です。

(5) RAM ガード機能

ガード対象の RAM 領域に対して、CPU 暴走等による誤書き込みを防止する機能です。

(6) SFR ガード機能

SFR（ポート機能、割り込み機能、クロック制御機能、電圧検出回路制御のレジスタ）に対して、CPU 暴走等による誤書き込みを防止する機能です。

(7) 不正メモリ・アクセス検出機能

CPU 暴走等によるメモリ領域に対する不正なアクセスを検出し、リセットを行う機能です。

(8) 周波数検出機能

高速オンチップ・オシレータ・クロック（f_H）、外付けの X1 発振クロック（f_{MX}）、および PLL クロック（f_{PLL}）のいずれかと、低速オンチップ・オシレータ・クロック（f_{IL}）を比較することで、クロックが異常な周波数で動作していることを検出する機能です。

(9) A/D テスト機能

A/D コンバータの自己診断を行う機能です。

(10) 入出力ポートのデジタル出力信号レベル検出機能

入出力ポートの出力ポートとして使用した時の端子出力レベル（High/Low）を読み出し、出力の異常を検出する機能です。

2. フラッシュ・メモリ CRC 演算機能（高速 CRC）

2.1 高速 CRC 演算機能の概要

高速 CRC 演算機能は、CPU を停止（HALT モードに遷移）させて、コード・フラッシュ・メモリ領域全体を高速に検査する機能です。予め用意しておいた CRC 演算期待値と高速 CRC 演算により算出した結果を比較することで、コード・フラッシュ・メモリの故障を検出することができます。

CRC 生成多項式は CRC-16-CCITT の「 $X^{16}+X^{12}+X^5+1$ 」に対応しており、ビット 31 からビット 0 の MSB ファーストで演算を行います。

高速 CRC 演算中は CPU が停止するため、ユーザ・ソフトウェアを動作させることはできません。表 2-1 に示す高速 CRC 演算機能の処理時間を確認し、システムの仕様に合わせてご使用ください。

表 2-1 高速 CRC 演算機能の処理時間

高速 CRC 演算範囲 ^注	処理時間 (fCLK = 32 MHz)	レジスタ設定
16KB (00000H~03FFBH)	4095 クロック (約 128μs)	CRC0CTL.FEA[5:0] = 000000B
32KB (00000H~07FFBH)	8191 クロック (約 256μs)	CRC0CTL.FEA[5:0] = 000001B
48KB (00000H~0BFFBH)	12287 クロック (約 384μs)	CRC0CTL.FEA[5:0] = 000010B
64KB (00000H~0FFFBH)	16383 クロック (約 512μs)	CRC0CTL.FEA[5:0] = 000011B
80KB (00000H~13FFBH)	20479 クロック (約 640μs)	CRC0CTL.FEA[5:0] = 000100B
96KB (00000H~17FFBH)	24575 クロック (約 768μs)	CRC0CTL.FEA[5:0] = 000101B
112KB (00000H~1BFFBH)	28671 クロック (約 896μs)	CRC0CTL.FEA[5:0] = 000110B
128KB (00000H~1FFFBH)	32767 クロック (約 1024μs)	CRC0CTL.FEA[5:0] = 000111B
144KB (00000H~23FFBH)	36863 クロック (約 1152μs)	CRC0CTL.FEA[5:0] = 001000B
160KB (00000H~27FFBH)	40959 クロック (約 1280μs)	CRC0CTL.FEA[5:0] = 001001B
176KB (00000H~2BFFBH)	45055 クロック (約 1408μs)	CRC0CTL.FEA[5:0] = 001010B
192KB (00000H~2FFFBH)	49151 クロック (約 1536μs)	CRC0CTL.FEA[5:0] = 001011B
208KB (00000H~33FFBH)	53247 クロック (約 1664μs)	CRC0CTL.FEA[5:0] = 001100B
224KB (00000H~37FFBH)	57343 クロック (約 1792μs)	CRC0CTL.FEA[5:0] = 001101B
240KB (00000H~3BFFBH)	61439 クロック (約 1920μs)	CRC0CTL.FEA[5:0] = 001110B
256KB (00000H~3FFFBH)	65535 クロック (約 2048μs)	CRC0CTL.FEA[5:0] = 001111B
272KB (00000H~43FFBH)	69631 クロック (約 2176μs)	CRC0CTL.FEA[5:0] = 010000B
288KB (00000H~47FFBH)	73727 クロック (約 2304μs)	CRC0CTL.FEA[5:0] = 010001B
304KB (00000H~4BFFBH)	77823 クロック (約 2432μs)	CRC0CTL.FEA[5:0] = 010010B
320KB (00000H~4FFFBH)	81919 クロック (約 2560μs)	CRC0CTL.FEA[5:0] = 010011B
336KB (00000H~53FFBH)	86015 クロック (約 2688μs)	CRC0CTL.FEA[5:0] = 010100B
352KB (00000H~57FFBH)	90111 クロック (約 2816μs)	CRC0CTL.FEA[5:0] = 010101B
368KB (00000H~5BFFBH)	94207 クロック (約 2944μs)	CRC0CTL.FEA[5:0] = 010110B
384KB (00000H~5FFFBH)	98303 クロック (約 3072μs)	CRC0CTL.FEA[5:0] = 010111B
400KB (00000H~63FFBH)	102399 クロック (約 3200μs)	CRC0CTL.FEA[5:0] = 011000B
416KB (00000H~67FFBH)	106495 クロック (約 3328μs)	CRC0CTL.FEA[5:0] = 011001B
432KB (00000H~6BFFBH)	110591 クロック (約 3456μs)	CRC0CTL.FEA[5:0] = 011010B
448KB (00000H~6FFFBH)	114687 クロック (約 3584μs)	CRC0CTL.FEA[5:0] = 011011B
464KB (00000H~73FFBH)	118783 クロック (約 3712μs)	CRC0CTL.FEA[5:0] = 011100B
480KB (00000H~77FFBH)	122879 クロック (約 3840μs)	CRC0CTL.FEA[5:0] = 011101B
496KB (00000H~7BFFBH)	126975 クロック (約 3968μs)	CRC0CTL.FEA[5:0] = 011110B
512KB (00000H~7FFFBH)	131071 クロック (約 4096μs)	CRC0CTL.FEA[5:0] = 011111B

注 フラッシュ・メモリの最後の 4 バイト（例えば、16KB 選択の場合 003FFCH~003FFFH の領域）は、高速 CRC 演算の範囲に含みません。

2.2 高速 CRC 演算機能のレジスタ

高速 CRC 演算機能で使用するレジスタを以下に説明します。

(1) フラッシュ・メモリ CRC 制御レジスタ (CRC0CTL)

高速 CRC 演算器の動作制御と演算範囲の設定を行うレジスタです。1 ビット・メモリ操作命令 (CRC0EN ビット) または 8 ビット・メモリ操作命令でアクセスします。

アドレス : F02F0H リセット時 : 00H R/W

略号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

ビット	説明
CRC0EN	0 : 高速 CRC 演算器動作停止 1 : HALT 命令実行により高速 CRC 演算開始
FEA[5:0]	高速 CRC 演算範囲選択 ^注 000000B : 16KB 000001B : 32KB 000010B : 48KB 000011B : 64KB 000100B : 80KB 000101B : 96KB 000110B : 112KB 000111B : 128KB 001000B : 144KB 001001B : 160KB 001010B : 176KB 001011B : 192KB 001100B : 208KB 001101B : 224KB 001110B : 240KB 001111B : 256KB 010000B : 272KB 010001B : 288KB 010010B : 304KB 010011B : 320KB 010100B : 336KB 010101B : 352KB 010110B : 368KB 010111B : 384KB 011000B : 400KB 011001B : 416KB 011010B : 432KB 011011B : 448KB 011100B : 464KB 011101B : 480KB 011110B : 496KB 011111B : 512KB 上記以外 : 設定禁止

注 使用される製品のメモリ範囲内となるように設定してください。

(2) フラッシュ・メモリ CRC 演算結果レジスタ (PGCRCL)

高速 CRC 演算結果を格納するレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス : F02F2H リセット時 : 0000H R/W

略号	15	0
PGCRCL	PGCRC[15:0]	

ビット	説明
PGCRC[15:0]	高速 CRC 演算結果を格納 ^注

注 PGCRCL レジスタは、CRC0EN ビットが 1 の場合のみライト可能です。

2.3 高速 CRC 演算機能の処理例

高速 CRC 演算機能使用時の処理例を以下に示します。

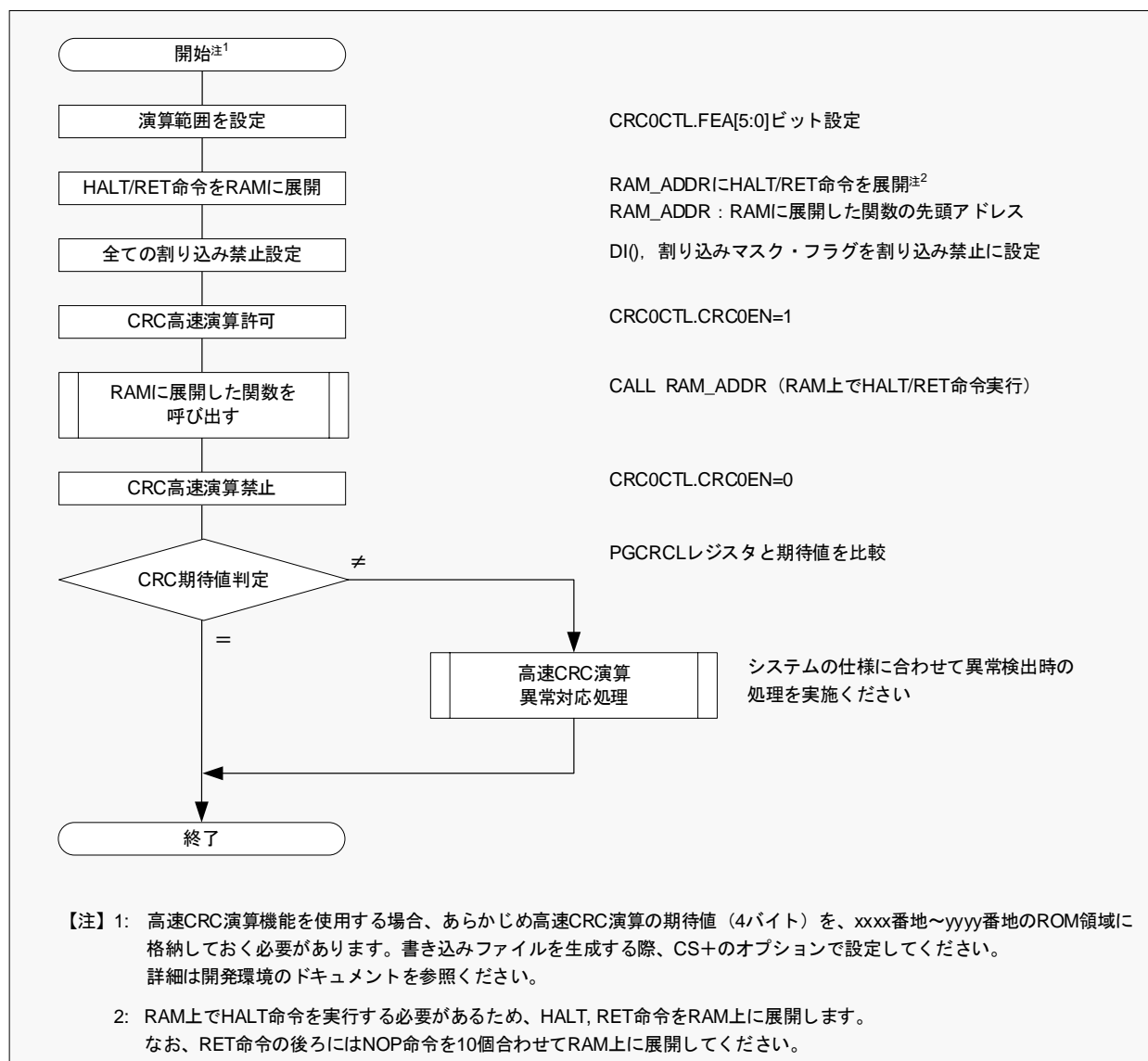


図 2-1 高速 CRC 演算機能の使用例

2.3.1 高速 CRC 演算機能の処理例（対象領域：64KB）

ROM 容量が 64KB の製品に対して、高速 CRC 演算機能を使用する際の設定手順を以下に示します。

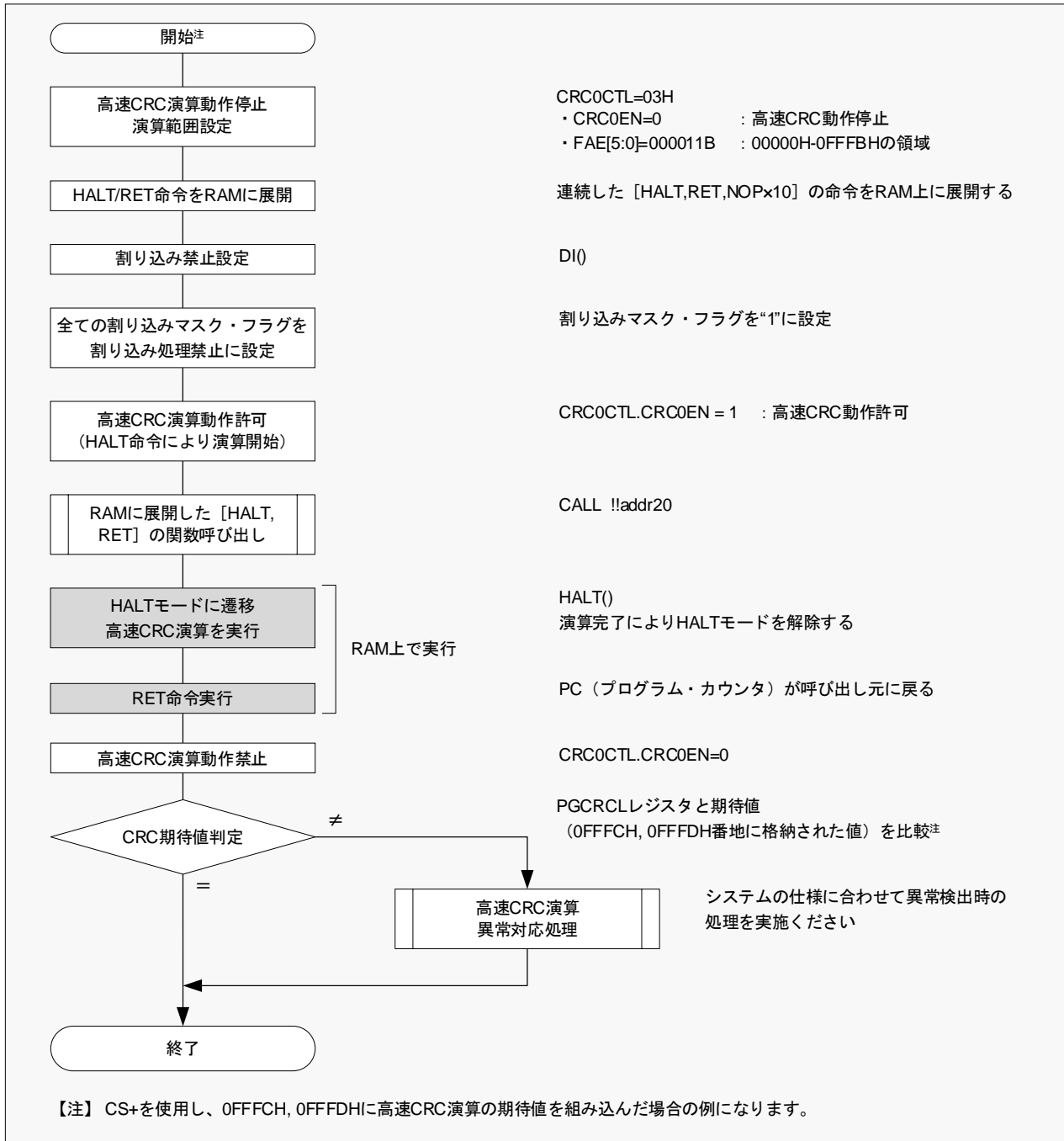


図 2-2 高速 CRC 演算機能の使用例（対象領域：64KB）

2.4 高速 CRC 演算機能を使用する際の注意事項

以下に、高速 CRC 演算機能を使用する際の注意事項を示します。

- (1) 高速 CRC 演算は、RAM 上から HALT 命令の実行により演算を開始し、演算終了により HALT モードを解除します。そのため、HALT 命令を実行する前に割り込み禁止 (DI) かつ全ての割り込みマスク・フラグを“1” (割り込み処理禁止) にして下さい。
- (2) 高速 CRC 演算中は、CPU が停止するため、ユーザ・ソフトウェアを動作させることはできません。高速 CRC 演算機能の処理時間 (表 2-1) を考慮して、ご使用ください。
- (3) RL78 CPU コアは命令コードのフェッチ時に先読みを行います。そのため、RAM 領域から命令を実行する場合、続くアドレス (10 バイト分) を必ず初期化してください。
- (4) 統合開発環境を使用して高速 CRC 演算機能の期待値を算出する場合、演算結果を HEX ファイルに反映することができます。ロード・モジュール・ファイルには反映しません。
- (5) オンチップ・デバッグ時は、モニタ・プログラムをコード・フラッシュ・メモリに配置するため、高速 CRC 演算結果が期待値と一致しません。

3. CRC 演算機能（汎用 CRC）

3.1 汎用 CRC 演算機能の概要

汎用 CRC 演算は、CPU 動作中に CRC 入力レジスタ（CRCIN）へ演算データを書き込み、演算結果を CRC データ・レジスタ（CRCD）に格納する機能です。シリアル通信機能など多用途の検査で使用することができます。

CRC 生成多項式は CRC-16-CCITT の「 $X^{16}+X^{12}+X^5+1$ 」、および SENT 準拠の「 $X^4+X^3+X^2+1$ 」に対応しています。

3.2 汎用 CRC 演算機能のレジスタ

汎用 CRC 演算機能で使用するレジスタを以下に説明します。

(1) CRC 入力レジスタ（CRCIN）

CRC 演算を行うデータを入力（設定）するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：FFFACH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN	CRCIN[7:0]							

ビット	説明
CRCIN[7:0]	CRC 演算を行う入力データの設定範囲 CRC-CCITT 対応時：00F~FFH、SENT 準拠対応時：00H~0FH

(2) CRC 演算モード制御レジスタ（CRCMD）

汎用 CRC 演算器の演算モード（CRC 生成多項式）を選択するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F02F9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRCMD	-	-	-	-	-	-	-	POLYSEL

ビット	説明
POLYSEL	0：CRC-CCITT ($X^{16}+X^{12}+X^5+1$) 1：SENT 準拠 ($X^4+X^3+X^2+1$)

(3) CRC データ・レジスタ（CRCD）

汎用 CRC 演算結果を格納するレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス：F02FAH リセット時：0000H R/W

略号	15	0
CRCD	CRCD[15:0]	

ビット	説明
CRCD[15:0]	汎用 CRC 演算結果を格納します。 CRC-CCITT 対応時：0000H~FFFFH、SENT 準拠対応時：0000H~000FH

3.3 汎用 CRC 演算機能の処理例

汎用 CRC 演算機能使用時の処理例を以下に示します。

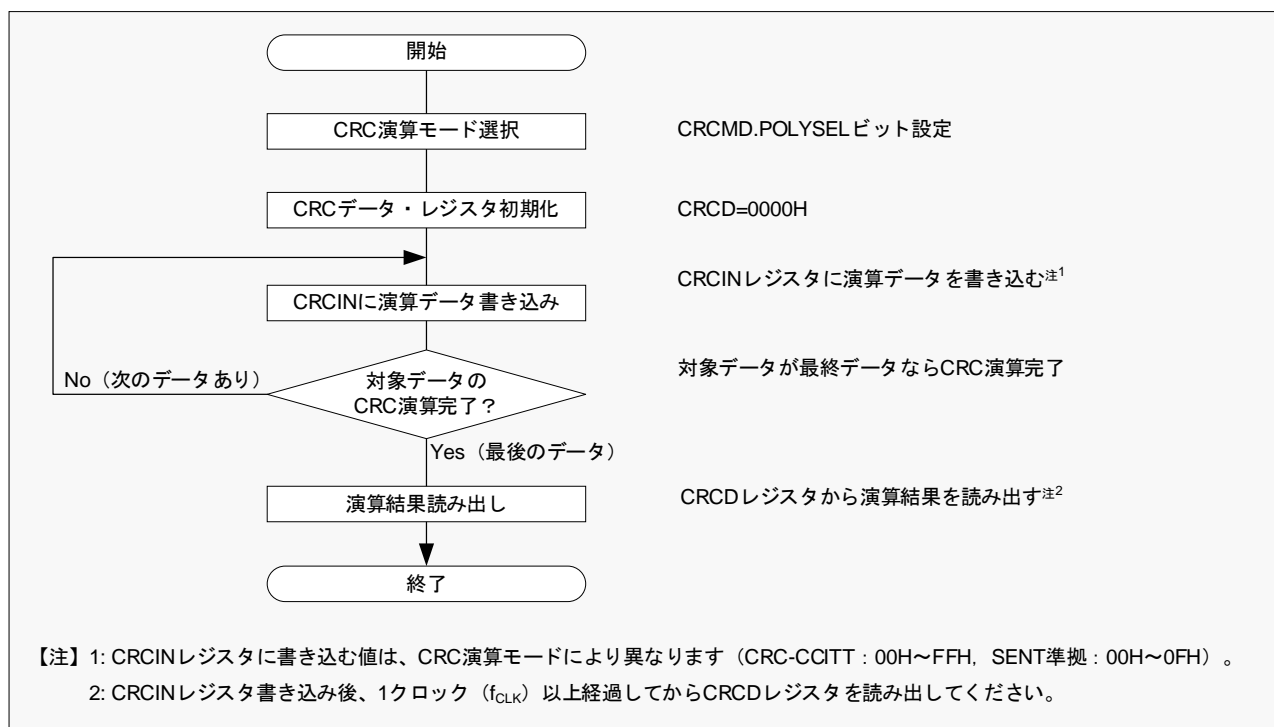


図 3-1 汎用 CRC 演算機能の使用例

3.4 汎用 CRC 演算機能を使用する際の注意事項

汎用 CRC 演算機能を使用する際の注意事項を以下に示します。

- (1) CRCIN レジスタに書き込み後、CPU/周辺ハードウェア・クロック（ f_{CLK} ）の1クロック以上経過してから CRCD レジスタを読み出してください。
- (2) CRC 演算の対象領域にソフトウェア・ブレークを設定しないでください。デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き換えるため、CRC 演算の対象領域にソフトウェア・ブレークを設定すると、CRC 演算結果が異なります。

4. RAM ECC 機能

4.1 RAM ECC 機能の概要

RAM ECC 機能は、データ化け（ビット・エラー）を検出し、割り込み要求を発生させる機能です。また、ビット・エラーが1ビットの場合、データの訂正を行います。

RAM への書き込み時に、書き込みデータ（8ビット長）に対して、ECC コード（4ビット）およびパリティビット（1ビット）を生成し、書き込みを行います。読み出し時に、ECC コードとパリティビットを判定し、エラーを検出した場合、読み出し値の訂正およびビット・エラー検出割り込み要求（INTRAM）を生成します。

表 4-1 RAM ECC 機能の動作

ビット化け（ビット・エラー）			割り込み通知 (INTRAM)	ECCER レジスタ	ERADR レジスタ	読み出し値
データビット	ECC コード	パリティビット		DBERR ビット		
ビット化けなし			-	-	-	期待値
1ビット化け	-	-	要求発生 ^{注1}	0 ^{注1}	アドレス格納 ^{注1}	期待値
-	1ビット化け	-	要求発生 ^{注1}	0 ^{注1}	アドレス格納 ^{注1}	期待値
-	-	1ビット化け	-	-	-	期待値
2ビット化け			要求発生 ^{注2}	1	アドレス格納	不定 ^{注2}
3ビット以上のビット化け			不定 ^{注3}	不定 ^{注3}	不定 ^{注3}	不定 ^{注3}

備考 -：ビット化け（ビット・エラー）の列は「ビット化けなし」、他の列は「更新なし」を表します。

- 注 1. ECCIER レジスタの IEN ビットが 1（割り込み許可）の場合、割り込み要求信号（INTRAM）を生成します。また、IEN ビットが 1 の場合、DBERR ビットおよび ERADR レジスタを更新します。
2. IEN ビットの設定に関係せず割り込み要求信号を生成します。また DBERR ビットおよび ERADR レジスタを更新します。複数ビットのエラーのため期待するデータ訂正を行いません。
3. 複数ビットのエラー検出により期待するデータ訂正を行いません。また、エラー検出を正しく判定できません。

4.2 RAM ECC 機能のレジスタ

RAM ECC 機能で使用するレジスタを以下に説明します。

(1) エラー・アドレス格納レジスタ (ERADR)

ビット・エラー検出時の対象アドレスを格納するレジスタです。16 ビット・メモリ操作命令で読み出します。

アドレス : F0200H リセット時 : 0000H R

略号	15	0
ERADR	ERAD[15:0]	

ビット	説明
ERAD[15:0]	ビット・エラー検出時のアドレスを格納 ^注

注 ビット・エラー検出割り込み要求が発生するごとにレジスタ値を更新します。

(2) 1 ビット・エラー検出割り込み許可レジスタ (ECCIER)

1 ビットのビット・エラー検出時に割り込み許可／禁止を設定するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス : F0202H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ECCIER	-	-	-	-	-	-	-	IEN

ビット	説明
IEN	0 : 1 ビットのビット・エラー検出時に割り込みを禁止 ^注 1 : 1 ビットのビット・エラー検出時に割り込みを許可

注 2 ビットのビット・エラーを検出した場合、IEN ビットの設定にかかわらずビット・エラー検出割り込み要求 (INTRAM) が発生します。

(3) ビット・エラー検出レジスタ (ECCER)

ビット・エラー検出時に 1 ビット検出 (エラー訂正) か 2 ビット検出かを判定するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス : F0203H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ECCER	-	-	-	-	-	-	-	DBERR

ビット	説明
DBERR ^注	0 : 1 ビットのエラー検出あり (エラー訂正) 1 : 2 ビットのエラー検出あり

注 ビット・エラー検出割り込み要求 (INTRAM) が発生していないときは、DBERR ビットの値は無効です。

(4) ECC テスト・プロテクト・レジスタ (ECCTPR)

ECC テスト・モード・レジスタ (ECCTMDR) に対するアクセス許可/禁止を設定するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス : F0204H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ECCTPR	-	-	-	-	-	TPR[2:0]		

ビット	説明
TPR[2:0]	111B 以外 : ECCTMDR レジスタへのアクセス禁止 111B : ECCTMDR レジスタへのアクセス許可

(5) ECC テスト・モード・レジスタ (ECCTMDR)

ECC テスト・モードを選択するレジスタです。8 ビット・メモリ操作命令でアクセスします。ECCTPR レジスタに 07H の書き込みを行った後、本レジスタをアクセスしてください。

アドレス : F0205H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ECCTMDR	-	-	-	-	-	TMD[2:0]		

ビット	説明
TMD[2:0]	000B : 通常動作モード 001B : ECC テスト・モード 上記以外 : 設定禁止

(6) ライトデータ反転レジスタ (ECCDWRVR)

ECC テスト・モード時に RAM への書き込みデータ、ECC およびパリティビットを反転させるレジスタです。16 ビット・メモリ操作命令でアクセスします。

アドレス : F0206H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
ECCDWRVR	-	-	-	PRTYRV	ECCRV[3:0]			

7	6	5	4	3	2	1	0
DWRV[7:0]							

ビット	説明
PRTYRV	0 : パリティビットを反転しない 1 : パリティビットを反転する
ECCRV[3:0]	0 : ECC コードのビット (i) を反転しない 1 : ECC コードのビット (i) を反転する
DWRV[7:0]	0 : RAM への書き込みデータのビット (j) を反転しない 1 : RAM への書き込みデータのビット (j) を反転する

備考 i : 0~3, j : 0~7

4.3 RAM ECC 機能の処理例

RAM ECC 機能使用時の処理例を以下に示します。

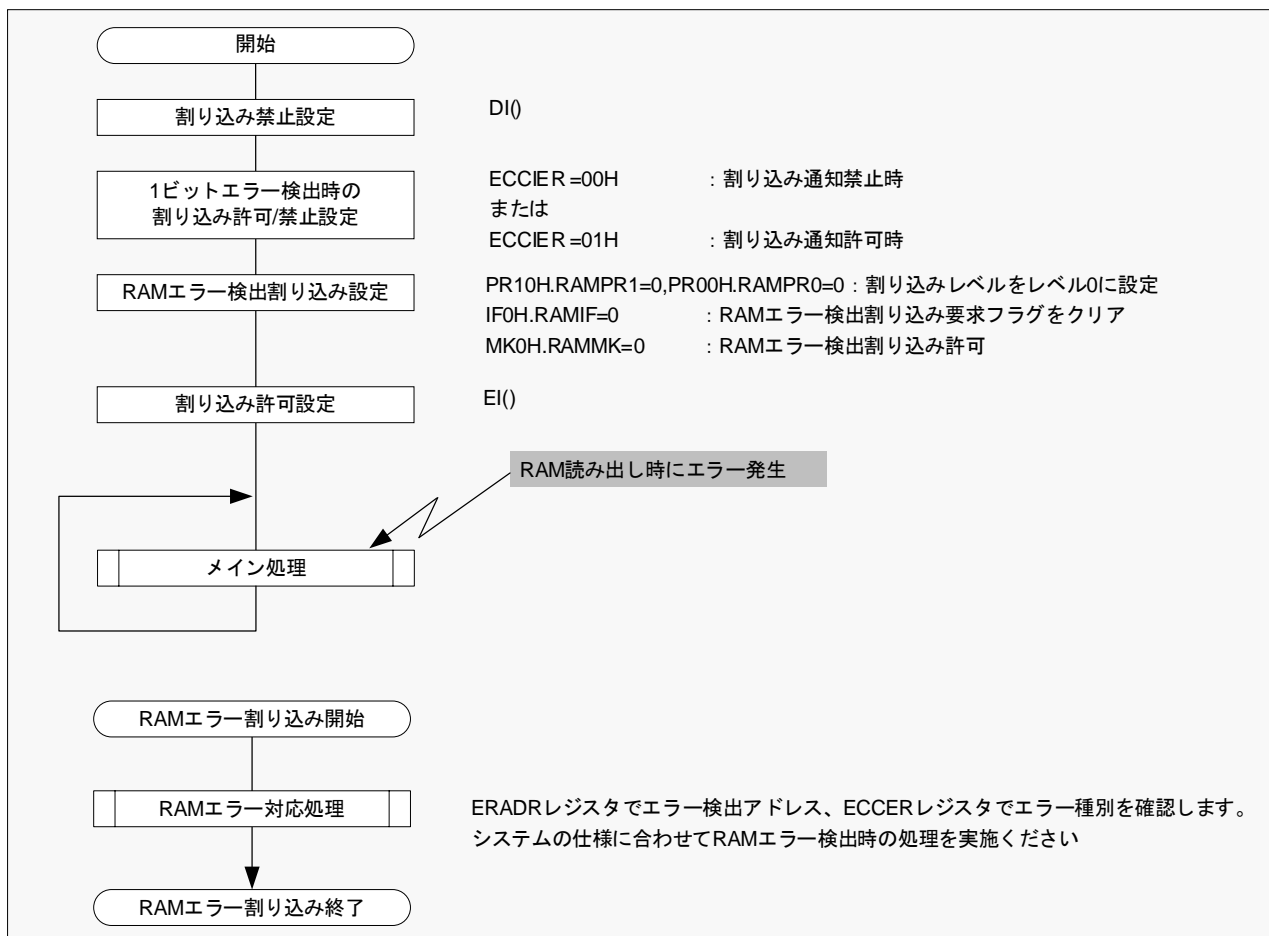


図 4-1 RAM ECC 機能の使用例

4.4 ECC テスト・モード

ECC テスト・モードとは、書き込みデータ/ECC コード/パリティビットのそれぞれに対して、ビットの反転した値を書き込み、対象の RAM を読み出すことで、RAM ECC 機能の動作を確認することができる機能です。RAM アクセスを行わないタイミング（初期化処理等）で実施してください。

ECC テスト・モード使用時の処理例を以下に示します。

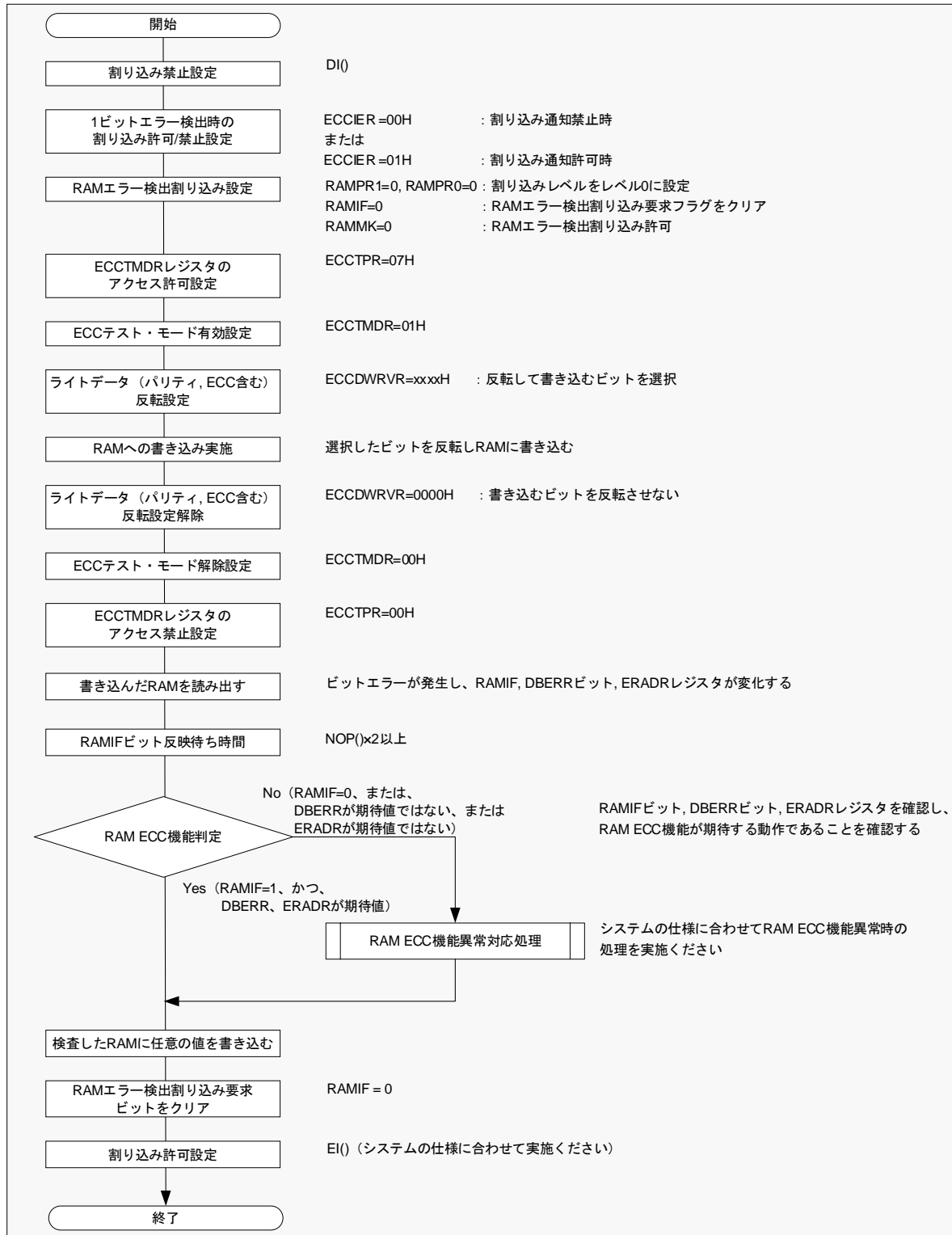


図 4-2 ECC テスト・モードの処理例

ECC テスト・モードの設定例を表 4-2 に示します。

表 4-2 ECC テスト・モードの設定例

ECCDWRVR レジスタ			割り込み通知 (INTRAM)	ECCER レジスタ	ERADR レジスタ	読み出し値
DWRV[7:0]	ECCRV[3:0]	PRTYRV		DBERR ビット		
ビット反転なし			-	-	-	期待値
1 ビット反転	-	-	要求発生 ^{注1}	0 ^{注1}	アドレス格納 ^{注1}	期待値
-	1 ビット反転	-	要求発生 ^{注1}	0 ^{注1}	アドレス格納 ^{注1}	期待値
-	-	1 ビット反転	-	-	-	期待値
2 ビット反転	-	-	要求発生	1	アドレス格納	不定 ^{注2}
1 ビット反転	1 ビット反転	-	要求発生	1	アドレス格納	不定 ^{注2}
1 ビット反転	-	1 ビット反転	要求発生	1	アドレス格納	期待値
-	2 ビット反転	-	要求発生	1	アドレス格納	不定 ^{注2}
-	1 ビット反転	1 ビット反転	要求発生	1	アドレス格納	期待値
3 ビット以上反転			不定 ^{注3}	不定 ^{注3}	不定 ^{注3}	不定 ^{注3}

備考 - : ECCDWRVR レジスタの列は「ビット反転なし」、他の列は「更新なし」を表します。

- 注 1. ECCIER レジスタの IEN ビットが 1 (割り込み許可) の場合、割り込み要求信号 (INTRAM) を生成します。また、IEN ビットが 1 の場合、DBERR ビットおよび ERADR レジスタを更新します。
2. 複数ビットのエラーのため期待するデータ訂正を行いません。
3. 複数ビットのエラー検出により期待するデータ訂正を行いません。また、エラー検出を正しく判定できません。

4.5 RAM ECC 機能を使用する際の注意事項

RAM ECC 機能を使用する際の注意事項を以下に示します。

- (1) 1 ビットのエラー検出時は、エラー訂正により期待値 (書き込みした時の値) が読めます。ただし、RAM 値の書き換えは行わないため、1 ビット・エラー検出割り込みを許可している場合、本アドレスを読み出す毎に割り込み要求 (INTRAM) が発生します。
- (2) オンチップ・デバッグ中は RAM ECC 機能が動作しないため、ECC テスト・モードを使用しないでください。
- (3) ビット・エラーが 2 ビットの場合、ECCIER レジスタの IEN ビット (1 ビットのエラー検出時に割り込み許可/禁止) にかかわらずビット・エラー検出割り込み要求 (INTRAM) が発生します。

5. CPU スタック・ポインタ・モニタ機能

5.1 CPU スタック・ポインタ・モニタ機能の概要

スタック・ポインタの示すアドレスが、スタック領域の範囲内であるかを監視する機能です。スタック・ポインタが範囲外のアドレスに変化すると、割り込み要求（INTSPM）が発生します。

5.2 CPU スタック・ポインタ・モニタ機能のレジスタ

CPU スタック・ポインタ・モニタ機能で使用するレジスタを以下に説明します。

(1) SPM コントロール・レジスタ（SPMCTRL）

CPU スタック・ポインタ・モニタ機能の許可／禁止を設定します。8 ビット・メモリ操作命令でアクセスします。

アドレス：F00D8H リセット時：0000H R/W

略号	7	6	5	4	3	2	1	0
SPMCTRL	SPMEN	-	-	-	-	-	-	-

ビット	説明
SPMEN ^注	0：スタック・ポインタ・モニタ機能禁止 1：スタック・ポインタ・モニタ機能許可、SPOFR, SPUFR レジスタへの書き込み禁止

注 SPMEN ビットは 1 書き込みのみ有効です。SPMEN = 1 とした後の書き込みは無効です。

(2) SP オーバフロー・アドレス設定レジスタ（SPOFR）

CPU スタック・ポインタ・モニタ機能のオーバフロー・アドレス（上限値）を設定します。16 ビット・メモリ操作命令でアクセスします。

アドレス：F00DAH リセット時：FFFEH R/W

略号	15	8	7	1	0										
SPOFR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0

ビット	説明
15~0 ^注	スタック・ポインタのオーバフロー・アドレスを設定します。 ビット 0 は 0 固定です。書き込む場合、0 を書いてください。

注 SPMEN = 1 の場合、SPOFR レジスタへの書き込みは無効です。

(3) SP アンダフロー・アドレス設定レジスタ (SPUFR)

CPU スタック・ポインタ・モニタ機能のアンダフロー・アドレス (下限値) を設定します。16 ビット・メモリ操作命令でアクセスします。

アドレス : F00DCH リセット時 : 0000H R/W

略号	15							8	7						1	0
SPUFR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0

ビット	説明
15~0 [※]	スタック・ポインタのアンダフロー・アドレスを設定します。ビット0は0固定です。書き込む場合、0を書いてください。

注 SPMEN = 1 の場合、SPUFR レジスタへの書き込みは無効です。

5.3 CPU スタック・ポインタ・モニタ機能の処理例

CPU スタック・ポインタ・モニタ機能使用時の処理例を以下に示します。

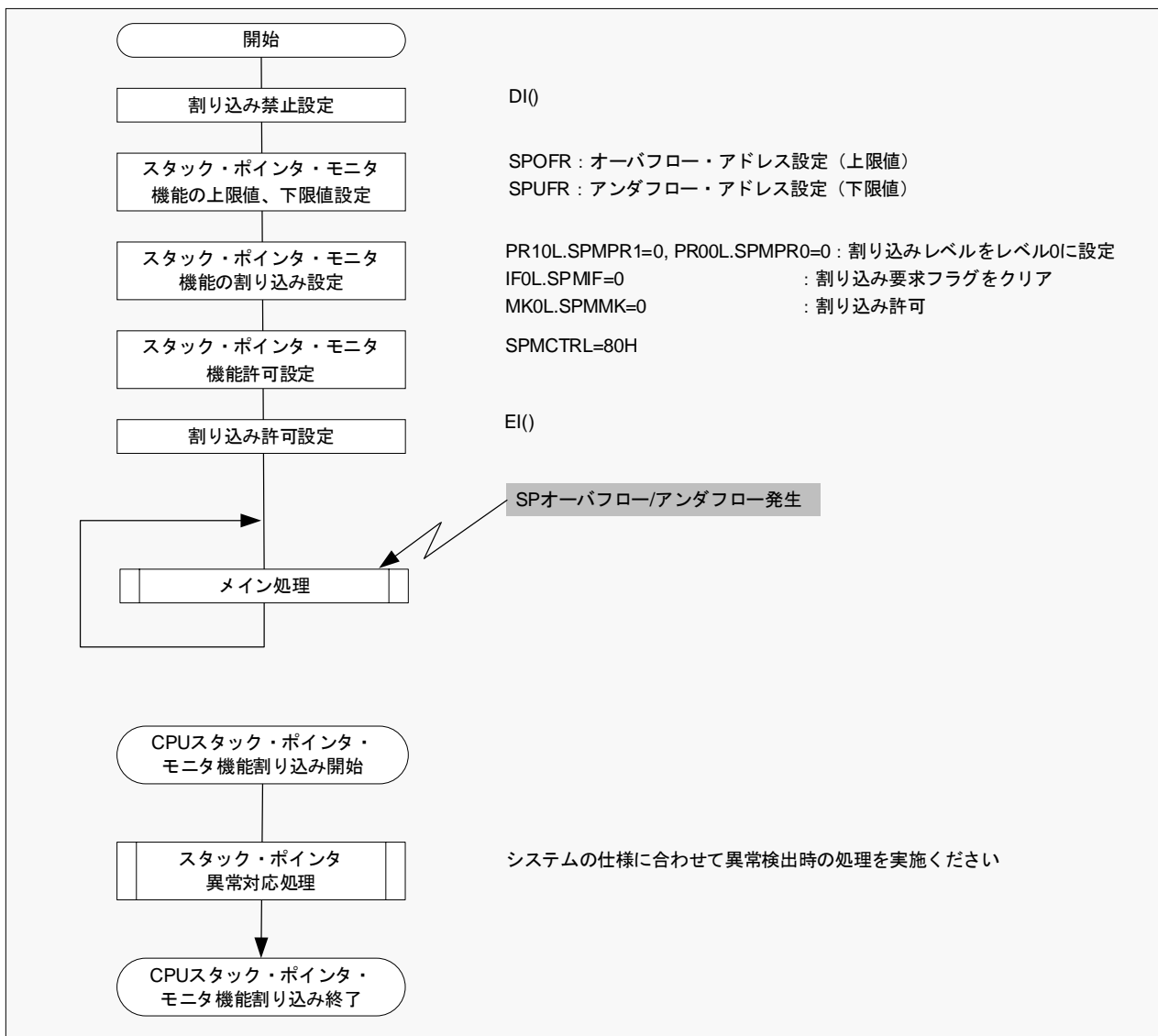


図 5-1 CPU スタック・ポインタ・モニタ機能の使用例

5.4 CPU スタック・ポインタ・モニタ機能の割り込み判定

CPU スタック・ポインタ・モニタ機能が生成する割り込みは、INTP4 と割り込みベクタ・テーブル・アドレスを共用しています。2つの割り込みを共に使用される場合、SP オーバフロー／アンダフロー割り込みの発生をソフトウェアで判定する必要があります。

CPU スタック・ポインタ・モニタ機能の割り込み判定処理を図 5-2 に示します。

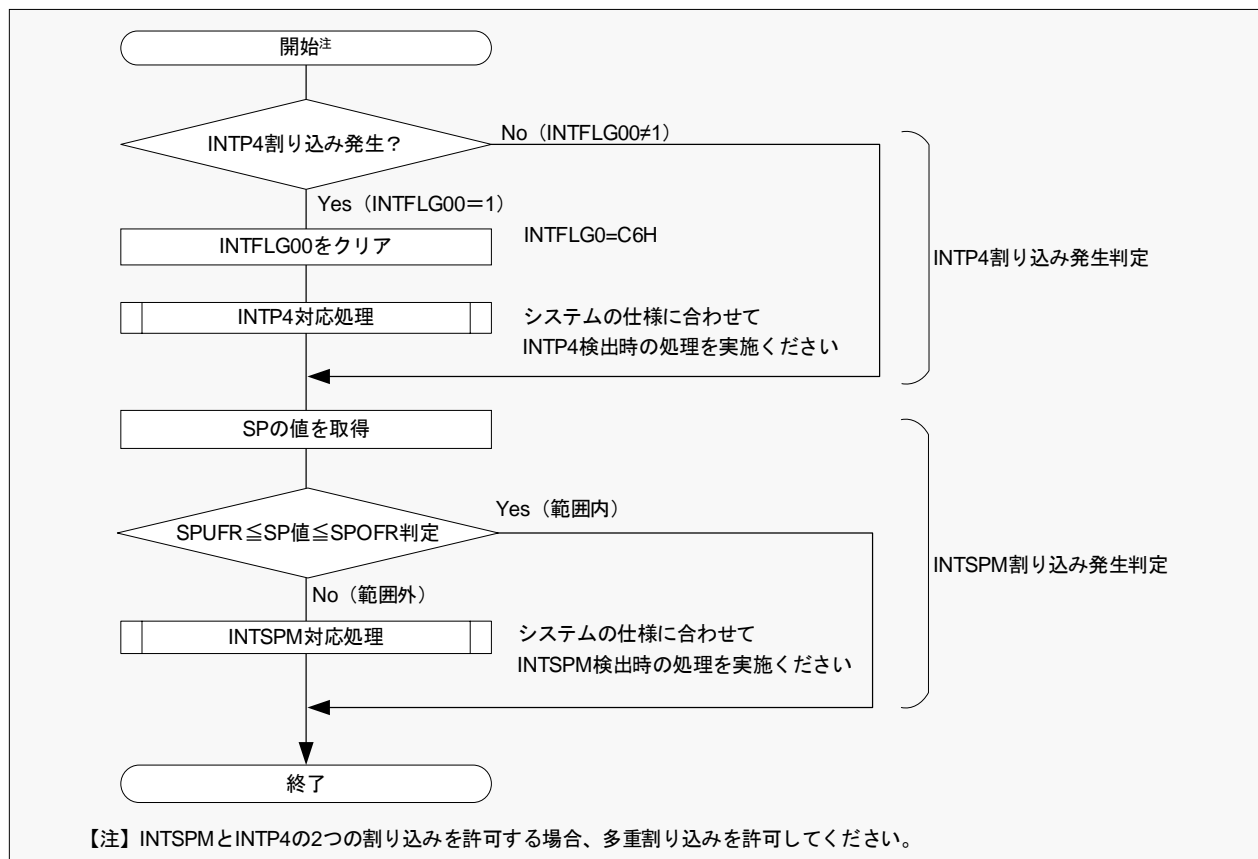


図 5-2 INTP4 割り込みと INTSPM 割り込みの判別処理

5.5 CPU スタック・ポインタ・モニタ機能を使用する際の注意事項

CPU スタック・ポインタ・モニタ機能を使用する際の注意事項を以下に示します。

- (1) スタック・ポインタのオーバフロー／アンダフロー検出後、スタック・ポインタが SPOFR, SPUFR レジスタの範囲外となった状態を保持したままでは新たな検出を行いません。検出を行いたい場合、スタック・ポインタを監視範囲内に設定し直してください。
- (2) INTSPM 割り込みと INTP4 割り込みは割り込みベクタ・テーブル・アドレスを共用しています。2つの割り込みを共に使用される場合、SP オーバフロー／アンダフロー割り込みの発生をソフトウェアで判定する必要があります。

6. クロック・モニタ機能

6.1 クロック・モニタ機能の概要

クロック・モニタ機能は、メイン・システム・クロック (f_{MAIN}) およびメイン/PLL 選択クロック (f_{MP}) を低速オンチップ・オシレータ・クロック (f_{IL}) を使用して発振状態を監視する機能です。

メイン・システム・クロックの停止を検出した場合、リセットが発生します。PLL クロックが停止した場合は、クロック・スルー・モード (PLLSTS.SELPLLS=0) に切り替わり、INTCLM 割り込み要求が発生します。ただし、PLLCTL レジスタの SELPLL ビットは 1 のまま変化しません。

サンプリング・クロック (低速オンチップ・オシレータ・クロック) を停止させた場合、クロック・モニタ機能は動作しません。

6.2 クロック・モニタ機能のレジスタ

クロック・モニタ機能で使用するユーザ・オプション・バイトの領域を以下に説明します。

(1) ユーザ・オプション・バイト (000C1H/020C1H)

CPU スタック・ポインタ・モニタ機能の許可/禁止を設定します。

アドレス : 000C1H/020C1H リセット時 : - (ユーザ設定値)

	7	6	5	4	3	2	1	0
000C1H/020C1H	VPOC[2:0]			CLKMB	LVIS[1:0]		LVIMDS[1:0]	

ビット	説明
CLKMB	0 : クロック・モニタ機能動作 1 : クロック・モニタ機能停止

6.3 クロック・モニタ機能の処理例

クロック・モニタ機能使用時の処理例を以下に示します。

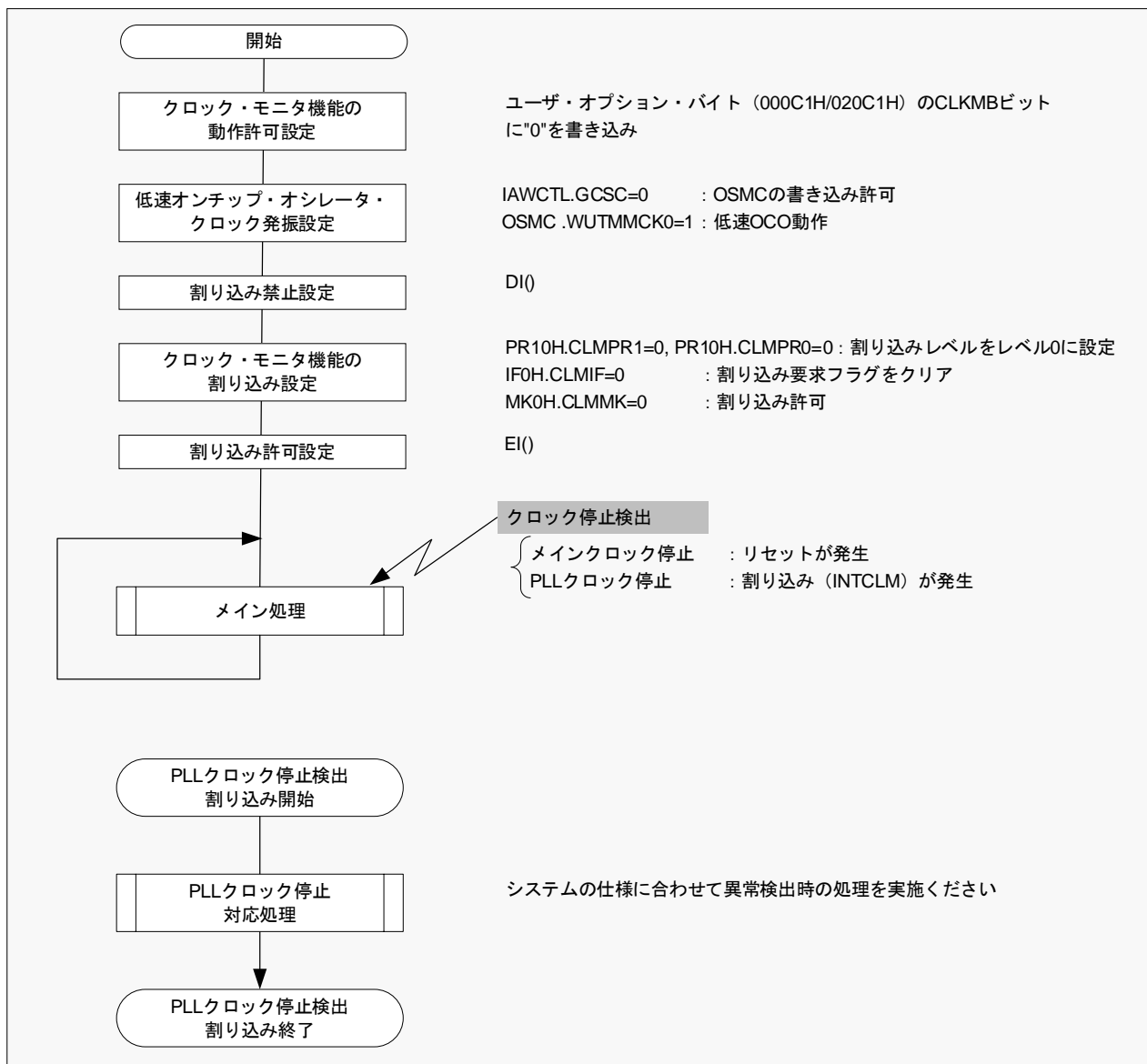


図 6-1 クロック・モニタ機能の使用例

6.4 クロック・モニタ機能の割り込み判定

クロック・モニタ機能の PLL クロック停止検出割り込みは、INTP13 とベクタ・テーブル・アドレスを共用しています。2 つの割り込みを共に使用される場合、割り込みの発生をソフトウェアで判定する必要があります。

PLL クロック停止検出の割り込み判定処理を図 6-2 に示します。

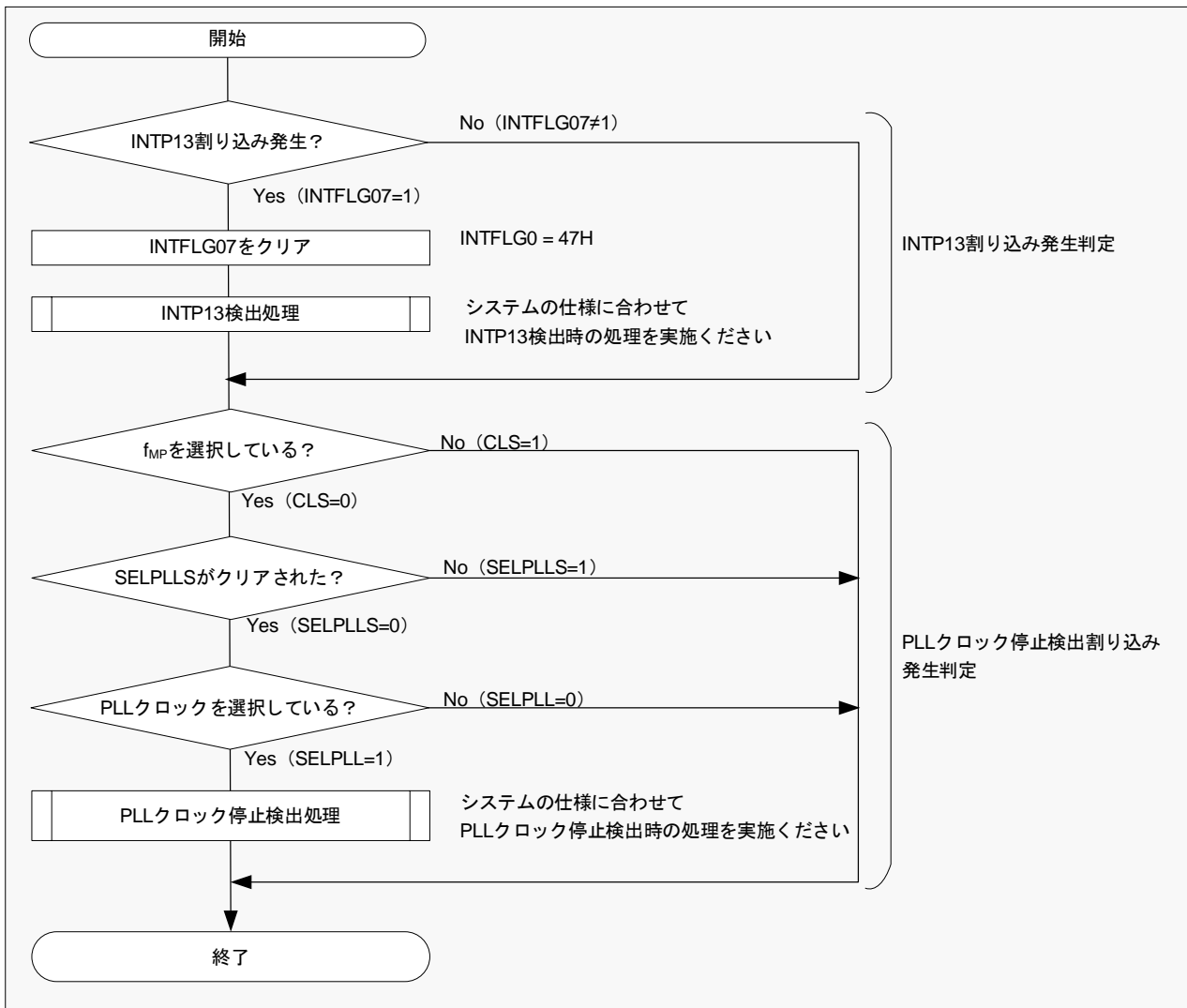


図 6-2 PLL クロック停止検出割り込みと INTP13 割り込みの判定処理

6.5 クロック・モニタ機能を使用する際の注意事項

クロック・モニタ機能を使用する際の注意事項を以下に示します。

- (1) クロック・モニタ機能は、以下の条件時、動作を停止します。
 - ユーザ・オプション・バイト (000C1H/020C1H) のビット 4 (CLKMB) が 1 の場合
 - サンプリング・クロックが停止している場合 (低速オンチップ・オシレータが停止)
 - STOP/SNOOZE モード中
 - STOP モード解除後の発振安定時間のカウント中
 - CPU/周辺ハードウェア・クロック周波数が、サブシステム・クロック (f_{sub}) または低速オンチップ・オシレータ・クロック (f_{IL}) の場合
- (2) クロック・モニタ機能が動作しているときに、PLL を停止させて STOP モードに移行する場合は、STOP 命令の実行前に PLLCTL.PLLON ビットを 0 (PLL 停止) にしてください。
- (3) クロック・モニタ機能の PLL クロック停止検出割り込みは、INTP13 とベクタ・テーブル・アドレスを共用しています。2 つの割り込みを共に使用される場合、割り込みの発生をソフトウェアで判定する必要があります。

7. RAM ガード機能

7.1 RAM ガード機能の概要

RAM ガード機能は、指定した空間のデータを保護する機能です。RAM ガード機能を設定すると、ガードされた空間への書き込みは無効となります。

7.2 RAM ガード機能のレジスタ

RAM ガード機能で使用するレジスタを以下に説明します。

(1) 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

RAM ガード機能の有効/無効、およびガードする空間の設定を行うレジスタです。8ビット・メモリ操作命令でアクセスします。

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM[1:0]	0	GPORT	GINT	GCSC	

ビット	説明
GRAM[1:0]	RAM ガード空間を設定します。 00B：無効 01B：下位アドレスから 128 バイト 10B：下位アドレスから 256 バイト 11B：下位アドレスから 512 バイト

表 7-1 RL78/F13 (LIN 搭載版) 製品別 RAM ガード空間

製品	GRAM[1:0]=01B	GRAM[1:0]=10B	GRAM[1:0]=11B
R5F10AnA (n=6, A, B, G)	FFB00H~FFB7FH	FFB00H~FFBFFH	FFB00H~FFCFFH
R5F10AnC (n=6, A, B, G, L)	FF700H~FF77FH	FF700H~FF7FFH	FF700H~FF8FFH
R5F10AnD (n=6, A, B, G, L)	FF300H~FF37FH	FF300H~FF3FFH	FF300H~FF4FFH
R5F10AnE (n=6, A, B, G, L, M)	FEF00H~FEF7FH	FEF00H~FEFFFH	FEF00H~FF0FFH
R5F10AnF (n=G, L, M)	FE700H~FE77FH	FE700H~FE7FFH	FE700H~FE8FFH
R5F10AnG (n=G, L, M)	FDF00H~FDF7FH	FDF00H~FDFFFH	FDF00H~FE0FFH

表 7-2 RL78/F13 (CAN&LIN 搭載版) 製品別 RAM ガード空間

製品	GRAM[1:0]=01B	GRAM[1:0]=10B	GRAM[1:0]=11B
R5F10BnC (n=A, B, G, L)	FF700H~FF77FH	FF700H~FF7FFH	FF700H~FF8FFH
R5F10BnD (n=A, B, G, L)	FF300H~FF37FH	FF300H~FF3FFH	FF300H~FF4FFH
R5F10BnE (n=A, B, G, L, M)	FEF00H~FEF7FH	FEF00H~FEFFFH	FEF00H~FF0FFH
R5F10BnF (n=G, L, M)	FE700H~FE77FH	FE700H~FE7FFH	FE700H~FE8FFH
R5F10BnG (n=G, L, M)	FDF00H~FDF7FH	FDF00H~FDFFFH	FDF00H~FE0FFH

表 7-3 RL78/F14 製品別 RAM ガード空間

製品	GRAM[1:0]=01B	GRAM[1:0]=10B	GRAM[1:0]=11B
R5F10PnD (n=A, B, GL)	FF300H~FF37FH	FF300H~FF3FFH	FF300H~FF4FFH
R5F10PnE (n=A, B, G, L, M, P)	FEF00H~FEF7FH	FEF00H~FEFFFH	FEF00H~FF0FFH
R5F10PnF (n=G, L, M, P)	FE700H~FE77FH	FE700H~FE7FFH	FE700H~FE8FFH
R5F10PnG (n=G, L, M, P)	FDF00H~FDF7FH	FDF00H~FDFFFH	FDF00H~FE0FFH
R5F10PnH (n=G, L, M, P)	FBF00H~FBF7FH	FBF00H~FBFFFH	FBF00H~FC0FFH
R5F10PnJ (n=G, L, M, P)	FAF00H~FAF7FH	FAF00H~FAFFFH	FAF00H~FB0FFH

表 7-4 RL78/F15 製品別 RAM ガード空間

製品	GRAM[1:0]=01B	GRAM[1:0]=10B	GRAM[1:0]=11B
R5F113nG (n=P, T)	FDF00H~FDF7FH	FDF00H~FDFFFH	FDF00H~FE0FFH
R5F113nH (n=P, T)	FBF00H~FBF7FH	FBF00H~FBFFFH	FBF00H~FC0FFH
R5F113nJ (n=P, T)	FAF00H~FAF7FH	FAF00H~FAFFFH	FAF00H~FB0FFH
R5F113nK (n=G, L, M, P, T)	F9700H~F977FH	F9700H~F97FFH	F9700H~F98FFH
R5F113nL (n=G, L, M, P, T)	F7F00H~F7F7FH	F7F00H~F7FFFH	F7F00H~F80FFH

7.3 RAM ガード機能の処理例

RAM ガード機能使用時の処理例を以下に示します。

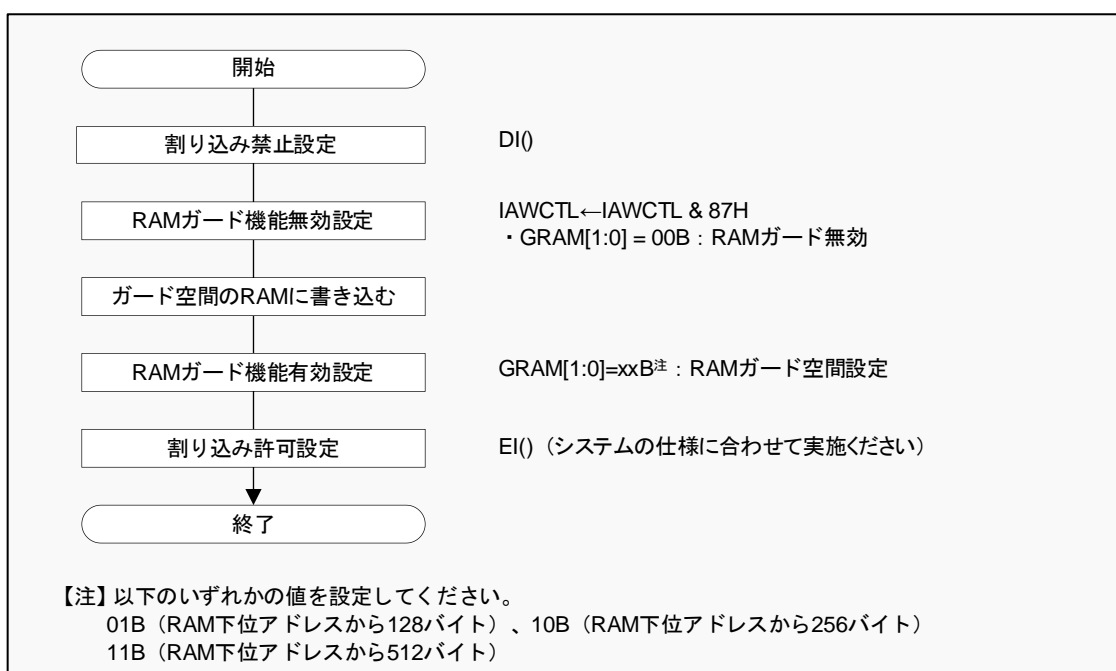


図 7-1 RAM ガード機能の使用例

7.4 RAM ガード機能を使用する際の注意事項

RAM ガード機能を使用する際の注意事項を以下に示します。

- (1) オンチップ・デバッグ時にステップ実行でRAMガード対象のメモリ領域に書き込む場合、RAMガード機能は無効になります。
- (2) スタック領域をRAMガード機能の対象としないでください。

8. SFR ガード機能

8.1 SFR ガード機能の概要

SFR ガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路制御のレジスタのデータを保護する機能です。SFR ガード機能を設定すると、ガードされた SFR への書き込みは無効となります。SFR ガード機能の対象レジスタを表 8-1 に示します。

表 8-1 SFR ガード機能の対象レジスタ

機能	ガード対象レジスタ ^注
ポート機能のレジスタ	PMxx, PUxx, PIMxx, POMxx, PMCxx, PITHLxx, ADPC, PIORx
割り込み機能のレジスタ	IFxx, MKxx, PRxx, EGPx, EGNx
クロック制御機能、電圧低下検出機能のレジスタ	CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, CANCKSEL, LINCKSEL, CKSEL, PLLCTL, MDIV, RTCCL, POCRES, STPSTC

注 製品により対象レジスタが異なります（ポートの有無や割り込みの有無）。

8.2 SFR ガード機能のレジスタ

SFR ガード機能で使用するレジスタを以下に説明します。

(1) 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

SFR ガード機能の有効/無効の設定を行うレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM[1:0]		0	GPORT	GINT	GCSC

ビット	説明
GPORT	ポート機能レジスタのガード 0：無効 1：有効
GINT	割り込み機能レジスタのガード 0：無効 1：有効
GCSC	クロック制御機能、電圧検出回路レジスタのガード 0：無効 1：有効

8.3 SFR ガード機能の処理例

SFR ガード機能使用時の処理例を以下に示します。



図 8-1 SFR ガード機能の使用例

8.4 SFR ガード機能を使用する際の注意事項

SFR ガード機能を使用する際の注意事項を以下に示します。

- (1) リセット解除時、本機能は無効（GPORT, GINT, GCSC の値は "0"）になります。

9. 不正メモリ・アクセス検出機能

9.1 不正メモリ・アクセス検出機能の概要

不正メモリ・アクセス検出機能は、不正アクセス検出空間（図 9-1 参照）をアクセスした際に、リセットを発生させる機能です。

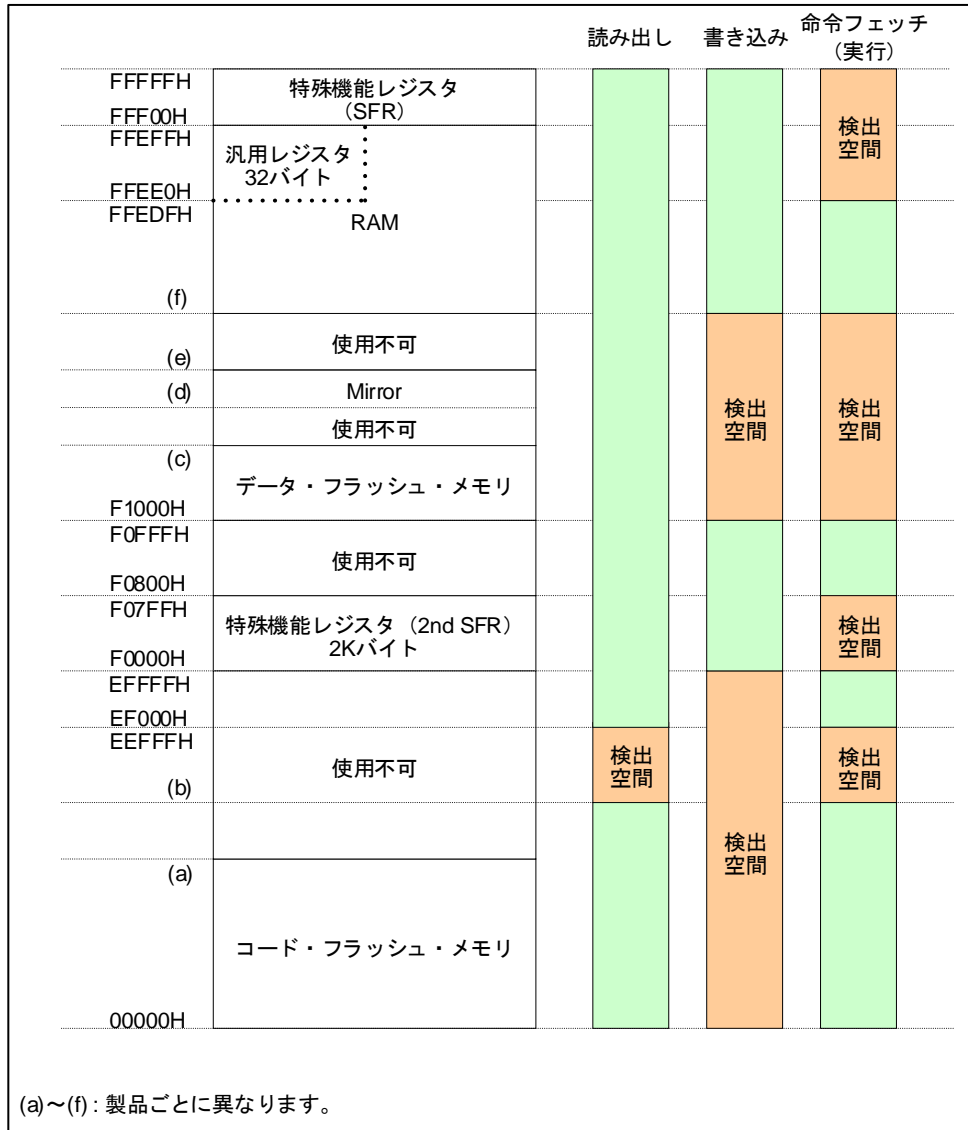


図 9-1 不正メモリ・アクセス検出空間

表 9-1 RL78/F13 (LIN 搭載版) 製品別メモリ空間

製品	(a)	(b)	(c)	(d)	(e)	(f)
R5F10AnA (n=6, A, B, G)	03FFFH	10000H	F1FFFH	F2000H	F4000H	FFB00H
R5F10AnC (n=6, A, B, G, L)	07FFFH	10000H	F1FFFH	F2000H	F8000H	FF700H
R5F10AnD (n=6, A, B, G, L)	0BFFFH	10000H	F1FFFH	F2000H	FC000H	FF300H
R5F10AnE (n=6, A, B, G, L)	0FFFFH	10000H	F1FFFH	F2000H	-	FEF00H
R5F10AME	0FFFFH	10000H	F1FFFH	F2000H	FDF00H	FEF00H
R5F10AnF (n=G, L, M)	17FFFH	20000H	F1FFFH	F2000H	FDF00H	FE700H
R5F10AnG (n=G, L, M)	1FFFFH	20000H	F1FFFH	F2000H	-	FDF00H

表 9-2 RL78/F13 (CAN&LIN 搭載版) 製品別メモリ空間

製品	(a)	(b)	(c)	(d)	(e)	(f)
R5F10BnC (n=A, B, G, L)	07FFFH	10000H	F1FFFH	F2000H	F8000H	FF700H
R5F10BnD (n=A, B, G, L)	0BFFFH	10000H	F1FFFH	F2000H	FC000H	FF300H
R5F10BnE (n=A, B, G, L, M)	0FFFFH	10000H	F1FFFH	F2000H	FDF00H	FEF00H
R5F10BnF (n=A, B, G, L, M)	17FFFH	20000H	F1FFFH	F2000H	FDF00H	FE700H
R5F10BnG (n=A, B, G, L, M)	1FFFFH	20000H	F1FFFH	F2000H	-	FDF00H

表 9-3 RL78/F14 製品別メモリ空間

製品	(a)	(b)	(c)	(d)	(e)	(f)
R5F10PnD (n=A, B, G)	0BFFFH	10000H	F1FFFH	F2000H	FC000H	FEF00H
R5F10PnE (n=A, B, G, L, M)	0FFFFH	10000H	F1FFFH	F2000H	FDF00H	FE700H
R5F10PPE	0FFFFH	10000H	F1FFFH	F3000H	FAF00H	FE700H
R5F10PnF (n=G, L, M)	17FFFH	20000H	F1FFFH	F2000H	-	FDF00H
R5F10PPF	17FFFH	20000H	F1FFFH	F3000H	FAF00H	FDF00H
R5F10PnG (n=G, L, M, P)	1FFFFH	20000H	F2FFFH	F3000H	FAF00H	FDF00H
R5F10PnH (n=G, L, M, P)	2FFFFH	30000H	F2FFFH	F3000H	FAF00H	FBF00H
R5F10PnJ (n=G, L, M, P)	3FFFFH	40000H	F2FFFH	F3000H	-	FAF00H

表 9-4 RL78/F15 製品別メモリ空間

製品	(a)	(b)	(c)	(d)	(e)	(f)
R5F113nG (n=P, T)	1FFFFH	20000H	F2FFFH	F5000H	F7F00H	FD700H
R5F113nH (n=P, T)	2FFFFH	30000H	F2FFFH	F5000H	F7F00H	FBF00H
R5F113nJ (n=P, T)	3FFFFH	40000H	F2FFFH	F5000H	F7F00H	FAF00H
R5F113nK (n=G, L, M, P, T)	5FFFFH	60000H	F4FFFH	F5000H	F7F00H	F9700H
R5F113nL (n=G, L, M, P, T)	7FFFFH	80000H	F4FFFH	F5000H	-	F7F00H

9.2 不正メモリ・アクセス検出機能のレジスタ

不正メモリ・アクセス検出機能で使用するレジスタを以下に説明します。

(1) 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出有効／無効の設定を行うレジスタです。8ビット・メモリ操作命令でアクセスします。

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM[1:0]	0	GPORT	GINT	GCSC	

ビット	説明
IAWEN ^注	0：不正メモリ・アクセスの検出無効 1：不正メモリ・アクセスの検出有効

注 IAWEN ビットは1の書き込みのみ有効です。IAWEN = 1 とした後の0の書き込みは無効です。

9.3 不正メモリ・アクセス検出機能の処理例

不正メモリ・アクセス検出機能使用時の処理例を以下に示します。

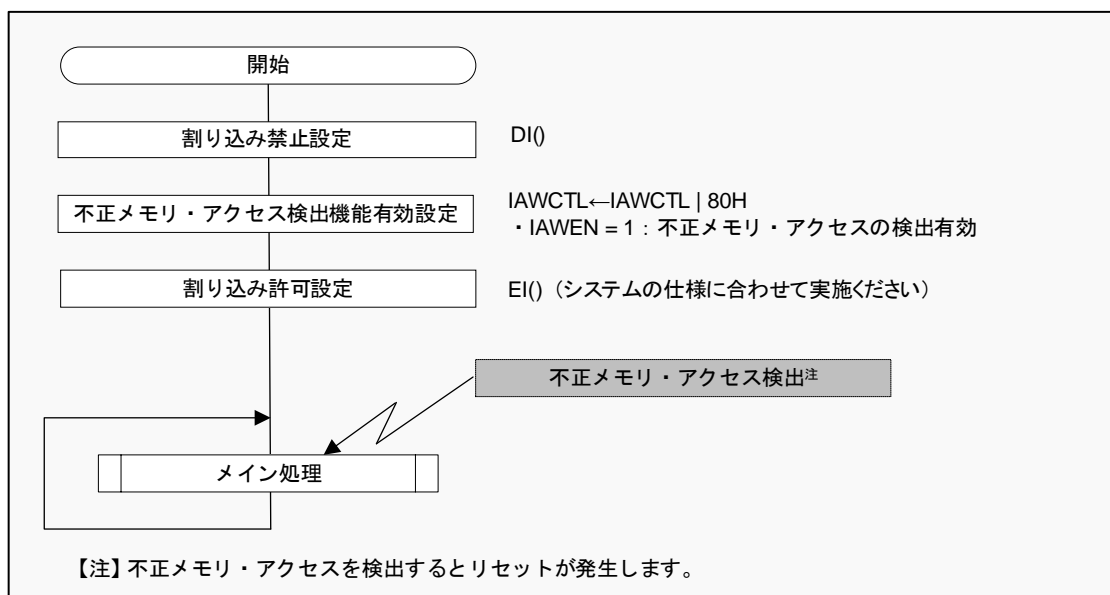


図 9-2 不正メモリ・アクセス検出機能の使用例

9.4 不正メモリ・アクセス検出機能を使用する際の注意事項

不正メモリ・アクセス検出機能を使用する際の注意事項を以下に示します。

- (1) ユーザ・オプション・バイト (000C0H/020C0H) のビット 4 (WDTON) が 1 の場合、IAWEN ビットの設定に関わらず、不正メモリ・アクセス検出機能は有効となります。
- (2) コード・フラッシュ・メモリの容量が 16/32/48KB の製品は、コード・フラッシュ・メモリの先頭アドレス (図 9-1 中の(a)で示すアドレス) から 0FFFFH の空間で、不正アクセスによる読み出しを行った場合、FFH が読めます。また、同空間で、不正アクセスによる命令フェッチ (実行) を行った場合、不正命令の実行によるリセットが発生します。
- (3) コード・フラッシュ・メモリの容量が 96KB の製品は、コード・フラッシュ・メモリの先頭アドレス (図 9-1 中の(a)で示すアドレス) から 1FFFFH の空間で、不正アクセスによる読み出しを行った場合、FFH が読めます。また、同空間で、不正アクセスによる命令フェッチ (実行) を行った場合、不正命令の実行によるリセットが発生します。

10. 周波数検出機能

10.1 周波数検出機能の概要

周波数検出機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロック (fiH)、高速システム・クロック (fMX)、または PLL クロック (fPLL) のいずれかを選択した時、低速オンチップ・オシレータ・クロック (fiL) と比較することで fCLK の周波数異常を検出する機能です。

タイマ・アレイ・ユニット 0 (TAU0) を使用し、基準クロック (低速オンチップ・オシレータ・クロック) の 1 クロック中にモニタ・クロック (fiH, fMX, fPLL のいずれか) が何回カウントしたかをユーザ・ソフトウェアで判定します。

10.2 周波数検出機能のレジスタ

周波数検出機能で使用するレジスタを以下に説明します。

(1) タイマ入力選択レジスタ 0 (TIS0)

タイマ・アレイ・ユニット 0 のチャンネル 1 のタイマ入力に低速オンチップ・オシレータ・クロックを選択します。8 ビット・メモリ操作命令でアクセスします。

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	0	TIS04	0	TIS0[2:0]		

ビット	説明
TIS0[2:0]	タイマ・アレイ・ユニット 0 チャンネル 1 で使用するタイマ入力の選択 000B, 010B, 011B : タイマ入力端子 (TI01) の入力信号 001B : ELC からのイベント入力信号 100B : 低速オンチップ・オシレータ・クロック (fiL) 100B : サブ/低速オンチップ・オシレータ選択クロック (fSL) 上記以外 : 設定禁止

(2) タイマ・アレイ・ユニット 0 関連レジスタ (TMR01, TS0, TDR01, TSR01, TT0)

- タイマ・モード・レジスタ 01 (TMR01)
CKS01[1:0]=動作クロック選択 (TAU01 の動作クロックに CK00~CK03 のいずれかを選択)
CCS01=0 (カウント・クロック選択に "0" (動作クロック (fMCK) を選択) を設定)
SPLIT01=0 (16 ビット・タイマ動作を選択)
STS01[2:0]=001B (TI01 端子入力の有効エッジをスタート・トリガ、キャプチャ・トリガの両方に使用)
CIS01[1:0]=00B (TI01 端子入力の有効エッジに立ち下がりエッジを選択)
MD01[3:1]=010B (TAU01 の動作モードをキャプチャ・モードに選択)
MD010=0 (カウント開始時に INTTM01 発生しないを選択)
- タイマ・チャンネル開始レジスタ 0 (TS0)
TS01=1 (TAU01 の動作許可)
- タイマ・データ・レジスタ 01 (TDR01)
低速オンチップ・オシレータ・クロックの入力信号により、カウント値をキャプチャする
- タイマ・チャンネル開始レジスタ 0 (TS0)
OVF : TAU01 のオーバフローを判定する
- タイマ・チャンネル停止レジスタ 0 (TT0)
TT01 : TAU01 の動作停止時に設定

10.3 周波数検出機能の処理例

周波数検出機能使用時の処理例を以下に示します。

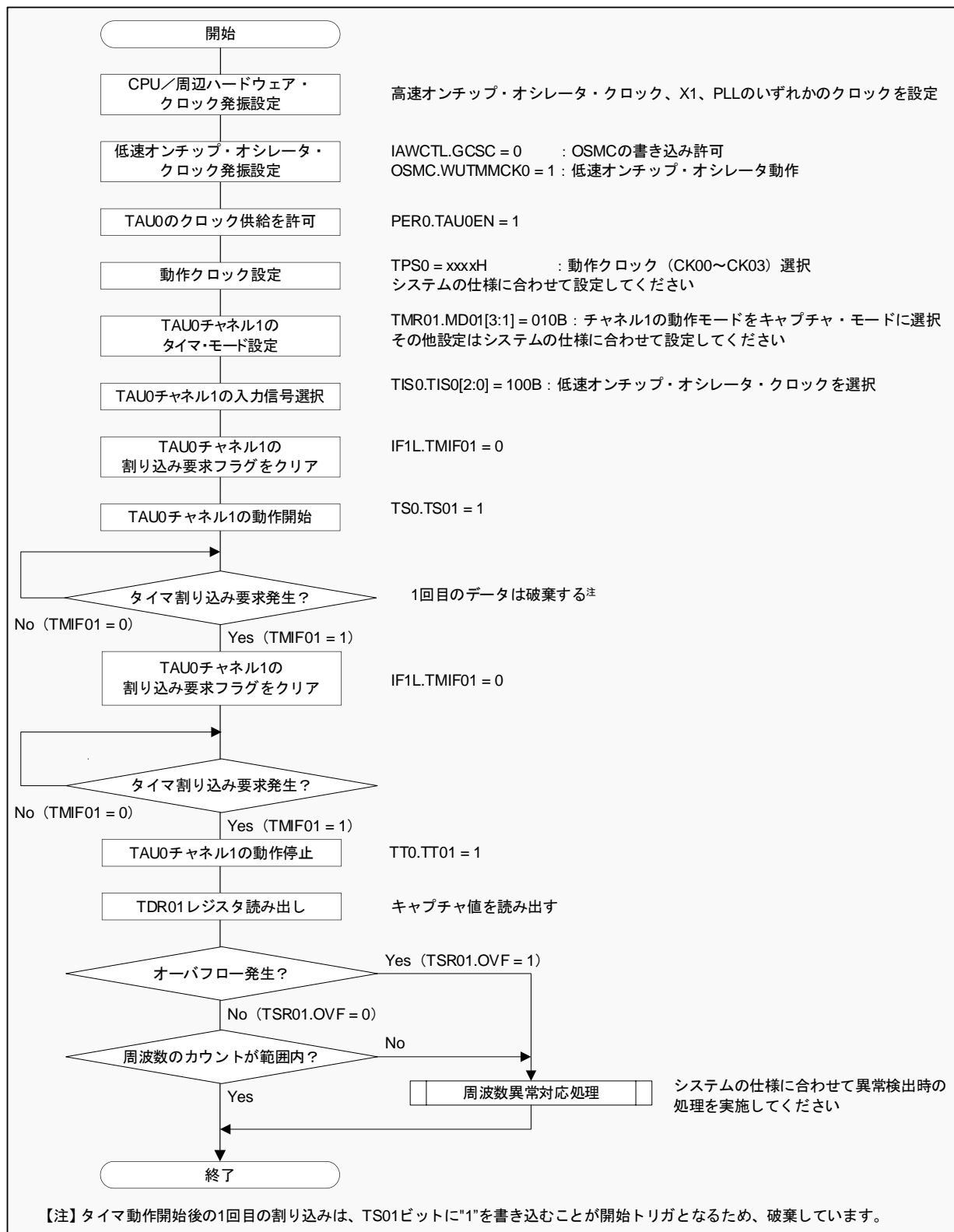


図 10-1 周波数検出機能の使用例

11. A/D テスト機能

11.1 A/D テスト機能の概要

A/D テスト機能は、内部の 0V, AVREF, 内部基準電圧 (1.45V) の A/D 変換を行い、A/D コンバータの故障診断を行う機能です。

11.2 A/D テスト機能のレジスタ

A/D テスト機能で使用するレジスタを以下に説明します。

(1) A/D テスト・レジスタ (ADTES)

A/D コンバータの A/D 変換対象を選択するレジスタです。8 ビット・メモリ操作命令でアクセスします。

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	0	ADTES[1:0]

ビット	説明
ADTES[1:0]	A/D 変換対象選択 00B : ANIx / 温度センサ出力 / 内部基準電圧出力 (1.45V) (ADS レジスタで選択) 01B : 設定禁止 10B : AVREFM 11B : AVREFP

(2) アナログ入力チャネル指定レジスタ (ADS)

A/D 変換を行うアナログ入力チャネルを選択するレジスタです。1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令でアクセスします。

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS[4:0]				

ビット	説明
ADISS	A/D 変換対象選択 0 : アナログ入力チャネル (ANIx) 1 : 温度センサ / 内部基準電圧出力 (1.45V)
ADS[4:0]	チャネル選択 <ul style="list-style-type: none"> ・ セレクト・モード (ADMD=0) ADISS=0 (アナログ入力チャネル (ANIx) 選択) : 00000B (ANI0) ~ 11110B (ANI30)、11111B (設定禁止) ADISS=1 (温度センサ / 内部基準電圧出力) : 00000B (温度センサ出力)、00001B (内部基準電圧出力)、 上記以外 (設定禁止) ・ スキャン・モード (ADMD=1) ADISS=0 : 00000B (ANI0~ANI3)、…、10100B (ANI20~ANI23)、 上記以外 (設定禁止) ADISS=1 : 設定禁止

11.3 A/D テスト機能の処理例

A/D テスト機能使用時の処理例を以下に示します。

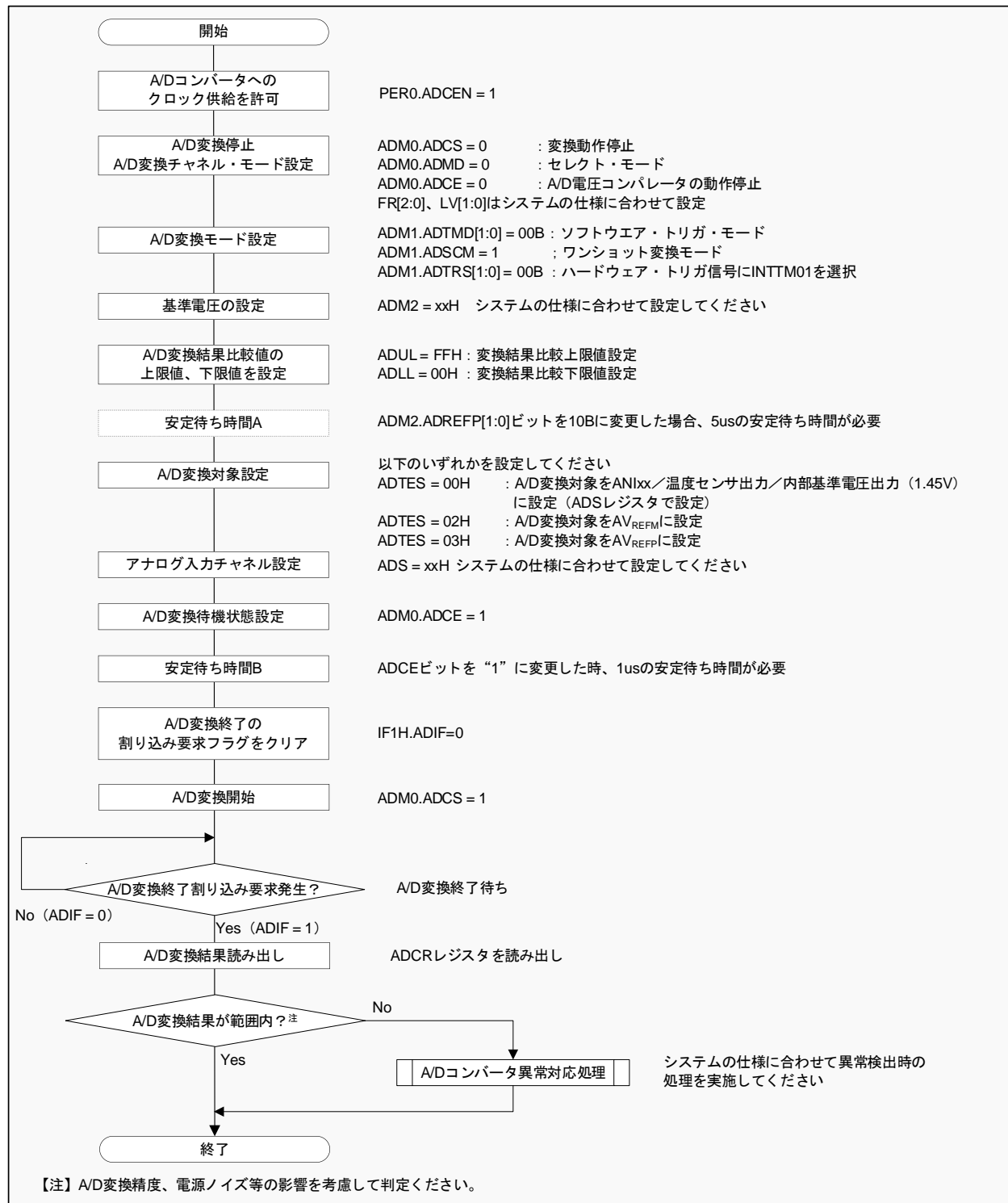


図 11-1 A/D テスト機能の使用例

11.4 A/D テスト機能を使用する際の注意事項

A/D テスト機能を使用する際の注意事項を以下に示します。

- (1) ADS レジスタの ADISS ビットを "1" にした場合、1 回目の A/D 変換結果は使用できません。
- (2) A/D 変換結果を判定する場合、A/D 変換精度、電源変動ノイズ等を考慮して、複数回数の評価や十分なマージンを確保した判定値を使用する等、ご使用環境に合わせ検討ください。

12. 入出力ポートのデジタル出力信号レベル検出機能

12.1 入出力ポートのデジタル出力信号レベル検出機能の概要

入出力ポートのデジタル出力信号レベル検出機能は、ポートが出力モード時に、端子のデジタル出力レベルを読み出す機能です。端子部の不良診断を行うことができます。

12.2 入出力ポートのデジタル出力信号レベル検出機能のレジスタ

入出力ポートのデジタル出力信号レベル検出機能で使用するレジスタを以下に説明します。

(1) ポート・モード選択レジスタ (PMS)

ポートが出力モードの時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令でアクセスします。

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

ビット	説明
PMS0	ポートが出力モードの時 (PMmn=0) に読み出すデータの選択 0 : Pm レジスタ (Pmn ビット) の値 (出力ラッチ) を読み出す 1 : 端子の出力レベルを読み出す

備考 m = 0~15, n = 0~7

12.3 入出力ポートのデジタル出力信号レベル検出機能の処理例

入出力ポートのデジタル出力信号レベル検出機能使用時の処理例を以下に示します。

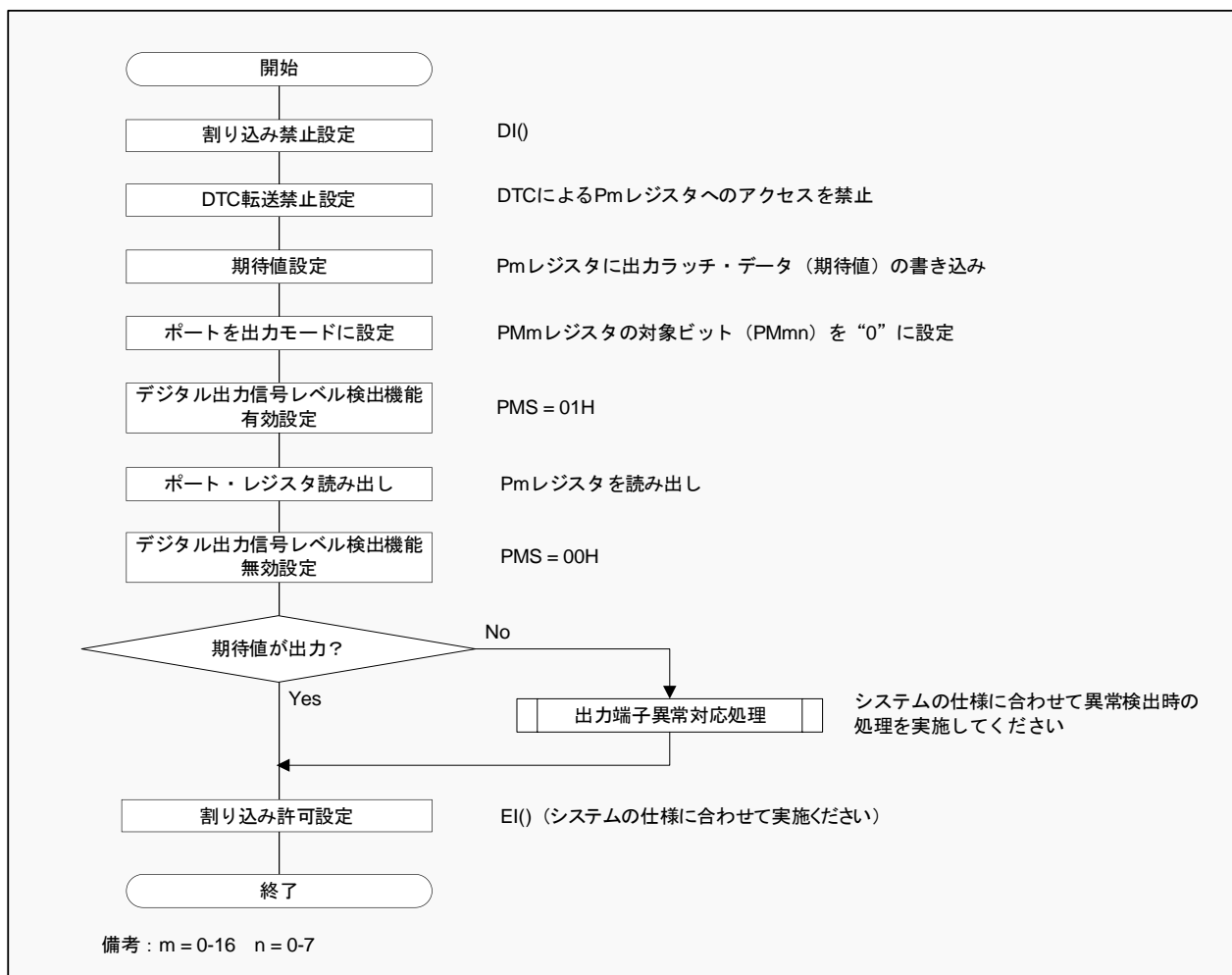


図 12-1 入出力ポートのデジタル出力信号レベル検出機能の使用例

12.4 入出力ポートのデジタル出力信号レベル検出機能を使用する際の注意事項

入出力ポートのデジタル出力信号レベル検出機能を使用する際の注意事項を以下に示します。

- (1) PMS レジスタの PMS0 ビットが "1" (端子の出力レベルを読み出す) の時に、ポート・レジスタ (Pm) に対してビット操作命令や AND, OR 命令等の演算命令を使用した書き込みを行うと、検出非対象のビット (同じポート・レジスタ内の他のビット) に対して、その時に端子から読み出されたレベルをポート・ラッチに格納します。PMS0 ビットが "1" の時に、ポート・レジスタに書き込みを行う場合は、8 ビット・データ転送命令を使用してください。また、DI (割り込み禁止) として、ポート・レジスタを読み出してください。

13. 参考資料

本アプリケーションノートの参考資料を以下に示します。参照の際は、ルネサスエレクトロニクスホームページから最新版を入手してください。

- RL78/F13, F14 ユーザーズマニュアル ハードウェア編 Rev. 2.10
- RL78/F15 ユーザーズマニュアル ハードウェア編 Rev. 1.00
- RL78 ファミリユーザーズマニュアル ソフトウェア編 Rev. 2.30

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2017. 6.30	-	初版発行
2.10	2018. 4.26	-	フローチャートの見直し
2.20	2018. 8.31	P.11, 16	表 4-1、表 4-2 を追加
2.30	2019. 7.17	-	RL78/F15 の説明を追加
		P.19, 23	ツール制限事項の記載変更
2.40	2022. 2.15	-	英文版発行に合わせバージョン更新
2.50	2023.12.31	P.16	「4.5 RAM ECC 機能を使用する際の注意事項」を修正。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。