

RZ/A2M グループ

LVDS&MIPI 基板設計ガイドライン

要旨

本アプリケーションノートは、LVDS または MIPI を使用する際の基板設計ガイドラインを掲載しています。

対象 LSI

RZ/A2M グループ

【注】 これ以降、本アプリケーションノートでは“グループ”を省略して表記します。
本アプリケーションノートに掲載している内容は参考例であり、システムでの信号品質を保証するものではありません。実際のシステムに組み込む場合は、システム全体で十分な検討および評価を実施し、お客様の責任において、適用可否を判断してください。

関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。あわせて参照してください。

- RZ/A シリーズ ハードウェアデザインガイド (R01AN4813JJ)

目次

1. はじめに.....	3
1.1 LVDS.....	3
1.2 MIPI.....	4
2. 伝送線路.....	5
3. 電源ライン.....	9
4. チェックリスト.....	10
5. 参考ドキュメント.....	11
改訂記録.....	12

1. はじめに

1.1 LVDS

RZ/A2M の LVDS 出カインタフェースは、TIA/EIA-644 規格に準拠した 4 ペア（データ 3 ペア、クロック 1 ペア）の差動出力を備えたインタフェースです。

図 1.1 に LVDS の接続概略図を、表 1.1 に LVDS 出カインタフェース端子を示します。

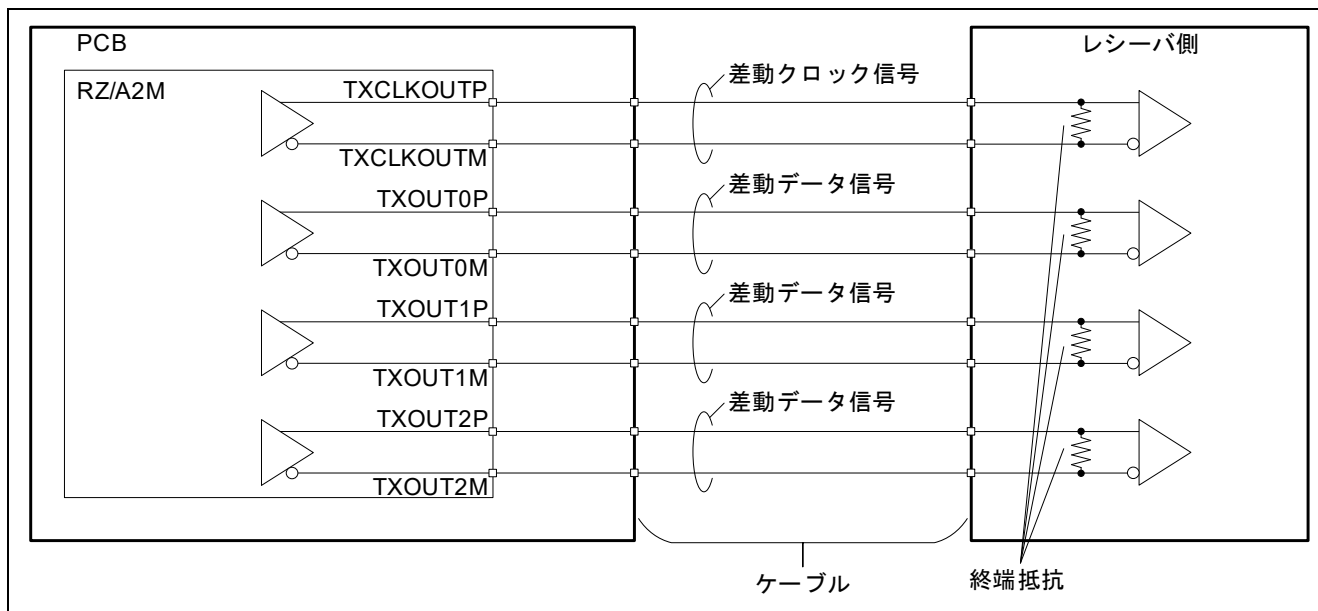


図 1.1 LVDS の接続概略図

表 1.1 LVDS 出カインタフェース端子

名称	端子名	入出力	機能
LVDS データ出力端子 0P	TXOUT0P	出力	LVDS 差動データ出力端子です。
LVDS データ出力端子 0M	TXOUT0M	出力	
LVDS データ出力端子 1P	TXOUT1P	出力	
LVDS データ出力端子 1M	TXOUT1M	出力	
LVDS データ出力端子 2P	TXOUT2P	出力	
LVDS データ出力端子 2M	TXOUT2M	出力	
LVDS CLK 出力端子 CP	TXCLKOUTP	出力	LVDS 差動クロック出力端子です。
LVDS CLK 出力端子 CM	TXCLKOUTM	出力	
LVDS アナログ電源	LVDSAPVcc	入力	LVDS 出力用電源 (Typ.3.3V) です。
LVDS PLL 電源	LVDSPLLvcc	入力	LVDS PLL 用電源 (Typ.1.2V) です。

1.2 MIPI

RZ/A2M の MIPI CSI2 インタフェースは MIPI CSI-2 V1.1 と MIPI D-PHY V2.0 に対応した MIPI CSI-2 レシーバモジュールです。RZ/A2M の MIPI CSI2 インタフェースには終端抵抗を内蔵しているため、外付けの終端抵抗は不要です。

図 1.2 に MIPI の接続概略図を、表 1.2 に MIPI CSI2 インタフェース端子を示します。

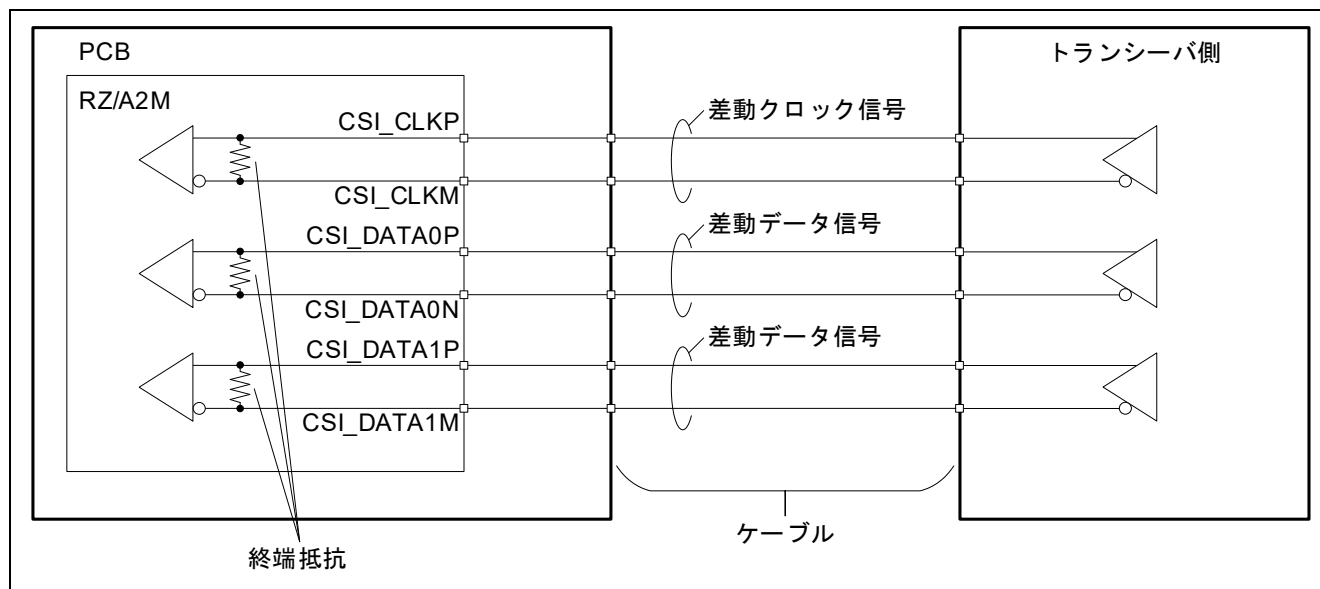


図 1.2 MIPI の接続概略図

表 1.2 MIPI CSI2 インタフェースの端子

名称	端子名	入出力	機能
レーン 0 ポジティブデータピン	CSI_DATA0P	入力	MIPI 差動データ入力端子です。
レーン 0 ネガティブデータピン	CSI_DATA0N	入力	
レーン 1 ポジティブデータピン	CSI_DATA1P	入力	
レーン 1 ネガティブデータピン	CSI_DATA1N	入力	
クロックレーンポジティブデータピン	CSI_CLKP	入力	MIPI 差動クロック入力端子です。
クロックレーンネガティブデータピン	CSI_CLKN	入力	
MIPI アナログ電源	MIPIAVcc18	入力	MIPI 用アナログ電源 (Typ.1.8V) です。

【注】 176 ピン BGA パッケージには MIPI CSI2 インタフェースの端子は存在しません。

2. 伝送線路

伝送線路とは、RZ/A2M と LVDS コネクタを接続する配線パターン、または RZ/A2M と MIPI コネクタを接続する配線パターンを表します。

最大通信速度は LVDS の場合は 609Mbps/1 チャンネル、MIPI の場合は 1Gbps/1 レーンであるため、伝送線路は高周波回路として設計する必要があります。また、伝送線路はインピーダンスコントロールが必要です。

以下に伝送線路を設計する際の注意点について説明します。

- 伝送線路に要求される特性インピーダンスは、差動インピーダンス $100\Omega \pm 20\%$ です。
- インピーダンスコントロールは基板の厚さ、材質、層構成などによりパターン幅、パターン間隔が異なります。詳細は基板メーカーにご相談ください。
- 伝送線路は可能な限り短く、等長となるように配線してください。このとき、差動ペアのポジティブ信号線とネガティブ信号線を等長とするだけでなく、各データ差動ペアとクロック差動ペアの配線長も等長としてください。
- 伝送線路を曲げる場合は、急角度（直角）ではなく 135° もしくは円弧を用いて緩やかに曲げてください。
- 伝送線路には可能な限りビアを使用せず、表層で配線してください。
- ビアを使用する場合は、可能な限りビアの数を少なくし、各データ差動ペアとクロック差動ペアでビアの数を揃えてください。
- また、ビアによってスタブが形成されないようにしてください。図 2.1 にビアによるスタブ形成の例を示します。
- 伝送線路の両隣には、対称にグランドビアを配置してください。図 2.2 にグランドビア配置の例を示します。
- 伝送線路の下層はベタグランドとし、スリットなどで分断しないでください。図 2.3 に伝送線路下層のベタグランド例を示します。
- EMI、ESD 対策用部品は、必ず各インタフェース対応品を使用してください。なお、EMI、ESD 対策用部品を実装することで、伝送線路のインピーダンスに不整合が生じ、波形が乱れることがありますので、十分に評価した上で使用する部品を決定してください。
- 伝送線路と隣り合うグランドパターンや信号線には適切な間隔が必要です。表 2.1 に伝送線路と隣接するパターンとの推奨間隔値を示します。図 2.4 に伝送線路と隣接するパターンとの間隔の例を、図 2.5 に伝送線路のパターン設計例を示します。

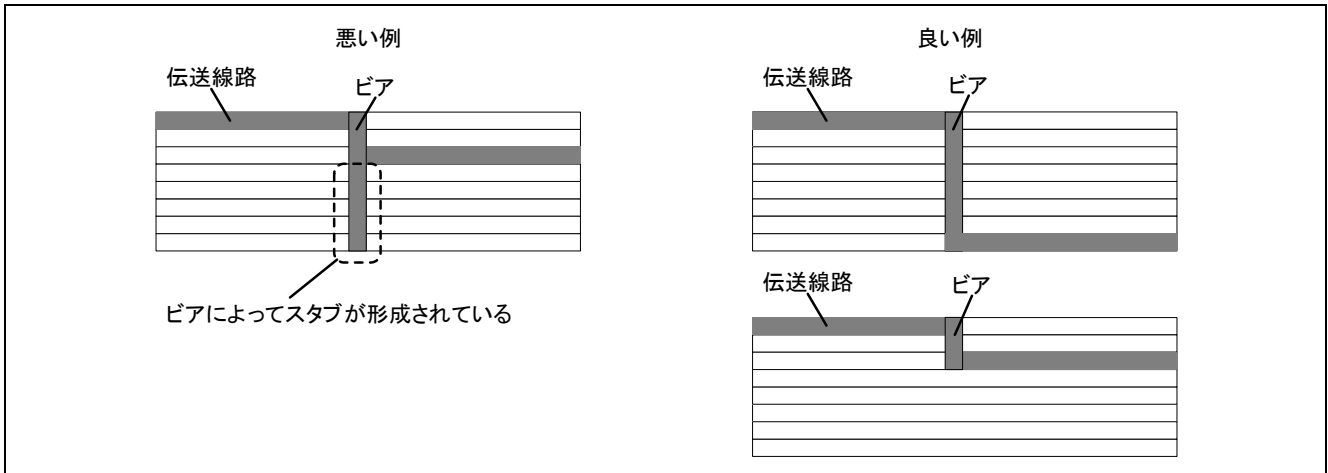


図 2.1 ビアによるスタブ形成例

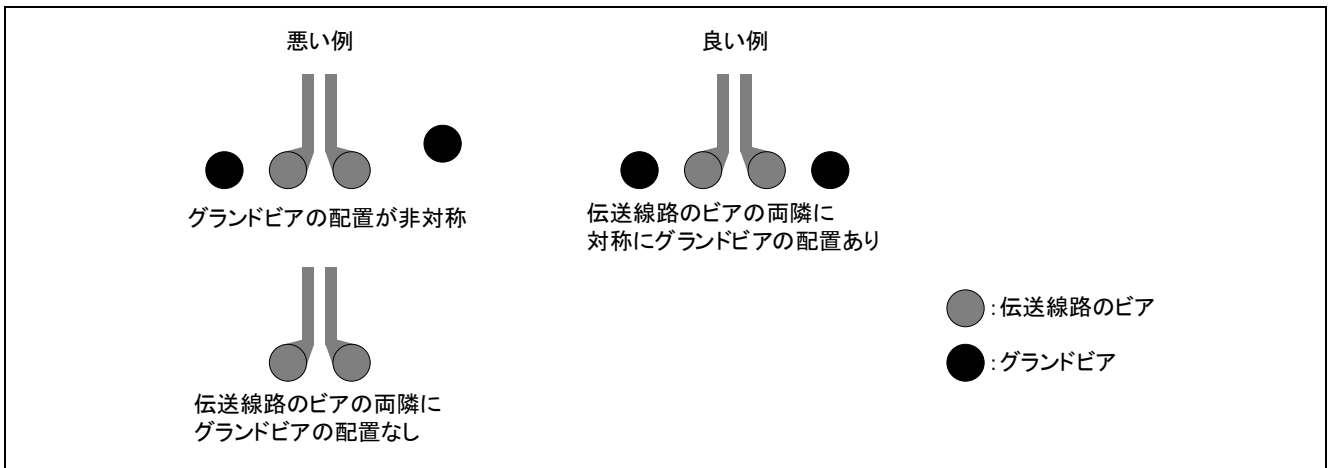


図 2.2 グランドビア配置例

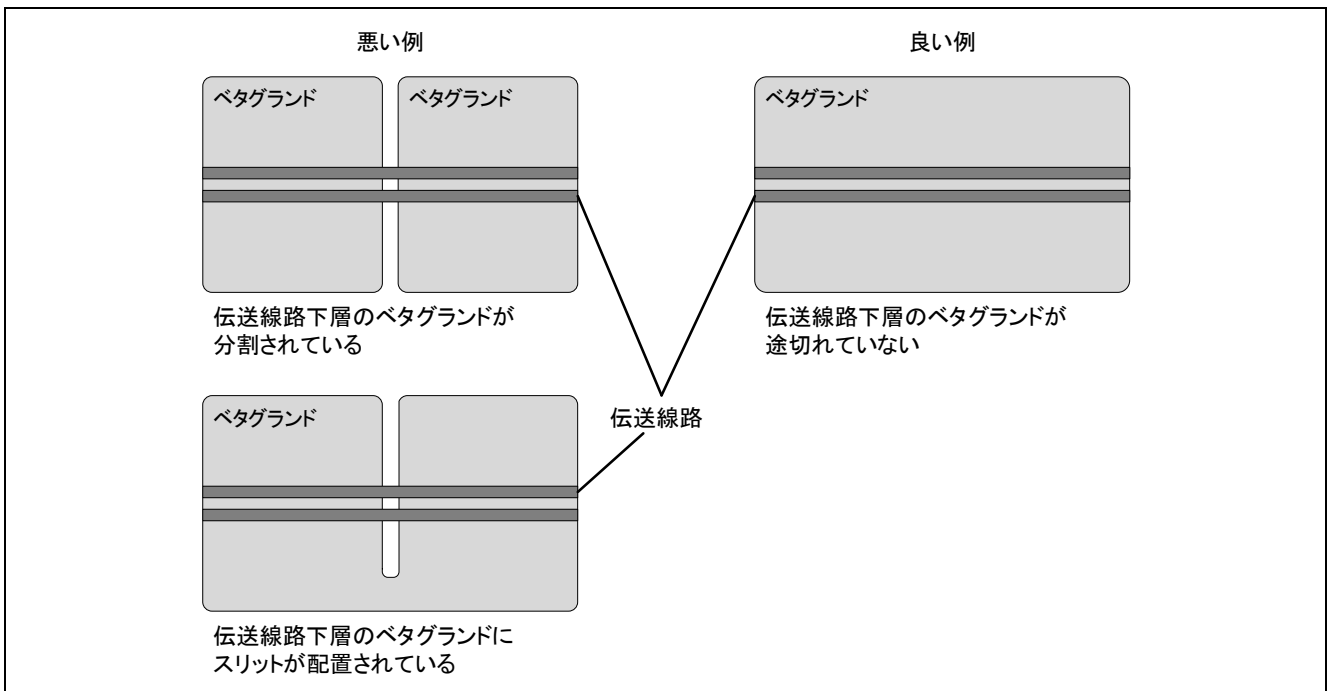


図 2.3 伝送線路下層のベタグランド例

表 2.1 伝送線路と隣接するパターンとの推奨間隔値

項目	値
差動ペアとグランドガードの間隔	S 以上
隣り合う差動ペアの間隔	3S 以上 ^{*1}
差動ペアと隣り合う他の信号線の間隔	3S 以上 ^{*2}

【注】 ポジティブ信号線とネガティブ信号線の間隔を S としています。

*1. 差動ペアの間にグランドパターンが存在しない場合の値です。

*2. 差動ペアと他の信号線の間グランドパターンが存在しない場合の値です。

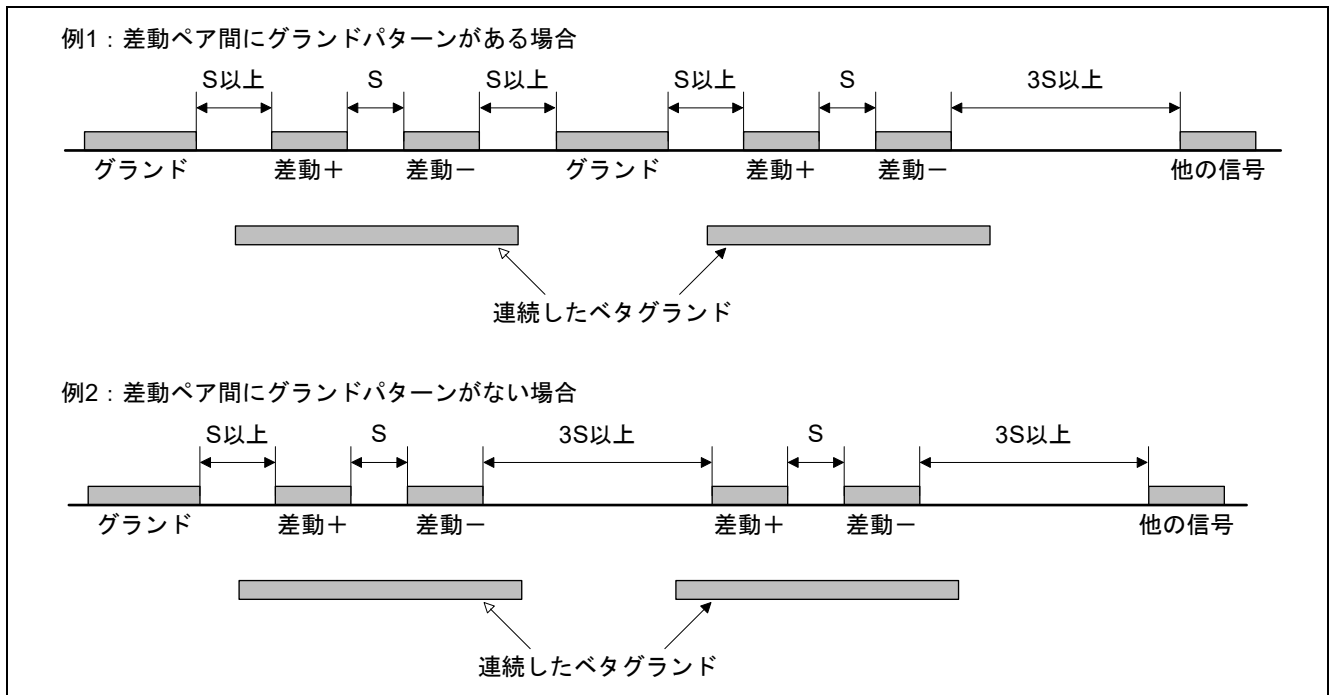
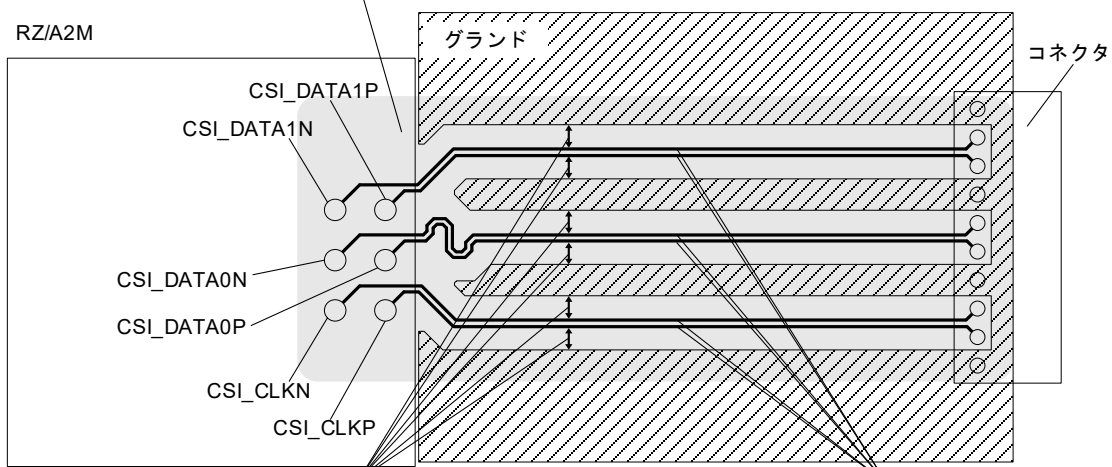


図 2.4 伝送線路と隣接するパターンとの間隔の例

例1：差動ペア間にグラウンドパターンがある場合

伝送線路の下層に連続したベタグラウンドを配置してください。



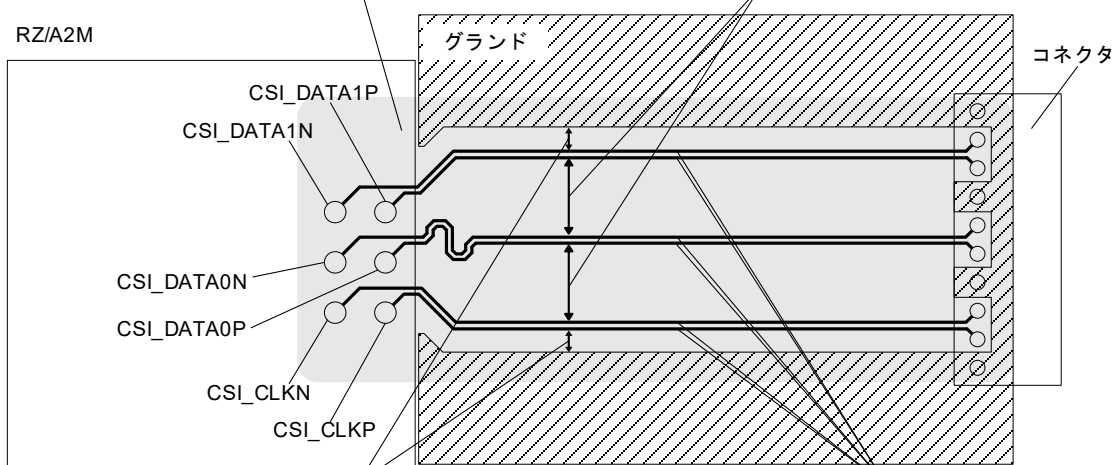
グラウンドでガードリングする場合は、伝送線路とグラウンドパターンを差動配線の間隔と同じかそれ以上離してください。

伝送線路は差動インピーダンス $100\Omega \pm 20\%$ にしてください。配線長は可能な限り短く、等長にしてください。

例2：差動ペア間にグラウンドパターンがない場合

伝送線路の下層に連続したベタグラウンドを配置してください。

差動配線の間隔の3倍以上離してください。



グラウンドでガードリングする場合は、伝送線路とグラウンドパターンを差動配線の間隔と同じかそれ以上離してください。

伝送線路は差動インピーダンス $100\Omega \pm 20\%$ にしてください。配線長は可能な限り短く、等長にしてください。

図 2.5 伝送線路のパターン設計例

3. 電源ライン

LVDS と MIPI の電源は RZ/A2M の他の電源と分離してください。

バイパスコンデンサは電源端子の近傍に配置してください。電源ラインの配線抵抗および配線インダクタンスにも注意してください。図 3.1 に電源端子の接続図とパターン例を、表 3.1 に電源ラインの抵抗値、インダクタンス値、バイパスコンデンサの容量値を示します。

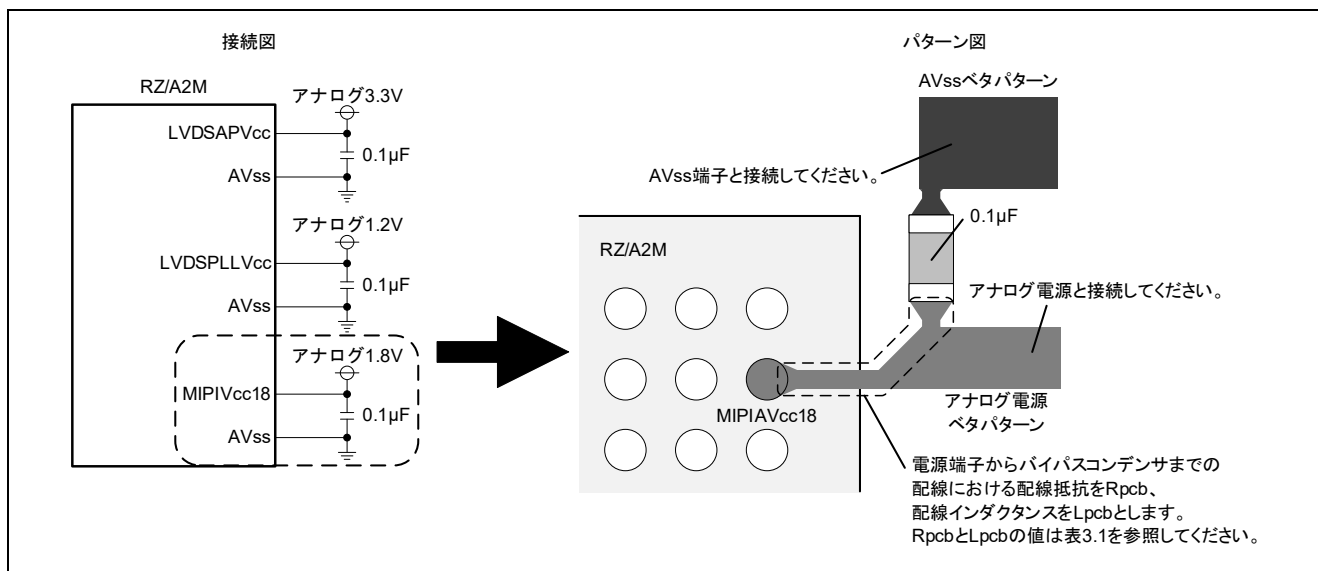


図 3.1 電源端子の接続図とパターン例

表 3.1 電源ラインの抵抗値、インダクタンス値、バイパスコンデンサの容量値

項目	LVDS	MIPI
Rpcb	30mΩ 以下	30mΩ 以下
Lpcb ^{*1}	3.5nH 以下	4.6nH 以下
バイパスコンデンサ	0.1µF	0.1µF

【注】 *1. 可能な限り小さな値にしてください。

バイパスコンデンサのインダクタンス成分は含みません。

配線のインダクタンス成分は基板の材質やパターン幅によって変化します。詳細は基板メーカーにご相談ください。

4. チェックリスト

表 4.1 チェックリスト1 (回路図)

項番	チェック項目 (回路図)	✓	参照
1	MIPI を使用する場合、外付けの終端抵抗をつけていないか		1.2
2	コネクタとの接続は正しいか		—
2-1	差動ペアの極性が逆転していないか		—
2-2	チャネル/レーン間違いないか		—
3	端子処理は正しいか		—
3-1	各電源端子の電圧は正しいか (未接続の電源端子はないか) LVDSAPVcc : 3.3V LVDSPLLvcc : 1.2V MIPIAVcc18 : 1.8V		表 1.1 表 1.2
3-2	各電源端子には 0.1 μ F のバイパスコンデンサが入っているか		表 3.1
4	電源を分離しているか		—
4-1	LVDS を使用する場合、LVDSAPVcc と他の電源を分離しているか		3
4-2	LVDS を使用する場合、LVDSPLLvcc と他の電源を分離しているか		
4-3	MIPI を使用する場合、MIPIAVcc18 と他の電源を分離しているか		

表 4.2 チェックリスト2 (パターン図)

項番	チェック項目 (パターン図)	✓	参照	
1	伝送線路は正しいか		—	
1-1	差動インピーダンスは 100 Ω ±20%になっているか		2	
1-2	ペア配線になっているか		—	
1-3	差動ペアのポジティブ信号線とネガティブ信号線は等長か		2	
1-4	各データ差動ペアとクロック差動ペアは等長か			
1-5	最短で配線しているか			
1-6	配線の曲げは 135° もしくは円弧となっているか			
1-7	ビアを使用せず配線しているか			
1-8	各差動ペアでビアの数が揃っているか			
1-9	ビアがスタブを形成していないか			図 2.1
1-10	ビアの両隣には対称にグランドビアを配置しているか			図 2.2
1-11	伝送線路下層のベタグランドは途切れていないか		図 2.3	
1-12	隣接するパターンとの間隔は十分か		表 2.1 図 2.4 図 2.5	
2	電源ラインは正しいか		—	
2-1	バイパスコンデンサは電源端子の近くに配置しているか		3	
2-2	電源端子からバイパスコンデンサまでの配線抵抗は 30m Ω 以下になっているか		表 3.1	
2-3	LVDS を使用する場合、電源端子 (LVDSAPVcc、LVDSPLLvcc) からバイパスコンデンサまでの配線インダクタンスは 3.5nH 以下になっているか			
2-4	MIPI を使用する場合、電源端子 (MIPIAVcc18) からバイパスコンデンサまでの配線インダクタンスは 4.6nH 以下になっているか			

5. 参考ドキュメント

- ハードウェアマニュアル
RZ/A2M グループ ユーザーズマニュアル ハードウェア編 (R01UH0746JJ)
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.12.23	－	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。