

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3803グループ(H仕様QzROM版)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0166-0113

Rev.1.13

2008.04.11

概要

3803グループ(H仕様QzROM版)は、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルインタフェース、8/16ビットタイマ、A/Dコンバータ、D/Aコンバータを内蔵しており、家電、OA機器他アナログ信号の処理を行うシステムの制御に最適です。

特長

- 基本機械語命令 71
- 命令実行時間 0.24 μ s
(最小命令、発振周波数16.8MHz時)
- メモリ容量 QzROM 16K~48Kバイト
RAM 2048バイト
- プログラマブル入出力ポート 56本
- ソフトウェアプルアップ抵抗 内蔵
- 割り込み 21要因、16ベクタ
(外部8、内部12、ソフトウェア1要因)
- タイマ 16ビット×1
8ビット×4
(8ビットプリスケアラ付き)
- シリアルインタフェース
UARTまたはクロック同期形 8ビット×2
クロック同期形 8ビット×1
- PWM 8ビット×1
(8ビットプリスケアラ付き)
- A/Dコンバータ 10ビット分解能×16チャンネル
(8ビット読み出し可能)
- D/Aコンバータ 8ビット分解能×2チャンネル
- ウォッチドッグタイマ 16ビット×1チャンネル
- LED直接駆動ポート 8本

- クロック発生回路 2回路内蔵
(セラミック共振子または水晶発振子外付け)
- 電源電圧
[高速モード時]
発振周波数 16.8MHz時 4.5~5.5V
発振周波数 12.5MHz時 4.0~5.5V
発振周波数 8.4MHz時 2.7~5.5V
発振周波数 4.2MHz時 2.2~5.5V
発振周波数 2.1MHz時 2.0~5.5V
[中速モード時]
発振周波数 16.8MHz時 4.5~5.5V
発振周波数 12.5MHz時 2.7~5.5V
発振周波数 8.4MHz時 2.2~5.5V
発振周波数 6.3MHz時 1.8~5.5V
[低速モード時]
発振周波数 32kHz 1.8~5.5V
- 消費電力
高速モード時 40mW(標準)
(発振周波数16.8MHz、電源電圧5V時)
低速モード時 45 μ W(標準)
(発振周波数32kHz、電源電圧3V時)
- 動作周囲温度 -20~85°C
- パッケージ
SP PRDP0064BA-A (64P4B) <64ピン750mil SDIP>
HP ... PLQP0064KB-A (64P6Q-A) <64ピン10×10mm LQFP>
KP ... PLQP0064GA-A (64P6U-A) <64ピン14×14mm LQFP>
WG PTLG0064JA-A (64F0G) <64ピン6×6mm FLGA>

応用

家電、OA機器など

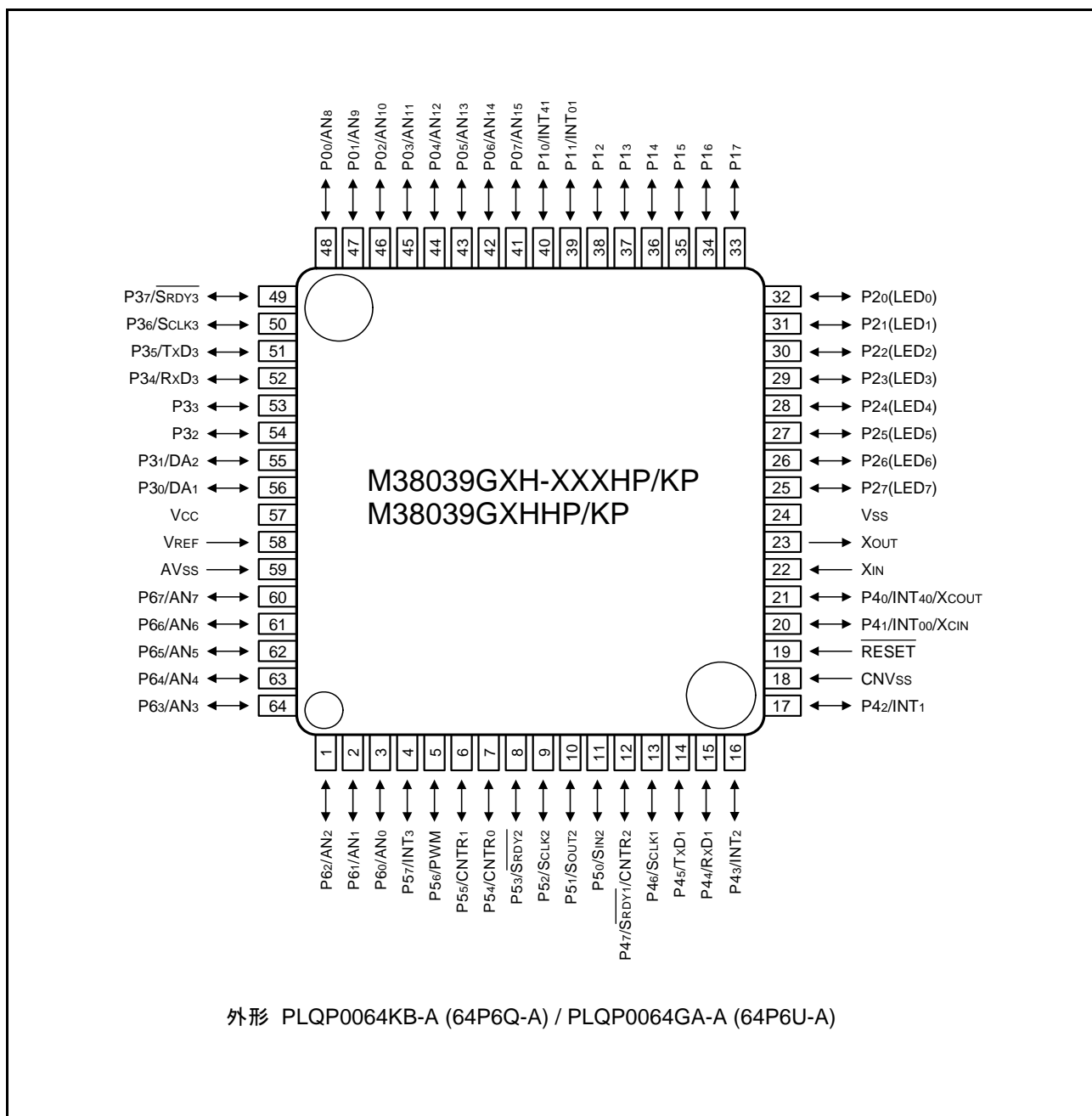


図1. ピン接続図(上面図) (PLQP0064KB-A (64P6Q-A) / PLQP0064GA-A (64P6U-A))

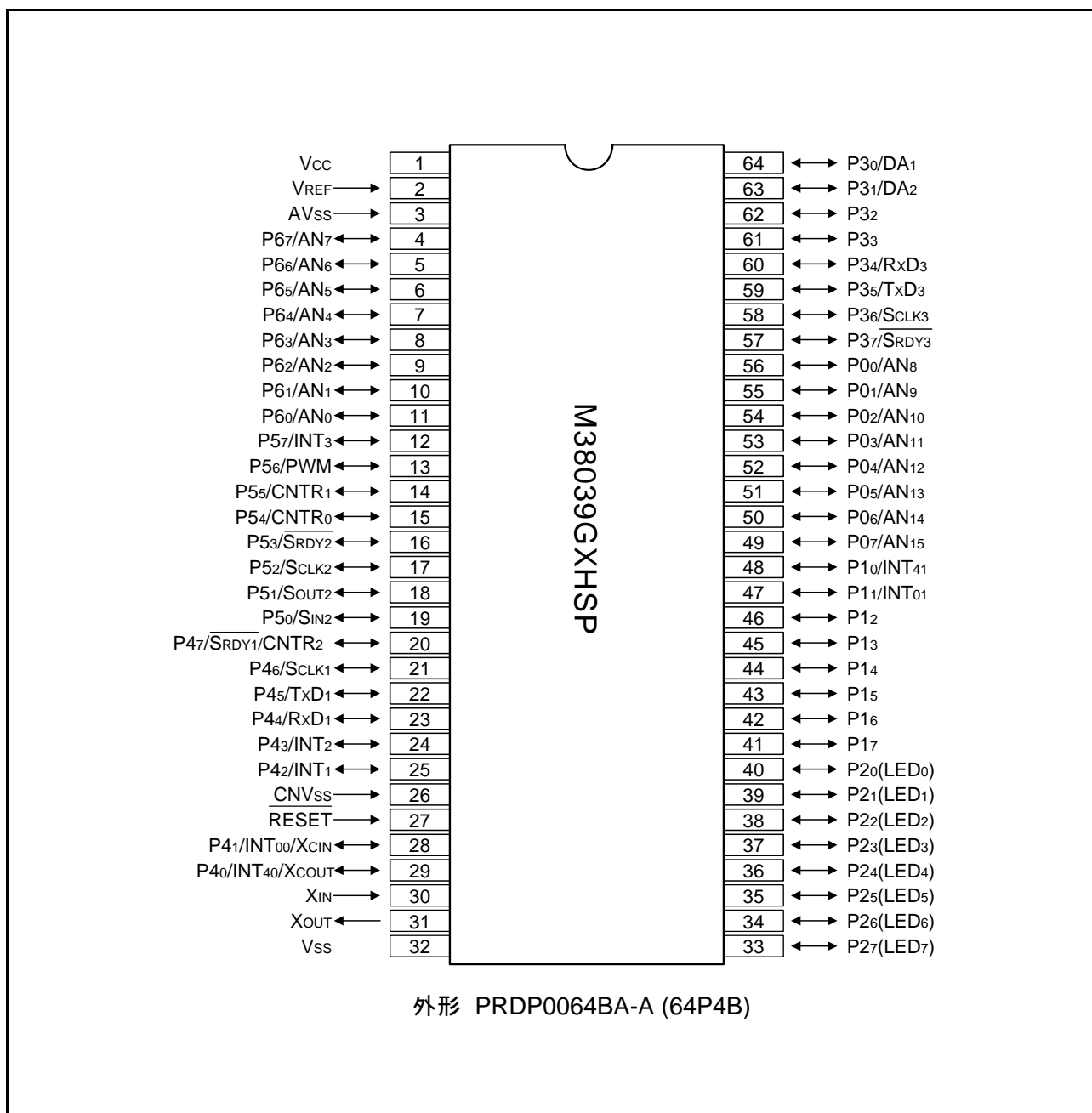
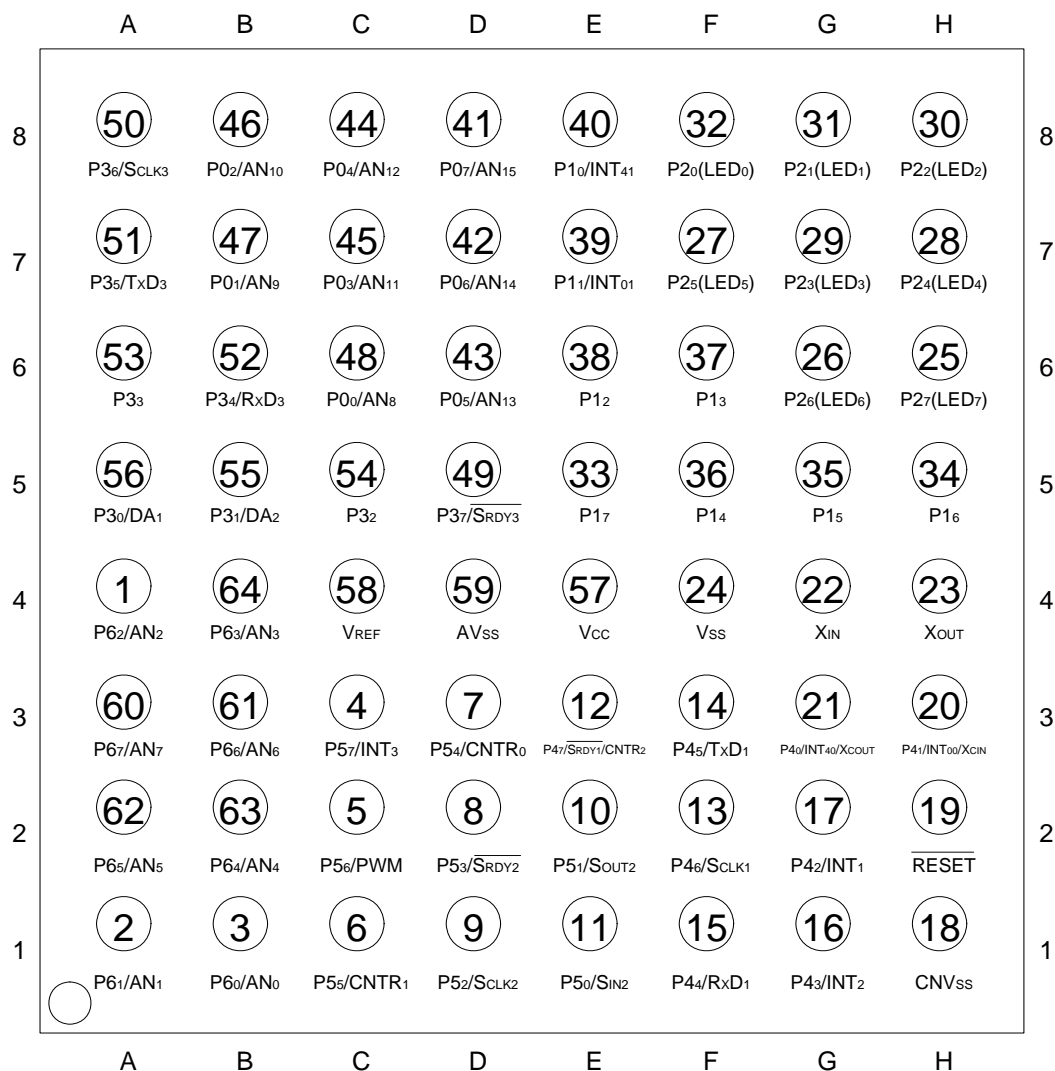


図2. ピン接続図(上面図) (PRDP0064BA-A (64P4B))

ピン接続図(上面図)



外形 PTLG0064JA-A (64F0G)

注. ○中の数字はFP/HP/KPパッケージに相当するピン番号です。



パッケージ(上面図)

図3. ピン接続図(上面図)(PTLG0064JA-A(64F0G))

表1. 性能概要

項目		性能	
基本命令数		71	
最小命令実行時間		0.24 μ s (発振周波数16.8MHz時)	
発振周波数		16.8MHz(最大)	
メモリ容量	ROM	16K~48Kバイト	
	RAM	2048バイト	
入出力ポート	P0, P1, P2, P3, P4, P5, P6	56本	
ソフトウェアプルアップ抵抗		内蔵	
割り込み		21要因、16ベクタ(外部8、内部12、ソフトウェア1要因)	
タイマ		8ビット×4(8ビットプリスケアラ付) 16ビット×1	
シリアルインタフェース		8ビット×2(UARTまたはクロック同期形) 8ビット×1(クロック同期形)	
PWM		8ビット×1(プリスケアラ付)	
A/Dコンバータ		10ビット分解能×16チャンネル(8ビット読み出し可能)	
D/Aコンバータ		8ビット分解能×2チャンネル	
ウォッチドッグタイマ		16ビット×1チャンネル	
LED直接駆動ポート		8本(平均電流10mA、尖頭電流20mA、総尖頭電流80mA)	
クロック発生回路		2回路(セラミック共振子または水晶発振子外付け)	
電源電圧	高速モード	16.8MHz時	4.5~5.5V
		12.5MHz時	4.0~5.5V
		8.4MHz時	2.7~5.5V
		4.2MHz時	2.2~5.5V
		2.1MHz時	2.0~5.5V
	中速モード	16.8MHz時	4.5~5.5V
		12.5MHz時	2.7~5.5V
		8.4MHz時	2.2~5.5V
		6.3MHz時	1.8~5.5V
低速モード	32kHz時	1.8~5.5V	
消費電力	高速モード	標準40mW (V _{CC} =5.0V, f(X _{IN})=16.8MHz, Ta=25°C)	
	低速モード	標準45 μ W (V _{CC} =3.0V, f(X _{IN})=停止, f(X _{CIN})=32kHz, Ta=25°C)	
入出力特性	入出力耐電圧	V _{CC}	
	出力電流	10mA	
動作周囲温度		-20~85°C	
素子構造		CMOSシリコンゲート	
パッケージ		64ピンプラスチックモールドSDIP/LQFP	

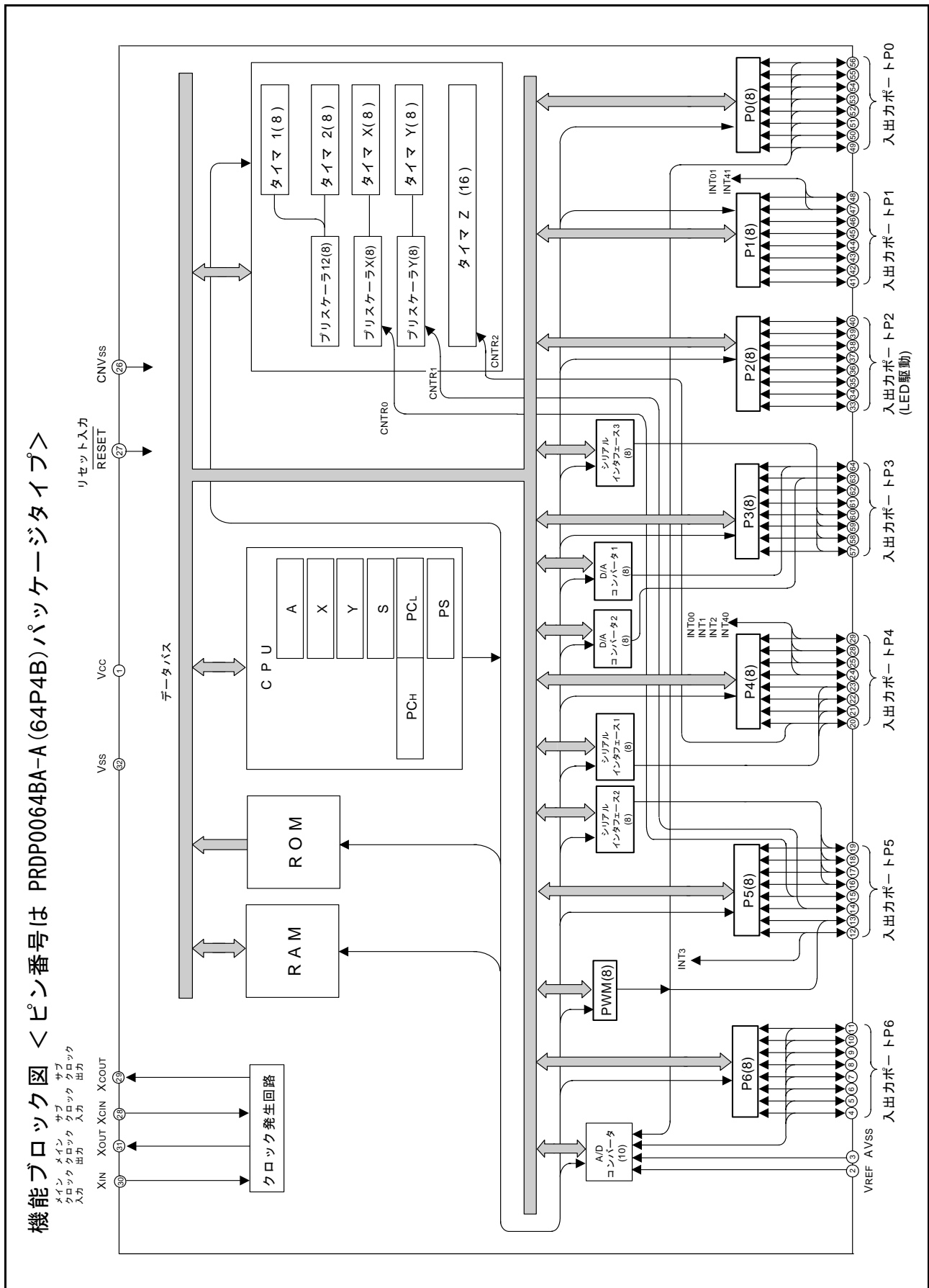


図4. 機能ブロック図

端子の機能説明

表2. 端子の機能説明

端子名	名称	機能		
			ポート以外の機能	
Vcc, Vss	電源入力	Vccに1.8~5.5V, Vssに0Vを印加します。		
CNVss	CNVss	チップの動作モードを制御する端子です。QzROM書き込みモード時は、VPP電源入力端子になります。通常はVssに接続します。		
VREF	基準電圧入力	A/DコンバータおよびD/Aコンバータの基準電圧入力端子です。		
AVss	アナログ電源入力	A/DコンバータおよびD/Aコンバータのアナログ電源入力端子です。この端子はVssに接続してください。		
RESET	リセット入力	アクティブ“L”のリセット入力端子です。		
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子または水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。帰還抵抗内蔵です。		
XOUT	メインクロック出力			
P00/AN8 ~ P07/AN15	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。P20~P27の8ビットは、LED駆動出力用の大電流出力が可能です。	A/Dコンバータ入力端子	
P10/INT41 P11/INT01 P12~P17			割り込み入力端子	
P20(LED0) ~ P27(LED7)				
P30/DA1 P31/DA2 P32, P33	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。出力形式はP30, P31, P34~P37がCMOS3ステートです。P32, P33はNチャネルオープンドレインです。P32, P33以外はビット単位でプルアップ制御が可能です。	D/Aコンバータ出力端子	
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3			シリアルI/O3機能端子	
P40/INT40/XCOUT P41/INT00/XCIN			8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	割り込み入力端子 サブクロック発生入出力端子 (共振子を接続します。)
P42/INT1 P43/INT2				割り込み入力端子
P44/RxD1 P45/TxD1 P46/SCLK1	シリアルI/O1機能端子			
P47/SRDY1/CNTR2	シリアルI/O1、タイマZ機能端子			
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2 P54/CNTR0 P55/CNTR1 P56/PWM P57/INT3	入出力ポートP5		シリアルI/O2機能端子	
			タイマX機能端子	
			タイマY機能端子	
			PWM出力端子	
			割り込み入力端子	
P60/AN0 ~ P67/AN7	入出力ポートP6		A/Dコンバータ入力端子	

型名とメモリサイズ・パッケージ

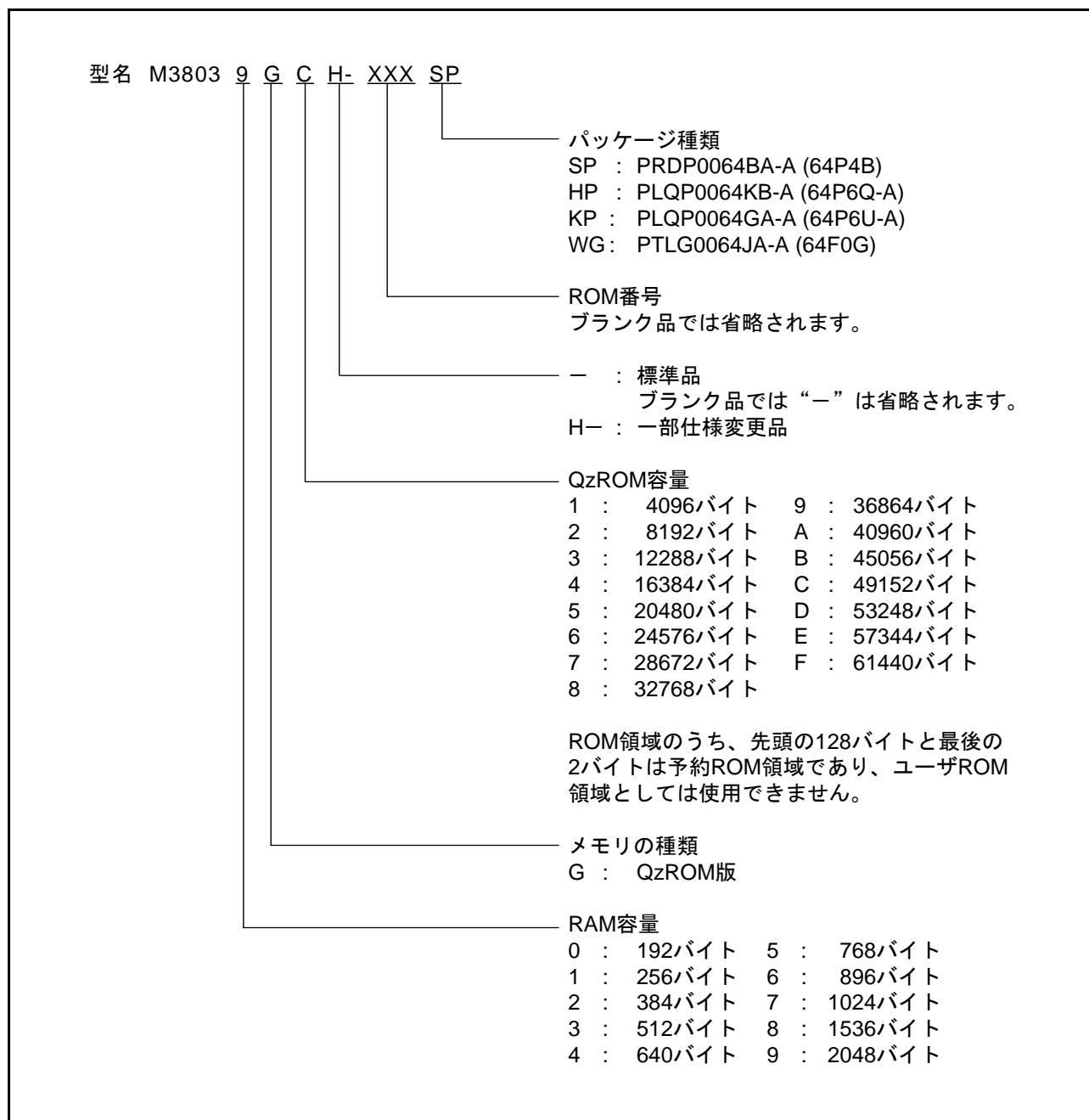


図5. 型名とメモリサイズ・パッケージ

グループ展開

3803グループ(H仕様QzROM版)は次のような製品展開をしています。

メモリの種類

QzROM版のサポート

メモリ容量

QzROM容量 16K～48Kバイト
RAM容量 2048バイト

パッケージ

- PRDP0064BA-A (64P4B)
シュリンクプラスチックモールドSDIP
- PLQP0064KB-A (64P6Q-A)
0.5mmピッチプラスチックモールドLQFP
- PLQP0064GA-A (64P6U-A)
0.8mmピッチプラスチックモールドLQFP
- PTLG0064JA-A (64F0G)
0.65mmピッチプラスチックモールドFLGA

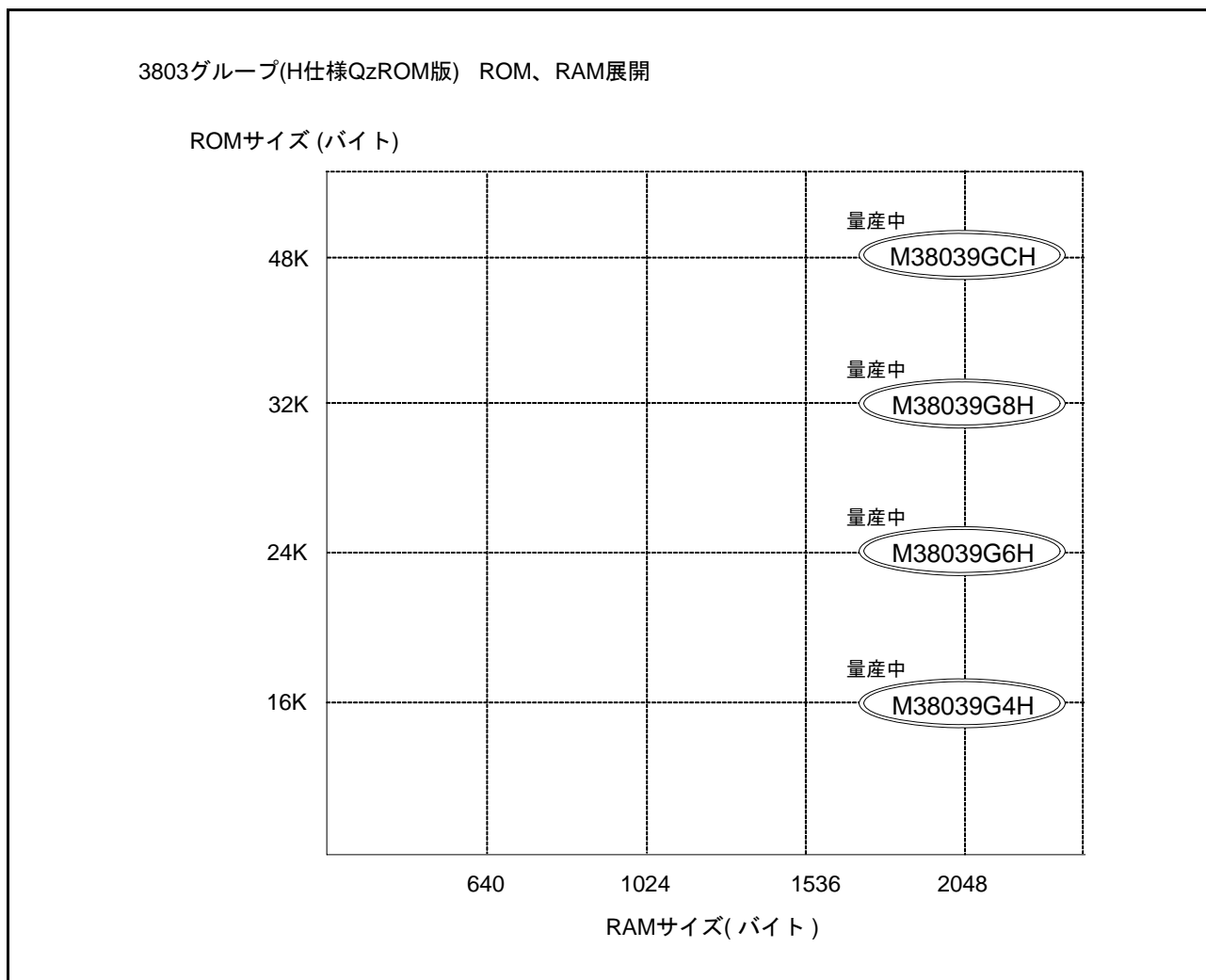


図6. ROMおよびRAM展開

表3. 製品一覧

製品型名	QzROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	パッケージ	備考	
M38039G4H-XXXHP	16384	2048	PLQP0064KB-A (64P6Q-A)	QzROM版 (書き込み出荷品)(注1)	
M38039G4H-XXXKP	(16254)(注3)		PLQP0064GA-A (64P6U-A)		
M38039G6H-XXXHP	24576		PLQP0064KB-A (64P6Q-A)		
M38039G6H-XXXKP	(24446)(注3)		PLQP0064GA-A (64P6U-A)		
M38039G8H-XXXHP	32768		PLQP0064KB-A (64P6Q-A)		
M38039G8H-XXXKP	(32638)(注3)		PLQP0064GA-A (64P6U-A)		
M38039GCH-XXXHP	49152		PLQP0064KB-A (64P6Q-A)		
M38039GCH-XXXKP	(49022)(注3)		PLQP0064GA-A (64P6U-A)		
M38039GCH-XXXWG			PTLG0064-JA-A (64F0G)		
M38039G4HSP	16384		PRDP0064BA-A (64P4B)		QzROM版 (ブランク品)(注2)
M38039G4HHP	(16254)(注3)		PLQP0064KB-A (64P6Q-A)		
M38039G4HKP			PLQP0064GA-A (64P6U-A)		
M38039G6HSP	24576		PRDP0064BA-A (64P4B)		
M38039G6HHP	(24446)(注3)		PLQP0064KB-A (64P6Q-A)		
M38039G6HKP			PLQP0064GA-A (64P6U-A)		
M38039G8HSP	32768		PRDP0064BA-A (64P4B)		
M38039G8HHP	(32638)(注3)		PLQP0064KB-A (64P6Q-A)		
M38039G8HKP			PLQP0064GA-A (64P6U-A)		
M38039GCHSP	49152		PRDP0064BA-A (64P4B)		
M38039GCHHP	(49022)(注3)		PLQP0064KB-A (64P6Q-A)		
M38039GCHKP			PLQP0064GA-A (64P6U-A)		
M38039GCHWG			PTLG0064-JA-A (64F0G)		

- 注1. ユーザROMを書き込んで出荷します。
注2. ブランク品はユーザROM領域がブランクです。
注3. ROM容量には、ROMコードプロテクト領域が含まれます。

機能ブロック動作説明

中央演算処理装置 (CPU)

3803グループ(H仕様QzROM版)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスリングモードおよび機械語命令一覧表または740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図9にCPUモードレジスタの構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレスリングモードでは、このレジスタを用いたアドレスリングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレスリングモードでは、このレジスタを用いたアドレスリングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時または割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避および復帰動作を図8に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

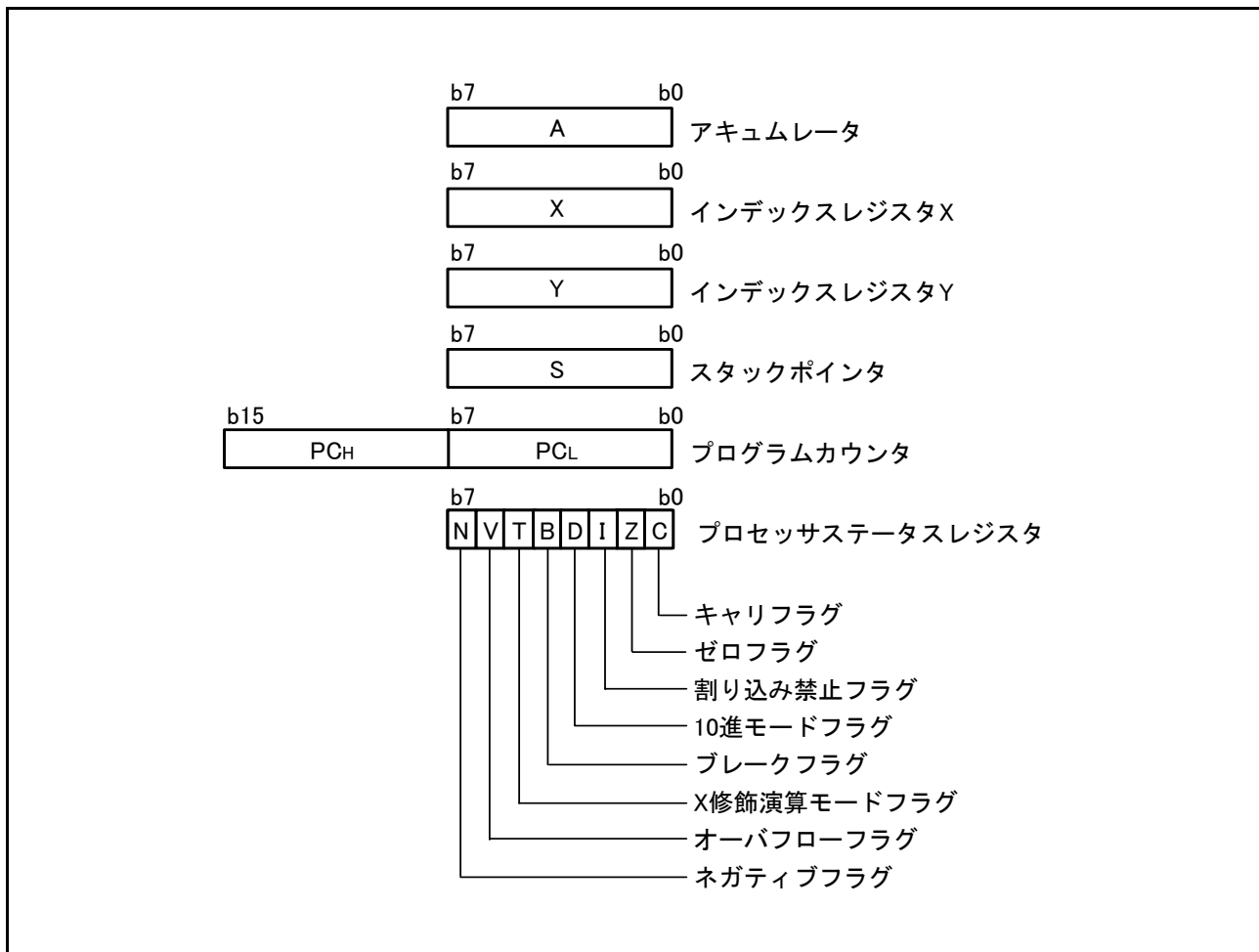


図7. 740ファミリCPUの構成

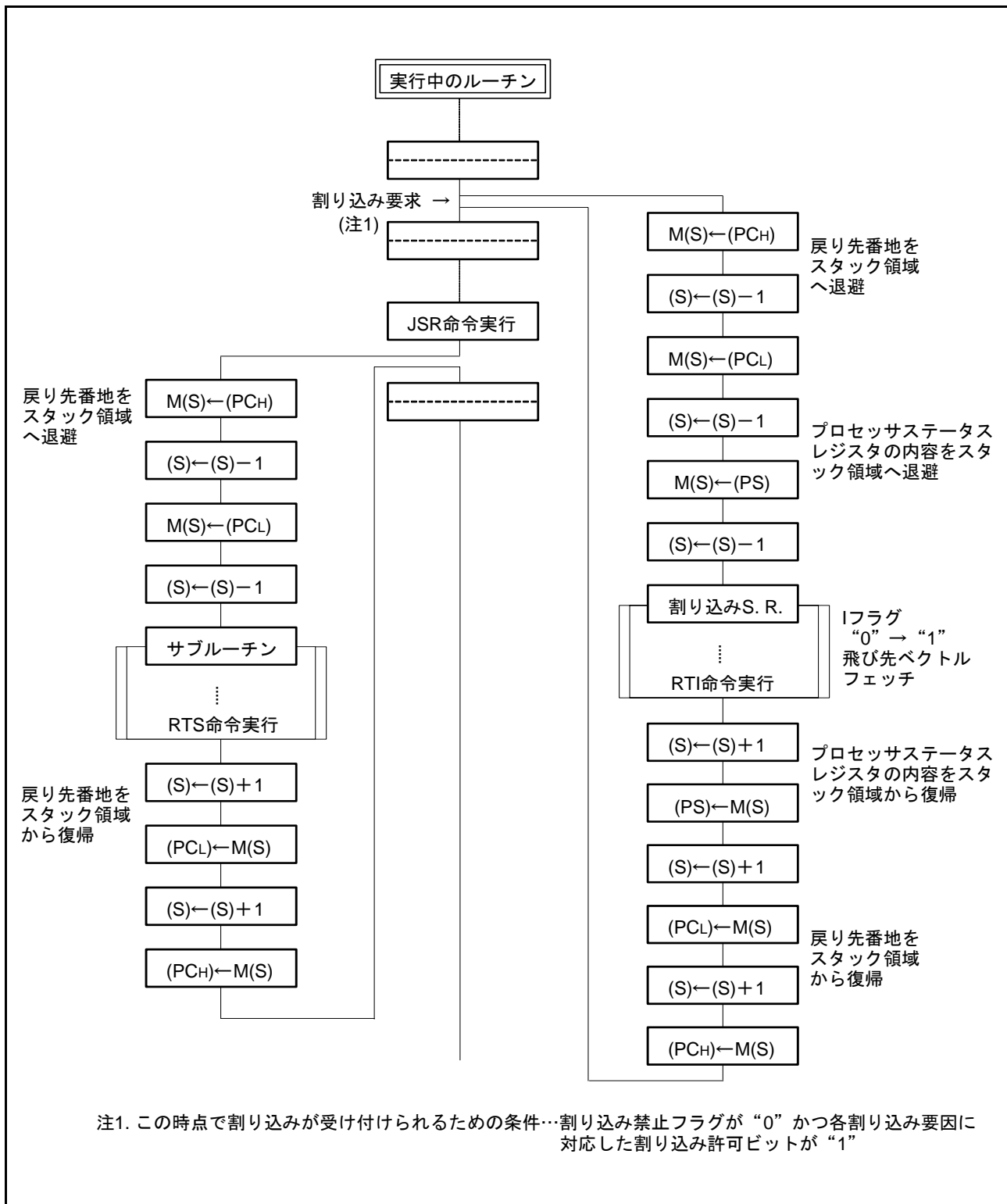


図8. スタックへの退避および復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令および復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

• ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリまたはボローを保持します。シフト命令またはローテート命令でも変化します。

• ビット1：ゼロフラグ(Z)

演算処理またはデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

• ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

• ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

• ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

• ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

• ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127または-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

• ビット7：ネガティブフラグ(N)

演算処理またはデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタの各フラグをセットまたはクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	–	SEI	SED	–	SET	–	–
クリアする命令	CLC	–	CLI	CLD	–	CLT	CLV	–

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B16番地に配置されています。

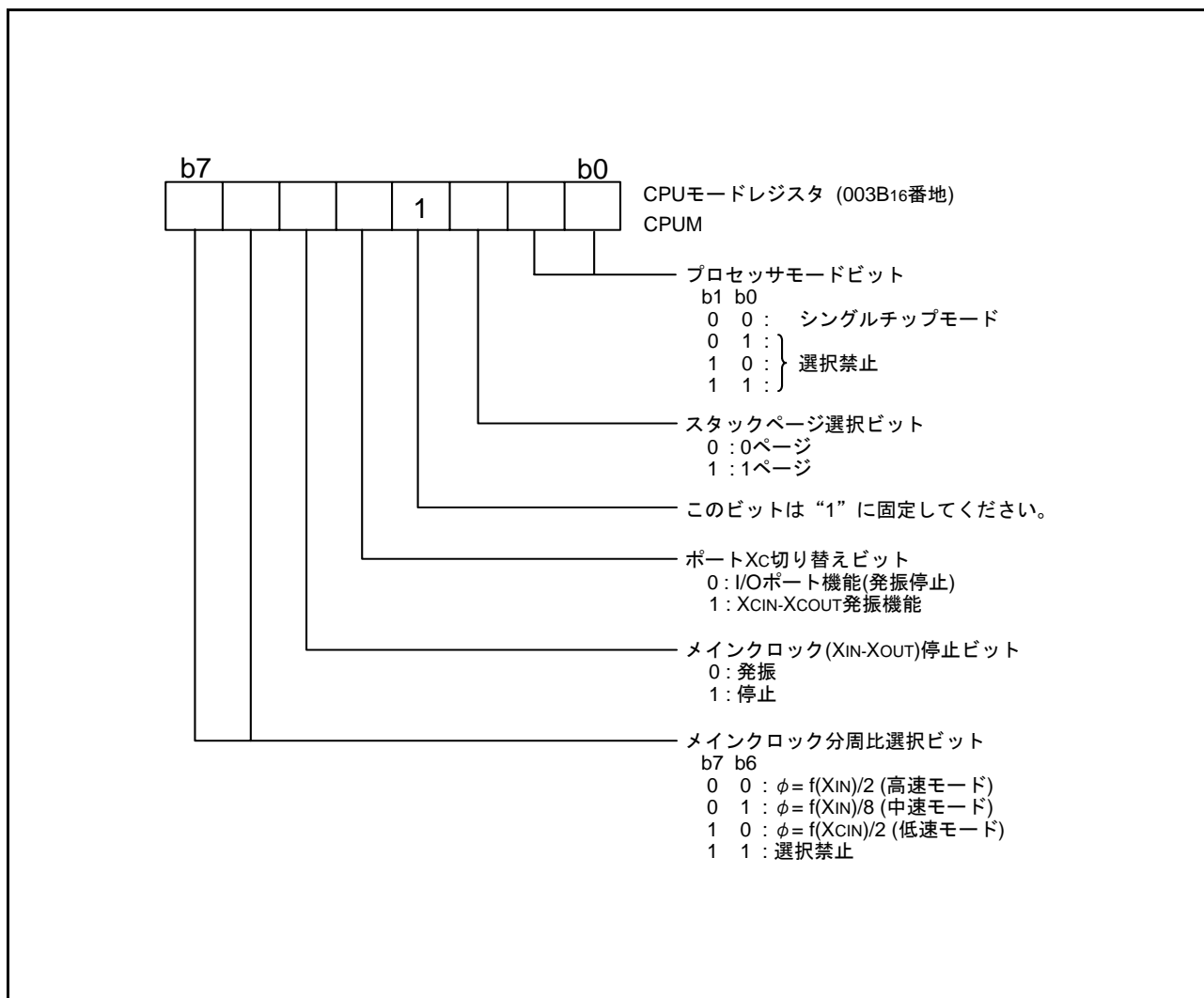


図9. CPUモードレジスタの構成

【MISRG】 MISRG

(1) STP命令解除後の発振安定時間設定ビット

(0010₁₆番地のビット0)

STP命令によって発振が停止している状態で、外部割り込み要因によってSTP命令が解除された場合、発振安定時間を待つため、タイマ1とプリスケータ12には通常、自動的に値(タイマ1←01₁₆、プリスケータ12←FF₁₆)が設定されます。MISRG(0010₁₆番地)のビット0を“1”にすることで、自動設定を禁止することができます。

しかし、このビットを“1”に設定したときは、STP命令実行前の設定値がタイマ1とプリスケータ12に残っていますので、STP命令実行前に発振安定時間として適切な値を、それぞれのレジスタに設定してください。

図10にMISRGの構成を示します。

(2) 中速モード自動切り替え機能

(0010₁₆番地のビット1,2,3)

サブクロックを持つマイコンは、低速モードから中速モード(あるいは高速モード)に切り替える場合、CPUモードレジスタ(003B₁₆番地)を設定し、メインクロック発振開始→発振安定時間待ち→中速モード切り替えをする必要がありますが、ソフトウェアによって低速モードから中速モードに自動的に切り替える機能を内蔵しています。

●ソフトウェアによる中速モード自動切り替え

マイコンが低速モードで動作中に、ソフトウェアにより自動的に中速モードへの切り替えが可能です。低速モードで動作中に、中速モード自動切り替え設定ビットが“1”の状態、MISRG(0010₁₆番地)の中速モード自動切り替え開始ビット(ビット3)を“1”にすることで、中速モードに自動的に切り替わります。このときのメインクロックの発振安定時間はMISRG(0010₁₆番地)の中速モード自動切り替え待ち時間設定ビット(ビット2)で選択できます。

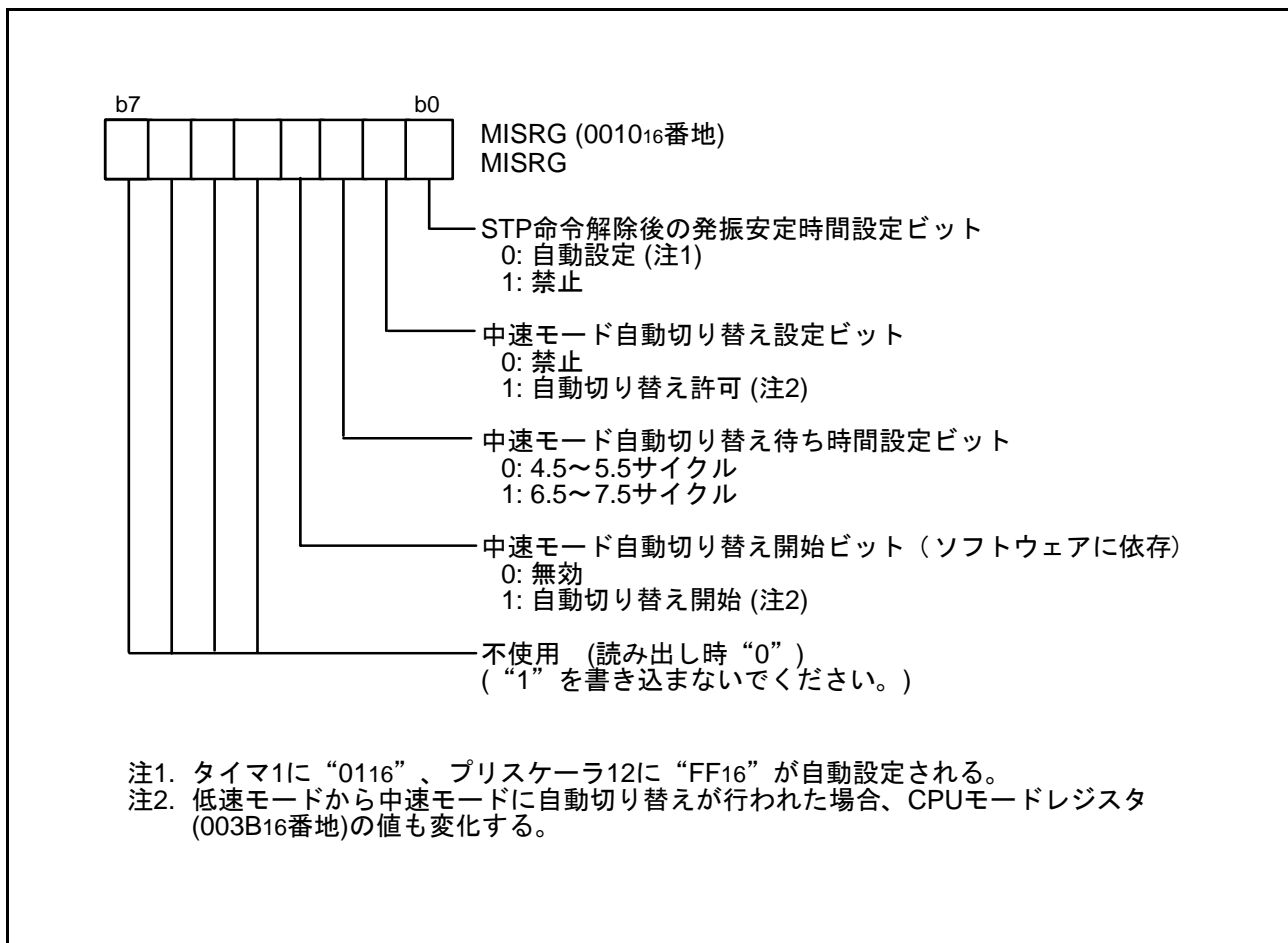


図10. MISRGの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出しおよび割り込み時のスタックなどに使用します。

●ROM

先頭128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

なお、QzROM版ではFFDB₁₆番地の1バイトも予約領域です。

●割り込みベクトル領域

リセットおよび割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●ROMコードプロテクト番地(FFDB₁₆番地)

QzROM版の予約ROM領域であるFFDB₁₆番地は、ROMコードプロテクト番地です。シリアルプログラマでのプロテクトビット書き込みを選択した場合、および弊社書き込み出荷の際にプロテクト有りを選択した場合、この番地に“00₁₆”または“FE₁₆”が書き込まれます。ROMコードプロテクト番地に“00₁₆”または“FE₁₆”が書き込まれるとプロテクト機能が有効になり、その後シリアルプログラマでの読み出しおよび書き込みはできません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際にプロテクトビット書き込みを選択することでROMコードがプロテクトされます。

3803グループ(H仕様QzROM版)はプロテクトを2回に分けて実行することができ、ROM先頭番地から“EFFF₁₆”までのエリアをプロテクトエリア1としています。

QzROM書き込み出荷品は弊社での書き込みの際にROMコードプロテクト番地に“00₁₆”(全領域プロテクト有り)または“FE₁₆”(プロテクトエリア1プロテクト有り)および“FF₁₆”(プロテクト無し)のいずれかが書き込まれます。

“00₁₆”、“FE₁₆”、“FF₁₆”のどれを書き込むかは、発注の際にROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)として選択してください。

■注意事項

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。

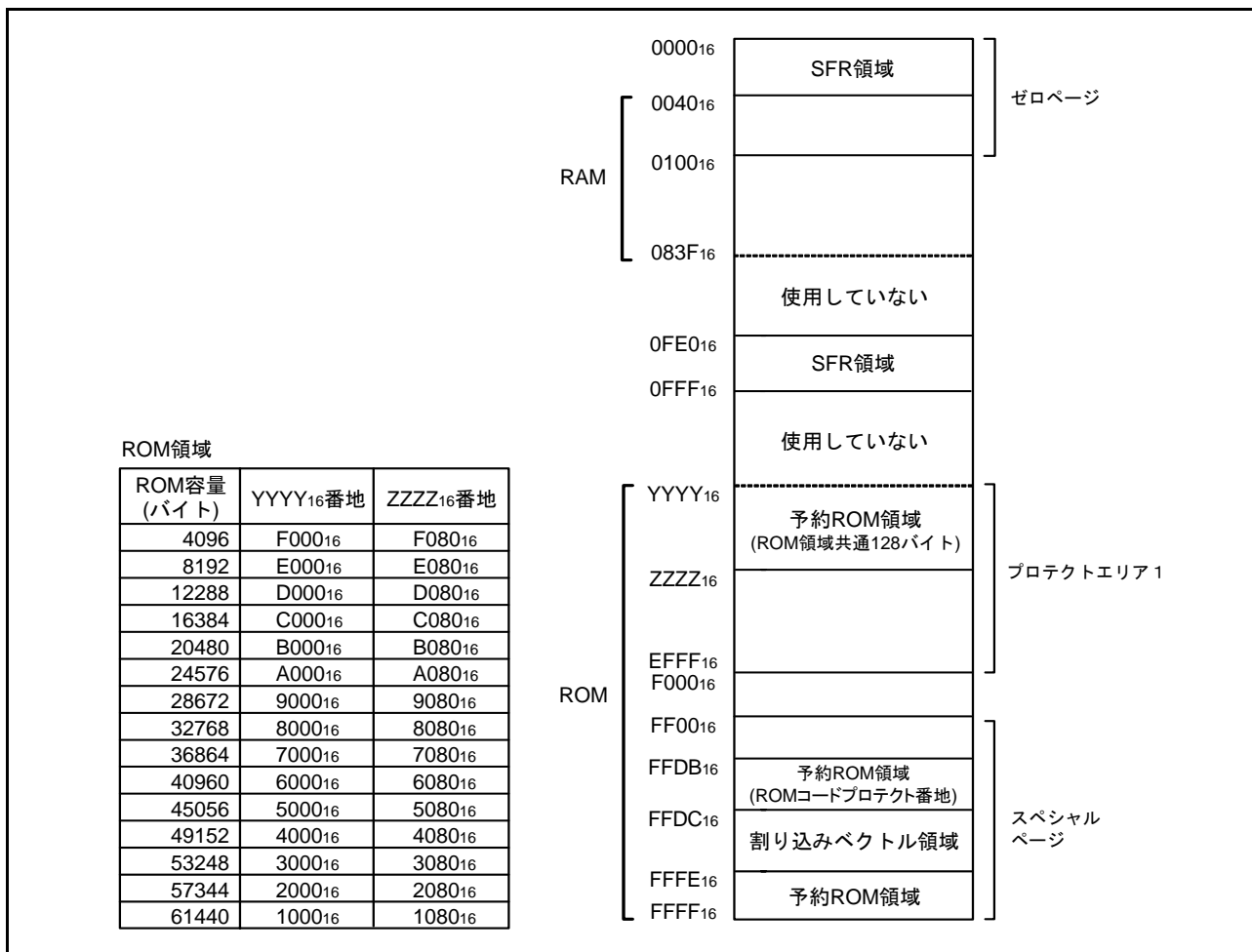


図 11. メモリ配置図

0000 ₁₆	ポートP0 (P0)	0020 ₁₆	プリスケラ12 (PRE12)
0001 ₁₆	ポートP0方向レジスタ (P0D)	0021 ₁₆	タイマ1 (T1)
0002 ₁₆	ポートP1 (P1)	0022 ₁₆	タイマ2 (T2)
0003 ₁₆	ポートP1方向レジスタ (P1D)	0023 ₁₆	タイマXYモードレジスタ (TM)
0004 ₁₆	ポートP2 (P2)	0024 ₁₆	プリスケラX (PREX)
0005 ₁₆	ポートP2方向レジスタ (P2D)	0025 ₁₆	タイマX (TX)
0006 ₁₆	ポートP3P (P3)	0026 ₁₆	プリスケラY (PREY)
0007 ₁₆	ポートP3方向レジスタ (P3D)	0027 ₁₆	タイマY (TY)
0008 ₁₆	ポートP4 (P4)	0028 ₁₆	タイマZ下位 (TZL)
0009 ₁₆	ポートP4方向レジスタ (P4D)	0029 ₁₆	タイマZ上位 (TZH)
000A ₁₆	ポートP5 (P5)	002A ₁₆	タイマZモードレジスタ (TZM)
000B ₁₆	ポートP5方向レジスタ (P5D)	002B ₁₆	PWM制御レジスタ (PWMCON)
000C ₁₆	ポートP6 (P6)	002C ₁₆	PWMプリスケラ (PREPWM)
000D ₁₆	ポートP6方向レジスタ (P6D)	002D ₁₆	PWMレジスタ (PWM)
000E ₁₆	タイマ12,Xカウントソース選択レジスタ (T12XCSS)	002E ₁₆	
000F ₁₆	タイマY,Zカウントソース選択レジスタ (TYZCSS)	002F ₁₆	ポーレートジェネレータ3 (BRG3)
0010 ₁₆	MISRG	0030 ₁₆	送信/受信バッファレジスタ3 (TB3/RB3)
0011 ₁₆	予約 (注1)	0031 ₁₆	シリアル/O3ステータスレジスタ (SIO3STS)
0012 ₁₆	予約 (注1)	0032 ₁₆	シリアル/O3制御レジスタ (SIO3CON)
0013 ₁₆	予約 (注1)	0033 ₁₆	UART3制御レジスタ (UART3CON)
0014 ₁₆	予約 (注1)	0034 ₁₆	AD/DA制御レジスタ (ADCON)
0015 ₁₆	予約 (注1)	0035 ₁₆	AD変換レジスタ1 (AD1)
0016 ₁₆	予約 (注1)	0036 ₁₆	DA1変換レジスタ (DA1)
0017 ₁₆	予約 (注1)	0037 ₁₆	DA2変換レジスタ (DA2)
0018 ₁₆	送信/受信バッファレジスタ1 (TB1/RB1)	0038 ₁₆	AD変換レジスタ2 (AD2)
0019 ₁₆	シリアル/O1ステータスレジスタ (SIO1STS)	0039 ₁₆	割り込み要因選択レジスタ (INTSEL)
001A ₁₆	シリアル/O1制御レジスタ (SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ (INTEDGE)
001B ₁₆	UART1制御レジスタ (UART1CON)	003B ₁₆	CPUモードレジスタ (CPUM)
001C ₁₆	ポーレートジェネレータ1 (BRG1)	003C ₁₆	割り込み要求レジスタ1 (IREQ1)
001D ₁₆	シリアル/O2制御レジスタ (SIO2CON)	003D ₁₆	割り込み要求レジスタ2 (IREQ2)
001E ₁₆	ウォッチドッグタイマ制御レジスタ (WDTCN)	003E ₁₆	割り込み制御レジスタ1 (ICON1)
001F ₁₆	シリアル/O2レジスタ (SIO2)	003F ₁₆	割り込み制御レジスタ2 (ICON2)
0FE0 ₁₆	予約 (注1)	0FF0 ₁₆	ポートP0プルアップ制御レジスタ (PULL0)
0FE1 ₁₆	予約 (注1)	0FF1 ₁₆	ポートP1プルアップ制御レジスタ (PULL1)
0FE2 ₁₆	予約 (注1)	0FF2 ₁₆	ポートP2プルアップ制御レジスタ (PULL2)
0FE3 ₁₆	予約 (注1)	0FF3 ₁₆	ポートP3プルアップ制御レジスタ (PULL3)
0FE4 ₁₆	予約 (注1)	0FF4 ₁₆	ポートP4プルアップ制御レジスタ (PULL4)
0FE5 ₁₆	予約 (注1)	0FF5 ₁₆	ポートP5プルアップ制御レジスタ (PULL5)
0FE6 ₁₆	予約 (注1)	0FF6 ₁₆	ポートP6プルアップ制御レジスタ (PULL6)
0FE7 ₁₆	予約 (注1)		
0FE8 ₁₆	予約 (注1)		
0FE9 ₁₆	予約 (注1)		
0FEA ₁₆	予約 (注1)		
0FEB ₁₆	予約 (注1)		
0FEC ₁₆	予約 (注1)		
0FED ₁₆	予約 (注1)		
0FEE ₁₆	予約 (注1)		
0FEF ₁₆	予約 (注1)		

注1. 予約領域のため、何もデータを書き込まないでください。
 注2. SFRの空き領域のメモリアクセスは行わないでください。

図12. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングと

なり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP0プルアップ制御レジスタ(OFF016番地)～ポートP6プルアップ制御レジスタ(OFF616番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

表6. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番	
P00/AN8～ P07/AN15	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A/Dコンバータ入力	AD/DA制御レジスタ	(1)	
P10/INT41 P11/INT01	ポートP1			外部割り込み入力	割り込みエッジ選択レジスタ	(2)	
P12～P17						(3)	
P20(LED0)～ P27(LED7)	ポートP2						
P30/DA1 P31/DA2	ポートP3			D/Aコンバータ出力	AD/DA制御レジスタ	(4)	
P32, P33				CMOS入力レベル Nチャンネルオープンドレイン出力			(5)
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3	ポートP4			CMOS入力レベル CMOS3ステート出力	シリアルI/O3機能入出力	シリアルI/O3制御レジスタ UART3制御レジスタ	(6) (7) (8) (9)
P40/INT40/XCOUT P41/INT00/XCIN				外部割り込み入力 サブクロック発振回路	割り込みエッジ選択レジスタ CPUモードレジスタ	(10) (11)	
P42/INT1 P43/INT2				外部割り込み入力	割り込みエッジ選択レジスタ	(2)	
P44/RxD1 P45/TxD1 P46/SCLK1				シリアルI/O1機能入出力	シリアルI/O1制御レジスタ UART1制御レジスタ	(6) (7) (8)	
P47/SRDY1/CNTR2		シリアルI/O1機能入出力 タイマZ機能入出力	シリアルI/O1制御レジスタ タイマZモードレジスタ	(12)			
		シリアルI/O2機能入出力	シリアルI/O2制御レジスタ	(13) (14) (15) (16)			
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2		ポートP5	タイマX, Y機能入出力	タイマXYモードレジスタ	(17)		
P54/CNTR0 P55/CNTR1			PWM出力	PWM制御レジスタ	(18)		
P56/PWM			外部割り込み入力	割り込みエッジ選択レジスタ	(2)		
P57/INT3			A/Dコンバータ入力	AD/DA制御レジスタ	(1)		
P60/AN0～ P67/AN7	ポートP6						

- 注1. ダブルファンクションポートを機能入出力端子として使用方法については、関連する項を参照してください。
 注2. STP命令の実行中は、各端子の入力レベルを0VまたはVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

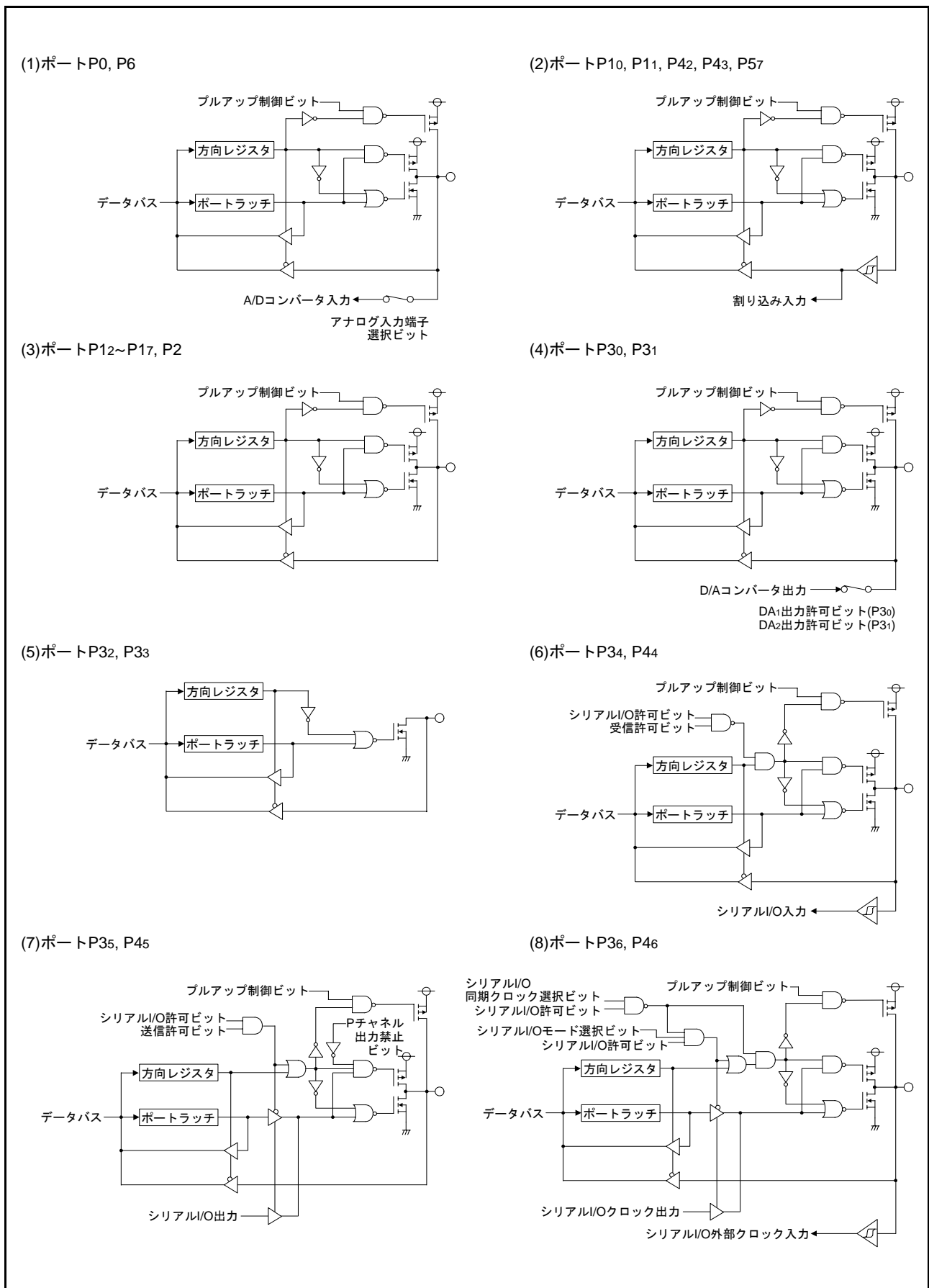


図13. ポートのブロック図(1)

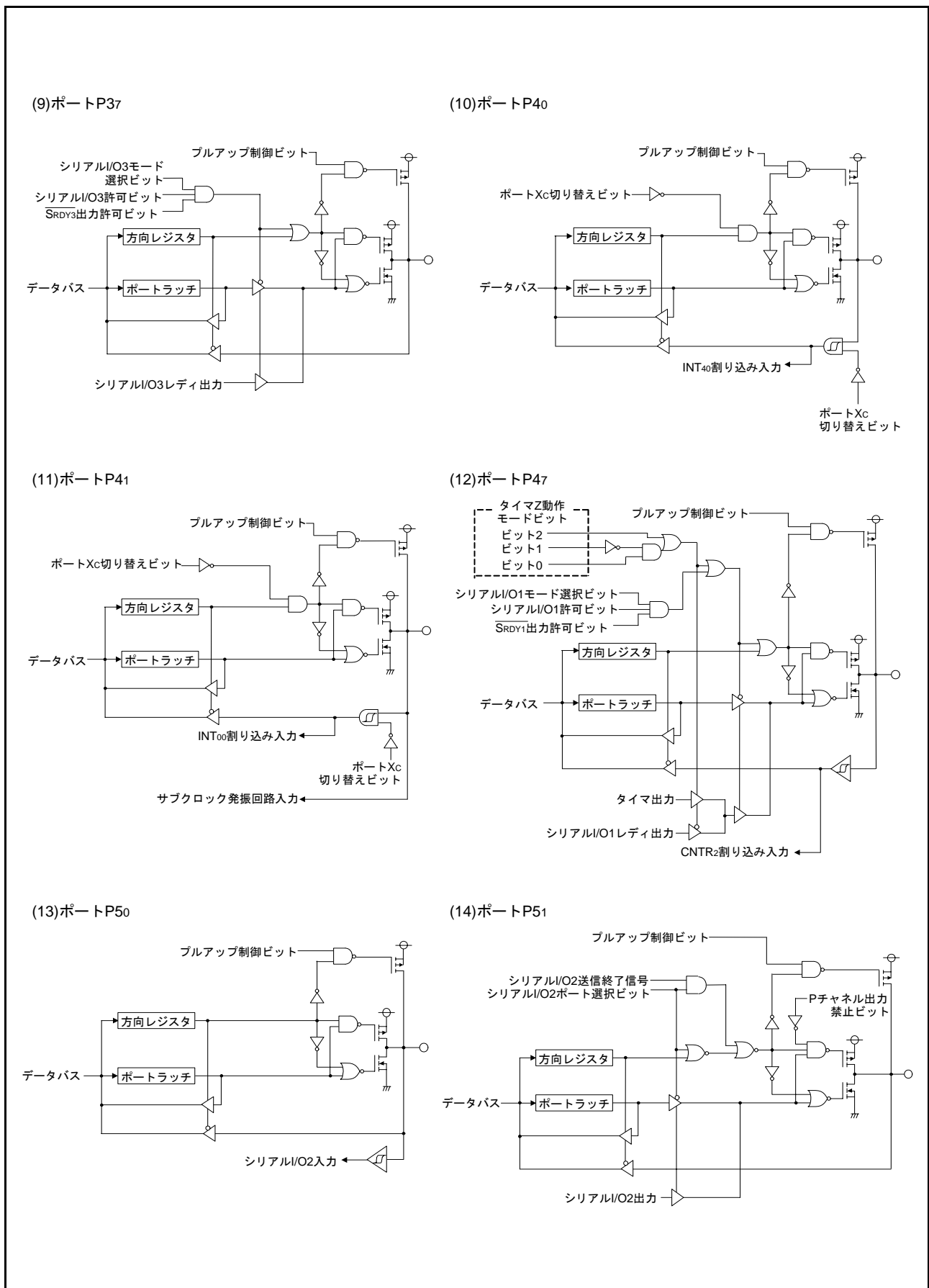


図14. ポートのブロック図(2)

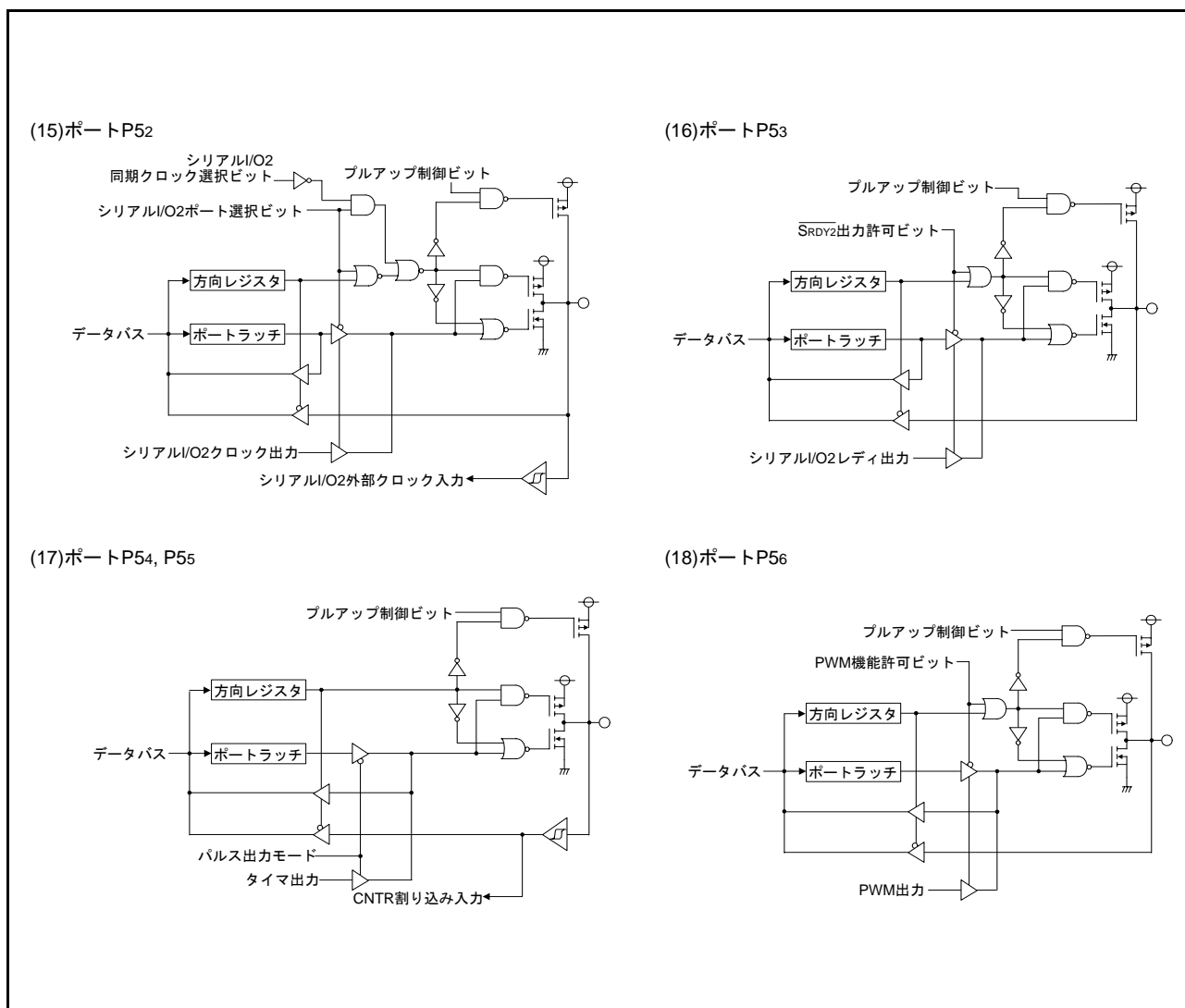


図15. ポートのブロック図(3)

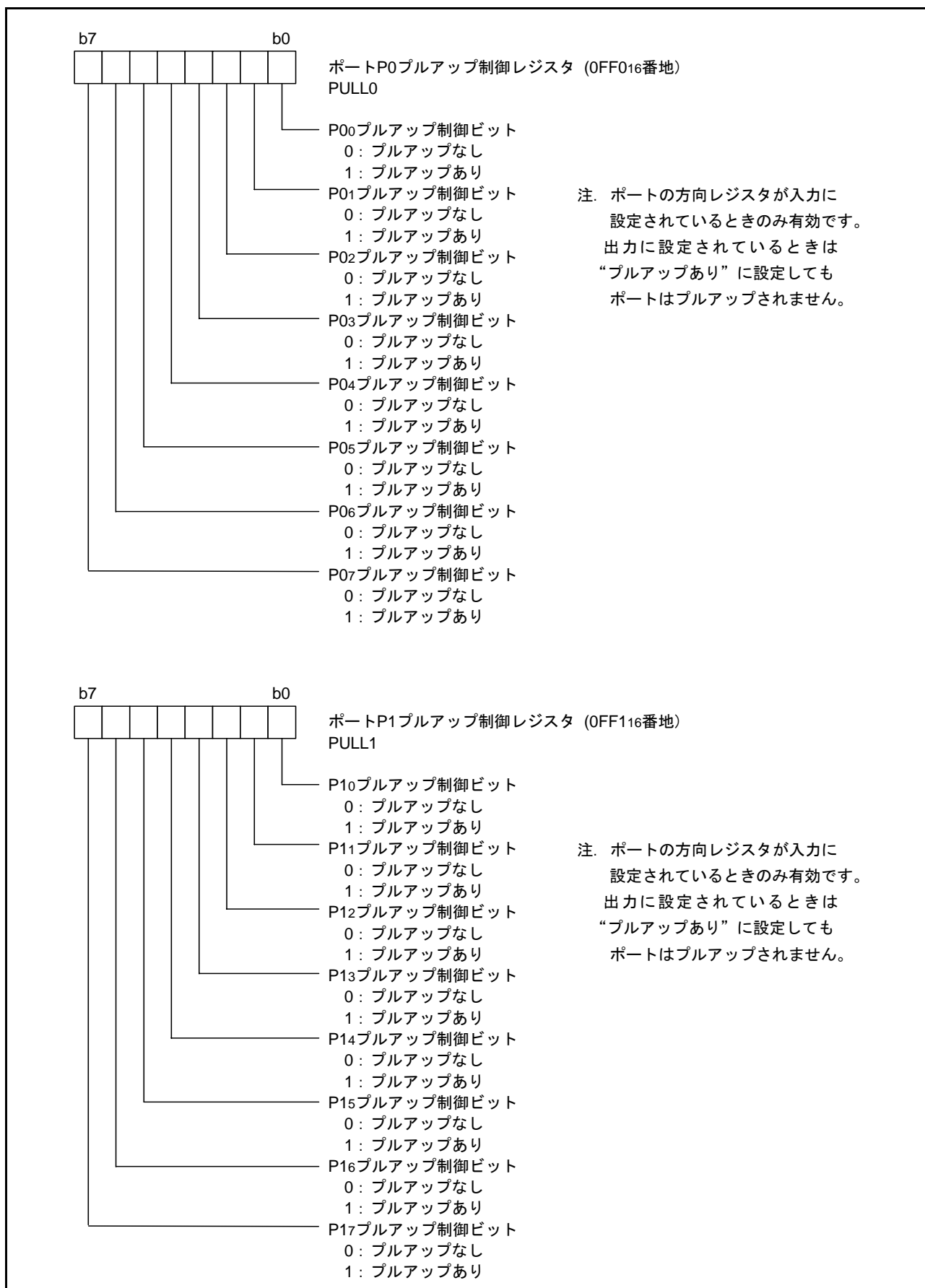


図16. ポートレジスタ構成図(1)

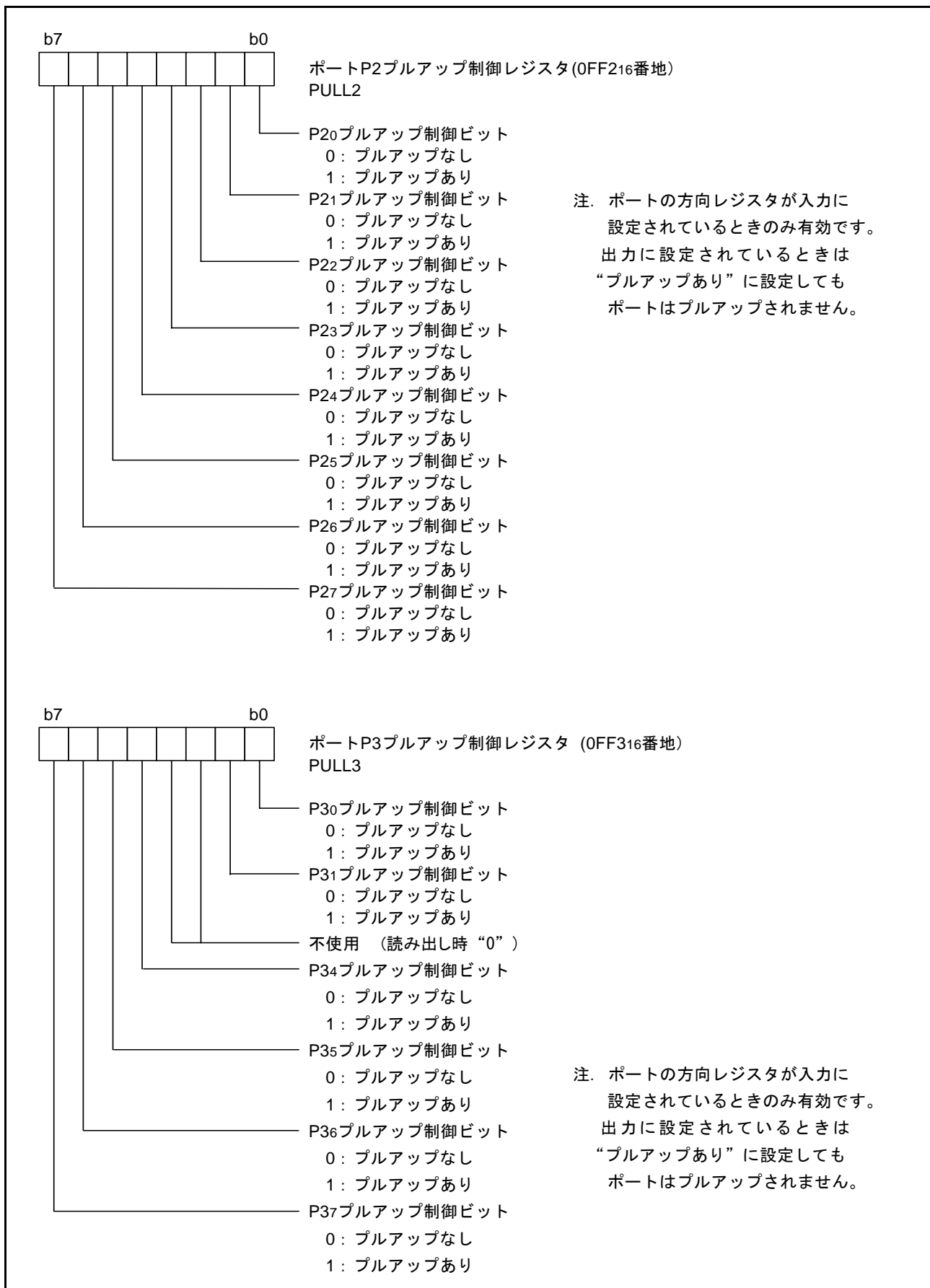


図17. ポートレジスタ構成図(2)

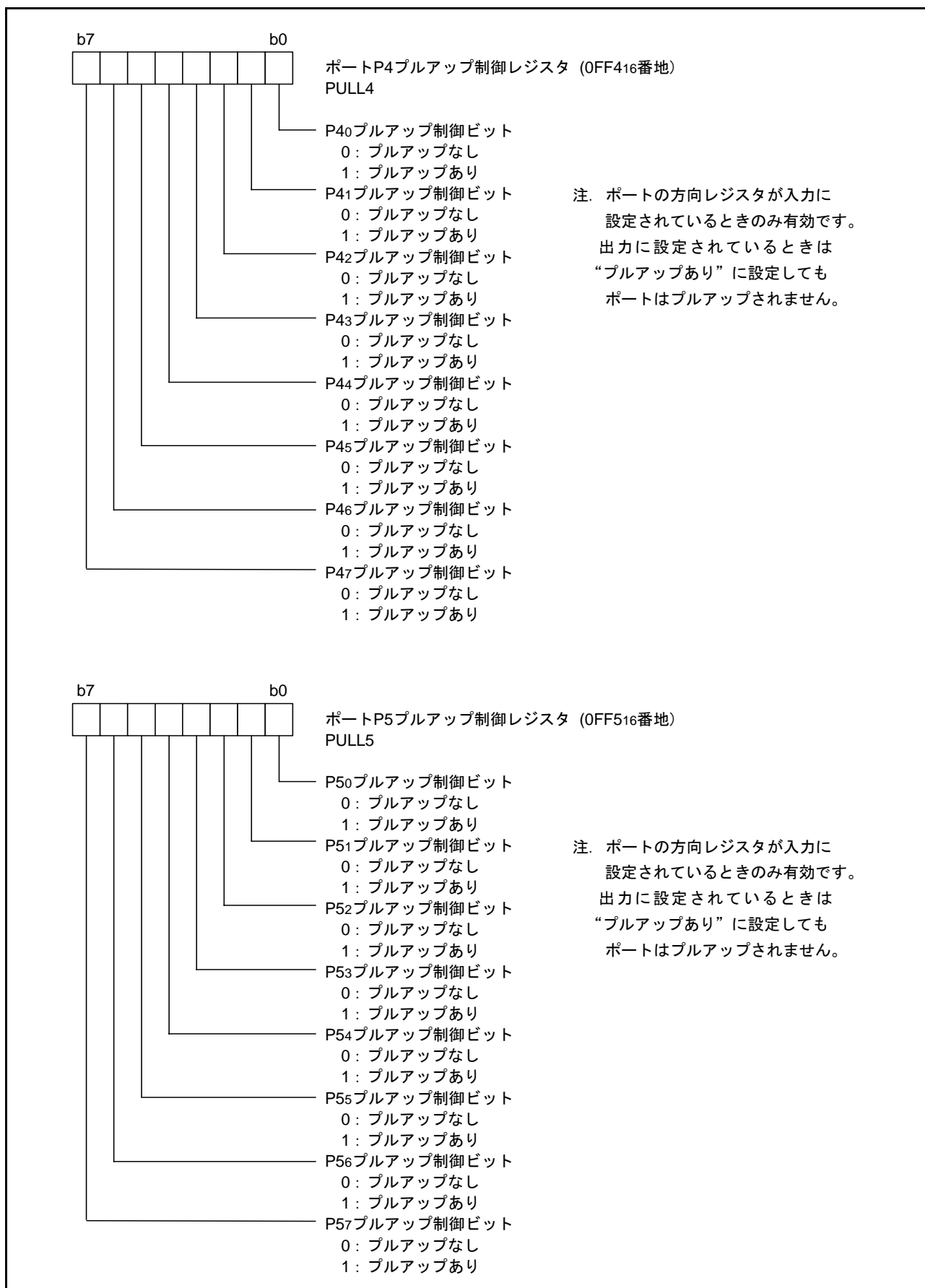


図18. ポートレジスタ構成図(3)

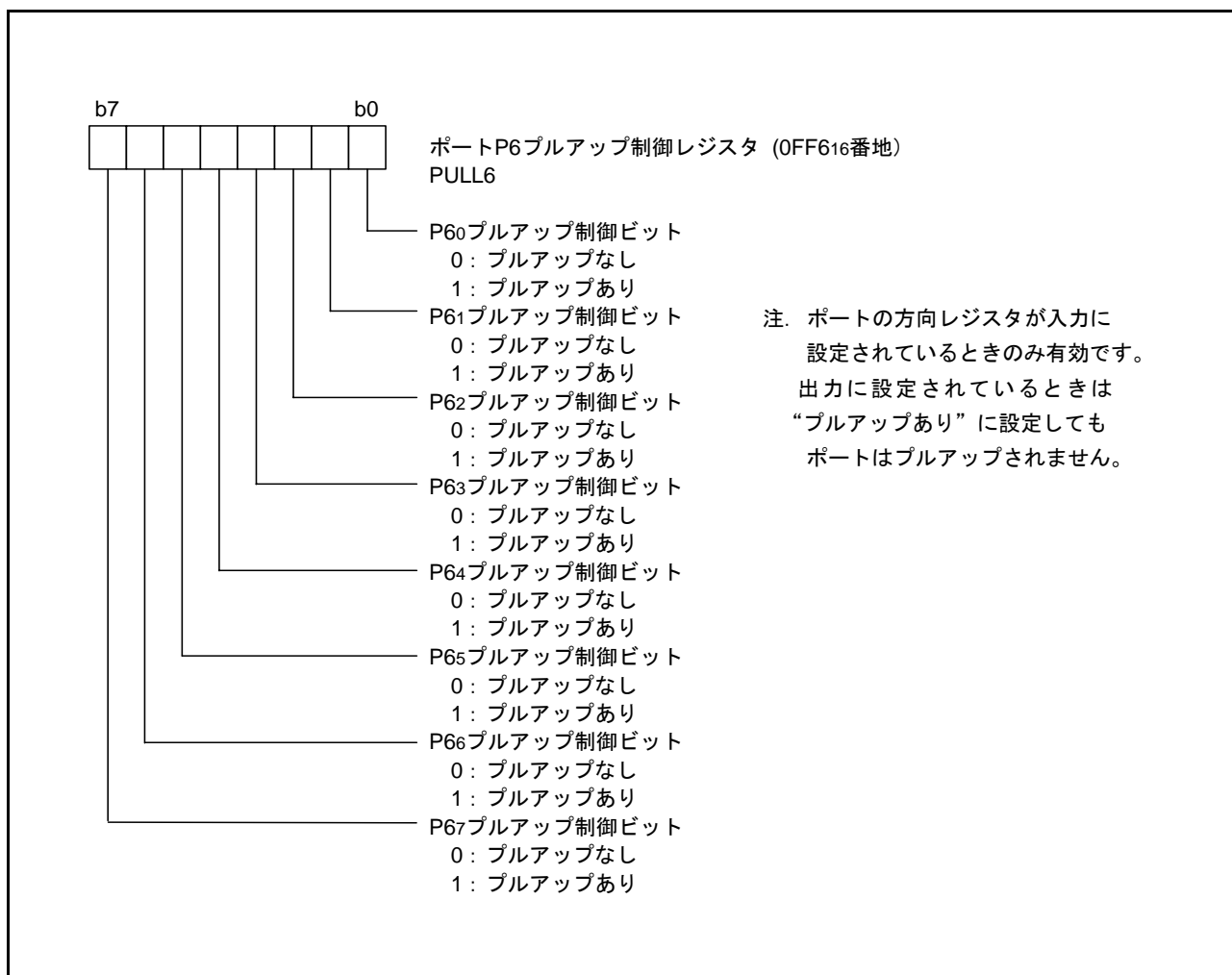


図19. ポートレジスタ構成図(4)

●未使用端子の処理方法

- 一般的な端子の処理方法

入出力ポート: 入力ポート、又は出力ポートを選択し、それぞれの処理方法に従ってください。また、誤動作等を考慮して、関連レジスタを周期的に上書きすることを推奨します。

出力ポート: 開放にしてください。

入力ポート: 入力レベルが不安定な場合は入力回路に貫電源電流が流れ、特に低消費電流を期待する状態(STP、WIT命令実行中など)で、電源電流が増大することがありますので、プルアップ、又はプルダウンしてください(内蔵抵抗使用可)。入出力ポート、及び出力機能を持つ端子を入力ポートとして未使用端子の処理を行う場合は、誤動作などで出力ポートとして動作した場合を想定し、 $I_{OH(ave)}$ 又は $I_{OL(ave)}$ を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

表7. 未使用端子の処理(シングルチップモード時)

端子/ポート名	処理方法
P0、P1、P2、P3、P4、P5、P6	<ul style="list-style-type: none"> 入力モードに設定し、各端子ごとに1 kΩ ~ 10 kΩの抵抗を介してVcc又はVssに接続 出力モードに設定し、“L”又は“H”出力状態で開放
VREF 端子	Vcc又はVss (GND)に接続
AVss 端子	Vss (GND)に接続
XOUT 端子	開放(外部クロック使用時のみ)

割り込み

3803グループ(H仕様QzROM版)の割り込みは、固定優先度方式のベクトル割り込みで、外部8要因、内部12要因、ソフトウェア1要因の21要因のうち16要因から割り込みを発生することが可能です。割り込み要因とベクトル番地(注1)、割り込みの優先順位を表8に示します。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、これらのビットと割り込み禁止フラグ(Iフラグ)によって割り込み要求の受付を制御できます。図20に割り込み制御図を示します。

次の条件がすべて揃ったとき、割り込み要求を受け付けます。

- 割り込み禁止フラグ “0”
- 割り込み要求ビット “1”
- 割り込み許可ビット “1”

割り込みの優先順位は、ハードウェアで固定されていますが、上記のビット及びフラグの使用により、優先処理をプログラムで行えます。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマZ				タイマZアンダフロー時	
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアルI/O1受信	4	FFF7 ₁₆	FFF6 ₁₆	シリアルI/O1データ受信完了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	5	FFF5 ₁₆	FFF4 ₁₆	シリアルI/O1送信シフト終了時または送信バッファ空き時	シリアルI/O1選択時のみ有効
タイマX	6	FFF3 ₁₆	FFF2 ₁₆	タイマXアンダフロー時	
タイマY	7	FFF1 ₁₆	FFF0 ₁₆	タイマYアンダフロー時	
タイマ1	8	FFEF ₁₆	FFEE ₁₆	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	9	FFED ₁₆	FFEC ₁₆	タイマ2アンダフロー時	
CNTR ₀	10	FFEB ₁₆	FFEA ₁₆	CNTR ₀ 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR ₁	11	FFE9 ₁₆	FFE8 ₁₆	CNTR ₁ 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアルI/O3受信				シリアルI/O3データ受信完了時	
シリアルI/O2	12	FFE7 ₁₆	FFE6 ₁₆	シリアルI/O2データ送受信完了時	シリアルI/O2選択時のみ有効
タイマZ				タイマZアンダフロー時	
INT ₂	13	FFE5 ₁₆	FFE4 ₁₆	INT ₂ 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₃	14	FFE3 ₁₆	FFE2 ₁₆	INT ₃ 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₄	15	FFE1 ₁₆	FFE0 ₁₆	INT ₄ 入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR ₂				CNTR ₂ 入力の立ち上がりまたは立ち下がりエッジ検出時	
A/D変換	16	FFDF ₁₆	FFDE ₁₆	A/D変換終了時	シリアルI/O3選択時のみ有効
シリアルI/O3送信				シリアルI/O3送信シフト終了時または送信バッファ空き時	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

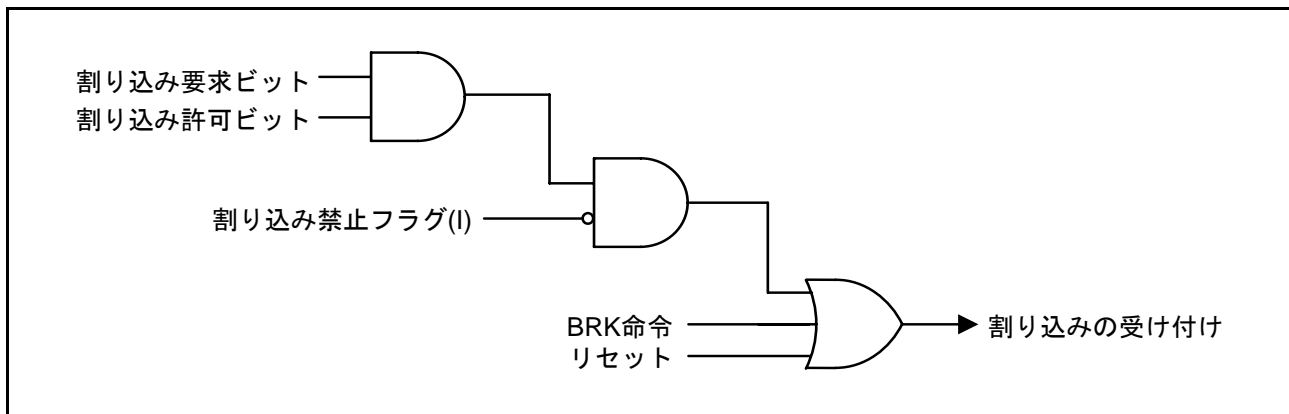


図20. 割り込み制御図

• 割り込み禁止フラグ

プロセッサステータスレジスタのビット2が割り込み禁止フラグです。割り込み禁止フラグは、BRK命令を除くすべての割り込み要求の受け付けを制御するフラグです。

割り込み要求の受け付けは、このフラグを“1”にすると禁止になり、“0”にすると許可になります。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み要求を受け付けると、割り込み禁止フラグが“0”のまま、プロセッサステータスレジスタを退避します。その後、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込みルーチン内でCLI命令を用いて、このフラグを“0”にしてください。

プロセッサステータスレジスタは、RTI命令で復帰します。

• 割り込み要求ビット

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になり、割り込み要求が受け付けられるまで“1”を保持します。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、プログラムで“0”にできますが、“1”にはできません。

• 割り込み許可ビット

割り込み許可ビットは、対応する割り込み要求の受け付けを制御するビットです。

このビットが“0”の場合、割り込み要求の受け付けが禁止になります。この場合、割り込み要求が発生しても、割り込み要求ビットが“1”になるだけで、割り込み要求は受け付けられません。このビットが“1”の場合、割り込み要求の受け付けが許可になります。割り込み許可ビットはプログラムで“0”、又は“1”にできます。

使用しない割り込みの割り込み許可ビットは“0”にしてください。

• 割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(003916番地)によりいずれかを選択することができます。

1. INT0あるいはタイマZ
2. CNTR1あるいはシリアルI/O3受信
3. シリアルI/O2あるいはタイマZ
4. INT4あるいはCNTR2
5. A/D変換あるいはシリアルI/O3送信

• 外部割り込み端子選択

外部割り込みINT0、INT4は、外部入力端子であるINT00、INT40あるいはINT01、INT41のいずれかを割り込みエッジ選択レジスタのINT0、INT4割り込み切り替えビット(003A16番地のビット6)により選択することができます。

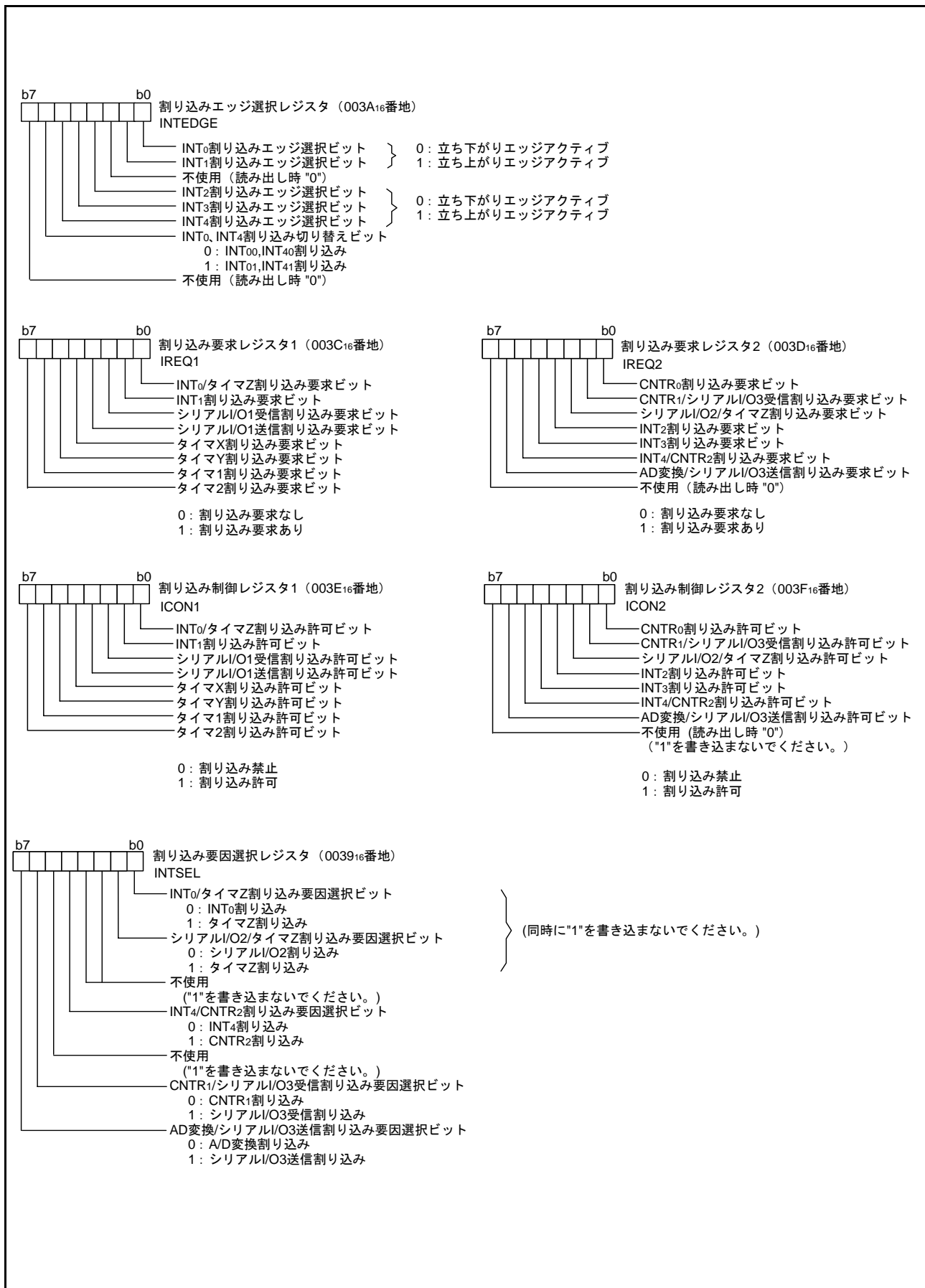


図 21. 割り込み関係レジスタの構成

• 割り込み要求の発生/受け付け/処理

割り込みは、次の3つの段階に分かれます。

(i) 割り込み要求の発生

各種の割り込み要因（外部割り込み信号入力、タイマのアンダフロー等）により割り込み要求が発生し、割り込み要求ビットが“1”になります。

(ii) 割り込み要求の受け付け

命令サイクルごとの割り込み受け付けタイミングで割り込み制御回路が受け付け条件（割り込み要求ビット、割り込み許可ビット、割り込み禁止フラグ）と割り込み優先順位を判定して、割り込み要求を受け付けます。同じタイミングで複数の割り込み要求がある場合は、それらの中で最も優先順位の高い割り込み要求を受け付けます。受け付けられなかった割り込みの割り込み要求ビットは保持され、次の割り込み受け付けタイミングで再度受け付けを判定されます。

(iii) 受け付けた割り込みの処理

受け付けた割り込みの処理を実行します。

割り込みルーチンを実行するまでの時間を図22、割り込みシーケンスを図23、割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミングを図24に示します。

• 割り込み処理実行

割り込み処理実行時、次の動作を自動的に行います。

- (1) 現在実行中の命令が終了すると、割り込み要求を受け付けます。
- (2) この時点のプログラムカウンタ及びプロセッサステータスレジスタの内容を①→②→③の順でスタック領域へ退避します。
 - ①プログラムカウンタ上位(PCH)
 - ②プログラムカウンタ下位(PCL)
 - ③プロセッサステータスレジスタ(PS)
- (3) 退避と同時に、対応する割り込みの飛び先番地（割り込みルーチンの先頭番地）を割り込みベクトルからプログラムカウンタへ転送します。
- (4) 対応する割り込みの割り込み要求ビットが“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止になります。
- (5) 割り込みルーチンを実行します。
- (6) RTI命令を実行すると、スタック領域に退避していたレジスタの内容を③→②→①の順に復帰し、割り込み処理前のルーチンを継続します。

したがって、割り込みルーチンを実行するためには、スタックポインタの設定及び各割り込みに対応したベクトル内への飛び先番地の設定が必要です。

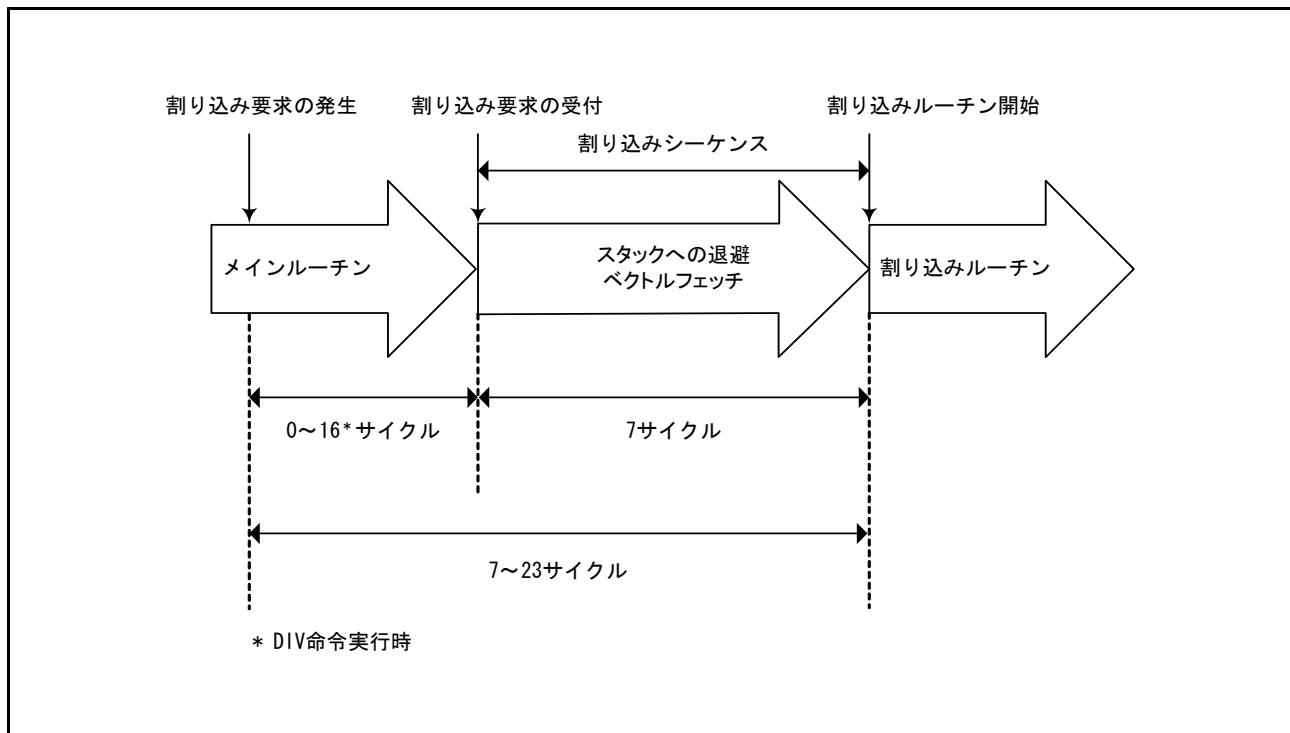


図22. 割り込みルーチンを実行するまでの時間

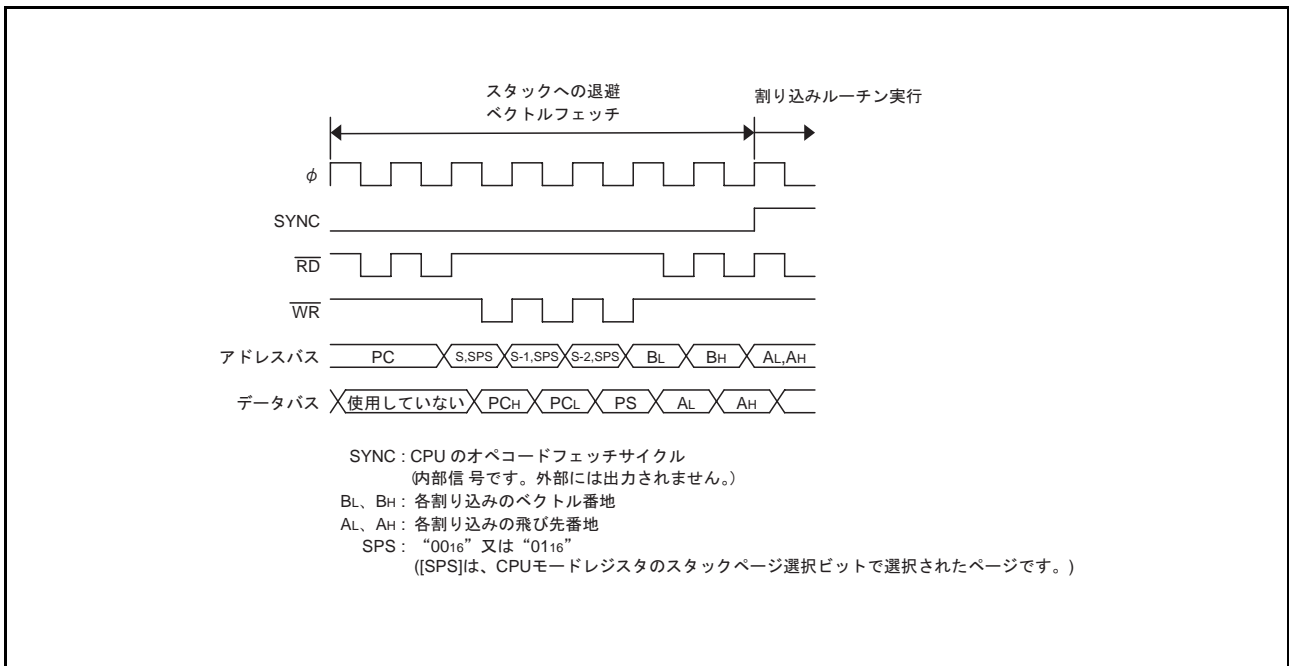


図23. 割り込みシーケンス

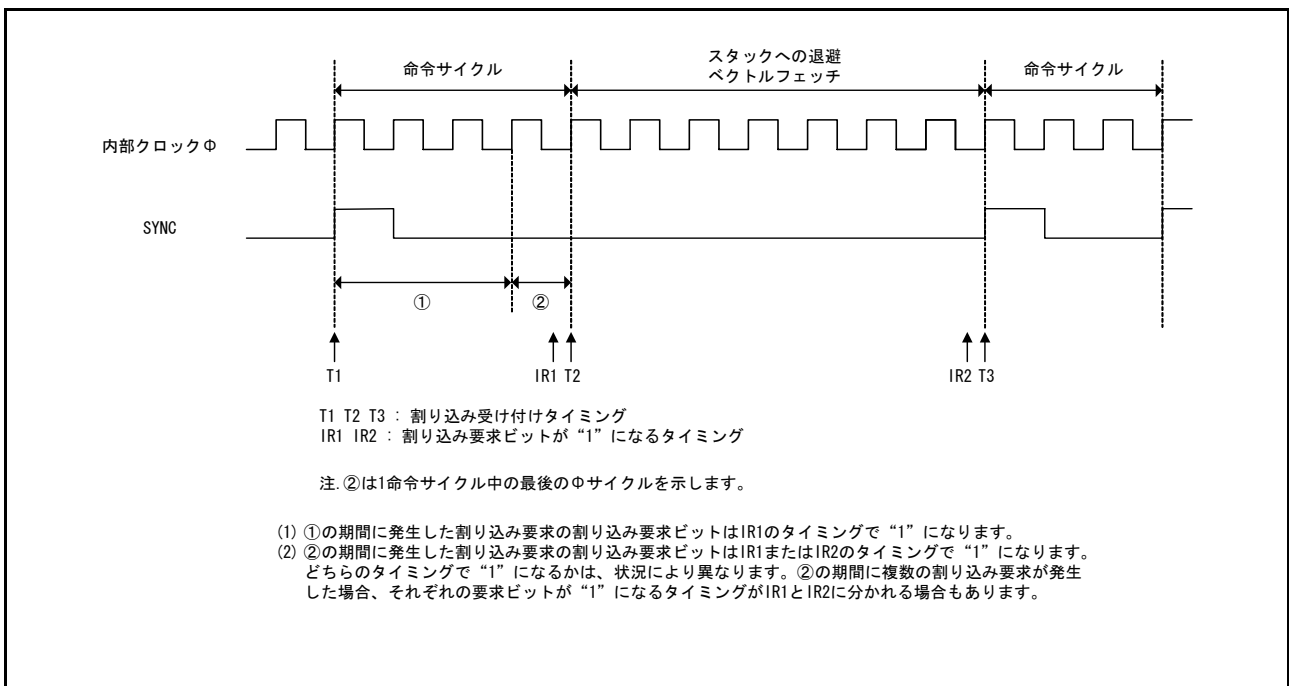


図24. 割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミング

■注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

<外部割り込みのアクティブエッジを切り替えるとき>

- INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット0)
- INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット1)
- INT2割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット3)
- INT3割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット4)
- INT4割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット5)
- CNTR0極性切り替えビット
(タイマXYモードレジスタ(002316番地)のビット2)
- CNTR1極性切り替えビット
(タイマXYモードレジスタ(002316番地)のビット6)
- CNTR2極性切り替えビット
(タイマZモードレジスタ(002A16番地)のビット5)

<複数の割り込み要因で共有している割り込みベクトルの割り込み要因を切り替えるとき>

- INT0、INT4割り込み切り替えビット
(割り込みエッジ選択レジスタ(003A16番地)のビット6)
- INT0/タイマZ割り込み要因選択ビット
(割り込み要因選択レジスタ(003916番地)のビット0)
- シリアルI/O2/タイマZ割り込み要因選択ビット
(割り込み要因選択レジスタ(003916番地)のビット1)
- INT4/CNTR2割り込み要因選択ビット
(割り込み要因選択レジスタ(003916番地)のビット4)
- CNTR1/シリアルI/O3受信割り込み要因選択ビット
(割り込み要因選択レジスタ(003916番地)のビット6)
- AD変換/シリアルI/O3送信割り込み要因選択ビット
(割り込み要因選択レジスタ(003916番地)のビット7)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1)該当する割り込み許可ビットを“0”(禁止)にする。
- (2)割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3)一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- (4)該当する割り込み許可ビットを“1”(許可)にする。

タイマ

●8ビットタイマ

タイマ1,タイマ2,タイマX,タイマYは8ビットのタイマで、タイマ1、タイマ2に共通で1本、タイマX、タイマYにそれぞれ1本ずつ8ビットプリスケアラを内蔵しています。それぞれのタイマ、プリスケアラにはタイマラッチ、プリスケアララッチを持っています。

すべてのタイマおよびプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされ、カウントダウンが継続されます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

• タイマ用分周器

分周器のカウントソースは、CPUモードレジスタ(003B₁₆番地)のメインクロック分周比選択ビット(b7, b6)が“00”(高速モード)、“01”(中速モード)のときはX_{IN}となり、“10”(低速モード)のときはX_{CIN}となります。

• プリスケアラ12

プリスケアラ12はタイマ用分周器の出力をカウントします。カウントソースは、タイマ12, Xカウントソース選択レジスタ(000E₁₆番地)で制御され、f(X_{IN})またはf(X_{CIN})のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024が選択できます。

• タイマ1、タイマ2

タイマ1およびタイマ2は、常にプリスケアラ12の出力をカウントし、周期的に割り込み要求ビットをセットします。

• プリスケアラX、プリスケアラY

プリスケアラX, プリスケアラYはタイマ用分周器の出力、またはf(X_{CIN})をカウントします。カウントソースは、タイマ12, Xカウントソース選択レジスタ(000E₁₆番地)、タイマY, Zカウントソース選択レジスタ(000F₁₆番地)で制御され、f(X_{IN})またはf(X_{CIN})のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024、またはf(X_{CIN})が選択できます。

• タイマX、タイマY

タイマXYモードレジスタ(0023₁₆番地)を設定することにより、それぞれ4つの動作モードを選択することができます。

(1) タイマモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“00”に設定することによりこのモードが選択されます。

<動作説明>

タイマカウント動作はタイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)に“0”を設定することにより開始します。タイマの内容が“00”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。

(2) パルス出力モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“01”に設定することによりこのモードが選択されます。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR₀/CNTR₁端子から出力することを除けば、タイマモードと同じ動作をします。タイマカウント動作停止中/許可中に関わらずCNTR₀/CNTR₁端子の出力はタイマへの書き込みによってCNTR₀/CNTR₁極性切り替えビットで設定されるレベルに初期化されます。タイマXYモードレジスタ(0023₁₆番地)のCNTR₀極性切り替えビット(b2)、CNTR₁極性切り替えビット(b6)が“0”のときはCNTR₀/CNTR₁端子の出力は“H”出力から開始します。“1”のときは“L”出力から開始します。

CNTR₀/CNTR₁極性切り替えビットの値を書き替えると、CNTR₀/CNTR₁端子の出力レベルが反転します。

<注意事項>

このモードではCNTR₀/CNTR₁端子と共用のポートP54/P55を出力に設定してください。

(3) イベントカウンタモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“10”に設定することによりこのモードが選択されます。

<動作説明>

CNTR₀/CNTR₁端子からの入力信号をカウントすること除けば、タイマモードと同じ動作をします。カウント動作の有効エッジはタイマXYモードレジスタ(0023₁₆番地)のCNTR₀極性切り替えビット(b2)、CNTR₁極性切り替えビット(b6)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

<注意事項>

このモードではCNTR₀/CNTR₁端子と共用のポートP54/P55を入力に設定してください。

(4) パルス幅測定モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“11”に設定することによりこのモードが選択されます。

<動作説明>

タイマXYモードレジスタ(0023₁₆番地)のCNTR₀極性切り替えビット(b2)、CNTR₁極性切り替えビット(b6)が“1”の場合はCNTR₀/CNTR₁端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。また、“0”の場合はCNTR₀/CNTR₁端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。

<注意事項>

このモードではCNTR₀/CNTR₁端子と共用のポートP54/P55を入力に設定してください。

いずれのモードでも、タイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)を“1”に設定することによりカウントを停止することが可能です。

また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

• カウントソース切り替え時の注意

タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラおよびタイマに値を設定してください。

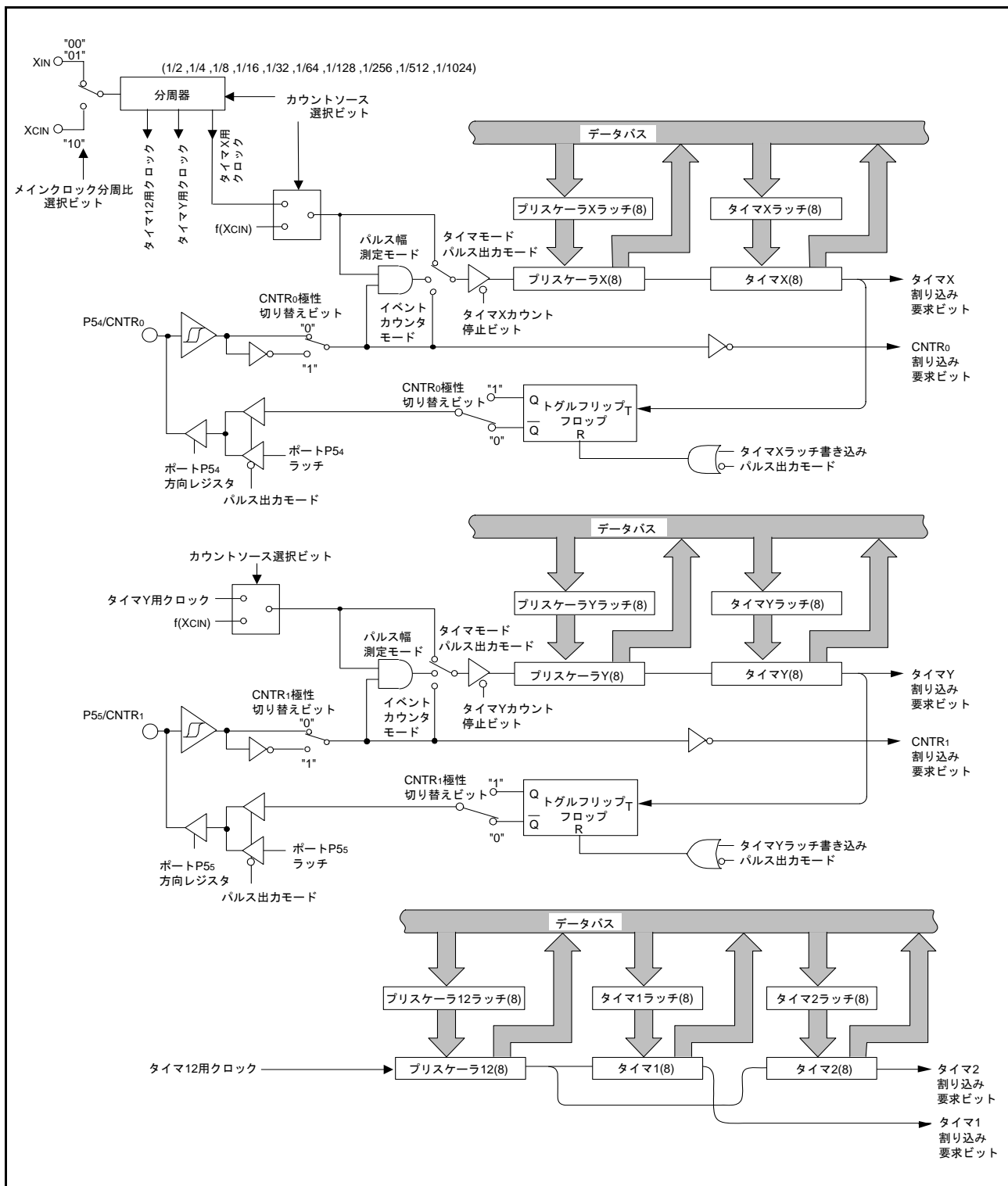


図25. タイマX, タイマY, タイマ1およびタイマ2のブロック図

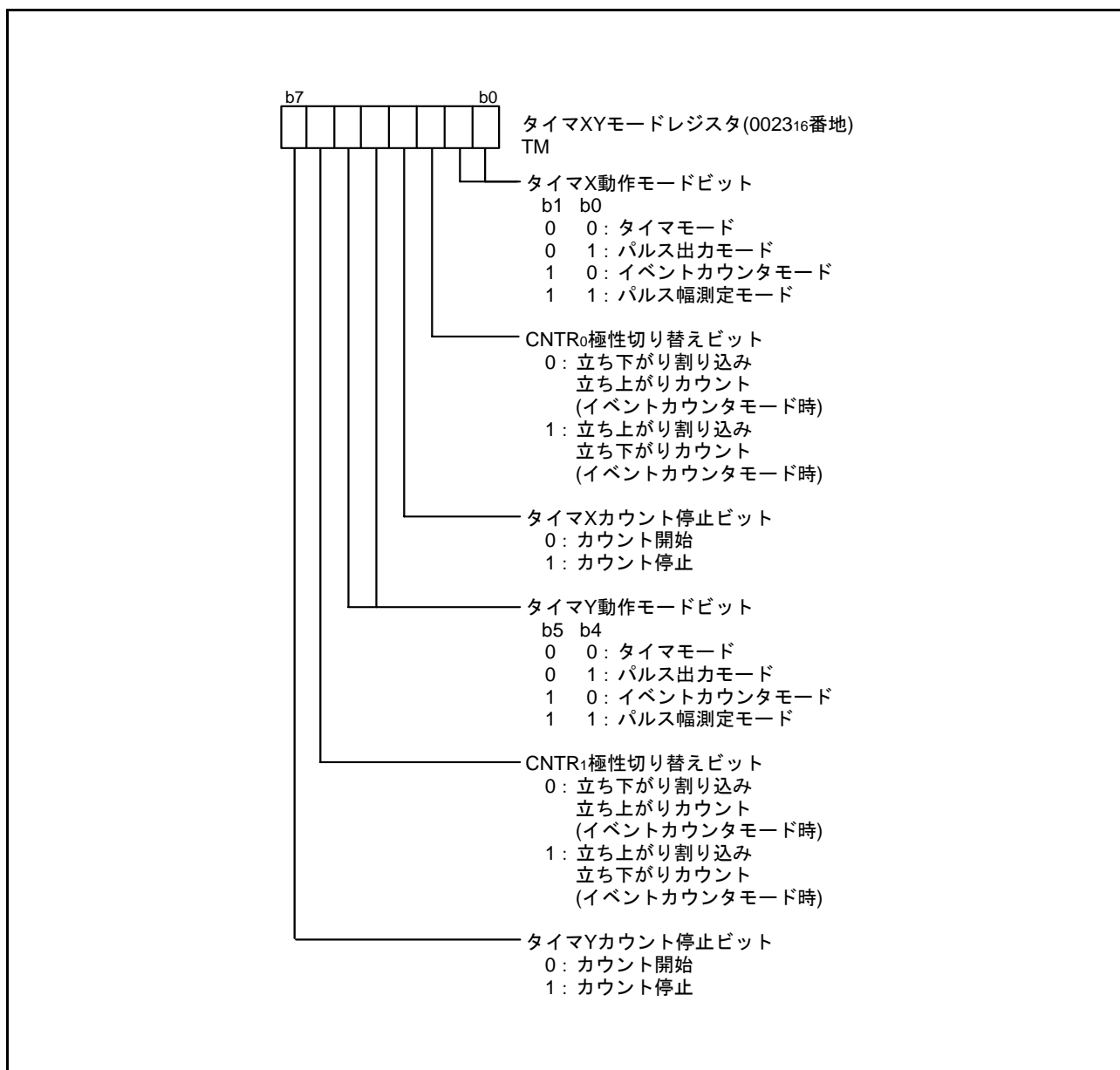


図26. タイマXYモードレジスタの構成

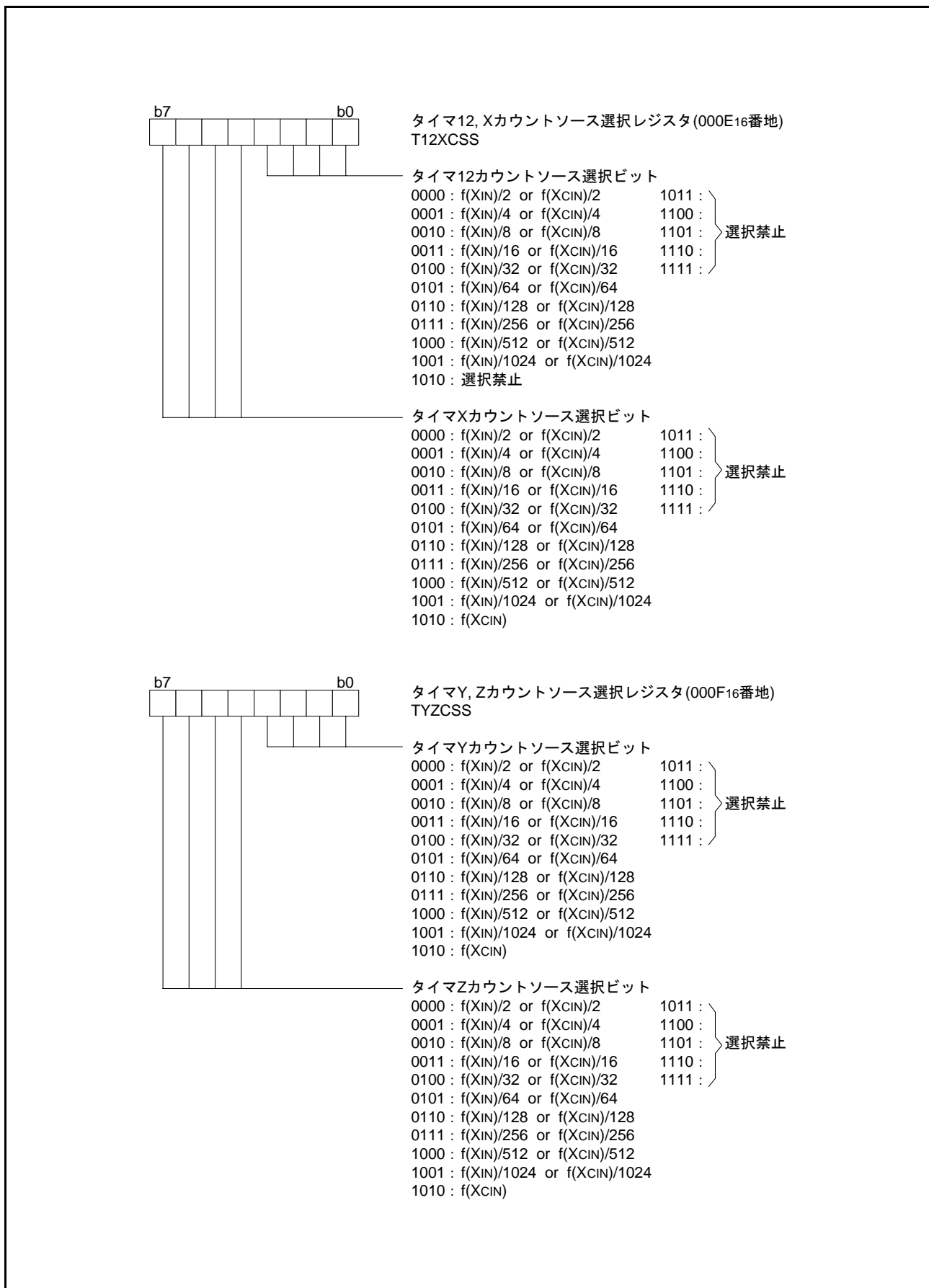


図27. タイマ12, X, Y, Zカウントソース選択レジスタの構成

●16ビットタイマ

タイマZは16ビットのタイマで、タイマの内容が“000016”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマZに対応する割り込み要求ビットが“1”にセットされます。

タイマZを読み書きする場合は、必ず上位バイト、下位バイトとも読み書きしてください。タイマZの値を読み出す場合は、上位バイト、下位バイトの順に読み出しを行い、上位バイトの読み出し操作と下位バイトの読み出し操作の間にタイマZへの書き込みを行わないでください。タイマZへ値を書き込む場合は、下位バイト、上位バイトの順に書き込みを行い、下位バイトへの書き込み操作と上位バイトへの書き込み操作の間にタイマZの読み出しを行わないでください。

タイマY,Zカウントソース選択レジスタ(000F16番地)のタイマZカウントソース選択ビット(b7, b6, b5, b4)によりカウントソースを選択することができます。

タイマZはタイマZモードレジスタにより7つの動作モードを選択することができます。

(1) タイマモード

<モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“000”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー発生時、割り込み要求レジスタ1(003C16番地)のINT0/タイマZ割り込み要求ビット(b0)が“1”になります。

<動作説明>

タイマ停止状態では、通常ラッチおよびタイマへの同時書き込みによってタイマの値を設定します。タイマ動作はタイマZモードレジスタ(002A16番地)のタイマZカウント停止ビット(b6)に“0”を設定することにより開始します。タイマの内容が“000016”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。カウント動作中にタイマの値を変更する場合は、ラッチのみへの書き込みによってラッチの値を変更することにより、次のアンダフロー時にタイマラッチのリロードでタイマの値が変更されます。

(2) イベントカウンタモード

<モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“000”に設定し、かつ、タイマモード/イベントカウンタモード切り替えビット(b7)を“1”に設定することによりこのモードを選択します。カウント動作の有効エッジはタイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマモードの動作説明と同様です。このモードではCNTR2端子と共用のポートP47を入力に設定してください。

図30にタイマ・イベントカウンタモードのタイミング図を示します。

(3) パルス出力モード

<モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“001”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

<カウントソース選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルス CNTR2端子から出力することを除けば、タイマモードと同じ動作をします。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”のときはCNTR2端子の出力は“H”出力から開始します。“1”のときは“L”出力から開始します。

<注意事項>

このモードを選択すると、CNTR2端子と共用のポートP47は自動的にタイマパルス出力ポートに設定されます。

CNTR2端子の出力はタイマへの書き込みによってCNTR2極性切り替えビットで設定されるレベルに初期化されます。

CNTR2極性切り替えビットの値を書き替えるとCNTR2端子の出力レベルが反転します。

図31にパルス出力モードのタイミング図を示します。

(4) パルス周期測定モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“010”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

パルス周期測定終了と同時に割り込み要求レジスタ2(003D16番地)のINT4/CNTR2割り込み要求ビット(b5)が“1”になります。

<動作説明>

CNTR2端子から入力されたパルスの周期を測定します。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”の場合はCNTR2端子入力の立ち下がりから次の立ち下がりまでの期間中カウントします。“1”の場合はCNTR2端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマには“FFFF16”が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマには“FFFF16”が設定されます。タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

図32にパルス周期測定モードのタイミング図を示します。

(5) パルス幅測定モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“011”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードになります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

パルス幅測定終了と同時に割り込み要求レジスタ2(003D16番地)のINT4/CNTR2割り込み要求ビット(b5)が“1”になります。

<動作説明>

CNTR2端子から入力されたパルス幅を測定します。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”の場合はCNTR2端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“1”の場合はCNTR2端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれます。また、測定終了/開始の有効エッジを検出した場合、タイマには“FFFF16”が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマには“FFFF16”が設定されます。

タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス幅未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。

よってパルス幅測定開始時のタイマの値は、測定開始以前のタイマの値に依存します。

図33にパルス幅測定モードのタイミング図を示します。

(6) プログラマブル波形発生モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“100”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびにタイマZモードレジスタ(002A16番地)のアウトプットレベルラッチ(b4)に設定された値のレベルをCNTR2端子より出力することを除けば、タイマモードと同じ動作をします。アンダフロー発生後、アウトプットレベルラッチとタイマラッチの値を変更することによって、任意の波形をCNTR2端子より発生することが可能です。

<注意事項>

このモードを選択するとCNTR2端子と共用のポートP47は自動的にプログラマブル波形発生ポートに設定されます。

図34にプログラマブル波形発生モードのタイミング図を示します。

(7) プログラマブルワンショット発生モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“101”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同じです。ワンショット発生のトリガは、割り込みエッジ選択レジスタ(003A16番地)のINT1割り込みエッジ選択ビット(b1)の設定により、“0”のときは立ち下がりエッジアクティブ、“1”のときは立ち上がりエッジアクティブを選択します。またINT1端子の有効エッジ検出によって、割り込み要求レジスタ1(003C16番地)のINT1割り込み要求ビット(b1)が“1”になります。

<動作説明>**“H”ワンショットパルスの場合：****タイマZモードレジスタのb5=“0”**

CNTR2端子の出力レベルは、モード選択時“L”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“H”を出力し、タイマのアンダフローによって“L”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“H”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“H”が出力されますが、アンダフローが発生しないため“H”出力状態が続きます。

“L”ワンショットパルスの場合：**タイマZモードレジスタのb5=“1”**

CNTR2端子の出力レベルはモード選択時“H”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“L”を出力し、タイマのアンダフローによって“H”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“L”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“L”が出力されますが、アンダフローが発生しないため“L”出力状態が続きます。

<注意事項>

このモードではINT1端子と共用のポートP42を入力に設定してください。

CNTR2端子と共用のポートP47はこのモードを選択すると自動的にプログラマブル波形発生ポートに設定されます。

低速モード選択時このモードは使用できません。

ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

図35にプログラマブルワンショット発生モードのタイミング図を示します。

■全モードにおいての注意事項

• タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A16番地)のタイマZ書き込み制御ビット(b3)によってラッチおよびタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチおよびタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なおラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

• タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

• CNTR2、INT1割り込み極性切り替えについての注意

CNTR2極性切り替えビット、INT1割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

• カウントソース切り替え時の注意

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

• CNTR2端子を通常入出力ポートP47としてご使用される場合の注意

CNTR2端子と共用のポートP47を通常入出力ポートとしてご使用される場合は、タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2,b1,b0)を“000”に設定してください。

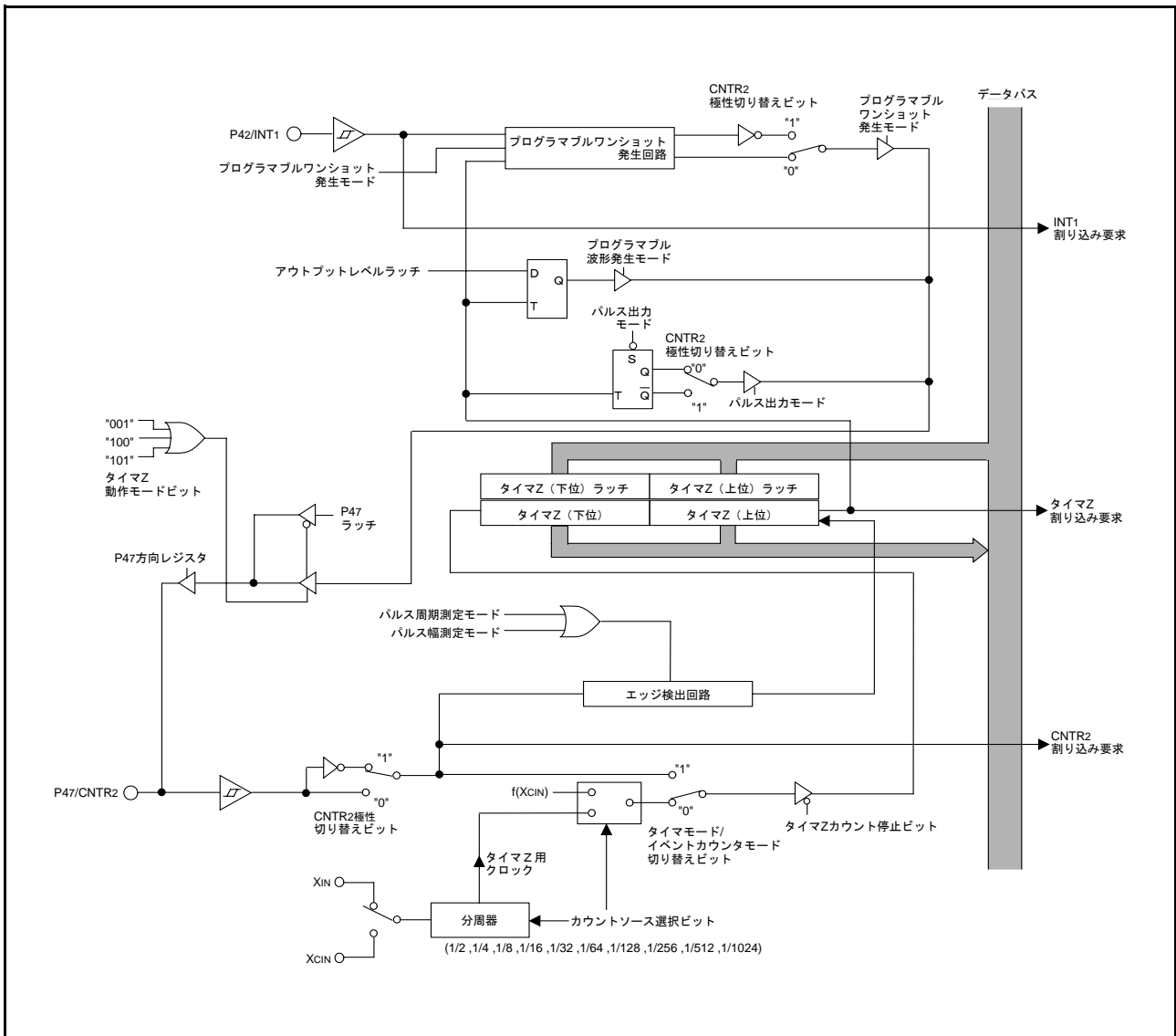


図28. タイマZのブロック図

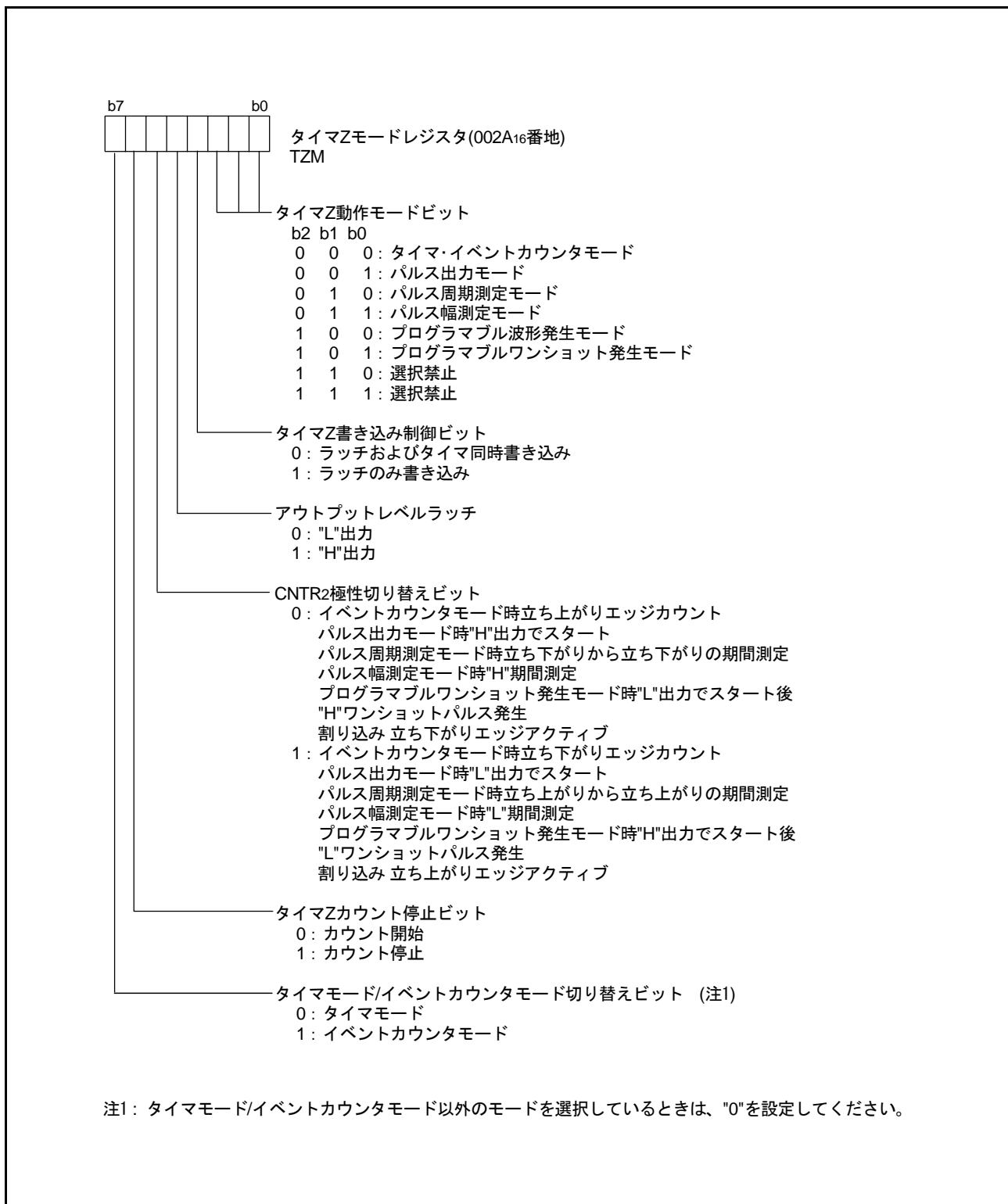


図29. タイマZモードレジスタの構成

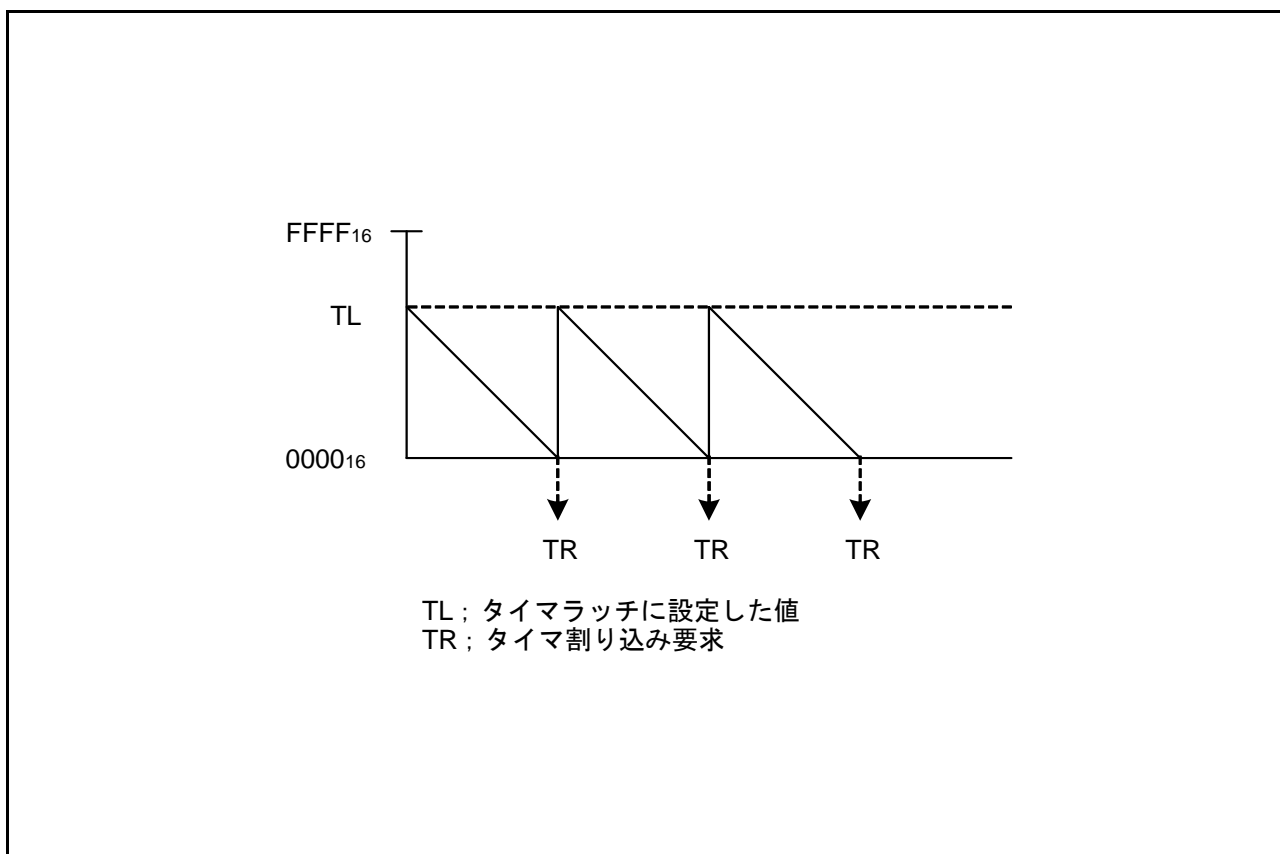


図30. タイマ・イベントカウンタモードのタイミング図

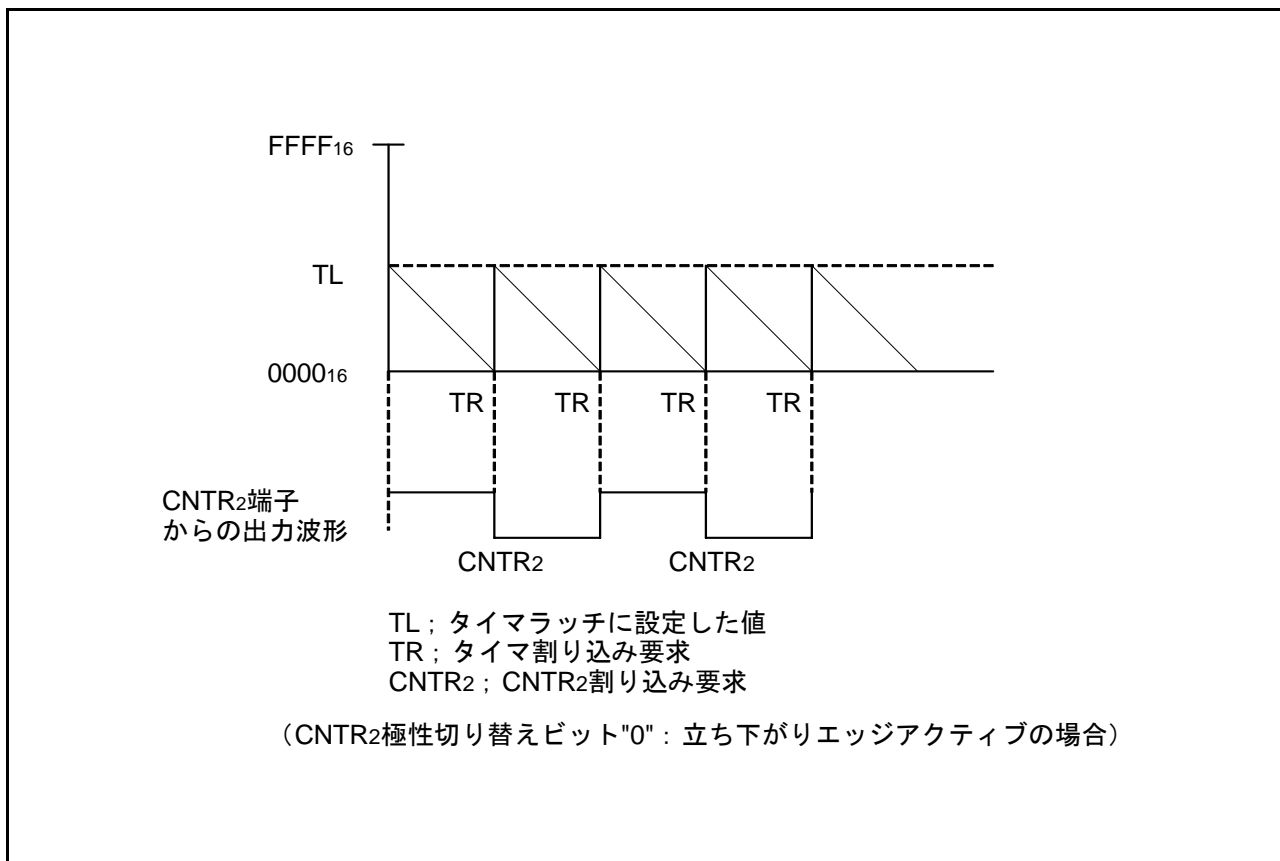


図31. パルス出力モードのタイミング図

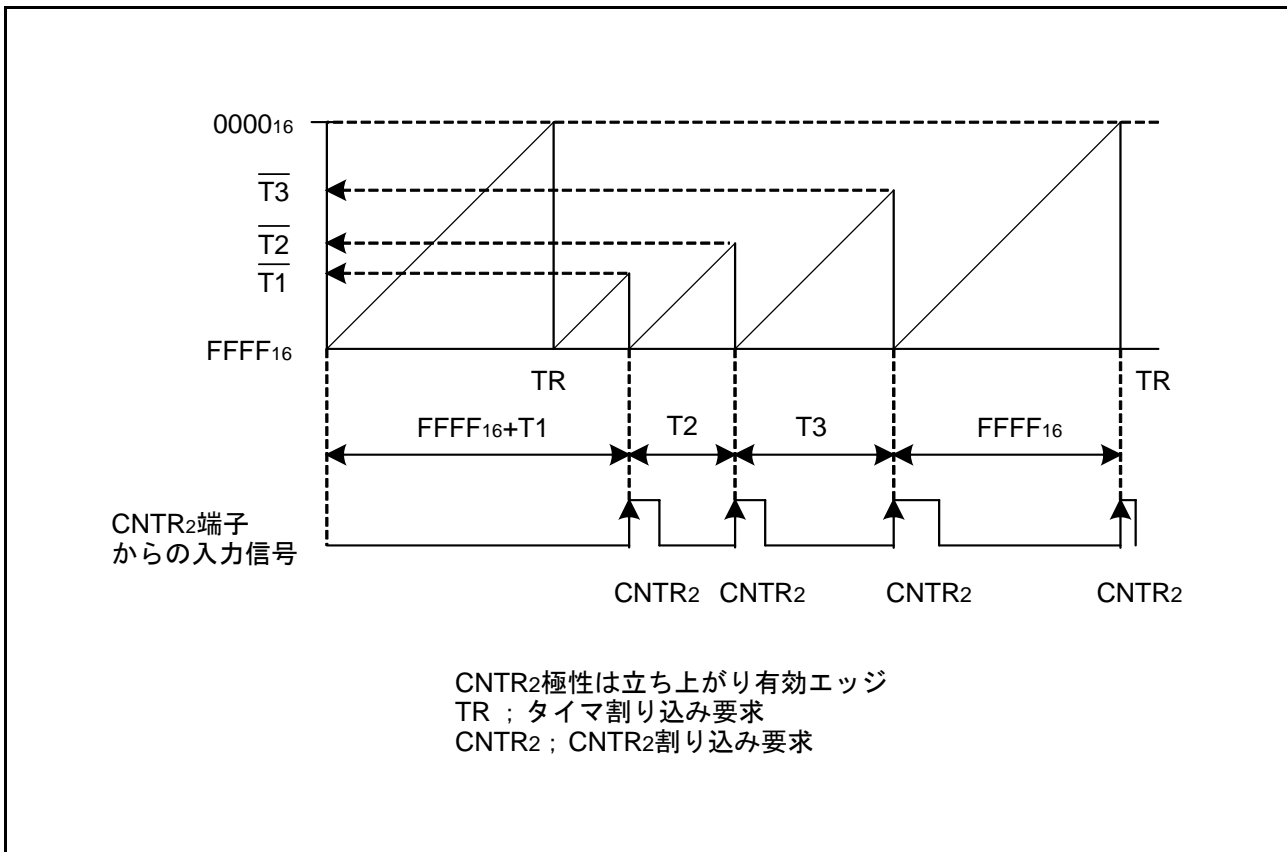


図32. パルス周期測定モードのタイミング図 (立ち上がり区間測定時)

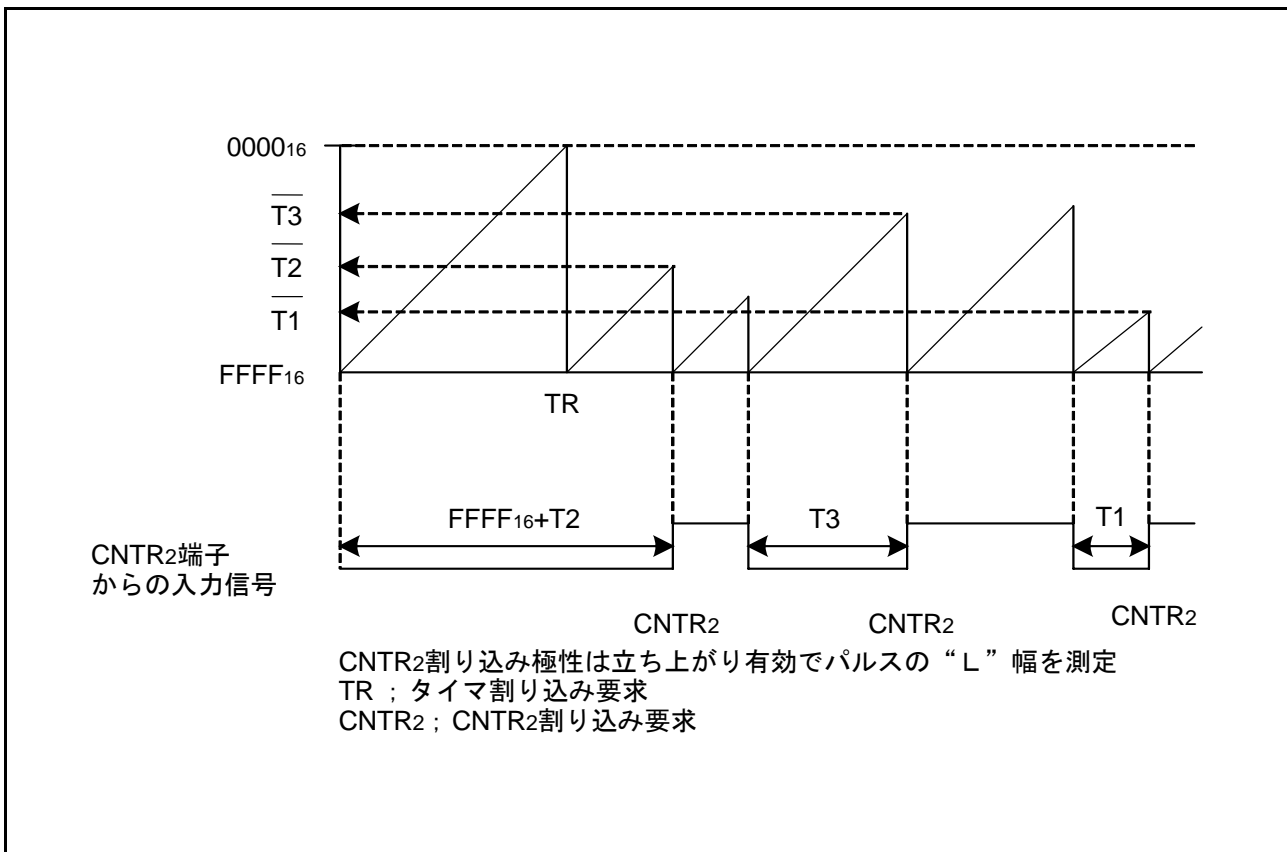


図33. パルス幅測定モードのタイミング図 (“L区間”測定時)

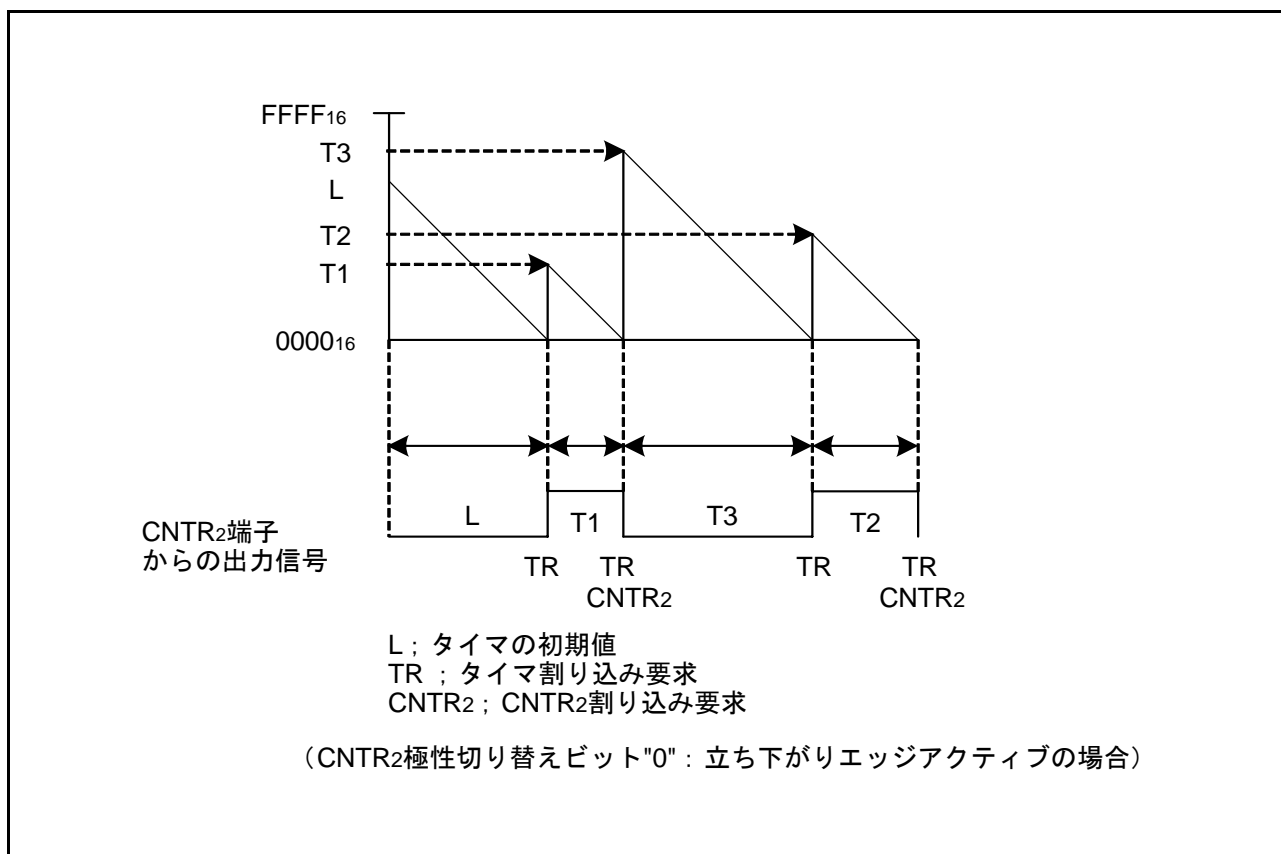


図34. プログラマブル波形発生モードのタイミング図

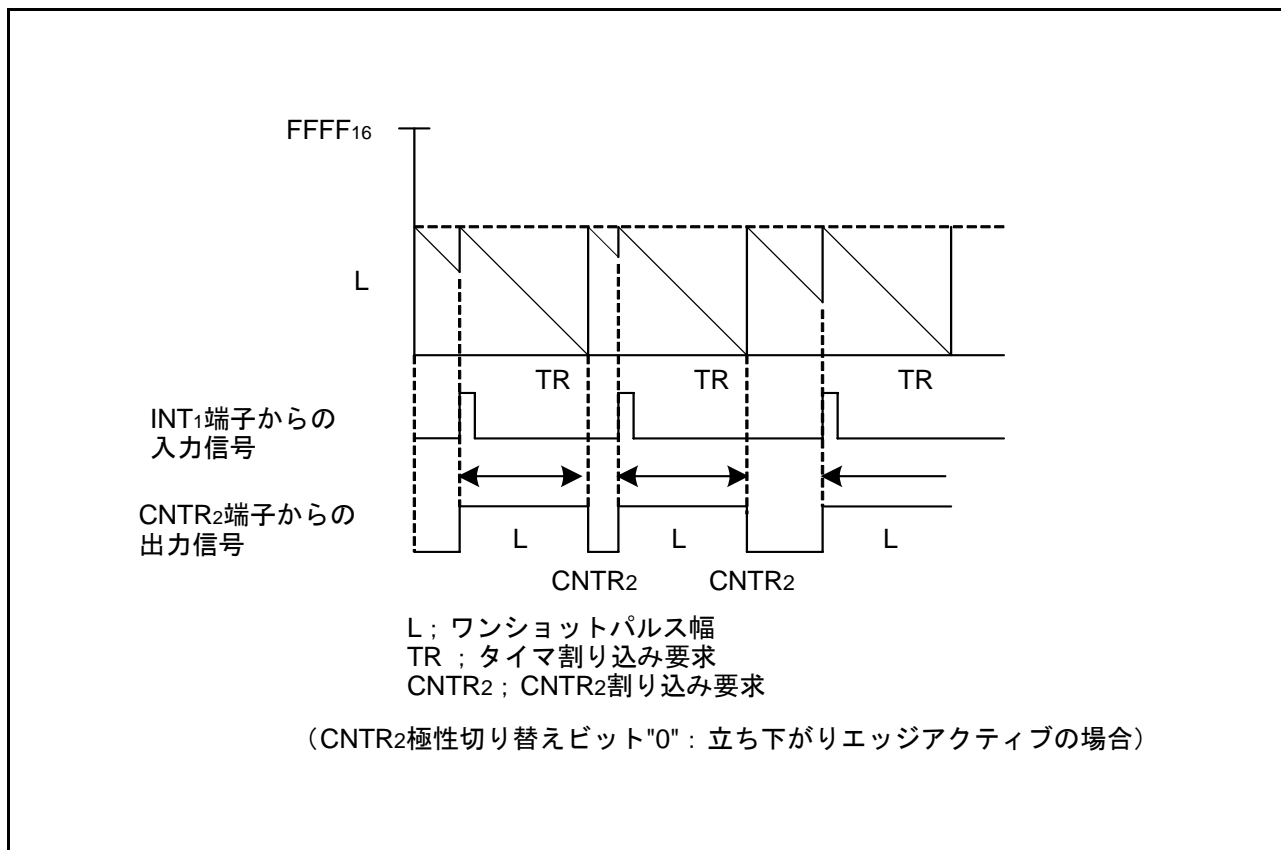


図35. プログラマブルワンショット発生モードのタイミング図 (“H” ワンショットパルス発生時)

シリアルインタフェース

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

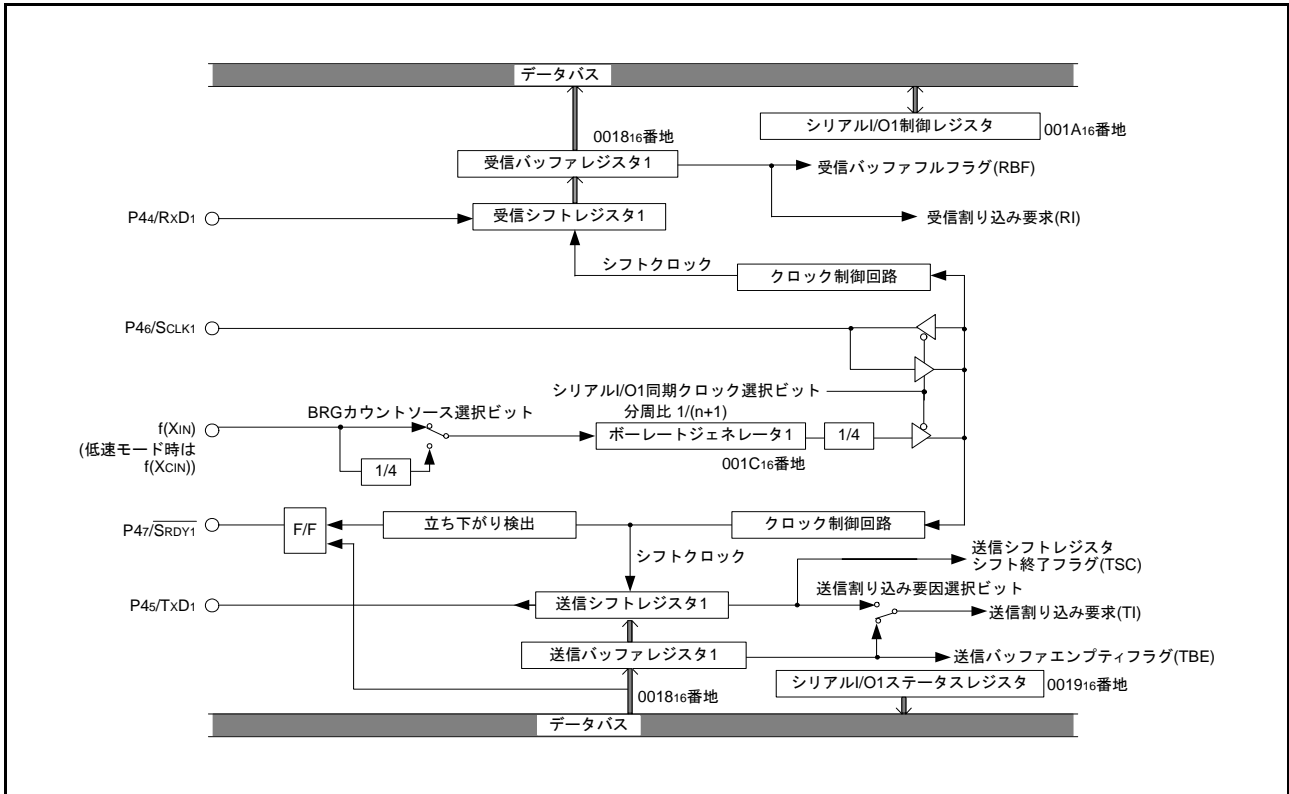


図36. クロック同期形シリアルI/O1ブロック図

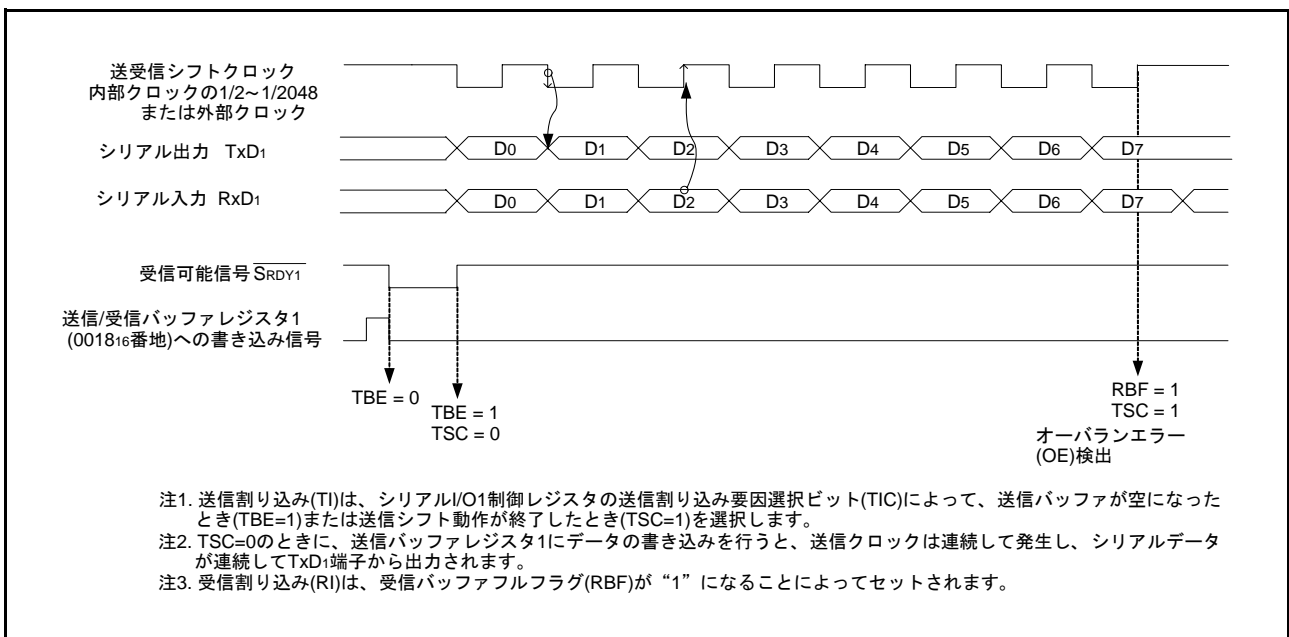


図37. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタ1

を持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタ1に対して行います。また、これらのバッファレジスタ1によって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

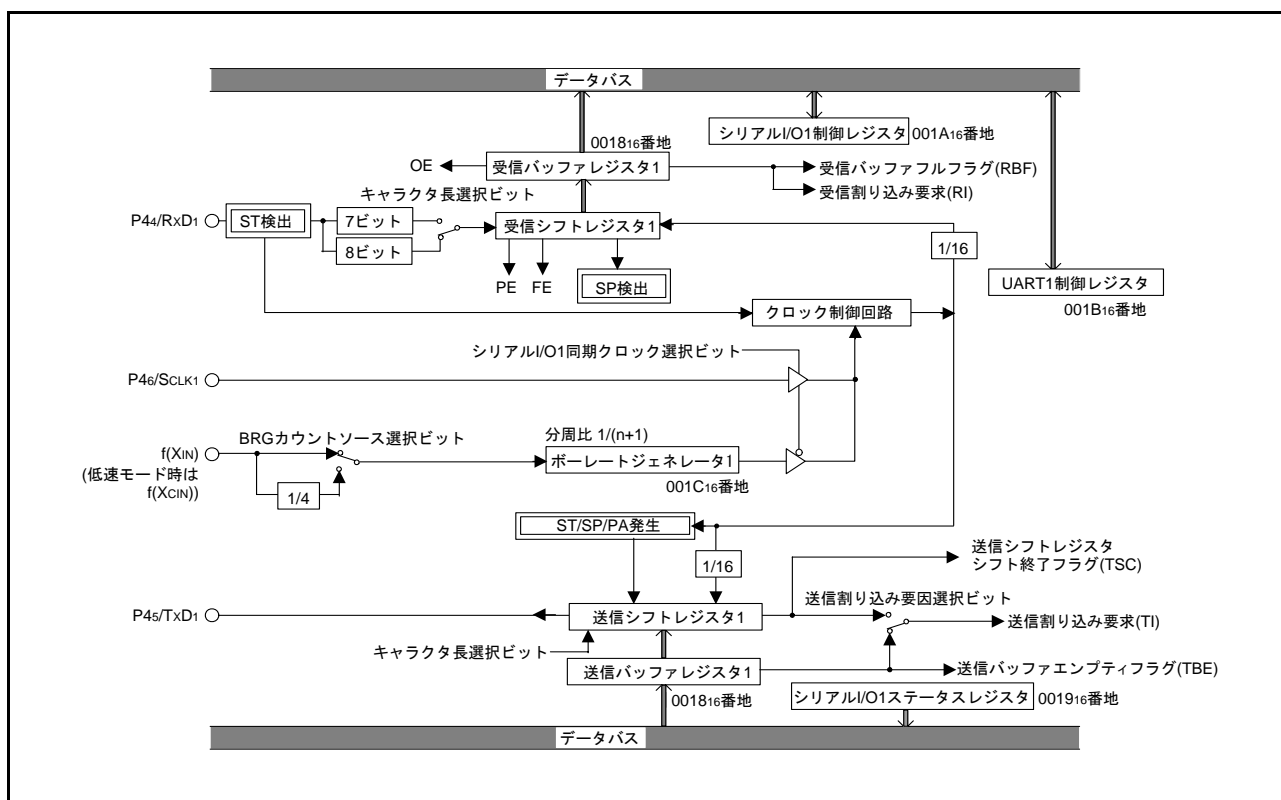


図38. UART形シリアルI/O1ブロック図

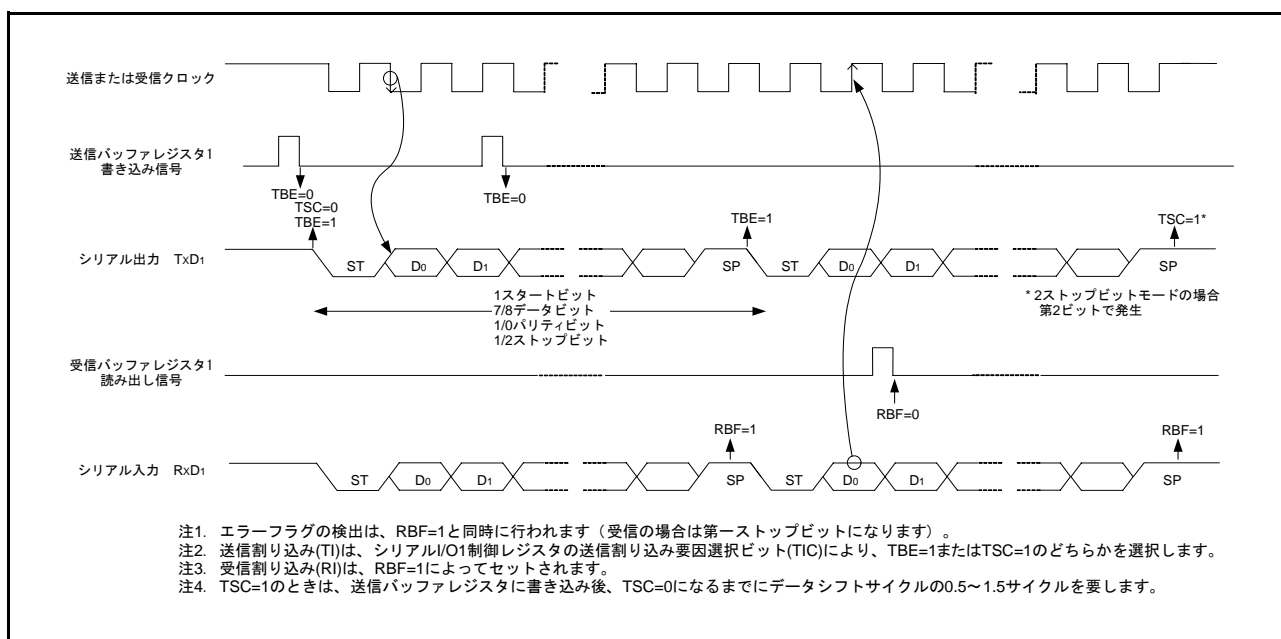


図39. UART形シリアルI/O1動作図

【送信バッファレジスタ1/受信バッファレジスタ1】TB1/RB1

送信バッファレジスタ1と受信バッファレジスタ1は同じアドレスに配置されており、送信バッファレジスタ1は書き込み専用、受信バッファレジスタ1は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ1に格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタ1を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタ1から受信バッファレジスタ1に転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1制御レジスタのシリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART1制御レジスタ】UART1CON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD1端子の出力形式などを設定します。

【ボーレートジェネレータ1】BRG1

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

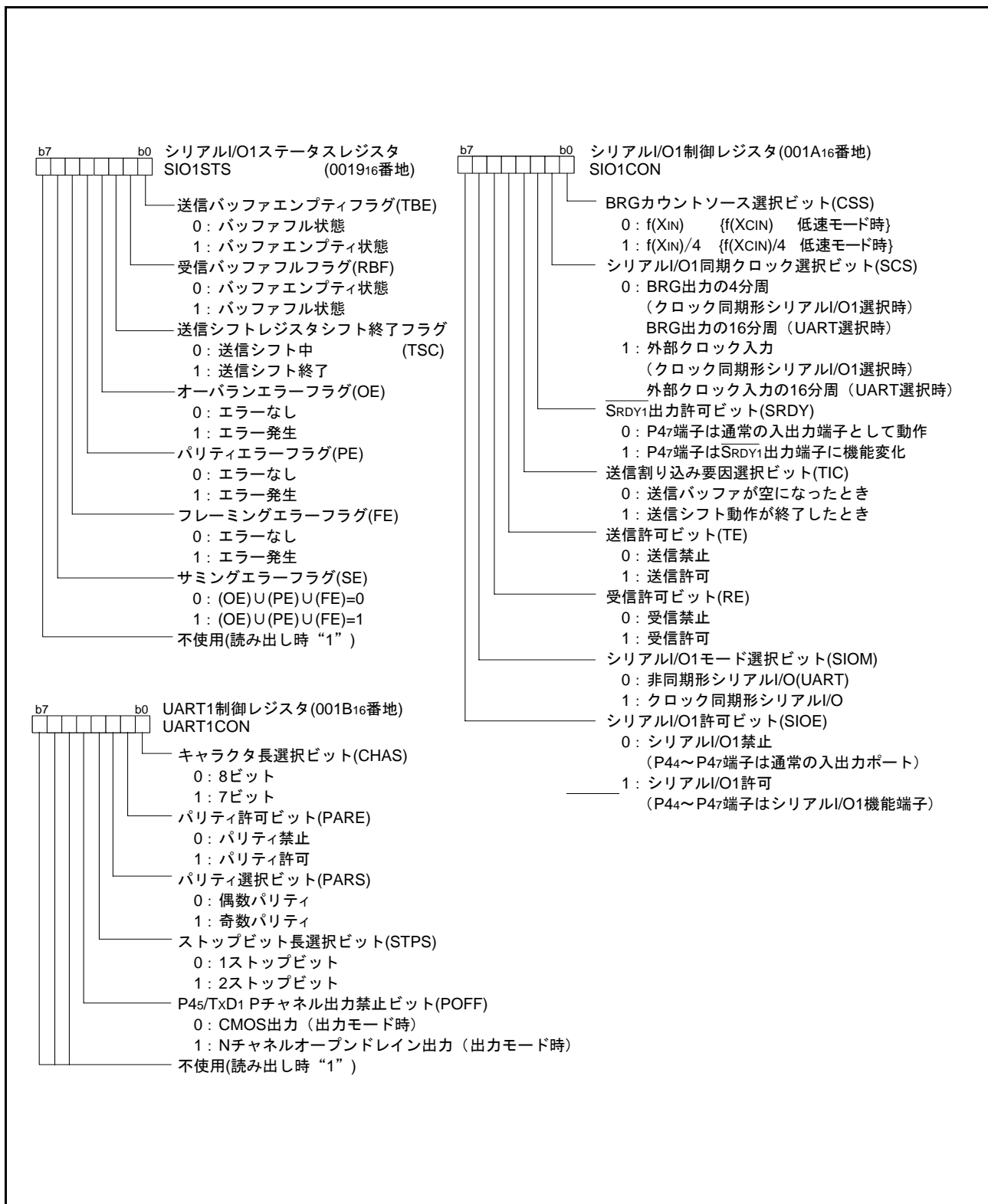


図40. シリアル/O1関係レジスタの構成

■ シリアルI/O1の注意事項

1. 同期形の選択時

1.1 送信動作の停止

• 注意事項

シリアルI/O1許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

• 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタ1にデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタ1に転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

1.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)またはシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

1.3 送受信動作の停止

• 注意事項

送信許可ビットおよび受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

• 理由

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また< 1.1 送信動作の停止 >と同様に、シリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

2. 非同期形の選択時

2.1 送信動作の停止

• 注意事項

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O1許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタ1にデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタ1に転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

2.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)にしてください。

2.3 送受信動作の停止

• 注意事項1(送信のみの停止)

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O1許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタ1にデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタ1に転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

• 注意事項2(受信のみの停止)

受信許可ビットを“0”(受信禁止)にしてください。

3. 受信側のSRDY1出力

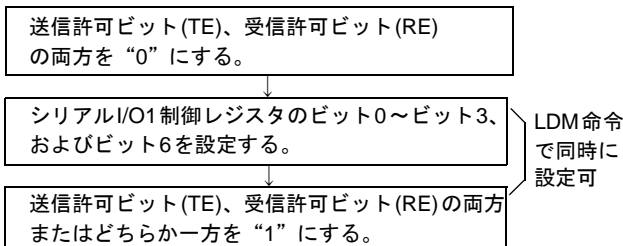
• 注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビットおよびSRDY1出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

4. シリアルI/O1制御レジスタの再設定

• 注意事項

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直すしてください。



5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

• 注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6. 外部クロック選択時の送信制御

• 注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態では送信許可ビットを“1”にしてください。

また、送信バッファレジスタ1への書き込みも、SCLK1が“H”の状態で行ってください。

7. 送信許可ビットセット時の送信割り込み要求

• 注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ① シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
- ② 送信許可ビットを“1”にする。
- ③ 一命令以上おいてからシリアルI/O1送信割り込み要求ビットを“0”にする。
- ④ シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

• 理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグおよび送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、シリアルI/O1送信割り込み要求ビットがセットされます。

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタ(001F16番地)への書き込み信号により行われます。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは、8ビットでシリアルI/O2の各種制御を行う選択ビットで構成されています。

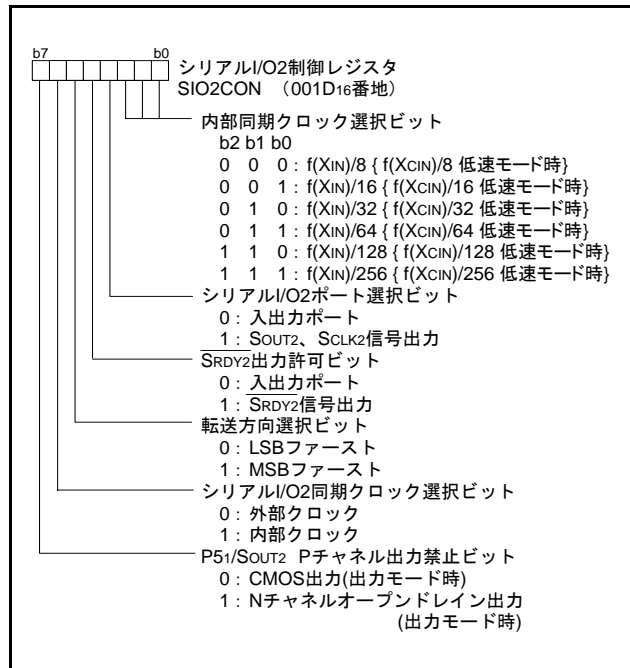


図41. シリアルI/O2制御レジスタの構成

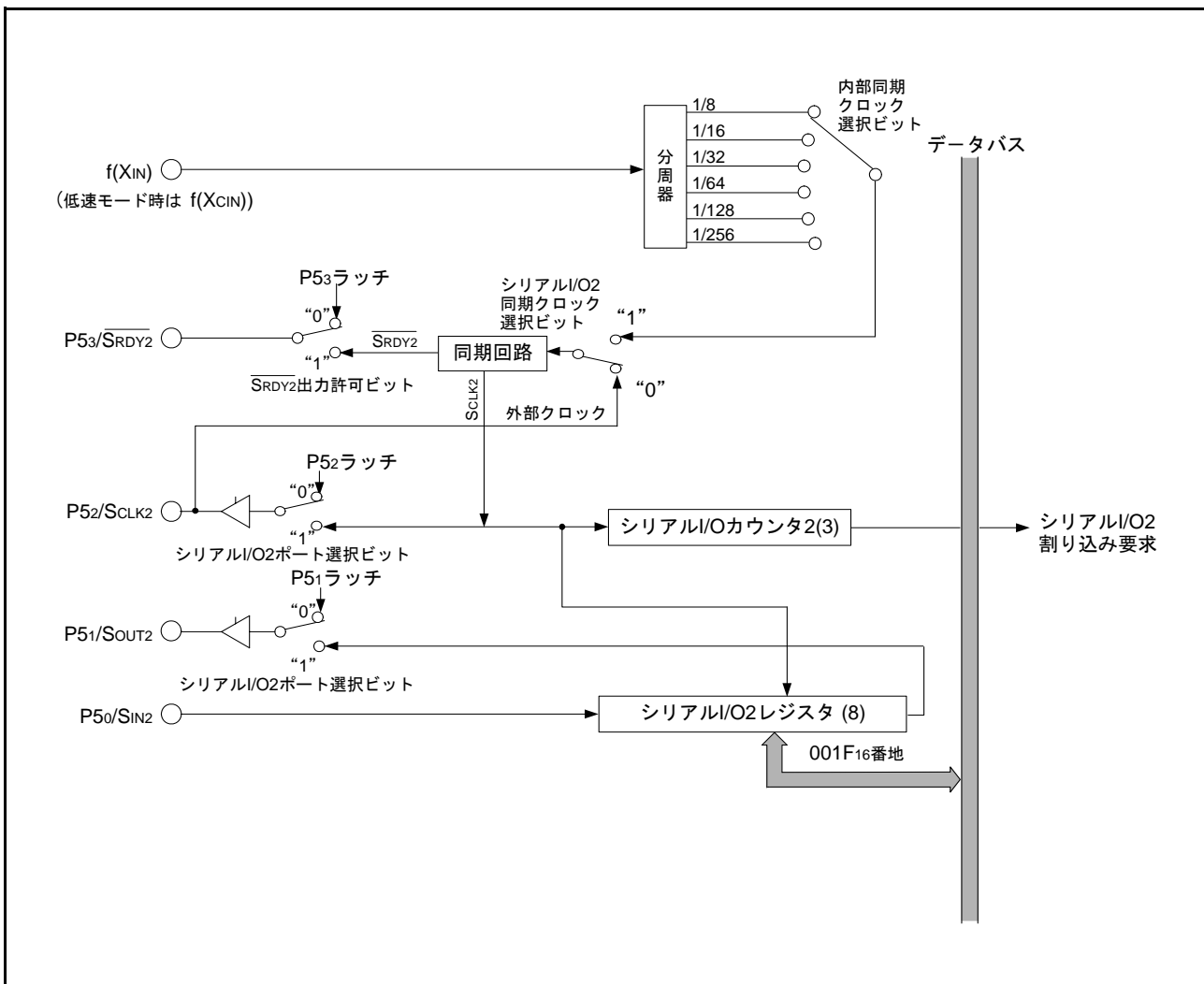


図42. シリアルI/O2ブロック図

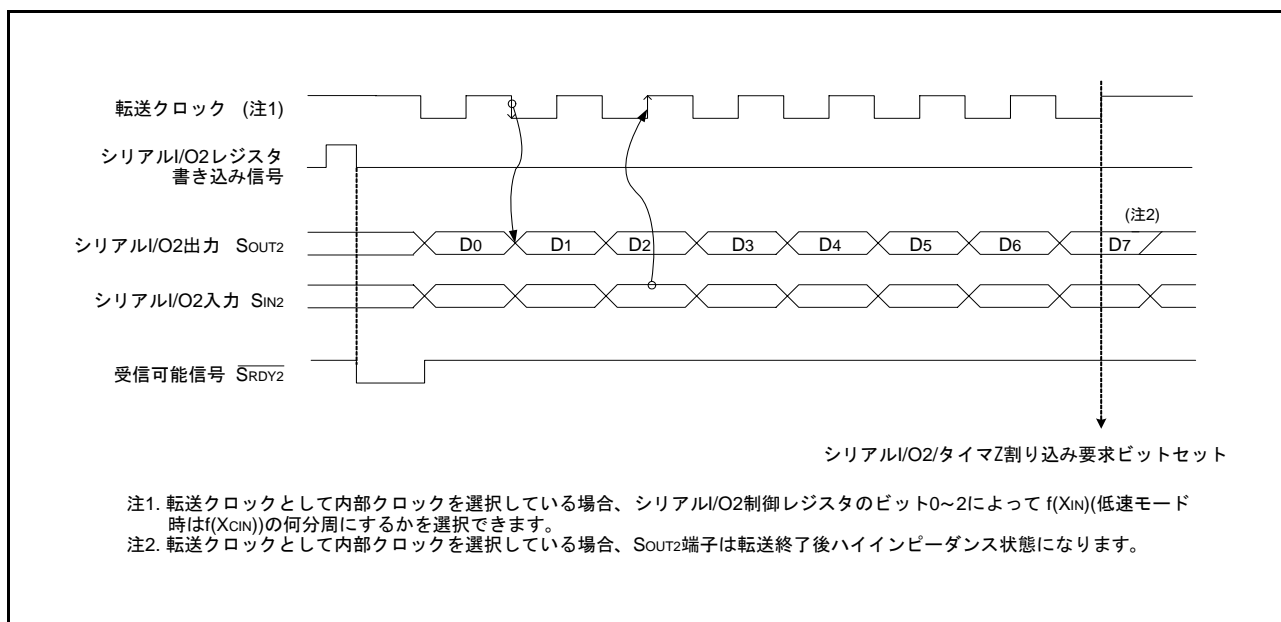


図43. シリアルI/O2タイミング図

●シリアルI/O3

シリアルI/O3はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O3動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O3制御レジスタのシリアルI/O3モード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタ3への書き込み信号により行われます。

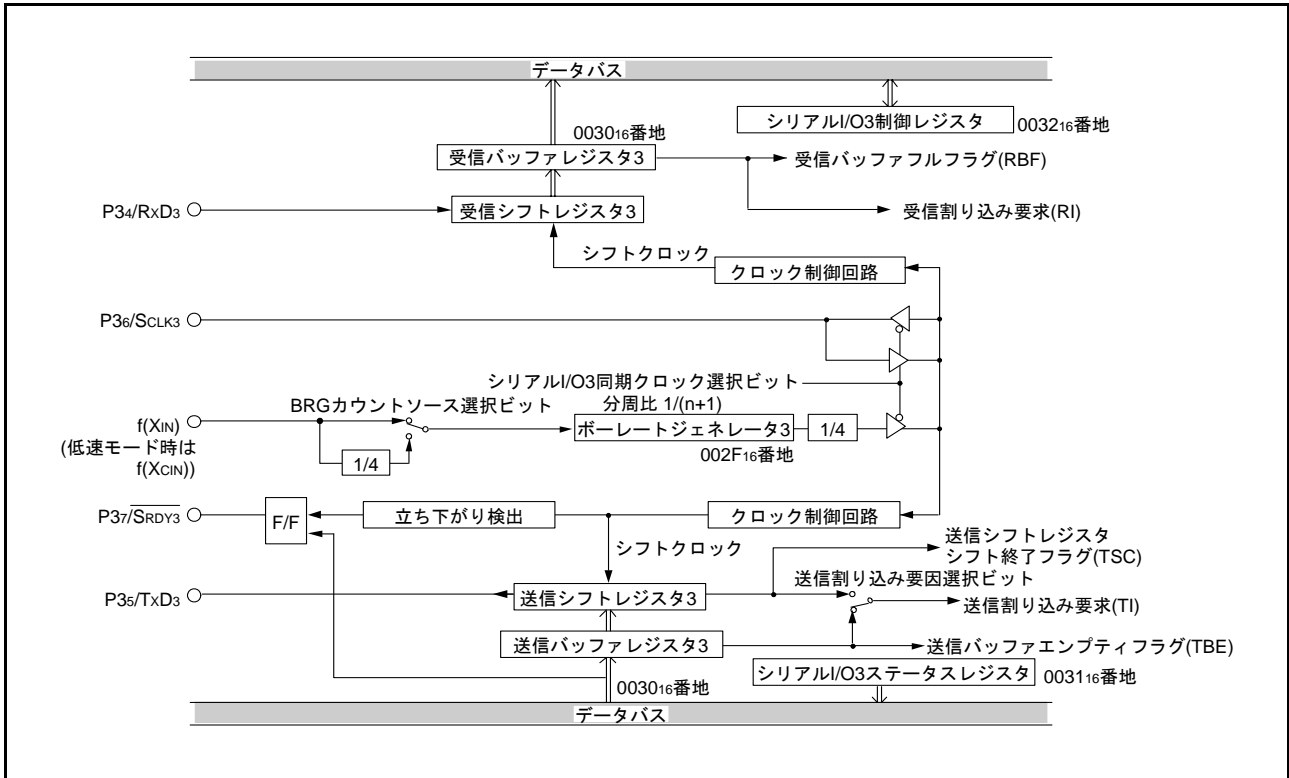


図44. クロック同期形シリアルI/O3ブロック図

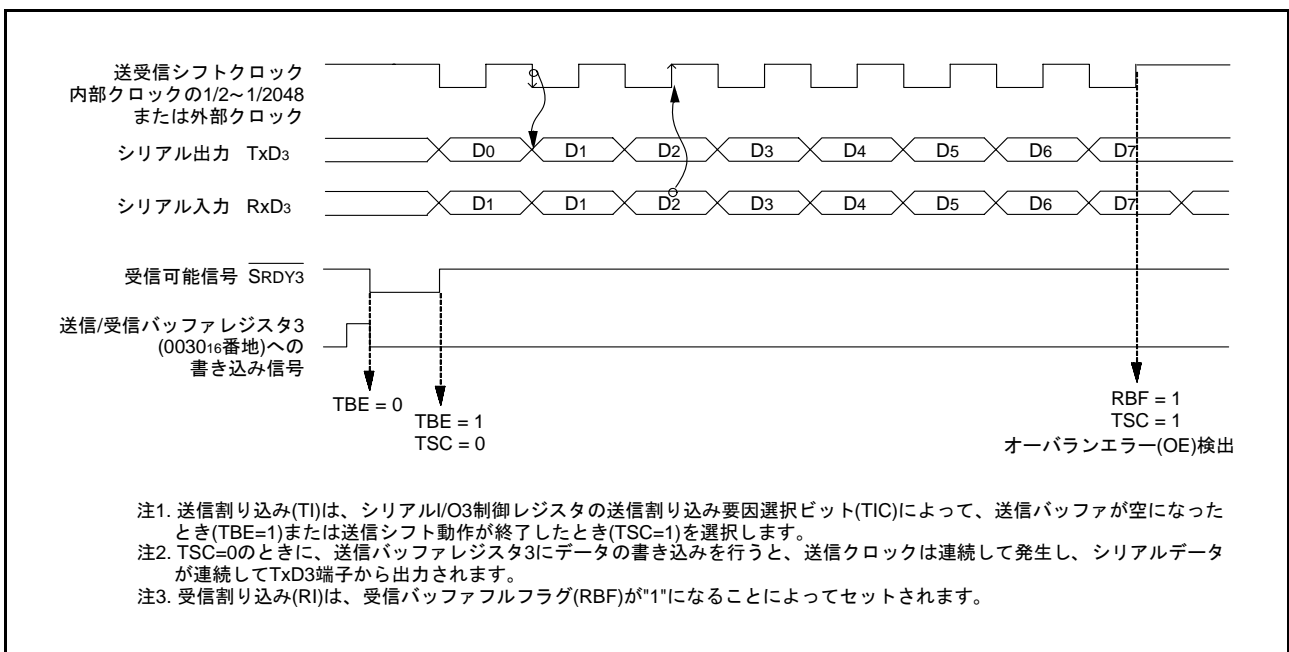


図45. クロック同期形シリアルI/O3動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O3制御レジスタのシリアルI/O3モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ3、受信シフトレジスタ3にそれぞれのバッファレジスタ3

を持っています(メモリ上の番地は同一)。シフトレジスタ3は直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタ3に対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

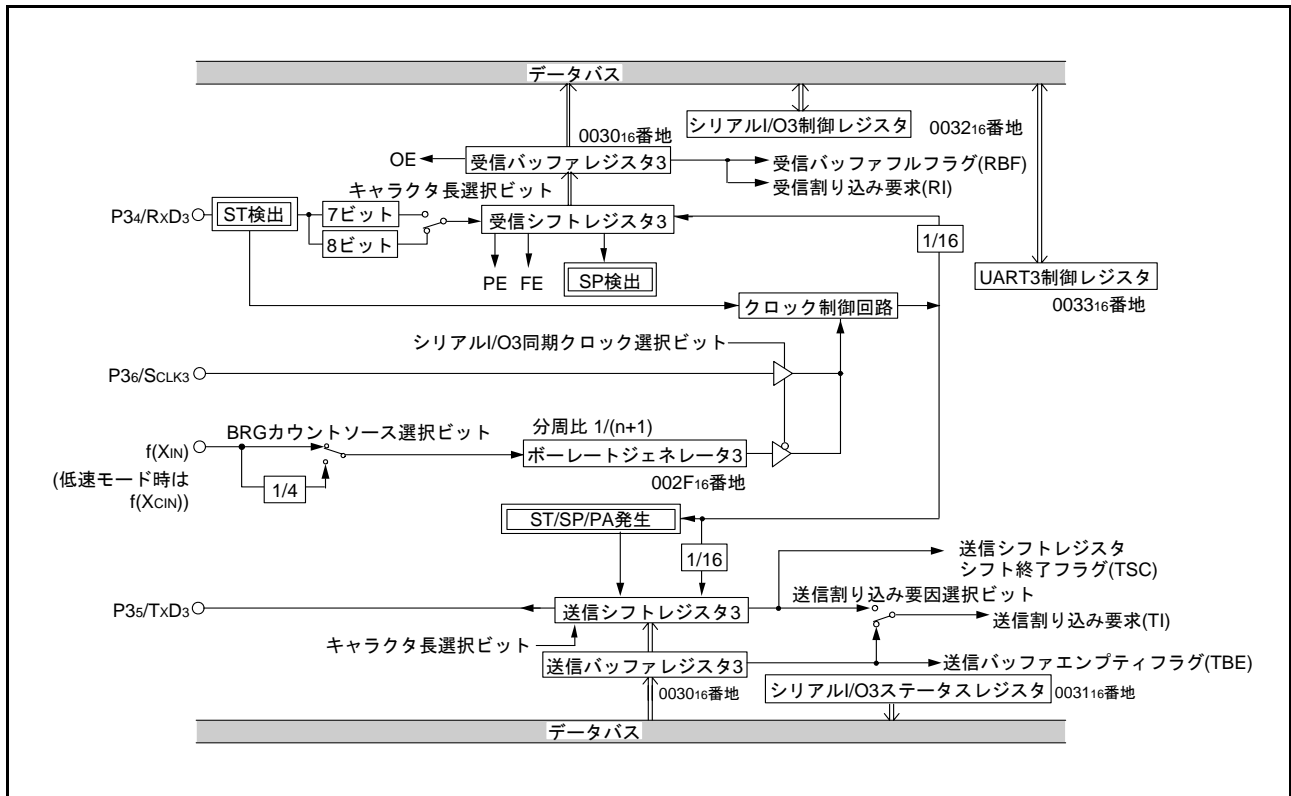


図46. UART形シリアルI/O3ブロック図

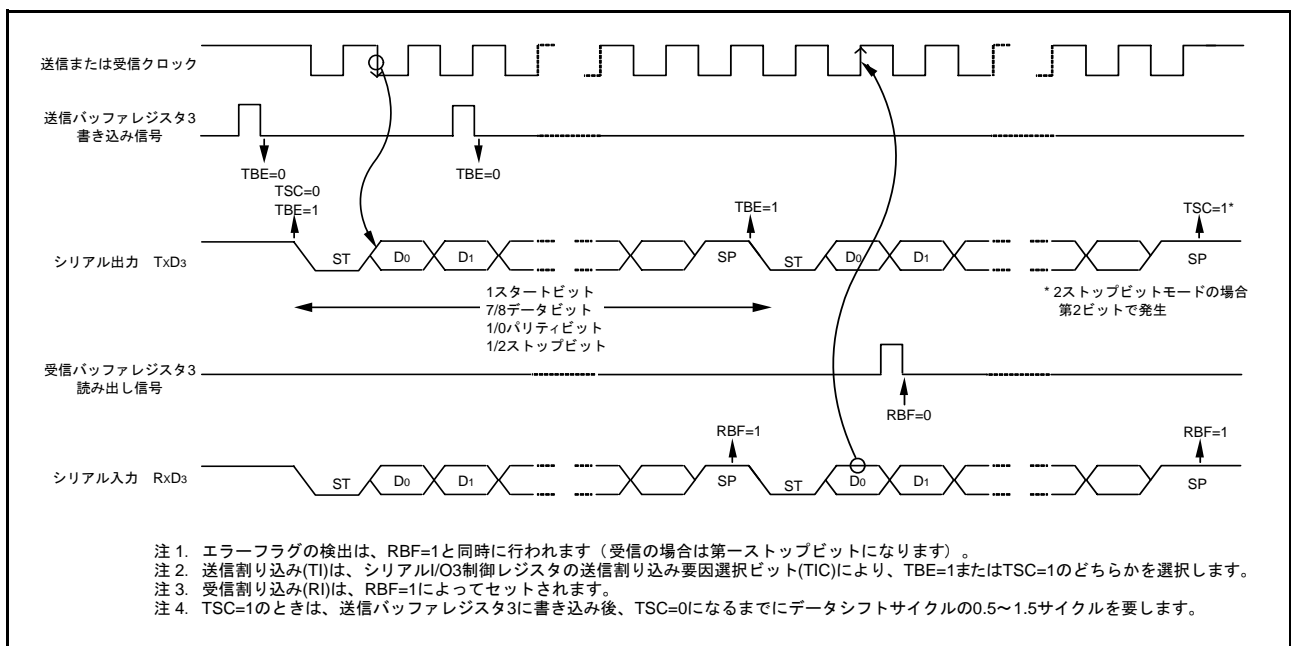


図47. UART形シリアルI/O3動作図

注1. エラーフラグの検出は、RBF=1と同時にに行われます(受信の場合は第一ストップビットになります)。
 注2. 送信割り込み(TI)は、シリアルI/O3制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1またはTSC=1のどちらかを選択します。
 注3. 受信割り込み(RI)は、RBF=1によってセットされます。
 注4. TSC=1のときは、送信バッファレジスタ3に書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

【送信バッファレジスタ3/受信バッファレジスタ3】TB3/RB3

送信バッファレジスタ3と受信バッファレジスタ3は同じアドレスに配置されており、送信バッファレジスタ3は書き込み専用、受信バッファレジスタ3は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ3に格納される受信データのMSBは“0”となります。

【シリアルI/O3ステータスレジスタ】SIO3STS

シリアルI/O3の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタ3を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタ3から受信バッファレジスタ3に転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O3ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O3制御レジスタのシリアルI/O3許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O3制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O3制御レジスタ】SIO3CON

シリアルI/O3制御レジスタはシリアルI/O3の各種制御を行う8ビットの選択ビットで構成されています。

【UART3制御レジスタ】UART3CON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P3₅/TxD₃端子の出力形式などを設定します。

【ボーレートジェネレータ3】BRG3

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを1/(n+1)の分周比で分周します。

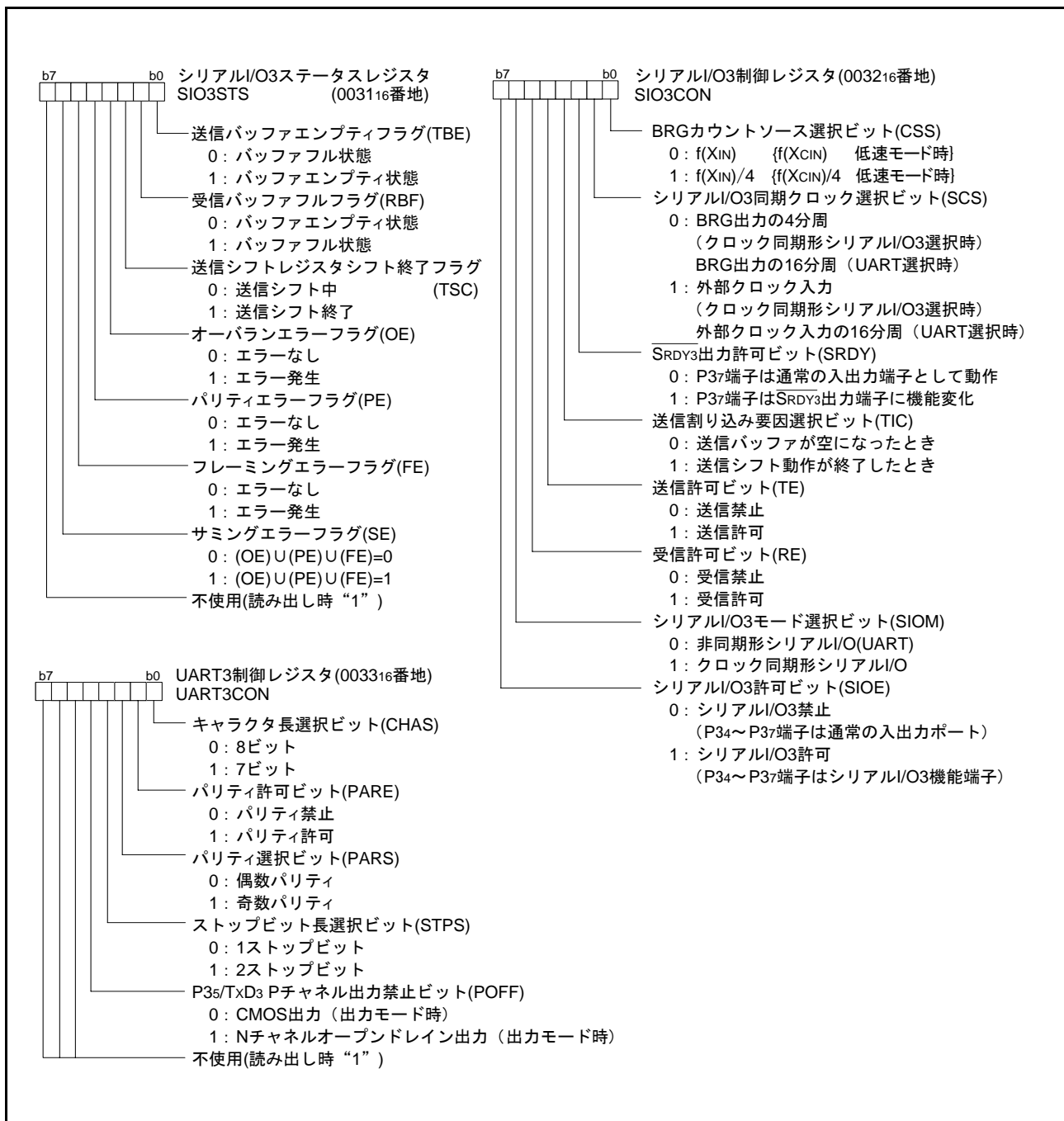


図48. シリアルI/O3関係レジスタの構成

■ シリアルI/O3の注意事項

1. 同期形の選択時

1.1 送信動作の停止

• 注意事項

シリアルI/O3許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

• 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3, $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタ3にデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタ3に転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

1.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)、またはシリアルI/O3許可ビットを“0”(シリアルI/O禁止)にしてください。

1.3 送受信動作の停止

• 注意事項

送信許可ビット、および受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

• 理由

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また< 1.1 送信動作の停止 >と同様に、シリアルI/O3許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

2. 非同期形の選択時

2.1 送信動作の停止

• 注意事項

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O3許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3, $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタ3にデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタ3に転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

2.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)にしてください。

2.3 送受信動作の停止

• 注意事項 1 (送信のみの停止)

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O3許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3, $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタ3にデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタ3に転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

• 注意事項 2 (受信のみの停止)

受信許可ビットを“0”(受信禁止)にしてください。

3. 受信側の $\overline{\text{SRDY}}_3$ 出力

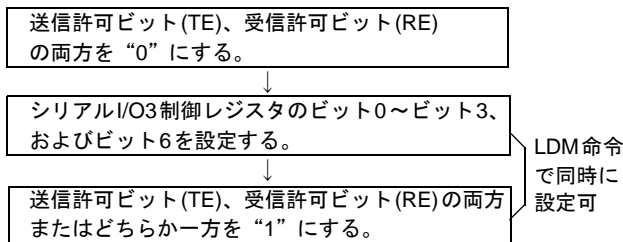
• 注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}_3$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDY}}_3$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

4. シリアルI/O3制御レジスタの再設定

• 注意事項

シリアルI/O3制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。



5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

• 注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6. 外部クロック選択時の送信制御

• 注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、 SCLK_3 が“H”の状態を送信許可ビットを“1”にしてください。

また、送信バッファレジスタ3への書き込みも、 SCLK_3 が“H”の状態で行ってください。

7. 送信許可ビットセット時の送信割り込み要求

• 注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ①シリアルI/O3送信割り込み許可ビットを“0”(禁止)にする。
- ②送信許可ビットを“1”にする。
- ③一命令以上おいてからAD変換/シリアルI/O3送信割り込み要求ビットを“0”にする。
- ④AD変換/シリアルI/O3送信割り込み許可ビットを“1”(許可)にする。

• 理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグおよび送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、AD変換/シリアルI/O3送信割り込み要求ビットがセットされます。

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力XINまたはXINを2分周した信号を基本としています。(低速モード時はXCINまたはXCIN/2)

• データの設定

PWMの出力端子はポートP56と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n + 1)}{f(X_{IN})} \\ &= (31.875) \times (n + 1) \mu\text{s} \end{aligned}$$

(f(XIN)=8MHz、カウントソース選択ビット=“0”の場合)

$$\text{出力パルスの“H”期間} = \frac{\text{PWM周期} \times m}{255}$$

$$= 0.125 \times (n + 1) \times m \mu\text{s}$$

(f(XIN)=8MHz、カウントソース選択ビット=“0”の場合)

• PWMの動作

PWM制御レジスタのビット0(PWM機能許可ビット)を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

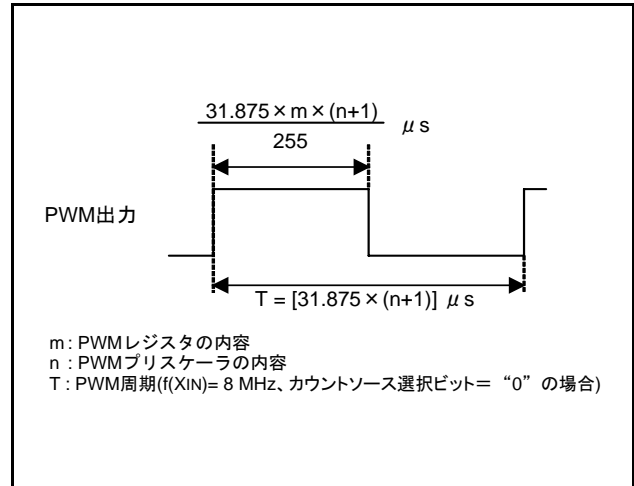


図49. PWM周期のタイミング図

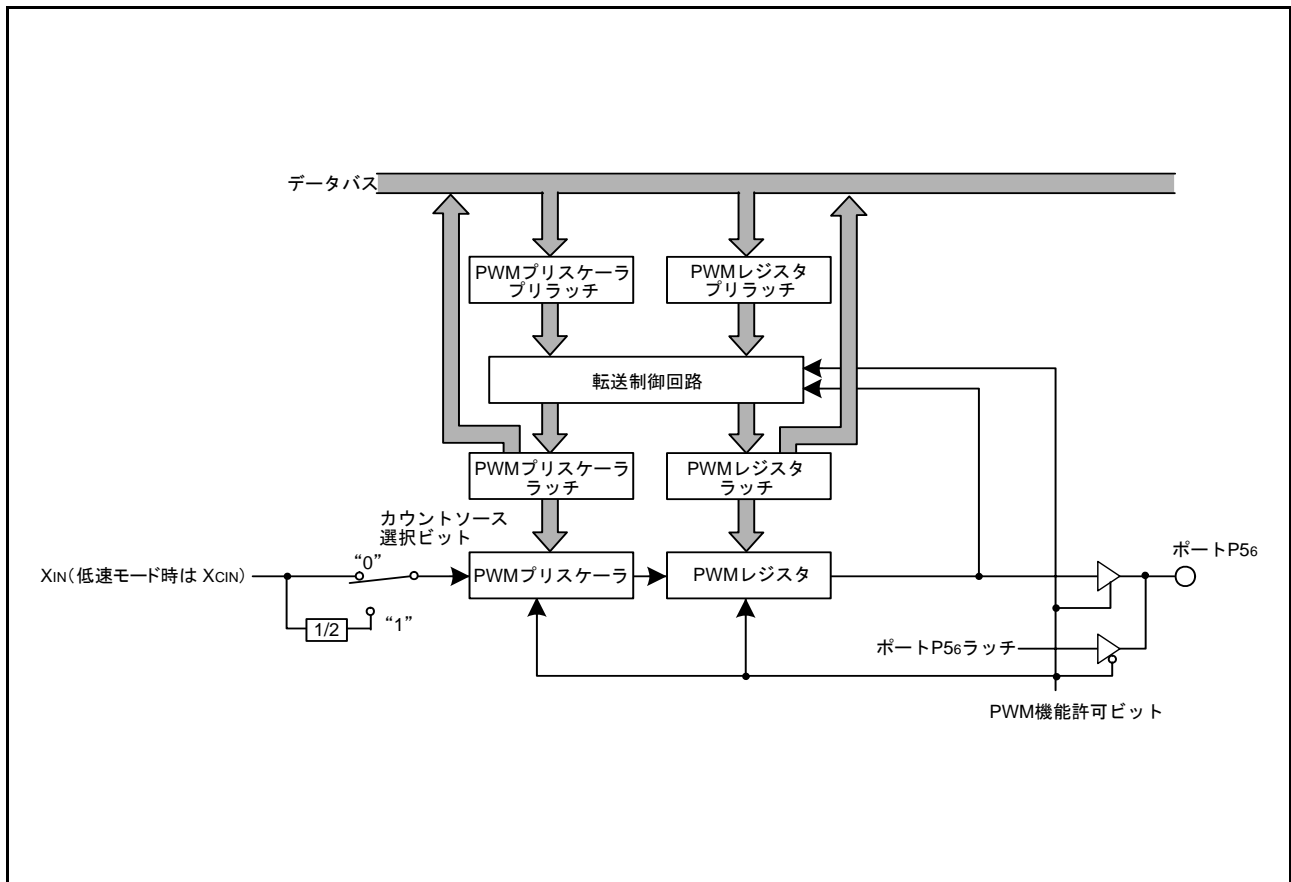


図50. PWMブロック図

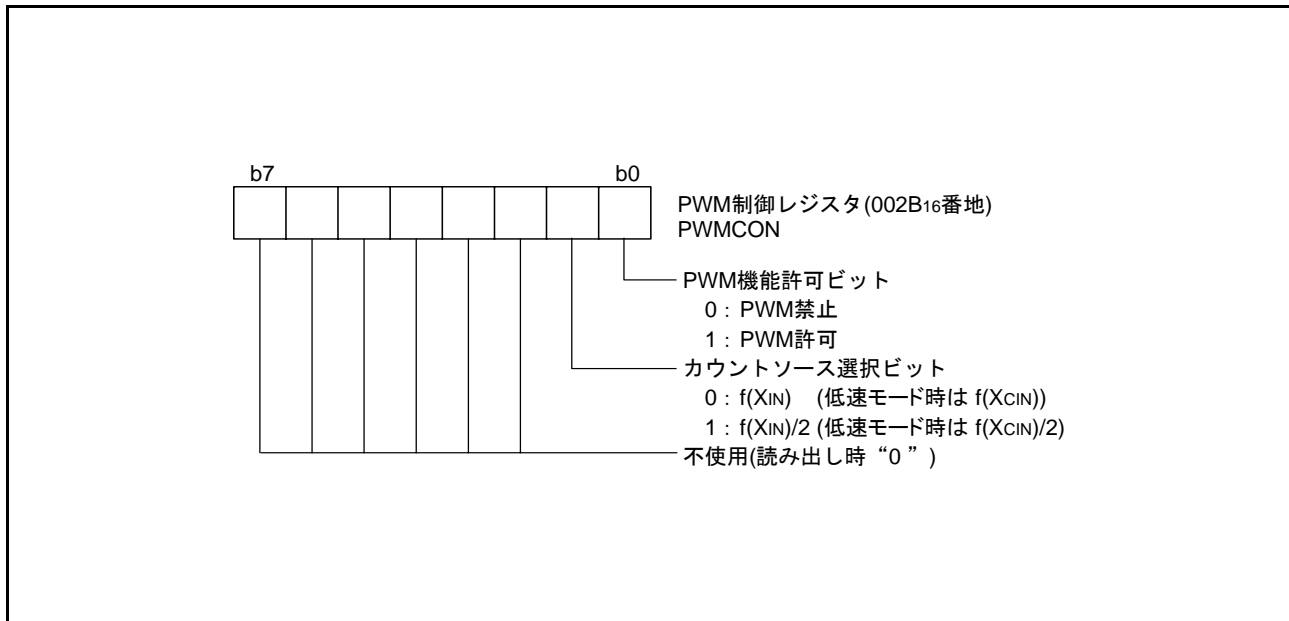


図51. PWM制御レジスタの構成

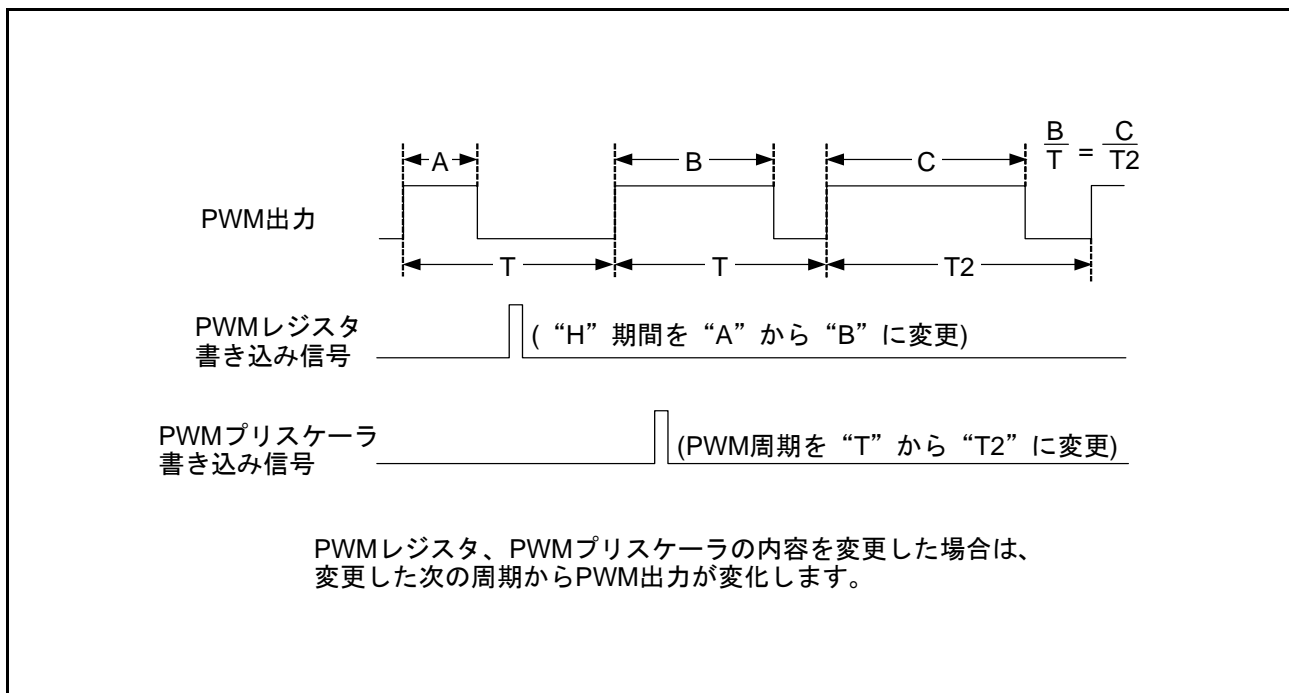


図52. PWMレジスタおよびPWMプリスケラ変更時のPWM出力タイミング図

■ 注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- カウンタソース選択ビット=“0”、n=プリスケラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- カウンタソース選択ビット=“1”、n=プリスケラ設定値

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

A/Dコンバータ (逐次比較型)

【AD変換レジスタ1, 2】AD1, AD2

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

AD変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA/Dモード、“1”に設定すると8ビットA/Dモードとなります。

8ビットA/Dモードの変換結果はAD変換レジスタ1に格納されます。

10ビットA/Dモードは、図55のようにA/D変換終了後にAD変換レジスタ1, 2を読み出す順序を選ぶことで、変換結果を10ビットで読み出すだけでなく、上位8ビットだけ読み出しを行うことも可能です。

10ビットA/Dモードは、A/D変換開始後AD変換レジスタ1読み出しを行うとMSB寄りの8ビット読み出しになります。AD変換レジスタ2読み出し後、AD変換レジスタ1読み出しを行うとLSB寄りの8ビット読み出しになります。

【AD/DA制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット4、ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

10ビットA/Dモードは、AVSSとVREFの間の電圧を1024分割し比較電圧を出力します。(8ビットA/Dモードでは256分割)

各モードでの比較電圧VrefはVREF電圧を下記のとおり分圧して入力電圧との逐次比較を行います。

10ビットA/Dモード (10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

10ビットA/Dモード (8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

8ビットA/Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

【チャンネルセレクト】

ポートP67/AN7～P60/AN0、P07/AN15～P00/AN8より1本を選択し、コンパレータに入力します。

【コンパレータおよび制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタ1, 2に格納します。また、A/D変換終了時にAD変換終了ビットおよびAD変換/シリアルI/O3送信割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(XIN)を500kHz以上にしてください。

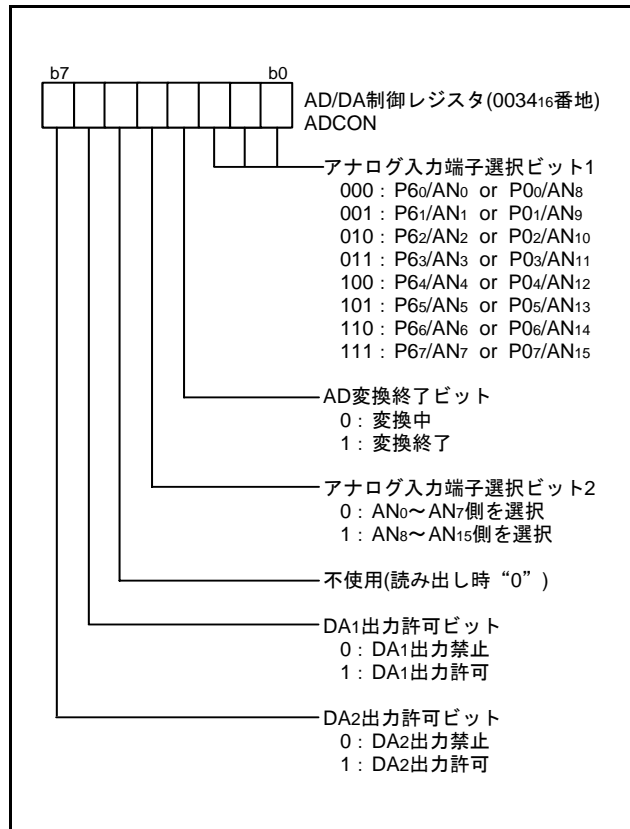


図53. AD/DA制御レジスタの構成

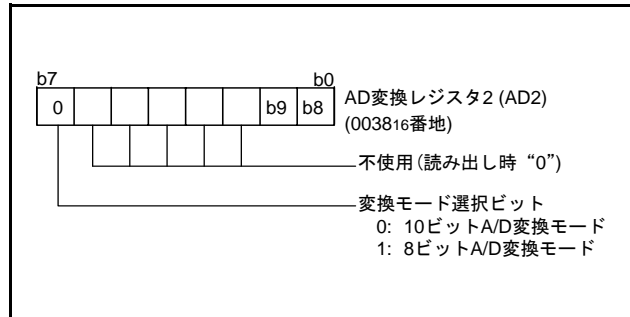


図54. AD変換レジスタ2の構成

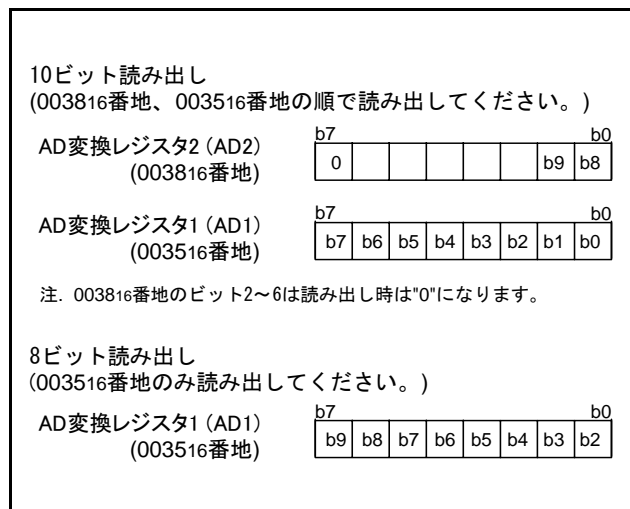


図55. 10ビットA/Dモードの読み出し構成

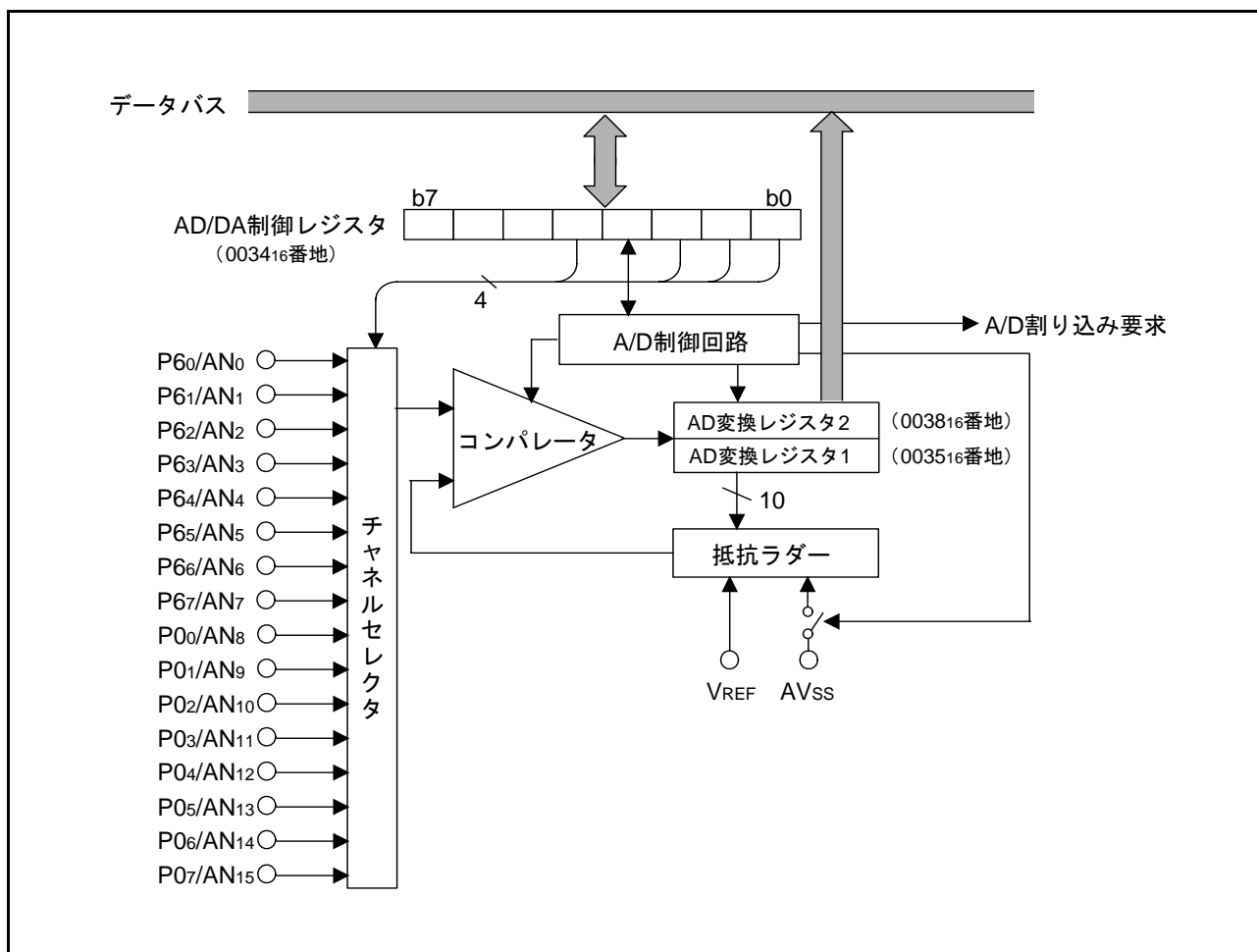


図56. A/Dコンバータのブロック図

D/Aコンバータ

D/Aコンバータは分解能8ビットで、2チャンネル(DA1、DA2)内蔵しています。

D/A変換はそれぞれ対応するDA_i変換レジスタ(i=1,2)に値を設定することによって行われます。D/A変換された結果は、DA_i出力許可ビット(i=1,2)を“1”にセットすることによって、DA1、DA2端子から出力されます。このとき、P30/DA1、P31/DA2の方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはDA_i変換レジスタ(i=1,2)に設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

*V_{REF}は基準電圧

DA_i変換レジスタ(i=1,2)はリセット時“0016”にクリアされます。また、DA_i出力許可ビット(i=1,2)も、リセット時“0”にクリアされ、P30/DA1、P31/DA2端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

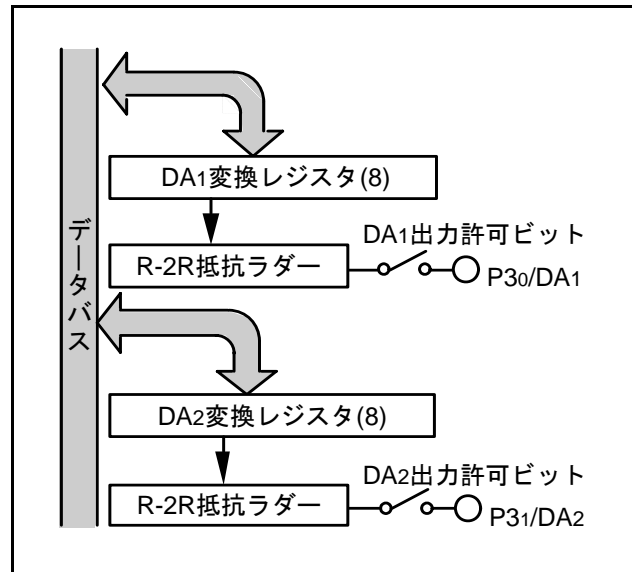


図57. D/Aコンバータブロック図

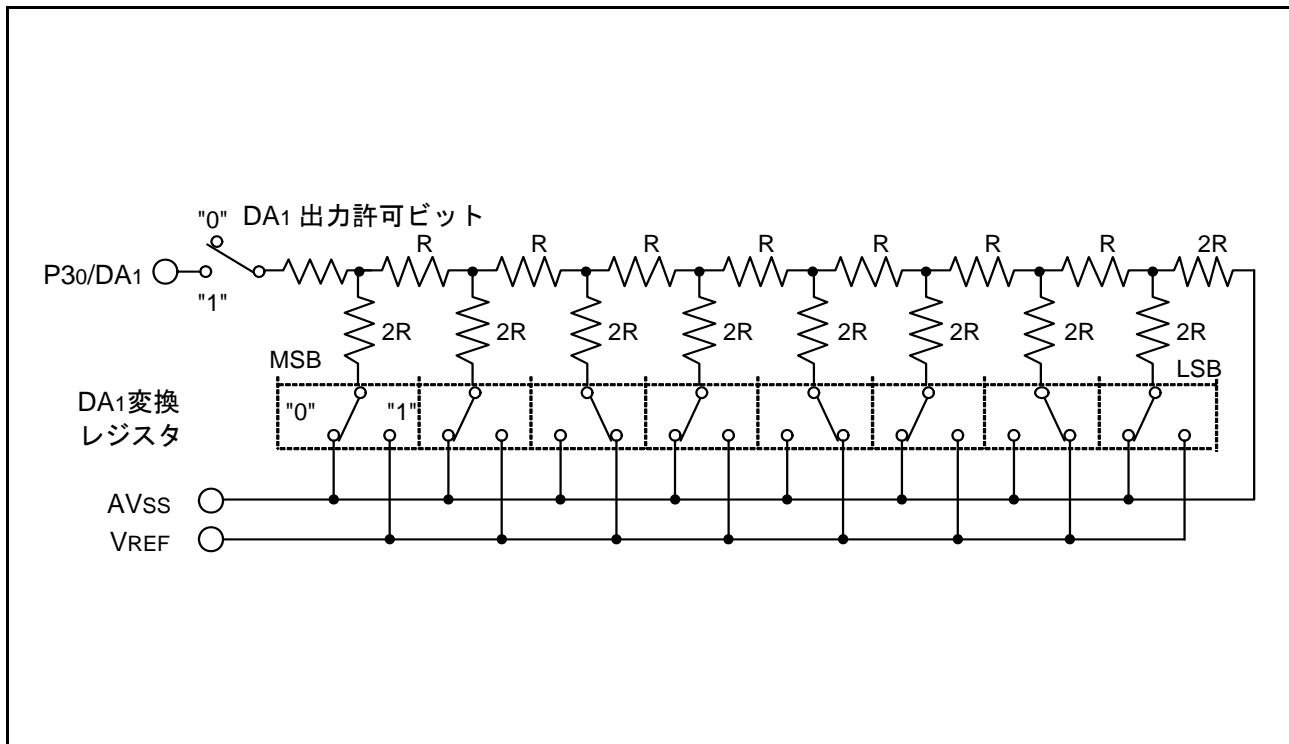


図58. D/Aコンバータ等価回路図(D/A1)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと、8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されます。

(1) ウォッチドッグタイマの初期値

リセット時、またはウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりウォッチドッグタイマHは“FF16”に、ウォッチドッグタイマLは“FF16”にセットされます。書き込みのための命令はSTA, LDM, CLBなど書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6,7のみ有効です。ビット0～5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

ビット6はリセット解除後、1度だけ書き込みが可能です。書き込み後は、ロックされるため、書き換えはできません。

(2) ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を持ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイマHがアンダフローする前にウォッチドッグタ

イマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

(3) ウォッチドッグタイマ制御レジスタのビット6

- このビットが“0”の場合、STP命令を実行すると、ストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注)なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。リセット後の値は“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合。
XCIN=32.768kHz 時32s, XIN=16MHz 時65.536ms

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合。
XCIN=32.768kHz 時125ms, XIN=16MHz 時256 μs

注. ストップ解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダフローしないように注意してください。

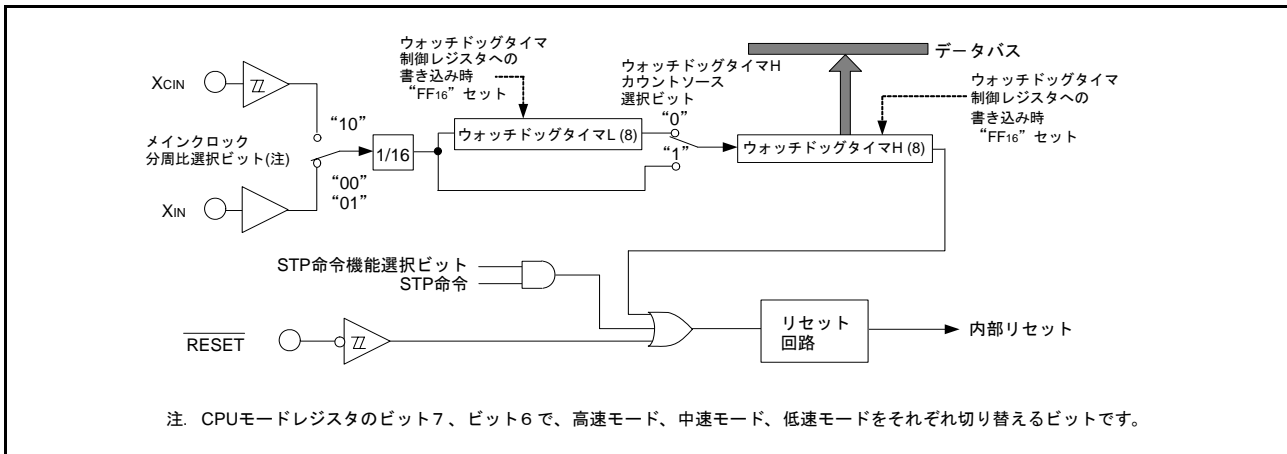


図59. ウォッチドッグタイマのブロック図

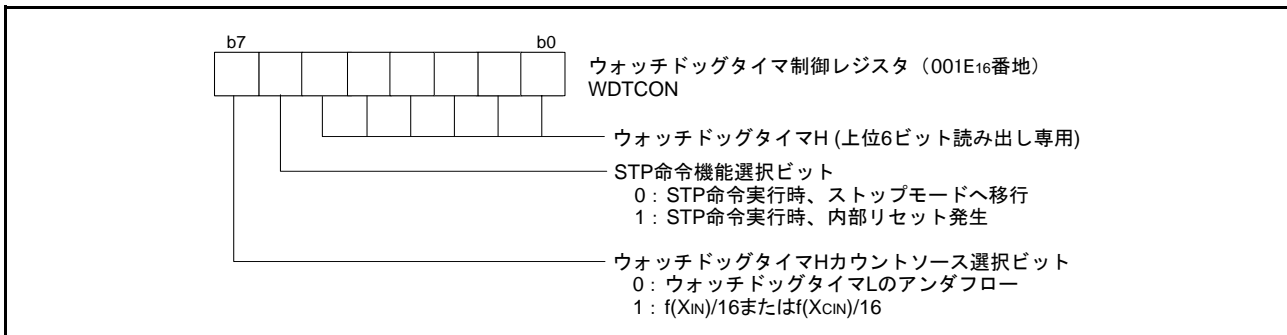


図60. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が1.8~5.5Vにあり、X_{IN}が安定発振しているとき、RESET端子をX_{IN}16サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が1.8Vを通過する時点で0.29V以下になるようにしてください。

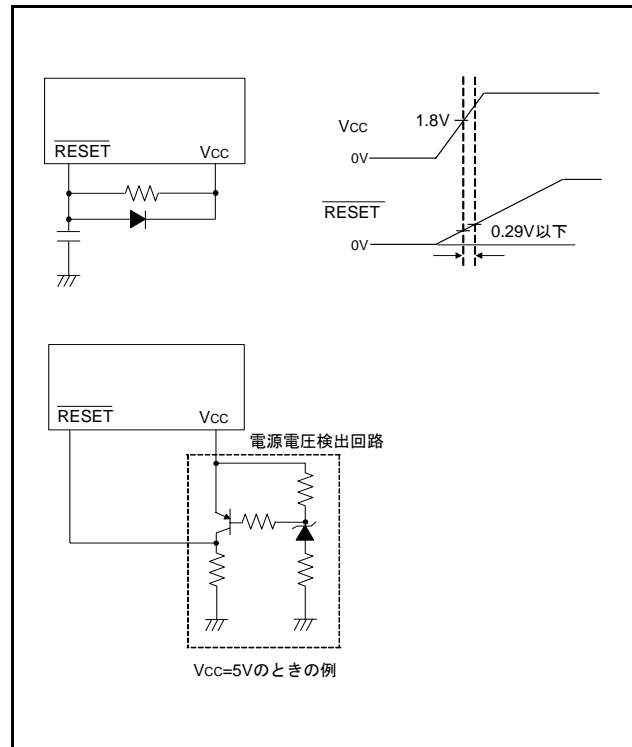
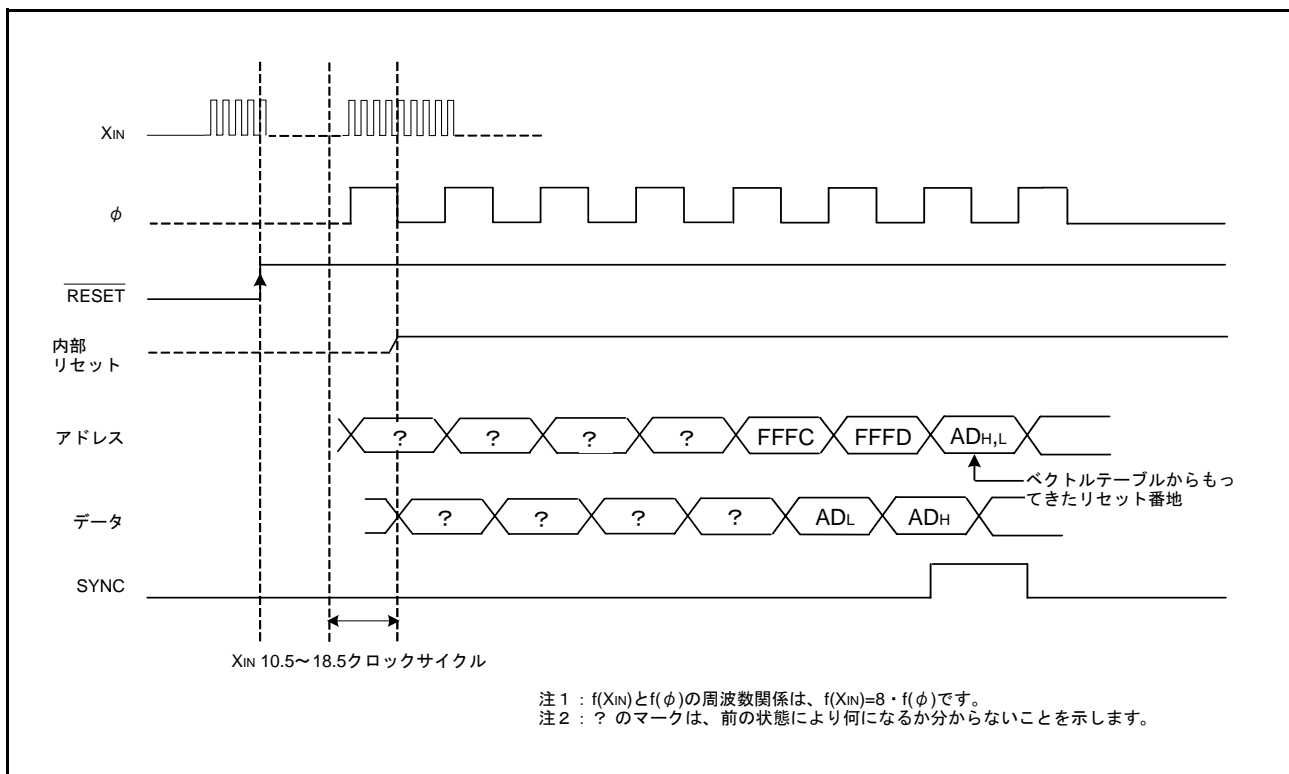


図61. リセット回路例



注1 : $f(X_{IN})$ と $f(\phi)$ の周波数関係は、 $f(X_{IN})=8 \cdot f(\phi)$ です。
 注2 : ? のマークは、前の状態により何になるか分からないことを示します。

図62. リセットシーケンス

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(35) タイマZ上位	0029 ₁₆	FF ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(36) タイマZモードレジスタ	002A ₁₆	00 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(37) PWM制御レジスタ	002B ₁₆	00 ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(38) PWMプリスケアラ	002C ₁₆	XXXXXXXXXX
(5) ポートP2	0004 ₁₆	00 ₁₆	(39) PWMレジスタ	002D ₁₆	XXXXXXXXXX
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(40) ポーレートジェネレータ3	002F ₁₆	XXXXXXXXXX
(7) ポートP3	0006 ₁₆	00 ₁₆	(41) 送信/受信バッファレジスタ3	0030 ₁₆	XXXXXXXXXX
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(42) シリアル/O3ステータスレジスタ	0031 ₁₆	10000000
(9) ポートP4	0008 ₁₆	00 ₁₆	(43) シリアル/O3制御レジスタ	0032 ₁₆	00 ₁₆
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(44) UART3制御レジスタ	0033 ₁₆	11100000
(11) ポートP5	000A ₁₆	00 ₁₆	(45) AD/DA制御レジスタ	0034 ₁₆	00001000
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(46) AD変換レジスタ1	0035 ₁₆	XXXXXXXXXX
(13) ポートP6	000C ₁₆	00 ₁₆	(47) DA1変換レジスタ	0036 ₁₆	00 ₁₆
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(48) DA2変換レジスタ	0037 ₁₆	00 ₁₆
(15) タイマ12,Xカウントソース選択レジスタ	000E ₁₆	00110011	(49) AD変換レジスタ2	0038 ₁₆	0000000X
(16) タイマY,Zカウントソース選択レジスタ	000F ₁₆	00110011	(50) 割り込み要因選択レジスタ	0039 ₁₆	00 ₁₆
(17) MISRG	0010 ₁₆	00 ₁₆	(51) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(18) 送信/受信バッファレジスタ1	0018 ₁₆	XXXXXXXXXX	(52) CPUモードレジスタ	003B ₁₆	01001000
(19) シリアル/O1ステータスレジスタ	0019 ₁₆	10000000	(53) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(20) シリアル/O1制御レジスタ	001A ₁₆	00 ₁₆	(54) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(21) UART1制御レジスタ	001B ₁₆	11100000	(55) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(22) ポーレートジェネレータ1	001C ₁₆	XXXXXXXXXX	(56) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(23) シリアル/O2制御レジスタ	001D ₁₆	00 ₁₆	(57) ポートP0ブルアップ制御レジスタ	0FF0 ₁₆	00 ₁₆
(24) ウォッチドッグタイマ制御レジスタ	001E ₁₆	00111111	(58) ポートP1ブルアップ制御レジスタ	0FF1 ₁₆	00 ₁₆
(25) シリアル/O2レジスタ	001F ₁₆	XXXXXXXXXX	(59) ポートP2ブルアップ制御レジスタ	0FF2 ₁₆	00 ₁₆
(26) プリスケアラ12	0020 ₁₆	FF ₁₆	(60) ポートP3ブルアップ制御レジスタ	0FF3 ₁₆	00 ₁₆
(27) タイマ1	0021 ₁₆	01 ₁₆	(61) ポートP4ブルアップ制御レジスタ	0FF4 ₁₆	00 ₁₆
(28) タイマ2	0022 ₁₆	FF ₁₆	(62) ポートP5ブルアップ制御レジスタ	0FF5 ₁₆	00 ₁₆
(29) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆	(63) ポートP6ブルアップ制御レジスタ	0FF6 ₁₆	00 ₁₆
(30) プリスケアラX	0024 ₁₆	FF ₁₆	(64) プロセッサステータスレジスタ (PS)		XXXXXXXX1X
(31) タイマX	0025 ₁₆	FF ₁₆	(65) プログラムカウンタ (PC _H)		FFF ₁₆ 番地の内容
(32) プリスケアラY	0026 ₁₆	FF ₁₆	(PC _L)		FFF ₁₆ 番地の内容
(33) タイマY	0027 ₁₆	FF ₁₆			
(34) タイマZ下位	0028 ₁₆	FF ₁₆			

注: × : 不定です。
上記以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図63. リセット時の内部状態

クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUTまたはXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には抵抗は内蔵されていませんので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックφとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックφの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックφになります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN-XOUT)停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックφが“H”の状態では停止し、XINおよびXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(0010₁₆番地のビット0)が“0”のとき、タイマ1には“01₁₆”、プリスケアラ12には“FF₁₆”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。

STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。

発振は外部割り込みが受け付けられると再開しますが、内部クロックφは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間、RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックφが“H”の状態では停止しますが、発振器は停止しません。リセットまたは割り込みを受け付けると内部クロックφの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

■注意事項

- 中 / 高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \times f(XCIN)$ である必要があります。
- 16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。
- STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

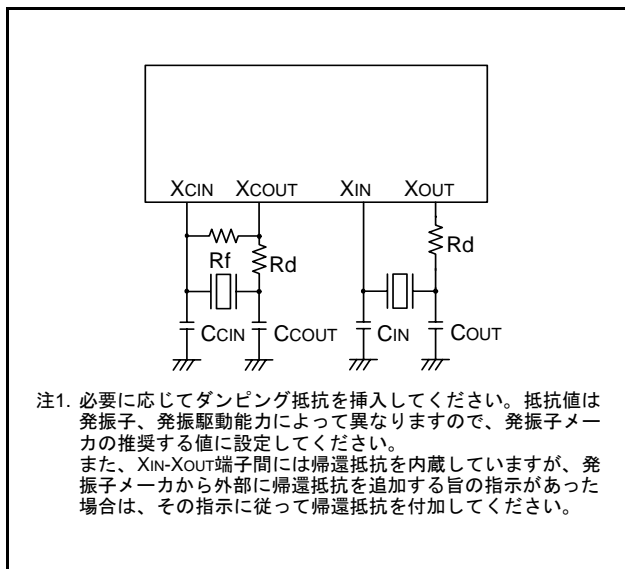


図64. セラミック共振子外付け回路

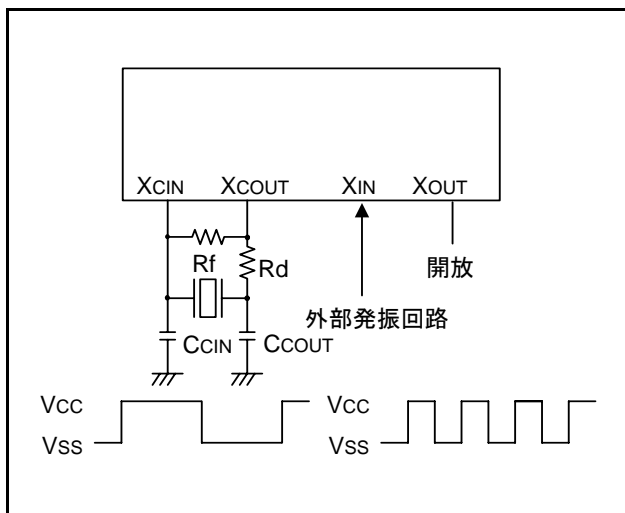


図65. 外部クロック入力回路

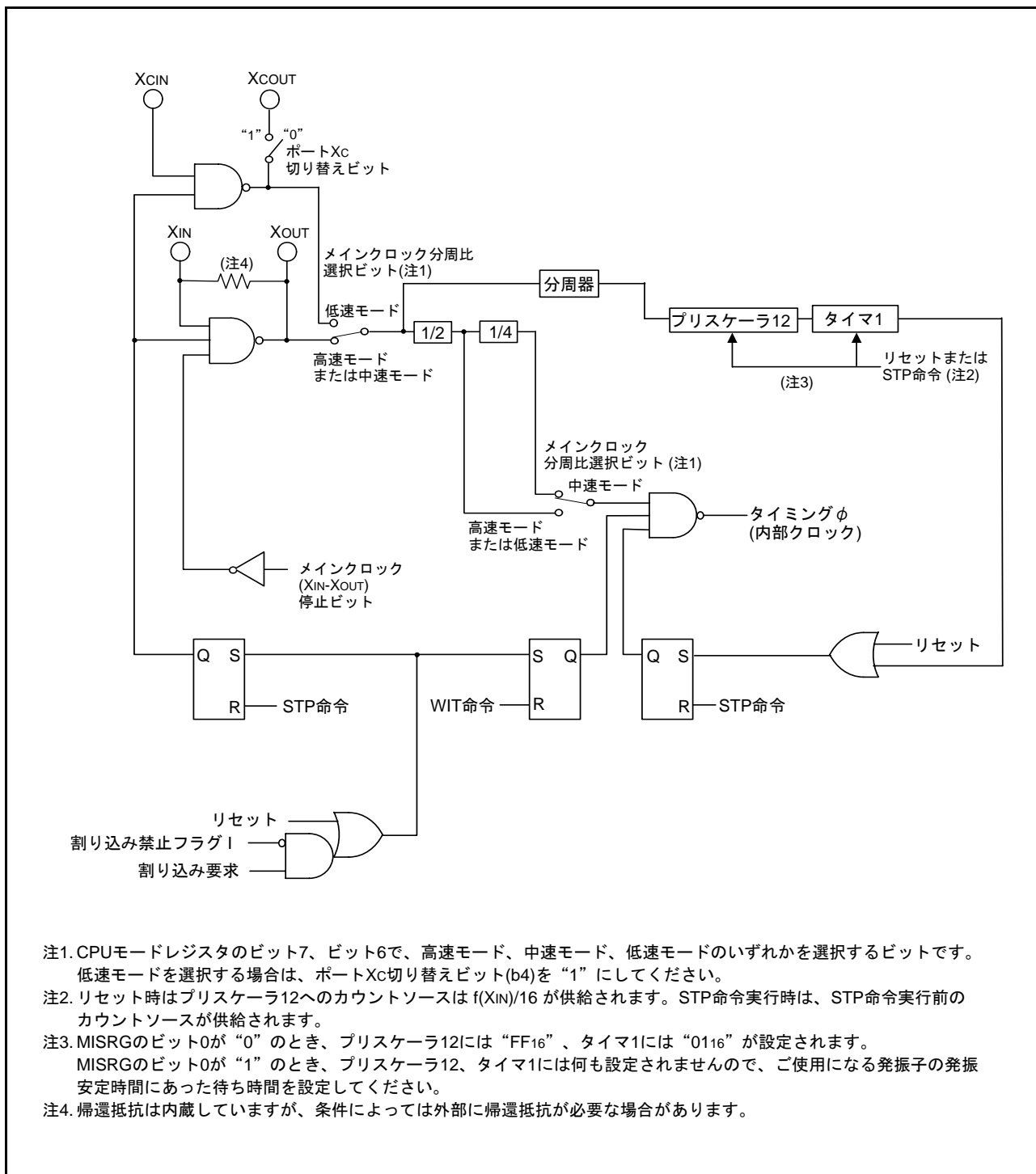


図66. システムクロック発生回路ブロック図 (シングルチップモード)

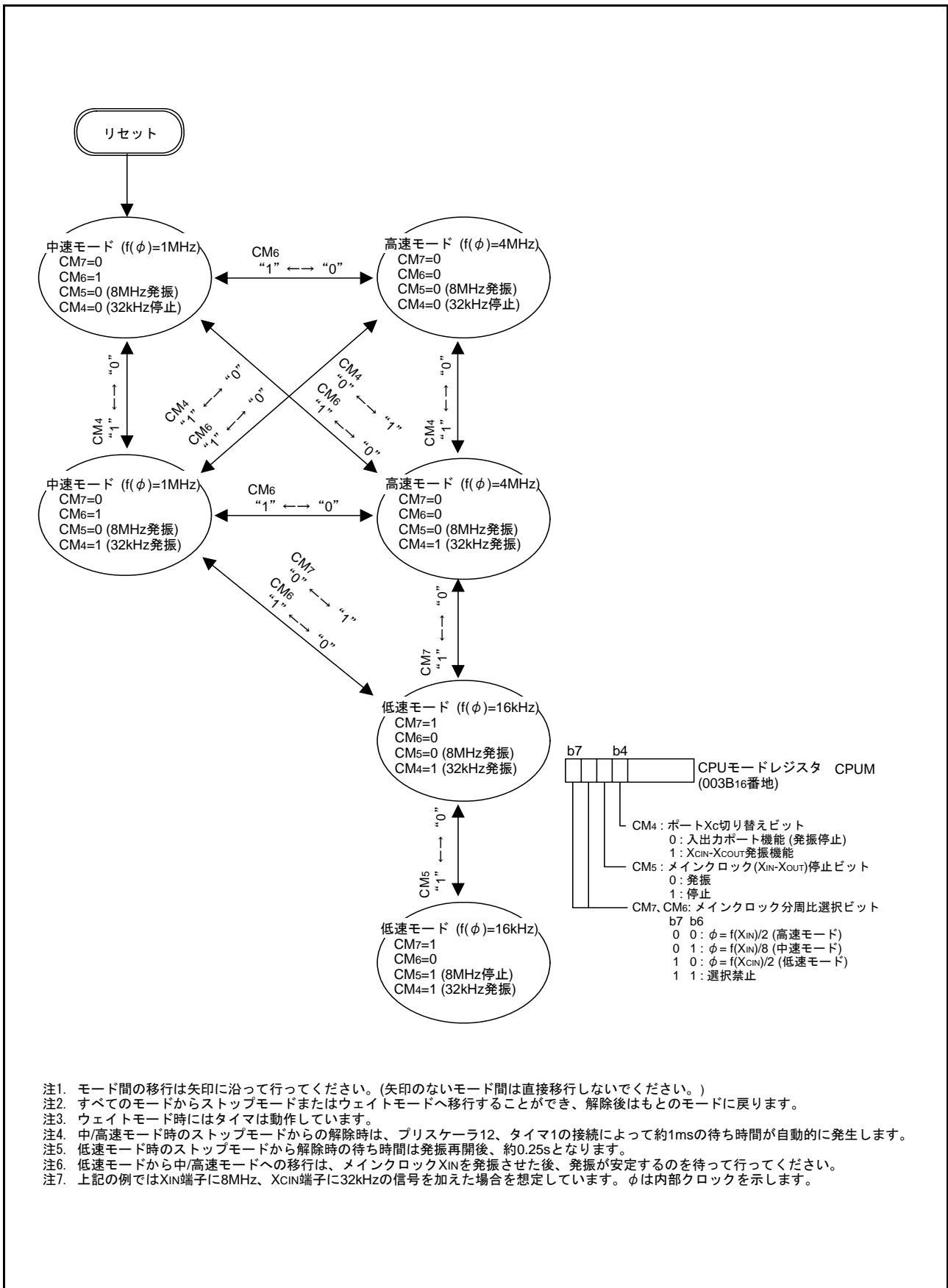


図67. システムクロックの状態遷移図

QzROM書き込みモード

QzROM書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表9に端子の機能説明(QzROM書き込みモード)を、図68、図69、図70に端子結線図を示します。

シリアルプログラマとの接続例は、基板上の端子処理例(図68～図70)を参照してください。シリアルプログラマについては、各メーカーにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザーズマニュアルを参照してください。

表9. 端子の機能説明 (QzROM書き込みモード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccに2.7~5.5V, Vssに0Vを印加してください。
CNVss	VPP入力	入力	QzROMの電源入力端子です。
VREF	基準電圧入力	入力	A/DコンバータおよびD/Aコンバータの基準電圧を入力してください。
AVss	アナログ電源入力	入力	Vssに接続してください。
RESET	リセット入力	入力	リセット入力端子です。XINの16サイクル以上Lレベルに保つとリセット状態になります。
XIN	メインクロック入力	入力	シングルチップモード時と同じ端子処理にしてください。
XOUT	メインクロック出力	出力	
P00~P07 P10~P17 P20~P27 P30~P37 P40~P44 P50~P57 P60~P67	入出力ポート	入出力	“H”を入力、“L”を入力、又は開放してください。
P45	ESDA入出力	入出力	シリアルデータの入出力端子です。
P46	ESCLK入力	入力	シリアルクロックの入力端子です。
P47	ESPGMB入力	入力	リード/プログラムパルス信号の入力端子です。

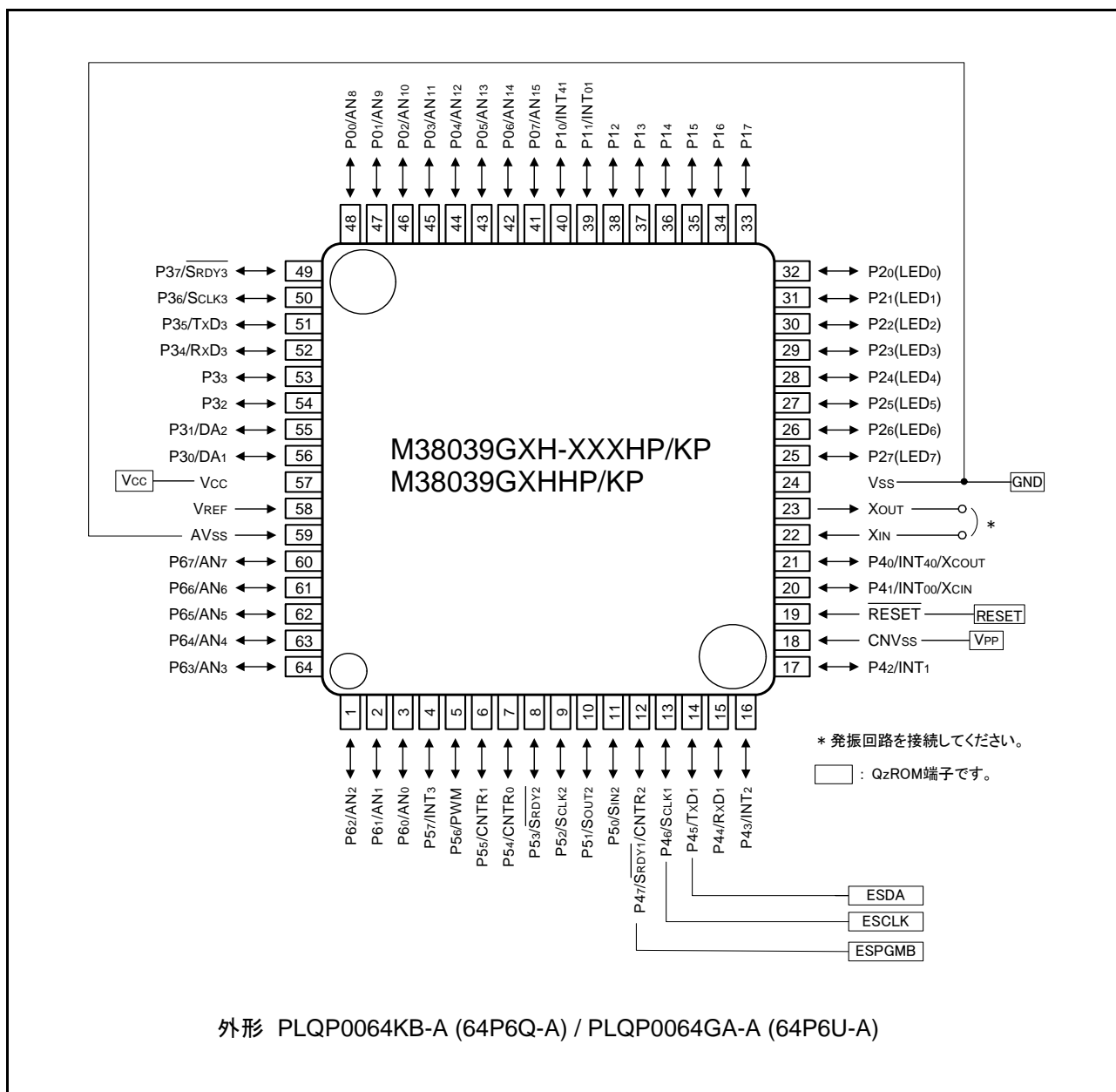


図68. 端子結線図(M38039GXH-XXXHP/KP, M38039GXHHP/KP)

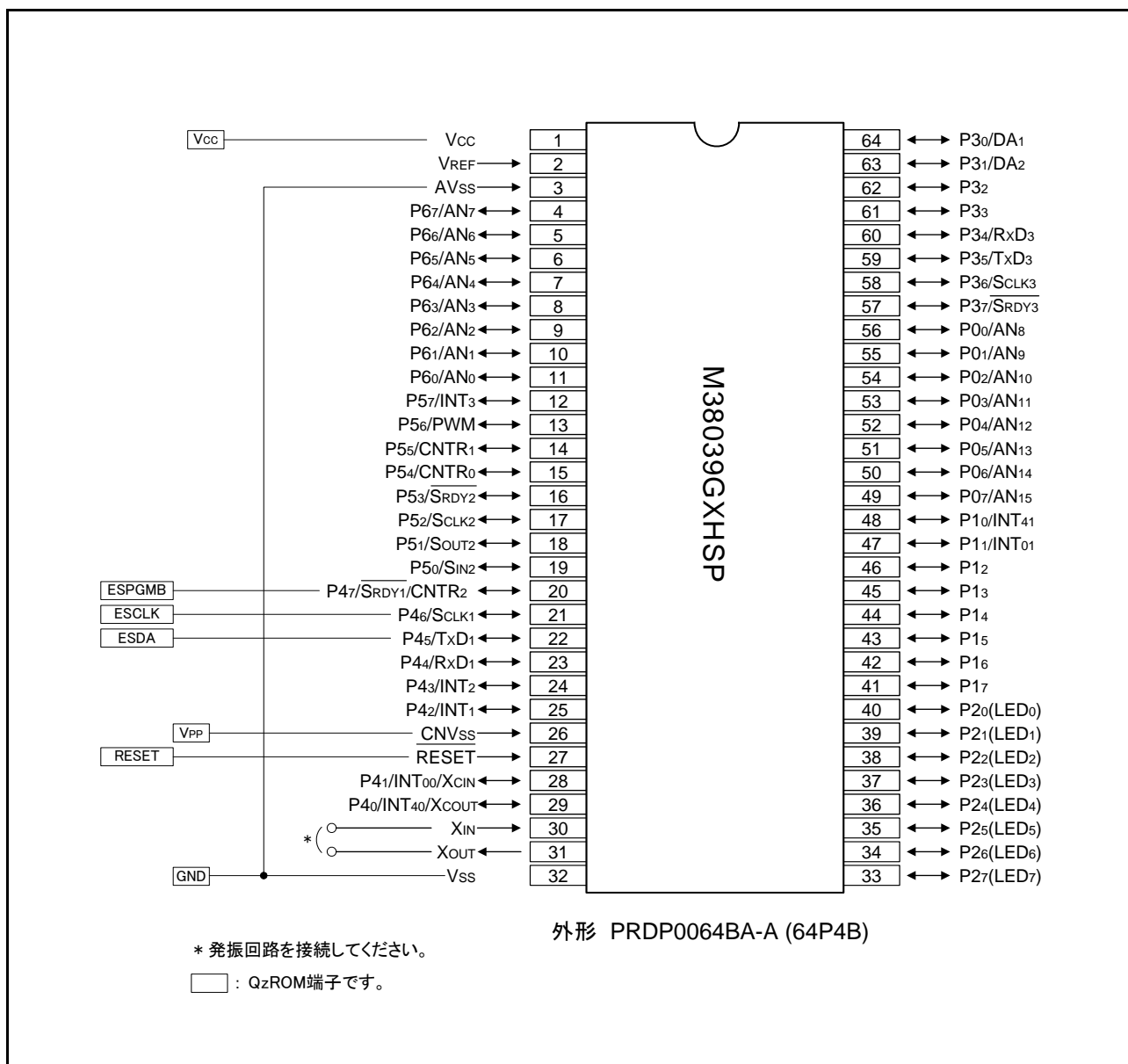


図69. 端子結線図(M38039GXHSP)

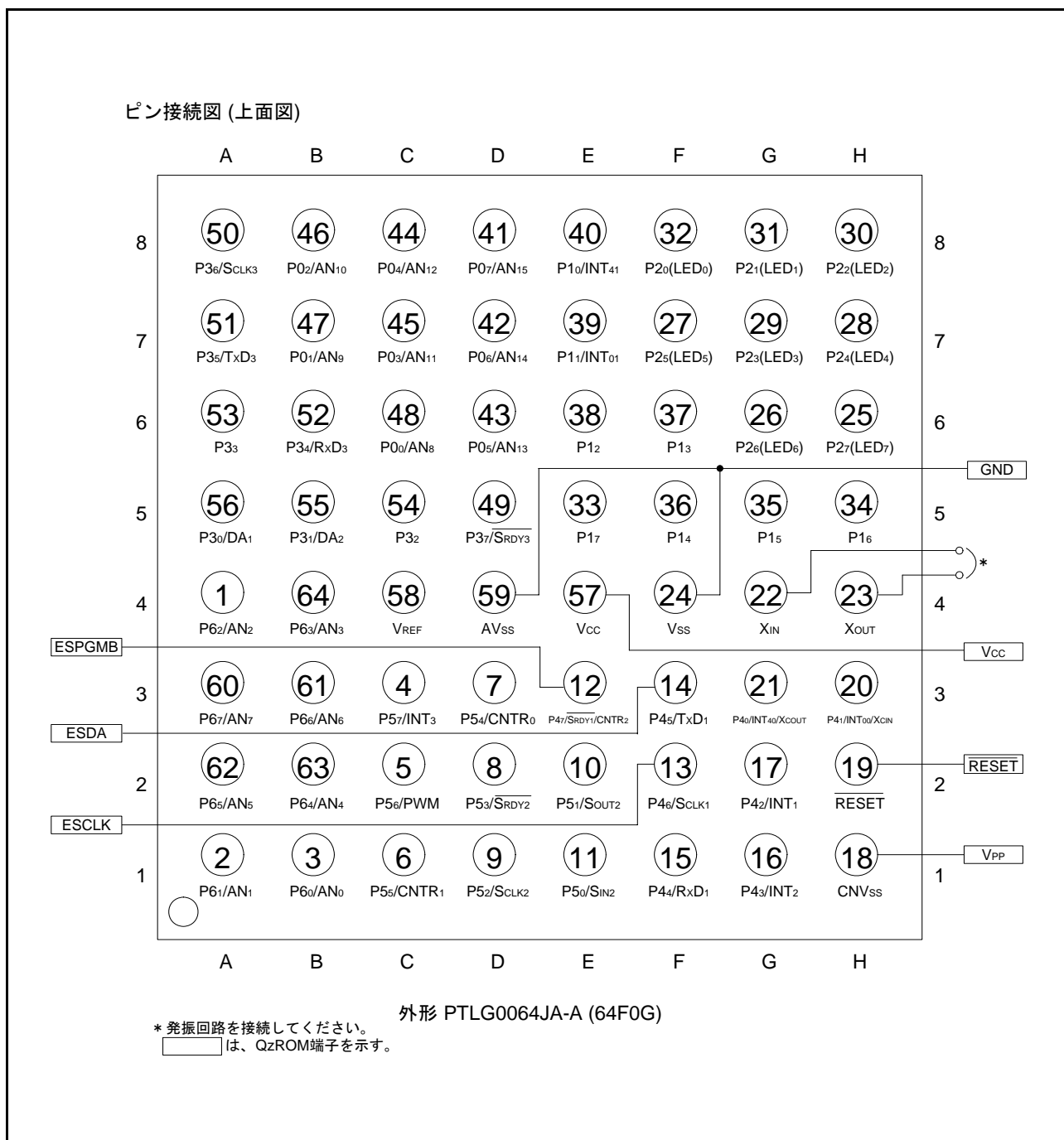


図70. 端子結線図(M38039GCHWG)

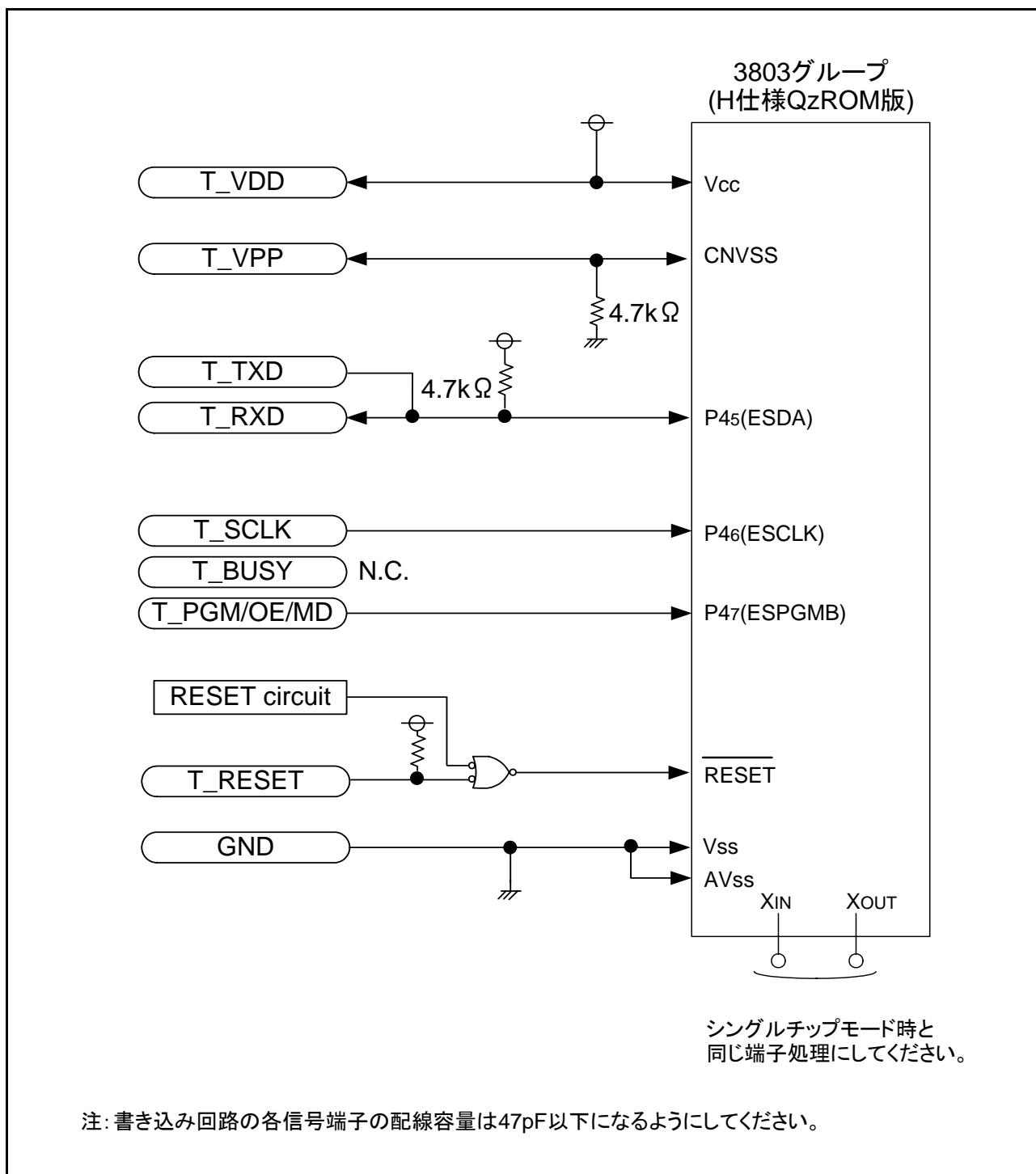


図71. 慧星電子システム製プログラマ使用時の基板上の端子処理例

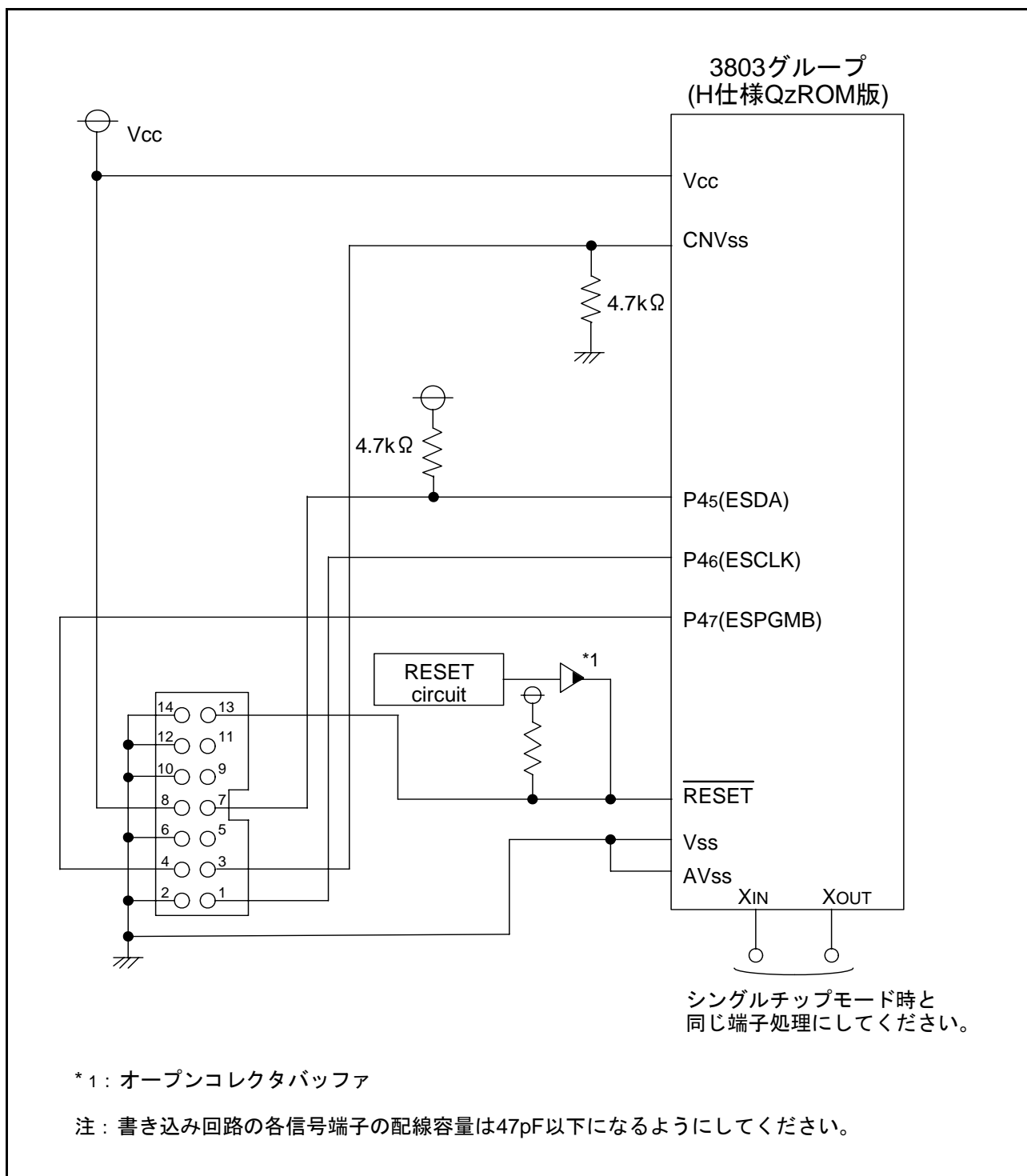


図72. E8 プログラム使用時の基板上の端子処理例

注意事項

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。プログラムの先頭で初期化してください。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

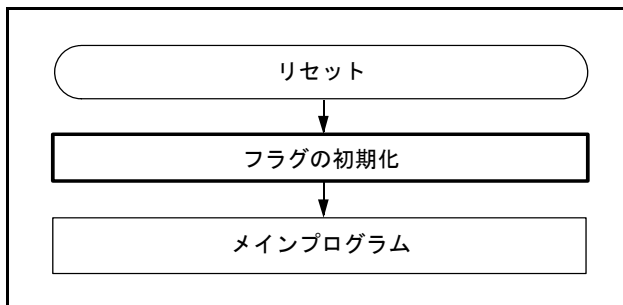


図73. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

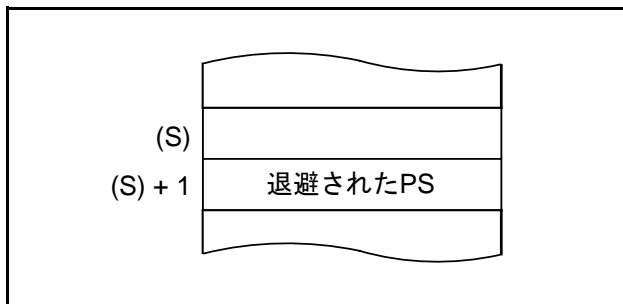


図74. PHP命令実行後のスタックメモリの内容

2. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

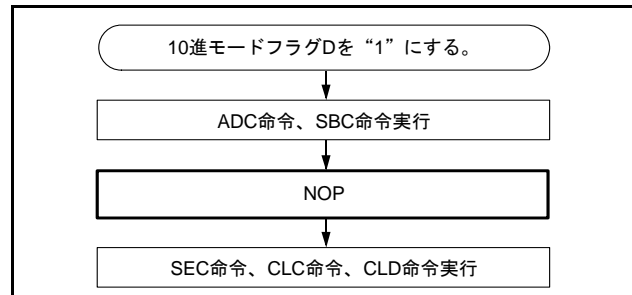


図75. 10進演算時の命令

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

3. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

4. 乗除算命令

- MUL、DIV命令は、T、Dフラグの影響を受けません。
- 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

5. リード・モディファイ・ライト命令

読み出しができないSFRに対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み(リード)、加工して(モディファイ)、元のメモリにバイト単位で書く(ライト)命令です。

740ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

- (1) ビット処理命令
CLB、SEB
- (2) シフト・回転命令
ASL、LSR、ROL、ROR、RRF
- (3) 加減算命令
DEC、INC
- (4) 論理演算命令(1の補数)
COM

なお、リード・モディファイ・ライト命令ではありませんが、Tフラグが“1”の場合の加減算・論理演算命令(ADC、SBC、AND、EOR、ORA)も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができないSFRに対して実行しないでください。

<理由>

読み出しができないSFRに対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

6. シリアルインタフェース

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY出力を行う場合、受信許可ビットおよびSRDY出力許可ビットとともに、送信許可ビットも“1”に設定してください。

また、シリアルI/O1では、送信終了後、TxD1端子が最終ビットをラッチし出力し続けます。

シリアルI/O2では、送信終了後、Sout2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)、シリアルI/O3(クロック同期形モード)およびシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

7. A/D変換

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、中速/高速モード時のA/D変換中は $f(X_{IN})$ 500kHz以上にしてください。

また、A/D変換中はSTP命令を実行しないでください。

8. D/A変換

D/Aコンバータ精度はVccが4.0V以下で異なります。D/Aコンバータを使用する場合はVccを4.0V以上にすることを推奨します。また、D/Aコンバータを使用しない場合、DAi変換レジスタ(i=1, 2)の設定値は、すべて“0016”にしてください。

9. 命令の実行時間

命令の実行時間は「740ファミリ ソフトウェアマニュアル」を参照してください。記載されているサイクル数に内部クロック ϕ の周期をかけることによって得られます。内部クロック ϕ の周期は、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。低速モード時は、XCIN周期の2倍です。

10. 予約領域、予約ビットに関するもの

SFR領域およびスペシャルページにある予約領域には、データは何も書き込まないでください。(リセット後の状態を変更しないでください)

11. CPUモードレジスタに関するもの

CPUモードレジスタ(003B16番地)のビット3は必ず“1”に固定してください。

ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

(1) 配線長の短縮

①リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVSS端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

<理由>

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

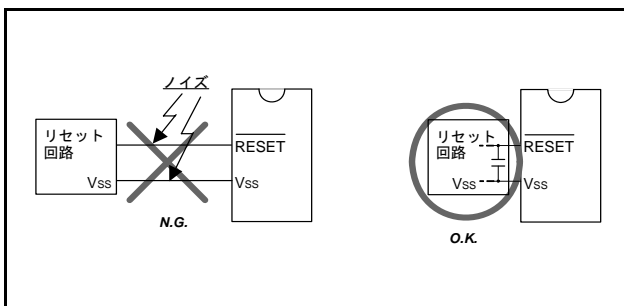


図76. リセット入力端子の配線

②クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- 発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

<理由>

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

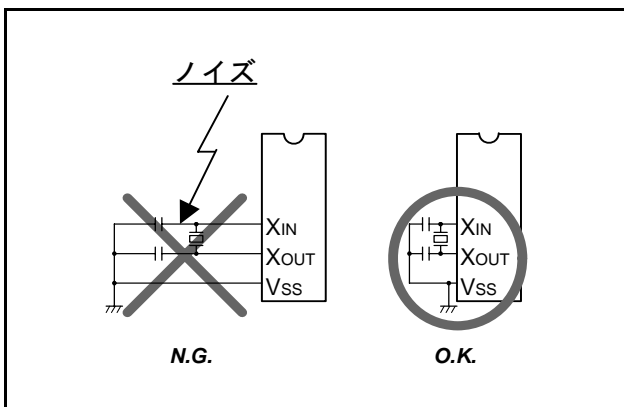


図77. クロック入出力端子の配線

(2) Vss-Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss-Vccライン間に0.1 μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- Vss端子-バイパスコンデンサ間の配線長とVcc端子-バイパスコンデンサ間の配線長を等しくする
- Vss端子-バイパスコンデンサ間の配線長とVcc端子-バイパスコンデンサ間の配線長を最短とする
- Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

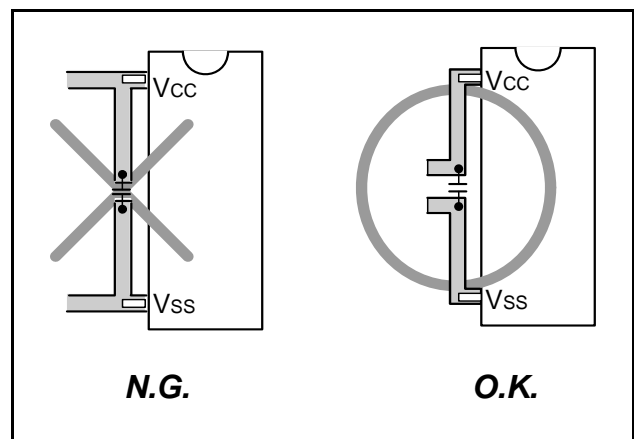


図78. Vss-Vccライン間のバイパスコンデンサ

(3) 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

①大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン（特に発振子）からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

②高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

<理由>

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

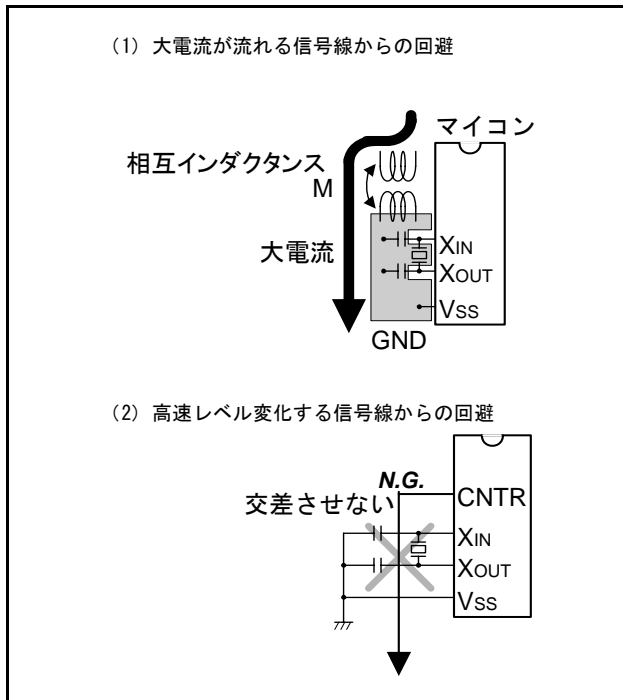


図79. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(4) アナログ入力

アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

(5) メモリ容量の違い

同一グループ内のメモリ容量などが異なる製品は、電気的特性、A/D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

(6) CNVss端子の配線

CNVss端子はフラッシュメモリモードを決定する端子です。

CNVss端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。(注)また、5kΩ程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

注. 注. ブートモード、標準シリアル入出力モードを使用する場合は、CNVss端子の入力レベル切り替えが必要になります。

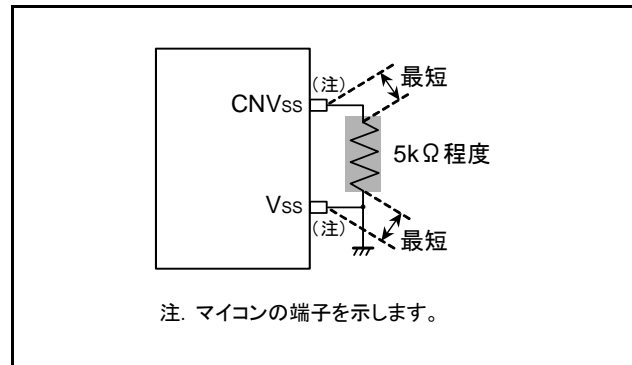


図80. CNVss端子の配線

周辺機能に関する注意事項**入出力端子に関する注意事項****(1) スタンバイ状態での使用**

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ（Vccに接続）又はプルダウン（Vssに接続）してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・ 外付け回路
 - ・ 通常動作時の出力レベルの変動
- また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。
- ・ 入力ポートに設定している場合：入力レベルを固定する。
 - ・ 出力ポートに設定している場合：外部に電流が流出しないようにする。

<理由>

方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*2を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

入出力ポートは、ビット単位で入力モード又は出力モードを設定できます。ポートレジスタに読み出し、書き込みを行うと次のように動作します。

- ・ 入力モードのポート
読み出し：端子のレベルを読む。
書き込み：ポートラッチへ書く。
- ・ 出力モードのポート
読み出し：ポートラッチを読む、又は、周辺機能の出力を読む（ポートにより仕様が異なる）。
書き込み：ポートラッチへ書く（ポートラッチの内容を端子から出力する）。

一方、ビット処理命令はリード・モディファイ・ライト命令*2ですので、ポートレジスタにビット処理命令を実行した場合、命令で指定していないビットにも同時に読み出し及び書き込みが行われます。

指定していないビットが入力モードの場合は、端子のレベルを読み、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違う場合は、ポートラッチの内容が変化します。

指定していないビットが出力モードの場合は、基本的にはポートラッチを読みますが、周辺機能の出力を読むポートもあり、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、周辺機能の出力が違う場合は、ポートラッチの内容が変化します。

*1ビット処理命令：SEB命令、CLB命令

*2リード・モディファイ・ライト命令：メモリをバイト単位で読み（リード）、加工して（モディファイ）、元のメモリにバイト単位で書く（ライト）命令

(3) 方向レジスタ

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

未使用端子の処理に関する注意事項**1. 未使用端子の適切な処理****(1) 出力専用ポート**

開放してください。

(2) 入出力ポート

入力モードに設定し、1～10kΩの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

・ 出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。

・ ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(3) A/Dコンバータを使用しない場合のA/D変換用電源端子AVss

A/Dコンバータを使用しない場合、A/D変換用電源端子AVssは以下のように処理してください。

- ・ AVss:Vssに接続

2. 処理上の留意事項**(1) 入出力ポートを入力モードにする場合**

[1]開放しないでください。

<理由>

- ・ 初段回路によっては電源電流が増加する場合があります。
- ・ 「1. (2) 入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

[2]Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3]複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

割り込みに関する注意事項

1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共有している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

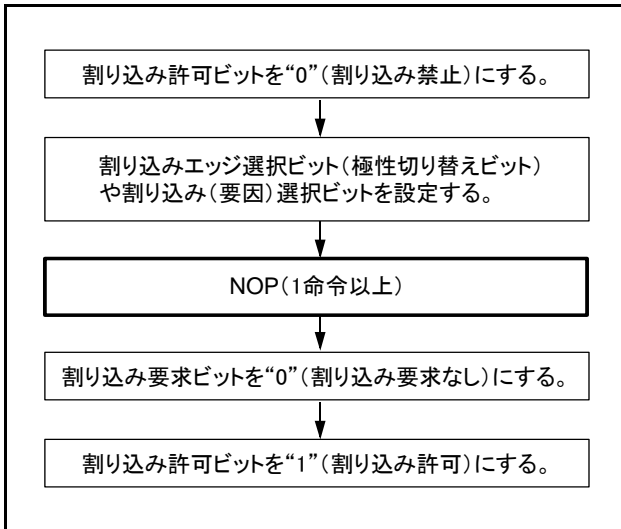


図81. 関連レジスタの設定変更手順

<理由>

次の場合、割り込み要求ビットが“1”になる場合があります。

割り込み要求ビットが“1”になる場合があります。

<外部割り込みのアクティブエッジを切り替えるとき>

- INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ (003A16番地) のビット0)
- INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ (003A16番地) のビット1)
- INT2割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ (003A16番地) のビット3)
- INT3割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ (003A16番地) のビット4)
- INT4割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ (003A16番地) のビット5)
- CNTR0極性切り替えビット
(タイマXYモードレジスタ (002316番地) のビット2)
- CNTR1極性切り替えビット
(タイマXYモードレジスタ (002316番地) のビット6)
- CNTR2極性切り替えビット
(タイマZモードレジスタ (002A16番地) のビット5)

<複数の割り込み要因で共有している割り込みベクトルの割り込み要因を切り替えるとき>

- INT0、INT4割り込み切り替えビット
(割り込みエッジ選択レジスタ (003A16番地) のビット6)
- INT0/タイマZ割り込み要因選択ビット
(割り込み要因選択レジスタ (003916番地) のビット0)
- シリアルI/O2/タイマZ割り込み要因選択ビット
(割り込み要因選択レジスタ (003916番地) のビット1)
- INT4/CNTR2割り込み要因選択ビット
(割り込み要因選択レジスタ (003916番地) のビット4)
- CNTR1/シリアルI/O3受信割り込み要因選択ビット
(割り込み要因選択レジスタ (003916番地) のビット6)
- AD変換/シリアルI/O3送信割り込み要因選択ビット
(割り込み要因選択レジスタ (003916番地) のビット7)

2. 割り込み要求ビットの判定

割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

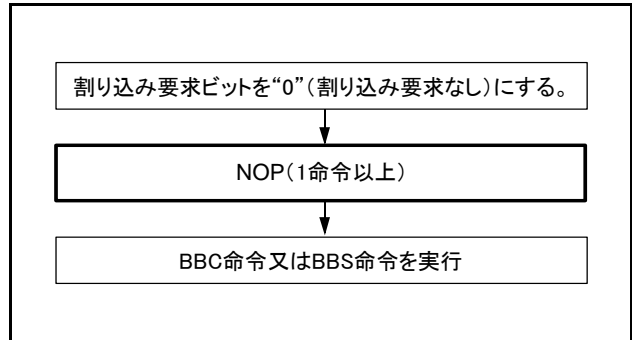


図82. 割り込み要求ビットの設定手順

<理由>

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

8ビットタイマ (タイマ1、タイマ2、タイマX、タイマY) に関する注意事項

- タイマラッチに値 n (“0” ~ “255”) を書き込んだ場合の分周比は、1/(n+1)です。
- タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。
- パルス出力モードではCNTR0/CNTR1端子と共用のポートP54/P55を出力に設定してください。
- イベントカウンタモード及びパルス幅測定モードではCNTR0/CNTR1端子と共用のポートP54/P55を入力に設定してください。

16ビットタイマ（タイマZ）に関する注意事項

1. パルス出力モード

- CNTR2 端子と共用のポート P47 を出力に設定してください。

2. パルス周期測定モード

- CNTR2 端子と共用のポート P47 を入力に設定してください。
- このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中（パルス周期未測定中）のみ有効です。
- このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。
- タイマの値はタイマがアンダフローした場合、又はパルス周期測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

3. パルス幅測定モード

- このモードでは CNTR2 端子と共用のポート P47 を入力に設定してください。
- このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中（パルス周期未測定中）のみ有効です。
- このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。
- タイマの値はタイマがアンダフローした場合、又はパルス幅測定の有効エッジを検出した場合のみ、“FFFF16”に設定されます。よってパルス幅測定開始時のタイマの値は測定開始以前のタイマの値に依存します。

4. プログラマブル波形発生モード

- このモードでは CNTR2 端子と共用のポート P47 を出力に設定してください。

5. プログラマブルワンショット発生モード

- このモードでは CNTR2 端子と共用のポート P47 を出力に、INT1 端子と共用のポート P42 を入力に設定してください。
- 低速モード選択時、プログラマブルワンショット発生モードは使用できません。
- ワンショット発生許可中、又はワンショット発生中に CNTR2 極性切り替えビットの値を変更した場合、CNTR2 端子からの出力レベルが変化します。

6. 全モードにおいて

• タイマZ書き込み制御

タイマZはタイマZモードレジスタ（002A16番地）のタイマZ書き込み制御ビット（b3）によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なお、ラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

• タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

• CNTR2、INT1 割り込み極性切り替え

CNTR2 極性切り替えビット、INT1 割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

• カウントソース切り替え

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

シリアルインタフェースに関する注意事項

1. 同期形の選択時

(1) 送信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O_i(*i*=1, 3)の場合、シリアルI/O_i許可ビット及び送信許可ビットを“0”（シリアルI/O_i禁止及び送信禁止）にしてください。

<理由>

シリアルI/O_i許可ビットだけを“0”（シリアルI/O_i禁止）にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます（TxDi、RxDi、SCLKi、SRDYi各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません）。この状態で、送信バッファレジスタ_iにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタ_iに転送されます。この時点でシリアルI/O_i許可ビットを“1”にすると、内部でシフト中のデータが途中からTxDi端子に出力され、不具合の原因となります。

(2) 受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O_i(*i*=1, 3)の場合、受信許可ビットを“0”（受信禁止）、又はシリアルI/O_i許可ビットを“0”（シリアルI/O_i禁止）にしてください。

(3) 送受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O_i(*i*=1, 3)においては、クロック同期形シリアルI/Oモードの場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”（送受信禁止）にしてください。

（クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。）

<理由>

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”（送信禁止）にしても送信回路は止まらない構成になっています。また「(1)送信動作の停止」と同様に、シリアルI/O_i許可ビットを“0”（シリアルI/O禁止）にしても送信回路を初期化できません。

2. 非同期形の選択時

(1) 送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/Oi許可ビット(i=1, 3)を“0”にすることは送信動作は止まりません。

<理由>

「1. (1)送信動作の停止」と同じです。

(2) 受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/Oi許可ビット(i=1, 3)を“0”にすることは送信動作は止まりません。

<理由>

「1. (1)送信動作の停止」と同じです。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

3. 受信側のSRDYi(i=1,3)出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDYi出力を行う場合、受信許可ビット及びSRDYi出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

4. シリアルI/Oi(i=1, 3)制御レジスタの再設定

シリアルI/Oi制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

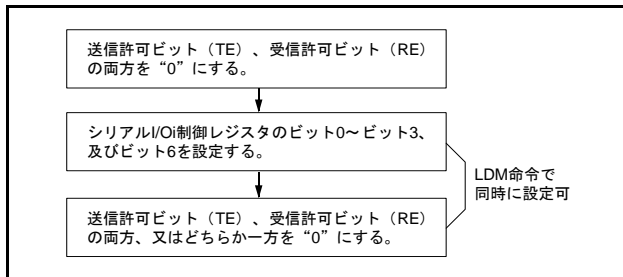


図83. シリアルI/Oi(i=1, 3)制御レジスタの再設定手順

5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6. 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、SCLKi(i=1, 3)が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLKiが“H”の状態で行ってください。

7. 送信許可ビットセット時の送信割り込み要求

送信割り込みを使用する場合は、以下の手順で設定してください。

(1) シリアルI/Oi送信割り込み許可ビット(i=1, 3)を“0”(禁止)にする。

(2) 送信許可ビットを“1”にする。

(3) 一命令以上おいてからシリアルI/Oi送信割り込み要求ビット(i=1, 3)を“0”にする。

(4) シリアルI/Oi送信割り込み許可ビット(i=1, 3)を“1”(許可)にする。

<理由>

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

8. ボーレートジェネレータi(BRGi)(i=1, 3)への書き込み

UARTi(i=1, 3)ボーレートジェネレータi(BRGi)(i=1, 3)への書き込みは、送受信停止中に行ってください。

PWMに関する注意事項

PWM機能許可ビットによってPWMを許可した後、PWM端子から一時的に“L”レベルが出力されてから、PWMは“H”から開始します。

この“L”レベルの出力時間は次のとおりです。

- カウントソース選択ビット=“0”, n=プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- カウントソース選択ビット=“1”, n=プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

A/Dコンバータに関する注意事項

1. アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、0.01μF~1μFの外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/Dコンバータ用電源端子

A/D変換機能の使用又は不使用にかかわらず、A/Dコンバータ用電源端子AVssはVssに接続してください。

<理由>

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

3. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- $f(X_{IN})$ は500kHz以上にしてください。
- STP命令を実行しないでください。

4. 10ビットA/Dモード時の8ビット読み出しと8ビットモードの差異

10ビットA/Dモード時の8ビット読み出しでは、A/D変換結果に“-1/2LSB”の補正が入りません。これに対して8ビットA/Dモードでは“-1/2LSB”補正が加えられ、3802グループと同一の変換特性となります。

D/Aコンバータに関する注意事項

D/Aコンバータ使用時は以下の点に留意してください。

1. DAコンバータを使用する場合のVcc

DAコンバータの精度はVccが4.0V以下で異なります。DAコンバータを使用する場合はVccを4.0V以上にすることを推奨します。

2. DAコンバータを使用しない場合のD/Ai変換レジスタ

DAコンバータを使用しない場合、D/Ai変換レジスタ(i=1, 2)の設定値は、すべて“0016”にしてください。リセット後の初期値は“0016”です。

ウォッチドッグタイマに関する注意事項

- ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマHがアンダフローしないようにしてください。
- ウォッチドッグタイマ制御レジスタのSTP命令機能選択ビットを一旦“1”にすると、プログラムにより“0”に書き替えることはできません。

リセット端子に関する注意事項

コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- コンデンサの配線長は最短にしてください。
- ユーザサイドで応用製品の動作確認を十分行ってください。

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

低速モードに関する注意事項

1. サブクロックの使用

サブクロックを使用する場合、CPUモードレジスタのビット3を常に“1”に固定してください。又Rd(図84参照)の抵抗値を調整することにより、発振の安定を図ってください。この抵抗値については発振子メーカーにお問い合わせください。

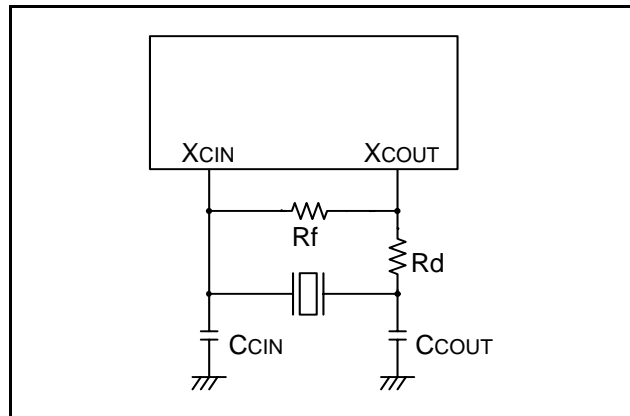


図84. 水晶発振外付け

<理由>

CPUモードレジスタのビット3を“0”に設定すると、サブクロックの発振動作が停止することがあります。

2. 中/高速モードと低速モード間の移行

中/高速モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(X_{IN}) > 3 \times f(X_{CIN})$ である必要があります。

水晶発振子に関する注意事項

16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。

発振の再開に関する注意事項

発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1及びプリスケアラ12には特定の値(タイマ1には0116、プリスケアラ12にはFF16)が発振安定待ちのため自動的にセットされます。一方、MISRG(001016番地)のbit0を“1”にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを“1”にセットした場合、ストップ命令実行直前のタイマ1及びプリスケアラ12に残っている値が発振安定待ち時間用のカウント値となってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1及びプリスケアラ12に設定してください。

<理由>

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

ストップモード使用上の注意事項

レジスタ設定

ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。(STP命令解除後の発振安定時間設定ビットが“0”のとき)

復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されている場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後もサブクロック側の発振は安定していませんので、注意してください。

ウェイトモード使用上の注意事項

復帰後のクロック

WIT命令実行時にXCINをシステムクロックとして設定し、XINの発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、XCINの発振が停止し、XINが発振を開始し、XINがシステムクロックになります。

上記においてXINの発振が安定するまで、RESET端子に“L”レベルを入力しておく必要があります。

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、および電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F～0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生する事があります。また書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケット上の異物などに充分留意してご使用ください。

過電圧に関する注意事項

他の端子に、Vcc端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のCNVss端子(QzROMのVpp電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

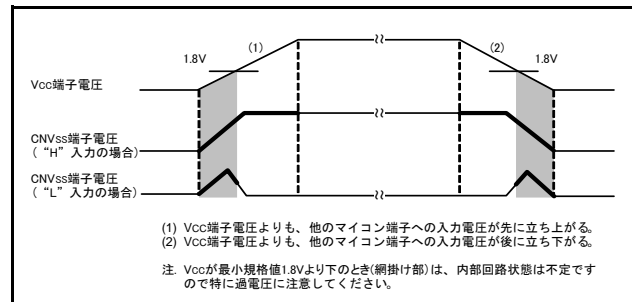


図85. タイミング図(太線の区間が該当)

QzROM版に関する注意事項

CNVss/Vpp端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

また、5k Ω 程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

<理由>

CNVss/Vpp端子は内蔵QzROMの電源入力端子です。QzROMへのプログラム書き込み時に、書き込み電流が流れるようにVpp端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。Vpp端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

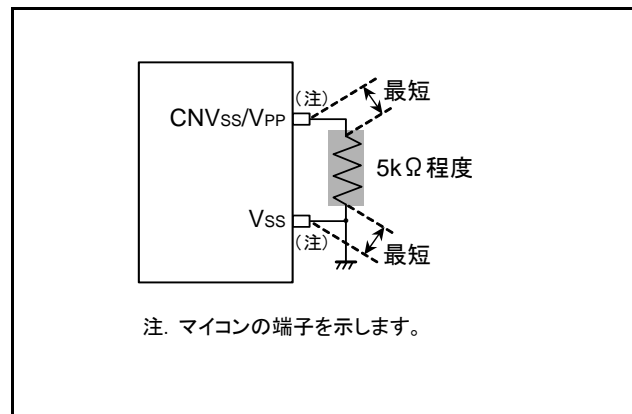


図86. CNVss/Vpp端子の配線

QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ (MM) を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ (MM) を実行する際は、必ずROMオプション (マスク変換ユーティリティ内では“マスクオプション”表記) データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値 (“0016”、“FF16”、“FE16”) 以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無に関わらず、あらかじめ“FF16”を設定してください。“FF16”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ……マスクファイル

* QzROM書き込み確認書およびマーク指定書につきましては、ルネサステクノロジーホームページ (<http://japan.renesas.com/homepage.jsp>) を参照してください。

なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応しておりません。

QzROM品受け入れ手順

お客様で書き込みを実施される場合は、下記の手順で受け入れ検査を実施してください。

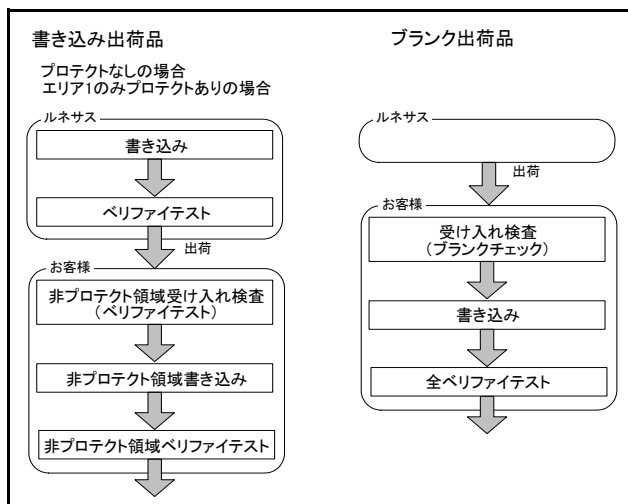


図87. QzROM受け入れ手順

電気的特性

絶対最大規格

表 10. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	-0.3~6.5	V
V _I	入力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P3 ₁ , P3 ₄ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , V _{REF}		-0.3~V _{CC} +0.3	V
V _I	入力電圧 P3 ₂ , P3 ₃		-0.3~5.8	V
V _I	入力電圧 $\overline{\text{RESET}}$, X _{IN}		-0.3~V _{CC} +0.3	V
V _I	入力電圧 CNV _{SS}		-0.3~8.0	V
V _O	出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P3 ₁ , P3 ₄ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , X _{OUT}		-0.3~V _{CC} +0.3	V
V _O	出力電圧 P3 ₂ , P3 ₃		-0.3~5.8	V
P _d	消費電力	T _a = 25°C	1000 (注)	mW
T _{opr}	動作周囲温度	—	-20~85	°C
T _{stg}	保存温度	—	-65~125	°C

注. SPパッケージ以外は300mWです。

推奨動作条件

表 11. 推奨動作条件(1) (指定のない場合は、Vcc=1.8~5.5V, Vss=0V, Ta = -20~85°C)

記号	項目	条件	規格値			単位	
			最小	標準	最大		
Vcc	電源電圧 (注1)	発振開始時 (注2)	2.2	5.0	5.5	V	
		高速モード時 $f(\phi)=f(X_{IN})/2$	$f(X_{IN}) \leq 2.1\text{MHz}$	2.0	5.0	5.5	V
			$f(X_{IN}) \leq 4.2\text{MHz}$	2.2	5.0	5.5	
			$f(X_{IN}) \leq 8.4\text{MHz}$	2.7	5.0	5.5	
			$f(X_{IN}) \leq 12.5\text{MHz}$	4.0	5.0	5.5	
			$f(X_{IN}) \leq 16.8\text{MHz}$	4.5	5.0	5.5	
		中速モード時 $f(\phi)=f(X_{IN})/8$	$f(X_{IN}) \leq 6.3\text{MHz}$	1.8	5.0	5.5	V
			$f(X_{IN}) \leq 8.4\text{MHz}$	2.2	5.0	5.5	
			$f(X_{IN}) \leq 12.5\text{MHz}$	2.7	5.0	5.5	
			$f(X_{IN}) \leq 16.8\text{MHz}$	4.5	5.0	5.5	
Vss	電源電圧		0		V		
VIH	“H” 入力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67	$1.8 \leq V_{cc} < 2.7\text{V}$	0.85Vcc		Vcc	V	
		$2.7 \leq V_{cc} \leq 5.5\text{V}$	0.8Vcc		Vcc		
VIH	“H” 入力電圧 P32, P33	$1.8 \leq V_{cc} < 2.7\text{V}$	0.85Vcc		5.5	V	
		$2.7 \leq V_{cc} \leq 5.5\text{V}$	0.8Vcc		5.5		
VIH	“H” 入力電圧 RESET, XIN, XCIN, CNVss	$1.8 \leq V_{cc} < 2.7\text{V}$	0.85Vcc		Vcc	V	
		$2.7 \leq V_{cc} \leq 5.5\text{V}$	0.8Vcc		Vcc		
VIL	“L” 入力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	$1.8 \leq V_{cc} < 2.7\text{V}$	0		0.16Vcc	V	
		$2.7 \leq V_{cc} \leq 5.5\text{V}$	0		0.2Vcc		
VIL	“L” 入力電圧 RESET, CNVss	$1.8 \leq V_{cc} < 2.7\text{V}$	0		0.16Vcc	V	
		$2.7 \leq V_{cc} \leq 5.5\text{V}$	0		0.2Vcc		
VIL	“L” 入力電圧 XIN, XCIN	$1.8 \leq V_{cc} \leq 5.5\text{V}$	0		0.16Vcc	V	
f(XIN)	メインクロック入力発振周波数 (注3)	高速モード時 $f(\phi)=f(X_{IN})/2$	$2.0 \leq V_{cc} < 2.2\text{V}$		$\frac{(20 \times V_{cc} - 36) \times 1.05}{2}$	MHz	
			$2.2 \leq V_{cc} < 2.7\text{V}$		$\frac{(24 \times V_{cc} - 40.8) \times 1.05}{3}$		
			$2.7 \leq V_{cc} < 4.0\text{V}$		$\frac{(9 \times V_{cc} - 0.3) \times 1.05}{3}$		
			$4.0 \leq V_{cc} < 4.5\text{V}$		$\frac{(24 \times V_{cc} - 60) \times 1.05}{3}$		
			$4.5 \leq V_{cc} \leq 5.5\text{V}$		16.8		
		中速モード時 $f(\phi)=f(X_{IN})/8$	$1.8 \leq V_{cc} < 2.2\text{V}$		$\frac{(15 \times V_{cc} - 9) \times 1.05}{3}$	MHz	
			$2.2 \leq V_{cc} < 2.7\text{V}$		$\frac{(24 \times V_{cc} - 28.8) \times 1.05}{3}$		
			$2.7 \leq V_{cc} < 4.5\text{V}$		$\frac{(15 \times V_{cc} + 39) \times 1.1}{7}$		
			$4.5 \leq V_{cc} \leq 5.5\text{V}$		16.8		
f(XCIN)	サブクロック入力発振周波数 (注3),(注4)		32.768	50	kHz		

注1. A/Dコンバータを使用する場合は、A/Dコンバータ推奨動作条件を参照してください。

注2. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので、注意してください。

注3. 発振周波数はデューティ 50%の場合です。

注4. 低速モードを使用する場合のサブクロック入力発振周波数は、必ず $f(X_{CIN}) < f(X_{IN})/3$ としてください。

表 12. 推奨動作条件(2) (指定のない場合は、V_{CC}=1.8~5.5V, V_{SS}=0V, T_a=-20~85°C)

記号	項目	規格値			単位
		最小	標準	最大	
Σ IOH(peak)	“H” 出力総尖頭電流(注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			- 80	mA
Σ IOH(peak)	“H” 出力総尖頭電流(注1) P40~P47, P50~P57, P60~P67			- 80	mA
Σ IOL(peak)	“L” 出力総尖頭電流(注1) P00~P07, P10~P17, P30~P37			80	mA
Σ IOL(peak)	“L” 出力総尖頭電流(注1) P20~P27			80	mA
Σ IOL(peak)	“L” 出力総尖頭電流(注1) P40~P47, P50~P57, P60~P67			80	mA
Σ IOH(avg)	“H” 出力総平均電流(注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			- 40	mA
Σ IOH(avg)	“H” 出力総平均電流(注1) P40~P47, P50~P57, P60~P67			- 40	mA
Σ IOL(avg)	“L” 出力総平均電流(注1) P00~P07, P10~P17, P30~P37			40	mA
Σ IOL(avg)	“L” 出力総平均電流(注1) P20~P27			40	mA
Σ IOL(avg)	“L” 出力総平均電流(注1) P40~P47, P50~P57, P60~P67			40	mA
IOH(peak)	“H” 出力尖頭電流(注2) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			- 10	mA
IOL(peak)	“L” 出力尖頭電流(注2) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			10	mA
IOL(peak)	“L” 出力尖頭電流(注2) P20~P27			20	mA
IOH(avg)	“H” 出力平均電流(注3) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			- 5	mA
IOL(avg)	“L” 出力平均電流(注3) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			5	mA
IOL(avg)	“L” 出力平均電流(注3) P20~P27			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3. 出力平均電流は、IOL(avg)、IOH(avg)100msの期間での平均値です。

電気的特性

表 13. 電気的特性(1) (指定のない場合は、Vcc=1.8~5.5V, Vss=0V, Ta = -20~85°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H” 出力電圧 (注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47 P50~P57, P60~P67	IOH=-10mA VCC=4.0~5.5V	Vcc-2.0			V
		IOH=-1.0mA VCC=1.8~5.5V	Vcc-1.0			
VOL	“L” 出力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	IOL=10mA VCC=4.0~5.5V			2.0	V
		IOL=1.6mA VCC=1.8~5.5V			1.0	
VOL	“L” 出力電圧 P20~P27	IOL=20mA VCC=4.0~5.5V			2.0	V
		IOL=1.6mA VCC=1.8~5.5V			0.4	
VT+ - VT-	ヒステリシス CNTR0, CNTR1, CNTR2, INT0~INT4			0.4		V
VT+ - VT-	ヒステリシス RxD1, SCLK1, SIN2, SCLK2, RxD3, SCLK3			0.5		V
VT+ - VT-	ヒステリシス $\overline{\text{RESET}}$			0.5		V
IiH	“H” 入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	Vi=Vcc (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			5.0	μA
IiH	“H” 入力電流 $\overline{\text{RESET}}$, CNVss	Vi=Vcc			5.0	μA
IiH	“H” 入力電流 XIN	Vi=Vcc		4.0		μA
IiL	“L” 入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	Vi=Vss (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			-5.0	μA
IiL	“L” 入力電流 $\overline{\text{RESET}}$, CNVss	Vi=Vss			-5.0	μA
IiL	“L” 入力電流 XIN	Vi=Vss		-4.0		μA
IiL	“L” 入力電流 (プルアップ有効時) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47 P50~P57, P60~P67	Vi=Vss VCC=5.0V	-80	-210	-420	μA
		Vi=Vss VCC=3.0V	-30	-70	-140	
V _{RAM}	RAM保持電圧	クロック停止時	1.8		Vcc	V

注1. P35に関しては、UART3制御レジスタのP35/TxD3 Pチャンネル出力禁止ビット(003316番地のビット4)が"0"の場合です。
P45に関しては、UART1制御レジスタのP45/TxD1 Pチャンネル出力禁止ビット(001B16番地のビット4)が"0"の場合です。

表 14. 電気的特性(2)

(指定のない場合は、 $V_{CC}=1.8\sim 5.5V$, $T_a = -20\sim 85^\circ C$, $f(X_{CIN})=32.768kHz$ (中速モード時は停止),
出力トランジスタは遮断状態, A/Dコンバータ非動作時)

記号	項目	測定条件			規格値			単位	
					最小	標準	最大		
I _{CC}	電源電流	高速モード時	V _{CC} =5.0V	f(X _{IN})=16.8MHz		8.0	15.0	mA	
				f(X _{IN})=12.5MHz		6.5	12.0		
				f(X _{IN})=8.4MHz		5.0	9.0		
				f(X _{IN})=4.2MHz		2.5	5.0		
				f(X _{IN})=16.8MHz (WIT 命令実行時)		2.0	3.6		
			V _{CC} =3.0V	f(X _{IN})=8.4MHz		1.9	3.8	mA	
				f(X _{IN})=4.2MHz		1.0	2.0		
				f(X _{IN})=2.1MHz		0.6	1.2		
			中速モード時	V _{CC} =5.0V	f(X _{IN})=16.8MHz		4.0	7.0	mA
		f(X _{IN})=12.5MHz				3.0	6.0		
		f(X _{IN})=8.4MHz				2.5	5.0		
		f(X _{IN})=16.8MHz (WIT 命令実行時)				1.8	3.3		
		V _{CC} =3.0V			f(X _{IN})=12.5MHz		1.5	3.0	
				f(X _{IN})=8.4MHz		1.2	2.4		
				f(X _{IN})=6.3MHz		1.0	2.0		
		低速モード時		V _{CC} =5.0V	f(X _{IN})=停止		55	200	μA
					WIT 命令実行時		40	70	
			V _{CC} =3.0V	f(X _{IN})=停止		15	40	μA	
				WIT 命令実行時		8	15		
			V _{CC} =2.0V	f(X _{IN})=停止		6	15	μA	
				WIT 命令実行時		3	6		
STP 命令実行時 (発振はすべて停止)	T _a = 25°C				0.1	1.0	μA		
	T _a = 85°C					10			
A/Dコンバータ動作時の電流増量		f(X _{IN})=16.8MHz, V _{CC} =5.0V 中、高速モード時			500		μA		

A/Dコンバータ推奨動作条件

表 15. A/Dコンバータ推奨動作条件(指定のない場合は、 $V_{CC}=2.0\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VCC	電源電圧 (A/Dコンバータ使用時)	8ビットA/Dモード時(注1)	2.0	5.0	5.5	V
		10ビットA/Dモード時(注2)	2.2	5.0	5.5	
VREF	A/Dコンバータ基準電圧		2.0		VCC	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN15		0		VCC	V
f(XIN)	メインクロック入力発振周波数 (A/Dコンバータ使用時)	$2.0 \leq V_{CC}=V_{REF} < 2.2V$	0.5		$\frac{(20 \times V_{CC} - 36) \times 1.05}{2}$	MHz
		$2.2 \leq V_{CC}=V_{REF} < 2.7V$	0.5		$\frac{(24 \times V_{CC} - 40.8) \times 1.05}{3}$	
		$2.7 \leq V_{CC}=V_{REF} < 4.0V$	0.5		$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	
		$4.0 \leq V_{CC}=V_{REF} < 4.5V$	0.5		$\frac{(24.6 \times V_{CC} - 62.7) \times 1.05}{3}$	
		$4.5 \leq V_{CC}=V_{REF} \leq 5.5V$	0.5		16.8	

注1. 8ビットA/Dモード: 変換モード選択ビット(0038₁₆番地のビット7)が“1”の場合注2. 10ビットA/Dモード: 変換モード選択ビット(0038₁₆番地のビット7)が“0”の場合

A/Dコンバータ特性

表 16. A/Dコンバータ特性(指定のない場合は、 $V_{CC}=2.0\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	8ビットA/Dモード時(注1)			8	bit	
		10ビットA/Dモード時(注2)			10		
—	絶対精度 (量子化誤差は除く)	8ビットA/Dモード時 (注1)	$2.0 \leq V_{REF} < 2.2V$			±3	LSB
			$2.2 \leq V_{REF} \leq 5.5V$			±2	
		10ビットA/Dモード時 (注2)	$2.2 \leq V_{REF} < 2.7V$			±5	LSB
			$2.7 \leq V_{REF} \leq 5.5V$			±4	
tCONV	変換時間	8ビットA/Dモード時(注1)			50	2tc(XIN)	
		10ビットA/Dモード時(注2)			61		
RLADDER	ラダー抵抗		12	35	100	kΩ	
IVREF	基準電源 入力電流	A/D変換動作時	VREF=5.0V	50	150	200	μA
		A/D変換停止時	VREF=5.0V			5.0	
II(AD)	A/Dポート入力電流				5.0	μA	

注1. 8ビットA/Dモード: 変換モード選択ビット(0038₁₆番地のビット7)が“1”の場合注2. 10ビットA/Dモード: 変換モード選択ビット(0038₁₆番地のビット7)が“0”の場合

D/Aコンバータ特性

表 17. D/Aコンバータ特性(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V\sim V_{CC}$, $T_a=-20\sim 85^\circ C$)

記号	項目	規格値			単位
		最小	標準	最大	
—	分解能			8	bit
—	絶対精度	$4.0 \leq V_{REF} \leq 5.5V$		1.0	%
		$2.7 \leq V_{REF} < 4.0V$		2.5	
t_{su}	設定時間			3	μs
RO	出力抵抗	2	3.5	5	$k\Omega$
I_{VREF}	基準電源入力電流(注1)			3.2	mA

注1. D/Aコンバータ1本使用、他のDAi変換レジスタ(i=1,2)の値は“00₁₆”。

タイミング必要条件

表 18. タイミング必要条件(1) (指定のない場合は、 $V_{CC}=2.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	規格値			単位
		最小	標準	最大	
$t_w(\overline{RESET})$	リセット入力“L”パルス幅	16			XINサイクル
$t_c(XIN)$	メインロックXIN 入力サイクル時間	$4.5 \leq V_{CC} \leq 5.5V$	59.5		ns
		$4.0 \leq V_{CC} < 4.5V$	$10000 / (86V_{CC} - 219)$		
		$2.7 \leq V_{CC} < 4.0V$	$26 \times 10^3 / (82V_{CC} - 3)$		
		$2.2 \leq V_{CC} < 2.7V$	$10000 / (84V_{CC} - 143)$		
		$2.0 \leq V_{CC} < 2.2V$	$10000 / (105V_{CC} - 189)$		
$t_{WH}(XIN)$	メインロックXIN 入力“H”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	25		ns
		$4.0 \leq V_{CC} < 4.5V$	$4000 / (86V_{CC} - 219)$		
		$2.7 \leq V_{CC} < 4.0V$	$10000 / (82V_{CC} - 3)$		
		$2.2 \leq V_{CC} < 2.7V$	$4000 / (84V_{CC} - 143)$		
		$2.0 \leq V_{CC} < 2.2V$	$4000 / (105V_{CC} - 189)$		
$t_{WL}(XIN)$	メインロックXIN 入力“L”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	25		ns
		$4.0 \leq V_{CC} < 4.5V$	$4000 / (86V_{CC} - 219)$		
		$2.7 \leq V_{CC} < 4.0V$	$10000 / (82V_{CC} - 3)$		
		$2.2 \leq V_{CC} < 2.7V$	$4000 / (84V_{CC} - 143)$		
		$2.0 \leq V_{CC} < 2.2V$	$4000 / (105V_{CC} - 189)$		
$t_c(XCIN)$	サブロックXCIN入力サイクル時間	20			μs
$t_{WH}(XCIN)$	サブロックXCIN入力“H”パルス幅	5			μs
$t_{WL}(XCIN)$	サブロックXCIN入力“L”パルス幅	5			μs
$t_c(CNTR)$	CNTR ₀ ~ CNTR ₂ 入力サイクル時間	$4.5 \leq V_{CC} \leq 5.5V$	120		ns
		$4.0 \leq V_{CC} < 4.5V$	160		
		$2.7 \leq V_{CC} < 4.0V$	250		
		$2.2 \leq V_{CC} < 2.7V$	500		
		$2.0 \leq V_{CC} < 2.2V$	1000		
$t_{WH}(CNTR)$	CNTR ₀ ~ CNTR ₂ “H”入力パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	48		ns
		$4.0 \leq V_{CC} < 4.5V$	64		
		$2.7 \leq V_{CC} < 4.0V$	115		
		$2.2 \leq V_{CC} < 2.7V$	230		
		$2.0 \leq V_{CC} < 2.2V$	460		
$t_{WL}(CNTR)$	CNTR ₀ ~ CNTR ₂ “L”入力パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	48		ns
		$4.0 \leq V_{CC} < 4.5V$	64		
		$2.7 \leq V_{CC} < 4.0V$	115		
		$2.2 \leq V_{CC} < 2.7V$	230		
		$2.0 \leq V_{CC} < 2.2V$	460		
$t_{WH}(INT)$	INT ₀₀ , INT ₀₁ , INT ₁ , INT ₂ , INT ₃ , INT ₄₀ , INT ₄₁ 入力“H”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	48		ns
		$4.0 \leq V_{CC} < 4.5V$	64		
		$2.7 \leq V_{CC} < 4.0V$	115		
		$2.2 \leq V_{CC} < 2.7V$	230		
		$2.0 \leq V_{CC} < 2.2V$	460		
$t_{WL}(INT)$	INT ₀₀ , INT ₀₁ , INT ₁ , INT ₂ , INT ₃ , INT ₄₀ , INT ₄₁ 入力“L”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	48		ns
		$4.0 \leq V_{CC} < 4.5V$	64		
		$2.7 \leq V_{CC} < 4.0V$	115		
		$2.2 \leq V_{CC} < 2.7V$	230		
		$2.0 \leq V_{CC} < 2.2V$	460		

表 19. タイミング必要条件(2) (指定のない場合は、Vcc=2.0~5.5V, Vss=0V, Ta=-20~85°C)

記号	項目	規格値			単位
		最小	標準	最大	
tc(SCLK1) tc(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力サイクル時間 (注1)	4.5 ≤ Vcc ≤ 5.5V	250		ns
		4.0 ≤ Vcc < 4.5V	320		
		2.7 ≤ Vcc < 4.0V	500		
		2.2 ≤ Vcc < 2.7V	1000		
		2.0 ≤ Vcc < 2.2V	2000		
twh(SCLK1) twh(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“H”パルス幅 (注1)	4.5 ≤ Vcc ≤ 5.5V	120		ns
		4.0 ≤ Vcc < 4.5V	150		
		2.7 ≤ Vcc < 4.0V	240		
		2.2 ≤ Vcc < 2.7V	480		
		2.0 ≤ Vcc < 2.2V	950		
twl(SCLK1) twl(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“L”パルス幅 (注1)	4.5 ≤ Vcc ≤ 5.5V	120		ns
		4.0 ≤ Vcc < 4.5V	150		
		2.7 ≤ Vcc < 4.0V	240		
		2.2 ≤ Vcc < 2.7V	480		
		2.0 ≤ Vcc < 2.2V	950		
tsu(RxD1-SCLK1) tsu(RxD3-SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力セットアップ時間	4.5 ≤ Vcc ≤ 5.5V	70		ns
		4.0 ≤ Vcc < 4.5V	90		
		2.7 ≤ Vcc < 4.0V	100		
		2.2 ≤ Vcc < 2.7V	200		
		2.0 ≤ Vcc < 2.2V	400		
th(SCLK1-RxD1) th(SCLK3-RxD3)	シリアルI/O1, シリアルI/O3 クロック入力ホールド時間	4.5 ≤ Vcc ≤ 5.5V	32		ns
		4.0 ≤ Vcc < 4.5V	40		
		2.7 ≤ Vcc < 4.0V	50		
		2.2 ≤ Vcc < 2.7V	100		
		2.0 ≤ Vcc < 2.2V	200		
tc(SCLK2)	シリアルI/O2 クロック入力サイクル時間	4.5 ≤ Vcc ≤ 5.5V	500		ns
		4.0 ≤ Vcc < 4.5V	650		
		2.7 ≤ Vcc < 4.0V	1000		
		2.2 ≤ Vcc < 2.7V	2000		
		2.0 ≤ Vcc < 2.2V	4000		
twh(SCLK2)	シリアルI/O2 クロック入力“H”パルス幅	4.5 ≤ Vcc ≤ 5.5V	200		ns
		4.0 ≤ Vcc < 4.5V	260		
		2.7 ≤ Vcc < 4.0V	400		
		2.2 ≤ Vcc < 2.7V	950		
		2.0 ≤ Vcc < 2.2V	2000		
twl(SCLK2)	シリアルI/O2 クロック入力“L”パルス幅	4.5 ≤ Vcc ≤ 5.5V	200		ns
		4.0 ≤ Vcc < 4.5V	260		
		2.7 ≤ Vcc < 4.0V	400		
		2.2 ≤ Vcc < 2.7V	950		
		2.0 ≤ Vcc < 2.2V	2000		
tsu(SIN2-SCLK2)	シリアルI/O2 クロック入力セットアップ時間	4.5 ≤ Vcc ≤ 5.5V	100		ns
		4.0 ≤ Vcc < 4.5V	130		
		2.7 ≤ Vcc < 4.0V	200		
		2.2 ≤ Vcc < 2.7V	400		
		2.0 ≤ Vcc < 2.2V	800		
th(SCLK2-SIN2)	シリアルI/O2 クロック入力ホールド時間	4.5 ≤ Vcc ≤ 5.5V	100		ns
		4.0 ≤ Vcc < 4.5V	130		
		2.7 ≤ Vcc < 4.0V	150		
		2.2 ≤ Vcc < 2.7V	300		
		2.0 ≤ Vcc < 2.2V	600		

注1. 001A16番地のビット6, 003216番地のビット6が“1”(クロック同期式モード)の場合です。
001A16番地のビット6, 003216番地のビット6が“0”(非同期式モード)の場合は、規格値は1/4になります。

スイッチング特性

表20. スwitchング特性(1) (指定のない場合は、Vcc=2.0~5.5V, Vss=0V, Ta= -20~85°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1) t _{WH} (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“H”パルス幅	図88	4.5 ≤ Vcc ≤ 5.5V	tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30		ns
			4.0 ≤ Vcc < 4.5V	tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35		
			2.7 ≤ Vcc < 4.0V	tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40		
			2.2 ≤ Vcc < 2.7V	tc(SCLK1)/2 - 45, tc(SCLK3)/2 - 45		
			2.0 ≤ Vcc < 2.2V	tc(SCLK1)/2 - 50, tc(SCLK3)/2 - 50		
t _{WL} (SCLK1) t _{WL} (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“L”パルス幅	図88	4.5 ≤ Vcc ≤ 5.5V	tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30		ns
			4.0 ≤ Vcc < 4.5V	tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35		
			2.7 ≤ Vcc < 4.0V	tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40		
			2.2 ≤ Vcc < 2.7V	tc(SCLK1)/2 - 45, tc(SCLK3)/2 - 45		
			2.0 ≤ Vcc < 2.2V	tc(SCLK1)/2 - 50, tc(SCLK3)/2 - 50		
t _d (SCLK1-TxD1) t _d (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力遅延時間(注1)	図88	4.5 ≤ Vcc ≤ 5.5V		140	ns
			4.0 ≤ Vcc < 4.5V		200	
			2.7 ≤ Vcc < 4.0V		350	
			2.2 ≤ Vcc < 2.7V		400	
			2.0 ≤ Vcc < 2.2V		420	
t _v (SCLK1-TxD1) t _v (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力有効時間(注1)	図88	4.5 ≤ Vcc ≤ 5.5V	-30		ns
			4.0 ≤ Vcc < 4.5V	-30		
			2.7 ≤ Vcc < 4.0V	-30		
			2.2 ≤ Vcc < 2.7V	-30		
			2.0 ≤ Vcc < 2.2V	-30		
t _r (SCLK1) t _r (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち上がり時間	図88	4.5 ≤ Vcc ≤ 5.5V		30	ns
			4.0 ≤ Vcc < 4.5V		35	
			2.7 ≤ Vcc < 4.0V		40	
			2.2 ≤ Vcc < 2.7V		45	
			2.0 ≤ Vcc < 2.2V		50	
t _f (SCLK1) t _f (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち下がり時間	図88	4.5 ≤ Vcc ≤ 5.5V		30	ns
			4.0 ≤ Vcc < 4.5V		35	
			2.7 ≤ Vcc < 4.0V		40	
			2.2 ≤ Vcc < 2.7V		45	
			2.0 ≤ Vcc < 2.2V		50	
t _{WH} (SCLK2)	シリアルI/O2 クロック出力“H”パルス幅	図88	4.5 ≤ Vcc ≤ 5.5V	tc(SCLK2)/2 - 160		ns
			4.0 ≤ Vcc < 4.5V	tc(SCLK2)/2 - 200		
			2.7 ≤ Vcc < 4.0V	tc(SCLK2)/2 - 240		
			2.2 ≤ Vcc < 2.7V	tc(SCLK2)/2 - 260		
			2.0 ≤ Vcc < 2.2V	tc(SCLK2)/2 - 280		
t _{WL} (SCLK2)	シリアルI/O2 クロック出力“L”パルス幅	図88	4.5 ≤ Vcc ≤ 5.5V	tc(SCLK2)/2 - 160		ns
			4.0 ≤ Vcc < 4.5V	tc(SCLK2)/2 - 200		
			2.7 ≤ Vcc < 4.0V	tc(SCLK2)/2 - 240		
			2.2 ≤ Vcc < 2.7V	tc(SCLK2)/2 - 260		
			2.0 ≤ Vcc < 2.2V	tc(SCLK2)/2 - 280		
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間	図88	4.5 ≤ Vcc ≤ 5.5V		200	ns
			4.0 ≤ Vcc < 4.5V		250	
			2.7 ≤ Vcc < 4.0V		300	
			2.2 ≤ Vcc < 2.7V		350	
			2.0 ≤ Vcc < 2.2V		400	

注1. UART1制御レジスタのP4₅/TxD1 Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

表21. スイッチング特性(2) (指定のない場合は、Vcc=2.0~5.5V, Vss=0V, Ta= -20~85°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tv(SCLK2-SOUT2)	シリアルI/O2出力有効時間	図88	4.5 ≤ Vcc ≤ 5.5V	0		ns
			4.0 ≤ Vcc < 4.5V	0		
			2.7 ≤ Vcc < 4.0V	0		
			2.2 ≤ Vcc < 2.7V	0		
			2.0 ≤ Vcc < 2.2V	0		
tf(SCLK2)	シリアルI/O2 クロック出力立ち下がり時間	図88	4.5 ≤ Vcc ≤ 5.5V		30	ns
			4.0 ≤ Vcc < 4.5V		35	
			2.7 ≤ Vcc < 4.0V		40	
			2.2 ≤ Vcc < 2.7V		45	
			2.0 ≤ Vcc < 2.2V		50	
tr(CMOS)	CMOS出力立ち上がり時間 (注1)	図88	4.5 ≤ Vcc ≤ 5.5V	10	30	ns
			4.0 ≤ Vcc < 4.5V	12	35	
			2.7 ≤ Vcc < 4.0V	15	40	
			2.2 ≤ Vcc < 2.7V	17	45	
			2.0 ≤ Vcc < 2.2V	20	50	
tr(CMOS)	CMOS出力立ち下がり時間 (注1)	図88	4.5 ≤ Vcc ≤ 5.5V	10	30	ns
			4.0 ≤ Vcc < 4.5V	12	35	
			2.7 ≤ Vcc < 4.0V	15	40	
			2.2 ≤ Vcc < 2.7V	17	45	
			2.0 ≤ Vcc < 2.2V	20	50	

注1. UART3制御レジスタのP35/TxD3 P4チャンネル出力禁止ビット(0033₁₆番地のビット4)が“0”の場合です。

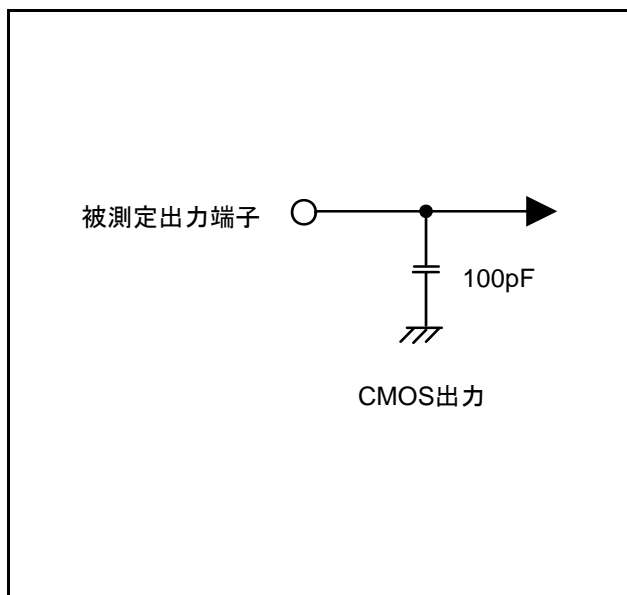


図88. 出力スイッチング特性測定回路図(1)

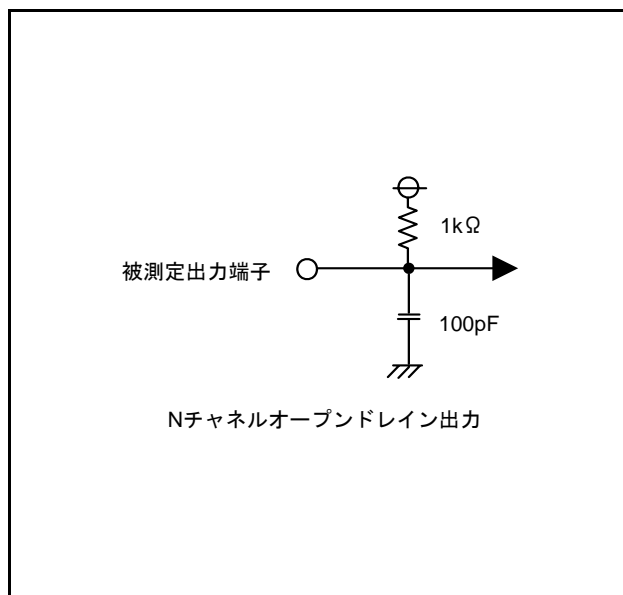


図89. 出力スイッチング特性測定回路図(2)

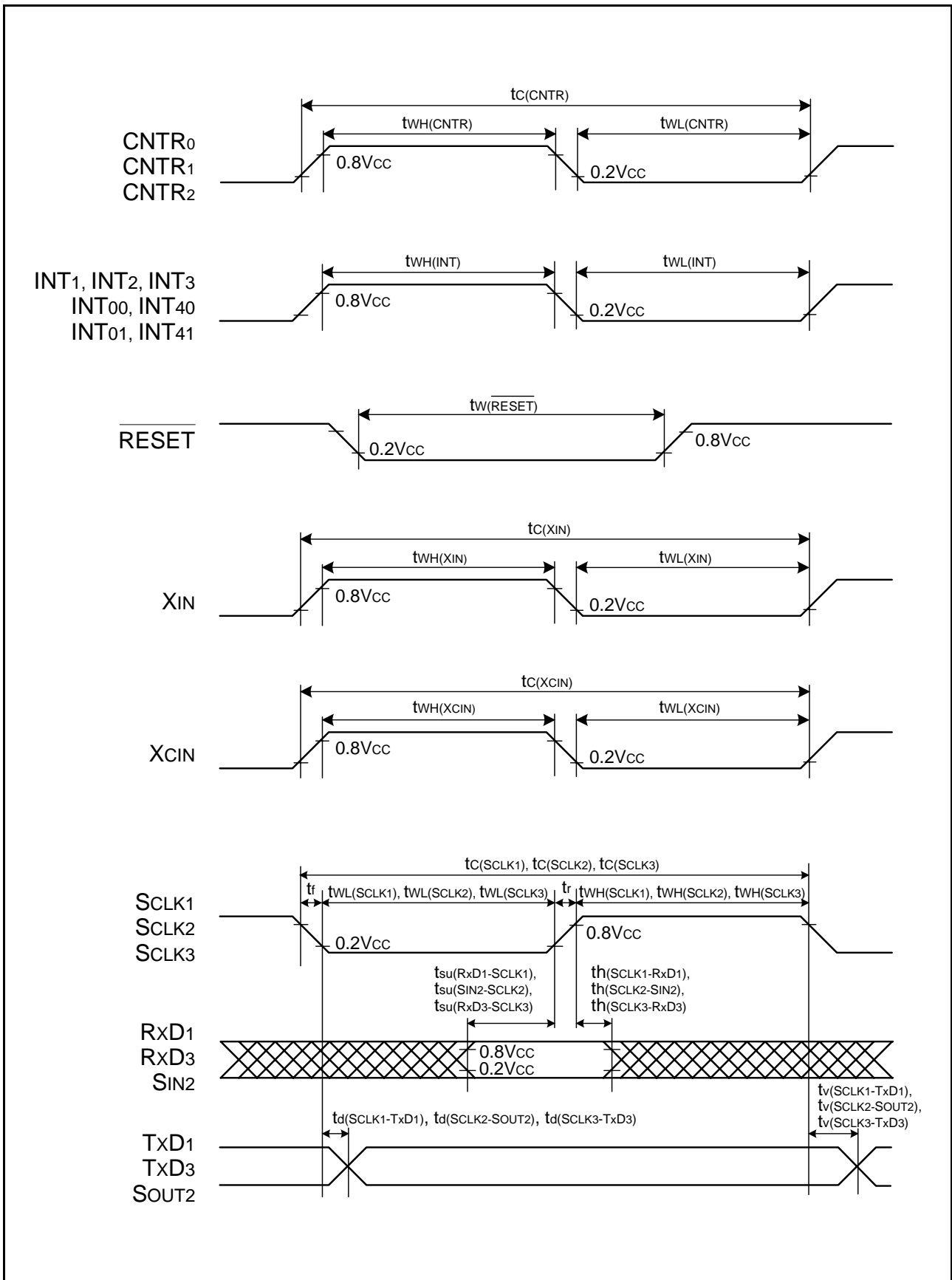
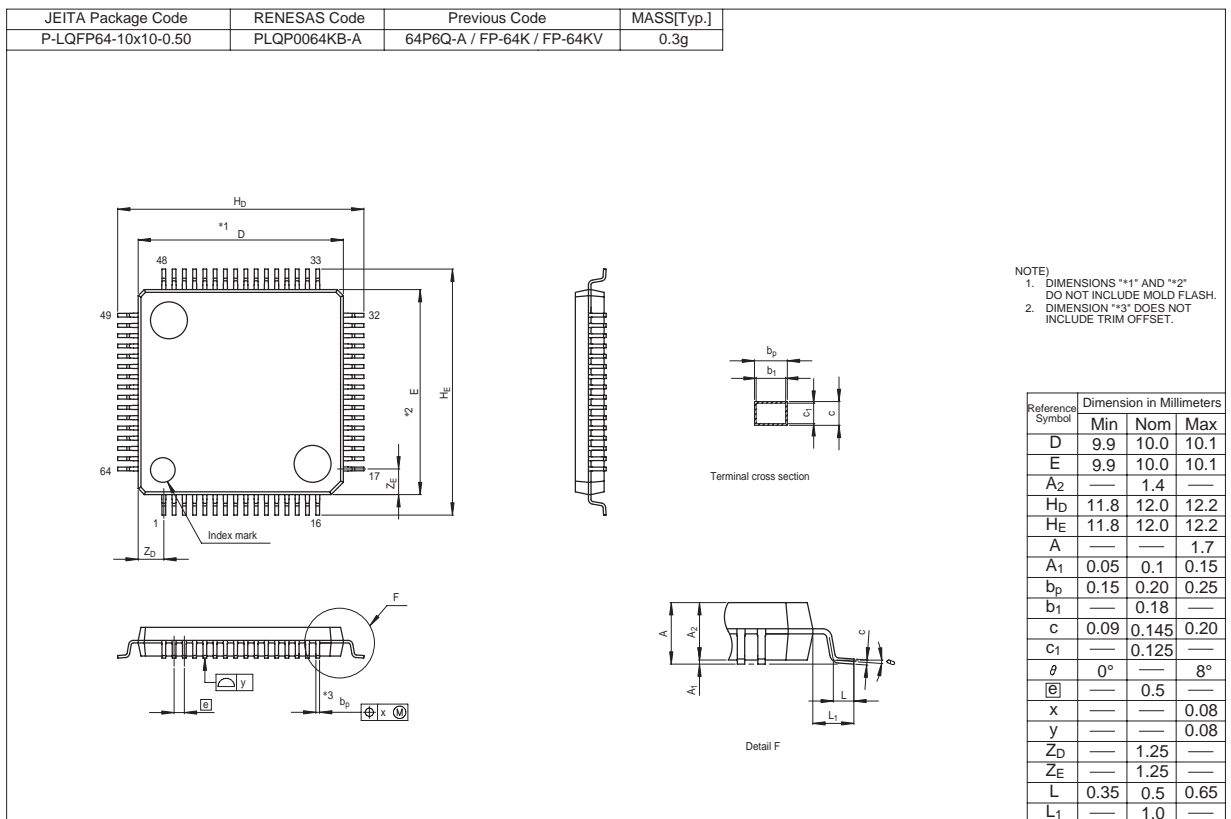
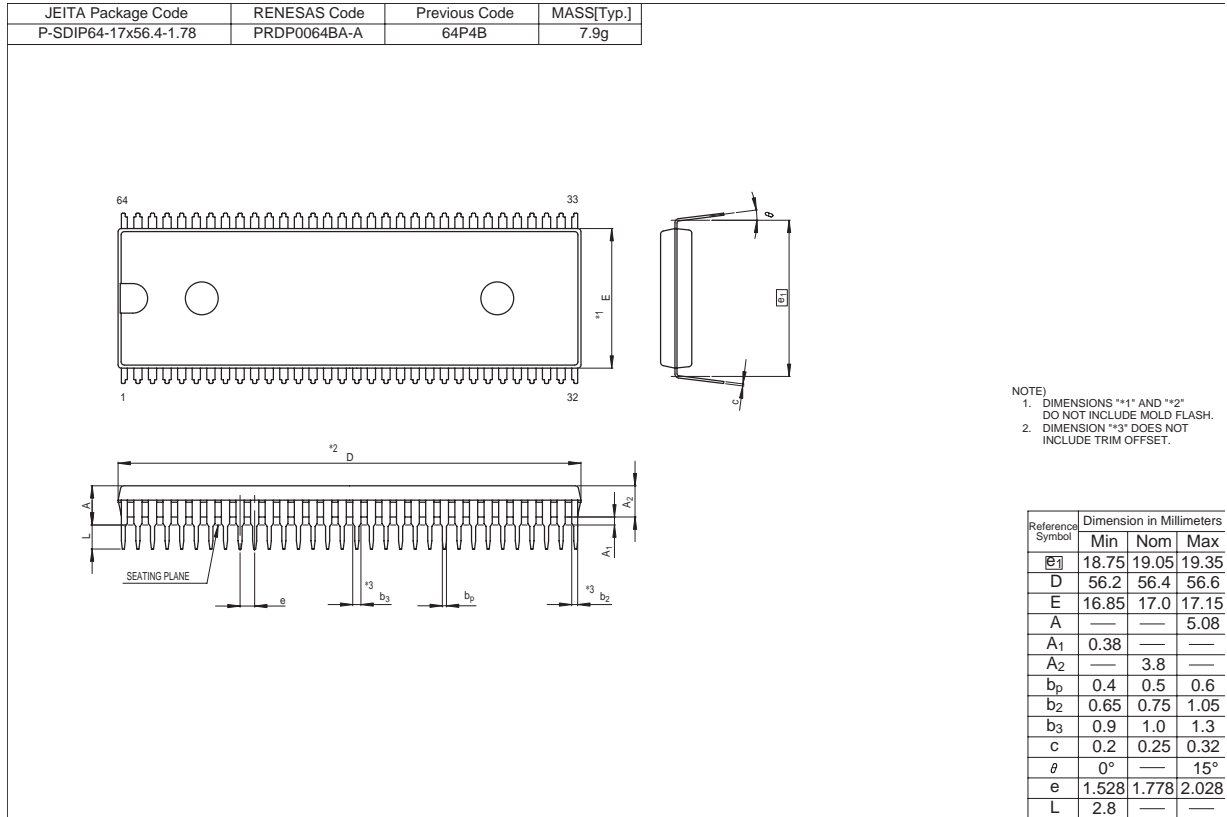
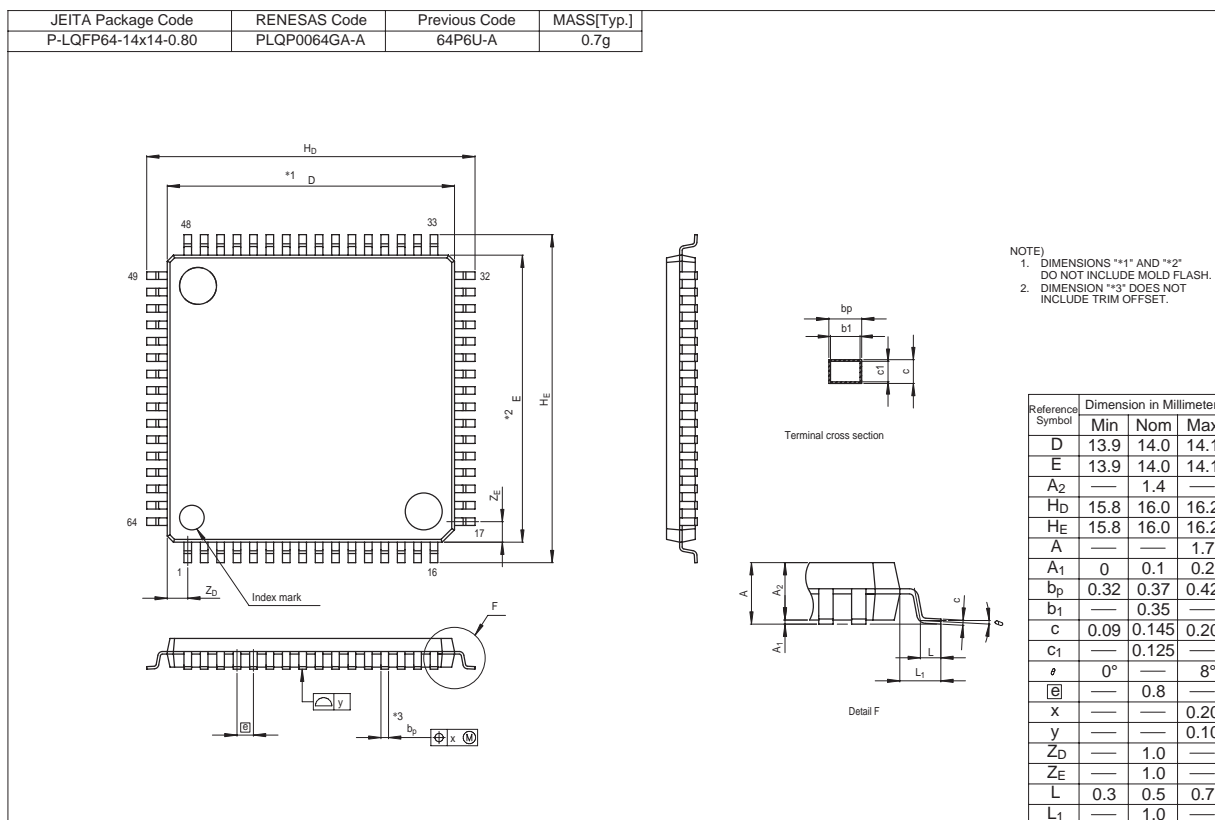


図90. タイミング図 (シングルチップモード時)

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。





改定記録

3803 グループ (H仕様 QzROM 版) データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.30	—	初版発行
1.01	2005.10.13	1, 2	表1. 製品一覧、表2. パッケージ一覧 の注1より次の文を削除。 「書き込み出荷品ではROMデータを読み出すことはできません。」
		8	表5. 3803グループ(H仕様)マスクROM版、フラッシュメモリ版サポート 製品一覧より「M38037M8H-XXXWG」を削除。
1.10	2005.11.14	59	図54 ウォッチドッグタイマのブロック図 「STP命令禁止ビット」→ 「STP命令機能選択ビット」に変更
		67	QzROM版に関する注意事項 「、、また、1～5kΩ程度の抵抗を、、」 →「、、また、5kΩ程度の抵抗を、、」に変更 図63 CNVSS/VPP端子の配線 追加
		81-82	外形寸法図を改訂
		83-90	付録を追記
1.11	2007.09.12	—	ヘッダより、「開発中」を削除
		—	WGパッケージを追加
		1	旧表1. 製品一覧をP10に移動
		2,3	旧表2.、旧表3.パッケージ一覧 削除
		5	表1. 「性能概要表」を追加
		6	図4. 機能ブロック図 クロック入力→メインクロック入力、クロック出力 →メインクロック出力
		10	グループ説明 旧表5. 削除
		16	図11. RAM容量2048バイト固定であるためRAM容量別領域設定表削除と メモリ領域配置図を修正
		17	図12. 「注2」 追記
		19	(7)ポートP35,P45 受信許可ビット→送信許可ビット
		21	図15.(17)ポートP54, P55 修正
		26	「未使用端子の処理」追加
		27-32	「割り込み」改訂
		62	図54.AD変換レジスタ2の構成 追加
		65	(1)ウォッチドッグタイマの初期値 追記
		69	図65: XCIN-XCOUT 回路改訂
		72-77	QzROM書き込みモードを追加
78-88	「付録」を「注意事項」に変更して電気的特性の前に挿入。 「ノイズに関する注意事項」、「過電圧に関する注意事項」、「QzROM受け 入れ手順」追加		
86	2. DA コンバータを使用しない場合のD/Ai変換レジスタ：追記		
89	絶対最大定格 入力電圧CNVSS -0.3～VCC+0.3 → -0.3～8.0		
94	A/D コンバータ推奨動作条件 表15. f(XIN) 測定条件を変更 VCC → VCC=VREF		

改訂記録	3803 グループ (H 仕様 QzROM 版) データシート
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.12	2007.09.18	101	外形寸法図 PLQP0064KB-A(64P6Q-A) に一部不明瞭な箇所があったため修正
1.13	2008.04.11	88	QzROM 書き込み発注時の注意事項 改訂

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
茨	城	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
鳥	取	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
広	島	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com