

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 1. 概要

M16C/30P グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

### 1.1 応用

オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

## 1.2 性能概要

表1.1に性能概要を示します。

表1.1 性能概要

項目		性能	
CPU	基本命令数	91命令	
	最小命令実行時間	62.5ns(f(XIN)=16MHz、VCC1=VCC2=3.0~5.5V、ウェイトなし) 100ns(f(XIN)=10MHz、VCC1=VCC2=2.7~5.5V、ウェイトなし)	
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ	
	アドレス空間	1Mバイト	
	メモリ容量	「表1.2 製品一覧表」を参照してください	
周辺機能	ポート	入出力：87本、入力：1本	
	多機能タイマ	タイマA：16ビット×3チャンネル、 タイマB：16ビット×3チャンネル	
	シリアルインタフェース	1チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O I <sup>2</sup> C bus (注1)、IE bus (注2) 2チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I <sup>2</sup> C bus (注1)	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、18チャンネル	
	DMAC	2チャンネル	
	CRC演算回路	CRC-CCITT方式	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)	
	割り込み	内部：20要因、外部：7要因、ソフトウェア：4要因 割り込み優先レベル：7レベル	
	クロック発生回路	2回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 (*)発振回路には帰還抵抗内蔵	
	電气的特性	電源電圧(注3)	VCC1=VCC2=3.0~5.5V(f(XIN)=16MHz) VCC1=VCC2=2.7~5.5V(f(XIN)=10MHz、ウェイトなし)
		消費電流	10mA(VCC1=VCC2=5V、f(XIN)=16MHz) 8mA (VCC1=VCC2=3V、f(XIN)=10MHz) 1.8μA (VCC1=VCC2=3V、f(XCIN)=32kHz、ウェイトモード) 0.7μA (VCC1=VCC2=3V、ストップモード)
ワнтаイム フラッシュ版	プログラム電圧	3.3V±0.3Vまたは5.0V±0.5V	
フラッシュ メモリ版	プログラム、イレーズ電圧	3.3V±0.3Vまたは5.0V±0.5V	
	プログラム、イレーズ回数	100回(全領域)	
動作周囲温度		-20℃~85℃、-40℃~85℃	
パッケージ		100ピンプラスチックモールドQFP、LQFP	

注1. I<sup>2</sup>C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. VCC1=VCC2で使用してください。

### 1.3 ブロック図

図1.1にブロック図を示します。

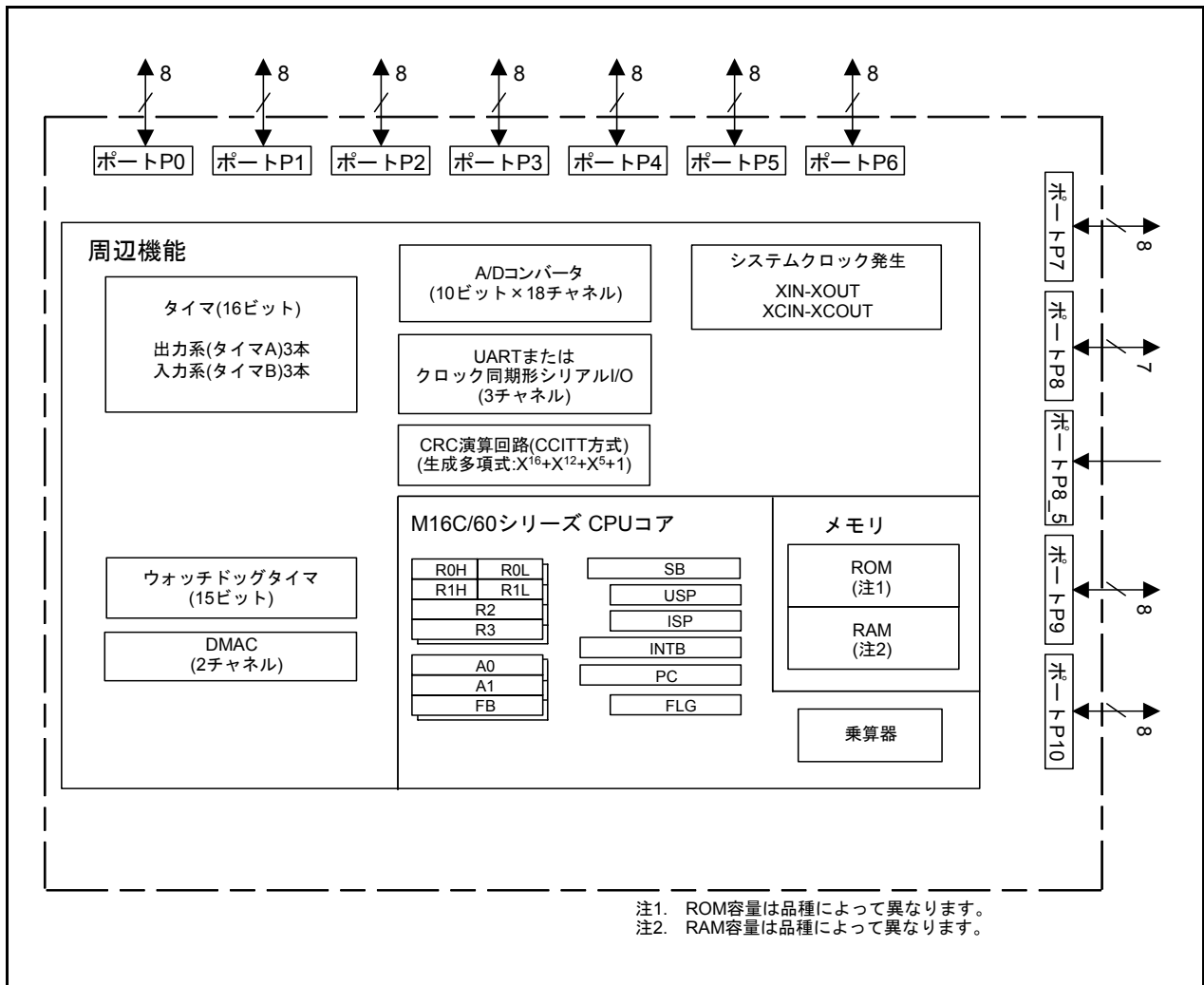


図1.1 ブロック図

## 1.4 製品一覧

表1.2～1.3に製品一覧表、図1.2に型名とメモリサイズ・パッケージ、表1.4にマスクROM版の製品コード、図1.3にマスクROM版マーキング図(上面図)、表1.5にワンタイムフラッシュ版、フラッシュメモリ版、ROMレス版の製品コード、図1.4にワンタイムフラッシュ版、フラッシュメモリ版、ROMレス版のマーキング図(上面図)を示します。M16C/30PのマスクROM版のマーキングは、ROM発注時にご指定ください。

表1.2 製品一覧表 (1)

2007年03月現在

型名	ROM容量	RAM容量	パッケージコード (注1)	備考
M30302MAP-XXXFP	96Kバイト	5Kバイト	PRQP0100JB-A	マスクROM版
M30302MAP-XXXGP			PLQP0100KB-A	
M30302MCP-XXXFP	128Kバイト		PRQP0100JB-A	
M30302MCP-XXXGP			PLQP0100KB-A	
M30302MDP-XXXFP	160Kバイト	6Kバイト	PRQP0100JB-A	
M30302MDP-XXXGP			PLQP0100KB-A	
M30302MEP-XXXFP	192Kバイト		PRQP0100JB-A	
M30302MEP-XXXGP			PLQP0100KB-A	
M30302GAPFP	96Kバイト	5Kバイト	PRQP0100JB-A	ワンタイムフラッシュ版 (ブランク出荷品)
M30302GAPGP (開)			PLQP0100KB-A	
M30302GCPFP	128Kバイト		PRQP0100JB-A	
M30302GCPGP (開)			PLQP0100KB-A	
M30302GDPFP	160Kバイト	6Kバイト	PRQP0100JB-A	
M30302GDGP (開)			PLQP0100KB-A	
M30304GDPFP (開)		12Kバイト	PRQP0100JB-A	
M30304GDGP (開)			PLQP0100KB-A	
M30302GEPFP	192Kバイト	6Kバイト	PRQP0100JB-A	
M30302GEPGP (開)			PLQP0100KB-A	
M30304GEPFP (開)		12Kバイト	PRQP0100JB-A	
M30304GEPGP (開)			PLQP0100KB-A	
M30302GGFP (開)	256Kバイト	12Kバイト	PRQP0100JB-A	
M30302GGGP (開)			PLQP0100KB-A	
M30302GAP-XXXFP	96Kバイト	5Kバイト	PRQP0100JB-A	ワンタイムフラッシュ版 (書き込み出荷品)
M30302GAP-XXXGP (開)			PLQP0100KB-A	
M30302GCP-XXXFP	128Kバイト		PRQP0100JB-A	
M30302GCP-XXXGP (開)			PLQP0100KB-A	
M30302GDP-XXXFP	160Kバイト	6Kバイト	PRQP0100JB-A	
M30302GDP-XXXGP (開)			PLQP0100KB-A	
M30304GDP-XXXFP (開)		12Kバイト	PRQP0100JB-A	
M30304GDP-XXXGP (開)			PLQP0100KB-A	
M30302GEP-XXXFP	192Kバイト	6Kバイト	PRQP0100JB-A	
M30302GEP-XXXGP (開)			PLQP0100KB-A	
M30304GEP-XXXFP (開)		12Kバイト	PRQP0100JB-A	
M30304GEP-XXXGP (開)			PLQP0100KB-A	
M30302GGP-XXXFP (開)	256Kバイト	12Kバイト	PRQP0100JB-A	
M30302GGP-XXXGP (開)			PLQP0100KB-A	

(開): 開発中

(計): 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A

表 1.3 製品一覧表 (2)

2007年03月現在

型名	ROM容量	RAM容量	パッケージコード (注1)	備考
M30302FAPFP	96K+4Kバイト	5Kバイト	PRQP0100JB-A	フラッシュメモリ版 (注2)
M30302FAPGP			PLQP0100KB-A	
M30302FCPFP	128K+4Kバイト		PRQP0100JB-A	
M30302FCPGP			PLQP0100KB-A	
M30302FEPFP	192K+4Kバイト	6Kバイト	PRQP0100JB-A	
M30302FEPGP			PLQP0100KB-A	
M30302SPFP	-		PRQP0100JB-A	ROMレス版
M30302SPGP			PLQP0100KB-A	

(開): 開発中

(計): 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A

注2. フラッシュメモリ版には、4Kバイトの領域（ブロックA）があります。

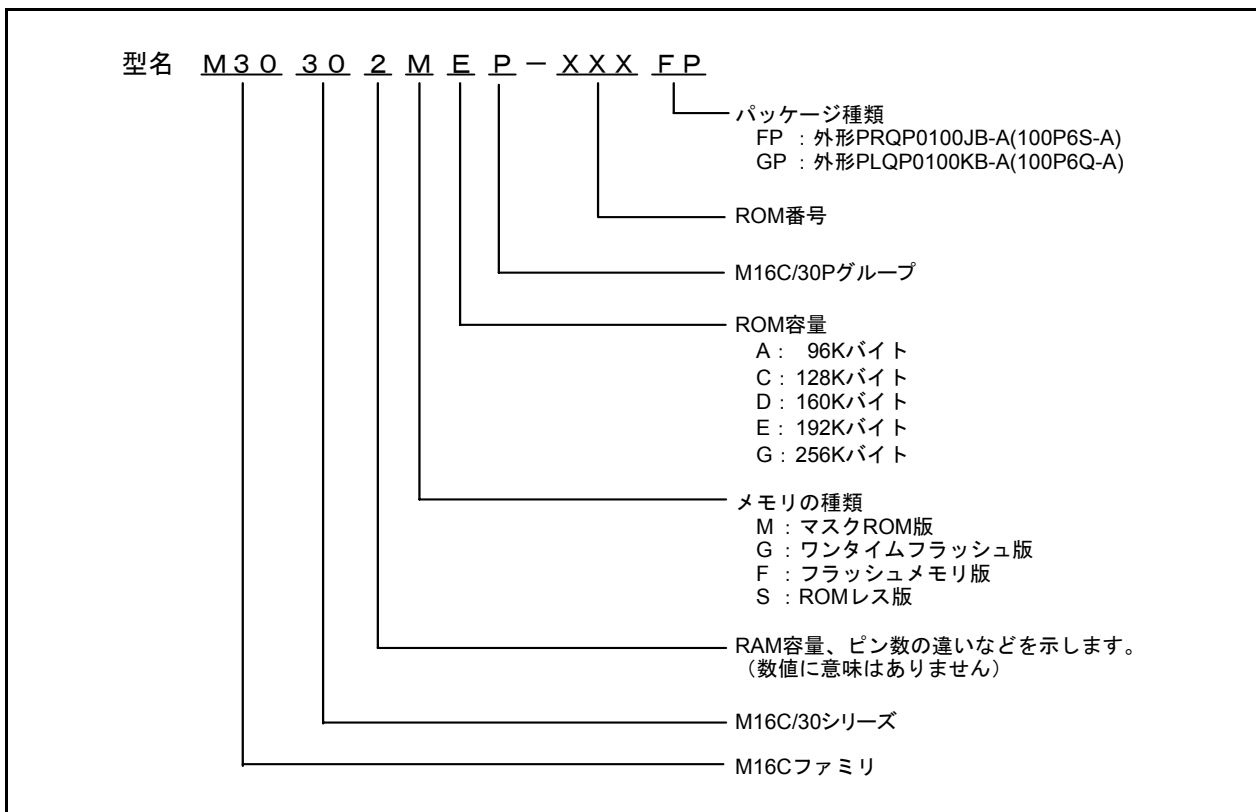


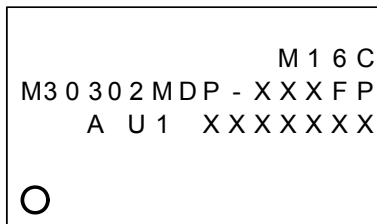
図 1.2 型名とメモリサイズ・パッケージ

表 1.4 マスクROM版の製品コード

製品コード	パッケージ	MCU動作周囲温度
U1	鉛フリー	-20℃～85℃
U4		-40℃～85℃

## PRQP0100JB-A (100P6S-A)

## 1. ルネサス標準マーク



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード、デートコード

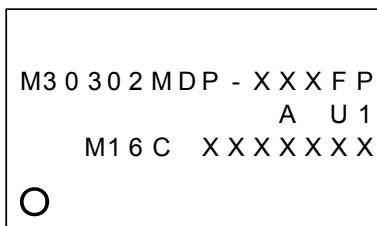
A : チップバージョンを示します。

以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

XXXXXXX : デートコード7桁

## 2. 貴社パーツナンバ + ルネサス型名



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード

A : チップバージョンを示します。

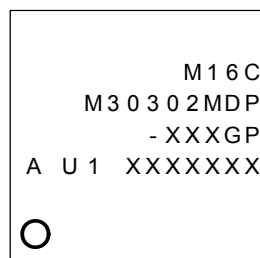
以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

デートコード7桁

## PLQP0100KB-A (100P6Q-A)

## 1. ルネサス標準マーク



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード、デートコード

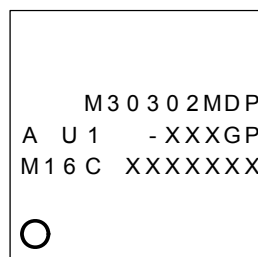
A : チップバージョンを示します。

以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

XXXXXXX : デートコード7桁

## 2. 貴社パーツナンバ + ルネサス型名



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード

A : チップバージョンを示します。

以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

デートコード7桁

注1. マスクROM版のマーキングの詳細は、マーク指定書をご参照ください。

図 1.3 マスクROM版マーキング図(上面図)



表1.5 ワンタイムフラッシュ版、フラッシュメモリ版、ROMレス版の製品コード

	製品コード	パッケージ	内部ROM		動作周囲温度
			書き換え回数	温度範囲	
ワンタイムフラッシュ版(注1)	U3	鉛フリー	0	0°C~60°C	-40°C~85°C
	U5				-20°C~85°C
フラッシュメモリ版	U3	鉛フリー	100	0°C~60°C	-40°C~85°C
	U5				-20°C~85°C
ROMレス版	U3	鉛フリー	-	-	-40°C~85°C
	U5				-20°C~85°C

注1. ワンタイムフラッシュ版では、1回のみ書き込みが可能です。

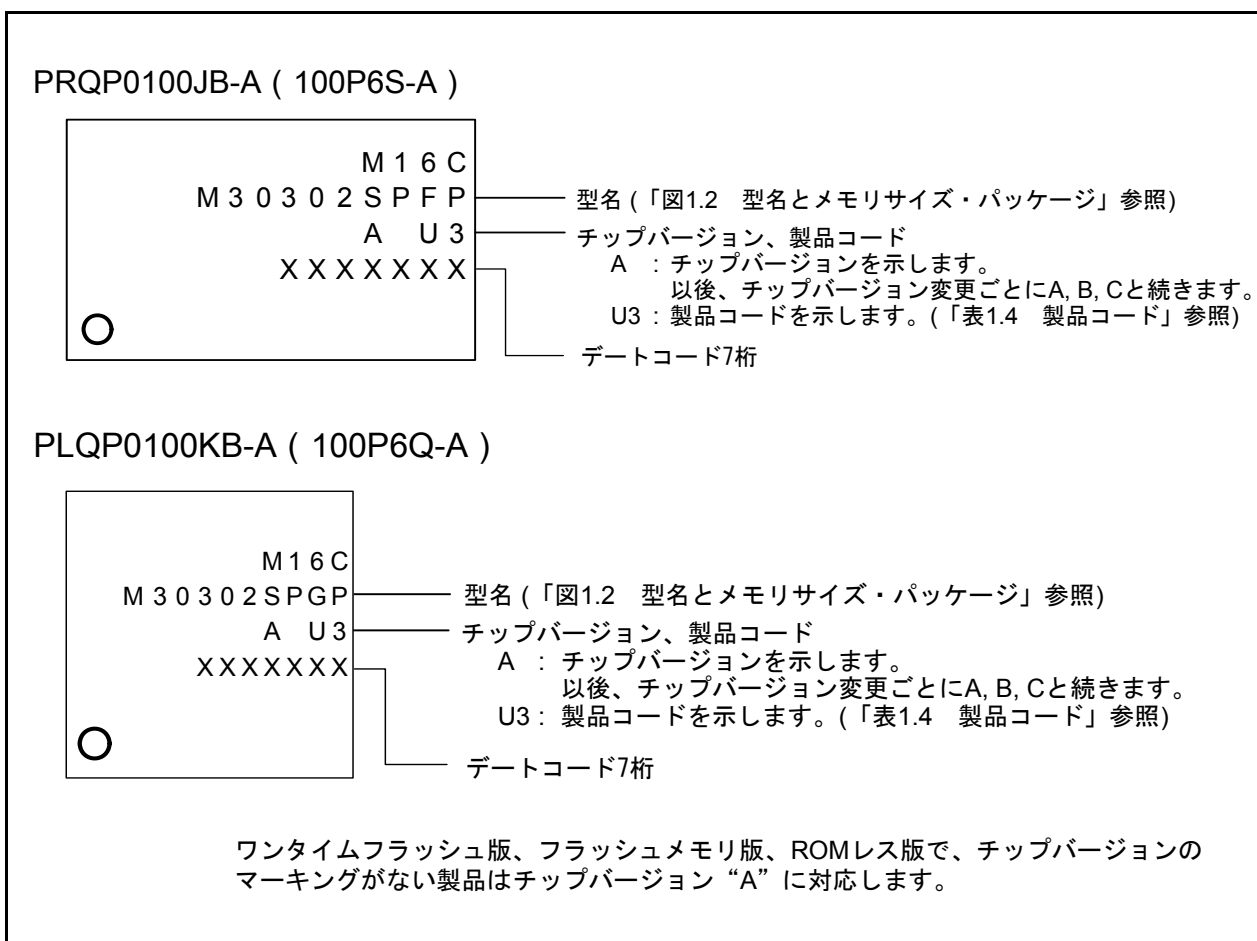


図1.4 ワンタイムフラッシュ版、フラッシュメモリ版、ROMレス版のマーキング図(上面図)

1.5 ピン接続図

図 1.5～図 1.6 にピン接続図(上面図)を示します。

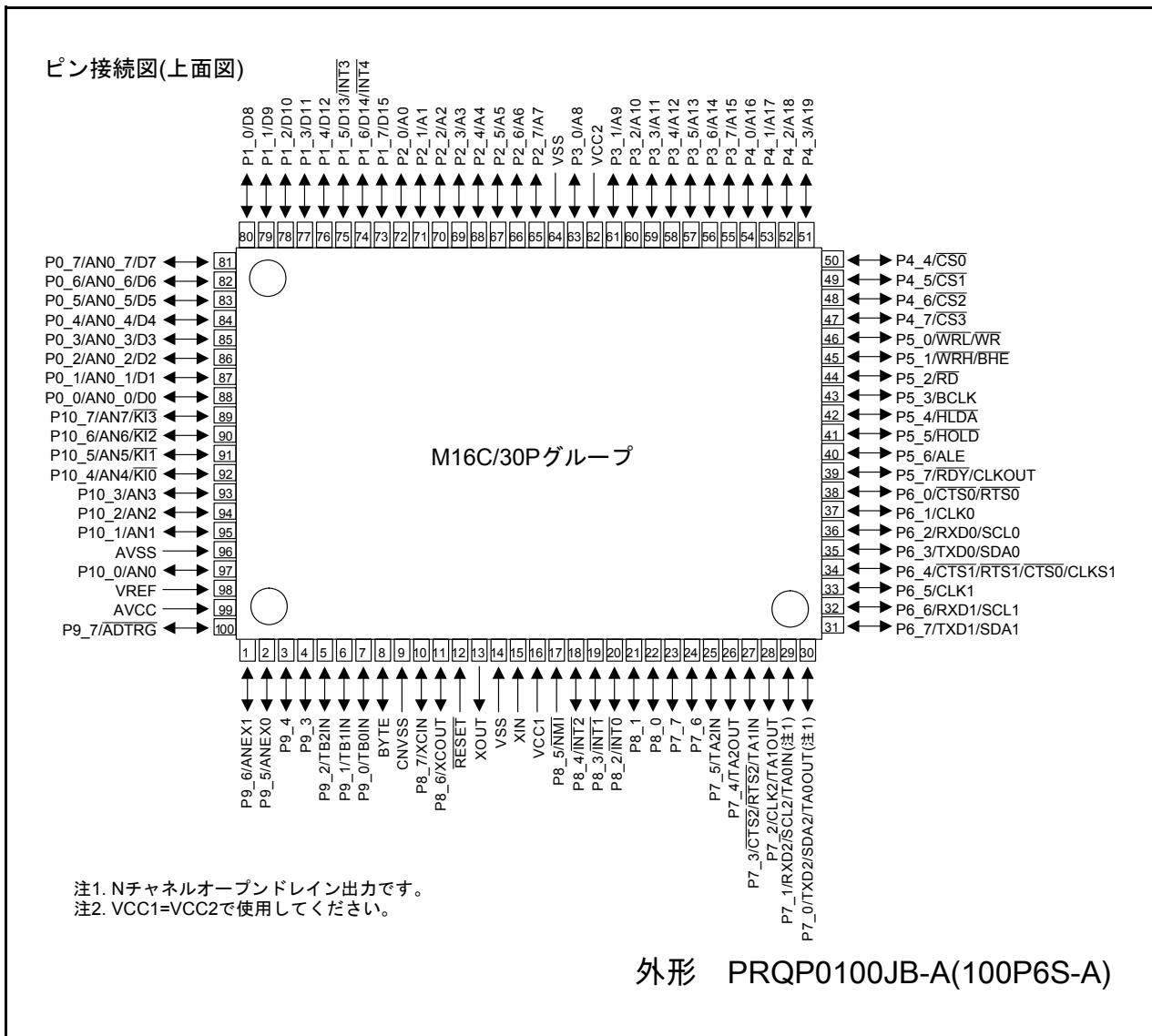


図 1.5 ピン接続図(上面図)

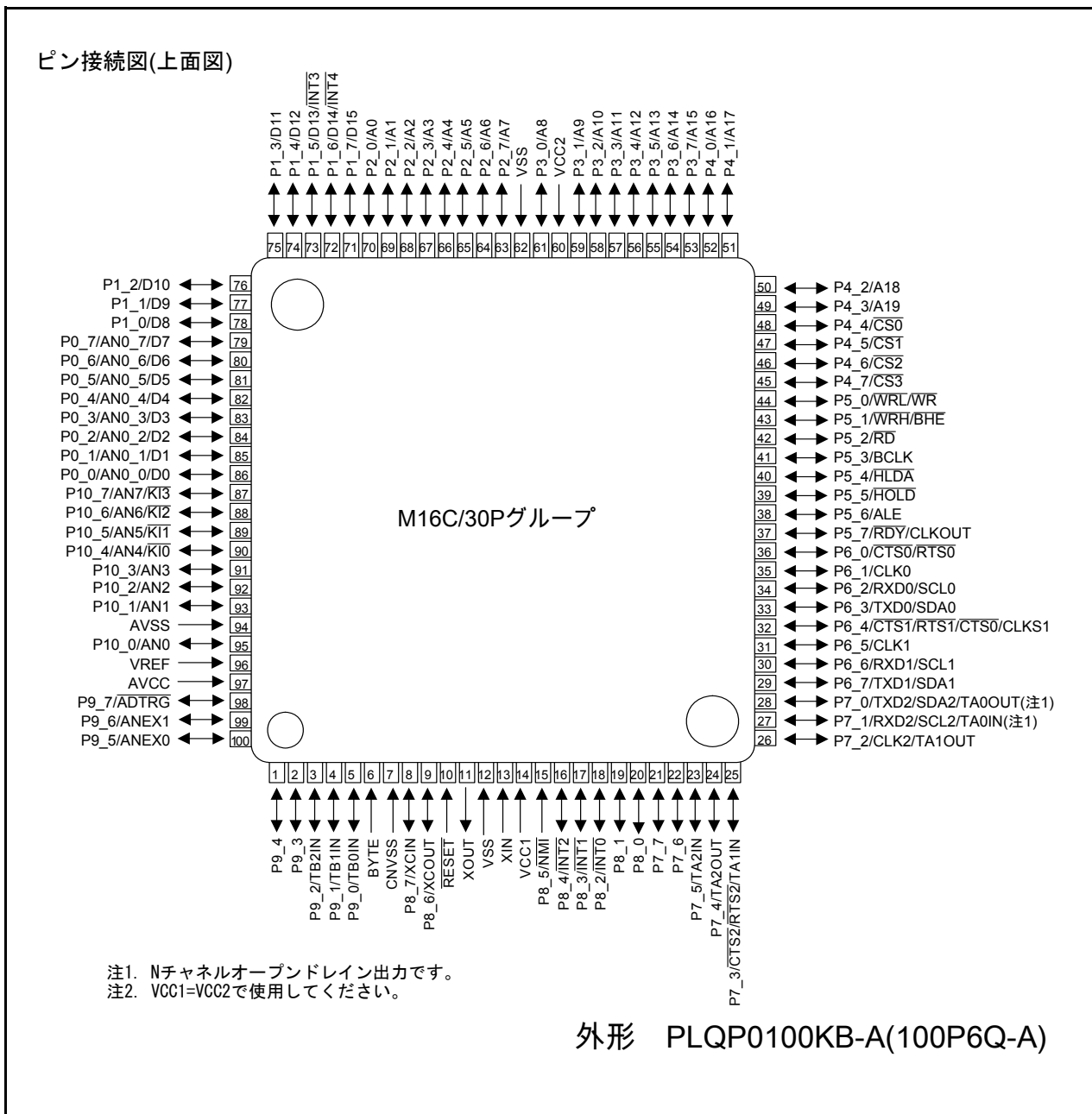


図 1.6 ピン接続図(上面図)

表 1.6 端子名一覧表(1)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
FP	GP							
1	99		P9_6				ANEX1	
2	100		P9_5				ANEX0	
3	1		P9_4					
4	2		P9_3					
5	3		P9_2		TB2IN			
6	4		P9_1		TB1IN			
7	5		P9_0		TB0IN			
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOUT	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI				
18	16		P8_4	INT2				
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1					
22	20		P8_0					
23	21		P7_7					
24	22		P7_6					
25	23		P7_5		TA2IN			
26	24		P7_4		TA2OUT			
27	25		P7_3		TA1IN	CTS2/RTS2		
28	26		P7_2		TA1OUT	CLK2		
29	27		P7_1		TA0IN	RXD2/SCL2		
30	28		P7_0		TA0OUT	TXD2/SDA2		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0			CTS0/RTS0		
39	37		P5_7					RDY/CLKOUT
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLDA
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7					CS3
48	46		P4_6					CS2
49	47		P4_5					CS1
50	48		P4_4					CS0

表 1.7 端子名一覧表(2)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
FP	GP							
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8
64	62	VSS						
65	63		P2_7					A7
66	64		P2_6					A6
67	65		P2_5					A5
68	66		P2_4					A4
69	67		P2_3					A3
70	68		P2_2					A2
71	69		P2_1					A1
72	70		P2_0					A0
73	71		P1_7					D15
74	72		P1_6	$\overline{\text{INT4}}$				D14
75	73		P1_5	$\overline{\text{INT3}}$				D13
76	74		P1_4					D12
77	75		P1_3					D11
78	76		P1_2					D10
79	77		P1_1					D9
80	78		P1_0					D8
81	79		P0_7				AN0_7	D7
82	80		P0_6				AN0_6	D6
83	81		P0_5				AN0_5	D5
84	82		P0_4				AN0_4	D4
85	83		P0_3				AN0_3	D3
86	84		P0_2				AN0_2	D2
87	85		P0_1				AN0_1	D1
88	86		P0_0				AN0_0	D0
89	87		P10_7	$\overline{\text{KI3}}$			AN7	
90	88		P10_6	$\overline{\text{KI2}}$			AN6	
91	89		P10_5	$\overline{\text{KI1}}$			AN5	
92	90		P10_4	$\overline{\text{KI0}}$			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				AN0	
98	96	VREF						
99	97	AVCC						
100	98		P9_7				$\overline{\text{ADTRG}}$	

## 1.6 端子機能の説明

表 1.8 端子の機能説明(1)

分類	端子名	入出力	機能
電源入力	VCC1、VCC2 VSS	入力	VCC1、VCC2端子には、2.7V～5.5Vを入力してください。入力条件はVCC1=VCC2です。VSSには、0Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス 切り替え入力	BYTE	入力	外部のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子	D0～D7	入出力	セパレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力を行います。
	D8～D15	入出力	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力を行います。
	A0～A19	出力	アドレスA0～A19を出力します。
	CS0～CS3	出力	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	<p>WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。</p> <ul style="list-style-type: none"> <li>・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。</li> <li>・WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのとき、このモードを使用してください。</li> </ul>
	ALE	出力	アドレスをラッチするための信号です。
	HOLD	入力	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
	HLDA	出力	ホールド状態の期間、“L”を出力します。
	RDY	入力	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。

表 1.9 端子の機能説明(2)

分類	端子名	入出力	機能
メインクロック 入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	
サブクロック入 力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出 力	XCOUT	出力	
クロック出力	CLKOUT	出力	fC、f8、またはf32と同じ周期のクロックを出力します。
INT 割り込み 入力	INT0~INT4	入力	INT 割り込みの入力です。
NMI 割り込み 入力	NMI	入力	NMI 割り込みの入力です。
キー入力割り込 み入力	KI0~KI3	入力	キー入力割り込みの入力です。
タイマA	TA0OUT~TA2OUT	入出力	タイマA0~A2の入出力です(ただし、TA0OUTの出力はNチャンネルオープンドレイン)。
	TA0IN~TA2IN	入力	タイマA0~A2入力です。
タイマB	TB0IN~TB2IN	入力	タイマB0~B2の入力です。
シリアルインタ フェース	CTS0~CTS2	入力	送信制御用入力です。
	RTS0~RTS2	出力	受信制御用出力です。
	CLK0~CLK2	入出力	転送クロック入出力です。
	RXD0~RXD2	入力	シリアルデータ入力です。
	TXD0~TXD2	出力	シリアルデータ出力です(ただし、TXD2の出力はNチャンネルオープンドレイン)。
	CLKS1	出力	転送クロック複数端子出力機能の出力です。
I <sup>2</sup> Cモード	SDA0~SDA2	入出力	シリアルデータ入出力です(ただし、SDA2の出力はNチャンネルオープンドレイン)。
	SCL0~SCL2	入出力	転送クロック入出力です(ただし、SCL2の出力はNチャンネルオープンドレイン)。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7 AN0_0~AN0_7	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です。
入出力ポート	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P9_0~P9_7, P10_0~P10_7	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。(ただし、P7_0、P7_1の出力はNチャンネルオープンドレイン出力。)
	P8_0~P8_4,P8_6, P8_7	入出力	P0と同等の機能を持つ入出力ポートです。
入力ポート	P8_5	入力	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

## 2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

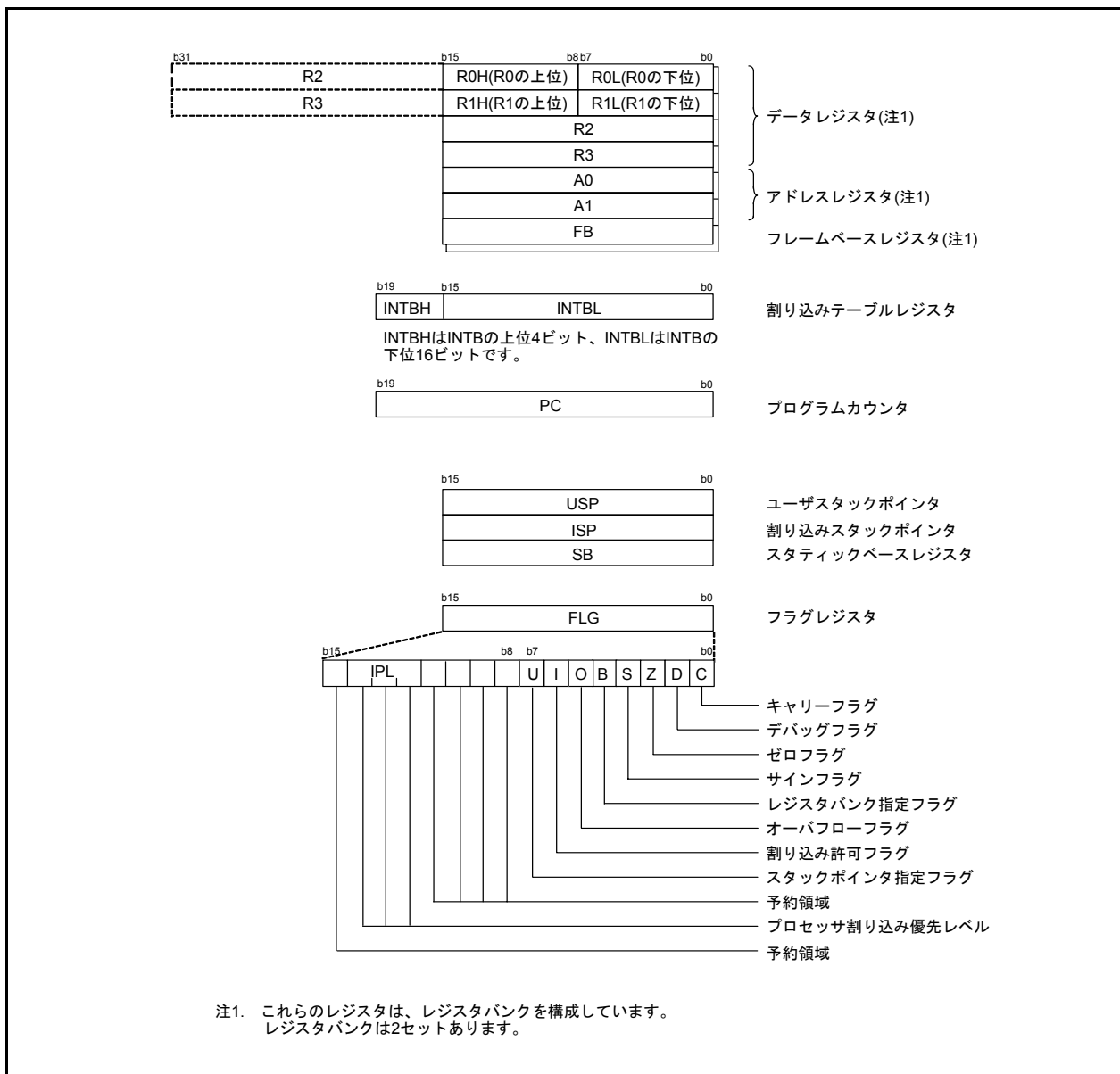


図2.1 CPUのレジスタ

### 2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

### 2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。



### 2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

### 2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

### 2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

### 2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

### 2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

### 2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

#### 2.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビットなどを保持します。

#### 2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

#### 2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外の場合“0”になります。

#### 2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外の場合“0”になります。

#### 2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

#### 2.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

#### 2.8.7 割り込み許可フラグ (Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

### 3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。

内部ROMはFFFFFFh番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、F0000h番地からFFFFFFh番地に配置されます。フラッシュメモリ版には、0F000h番地から0FFFFh番地に4Kバイトの領域(ブロックA)があります。4Kバイトの領域は主にデータ格納用ですが、プログラムを格納することもできます。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば5Kバイトの内部RAMは、00400h番地から017FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFDCh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。

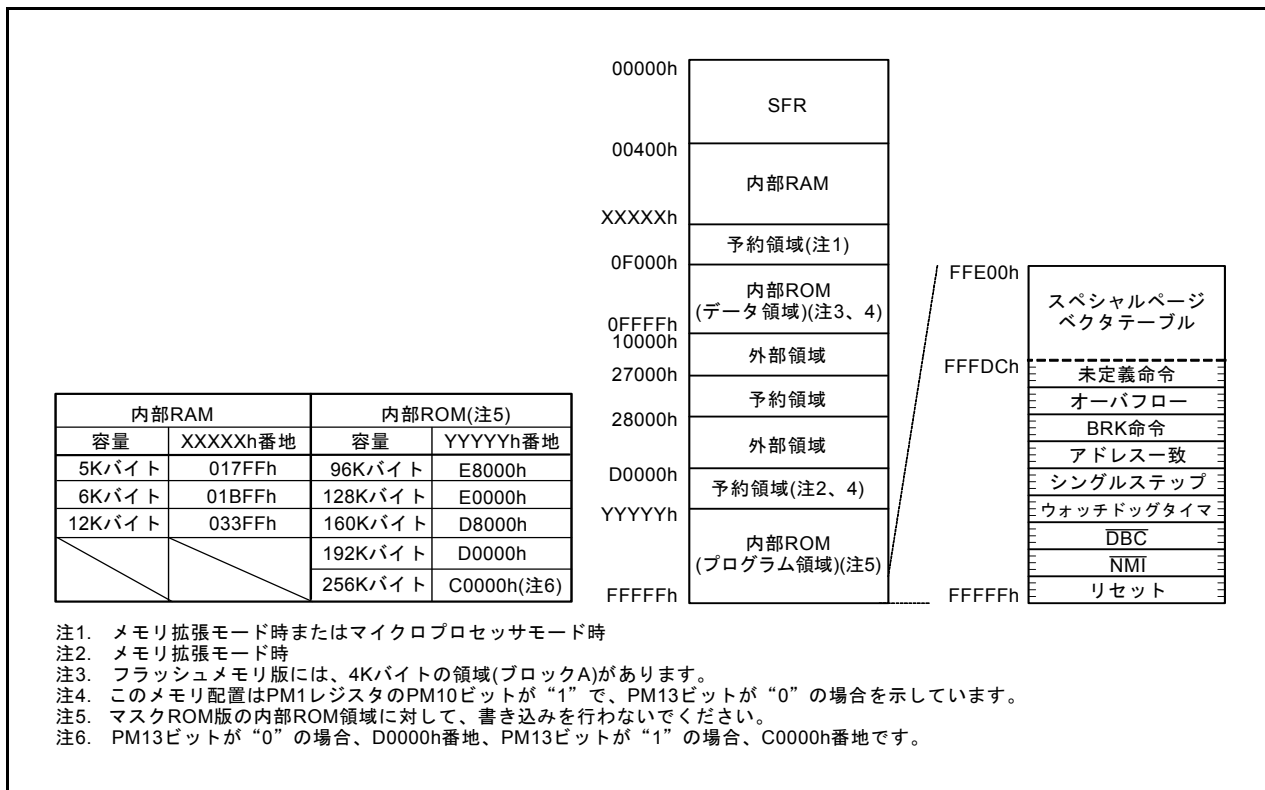


図3.1 メモリ配置

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.5にSFR一覧を示します。

表4.1 SFR一覧 (1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0(注2)	PM0	00000000b(CNVSS端子が“L”) 00000011b(CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	00XXX0X0b
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	チップセレクト制御レジスタ	CSR	00000001b
0009h	アドレス一致割り込み許可レジスタ	AIER	XXXXXXXX00b
000Ah	プロテクトレジスタ	PRCR	XX000000b
000Bh			
000Ch			
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h 00h X0h
0011h			
0012h			
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h 00h X0h
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh			
001Fh			
0020h	DMA0 ソースポインタ	SAR0	XXh XXh XXh
0021h			
0022h			
0023h			
0024h	DMA0 ディスティネーションポインタ	DAR0	XXh XXh XXh
0025h			
0026h			
0027h			
0028h	DMA0 転送カウンタ	TCR0	XXh XXh
0029h			
002Ah			
002Bh			
002Ch	DMA0 制御レジスタ	DM0CON	0000X00b
002Dh			
002Eh			
002Fh			
0030h	DMA1 ソースポインタ	SAR1	XXh XXh XXh
0031h			
0032h			
0033h			
0034h	DMA1 ディスティネーションポインタ	DAR1	XXh XXh XXh
0035h			
0036h			
0037h			
0038h	DMA1 転送カウンタ	TCR1	XXh XXh
0039h			
003Ah			
003Bh			
003Ch	DMA1 制御レジスタ	DM1CON	0000X00b
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PM00、PM01ビットはソフトウェアリセット時は変化しません。

X: 不定です。

表 4.2 SFR一覧 (2) (注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
0045h			
0046h	UART1 バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXXX000b
0047h	UART0 バス衝突検出割り込み制御レジスタ	U0BCNIC	XXXXX000b
0048h			
0049h	INT4 割り込み制御レジスタ	INT4IC	XX00X000b
004Ah	UART2 バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0 割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1 割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	UART2 送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2 受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1 送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1 受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマ A0 割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマ A1 割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマ A2 割り込み制御レジスタ	TA2IC	XXXXX000b
0058h			
0059h			
005Ah	タイマ B0 割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマ B1 割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマ B2 割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2 割り込み制御レジスタ	INT2IC	XX00X000b
0060h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1 (注2)	FMR1	0X00XX0Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0 (注3)	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h			
~			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	00000011b
025Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはフラッシュメモリ版にあります。

注3. このレジスタはフラッシュメモリ版、ワнтаイムフラッシュ版にあります。

X: 不定です。

表 4.3 SFR一覧 (3) (注1)

番地	レジスタ	シンボル	リセット後の値
0260h			
~			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh	割り込み要因選択レジスタ2	IFSR2A	00XXXXXXb
035Fh	割り込み要因選択レジスタ	IFSR	00h
0360h			
0361h			
0362h			
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0 特殊モードレジスタ4	U0SMR4	00h
036Dh	UART0 特殊モードレジスタ3	U0SMR3	000X0X0Xb
036Eh	UART0 特殊モードレジスタ2	U0SMR2	X0000000b
036Fh	UART0 特殊モードレジスタ	U0SMR	X0000000b
0370h	UART1 特殊モードレジスタ4	U1SMR4	00h
0371h	UART1 特殊モードレジスタ3	U1SMR3	000X0X0Xb
0372h	UART1 特殊モードレジスタ2	U1SMR2	X0000000b
0373h	UART1 特殊モードレジスタ	U1SMR	X0000000b
0374h	UART2 特殊モードレジスタ4	U2SMR4	00h
0375h	UART2 特殊モードレジスタ3	U2SMR3	000X0X0Xb
0376h	UART2 特殊モードレジスタ2	U2SMR2	X0000000b
0377h	UART2 特殊モードレジスタ	U2SMR	X0000000b
0378h	UART2 送受信モードレジスタ	U2MR	00h
0379h	UART2 ビットレートレジスタ	U2BRG	XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.4 SFR一覧 (4) (注1)

番地	レジスタ	シンボル	リセット後の値
037Ah 037Bh	UART2送信バッファレジスタ	U2TB	XXh XXh
037Ch	UART2送受信制御レジスタ0	U2C0	00001000b
037Dh	UART2送受信制御レジスタ1	U2C1	00000010b
037Eh 037Fh	UART2受信バッファレジスタ	U2RB	XXh XXh
0380h	カウント開始フラグ	TABSR	000XX000b
0381h	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXXb
0382h	ワンショット開始フラグ	ONSF	00XX000b
0383h	トリガ選択レジスタ	TRGSR	XXXX0000b
0384h	アップダウンフラグ	UDF	XX0XX000b (注2)
0385h			
0386h 0387h	タイマA0レジスタ	TA0	XXh XXh
0388h 0389h	タイマA1レジスタ	TA1	XXh XXh
038Ah 038Bh	タイマA2レジスタ	TA2	XXh XXh
038Ch			
038Dh			
038Eh			
038Fh			
0390h 0391h	タイマB0レジスタ	TB0	XXh XXh
0392h 0393h	タイマB1レジスタ	TB1	XXh XXh
0394h 0395h	タイマB2レジスタ	TB2	XXh XXh
0396h	タイマA0モードレジスタ	TA0MR	00h
0397h	タイマA1モードレジスタ	TA1MR	00h
0398h	タイマA2モードレジスタ	TA2MR	00h
0399h			
039Ah			
039Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
039Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
039Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
039Eh			
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	00h
03A1h	UART0ビットレートレジスタ	U0BRG	XXh
03A2h 03A3h	UART0送信バッファレジスタ	U0TB	XXh XXh
03A4h	UART0送受信制御レジスタ0	U0C0	00001000b
03A5h	UART0送受信制御レジスタ1	U0C1	00XX0010b
03A6h 03A7h	UART0受信バッファレジスタ	U0RB	XXh XXh
03A8h	UART1送受信モードレジスタ	U1MR	00h
03A9h	UART1ビットレートレジスタ	U1BRG	XXh
03AAh 03ABh	UART1送信バッファレジスタ	U1TB	XXh XXh
03ACh	UART1送受信制御レジスタ0	U1C0	00001000b
03ADh	UART1送受信制御レジスタ1	U1C1	00XX0010b
03AEh 03AFh	UART1受信バッファレジスタ	U1RB	XXh XXh
03B0h	UART送受信制御レジスタ2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	00h
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	00h
03BBh			
03BCh 03BDh	CRCデータレジスタ	CRCD	XXh XXh
03BEh 03BFh	CRCインプットレジスタ	CRCIN	XXh

注1. 空欄は予約領域です。アクセスしないでください。

注2. アップダウンフラグのビット5は、リセットによりレジスタ値は“0”ですが、このビットを読んだ場合、不定です。

X: 不定です。

表 4.5 SFR一覧 (5) (注1)

番地	レジスタ	シンボル	リセット後の値
03C0h 03C1h	A/Dレジスタ0	AD0	XXh XXh
03C2h 03C3h	A/Dレジスタ1	AD1	XXh XXh
03C4h 03C5h	A/Dレジスタ2	AD2	XXh XXh
03C6h 03C7h	A/Dレジスタ3	AD3	XXh XXh
03C8h 03C9h	A/Dレジスタ4	AD4	XXh XXh
03CAh 03CBh	A/Dレジスタ5	AD5	XXh XXh
03CCh 03CDh	A/Dレジスタ6	AD6	XXh XXh
03CEh 03CFh	A/Dレジスタ7	AD7	XXh XXh
03D0h 03D1h 03D2h 03D3h			
03D4h 03D5h	A/D制御レジスタ2	ADCON2	XXX000X0b
03D6h 03D7h	A/D制御レジスタ0 A/D制御レジスタ1	ADCON0 ADCON1	000X0XXXb 00000XXXb
03D8h 03D9h 03DAh 03DBh 03DCh 03DDh 03DEh 03DFh			
03E0h 03E1h	ポートP0レジスタ ポートP1レジスタ	P0 P1	XXh XXh
03E2h 03E3h	ポートP0方向レジスタ ポートP1方向レジスタ	PD0 PD1	00h 00h
03E4h 03E5h	ポートP2レジスタ ポートP3レジスタ	P2 P3	XXh XXh
03E6h 03E7h	ポートP2方向レジスタ ポートP3方向レジスタ	PD2 PD3	00h 00h
03E8h 03E9h	ポートP4レジスタ ポートP5レジスタ	P4 P5	XXh XXh
03EAh 03EBh	ポートP4方向レジスタ ポートP5方向レジスタ	PD4 PD5	00h 00h
03EC 03EDh	ポートP6レジスタ ポートP7レジスタ	P6 P7	XXh XXh
03EEh 03EFh	ポートP6方向レジスタ ポートP7方向レジスタ	PD6 PD7	00h 00h
03F0h 03F1h	ポートP8レジスタ ポートP9レジスタ	P8 P9	XXh XXh
03F2h 03F3h	ポートP8方向レジスタ ポートP9方向レジスタ	PD8 PD9	00X00000b 00h
03F4h 03F5h	ポートP10レジスタ	P10	XXh
03F6h 03F7h 03F8h 03F9h	ポートP10方向レジスタ	PD10	00h
03FAh 03FBh			
03FCh 03FDh	ブルアップ制御レジスタ0 ブルアップ制御レジスタ1	PUR0 PUR1	00h 00000000b (注2) 00000010b
03FEh 03FFh	ブルアップ制御レジスタ2 ポート制御レジスタ	PUR2 PCR	00h 00h

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセットでは次のようになります。

- ・ CNVSS端子に“L”を入力している場合、“00000000b”
- ・ CNVSS端子に“H”を入力している場合、“00000010b”

ソフトウェアリセットでは次のようになります。

- ・ PM0レジスタのPM01～PM00ビットが“00b”(シングルチップモード)の場合、“00000000b”
- ・ PM0レジスタのPM01～PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“00000010b”

X: 不定です。



## 5. 電気的特性

表 5.1 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧 (V <sub>CC1</sub> = V <sub>CC2</sub> )	V <sub>CC1</sub> = V <sub>CC2</sub> = AV <sub>CC</sub>	-0.3 ~ 6.5	V
AV <sub>CC</sub>	アナログ電源電圧	V <sub>CC1</sub> = V <sub>CC2</sub> = AV <sub>CC</sub>	-0.3 ~ 6.5	V
V <sub>I</sub>	入力電圧	RESET, CNVSS, BYTE, P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, VREF, XIN	-0.3 ~ V <sub>CC</sub> + 0.3	V
		P7_0, P7_1	-0.3 ~ 6.5	V
V <sub>O</sub>	出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XOUT	-0.3 ~ V <sub>CC</sub> + 0.3	V
		P7_0, P7_1	-0.3 ~ 6.5	V
P <sub>d</sub>	消費電力	-40°C < T <sub>opr</sub> ≤ 85°C	300	mW
T <sub>opr</sub>	動作周囲温度	マイコン動作時	-20 ~ 85 / -40 ~ 85	°C
		ワнтаイムフラッシュ書き込み時	0 ~ 60	
		フラッシュ書き込み消去時	0 ~ 60	
T <sub>stg</sub>	保存温度		-65 ~ 150	°C

表 5.2 推奨動作条件 (注1)

記号	項目	規格値			単位	
		最小	標準	最大		
V <sub>CC</sub>	電源電圧 (V <sub>CC1</sub> =V <sub>CC2</sub> )	2.7	5.0	5.5	V	
AV <sub>CC</sub>	アナログ電源電圧		V <sub>CC</sub>		V	
V <sub>SS</sub>	電源電圧		0		V	
AV <sub>SS</sub>	アナログ電源電圧		0		V	
V <sub>IH</sub>	"H" 入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0.5V <sub>CC</sub>		V <sub>CC</sub>	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
		P7_0, P7_1	0.8V <sub>CC</sub>		6.5	V
V <sub>IL</sub>	"L" 入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0		0.2V <sub>CC</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0		0.2V <sub>CC</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0		0.16V <sub>CC</sub>	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	0		0.2V <sub>CC</sub>	V
I <sub>OH(peak)</sub>	"H" 尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7			-10.0	mA
I <sub>OH(avg)</sub>	"H" 平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7			-5.0	mA
I <sub>OL(peak)</sub>	"L" 尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7			10.0	mA
I <sub>OL(avg)</sub>	"L" 平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7			5.0	mA
f(XIN)	メインクロック 入力発振周波数 (注4)	V <sub>CC</sub> =3.0V~5.5V	0		16	MHz
		V <sub>CC</sub> =2.7V~3.0V	0		20 × V <sub>CC1</sub> - 44	MHz
f(XCIN)	サブクロック発振周波数		32.768		50	kHz
f(BCLK)	CPU動作周波数		0		16	MHz

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=2.7V~5.5V、T<sub>opr</sub>=-20~85°C / -40~85°Cです。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0, P1, P2, P8\_6, P8\_7, P9, P10のI<sub>OL(peak)</sub>の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8\_0~P8\_4のI<sub>OL(peak)</sub>の合計は80mA以下、ポートP0, P1, P2のI<sub>OH(peak)</sub>の合計は-40mA以下、ポートP3, P4, P5のI<sub>OH(peak)</sub>の合計は-40mA以下、ポートP6, P7, P8\_0~P8\_4のI<sub>OH(peak)</sub>の合計は-40mA以下、ポートP8\_6, P8\_7, P9, P10のI<sub>OH(peak)</sub>の合計は-40mA以下にしてください。平均出力電流はpeakの1/2にしてください。

注4. メインクロック入力周波数と電源電圧の関係を以下に示します。

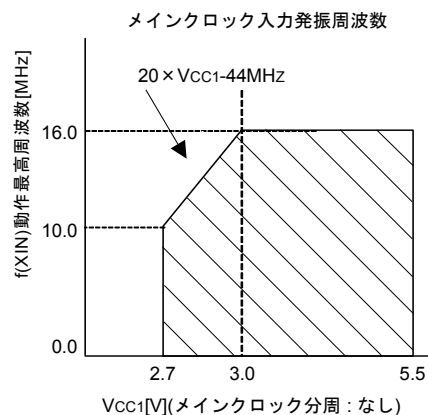


表 5.3 A/D 変換特性 (注 1)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
—	分解能		VREF=VCC				10	Bits
INL	積分 非直線性 誤差	10bit	VREF=	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±5	LSB
			VCC=	5V				
	VREF=	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±7	LSB		
		8bit	VREF=VCC=5V, 3.3V				±2	LSB
—	絶対精度	10bit	VREF=	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±5	LSB
			VCC=	5V				
		VREF=	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±7	LSB	
		8bit	VREF=VCC=5V, 3.3V				±2	LSB
—	許容信号源インピーダンス					3		kΩ
DNL	微分非直線性誤差						±2	LSB
—	オフセット誤差						±5	LSB
—	ゲイン誤差						±5	LSB
RLADDER	ラダー抵抗		VREF=VCC		10		40	kΩ
tCONV	変換時間(10bit)、サンプル&ホールドあり		VREF=VCC=5V、φAD=10MHz		3.3			μs
tCONV	変換時間(8bit)、サンプル&ホールドあり		VREF=VCC=5V、φAD=10MHz		2.8			μs
tSAMP	サンプリング時間				0.3			μs
VREF	基準電圧				3.0		VCC	V
VIA	アナログ入力電圧				0		VREF	V

注1. 指定のない場合は、VCC=AVCC=VREF=3.3～5.5V、VSS=AVSS=0V、Topr= -20～85℃ / -40～85℃です。

注2. φADの周波数は10MHz以下にしてください。

注3. サンプル&ホールドなしのときは、注2の制限に加えφADの周波数は250kHz以上にしてください。  
サンプル&ホールドありのときは、注2の制限に加えφADの周波数は1MHz以上にしてください。

表 5.4 フラッシュメモリの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注2)	100(注3)			回
-	ワードプログラム時間(V <sub>CC1</sub> =5.0V)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 (V <sub>CC1</sub> =5.0V)	4K バイトブロック	0.3	4	s
		8K バイトブロック	0.3	4	s
		32K バイトブロック	0.5	4	s
		64K バイトブロック	0.8	4	s
t <sub>PS</sub>	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注4)	10			年

注1. 指定のない場合は、V<sub>CC1</sub>=4.5~5.5V、3.0~3.6V、T<sub>opr</sub>=0~60°C(U3, U5)です。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数が100回の場合、ブロックごとに、それぞれ100回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注3. プログラム/イレーズ後の全ての電気的特性を保証する最小回数です。(保証は1~“最小”値の範囲です。)

注4. T<sub>opr</sub>=-40~85°C(U3)/-20~85°C(U5)の条件です。

表 5.5 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
V <sub>CC1</sub> =3.3±0.3Vまたは5.0±0.5V (T <sub>opr</sub> =0~60°C)	V <sub>CC1</sub> =2.7~5.5V (T <sub>opr</sub> =-40~85°C(U3), -20~85°C(U5))

表 5.6 ワンタイムフラッシュの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム回数			1	回
-	ワードプログラム時間(V <sub>CC1</sub> =5.0V)		50	500	μs
t <sub>PS</sub>	ワンタイムフラッシュ回路安定待ち時間			15	μs
-	データ保持時間(注2)	10			年

注1. 指定のない場合は、V<sub>CC1</sub>=4.5~5.5V、3.0~3.6V、T<sub>opr</sub>=0~60°C(U3, U5)です。

注2. T<sub>opr</sub>= -40~85°C(U3)/-20~85°C(U5)の条件です。

表 5.7 ワンタイムフラッシュの書き込み電圧と読み出し動作電圧特性

フラッシュ書き込み電圧	フラッシュ読み出し動作電圧
V <sub>CC1</sub> =3.3±0.3Vまたは5.0±0.5V (T <sub>opr</sub> =0~60°C)	V <sub>CC1</sub> =2.7~5.5V (T <sub>opr</sub> =-40~85°C(U3), -20~85°C(U5))

表 5.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(P-R)$	電源投入時内部電源安定時間	$V_{CC}=2.7V \sim 5.5V$			2	ms
$t_d(R-S)$	STOP 解除時間				1500	$\mu s$
$t_d(W-S)$	低消費電力モードウェイトモード解除時間				1500	$\mu s$

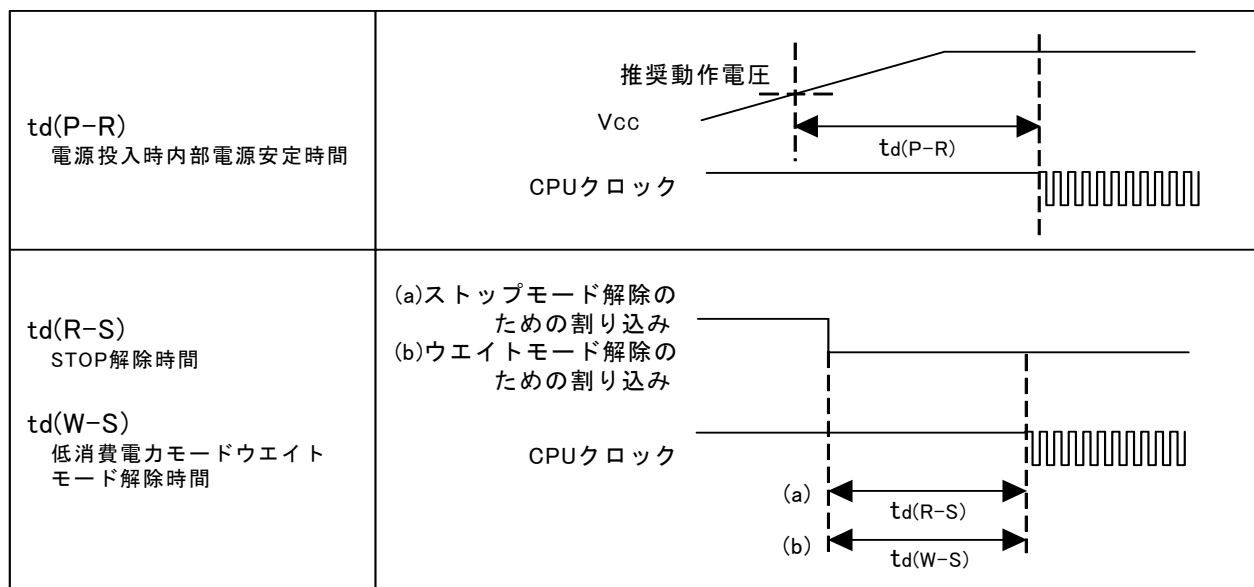


図 5.1 電源回路のタイミング図

$$V_{CC1}=V_{CC2}=5V$$

表 5.9 電気的特性(1)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH = -5mA	VCC - 2.0		VCC	V	
VOH	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH = -200 $\mu$ A	VCC - 0.3		VCC	V	
VOH	"H"出力電圧	XOUT	HIGHPOWER	IOH = -1mA	VCC - 2.0		VCC	V
			LOWPOWER	IOH = -0.5mA	VCC - 2.0		VCC	
	"H"出力電圧	XCOUT	HIGHPOWER	無負荷時		2.5		V
			LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOL = 5mA			2.0	V	
VOL	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOL = 200 $\mu$ A			0.45	V	
VOL	"L"出力電圧	XOUT	HIGHPOWER	IOL = 1mA		2.0	V	
			LOWPOWER	IOL = 0.5mA		2.0		
	"L"出力電圧	XCOUT	HIGHPOWER	無負荷時		0	V	
			LOWPOWER	無負荷時		0		
Vt+-Vt-	ヒステリシス	TA0IN~TA2IN, TB0IN~TB2IN, INT0~INT4, NMI, ADTRG, CTS0~CTS2, CLK0~CLK2, TA0OUT~TA2OUT, K10~K13, RXD0~RXD2, SCL0~SCL2, SDA0~SDA2		0.2		1.0	V	
Vt+-Vt-	ヒステリシス	RESET		0.2		2.5	V	
IiH	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	Vi = 5V			5.0	$\mu$ A	
IiL	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	Vi = 0V			-5.0	$\mu$ A	
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	Vi = 0V	30	50	170	k $\Omega$	
RfXIN	帰還抵抗	XIN			1.5		M $\Omega$	
RfXCIN	帰還抵抗	XCIN			15		M $\Omega$	
V <sub>RAM</sub>	RAM保持電圧		ストップモード時	2.0			V	

注1. 指定のない場合は、VCC1=VCC2=4.2~5.5V、VSS=0V、T<sub>opr</sub>=-20~85°C / -40~85°C、f(XIN)=16MHzです。

$$V_{CC1}=V_{CC2}=5V$$

表 5.10 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流 (V <sub>CC1</sub> =4.0~5.5V) シングルチップモードで、 出力端子は開放、 その他の端子はV <sub>SS</sub>	マスクROM	f(XIN)=16MHz 分周なし		10	15	mA
		ワнтаイムフラッシュ	f(XIN)=16MHz 分周なし		10	18	mA
		フラッシュメモリ	f(XIN)=16MHz 分周なし		12	18	mA
		ワнтаイムフラッシュ プログラム	f(XIN)=10MHz V <sub>CC1</sub> =5.0V		15		mA
		フラッシュメモリプロ グラム	f(XIN)=10MHz V <sub>CC1</sub> =5.0V		15		mA
		フラッシュメモリー レース	f(XIN)=10MHz V <sub>CC1</sub> =5.0V		25		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)		25		μA
		ワнтаイムフラッシュ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
			f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		350		μA
		フラッシュメモリ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
			f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		420		μA
		マスクROM、 ワнтаイムフラッシュ、 フラッシュメモリ	f(XCIN)=32kHz ウェイトモード時(注2) 発振能力High		7.5		μA
			f(XCIN)=32kHz ウェイトモード時(注2) 発振能力Low		2.0		μA
			ストップモード時 T <sub>opr</sub> =25°C		0.8	3.0	μA

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=4.2~5.5V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85°C / -40~85°C、f(XIN)=16MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。



$$V_{CC1}=V_{CC2}=5V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 5.11 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
$t_c$	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力“H”パルス幅	25		ns
$t_w(L)$	外部クロック入力“L”パルス幅	25		ns
$t_r$	外部クロック立ち上がり時間		15	ns
$t_f$	外部クロック立ち下がり時間		15	ns

注1. 条件は $V_{CC1}=V_{CC2}=3.0\sim 5.0V$ です。

表 5.12 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	40		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	30		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	40		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 45[ns]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 45[ns] \quad nは1ウェイト設定の場合“2”$$

$$V_{CC1}=V_{CC2}=5V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 5.13 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	40		ns

表 5.14 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	200		ns

表 5.15 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	100		ns

表 5.16 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	100		ns

表 5.17 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT 入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT 入力“H”パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT 入力“L”パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT 入力ホールド時間	400		ns

表 5.18 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	800		ns
$t_{su(TAIN-TAOUT)}$	TAiOUT 入力セットアップ時間	200		ns
$t_{su(TAOUT-TAIN)}$	TAiIN 入力セットアップ時間	200		ns

$$V_{CC1}=V_{CC2}=5V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 5.19 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TB)$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c}(TB)$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 5.20 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TB)$	TBiIN入力サイクル時間	400		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅	200		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅	200		ns

表 5.21 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TB)$	TBiIN入力サイクル時間	400		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅	200		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅	200		ns

表 5.22 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(AD)$	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w}(ADL)$	ADTRG入力“L”パルス幅	125		ns

表 5.23 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c}(CK)$	CLKi入力サイクル時間	200		ns
$t_{w}(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_{w}(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_{d}(C-Q)$	TXDi出力遅延時間		80	ns
$t_{h}(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_{h}(C-D)$	RXDi入力ホールド時間	90		ns

表 5.24 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w}(INH)$	INTi入力“H”パルス幅	250		ns
$t_{w}(INL)$	INTi入力“L”パルス幅	250		ns

VCC1=VCC2=5V

スイッチング特性

(指定のない場合は、VCC1=VCC2=5V、VSS=0V、Topr= -20 ~ 85°C / -40 ~ 85°C)

表 5.25 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 5.2		25	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK 基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD 基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR 基準)		(注2)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
td(BCLK-ALE)	ALE 信号出力遅延時間			15	ns
th(BCLK-ALE)	ALE 信号出力保持時間		-4		ns
td(BCLK-RD)	RD 信号出力遅延時間			25	ns
th(BCLK-RD)	RD 信号出力保持時間		0		ns
td(BCLK-WR)	WR 信号出力遅延時間			25	ns
th(BCLK-WR)	WR 信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK 基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK 基準) (注3)		4		ns
td(DB-WR)	データ出力遅延時間 (WR 基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR 基準) (注3)		(注2)		ns
td(BCLK-HLDA)	HLDA 出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

例えば、VOL=0.2VCC1、C=30pF、R=1kΩ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1}) = 6.7\text{ns}$$

となります。

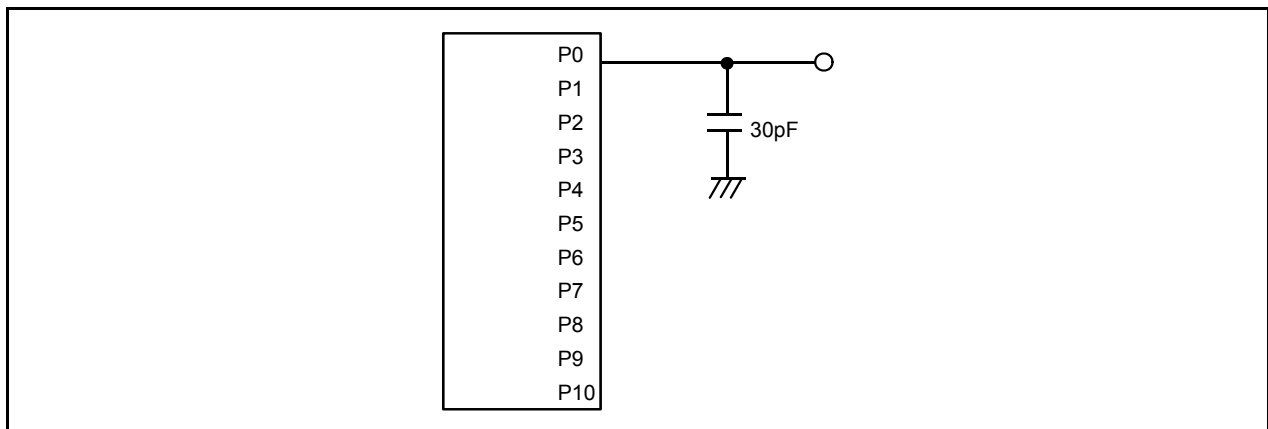
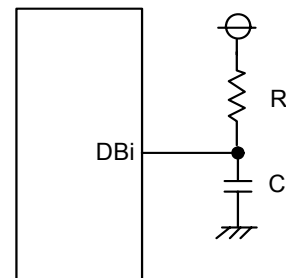


図 5.2 ポート P0 ~ P10 の測定回路

$$V_{CC1}=V_{CC2}=5V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )表 5.26 メモリ拡張モード、マイクロプロセッサモード  
(1ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 5.2		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK 基準)		-3		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD 信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR 信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR 信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK 基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA 出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad n \text{ は 1 ウェイト 設定 の 場合 "1"、} n=1 \text{ の 場合 は、} f(\text{BCLK}) \text{ は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

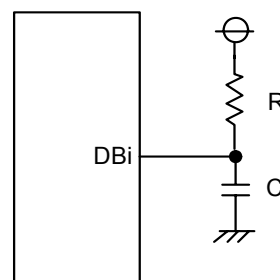
例えば、 $V_{OL}=0.2V_{CC1}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$  とすると、

出力 "L" レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1})$$

$$= 6.7\text{ns}$$

となります。



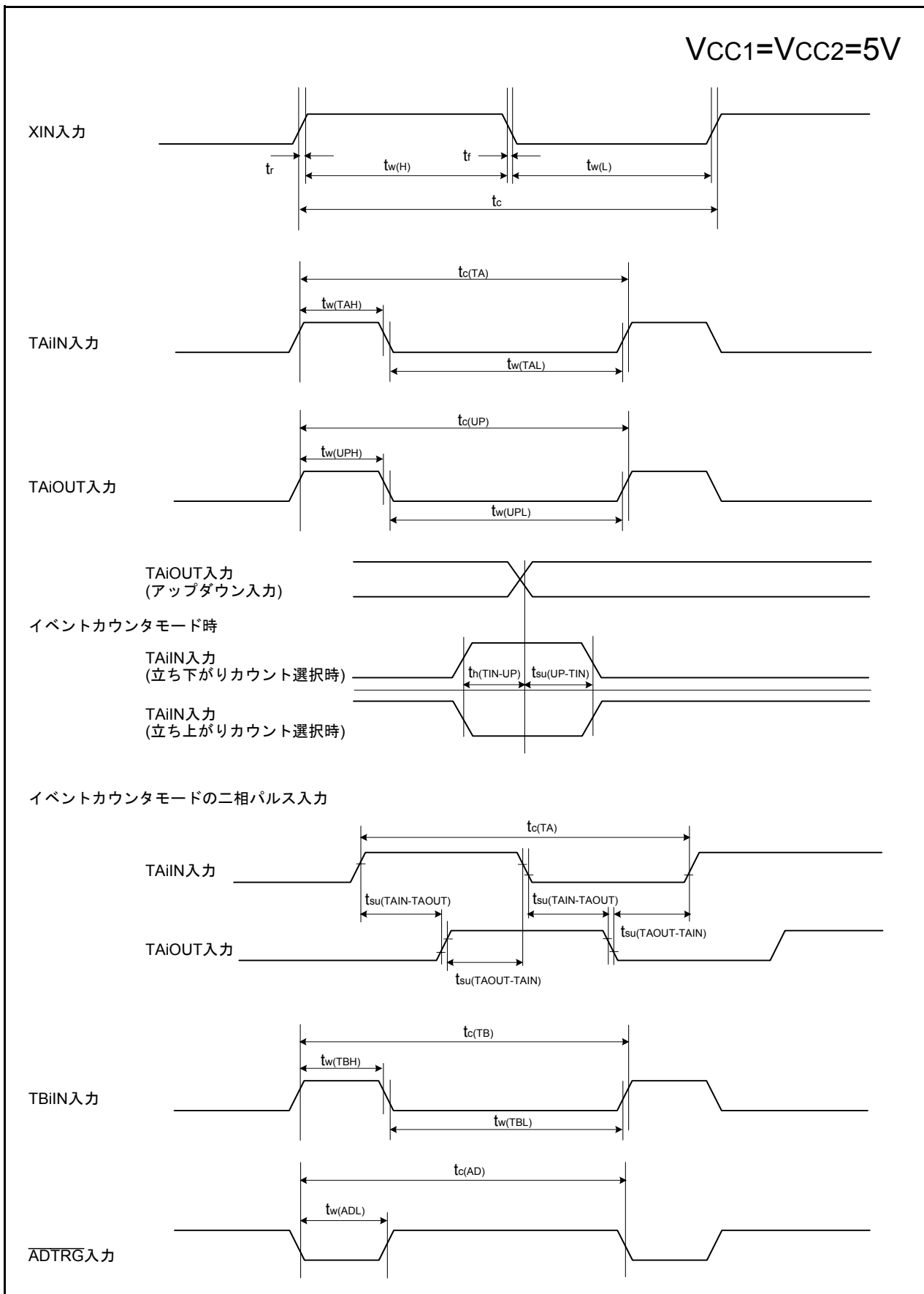


図 5.3 タイミング図(1)

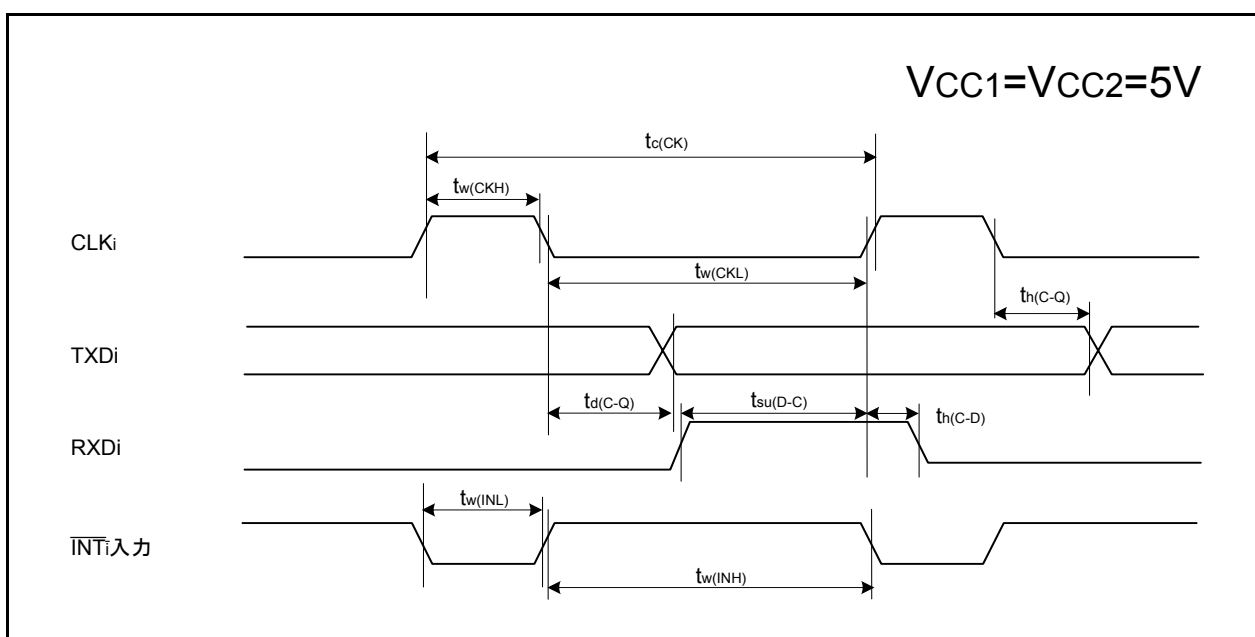


図 5.4 タイミング図(2)

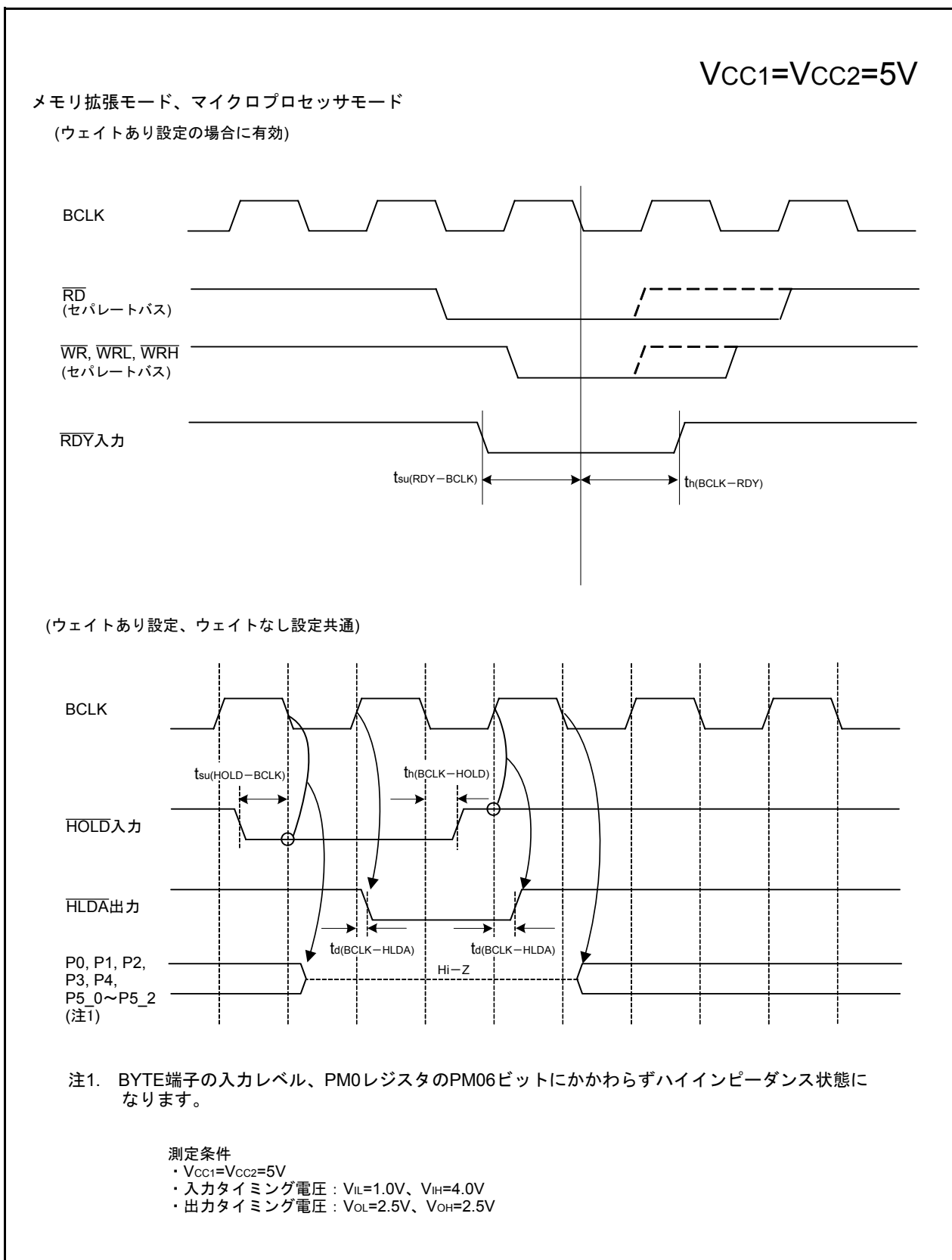


図 5.5 タイミング図(3)



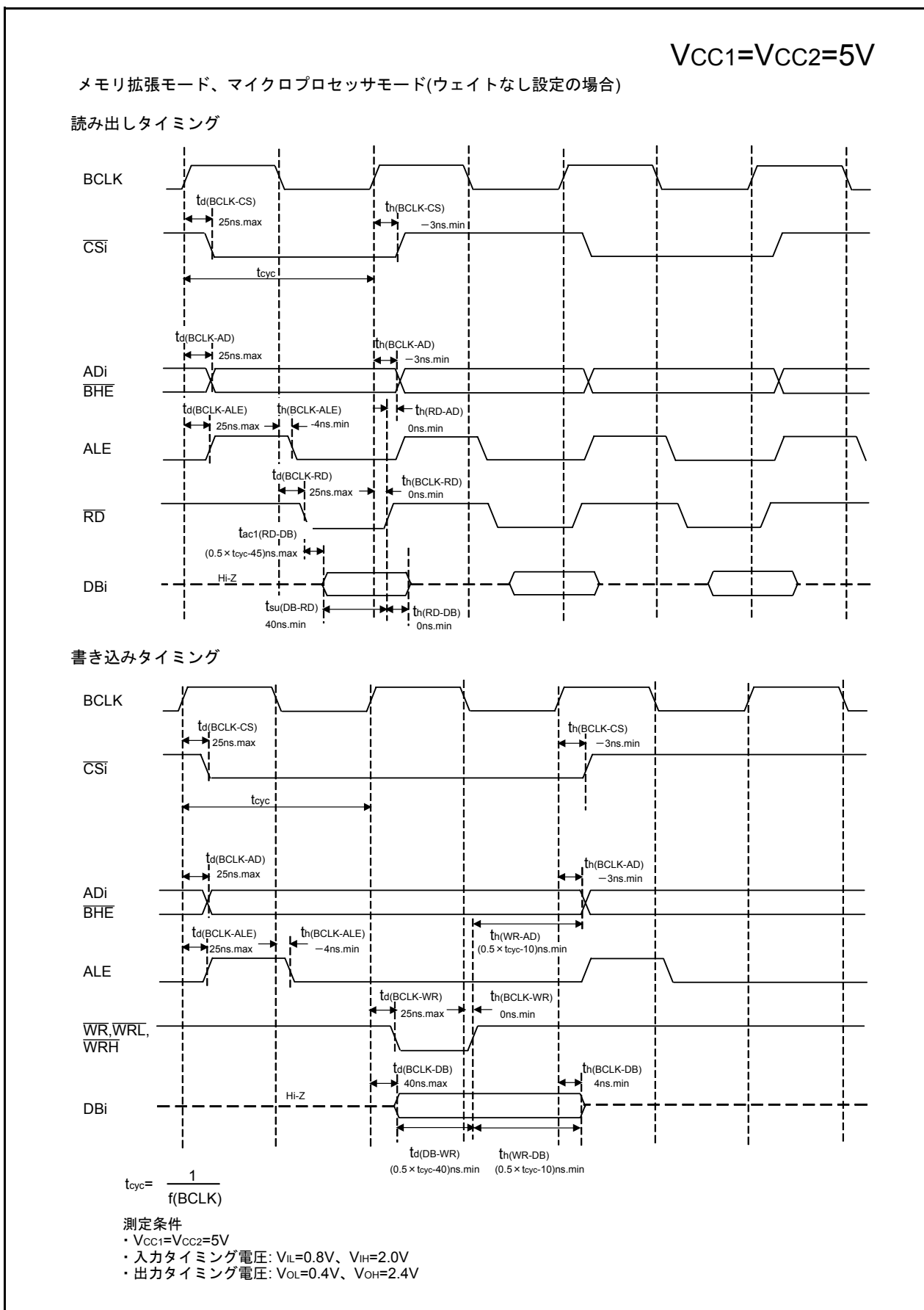


図 5.6 タイミング図(4)

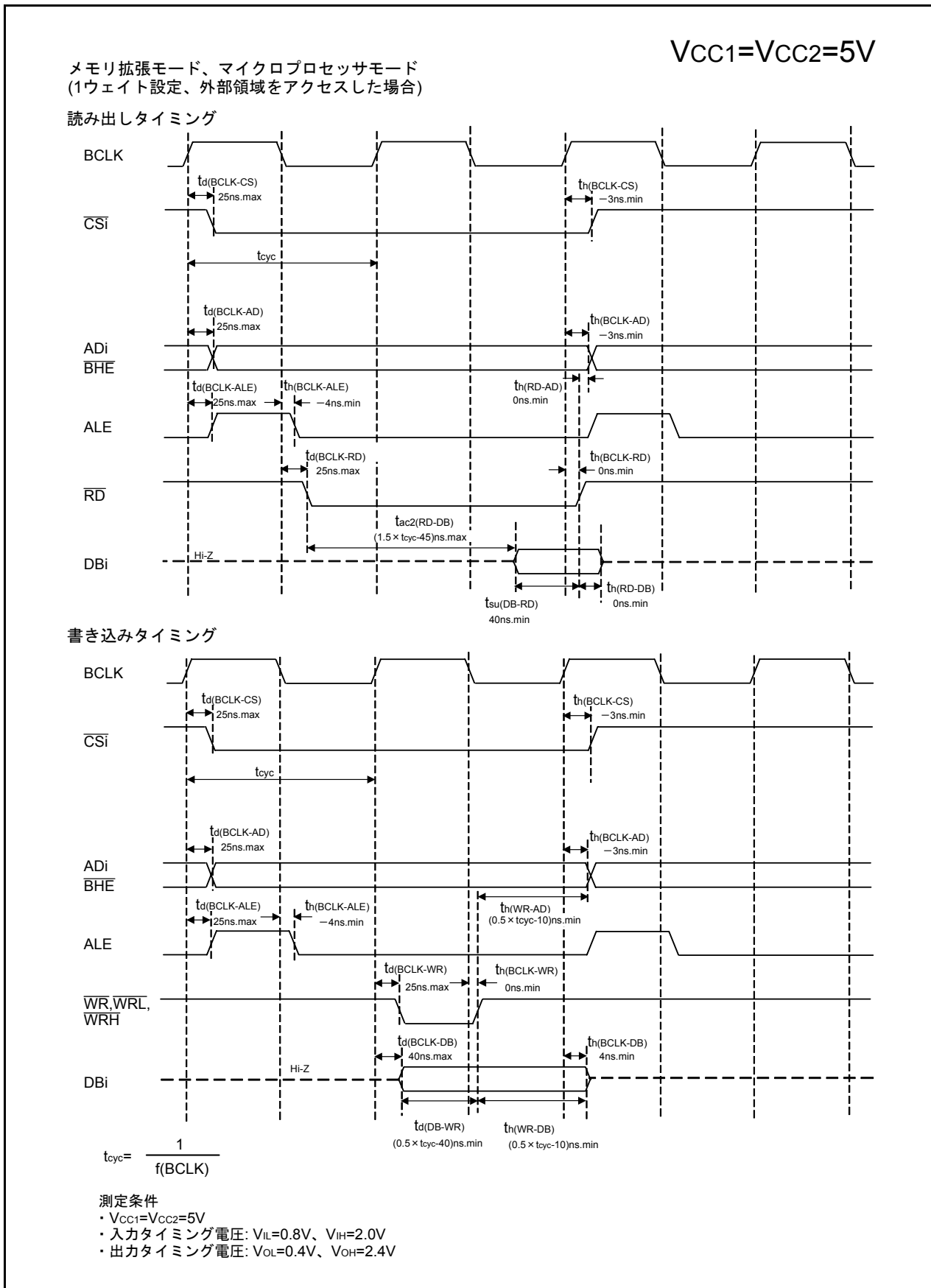


図5.7 タイミング図(5)

$$V_{CC1}=V_{CC2}=3V$$

表 5.27 電気的特性(1)(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	I <sub>OH</sub> =-1mA	V <sub>CC</sub> -0.5		V <sub>CC</sub>	V
VOH	"H"出力電圧	XOUT	HIGHPOWER	I <sub>OH</sub> =-0.1mA	V <sub>CC</sub> -0.5	V <sub>CC</sub>	V
			LOWPOWER	I <sub>OH</sub> =-50μA	V <sub>CC</sub> -0.5	V <sub>CC</sub>	
	"H"出力電圧	XCOUT	HIGHPOWER	無負荷時		2.5	V
			LOWPOWER	無負荷時		1.6	
VOL	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	I <sub>OL</sub> =1mA			0.5	V
VOL	"L"出力電圧	XOUT	HIGHPOWER	I <sub>OL</sub> =0.1mA		0.5	V
			LOWPOWER	I <sub>OL</sub> =50μA		0.5	
	"L"出力電圧	XCOUT	HIGHPOWER	無負荷時		0	V
			LOWPOWER	無負荷時		0	
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	TA0IN~TA2IN, TB0IN~TB2IN, INT0~INT4, NMI, ADTRG, CTS0~CTS2, CLK0~CLK2, TA0OUT~TA2OUT, KI0~KI3, RXD0~RXD2, SCL0~SCL2, SDA0~SDA2		0.2		0.8	V
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	RESET		0.2	(0.7)	1.8	V
I <sub>IH</sub>	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =3V			4.0	μA
I <sub>IL</sub>	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =0V			-4.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	V <sub>I</sub> =0V	50	100	500	kΩ
R <sub>fXIN</sub>	帰還抵抗	XIN			3.0		MΩ
R <sub>fXCIN</sub>	帰還抵抗	XCIN			25		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=2.7~3.3V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85°C / -40~85°C、f(XIN)=10MHz、ウェイトなしです。

$$V_{CC1}=V_{CC2}=3V$$

表 5.28 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流 (V <sub>CC1</sub> =2.7~3.6V) シングルチップモードで、 出力端子は開放、 その他の端子はV <sub>SS</sub>	マスクROM	f(XIN)=10MHz 分周なし		8	11	mA
		ワンタイムフラッシュ	f(XIN)=10MHz 分周なし		8	13	mA
		フラッシュメモリ	f(XIN)=10MHz 分周なし		8	13	mA
		ワンタイムフラッシュ プログラム	f(XIN)=10MHz V <sub>CC1</sub> =3.0V		12		mA
		フラッシュメモリプロ グラム	f(XIN)=10MHz V <sub>CC1</sub> =3.0V		12		mA
		フラッシュメモリイ レーズ	f(XIN)=10MHz V <sub>CC1</sub> =3.0V		22		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)		25		μA
		ワンタイムフラッシュ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
			f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		350		μA
		フラッシュメモリ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
			f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		420		μA
		マスクROM、 ワンタイムフラッシュ、 フラッシュメモリ	f(XCIN)=32kHz ウェイトモード時(注2) 発振能力High		6.0		μA
			f(XCIN)=32kHz ウェイトモード時(注2) 発振能力Low		1.8		μA
			ストップモード時 T <sub>opr</sub> =25°C		0.7	3.0	μA

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=2.7~3.3V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85°C / -40~85°C、f(XIN)=10MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

$$V_{CC1}=V_{CC2}=3V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 5.29 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
$t_c$	外部クロック入力サイクル時間	(注2)		ns
$t_w(H)$	外部クロック入力“H”パルス幅	(注3)		ns
$t_w(L)$	外部クロック入力“L”パルス幅	(注3)		ns
$t_r$	外部クロック立ち上がり時間		(注4)	ns
$t_f$	外部クロック立ち下がり時間		(注4)	ns

注1. 条件は $V_{CC1}=V_{CC2}=2.7\sim 3.0V$ です。

注2.  $V_{CC1}$ の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC1} - 44} [\text{ns}]$$

注3.  $V_{CC1}$ の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC1} - 44} \times 0.4 [\text{ns}]$$

注4.  $V_{CC1}$ の電圧に応じて次の計算式で算出されます。

$$-10 \times V_{CC1} + 45 [\text{ns}]$$

表 5.30 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	50		ns
$t_{su}(RDY-BCLK)$	$\overline{RDY}$ 入力セットアップ時間	40		ns
$t_{su}(HOLD-BCLK)$	$\overline{HOLD}$ 入力セットアップ時間	50		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	$\overline{RDY}$ 入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	$\overline{HOLD}$ 入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 60 [\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60 [\text{ns}] \quad n \text{は1ウェイト設定の場合“2”}$$

$$V_{CC1}=V_{CC2}=3V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 5.31 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN 入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN 入力“H”パルス幅	60		ns
$t_w(TAL)$	TAiIN 入力“L”パルス幅	60		ns

表 5.32 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN 入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN 入力“H”パルス幅	300		ns
$t_w(TAL)$	TAiIN 入力“L”パルス幅	300		ns

表 5.33 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN 入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN 入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN 入力“L”パルス幅	150		ns

表 5.34 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN 入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN 入力“L”パルス幅	150		ns

表 5.35 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT 入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT 入力“H”パルス幅	1500		ns
$t_w(UPL)$	TAiOUT 入力“L”パルス幅	1500		ns
$t_{su}(UP-TIN)$	TAiOUT 入力セットアップ時間	600		ns
$t_h(TIN-UP)$	TAiOUT 入力ホールド時間	600		ns

表 5.36 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN 入力サイクル時間	2		$\mu s$
$t_{su}(TAIN-TAOUT)$	TAiOUT 入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN 入力セットアップ時間	500		ns

$$V_{CC1}=V_{CC2}=3V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 5.37 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TB)$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c}(TB)$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 5.38 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TB)$	TBiIN入力サイクル時間	600		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅	300		ns

表 5.39 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TB)$	TBiIN入力サイクル時間	600		ns
$t_{w}(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_{w}(TBL)$	TBiIN入力“L”パルス幅	300		ns

表 5.40 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(AD)$	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w}(ADL)$	ADTRG入力“L”パルス幅	200		ns

表 5.41 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c}(CK)$	CLKi入力サイクル時間	300		ns
$t_{w}(CKH)$	CLKi入力“H”パルス幅	150		ns
$t_{w}(CKL)$	CLKi入力“L”パルス幅	150		ns
$t_{d}(C-Q)$	TXDi出力遅延時間		160	ns
$t_{h}(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_{h}(C-D)$	RXDi入力ホールド時間	90		ns

表 5.42 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w}(INH)$	INTi入力“H”パルス幅	380		ns
$t_{w}(INL)$	INTi入力“L”パルス幅	380		ns

VCC1=VCC2=3V

スイッチング特性

(指定のない場合は、VCC1=VCC2=3V、VSS=0V、T<sub>opr</sub>= -20 ~ 85°C / -40 ~ 85°C)

表5.43 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t <sub>d</sub> (BCLK-AD)	アドレス出力遅延時間	図 5.8		30	ns
t <sub>h</sub> (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
t <sub>h</sub> (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t <sub>h</sub> (WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
t <sub>d</sub> (BCLK-CS)	チップセレクト出力遅延時間			30	ns
t <sub>h</sub> (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
t <sub>d</sub> (BCLK-ALE)	ALE信号出力遅延時間			25	ns
t <sub>h</sub> (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t <sub>d</sub> (BCLK-RD)	RD信号出力遅延時間			30	ns
t <sub>h</sub> (BCLK-RD)	RD信号出力保持時間		0		ns
t <sub>d</sub> (BCLK-WR)	WR信号出力遅延時間			30	ns
t <sub>h</sub> (BCLK-WR)	WR信号出力保持時間		0		ns
t <sub>d</sub> (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t <sub>h</sub> (BCLK-DB)	データ出力保持時間 (BCLK基準) (注3)		4		ns
t <sub>d</sub> (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t <sub>h</sub> (WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
t <sub>d</sub> (BCLK-HLDA)	HLDA出力遅延時間		40	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

例えば、V<sub>OL</sub>=0.2V<sub>CC1</sub>、C=30pF、R=1kΩ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1}) = 6.7\text{ns}$$

となります。

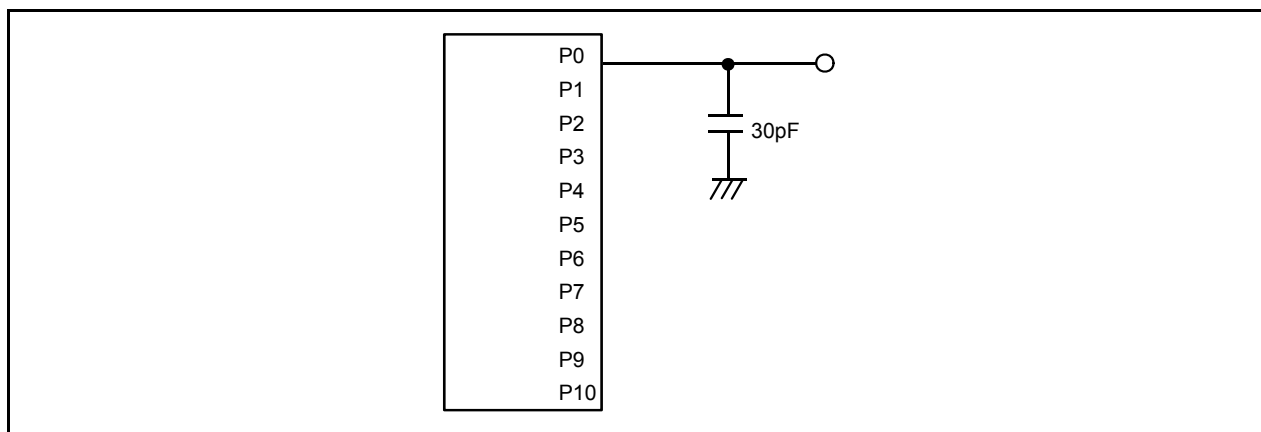
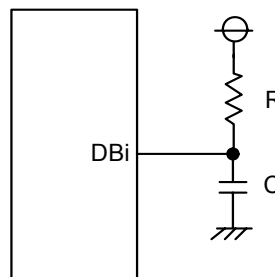


図5.8 ポートP0～P10の測定回路



$$V_{CC1}=V_{CC2}=3V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )表5.44 メモリ拡張モード、マイクロプロセッサモード  
(1ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 5.8		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			25	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad n \text{は1ウェイト設定の場合 "1"、} n=1 \text{の場合は、} f(\text{BCLK}) \text{は12.5MHz以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

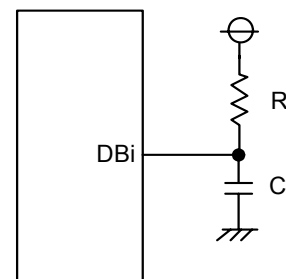
例えば、 $V_{OL}=0.2V_{CC1}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$  とすると、

出力 "L" レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1})$$

$$= 6.7\text{ns}$$

となります。



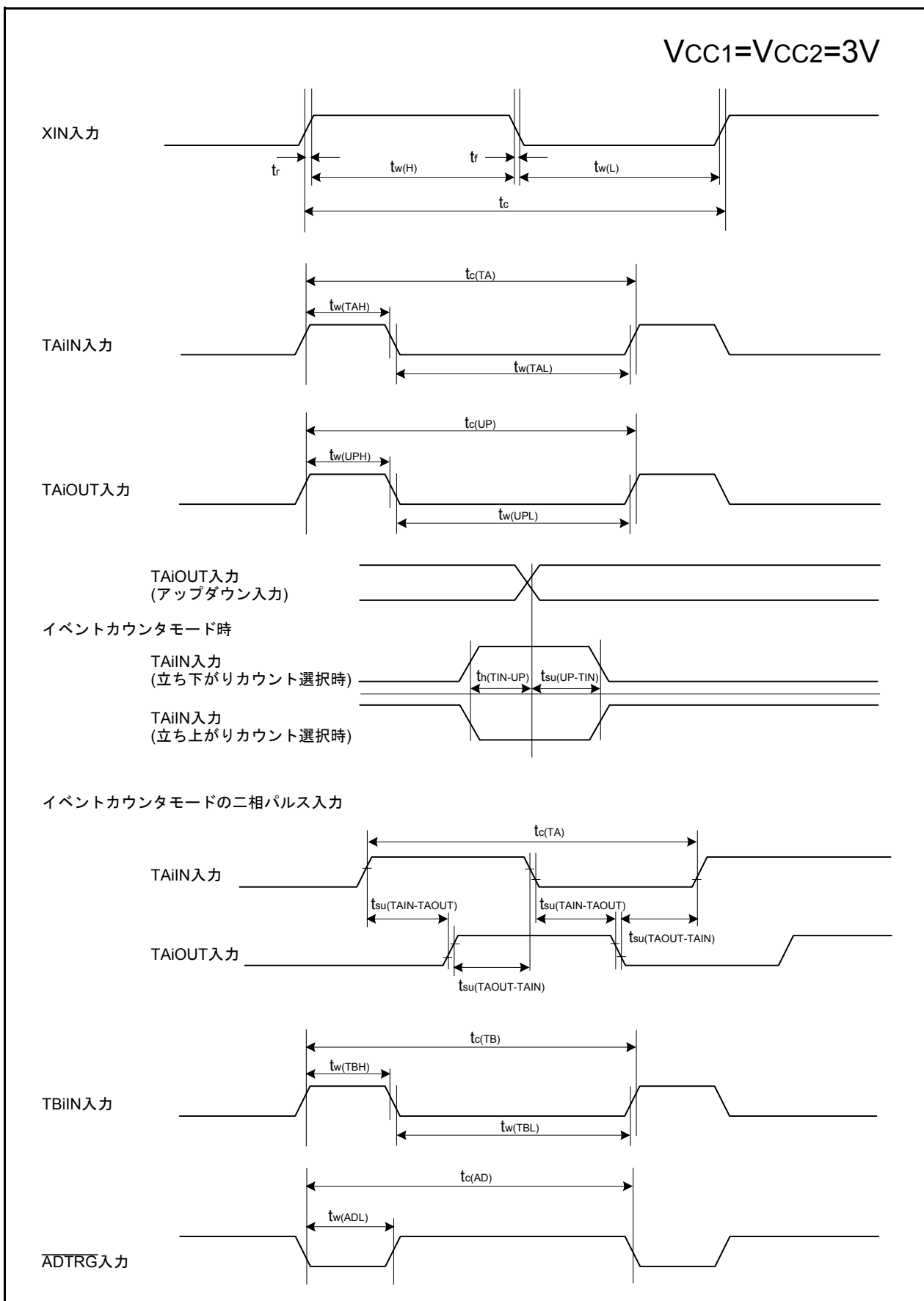


図5.9 タイミング図(1)

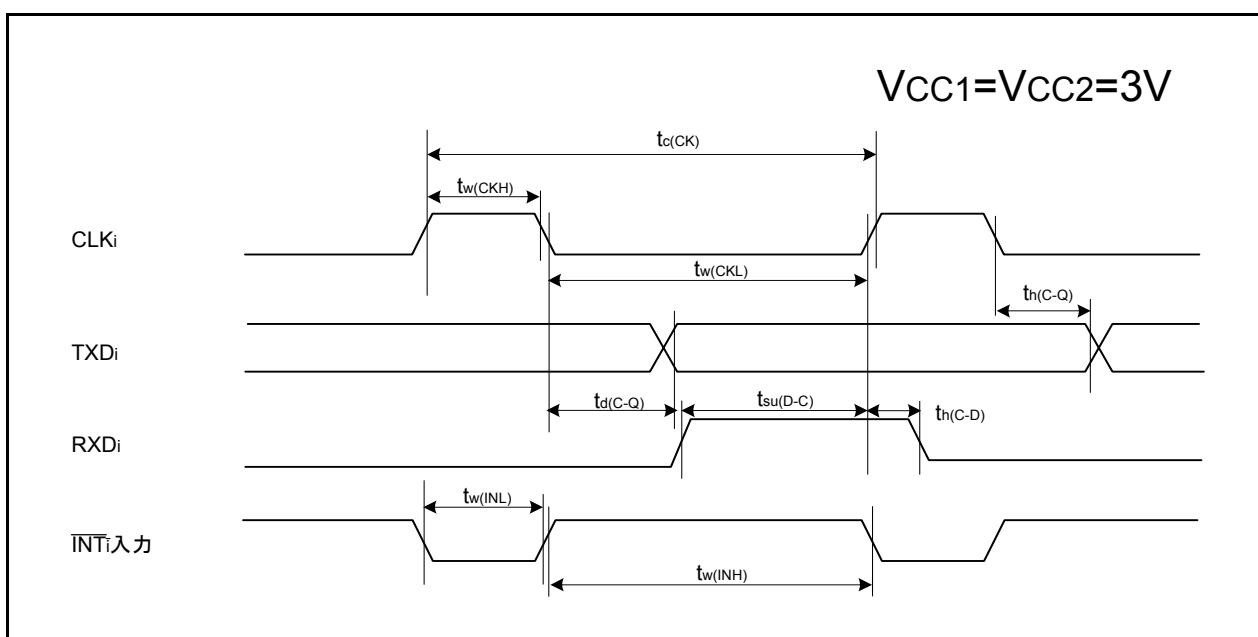


図5.10 タイミング図(2)

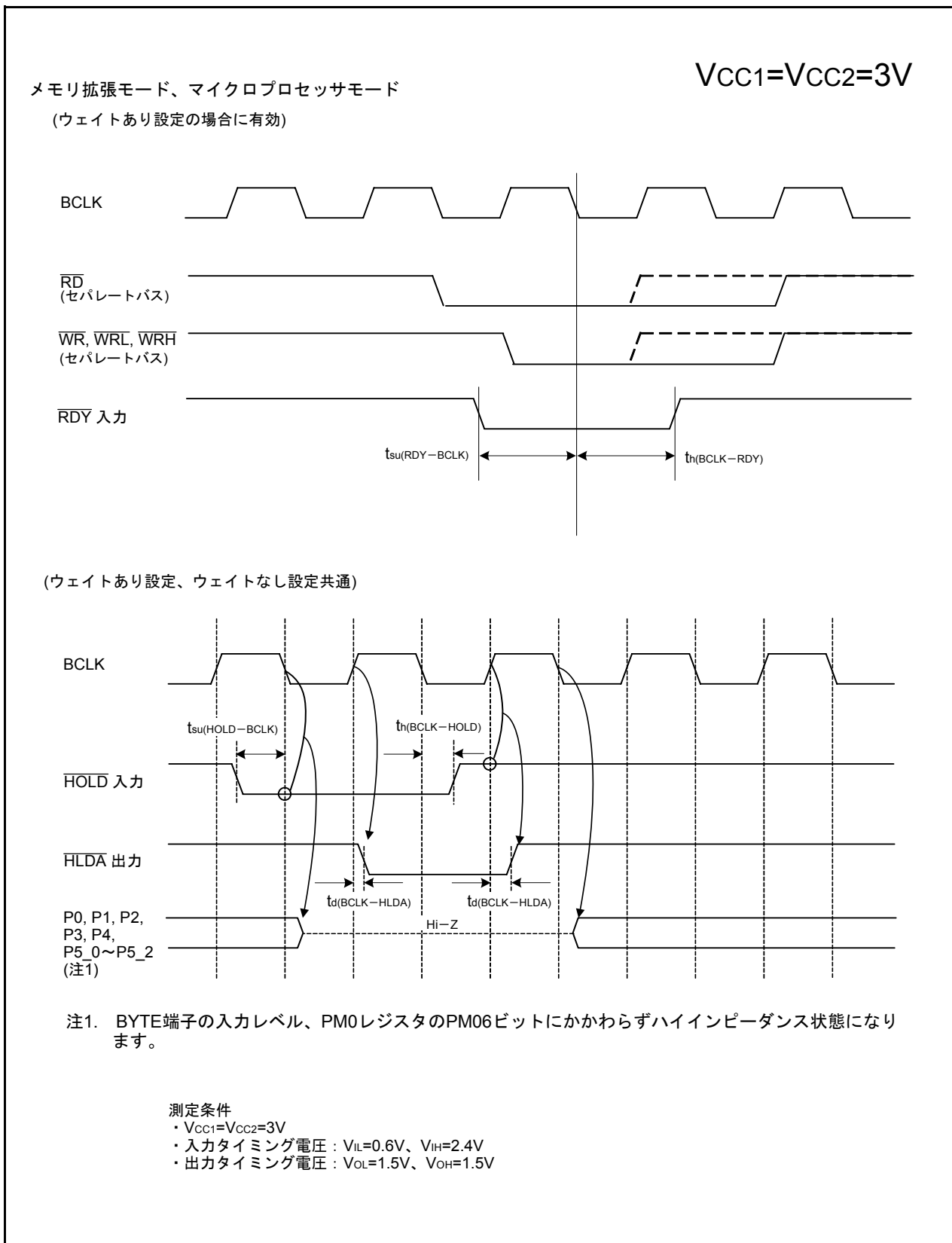


図5.11 タイミング図(3)

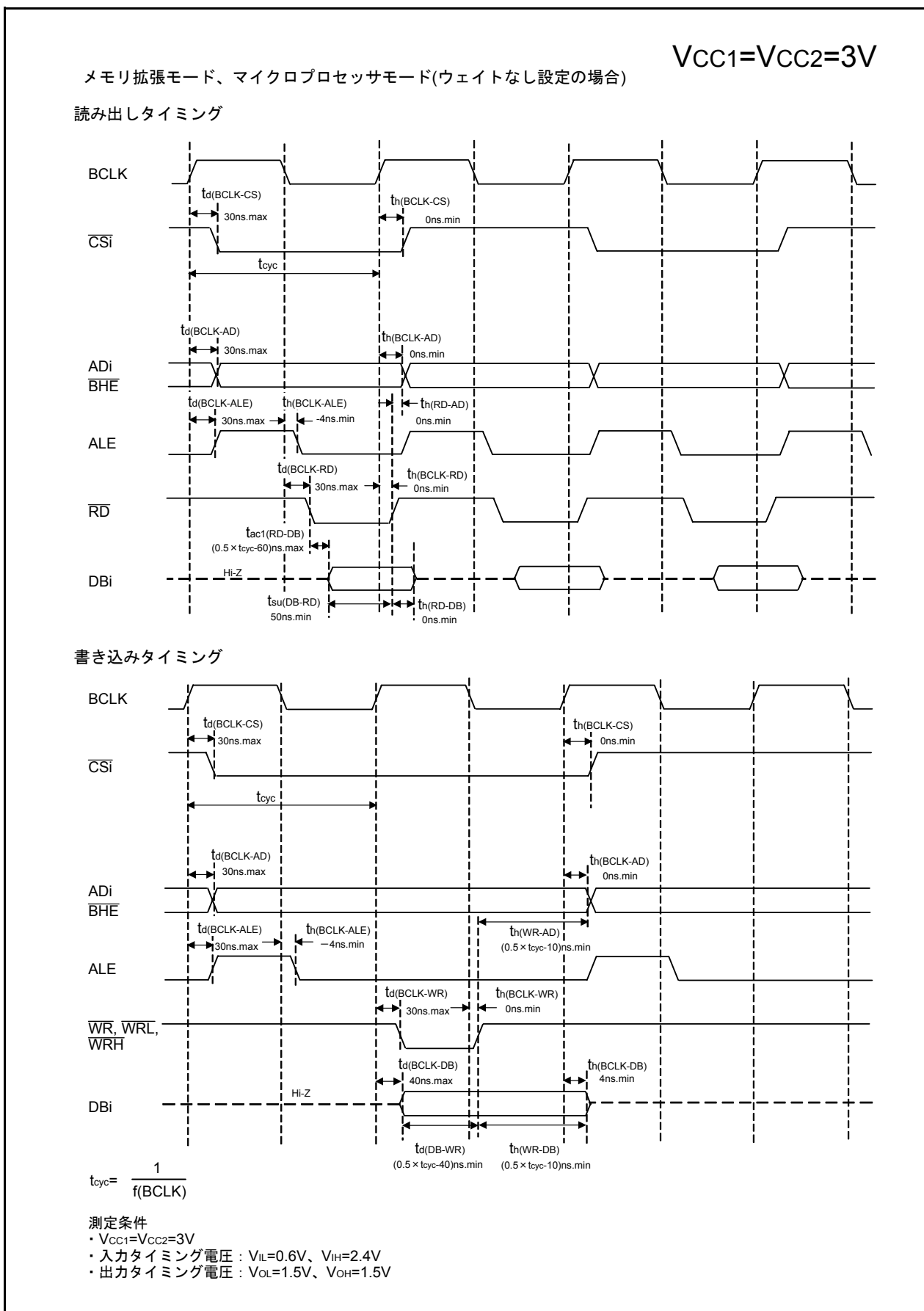


図5.12 タイミング図(4)

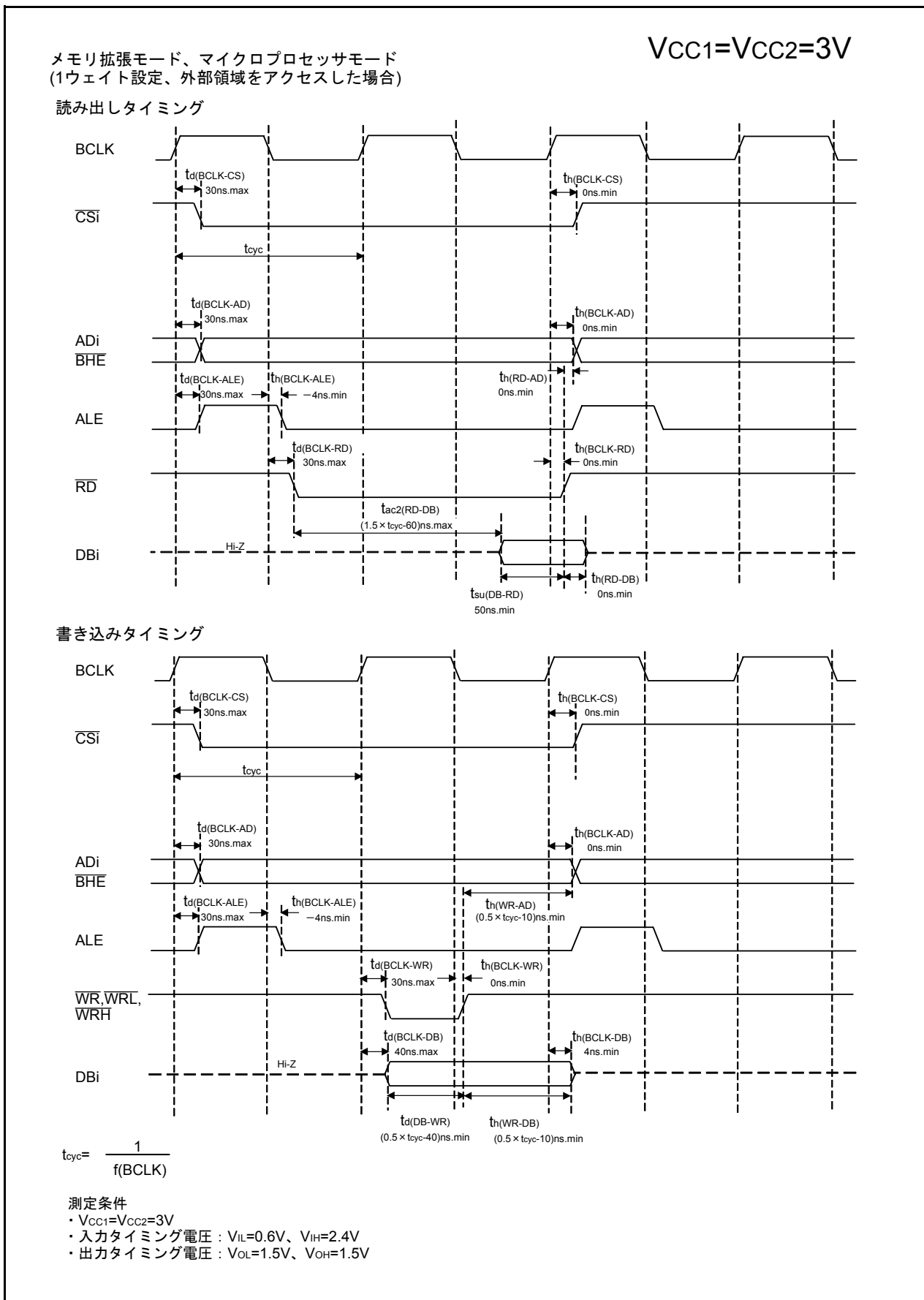
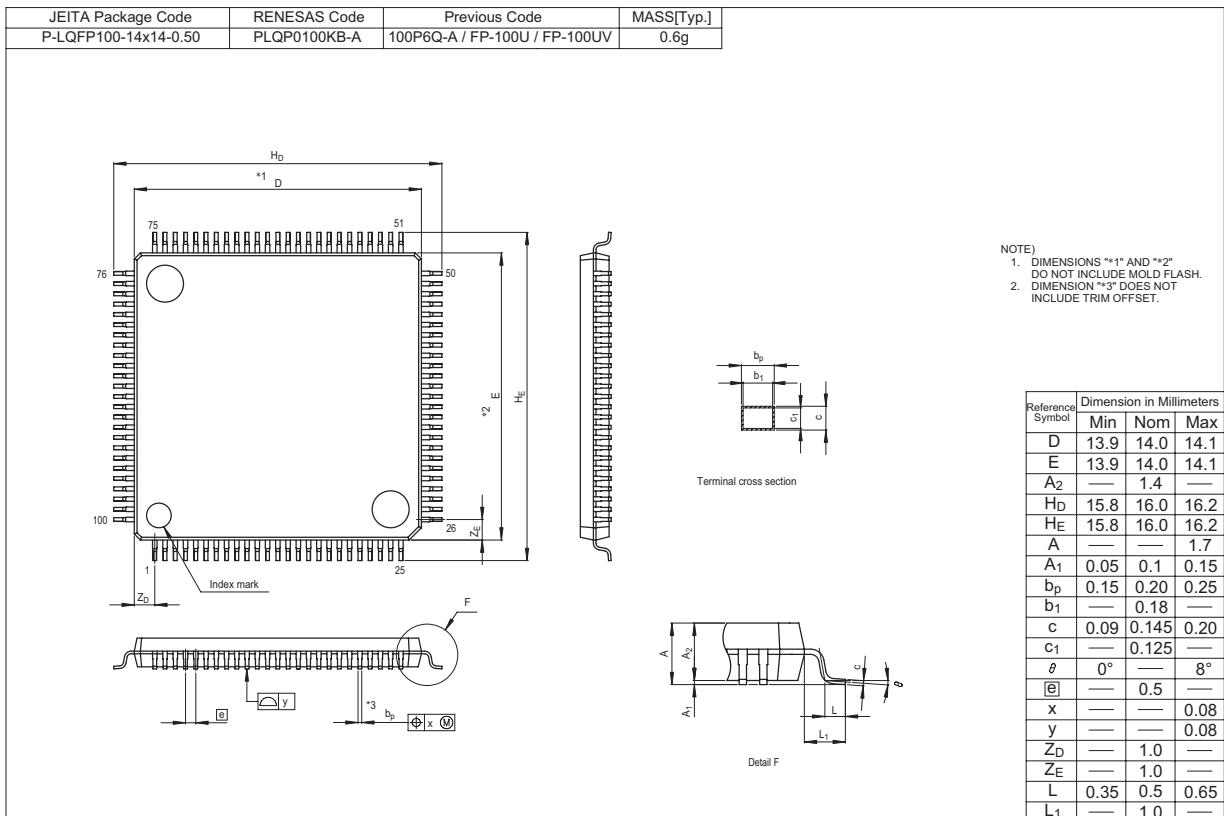
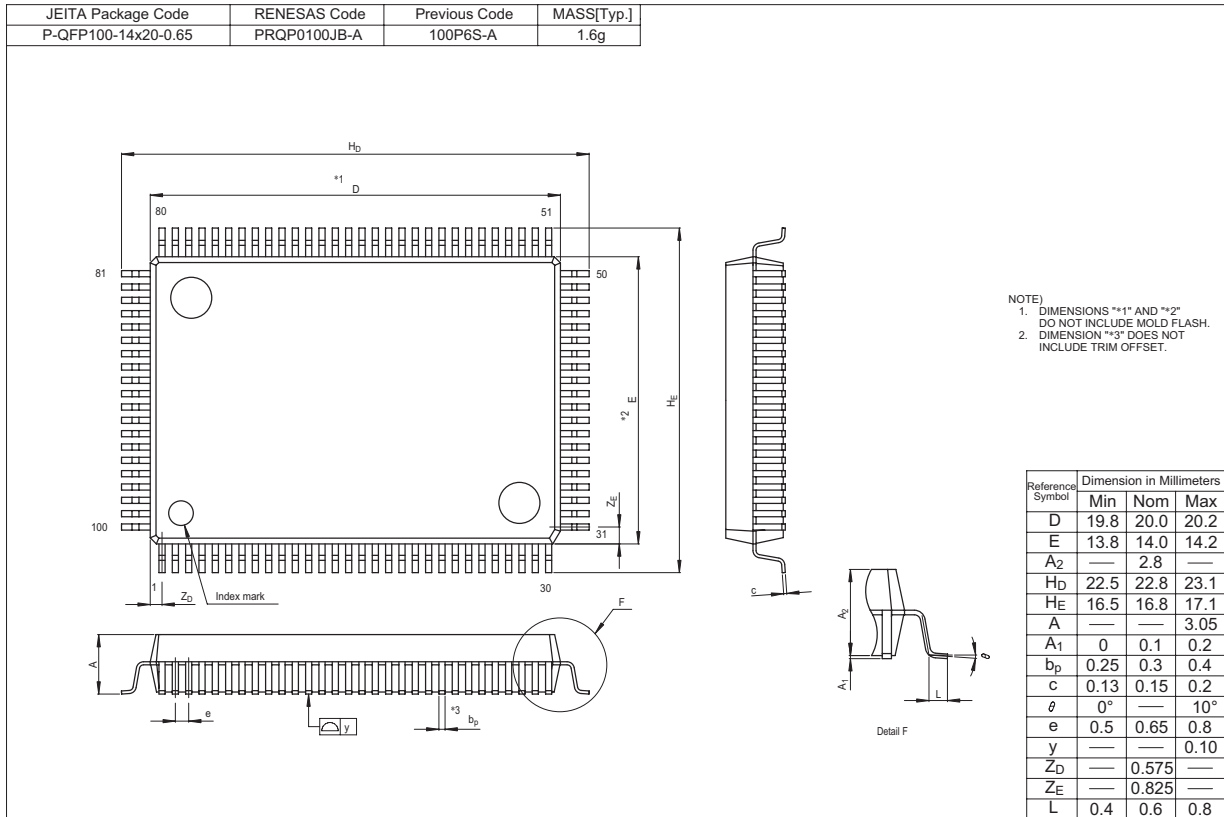


図 5.13 タイミング図 (5)

### 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。



## 改訂記録

## M16C/30P グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.70	2004.08.26	-	初版発行
0.80	2005.03.18	2	表 1.1 性能概要 シリアルI/Oを変更。 消費電流を変更。
		4	図 1.2 形名とメモリサイズ・パッケージ M16C/30Pグループを追加。
		20	表 5.3 A/D変換特性 注2を変更。
		21	表 5.4 電源回路のタイミング特性 td(P-S)→td(R-S)
		22	表 5.5 電気的特性 ヒステリシス TB1IN、→TB0IN ヒステリシス RESETの規格値を変更。 Iccの規格値を変更。
		28	表 5.19 電気的特性 ヒステリシス TB1IN、→TB0IN Iccの規格値を変更。 f(XIN)=5MHzを削除。 f(XIN)=10MHz 1ウェイト→ウェイトなし
1.00	2005.09.01	2	表 1.1 性能概要 最小命令実行時間、電源電圧を変更。
		6	図 1.4 ピン接続図(上面図) バス端子を追加。
		7-8	表 1.3～表 1.4 端子名一覧表を追加。
		9	表 1.5 端子の機能説明 バス制御端子を追加。
		14	3. メモリ 6～7行目 10Kバイト→5Kバイト 02BFFh→017FFh
		15	表 4.1 SFR一覧(1) 0008h チップセレクト制御レジスタを追加。
		19	表 4.5 SFR一覧(5) 03FDh リセット値を変更。 注2を追加。
		21	表 5.2 推奨動作条件 メインクロック入力周波数を変更。 注4の図を変更。
		22	表 5.3 A/D変換特性8bit 測定条件 VREF = VCC = 3.3V→VREF = VCC =5V, 3.3V



		M16C/30P グループデータシート	
Rev.	発行日	改訂内容	
		ページ	ポイント
		25	表 5.6 外部クロック入力(XIN入力) 注1を追加。 表 5.7 メモリ拡張モード、マイクロプロセッサモードを追加。
		28	表 5.20 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)を追加。 図 5.2 ポートP0～P10の測定回路を追加。
		29	表 5.21 メモリ拡張モード、マイクロプロセッサモード(1ウェイト、外部領域をアクセスした場合)を追加。
		32	図 5.5 タイミング図(3)を追加。
		33	図 5.6 タイミング図(4)を追加。
		34	図 5.7 タイミング図(5)を追加。
		36	表 5.23 外部クロック(XIN) 注1～注4を追加。 表 5.24 メモリ拡張モード、マイクロプロセッサモードを追加。
		39	表 5.37 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)を追加。 図 5.8 ポートP0～P10の測定回路を追加。
		40	図 5.38 メモリ拡張モード、マイクロプロセッサモード(1ウェイト、外部領域をアクセスした場合)を追加。
		43	図 5.11 タイミング図(3)を追加。
		44	図 5.12 タイミング図(4)を追加。
		45	図 5.13 タイミング図(5)を追加。
1.10	2005.10.01	4	表 1.2 製品一覧表 ROMレス版を追加。 図 1.2 型名とメモリサイズ・パッケージ ROM容量 160Kバイトを追加。
		5	表 1.3 製品コードを追加。
		5-6	図 1.3～図 1.4 マーキング図を追加。
		16	図 3.1 内部ROMの容量追加。
1.11	2006.05.31	4	1.4 製品一覧 文章追加 表 1.2 製品一覧表 一部修正と注 2 追加
		6	図 1.4 フラッシュメモリ版、ROMレス版のマーキング図(上面図) 説明文追加
		15	表 4.2 SFR一覧 フラッシュメモリ制御レジスタ 1、0 追加
		23	表 5.2 推奨動作条件 一部変更
		25	表 5.4 フラッシュメモリの電気的特性 100回品(U3, U5)の追加
		28	表 5.8 電気的特性(2) 一部削除
		40	表 5.26 電気的特性(2) 一部削除

		M16C/30P グループデータシート	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2006.10.26	1	注意 文章一部削除
		2	表 1.1 性能概要 ワンタイムフラッシュ版 追加
		4	表 1.2 製品一覧表 ワンタイムフラッシュ版 追加と一部変更
		5	図 1.2 型名とメモリサイズ・パッケージ ワンタイムフラッシュ版 追加
		7	表 1.4 と図 1.4 ワンタイムフラッシュ版 追加
		17	図 3.1 メモリ配置 一部追加
		19	表 4.2 SFR 一覧 一部追加
		23	表 5.1 絶対最大定格 一部追加
		27	表 5.6 ワンタイムフラッシュの電気的特性 表 5.7 ワンタイムフラッシュの書き込み電圧と読み出し動作電圧特性 追加
		30	表 5.10 電気的特性 (2) ワンタイムフラッシュ追加と一部変更
42	表 5.28 電気的特性 (2) ワンタイムフラッシュ追加と一部変更		
1.21	2007.03.30	4	表 1.2-1.3 製品一覧表 変更と追加
		19	表 4.2 SFR 一覧 (2) 変更と追加
		30	表 5.10 電気的特性 (2) 一部追加
		42	表 5.28 電気的特性 (2) 一部追加

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 生命維持装置。
  - 人体に埋め込み使用するもの。
  - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)