

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 1. 概要

M16C/62Pグループ (M16C/62P、M16C/62PT)は、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、80ピン、100ピンまたは128ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

### 1.1 応用

オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、自動車、他

本仕様書はできる限り正確を期すように努力しておりますが、誤記がありましたときはご容赦ください。  
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

## 1.2 性能概要

表1.1～表1.3に性能概要を示します。

表1.1 性能概要(128ピン版)

項目		性能
		M16C/62P
CPU	基本命令数	91命令
	最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0～5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7～5.5V)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ
	アドレス空間	1Mバイト(メモリ空間拡張機能により4Mバイトに拡張可能)
	メモリ容量	「表1.4、表1.5 製品一覧表」を参照してください
周辺機能	ポート	入出力：113本、入力：1本
	多機能タイマ	タイマA：16ビット×5チャンネル、 タイマB：16ビット×6チャンネル 三相モータ制御回路
	シリアルインタフェース	3チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I <sup>2</sup> C bus (注1)、IEBus (注2) 2チャンネル クロック同期形シリアルI/O
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、26チャンネル
	D/Aコンバータ	8ビット×2チャンネル
	DMAC	2チャンネル
	CRC演算回路	CRC-CCITT方式
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)
	割り込み	内部：29要因、外部：8要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵)
	発振停止検出機能	メインクロック発振停止、再発振検出機能
	電圧検出回路	あり(オプション(注4))
電气的特性	電源電圧	VCC1=3.0～5.5V、VCC2=2.7V～VCC1 (f(BCLK)=24MHz) VCC1=2.7～5.5V、VCC2=2.7V～VCC1 (f(BCLK)=10MHz)
	消費電流	14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8μA (VCC1=VCC2=3V、f(XCIN)=32kHz、ウェイトモード) 0.7μA (VCC1=VCC2=3V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	3.3V±0.3Vまたは5.0V±0.5V
	プログラム、イレーズ回数	100回(全領域) または1,000回(ブロックA、ブロック1以外のユーザROM領域) / 10,000回(ブロックA、ブロック1) (注3)
動作周囲温度	-20℃～85℃ -40℃～85℃ (注3)	
パッケージ	128ピンプラスチックモールドLQFP	

注1. I<sup>2</sup>C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. 書き換え回数および動作周囲温度は、「表1.8 製品コード」を参照してください。

なお、1,000回/10,000回品は、2005年6月時点で開発中です。リリース日程についてはお問い合わせください。

注4. オプション機能をご使用になる場合は、その旨ご指定ください。

表 1.2 性能概要(100ピン版)

項目		性能	
		M16C/62P	M16C/62PT (注4)
CPU	基本命令数	91 命令	
	最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0~5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7~5.5V)	41.7ns(f(BCLK)=24MHz、VCC1=4.0~5.5V)
	動作モード	シングルチップ、メモリ拡張、 マイクロプロセッサ	シングルチップ
	アドレス空間	1Mバイト(メモリ空間拡張機能によ り4Mバイトに拡張可能)	1Mバイト
	メモリ容量	「表 1.4~1.7 製品一覧表」を参照してください	
周辺機能	ポート	入出力：87本、入力：1本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路	
	シリアルインタ フェース	3チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I <sup>2</sup> C bus(注1)、IEBus(注2) 2チャンネル クロック同期形シリアルI/O	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、26チャンネル	
	D/Aコンバータ	8ビット×2チャンネル	
	DMAC	2チャンネル	
	CRC演算回路	CRC-CCITT方式	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)	
	割り込み	内部：29要因、外部：8要因、ソフトウェア：4要因 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵)	
	発振停止検出機能	メインクロック発振停止、再発振検出機能	
	電圧検出回路	あり(オプション(注5))	なし
	電気的特性	電源電圧	VCC1=3.0~5.5V、VCC2=2.7V~VCC1 (f(BCLK)=24MHz) VCC1=2.7~5.5V、VCC2=2.7V~VCC1 (f(BCLK)=10MHz)
消費電流		14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8μA (VCC1=VCC2=3V、 f(XCIN)=32kHz、ウェイトモード) 0.7μA (VCC1=VCC2=3V、ストップモード)	14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 2.0μA (VCC1=VCC2=5V、 f(XCIN)=32kHz、ウェイトモード) 0.8μA (VCC1=VCC2=5V、ストップモード)
フラッシュ メモリ版	プログラム、イレーズ電圧	3.3±0.3Vまたは5.0±0.5V	
	プログラム、イレーズ回数	100回(全領域) または1,000回(ブロックA、ブロック1以外のユーザROM領域) / 10,000回(ブロックA、ブロック1)(注3)	
動作周囲温度	-20℃~85℃ -40℃~85℃(注3)	Tバージョン：-40~85℃ Vバージョン：-40~125℃	
パッケージ	100ピンプラスチックモールドQFP、LQFP		

注1. I<sup>2</sup>C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. 書き換え回数および動作周囲温度は、「表 1.8~1.9 製品コード」を参照してください。

なお、1,000回/10,000回品は、2005年6月時点で開発中です。リリース日程についてはお問い合わせください。

注4. M16C/62PTは、VCC1=VCC2で使用してください。

注5. オプション機能をご使用になる場合は、その旨ご指定ください。

表 1.3 性能概要(80ピン版)

項目		性能		
		M16C/62P	M16C/62PT	
CPU	基本命令数	91命令		
	最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0~5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7~5.5V)	41.7ns(f(BCLK)=24MHz、VCC1=4.0~5.5V)	
	動作モード	シングルチップ		
	アドレス空間	1Mバイト		
	メモリ容量	「表 1.4~1.7 製品一覧表」を参照してください		
周辺機能	ポート	入出力：70本、入力：1本		
	多機能タイマ	タイマA：16ビット×5チャンネル(タイマA1、タイマA2は内部タイマ) タイマB：16ビット×6チャンネル(タイマB1は内部タイマ)		
	シリアルインタフェース	2チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I <sup>2</sup> C bus(注1)、IEBus(注2) 1チャンネル クロック非同期形シリアルI/O、 I <sup>2</sup> C bus(注1)、IEBus(注2) 2チャンネル クロック同期形シリアルI/O(1チャンネルは送信専用)		
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、26チャンネル		
	D/Aコンバータ	8ビット×2チャンネル		
	DMAC	2チャンネル		
	CRC演算回路	CRC-CCITT方式		
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)		
	割り込み	内部：29要因、外部：5要因、ソフトウェア：4要因 割り込み優先レベル：7レベル		
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*)発振回路には帰還抵抗内蔵		
	発振停止検出機能	メインクロック発振停止、再発振検出機能		
	電圧検出回路	あり(オプション(注4))	なし	
	電气的特性	電源電圧	VCC1=3.0~5.5V (f(BCLK)=24MHz) VCC1=2.7~5.5V (f(BCLK)=10MHz)	VCC1=4.0V~5.5V (f(BCLK)=24MHz)
		消費電流	14mA (VCC1=5V、f(BCLK)=24MHz) 8mA (VCC1=3V、f(BCLK)=10MHz) 1.8μA (VCC1=3V、f(XCIN)=32kHz、 ウェイトモード) 0.7μA (VCC1=3V、ストップモード)	14mA (VCC1=5V、f(BCLK)=24MHz) 2.0μA (VCC1=5V、f(XCIN)=32kHz、 ウェイトモード) 0.8μA (VCC1=5V、ストップモード)
フラッシュ メモリ版	プログラム、イレーズ電圧	3.3±0.3Vまたは5.0±0.5V		
	プログラム、イレーズ回数	100回(全領域) または1,000回(ブロックA、ブロック1以外のユーザROM領域) /10,000回(ブロックA、ブロック1)(注3)		
動作周囲温度	-20°C~85°C -40°C~85°C(注3)	Tバージョン：-40~85°C Vバージョン：-40~125°C		
パッケージ	80ピンプラスチックモールドQFP			

注1. I<sup>2</sup>C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

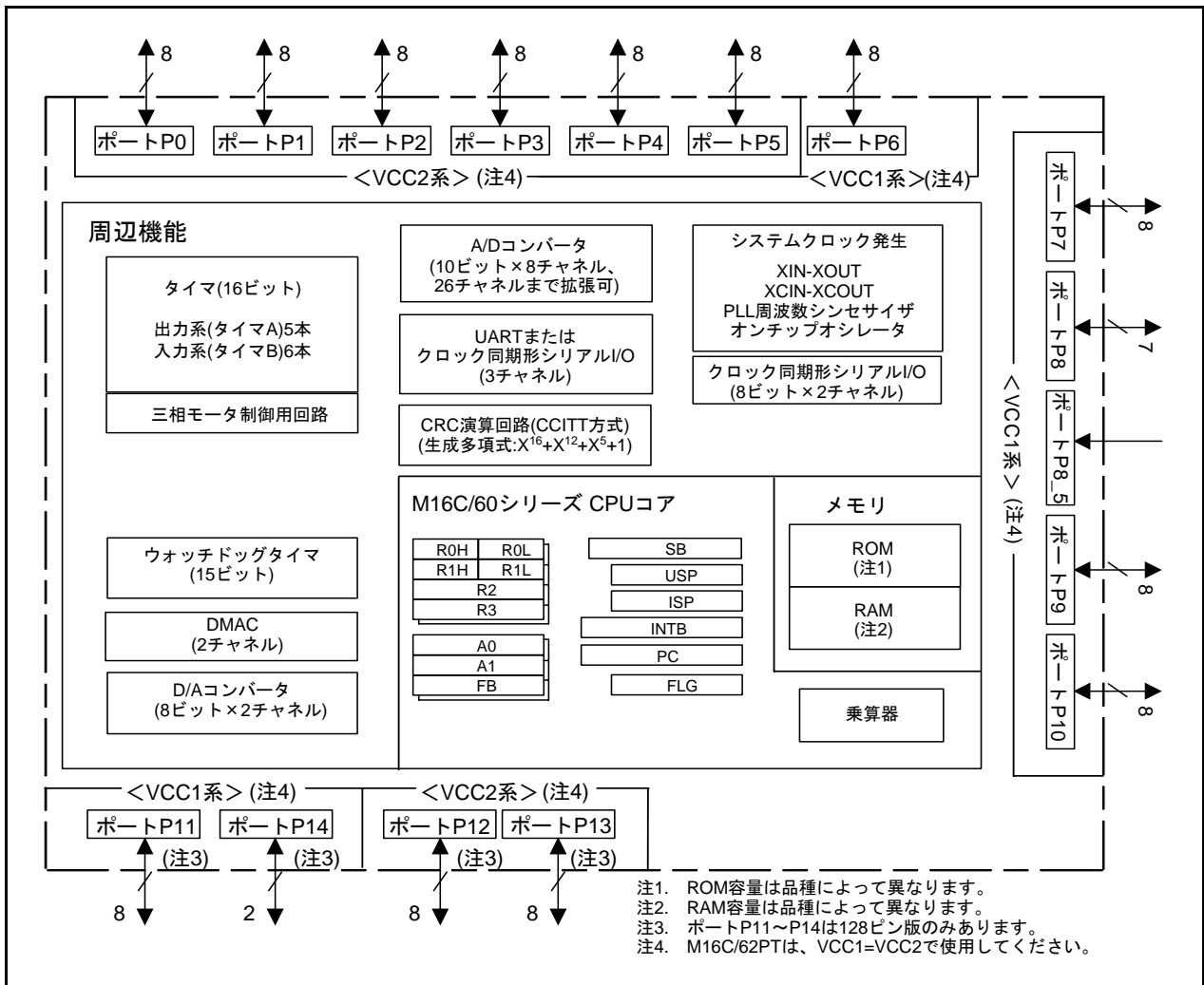
注3. 書き換え回数および動作周囲温度は、「表 1.8~1.9 製品コード」を参照してください。

なお、1,000回/10,000回品は、2005年6月時点で開発中です。リリース日程についてはお問い合わせください。

注4. オプション機能をご使用になる場合は、その旨ご指定ください。

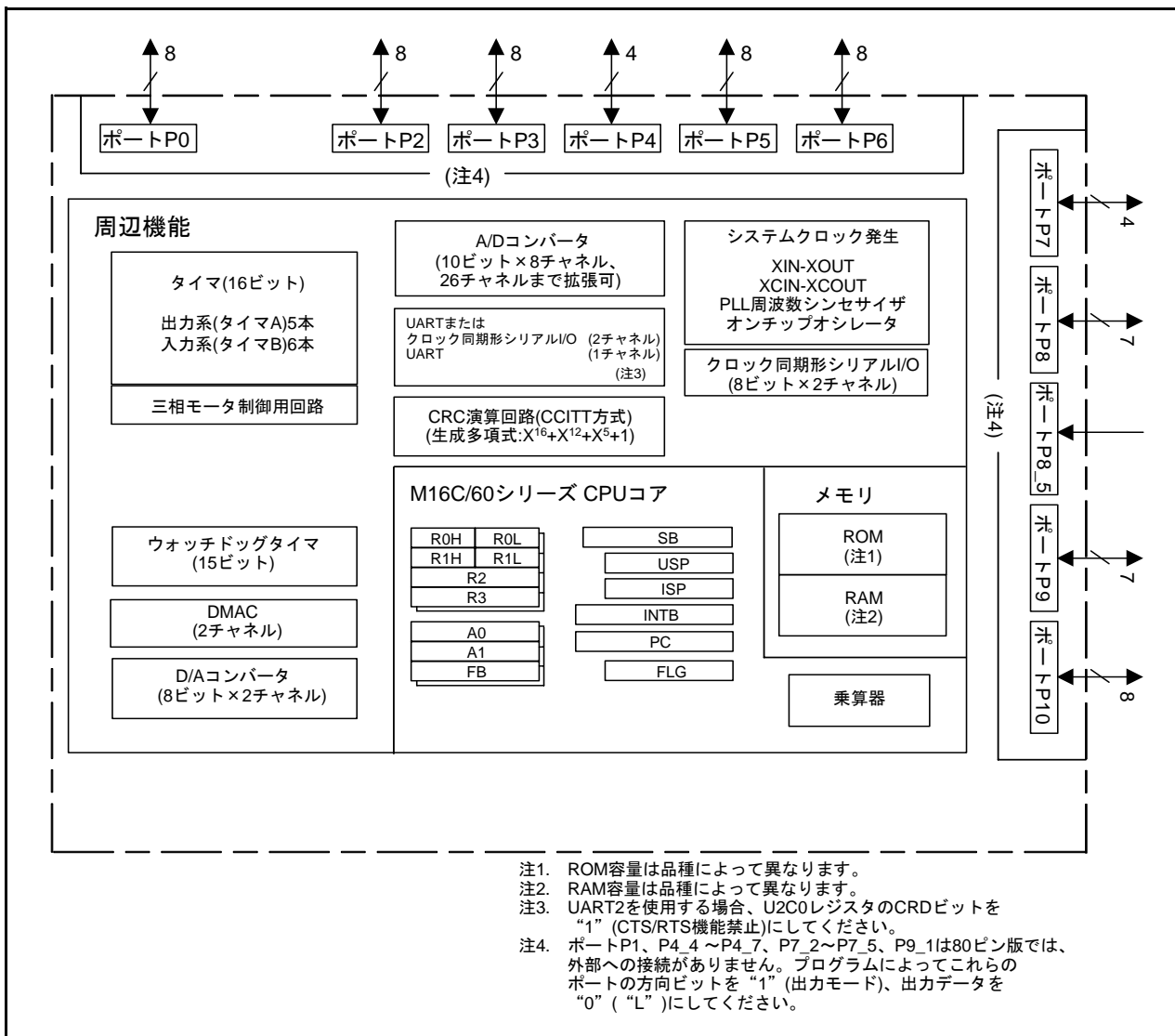
1.3 ブロック図

図1.1に128ピン版、100ピン版のブロック図を、図1.2に80ピン版のブロック図を示します。



注1. ROM容量は品種によって異なります。  
 注2. RAM容量は品種によって異なります。  
 注3. ポートP11~P14は128ピン版のみあります。  
 注4. M16C/62PTIは、VCC1=VCC2で使用してください。

図1.1 128ピン版、100ピン版のブロック図





## 1.4 製品一覧

表1.4～1.7に製品一覧表、図1.3に型名とメモリサイズ・パッケージ、表1.8にフラッシュメモリ版、ROM外付け版の製品コード(M16C/62P)、表1.9にフラッシュメモリ版の製品コード(M16C/62PT)、図1.4にフラッシュメモリ版、ROM外付け版のマーキング図(上面図)(M16C/62P)、図1.5にフラッシュメモリ版のマーキング図(上面図)(M16C/62PT)を示します。M16C/62PのマスクROM版のマーキングは、ROM発注時にご指定ください。

表1.4 製品一覧表(1)(M16C/62P)

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考
M30622M6P-XXXFP	48Kバイト	4Kバイト	PRQP0100JB-A	マスクROM版
M30622M6P-XXXGP			PLQP0100KB-A	
M30622M8P-XXXFP	64Kバイト	4Kバイト	PRQP0100JB-A	
M30622M8P-XXXGP			PLQP0100KB-A	
M30623M8P-XXXGP			PRQP0080JA-A	
M30622MAP-XXXFP	96Kバイト	5Kバイト	PRQP0100JB-A	
M30622MAP-XXXGP			PLQP0100KB-A	
M30623MAP-XXXGP			PRQP0080JA-A	
M30620MCP-XXXFP	128Kバイト	10Kバイト	PRQP0100JB-A	
M30620MCP-XXXGP			PLQP0100KB-A	
M30621MCP-XXXGP			PRQP0080JA-A	
M30622MEP-XXXFP	192Kバイト	12Kバイト	PRQP0100JB-A	
M30622MEP-XXXGP			PLQP0100KB-A	
M30623MEP-XXXGP			PLQP0128KB-A	
M30622MGP-XXXFP	256Kバイト	12Kバイト	PRQP0100JB-A	
M30622MGP-XXXGP			PLQP0100KB-A	
M30623MGP-XXXGP			PLQP0128KB-A	
M30624MGP-XXXFP		20Kバイト	PRQP0100JB-A	
M30624MGP-XXXGP			PLQP0100KB-A	
M30625MGP-XXXGP			PLQP0128KB-A	
M30622MWP-XXXFP	320Kバイト	16Kバイト	PRQP0100JB-A	
M30622MWP-XXXGP			PLQP0100KB-A	
M30623MWP-XXXGP			PLQP0128KB-A	
M30624MWP-XXXFP		24Kバイト	PRQP0100JB-A	
M30624MWP-XXXGP			PLQP0100KB-A	
M30625MWP-XXXGP			PLQP0128KB-A	
M30626MWP-XXXFP		31Kバイト	PRQP0100JB-A	
M30626MWP-XXXGP			PLQP0100KB-A	
M30627MWP-XXXGP			PLQP0128KB-A	

(開) : 開発中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PLQP0128KB-A : 128P6Q-A、  
 PRQP0100JB-A : 100P6S-A、  
 PLQP0100KB-A : 100P6Q-A、  
 PRQP0080JA-A : 80P6S-A

表 1.5 製品一覧表(2)(M16C/62P)

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考		
M30622MHP-XXXFP	384Kバイト	16Kバイト	PRQP0100JB-A	マスクROM版		
M30622MHP-XXXGP			PLQP0100KB-A			
M30623MHP-XXXGP			PLQP0128KB-A			
M30624MHP-XXXFP		24Kバイト	PRQP0100JB-A		マスクROM版	
M30624MHP-XXXGP			PLQP0100KB-A			
M30625MHP-XXXGP			PLQP0128KB-A			
M30626MHP-XXXFP		31Kバイト	PRQP0100JB-A			マスクROM版
M30626MHP-XXXGP			PLQP0100KB-A			
M30627MHP-XXXGP			PLQP0128KB-A			
M30626MJP-XXXFP (開)	512Kバイト	31Kバイト	PRQP0100JB-A	マスクROM版		
M30626MJP-XXXGP (開)			PLQP0100KB-A			
M30627MJP-XXXGP (開)			PLQP0128KB-A			
M30622F8PFP	64K+4Kバイト	4Kバイト	PRQP0100JB-A		フラッシュメモリ版(注2)	
M30622F8PGP			PLQP0100KB-A			
M30623F8PGP			PRQP0080JA-A			
M30620FCPFP	128K+4Kバイト	10Kバイト	PRQP0100JB-A			フラッシュメモリ版(注2)
M30620FCPGP			PLQP0100KB-A			
M30621FCPGP			PRQP0080JA-A			
M3062LFGPFP(注3) (開)	256K+4Kバイト	20Kバイト	PRQP0100JB-A	フラッシュメモリ版(注2)		
M3062LFGPGP(注3) (開)			PLQP0100KB-A			
M30625FGPGP			PLQP0128KB-A			
M30626FHPFP	384K+4Kバイト	31Kバイト	PRQP0100JB-A		フラッシュメモリ版(注2)	
M30626FHPGP			PLQP0100KB-A			
M30627FHPGP			PLQP0128KB-A			
M30626FJFP	512K+4Kバイト	31Kバイト	PRQP0100JB-A			フラッシュメモリ版(注2)
M30626FJPGP			PLQP0100KB-A			
M30627FJPGP			PLQP0128KB-A			
M30622SPFP	—	4Kバイト	PRQP0100JB-A	ROM外付け版		
M30622SPGP			PLQP0100KB-A			
M30620SPFP		10Kバイト	PRQP0100JB-A			
M30620SPGP			PLQP0100KB-A			
M30624SPFP (開)	—	20Kバイト	PRQP0100JB-A		ROM外付け版	
M30624SPGP (開)			PLQP0100KB-A			
M30626SPFP (開)	—	31Kバイト	PRQP0100JB-A			
M30626SPGP (開)			PLQP0100KB-A			

(開) : 開発中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PLQP0128KB-A : 128P6Q-A、

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

注2. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

注3. 新規システムでの採用を検討している場合はM3062LFGPFP、M3062LFGPGPをご使用ください。

なお、このハードウェアマニュアルは下記の製品にも対応しています。

M30624FGPFP	256K+4Kバイト	20Kバイト	PRQP0100JB-A	フラッシュメモリ版
M30624FGPGP			PLQP0100KB-A	

表 1.6 製品一覧表(3)(Tバージョン(M16C/62PT))

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考	
M3062CM6T-XXXFP (開)	48Kバイト	4Kバイト	PRQP0100JB-A	マスクROM版	Tバージョン (高信頼性85°C版)
M3062CM6T-XXXGP (開)			PLQP0100KB-A		
M3062EM6T-XXXGP (計)			PRQP0080JA-A		
M3062CM8T-XXXFP (開)	64Kバイト	4Kバイト	PRQP0100JB-A		
M3062CM8T-XXXGP (開)			PLQP0100KB-A		
M3062EM8T-XXXGP (計)			PRQP0080JA-A		
M3062CMAT-XXXFP (開)	96Kバイト	5Kバイト	PRQP0100JB-A		
M3062CMAT-XXXGP (開)			PLQP0100KB-A		
M3062EMAT-XXXGP (計)			PRQP0080JA-A		
M3062AMCT-XXXFP (開)	128Kバイト	10Kバイト	PRQP0100JB-A		
M3062AMCT-XXXGP (開)			PLQP0100KB-A		
M3062BMCT-XXXGP (計)			PRQP0080JA-A		
M3062CF8TFP (開)	64K+4Kバイト	4Kバイト	PRQP0100JB-A	フラッシュ メモリ版(注2)	
M3062CF8TGP			PLQP0100KB-A		
M3062AFCTFP (開)	128K+4Kバイト	10Kバイト	PRQP0100JB-A		
M3062AFCTGP (開)			PLQP0100KB-A		
M3062BFCTGP (計)			PRQP0080JA-A		
M3062JFHTFP (開)	384K+4Kバイト	31Kバイト	PRQP0100JB-A		
M3062JFHTGP (開)			PLQP0100KB-A		

(開) : 開発中

(計) : 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

注2. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

表 1.7 製品一覧表(4)(Vバージョン(M16C/62PT))

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考	
M3062CM6V-XXXFP (計)	48Kバイト	4Kバイト	PRQP0100JB-A	マスクROM版 Vバージョン (高信頼性125°C版)	
M3062CM6V-XXXGP (計)			PLQP0100KB-A		
M3062EM6V-XXXGP (計)			PRQP0080JA-A		
M3062CM8V-XXXFP (計)	64Kバイト	4Kバイト	PRQP0100JB-A		
M3062CM8V-XXXGP (計)			PLQP0100KB-A		
M3062EM8V-XXXGP (計)			PRQP0080JA-A		
M3062CMAV-XXXFP (計)	96Kバイト	5Kバイト	PRQP0100JB-A		
M3062CMAV-XXXGP (計)			PLQP0100KB-A		
M3062EMAV-XXXGP (計)			PRQP0080JA-A		
M3062AMCV-XXXFP (開)	128Kバイト	10Kバイト	PRQP0100JB-A		
M3062AMCV-XXXGP (開)			PLQP0100KB-A		
M3062BMCV-XXXGP (計)			PRQP0080JA-A		
M3062AFCVFP (開)	128K+4Kバイト	10Kバイト	PRQP0100JB-A		フラッシュ メモリ版(注2)
M3062AFCVGP (開)			PLQP0100KB-A		
M3062BFCVGP (計)			PRQP0080JA-A		
M3062JFHVFP (計)	384K+4Kバイト	31Kバイト	PRQP0100JB-A		
M3062JFHVGP (計)			PLQP0100KB-A		

(開) : 開発中

(計) : 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

注2. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

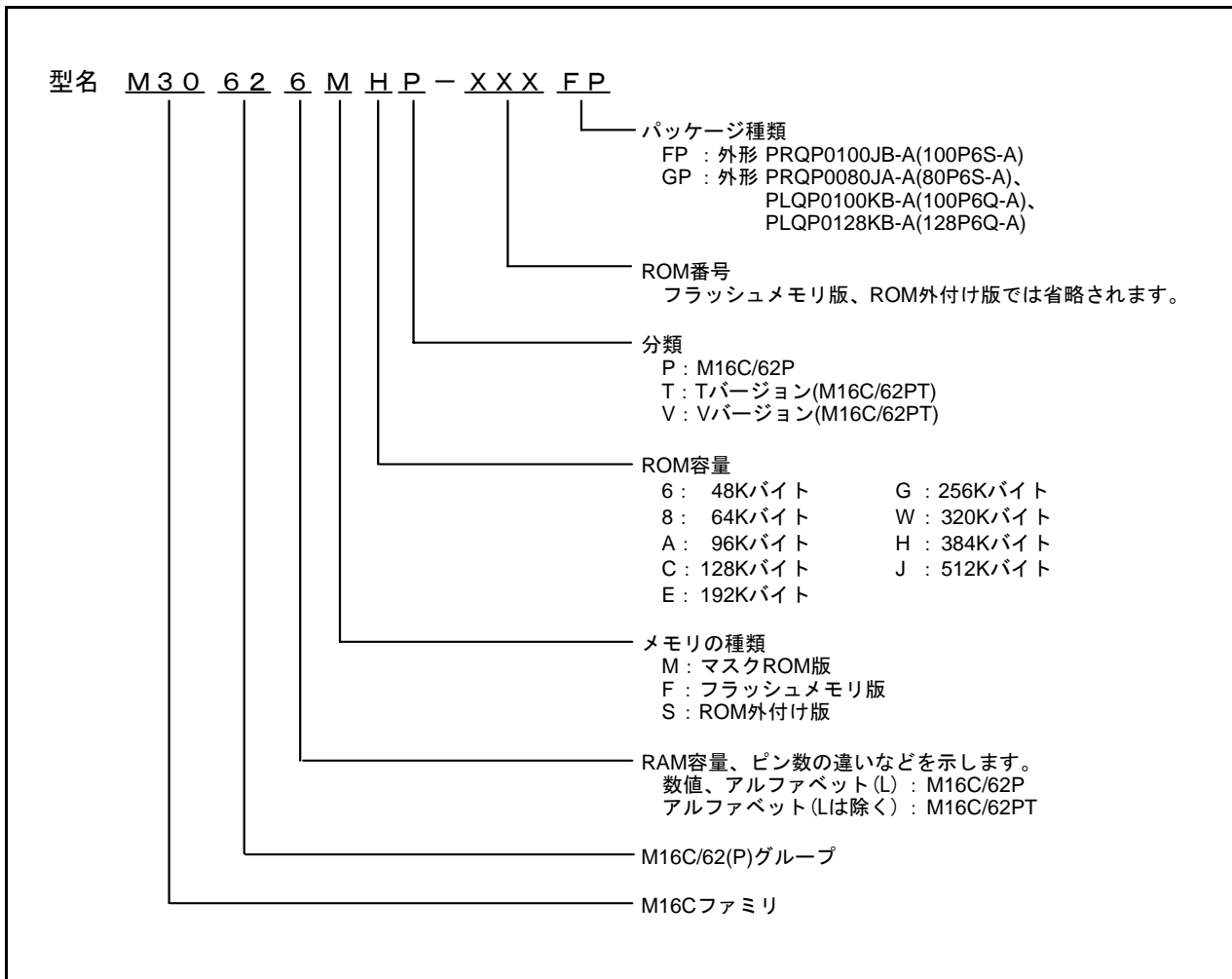


図1.3 型名とメモリサイズ・パッケージ

表1.8 フラッシュメモリ版、ROM外付け版の製品コード(M16C/62P)

	製品コード	パッケージ	内部ROM (ブロックA、ブロック1以外の ユーザROM領域)		内部ROM (ブロックA、ブロック1)		動作周囲温度
			書き換え回数	温度範囲	書き換え回数	温度範囲	
フラッシュ メモリ版	D3	非鉛フリー	100	0°C~60°C	100	0°C~60°C	-40°C~85°C
	D5						-20°C~85°C
	D7		1,000		10,000	-40°C~85°C	-40°C~85°C
	D9					-20°C~85°C	-20°C~85°C
	U3	鉛フリー	100	0°C~60°C	100	0°C~60°C	-40°C~85°C
	U5						-20°C~85°C
	U7		1,000		10,000	-40°C~85°C	-40°C~85°C
	U9					-20°C~85°C	-20°C~85°C
ROM外付け版	D3	非鉛フリー	—	—	—	—	-40°C~85°C
	D5		—	—	—	—	-20°C~85°C
	U3	鉛フリー	—	—	—	—	-40°C~85°C
	U5		—	—	—	—	-20°C~85°C

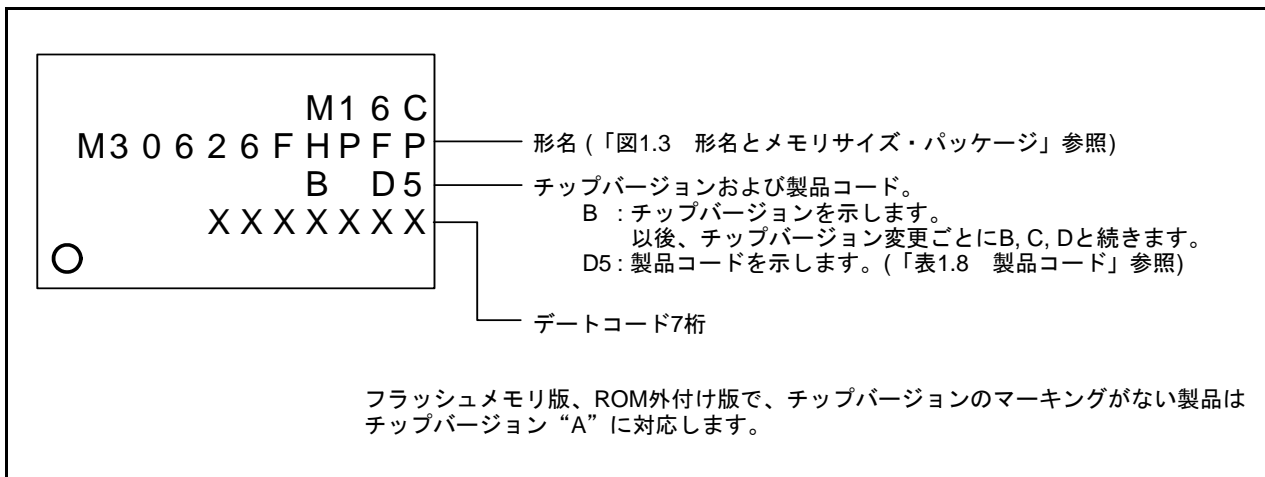


図1.4 フラッシュメモリ版、ROM外付け版のマーキング図(上面図)(M16C/62P)

表1.9 フラッシュメモリ版の製品コード(M16C/62PT)

		製品コード	パッケージ	内部ROM (ブロックA、ブロック1以外の ユーザROM領域)		内部ROM (ブロックA、ブロック1)		動作周囲温度	
				書き換え回数	温度範囲	書き換え回数	温度範囲		
フラッシュ メモリ版	Tバージョン	B	非鉛フリー	100	0°C~60°C	100	0°C~60°C	-40°C~85°C	
	Vバージョン						-40°C~125°C		
	Tバージョン	B7		1,000		10,000	-40°C~85°C	-40°C~85°C	
	Vバージョン						-40°C~125°C	-40°C~125°C	
	Tバージョン	U		鉛フリー		100	100	0°C~60°C	-40°C~85°C
	Vバージョン							-40°C~125°C	-40°C~125°C
	Tバージョン	U7		1,000		10,000	10,000	-40°C~85°C	-40°C~85°C
	Vバージョン							-40°C~125°C	-40°C~125°C

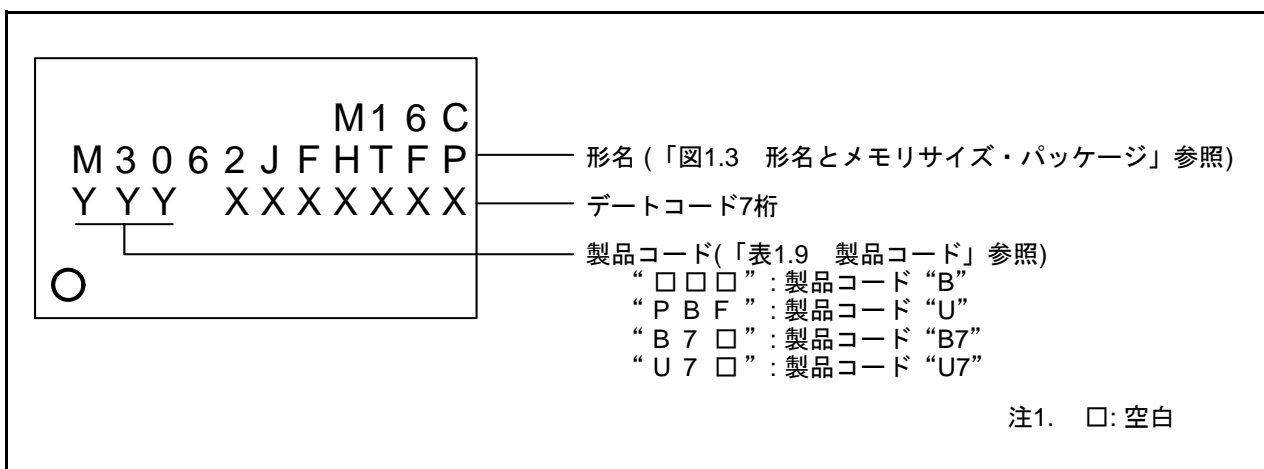


図1.5 フラッシュメモリ版のマーキング図(上面図)(M16C/62PT)

1.5 ピン接続図

図1.6～図1.9にピン接続図(上面図)を示します。

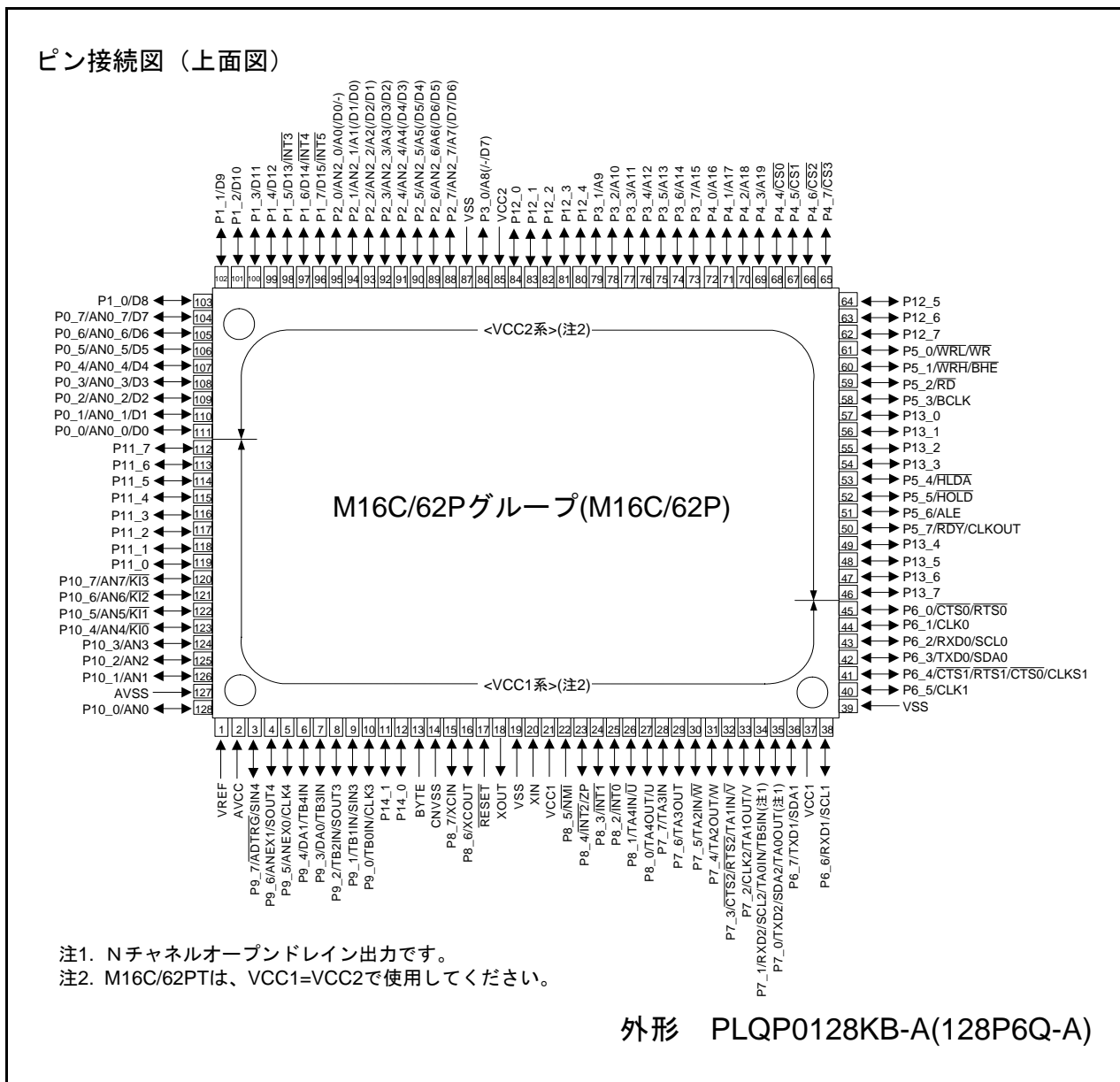


図1.6 ピン接続図(上面図)



表 1.10 128ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
1	VREF						
2	AVCC						
3		P9_7			SIN4	ADTRG	
4		P9_6			SOUT4	ANEX1	
5		P9_5			CLK4	ANEX0	
6		P9_4		TB4IN		DA1	
7		P9_3		TB3IN		DA0	
8		P9_2		TB2IN	SOUT3		
9		P9_1		TB1IN	SIN3		
10		P9_0		TB0IN	CLK3		
11		P14_1					
12		P14_0					
13	BYTE						
14	CNVSS						
15	XCIN	P8_7					
16	XCOU	P8_6					
17	RESET						
18	XOUT						
19	VSS						
20	XIN						
21	VCC1						
22		P8_5	NMI				
23		P8_4	INT2	ZP			
24		P8_3	INT1				
25		P8_2	INT0				
26		P8_1		TA4IN/U			
27		P8_0		TA4OUT/U			
28		P7_7		TA3IN			
29		P7_6		TA3OUT			
30		P7_5		TA2IN/W			
31		P7_4		TA2OUT/W			
32		P7_3		TA1IN/V	CTS2/RTS2		
33		P7_2		TA1OUT/V	CLK2		
34		P7_1		TA0IN/TB5IN	RXD2/SCL2		
35		P7_0		TA0OUT	TXD2/SDA2		
36		P6_7			TXD1/SDA1		
37	VCC1						
38		P6_6			RXD1/SCL1		
39	VSS						
40		P6_5			CLK1		
41		P6_4			CTS1/RTS1/CTS0/CLKS1		
42		P6_3			TXD0/SDA0		
43		P6_2			RXD0/SCL0		
44		P6_1			CLK0		
45		P6_0			CTS0/RTS0		
46		P13_7					
47		P13_6					
48		P13_5					
49		P13_4					
50		P5_7					RDY/CLKOUT

表 1.11 128ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
51		P5_6					ALE
52		P5_5					HOLD
53		P5_4					HLDA
54		P13_3					
55		P13_2					
56		P13_1					
57		P13_0					
58		P5_3					BCLK
59		P5_2					RD
60		P5_1					WRH/BHE
61		P5_0					WRL/WR
62		P12_7					
63		P12_6					
64		P12_5					
65		P4_7					CS3
66		P4_6					CS2
67		P4_5					CS1
68		P4_4					CS0
69		P4_3					A19
70		P4_2					A18
71		P4_1					A17
72		P4_0					A16
73		P3_7					A15
74		P3_6					A14
75		P3_5					A13
76		P3_4					A12
77		P3_3					A11
78		P3_2					A10
79		P3_1					A9
80		P12_4					
81		P12_3					
82		P12_2					
83		P12_1					
84		P12_0					
85	VCC2						
86		P3_0					A8(/-D7)
87	VSS						
88		P2_7				AN2_7	A7(/D7/D6)
89		P2_6				AN2_6	A6(/D6/D5)
90		P2_5				AN2_5	A5(/D5/D4)
91		P2_4				AN2_4	A4(/D4/D3)
92		P2_3				AN2_3	A3(/D3/D2)
93		P2_2				AN2_2	A2(/D2/D1)
94		P2_1				AN2_1	A1(/D1/D0)
95		P2_0				AN2_0	A0(/D0/-)
96		P1_7	INT5				D15
97		P1_6	INT4				D14
98		P1_5	INT3				D13
99		P1_4					D12
100		P1_3					D11

表 1.12 128ピン版端子名一覧表(3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
101		P1_2					D10
102		P1_1					D9
103		P1_0					D8
104		P0_7				AN0_7	D7
105		P0_6				AN0_6	D6
106		P0_5				AN0_5	D5
107		P0_4				AN0_4	D4
108		P0_3				AN0_3	D3
109		P0_2				AN0_2	D2
110		P0_1				AN0_1	D1
111		P0_0				AN0_0	D0
112		P11_7					
113		P11_6					
114		P11_5					
115		P11_4					
116		P11_3					
117		P11_2					
118		P11_1					
119		P11_0					
120		P10_7	$\overline{KI3}$			AN7	
121		P10_6	$\overline{KI2}$			AN6	
122		P10_5	$\overline{KI1}$			AN5	
123		P10_4	$\overline{KI0}$			AN4	
124		P10_3				AN3	
125		P10_2				AN2	
126		P10_1				AN1	
127	AVSS						
128		P10_0				AN0	

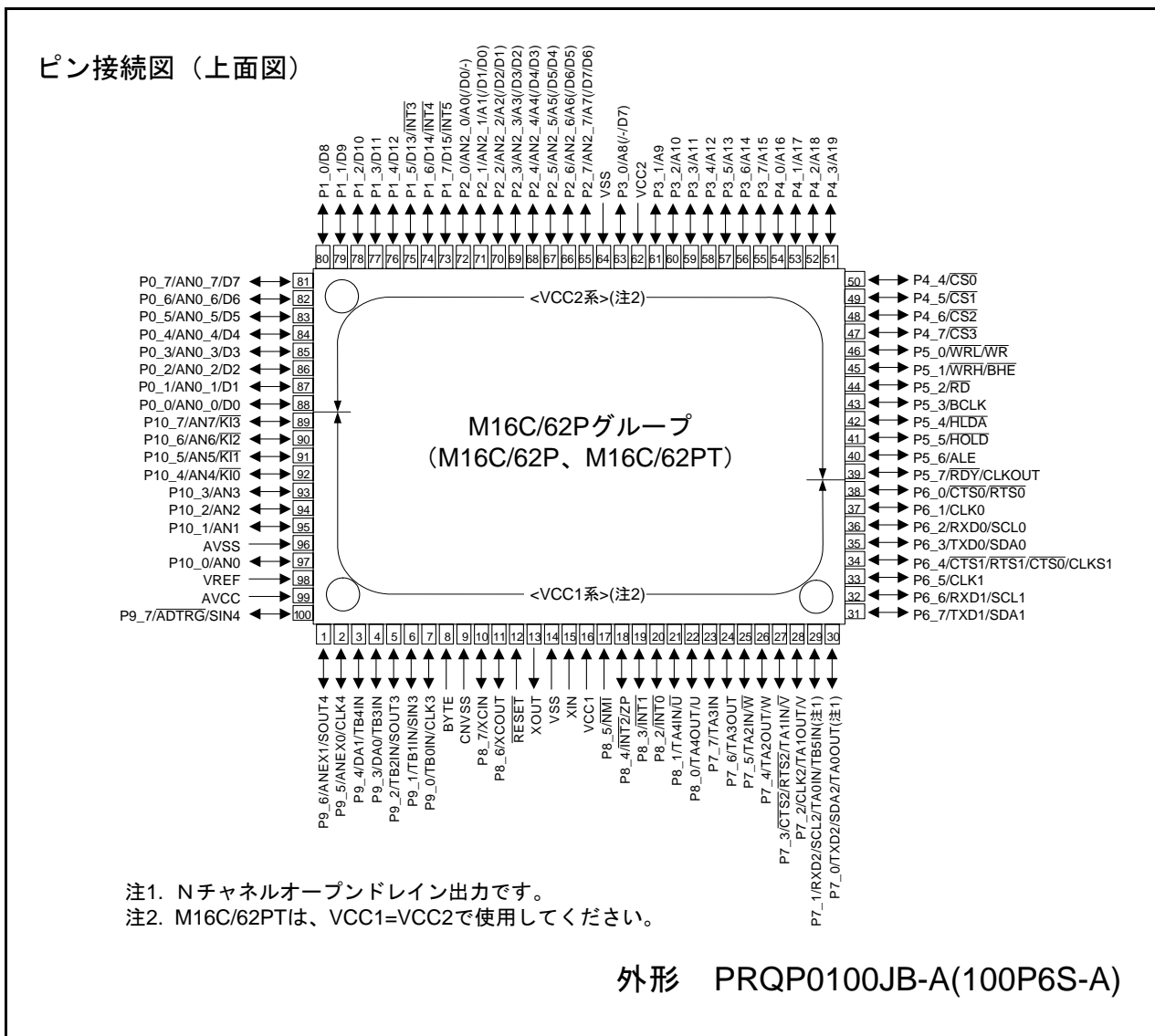


図1.7 ピン接続図(上面図)

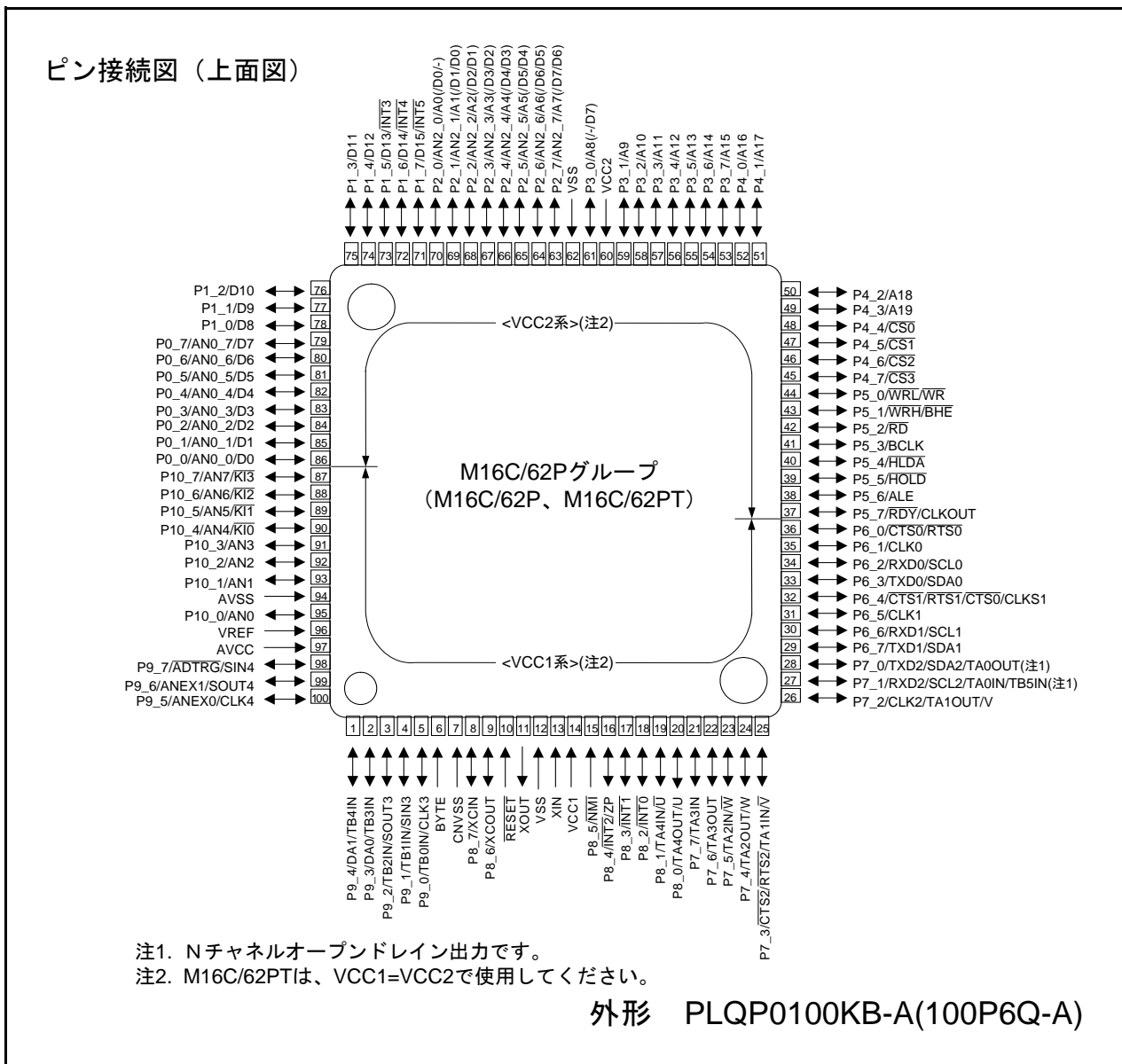


図1.8 ピン接続図(上面図)

表 1.13 100ピン版端子名一覧表(1)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
FP	GP							
1	99		P9_6			SOUT4	ANEX1	
2	100		P9_5			CLK4	ANEX0	
3	1		P9_4		TB4IN		DA1	
4	2		P9_3		TB3IN		DA0	
5	3		P9_2		TB2IN	SOUT3		
6	4		P9_1		TB1IN	SIN3		
7	5		P9_0		TB0IN	CLK3		
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOUT	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI				
18	16		P8_4	INT2	ZP			
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1		TA4IN/U			
22	20		P8_0		TA4OUT/U			
23	21		P7_7		TA3IN			
24	22		P7_6		TA3OUT			
25	23		P7_5		TA2IN/W			
26	24		P7_4		TA2OUT/W			
27	25		P7_3		TA1IN/V	CTS2/RTS2		
28	26		P7_2		TA1OUT/V	CLK2		
29	27		P7_1		TA0IN/TB5IN	RXD2/SCL2		
30	28		P7_0		TA0OUT	TXD2/SDA2		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0			CTS0/RTS0		
39	37		P5_7					RDY/CLKOUT
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLAD
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7					CS3
48	46		P4_6					CS2
49	47		P4_5					CS1
50	48		P4_4					CS0

表 1.14 100ピン版端子名一覧表(2)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
FP	GP							
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8(/-D7)
64	62	VSS						
65	63		P2_7				AN2_7	A7(/D7/D6)
66	64		P2_6				AN2_6	A6(/D6/D5)
67	65		P2_5				AN2_5	A5(/D5/D4)
68	66		P2_4				AN2_4	A4(/D4/D3)
69	67		P2_3				AN2_3	A3(/D3/D2)
70	68		P2_2				AN2_2	A2(/D2/D1)
71	69		P2_1				AN2_1	A1(/D1/D0)
72	70		P2_0				AN2_0	A0(/D0/-)
73	71		P1_7	$\overline{\text{INT5}}$				D15
74	72		P1_6	$\overline{\text{INT4}}$				D14
75	73		P1_5	$\overline{\text{INT3}}$				D13
76	74		P1_4					D12
77	75		P1_3					D11
78	76		P1_2					D10
79	77		P1_1					D9
80	78		P1_0					D8
81	79		P0_7				AN0_7	D7
82	80		P0_6				AN0_6	D6
83	81		P0_5				AN0_5	D5
84	82		P0_4				AN0_4	D4
85	83		P0_3				AN0_3	D3
86	84		P0_2				AN0_2	D2
87	85		P0_1				AN0_1	D1
88	86		P0_0				AN0_0	D0
89	87		P10_7	$\overline{\text{KI3}}$			AN7	
90	88		P10_6	$\overline{\text{KI2}}$			AN6	
91	89		P10_5	$\overline{\text{KI1}}$			AN5	
92	90		P10_4	$\overline{\text{KI0}}$			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				AN0	
98	96	VREF						
99	97	AVCC						
100	98		P9_7			SIN4	$\overline{\text{ADTRG}}$	

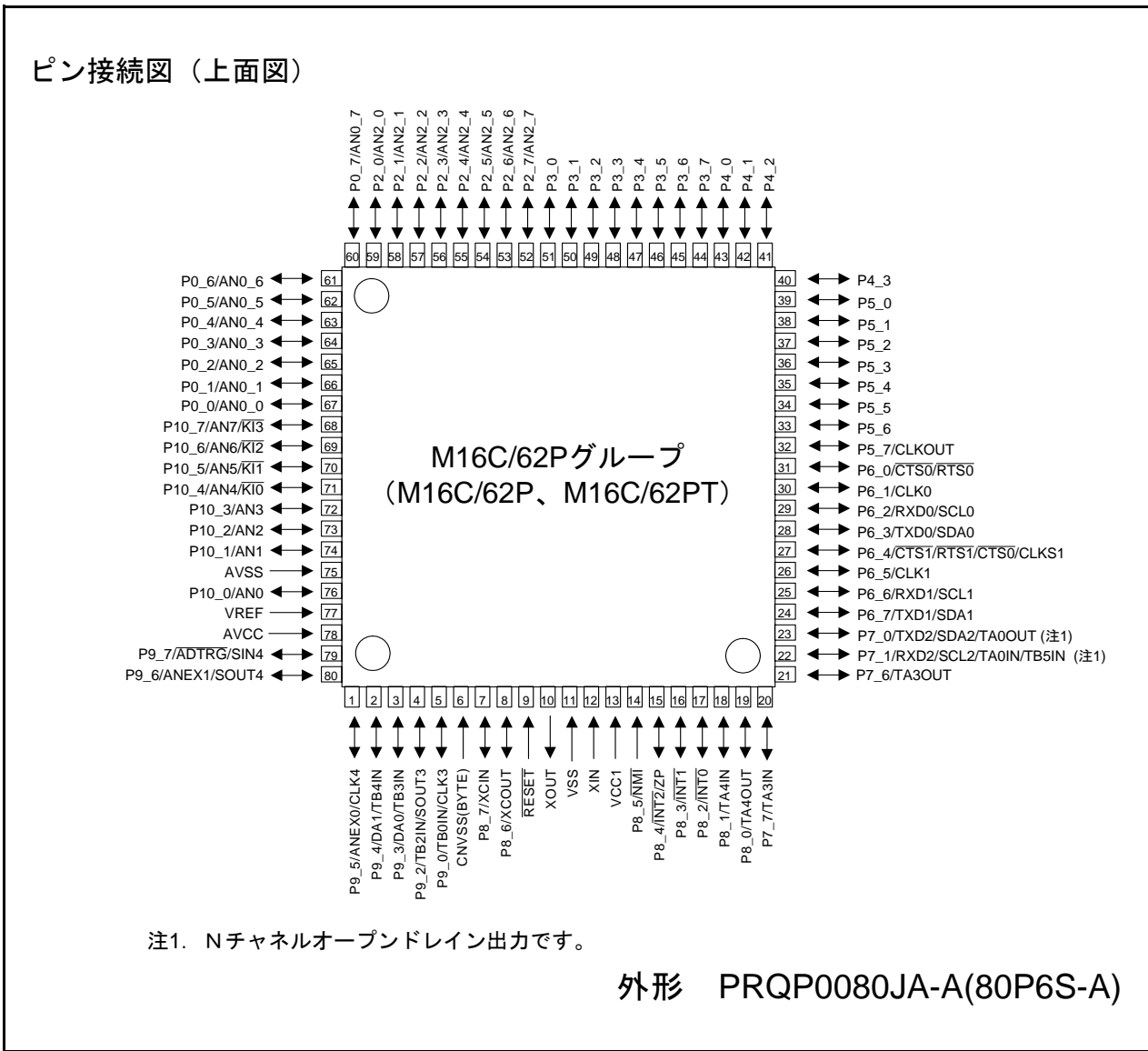


図1.9 ピン接続図(上面図)



表 1.15 80ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
1		P9_5			CLK4	ANEX0	
2		P9_4		TB4IN		DA1	
3		P9_3		TB3IN		DA0	
4		P9_2		TB2IN	SOUT3		
5		P9_0		TB0IN	CLK3		
6	CNVSS (BYTE)						
7	XCIN	P8_7					
8	XCOUT	P8_6					
9	RESET						
10	XOUT						
11	VSS						
12	XIN						
13	VCC1						
14		P8_5	NMI				
15		P8_4	INT2	ZP			
16		P8_3	INT1				
17		P8_2	INT0				
18		P8_1		TA4IN			
19		P8_0		TA4OUT			
20		P7_7		TA3IN			
21		P7_6		TA3OUT			
22		P7_1		TA0IN/TB5IN	RXD2/SDA2		
23		P7_0		TA0OUT	TXD2/SDA2		
24		P6_7			TXD1/SDA1		
25		P6_6			RXD1/SCL1		
26		P6_5			CLK1		
27		P6_4			CTS1/RTS1/CTS0/CLKS1		
28		P6_3			TXD0/SDA0		
29		P6_2			RXD0/SCL0		
30		P6_1			CLK0		
31		P6_0			CTS0/RTS0		
32		P5_7					CLKOUT
33		P5_6					
34		P5_5					
35		P5_4					
36		P5_3					
37		P5_2					
38		P5_1					
39		P5_0					
40		P4_3					
41		P4_2					
42		P4_1					
43		P4_0					
44		P3_7					
45		P3_6					
46		P3_5					
47		P3_4					
48		P3_3					
49		P3_2					
50		P3_1					

表 1.16 80ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
51		P3_0					
52		P2_7				AN2_7	
53		P2_6				AN2_6	
54		P2_5				AN2_5	
55		P2_4				AN2_4	
56		P2_3				AN2_3	
57		P2_2				AN2_2	
58		P2_1				AN2_1	
59		P2_0				AN2_0	
60		P0_7				AN0_7	
61		P0_6				AN0_6	
62		P0_5				AN0_5	
63		P0_4				AN0_4	
64		P0_3				AN0_3	
65		P0_2				AN0_2	
66		P0_1				AN0_1	
67		P0_0				AN0_0	
68		P10_7	KI3			AN7	
69		P10_6	KI2			AN6	
70		P10_5	KI1			AN5	
71		P10_4	KI0			AN4	
72		P10_3				AN3	
73		P10_2				AN2	
74		P10_1				AN1	
75	AVSS						
76		P10_0				AN0	
77	VREF						
78	AVCC						
79		P9_7			SIN4	ADTRG	
80		P9_6			SOUT4	ANEX1	

## 1.6 端子機能の説明

表 1.17 端子の機能説明(100ピン版、128ピン版共通)(1)

分類	端子名	入出力	電源系統(注3)	機能
電源入力	VCC1、VCC2 VSS	入力	—	VCC1、VCC2端子には、2.7V~5.5Vを入力してください。VCCの入力条件はVCC1≥VCC2です。 VSSには、0Vを入力してください。(注1, 2)
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。 AVSSはVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス幅切り替え入力	BYTE	入力	VCC1	外部領域のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子(注4)	D0~D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力を行います。
	D8~D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8~D15)の入出力を行います。
	A0~A19	出力	VCC2	アドレスA0~A19を出力します。
	A0/D0~ A7/D7	入出力	VCC2	外部データバスが8ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力と、アドレス(A0~A7)の出力を時分割で行います。
	A1/D0~ A8/D7	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力と、アドレス(A1~A8)の出力を時分割で行います。
	CS0~CS3	出力	VCC2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	VCC2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 ・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 ・WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのとき、このモードを使用してください。
	ALE	出力	VCC2	アドレスをラッチするための信号です。
	HOLD	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
	HLDA	出力	VCC2	ホールド状態の期間、“L”を出力します。
RDY	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

電源系統：外部バス関連の端子の電源系統を分けVCC2系としました。このため、VCC1系とは異なる電圧でインタフェースできます。

注1. この説明以降、特に指定のない限り、文中にVCCと記述されている場合は、VCC1を示します。

注2. M16C/62PTは、VCC1、VCC2端子に4.0~5.5Vを入力してください。また、入力条件はVCC1=VCC2にしてください。

注3. VCC1>VCC2で使用する場合は、確認事項、制限事項がありますので、お問い合わせください。

注4. M16C/62PTは、バス制御端子を使用しないでください。

表 1.18 端子の機能説明(100ピン版、128ピン版共通)(2)

分類	端子名	入出力	電源系統(注1)	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力(注2)	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	$\overline{\text{INT0}} \sim \overline{\text{INT2}}$	入力	VCC1	INT割り込みの入力です。
	$\overline{\text{INT3}} \sim \overline{\text{INT5}}$	入力	VCC2	
NMI割り込み入力	$\overline{\text{NMI}}$	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み入力	$\overline{\text{KI0}} \sim \overline{\text{KI3}}$	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT ~ TA4OUT	入出力	VCC1	タイマA0 ~ A4の入出力です(ただし、TA0OUTの出力はNチャンネルオープンドレイン)。
	TA0IN ~ TA4IN	入力	VCC1	タイマA0 ~ A4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN ~ TB5IN	入力	VCC1	タイマB0 ~ B5の入力です。
三相モータ制御用タイマ出力	$\overline{\text{U}}, \overline{\text{V}}, \overline{\text{W}}, \overline{\text{W}}$	出力	VCC1	三相モータ制御用タイマの出力です。
シリアルインタフェース	$\overline{\text{CTS0}} \sim \overline{\text{CTS2}}$	入力	VCC1	送信制御用入力です。
	$\overline{\text{RTS0}} \sim \overline{\text{RTS2}}$	出力	VCC1	受信制御用出力です。
	CLK0 ~ CLK4	入出力	VCC1	転送クロック入出力です。
	RXD0 ~ RXD2	入力	VCC1	シリアルデータ入力です。
	SIN3, SIN4	入力	VCC1	シリアルデータ入力です。
	TXD0 ~ TXD2	出力	VCC1	シリアルデータ出力です(ただし、TXD2の出力はNチャンネルオープンドレイン)。
	SOUT3, SOUT4	出力	VCC1	シリアルデータ出力です。
	CLKS1	出力	VCC1	転送クロック複数端子出力機能の出力です。
I <sup>2</sup> Cモード	SDA0 ~ SDA2	入出力	VCC1	シリアルデータ入出力です(ただし、SDA2の出力はNチャンネルオープンドレイン)。
	SCL0 ~ SCL2	入出力	VCC1	転送クロック入出力です(ただし、SCL2の出力はNチャンネルオープンドレイン)。

注1. VCC1>VCC2で使用する場合は、確認事項、制限事項がありますので、お問い合わせください。

注2. M16C/62PTは、この端子機能を使用しないでください。

注3. 発振特性は発振子メーカーにお問い合わせください。

表 1.19 端子の機能説明(100ピン版、128ピン版共通)(3)

分類	端子名	入出力	電源系統(注1)	機能
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7 AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/D外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0~P3_7 P4_0~P4_7 P5_0~P5_7 P12_0~P12_7(注2) P13_0~P13_7(注2)	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P6_0~P6_7 P7_0~P7_7 P9_0~P9_7 P10_0~P10_7 P11_0~P11_7(注2)	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P7_0,P7_1の出力はNチャネルオープンドレイン出力)。
	P8_0~P8_4,P8_6, P8_7 P14_0,P14_1(注2)	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
	入力ポート	P8_5	入力	VCC1

注1. VCC1>VCC2で使用する場合は、確認事項、制限事項がありますので、お問い合わせください。

注2. M16C/62P(100ピン版)、M16C/62PT(100ピン版)は、P11~P14を使用しないでください。

表 1.20 端子の機能説明(80ピン版)(1)(注1)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1 VSS	入力	—	VCC1端子には、2.7V~5.5Vを入力してください。VSSには、0Vを入力してください。(注2)
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS (BYTE)	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。80ピン版のBYTE端子はマイクロコンピュータ内部でプルアップ処理が施されています。
メインクロック 入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶共振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶共振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
クロック出力	CLKOUT	出力	VCC1	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0~INT2	入力	VCC1	INT割り込みの入力です。
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み 入力	KI0~KI3	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT TA3OUT TA4OUT	入出力	VCC1	タイマA0、タイマA3、タイマA4の入出力です(ただし、TA0OUTの出力はNチャネルオープンドレイン)。
	TA0IN TA3IN TA4IN	入力	VCC1	タイマA0、タイマA3、タイマA4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN TB2IN~TB5IN	入力	VCC1	タイマB0、タイマB2~5の入力です。
シリアルインタ フェース	CTS0,CTS1	入力	VCC1	送信制御用入力です。
	RTS0,RTS1	出力	VCC1	受信制御用出力です。
	CLK0,CLK1 CLK3,CLK4	入出力	VCC1	転送クロック入出力です。
	RXD0~RXD2	入力	VCC1	シリアルデータ入力です。
	SIN4	入力	VCC1	シリアルデータ入力です。
	TXD0~TXD2	出力	VCC1	シリアルデータ出力です(ただし、TXD2の出力はNチャネルオープンドレイン)。
	SOUT3,SOUT4	出力	VCC1	シリアルデータ出力です。
CLKS1	出力	VCC1	転送クロック複数端子出力機能の出力です。	
I <sup>2</sup> Cモード	SDA0~SDA2	入出力	VCC1	シリアルデータ入出力です(ただし、SDA2の出力はNチャネルオープンドレイン)。
	SCL0~SCL2	入出力	VCC1	転送クロック入出力です(ただし、SCL2の出力はNチャネルオープンドレイン)。

注1. この説明以降、特に指定のない限り、文中にVCCと記述されている場合は、VCC1を示します。

注2. M16C/62PTは、VCC1端子に4.0~5.5Vを入力してください。

注3. 発振特性は発振子メーカーにお問い合わせください。

表 1.21 端子の機能説明(80ピン版)(2)

分類	端子名	入出力	電源系統	機能
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7 AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/D外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート(注1)	P0_0~P0_7 P2_0~P2_7 P3_0~P3_7 P5_0~P5_7 P6_0~P6_7 P10_0~P10_7	入出力	VCC1	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P8_0~P8_4, P8_6,P8_7 P9_0, P9_2~P9_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
	P4_0~P4_3 P7_0,P7_1, P7_6,P7_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです(ただし、P7_0、P7_1の出力はNチャンネルオープンドレイン出力)。
入力ポート	P8_5	入力	VCC1	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

注1. 80ピン版では、P1、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は、外部への接続がありません。プログラムによって、これらのポートの方向ビットを“1”(出力モード)、出力データを“0”(“L”)にしてください。

## 2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

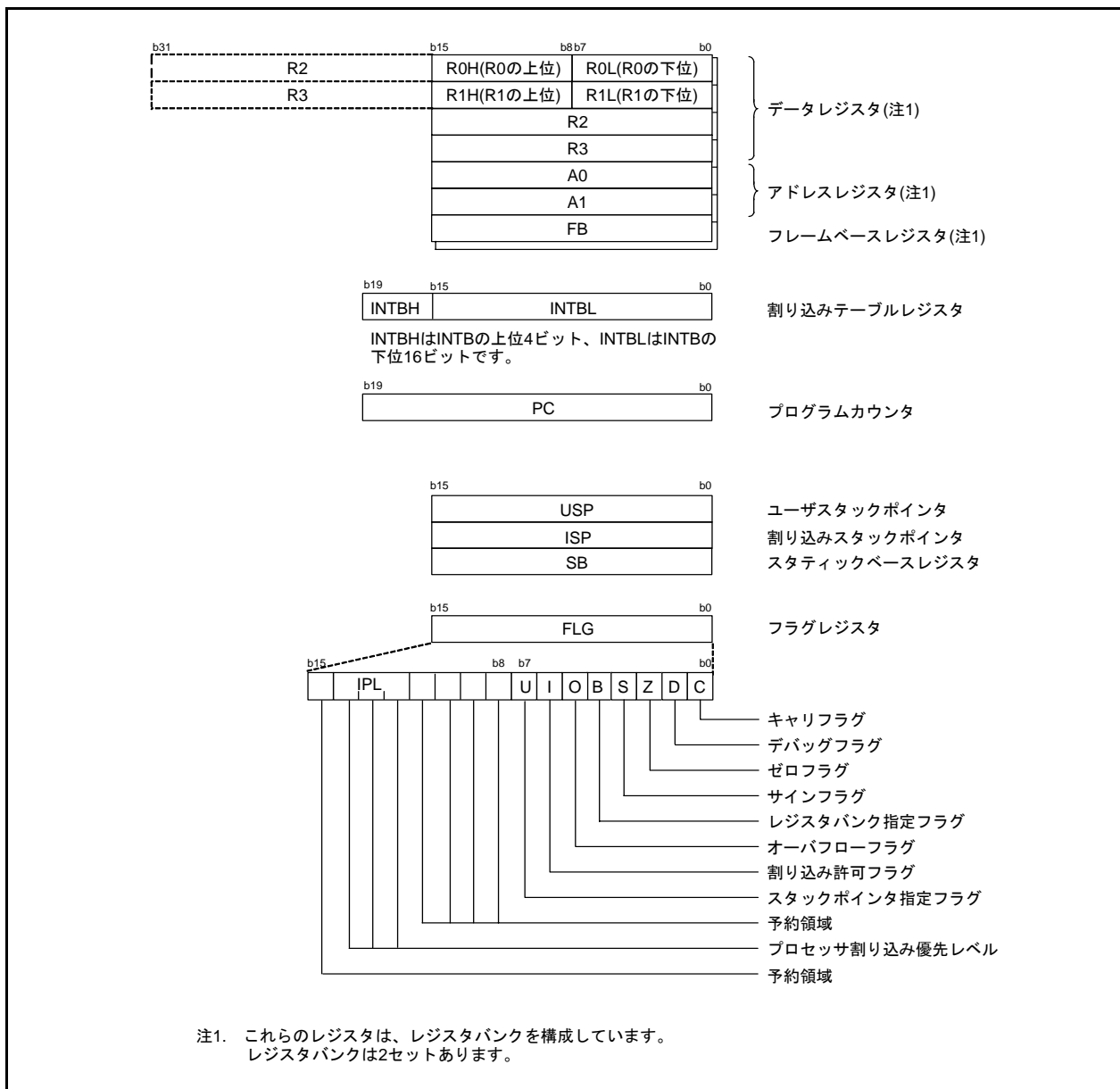


図2.1 CPUのレジスタ

### 2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

### 2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。



### 2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

### 2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

### 2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

### 2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP)は、USPとISPの2種類あり、共に16ビットで構成されています。  
USPとISPはFLGのUフラグで切り替えられます。

### 2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

### 2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

#### 2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

#### 2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

#### 2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外の場合“0”になります。

#### 2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外の場合“0”になります。

#### 2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

#### 2.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

#### 2.8.7 割り込み許可フラグ (Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。  
割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

### 3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。

内部ROMはFFFFFFh番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、F0000h番地からFFFFFFh番地に配置されます。フラッシュメモリ版には、0F000h番地から0FFFFh番地に4Kバイトの領域(ブロックA)があります。4Kバイトの領域は主にデータ格納用ですが、プログラムを格納することもできます。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば10Kバイトの内部RAMは、00400h番地から02BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFDCh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。

メモリ拡張モードまたはマイクロプロセッサモードでは、一部の領域は予約領域となり使用できません。

M16C/62P(80ピン版)、M16C/62PTは、シングルチップモードで使用してください。メモリ拡張モードおよびマイクロプロセッサモードは使用できません。

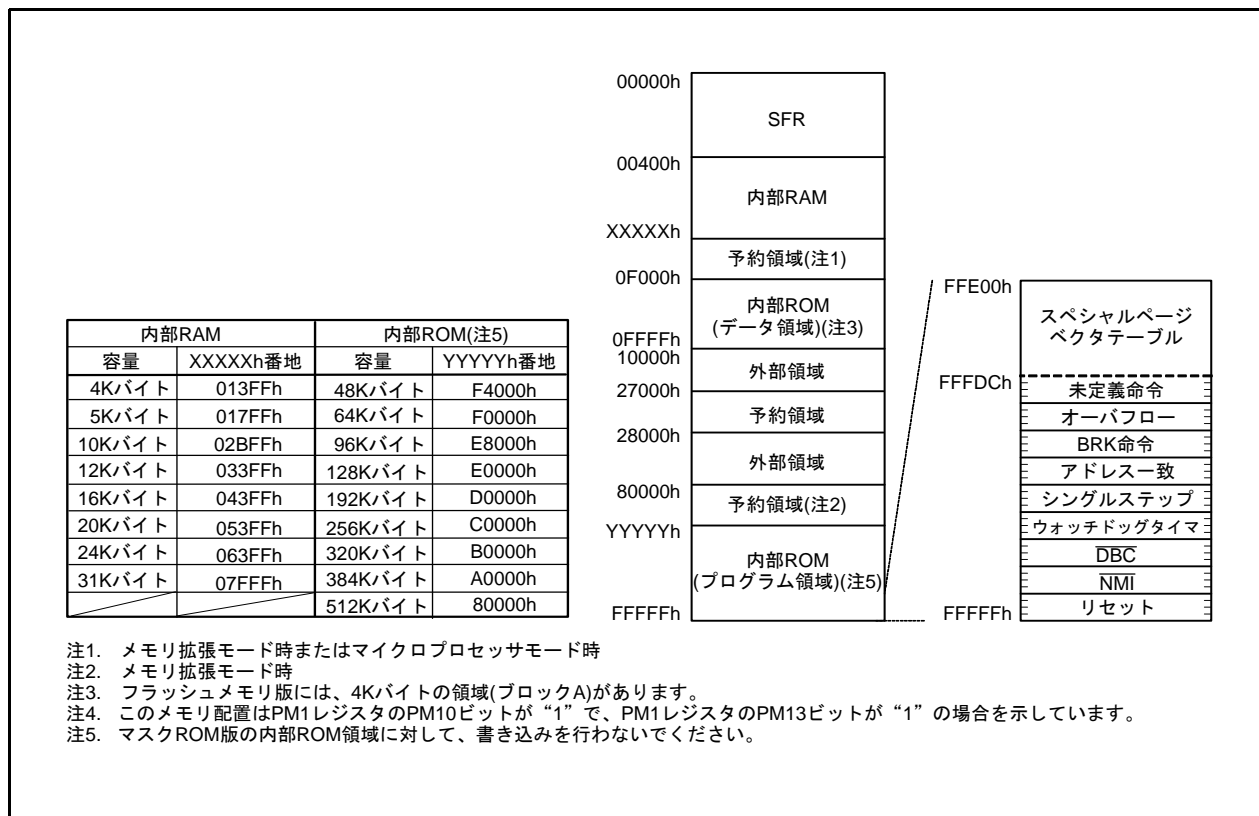


図3.1 メモリ配置

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～4.8にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0(注2)	PM0	00000000b(CNVSS端子が“L”) 00000011b(CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	00001000b
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	チップセレクト制御レジスタ(注6)	CSR	00000001b
0009h	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00b
000Ah	プロテクトレジスタ	PRCR	XX000000b
000Bh	データバンクレジスタ(注6)	DBR	00h
000Ch	発振停止検出レジスタ(注3)	CM2	0X000000b
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb(注4)
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h	電圧検出レジスタ1(注5、6)	VCR1	00001000b
001Ah	電圧検出レジスタ2(注5、6)	VCR2	00h
001Bh	チップセレクト拡張制御レジスタ(注6)	CSE	00h
001Ch	PLL制御レジスタ0	PLC0	0001X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XXX00000b
001Fh	電圧低下検出割り込みレジスタ(注6)	D4INT	00h
0020h	DMA0ソースポインタ	SAR0	XXh
0021h			XXh
0022h			XXh
0023h			
0024h	DMA0ディスティネーションポインタ	DAR0	XXh
0025h			XXh
0026h			XXh
0027h			
0028h	DMA0転送カウンタ	TCR0	XXh
0029h			XXh
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	00000X00b
002Dh			
002Eh			
002Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注4. WDC5ビットは電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注6. M16C/62PTでは使用しないでください。

X: 不定です。

表 4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0030h 0031h 0032h	DMA1 ソースポインタ	SAR1	XXh XXh XXh
0033h			
0034h 0035h 0036h	DMA1 ディスティネーションポインタ	DAR1	XXh XXh XXh
0037h			
0038h 0039h	DMA1 転送カウンタ	TCR1	XXh XXh
003Ah 003Bh			
003Ch 003Dh 003Eh 003Fh 0040h 0041h 0042h 0043h	DMA1 制御レジスタ	DM1CON	0000X00b
0044h	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
0045h	タイマB5 割り込み制御レジスタ	TB5IC	XXXXX000b
0046h	タイマB4 割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	XXXXX000b
0047h	タイマB3 割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	XXXXX000b
0048h	SI/O4 割り込み制御レジスタ、INT5 割り込み制御レジスタ	S4IC、INT5IC	XX00X000b
0049h	SI/O3 割り込み制御レジスタ、INT4 割り込み制御レジスタ	S3IC、INT4IC	XX00X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0 割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1 割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマA0 割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマA1 割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマA2 割り込み制御レジスタ	TA2IC	XXXXX000b
0058h	タイマA3 割り込み制御レジスタ	TA3IC	XXXXX000b
0059h	タイマA4 割り込み制御レジスタ	TA4IC	XXXXX000b
005Ah	タイマB0 割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマB1 割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマB2 割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2 割り込み制御レジスタ	INT2IC	XX00X000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	フラッシュ識別レジスタ (注2)	FIDR	XXXXXX00b
01B5h	フラッシュメモリ制御レジスタ1 (注2)	FMR1	0X00XX0Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0 (注2)	FMR0	00000001b
01B8h	アドレス一致割り込みレジスタ2	RMAD2	00h
01B9h			00h
01BAh			X0h
01BBh	アドレス一致割り込み許可レジスタ2	AIER2	XXXXXX00b
01BCh	アドレス一致割り込みレジスタ3	RMAD3	00h
01BDh			00h
01BEh			X0h
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはフラッシュメモリ版にあります。

X: 不定です。

表 4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h ~ 024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	00000011b
025Fh			
0260h ~ 032Fh			
0330h			
0331h			
0332h			
0333h			
0334h			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			
0340h	タイマB3,4,5カウント開始フラグ	TBSR	000XXXXXb
0341h			
0342h	タイマA1-1レジスタ	TA11	XXh
0343h			XXh
0344h	タイマA2-1レジスタ	TA21	XXh
0345h			XXh
0346h	タイマA4-1レジスタ	TA41	XXh
0347h			XXh
0348h	三相PWM制御レジスタ0	INVC0	00h
0349h	三相PWM制御レジスタ1	INVC1	00h
034Ah	三相出力バッファレジスタ0	IDB0	00h
034Bh	三相出力バッファレジスタ1	IDB1	00h
034Ch	短絡防止タイマ	DTT	XXh
034Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
034Eh			
034Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0350h 0351h	タイマB3レジスタ	TB3	XXh XXh
0352h 0353h	タイマB4レジスタ	TB4	XXh XXh
0354h 0355h	タイマB5レジスタ	TB5	XXh XXh
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh	タイマB3モードレジスタ	TB3MR	00XX0000b
035Ch	タイマB4モードレジスタ	TB4MR	00XX0000b
035Dh	タイマB5モードレジスタ	TB5MR	00XX0000b
035Eh	割り込み要因選択レジスタ2	IFSR2A	00XXXXXXb
035Fh	割り込み要因選択レジスタ	IFSR	00h
0360h	SI/O3送受信レジスタ	S3TRR	XXh
0361h			
0362h	SI/O3制御レジスタ	S3C	01000000b
0363h	SI/O3ビットレートレジスタ	S3BRG	XXh
0364h	SI/O4送受信レジスタ	S4TRR	XXh
0365h			
0366h	SI/O4制御レジスタ	S4C	01000000b
0367h	SI/O4ビットレートレジスタ	S4BRG	XXh
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0特殊モードレジスタ4	U0SMR4	00h
036Dh	UART0特殊モードレジスタ3	U0SMR3	000X0X0Xb
036Eh	UART0特殊モードレジスタ2	U0SMR2	X0000000b
036Fh	UART0特殊モードレジスタ	U0SMR	X0000000b
0370h	UART1特殊モードレジスタ4	U1SMR4	00h
0371h	UART1特殊モードレジスタ3	U1SMR3	000X0X0Xb
0372h	UART1特殊モードレジスタ2	U1SMR2	X0000000b
0373h	UART1特殊モードレジスタ	U1SMR	X0000000b
0374h	UART2特殊モードレジスタ4	U2SMR4	00h
0375h	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
0376h	UART2特殊モードレジスタ2	U2SMR2	X0000000b
0377h	UART2特殊モードレジスタ	U2SMR	X0000000b
0378h	UART2送受信モードレジスタ	U2MR	00h
0379h	UART2ビットレートレジスタ	U2BRG	XXh
037Ah	UART2送信バッファレジスタ	U2TB	XXh
037Bh			XXh
037Ch	UART2送受信制御レジスタ0	U2C0	00001000b
037Dh	UART2送受信制御レジスタ1	U2C1	00000010b
037Eh	UART2受信バッファレジスタ	U2RB	XXh
037Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。



表 4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0380h	カウント開始フラグ	TABSR	00h
0381h	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXb
0382h	ワンショット開始フラグ	ONSF	00h
0383h	トリガ選択レジスタ	TRGSR	00h
0384h	アップダウンフラグ	UDF	00h (注2)
0385h			
0386h	タイマA0レジスタ	TA0	XXh
0387h			XXh
0388h	タイマA1レジスタ	TA1	XXh
0389h			XXh
038Ah	タイマA2レジスタ	TA2	XXh
038Bh			XXh
038Ch	タイマA3レジスタ	TA3	XXh
038Dh			XXh
038Eh	タイマA4レジスタ	TA4	XXh
038Fh			XXh
0390h	タイマB0レジスタ	TB0	XXh
0391h			XXh
0392h	タイマB1レジスタ	TB1	XXh
0393h			XXh
0394h	タイマB2レジスタ	TB2	XXh
0395h			XXh
0396h	タイマA0モードレジスタ	TA0MR	00h
0397h	タイマA1モードレジスタ	TA1MR	00h
0398h	タイマA2モードレジスタ	TA2MR	00h
0399h	タイマA3モードレジスタ	TA3MR	00h
039Ah	タイマA4モードレジスタ	TA4MR	00h
039Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
039Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
039Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
039Eh	タイマB2特殊モードレジスタ	TB2SC	XXXXXX00b
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	00h
03A1h	UART0ビットレートレジスタ	U0BRG	XXh
03A2h	UART0送信バッファレジスタ	U0TB	XXh
03A3h			XXh
03A4h	UART0送受信制御レジスタ0	U0C0	00001000b
03A5h	UART0送受信制御レジスタ1	U0C1	00XX0010b
03A6h	UART0受信バッファレジスタ	U0RB	XXh
03A7h			XXh
03A8h	UART1送受信モードレジスタ	U1MR	00h
03A9h	UART1ビットレートレジスタ	U1BRG	XXh
03AAh	UART1送信バッファレジスタ	U1TB	XXh
03ABh			XXh
03ACh	UART1送受信制御レジスタ0	U1C0	00001000b
03ADh	UART1送受信制御レジスタ1	U1C1	00XX0010b
03AEh	UART1受信バッファレジスタ	U1RB	XXh
03AFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

注2. アップダウンフラグのビット7~5は、リセットによりレジスタ値は“0”ですが、このビットを読んだ場合、不定です。

X: 不定です。

表 4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
03B0h	UART送受信制御レジスタ2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	00h
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	00h
03BBh			
03BCh	CRCデータレジスタ	CRC	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			
03C0h	A/Dレジスタ0	AD0	XXh
03C1h			XXh
03C2h	A/Dレジスタ1	AD1	XXh
03C3h			XXh
03C4h	A/Dレジスタ2	AD2	XXh
03C5h			XXh
03C6h	A/Dレジスタ3	AD3	XXh
03C7h			XXh
03C8h	A/Dレジスタ4	AD4	XXh
03C9h			XXh
03CAh	A/Dレジスタ5	AD5	XXh
03CBh			XXh
03CCh	A/Dレジスタ6	AD6	XXh
03CDh			XXh
03CEh	A/Dレジスタ7	AD7	XXh
03CFh			XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	00h
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	00000XXXb
03D7h	A/D制御レジスタ1	ADCON1	00h
03D8h	D/Aレジスタ0	DA0	00h
03D9h			
03DAh	D/Aレジスタ1	DA1	00h
03DBh			
03DCh	D/A制御レジスタ	DACON	00h
03DDh			
03DEh	ポートP14制御レジスタ(注2)	PC14	XX00XXXXb
03DFh	ブルアップ制御レジスタ3(注2)	PUR3	00h

注1. 空欄は予約領域です。アクセスしないでください。

注2. M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、このレジスタがありません。

X: 不定です。

表 4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00X00000b
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h	ポートP11レジスタ(注3)	P11	XXh
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h	ポートP11方向レジスタ(注3)	PD11	00h
03F8h	ポートP12レジスタ(注3)	P12	XXh
03F9h	ポートP13レジスタ(注3)	P13	XXh
03FAh	ポートP12方向レジスタ(注3)	PD12	00h
03FBh	ポートP13方向レジスタ(注3)	PD13	00h
03FCh	プルアップ制御レジスタ0	PUR0	00h
03FDh	プルアップ制御レジスタ1	PUR1	00000000b(注2) 00000010b
03FEh	プルアップ制御レジスタ2	PUR2	00h
03FFh	ポート制御レジスタ	PCR	00h

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセット1または電圧低下検出リセット(ハードウェアリセット2)では次のようになります。

- ・ CNVSS端子に“L”を入力している場合、“00000000b”
- ・ CNVSS端子に“H”を入力している場合、“00000010b”

ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。

- ・ PM0レジスタのPM01～PM00ビットが“00b”(シングルチップモード)の場合、“00000000b”
- ・ PM0レジスタのPM01～PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“00000010b”

注3. M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、このレジスタがありません。

X: 不定です。

## 5. 電気的特性

## 5.1 電気的特性(M16C/62P)

表5.1 絶対最大定格

記号	項目		条件	定格値	単位
V <sub>CC1</sub> , V <sub>CC2</sub>	電源電圧		V <sub>CC1</sub> =AV <sub>CC</sub>	-0.3~6.5	V
V <sub>CC2</sub>	電源電圧		V <sub>CC2</sub>	-0.3~V <sub>CC1</sub> +0.1	V
AV <sub>CC</sub>	アナログ電源電圧		V <sub>CC1</sub> =AV <sub>CC</sub>	-0.3~6.5	V
V <sub>I</sub>	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, VREF, XIN		-0.3~V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V <sub>CC2</sub> +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
V <sub>O</sub>	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XOUT		-0.3~V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V <sub>CC2</sub> +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
P <sub>d</sub>	消費電力		-40°C < T <sub>opr</sub> ≤ 85°C	300	mW
T <sub>opr</sub>	動作周囲温度	マイコン動作時		-20~85 / -40~85	°C
		フラッシュ書き込み消去時		0~60	
T <sub>stg</sub>	保存温度			-65~150	°C

注1. 80ピン版では、P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は外部への接続がありません。

表5.2 推奨動作条件(注1)

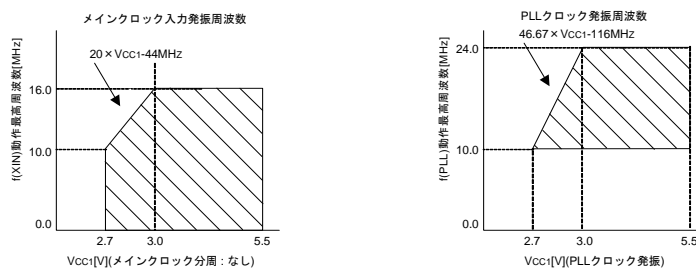
記号	項目	規格値			単位	
		最小	標準	最大		
V <sub>CC1</sub> , V <sub>CC2</sub>	電源電圧(V <sub>CC1</sub> ≥ V <sub>CC2</sub> )	2.7	5.0	5.5	V	
AV <sub>CC</sub>	アナログ電源電圧		V <sub>CC1</sub>		V	
V <sub>SS</sub>	電源電圧		0		V	
AV <sub>SS</sub>	アナログ電源電圧		0		V	
V <sub>IH</sub>	"H"入力電圧 P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時) P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力) P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE P7_0, P7_1	0.8V <sub>CC2</sub>		V <sub>CC2</sub>	V	
		0.8V <sub>CC2</sub>		V <sub>CC2</sub>	V	
		0.5V <sub>CC2</sub>		V <sub>CC2</sub>	V	
		0.8V <sub>CC1</sub>		V <sub>CC1</sub>	V	
		0.8V <sub>CC1</sub>		6.5	V	
V <sub>IL</sub>	"L"入力電圧 P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時) P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力) P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE	0		0.2V <sub>CC2</sub>	V	
		0		0.2V <sub>CC2</sub>	V	
		0		0.16V <sub>CC2</sub>	V	
		0		0.2V <sub>CC1</sub>	V	
		0		0.2V <sub>CC1</sub>	V	
I <sub>OH</sub> (peak)	"H"尖頭出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-10.0	mA	
I <sub>OH</sub> (avg)	"H"平均出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-5.0	mA	
I <sub>OL</sub> (peak)	"L"尖頭出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			10.0	mA	
I <sub>OL</sub> (avg)	"L"平均出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			5.0	mA	
f(XIN)	メインクロック入力発振周波数(注4)	V <sub>CC1</sub> =3.0V~5.5V		0	16	MHz
		V <sub>CC1</sub> =2.7V~3.0V		0	20 × V <sub>CC1</sub> - 44	MHz
f(XCIN)	サブクロック発振周波数		32.768	50	kHz	
f(Ring)	オンチップオシレータ発振周波数		0.5	1	2	MHz
f(PLL)	PLLクロック発振周波数(注4)	V <sub>CC1</sub> =3.0V~5.5V		10	24	MHz
		V <sub>CC1</sub> =2.7V~3.0V		10	46.67 × V <sub>CC1</sub> - 116	MHz
f(BCLK)	CPU動作周波数		0	24	MHz	
t <sub>su</sub> (PLL)	PLL周波数シンセサイザ安定待ち時間	V <sub>CC1</sub> =5.0V			20	ms
		V <sub>CC1</sub> =3.0V			50	ms

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=2.7V~5.5V、T<sub>opr</sub>=-20~85°C / -40~85°Cです。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0,P1,P2,P8\_6,P8\_7,P9,P10,P11,P14\_0,P14\_1のI<sub>OL</sub>(peak)の合計は80mA以下、ポートP3,P4,P5,P6,P7,P8\_0~P8\_4,P12,P13のI<sub>OL</sub>(peak)の合計は80mA以下、ポートP0,P1,P2のI<sub>OH</sub>(peak)の合計は-40mA以下、ポートP3,P4,P5,P12,P13のI<sub>OH</sub>(peak)の合計は-40mA以下、ポートP6,P7,P8\_0~P8\_4のI<sub>OH</sub>(peak)の合計は-40mA以下、ポートP8\_6,P8\_7,P9,P10,P11,P14\_0,P14\_1のI<sub>OH</sub>(peak)の合計は-40mA以下にしてください。また、80ピン版では、V<sub>CC</sub>、V<sub>SS</sub>が1本のため、全ポートのI<sub>OL</sub>(peak)の合計およびI<sub>OH</sub>(peak)の合計は80mA以下にしてください。

注4. メインクロック入力周波数、PLLクロック周波数と電源電圧の関係は次のとおりです。



注5. 80ピン版では、P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は外部への接続がありません。

表5.3 A/D変換特性(注1)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
-	分解能		VREF=VCC1			10	Bits	
INL	積分 非直線性 誤差	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±3	LSB
				外部オペアンプ接続モード			±7	LSB
		VREF= VCC1= 3.3V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±5	LSB	
			外部オペアンプ接続モード			±7	LSB	
		8bit	VREF=VCC1=5V、3.3V			±2	LSB	
-	絶対精度	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±3	LSB
				外部オペアンプ接続モード			±7	LSB
		VREF= VCC1= 3.3V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±5	LSB	
			外部オペアンプ接続モード			±7	LSB	
		8bit	VREF=VCC1=5V、3.3V			±2	LSB	
-	許容信号源インピーダンス				3		kΩ	
DNL	微分非直線性誤差					±1	LSB	
-	オフセット誤差					±3	LSB	
-	ゲイン誤差					±3	LSB	
RLADDER	ラダー抵抗		VREF=VCC1	10		40	kΩ	
tCONV	変換時間(10bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.75			μs	
tCONV	変換時間(8bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.33			μs	
tSAMP	サンプリング時間			0.25			μs	
VREF	基準電圧			2.0		VCC1	V	
VIA	アナログ入力電圧			0		VREF	V	

注1. 指定のない場合は、VCC1=AVCC=VREF=3.3~5.5V、VSS=AVSS=0V、Topr=-20~85℃/-40~85℃です。

注2. VCC1>VCC2の場合、AN0\_0~AN0\_7、AN2\_0~AN2\_7をアナログ入力端子として使用しないでください。

注3. φADの周波数は12MHz以下にしてください。また、VCC1が4.0V未満の場合はfADを分周し、φADの周波数は10MHz以下にしてください。

注4. サンプル&ホールドなしのときは、注3の制限に加えφADの周波数は250kHz以上にしてください。

サンプル&ホールドありのときは、注3の制限に加えφADの周波数は1MHz以上にしてください。

表5.4 D/A変換特性(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能					8	Bits
-	絶対精度					1.0	%
tsu	設定時間					3	μs
Ro	出力抵抗			4	10	20	kΩ
IVREF	基準電源入力電流		(注2)			1.5	mA

注1. 指定のない場合は、VCC1=VREF=3.3~5.5V、VSS=AVSS=0V、Topr=-20~85℃/-40~85℃です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。

A/Dコンバータのラダー抵抗分は除きます。また、A/D制御レジスタでVref未接続とした場合でも、D/AコンバータのIVREFは流れます。

表5.5 フラッシュメモリの電気的特性(注1) 100回品(D3, D5, U3, U5)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3)	100			回
-	ワードプログラム時間(V <sub>CC1</sub> =5.0V)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 (V <sub>CC1</sub> =5.0V)	4Kバイトブロック	0.3	4	s
		8Kバイトブロック	0.3	4	s
		32Kバイトブロック	0.5	4	s
		64Kバイトブロック	0.8	4	s
-	イレーズ全アンロックブロック時間(注2)			4 × n	s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	10			年

表5.6 フラッシュメモリの電気的特性(注6)  
10,000回品(D7, D9, U7, U9)(ブロックA、ブロック1(注7))

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3、8、9)	10,000(注4)			回
-	ワードプログラム時間(V <sub>CC1</sub> =5.0V)		25		μs
-	ロックビットプログラム時間		25		μs
-	ブロックイレーズ時間 (V <sub>CC1</sub> =5.0V)	4Kバイトブロック	0.3		s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	10			年

注1. 指定のない場合は、V<sub>CC1</sub>=4.5~5.5V、3.0~3.6V、T<sub>opr</sub>=0~60°C(D3, D5, U3, U5)です。

注2. nはイレーズするブロック数です。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注4. プログラム/イレーズ後の全ての電気的特性を保証する最小回数です。(保証は1~“最小”値の範囲です。)

注5. T<sub>opr</sub>=-40~85°C(D3,D7,U3,U7)/-20~85°C(D5,D9,U5,U9)の条件です。

注6. 指定のない場合は、V<sub>CC1</sub>=4.5~5.5V、3.0~3.6V、T<sub>opr</sub>=-40~85°C(D7,U7)/-20~85°C(D9,U9)です。

注7. プログラム、イレーズ回数が1,000回を超えたときのブロックA、ブロック1の規格です。

1,000回までのワードプログラム時間、ブロックイレーズ時間は全ブロック100回品と同じです。

注8. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組8ワードをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロック1のイレーズが均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めいたします。

注9. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注10. 100回以上の書き換えを実施する場合(D7,D9,U7,U9)は、PM1レジスタのPM17ビットを“1”(ウェイトあり)に設定してください。

注11. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特约店へお問い合わせください。

表5.7 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性

(T<sub>opr</sub>=0~60°C(D3, D5, U3, U5)、T<sub>opr</sub>=-40~85°C(D7, U7)/T<sub>opr</sub>=-20~85°C(D9, U9))

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
V <sub>CC1</sub> =3.3±0.3Vまたは5.0±0.5V	V <sub>CC1</sub> =2.7~5.5V

表 5.8 電圧低下検出回路の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>det4</sub>	電圧低下検出電圧(注1)	V <sub>CC1</sub> =0.8~5.5V	3.3	3.8	4.4	V
V <sub>det3</sub>	リセット領域検出電圧(注1、2)		2.2	2.8	3.6	V
V <sub>det4</sub> -V <sub>det3</sub>	電圧低下検出とリセット領域検出の電位差		0.3			V
V <sub>det3s</sub>	低電圧リセット保持電圧				0.8	V
V <sub>det3r</sub>	低電圧リセット解除電圧(注3)		2.2	2.9	4.0	V

注1. V<sub>det4</sub> > V<sub>det3</sub>になります。

注2. リセット領域検出電圧が2.7V未満の場合、電源電圧がリセット領域検出電圧以上であれば、f(BCLK) ≤ 10MHzで動作します。

注3. V<sub>det3r</sub> > V<sub>det3</sub>は保証されません。

注4. V<sub>CC1</sub>=5Vで使用してください。

表 5.9 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>d</sub> (P-R)	電源投入時内部電源安定時間	V <sub>CC1</sub> =2.7~5.5V			2	ms
t <sub>d</sub> (R-S)	STOP解除時間				150	μs
t <sub>d</sub> (W-S)	低消費電力モードウェイトモード解除時間				150	μs
t <sub>d</sub> (S-R)	電圧低下検出リセット (ハードウェアリセット2)解除待ち時間	V <sub>CC1</sub> =V <sub>det3r</sub> ~5.5V		6(注1)	20	ms
t <sub>d</sub> (E-A)	低電圧検出回路動作開始時間	V <sub>CC1</sub> =2.7~5.5V			20	μs

注1. V<sub>CC1</sub>=5V時の標準値



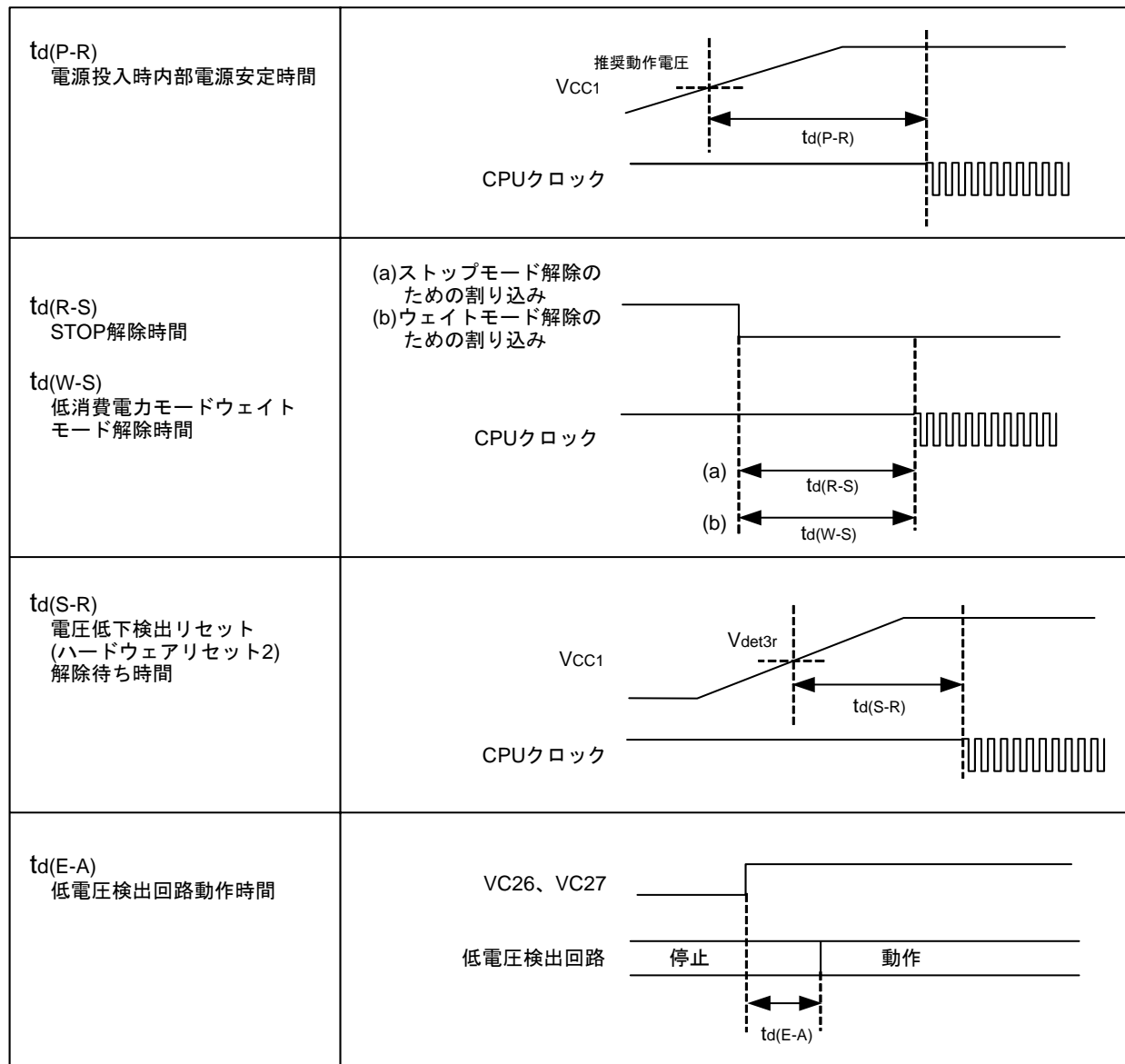


図 5.1 電源回路のタイミング図

$$V_{CC1}=V_{CC2}=5V$$

表 5.10 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -5mA	V <sub>CC1</sub> - 2.0		V <sub>CC1</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -5mA(注2)	V <sub>CC2</sub> - 2.0		V <sub>CC2</sub>	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -200μA	V <sub>CC1</sub> - 0.3		V <sub>CC1</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -200μA(注2)	V <sub>CC2</sub> - 0.3		V <sub>CC2</sub>	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH= -1mA	V <sub>CC1</sub> - 2.0		V <sub>CC1</sub>	V
		LOWPOWER	IOH= -0.5mA	V <sub>CC1</sub> - 2.0		V <sub>CC1</sub>	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=5mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=5mA(注2)			2.0	
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=200μA			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=200μA(注2)			0.45	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=1mA			2.0	V
		LOWPOWER	IOL=0.5mA			2.0	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス 0.5	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, NMI, ADTRG, CTS0~CTS2, SCL0~SCL2, SDA0~SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KIO~KI3, RXD0~RXD2, SIN3, SIN4		0.2		1.0	V
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	RESET		0.2		2.5	V
I <sub>IH</sub>	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =5V			5.0	μA
I <sub>IL</sub>	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =0V			-5.0	μA
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V <sub>I</sub> =0V	30	50	170	kΩ
R <sub>I</sub> XIN	帰還抵抗	XIN			1.5		MΩ
R <sub>I</sub> XIN	帰還抵抗	XCIN			15		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=4.2~5.5V、V<sub>SS</sub>=0V、T<sub>opr</sub>= -20~85°C / -40~85°C、f(BCLK)=24MHzです。

注2. V<sub>CC1</sub>=5V、V<sub>CC2</sub>=3Vでご使用の場合は、V<sub>CC2</sub>ポート側の端子規格値は3V版の値を参照してください。

注3. 80ピン版では、P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は外部への接続がありません。

$$V_{CC1}=V_{CC2}=5V$$

表5.11 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I <sub>CC</sub>	電源電流 (V <sub>CC1</sub> =4.0~5.5V) シングルチップモードで、 出力端子は開放、 その他の端子はV <sub>SS</sub>	マスクROM	f(BCLK)=24MHz PLL動作時、分周なし	14	20	mA
			オンチップオシレータ発振動作時 分周なし	1		mA
		フラッシュメモリ	f(BCLK)=24MHz PLL動作時、分周なし	18	27	mA
			オンチップオシレータ発振動作時 分周なし	1.8		mA
		フラッシュメモリ プログラム	f(BCLK)=10MHz V <sub>CC1</sub> =5.0V	15		mA
		フラッシュメモリ イレーズ	f(BCLK)=10MHz V <sub>CC1</sub> =5.0V	25		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)	25		μA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)	25		μA
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)	420		μA
			オンチップオシレータ発振動作、 ウェイトモード時	50		μA
			マスクROM、 フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High	7.5	
			f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low	2.0		μA
	ストップモード時 T <sub>opr</sub> =25°C	0.8	3.0	μA		
I <sub>det4</sub>	電圧低下検出消費電流(注4)		0.7	4	μA	
I <sub>det3</sub>	リセット領域検出消費電流(注4)		1.2	8	μA	

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=4.2~5.5V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85°C / -40~85°C、f(BCLK)=24MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. I<sub>det</sub>は次のビットを“1”(検出回路有効)にしている場合の消費電流です。

I<sub>det4</sub> : VCR2レジスタのVC27ビット

I<sub>det3</sub> : VCR2レジスタのVC26ビット

$$V_{CC1}=V_{CC2}=5V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.12 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub>	外部クロック入力サイクル時間	62.5		ns
t <sub>w(H)</sub>	外部クロック入力“H”パルス幅	25		ns
t <sub>w(L)</sub>	外部クロック入力“L”パルス幅	25		ns
t <sub>r</sub>	外部クロック立ち上がり時間		15	ns
t <sub>f</sub>	外部クロック立ち下がり時間		15	ns

注1. 条件は $V_{CC1}=V_{CC2}=3.0\sim 5.0V$ です。

表5.13 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t <sub>ac1</sub> (RD-DB)	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
t <sub>ac2</sub> (RD-DB)	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
t <sub>ac3</sub> (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
t <sub>su</sub> (DB-RD)	データ入力セットアップ時間	40		ns
t <sub>su</sub> (RDY-BCLK)	RDY入力セットアップ時間	30		ns
t <sub>su</sub> (HOLD-BCLK)	HOLD入力セットアップ時間	40		ns
t <sub>h</sub> (RD-DB)	データ入力ホールド時間	0		ns
t <sub>h</sub> (BCLK-RDY)	RDY入力ホールド時間	0		ns
t <sub>h</sub> (BCLK-HOLD)	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 45[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

$$VCC1=VCC2=5V$$

## タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.14 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

表5.15 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	200		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	200		ns

表5.16 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表5.17 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表5.18 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

表5.19 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

$$V_{CC1}=V_{CC2}=5V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.20 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表5.21 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表5.22 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表5.23 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	125		ns

表5.24 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

表5.25 外部割り込み $\overline{INTi}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	$\overline{INTi}$ 入力“H”パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$ 入力“L”パルス幅	250		ns

$$V_{CC1}=V_{CC2}=5V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.26 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図5.2		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間		40	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) = 6.7\text{ns}$$

となります。

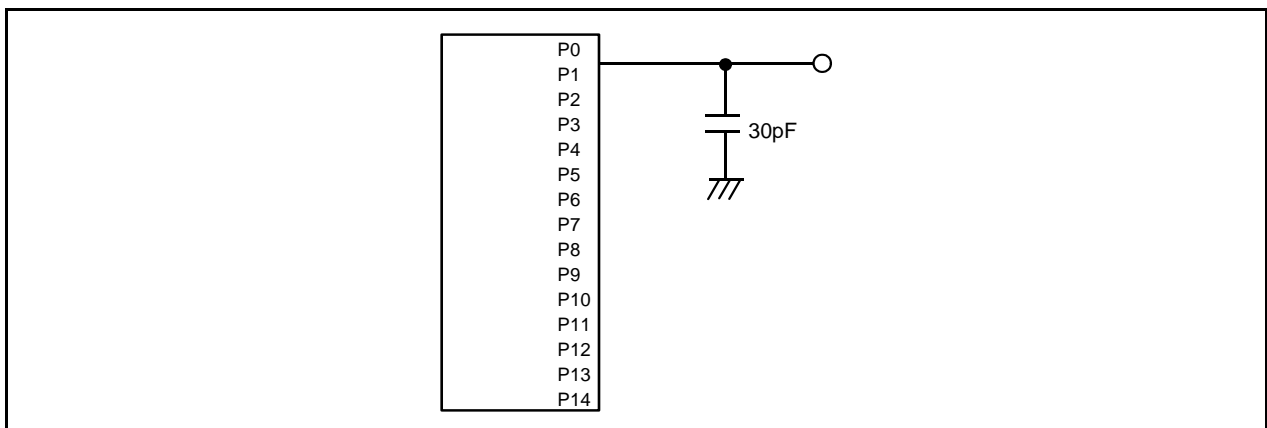
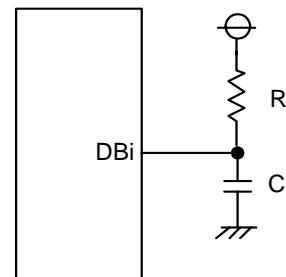


図5.2 ポートP0~P14の測定回路

$$V_{CC1}=V_{CC2}=5V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$  /  $-40\sim 85^{\circ}C$ )表5.27 メモリ拡張モード、マイクロプロセッサモード  
(1～3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図5.2		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、  
3ウェイト設定の場合“3”  
n=1の場合は、f(BCLK)は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

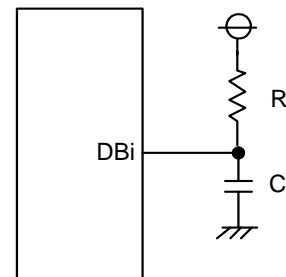
例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$  とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。





$$V_{CC1}=V_{CC2}=5V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$  /  $-40\sim 85^{\circ}C$ )表5.28 メモリ拡張モード、マイクロプロセッサモード  
(2～3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図5.2		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-CS})$	チップセレクト出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-CS})$	チップセレクト出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注2)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns
$t_d(\text{BCLK-ALE})$	ALE出力遅延時間 (BCLK基準)			15	ns
$t_h(\text{BCLK-ALE})$	ALE出力保持時間 (BCLK基準)		-4		ns
$t_d(\text{AD-ALE})$	ALE出力遅延時間 (アドレス基準)		(注3)		ns
$t_h(\text{ALE-AD})$	ALE出力保持時間 (アドレス基準)		(注4)		ns
$t_d(\text{AD-RD})$	アドレス後RD信号出力遅延時間		0		ns
$t_d(\text{AD-WR})$	アドレス後WR信号出力遅延時間		0		ns
$t_{dZ}(\text{RD-AD})$	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad n \text{は2ウェイト設定の場合 "2"、3ウェイト設定の場合 "3"}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 25[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

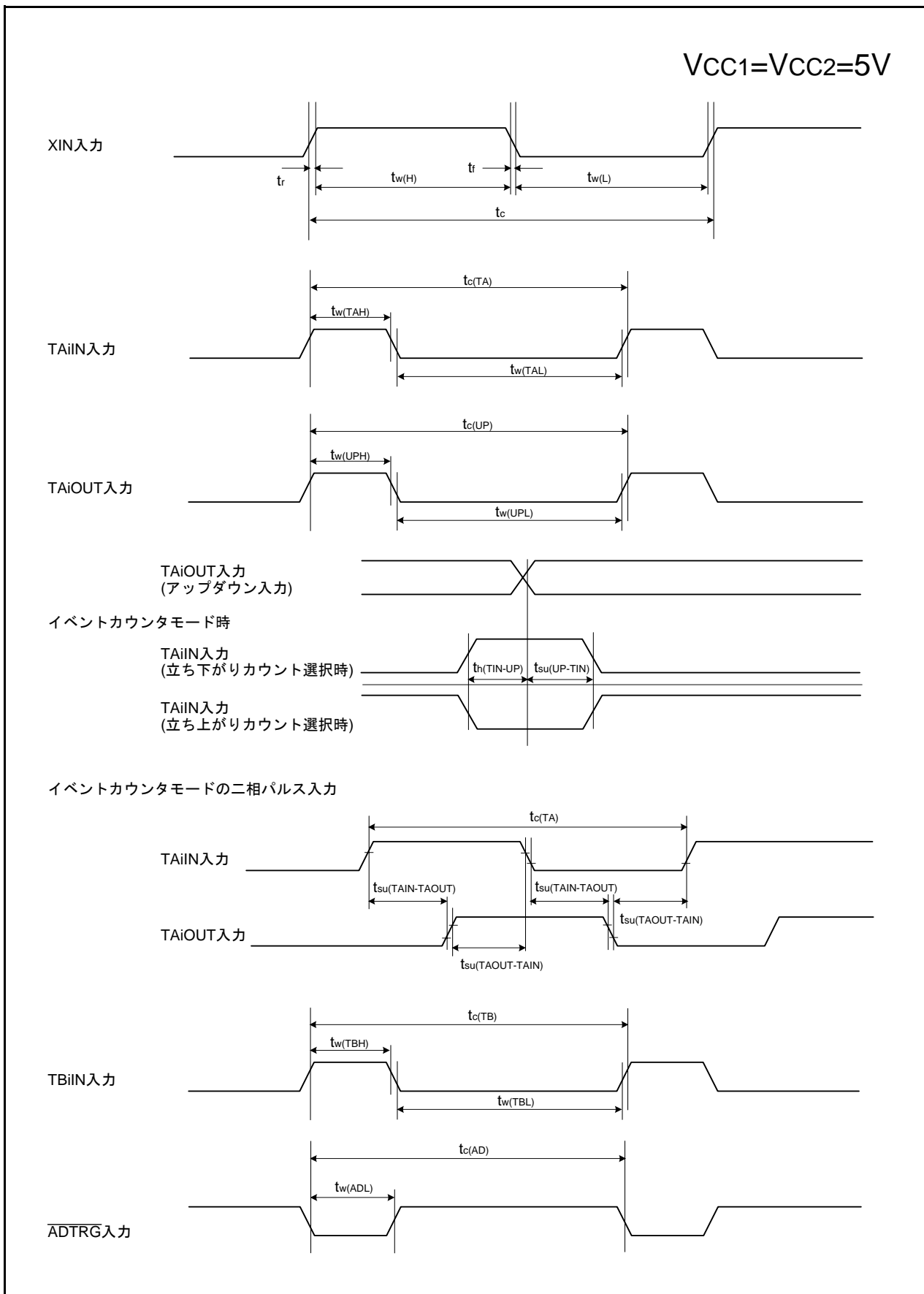


図5.3 タイミング図(1)

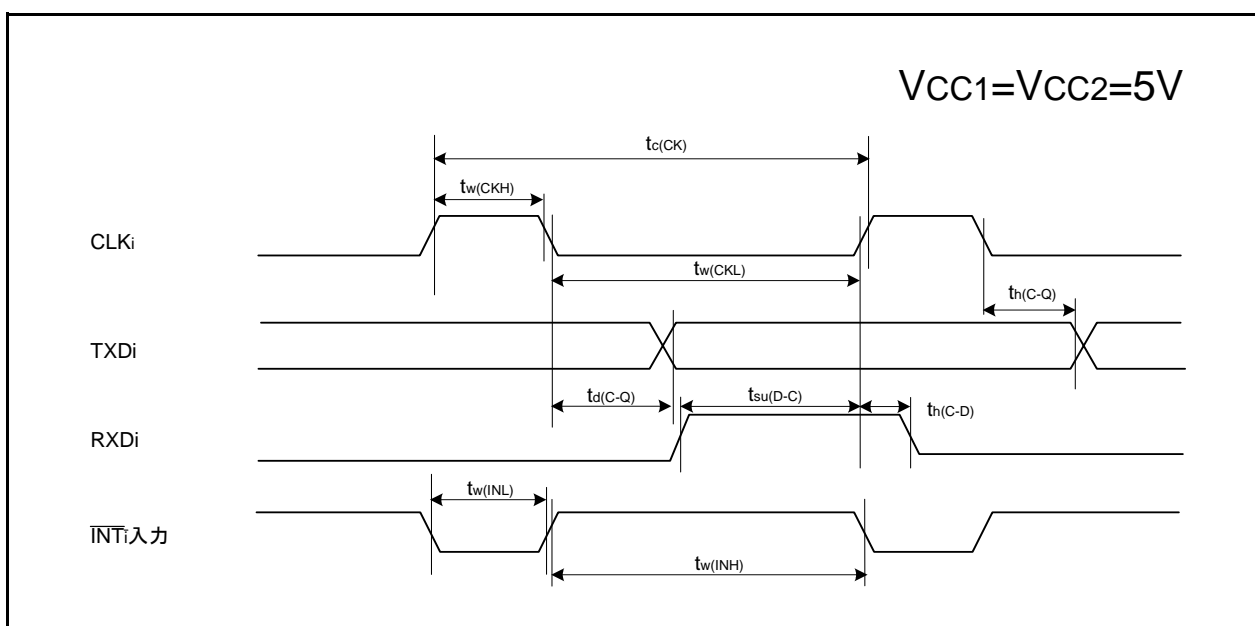


図5.4 タイミング図(2)

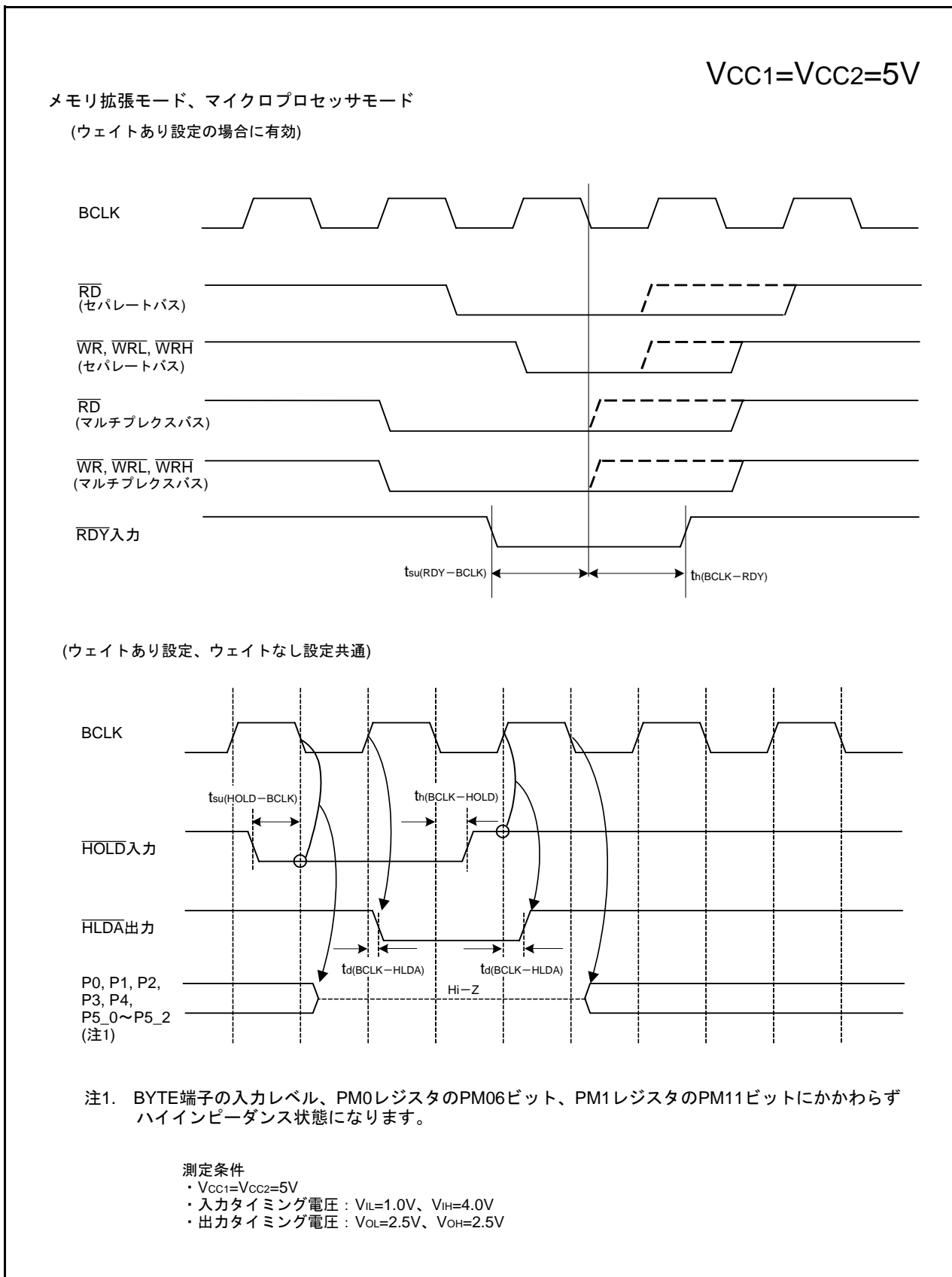


図5.5 タイミング図(3)

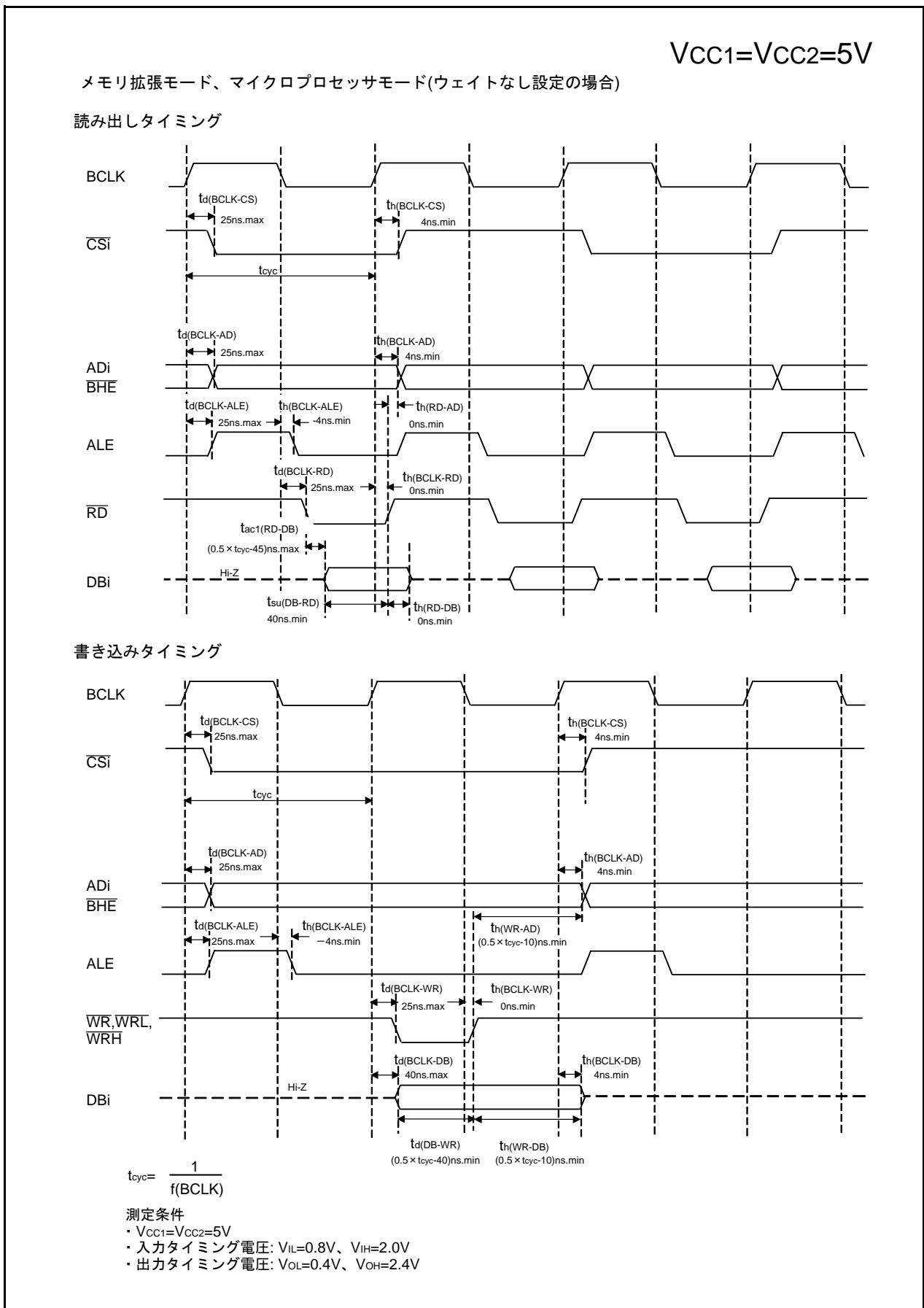


図5.6 タイミング図(4)

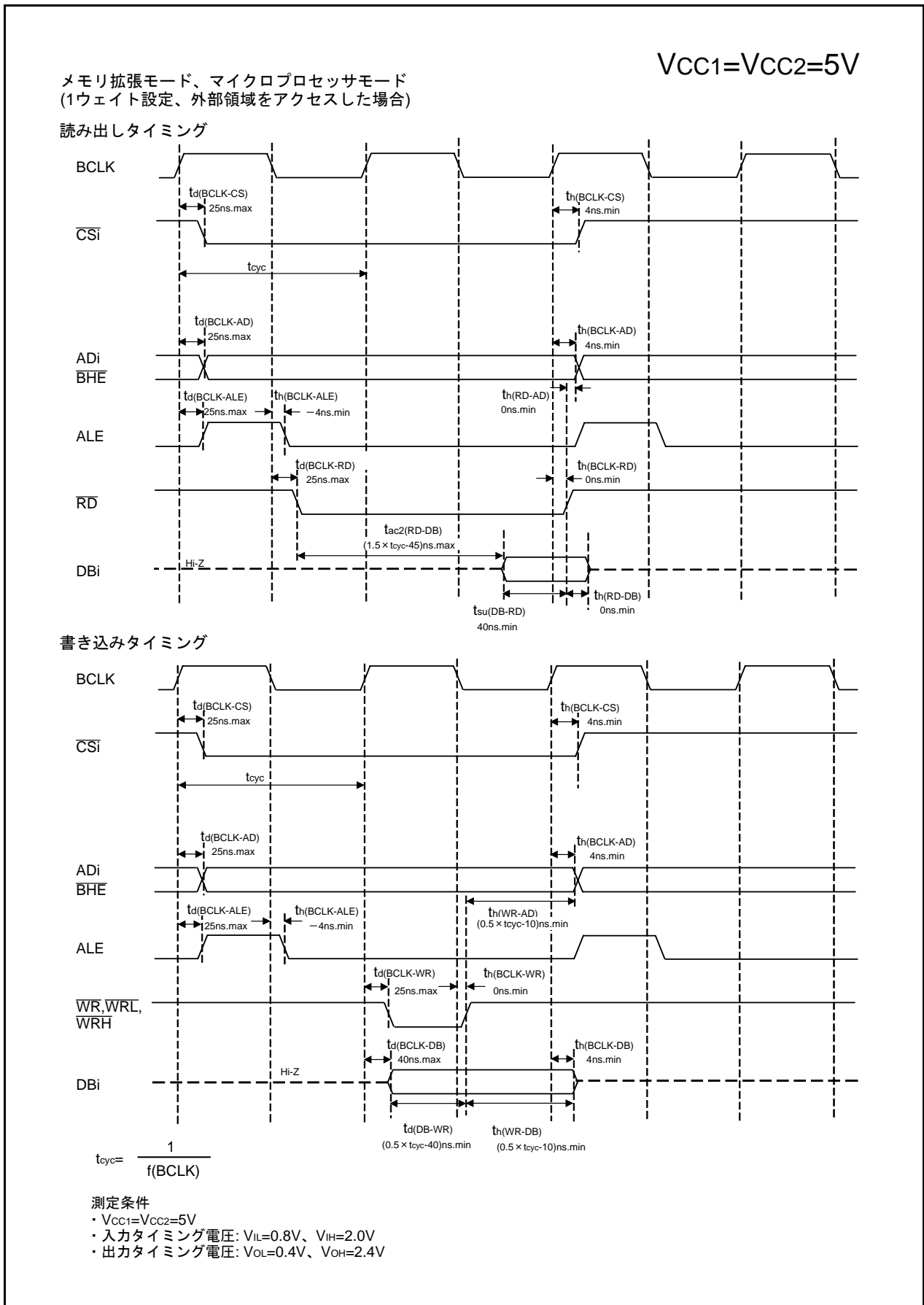


図5.7 タイミング図(5)

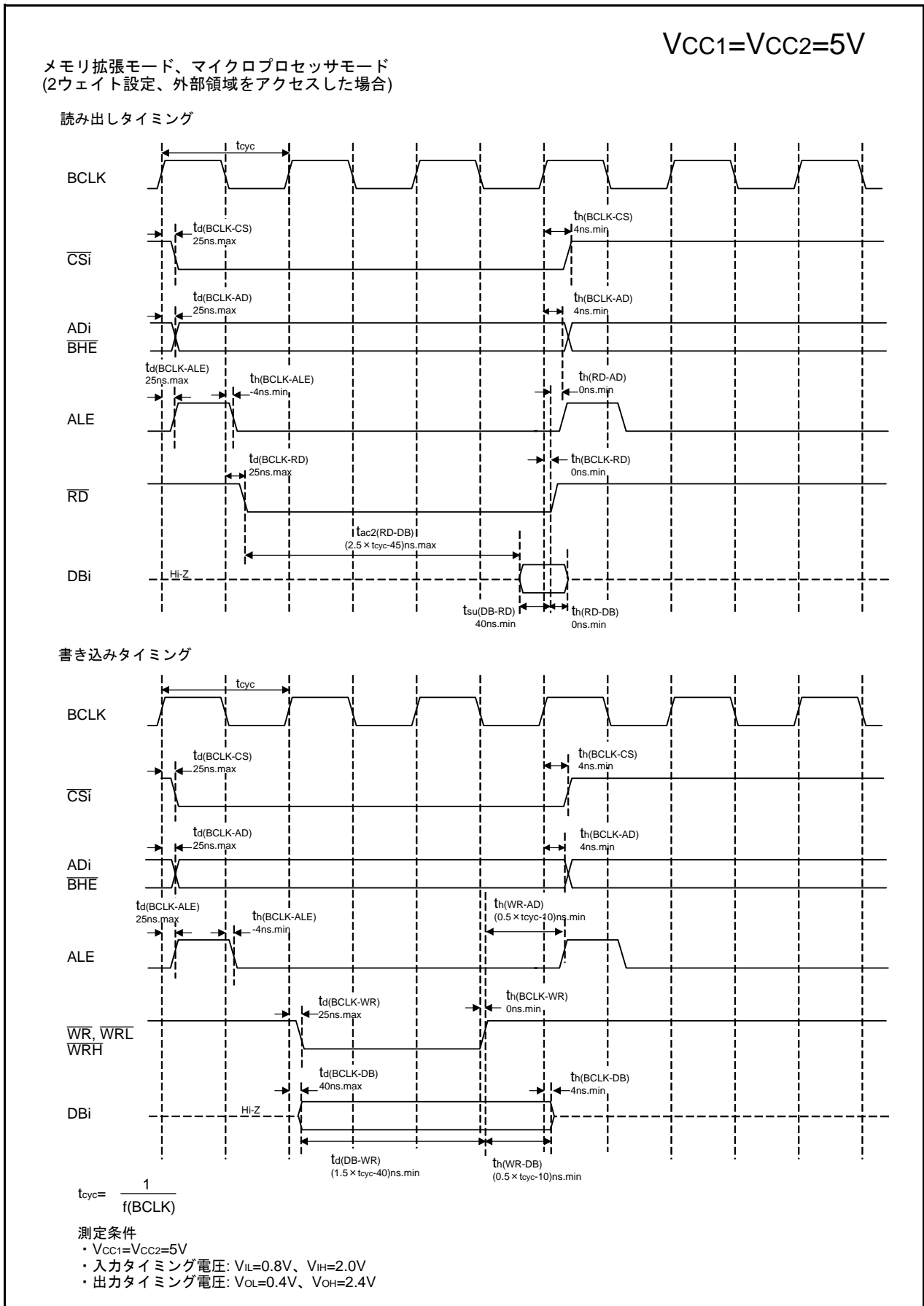


図5.8 タイミング図(6)

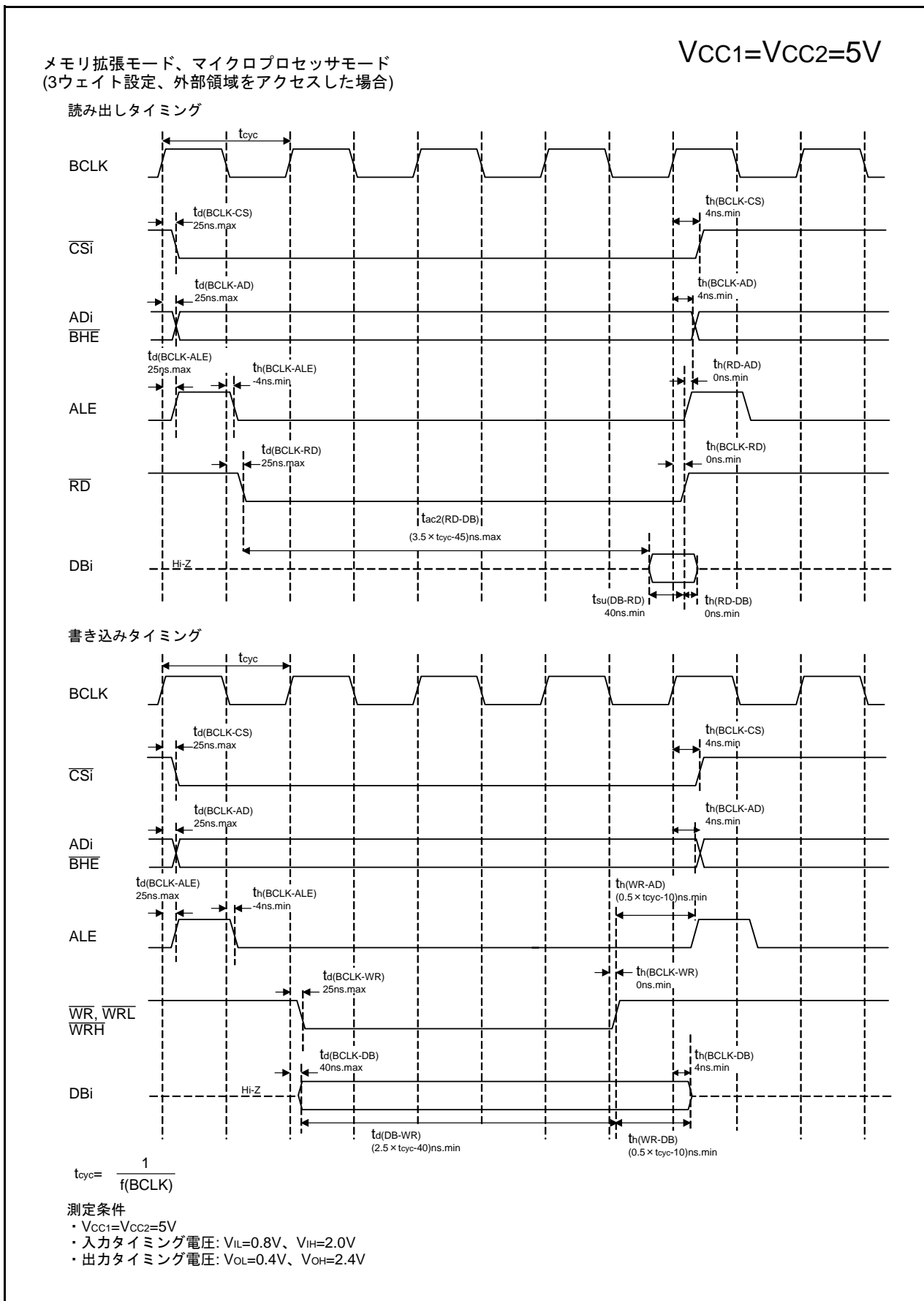


図 5.9 タイミング図(7)



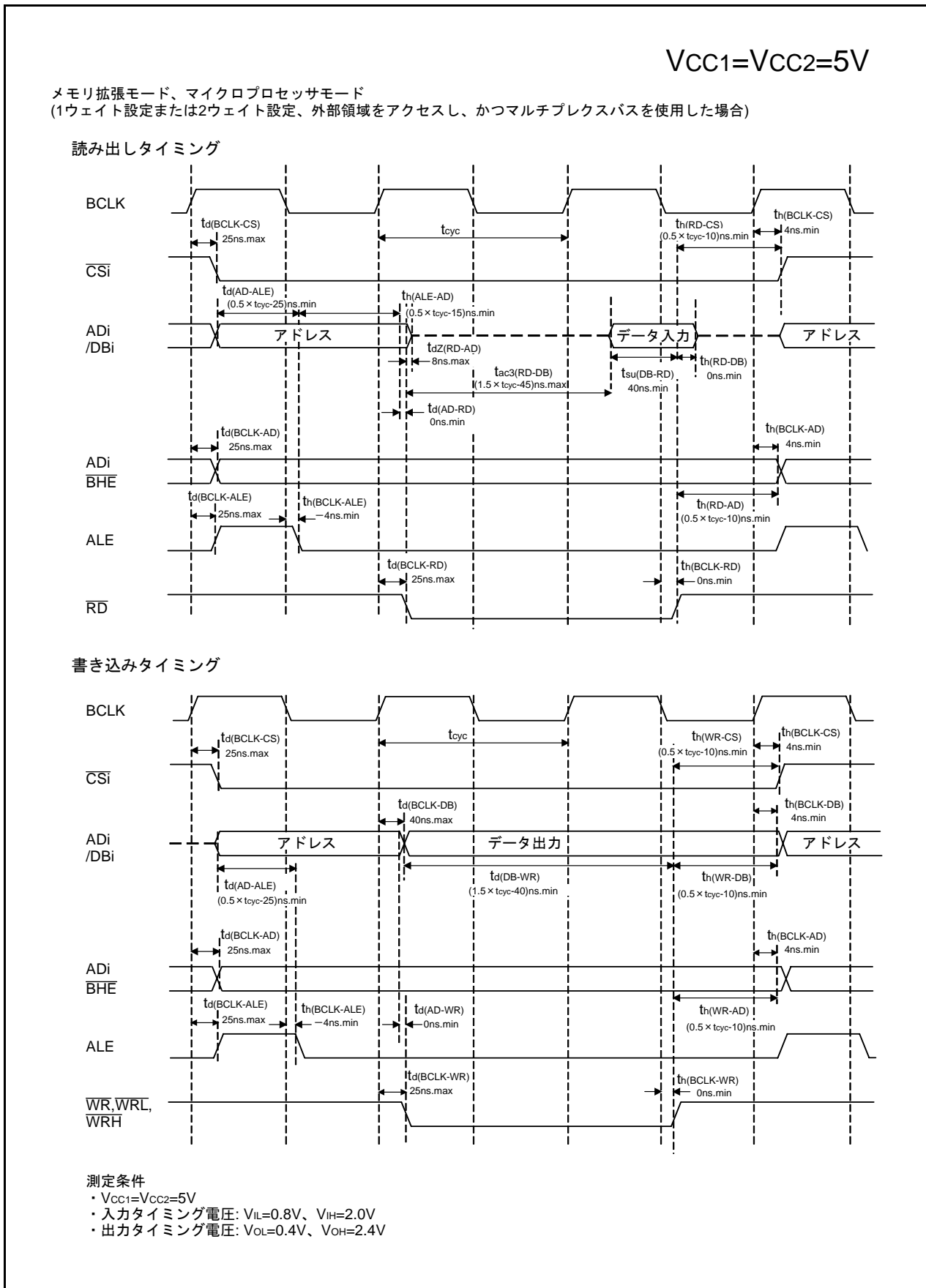


図5.10 タイミング図(8)

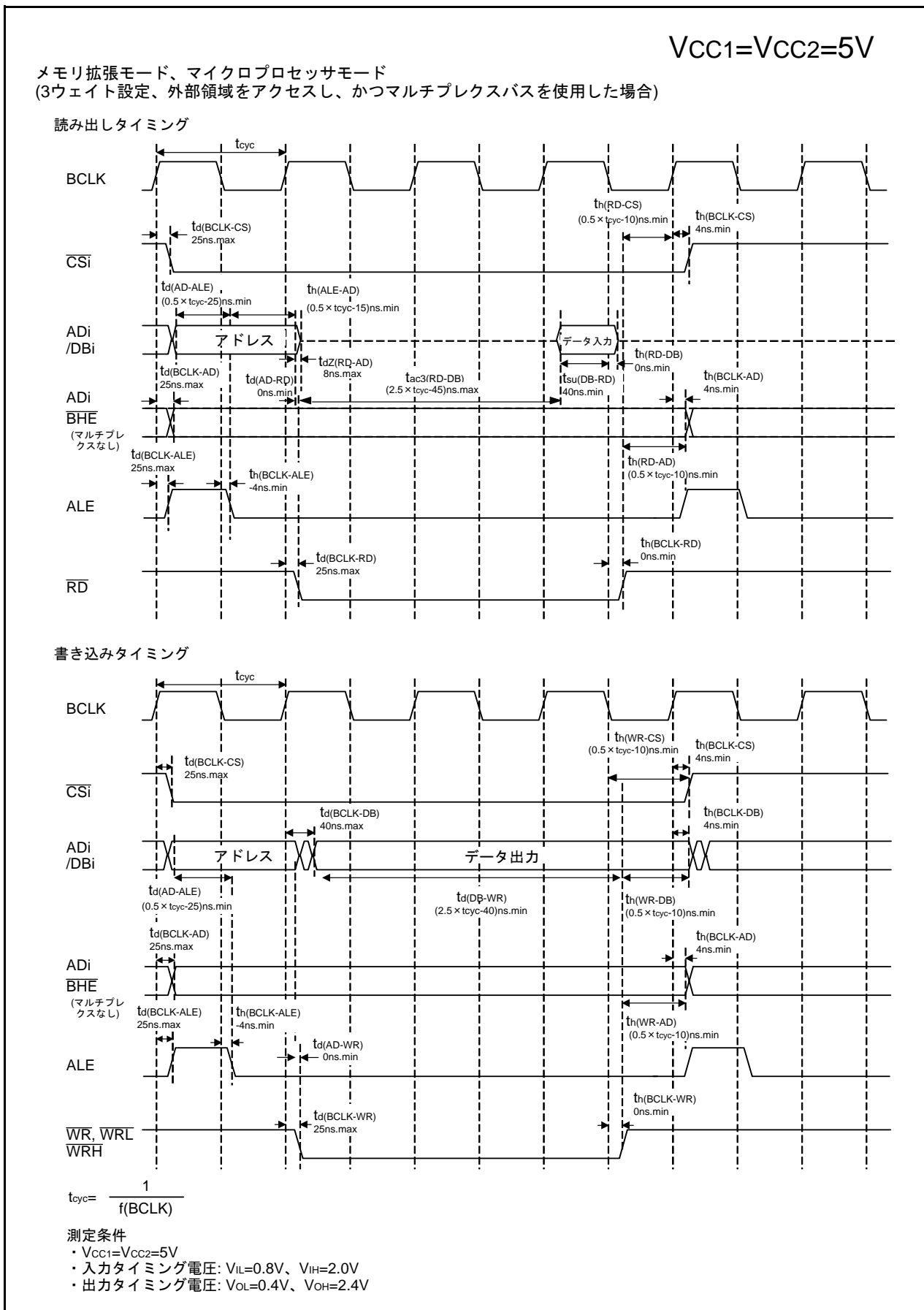


図5.11 タイミング図(9)

$$V_{CC1}=V_{CC2}=3V$$

表5.29 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -1mA	V <sub>CC1</sub> - 0.5		V <sub>CC1</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -1mA	V <sub>CC2</sub> - 0.5		V <sub>CC2</sub>	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH= -0.1mA	V <sub>CC1</sub> - 0.5		V <sub>CC1</sub>	V
		LOWPOWER	IOH= -50 μA	V <sub>CC1</sub> - 0.5		V <sub>CC1</sub>	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=1mA			0.5	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=1mA			0.5	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=0.1mA			0.5	V
		LOWPOWER	IOL=50 μA			0.5	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, NMI, ADTRG, CTS0~CTS2, SCL0~SCL2, SDA0~SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD2, SIN3, SIN4		0.2		0.8	V
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	RESET		0.2	(0.7)	1.8	V
I <sub>IH</sub>	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =3V			4.0	μA
I <sub>IL</sub>	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =0V			-4.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V <sub>I</sub> =0V	50	100	500	kΩ
R <sub>iXIN</sub>	帰還抵抗 XIN				3.0		MΩ
R <sub>iXCIN</sub>	帰還抵抗 XCIN				25		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=2.7~3.3V、V<sub>SS</sub>=0V、T<sub>opr</sub>= -20~85°C / -40~85°C、f(BCLK)=10MHzです。

注2. V<sub>CC</sub> : ポートP6~P11、P14はV<sub>CC1</sub>です。ポートP0~P5、P12~P13はV<sub>CC2</sub>です。

注3. 80ピン版では、P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は外部への接続がありません。

$$V_{CC1}=V_{CC2}=3V$$

表 5.30 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I <sub>CC</sub>	電源電流 (V <sub>CC1</sub> =2.7~3.6V) シングルチップモードで、 出力端子は開放、 その他の端子はV <sub>SS</sub>	マスクROM	f(BCLK)=10MHz 分周なし	8	11	mA
			オンチップオシレータ発振動作時 分周なし	1		mA
		フラッシュメモリ	f(BCLK)=10MHz 分周なし	8	13	mA
			オンチップオシレータ発振動作時 分周なし	1.8		mA
		フラッシュメモリ プログラム	f(BCLK)=10MHz V <sub>CC1</sub> =3.0V	12		mA
		フラッシュメモリ イレーズ	f(BCLK)=10MHz V <sub>CC1</sub> =3.0V	22		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)	25		μA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)	25		μA
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)	420		μA
			オンチップオシレータ発振動作、 ウェイトモード時	45		μA
			マスクROM、 フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High	6.0	
			f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low	1.8		μA
			ストップモード時 T <sub>opr</sub> =25°C	0.7	3.0	μA
I <sub>det4</sub>	電圧低下検出消費電流(注4)		0.6	4	μA	
I <sub>det3</sub>	リセット領域検出消費電流(注4)		0.4	2	μA	

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=2.7~3.3V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85°C / -40~85°C、f(BCLK)=10MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. I<sub>det</sub>は次のビットを“1”(検出回路有効)にしている場合の消費電流です。

I<sub>det4</sub> : VCR2レジスタのVC27ビット

I<sub>det3</sub> : VCR2レジスタのVC26ビット

$$V_{CC1}=V_{CC2}=3V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.31 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
$t_c$	外部クロック入力サイクル時間	(注2)		ns
$t_w(H)$	外部クロック入力“H”パルス幅	(注3)		ns
$t_w(L)$	外部クロック入力“L”パルス幅	(注3)		ns
$t_r$	外部クロック立ち上がり時間		(注4)	ns
$t_f$	外部クロック立ち下がり時間		(注4)	ns

注1. 条件は $V_{CC1}=V_{CC2}=2.7\sim 3.0V$ です。注2.  $V_{CC1}$ の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC2} - 44} [\text{ns}]$$

注3.  $V_{CC1}$ の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC1} - 44} \times 0.4 [\text{ns}]$$

注4.  $V_{CC1}$ の電圧に応じて次の計算式で算出されます。

$$-10 \times V_{CC1} + 45 [\text{ns}]$$

表5.32 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
$t_{ac3}(RD-DB)$	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	50		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	40		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	50		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 60 [\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60 [\text{ns}] \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60 [\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

$$VCC1=VCC2=3V$$

## タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=3V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.33 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	60		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	60		ns

表5.34 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	300		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	300		ns

表5.35 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

表5.36 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

表5.37 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1500		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1500		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	600		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	600		ns

表5.38 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	2		$\mu s$
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	500		ns

$$V_{CC1}=V_{CC2}=3V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.39 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表5.40 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表5.41 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表5.42 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	200		ns

表5.43 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

表5.44 外部割り込み $\overline{INTi}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	$\overline{INTi}$ 入力“H”パルス幅	380		ns
$t_{w(INL)}$	$\overline{INTi}$ 入力“L”パルス幅	380		ns

$$V_{CC1}=V_{CC2}=3V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表5.45 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 5.12		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK 基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK 基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			25	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD 信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR 信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR 信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK 基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA 出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$  とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) = 6.7\text{ns}$$

となります。

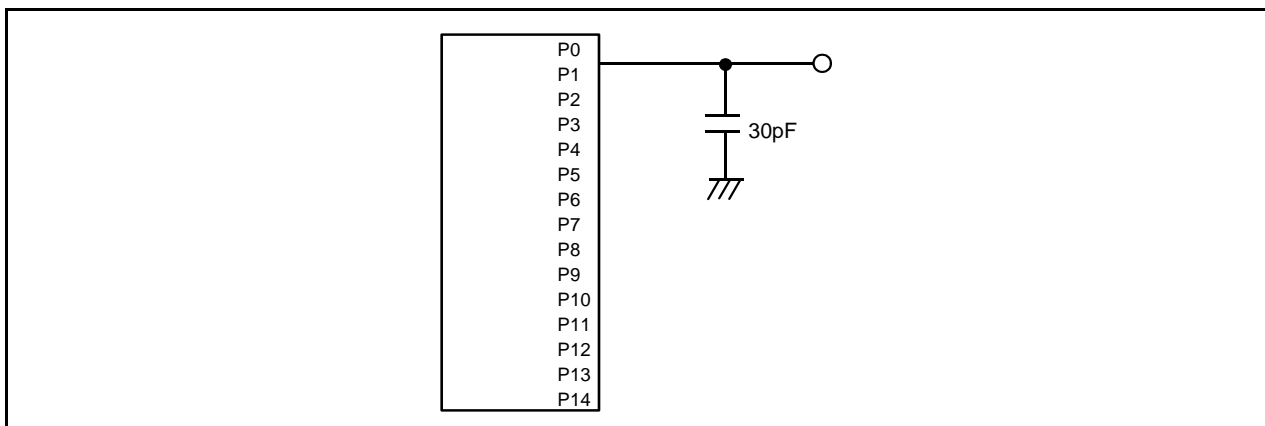
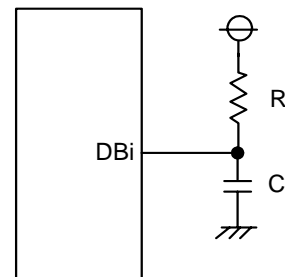


図5.12 ポートP0～P14の測定回路



$$V_{CC1}=V_{CC2}=3V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )表5.46 メモリ拡張モード、マイクロプロセッサモード  
(1～3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 5.12		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			25	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、  
3ウェイト設定の場合“3”  
n=1の場合は、f(BCLK)は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

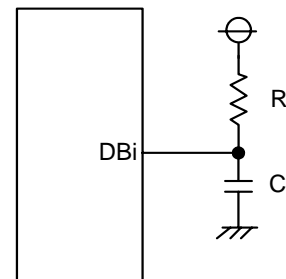
例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$  とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。



$$V_{CC1}=V_{CC2}=3V$$

## スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )表5.47 メモリ拡張モード、マイクロプロセッサモード  
(2～3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 5.12		50	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			50	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-CS})$	チップセレクト出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-CS})$	チップセレクト出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			40	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			40	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			50	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注2)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns
$t_d(\text{BCLK-ALE})$	ALE出力遅延時間 (BCLK基準)			25	ns
$t_h(\text{BCLK-ALE})$	ALE出力保持時間 (BCLK基準)		-4		ns
$t_d(\text{AD-ALE})$	ALE出力遅延時間 (アドレス基準)		(注3)		ns
$t_h(\text{ALE-AD})$	ALE出力保持時間 (アドレス基準)		(注4)		ns
$t_d(\text{AD-RD})$	アドレス後RD信号出力遅延時間		0		ns
$t_d(\text{AD-WR})$	アドレス後WR信号出力遅延時間		0		ns
$t_{dZ}(\text{RD-AD})$	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 50[\text{ns}] \quad n \text{は2ウェイト設定の場合 "2"、3ウェイト設定の場合 "3"}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

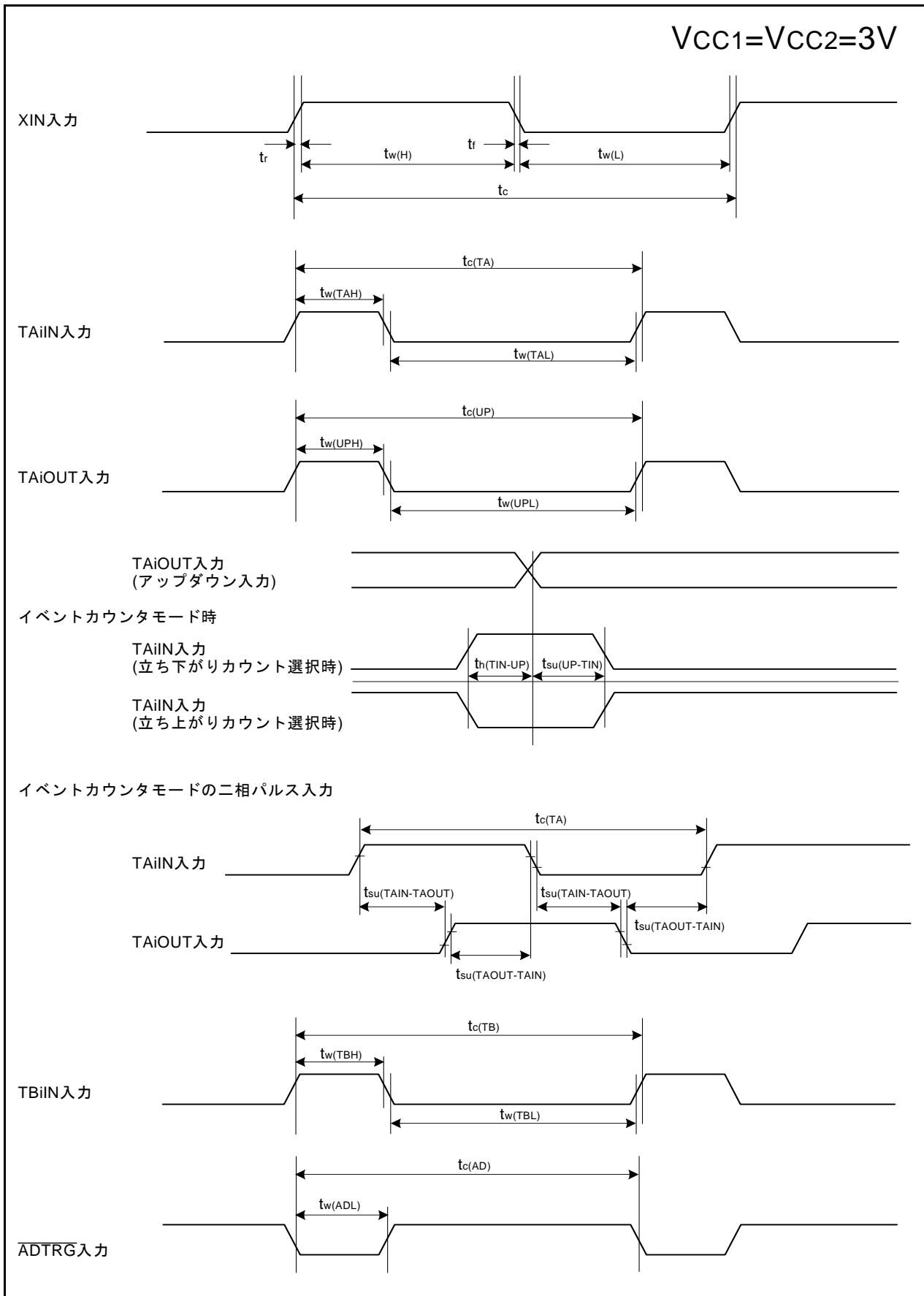


図5.13 タイミング図(1)

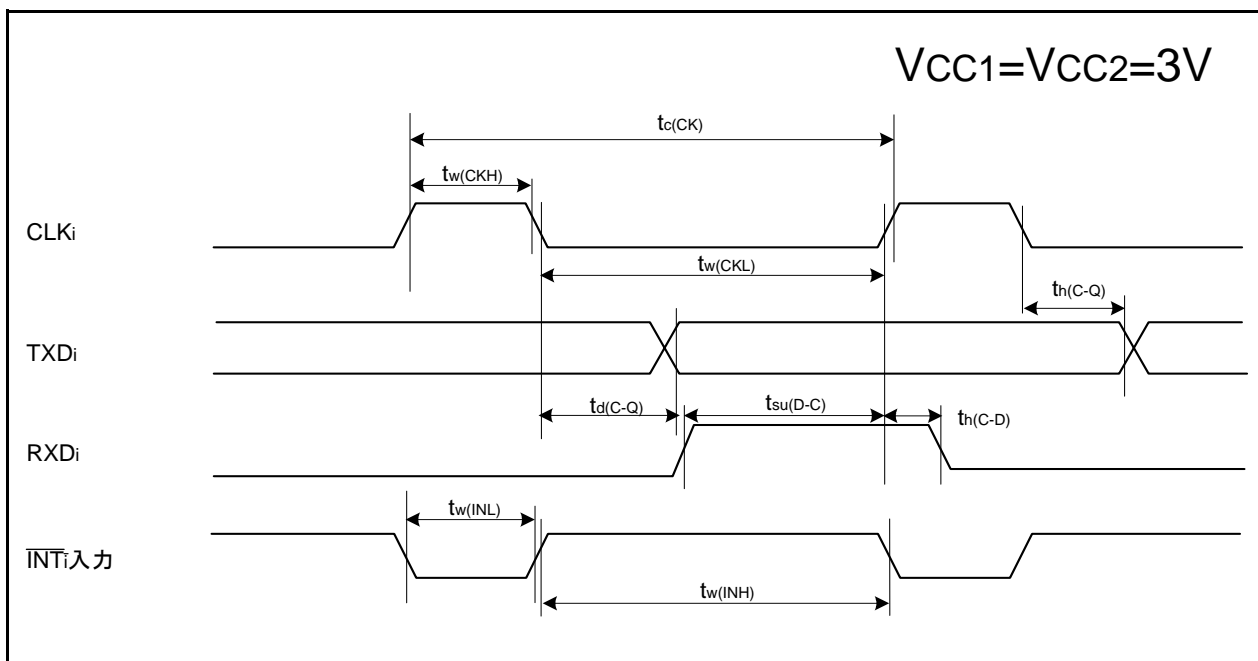


図5.14 タイミング図(2)

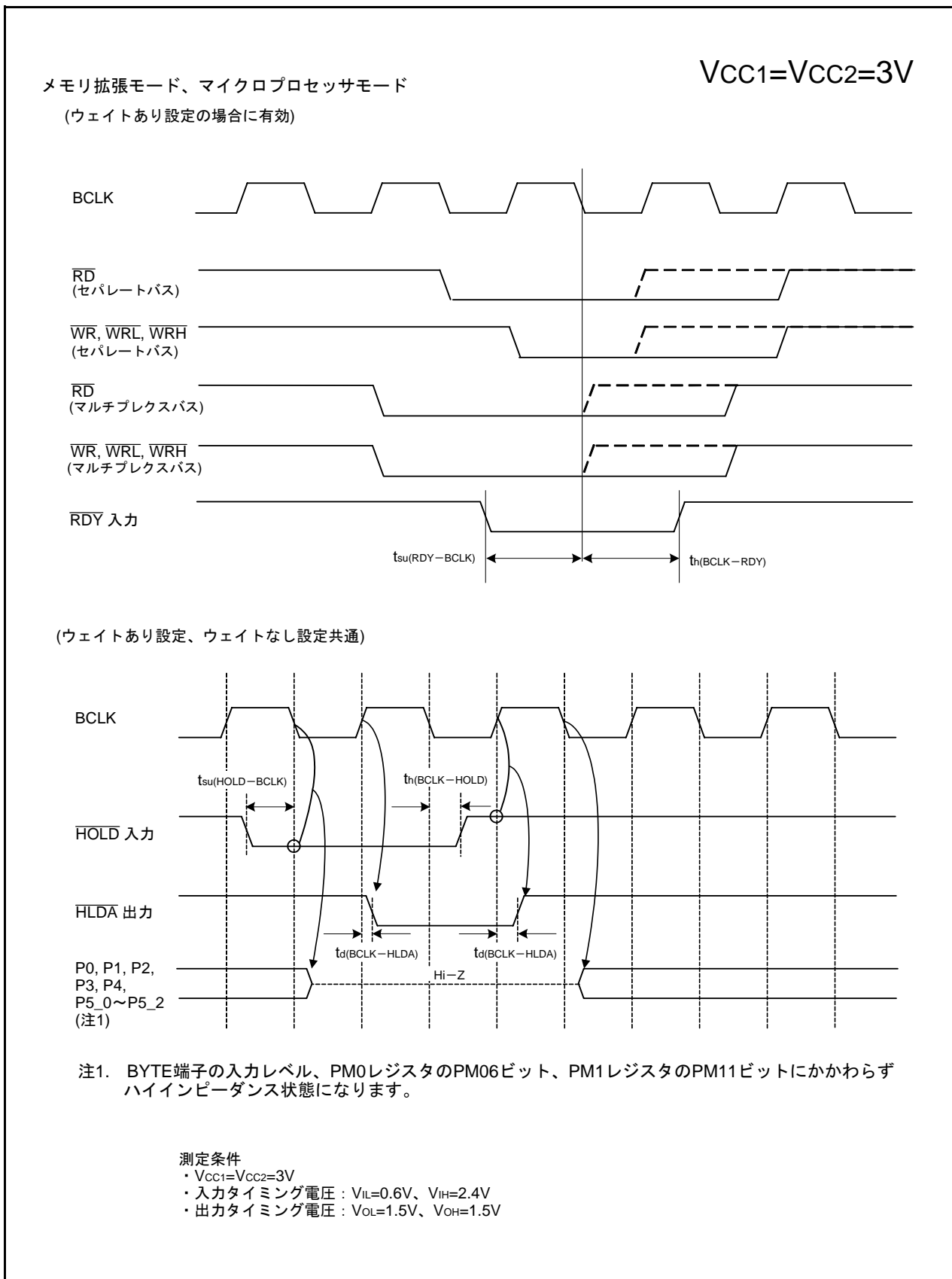


図5.15 タイミング図(3)

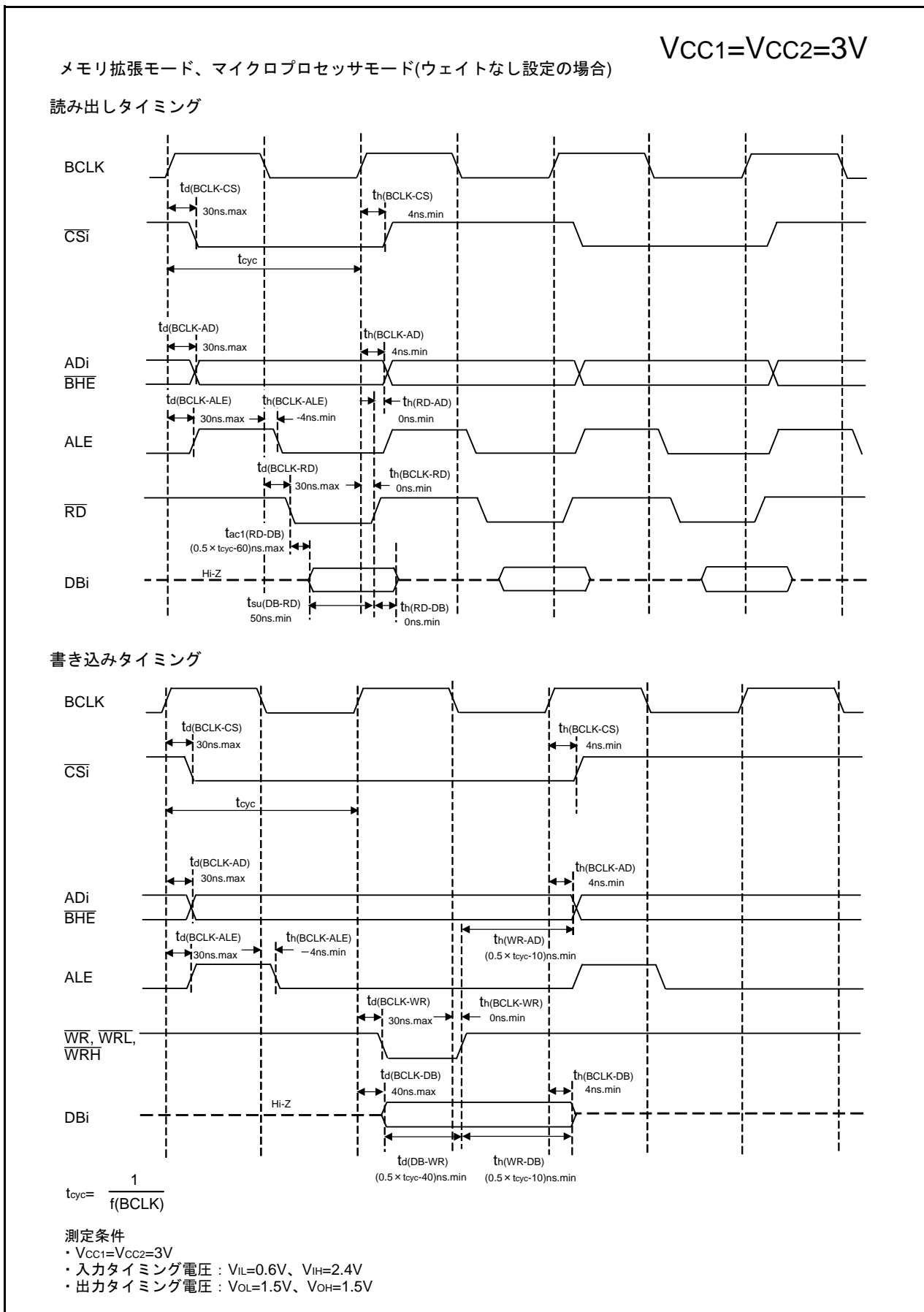


図5.16 タイミング図(4)

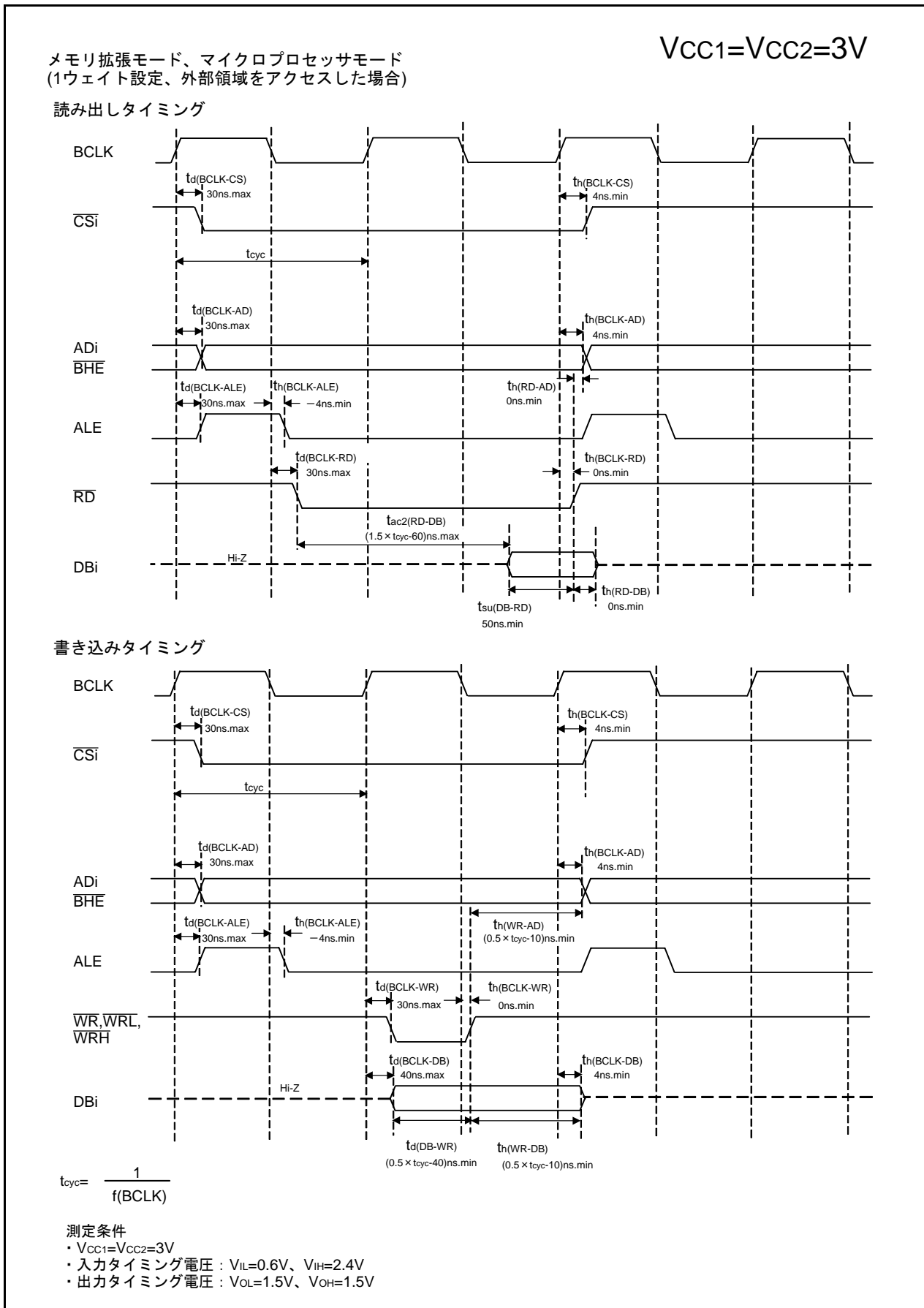


図5.17 タイミング図(5)

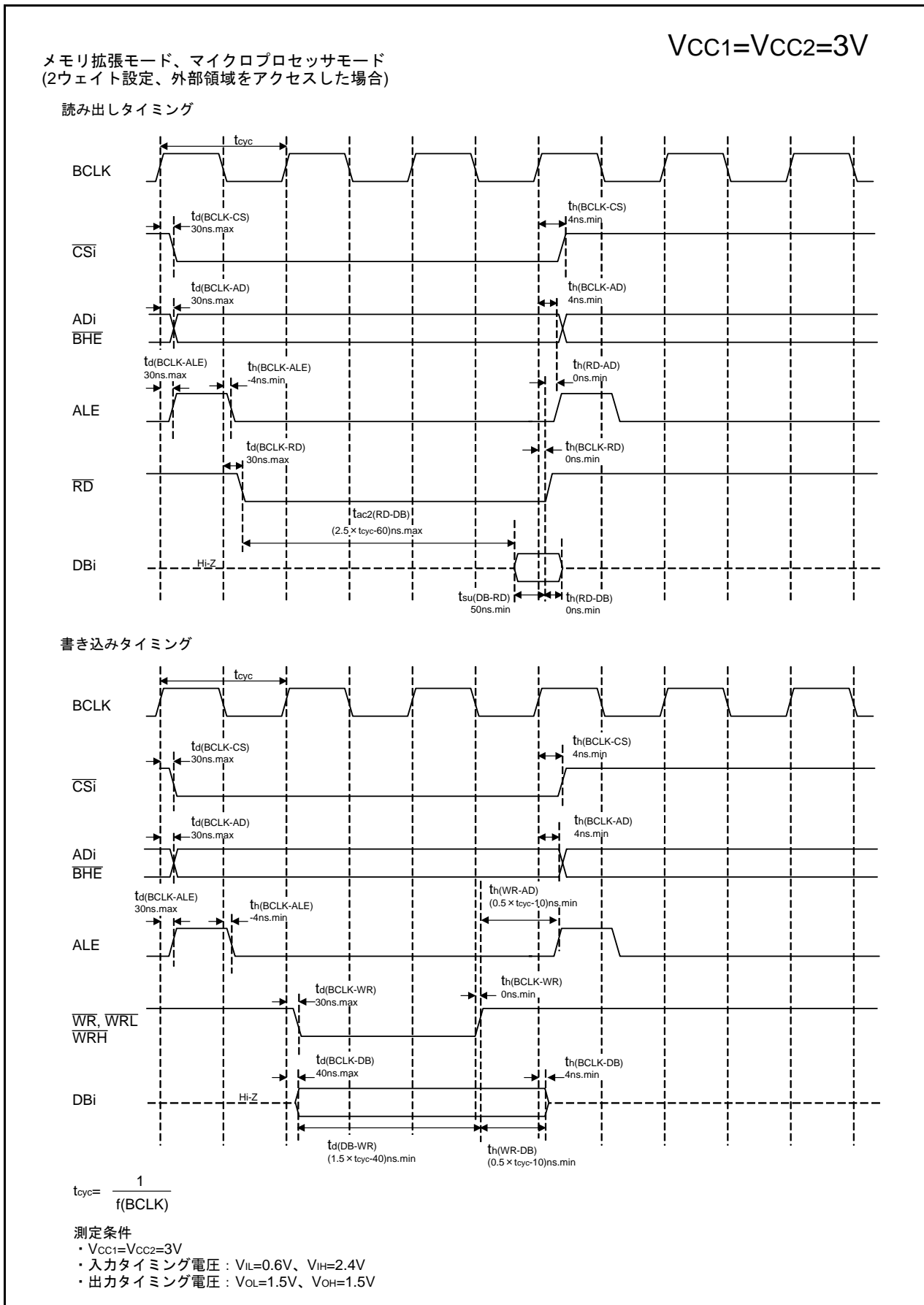


図5.18 タイミング図(6)



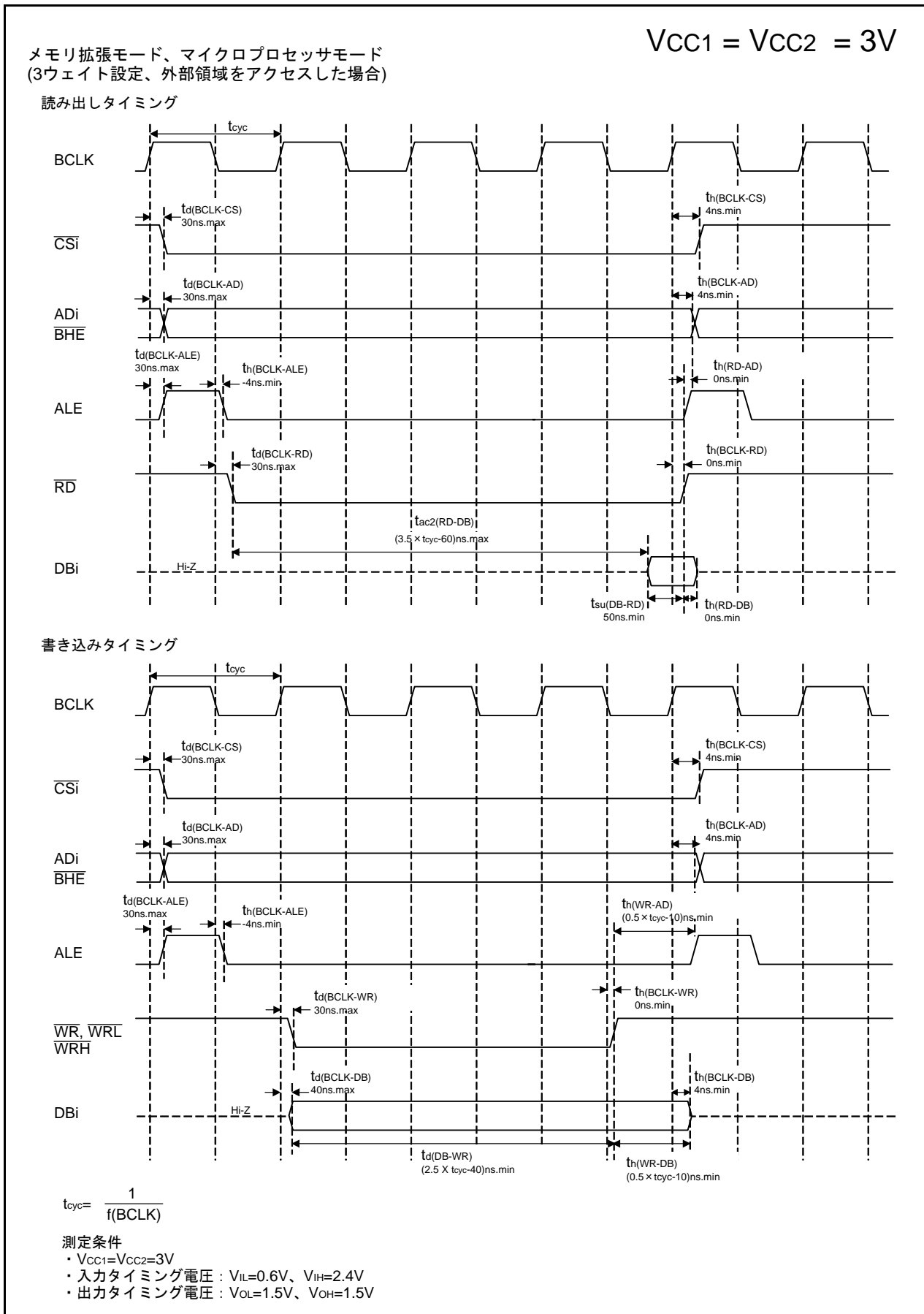


図5.19 タイミング図(7)

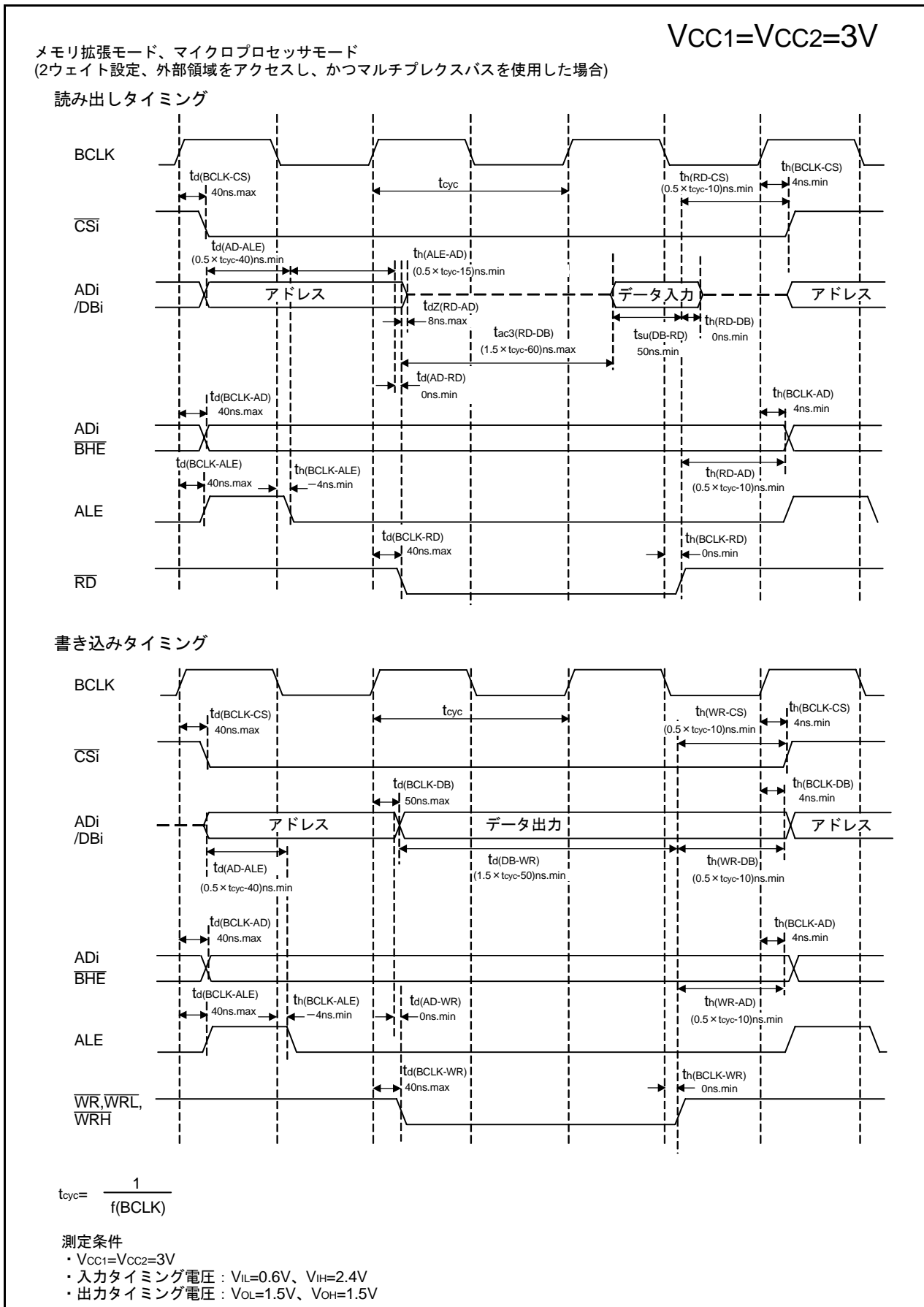


図5.20 タイミング図(8)

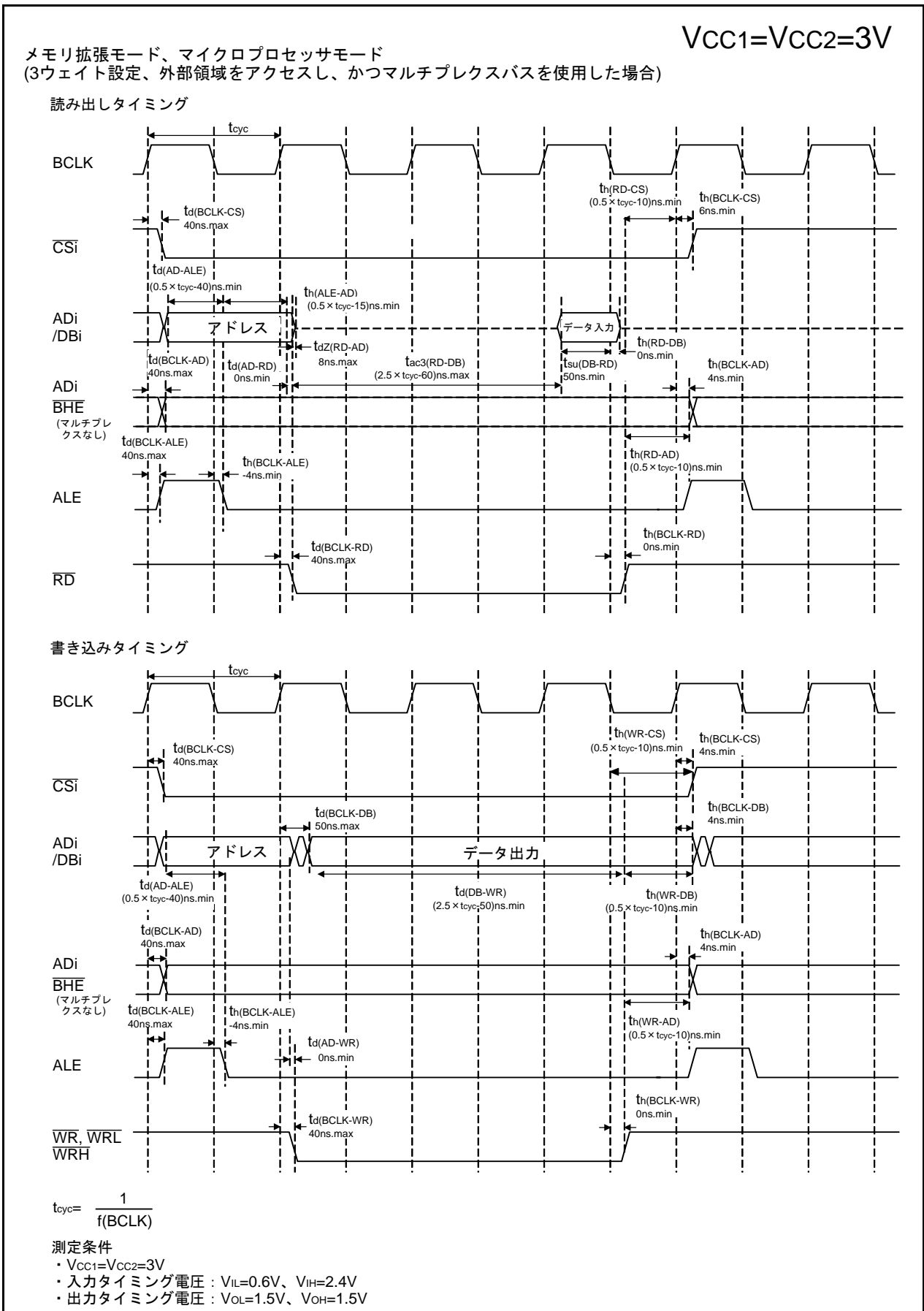


図5.21 タイミング図(9)

## 5.2 電気的特性(M16C/62PT)

表 5.48 絶対最大定格

記号	項目		条件	定格値	単位
V <sub>CC1</sub> , V <sub>CC2</sub>	電源電圧		V <sub>CC1</sub> =V <sub>CC2</sub> =AV <sub>CC</sub>	-0.3~6.5	V
AV <sub>CC</sub>	アナログ電源電圧		V <sub>CC1</sub> =V <sub>CC2</sub> =AV <sub>CC</sub>	-0.3~6.5	V
V <sub>I</sub>	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, VREF, XIN		-0.3~V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V <sub>CC2</sub> +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
V <sub>O</sub>	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P11_0~P11_7, P14_0, P14_1, XOUT		-0.3~V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V <sub>CC2</sub> +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
P <sub>d</sub>	消費電力		-40°C < T <sub>opr</sub> ≤ 85°C	300	mW
			85°C < T <sub>opr</sub> ≤ 125°C	200	
T <sub>opr</sub>	動作周囲温度	マイコン動作時		-40~85 / -40~125 (注2)	°C
		フラッシュ書き込み消去時		0~60	
T <sub>stg</sub>	保存温度			-65~150	°C

注1. 80ピン版では、P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は外部への接続がありません。

注2. Tバージョンは-40°C~85°C、Vバージョンは-40°C~125°Cです。

表 5.49 推奨動作条件(注1)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC1, VCC2	電源電圧(VCC1=VCC2)	4.0	5.0	5.5	V	
AVCC	アナログ電源電圧		VCC1		V	
VSS	電源電圧		0		V	
AVSS	アナログ電源電圧		0		V	
VIH	"H"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	0.8VCC2		VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0.8VCC2		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	V
		P7_0, P7_1	0.8VCC1		6.5	V
VIL	"L"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	0		0.2VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0		0.2VCC2	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE	0		0.2VCC1	V
IOH(peak)	"H" 尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-10.0	mA
IOH(avg)	"H" 平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-5.0	mA
IOL(peak)	"L" 尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			10.0	mA
IOL(avg)	"L" 平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			5.0	mA
f(XIN)	メインクロック入力発振周波数	VCC1=4.0~5.5V	0		16	MHz
f(XCIN)	サブクロック発振周波数			32.768	50	kHz
f(Ring)	オンチップオシレータ発振周波数		0.5	1	2	MHz
f(PLL)	PLLクロック発振周波数	VCC1=4.0~5.5V	10		24	MHz
f(BCLK)	CPU動作周波数		0		24	MHz
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	VCC1=5.0V			20	ms

注1. 指定のない場合は、VCC1=VCC2=4.0~5.5V、Topr=-40~85℃ / -40~125℃です。

Tバージョンは-40℃~85℃、Vバージョンは-40℃~125℃です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0,P1,P2,P8\_6,P8\_7,P9,P10,P11,P14\_0,P14\_1のIOL(peak)の合計は80mA以下、ポートP3,P4,P5,P6,P7,P8\_0~P8\_4,P12,P13のIOL(peak)の合計は80mA以下、ポートP0,P1,P2のIOH(peak)の合計は-40mA以下、ポートP3,P4,P5,P12,P13のIOH(peak)の合計は-40mA以下、ポートP6,P7,P8\_0~P8\_4のIOH(peak)の合計は-40mA以下、ポートP8\_6,P8\_7,P9,P10,P11,P14\_0,P14\_1のIOH(peak)の合計は-40mA以下にしてください。また、80ピン版では、VCC、VSSが1本のため、全ポートのIOL(peak)の合計およびIOH(peak)の合計は80mA以下にしてください。

注4. 80ピン版では、P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は外部への接続がありません。

表5.50 A/D変換特性(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能		VREF=VCC1			10	Bits
INL	積分 非直線性 誤差	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 外部オペアンプ接続モード		±3	LSB
		8bit	VREF=VCC1=5.0V			±7	LSB
-	絶対精度	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 外部オペアンプ接続モード		±3	LSB
		8bit	VREF=VCC1=5.0V			±7	LSB
-	許容信号源インピーダンス				3		kΩ
DNL	微分非直線性誤差					±1	LSB
-	オフセット誤差					±3	LSB
-	ゲイン誤差					±3	LSB
RLADDER	ラダー抵抗		VREF=VCC1		10	40	kΩ
tCONV	変換時間(10bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.75			μs
tCONV	変換時間(8bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.33			μs
tSAMP	サンプリング時間			0.25			μs
VREF	基準電圧			2.0		VCC1	V
VIA	アナログ入力電圧			0		VREF	V

注1. 指定のない場合は、 $V_{CC1}=AV_{CC}=V_{REF}=4.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C / -40\sim 125^{\circ}C$ です。

Tバージョンは $-40^{\circ}C\sim 85^{\circ}C$ 、Vバージョンは $-40^{\circ}C\sim 125^{\circ}C$ です。

注2. φADの周波数は12MHz以下にしてください。

注3. サンプル&ホールドなしのときは、注2の制限に加えφADの周波数は250kHz以上にしてください。

サンプル&ホールドありのときは、注2の制限に加えφADの周波数は1MHz以上にしてください。

表5.51 D/A変換特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t <sub>su</sub>	設定時間				3	μs
R <sub>o</sub>	出力抵抗		4	10	20	kΩ
I <sub>VREF</sub>	基準電源入力電流	(注2)			1.5	mA

注1. 指定のない場合は、 $V_{CC1}=V_{REF}=4.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C / -40\sim 125^{\circ}C$ です。  
Tバージョンは $-40^{\circ}C\sim 85^{\circ}C$ 、Vバージョンは $-40^{\circ}C\sim 125^{\circ}C$ です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。

A/Dコンバータのラダー抵抗分は除きます。また、A/D制御レジスタでVref未接続とした場合でも、D/AコンバータのI<sub>VREF</sub>は流れます。

表5.52 フラッシュメモリの電気的特性(注1) 100回品(B, U)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3)	100			回
-	ワードプログラム時間(V <sub>CC1</sub> =5.0V)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 (V <sub>CC1</sub> =5.0V)	4Kバイトブロック	0.3	4	s
		8Kバイトブロック	0.3	4	s
		32Kバイトブロック	0.5	4	s
		64Kバイトブロック	0.8	4	s
-	イレーズ全アンロックブロック時間(注2)			4 × n	s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	20			年

表5.53 フラッシュメモリの電気的特性(注6)  
10,000回品(B7, U7)(ブロックA、ブロック1(注7))

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3、8、9)	10,000(注4)			回
-	ワードプログラム時間(V <sub>CC1</sub> =5.0V)		25		μs
-	ロックビットプログラム時間		25		μs
-	ブロックイレーズ時間 (V <sub>CC1</sub> =5.0V)	4Kバイトブロック	0.3		s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	20			年

注1. 指定のない場合は、V<sub>CC1</sub>=4.5~5.5V、T<sub>opr</sub>=0~60°C(B,U)です。

注2. nはイレーズするブロック数です。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注4. プログラム/イレーズ後の全ての電気的特性を保証する最小回数です。(保証は1~“最小”値の範囲です。)

注5. Ta(周囲温度)=55°Cの条件です。この条件以外でのデータ保持時間につきましては、ルネサス テクノロジ、ルネサス販売または特約店へお問い合わせください。

注6. 指定のない場合は、V<sub>CC1</sub>=4.5~5.5V、T<sub>opr</sub>=-40~85°C(B7, U7(Tバージョン))/-40~125°C(B7, U7(Vバージョン))です。

注7. プログラム、イレーズ回数が1,000回を超えたときのブロックA、ブロック1の規格です。

1,000回までのワードプログラム時間、ブロックイレーズ時間は全ブロック100回品と同じです。

注8. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組8ワードをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロック1のイレーズが均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めいたします。

注9. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注10.100回以上の書き換えを実施する場合(B7,U7)は、PM1レジスタのPM17ビットを“1”(ウェイトあり)に設定してください。

注11.不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

表5.54 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性( $T_{opr}=0\sim 60^{\circ}\text{C}$ (B, U)、 $T_{opr}=-40\sim 85^{\circ}\text{C}$ (B7, U7(Tバージョン))/ $-40\sim 125^{\circ}\text{C}$ (B7, U7(Vバージョン)))

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
$V_{CC1}=5.0\pm 0.5\text{V}$	$V_{CC1}=4.0\sim 5.5\text{V}$

表5.55 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(\text{P-R})$	電源投入時内部電源安定時間	$V_{CC1}=4.0\sim 5.5\text{V}$			2	ms
$t_d(\text{R-S})$	STOP解除時間				150	$\mu\text{s}$
$t_d(\text{W-S})$	低消費電力モードウェイトモード解除時間				150	$\mu\text{s}$

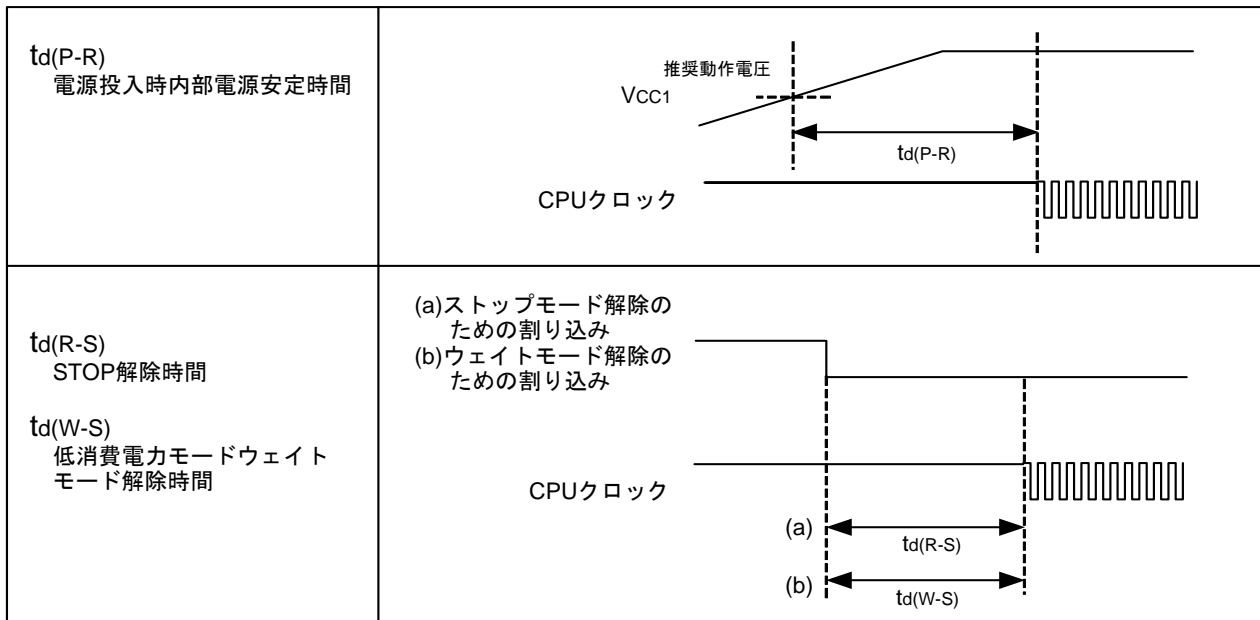


図5.22 電源回路のタイミング図



$$V_{CC1}=V_{CC2}=5V$$

表5.56 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -5mA	V <sub>CC1</sub> - 2.0		V <sub>CC1</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -5mA(注2)	V <sub>CC2</sub> - 2.0		V <sub>CC2</sub>	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -200μA	V <sub>CC1</sub> - 0.3		V <sub>CC1</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -200μA(注2)	V <sub>CC2</sub> - 0.3		V <sub>CC2</sub>	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH= -1mA	V <sub>CC1</sub> - 2.0		V <sub>CC1</sub>	V
		LOWPOWER	IOH= -0.5mA	V <sub>CC1</sub> - 2.0		V <sub>CC1</sub>	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=5mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=5mA(注2)			2.0	
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=200μA			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=200μA(注2)			0.45	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=1mA			2.0	V
		LOWPOWER	IOL=0.5mA			2.0	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, NMI, ADTRG, CTS0~CTS2, SCL0~SCL2, SDA0~SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KIO~KI3, RXD0~RXD2, SIN3, SIN4		0.2		1.0	V
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	RESET		0.2		2.5	V
I <sub>IH</sub>	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =5V			5.0	μA
I <sub>IL</sub>	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =0V			-5.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V <sub>I</sub> =0V	30	50	170	kΩ
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN			1.5		MΩ
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN			15		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=4.0~5.5V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-40~85℃ / -40~125℃、f(BCLK)=24MHzです。

Tバージョンは-40℃~85℃、Vバージョンは-40℃~125℃です。

注2. 80ピン版では、P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1は外部への接続がありません。

$$V_{CC1}=V_{CC2}=5V$$

表5.57 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I <sub>CC</sub>	電源電流 (V <sub>CC1</sub> =4.0~5.5V) シングルチップモードで、 出力端子は開放、 その他の端子はV <sub>SS</sub>	マスクROM	f(BCLK)=24MHz PLL動作時、分周なし	14	20	mA
			オンチップオシレータ発振動作時 分周なし	1		mA
		フラッシュメモリ	f(BCLK)=24MHz PLL動作時、分周なし	18	27	mA
			オンチップオシレータ発振動作時 分周なし	1.8		mA
		フラッシュメモリ プログラム	f(BCLK)=10MHz V <sub>CC1</sub> =5.0V	15		mA
		フラッシュメモリ イレーズ	f(BCLK)=10MHz V <sub>CC1</sub> =5.0V	25		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)	25		μA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)	25		μA
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)	420		μA
			オンチップオシレータ発振動作、 ウェイトモード時	50		μA
			マスクROM、 フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High	7.5	
			f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low	2.0		μA
			ストップモード時 T <sub>opr</sub> =25°C	2.0	6.0	μA
			ストップモード時 T <sub>opr</sub> =85°C		20	μA
			ストップモード時 T <sub>opr</sub> =125°C		TBD	μA

注1. 指定のない場合は、V<sub>CC1</sub>=V<sub>CC2</sub>=4.0~5.5V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-40~85°C / -40~125°C、  
f(BCLK)=24MHzです。

Tバージョンは-40°C~85°C、Vバージョンは-40°C~125°Cです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

$$VCC1=VCC2=5V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) /  $-40\sim 125^{\circ}C$ (Vバージョン))

表5.58 外部クロック入力 (XIN入力)

記号	項目	規格値		単位
		最小	最大	
$t_c$	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力“H”パルス幅	25		ns
$t_w(L)$	外部クロック入力“L”パルス幅	25		ns
$t_r$	外部クロック立ち上がり時間		15	ns
$t_f$	外部クロック立ち下がり時間		15	ns

$$VCC1=VCC2=5V$$

## タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) /  $-40\sim 125^{\circ}C$ (Vバージョン))

表5.59 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

表5.60 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	200		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	200		ns

表5.61 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表5.62 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表5.63 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

表5.64 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

$$V_{CC1}=V_{CC2}=5V$$

## タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) /  $-40\sim 125^{\circ}C$ (Vバージョン))

表5.65 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表5.66 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表5.67 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表5.68 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	125		ns

表5.69 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

表5.70 外部割り込み $\overline{INTi}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	$\overline{INTi}$ 入力“H”パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$ 入力“L”パルス幅	250		ns

$$VCC1=VCC2=5V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) /  $-40\sim 125^{\circ}C$ (Vバージョン))

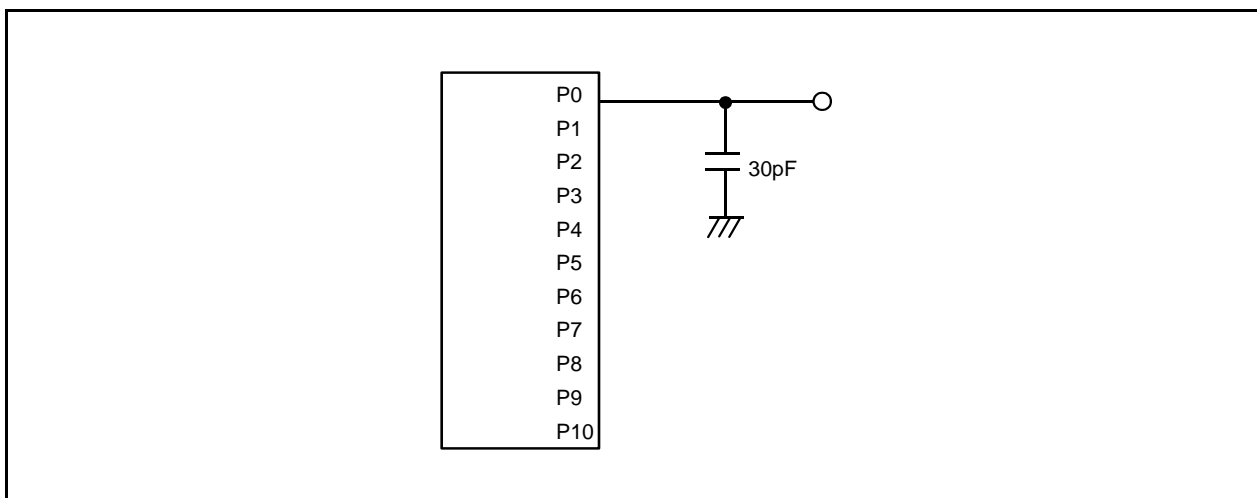


図5.23 ポートP0～P10の測定回路

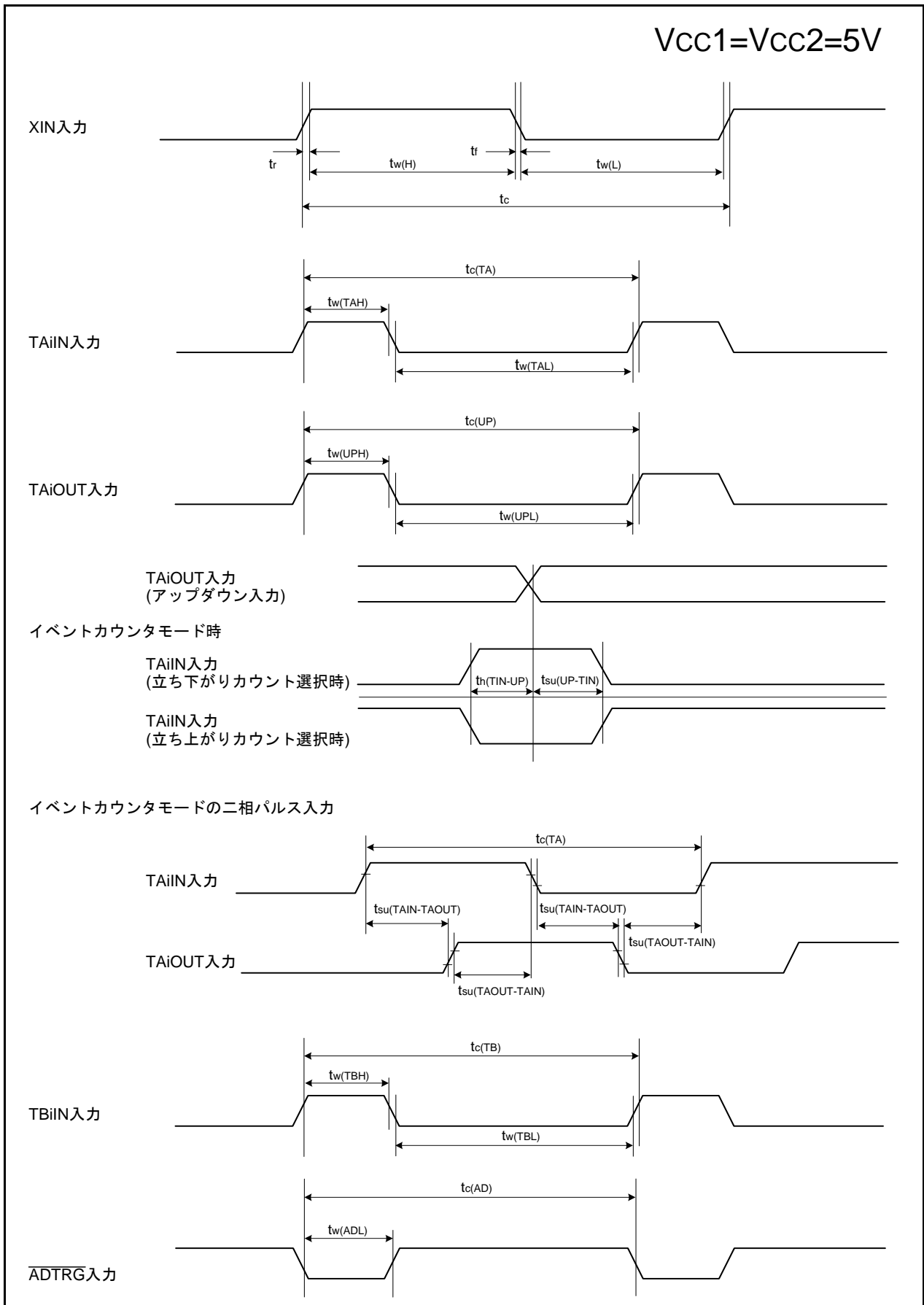


図5.24 タイミング図(1)

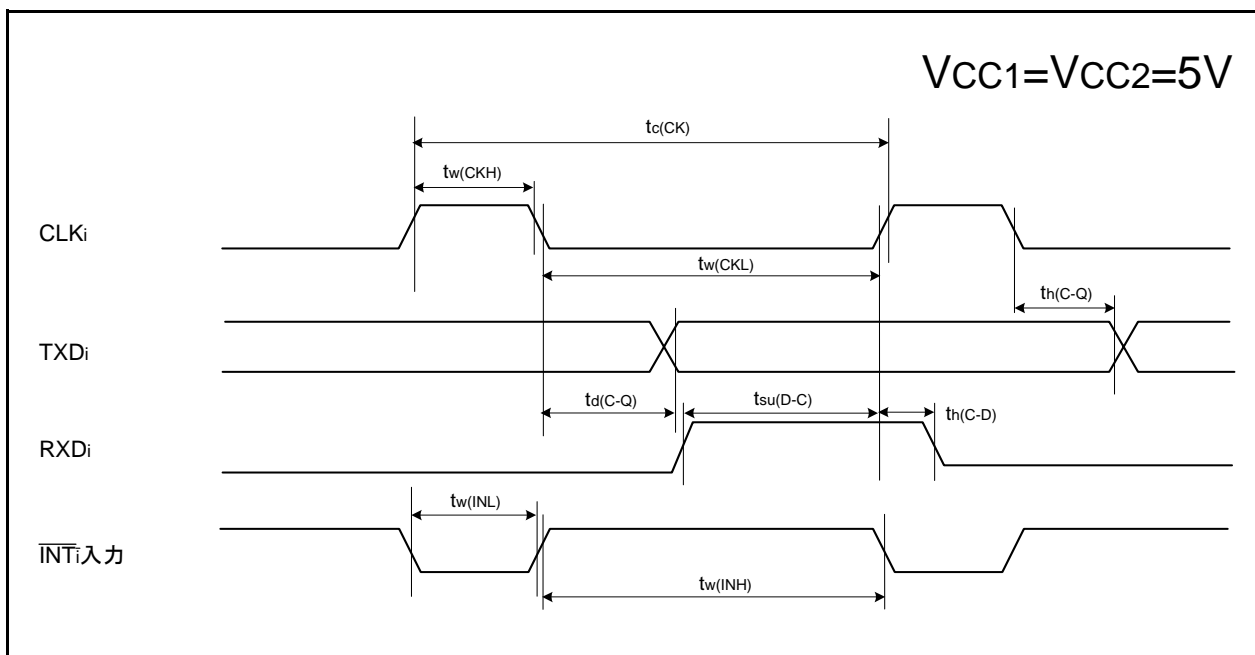
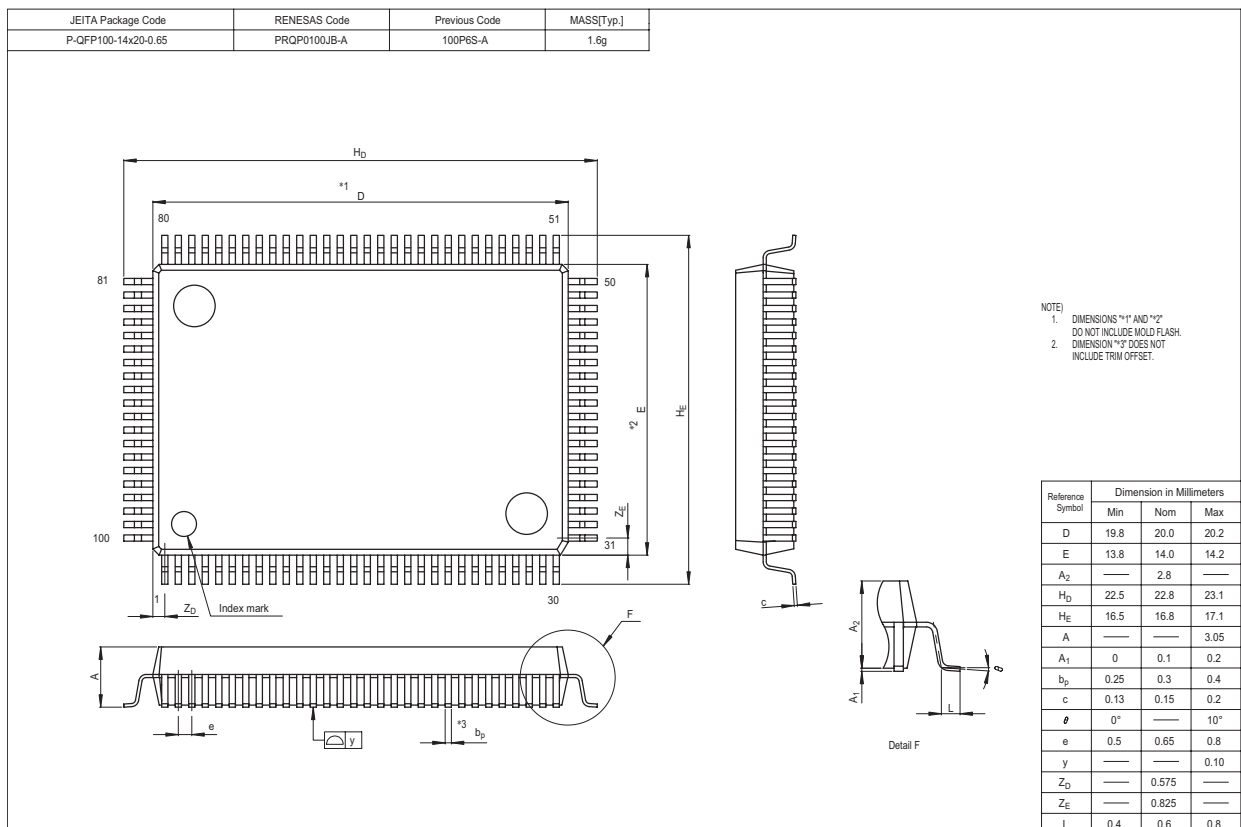
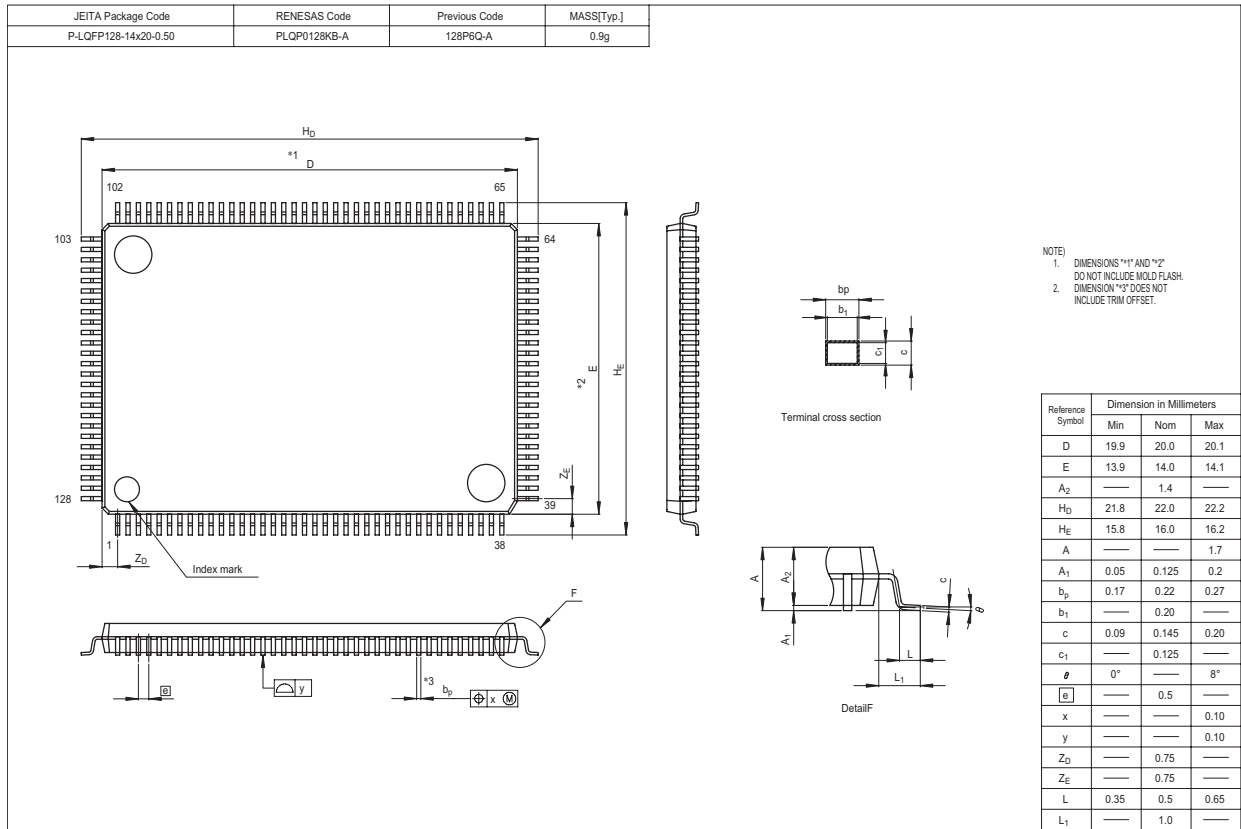
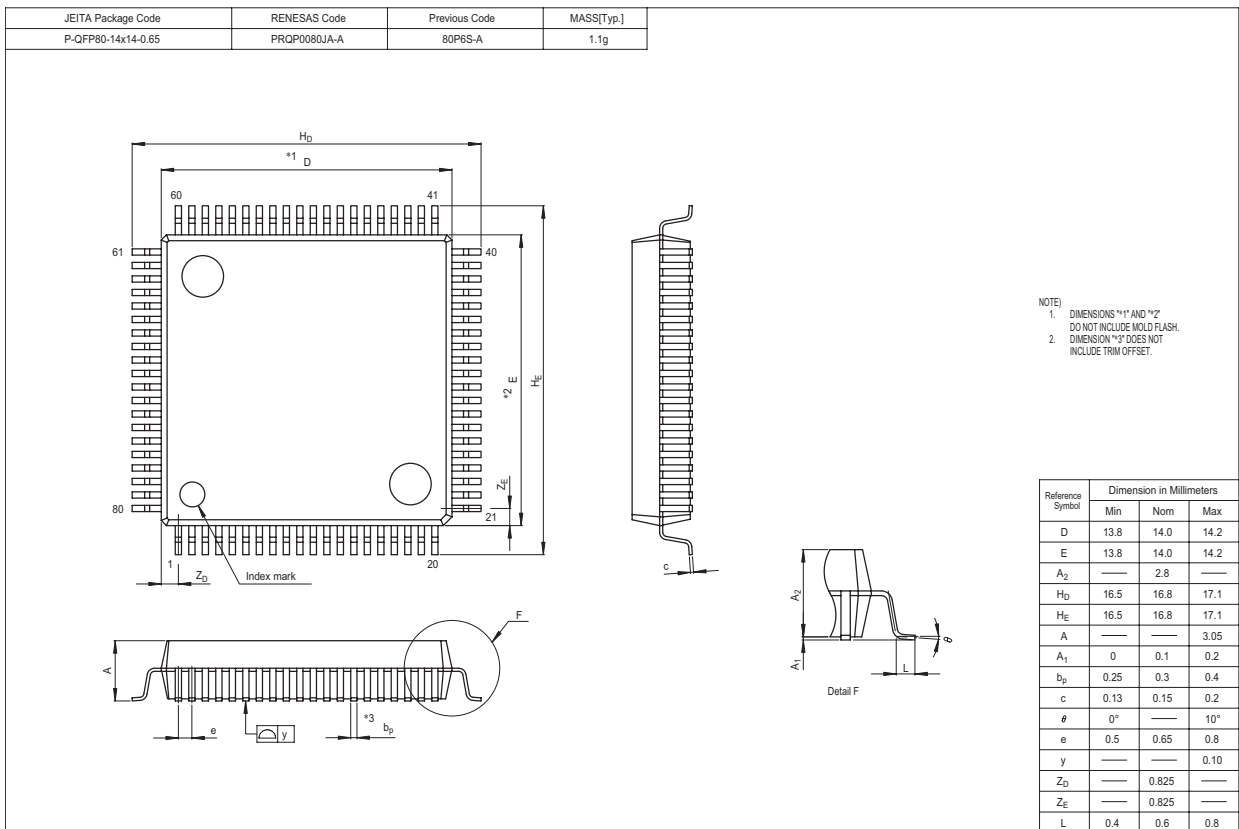
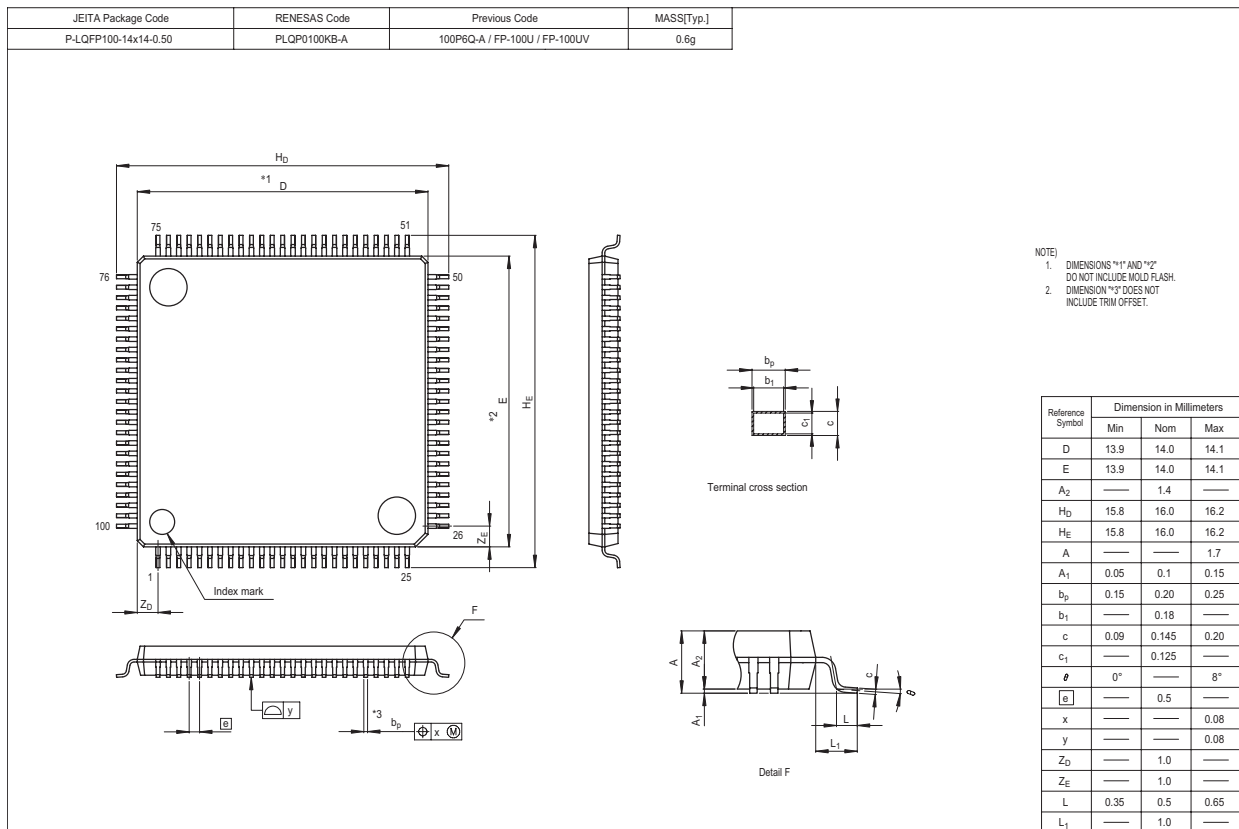


図5.25 タイミング図(2)



付録1. 外形寸法図





## 改訂記録

## M16C/62P グループ (M16C/62P、M16C/62PT) データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2003.05.28	2	クロック発生回路の性能欄変更 割り込み 内部要因変更 (25→29) フラッシュメモリ版 プログラム、イレーズ回数に追加
		4-5	表 1.1.2、表 1.1.3 を変更
		11-16	リセット後の値変更 (?→×)、補足を一部削除 注 1. の文章を一部変更
		22	表 1.5.3 規定値を一部変更、項目を追加
		23	表 1.5.5 項目を追加
		23	表 1.5.6 を追加
		24	表 1.5.9 項目を追加
		30	表 1.5.26 注 1 に文章追加、注 2 の計算式に追加
		31	表 1.5.27 注 1 に文章追加
		30-31	表 1.5.26、表 1.5.27 データ保持時間(BCLK 基準)に注 3 追加
		32	表 1.5.28 th(ALE-AD)に注 4 を追加、注 1 の計算式に追加
		30-32	スイッチング特性 補足を一部削除
		36-39	図 1.5.5 ~ 図 1.5.8 書き込みタイミング th(WR-AD)、th(WR-DB) を変更
		40-41	図 1.5.9、図 1.5.10 読み出しタイミング th(ALE-AD)、書き込みタイミ ング th(WR-CS)、th(WR-DB)、th(WR-AD) を変更
		42	表 1.5.29 注 2 を追加
		47	表 1.5.45 注 1 に文章追加、注 2 の計算式に追加
		48	表 1.5.46 注 1 に文章追加
		47-48	表 1.5.45、表 1.5.46 データ保持時間(BCLK 基準)に注 3 追加
		49	表 1.5.47 th(ALE-AD)に注 4 を追加、注 1 の計算式に追加
		47-49	スイッチング特性 補足を一部削除
		53-56	図 1.5.15 ~ 図 1.5.18 書き込みタイミング th(WR-AD)、th(WR-DB) を変更
		57-58	図 1.5.19、図 1.5.20 読み出しタイミング th(ALE-AD)、書き込みタイミ ング th(WR-CS)、th(WR-DB)、th(WR-AD) を変更
2.00	2003.10.29	-	高信頼性版追加。
		2-4	表 1.1 ~ 表 1.3 性能概要 最短命令実行時間 f(XIN)→f(BCLK)に変更。 シリアルI/O (オプション)を削除。 注 3 1,000 回保証→1,000 回に変更。
		4	表 1.3 性能概要 多機能タイマの三相モータ制御回路削除
		6	図 1.2 80 ピンのブロック図 注 5 を削除。
		7-9	表 1.4 ~ 表 1.7 製品一覧表 ★→(開)に、★★→(計)に変更。
		11	表 1.8 フラッシュメモリ版、ROM 外付け版の製品コード(M16C/62P)を 追加。 図 1.4 フラッシュメモリ版、ROM 外付け版のマーキング図 (上面図)(M16C/62P)を追加。

改訂記録		M16C/62P グループ (M16C/62P、M16C/62PT) データシート	
Rev.	発行日	改訂内容	
		ページ	ポイント
		12-15	図 1.5 ~ 図 1.8 ピン接続図に ZP を追加。
		17,19	表 1.10、表 1.12 端子の機能説明 タイマ A に ZP を追加。
		18,20	表 1.11、表 1.13 端子の機能説明 VREF に VCC1 を追加。
		30	表 5.1 絶対最大定格 消費電力の条件を変更。 動作周囲温度の項目を追加、定格値変更。 注 1 を追加。
		31-32	表 5.2 ~ 表 5.3 推奨動作条件 電源リップル追加のため、変更。
		33	表 5.4 A-D 変換特性 積分非直線性誤差、絶対精度の測定条件を変更。 許容信号源インピーダンスを追加。 変換時間 (10bit)、変換時間 (8bit) の測定条件を変更。 変換時間 (10bit)、変換時間 (8bit)、サンプリング時間の規格値 (最小) を変更。注 1 を変更。 表 5.5 D-A 変換特性 注 2 に追加。
		34,74	表 5.6 ~ 表 5.7、表 5.54 ~ 表 5.55、フラッシュメモリの電気的特性を変更。
		36	表 5.11 電気的特性 ヒステリシス $V_{T+}$ - $V_{T-}$ SCL → SCL0 ~ SCL2、 SDA → SDA0 ~ SDA2、TA2OUT → TA0OUT に変更。 ヒステリシス RESET の最大規格値 2.2 → 2.5 ヒステリシス XIN を追加。 注 3 を追加。
		38,55	表 5.14、表 5.33 メモリ拡張モード HLDA 出力遅延時間を削除。
		41	図 5.1 ポート P0 ~ P10 の測定回路を変更。 図題の P10 → P14 に変更。
		41,58	表 5.27、表 5.46 メモリ拡張モード、マイクロプロセッサモード HLDA 出力遅延時間を追加。
		42,59	表 5.28、表 5.47 メモリ拡張モード、マイクロプロセッサモード HLDA 出力遅延
		43,60	表 5.29、表 5.48 メモリ拡張モード、マイクロプロセッサモード HLDA 出力遅延時間を追加。
		44	図 5.2 タイミング図 (1) XIN 入力を追加。
		47-48	図 5.5 ~ 図 5.6 タイミング図 読み出しタイミング DB → DBi に修正。
		49-50	図 5.7 ~ 図 5.8 タイミング図 書き込みタイミング DB → DBi に修正。
		52	図 5.10 タイミング図 読み出しタイミング、書き込みタイミング DB → DBi に修正。
		53	表 5.30 電気的特性 $V_{OH}$ 、 $V_{OL}$ を変更。 ヒステリシス $V_{T+}$ - $V_{T-}$ SCL → SCL0 ~ SCL2、SDA → SDA0 ~ SDA2、 TA2OUT → TA0OUT に変更。 ヒステリシス XIN を追加。
		58	図 5.11 ポート P0 ~ P10 の測定回路を変更。図題の P10 → P14 に変更。
		64-65	図 5.15 ~ 図 5.16 タイミング図 読み出しタイミング DB → DBi に修正。
		66-67	図 5.17 ~ 図 5.18 タイミング図 書き込みタイミング DB → DBi に修正。
		69	図 5.20 タイミング図 読み出しタイミング、書き込みタイミング DB → DBi に修正。

改訂記録		M16C/62P グループ (M16C/62P、M16C/62PT) データシート	
Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2003.11.07	70-85 8-9 23 71	電气的特性 (M16C/62PT) を追加。 表 1.5 ~ 表 1.7 製品一覧表 注1 を削除。ROM 容量を一部変更。 図 3.1 メモリ配置を変更。 表 5.50 推奨動作条件(1) 電源リップルに関する部分を削除。 次ページの表 5.51 推奨動作条件(2) を下部に追加。次ページは削除。
2.11	2004.01.06	16 17-18 31	表 1.9 端子の機能説明(1) 電源系統に(注3)を追記。 注3 $VCC1 \geq VCC2$ を $VCC1 > VCC2$ に変更。 表 1.10 ~ 表 1.11 端子の機能説明(2)、(3) 電源系統に(注1)を追記。 注1 $VCC1 \geq VCC2$ を $VCC1 > VCC2$ に変更。 表 5.2 推奨動作条件(1) 電源リップル許容周波数の単位 MHz を kHz に変更
2.30	2004.08.06	- 6 7-9 11 12-14 16 17 18 24 33 34 70 72 73	用語統一(統一用語: オンチップオシレータ、ウォッチドッグタイマ、A/D コンバータ、D/A コンバータ) ハードウェアリセット2 → 電圧低下検出リセット(ハードウェアリセット2) 図 1.2 80 ピンのブロック図 三相モータ制御用回路を削除。 表 1.4 ~ 表 1.7 製品一覧表を変更。 表 1.9 フラッシュメモリ版の製品コード(M16C/62PT)を追加。 図 1.5 ~ 図 1.7 ピン接続図 <VCC1 系><VCC2 系>を追加。 表 1.10 端子の機能説明 注4 を変更。 表 1.11 端子の機能説明 注2 を変更。 表 1.12 端子の機能説明 注2 を変更。 表 4.1 SFR 一覧 注6 を変更。 表 5.5 A/D 変換特性 注2 を変更。 表 5.6 フラッシュの電气的特性 注10 を変更。 表 5.48 絶対最大定格 Vcc2 電源電圧を削除。 Vcc1, Vcc2 電源電圧、AVcc アナログ電源電圧を変更。 表 5.50 A/D 変換特性 注2 を変更。 表 5.53 フラッシュの電气的特性 注10 を変更。
2.41	2006.01.10	- 2-4 7 8 9	パッケージ型名を新型名に変更。 表 1.1 ~ 表 1.3 を変更。 表 1.4 製品一覧表(1) 内容を更新。 注1 を追加。 表 1.5 製品一覧表(2) 384+4K を追加。注3 を追加。 M3062LFGPFP、M3062LFGPGP、M30624SPFP、M30624SPGP、 M30626SPFP、M30626SPGP を追加。内容を更新。 注1、2 を追加。 表 1.6 製品一覧表(3) 注1、2 を追加。

改訂記録		M16C/62P グループ (M16C/62P、M16C/62PT) データシート	
Rev.	発行日	改訂内容	
		ページ	ポイント
		10	表 1.7 製品一覧表 (4) 注 1、2 を追加。
		11	図 1.3 形名とメモリサイズ・パッケージ・RAM 容量を変更。
		12	表 1.8 フラッシュメモリ版、ROM 外付け版の製品コードを変更。
		13	表 1.9 フラッシュメモリ版の製品コードを変更。
		15-17	表 1.10～表 1.11 128 ピン版端子名一覧表を追加。
		20-21	表 1.13～表 1.14 100 ピン版端子名一覧表を追加。
		23-24	表 1.15～表 1.16 80 ピン版端子名一覧表を追加。
		25	表 1.17 端子の機能説明 (100 ピン版、128 ピン版共通) 外部データバス切り替え→外部データバス幅
		34	表 4.1 SFR 一覧 (1) 注 4 VCR2 レジスタ～“0” になります。を削除。
		44	表 5.3 A/D 変換特性 サンプル&ホールド機能→サンプル&ホールド
		45	表 5.5 フラッシュメモリの電気的特性 100 回品 表 5.6 フラッシュメモリの電気的特性 10,000 回品 Topr を削除。 注 1、6 を変更。
			表 5.7 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 表題を変更。
		46	表 5.8 電圧低下検出回路の電気的特性 表題を変更。低電圧検出回路→電圧低下検出回路 注 2 を変更。 注 4 を追加。
		47	図 5.1 電源回路のタイミング図 電圧低下検出リセット (ハードウェアリ セット 2) 解除待ち時間のタイミング図 td(P-R)→td(S-R)
		50	表 5.12 外部クロック入力 注 1 を追加。
		48	表 5.10 電気的特性 (1)   VT+-VT-   ヒステリシス XIN   の行を削除
		61	表 5.31 外部クロック入力 注 1～4 を追加。
		85	表 5.52 フラッシュメモリの電気的特性 100 回品 規格値 数値変更 表 5.53 フラッシュメモリの電気的特性 10,000 回品 規格値 数値変更 Topr を削除。注 1、5、6 を変更。 表 5.54 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 表題を変更。
		87	表 5.56 電気的特性 (1)   VT+-VT-   ヒステリシス XIN   の行を削除

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)