

概要

M16C/6Sグループは、Yitran Communications Ltd で開発されたIT800PLCモデム技術を搭載した電力線通信モデムコアと、アナログフロントエンドを1チップ化したシングルチップマイクロコンピュータで、64ピンのプラスチックモールドLQFPパッケージに収められています。M16C/60シリーズCPUコアは、高いレベルのコード効率と高速演算処理を実現し、それに加えて内蔵IT800モデムコアはYitran社の特許であるDCSK (Differential Code Shift Keying) スペクトラム拡散変調方式を採用しており、既存の電気配線上で最大7.5kbpsの非常に信頼性の高い通信を可能にします。M16C/6Sは国際的な規格 (FCC part 15, ARIB and CENELEC bands) に適合しており、スマートメータやホームコントロールのような様々な狭帯域のアプリケーションに最適です。

応用

電力線通信

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

目 次	
概要	1
メモリ	11
中央演算処理装置	12
SFR	14
リセット	20
プロセッサモード	24
クロック発生回路	28
プロテクト	47
割り込み	48
ウォッチドッグタイマ	66
DMAC	68
タイマ	78
タイマA	79
シリアルI/O	89
クロック同期形シリアルI/Oモード	98
UARTモード	106
特殊モード	114
SI/O3, SI/O4	128
プログラマブル入出力ポート	133
電気的特性	144
フラッシュメモリ版	155
IT800アナログフロントエンド(AFE)	181
使用上の注意事項	186
付録	196

性能概要

表 1.1.1 にM16C/6Sグループに搭載されているM16Cコアの性能概要を示します。

表1.1.1. M16Cコア性能概要

項 目		性 能
CPU	基本命令数	91命令
	最小命令実行時間	65.1ns (f (BCLK) = 15.36MHz、Vcc=3.0~3.6V)
	動作モード	シングルチップモード
	アドレス空間	1 Mバイト
	メモリ容量	ROM RAM
周辺機能	ポート	入出力：21本、入力：1本
	多機能タイマ	タイマA：16ビット×5チャンネル
	シリアルI/O	2チャンネル クロック同期型シリアルI/O、クロック非同期型シリアルI/O、I ² C bus (注1) 1チャンネル クロック非同期型シリアルI/O、I ² C bus (注1) 2チャンネル クロック同期型シリアルI/O (*) (*) 1チャンネルはIT800用内部接続専用
	DMAC	2チャンネル
	ウォッチドッグタイマ	15ビット×1 (プリスケアラ付)
	割り込み	内部：21要因、外部：3要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル
	クロック発生回路	2回路 ・メインクロック発振回路 (PLL周波数シンセサイザ付) (*) ・オンチップオシレータ (*) 発振回路には帰還抵抗内蔵
	電気的性能	電源電圧 消費電流
フラッシュ メモリ版	プログラム、イレーズ電圧	3.0~3.6V (Topr=0~60)
	プログラム、イレーズ回数	100回
動作周囲温度 (注2)		- 20~85 - 40~85 - 40~105
パッケージ		64ピンプラスチックモールドLQFP

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. 動作周囲温度は、「表1.1.5、表1.1.6 製品コード」を参照してください。

IT800物理層の性能概要

IT800物理層は、電力線通信に最適化された通信物理層で、IT800モデムコアと内蔵アナログフロントエンドから構成されています。IT800モデムコアは、DCSKスペクトラム拡散変調技術（Yitran社特許）を利用しており、既存の電気配線上で最大7.5kbpsの速度で非常に信頼性の高い通信を可能にします。このDCSK変調による干渉耐性に加えて、IT800物理層ではFECや特殊な通信同期アルゴリズムなど、通信信頼性を高めるいくつかのメカニズムを採用しています。

IT800物理層はM16C/6S内部でクロック同期型シリアルI/O、割り込みおよび入出力ポートによってM16Cコアと接続されています（注）。M16C/6Sは、外部アナログフロントエンドが必要です。表1.1.2にIT800物理層の性能概要を示します。

表1.1.2. IT800 物理層性能概要（M16C/6Sグループ）

項 目		性 能
特徴		信号減衰、ノイズ、インピーダンス変化、位相ならびに周波数歪みに対する高い耐性能力。 同相・異相間通信で強力な信頼性。
変調技術		DCSK (Differential Code Shift Keying)* *Yitran社特許の変調技術です。
エラー検出・訂正		ショートブロック誤り訂正、CRC16ビット
準拠する国際規格		FCC, ARIB, EN50065-1-CENELEC
通信速度 & 周波数バンド	FCC & ARIB	120-400 KHz 7.5Kbps Standard Mode (SM) 5.0Kbps Robust Mode (RM) 1.25Kbps Extremely Robust Mode (ERM)
	CENELEC	A-バンド (戸外) : 20-80 KHz B-バンド (室内) : 95-125 KHz 2.5 Kbps Robust Mode (RM) 0.625Kbps Extremely Robust Mode (ERM)
内蔵アナログフロントエンド		10ビットD/Aコンバータ、プリアンプ, 1ビットA/Dコンバータ×3チャンネル

注. IT800物理層は、弊社から提供するIT800DLL（データリンク層ソフトウェア）を使ってご使用ください。データリンク層はチャンネルアクセスをコントロールするため、IT800DLLをご使用いただくことにより他のIT800技術を利用した製品との間で、ベンダーやプロトコルやアプリケーションにかかわらず共存性を確保することができます。IT800物理層を直接操作して通信を行った場合、このような共存性は保証できなくなります。ここで言う共存性とは他のIT800技術をベースにした製品間の共存性であり、他の通信技術との共存性ではありません。詳細は次のセクションおよび付録を参照してください。

ファームウェアについて

弊社では、M16C/6Sグループのデータリンク層（DLL）ソフトウェアとしてIT800DLL（製品名：D2DL）を推奨しています。IT800DLLはYitran社のIT800技術を利用した製品向けに設計されており、電力線通信に最適なDLLです。IT800DLLの入手方法については、弊社技術サポートにお問い合わせください。IT800DLLの技術的利点については、付録を参照してください。

ブロック図とPLC応用概略図

図1.1.1にチップ内ブロック図と応用周辺概略図を示します。

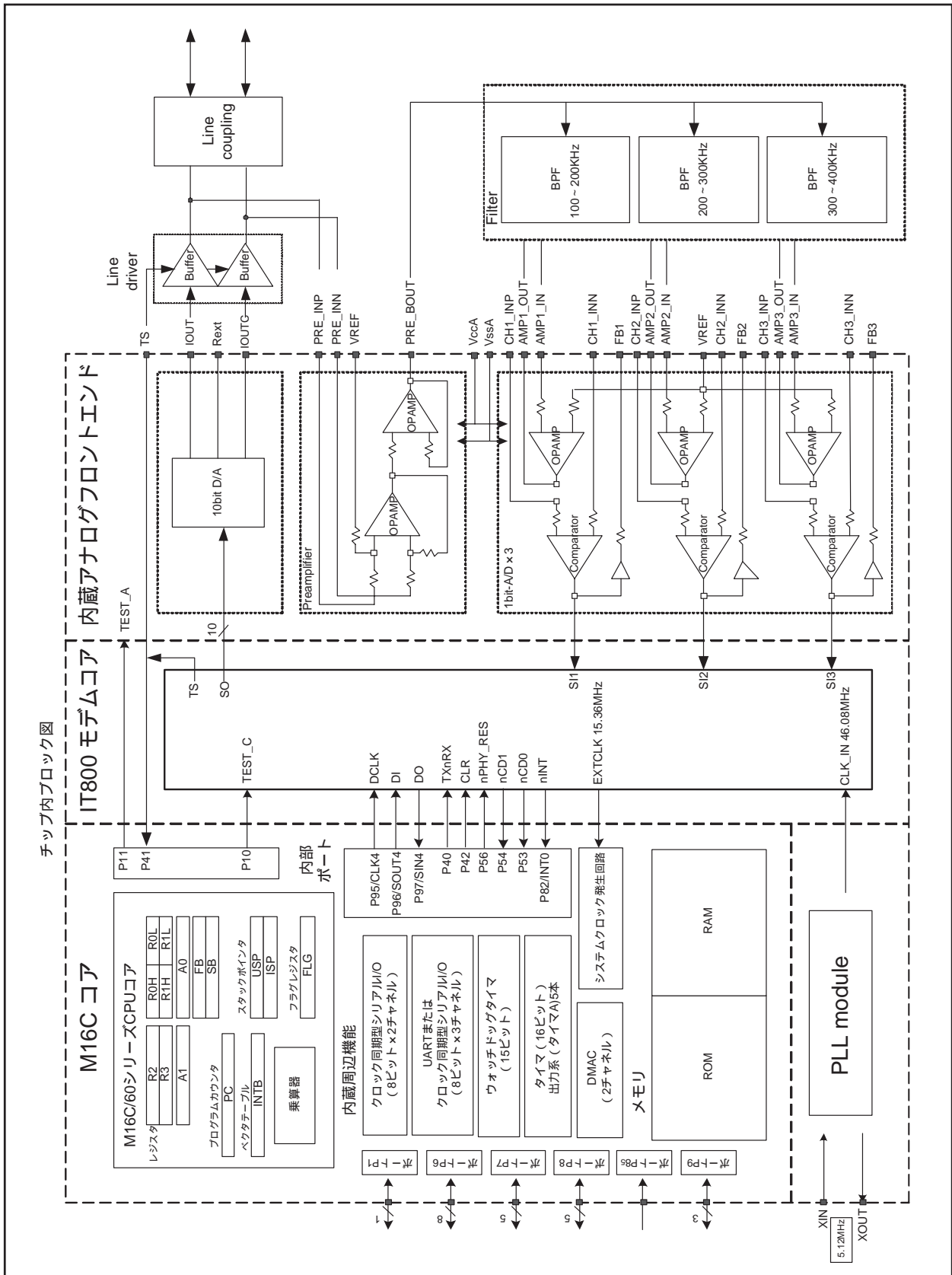


図1.1.1. チップ内ブロック図と応用周辺概略

製品一覧

表1.1.3、表1.1.4に製品一覧表、図1.1.2に型名とメモリサイズ・パッケージを示します。

表1.1.3. 製品一覧表(1) M16C/6S

2012年12月現在

型名	ROM容量	RAM容量	パッケージ	備考	製品コード
M306S0FAGP	96Kバイト	24Kバイト	PLQP0064KB-A (64P6Q-A)	Flash版	U3、U5

表1.1.4. 製品一覧表(2) M16C/6S Dバージョン

2012年12月現在

型名	ROM容量	RAM容量	パッケージ	備考	製品コード
M306S0F8DGP	64Kバイト	24Kバイト	PLQP0064KB-A (64P6Q-A)	Flash版	U3
M306S0FADGP	96Kバイト	24Kバイト	PLQP0064KB-A (64P6Q-A)	Flash版	U3

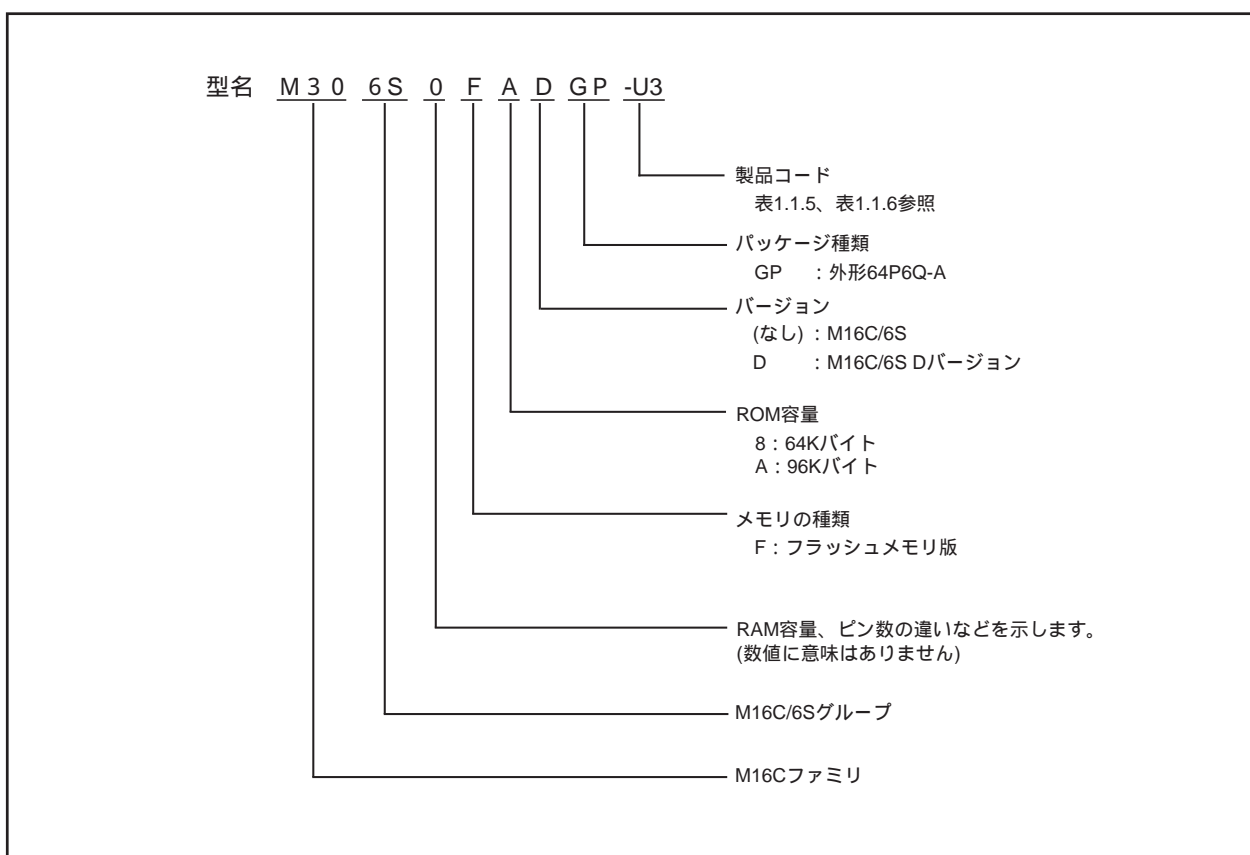


図1.1.2. 型名とメモリサイズ・パッケージ

表1.1.5. 製品コード (1) M16C/6S

製品コード	パッケージ	内部ROM		MCU動作周囲温度
		書き換え回数	温度範囲	
U3	鉛フリー	100	0 ~ 60	- 40 ~ 85
U5				- 20 ~ 85

表1.1.6. 製品コード (2) M16C/6S Dバージョン

製品コード	パッケージ	内部ROM		MCU動作周囲温度
		書き換え回数	温度範囲	
U3	鉛フリー	100	0 ~ 60	- 40 ~ 105

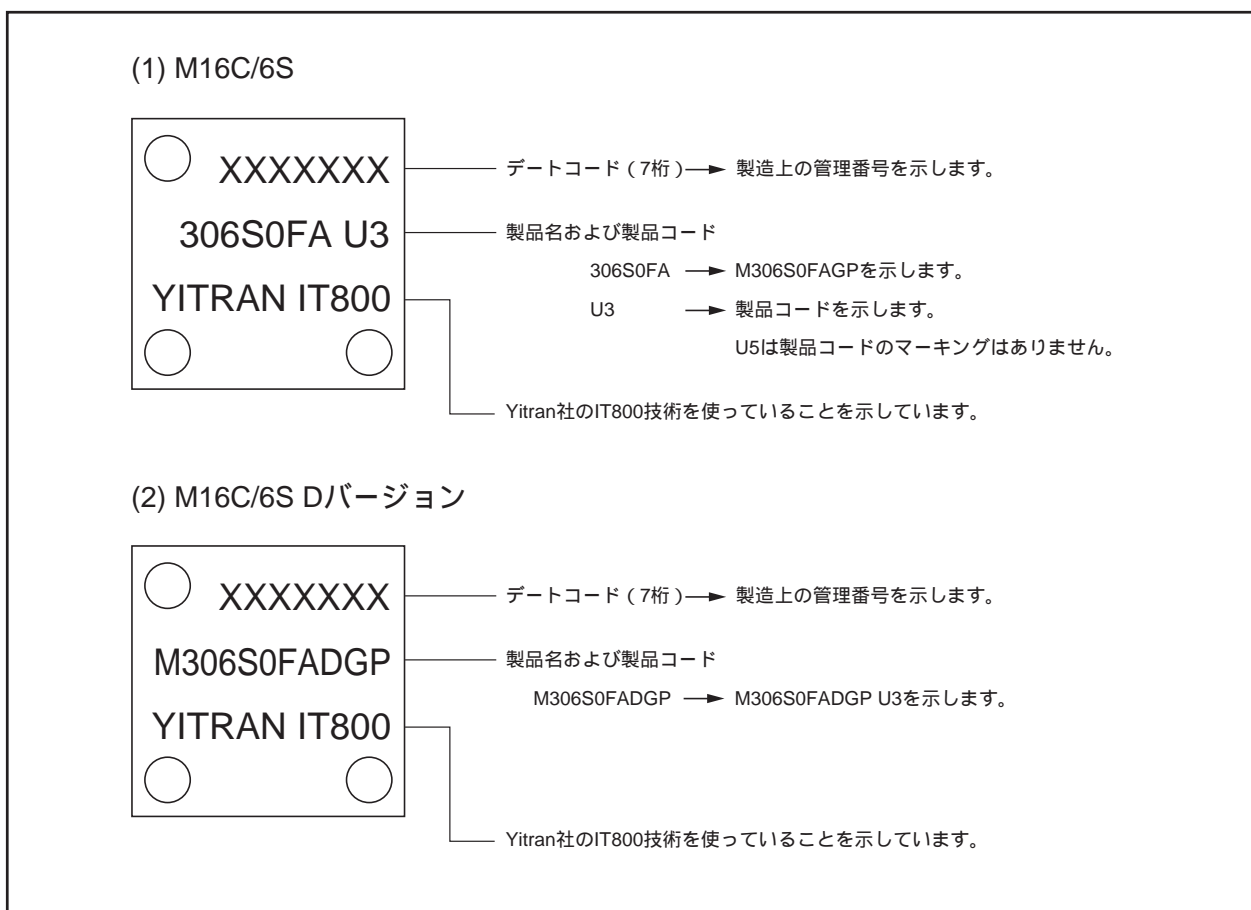


図1.1.3. マーキング図 (上面図)

ピン接続図

図1.1.4にピン接続図(上面図)を示します。

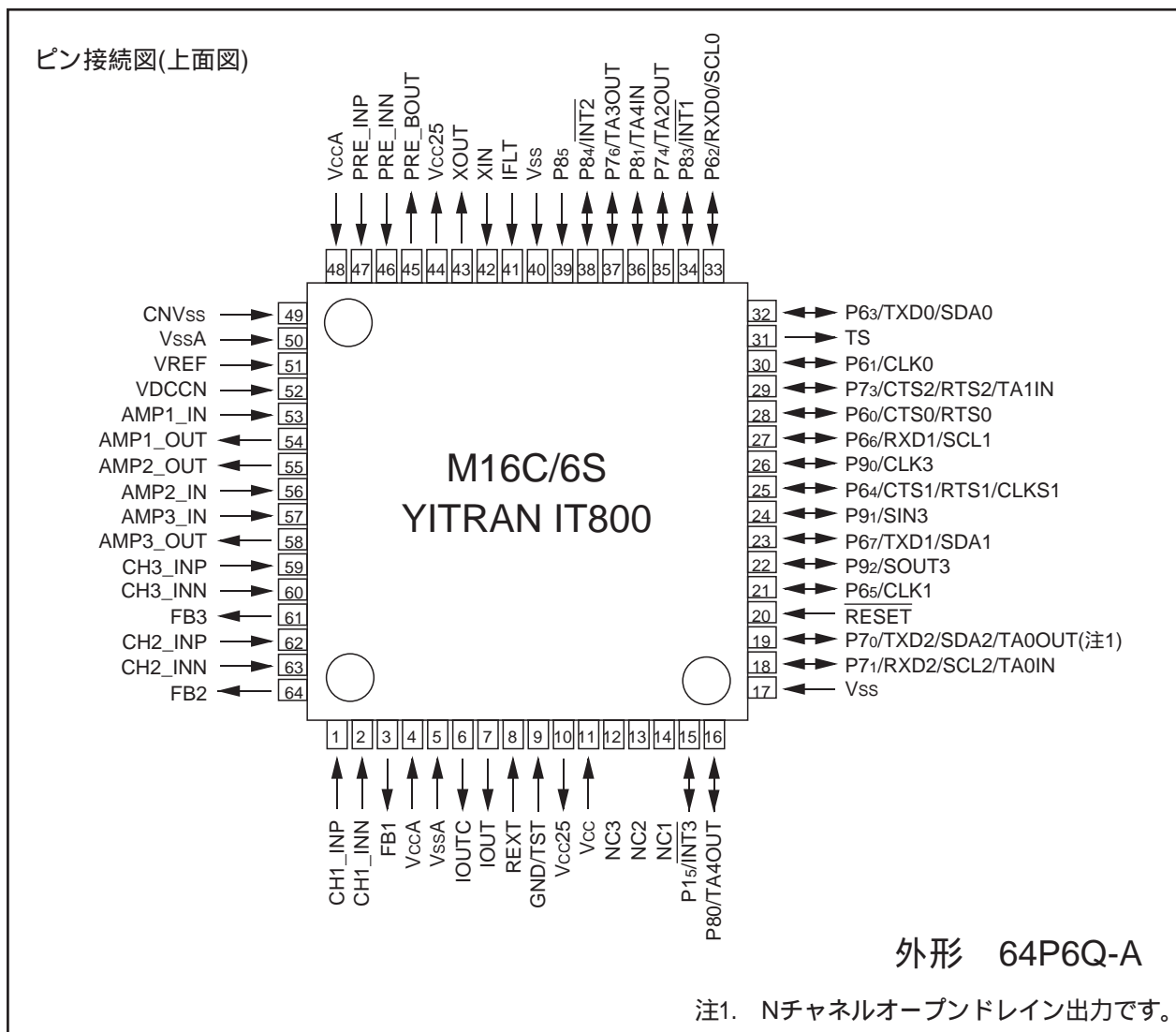


図1.1.4. ピン接続図(上面図)

表1.1.7. 端子の機能説明(1)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子には、3.0V ~ 3.6Vを入力してください。Vss端子には、0Vを入力してください。
CNVss	CNVss	入力	フラッシュメモリモードを切り替えるための端子です。通常はVssに接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN	クロック入力	入力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください(注2)。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
XOUT	クロック出力	出力	
VCCA	アナログ電源入力		アナログ回路の電源入力端子です。Vccに接続してください。
VSSA	アナログ電源入力		アナログ回路の電源入力端子です。Vssに接続してください。
GND/TST	テスト用入力	入力	テスト用の入力端子です。Vssに接続してください。
P15	入出力ポートP1	入出力	P6と同等の機能を持つ1ビット入出力ポートです。プログラムで選択することによって、INT割り込みの入力端子として機能します。
Vcc25	電源		内部発生している2.5V電源端子。 2端子あるVcc25同士を接続して、安定化容量を付加してください。
P60 ~ P67	入出力ポートP6	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち1端子ごとに入力ポートまたは出力ポートにできます。入力ポートはプログラムでプルアップ抵抗の有無を選択できます。プログラムで選択することによって、UART0、UART1の入出力端子として機能します。
P70、P71、P73 P74、P76	入出力ポートP7	入出力	P6と同等の機能を持つ入出力ポートです(ただし、P70はNチャンネルオープンドレイン出力)。プログラムで選択することによって、タイマA0 ~ A3、の入出力端子として機能します。また、P70 ~ P73はUART2の入出力端子としても機能します。
P80、P81、P83 P84、P85	入出力ポートP8 入力ポートP85	入出力 入力	P80、P81、P83、P84はP6と同等の機能を持つ入出力ポートです。プログラムで選択することによって、P80 ~ P81はタイマA4の入出力端子として、P83 ~ P84はINT割り込みの入力端子として機能します。 P85は汎用入力ポートとしては使用できません。外部でプルアップして“H”に固定してください。この端子は、プルアップ抵抗は設定できません。
P90 ~ P92	入出力ポートP9	入出力	P6と同等の機能を持つ入出力ポートです。プログラムで選択することによって、SI/O3の入出力端子として機能します。
TS	出力ポートTS	出力	IT800が電力線通信時に外付けの送信AMPに対して出力のON/OFFを制御する端子です。
P10	チップ内ポートP10	入力として使用	IT800テスト用のポートです。方向レジスタを必ず入力に設定してください。
P11	チップ内ポートP11	入力として使用	AFEテスト用のポートです。方向レジスタを必ず入力に設定してください。
P40	チップ内ポートP40	出力として使用	IT800との通信に使用する入出力ポートです。内部でTXnRX端子に接続されています。方向レジスタを出力に設定してください。
P41	チップ内ポートP41	入力として使用	IT800との通信に使用する入出力ポートです(注1)。内部でTS端子に接続されています。方向レジスタを入力に設定してください。
P42	チップ内ポートP42	出力として使用	IT800との通信に使用する入出力ポートです。内部でCLR端子に接続されています。方向レジスタを出力に設定してください。
P53	チップ内ポートP53	入力として使用	IT800との通信に使用する入出力ポートです(注1)。内部でnCD0端子に接続されています。方向レジスタを入力に設定してください。
P54	チップ内ポートP54	入力として使用	IT800との通信に使用する入出力ポートです(注1)。内部でnCD1端子に接続されています。方向レジスタを入力に設定してください。
P56	チップ内ポートP56	出力として使用	IT800との通信に使用する入出力ポートです。内部でnPHY_RES端子に接続されています。方向レジスタを出力に設定してください。
P82	チップ内ポートP82	入力として使用	IT800との通信に使用する入出力ポートです(注1)。内部でnINT端子に接続されています。ソフトウェアで選択することによって、外部割り込みの入力端子として機能します。
P95	チップ内ポートP95	出力として使用	IT800との通信に使用する入出力ポートです。内部でDCLK端子に接続されています。ソフトウェアで選択することによって、SI/O4のクロック出力端子として機能します。
P96	チップ内ポートP96	出力として使用	IT800との通信に使用する入出力ポートです。内部でDI端子に接続されています。ソフトウェアで選択することによって、SI/O4のデータ出力端子として機能します。
P97	チップ内ポートP97	入力として使用	IT800との通信に使用する入出力ポートです(注1)。内部でDO端子に接続されています。ソフトウェアで選択することによって、SI/O4のデータ入力端子として機能します。

注1. 方向レジスタを出力に設定しても、データは出力されません。詳細はプログラマブル入出力ポートの項を参照してください。

注2. 発振特性は発振メーカーに問い合わせてください。

表1.1.8. 端子の機能説明(2) (Analog端子)

端子名	入出力	機能
PRE-BOUT	出力	プリアンプバッファ出力です。
PRE-INN	入力	プリアンプ差動信号入力です。
PRE-INP	入力	プリアンプ差動信号入力です。
VREF	入力	チャンネル1, 2, 3共通のアンプの参照電圧入力です。
VDCCN	入力	テスト用端子です。通常はプルアップしてください。
AMP1-IN	入力	チャンネル1アンプ入力です。
AMP1-OUT	出力	チャンネル1アンプ出力です。
AMP2-IN	入力	チャンネル2アンプ入力です。
AMP2-OUT	出力	チャンネル2アンプ出力です。
AMP3-IN	入力	チャンネル3アンプ入力です。
AMP3-OUT	出力	チャンネル3アンプ出力です。
CHI-INP	入力	チャンネル1コンパレータ差動入力です。
CHI-INN	入力	チャンネル1コンパレータ差動入力です。
FB1	出力	チャンネル1コンパレータフィードバック出力です。
CH2-INP	入力	チャンネル2コンパレータ差動入力です。
CH2-INN	入力	チャンネル2コンパレータ差動入力です。
FB2	出力	チャンネル2コンパレータフィードバック出力です。
CH3-INP	入力	チャンネル3コンパレータ差動入力です。
CH3-INN	入力	チャンネル3コンパレータ差動入力です。
FB3	出力	チャンネル3コンパレータフィードバック出力です。
IOUTC	出力	DACの差動電流出力です。
IOUT	出力	DACの差動電流出力です。
REXT	入力	DACの定電流源制御用端子です。
IFLT	入力	PLLのローパスフィルター用端子です。

メモリ

図1.2.1にメモリ配置を示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

内部ROMはFFFFFF₁₆番地から下位方向に配置されます。例えば96Kバイトの内部ROMは、E8000₁₆番地からFFFFFF₁₆番地に配置されます。

固定割り込みベクタテーブルはFFFDC₁₆番地からFFFFFF₁₆番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400₁₆番地から上位方向に配置されます。例えば24Kバイトの内部RAMは、00400₁₆番地から63FF₁₆番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000₁₆番地から003FF₁₆番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00₁₆番地からFFFD₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20、M16C/Tinyシリーズソフトウェアマニュアル」を参照してください。

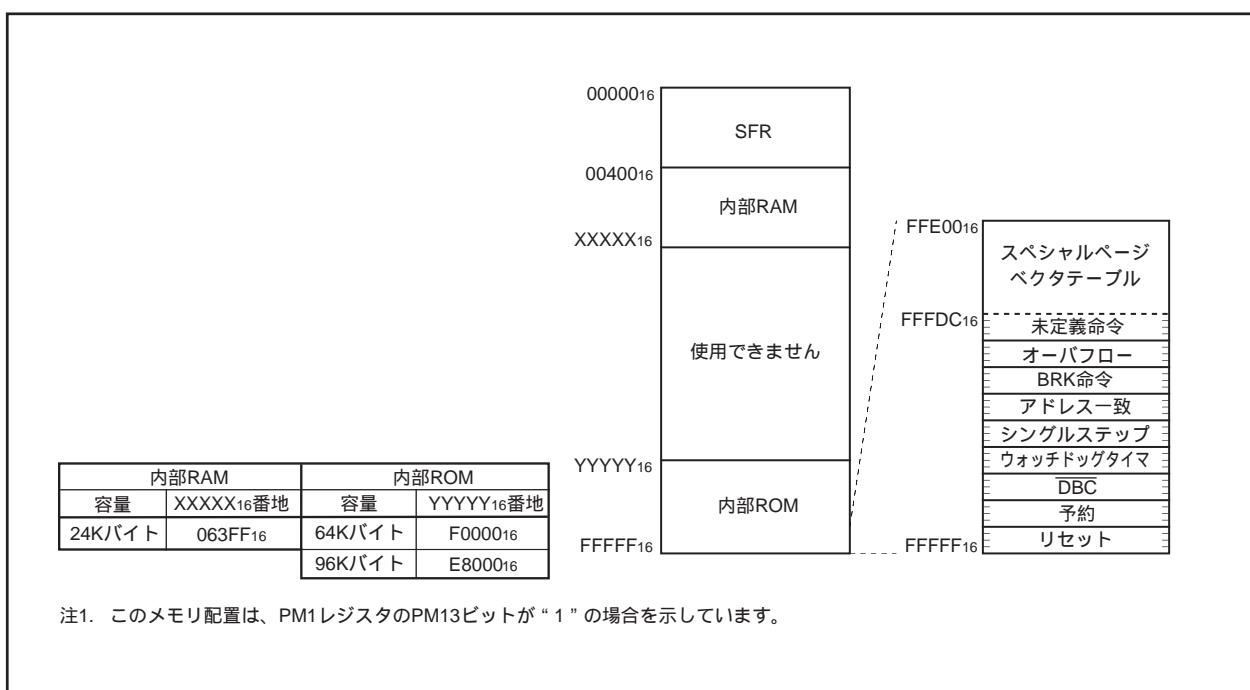


図1.2.1. メモリ配置

中央演算処理装置

図1.3.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

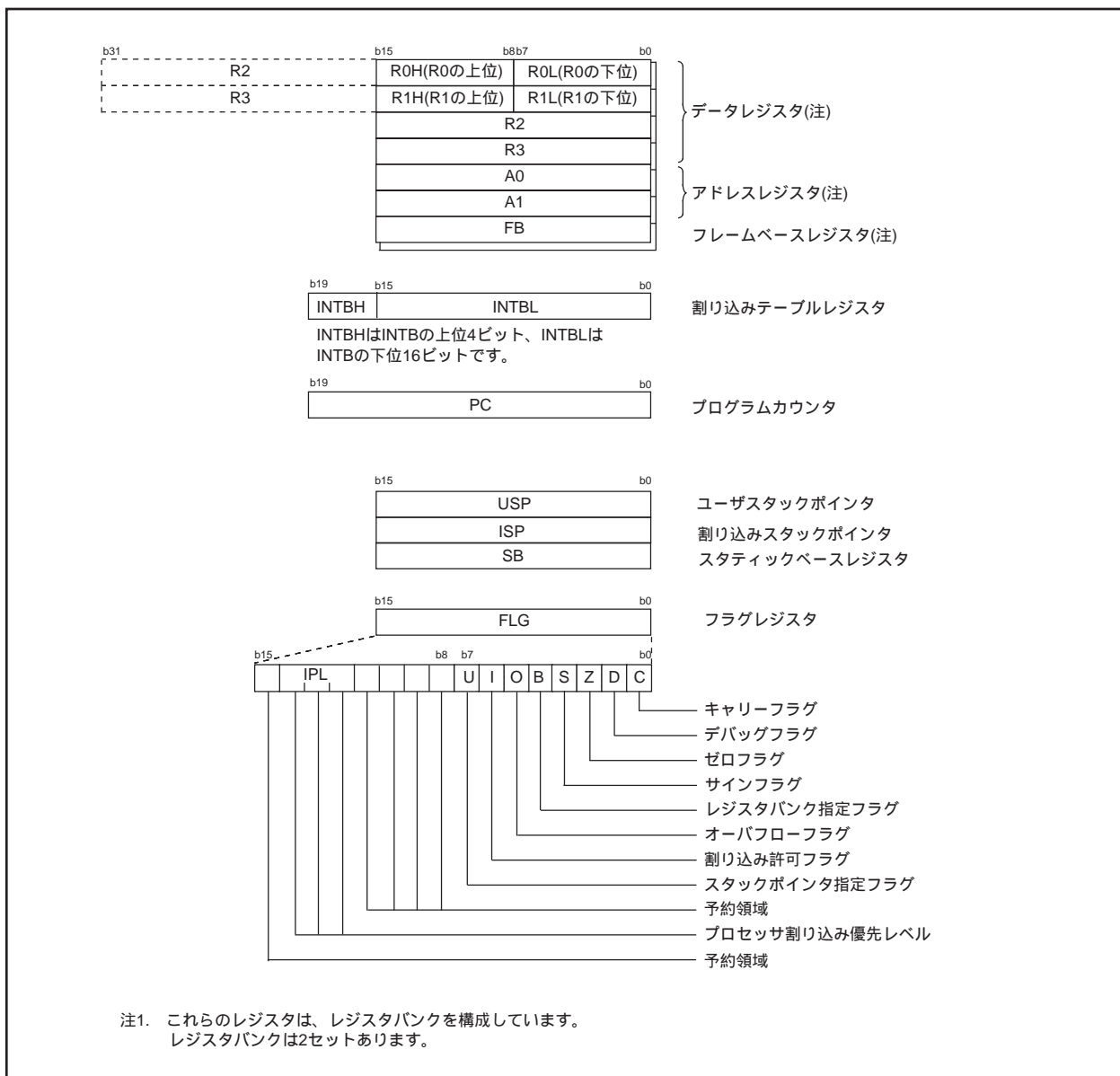


図1.3.1. CPUのレジスタ

(1) データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

(2) アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

(3) フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

(4) 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

(5) プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

(6) ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPIはFLGのUフラグで切り替えられます。

(7) スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外の場合“0”になります。

サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外の場合“0”になります。

レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

割り込み許可フラグ(Iフラグ)

マスク可能割り込みを許可するフラグです。

Iフラグが“0”の場合、マスク可能割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

SFR

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 (注2)	PM0	XXXX0X002(CNVss端子が“L”)
0005 ₁₆	プロセッサモードレジスタ1	PM1	00XX10X02
0006 ₁₆	システムクロック制御レジスタ0	CM0	010XX0XX2
0007 ₁₆	システムクロック制御レジスタ1	CM1	001000002
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXXXX002
000A ₁₆	プロテクトレジスタ	PRCR	XX0000002
000B ₁₆			
000C ₁₆	発振停止検出レジスタ (注3)	CM2	0000X0002
000D ₁₆			
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	??16
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	00??????2
0010 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	0016
0011 ₁₆			0016
0012 ₁₆			X016
0013 ₁₆			
0014 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	0016
0015 ₁₆			0016
0016 ₁₆			X016
0017 ₁₆			
0018 ₁₆			
0019 ₁₆			
001A ₁₆			
001B ₁₆			
001C ₁₆			
001D ₁₆			
001E ₁₆	プロセッサモードレジスタ2	PM2	XXX000002
001F ₁₆			
0020 ₁₆	DMA0ソ - スポインタ	SAR0	??16
0021 ₁₆			??16
0022 ₁₆			X?16
0023 ₁₆			
0024 ₁₆	DMA0ディスティネ - ションポインタ	DAR0	??16
0025 ₁₆			??16
0026 ₁₆			X?16
0027 ₁₆			
0028 ₁₆	DMA0転送カウンタ	TCR0	??16
0029 ₁₆			??16
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ	DM0CON	00000?002
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆	DMA1ソ - スポインタ	SAR1	??16
0031 ₁₆			??16
0032 ₁₆			X?16
0033 ₁₆			
0034 ₁₆	DMA1ディスティネ - ションポインタ	DAR1	??16
0035 ₁₆			??16
0036 ₁₆			X?16
0037 ₁₆			
0038 ₁₆	DMA1転送カウンタ	TCR1	??16
0039 ₁₆			??16
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1制御レジスタ	DM1CON	00000?002
003D ₁₆			
003E ₁₆			
003F ₁₆			

注1. 空欄は予約領域です。使用しないでください。

注2. PM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

X: このビットは何も配置されていません。

? : 不定です。

番地	レジスタ	シンボル	リセット後の値
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆	INT3割り込み制御レジスタ	INT3IC	XX00?0002
0045 ₁₆			
0046 ₁₆	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXX?0002
0047 ₁₆	UART0バス衝突検出割り込み制御レジスタ	U0BCNIC	XXXX?0002
0048 ₁₆	SI/O4割り込み制御レジスタ	S4IC	XX00?0002
0049 ₁₆	SI/O3割り込み制御レジスタ	S3IC	XX00?0002
004A ₁₆	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX?0002
004B ₁₆	DMA0割り込み制御レジスタ	DM0IC	XXXX?0002
004C ₁₆	DMA1割り込み制御レジスタ	DM1IC	XXXX?0002
004D ₁₆			
004E ₁₆			
004F ₁₆	UART2送信割り込み制御レジスタ	S2TIC	XXXX?0002
0050 ₁₆	UART2受信割り込み制御レジスタ	S2RIC	XXXX?0002
0051 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	XXXX?0002
0052 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	XXXX?0002
0053 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	XXXX?0002
0054 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	XXXX?0002
0055 ₁₆	タイマA0割り込み制御レジスタ	TA0IC	XXXX?0002
0056 ₁₆	タイマA1割り込み制御レジスタ	TA1IC	XXXX?0002
0057 ₁₆	タイマA2割り込み制御レジスタ	TA2IC	XXXX?0002
0058 ₁₆	タイマA3割り込み制御レジスタ	TA3IC	XXXX?0002
0059 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	XXXX?0002
005A ₁₆			
005B ₁₆			
005C ₁₆			
005D ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00?0002
005E ₁₆	INT1割り込み制御レジスタ	INT1IC	XX00?0002
005F ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00?0002
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。
?: 不定です。

番地	レジスタ	シンボル	リセット後の値
0080 ₁₆			
0081 ₁₆			
0082 ₁₆			
0083 ₁₆			
0084 ₁₆			
0085 ₁₆			
0086 ₁₆			
~			~
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆			
01B4 ₁₆			
01B5 ₁₆	フラッシュメモリ制御レジスタ1	FMR1	0?00??0?2
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	??0000012
01B8 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	0016
01B9 ₁₆			0016
01BA ₁₆			X016
01BB ₁₆	アドレス一致割り込み許可レジスタ2	AIER2	XXXXXX002
01BC ₁₆	アドレス一致割り込みレジスタ3	RMAD3	0016
01BD ₁₆			0016
01BE ₁₆			X016
01BF ₁₆			
~			~
0250 ₁₆			
0251 ₁₆			
0252 ₁₆			
0253 ₁₆			
0254 ₁₆			
0255 ₁₆			
0256 ₁₆			
0257 ₁₆			
0258 ₁₆			
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆			
025D ₁₆			
025E ₁₆	周辺クロック選択レジスタ	PCLKR	000000112
025F ₁₆			
~			~
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆			
0335 ₁₆			
0336 ₁₆			
0337 ₁₆			
0338 ₁₆			
0339 ₁₆			
033A ₁₆			
033B ₁₆			
033C ₁₆			
033D ₁₆			
033E ₁₆			
033F ₁₆			

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。

? : 不定です。

番地	レジスタ	シンボル	リセット後の値
0340 ₁₆			
0341 ₁₆			
0342 ₁₆			
0343 ₁₆			
0344 ₁₆			
0345 ₁₆			
0346 ₁₆			
0347 ₁₆			
0348 ₁₆			
0349 ₁₆			
034A ₁₆			
034B ₁₆			
034C ₁₆			
034D ₁₆			
034E ₁₆			
034F ₁₆			
0350 ₁₆			
0351 ₁₆			
0352 ₁₆			
0353 ₁₆			
0354 ₁₆			
0355 ₁₆			
0356 ₁₆			
0357 ₁₆			
0358 ₁₆			
0359 ₁₆			
035A ₁₆			
035B ₁₆			
035C ₁₆			
035D ₁₆			
035E ₁₆	割り込み要因選択レジスタ2	IFSR2A	00XXXXXX2
035F ₁₆	割り込み要因選択レジスタ	IFSR	0016
0360 ₁₆	SI/O3送受信レジスタ	S3TRR	??16
0361 ₁₆			
0362 ₁₆	SI/O3制御レジスタ	S3C	010000002
0363 ₁₆	SI/O3転送速度レジスタ	S3BRG	??16
0364 ₁₆	SI/O4送受信レジスタ	S4TRR	??16
0365 ₁₆			
0366 ₁₆	SI/O4制御レジスタ	S4C	010000002
0367 ₁₆	SI/O4転送速度レジスタ	S4BRG	??16
0368 ₁₆			
0369 ₁₆			
036A ₁₆			
036B ₁₆			
036C ₁₆	UART0特殊モードレジスタ4	U0SMR4	0016
036D ₁₆	UART0特殊モードレジスタ3	U0SMR3	000X0X0X2
036E ₁₆	UART0特殊モードレジスタ2	U0SMR2	X00000002
036F ₁₆	UART0特殊モードレジスタ	U0SMR	X00000002
0370 ₁₆	UART1特殊モードレジスタ4	U1SMR4	0016
0371 ₁₆	UART1特殊モードレジスタ3	U1SMR3	000X0X0X2
0372 ₁₆	UART1特殊モードレジスタ2	U1SMR2	X00000002
0373 ₁₆	UART1特殊モードレジスタ	U1SMR	X00000002
0374 ₁₆	UART2特殊モードレジスタ4	U2SMR4	0016
0375 ₁₆	UART2特殊モードレジスタ3	U2SMR3	000X0X0X2
0376 ₁₆	UART2特殊モードレジスタ2	U2SMR2	X00000002
0377 ₁₆	UART2特殊モードレジスタ	U2SMR	X00000002
0378 ₁₆	UART2送受信モードレジスタ	U2MR	0016
0379 ₁₆	UART2転送速度レジスタ	U2BRG	??16
037A ₁₆	UART2送信バッファレジスタ	U2TB	????????2
037B ₁₆			XXXXXXXX?2
037C ₁₆	UART2送受信制御レジスタ0	U2C0	000010002
037D ₁₆	UART2送受信制御レジスタ1	U2C1	000000102
037E ₁₆	UART2受信バッファレジスタ	U2RB	????????2
037F ₁₆			?????XX?2

注1. 空欄は予約領域です。使用しないでください。

X : このビットは何も配置されていません。
? : 不定です。

番地	レジスタ	シンボル	リセット後の値
0380 ₁₆ 0381 ₁₆	カウント開始フラグ	TABSR	XXX000002
0382 ₁₆	ワンショット開始フラグ	ONSF	0016
0383 ₁₆	トリガ選択レジスタ	TRGSR	0016
0384 ₁₆ 0385 ₁₆	アップダウンフラグ	UDF	0016
0386 ₁₆ 0387 ₁₆	タイマA0レジスタ	TA0	??16 ??16
0388 ₁₆ 0389 ₁₆	タイマA1レジスタ	TA1	??16 ??16
038A ₁₆ 038B ₁₆	タイマA2レジスタ	TA2	??16 ??16
038C ₁₆ 038D ₁₆	タイマA3レジスタ	TA3	??16 ??16
038E ₁₆ 038F ₁₆ 0390 ₁₆	タイマA4レジスタ	TA4	??16 ??16
0391 ₁₆ 0392 ₁₆ 0393 ₁₆ 0394 ₁₆ 0395 ₁₆			
0396 ₁₆	タイマA0モ - ドレジスタ	TA0MR	0016
0397 ₁₆	タイマA1モ - ドレジスタ	TA1MR	0016
0398 ₁₆	タイマA2モ - ドレジスタ	TA2MR	0016
0399 ₁₆	タイマA3モ - ドレジスタ	TA3MR	0016
039A ₁₆ 039B ₁₆ 039C ₁₆ 039D ₁₆ 039E ₁₆ 039F ₁₆	タイマA4モ - ドレジスタ	TA4MR	0016
03A0 ₁₆	UART0送受信モ - ドレジスタ	U0MR	0016
03A1 ₁₆	UART0転送速度レジスタ	U0BRG	??16
03A2 ₁₆ 03A3 ₁₆	UART0送信バッファレジスタ	U0TB	????????2 XXXXXXXX?2
03A4 ₁₆	UART0送受信制御レジスタ0	U0C0	000010002
03A5 ₁₆	UART0送受信制御レジスタ 1	U0C1	000000102
03A6 ₁₆ 03A7 ₁₆	UART0受信バッファレジスタ	U0RB	????????2 ?????XX?2
03A8 ₁₆	UART1送受信モ - ドレジスタ	U1MR	0016
03A9 ₁₆	UART1転送速度レジスタ	U1BRG	??16
03AA ₁₆ 03AB ₁₆	UART1送信バッファレジスタ	U1TB	????????2 XXXXXXXX?2
03AC ₁₆	UART1送受信制御レジスタ0	U1C0	000010002
03AD ₁₆	UART1送受信制御レジスタ 1	U1C1	000000102
03AE ₁₆ 03AF ₁₆	UART1受信バッファレジスタ	U1RB	????????2 ?????XX?2
03B0 ₁₆ 03B1 ₁₆ 03B2 ₁₆ 03B3 ₁₆ 03B4 ₁₆ 03B5 ₁₆ 03B6 ₁₆ 03B7 ₁₆	UART送受信制御レジスタ2	UCON	X00000002
03B8 ₁₆ 03B9 ₁₆	DMA0要因選択レジスタ	DM0SL	0016
03BA ₁₆ 03BB ₁₆ 03BC ₁₆ 03BD ₁₆ 03BE ₁₆ 03BF ₁₆	DMA1要因選択レジスタ	DM1SL	0016

注1. 空欄は予約領域です。使用しないでください。

X : このビットは何も配置されていません。
? : 不定です。

番地	レジスタ	シンボル	リセット後の値
03C0 ₁₆			
03C1 ₁₆			
03C2 ₁₆			
03C3 ₁₆			
03C4 ₁₆			
03C5 ₁₆			
03C6 ₁₆			
03C7 ₁₆			
03C8 ₁₆			
03C9 ₁₆			
03CA ₁₆			
03CB ₁₆			
03CC ₁₆			
03CD ₁₆			
03CE ₁₆			
03CF ₁₆			
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆			
03DB ₁₆			
03DC ₁₆			
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆			
03E1 ₁₆	ポートP1レジスタ	P1	?? ₁₆
03E2 ₁₆			
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆
03E4 ₁₆			
03E5 ₁₆			
03E6 ₁₆			
03E7 ₁₆			
03E8 ₁₆	ポートP4レジスタ	P4	?? ₁₆
03E9 ₁₆	ポートP5レジスタ	P5	?? ₁₆
03EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆
03EB ₁₆	ポートP5方向レジスタ	PD5	00 ₁₆
03EC ₁₆	ポートP6レジスタ	P6	?? ₁₆
03ED ₁₆	ポートP7レジスタ	P7	?? ₁₆
03EE ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆
03EF ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆
03F0 ₁₆	ポートP8レジスタ	P8	?? ₁₆
03F1 ₁₆	ポートP9レジスタ	P9	?? ₁₆
03F2 ₁₆	ポートP8方向レジスタ	PD8	00X00000 ₂
03F3 ₁₆	ポートP9方向レジスタ	PD9	00 ₁₆
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆	ブルアップ制御レジスタ0	PUR0	XXXX0XXX ₂
03FD ₁₆	ブルアップ制御レジスタ1	PUR1	0000XXXX ₂
03FE ₁₆	ブルアップ制御レジスタ2	PUR2	XXXXX000 ₂
03FF ₁₆	ポート制御レジスタ	PCR	00 ₁₆

注1. 空欄は予約領域です。使用しないでください。

X: このビットは何も配置されていません。
?: 不定です。

リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセットがあります。

ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子は初期化されます(表1.5.1を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

図1.5.1にリセット回路の一例を、図1.5.2にリセットシーケンスを、表1.5.1に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を、図1.5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「SFR」を参照してください。

1. 電源が安定している場合
 - (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
 - (2)XIN端子に20サイクル以上のクロックを入力する
 - (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

2. 電源投入時
 - (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
 - (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
 - (3)内部電源が安定するまでtd(P-R)待つ
 - (4)XIN端子に20サイクル以上のクロックを入力する
 - (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

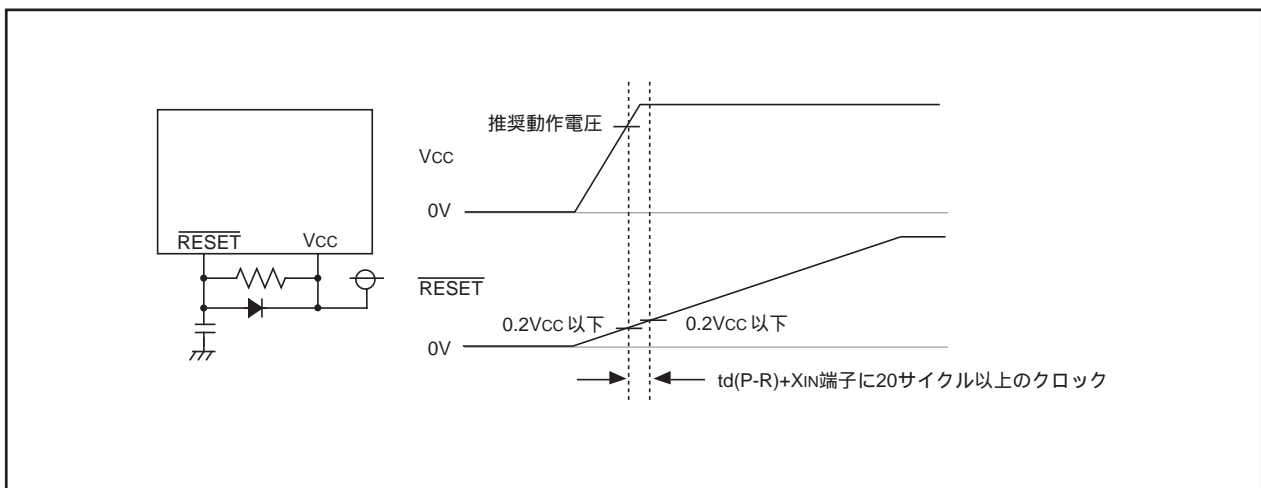


図1.5.1. リセット回路の一例

ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。詳細は「発振停止、再発振検出機能」を参照してください。

発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

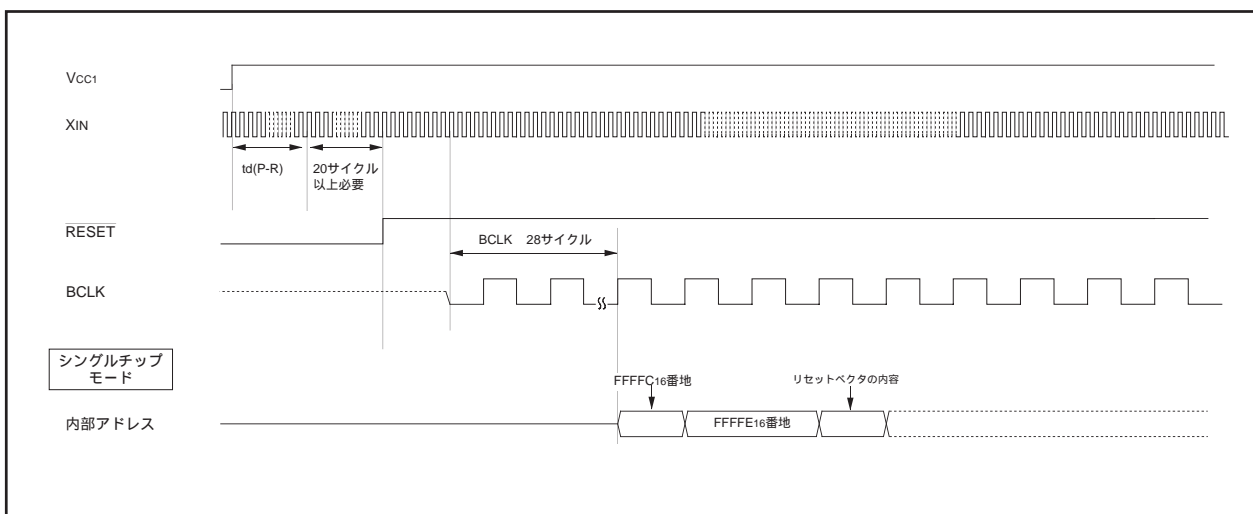


図1.5.2. リセットシーケンス

表1.5.1. RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
	CNVSS = VSS
P15 P60 ~ P67 P70, P71, P73 P74, P76 P80, P81, P83 P84, P85 P90 ~ P92 TS	入力ポート

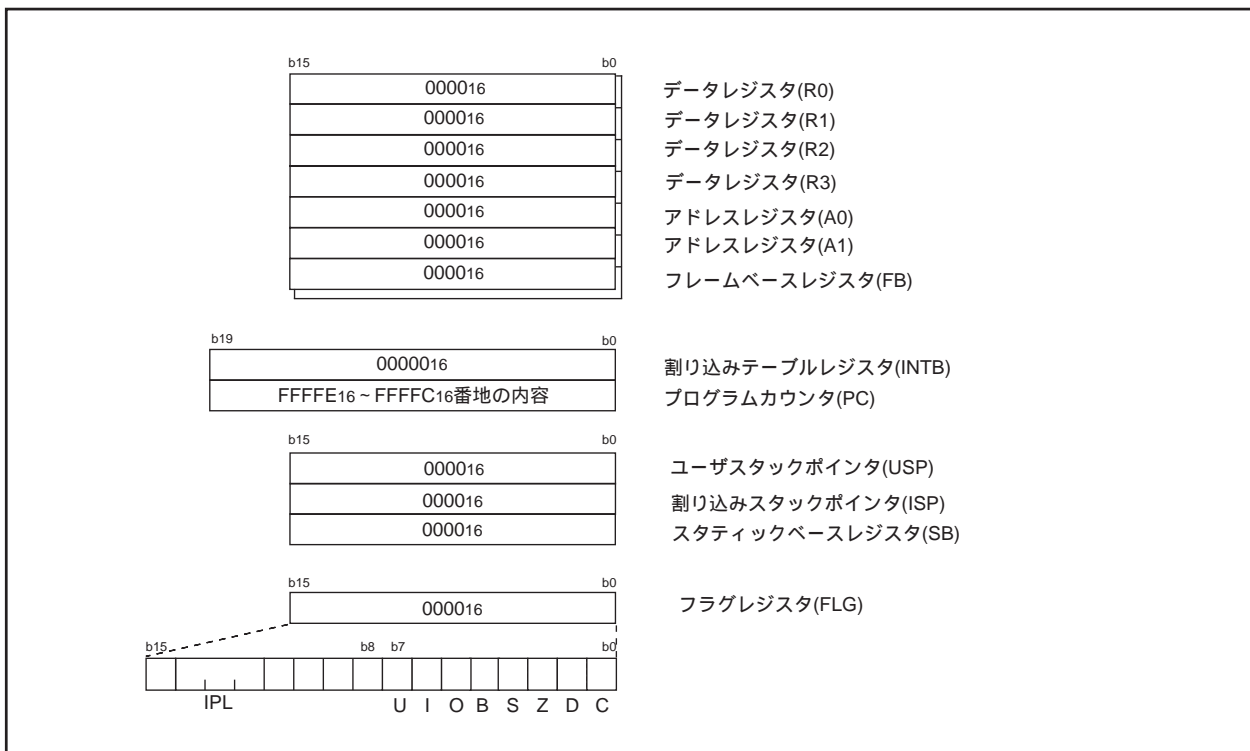


図1.5.3. リセット後のCPUレジスタの状態

プロセッサモード

(1) プロセッサモードの設定

プロセッサモードは、シングルチップモードのみです。

シングルチップモードで動作させるために、CNVss端子を必ずVssに接続してください。また、PM0レジスタのPM01～PM00ビットは必ず“00”にしてください。

表1.6.1. ハードウェアリセット後のプロセッサモード

CNVss端子の入力レベル	プロセッサモード
Vss	シングルチップモード
Vcc	フラッシュメモリモード

表1.6.2. PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
002	シングルチップモード
012	設定しないでください
102	設定しないでください
112	設定しないでください

図1.6.4にメモリ配置を示します。

(2) 通信モードの設定

電力線通信モードに設定するために、リセット期間中にP15端子にHighレベルを印加してください。

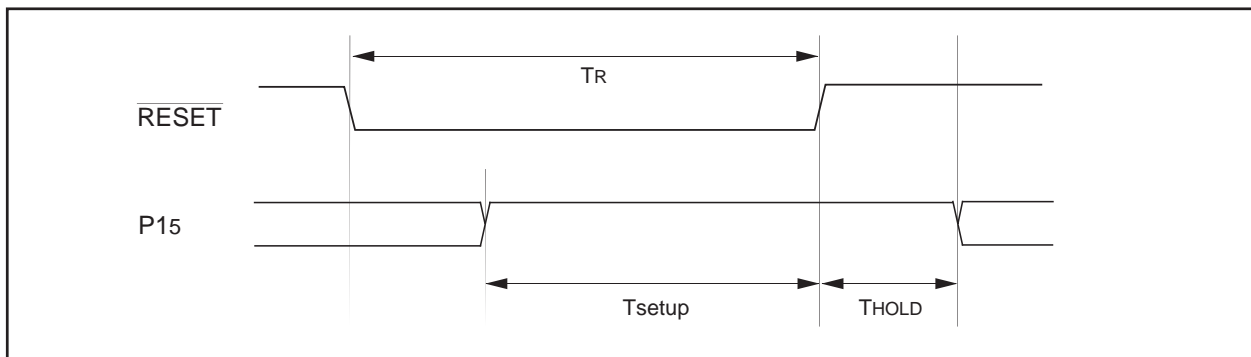


図1.6.1. 通信モードの設定

表1.6.3. $\overline{\text{RESET}}$ およびP15入力

	min	typ	max
T_R	40us		
T_{setup}	5us		
T_{HOLD}	5us		

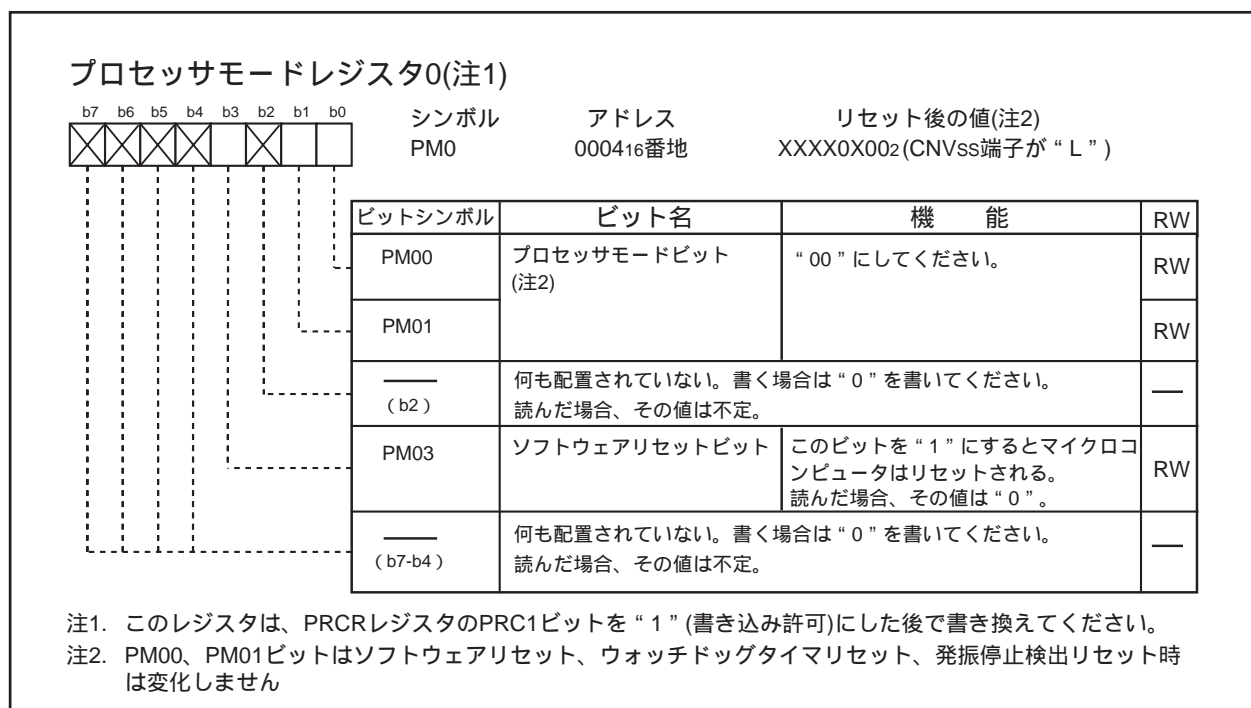


図1.6.2. PM0レジスタ

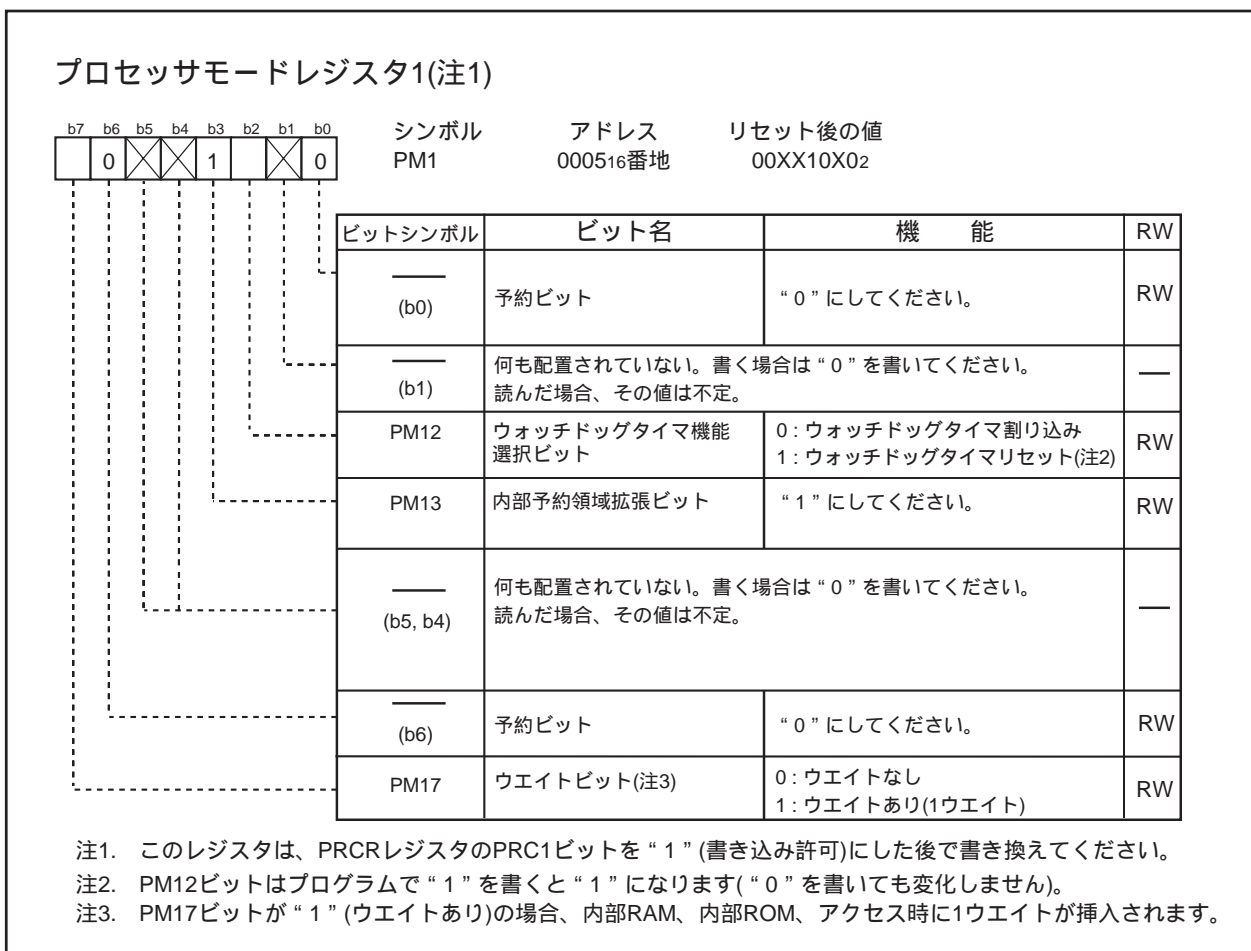


図1.6.3. PM1レジスタ

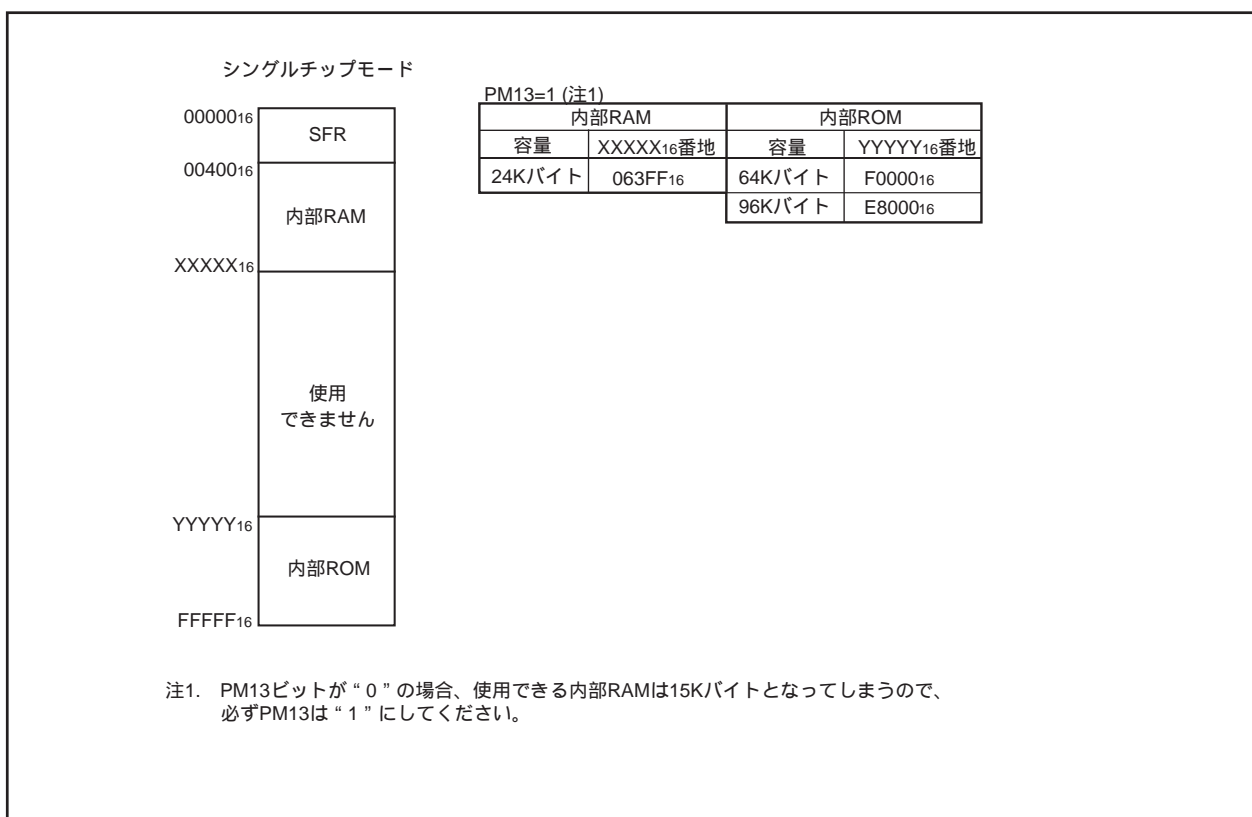


図1.6.4. メモリ配置

クロック発生回路

クロック発生回路として、2つの回路を内蔵します。

- ・ メインクロック発振回路
- ・ オンチップオシレータ

表1.7.1にクロック発生回路の概略仕様を示します。また、図1.7.1にシステムクロック発生回路のブロック図、図1.7.2～図1.7.5にクロック関連レジスタを示します。

表1.7.1. クロック発生回路の概略仕様

項目	メインクロック 発振回路	オンチップオシレータ
用途	<ul style="list-style-type: none"> ・ CPUのクロック源 ・ 周辺機能のクロック源 	<ul style="list-style-type: none"> ・ CPUのクロック源 ・ 周辺機能のクロック源
クロック周波数	5.12MHz	約1MHz
接続できる発振子	・ 水晶発振子（注1）	——
発振子の接続端子	XIN、XOUT	——
発振停止、再開 機能	なし	あり
リセット後 の状態	発振	停止
その他	外部で生成されたクロックを入力可能	——

注1．水晶発振子は5.12MHz（精度±75ppm以内）を使用してください。

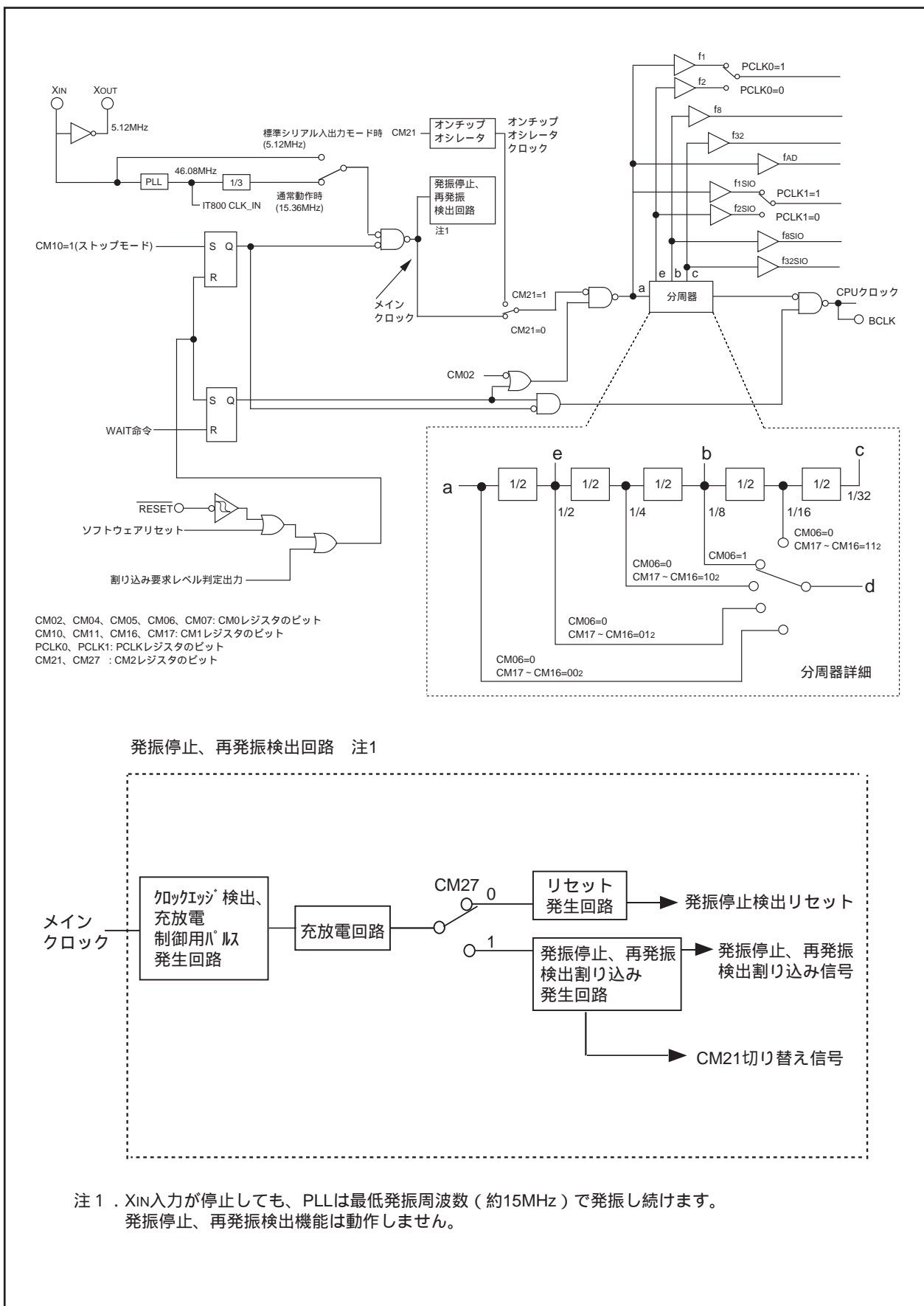


図1.7.1. システムクロック発生回路

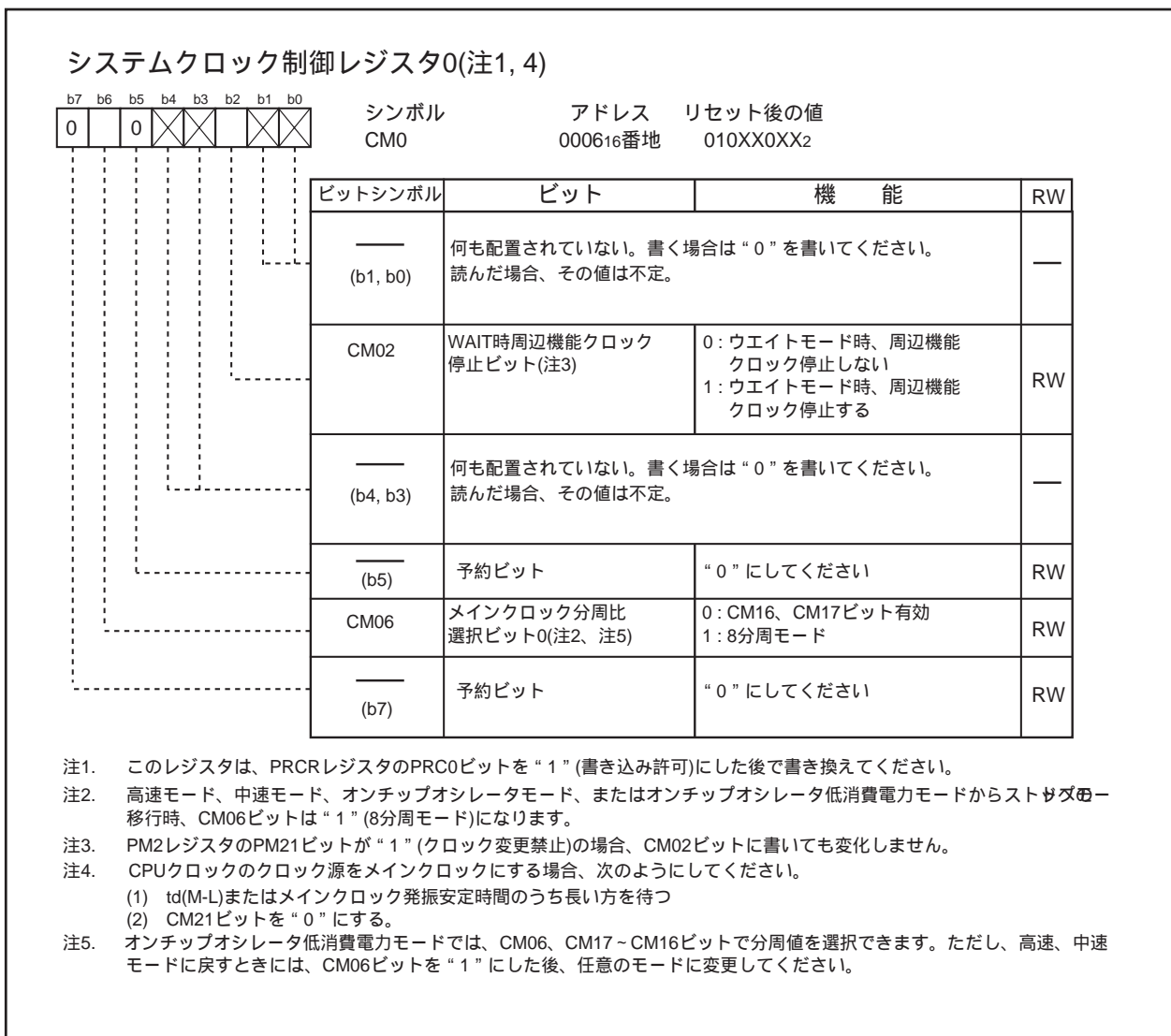


図1.7.2. CM0レジスタ

システムクロック制御レジスタ1(注1)

ビットシンボル	ビット	機能	RW
CM10	全クロック停止制御ビット (注3、注4)	0: クロック発振 1: 全クロック停止(ストップモード)	RW
(b4-b1)	予約ビット	"0" にしてください	RW
(b5)	予約ビット	"1" にしてください	—
CM16	メインクロック分周比 選択ビット1(注2)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	RW
CM17			RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを"1" (書き込み許可)にした後で書き換えてください。
- 注2. CM06ビットが"0" (CM16、CM17ビット有効)の場合、有効となります。
- 注3. CM2レジスタのCM20ビットが"1" (発振停止検出機能有効)の場合、CM10ビットを"1" にしないでください。
- 注4. PM2レジスタのPM21ビットが"1" (クロック変更禁止)の場合、CM10ビットに書いても変化しません。
PM2レジスタのPM22ビットが"1" (ウォッチドッグタイマのカウンタソースはオンチップオシレータクロック)の場合、CM10ビットに書いても変化しません。

図1.7.3. CM1レジスタ

発振停止検出レジスタ(注1)

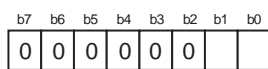
ビット	シンボル	アドレス	リセット後の値
b7	CM2	000C16番地	0X0000002(注10)
b6			
b5			
b4			
b3			
b2			
b1			
b0			

ビットシンボル	ビット名	機能	RW
CM20	発振停止、再発振検出許可ビット(注7、注8、注9、注10)	0: 発振停止、再発振検出機能無効 1: 発振停止、再発振検出機能有効	RW
CM21	システムクロック選択ビット2(注2、注3、注6、注10)	0: メインクロック (オンチップオシレータ停止) 1: オンチップオシレータクロック (オンチップオシレータ発振)	RW
CM22	発振停止、再発振検出フラグ(注4)	0: メインクロック停止、再発振を未検出 1: メインクロック停止、再発振を検出	RW
CM23	メインクロックモニタフラグ(注5)	0: メインクロック発振 1: メインクロック停止	RO
(b5-b4)	予約ビット	"0" にしてください	RW
(b6)	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は不定。		
CM27	発振停止、再発振検出時の動作選択ビット(注10)	0: 発振停止検出リセット 1: 発振停止、再発振検出割り込み	RW

- 注1. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。
- 注2. CM20ビットが"1"(発振停止、再発振検出機能有効)、CM27ビットが"1"(発振停止、再発振検出割り込み)、CPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは"1"(オンチップオシレータクロック)になります。
- 注3. CM20ビットが"1"で、かつCM23ビットが"1"(メインクロック停止)のとき、CM21ビットを"0"にしないでください。
- 注4. メインクロック停止検出時とメインクロック再発振検出時"1"になります。このビットが"0"から"1"に変化すると発振停止、再発振検出割り込みが発生します。割り込み処理プログラムで発振停止、再発振検出割り込みと、ウォッチドッグタイマ割り込みの要因判別のために使用してください。プログラムで"0"を書くと"0"になります("1"を書いても変化しません。また、発振停止、再発振検出割り込みの発生では、"0"になりません)。
- CM22ビットが"1"のとき、発振停止または再発振を検出しても、発振停止、再発振検出割り込みは発生しません。
- 注5. 発振停止、再発振検出割り込み処理プログラムで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。
- 注6. CM0レジスタのCM07ビットが"0"のとき有効。
- 注7. PM2レジスタのPM21ビットが"1"(クロック変更禁止)の場合、CM20ビットに書いても変化しません。
- 注8. ストップモードへ移行する場合、CM20ビットを"0"(無効)にしてください。ストップモードからの復帰後、改めてCM20ビットを"1"(有効)にしてください。
- 注9. CM0レジスタのCM05ビットを"1"(メインクロック停止)にする前にCM2レジスタのCM20ビットを"0"(無効)にしてください。
- 注10. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

図1.7.4. CM2レジスタ

周辺クロック選択レジスタ(注1)

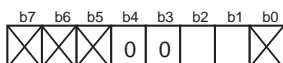


シンボル アドレス リセット後の値
PCLKR 025E₁₆番地 00000011₂

ビットシンボル	ビット名	機 能	RW
PCLK0	タイマAクロック選択ビット (タイマA、短絡防止時間 設定タイマのクロック源)	0 : f ₂ 1 : f ₁	RW
PCLK1	SI/Oクロック選択ビット (UART0 ~ UART2、SI/O3、SI/O4 のクロック源)	0 : f ₂ SI/O 1 : f ₁ SI/O	RW
(b7-b2)	予約ビット	“0” にしてください	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

プロセッサモードレジスタ2(注1)



シンボル アドレス リセット後の値
PM2 001E₁₆番地 XXX0000X₂

ビットシンボル	ビット名	機 能	RW
(b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PM21	システムクロック保護ビット (注2、注3)	0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止	RW
PM22	WDTカウントソース保護 ビット(注2、注4)	0 : ウォッチドッグタイマのカウント ソースはCPUクロック 1 : ウォッチドッグタイマのカウント ソースはオンチップオシレータクロック	RW
(b4-b3)	予約ビット	“0” にしてください	RW
(b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. このレジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

注2. 一度“1”にすると、プログラムでは“0”にできません。

注3. PM21ビットを“1”にすると次の状態になります。

- ・ WAIT命令実行時、CPUクロックが停止しない
- ・ 次のビットに書き込んでも変化しない
CM0レジスタのCM02ビット
CM0レジスタのCM05ビット(メインクロックは停止しない)
CM0レジスタのCM07ビット
CM1レジスタのCM10ビット(ストップモードに移行しない)
CM1レジスタのCM11ビット
CM2レジスタのCM20ビット(発振停止、再発振検出機能の設定は変化しない)

注4. PM22ビットを“1”にすると次の状態になります。

- ・ オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる
- ・ CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ ウェイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない

図1.7.5. PCLKR、PM2レジスタ

クロック発生回路で生成するクロックを説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックを9週倍後、3分周したクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されています。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図1.7.6にメインクロックの接続回路例を示します。

リセット後は、メインクロックの8分周がCPUクロックになります。

XIN入力が停止してもPLLは最低発振周波数で発振し続けるため、メインクロック発振回路は停止しません。

ストップモード時は、メインクロックを含めた内蔵M16Cコアすべてのクロックが停止します。詳細は「パワーコントロール」を参照してください。

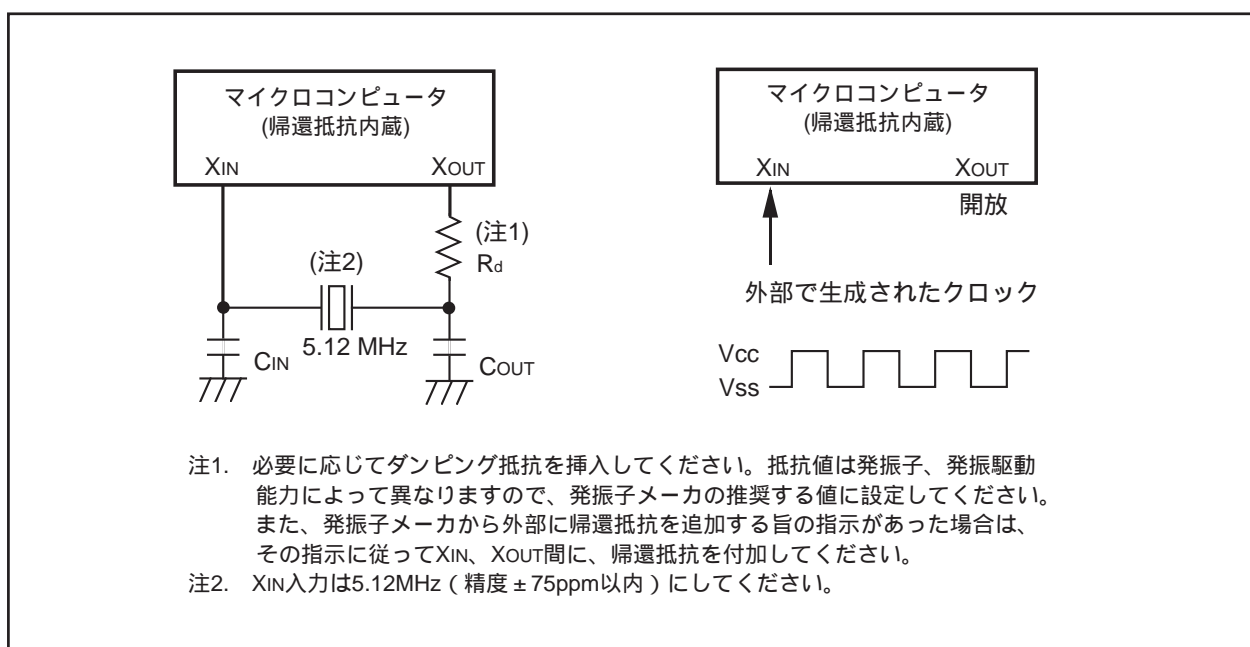


図1.7.6. メインクロックの接続回路例

(3) オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、PM2レジスタのPM22ビットが“1” (ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマのカウントソースになります。

リセット後、オンチップオシレータクロックは停止しています。CM2レジスタのCM21ビットを“1” (オンチップオシレータクロック)にすると発振を始め、オンチップオシレータクロックがメインクロックに代わって、CPUクロックと周辺機能クロックのクロック源になります。

CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

(1) CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、またはオンチップオシレータクロックが選択できます。

CPUクロックのクロック源としてメインクロック、またはオンチップオシレータクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、メインクロックの8分周がCPUクロックになります。

なお、高速モード、中速モード、またはオンチップオシレータモードからストップモードへの移行時、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

(2) 周辺機能クロック(f₁、f₂、f₈、f₃₂、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO})

周辺機能の動作クロックです。

f_i(i=1、2、8、32)とf_{iSIO}はメインクロック、またはオンチップオシレータクロックをi分周したクロックです。f₁はタイマA、f_{iSIO}はシリアルI/Oで使用します。

CM0レジスタのCM02ビットを“1”(ウエイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、f_i、f_{iSIO}は停止します。

パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

(1) 通常動作モード

通常動作モードには、さらに3つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

CPUクロックのクロック源をオンチップオシレータからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(CM0レジスタのCM06ビット=“1”)にした後、中速モード(8分周)に切り替えてください。

高速モード

メインクロックの1分周がCPUクロックとなります。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。

オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。

表1.7.2. クロック関連ビットの設定とモード

モード		CM2レジスタ	CM1レジスタ	CM0レジスタ
		CM21	CM17、CM16	CM06
高速モード		0	002	0
中速モード	2分周	0	012	0
	4分周	0	102	0
	8分周	0	—	1
	16分周	0	112	0
オンチップオシレータモード	分周なし	1	002	0
	2分周	1	012	0
	4分周	1	102	0
	8分周	1	—	1
	16分周	1	112	0

(2) ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1” (ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合は動作します。メインクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

周辺機能クロック停止機能

CM02ビットが“1” (ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIOが停止しますので、消費電力が低減できます。

ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

ウェイトモード時の端子の状態

表1.7.3にウェイトモード時の端子の状態を示します。

ウェイトモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“0002” (割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0” (ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1” (ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できません。

表1.7.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表1.7.3. ウェイトモード時の端子の状態

端 子	状 態
入出力ポート	ウェイトモードに入る直前の状態を保持

表1.7.4. ウェイトモードからの復帰に使用できる割り込み

割り込み	CM02=0の場合	CM02=1の場合
シリアルI/O割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
タイマA割り込み	すべてのモードで使用可	イベントカウンタモードのとき使用可
INT割り込み	使用可	使用可

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002”（割り込み禁止）にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

(3) ストップモード

ストップモードでは、M16Cコア内部のすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・ $\overline{\text{INT}}$ 割り込み
- ・ タイマAの割り込み(イベントカウンタモードで外部パルスをカウント時)
- ・ シリアルI/Oの割り込み(外部クロック選択時)

ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてからストップモードにしてください。

ストップモード時の端子の状態

表1.7.5にストップモード時の端子の状態を示します。

ストップモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2~ILVL0ビットに割り込み優先レベルを設定する。

また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にする。

- (2) Iフラグを“1”にする。

- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

ストップモード移行前のCPUクロックがメインクロックの場合 : メインクロックの8分周

ストップモード移行前のCPUクロックがオンチップオシレータクロックの場合 : オンチップオシレータクロックの8分周

表1.7.5. ストップモード時の端子の状態

端 子	状 態
入出力ポート	ストップモードに入る直前の状態を保持

図1.7.7に通常動作モードからのストップモード、ウエイトモードへの状態遷移を示します。

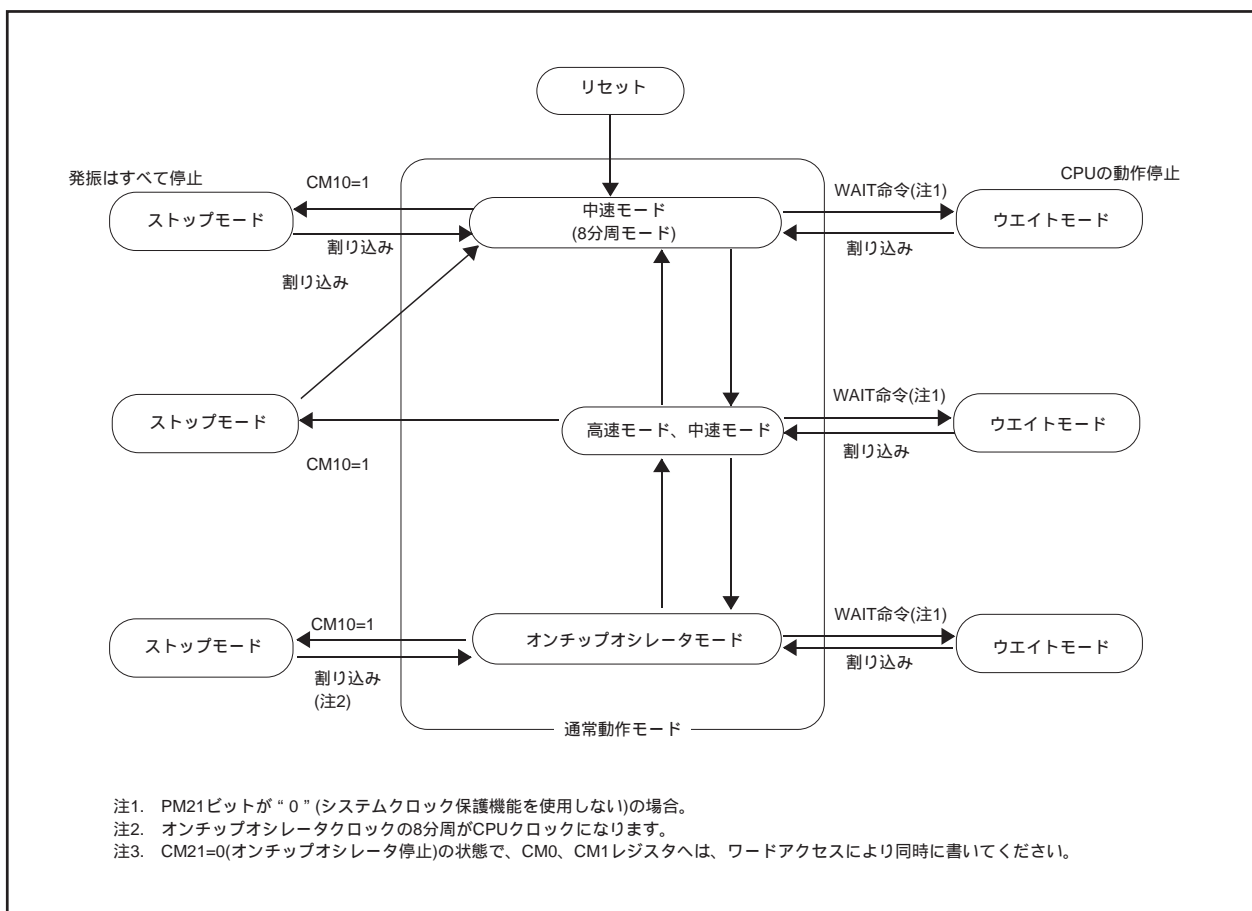


図1.7.7. ストップモード、ウエイトモード状態遷移

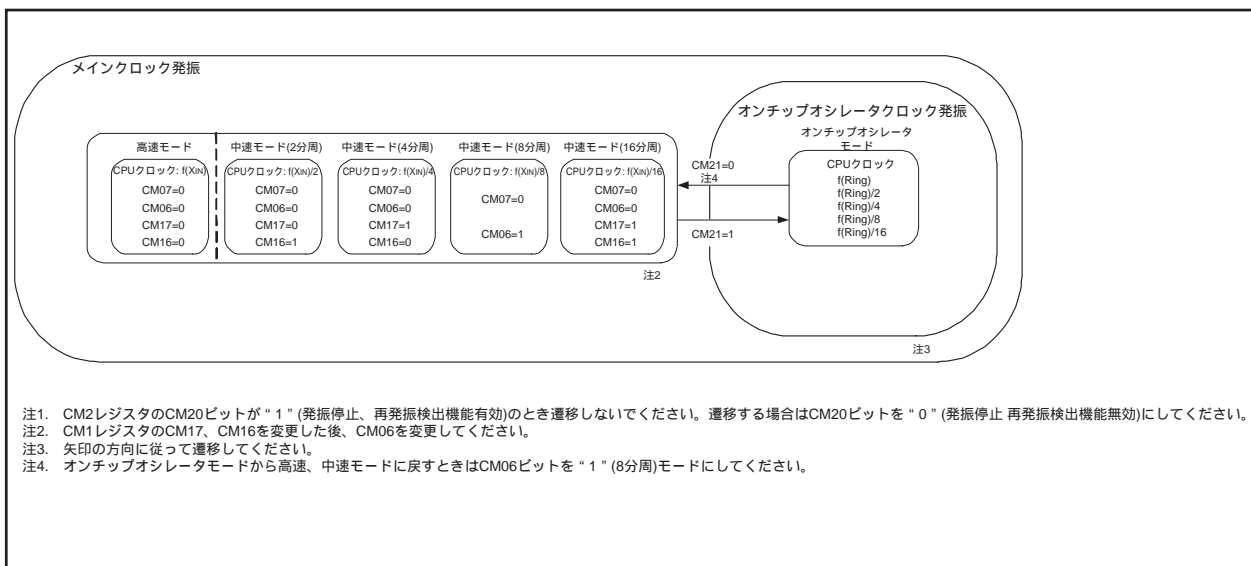


図1.7.8. 通常動作モード状態遷移

表1.7.6. 現在の状態から次に遷移可能な状態と設定方法

		次の状態			
		高速 中速モード	オンチップオシレータモード	ストップモード	ウェイトモード
現在の状態	高速 中速モード	表 A 参照	(7)	(8) (注1)	(9)
	オンチップオシレータモード	(6) (注2)	表 A 参照	(8) (注1)	(9)
	ストップモード	(10) (注3)	(10) (注3)		-
	ウェイトモード	(10)	(10)	-	

-: 遷移できません。

表A. 高速、中速モード、オンチップオシレータモードでのメインクロック分周比状態遷移表

		次の状態				
		分周なし	2分周	4分周	8分周	16分周
現在の状態	分周なし					
	2分周 (1)	(2)	(3)	(5)	(4)	
	4分周 (1)	(2)	(3)	(5)	(4)	
	8分周 (1)	(2)	(3)	(5)	(4)	
	16分周 (1)	(2)	(3)	(5)	(4)	

-: 遷移できません。

注1. CM20ビットが "1" (発振停止 再発振検出機能有効) のとき遷移しないでください。遷移する場合はCM20ビットを "0" (発振停止、再発振検出機能無効) にしてください。

注2. オンチップオシレータモードから高速、中速モードに移行するときはCM06ビットを "1" (8分周モード) にしてください。

注3. ストップモードから復帰した場合、CM06ビットが "1" (8分周モード) になります。

表B. 各番号に対する設定内容と動作

	設定内容	動作内容
(1)	CM06 = 0 CM17 = 0, CM16 = 0	CPUクロック分周なしモード
(2)	CM06 = 0 CM17 = 0, CM16 = 1	CPUクロック2分周モード
(3)	CM06 = 0 CM17 = 1, CM16 = 0	CPUクロック4分周モード
(4)	CM06 = 0 CM17 = 1, CM16 = 1	CPUクロック16分周モード
(5)	CM06 = 1	CPUクロック8分周モード
(6)	CM21 = 0	メインクロック
(7)	CM21 = 1	オンチップオシレータクロック選択
(8)	CM10 = 1	ストップモードに移行
(9)	wait	ウェイトモードに移行
(10)	ハードウェア割り込み	ストップモード、ウェイトモードから復帰

システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1” (クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- ・CM0レジスタのCM02ビット
- ・CM1レジスタのCM10ビット
- ・CM2レジスタのCM20ビット

システムクロック保護機能を使用する場合、次の処理をしてください。

(1)PRCRレジスタのPRC1ビットを“1” (PM2レジスタ書き込み許可)にする

(2)PM2レジスタのPM21ビットを“1” (クロック変更禁止)にする

(3)PRCRレジスタのPRC1ビットを“0” (PM2レジスタ書き込み禁止)にする

PM21ビットが“1” のとき、WAIT命令を実行しないでください。

発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込みを発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

発振停止、再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

M16C/6SではXIN入力が停止してもメインクロック発振回路は完全に停止しません、このため、発振停止、再発振検出機能は動作しません。

プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図1.8.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・PRC0ビットで保護されるレジスタ : CM0、CM1、CM2、PCLKRレジスタ
- ・PRC1ビットで保護されるレジスタ : PM0、PM1、PM2レジスタ
- ・PRC2ビットで保護されるレジスタ : PD9、S3C、S4Cレジスタ

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

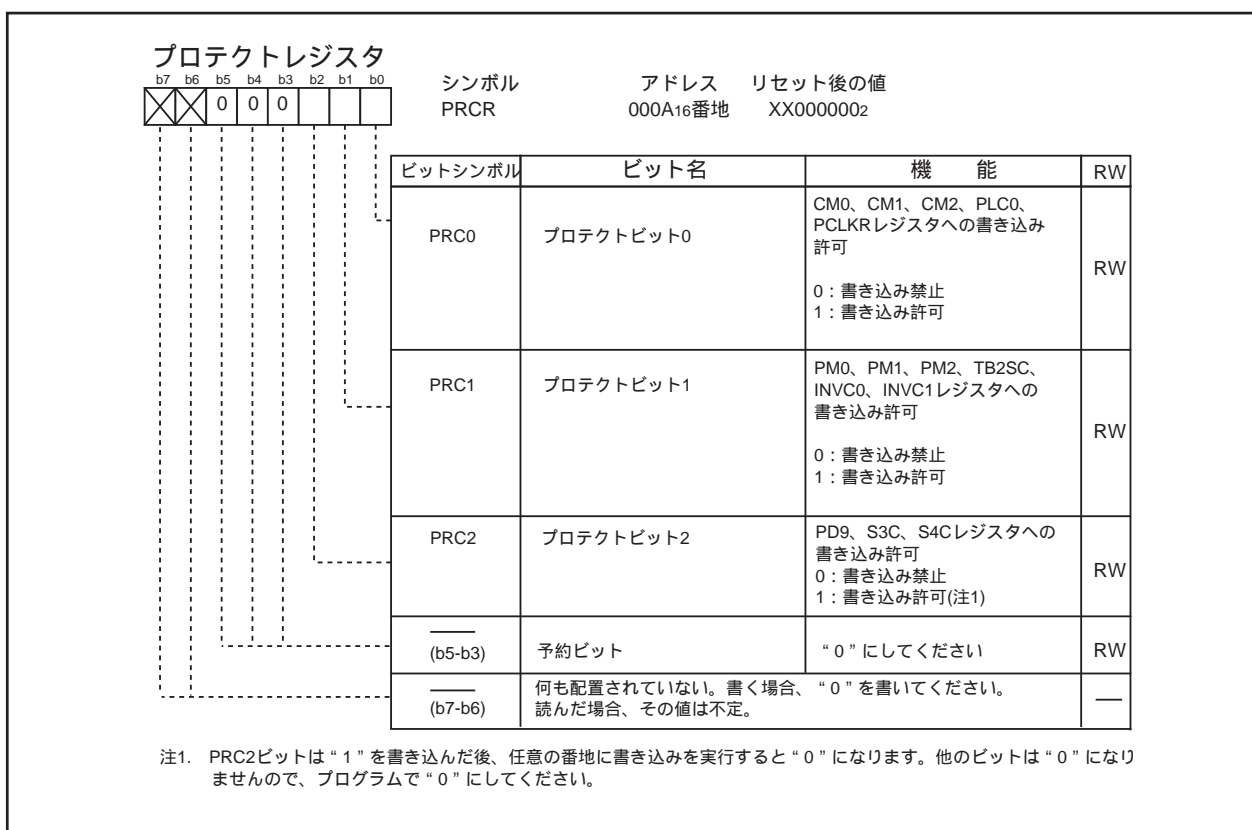


図1.8.1. PRCRレジスタ

割り込み

割り込みの分類

図1.9.1に割り込みの分類を示します。

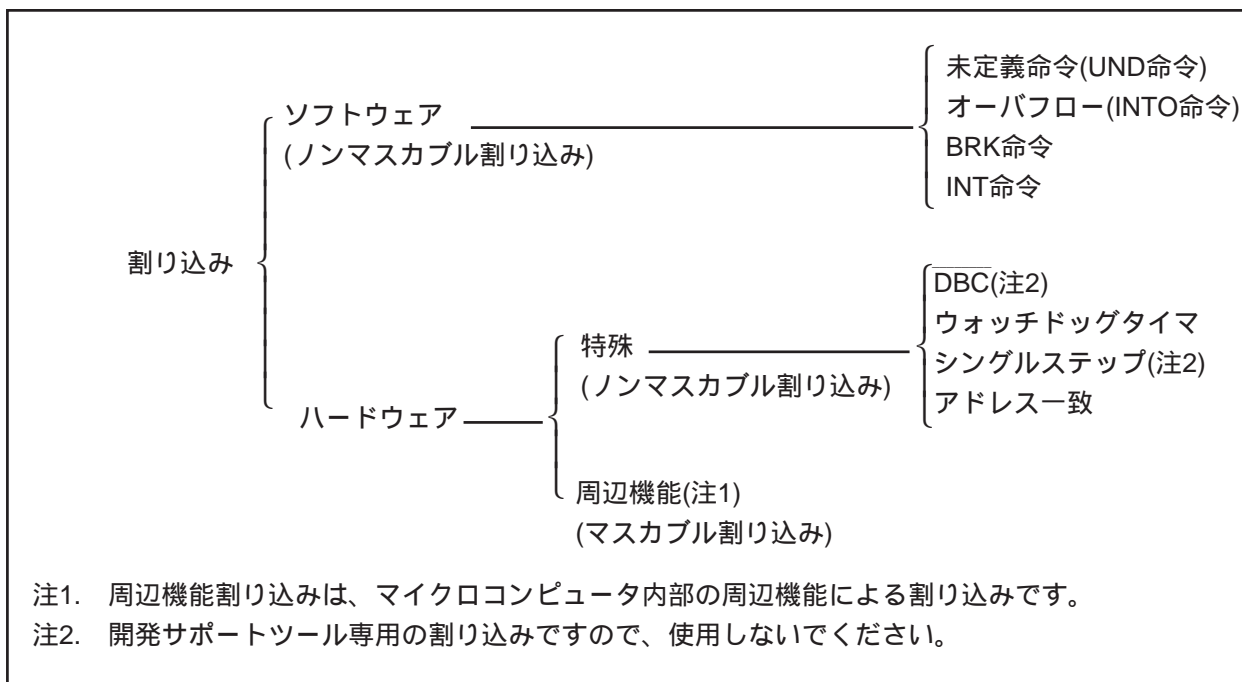


図1.9.1. 割り込みの分類

- マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) DBC割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(2) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は「ウォッチドッグタイマ」を参照してください。

(3) 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「クロック発生回路」を参照してください。

(4) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(5) アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0~RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「アドレス一致割り込み」を参照してください。

周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は表1.9.1を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図1.9.2に割り込みベクタを示します。

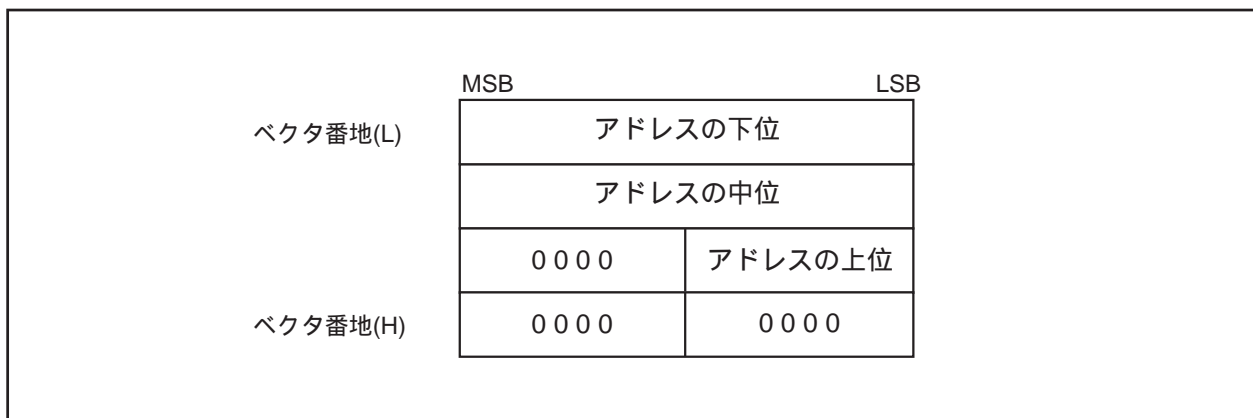


図1.9.2. 割り込みベクタ

固定ベクタテーブル

固定ベクタテーブルは、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。表1.9.1に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「フラッシュメモリ書き換え禁止機能」を参照してください。

表1.9.1. 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み	M16C/60、M16C/20、 M16C/Tinyシリーズ ソフトウェア マニュアル
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み	
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	FFFE7 ₁₆ 番地の内容がFF ₁₆ の 場合は可変ベクタテーブル内 のベクタが示す番地から実行	
アドレス一致	FFFE8 ₁₆ ~ FFFE _B ₁₆		アドレス一致割り込み
シングルステップ(注1)	FFFE _C ₁₆ ~ FFFE _F ₁₆		
ウォッチドッグタイマ、 発振停止、再発振検出、	FFFF0 ₁₆ ~ FFFF3 ₁₆		ウォッチドッグタイマ、 クロック発生回路、
DBC(注1)	FFFF4 ₁₆ ~ FFFF7 ₁₆		
— (予約)	FFFF8 ₁₆ ~ FFFF _B ₁₆		
リセット	FFFF _C ₁₆ ~ FFFFF ₁₆		リセット

注1. 開発サポートツール専用の割り込みですので、使用しないでください。

可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表1.9.2に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表1.9.2. 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注5)	+0 ~ +3(0000 ₁₆ ~ 0003 ₁₆)	0	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
—— (予約)		1 ~ 3	
INT3	+16 ~ +19(0010 ₁₆ ~ 0013 ₁₆)	4	
—— (予約)	+20 ~ +23(0014 ₁₆ ~ 0017 ₁₆)	5	——
UART1バス衝突検出 (注4)	+24 ~ +27(0018 ₁₆ ~ 001B ₁₆)	6	シリアルI/O
UART0バス衝突検出 (注4)	+28 ~ +31(001C ₁₆ ~ 001F ₁₆)	7	
SI/O4 (注2)	+32 ~ +35(0020 ₁₆ ~ 0023 ₁₆)	8	シリアルI/O
SI/O3 (注2)	+36 ~ +39(0024 ₁₆ ~ 0027 ₁₆)	9	
UART2バス衝突検出	+40 ~ +43(0028 ₁₆ ~ 002B ₁₆)	10	シリアルI/O
DMA0	+44 ~ +47 (002C ₁₆ ~ 002F ₁₆)	11	DMAC
DMA1	+48 ~ +51 (0030 ₁₆ ~ 0033 ₁₆)	12	
—— (予約)	+52 ~ +55 (0034 ₁₆ ~ 0037 ₁₆)	13	——
—— (予約)	+56 ~ +59 (0038 ₁₆ ~ 003B ₁₆)	14	——
UART2送信、NACK2 (注3)	+60 ~ +63 (003C ₁₆ ~ 003F ₁₆)	15	シリアルI/O
UART2受信、ACK2 (注3)	+64 ~ +67 (0040 ₁₆ ~ 0043 ₁₆)	16	
UART0送信、NACK0 (注3)	+68 ~ +71 (0044 ₁₆ ~ 0047 ₁₆)	17	
UART0受信、ACK0 (注3)	+72 ~ +75 (0048 ₁₆ ~ 004B ₁₆)	18	
UART1送信、NACK1 (注3)	+76 ~ +79 (004C ₁₆ ~ 004F ₁₆)	19	
UART1受信、ACK1 (注3)	+80 ~ +83 (0050 ₁₆ ~ 0053 ₁₆)	20	
タイマA0	+84 ~ +87 (0054 ₁₆ ~ 0057 ₁₆)	21	タイマ
タイマA1	+88 ~ +91 (0058 ₁₆ ~ 005B ₁₆)	22	
タイマA2	+92 ~ +95 (005C ₁₆ ~ 005F ₁₆)	23	
タイマA3	+96 ~ +99 (0060 ₁₆ ~ 0063 ₁₆)	24	
タイマA4	+100 ~ +103 (0064 ₁₆ ~ 0067 ₁₆)	25	
—— (予約)	+104 ~ +107 (0068 ₁₆ ~ 006B ₁₆)	26	——
—— (予約)	+108 ~ +111 (006C ₁₆ ~ 006F ₁₆)	27	
—— (予約)	+112 ~ +115 (0070 ₁₆ ~ 0073 ₁₆)	28	
INT0	+116 ~ +119 (0074 ₁₆ ~ 0077 ₁₆)	29	INT割り込み
INT1	+120 ~ +123 (0078 ₁₆ ~ 007B ₁₆)	30	
INT2	+124 ~ +127 (007C ₁₆ ~ 007F ₁₆)	31	
ソフトウェア割り込み(注5)	+128 ~ +131 (0080 ₁₆ ~ 0083 ₁₆)	32	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
	+252 ~ +255 (00FC ₁₆ ~ 00FF ₁₆)	63	

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSRレジスタのIFSR6、7ビットを“0”にしてください。

注3. I²Cモード時にNACK、ACKが割り込み要因になります。

注4. IFSR2AレジスタのIFSR26、27ビットを“1”にしてください。

注5. Iフラグによる禁止はできません。

割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図1.9.3に割り込み制御レジスタを示します。

割り込み制御レジスタ(注2)

シンボル	アドレス	リセット後の値
U1BCNIC(注3)	0046 ₁₆ 番地	XXXXX0002
U0BCNIC(注3)	0047 ₁₆ 番地	XXXXX0002
BCNIC	004A ₁₆ 番地	XXXXX0002
DM0IC、DM1IC	004B ₁₆ 、004C ₁₆ 番地	XXXXX0002
S0TIC ~ S2TIC	0051 ₁₆ 、0053 ₁₆ 、004F ₁₆ 番地	XXXXX0002
S0RIC ~ S2RIC	0052 ₁₆ 、0054 ₁₆ 、0050 ₁₆ 番地	XXXXX0002
TA0IC ~ TA4IC	0055 ₁₆ ~ 0059 ₁₆ 番地	XXXXX0002

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
ILVL1		RW	
ILVL2		RW	
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RW (注1)
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。
 詳細は、「割り込みの注意事項」を参照してください。
 注3. IFSR2Aレジスタで選択してください。

シンボル	アドレス	リセット後の値
INT3IC	0044 ₁₆ 番地	XX00X0002
S4IC	0048 ₁₆ 番地	XX00X0002
S3IC	0049 ₁₆ 番地	XX00X0002
INT0IC ~ INT2IC	005D ₁₆ ~ 005F ₁₆ 番地	XX00X0002

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
ILVL1		RW	
ILVL2		RW	
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RW (注1)
POL	極性切り替えビット	0 : 立ち下がりエッジを選択 (注3、注4) 1 : 立ち上がりエッジを選択	RW
—	予約ビット	“0” にしてください	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。
 詳細は、「割り込みの注意事項」を参照してください。
 注3. IFSRレジスタのIFSRiビット(i=0~5)が“1”(両エッジ)の場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。
 注4. IFSRレジスタのIFSR6ビットが“0”(SI/O3選択)時はS3ICレジスタの、IFSR7ビットが“0”(SI/O4選択)時はS4ICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

図1.9.3. 割り込み制御レジスタ

Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスクابل割り込みは許可され、“0”（禁止）にするとすべてのマスクابل割り込みは禁止されます。

IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表1.9.3に割り込み優先レベルの設定、表1.9.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- ・ Iフラグ = 1
- ・ IRビット = 1
- ・ 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表1.9.3. 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
00 ₂	レベル0 (割り込み禁止)	——
00 ₁₂	レベル1	低い ↓ 高い
01 ₀₂	レベル2	
01 ₁₂	レベル3	
100 ₂	レベル4	
101 ₂	レベル5	
110 ₂	レベル6	
111 ₂	レベル7	

表1.9.4. IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
00 ₀₂	レベル1以上を許可
00 ₁₂	レベル2以上を許可
01 ₀₂	レベル3以上を許可
01 ₁₂	レベル4以上を許可
100 ₂	レベル5以上を許可
101 ₂	レベル6以上を許可
110 ₂	レベル7以上を許可
111 ₂	すべてのマスクابل割り込みを禁止

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図1.9.4に割り込みシーケンスの実行時間を示します。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
 - Iフラグは“0”(割り込み禁止)
 - Dフラグは“0”(シングルスステップ割り込みは割り込み禁止)
 - Uフラグは“0”(ISPを指定)
 ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

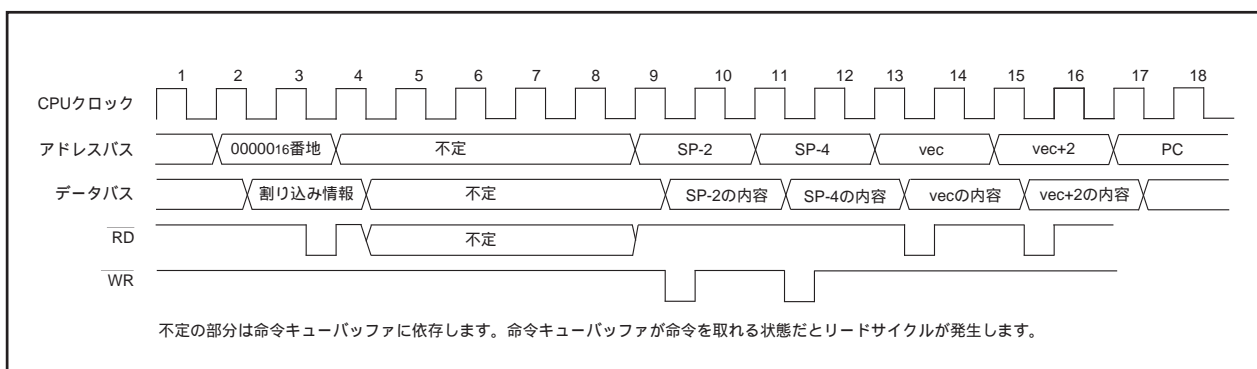


図1.9.4. 割り込みシーケンスの実行時間

割り込み応答時間

図1.9.5に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図1.9.5の(a))と割り込みシーケンスを実行する時間(図1.9.5の(b))で構成されます。

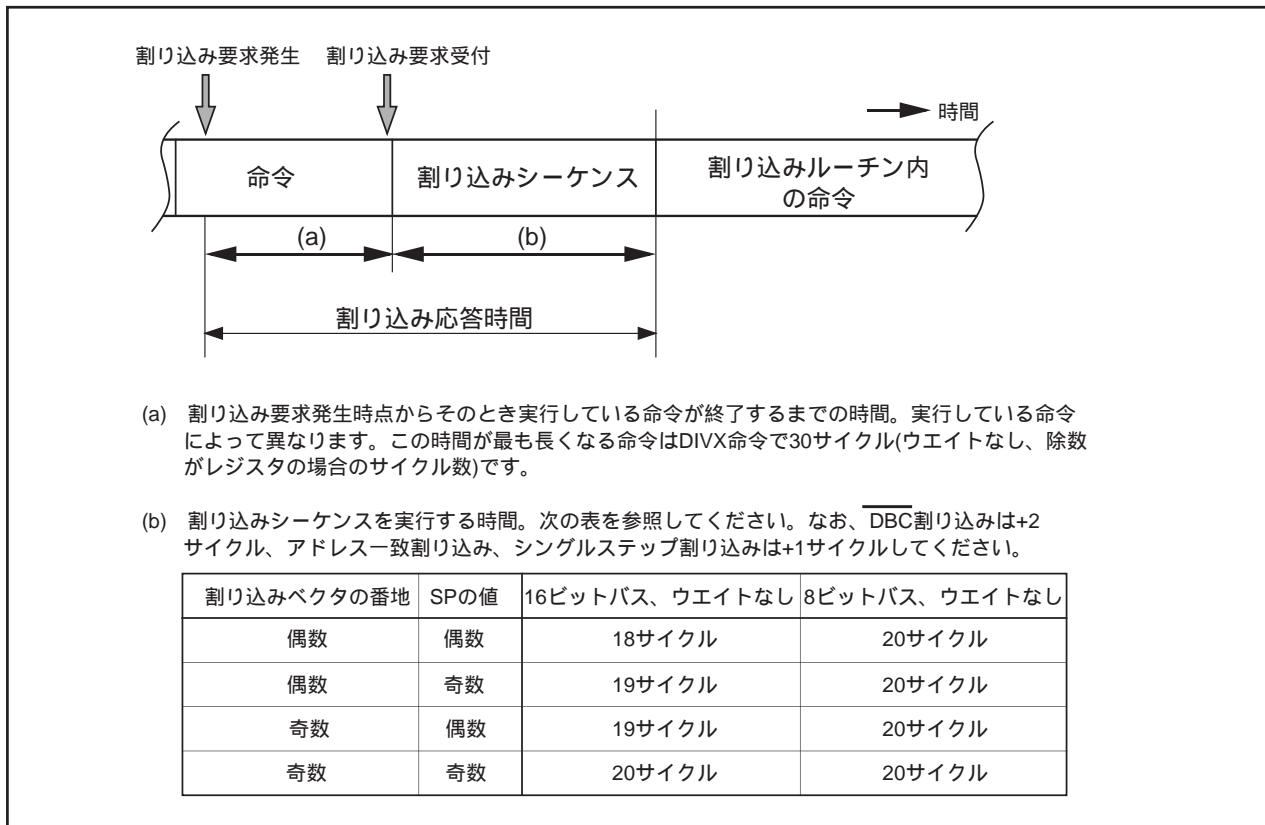


図1.9.5. 割り込み応答時間

割り込み要求受付時のIPLの変化

マスク可能割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表1.9.5に示す値がIPLに設定されます。表1.9.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表1.9.5. ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定される IPL の値
ウォッチドッグタイマ	7
ソフトウェア、アドレス一致、 $\overline{\text{DBC}}$ 、シングルステップ	変化しない

レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図1.9.6に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

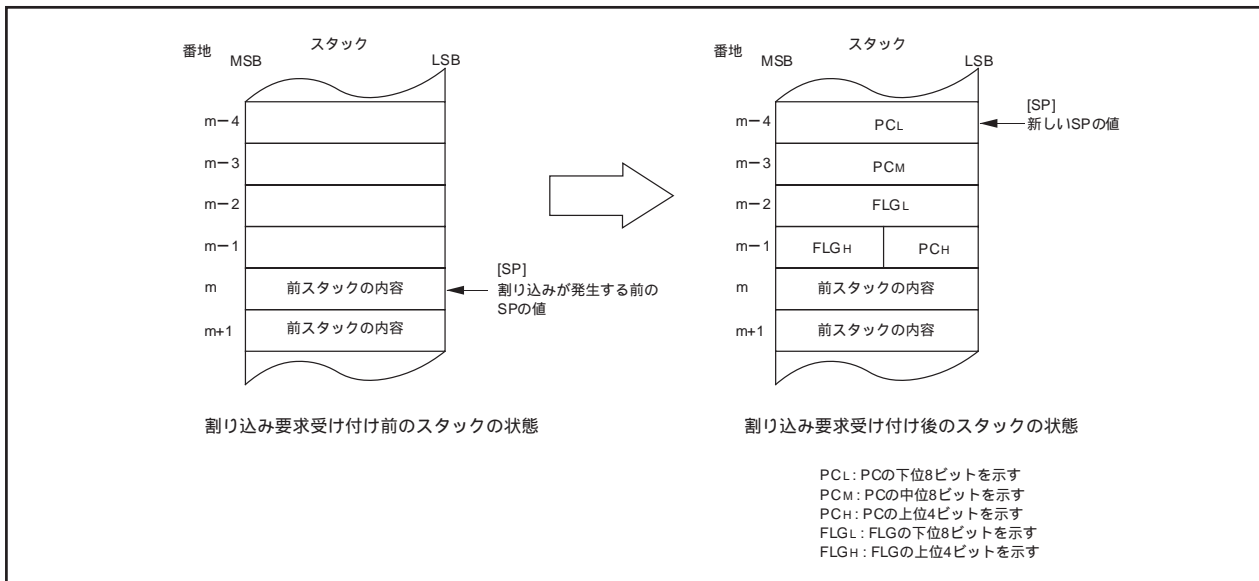


図1.9.6. 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.9.7にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

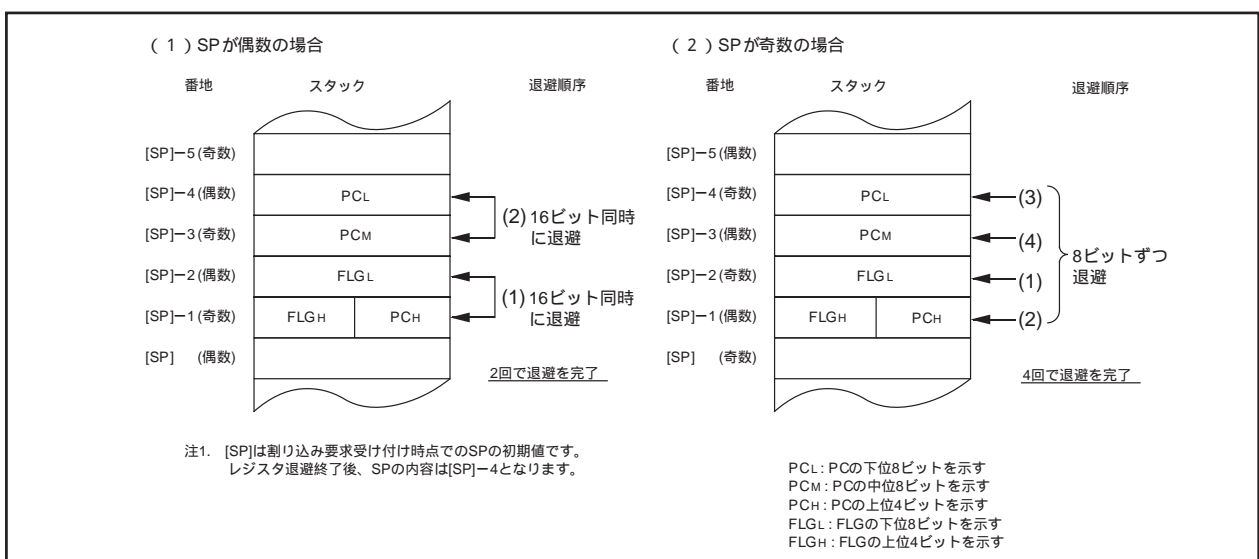


図1.9.7. レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられません。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図1.9.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

リセット > DBC > ウォッチドッグタイマ > 周辺機能 > シングルステップ > アドレス一致

図1.9.8. ハードウェア割り込みの割り込み優先順位

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。

図1.9.9に割り込み優先レベルの判定回路を示します。

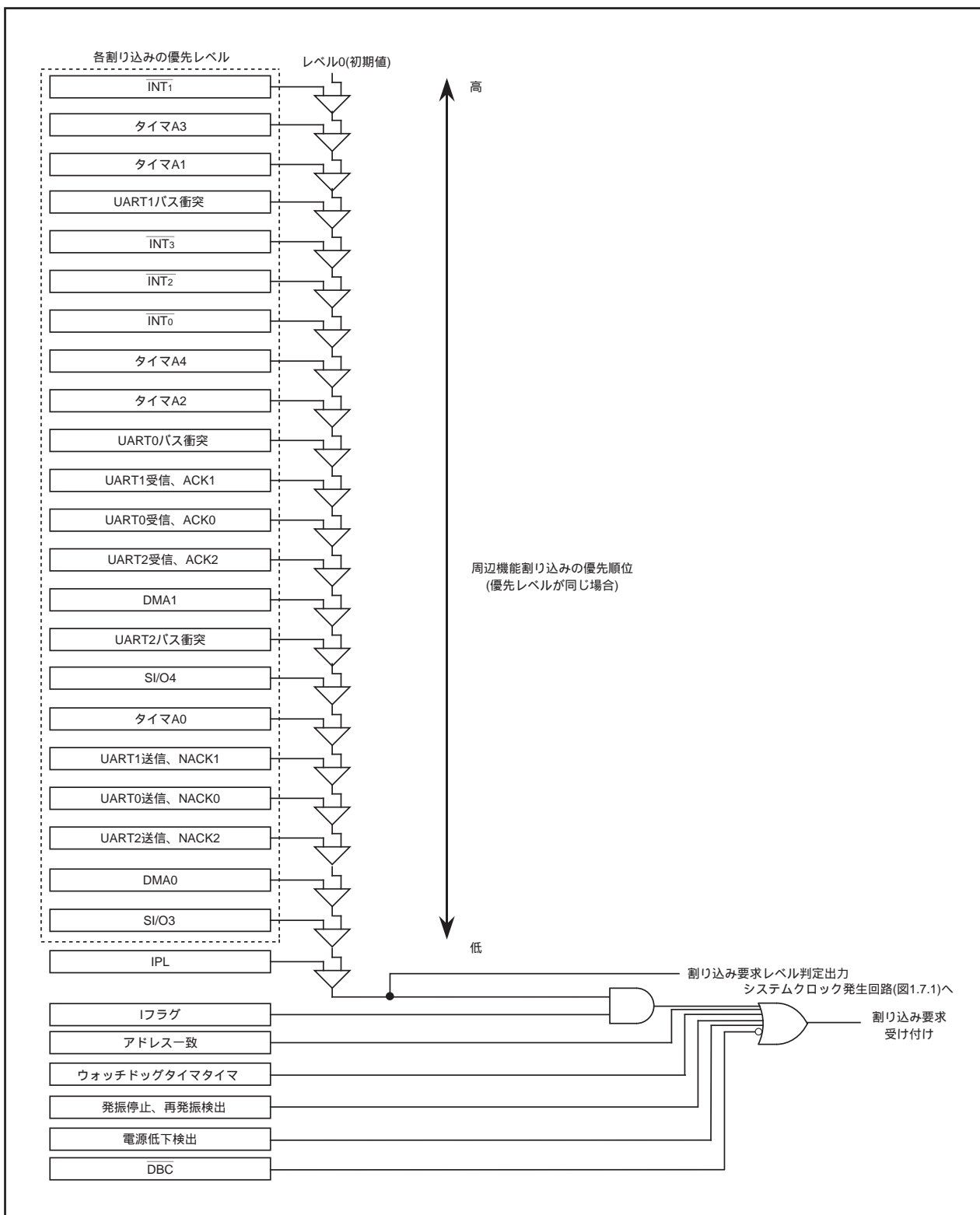


図1.9.9. 割り込み優先レベル判定回路

INT割り込み

INT_i割り込み(i=0~3)は外部入力による割り込みです。極性をIFSRレジスタのIFSR_iビットで選択できます。

図1.9.10にIFSR、IFSR2Aレジスタを示します。

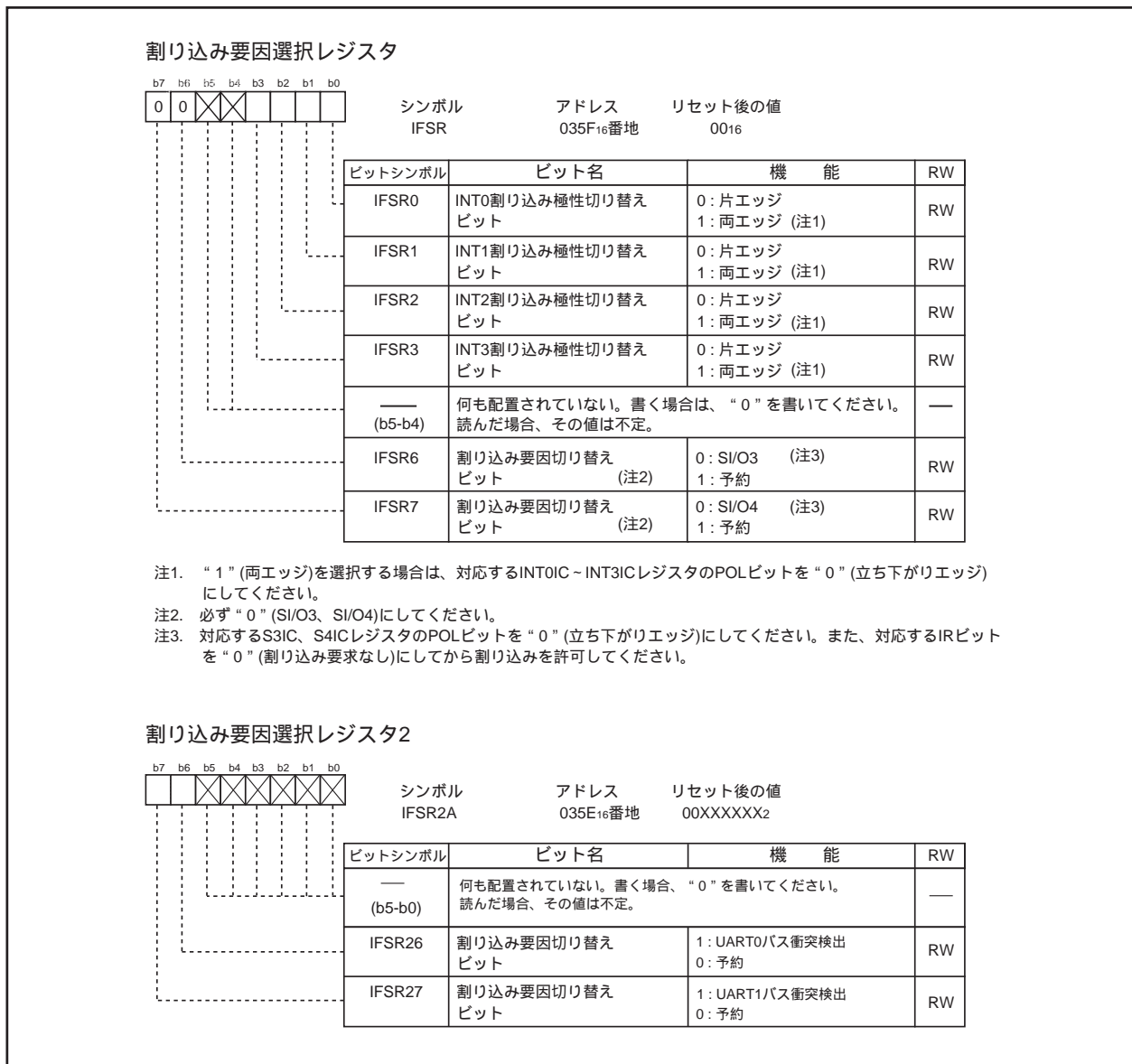


図1.9.10. IFSR、IFSR2Aレジスタ

アドレス一致割り込み

RMADiレジスタ(i=0~3)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表1.9.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図1.9.11にAIER、AIER2、RMAD0~RMAD3レジスタを示します。

表1.9.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

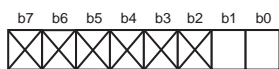
RMADiレジスタで示される番地の命令	退避されるPCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

退避されるPCの値: 「レジスタ退避」参照

表1.9.7. アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

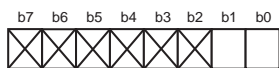
アドレス一致割り込み許可レジスタ



シンボル アドレス リセット後の値
 AIER 0009₁₆番地 XXXXXX00₂

ビットシンボル	ビット名	機 能	RW
AIER0	アドレス一致割り込み0 許可ビット	0: 禁止 1: 許可	RW
AIER1	アドレス一致割り込み1 許可ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

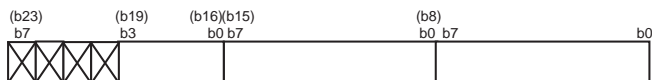
アドレス一致割り込み許可レジスタ2



シンボル アドレス リセット後の値
 AIER2 01BB₁₆番地 XXXXXX00₂

ビットシンボル	ビット名	機 能	RW
AIER20	アドレス一致割り込み2 許可ビット	0: 禁止 1: 許可	RW
AIER21	アドレス一致割り込み3 許可ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

アドレス一致割り込みレジスタ*i*(*i*=0~3)



シンボル アドレス リセット後の値
 RMAD0 0012₁₆ ~ 0010₁₆番地 X00000₁₆
 RMAD1 0016₁₆ ~ 0014₁₆番地 X00000₁₆
 RMAD2 01BA₁₆ ~ 01B8₁₆番地 X00000₁₆
 RMAD3 01BE₁₆ ~ 01BC₁₆番地 X00000₁₆

機 能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ	00000 ₁₆ ~ FFFFF ₁₆	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

図1.9.11. AIER、AIER2、RMAD0~RMAD3レジスタ

割り込みの注意事項

(1) 00000₁₆番地の読み出し

プログラムで00000₁₆番地を読まないでください。マスクプル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000₁₆番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

(2) SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000₁₆”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

(3) INT割り込み

INT₀ ~ INT₃端子に入力する信号には、CPUクロックに関係なく250ns以上の“L”幅または“H”幅が必要です。

INT₀ ~ INT₃端子の極性を切り替えるときにIRビットが“1” (割り込み要求あり)になることがあります。切り替えを行った後、IRビットを“0” (割り込み要求なし)にしてください。図1.9.12にINT割り込み発生要因の切り替え手順例を示します。

(4) ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止してから変更してください。次に参考プログラム例を示します。

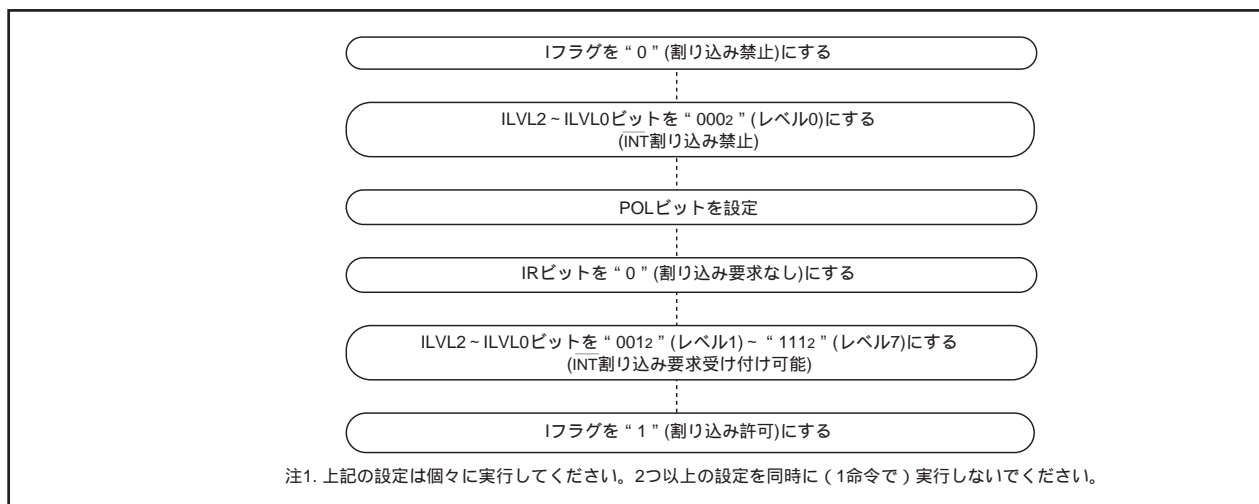


図1.9.12. INT割り込み発生要因の切り替え手順例

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR  I           ; 割り込み禁止
  AND.B #00H, 0055H ; TA0ICレジスタを "0016" にする
  NOP                    ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET  I           ; 割り込み許可
```

例 2 :

```
INT_SWITCH2 :
  FCLR  I           ; 割り込み禁止
  AND.B #00H, 0055H ; TA0ICレジスタを "0016" にする
  MOV.W MEM, R0     ; ダミーリード
  FSET  I           ; 割り込み許可
```

例 3 :

```
INT_SWITCH3 :
  PUSHC FLG
  FCLR  I           ; 割り込み禁止
  AND.B #00H, 0055H ; TA0ICレジスタを "0016" にする
  POPC  FLG        ; 割り込み許可
```

例1でFSET I命令の前にNOP命令が2個 (HOLD機能使用時は4個)、例2でFSET I命令の前にダミーリードがある理由
命令キューバッファの影響によって、割り込み制御レジスタに書く前に、Iフラグが "1" になるのを防ぐ。

割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが "1" (割り込み要求あり) にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令...AND、OR、BCLR、BSET

IRビットの変更

IRビットを "0" (割り込み要求なし) にする場合、使用する命令によってはIRビットが "0" にならないことがあります。IRビットはMOV命令を使用して "0" にしてください。

ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、ウォッチドッグタイマリセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にはできません。ウォッチドッグタイマリセットの詳細は「ウォッチドッグタイマリセット」を参照してください。

CPUクロックにメインクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周}(16\text{または}128) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケアラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケアラは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、またはウエイトモード時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図1.10.1にウォッチドッグタイマのブロック図、図1.10.2にウォッチドッグタイマ関連レジスタを示します。

カウントソース保護モード

ウォッチドッグタイマのカウントソースとして、オンチップオシレータクロックを使用するモードです。暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

このモードを使用する場合、次の処理をしてください。

- (1)PRCRレジスタのPRC1ビットを“1”(PM1、PM2レジスタ書き込み許可)にする
- (2)PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマアンダフロー時リセット)にする
- (3)PM2レジスタのPM22ビットを“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)にする
- (4)PRCRレジスタのPRC1ビットを“0”(PM1、PM2レジスタ書き込み禁止)にする
- (5)WDTSレジスタへの書き込み(ウォッチドッグタイマのカウント開始)

PM22ビットを“1”にすると次の状態になります。

- ・ オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる

$$\text{ウォッチドッグタイマの周期} = \frac{\text{ウォッチドッグタイマのカウント値(32768)}}{\text{オンチップオシレータクロック}}$$

- ・ CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ ウェイトモードのとき、ウォッチドッグタイマは停止しない

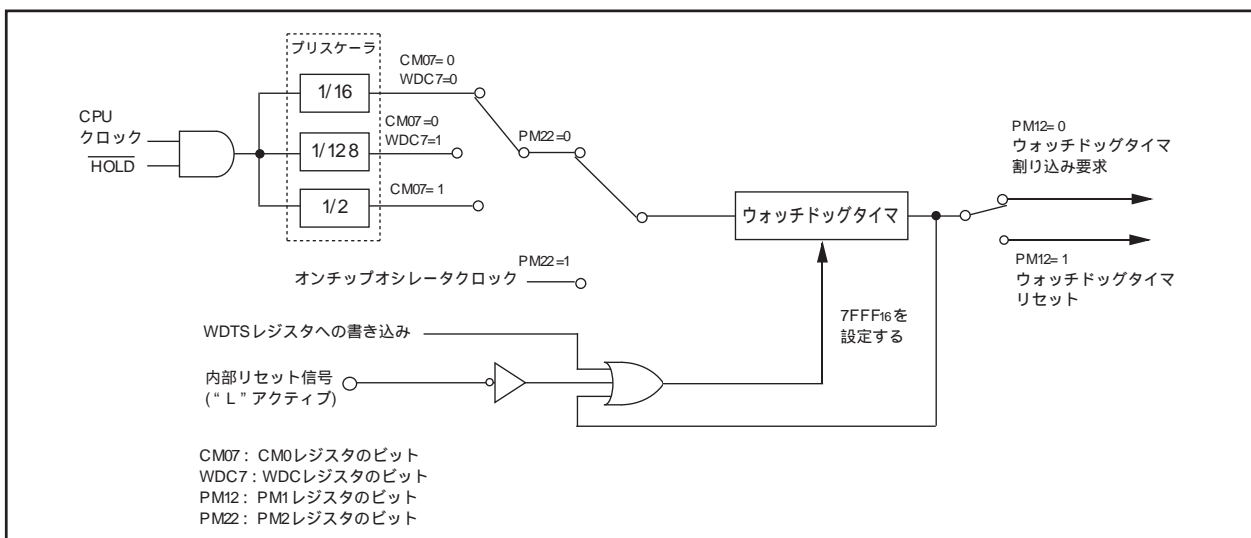


図1.10.1. ウォッチドッグタイマのブロック図

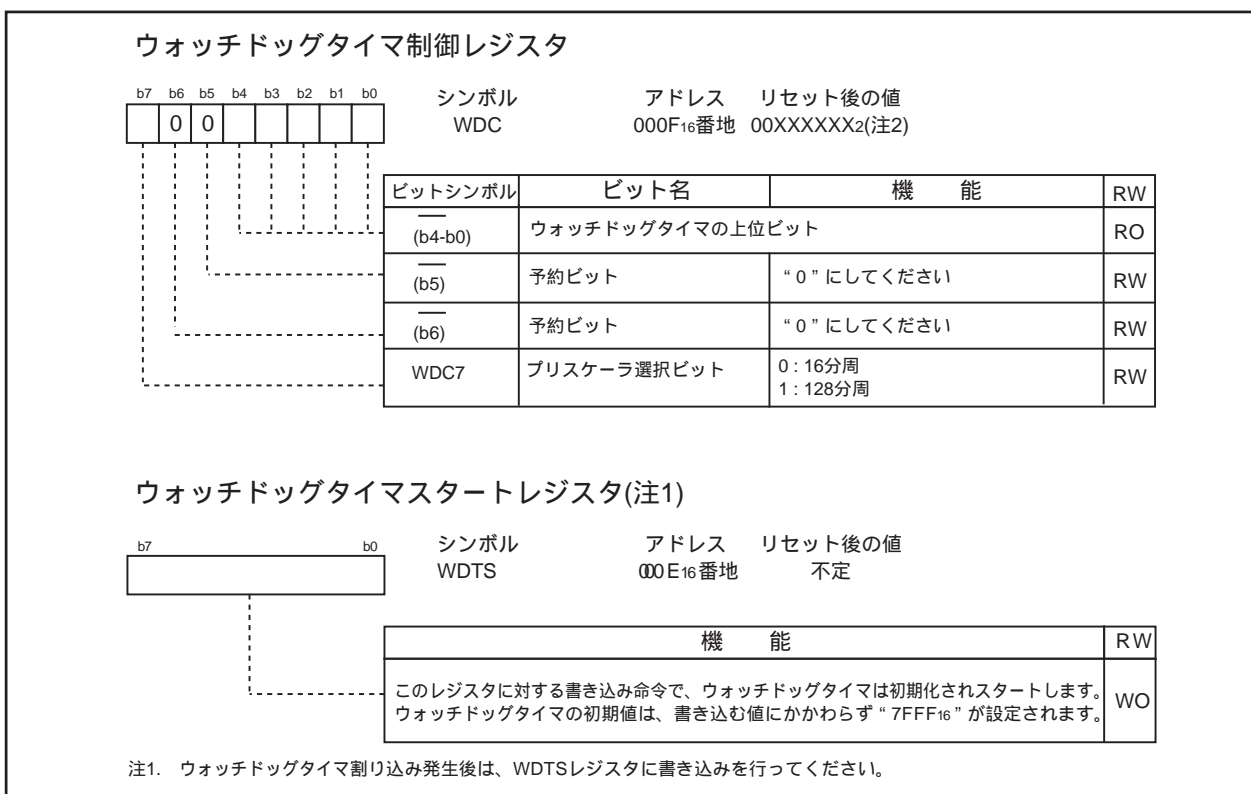


図1.10.2. WDC、WDTsレジスタ

DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、2チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図1.11.1にDMACブロック図、表1.11.1にDMACの仕様、図1.11.2～図1.11.4にDMAC関連レジスタを示します。

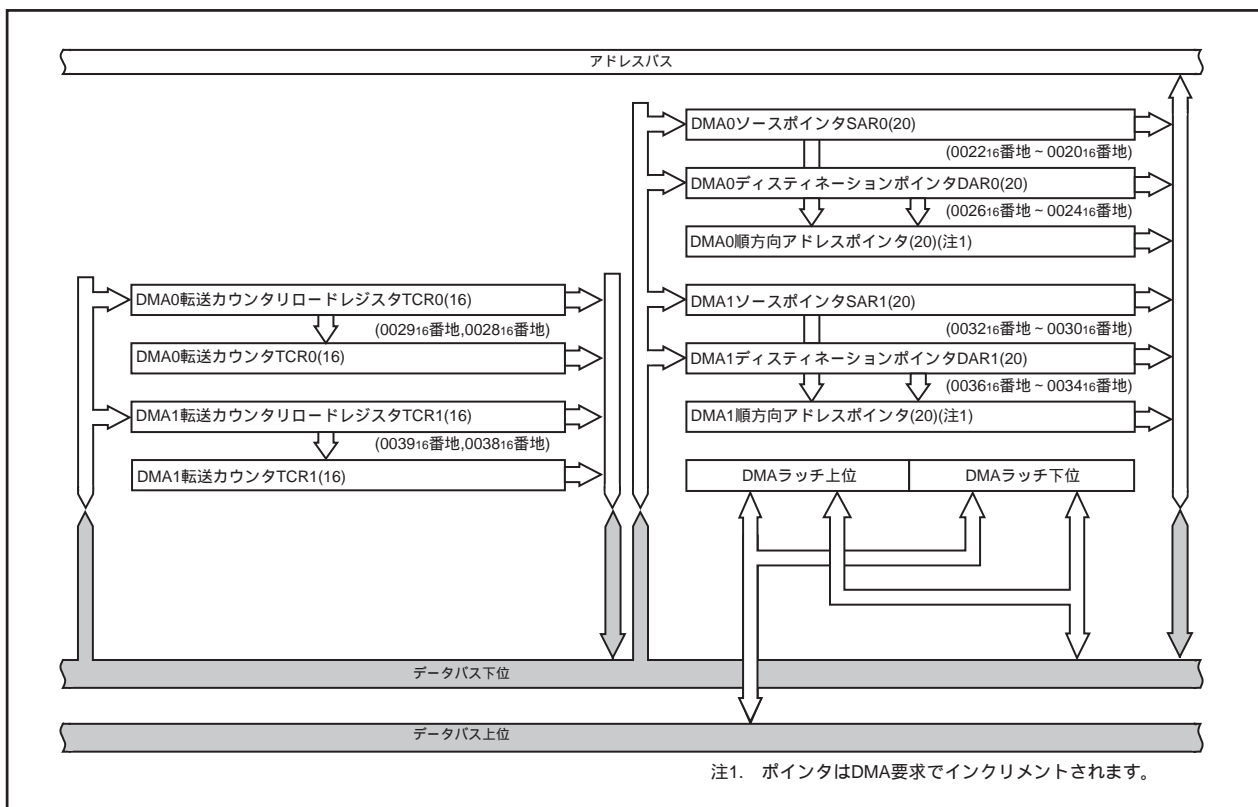


図1.11.1. DMACブロック図

DMA要求は、DMiSLレジスタ($i=0 \sim 1$)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3～DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、IFラフ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが“1”(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「DMA要求」を参照してください。

表1.11.1. DMACの仕様

項 目		仕 様
チャンネル数		2チャンネル(サイクルスチール方式)
転送空間		1Mバイトの任意の空間から固定番地 固定番地から1Mバイトの任意の空間 固定番地から固定番地
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1、注2)		INT0またはINT1端子の立ち下がりエッジ INT0またはINT1端子の両エッジ タイマA0～タイマA4割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 SI/O3、SI/O4割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0 > DMA1(DMA0が優先)
転送単位		8ビットまたは16ビット
転送番地方向		順方向または固定(転送元と転送先の両方を順方向にしないでください)
転送モード	単転送	DMAi転送カウンタ(i=0～1)がアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DMAi転送カウンタがアンダフローしたとき
DMA転送開始		DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される
DMA転送停止	単転送	DMAEビットを“0”(禁止)にする DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング		DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。

注2. 選択できる要因はチャンネルによって異なります。

注3. DMAC関連レジスタ(0020₁₆～003F₁₆番地)をDMACでアクセスしないでください。

DMA0要因選択レジスタ

シンボル
DM0SL

アドレス
03B8₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
(b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
DMS	DMA要因拡張選択ビット	0: 基本要因 1: 拡張要因	RW
DSR	ソフトウェアDMA要求ビット	DMSビットが“0”(基本要因)、DSEL3~DSEL0ビットが“000 ₁₂ ”(ソフトウェアトリガ)のとき、このビットを“1”にするとDMA要求が発生する(読んだ場合、その値は“0”)	RW

注1. DMA0の要求要因は、DMSビットとDSEL3~DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3~DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0000 ₂	INT0端子の立ち下がりエッジ	-
0001 ₂	ソフトウェアトリガ	-
0010 ₂	タイマA0	-
0011 ₂	タイマA1	-
0100 ₂	タイマA2	-
0101 ₂	タイマA3	-
0110 ₂	タイマA4	INT0端子の両エッジ
0111 ₂	予約	-
1000 ₂	予約	-
1001 ₂	予約	-
1010 ₂	UART0送信	-
1011 ₂	UART0受信	-
1100 ₂	UART2送信	-
1101 ₂	UART2受信	-
1110 ₂	予約	-
1111 ₂	UART1送信	-

図1.11.2. DM0SLレジスタ

DMA1要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
DM1SL

アドレス
03BA₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
DMS	DMA要因拡張選択ビット	0: 基本要因 1: 拡張要因	RW
DSR	ソフトウェアDMA要求ビット	DMSビットが“0”(基本要因)、DSEL3~DSEL0ビットが“0001 ₂ ”(ソフトウェアトリガ)のとき、このビットを“1”にするとDMA要求が発生する(読んだ場合、その値は“0”)	RW

注1. DMA1の要求要因は、DMSビットとDSEL3~DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3~DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0000 ₂	INT1端子の立ち下がりエッジ	-
0001 ₂	ソフトウェアトリガ	-
0010 ₂	タイマA0	-
0011 ₂	タイマA1	-
0100 ₂	タイマA2	-
0101 ₂	タイマA3	シリアルI/O3
0110 ₂	タイマA4	シリアルI/O4
0111 ₂	予約	INT1端子の両エッジ
1000 ₂	予約	-
1001 ₂	予約	-
1010 ₂	UART0送信	-
1011 ₂	UART0受信/ACK0	-
1100 ₂	UART2送信	-
1101 ₂	UART2受信/ACK2	-
1110 ₂	予約	-
1111 ₂	UART1受信/ACK1	-

DMAi制御レジスタ(i=0, 1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
DM0CON
DM1CON

アドレス
002C₁₆番地
003C₁₆番地

リセット後の値
00000X00₂
00000X00₂

ビットシンボル	ビット名	機能	RW
DMBIT	転送単位ビット数選択ビット	0: 16ビット 1: 8ビット	RW
DMASL	リピート転送モード選択ビット	0: 単転送 1: リピート転送	RW
DMAS	DMA要求ビット	0: 要求なし 1: 要求あり	RW (注1)
DMAE	DMA許可ビット	0: 禁止 1: 許可	RW
DSD	転送元アドレス方向選択ビット(注2)	0: 固定 1: 順方向	RW
DAD	転送先アドレス方向選択ビット(注2)	0: 固定 1: 順方向	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. DMASビットは、プログラムで“0”を書くとも“0”になります(“1”を書いても変化しません)。
 注2. DADビット、DSDビットのうち、少なくともいずれかが1ビットは“0”(アドレス方向は固定)にしてください。

図1.11.3. DM1SL、DM0CON、DM1CONレジスタ

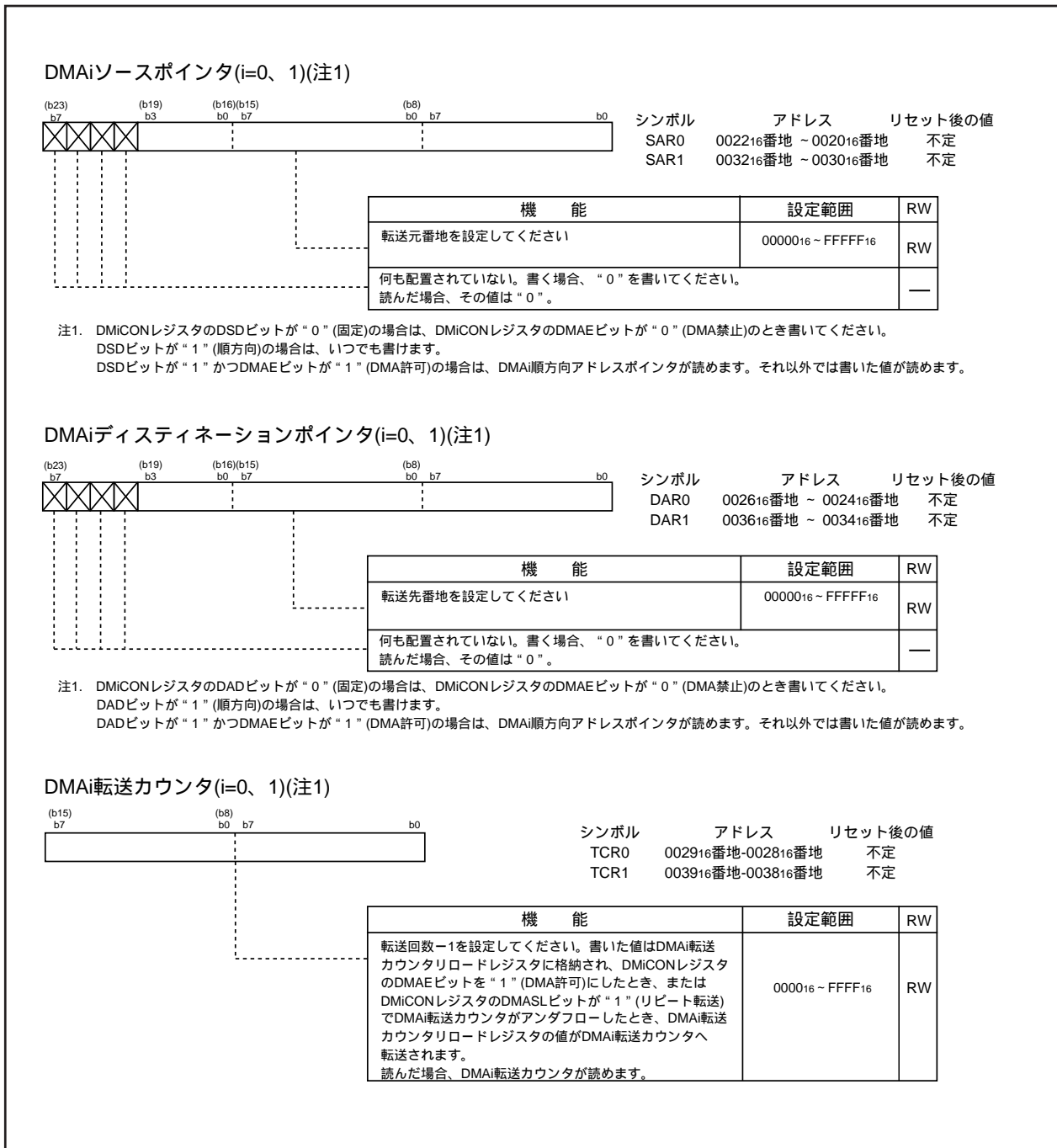


図1.11.4. SAR0、SAR1、DAR0、DAR1、TCR0、TCR1レジスタ

(1) 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。さらに、ソフトウェアウエイトにより、バスサイクル自体が長くなります。

転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

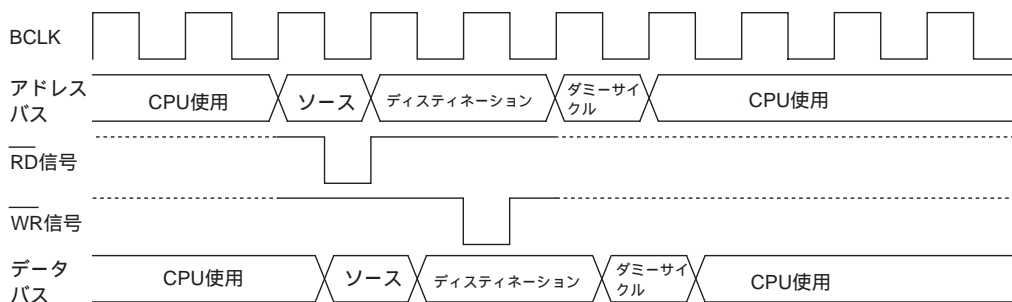
同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

ソフトウェアウエイトの影響

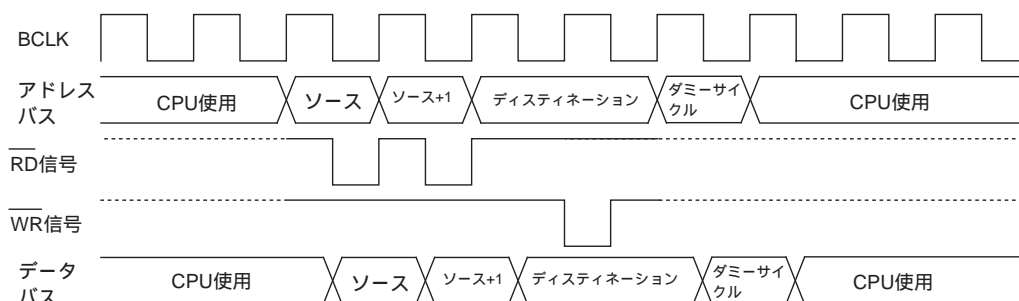
ソフトウェアウエイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するサイクル数が増えます。

図1.11.5にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図1.11.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

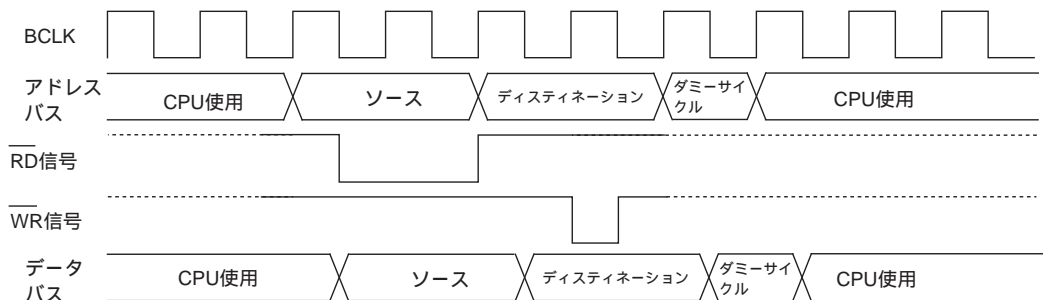
(1) 転送単位が8ビットの場合または転送単位が16ビットでソースが偶数番地の場合



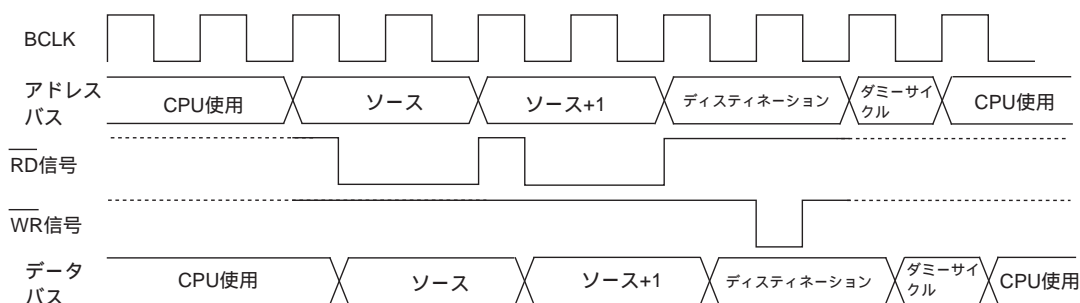
(2) 転送単位が16ビットでソースが奇数番地の場合



(3) (1)の条件でソースリードに1ウェイトが入った場合



(4) (2)の条件でソースリードに1ウェイトが入った場合



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図1.11.5. ソースリードサイクル例

(2) DMA転送サイクル数

DMA転送サイクル数は次のとおり計算できます。

表1.11.2にDMA転送サイクル数、表1.11.3に係数j、kを示します。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表1.11.2. DMA転送サイクル数

転送単位	アクセス 番地	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	偶 数	1	1
	奇 数	1	1
16ビット転送 (DMBIT= " 0 ")	偶 数	1	1
	奇 数	2	2

表1.11.3. 係数j、k

	内部ROM、RAM		SFR	
	ウエイト なし	ウエイト あり	1ウエイト (注2)	2ウエイト (注2)
j	1	2	2	3
k	1	2	2	3

注1. CSEレジスタの設定値に依存します。

注2. PM2レジスタのPM20ビットの設定値に依存します。

(3) DMA許可

DMiCONレジスタ(i=0、1)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

- (1) DMiCONレジスタ(i=0、1)のDSDビットが“1”(順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする
- (2) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。
- (2) DMAiが初期状態(上記(1)(2)の状態)になっていることをプログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

(4) DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0、1)のDMSビット、DESL3～DESL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表1.11.4にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DSEL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DSEL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表1.11.4. DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiCONレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> ・データ転送開始直前 ・プログラムで“0”を書いたとき
周辺機能	DMiCONレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

(5) チャンネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図1.11.6に外部要因によるDMA転送例を示します。

図1.11.6ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図1.11.6のDMA1のようにバス権を得るまでに複数回DMA要求が発生した場合も、バス権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス権を返します。

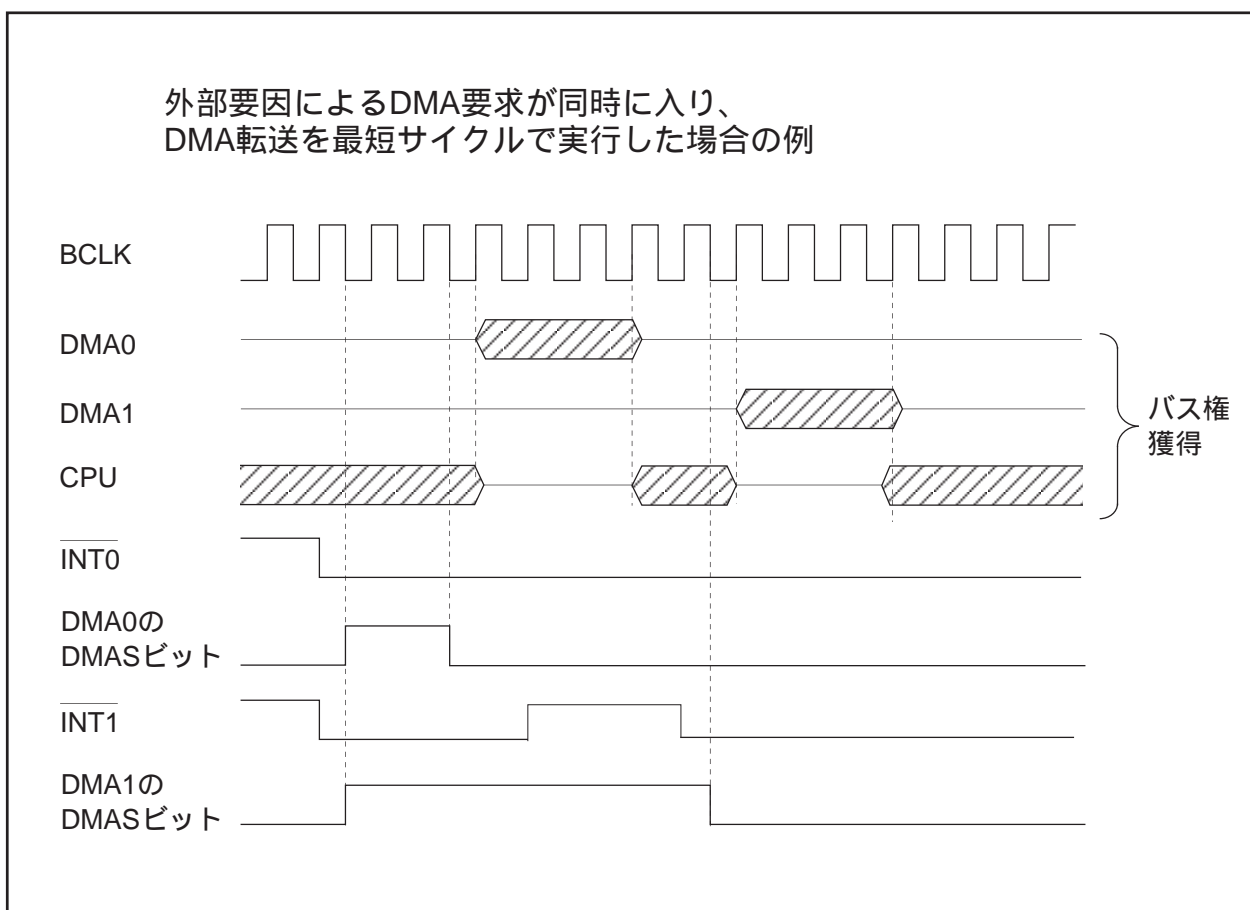


図1.11.6. 外部要因によるDMA転送例

タイマ

16ビットタイマが5本あります。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図1.12.1にタイマA構成を示します。

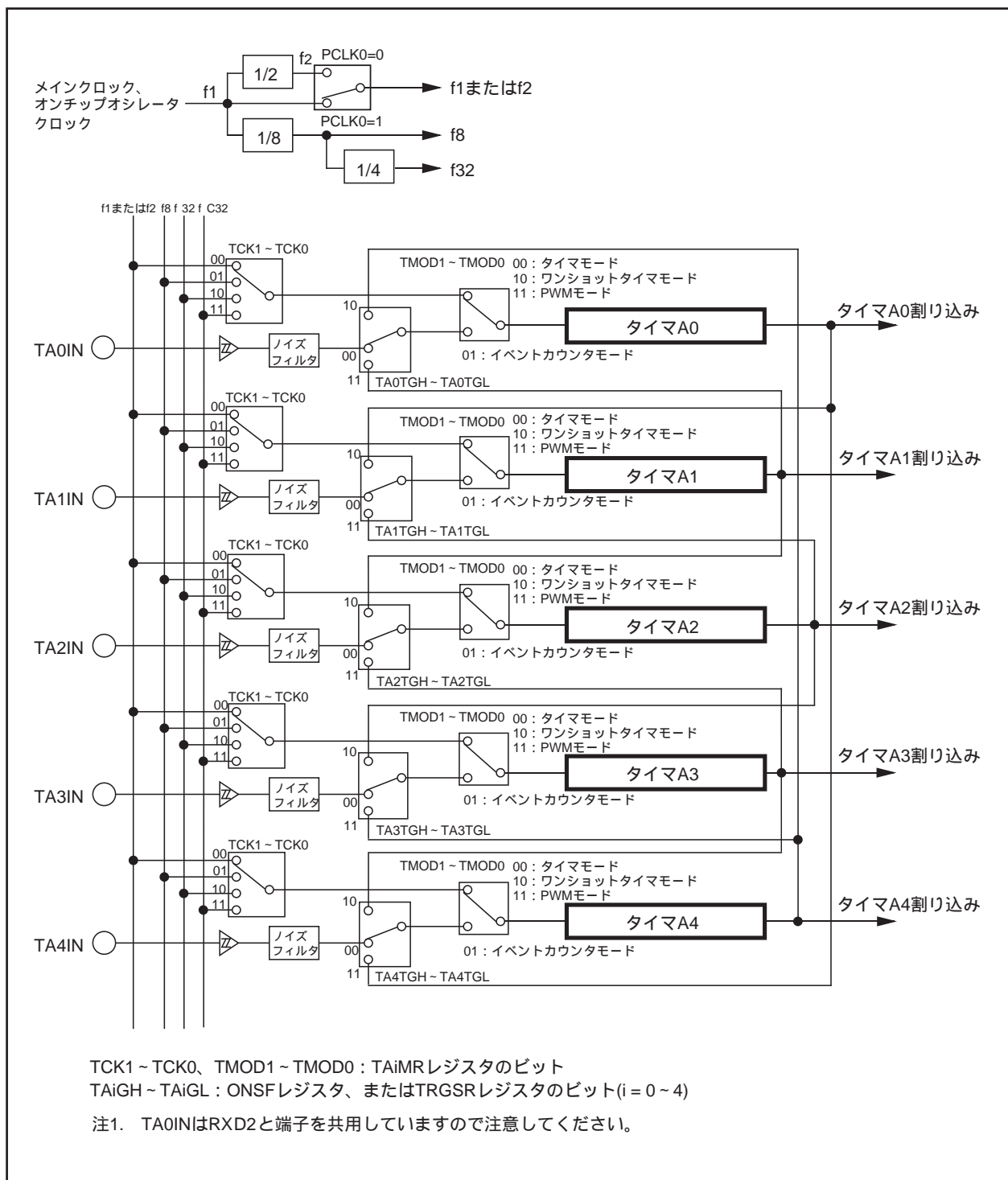


図1.12.1. タイマA構成

タイマA

図1.12.2にタイマAブロック図、図1.12.3～図1.12.5にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモード
- ・ワンショットタイマモード カウント値が“000016”になるまでの間、1度だけパルスを出力するモード
- ・パルス幅変調モード 任意の幅のパルスを連続して出力するモード

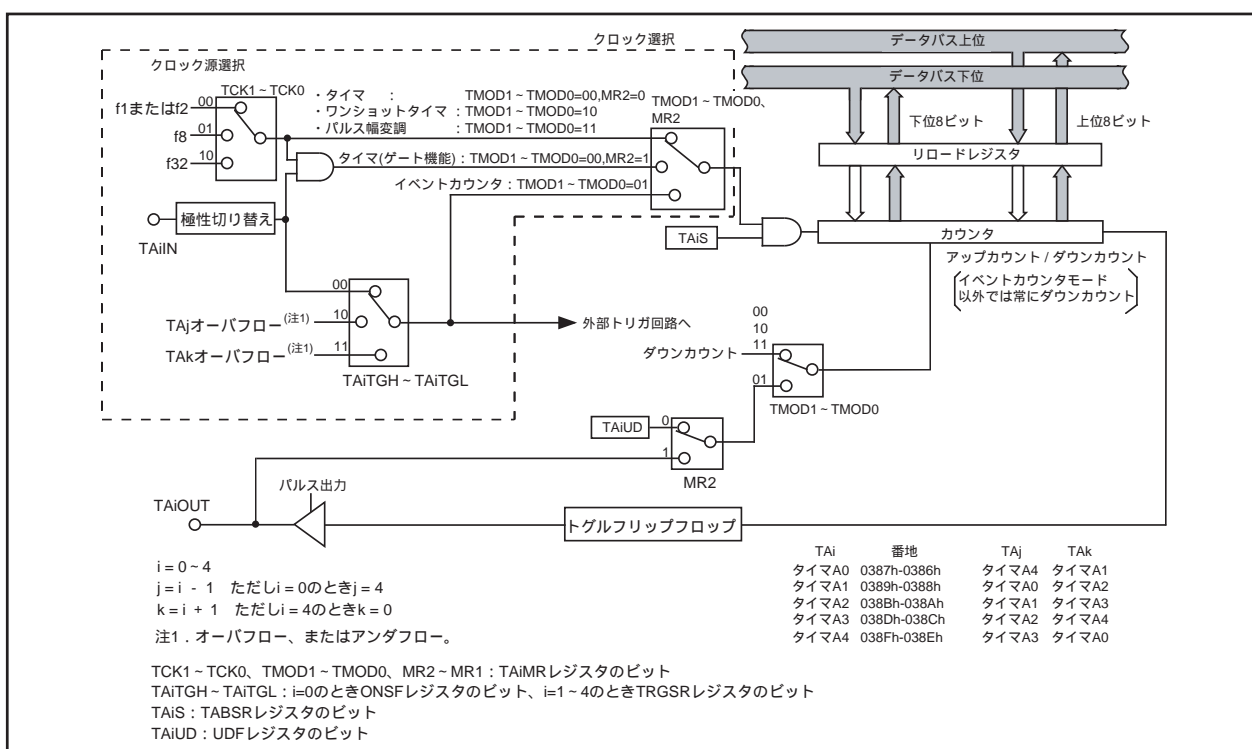


図1.12.2. タイマAブロック図

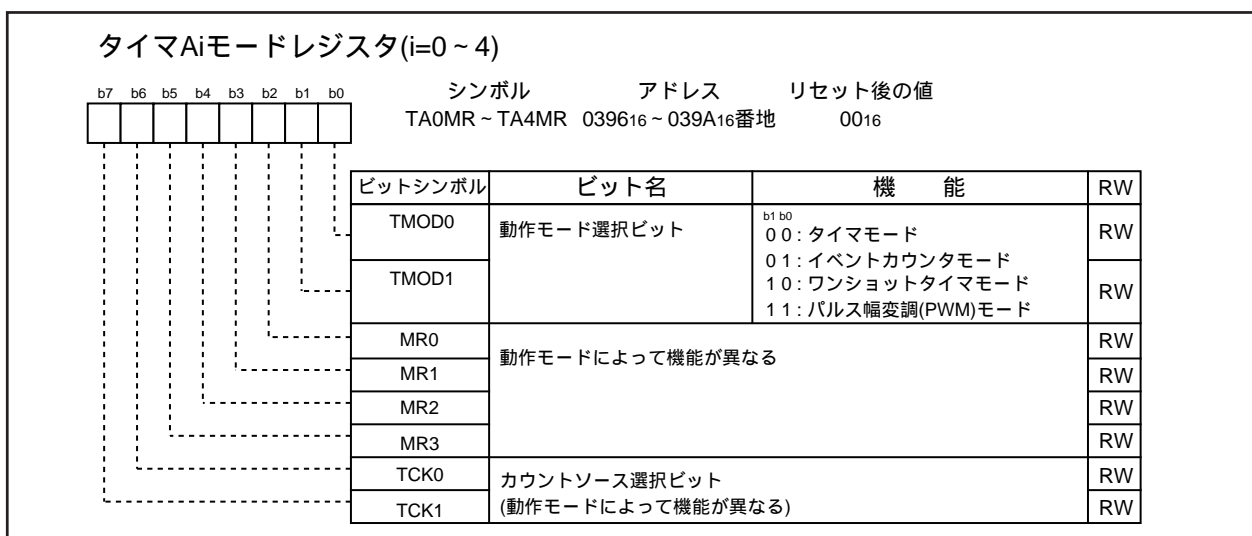


図1.12.3. TA0MR～TA4MRレジスタ

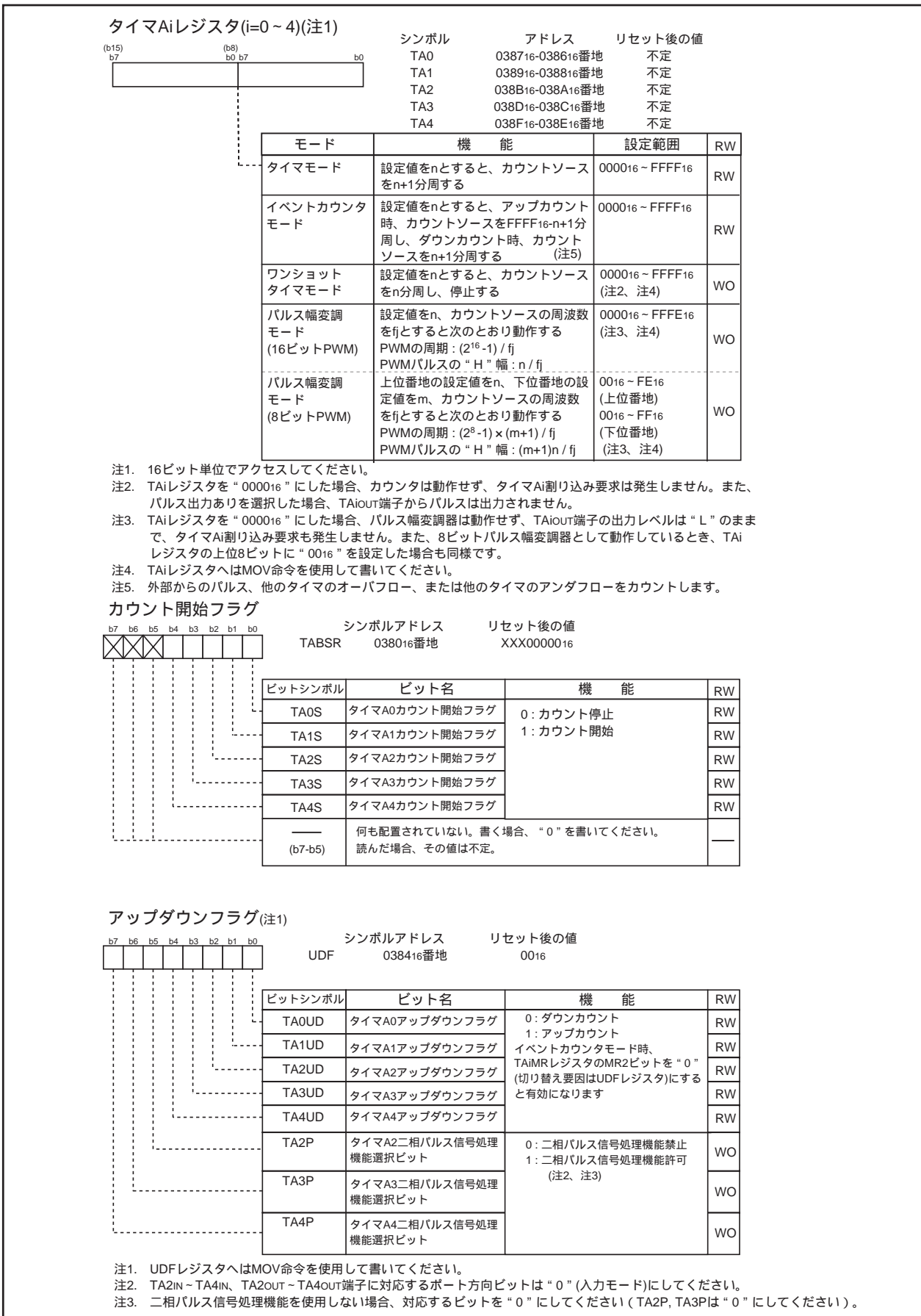


図1.12.4. TA0 ~ TA4、TABSR、UDFレジスタ

ワンショット開始フラグ

b7	b6	b5	b4	b3	b2	b1	b0
		0					

シンボル アドレス リセット後の値
 ONSF 038216番地 00₁₆

ビットシンボル	ビット名	機 能	RW
TA0OS	タイマA0ワンショット開始フラグ	TAiMRレジスタ(i=0~4)のTMOD1~TMOD0ビットが“102”(ワンショットタイマモード)、かつ	RW
TA1OS	タイマA1ワンショット開始フラグ	TAiMRレジスタのMR2ビットが“0”(TAiOSビット有効)の場合、このビットを“1”にすると、タイマのカウントを開始する。読んだ場合、その値は“0”。	RW
TA2OS	タイマA2ワンショット開始フラグ		RW
TA3OS	タイマA3ワンショット開始フラグ		RW
TA4OS	タイマA4ワンショット開始フラグ		RW
— (b5)	予約ビット	“0”にしてください。	RW
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 00: TA0IN端子の入力を選択(注1) 10: TA4のオーバーフローを選択(注2) 11: TA1のオーバーフローを選択(注2)	RW
TA0TGH			RW

注1. PD7レジスタのPD7_1ビットを“0”(入力モード)にしてください。

注2. オーバフローまたはアンダフロー

トリガ選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル アドレス リセット後の値
 TRGSR 038316番地 00₁₆

ビットシンボル	ビット名	機 能	RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 00: TA1IN端子の入力を選択(注1) 10: TA0のオーバーフローを選択(注2) 11: TA2のオーバーフローを選択(注2) (注3)	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 10: TA1のオーバーフローを選択(注2) 11: TA3のオーバーフローを選択(注2) (注3)	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 10: TA2のオーバーフローを選択(注2) 11: TA4のオーバーフローを選択(注2) (注3)	RW
TA3TGH			RW
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 00: TA4IN端子の入力を選択(注1) 10: TA3のオーバーフローを選択(注2) 11: TA0のオーバーフローを選択(注2) (注3)	RW
TA4TGH			RW

注1. TA1IN~TA4IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2. オーバフローまたはアンダフロー

注3. その他の設定はしないでください。

☒1.12.5. ONSF、TRGSR、CPSRFレジスタ

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.12.1)。図1.12.6にタイマモード時のTAiMRレジスタを示します。

表1.12.1. タイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiMRレジスタ(i=0~4)の設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力 i=2,3はなし
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。カウント停止中は“L”を出力

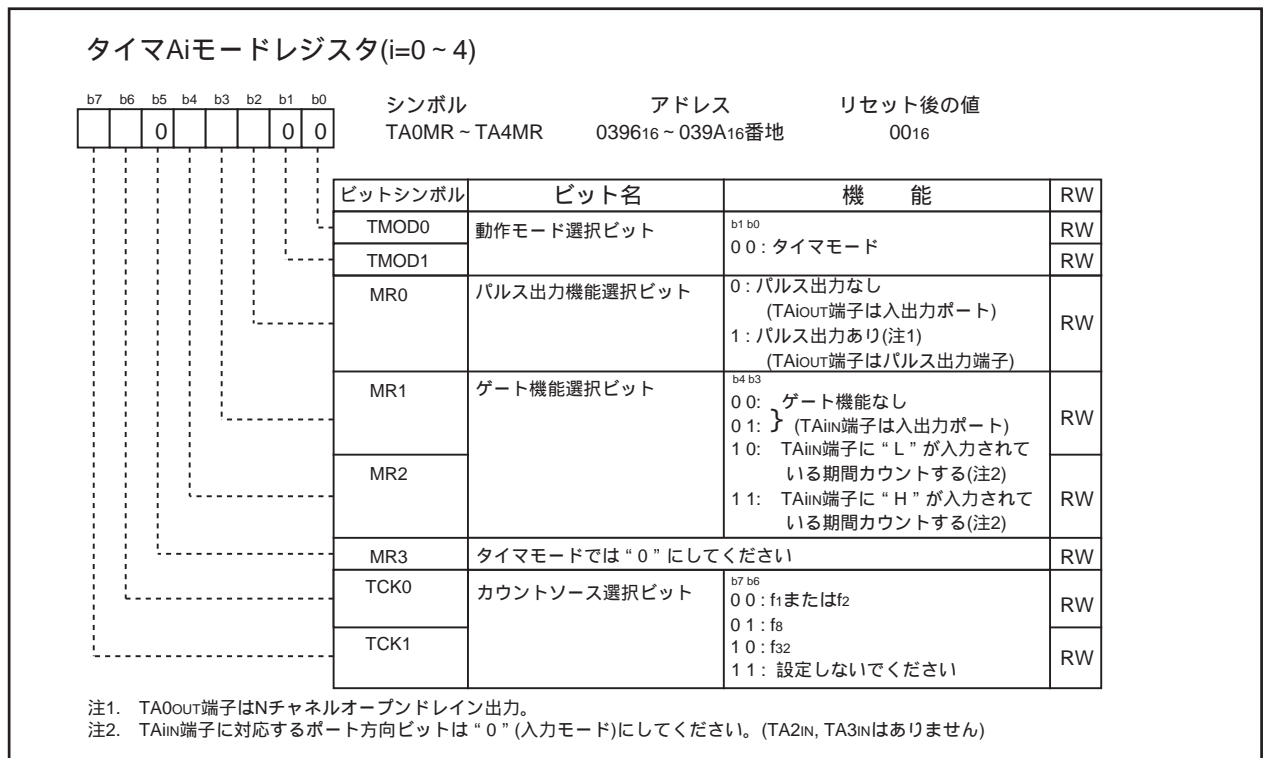


図1.12.6. タイマモード時のTAiMRレジスタ

(2) イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます。表1.12.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図1.12.7にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表1.12.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

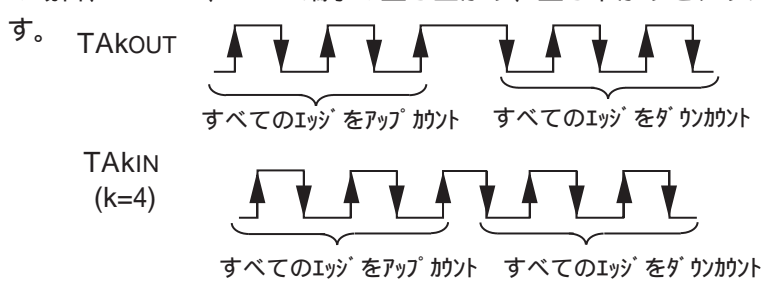
項目	仕様
カウントソース	TAiIn端子(i=0~4)に入力された外部信号(プログラムで有効エッジを選択可能) タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、 タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント動作	アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	アップカウント時 1/(FFFF16 - n+1) ダウンカウント時 1/(n+1) n:TAiレジスタの設定値 000016 ~ FFFF16
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIn端子機能	入出力ポートまたはカウントソース入力 i=2,3はなし
TAiOut端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOut端子の出力極性が反転。 カウント停止中は“L”を出力



図1.12.7. イベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)

表1.12.3にイベントカウンタモードの仕様(タイマA4で二相パルス信号処理を使用する場合)、図1.12.8にイベントカウンタモード時のTA4MRレジスタ(タイマA4で二相パルス信号処理を使用する場合)を示します。

表1.12.3. イベントカウンタモードの仕様(タイマA4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子(i = 4)に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA4レジスタを読むと、カウント値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	4逓倍処理動作(タイマA4) TAKOUT端子(k=4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりを実カウントします。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりを実カウントしません。 

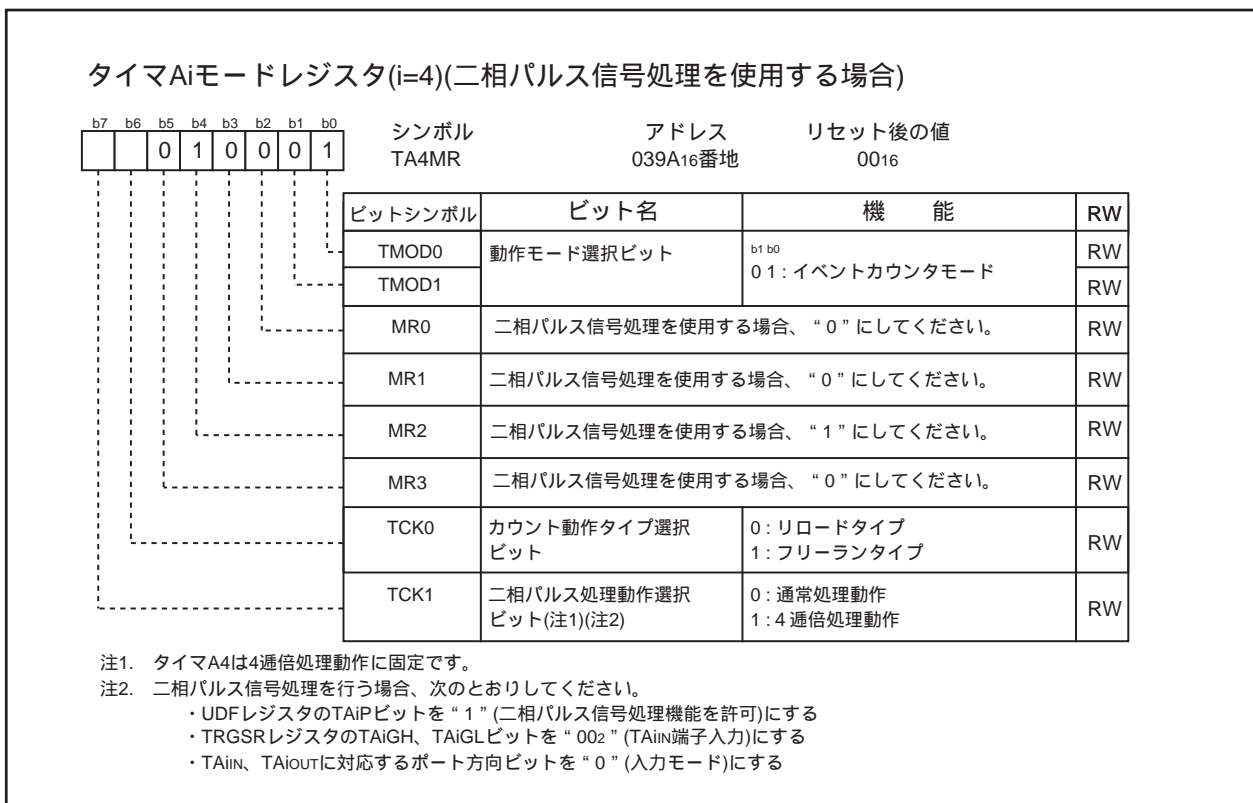


図1.12.8. イベントカウンタモード時のTA4MRレジスタ
(タイマA4で二相パルス信号処理を使用する場合)

(3) ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表1.12.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.12.9にワンショットタイマモード時のTAiMRレジスタを示します。

表1.12.4. ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント カウンタが0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0~4)の設定値 0000 ₁₆ ~FFFF ₁₆ ただし、0000 ₁₆ を設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 TAiIn端子からの外部トリガ入力 タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、 タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	カウント値が0000 ₁₆ になりリロードした後 TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が0000 ₁₆ になるタイミング
TAiIn端子機能	入出力ポートまたはトリガ入力
TAiOut端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

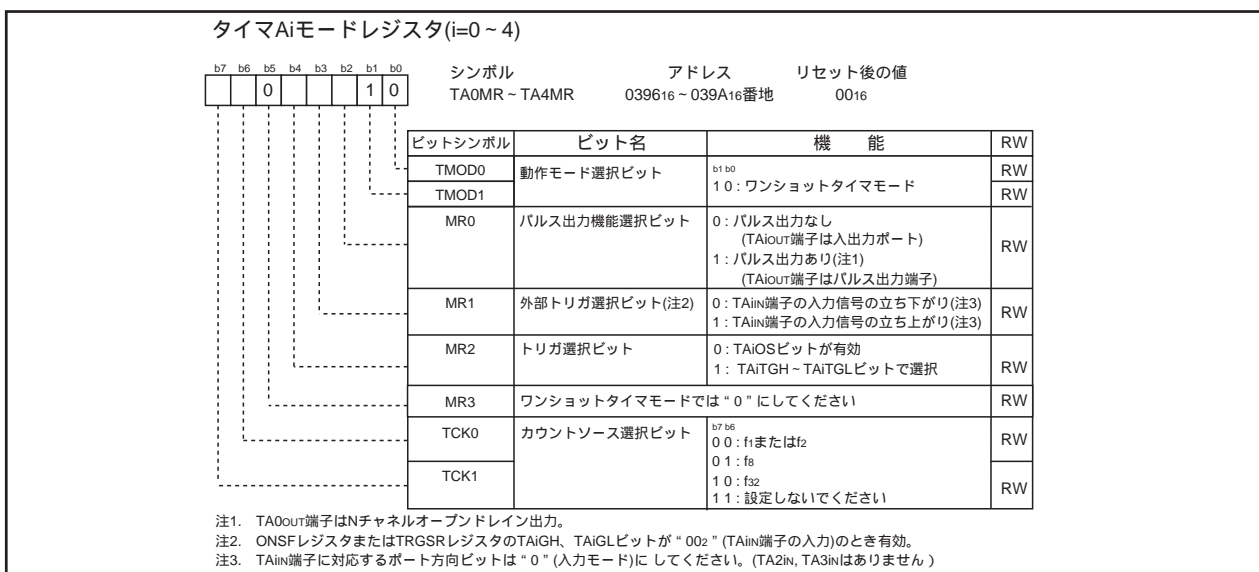


図1.12.9. ワンショットタイマモード時のTAiMRレジスタ

(4) パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表1.12.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.12.10にパルス幅変調モード時のTAiMRレジスタ、図1.12.11に16ビットパルス幅変調器の動作例、図1.12.12に8ビットパルス幅変調器の動作例を示します。

表1.12.5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”幅 n/f_j n :TAiレジスタの設定値($i=0\sim 4$) 周期 $(2^{16} - 1)/f_j$ 固定 f_j :カウントソースの周波数(f_1 、 f_2 、 f_8 、 f_{32})
8ビットPWM	“H”幅 $n \times (m+1)/f_j$ n :TAiレジスタの上位番地の設定値 周期 $(2^8 - 1) \times (m+1)/f_j$ m :TAiレジスタの下位番地の設定値
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする TAiSビットが“1”で、かつTAiin端子からの外部トリガ入力 TAiSビットが“1”で、かつ次のトリガが発生 タイマAj($j=i-1$ 、ただし $i=0$ のとき $j=4$)のオーバフローまたはアンダフロー、 タイマAk($k=i+1$ 、ただし $i=4$ のとき $k=0$)のオーバフローまたはアンダフロー
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiin端子機能	入出力ポートまたはトリガ入力
TAiout端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

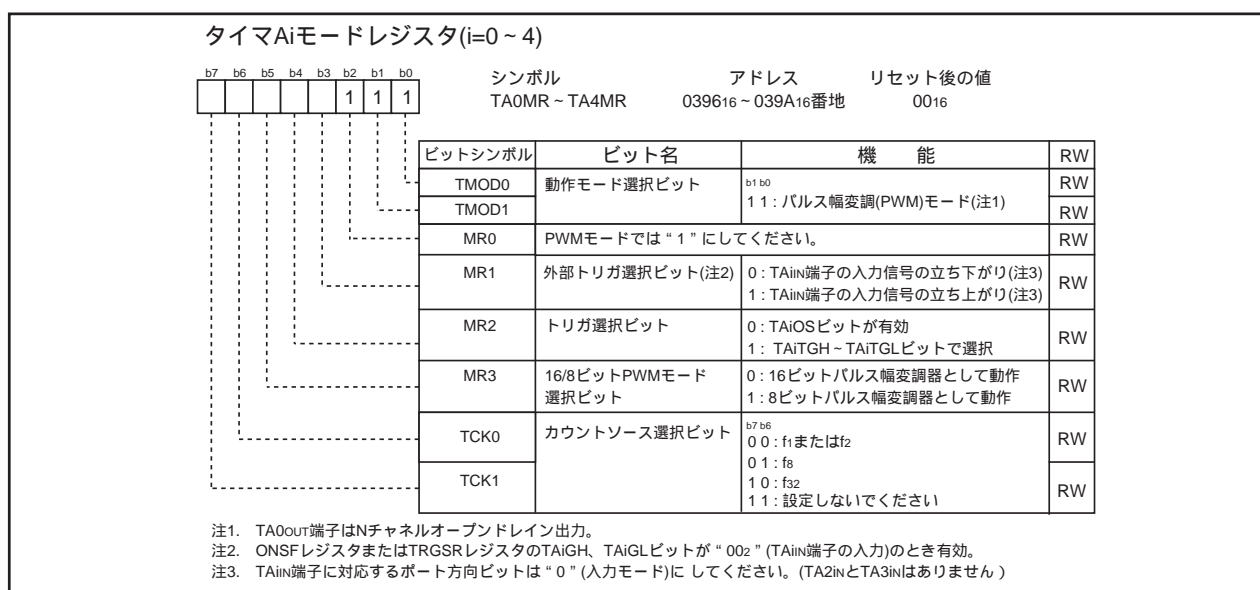


図1.12.10. パルス幅変調モード時のTAiMRレジスタ

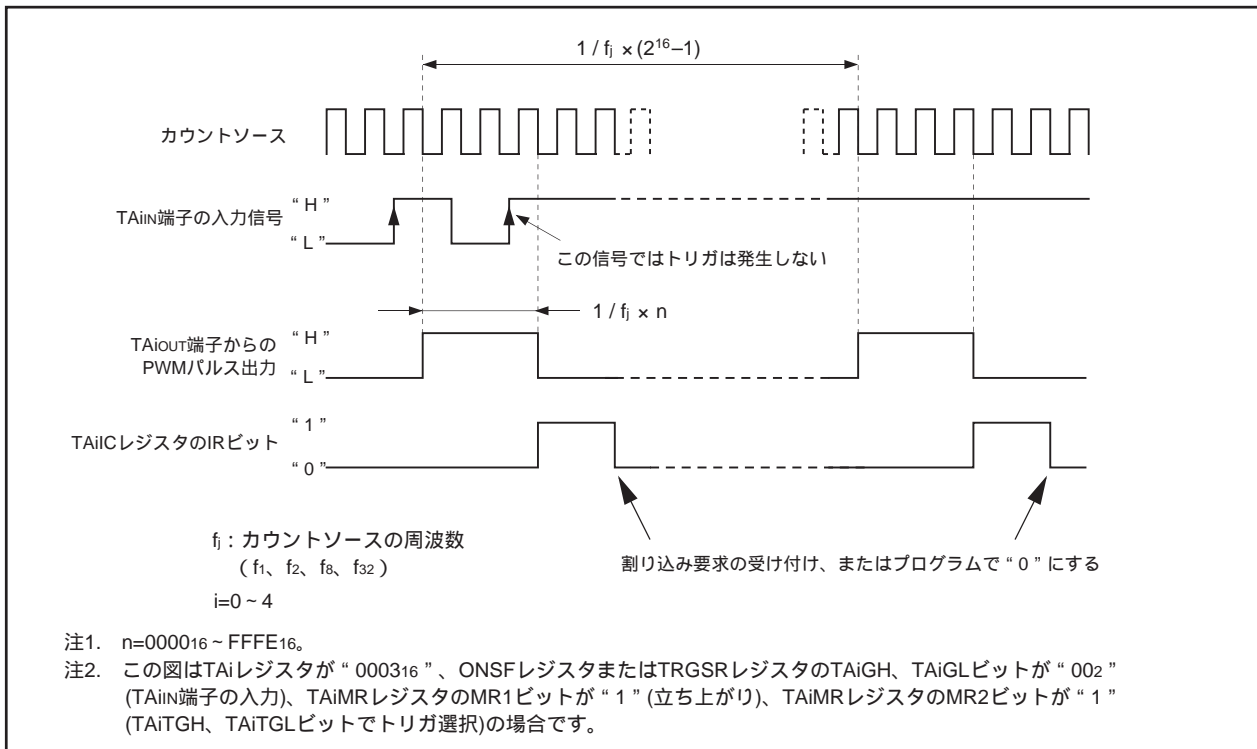


図1.12.11. 16ビットパルス幅変調器の動作例

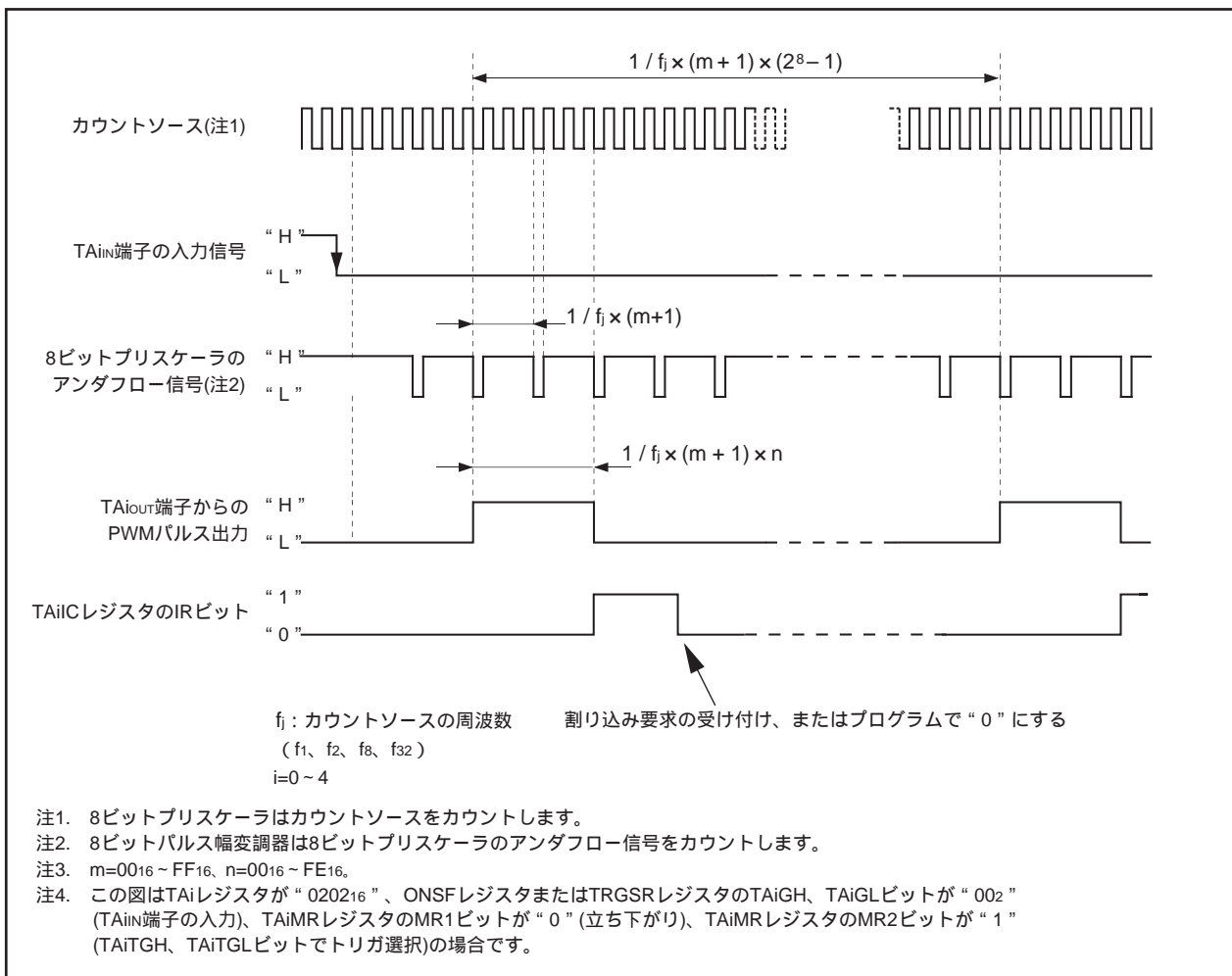


図1.12.12. 8ビットパルス幅変調器の動作例

シリアル I/O

シリアル I/O は、UART0 ~ UART2、SI/O3、SI/O4 の 5 チャンネルで構成しています。
次にそれぞれについて説明します。

UARTi (i=0 ~ 2)

UARTi はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図1.13.1にUARTiブロック図、図1.13.2にUARTi送受信部ブロック図を示します。

UARTiには、次のモードがあります。

- ・クロック同期形シリアル I/O モード
- ・クロック非同期形シリアル I/O モード (UART モード)
- ・特殊モード1 (I²C モード)
- ・特殊モード2

図1.13.3 ~ 図1.13.8に、UARTi関連のレジスタを示します。

レジスタの設定はモードごとの表を参照してください。

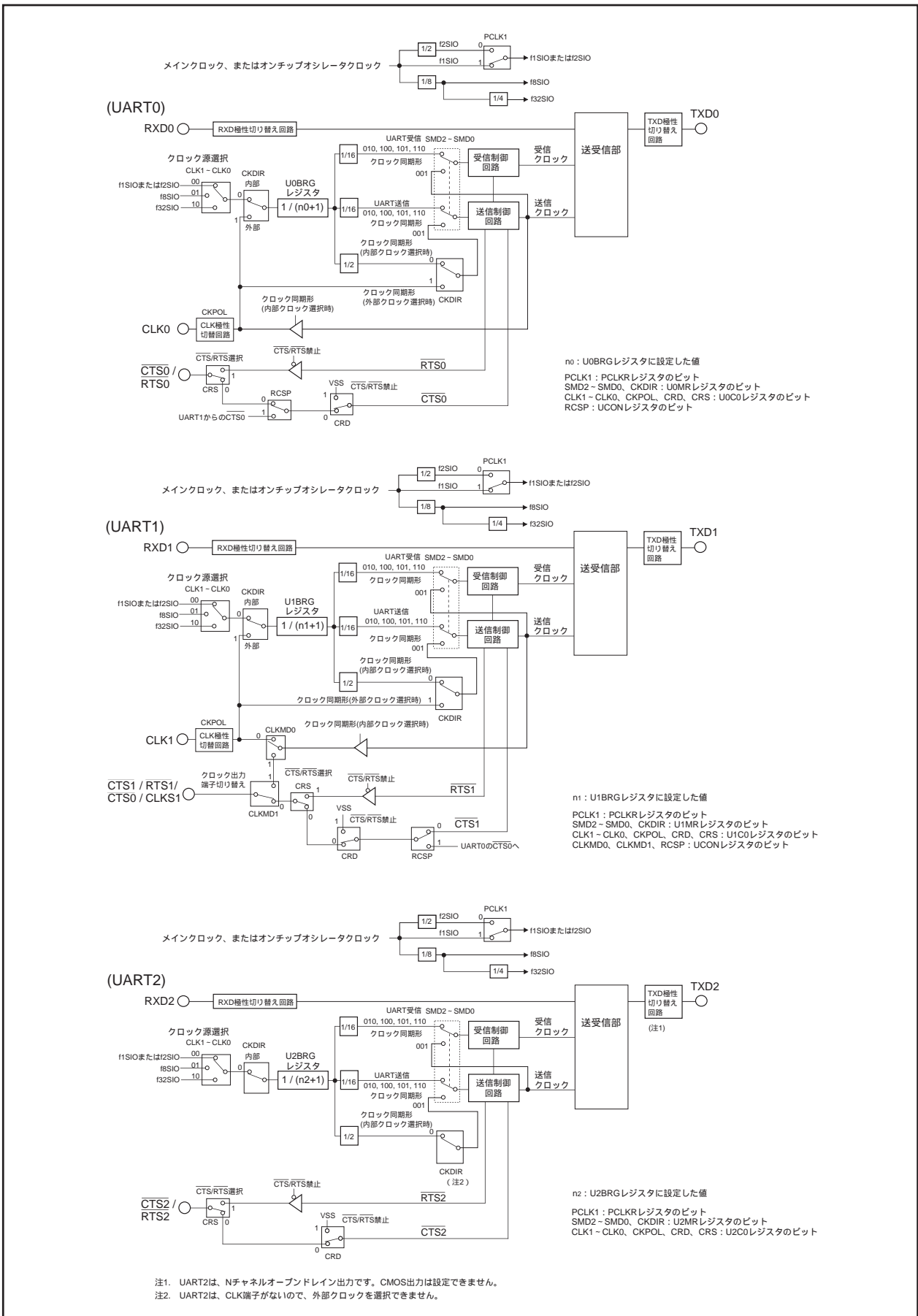


図1.13.1. UARTiブロック図

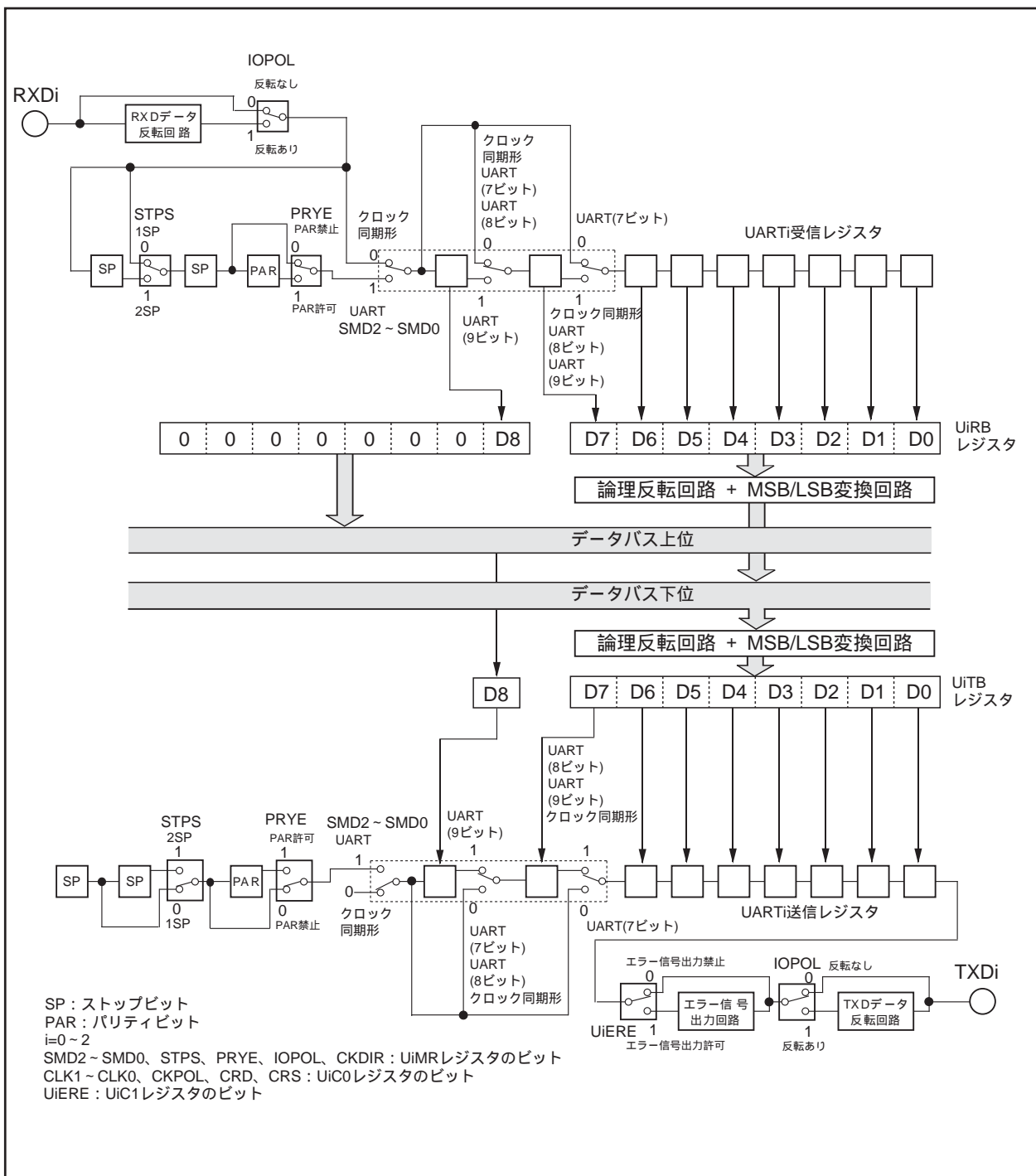
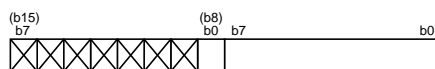


図1.13.2. UARTi送受信部ブロック図

UARTi送信バッファレジスタ(i=0~2)(注1)

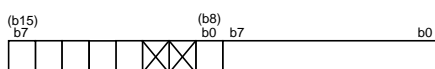


シンボル	アドレス	リセット後の値
U0TB	03A3 ₁₆ -03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ -03AA ₁₆ 番地	不定
U2TB	037B ₁₆ -037A ₁₆ 番地	不定

機 能		RW
送信データ		WO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. このレジスタはMOV命令を使用して書いてください。

UARTi受信バッファレジスタ(i=0~2)



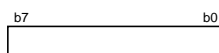
シンボル	アドレス	リセット後の値
U0RB	03A7 ₁₆ -03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ -03AE ₁₆ 番地	不定
U2RB	037F ₁₆ -037E ₁₆ 番地	不定

ビット シンボル	ビット名	機 能	RW
— (b7-b0)	—	受信データ(D7~D0)	RO
— (b8)	—	受信データ(D8)	RO
— (b10-b9)	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	—
ABT	アービトラージ ロスト検出フラグ(注2)	0: 未検出(勝) 1: 検出(負)	RW
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラー フラグ(注1)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ(注1)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ(注1)	0: エラーなし 1: エラー発生	RO

注1. UIMRレジスタのSMD2~SMD0ビットを“000₂”(シリアルI/Oは無効)にしたとき、またはUIC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U1RBレジスタの下位バイトを読んだとき、“0”になります。

注2. ABTビットはプログラムで“0”を書くとも“0”になります(“1”を書いても変化しません)。

UARTi転送速度レジスタ(i=0~2)(注1、注2)



シンボル	アドレス	リセット後の値
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

機 能	設定範囲	RW
設定値を n とすると、UiBRGはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	WO

注1. 送受信停止中に書いてください。

注2. このレジスタはMOV命令を使用して書いてください。

☒1.13.3. U0TB ~ U2TB、U0RB ~ U2RB、U0BRG ~ U2BRGレジスタ

UART_i送受信モードレジスタ(i=0~2)

ビットシンボル	ビット名	機能	RW
SMD0	シリアル/Oモード 選択ビット (注2)	b2 b1 b0 000 シリアル/Oは無効 001: クロック同期形シリアル/Oモード 010: I ² Cモード (注3) 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック(注1) (注4)	RW
STPS	ストップビット長 選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶 選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
IOPOL	TxD、RxD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

- 注1. CLK_i端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注2. 受信する場合、RxD_i端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注3. SDA、SCL端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注4. UART₂は内部クロックを選択してください。

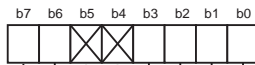
UART_i送受信制御レジスタ0 (i=0~2)

ビットシンボル	ビット名	機能	RW
CLK0	BRGカウントソース 選択ビット	b1 b0 00: f _{1SIO} または f _{2SIO} を選択 01: f _{8SIO} を選択 10: f _{32SIO} を選択 11: 設定しないでください	RW
CLK1			RW
CRS	CTS/RTS機能選択ビット (注4)	CRD=0のとき有効 0: CTS機能を選択(注1) 1: RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止 (P60、P64、P73は入出力ポートとして使用できる)	RW
NCH	データ出力選択ビット (注2)	0: TxD _i /SDA _i 、SCL _i 端子はCMOS出力 1: TxD _i /SDA _i 、SCL _i 端子はNチャンネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択 ビット(注3)	0: LSBファースト 1: MSBファースト	RW

- 注1. CTS端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注2. TxD₂/SDA₂、Nチャンネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットはSCL₂端子の出力設定に有効です。
 注3. クロック同期形シリアル/Oモード、UARTモード転送データ長8ビット時に有効です。
 注4. CTS_i/RTS_iはUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLK₁のみ)、かつUCONレジスタのRCSPビットが“0”(CTS₀/RTS₀分離しない)のとき使用できます。

図1.13.4. U0MR ~ U2MR、U0C0 ~ U2C0レジスタ

UARTi送受信制御レジスタ1(i=0, 1)



シンボル アドレス リセット後の値
 U0C1、U1C1 03A516、03AD16番地 000000102

ビット シンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
UiLCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW
UiERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

注1. UiMRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。
 SMD2～SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

UART2送受信制御レジスタ1



シンボル アドレス リセット後の値
 U2C1 037D16番地 000000102

ビット シンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	RO
U2IRS	UART2送信割り込み 要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	RW
U2RRM	UART2連続受信モード許 可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U2LCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW
U2ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。
 SMD2～SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

図1.13.5. U0C1～U2C1レジスタ

UART送受信制御レジスタ2

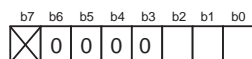


シンボル アドレス リセット後の値
UCON 03B0₁₆番地 X0000000₂

ビットシンボル	ビット名	機能	RW
U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U0RRM	UART0連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択ビット0	CLKMD1=1のとき有効 0: CLK1からクロックを出力 1: CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択ビット1(注1)	0: CLK出力はCLK1のみ 1: 転送クロック複数端子 出力機能選択	RW
RCSP	UART0CTS/RTS分離ビット	0: CTS/RTS共通端子 1: CTS/RTS分離(CTS ₀ をP6.4端子から入力)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. 複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。
U1MRレジスタのCKDIRビット=0(内部クロック)

UARTi特殊モードレジスタ(i=0~2)



シンボル アドレス リセット後の値
U0SMR ~ U2SMR 036F₁₆, 0373₁₆, 0377₁₆番地 X0000000₂

ビットシンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW (注1)
— (b3 - b6)	予約ビット	“0”にしてください	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

図1.13.6. UCON、U0SMR ~ U2SMRレジスタ

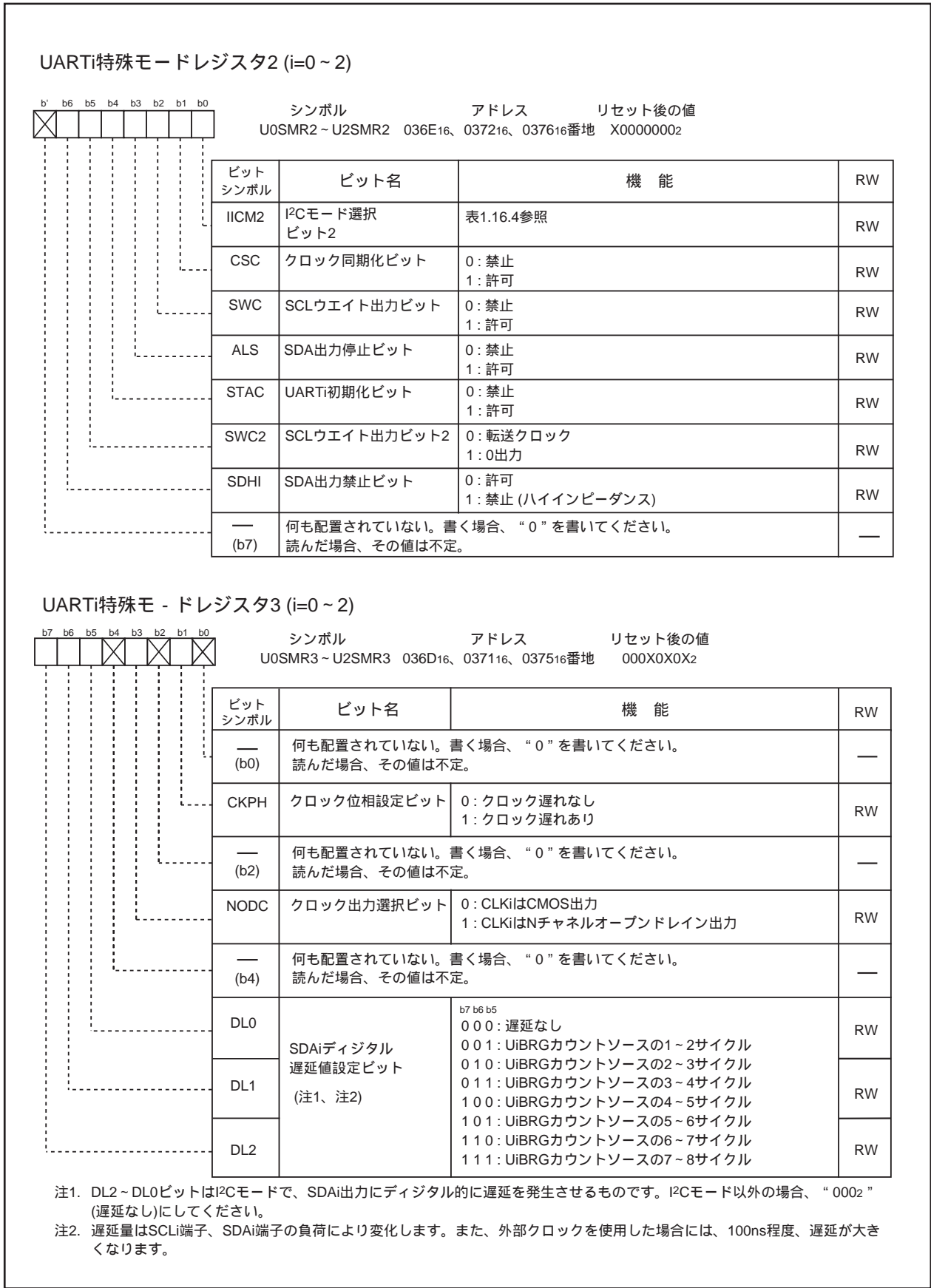


図1.13.7. U0SMR2 ~ U2SMR2、U0SMR3 ~ U2SMR3レジスタ

UART_i特殊モードレジスタ4(i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機能	RW
STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート	RW
RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート	RW
STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート	RW
STSPSEL	SCL、SDA出力選択ビット	0: スタートコンディション、ストップコンディション出力しない 1: スタートコンディション、ストップコンディション出力する	RW
ACKD	ACKデータビット	0: ACK 1: NACK	RW
ACKC	ACKデータ出力許可ビット	0: シリアルI/Oデータ出力 1: ACKデータ出力	RW
SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可	RW
SWC9	SCLウエイトビット3	0: SCL "L" ホールド禁止 1: SCL "L" ホールド許可	RW

注1. 各コンディションが生成されたとき、“0”になります。

図1.13.8. U0SMR4 ~ U2SMR4レジスタ

クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.14.1にクロック同期形シリアルI/Oモードの仕様、表1.14.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。UART2はクロック端子がないので、クロック同期形シリアルI/Oモードでの使用は適しません。

表1.14.1. クロック同期形シリアルI/Oモードの仕様

項 目	仕 様
転送データフォーマット	転送データ長 8ビット
転送クロック	UiMRレジスタ(i=0~1)のCKDIRビットが“0”(内部クロック) : $f_j/2(n+1)$ $f_j=f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}$ n=UiBRGレジスタの設定値 0016~FF16 CKDIRビットが“1”(外部クロック) : CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要です(注1)。 ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・ CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要です(注1)。 ・ UiC1レジスタのREビットが“1”(受信許可) ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます。 ・ UiIRSビット(注3)が“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・ UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 ・ UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 CTS/RTS分離機能(UART0) CTS ₀ とRTS ₀ を別の端子から入出力する

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

注3. U0IRS、U1IRSビットはUCONレジスタのビット0、1です。

表1.14.2. クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR(注3)	SMD2~SMD0	“0012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	UiBRGレジスタのカウンタソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	UiC1	TE
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~2	“0” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“1” にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1” にしてください
	RCSP	UART0のCTS0信号をP64端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。
i=0~1

表1.14.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表1.14.3は、転送クロック複数端子出力選択機能を非選択の場合です。また、表1.14.4にクロック同期形シリアルI/Oモード時のP64端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表1.14.3. クロック同期形シリアルI/Oモード時の入出力端子の機能

(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TxDi(i=0~2) (P63, P67)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62, P66)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0 (送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65)	転送クロック出力	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0
CTS \bar i/RTSi (P60, P64)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表1.14.4. クロック同期形シリアルI/Oモード時のP64端子の機能

端子の機能	ビットの設定値					
	U1C0レジスタ		U0CONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P64	1	—	0	0	—	入力：0、出力：1
CTS \bar 1	0	0	0	0	—	0
RTS \bar 1	0	1	0	0	—	—
CTS \bar 0(注1)	0	0	1	0	—	0
CLKS \bar 1	—	—	—	1(注2)	1	—

注1. この他にU0C0レジスタのCRDビットを“0”(CTS \bar 0/RTS \bar 0許可)、U0C0レジスタのCRSビットを“1”(RTS \bar 0選択)にしてください。

注2. CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

- ・U1C0レジスタのCKPOLビットが“0”：H
- ・U1C0レジスタのCKPOLビットが“1”：L

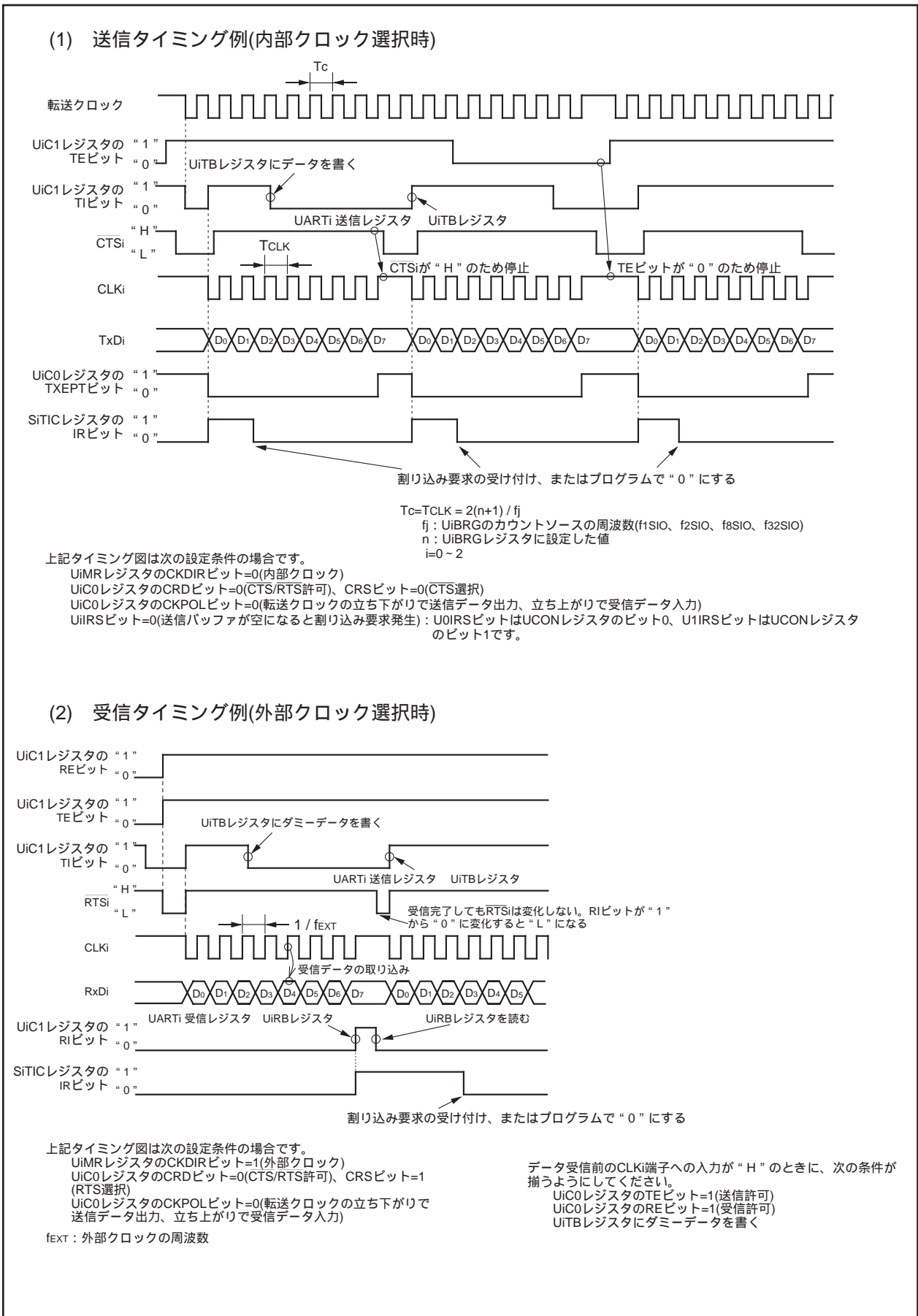


図1.14.1. クロック同期形シリアルI/Oモード時の送信、受信タイミング例

通信エラー発生時の対処方法

クロック同期形シリアル I/O モードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

・ UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0” (受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアル I/O無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期形シリアル I/Oモード)にする。
- (4) UiC1レジスタのREビットを“1” (受信許可)にする。

・ UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアル I/O無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期形シリアル I/Oモード)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1” (受信許可)を書き込む。

CLK極性選択

UiC0レジスタ(i=0~1)のCKPOLビットで転送クロックの極性を選択できます。図1.14.2に転送クロックの極性を示します。



図1.14.2. 転送クロックの極性

LSBファースト、MSBファースト選択

UiC0レジスタ(i=0~1)のUFORMビットで転送フォーマットを選択できます。図1.14.3に転送フォーマットを示します。

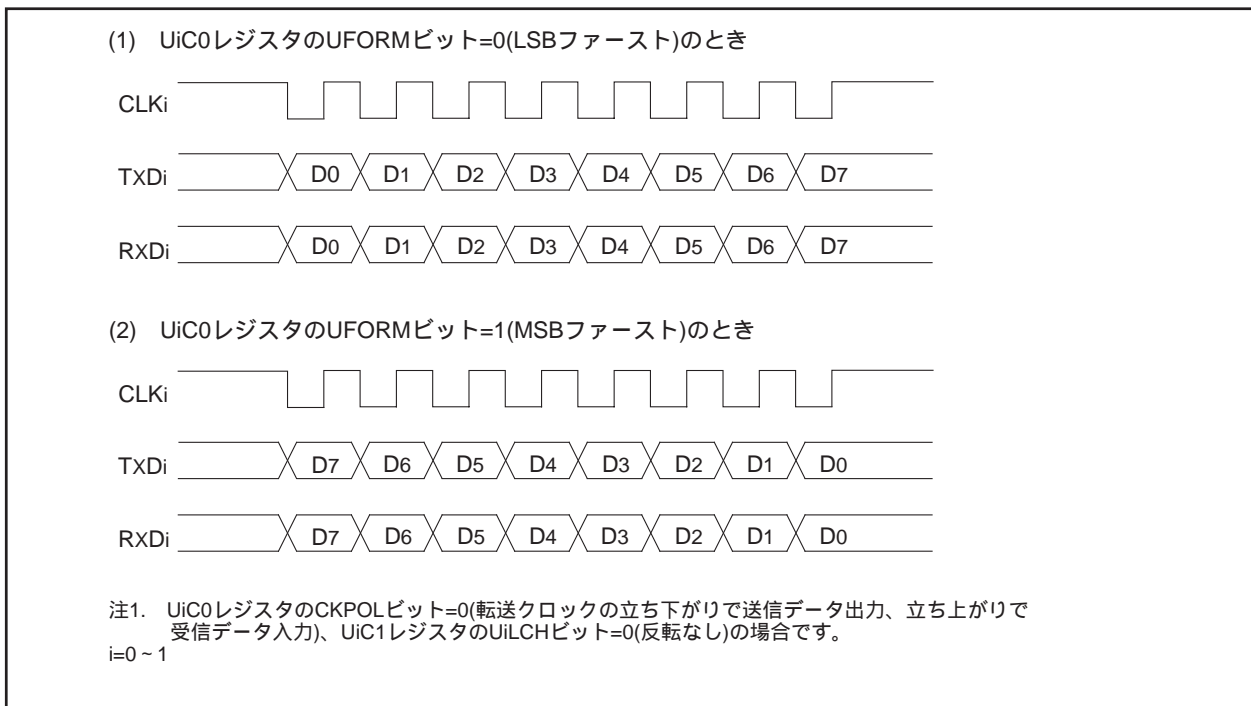


図1.14.3. 転送フォーマット

連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiRRMビット($i=0\sim 1$)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTiビットが“1”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U0RRM、U1RRMビットはUCONレジスタのビット2、3です。

シリアルデータ論理切り替え

UiC1レジスタ($i=0\sim 1$)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図1.14.4にシリアルデータ論理を示します。

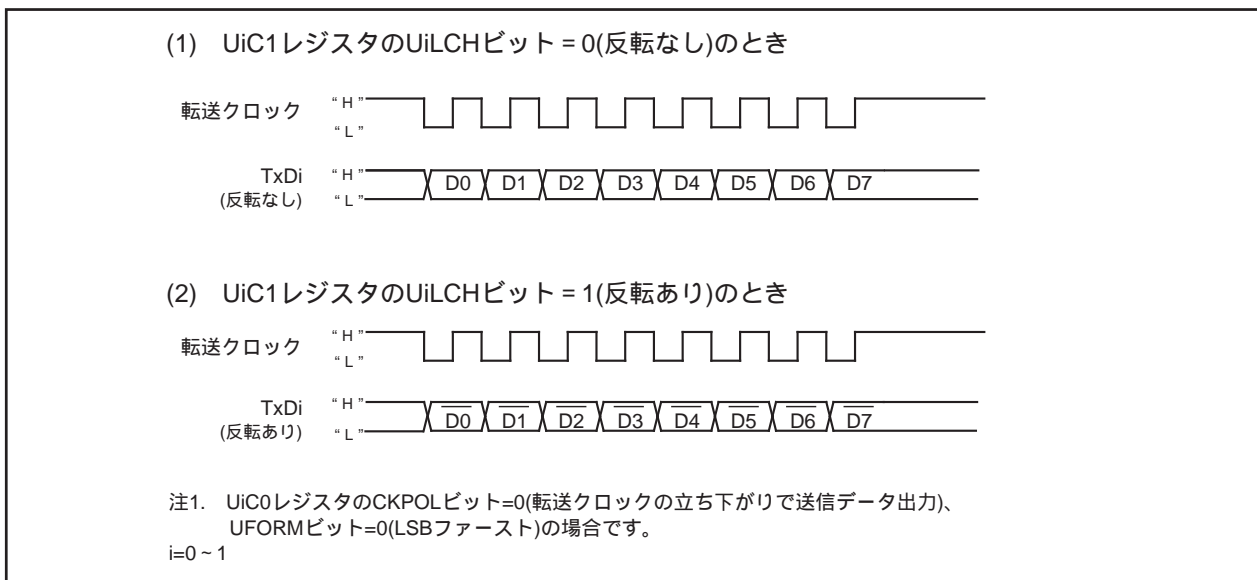


図1.14.4. シリアルデータ論理

転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1～CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図1.14.5)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

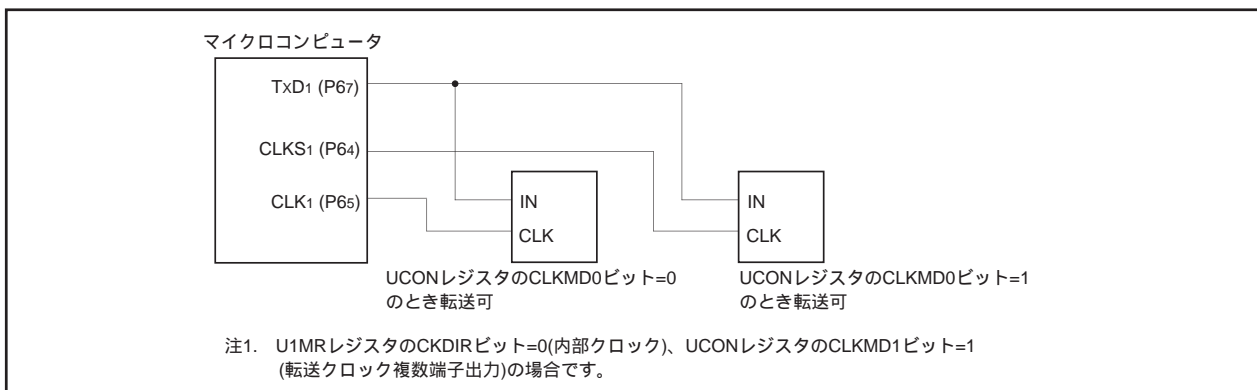


図1.14.5. 転送クロック複数端子出力機能の使用例

CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0\sim 2$)端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。 CLK_i 端子の最初の立ち上がりで出力レベルが“H”になります。

- ・ UIC0レジスタのCRDビット=1(CTS/RTS機能禁止) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- ・ CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はCTS機能
- ・ CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はRTS機能

CTS/RTS分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP60端子から出力、 $\overline{\text{CTS}}_0$ をP64端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- ・ U0C0レジスタのCRDビット=0(UART0のCTS/RTS許可)
- ・ U0C0レジスタのCRSビット=1(UART0のRTS出力)
- ・ U1C0レジスタのCRDビット=0(UART1のCTS/RTS許可)
- ・ U1C0レジスタのCRSビット=0(UART1のCTS入力)
- ・ UCONレジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP64端子から入力)
- ・ UCONレジスタのCLKMD1ビット=0(CLK_{S1}を使用しない)

なお、CTS/RTS分離機能使用時、UART1のCTS/RTS機能は使用できません。

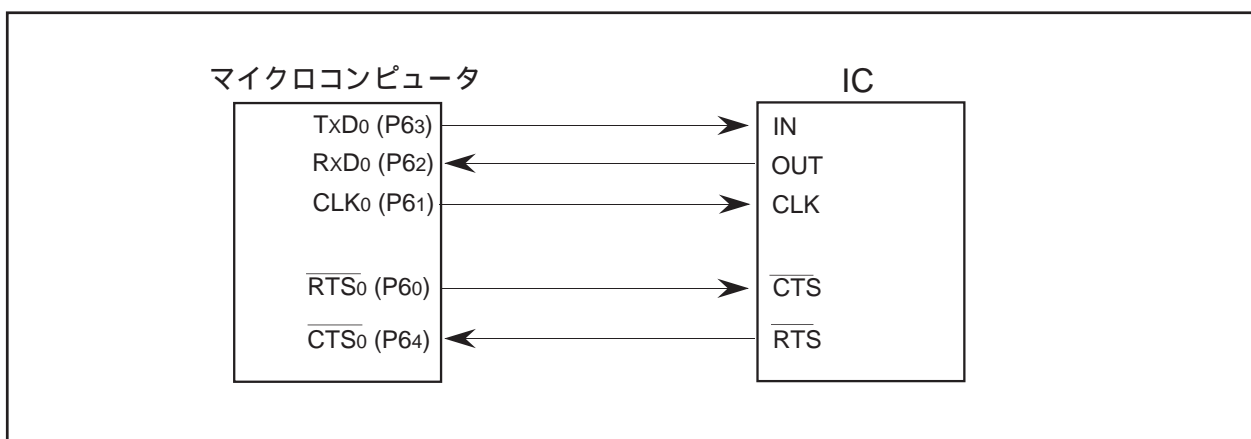


図1.14.6. CTS/RTS分離機能の使用例

クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表 1.15.1にUARTモードの仕様を示します。

表1.15.1. UARTモードの仕様

項目	仕様
転送データフォーマット	キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 スタートビット 1ビット パリティビット 奇数、偶数、なしを選択可 ストップビット 1ビット、2ビットを選択可
転送クロック	UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック) : $f_j/16(n+1)$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ 。n=UiBRGレジスタの設定値 00 ₁₆ ~FF ₁₆ CKDIRビットが“1”(外部クロック) : $f_{EXT}/16(n+1)$ f_{EXT} はCLKi端子からの入力。n=UiBRGレジスタの設定値 00 ₁₆ ~FF ₁₆ (注3)
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要です。 ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・CTS機能を選択している場合、CTS _i 端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要です。 ・UiC1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます ・UiIRSビット(注2)が“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバーランエラー (注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 シリアルデータ論理切り替え 送受信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 Tx _D 、Rx _D 入出力極性切り替え Tx _D 端子出力とRx _D 端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 CTS/RTS分離機能(UART0) CTS ₀ とRTS ₀ を別の端子から入出力する

注1. オーバーランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのiRビットは変化しません。

注2. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

注3. UART2はCLK端子がないので、内部クロックを選択してください。

表1.15.2. UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	転送データが7ビットの場合、“1002”を設定してください。 転送データが8ビットの場合、“1012”を設定してください。 転送データが9ビットの場合、“1102”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TxD/RxD入出力極性を選択してください
Uic0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注3)
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
Uic1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS ₀ 信号をP64端子から入力する場合、“1”にしてください
	7	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0~6、転送データ長8ビット：ビット0~7、転送データ長9ビット：ビット0~8

注2. U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注3. TxD₂端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

i=0~2

表1.15.3にUARTモード時の入出力端子の機能を示します。表1.15.4にUARTモード時のP64端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表1.15.3. UARTモード時の入出力端子の機能

端子名	機能	選択方法
TxDi(i=0~2) (P63, P67, P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62, P66, P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0
CTS _i /RTS _i (P60, P64, P73)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

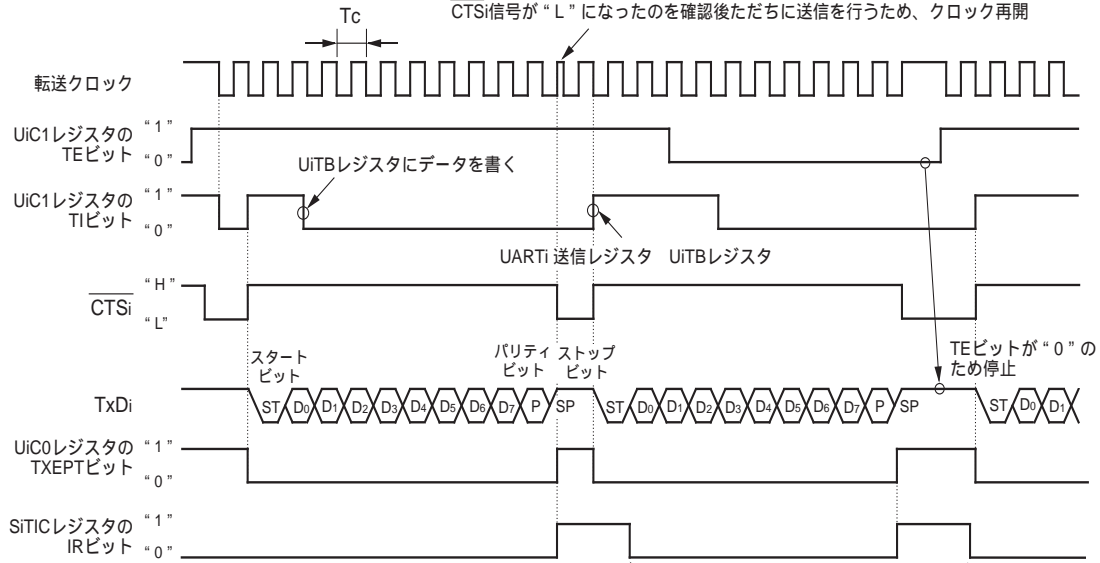
表1.15.4. UARTモード時のP64端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P64	1	—	0	0	入力：0、出力：1
CTS ₁	0	0	0	0	0
RTS ₁	0	1	0	0	—
CTS ₀ (注1)	0	0	1	0	0

注1. この他にU0C0レジスタのCRDビットを“0”(CTS₀/RTS₀許可)、U0C0レジスタのCRSビットを“1”(RTS₀選択)にしてください。

(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

ストップビット確認時CTS_i信号が“H”なので、いったん転送クロック停止
CTS_i信号が“L”になったのを確認後ただちに送信を行うため、クロック再開



上記タイミング図は次の設定条件の場合です。

- UIMRレジスタのPRYEビット=1(パリティ許可)
- UIMRレジスタのSTPSビット=0(1ストップビット)
- UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
- UIIRSビット=1(送信完了すると割り込み要求発生)
- : U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

$$T_c = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

f_j : UIBRGのカウンタソースの周波数(f_{1SIO} , f_{2SIO} , f_{8SIO} , f_{32SIO})

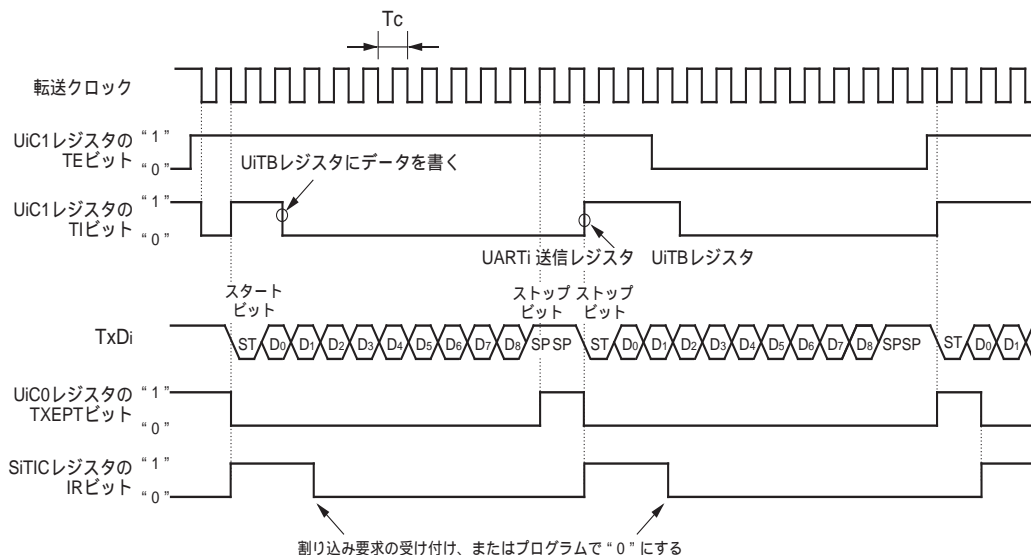
f_{EXT} : UIBRGのカウンタソースの周波数(外部クロック)

n : UIBRGレジスタに設定した値

$i=0 \sim 2$

割り込み要求の受け付け、またはプログラムで“0”にする

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



上記タイミング図は次の設定条件の場合です。

- UIMRレジスタのPRYEビット=0(パリティ禁止)
- UIMRレジスタのSTPSビット=1(2ストップビット)
- UIC0レジスタのCRDビット=1(CTS/RTS禁止)
- UIIRSビット=0(送信バッファが空になると割り込み要求発生)
- : U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

$$T_c = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

f_j : UIBRGのカウンタソースの周波数(f_{1SIO} , f_{2SIO} , f_{8SIO} , f_{32SIO})

f_{EXT} : UIBRGのカウンタソースの周波数(外部クロック)

n : UIBRGレジスタに設定した値

$i=0 \sim 2$

割り込み要求の受け付け、またはプログラムで“0”にする

図1.15.1. UARTモード時の送信タイミング例

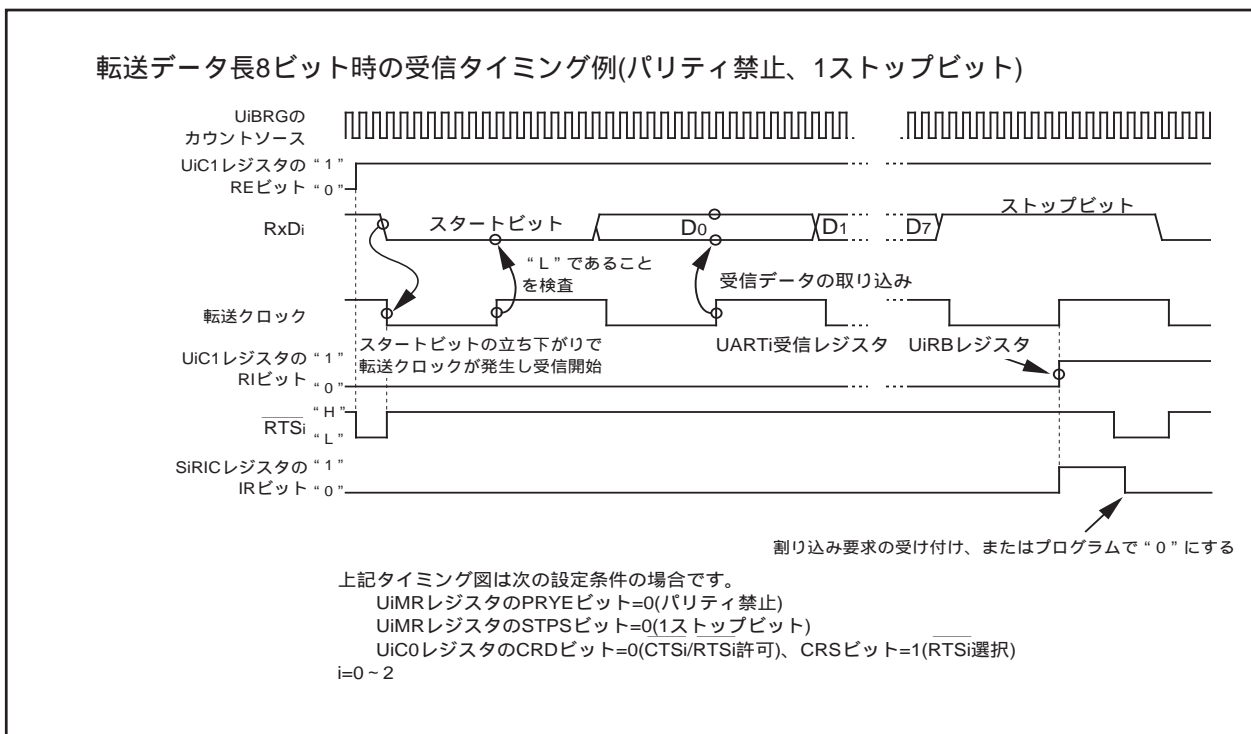


図1.15.2. UARTモード時の受信タイミング例

転送速度

UARTモードは、UIBRGレジスタ(i=0~2)で分周した周波数の16分周が転送速度になります。表1.15.5に転送速度の設定例を示します。

表1.15.5. 転送速度

ビットレート (bps)	BRGの カウントソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz	
		BRGの設定値 : n	実時間(bps)	BRGの設定値 : n	実時間(bps)
1200	f8	103 (67h)	1202	155 (96h)	1202
2400	f8	51 (33h)	2404	77 (46h)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808
9600	f1	103 (67h)	9615	155 (96h)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423
19200	f1	51 (33h)	19231	77 (46h)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724

通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

・ UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiC1レジスタのREビットを“1”(受信許可)にする。

・ UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルI/O無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(受信許可)を書き込む。

LSBファースト、MSBファースト選択

図1.15.3に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

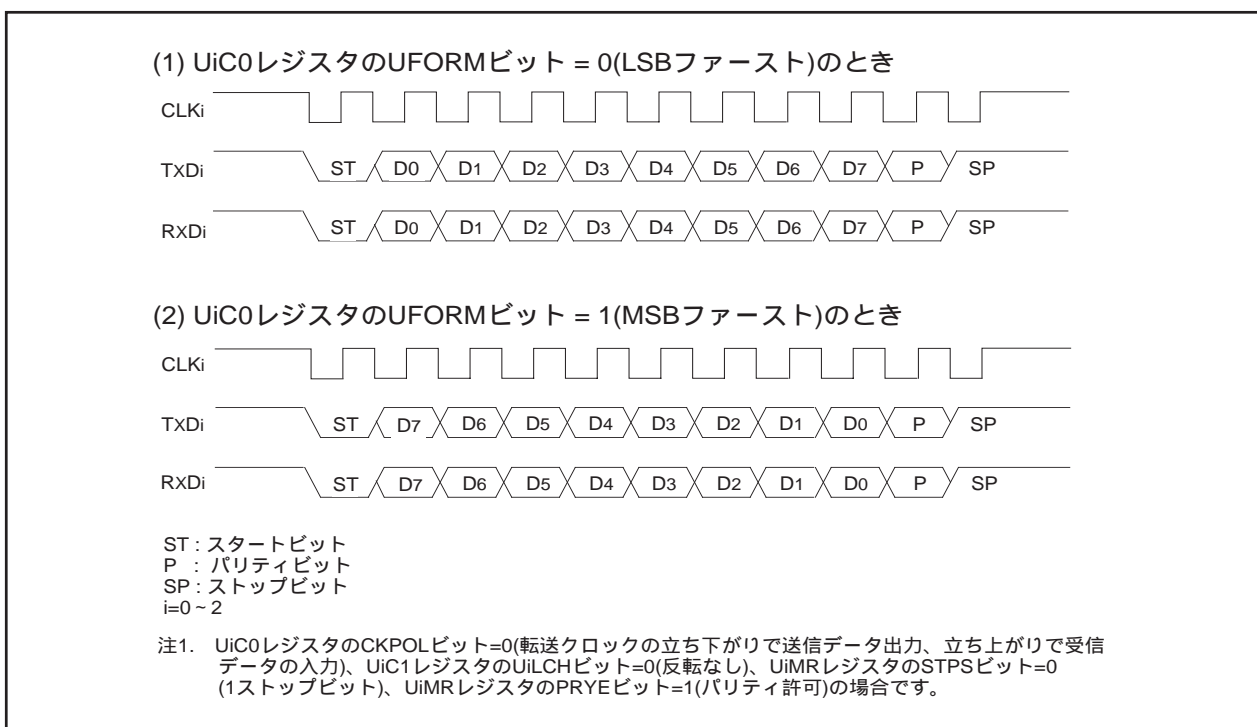


図1.15.3. 転送フォーマット

シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図1.15.4にシリアルデータ論理を示します。

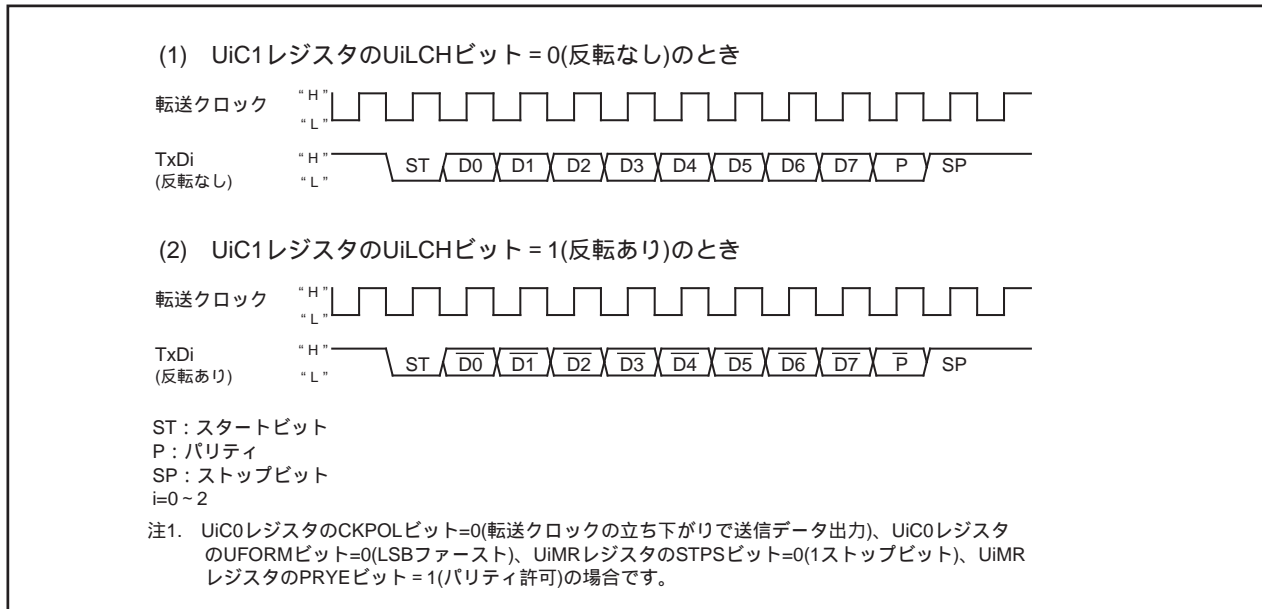


図1.15.4. シリアルデータ論理

TxD、RxD入出力極性切り替え機能

TxDi端子出力とRxDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図1.15.5にTxD、RxD入出力極性切り替えを示します。

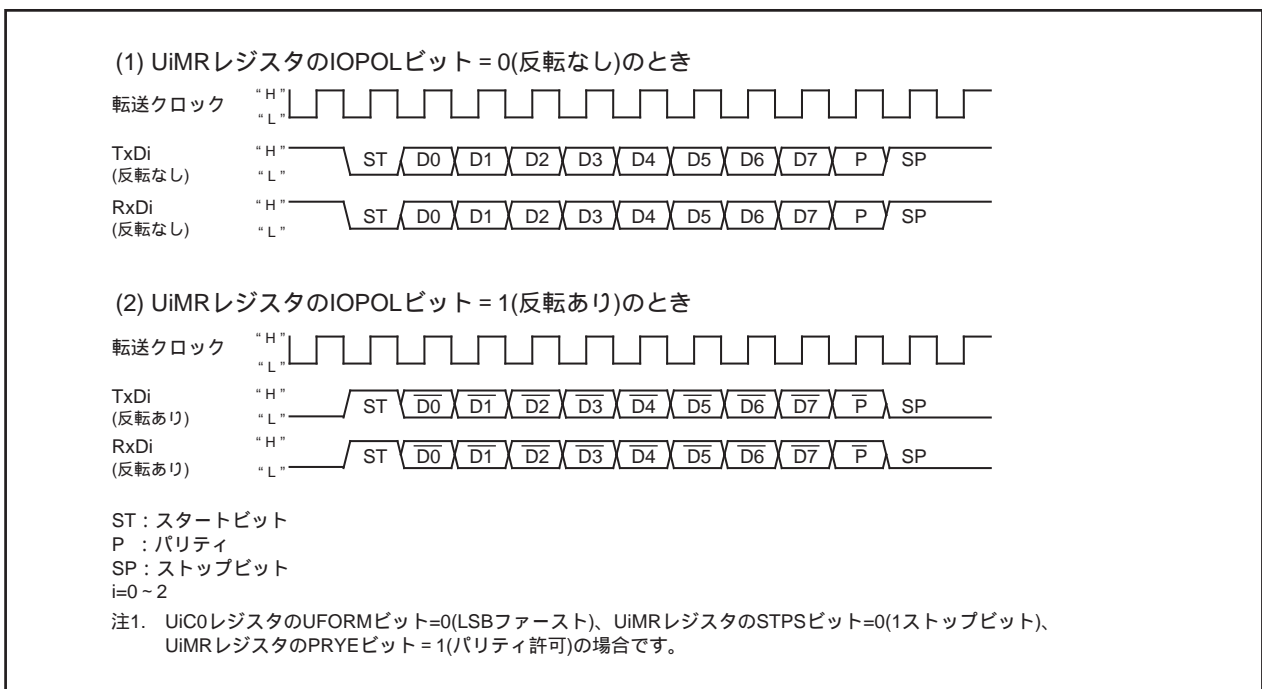


図1.15.5. TxD、RxD入出力極性切り替え

CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\text{RTS}_i$ ($i=0\sim 2$)端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子の出力レベルが“L”になります。 CLK_i 端子の最初の立ち上がりで出力レベルが“H”になります。

- ・ UIC0 レジスタのCRDビット=1(CTS/RTS機能禁止) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はプログラマブル入出力機能
- ・ CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はCTS機能
- ・ CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はRTS機能

CTS/RTS分離機能(UART0)

$\overline{\text{CTS}}_0/\text{RTS}_0$ を分離し、 RTS_0 をP60端子から出力、 $\overline{\text{CTS}}_0$ をP64端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- ・ U0C0 レジスタのCRDビット=0(UART0のCTS/RTS許可)
- ・ U0C0 レジスタのCRSビット=1(UART0のRTS出力)
- ・ U1C0 レジスタのCRDビット=0(UART1のCTS/RTS許可)
- ・ U1C0 レジスタのCRSビット=0(UART1のCTS入力)
- ・ UCON レジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP64端子から入力)
- ・ UCON レジスタのCLKMD1ビット=0(CLKS_1 を使用しない)

なお、CTS/RTS分離機能使用時、UART1のCTS/RTS機能は使用できません。

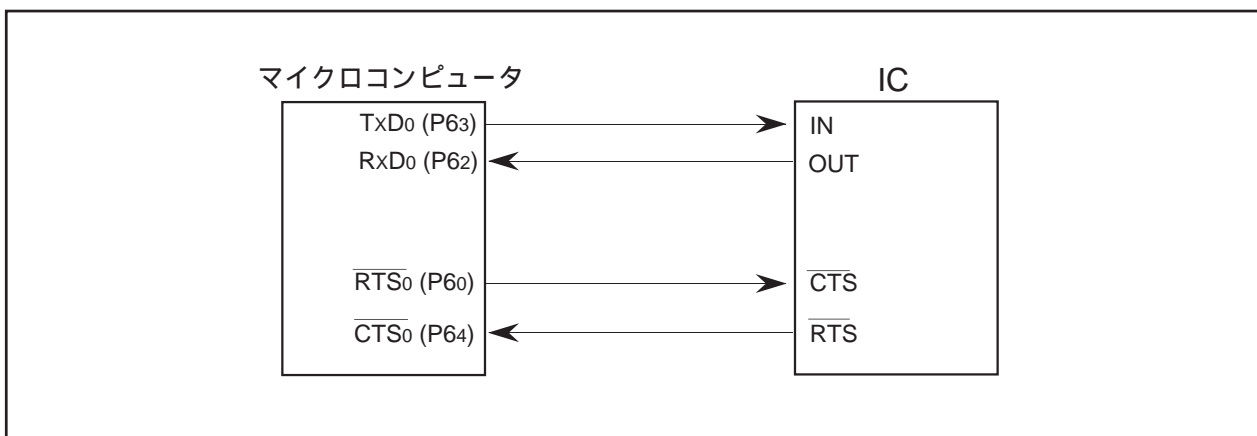


図1.15.6. $\overline{\text{CTS}}/\text{RTS}$ 分離機能の使用例

特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表1.16.1にI²Cモードの仕様を、表1.16.2～表1.16.3にI²Cモード時の使用レジスタと設定値を、表1.16.4にI²Cモード時の各機能を、図1.16.1にI²Cモード時のブロック図を、図1.16.2にUiRBレジスタへの転送、割り込みのタイミングを示します。

表1.16.4に示すように、SMD2～SMD0ビットを“0102”に、IICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表1.16.1. I²Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	マスタ時 UiMRレジスタ(i=0～2)のCKDIRビットが“0” (内部クロック) : $f_j/2^{(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ n=UiBRGレジスタの設定値 0016～FF16 スレーブ時 CKDIRビットが“1” (外部クロック) : CLKi端子からの入力
送信開始条件	送信開始には、次の条件が必要です(注1)。 ・ UiC1レジスタのTEビットが“1” (送信許可) ・ UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です(注1)。 ・ UiC1レジスタのREビットが“1” (受信許可) ・ UiC1レジスタのTEビットが“1” (送信許可) ・ UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、このデータの8ビット目を受信すると発生
選択機能	アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可 クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

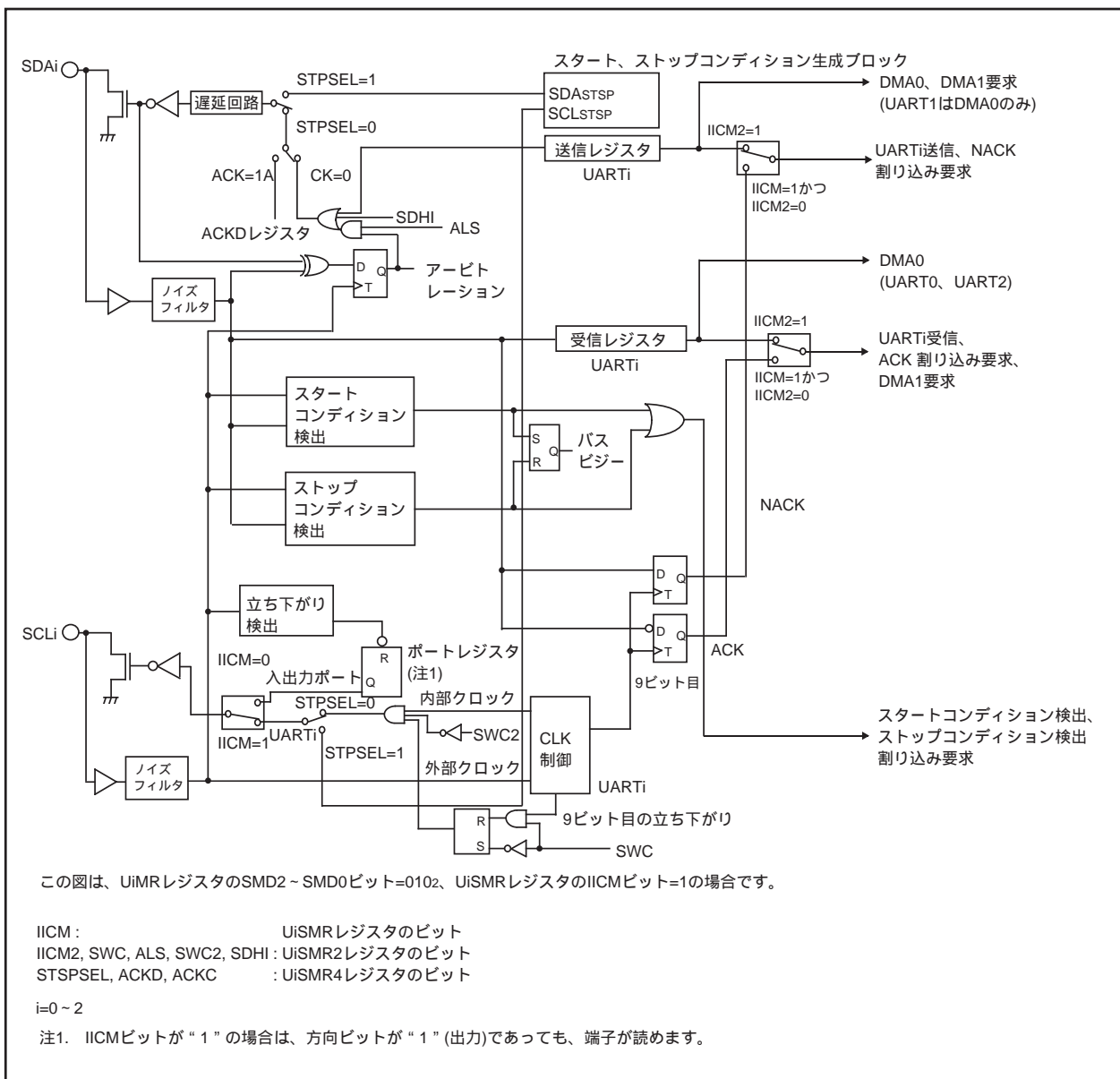


図1.16.1. I²Cモードのブロック図

表1.16.2. I²Cモード時の使用レジスタと設定値 (1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB(注3)	0~7	送信データを設定してください	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください	無効
UiMR(注3)	SMD2~SMD0	“0102” にしてください	“0102” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウンツースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1” にしてください	“1” にしてください
	NCH	“1” にしてください(注2)	“1” にしてください(注2)
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
	UiC1	TE	送信を許可する場合、“1” にしてください
TI		送信バッファ空フラグ	送信バッファ空フラグ
RE		受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
RI		受信完了フラグ	受信完了フラグ
U2IRS(注1)		無効	無効
U2RRM(注1)、 UiLCH、UiERE		“0” にしてください	“0” にしてください
UiSMR	IICM	“1” にしてください	“1” にしてください
	ABC	アービトレーションロスト検出タイミング を選択してください	アービトレーションロスト検出タイミング を選択してください
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0” にしてください	“0” にしてください
UiSMR2	IICM2	表1.16.4参照	表1.16.4参照
	CSC	クロック同期化を許可する場合、 “1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がり でSCLi出力を“L”出力固定にする場合、 “1” にしてください	クロックの9ビット目の立ち下がり でSCLi出力を“L”出力固定にする場合、 “1” にしてください
	ALS	アービトレーションロスト検出時にSDAiの 出力を停止する場合“1” にしてください	“0” にしてください
	STC	使用しません。“0” にしてください	スタートコンディション検出でUARTiを 初期化する場合、“1” にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、 “1” にしてください	SCLiの出力を強制的に“L”にする場合、 “1” にしてください
	SDHI	SDAi出力を禁止をする場合、“1” に してください	SDAi出力を禁止をする場合、“1” に してください
	7	“0” にしてください	“0” にしてください
UiSMR3	0、2、4、NODC	“0” にしてください	“0” にしてください
	CKPH	表1.16.4参照	表1.16.4参照
	DL2~DL0	SDAiのデジタル遅延値を設定してください	SDAiのデジタル遅延値を設定してください

注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCON
レジスタにあります。

注2. TxD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0” にしてください。

注3. この表に記載していないビットはI²Cモード時に書く場合、“0” を書いてください。

i=0~2

表1.16.3. I²Cモード時の使用レジスタと設定値 (2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	使用しません。“0”にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	使用しません。“0”にしてください。
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	使用しません。“0”にしてください。
	STSPSEL	各コンディション出力時に“1”にしてください	使用しません。“0”にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCLi出力を停止する場合、“1”にしてください	使用しません。“0”にしてください。
	SWC9	使用しません。“0”にしてください	クロックの9ビット目の次の立ち下がり でSCLiを“L”ホールドにする場合、 “1”にしてください
IFSR2A	IFSR26、IFSR27	“1”にしてください	“1”にしてください
UCON	U0IRS、U1IRS	無効	無効
	2~7	“0”にしてください	“0”にしてください

i=0~2

表1.16.4. I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=001b, IICM=0)	I ² Cモード(SMD2~SMD0=010b, IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UARTi送信/UARTi受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 6, 7, 10の要因 (注1, 5, 7)	-	スタートコンディション検出、ストップコンディション検出 (「表1.16.5 STSPSELビットの機能」参照)			
割り込み番号 15, 17, 19の要因 (注1, 6)	UARTi送信 送信開始、または送信 完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり		UARTi送信 9ビット目のSCLiの 立ち上がり	UARTi送信 9ビット目の次の SCLiの立ち下がり
割り込み番号 16, 18, 20の要因 (注1, 6)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり		UARTi受信 9ビット目のSCLiの立ち下がり	
UART受信シフト レジスタからUiRB レジスタへのデータ 転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLiの 立ち下がり	9ビット目のSCLiの 立ち下がりと、 立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
P6_3, P6_7, P7_0端子 の機能	TXDi出力	SDAi入出力			
P6_2, P6_6, P7_1端子 の機能	RXDi入力	SCLi入出力			
P6_1, P6_5, P7_2端子 の機能	CLKi入力または出力選択	-(I ² Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RXDi, SCLi端子レベル の読み込み	対応するポート方向ビット が“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi, SDAi出力の 初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、 終了値	-	H	L	H	L
DMA1要因 (注6)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレ ジスタのビット0~7に 格納	1~8ビット目をUiRBレジスタのビット7~0 に格納		1~7ビット目をUiRBレジスタのビット6 ~0に、8ビット目をUiRBレジスタのビッ ト8に格納	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す			1~8ビット目を UiRBレジスタの ビット7~0に格納 (注3)	
				UiRBレジスタのビ ット6~0はビット7 ~1として、ビット 8はビット0として 読み出す(注4)	

i=0~2

- 注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「割り込み要因の変更」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。
UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット
- 注2. SDAi出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルI/Oが無効)の状態を設定してください。
- 注3. UiRBレジスタへのデータ転送2回目(9ビット目SCLi立ち上がり時)
- 注4. UiRBレジスタへのデータ転送1回目(9ビット目SCLi立ち下がり時)
- 注5. 「図1.16.4 STSPSELビットの機能」参照。
- 注6. 「図1.16.2 UiRBレジスタへの転送、割り込みのタイミング」参照。
- 注7. UART0使用時はIFSR2AレジスタのIFSR26ビットを“1”(割り込み要因はUART0バス衝突)にしてください。
UART1使用時はIFSR2AレジスタのIFSR27ビットを“1”(割り込み要因はUART1バス衝突)にしてください。

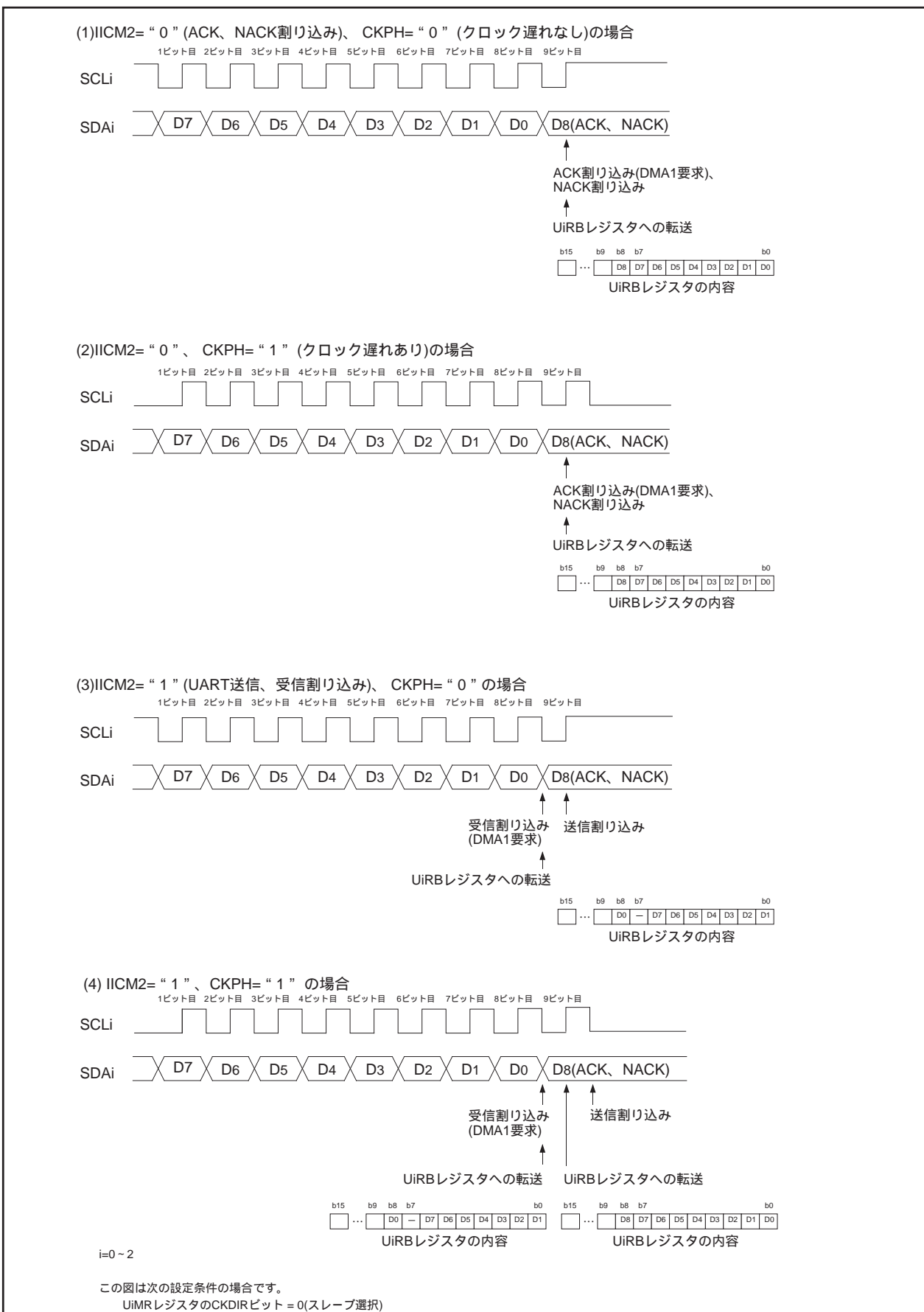


図1.16.2. UIRBレジスタへの転送、割り込みのタイミング

スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

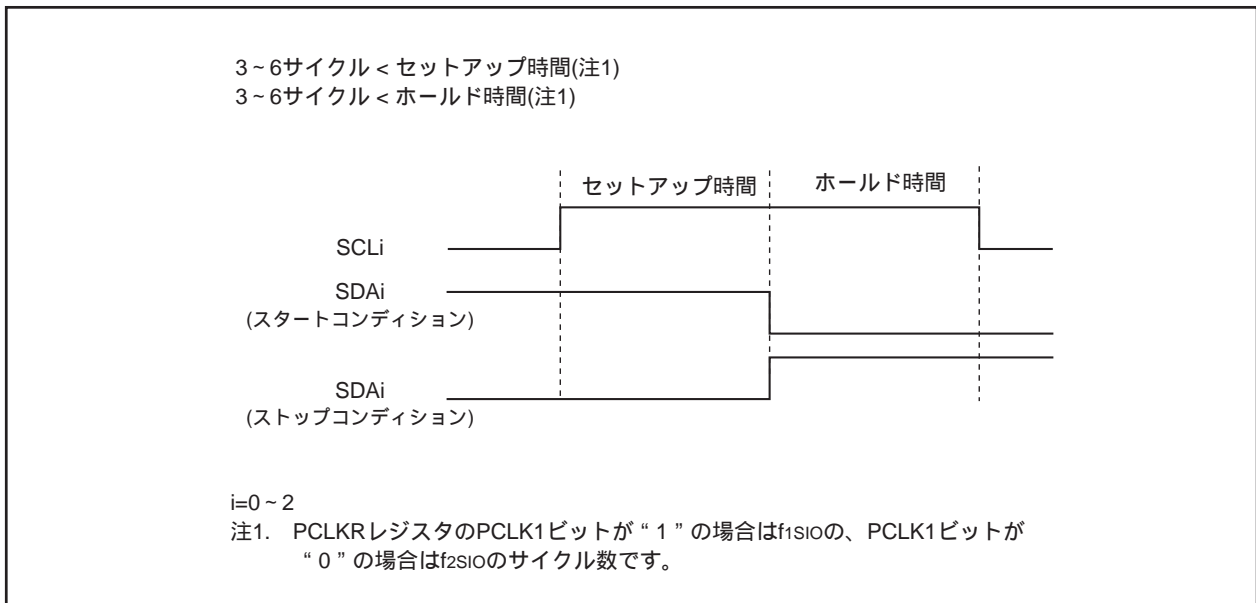


図1.16.3. スタートコンディション、ストップコンディションの検出

スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ(i=0~2)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) UiSMR4レジスタのSTSPSELビット“1”(出力)にする

表1.16.5と図1.16.4にSTSPSELビットの機能を示します。

表1.16.5. STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

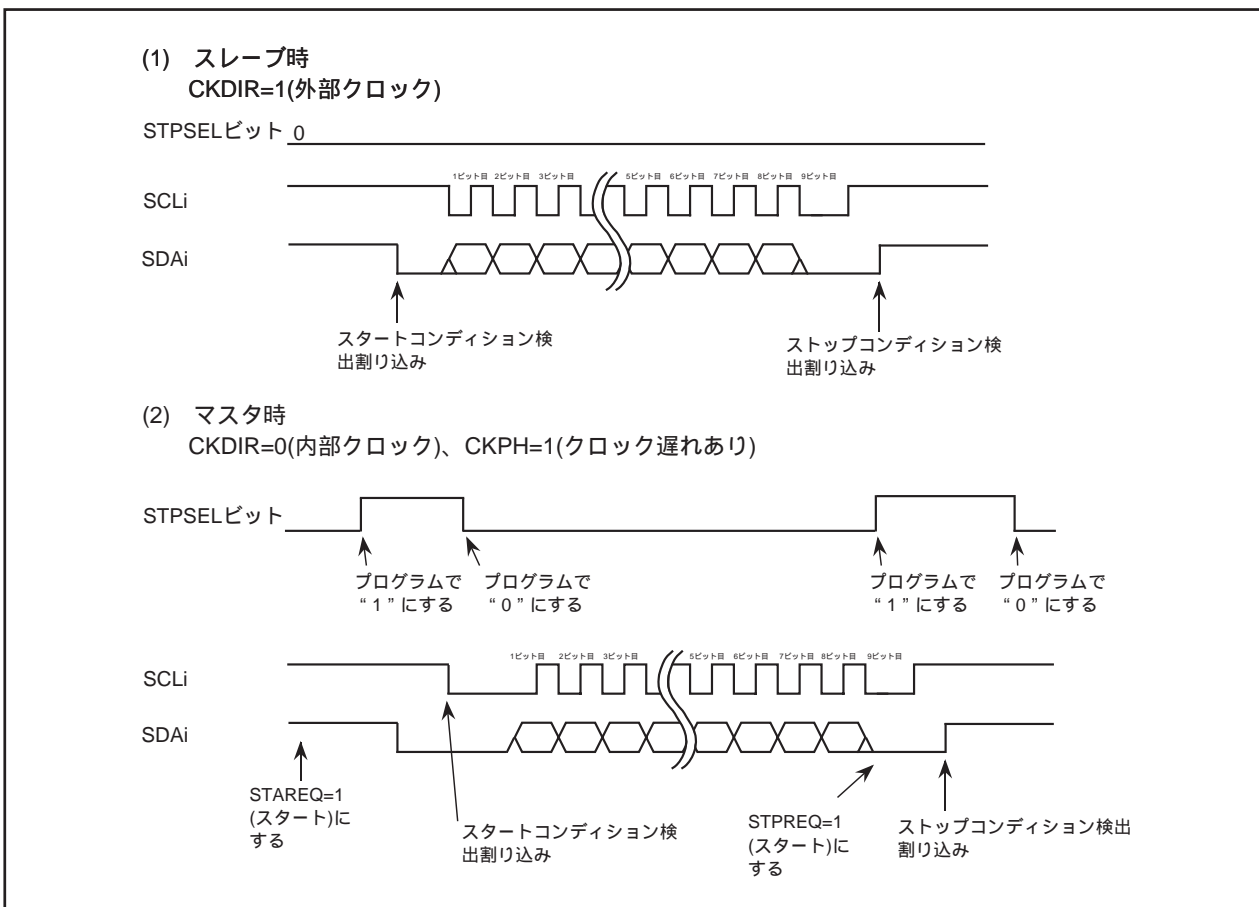


図1.16.4. STSPSELビットの機能

アービトレーション

SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。UiSMRレジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0” (ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がり でABTビットが“1” (不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0” (未検出)にしてから、次の1バイトを転送してください。

UiSMR2レジスタのALSビットを“1” (SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1” (不一致検出)になったとき、同時にSDAi端子がハイインピーダンス状態になります。

転送クロック

図1.16.4に示すような転送クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがって、UARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、転送クロックは内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCLi端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

SDA出力

UiTBレジスタのビット7~0(D7~D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICM=1(I²Cモード)で、UiMRレジスタのSMD2~SMD0ビットが“0002”(シリアルI/Oは無効)の状態を設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

SDA入力

IICM2ビットが“0”のとき、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0” (スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1” (ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

送受信初期化

STACビットを“1” (UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- ・送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- ・受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- ・SWCビットが“1” (SCLウエイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

特殊モード2

1つのマスタから、複数のスレーブヘシリアル通信できます。また、同期クロックの極性と位相を選択できます。表1.16.6に特殊モード2の仕様を、表1.16.7に特殊モード2時の使用レジスタと設定値を、図1.16.5に特殊モード2の通信制御例を示します。UART2はCLK端子がないので、このモードでは使用できません。

表1.16.6. 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	マスタモード UiMRレジスタ(i=0~1)のCKDIRビットが“0”(内部クロック選択) : $f_j/2(n+1)$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ n : UiBRGレジスタ設定値。0016~FF16。 スレーブモード CKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要です。(注1) ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です。(注1) ・ UiC1レジスタのREビットが“1”(受信許可) ・ TEビットが“1”(送信許可) ・ TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます。 ・ UiC1レジスタのUiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・ UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信時 ・ UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

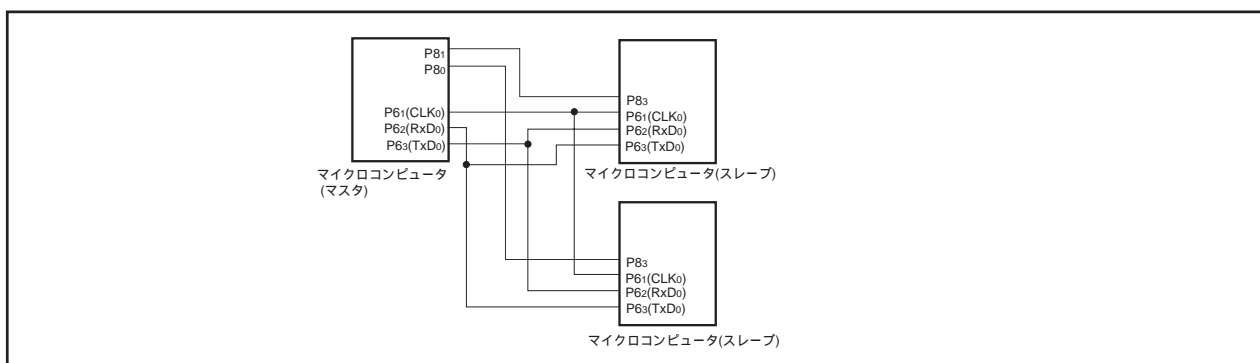


図1.16.5. 特殊モード2の通信制御例(UART0)

表1.16.7. 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR(注3)	SMD2~SMD0	“0012” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=“1”なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	“0” にしてください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)、U2LCH、UIERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0” にしてください
	0、2、4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. この表に記載していないビットは特殊モード2時に書く場合、“0” を書いてください。

i=0~1

クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

図1.16.6にマスタ(内部クロック)の場合の送受信のタイミングを示します。

図1.16.7にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図1.16.8にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

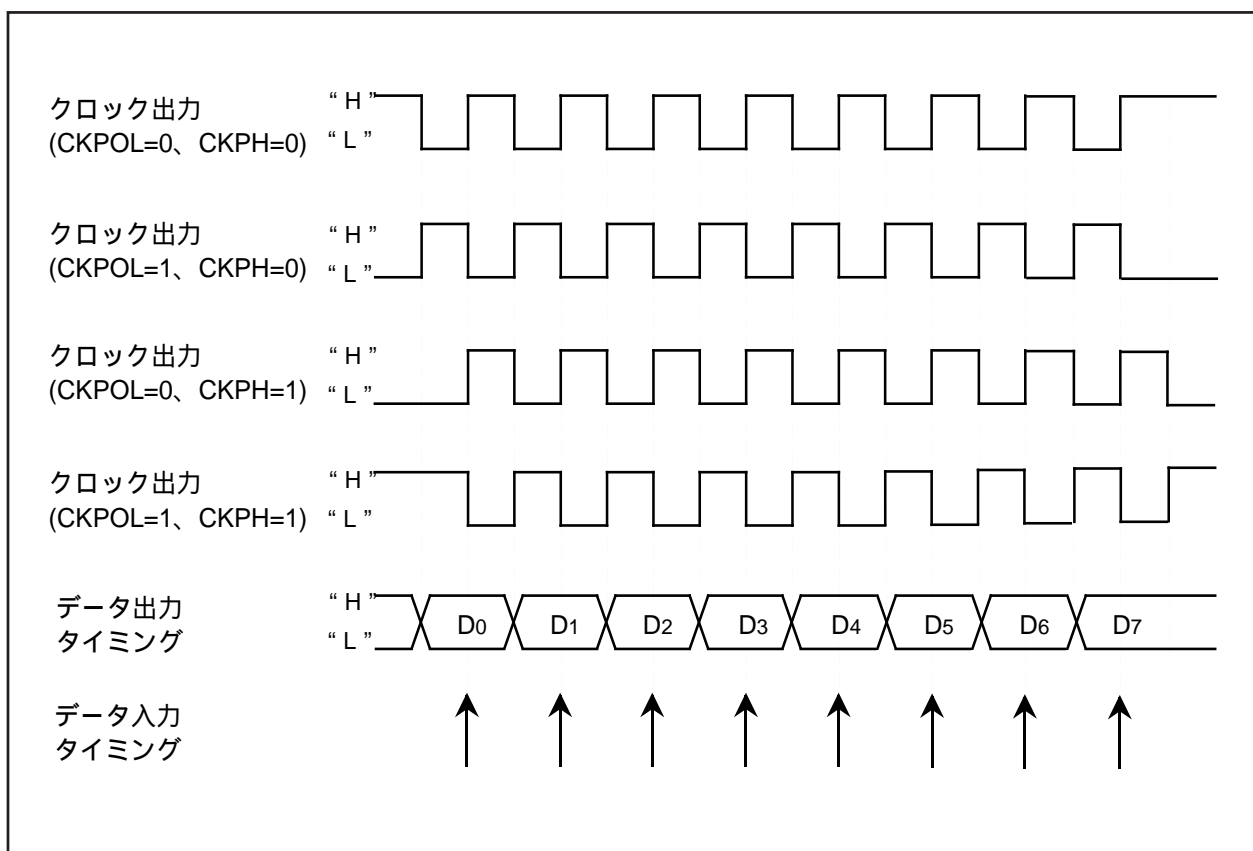


図1.16.6. マスタ(内部クロック)の場合の送受信のタイミング

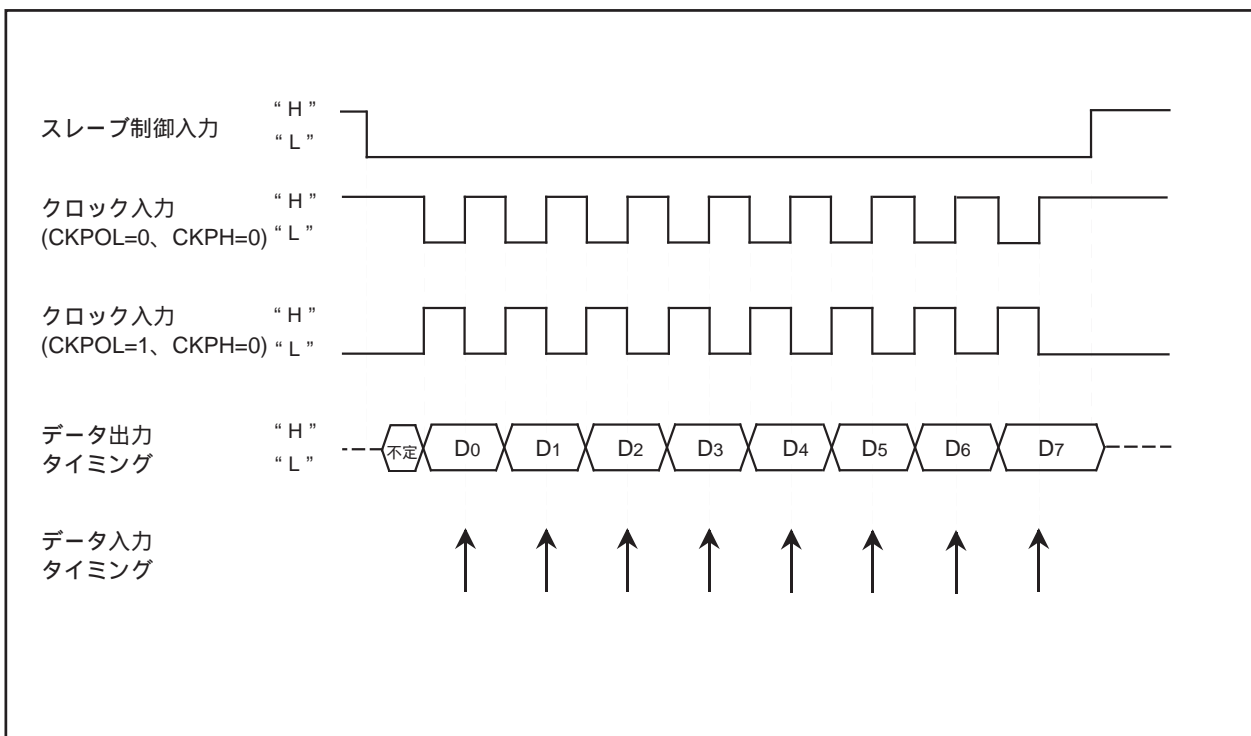


図1.16.7. スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

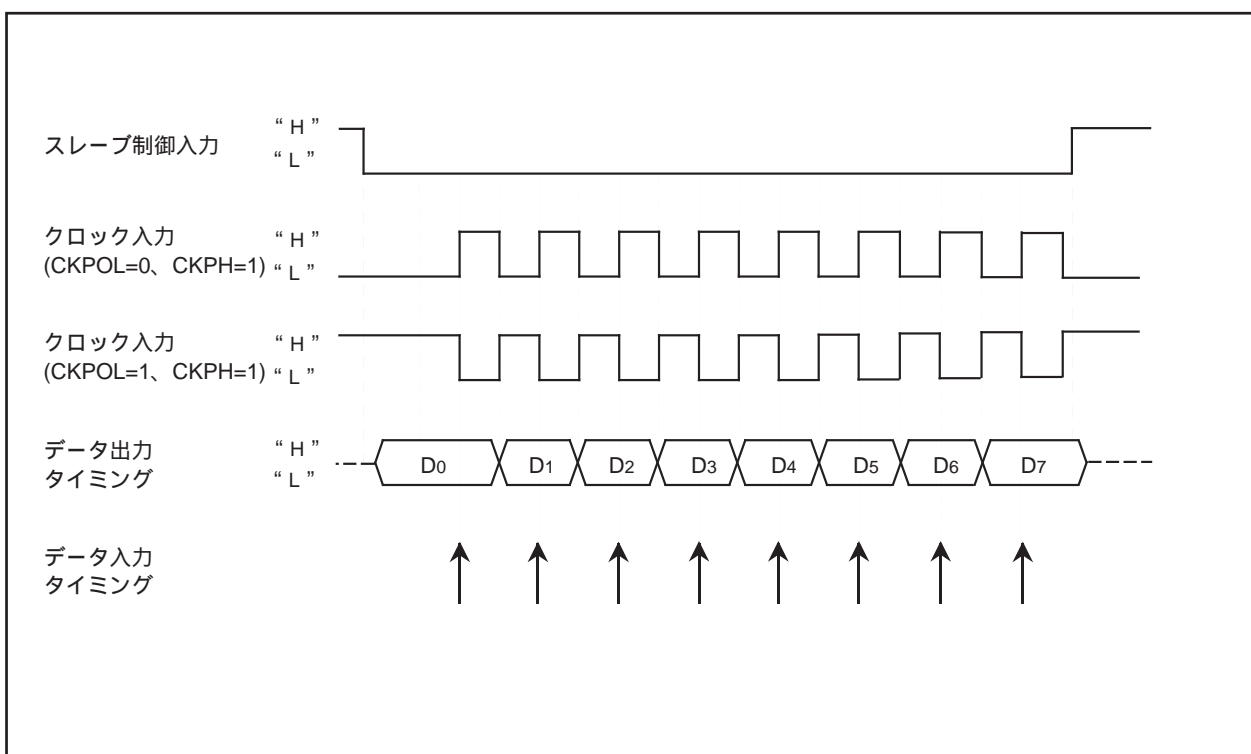


図1.16.8. スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

SI/O3、SI/O4

SI/O3、SI/O4は、クロック同期形専用シリアルI/Oです。

図1.17.1にSI/O3、SI/O4ブロック図、図1.17.2にSI/O3、SI/O4関連レジスタを示します。

表1.17.1にSI/O3、SI/O4の仕様を示します。

SI/O4はIT800に内部で直結しています。

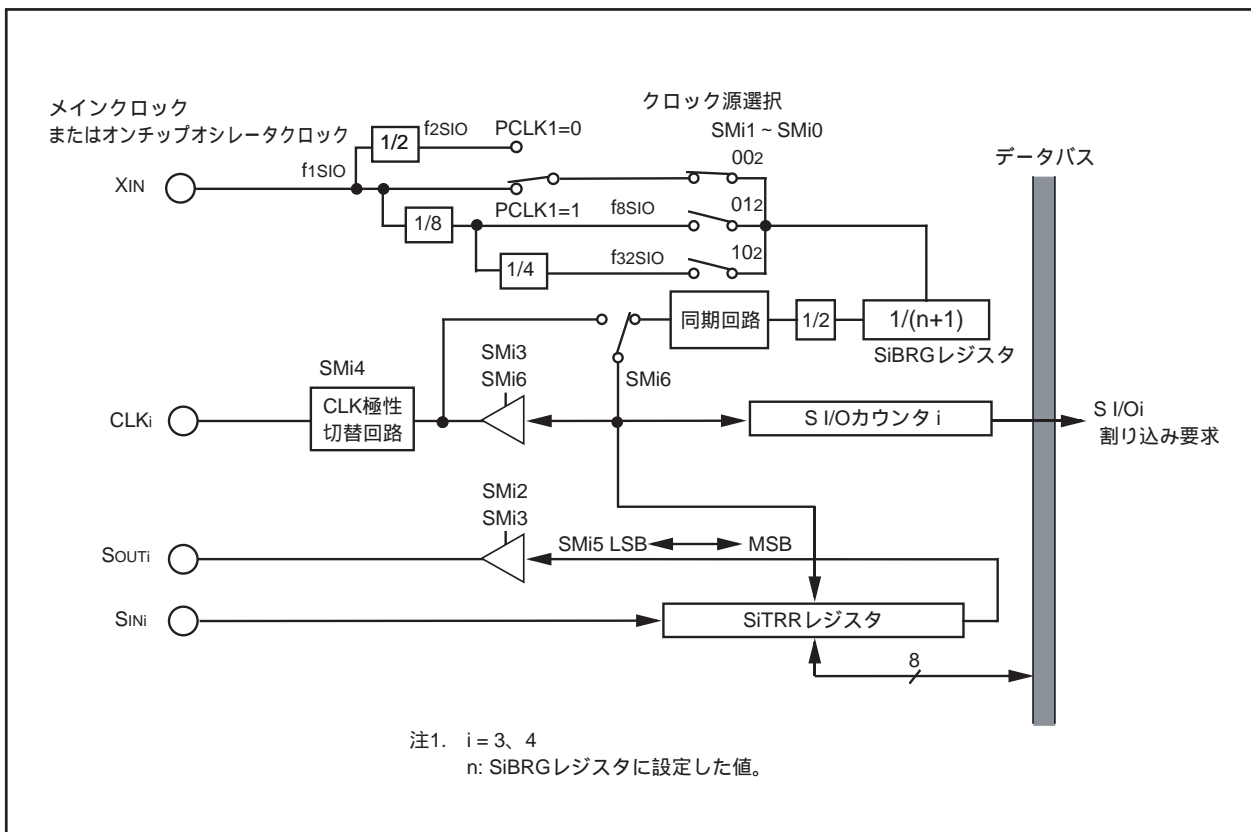


図1.17.1. SI/O3、SI/O4ブロック図

S I/Oi 制御レジスタ (i = 3, 4) (注1)

シンボル	アドレス	リセット後の値
S3C	0362 ₁₆ 番地	01000000 ₂
S4C	0366 ₁₆ 番地	01000000 ₂

ビットシンボル	ビット名	機能	RW
SMi0	内部同期クロック選択ビット	b ₁ b ₀ 00: f ₁ SIOまたはf ₂ SIOを選択 01: f ₈ SIOを選択 10: f ₃₂ SIOを選択 11: 設定しないでください	RW
SMi1			RW
SMi2	Souti 出力禁止ビット (注4)	0: Souti出力 1: Souti出力禁止(ハイインピーダンス)	RW
SMi3	S I/Oiポート選択ビット	0: 入出力ポート 1: Souti出力、CLKi機能	RW
SMi4	CLK極性選択ビット	0: 転送クロック立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロック立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
SMi5	転送方向選択ビット	0: LSBファースト 1: MSBファースト	RW
SMi6	同期クロック選択ビット	0: 外部クロック (注2) 1: 内部クロック (注3)	RW
SMi7	Souti 初期値設定ビット	SMi3=0の場合に有効 0: "L" 出力 1: "H" 出力	RW

注1. このレジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. SMi3ビットを“1”(Souti出力、CLKi機能)にしてください。

注3. SMi3ビットを“1”に、対応するポート方向ビットを“0”(入力モード)にしてください。

注4. SMi3ビットが“1”のとき有効。

SI/Oi転送速度レジスタ (i = 3, 4) (注1、注2)

シンボル	アドレス	リセット後の値
S3BRG	0363 ₁₆ 番地	不定
S4BRG	0367 ₁₆ 番地	不定

機能	設定範囲	RW
設定値を n とすると、SiBRGはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	WO

注1. 送受信停止中に書いてください。

注2. このレジスタはMOV命令を使用して書いてください。

SI/Oi送受信レジスタ (i = 3, 4) (注1、注2)

シンボル	アドレス	リセット後の値
S3TRR	0360 ₁₆ 番地	不定
S4TRR	0364 ₁₆ 番地	不定

機能	RW
送信データを書くと送受信が始まり、送受信完了後、読むと受信データが読める	RW

注1. 送受信停止中に書いてください。

注2. 受信する場合は、SiNiに対応するポート方向ビットを“0”(入力モード)にしてください。

図1.17.2. S3C、S4C、S3BRG、S4BRG、S3TRR、S4TRRレジスタ

表1.17.1. SI/O3、SI/O4の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	SiCレジスタ(i=3、4)のSMi6ビットが“1”(内部クロック) : $f_j/2(n+1)$ $f_j=f1SIO、f8SIO、f32SIO$ 。n=SiBRGレジスタの設定値 0016~FF16 SMi6ビットが“0”(外部クロック) : CLKi端子から入力(注1)
送受信開始条件	送受信開始には、次の条件が必要です SiTRRレジスタに送信データを書く(注2、注3)
割り込み要求発生タイミング	SiCレジスタのSMi4ビットが“0”の場合 最後の転送クロックの立ち上がり(注4) SMi4ビットが“1”の場合 最後の転送クロックの立ち下がり(注4)
CLKi端子機能	入出力ポート、転送クロック入力、転送クロック出力
SOUTi端子機能	入出力ポート、送信データ出力、ハイインピーダンス
SINI端子機能	入出力ポート、受信データ入力
選択機能	LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 SOUTi初期値設定機能 SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送信していないときのSOUTi端子出力レベルを選択可 CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可

注1. SiCレジスタのSMi6ビットを“0”(外部クロック)にする場合は、次のようにしてください。

- SiCレジスタのSMi4ビットが“0”の場合、CLKi端子に“H”が入力されている状態でSiTRRレジスタに送信データを書いてください。SiCレジスタのSMi7ビットを書き換える場合も同様です。
- SMi4ビットが“1”の場合、CLKi端子に“L”が入力されている状態でSiTRRレジスタに送信データを書いてください。SMi7ビットを書き換える場合も同様です。
- 転送クロックがS I/Oi回路に入力されている間はシフト動作をし続けますので、転送クロックは8回で止めてください。SMi6ビットが“1”(内部クロック)の場合、転送クロックは自動的に停止します。

注2. SI/Oi(i=3~4)は、UART0~UART2と違い、転送のためのレジスタとバッファに分かれていません。したがって、送信中に次の送信データをSiTRRレジスタに書かないでください。

注3. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送終了後SOUTiは、1/2転送クロック間、最終データを保持し、ハイインピーダンス状態になります。しかし、この間に送信データをSiTRRレジスタに書いた場合、書いたときからハイインピーダンス状態になり、データのホールド時間が短くなります。

注4. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送クロックは、SMi4ビットが“0”の場合は“H”の状態では停止し、SMi4ビットが“1”の場合は“L”で停止します。

SI/Oi動作タイミング

図1.17.3にSI/Oi動作タイミング図を示します。

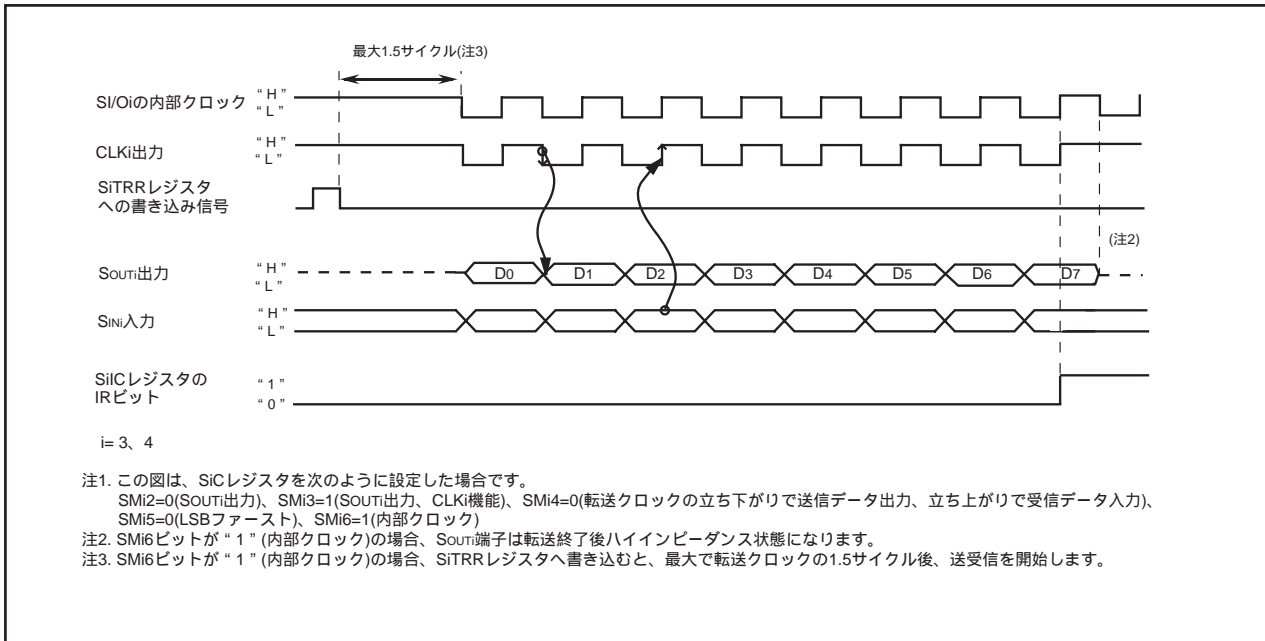


図1.17.3. SI/Oi動作タイミング図

CLK極性選択

SiCレジスタのSMi4ビットで転送クロックの極性を選択できます。図1.17.4に転送クロックの極性を示します。

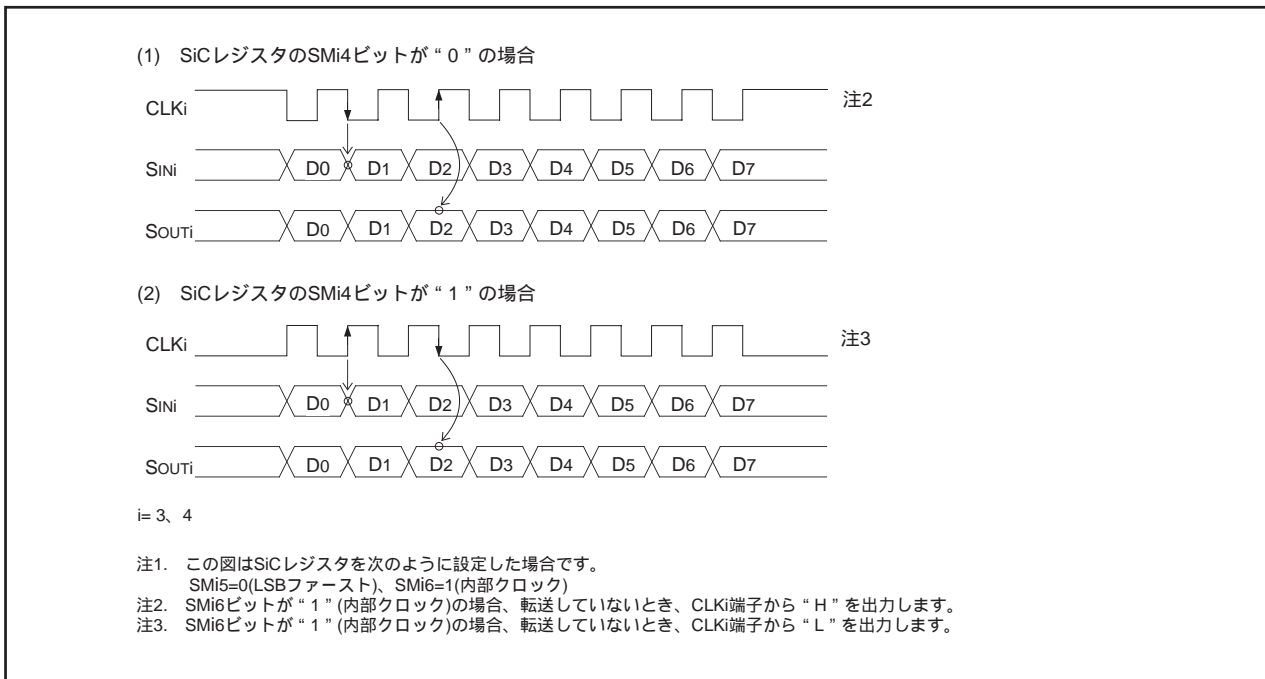


図1.17.4. 転送クロックの極性

SOUTi初期値設定機能

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、転送していないときのSOUTi端子の出力を“H”または“L”のどちらかに設定できます。図1.17.5にSOUTi初期値設定時のタイミング図、設定方法を示します。

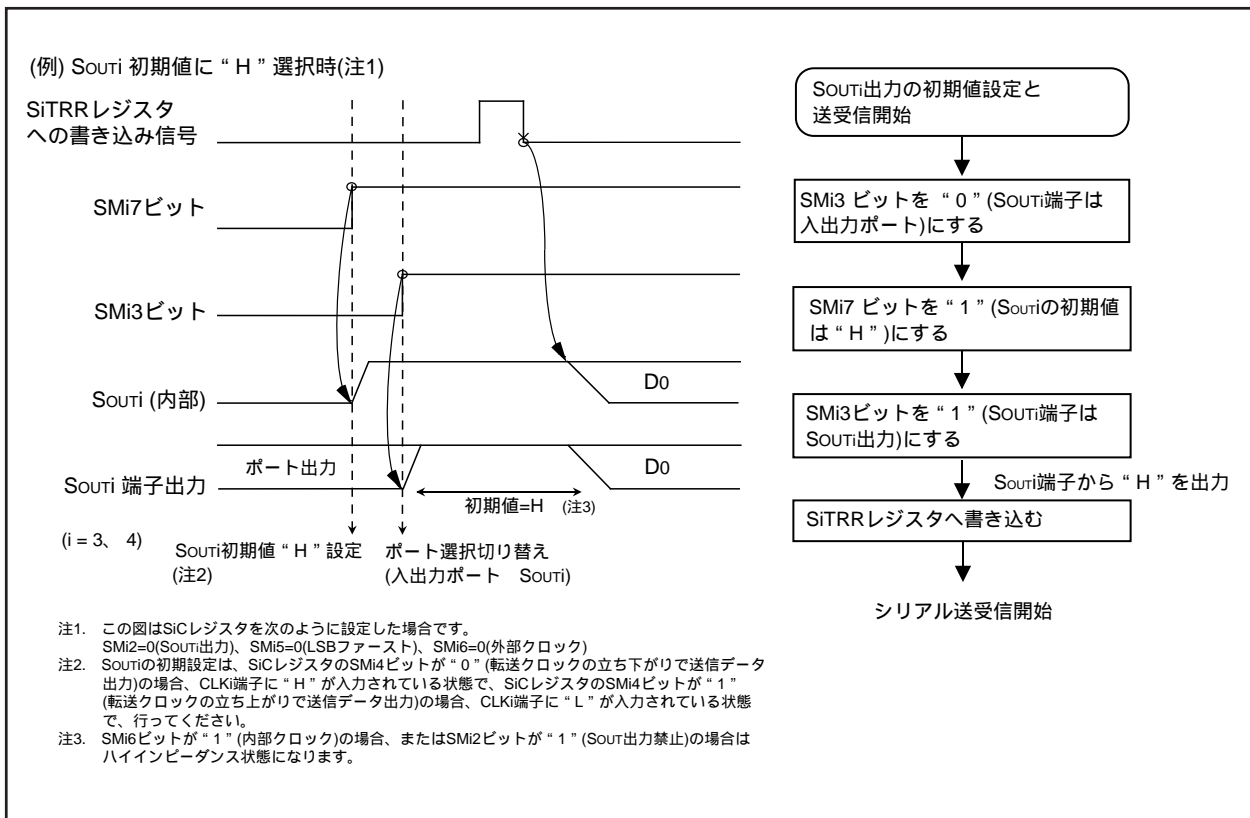


図1.17.5. SOUTi初期値設定時のタイミング図、設定方法

プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P1, P4～P9(P85は除く)の55本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P85は入力専用でプルアップ抵抗はありません。

ポートP1_0～P1_4, P1_6～P1_7, P4_0～P4_7, P5_0～P5_7, P7_2, P7_5, P7_7, P8_2, P8_6～P8_7およびP9_3～P9_7は、外部端子への接続がありません。

図1.18.1～図1.18.4に入出力ポートの構成、図1.18.5に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

(1) ポートPi方向レジスタ(PDiレジスタ $i=1, 4\sim 9$)

図1.18.6にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

なお、P85に対応する方向レジスタのビットはありません。

(2) ポートPiレジスタ(Piレジスタ $i=1, 4\sim 9$)

図1.18.7にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読み、書くとポータラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポータラッチを読み、書くとポータラッチに書きます。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

(3) プルアップ制御レジスタ0～プルアップ制御レジスタ2(PUR0～PUR2レジスタ)

図1.18.8にPUR0～PUR2レジスタを示します。

PUR0～PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

(4) ポート制御レジスタ(PCRレジスタ)

図1.18.9にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポータラッチを読みます。

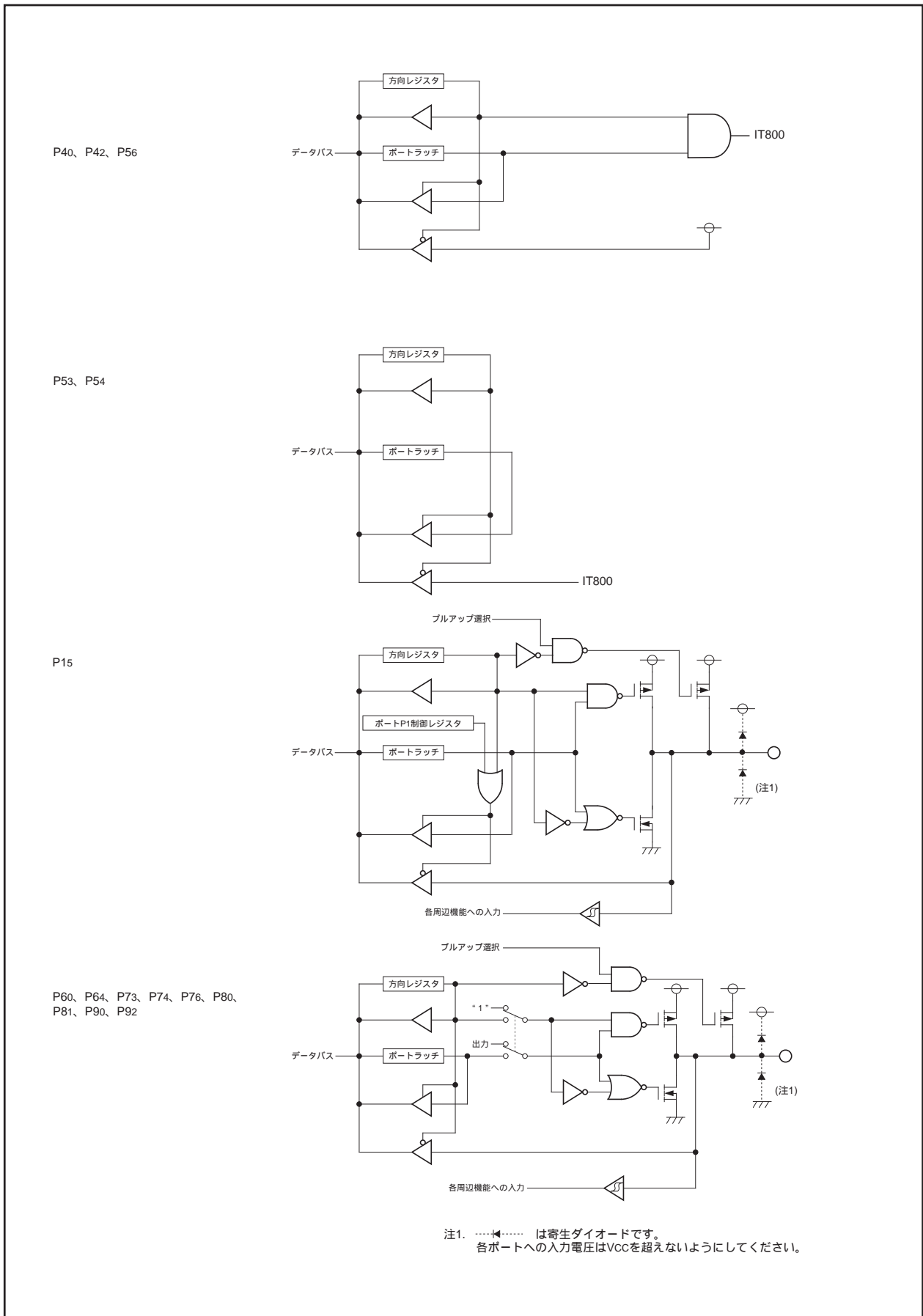


図1.18.1. 入出力ポートの構成(1)

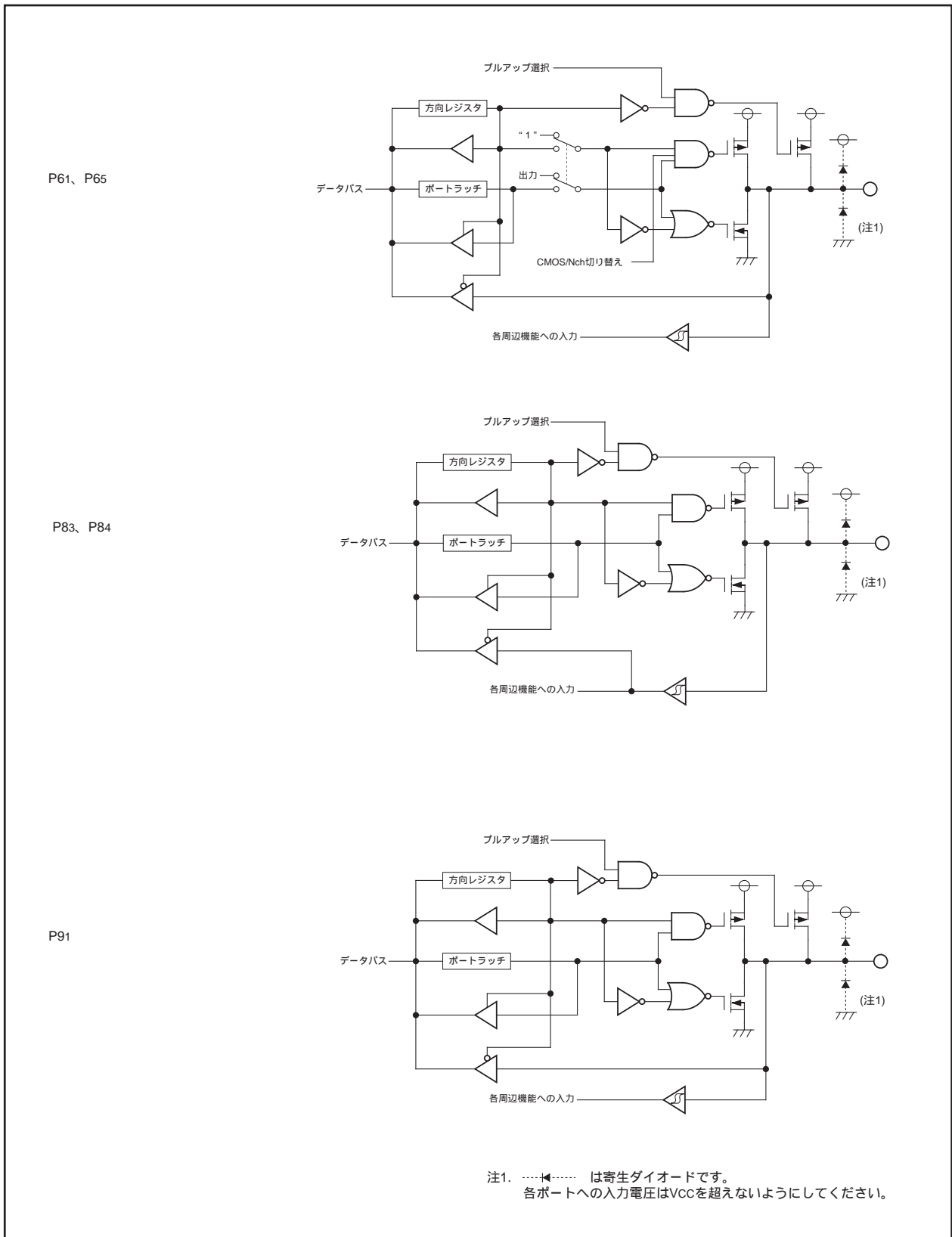


図1.18.2. 入出力ポートの構成(2)

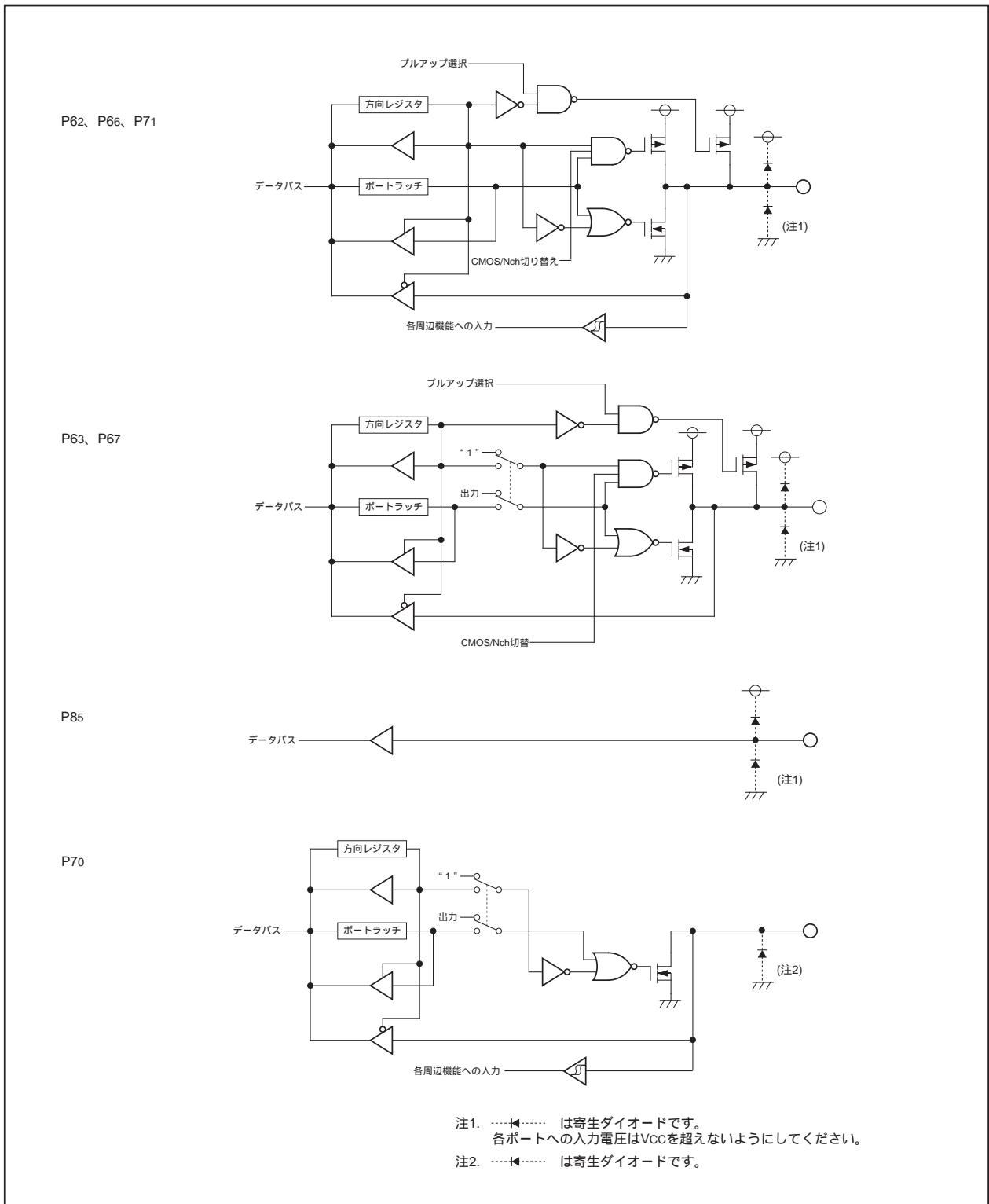


図1.18.3. 入出力ポートの構成(2)

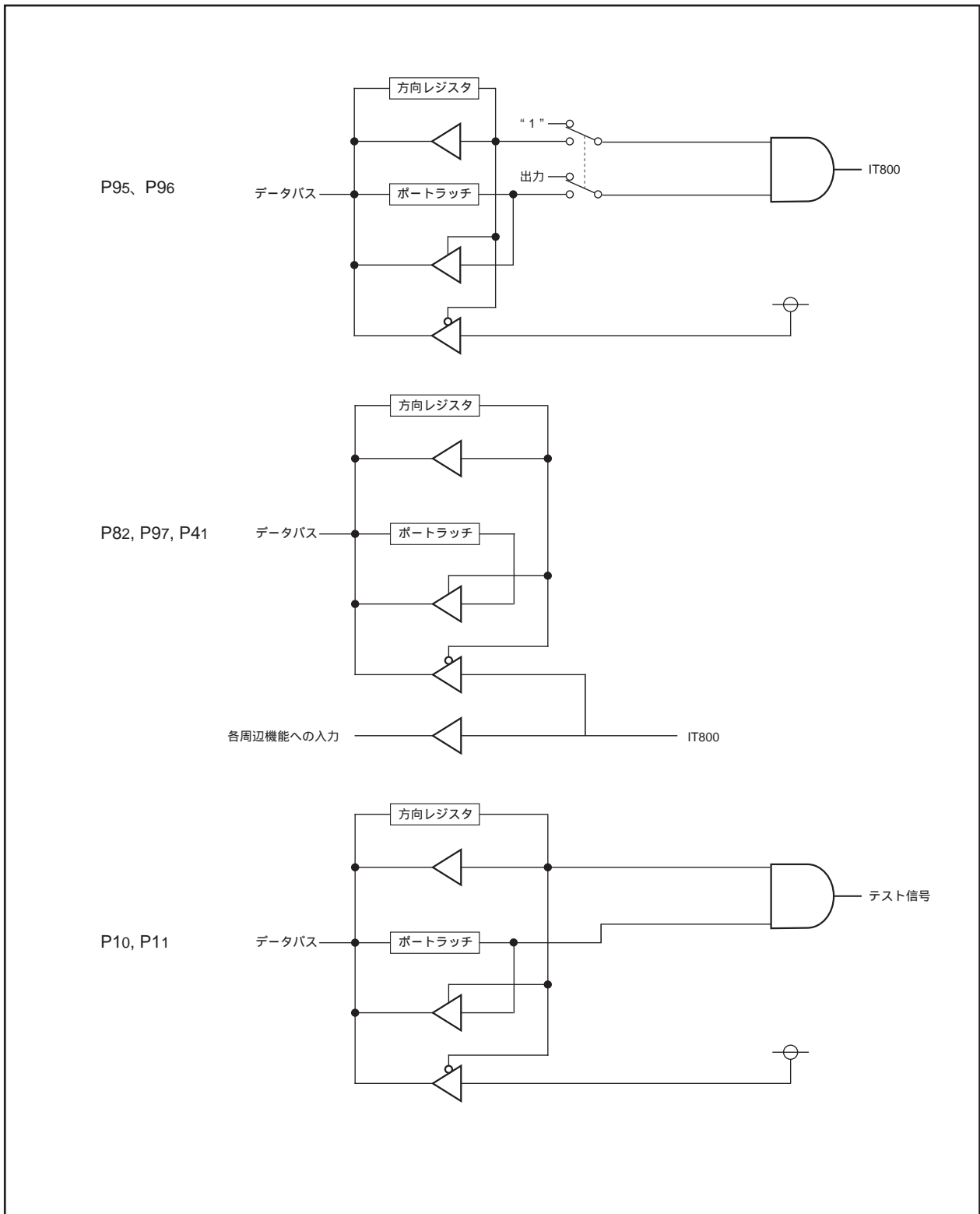


図1.18.4. 入出力ポートの構成(4)

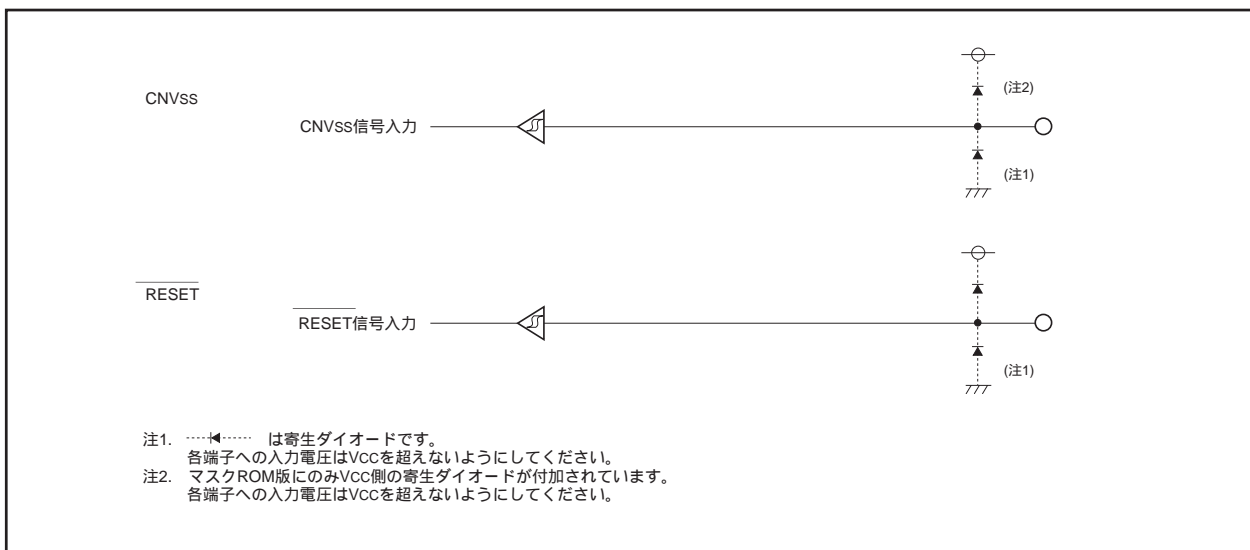
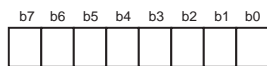


図1.18.5. 端子の構成

ポートPi方向レジスタ(i=1, 4~7, 9)(注1)

シンボル	アドレス	リセット後の値
PD1	03E3 ₁₆ 番地 (注2)	00 ₁₆
PD4 ~ PD7	03EA ₁₆ 、03EB ₁₆ 、03EE ₁₆ 、03EF ₁₆ 番地	00 ₁₆
PD9	03F3 ₁₆ 番地	00 ₁₆



ビットシンボル	ビット	機能	RW
PD _i _0	ポートPi ₀ 方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能) (i=1, 4~7, 9)	RW
PD _i _1	ポートPi ₁ 方向ビット		RW
PD _i _2	ポートPi ₂ 方向ビット		RW
PD _i _3	ポートPi ₃ 方向ビット		RW
PD _i _4	ポートPi ₄ 方向ビット		RW
PD _i _5	ポートPi ₅ 方向ビット		RW
PD _i _6	ポートPi ₆ 方向ビット		RW
PD _i _7	ポートPi ₇ 方向ビット		RW

注1. PD9レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. PD1_0, PD1_1は“0”にしてください。

ポートP8方向レジスタ

シンボル	アドレス	リセット後の値
PD8	03F2 ₁₆ 番地	00X00000 ₂

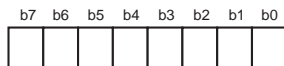


ビットシンボル	ビット名	機能	RW
PD8_0	ポートP8 ₀ 方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD8_1	ポートP8 ₁ 方向ビット		RW
PD8_2	ポートP8 ₂ 方向ビット		RW
PD8_3	ポートP8 ₃ 方向ビット		RW
— (b5)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PD8_6	ポートP8 ₆ 方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD8_7	ポートP8 ₇ 方向ビット		RW

図1.18.6. PD1 ~ PD9レジスタ

ポートPiレジスタ(i=1, 4~7, 9)

シンボル	アドレス	リセット後の値
P1	03E116番地 (注2)	不定
P4~P7	03E816、03E916、03EC16、03ED16番地	不定
P9	03F116番地	不定



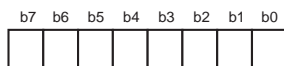
ビットシンボル	ビット名	機	RW
Pi_0	ポートPi0ビット		RW
Pi_1	ポートPi1ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。	RW
Pi_2	ポートPi2ビット		RW
Pi_3	ポートPi3ビット	出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる	RW
Pi_4	ポートPi4ビット		RW
Pi_5	ポートPi5ビット	0: "L" レベル 1: "H" レベル(注1) (i=1, 4~7, 9)	RW
Pi_6	ポートPi6ビット		RW
Pi_7	ポートPi7ビット		RW

注1. P70はNチャンネルオープンドレインポートのため、ハイインピーダンスとなります

注2. P1_0, P1_1は"0"にしてください。

ポートP8レジスタ

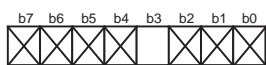
シンボル	アドレス	リセット後の値
P8	03F016番地	不定



ビットシンボル	ビット名	機	RW
P8_0	ポートP80ビット		RW
P8_1	ポートP81ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。	RW
P8_2	ポートP82ビット		RW
P8_3	ポートP83ビット	出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる(P85は除く)	RW
P8_4	ポートP84ビット		RW
P8_5	ポートP85ビット	0: "L" レベル 1: "H" レベル	RO
P8_6	ポートP86ビット		RW
P8_7	ポートP87ビット		RW

図1.18.7. P1~P9レジスタ

プルアップ制御レジスタ0



シンボル アドレス リセット後の値
 PUR0 03FC₁₆番地 XXXX0XXX₂

ビットシンボル	ビット名	機 能	RW
— (b2-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PU03	P14～P17のプルアップ	0: プルアップなし 1: プルアップあり(注1)	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

プルアップ制御レジスタ1

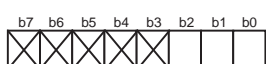


シンボル アドレス リセット後の値(注5)
 PUR1 03FD₁₆番地 0000XXX₂

ビットシンボル	ビット名	機 能	RW
— (b3-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PU14	P60～P63のプルアップ	0: プルアップなし 1: プルアップあり(注2)	RW
PU15	P64～P67のプルアップ		RW
PU16	P72～P73のプルアップ (注1)		RW
PU17	P74～P77のプルアップ		RW

- 注1. P70端子は、プルアップはありません。
- 注2. このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。
- 注3. ハードウェアリセット1またはハードウェアリセット2では次のようになります。
 - ・ CNVss端子に“L”を入力している場合、“00000000₂”
 - ・ CNVss端子に“H”を入力している場合、“0000010₂”
- ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。
 - ・ PM0レジスタのPM01～PM00ビットが“00₂”(シングルチップモード)の場合、“00000000₂”

プルアップ制御レジスタ2



シンボル アドレス リセット後の値
 PUR2 03FE₁₆番地 XXXX000₂

ビットシンボル	ビット名	機 能	RW
PU20	P80～P83のプルアップ	0: プルアップなし 1: プルアップあり(注1)	RW
PU21	P84～P87のプルアップ (注2)		RW
PU22	P90～P93のプルアップ		RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

- 注1. このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。
- 注2. P85端子は、プルアップはありません。

図1.18.8. PUR0～PUR2レジスタ

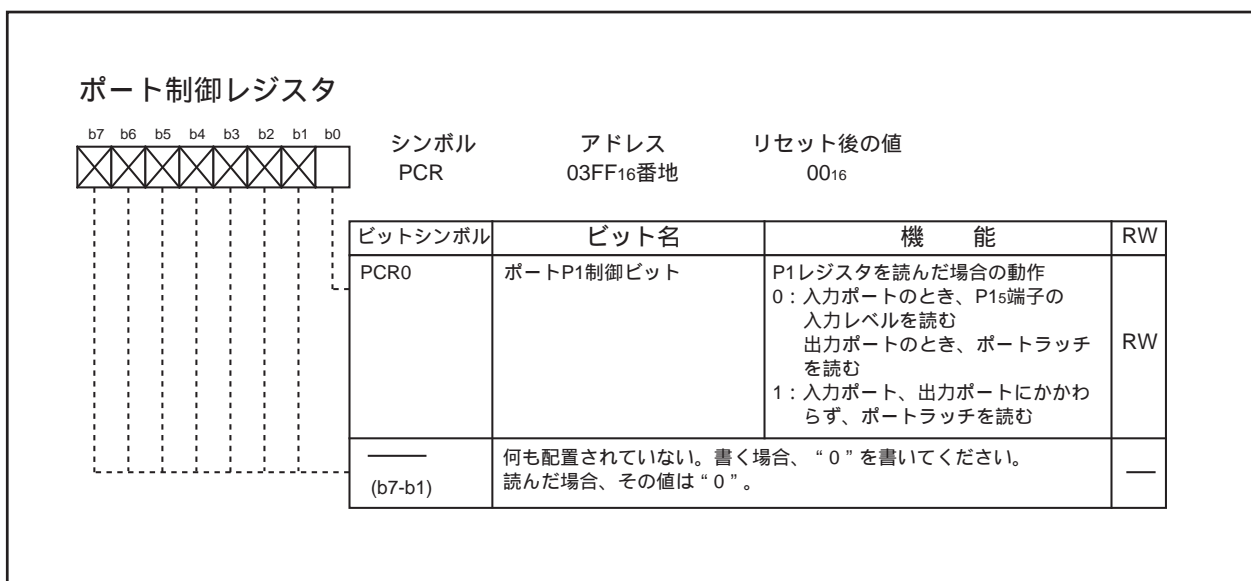


図1.18.9. PCRレジスタ

表1.18.1. シングルチップモード時の未使用端子の処理例 (アナログ端子は除く)

端子名	処理内容
ポートP0~P14(P85は除く) P1, P6~P9	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注2、注3、注4)
XOUT(注1)	開放
P85	抵抗を介してVccに接続(プルアップ)
VccA	Vccに接続
VSSA	Vssに接続

- 注1. Xin端子に外部クロックを入力している場合
- 注2. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注3. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注4. ポートP7_0を出力モードに設定する場合は“L”を出力してください。
ポートP7_0はNチャンネルオープンドレイン出力です。

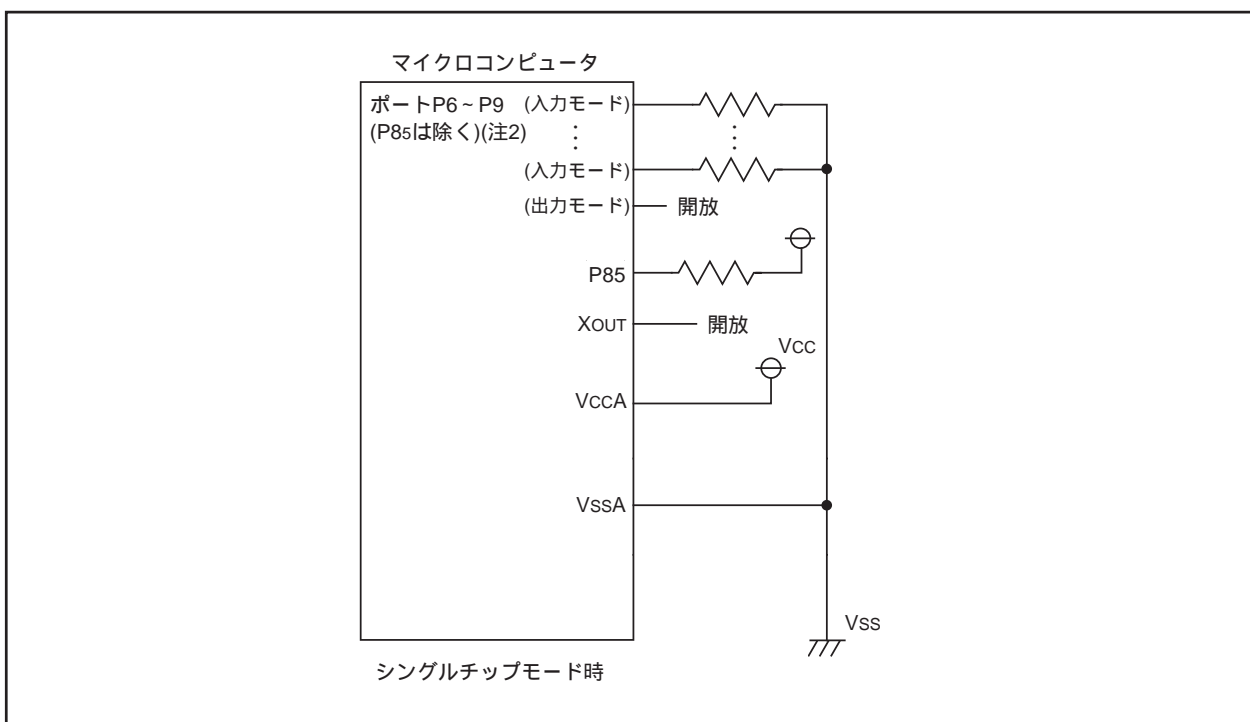


図1.18.10. 未使用端子の処理例 (アナログ端子は除く)

電気的特性

表1.19.1. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{CC} =V _{CCA}	- 0.3 ~ 4.2	V
V _{CCA}	アナログ電源電圧	V _{CC} =V _{CCA}	- 0.3 ~ 4.2	V
V _I	入力電圧	RESET, CNV _{SS} P60 ~ P67, P71, P73, P74, P76, P80 ~ P85, P90 ~ P92, X _{IN}	- 0.3 ~ V _{CC} +0.3	V
		P70	- 0.3 ~ 6.5	V
V _O	出力電圧	P60 ~ P67, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92, X _{OUT} , TS	- 0.3 ~ V _{CC} +0.3	V
		P70	- 0.3 ~ 6.5	V
P _d	消費電力		500	mW
T _{opr}	動作周囲温度		- 20 ~ 85/ - 40 ~ 85/ - 40 ~ 105 (注1)	°C
T _{stg}	保存温度		- 65 ~ 150	°C

注1. 「表1.1.5、表1.1.6 製品コード」を参照してください。

表1.19.2. 推奨動作条件(注1)

記号	項目	規格値			単位
		最小	標準	最大	
Vcc	電源電圧	3.0	3.3	3.6	V
VccA	アナログ電源電圧		Vcc		V
Vss	電源電圧		0		V
VssA	アナログ電源電圧		0		V
VIH	"H"入力電圧 P60 ~ P67, P71, P73, P74, P76, P80 ~ P85, P90 ~ P92 XIN, RESET, CNVss			Vcc	V
		P70	0.8Vcc	6.5	V
VIL	"L"入力電圧 P60 ~ P67, P70, P71, P73, P74, P76, P80 ~ P85, P90 ~ P92 XIN, RESET, CNVss	0		0.2Vcc	V
IOH (peak)	"H"尖頭出力電流 P60 ~ P67, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92, TS			- 10.0	mA
IOH (avg)	"H"平均出力電流 P60 ~ P67, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92, TS			- 5.0	mA
IOL (peak)	"L"尖頭出力電流 P60 ~ P67, P70, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92, TS			10.0	mA
IOL (avg)	"L"平均出力電流 P60 ~ P67, P70, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92, TS			5.0	mA
f (XIN)	メインクロック入力発振周波数	Vcc=3.0 ~ 3.6V		5.12	MHz
f (Ring)	リング発振周波数			1	MHz
f (BCLK)	CPU動作周波数			15.36	MHz
tsu (PLL)	PLL周波数シンセサイザ安定待ち時間	Vcc=3.0V		50	ms

注1. 指定のない場合は、Vcc=3.0 ~ 3.6V、Topr= - 20 ~ 85 / - 40 ~ 85 / - 40 ~ 105 です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. 全ポートのIOL(peak)の合計は80mA以下、IOH(peak)の合計は - 40mA以下にしてください。

表1.19.3. フラッシュメモリの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準(注2)	最大	
-	プログラム、イレーズ回数(注3)	100(注4)			回
-	ワードプログラム時間 (Vcc=3.3V、Topr=25)		75	600	μs
-	ブロックイレーズ時間 (Vcc=5.0V、Topr=25)	8Kバイト ブロック	0.4	9	s
		16Kバイト ブロック	0.7	9	s
		32Kバイト ブロック	1.2	9	s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	20			年

注1. 指定のない場合は、Vcc=3.0~3.6V、Topr=0~60 です。

注2. Vcc=3.3V、Topr=25 時

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、8Kバイトブロックのブロック0について、それぞれ異なる番地に1ワード書き込みを4096回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注4. プログラム/イレーズ後の全ての電気的特性を保証する最小回数です。(保証は1~ "最小" 値の範囲です。)

注5. Topr=55

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店へお問い合わせください。

表1.19.4. フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 (Topr=0~60)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
Vcc=3.3±0.3V	Vcc=3.0~3.6V

表1.19.5. 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	Vcc =3.0 ~ 3.6V			2	ms
td(R-S)	STOP解除時間				150	μs
td(M-L)	メインクロック発振開始時内部電源安定時間				50	μs

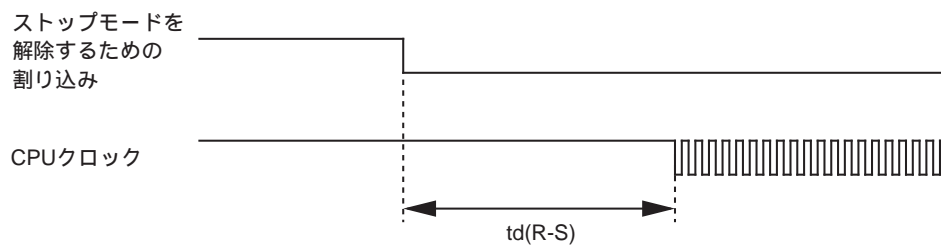


表1.19.6. 電気的特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{OH}	"H"出力電圧 P60 ~ P67, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92, TS	I _{OH} = - 1mA	V _{CC} - 0.5		V _{CC}	V
V _{OH}	"H"出力電圧 X _{OUT}	I _{OH} = - 0.1mA	V _{CC} - 0.5		V _{CC}	V
V _{OL}	"L"出力電圧 P60 ~ P67, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92, TS	I _{OL} =1mA			0.5	V
V _{OL}	"L"出力電圧 X _{OUT}	I _{OL} =0.1mA			0.5	V
V _{T+} -V _{T-}	ヒステリシス TA0IN, TA1IN, TA4IN, INT1 ~ INT3, CTS0 ~ CTS2, SCL, SDA, CLK0 ~ CLK4, TA4OUT, RxD0 ~ RxD2, SIn3		0.2		0.8	V
V _{T+} -V _{T-}	ヒステリシス RESET		0.2	(0.7)	1.8	V
I _{IH}	"H"入力電流 P60 ~ P67, P70, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92 X _{IN} , RESET, CNV _{SS}	V _I =3V			4.0	μA
I _{IL}	"L"入力電流 P60 ~ P67, P70, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92 X _{IN} , RESET, CNV _{SS}	V _I =0V			- 4.0	μA
R _{PULLUP}	プルアップ抵抗 P60 ~ P67, P71, P73, P74, P76, P80 ~ P84, P90 ~ P92	V _I =0V	66	160	500	k
R _{IXIN}	帰還抵抗 X _{IN}			3.0		M

注1. 指定のない場合は、V_{CC}=3.0~3.6V、V_{SS}=0V、T_{opr}= - 20 ~ 85 / - 40 ~ 85 / - 40 ~ 105、f(BCLK)=15.36MHzです。

表1.19.7. 電気的特性(2)(注1)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
I _{CC}	電源電流 (V _{CC} =3.0 ~ 3.6V)	シングルチップモードで、 出力端子は開放、その他の 端子はV _{SS}	フラッシュメモリ	f(BCLK)=15.36MHz 分周なし		70	95	mA
			フラッシュメモリ プログラム	f(BCLK)=10MHz V _{CC1} =3.0V		TBD		mA
			フラッシュメモリ イレーズ	f(BCLK)= 10MHz V _{CC1} =3.0V		TBD		mA

注1. 指定のない場合は、V_{CC}=3.0 ~ 3.6V、V_{SS}=0V、T_{opr}= - 20 ~ 85 / - 40 ~ 85 / - 40 ~ 105 、f(BCLK)=15.36MHzです。

タイミング必要条件

(指定のない場合は、Vcc=3V、Vss=0V、Topr= - 20 ~ 85 / - 40 ~ 85 / - 40 ~ 105)

表1.19.8. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	195.3		ns
t _{w(H)}	外部クロック入力 "H" パルス幅	80		ns
t _{w(L)}	外部クロック入力 "L" パルス幅	80		ns
t _r	外部クロック立ち上がり時間		18	ns
t _f	外部クロック立ち下がり時間		18	ns

タイミング必要条件

(指定のない場合は、Vcc=3V、Vss=0V、Topr= - 20 ~ 85 / - 40 ~ 85 / - 40 ~ 105)

表1.19.9. タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	150		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	60		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	60		ns

表1.19.10. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	600		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	300		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	300		ns

表1.19.11. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	300		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表1.19.12. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表1.19.13. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _c (UP)	TAiOUT入力サイクル時間	3000		ns
t _w (UPH)	TAiOUT入力 "H" パルス幅	1500		ns
t _w (UPL)	TAiOUT入力 "L" パルス幅	1500		ns
t _{su} (UP-TiN)	TAiOUT入力セットアップ時間	600		ns
t _h (TiN-UP)	TAiOUT入力ホールド時間	600		ns

表1.19.14. タイマA入力(イベントカウンタモードの二相処理入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	2		μs
t _{su} (TAiN-TAOut)	TAiOUT入力セットアップ時間	500		ns
t _{su} (TAOut-TAiN)	TAiIN入力入力セットアップ時間	500		ns

タイミング必要条件

(指定のない場合は、Vcc=3V、Vss=0V、Topr= - 20 ~ 85 / - 40 ~ 85 / - 40 ~ 105)

表1.19.15. シリアル/O

記号	項目	規格値		単位
		最小	最大	
t _c (CK)	CLKi入力サイクル時間	300		ns
t _w (CKH)	CLKi入力 "H" パルス幅	150		ns
t _w (CKL)	CLKi入力 "L" パルス幅	150		ns
t _d (C-Q)	TxDi出力遅延時間		160	ns
t _h (C-Q)	TxDiホールド時間	0		ns
t _{su} (D-C)	RxDi入力セットアップ時間	100		ns
t _h (C-D)	RxDi入力ホールド時間	90		ns

表1.19.16. 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
t _w (INH)	INTi入力 "H" パルス幅	380		ns
t _w (INL)	INTi入力 "L" パルス幅	380		ns

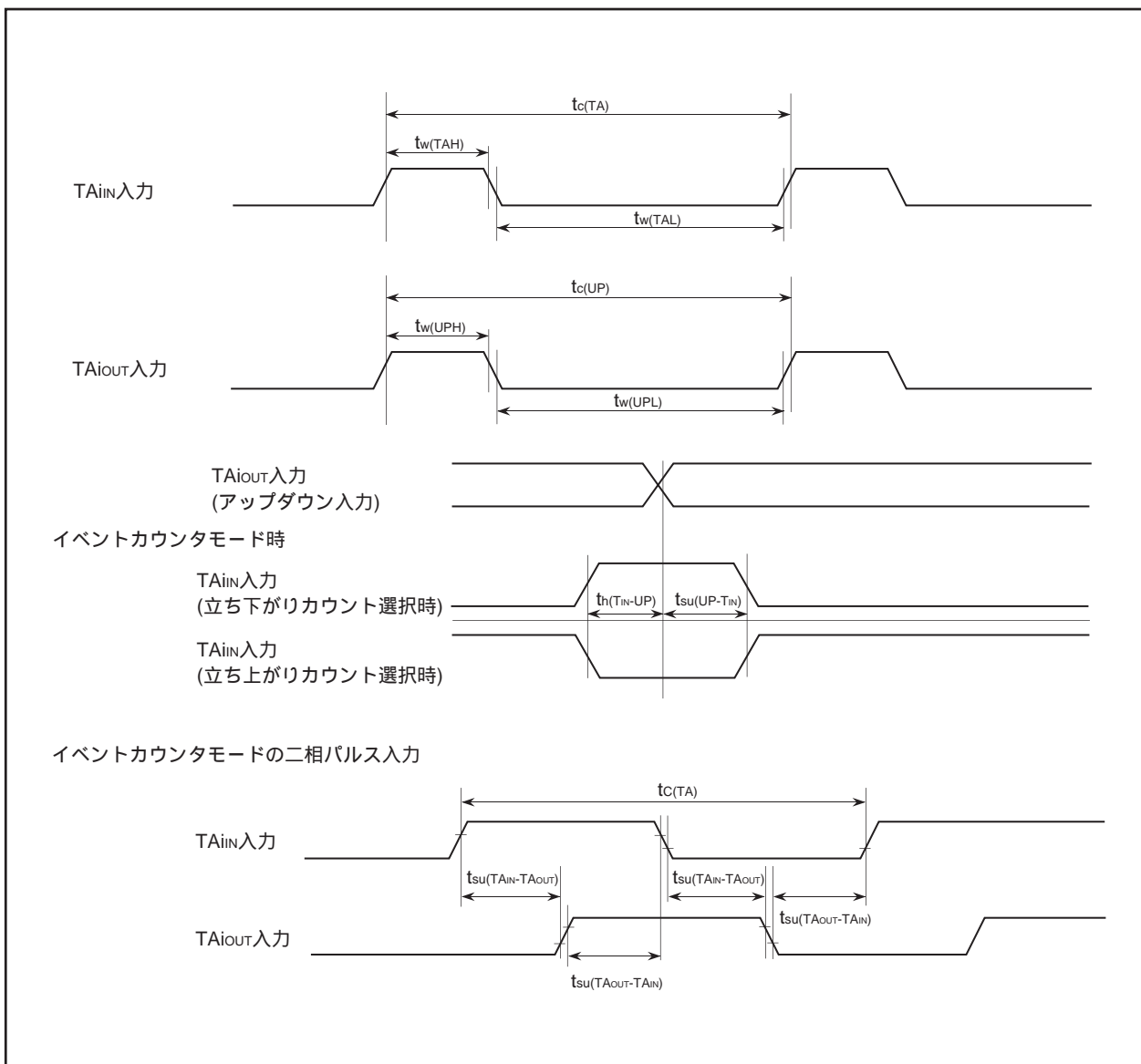


図1.19.1. タイミング図(1)

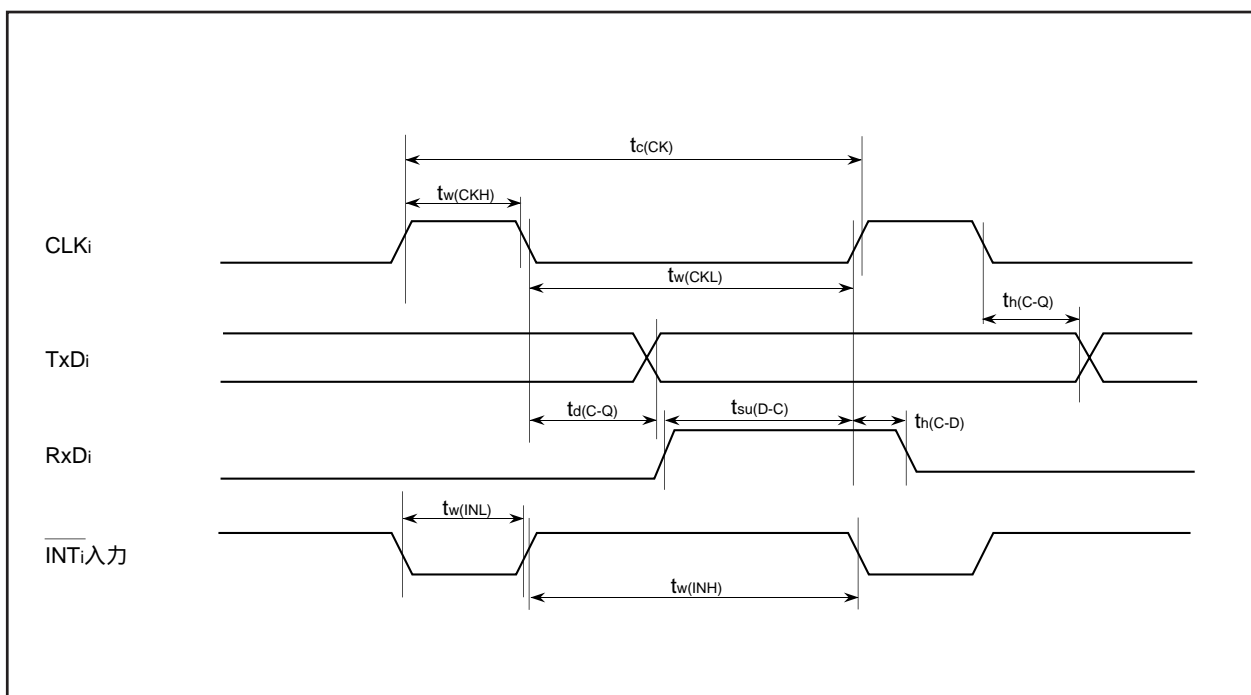


図1.19.2. タイミング図(2)

フラッシュメモリ版

フラッシュメモリ版は、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで、フラッシュメモリを操作できます。

(注)専用パラレルライタについては、現在、開発の予定はありません。

表1.20.1にフラッシュメモリ版の性能概要を示します(表1.20.1に示す以外の項目は表1.1を参照してください)。

表1.20.1. フラッシュメモリ版の性能概要

項 目		性 能
フラッシュメモリの動作モード		2モード (CPU書き換え、標準シリアル入出力)
消去ブロック分割		「図1.20.1. フラッシュメモリのブロック図」を参照してください。
プログラム方法		ワード単位
イレーズ方法		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式		FMR 02ビットにより、ブロック0~ブロック1をプロテクト
コマンド数		5 コマンド
プログラム、イレーズ回数 (注1)	ブロック0~ブロック4 (プログラム領域)	100回
データ保持		20年間 (Topr=55)
ROMコードプロテクト		標準シリアル入出力モード対応

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、8Kブロックのブロック0について、それぞれ異なる番地に1ワード書き込みを4096回に分けて行った後に、そのブロックをイレーズした場合もプログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません。(上書き禁止)

表1.20.2. フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード：フラッシュメモリ以外の領域で書き換え可能 EW1モード：フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O
書き換えできる領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード
ROMライタ	-	シリアルライタ

メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図1.20.1、図1.20.2にフラッシュメモリのブロック図を示します。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。ただし、ブロック0およびブロック1は、CPU書き換えモードでのみ、FMR0レジスタのFMR02ビットを“1”にすることで書き換えが許可されます。

ブートROM領域は、予約領域です。出荷時には標準シリアル入出力モードの書き換え制御プログラムが格納されており、書き換えることはできません。

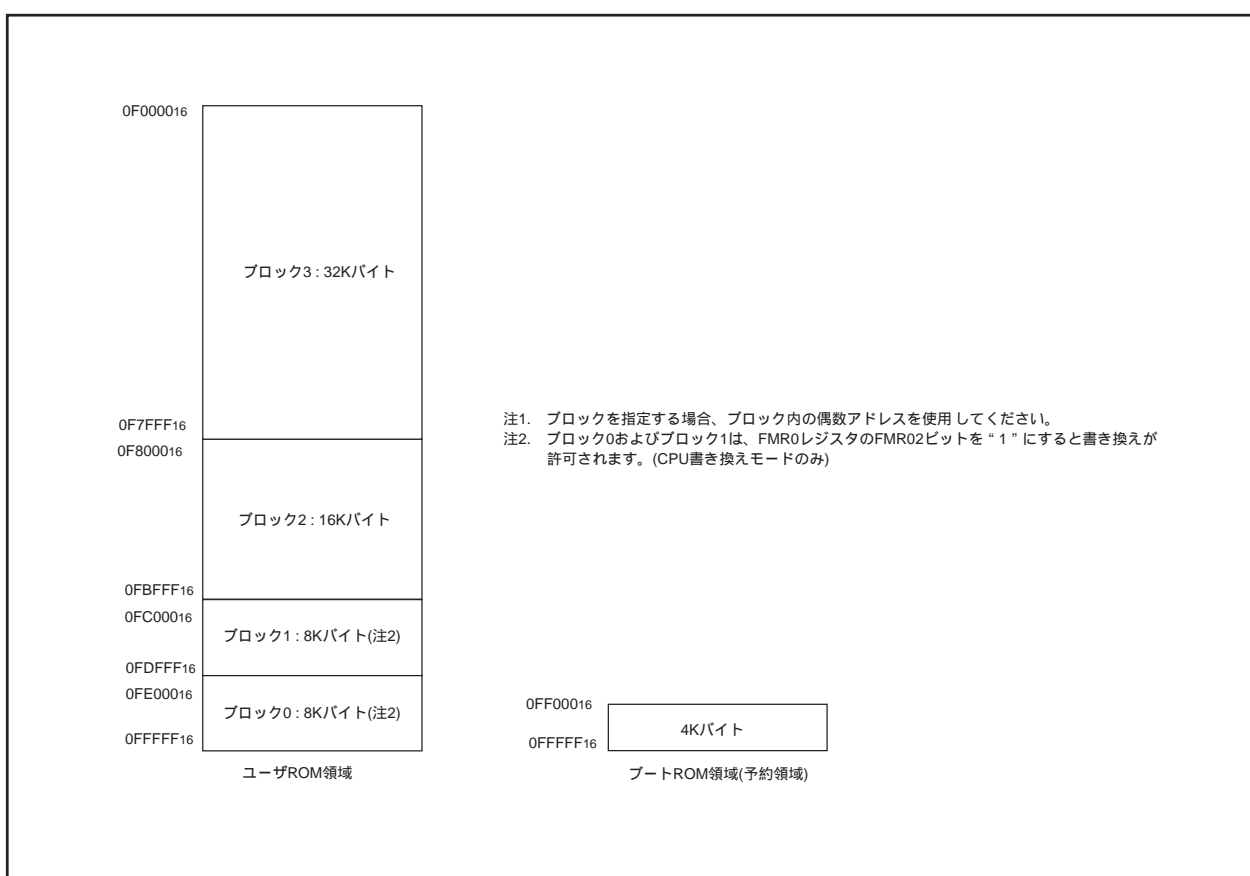


図1.20.1. フラッシュメモリのブロック図 (ROM容量64Kバイト)

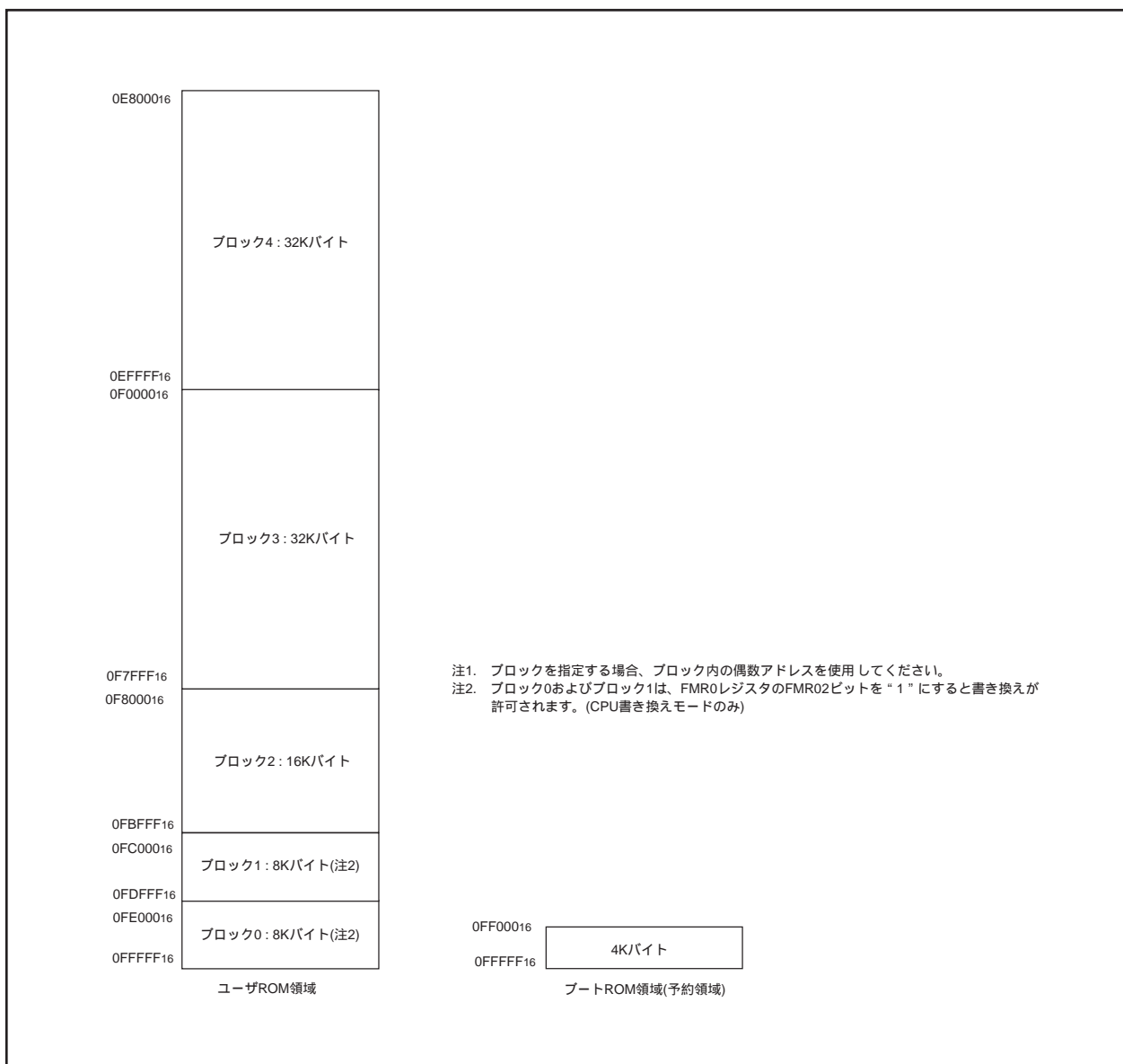


図1.20.2. フラッシュメモリのブロック図 (ROM容量96Kバイト)

ブートモード

CNV_{ss}端子に“H”、 $\overline{\text{CE}}$ 端子 (P15/INT3B)に“H”を入力してリセットすると、ブートモードになり、ブートROM領域に格納されている標準シリアル入出力モードの書き換え制御プログラムを実行します。

フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、パラレル入出力モードにはROMコードプロテクト、標準シリアル入出力モードにはIDコードチェック機能があります。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、フラッシュメモリの読み出しや書き換えを禁止する機能です。図1.20.3にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットは2ビットで構成されています。ROMCRビットが“002”以外の場合、ROMCP1ビットの2ビットのうちどちらか一方または両方を“0”にすると、ROMコードプロテクトが有効になり、フラッシュメモリの読み出しや書き換えが禁止されます。ただし、ROMCRビットを“002”(ROMコードプロテクト解除)にすると、フラッシュメモリを読んだり書き換えたりできます。一度ROMコードプロテクトを有効にすると、パラレル入出力モードでは、ROMCRビットを変更できませんので、標準シリアル入出力モードなど、他のモードで書き換えてください。

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライターから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFD₁₆、0FFFE₃₁₆、0FFFEB₁₆、0FFFEF₁₆、0FFFF₃₁₆、0FFFF₇₁₆、0FFFFB₁₆番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

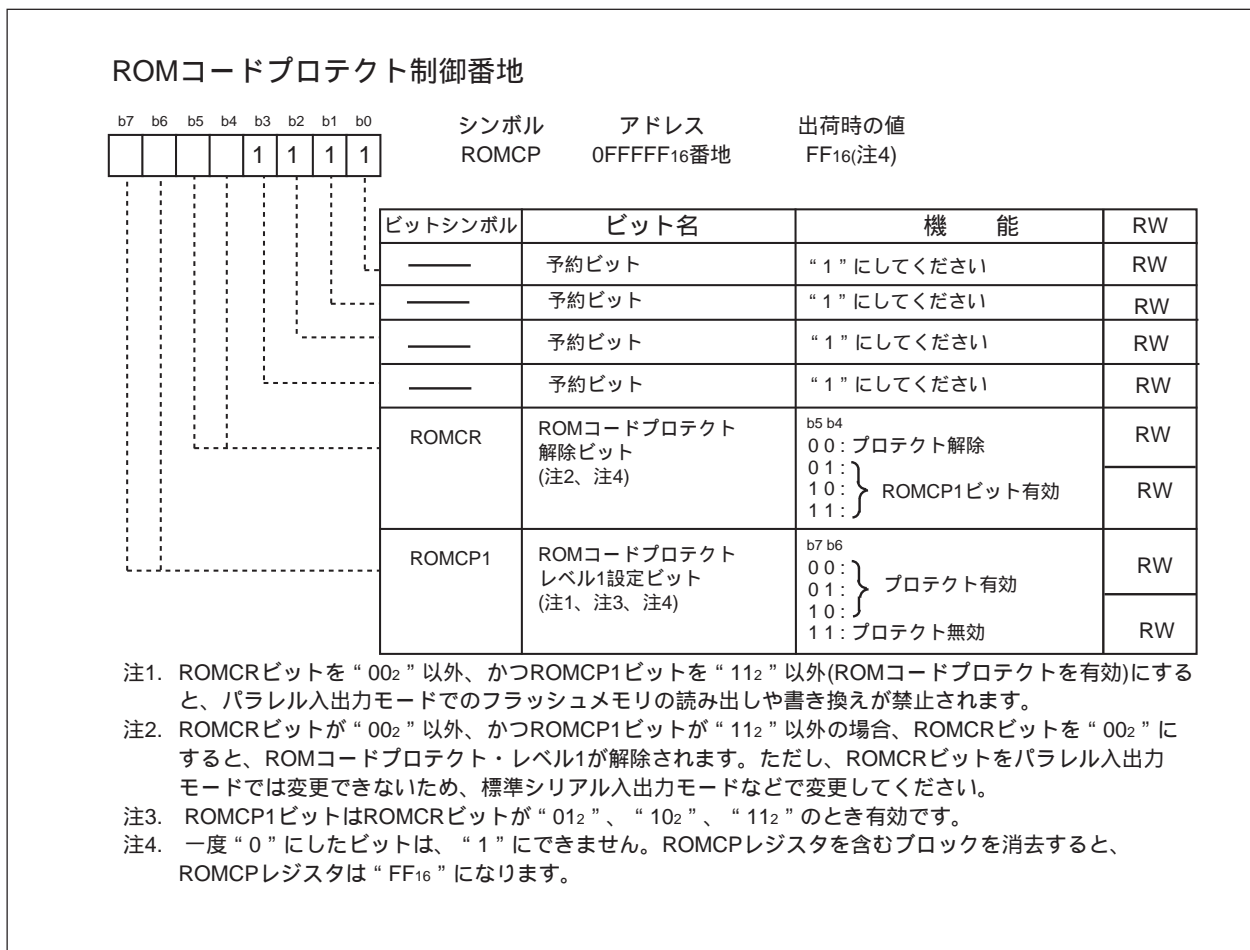


図1.20.3. ROMCPレジスタ

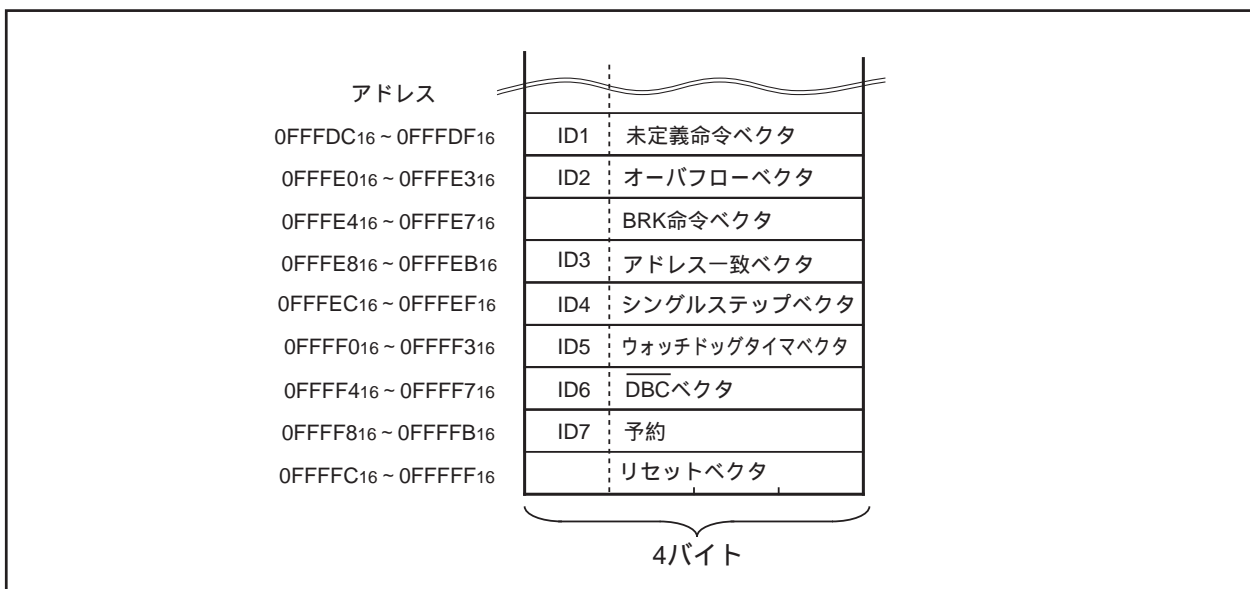


図1.20.4. IDコードの格納番地

CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表1.21.1にEW0モードとEW1モードの違いを示します。

表1.21.1. EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注2)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)(注1)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. DMA転送が起こらないようにしてください。

注2. ブロック0、ブロック1は、FMR0レジスタのFMR02ビットを“1”にすると書き換えが許可されます。

EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”になり、EW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”する(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタのソフトウェアコマンドを実行しないでください。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまでCPUは停止します。

図1.21.1にFMR0レジスタを、図1.21.2にFMR1レジスタを示します。

FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、およびイレース動作中は“0”、それ以外のときには“1”になります。

FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0およびブロック1はプログラムおよびブロックイレースのコマンドを受け付けません。

FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外の場合は“0”となります。詳細は「フルステータスチェック」を参照してください。

FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレースエラーが発生すると“1”、それ以外の場合は“0”となります。詳細は「フルステータスチェック」を参照してください。

FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

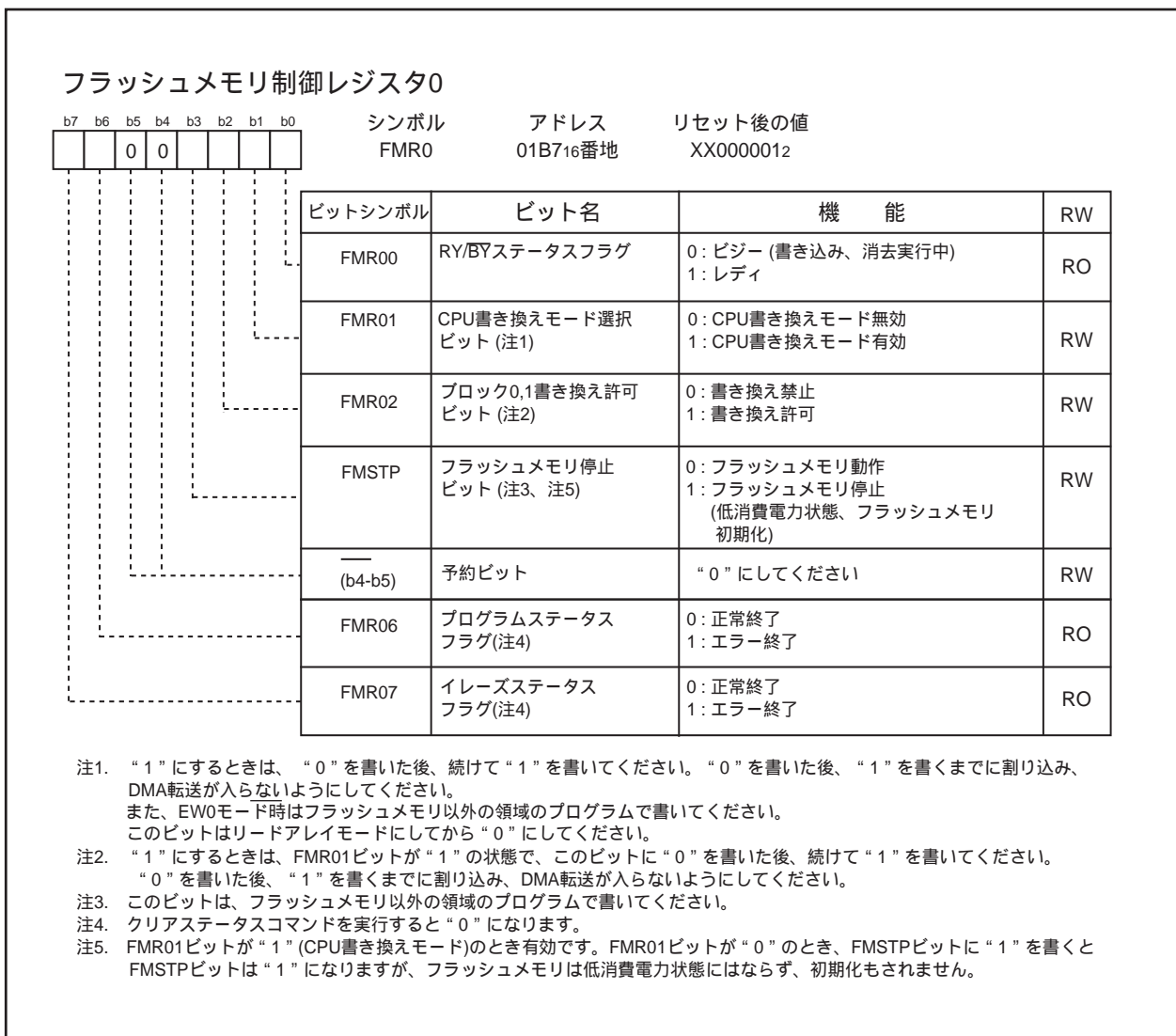


図1.21.1. FMR0レジスタ

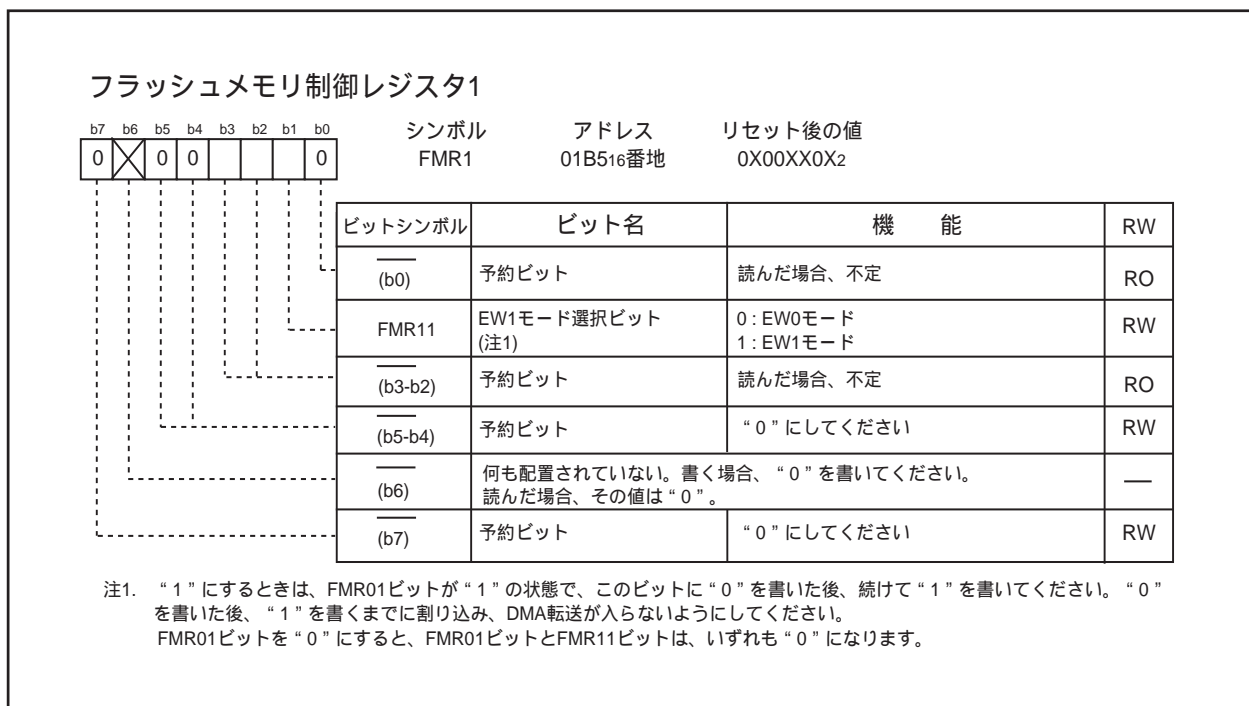


図1.21.2. FMR1レジスタ

図1.21.3にEW0モードの設定と解除方法、図1.21.4にEW1モードの設定と解除方法を示します。

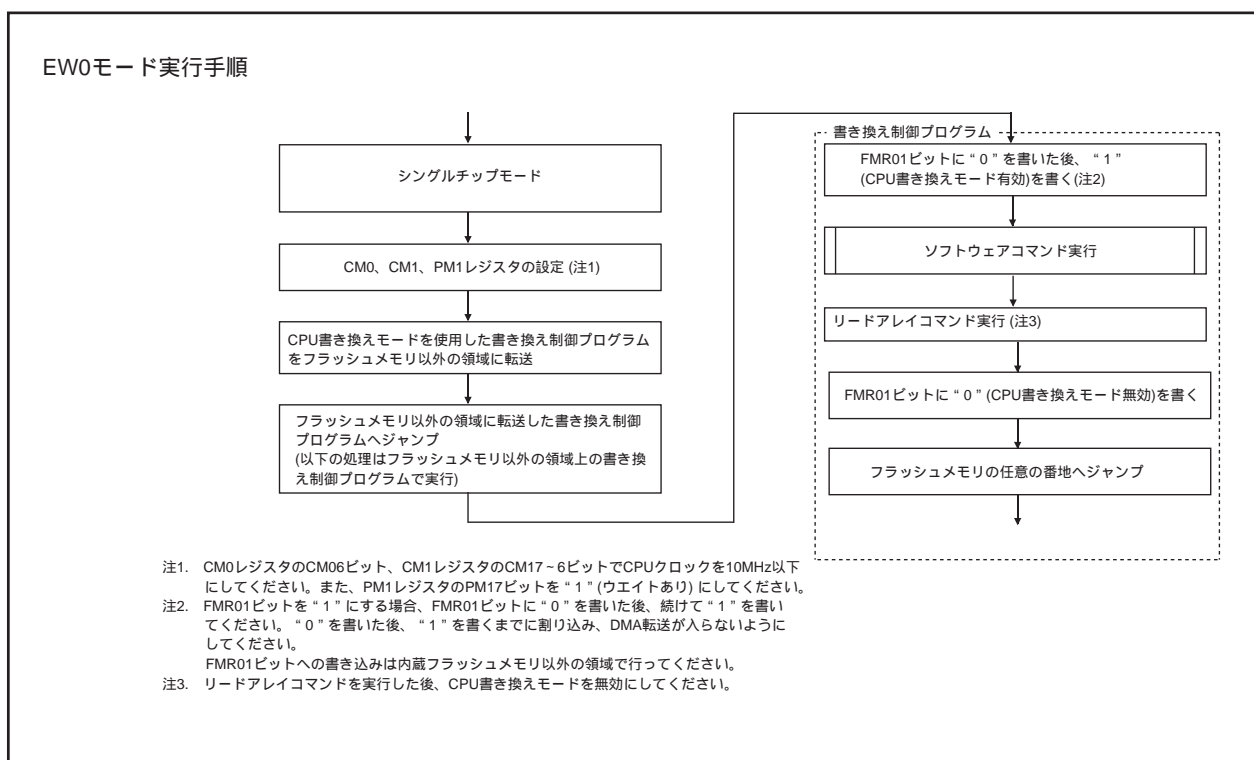


図1.21.3. EW0モードの設定と解除方法

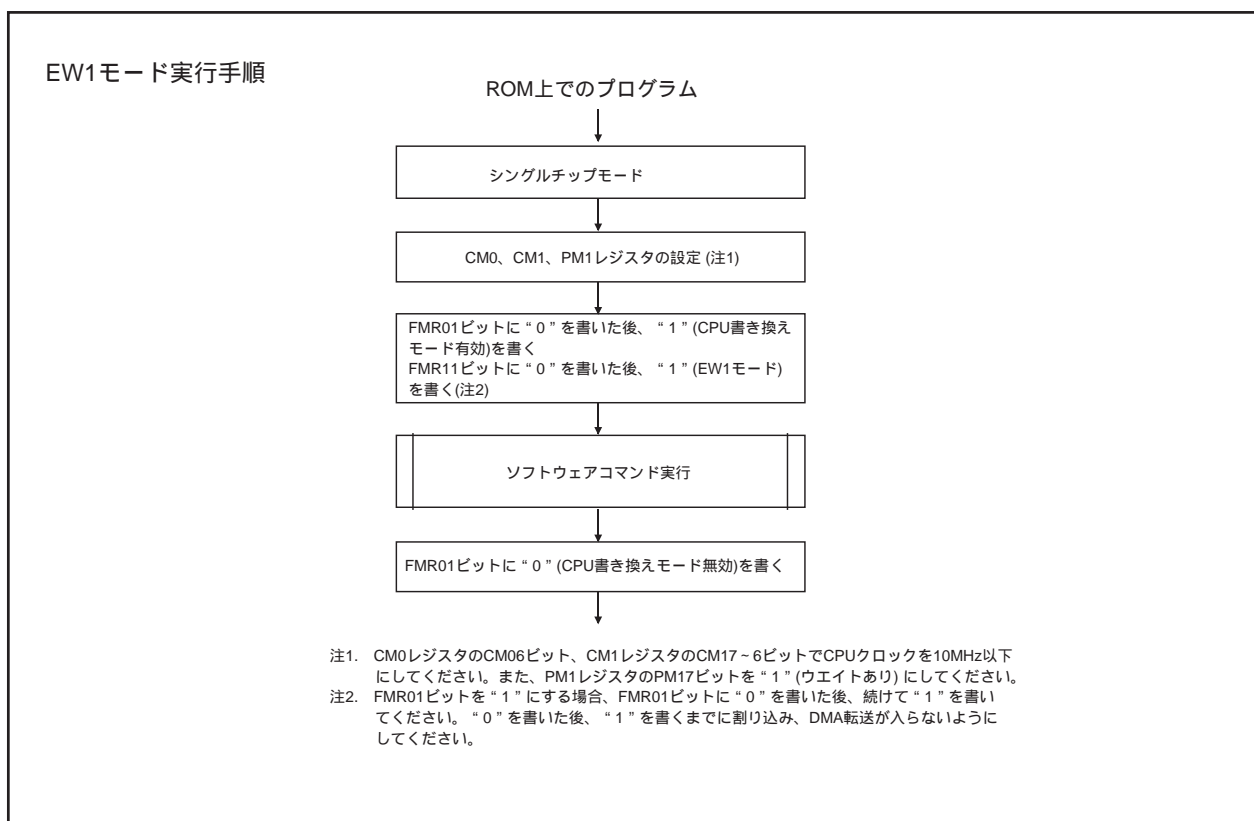


図1.21.4. EW1モードの設定と解除方法

CPU書き換えモードの注意事項

(1)動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~6ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウエイトあり)にしてください。

(2)使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)割り込み

EW0モード

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、FMR0ビットを“1”にし、消去またはプログラムの動作が必要です。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- ・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ・ウォッチドッグタイマ割り込みは使用しないでください。
- ・ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

(4)アクセス方法

FMR0ビット、FMR2ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

(5)ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

(6)DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

(7)コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

(8)ウエイトモード

ウエイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

(9)ストップモード

ストップモードに移行する場合は、次のようにしてください。

- ・FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1”(ストップモード)にする
- ・CM10ビットを“1”にする命令の次にJMP.B命令を実行する

```
プログラム例      BSET      0, CM1      ;ストップモード  
                   JMP.B     L1
```

L1 :

ストップモード復帰後のプログラム

ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表1.21.2. ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	x	xxFF ₁₆			
リードステータスレジスタ	ライト	x	xx70 ₁₆	リード	x	SRD
クリアステータスレジスタ	ライト	x	xx50 ₁₆			
プログラム	ライト	WA	xx40 ₁₆	ライト	WA	WD
ブロックイレース	ライト	x	xx20 ₁₆	ライト	BA	xxD0 ₁₆

SRD：ステータスレジスタデータ(D7～D0)。

WA：書き込み番地(ただし、偶数番地)

WD：書き込みデータ(16ビット)

BA：ブロックの最上位番地(ただし、偶数番地)

x：ユーザROM領域内の任意の偶数番地

xx：コマンドコード上位8ビット(無視されます)

リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

ただし、プログラムコマンドの直後にリードアレイコマンドを使用する場合は、次の手順でデータを読んでください。

- (1) 任意の連続する4つの番地にFF₁₆、FF₁₆、FF₁₆、FF₁₆を書く
- (2) リードアレイモードで、(1)の先頭番地を指定する
- (3) 読んだ値とFFFF₁₆が一致するまで(2)を繰り返す
- (4) (1)の先頭番地+2を指定する
- (5) 読んだ値とFFFF₁₆が一致するまで(4)を繰り返す
- (6) 任意の番地を指定する

リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70₁₆”を書くと、第2バスサイクルでステータスレジスタが読めます(「ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“xx50₁₆”を書くと、FMR0レジスタのFMR06～7ビットとステータスレジスタのSR4～5が“0”になります。

プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx40₁₆”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みは禁止します。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のときは、ブロック0、およびブロック1に対するプログラムコマンドは受け付けられません。

プログラムコマンドの直後に、プログラムコマンド以外のコマンドを実行する場合、プログラムコマンドの第2バスサイクルで指定した書き込み番地と同じ番地を、次のコマンドの第1バスサイクルで指定するアドレス値にしてください。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

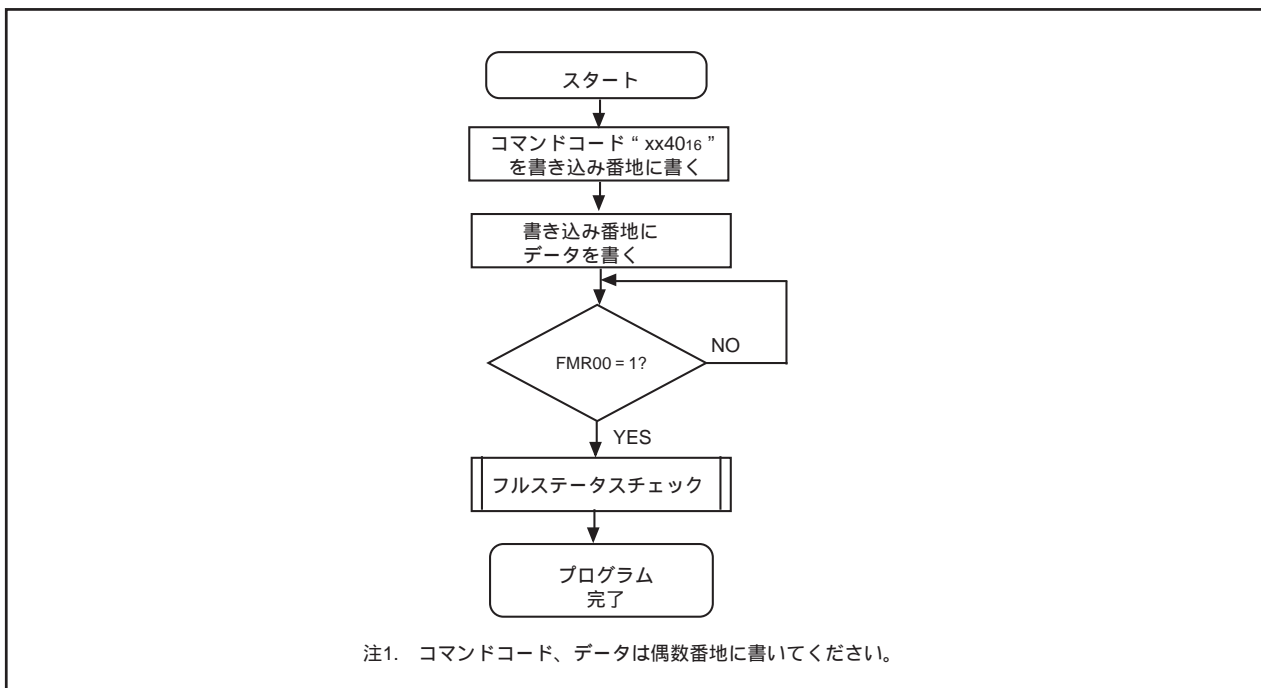


図1.21.5. プログラムフローチャート

ブロックイレース

第1バスサイクルで“xx2016”、第2バスサイクルで“xxD016”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレースとイレースベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のときは、ブロック0、およびブロック1に対するブロックイレースコマンドは受け付けられません。

図1.21.6にブロックイレースのフローチャート例を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

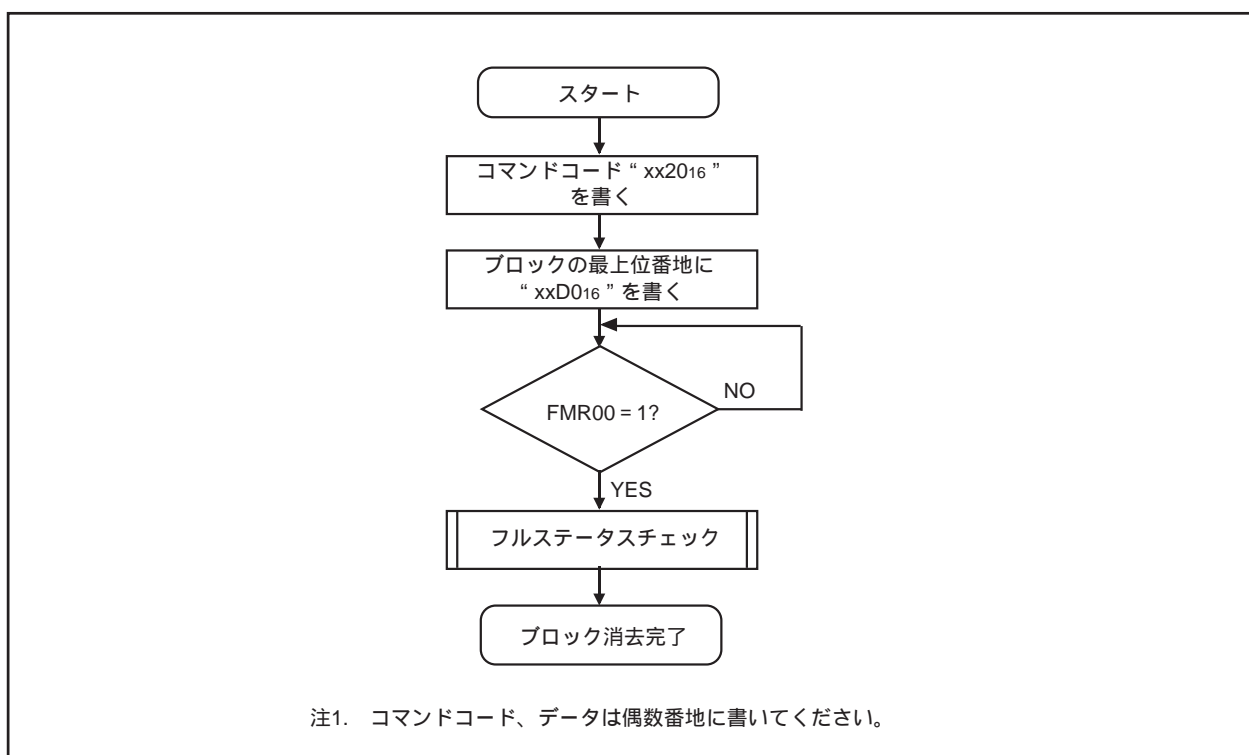


図1.21.6. ブロックイレースフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表1.21.3にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- (1) リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- (2) プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

イレーズステータス(SR5、FMR07ビット)

「フルステータスチェック」を参照してください。

プログラムステータス(SR4、FMR06ビット)

「フルステータスチェック」を参照してください。

表1.21.3. ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D6)	-	リザーブ	-	-	-
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D3)	-	リザーブ	-	-	-
SR2 (D2)	-	リザーブ	-	-	-
SR1 (D1)	-	リザーブ	-	-	-
SR0 (D0)	-	リザーブ	-	-	-

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)、FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズ、コマンドは受け付けられません。

フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表1.21.4にエラーとFMR0レジスタの状態を、図1.21.7にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表1.21.4. エラーとFMR0レジスタの状態

FMR0レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンド シーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0₁₆”または“xxFF₁₆”)以外のデータを書いたとき(注1) ・プロテクトされたブロックにブロックイレーズコマンドを実行したとき ・プロテクトされたブロックにプログラムコマンドを実行したとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・プロテクトされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかつたとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プロテクトされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかつたとき

注1. これらのコマンドの第2バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

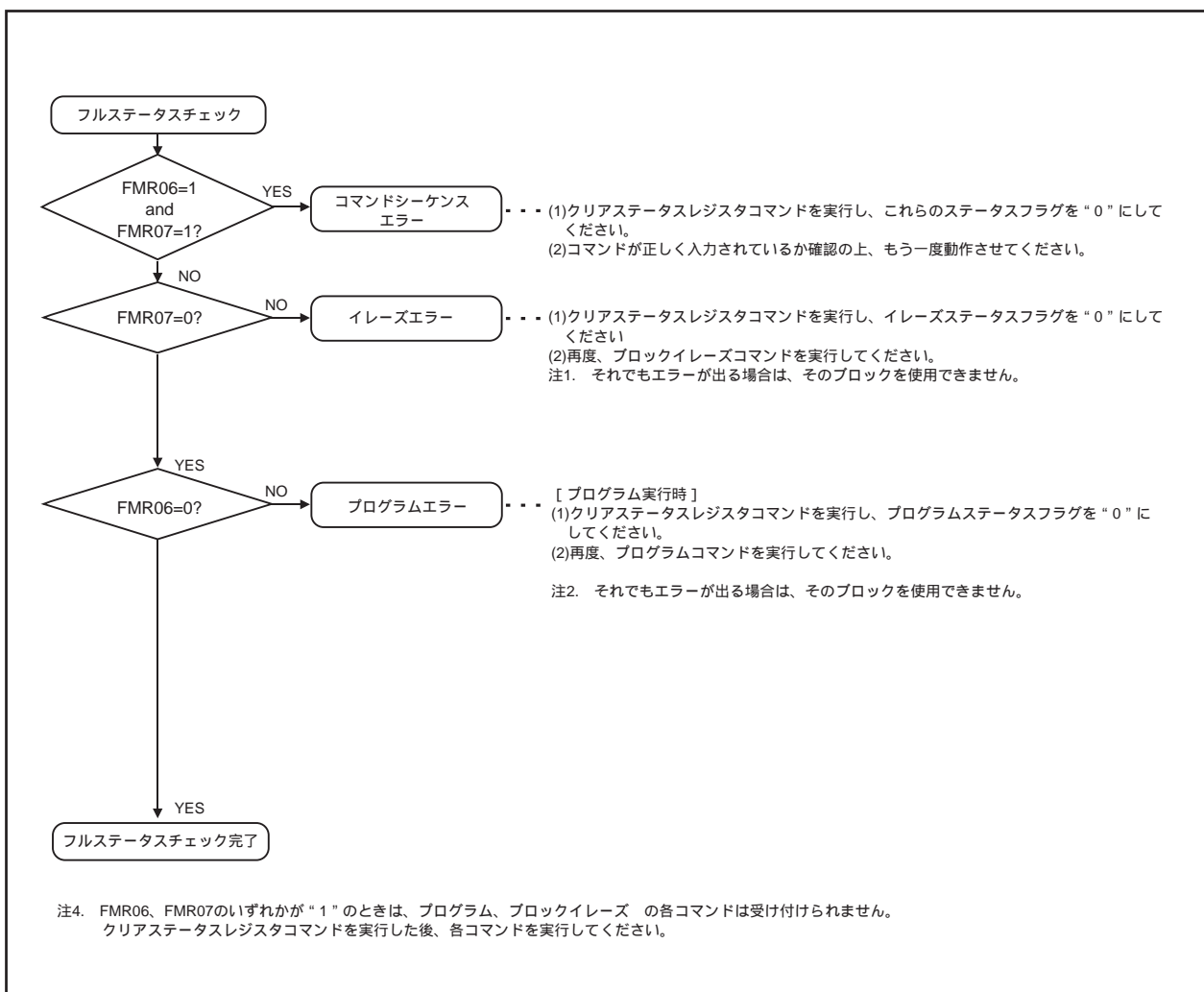


図1.21.7. フルステータスチェックフロチャート、各エラー発生時の対処方法

標準シリアル入出力モード

標準シリアル入出力モードは、CPU がフラッシュメモリの書き換え(CPU 書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P15(CE)端子を“H”、CNVss端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNVss端子は“L”に設定してください。)このときメインクロックは $f_1 = 5.12\text{MHz}$ で動作します。

この制御プログラムは出荷時にブートROM領域に書き込まれています。シリアルデータの入出力は、UART1 を使って行い、8ビット単位でシリアル転送します。リセット解除時のCLK1端子によって、モード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK1端子を“H”にしてリセットを解除します。UART1の端子CLK1、RXD1、TXD1、RTS1(BUSY)の4本を使用します。CLK1端子は転送クロックの入力端子で、外部からの転送クロックを入力します。TXD1端子はCMOS出力です。RTS1(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK1端子を“L”にしてリセットを解除します。UART1の端子RXD1、TXD1の2本を使用します。

標準シリアル入出力モードでは、M16C/6Sグループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

表1.22.3に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図1.22.1～図1.22.2に標準シリアル入出力モード時の端子結線図を示します。

IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「フラッシュメモリ書き換え禁止機能」参照)。

IDコードチェック機能 (Dバージョンのみ、Dバージョンは表1.1.4参照)

IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表1.22.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表1.22.1と一致する場合が予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表1.22.1. IDコードの予約語

IDコード格納番地		IDコードの予約語 (ASCIIコード)	
		ALeRASE	Protect
FFFDFh	ID1	41h (“A”大文字)	50h (“P”大文字)
FFFE3h	ID2	4Ch (“L”大文字)	72h (“r”大文字)
FFFEbH	ID3	65h (“e”小文字)	6Fh (“o”小文字)
FFFEFh	ID4	52h (“R”大文字)	74h (“t”小文字)
FFFF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
FFFF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
FFFFbH	ID7	45h (“E”大文字)	74h (“t”小文字)

IDコード格納番地のアドレスとデータがすべて表1.22.1と一致する場合が予約語です。

強制イレーズ機能 (Dバージョンのみ、Dバージョンは表1.1.4参照)

標準シリアル入出力モードで使します。シリアルライタから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表1.22.1. IDコードの予約語」以外)、かつROMCPレジスタのROMCP1ビットの2ビットが“11”以外 (ROMコードプロテクト有効) の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表1.22.2に強制イレーズ機能の条件と動作を示します。なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、フラッシュメモリを操作できません。

表1.22.2. 強制イレーズ機能の条件と動作

条件			動作
シリアルライタから送られてくるIDコード	IDコード格納番地のIDコード	ROMCPレジスタのROMCP1ビット	
ALeRASE	ALeRASE	—	ユーザROM領域すべてを消去 (強制イレーズ機能)
	ALeRASE以外 (注1)	“11” (ROMコードプロテクト無効)	
ALeRASE以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能)
	ALeRASE以外 (注1)	—	IDコードの判定 (IDコードチェック機能)

注1. “Protect” の場合は「標準シリアル入出力モード禁止機能」参照。

標準シリアル入出力モード禁止機能（Dバージョンのみ、Dバージョンは表1.1.4参照）

標準シリアル入出力モードで使⽤します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表1.22.1 IDコードの予約語」参照)の場合、シリアルライターとの通信を⾏いません。このため、シリアルライターによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。なお、IDコードを“Protect”になる組み合わせにし、かつ、ROMCPLレジスタのROMCP1ビットの2ビットが“11”以外 (ROMコードプロテクト有効) にしている場合は、シリアルライターによるROMコードプロテクト解除ができません。したがって、シリアルライターでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

表1.22.3. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
CNVss	CNVss	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
VDCCN			“H”を入力してください。
Vcca, Vssa	アナログ電源入力	入力	AVccはVccに、AVssはVssに接続してください。
VREF	基準電圧入力	入力	ブリアンプ、オペアンプの基準電圧入力端子です。
P60 ~ P63	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P64	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P65	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: “L”を入力してください。
P66	RxD入力	入力	シリアルデータの入力端子です。
P67	TxD出力	出力	シリアルデータの出力端子です。(注1)
P70, P71, P73, P74, P76	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P80, P81, P83, P84, P85	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P15	$\overline{\text{CE}}$ 入力	入力	“H”を入力してください。
P90 ~ P92	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。

注1. 標準シリアル入出力モード1を使用する場合、RESET端子が“L”の期間中TxD端子に“H”を入力する必要があります。そのため、この端子を抵抗を介してVccに接続してください。リセット後この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルアップ抵抗値をシステム上で調整してください。

標準シリアル入出力モード1時の端子処理例

図1.22.1に標準シリアル入出力モード1を使用する場合の端子処理例、図1.22.2に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

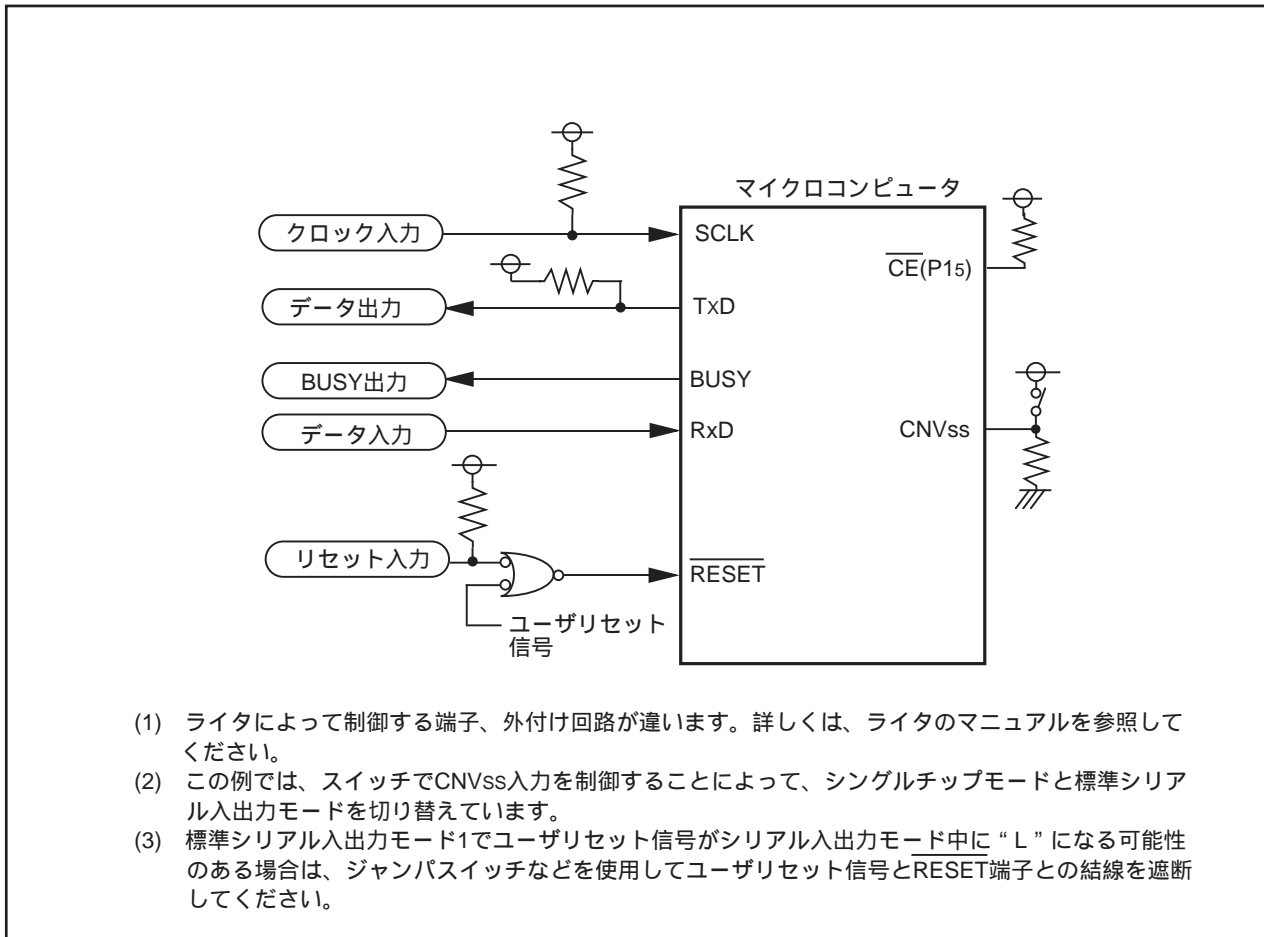


図1.22.1. 標準シリアル入出力モード1を使用する場合の端子処理例

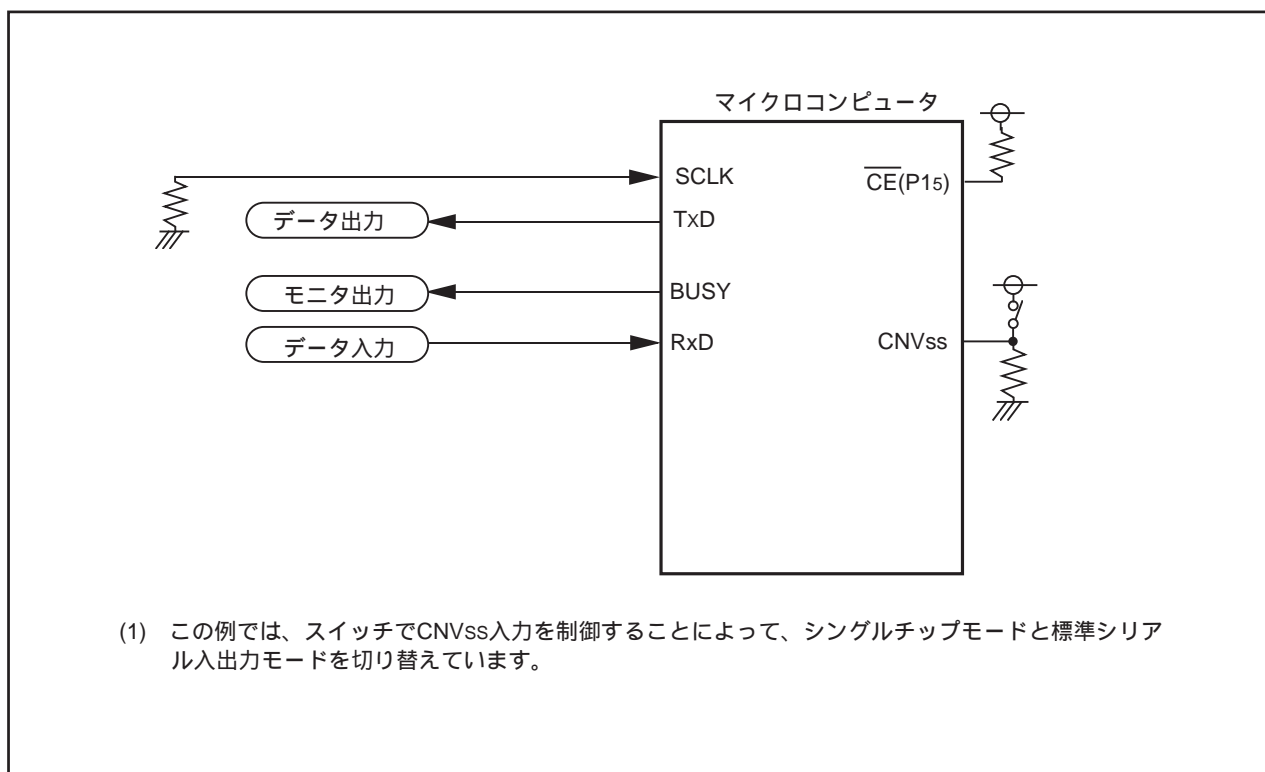


図1.22.2. 標準シリアル入出力モード2時の端子処理例

ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「フラッシュメモリ書き換え禁止機能」参照)。

IT800アナログフロントエンド(AFE)

1. アナログフロントエンドのブロック図

アナログフロントエンド(AFE)部はM16C/6Sと電力線間に位置する回路で、M16C/6SはDAC、プリアンプ、ADCを内蔵します。AFEには次の2つの信号経路があります。

(1)送信経路 - M16C/6S内部のロジックからの信号により駆動され、差動出力を持つDACと、スペクトラム調整用出力フィルタ、電力線を駆動する差動ラインドライバアンプ及びラインカップリング回路からなります。

(2)受信経路 - ラインカップリング回路、差動プリアンプ、入力フィルタ群及びADCからなります。ラインカップリング回路は送信・受信の両方で共通のものです。

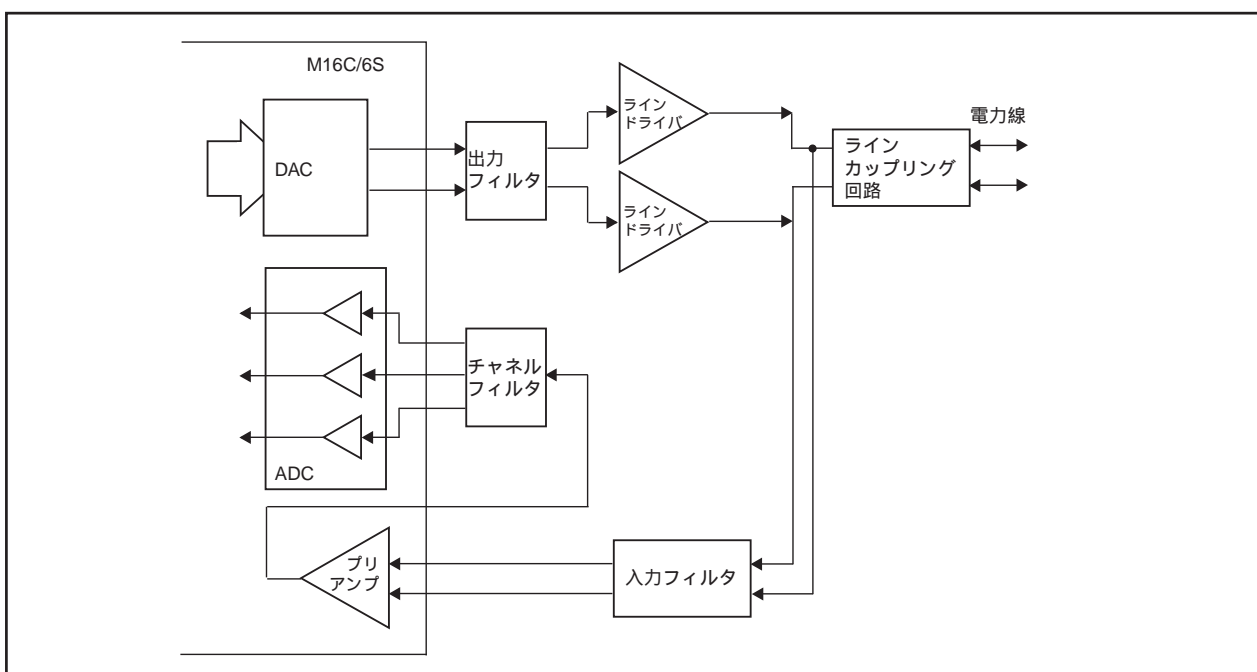


図1.23.1 アナログフロントエンド回路ブロック図

(1)送信経路

送信経路に必要な特性は以下のとおりです。

- (a)定格の負荷にたいして適切な出力信号レベルが得られること
- (b)信号帯域はフラットな周波数特性をもつこと
- (c)帯域外の信号レベル - 各規制以内であること

本システムは、次の3つの基本的な信号帯域での動作を想定しています。

- (a)米国、日本 - 120k ~ 400kHz
- (b)欧州インドア - 95k ~ 125kHz(CENELEC Bバンド)
- (c)欧州アウトドア - 20k ~ 80kHz(CENELEC Aバンド)

信号帯域の切り替えは、IT800のコンフィグレーションの変更、信号帯域へのアナログフィルタや出力電力の調整及びラインドライバ段の出力インピーダンスの変更で行う必要があります(注)。

注．信号レベルや帯域外の条件については下記の規格・様式を参照ください。

- (a)米国 - FCC規格、part 15
- (b)欧州 - CENELEC規格、EN 50065-1
- (c)日本 - ARIB、STD - T84

DAC (Digital to Analog Converter) について

M16C/6Sに内蔵のDACは電流出力タイプの10ビットDACです。出力電流の基準レベルは内蔵の基準電源に接続する外付け抵抗で設定できます。DAC回路及び負荷回路を図1.23.2に、代表的な特性を表1.23.1に示します。

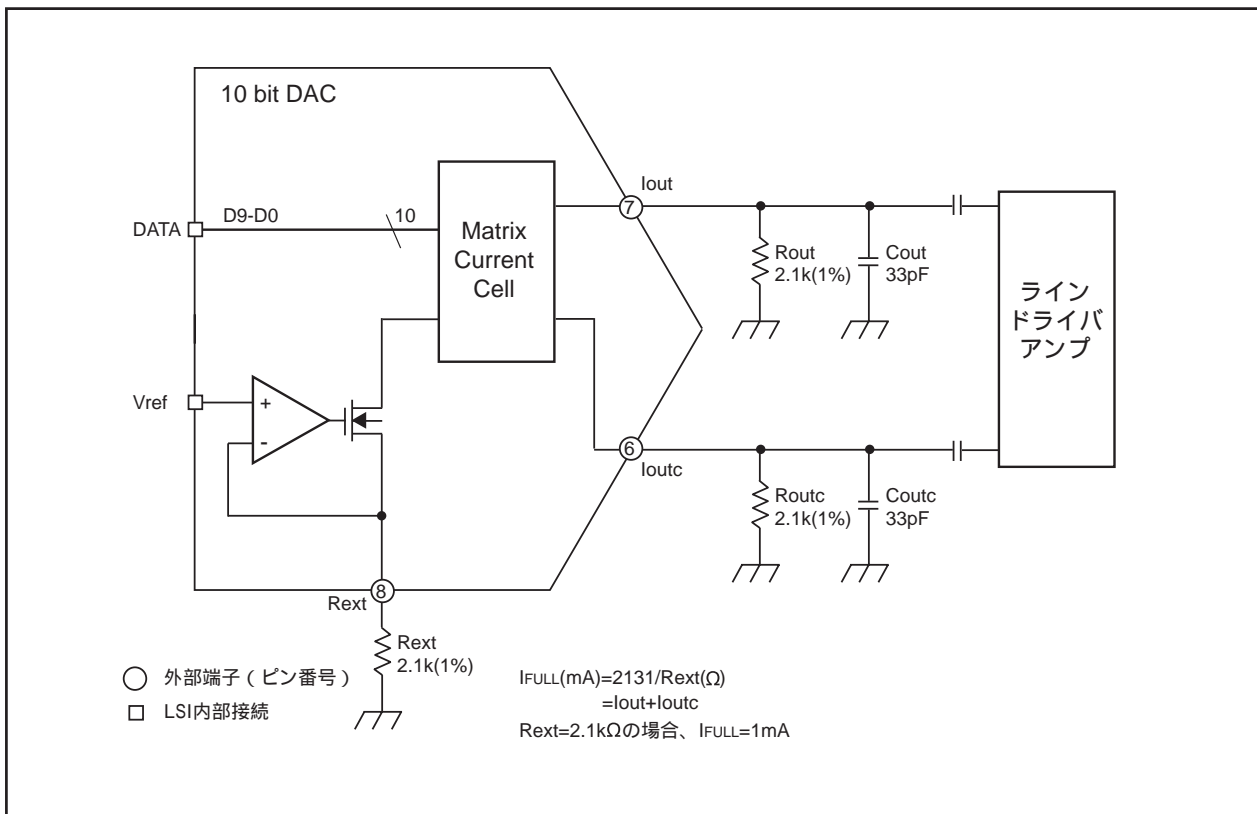


図1.23.2 DAC (Digital to Analog Converter)

表1.23.1 DAC電気的特性 (指定のない場合、Vdd=3.3±0.3V, Ta= -20~85°C / -40~85°C / -40~105°C)

項目	記号	条件	電気的特性			単位
			Min	Typ	Max	
基準電圧	Vref	Rext=2.1kΩ		0.3		V
基準電流	Iref	Rext=2.1kΩ		0.14		mA
外部基準抵抗	Rext			2.1		kΩ
DAC出力抵抗	Rout/Routc	Rext=2.1kΩ			2.0	kΩ
フルスケール電流	IFULL	Rext=2.1kΩ	0.9	1	1.1	mA
最大出力電圧	Voutmax	Rout/Routc=2.1kΩ			Vdd-1	V

DAC回路周りでは下記の点に注意して定数を設定します。

(a)DACのフルスケール出力電流

DACは内部のビットの変化幅に応じて端子(Iout/Ioutc)に出力される電流が変化しますが、総和は一定でフルスケール出力電流(IFULL)となります。このIFULLは下記の式で設定できます。

$$IFULL = 2131/R_{ext} \quad (\text{mA})$$

R_{ext} の単位は

IFULL値は約1mAが最適値のため、 R_{ext} は2.1k です。

DACはトータルで10ビットの変化幅のため、フルレンジでは、Iout/Ioutcは0 ~ IFULLの間を1024ステップで変化します。

Iout/Ioutcの値は、10ビットバイナリ入力を10進数に換算したステップ値をdとすると下記の式で表されます。(d=0 ~ 1023)

$$I_{out} = IFULL/1023 * d$$

$$I_{outc} = IFULL/1023 * (1023 - d)$$

(b)DAC負荷抵抗について

DAC出力端子には抵抗(R_{out}/R_{outc})を接続します。この抵抗にはそれぞれ流れる電流(Iout/Ioutc)により信号電圧が発生します。Iout/Ioutcの直線性を保つために、この電位が最大値2Vを超えないように R_{out}/R_{outc} を設定する必要があります。無信号時(平衡状態)にはIout/IoutcはほぼIFULLの1/2になるため、DAC出力端子の信号電圧(V_{out}/V_{outc})は、

$$V_{out} = R_{out} \times I_{out}$$

$$V_{outc} = R_{outc} \times I_{outc}$$

になります。無信号時の V_{out}/V_{outc} の推奨値は約1Vのため、 $R_{ext}=2.1k$ の場合は、 R_{out}/R_{outc} は2.1k となります。

出力フィルタ用コンデンサ(C_{out}/C_{outc})は、DACの高周波成分をカットするもので、所要帯域周波数との兼ね合いで設定します。

(2)受信経路

(a)プリアンプ

プリアンプ回路は図1.23.3のように2つのCMOSオペアンプからなり、初段アンプの電圧ゲインは20db、次段には電圧フォロワ段が接続されています。プリアンプの主な電気的特性を表1.23.2に示します。

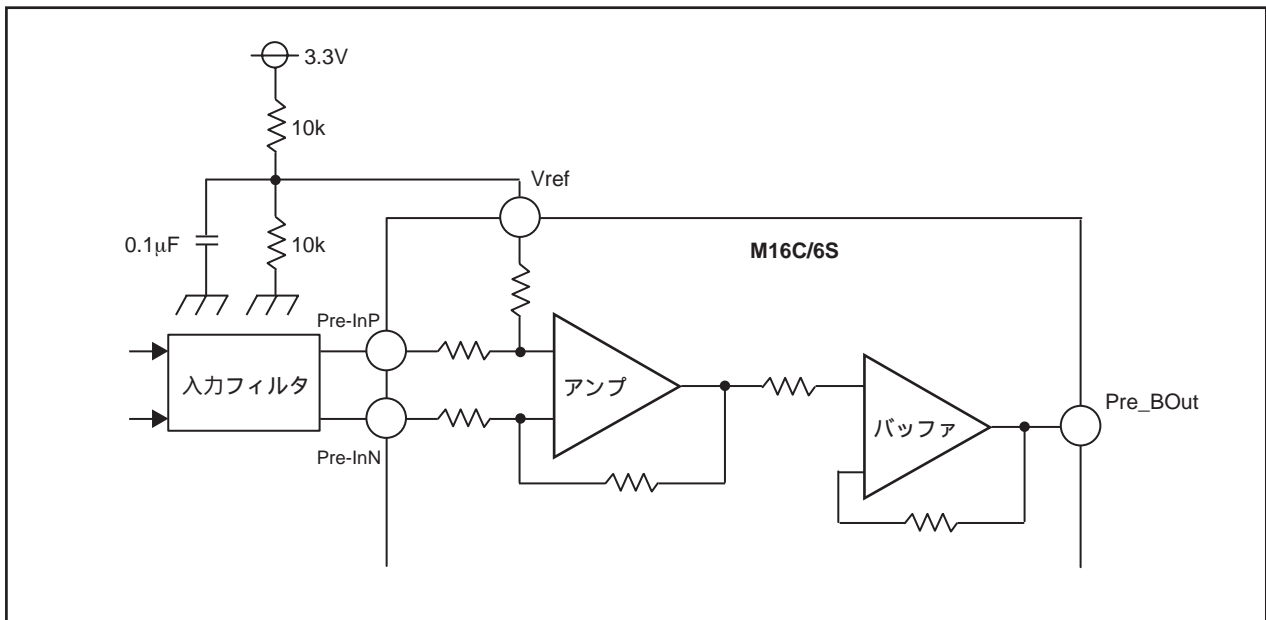


図1.23.3 プリアンプ回路の構成

表1.23.2 プリアンプの電気的特性 (指定のない場合、 $T_a=25^\circ\text{C}$ 、 $V_{dd}=3.3\text{V}$)

項目	記号	条件	電気的特性			単位
			Min	Typ	Max	
基準電圧	V_{dd}		3.0	3.3	3.6	V
入力オフセット電圧	V_{of}				15	mV
オープンループゲイン	G_{vo}	無負荷	70			dB
ゲインバンド幅	BW	$G_{vo}=0\text{dB}$	5			MHz
同相入力範囲	CMIR	DC ~ 1MHz	0.7		$V_{dd}-0.7$	V
同相入力抑圧比	CMRR	DC ~ 1MHz	40			dB
電源電圧抑圧比	PSRR	DC ~ 1MHz	30			dB

(b)ADC (Analog to Digital Converter)

外部に接続されたチャネルフィルタ（最大3つ）の出力は、オペアンプとコンパレータからなる1ビットADCに接続されます。M16C/6Sは3つの同等性能のADCを内蔵しています。1つのADCの回路は下図に示す構成になっています。

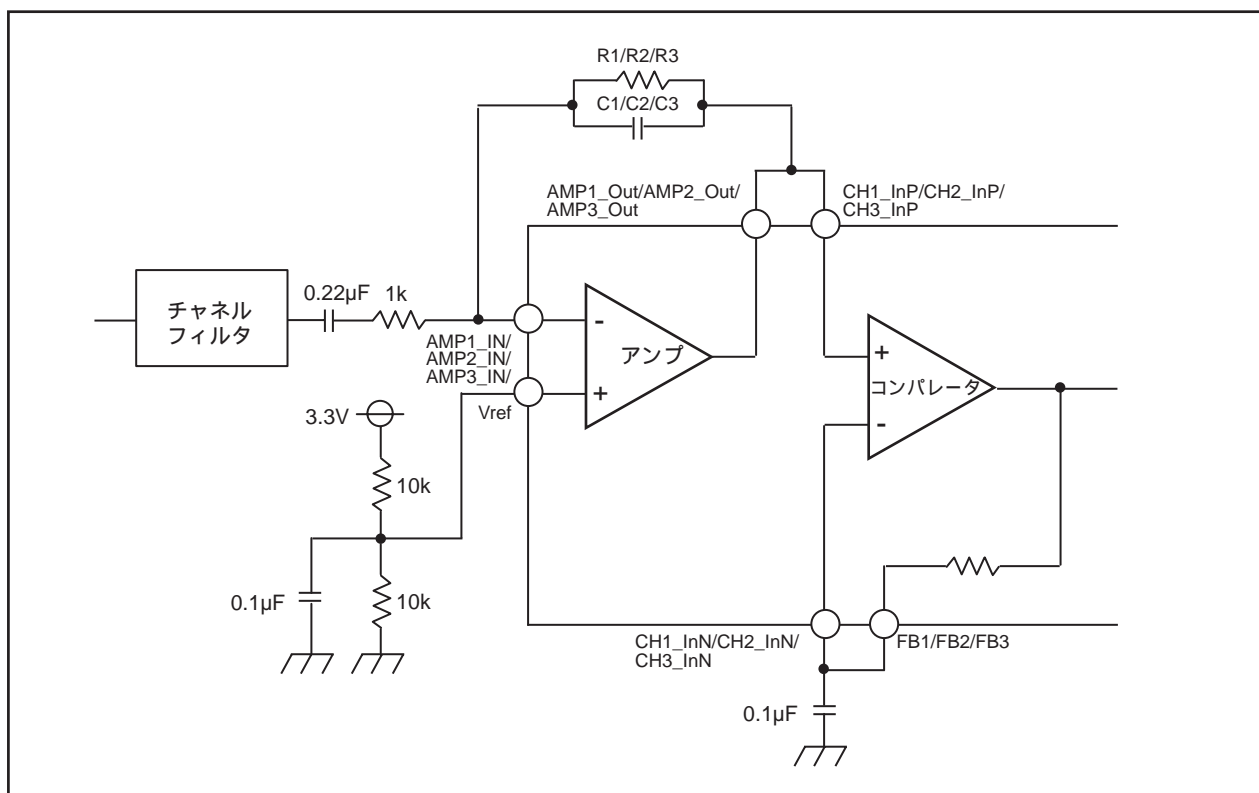


図1.23.4 ADCブロック図

3つのADCは使う信号帯域により1つのみまたは3つすべてを使用します。フィルタの定数は下表のように設定します。

表1.23.3 ADC部品定数設定例

部品	適用特性	C1	C2	C3	単位
コンデンサ	FCC/ARIB	33	22	10	pF
	CECLEC-B	33	—	—	pF
部品	適用特性	R1	R2	R3	単位
抵抗	FCC/ARIB	10	10	12	kΩ
	CECLEC-B	10	—	—	kΩ

使用上の注意事項

レジスタ設定時の注意事項

書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

注1.書き込みのみ可能なビットは、各レジスタ図のRW欄でWOと示しています。

パワーコントロール

- ・ウェイトモードに移行するとき、WAIT 命令の前にJMP.B 命令を挿入してください。JMP.B 命令と WAIT 命令実行の間に、RAM への書き込みが発生する命令を実行しないでください。JMP.B 命令と WAIT 命令の間に DMA 転送が発生する可能性がある場合は、DMA 転送を禁止してください。また、WAIT 命令の後には NOP 命令を4 つ以上入れてください。ウェイトモードに移行する場合、命令キューは WAIT 命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```

例:      JMP.B    L1      ;WAIT 命令の前にJMP.B 命令を挿入
        L1:
          FSET    I      ;
          WAIT    ;ウェイトモードに移行
          NOP     ;NOP 命令を4 つ以上
          NOP
          NOP
          NOP
  
```

- ・ストップモードに移行するとき、CM1 レジスタの CM10 ビットを “1 ” にする命令の直後に JMP.B 命令を挿入し、その後に NOP 命令を4 つ以上入れてください。ストップモードに移行する場合、命令キューは CM10 ビットを “1 ” (全クロック停止) にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

ストップモードに移行するときのプログラム例を示します。

```

例:      FSET    I
          BSET    0,CM1  ;ストップモードに移行
          JMP.B   L2      ;JMP.B 命令を挿入
        L2:
          NOP     ;NOP 命令を4 つ以上
          NOP
          NOP
          NOP
  
```

- ・ウェイトモードとストップモードの解除には、割り込みおよびハードウェアリセットを使用することができますが、解除のための割り込みはあらかじめ許可状態に、解除に使用しない割り込みは優先レベルを0(割り込み禁止)にしてから各モードに移行する必要があります。

割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIR ビットが“1” (割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IR ビットを“0” (割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IR ビットを“0” (割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図1.24.1 に割り込み要因の変更手順例を示します。

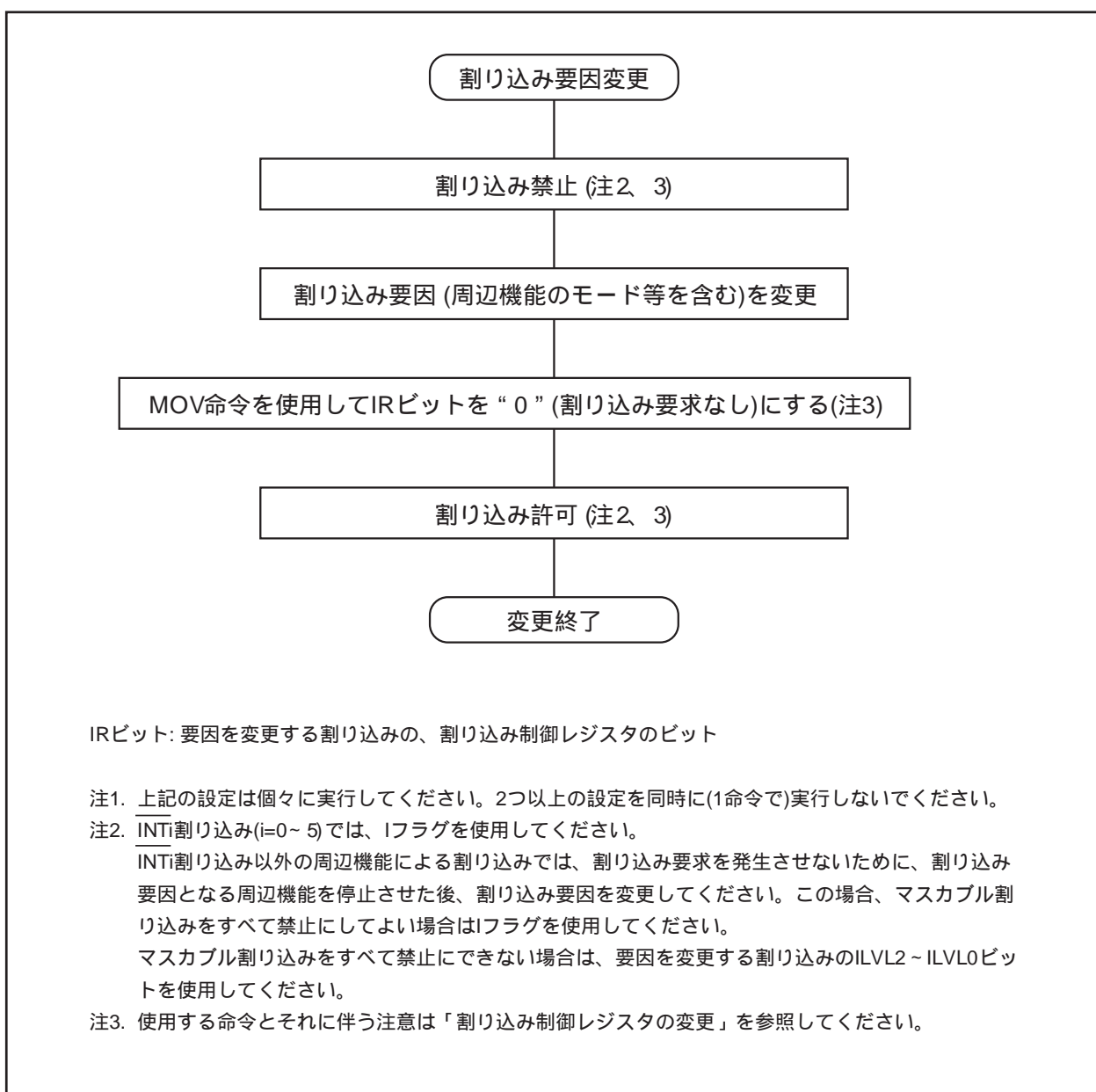


図1.24.1 割り込み要因の変更手順例

ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

DMAC

DMAiCON レジスタのDMAE ビットへの書き込み(i=0 ~ 1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a)条件

- ・DMAE ビットが“1” (DMAi がアクティブ状態)のとき、再度、DMAE ビットへ“1”を書く。
- ・DMAE ビットへの書き込みと同時にDMA 要求が発生する可能性がある。

(b)手順

(1)DMAiCON レジスタのDMAE ビットとDMAS ビットに同時に“1”を書く(注1)。

(2)DMAi が初期状態(注2)になっていることを、プログラムで確認する。

DMAi が初期状態になっていない場合は、(1)(2)を繰り返す。

注1.DMAS ビットは“1”を書いても変化しません。“0”を書くと“0”(DMA 要求なし)になります。したがって、DMAE ビットへ“1”を書くために、DMAiCON レジスタへ書く場合、DMAS へ書く値を“1”にしておく、DMAS は書く直前の状態を保持できます。DMAE ビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMAS へ書く値を“1”にしておく、命令実行中に発生したDMA 要求を保持できます。

注2.TCRi レジスタの値で確認してください。TCRi レジスタを読んで、DMA 転送開始前にTCRi レジスタへ書いた値(DMAE ビット書き込み後にDMA 要求が発生した場合は「TCRi レジスタへ書いた値 1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

タイマ

タイマA

タイマA(タイマモード)

リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAi レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1” (カウント開始) にしてください。

なお、TAiMR レジスタは、リセット後に限らずTAiS ビットが“0” (カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh” が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

タイマA(イベントカウンタモード)

リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAi レジスタ、UDF レジスタ、ONSF レジスタのTAZIE、TA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1” (カウント開始) にしてください。

なお、TAiMR レジスタ、UDF レジスタ、ONSF レジスタのTAZIE、TA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0” (カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh” が、オーバフロー時は“0000h” が読めます。カウント停止中にTAi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

タイマA(ワンショットタイマモード)

リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAi レジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1” (カウント開始)にしてください。

なお、TAiMR レジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0” (カウント停止)の状態、変更してください。

カウント中にTAiS ビットを“0” (カウント停止)にすると次のようになります。

- ・カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- ・TAiOUT 端子は“L” を出力します。
- ・CPU クロックの1 サイクル後、TAiIC レジスタのIR ビットが“1” (割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN 端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1 サイクル分の遅延が生じます。

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1” になります。

- ・リセット後、ワンショットタイマモードを選択したとき
- ・動作モードをタイマモードからワンショットタイマモードに変更したとき
- ・動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi 割り込み(IR ビット)を使用する場合は、上記の設定を行った後、IR ビットを“0” にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1 サイクル以上経過した後、再トリガを発生させてください。

タイマA ワンショットタイマモードでカウント開始条件に外部トリガを選択している場合、タイマA のカウント値が“0000₁₆” になる前300ns の間に外部トリガを再入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

タイマA(パルス幅変調モード)

リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAi レジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1” (カウント開始)にしてください。

なお、TAiMR レジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0” (カウント停止)の状態、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1” になります。

- ・リセット後、PWM モードを選択したとき
- ・動作モードをタイマモードからPWM モードに変更したとき
- ・動作モードをイベントカウンタモードからPWM モードに変更したとき

したがって、タイマAi 割り込み(IR ビット)を使用する場合は、上記の設定を行った後、プログラムでIR ビットを“0” にしてください。

PWM パルスを出力中にTAiS ビットを“0” (カウント停止)にすると次のようになります。

- ・カウンタはカウントを停止します。
- ・TAiOUT 端子から“H” を出力している場合は、出力レベルは“L” になり、IR ビットが“1” になります。
- ・TAiOUT 端子から“L” を出力している場合は、出力レベルは変化せず、IR ビットも変化しません。

シリアルインタフェース

クロック同期形シリアルI/Oモード

送受信

外部クロック選択時、RTS 機能を選択した場合は、受信可能状態になるとRTSi 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTSi 端子の出力レベルは“H”になります。このため、RTSi 端子を送信側のCTSi 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS 機能は無効です。

送信

外部クロックを選択している場合、UiC0 レジスタのCKPOL ビットが“0” (転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOL ビットが“1” (転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1 レジスタのTE ビットが“1” (送信許可)
- ・ UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)
- ・ CTS 機能を選択している場合、CTSi 端子の入力が“L”

受信

クロック同期形シリアルI/O では送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi 端子からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1 レジスタ(i=0 ~ 2)のTE ビットを“1” (送信許可)にし、ダミーデータをUiTB レジスタに設定するとシフトクロックが発生します。外部クロック選択時はTE ビットを“1”にし、ダミーデータをUiTB レジスタに設定し、外部クロックがCLKi 端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1 レジスタ(i=0 ~ 2)のRE ビットが“1” (UiRB レジスタにデータあり)でUARTi 受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRB レジスタのOER ビットが“1” (オーバランエラー発生)になります。この場合、UiRB レジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRIC レジスタのIR ビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOL ビットが“0”のときは外部クロックが“H”の状態、CKPOL ビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1 レジスタのRE ビットが“1” (受信許可)
- ・ UiC1 レジスタのTE ビットが“1” (送信許可)
- ・ UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)

クロック非同期型シリアルI/O(UART)モード

特殊モード(I²C モード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4 レジスタのSTSPSEL ビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

SI/O3、SI/O4

SiC(i=3、4)レジスタのSMi2 ビットが“0”(SOUTi 出力)でかつ、SMi6 ビットが“1”(内部クロック)の状態、SMi3 ビットを“0”(入出力ポート)から“1”(SOUTi 出力、CLK 機能)に変更した場合、10ns 程度、SOUTi 端子にSMi7 ビットで設定したSOUTi 初期値が出力されることがあります。その後、SOUTi 端子はハイインピーダンスとなります。

SMi3 ビットを“0”から“1”に変更したときに、SOUTi 端子から出力されるレベルが問題となる場合、SMi7 ビットでSOUTi の初期値を設定してください。

プログラマブル入出力ポート

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VIL の範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

フラッシュメモリ版

フラッシュメモリ書き換え禁止機能

0FFFD₁₆、0FFFE₃₁₆、0FFFE_{B16}、0FFFE_{F16}、0FFFF₃₁₆、0FFFF₇₁₆、0FFFF_{B16} 番地は、ID コードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFF₁₆番地はROMCP レジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。0FFFF₁₆番地のb₃ ~ b₀ は予約ビットです。“11112”を設定してください。

プログラム、イレーズ回数と実行時間について

ソフトウェアコマンド(プログラムコマンド、ブロックイレーズコマンド)の実行時間はプログラム、イレーズ回数とともに長くなります。ソフトウェアコマンドはハードウェアリセット1、ハードウェアリセット2、ウォッチドッグタイマ割り込みで中断されます。ソフトウェアコマンドを中断した場合、そのブロックをイレーズした後に再度実行してください。

プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロック毎のイレーズ回数です。

プログラム、イレーズ回数がn 回品(n=100)の場合、ブロック毎にそれぞれn 回ずつイレーズすることができます。

例えば、8K バイトブロックのブロック0 について、それぞれ異なる番地に1 ワード書き込みを4096 回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1 回と数えま

す。
ただし、イレーズ1 回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

ブートモードの注意事項

電源投入時等、内部電源が安定していない状態でCNV_{SS} 端子に“H”、RESET 端子に“L”を入力すると内部電源が安定するまで入出力ポートに不定値が出力されることがあります。

CNV_{SS} 端子に“H”を入力する場合は以下の手順で行ってください。

- (1)RESET 端子に“L”、CNV_{SS} 端子に“L”を入力
- (2)V_{CC} 端子が2.7V 以上になって2ms 以上待つ(内部電源安定待ち時間)
- (3)CNV_{SS} 端子に“H”を入力
- (4)RESET 端子に“H”を入力(リセット解除)

CNV_{SS} 端子が“H”、RESET 端子が“L”の期間、P67 にはプルアップ抵抗が接続されます。



IT800DLL Explanatory Note

June 2, 2005

付録：IT800 Data Link Layer 機能と特長

1. 概要

本ドキュメントは、電力線を使用した低速ネットワークにおいて、YITRAN社IT800技術をベースとした製品に実装されたデータリンクレイヤ(DLL)の機能を記述したものです。このドキュメントの目的は、DLLに組み込まれたアルゴリズムおよびメカニズムの特長を強調するとともに、本データリンクレイヤ以外の実装を使った場合のシナリオについて詳細な検討結果を示すことです。

2. ネットワーク参照モデル

DLLは、図1(a)に示すOSI参照モデルにおいて、全7レイヤ中で2番目のレイヤです。このモデルでは、データはそのレイヤに続くレイヤとの間で上方、下方に転送されます。また、ノード間の通信においても、レイヤ間の通信は基本的に同一レイヤ間で実行されます。[図1(b)]

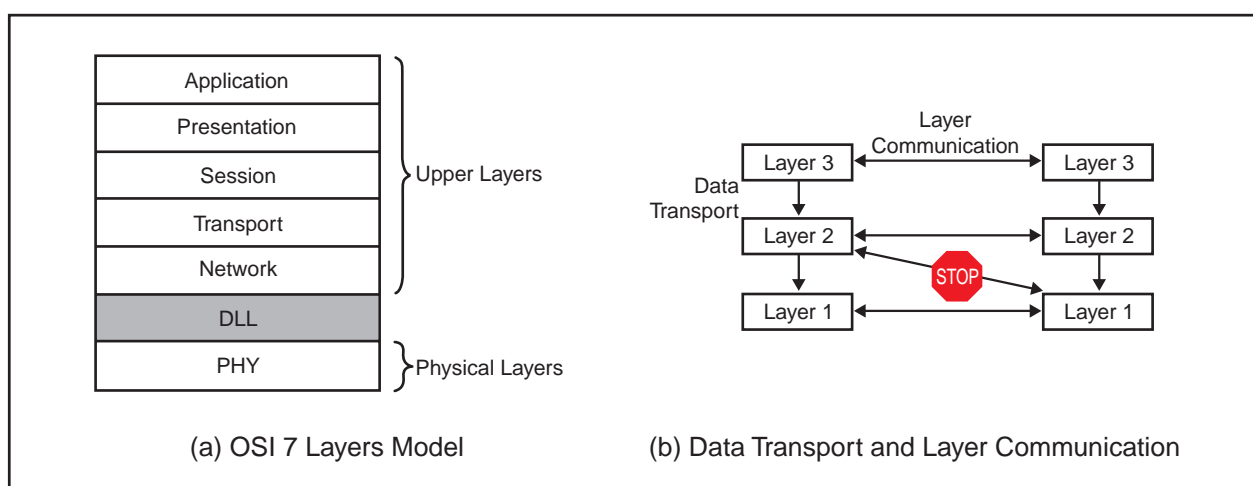


図1 ネットワーク参照モデル

物理層(PHY)は、通信ネットワークシステムノード間を物理的にリンクさせるための電気的特性を定義します。

DLLアルゴリズムは、衝突の可能性を最小にするように、できる限り最適かつ公平にすべての2つのノード間にユニークなアクセスチャネルを確立し、そして管理するよう設計されています。IT800DLLは特にIT800PHYのためにYitran社によって開発されているので、このDLLを使うことでPHYを効率よく使用し、その結果として全体的な性能を最適化します。

IT800DLLの実装においては、PHYとのインタフェースで時間にクリティカルなセッションを管理し、そして最適な割り込みデコードと効率的なインタフェース間相互通信となるようPHY実装の知識を使っています。

このDLLは、複数の転送レートモードや特別なパケットと信号を生成するための能力といった種々のPHYの特徴を駆使しており、最も信頼性が高いデータ転送を提供しつつメディアチャネルの最適な利用を可能にします。

IT800DLL Explanatory Note

June 2, 2005

3. IT800DLL 主要機能

DLLの主要機能とメカニズムを下表に記載します。：

機能	内容
Carrier sense キャリアセンス	PHY correlator出力の機能として、メディアアクセスアルゴリズムのトリガーとなるキャリア検知 (CD) 信号を提供します。それは、ライン上の信号の可能性を示します。
Channel access prioritization チャネルアクセス優先度	PLC ノードに対してパケット送信のシーケンスと時間を決定します。ここでは最も優先度の高いパケットノードが、メディアアクセスにおいて DLL 競合に参加します。
Adaptive back-off アダプティブバックオフ	ある期間における送信パケット数が一様分布となるように、ノードのチャネル競合時間の長さを決定します。(Yitran社特許申請中) このメカニズムは高効率のネットワーク機能性、チャネル利用の最適化を提供して、そして多くのノードが同時にチャネルを求めて争うケースにおいても実行可能なネットワークを維持します。
Acknowledgement アクノレジメント	トラフィックに影響しないアクノレッジウインドを使って、送信先ノードへのパケット配送の成功あるいは失敗を送信元ノードに通知します。
Repetitive un-acknowledgement 繰り返しアンアクノレッジ	このメカニズムは、送信先ノードからアクノレッジの受信を必要とせず、前もって決められた回数の送信パケットを送信するために使われます。
Multiple hop broadcast マルチホップブロードキャスト	同じ論理ネットワークに参加しているすべてのノードに対して、シングルネットワークのブロードキャストパケットと CNC (コントロールネットワークチャネル) メッセージを再送信します。
Fragmentation and reassembly 分割と再組み立て	送信ノードでデータ分割し、受信ノードで再度組み立てることによって、PHYによる最大のパケット制限値より長いパケットを転送します。
Packet filtering パケットフィルタリング	事前に定められたタイプのメッセージだけを上位のレイヤに転送し、なりすましノードあるいは必要とされないその他のメッセージのタイプを拒絶することによって、受信パケットをフィルタリングします。

上の表から分かるように、IT800DLLは拡張された機能を実装し、チャネルアクセスとスループット(キャリアセンス信号処理に基づくアダプティブバックオフアルゴリズムとパケット優先順位に基づく)、信頼性の高いデータ転送(アクノレジメントと再送制御機構、マルチホップ送信、パケットフィルタリングの使用)について、ベストパフォーマンスを提供します。そしてさまざまなプロトコルスタックでIT800ベースソリューションの容易なインテグレーションを可能にします。

IT800DLLを使うことのもう1つの重要な利点は、同じ環境で稼働する異なるIT800ベースの製品との共存性を保証することです。

IT800DLL Explanatory Note

June 2, 2005

4. 本DLL以外の実装について

本DLL以外の実装を使用する、あるいは使用を検討する場合、次の問題点があることを考慮するようお願い申し上げます：

1. **共存性**：チャンネルアクセス方式、優先順位付けレベル、パケット構成などが異なる可能性があるため、本DLL以外の製品は同じメディア(同じ電力線)を共有する他の IT800 ベースの製品と共存できない場合があります。
本IT800DLLを使うことで、DLLの上で使用される製品、ベンダー、アプリケーション、プロトコルにかかわらずこのような共存が可能です。
2. **必要な知識、開発期間とコスト**：DLLをインタフェースすることはPHYをインタフェースするよりずっと容易です。物理層のインタフェースは数種の割り込み、重要なタイミングのセクションなどの取り扱いを含みます。これらの取り扱いには、送電線メディアとPHYの内部のメカニズム両方に十分な理解を必要とし、それが開発リソースおよびスケジュールを著しく増大させ、結果として開発期間および製品コストの増大を招きます。それに加えて、特許申請中の状況のものもあるので、すべてのPHYの内部のメカニズムを開示できないことをご了承ください。
3. **全体的なパフォーマンス**：IT800DLLはこれまで長年に渡って、異なる制御やオートメーション製品でテストされ統合されました。すべてのアルゴリズムはネットワーキングシミュレーションを使って検証し、そして、実システムに実装された時に、これは狭帯域電力線コミュニケーションモデムのために最も良いパフォーマンスを示しております。[*：従って新規開発のDLLは詳細な評価が必要となります]

5. まとめ

結論として、製品のすべてのタイプでIT800PHYだけで使うよりも、本IT800DLLを実装して使用することをお勧めいたします。

もし、御社独自でDLLレイヤの実装を希望する場合、必ず(株)ルネサスエレクトロニクスのサポートエンジニアに相談し、確認の上開発ください。

[*]：訳者追加分

日本語版翻訳© 株式会社ルネサスエレクトロニクス
(原文はルネサスグローバルサイトのM16C/6S
データシートAppendixを参照してください。)

改訂記録

M16C/6S グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.06.12	-	初版発行
2.00	2003.08.20	P2	表 1.1.1 変更
		P4	表 1.1.2 変更
		P5	図 1.1.2 変更
		P7	表 1.1.3 変更
		P9	2 行目変更、図 1.2.1 変更
		P14	レジスタの表変更
		P25	図 1.6.2 変更
		P26	図 1.6.3 変更
		P33	図 1.7.6 変更
		P36	4 行目変更
		P83	図 1.12.6 変更
		P87	図 1.12.9 変更
		P88	図 1.12.10 変更
		P90	11 行目変更
		P96	図 1.13.6 変更
		P115	表 1.16.2 変更
		P117	図 1.16.4 変更
		P123	図 1.16.5 変更
		-	特殊モード 3 の項目削除 (Rev1.00 時、P127、P128)
		P132	10 行目削除
		P133	図 1.18.1 変更
		P134	図 1.18.2 変更
		P136	図 1.18.4 変更
		P140	図 1.18.8 変更
		P144	表 1.19.2 変更
		P145	表 1.19.4 変更
		P146	表 1.19.5 変更
		P147	表 1.19.6 変更
		P149	表 1.19.8 変更
		P155	3, 4, 7, 8 行目削除、図 1.20.1 変更
		P160	18 ~ 20 行目削除
		P161	図 1.21.2 変更
		P163	図 1.21.3 変更
		P164	(3)割り込み EW1 モード、(4)アクセス方法の文章変更
		P170	9 行目変更

Rev.	発行日	改訂内容	
		ページ	ポイント
2.01	2003.10.27	P3 P7 P23 P136 P138 P139 P172	L1, 2変更、図1.1.1変更 表1.1.3変更 (39通信モードの設定 変更、表1.6.4追加、図1.6.1, 図1.6.2変更 図1.18.4変更 図1.18.6変更 図1.18.7変更 標準シリアル入出力モード L1 ~ L13追加
3.00	2004.07.22	P1 P2 P4 P5 P6 P7 P9 P22 P23 P24 P26 P27 P32 P36 P37 P38 P44 P48 P49 P55 P57 P58 P59 P62 P78 P129 P132 P139	目次を修正 性能概要表修正 製品一覧表修正 形名とメモリサイズ・パッケージの図修正 ピン接続図修正 端子の機能説明の表修正 メモリ配置の図修正 プロセッサモード 文章修正、通信モードの特長の表削除 通信モードの設定の文修正、リセット期間の端子状態による通信モードの設定表 削除、通信モード1と2の選択の図削除 表修正、表題追加 クロック発生回路文修正、クロック発生回路の概略仕様の表修正 システムクロック発生回路の図修正 メインクロックの文修正、メインクロックの接続回路例の図修正 ウェイトモードの文修正 ウェイトモードからの復帰に使用できる割り込みの表修正 ストップモードの文修正 発振停止、再発振検出機能の文、表、図削除 ハードウェア割り込みの文修正 固定ベクタテーブルの表修正 ソフトウェア割り込み、特種割り込み受け付け時のIPLの値の表修正 ハードウェア割り込みの割り込み優先順位の図修正 割り込みの優先レベル判定回路の図修正 INT割り込みの後の、NMI割り込みの文削除 割り込みの注意事項の文修正 カウント開始フラグの図修正 プログラマブル入出力ポートの文修正 入出力ポートの構成(2)の図修正 シングルチップモード時の未使用端子の処理例の表修正、未使用端子の処理例の 図修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2004.07.22	P140 P141 P142 P144 P145 P146 P147 P148 P149 P150 P154 P158 P159 P160 P161 P177	電气的特性 絶対最大定格の表修正 電气的特性 推奨動作条件(注1)の表修正 電气的特性 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 (Topr=0 ~ 60)の表修正 電气的特性 電气的特性(注1)の表修正、電圧表示削除 電气的特性 電气的特性(2)(注1)の表修正、電圧表示削除 電圧表示削除 電圧表示削除 電圧表示削除 電圧表示削除 電圧表示削除 フラッシュ IDコードの格納番地の図修正 フラッシュ FMR0レジスタの図修正 フラッシュ FMR1レジスタの図修正 フラッシュ EW0モードの設定と解除方法、EW1モードの設定と解除方法の図修正 フラッシュ CPU書き換えモードの注意事項の文修正 IT800アナログフロントエンド追加
3.01	2005.02.17	- P2 P7 P34 P38 P42 P157 P178	用語統一(統一用語:ウォッチドッグタイマ、オンチップオシレータ) 表1.1.1追加 表1.1.3追加と変更 L11-L12追加と削除 L2-L4追加と削除 表1.7.6一部削除 L17削除 図1.23.4一部修正
4.00	2005.12.19	P1 P2 P3 P4 P5 P6 P7 P56 P61 P65 P66 P77	概要の説明文変更 表1.1.1変更 IT800物理層の性能概要のページ追加 図1.1.1変更 表1.1.2変更 図1.1.2変更、表1.1.4, 図1.1.3追加 表1.1.5変更 図1.9.6, 図1.9.7変更 「アドレス一致割り込み」の説明文変更、図1.9.11変更 「ウォッチドッグタイマ」の説明文変更 L4 ウォッチドッグタイマの周期の式追加、図1.10.1変更 図1.12.1変更

Rev.	発行日	改訂内容	
		ページ	ポイント
4.00	2005.12.19	P78	図1.12.2変更
		P84	図1.12.8 注2追加
		P86	表1.12.5変更
		P89	図1.13.1変更
		P90	図1.13.2変更
		P93	図1.13.5 注1追加
		P101	「通信エラー発生時の対処方法」説明文追加
		P103	L2～L5 追加
		P104	「CTS/RTS機能」説明文追加
		P106	表1.15.2変更
		P109	「転送速度」説明文追加、表1.15.5追加
		P110	「通信エラー発生時の対処方法」説明文追加
		P112	「CTS/RTS機能」説明文追加
		P114	図1.16.1変更
		P115	表1.16.2変更
		P117	表1.16.4変更
		P119	「スタートコンディション、ストップコンディションの出力」説明文変更
		P125	「クロック位相設定機能」説明文変更
		P132	L2変更、L5～L6 追加
		P142	表1.18.1変更
		P143	表1.19.1変更
		P145	表1.19.3変更
		P148	表1.19.7変更
		P154	表1.20.1変更
		P159	L13 追加
		P170	L2変更、表1.21.4変更
		P177	(1)送信経路の説明文変更
P182～ P184	付録追加		
5.00	2009.04.24	P1	概要 変更
		P2	表1.1.1 動作周囲温度 「 - 40～105 」 追記
		P3	ファームウェアについて 「D2DLL」 「D2DL」
		P5	表1.1.3 変更
			表1.1.4 追記
		P6	図1.1.2 変更
		P7	表1.1.5 変更
			表1.1.6 追記
		P9	図1.1.3 変更 表1.1.7 P85 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
5.00	2009.04.24	P14	0005 ₁₆ 番地 リセット後の値 0 _{XX} 10X02 00 _{XX} 10X02
		P17	0342 ₁₆ ~ 0347 ₁₆ 番地 レジスタ、シンボル、リセット後の値 削除
		P25	表1.6.3 表題 追記
		P26	図1.6.3 リセット値 0 _{XX} 10X02 00 _{XX} 10X02
		P29	図1.7.1 変更
		P34	(1)メインクロック 「Xin」 「XIN」
		P43	図1.7.8 注1、注2 変更
		P61	図1.9.10 INT ₅ IC INT ₃ IC
		P114	表1.16.1 下のデータ このデータ
		P140	図1.18.7 注1 P7 ₁ 削除
		P143	表1.18.1 表題、図1.18.10 図題 「(アナログ端子は除く)」 追記
		P144	表1.19.1 Topr 変更、注1 変更
		P145	表1.19.2 「Vcc ₁ 」「Vcc」、注1 変更
		P148	表1.19.6 注1 変更
		P149	表1.19.7 注1 変更
		P150~152	タイミング必要条件 「Topr= - 20 ~ 85 」 「Topr= - 20 ~ 85/ - 40 ~ 85/ - 40 ~ 105 」
		P173	標準シリアル入出力モード「このときメインクロックはf ₁ =5.12MHzで動作します。」追記
		P179	図1.23.2 D9-D10 D9-D0 表1.23.1 Ta 変更
		P181	表1.23.2 Ta 変更
		P182	図1.23.4 変更
P183~192	「使用上の注意事項」 追記		
P195	4.本DLL以外の実装について 変更		
5.01	2009.12.10	P2	表1.1.1 メモリ容量 ; ROM 変更
		P5	表1.1.4 「M306S0F8DGP」 追記
		P6	図1.1.2 ROM容量 「8 : 64Kバイト」 追記
		P11	図1.2.1 内部ROM 64Kバイト 追記、注1 変更
		P27	図1.6.4 内部ROM 64Kバイト 追記
		P156	図1.20.1 追記
		P157	図1.20.2 図題 「(ROM容量96Kバイト)」 追記
5.02	2012.12.25	P2	表1.1.1 「プログラム、イレーズ回数」、注2 変更
		P5	表1.1.3 「U7、U9」 削除
		P7	表1.1.5 「U7、U9」 削除
		P146	表1.19.3 「プログラム、イレーズ回数」 変更、注6 削除
		P155	表1.20.1 「プログラム、イレーズ回数」 変更
		P175、P176	IDコードチェック機能、強制イレーズ機能、標準シリアル入出力モード禁止機能 追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>