

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

1.1 特長

M32C/87グループ(M32C/87、M32C/87A、M32C/87B)は高性能シリコンゲートCMOSプロセスを採用し、M32C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、144ピン版と100ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1.1 用途

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.1.2 仕様概要

表1.1～表1.4に仕様概要を示します。

表1.1 仕様概要(144ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80コア(乗算器:16ビット×16ビット→32ビット、 積和演算命令:16ビット×16ビット+48ビット→48ビット) <ul style="list-style-type: none"> 基本命令数:108 最小命令実行時間:31.3ns (f(CPU)=32MHz/VCC1=4.2~5.5V) 41.7ns (f(CPU)=24MHz/VCC1=3.0~5.5V) 動作モード:シングルチップ、メモリ拡張、マイクロプロセッサモード
メモリ	ROM、RAM、データフラッシュ	「表1.5～表1.7製品一覧表」を参照してください。
電圧検出機能		Vdet3検出機能、Vdet4検出機能、コールドスタート/ウォームスタート判定機能
外部バス 拡張	バス メモリ拡張機能	<ul style="list-style-type: none"> アドレス空間:16Mバイト 外部バスインタフェース:1~7ウェイト挿入可、チップセレクト4出力、3V、5Vインタフェース バス形式:セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ 発振停止検出:メインクロック発振停止 周波数分周回路:1,2,3,4,6,8,10,12,14,16分周選択 低消費電力機構:ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数:70 外部割り込み入力:14 (\overline{NMI}、$\overline{INT} \times 9$、キー入力×4) 割り込み優先レベル:7レベル
ウォッチドッグタイマ		15ビット×1(プリスケール付)
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因:43 転送モード:2(単転送、リピート転送)
	DMACII	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動 転送方式:2(単転送、バースト転送) 即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、IrDAモード(注2)、IEBus(オプション)(注1、3)
	UART5, UART6	クロック同期/非同期兼用×2チャンネル
A/Dコンバータ		分解能10ビット×34チャンネル(シングルチップモード時) 分解能10ビット×18チャンネル(メモリ拡張モード、マイクロプロセッサモード時)サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT($X^{16}+X^{12}+X^5+1$)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. UART0にあります。

注3. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.2 仕様概要(144ピン版)(2)

分類	機能	説明
インテリジェントI/O		16ビットタイマ×2 <ul style="list-style-type: none"> •時間計測機能(インプットキャプチャ) ×8チャンネル •波形生成機能(アウトプットコンペア) ×16チャンネル •通信機能: クロック同期モード、クロック非同期モード、HDLCデータ処理モード、IEBusモード(オプション)(注1、2) •二相パルス信号処理(二相エンコーダ入力)×1
ROM修正機能		アドレス一致割り込み×8
CAN		CAN2.0B仕様準拠 M32C/87: 16slot対応×2チャンネル M32C/87A: 16slot対応×1チャンネル M32C/87B: なし
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> •入力専用: 1 •CMOS入出力: 121 プルアップ抵抗選択可能 •Nchオープンドレインポート: 2
フラッシュメモリ		<ul style="list-style-type: none"> •消去、書き込み電圧: 3.3±0.3Vまたは5.0±0.5V •消去、書き込み回数: 100回(全領域) •プログラムセキュリティ: ROMコードプロテクト、IDコードチェック •デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え可能
動作周波数 / 電源電圧		32MHz / VCC1=4.2~5.5V、VCC2=3.0V~VCC1 24MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		32mA (32MHz / VCC1=VCC2=5V) 23mA (24MHz / VCC1=VCC2=3.3V) 45μA (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ウェイトモード) 0.8μA (VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C、-40~85°C(オプション)(注2)
パッケージ		144ピンLQFP(PLQP0144KA-A)

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.3 仕様概要(100ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80コア(乗算器: 16ビット×16ビット→32ビット、 積和演算命令: 16ビット×16ビット+48ビット→48ビット) <ul style="list-style-type: none"> 基本命令数: 108 最小命令実行時間: 31.3ns (f(CPU)=32MHz/VCC1=4.2~5.5V) 41.7ns (f(CPU)=24MHz/VCC1=3.0~5.5V) 動作モード: シングルチップ、メモリ拡張、マイクロプロセッサモード
メモリ	ROM、RAM、データフラッシュ	「表 1.5~表 1.7 製品一覧表」を参照してください。
電圧検出機能		Vdet3検出機能、Vdet4検出機能、コールドスタート/ウォームスタート判定機能
外部バス 拡張	バス メモリ拡張機能	<ul style="list-style-type: none"> アドレス空間: 16Mバイト 外部バスインタフェース: 1~7ウェイト挿入可、チップセレクト4出力、3V、5Vインタフェース バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ 発振停止検出: メインクロック発振停止 周波数分周回路: 1,2,3,4,6,8,10,12,14,16分周選択 低消費電力機構: ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケール付)
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因: 43 転送モード: 2(単転送、リピート転送)
	DMACII	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動 転送方式: 2(単転送、バースト転送) 即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、IrDAモード(注2)、IEBus(オプション)(注1、3)
	UART5	クロック同期/非同期兼用×1チャンネル
A/Dコンバータ		分解能10ビット×26チャンネル(シングルチップモード時) 分解能10ビット×10チャンネル(メモリ拡張モード、マイクロプロセッサモード時)サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT(X ¹⁶ +X ¹² +X ⁵ +1)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. UART0にあります。

注3. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 仕様概要(100ピン版)(2)

分類	機能	説明
インテリジェントI/O		16ビットタイマ×2 <ul style="list-style-type: none"> •時間計測機能(インプットキャプチャ) ×8チャンネル •波形生成機能(アウトプットコンペア) ×10チャンネル •通信機能: クロック同期モード、クロック非同期モード、HDLCデータ処理モード、IEBusモード(オプション)(注1、2) •二相パルス信号処理(二相エンコーダ入力)×1
ROM修正機能		アドレス一致割り込み×8
CAN		CAN2.0B仕様準拠 M32C/87: 16slot対応×2チャンネル M32C/87A: 16slot対応×1チャンネル M32C/87B: なし
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> •入力専用: 1 •CMOS入出力: 85 プルアップ抵抗選択可能 •Nchオープンドレインポート: 2
フラッシュメモリ		<ul style="list-style-type: none"> •消去、書き込み電圧: 3.3±0.3Vまたは5.0±0.5V •消去、書き込み回数: 100回(全領域) •プログラムセキュリティ: ROMコードプロテクト、IDコードチェック •デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え可能
動作周波数 / 電源電圧		32MHz / VCC1=4.2~5.5V、VCC2=3.0V~VCC1 24MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		32mA (32MHz / VCC1=VCC2=5V) 23mA (24MHz / VCC1=VCC2=3.3V) 45μA (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ ウェイトモード) 0.8μA(VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C、-40~85°C(オプション)(注2)
パッケージ		100ピンLQFP(PLQP0100KB-A)、100ピンQFP(PRQP0100JB-A)

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

1.2 製品一覧

表1.5～表1.7に製品一覧表、図1.1に型名とメモリサイズ・パッケージを示します。

表1.5 製品一覧表(1)(M32C/87:CAN2ch)

2008年7月現在

型名	パッケージ	ROM容量	RAM容量	備考
M3087BFLGP	PLQP0144KA-A (144P6Q-A)	1M+4Kバイト (注1)	48Kバイト	フラッシュメモリ版
M30879FLFP	PRQP0100JB-A (100P6S-A)			
M30879FLGP	PLQP0100KB-A (100P6Q-A)			
M3087BFGP	PLQP0144KA-A (144P6Q-A)	768K+4Kバイト (注1)		
M30879FGP	PLQP0100KB-A (100P6Q-A)			
M30878FJGP	PLQP0144KA-A (144P6Q-A)	512K+4Kバイト (注1)	31Kバイト	
M30876FJGP	PLQP0100KB-A (100P6Q-A)			
M30875FHGP	PLQP0144KA-A (144P6Q-A)	384K+4Kバイト (注1)	24Kバイト	
M30873FHGP	PLQP0100KB-A (100P6Q-A)			
M30878MJ-XXXGP	PLQP0144KA-A (144P6Q-A)	512Kバイト	31Kバイト	マスクROM版
M30876MJ-XXXFP	PRQP0100JB-A (100P6S-A)			
M30876MJ-XXXGP	PLQP0100KB-A (100P6Q-A)			
M30875MH-XXXGP	PLQP0144KA-A (144P6Q-A)	384Kバイト	24Kバイト	
M30873MH-XXXGP	PLQP0100KB-A (100P6Q-A)			

注1. ROM容量の「+4Kバイト」はデータフラッシュの容量です。

表1.6 製品一覧表(2)(M32C/87A:CAN1ch)

2008年7月現在

型名	パッケージ	ROM容量	RAM容量	備考
M3087BFLAGP	PLQP0144KA-A (144P6Q-A)	1M+4Kバイト (注1)	48Kバイト	フラッシュメモリ版
M30879FLAFP	PRQP0100JB-A (100P6S-A)			
M30879FLAGP	PLQP0100KB-A (100P6Q-A)			
M3087BFGAP	PLQP0144KA-A (144P6Q-A)	768K+4Kバイト (注1)		
M30879FGAP	PLQP0100KB-A (100P6Q-A)			
M30878FJAGP	PLQP0144KA-A (144P6Q-A)	512K+4Kバイト (注1)	31Kバイト	
M30876FJAGP	PLQP0100KB-A (100P6Q-A)			
M30875FHAGP	PLQP0144KA-A (144P6Q-A)	384K+4Kバイト (注1)	24Kバイト	
M30873FHAGP	PLQP0100KB-A (100P6Q-A)			
M30878MJA-XXXGP	PLQP0144KA-A (144P6Q-A)	512Kバイト	31Kバイト	マスクROM版
M30876MJA-XXXFP	PRQP0100JB-A (100P6S-A)			
M30876MJA-XXXGP	PLQP0100KB-A (100P6Q-A)			
M30875MHA-XXXGP	PLQP0144KA-A (144P6Q-A)	384Kバイト	24Kバイト	
M30873MHA-XXXGP	PLQP0100KB-A (100P6Q-A)			

注1. ROM容量の「+4Kバイト」はデータフラッシュの容量です。

表 1.7 製品一覧表(3)(M32C/87B:CANなし)

2008年7月現在

型名	パッケージ	ROM容量	RAM容量	備考
M3087BFLBGP	PLQP0144KA-A (144P6Q-A)	1M+4Kバイト (注1)	48Kバイト	フラッシュメモリ版
M30879FLBFP	PRQP0100JB-A (100P6S-A)			
M30879FLBGP	PLQP0100KB-A (100P6Q-A)	768K+4Kバイト (注1)	31Kバイト	
M3087BFKBGP	PLQP0144KA-A (144P6Q-A)			
M30879FKBGP	PLQP0100KB-A (100P6Q-A)	512K+4Kバイト (注1)	24Kバイト	
M30878FJBGP	PLQP0144KA-A (144P6Q-A)			
M30876FJBGP	PLQP0100KB-A (100P6Q-A)	384K+4Kバイト (注1)	31Kバイト	
M30875FHBGP	PLQP0144KA-A (144P6Q-A)			
M30873FHBGP	PLQP0100KB-A (100P6Q-A)	512Kバイト	24Kバイト	マスクROM版
M30878MJB-XXXGP	PLQP0144KA-A (144P6Q-A)			
M30876MJB-XXXFP	PRQP0100JB-A (100P6S-A)	384Kバイト	31Kバイト	
M30876MJB-XXXGP	PLQP0100KB-A (100P6Q-A)			
M30875MHB-XXXGP	PLQP0144KA-A (144P6Q-A)			
M30873MHB-XXXGP	PLQP0100KB-A (100P6Q-A)			

注1. ROM容量の「+4Kバイト」はデータフラッシュの容量です。

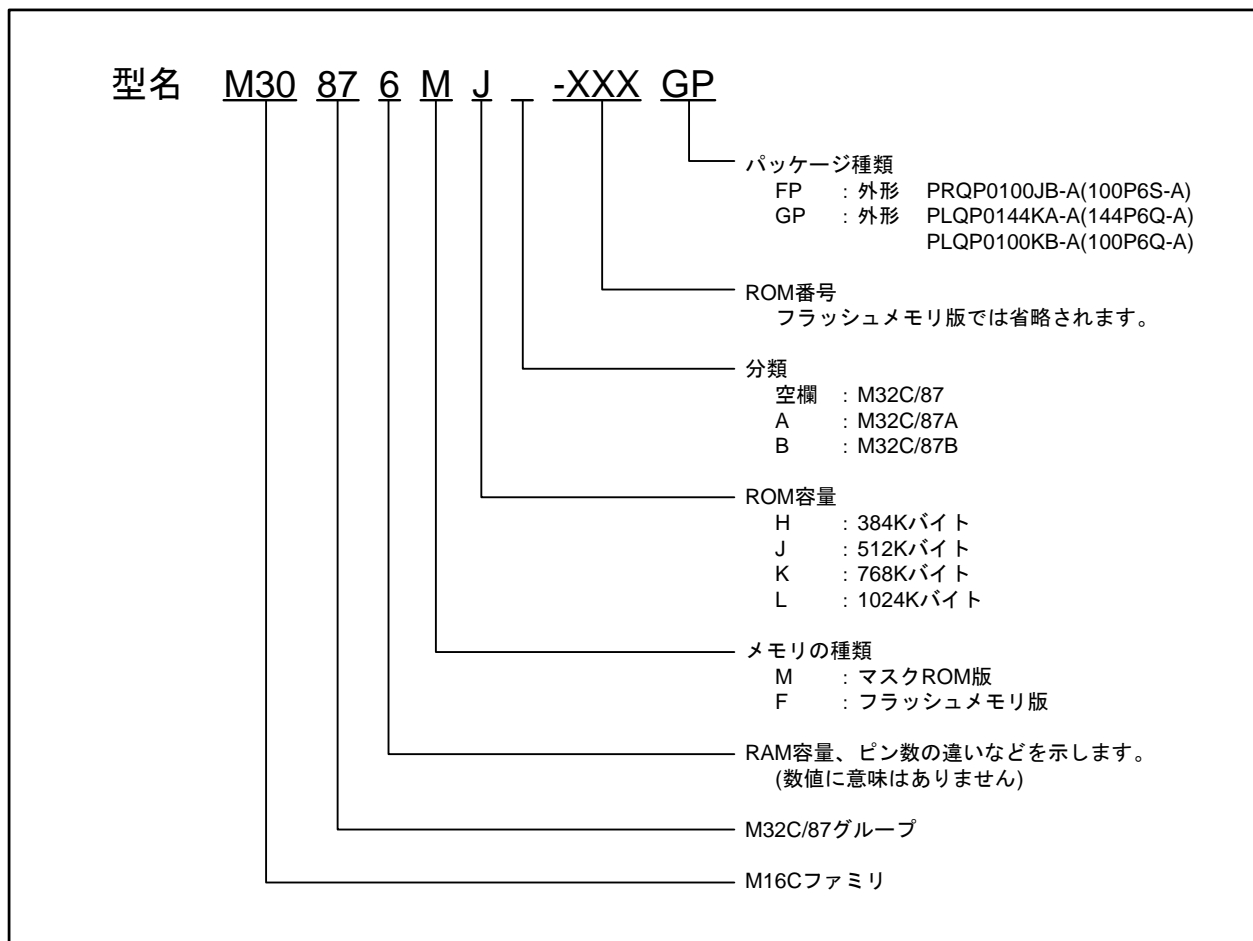


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にM32C/87グループ(M32C/87、M32C/87A、M32C/87B)のブロック図を示します。

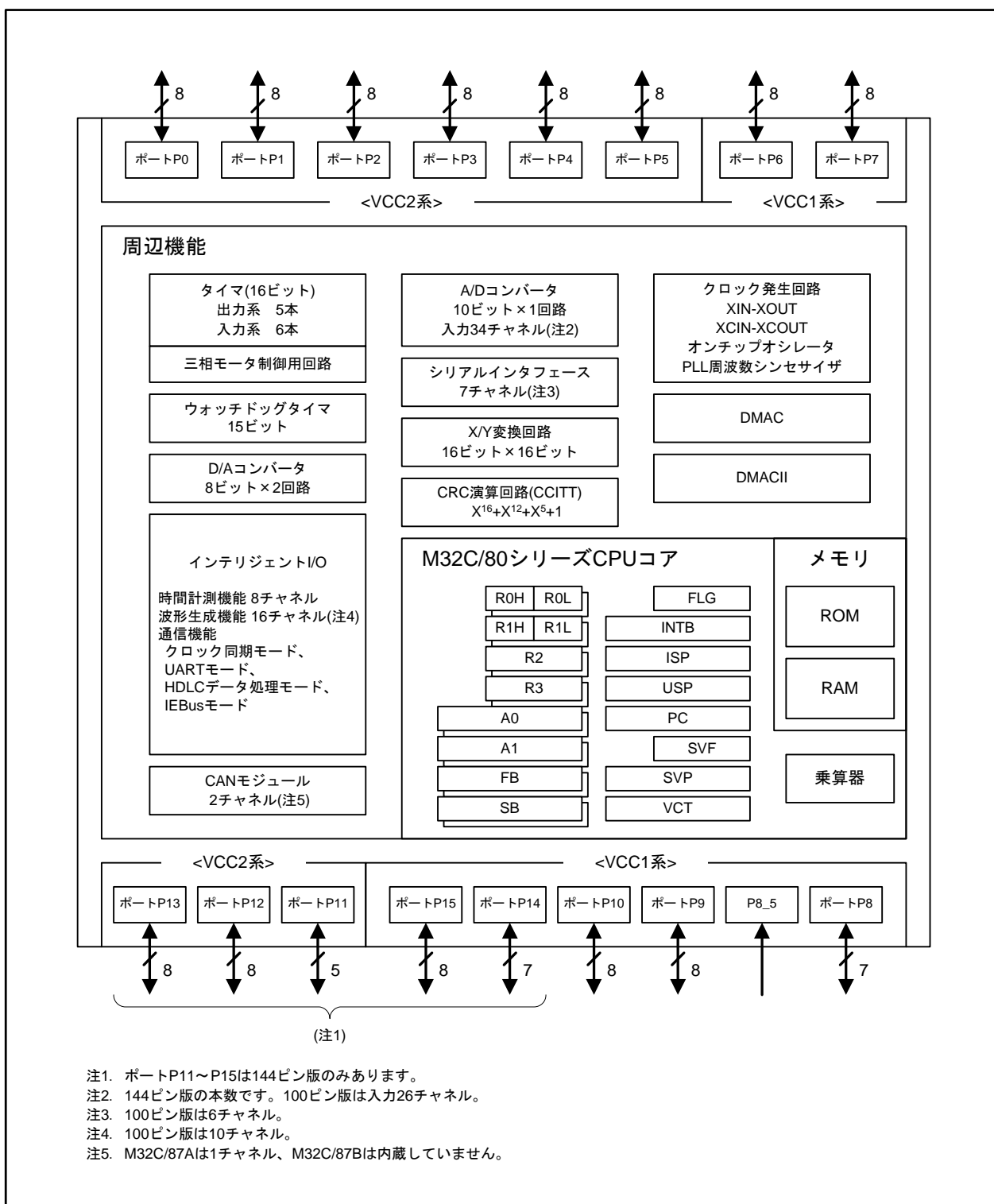


図1.2 M32C/87グループ(M32C/87、M32C/87A、M32C/87B)のブロック図

1.4 ピン配置図

図1.3～図1.5にピン配置図(上面図)を示します。

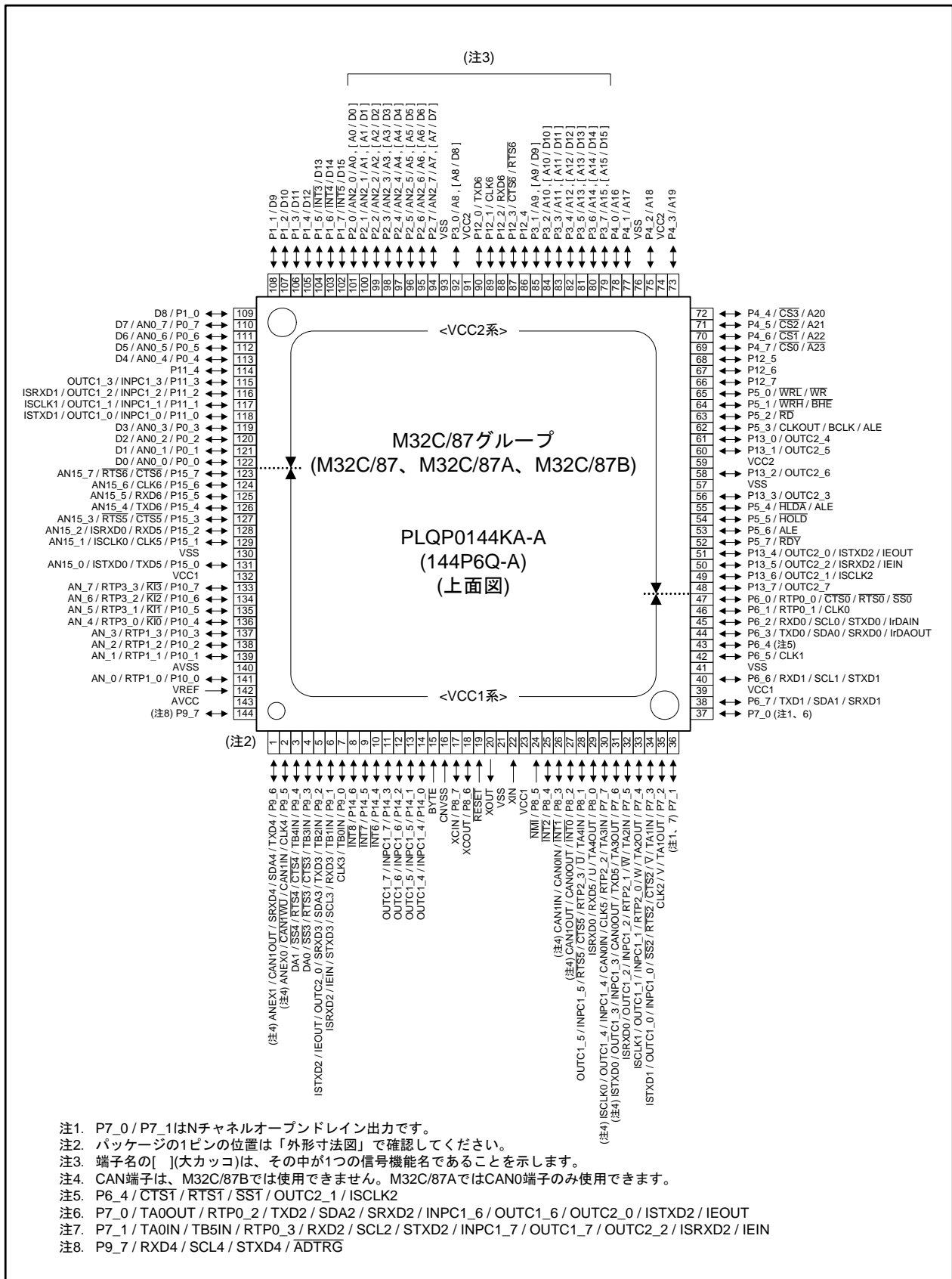


図1.3 144ピン版ピン配置図(上面図)

表 1.8 144ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART / CAN端子(注1)	インテリジェントI/O端子	アナログ端子	バス制御端子
1		P9_6			TXD4 / SDA4 / SRXD4 / CAN1OUT		ANEX1	
2		P9_5			CLK4 / CAN1IN / CAN1WU		ANEX0	
3		P9_4		TB4IN	CTS4 / RTS4 / SS4		DA1	
4		P9_3		TB3IN	CTS3 / RTS3 / SS3		DA0	
5		P9_2		TB2IN	TXD3 / SDA3 / SRXD3	OUTC2_0 / IEOUT / ISTXD2		
6		P9_1		TB1IN	RXD3 / SCL3 / STXD3	IEIN / ISRXD2		
7		P9_0		TB0IN	CLK3			
8		P14_6	INT8					
9		P14_5	INT7					
10		P14_4	INT6					
11		P14_3				INPC1_7 / OUTC1_7		
12		P14_2				INPC1_6 / OUTC1_6		
13		P14_1				INPC1_5 / OUTC1_5		
14		P14_0				INPC1_4 / OUTC1_4		
15	BYTE							
16	CNVSS							
17	XCIN	P8_7						
18	XCOUT	P8_6						
19	RESET							
20	XOUT							
21	VSS							
22	XIN							
23	VCC1							
24		P8_5	NMI					
25		P8_4	INT2					
26		P8_3	INT1		CAN0IN / CAN1IN			
27		P8_2	INT0		CAN0OUT / CAN1OUT			
28		P8_1		TA4IN / \bar{U} / RTP2_3	CTS5 / RTS5	INPC1_5 / OUTC1_5		
29		P8_0		TA4OUT / U	RXD5	ISRXD0		
30		P7_7		TA3IN / RTP2_2	CLK5 / CAN0IN	INPC1_4 / OUTC1_4 / ISCLK0		
31		P7_6		TA3OUT	TXD5 / CAN0OUT	INPC1_3 / OUTC1_3 / ISTXD0		
32		P7_5		TA2IN / \bar{W} / RTP2_1		INPC1_2 / OUTC1_2 / ISRXD1		
33		P7_4		TA2OUT / W / RTP2_0		INPC1_1 / OUTC1_1 / ISCLK1		
34		P7_3		TA1IN / \bar{V}	CTS2 / RTS2 / SS2	INPC1_0 / OUTC1_0 / ISTXD1		
35		P7_2		TA1OUT / V	CLK2			
36		P7_1		TA0IN / TB5IN / RTP0_3	RXD2 / SCL2 / STXD2	INPC1_7 / OUTC1_7 / OUTC2_2 / ISRXD2 / IEIN		
37		P7_0		TA0OUT / RTP0_2	TXD2 / SDA2 / SRXD2	INPC1_6 / OUTC1_6 / OUTC2_0 / ISTXD2 / IEOUT		
38		P6_7			TXD1 / SDA1 / SRXD1			
39	VCC1							
40		P6_6			RXD1 / SCL1 / STXD1			
41	VSS							
42		P6_5			CLK1			
43		P6_4			CTS1 / RTS1 / SS1	OUTC2_1 / ISCLK2		
44		P6_3			TXD0 / SDA0 / SRXD0 / IrDAOUT			
45		P6_2			RXD0 / SCL0 / STXD0 / IrDAIN			
46		P6_1	RTP0_1		CLK0			
47		P6_0	RTP0_0		CTS0 / RTS0 / SS0			
48		P13_7				OUTC2_7		

注1. CAN端子は、M32C/87Bでは使用できません。M32C/87AではCAN0端子のみ使用できます。

表 1.9 144ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART / CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
49		P13_6				OUTC2_1 / ISCLK2		
50		P13_5				OUTC2_2 / ISRXD2 / IEIN		
51		P13_4				OUTC2_0 / ISTXD2 / IEOUT		
52		P5_7						$\overline{\text{RDY}}$
53		P5_6						ALE
54		P5_5						$\overline{\text{HOLD}}$
55		P5_4						$\overline{\text{HLD\AA}}$ / ALE
56		P13_3				OUTC2_3		
57	VSS							
58		P13_2				OUTC2_6		
59	VCC2							
60		P13_1				OUTC2_5		
61		P13_0				OUTC2_4		
62	CLKOUT	P5_3						$\overline{\text{BCLK}}$ / ALE
63		P5_2						$\overline{\text{RD}}$
64		P5_1						$\overline{\text{WRH}}$ / $\overline{\text{BHE}}$
65		P5_0						$\overline{\text{WRL}}$ / $\overline{\text{WR}}$
66		P12_7						
67		P12_6						
68		P12_5						
69		P4_7						$\overline{\text{CS0}}$ / $\overline{\text{A23}}$
70		P4_6						$\overline{\text{CS1}}$ / $\overline{\text{A22}}$
71		P4_5						$\overline{\text{CS2}}$ / $\overline{\text{A21}}$
72		P4_4						$\overline{\text{CS3}}$ / $\overline{\text{A20}}$
73		P4_3						A19
74	VCC2							
75		P4_2						A18
76	VSS							
77		P4_1						A17
78		P4_0						A16
79		P3_7						A15, [A15 / D15]
80		P3_6						A14, [A14 / D14]
81		P3_5						A13, [A13 / D13]
82		P3_4						A12, [A12 / D12]
83		P3_3						A11, [A11 / D11]
84		P3_2						A10, [A10 / D10]
85		P3_1						A9, [A9 / D9]
86		P12_4						
87		P12_3				$\overline{\text{CTS6}}$ / $\overline{\text{RTS6}}$		
88		P12_2				RXD6		
89		P12_1				CLK6		
90		P12_0				TXD6		
91	VCC2							
92		P3_0						A8, [A8 / D8]
93	VSS							
94		P2_7					AN2_7	A7, [A7 / D7]
95		P2_6					AN2_6	A6, [A6 / D6]
96		P2_5					AN2_5	A5, [A5 / D5]

表 1.10 144ピン版端子名一覧表(3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART / CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
97		P2_4					AN2_4	A4, [A4 / D4]
98		P2_3					AN2_3	A3, [A3 / D3]
99		P2_2					AN2_2	A2, [A2 / D2]
100		P2_1					AN2_1	A1, [A1 / D1]
101		P2_0					AN2_0	A0, [A0 / D0]
102		P1_7	INT5					D15
103		P1_6	INT4					D14
104		P1_5	INT3					D13
105		P1_4						D12
106		P1_3						D11
107		P1_2						D10
108		P1_1						D9
109		P1_0						D8
110		P0_7					AN0_7	D7
111		P0_6					AN0_6	D6
112		P0_5					AN0_5	D5
113		P0_4					AN0_4	D4
114		P11_4						
115		P11_3				INPC1_3 / OUTC1_3		
116		P11_2				INPC1_2 / OUTC1_2 / ISRXD1		
117		P11_1				INPC1_1 / OUTC1_1 / ISCLK1		
118		P11_0				INPC1_0 / OUTC1_0 / ISTXD1		
119		P0_3					AN0_3	D3
120		P0_2					AN0_2	D2
121		P0_1					AN0_1	D1
122		P0_0					AN0_0	D0
123		P15_7			CTS6 / RTS6		AN15_7	
124		P15_6			CLK6		AN15_6	
125		P15_5			RXD6		AN15_5	
126		P15_4			TXD6		AN15_4	
127		P15_3			CTS5 / RTS5		AN15_3	
128		P15_2			RXD5	ISRXD0	AN15_2	
129		P15_1			CLK5	ISCLK0	AN15_1	
130	VSS							
131		P15_0			TXD5	ISTXD0	AN15_0	
132	VCC1							
133		P10_7	KI3	RTP3_3			AN_7	
134		P10_6	KI2	RTP3_2			AN_6	
135		P10_5	KI1	RTP3_1			AN_5	
136		P10_4	KI0	RTP3_0			AN_4	
137		P10_3		RTP1_3			AN_3	
138		P10_2		RTP1_2			AN_2	
139		P10_1		RTP1_1			AN_1	
140	AVSS							
141		P10_0		RTP1_0			AN_0	
142	VREF							
143	AVCC							
144		P9_7			RXD4 / SCL4 / STXD4		ADTRG	

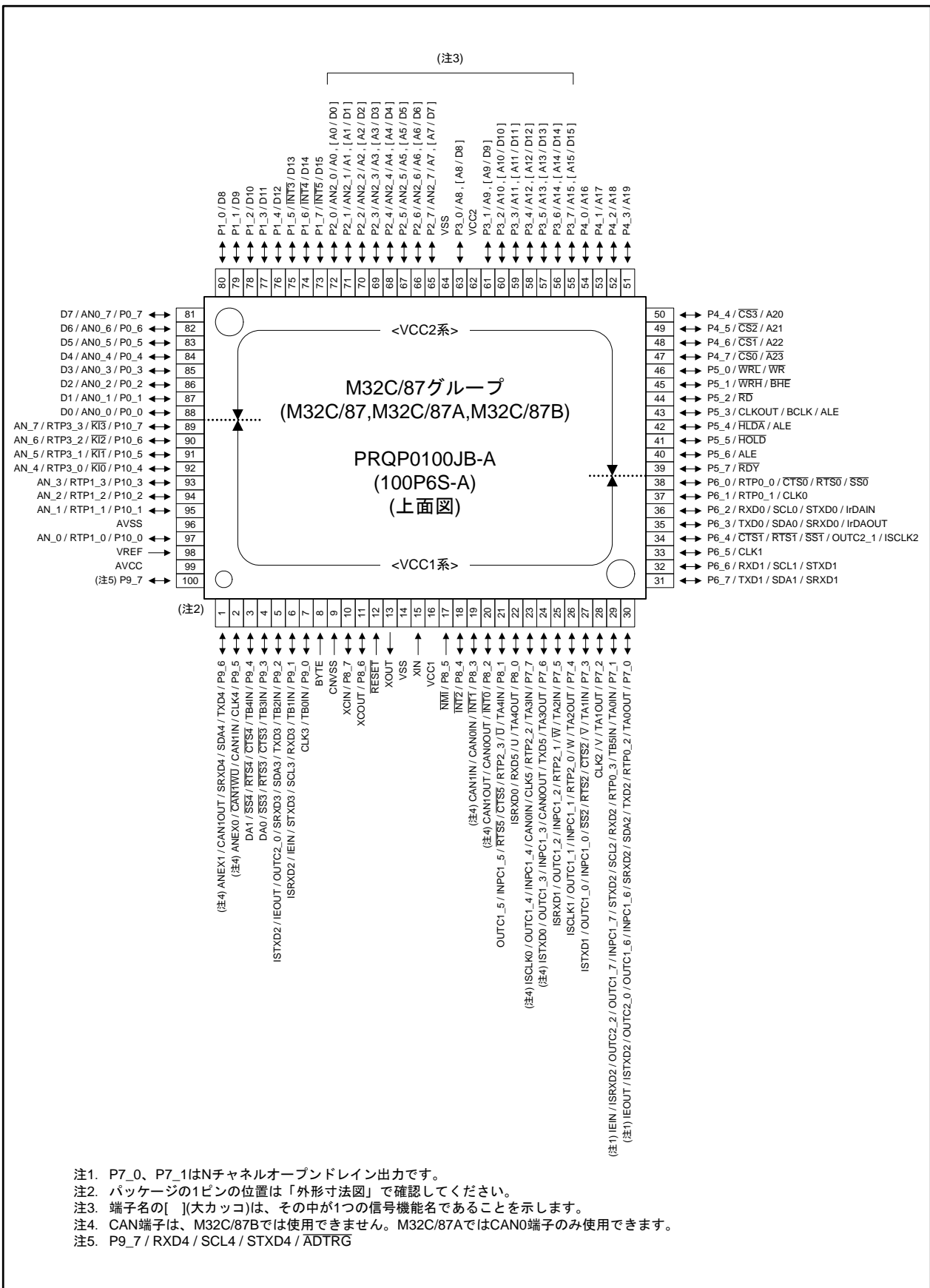


図 1.4 100ピン版ピン配置図(上面図)

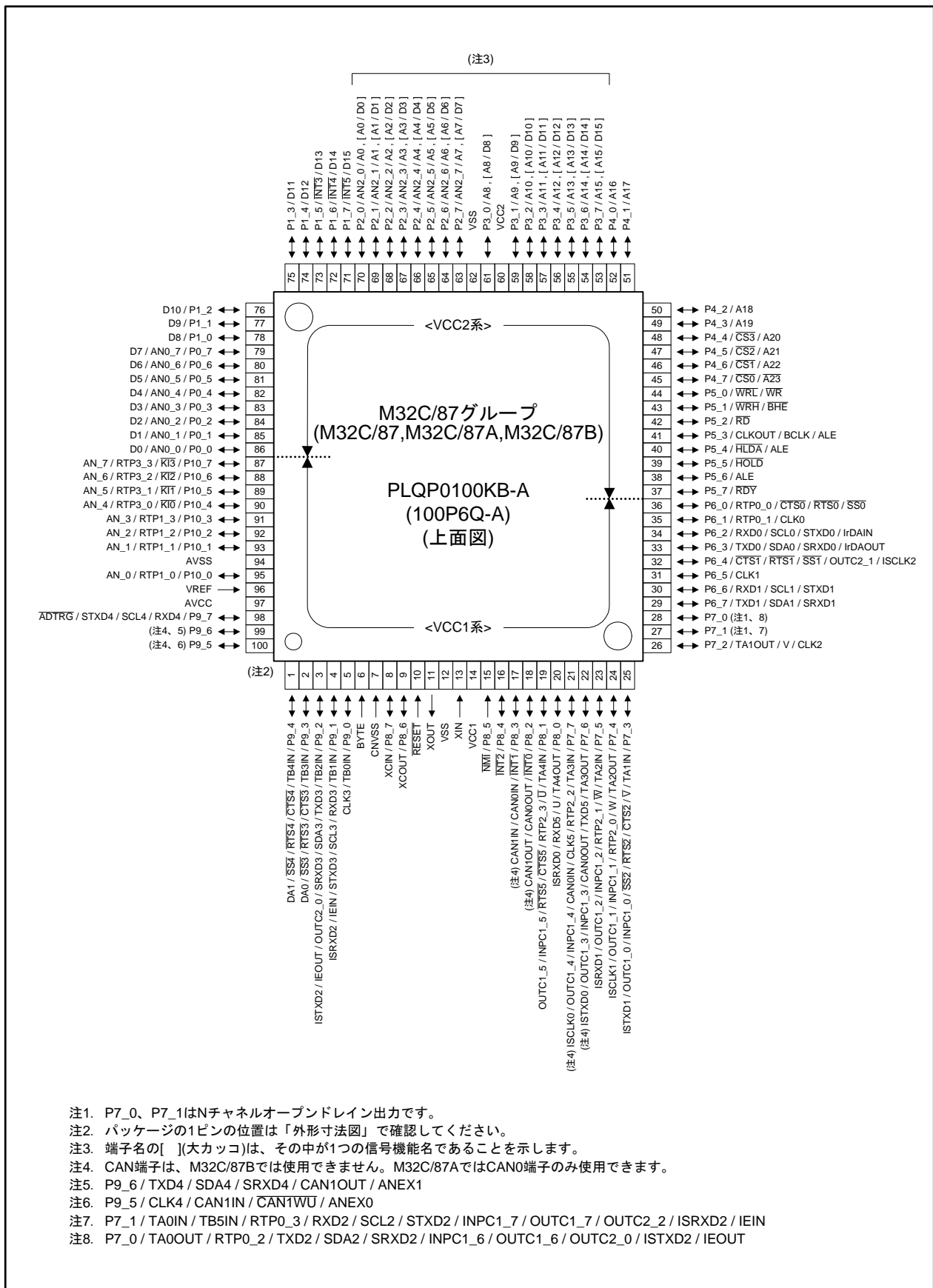


図1.5 100ピン版ピン配置図(上面図)

表 1.11 100ピン版端子名一覧表(1)

パッケージ ピン番号		制御端子	ポート	割り 込み 端子	タイマ端子	UART / CAN 端子(注1)	インテリジェントI/O端子	アナログ 端子	バス制御 端子
FP	GP								
1	99		P9_6			TXD4 / SDA4 / SRXD4 / CAN1OUT		ANEX1	
2	100		P9_5			CLK4 / CAN1IN / CAN1WU		ANEX0	
3	1		P9_4		TB4IN	CTS4 / RTS4 / SS4		DA1	
4	2		P9_3		TB3IN	CTS3 / RTS3 / SS3		DA0	
5	3		P9_2		TB2IN	TXD3 / SDA3 / SRXD3	OUTC2_0 / IEOUT / ISTXD2		
6	4		P9_1		TB1IN	RXD3 / SCL3 / STXD3	IEIN / ISRXD2		
7	5		P9_0		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVSS							
10	8	XCIN	P8_7						
11	9	XCOU	P8_6						
12	10	RESET							
13	11	XOUT							
14	12	VSS							
15	13	XIN							
16	14	VCC1							
17	15		P8_5	NMI					
18	16		P8_4	INT2					
19	17		P8_3	INT1		CAN0IN / CAN1IN			
20	18		P8_2	INT0		CAN0OUT / CAN1OUT			
21	19		P8_1		TA4IN / U / RTP2_3	CTS5 / RTS5	INPC1_5 / OUTC1_5		
22	20		P8_0		TA4OUT / U	RXD5	ISRXD0		
23	21		P7_7		TA3IN / RTP2_2	CLK5 / CAN0IN	INPC1_4 / OUTC1_4 / ISCLK0		
24	22		P7_6		TA3OUT	TXD5 / CAN0OUT	INPC1_3 / OUTC1_3 / ISTXD0		
25	23		P7_5		TA2IN / W / RTP2_1		INPC1_2 / OUTC1_2 / ISRXD1		
26	24		P7_4		TA2OUT / W / RTP2_0		INPC1_1 / OUTC1_1 / ISCLK1		
27	25		P7_3		TA1IN / V	CTS2 / RTS2 / SS2	INPC1_0 / OUTC1_0 / ISTXD1		
28	26		P7_2		TA1OUT / V	CLK2			
29	27		P7_1		TA0IN / TB5IN / RTP0_3	RXD2 / SCL2 / STXD2	INPC1_7 / OUTC1_7 / OUTC2_2 / ISRXD2 / IEIN		
30	28		P7_0		TA0OUT / RTP0_2	TXD2 / SDA2 / SRXD2	INPC1_6 / OUTC1_6 / OUTC2_0 / ISTXD2 / IEOUT		
31	29		P6_7			TXD1 / SDA1 / SRXD1			
32	30		P6_6			RXD1 / SCL1 / STXD1			
33	31		P6_5			CLK1			
34	32		P6_4			CTS1 / RTS1 / SS1	OUTC2_1 / ISCLK2		
35	33		P6_3			TXD0 / SDA0 / SRXD0 / IrDAOUT			
36	34		P6_2			RXD0 / SCL0 / STXD0 / IrDAIN			
37	35		P6_1	RTP0_1		CLK0			
38	36		P6_0	RTP0_0		CTS0 / RTS0 / SS0			
39	37		P5_7						RDY
40	38		P5_6						ALE
41	39		P5_5						HOLD
42	40		P5_4						HLDA / ALE
43	41	CLKOUT	P5_3						BCLK / ALE
44	42		P5_2						RD
45	43		P5_1						WRH / BHE
46	44		P5_0						WRL / WR
47	45		P4_7						CS0 / A23
48	46		P4_6						CS1 / A22

注1. CAN端子は、M32C/87Bでは使用できません。M32C/87AではCAN0端子のみ使用できます。

表 1.12 100ピン版端子名一覧表(2)

パッケージ ピン番号		制御端子	ポート	割り 込み 端子	タイマ端子	UART / CAN 端子	インテリジェントI/O端子	アナログ 端子	バス制御端子
FP	GP								
49	47		P4_5						$\overline{CS2}$ / A21
50	48		P4_4						$\overline{CS3}$ / A20
51	49		P4_3						A19
52	50		P4_2						A18
53	51		P4_1						A17
54	52		P4_0						A16
55	53		P3_7						A15, [A15 / D15]
56	54		P3_6						A14, [A14 / D14]
57	55		P3_5						A13, [A13 / D13]
58	56		P3_4						A12, [A12 / D12]
59	57		P3_3						A11, [A11 / D11]
60	58		P3_2						A10, [A10 / D10]
61	59		P3_1						A9, [A9 / D9]
62	60	VCC2							
63	61		P3_0						A8, [A8 / D8]
64	62	VSS							
65	63		P2_7					AN2_7	A7, [A7 / D7]
66	64		P2_6					AN2_6	A6, [A6 / D6]
67	65		P2_5					AN2_5	A5, [A5 / D5]
68	66		P2_4					AN2_4	A4, [A4 / D4]
69	67		P2_3					AN2_3	A3, [A3 / D3]
70	68		P2_2					AN2_2	A2, [A2 / D2]
71	69		P2_1					AN2_1	A1, [A1 / D1]
72	70		P2_0					AN2_0	A0, [A0 / D0]
73	71		P1_7	$\overline{INT5}$					D15
74	72		P1_6	$\overline{INT4}$					D14
75	73		P1_5	$\overline{INT3}$					D13
76	74		P1_4						D12
77	75		P1_3						D11
78	76		P1_2						D10
79	77		P1_1						D9
80	78		P1_0						D8
81	79		P0_7					AN0_7	D7
82	80		P0_6					AN0_6	D6
83	81		P0_5					AN0_5	D5
84	82		P0_4					AN0_4	D4
85	83		P0_3					AN0_3	D3
86	84		P0_2					AN0_2	D2
87	85		P0_1					AN0_1	D1
88	86		P0_0					AN0_0	D0
89	87		P10_7	$\overline{KI3}$	RTP3_3			AN_7	
90	88		P10_6	$\overline{KI2}$	RTP3_2			AN_6	
91	89		P10_5	$\overline{KI1}$	RTP3_1			AN_5	
92	90		P10_4	$\overline{KI0}$	RTP3_0			AN_4	
93	91		P10_3		RTP1_3			AN_3	
94	92		P10_2		RTP1_2			AN_2	
95	93		P10_1		RTP1_1			AN_1	
96	94	AVSS							
97	95		P10_0		RTP1_0			AN_0	
98	96	VREF							
99	97	AVCC							
100	98		P9_7			RXD4 / SCL4 / STXD4		\overline{ADTRG}	

1.5 端子機能の説明

表 1.13 端子機能の説明(1)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
電源入力	VCC1, VCC2 VSS	—	—	VCC1、VCC2端子には、3.0~5.5Vを入力してください。 VCCの入力条件はVCC1≥VCC2です。 VSSには、0Vを入力してください。
アナログ 電源入力	AVCC AVSS	—	VCC1	A/DコンバータとD/Aコンバータの電源入力です。AVCCは VCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータは リセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。 リセット後、シングルチップモードで動作を開始する場合は “L”を、マイクロプロセッサモード(マスクROM版、 フラッシュメモリ版)またはブートモード(フラッシュメモリ版) で動作を開始する場合は“H”を入力してください。
外部 データバス幅 切り替え入力	BYTE	入力	VCC1	外部領域3のデータバスを切り替えるための端子です。 この端子が“L”の場合16ビット、“H”の場合8ビットになり ます。どちらかに固定してください。シングルチップモードでは、 “L”を入力してください。
バス制御端子	D0~D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたとき、データ (D0~D7)の入出力を行います。
	D8~D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領 域をアクセスしたとき、データ(D8~D15)の入出力を行います。
	A0~A22	出力	VCC2	アドレスA0~A22を出力します。
	$\overline{\text{A23}}$	出力	VCC2	アドレスA23を反転して出力します。
	A0/D0~A7/D7	入出力	VCC2	マルチプレクスバスを選択している領域をアクセスしたとき、 アドレス(A0~A7)の出力とデータ(D0~D7)の入出力を時分割 で行います。
	A8/D8~A15/D15	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択してい る領域をアクセスしたとき、アドレス(A8~A15)の出力と データ(D8~D15)の入出力を時分割で行います。
	$\overline{\text{CS0}}\sim\overline{\text{CS3}}$	出力	VCC2	チップセレクト出力です。外部デバイスの指定に使用します。
	$\overline{\text{WRL}}/\overline{\text{WR}}$ $\overline{\text{WRH}}/\overline{\text{BHE}}$ $\overline{\text{RD}}$	出力	VCC2	$\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 信号を出力します。 プログラムで $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ または、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ を 切り替えられます。 ■ $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{RD}}$ 選択時 外部データバスが16ビットの場合、 $\overline{\text{WRL}}$ 信号が“L”のとき は偶数番地に、 $\overline{\text{WRH}}$ 信号が“L”のときは奇数番地に書きます。 $\overline{\text{RD}}$ 信号が“L”のとき読みます。 ■ $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 選択時 $\overline{\text{WR}}$ 信号が“L”のとき書きます。 $\overline{\text{RD}}$ 信号が“L”のとき読み ます。 $\overline{\text{BHE}}$ 信号が“L”のとき奇数番地をアクセスします。 外部データバスが8ビットのとき、このモードを使用し てください。
	ALE	出力	VCC2	マルチプレクスバス選択時、アドレス信号をラッチするための 信号です。
	$\overline{\text{HOLD}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態に なります。
$\overline{\text{HLDA}}$	出力	VCC2	マイクロコンピュータがホールド状態の期間、“L”を出力 します。	
$\overline{\text{RDY}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスは ウェイト状態になります。	

表 1.14 端子機能の説明(2)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
メイン クロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。 XINとXOUTの間にはセラミック共振子、または水晶発振子を 接続してください。外部で生成したクロックを入力する場合は、 XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	VCC1	
サブクロック 入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。 XCINとXCOUTの間には水晶発振子を接続してください。外部 で生成したクロックを入力する場合は、XCINからクロックを 入力し、XCOUTは開放にしてください。
サブクロック 出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	バスクロックを出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み 入力	INT0~INT2	入力	VCC1	INT割り込みの入力です。
	INT3~INT5	入力	VCC2	
NMI割り込み 入力	NMI	入力	VCC1	NMI割り込みの入力です。NMI割り込みを使用しない場合は、 抵抗を介してVCC1に接続してください。
タイマA	TA0OUT~TA4OUT	入出力	VCC1	タイマA0~A4の入出力です (ただし、TA0OUT出力はNチャンネルオープンドレイン出力)。
	TA0IN~TA4IN	入力	VCC1	タイマA0~A4の入力です。
タイマB	TB0IN~TB5IN	入力	VCC1	タイマB0~B5の入力です。
三相モータ 制御用 タイマ出力	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	VCC1	三相モータ制御用タイマの出力です。
シリアル インタ フェース	CTS0~CTS5	入力	VCC1	送信制御用入力です。
	RTS0~RTS5	出力	VCC1	受信制御用出力です。
	CLK0~CLK5	入出力	VCC1	送受信クロック入出力です。
	RXD0~RXD5	入力	VCC1	シリアルデータ入力です。
	TXD0~TXD5	出力	VCC1	シリアルデータ出力です (ただし、TXD2の出力はNチャンネルオープンドレイン出力)。
I ² Cモード	SDA0~SDA4	入出力	VCC1	シリアルデータ入出力です (ただし、SDA2の出力はNチャンネルオープンドレイン出力)。
	SCL0~SCL4	入出力	VCC1	送受信クロック入出力です (ただし、SCL2の出力はNチャンネルオープンドレイン出力)。
シリアル インタ フェース 特殊機能	STXD0~STXD4	出力	VCC1	スレーブモードを選択したときのシリアルデータ出力です (ただし、STXD2の出力はNチャンネルオープンドレイン出力)。
	SRXD0~SRXD4	入力	VCC1	スレーブモードを選択したときのシリアルデータ入力です。
	SS0~SS4	入力	VCC1	シリアルインタフェース特殊機能の制御用入力です。
IrDA	IrDAIN	入力	VCC1	IrDAシリアルデータ入力です。
	IrDAOUT	出力	VCC1	IrDAシリアルデータ出力です。
CAN(注1)	CAN0IN, CAN1IN	入力	VCC1	CAN通信機能の入力です。
	CAN0OUT, CAN1OUT	出力	VCC1	CAN通信機能の出力です。
	CAN1WU	入力	VCC1	CAN1ウェイクアップ用割り込み入力です。

注1. CAN端子は、M32C/87Bでは使用できません。M32C/87AではCAN0端子のみ使用できます。

表 1.15 端子機能の説明(3)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
インテリジェント I/O	INPC1_0~INPC1_3	入力	VCC1 / VCC2(注1)	時間計測機能の入力です。
	INPC1_4~INPC1_7	入力	VCC1	
	OUTC1_0~OUTC1_3	出力	VCC1 / VCC2(注1)	波形生成機能の出力です(ただし、P7_0、P7_1に配置されているOUTC1_6、OUTC1_7、OUTC2_0、OUTC2_2はNチャンネルオープンドレイン出力)。
	OUTC1_4~OUTC1_7	出力	VCC1	
	OUTC2_0~OUTC2_2	出力	VCC1 / VCC2(注1)	
	ISCLK0	入出力	VCC1	インテリジェント I/O 通信機能のクロック入出力です。
	ISCLK1, ISCLK2	入出力	VCC1 / VCC2(注1)	
	ISRXD0	入力	VCC1	インテリジェント I/O 通信機能のデータ入力です。
	ISRXD1, ISRXD2	入力	VCC1 / VCC2(注1)	
	ISTXD0	出力	VCC1	インテリジェント I/O 通信機能のデータ出力です(ただし、P7_0に配置されているISTXD2はNチャンネルオープンドレイン出力)。
	ISTXD1, ISTXD2	出力	VCC1 / VCC2(注1)	
	IEIN	入力	VCC1 / VCC2(注1)	インテリジェント I/O 通信機能のデータ入力です。
	IEOUT	出力	VCC1 / VCC2(注1)	インテリジェント I/O 通信機能のデータ出力です(ただし、P7_0に配置されているIEOUTはNチャンネルオープンドレイン出力)。
基準電圧入力	VREF	入力	—	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN_0~AN_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC2	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/Dコンバータの外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です。
リアルタイムポート	RTP0_0~RTP0_3 RTP1_0~RTP1_3 RTP2_0~RTP2_3 RTP3_0~RTP3_3	出力	VCC1	リアルタイムポートの出力です(ただし、RTP0_2、RTP0_3はNチャンネルオープンドレイン出力)。
入出力ポート	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0~P3_7 P4_0~P4_7 P5_0~P5_7	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4端子ごとにプルアップするかしないかを設定できます。
	P6_0~P6_7 P7_0~P7_7 P9_0~P9_7 P10_0~P10_7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P7_0、P7_1はNチャンネルオープンドレイン出力)。
	P8_0~P8_4 P8_6, P8_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
入力ポート	P8_5	入力	VCC1	$\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認するための入力専用ポートです。
キー入力割り込み	$\overline{\text{KI0}} \sim \overline{\text{KI3}}$	入力	VCC1	キー入力割り込みの入力です。

注1. 100ピン版ではVCC1のみになります。

表 1.16 端子機能の説明(4)(144ピン版のみ)

分類	端子名	入出力	電源系統	機能および説明
INT 割り込み 入力	INT6 ~ INT8	入力	VCC1	INT 割り込みの入力です。
シリアル インタ フェース	CTS6	入力	VCC1 / VCC2	送信制御用入力です。
	RTS6	出力	VCC1 / VCC2	受信制御用出力です。
	CLK6	入出力	VCC1 / VCC2	送受信クロック入出力です。
	RXD6	入力	VCC1 / VCC2	シリアルデータ入力です。
	TXD6	出力	VCC1 / VCC2	シリアルデータ出力です。
インテリ ジェント I/O	OUTC2_3 ~ OUTC2_7	出力	VCC2	波形生成機能の出力です。
A/D コンバータ	AN15_0 ~ AN15_7	入力	VCC1	A/Dコンバータのアナログ入力です。
入出力ポート	P11_0 ~ P11_4 P12_0 ~ P12_7 P13_0 ~ P13_7	入出力	VCC2	P0と同等の機能を持つ入出力ポートです。
	P14_0 ~ P14_6 P15_0 ~ P15_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

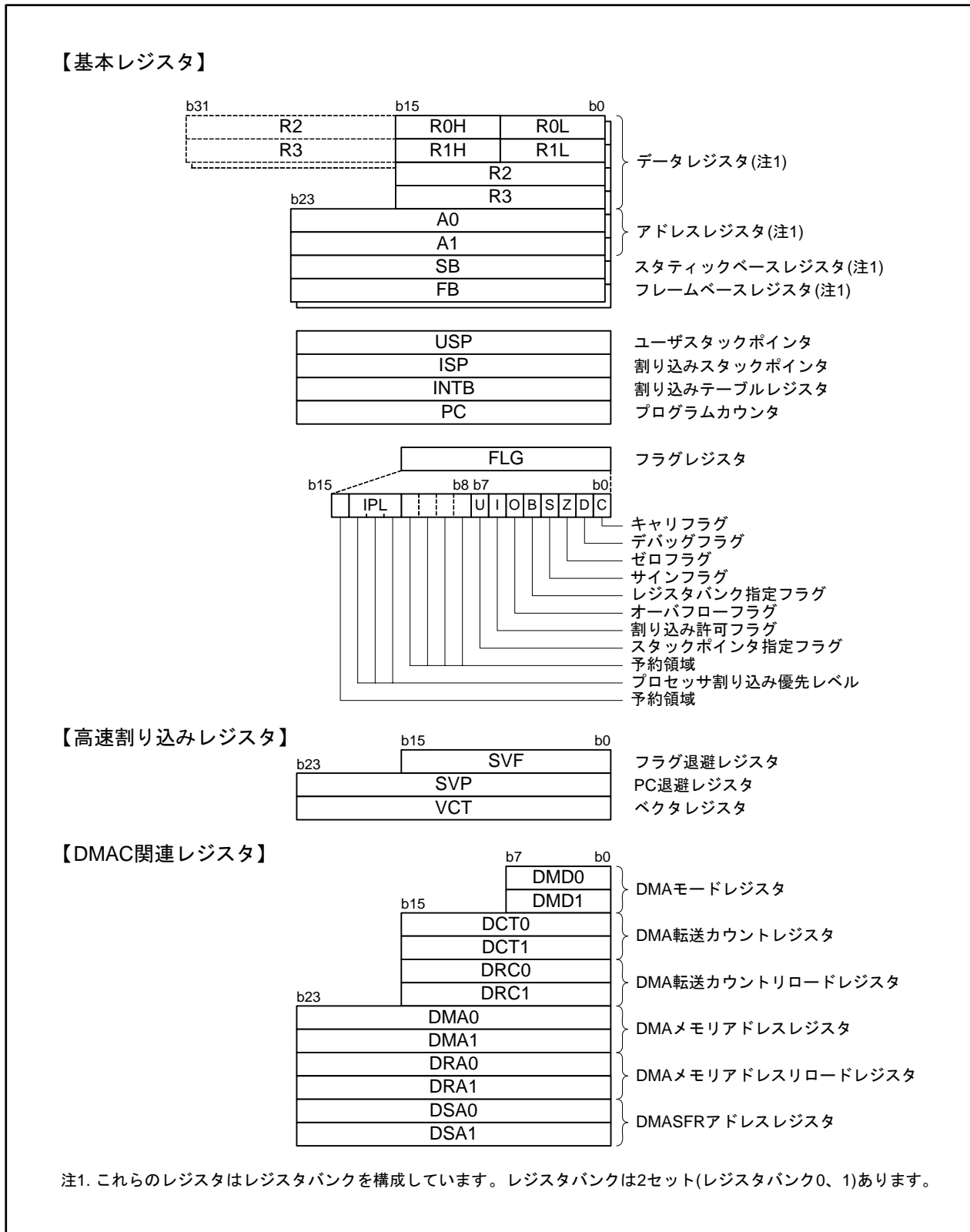


図2.1 中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1はR0と同様です。

また、R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ (A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ (SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ (FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ (PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ (INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)はUSPとISPの2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ (FLG)」を参照してください。

USPとISPは偶数番地に設定してください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ (FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリフラグ (C)

命令実行後のキャリやボローの有無を示します。

2.1.8.2 デバッグフラグ (D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ (Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ (S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (O)

演算の結果がオーバフローしたとき“1”になります。それ以外のとき“0”になります。

2.1.8.7 割り込み許可フラグ (I)

マスカブル割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0～7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。

- ・フラグ退避レジスタ (SVF)
- ・PC退避レジスタ (SVP)
- ・ベクタレジスタ (VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。

- ・DMAモードレジスタ (DMD0、DMD1)
- ・DMA転送カウントレジスタ (DCT0、DCT1)
- ・DMA転送カウントリロードレジスタ (DRC0、DRC1)
- ・DMAメモリアドレスレジスタ (DMA0、DMA1)
- ・DMAメモリアドレスリロードレジスタ (DRA0、DRA1)
- ・DMA SFRアドレスレジスタ (DSA0、DSA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000h番地からFFFFFFh番地までの16Mバイトあります。

内部ROMはFFFFFFh番地から下位方向に配置されています。例えば512Kバイトの内部ROMは、F80000h番地からFFFFFFh番地に配置されています。

固定割り込みベクタはFFFFDCh番地からFFFFFFh番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。

内部RAMは000400h番地から上位方向に配置されています。例えば48Kバイトの内部RAMは、000400h番地から00C3FFh番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000h番地から0003FFh番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルインタフェース、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00h番地からFFFFDBh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M32C/80シリーズソフトウェアマニュアル」を参照してください。

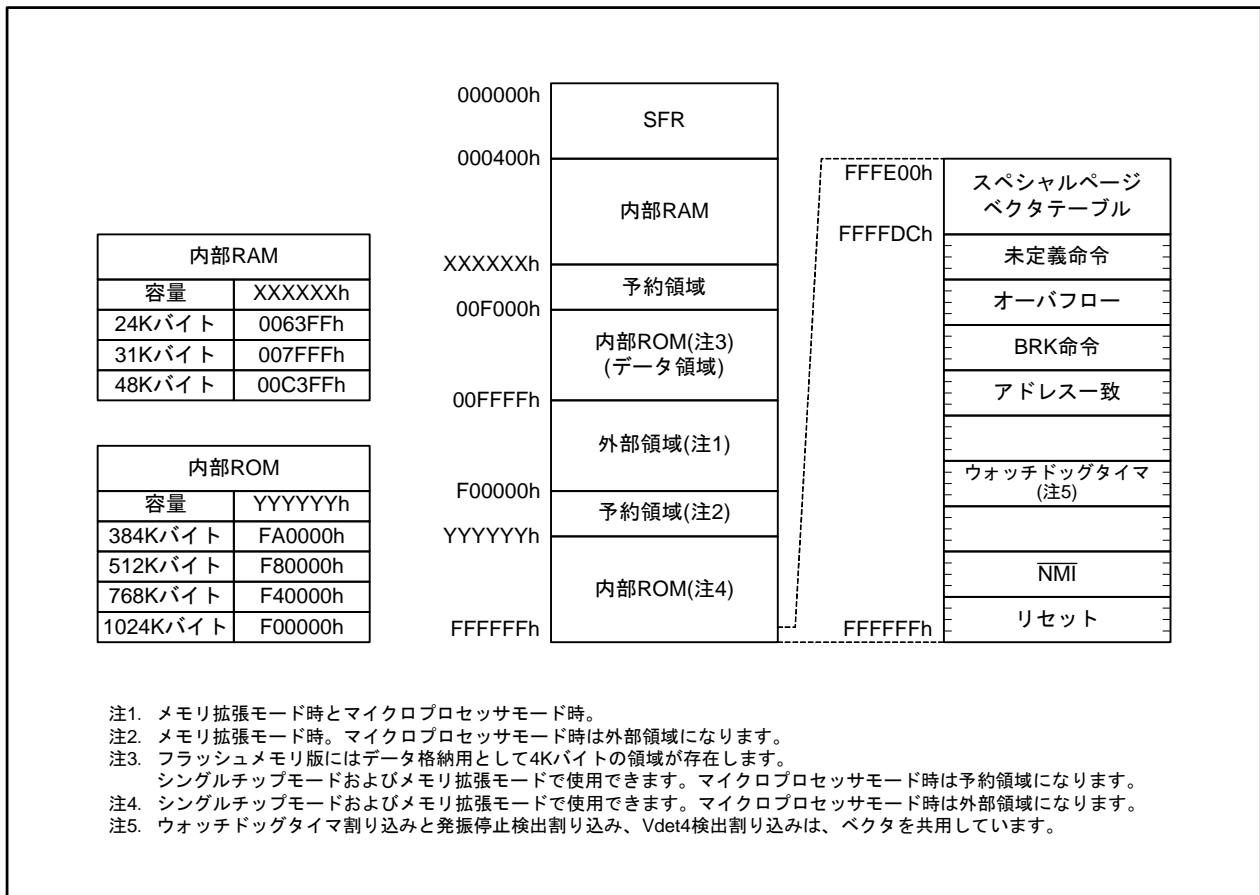


図3.1 メモリ配置図

4. SFR

SFR(Special Function Registers)は、周辺機能の制御レジスタです。表4.1～表4.18にSFR一覧を示します。

表4.1 SFR一覧(1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0(注1)	PM0	1000 0000b(CNVSS端子が“L”) 0000 0011b(CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	0000 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	XXXX 0000b
000Bh	外部データバス幅制御レジスタ	DS	XXXX 1000b(BYTE端子が“L”) XXXX 0000b(BYTE端子が“H”)
000Ch	メインクロック分周レジスタ	MCD	XXX0 1000b
000Dh	発振停止検出レジスタ	CM2	00h
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb
0010h			
0011h	アドレス一致割り込みレジスタ0	RMAD0	000000h
0012h			
0013h	プロセッサモードレジスタ2	PM2	00h
0014h			
0015h	アドレス一致割り込みレジスタ1	RMAD1	000000h
0016h			
0017h	電圧検出レジスタ2	VCR2	00h
0018h			
0019h	アドレス一致割り込みレジスタ2	RMAD2	000000h
001Ah			
001Bh	電圧検出レジスタ1	VCR1	0000 1000b
001Ch			
001Dh	アドレス一致割り込みレジスタ3	RMAD3	000000h
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	PLL制御レジスタ0	PLC0	0001 X010b
0027h	PLL制御レジスタ1	PLC1	000X 0000b
0028h			
0029h	アドレス一致割り込みレジスタ4	RMAD4	000000h
002Ah			
002Bh			
002Ch			
002Dh	アドレス一致割り込みレジスタ5	RMAD5	000000h
002Eh			
002Fh	Vdet4検出割り込みレジスタ	D4INT	XX00 0000b

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0レジスタのPM01～PM00ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

表 4.2 SFR 一覧 (2)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h	アドレス一致割り込みレジスタ6	RMAD6	000000h
003Ah			
003Bh			
003Ch			
003Dh	アドレス一致割り込みレジスタ7	RMAD7	000000h
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	外部領域ウェイト制御レジスタ0	EWCR0	X0X0 0011b
0049h	外部領域ウェイト制御レジスタ1	EWCR1	X0X0 0011b
004Ah	外部領域ウェイト制御レジスタ2	EWCR2	X0X0 0011b
004Bh	外部領域ウェイト制御レジスタ3	EWCR3	X0X0 0011b
004Ch			
004Dh			
004Eh			
004Fh			
0050h			
0051h			
0052h			
0053h			
0054h			
0055h	フラッシュメモリ制御レジスタ1	FMR1	0000 0X0Xb
0056h			
0057h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b(フラッシュメモリ版) XXXX XXX0b(マスクROM版)
0058h			
0059h			
005Ah			
005Bh			
005Ch			
005Dh			
005Eh			
005Fh			

X : 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.3 SFR 一覧 (3)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h	DMA0 割り込み制御レジスタ	DM0IC	XXXX X000b
0069h	タイマ B5 割り込み制御レジスタ	TB5IC	XXXX X000b
006Ah	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Bh	UART2 受信 / ACK 割り込み制御レジスタ	S2RIC	XXXX X000b
006Ch	タイマ A0 割り込み制御レジスタ	TA0IC	XXXX X000b
006Dh	UART3 受信 / ACK 割り込み制御レジスタ	S3RIC	XXXX X000b
006Eh	タイマ A2 割り込み制御レジスタ	TA2IC	XXXX X000b
006Fh	UART4 受信 / ACK 割り込み制御レジスタ	S4RIC	XXXX X000b
0070h	タイマ A4 割り込み制御レジスタ	TA4IC	XXXX X000b
0071h	UART0 / UART3 バス衝突検出割り込み制御レジスタ	BCN0IC / BCN3IC	XXXX X000b
0072h	UART0 受信 / ACK 割り込み制御レジスタ	S0RIC	XXXX X000b
0073h	A/D0 変換割り込み制御レジスタ	AD0IC	XXXX X000b
0074h	UART1 受信 / ACK 割り込み制御レジスタ	S1RIC	XXXX X000b
0075h	インテリジェント I/O 割り込み制御レジスタ 0 / CAN1 割り込み制御レジスタ 0	IIO0IC / CAN3IC	XXXX X000b
0076h	タイマ B1 割り込み制御レジスタ	TB1IC	XXXX X000b
0077h	インテリジェント I/O 割り込み制御レジスタ 2	IIO2IC	XXXX X000b
0078h	タイマ B3 割り込み制御レジスタ	TB3IC	XXXX X000b
0079h	インテリジェント I/O 割り込み制御レジスタ 4	IIO4IC	XXXX X000b
007Ah	INT5 割り込み制御レジスタ	INT5IC	XX00 X000b
007Bh	インテリジェント I/O 割り込み制御レジスタ 6	IIO6IC	XXXX X000b
007Ch	INT3 割り込み制御レジスタ	INT3IC	XX00 X000b
007Dh	インテリジェント I/O 割り込み制御レジスタ 8	IIO8IC	XXXX X000b
007Eh	INT1 割り込み制御レジスタ	INT1IC	XX00 X000b
007Fh	インテリジェント I/O 割り込み制御レジスタ 10 / CAN0 割り込み制御レジスタ 1	IIO10IC / CAN1IC	XXXX X000b
0080h			
0081h	インテリジェント I/O 割り込み制御レジスタ 11 / CAN0 割り込み制御レジスタ 2	IIO11IC / CAN2IC	XXXX X000b
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DMA1 割り込み制御レジスタ	DM1IC	XXXX X000b
0089h	UART2 送信 / NACK 割り込み制御レジスタ	S2TIC	XXXX X000b
008Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b
008Bh	UART3 送信 / NACK 割り込み制御レジスタ	S3TIC	XXXX X000b
008Ch	タイマ A1 割り込み制御レジスタ	TA1IC	XXXX X000b
008Dh	UART4 送信 / NACK 割り込み制御レジスタ	S4TIC	XXXX X000b
008Eh	タイマ A3 割り込み制御レジスタ	TA3IC	XXXX X000b
008Fh	UART2 バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X000b

X : 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.4 SFR 一覧 (4)

番地	レジスタ	シンボル	リセット後の値
0090h	UART0送信 / NACK割り込み制御レジスタ	S0TIC	XXXX X000b
0091h	UART1 / UART4バス衝突検出割り込み制御レジスタ	BCN1IC / BCN4IC	XXXX X000b
0092h	UART1送信 / NACK割り込み制御レジスタ	S1TIC	XXXX X000b
0093h	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
0094h	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
0095h	インテリジェントI/O割り込み制御レジスタ1 / CAN1割り込み制御レジスタ1	IIO1IC / CAN4IC	XXXX X000b
0096h	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
0097h	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000b
0098h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
0099h	インテリジェントI/O割り込み制御レジスタ5 / CAN1割り込み制御レジスタ2	IIO5IC / CAN5IC	XXXX X000b
009Ah	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
009Bh	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000b
009Ch	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
009Dh	インテリジェントI/O割り込み制御レジスタ9 / CAN0割り込み制御レジスタ0	IIO9IC / CAN0IC	XXXX X000b
009Eh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
009Fh	復帰用優先順位レジスタ	RLVL	XXXX 0000b
00A0h	割り込み要求レジスタ0	IIO0IR	0000 000Xb
00A1h	割り込み要求レジスタ1	IIO1IR	0000 000Xb
00A2h	割り込み要求レジスタ2	IIO2IR	0000 000Xb
00A3h	割り込み要求レジスタ3	IIO3IR	0000 000Xb
00A4h	割り込み要求レジスタ4	IIO4IR	0000 000Xb
00A5h	割り込み要求レジスタ5	IIO5IR	0000 000Xb
00A6h	割り込み要求レジスタ6	IIO6IR	0000 000Xb
00A7h	割り込み要求レジスタ7	IIO7IR	0000 000Xb
00A8h	割り込み要求レジスタ8	IIO8IR	0000 000Xb
00A9h	割り込み要求レジスタ9	IIO9IR	0000 000Xb
00AAh	割り込み要求レジスタ10	IIO10IR	0000 000Xb
00ABh	割り込み要求レジスタ11	IIO11IR	0000 000Xb
00ACh			
00ADh			
00AEh			
00AFh			
00B0h	割り込み許可レジスタ0	IIO0IE	00h
00B1h	割り込み許可レジスタ1	IIO1IE	00h
00B2h	割り込み許可レジスタ2	IIO2IE	00h
00B3h	割り込み許可レジスタ3	IIO3IE	00h
00B4h	割り込み許可レジスタ4	IIO4IE	00h
00B5h	割り込み許可レジスタ5	IIO5IE	00h
00B6h	割り込み許可レジスタ6	IIO6IE	00h
00B7h	割り込み許可レジスタ7	IIO7IE	00h
00B8h	割り込み許可レジスタ8	IIO8IE	00h
00B9h	割り込み許可レジスタ9	IIO9IE	00h
00BAh	割り込み許可レジスタ10	IIO10IE	00h
00BBh	割り込み許可レジスタ11	IIO11IE	00h
00BCh			
00BDh			
00BEh			
00BFh			
~			
00DFh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.5 SFR 一覧 (5)

番地	レジスタ	シンボル	リセット後の値
00E0h			
00E1h			
00E2h			
00E3h			
00E4h			
00E5h			
00E6h			
00E7h			
00E8h	グループ0 SI/O受信バッファレジスタ	GORB	XXXX XXXXb XXX0 XXXXb
00E9h			
00EAh	グループ0 送信バッファ / 受信データレジスタ	GOTB / GODR	XXh
00EBh			
00ECh	グループ0 受信入力レジスタ	GORI	XXh
00EDh	グループ0 SI/O通信モードレジスタ	GOMR	00h
00EEh	グループ0 送信出力レジスタ	GOTO	XXh
00EFh	グループ0 SI/O通信制御レジスタ	GOCR	0000 X011b
00F0h	グループ0 データ比較レジスタ0	GOCMP0	XXh
00F1h	グループ0 データ比較レジスタ1	GOCMP1	XXh
00F2h	グループ0 データ比較レジスタ2	GOCMP2	XXh
00F3h	グループ0 データ比較レジスタ3	GOCMP3	XXh
00F4h	グループ0 データマスクレジスタ0	GOMSK0	XXh
00F5h	グループ0 データマスクレジスタ1	GOMSK1	XXh
00F6h	通信クロック選択レジスタ	CCS	XXXX 0000b
00F7h			
00F8h	グループ0 受信CRCコードレジスタ	GORCRC	XXXXh
00F9h			
00FAh	グループ0 送信CRCコードレジスタ	GOTCRC	0000h
00FBh			
00FCh	グループ0 SI/O拡張モードレジスタ	G0EMR	00h
00FDh	グループ0 SI/O拡張受信制御レジスタ	G0ERC	00h
00FEh	グループ0 SI/O特殊通信割り込み判別レジスタ	G0IRF	0000 XXXXb
00FFh	グループ0 SI/O拡張送信制御レジスタ	G0ETC	0000 0XXXXb
0100h	グループ1 時間計測 / 波形生成レジスタ0	G1TM0 / G1PO0	XXXXh
0101h			
0102h	グループ1 時間計測 / 波形生成レジスタ1	G1TM1 / G1PO1	XXXXh
0103h			
0104h	グループ1 時間計測 / 波形生成レジスタ2	G1TM2 / G1PO2	XXXXh
0105h			
0106h	グループ1 時間計測 / 波形生成レジスタ3	G1TM3 / G1PO3	XXXXh
0107h			
0108h	グループ1 時間計測 / 波形生成レジスタ4	G1TM4 / G1PO4	XXXXh
0109h			
010Ah	グループ1 時間計測 / 波形生成レジスタ5	G1TM5 / G1PO5	XXXXh
010Bh			
010Ch	グループ1 時間計測 / 波形生成レジスタ6	G1TM6 / G1PO6	XXXXh
010Dh			
010Eh	グループ1 時間計測 / 波形生成レジスタ7	G1TM7 / G1PO7	XXXXh
010Fh			
0110h	グループ1 波形生成制御レジスタ0	G1POCR0	0000 X000b
0111h	グループ1 波形生成制御レジスタ1	G1POCR1	0X00 X000b
0112h	グループ1 波形生成制御レジスタ2	G1POCR2	0X00 X000b
0113h	グループ1 波形生成制御レジスタ3	G1POCR3	0X00 X000b
0114h	グループ1 波形生成制御レジスタ4	G1POCR4	0X00 X000b
0115h	グループ1 波形生成制御レジスタ5	G1POCR5	0X00 X000b
0116h	グループ1 波形生成制御レジスタ6	G1POCR6	0X00 X000b
0117h	グループ1 波形生成制御レジスタ7	G1POCR7	0X00 X000b
0118h	グループ1 時間計測制御レジスタ0	G1TMCR0	00h
0119h	グループ1 時間計測制御レジスタ1	G1TMCR1	00h
011Ah	グループ1 時間計測制御レジスタ2	G1TMCR2	00h
011Bh	グループ1 時間計測制御レジスタ3	G1TMCR3	00h
011Ch	グループ1 時間計測制御レジスタ4	G1TMCR4	00h
011Dh	グループ1 時間計測制御レジスタ5	G1TMCR5	00h
011Eh	グループ1 時間計測制御レジスタ6	G1TMCR6	00h
011Fh	グループ1 時間計測制御レジスタ7	G1TMCR7	00h

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.6 SFR 一覧 (6)

番地	レジスタ	シンボル	リセット後の値
0120h	グループ1 ベースタイマレジスタ	G1BT	XXXXh
0121h			
0122h	グループ1 ベースタイマ制御レジスタ0	G1BCR0	00h
0123h	グループ1 ベースタイマ制御レジスタ1	G1BCR1	X000 000Xb
0124h	グループ1 時間計測プリスケアラレジスタ6	G1TPR6	00h
0125h	グループ1 時間計測プリスケアラレジスタ7	G1TPR7	00h
0126h	グループ1 機能許可レジスタ	G1FE	00h
0127h	グループ1 機能選択レジスタ	G1FS	00h
0128h	グループ1 SI/O受信バッファレジスタ	G1RB	XXXX XXXXb X000 XXXXb
0129h			
012Ah	グループ1 送信バッファ/受信データレジスタ	G1TB / G1DR	XXh
012Bh			
012Ch	グループ1 受信入力レジスタ	G1RI	XXh
012Dh	グループ1 SI/O通信モードレジスタ	G1MR	00h
012Eh	グループ1 送信出力レジスタ	G1TO	XXh
012Fh	グループ1 SI/O通信制御レジスタ	G1CR	0000 X011b
0130h	グループ1 データ比較レジスタ0	G1CMP0	XXh
0131h	グループ1 データ比較レジスタ1	G1CMP1	XXh
0132h	グループ1 データ比較レジスタ2	G1CMP2	XXh
0133h	グループ1 データ比較レジスタ3	G1CMP3	XXh
0134h	グループ1 データマスクレジスタ0	G1MSK0	XXh
0135h	グループ1 データマスクレジスタ1	G1MSK1	XXh
0136h			
0137h			
0138h	グループ1 受信CRCコードレジスタ	G1RCRC	XXXXh
0139h			
013Ah	グループ1 送信CRCコードレジスタ	G1TCRC	0000h
013Bh			
013Ch	グループ1 SI/O拡張モードレジスタ	G1EMR	00h
013Dh	グループ1 SI/O拡張受信制御レジスタ	G1ERC	00h
013Eh	グループ1 SI/O特殊通信割り込み判別レジスタ	G1IRF	0000 XXXXb
013Fh	グループ1 SI/O拡張送信制御レジスタ	G1ETC	0000 0XXXb
0140h	グループ2 波形生成レジスタ0	G2PO0	XXXXh
0141h			
0142h	グループ2 波形生成レジスタ1	G2PO1	XXXXh
0143h			
0144h	グループ2 波形生成レジスタ2	G2PO2	XXXXh
0145h			
0146h	グループ2 波形生成レジスタ3	G2PO3	XXXXh
0147h			
0148h	グループ2 波形生成レジスタ4	G2PO4	XXXXh
0149h			
014Ah	グループ2 波形生成レジスタ5	G2PO5	XXXXh
014Bh			
014Ch	グループ2 波形生成レジスタ6	G2PO6	XXXXh
014Dh			
014Eh	グループ2 波形生成レジスタ7	G2PO7	XXXXh
014Fh			
0150h	グループ2 波形生成制御レジスタ0	G2POCR0	00h
0151h	グループ2 波形生成制御レジスタ1	G2POCR1	00h
0152h	グループ2 波形生成制御レジスタ2	G2POCR2	00h
0153h	グループ2 波形生成制御レジスタ3	G2POCR3	00h
0154h	グループ2 波形生成制御レジスタ4	G2POCR4	00h
0155h	グループ2 波形生成制御レジスタ5	G2POCR5	00h
0156h	グループ2 波形生成制御レジスタ6	G2POCR6	00h
0157h	グループ2 波形生成制御レジスタ7	G2POCR7	00h
0158h			
0159h			
015Ah			
~			
015Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.7 SFR 一覧 (7)

番地	レジスタ	シンボル	リセット後の値
0160h	グループ2 ベースタイマレジスタ	G2BT	XXXXh
0161h			
0162h	グループ2 ベースタイマ制御レジスタ0	G2BCR0	00h
0163h	グループ2 ベースタイマ制御レジスタ1	G2BCR1	00h
0164h	ベースタイマスタートレジスタ	BTSR	XXXX 0000b
0165h			
0166h	グループ2 機能許可レジスタ	G2FE	00h
0167h	グループ2 RTP出力バッファレジスタ	G2RTP	00h
0168h			
0169h			
016Ah	グループ2 SI/O通信モードレジスタ	G2MR	00XX X000b
016Bh	グループ2 SI/O通信制御レジスタ	G2CR	0000 X000b
016Ch	グループ2 SI/O送信バッファレジスタ	G2TB	XXXXh
016Dh			
016Eh	グループ2 SI/O受信バッファレジスタ	G2RB	XXXXh
016Fh			
0170h	グループ2 IEBus アドレスレジスタ	IEAR	XXXXh
0171h			
0172h	グループ2 IEBus 制御レジスタ	IECR	00XX X000b
0173h	グループ2 IEBus 送信割り込み要因判別レジスタ	IETIF	XXX0 0000b
0174h	グループ2 IEBus 受信割り込み要因判別レジスタ	IERIF	XXX0 0000b
0175h			
0176h			
0177h	入力機能選択レジスタB	IPSB	00h
0178h	入力機能選択レジスタ	IPS	00h
0179h	入力機能選択レジスタA	IPSA	00h
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
~			
01BFh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.8 SFR 一覧 (8)

番地	レジスタ(注1、2)	シンボル	リセット後の値
01C0h	UART5送受信モードレジスタ	U5MR	00h
01C1h	UART5通信速度レジスタ	U5BRG	XXh
01C2h	UART5送信バッファレジスタ	U5TB	XXXXh
01C3h			
01C4h	UART5送受信制御レジスタ0	U5C0	0000 1000b
01C5h	UART5送受信制御レジスタ1	U5C1	XXXX 0010b
01C6h	UART5受信バッファレジスタ	U5RB	XXXXh
01C7h			
01C8h	UART6送受信モードレジスタ	U6MR	00h
01C9h	UART6通信速度レジスタ	U6BRG	XXh
01CAh	UART6送信バッファレジスタ	U6TB	XXXXh
01CBh			
01CCh	UART6送受信制御レジスタ0	U6C0	0000 1000b
01CDh	UART6送受信制御レジスタ1	U6C1	XXXX 0010b
01CEh	UART6 受信バッファレジスタ	U6RB	XXXXh
01CFh			
01D0h	UART5,6送受信制御レジスタ	U56CON	X000 0000b
01D1h	UART5,6入力端子機能選択レジスタ	U56IS	X000 X000b
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h	RTP出力バッファレジスタ0	RTP0R	XXh
01D9h	RTP出力バッファレジスタ1	RTP1R	XXh
01DAh	RTP出力バッファレジスタ2	RTP2R	XXh
01DBh	RTP出力バッファレジスタ3	RTP3R	XXh
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	CAN0メッセージスロットバッファ0標準ID0	C0SLOT0_0	XXh
01E1h	CAN0メッセージスロットバッファ0標準ID1	C0SLOT0_1	XXh
01E2h	CAN0メッセージスロットバッファ0拡張ID0	C0SLOT0_2	XXh
01E3h	CAN0メッセージスロットバッファ0拡張ID1	C0SLOT0_3	XXh
01E4h	CAN0メッセージスロットバッファ0拡張ID2	C0SLOT0_4	XXh
01E5h	CAN0メッセージスロットバッファ0データ長コード	C0SLOT0_5	XXh
01E6h	CAN0メッセージスロットバッファ0データ0	C0SLOT0_6	XXh
01E7h	CAN0メッセージスロットバッファ0データ1	C0SLOT0_7	XXh
01E8h	CAN0メッセージスロットバッファ0データ2	C0SLOT0_8	XXh
01E9h	CAN0メッセージスロットバッファ0データ3	C0SLOT0_9	XXh
01EAh	CAN0メッセージスロットバッファ0データ4	C0SLOT0_10	XXh
01EBh	CAN0メッセージスロットバッファ0データ5	C0SLOT0_11	XXh
01ECh	CAN0メッセージスロットバッファ0データ6	C0SLOT0_12	XXh
01EDh	CAN0メッセージスロットバッファ0データ7	C0SLOT0_13	XXh
01EEh	CAN0メッセージスロットバッファ0タイムスタンプ上位	C0SLOT0_14	XXh
01EFh	CAN0メッセージスロットバッファ0タイムスタンプ下位	C0SLOT0_15	XXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注2. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)にアクセスしてください。

表 4.9 SFR 一覧 (9)

番地	レジスタ(注2、3)	シンボル	リセット後の値
01F0h	CAN0メッセージスロットバッファ1標準ID0	C0SLOT1_0	XXh
01F1h	CAN0メッセージスロットバッファ1標準ID1	C0SLOT1_1	XXh
01F2h	CAN0メッセージスロットバッファ1拡張ID0	C0SLOT1_2	XXh
01F3h	CAN0メッセージスロットバッファ1拡張ID1	C0SLOT1_3	XXh
01F4h	CAN0メッセージスロットバッファ1拡張ID2	C0SLOT1_4	XXh
01F5h	CAN0メッセージスロットバッファ1データ長コード	C0SLOT1_5	XXh
01F6h	CAN0メッセージスロットバッファ1データ0	C0SLOT1_6	XXh
01F7h	CAN0メッセージスロットバッファ1データ1	C0SLOT1_7	XXh
01F8h	CAN0メッセージスロットバッファ1データ2	C0SLOT1_8	XXh
01F9h	CAN0メッセージスロットバッファ1データ3	C0SLOT1_9	XXh
01FAh	CAN0メッセージスロットバッファ1データ4	C0SLOT1_10	XXh
01FBh	CAN0メッセージスロットバッファ1データ5	C0SLOT1_11	XXh
01FCh	CAN0メッセージスロットバッファ1データ6	C0SLOT1_12	XXh
01FDh	CAN0メッセージスロットバッファ1データ7	C0SLOT1_13	XXh
01FEh	CAN0メッセージスロットバッファ1タイムスタンプ上位	C0SLOT1_14	XXh
01FFh	CAN0メッセージスロットバッファ1タイムスタンプ下位	C0SLOT1_15	XXh
0200h	CAN0制御レジスタ0	C0CTRL0	XX01 0X01b(注1)
0201h			XXXX 0000b(注1)
0202h	CAN0ステータスレジスタ	C0STR	0000 0000b(注1)
0203h			X000 0X01b(注1)
0204h	CAN0拡張IDレジスタ	C0IDR	0000h(注1)
0205h			
0206h	CAN0コンフィグレーションレジスタ	C0CONR	0000 XXXXb(注1)
0207h			0000 0000b(注1)
0208h	CAN0タイムスタンプレジスタ	C0TSR	0000h(注1)
0209h			
020Ah	CAN0送信エラーカウントレジスタ	C0TEC	00h(注1)
020Bh	CAN0受信エラーカウントレジスタ	C0REC	00h(注1)
020Ch	CAN0スロット割り込みステータスレジスタ	C0SISTR	0000h(注1)
020Dh			
020Eh			
020Fh			
0210h	CAN0スロット割り込みマスクレジスタ	C0SIMKR	0000h(注1)
0211h			
0212h			
0213h			
0214h	CAN0エラー割り込みマスクレジスタ	C0EIMKR	XXXX X000b(注1)
0215h	CAN0エラー割り込みステータスレジスタ	C0EISTR	XXXX X000b(注1)
0216h	CAN0エラー要因レジスタ	C0EFR	00h(注1)
0217h	CAN0ポーレートプリスケアラ	C0BRP	0000 0001b(注1)
0218h			
0219h	CAN0モードレジスタ	C0MDR	XXXX XX00b(注1)
021Ah			
021Bh			
021Ch			
021Dh			
021Eh			
021Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注2. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注3. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)をアクセスしてください。

表 4.10 SFR 一覧 (10)

番地	レジスタ(注3、4)	シンボル	リセット後の値
0220h	CAN0シングルショット制御レジスタ	C0SSCTLR	0000h(注1、2)
0221h			
0222h			
0223h			
0224h	CAN0シングルショットステータスレジスタ	C0SSSTR	0000h(注1、2)
0225h			
0226h			
0227h			
0228h	CAN0グローバルマスクレジスタ標準ID0	C0GMR0	XXX0 0000b(注1、2)
0229h	CAN0グローバルマスクレジスタ標準ID1	C0GMR1	XX00 0000b(注1、2)
022Ah	CAN0グローバルマスクレジスタ拡張ID0	C0GMR2	XXXX 0000b(注1、2)
022Bh	CAN0グローバルマスクレジスタ拡張ID1	C0GMR3	00h(注1、2)
022Ch	CAN0グローバルマスクレジスタ拡張ID2	C0GMR4	XX00 0000b(注1、2)
022Dh			
022Eh			
022Fh			
0230h	CAN0メッセージスロット0制御レジスタ/ CAN0ローカルマスクレジスタA標準ID0	C0MCTL0 / C0LMAR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
0231h	CAN0メッセージスロット1制御レジスタ/ CAN0ローカルマスクレジスタA標準ID1	C0MCTL1 / C0LMAR1	0000 0000b(注1、2) XX00 0000b(注1、2)
0232h	CAN0メッセージスロット2制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID0	C0MCTL2 / C0LMAR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
0233h	CAN0メッセージスロット3制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID1	C0MCTL3 / C0LMAR3	00h(注1、2) 00h(注1、2)
0234h	CAN0メッセージスロット4制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID2	C0MCTL4 / C0LMAR4	0000 0000b(注1、2) XX00 0000b(注1、2)
0235h	CAN0メッセージスロット5制御レジスタ	C0MCTL5	00h(注1、2)
0236h	CAN0メッセージスロット6制御レジスタ	C0MCTL6	00h(注1、2)
0237h	CAN0メッセージスロット7制御レジスタ	C0MCTL7	00h(注1、2)
0238h	CAN0メッセージスロット8制御レジスタ/ CAN0ローカルマスクレジスタB標準ID0	C0MCTL8 / C0LMBR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
0239h	CAN0メッセージスロット9制御レジスタ/ CAN0ローカルマスクレジスタB標準ID1	C0MCTL9 / C0LMBR1	0000 0000b(注1、2) XX00 0000b(注1、2)
023Ah	CAN0メッセージスロット10制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID0	C0MCTL10 / C0LMBR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
023Bh	CAN0メッセージスロット11制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID1	C0MCTL11 / C0LMBR3	00h(注1、2) 00h(注1、2)
023Ch	CAN0メッセージスロット12制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID2	C0MCTL12 / C0LMBR4	0000 0000b(注1、2) XX00 0000b(注1、2)
023Dh	CAN0メッセージスロット13制御レジスタ	C0MCTL13	00h(注1、2)
023Eh	CAN0メッセージスロット14制御レジスタ	C0MCTL14	00h(注1、2)
023Fh	CAN0メッセージスロット15制御レジスタ	C0MCTL15	00h(注1、2)
0240h	CAN0スロットバッファ選択レジスタ	C0SBS	00h(注2)
0241h	CAN0制御レジスタ1	C0CTLR1	X000 00XXb(注2)
0242h	CAN0スリープ制御レジスタ	C0SLPR	XXXX XXX0b
0243h			
0244h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	00h(注2)
0245h			01h(注2)
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 0220h~023Fh番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2. リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注3. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注4. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)にアクセスしてください。

表 4.11 SFR 一覧 (11)

番地	レジスタ(注2、3)	シンボル	リセット後の値
0250h	CAN1スロットバッファ選択レジスタ	C1SBS	00h(注1)
0251h	CAN1制御レジスタ1	C1CTRL1	X000 00XXb(注1)
0252h	CAN1スリープ制御レジスタ	C1SLPR	XXXX XXX0b
0253h			
0254h	CAN1アクセプタンスフィルタサポートレジスタ	C1AFS	00h(注1)
0255h			01h(注1)
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			
0260h	CAN1メッセージスロットバッファ0標準ID0	C1SLOT0_0	XXh
0261h	CAN1メッセージスロットバッファ0標準ID1	C1SLOT0_1	XXh
0262h	CAN1メッセージスロットバッファ0拡張ID0	C1SLOT0_2	XXh
0263h	CAN1メッセージスロットバッファ0拡張ID1	C1SLOT0_3	XXh
0264h	CAN1メッセージスロットバッファ0拡張ID2	C1SLOT0_4	XXh
0265h	CAN1メッセージスロットバッファ0データ長コード	C1SLOT0_5	XXh
0266h	CAN1メッセージスロットバッファ0データ0	C1SLOT0_6	XXh
0267h	CAN1メッセージスロットバッファ0データ1	C1SLOT0_7	XXh
0268h	CAN1メッセージスロットバッファ0データ2	C1SLOT0_8	XXh
0269h	CAN1メッセージスロットバッファ0データ3	C1SLOT0_9	XXh
026Ah	CAN1メッセージスロットバッファ0データ4	C1SLOT0_10	XXh
026Bh	CAN1メッセージスロットバッファ0データ5	C1SLOT0_11	XXh
026Ch	CAN1メッセージスロットバッファ0データ6	C1SLOT0_12	XXh
026Dh	CAN1メッセージスロットバッファ0データ7	C1SLOT0_13	XXh
026Eh	CAN1メッセージスロットバッファ0タイムスタンプ上位	C1SLOT0_14	XXh
026Fh	CAN1メッセージスロットバッファ0タイムスタンプ下位	C1SLOT0_15	XXh
0270h	CAN1メッセージスロットバッファ1標準ID0	C1SLOT1_0	XXh
0271h	CAN1メッセージスロットバッファ1標準ID1	C1SLOT1_1	XXh
0272h	CAN1メッセージスロットバッファ1拡張ID0	C1SLOT1_2	XXh
0273h	CAN1メッセージスロットバッファ1拡張ID1	C1SLOT1_3	XXh
0274h	CAN1メッセージスロットバッファ1拡張ID2	C1SLOT1_4	XXh
0275h	CAN1メッセージスロットバッファ1データ長コード	C1SLOT1_5	XXh
0276h	CAN1メッセージスロットバッファ1データ0	C1SLOT1_6	XXh
0277h	CAN1メッセージスロットバッファ1データ1	C1SLOT1_7	XXh
0278h	CAN1メッセージスロットバッファ1データ2	C1SLOT1_8	XXh
0279h	CAN1メッセージスロットバッファ1データ3	C1SLOT1_9	XXh
027Ah	CAN1メッセージスロットバッファ1データ4	C1SLOT1_10	XXh
027Bh	CAN1メッセージスロットバッファ1データ5	C1SLOT1_11	XXh
027Ch	CAN1メッセージスロットバッファ1データ6	C1SLOT1_12	XXh
027Dh	CAN1メッセージスロットバッファ1データ7	C1SLOT1_13	XXh
027Eh	CAN1メッセージスロットバッファ1タイムスタンプ上位	C1SLOT1_14	XXh
027Fh	CAN1メッセージスロットバッファ1タイムスタンプ下位	C1SLOT1_15	XXh
0280h	CAN1制御レジスタ0	C1CTRL0	XX01 0X01b(注1)
0281h			XXXX 0000b(注1)
0282h	CAN1ステータスレジスタ	C1STR	0000 0000b(注1)
0283h			X000 0X01b(注1)
0284h	CAN1拡張IDレジスタ	C1IDR	0000h(注1)
0285h			
0286h	CAN1コンフィグレーションレジスタ	C1CONR	0000 XXXXb(注1)
0287h			0000 0000b(注1)
0288h	CAN1タイムスタンプレジスタ	C1TSR	0000h(注1)
0289h			
028Ah	CAN1送信エラーカウントレジスタ	C1TEC	00h(注1)
028Bh	CAN1受信エラーカウントレジスタ	C1REC	00h(注1)
028Ch	CAN1スロット割り込みステータスレジスタ	C1SISTR	0000h(注1)
028Dh			
028Eh			
028Fh			

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

注1. リセット後、C1SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注2. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注3. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)にアクセスしてください。

表 4.12 SFR 一覧 (12)

番地	レジスタ (注3、4)	シンボル	リセット後の値
0290h	CAN1 スロット割り込みマスクレジスタ	C1SIMKR	0000h(注2)
0291h			
0292h			
0293h			
0294h	CAN1 エラー割り込みマスクレジスタ	C1EIMKR	XXXX X000b(注2)
0295h	CAN1 エラー割り込みステータスレジスタ	C1EISTR	XXXX X000b(注2)
0296h	CAN1 エラー要因レジスタ	C1EFR	00h(注2)
0297h	CAN1 ボーレートプリスケアラ	C1BRP	0000 0001b(注2)
0298h			
0299h	CAN1 モードレジスタ	C1MDR	XXXX XX00b(注2)
029Ah			
029Bh			
029Ch			
029Dh			
029Eh			
029Fh			
02A0h	CAN1 シングルショット制御レジスタ	C1SSCTLR	0000h(注1、2)
02A1h			
02A2h			
02A3h			
02A4h	CAN1 シングルショットステータスレジスタ	C1SSSTR	0000h(注1、2)
02A5h			
02A6h			
02A7h			
02A8h	CAN1 グローバルマスクレジスタ標準ID0	C1GMR0	XXX0 0000b(注1、2)
02A9h	CAN1 グローバルマスクレジスタ標準ID1	C1GMR1	XX00 0000b(注1、2)
02AAh	CAN1 グローバルマスクレジスタ拡張ID0	C1GMR2	XXXX 0000b(注1、2)
02ABh	CAN1 グローバルマスクレジスタ拡張ID1	C1GMR3	00h(注1、2)
02ACh	CAN1 グローバルマスクレジスタ拡張ID2	C1GMR4	XX00 0000b(注1、2)
02ADh			
02AEh			
02AFh			
02B0h	CAN1 メッセージスロット0制御レジスタ/ CAN1 ローカルマスクレジスタA標準ID0	C1MCTL0 / C1LMAR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
02B1h	CAN1 メッセージスロット1制御レジスタ/ CAN1 ローカルマスクレジスタA標準ID1	C1MCTL1 / C1LMAR1	0000 0000b(注1、2) XX00 0000b(注1、2)
02B2h	CAN1 メッセージスロット2制御レジスタ/ CAN1 ローカルマスクレジスタA拡張ID0	C1MCTL2 / C1LMAR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
02B3h	CAN1 メッセージスロット3制御レジスタ/ CAN1 ローカルマスクレジスタA拡張ID1	C1MCTL3 / C1LMAR3	00h(注1、2) 00h(注1、2)
02B4h	CAN1 メッセージスロット4制御レジスタ/ CAN1 ローカルマスクレジスタA拡張ID2	C1MCTL4 / C1LMAR4	0000 0000b(注1、2) XX00 0000b(注1、2)
02B5h	CAN1 メッセージスロット5制御レジスタ	C1MCTL5	00h(注1、2)
02B6h	CAN1 メッセージスロット6制御レジスタ	C1MCTL6	00h(注1、2)
02B7h	CAN1 メッセージスロット7制御レジスタ	C1MCTL7	00h(注1、2)
02B8h	CAN1 メッセージスロット8制御レジスタ/ CAN1 ローカルマスクレジスタB標準ID0	C1MCTL8 / C1LMBR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
02B9h	CAN1 メッセージスロット9制御レジスタ/ CAN1 ローカルマスクレジスタB標準ID1	C1MCTL9 / C1LMBR1	0000 0000b(注1、2) XX00 0000b(注1、2)
02BAh	CAN1 メッセージスロット10制御レジスタ/ CAN1 ローカルマスクレジスタB拡張ID0	C1MCTL10 / C1LMBR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
02BBh	CAN1 メッセージスロット11制御レジスタ/ CAN1 ローカルマスクレジスタB拡張ID1	C1MCTL11 / C1LMBR3	00h(注1、2) 00h(注1、2)
02BCh	CAN1 メッセージスロット12制御レジスタ/ CAN1 ローカルマスクレジスタB拡張ID2	C1MCTL12 / C1LMBR4	0000 0000b(注1、2) XX00 0000b(注1、2)
02BDh	CAN1 メッセージスロット13制御レジスタ	C1MCTL13	00h(注1、2)
02BEh	CAN1 メッセージスロット14制御レジスタ	C1MCTL14	00h(注1、2)
02BFh	CAN1 メッセージスロット15制御レジスタ	C1MCTL15	00h(注1、2)

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 02A0h~02BFh番地は、C1CLR1レジスタのBANKSELビットで機能を切り替えられます。

注2. リセット後、C1SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注3. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注4. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)をアクセスしてください。

表 4.13 SFR 一覧 (13)

番地	レジスタ	シンボル	リセット後の値
02C0h 02C1h	X0レジスタ、Y0レジスタ	X0R、Y0R	XXXXh
02C2h 02C3h	X1レジスタ、Y1レジスタ	X1R、Y1R	XXXXh
02C4h 02C5h	X2レジスタ、Y2レジスタ	X2R、Y2R	XXXXh
02C6h 02C7h	X3レジスタ、Y3レジスタ	X3R、Y3R	XXXXh
02C8h 02C9h	X4レジスタ、Y4レジスタ	X4R、Y4R	XXXXh
02CAh 02CBh	X5レジスタ、Y5レジスタ	X5R、Y5R	XXXXh
02CCh 02CDh	X6レジスタ、Y6レジスタ	X6R、Y6R	XXXXh
02CEh 02CFh	X7レジスタ、Y7レジスタ	X7R、Y7R	XXXXh
02D0h 02D1h	X8レジスタ、Y8レジスタ	X8R、Y8R	XXXXh
02D2h 02D3h	X9レジスタ、Y9レジスタ	X9R、Y9R	XXXXh
02D4h 02D5h	X10レジスタ、Y10レジスタ	X10R、Y10R	XXXXh
02D6h 02D7h	X11レジスタ、Y11レジスタ	X11R、Y11R	XXXXh
02D8h 02D9h	X12レジスタ、Y12レジスタ	X12R、Y12R	XXXXh
02DAh 02DBh	X13レジスタ、Y13レジスタ	X13R、Y13R	XXXXh
02DCh 02DDh	X14レジスタ、Y14レジスタ	X14R、Y14R	XXXXh
02DEh 02DFh	X15レジスタ、Y15レジスタ	X15R、Y15R	XXXXh
02E0h	X/Y制御レジスタ	XYC	XXXX XX00b
02E1h			
02E2h			
02E3h			
02E4h	UART1特殊モードレジスタ4	U1SMR4	00h
02E5h	UART1特殊モードレジスタ3	U1SMR3	00h
02E6h	UART1特殊モードレジスタ2	U1SMR2	00h
02E7h	UART1特殊モードレジスタ	U1SMR	00h
02E8h	UART1送受信モードレジスタ	U1MR	00h
02E9h	UART1通信速度レジスタ	U1BRG	XXh
02EAh 02EBh	UART1送信バッファレジスタ	U1TB	XXXXh
02ECh	UART1送受信制御レジスタ0	U1C0	0000 1000b
02EDh	UART1送受信制御レジスタ1	U1C1	0000 0010b
02EEh 02EFh	UART1受信バッファレジスタ	U1RB	XXXXh
02F0h			
02F1h			
02F2h			
02F3h			
02F4h	UART4特殊モードレジスタ4	U4SMR4	00h
02F5h	UART4特殊モードレジスタ3	U4SMR3	00h
02F6h	UART4特殊モードレジスタ2	U4SMR2	00h
02F7h	UART4特殊モードレジスタ	U4SMR	00h
02F8h	UART4送受信モードレジスタ	U4MR	00h
02F9h	UART4通信速度レジスタ	U4BRG	XXh
02FAh 02FBh	UART4送信バッファレジスタ	U4TB	XXXXh
02FCh	UART4送受信制御レジスタ0	U4C0	0000 1000b
02FDh	UART4送受信制御レジスタ1	U4C1	0000 0010b
02FEh 02FFh	UART4受信バッファレジスタ	U4RB	XXXXh

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.14 SFR 一覧 (14)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマB3,B4,B5カウント開始レジスタ	TBSR	000X XXXXb
0301h			
0302h	タイマA11レジスタ	TA11	XXXXh
0303h			
0304h	タイマA21レジスタ	TA21	XXXXh
0305h			
0306h	タイマA41レジスタ	TA41	XXXXh
0307h			
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh			
030Fh			
0310h	タイマB3レジスタ	TB3	XXXXh
0311h			
0312h	タイマB4レジスタ	TB4	XXXXh
0313h			
0314h	タイマB5レジスタ	TB5	XXXXh
0315h			
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
031Eh	外部割り込み要因選択レジスタ1(注1)	IFSRA	00h
031Fh	外部割り込み要因選択レジスタ	IFSR	00h
0320h			
0321h			
0322h			
0323h			
0324h	UART3特殊モードレジスタ4	U3SMR4	00h
0325h	UART3特殊モードレジスタ3	U3SMR3	00h
0326h	UART3特殊モードレジスタ2	U3SMR2	00h
0327h	UART3特殊モードレジスタ	U3SMR	00h
0328h	UART3送受信モードレジスタ	U3MR	00h
0329h	UART3通信速度レジスタ	U3BRG	XXh
032Ah	UART3送信バッファレジスタ	U3TB	XXXXh
032Bh			
032Ch	UART3送受信制御レジスタ0	U3C0	0000 1000b
032Dh	UART3送受信制御レジスタ1	U3C1	0000 0010b
032Eh	UART3受信バッファレジスタ	U3RB	XXXXh
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h	UART2特殊モードレジスタ4	U2SMR4	00h
0335h	UART2特殊モードレジスタ3	U2SMR3	00h
0336h	UART2特殊モードレジスタ2	U2SMR2	00h
0337h	UART2特殊モードレジスタ	U2SMR	00h
0338h	UART2送受信モードレジスタ	U2MR	00h
0339h	UART2通信速度レジスタ	U2BRG	XXh
033Ah	UART2送信バッファレジスタ	U2TB	XXXXh
033Bh			
033Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
033Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
033Eh	UART2受信バッファレジスタ	U2RB	XXXXh
033Fh			

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

注1. 144ピン版のみあります。

表 4.15 SFR 一覧 (15)

番地	レジスタ	シンボル	リセット後の値
0340h	カウント開始レジスタ	TABSR	00h
0341h	時計用プリスケアラリセットレジスタ	CPSRF	0XXX XXXXb
0342h	ワンショット開始レジスタ	ONSF	00h
0343h	トリガ選択レジスタ	TRGSR	00h
0344h	アップダウン選択レジスタ	UDF	00h
0345h			
0346h	タイマA0レジスタ	TA0	XXXXh
0347h			
0348h	タイマA1レジスタ	TA1	XXXXh
0349h			
034Ah	タイマA2レジスタ	TA2	XXXXh
034Bh			
044Ch	タイマA3レジスタ	TA3	XXXXh
034Dh			
034Eh	タイマA4レジスタ	TA4	XXXXh
034Fh			
0350h	タイマB0レジスタ	TB0	XXXXh
0351h			
0352h	タイマB1レジスタ	TB1	XXXXh
0353h			
0354h	タイマB2レジスタ	TB2	XXXXh
0355h			
0356h	タイマA0モードレジスタ	TA0MR	00h
0357h	タイマA1モードレジスタ	TA1MR	00h
0358h	タイマA2モードレジスタ	TA2MR	00h
0359h	タイマA3モードレジスタ	TA3MR	00h
035Ah	タイマA4モードレジスタ	TA4MR	00h
035Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
035Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
035Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
035Eh	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0b
035Fh	カウントソースプリスケアラレジスタ (注1)	TCSPR	0XXX 0000b
0360h			
0361h			
0362h			
0363h			
0364h	UART0特殊モードレジスタ4	U0SMR4	00h
0365h	UART0特殊モードレジスタ3	U0SMR3	00h
0366h	UART0特殊モードレジスタ2	U0SMR2	00h
0367h	UART0特殊モードレジスタ	U0SMR	00h
0368h	UART0送受信モードレジスタ	U0MR	00h
0369h	UART0通信速度レジスタ	U0BRG	XXh
036Ah			
036Bh	UART0送信バッファレジスタ	U0TB	XXXXh
036Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
036Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
036Eh			
036Fh	UART0受信バッファレジスタ	U0RB	XXXXh
0370h			
0371h			
0372h	IrDA制御レジスタ	IRCON	X000 0000b
0373h			
0374h			
0375h			
0376h			
0377h			
0378h	DMA0要因選択レジスタ	DM0SL	0X00 0000b
0379h	DMA1要因選択レジスタ	DM1SL	0X00 0000b
037Ah	DMA2要因選択レジスタ	DM2SL	0X00 0000b
037Bh	DMA3要因選択レジスタ	DM3SL	0X00 0000b
037Ch			
037Dh	CRCデータレジスタ	CRCD	XXXXh
037Eh	CRCインプットレジスタ	CRCIN	XXh
037Fh			

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタはソフトウェアリセットまたはウォッチドッグタイマリセットを行っても、リセット前の値が保持されます。

表 4.16 SFR 一覧 (16)

番地	レジスタ	シンボル	リセット後の値
0380h	A/D0 レジスタ 0	AD00	00XXh
0381h			
0382h	A/D0 レジスタ 1	AD01	00XXh
0383h			
0384h	A/D0 レジスタ 2	AD02	00XXh
0385h			
0386h	A/D0 レジスタ 3	AD03	00XXh
0387h			
0388h	A/D0 レジスタ 4	AD04	00XXh
0389h			
038Ah	A/D0 レジスタ 5	AD05	00XXh
038Bh			
038Ch	A/D0 レジスタ 6	AD06	00XXh
038Dh			
038Eh	A/D0 レジスタ 7	AD07	00XXh
038Fh			
0390h			
0391h			
0392h	A/D0 制御レジスタ 4	AD0CON4	XXXX 00XXb
0393h			
0394h	A/D0 制御レジスタ 2	AD0CON2	XX0X X000b
0395h	A/D0 制御レジスタ 3	AD0CON3	XXXX X000b
0396h	A/D0 制御レジスタ 0	AD0CON0	00h
0397h	A/D0 制御レジスタ 1	AD0CON1	00h
0398h	D/A レジスタ 0	DA0	XXh
0399h			
039Ah	D/A レジスタ 1	DA1	XXh
039Bh			
039Ch	D/A 制御レジスタ	DACON	XXXX XX00b
039Dh	D/A 制御レジスタ 1	DACON1	XXXX 0000b
039Eh			
039Fh			

X : 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.17 SFR 一覧 (17)

番地	レジスタ	シンボル	リセット後の値
03A0h	機能選択レジスタ A8(注1)	PS8	X000 0000b
03A1h	機能選択レジスタ A9(注1)	PS9	00h
03A2h			
03A3h	機能選択レジスタ B9(注1)	PSL9	XXX0 XX00b
03A4h	機能選択レジスタ E2	PSE2	XXXX XX0Xb
03A5h			
03A6h			
03A7h	機能選択レジスタ D1	PSD1	00X0 XX00b
03A8h	機能選択レジスタ D2	PSD2	XXXX XX0Xb
03A9h			
03AAh	機能選択レジスタ C6(注1)	PSC6	XXXX 0X00b
03ABh	機能選択レジスタ E1	PSE1	00XX XX00b
03ACh	機能選択レジスタ C2	PSC2	XXXX X00Xb
03ADh	機能選択レジスタ C3	PSC3	X0XX XXXXb
03AEh			
03AFh	機能選択レジスタ C	PSC	00h
03B0h	機能選択レジスタ A0	PS0	00h
03B1h	機能選択レジスタ A1	PS1	00h
03B2h	機能選択レジスタ B0	PSL0	00h
03B3h	機能選択レジスタ B1	PSL1	00h
03B4h	機能選択レジスタ A2	PS2	00X0 0000b
03B5h	機能選択レジスタ A3	PS3	00h
03B6h	機能選択レジスタ B2	PSL2	00X0 0000b
03B7h	機能選択レジスタ B3	PSL3	00h
03B8h	機能選択レジスタ A4	PS4	00h
03B9h	機能選択レジスタ A5(注1)	PS5	XXX0 0000b
03BAh			
03BBh	機能選択レジスタ B5(注1)	PSL5	XXX0 0000b
03BCh	機能選択レジスタ A6(注1)	PS6	00h
03BDh	機能選択レジスタ A7(注1)	PS7	00h
03BEh	機能選択レジスタ B6(注1)	PSL6	00h
03BFh	機能選択レジスタ B7(注1)	PSL7	00h
03C0h	ポート P6 レジスタ	P6	XXh
03C1h	ポート P7 レジスタ	P7	XXh
03C2h	ポート P6 方向レジスタ	PD6	00h
03C3h	ポート P7 方向レジスタ	PD7	00h
03C4h	ポート P8 レジスタ	P8	XXh
03C5h	ポート P9 レジスタ	P9	XXh
03C6h	ポート P8 方向レジスタ	PD8	00X0 0000b
03C7h	ポート P9 方向レジスタ	PD9	00h
03C8h	ポート P10 レジスタ	P10	XXh
03C9h	ポート P11 レジスタ (注1)	P11	XXh
03CAh	ポート P10 方向レジスタ	PD10	00h
03CBh	ポート P11 方向レジスタ (注1、2)	PD11	XXX0 0000b
03CCh	ポート P12 レジスタ (注1)	P12	XXh
03CDh	ポート P13 レジスタ (注1)	P13	XXh
03CEh	ポート P12 方向レジスタ (注1、2)	PD12	00h
03CFh	ポート P13 方向レジスタ (注1、2)	PD13	00h

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100ピン版では使用できません。

注2. 100ピン版では“FFh”にしてください。

表 4.18 SFR 一覧 (18)

番地	レジスタ	シンボル	リセット後の値
03D0h	ポートP14レジスタ(注1)	P14	XXh
03D1h	ポートP15レジスタ(注1)	P15	XXh
03D2h	ポートP14方向レジスタ(注1、2)	PD14	X000 0000b
03D3h	ポートP15方向レジスタ(注1、2)	PD15	00h
03D4h			
03D5h			
03D6h			
03D7h			
03D8h			
03D9h			
03DAh	プルアップ制御レジスタ2	PUR2	00h
03DBh	プルアップ制御レジスタ3	PUR3	00h
03DCh	プルアップ制御レジスタ4(注1、3)	PUR4	XXXX 0000b
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh			
03EDh			
03EEh			
03EFh			
03F0h	プルアップ制御レジスタ0	PUR0	00h
03F1h	プルアップ制御レジスタ1	PUR1	XXXX 0000b
03F2h			
03F3h			
03F4h			
03F5h			
03F6h			
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh	ポート制御レジスタ	PCR	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100ピン版では使用できません。

注2. 100ピン版では“FFh”にしてください。

注3. 100ピン版では“00h”にしてください。

5. 電気的特性

表 5.1 絶対最大定格

記号	項目		条件	定格値	単位
VCC1, VCC2	電源電圧		VCC1=AVCC	-0.3~6.0	V
VCC2	電源電圧		—	-0.3~VCC1+0.1	V
AVCC	アナログ電源電圧		VCC1=AVCC	-0.3~6.0	V
VI	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1), VREF, XIN		-0.3~VCC1+0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)		-0.3~VCC2+0.3	V
		P7_0, P7_1		-0.3~6.0	V
VO	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1), XOUT		-0.3~VCC1+0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)		-0.3~VCC2+0.3	V
		P7_0, P7_1		-0.3~6.0	V
Pd	消費電力		-40°C ≤ Topr ≤ 85°C	500	mW
Topr	動作周囲温度	マイコン動作時		-20~85 / -40~85(注2)	°C
		フラッシュ書き込み消去時		0~60	°C
Tstg	保存温度			-65~150	°C

注1. ポートP11~P15は144ピン版のみあります。

注2. -40~85°Cをご使用になる場合は、弊社営業窓口までお問い合わせください。

表5.2 推奨動作条件(1) (指定のない場合は、VCC1=VCC2=3.0V~5.5V, Topr= -20~85℃)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC1, VCC2	電源電圧 (VCC1 ≥ VCC2)	3.0	5.0	5.5	V	
AVCC	アナログ電源電圧		VCC1		V	
VSS	電源電圧		0		V	
AVSS	アナログ電源電圧		0		V	
VIH	“H” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0.8VCC2		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	
		P7_0, P7_1	0.8VCC1		6.0	
		P0_0~P0_7, P1_0~P1_7(シングルチップモード時)	0.8VCC2		VCC2	
		P0_0~P0_7, P1_0~P1_7 (メモリ拡張、マイクロプロセッサモード時)	0.5VCC2		VCC2	
VIL	“L” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0		0.2VCC2	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0		0.2VCC1	
		P0_0~P0_7, P1_0~P1_7(シングルチップモード時)	0		0.2VCC2	
		P0_0~P0_7, P1_0~P1_7 (メモリ拡張、マイクロプロセッサモード時)	0		0.16VCC2	
IOH(peak)	“H” 尖頭出力 電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-10.0	mA
IOH(avg)	“H” 平均出力 電流(注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-5.0	mA
IOL(peak)	“L” 尖頭出力 電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			10.0	mA
IOL(avg)	“L” 平均出力 電流(注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			5.0	mA

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P8_6, P8_7, P9, P10, P11, P14, P15のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4, P12, P13のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P11のIOH(peak)の合計は-40mA以下、ポートP8_6, P8_7, P9, P10, P14, P15のIOH(peak)の合計は-40mA以下、ポートP3, P4, P5, P12, P13のIOH(peak)の合計は-40mA以下、ポートP6, P7, P8_0~P8_4のIOH(peak)の合計は-40mA以下にしてください。

注3. P8_7のVIH、VILはP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注4. ポートP11~P15は144ピン版のみあります。

表 5.2 推奨動作条件(2) (指定のない場合は、VCC1=VCC2=3.0~5.5V, Topr=-20~85°C)

記号	項目		規格値			単位
			最小	標準	最大	
f(CPU)	CPU動作周波数 バスクロック (f(BCLK)) と同一	VCC1=4.2~5.5V	0		32	MHz
		VCC1=3.0~5.5V	0		24	
f(XIN)	メインクロック入力発振周波数	VCC1=4.2~5.5V	0		32	MHz
		VCC1=3.0~5.5V	0		24	
f(XCIN)	サブクロック発振周波数			32.768	50	kHz
f(Ring)	オンチップオシレータ発振周波数			1		MHz
f(VCO)	VCOクロック発振周波数(PLL周波数シンセサイザ)		20		80	MHz
f(PLL)	PLLクロック発振周波数	VCC1=4.2~5.5V	10		32	MHz
		VCC1=3.0~5.5V	10		24	
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	VCC1=5.0V			5	ms
		VCC1=3.3V			10	

VCC1=VCC2=5V

表 5.3 電気的特性(1)

(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H” 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)	IOH=-5mA	VCC2-2.0		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1)	IOH=-5mA	VCC1-2.0		VCC1	
	XOUT	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)	IOH=-200μA	VCC2-0.3		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1)	IOH=-200μA	VCC1-0.3		VCC1	
	XCOU	駆動能力 High	無負荷時		2.5		V
		駆動能力 Low	無負荷時		1.6		V
VOL	“L” 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	IOL=5mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	IOL=200μA			0.45	V
	XOUT	IOL=1mA			2.0	V	
	XCOU	駆動能力 High	無負荷時		0		V
		駆動能力 Low	無負荷時		0		V
	VT+ - VT-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT8, ADTRG, CTS0~CTS6, CLK0~CLK6, TA0OUT~TA4OUT, NMI, KI0~KI3, RXD0~RXD6, SCL0~SCL4, SDA0~SDA4, INPC1_0~INPC1_7, ISCLK0~ISCLK2, ISRXD0~ISRXD2, IEIN, CAN0IN, CAN1IN, CAN1WU		0.2		1.0
RESET				0.2		1.8	V
IIH	“H” 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=5V			5.0	μA
IIIL	“L” 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=0V			-5.0	μA

注1. ポートP11~P15は144ピン版のみあります。

VCC1=VCC2=5V

表 5.3 電気的特性(2)

(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C, f(CPU)=32MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	VI=0V	30	50	167	kΩ
RfXIN	帰還抵抗	XIN			1.5		MΩ
RfXCIN	帰還抵抗	XCIN			10		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V

注1. ポートP11~P15は144ピン版のみあります。

表 5.3 電気的特性(3) (指定のない場合は、VCC1=VCC2=5.0V, VSS=0V, Topr=25°C)

記号	項目	測定条件(注1)		規格値			単位
				最小	標準	最大	
ICC	電源電流	フラッシュメモリ版	f(CPU)=32MHz		32	45	mA
			f(CPU)=16MHz		19		mA
			f(CPU)=8MHz		12		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		2.6		mA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ動作		430		μA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ停止(注2)		30		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		50		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA
		マスクROM版	f(CPU)=32MHz		32	45	mA
			f(CPU)=16MHz		19		mA
			f(CPU)=8MHz		12		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		1		mA
			f(CPU)=32kHz 低消費電力モード		30		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		50		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA

注1. シングルチップモードで出力端子は開放、その他の端子はVSSに接続してください。

注2. FMROレジスタのFMSTPビットを“1”(フラッシュメモリ停止)にし、RAM上でプログラムを実行したときの値です。

VCC1=VCC2=5V

表5.4 A/D変換特性(指定のない場合は、VCC1=VCC2=AVCC=VREF=4.2V~5.5V, VSS=AVSS=0V, Topr=-20~85℃, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差	VREF=VCC1=VCC2=5V AN_0~AN_7、AN0_0~AN0_7、 AN2_0~AN2_7、 AN15_0~AN15_7、 ANEX0、ANEX1 外部オペアンプ接続モード			±3	LSB
					±7	LSB
DNL	微分非直線性誤差				±1	LSB
—	オフセット誤差				±3	LSB
—	ゲイン誤差				±3	LSB
RLADDER	ラダー抵抗	VREF=VCC1	8		40	kΩ
tCONV	変換時間(10bit)(注1、2)		2.06			μs
tCONV	変換時間(8bit)(注1、2)		1.75			μs
tSAMP	サンプリング時間(注1)		0.188			μs
VREF	基準電圧		2		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注1. φADが16MHzのときの値です。f(XIN)が16MHzを超える場合は分周し、φADを16MHz以下にしてください。

注2. サンプル&ホールド機能あり。

表5.5 D/A変換特性(指定のない場合は、VCC1=VCC2=VREF=4.2V~5.5V, VSS=AVSS=0V, Topr=-20~85℃, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ(i=0, 1)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IVREFは流れます。

表5.6 フラッシュメモリの電気的特性
(指定のない場合は、VCC1=4.5V~5.5V, 3.0V~3.6V, Topr=0~60℃)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	消去、書き込み回数(注1)		100			回
—	書き込み時間(16ビット)(VCC1=5.0V, Topr=25℃)			25	300	μs
—	ロックビットプログラム時間			25	300	μs
—	ブロック消去時間 (VCC1=5.0V, Topr=25℃)	4Kバイトブロック		0.3	4	s
		8Kバイトブロック		0.3	4	s
		32Kバイトブロック		0.5	4	s
		64Kバイトブロック		0.8	4	s
tps	フラッシュメモリ回路安定待ち時間				15	μs
—	データ保持時間(Topr=-40~85℃)		10			年

注1. 消去、書き込み回数の定義

消去、書き込み回数はブロックごとの消去回数です。消去、書き込み回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつ消去することができます。例えば、ブロックAについて、それぞれ異なる番地に16ビット単位で書き込みを2,048回に分けて行った後に、そのブロックを消去した場合も、消去、書き込み回数は1回と数えます。ただし、消去1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

VCC1=VCC2=5V

表 5.7 電圧検出回路の電気的特性 (指定のない場合はVCC1=VCC2=3.0~5.5V, VSS=0V, Topr=25°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet4	Vdet4検出電圧	VCC1=3.0V~5.5V	3.3	3.8	4.4	V
Vdet3	Vdet3検出電圧			3.0		V
Vdet3s	ハードウェアリセット2保持電圧				2.0	V
Vdet3r	ハードウェアリセット2解除電圧			3.1		V

注1. Vdet4 > Vdet3になります。
 注2. Vdet3r > Vdet3は保証されません。

表 5.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	VCC1=3.0V~5.5V			2	ms
td(S-R)	ハードウェアリセット2解除待ち時間	VCC1=Vdet3r~5.5V		6(注1)	20	ms
td(E-A)	Vdet3、Vdet4検出回路動作開始時間	VCC1=3.0V~5.5V			20	μs

注1. VCC1=5V時の標準値

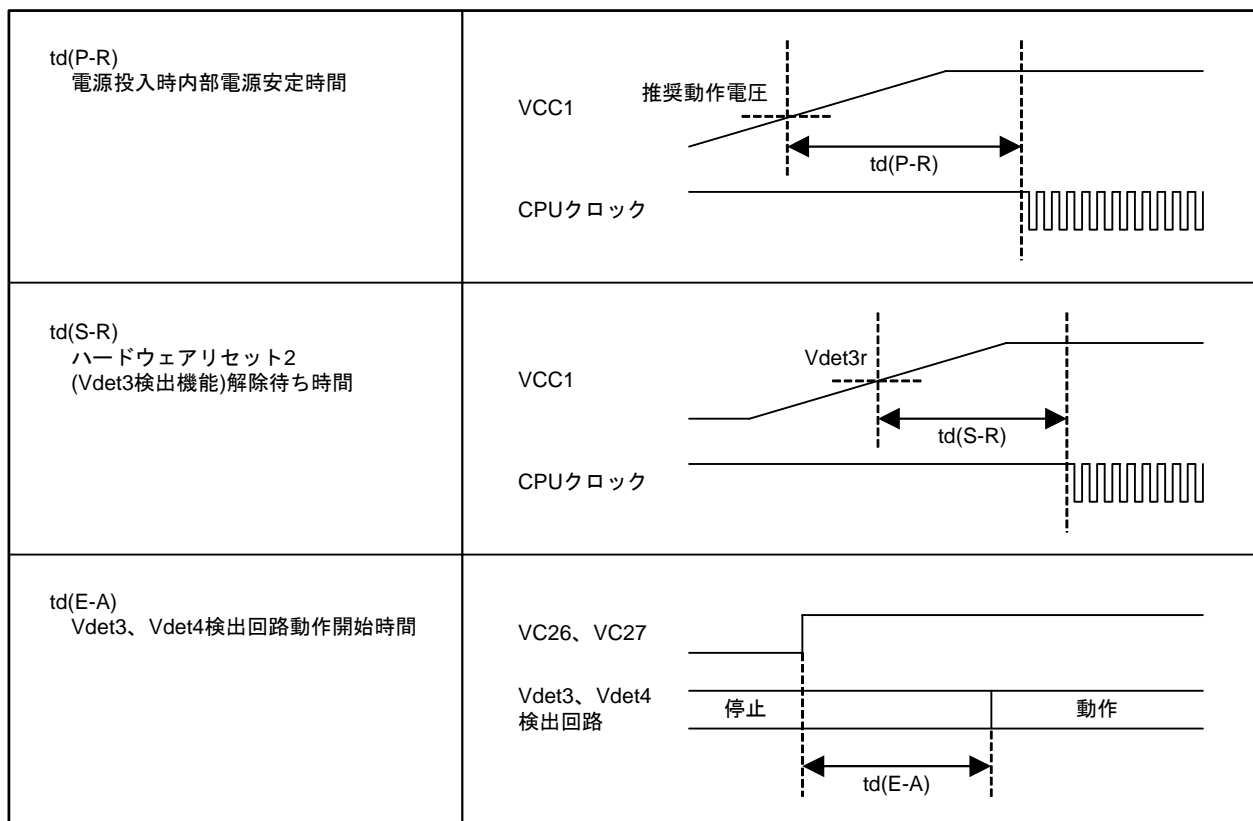


図 5.1 電源回路のタイミング

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表5.9 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	31.25		ns
tw(H)	外部クロック入力“H”パルス幅	13.75		ns
tw(L)	外部クロック入力“L”パルス幅	13.75		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表5.10 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

i=0~4

表5.11 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

i=0~4

表5.12 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

表5.13 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表5.14 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

i=0~4

表5.15 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	800		ns
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	200		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	200		ns

i=0~4

表5.16 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

i=0~5

表5.17 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

表5.18 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表 5.19 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	$\overline{\text{ADTRG}}$ 入力サイクル時間(トリガ可能最小)	1000		ns
tw(ADL)	$\overline{\text{ADTRG}}$ 入力“L”パルス幅	125		ns

表 5.20 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	200		ns
tw(CKH)	CLKi 入力“H”パルス幅	100		ns
tw(CKL)	CLKi 入力“L”パルス幅	100		ns
td(C-Q)	TXDi 出力遅延時間		80	ns
th(C-Q)	TXDi 出力ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	70		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

i=0~6

表 5.21 インテリジェントI/O通信機能(グループ0、1)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLKi 入力サイクル時間	600		ns
tw(CKH)	ISCLKi 入力“H”パルス幅	300		ns
tw(CKL)	ISCLKi 入力“L”パルス幅	300		ns
td(C-Q)	ISTXDi 出力遅延時間		100	ns
th(C-Q)	ISTXDi 出力ホールド時間	0		ns
tsu(D-C)	ISRXDi 入力セットアップ時間	100		ns
th(C-D)	ISRXDi 入力ホールド時間	100		ns

i=0,1

表 5.22 インテリジェントI/O通信機能(グループ2)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLK2 入力サイクル時間	600		ns
tw(CKH)	ISCLK2 入力“H”パルス幅	300		ns
tw(CKL)	ISCLK2 入力“L”パルス幅	300		ns
td(C-Q)	ISTXD2 出力遅延時間		180	ns
th(C-Q)	ISTXD2 出力ホールド時間	0		ns
tsu(D-C)	ISRXD2 入力セットアップ時間	150		ns
th(C-D)	ISRXD2 入力ホールド時間	100		ns

表 5.23 外部割り込み $\overline{\text{INTi}}$ 入力(エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 入力“H”パルス幅	250		ns
tw(INL)	$\overline{\text{INTi}}$ 入力“L”パルス幅	250		ns

i=0~8(注1)

注1. $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ は144ピン版のみあります。

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C)

表5.24 メモリ拡張モードおよびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(\text{RD-DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(\text{AD-DB}) = \frac{10^9 \times n}{f(\text{BCLK})} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(\text{RD-DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(\text{AD-DB}) = \frac{10^9 \times p}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=5V

スイッチング特性(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C)

表5.25 メモリ拡張モードおよびマイクロプロセッサモード(外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注3)		0		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間(WR基準)			(注2)	ns
th(WR-DB)	データ出力保持時間(WR基準)(注3)			(注1)	ns
tw(WR)	WR出力幅			(注2)	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

VCC1=VCC2=5V

スイッチング特性(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C)

表5.26 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-RD)	RD信号出力保持時間		-5		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注5. リカバリサイクル挿入時はtc時間延長されます。

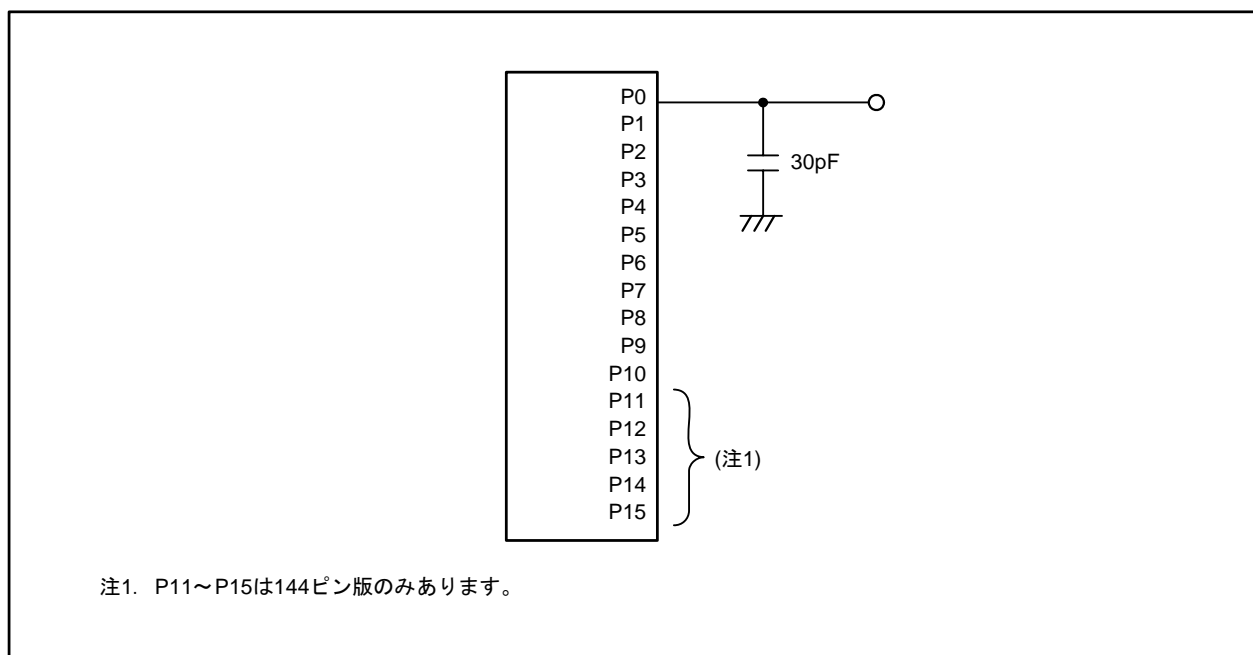


図5.2 ポートP0~P15の測定回路

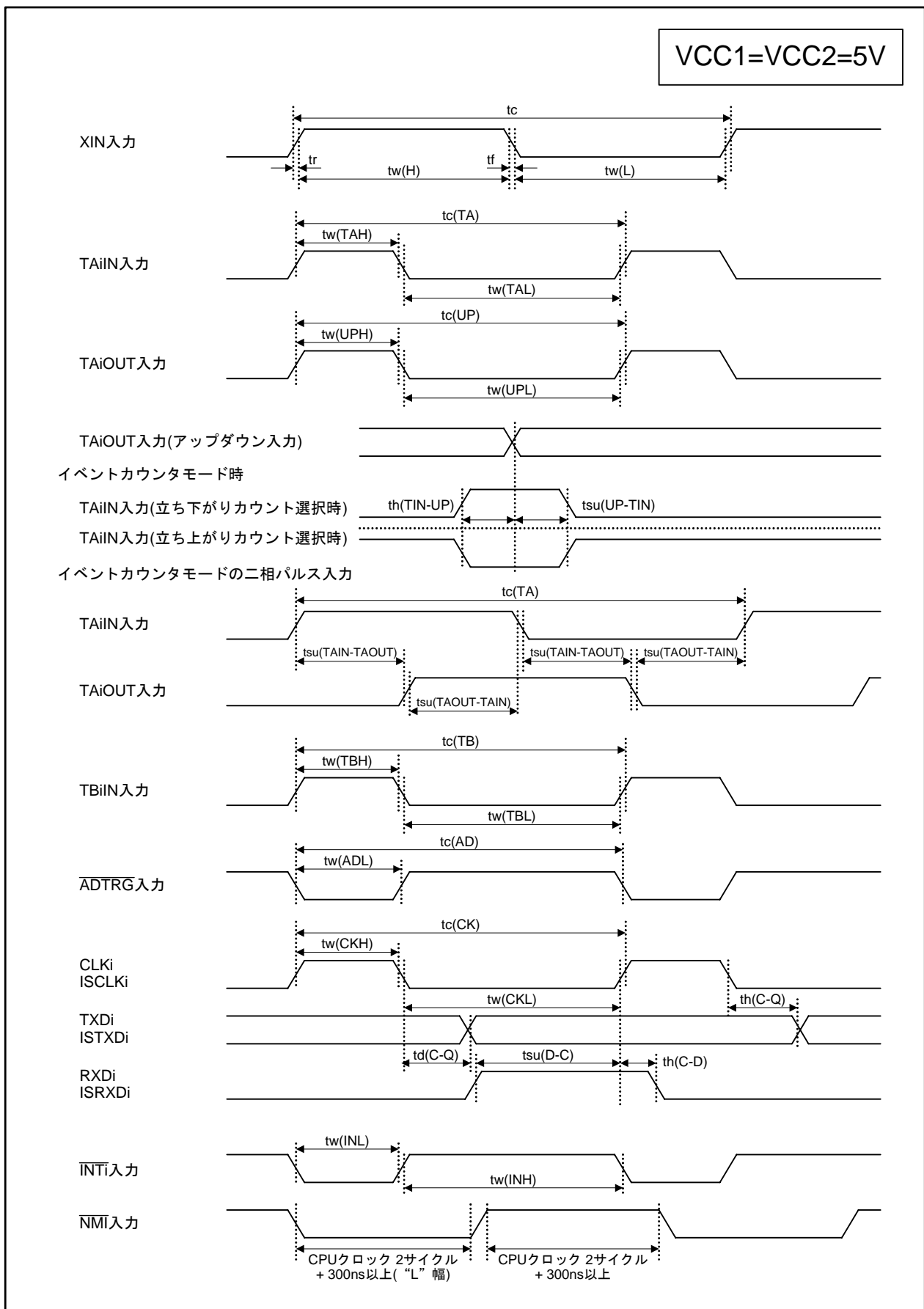


図 5.3 VCC1=VCC2=5V時のタイミング図(1)

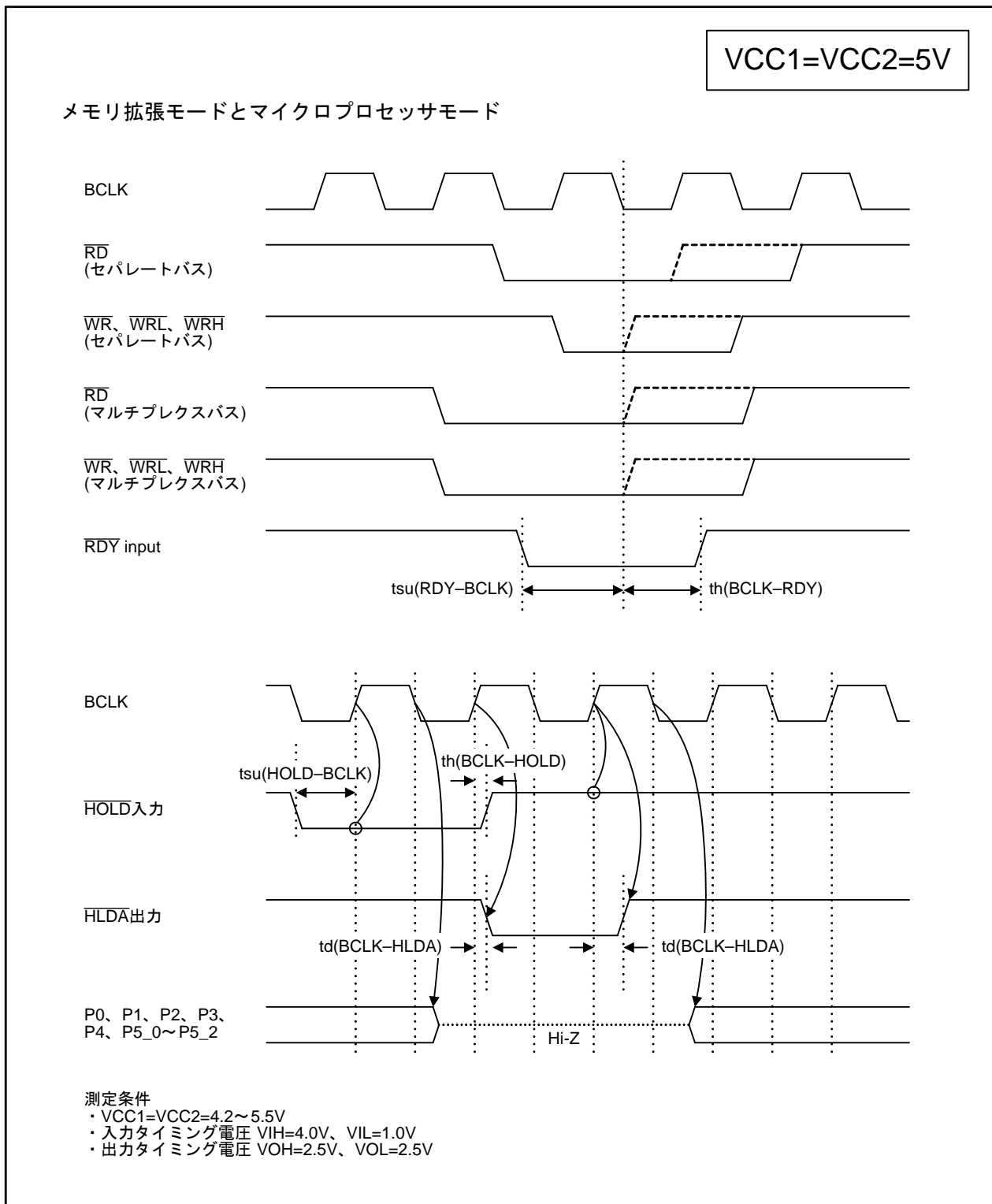


図5.4 VCC1=VCC2=5V時のタイミング図(2)

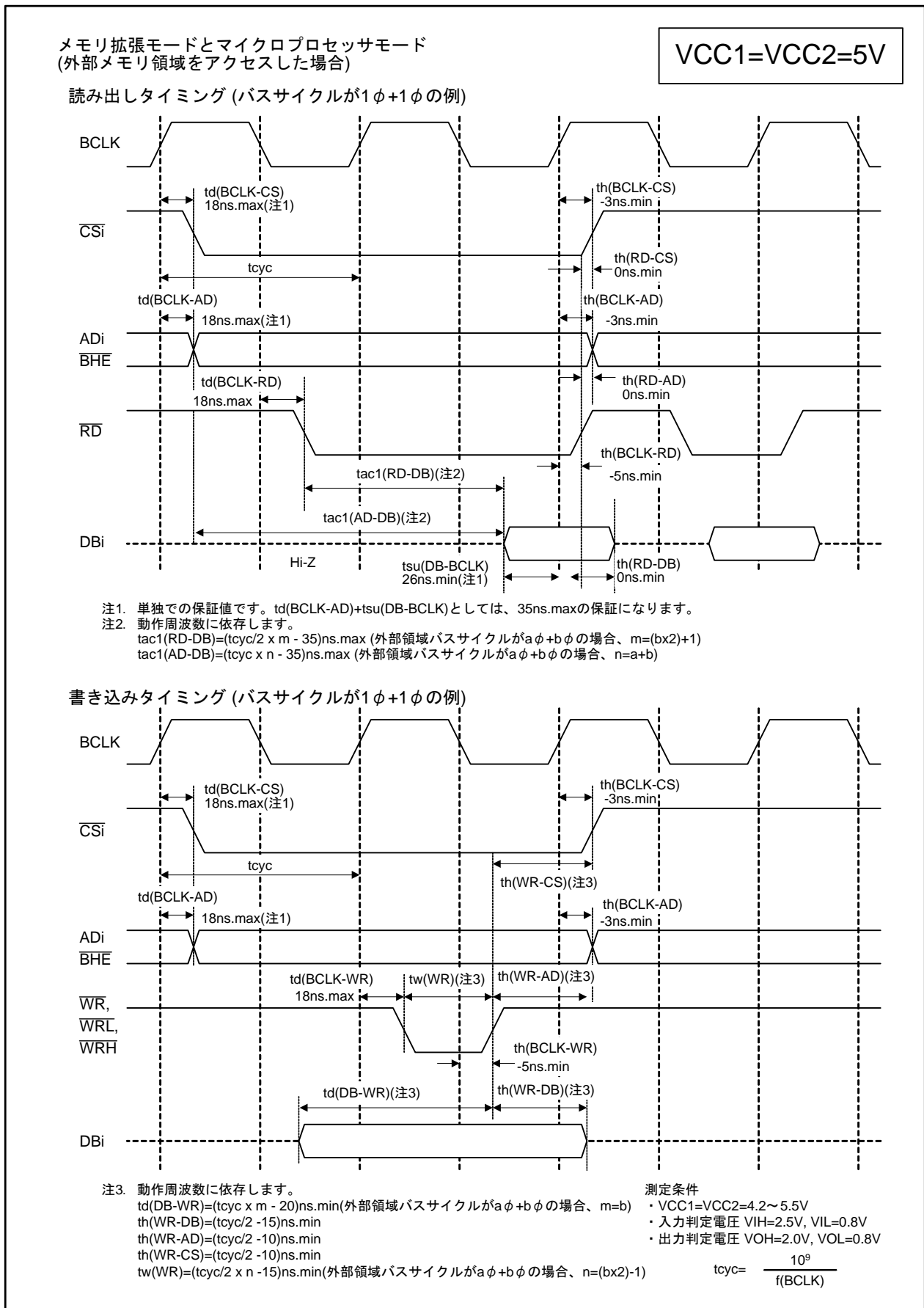


図 5.5 VCC1=VCC2=5V時のタイミング図(3)

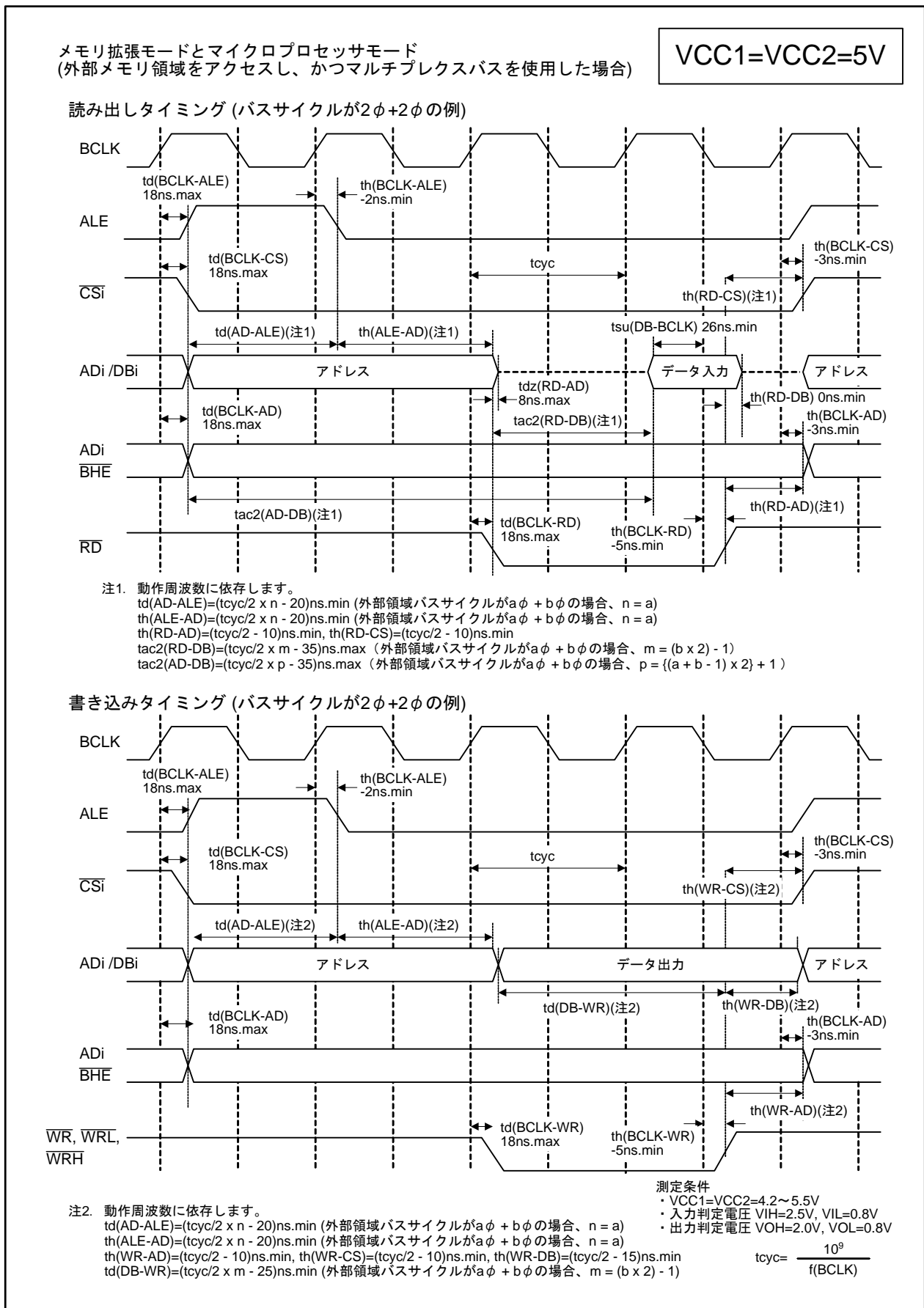


図5.6 VCC1=VCC2=5V時のタイミング図(4)

VCC1=VCC2=3.3V

表 5.27 電气的特性(1)

(指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr= -20 ~ 85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H” 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)	IOH=-1mA	VCC2-0.6		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1)	IOH=-1mA	VCC1-0.6		VCC1	
	XOUT	IOH=-0.1mA	2.7		VCC1	V	
	XCOOUT	駆動能力High	無負荷時		2.5		V
		駆動能力Low	無負荷時		1.6		V
VOL	“L” 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~ P13_7, P14_0~P14_6, P15_0~P15_7(注1)	IOL=1mA			0.5	V
		XOUT	IOL=0.1mA			0.5	V
	XCOOUT	駆動能力High	無負荷時		0		V
		駆動能力Low	無負荷時		0		V
VT+ - VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT8, ADTRG, CTS0 ~ CTS6, CLK0 ~ CLK6, TA0OUT ~ TA4OUT, NMI, KI0 ~ KI3, RXD0 ~ RXD6, SCL0 ~ SCL4, SDA0 ~ SDA4, INPC1_0 ~ INPC1_7, ISCLK0 ~ ISCLK2, ISRXD0 ~ ISRXD2, IEIN, CAN0IN, CAN1IN, CAN1WU		0.2		1.0	V
		RESET		0.2		1.8	V
IIH	“H” 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=3V			4.0	μA
IIL	“L” 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=0V			-4.0	μA
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~ P13_7, P14_0~P14_6, P15_0~P15_7(注1)	VI=0V	40	90	500	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			20.0		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V

注1. ポートP11~P15は144ピン版のみあります。

VCC1=VCC2=3.3V

表5.27 電气的特性(2) (指定のない場合は、VCC1=VCC2=3.3V, VSS=0V, Topr=25°C)

記号	項目	測定条件(注1)	規格値			単位	
			最小	標準	最大		
ICC	電源電流	フラッシュメモリ版	f(CPU)=24MHz		23	33	mA
			f(CPU)=16MHz		17		mA
			f(CPU)=8MHz		11		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		2.6		mA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ動作		430		μA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ停止(注2)		30		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		45		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA
			マスクROM版	f(CPU)=24MHz		23	33
		f(CPU)=16MHz			17		mA
		f(CPU)=8MHz			11		mA
		f(CPU)=f(Ring) オンチップオシレータ低消費電力モード			1		mA
		f(CPU)=32kHz 低消費電力モード			30		μA
	ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後			45		μA	
	ストップモード(クロック停止時)		0.8	5	μA		
	ストップモード(クロック停止時) Topr=85°C			50	μA		

注1. シングルチップモードで出力端子は開放、その他の端子はVSSに接続してください。

注2. FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にし、RAM上でプログラムを実行したときの値です。

VCC1=VCC2=3.3V

表 5.28 A/D変換特性 (指定のない場合は、VCC1=VCC2=AVCC=VREF=3.0V~3.6V, VSS=AVSS=0V, Topr=-20~85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差(8bit)	VREF=VCC1=VCC2=3.3V			±2	LSB
DNL	微分非直線性誤差(8bit)				±1	LSB
—	オフセット誤差(8bit)				±2	LSB
—	ゲイン誤差(8bit)				±2	LSB
RLADDER	ラダー抵抗	VREF=VCC1	8		40	kΩ
tCONV	変換時間(8bit)(注1、2)		4.9			μs
VREF	基準電圧		3		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注1. φADが10MHzのときの値です。φADを10MHz以下にしてください。f(CPU)=(fAD)が24MHzの場合は3分周し、φADを8MHzにして使用してください。このとき、AD変換時間は6.1μsになります。

注2. サンプル&ホールド機能なし。

表 5.29 D/A変換特性 (指定のない場合は、VCC1=VCC2=VREF=3.0V~3.6V, VSS=AVSS=0V, Topr=-20~85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.0	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ(i=0, 1)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IVREFは流れます。

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表5.30 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	41		ns
tw(H)	外部クロック入力“H”パルス幅	18		ns
tw(L)	外部クロック入力“L”パルス幅	18		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表5.31 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

i=0~4

表5.32 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

i=0~4

表5.33 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

表5.34 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表 5.35 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

i=0~4

表 5.36 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	2		μs
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	500		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	500		ns

i=0~4

表 5.37 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

i=0~5

表 5.38 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

表 5.39 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表5.40 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	$\overline{\text{ADTRG}}$ 入力サイクル時間(トリガ可能最小)	1000		ns
tw(ADL)	$\overline{\text{ADTRG}}$ 入力“L”パルス幅	125		ns

表5.41 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	200		ns
tw(CKH)	CLKi入力“H”パルス幅	100		ns
tw(CKL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TXDi出力遅延時間		80	ns
th(C-Q)	TXDi出力ホールド時間	0		ns
tsu(D-C)	RXDi入力セットアップ時間	70		ns
th(C-D)	RXDi入力ホールド時間	90		ns

i=0~6

表5.42 インテリジェントI/O通信機能(グループ0、1)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLKi入力サイクル時間	600		ns
tw(CKH)	ISCLKi入力“H”パルス幅	300		ns
tw(CKL)	ISCLKi入力“L”パルス幅	300		ns
td(C-Q)	ISTXDi出力遅延時間		100	ns
th(C-Q)	ISTXDi出力ホールド時間	0		ns
tsu(D-C)	ISRXDi入力セットアップ時間	100		ns
th(C-D)	ISRXDi入力ホールド時間	100		ns

i=0,1

表5.43 インテリジェントI/O通信機能(グループ2)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLK2入力サイクル時間	600		ns
tw(CKH)	ISCLK2入力“H”パルス幅	300		ns
tw(CKL)	ISCLK2入力“L”パルス幅	300		ns
td(C-Q)	ISTXD2出力遅延時間		180	ns
th(C-Q)	ISTXD2出力ホールド時間	0		ns
tsu(D-C)	ISRXD2入力セットアップ時間	150		ns
th(C-D)	ISRXD2入力ホールド時間	100		ns

表5.44 外部割り込み $\overline{\text{INTi}}$ 入力(エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 入力“H”パルス幅	250		ns
tw(INL)	$\overline{\text{INTi}}$ 入力“L”パルス幅	250		ns

i=0~8(注1)

注1. $\overline{\text{INT6}}\sim\overline{\text{INT8}}$ は144ピン版のみあります。

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表5.45 メモリ拡張モードおよびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(AD-DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=3.3V

スイッチング特性(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85°C)

表5.46 メモリ拡張モードおよびマイクロプロセッサモード(外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注3)		0		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間(WR基準)			(注2)	ns
th(WR-DB)	データ出力保持時間(WR基準)(注3)			(注1)	ns
tw(WR)	WR出力幅			(注2)	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

VCC1=VCC2=3.3V

スイッチング特性(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr=-20~85°C)

表5.47 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図5.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注5. リカバリサイクル挿入時はtc時間延長されます。

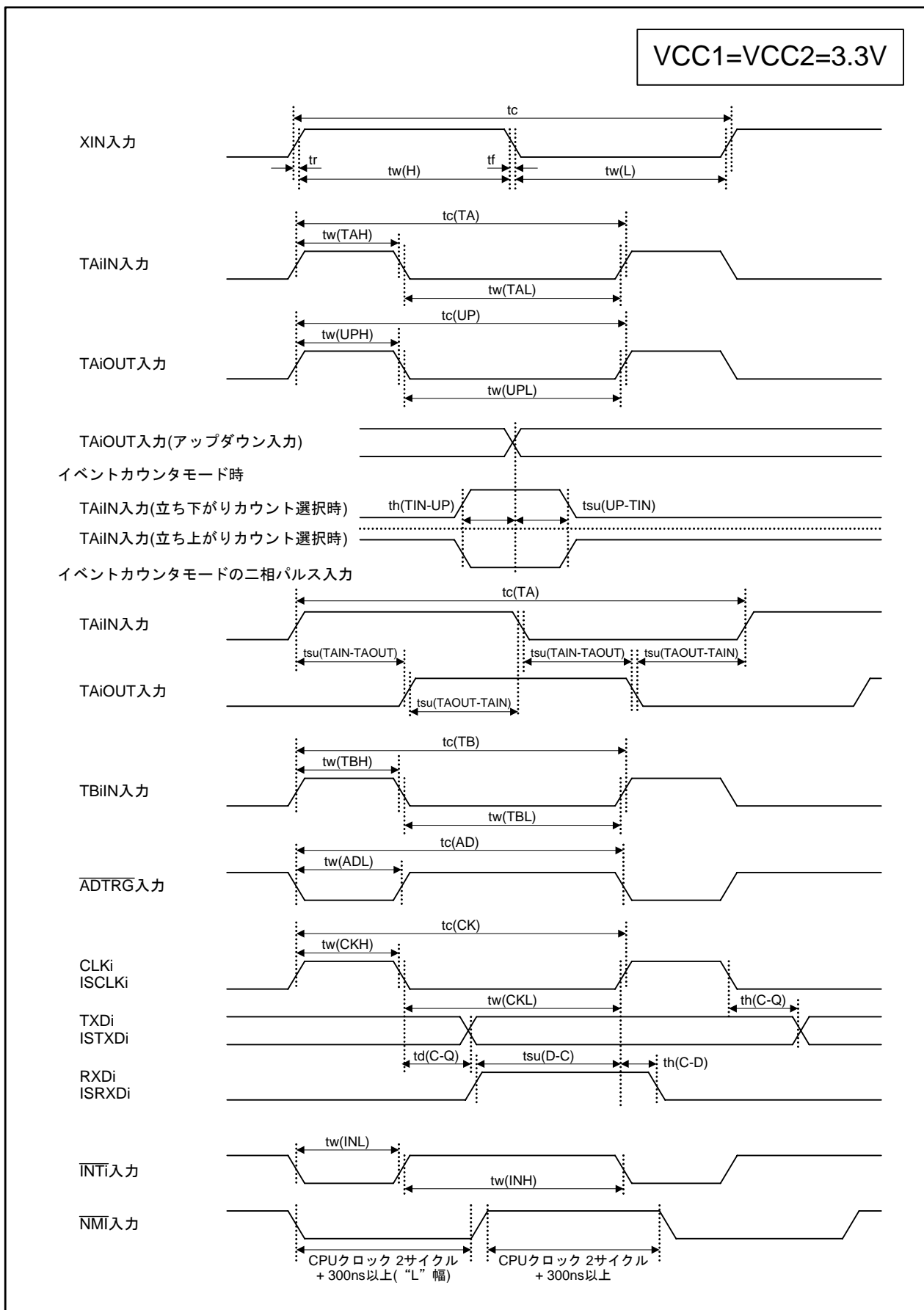


図 5.7 VCC1=VCC2=3.3V 時のタイミング図(1)

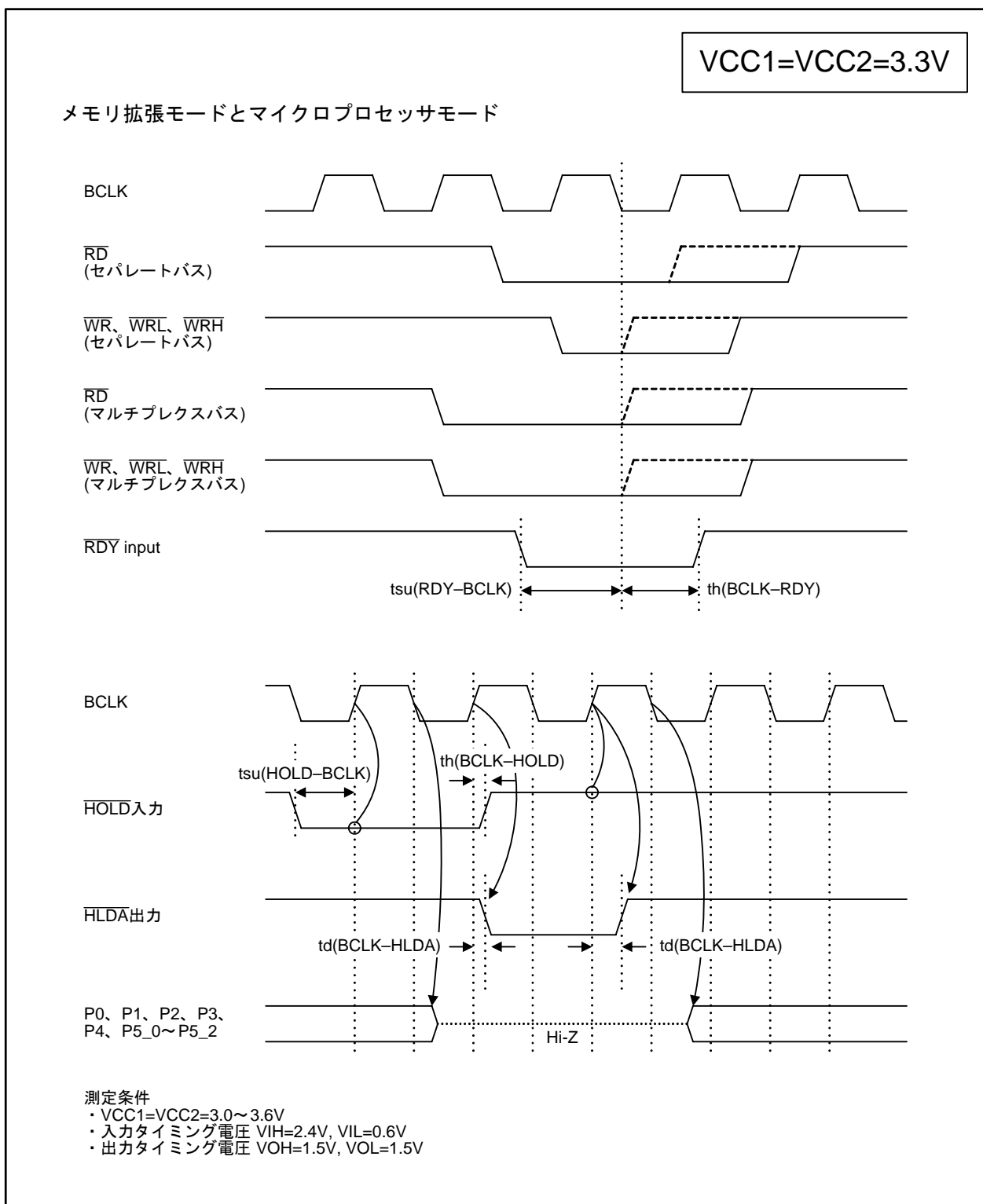


図5.8 VCC1=VCC2=3.3V時のタイミング図(2)

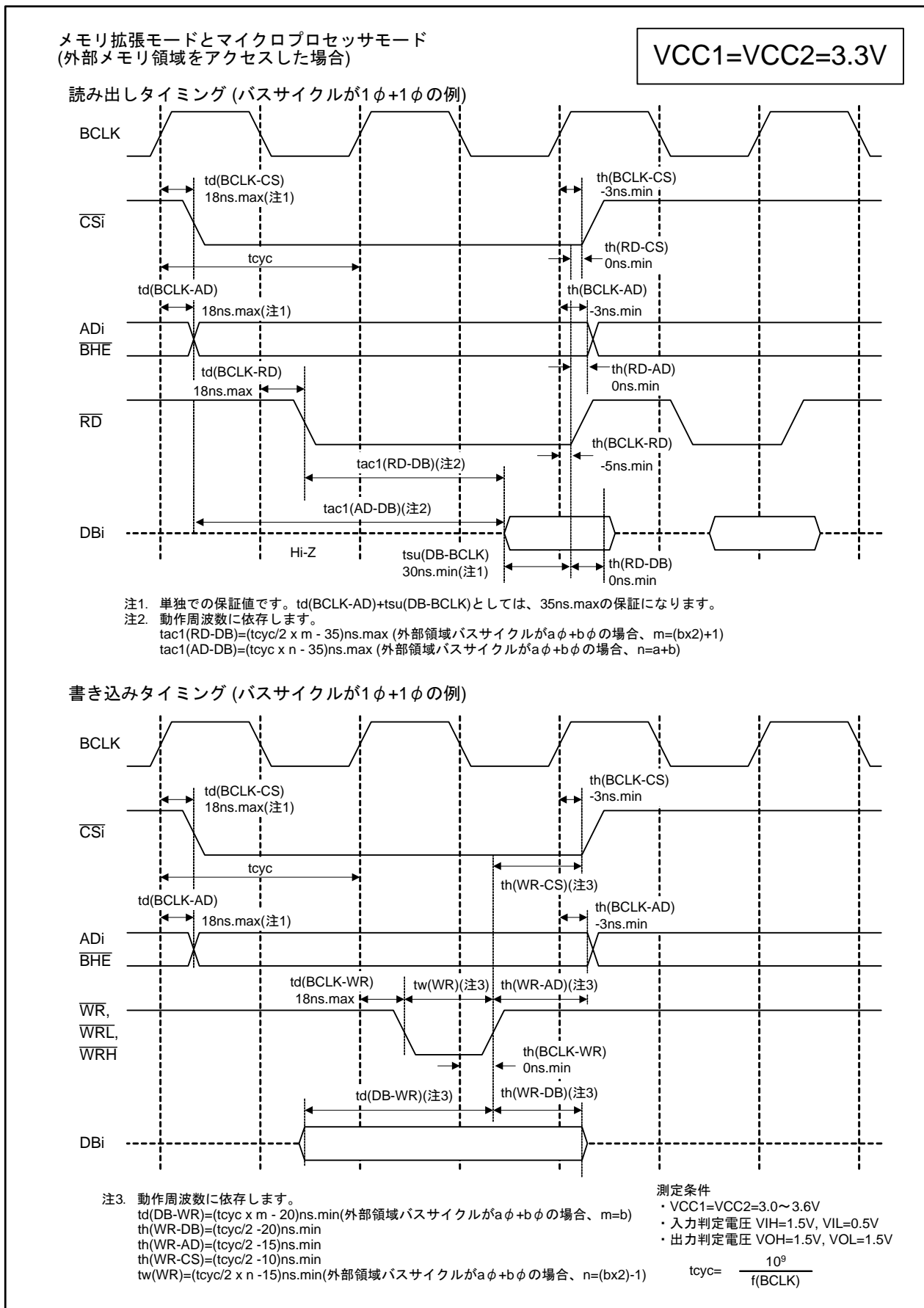


図5.9 VCC1=VCC2=3.3V時のタイミング図(3)

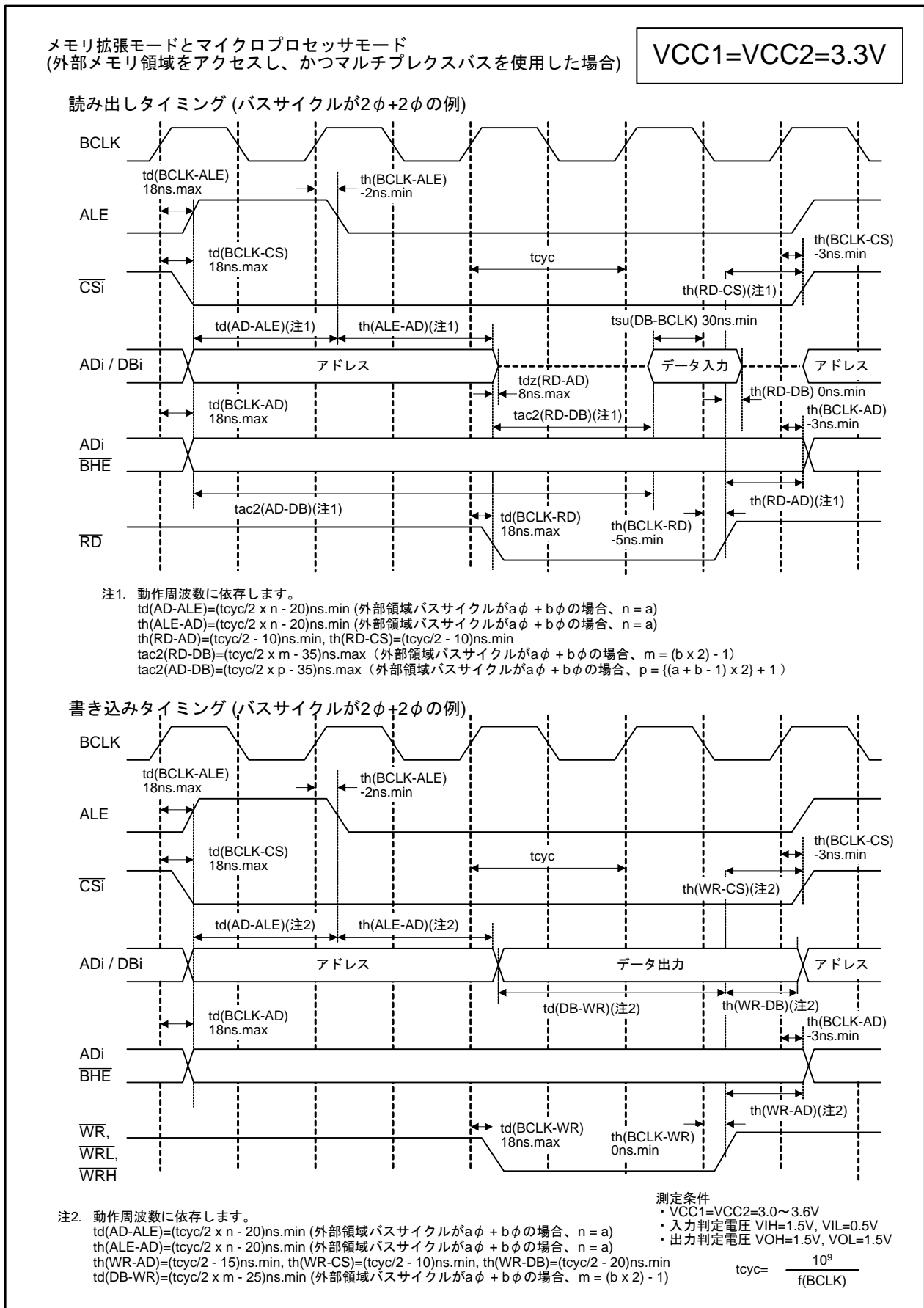
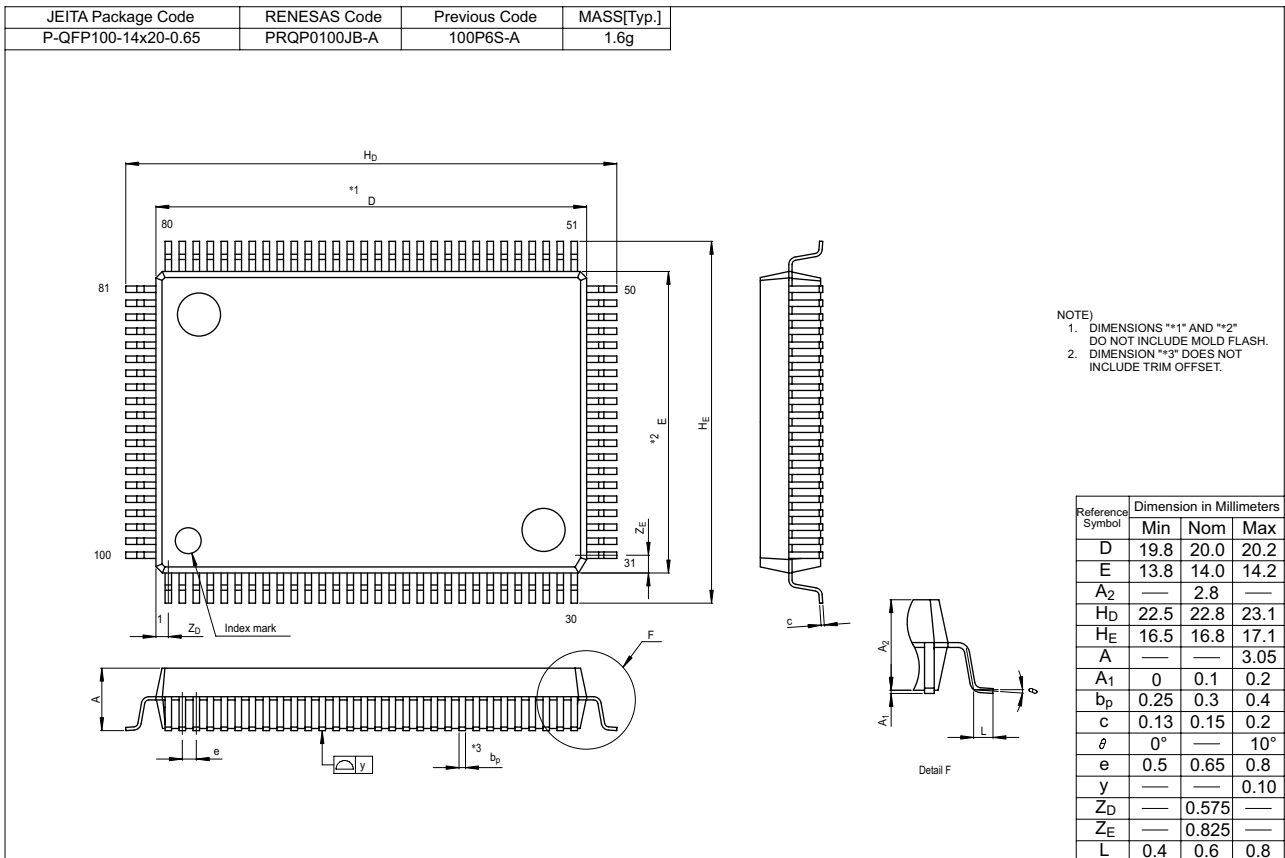
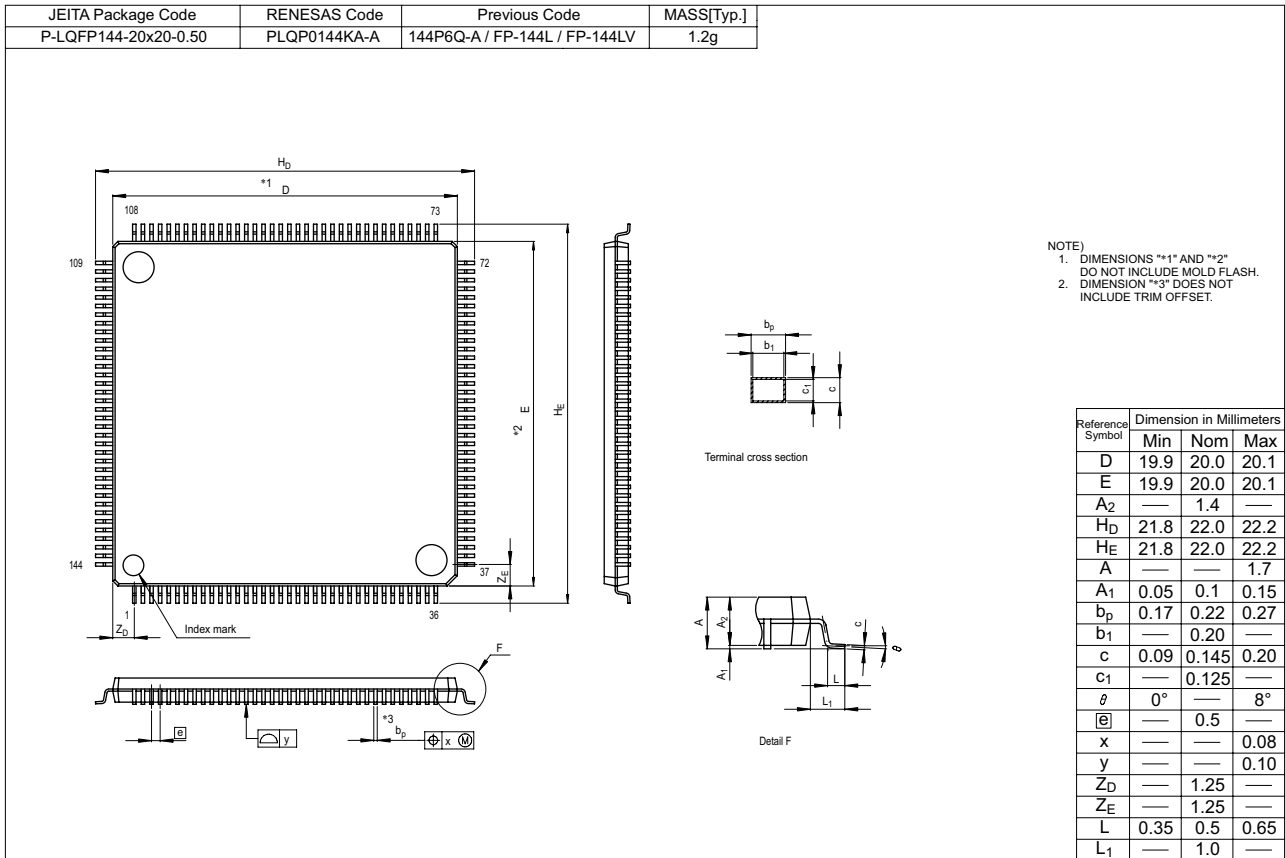
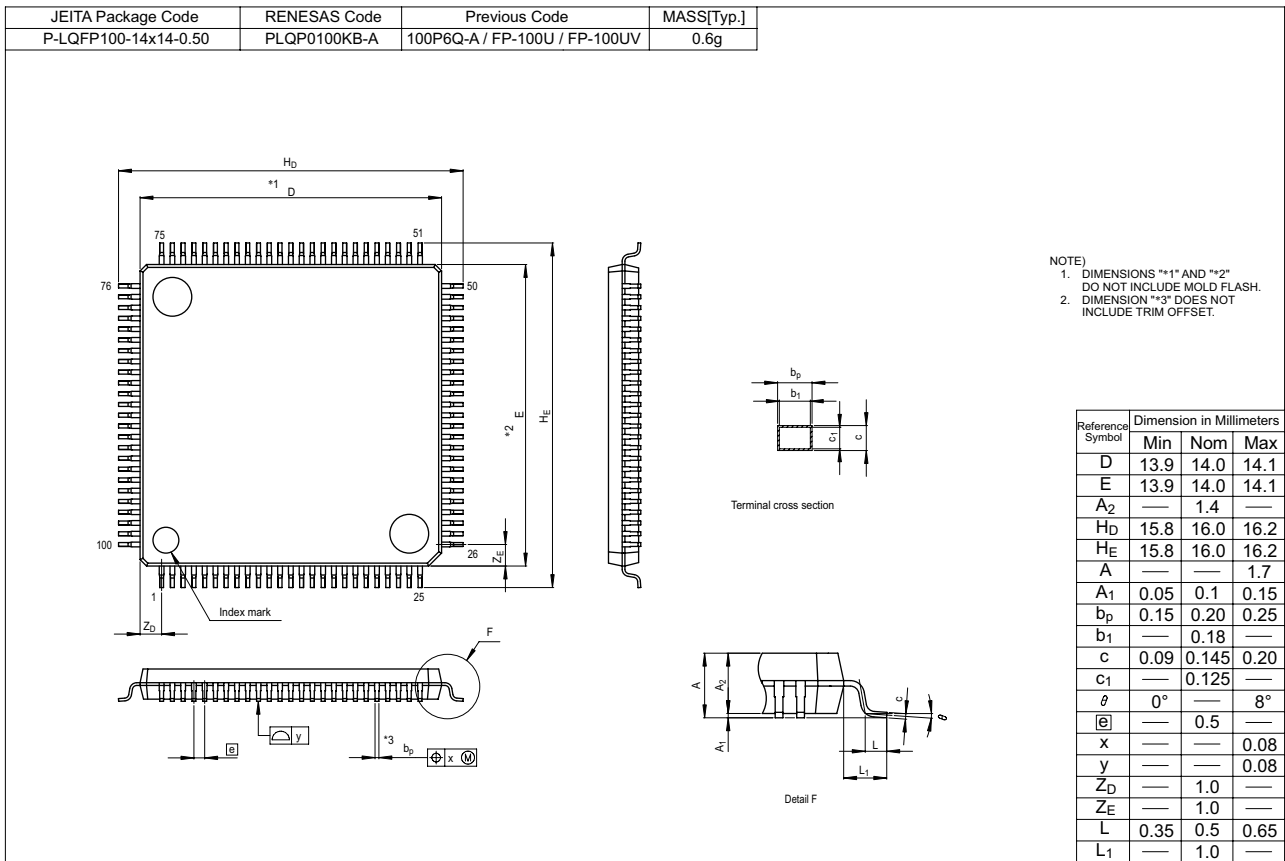


図5.10 VCC1=VCC2=3.3V時のタイミング図(4)

外形寸法図





改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B)	データシート
------	--	--------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2003.11.20	—	初版発行
0.50	2004.08.01	2,3	概要 ・表 1.1、表 1.2 M32C/87 グループの性能概要 項目に「発振停止検出機能」を追加
		5	・製品一覧表 コメント文削除 ・図 1.2 削除
		23	メモリ ・図 3.1 メモリ配置図 図を変更
		24	SFR ・プロセッサモードレジスタ 0 注1を追加
		41	・カウントソースプリスケアラレジスタ 注1を追加
		47	電気的特性 ・電気的特性の 26 章を 5 章に変更
		50	・表 5.3 電気的特性 電源電流の測定条件が f(XIN)_24MHz、方形波、分周なしの標準規格値と最大規格値を修正 電源電流の測定条件がクロック停止時、Topr=25°Cの最小規格値を追加
		52	・表 5.6 フラッシュメモリの電気的特性 ワードプログラム時間の最大規格値を修正 ロックビットプログラム時間の最大規格値を修正 イレーズ全アンロックブロック時間を削除 注2を削除
		64	・表 5.24 電気的特性 電源電流の測定条件が f(XIN)_24MHz、方形波、分周なしの標準規格値と最大規格値を修正 電源電流の測定条件がクロック停止時、Topr=25°Cの最小規格値を追加
		66	・表 5.28 メモリ拡張モードおよびマイクロプロセッサモード データ入力セットアップ時間の最小規格値を修正 $\overline{\text{RDY}}$ 入力セットアップ時間の最小規格値を修正 $\overline{\text{HOLD}}$ 入力セットアップ時間の最小規格値を修正
69	・表 5.40 メモリ拡張モードおよびマイクロプロセッサモード 測定条件の図番号を修正 注1の th(WR-DB)の計算式を修正		
70	・表 5.41 メモリ拡張モードおよびマイクロプロセッサモード 測定条件の図番号を修正 注1の th(WR-DB)の計算式を修正		
1.00	2005.07.07		全般 ・端子、レジスタ表記の統一 ・M32C/87A、M32C/87B 追加

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B)	データシート
------	--	--------

Rev.	発行日	改訂内容	
		ページ	ポイント
		2,3 5,6 4	概要 ・表 1.1、表 1.2 低電圧検出回路を電圧検出回路に変更 ・表 1.3 製品一覧表 構成の変更 ・図 1.1 ブロック図 修正
		23	メモリ ・図 3.1 メモリ配置図 注3を変更
		24 27 30 32 39 41 42 43 44	SFR ・PLC0レジスタ リセット後の値を修正 ・RLVL、IIO0IR～IIO11IRレジスタ リセット後の値を修正 ・G1BCR1、G1RBレジスタ リセット後の値を修正 ・U56CONレジスタ レジスタ名を修正 ・IDB0、IDB1レジスタ リセット後の値を修正 ・TCSPRレジスタ リセット後の値を修正 ・DM0SL～DM3SLレジスタ リセット後の値を修正 ・PSC、PS2レジスタ リセット後の値を修正 ・PCRレジスタ リセット後の値を修正
		49 50 51 55 58 59 61 62 65 66 70 71 72,73	電气的特性 ・表 5.2 推奨動作条件(1)(2) 項目を追加 ・表 5.3 電气的特性 プルアップ抵抗のマスクROM版を削除 電源電流 構成を変更 ・表 5.3 電气的特性(2) クロック停止時、Topr=85°Cの標準規格値を削除 ・表 5.10 メモリ拡張モードおよびマイクロプロセッサモード 注1を変更 ・表 5.22 メモリ拡張モードおよびマイクロプロセッサモード 注1を変更 ・表 5.23 メモリ拡張モードおよびマイクロプロセッサモード 注1、注4を変更 ・図 5.3 VCC1=VCC2=5V時のタイミング図(1) 注3を変更 ・図 5.4 VCC1=VCC2=5V時のタイミング図(2) 注1、注2を変更 ・表 5.24 電气的特性 VOH 測定条件IOH=-1mAの最小値を変更 プルアップ抵抗のマスクROM版を削除 電源電流 構成を変更 ・表 5.25 A/D変換特性 tCONVの最小規格値を変更 ・表 5.40 メモリ拡張モードおよびマイクロプロセッサモード th(BCLK-AD),th(BCLK-CS),th(BCLK-RD)の最小規格値を変更 注1を変更 ・表 5.41 メモリ拡張モードおよびマイクロプロセッサモード th(BCLK-AD),th(BCLK-CS),th(BCLK-RD)の最小規格値を変更 注1、注4を変更 ・図 5.7、図 5.8 VCC1=VCC2=3.3V時のタイミング図を追加
1.50	2007.10.20	全ページ	本マニュアル全体 ・文章表現と書式を統一 ・端子名の表記変更(例: RTP00→RTP0_0、A15/(D15)→A15, [A15 / D15]) ・数の表記変更(例: 002→00b、FF16→FFh)

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B)	データシート
------	--	--------

Rev.	発行日	改訂内容	
		ページ	ポイント
			<ul style="list-style-type: none"> ・ [用語変更] シリアルI/O → シリアルインタフェース クロック同期形シリアルI/O モード → クロック同期モード クロック非同期形シリアルI/O モード → クロック非同期モード 電圧検出回路 → 電圧検出機能 電圧低下検出割り込み → Vdet4 検出割り込み 電圧低下検出リセット → Vdet3 検出機能 ピン接続図 → ピン配置図
		1	概要 <ul style="list-style-type: none"> ・ ヘッダ部「SINGLE-CHIP 16/32-BIT CMOS MICROCOMPUTER」 → 「ルネサスマイクロコンピュータ」に修正
		1	<ul style="list-style-type: none"> ・ 「1.1 特長」を追加、「1.1 応用」を「1.1.1 用途」に変更
		2	<ul style="list-style-type: none"> ・ 「1.2 性能概要」を「1.1.2 仕様概要」に変更
		2～5	<ul style="list-style-type: none"> ・ 表 1.1 ～表 1.4 構成、説明欄の記述、注記、値を一部変更、削除 「リアルタイムポート」項目を削除、「ROM修正機能」項目を追加
		6～7	<ul style="list-style-type: none"> ・ 図の順番を入れ替え、製品一覧表を一部変更、注1を追加
		9,13,14	<ul style="list-style-type: none"> ・ ピン配置図 VCC、VSS の矢印削除、注記を一部変更
		17～20	<ul style="list-style-type: none"> ・ 表 1.13 ～表 1.16 文章を一部変更
		24	メモリ <ul style="list-style-type: none"> ・ 文章を一部変更
		32～36	SFR <ul style="list-style-type: none"> ・ 表 4.8 ～表 4.12 注記に「PM1レジスタのPM13ビットを“1”にしてからCAN 関連レジスタをアクセスしてください。」を追加
		41	<ul style="list-style-type: none"> ・ レジスタを追記 03BBhにPSL5レジスタを、03BFhにPSL7レジスタを追加
			<ul style="list-style-type: none"> ・ [レジスタ名変更]
		25	002Fh 電圧低下検出割り込みレジスタ → Vdet4 検出割り込みレジスタ
		32	01C1h UART5 転送速度レジスタ → UART5 通信速度レジスタ
		32	01C9h UART6 転送速度レジスタ → UART6 通信速度レジスタ
		32	01D0h UART5,6 送受信制御レジスタ2 → UART5,6 送受信制御レジスタ
		32	01DBh～01D8h パルス出力データレジスタ → RTP 出力バッファレジスタ
		38	0303h～0302h タイマA1-1レジスタ → タイマA11レジスタ
		38	0305h～0304h タイマA2-1レジスタ → タイマA21レジスタ
		38	0307h～0306h タイマA4-1レジスタ → タイマA41レジスタ
		39	0340h カウント開始フラグ → カウント開始レジスタ
		39	0341h 時計用プリスケアラリセットフラグ →時計用プリスケアラリセットレジスタ
		39	0342h ワンショット開始フラグ → ワンショット開始レジスタ
		39	0344h アップダウンフラグ → アップダウン選択レジスタ

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B)	データシート
------	--	--------

Rev.	発行日	改訂内容	
		ページ	ポイント
		25	・ [リセット後の値変更] 000Fh WDC 000X XXXX2 → 00XX XXXXb
		25	002Fh D4INT 0016 → XX00 0000b
		27	007Bh IIO6IC XX00 X0002 → XXXX X000b
		29	00EFh G0CR XX00 X0112 → 0000 X011b
		29	00FEh G0IRF 0016 → 0000 XXXXb
		30	013Eh G1IRF 0016 → 0000 XXXXb
		32	01C7h~01C6h U5RB XXXX XXXX XXXX 0XXX2 → XXXXh
		32	01CFh~01CEh U6RB XXXX XXXX XXXX 0XXX2 → XXXXh
		40	038Fh~0382h AD07~AD01 XXXX16 → 00XXh
			電气的特性
			・ [用語変更]
			低電圧リセット → ハードウェアリセット2
			低電圧検出回路 → Vdet3、Vdet4 検出回路
		43	・ 表 5.1 Pd(消費電力) 条件欄の記述を一部変更
		45~48	・ 表 5.2 ~ 表 5.5 f(BCLK) を f(CPU) に変更
		45	・ 表 5.2 f(CPU) 項目欄の記述を一部追加、f(VCO) を追加
		46,61	・ 表 5.3、表 5.27 XCOUT、ヒステリシス 項目欄の記述を一部変更と追加
		47,62	・ 表 5.3、表 5.27 電气的特性 構成と規格値を変更、測定条件と注記を追加
		48	・ 表 5.6 項目欄の記述と注記を一部変更
		49	・ 表 5.7、表 5.8 項目欄の記述と規格値を一部変更と追加
		50	・ 表 5.9、表 5.30 項目欄の記述を一部変更
		51,65	・ 表 5.15、表 5.36 新規追加
		52	・ 表 5.20 tsu(D-C)規格値を変更、表 5.21 ~ 表 5.22 新規追加、 表 5.23 タイトルと注記を追加
		53	・ 表 5.24 をタイミング必要条件の最初から最後へ移動
		54~55	・ 表 5.25 注3を追加、表 5.26 注5を追加
		57~60	・ 図 5.3 ~ 図 5.6 図の順番入れ替え、測定条件を一部変更
		61~63	・ 表 5.27 ~ 表 5.29 f(BCLK) を f(CPU) に変更
		66	・ 表 5.41 tsu(D-C)規格値を変更、表 5.42 ~ 表 5.43 新規追加、 表 5.44 タイトルと注記を追加
		67	・ 表 5.45 をタイミング必要条件の最初から最後へ移動
		68~69	・ 表 5.46 注3を追加、表 5.47 注5を追加
		70~73	・ 図 5.7 ~ 図 5.10 図の順番入れ替え
1.51	2008.07.01		概要
		19	・ AN0_0~AN0_7、AN2_0~2_7の電源系統を「VCC1」から「VCC2」に修正
			SFR
		42	・ 03FFh ポート制御レジスタ「XXXX XXX0b」→「XXXX X000b」

すべての商標および登録商標は、それぞれの所有者に帰属します。
IEBusは、NECエレクトロニクス株式会社の登録商標です。

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かする人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際は、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
茨	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
新	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
松	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
中	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
関	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
北	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
鳥	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
広	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
九	支			

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

