

# R8A66593FP/BG

ASSP (USB2.0 Peripheral Controller)

R19DS0071JJ0101

Rev1.01

2013.06.28

## 1 概要

### 1.1 概要

R8A66593は、USB規格Rev.2.0のHi-Speed転送、Full-Speed転送に対応したUSBペリフェラルコントローラーです。本コントローラーは、USBトランシーバを内蔵し、USB規格Rev.2.0で定義されている全転送タイプに対応しています。本コントローラーは、データ転送用に8.5Kバイトのバッファメモリを内蔵し、最大10本のパイプを使用できます。また、パイプ1-9に対しては、ユーザーシステムに合わせた、任意のエンドポイントアドレスの割り付けが可能です。CPUとの接続は、セパレートバスとマルチプレクスバスのどちらかを選択できます。また、CPUバスインタフェースとは独立したスプリットバスインタフェース（DMAインタフェース専用）を備え、高速大容量データ転送を要求されるシステムに適しています。

### 1.2 特長

#### 1.2.1 USB Rev2.0 Hi-Speed対応

- USB規格Rev.2.0準拠
- Hi-Speed転送(480Mbps)とFull-Speed転送(12Mbps)に対応
- Hi-Speed / Full-Speed USBトランシーバ内蔵
- Hi-Speed / Full-Speed USBペリフェラルコントローラーとして動作可能

#### 1.2.2 低消費電力

- 1.5Vコア電源採用による動作時の低消費電力を実現
- Low Power Sleep Mode機能搭載により、携帯機器向けにも適したUSB未使用時の低消費電力を実現
- USB機能未使用時にVIF電源のみオンにすることにより、待機電流を非常に小さく抑える事が可能
- 1.5Vコア電源用のレギュレータを内蔵し、3.3V単一電源で動作可能

#### 1.2.3 省スペース実装対応

- 少ない外付け素子かつ省スペース実装が可能
  - VBUS信号をコントローラーの入力端子に直接接続可能
  - D+プルアップ抵抗内蔵
  - D+、D-終端抵抗内蔵（Hi-Speed動作時）
  - D+、D-出力抵抗内蔵（Full-Speed動作時）

### 1.2.4 USB全転送タイプに対応

- アイソクロナス転送対応を含むUSB全転送タイプに対応
  - コントロール転送
  - バルク転送
  - インタラプト転送(High Bandwidthは非対応)
  - アイソクロナス転送(High Bandwidthは非対応)

### 1.2.5 バスインタフェース

- 1.8V、もしくは3.3Vのバスインターフェース電源を選択可能
- 16bitCPUバスインタフェース
  - 16bitセパレートバス/16bitマルチプレクスバス対応
  - 8/16bit単位DMA転送対応 (スレーブ機能)
- 8bitスプリットバス (外部DMAC専用) インタフェース
- DMAインタフェースを2ch内蔵
- DMA転送により40Mバイト/秒の高速データ転送が可能

### 1.2.6 パイプコンフィグレーション

- USB通信用バッファメモリを8.5Kバイト内蔵
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- パイプ1-9は任意のエンドポイントアドレスを割り付け可能
- 各パイプの設定可能な転送条件
  - パイプ0: コントロール転送、シングルバッファで256バイト固定
  - パイプ1~2: バルク転送 / アイソクロナス転送、連続転送モード、  
バッファサイズはプログラマブル (片面最大2Kバイトまで指定可能、ダブルバッファ指定可能)
  - パイプ3~5: バルク転送、連続転送モード、  
バッファサイズはプログラマブル (片面最大2Kバイトまで指定可能、ダブルバッファ指定可能)
  - パイプ6~9: インタラプト転送、シングルバッファで64バイト固定

### 1.2.7 その他の機能

- リセットハンドシェイク自動応答による、Hi-Speed動作、もしくはFull-Speed動作自動認識
- バイトエンディアンスワップ機能により、ビッグエンディアン、リトルエンディアンのどちらのCPUにも対応可能
  - FIFOポート単位に設定可能
- トランザクションカウントによるトランスファー終了機能
  - パイプ1~5のパイプ毎に設定可能
- 外部トリガ (DEND端子) によるDMA転送の終了機能
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET\_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能
- SOFパルス出力機能
- PLL内蔵により、3種類の入力クロック選択可能
  - 48MHz / 24MHz / 12MHzから選択
- BRDY割り込みイベント通知タイミグ変更機能 (BFRE)
- Dx FIFOポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- クロック停止状態からの自動クロック供給機能
- トランスファー終了による応答PIDのNAK設定機能 (SHTNAK)

### 1.2.8 用途

デジタルビデオカメラ、デジタルスチルカメラ、プリンタ、外部ストレージ機器、携帯情報端末、オーディオ機器、その他、Hi-Speed USB搭載の機器全般

### 1.3 パッケージ

#### 1.3.1 ピン配置図

図 1.1と図 1.2に本コントローラーの端子配置図（上面図）を示します。

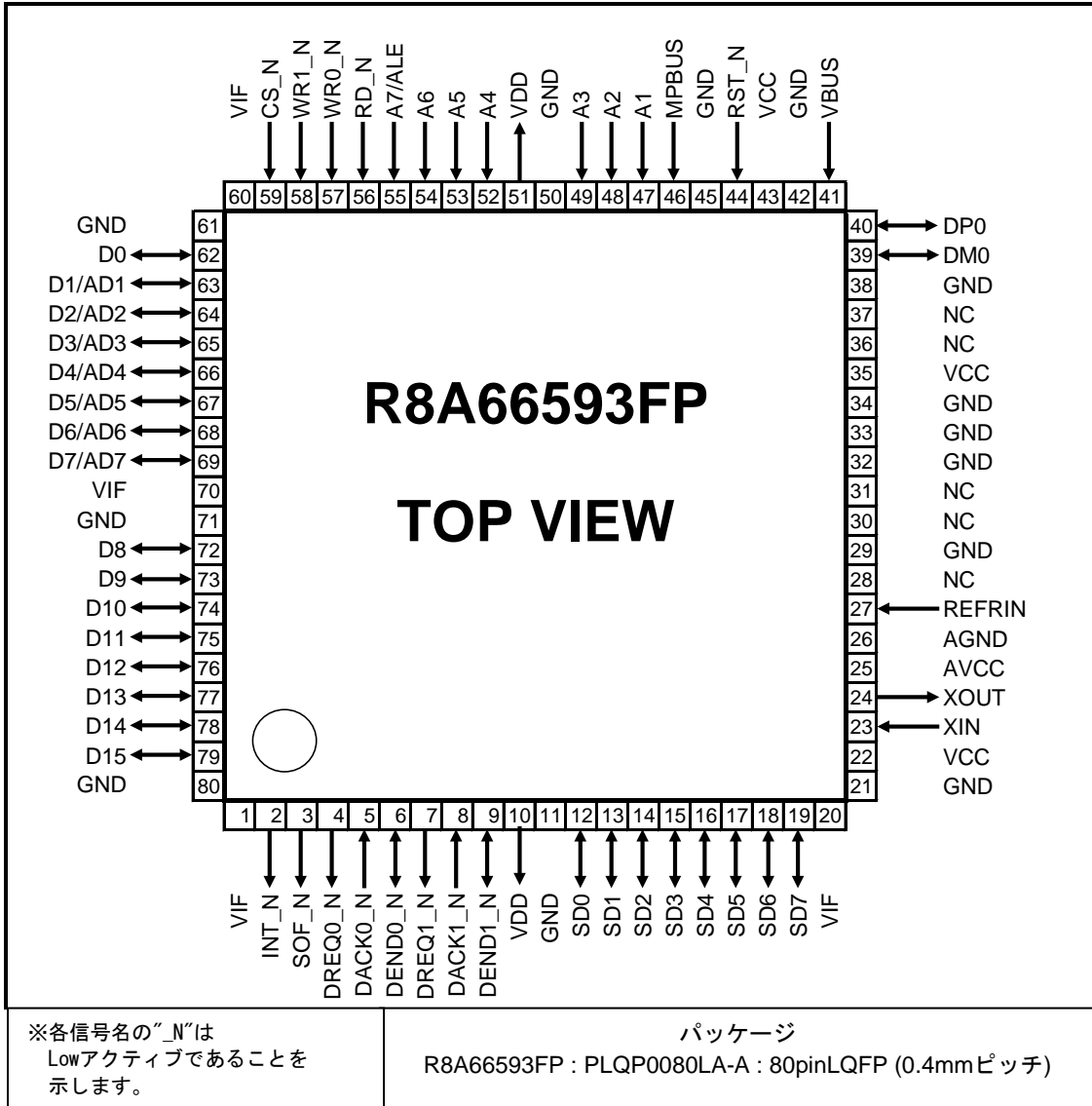


図 1.1 R8A66593FP端子配置図

R8A66593BG ボール配置 (TOP VIEW)										
	1	2	3	4	5	6	7	8	9	
A	GND	D15	D14	D10	GND	D5/AD5	D2/AD2	D0	GND	A
B	VIF	INT_N	D13	D11	VIF	D4/AD4	D1/AD1	CS_N	VIF	B
C	DREQ0_N	DACK0_N	SOF_N	D9	D7/AD7	D3/AD3	WR1_N	WR0_N	RD_N	C
D	DREQ1_N	DACK1_N	DEND0_N	D12	D8	D6/AD6	A6	A4	A5	D
E	GND	VDD	DEND1_N	SD0	GND	A7/ALE	A3	VDD	GND	E
F	SD2	SD3	SD4	SD1	NC	A2	GND	MPBUS	A1	F
G	SD5	SD6	AVCC	NC	GND	NC	GND	RST_N	VCC	G
H	VIF	SD7	XIN	AGND	VCC	GND	GND	GND	VBUS	H
J	GND	VCC	XOUT	REFRIN	NC	NC	GND	DM0	DP0	J
	1	2	3	4	5	6	7	8	9	
※各信号名の“_N”は Lowアクティブであることを 示します。			パッケージ R8A66593BG : PLBG0081KA-A : 81pinLFBGA (0.5mmピッチ)							

図 1.2 R8A66593BG端子配置図

## 1.4 端子説明

表 1.1に本コントローラーの端子説明表を、表 1.2に未使用端子の処理方法を示します。

表 1.1 端子説明表

区分	端子名	名称	I/O	機能	端子数	端子の状態 *5)	
						リセット中	リセット直後
CPUバスインタフェース	D15-0	データバス	I/O	16bitデータバスです。	16	*2)	*2)
	AD7-1	マルチプレクスアドレスバス	I/O	マルチプレクスバス設定時、本端子群をデータバスの一部(D7-D1)、もしくはアドレスバス(A7-A1)として時分割で用います。			
	A7-1	アドレスバス	IN	7bitアドレスバスです。 16bitデータバスのためA0はありません。	7	入力 *3)	入力 *3)
	ALE	アドレスラッチイネーブル	IN	マルチプレクスバス設定時、A7端子をALE信号として使用します。		入力	入力
	CS_N	チップセレクト	IN	"L"レベルで本コントローラーが選択されます。	1	入力 *4)	入力 *4)
	RD_N	リードストロープ	IN	"L"レベルで本コントローラーのレジスタからデータを読み出します。	1	入力	入力
	WR0_N	D7-0バイトライトストロープ	IN	立ち上がりエッジでD7-D0を本コントローラーのレジスタに書き込みます。	1	入力 *4)	入力 *4)
	WR1_N	D15-8バイトライトストロープ	IN	立ち上がりエッジでD15-D8を本コントローラーのレジスタに書き込みます。	1	入力 *4)	入力 *4)
	MPBUS	バスモード選択	IN	"L"レベルでセパレートバスです。 "H"レベルでマルチプレクスバスです。 "H"/"L"どちらかのレベルに固定してください。	1	入力 *1)	入力 *1)
SPLITバスインタフェース	SD7-0	スプリットデータバス	I/O	スプリットバスが選択されている場合はスプリットバスのデータバスとして機能します。	8	入力 (Hi-Z)	入力 (Hi-Z)
DMAバスインタフェース	DREQ0_N DREQ1_N	DMAリクエスト	OUT	D0FIFOポート、D1FIFOポートのDMA転送リクエストを通知します。	2	H	H
	DACK0_N DACK1_N	DMAアクノリッジ	IN	D0FIFOポート、D1FIFOポートのDMAアクノリッジ信号を入力してください。	2	入力	入力
	DEND0_N DEND1_N	DMA転送終了	I/O	<FIFOポートアクセス書き込み方向時>入力信号として他の周辺チップまたはCPUから転送終了信号を受け付けます。 <FIFOポートアクセス読み出し方向時>出力信号として転送の最終データを示します。	2	入力 (Hi-Z)	入力 (Hi-Z)
割り込み/SOF出力	INT_N	割り込み	OUT	"L"アクティブでUSB通信に関する各種割り込みを通知します。アクティブはデフォルト"L"アクティブですが、ソフトウェアでINTAビットの設定値を変更することにより、"H"アクティブに設定可能です	1	H	H
	SOF_N	SOFパルス出力	OUT	SOF検出時に"L"アクティブでSOFパルスを出します。	1	H	H
クロック	XIN	発振用入力	IN	XIN、XOUTの間に水晶振動子を接続してください。外部クロック入力する場合は、XINIに外部クロック信号を接続し、XOUTは開放してください。	1		
	XOUT	発振用出力	OUT		1		
システム制御	RST_N	リセット信号	IN	本コントローラーを"L"レベルで初期化します。	1	入力(L)	入力(H)
USBバスインタフェース	DP0	USB D+データ	I/O	USBバスのD+端子に接続してください。	1	入力 (Hi-Z)	入力 (Hi-Z)
	DM0	USB D-データ	I/O	USBバスのD-端子に接続してください。	1	入力 (Hi-Z)	入力 (Hi-Z)

区分	端子名	名称	I/O	機能	端子数	端子の状態 *5)	
						リセット中	リセット直後
VBUS 監視入力	VBUS	VBUS入力	IN	USBバスのVbusに直接接続してください。 Vbusの接続/切断を検出することができます。 Vbusに接続しない場合は5Vに接続してください。	1	入力 (Hi-Z)	入力 (Hi-Z)
基準抵抗	REFRIN	リファレンス入力	IN	5.6kΩ ±1%抵抗を介してアナログGND端子に接続してください	1		
電源/GND	AVCC	アナログ電源	-	3.3Vに接続してください。	1		
	AGND	アナログGND	-		1		
	VCC	電源	-	3.3Vに接続してください。	3		
	GND	GND	-		13 (FP) 14 (BG)		
	VIF	IO電源	-	3.3Vまたは1.8Vに接続してください。	4		
	VDD	コア電源	OUT	内部レギュレータで生成したコア電源用1.5Vを出力。コア電源の安定化の為、GNDとの間にコンデンサ(4.7uF,0.1uF)を接続してください。 尚、外部電源の接続は不要です。	2		

- \*1) MPBUS 端子の入力レベルは、H/W リセット直後に確定している必要があります。また、動作中には切り替えを行わないでください。
- \*2) CS\_N="L" かつ RD\_N="L"の時出力、それ以外は入力となります。
- \*3) MPBUS="H"の時には、Hi-Z 入力(オープン)可能です。
- \*4) CS\_N、WR0\_N および WR1\_N 信号は、リセット中およびリセット解除直後は以下(a)もしくは(b)の状態を保ってください。  
(a) CS\_N="H" (b)WR0\_N="H"、かつ、WR1\_N="H"
- \*5) "端子の状態"欄の説明  
(a) 入力 : 入力ポート、Hi-Z状態(オープン)不可  
(b) 入力(Hi-Z) : 入力ポート、Hi-Z状態(オープン)可能  
(c) H、L、H/L : 出力ポートの状態を示します

表 1.2 R8A66593未使用端子の処理例

区分	端子名	処理内容
SPLIT バスインタフェース	SD7-0	オープン
DMAバスインタフェース	DREQ0_N, DREQ1_N	オープン
	DACK0_N, DACK1_N	VIFの"H"レベルに固定*1)
	DEND0_N, DEND1_N	オープン*2)
SOF出力	SOF_N	オープン
VBUS監視入力	VBUS	USBコネクタのVBUS信号に接続してください。

- \*1) DACKn\_N端子を使用しない場合、DMAxCFGRレジスタのDFORMビットを"000"に  
かつDACKAビットを"0"に設定してください (n=0,1)
- \*2) DENDn\_N端子を使用しない場合、DMAxCFGRレジスタのDENDEビットを"0"に設  
定してください (n=0,1)

## 1.5 端子機能構成

図 1.3に本コントローラーの端子機能構成図を示します。

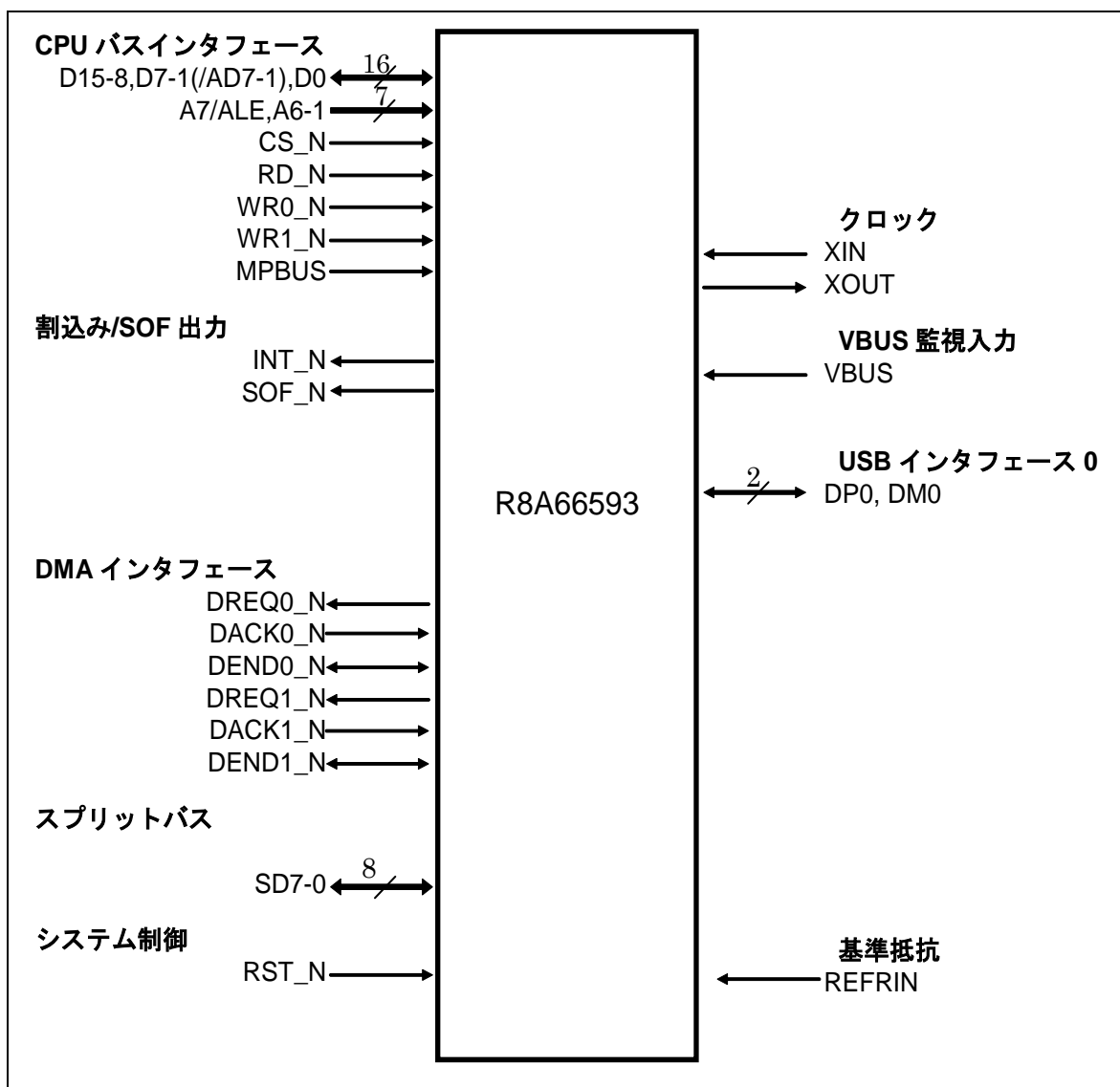


図 1.3 端子機能構成図

## 1.6 機能概要

### 1.6.1 バスインタフェース

本コントローラーは、下記に示すバスインタフェースに対応しています。

#### 1.6.1.1 外部バスインタフェース

本コントローラーは、CPUバスインタフェースを使用して、制御用レジスタにアクセスします。

CPUとのバスインタフェースは、下記の2種類のアクセス方法に対応しています。チップセレクト端子(CS\_N)及び3本のストロブ端子(RD\_N、WR0\_N、WR1\_N)でアクセスしてください。

16bitセパレートバス

7本のアドレスバス(A7-1)、及び16本のデータバス(D15-0)を使用します。

16bitマルチプレクスバス

ALE端子(ALE)、及び16本のデータバス(D15-0)を使用します。データバスは、アドレスとデータを時分割で使用します。

セパレートバス、及びマルチプレクスバスは、H/Wリセット解除時のMPBUS端子信号レベルで選択します。

#### 1.6.1.2 FIFO バッファメモリアccess方法

本コントローラーは、USBデータ転送用のFIFOバッファメモリへのアクセス方法として下記の2種類に対応しています。CPU (DMAC) からFIFOポートアクセス (読み出し / 書き込み) を行うことにより、FIFOバッファメモリからの読み出し (への書き込み) を行うことが出来ます。

(1) CPUアクセス

アドレス信号、及びコントロール信号を使用して、データをFIFOバッファメモリに書き込み、もしくはFIFOバッファメモリから読み出してください。

(2) DMAアクセス

CPU内蔵DMAC、もしくは専用DMACから、データを本コントローラーのFIFOバッファメモリに書き込み、もしくはFIFOバッファメモリから読み出してください。

USBデータ通信はリトルエンディアンで行われます。FIFOポートアクセスにはバイトエンディアンスワップ機能があり、16bitアクセスの場合には、レジスタ設定によるエンディアン切り替えができます。

#### 1.6.1.3 DMAC からの FIFO バッファメモリアccess方法

FIFOバッファメモリへのアクセスをDMAアクセスで行う場合は、さらに下記2種類のアクセス方法を選択できます。

(1) CPUとの共有バスを使用する方法

(2) 専用バス(スプリットバス)を使用する方法

### 1.6.2 USBイベント

本コントローラーは、USB動作上のイベントを割り込みによりユーザーシステムに通知します。また、DMAインタフェースを選択したパイプのバッファメモリへのアクセスが可能なことを、DREQ信号をアサートすることにより通知します。

ソフトウェアの設定により種類別、要因別に割り込み通知の可否を選択することができます。



### 1.6.3 USBデータ転送

本コントローラーは、USB通信のコントロール転送、バルク転送、インタラプト転送、及びアイソクロナス転送の全種類のデータ転送が可能です。各転送タイプに対するパイプのリソースは下記のとおりです。

- (1) コントロール転送専用パイプ;1本
- (2) インタラプト転送専用パイプ;4本
- (3) バルク転送専用パイプ;3本
- (4) バルク転送もしくはアイソクロナス転送選択パイプ; 2本

各パイプは、ユーザーシステムに合わせて転送タイプ、エンドポイントアドレス、マックスパケットサイズ等のUSB転送に必要な設定を行ってください。

また、本コントローラーは、8.5Kバイトのバッファメモリを内蔵しています。バルク転送専用パイプ、及びバルク転送もしくはアイソクロナス転送選択パイプに対しては、ユーザーシステムによるバッファメモリの割り当てやバッファ動作モードなどの設定を行ってください。バッファ動作モード設定は、ダブルバッファ構成やデータパケットの連続転送機能により、少ない割り込み回数で、高速なデータ転送が可能です。バルク転送及びアイソクロナス転送を行うパイプでの効率のよいデータ転送のために、トランザクションカウンタ機能によるトランスファー終了機能を備えています。

ユーザーシステムの制御用CPU、及びDMAコントローラーからのバッファメモリへのアクセスは、3本のFIFOポートレジスタを通して行います。

### 1.6.4 DMAC(ダイレクトメモリアクセスコントローラー)からのアクセス用インタフェース

DMAインタフェースは、DxFIFOポートを使用した、ユーザーシステムと本コントローラー間のデータ転送であり、CPUが介在しないデータ転送です。本コントローラーは、2チャンネルのDMAインタフェースを備えており、下記のような機能を有しています。

- (1) 転送終了信号(DEND信号)によるトランスファー終了通知機能
- (2) Zero-Lengthパケット受信時のFIFOバッファ自動クリア機能

本コントローラーは、下記の2種類のDMA転送に対応したインタフェースを備えています。

- (1) サイクルスチール転送  
1データ転送(1バイト/1ワード)ごとにDREQ端子のアサート、ネゲートが繰り返される転送。
- (2) バースト転送  
当該FIFOポートに、割り当てられたパイプのバッファメモリ領域分、もしくはDEND信号による転送終了までDREQ端子をアサートしたままネゲートしない転送。

また、DMAインタフェースのハンドシェイク信号(端子)として「CS\_N、RD\_N、WR\_N」、もしくはDACK\_Nを選択可能です。スプリットバスを使用したDMA転送では、DMAxCFGレジスタのOBUSビット操作でデータセットアップタイミングを変更することにより、高速なDMA転送が可能です。

### 1.6.5 SOFパルス出力機能

SOFパケットの送受信タイミングを通知するSOFパルス出力機能を備えています。SOFパケットの受信時にSOF\_N端子にパルスを出力します。SOFパケット破損時もSOF補間タイムにより、一定間隔でパルスを出力します。

### 1.6.6 外付け素子の取り込み

本コントローラーは、下記の外付け素子を内蔵しています。また、VBUS端子は5V耐圧のため、ユーザーシステムは、VBUS信号を本コントローラーに直接入力することができます。

(1) D+、D-ラインの制御に必要な抵抗

USB通信時に必要となる以下のD+、D-の抵抗を内蔵しています。

- ・ D+プルアップ抵抗
- ・ D+、D-の終端抵抗 (Hi-Speed動作時)
- ・ D+、D-の出力抵抗 (Full-Speed動作時)

(2) 48MHz、及び480MHzのPLL

3種類の外部クロック(12MHz/24MHz/48MHz)から一つを選択し、動作させることができます。

(3) 3.3V->1.5Vレギュレータ

コア電源用の1.5Vを本コントローラー内部で生成します。インターフェイス電源を3.3Vで使用するシステムでは、本コントローラーを単一電源で動作させることが可能です。

# 2 レジスタ

## レジスタ表の見方

- ① ビット番号            各レジスタは、16ビットの内部バスに接続されています。  
奇数番地はb15~b8に、偶数番地はb7~b0になります。
- ② リセット後の状態    リセット動作直後のレジスタ初期状態を示します。  
H/WリセットはRST\_N端子から外部リセット信号を入力した場合の初期状態です。  
USBバスリセットは本コントローラーがUSBバスリセットを検出した場合の初期状態です。  
なお、リセット動作中に特筆すべき事項は注意事項で記載しています。  
“-”は本コントローラーによる操作がなく、ユーザー設定が保持されている状態です。  
“?”は値が不定な状態であることを示します。
- ③ S/W Access条件      ソフトウェアがレジスタをアクセスする場合の条件です。
- ④ H/W Access条件      本コントローラーがリセット動作以外でレジスタをアクセスする場合の条件です。  
R . . . Read Only  
W . . . Write Only  
R/W . . Read / Write  
R(0) . . “0”Read Only  
W(1) . . “1”Write Only
- ⑤ Remarks              備考、および、詳細説明項目番号です。
- ⑥ Name                  ビットシンボル及びビット名称です。
- ⑦ Function              機能説明です。特に断りのない場合は、読み出し時の値は  
ソフトウェアまたはハードウェアが書き込んだ値です。

<表記例>

網掛け部分には何も配置されていません。“0”に固定してください。

① Bit Number	→	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit Symbol	→	?	Abit	Bbit	Cbit												
② H/Wリセット	→	?	0	0	0												
USBバスリセット	→	?	0	-	-												

bit	Name	Function	S/W	H/W	Remarks
15	何も配置されていません。“0”に固定してください。				
14	A bit AAA 許可	0 : 動作禁止 1 : 動作許可	R/W	R	
13	B bit BBB 動作	0 : Low 出力 1 : High 出力	R	W	
12	C bit CCC 制御	0 : . . . . . 1 : . . . . .	R(0)/ W(1)	R	
	⑥	⑦	③	④	⑤

<<Remarks>>

## 2.1 レジスタ一覧

表 2.1に本コントローラーのレジスタ一覧表を示します。

表 2.1 レジスタ一覧表

Address	Symbol	Name	Index
00	SYSCFG0	システムコンフィグレーションコントロールレジスタ0	
02	SYSCFG1	システムコンフィグレーションコントロールレジスタ1	
04	SYSSTS0	システムコンフィグレーションステータスレジスタ	
06			
08	DVSTCTR0	デバイスコントロールレジスタ	
0A			
0C	TESTMODE	テストモードレジスタ	
0E	PINCFG	データピンコンフィグレーションレジスタ	
10	DMA0CFG	DMA0ピンコンフィグレーションレジスタ	
12	DMA1CFG	DMA1ピンコンフィグレーションレジスタ	
14	CFIFO	CFIFOポートレジスタ	
16			
18	D0FIFO	D0FIFOポートレジスタ	
1A			
1C	D1FIFO	D1FIFOポートレジスタ	
1E			
20	CFIFOSEL	CFIFOポート選択レジスタ	
22	CFIFOCTR	CFIFOポートコントロールレジスタ	
24			
26			
28	D0FIFOSEL	D0FIFOポート選択レジスタ	
2A	D0FIFOCTR	D0FIFOポートコントロールレジスタ	
2C	D1FIFOSEL	D1FIFOポート選択レジスタ	
2E	D1FIFOCTR	D1FIFOポートコントロールレジスタ	
30	INTENB0	割り込み許可レジスタ0	
32			
34			
36	BRDYENB	BRDY割り込み許可レジスタ	
38	NRDYENB	NRDY割り込み許可レジスタ	
3A	BEMPENB	BEMP割り込み許可レジスタ	
3C	SOFCFG	SOF出力コンフィグレーションレジスタ	
3E			
40	INTSTS0	割り込みステータスレジスタ0	
42			
44			
46	BRDYSTS	BRDY割り込みステータスレジスタ	
48	NRDYSTS	NRDY割り込みステータスレジスタ	
4A	BEMPSTS	BEMP割り込みステータスレジスタ	
4C	FRMNUM	フレームナンバレジスタ	
4E	UFRMNUM	マイクロフレームナンバレジスタ	
50	USBADDR	USBアドレスレジスタ	
52			
54	USBREQ	USBリクエストタイプレジスタ	
56	USBVAL	USBリクエストバリュレジスタ	
58	USBINDX	USBリクエストインデックスレジスタ	
5A	USBLENG	USBリクエストレングスレジスタ	
5C	DCPCFG	DCPコンフィグレーションレジスタ	
5E	DCPMAXP	DCPマックスパケットサイズレジスタ	
60	DCPCTR	DCPコントロールレジスタ	
62			

Address	Symbol	Name	Index
64	PIPESEL	パイプウィンドウ選択レジスタ	
66			
68	PIPECFG	パイプコンフィグレーションレジスタ	
6A	PIPEBUF	パイプバッファ指定レジスタ	
6C	PIPEMAXP	パイプマックスパケットサイズレジスタ	
6E	PIPEPERI	パイプ周期制御レジスタ	
70	PIPE1CTR	PIPE1コントロールレジスタ	
72	PIPE2CTR	PIPE2コントロールレジスタ	
74	PIPE3CTR	PIPE3コントロールレジスタ	
76	PIPE4CTR	PIPE4コントロールレジスタ	
78	PIPE5CTR	PIPE5コントロールレジスタ	
7A	PIPE6CTR	PIPE6コントロールレジスタ	
7C	PIPE7CTR	PIPE7コントロールレジスタ	
7E	PIPE8CTR	PIPE8コントロールレジスタ	
80	PIPE9CTR	PIPE9コントロールレジスタ	
82-8E			
90	PIPE1TRE	PIPE1トランザクションカウンタイネーブルレジスタ	
92	PIPE1TRN	PIPE1トランザクションカウンタレジスタ	
94	PIPE2TRE	PIPE2トランザクションカウンタイネーブルレジスタ	
96	PIPE2TRN	PIPE2トランザクションカウンタレジスタ	
98	PIPE3TRE	PIPE3トランザクションカウンタイネーブルレジスタ	
9A	PIPE3TRN	PIPE3トランザクションカウンタレジスタ	
9C	PIPE4TRE	PIPE4トランザクションカウンタイネーブルレジスタ	
9E	PIPE4TRN	PIPE4トランザクションカウンタレジスタ	
A0	PIPE5TRE	PIPE5トランザクションカウンタイネーブルレジスタ	
A2	PIPE5TRN	PIPE5トランザクションカウンタレジスタ	
A4-E6			

網掛けの番地には何も配置されていません。アクセスを行わないでください。

## 2.2 ビットシンボル一覧

表 2.2に本コントローラーのビットシンボル一覧表を示します。

表 2.2 ビットシンボル一覧表

addr	レジスタ名	奇数番地								偶数番地							
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	SYSCFG0	XTAL		XCKE		PLL	SCKE			HSE	DCFM		DPRPU			USBE	
02	SYSCFG1				CNTFLG			PCSDIS	LPSME								
04	SYSSTS0															LNST	
06																	
08	DVSTCTR0							WKUP								RHST	
0A																	
0C	TESTMODE															UTST	
0E	PINCFG	LDRV														INTA	
10	DMA0CFG		DREQA	BURST			DACKA		DFORM	DENDA	PKTM	DENDE		OBUS			
12	DMA1CFG		DREQA	BURST			DACKA		DFORM	DENDA	PKTM	DENDE		OBUS			
14	CFIFO	CFPORT															
16																	
18	D0FIFO	D0FPORT															
1A																	
1C	D1FIFO	D1FIPORT															
1E																	
20	CFIFOSEL	RCNT	REW				MBW		BIGEND			ISEL				CURPIPE	
22	CFIFOCTR	BVAL	BCLR	FRDY												DTLN	
24																	
26																	
28	D0FIFOSEL	RCNT	REW	DCLRM	DREQE		MBW		BIGEND							CURPIPE	
2A	D0FIFOCTR	BVAL	BCLR	FRDY												DTLN	
2C	D1FIFOSEL	RCNT	REW	DCLRM	DREQE		MBW		BIGEND							CURPIPE	
2E	D1FIFOCTR	BVAL	BCLR	FRDY												DTLN	
30	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE								
32																	
34																	
36	BRDYENB									PIPEBRDYE							
38	NRDYENB									PIPENRDYE							
3A	BEMPENB									PIPEBEMPE							
3C	SOFCFG									BRDYM	INTL	EDGESTS	SOFM				
3E																	
40	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS		DVSQ		VALID		CTSQ	
42																	
44																	
46	BRDYSTS									PIPEBRDY							
48	NRDYSTS									PIPENRDY							
4A	BEMPSTS									PIPEBEMP							
4C	FRMNUM	OVRN	CRCE													FRNM	
4E	UFRMNUM									UFRNM							
50	USBADDR	USBADDR															
52																	
54	USBREQ	bRequest								bmRequestType							
56	USBVAL	wValue															
58	USBINDX	wIndex															
5A	USBLENG	wLength															
5C	DCPCFG							CNTMD	SHTNAK								
5E	DCPMAXP	MXPS															
60	DCPCTR	BSTS						SQCLR	SQSET	SQMON	PBUSY				CCPL	PID	
62																	
64	PIPESEL	PIPESEL															
66																	

addr	レジスタ名	奇数番地								偶数番地							
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
68	PIPECFG	TYPE					BFRE	DBLB	CNTMD	SHTNAK			DIR	EPNUM			
6A	PIPEBUF	BUFSIZE								BUFNMB							
6C	PIPEMAXP	MXPS															
6E	PIPEPERI				IFIS												IITV
70	PIPE1CTR	BSTS	INBUFM				ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
72	PIPE2CTR	BSTS	INBUFM				ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
74	PIPE3CTR	BSTS	INBUFM				ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
76	PIPE4CTR	BSTS	INBUFM				ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
78	PIPE5CTR	BSTS	INBUFM				ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
7A	PIPE6CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
7C	PIPE7CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
7E	PIPE8CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
80	PIPE9CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID
82-8E																	
90	PIPE1TRE							TRENB	TRCLR								
92	PIPE1TRN	TRNCNT															
94	PIPE2TRE							TRENB	TRCLR								
96	PIPE2TRN	TRNCNT															
98	PIPE3TRE							TRENB	TRCLR								
9A	PIPE3TRN	TRNCNT															
9C	PIPE4TRE							TRENB	TRCLR								
9E	PIPE4TRN	TRNCNT															
A0	PIPE5TRE							TRENB	TRCLR								
A2	PIPE5TRN	TRNCNT															
A4-E6																	

## 2.3 システムコンフィグレーションコントロール

### ◆ システムコンフィグレーションコントロールレジスタ【SYSCFG0】

&lt;アドレス: 00H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XTAL	XCKE		PLL	SCKE			HSE	DCFM		DPRPU					USBE
0	0	0	?	0	0	?	?	0	0	?	0	?	?	?	0
-	-	-	?	-	-	?	?	-	?	?	-	?	?	?	-

Bit	Name	Function	S/W	H/W	Remarks
15-14	XTAL XIN クロック選択	XIN 端子から入力するクロックの周波数を指定します。 00: 12MHz 入力 01: 24MHz 入力 10: 48MHz 入力 11: Reserved	R/W	R	
13	XCKE 発振バッファ許可	発振バッファ動作の禁止/許可を指定します。 0: 発振バッファ動作禁止 1: 発振バッファ動作許可	R/W	R	
12	何も配置されていません。"0"に固定してください。				
11	PLL 48MHzPLL 動作許可	48MHzPLL 動作の禁止/許可を指定します。 0: PLL 動作禁止 1: PLL 動作許可	R/W	R/W	
10	SCKE USB ブロッククロック許可	USB ブロックへの 48MHz クロック供給の停止/許可を指定します。 0: USB ブロックへのクロック供給停止 1: USB ブロックへのクロック供給許可	R/W	R/W	
9-8	何も配置されていません。"0"に固定してください。				
7	HSE Hi-Speed 動作許可	Hi-Speed 動作禁止/許可を指定します。 0: Hi-Speed 動作禁止 (Full-Speed) 1: Hi-Speed 動作許可 (コントローラーが通信 Speed を検出)	R/W	R	
6	DCFM コントローラ機能選択	本コントローラーの機能 ON/OFF を指定します。 0: USB Controller 機能 ON 1: USB Controller 機能 OFF	R/W	R	
5	何も配置されていません。"0"に固定してください。				
4	DPRPU D+ライン抵抗制御	D+ライン PullUp の禁止/許可を指定します。 0: Pull Up 禁止 1: Pull Up 許可	R/W	R	
3-1	何も配置されていません。"0"に固定してください。				
0	USBE USB ブロック動作許可	USB ブロックの動作禁止/許可を指定します。 0: USB ブロック動作禁止 1: USB ブロック動作許可	R/W	R	

&lt;&lt;Remarks&gt;&gt;

なし



### 2.3.1 XINクロック選択ビット(XTAL)

本ビットに、XIN端子に接続する水晶振動子、または発振器に応じた値を設定してください。本コントローラーは本ビットの設定値によって、48MHzPLLの通倍数を判断します。

本ビットの設定はハードウェアリセット直後に行い、本コントローラーの動作中は変更しないでください。

### 2.3.2 発振バッファ許可ビット(XCKE)

本ビットを"1"に設定することにより、本コントローラーの発振バッファ動作を許可します。発振バッファ動作を禁止する時には"0"を書き込んでください。

本コントローラーがクロック復帰処理を行っている期間("CNTFLG=1"が表示されている期間)は、"XCKE=0"を書き込まないでください。また、クロック復帰処理終了時には、必ず"XCKE=1"を書き込んでください。

### 2.3.3 48MHzPLL動作許可ビット(PLLC)

本ビットを"1"に設定することにより、本コントローラーの48MHzPLLの動作を許可します。48MHzPLLの動作を禁止する時には"0"を書き込んでください。

### 2.3.4 USBブロッククロック許可ビット(SCKE)

本ビットを"1"に設定することにより、本コントローラーのUSBブロックへのクロック供給を許可します。USBブロックへのクロック供給を禁止する時には"0"を書き込んでください。

表 2.3に本ビットが"0"の時に書き込み可能なレジスタを示します。その他のレジスタへの書き込みは行えません。本ビットが"0"の時の各レジスタの読み出しは可能です。

表 2.3 "SCKE=0"の時に、ソフトウェアによる書き込みが可能なレジスタ一覧

アドレス	レジスタ名
00H	SYSCFG0
02H	SYSCFG1
0EH	PINCFG

### 2.3.5 Hi-Speed動作許可ビット(HSE)

本ビットを"1"に設定することにより、Hi-Speed動作を許可します。"HSE=1"を設定した場合、本コントローラーはReset Handshakeの結果に従いHi-SpeedまたはFull-Speed動作させます。

"HSE=0"を設定した場合、本コントローラーはFull-Speed動作を行います。

"HSE=1"を設定した場合、本コントローラーはReset Handshake Protocolの結果に従い自動的にHi-SpeedまたはFull-Speed動作を行います。

本ビットの書き換えは、"DPRPU=0"の時に行ってください。

### 2.3.6 コントローラー機能選択ビット(DCFM)

本ビットを設定する事により、USB Controller機能のON/OFFを指定します。本ビットの書き換えは、"DPRPU=0"の時に行ってください。

2.11.1も参照下さい。

### 2.3.7 D+ライン抵抗制御 (DPRPU)

表 2.4にUSBデータバスの抵抗についての設定を示します。DPRPUビットでUSBデータバスの抵抗選択を行ってください。

表 2.4 USBデータバス抵抗の制御

設定 内容	USB データバス抵抗制御	
	D+ Line	Remarks
1	Pull-Up	D+ラインをプルアップする場合に設定してください
0	Open	D+ラインをプルアップ解除する場合に設定してください

本ビットを"1"に設定すると、本コントローラーはD+ラインを3.3VにPull Upし、USBホストに対してアタッチを通知することができます。

また、本ビットを"1"から"0"に変更することにより、本コントローラーはD+ラインのPull Upを解消しますので、USBホストに対してデタッチしたと見せることができます。

### 2.3.8 USBブロック動作許可ビット(USBE)

本ビットを設定することにより、本コントローラーのUSBブロックの動作許可、禁止を行います。

"USB=1"から"USB=0"に変更した場合には、本コントローラーは表2.5に示すビットを初期化します。

表 2.5 "USB=0"書き込みにより初期化されるレジスタ一覧

レジスタ名	ビット名	Remark
SYSSTS0	LNST	
DVSTCTR0	RHST	
INTSTS0	DVSQ	
USBADDR	USBADDR	
USBREQ	bRequest bmRequestType	
USBVAL	wValue	
USBINDX	wIndex	
USBLENG	wLength	

本ビットの変更は、"SCKE=1"の時に行ってください。

## ◆ システムコンフィグレーションコントロールレジスタ【SYSCFG1】

&lt;アドレス : 02H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			CNTFLG			PCSDIS	LPSME								
?	?	?	0	?	?	0	0	?	?	?	?	?	?	?	?
?	?	?	-	?	?	-	-	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	Remarks
15-13	何も配置されていません。"0"に固定してください。				
12	CNTFLG オートクロックモニター	現在オートクロックセットアップ処理中かどうかが表示されます。 0: オートクロック処理終了またはクロック停止中 1: オートクロック処理中	R	W	
11-10	何も配置されていません。"0"に固定してください。				
9	PCSDIS Low パワースリープモードからの CS_N による復帰禁止	CS_N の立下りによる Low パワースリープモードからの復帰の禁止/許可を指定します。 0: CS_N による復帰許可 1: CS_N による復帰禁止	R/W	R	
8	LPSME Low パワースリープモード許可	クロック停止中に本コントローラーが Low パワースリープモードへ遷移するかどうかの禁止/許可を指定します。 0: Low パワースリープモード禁止 1: Low パワースリープモード許可	R/W	R	
7-0	何も配置されていません。"0"に固定してください。				

## &lt;&lt;Remarks&gt;&gt;

なし

**2.3.9 オートクロックモニタービット(CNTFLG)**

本コントローラーがクロック復帰処理を行っている期間に"1"が表示されるビットです。

本ビットは、本コントローラーがクロック復帰処理を開始したときに"0"から"1"に変化し、クロック復帰が完了して"SCKE=1"の状態になったときに"1"から"0"に変化します。

**2.3.10 CS\_N復帰禁止ビット(PCSDIS)**

本コントローラーがLowパワースリープ状態から通常状態へ遷移するためのイベントとしてCS\_N端子の立下りエッジを許可するか、禁止するかを設定するためのビットです。

本ビットの設定値による復帰イベントの相違については表 2.6を参照ください。

### 2.3.11 Lowパワースリープモード許可ビット(LPSME)

"LPSME=1"設定時に発振バッファを停止 ("XCKE=0"設定) させた場合、本コントローラーはLowパワースリープ状態に遷移し、"LPSME=0"設定時の発振バッファ停止状態よりも待機電流を低減させることができます。

"LPSME=1"かつ"XCKE=0"によるLowパワースリープ状態から本コントローラーが通常のクロック動作状態へ復帰するためのイベントは以下の2種類です。

表 2.6 Lowパワースリープ状態 ("LPSME=1"かつ"XCKE=0") からの復帰イベント

条件	復帰イベント
"PCSDIS=0"設定時	(1) "RSME=1"設定時のRESM割り込み検出 (2) "VBSE=1"設定時のVBINT割り込み検出 (3) CPUからのダミーリードによるCS_N信号アサート
"PCSDIS=1"設定時	(1) "RSME=1"設定時のRESM割り込み検出 (2) "VBSE=1"設定時のVBINT割り込み検出

"LPSME=1"設定は、"XCKE=1"の時に行ってください。

"LPSME=1"設定時に、"XCKE=0"設定によってLowパワースリープ状態に遷移させた場合、"XCKE=0"設定後10us間は本コントローラーへのアクセスは禁止です。従ってCPUからのダミーリードによるLowパワースリープ状態からの復帰は、少なくとも"XCKE=0"設定後10us経過後に実施してください。

本コントローラーがLowパワースリープ状態に遷移した場合、FIFOバッファ内の値は失われます。"LPSME=1"設定で本コントローラーを使用する場合、"XCKE=0"を設定する前にFIFOの内容の読み出しを完了させるかもしくはFIFOバッファのクリアを実施してください。

## 2.4 システムコンフィギュレーションステータス

◆ システムコンフィギュレーションステータスレジスタ0【SYSSTS0】 <アドレス：04H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														LNST	
?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	Remarks
15-2	何も配置されていません。"0"に固定してください。				
1-0	LNST USBデータラインステータスマニター	USBライン状態が表示されます。 ※ 詳細説明をご覧ください。	R	W	

<<Remarks>>

なし

### 2.4.1 ラインステータスマニタビット (LNST)

表 2.7に本コントローラーのUSBデータバスラインステータス表を示します。本コントローラーは、**SYSSTS0**レジスタの**LNST**ビットにUSBデータバスのラインステータス (D+ライン、及びD-ライン) をモニタします。

LNSTビットの参照は、アタッチ処理 ("DPRPU=1"設定) 以後に行ってください。

表 2.7 USBデータバスラインステータス表

LNST [1]	LNST [0]	Full-Speed 動作時	Hi-Speed 動作時	Chirp 動作時
0	0	SE0	Squelch	Squelch
0	1	J State	Unsquelch	Chirp J
1	0	K State	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

Chirp: Hi-Speed 動作許可の状態 (HSE = "1") で、リセットハンドシェイクプロトコル実行中

Squelch: SE0、もしくは Idle 状態

Unsquelch: Hi-Speed J State、もしくは Hi-Speed K State

Chirp J: Chirp J State

Chirp K: Chirp K State

## 2.5 USB信号制御

## ◆ デバイスステートコントロールレジスタ0【DVSTCTRO】

&lt;アドレス: 08H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							WKUP						RHST		
?	?	?	?	?	?	?	0	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	0	?	?	?	?	?	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-9	何も配置されていません。"0"に固定してください。				
8	WKUP ウェイクアップ出力	リモートウェイクアップ（レジューム信号出力）禁止/許可を指定します。 0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力	R/W(1)	R/W(0)	
7-3	何も配置されていません。"0"に固定してください。				
2-0	RHST リセットハンドシェイク	リセットハンドシェイクの状態を表示します。 ※ 詳細説明をご覧ください。	R	W	

&lt;&lt;Remarks&gt;&gt;

なし

### 2.5.1 リモートウェイクアップ（レジューム信号出力）禁止/許可ビット（WKUP）

本ビットを"1"に設定すると、本コントローラーはUSBバスにリモートウェイクアップ信号を出力します。

本コントローラーは、リモートウェイクアップ信号の出力時間を管理しています。ソフトウェアがWKUPビットに"1"を設定すると、本コントローラーは10msの"K-State"を出力しその後"WKUP=0"にします。

USB規格では、リモートウェイクアップ信号の送信までに最短5msのUSBバスアイドル状態を保持する必要があります。この為、サスペンド状態を検出した直後に"WKUP=1"を書き込んでも、本コントローラーは2ms待ってからKステートを出力します。

WKUPビットへの"1"書き込みは、デバイスステートがサスペンド ("DVSQ=1xx") でありかつUSBホストからリモートウェイクアップが許可されている場合にのみ行ってください。

WKUPビットを"1"に設定する場合は、サスペンド中であっても内部クロックを停止しないでください ("SCKE=1"の状態 で"WKUP=1"を書き込んでください)。

### 2.5.2 リセットハンドシェイクステータスビット（RHST）

本コントローラーはReset Handshakeの結果を本ビットに表示します。表 2.8 にReset Handshake結果一覧を示します。

表 2.8 Reset Handshakeステータス表

バスの状態	RHST ビットの値
Powered時 or Disconnect時	000
ResetHandshake 中	100
Full-Speed 接続時	010
Hi-Speed 接続時	011

"HSE=1"を設定している場合、本コントローラーがUSBバスリセットを検出すると、本ビットは"100"を示します。その後、本コントローラーがChirpKを出力し、USBホストからのChirpJKを3回検出した時点で本ビットは"011"を示します。ChirpK出力後、2.5ms以内にHi-Speedに確定しなければ、本ビットは"010"を示します。

"HSE=0"を設定している場合、本コントローラーがUSBバスリセットを検出すると、本ビットは"010"を示します。

本コントローラーがUSBバスリセットを検出後、RHSTビットが"010"または"011"に確定した時点で、DVST割り込みが発生します。

## 2.6 テストモード

### ◆ テストモードレジスタ【TESTMODE】

&lt;アドレス : 0CH&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-4	何も配置されていません。"0"に固定してください。				
3-0	UTST テストモード	※ 詳細説明をご覧ください。	R/W	R	

#### <<Remarks>>

なし

### 2.6.1 テストモードビット (UTST)

本ビットに値を書き込むことにより、本コントローラーはHi-Speed動作時のUSBテスト信号出力を行います。表2.9に本コントローラーのテストモード動作表を示します。

表 2.9 テストモード動作表

テストモード	UTSTビット設定
通常動作	0000
Test_J	0001
Test_K	0010
Test_SE0_NAK	0011
Test_Packet	0100
Reserved	0101-1111

Hi-Speed通信時のUSBホストからのSetFeatureリクエストに従って本ビットを書き込んでください。

本ビットに"0001"~"0100"を設定している時には、本コントローラーはサスペンド状態へ遷移しません。

テストモード設定後、通常のUSB通信を行う場合は、ハードウェアリセットを実施してください。



## 2.7 バスインタフェース制御

### ◆ データピンコンフィグレーションレジスタ【PINCFG】

&lt;アドレス : 0EH&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LDRV															INTA
0	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0
-	?	?	?	?	?	?	?	?	?	?	?	?	?	?	-

Bit	Name	Function	S/W	H/W	Remarks
15	LDRV 出力端子駆動電流制御	0 : VIF=1.6-2.0V時 1 : VIF=2.7-3.6V時	R/W	R	
14-1	何も配置されていません。"0"に固定してください。				
0	INTA INT_Nアクティブ設定	INT_N端子からの割り込み出力のアクティブを設定します。 0 : Lowアクティブ 1 : Highアクティブ	R/W	R	

## &lt;&lt;Remarks&gt;&gt;

なし

### 2.7.1 出力端子駆動電流制御ビット (LDRV)

VIF電源に合わせて本ビットの値を設定してください。

本ビットによる駆動電流制御対象の出力端子は以下のとおりです。

**SD7-0、D15-0、INT\_N、DREQx\_N、DENDx\_N、SOF\_N**端子

本ビットの設定は、ハードウェアリセット後に行い、本コントローラの動作中は変更しないでください。

### 2.7.2 INT\_Nアクティブ設定ビット (INTA)

制御用CPUの割り込み入力仕様にあわせて、INT\_N端子からの割り込み出力のアクティブを設定してください。

本ビットの設定は、ハードウェアリセット後に行い、本コントローラの動作中は変更しないでください。

**DMA0CFG**レジスタは、DMA0インタフェース用入出力端子、及びD0FIFOポートの制御を、**DMA1CFG**レジスタは、DMA1インタフェース用入出力端子、及びD1FIFOポートの制御を行うレジスタです。

◆ DMA0ピンコンフィグレーションレジスタ 【DMA0CFG】

<アドレス：10H>

◆ DMA1ピンコンフィグレーションレジスタ 【DMA1CFG】

<アドレス：12H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DREQA	BURST			DACKA		DFORM		DENDA	PKTM	DENDE		OBUS		
?	0	0	?	?	0	0	0	0	0	0	0	?	0	?	?
?	-	-	?	?	-	-	-	-	-	-	-	?	-	?	?

Bit	Name	Function	S/W	H/W	Remarks
15	何も配置されていません。"0"に固定してください。				
14	DREQA DREQx_N信号極性選択	DREQx_N端子のアクティブを指定します。 0：Lowアクティブ 1：Highアクティブ	R/W	R	
13	BURST バーストモード	DxFIFOに対してサイクルスチール転送でアクセスするかバースト転送でアクセスするかを指定します。 0：サイクルスチール転送 1：バースト転送	R/W	R	
12-11	何も配置されていません。"0"に固定してください。				
10	DACKA DACKx_N信号極性選択	DACKx_N端子のアクティブを指定します。 0：Lowアクティブ 1：Highアクティブ	R/W	R	
9-7	DFORM DMA転送信号選択	DMAでFIFOバッファにアクセスする場合の制御信号を指定します 000：アドレス信号+RD_NWRx_N信号を使用（CPUバス） 010：DACKx_N+RD_NWRx_N信号を使用（CPUバス） 011：DACKx_N信号のみ使用（CPUバス） 100：DACKx_N信号を使用（SPLITバス） 001、101、110、111：Reserved	R/W	R	
6	DENDA DENDx_N信号極性選択	DENDx_N端子のアクティブを指定します。 0：Lowアクティブ 1：Highアクティブ	R/W	R	
5	PKTM DEND出力パッケージモード	DEND出力タイミングを指定します。 0：トランスファー単位にDENDx_N信号をアサート 1：バッファサイズ分のデータ転送毎にDENDx_N信号をアサート	R/W	R	
4	DENDE DENDx_N信号許可	DENDx_N信号の入出力許可を行います。 0：DENDx_N信号禁止（Hi-z出力） 1：DENDx_N信号許可	R/W	R	
3	何も配置されていません。"0"に固定してください。				
2	OBUS OBUS動作禁止	OBUS動作の禁止を行います。 0：OBUSモードを許可 1：OBUSモードを禁止	R/W	R	
1-0	何も配置されていません。"0"に固定してください。				

<<Remarks>>

なし

### 2.7.3 DMA信号制御

DMAインタフェースでデータ転送を行う場合は、**DMAxCFG**レジスタの**BURST**ビット、**PKTM**ビット、**DENDE**ビット、及び**OBUS**ビットでユーザーシステムに合わせたDMAインタフェース動作選択 (**DREQx\_N**信号、及び**DENDx\_N**信号のアサート、ネゲート及びDMA転送モード設定)を行ってください。DMA信号は、後述の**DxFIFOSEL**レジスタの**CURPIPE**ビットで選択したPIPE (当該PIPE) に割り当てたFIFOバッファへのアクセスに対して有効です。当該PIPEのFIFOバッファがバッファレディ (**BRDY**) 状態となったときに"**DREQE=1**"が設定されていれば、本コントローラーは**DREQx\_N**信号をアサートします。

### 2.7.4 DREQx\_N信号極性選択ビット (DREQA)

本ビットにDREQx\_N端子のアクティブを設定してください。

本ビットは、当該FIFOポートに対する"**CURPIPE=000**"の時に設定してください。

### 2.7.5 バーストモードビット (BURST)

DMAコントローラーがDxFIFOに対してサイクルスチール転送を行う場合、本ビットに"**0**"を設定してください。本コントローラーはDREQx\_N信号を1ワード、または1バイトアクセスごとにネゲートします。

DMAコントローラーがDxFIFOに対してバースト転送を行う場合、本ビットに"**1**"を設定してください。本コントローラーはDREQx\_N信号をFIFOバッファ分のアクセスごとにネゲートします。

当該PIPEが通信中は、本ビットの変更を行わないでください。

### 2.7.6 DACKx\_N信号極性選択ビット (DACKA)

本ビットにDACKx\_N端子のアクティブを設定してください。

本ビットは、当該FIFOポートに対する"**CURPIPE=000**"の時に設定してください。

### 2.7.7 DMA転送信号選択ビット (DFORM)

本ビットにDMAコントローラーでFIFOバッファにアクセスする場合の制御信号を設定してください。

本ビットは、当該FIFOポートに対する"**CURPIPE=000**"の時に設定してください。

### 2.7.8 DENDx\_N信号極性選択ビット (DENDA)

本ビットにDENDx\_N端子のアクティブを設定してください。

本ビットは、当該FIFOポートに対する"**CURPIPE=000**"の時に設定してください。

### 2.7.9 DEND出力パケットモードビット (PKTM)

本ビットにDEND出力タイミングを設定してください。

本ビットに"**0**"を設定した場合、本コントローラーは以下(1)~(3)いずれかの条件が満たされた時にDENDx\_N信号をアサートします。

- (1) ショートパケットデータの読出し時の最後のリードアクセス時
- (2) トランザクションカウンタ (**TRNCNT**) で終了したデータの読出し時の最後のリードアクセス時
- (3) FIFOバッファが空の状態Zero-Lengthパケットを受信した時

本ビットに"**1**"を設定した場合、本コントローラーはFIFOバッファサイズ分のデータ転送毎にDENDx\_N出力をアサートします。

本ビットは、当該FIFOポートに対する"**CURPIPE=000**"の時に設定してください。

### 2.7.10 DENDx\_N信号の入出力許可ビット (DENDE)

本ビットにDENDx\_N端子の入出力禁止/許可を設定してください。

本ビットは、当該FIFOポートに対する"CURPIPE=000"の時に設定してください。

### 2.7.11 OBUS動作禁止ビット (OBUS)

本ビットにOBUS動作の許可/禁止を設定してください。

本ビットに"0"を設定した場合、スプリットバスのSD7-0とDENDが常時出力または常時入力許可状態になります。

本ビットに"1"を設定した場合、スプリットバスのSD7-0とDENDx\_Nが、DACKx\_Nがアクティブの期間のみ出力または入力許可状態になります。

D0FIFO及び、D1FIFOを共にスプリットバスにて使用する時には、すべての**OBUS**ビットを"1"に設定してください。

## 2.8 FIFOポート

- ◆ CFIFOポートレジスタ【CFIFO】 <アドレス：14H>
- ◆ D0FIFOポートレジスタ【D0FIFO】 <アドレス：18H>
- ◆ D1FIFOポートレジスタ【D1FIFO】 <アドレス：1CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFOPORT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-0	FIFOPORT FIFOポート	本ビットにアクセスすることにより、FIFOバッファからの受信データ読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。	R/W	R/W	

<<Remarks>>

なし

### 2.8.1 FIFOポート制御

本コントローラーの送受信バッファメモリはFIFO構造（FIFOバッファ）となっています。FIFOバッファへのアクセスはFIFOポートレジスタを使用してください。FIFOポートはCFIFOポート、D0FIFOポート、及びD1FIFOポートの3ポートがあります。各FIFOポートはFIFOバッファへのデータ読み書きを行うポートレジスタ（**CFIFO**、**D0FIFO**、及び**D1FIFO**）、FIFOポートに割り当てるパイプを選択するレジスタ（**CFIFOSEL**、**D0FIFOSEL**、及び**D1FIFOSEL**）、コントロールレジスタ（**CFIFOCTR**、**D0FIFOCTR**、及び**D1FIFOCTR**）で構成されます。

各FIFOポートには下記に示す特徴があります。

- (1) DCP用FIFOバッファへのアクセスはCFIFOポートを通して行ってください。
- (2) DMA転送によるFIFOバッファアクセスは、DxFIFOポートを通して行ってください。
- (3) CPUによるDxFIFOポートアクセスも可能です。
- (4) FIFOポート固有の機能を使用する場合は、**CURPIPE**ビットに設定するPIPE番号（指定PIPE）を変更できません。（DMA関連端子への信号入出力等）
- (5) FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- (6) 同一PIPEを別々のFIFOポートへ割り当てないで下さい。
- (7) FIFOバッファの状態には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。バッファメモリのアクセス権がSIE側にある場合は、CPUからのアクセスはできません。

### 2.8.2 FIFOポートビット (CFIFO、D0FIFO、及びD1FIFO)

ソフトウェアが本レジスタにアクセスを行うことにより、本コントローラーは各選択レジスタ（**CFIFOSEL**、**D0FIFOSEL**、または**D1FIFOSEL**）の**CURPIPE**ビットに設定したPIPE番号に割り当てたFIFOバッファへのアクセスを行います。

本レジスタへのアクセスは、各コントロールレジスタ（**CFIFOCTR**、**D0FIFOCTR**、または**D1FIFOCTR**）の**FRDY**ビットが"1"を示している（または本コントローラーが**DREQx\_N**をアサートしている）時のみ可能です。

本レジスタの有効ビットは、**MBW**ビットの設定値、及び、**BIGEND**ビットの設定値により異なります。有効ビットを、表 2.10に示します。

表 2.10 FIFOポートの有効ビット

MBW 設定値	BIGEND 設定値	b15-b8	b7-b0
0	0	無効	N+0 バイト
0	1	N+0 バイト	無効
1	0	N+1 バイト	N+0 バイト
1	1	N+0 バイト	N+1 バイト

"**MBW=0**"を設定した場合、表 2.10に示すN+0バイト側へのアクセスが可能です。

読み出し時は、アドレス14H、18H、1CHへの16bit幅アクセスを行い、表 2.10に示すN+0バイト側の8bitをデータとして使用してください。

書き込み時は、アドレス14H、18H、1CHへの16bit幅アクセス(WR0\_N及びWR1\_Nを共にアサートによるアクセス。この場合、本コントローラーは表 2.10に示すN+1バイト側を無視します)、または、アドレス14H、18H、1CHへの8bit幅アクセス(WR0\_Nのみをアサート)を行ってください。

"**MBW=1**"を設定した場合、表 2.10に示すN+0バイト側へのアクセスが可能です。

読み出し時は、アドレス14H、18H、1CHへの16bit幅アクセスを行ってください。

書き込み時は、アドレス14H、18H、1CHへの16bit幅アクセス(WR0\_N及びWR1\_Nを共にアサートによるアクセス)を行ってください。

アドレス15H、19H、1DHへのアクセスは行わないでください。

## ◆ CFIFOポート選択レジスタ【CFIFOSEL】

&lt;アドレス：20H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW				MBW		BIGEND			ISEL		CURPIPE			
0	0	?	?	?	0	?	0	?	?	0	?	0	0	0	0
-	-	?	?	?	-	?	-	?	?	-	?	-	-	-	-

Bit	Name	Function	SW	H/W	Remarks
15	RCNT リードカウントモード	CFIFOCTR の DTLN の読み出しモードを指定します。 0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出し毎に DTLN ビットカウントダウン	R/W	R	
14	REW バッファポインタリワインド	バッファポインタのリワインドを行う場合に "1" を指定します。 0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R(0)/W	R/W(0)	
13-11	何も配置されていません。"0"に固定してください。				
10	MBW CFIFOポートアクセスビット幅	CFIFOポートへのアクセスビット幅を指定します。 0: 8ビット幅 1: 16ビット幅	R/W	R	
9	何も配置されていません。"0"に固定してください。				
8	BIGEND FIFOポートエンディアン制御	CFIFOポートのバイトエンディアンを指定します。 0: リトルエンディアン 1: ビッグエンディアン	R/W	R	
7-6	何も配置されていません。"0"に固定してください。				
5	ISEL DCP選択時のFIFOポートアクセス方向	CURPIPEビットにDCP選択時のFIFOポートアクセス方向を指定します。 0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択	R/W	R	
4-3	何も配置されていません。"0"に固定してください。				
2-0	CURPIPE FIFOポートアクセスパイプ指定	CFIFOポートにアクセスするPIPE番号を指定します。 0000: DCP 0001: PIPE1 0010: PIPE2  1000: PIPE8 1001: PIPE9	R/W	R	

&lt;&lt;Remarks&gt;&gt;

なし

### 2.8.3 リードカウントモード (RCNT)

本ビットに"0"を設定した場合、**CURPIPE**ビットに指定したPIPE (指定PIPE) に割り付けたFIFOバッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本コントローラーは**CFIFOCTR**レジスタの**DTLN**ビットを"0"にクリアします。

本ビットに"1"を設定した場合、指定PIPEに割り付けたFIFOバッファから受信データ読み出し毎に、本コントローラーは**CFIFOCTR**レジスタの**DTLN**ビットをカウントダウンします。

### 2.8.4 バッファポインタリワインド (REW)

指定PIPEが受信方向の場合に、FIFOバッファの読み出し中に本ビットに1を設定すると、FIFOバッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能な状態になります)。

"REW=1"の設定と**CURPIPE**ビットの設定変更を同時に行わないでください。"REW=1"の設定は、必ず"FRDY=1"であることを確認してから行ってください。

送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は、**BCLR**ビットを使用してください。

### 2.8.5 CFIFOポートアクセスビット幅 (MBW)

本ビットにCFIFOポートへのアクセスビット幅を設定してください。

**CURPIPE**ビットに指定したPIPEが受信方向の場合、本ビットに"1"を設定して読み出しを開始した時には、すべてのデータの読み出しが完了するまで**MBW**ビットの"1"から"0"への変更を行わないでください。**DTLN**ビットが奇数の場合には、最後の1バイト読み出し前に"MBW=0"を設定して8bit長の変数で読み出すか、または、"MBW=1"のまま16bitで読み出し余分の1バイトを破棄してください。

指定PIPEが受信方向の場合、**CURPIPE**ビットと**MBW**ビットを同時に設定してください。

指定PIPEが送信方向の場合、奇数バイト数データの書き込みを行う時には、本ビットに"1"を設定して書き込みを開始した時には、最後の1バイト書き込み前に"MBW=0"を設定して16bit長の変数で書き込む (書き込まれるデータについては2.8.2を参照してください) か、または、"MBW=1"のまま8bit長の変数で書き込みを行ってください ("BIGEND=0"の場合は**WR0\_N**ストローブで、"BIGEND=1"の場合は**WR1\_N**ストローブで書き込んでください)。

### 2.8.6 CFIFOポート バイトエンディアン制御ビット (BIGEND)

本ビットにCFIFOポートのバイトエンディアンを設定してください。  
詳細は、2.8.2を参照してください。

### 2.8.7 DCP選択時のFIFOポートアクセス方向指定ビット (ISEL)

指定PIPEがDCPの時に、本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFOバッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスする事ができます。

本ビットの設定は、**CURPIPE**ビットの設定と同時に行ってください。



### 2.8.8 FIFOポートアクセスパイプ指定ビット (CURPIPE)

CFIFOポート経由で、データの読み出しまたは書き込みを行いたいPIPE番号を設定してください。

本ビットを変更する時は、本ビットへ一旦"0"を書き込んでから、対象PIPE番号を本ビットへの書き込みを行ってください。対象PIPE番号の書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。詳細は、3.4.2.1を参照してください。

**CFIFOSSEL**レジスタ、**D0FIFOSSEL**レジスタおよび**D1FIFOSSEL**レジスタの**CURPIPE**ビットに同じPIPEを設定しないでください。

FIFOバッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

◆ D0FIFOポート選択レジスタ【D0FIFOSEL】

<アドレス：28H>

◆ D1FIFOポート選択レジスタ【D1FIFOSEL】

<アドレス：2CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW	DCLRM	DREQE	?	MBW	?	BIGEND	?	?	?	?	CURPIPE			
0	0	0	0	?	0	?	0	?	?	?	?	0	0	0	0
-	-	-	-	?	-	?	-	?	?	?	?	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15	RCNT リードカウントモード	Dx_FIFOCTR DTLN の読み出しモードを指定します。 0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出し毎に DTLN ビットカウントダウン	R/W	R	
14	REW バッファポインタリワインド	バッファポインタのリワインドを行う場合に "1" を指定します。 0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R(0)/W	R/W(0)	
13	DCLRM 指定パイプのデータ読み出し後自動バッファメモリクリアモード	指定パイプのデータ読み出し後自動バッファメモリクリアの禁止/許可を指定します。 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W	R	
12	DREQE DREQ信号出力許可	DREQ信号出力禁止/許可を指定します。 0: 出力禁止 1: 出力許可	R/W	R	
11	何も配置されていません。"0"に固定してください。				
10	MBW FIFOポートアクセスビット幅	FIFOポートアクセスビット幅を指定します。 0: 8ビット幅 1: 16ビット幅	R/W	R	
9	何も配置されていません。"0"に固定してください。				
8	BIGEND FIFOポートエンディアン制御	各FIFOポートのバイトエンディアンを指定します。 0: リトルエンディアン 1: ビッグエンディアン	R/W	R	
7-4	何も配置されていません。"0"に固定してください。				
3-0	CURPIPE FIFOポートアクセスパイプ指定	0000: 指定なし 0001: PIPE1 0010: PIPE2  1000: PIPE8 1001: PIPE9	R/W	R	

<<Remarks>>

なし

2.8.9 リードカウントモード (RCNT)

本ビットに"0"を設定した場合、CURPIPEビットに指定したPIPE (指定PIPE) に割り付けたFIFOバッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本コントローラーはDxFIFOCTRレジスタのDTLNビットを"0"にクリアします。

本ビットに"1"を設定した場合、指定PIPEに割り付けたFIFOバッファからの受信データ読み出し毎に、本コントローラーはDxFIFOCTRレジスタのDTLNビットをカウントダウンします。

BFREビットに"1"を設定してDxFIFOにアクセスを行う場合は、本ビットに"0"を設定してください。

### 2.8.10 バッファポインタリワインド (REW)

指定PIPEが受信方向の場合に、FIFOバッファの読み出し中に本ビットに1を設定すると、FIFOバッファの最初のデータから読み出しを行うことができます(ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能な状態になります)。

"REW=1"の設定とCURPIPEビットの設定変更を同時に行わないでください。"REW=1"の設定は、必ず"FRDY=1"であることを確認してから行ってください。

送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は、BCLRビットを使用してください。

### 2.8.11 自動FIFOバッファクリア 禁止/許可ビット (DCLRM)

指定PIPEのデータ読み出し後自動FIFOバッファクリアの禁止/許可を設定してください。本ビットに"1"を設定した場合、指定PIPEに割り当てたFIFOバッファが空の状態Zero-Length packetを受信した時、または"BFRE=1"設定時にショートパケット受信しデータ読出しを完了時に、FIFOバッファへの"BCLR=1"処理を本コントローラーが行います。

"BRDYM=1"に設定して本コントローラーを使用する時には、必ず本ビットに"0"を設定してください。

### 2.8.12 DREQx\_N出力禁止/許可ビット (DREQE)

本ビットに、DxREQ\_N信号の出力禁止/許可を設定してください。

DxREQ\_N信号の出力を許可する場合、CURPIPEビット設定後に本ビットに"1"を設定してください。CURPIPEビット設定を変更するときには、本ビットに"0"を設定した後で変更を行ってください。

### 2.8.13 DxFIFOポートアクセスビット幅 (MBW)

本ビットにDxFIFOポートへのアクセスビット幅を設定してください。

詳細は、2.8.5を参照してください。

### 2.8.14 DxFIFOポート バイトエンディアン制御ビット (BIGEND)

本ビットにDxFIFOポートのバイトエンディアンを設定してください。

詳細は、2.8.2を参照してください。

### 2.8.15 FIFOポートアクセスパイプ指定ビット (CURPIPE)

DxFIFOポート経由で、データの読み出しまたは書き込みを行いたいPIPE番号を設定してください。

本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSELレジスタ、D0FIFOSELレジスタおよびD1FIFOSELレジスタのCURPIPEビットに同じPIPEを設定しないでください。

FIFOバッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

- ◆ CFIFOポートコントロールレジスタ【CFIFOCTR】 <アドレス：22H>
- ◆ D0FIFOポートコントロールレジスタ【D0FIFOCTR】 <アドレス：2AH>
- ◆ D1FIFOポートコントロールレジスタ【D1FIFOCTR】 <アドレス：2EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BVAL	BCLR	FRDY	?	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	?	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	SW	H/W	Remarks
15	BVAL バッファメモリ有効フラグ	CURPIPEに指定したPIPE(当該PIPE)のCPU側のFIFOバッファの書き込み終了時に"1"を指定します。 0：無効 1：書き込み終了	R/ W(1)	R/W	
14	BCLR CPUバッファクリア	当該PIPEのCPU側のFIFOバッファをクリアする場合に"1"を指定します。 0：無効 1：CPU側バッファメモリクリア	R(0)/ W(1)	R/W(0)	
13	FRDY FIFOポートレディ	FIFOポートにアクセス可能かどうかが表示されます。 0：FIFOポートアクセス不可 1：FIFOポートアクセス可能	R	W	
12	何も配置されていません。"0"に固定してください。				
11-0	DTLN 受信データ長	当該PIPEのFIFOバッファの受信データ長が表示されます。	R	W	

<<Remarks>>

なし

2.8.16 バッファメモリ有効フラグ (BVAL)

CURPIPEビットに指定したPIPE(指定PIPE)が送信方向の時、以下の場合に本ビットに"1"を設定してください。本コントローラーはCPU側のFIFOバッファをSIE側にし、送信可能状態にします。

- (1) ショートパケットの送信を行いたい時、データ書き込み終了時に本ビットに"1"を設定
- (2) Zero-Lengthパケットの送信を行いたい時、FIFOヘータを書き込む前に本ビットに"1"を設定
- (3) 連続転送モードのPIPEに対して、MaxPacketSizeの自然数倍かつBufferSize未満のデータ書き込み後に本ビットに"1"を設定

非連続転送モードのPIPEに対してMaxPacketSize分のデータを書き込むと、本コントローラーが本ビットを"1"にし、CPU側のFIFOバッファをSIE側にして、送信可能状態にします。

指定PIPEが送信方向の場合、BVALビットとBCLRビットへ同時に"1"を書き込んだ場合には、本コントローラーはそれ以前に書き込んだデータをクリアし、Zero-Lengthパケットを送信可能な状態にします。

本ビットへの"1"書き込みは、本コントローラーが"FRDY=1"を示している時に実施してください。

指定PIPEが受信方向の時には、本ビットへの"1"書き込みを行わないでください。

### 2.8.17 CPUバッファクリアビット (BCLR)

本ビットに"1"を設定すると、本コントローラーは指定PIPEにアサインされているFIFOバッファのうち、CPU側のFIFOバッファをクリアします。

指定PIPEにアサインされているFIFOバッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本コントローラーは片面のFIFOバッファのみをクリアします。

指定PIPEがDCPの場合は、FIFOバッファがCPU側、SIE側にかかわらず、"BCLR=1"設定により本コントローラーはFIFOバッファをクリアします。SIE側のバッファをクリアする時には、DCPのPIDビットを必ず"NAK"に設定した後で"BCLR=1"を行ってください。

指定PIPEがDCP以外の場合、本ビットへの"1"書き込みは、本コントローラーが"FRDY=1"を示している時に実施してください。

### 2.8.18 FIFOポートレディビット (FRDY)

CPU (DMAC) からのFIFOポートへのアクセス可否を、本コントローラが本ビットに表示します。

以下の場合には、本コントローラーは"FRDY=1"を表示しますが、読み出すべきデータがないためFIFOポートからのデータ読み出しはできません。これらのケースでは、"BCLR=1"を設定してFIFOバッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- (1) 指定PIPEにアサインされているFIFOバッファが空の状態Zero-Length パケット受信した場合。
- (2) "BFRE=1"設定時に、ショートパケットを受信し、データ読み出しを完了した時。

### 2.8.19 受信データ長ビット (DTLN)

本コントローラは、本ビットに受信データ長を表示します。FIFOバッファ読み出し中の本ビットの値は、RCNTビットの設定値によって以下のように異なります。

- (1) "RCNT=0"設定時:

CPU (DMAC) がFIFOバッファ1面分の受信データを読み出し完了するまで、本コントローラーは受信データ長を本ビットに表示します。

"BFRE=1"設定時には、読み出しが完了しても"BCLR=1"を行うまでは本コントローラーは受信データ長を保持します。

- (2) "RCNT=1"設定時:

読み出し毎に本コントローラーはDTLNビットの表示をダウンカウントします。

("MBW=0"設定時は-1、"MBW=1"設定時は-2ずつダウンカウント)

1面分のFIFOバッファ読み出し完了時に、本コントローラーは"DTLN=0"を表示します。ただし、ダブルバッファ設定時かつFIFOバッファ1面分の受信データの読み出しを完了する前にもう1面分のFIFOバッファに受信完了した場合は、先の1面分の読み出し完了時に後の1面分の受信データ長をDTLNビットに表示します。

"RCNT=1"設定時に、FIFOバッファ読み出し途中で本ビットの値を読み出す時には、FIFOポートへのリードサイクル後150ns後までに本コントローラーは本ビットの更新値を表示します。

## 2.9 割り込み許可

### ◆ 割り込み許可レジスタ0【INTENB0】

&lt;アドレス：30H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE								
0	0	0	0	0	0	0	0	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	Remarks
15	VBSE VBUS割り込み許可	VBINT割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
14	RSME レジューム割り込み許可	RESM割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
13	SOFE フレーム番号更新割り込み許可	SOF割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
12	DVSE デバイスステート遷移割り込み許可	DVST割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
11	CTRE コントロール転送ステージ遷移割り込み許可	CTRTR割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
10	BEMPE バッファEMPTY割り込み許可	BEMP割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
9	NRDYE バッファノットレディ応答割り込み許可	NRDY割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
8	BRDYE バッファレディ割り込み許可	BRDY割り込み検出時のINT_Nアサートの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	
7-0	何も配置されていません。"0"に固定してください。				

&lt;&lt;Remarks&gt;&gt;

### 2.9.1 割り込み許可レジスタ0 (INTENB0)

ソフトウェアが本レジスタに"1"を設定したビットに対応する割り込みを本コントローラが検出した場合に、本コントローラはINT\_N端子から割り込みをアサートします。

本コントローラは、本レジスタの設定値（割り込み通知の禁止/許可）にかかわらず、各割り込み要因の検出条件を満たした時にINTSTS0レジスタの対応するステータスビットに"1"を表示します。

各割り込み要因に対応するINTSTS0レジスタのステータスビットが"1"を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを"0"から"1"に変更すれば、本コントローラはINT\_N端子から割り込みをアサートします。

◆ BRDY割り込み許可レジスタ【BRDYENB】

<アドレス：36H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPEBRDYE									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-10	何も配置されていません。"0"に固定してください。				
9-0	PIPEBRDYE 各パイプのBRDY割り込み許可	各パイプのBRDY割り込み検出時にBRDYビットを"1"にするかどうかの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	

<<Remarks>>

\*ビット番号がパイプ番号に該当します。

2.9.2 各パイプのBRDY割り込み許可ビット (PIPEBRDYE)

ソフトウェアが本レジスタに"1"を設定したPIPEに対して、本コントローラがBRDY割り込みを検出した場合に、本コントローラはBRDYSTSレジスタのPIPEBRDYビットの対応するビットに"1"を表示し、INTSTS0レジスタのBRDYビットに"1"を表示し、INT\_N端子から割り込みをアサートします。

BRDYSTSレジスタのPIPEBRDYビットの少なくともひとつのビットが"1"を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを"0"から"1"に変更すれば、本コントローラはINT\_N端子から割り込みをアサートします。

◆ NRDY割り込み許可レジスタ【NRDYENB】

<アドレス：38H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPENRDYE									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-10	何も配置されていません。"0"に固定してください。				
9-0	PIPENRDYE 各パイプのNRDY割り込み許可	各パイプのNRDY割り込み検出時にNRDYビットを"1"にするかどうかの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	

<<Remarks>>

\*ビット番号がパイプ番号に該当します。

2.9.3 各パイプのNRDY割り込み許可ビット (PIPENRDYE)

ソフトウェアが本レジスタに"1"を設定したPIPEに対して、本コントローラがNRDY割り込みを検出した場合に、本コントローラはNRDYSTSレジスタのPIPENRDYビットの対応するビットに"1"を表示し、INTSTS0レジスタのNRDYビットに"1"を表示し、INT\_N端子から割り込みをアサートします。

NRDYSTSレジスタのPIPENRDYビットの少なくともひとつのビットが"1"を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを"0"から"1"に変更すれば、本コントローラはINT\_N端子から割り込みをアサートします。

## ◆ BEMP割り込み許可レジスタ【BEMPENB】

&lt;アドレス：3AH&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-10	何も配置されていません。"0"に固定してください。				
9-0	PIPEBEMPE 各パイプのBEMP割り込み許可	各パイプのBEMP割り込み検出時にBEMPビットを"1"にするかどうかの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R	

## &lt;&lt;Remarks&gt;&gt;

\* ビット番号がパイプ番号に該当します。

## 2.9.4 各パイプのBEMP割り込み許可ビット (PIPEBEMPE)

ソフトウェアが本レジスタに"1"を設定したPIPEに対して、本コントローラが**BEMP**割り込みを検出した場合に、本コントローラは**BEMPSTS**レジスタの**PIPEBEMP**ビットの対応するビットに"1"を表示し、**INTSTS0**レジスタの**BEMP**ビットに"1"を表示し、**INT\_N**端子から割り込みをアサートします。

**BEMPSTS**レジスタの**PIPEBEMP**ビットの少なくともひとつのビットが"1"を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを"0"から"1"に変更すれば、本コントローラは**INT\_N**端子から割り込みをアサートします。



## 2.10 SOF制御レジスタ

## ◆ SOFピンコンフィグレーションレジスタ【SOFCFG】

&lt;アドレス: 3CH&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									BRDYM	INTL	EDGESTS	SOFM			
?	?	?	?	?	?	?		?	0	0	0	0	0	?	?
?	?	?	?	?	?	?		?	-	-	-	-	-	?	?

Bit	Name	Function	S/W	H/W	Remarks
15-7	何も配置されていません。"0"に固定してください。				
6	BRDYM PIPEBRDY 割り込みステータスクリア タイミング設定	PIPEBRDY 割り込みステータスをクリアする タイミングを指定します。 0: SW がステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッ ファへの書き込み動作により HW がステ ータスをクリア 本ビットは初期設定時のみ設定できます。 動作後の設定変更はできません。	R/W	R	
5	INTL 割り込み出力センス設定	INT_N 端子の割り込み出力センスを指定しま す。 0: エッジセンス 1: レベルセンス	R/W	R	
4	EDGESTS 割り込みエッジ処理ステータス	割り込みエッジ処理ステータスが表示されま す。 0: 割り込みエッジ動作していない 1: 割り込みエッジ動作中	R	W	
3-2	SOFM SOF 端子機能設定	SOF パルス出力モードを選択します 00: SOF 出力禁止 01: 1ms 単位で SOF 出力 10: 125us 単位で $\mu$ SOF 出力 11: Reserved	R/W	R	
1-0	何も配置されていません。"0"に固定してください。				

## &lt;&lt;Remarks&gt;&gt;

- \* "BRDYM=1"を設定する場合は、"INTL=1" (レベルセンス)を設定してください。
- \* "INTL=0"を設定時に、割り込みステータスをクリア後システムクロックを停止する("SCKE=0"を設定)場合は、"EDGESTS=0"を確認した後で、"SCKE=0"を書き込んでください。

## 2.11 割り込みステータス

## ◆ 割り込みステータスレジスタ0【INTSTS0】

&lt;アドレス：40H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	VBSTS	DVSQ			VALID	CTSQ		
0	0	0	0	0	0	0	0	?	0	0	0	0	0	0	0
-	-	-	1	-	-	-	-	-	0	0	1	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15	VBINT VBUS変化検出割り込みステータス	VBUS変化検出割り込みステータスが表示されます。 0：VBUS割り込み非発生 1：VBUS割り込み発生	R/W(0)	W	
14	RESM レジューム割り込みステータス	レジューム検出割り込みステータスが表示されます。 0：レジューム割り込み非発生 1：レジューム割り込み発生	R/W(0)	W	
13	SOFR フレーム番号更新割り込みステータス	フレーム番号更新割り込みステータスが表示されます。 0：SOF割り込み非発生 1：SOF割り込み発生	R/W(0)	W	
12	DVST デバイスステート遷移割り込みステータス	デバイスステート遷移割り込みが表示されます。 ステータス0：デバイスステート遷移遷移割り込み非発生 1：デバイスステート遷移遷移割り込み発生	R/W(0)	W	
11	CTRTR コントロール転送ステージ遷移割り込みステータス	コントロール転送ステージ遷移割り込みステータスが表示されます。 ステータス 0：コントロール転送ステージ遷移割り込み非発生 1：コントロール転送ステージ遷移割り込み発生	R/W(0)	W	
10	BEMP BEMP割り込みステータス	BEMP割り込みステータスが表示されます。 0：BEMP割り込み非発生 1：BEMP割り込み発生	R	W	
9	NRDY NRDY割り込みステータス	NRDY割り込みステータスが表示されます。 0：NRDY割り込み非発生 1：NRDY割り込み発生	R	W	
8	BRDY BRDY割り込みステータス	BRDY割り込みステータスが表示されます。 0：BRDY割り込み非発生 1：BRDY割り込み発生	R	W	
7	VBSTS VBUS入カステータス	VBUS端子の入力状態が表示されます。 0：VBUS端子が"L"レベル 1：VBUS端子が"H"レベル	R	W	
6-4	DVSQ デバイスステート	デバイスステートが表示されます。 000：Poweredステート 001：Defaultステート 010：Addressステート 011：Configuredステート 1xx：Suspendedステート	R	W	
3	VALID USBリクエスト受信	USBリクエスト受信検出有無が表示されます。 0：未検出 1：セットアップパケット受信	R/W(0)	W	

Bit	Name	Function	S/W	H/W	Remarks
2-0	CTSQ コントロール転送ステージ	コントロール転送ステージが表示されます。 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : Reserved	R	W	

## &lt;&lt;Remarks&gt;&gt;

\* **VBINT** ビット、**RESM** ビット、**SOFR** ビット、**DVST** ビット、または **CTRTR** ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。"0"を示しているステータスビットへの"0"書き込みを行わないでください。

\*本コントローラは本レジスタの **VBINT** ビット、**RESM** ビットが示すステータス変化をクロック停止中 ("SCKE=0") でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

### 2.11.1 VBUS変化割り込みステータスビット (VBINT)

本コントローラが**VBUS**端子入力値の変化 (HighからLowへの変化、及びLowからHighへの変化) を検出したときに、本ビットに"1"を表示します。本コントローラは**VBUS**端子の入力値を、**VBSTS**ビットに表示します。**VBINT**割り込み発生時は、ソフトウェアで**VBSTS**ビット読み出しの回数一致を行い、チャタリング除去を実施してください。

また、VBUS接続検出時またはVBUS切断検出時は、以下処理を行ってください。

- (1) VBUS接続検出時:  
SYSCFG0レジスタのDRPPUビットに"1"を設定してください。
- (2) VBUS切断検出時:  
以下(a)~(e)の順に処理を行ってください。
  - (a) SYSCFG0レジスタのDRPPUビットに"0"を設定してください。
  - (b) 1us以上ウエイトして下さい。
  - (c) SYSCFG0レジスタのDCFMビットに"1"を設定してください。
  - (d) 200ns以上ウエイトして下さい。
  - (e) SYSCFG0レジスタのDCFMビットに"0"を設定してください。

### 2.11.2 レジューム割り込みステータスビット (RESM)

本コントローラがSuspend状態 (DVSQ=1XX) であり、かつ、DP端子の立下りを検出したときに、本ビットに"1"を表示します。

### 2.11.3 フレーム番号更新割り込みステータスビット (SOFR)

本コントローラが本ビットに"1"を表示する条件は、以下のとおりです。

フレームナンバーの更新時に本コントローラは本ビットに"1"を表示します。(本割り込みは、1ms毎に検出します。) USB HOSTからのSOFパケットが破損した時でも、内部補間により、本コントローラはSOFR割り込みを検出します。

### 2.11.4 デバイスステート遷移割り込みステータスビット (DVST)

本コントローラがデバイスステートの変化を検出したときに、本コントローラは**DVSQ**の値を更新し、本ビットに"1"を表示します。

本割り込みが発生した時には、本コントローラが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

### 2.11.5 コントロール転送ステージ遷移割り込みステータスビット (CTRTR)

本コントローラーがコントロール転送のステージ遷移を検出したときに、本コントローラーは**CTSQ**の値を更新し、本ビットに"1"を表示します。

本割り込みが発生した時には、本コントローラーがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

### 2.11.6 バッファエンプティ割り込みステータスビット (BEMP)

**BEMPENB**レジスタの**PIPEBEMPE**ビットに"1"を設定したPIPEに対応する**BEMPSTS**レジスタの**PIPEBEMP**ビットのうち、少なくともひとつが"1"の状態になった時（ソフトウェアが**BEMP**割り込み通知を許可したPIPEのうち少なくともひとつに対し本コントローラーが**BEMP**割り込み状態を検出した時）に、本コントローラーは本割り込みステータスに"1"を表示します。

**PIPEBEMP**ステータスのアサート条件は、**PIPEBEMP**レジスタを参照ください。

ソフトウェアが、**PIPEBEMPE**ビットで許可を設定しているPIPEに対応する**PIPEBEMP**ビットすべてに"0"を書き込むと、本コントローラーは本ビットを"0"にクリアします。

ソフトウェアが本ビットに対して"0"を書き込んでも、本ビットの"0"クリアを行うことはできません。

### 2.11.7 バッファノットレディ割り込みステータスビット (NRDY)

**NRDYENB**レジスタの**PIPENRDYE**ビットに"1"を設定したPIPEに対応する**NRDYSTS**レジスタの**PIPENRDY**ビットのうち、少なくともひとつが"1"の状態になった時（ソフトウェアが**NRDY**割り込み通知を許可したPIPEのうち少なくともひとつに対し本コントローラーが**NRDY**割り込み状態を検出した時）に、本コントローラーは本割り込みステータスに"1"を表示します。

**PIPENRDY**ステータスのアサート条件は、**PIPENRDY**レジスタを参照ください。

ソフトウェアが、**PIPENRDYE**ビットで許可を設定しているPIPEに対応する**PIPENRDY**ビットのすべてに"0"を書き込むと、本コントローラーは本ビットを"0"にクリアします。

ソフトウェアが本ビットに対して"0"を書き込んでも、本ビットの"0"クリアを行うことはできません。

### 2.11.8 バッファレディ割り込みステータスビット (BRDY)

**BRDYENB**レジスタの**PIPEBRDYE**ビットに"1"を設定したPIPEに対応する**BRDYSTS**レジスタの**PIPEBRDY**ビットのうち、少なくともひとつが"1"の状態になった時（ソフトウェアが**BRDY**割り込み通知を許可したPIPEのうち少なくともひとつに対し本コントローラーが**BRDY**割り込み状態を検出した時）に、本コントローラーは本割り込みステータスに"1"を表示します。

**PIPEBRDY**ステータスのアサート条件は、**PIPEBRDY**レジスタを参照ください。

ソフトウェアが、**PIPEBRDYE**ビットで許可を設定しているPIPEに対応する**PIPEBRDY**ビットのすべてに"0"を書き込むと、本コントローラーは本ビットを"0"にクリアします。

ソフトウェアが本ビットに対して"0"を書き込んでも、本ビットの"0"クリアを行うことはできません。

◆ BRDY割り込みステータスレジスタ【BRDYSTS】

<アドレス：46H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPEBRDY									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-10	何も配置されていません。"0"に固定してください。				
9-0	PIPEBRDY 各パイプのBRDY割り込みステータス	各パイプのBRDY割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)	W	

<<Remarks>>

- \* ビット番号がパイプ番号に該当します。
- \* "BRDYM=0"の設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。
- \* "BRDYM=0"の設定の場合、本割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

2.11.9 各パイプのBRDY割り込みステータスビット (PIPEBRDY)

本コントローラがあるPIPEに対してBRDY割り込みを検出した場合に、本コントローラはBRDYSTSレジスタのPIPEBRDYビットの対応するビットに"1"を表示します。このとき、ソフトウェアによってBRDYENBレジスタの対応するビットに"1"が設定されている場合、本コントローラはINTSTS0レジスタのBRDYビットに"1"を表示し、INT\_N端子から割り込みをアサートします。

BRDY割り込みは、BRDYMビットおよび各PIPEのBFREビットの設定により、発生条件及びクリア方法が異なります。

2.11.9.1 "BRDYM=0 かつ BFRE=0"設定時

この設定の場合、BRDY割り込みはFIFOポートにアクセス可能になった事を示す割り込みになります。本コントローラは、下記に示す条件の場合に、内部BRDY割り込み要求トリガを発生させ、要求トリガ発生PIPEに対応するPIPEBRDYビットに"1"を表示します。

- (1) 送信方向に設定したPIPEの場合
  - (a) ソフトウェアがDIRビットを"0"から"1"に変更した時
  - (b) 当該PIPEに割り付けたFIFOバッファへのCPUからの書き込みが不可状態の時 (BSTSビット読み出し値が"0"の時) に、本コントローラが当該PIPEのパケット送信を完了した時。  
連続送受信モードに設定した場合には、FIFOバッファ一面分のデータの送信完了時に要求トリガが発生します。
  - (c) FIFOバッファをダブルバッファに設定している時で、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であった時  
FIFOバッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
  - (d) 転送TYPEがIsochronousのPIPEにおいて、ハードウェアによるバッファフラッシュが発生した時
  - (e) ACLRMビットに"1"を書き込むことより、FIFOバッファが書き込み不可状態から書き込み可能状態になった時

DCPに対しては (即ち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

- (2) 受信方向に設定したPIPEの場合
  - (a) 当該PIPEに割り付けたFIFOバッファへのCPUからの読み出しが不可状態の時 (BSTSビット読み出し値が"0"の時) に、パケット受信が正常に完了し、FIFOバッファが読み出し可能状態になった時。  
データPIDミスマッチのトランザクションに対しては要求トリガは発生しません。  
連続送受信モードの場合には、MaxPacketSizeのデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。  
ショートパケットを受信した場合には、FIFOバッファに空きがあっても要求トリガは発生します。  
トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。

この時、FIFOバッファにまだ空きがあっても要求トリガは発生します。

- (b) FIFOバッファをダブルバッファに設定している時で、FIFOバッファ読出し完了時にもう一方のFIFOバッファも読出し可能状態であった時  
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読出し完了になるまで要求トリガは発生しません。

コントロール転送のステータスステージでの通信では本割り込みは発生しません。

ソフトウェアは、本ビットの該当PIPEに対応するビットに"0"を書き込むことにより、該当PIPEのPIPEBRDY割り込みステータスを"0"にクリアすることができます。この時、他のPIPEに対応するビットには"1"を書き込んでください。本割り込みステータスのクリアは、必ずFIFOバッファへのアクセスを行う前に実施してください。

### 2.11.9.2 "BRDYM=0 かつ BFRE=1"設定時

この設定の場合、本コントローラーは、受信PIPEにおいて1トランスファー分の全データ読み出し完了時に、BRDY割り込み発生と判断し、本レジスタの該当PIPEに対応するビットに"1"を表示します。

本コントローラーは、以下のいずれかの時に1トランスファーにおける最後のデータを受信したと判定します。

- (1) Zero-Lengthパケットを含むショートパケットを受信した時
- (2) トランザクションカウンタ (TRNCNTビット) を使用し、TRNCNTビット設定値分のパケットを受信した時

上記判定条件を満たした後、そのデータの読み出しが完了した時に、本コントローラーは1トランスファー分の全データ読み出し完了と判断します。

FIFOバッファが空の状態Zero-Lengthパケット受信した場合は、FIFOポートコントロールレジスタのFRDYビットが"1"、DTLNビットが"0"の状態になった時点で、本コントローラーは1トランスファー分の全データ読み出し完了と判断します。

この場合、次のトランスファーを開始するためには、対応するC/DxFIFOCTRレジスタのBCLRビットにソフトウェアで"1"を書き込んでください。

本設定の場合には、本コントローラーは送信PIPEに対してBRDY割り込みを検出しません。

ソフトウェアは、本ビットの該当PIPEに対応するビットに"0"を書き込むことにより、該当PIPEのPIPEBRDY割り込みステータスを"0"にクリアすることができます。この時、他のPIPEに対応するビットには"1"を書き込んでください。

本モードを使用する時には、トランスファー分の処理を終了するまでBFREビットの設定値を変更しないでください。途中でBFREビットを変更する場合には、ACLRMビットにより対応するPIPEのFIFOバッファをすべてクリアしてください。

### 2.11.9.3 "BRDYM=1 かつ BFRE=0"設定時

この設定の場合、本ビットの値は各PIPEのBSTSビットに連動します。即ち、BRDY割り込みステータスはFIFOバッファの状態によって本コントローラーが"1"、"0"を表示します。

- (1) 送信方向に設定したPIPEの場合

FIFOポートにデータが書き込み可能な状態であれば"1"を表示し、書き込み不可の状態になれば"0"を表示します。ただしDCPの送信PIPEが書き込み可能であっても、BRDY割り込みはアサートされません。

- (2) 受信方向に設定したPIPEの場合

FIFOポートにデータが読出し可能な状態であれば"1"を表示し、すべてのデータを読み出したら（読出し不可の状態になったら）"0"を表示します。

FIFOバッファが空でZero-Lengthパケットを受信した場合、ソフトウェアが"BCLR=1"を書き込むまで該当ビットには"1"が表示されBRDY割り込みはアサートされ続けます。

本設定時、ソフトウェアは、本ビットの"0"クリアを行うことはできません。

BRDYM="1"設定時は、BFREビットは必ずすべて(全PIPE)"0"に設定してください。

BRDYM="1"設定時は、INTLビットは必ず"1"（レベル制御）に設定してください。

◆ NRDY割り込みステータスレジスタ【NRDYSTS】

<アドレス：48H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPENRDY									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-10	何も配置されていません。"0"に固定してください。				
9-0	PIPENRDY 各パイプのNRDY割り込みステータス	各パイプのNRDY割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)	W(1)	

<<Remarks>>

- \* ビット番号がパイプ番号に該当します。
- \* 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。

2.11.10 各パイプのNRDY割り込みステータスビット (PIPENRDY)

ソフトウェアが"PID=BUF"に設定したPIPEに対して、本コントローラが内部NRDY割り込み要求を発生させた場合に、本コントローラはNRDYSTSレジスタのPIPENRDYビットの対応するビットに"1"を表示します。このとき、ソフトウェアによってNRDYENBレジスタの対応するビットに"1"が設定されている場合、本コントローラはINTSTS0レジスタのNRDYビットに"1"を表示し、INT\_N端子から割り込みをアサートします。

本コントローラが、PIPEに対してNRDY割り込み要求を発生させる条件を以下に示します。  
なお、コントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) 送信方向PIPEの場合

- (a) 当該PIPEのPIDビットが"BUF"("01")に設定されている場合にFIFOバッファに送信データがない状態でIN Tokenを受信した時  
IN Token受信時に本コントローラはNRDY割り込み要求を発生させPIPENRDYビットに"1"を表示します。  
割り込み発生PIPEの転送TYPEがIsochronousの場合、本コントローラはZero-Lengthパケットを送信し、OVRNビットに"1"を表示します。

(2) 受信方向PIPEの場合

- (a) 当該PIPEのPIDビットが"BUF"("01")に設定されている場合にFIFOバッファに空きがない状態でOUTトークンを受信した時  
割り込み発生PIPEの転送TYPEがIsochronousの場合、OUTトークン受信時に本コントローラはNRDY割り込み要求を発生させ、PIPENRDYビットに"1"を表示し、OVRNビットに"1"を表示します。  
割り込み発生PIPEの転送TYPEがIsochronous以外の場合、本コントローラは、OUTトークンに続くデータ受信後NAK Handshakeを送信する時にNRDY割り込み要求を発生させ、PIPENRDYビットに"1"を表示します。  
ただし、再送時 (DATA-PIDミスマッチ発生時)には、NRDY割り込み要求を発生させません。  
また、DATAパケットにエラーがある場合にも、発生させません。
- (b) 当該PIPEのPIDビットが"BUF"("01")に設定されている場合にFIFOバッファに空きがない状態でPINGトークンを受信した時  
PINGトークン受信時に本コントローラはNRDY割り込み要求を発生させPIPENRDYビットに"1"を表示します。
- (c) 転送TYPEがIsochronousのPIPEにおいて、当該PIPEのPIDビットが"BUF"("01")に設定されている場合にインターバルフレーム内に正常受信されなかった時  
SOF受信のタイミングで本コントローラは、NRDY割り込み要求を発生させ、PIPENRDYビットに"1"を表示します。

◆ BEMP割り込みステータスレジスタ【BEMPSTS】

<アドレス：4AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPEBEMP									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-10	何も配置されていません。"0"に固定してください。				
9-0	PIPEBEMP 各パイプのBEMP割り込みステータス	各パイプのBEMP割り込みステータスが表示 されます。 0：割り込み非発生 1：割り込み発生	R/W(0)	W(1)	

<<Remarks>>

- \* ビット番号がパイプ番号に該当します。
- \* 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。

2.11.11 各パイプのBEMP割り込みステータスビット (PIPEBEMP)

ソフトウェアが"PID=BUF"に設定したPIPEに対して、本コントローラが、**BEMP**割り込みを検出した場合に、本コントローラは**BEMPSTS**レジスタの**PIPEBEMP**ビットの対応するビットに"1"を表示します。このとき、ソフトウェアによって**BEMPENB**レジスタの対応するビットに"1"が設定されている場合、本コントローラは**INTSTS0**レジスタの**BEMP**ビットに"1"を表示し、**INT\_N**端子から割り込みをアサートします。

以下の場合に、本コントローラは内部**BEMP**割り込み要求を発生させます。

- (1) 送信方向PIPEにおいて、送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するPIPEのFIFOバッファが空の時。  
シングルバッファ設定時は、DCP以外のPIPEに対しては**BRDY**割り込みと同時に内部**BEMP**割り込み要求を発生させます。

ただし、以下の場合には内部**BEMP**割り込み要求を発生させません。

- (a) ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア (DMAC)がCPU側のFIFOバッファに対する書き込みを開始している場合
- (b) また、**ACLRM**ビットまたは**BCLR**ビットに"1"を書き込むことによるバッファクリア (エンプティ)。
- (c) コントロール転送StatusステージのIN転送 (Zero-Lengthパケット送信) 時

- (2) 受信方向PIPEの場合

MaxPacketSizeの設定値より大きなデータサイズを正常受信した時

この場合、本コントローラは、**BEMP**割り込み要求を発生させ、**PIPEBEMP**ビットの対応するビットに"1"を表示し、受信データを破棄します。対応するPIPEの**PID**ビットを"STALL"("11")に変更し**STALL**応答を行います。

ただし、以下の場合には内部**BEMP**割り込み要求を発生させません。

- (a) 受信データにCRCエラー、またはビットスタッフィングエラー等を検出した時
- (b) **SETUP**トランザクション実行時

本ビットに"0"を書き込むことにより、ステータスをクリアすることができます。

本ビットに"1"を書き込んでも、何もしません。



## 2.12 フレーム番号レジスタ

◆ フレームナンバレジスタ【FRMNUM】

<アドレス：4CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVRN	CRCE				FRNM										
0	0	?	?	?	0	0	0	0	0	0	0	0	0	0	0
-	-	?	?	?	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15	OVRN オーバーラン/アンダーラン検出ステータス	Isochronous転送を行っているPIPEに対するオーバーラン/アンダーランエラー検出の有無が表示されます。 0：エラーなし 1：エラー発生	R/W(0)	W(1)	
14	CRCE CRCエラー検出ステータス	Isochronous転送を行っているPIPEに対するCRCエラー検出ステータスが表示されます。 0：エラーなし 1：エラー発生	R/W(0)	W(1)	
13-11	何も配置されていません。"0"に固定してください。				
10-0	FRNM フレーム番号	最新のフレーム番号が表示されます。	R	W	

<<Remarks>>

\* OVRN ビットはデバッグ用のビットです。システムとしてはオーバーラン・アンダーランが発生しないようにタイミング設計を行ってください。

### 2.12.1 オーバーラン/アンダーラン検出ステータスビット (OVRN)

転送TYPEがIsochronousのPIPEにおいて、本コントローラーがオーバーランまたはアンダーランを検出したときに、本ビットに"1"を表示します。

オーバーランまたはアンダーラン検出時には、本コントローラーは内部NRDY割り込み要求を発生させます。詳細は、2.11.10を参照してください。

ソフトウェアは、本ビットに"0"を書き込むことにより、本ビットを"0"にクリアすることができます。この時、CRCEを同時にクリアしたくない場合には"0x4000"を書き込んでください。

以下の(1)~(2)いずれかの場合に、本コントローラーが本ビットに"1"を表示します。

- (1) 転送TYPEがIsochronousの送信方向PIPEにおいて、FIFOバッファに送信データの書き込みが完了していないのにIN Tokenを受信した時。
- (2) 転送TYPEがIsochronousの受信方向PIPEにおいて、少なくとも一面分のFIFOバッファの空がない状態で、OUT トークンを受信した時。

### 2.12.2 CRCエラー検出ステータスビット (CRCE)

転送TYPEがIsochronousのPIPEにおいて、本コントローラーがCRCエラーやビットスタッフィングエラーを検出したときに、本ビットに"1"を表示します。

ソフトウェアは、本ビットに"0"を書き込むことにより、本ビットを"0"にクリアすることができます。この時、OVRNを同時にクリアしたくない場合には"0x8000"を書き込んでください。

CRCエラーの検出時には、本コントローラーは内部NRDY割り込み要求を発生させます。詳細は、2.11.10を参照してください。

### 2.12.3 フレーム番号ビット (FRNM)

本コントローラーは1msに1回のSOF発行タイミング、または、SOF受信時に本ビットを更新し、フレーム番号を表示します。

ソフトウェアで本ビットを読み出す場合には、2度一致を行ってください。

◆  $\mu$  フレームナンバレジスタ 【UFRNM】

&lt;アドレス : 4EH&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
?	?	?	?	?	?	?	?	?	?	?	?	?	UFRNM		
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-3		何も配置されていません。"0"に固定してください。			
2-0	UFRNM マイクロフレーム	マイクロフレーム番号が表示されます。	R	W	

## &lt;&lt;Remarks&gt;&gt;

なし

**2.12.4 マイクロフレーム番号ビット (UFRNM)**

Hi-Speedの場合、本コントローラーは本ビットにマイクロフレーム番号を表示します。Hi-Speed以外の場合、本コントローラーは本ビットに0x00を表示します。

ソフトウェアで本ビットを読み出す場合には、2度一致を行ってください。

## 2.13 USBアドレス

### ◆ USBアドレスレジスタ【USBADDR】

&lt;アドレス：50H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									USBADDR						
?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	Remarks
15-7	何も配置されていません。"0"に固定してください。				
6-0	USBADDR USBアドレス	Hostから割り付けられたUSBアドレス確認が 表示されます。	R	R/W	

&lt;&lt;Remarks&gt;&gt;

### 2.13.1 USBアドレスビット (USBADDR)

本コントローラーがSetAddressリクエストを正常に処理した時に、本ビットに受信したUSBアドレスを表示します。  
本コントローラーがUSBバスリセットを検出した時に、本コントローラーは本ビットに0x00を表示します。

## 2.14 USBリクエストレジスタ

USBリクエストレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。受信したUSBリクエストの値が格納されます。

### ◆ USBリクエストタイプレジスタ【USBREQ】

&lt;アドレス : 54H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
bRequest								bmRequestType							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	Remarks
15-8	bRequest リクエスト	USBリクエストbRequestの値	R	W	
7-0	bmRequestType リクエストタイプ	USBリクエスト bmRequestTypeの値	R	W	

&lt;&lt;Remarks&gt;&gt;

なし

### 2.14.1 USBリクエストビット (bRequest)

本コントローラーがSETUPトランザクションで受信したUSBリクエストデータ値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

### 2.14.2 USBリクエストビット (bRmRequestType)

本コントローラーがSETUPトランザクションで受信したUSBリクエストデータ値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

### ◆ USBリクエストバリュージェジスタ【USBVAL】

&lt;アドレス : 56H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wValue															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	Remarks
15-0	wValue バリュー	USBリクエストwValueの値	R	W	

&lt;&lt;Remarks&gt;&gt;

なし

### 2.14.3 バリュービット (wValue)

本コントローラーがSETUPトランザクションで受信したUSBリクエストwValueの値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

## ◆ USBリクエストインデックスレジスタ【USBINDX】

&lt;アドレス : 58H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wIndex															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	Remarks
15-0	wIndex インデックス	USBリクエストwIndexの値	R	W	

## &lt;&lt;Remarks&gt;&gt;

なし

## 2.14.4 インデックスビット (wIndex)

本コントローラーがSETUPトランザクションで受信したUSBリクエストwIndexの値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

## ◆ USBリクエストレングスレジスタ【USBLENG】

&lt;アドレス : 5AH&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wLength															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	Remarks
15-0	wLength レングス	USBリクエストwLengthの値	R	W	

## &lt;&lt;Remarks&gt;&gt;

なし

## 2.14.5 レングスビット (wLength)

本コントローラーがSETUPトランザクションで受信したUSBリクエストwLengthの値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

## 2.15 DCPコンフィグレーション

コントロール転送でデータ通信を行う場合は、デフォルトコントロールパイプ(DCP)を用いてください。

◆ DCPコンフィグレーションレジスタ【DCPCFG】 <アドレス：5CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CNTMD	SHTNAK							
?	?	?	?	?	?	?	0	0	?	?	?	?	?	?	?
?	?	?	?	?	?	?	-	-	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	Remarks
15-9	何も配置されていません。"0"に固定してください。				
8	CNTMD 連続転送モード	Default Control PIPEを連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード	R/W	R	
7	SHTNAK トランスファー終了時のPIPE禁止	Default Control PIPEが受信方向の場合に、トランスファー終了時にPIDをNAKに変更するかどうかを指定します。 0：トランスファー終了時にPIPE継続 1：トランスファー終了時にPIPE禁止	R/W	R	
6-0	何も配置されていません。"0"に固定してください。				

<<Remarks>>

DCPのバッファメモリはコントロールリード転送、及びコントロールライト転送で共通バッファを使用するため、CNTMDビットはどちらの転送方向でも共通のビットになります。

◆ DCPマックスパケットサイズレジスタ【DCPMAXP】 <アドレス：5EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									MXPS						
?	?	?	?	?	?	?	?	?	1	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-7	何も配置されていません。"0"に固定してください。				
6-0	MXPS マックスパケットサイズ	DCPの最大データペイロード(マックスパケットサイズ)を指定します。	R/W	R	

<<Remarks>>

なし

### 2.15.1 マックスパケットサイズビット (MXPS)

DCPの最大データペイロード (マックスパケットサイズ)を本ビットに設定してください。  
初期値は、0x40(64Bytes)です。

**MXPS**ビットの設定は、USB規格に準拠した値を設定してください。

**MXPS**ビットの設定は、"PID=NAK"、および**CURPIPE**ビットに未設定時に実施してください。

対応するPIPEの**PID**ビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーが**PID**ビットを"NAK"に変更した場合には、ソフトウェアによる**PBUSY**ビットの確認は必要ありません。

"MXPS=0"の設定でのFIFOバッファへの書き込み、または"PID=BUF"の設定は行わないでください。

◆ DCPコントロールレジスタ【DCPCTR】

<アドレス：60H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS							SQCLR	SQSET	SQMON	PBUSY			CCPL		PID
0	?	?	?	?	?	?	0	0	1	0	?	?	0	0	0
-	?	?	?	?	?	?	-	-	-	-	?	?	0	0	0

Bit	Name	Function	S/W	H/W	Remarks
15	BSTS バッファステータス	DCP FIFO バッファへのアクセス可否ステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R	W	
14-9	何も配置されていません。"0"に固定してください。				
8	SQCLR トグルビットクリア	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA0に設定する事ができます。 0：無効 1：DATA0指定	R(0)/ W(1)	R	
7	SQSET トグルビットセット	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA1に設定する事ができます。 0：無効 1：DATA1指定	R(0)/ W(1)	R	
6	SQMON シーケンストグルビットモニター	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R	W	
5	PBUSY PIPEビジー	当該PIPEを現在USBバスで使用かどうかが表示されます。 0：当該PIPEをUSBバスにて未使用 1：当該PIPEをUSBバスにて使用中	R	W	
4-3	何も配置されていません。"0"に固定してください。				
2	CCPL コントロール転送終了許可	本ビットを1にすることによりコントロール転送のステータスステージの終了許可を設定します。 0：無効 1：コントロール転送終了許可	R/W	R/W(0)	
1-0	PID 応答PID	本ビットによりコントロール転送における本コントローラーの応答を制御します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W	R/W	

<<Remarks>>

なし

2.15.2 バッファステータスビット (BSTS)

DCPに割り付けたFIFOバッファへのCPUからのアクセスが可能かどうかを、本コントローラーが表示するビットです。本ビットの意味は、ISELビットの設定値により以下のように異なります。

- (1) "ISEL=0"のとき：受信データの読み出しが可能かどうか、を表示します。
- (2) "ISEL=1"のとき：送信データの書き込みが可能かどうか、を表示します。



### 2.15.3 シーケンスストグルビットのクリアビット (SQCLR)

ソフトウェアが本ビットに"1"を設定すると本コントローラーは当該PIPEのシーケンスストグルビットの期待値をDATA0に設定します。本コントローラーは、常に本ビットに"0"を表示します。

**SQCLR**ビットと**SQSET**ビットに同時に"1"を設定しないでください。

本ビットへの"1"設定は、"PID=NAK"時に実施してください。

対応するPIPEの**PID**ビットを"BUF"から"NAK"へ変更してから本ビットに"1"を設定する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーが**PID**ビットを"NAK"に変更した場合には、ソフトウェアによる**PBUSY**ビットの確認は必要ありません。

### 2.15.4 シーケンスストグルビットのセットビット (SQSET)

ソフトウェアが本ビットに"1"を設定すると本コントローラーは当該PIPEのシーケンスストグルビットの期待値をDATA1に設定します。本コントローラーは、常に本ビットに"0"を表示します。

**SQCLR**ビットと**SQSET**ビットに同時に"1"を設定しないでください。

本ビットへの"1"設定は、"PID=NAK"時に実施してください。

対応するPIPEの**PID**ビットを"BUF"から"NAK"へ変更してから本ビットに"1"を設定する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーが**PID**ビットを"NAK"に変更した場合には、ソフトウェアによる**PBUSY**ビットの確認は必要ありません。

### 2.15.5 シーケンスストグルビットのモニタービット (SQMON)

本コントローラーは当該PIPEのシーケンスストグルビットの期待値を本ビットに表示します。

トランザクションが正常処理すると本コントローラーは本ビットをトグルさせます。  
ただし、受信方向転送時のDATA-PIDミスマッチ発生時には、本ビットをトグルさせません。

SETUPパケット正常受信時に、本コントローラーは本ビットを"1"にセット（期待値をDATA1に設定）します。

本コントローラーはステータスステージのIN/OUTトランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。

### 2.15.6 PIPEビジービット (PBUSY)

本コントローラーは、当該PIPEのUSBトランザクションを開始したときに本ビットを"0"から"1"に変更します。ひとつのトランザクションが終了したときに本ビットを"1"から"0"に変更します。

ソフトウェアが"PID=NAK"を設定した後、本ビットを読み出すことにより、PIPE設定変更が可能になったかどうかを確認することが出来ます

### 2.15.7 コントロール転送終了許可ビット (CCPL)

対応するPIDビットが"BUF"のときにソフトウェアが本ビットに"1"を設定すると、本コントローラーはコントロール転送のステータスステージを完了させます。

即ち、コントロールリード転送時ではUSB HostからのOUTトランザクションに対してACK Handshakeを送信し、コントロールライト及びノーデータコントロール転送時ではUSB HostからのINトランザクションに対してZero-Lengthパケットを送信します。ただし、SET\_ADDRESSリクエスト検出時は、本ビットの設定値に関係なく本コントローラーはSETUPステージからステータスステージ完了まで自動応答を行います。

新たなSETUPパケットを受信したときに、本コントローラーは本ビットを"1"から"0"に変更します。

"VALID=1"のとき、ソフトウェアは本ビットへの"1"書き込みを行うことが出来ません。

### 2.15.8 応答PIDビット (PID)

本ビットに対し、コントロール転送のデータステージ、またはステータスステージ実行時、ソフトウェアで本ビットを"NAK"から"BUF"に変更してください。

以下の場合には本コントローラーが本ビットの値を変更します。

- (1) 本コントローラーがSETUPパケットを受信した時に、本コントローラーは本ビットを"NAK" ("00")に変更します。この時、本コントローラーは"VALID=1"を表示し、ソフトウェアで"VALID=0"を設定するまではソフトウェアは本ビットの変更を行うことはできません。
- (2) ソフトウェアが本ビットに"BUF"を設定しているときに、本コントローラーがMaxPacketSizeを超えるデータを受信した場合、本コントローラーは"PID=STALL(11)"を表示します。
- (3) 本コントローラーがコントロール転送シーケンスエラーを検出した場合、"PID=STALL(1x)"を表示します。
- (4) 本コントローラーがUSBバスリセットを検出した場合、"PID=NAK"を表示します。

SET\_ADDRESSリクエスト処理（自動処理）時には、本コントローラーは本ビットの設定値を参照しません。

## 2.16 パイプコンフィグレーションレジスタ

PIPE1-9の設定は、PIPESELレジスタ、PIPECFGレジスタ、PIPEBUFレジスタ、PEPEMAXPレジスタ、PIPEPERIレジスタ、PIPExCTRレジスタ、PIPExTREレジスタ及びPIPExTRNレジスタで行ってください。

PIPESELレジスタにて使用するパイプを選択した後、PIPECFGレジスタ、PIPEBUFレジスタ、PEPEMAXPレジスタ、及びPIPEPERIレジスタに、各パイプの機能設定を行います。なお、PIPExCTRレジスタ、PIPExTREレジスタ及びPIPExTRNレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

◆ パイプウィンドウ選択レジスタ【PIPESEL】

<アドレス：64H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												PIPESEL			
?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-4	何も配置されていません。"0"に固定してください。				
3-0	PIPESEL パイプウィンドウ選択	アドレス68H-6EHのレジスタに対するPIPE指定を行います。 0000：未選択 0001：PIPE1 0010：PIPE2 0011：PIPE3 0100：PIPE4 0101：PIPE5 0110：PIPE6 0111：PIPE7 1000：PIPE8 1001：PIPE9	R/W	R	

<<Remarks>>

\* "PIPESEL=0000"設定時は、上記の関連レジスタの各ビットにすべて"0"が読み出されます。"PIPESEL=0000"設定時のアドレス68H-6EHのレジスタに対する書き込みは無効です。

### 2.16.1 パイプウィンドウ選択ビット (PIPESEL)

ソフトウェアが本ビットに"0001"~"1001"を設定すると、本コントローラーはアドレスH68番地~H6C番地のレジスタに対応するPIPEの情報、及び設定値を表示します。本ビットへのPIPE指定設定後、ソフトウェアがアドレスH68番地~H6C番地に設定する値は、本コントローラーによって対応するPIPEの転送方法に反映されます。

ソフトウェアが本ビットに"0000"を設定すると、本コントローラーはアドレスH68番地~H6E番地のレジスタにALL"0"を表示します。この時、ソフトウェアによるアドレスH68番地~H6E番地への書き込みは無効です。

## ◆ パイプコンフィギュレーションレジスタ【PIPECFG】

&lt;アドレス：68H&gt;

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE					BFRE	DBLB	CNTMD	SHTNAK			DIR	EPNUM			
0	0	?	?	?	0	0	0	0	?	?	0	0	0	0	0
-	-	?	?	?	-	-	-	-	?	?	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-14	TYPE 転送タイプ	PIPESELビットに指定したPIPE(当該PIPE)の転送タイプを指定します。 00：パイプ使用不可 01：バルク転送 10：インタラプト転送 11：アイソクロナス転送	R/W	R	
13-11	何も配置されていません。"0"に固定してください。				
10	BFRE BRDY割り込み動作指定	本コントローラからの当該PIPE に関するBRDY割り込みの通知タイミングを指定します。 0：データ送受信時にBRDY割り込み通知 1：データ読み出し完了時にBRDY割り込み通知	R/W	R	
9	DBLB ダブルバッファモード	当該PIPEが使用するFIFOバッファがシングルバッファかダブルバッファかを指定します。 0：シングルバッファ 1：ダブルバッファ	R/W	R	
8	CNTMD 連続転送モード	当該PIPEを連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード	R/W	R	
7	SHTNAK トランスファー終了時のPIPE禁止	当該PIPEが受信方向の場合に、トランスファー終了時にPIDをNAKに変更するかどうかを指定します。 0：トランスファー終了時にPIPE継続 1：トランスファー終了時にPIPE禁止	R/W	R	
6-5	何も配置されていません。"0"に固定してください。				
4	DIR 転送方向	当該PIPEの転送方向を指定します。 0：受信方向 1：送信方向	R/W	R	
3-0	EPNUM エンドポイント番号	当該PIPEのエンドポイント番号を指定します。	R/W	R	

&lt;&lt;Remarks&gt;&gt;

なし

## 2.16.2 転送タイプビット (TYPE)

PIPESELビットに設定したPIPE (選択PIPE) のUSB転送タイプを本ビットに対して設定してください。選択PIPEと本ビットに設定可能な転送タイプの一覧を表 2.11に示します。

表 2.11 選択PIPEとTYPEビットに設定可能な転送タイプの一覧

選択 PIPE	TYPE ビット	USB 転送 TYPE
PIPE1、または PIPE2	"01"、または"11"	bulk 転送、または isochronous 転送
PIPE3~PIPE5	"01"	bulk 転送
PIPE6~PIPE9	"10"	interrupt 転送

"PID=BUF"に設定 (することにより選択PIPEを使用したUSB通信を開始) する前に、必ず本ビットを"00"以外の値に設定してください。

本ビットの変更は、選択PIPEのPIDビットが"NAK"状態の時に行ってください。選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

## 2.16.3 BRDY割り込み動作指定ビット (BFRE)

本ビットは、選択PIPEがPIPE1~PIPE5の場合に有効なビットです。

ソフトウェアが本ビットに"1"を設定し、かつ、選択PIPEを受信方向で使用している (即ち"DIRビット=0"に設定している時) 場合、本コントローラーは、トランスファーの終了を検出し、そのパケットを読み出し終えた時にBRDY割り込みを発行します。

この設定でBRDY割り込みが発生した時には、ソフトウェアは"BCLR=1"の書き込み処理を行う必要があります。"BCLR=1"を行うまでは選択PIPEに割り付けられたFIFOバッファは受信可能状態になりません。

ソフトウェアが本ビットに"1"を設定し、かつ、選択PIPEの選択PIPEを送信方向で使用している (即ち"DIRビット=1"に設定している時) 場合、本コントローラーはBRDY割り込みを発生させません。

詳細は、PIPEBRDY割り込みレジスタを参照してください。

本ビットの変更は、"PID=NAK"、およびCURPIPEビットにPIPE未設定、の状態の時に実施してください。

また、選択PIPEを使用したUSB通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで"ACLRM=1"、"ACLRM=0"を連続して書き込み、選択PIPEに割り付けられたFIFOバッファのクリアを実行してください。

選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

## 2.16.4 ダブルバッファモードビット (DBLB)

本ビットは、選択PIPEがPIPE1~PIPE5の場合に有効なビットです。

ソフトウェアが本ビットに"1"を設定している場合、本コントローラーは選択PIPEに対し、PIPEBUFレジスタのBUFSIZEビットで指定したFIFOバッファサイズを2面分割り当てます。

即ち、本コントローラーが選択PIPEに対して割り当てたFIFOバッファの容量は以下のとおりです。

$$(BUFSIZE+1)*64*(DBLB+1) \text{ [バイト]}$$

ソフトウェアが本ビットに"1"を設定し、かつ、選択PIPEを送信方向で使用している ("DIRビット=1"に設定している) 場合、本コントローラーはBRDY割り込みを発生させません。

詳細は、PIPEBRDY割り込みレジスタを参照してください。

本ビットの変更は、"PID=NAK"、およびCURPIPEビットにPIPE未設定、の状態の時に実施してください。  
 また、選択PIPEを使用したUSB通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで"ACLRM=1"、"ACLRM=0"を連続して書き込み、選択PIPEに割り付けられたFIFOバッファのクリアを実行してください。

選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

**2.16.5 連続転送モードビット (CNTMD)**

本ビットは、選択PIPEがPIPE1~PIPE5であり、かつ、選択PIPEの転送タイプをbulkに設定している場合に有効なビットです。

本ビットの設定値によって、本コントローラーは選択PIPEに割り当てられたFIFOバッファに対する送受信完了判定を表 2.12に示すとおりに行います。

**表 2.12 CNTMDビット設定値とFIFOバッファに対する送受信完了判定方法の関係**

CNTMD ビット 設定値	読み出し可能状態と送信可能状態の判定方法
0	受信方向設定時("DIR=0")FIFO バッファ読み出し可能状態になる条件; 本コントローラーが1パケット受信した時 送信方向設定時("DIR=1")FIFO バッファ送信可能状態になる条件; 以下(1)、(2)のいずれかを満たした時 (1) ソフトウェア (または DMAC) がマックスパケットサイズ分のデータを FIFO バッファに書き込んだ。 (2) ソフトウェア(または DMAC) がショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、"BVAL=1"を書き込んだ。
1	受信方向設定時("DIR=0")FIFO バッファ読み出し可能状態になる条件; (1)選択 PIPE に設定した FIFO バッファに受信したデータのバイト数と、設定したバイト数 ((BUFSIZE+1)*64) が等しくなったとき (2) 本コントローラーが Zero-Length パケット以外のショートパケットを受信したとき (3) 選択 PIPE に設定した FIFO バッファにすでにデータが格納されている状態で、本コントローラーが Zero-Length パケットを受信したとき。 (4) ソフトウェアが選択 PIPE に対して設定したトランザクションカウンタ回数分のパケットを受信した時 送信方向設定時("DIR=1")FIFO バッファ送信可能状態になる条件; 以下(1)から(3)のいずれかを満たしたとき (1) ソフトウェア(または DMAC) が書き込んだデータ数が、選択 PIPE に設定した FIFO バッファサイズ 1 面分と等しくなったとき。 (2) ソフトウェア(または DMAC)が、選択 PIPE に設定した FIFO バッファサイズ 1 面よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、"BVAL=1"を書き込んだ時。 (3) DMAC が、選択 PIPE に設定した FIFO バッファサイズ 1 面よりも小さいデータ数を FIFO バッファに書き込み、最後の書き込みと同時に DENDx_N 信号をアサートした時。

本ビットの変更は、"PID=NAK"、およびCURPIPEビットにPIPE未設定、の状態の時に実施してください。  
 また、選択PIPEを使用したUSB通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで"ACLRM=1"、"ACLRM=0"を連続して書き込み、選択PIPEに割り付けられたFIFOバッファのクリアを実行してください。

選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

### 2.16.6 トランスファー終了時のPIPE禁止ビット (SHTNAK)

本ビットは、選択PIPEがPIPE1～PIPE5であり、かつ、受信方向である場合に有効なビットです。

受信方向PIPEに対してソフトウェアが本ビットに"1"を設定している場合、本コントローラーは、選択PIPEに対しトランスファーの終了を判定したときに選択PIPEに対応するPIDビットを"NAK"に変更します。本コントローラーは、以下(1)または(2)の条件が満たされた時にトランスファー終了と判定します。

- (1) ショートパケットデータ (Zero-Lengthパケットを含む) を正常に受信した時。
- (2) トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信した時。

本ビットの変更は、"PID=NAK"の状態の時に実施してください。

選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

送信方向PIPEに対しては、本ビットを"0"に設定してください。

### 2.16.7 転送方向ビット (DIR)

ソフトウェアが本ビットに"0"を設定している場合、本コントローラーは選択PIPEを受信方向に、本ビットに"1"を設定している場合、本コントローラーは選択PIPEを送信方向に使用します。

本ビットの変更は、"PID=NAK"、およびCURPIPEビットにPIPE未設定、の状態の時に実施してください。

また、選択PIPEを使用したUSB通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで"ACLRM=1"、"ACLRM=0"を連続して書き込み、選択PIPEに割り付けられたFIFOバッファのクリアを実行してください。

選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

### 2.16.8 エンドポイント番号ビット (EPNUM)

ソフトウェアで本ビットに選択PIPEに対するエンドポイント番号を設定してください。  
ただし、"0000"の設定は、未使用PIPEを意味します。

本ビットの変更は、"PID=NAK"、およびCURPIPEビットにPIPE未設定、の状態の時に実施してください。

選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DIRビットとEPNUMビットの設定の組み合わせが他のPIPE設定と重複しないようにして設定してください。  
("EPNUM=000" (選択PIPEは未使用) の設定は重複可能です)

◆ パイプバッファ指定レジスタ【PIPEBUF】

<アドレス：6AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUFSIZE						BUFNMB									
?	0	0	0	0	0	?	?	0	0	0	0	0	0	0	0
?	-	-	-	-	-	?	?	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15		何も配置されていません。"0"に固定してください。			
14-10	BUFSIZE バッファサイズ	PIPESELビットに指定したPIPE(当該PIPE)のFIFOバッファサイズを指定します。 0x00: 64バイト 0x01: 128バイト ... 0x1F: 2Kバイト)	R/W	R	
9-8		何も配置されていません。"0"に固定してください。			
7-0	BUFNMB バッファ番号	当該PIPE のFIFOバッファ番号を指定します。 (0x4 - 0x87)	R/W	R	

<<Remarks>>

- \* 本レジスタの各ビットの変更は、ソフトウェアが"PID=NAK"、および CURPIPE ビットに PIPE 未設定、の状態の時に実施してください。
- \* 選択 PIPE の PID ビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを"NAK"に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

2.16.9 バッファサイズビット (BUFSIZE)

当該PIPEに割り付けるFIFOバッファサイズを、本ビットに指定してください。  
単位はブロック数であり、1ブロックは64バイトです。

ソフトウェアが"DBLB=1"を設定している場合、本コントローラーは選択PIPEに対し、本ビットで指定したFIFOバッファサイズを2面分割り当てます。

本コントローラーが選択PIPEに対して割り当てるFIFOバッファの容量は以下のとおりです。  
(BUFSIZE+1)\*64\*(DBLB+1) [バイト]

本ビットへは以下の範囲の値を設定してください。

- (1) 選択PIPEがPIPE1～PIPE5の場合; 0x0から0x1Fの値を設定可能です。
- (2) 選択PIPEがPIPE6～PIPE9の場合; 0x0のみを設定可能です。

"CNTMD=1"で使用する場合には、BUFSIZEビットにはMaxPacketSizeの自然数倍の値を設定してください。

2.16.10 バッファ番号ビット (BUFNMB)

当該PIPEに割り付けるFIFOバッファのうち、先頭のブロック番号を指定してください。

本コントローラーが選択PIPEに対して割り当てるFIFOバッファのブロックは以下のとおりです。

ブロック番号:BUFNMB～ブロック番号:BUFNMB+(BUFSIZE+1)\*(DBLB+1)-1

本ビットへは0 (0x00) から8640 (0x87) の範囲の値を設定してください。ただし、以下の条件を守ってください。  
0x00～0x03～0x03はDCP専用です。

0x04はPIPE6専用です。ただしPIPE6を使用しない場合は他のPIPEで使用可能です。また選択PIPEがPIPE6の場合、本ビットへの書き込みは無効です。本コントローラーはPIPE6に対し"BUFNMB=0x04"を自動的に割り付けます。

"0x05はPIPE7専用です。ただしPIPE7を使用しない場合は他のPIPEで使用可能です。また選択PIPEがPIPE7の場合、本ビットへの書き込みは無効です。本コントローラーはPIPE7に対し"BUFNMB=0x05"を自動的に割り付けます。

0x06はPIPE8専用です。ただしPIPE8を使用しない場合は他のPIPEで使用可能です。また選択PIPEがPIPE8の場合、本ビットへの書き込みは無効です。本コントローラーはPIPE8に対し"BUFNMB=0x06"を自動的に割り付けます。

0x07はPIPE9専用です。ただしPIPE9を使用しない場合は他のPIPEで使用可能です。また選択PIPEがPIPE9の場合、本ビットへの書き込みは無効です。本コントローラーはPIPE9に対し"BUFNMB=0x07"を自動的に割り付けます。



◆ パイプマックスパケットサイズレジスタ【PIPEMAXP】

<アドレス：6CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MXPS															
?	?	?	?	?	0	0	0	0	0(1)	0	0	0	0	0	0
?	?	?	?	?	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-11	何も配置されていません。"0"に固定してください。				
10-0	MXPS マックスパケットサイズ	当該パイプの最大データペイロード(マックスパケットサイズ)を指定します。 PIPE6 - 9は0x1 - 0x40バイトまで設定可能です。	R/W	R	

<<Remarks>>

\* MXPS ビットの初期値は、PIPESEL レジスタの PIPESEL ビットでパイプを選択していないときは"0x00"、パイプを選択している時は"0x40"が表示されます。

2.16.11 マックスパケットサイズビット (MXPS)

選択PIPEの最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。

PIPE1,2に対しては1バイト (0x1) ~1024バイト (0x400) の値を設定可能です。

PIPE3~5に対しては8バイト (0x8) 、16バイト (0x10)、32バイト (0x20)、64バイト (0x40)、512バイト (0x200) の値を設定可能です。 ([2:0]のビットはありません。)

PIPE6~9に対しては1バイト (0x1) ~64バイト (0x40) の値を設定可能です。

初期値は、0x40 (64バイト) です。

**MXPS** ビットの設定は、転送タイプ毎にUSB規格に準拠した値を設定してください。

Isochronous-PIPEをSplit-Transactionで通信する場合には、**MXPS** ビットには188バイト以下の値を設定してください。

**MXPS** ビットの設定は、"PID=NAK"、およびCURPIPEビットに未設定時に実施してください。

対応するPIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

"MXPS=0"の設定でのFIFOバッファへの書き込み、または"PID=BUF"の設定は行わないでください。

◆ パイプ周期制御レジスタ【PIPEPERI】

<アドレス：6EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			IFIS										IITV		
?	?	?	0	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	-	?	?	?	?	?	?	?	?	?	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-13	何も配置されていません。"0"に固定してください。				
12	IFIS アイソクロナスINバッファフラッシュ	PIPESELビットに指定したPIPE(当該PIPE)がアイソクロナスIN転送の場合に、バッファフラッシュ有無を指定します。 0：バッファフラッシュしない 1：バッファフラッシュする	R/W	R	
11-3	何も配置されていません。"0"に固定してください。				
2-0	IITV インターバルエラー検出間隔	当該PIPEの転送インターバルタイミングをフレームタイミングの2のn乗で指定します。	R/W	R	

<<Remarks>>

なし

2.16.12 アイソクロナスINバッファフラッシュビット (IFIS)

選択PIPEの転送TYPEがIsochronous、かつ転送方向がIN転送の場合において、IITVビットに設定したInterval毎の(マイクロ)フレーム中にUSB HOSTからIN-Tokenを本コントローラーが受信しなかった場合に、本コントローラーが自動的にFIFOバッファをクリアする機能です。

ダブルバッファ設定時 ("DBLB=1"設定時) は、本コントローラーがクリアするのは古い方の1面分データのみです。

FIFOバッファクリアのタイミングは、IN-Tokenを受信するはずの(マイクロ)フレーム直後のSOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングにクリアを行います。

選択PIPEの転送TYPEがIsochronous以外の場合は、本ビットへは"0"を設定してください。

2.16.13 インターバルエラー検出間隔ビット (IITV)

本ビットにインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。

本ビットの設定は、"PID=NAK"、およびCURPIPEビットに未設定時に実施してください。

対応するPIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

本ビットを設定し、USB通信を行った後で別の値に変更する場合には、"PID=NAK"設定後"ACLRM=1"をセットし、Intervalタイマの初期化を行って下さい。

PIPE3~5に対しては、本ビットは存在しません。PIPE3~5に対応する本ビットには"0"を設定してください。

選択PIPEの転送TYPEがIsochronousの場合に、本ビットへの設定が可能です。

(1) 選択PIPEがIsochronous-OUT転送PIPEの場合

IITVビットに設定したInterval毎の（マイクロ）フレーム中にDATAパケットを受信しなかった時、本コントローラーはNRDY割り込みを発生させます。

DATAパケットにCRCエラー等のエラーが発生したために受信できなかった時、または（ソフトウェア（DMAC）がFIFOバッファからデータを読み出すのが遅いなどの原因で）FIFOバッファがフルのために本コントローラーがデータを受信できなかったときにもNRDY割り込みを発生させます。

NRDY割り込みの発生のタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。

ただし"IITV=0"以外の時には、インターバルのカウント開始後のインターバル毎のSOFパケット受信時にNRDY割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアでPIDビットを"NAK"に設定した場合、本コントローラーはSOFパケットを受信してもNRDY割り込みを発生させません。

インターバルのカウント開始条件は、IITVビットの設定値により異なります。

(a) "IITV=0"の時: 選択PIPEのPIDビットを"BUF"に変更した次の（マイクロ）フレームからインターバルのカウントを開始します。

(マイクロ) フレーム	S O F	S O F	S O F	O U T	D A T A	S O F	O U T	D A T A
PID ビット設定値	N A K	B U F	B U F	B U F	B U F	B U F	B U F	B U F
Token 受信期待有無 (0: 受信を期待 -: 非受信を期待)	-	-	0	0				
インターバル カウント開始			↑					

図 2.1 "IITV=0"の場合の（マイクロ）フレームとToken受信期待有無の関係

(b) "IITV=0"以外の時: 選択PIPEのPIDビットを"BUF"に変更した後最初のDATAパケット正常受信完了時点からインターバルのカウントを開始します。

(マイクロ) フレーム	S O F	S O F	S O F	O U T	D A T A	S O F	O U T	D A T A	S O F	O U T	D A T A
PID ビット設定値	N A K	B U F	B U F	B U F	B U F	B U F	B U F	B U F	B U F	B U F	B U F
Token 受信期待有無 (0: 受信を期待 -: 非受信を期待)	-	-	0	-	0	-	0	-	0	-	0
インターバル カウント開始			↑								

図 2.2 "IITV=1"の場合の（マイクロ）フレームとToken受信期待有無の関係

(2) 選択PIPEがIsochronous-IN転送PIPEの場合

"IFIS=1"と組み合わせて使用します。"IFIS=0"の場合にはIITVビットへの設定値とは関係なく、受信したTokenに応答してデータパケットを送信します。

"IFIS=1"を設定している場合、FIFOバッファに送信可能なデータが存在している状態で、IITVビットに設定したInterval毎の(マイクロ)フレーム中にIN-Tokenを受信しなかった時、本コントローラーはFIFOバッファをクリアします。

IN-TokenにCRCエラー等のバスエラーが発生したために本コントローラーが正常受信できなかった場合にもクリアを行います。

FIFOバッファクリアのタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングにFIFOバッファクリアを行います

インターバルのカウント開始条件は、IITVビットの設定値により異なります。(OUT時と同様です)

インターバルカウンタ初期化条件は以下(1)、(2)または(3)の場合です。

- (1) 本コントローラーがHWリセットされた場合(この時、IITVビットへの設定値も"0"にクリアされます。)
- (2) ソフトウェアが"ACLRM=1"を設定した場合。
- (3) 本コントローラーがUSBバスリセットを検出した場合

## 2.17 パイプコントロールレジスタ

- ◆ PIPE1コントロールレジスタ 【PIPE1CTR】 <アドレス：70H>
- ◆ PIPE2コントロールレジスタ 【PIPE2CTR】 <アドレス：72H>
- ◆ PIPE3コントロールレジスタ 【PIPE3CTR】 <アドレス：74H>
- ◆ PIPE4コントロールレジスタ 【PIPE4CTR】 <アドレス：76H>
- ◆ PIPE5コントロールレジスタ 【PIPE5CTR】 <アドレス：78H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	INBUFM				ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY				PID	
0	0	?	?	?	0	0	0	0	0	0	?	?	?	0	0
-	-	?	?	?	-	-	-	-	-	-	?	?	?	0	0

Bit	Name	Function	S/W	H/W	Remarks
15	BSTS バッファステータス	当該PIPEのFIFOバッファステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R	W	
14	INBUFM 送信バッファモニタ	当該PIPEが送信方向の場合に、当該PIPEのFIFOバッファステータスが表示されます。 0：FIFOバッファに送信可能データなし 1：FIFOバッファに送信可能データあり	R	W	
13-11	何も配置されていません。"0"に固定してください。				
10	ATREPM 自動応答モード	当該PIPEの自動応答禁止/許可を指定します。 0：禁止 1：許可(送信時Zero-length Packet応答、受信時NAK応答しNRDY割り込み発生)	R/W	R	
9	ACLRM 自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止/許可を指定します。 0：禁止 1：許可（全バッファ初期化）	R/W	R	
8	SQCLR トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするとき"1"を指定します。 0：書き込み無効 1：DATA0指定	R(0)/ W(1)	R	
7	SQSET トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするとき"1"を指定します。 0：書き込み無効 1：DATA1指定	R(0)/ W(1)	R	
6	SQMON トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R	W	
5	PBUSY PIPEビジー	当該PIPEを現在USBバスで使用かどうかが表示されます。 0：当該PIPEをUSBバスにて未使用 1：当該PIPEをUSBバスにて使用	R	W	
4-2	何も配置されていません。"0"に固定してください。				
1-0	PID 応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W	R/W	

## &lt;&lt;Remarks&gt;&gt;

なし

## 2.17.1 バッファステータスビット (BSTS)

当該PIPEに割り付けたFIFOバッファへのCPUからのアクセスが可能かどうかを、本コントローラが表示するビットです。

本ビットの意味は、DIRビット、BFREビット及びDCLRMビットの設定値により以下のように異なります。

表 2.13 BSTSビットの動作

DIR ビット 設定値	BFRE ビット 設定値	DCLRM ビット 設定値	BSTS ビットの意味
0	0	0	"FIFO バッファからの受信データの読み出しが可能になったときに"1"を表示し、データの読み出しが完了したときに"0"を表示します。
		1	この組み合わせは設定禁止です。
	1	0	"FIFO バッファからの受信データの読み出しが可能になったときに"1"を表示し、データの読み出しが完了した後でソフトウェアが"BCLR=1"を書き込んだときに"0"を表示します。
		1	"FIFO バッファからの受信データの読み出しが可能になったときに"1"を表示し、データの読み出しが完了したときに"0"を表示します。
1	0	0	"FIFO バッファへの送信データの書き込みが可能になったときに"1"を表示し、データの書き込みが完了したときに"0"を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

## 2.17.2 送信バッファモニタビット (INBUFM)

当該PIPEを送信方向 ("DIR=1") に設定している場合に、ソフトウェア (またはDMAC) が少なくとも1面分のデータをFIFOバッファに書き込み完了した時に、本コントローラは本ビットに"1"を表示します。

書き込みが完了している面のFIFOバッファ上のデータを本コントローラがすべて送信完了した時に、本コントローラは本ビットに"0"を表示します。ダブルバッファ使用時 ("DBLB=1"設定時) には、本コントローラが2面分のデータを送信完了しかつソフトウェア (またはDMAC) が1面分のデータ書き込みを完了していない時に、本ビットに"0"を表示します。

当該PIPEを受信方向 ("DIR=0") に設定している場合には、本ビットはBSTSビットと同じ値を示します。

### 2.17.3 自動応答モードビット (ATREPM)

当該PIPEの転送TYPEを"Bulk"に設定している場合、本ビットへの"1"設定が可能です。  
本ビットに"1"を設定した場合、USB HOSTからのTokenに対し本コントローラーは以下のように応答します。

- (1) 当該PIPEがBulk-IN転送 ("TYPE=01"かつ"DIR=1"を設定) の場合  
"ATREPM=1"かつ"PID=BUF"を設定している場合、IN-Tokenに対して本コントローラーはZero-Lengthパケットを送信します。  
USB HostからのACK受信の度に (1トランザクションはIN-Token受信→Zero Lengthパケット送信→ACK受信)、本コントローラーはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。  
**BRDY**割り込み、**BEMP**割り込みは発生させません。
- (2) 当該PIPEがBulk-OUT転送 ("TYPE=01"かつ"DIR=0"を設定) の場合  
"ATREPM=1"かつ"PID=BUF"を設定している場合、OUT-Token (またはPING-Token) に対して本コントローラーはNAK応答を行い、**NRDY**割り込みを発生させます。

本ビットの変更は、"PID=NAK"設定時に実施してください。

対応するPIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

本ビットを"1"に設定してUSB通信を行う場合、FIFOバッファは必ず空の状態で行ってください。本ビットを"1"に設定してUSB通信を行っている期間はFIFOバッファへの書き込みを行わないでください。  
当該PIPEの転送TYPEがIsochronous転送の場合、本ビットには必ず"0"を設定してください。

### 2.17.4 自動バッファクリアモードビット (ACLRM)

当該PIPEに割り付けたFIFOバッファの内容をすべてクリアしたい場合に、ACLRMビットに"1"、"0"を連続して書き込んでください。

本ビットに"1"、"0"を連続して設定した場合に本コントローラーがクリアする内容を表 2.14に示します。  
また、この処理が必要なケースを表 2.15に示します。

表 2.14 "ACLRM=1"設定時に本コントローラーがクリアされる内容

番号	ACLRM ビット操作によるクリア内容
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)
(2)	当該 PIPE の転送 TYPE が Isochronous 転送の場合、インターバルカウント値

表 2.15 "ACLRM=1"設定が必要なケース

番号	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットの設定値変更時
(4)	DBLB ビットの設定値変更時
(5)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、"PID=NAK"、および当該PIPEをCURPIPEビットに未設定時に実施してください。

対応するPIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

### 2.17.5 シーケンスストグルビットのクリアビット (SQCLR)

ソフトウェアが本ビットに"1"を設定すると本コントローラーは当該PIPEのシーケンスストグルビットの期待値をDATA0に設定します。本コントローラーは、常に本ビットに"0"を表示します。

**SQCLR** ビットへの"1"設定は、"PID=NAK"時に実施してください。

対応するPIPEの**PID**ビットを"BUF"から"NAK"へ変更してから本ビットに"1"を設定する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーが**PID**ビットを"NAK"に変更した場合には、ソフトウェアによる**PBUSY**ビットの確認は必要ありません。

### 2.17.6 シーケンスストグルビットのセットビット (SQSET)

ソフトウェアが本ビットに"1"を設定すると本コントローラーは当該PIPEのシーケンスストグルビットの期待値をDATA1に設定します。本コントローラーは、常に本ビットに"0"を表示します。

**SQSET** ビットへの"1"設定は、"PID=NAK"設定時に実施してください。

対応するPIPEの**PID**ビットを"BUF"から"NAK"へ変更してから本ビットに"1"を設定する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーが**PID**ビットを"NAK"に変更した場合には、ソフトウェアによる**PBUSY**ビットの確認は必要ありません。

### 2.17.7 シーケンスストグルビットのモニタービット (SQMON)

本コントローラーは当該PIPEのシーケンスストグルビットの期待値を本ビットに表示します。

当該PIPEの転送TYPEがIsochronous転送以外の場合、トランザクションが正常処理すると本コントローラーは本ビットをトグルさせます。ただし、受信方向転送時のDATA-PIDミスマッチ発生時には、本ビットをトグルさせません。

### 2.17.8 PIPEビジービット (PBUSY)

本コントローラーは、当該PIPEのUSBトランザクションを開始したときに本ビットを"0"から"1"に変更します。ひとつのトランザクションが正常終了したときに本ビットを"1"から"0"に変更します。

ソフトウェアが"PID=NAK"を設定した後、本ビットを読み出すことにより、PIPE設定変更が可能になったかどうかを確認することが出来ます



### 2.17.9 応答PIDビット (PID)

本ビットに対し、ソフトウェアで各PIPEにおける本コントローラーの応答を設定してください。

本ビットのデフォルト値は"NAK"です。当該PIPEでUSB転送を行う場合には本ビットを"BUF"に変更してください。PIDビットの設定値毎の本コントローラーの基本動作（通信パッケージにエラーがない場合の動作）は、表 2.16のとおりです。

当該PIPEがUSB通信中であるときに、ソフトウェアで本ビットを"BUF"から"NAK"に変更する場合、"NAK"を書き込んだ後、実際に当該PIPEのUSB転送が"NAK"状態に遷移したことを確認するために"PBUSY=0"であることを確認してください。ただし、本コントローラーが本ビットを"NAK"に変更した場合には、ソフトウェアによる**PBUSY**ビットの確認は必要ありません。

以下の場合には本コントローラーが本ビットの値を変更します。

- (1) 当該PIPEが受信方向の場合、かつソフトウェアが当該PIPEの**SHTNAK**ビットに"1"を設定している場合、本コントローラーがトランスファー終了を認識した時に、"PID=NAK"を表示します。
- (2) 当該PIPEに対し、**MaxPacketSize**を超えるペイロードのデータパッケージを受信した場合、本コントローラーは"PID=STALL(11)"を表示します。
- (3) USBバスリセットを検出した場合、本コントローラーは"PID=NAK"を表示します。

"PID=NAK("00")"の状態から"PID=STALL"状態にする場合には、"10"を書き込んでください。

BUF("01")状態からSTALL状態にする場合には、"11"を書き込んでください。

STALL("11")からNAK状態にする場合には、一旦"10"を書き込んでから"00"を書き込んでください。

STALL状態からBUF状態に変更する場合は、一旦NAK状態に変更し、その後、BUF状態に変更して下さい。

表 2.16 PIDビットによる本コントローラーの動作一覧

PID ビット 設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラーの動作
"00 (NAK)"	Bulk("TYPE=01")、 または Interrupt ("TYPE=10")	設定値に依存しない	USB Host からの Token に NAK 応答を行う ただし、"ATREPM=1"設定時は2.17.3に述べる動作を行う。
		受信方向 ("DIR=0")	USB Host からの Token に無応答を行う。
	送信方向 ("DIR=1")	USB Host からの Token に対し Zero-Length パケットを送信する。	
	未設定("TYPE=00")	設定値に依存しない	USB Host からの Token に無応答を行う。
"01 (BUF)"	Bulk("TYPE=01")	受信方向 ("DIR=0")	USB Host からの OUT Token に対し、当該 PIPE に対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK または NYET 応答を行う。受信可能な状態でなければ NAK 応答を行う。 USB Host からの PING Token に対し、当該 PIPE に対応する FIFO バッファが受信可能な状態ならば ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う。
		Interrupt ("TYPE=10")	受信方向 ("DIR=0")
	Bulk("TYPE=01")、 または Interrupt ("TYPE=10")	送信方向 ("DIR=1")	対応する FIFO バッファが送信可能な状態ならば USB Host からの Token に対しデータを送信する。送信可能でなければ NAK 応答を行う。
		受信方向 ("DIR=0")	USB Host からの OUT Token に対し、当該 PIPE に対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する。
	Isochronous ("TYPE=11")	送信方向 ("DIR=1")	対応する FIFO バッファが送信可能な状態ならば USB Host からの Token に対しデータを送信する。送信可能でなければ Zero-Length パケットを送信する。
"10 (STALL)"、 または "11 (STALL)"	Bulk("TYPE=01")、 または Interrupt ("TYPE=10")	設定値に依存しない	USB Host からの Token に STALL 応答を行う。
		Isochronous ("TYPE=11")	設定値に依存しない

- ◆ PIPE6コントロールレジスタ 【PIPE6CTR】 <アドレス：7AH>
- ◆ PIPE7コントロールレジスタ 【PIPE7CTR】 <アドレス：7CH>
- ◆ PIPE8コントロールレジスタ 【PIPE8CTR】 <アドレス：7EH>
- ◆ PIPE9コントロールレジスタ 【PIPE9CTR】 <アドレス：80H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY				PID	
0	?	?	?	?	?	0	0	0	0	0	?	?	?	0	0
-	?	?	?	?	?	-	-	-	-	-	?	?	?	0	0

Bit	Name	Function	S/W	H/W	Remarks
15	BSTS バッファステータス	当該PIPEのFIFOバッファステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R	W	
14-10	何も配置されていません。"0"に固定してください。				
9	ACLRM 自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止/許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可（全バッファ初期化）	R/W	R	
8	SQCLR トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするとき"1"を指定します。 0：無効 1：DATA0指定	R(0)/ W(1)	R	
7	SQSET トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするとき"1"を指定します。 0：無効 1：DATA1指定	R(0)/ W(1)	R	
6	SQMON トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R	W	
5	PBUSY PIPEビジー	当該PIPEを現在USBバスで使用かどうかが表示されます。 0：当該PIPEをUSBバスにて未使用 1：当該PIPEをUSBバスにて使用	R	W	
4-2	何も配置されていません。"0"に固定してください。				
1-0	PID 応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W	R/W	

&lt;&lt;Remarks&gt;&gt;

なし

### 2.17.10 バッファステータスビット (BSTS)

2.17.1を参照ください。

### 2.17.11 自動バッファクリアモードビット (ACLRM)

当該PIPEに割り付けたFIFOバッファの内容をすべてクリアしたい場合に、ACLRMビットに"1"、"0"を連続して書き込んでください。

本ビットに"1"、"0"を連続して設定した場合に本コントローラーがクリアする内容を表 2.17に示します。また、当該項目のクリアが必要なケースを表 2.18に示します。

表 2.17 "ACLRM=1"設定時に本コントローラーがクリアされる内容

番号	ACLRM ビット操作によるクリア内容
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容

表 2.18 "ACLRM=1"設定が必要なケース

番号	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットの設定値変更時
(4)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、"PID=NAK"、および当該PIPEをCURPIPEビットに未設定時に実施してください。

対応するPIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを"NAK"に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

### 2.17.12 シーケンスストールビットのクリアビット (SQCLR)

2.17.5を参照ください。

### 2.17.13 シーケンスストールビットのセットビット (SQSET)

2.17.6を参照ください。

### 2.17.14 シーケンスストールビットのモニタービット (SQMON)

2.17.7を参照ください。

### 2.17.15 PIPEビジービット (PBUSY)

2.17.8を参照ください。

### 2.17.16 応答PIDビット (PID)

2.17.9を参照ください。

## 2.18 トランザクションカウンタ

- ◆ PIP1トランザクションカウンタ許可レジスタ 【PIPE1TRE】 <アドレス：90H>
- ◆ PIP2トランザクションカウンタ許可レジスタ 【PIPE2TRE】 <アドレス：94H>
- ◆ PIP3トランザクションカウンタ許可レジスタ 【PIPE3TRE】 <アドレス：98H>
- ◆ PIP4トランザクションカウンタ許可レジスタ 【PIPE4TRE】 <アドレス：9CH>
- ◆ PIP5トランザクションカウンタ許可レジスタ 【PIPE5TRE】 <アドレス：A0H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						TRENB	TRCLR								
?	?	?	?	?	?	0	0	?	?	?	?	?	?	?	?
?	?	?	?	?	?	-	-	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	Remarks
15-10	何も配置されていません。"0"に固定してください。				
9	TRENB トランザクションカウンタ許可	トランザクションカウンタ無効/有効を指定します。 0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W	R	
8	TRCLR トランザクションカウンタクリア	本ビットに"1"を設定することによりトランザクションカウンタを0にクリアすることができます。 0：無効 1：カレントカウンタクリア	R(0)/ W(1)	R	
7-0	何も配置されていません。"0"に固定してください。				

### <<Remarks>>

- \* 本レジスタの各ビットの変更は、"PID=NAK"時に実施してください。  
対応する PIPE の PID ビットを"BUF"から"NAK"へ変更したあとで各ビットの設定値を変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを"NAK"に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません

### 2.18.1 トランザクションカウンタ許可ビット (TRENB)

受信PIPEに対して、ソフトウェアでTRNCNTビットに総パケット数を設定した後で本ビットに"1"を設定すると、本コントローラーはTRNCNTビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- (1) 連続送受信モード使用("CNTMD=1"設定) 時、受信完了時にFIFOバッファがフルの状態でも、CPU側にトグルさせます。
- (2) "SHTNAK=1"設定時、TRNCNTビットの設定値と同数のパケット受信を終了時点で対応するPIPEのPIDビットを"NAK"に変更します。
- (3) "DENDE=1"かつ"PKTM=0"設定時、TRNCNTビットの設定値と同数のパケット受信を終了し最後のデータを読み出す時にDEND信号をアサートします。
- (4) "BFRE=1"設定時、TRNCNTビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えた時に、BRDY割り込みをアサートします。

送信PIPEについては、本ビットに"0"を設定してください。

トランザクションカウンタ機能を使用しない場合は、本ビットに"0"を設定してください。

トランザクションカウンタ機能を使用する場合、本ビットに"1"を設定する前にTRNCNTビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに"1"を設定してください。

### 2.18.2 トランザクションカウンタクリアビット (TRCLR)

ソフトウェアが本ビットに"1"を設定すると、本コントローラーは当該PIPEに対応するトランザクションカウンタの現在のカウンタ値をクリアし、本ビットに"0"を表示します。

- ◆ PIP1トランザクションカウンタレジスタ 【PIPE1TRN】 <アドレス : 92H>
- ◆ PIP2トランザクションカウンタレジスタ 【PIPE2TRN】 <アドレス : 96H>
- ◆ PIP3トランザクションカウンタレジスタ 【PIPE3TRN】 <アドレス : 9AH>
- ◆ PIP4トランザクションカウンタレジスタ 【PIPE4TRN】 <アドレス : 9EH>
- ◆ PIP5トランザクションカウンタレジスタ 【PIPE5TRN】 <アドレス : A2H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	S/W	H/W	Remarks
15-0	TRNCNT トランザクションカウンタ	トランザクションカウンタ Write 時 : 当該 pipe が受信すべき総パケット数 (トランザクション回数) を設定します Read 時 : "TRENb=0"の場合: 設定したトランザクシ ョン回数が表示されます。 "TRENb=1"の場合: カウント中のトランザ クション回数が表示されます。	R/W	R/W	

<<Remarks>>

### 2.18.3 トランザクションカウンタビット (TRNCNT)

受信PIPEに対して、ソフトウェアで本ビットに受信すべき総パケット数を設定した後で**TRENb**ビットに"1"を設定すると、本コントローラは2.18.1に述べる制御を行います。

"TRENb=0"の場合、本コントローラは本ビットに、ソフトウェアが設定したトランザクション回数を表示します。  
"TRENb=1"の場合、本コントローラは本ビットに、カウント中のトランザクション回数を表示します。

本コントローラは、受信時の状態が以下(a)から(c)をすべて満たしたときに**TRNCNT**ビットの表示を1インクリメントします。

- (a) "TRENb=1"である
- (b) パケット受信時に (**TRNCNT**設定値 ≠ 現在のカウンタ値+1)である
- (c) 受信したパケットのペイロードが**MXPS**ビットへの設定値と一致した

本コントローラは、以下(1)、(2)、または(3)のいずれかの条件が満たされたときに**TRNCNT**ビットの表示を0にクリアします。

- (1) 以下(a)から(c)の条件がすべて満たされた時
  - (a) "TRENb=1"である
  - (b) パケット受信時に (**TRNCNT**設定値 = 現在のカウンタ値+1)である
  - (c) 受信したパケットのペイロードが**MXPS**ビットへの設定値と一致した
- (2) 以下(a)及び(b) の条件がすべて満たされた時
  - (a) "TRENb=1"である
  - (b) ショートパケットを受信した
- (3) 以下(a)の条件が満たされた時
  - (a) ソフトウェアが**TRCLR**ビットに"1"を設定した

送信PIPEについては、本ビットに"0"を設定してください。

トランザクションカウンタ機能を使用しない場合は、本ビットに"0"を設定してください。

本ビットの変更は、"PID=NAK"、かつ"TRENb=0"設定時に実施してください。

対応するPIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY=0"を確認してから本ビットを変更してください。ただし、本コントローラがPIDビットを"NAK"に変更した場合には、ソフトウェアによる**PBUSY**ビットの確認は必要ありません。

本ビットの値を変更する場合は、"TRENb=1"を設定する前に"TRCLR=1"を実施してください。

## 3 動作説明

### 3.1 システム制御及び発振制御

本章では、本コントローラーの初期設定に必要なレジスタ操作、及び消費電力制御を行うために必要なレジスタの説明について述べます。

#### 3.1.1 リセット

表 3.1に本コントローラーのリセット種別の一覧表を示します。なお、各リセット動作後のレジスタ初期化状態については、第2章レジスタを参照してください。

表 3.1 リセット種別一覧表

名称	操作
H/Wリセット	RST_N端子からの"L"レベル入力
USBバスリセット	本コントローラーがD+、D-ラインのステータスから自動検出

#### 3.1.2 バスインタフェースの設定

表 3.2に発振バッファ動作の許可前 ("XCKE=0") に設定すべき本コントローラーのバスインタフェースについてのパラメーターを示します。H/Wリセット後に最初に設定してください。表 3.3に発振バッファ動作の許可後("XCKE=1"を設定し"SCKE=1"の状態になった)に設定するパラメーターを示します。

表 3.2 バスインタフェース設定表 (クロック供給開始前に設定)

レジスタ名	ビット名	設定内容
PINCFG	LDRV	駆動電流の制御指定
PINCFG	INTA	INT_N端子のアクティブ指定

表 3.3 バスインタフェース設定表(クロック供給開始後に設定)

レジスタ名	ビット名	設定内容
SYSCFG1	PCSDIS	Lowパワースリープモードからの復帰条件にCS_Nのアサートを含めるかどうかを指定
SYSCFG1	LPSME	Lowパワースリープモードの使用有無指定
DMAxCFG	DREQA	DREQx_N端子のアクティブ指定
DMAxCFG	DACKA	DACKx_N端子のアクティブ指定
DMAxCFG	DENDA	DENDx_N端子のアクティブ指定
DMAxCFG	OBUS	OBUSモード指定
SOFCFG	BRDYM	PIPEBRDY割り込みステータスクリアタイミング設定
SOFCFG	INTL	INT_N端子の出力センス指定

x=0、または1

#### 3.1.3 クロック供給制御

ソフトウェアで**SYSCFG0**レジスタの**XTAL**ビットにて**XIN**端子の入力クロック選択を指定し、**XCKE**ビットにて発振バッファの許可を行うと、本コントローラーはUSBブロックへのクロック供給を開始します。

ソフトウェアは**SCKE**ビットが"1"にセットされたことを確認し、次の処理に移ってください。

### 3.1.4 USBブロック動作許可

USBブロックへのクロック供給が開始された ("SCKE=1") 後、ソフトウェアでSYSCFG0レジスタのUSBEビットを"1"に設定することにより、USBブロックの動作許可を行います。

### 3.1.5 Hi-Speed動作許可ビットの設定とUSB通信速度判定

Hi-Speed動作を許可する場合には、Hi-Speed動作許可ビット (SYSCFG0レジスタのHSEビット) に"1"を設定してください。

Full-Speedのみで動作させる場合には、SYSCFG0レジスタのHSEビットに"0"を設定してください。

Hi-Speed動作を許可している場合、本コントローラーはReset Handshake Protocolを実行し、USB通信速度を自動的に判定します。Reset Handshakeの結果はDVSTCTR0レジスタのRHSTビットに表示されます。

### 3.1.6 USB通信速度整理

USB通信速度の組み合わせを表 3.4に示します。

表 3.4 コントローラー機能選択表

設定内容		機能と転送スピード
HSE	Speed	Remarks
0	Full	Full-Speed で動作
1	Hi or Full	Reset Handshake Protocol (RHSP) 成立時に Hi-Speed で動作。 RHSP 非成立時に Full-Speed で動作

### 3.1.7 USBデータバスのPull Up設定

本コントローラーは、D+信号のPull Up抵抗を内蔵しています。D+のPull Upの電源はAVCCです。

USB Hostへの接続を認識した後で、SYSCFG0レジスタのDPRPUビットを"1"に設定し、D+をPull Upしてください。

また、本コントローラーはHi-Speed通信時のD+、D-信号の終端抵抗、及び、Full-Speed通信時の出力抵抗を内蔵しています。USBホストとの接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム実行/検出時に本コントローラーが自動的に行います。

また、USBホストに接続されている状態でSYSCFG0レジスタのDPRPUビットに"0"を設定した場合、本コントローラーはUSB D+ラインのプルアップ (もしくはD+、D-ラインの終端) を無効にしますので、USBホストから見てUSBケーブルが抜かれた状態をソフトウェアによって作り出すことができます。



### 3.1.8 消費電力の制御

#### 3.1.8.1 消費電力制御概要

本コントローラーの低消費電力状態には、Lowパワースリープ状態、及びVCCオフ状態の2種類があります。表 3.5に各低消費電力状態の説明を示します。

図 3.1に本コントローラーの状態遷移図を示します。

表 3.5 各低消費電力状態の説明

コントローラーの状態	説明
Lowパワースリープ状態	初期設定で"LPSME=1"を設定し、本コントローラーが動作している状態でクロック停止(3.1.9.2参照)を行うと、本コントローラーはLowパワースリープ状態に遷移します。各レジスタの値は保持されます。FIFOバッファの内容は保持されません。
VCCオフ状態	VIFオンのまま、VCCのみをオフにするとVCCオフ状態に遷移します。Lowパワースリープ状態よりも更に消費電力を低減する事ができます。各レジスタの値は保持されません。

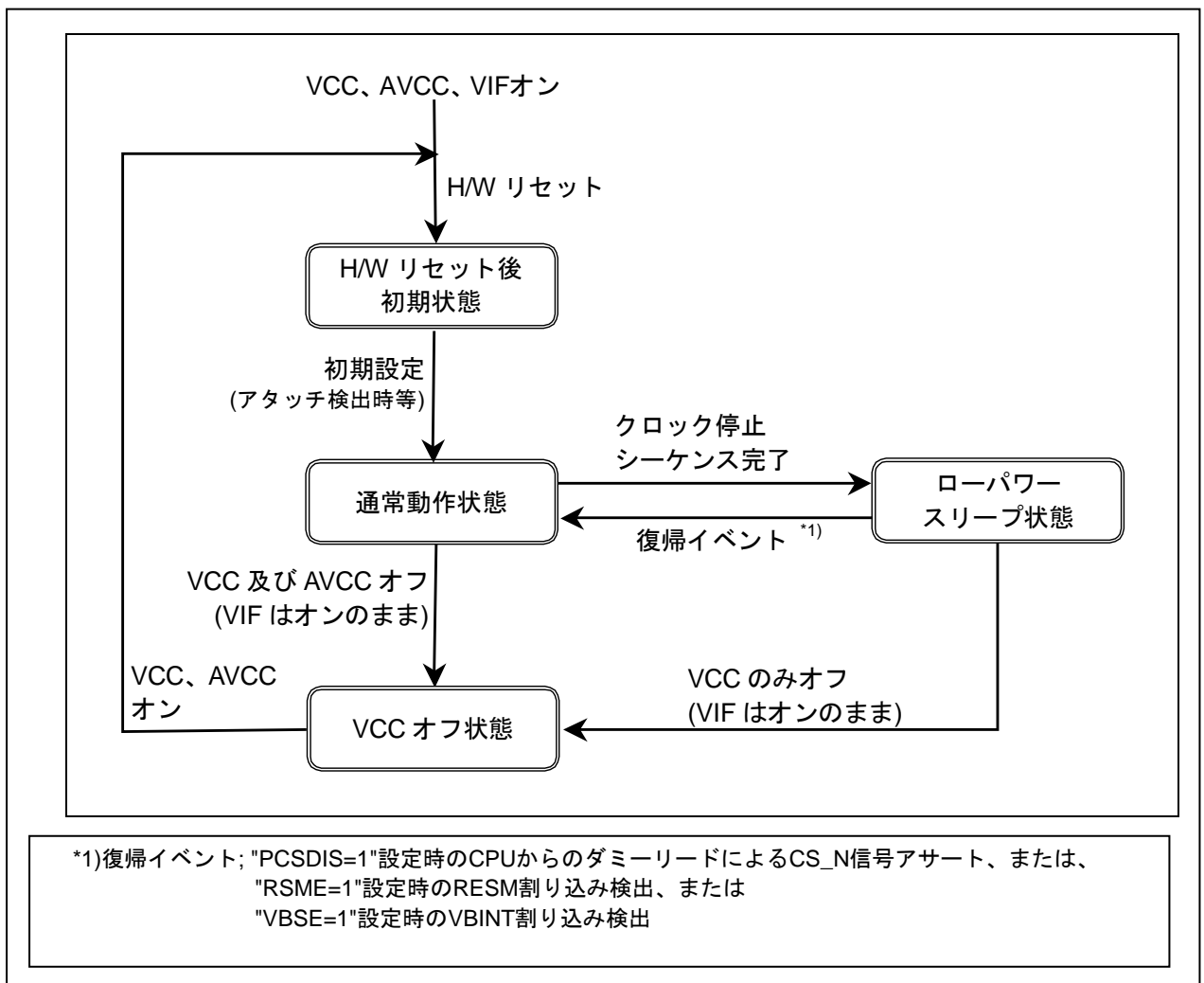


図 3.1 コントローラーの状態遷移図

### 3.1.8.2 ローパワースリープ状態

本コントローラーの初期設定において**SYSCFG1**レジスタの**LPSME**ビットを"1"に設定してある場合、本コントローラーが通常動作状態にあるときにクロック停止処理を行うと、本コントローラーは**Low**パワースリープ状態に遷移します。**Low**パワースリープ状態は、各レジスタの値を保持したままで消費電力を低減するモードです。即ち、**USB**サスペンド中に本状態に遷移させた場合、**USB**アドレス、デバイスステートなどの情報を保持したままで消費電力を低減する事ができます。

**Low**パワースリープ状態への設定シーケンスは3.1.9.2及び、図 3.3) を参照してください。

**Low**パワースリープ状態からの復帰条件は、表 2.6を参照してください。また、復帰シーケンスは3.1.9.3及び図 3.4を参照してください。

本コントローラーは、**Low**パワースリープ状態からの復帰要因を検出した場合に自動的に発振バッファ動作許可を行います。このとき、**XCKE**ビットの値は変更されませんので、ソフトウェアで"**SCKE=1**"を確認した後で"**XCKE=1**"を設定してください。

**Low**パワースリープ状態を有効にするために、本コントローラーの初期設定において**SYSCFG1**レジスタの**LPSME**ビットを"1"に設定してください。

**Low**パワースリープ状態中はレジスタアクセスを行うことはできません。また、本状態に遷移する時には**FIFO**バッファのデータは保護されませんので、遷移させる前に**FIFO**バッファの中の送受信データの処理を行ってください。

### 3.1.8.3 VCC オフ状態

**VCC**オフ状態は本コントローラーの電源を一部供給したまま、**USB**ブロックの電源をオフにするに機能です。**VIF**をオンにしたまま、**VCC**及び**AVCC**をオフにすることにより本コントローラーは**VCC**オフ状態に遷移します。

ソフトウェアによって本コントローラーのレジスタを操作して実現する**Low**パワースリープ状態とは異なり、本状態からの復帰を行うためには本コントローラーの**VCC**及び**AVCC**をオンし、**H/W**リセットを行う事が必要です。

**VCC**オフ状態では各レジスタの値は保持されません。復帰後は初期状態に遷移します。

### 3.1.9 状態遷移タイミング

#### 3.1.9.1 内部クロック供給開始 (H/W リセット状態から通常動作状態)

図 3.2に本コントローラーのクロック供給開始制御タイミング図を示します。H/Wリセット状態から通常動作状態へ移行させる場合、及び、クロック停止状態から"XCKE=1"設定により通常動作状態へ移行させる場合は、下記のタイミングでビットを操作してください。

- (1) 発振バッファを許可する。 "XCKE=1"
- (2) "SCKE=1"になるまでソフトウェアで待つ。(コントローラーが自動的にPLL、及びSCKEを許可する)

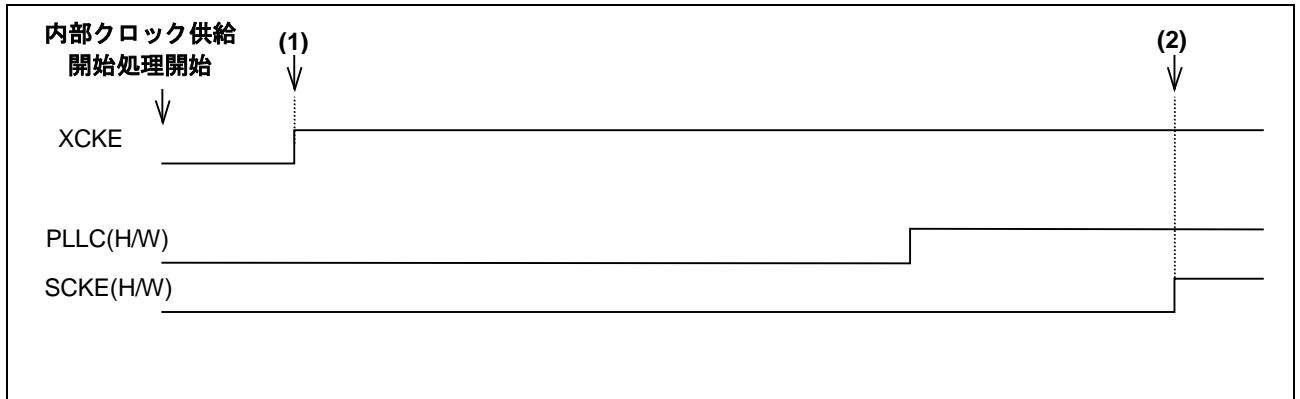


図 3.2 クロック供給開始制御タイミング図

#### 3.1.9.2 内部クロック供給停止 (通常動作状態から Low パワースリープ状態への設定シーケンス)

図 3.3に本コントローラーの通常動作状態からLowパワースリープ状態への、制御タイミング図を示します。Lowパワースリープ状態を有効にするために、初期設定で"LPSME=1"を設定してください。

- (1) SOFCFGレジスタのEDGESTSビットを確認"EDGESTS=0"までソフトウェアで待つ。
- (2) 内部クロックの供給を停止する。 "SCKE=0"
- (3) 内部クロックが停止するまでソフトウェアで待つ。(60ns以上の待ち時間が必要です。)
- (4) PLLを停止させる。 "PLL=0"
- (5) 発振バッファ動作を禁止する。 "XCKE=0"

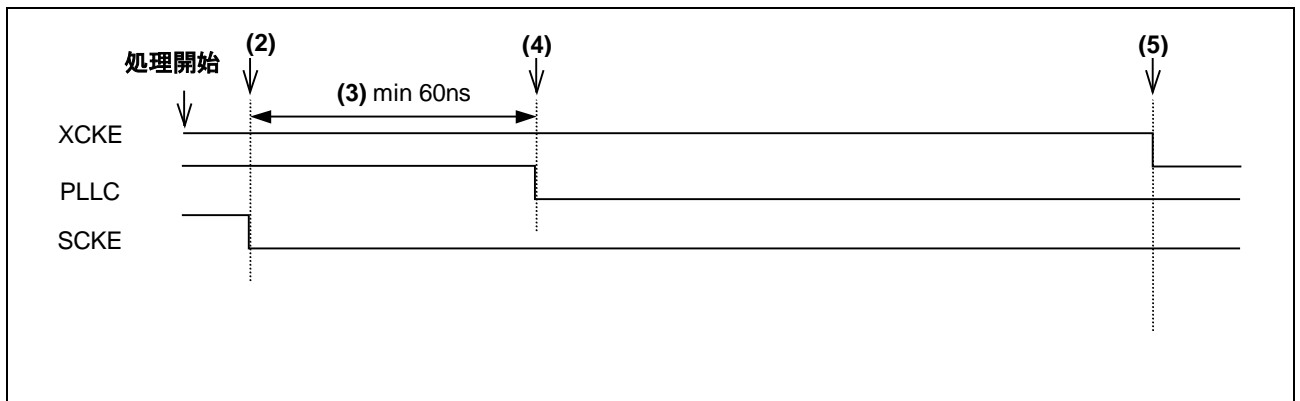


図 3.3 内部クロック供給停止処理タイミング図

### 3.1.9.3 内部クロック供給再開 (Low パワースリープ状態から通常動作状態)

図 3.4にLowパワースリープ状態から通常動作状態への遷移タイミング図を示します。

- (1) ローパワースリープ状態から復帰の割り込みが発生し、**INT\_N**端子がアサートされる。  
(または、ソフトウェアでダミーリードを行い、コントローラを復帰させる\*6)  
発振バッファ許可状態になるが、**XCKE**ビットには反映されない。
- (2) 1msソフトウェアで待つ。(この間はCPUからのアクセスを行わないでください)
- (3) "**SCKE=1**"になるまでソフトウェアで待つ。(コントローラが自動的に発振バッファ動作を開始し、**PLL**C、及び**SCKE**を許可する)
- (4) ソフトウェアで"**XCKE=1**"を設定する。

\*6) CPUからのアクセスによるローパワースリープ状態からの復帰は**SYSCFG1**レジスタの**PCSDIS**ビットを"0"に設定している場合に有効です。この条件による復帰の場合は**INT\_N**はアサートされません。

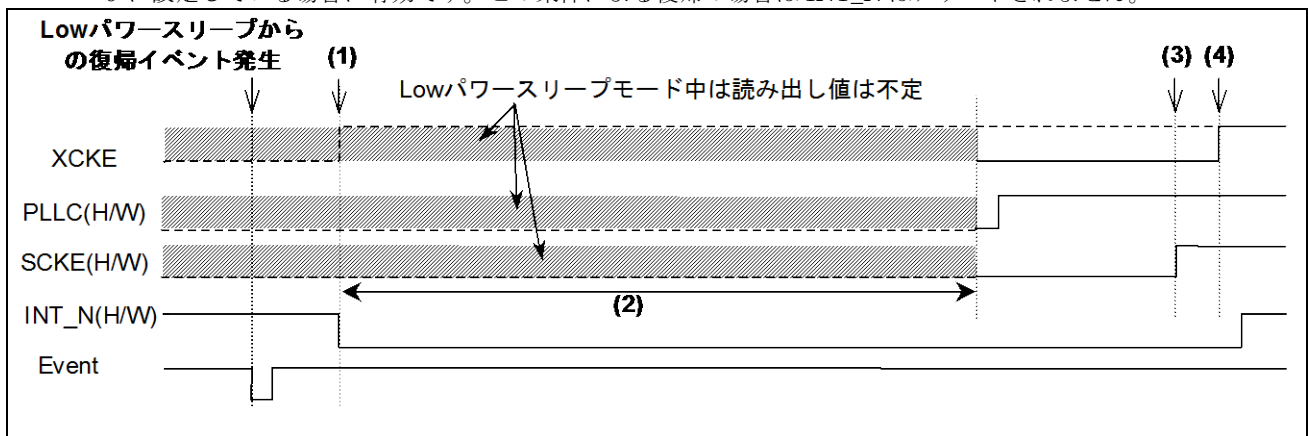


図 3.4 Lowパワースリープ状態からの復帰制御タイミング図

### 3.2 割り込み機能

#### 3.2.1 割り込み機能概要

表 3.6に本コントローラーの割り込み機能一覧表を示します。

表 3.6 割り込み機能一覧表

ビット	割り込み名称	割り込み検出条件 [使用方法]	関連ステータス	参照
VBINT	VBUS割り込み	VBUS入力端子の状態変化を検出した時 ("Low"→"High"、"High"→"Low"の両方の変化) [Hostへの接続、切断検出]	VBSTS	2.11.1
RESM	レジューム割り込み	サスペンド状態においてUSB/バスの状態変化を検出した時 (J-State→K-State、もしくはJ-State→SE0) [レジューム検出]	—	2.11.2
SOFR	フレーム番号更新割り込み	フレーム番号の異なるSOFパケットを送信した時	—	2.11.3 3.2.8
DVST	デバイスステート遷移割り込み	デバイスステートの遷移を検出した時 USBバスリセット検出 サスペンド状態検出 Set Addressリクエストの受信 Set Configurationリクエストの受信	DVSQ	2.11.4 3.2.6
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移を検出した時 セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	CTSQ	2.11.5 3.2.7
BEMP	バッファエンプティ割り込み	バッファメモリ中の全データを送信しバッファが空になった時 マックスパケットサイズを超えたパケットを受信した時	PIPEBEMP	2.11.6 2.11.11 3.2.5
NRDY	バッファノットレディ割り込み	"PID=BUF"設定時かつバッファメモリが送受信可能な状態ではない状態でトークンを受信した時 アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生した時 アイソクロナス転送でデータ受信時にインターバルエラーが発生した時	PIPENRDY	2.11.7 2.11.10 3.2.4
BRDY	バッファレディ割り込み	FIFOバッファがレディ（リード、もしくはライト可能状態）になった時	PIPEBRDY	2.11.8 2.11.9 3.2.3

表 3.7に本コントローラーのINT\_N端子動作表を示します。複数の割り込み要因が発生した場合のINT\_N端子出力の方法を、SOFCFGレジスタのINTLビットにより設定できます。またINT\_N端子のアクティブをPINCFGレジスタのINTAビットにより設定できます。ユーザーシステムに合わせてINT\_N端子の動作設定を行ってください。

表 3.7 INT\_N端子動作表

INT_N端子動作 INTL設定	発生した割り込み要因が1つの場合	発生した割り込み要因が複数の場合
エッジセンス ("INTL=0")	要因解除 (当該割り込みのステータスがクリアされる、または当該割り込みの許可ビットを禁止に設定する) までアサート	1つの要因が解除されると48MHzで32クロック時間ネゲート
レベルセンス ("INTL=1")	要因解除までアサート	全ての要因解除までアサート

アクティブレベル: "INTA=0"設定時 Low、"INTA=1"設定時 High

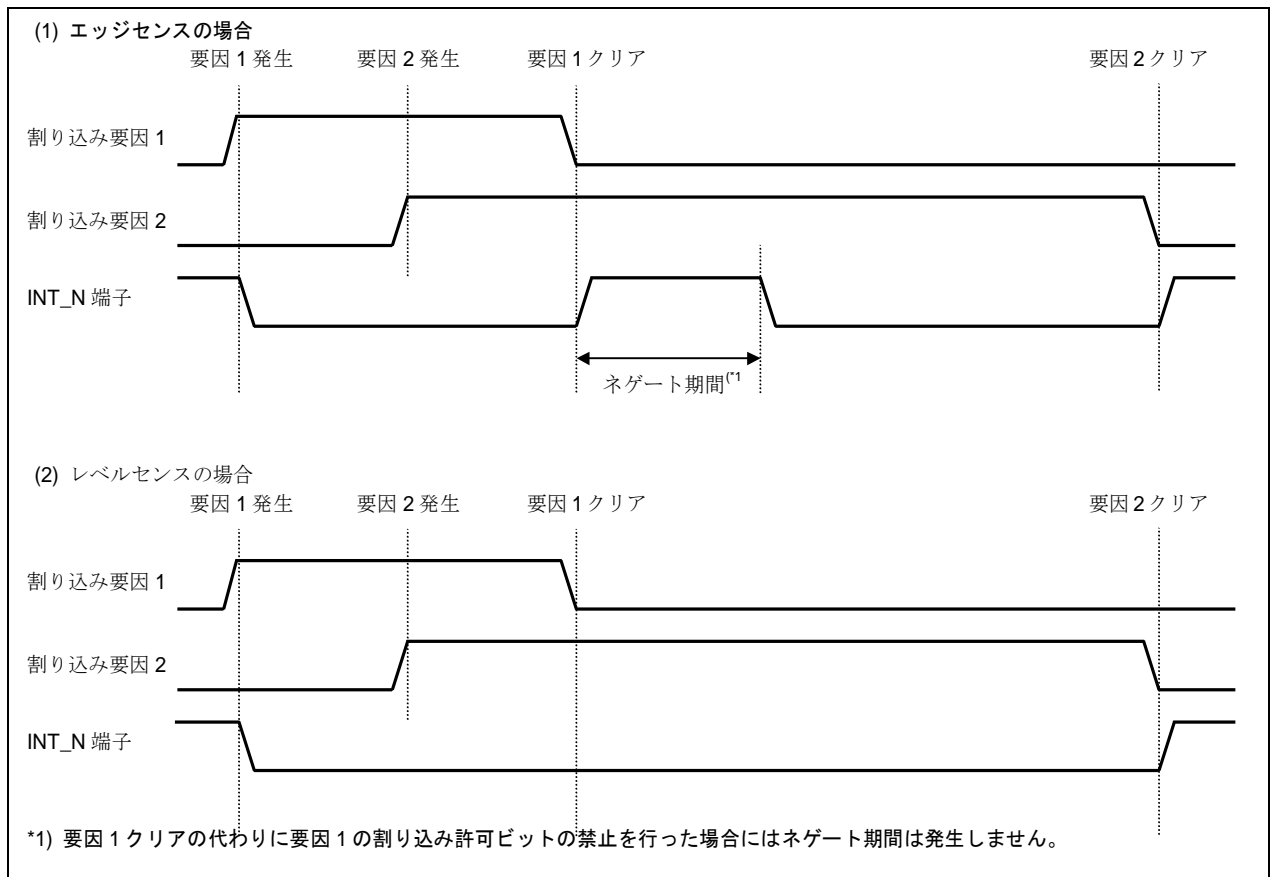


図 3.5 INT\_N端子動作図 ("INTA=0"設定時の例)

図 3.6に本コントローラーの割り込み関連図を示します。

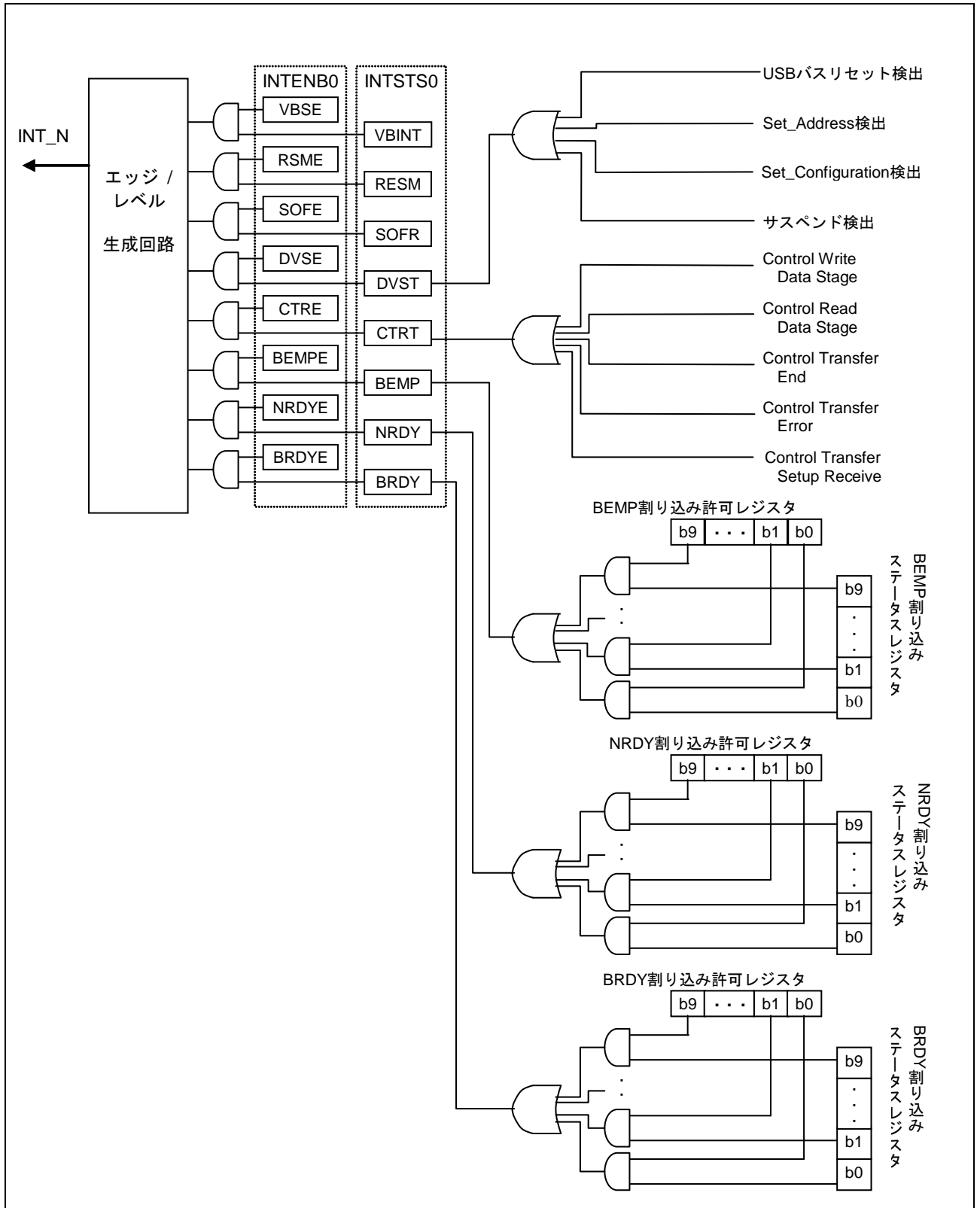


図 3.6 割り込み関連図

### 3.2.2 クロックを停止した状態での動作と注意事項

**VBINT**、**RESM**割り込みは、クロックを停止した状態（Lowパワースリープ状態を含む）でも割り込み要因が発生し、許可レジスタで許可を行っている場合には**INT\_N**端子から割り込みがアサートされます。  
 割り込み要因のクリアは、クロック供給開始処理を行ったあとで行ってください。

### 3.2.3 BRDY割り込み

**BRDY**割り込みの発生条件は2.11.9のとおりです。図 3.7に**BRDY**割り込み発生タイミング図を示します。

Zero-Lengthパケットを受信した場合、**BRDYSTS**レジスタの該当するビットが”1”になりますが、当該パケットのデータの読み出しはできません。**BRDYSTS**レジスタをクリアした後、バッファクリア（”**BCLR**=1”）を行ってください。

またパイプ1-パイプ9では、読み出し方向でDMA転送を使用している場合に、**PIPECFG**レジスタの**BFRE**ビットを”1”に設定する事により、トランスファー単位で割り込みを発生させることが可能です。

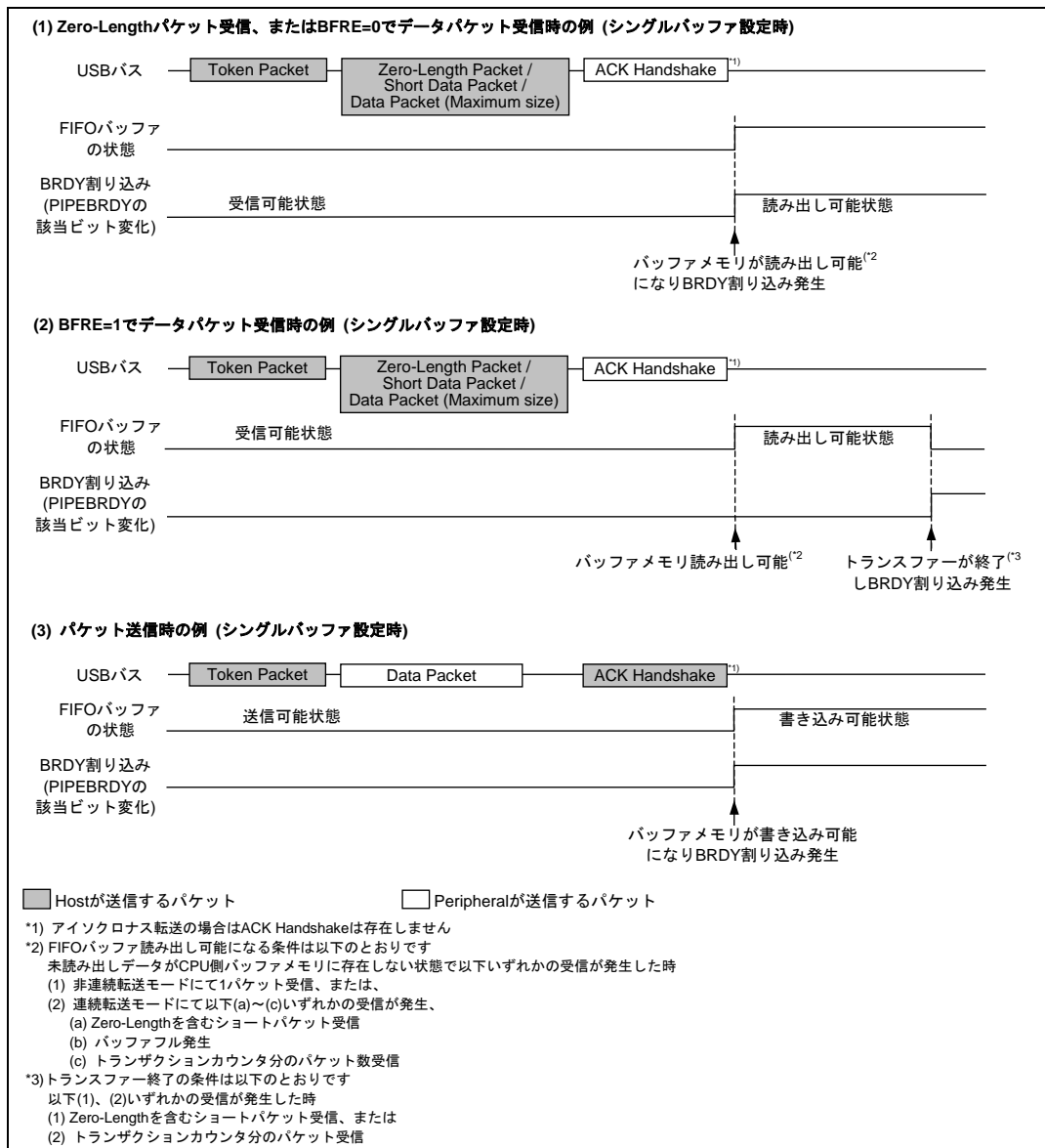


図 3.7 BRDY割り込み発生タイミング図



本コントローラーが**INTSTS0**レジスタの**BRDY**ビットをクリアする条件は、**SOFCFG**レジスタの**BRDYM**ビットの設定値によって異なります。表 3.8に**BRDY**ビットクリア条件を示します。

表 3.8 コントローラーによる**BRDY**ビットクリア条件表

BRDYM	BRDYビットクリア条件
0	ソフトウェアが <b>BRDYSTS</b> レジスタの全ビットをクリアすると、本コントローラーは <b>INTSTS0</b> レジスタの <b>BRDY</b> ビットをクリアします。
1	全パイプの <b>BSTS</b> ビットが"0"になったときに、本コントローラーは <b>INTSTS0</b> レジスタの <b>BRDY</b> ビットをクリアします。

### 3.2.4 NRDY割り込み

NRDY割り込み発生条件は2.11.10のとおりです。

図 3.8にNRDY割り込み発生タイミング図を示します。

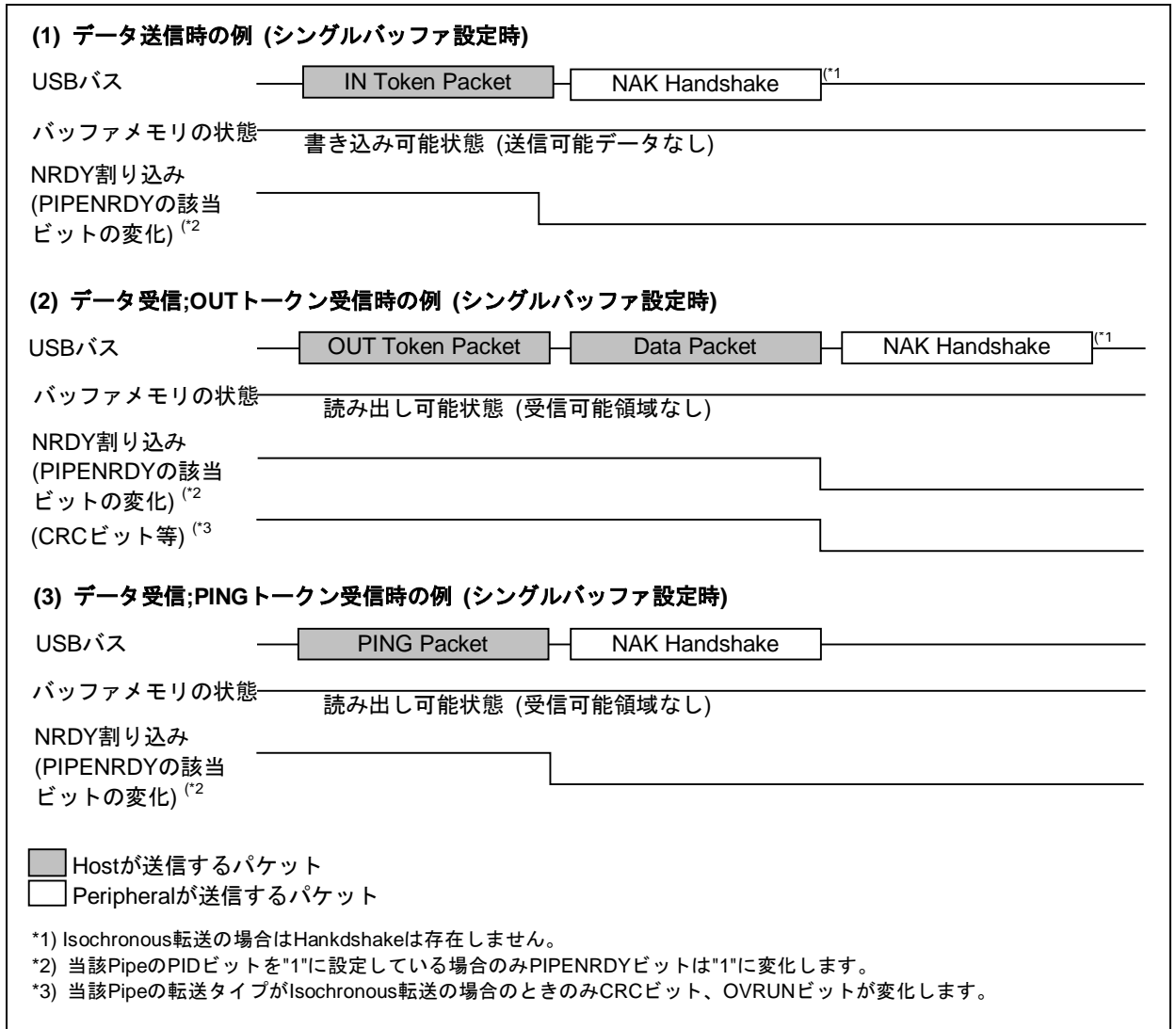


図 3.8 NRDY割り込み発生タイミング図

### 3.2.5 BEMP割り込み

BEMP割り込みの発生条件は2.11.11のとおりです。

図 3.9に本コントローラーのBEMP割り込み発生タイミング図を示します。

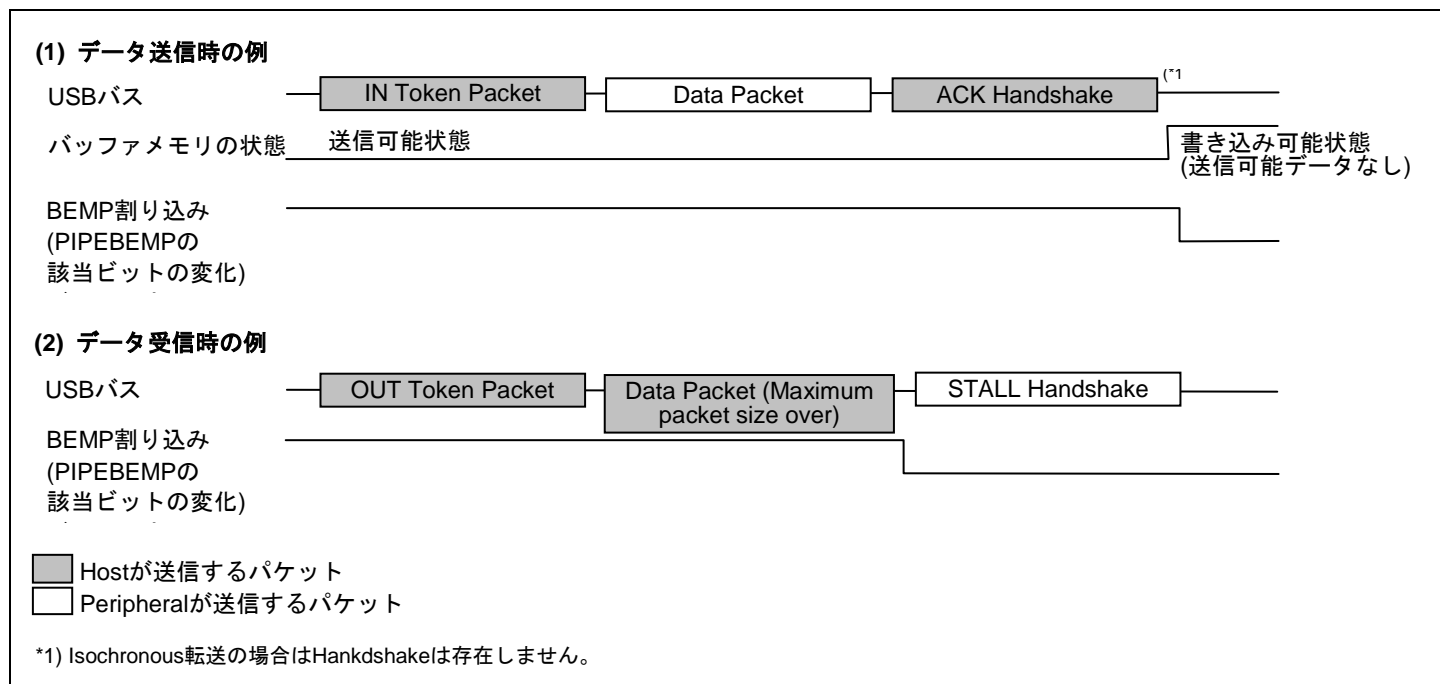


図 3.9 BEMP割り込み発生タイミング図

### 3.2.6 デバイスステート遷移割り込み

図 3.10に本コントローラーのデバイスステート遷移図を示します。本コントローラーは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、**INTENB0**レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイスステートは、**INTSTS0**レジスタの**DVSQ**ビットにて確認できます。

Defaultステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

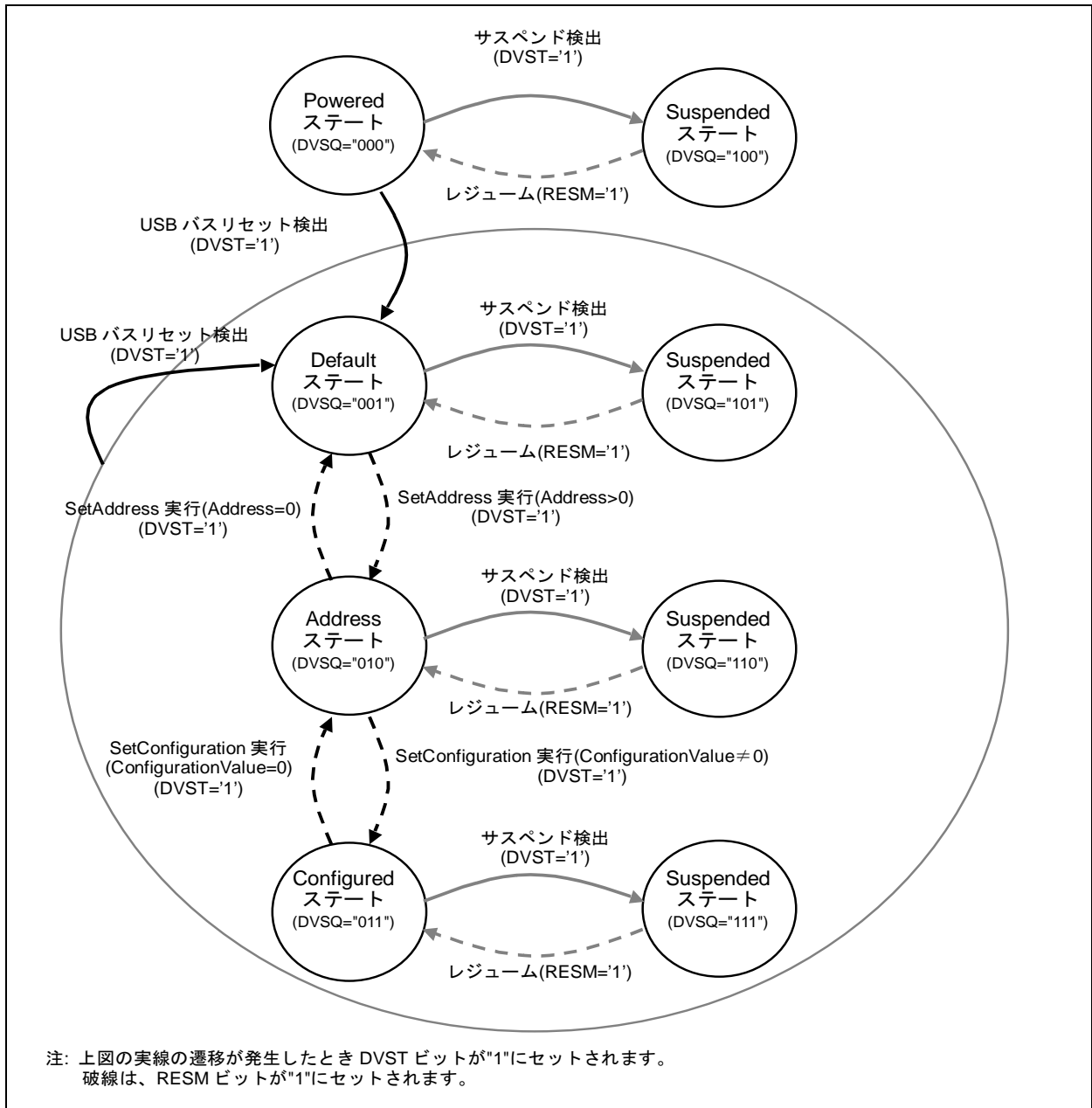


図 3.10 デバイスステート遷移図

### 3.2.7 コントロール転送ステージ遷移割り込み

図 3.11に本コントローラーのコントロール転送ステージ遷移図を示します。本コントローラーは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、**INTENB0**レジスタで個別に割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージは**INTSTS0**レジスタの**CTSQ**ビットにて確認できます。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、**DCPCTR**レジスタの**PID**ビットが"1X" ("STALL") になります。

- (1) コントロールリード転送時
  - (a) データステージのINトークンに対して、一度もデータ転送していない状態でOUT、もしくはPINGトークンを受信
  - (b) ステータスステージでINトークン受信
  - (c) ステータスステージでデータパケットが"DATAPID=DATA0"のパケットを受信
- (2) コントロールライト転送時
  - (a) データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
  - (b) データステージで最初のデータパケットが"DATAPID=DATA0"のパケットを受信
  - (c) ステータスステージでOUT、もしくはPINGトークン受信
- (3) ノーデータコントロール転送時
  - (a) ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数がUSBリクエストのwLength値を越えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Lengthパケット以外のパケット受信には、ACK応答を行い正常終了します。

シーケンスエラーによる**CTRT**割り込み発生時("SERR=1"設定)は、ソフトウェアが"**CTRT=0**"の書き込み(割り込みステータスクリア)を行うまで"**CTSQ=110**"の値が保持されます。このため、"**CTSQ=110**"が保持されている状態では、新しいUSBリクエストを受信しても、セットアップステージ完了の**CTRT**割り込みは発生しません。セットアップステージ完了イベントは本コントローラーで保持されており、ソフトウェアによる割り込みステータスクリア後に、**CTRT**割り込みが発生します。

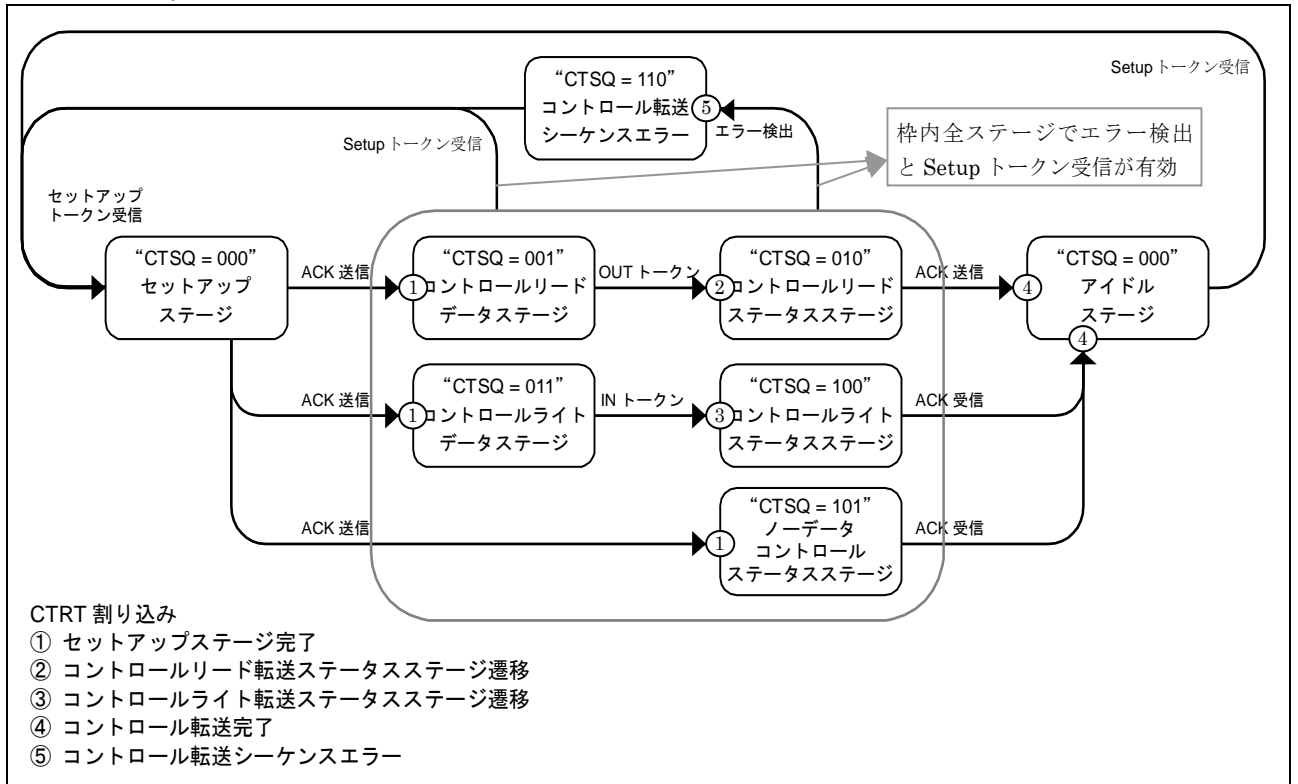


図 3.11 コントロール転送ステージ遷移図

### 3.2.8 フレーム更新割り込み

図 3.12に本コントローラーのSOFR割り込み出力タイミング例を示します。

本コントローラーは、Full-Speed動作中に新しいSOFパケットを検出すると、フレーム番号を更新しSOFR割り込みを発生します。また、Hi-Speed動作中は、 $\mu$  SOFロック状態になったあとにフレーム番号が異なるSOFパケットを検出した時にFRNMビットを更新しSOFR割り込みを発生します。また、Hi-Speed動作中のSOFの補間機能も $\mu$  SOFロック状態になったあとに動作します。 $\mu$  SOFロック状態とは、エラーなしでフレーム番号の異なる $\mu$  SOFパケットを2回受信 ( $\mu$  SOFロック状態) することです。

なお、 $\mu$  SOFロック監視開始条件、及び $\mu$  SOFロック監視停止条件は下記(1)、(2)のとおりです。

- (1)  $\mu$  SOFロック監視開始条件  
 USBE=1かつ内部クロック供給状態であること
- (2)  $\mu$  SOFロック監視停止条件  
 USBE=0、USBバスリセット受信、もしくはサスペンド検出

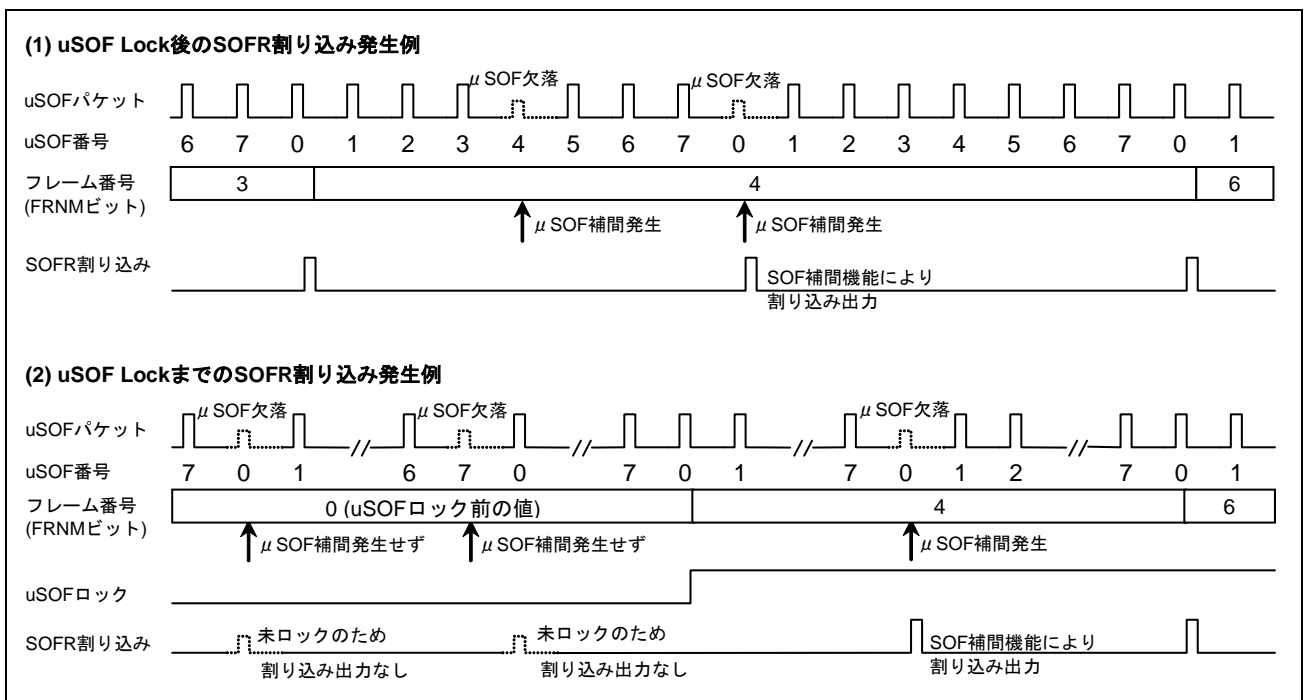


図 3.12 SOFR割り込み出力タイミングの例

### 3.3 パイプコントロール

表 3.9に本コントローラーのパイプ設定項目一覧表を示します。USBデータ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。本コントローラーにはデータ転送用に9本のパイプがあります。各パイプは、ユーザーシステムの仕様に合わせて設定を行ってください。

表 3.9 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備考
PIPESEL	PIPESEL	PIPEBU、PIPEMAXP、PIPEPERIレジスタで設定を行う対象のPipe番号を指定	2.16.1章を参照してください
DCPCFG PIPECFG	TYPE	転送Typeを指定	2.16.2章を参照してください
	BFRE	BRDY割り込みモードを選択	PIPE1-5: 設定可 2.16.3章、3.4.3.4章、及び3.4.3.5章を参照してください
	DBLB	シングルもしくはダブルバッファを選択	PIPE1-5: 設定可 2.16.4章、及び3.4.1.4章を参照してください
	CNTMD	連続転送もしくは非連続転送を選択	PIPE1-2: 設定可 (バルク転送選択時のみ設定可能) PIPE3-5: 設定可 連続送受信ではバッファサイズをペイロードの自然数倍に設定してください 2.16.5章、3.4.1.5章を参照してください
	DIR	転送方向 (読み出しもしくは書き込み) を選択	INまたはOUT設定可 2.16.7章、及び3.4.2.1章を参照してください
	EPNUM	エンドポイント番号	2.16.8章を参照してください
	SHTNAK	トランスファー終了時のパイプ禁止選択	DCP: 設定可 PIPE 1-2: 設定可 (バルク転送選択時のみ設定可能) PIPE 3-5: 設定可 2.16.6章を参照してください
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP: 設定不可 (256バイト固定) PIPE 1-5: 設定可 (64バイト単位で最大2Kバイトまで指定可) PIPE 6-9: 設定不可 (64バイト固定) 2.16.9章、及び3.4.1章を参照してください
	BUFNMB	バッファメモリ番号	DCP: 設定不可 (領域0-3固定) PIPE 1-5: 設定可 (領域8-135 (0x87) で指定可) PIPE 6-9: 設定不可 (領域4-7固定) 2.16.10章、及び3.4.1章を参照してください
DCPMAXP PIPEMAXP	MXPS	マックスパケットサイズ	2.16.11章、及び3.3.1章を参照してください
PIPEPERI	IFIS	バッファフラッシュ	PIPE 1-2: 設定可 (アイソクロナス転送選択時のみ) PIPE 3-9: 設定不可 2.16.12章、及び3.9.5章を参照してください
	IITV	インターバルカウンタ	PIPE 1-2: 設定可 (アイソクロナス転送選択時のみ) PIPE 3-9: 設定不可 2.16.13章、及び3.9.3章を参照してください
DCPCTR PIPEXCTR	BSTS	バッファステータス	2.17.1章、及び3.4.1.1章を参照してください。
	INBUFM	INバッファモニタ	2.17.2章、及び3.4.1.1章を参照してください。
	ATREPM	自動応答モード	パイプ1-5: 設定可能
	ACLRM	自動バッファクリア	バッファメモリ読み出し設定時は許可/禁止設定可 2.17.4章、及び2.17.11章を参照してください
	SQCLR	シーケンストグルビットクリア	データグルビットのクリア 2.17.5章、及び3.3.4を参照してください
	SQSET	シーケンストグルビットセット	データグルビットのセット 2.17.6章、及び3.3.4章を参照してください

レジスタ名	ビット名	設定内容	備考
	SQMON	シーケンストグルビット確認	データトグルビットの確認 2.17.7章、及び3.3.4章を参照してください
	PBUSY	Pipeビジー確認	2.17.8章を参照してください
	PID	応答PID	2.17.9章、及び第3.3.2章を参照してください
PIPExTRE	TRENB	トランザクションカウンタ許可	パイプ1-5：設定可能 2.18.1章を参照してください
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1-5：設定可能 2.18.2章を参照してください
PIPExTRN	TRNCNT	トランザクションカウンタ	パイプ1-5：設定可能 2.18.3章を参照してください

### 3.3.1 マックスパケットサイズ設定

**DCP**レジスタ、及び**PIPEMAXP**レジスタの**MXPS**ビットにて各パイプのマックスパケットサイズを設定します。DCP、及びパイプ1-5はUSB規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6-9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始（"PID=BUF"を設定）する前に設定してください。

DCP: Hi-Speed動作時は"64"を設定してください。

DCP: Full-Speed動作時は"8"、"16"、"32"、"64"から選択して設定してください。

PIPE 1-5: Hi-Speedバルク転送時は、"512"を設定してください。

PIPE 1-5: Full-Speedバルク転送時は、"8"、"16"、"32"、"64"から選択して設定してください。

PIPE 1-2: Hi-Speedアイソクロナス転送時は、"1"から"1024"の値を設定してください。

PIPE 1-2: Full-Speedアイソクロナス転送時は、"1"から"1023"の値を設定してください。詳細は3.9章を参照ください。

PIPE 6-9:"1"から"64"の値を設定してください。

インタラプト転送及びアイソクロナス転送のHighband-Widthは未対応です。

### 3.3.2 応答PID

**DCPCTR**レジスタ、及び**PIPExCTR**レジスタの**PID**ビットにて各パイプの応答PIDを設定してください。

応答PIDは、ホストからのトランザクションに対する応答を指定します。

(a) NAK設定: 発生したトランザクションに対して常に"NAK応答"します。

(b) BUF設定: バッファメモリの状況に応じてトランザクションに応答します。

(c) STALL設定: 発生したトランザクションに対して常に"STALL応答"します。

セットアップトランザクションに対しては、**PID**ビットの設定値に関わらず、常に"ACK応答"し、レジスタにUSBリクエストを格納します。

また、トランザクション結果によっては、本コントローラーによる**PID**ビットへの書き込みが発生する場合があります。本コントローラーにより**PID**ビットへの書き込みが発生するのは下記の場合です。

(a) NAK設定:

(ア) SETUPトークンを正常に受信した時 (DCPのみ)。

(イ) バルク転送時に**PIPECFG**レジスタの**SHTNAK**ビットを"1"に設定し、ショートパケットを受信した時。

(ウ) バルク転送時に**SHTNAK**ビットを"1"に設定し、トランザクションカウンタが終了した時。

(b) BUF設定: コントローラーによるBUF書き込みはありません。

(c) STALL設定:

(ア) 受信データパケットでマックスパケットサイズオーバーエラーを検出した時。

(イ) コントロール転送シーケンスエラーを検出した時。



### 3.3.3 PIPE情報変更手順

パイプコントロールレジスタの以下のビットは、USB通信が不許可 (“PID=NAK”) である時のみ書き換えが可能です。図 3.13にUSB通信許可 (“PID=BUF”)状態からパイプコントロールレジスタの切り替え手順を示します。

USB通信許可 (“PID=BUF”) 状態では設定禁止であるレジスタ

- **DCPCFG**レジスタ、**DCPMAXP**レジスタの各ビット
- **DCPCTR**レジスタの**SQCLR**ビット、**SQSET**ビット、
- **PIPECFG**レジスタ、**PIPEBUF**レジスタ、**PIPEMAXP**レジスタ、**PIPEPERI**レジスタの各ビット
- **PIPExCTR**レジスタの**ATREPM**ビット、**ACLRM**ビット、**SQCLR**ビット、**SQSET**ビット
- **PIPExTRE**レジスタ、**PIPExTRN**レジスタの各ビット

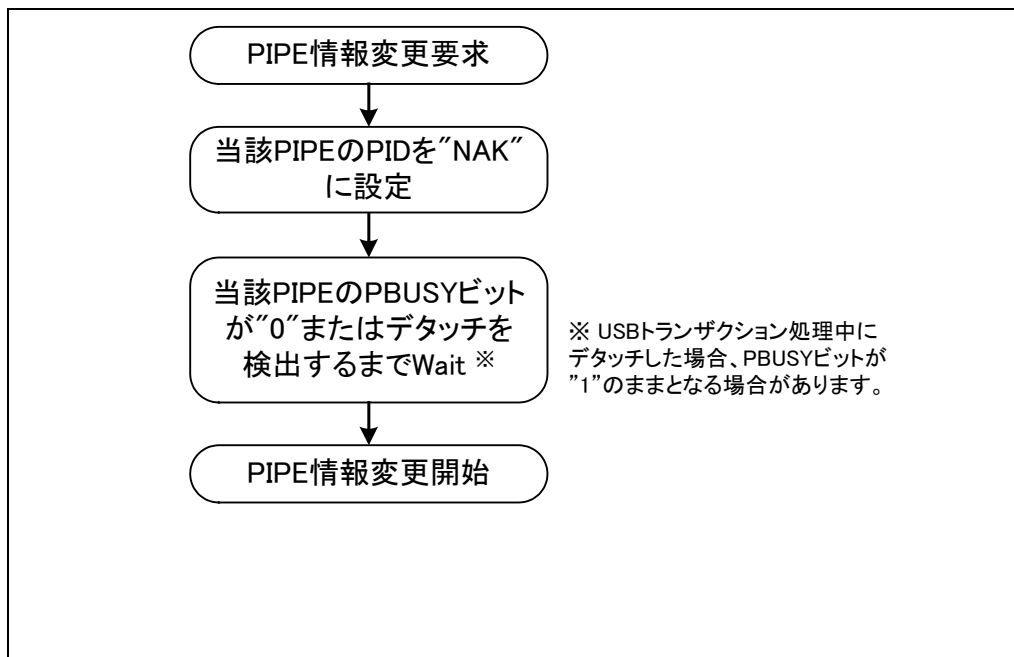


図 3.13 USB通信許可 (“PID=BUF”) 状態からのPIPE情報変更手順

またパイプコントロールレジスタの以下のビットは、CPU/DMA0/DMA1-FIFOポートのいずれの**CURPIPE**ビットにも設定されていないPipe情報のみ書き換えが可能です。

FIFOポートの**CURPIPE**ビットに設定中に設定禁止であるレジスタ

- **DCPCFG**レジスタ、**DCPMAXP**レジスタの各ビット
- **PIPECFG**レジスタ、**PIPEBUF**レジスタ、**PIPEMAXP**レジスタ、**PIPEPERI**レジスタの各ビット
- **PIPExCTR**レジスタの**ACLRM**ビット

Pipe情報を変更する場合には、**CURPIPE**ビットの設定を変更対象Pipe以外に指定してください。なお、DCPについてはPipe情報修正後、**BCLR**ビットにてバッファのクリア処理をしてください。

### 3.3.4 データPIDシーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本コントローラーによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、**DCPCTR**レジスタ、及び**PIPEXCTR**レジスタの**SQMON**ビットにて確認できます。データ送信時は、ACKハンドシェイク受信タイミングで、データ受信時は、ACKハンドシェイク送信タイミングで、シーケンスビットが切り替わります。また、**DCPCTR**レジスタ、及び**PIPEXCTR**レジスタの**SQCLR**ビット、**SQSET**ビットにてデータPIDシーケンスビットを変更可能です。

またコントロール転送では、ステージ遷移時に本コントローラーが自動的にシーケンスビットを設定します。セットアップステージ終了時はDATA1になります。ステータスステージではシーケンスビットは参照せず、PID=DATA1で応答します。この為、ソフトウェアによる設定は必要ありません。

ClearFeatureリクエスト受信時などは、ソフトウェアでデータPIDシーケンスビット設定する必要がありますのでご注意ください。

なお、アイソクロナス転送設定パイプは**SQSET**ビットによるシーケンスビット操作を行うことはできません。

## 3.4 バッファメモリ

本章では本コントローラーに内蔵するバッファメモリに関する動作を説明します。

### 3.4.1 バッファメモリ割り当て

図 3.14に本コントローラーのバッファメモリマップ例を示します。バッファメモリはユーザーシステムの制御用CPUと本コントローラーが共用する領域です。バッファメモリの状況には、アクセス権がユーザーシステム（CPU側）にある場合と、本コントローラー（SIE側）にある場合があります。

バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64バイトを1ブロックとして、ブロック先頭番号とブロック数（PIPEBUFレジスタのBUFNMBビット、及びBUFSIZEビットで指定）で設定します。PIPECFGレジスタのCNTMDビットにて連続転送モードを選択した場合には、BUFSIZEビットの設定は、必ずマックスパケットサイズの自然数倍になるように設定してください。またPIPECFGレジスタのDBLBビットにてダブルバッファを選択した場合には、同一パイプに対してPIPEBUFレジスタのBUFSIZEビットにて指定したメモリ領域を2面分割り当てられます。

バッファメモリへのアクセス（データ読み書き）は3本のFIFOポートを使用します。FIFOポートに割り当てるパイプは、C/DxFIFOSELレジスタのCURPIPEビットにてパイプ番号を指定します。

各パイプのバッファステータス（CPUからバッファメモリへのデータ読み書き可否）は、DCPCTRレジスタ、及びPIPExCTRレジスタのBSTSビット、INBUFMビットで確認できます。また、FIFOポートのアクセス権は、C/DxFIFOCTRレジスタのFRDYビットで確認できます。

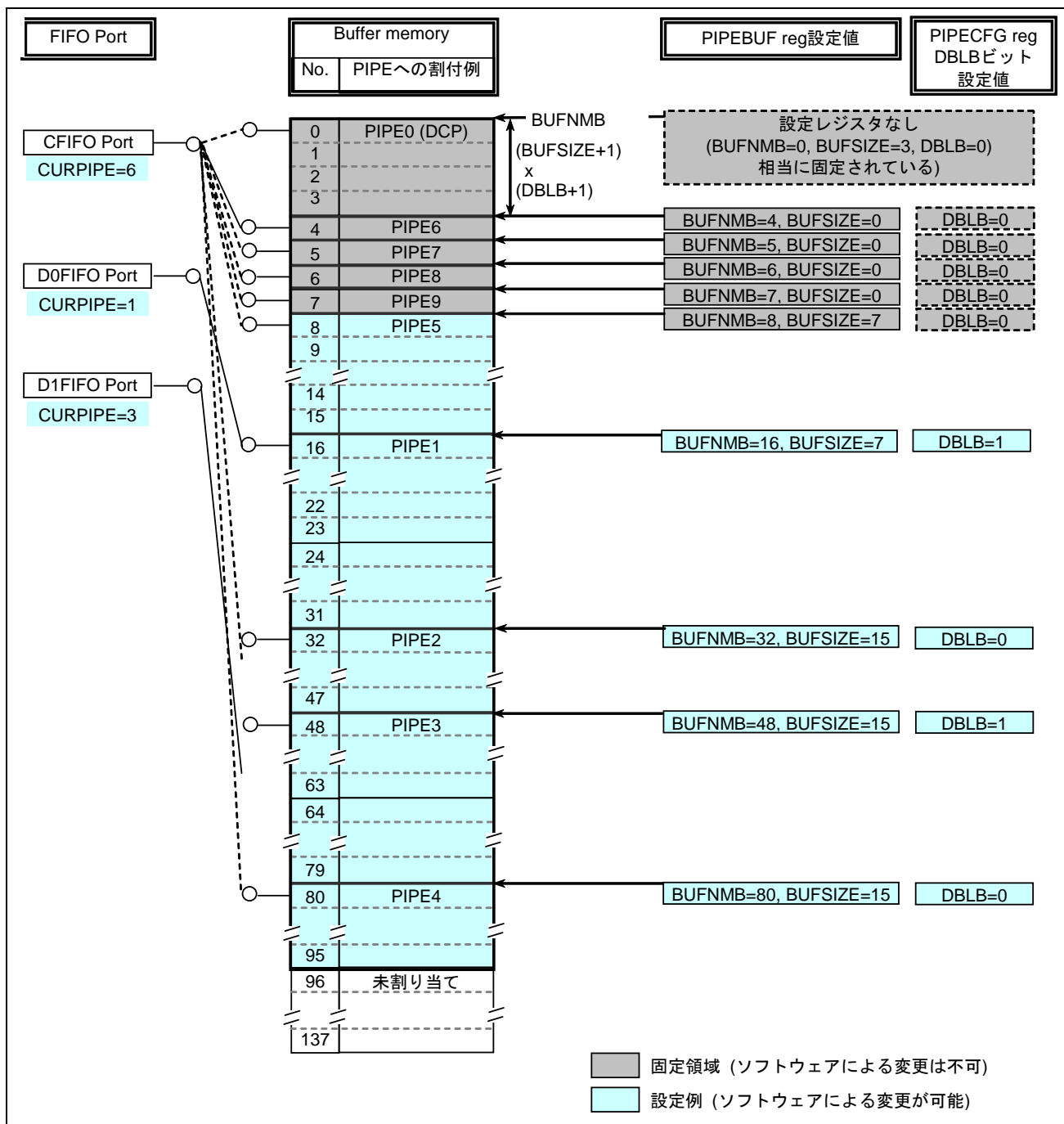


図 3.14 バッファメモリマップ例

### 3.4.1.1 バッファステータス

表 3.10に本コントローラーのバッファステータス表を示します。バッファメモリステータスを**BSTS**ビット、及び**INBUFM**ビットにて確認できます。バッファメモリのアクセス方向は、**PIPECFG**レジスタの**DIR**ビット、もしくは**CFIFOSEL**レジスタの**ISEL**ビット（DCP選択時）で、バッファメモリのアクセス方向を指定します。

なお、**INBUFM**ビットは送信方向のパイプ1~5のみで有効です。

送信側の転送パイプをダブルバッファに設定している場合、**BSTS**ビットはCPU側のバッファの状態を、**INBUFM**ビットはSIE側のバッファの状態を判断するために使用します。CPU(DMAC)によるFIFOポートへの書き込みが遅く、**BEMP**割り込みではバッファの空が判別できない場合に、**INBUFM**ビットで送信完了を確認できます。

表 3.10 **BSTS**ビットによるバッファステータス表

ISELまたはDIR	BSTS	バッファメモリの状態
0(受信方向)	0	受信データなし、もしくは受信中。FIFOポートからの読み出し不可。
0(受信方向)	1	受信データあり、もしくはZero-Lengthパケット受信。FIFOポートからの読み出し可能。 ただし、Zero-Lengthパケット受信時は読み出し不可のためバッファクリアが必要
1(送信方向)	0	送信を完了していない。FIFOポートへの書き込み不可。
1(送信方向)	1	送信完了。FIFOポートへの書き込み可能。

表 3.11 **INBUFM**ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0(受信方向)	無効	無効
1(送信方向)	0	送信可能データを送信完了した。送信可能データなし。
1(送信方向)	1	送信可能データがFIFOポートから書き込まれた。送信可能データあり

### 3.4.1.2 バッファクリア

表 3.12に本コントローラーによるバッファメモリのクリア一覧表を示します。バッファメモリは下記の4ビットによってクリアできます。

表 3.12 バッファクリアビット一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTRレジスタ DxFIFOCTRレジスタ	DxFIFOSELレジスタ	PIPExCTRレジスタ
機能	CFIFOポートまたはDxFIFOポートに割り付けているPIPEのCPU側バッファメモリをクリアします	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。DMACを使用しデータ読み出しを行う場合に便利な機能です。 第3.4.3.4章参照	ACLRMビットに"1"、"0"を連続して書き込むことで当該PIPEのCPU側及びSIE側バッファメモリをクリアします。
設定方法	"BCLR=1"設定によりバッファメモリをクリア (自動的に"BCLR=0"にもどります)	"DCLRM=1"設定によりモード有効 "DCLRM=0"設定によりモード無効	"ACLRM=1"設定によりモード有効 "ACLRM=0"設定によりモード無効

### 3.4.1.3 バッファ領域

表 3.13に本コントローラーのバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域、及びユーザー設定が可能なユーザー領域があります。DCP用バッファは、コントロールリード転送、及びコントロールライト転送で、同一領域を使用する専用固定領域です。パイプ6-9には、あらかじめ領域を割り当ててありますが、パイプ6-9のいずれかを使用しない場合、未使用パイプの領域はユーザー領域としてパイプ1-5に割り当てて使用可能です。各パイプで領域が重ならないように設定してください。また、バッファサイズはマックスパケットサイズ以上になるように設定してください。

表 3.13 バッファメモリマップ

バッファメモリ番号	バッファサイズ	割付可能PIPE
0 - 3	256バイト (64バイトx4ブロック)	DCP専用固定領域
4	64バイト	パイプ6用固定領域
5	64バイト	パイプ7用固定領域
6	64バイト	パイプ8用固定領域
7	64バイト	パイプ9用固定領域
8 - 135 (0x87)	81バイト (64バイトx128ブロック)	パイプ1-5

### 3.4.1.4 バッファメモリ仕様（シングル/ダブル設定）

パイプ1-5は、PIPECFGレジスタのDBLBビットにてシングルバッファ、もしくはダブルバッファを選択できます。ダブルバッファは同一パイプに対してPIPEBUFレジスタのBUFSIZEビットにて指定したメモリ領域を2面分割り当てる機能です。図 3.14バッファメモリマップ例のPIPE1及びPIPE3がダブルバッファ設定の例です。

3.4.1.5 バッファメモリ動作（連続転送設定）

DCPCFGレジスタ、及びPIPECFGレジスタのCNTMDビットにて連続転送モード、もしくは非連続転送モードを選択できます。この選択は、パイプ0-5に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまでCPUへ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信（ショートパケット、もしくはMaxPacketSizeの自然数倍かつBufferSize未満）の場合には、送信データの書き込み後”BVAL=1”を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウントの終了、もしくはショートパケットを受信するまで、BRDY割り込みは発生しません。

図 3.15に本コントローラーのCNTMDビットとバッファメモリの状態遷移例を示します。

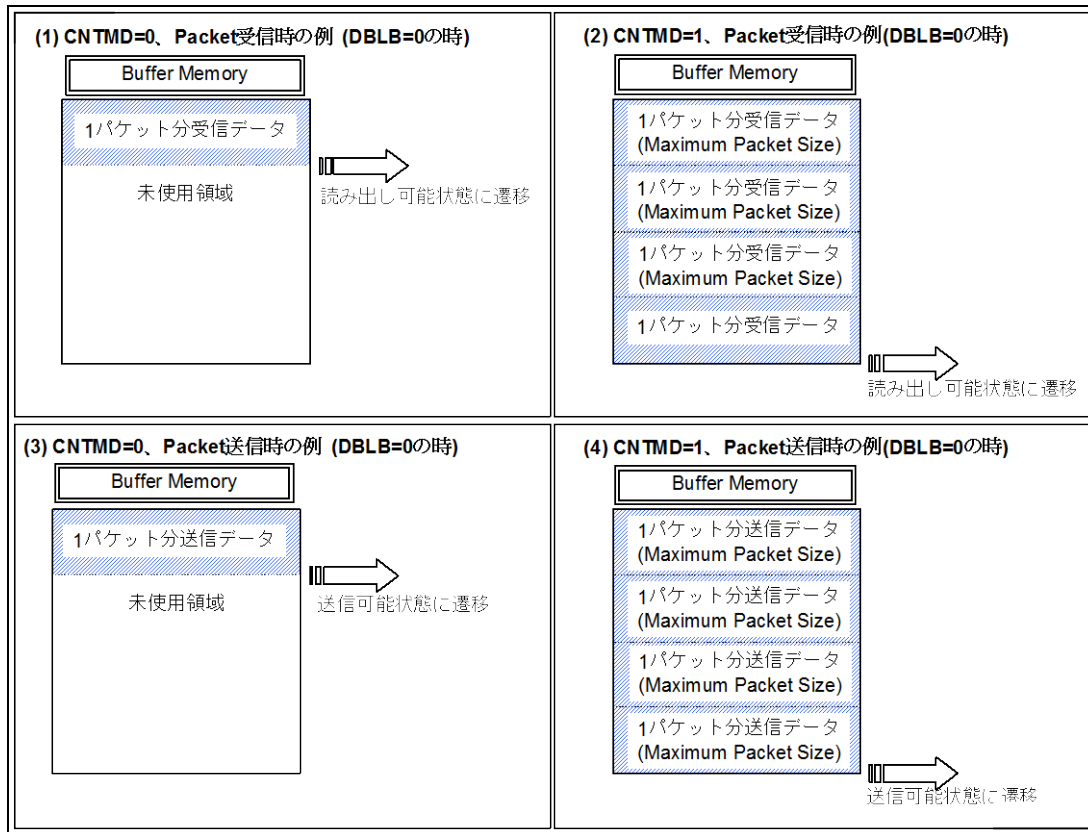


図 3.15 CNTMDビットとバッファメモリ状態遷移例

### 3.4.2 FIFOポートの機能

本章ではFIFOポートに関する機能の説明をします。表 3.14に本コントローラーのFIFOポート機能設定表を示します。データ書き込みアクセス時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的にUSBバスに送信可能な状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、**C/DxFIFOCTR**レジスタの**BVAL**ビットによる書き込み終了設定（DMA転送時には**DEND**信号）が必要です。また、**Zero-Length**パケットの送信は、同レジスタの**BCLR**ビットによるバッファクリアの上、**BVAL**ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、**Zero-Length**パケット受信時（**DTLN=0**）は、データは読み出せませんので、同レジスタの**BCLR**ビットによるバッファクリアが必要です。受信データ長は、**C/DxFIFOCTR**レジスタの**DTLN**ビットにて確認します。

表 3.14 FIFOポート機能設定表

レジスタ名	ビット名	機能	参照	備考
C/DxFIFOSEL	RCNT	DTLN読み出しモード選択		
	REW	バッファメモリリwind(再読み出し、再書き込み)	2.8.4 3.4.2.2	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	2.8.11 3.4.1.2 3.4.3.4	DxFIFO専用
	DREQE	DREQ信号アサート	3.4.3	DxFIFO専用
	MBW	FIFOポートアクセスビット幅	2.8.5 3.4.2.1	
	BIGEND	FIFOポートエンディアン制御	2.8.6	
	ISEL	FIFOポートアクセス方向	2.8.7 3.4.2.1	DCP専用
	CURPIPE	カレントPIPE選択	2.8.8	
C/DxFIFOCTR	BVAL	バッファメモリ書き込み終了	2.8.16	
	BCLR	CPU側バッファメモリクリア	2.8.17 3.4.1.2	
	FRDY	FIFOポートレディーモニタ	2.8.18	
	DTLN	受信データ長確認	2.8.19	
外部端子	DEND	バッファメモリ書き込み終了	1.4 3.4.3.3	DMA転送専用



### 3.4.2.1 FIFO ポート選択

表 3.15に各FIFOポートで選択可能なパイプ表を示します。**C/DxFIFOSEL**レジスタの**CURPIPE**ビットにて、アクセスするパイプを選択します。

パイプ選択後、書き込んだ**CURPIPE**値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本コントローラーがパイプ変更処理中である事を示します）、”**FRDY=1**”を確認しFIFOポートへアクセスしてください。図 3.16にFIFOポートアクセス時のパイプの切り替え手順を示します。

また、**MBW**ビットで、FIFOポートへアクセスするバス幅を選択してください。

バッファメモリアccess方向は、DCPの場合は**ISEL**ビットの設定に、その他のパイプは**PIPECFG**レジスタの**DIR**ビットに従います。

表 3.15 パイプ別FIFOポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~パイプ9	CPUアクセス	CFIFOポートレジスタ DxFIFOポートレジスタ
	DMAアクセス	DxFIFOポートレジスタ

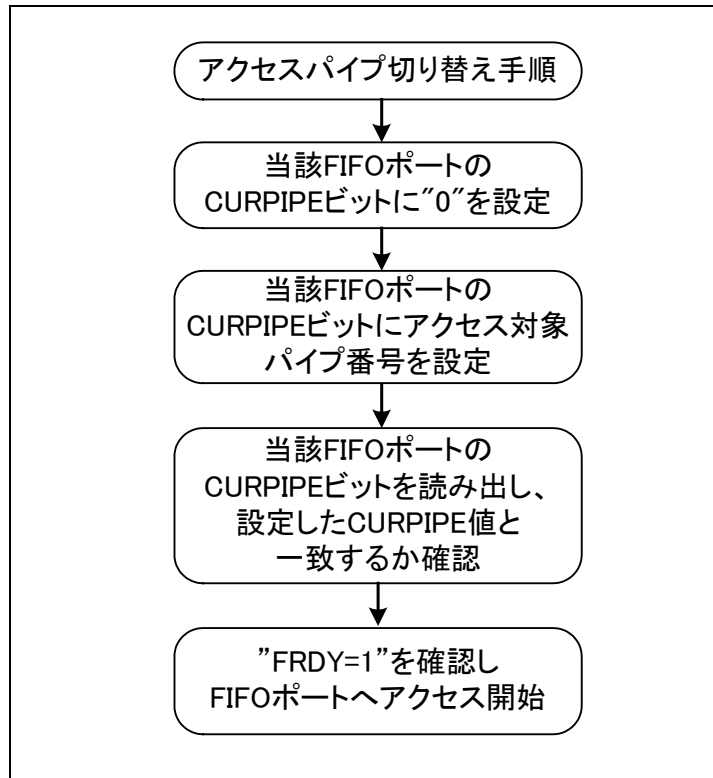


図 3.16 FIFOポートアクセス時のパイプ切り替え手順

### 3.4.2.2 REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、**C/DxFIFOSEL**レジスタの**REW**ビットを使用します。

### 3.4.2.3 トランザクションカウンタ（読み出し方向）

本コントローラーは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファー終了と認識することができます。トランザクションカウンタは、受信方向に設定されているPIPEに対して動作する機能です。どのFIFOポートから読み出しを行う場合にも本機能を使用可能です。

トランザクションカウンタには、トランザクション回数を指定する**TRNCNT**レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリがフルではないときでもバッファメモリが読み出し可能状態となります。

**TRCLR**ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。**TRENB**ビットの設定により、**TRNCNT**レジスタ読み出し時の情報が異なります。

**TRENB=0**設定時: 設定したトランザクションカウンタ値が読み出せます。

**TRENB=1**設定時: 内部でカウントしたカレントカウンタ値が読み出せます。

**CURPIPE**ビットの変更条件は下記のとおりです。

- (1) 指定したパイプのトランザクションが終了するまで、**CURPIPE**ビットは変更しないでください。
- (2) カレントカウンタがクリアされていないと**CURPIPE**ビットは変更できません。

**TRCLR**ビットの操作条件は下記のとおりです。

- (1) トランザクションカウント中、かつ、“PID=BUF”の場合は、カレントカウンタはクリアできません。
- (2) バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

### 3.4.3 DMA転送 (DxFIFOポート)

#### 3.4.3.1 DMA 転送概要

パイプ1~9に対して、DMACによるFIFOポートアクセスが可能です。DMAに設定したパイプのバッファにアクセス可能になった場合に、DREQ信号をアサートします。

DMA転送は、1データ (8ビットまたは16ビット) 転送ごとにDREQ信号をアサートするサイクルスチール転送モードと、バッファメモリ内の全データ転送が完了するまでDREQ信号のアサートを続ける、バースト転送モードを選択することができます。タイミングは第4章 電気的特性を参照ください。

DxFIFOSELレジスタのMBWビットにてFIFOポートへの転送単位 (8ビットまたは16ビット) を、CURPIPEビットにてDMA転送するパイプを選択してください。なお、DMA転送中は選択しているパイプ (CURPIPEビットへの設定値) を変更しないでください。

#### 3.4.3.2 DMA 制御信号選択

DMACCFGレジスタのDFORMビットにてDMA転送で使用する端子の選択を、DxFIFOSELレジスタのDREQEビットにて、DREQx\_N端子の制御を行ってください。表 3.16に本コントローラーのDMA制御端子一覧表を、図 3.17にFIFOポートアクセス方法とDMA制御端子を示します。

表 3.16 DMA制御端子一覧表

アクセス方法	レジスタ				端子				備考	
	DREQE	DFORM			DATAバス	DREQ	DACK	RD/WR		ADDR +CS
CPUバス0	0	0	0	0	CPU	-	-	○	○	CPUアクセス
CPUバス1	1	0	0	0	CPU	○	-	○	○	CPUバスでのDMA
CPUバス2	1	0	1	0	CPU	○	○	○	*1)	CPUバスでのDMA
CPUバス3	1	0	1	1	CPU	○	○	-	*1)	CPUバスでのDMA
SPLITバス	1	1	1	0	SPLIT	○	○	-	-	スプリットバス

\*1) 本アクセス方法を設定する場合、DxFIFOポートへのアクセス中はCS\_N信号をインアクティブに("High"に固定)してください。

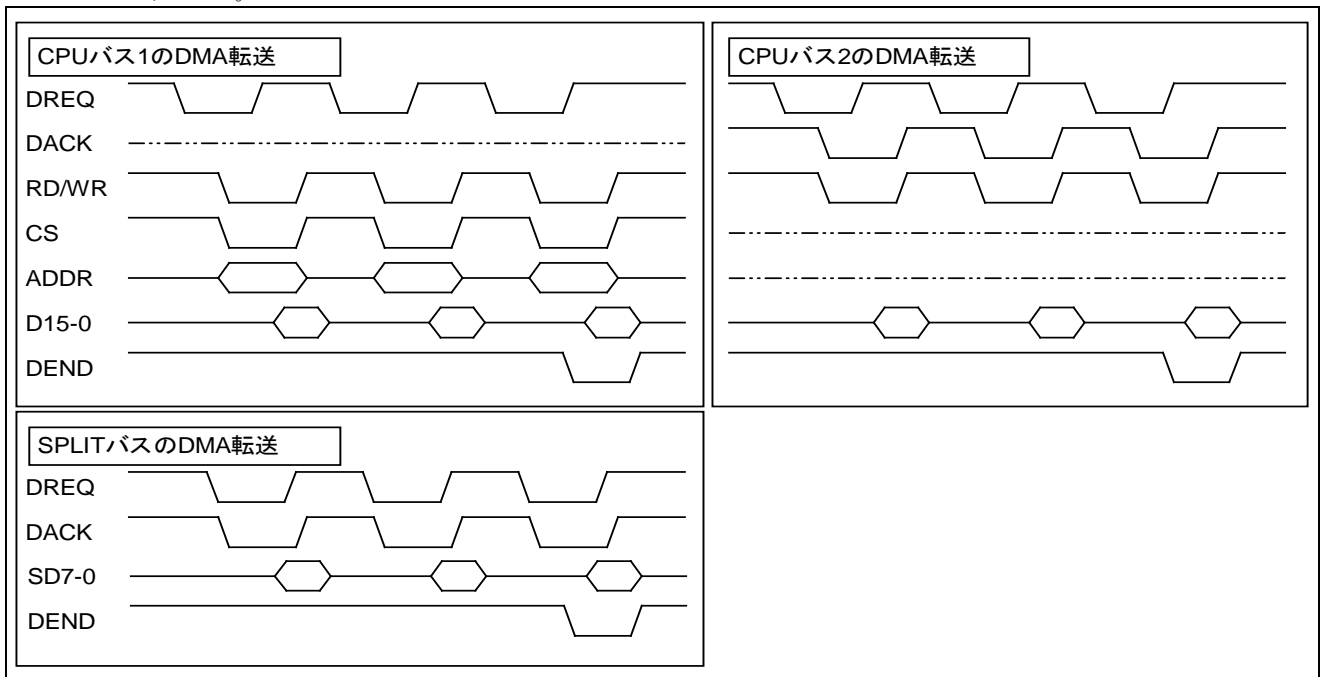


図 3.17 FIFOポートアクセス方法とDMA制御端子

### 3.4.3.3 DEND 端子

本コントローラーは、**DEND**端子を使用し、DMA転送を終了することが可能です。**DEND**端子はUSBデータ転送方向により、入出力が別の機能となります。

#### (1) バッファメモリ読み出し方向

**DEND**端子は、出力端子となり、外部DMAコントローラーに対して最後のデータ転送通知が可能です。**DEND**信号アサート条件は、**DMAxCFG**レジスタの**PKTM**ビットによって設定することができます。

表 3.17に本コントローラーの**DEND**端子アサート一覧表を示します。

表 3.17 DEND端子アサート一覧表

イベント PKTM	トランザクション カウント終了	パケット受信に よるBRDY発生	Zero-Lengthパケッ ト以外のショート パケット受信	バッファ非EMPTY 時のZero-Lengthパ ケット受信	バッファEMPTY時 のZero-Lengthパケ ット受信*1)
0	アサート	アサートせず	アサート	アサート	アサート
1	アサート	アサート	アサート	アサート	アサートせず

\*1) バッファエンプティ時の Zero-Length パケット受信では **DREQ** 信号をアサートしません。

#### (2) バッファメモリ書き込み方向

**DEND**端子は入力端子となり、アクティブエッジの検出でバッファメモリを送信可能状態（"BVAL=1"を設定した場合と同じ状態）にします。

### 3.4.3.4 DxFIFO 自動クリアモード（DxFIFO ポート読み出し方向）

**DxFIFOSEL**レジスタの**DCLRM**ビットに"1"を設定することで、本コントローラーはバッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 3.18に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連表を示します。

表 3.18に示すように、**BFRE**ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要ななどのような状態においても、**DCLRM**ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させないDMA転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 3.18 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定 パケット受信時のバッファ状態	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

### 3.4.3.5 BRDY 割り込みタイミング選択機能

PIPECFGレジスタのBFREビットの設定により、マックスパケットサイズのパケットを受信時にBRDY割り込みを発生させないようにすることができます。

この機能によりDMA転送を使用している場合に、最終データを受信したときのみ割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウントの終了を示します。"BFRE=1"に設定している場合は、受信したデータを読み出した後で、BRDY割り込みが発生します。DxFIFOCTRレジスタのDTLNビットを読み出すことにより、BRDY割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 3.19に本コントローラーのBRDY割り込み発生タイミングを示します。

表 3.19 BRDY割り込み発生タイミング表

レジスタ設定 パケット受信時のバッファ状態	BFRE = "0"	BFRE = "1"
バッファフル (通常のパケット受信)	パケット受信時	発生しない
Zero-Lengthパケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

BFRE ビット機能はバッファメモリから読み出し方向のみ有効です。書き込み方向の場合にはBFRE ビットは"0"に固定してください。

### 3.4.4 FIFOポートアクセス可能タイミング

本章ではFIFOポートへのアクセス可能なタイミングについて説明します。

#### 3.4.4.1 パイプ切り替え時の FIFO ポートアクセス可能タイミング

図 3.18に、FIFOポートで指定するパイプを切り替えた（C/DxFIFOSELレジスタのCURPIPEビットを変更した）場合の、FRDYビット、及びDTLNビットが確定するまでのタイミング図を示します。

CURPIPEビットを変更した場合は、書き込んだCURPIPE値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本コントローラーがパイプ変更処理中であることを示します）、”FRDY=1”を確認しFIFOポートへアクセスしてください。

なお、CFIFOポートに対しては、ISELビットを変更時も同様のタイミングになります。

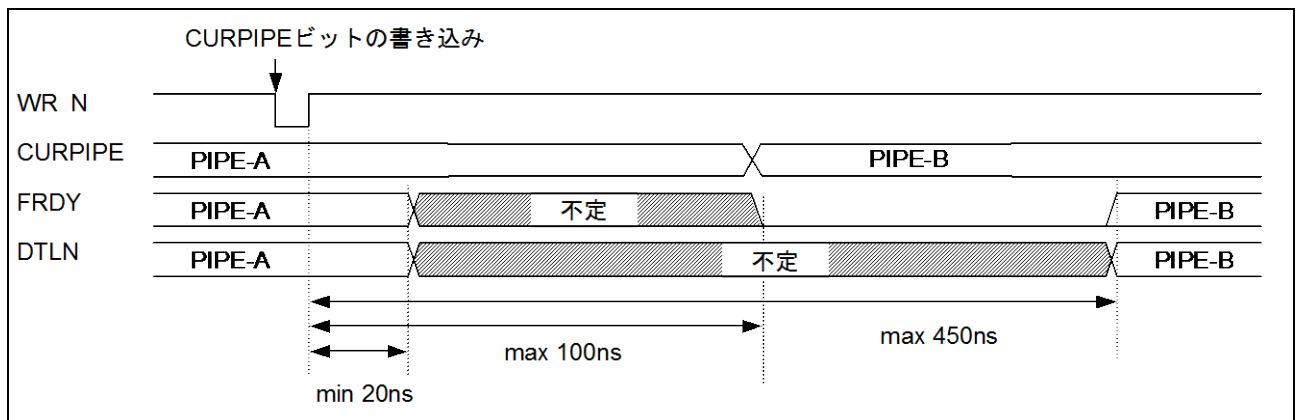


図 3.18 パイプ変更後のFRDY、DTLNの確定タイミング

#### 3.4.4.2 ダブルバッファ時の読み出し、書き込み完了後の FIFO ポートアクセス可能タイミング

図 3.19に、ダブルバッファのパイプに対して、バッファリード、もしくはライト完了後、もう一方のバッファがアクセス可能状態になるまでのタイミングを示します。

ダブルバッファ時は、トグル直前のアクセス後に300ns待った後、FIFOポートへのアクセスを行ってください。

なおIN方向のパイプにて”BVAL=1”設定によるショートパケット送信を行う時も同様のタイミングになります。

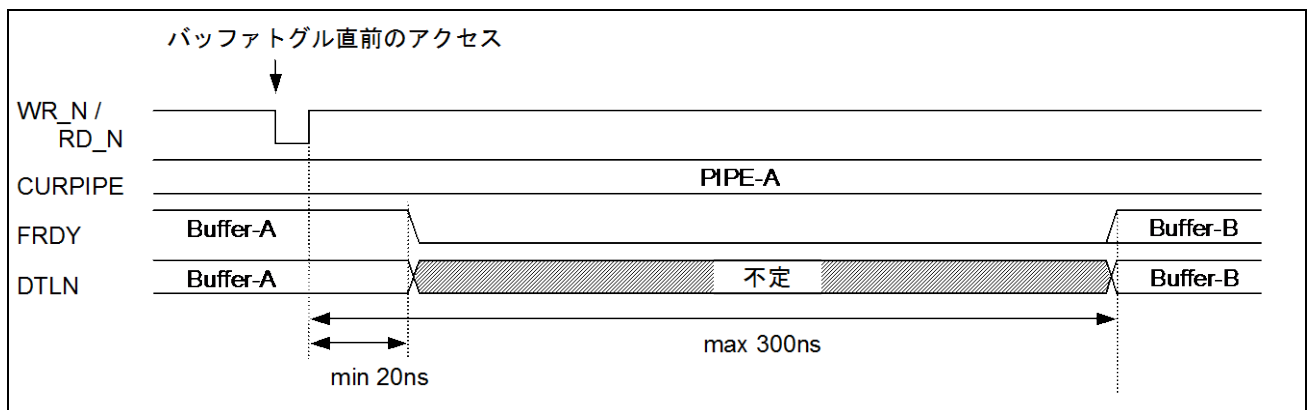


図 3.19ダブルバッファ時の読み出し、書き込み完了後のFRDY、DTLNの確定タイミング

### 3.5 データセットアップタイミング

本章ではスプリットバスのタイミングを設定するOBUSビットについて説明します。

本コントローラーはDMACxCFGレジスタのOBUSビットにより、SD0-7とDEND端子のタイミングを、表 3.20のように変更することができます。OBUSビットは、スプリットバスを用いたDMA転送時のみ有効な機能です。CPUバスでDMA転送を行う場合には、OBUSビットの設定は無視されます。

表 3.20 OBUSビット設定値によるの動作相違点

方向	OBUS ビット設定	動作
読み出し	0	コントロール信号*2)に関わらず、SD0-7、DEND信号は常に出力します。コントロール信号がネゲートされると次のデータが出力されます。このため、DMACのデータセットアップ時間が確保され、高速なDMA転送が可能になります。
	1	コントロール信号アサートしてから、SD0-7、DEND信号を出力します。コントロール信号がネゲートされるとSD0-7、DEND信号はHiZになります。
書き込み	0	DACKx_N信号に関わらず、SD0-7、DEND信号を常に入力可能とします。DMACはDACKx_N信号をアサートするより前から、次のデータを出力することが可能です。このため、本コントローラーのデータセットアップ時間が確保されて、高速なDMA転送が可能になります。
	1	DACKx_N信号がアサートされている場合のみ、SD0-7、DEND信号は入力可能となります。DACKx_N信号がネゲートされている場合は、SD0-7、DEND信号は無視します。

\*2) コントロール信号とは、DMACxCFGレジスタのDFORM[9-7]が”100”の場合は、DACKx\_Nを示します。

読み出し方向でOBUS=0に設定すると、SD0-7、DEND信号が常に出力になりますので、他のデバイスとバスを共有する場合には信号の衝突にご注意下さい。

書き込み方向でOBUS=0に設定すると、SD0-7、DEND信号を常に入力可能な状態になります。信号を中間電位にしないようご注意ください。

図 3.20に本コントローラーの、OBUSビットによるデータセットアップタイミング概要図を示します。

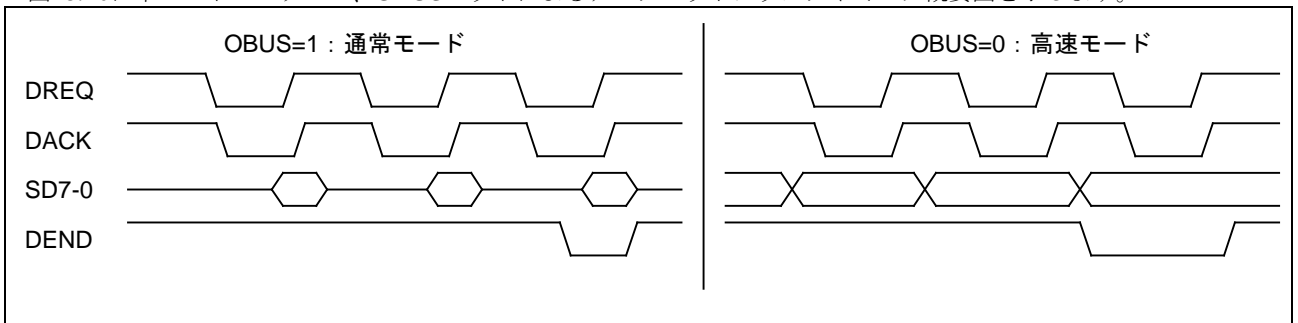


図 3.20 データセットアップタイミング概要図

### 3.6 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCPのバッファメモリは、コントロールリード、及びコントロールライト共用の固定領域で256バイトシングルバッファです。バッファメモリへのアクセスは、CFIFOポートのみ可能です。

#### 3.6.1 セットアップステージ

本コントローラーは、本コントローラーに対する正常なセットアップ packets に対して、必ずACK応答します。セットアップステージでの本コントローラーの動作を以下に示します。

- (1) 新しいセットアップ packets を受信すると、本コントローラーは、以下のビットをセットします。
  - (a) **INTSTS0**レジスタの**VALID**ビットを"1"にセット
  - (b) **DCPCTR**レジスタの**PID**ビットを"NAK"にセット
  - (c) **DCPCTR**レジスタの**CCPL**ビットを"0"にセット
- (2) セットアップ packets に引き続き、データ packets 受信すると、本コントローラーは、USBリクエストのパラメータを、**USBREQ**レジスタ、**USBVAL**レジスタ、**USBINDX**レジスタ、及び**USBLENG**レジスタに格納します。

コントロール転送に対する応答処理は、必ず**VALID=0**を設定後に行ってください。**VALID=1**状態では**PID=BUF**設定が行えず、データステージを終了することができません。

**VALID**ビットの機能により、本コントローラーは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本コントローラーは、受信したUSBリクエストの方向ビット (**bmRequestType**のbit8)、及びリクエストデータ長 (**wLength**) を自動判別し、コントロールリード転送、コントロールライト転送、及びノーデータコントロール転送を識別し、ステージ遷移を管理します。間違っただけシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本コントローラーのステージ管理については図 3.11を参照ください。

#### 3.6.2 データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。

DCPバッファメモリへアクセスする前に、**CFIFOSEL**レジスタの**ISEL**ビットにてアクセス方向を指定してください。**DCPCTR**レジスタの**PID**ビットを**BUF**に設定することでトランザクションを実行します。

データ転送の完了は、**BRDY**割り込みまたは**BEMP**割り込みによって検出します。コントロールライト転送では**BRDY**割り込みを、コントロールリード転送では**BEMP**割り込みを使用してください。

Hi-Speed動作時のコントロールライト転送では、バッファメモリの状態に応じて**NYET**ハンドシェイク応答を行います。**NYET**ハンドシェイクについては、3.7.1章を参照してください。

#### 3.6.3 ステータスステージ

**DCPCTR**レジスタの**PID**ビットが**PID=BUF**の状態、**CCPL**ビットに"1"を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本コントローラーが自動的にステータスステージを実行します。具体的には下記のとおりです。

- (1) コントロールリード転送の場合：
 

本コントローラーは**Zero-Length** packets の送信を行い、**USB HOST**からのACK応答を受信します。
- (2) コントロールライト転送、ノーデータコントロール転送の場合：
 

**USB HOST**からの**Zero-Length** packets を受信し、ACK応答を送信します。



### 3.6.4 コントロール転送自動応答機能

本コントローラーは、正常なSET\_ADDRESSリクエストに自動応答します。SET\_ADDRESSリクエストに下記のエラーがある場合は、ソフトウェアによる応答が必要です。

- (1) bmRequestType   ≠ "0x00"
- (2) wIndex           ≠ "0x00"
- (3) wLength          ≠ "0x00"
- (4) wValue           > "0x7F"
- (5) wValue ≠ 0 and DVSQ = "011"
- (6) wValue = 0 and DVSQ = "001"

SET\_ADDRESS以外の全てのリクエストには対応するソフトウェアによる応答が必要です。

### 3.7 バルク転送（パイプ1-5）

バルク転送では、バッファメモリの使用方法（シングル/ダブルバッファ設定、もしくは連続/非連続転送モード設定）の選択ができます。バッファメモリサイズは、最大2Kバイトのダブルバッファまで設定可能です。バッファメモリの状態はコントローラーが管理し、PINGパケット/NYETハンドシェイクには自動応答します。

#### 3.7.1 NYETハンドシェイク制御

表 3.21にバルク転送及びコントロール転送における受信トークンに対する応答一覧表を示します。本コントローラーは、バルク転送及びコントロール転送においてOUTトークン受信時にバッファメモリに1パケット分の空き領域しかない場合にNYET応答を行います。ただし、ショートパケット受信時は、この条件の場合でもNYET応答をせずにACK応答を行います。

表 3.21 受信トークンに対する応答一覧表

PIDビット 設定値	バッファメモリ の状態*1)	受信トークン	応答	備考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY	OUT/PING	ACK	OUTトークン受信時はデータパケットを受信*1
	RCV-BRDY	OUT	NYET	データパケット受信*2
	RCV-BRDY	OUT (Short)	ACK	データパケット受信*2
	RCV-BRDY	PING	ACK	*2
	RCV-NRDY	OUT / PING	NAK	
	TRN-BRDY	IN	DATA0 / 1	データパケット送信
TRN-NRDY	IN	NAK		

\*1) 具体的には下記のとおりです。

RCV-BRDY\*1: OUT/PINGトークン受信時にバッファメモリに2パケット分以上の空き領域がある。

RCV-BRDY\*2: OUTトークン受信時にバッファメモリに1パケット分の空き領域しかない。

RCV-NRDY: PINGトークン受信時にバッファメモリに空き領域がない。

TRN-BRDY: INトークン受信時にバッファメモリに送信データがある。

TRN-NRDY: INトークン受信時にバッファメモリに送信データがない。

### 3.8 インタラプト転送（パイプ6-9）

本コントローラーは、ホストコントローラーが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PINGパケットに対しては無視（無応答になる）します。またNYETハンドシェイクを送信せず、ACK、NAK、STALLいずれかの応答を行います。

また、本コントローラーは、インタラプト転送のHigh-Bandwidth転送には対応していません。

### 3.9 アイソクロナス転送（パイプ1-2）

本コントローラーは、アイソクロナス転送に対して下記の機能を備えています。

- (1) アイソクロナス転送のエラー情報通知
- (2) インターバルカウンタ（IITVビット指定）
- (3) アイソクロナスIN転送データセットアップコントロール（IDLY機能）
- (4) アイソクロナスIN転送バッファフラッシュ機能（IFISビット指定）
- (5) SOFパルス出力機能

本コントローラーは、アイソクロナス転送のHigh-Bandwidth転送には対応していません。

#### 3.9.1 アイソクロナス転送のエラー検出

本コントローラーは、アイソクロナス転送のエラー発生を、ソフトウェアが管理するために、下記のエラー情報の検出機能を持っています。表 3.22、及び表 3.23にエラーを確認する順番と発生する割り込みについて示します。

- (1) PIDエラー  
受信パケットのPIDが不正な場合。
- (2) CRCエラー、ビットスタッフィングエラー  
受信パケットのCRCにエラーがあった場合。またはビットスタッフィングが不正な場合。
- (3) マックスパケットサイズオーバー  
受信パケットのデータサイズがマックスパケットサイズの設定値を越えていた。
- (4) オーバーラン、アンダーランエラー  
(a) IN方向（送信）の転送時にINトークン受信時にバッファメモリにデータが無い場合  
(b) OUT方向（受信）の転送時にOUTトークン受信したがバッファメモリに空き領域が無い場合
- (5) インターバルエラー  
(a) アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合。  
(b) アイソクロナスOUT転送でインターバルフレームにOUTトークンを受信できなかった場合。

表 3.22 トークン送受信時のエラー検出

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	割り込み発生せず(破損パケットとして無視)
3	オーバーラン、アンダーランエラー	NRDY割り込みを発生させ、OVRNビットをセットします。 INトークンに対して、Zero-Lengthパケットを送信します。 OUTトークンに対してデータパケットを受信しません。
4	インターバルエラー	NRDY割り込みを発生させます。

表 3.23 データパケット受信時のエラー検出

検出の優先順位	エラー種別	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	NRDY割り込みを発生させて、CRCEビットをセットします。
3	マックスパケットサイズオーバーエラー	BEMP割り込みを発生させて、PIDを"STALL"にセットします。

### 3.9.2 DATA-PID

本コントローラーはHigh-Bandwidth転送には対応していません。受信したPIDに対する対応を以下に示します。

(1)IN方向：

- (a)DATA0：データパケットのPIDとして送信します。
- (b)DATA1：送信しません。
- (c)DATA2：送信しません。
- (d)mDATA：送信しません。

(2)OUT方向（Full-Speed動作時）：

- (a)DATA0：データパケットのPIDとして正常受信します。
- (b)DATA1：データパケットのPIDとして正常受信します。
- (c)DATA2：パケットを無視します。
- (d)mDATA：パケットを無視します。

(3)OUT方向（Hi-Speed動作時）：

- (a)DATA0：データパケットのPIDとして正常受信します。
- (b)DATA1：データパケットのPIDとして正常受信します。
- (c)DATA2：データパケットのPIDとして正常受信します。
- (d)mDATA：データパケットのPIDとして正常受信します。

### 3.9.3 インターバルカウンタ

#### 3.9.3.1 動作概要

PIPEPERIレジスタのIITVビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、表 3.24の機能を実現します。

表 3.24 インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウンタは、SOFの受信または補完されたSOFで行いますので、SOFが破損しても等時性を保つことができます。設定できるフレーム間隔は $2^{IITV}$  ( $\mu$ ) フレームです。

#### 3.9.3.2 インターバルカウンタの初期化

本コントローラーは、下記の条件でインターバルカウンタを初期化します。

(1)H/Wリセット

IITVビットが初期化されます。

(2)ACLRMビットによるバッファメモリのクリア

IITVビットは初期化されませんがカウンタは初期化されます。

(3)USBバスリセット

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウンタを開始します。

(1)“PID=BUF”状態でINトークンに対して、データを送信後のSOF受信

(2)“PID=BUF”状態でOUTトークンの、データを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

(1)PIDをNAKまたはSTALLに設定した場合

インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。

(2)USBサスペンド

IITVビットは初期化されません。SOFを受信すると、受信前の値からカウンタを開始します。

### 3.9.4 アイソクロナス転送送信データセットアップ

本コントローラーのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Lengthパケットを送出しアンダーランエラーとなります。

図 3.21に本コントローラーで、”IITV=0 (毎フレーム)”を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

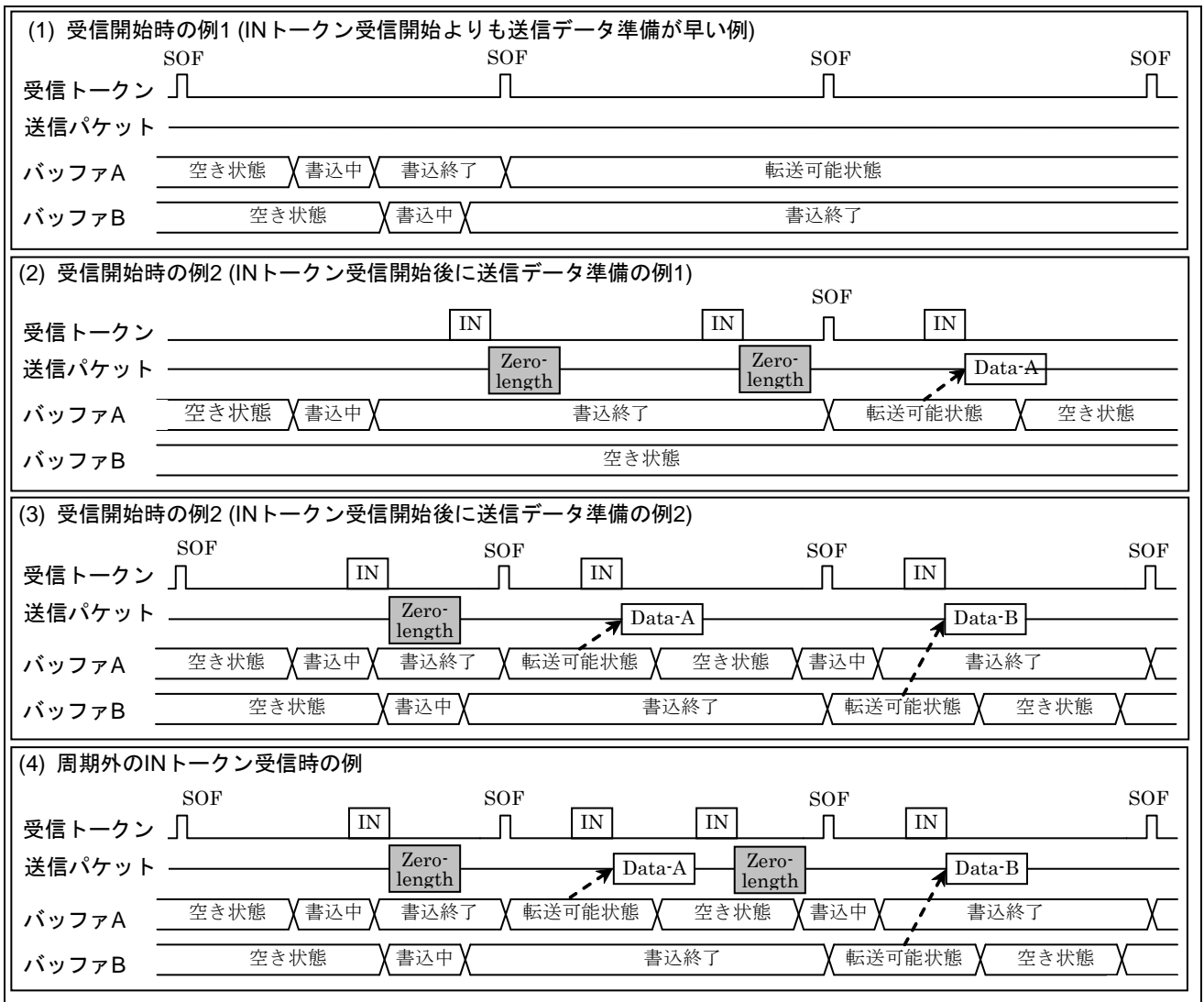


図 3.21 データセットアップ機能動作例

### 3.9.5 アイソクロナス転送送信バッファフラッシュ

本コントローラーは、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず、次フレームの(μ)SOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態になっているバッファをクリアし、そのバッファを書き込み可能状態にします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、(μ)SOFパケット受信で破棄されていないバッファメモリを転送可能状態にします。

IITVビットの設定値によりバッファフラッシュ機能の動作開始タイミングが異なります。

(1) IITV=0の場合

パイプが有効となった次のフレームからバッファフラッシュ動作を行います。

(2) IITV=0以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作を行います。

図 3.22に本コントローラーのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外(インターバルフレーム前)のトークン受信に対しては、データセットアップ状態に従い、書き込みデータの送出もしくはアンダーランエラーとしてZero-Lengthパケットの送出を行います。

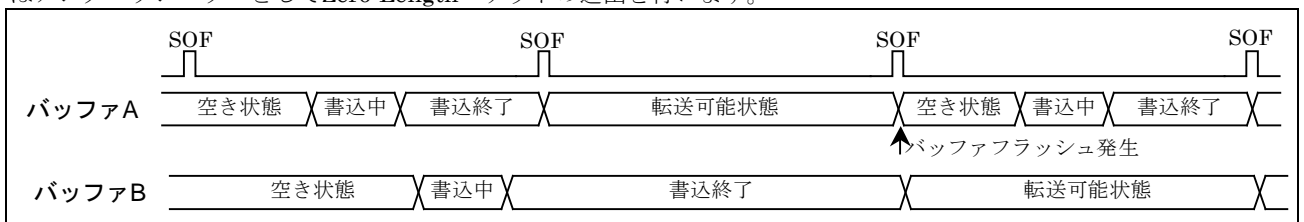


図 3.22 バッファフラッシュ機能動作例

図 3.23に本コントローラーのインターバルエラー発生例を示します。インターバルエラーは下記の5種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーはIN転送時にバッファフラッシュ機能が動作し、OUT転送時はNRDY割り込みが発生します。受信パケットエラーなどのNRDY割り込みとオーバーランエラーとの区別はOVRNビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

(1) IN方向:

- (a) バッファ転送可能状態であればデータ転送し正常応答
- (b) バッファ転送不能状態であればZero-Lengthパケット送信しアンダーランエラー

(2) OUT方向:

- (a) バッファ受信可能状態であればデータ受信し正常応答
- (b) バッファ受信不能状態であればデータ破棄しオーバーランエラー

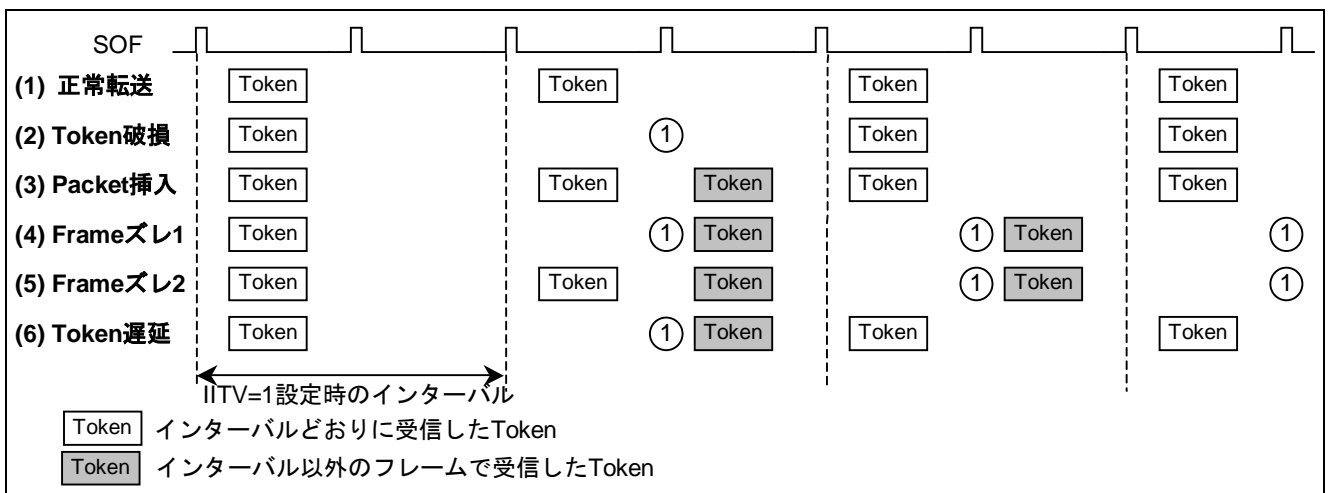


図 3.23 “IITV=1”の時のインターバルエラー発生例

### 3.10 SOF補間機能

SOFパケットの破損、もしくは欠落のために1ms(Full-Speed動作時)または125us(Hi-Speed動作時)間隔で受信できなかった場合に、コントローラー内部でSOFを補間します。SOF補間動作の開始は”USBE=1”かつ”SCKE=1”かつSOFパケット受信となります。また、下記の条件で補間機能が初期化されます。

- (1) H/Wリセット
- (2) USBバスリセット
- (3) サスペンド検出

また、SOF補間は次の仕様で動作します。

- (1) フレーム間隔(125usまたは1ms)はリセットハンドシェイクプロトコルの結果に従う。
- (2) SOFパケット受信までは補間機能は動作しない。
- (3) 最初のSOFパケット受信後は内部クロック48MHzで125usもしくは1msをカウントし補間する。
- (4) 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- (5) サスペンド時及びUSBバスリセット受信中は補間しない。  
(Hi-Speed動作時のサスペンド移行では最終パケットから3ms間は補間を継続します)

SOF補間機能は次の機能で動作します。

- (1) フレーム番号、及びマイクロフレーム番号の更新
- (2) SOFR割り込み、及び $\mu$  SOFロック
- (3) SOFパルス出力
- (4) アイソクロナス転送インターバルカウント

Full-Speed動作時にSOFパケットが欠落した場合には、FRMNUMレジスタのFRNMビットは更新されません。

Hi-Speed動作時に $\mu$  SOFパケットが欠落した場合には、UFRMNUMレジスタのUFRNMビットが更新されます。

ただし、” $\mu$  FRNM=000”の $\mu$  SOFパケットが欠落した場合には、FRNMビットは更新されません。この場合は、継続する” $\mu$  FRNM=000”以外の $\mu$  SOFパケットが正常に受信されてもFRNMビットは更新されません。

#### 3.10.1 SOFパルス出力

本コントローラーは、SOF出力が許可されている場合に、SOFのタイミングでSOFパルスを出力することができます。

SOFCFGレジスタのSOFMビットの値が”01” (1ms SOF) または”10” (125 $\mu$ s SOF) の時に、SOF\_N端子から”L”アクティブでパルスを出力します。これを”SOF信号”と呼びます。パルスのタイミングについては図 3.24を参照してください。SOFパケットの受信または、”SOF補間”によってSOF出力を等間隔に出力します。

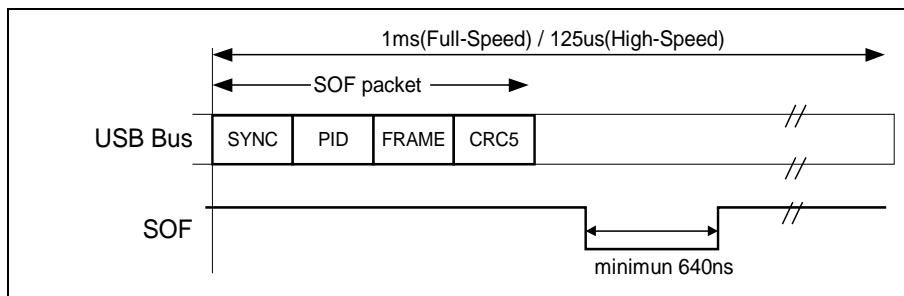


図 3.24 SOF出力タイミング

### 3.11 USBコネクタとの接続例

図 3.25に本コントローラーとUSBコネクタの接続例を示します。

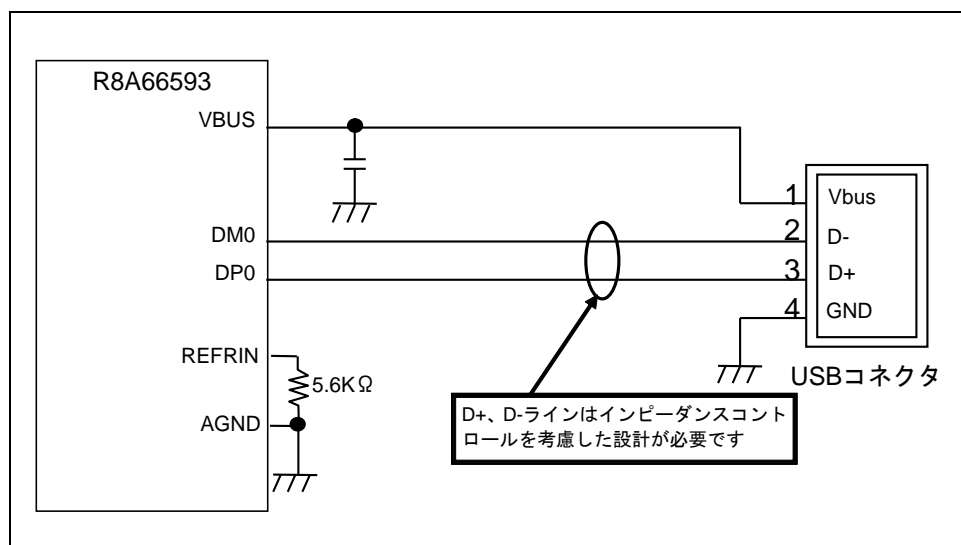


図 3.25 USBコネクタ接続図



## 4 電気的特性

### 4.1 絶対最大定格

記号	項目	定格値	単位
VIF	IO電源電圧	-0.3~+4.0	V
VCC	電源電圧 (3.3V系)	-0.3~+4.0	V
AVCC	アナログ電源電圧 (3.3V系)	-0.3~+4.0	V
VBUS	VBUS入力電圧	-0.3~+5.5	V
V <sub>I</sub> (IO)	システムインタフェース入力電圧	-0.3 ~VIF+0.3, VCC+0.3	V
V <sub>O</sub> (IO)	システムインタフェース出力電圧	-0.3~VIF+0.3, VCC+0.3	V
Pd	消費電力	600	mW
Tstg	保存温度	-55~+150	°C

### 4.2 推奨動作条件

記号	項目		規格値			単位
			最小	標準	最大	
VIF	IO電源電圧	1.8V対応	1.6	1.8	2.0	V
		3.3V対応	2.7	3.3	3.6	V
VCC	電源電圧 (3.3V系)		3.0	3.3	3.6	V
AVCC	アナログ電源電圧 (3.3V系)		3.0	3.3	3.6	V
AGND	アナログ電源GND			0		V
GND	電源GND			0		V
V <sub>I</sub> (IO)	システムインタフェース入力電圧		0		VIF, VCC	V
V <sub>I</sub> (VBUS)	入力電圧 (VBUS入力のみ)		0		5.25	V
V <sub>O</sub> (IO)	システムインタフェース出力電圧		0		VIF, VCC	V
Topr	動作周囲温度	R8A66593FP/BG(標準品)	-20	+25	+85	°C
tr, tf	入力上昇、下降時間	ノーマル入力			500	ns
		シュミットトリガ入力			5	ms

## 4.3 電気的特性 (VIF = 2.7~3.6V対応規格)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V <sub>IH</sub>	"H"入力電圧	注1 VCC = 3.6V	2.52		3.6	V	
V <sub>IL</sub>	"L"入力電圧		VCC = 3.0V	0		0.9	V
V <sub>IH</sub>	"H"入力電圧	注2 VIF = 3.6V	0.7VIF		3.6	V	
V <sub>IL</sub>	"L"入力電圧		VIF = 2.7V	0		0.3VIF	V
VT+	正方向スレッシュホールド電圧	注3 VIF = 3.3V	1.4		2.4	V	
VT-	負方向スレッシュホールド電圧		0.5		1.65	V	
V <sub>TH</sub>	ヒステリシス電圧				0.8	V	
V <sub>OH</sub>	"H"出力電圧	Xout VCC = 3.0V	I <sub>OH</sub> = -50uA I <sub>OL</sub> = 50uA			V	
V <sub>OL</sub>	"L"出力電圧					0.4	V
V <sub>OH</sub>	"H"出力電圧	注4 VIF = 2.7V	I <sub>OH</sub> = -4mA I <sub>OL</sub> = 4mA	VIF-0.4		V	
V <sub>OL</sub>	"L"出力電圧					0.4	V
V <sub>OH</sub>	"H"出力電圧	注5 VIF = 2.7V	I <sub>OH</sub> = -2mA I <sub>OL</sub> = 2mA	VIF-0.4		V	
V <sub>OL</sub>	"L"出力電圧					0.4	V
VT+	正方向スレッシュホールド電圧	VBUS	VCC = 3.3V		1.4	2.4	V
VT-	負方向スレッシュホールド電圧		0.5		1.65	V	
I <sub>IH</sub>	"H"入力電流		VIF, VCC = 3.6V	V <sub>I</sub> = VIF, VCC		10	uA
I <sub>IL</sub>	"L"入力電流			V <sub>I</sub> = GND		-10	uA
I <sub>OZH</sub>	オフ状態"H"出力電流	注6	VIF = 3.6V	V <sub>O</sub> = VIF		10	uA
I <sub>OZL</sub>	オフ状態"L"出力電流			V <sub>O</sub> = GND		-10	uA
R <sub>dv</sub>	プルダウン抵抗	VBUS			500	kΩ	
I <sub>CC(A)</sub>	HS動作時平均電源電流	注7	f(Xin) = 48MHz VIF, VCC, AVCC = 3.6V		50		mA
I <sub>CC(A)</sub>	FS動作時平均電源電流	注7	f(Xin) = 48MHz VIF, VCC, AVCC = 3.6V		22		mA
I <sub>CC(S)</sub>	静止時電源電流	注7	USBサスペンド状態 但し、VIF = 3.6V		0.35		mA
			USBケーブルデータタッチ状態 但し、VIF = 3.6V		0.15		mA
			VCC, AVCC=0V, VIF = 3.6V		0.01 以下		mA
C <sub>IN</sub>	端子容量 (入力)				7		pF
C <sub>OUT</sub>	端子容量 (出力/入出力)				7		pF

注1 : Xin端子

注2 : MPBUS、A7-1入力端子、及び、DEND0-1\_N、SD7-0、D15-0入出力端子

注3 : DACK0-1\_N、RST\_N、RD\_N、WR0-1\_N、CS\_N、入力端子

注4 : DREQ0-1\_N出力端子、及び、DEND0-1\_N、SD7-0、D15-0入出力端子

注5 : INT\_N、SOF\_N出力端子

注6 : DEND0-1\_N、SD7-0、D15-0入出力端子

注7 : 電源電流はVIF、VCC、AVCCの合計電流

## 4.4 電気的特性 (VIF = 1.6~2.0V対応規格)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V <sub>IH</sub>	"H"入力電圧	注1 VCC = 3.6V	2.52		3.6	V	
V <sub>IL</sub>	"L"入力電圧		VCC = 3.0V	0		0.9	V
V <sub>IH</sub>	"H"入力電圧	注2 VIF = 2.0V	0.7VIF		2.0	V	
V <sub>IL</sub>	"L"入力電圧		VIF = 1.6V	0		0.3VIF	V
VT+	正方向スレッシュホールド電圧	注3 VIF = 1.8V	0.7		1.4	V	
VT-	負方向スレッシュホールド電圧		0.2		0.8	V	
V <sub>TH</sub>	ヒステリシス電圧				0.5	V	
V <sub>OH</sub>	"H"出力電圧	Xout VCC = 3.0V	I <sub>OH</sub> = -50uA			V	
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 50uA		0.4	V
V <sub>OH</sub>	"H"出力電圧	注4 VIF = 1.6V	I <sub>OH</sub> = -4mA	VIF-0.4		V	
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 4mA		0.4	V
V <sub>OH</sub>	"H"出力電圧	注5 VIF = 1.6V	I <sub>OH</sub> = -2mA	VIF-0.4		V	
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 2mA		0.4	V
VT+	正方向スレッシュホールド電圧	VBUS	VCC = 3.3V		1.4	2.4	V
VT-	負方向スレッシュホールド電圧		0.5		1.65	V	
I <sub>IH</sub>	"H"入力電流		VIF = 2.0V VCC = 3.6V	V <sub>I</sub> = VIF, VCC		10	uA
I <sub>IL</sub>	"L"入力電流			V <sub>I</sub> = GND		-10	uA
I <sub>OZH</sub>	オフ状態"H"出力電流	注6	VIF = 2.0V	V <sub>O</sub> = VIF		10	uA
I <sub>OZL</sub>	オフ状態"L"出力電流			V <sub>O</sub> = GND		-10	uA
R <sub>dv</sub>	プルダウン抵抗	VBUS			500	kΩ	
I <sub>CC(A)</sub>	HS動作時平均電源電流	注7	f(Xin) = 48MHz VIF=2.0V, VCC, AVCC = 3.6V		50		mA
I <sub>CC(A)</sub>	FS動作時平均電源電流	注7	f(Xin) = 48MHz VIF=2.0V, VCC, AVCC = 3.6V		22		mA
I <sub>CC(S)</sub>	静止時電源電流	注7	USBサスペンド状態 但し、VIF = 2.0V		0.35		mA
			USBケーブルデータタッチ状態 但し、VIF = 2.0V		0.15		mA
			VCC, AVCC=0V、VIF = 2.0V		0.01 以下		mA
C <sub>IN</sub>	端子容量 (入力)				7		pF
C <sub>OUT</sub>	端子容量 (出力/入出力)				7		pF

注1 : Xin端子

注2 : MPBUS、A7-1入力端子、及び、DEND0-1\_N、SD7-0、D15-0入出力端子

注3 : DACK0-1\_N、RST\_N、RD\_N、WR0-1\_N、CS\_N、入力端子

注4 : DREQ0-1\_N出力端子、及び、DEND0-1\_N、SD7-0、D15-0入出力端子

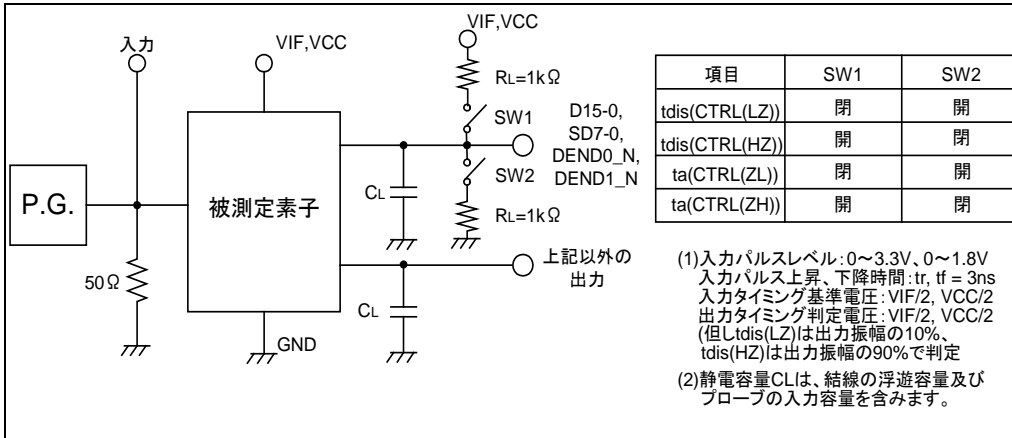
注5 : INT\_N、SOF\_N出力端子

注6 : DEND0-1\_N、SD7-0、D15-0入出力端子

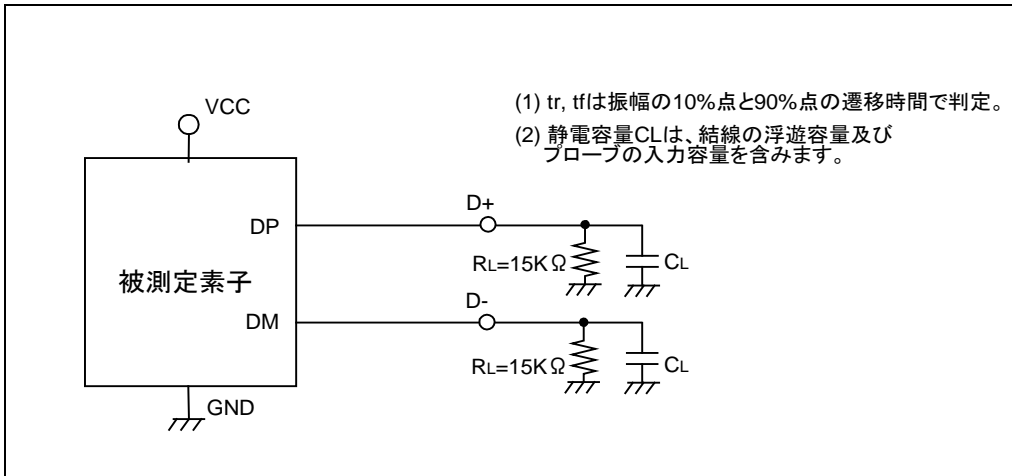
注7 : 電源電流はVIF、VCC、AVCCの合計電流

## 4.5 測定回路

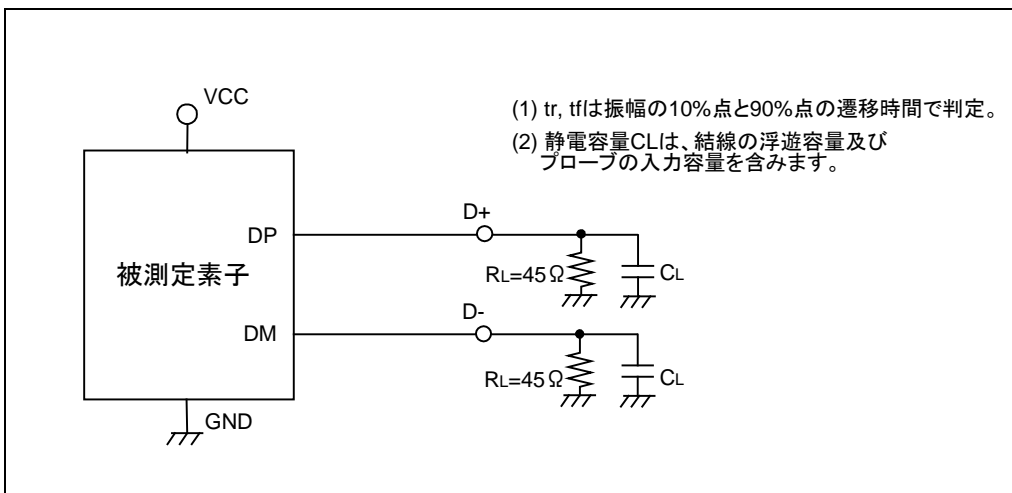
### 4.5.1 USBバッファ部以外の端子



### 4.5.2 USBバッファ部(Full-Speed)



### 4.5.3 USBバッファ部(Hi-Speed)



## 4.6 電気的特性 (D+/D-)

### 4.6.1 DC特性

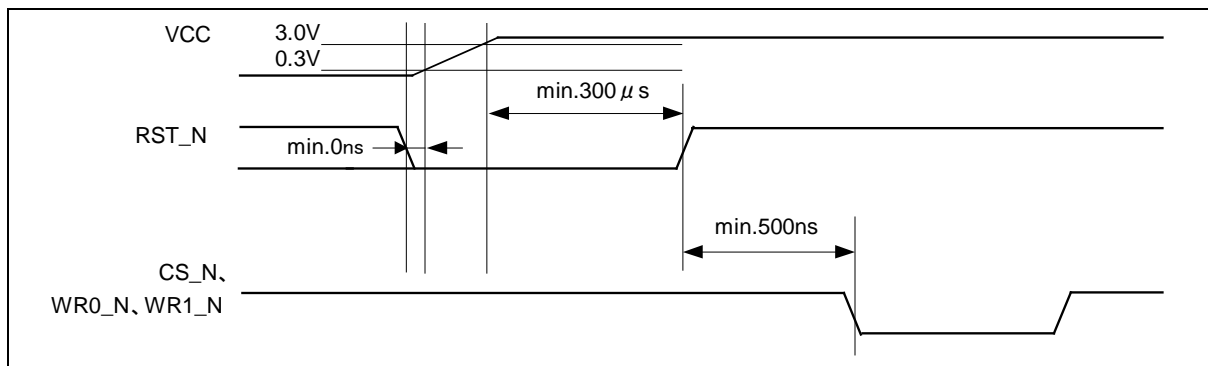
記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
R <sub>REF</sub>	基準抵抗		5.544	5.6	5.656	kΩ	
R <sub>o</sub>	FSドライバ 出力インピーダンス	HS動作時	40.5	45	49.5	Ω	
		FS動作時	28	36	44	Ω	
R <sub>pu</sub>	D+,D-プルアップ抵抗	アイドル時	0.9		1.575	kΩ	
		送受信時	1.425		3.09	kΩ	
Full-Speed時の入力特性							
V <sub>IH</sub>	"H"入力電圧		2.0			V	
V <sub>IL</sub>	"L"入力電圧				0.8	V	
V <sub>DI</sub>	差分入力感度	(D+)-(D-)	0.2			V	
V <sub>CM</sub>	差分コモンモード範囲		0.8		2.5	V	
Full-Speed時の出力特性							
V <sub>OL</sub>	"L"出力電圧	VCC = 3.0V	1.5KΩのRLから 3.6V			0.3	V
V <sub>OH</sub>	"H"出力電圧			15KΩのRLから GND	2.8		3.6
V <sub>SE</sub>	シングルエンディッド レシーバスレッシュヨルド電圧			0.8		2.0	V
V <sub>ORS</sub>	出力信号クロスオーバー 電圧			1.3		2.0	V
Hi-Speed時の入力特性							
V <sub>HSSQ</sub>	スケルチ検出スレッシュヨルド 電圧 (差動電圧)			100		150	mV
V <sub>HSCM</sub>	コモンモード電圧範囲			-50		500	mV
Hi-Speed時の出力特性							
V <sub>HSOI</sub>	アイドル状態			-10.0		10	mV
V <sub>HSOH</sub>	"H"出力電圧			360		440	mV
V <sub>H SOL</sub>	"L"出力電圧			-10.0		10	mV
V <sub>CHIRPJ</sub>	Chirp J出力電圧 (差分)			700		1100	mV
V <sub>CHIRPK</sub>	Chirp K出力電圧 (差分)			-900		-500	mV

### 4.6.2 AC特性 (Full-Speed)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Tr	立ち上がり時間	データ信号: 振幅の10%→90% CL=50pF	4		20	ns
Tf	立ち下がり時間	データ信号: 振幅の90%→10% CL=50pF	4		20	ns
TRFM	立ち上がり/立ち下がり時間比	tr/tf	90		111.11	%

## 4.7 電源シーケンス・リセットタイミング

### 4.7.1 電源シーケンス



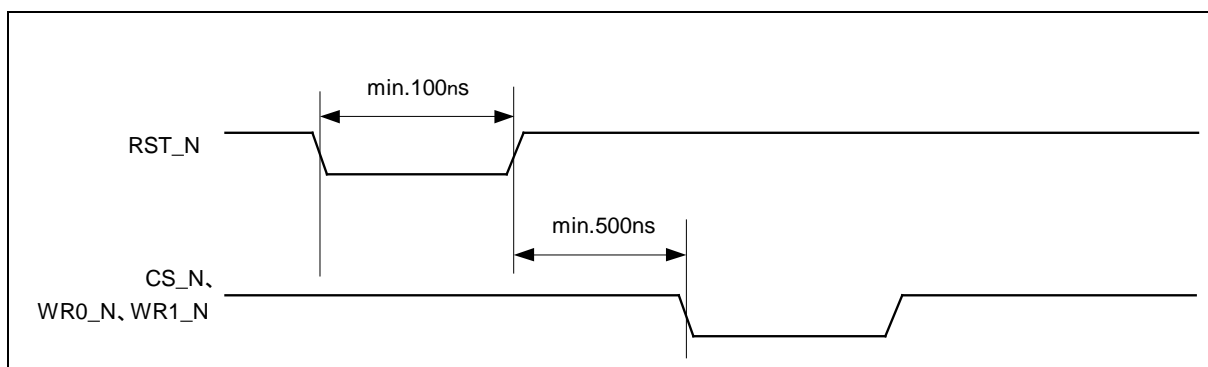
注: VCC, AVCCの投入・切断のタイミングは同時投入・同時切断を推奨します。

VIFの投入タイミングは、VCC, AVCCと同時、または、VCC, AVCCよりも先の投入を推奨します。

VIFの切断タイミングは、VCC, AVCCと同時、または、VCC, AVCCよりも後の切断を推奨します。

RST\_Nによるリセットは必須です。本シーケンスを満たせない場合、次項のリセットタイミングによる操作を行っても正常動作は保証されません。

### 4.7.2 リセットタイミング (VCC-ON状態)



## 4.8 スイッチング特性(VIF = 2.7~3.6V、又は1.6~2.0V)

記号	項目	測定条件、 その他	規格値			単位	参照 番号
			最小	標準	最大		
ta (A)	アドレスアクセス時間	CL=50pF			30	ns	①
tv (A)	アドレス後データ有効時間	CL=10pF	2			ns	②
ta (CTRL - D)	コントロール後データアクセス時間	CL=50pF			30	ns	③
tv (CTRL - D)	コントロール後データ有効時間	CL=10pF	2			ns	④
ten (CTRL - D)	コントロール後データ出カイナーブル時間		2			ns	⑤
tdis (CTRL - D)	コントロール後データ出カディセーブル時間	CL=50pF			30	ns	⑥
ta (CTRL - DV)	スプリットバス (DMA Interface) Obus=0の時、コントロール後データアクセス時間	CL=30pF			30	ns	⑨
tv (CTRL - DV)	スプリットバス (DMA Interface) Obus=0の時、コントロール後データ有効時間	CL=10pF	2			ns	⑩
ta (CTRL - DendV)	CPUバス及びスプリットバス(DMA Interface) Obus=0の時、コントロール後DEND出力アクセス時間	CL=30pF			30	ns	⑪
tv (CTRL - DendV)	CPUバス及びスプリットバス(DMA Interface) Obus=0の時、コントロール後DEND出力有効時間	CL=10pF	2			ns	⑫
ta (CTRL - Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出力アクセス時間	CL=30pF			30	ns	⑬
tv (CTRL - Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出力有効時間	CL=10pF	2			ns	⑭
ten (CTRL - Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出カイナーブル時間		2			ns	⑮
tdis (CTRL-Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出カディセーブル時間	CL=30pF			30	ns	⑯
tdis (CTRL - Dreq)	コントロール後DREQディセーブル時間				30	ns	⑰
tdis (CTRLH - Dreq)	DEND入力に書き込み終了後、コントロール終了後DREQディセーブル時間			30	ns	⑱	
ten (CTRL - Dreq)	コントロール後DREQイナーブル時間		20		70	ns	⑲
twh (Dreq)	DREQ出力"H"パルス幅		20		50	ns	⑳
td (CTRL - INT)	INT出力ネゲート遅延時間				250	ns	㉑
twh (INT)	INT出力"H"パルス幅		650			ns	㉒
td (DREQ - DV)	スプリットバス (DMA Interface) Obus=0の時、DREQアサート開始後データアクセス時間				0	ns	㉓
td (Dreq - DendV)	スプリットバス(DMA Interface) Obus=0の時またはCPUバス1,2の時、DREQアサート開始後DEND出力確定時間				0	ns	㉔
tdis (PCTRLH - Dreq)	前回コントロール終了後DREQディセーブル時間				70	ns	㉕

凡例 ta : アクセス時間、tv : 有効時間、ten : 出カイナーブル時間、tdis : 出力ディセーブル時間

(A) : アドレス、(D) : データ、(Dend) : DiEND\_N、(Dreq) : DiREQ\_N、(CTRL) : コントロール、(V) : Obus=0

## 4.9 タイミング必要条件(VIF = 2.7~3.6V、又は1.6~2.0V)

記号	項目		測定条件、 その他	規格値			単位	参照 番号
				最小	標準	最大		
tsuw (A)	アドレスライトセットアップ時間		CL=50pF	10			ns	③⑩
tsur (A)	アドレスリードセットアップ時間			0			ns	③⑪
tsu (A - ALE)	マルチプレクスバスの時、アドレスセットアップ時間			10			ns	③⑫
thw (A)	アドレスライトホールド時間			0			ns	③⑬
thr (A)	アドレスリードホールド時間			10			ns	③⑭
th (A - ALE)	マルチプレクスバスの時、アドレスホールド時間			0			ns	③⑮
tw (ALE)	マルチプレクスバスの時、ALEパルス幅			10			ns	③⑯
tdwr (ALE - CTRL)	マルチプレクスバスの時、ライト/リードデレイ時間			7			ns	③⑰
trec (ALE)	マルチプレクスバス時、ALEリカバリ時間			0			ns	③⑱
tw (CTRL)	コントロールパルス幅 (ライト)			30			ns	③⑲
trec (CTRL)	コントロールリカバリ時間 (FIFO)	DMAインタフェース サイクルスチール使用時		30			ns	④⑩
		上記以外		12			ns	
treocr (CTRL)	コントロールリカバリ時間 (REG)			12			ns	④⑪
twr (CTRL)	コントロールパルス幅 (リード)			30			ns	④⑫
tsu (D)	データセットアップ時間			10			ns	④⑬
th (D)	データホールド時間			0			ns	④⑭
tsu (Dend)	DEND入力セットアップ時間			10			ns	④⑮
th (Dend)	DEND入力ホールド時間		0			ns	④⑯	
tw (cycle1)	FIFO・レジスタアクセスサイクル時間	セパレートバスの時 8/16ビットFIFOアクセス (④⑰-2) 該当のケース以外)	60			ns	④⑰-1	
		マルチプレクスバスの時、 8/16ビットFIFOアクセス	84			ns		
tw (cycle2)	DMAインタフェース DACKi_Nのみ 使用時FIFOアクセス サイクル時間	8ビットFIFOアクセス	30			ns	④⑰-2	
		16ビットFIFOアクセス	50			ns		
tw (CTRL_B)	バースト転送時 コントロールパルス幅	スプリットバス使用時で Obus=0の時	12			ns	④⑱	
		スプリットバス使用時で Obus=1の時*1	30			ns		
		CPUバスを使用したDMA 転送時	30			ns		
trec (CTRL_B)	バースト転送時コントロールリカバリ時間		12			ns	④⑲	
tsud (A)	DMAアドレスライトセットアップ時間		10			ns	⑤⑩	
thd (A)	DMAアドレスライトホールド時間		0			ns	⑤⑪	
tw (RST)	リセットパルス幅時間		100			ns	⑤⑫	
tst (RST)	リセット後コントロールスタート幅時間		500			ns	⑤⑬	

凡例 tsuw : ライトセットアップ時間、tsur : リードセットアップ時間、tsu : セットアップ時間



thw : ライトホールド時間、thr : リードホールド時間、th : ホールド時間、tw : パルス幅、twr : リードパルス幅  
tdwr : リードライトディレイ時間、trec : リカバリ時間、trecr : レジスタリカバリ時間  
tsud : DMAセットアップ時間、thd : DMAホールド時間、tst : スタート時間  
(A) : アドレス、(D) : データ、(CTRL) : コントロール、(CTRL\_B) : バーストコントロール、(ALE) : ALE

## 4.10 タイミング図一覧

### 4.10.1 レジスタアクセスタイミング図一覧

バス仕様	アクセス	R/W	INDEX	備考
セパレートバス	CPU	WRITE	4.11.1.1	CPUバス0
セパレートバス	CPU	READ	4.11.1.2	CPUバス0
マルチプレクスバス	CPU	WRITE	4.11.2.1	CPUバス0
マルチプレクスバス	CPU	READ	4.11.2.2	CPUバス0

### 4.10.2 FIFOポートアクセスタイミング図一覧

アクセス	バスI/F仕様	動作時のI/F仕様	DFORM ビット設 定値	OBUS ビット 設定値	R/W	備考	INDEX
CPU	CPUバス0	セパレートバス	—		WRITE	—	
CPU	CPUバス0	セパレートバス	—		READ	—	4.11.1.2
CPU	CPUバス0	マルチプレクスバス	—		WRITE	—	4.11.2.1
CPU	CPUバス0	マルチプレクスバス	—		READ	—	4.11.2.2
DMA	CPUバス2	ACK+RD/WR	010		WRITE	サイクルスチール転送	4.11.3.1 *1
DMA	CPUバス2	ACK+RD/WR	010		READ	サイクルスチール転送	4.11.3.2 *1
DMA	CPUバス1	セパレートバス	000		WRITE	サイクルスチール転送	4.11.3.3
DMA	CPUバス1	セパレートバス	000		READ	サイクルスチール転送	4.11.3.4
DMA	SPLITバス2	ACKのみ	100	1	WRITE	サイクルスチール転送	4.11.3.5 *1
DMA	SPLITバス2	ACKのみ	100	1	READ	サイクルスチール転送	4.11.3.6 *1
DMA	SPLITバス2	ACKのみ	100	0	WRITE	サイクルスチール転送	4.11.3.5 *1
DMA	SPLITバス2	ACKのみ	100	0	READ	サイクルスチール転送	4.11.3.7 *1
DMA	CPUバス3	ACKのみ	011		WRITE	サイクルスチール転送	0 *1
DMA	CPUバス3	ACKのみ	011		READ	サイクルスチール転送	4.11.3.9 *1
DMA	CPUバス1	マルチプレクスバス	000		WRITE	サイクルスチール転送	4.11.4.1
DMA	CPUバス1	マルチプレクスバス	000		READ	サイクルスチール転送	4.11.4.2
DMA	CPUバス2	ACK+RD/WR	010		WRITE	バースト転送	4.11.5.1 *1
DMA	CPUバス2	ACK+RD/WR	010		READ	バースト転送	4.11.5.2 *1
DMA	CPUバス1	セパレートバス	000		WRITE	バースト転送	4.11.5.3
DMA	CPUバス1	セパレートバス	000		READ	バースト転送	4.11.5.4
DMA	SPLITバス2	ACKのみ	100	1	WRITE	バースト転送	4.11.5.5 *1
DMA	SPLITバス2	ACKのみ	100	1	READ	バースト転送	4.11.5.6 *1
DMA	SPLITバス2	ACKのみ	100	0	WRITE	バースト転送	4.11.5.5 *1
DMA	SPLITバス2	ACKのみ	100	0	READ	バースト転送	4.11.5.7 *1
DMA	CPUバス3	ACKのみ	011		WRITE	バースト転送	0 *1
DMA	CPUバス3	ACKのみ	011		READ	バースト転送	4.11.5.9 *1
DMA	CPUバス1	マルチプレクスバス	000		WRITE	バースト転送	4.11.6.1
DMA	CPUバス1	マルチプレクスバス	000		READ	バースト転送	4.11.6.2

\*1)アドレス信号を未使用のため、セパレートバスもマルチプレクスバスも同じタイミングになります。

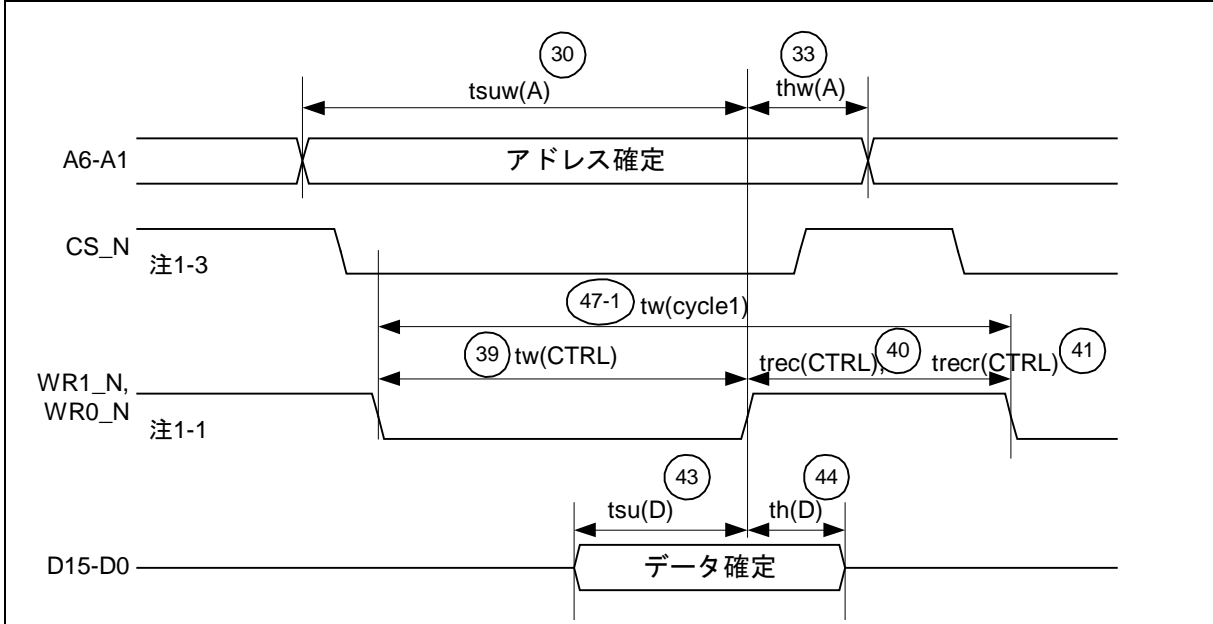
※ 読み書きタイミングはコントロール信号で行われます。コントロール信号が複数信号の組み合わせで構成される場合は立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

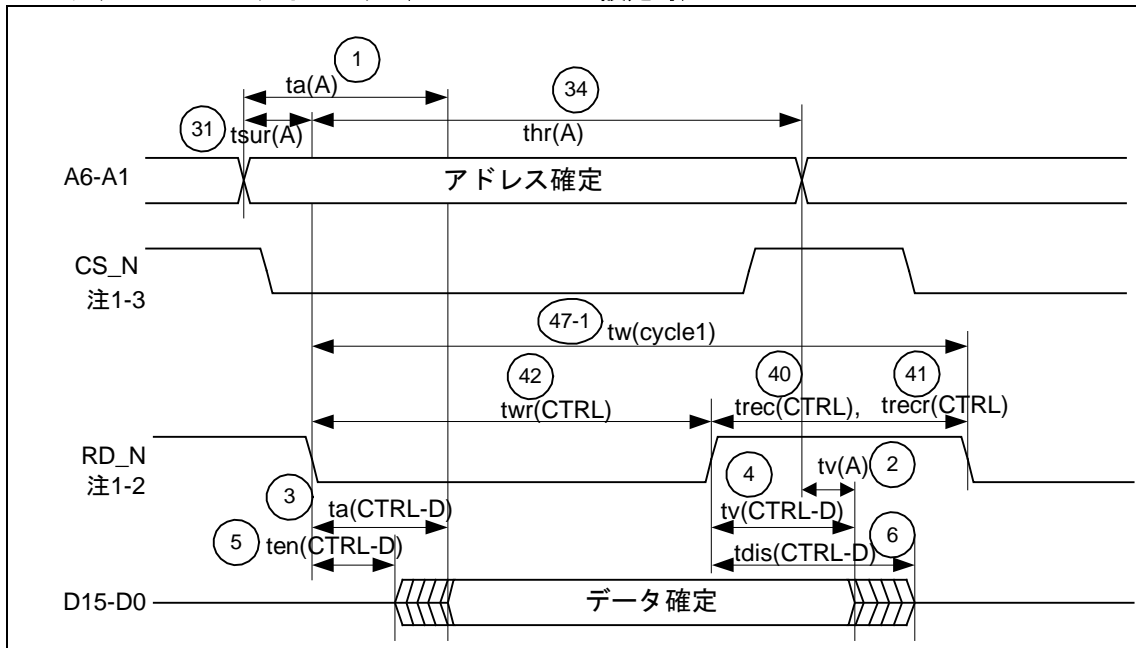
## 4.11 タイミング図

### 4.11.1 CPUアクセスタイミング (セパレートバス設定時)

#### 4.11.1.1 CPUアクセス Write タイミング (セパレートバス設定時)



#### 4.11.1.2 CPUアクセス Read タイミング (セパレートバス設定時)



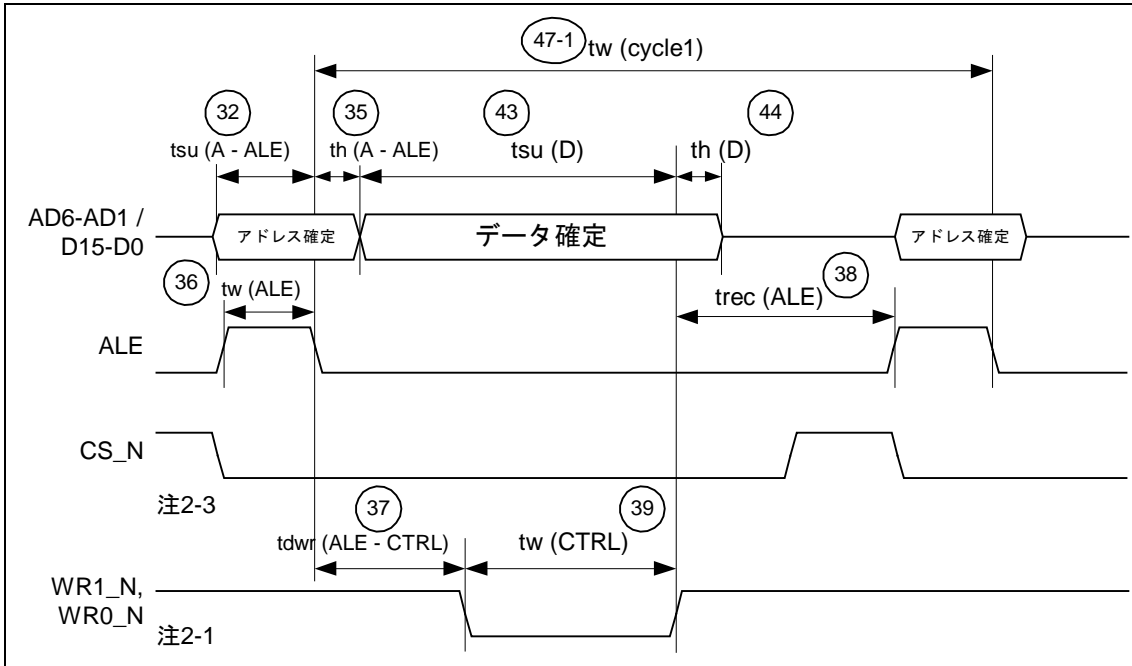
注1-1：書き込み時のコントロール信号はCS\_N、WR1\_N、WR0\_Nの組み合わせになります。

注1-2：読み出し時のコントロール信号はCS\_N、RD\_Nの組み合わせになります。

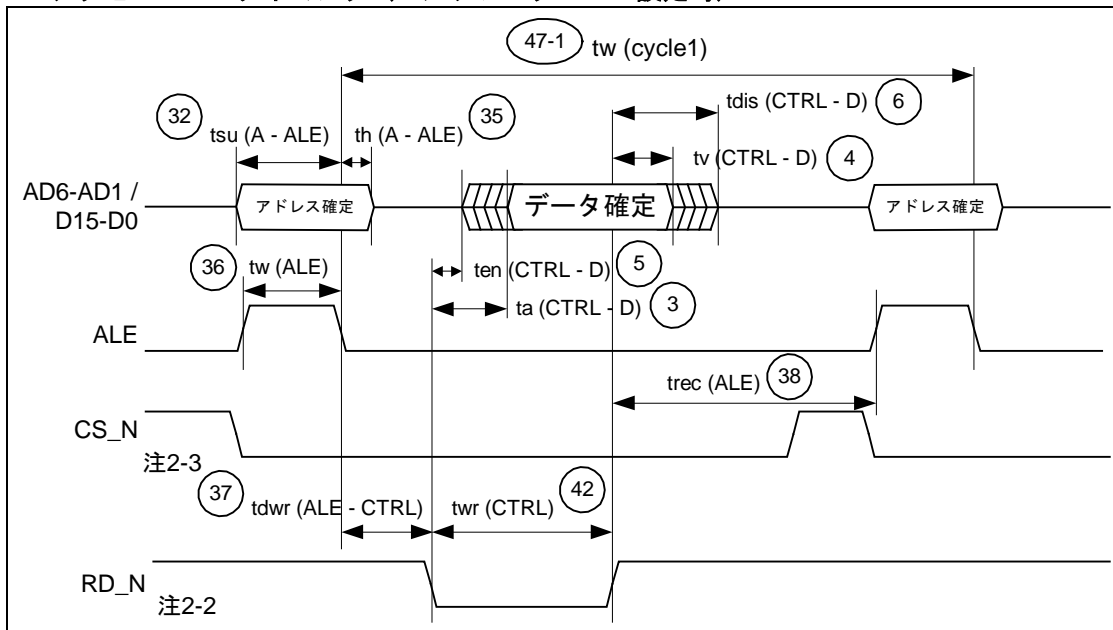
注1-3：CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.11.2 CPUアクセスタイミング (マルチプレクスバス設定時)

4.11.2.1 CPU アクセス Write タイミング (マルチプレクスバス設定時)



4.11.2.2 CPU アクセス Read タイミング (マルチプレクスバス設定時)



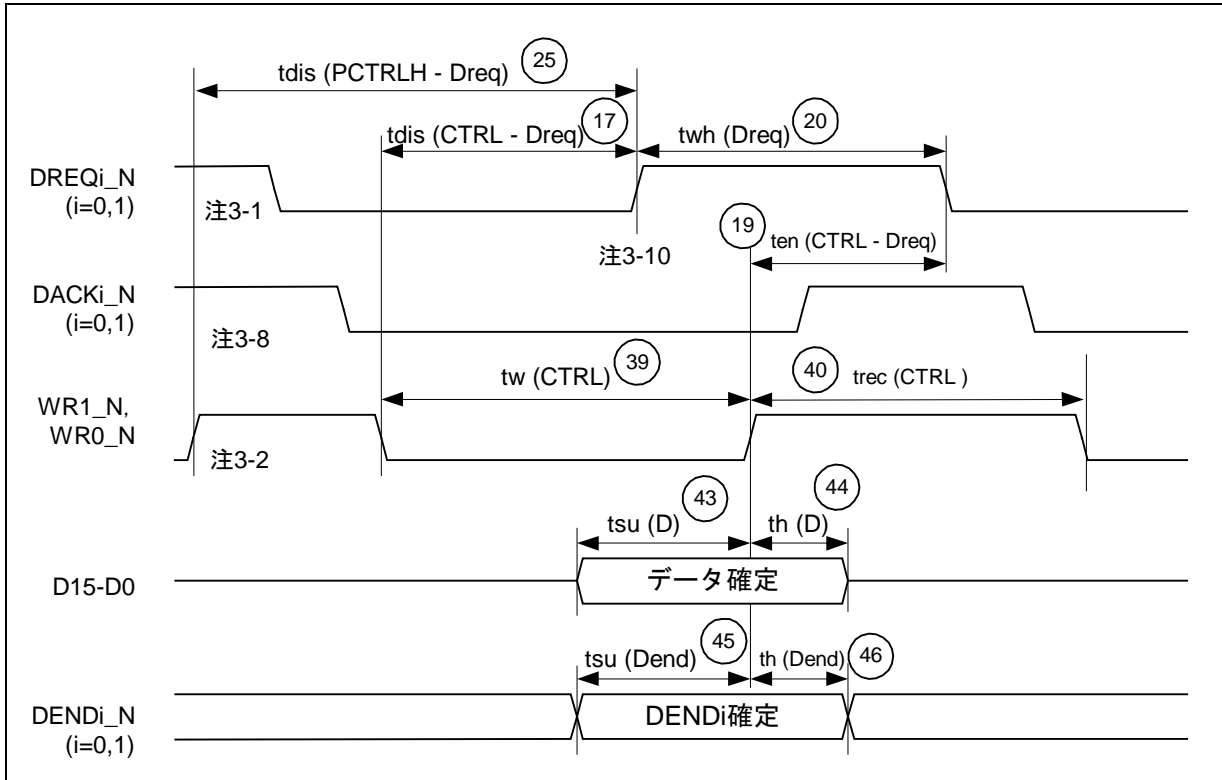
注2-1: 書き込み時のコントロール信号はCS\_N、WR1\_N、WR0\_Nの組み合わせになります。

注2-2: 読み出し時のコントロール信号はCS\_N、RD\_Nの組み合わせになります。

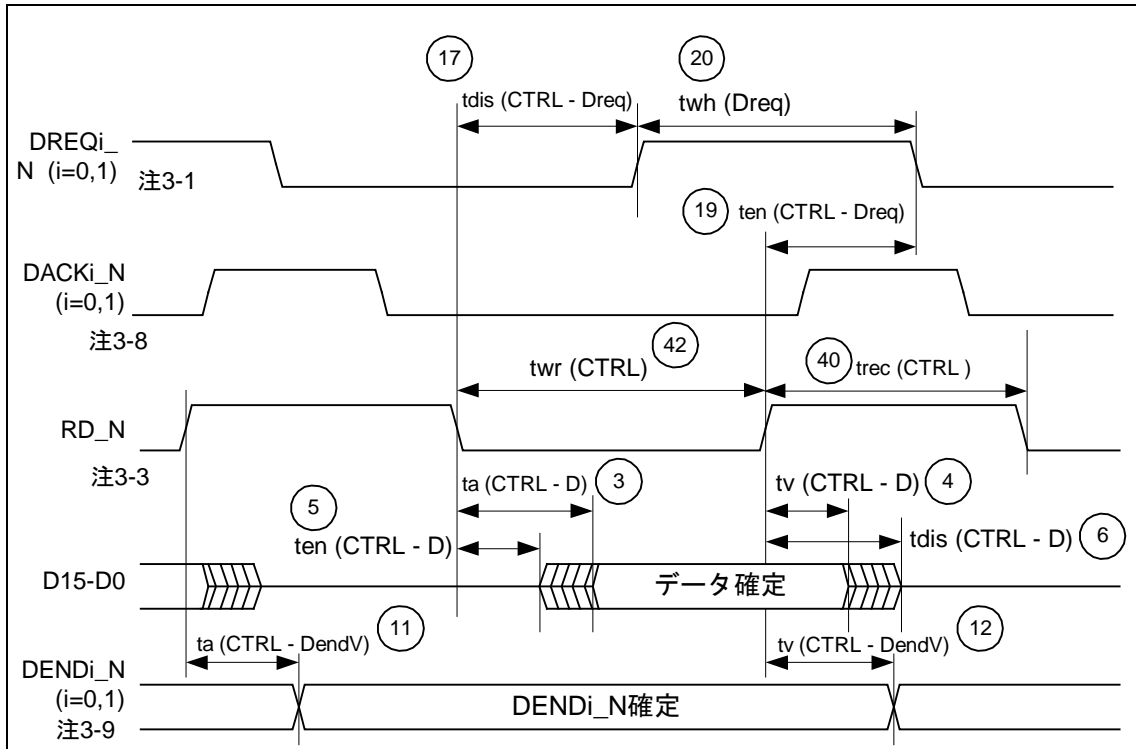
注2-3: CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.11.3 DMAアクセスタイミング (サイクルスチール転送、セパレートバス設定時)

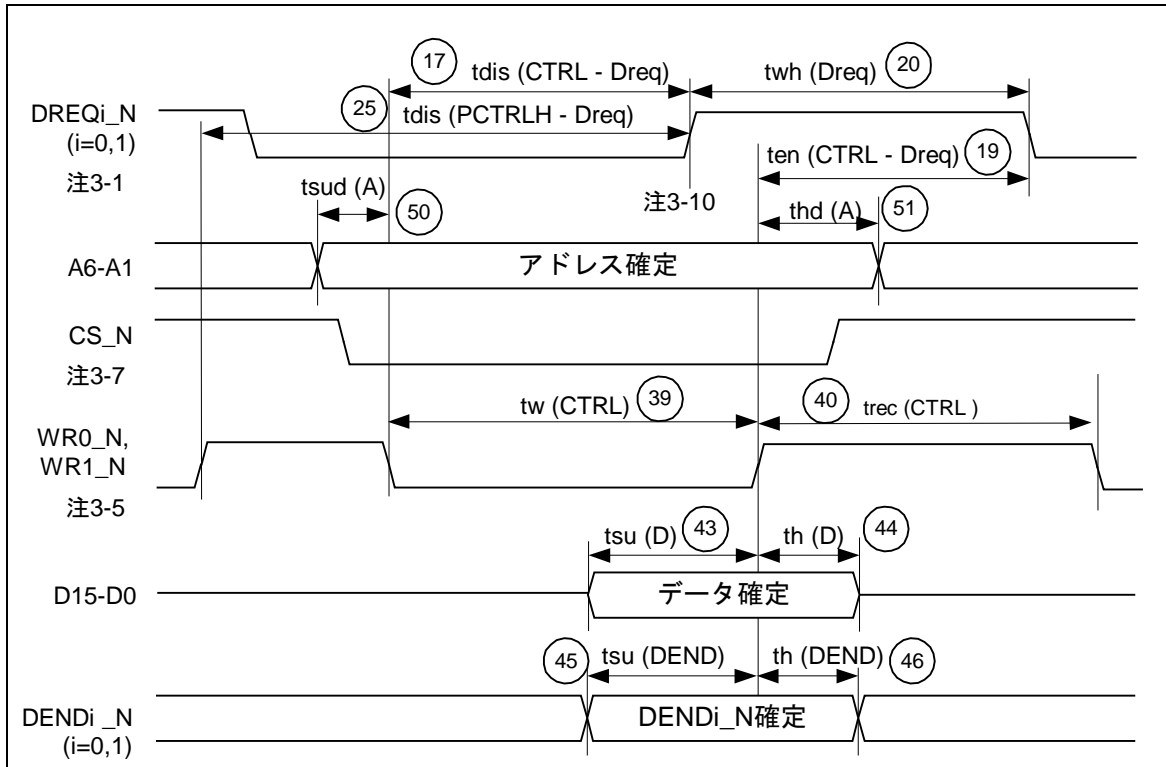
4.11.3.1 DMA サイクルスチール転送 Write タイミング (CPU バスアドレス未使用 : DFORM=010)



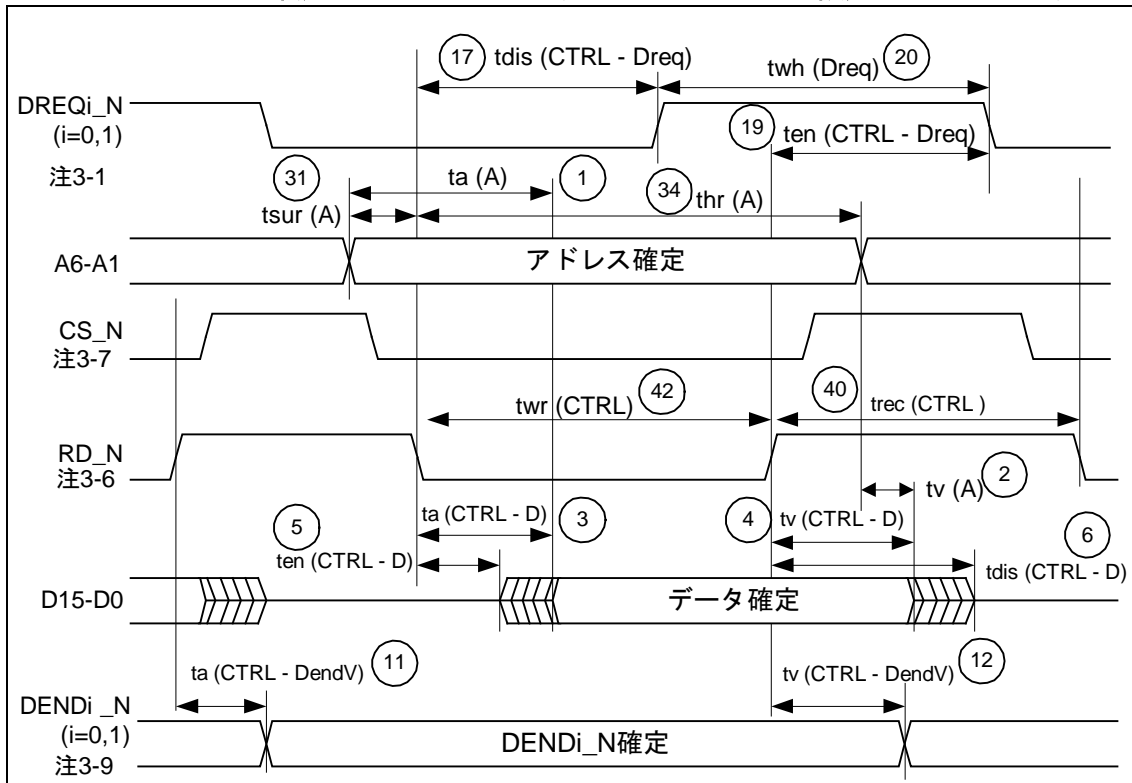
4.11.3.2 DMA サイクルスチール転送 Read タイミング (CPU バスアドレス未使用 : DFORM=010)



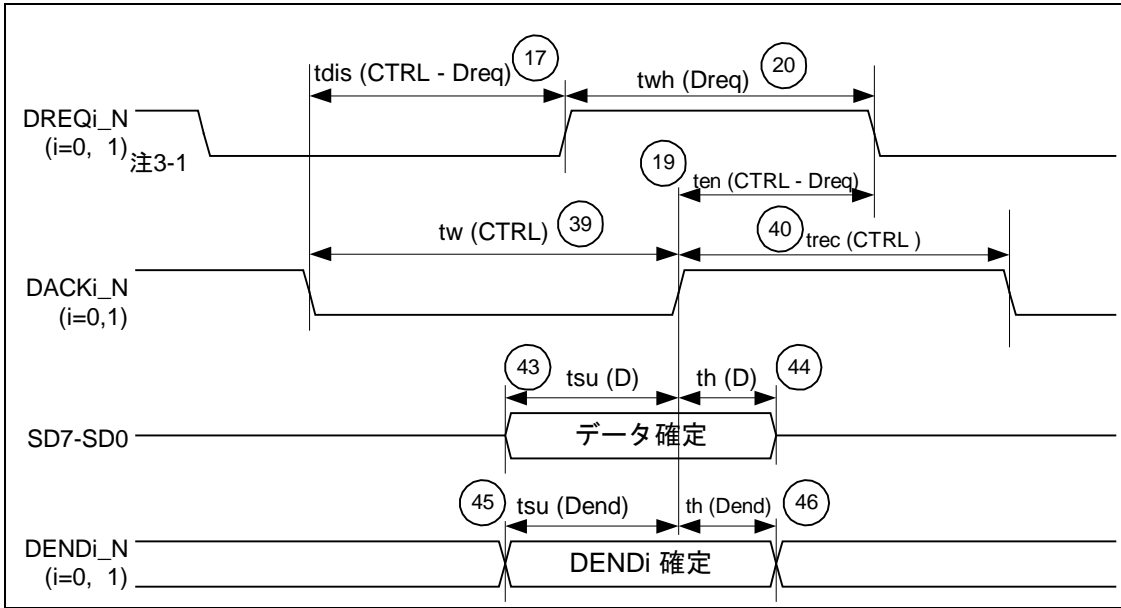
4.11.3.3 DMA サイクルスチール転送 Write タイミング (CPU セパレートバス設定 : DFORM=000)



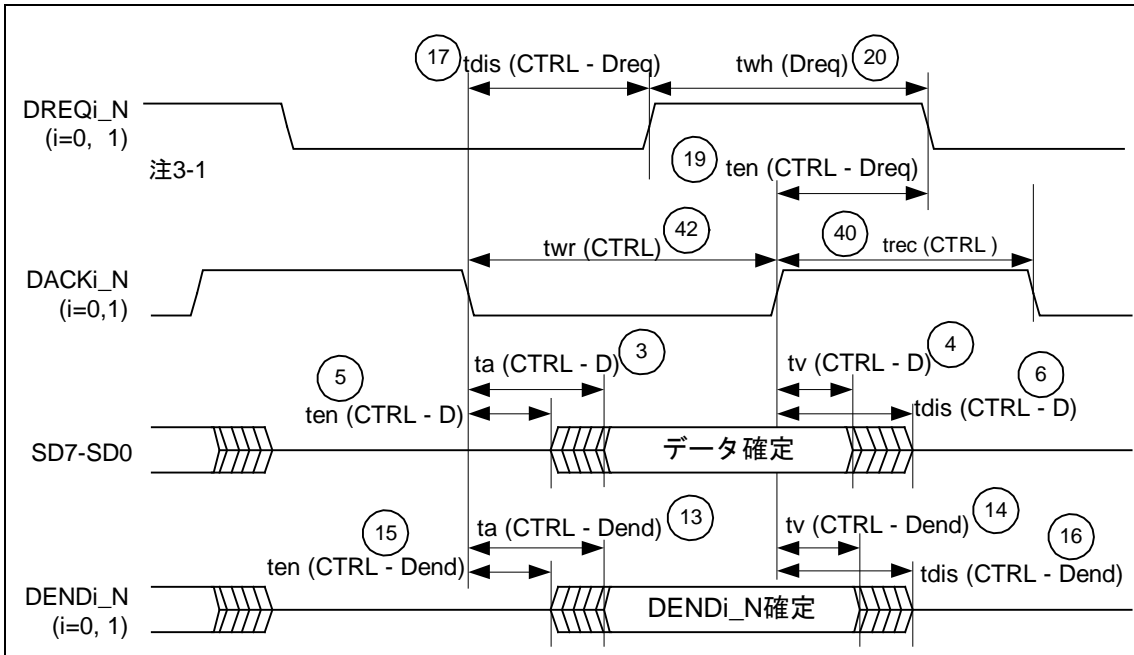
4.11.3.4 DMA サイクルスチール転送 Read タイミング (CPU セパレートバス設定 : DFORM=000)



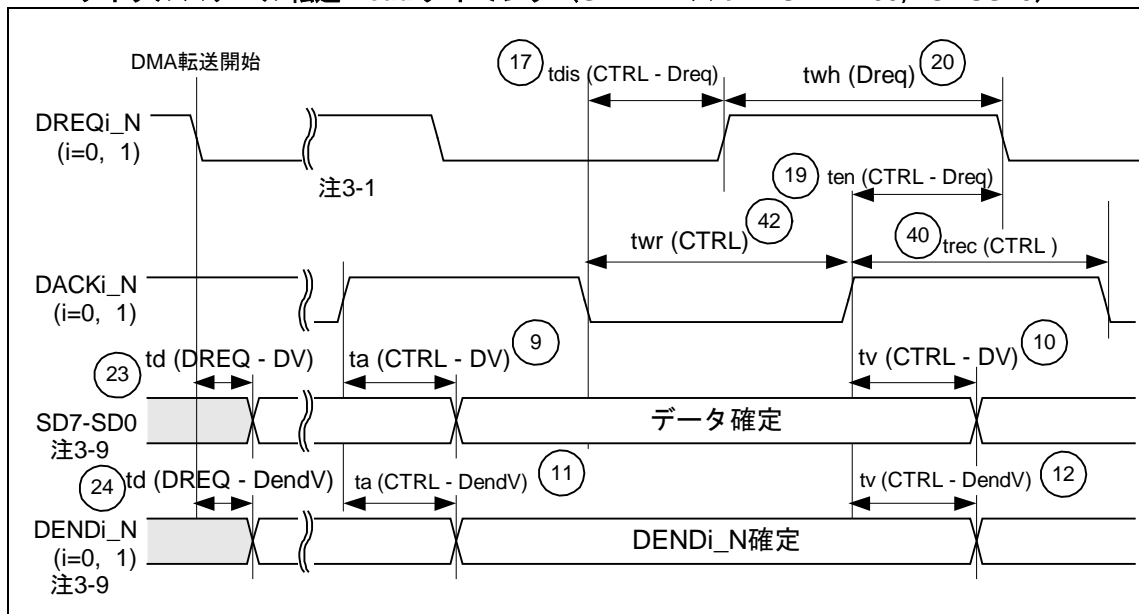
4.11.3.5 DMA サイクルスチール転送 Write タイミング (SPLIT バス : DFORM=100, OBUS=1/0)



4.11.3.6 DMA サイクルスチール転送 Read タイミング (SPLIT バス : DFORM=100, OBUS=1)

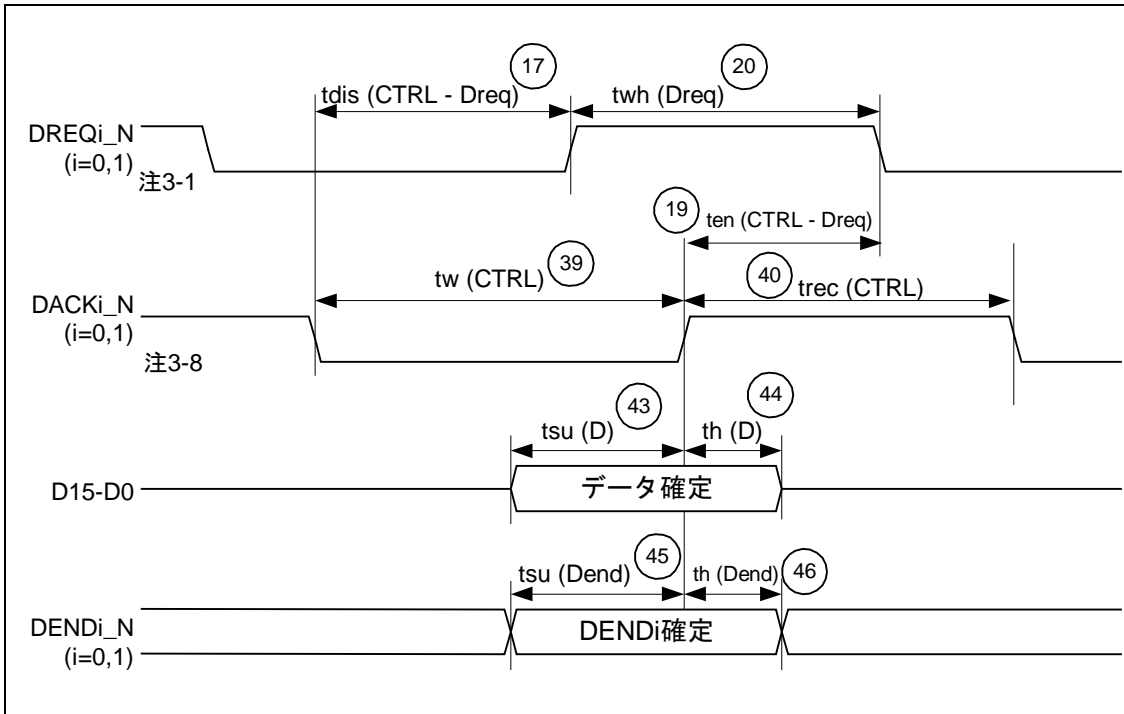


4.11.3.7 DMA サイクルスチール転送 Read タイミング (SPLIT バス : DFORM=100, OBUS=0)

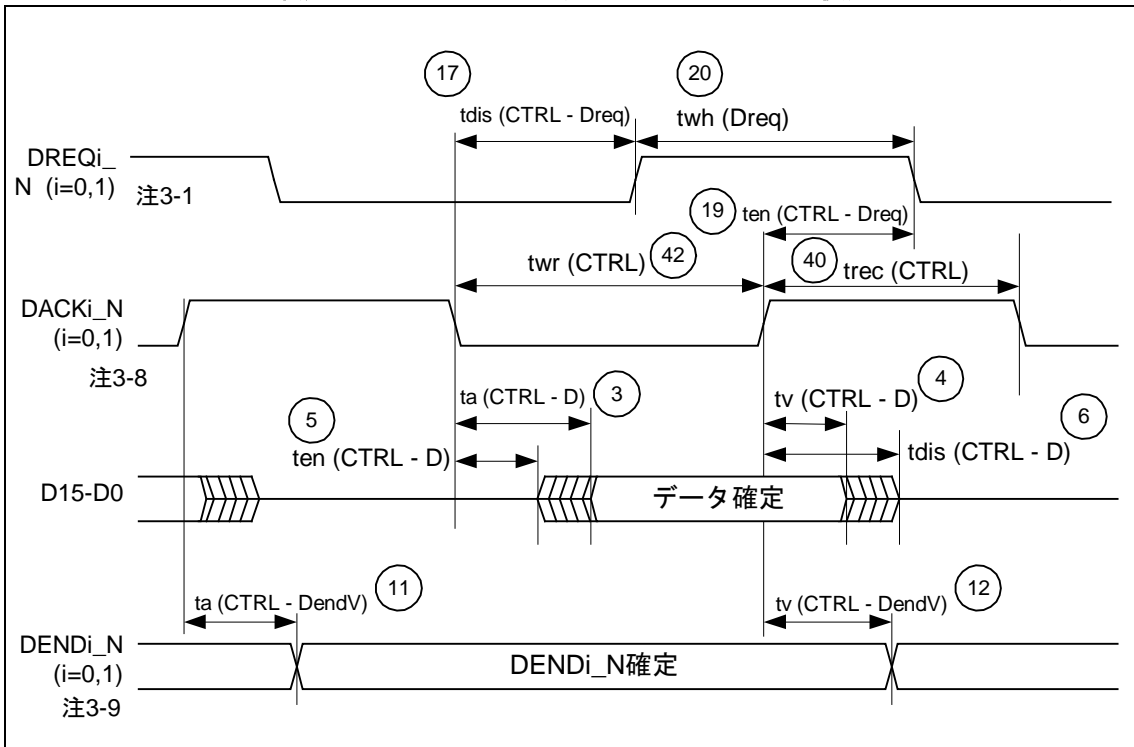




4.11.3.8 DMA サイクルスチール転送 Write タイミング (CPU バスアドレス未使用 : DFORM=011)



4.11.3.9 DMA サイクルスチール転送 Read タイミング (CPU バスアドレス未使用 : DFORM=011)



注3-1: DREQ<sub>i</sub>\_N (i=0, 1)のインアクティブ条件は、コントロール信号です。次のDMA転送がある場合にDREQ<sub>i</sub>\_Nがアクティブとなるまでの時間は、 $t_{wh}$  (Dreq)、または $t_{en}$ (CTRL-Dreq)の遅い規格が有効です。

注3-2: 書き込み時のコントロール信号はDACK<sub>i</sub>\_N、WR1\_N、WR0\_Nの組み合わせになります。

注3-3: 読み出し時のコントロール信号はDACK<sub>i</sub>\_N、RD\_Nの組み合わせになります。

注3-4: 書き込み時のコントロール信号はDACK0、DSTRB0\_Nの組み合わせになります。

注3-5: 書き込み時のコントロール信号はCS\_N、WR0\_N、WR1\_Nの組み合わせになります。

注3-6: 読み出し時のコントロール信号はCS\_N、RD\_Nの組み合わせになります。

注3-7: CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

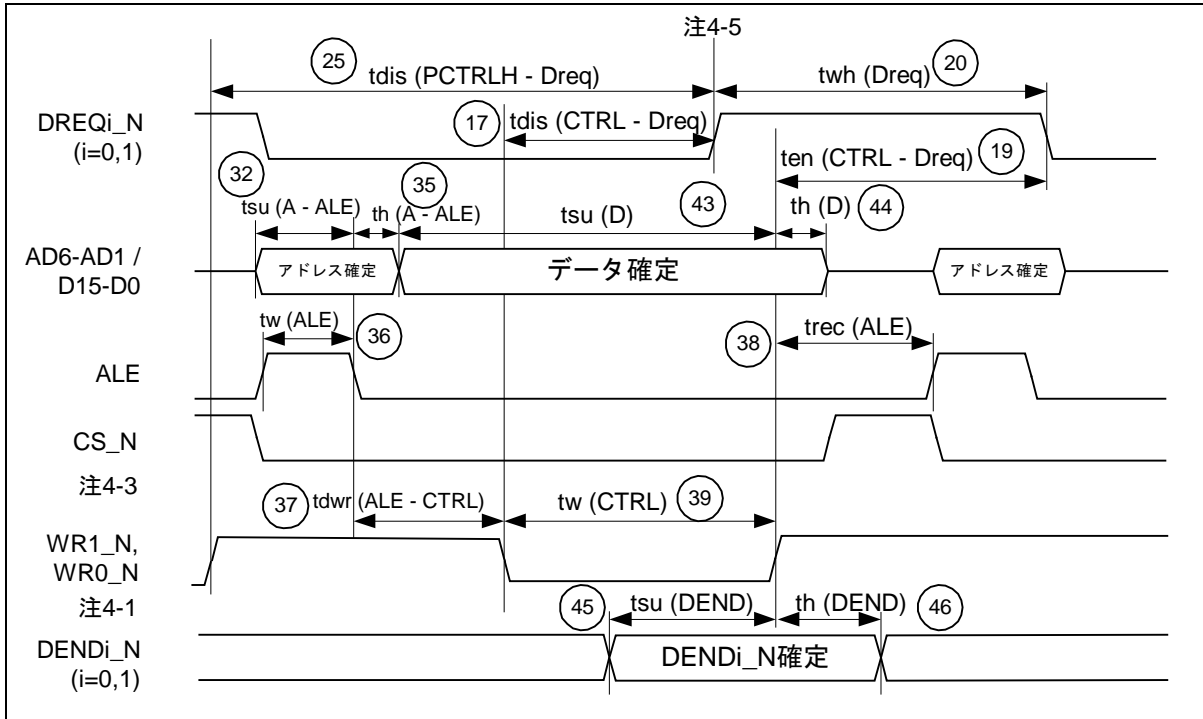
注3-8: DACK<sub>i</sub>\_Nが立ち上がる(または立ち下がる)タイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。

注3-9: 受信データが1バイトしかない場合、データ出力確定時間は“(23)  $t_{d}(DREQ-DV)$ ”、DEND信号出力確定時は“(24)  $t_{d}(DREQ-DendV)$ ”となります。

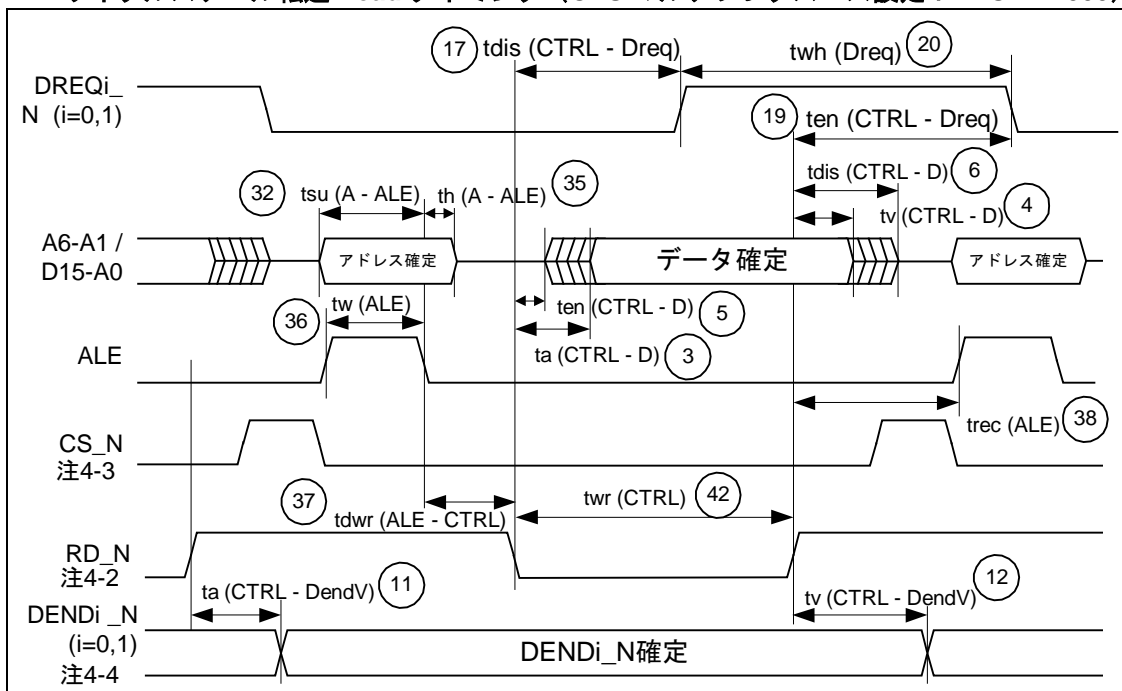
注3-10: 次のDMA転送がある場合にDREQ<sub>i</sub>\_N (i=0, 1)がアクティブとなるまでの時間は、 $t_{dis}$  (CTRL-Dreq)、または $t_{dis}$  (PCTRLH · Dreq)の遅い規格が有効です。

4.11.4 DMAアクセスタイミング (サイクルスチール転送、マルチプレクスバス設定時)

4.11.4.1 DMA サイクルスチール転送 Write タイミング (CPU マルチプレクスバス設定 : DFORM=000)



4.11.4.2 DMA サイクルスチール転送 Read タイミング (CPU マルチプレクスバス設定 : DFORM=000)



注4-1 : 書き込み時のコントロール信号はCS\_N、WR0\_N、WR1\_Nの組み合わせになります。

注4-2 : 読み出し時のコントロール信号はCS\_N、RD\_Nの組み合わせになります。

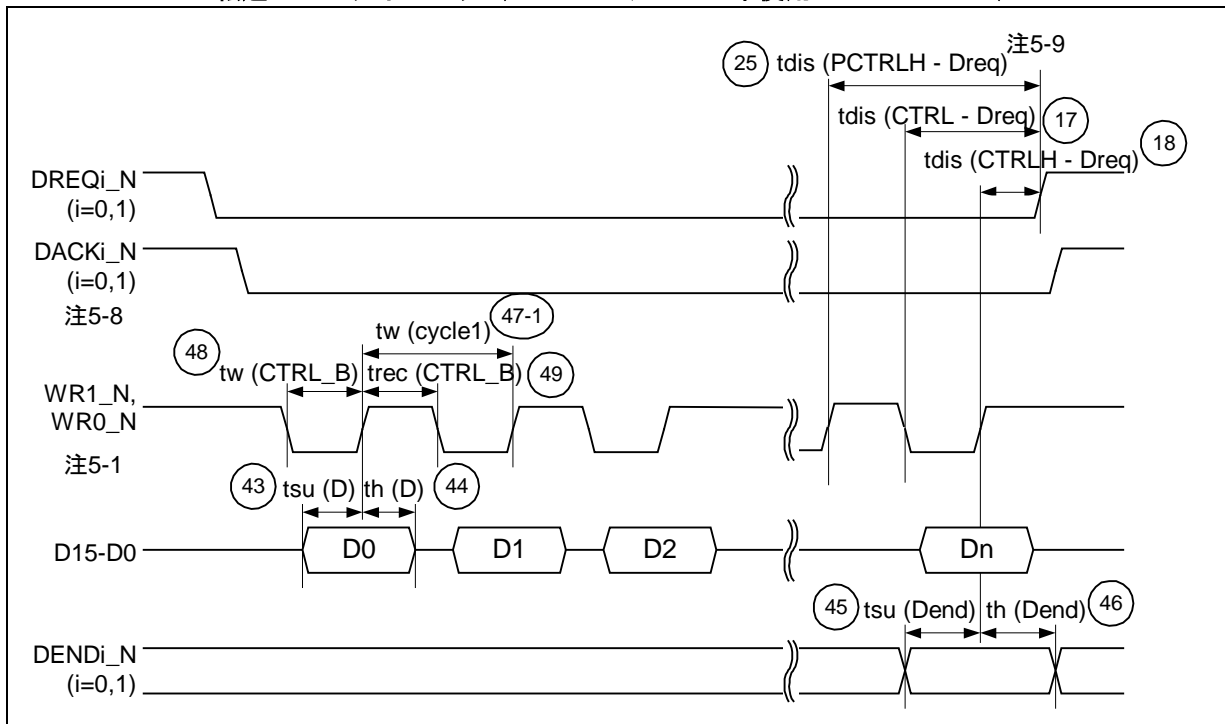
注4-3 : CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

注4-4 : 受信データが1バイトしかない場合、DEND信号出力確定時は“(24)  $t_d(DREQ-DendV)$ ”となります。

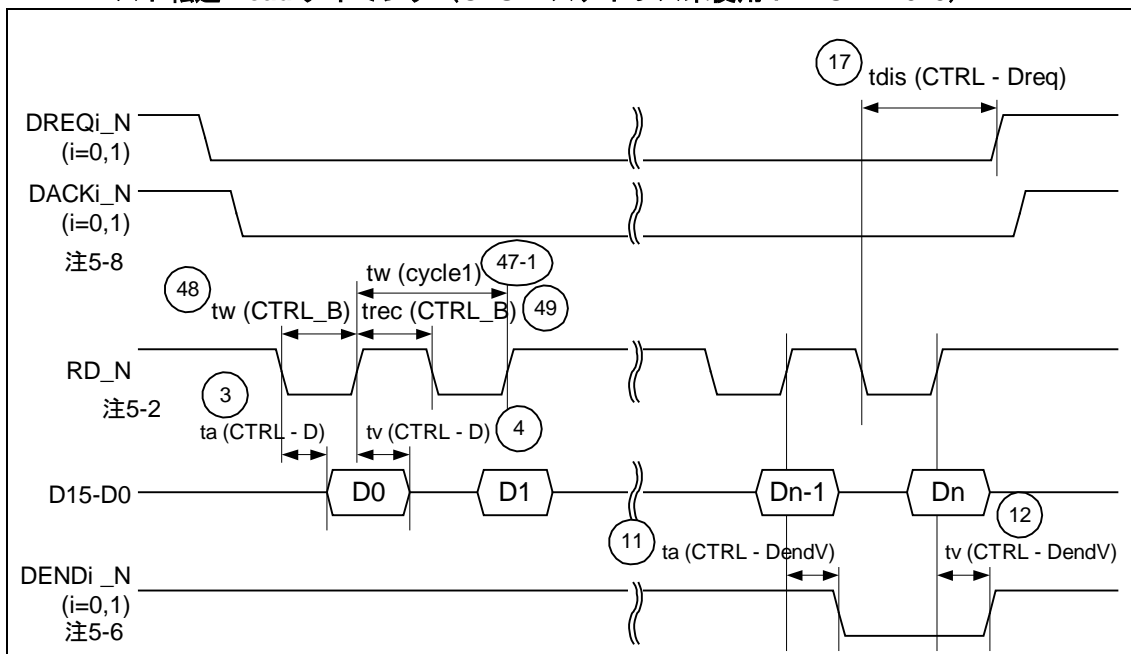
注4-5：次のDMA転送がある場合にDREQ<sub>i</sub>\_N (i=0, 1)がアクティブとなるまでの時間は、 $t_{dis} (CTRL - Dreq)$ 、または $t_{dis} (PCTRLH - Dreq)$ の遅い規格が有効です。

4.11.5 DMAアクセスタイミング (バースト転送、セパレートバス設定時)

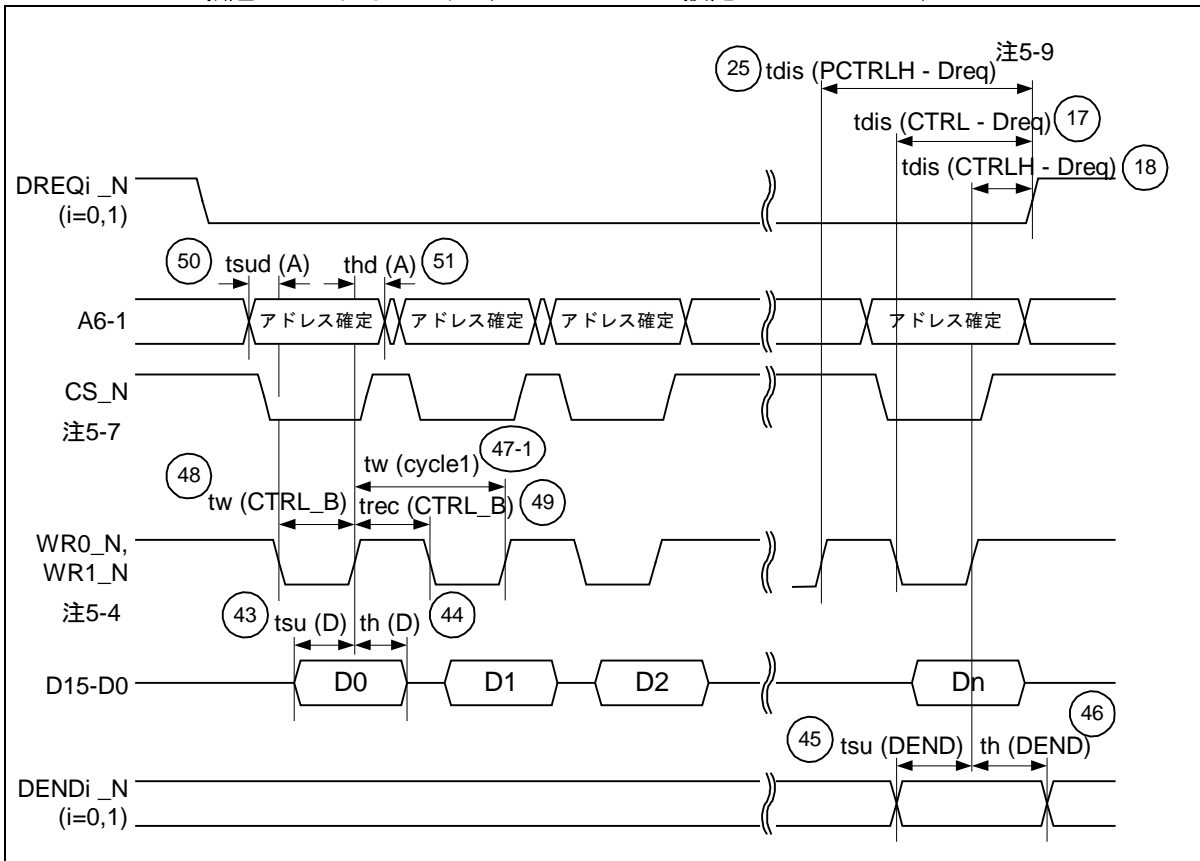
4.11.5.1 DMA バースト転送 Write タイミング (CPU バスアドレス未使用 : DFORM=010)



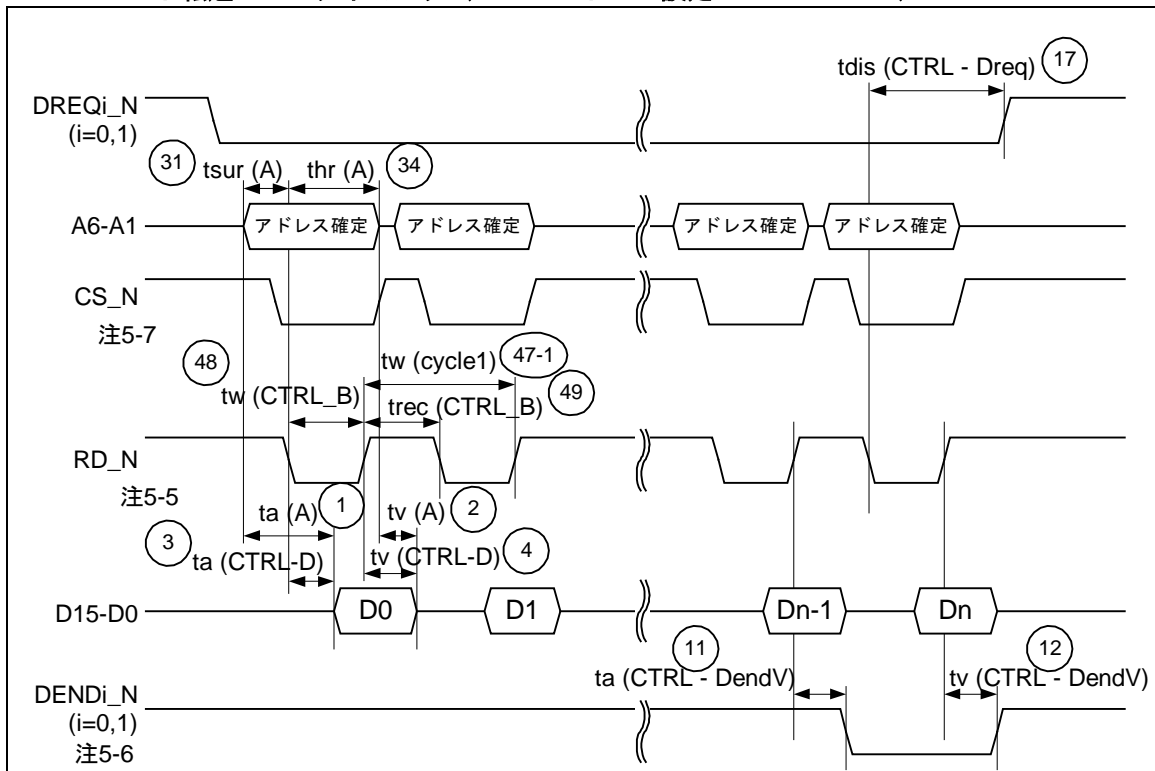
4.11.5.2 DMA バースト転送 Read タイミング (CPU バスアドレス未使用 : DFORM=010)



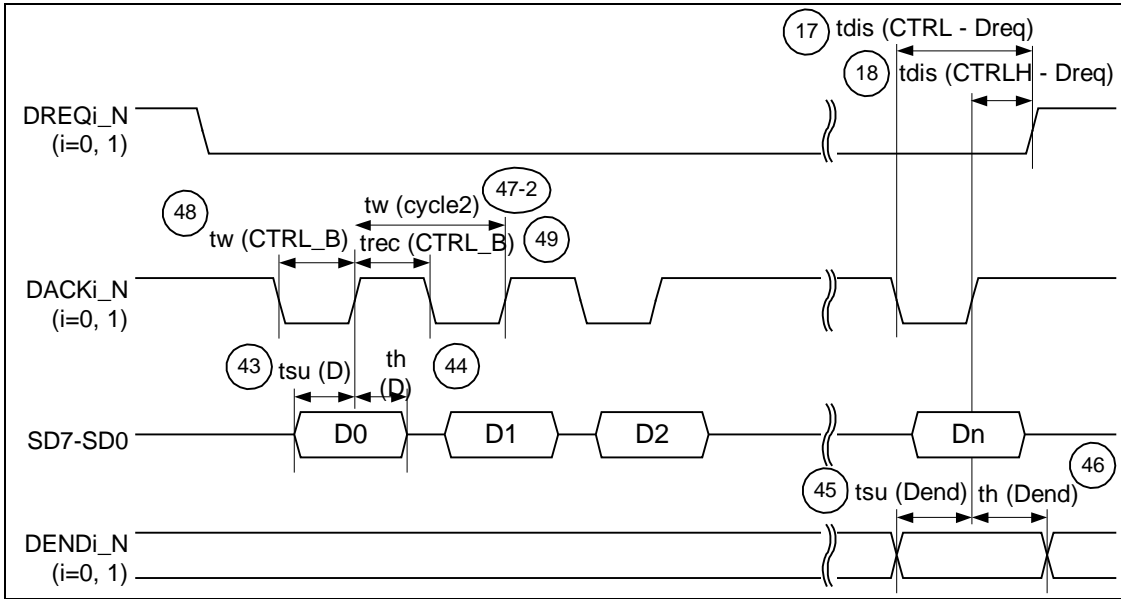
4.11.5.3 DMA バースト転送 Write タイミング (セパレートバス設定 : DFORM=000)



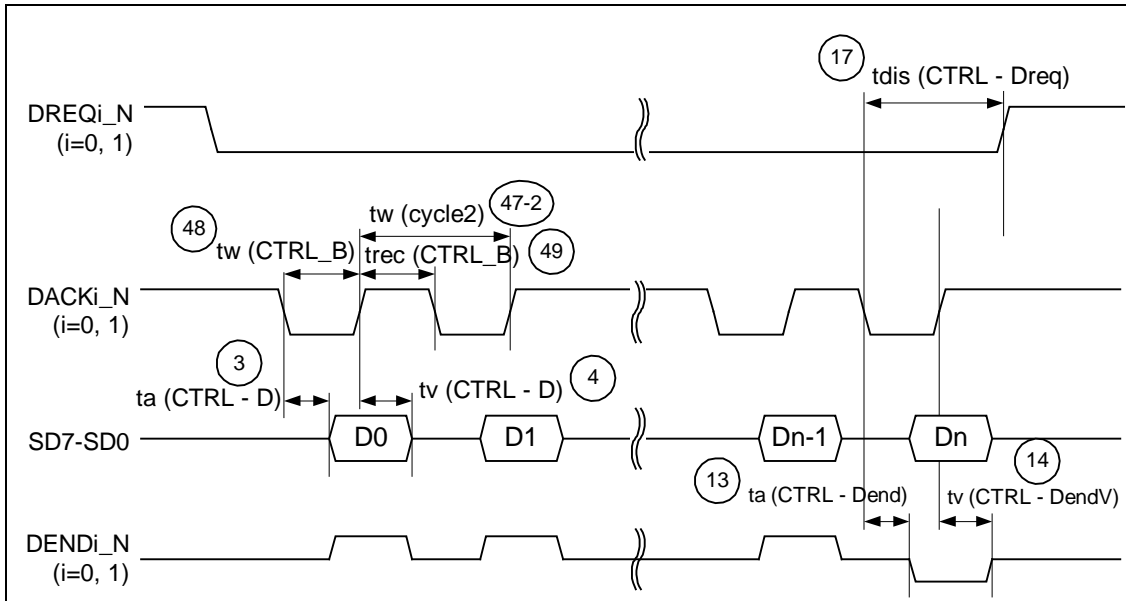
4.11.5.4 DMA バースト転送 Read タイミング (セパレートバス設定 : DFORM=000)



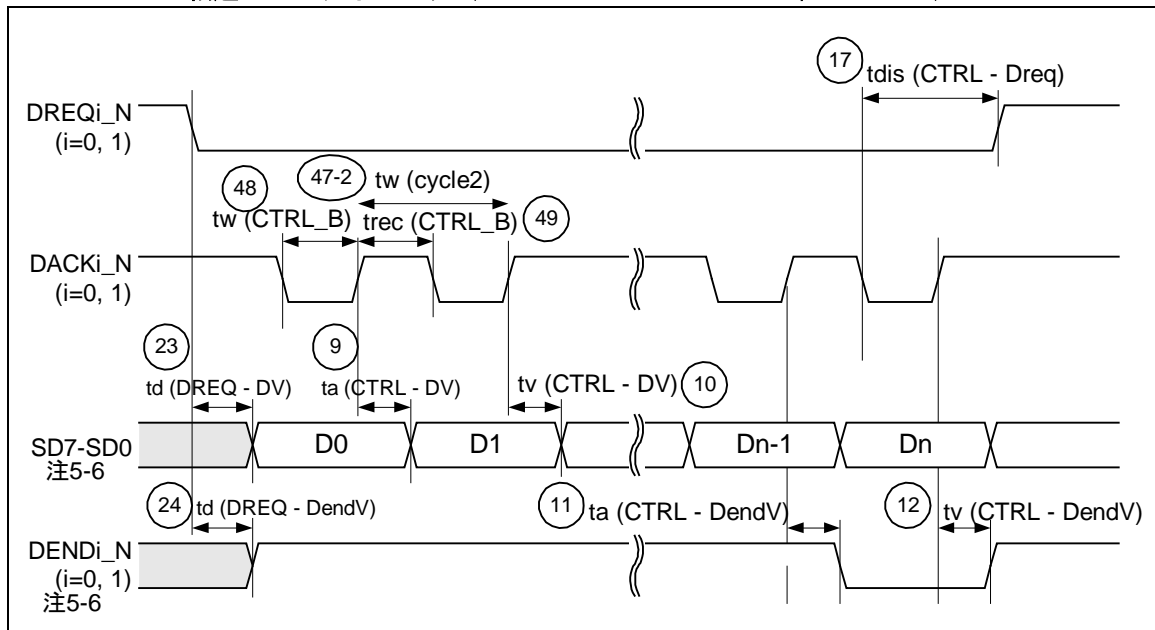
4.11.5.5 DMA バースト転送 Write タイミング (SPLIT バス : DFORM=100, OBUS=1/0)



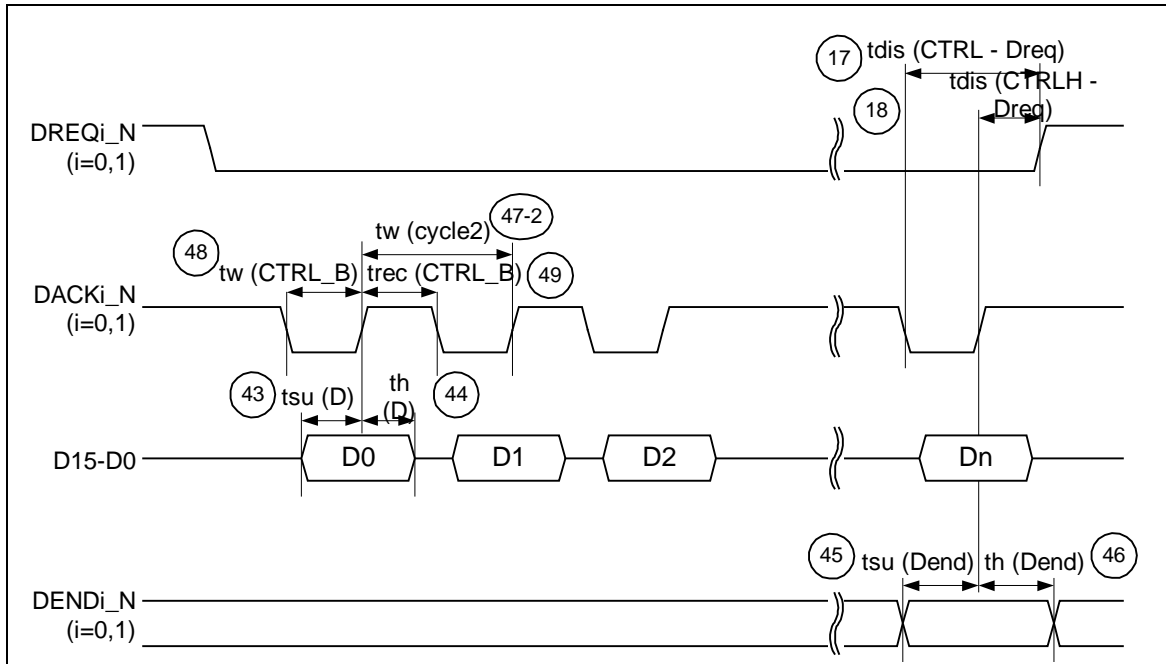
4.11.5.6 DMA バースト転送 Read タイミング (SPLIT バス : DFORM=100, OBUS=1)



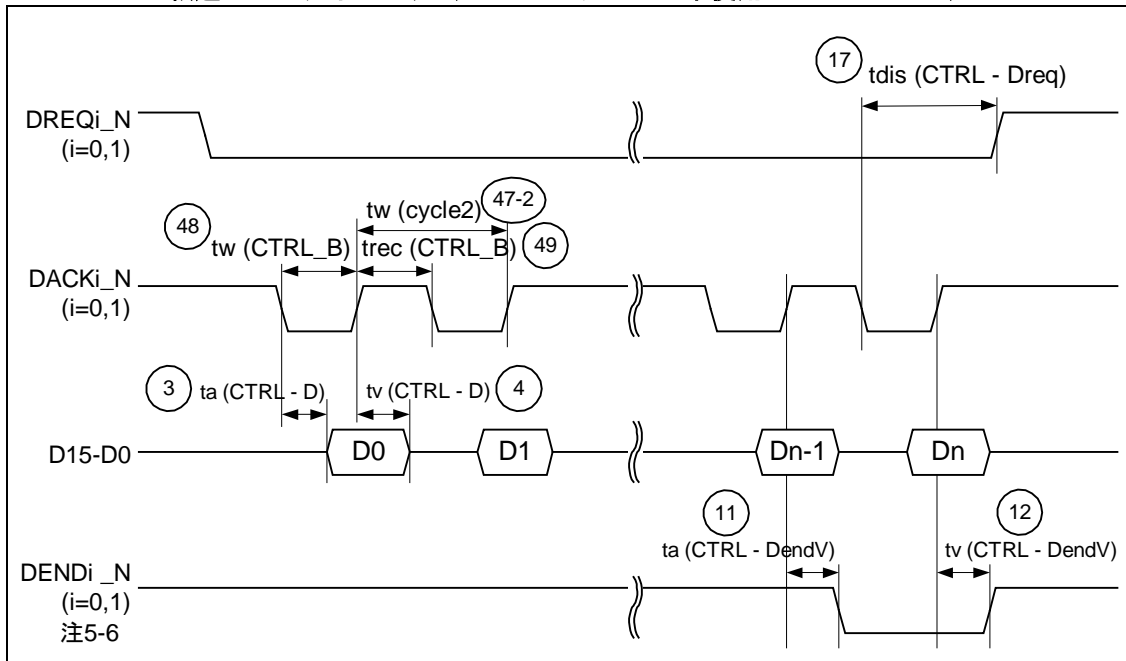
## 4.11.5.7 DMA バースト転送 Read タイミング (SPLIT バス : DFORM=100, OBUS=0)



4.11.5.8 DMA バースト転送 Write タイミング (CPU バスアドレス未使用 : DFORM=011)



4.11.5.9 DMA バースト転送 Read タイミング (CPU バスアドレス未使用 : DFORM=011)



- 注5-1: 書き込み時のコントロール信号はDACKi\_N(i=0, 1)、WR0\_N、WR1\_Nの組み合わせになります。
- 注5-2: 読み出し時のコントロール信号はDACKi\_N、RD\_Nの組み合わせになります。
- 注5-3: 書き込み時のコントロール信号はDACK0、DSTRB0\_Nの組み合わせになります。
- 注5-4: 書き込み時のコントロール信号はCS\_N、WR0\_N、WR1\_Nの組み合わせになります。
- 注5-5: 読み出し時のコントロール信号はCS\_N、RD\_Nの組み合わせになります。
- 注5-6: 受信データが1バイトしかない場合、データ出力確定時間は“(23) td(DREQ-DV)”、DEND信号出力確定時は“(24) td(DREQ-DendV)”となります。
- 注5-7: CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

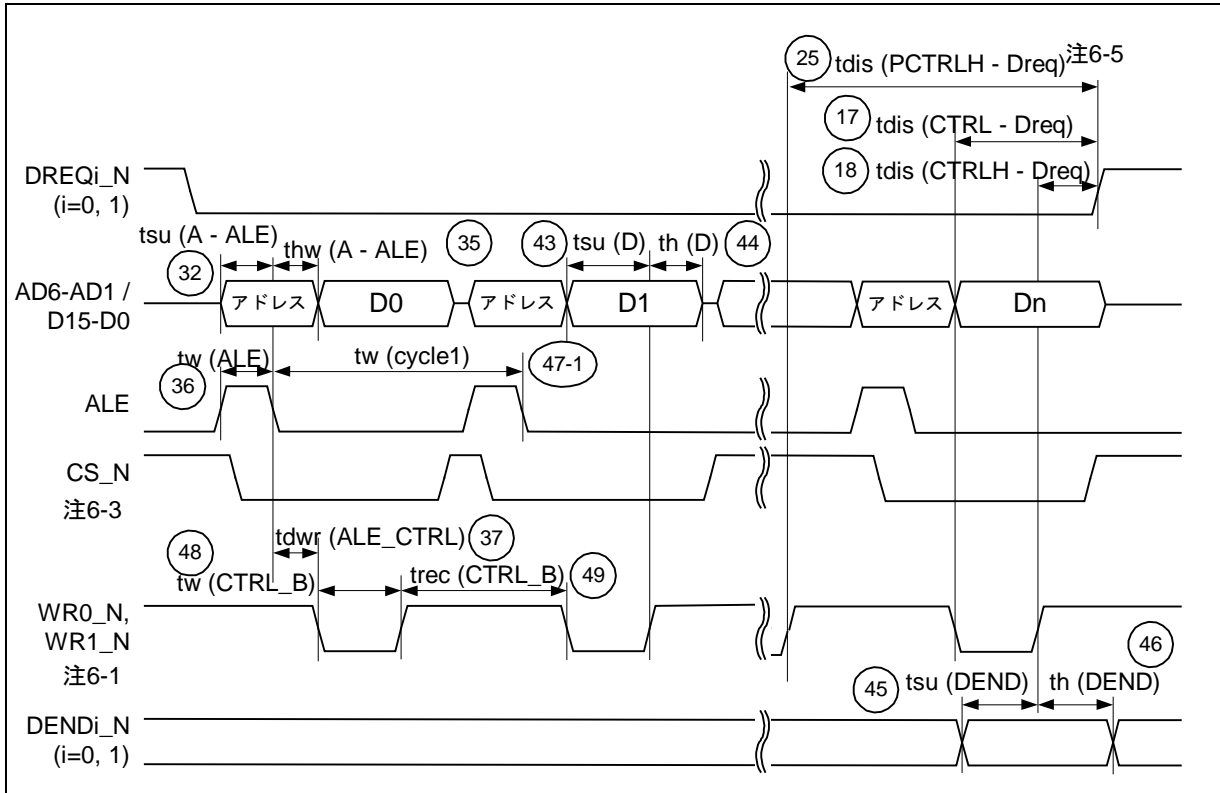


注5-8: DACK<sub>i</sub>\_Nが立ち上がる(または立ち下がる)タイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。

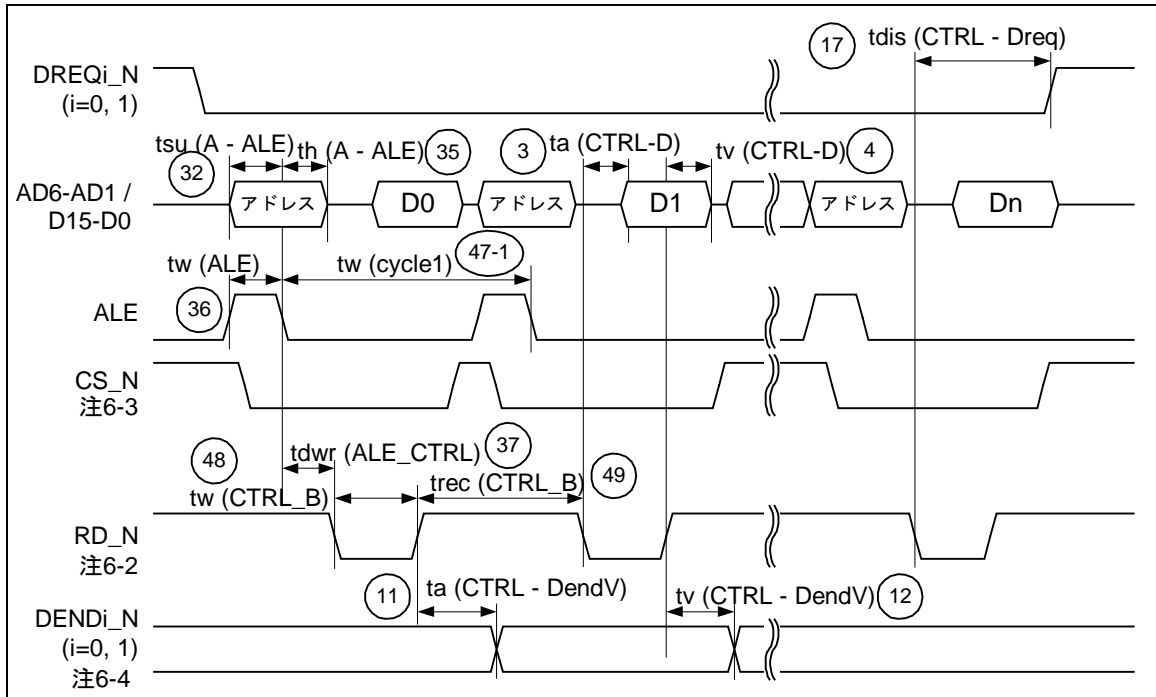
注5-9: 次のDMA転送がある場合にDREQ<sub>i</sub>\_N (i=0、1)がアクティブとなるまでの時間は、tdis (CTRL-Dreq)、またはtdis (PCTRLH - Dreq)の遅い規格が有効です。

4.11.6 DMAアクセスタイミング (バースト転送、マルチプレクスバス設定時)

4.11.6.1 DMA バースト転送 Write タイミング (CPU マルチプレクスバス設定 : DFORM=000)



4.11.6.2 DMA バースト転送 Read タイミング (CPU マルチプレクスバス設定 : DFORM=000)



注6-1：書き込み時のコントロール信号はCS\_N、WR0\_N、WR1\_Nの組み合わせになります。

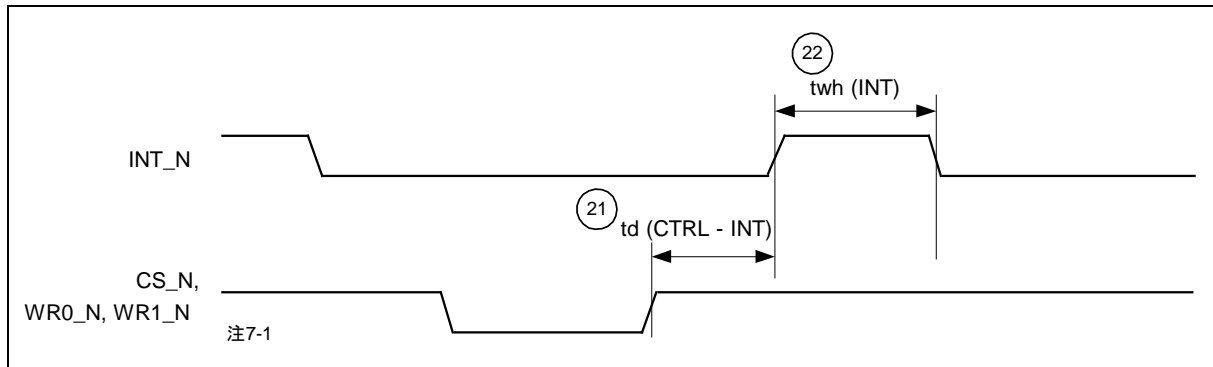
注6-2：読み出し時のコントロール信号はCS\_N、RD\_Nの組み合わせになります。

注6-3：CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0\_N、WR1\_Nを立ち下げないでください。RD\_NまたはWR0\_N、WR1\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

注6-4：受信データが1バイトしかない場合、DEND信号出力確定時は“(24) td(DREQ-DendV)”となります。

注6-5：次のDMA転送がある場合にDREQ<sub>i</sub>\_N (i=0、1)がアクティブとなるまでの時間は、tdis (CTRL-Dreq)、またはtdis (PCTRLH - Dreq)の遅い規格が有効です。

## 4.12 割り込みタイミング



注7-1: CS\_N、WR0\_N、WR1\_Nの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

改訂記録	R8A66593 Data Sheet
------	---------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.10.26		Rev.1.00 作成
1.01	2013.06.28	P.14	ビットシンボル一覧表の SYSCFG0 レジスタに DCFM ビットを追加
		P.16	SYSCFG0 レジスタに DCFM ビットを追加
		P.43	2.11.1 VBINT の項に VBUS 接続検出時、VBUS 切断検出時の処理内容を追記
		P.102	表 3.13 バッファメモリマップ の誤記訂正 (パイプ 1-5 のバッファサイズ:4736 バイト→8192 バイト)

すべての商標および登録商標は、それぞれの所有者に帰属します。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

- 注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口： <http://japan.renesas.com/contact/>