

超低消費電力 48 MHz Arm® Cortex®-M23 コア、最大 512 KB のコードフラッシュメモリ、48 KB の SRAM、12 ビット A/D コンバータ、24 ビットシグマ-デルタ A/D コンバータ、LCD コントローラ/ドライバ、独立電源 RTC、内蔵 32 ビット積和演算器、セキュリティ&セーフティ機能。

特長

■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最高動作周波数：48 MHz
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ

- 最大 512 KB のコードフラッシュメモリ
- バンクスワップ
- デュアルバンクフラッシュ (256 KB × 2 バンク)
- 8 KB のデータフラッシュメモリ (100,000 回のプログラム/イレース (P/E) サイクル)
- 48 KB の SRAM
- メモリプロテクションユニット (MPU)
- メモリミラー機能 (MMF)
- 128 ビットのユニーク ID

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 5
 - 調歩同期式インタフェース
 - 8 ビットクロック同期式インタフェース
 - 簡易 IIC
 - 簡易 SPI
 - スマートカードインタフェース
- シリアルペリフェラルインタフェース (SPI) × 1
- I²C バスインタフェース (IIC) × 2

■ アナログ

- 24 ビットシグマ-デルタ A/D コンバータ (SDADC24)
 - サンプルングレート：7.813 kHz/8.333 kHz または 3.906 kHz/4.166 kHz
 - 差動/シングルエンド入力モード：最大 7 チャネル
 - メインクロック発振器 (MOSC) (12 MHz または 16 MHz)
 - サブクロック発振器 (SOSC) (32.768 kHz) から通倍された PLL クロック
 - 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 12 ビット A/D コンバータ (ADC12)
- 温度センサ回路 (TSN)

■ タイマ

- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 16 ビット低消費電力非同期汎用タイマ (AGT) × 8
- 32 ビット低消費電力非同期汎用タイマ (AGTW) × 2
- ウォッチドッグタイマ (WDT)

■ ヒューマンマシーンインタフェース (HMI)

- セグメント LCD コントローラ (SLCDC)
 - 内部電圧昇圧方式、容量分割方式、および外部抵抗分割方式を切り替え可能
 - セグメント信号出力：21~45 (8 com 不使用時)
 - セグメント信号出力：17~41 (8 com 使用時)
 - 共通信号出力：4 (8 com 不使用時)
 - 共通信号出力：8 (8 com 使用時)
 - 波形 A または波形 B を選択可能

■ 内蔵 32 ビット乗算器および積和演算器 (MACL)

- 32 ビット × 32 ビット = 64 ビット (符号なしまたは符号付き)
- 32 ビット × 32 ビット + 64 ビット = 64 ビット (符号なしまたは符号付き)
- 乗算と積和演算 (累算値) の結果は、24 個のバッファチャネルのいずれかに保持でき、独立したアドレスでアクセス可能

■ セーフティ

- ECC 搭載の SRAM
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC)

- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- SDADC24 クロック切り替え用のサブクロックおよびメインクロック発振器停止検出回路
- 不正メモリアクセス

■ セキュリティおよび暗号化

- AES
 - 動作の暗号モード：ECB/CBC/CTR/GCM/CMAC/CCM
 - 暗号鍵長：128/256 ビット
- 真性乱数生成器 (TRNG)

■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- パワーオンリセット
- 低電圧検出 (LVD) (電圧設定)
- EXLVDVBAT 端子用低電圧検出 (7 レベルから割り込みを選択)
- VRTC 端子用低電圧検出 (4 レベルから割り込みを選択)
- EXLVD 端子用低電圧検出 (1 レベルから割り込みを選択)
- 独立電源 RTC × 1 (99 年分のカレンダー、アラーム機能、およびクロック補正機能)
- VRTC 電源用内蔵 RTC パワーオンリセット (RTCPOR) 回路

■ マルチクロックソース

- メインクロック発振器 (MOSC) (1~20 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- SDADC24 用 PLL クロック
- クロックアウトのサポート

■ 最大 77 本の汎用入出力ポート (入力専用が 3 本、および出力専用が 1 本)

- 5V トレランス、オープンドレイン、入力プルアップ

■ 動作電圧

- VCC: 1.6~5.5 V

■ 動作周囲温度およびパッケージ

- Ta = -40°C~+105°C
 - 100 ピン LQFP (14 mm × 14 mm、0.5 mm ピッチ)
 - 80 ピン LQFP (12 mm × 12 mm、0.5 mm ピッチ)
 - 64 ピン LQFP (10 mm × 10 mm、0.5 mm ピッチ)

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm[®]ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な ArmCortex[®]-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 512 KB (256 KB × 2 バンク) のコードフラッシュメモリ
- 48 KB の SRAM
- メモリミラー機能 (MMF)
- 12 ビット A/D コンバータ (ADC12)
- 24 ビットシグマ-デルタ A/D コンバータ (SDADC24)
- セグメント LCD コントローラ/ドライバ
- 独立電源 RTC
- 内蔵 32 ビット乗算器および積和演算器
- セキュリティ機能

1.1 機能の概要

表 1.1 CPU

機能	機能の説明
Arm Cortex-M23 コア	<ul style="list-style-type: none"> ● 最高動作周波数 : 48 MHz ● Arm Cortex-M23 コア <ul style="list-style-type: none"> - リビジョン : r1p0-00rel0 - Armv8-M アーキテクチャプロファイル - シングルサイクル整数乗算器 - 19 サイクル整数除算器 ● Arm メモリプロテクションユニット (Arm MPU) : <ul style="list-style-type: none"> - Armv8 保護メモリシステムアーキテクチャ - 8 つの保護領域 ● SysTick タイマ : <ul style="list-style-type: none"> - SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 512 KB (2 バンクで 512 KB) のコードフラッシュメモリ
データフラッシュメモリ	8 KB のデータフラッシュメモリ
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
メモリミラー機能 (MMF)	メモリミラー機能 (MMF) は、コードフラッシュメモリの所望のアプリケーションイメージロードアドレスを 23 ビットの未使用のメモリ空間 (メモリミラー空間アドレス) のアプリケーションイメージリンクアドレスにミラーするために設定できます。アプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクします。アプリケーションコードでは、コードフラッシュメモリ内に格納されるときロードアドレスを認識する必要がありません。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード : <ul style="list-style-type: none"> ● シングルチップモード ● SCI ブートモード
リセット	本 MCU は、14 種類のリセットをサポートしています。

表 1.3 システム (2/2)

機能	機能の説明
低電圧検出回路 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子、EXLVDVBAT 端子、VRTC 端子、EXLVD 端子への入力電圧レベルを監視します。検出レベルはソフトウェアプログラムを用いて選択できます。LVD モジュールは、6 つの独立した電圧レベル検出回路 (LVD0、LVD1、LVD2、LVD_VBAT、LVD_VRTC、および EXLVD) で構成されます。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。LVD_VBAT は EXLVDVBAT 端子への入力電圧レベルを測定します。LVD_VRTC は VRTC 端子への入力電圧レベルを測定します。EXLVD は EXLVD 端子への入力電圧レベルを測定します。LVD のレジスタはアプリケーションにより、さまざまな電圧しきい値で VCC、バッテリーバックアップ電源、および VRTC の変動の検出を設定できます。
クロック	<ul style="list-style-type: none"> メインクロック発振器 (MOSC) サブクロック発振器 (SOSC) 高速オンチップオシレータ (HOCO) 中速オンチップオシレータ (MOCO) 低速オンチップオシレータ (LOCO) IWDT 専用オンチップオシレータ (IWDTLOCO) 32.768 kHz から逡倍されたシグマ-デルタ A/D 変換用の 12.0 MHz/12.8 MHz の PLL クロック クロックアウトのサポート
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内でない時、割り込み要求を発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、WDT はノンマスカブル割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み/ノンマスカブル割り込みを発生させることが可能です。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT16×6 チャネルの 16 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

表 1.6 タイマ (2/2)

機能	機能の説明
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) 機能は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることができます。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
低消費電力非同期汎用タイマ (AGTW)	低消費電力非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあります。これらはレジスタ設定の切り替えで使用できます。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。

表 1.7 通信インターフェース

機能	機能の説明
シリアルコミュニケーションインターフェース (SCI)	シリアルコミュニケーションインターフェース (SCI) × 5 チャンネルには調歩同期式および同期式のシリアルインターフェースがあります。 <ul style="list-style-type: none"> 調歩同期式インターフェース (UART および調歩同期式通信インターフェースアダプタ (ACIA)) 8 ビットクロック同期式インターフェース 簡易 IIC (マスタのみ) 簡易 SPI スマートカードインターフェース スマートカードインターフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
I ² C バスインターフェース (IIC)	I ² C バスインターフェース (IIC) には 2 チャンネルあります。IIC は、NXP 社の I ² C (Inter-Integrated Circuit) バスインターフェース方式に準拠しており、そのサブセット機能を備えています。
シリアルペリフェラルインターフェース (SPI)	シリアルペリフェラルインターフェース (SPI) には 1 個のチャンネルがあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。

表 1.8 アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 4 チャンネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
24 ビットシグマ-デルタ A/D コンバータ (SDADC24)	プログラマブルゲインアンプ付きの 24 ビットシグマ-デルタ A/D コンバータ (SDADC24) を内蔵しています。最大 7 チャンネルの差動またはシングルエンドアナログ入力を選択可能です。プログラマブルゲインアンプ (PGA) により、シグマ-デルタ A/D コンバータへのアナログ入力が行われます。A/D 変換結果は位相調整回路、デジタルフィルタ、およびハイパスフィルタを通過し、変換結果レジスタに格納されます。変換が完了するごとに、変換結果を読み出し可能であることを CPU に通知するために、割り込み要求信号が発生します。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 1.9 ヒューマンマシンインタフェース

機能	機能の説明
セグメント LCD コントローラ/ドライバ (SLCDC)	<p>SLCDC には次の機能があります。</p> <ul style="list-style-type: none"> ● 内部電圧昇圧方式、容量分割方式、および外部抵抗分割方式を切り替え可能 ● 内部電圧昇圧方式で VL1 または VL2 基準モードを選択可能 ● 容量分割方式で VCC または VL4 基準モードを選択可能 ● セグメント信号出力：21 (17)~45 (41) ● 共通信号出力：4 (8) ● 波形 A または波形 B を選択可能 ● LCD を点滅させることが可能 <p>注. 括弧内の数値は、8 com 使用時の信号出力数です。</p>

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC)	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、16 ビットのデータが比較され、割り込みが発生可能です。
32 ビット積和演算器 (MACL)	<p>32 ビット積和演算器には以下の機能があります。</p> <ul style="list-style-type: none"> ● 32 ビット × 32 ビット = 64 ビット (符号なしまたは符号付き) ● 32 ビット × 32 ビット + 64 ビット = 64 ビット (符号なしまたは符号付き) <p>乗算の累算値は 24 個のチャンネルバッファで保持可能であり、独立したアドレスで読み出し可能です。</p>

表 1.11 I/O ポート

機能	機能の説明
I/O ポート	<ul style="list-style-type: none"> ● 100 ピン、7 チャンネル LQFP 用 I/O ポート <ul style="list-style-type: none"> - 入出力端子：67 - 入力端子：3 - 出力端子：1 - プルアップ抵抗：64 - N チャンネルオープンドレイン出力：58 - 5V トレランス：2 - 5V トレランス/RTICn (n = 0~2)：3 ● 100 ピン、4 チャンネル LQFP 用 I/O ポート <ul style="list-style-type: none"> - 入出力端子：73 - 入力端子：3 - 出力端子：1 - プルアップ抵抗：70 - N チャンネルオープンドレイン出力：64 - 5V トレランス：2 - 5V トレランス/RTICn (n = 0~2)：3 ● 80 ピン LQFP 用 I/O ポート <ul style="list-style-type: none"> - 入出力端子：55 - 入力端子：3 - 出力端子：1 - プルアップ抵抗：52 - N チャンネルオープンドレイン出力：46 - 5V トレランス：2 - 5V トレランス/RTICn (n = 0~2)：3 ● 64 ピン LQFP 用 I/O ポート <ul style="list-style-type: none"> - 入出力端子：39 - 入力端子：3 - 出力端子：1 - プルアップ抵抗：37 - N チャンネルオープンドレイン出力：33 - 5V トレランス：2 - 5V トレランス/RTICn (n = 1~2)：2

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

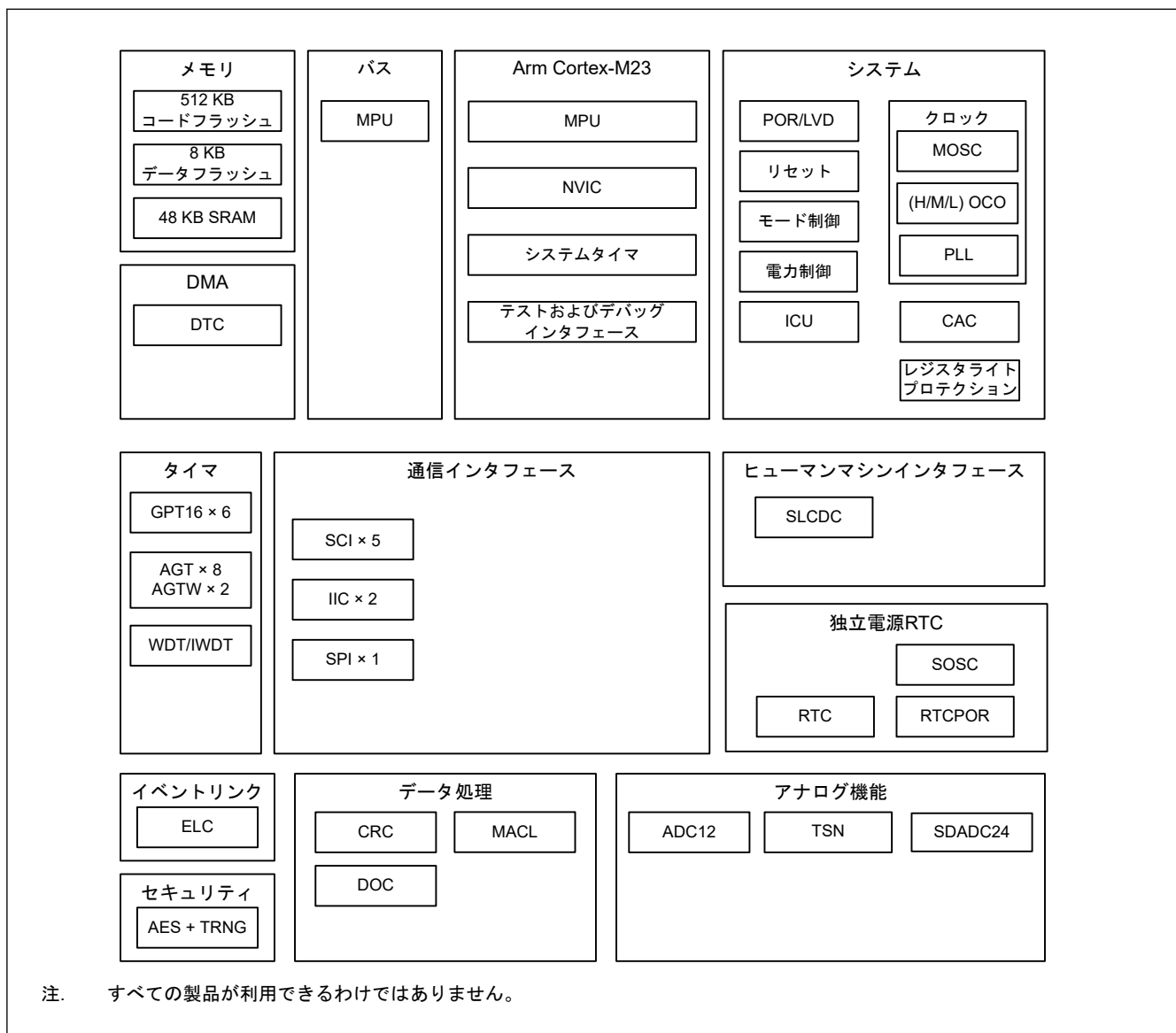


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に、製品一覧表を示します。

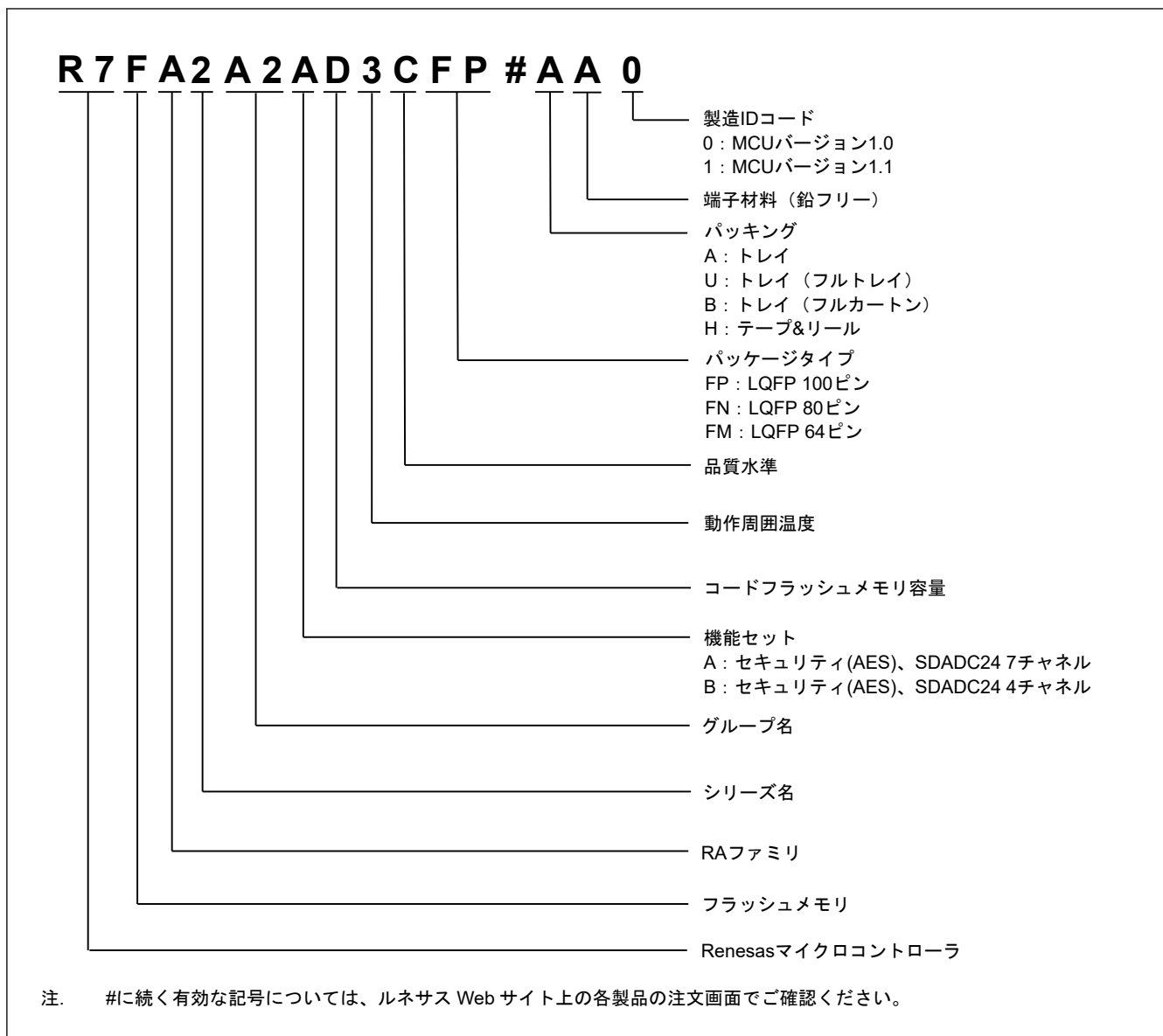


図 1.2 型名の読み方

表 1.12 製品一覧

製品型名	パッケージコード	SDADC24	コードフラッシュ	データフラッシュ	SRAM	動作周囲温度
R7FA2A2AD3CFP	PLQP0100KB-B	7 チャンネル	512 KB	8 KB	48 KB	-40~+105°C
R7FA2A2BD3CFP	PLQP0100KB-B	4 チャンネル				
R7FA2A2BD3CFN	PLQP0080KB-B					
R7FA2A2BD3CFM	PLQP0064KB-C					

1.4 機能の比較

表 1.13 機能の比較

型名		R7FA2A2AD3CFP	R7FA2A2BD3CFP	R7FA2A2BD3CFN	R7FA2A2BD3CFM
端子総数		100		80	64
パッケージ		LQFP			
コードフラッシュメモリ		512 KB			
データフラッシュメモリ		8 KB			
SRAM		48 KB			
	パリティ	32 KB			
	ECC	16 KB			
システム	CPU クロック	48 MHz			
	サブクロック発振器	あり			
	PLL	あり			
	ICU	あり			
イベントコントロール	ELC	あり			
DMA	DTC	あり			
タイマ	GPT16	6		5	
	AGT	8			
	AGTW	2			
	RTC	あり			
	WDT/IWDT	あり			
通信	SCI	5		4	
	IIC	2		1	
	SPI	1			
アナログ	ADC12	4		2	
	SDADC24	7 チャンネル	4 チャンネル		
	TSN	あり			
HMI	SLCDC	39 seg × 4 com 35 seg × 8 com	45 seg × 4 com 41 seg × 8 com	32 seg × 4 com 28 seg × 8 com	21 seg × 4 com 17 seg × 8 com
データ処理	CRC	あり			
	MACL	あり (24 チャンネルバッファが独立したアドレスで読み出し可能)			
	DOC	あり			
セキュリティ		AES および TRNG			
I/O ポート	入出力端子	67	73	55	39
	入力端子	3	3	3	3
	出力端子	1	1	1	1
	プルアップ抵抗	64	70	52	37
	N チャンネルオープン ドレイン出力	58	64	46	32
	5 V トレランス	2	2	2	2
	5 V トレランス/ RTCICn (n = 0~2)	3	3	3	2

1.5 端子機能

表 1.14 端子機能 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グラウンド端子。システムの電源 (0 V) に接続してください。
	VRTC	入力	サブクロック発振器 (XCIN, XCOU) と RTC (RTCIC0-RTCIC2) 用の独立電源
電圧検出器	EXLVD	入力	外部端子用低電圧検出器
	EXLVDVBAT	入力	バッテリーバックアップ用低電圧検出器
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOU と XCIN の間には、水晶振動子を接続してください。
	XCOU	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ11	入力	マスクابل割り込み要求端子
GPT	GTETRG, GTETRGB	入力	外部トリガ入力端子
	GTIOcNA (n = 4~9), GTIOcNB (n = 4~9)	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)
AGT	AGTEEn (n = 0~7)	入力	外部イベント入力カインイーブル信号
	AGTIOn (n = 0~7)	入出力	外部イベント入力およびパルス出力端子
	AGTOAn (n = 0~7)	出力	パルス出力端子
	AGTOAn (n = 0~7)	出力	出力コンペアマッチ A 出力端子
	AGTOBn (n = 0~7)	出力	出力コンペアマッチ B 出力端子

表 1.14 端子機能 (2/3)

機能	端子名	入出力	説明
AGTW	AGTWEE _n (n = 0~1)	入力	外部イベント入力カインェブル信号
	AGTWIO _n (n = 0~1)	入出力	外部イベント入力およびパルス出力端子
	AGTWO _n (n = 0~1)	出力	パルス出力端子
	AGTWOA _n (n = 0~1)	出力	出力コンペアマッチ A 出力端子
	AGTWOB _n (n = 0~1)	出力	出力コンペアマッチ B 出力端子
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCI _{Cn} (n = 0~2)	入力	RTC 時間キャプチャイベント入力
SCI	SCK _n (n = 0~3, 9)	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD _n (n = 0~3, 9)	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD _n (n = 0~3, 9)	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS _n _RTS _n (n = 0~3, 9)	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	SCL _n (n = 0~3, 9)	入出力	IIC クロック用の入出力端子 (簡易 IIC モード)
	SDA _n (n = 0~3, 9)	入出力	IIC データ用の入出力端子 (簡易 IIC モード)
	SCK _n (n = 0~3, 9)	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO _n (n = 0~3, 9)	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOSI _n (n = 0~3, 9)	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	SS _n (n = 0~3, 9)	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low
IIC	SCL _n (n = 0, 1)	入出力	クロック用の入出力端子
	SDA _n (n = 0, 1)	入出力	データ用の入出力端子
SPI	RSPCKA	入出力	クロック入出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3	出力	スレーブ選択用の出力端子
アナログ電源	AVCC	入力	ADC12、SDADC24、TSN 用のアナログ電圧源端子
	AVSS	入力	ADC12、SDADC24、TSN 用のアナロググランド端子
	AVCM	入力	24 ビットシグマ-デルタ A/D コンバータ用のコモンモード電圧
	AREGC	入出力	24 ビットシグマ-デルタ A/D コンバータ用のレギュレータ容量
	AVRT	出力	24 ビットシグマ-デルタ A/D コンバータ用の基準電圧
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS に接続してください。
ADC12	AN000~AN003	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
SDADC24	ANIN0~ANIN6	入力	24 ビットシグマ-デルタ A/D コンバータアナログ入力。これらは、マイナスインプット端子です。(差動/シングルエンド)
	ANIP0~ANIP6	入力	24 ビットシグマ-デルタ A/D コンバータアナログ入力。これらは、プラスインプット端子です。(差動/シングルエンド)

表 1.14 端子機能 (3/3)

機能	端子名	入出力	説明
LCD	VL1~VL4	入出力	LCD 駆動用電圧
	CAPH, CAPL	入出力	セグメント LCD コントローラ/ドライバ用の容量接続
	COM0~COM7	出力	セグメント LCD コントローラ/ドライバ共通信号出力
	SEG0~SEG44	出力	セグメント LCD コントローラ/ドライバセグメント信号出力
I/O ポート	P001, P002, P004~P015	入出力	汎用入出力端子
	P100~P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P203~P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300~P313	入出力	汎用入出力端子
	P400~P405, P408~ p411	入出力	汎用入出力端子
	P500~P506	入出力	汎用入出力端子
	P600	出力	汎用出力端子

1.6 ピン配置図

図 1.3~図 1.6 にピン配置図（上面図）を示します。

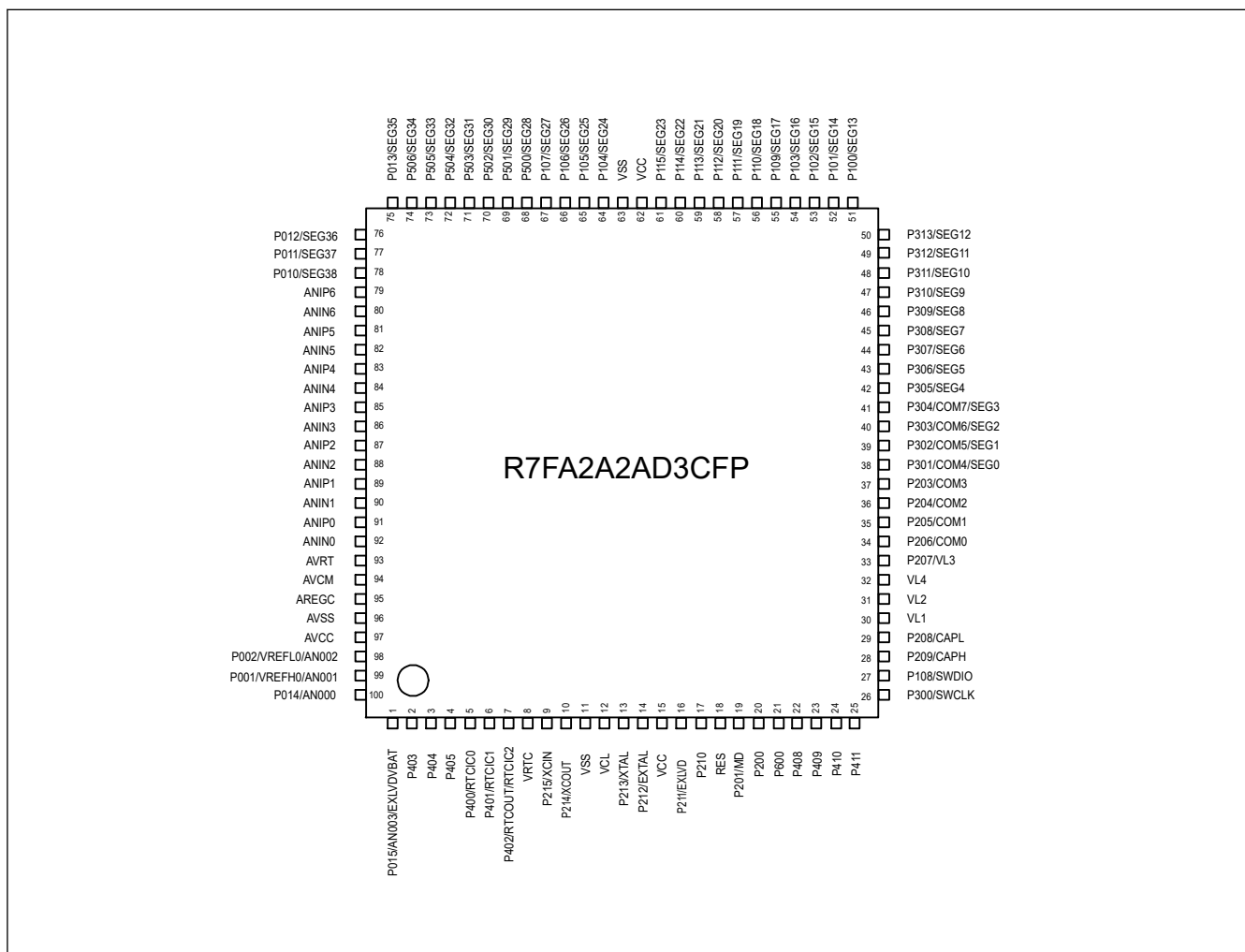


図 1.3 100 ピン、7 チャンネル LQFP のピン配置図（上面図）

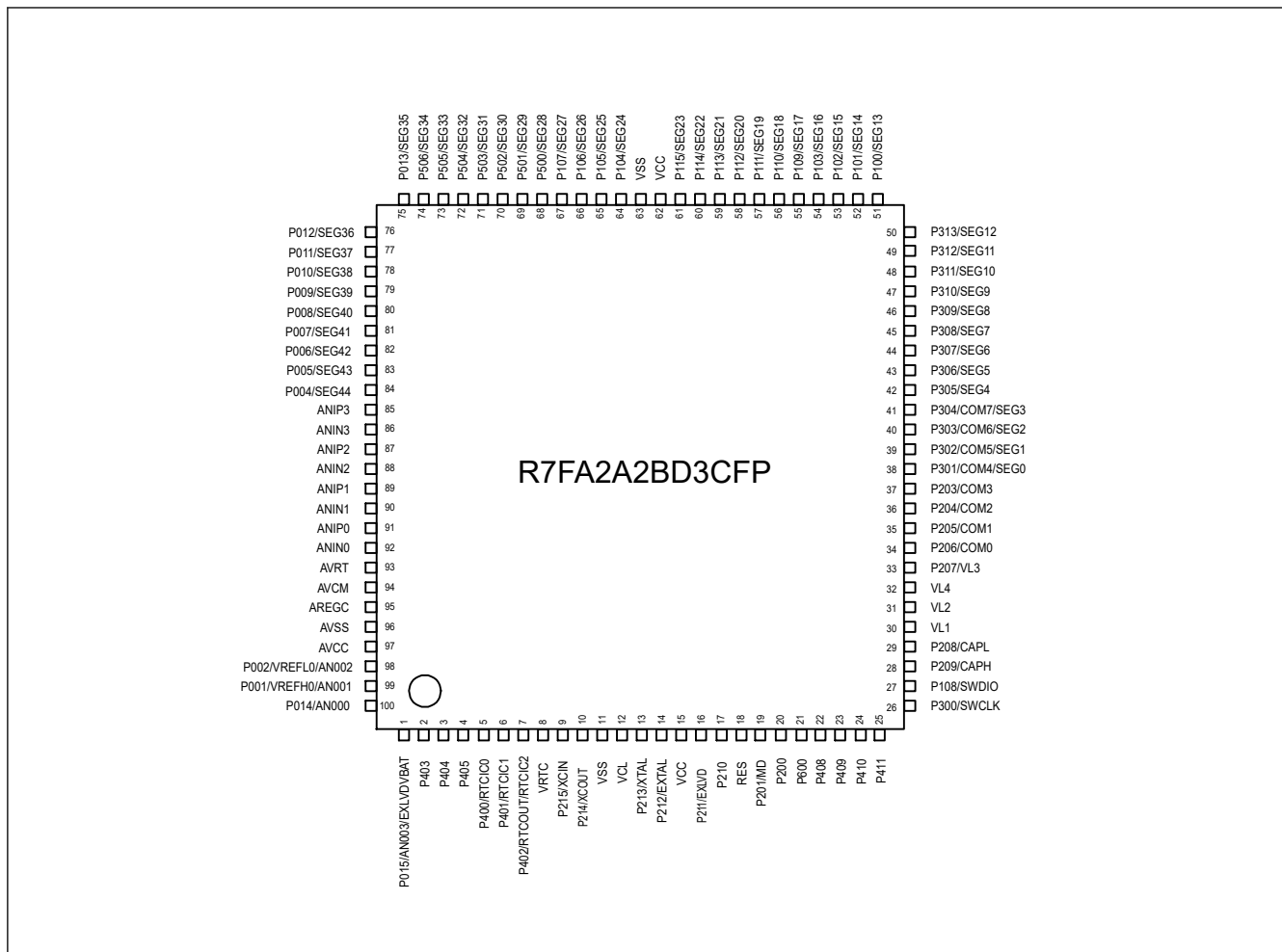


図 1.4 100 ピン、4 チャンネル LQFP のピン配置図 (上面図)

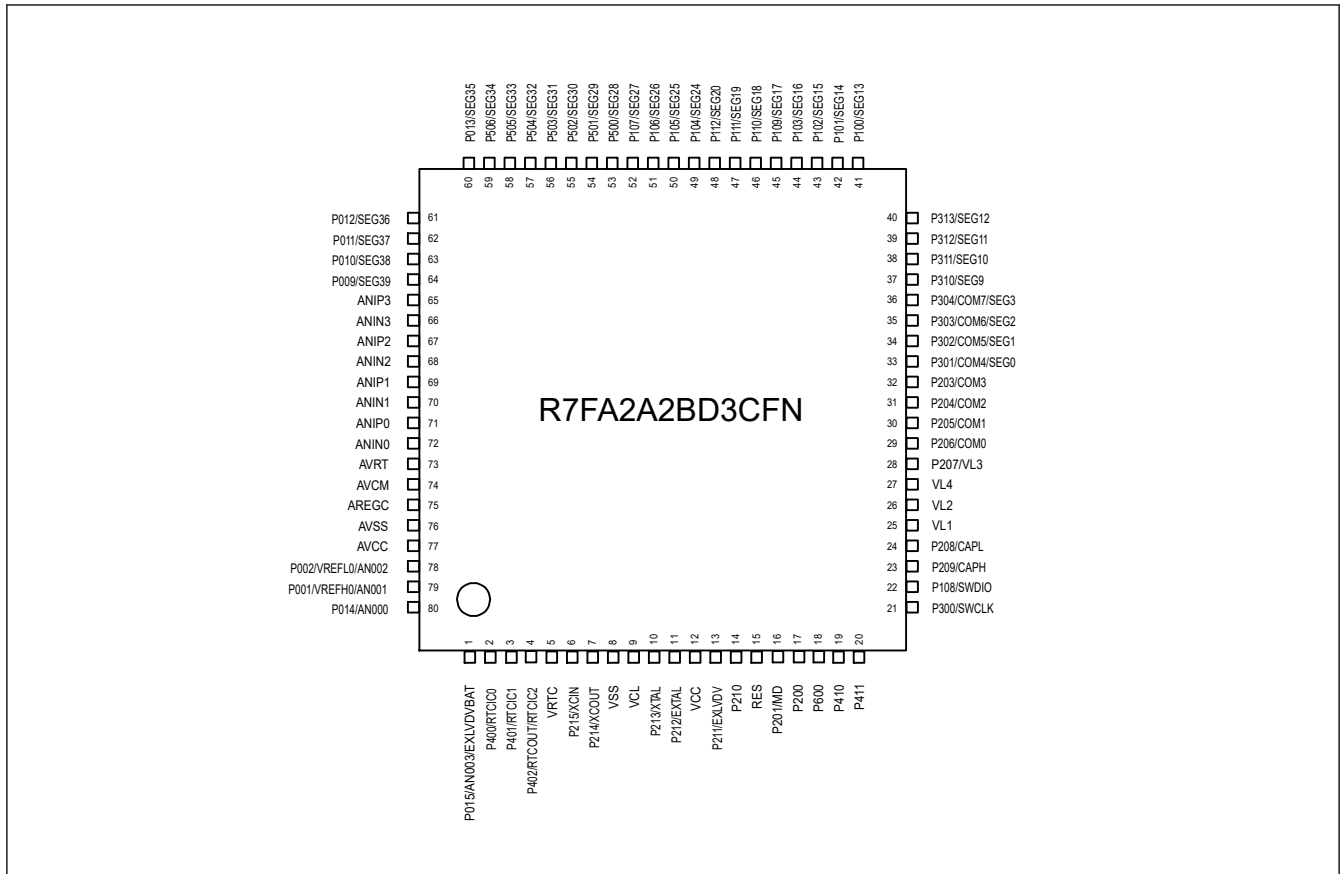


図 1.5 80 ピン LQFP のピン配置図 (上面図)

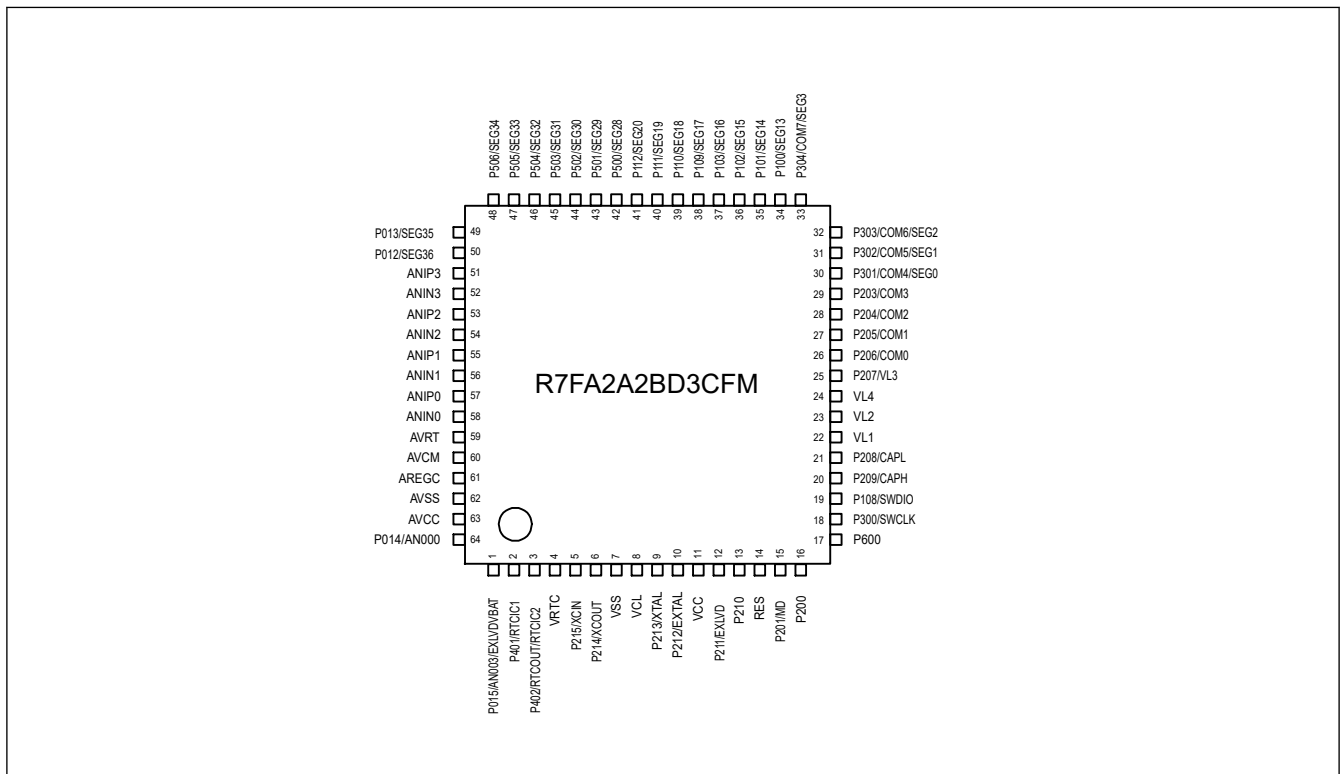


図 1.6 64 ピン LQFP のピン配置図 (上面図)

1.7 端子一覧

表 1.15 端子一覧 (1/4)

No.					電源、システム、クロック、デバッグ、CAC	I/O ポート	タイマ					通信インターフェース			アナログ		HMI	
LQFP100 (7ch)	LQFP100 (4ch)	LQFP80	LQFP64	AGTW			AGT	GPT_OPS, POEG	GPT	RTC	SCI	IIC	SPI	12ビットADC	24ビットSDADC	セグメント LCDC	割り込み	
1	1	1	1	EXLV DVBA T	P015	—	—	—	—	—	—	—	—	AN003	—	—	—	
2	2	—	—	—	P403	—	—	—	GTIOC4B	—	—	—	MISO A_B	—	—	—	—	
3	3	—	—	—	P404	—	—	—	—	—	—	—	MOSI A_B	—	—	—	—	
4	4	—	—	—	P405	—	—	—	—	—	—	—	RSPC KA_B	—	—	—	—	
5	5	2	—	—	P400	—	—	—	—	RTIC0	—	—	—	—	—	—	IRQ9	
6	6	3	2	—	P401	—	—	—	—	RTIC1	—	—	—	—	—	—	IRQ10	
7	7	4	3	—	P402	—	—	—	—	RTIC2/ RTO UT_A	—	—	—	—	—	—	IRQ11	
8	8	5	4	VRTC	—	—	—	—	—	—	—	—	—	—	—	—	—	
9	9	6	5	XCIN	P215	—	—	—	—	—	—	—	—	—	—	—	—	
10	10	7	6	XCOU T	P214	—	—	—	—	—	—	—	—	—	—	—	—	
11	11	8	7	VSS	—	—	—	—	—	—	—	—	—	—	—	—	—	
12	12	9	8	VCL	—	—	—	—	—	—	—	—	—	—	—	—	—	
13	13	10	9	XTAL	P213	—	—	—	—	—	—	—	—	—	—	—	—	
14	14	11	10	EXTAL	P212	—	—	—	—	—	—	—	—	—	—	—	—	
15	15	12	11	VCC	—	—	—	—	—	—	—	—	—	—	—	—	—	
16	16	13	12	EXLV D	P211	—	—	—	—	—	—	—	—	—	—	—	—	
17	17	14	13	CLKO UT_A	P210	—	—	—	GTIOC5B_A	—	—	—	—	ADTR G0_B	—	—	IRQ8	
18	18	15	14	RES	—	—	—	—	—	—	—	—	—	—	—	—	—	
19	19	16	15	MD	P201	—	—	—	—	—	—	—	—	—	—	—	—	
20	20	17	16	—	P200	—	—	—	—	—	—	—	—	—	—	—	NMI	
21	21	18	17	—	P600	—	—	—	—	—	—	—	—	—	—	—	—	
22	22	—	—	—	P408	—	—	—	GTIOC9A_B	—	—	—	SSLA0_B	—	—	—	—	
23	23	—	—	—	P409	—	—	—	GTIOC9B_B	—	—	—	SSLA1_B	—	—	—	—	
24	24	19	—	—	P410	—	—	—	GTIOC6A_A	—	—	—	SDA0	—	—	—	—	
25	25	20	—	—	P411	—	—	—	GTIOC7A	—	—	—	SCL0	—	—	—	—	
26	26	21	18	SWCLK	P300	—	—	—	GTIOC6B_A	—	—	—	—	—	—	—	—	
27	27	22	19	SWDI O	P108	—	—	—	GTIOC7B	RTO UT_B	—	—	—	—	—	—	—	
28	28	23	20	—	P209	—	—	—	—	—	—	—	—	—	—	CAPH	—	
29	29	24	21	—	P208	—	—	—	—	—	—	—	—	—	—	CAPL	—	

表 1.15 端子一覧 (2/4)

No.	LQFP100 (7ch)				電源、システム、クロック、デバッグ、CAC	I/Oポート	タイマ					通信インターフェース			アナログ		HMI	
	LQFP100 (4ch)	LQFP80	LQFP64				AGTW	AGT	GPT_OPS, POEG	GPT	RTC	SCI	IIC	SPI	12ビットADC	24ビットSDADC	セグメントLCDC	割り込み
30	30	25	22	—	—	—	—	—	—	—	—	—	—	—	—	VL1	—	
31	31	26	23	—	—	—	—	—	—	—	—	—	—	—	—	VL2	—	
32	32	27	24	—	—	—	—	—	—	—	—	—	—	—	—	VL4	—	
33	33	28	25	—	P207	—	—	—	—	—	—	—	—	—	—	VL3	—	
34	34	29	26	—	P206	—	—	—	—	—	—	—	—	—	—	COM0	—	
35	35	30	27	—	P205	—	—	—	—	—	—	—	—	—	—	COM1	—	
36	36	31	28	—	P204	—	—	—	—	—	—	—	—	—	—	COM2	—	
37	37	32	29	—	P203	—	—	—	—	—	—	—	—	—	—	COM3	—	
38	38	33	30	—	P301	—	—	—	—	—	—	—	—	—	—	COM4/ SEG0	—	
39	39	34	31	—	P302	—	—	—	—	—	—	—	—	—	—	COM5/ SEG1	—	
40	40	35	32	—	P303	—	—	—	—	—	—	—	—	—	—	COM6/ SEG2	—	
41	41	36	33	—	P304	—	—	—	—	—	—	—	—	—	—	COM7/ SEG3	—	
42	42	—	—	—	P305	—	—	—	—	—	—	—	—	—	—	SEG4	—	
43	43	—	—	—	P306	—	—	—	—	—	—	—	—	—	—	SEG5	IRQ0_ B	
44	44	—	—	—	P307	—	—	—	—	—	—	—	—	—	—	SEG6	IRQ1_ B	
45	45	—	—	—	P308	—	—	—	—	—	—	—	—	—	—	SEG7	IRQ2_ B	
46	46	—	—	—	P309	—	—	—	—	—	—	—	—	—	—	SEG8	IRQ3_ B	
47	47	37	—	—	P310	—	—	—	—	—	—	—	—	—	—	SEG9	IRQ4_ B	
48	48	38	—	—	P311	—	—	—	—	—	—	—	—	—	—	SEG10	IRQ5_ B	
49	49	39	—	—	P312	—	—	—	—	—	—	—	—	—	—	SEG11	IRQ6_ B	
50	50	40	—	—	P313	—	—	—	—	—	—	—	—	—	—	SEG12	IRQ7_ B	
51	51	41	34	—	P100	—	AGT00/ AGTOA0/ AGTOB0/ AGTEE0	GTIU	GTIOC8A _A	—	TXD0/ MOSI0/ SDA0	—	—	—	—	SEG13	—	
52	52	42	35	—	P101	AGTW O0	AGT01/ AGTOA1/ AGTOB1/ AGTEE1	GTIV	GTIOC8B _A	—	RXD0/ MISO0/ SCL0	—	—	—	—	SEG14	—	
53	53	43	36	—	P102	AGTW EE0	AGT02/ AGTOA2/ AGTOB2/ AGTEE2	GTIW	GTIOC6A _B	—	SCK0	—	—	ADTR G0_A	—	SEG15	—	
54	54	44	37	—	P103	AGTW IO0	AGT03/ AGTOA3/ AGTOB3/ AGTEE3	GTOU UP	GTIOC6B _B	—	CTS0_R TS0/SS0	—	SSLA3	—	—	SEG16	—	
55	55	45	38	CLKO UT_B	P109	AGTW OB0	AGT04/ AGTOA4/ AGTOB4/ AGTEE4	GTOU LO	—	—	TXD9/ MOSI9/ SDA9	—	—	—	—	SEG17 (注1)	—	

表 1.15 端子一覧 (3/4)

No.					電源、システム、 クロック、デバッグ、 CAC	I/O ポート	タイマ					通信インターフェース			アナログ		HMI	
LQFP100 (7ch)	LQFP100 (4ch)	LQFP80	LQFP64				AGTW	AGT	GPT_OPS, POEG	GPT	RTC	SCI	IIC	SPI	12ビットADC	24ビットSDADC	セグメントLCDC	割り込み
56	56	46	39	—	P110	AGTW OA0	AGT05/ AGT0A5/ AGT0B5/ AGTEE5	GTOV UP	—	—	RXD9/ MISO9/ SCL9	—	—	—	—	SEG18	—	
57	57	47	40	—	P111	—	AGT06/ AGT0A6/ AGT0B6/ AGTEE6	GTOV LO	GTIOC5A _B	—	SCK9	—	—	—	—	SEG19	—	
58	58	48	41	—	P112	—	AGT07/ AGT0A7/ AGT0B7/ AGTEE7	GTOV UP	GTIOC5B _B	—	CTS9_R TS9/SS9	—	SSLA2	—	—	SEG20	—	
59	59	—	—	—	P113	—	—	—	—	—	—	—	—	—	—	SEG21	—	
60	60	—	—	—	P114	—	—	—	—	—	—	—	—	—	—	SEG22	—	
61	61	—	—	—	P115	—	—	—	—	—	—	—	—	—	—	SEG23	—	
62	62	—	—	VCC	—	—	—	—	—	—	—	—	—	—	—	—	—	
63	63	—	—	VSS	—	—	—	—	—	—	—	—	—	—	—	—	—	
64	64	49	—	—	P104	—	—	—	GTIOC8A _B	—	SCK2	—	—	—	—	SEG24	—	
65	65	50	—	—	P105	—	—	—	GTIOC8B _B	—	CTS2_R TS2/SS2	—	—	—	—	SEG25	—	
66	66	51	—	—	P106	—	—	—	—	—	TXD2/ MOSI2/ SDA2	—	—	—	—	SEG26	—	
67	67	52	—	—	P107	—	—	—	—	—	RXD2/ MISO2/ SCL2	—	SSLA1 _A	—	—	SEG27	—	
68	68	53	42	—	P500	AGTW EE1	AGTIO0	GTOV LO	—	—	RXD3/ MISO3/ SCL3	—	—	—	—	SEG28	IRQ4_ A	
69	69	54	43	—	P501	AGTW IO1	AGTIO1	GTET RGA	—	—	TXD3/ MOSI3/ SDA3	—	—	—	—	SEG29	IRQ5_ A	
70	70	55	44	—	P502	AGTW O1	AGTIO2	GTET RGB	GTIOC9A _A	—	SCK3	—	RSPC KA_A	—	—	SEG30	IRQ6_ A	
71	71	56	45	—	P503	AGTW OA1	AGTIO3	—	GTIOC9B _A	—	CTS3_R TS3/SS3	—	SSLA0 _A	—	—	SEG31	IRQ7_ A	
72	72	57	46	—	P504	AGTW OB1	AGTIO4	—	—	—	SCK1	—	MOSI A_A	—	—	SEG32	—	
73	73	58	47	—	P505	—	AGTIO5	—	—	—	CTS1_R TS1/SS1	—	MISO A_A	—	—	SEG33	—	
74	74	59	48	—	P506	—	AGTIO6	—	—	—	TXD1/ MOSI1/ SDA1	—	—	—	—	SEG34	IRQ0_ A	
75	75	60	49	—	P013	—	AGTIO7	—	—	—	RXD1/ MISO1/ SCL1	SDA1	—	—	—	SEG35	IRQ1_ A	
76	76	61	50	CACR EF_A	P012	—	—	—	GTIOC5A _A	—	—	SCL1	—	—	—	SEG36	IRQ2_ A	
77	77	62	—	—	P011	—	—	—	GTIOC4A	—	—	—	—	—	—	SEG37	—	
78	78	63	—	—	P010	—	—	—	—	—	—	—	—	—	—	SEG38	—	
—	79	64	—	—	P009	—	—	—	—	—	—	—	—	—	—	SEG39	—	
—	80	—	—	—	P008	—	—	—	—	—	—	—	—	—	—	SEG40	—	

表 1.15 端子一覧 (4/4)

No.					電源、システム、クロック、デバッグ、CAC	I/O ポート	タイマ					通信インターフェース			アナログ		HMI	
LQFP100 (7ch)	LQFP100 (4ch)	LQFP80	LQFP64				AGTW	AGT	GPT_OPS, POEG	GPT	RTC	SCI	IIC	SPI	12ビットADC	24ビットSDADC	セグメントLCDC	割り込み
—	81	—	—	—	P007	—	—	—	—	—	—	—	—	—	—	SEG41	—	
—	82	—	—	—	P006	—	—	—	—	—	—	—	—	—	—	SEG42	—	
—	83	—	—	—	P005	—	—	—	—	—	—	—	—	—	—	SEG43	—	
—	84	—	—	—	P004	—	—	—	—	—	—	—	—	—	—	SEG44	—	
79	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANIP6	—	—	
80	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANIN6	—	—	
81	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANIP5	—	—	
82	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANIN5	—	—	
83	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANIP4	—	—	
84	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANIN4	—	—	
85	85	65	51	—	—	—	—	—	—	—	—	—	—	—	ANIP3	—	—	
86	86	66	52	—	—	—	—	—	—	—	—	—	—	—	ANIN3	—	—	
87	87	67	53	—	—	—	—	—	—	—	—	—	—	—	ANIP2	—	—	
88	88	68	54	—	—	—	—	—	—	—	—	—	—	—	ANIN2	—	—	
89	89	69	55	—	—	—	—	—	—	—	—	—	—	—	ANIP1	—	—	
90	90	70	56	—	—	—	—	—	—	—	—	—	—	—	ANIN1	—	—	
91	91	71	57	—	—	—	—	—	—	—	—	—	—	—	ANIP0	—	—	
92	92	72	58	—	—	—	—	—	—	—	—	—	—	—	ANIN0	—	—	
93	93	73	59	—	—	—	—	—	—	—	—	—	—	—	AVRT	—	—	
94	94	74	60	—	—	—	—	—	—	—	—	—	—	—	AVCM	—	—	
95	95	75	61	—	—	—	—	—	—	—	—	—	—	—	AREG C	—	—	
96	96	76	62	AVSS	—	—	—	—	—	—	—	—	—	—	—	—	—	
97	97	77	63	AVCC	—	—	—	—	—	—	—	—	—	—	—	—	—	
98	98	78	—	—	P002	—	—	—	—	—	—	—	VREF L0/ AN002	—	—	—	—	
99	99	79	—	—	P001	—	—	—	—	—	—	—	VREF H0/ AN001	—	—	—	—	
100	100	80	64	CACREFF_B	P014	—	—	—	—	—	—	—	AN000	—	—	—	IRQ3_A	

注. いくつかの端子名には、_A および _B という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。
 注 1. MCUバージョン 1.0 には以下の制約があります。MCUバージョン 1.1 には制約は不要です。
 内部電圧昇圧方式で SEG17 を使用するとき、VCC 電圧が LCD 駆動電圧 VL4 よりも低い場合 (VL4 > VCC) は内部電圧昇圧回路の動作を停止してください。

2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

V_{CC} (注1) = AV_{CC} = 1.6~5.5 V、 V_{RTC} = 1.6~5.5 V、 V_{REFH0} = 1.6 V~ V_{CC}

V_{SS} = AV_{SS} = V_{REFL0} = 0 V、 T_a = T_{opr}

注 1. 通常は V_{CC} = 3.3 V に設定されています。

図 2.1 は、タイミング条件を示しています。

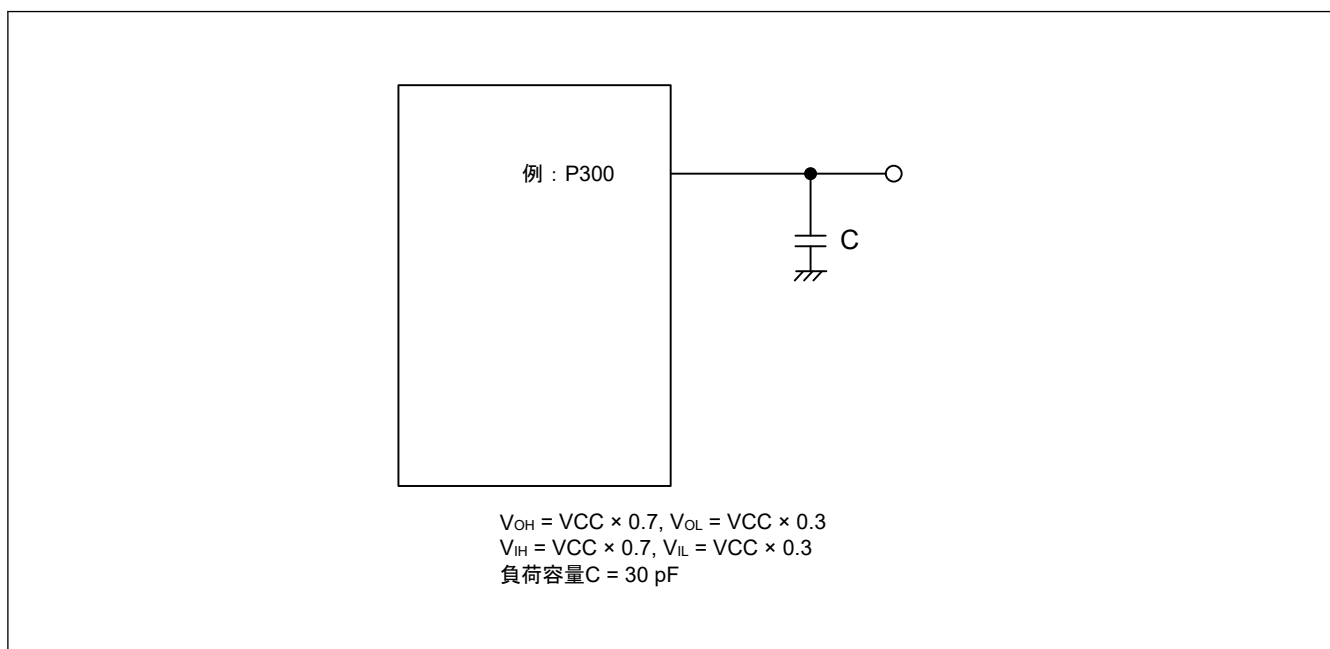


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に対して推奨される条件です。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子には、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 特性は保証されません。

2.1 絶対最大定格

表 2.1 絶対最大定格 (1/2)

項目		シンボル	値	単位
電源電圧		V_{CC}	-0.5~+6.5	V
RTC 電源電圧		V_{RTC}	-0.5~+6.5	V
入力電圧	5V トレラントポート(注1)	V_{in}	-0.3~+6.5	V
	P400~P402 (N チャネルオープンドレイン)	V_{in}	-0.3~+6.5	V
	P001, P002, P014~P015	V_{in}	-0.3~ $AV_{CC} + 0.3$	V
	P214, P215	V_{in}	-0.3~ $V_{RTC} + 0.3$ (注5)	V
	その他	V_{in}	-0.3~ $V_{CC} + 0.3$	V
リファレンス電源電圧		V_{REFH0}	-0.3~+6.5	V
	AREGC, AVCM, AVRT	V_{ISDAD}	-0.3~+2.1(注6)	V
アナログ電源電圧		AV_{CC}	-0.5~+6.5	V

表 2.1 絶対最大定格 (2/2)

項目		シンボル	値	単位	
アナログ入力電圧	AN000~AN003 使用時	V_{AN}	-0.3~AVCC + 0.3	V	
	ANINn および ANIPn (n = 0~6) 使用時		-0.6~AVCC + 0.3(注7)	V	
LCD 電圧	VL1 電圧	V_{L1}	-0.3~+2.1 および-0.3~ $V_{L4} + 0.3$	V	
	VL2 電圧	V_{L2}	-0.3~+6.5	V	
	VL3 電圧	V_{L3}	-0.3~+6.5	V	
	VL4 電圧	V_{L4}	-0.3~+6.5	V	
	CAPL、CAPH 電圧(注8)		V_{LCAP}	-0.3~ $V_{L4} + 0.3$ (注5)	V
	COM0~COM7、SEG0~SEG44、出力電圧	外部抵抗分割方式	V_{OUT}	-0.3~VCC + 0.3(注5)	V
		容量分割方式 (VCC リファレンス)		-0.3~VCC + 0.3(注5)	V
容量分割方式 (V_{L4} リファレンス)		-0.3~ $V_{L4} + 0.3$ (注5)		V	
内部電圧昇圧方式 (V_{L1} リファレンス)		-0.3~ $V_{L4} + 0.3$ (注5)		V	
内部電圧昇圧方式 (V_{L2} リファレンス)		-0.3~ $V_{L4} + 0.3$ (注5)		V	
動作温度(注2) (注3) (注4)		T_{opr}	-40~+105	°C	
保存温度		T_{stg}	-55~+125	°C	

注 1. P410 と P411 は 5V トレラント対応ポートです。

ポートが IIC 機能として使用されている場合は、デバイスの電源が切れている状態で入力プルアップ電源が供給されても問題ありません。ただし、そのような信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部素子を劣化させる恐れがあります。

注 2. 「2.2.1. Tj/Ta の定義」を参照してください。

注 3. Ta = +105°Cでのディレーティング動作については、Renesas Electronics の営業担当にお問い合わせください。

ディレーティングとは、信頼性を改善するために負荷を系統的に軽減することです。

注 4. 動作周囲温度の上限は 105°Cです (製品による)。

注 5. 6.5V 以下にしてください。

注 6. この値は AREGC 端子、AVCM 端子、および AVRT 端子の絶対最大定格を定義します。電圧を印加して使用しないでください。

注 7. SDADC24 変換対象端子は、AREGC +0.3V を超えないでください。

注 8. 内部電圧昇圧方式または容量分割方式を使用する場合、コンデンサ (0.47 μ F \pm 30%) を介して VSS 端子にこれらの VL1~VL4 端子を接続し、CAPL 端子と CAPH 端子の間にコンデンサ (0.47 μ F \pm 30%) を接続してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC 端子と AVSS 端子の間、および VREFH0 端子と VREFL0 端子の間には周波数特性の良いコンデンサを挿入してください。以下に示す値のコンデンサをできる限り各電源端子の近くに配置し、最短距離かつできる限り太いトレースを使用してください。

- VCC と VSS : 約 0.1 μ F
- VRTC と VSS : 約 0.1 μ F
- AVCC と AVSS : 約 0.1 μ F と約 10 μ F (並列)
- VREFH0 と VREFL0 : 約 0.1 μ F

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

- VCL と VSS : 4.7 μ F
- AREGC と AVSS : 0.47 μ F
- AVCM と AVSS : 0.47 μ F
- AVRT と AVSS : 0.47 μ F

表 2.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位	
電源電圧	VCC(注1)(注2)	1.6	—	5.5	V	
	VSS	—	0	—	V	
RTC 電源電圧	V _{RTC}	1.6	—	5.5	V	
アナログ電源電圧	AVCC(注1)(注2)	1.6	—	5.5	V	
	AVSS	—	0	—	V	
	VREFH0	ADC12 基準として使用時	1.6	—	AVCC	V
	VREFL0		—	0	—	V

注 1. 下記の条件で AVCC と VCC を使用してください。

AVCC = VCC

注 2. VCC 端子および AVCC 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC 端子の順番で電源投入してください。
VCC 端子および AVCC 端子の電源供給を停止する場合、両方同時に電源供給を停止するか、最初に AVCC 端子、次に VCC 端子の順番で電源供給を停止してください。

2.2 DC 特性

2.2.1 T_j/T_a の定義

表 2.3 DC 特性

条件：動作周囲温度 (T_a) が -40~+105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T _j	—	125(注1)	°C	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

注 1. 動作周囲温度の上限は 105°C です (製品による)。型名が動作温度の上限 105°C を示している場合、T_j の最大値は 125°C になります。

2.2.2 I/O V_{IH} , V_{IL}

表 2.4 I/O V_{IH} , V_{IL}

条件 : $V_{CC} = AV_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{RTC} = 1.6 \sim 5.5 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件			
入力電圧	入力ポート端子 P001, P002, P014, P015	V_{IH}	$AV_{CC} \times 0.8$	—	—	V	—			
		V_{IL}	—	—	$AV_{CC} \times 0.2$					
	P214、P215 を除く入力ポート端子	V_{IH}	$V_{RTC} \times 0.8$	—	—					
		V_{IL}	—	—	$V_{RTC} \times 0.2$					
	以下を除く入力ポート端子 P001, P002, P014, P015, P214, P215	V_{IH}	$V_{CC} \times 0.8$	—	—					
		V_{IL}	—	—	$V_{CC} \times 0.2$					
	EXTAL	V_{IH}	$V_{CC} \times 0.8$	—	—					
		V_{IL}	—	—	$V_{CC} \times 0.2$					
	5 V トレラントポート(注3)	V_{IH}	$V_{CC} \times 0.8$	—	5.8					
		V_{IL}	—	—	$V_{CC} \times 0.2$					
	RES, NMI, IRQ(注4)	V_{IH}	$V_{CC} \times 0.8$	—	—					
		V_{IL}	—	—	$V_{CC} \times 0.2$					
		ΔV_T (注6)	$V_{CC} \times 0.10$	—	—			VCC = 2.7 V ~5.5 V		
			$V_{CC} \times 0.05$	—	—			VCC = 1.6 V ~2.7 V		
	周辺機能(注5)	AGT、 AGTW、 GPT、SPI、 その他(注4)	V_{IH}	$V_{CC} \times 0.8$	—			—	—	
			V_{IL}	—	—			$V_{CC} \times 0.2$		
			ΔV_T (注6)	$V_{CC} \times 0.10$	—			—		VCC = 2.7 V ~5.5 V
				$V_{CC} \times 0.05$	—			—		VCC = 1.6 V ~2.7 V
		RTCIC0-2 (注7)	V_{IH}	$V_{RTC} \times 0.8$	—			5.8	—	
			V_{IL}	0	—			$V_{RTC} \times 0.2$		
ΔV_T (注6)			—	0.71	—					
IIC (SMBus を除く) (注1)		V_{IH}	$V_{CC} \times 0.7$	—	5.8	—				
		V_{IL}	—	—	$V_{CC} \times 0.3$					
		ΔV_T (注6)	$V_{CC} \times 0.10$	—	—		VCC = 2.7 V ~5.5 V			
			$V_{CC} \times 0.05$	—	—		VCC = 1.6 V ~2.7 V			
IIC (SMBus) (注2)		V_{IH}	2.2	—	—	VCC = 3.6 V ~5.5 V				
		V_{IL}	2.0	—	—	VCC = 2.7 V ~3.6 V				
		V_{IL}	—	—	0.8	VCC = 3.6 V ~5.5 V				
		V_{IL}	—	—	0.5	VCC = 2.7 V ~3.6 V				

注 1. SCL0、SDA0 (合計 2 端子)。5 V トレラントポートは N チャネルオープンドレインポートとして使用されます。

注 2. SCL0、SCL1、SDA0、SDA1 (合計 4 端子)

注 3. P410、P411 (合計 2 端子)。5 V トレラントポートは通常の CMOS ポートとして使用されます。

注 4. PmnPFS.ISEL = 1

注 5. PmnPFS.PMR = 1

注 6. これはシュミットトリガ回路のヒステリシス特性です。

注 7. High レベルを P400~P402 (RTCIC0~RTCIC2) に入力する場合、端子を個別に抵抗を介して VCC と VRTC のより高い電圧に接続してください。

2.2.3 I/O I_{OH} , I_{OL}

表 2.5 I/O I_{OH} , I_{OL} (1/3)

条件 : VCC = AVCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (端子ごとの平均値)	ポート P001、P002、P014、P015、P212、P213、P410、P411	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	8.0	mA	
	ポート P400~P402	I_{OL}	—	—	15.0	mA	
	その他の出力端子(注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	20.0	mA	
許容出力電流 (端子ごとの最大値)	ポート P001、P002、P014、P015、P212、P213、P410、P411	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	8.0	mA	
	ポート P400~P402	I_{OL}	—	—	15.0	mA	
	その他の出力端子(注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	20.0	mA	

表 2.5 I/O I_{OH}, I_{OL} (2/3)

条件 : VCC = AVCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (全端子の最大値) (注2)	ポート P001、P002、P014、P015 の合計	$\Sigma I_{OH} (max)$	—	—	-16	mA	AVCC = 2.7~5.5 V
			—	—	-4	mA	AVCC = 1.8~2.7 V
			—	—	-2	mA	AVCC = 1.6~1.8 V
		$\Sigma I_{OL} (max)$	—	—	32	mA	AVCC = 2.7~5.5 V
			—	—	2.4	mA	AVCC = 1.8~2.7 V
			—	—	1.2	mA	AVCC = 1.6~1.8 V
	ポート P212、P213 の合計	ΣI_{OH}	—	—	-8	mA	VCC = 2.7~5.5 V
			—	—	-2	mA	VCC = 1.8~2.7 V
			—	—	-1	mA	VCC = 1.6~1.8 V
	ポート P212、P213、P400~P402 の合計	ΣI_{OL}	—	—	20.0	mA	VCC = 2.7~5.5 V
			—	—	4	mA	VCC = 1.8~2.7 V
			—	—	2	mA	VCC = 1.6~1.8 V
ポート P403~P405 の合計	ΣI_{OH}	—	—	-12	mA	VCC = 2.7~5.5 V	
		—	—	-3	mA	VCC = 1.8~2.7 V	
		—	—	-1.5	mA	VCC = 1.6~1.8 V	
	ΣI_{OL}	—	—	50	mA	VCC = 4.0~5.5 V	
		—	—	24	mA	VCC = 2.7~4.0 V	
		—	—	1.8	mA	VCC = 1.8~2.7 V	
		—	—	0.9	mA	VCC = 1.6~1.8 V	
		—	—	—	—	—	—
ポート P108、P201、P204~P211、P300、P408~P411、P600 の合計	100 ピン製品	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~5.5 V
			—	—	-8	mA	VCC = 1.8~2.7 V
			—	—	-4	mA	VCC = 1.6~1.8 V
	$\Sigma I_{OL} (max)$	—	—	50	mA	VCC = 2.7~5.5 V	
		—	—	4	mA	VCC = 1.8~2.7 V	
		—	—	2	mA	VCC = 1.6~1.8 V	

表 2.5 I/O I_{OH} , I_{OL} (3/3)条件 : $V_{CC} = AV_{CC} = 1.6 \sim 5.5 V$

項目	シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (全端子の最大値) (注2)	ポート P100~P103、P109~P115、P203、P301~P313 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	$V_{CC} = 2.7 \sim 5.5 V$
			—	—	-8	mA	$V_{CC} = 1.8 \sim 2.7 V$
			—	—	-4	mA	$V_{CC} = 1.6 \sim 1.8 V$
		$\Sigma I_{OL} (max)$	—	—	50	mA	$V_{CC} = 2.7 \sim 5.5 V$
			—	—	4	mA	$V_{CC} = 1.8 \sim 2.7 V$
			—	—	2	mA	$V_{CC} = 1.6 \sim 1.8 V$
	ポート P004~P013、P104~P107、P500~P506 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	$V_{CC} = 2.7 \sim 5.5 V$
			—	—	-8	mA	$V_{CC} = 1.8 \sim 2.7 V$
			—	—	-4	mA	$V_{CC} = 1.6 \sim 1.8 V$
		$\Sigma I_{OL} (max)$	—	—	50	mA	$V_{CC} = 2.7 \sim 5.5 V$
			—	—	4	mA	$V_{CC} = 1.8 \sim 2.7 V$
			—	—	2	mA	$V_{CC} = 1.6 \sim 1.8 V$
全出力端子の総和	100 ピン製品	$\Sigma I_{OH} (max)$	—	—	-90	mA	
		$\Sigma I_{OL} (max)$	—	—	100	mA	
ポート P009~P013、P100~P112、P201、P203~P211、P300~P304、P310~P313、P410、P411、P500~P506、P600 の合計	80 ピン製品 64 ピン製品	$\Sigma I_{OH} (max)$	—	—	-30	mA	$V_{CC} = 2.7 \sim 5.5 V$
			—	—	-8	mA	$V_{CC} = 1.8 \sim 2.7 V$
			—	—	-4	mA	$V_{CC} = 1.6 \sim 1.8 V$
	$\Sigma I_{OL} (max)$	—	—	50	mA	$V_{CC} = 2.7 \sim 5.5 V$	
		—	—	4	mA	$V_{CC} = 1.8 \sim 2.7 V$	
		—	—	2	mA	$V_{CC} = 1.6 \sim 1.8 V$	
全出力端子の総和	80 ピン製品 64 ピン製品	$\Sigma I_{OH} (max)$	—	—	-60	mA	
		$\Sigma I_{OL} (max)$	—	—	100	mA	

注 1. 入力ポートである P200、P214、および P215 を除きます。

注 2. デューティ比 $\leq 70\%$ の条件下での仕様です。デューティ比 $> 70\%$ の場合、出力電流値は次式で計算できます (デューティ比を 70% から $n\%$ に変更するとき)。端子の合計出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$ <例> $n = 80\%$ で、 $I_{OH} = -30.0 \text{ mA}$ のとき端子の合計出力電流 = $(-30.0 \times 0.7) / (80 \times 0.01) \approx -26.2 \text{ mA}$

ただし、1つの端子に入力可能な電流はデューティ比によって変化しません。

【使用上の注意】 MCU の信頼性を確保するため、出力電流値は表 2.5 の値を超えないようにしてください。

2.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性表 2.6 I/O V_{OH} 、 V_{OL} (1)

条件：VCC = AVCC = 4.0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P001、P002、P014、P015	V_{OH}	AVCC - 0.8	—	—	V	$I_{OH} = -4.0$ mA
	P001、P002、P014、P015 以外の出力端子 (注1)	V_{OH}	VCC - 0.8	—	—		$I_{OH} = -4.0$ mA
	ポート P001、P002、P014、P015	V_{OL}	—	—	0.8		$I_{OL} = 8.0$ mA
	ポート P212、P213、P410、P411	V_{OL}	—	—	0.8		$I_{OL} = 8.0$ mA
	ポート P400~P402	V_{OL}	—	—	2.0		$I_{OL} = 15.0$ mA
	P001、P002、P014、P015、P212、P213、P410、P411、P400~P402 以外の出力端子 (注1)	V_{OL}	—	—	1.2		$I_{OL} = 20.0$ mA

注 1. 入力ポートである P200、P214、P215 を除きます。

表 2.7 I/O V_{OH} 、 V_{OL} (2)

条件：VCC = AVCC = 2.7~4.0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P001、P002、P014、P015	V_{OH}	AVCC - 0.8	—	—	V	$I_{OH} = -4.0$ mA
	P001、P002、P014、P015 以外の出力端子 (注1)	V_{OH}	VCC - 0.8	—	—		$I_{OH} = -4.0$ mA
	ポート P001、P002、P014、P015	V_{OL}	—	—	0.8		$I_{OL} = 8.0$ mA
	ポート P400~P402	V_{OL}	—	—	0.4		$I_{OL} = 3.0$ mA
	P001、P002、P014、P015、P400~P402 以外の出力端子 (注1)	V_{OL}	—	—	0.8		$I_{OL} = 8.0$ mA

注 1. 入力ポートである P200、P214、P215 を除きます。

表 2.8 I/O V_{OH} 、 V_{OL} (3)

条件：VCC = AVCC = 1.6~2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P001、P002、P014、P015	V_{OH}	AVCC - 0.5	—	—	V	$I_{OH} = -1.0$ mA AVCC = 1.8~2.7 V
			AVCC - 0.5	—	—		$I_{OH} = -0.5$ mA AVCC = 1.6~1.8 V
	P001、P002、P014、P015 以外の出力端子 (注1)	V_{OH}	VCC - 0.5	—	—		$I_{OH} = -1.0$ mA VCC = 1.8~2.7 V
			VCC - 0.5	—	—		$I_{OH} = -0.5$ mA VCC = 1.6~1.8 V
	ポート P001、P002、P014、P015	V_{OL}	—	—	0.4		$I_{OL} = 0.6$ mA AVCC = 1.8~2.7 V
			—	—	0.4		$I_{OL} = 0.3$ mA AVCC = 1.6~1.8 V
			—	—	0.4		$I_{OL} = 2$ mA VCC = 1.8~2.7 V
			—	—	0.4		$I_{OL} = 1$ mA VCC = 1.6~1.8 V
	ポート P400~P402	V_{OL}	—	—	0.4		$I_{OL} = 0.6$ mA VCC = 1.8~2.7 V
			—	—	0.4		$I_{OL} = 0.3$ mA VCC = 1.6~1.8 V

注 1. 入力ポートである P200、P214、P215 を除きます。

表 2.9 I/O その他の特性

条件：VCC = AVCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0\text{ V}$ $V_{in} = \text{VCC}$
	ポート P214、P215		—	—	1.0	μA	$V_{in} = 0\text{ V}$ $V_{in} = \text{VRTC}$
スリーステートリーク電流 (オフ状態)	5V トレラントポート(注1)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0\text{ V}$ $V_{in} = 5.8\text{ V}$
	ポート P400~P402 (N チャネルオープンドレイン、5 V トレラント)		—	—	1.0		$V_{in} = 0\text{ V}$ $V_{in} = 5.8\text{ V}$
	その他のポート (P200、P214、P215、および 5 V トレラント対応ポート P400~P402 を除く)		—	—	1.0		$V_{in} = 0\text{ V}$ $V_{in} = \text{VCC}$
入力プリアップ抵抗	全ポート (P200、P214、P215、P400~P402、P600 を除く)	R_U	10	20	100	$\text{k}\Omega$	$V_{in} = 0\text{ V}$
入力容量	P200	C_{in}	—	—	30	pF	$V_{in} = 0\text{ V}$ $f = 1\text{ MHz}$ $T_a = 25^\circ\text{C}$
	その他の入力端子		—	—	15		

注 1. P410、P411 (合計 2 端子)

2.2.5 動作電流とスタンバイ電流

表 2.10 動作電流とスタンバイ電流 (1) (1/2)

条件：VCC = AVCC = 1.6~5.5 V

項目				シンボル	LDO モード		単位	
					Typ (注10)	Max		
消費電流 (注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 48 MHz(注7)	I_{CC}	4.80 (注11)	—	mA
				ICLK = 32 MHz(注7)		3.45	—	
				ICLK = 16 MHz(注7)		2.10	—	
				ICLK = 8 MHz(注7)		1.45	—	
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 48 MHz(注9)	—	12.9 (注11)		
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 48 MHz(注7)	1.06	—		
				ICLK = 32 MHz(注7)	1.00	—		
				ICLK = 16 MHz(注7)	0.75	—		
	ICLK = 8 MHz(注7)			0.65	—			
		すべての周辺クロックが有効(注5)	ICLK = 48 MHz(注9)	4.45	—			
			ICLK = 32 MHz(注8)	4.40	—			
			ICLK = 16 MHz(注8)	2.50	—			
			ICLK = 8 MHz(注8)	1.30	—			
		BGO 動作時の増加分(注6)		2.1	—			

表 2.10 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC = 1.6~5.5 V

項目	シンボル	LDO モード		単位				
		Typ (注10)	Max					
消費電流 (注1)	Middle-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 24 MHz(注7)	I _{CC}	2.65	—	mA
			ICLK = 4 MHz(注7)	0.90		—		
		スリープモード	すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 24 MHz(注8)	—	9.0		
			すべての周辺クロックが無効(注5)	ICLK = 24 MHz(注7)	0.80	—		
				ICLK = 4 MHz(注7)	0.60	—		
			すべての周辺クロックが有効(注5)	ICLK = 24 MHz(注8)	3.35	—		
				ICLK = 4 MHz(注8)	1.05	—		
			BGO 動作時の増加分(注6)			1.75	—	
消費電流 (注1)	Low-speed モード(注3)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz(注7)	I _{CC}	0.3	—	mA
			ICLK = 2 MHz(注8)	—		3.3		
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 2 MHz(注7)		0.13	—	
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz(注8)		0.35	—	
	Subosc-speed モード(注4)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行(注5)	ICLK = 32.768 kHz(注8)	I _{CC}	4.40	—	μA
			すべての周辺クロックが有効、(1) コードはフラッシュから実行(注5)	ICLK = 32.768 kHz		7.80	—	
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 32.768 kHz(注8)		T _a = 25°C	9.3	
		T _a = 55°C				10.6	—	
		T _a = 70°C				11.5	—	
		T _a = 85°C				13.0	—	
スリープモード	すべての周辺クロックが無効(注5)	ICLK = 32.768 kHz(注8)	—	2.40	—			
			すべての周辺クロックが有効(注5)	ICLK = 32.768 kHz(注8)	T _a = 25°C	5.80	—	
					T _a = 55°C	6.8	—	
T _a = 70°C	7.65	—						
T _a = 85°C	9.1	—						
T _a = 105°C	15.6	—						

注 1. 消費電流は、VCC と VRTC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 2. クロックソースは HOCO です。

注 3. クロックソースは MOCO です。

注 4. クロックソースはサブクロック発振器です。

注 5. これは BGO および A/D 動作を含みません。

- 注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
 注 7. PCLKB と PCLKD は、64 分周に設定されています。
 注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
 注 9. PCLKB は 2 分周に設定されています。PCLKD は ICLK と同じ周波数です。
 注 10. VCC = 3.3 V
 注 11. プリフェッチが動作中です。

表 2.11 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC = 1.6~5.5 V

項目			シンボル	Typ(注3)	Max	単位	
消費電流 (注1)	ソフトウェアスタンバイモード(注2)	すべての SRAM (0x2000_4000~0x2000_BFFF) がオン	T _a = 25°C	I _{CC}	0.40	2.5	μA
			T _a = 55°C		0.85	9.8	
			T _a = 70°C		1.35	25	
			T _a = 85°C		2.60	40	
			T _a = 105°C		6.05	63	
		8 KB SRAM (0x2000_4000~0x2000_5FFF) のみがオン	T _a = 25°C		0.35	2.5	
			T _a = 55°C		0.75	9.8	
			T _a = 70°C		1.20	25	
			T _a = 85°C		2.25	40	
			T _a = 105°C		5.35	63	
	サブクロック発振器での通常動作モードの独立電源 RTC 動作時増加分(注4)	SOMCR.SODRV[1:0] = 11b (低消費電力モード 3)		0.15	—		
		SOMCR.SODRV[1:0] = 00b (通常モード)		0.95	—		

- 注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
 注 2. IWDT と LVD は動作していません。
 注 3. VCC = 3.3 V
 注 4. VRTC 端子に流れ込む電流 (RTC 電源、サブ発振回路の電流、および RTC を含みます。)

表 2.12 動作電流とスタンバイ電流 (3)

条件 : VCC = AVCC = 0 V, VRTC = 1.6~5.5 V, VSS = AVSS = 0 V

項目		シンボル	Typ(注3)	Max(注3)	単位	
消費電流 (注1)	VCC がオフの場合の独立電源 RTC 動作時増加分(注2)(注3)	VRTC = 3.3 V、SOMCR.SODRV[1:0] = 11b (低消費電力モード 3)	T _a = 25°C	0.46	—	μA
			T _a = 55°C	0.50	—	
			T _a = 85°C	0.60	—	
			T _a = 105°C	0.65	—	
		VRTC = 3.3 V、SOMCR.SODRV[1:0] = 00b (通常モード)	T _a = 25°C	1.25	—	
			T _a = 55°C	1.35	—	
			T _a = 85°C	1.55	—	
			T _a = 105°C	1.70	—	
		VRTC = 3.3 V、SOMCR.SODRV[1:0] = 10b (低消費電力モード 2)	T _a = 25°C	0.65	—	
			T _a = 55°C	0.70	—	
			T _a = 85°C	0.80	—	
			T _a = 105°C	0.85	—	
		VRTC = 3.3 V、SOMCR.SODRV[1:0] = 01b (低消費電力モード 1)	T _a = 25°C	0.80	—	
			T _a = 55°C	0.90	—	
			T _a = 85°C	1.00	—	
			T _a = 105°C	1.10	—	

注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。消費電流は、VRTC に流れ込む合計電流です。

注 2. VRTC 端子に流れ込む電流 (RTC 電源、サブ発振回路の電流、および RTC を含みます。)

注 3. Typ Ta = 25°C, max Ta = 105°C

表 2.13 動作電流とスタンバイ電流 (4) (1/2)

条件 : VCC = AVCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	
アナログ電源電流	12 ビット A/D 変換中 (高速 A/D 変換モード時)	I _{AVCC}	—	—	1.44	mA	
	12 ビット A/D 変換中 (低消費電力 A/D 変換モード時)		—	—	0.78	mA	
	12 ビット A/D 変換待機中 (全ユニット) (注1)		—	—	1.0	μA	
	24 ビットシグマ-デルタ A/D 変換中 (通常変換時) (AVCC = 2.4~5.5 V)(注2)		7 ch + レギュレータ、16 MHz、8 kHz サンプリングモード	—	4.1	5.5	mA
			4 ch + レギュレータ、16 MHz、8 kHz サンプリングモード	—	2.5	3.4	mA
			3 ch + レギュレータ、16 MHz、8 kHz サンプリングモード	—	2.0	2.7	mA
			1 ch + レギュレータ、16 MHz、8 kHz サンプリングモード	—	0.9	1.3	mA
			1 ch + レギュレータ、16 MHz、8 kHz/4 kHz ハイブリッドサンプリングモード	—	0.9	1.3	mA
			1 ch + レギュレータ、PLL (12.8 MHz) 8 kHz サンプリングモード(注3)	—	0.9	1.3	mA
24 ビットシグマ-デルタ A/D 変換中 (低消費電力時) (AVCC = 2.4~5.5 V)	7 ch SDADMR.PONn (n = 0~6)、レギュレータ、16 MHz、8 kHz サンプリングモード	—	—	1.60	μA		
24 ビットシグマ-デルタ A/D 変換待機時(注4) (AVCC = 2.4~5.5 V)	—	—	—	1.5	μA		
リファレンス電源電流	12 ビット A/D 変換中	I _{REFH0}	—	—	120	μA	
	12 ビット A/D 変換待機中		—	—	60	nA	
温度センサ (TSN) 動作電流		I _{TNS}	—	95	—	μA	
ウォッチドッグタイマ動作電流	I _{LOCO} を含む VCC に流れ込む電流、メインクロック停止	I _{WDT}	—	0.2	—	μA	
LVDVBAT 動作電流	EXLVDVBAT に流れ込む電流	I _{LVDVBAT}	—	0.033	—	μA	
	VCC に流れ込む電流		—	0.04	—	μA	
LVDVRTC 動作電流	VRTC に流れ込む電流	I _{LVDVRTC}	—	0.15	—	μA	
	VCC に流れ込む電流		—	0.04	—	μA	
LVDEXLVD 動作電流	EXLVD に流れ込む電流	I _{LVDEXLVD}	—	0.083	—	μA	
	VCC に流れ込む電流		—	0.04	—	μA	
LVD0 動作電流	VCC に流れ込む電流	I _{LVD0}	—	0.045	—	μA	
LVD1 動作電流	VCC に流れ込む電流	I _{LVD1}	—	0.141	—	μA	
LVD2 動作電流	VCC に流れ込む電流	I _{LVD2}	—	0.120	—	μA	
SDADCCLK 動作電流用サブ発振停止検出		I _{SOSTD}	—	0.1	—	μA	
SDADCCLK 動作電流用メイン発振停止検出		I _{MOSTD}	—	29	—	μA	
バンクプログラミング動作電流		I _{BNKP}	—	2.05	13.5	mA	

表 2.13 動作電流とスタンバイ電流 (4) (2/2)

条件: VCC = AVCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位		
LCD 動作電流	外部抵抗分割方式	$f_{LCD} = f_{SUB}$ (32.768 kHz) LCD クロック = 128 Hz 1/3 バイアス、4 回スライス	VCC = 5.0 V、 VL4 = 5.0 V	I_{LCD1} ^(注5) (注6)	—	0.05	—	μA
	内部電圧昇圧方式	$f_{LCD} = f_{SUB}$ (32.768 kHz) LCD クロック = 128 Hz 1/3 バイアス、4 回スライス VL1 リファレンス、 VL1AMP 有効	VCC = 3.0 V、 VL4 = 3.0 V (VLCD = 04H)	I_{LCD2} ^(注5)	—	1.00	—	μA
			VCC = 5.0 V、 VL4 = 5.1 V (VLCD = 19H)		—	1.20	—	μA
		$f_{LCD} = f_{SUB}$ (32.768 kHz) LCD クロック = 128 Hz 1/3 バイアス、4 回スライス VL2 リファレンス、 VL2AMP 有効	VCC = 3.0 V、 VL4 = 3.0 V (VLCD = 84H)	I_{LCD4} ^(注5)	—	0.80	—	μA
	容量分割方式	$f_{LCD} = f_{SUB}$ (32.768 kHz) LCD クロック = 128 Hz 1/3 バイアス、4 回スライス VCC リファレンス、	VCC = 3.0 V、 VL4 = 3.0 V	I_{LCD3} ^(注5)	—	0.20	—	μA
			VCC = 5.0 V、 VL4 = 5.1 V (VLCD = 99H)		—	1.00	—	μA
	$f_{LCD} = f_{SUB}$ (32.768 kHz) LCD クロック = 128 Hz 1/3 バイアス、4 回スライス VL4 リファレンス、 VL4AMP 有効	VCC = 3.2 V、 VL4 = 3.0 V	I_{LCD5} ^(注5)	—	0.80	—	μA	

注 1. MCU がソフトウェアスタンバイモードまたは MSTPCRD.MSTPD16 (ADC120 モジュールストップビット) がモジュールストップ状態の場合

注 2. Typ 条件は 3.0 V、25°C であり、電流は AVDD 端子に流れ込む電流です。

注 3. PLL 電流は含みません。

注 4. MCU で MSTPCRD.MSTPD17 (SDADC24 モジュールストップビット) がモジュールストップ状態の場合

注 5. Typ 値と Max 値の条件は以下のとおりです。

- セグメント機能として 20 端子を設定、および全点滅
- LCD クロック = 128 Hz (LCDC0 = 07H) の場合、システムクロックに f_{SUB} を選択
- 4 回のスライスと 1/3 バイアスを設定

注 6. 外部抵抗分割法を使用する場合に外部分割抵抗に流れ込む電流を含みません。

2.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.14 VCC 立ち上がり／立ち下がり勾配の特性

条件: VCC = AVCC = 0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり 勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧モニタ 0 リセット有効 ^(注1) ^(注2)				—		
	SCI ブートモード ^(注2)				2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 2.15 立ち上がり／立ち下がり勾配とリップル周波数特性

条件 : VCC = AVCC = 1.6~5.5 V

リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_{r(VCC)}$ を満たす必要があります。

VCC 変動が VCC±10%を超える場合は、許容電圧変動の立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 2.2 $V_{r(VCC)} \leq VCC \times 0.2$
		—	—	1	MHz	図 2.2 $V_{r(VCC)} \leq VCC \times 0.08$
		—	—	10	MHz	図 2.2 $V_{r(VCC)} \leq VCC \times 0.06$
許容電圧変動の立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC±10%を超える場合

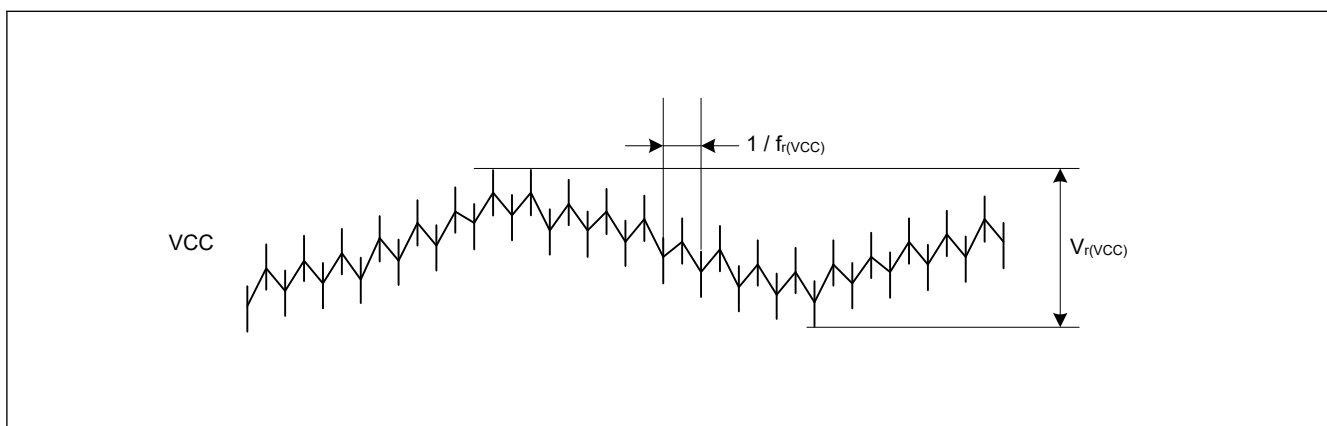


図 2.2 リップル波形

2.2.7 VRTC 立ち上がり／立ち下がり勾配

表 2.16 VRTC 立ち上がり／立ち下がり勾配の特性

条件 : VRTC = AVCC = 0~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VRTC 立ち上がり勾配	SrVRTC	0.02	—	20	ms/V	—

2.3 AC 特性

2.3.1 周波数

表 2.17 High-speed モードの動作周波数

条件 : VCC = AVCC = 1.8~5.5 V

項目	シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~5.5 V	f	0.032768	MHz
	周辺モジュールクロック (PCLKB)	1.8~5.5 V	—	32	
	周辺モジュールクロック (PCLKD)(注3)	1.8~5.5 V	—	64	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.21 を参照してください。

注 5. SDADC24 使用時の PCLKB の下限周波数は 1 MHz です。

表 2.18 Middle-speed モードの動作周波数

条件 : VCC = AVCC = 1.6~5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~5.5 V	f	0.032768	—	24	MHz
		1.6~1.8 V		0.032768	—	4	
	周辺モジュールクロック (PCLKB)	1.8~5.5 V		—	—	24	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)(注3)	1.8~5.5 V		—	—	24	
		1.6~1.8 V		—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.21 を参照してください。

注 5. SDADC24 使用時の PCLKB の下限周波数は 1 MHz です。

表 2.19 Low-speed モードの動作周波数

条件 : VCC = AVCC = 1.6~5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.6~5.5 V	f	0.032768	—	2	MHz
	周辺モジュールクロック (PCLKB) (注5)	1.6~5.5 V		—	—	2	
	周辺モジュールクロック (PCLKD)(注3)	1.6~5.5 V		—	—	2	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.21 を参照してください。

注 5. SDADC24 使用時の PCLKB の下限周波数は 1 MHz です。

表 2.20 Subosc-speed モードの動作周波数

条件 : VCC = AVCC = 1.6~5.5 V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)	1.6~5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB) (注3)	1.6~5.5 V		—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2)	1.6~5.5 V		—	—	37.6832	

注 1. フラッシュメモリのプログラムおよびイレースはできません。

注 2. ADC12 は使用できません。

注 3. PCLKB が subosc に選択されている場合には、SDADC24 は使用できませんが、SDADC24 の動作クロックには subosc から逡倍された PLL クロックを使用できます。

2.3.2 クロックタイミング

表 2.21 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 2.3
EXTAL 外部クロック入力 High レベルパルス幅	t_{XH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{XL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間(注1)	t_{EXWT}	0.3	—	—	μ s	—
EXTAL 外部クロック入力周波数	f_{EXTAL}	—	—	20	MHz	$1.8 \leq VCC \leq 5.5$
		—	—	4		$1.6 \leq VCC < 1.8$
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	$1.8 \leq VCC \leq 5.5$
		1	—	4		$1.6 \leq VCC < 1.8$
LOCO クロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t_{LOCO}	—	—	100	μ s	図 2.4
IWDT 専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μ s	—
HOCO クロック発振周波数(注5) 100 ピン LQFP	f_{HOCO24}	23.76	24	24.24	MHz	$T_a = -20 \sim +85^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$
		23.64		24.36		$T_a = -40 \sim 105^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$
	f_{HOCO32}	31.68	32	32.32		$T_a = -20 \sim +85^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$
		31.52		32.48		$T_a = -40 \sim 105^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$
	f_{HOCO48}	47.52	48	48.48		$T_a = -20 \sim +85^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$
		47.28		48.72		$T_a = -40 \sim 105^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$
	f_{HOCO64}	63.36	64	64.64		$T_a = -20 \sim +85^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$
		63.04		64.96		$T_a = -40 \sim 105^\circ\text{C},$ $1.6 \leq VCC \leq 5.5$

表 2.21 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
HOCO クロック発振周波数(注5) 80 ピン LQFP 64 ピン LQFP	f _{HOCO24}	23.76	24	24.24	MHz	Ta = -10~+70°C, 1.6 ≤ VCC ≤ 5.5
		23.72		23.29		Ta = -20~+85°C, 1.6 ≤ VCC ≤ 5.5
		23.57		24.44		Ta = -40~105°C, 1.6 ≤ VCC ≤ 5.5
	f _{HOCO32}	31.68	32	32.32		Ta = -10~+70°C, 1.6 ≤ VCC ≤ 5.5
		31.62		32.39		Ta = -20~+85°C, 1.6 ≤ VCC ≤ 5.5
		31.43		32.58		Ta = -40~105°C, 1.6 ≤ VCC ≤ 5.5
	f _{HOCO48}	47.52	48	48.48		Ta = -10~+70°C, 1.6 ≤ VCC ≤ 5.5
		47.43		48.58		Ta = -20~+85°C, 1.6 ≤ VCC ≤ 5.5
		47.14		48.87		Ta = -40~105°C, 1.6 ≤ VCC ≤ 5.5
	f _{HOCO64}	63.36	64	64.64		Ta = -10~+70°C, 1.6 ≤ VCC ≤ 5.5
		63.24		64.77		Ta = -20~+85°C, 1.6 ≤ VCC ≤ 5.5
		62.85		65.16		Ta = -40~105°C, 1.6 ≤ VCC ≤ 5.5
HOCO クロック発振安定時間(注3) (注4)	t _{HOCO24} t _{HOCO32} t _{HOCO48} t _{HOCO64}	—	1.9	—	μs	図 2.5
サブクロック発振器発振周波数(注6)	f _{SUB}	—	32.768	—	kHz	—
サブクロック発振安定時間(注2)	t _{SUBOSC}	—	0.5	—	s	図 2.6
PLL 入力周波数(注7)	f _{PLLIN}	—	32.768	—	kHz	—
PLL クロック周波数	f _{PLL}	10	12.8	13	MHz	—
PLL クロック発振安定時間(注8)	t _{PLLWT}	—	—	10	ms	図 2.7

注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間

注 2. サブクロック発振器の動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、サブクロック発振器の使用は必ずサブクロック発振安定待ち時間が経過してから開始してください。サブクロック発振安定待ち時間は発振器製造者の推奨値を使用してください。

注 3. MOCO 停止状態で HOCOCCR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振中に HOCOCCR.HCSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。

注 4. OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。

注 5. 出荷テスト時の精度

注 6. サブクロック発振器の電源は VRTC です。

注 7. PLL が使用可能な VCC の範囲は 2.4~5.5 V です (24 ビットシグマ-デルタ A/D コンバータの電源範囲と同じです)。

注 8. SUBOSC 停止状態で HOCOCCR.HCSTP ビットを 0 (動作) にした場合の特性です。PLLSTP ビットを 0 にした後、24 ビットシグマ-デルタ A/D コンバータクロック (SDADCCLK) 用の PLL クロックを使用する前に、OSCSF.PLLSF ビットが 1 であることを確認してください。

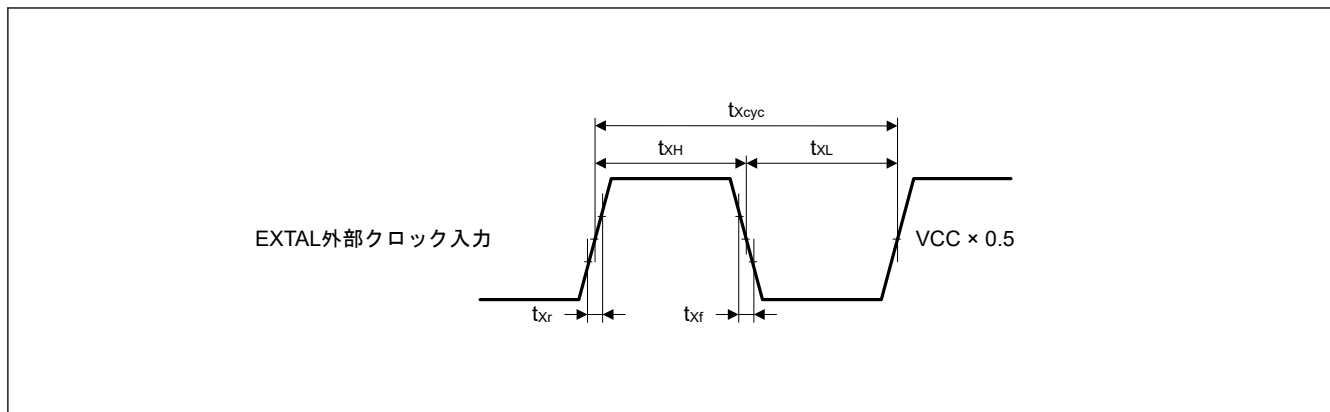


図 2.3 EXTAL 外部クロック入力タイミング

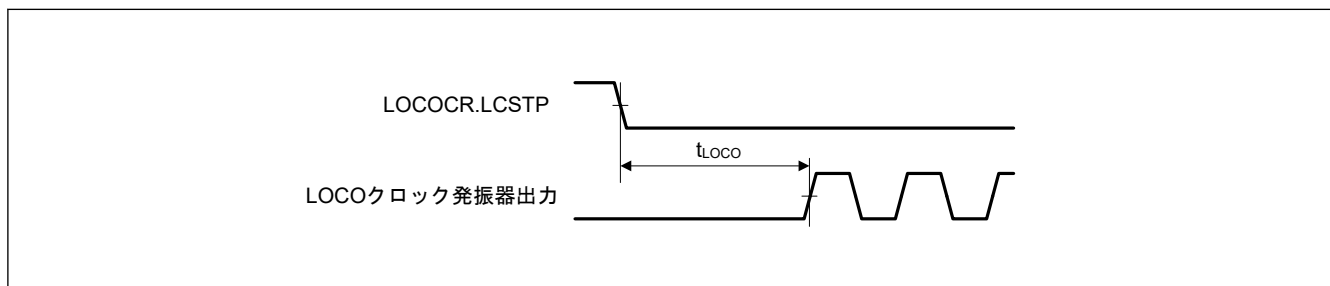


図 2.4 LOCO クロック発振開始タイミング

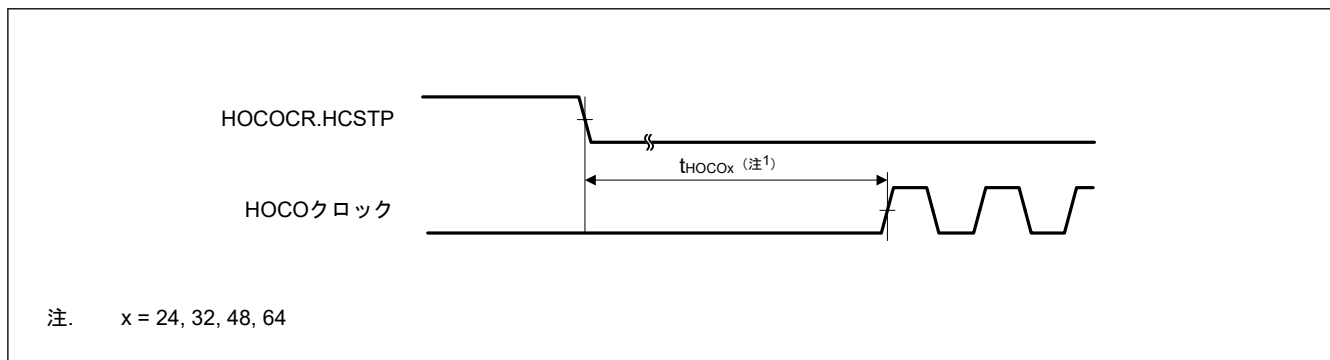


図 2.5 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

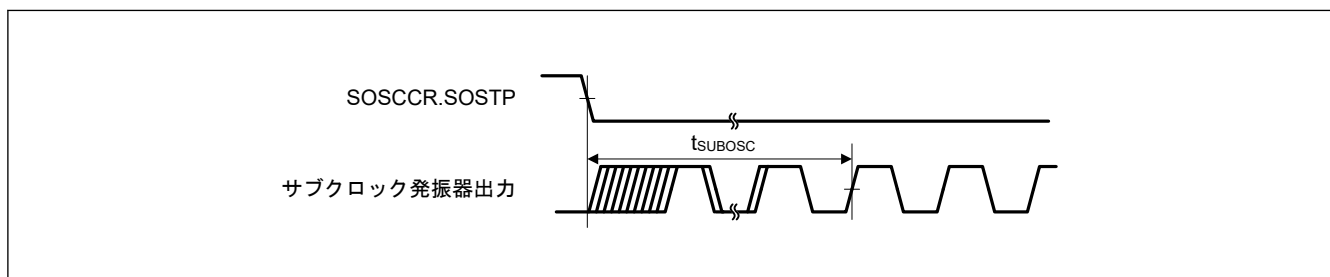


図 2.6 サブクロック発振開始タイミング

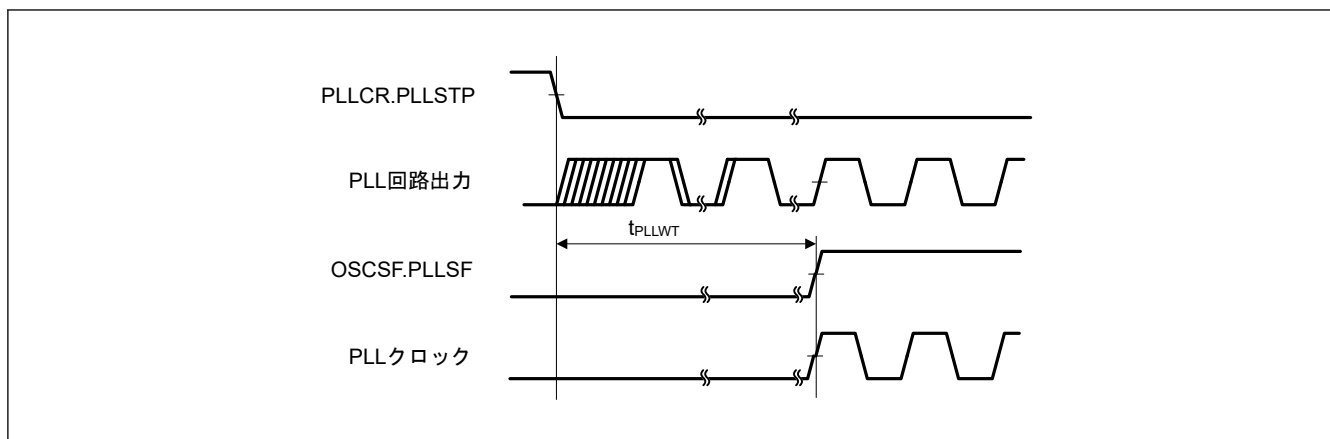


図 2.7 PLL クロック発振開始タイミング

2.3.3 リセットタイミング

表 2.22 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時 (POR)	t_{RESWP}	10	—	—	ms	図 2.8
	電源投入時以外	t_{RESW}	30	—	—	μ s	図 2.9
RES 解除後の待機時間 (電源投入時)	LVD0 有効(注1)	t_{RESWT}	—	0.9	—	ms	図 2.8
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間 (電源投入中)	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 2.9
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、バスマスタ MPU エラーリセット、スタックポインタエラーリセット、ソフトウェアリセット)	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 2.10
	LVD0 無効(注2)		—	0.15	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

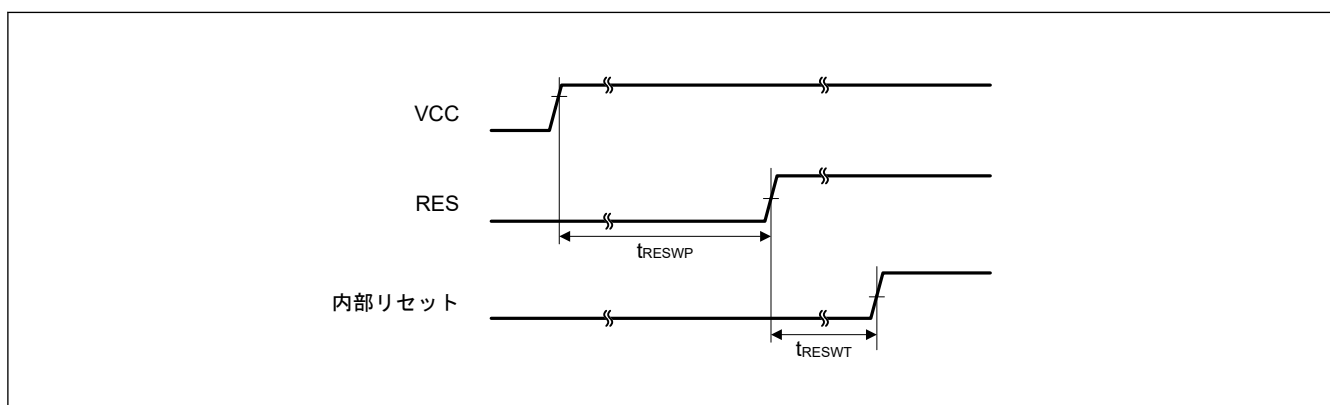


図 2.8 電源投入時リセット入力タイミング

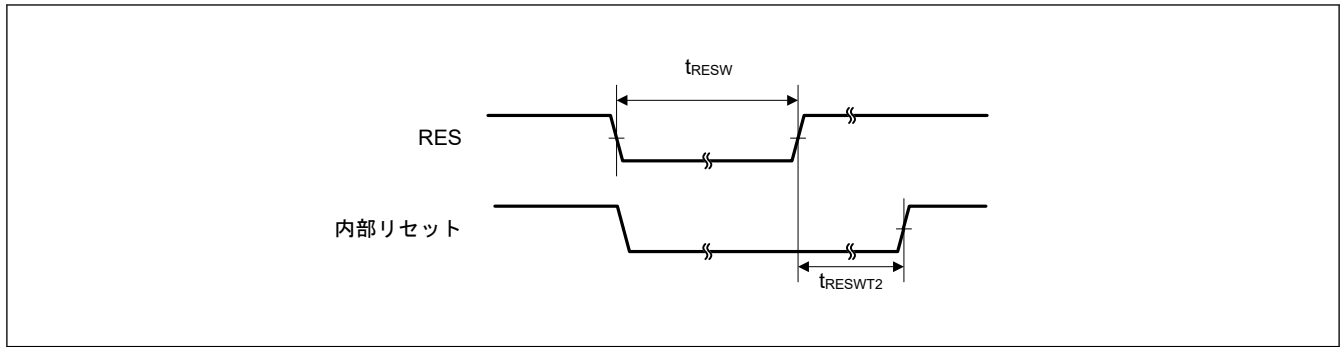


図 2.9 リセット入カタイミング (1)

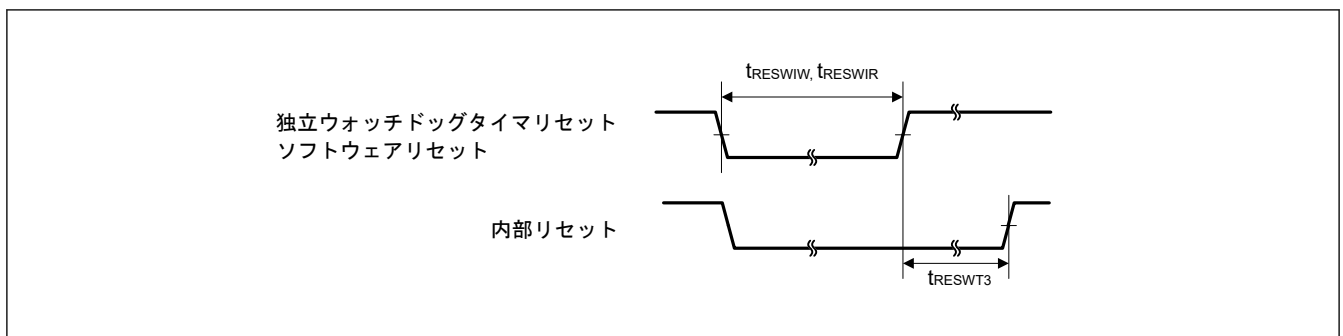


図 2.10 リセット入カタイミング (2)

2.3.4 ウェイクアップ時間

表 2.23 低消費電力モードからの復帰タイミング (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード メインクロック発振器に水晶振動子を接続 システムクロックソースはメインクロック発振器 (20 MHz)(注2)	t _{SBYMC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力 システムクロックソースはメインクロック発振器 (20 MHz)(注3)	t _{SBYEX}	—	2.4	3.1	μs	
	システムクロックソースは HOCO (HOCO クロックは 32 MHz)	t _{SBYHO}	—	4.9	6.2	μs	図 2.11
	システムクロックソースは HOCO (HOCO クロックは 48 MHz)	t _{SBYHO}	—	4.8	6	μs	
	システムクロックソースは HOCO (HOCO クロックは 64 MHz)	t _{SBYHO}	—	4.9	6.2	μs	
	システムクロックソースは MOCO (8MHz)	t _{SBYMO}	—	4	5	μs	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

表 2.24 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.11
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3) VCC = 1.8 V~5.5 V	t_{SBYEX}	—	2.4	3.1	μ s	
			システムクロックソースはメインクロック発振器 (20 MHz)(注3) VCC = 1.6 V~1.8 V						
		システムクロックソースは HOCO(注4)	VCC = 1.8 V~5.5 V	t_{SBYHO}	—	5.2	6.5	μ s	
			VCC = 1.6 V~1.8 V						
		システムクロックソースは MOCO (8MHz)	VCC = 1.8 V~5.5 V	t_{SBYMO}	—	4	5	μ s	
VCC = 1.6 V~1.8 V									

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

注 4. システムクロックは 24 MHz です。

表 2.25 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (2 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.11
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (2 MHz)(注3)	t_{SBYEX}	—	14.5	16	μ s	
		システムクロックソースは MOCO (2 MHz)	t_{SBYMO}	—	12	15	μ s		

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

表 2.26 低消費電力モードからの復帰タイミング (4)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768 kHz)	t_{SBYSC}	—	0.85	1	ms	図 2.11
		システムクロックソースは LOCO (32.768 kHz)	t_{SBYLO}	—	0.85	1.2	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

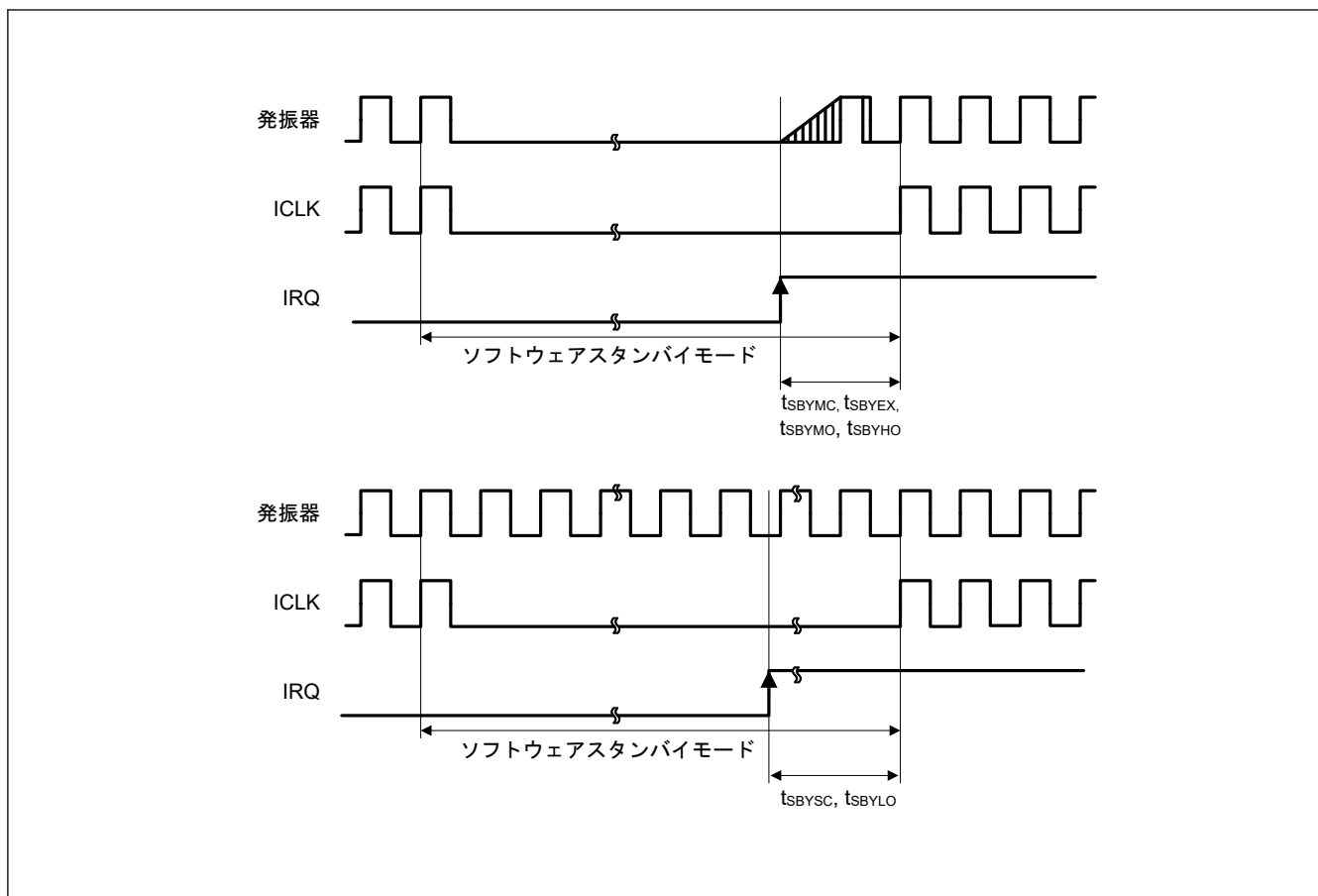


図 2.11 ソフトウェアスタンバイモード解除タイミング

表 2.27 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	tSNZ	—	4.1	5.2	μs	図 2.12
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V~5.5 V	tSNZ	—	4.2	5.3	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V~1.8 V	tSNZ	—	8.3	10	μs	
	Low-speed モード システムクロックソースは MOCO (2 MHz)	tSNZ	—	6.7	8.0	μs	

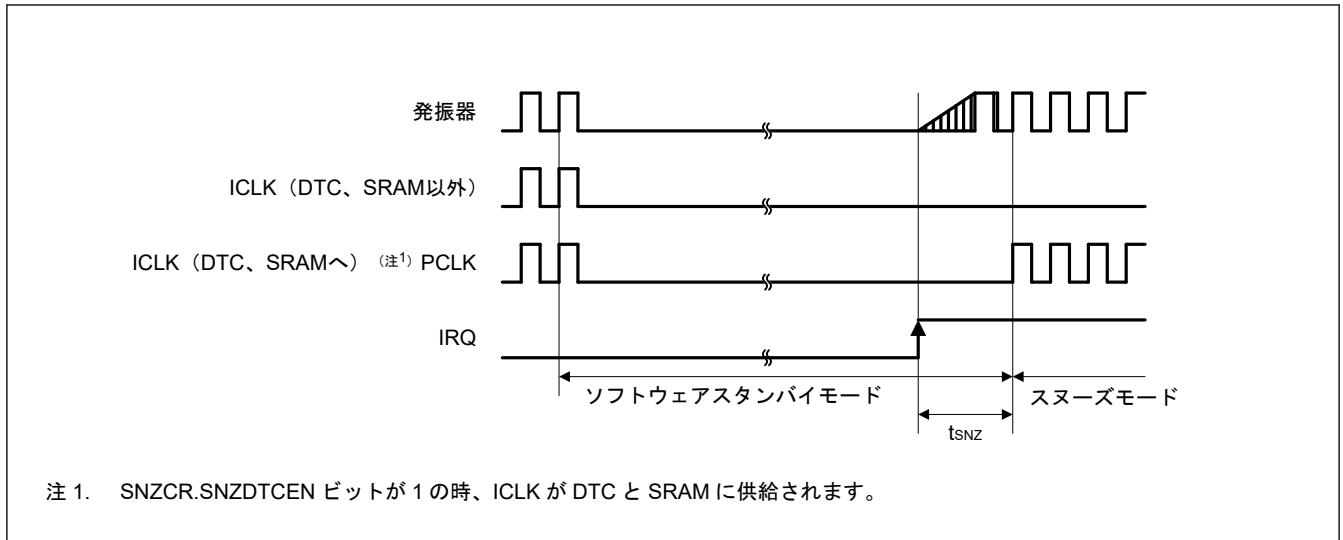


図 2.12 ソフトウェアスタンバイモードからスリープモードへの復帰タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.28 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

- 注. ソフトウェアスタンバイモード時は最小 200 ns です。
- 注. クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足す必要があります。
- 注 1. t_{Pcyc} は PCLKB の周期を意味します。
- 注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。
- 注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を示します (i = 0~7)。

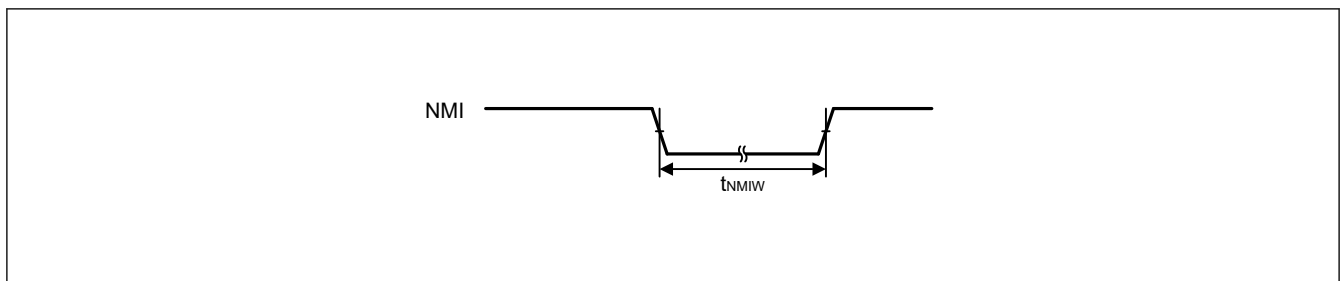


図 2.13 NMI 割り込み入力タイミング

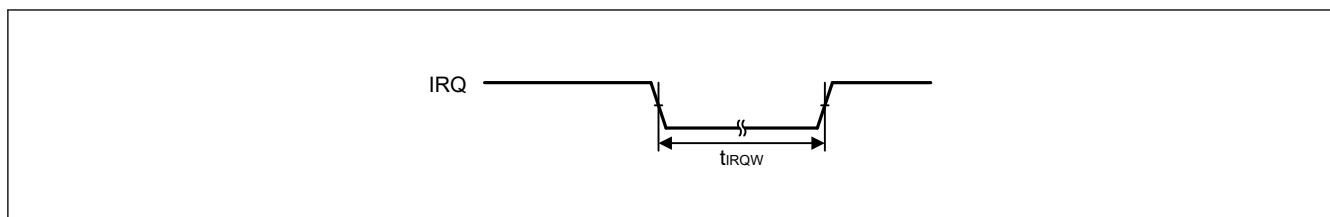


図 2.14 IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGT/AGTW、ADC12 のトリガタイミング

表 2.29 I/O ポート、POEG、GPT、AGT/AGTW、ADC12 のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件	
I/O ポート	入力データパルス幅	t_{PRW}	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	2	—	t_{Pcyc}	図 2.15
			$2.4\text{ V} \leq V_{CC} < 2.7\text{ V}$	3			
			$1.6\text{ V} \leq V_{CC} < 2.4\text{ V}$	4			
POEG	POEG 入力トリガパルス幅	t_{POEW}	3	—	t_{Pcyc}	図 2.16	
GPT	インプットキャプチャパルス幅	t_{GTICW}	単エッジ	1.5	—	t_{PDcyc}	図 2.17
			両エッジ	2.5	—		
AGT/AGTW	AGTIO/AGTWIO、AGTEE/AGTWEE 入力サイクル	t_{ACYC} (注1)	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	250	—	ns	図 2.18
			$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$	2000	—	ns	
	AGTIO/AGTWIO、AGTEE/AGTWEE 入力 High レベル幅、Low レベル幅	t_{ACKWH} t_{ACKWL}	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	100	—	ns	
			$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$	800	—	ns	
	AGTIO/AGTWIO、AGTO/AGTWO、AGTOA/AGTWOA、AGTOB/AGTWOB 出力サイクル	t_{ACYC2}	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	62.5	—	ns	
			$2.4\text{ V} \leq V_{CC} < 2.7\text{ V}$	125	—	ns	
			$1.8\text{ V} \leq V_{CC} < 2.4\text{ V}$	250	—	ns	
			$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$	500	—	ns	
ADC12 ビット	12 ビット A/D コンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 2.19	

注 1. AGTIO 入力の制約: $t_{Pcyc} \times 2$ (t_{Pcyc} : PCLKB サイクル) < t_{ACYC}

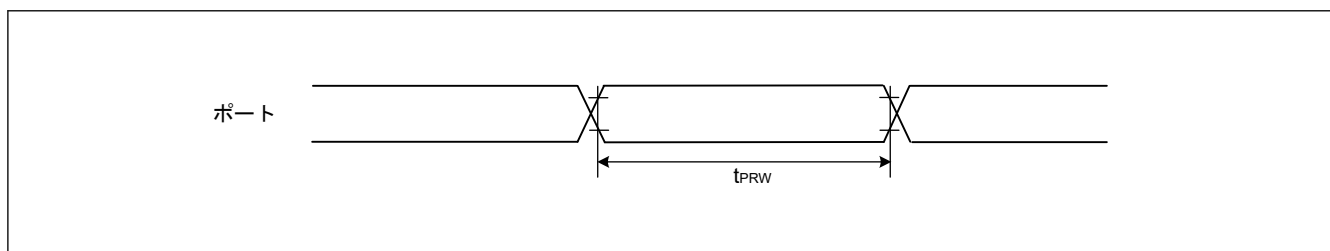


図 2.15 I/O ポート入力タイミング

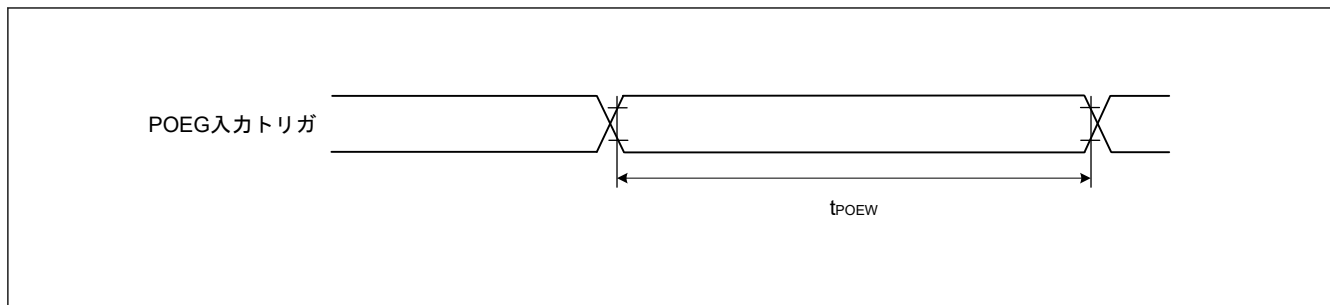


図 2.16 POEG 入力トリガタイミング

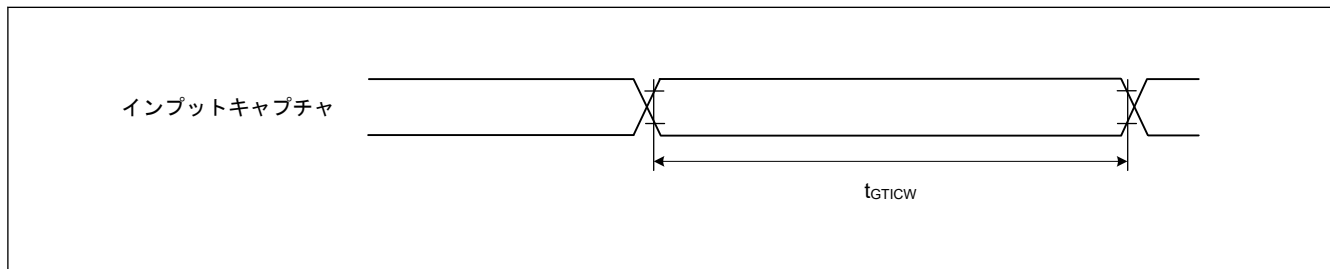


図 2.17 GPT インプットキャプチャタイミング

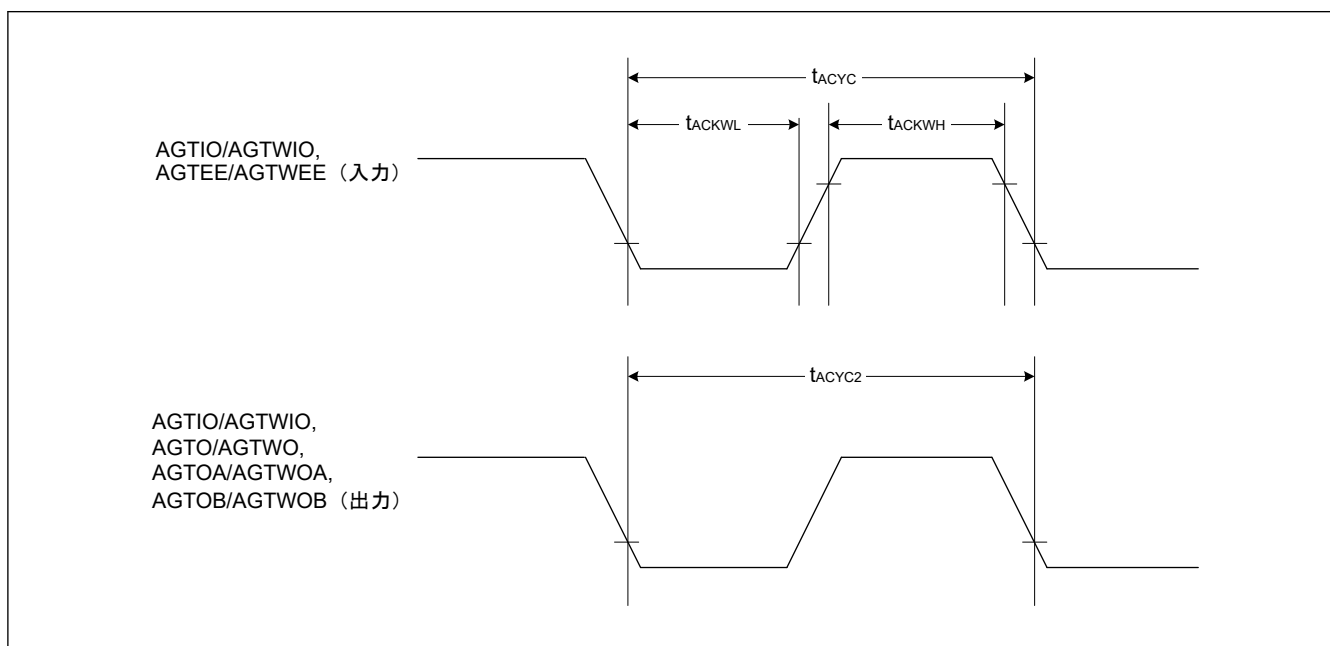


図 2.18 AGT/AGTW 入出力タイミング

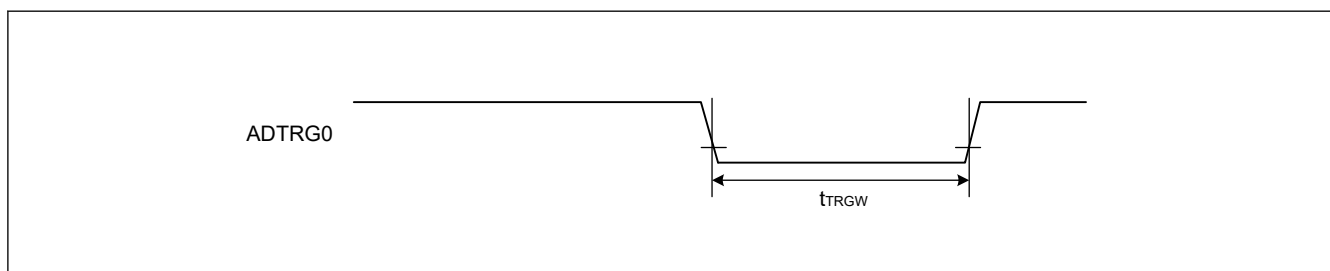


図 2.19 ADC12 トリガ入力タイミング

2.3.7 CAC タイミング

表 2.30 CAC タイミング

条件 : VCC = AVCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t_{CACREF}	$t_{\text{Pcyc}}^{(\text{注1})} \leq t_{\text{CAC}}^{(\text{注2})}$	—	—	ns	—
			$t_{\text{Pcyc}}^{(\text{注1})} > t_{\text{CAC}}^{(\text{注2})}$	$4.5 \times t_{\text{CAC}} + 3 \times t_{\text{Pcyc}}$	—	—	

注 1. t_{Pcyc} : PCLKB の周期注 2. t_{CAC} : CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.31 SCI タイミング (1)

条件 : VCC = AVCC = 1.6~5.5 V

項目			シンボル	Min	Max	単位	測定条件	
SCI	入カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{Scyc}	125	—	ns	図 2.20
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
		クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	入カクロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間			t_{SCKr}	—	20	ns	
	入カクロック立ち下がり時間			t_{SCKf}	—	20	ns	
	出カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{Scyc}	187.5	—	ns	
$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$			375		—			
$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$			750		—			
$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			1500		—			
クロック同期式		$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	125		—			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	250		—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	500		—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	1000		—			
出カクロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}		
出カクロック立ち上がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{SCKr}	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
出カクロック立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{SCKf}	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
送信データ遅延時間 (マスタ)	クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{TXD}	—	40	ns	図 2.21	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	45			
送信データ遅延時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{TXD}	—	55	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	60			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125			
受信データセットアップ時間 (マスタ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{RXS}	45	—	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		90	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—			
受信データセットアップ時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{RXS}	40	—	ns		
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—			
受信データホールド時間 (マスタ)	クロック同期式		t_{RXH}	5	—	ns		
受信データホールド時間 (スレーブ)	クロック同期式		t_{RXH}	40	—	ns		

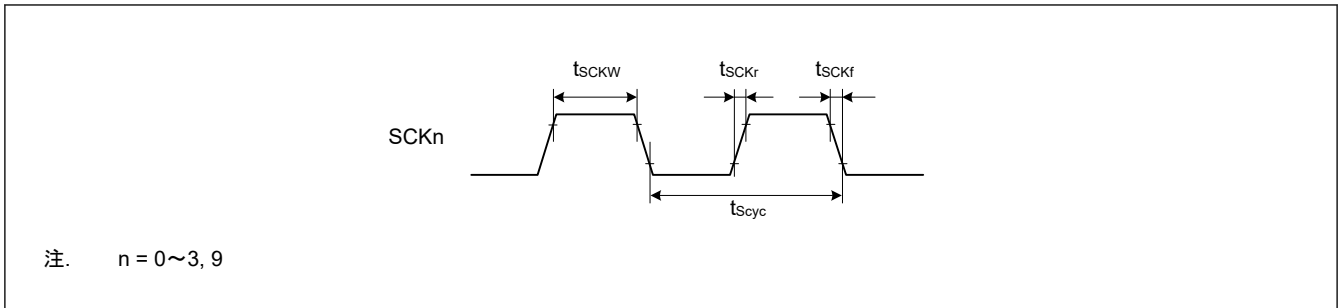


図 2.20 SCK クロック入力タイミング

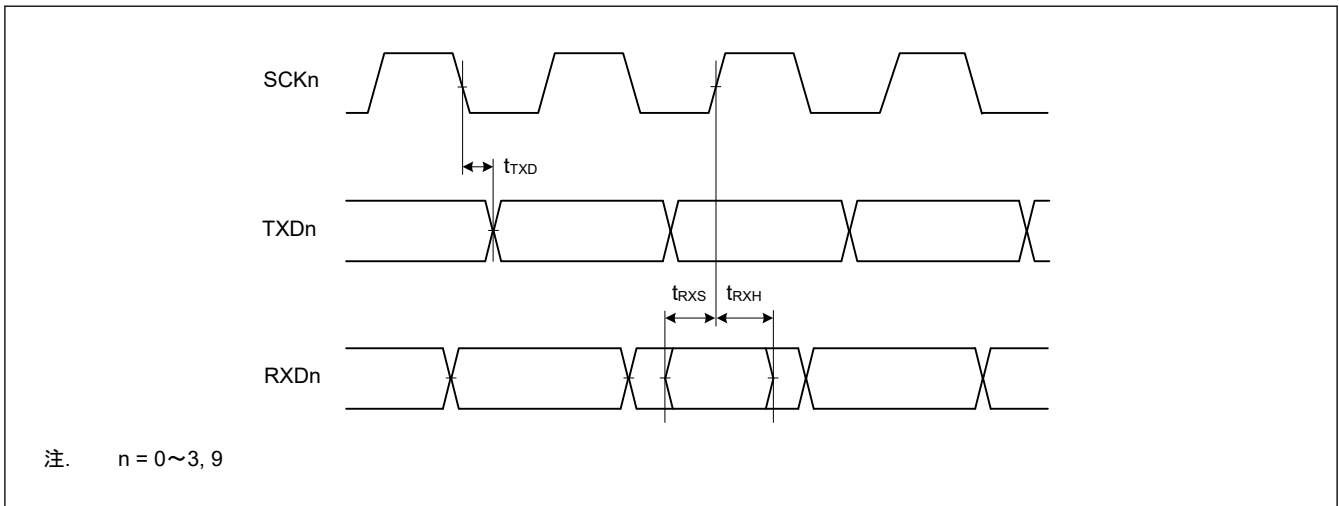


図 2.21 クロック同期式モードにおける SCI 入出力タイミング

表 2.32 SCI タイミング (2) (1/2)

条件 : VCC = AVCC = 1.6~5.5 V

項目			シンボル	Min	Max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SPcyc}	125	—	ns	図 2.22
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
	SCK クロックサイクル入力 (スレーブ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり ／立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SPCKr}	—	20	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	t_{SPCKf}	—	30		
データ入力セ ットアップ時 間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SU}	45	—	ns	図 2.23~図 2.26
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		80	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—		
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		40	—		
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—		
データ入力ホ ールド時間	マスタ	t_{H}	33.3	—	ns		
	スレーブ	40	—				
SS 入力セットアップ時間			t_{LEAD}	1	—	t_{SPcyc}	
SS 入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}	
データ出力遅 延時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{OD}	—	40	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	50		
	スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	65		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125		
		—		—	—		
データ出力ホ ールド時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{OH}	-10	—	ns	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		-20	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		-30	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		-40	—		
	スレーブ			-10	—		
	—	—		—			
データ立ち上 がり／立ち下 がり時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Dr}}, t_{\text{Df}}$	—	20	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		
	スレーブ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	20		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		

表 2.32 SCI タイミング (2) (2/2)

条件 : VCC = AVCC = 1.6~5.5 V

項目			シンボル	Min	Max	単位 (注1)	測定条件	
簡易 SPI	スレーブアクセス時間	2.4 V ≤ VCC ≤ 5.5 V	t _{SA}	—	6	t _{Pcyc}	図 2.26	
		1.8 V ≤ VCC < 2.4 V		24 MHz ≤ PCLKB ≤ 32 MHz	—			7
				PCLKB < 24 MHz	—			6
		1.6 V ≤ VCC < 1.8 V		—	6			
スレーブ出力解放時間	2.4 V ≤ VCC ≤ 5.5 V	t _{REL}	—	6	t _{Pcyc}			
			1.8 V ≤ VCC < 2.4 V	24 MHz ≤ PCLKB ≤ 32 MHz			—	7
				PCLKB < 24 MHz			—	6
			1.6 V ≤ VCC < 1.8 V	—			6	

注 1. t_{Pcyc}: PCLKB の周期

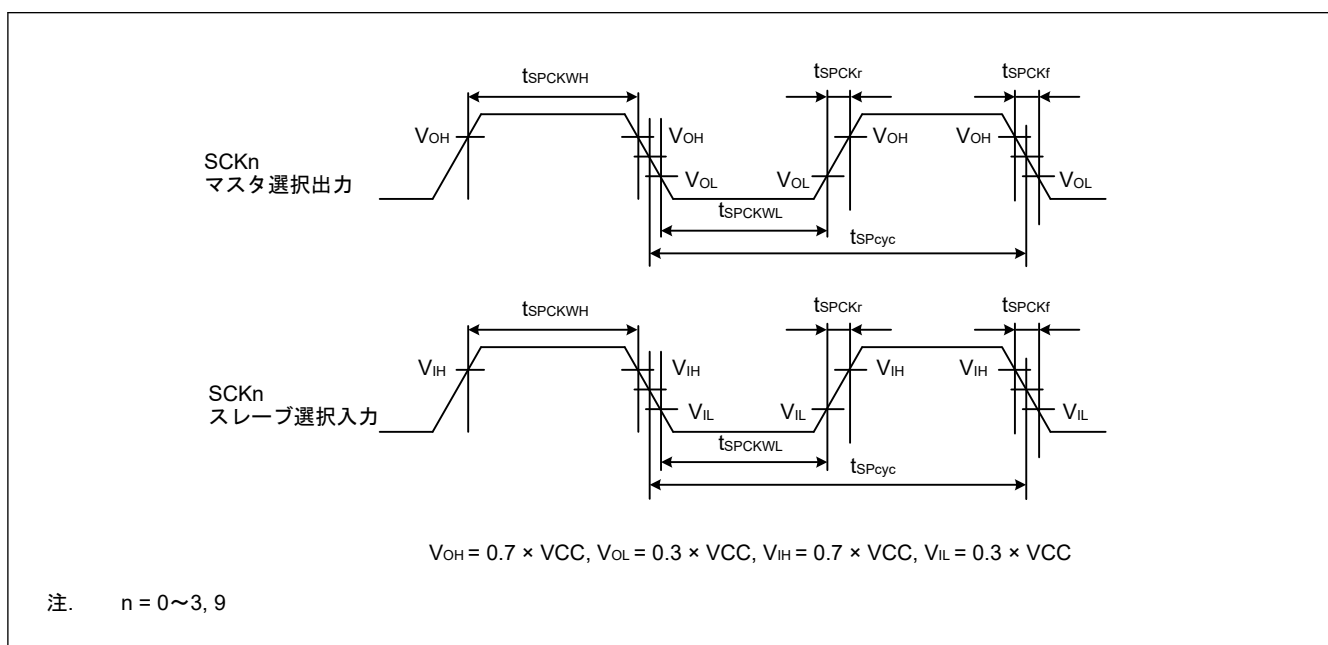


図 2.22 SCI 簡易 SPI モードクロックタイミング

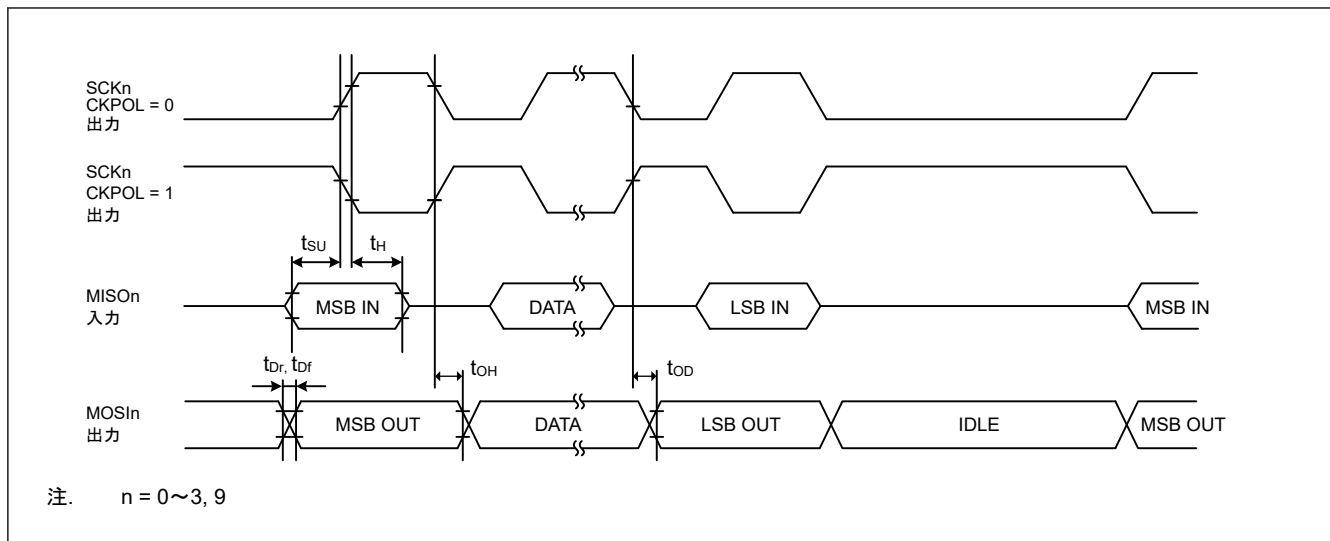


図 2.23 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

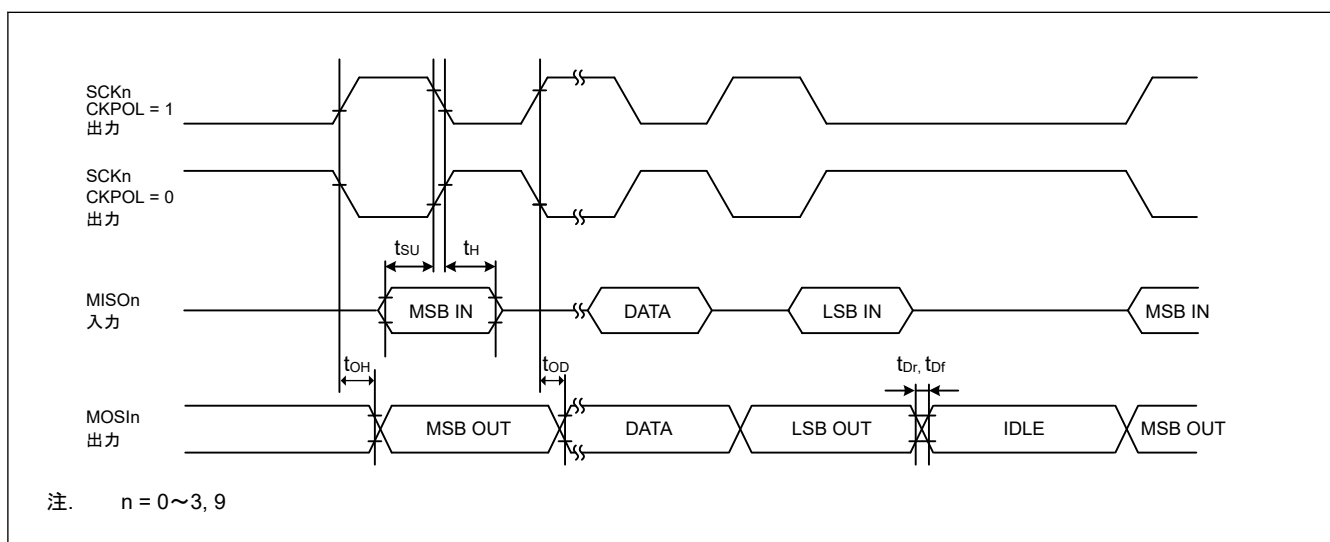


図 2.24 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

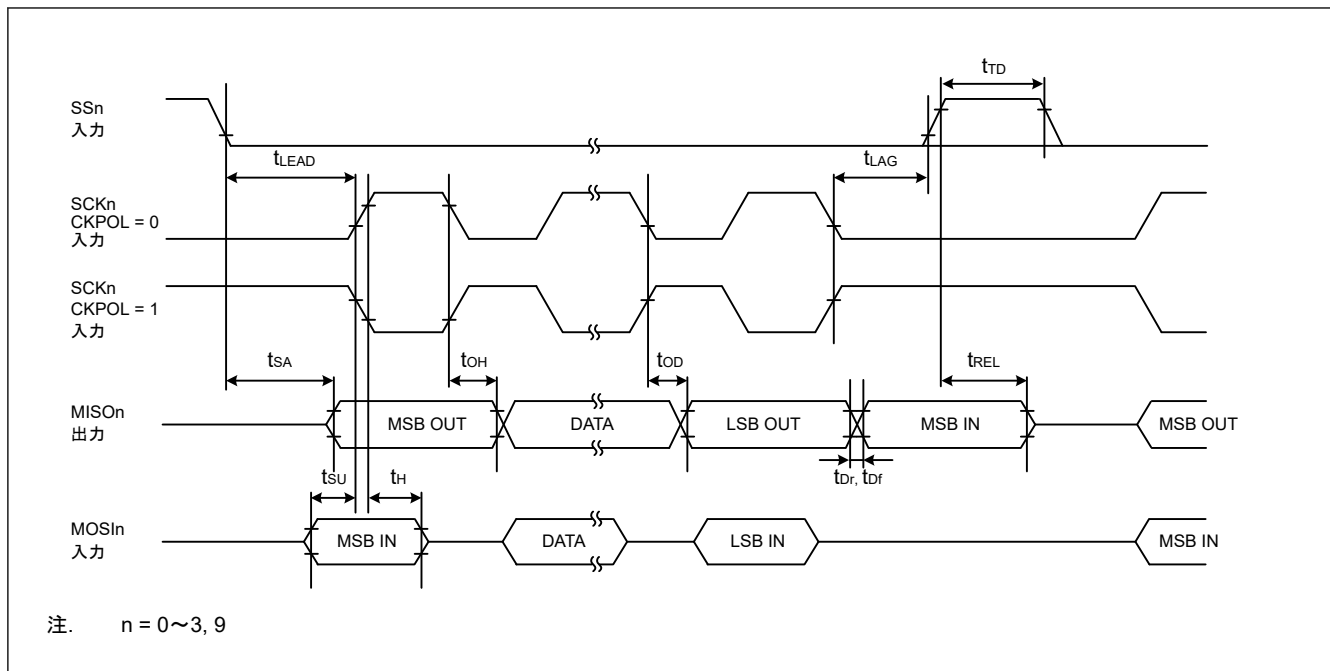


図 2.25 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

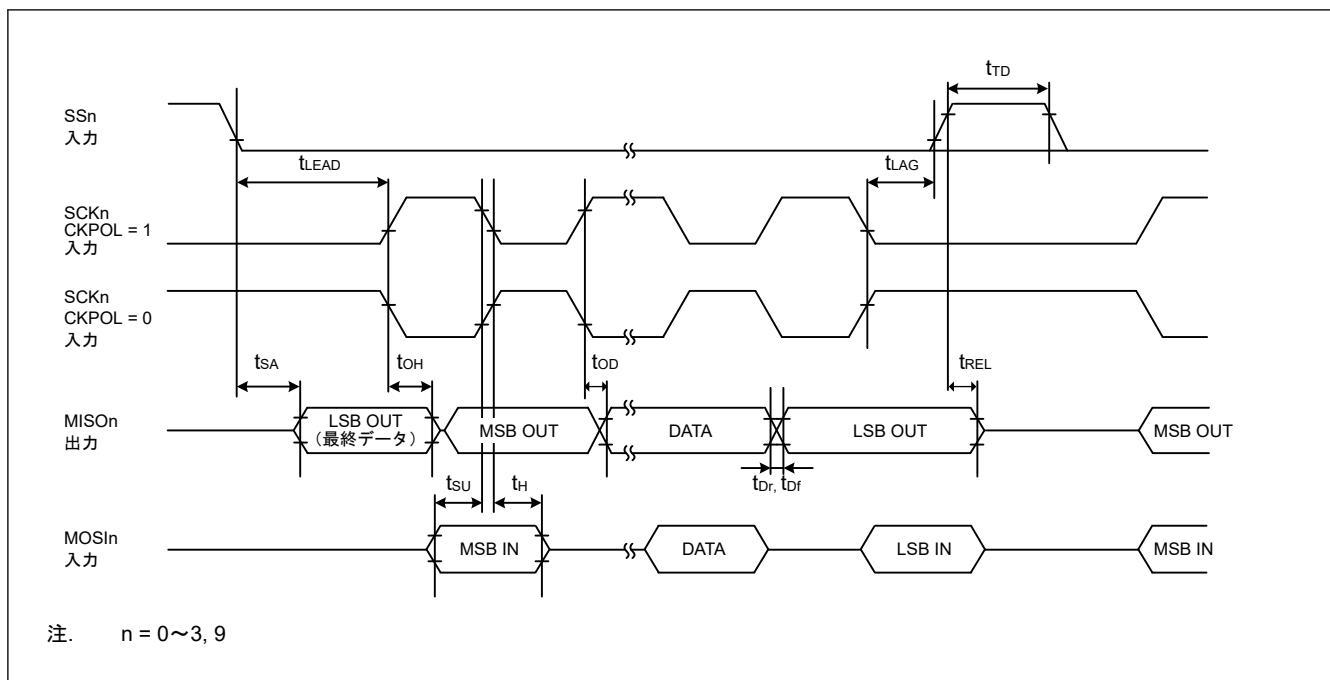


図 2.26 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 2.33 SCI タイミング (3)

条件 : VCC = AVCC = 2.7~5.5 V

項目	シンボル	Min	Max	単位	測定条件	
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.27
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注2)	—	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.27
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注2)	—	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0]ビットによって選択されたクロックサイクル

注 2. C_b はバスラインの容量総計を意味します。

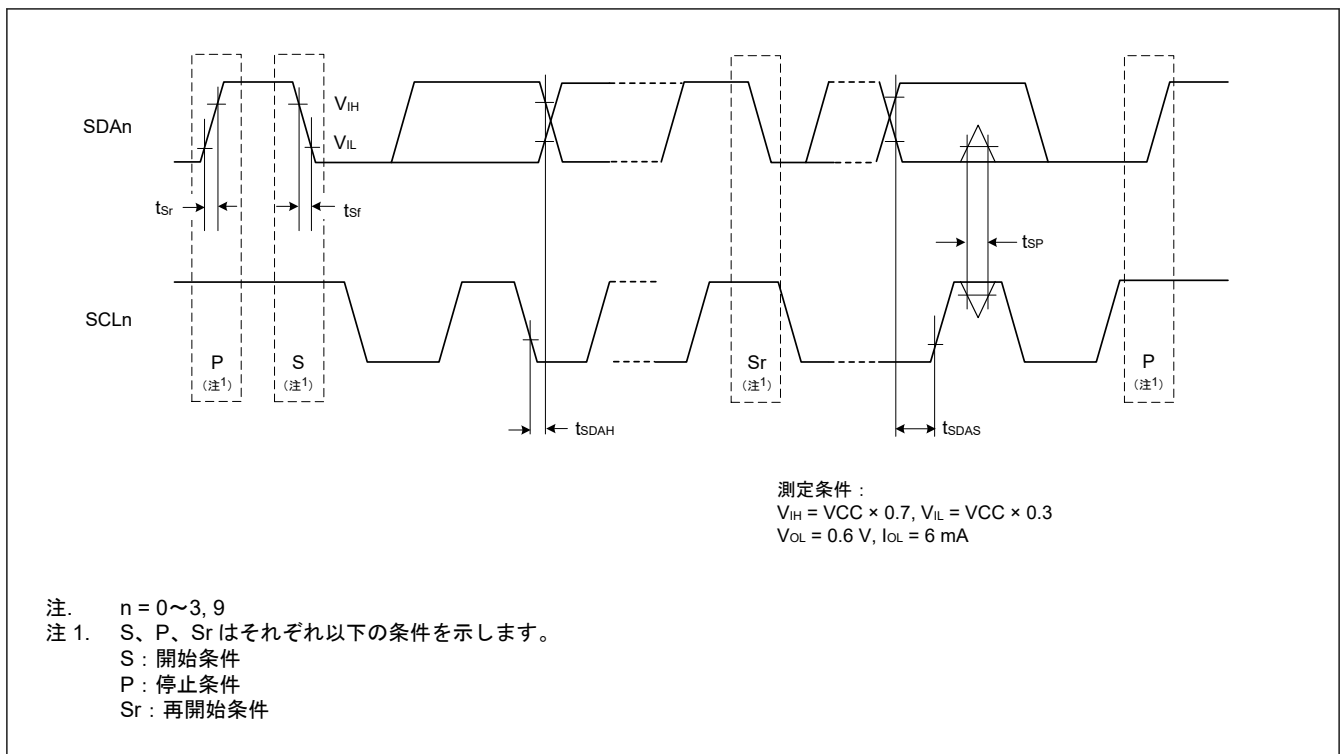


図 2.27 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.34 SPI タイミング (1/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	RSPCK クロックサイクル	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SPCyc}	62.5	—	ns	図 2.28 C = 30 pF
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		125	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		250	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		500	—		
		スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{\text{SPCyc}} - t_{\text{SPCKr}} - t_{\text{SPCKf}}) / 2 - 3$	—	ns		
		スレーブ		$3 \times t_{\text{PCyc}}$	—			
RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{\text{PCyc}} - t_{\text{SPCKr}} - t_{\text{SPCKf}}) / 2 - 3$	—	ns		
		スレーブ		$3 \times t_{\text{PCyc}}$	—			
RSPCK クロック立ち上がり/立ち下がり時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SPCKr} t_{SPCKf}	—	10	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	15			
		$1.8\text{ V} \leq \text{VCC} \leq 2.4\text{ V}$		—	20			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
	入力		—	0.1	$\mu\text{s/V}$			

表 2.34 SPI タイミング (2/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件	
SPI	データ入力 セットアップ 時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SU}	10	—	ns 図 2.29~図 2.34 C = 30 pF
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		$16\text{ MHz} < \text{PCLKB} \leq 32\text{ MHz}$	30	
			$\text{PCLKB} \leq 16\text{ MHz}$		10	—	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	$16\text{ MHz} < \text{PCLKB} \leq 32\text{ MHz}$		55	—	
			$8\text{ MHz} < \text{PCLKB} \leq 16\text{ MHz}$		30	—	
			$\text{PCLKB} \leq 8\text{ MHz}$		10	—	
		スレーブ	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		10	—	
			$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		10	—	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		15	—	
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		20	—	
	データ入力 ホールド時間	マスタ (RSPCK は PCLKB/2)	t_{HF}	0	—	ns	
		マスタ (RSPCK は PCLKB/2 以外)	t_{H}	t_{Pcyc}	—		
		スレーブ	t_{H}	20	—		
SPI	SSL セット アップ時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{LEAD}	$-30 + N \times t_{\text{SPcyc}}$ ^(注2)	—	ns
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		$-50 + N \times t_{\text{SPcyc}}$ ^(注2)	—	
		スレーブ		$6 \times t_{\text{Pcyc}}$	—	ns	
	SSL ホールド 時間	マスタ	t_{LAG}	$-30 + N \times t_{\text{SPcyc}}$ ^(注3)	—	ns	
スレーブ			$6 \times t_{\text{Pcyc}}$	—	ns		
データ出力 遅延時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{OD}	—	14	ns	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	20		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	25		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	50		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	60		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	85		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	110		
データ出力 ホールド時間	マスタ	t_{OH}	0	—	ns		
	スレーブ		0	—			
連続送信遅 延時間	マスタ	t_{TD}	$t_{\text{SPcyc}} + 2 \times t_{\text{Pcyc}}$	$8 \times t_{\text{SPcyc}} + 2 \times t_{\text{Pcyc}}$	ns		
	スレーブ		$6 \times t_{\text{Pcyc}}$	—			

表 2.34 SPI タイミング (3/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	MOSI、MISO 立ち上がり ／立ち下がり 時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10	ns	図 2.29～図 2.34 C = 30 pF	
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	30			
	入力		—	—	1	μs		
	SSL 立ち上 がり／立ち 下がり時間	出力	$t_{\text{SSLr}},$ t_{SSLf}	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10		ns
				$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15		
				$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20		
$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				—	30			
入力		—	—	1	μs			
スレーブアクセス時 間			$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 100$	ns	図 2.33 と 図 2.34 C = 30 pF	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 140$			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 180$			
スレーブ出力開放時 間			$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 100$	ns		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 140$			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 180$			

- 注 1. t_{Pcyc} : PCLKB の周期
- 注 2. N は SPCKD レジスタで設定可能な 1~8 の整数です。
- 注 3. N は SSLND レジスタで設定可能な 1~8 の整数です。

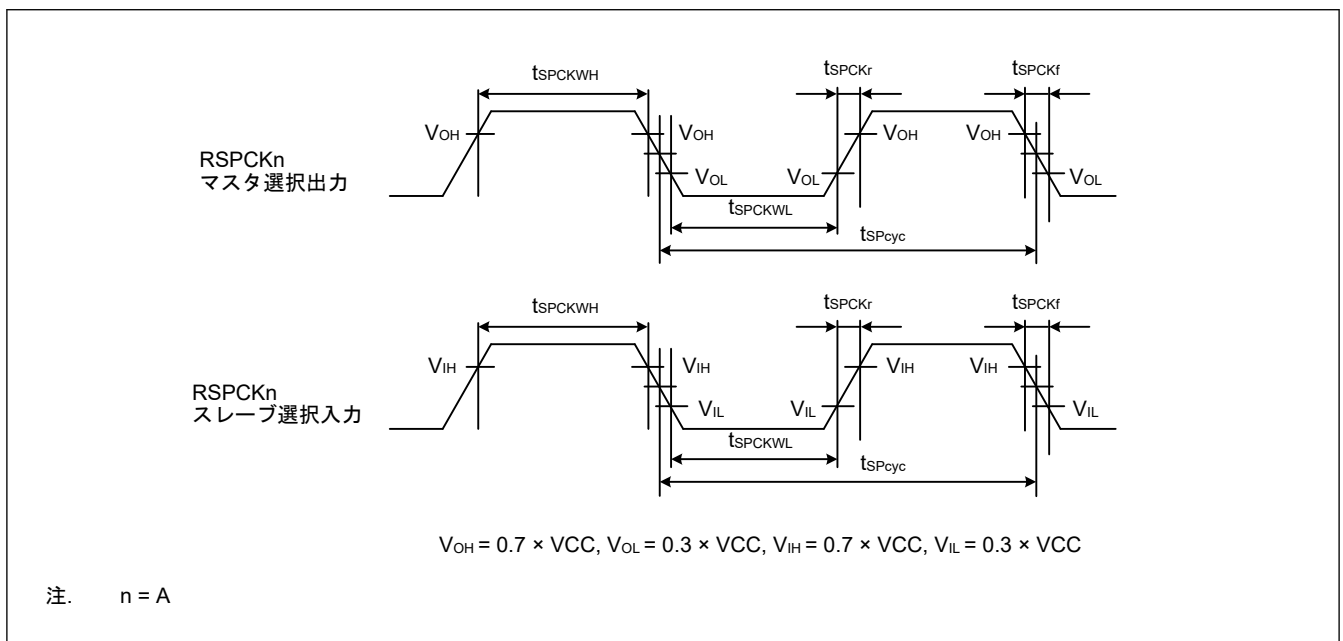


図 2.28 SPI クロックタイミング

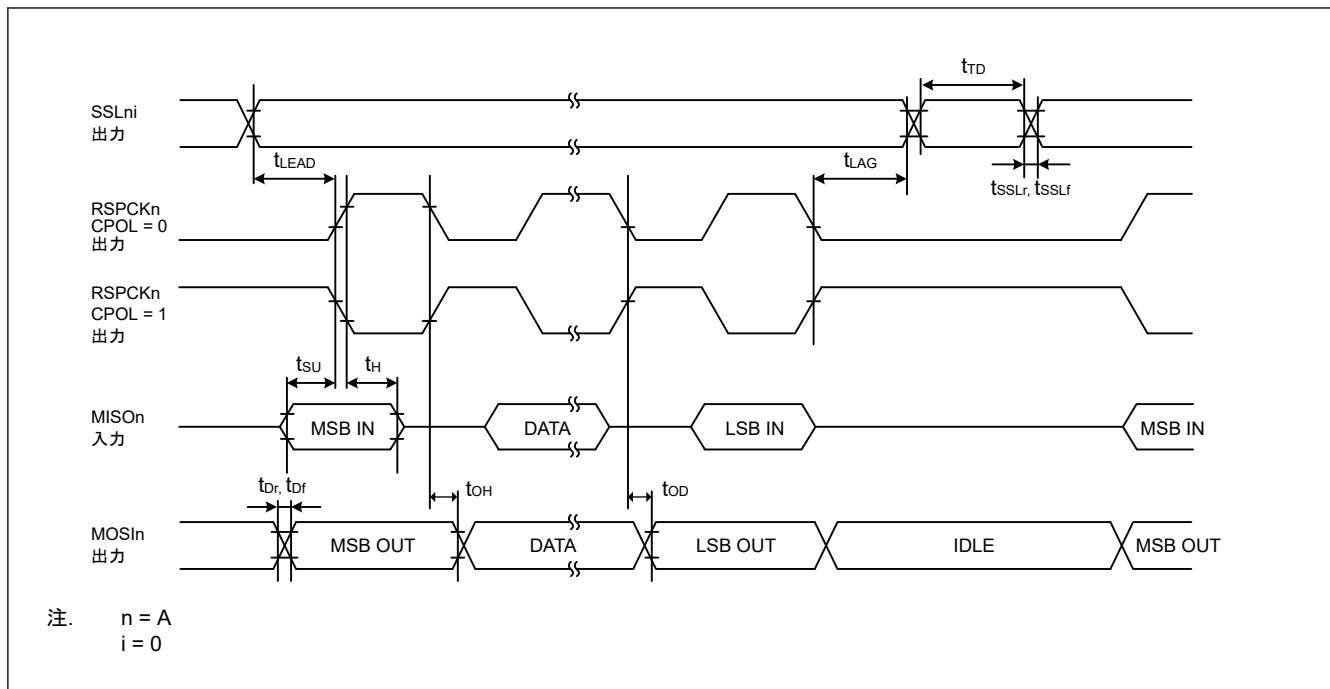


図 2.29 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

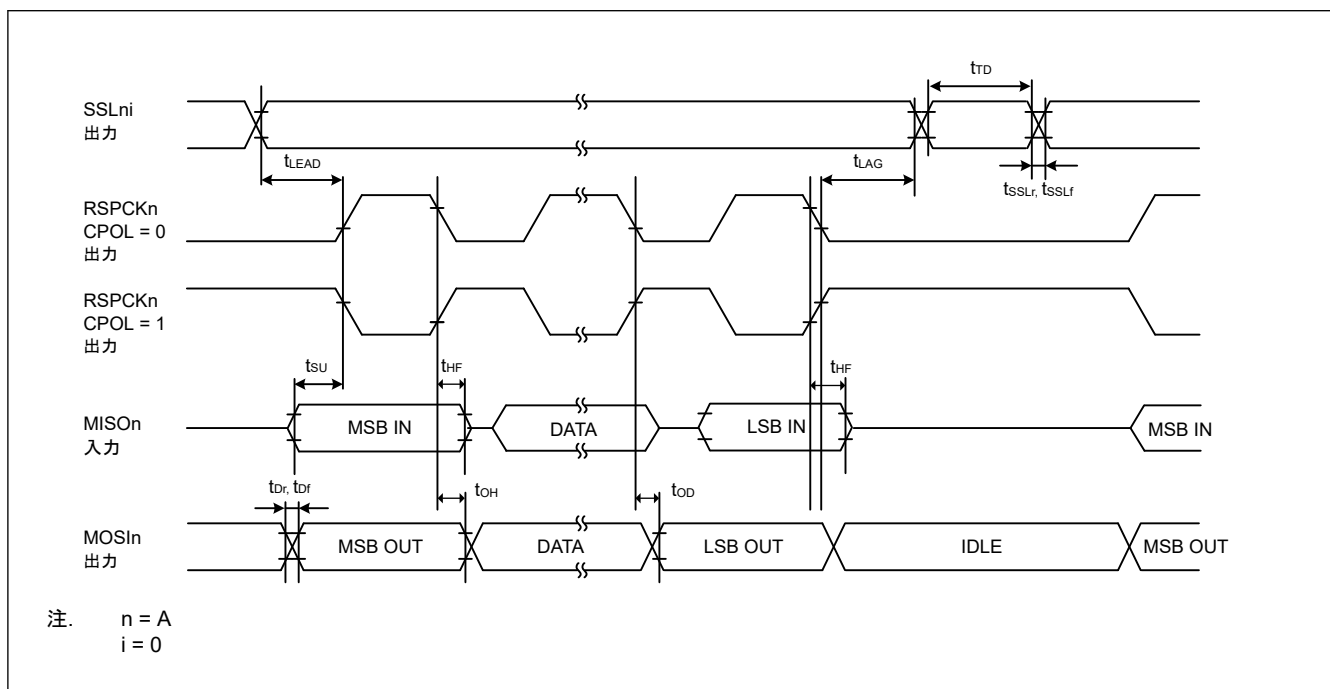


図 2.30 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

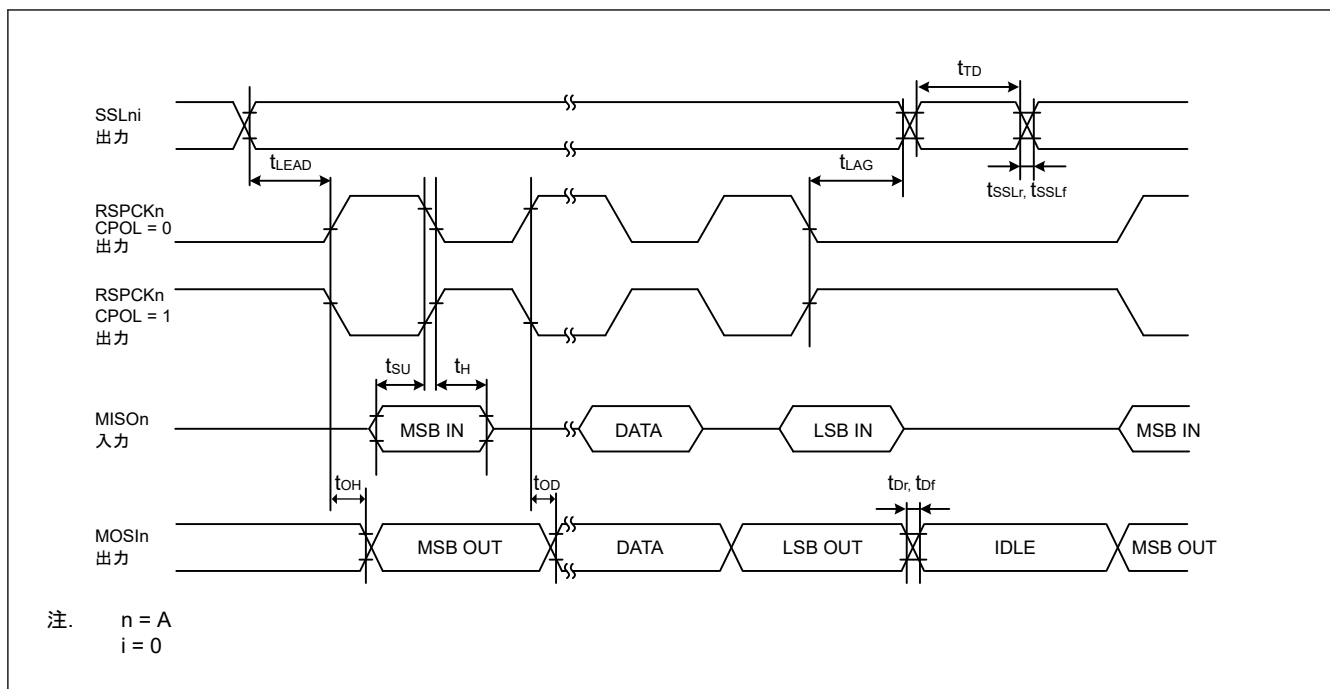


図 2.31 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

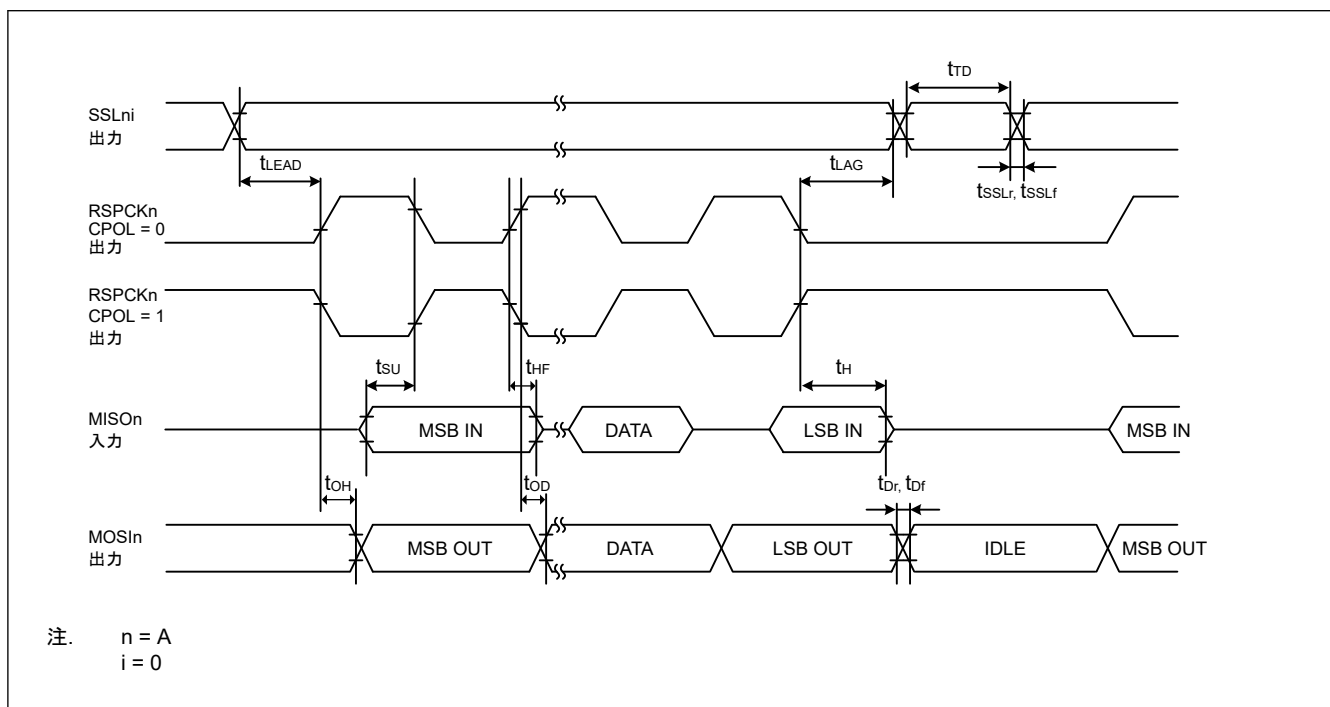


図 2.32 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

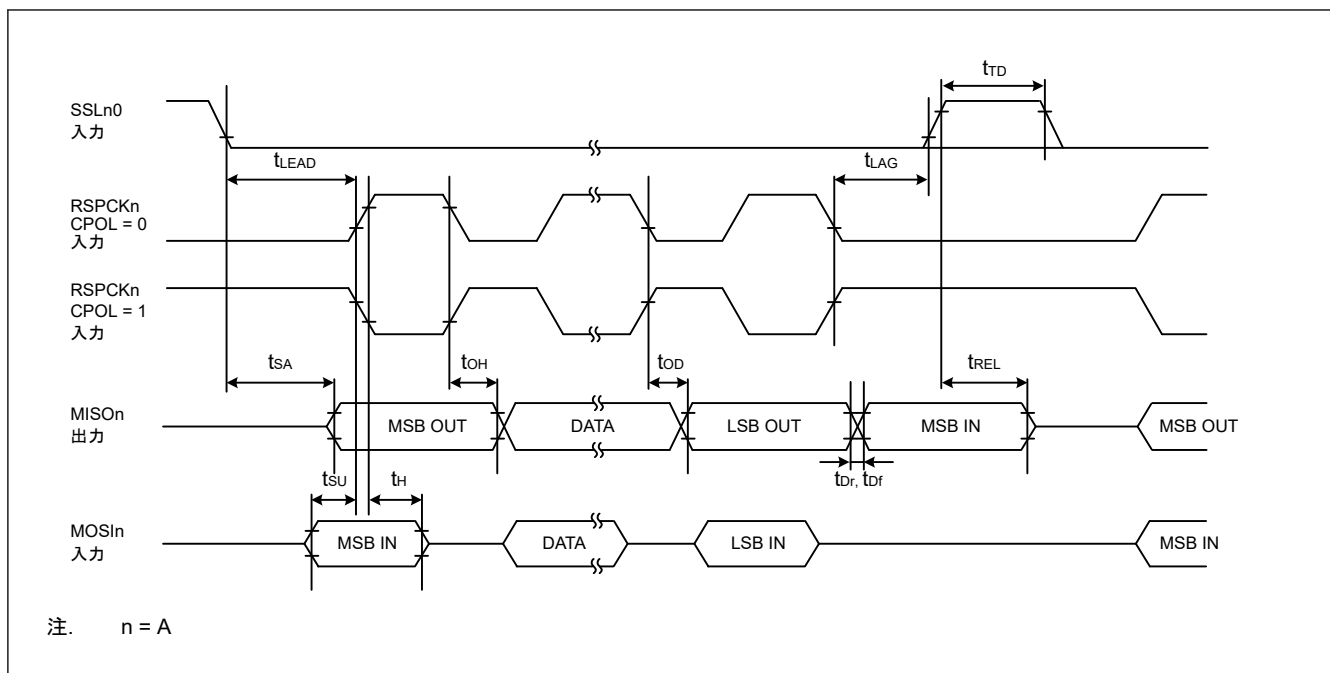


図 2.33 SPI タイミング (スレーブ、CPHA = 0)

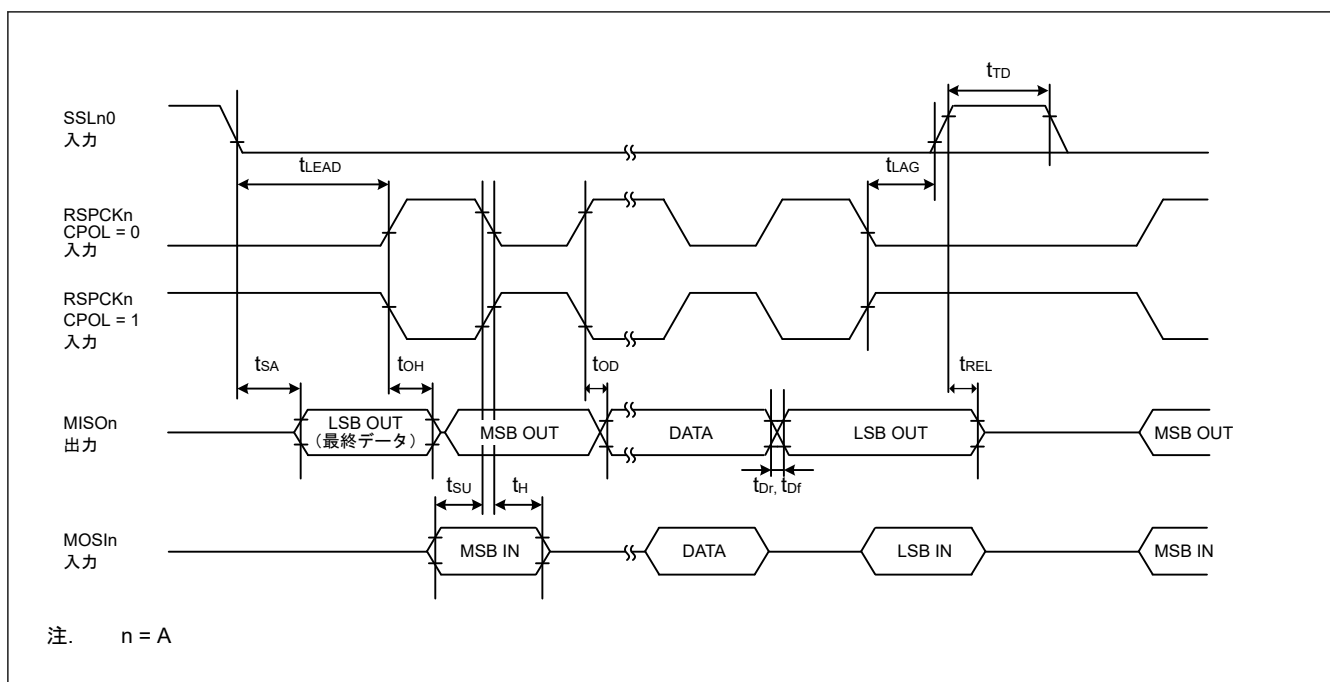


図 2.34 SPI タイミング (スレーブ、CPHA = 1)

2.3.10 IIC タイミング

表 2.35 IIC タイミング

条件 : VCC = AVCC = 2.7~5.5 V

項目	シンボル	Min(注1)	Max	単位	測定条件	
IIC (標準モード、SMBus)	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 2.35
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送 START 条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	STOP 条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	
IIC (ファストモード)	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 2.35
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送 START 条件入力セットアップ時間	t_{STAS}	300	—	ns	
	STOP 条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : IIC 内部基準クロック (IIC ϕ) サイクル、 t_{Pcyc} : PCLKB サイクル

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると括弧内の値が適用されます。

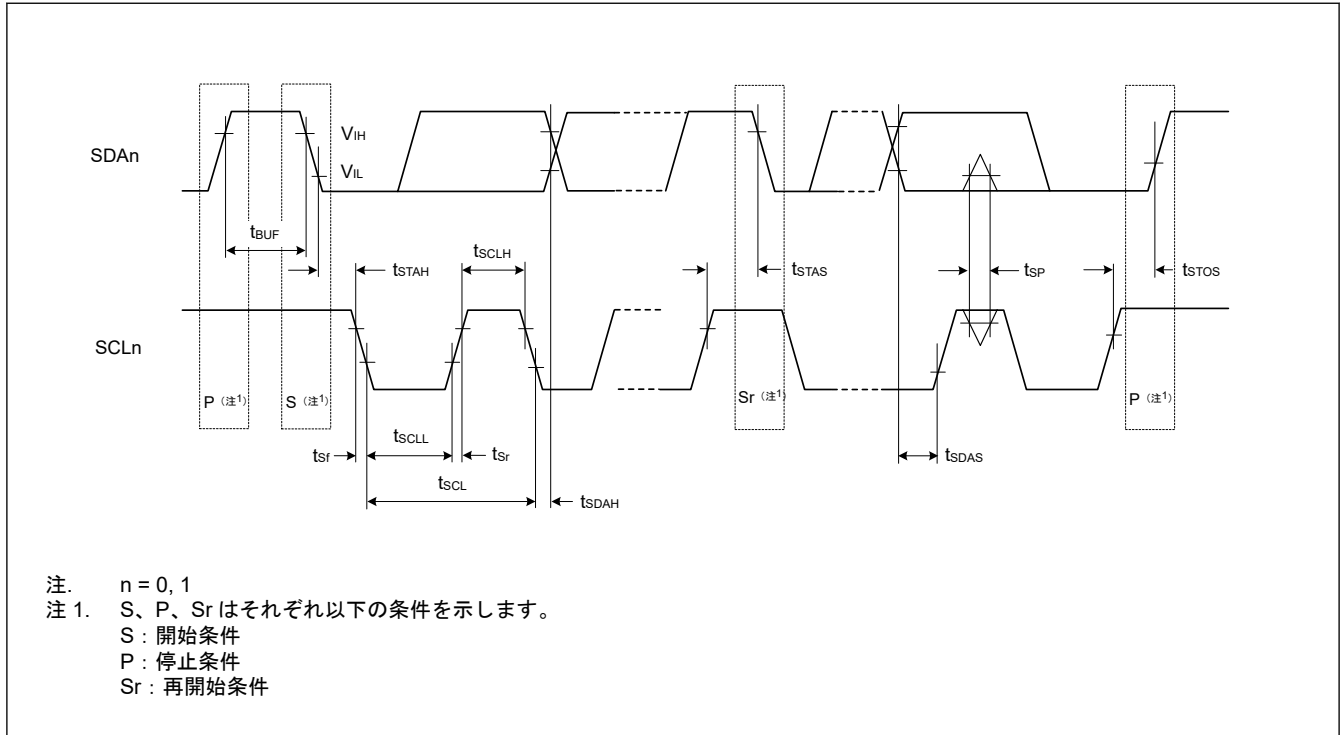


図 2.35 I²C バスインタフェース入出力タイミング

2.3.11 CLKOUT タイミング

表 2.36 CLKOUT タイミング

項目		シンボル	Min	Max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注1)	t_{Cyc}	$2.7V \leq VCC \leq 5.5V$	62.5	—	ns	図 2.36
			$1.8V \leq VCC < 2.7V$	125	—		
			$1.6V \leq VCC < 1.8V$	250	—		
	CLKOUT 端子 High レベルパルス幅(注2)	t_{CH}	$2.7V \leq VCC \leq 5.5V$	15	—	ns	
			$1.8V \leq VCC < 2.7V$	30	—		
			$1.6V \leq VCC < 1.8V$	150	—		
	CLKOUT 端子 Low レベルパルス幅(注2)	t_{CL}	$2.7V \leq VCC \leq 5.5V$	15	—	ns	
			$1.8V \leq VCC < 2.7V$	30	—		
			$1.6V \leq VCC < 1.8V$	150	—		
	CLKOUT 端子出力立ち上がり時間	t_{Cr}	$2.7V \leq VCC \leq 5.5V$	—	12	ns	
			$1.8V \leq VCC < 2.7V$	—	25		
			$1.6V \leq VCC < 1.8V$	—	50		
CLKOUT 端子出力立ち下がり時間	t_{Cf}	$2.7V \leq VCC \leq 5.5V$	—	12	ns		
		$1.8V \leq VCC < 2.7V$	—	25			
		$1.6V \leq VCC < 1.8V$	—	50			

注 1. EXTERNAL 外部クロック入力または発振器の 1 分周 (CKOCR.CKOSEL[2:0]ビット = 011b かつ CKOCR.CKODIV[2:0]ビット = 000b) を使用して CLKOUT から出力する場合は、入力デューティサイクル 45~55% で表 2.36 の仕様を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSEL[2:0]ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0]ビット = 001b) に設定してください。

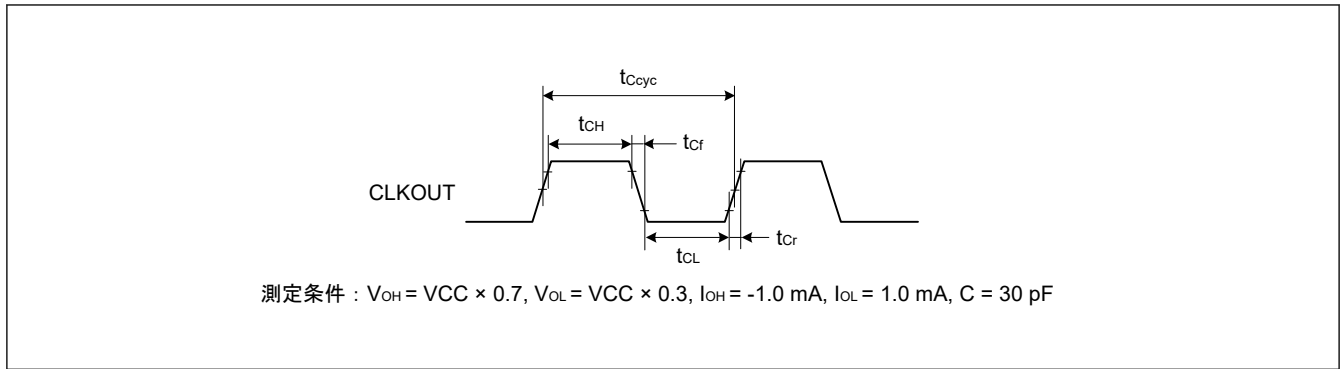


図 2.36 CLKOUT 出力タイミング

2.4 ADC12 特性

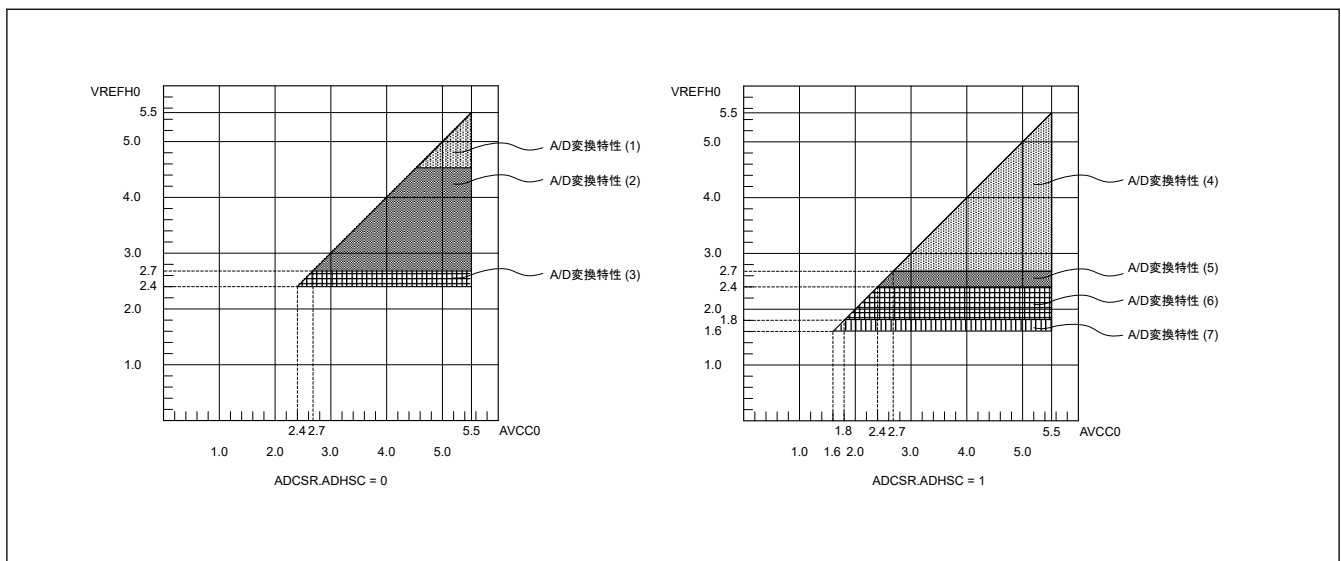


図 2.37 AVCC~VREFH0 電圧範囲

表 2.37 高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件 : $V_{CC} = AV_{CC} = V_{REFH0} = 4.5 \sim 5.5 \text{ V}$ (注5)、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0 \text{ V}$
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	64	MHz	ADACSR.ADSAC = 0
			48	MHz	ADACSR.ADSAC = 1
アナログ入力容量(注2)	Cs	—	9(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	1.3(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—
変換時間(注1) (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
変換時間(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±4.5	LSB	高精度チャネル
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャネル

表 2.37 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件：VCC = AVCC = VREFH0 = 4.5 ~ 5.5 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.5	±5.0	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されず。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

AVCC と VREFH0 の電圧差に対して、Max 値に±0.5 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.38 高速 A/D 変換モードにおける A/D 変換特性 (2)

条件：VCC = AVCC = VREFH0 = 2.7 ~ 5.5 V^(注5)、VSS = AVSS = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	48	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	1.g ^(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) ^(注4)	—	μs	高精度チャネル ADC _{SR} .ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャネル
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.5	±6.0	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

AVCC と VREFH0 の電圧差に対して、Max 値に±0.5 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.39 高速 A/D 変換モードにおける A/D 変換特性 (3)

条件 : VCC = AVCC = VREFH0 = 2.4~5.5 V^(注5)、VSS = AVSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	32	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル	
アナログ入力抵抗	Rs	—	2.2 ^(注3)	kΩ	高精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKD = 32 MHz で動作時)	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャネル	
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャネル	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±2.50	±6.0	LSB	高精度チャネル	
DNL 微分非直線性誤差	—	±1.0	—	LSB	—	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC と VREFH0 の電圧差に対して、Max 値に ±0.5 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC と VREFH0 の電圧差に対して、Max 値に ±0.2 LSB/V 加算する必要があります。

表 2.40 低消費電力 A/D 変換モードにおける A/D 変換特性 (4)

条件 : VCC = AVCC = VREFH0 = 2.7~5.5 V^(注5)、VSS = AVSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	24	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル	
アナログ入力抵抗	Rs	—	1.9 ^(注3)	kΩ	高精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKD = 24 MHz で動作時)	許容信号源インピーダンス Max = 1.1 kΩ	1.58 (0.438) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャネル	
フルスケール誤差	—	±1.0	±6.0	LSB	高精度チャネル	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±2.5	±7.0	LSB	高精度チャネル	
DNL 微分非直線性誤差	—	±1.0	—	LSB	—	
INL 積分非直線性誤差	—	±1.5	±4.0	LSB	—	

- 注. 12ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
- 注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
- 注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH} 、 V_{OL} 、その他の特性」を参照してください。
- 注 3. 参考データ
- 注 4. () はサンプリング時間を示します。
- 注 5. $V_{REFH0} < AV_{CC}$ のとき、Max 値は次のとおりです。
絶対精度/オフセット誤差/フルスケール誤差：
 AV_{CC} と V_{REFH0} の電圧差に対して、Max 値に ± 0.5 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
 AV_{CC} と V_{REFH0} の電圧差に対して、Max 値に ± 0.2 LSB/V 加算する必要があります。

表 2.41 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件： $V_{CC} = AV_{CC} = V_{REFH0} = 2.4 \sim 5.5$ V^(注5)、 $V_{SS} = AV_{SS} = V_{REFL0} = 0$ V
基準電圧範囲を V_{REFH0} および V_{REFL0} に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	16	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	2.2 ^(注3)	k Ω	高精度チャネル
アナログ入力電圧範囲	Ain	0	V_{REFH0}	V	—
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKD = 16 MHz で動作時)	許容信号源 インピーダンス Max = 2.2 k Ω	2.38 (0.656) (注4)	—	μ s	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	± 1.25	± 6.0	LSB	高精度チャネル
フルスケール誤差	—	± 1.0	± 6.0	LSB	高精度チャネル
量子化誤差	—	± 0.5	—	LSB	—
絶対精度	—	± 2.5	± 7.0	LSB	高精度チャネル
DNL 微分非直線性誤差	—	± 1.0	—	LSB	—
INL 積分非直線性誤差	—	± 1.5	± 3.5	LSB	—

- 注. 12ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
- 注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
- 注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH} 、 V_{OL} 、その他の特性」を参照してください。
- 注 3. 参考データ
- 注 4. () はサンプリング時間を示します。
- 注 5. $V_{REFH0} < AV_{CC}$ のとき、Max 値は次のとおりです。
絶対精度/オフセット誤差/フルスケール誤差：
 AV_{CC} と V_{REFH0} の電圧差に対して、Max 値に ± 0.5 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
 AV_{CC} と V_{REFH0} の電圧差に対して、Max 値に ± 0.2 LSB/V 加算する必要があります。

表 2.42 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (1/2)

条件： $V_{CC} = AV_{CC} = V_{REFH0} = 1.8 \sim 5.5$ V^(注5)、 $V_{SS} = AV_{SS} = V_{REFL0} = 0$ V
基準電圧範囲を V_{REFH0} および V_{REFL0} に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	8	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	6 ^(注3)	k Ω	高精度チャネル
アナログ入力電圧範囲	Ain	0	V_{REFH0}	V	—
分解能	—	—	12	ビット	—

表 2.42 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (2/2)

条件 : VCC = AVCC = VREFH0 = 1.8~5.5 V^(注5)、VSS = AVSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
変換時間 ^(注1) (PCLKD = 8 MHz で動作時)	許容信号源インピーダンス Max = 5 kΩ 4.75 (1.313) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャネル
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.0	±9.5	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.25	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC と VREFH0 の電圧差に対して、Max 値に±0.5 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.43 低消費電力 A/D 変換モードにおける A/D 変換特性 (7)

条件 : VCC = AVCC = VREFH0 = 1.6~5.5 V^(注5)、VSS = AVSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	4	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	12 ^(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKD = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 kΩ 9.5 (2.625) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャネル
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.75	±9.5	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±3.5	—	LSB	—
INL 積分非直線性誤差	—	±2.25	±3.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC と VREFH0 の電圧差に対して、Max 値に±0.5 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.44 高速 A/D 変換モードにおける A/D 変換特性 (1)

条件：VCC = AVCC = 2.7 V~5.5 V, VSS = AVSS = 0 V

基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	64	MHz	ADACSR.ADSAC = 0
			48	MHz	ADACSR.ADSAC = 1
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	1.3(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	AVCC	V	—
分解能	—	—	12	ビット	—
変換時間(注1) (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
変換時間(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±5.0	LSB	高精度チャネル
フルスケール誤差	—	±1.0	±5.0	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.5	±5.5	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

表 2.45 高速 A/D 変換モードにおける A/D 変換特性 (2) (1/2)

条件：VCC = AVCC = 2.7 V~5.5 V, VSS = AVSS = 0 V

基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	48	MHz	—
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	1.9(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	AVCC	V	—
分解能	—	—	12	ビット	—
変換時間(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±6.5	LSB	高精度チャネル
フルスケール誤差	—	±1.0	±6.5	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.5	±7.0	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.0	—	LSB	—

表 2.45 高速 A/D 変換モードにおける A/D 変換特性 (2) (2/2)

条件 : VCC = AVCC = 2.7 V~5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

表 2.46 高速 A/D 変換モードにおける A/D 変換特性 (3)

条件 : VCC = AVCC = 2.4 V~5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	32	MHz	—
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	2.2(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	AVCC	V	—
分解能	—	—	12	ビット	—
変換時間(注1) (PCLKD = 32 MHz で動作時)	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±6.5	LSB	高精度チャネル
フルスケール誤差	—	±1.0	±6.5	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.50	±7.0	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

表 2.47 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (1/2)

条件 : VCC = AVCC = 2.7 V~5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	24	MHz	—
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	1.g(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	AVCC	V	—
分解能	—	—	12	ビット	—
変換時間(注1) (PCLKD = 24 MHz で動作時)	許容信号源インピーダンス Max = 1.1 kΩ	1.58 (0.438) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.0	LSB	高精度チャネル

表 2.47 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (2/2)

条件 : VCC = AVCC = 2.7 V~5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
フルスケール誤差	—	±1.25	±7.0	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.25	±8.0	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

表 2.48 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件 : VCC = AVCC = 2.4 V~5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	16	MHz	—
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	2.2(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	AVCC	V	—
分解能	—	—	12	ビット	—
変換時間(注1) (PCLKD = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.0	LSB	高精度チャネル
フルスケール誤差	—	±1.25	±7.0	LSB	高精度チャネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.25	±8.0	LSB	高精度チャネル
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

表 2.49 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (1/2)

条件 : VCC = AVCC = 1.8 V~5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	8	MHz	—
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャネル
アナログ入力抵抗	Rs	—	6(注3)	kΩ	高精度チャネル
アナログ入力電圧範囲	Ain	0	AVCC	V	—
分解能	—	—	12	ビット	—

表 2.49 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (2/2)

条件 : VCC = AVCC = 1.8 V ~ 5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
変換時間(注1) (PCLKD = 8 MHz で動作時)	許容信号源インピーダンス Max = 5 kΩ 4.75 (1.313) (注4)	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±8.5	LSB	高精度チャンネル
フルスケール誤差	—	±1.5	±8.5	LSB	高精度チャンネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.75	±10.5	LSB	高精度チャンネル
DNL 微分非直線性誤差	—	±2.0	—	LSB	—
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

表 2.50 低消費電力 A/D 変換モードにおける A/D 変換特性 (7)

条件 : VCC = AVCC = 1.6 V ~ 5.5 V, VSS = AVSS = 0 V
 基準電圧範囲を AVCC および AVSS に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	4	MHz	—
アナログ入力容量(注2)	Cs	—	g(注3)	pF	高精度チャンネル
アナログ入力抵抗	Rs	—	12(注3)	kΩ	高精度チャンネル
アナログ入力電圧範囲	Ain	0	AVCC	V	—
分解能	—	—	12	ビット	—
変換時間(注1) (PCLKD = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 kΩ 9.5 (2.625) (注4)	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±8.5	LSB	高精度チャンネル
フルスケール誤差	—	±1.5	±8.5	LSB	高精度チャンネル
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.75	±10.5	LSB	高精度チャンネル
DNL 微分非直線性誤差	—	±2.0	—	LSB	—
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

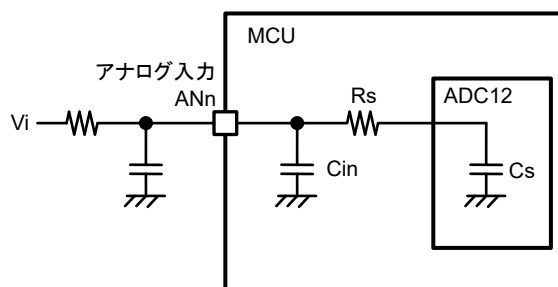
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

図 2.38 にアナログ入力の等価回路を示します。



注. この図に端子リーク電流は記載されていません。

図 2.38 アナログ入力の等価回路

表 2.51 12 ビット A/D コンバータチャンネル分類

分類	チャンネル	条件	注意点
高精度チャンネル	AN000~AN003	AVCC = 1.6~5.5 V	AN000~AN003 端子は、汎用 I/O、TS 送信に使用不可 (A/D コンバータが使用中の場合)
内部基準電圧入力チャンネル	内部基準電圧	AVCC = 1.8~5.5 V	—
温度センサ入力チャンネル	温度センサ出力	AVCC = 1.8~5.5 V	—

表 2.52 A/D 内部基準電圧特性

条件 : VCC = AVCC = VREFH0 = 1.8~5.5 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル(注2)	1.42	1.48	1.54	V	—
PCLKD (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

注 1. AVCC < 1.8 V のとき、内部基準電圧を入力チャンネルに選択することはできません。

注 2. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。

注 3. 高電位基準電圧に内部基準電圧を選択した場合

注 4. 内部基準電圧の変換時

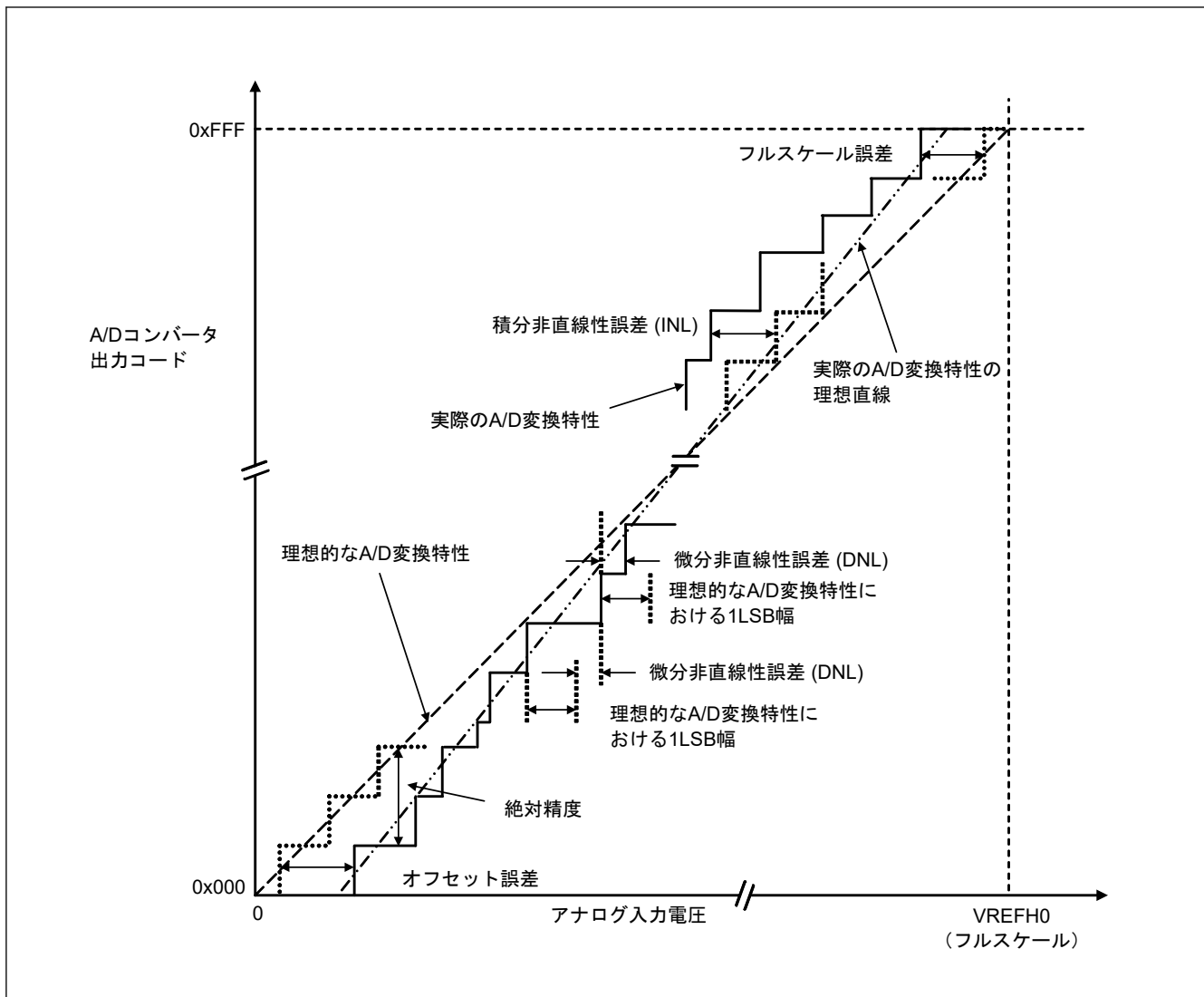


図 2.39 12 ビット A/D コンバータ 特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1-LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 $V_{REFH0} = 3.072 \text{ V}$ の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV 、 0.75 mV 、および 1.5 mV が使用されます。 $\pm 5 \text{ LSB}$ の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが $0x008$ であっても、実際の A/D 変換結果は $0x003 \sim 0x00D$ の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.5 SDADC24 特性

2.5.1 基準電圧

表 2.53 基準電圧特性

条件 : VCC = AVCC = 2.4~5.5 V、VSS = AVSS = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
内部基準電圧	V _{AVRTO}	—	0.69	—	V	—
内部基準電圧用温度係数(注1)	TC _{BOX}	—	10	—	ppm/°C	0.47 μF コンデンサを AREGC 端子、AVRT 端子、AVCM 端子に接続
AVCM 出力電圧	V _{AVCM}	—	0.45	—	V	0.47 μF コンデンサを AVSS 端子に接続

注 1. BOX 法により規定されたとおりです。
T_j = -40~120°C (トリミング後)

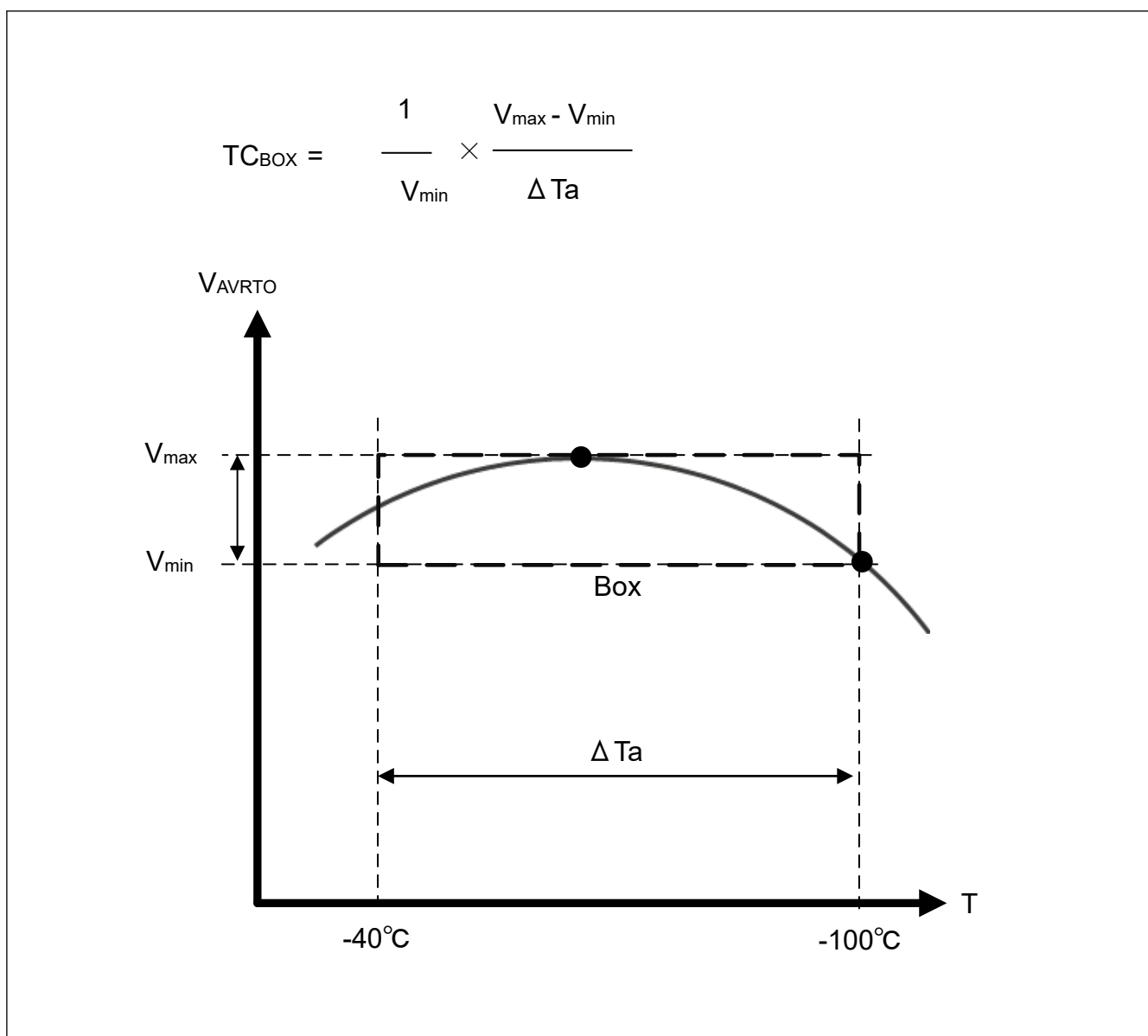


図 2.40 Box 法を用いた温度係数評価

2.5.2 アナログ入力

表 2.54 アナログ入力特性

項目	シンボル	Min	Typ	Max	単位	測定条件
入力電圧範囲 (差動またはシングルエンド) (注1)	V _{AIN}	-500	—	500	mV	x1 ゲイン
		-250	—	250		x2 ゲイン
		-125	—	125		x4 ゲイン
		-62.5	—	62.5		x8 ゲイン
		-31.25	—	31.25		x16 ゲイン
		-15.625	—	15.625		x32 ゲイン
入力ゲイン	ainGAIN	—	1	—	回	x1 ゲイン
		—	2	—		x2 ゲイン
		—	4	—		x4 ゲイン
		—	8	—		x8 ゲイン
		—	16	—		x16 ゲイン
		—	32	—		x32 ゲイン
入力インピーダンス	ainRIN	150	360	—	kΩ	差動電圧
		100	240	—		シングルエンド電圧

注 1. 差動電圧 (AINP - AINN)、シングルエンド入力 AINP、AINN = PGA 入力共通電圧

2.5.3 4 kHz サンプルングモード (f_{OS} = 1.5 MHz)表 2.55 4 kHz サンプルングモード (f_{OS} = 1.5 MHz) 特性 (1/2)

条件 : VCC = AVCC = 2.4~5.5 V、VSS = AVSS = 0 V、ANINn および ANIPn (n = 0~6)

項目	シンボル	Min	Typ	Max	単位	測定条件
動作クロック (SDADCCLK)(注1)	f _{SDAD}	—	12	—	MHz	(注1)
サンプルング周波数	f _s	—	3906	—	Hz	(注1)
オーバーサンプルング周波数	f _{OS}	—	1.5	—	MHz	(注1)
出力データレート	T _{DATA}	—	256	—	μs	(注1)
データ幅	RES	—	24	—	ビット	—
SNDR(注2)	SNDR	81	86	—	dB	x1 ゲイン
		79	83	—		x2 ゲイン
		77	81	—		x4 ゲイン
		74	78	—		x8 ゲイン
		69	74	—		x16 ゲイン
通過帯域 (ローパス帯域)	f _{Chpf}	—	0.607	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 00b
		—	1.214	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 01b
		—	2.427	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 10b
		—	4.855	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 11b
インバンドリップル 1	rp1	-0.01	—	0.01	dB	45 Hz~55 Hz @50 Hz 54 Hz~66 Hz @60 Hz

表 2.55 4 kHz サンプリングモード ($f_{OS} = 1.5 \text{ MHz}$) 特性 (2/2)条件: $V_{CC} = AV_{CC} = 2.4 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、ANINn および ANIPn ($n = 0 \sim 6$)

項目	シンボル	Min	Typ	Max	単位	測定条件
インバンドリップル 2	rp2	-0.1	—	0.1	dB	45 Hz ~ 275 Hz @50 Hz 54 Hz ~ 330 Hz @60 Hz
インバンドリップル 3	rp3	-0.1	—	0.1	dB	45 Hz ~ 1100 Hz @50 Hz 54 Hz ~ 1320 Hz @60 Hz
通過帯域 (ハイパス帯域)	f_{Clpf}	—	1673	—	Hz	-3 dB
阻止帯域 (ハイパス帯域)	f_{att}	—	2552	—	Hz	-80 dB
アウトバンド減衰	ATT1	-80	—	—	dB	f_S
	ATT2	-80	—	—	dB	$2 f_S$

注 1. このモードでは、24 ビットシグマ-デルタ A/D コンバータ用の動作クロック周波数には、12 MHz を選択してください。
外部クロック入力 (12 MHz)、高速オンチップオシレータ (24 MHz/2、または 48 MHz/4)、あるいはサブ発振の PLL クロック (12 MHz) が SDADC クロック周波数 (SDADCCLK) として使用される場合、SDADCCR レジスタのビット[1:0] (CK[1:0]) を 10b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 00b に設定してください。

注 2. 保証された値ではなく、設計目標です。

2.5.4 4 kHz サンプリングモード ($f_{OS} = 1.6 \text{ MHz}$)表 2.56 4 kHz サンプリングモード ($f_{OS} = 1.6 \text{ MHz}$) 特性 (1/2)条件: $V_{CC} = AV_{CC} = 2.4 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、ANINn および ANIPn ($n = 0 \sim 6$)

項目	シンボル	Min	Typ	Max	単位	測定条件
動作クロック (SDADCCLK) ^(注1)	f_{SDAD}	—	16	—	MHz	(注1)
		—	12.8	—		
サンプリング周波数	f_S	—	4167	—	Hz	(注1)
オーバーサンプリング周波数	f_{OS}	—	1.6	—	MHz	(注1)
出力データレート	T_{DATA}	—	240	—	μs	(注1)
データ幅	RES	—	24	—	ビット	—
SNDR ^(注2)	SNDR	81	86	—	dB	x1 ゲイン
		79	83	—		x2 ゲイン
		77	81	—		x4 ゲイン
		74	78	—		x8 ゲイン
		69	74	—		x16 ゲイン
通過帯域 (ローパス帯域)	f_{Chpf}	—	0.647	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 00b
		—	1.295	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 01b
		—	2.589	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 10b
		—	5.179	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 11b
インバンドリップル 1	rp1	-0.01	—	0.01	dB	45 Hz ~ 55 Hz @50 Hz 54 Hz ~ 66 Hz @60 Hz
インバンドリップル 2	rp2	-0.1	—	0.1	dB	45 Hz ~ 275 Hz @50 Hz 54 Hz ~ 330 Hz @60 Hz
インバンドリップル 3	rp3	-0.1	—	0.1	dB	45 Hz ~ 1100 Hz @50 Hz 54 Hz ~ 1320 Hz @60 Hz

表 2.56 4 kHz サンプリングモード ($f_{OS} = 1.6$ MHz) 特性 (2/2)条件 : $VCC = AVCC = 2.4 \sim 5.5$ V、 $VSS = AVSS = 0$ V、ANINn および ANIPn ($n = 0 \sim 6$)

項目	シンボル	Min	Typ	Max	単位	測定条件
通過帯域 (ハイパス帯域)	f_{Clpf}	—	1785	—	Hz	-3 dB
阻止帯域 (ハイパス帯域)	f_{att}	—	2722	—	Hz	-80 dB
アウトバンド減衰	ATT1	-80	—	—	dB	f_s
	ATT2	-80	—	—	dB	$2 f_s$

注 1. このモードでは、24 ビットシグマ-デルタ A/D コンバータ用の動作クロック周波数には、16 MHz または 12.8 MHz を選択してください。

外部クロック入力 (16 MHz)、あるいは高速オンチップオシレータ (32 MHz/2、または 64 MHz/4) が SDADC クロック周波数 (SDADCCLK) として使用される場合、SDADCCR レジスタのビット[1:0] (CK[1:0]) を 11b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 00b に設定してください。

サブ発振の PLL クロック (12.8 MHz) が SDADC クロック周波数 (SDADCCLK) として使用される場合、SDADCCR レジスタのビット[1:0] (CK[1:0]) を 10b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 00b に設定してください。

注 2. 保証された値ではなく、設計目標です。

2.5.5 8 kHz サンプリングモード ($f_{OS} = 3.0$ MHz)

表 2.57 8 kHz サンプリングモード ($f_{OS} = 3.0$ MHz) 特性 (1/2)条件 : $VCC = AVCC = 2.4 \sim 5.5$ V、 $VSS = AVSS = 0$ V、ANINn および ANIPn ($n = 0 \sim 6$)

項目	シンボル	Min	Typ	Max	単位	測定条件
動作クロック (SDADCCLK) ^(注1)	f_{SDAD}	—	12	—	MHz	(注1)
サンプリング周波数	f_s	—	7813	—	Hz	(注1)
オーバーサンプリング周波数	f_{OS}	—	3.0	—	MHz	(注1)
出力データレート	T_{DATA}	—	128	—	μ s	(注1)
データ幅	RES	—	24	—	ビット	—
SNDR ^(注2)	SNDR	81	86	—	dB	x1 ゲイン
		79	83	—		x2 ゲイン
		76	80	—		x4 ゲイン
		73	77	—		x8 ゲイン
		69	73	—		x16 ゲイン
通過帯域 (ローパス帯域)	f_{Chpf}	—	1.214	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 00b
		—	2.427	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 01b
		—	4.855	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 10b
		—	9.710	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 11b
インバンドリップル 1	rp1	-0.01	—	0.01	dB	45 Hz~55 Hz @50 Hz 54 Hz~66 Hz @60 Hz
インバンドリップル 2	rp2	-0.1	—	0.1	dB	45 Hz~550 Hz @50 Hz 54 Hz~660 Hz @60 Hz
インバンドリップル 3	rp3	-0.1	—	0.1	dB	45 Hz~2200 Hz @50 Hz 54 Hz~2640 Hz @60 Hz
通過帯域 (ハイパス帯域)	f_{Clpf}	—	3346	—	Hz	-3 dB
阻止帯域 (ハイパス帯域)	f_{att}	—	5104	—	Hz	-80 dB

表 2.57 8 kHz サンプリングモード ($f_{OS} = 3.0$ MHz) 特性 (2/2)条件: $VCC = AVCC = 2.4 \sim 5.5$ V、 $VSS = AVSS = 0$ V、ANINn および ANIPn ($n = 0 \sim 6$)

項目	シンボル	Min	Typ	Max	単位	測定条件
アウトバンド減衰	ATT1	-80	—	—	dB	f_S
	ATT2	-80	—	—	dB	$2 f_S$

注 1. このモードでは、24 ビットシグマ-デルタ A/D コンバータ用の動作クロック周波数には、12 MHz を選択してください。
外部クロック入力 (12 MHz)、高速オンチップオシレータ (24 MHz/2、または 48 MHz/4)、あるいはサブ発振の PLL クロック (12 MHz) が SDADC クロック周波数 (SDADCCLK) として使用される場合、SDADCCR レジスタのビット[1:0] (CK[1:0]) を 10b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 01b に設定してください。

注 2. 保証された値ではなく、設計目標です。

2.5.6 8 kHz サンプリングモード ($f_{OS} = 3.2$ MHz)表 2.58 8 kHz サンプリングモード ($f_{OS} = 3.2$ MHz) 特性条件: $VCC = AVCC = 2.4 \sim 5.5$ V、 $VSS = AVSS = 0$ V、ANINn および ANIPn ($n = 0 \sim 6$)

項目	シンボル	Min	Typ	Max	単位	測定条件
動作クロック (SDADCCLK) ^(注1)	f_{SDAD}	—	16	—	MHz	(注1)
		—	12.8	—		
サンプリング周波数	f_S	—	8333	—	Hz	(注1)
オーバーサンプリング周波数	f_{OS}	—	3.2	—	MHz	(注1)
出力データレート	T_{DATA}	—	120	—	μ s	(注1)
データ幅	RES	—	24	—	ビット	—
SNDR ^(注2)	SNDR	81	86	—	dB	x1 ゲイン
		79	83	—		x2 ゲイン
		76	80	—		x4 ゲイン
		73	77	—		x8 ゲイン
		68	73	—		x16 ゲイン
通過帯域 (ローパス帯域)	f_{Chpf}	—	1.295	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 00b
		—	2.589	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 01b
		—	5.179	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 10b
		—	10.357	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 11b
インバンドリップル 1	rp1	-0.01	—	0.01	dB	45 Hz~55 Hz @50 Hz 54 Hz~66 Hz @60 Hz
インバンドリップル 2	rp2	-0.1	—	0.1	dB	45 Hz~550 Hz @50 Hz 54 Hz~660 Hz @60 Hz
インバンドリップル 3	rp3	-0.1	—	0.1	dB	45 Hz~2200 Hz @50 Hz 54 Hz~2640 Hz @60 Hz
通過帯域 (ハイパス帯域)	f_{Clpf}	—	3569	—	Hz	-3 dB
阻止帯域 (ハイパス帯域)	f_{att}	—	5444	—	Hz	-80 dB
アウトバンド減衰	ATT1	-80	—	—	dB	f_S
	ATT2	-80	—	—	dB	$2 f_S$

注 1. このモードでは、24 ビットシグマ-デルタ A/D コンバータ用の動作クロック周波数には、12.8 MHz を選択してください。
高速オンチップオシレータ (32 MHz/2、または 64 MHz/4) が SDADC クロック周波数 (SDADCCLK) として使用される場合、SDADCCR レジスタのビット[1:0] (CK[1:0]) を 11b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 01b に設定してください。

サブ発振の PLL クロック (12.8 MHz) が SDADC クロック周波数 (SDADCCLK) として使用される場合、SDADCCR レジスタのビット[1:0] (CK[1:0]) を 10b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 01b に設定してください。

注 2. 保証された値ではなく、設計目標です。

2.5.7 8 kHz/4 kHz ハイブリッドサンプリングモード ($f_{OS} = 3.0$ MHz)

表 2.59 8 kHz/4 kHz ハイブリッドサンプリングモード ($f_{OS} = 3.0$ MHz) 特性 (1/2)

条件: VCC = AVCC = 2.4~5.5 V、VSS = AVSS = 0 V、ANINn および ANIPn (n = 0~3)

項目	シンボル	Min	Typ	Max	単位	測定条件	
動作クロック (SDADCCLK) ^(注1)	f_{SDAD}	—	12	—	MHz	(注1)	
サンプリング周波数	8 kHz サンプリングモード (タイプ 1)	—	7813	—	Hz	(注1)	
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		3906				
オーバーサンプリング周波数	f_{OS}	—	3.0	—	MHz	(注1)	
出力データレート	8 kHz サンプリングモード (タイプ 1)	—	128	—	μ s	(注1)	
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		256				
データ幅	RES	—	24	—	ビット	—	
SNDR ^(注2)	8 kHz サンプリングモード (タイプ 1)	SNDR	81	86	—	dB	x1 ゲイン
			79	83	—		x2 ゲイン
			76	80	—		x4 ゲイン
			73	77	—		x8 ゲイン
			69	73	—		x16 ゲイン
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		81	86	—		x1 ゲイン
			79	83	—		x2 ゲイン
			77	81	—		x4 ゲイン
			74	78	—		x8 ゲイン
			69	74	—		x16 ゲイン
通過帯域 (ローパス帯域)	8 kHz サンプリングモード (タイプ 1)	f_{Chpf}	—	1.214	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 00b
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	1.214	—		
	8 kHz サンプリングモード (タイプ 1)		—	2.427	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 01b
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	2.427	—		
	8 kHz サンプリングモード (タイプ 1)		—	4.855	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 10b
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	4.855	—		
	8 kHz サンプリングモード (タイプ 1)		—	1.214	—		-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 11b
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	0.607	—		

表 2.59 8 kHz/4 kHz ハイブリッドサンプリングモード ($f_{OS} = 3.0 \text{ MHz}$) 特性 (2/2)条件: $VCC = AVCC = 2.4 \sim 5.5 \text{ V}$ 、 $VSS = AVSS = 0 \text{ V}$ 、ANINn および ANIPn ($n = 0 \sim 3$)

項目	シンボル	Min	Typ	Max	単位	測定条件	
インバンドリップル 1	8 kHz サンプリングモード (タイプ 1)	rp1	-0.01	—	0.01	dB	45 Hz ~ 55 Hz @50 Hz 54 Hz ~ 66 Hz @60 Hz
	4 kHz ハイブリッドサンプリングモード (タイプ 2)						45 Hz ~ 55 Hz @50 Hz 54 Hz ~ 66 Hz @60 Hz
インバンドリップル 2	8 kHz サンプリングモード (タイプ 1)	rp2	-0.1	—	0.1	dB	45 Hz ~ 550 Hz @50 Hz 54 Hz ~ 660 Hz @60 Hz
	4 kHz ハイブリッドサンプリングモード (タイプ 2)						45 Hz ~ 275 Hz @50 Hz 54 Hz ~ 330 Hz @60 Hz
インバンドリップル 3	8 kHz サンプリングモード (タイプ 1)	rp3	-0.1	—	0.1	dB	45 Hz ~ 2200 Hz @50 Hz 54 Hz ~ 2640 Hz @60 Hz
	4 kHz ハイブリッドサンプリングモード (タイプ 2)						45 Hz ~ 1100 Hz @50 Hz 54 Hz ~ 1320 Hz @60 Hz
通過帯域 (ハイパス帯域)	8 kHz サンプリングモード (タイプ 1)	f_{Clpf}	—	3346	—	Hz	-3 dB
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	1673	—		
阻止帯域 (ハイパス帯域)	8 kHz サンプリングモード (タイプ 1)	f_{att}	—	5104	—	Hz	-80 dB
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	2552	—		
アウトバンド減衰		ATT1	-80	—	—	dB	f_s
		ATT2	-80	—	—		$2 f_s$

注 1. このモードでは、24 ビットシグマ-デルタ A/D コンバータ用の動作クロック周波数には、12 MHz を選択してください。

注 2. 保証された値ではなく、設計目標です。

2.5.8 8 kHz/4 kHz ハイブリッドサンプリングモード ($f_{OS} = 3.2 \text{ MHz}$)表 2.60 8 kHz/4 kHz ハイブリッドサンプリングモード ($f_{OS} = 3.2 \text{ MHz}$) 特性 (1/3)条件: $VCC = AVCC = 2.4 \sim 5.5 \text{ V}$ 、 $VSS = AVSS = 0 \text{ V}$ 、ANINn および ANIPn ($n = 0 \sim 3$)

項目	シンボル	Min	Typ	Max	単位	測定条件	
動作クロック (SDADCCLK) ^(注1)	f_{SDAD}	—	16	—	MHz	(注1)	
		—	12.8	—			
サンプリング周波数	8 kHz サンプリングモード (タイプ 1)	f_s	—	8333	—	Hz	(注1)
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	4167			
オーバーサンプリング周波数	f_{OS}	—	3.2	—	MHz	(注1)	
出力データレート	8 kHz サンプリングモード (タイプ 1)	T_{DATA}	—	120	—	μs	(注1)
	4 kHz ハイブリッドサンプリングモード (タイプ 2)		—	240			
データ幅	RES	—	24	—	ビット	—	

表 2.60 8 kHz/4 kHz ハイブリッドサンプリングモード ($f_{OS} = 3.2 \text{ MHz}$) 特性 (2/3)条件: $V_{CC} = AV_{CC} = 2.4 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、ANINn および ANIPn ($n = 0 \sim 3$)

項目	シンボル	Min	Typ	Max	単位	測定条件	
SNDR ^(注2)	8 kHz サンプリングモード (タイプ 1)	SNDR	81	86	—	dB	x1 ゲイン
			79	83	—		x2 ゲイン
			76	80	—		x4 ゲイン
			73	77	—		x8 ゲイン
			68	73	—		x16 ゲイン
	4 kHz ハイブリッドサンプリングモード (タイプ 2)	SNDR	81	86	—	dB	x1 ゲイン
			79	83	—		x2 ゲイン
			77	81	—		x4 ゲイン
			74	78	—		x8 ゲイン
			69	74	—		x16 ゲイン
通過帯域 (ローパス帯域)	8 kHz サンプリングモード (タイプ 1)	f_{Chpf}	—	1.295	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 00b
			—	1.295	—		
	4 kHz ハイブリッドサンプリングモード (タイプ 2)	f_{Chpf}	—	2.589	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 01b
			—	2.589	—		
	8 kHz サンプリングモード (タイプ 1)	f_{Chpf}	—	5.179	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 10b
			—	5.179	—		
	4 kHz ハイブリッドサンプリングモード (タイプ 2)	f_{Chpf}	—	1.295	—	Hz	-3 dB (ハイパスフィルタの位相未調整) SDADHPFCR.COF[1:0] = 11b
			—	0.647	—		
インバンドリップル 1	8 kHz サンプリングモード (タイプ 1)	rp1	-0.01	—	0.01	dB	45 Hz~55 Hz @50 Hz 54 Hz~66 Hz @60 Hz
							4 kHz ハイブリッドサンプリングモード (タイプ 2)
インバンドリップル 2	8 kHz サンプリングモード (タイプ 1)	rp2	-0.1	—	0.1	dB	45 Hz~550 Hz @50 Hz 54 Hz~660 Hz @60 Hz
							4 kHz ハイブリッドサンプリングモード (タイプ 2)
インバンドリップル 3	8 kHz サンプリングモード (タイプ 1)	rp3	-0.1	—	0.1	dB	45 Hz~2200 Hz @50 Hz 54 Hz~2640 Hz @60 Hz
							4 kHz ハイブリッドサンプリングモード (タイプ 2)
通過帯域 (ハイパス帯域)	8 kHz サンプリングモード (タイプ 1)	f_{Cipf}	—	3569	—	Hz	-3 dB
			4 kHz ハイブリッドサンプリングモード (タイプ 2)	—	1785		

表 2.60 8 kHz/4 kHz ハイブリッドサンプリングモード ($f_{OS} = 3.2 \text{ MHz}$) 特性 (3/3)条件: $V_{CC} = AV_{CC} = 2.4 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、ANINn および ANIPn ($n = 0 \sim 3$)

項目	シンボル	Min	Typ	Max	単位	測定条件	
阻止帯域 (ハイパス 帯域)	8 kHz サンプリングモード (タイプ 1)	f_{att}	—	5444	—	Hz	-80 dB
	4 kHz ハイブリッドサンプリングモ ード (タイプ 2)		—	2722	—		
アウトバンド減衰	ATT1	-80	—	—	dB	f_S	
	ATT2	-80	—	—	dB	$2 f_S$	

注 1. このモードでは、24 ビットシグマ-デルタ A/D コンバータ用の動作クロック周波数には、12.8 MHz を選択してください。
高速オンチップオシレータ (32 MHz/2、または 64 MHz/4) が SDADC クロック周波数 (SDADCCLK) として使用される場合、
SDADCCR レジスタのビット[1:0] (CK[1:0]) を 11b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 10b に設定してください。
サブ発振の PLL クロック (12.8 MHz) が SDADC クロック周波数 (SDADCCLK) として使用される場合、SDADCCR レジスタのビッ
ト[1:0] (CK[1:0]) を 10b、SDADMR レジスタのビット[29:28] (FR[1:0]) を 10b に設定してください。

注 2. 保証された値ではなく、設計目標です。

2.5.9 SDADC24 のその他の特性

表 2.61 SDADC24 のその他の特性

条件: $V_{CC} = AV_{CC} = 2.4 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$

特に指定のない限り、MOSC をソースクロックとする差動入力モードにおける電気的仕様が適用されます。

項目	シンボル	Min	Typ	Max	単位	測定条件
ゲイン誤差(注1)	E_G	-3	—	3	%	x1~x8 ゲイン、AVRT 誤差を除く
		-4	—	4	%	x16 ゲイン、AVRT 誤差を除く
ゲイン変動(注1)(注2)	dE_G	—	15	—	ppm/°C	AVRT 誤差を除く
オフセット誤差(注1)	E_{OS}	-10	—	10	mV	x1 ゲイン、AVRT 誤差を除く、入力を参照
オフセット変動(注1)(注3)	dE_{OS}	—	4	—	$\mu\text{V}/^\circ\text{C}$	x1 ゲイン、AVRT 誤差を除く、入力を参照
積分非直線性(注1)	INL	—	20	—	ppm (FSR に対して)	x1 ゲイン
		—	50	—		x16 ゲイン
コモンモード除去率(注1)	CMRR	—	80	—	dB	
電源除去率(注1)	PSRR	—	70	—	dB	アナログ入力 = 0 V
入力インピーダンス(注1)	Z_{IN}	—	360	—	k Ω	差動入力
		—	240	—		シングルエンド入力

注 1. 製品での試験は実施していませんが、特性は設計により保証されます。

注 2. ゲインの変動は、 $(\text{Max}(E_G(T)) - \text{Min}(E_G(T))) / (\text{Max}(T) - \text{Min}(T))$ で計算されます。(温度範囲: $-40^\circ\text{C} \sim +105^\circ\text{C}$ の場合)

注 3. オフセットの変動は、 $(\text{Max}(E_{OS}(T)) - \text{Min}(E_{OS}(T))) / (\text{Max}(T) - \text{Min}(T))$ で計算されます。(温度範囲: $-40^\circ\text{C} \sim +105^\circ\text{C}$ の場合)

2.5.10 SDADC24 用レギュレータ (AREGC) 特性

表 2.62 SDADC24 用レギュレータ (AREGC) 特性

条件: $V_{CC} = AV_{CC} = 2.4 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ AREGC 端子は、0.47 μF のコンデンサを介して AVSS 端子に接続してください。

項目	シンボル	Min	Typ	Max	単位	測定条件
AREGC 出力電圧	VADREG	1.5	1.55	1.6	V	0.47 μF コンデ ンサを AVSS 端子に接続

2.6 TSN 特性

表 2.63 TSN 特性

条件 : VCC = AVCC = 1.8~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4 V 以上
		—	±2.0	—	°C	2.4 V 未満
温度傾斜	—	—	-3.3	—	mV/°C	—
出力電圧 (25°C)	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t _{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	—

2.7 OSC 停止検出特性

表 2.64 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 2.41

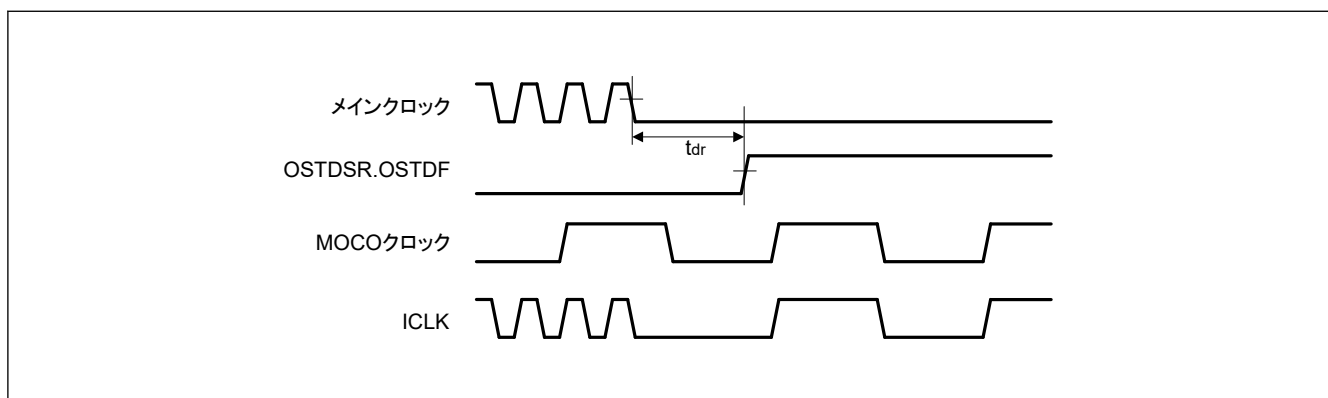


図 2.41 発振停止検出タイミング

2.8 POR/LVD 特性

表 2.65 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	電源上昇時	V _{POR}	1.47	1.51	1.55	V	図 2.42
		V _{PDR}	1.46	1.50	1.54		図 2.43
電圧検出回路 (LVD0)(注2)	電源上昇時	V _{det0_0}	3.74	3.91	4.06	V	図 2.44 VCC 立ち下がリエッジ時
			電源下降時	3.68	3.85		
	電源上昇時	V _{det0_1}	2.73	2.9	3.01		
			電源下降時	2.68	2.85		
	電源上昇時	V _{det0_2}	2.44	2.59	2.70		
			電源下降時	2.38	2.53		
	電源上昇時	V _{det0_3}	1.83	1.95	2.07		
			電源下降時	1.78	1.90		
	電源上昇時	V _{det0_4}	1.66	1.75	1.88		
			電源下降時	1.60	1.69		

表 2.65 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	電圧検出回路 (LVD1) ^(注3)	電源上昇時	V _{det1_0}	4.23	4.39	4.55	V	図 2.45 VCC 立ち下がりエッジ時
		電源下降時		4.13	4.29	4.45		
		電源上昇時	V _{det1_1}	4.07	4.25	4.39		
		電源下降時		3.98	4.16	4.30		
		電源上昇時	V _{det1_2}	3.97	4.14	4.29		
		電源下降時		3.86	4.03	4.18		
		電源上昇時	V _{det1_3}	3.74	3.92	4.06		
		電源下降時		3.68	3.86	4.00		
		電源上昇時	V _{det1_4}	3.05	3.17	3.29		
		電源下降時		2.98	3.10	3.22		
		電源上昇時	V _{det1_5}	2.95	3.06	3.17		
		電源下降時		2.89	3.00	3.11		
		電源上昇時	V _{det1_6}	2.86	2.97	3.08		
		電源下降時		2.79	2.90	3.01		
		電源上昇時	V _{det1_7}	2.74	2.85	2.96		
		電源下降時		2.68	2.79	2.90		
電圧検出レベル (注1)	電圧検出回路 (LVD1) ^(注3)	電源上昇時	V _{det1_8}	2.63	2.75	2.85	V	図 2.45 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V _{det1_9}	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V _{det1_A}	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V _{det1_B}	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V _{det1_C}	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V _{det1_D}	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V _{det1_E}	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V _{det1_F}	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2) ^(注4)	電源上昇時	V _{det2_0}	4.20	4.40	4.57	V	図 2.46 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V _{det2_1}	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V _{det2_2}	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V _{det2_3}	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. V_{det0_#}の#は OFS1.VDSEL0[2:0]ビットの値を示しています。

注 3. $V_{det1_#}$ の#は LVDLVLRLVD1LVL[4:0]ビットの値を示しています。

注 4. $V_{det2_#}$ の#は LVDLVLRLVD2LVL[2:0]ビットの値を示しています。

表 2.66 パワーオンリセット回路、電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	—	4.3	—	ms	—
	LVD0 : 無効	t_{POR}	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0 : 有効(注1)	$t_{LVD0,1,2}$	—	1.4	—	ms	—
	LVD0 : 無効(注2)	$t_{LVD1,2}$	—	0.7	—	ms	—
パワーオンリセット応答遅延時間(注3)		t_{det}	—	—	500	μ s	図 2.42、図 2.43
LVD0 応答遅延時間(注3)		t_{det}	—	—	500	μ s	図 2.44
LVD1 応答遅延時間(注3)		t_{det}	—	—	350	μ s	図 2.45
LVD2 応答遅延時間(注3)		t_{det}	—	—	600	μ s	図 2.46
最小 VCC 低下時間		t_{VOFF}	500	—	—	μ s	図 2.42、VCC = 1.0 V 以上
パワーオンリセット有効時間		t_W (POR)	1	—	—	ms	図 2.43、VCC = 1.0 V 未満
LVD1 動作安定時間 (LVD1 有効切り替え後)		T_d (E-A)	—	—	300	μ s	図 2.45
LVD2 動作安定時間 (LVD2 有効切り替え後)		T_d (E-A)	—	—	1200	μ s	図 2.46
ヒステリシス幅 (POR)		V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0、LVD1、LVD2)		V_{LVH}	—	60	—	mV	LVD0 選択時
			—	110	—		$V_{det1_0} \sim V_{det1_2}$ を選択
			—	70	—		$V_{det1_3} \sim V_{det1_9}$ を選択
			—	60	—		$V_{det1_A} \sim V_{det1_B}$ を選択
			—	50	—		$V_{det1_C} \sim V_{det1_F}$ を選択
			—	90	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} の最小値を下回っている時間です。

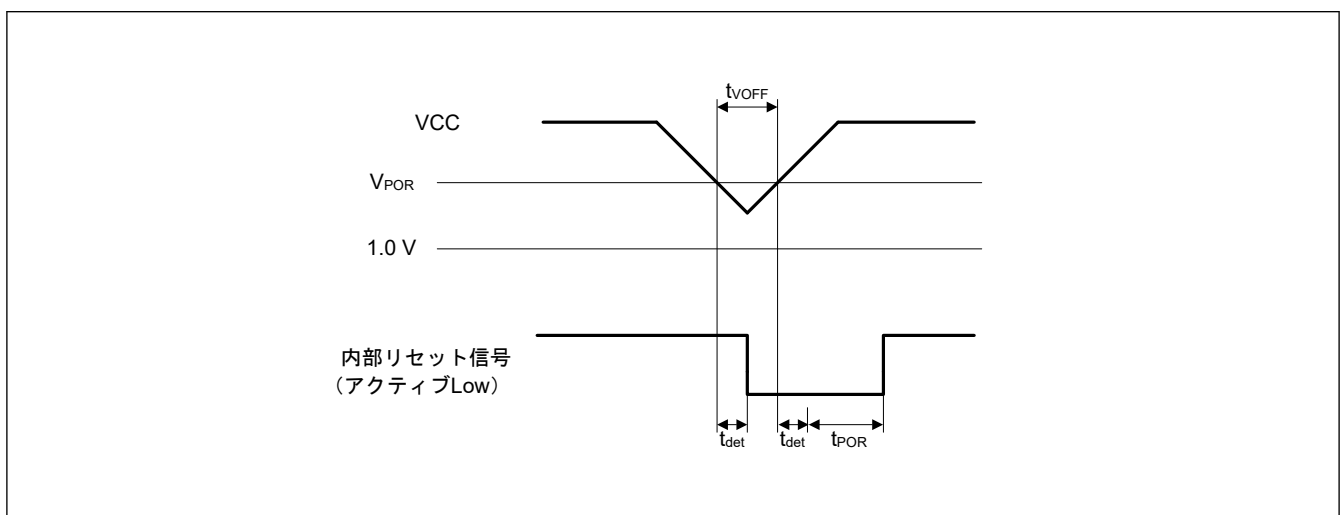


図 2.42 電圧検出リセットタイミング

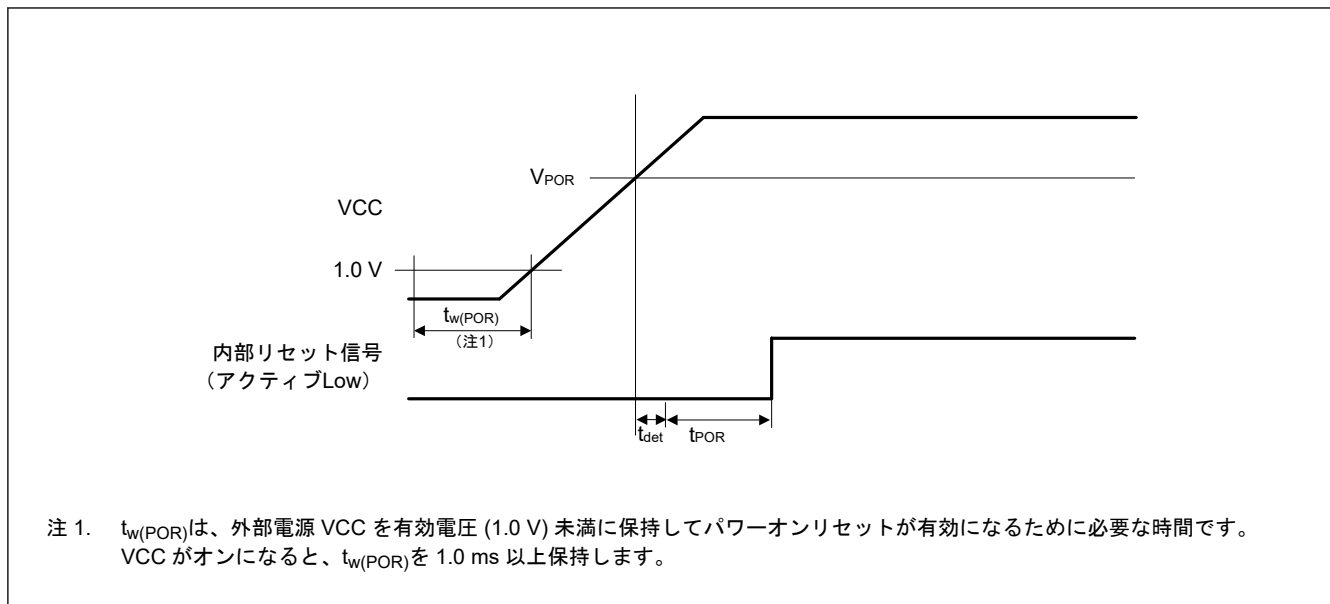


図 2.43 パワーオンリセットタイミング

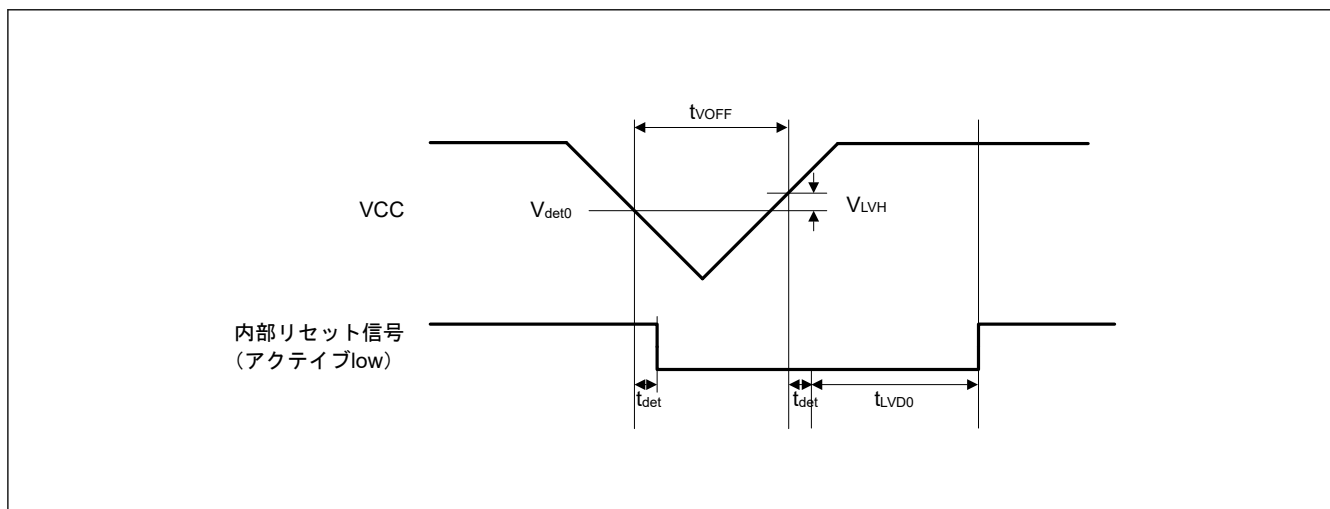


図 2.44 電圧検出回路タイミング (V_{det0})

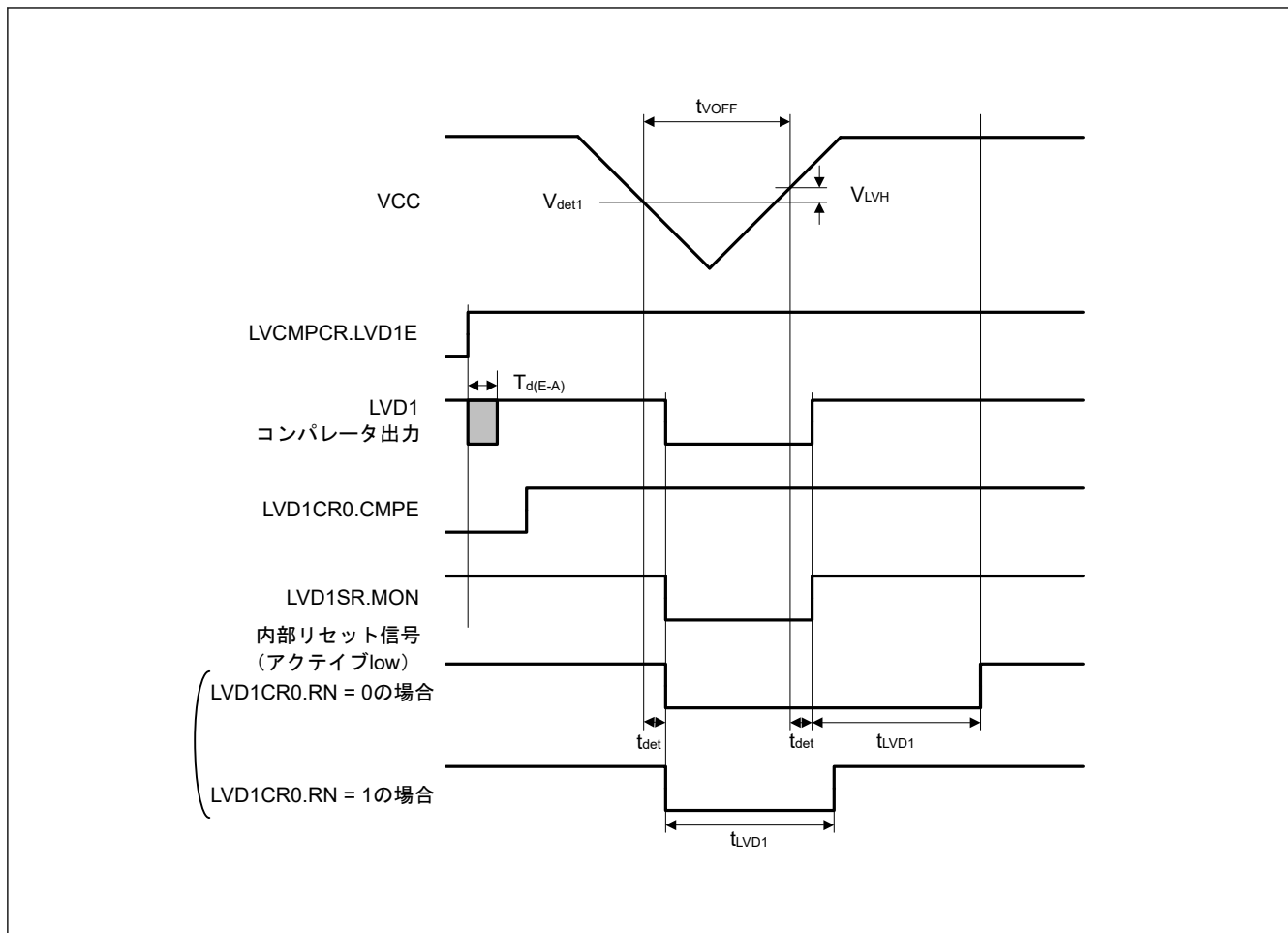


図 2.45 電圧検出回路タイミング (V_{det1})

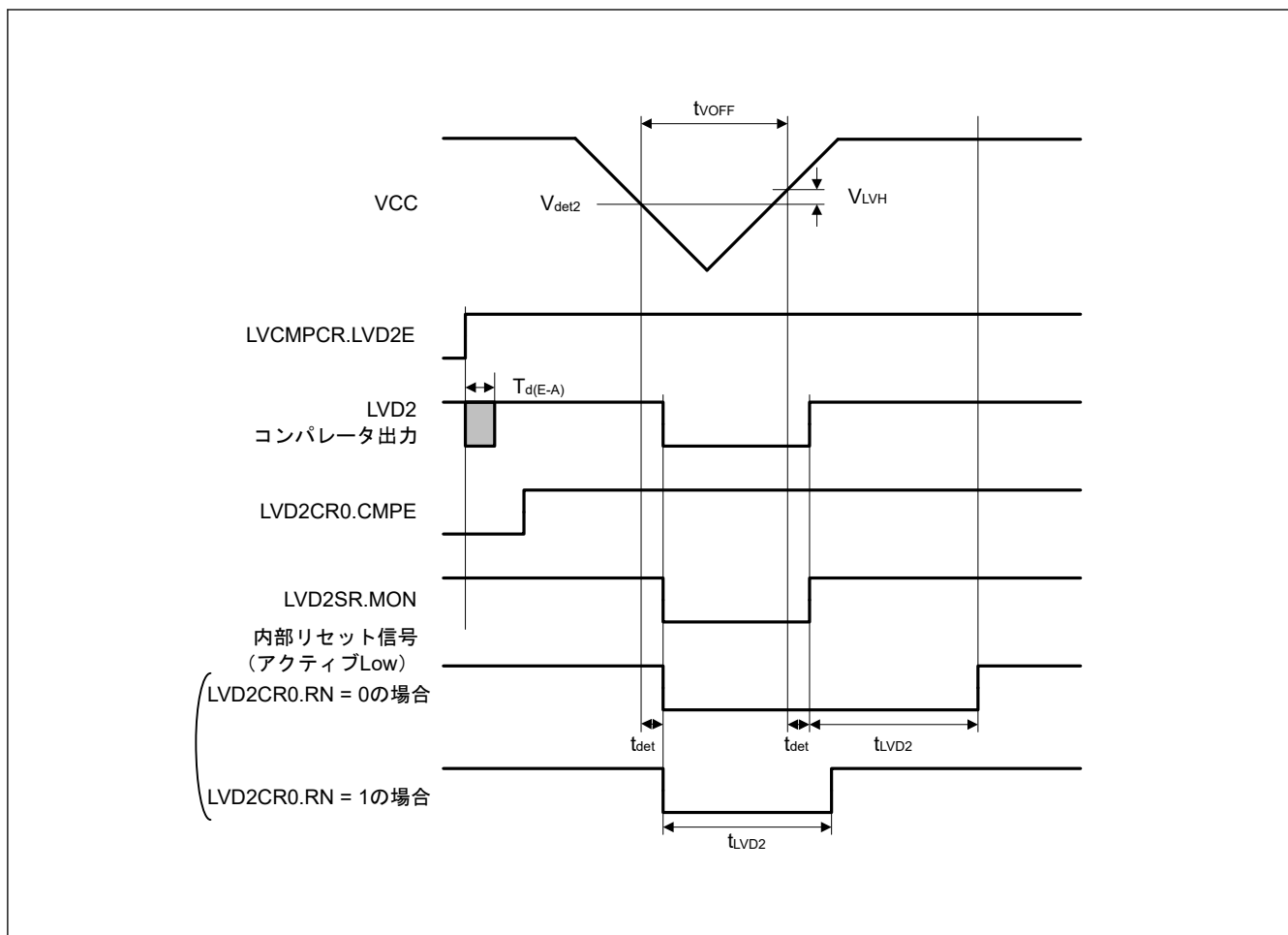


図 2.46 電圧検出回路タイミング (V_{det2})

2.9 VRTC POR 特性

表 2.67 VRTC のパワーオンリセット回路の特性

項目	シンボル	Min	Typ	Max	単位	測定条件		
電圧検出レベル	VRTC のパワーオンリセット (VRTC_POR)	電源上昇時	—	1.51	1.55	1.59	V	図 2.47
		電源下降時	—	1.49	1.53	1.57		
			VRTC_PDR	1.46	1.53	1.59		
	—	—	1.49	1.53	1.78			
	—	—	1.48	1.55	1.59			
	—	—	1.51	1.55	1.78			
VRTC のヒステリシス幅 (VRTC_POR)	VRTC_PORH	—	20	—	mV	—		
パワーオンリセット解除後の待機時間	t _{RTCPOR}	—	—	12	ms	図 2.47		
VRTC のパワーオンリセット応答遅延時間(注1)	t _{rtcdet}	—	—	500	μs	図 2.47		
VRTC のパワーオンリセット有効時間(注1)	t _w (VRTC_POR)	1	—	—	ms	図 2.47、 VRTC = 1.0 V 未満		

注 1. 最小 VRTC 低下時間は、VRTC が VRTC_POR の電圧検出レベルの最小値を下回っている時間です。

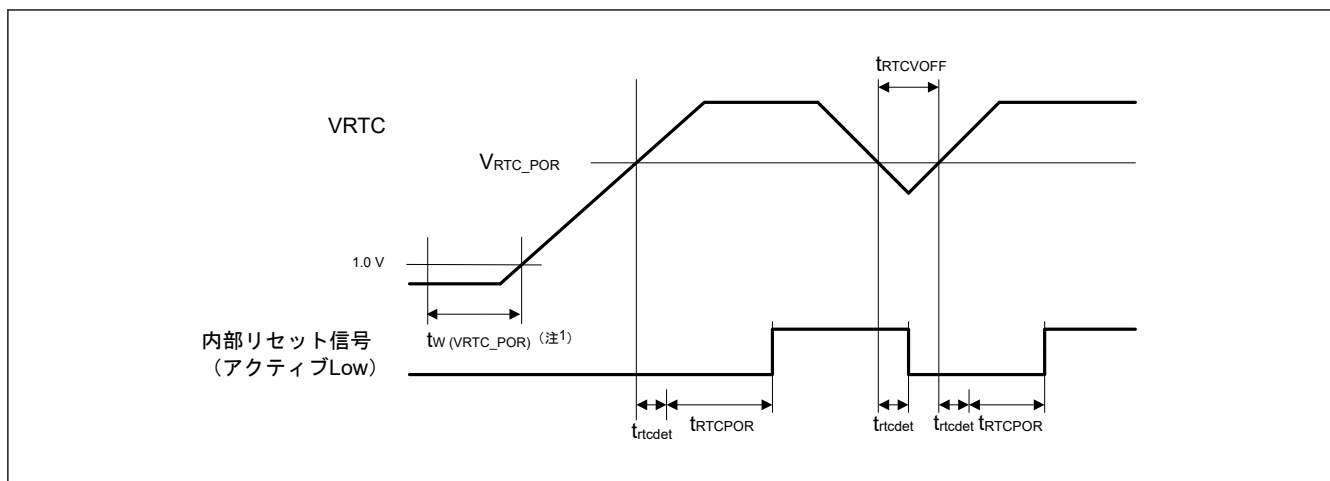


図 2.47 VRTC の電圧検出リセットタイミングとパワーオンリセットタイミング

2.10 EXLVDVBAT 端子電圧検出特性

表 2.68 EXLVDVBAT 端子電圧検出特性

条件 : VCC = AVCC = 1.8~5.5 V、VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
内部基準電圧	V _{LVDVBAT0}	VBTLVDCR.LVL[2:0] = 000	上昇	2.17	2.24	2.31	V	—
			下降	2.12	2.18	2.24		—
	V _{LVDVBAT1}	VBTLVDCR.LVL[2:0] = 001	上昇	2.37	2.44	2.51		—
			下降	2.31	2.38	2.45		—
	V _{LVDVBAT2}	VBTLVDCR.LVL[2:0] = 010	上昇	2.56	2.64	2.72		—
			下降	2.50	2.58	2.66		—
	V _{LVDVBAT3}	VBTLVDCR.LVL[2:0] = 011	上昇	2.66	2.74	2.82		—
			下降	2.60	2.68	2.76		—
	V _{LVDVBAT4}	VBTLVDCR.LVL[2:0] = 100	上昇	2.76	2.84	2.92		—
			下降	2.70	2.78	2.86		—
	V _{LVDVBAT5}	VBTLVDCR.LVL[2:0] = 101	上昇	2.85	2.94	3.03		—
			下降	2.80	2.88	2.96		—
	V _{LVDVBAT6}	VBTLVDCR.LVL[2:0] = 110	上昇	3.05	3.14	3.23		—
			下降	2.99	3.08	3.17		—
最小パルス幅	t _{pw_lvdvbat}	—	500	—	—	μs	図 2.48	
検出遅延時間	t _{d_lvdvbat}	—	—	—	500	μs	図 2.48	
端子抵抗	r _{in_lvdvbat}	—	80	150	280	MΩ	—	
		VBTLVDCR.LVDE = 1						

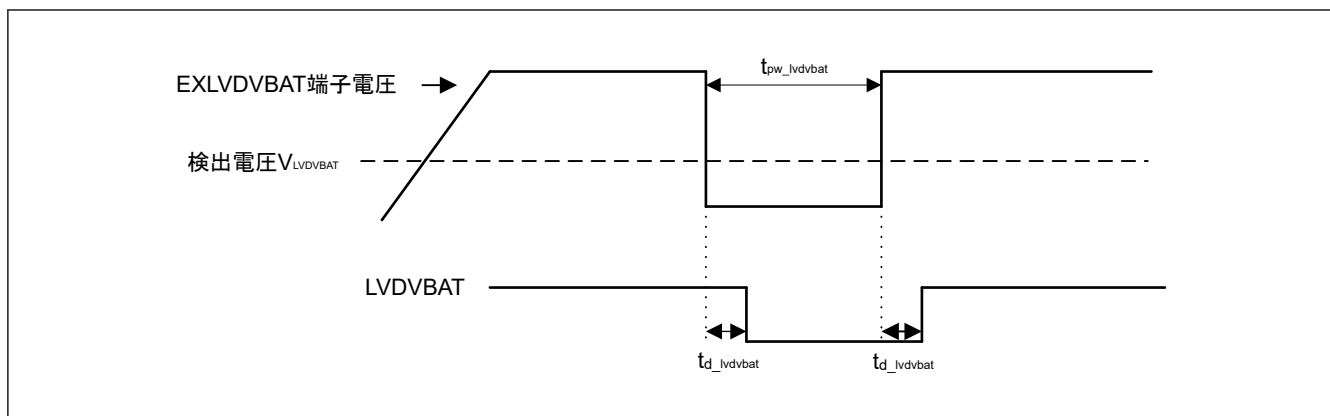


図 2.48 EXLVDBAT 端子電圧検出回路のタイミング

2.11 VRTC 端子電圧検出特性

表 2.69 VRTC 端子電圧検出特性

条件 : VCC = AVCC = 1.8~5.5 V、VSS = AVSS = 0 V、VRTC = 1.8~5.5 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
内部基準電圧	V _{LVDVRTC0}	VRTLVDCR.LV L[1:0] = 00	上昇	2.16	2.22	2.28	V	—
			下降	2.10	2.16	2.22		—
	V _{LVDVRTC1}	VRTLVDCR.LV L[1:0] = 01	上昇	2.36	2.43	2.50		—
			下降	2.30	2.37	2.44		—
	V _{LVDVRTC2}	VRTLVDCR.LV L[1:0] = 10	上昇	2.56	2.63	2.70		—
			下降	2.50	2.57	2.64		—
V _{LVDVRTC3}	VRTLVDCR.LV L[1:0] = 11	上昇	2.76	2.84	2.92	—		
		下降	2.70	2.78	2.86	—		
最小パルス幅	t _{pw_lvdvrtc}	—	500	—	—	μs	図 2.49	
検出遅延時間	t _{d_lvdvrtc}	—	—	—	500	μs	図 2.49	

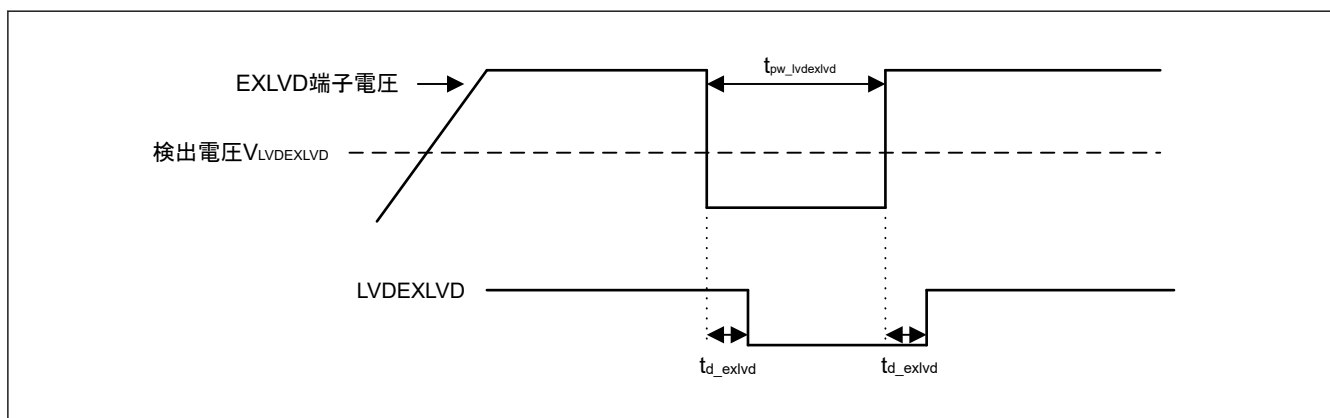


図 2.49 VRTC 端子電圧検出回路のタイミング

2.12 EXLVD 端子電圧検出

表 2.70 EXLVD 端子電圧検出特性

条件 : $VCC = AVCC = 1.8 \sim 5.5 V$ 、 $VSS = AVSS = 0 V$

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
内部基準電圧	$V_{LVDEXLVD}$	— 上昇	1.25	1.33	1.41	V	—
		— 下降	1.20	1.28	1.36		—
最小パルス幅	$t_{pw_lvdexlvd}$	—	500	—	—	μs	図 2.50
検出遅延時間	t_{d_exlvd}	—	—	—	500	μs	図 2.50
端子抵抗	r_{in_exlvd}	— EXLVDCR.LVDE = 1	30	60	115	M Ω	—

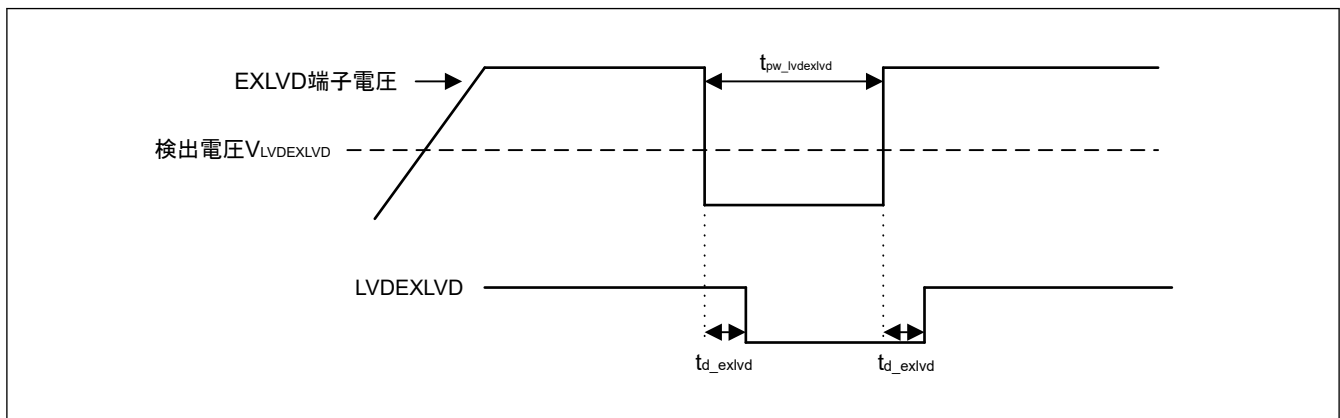


図 2.50 EXLVD 端子電圧検出回路のタイミング

2.13 セグメント LCD コントローラ特性

2.13.1 外部抵抗分割法

(1) スタティック表示モード

表 2.71 外部抵抗分割法の LCD 特性 (1)

条件 : $V_{L4}(\text{Min}) \leq VCC = AVCC \leq 5.5 V$ 、 $VSS = AVSS = 0 V$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.0	—	VCC	V	—

(2) 1/2 バイアス法、1/4 バイアス法

表 2.72 外部抵抗分割法の LCD 特性 (2)

条件 : $V_{L4}(\text{Min}) \leq VCC = AVCC \leq 5.5 V$ 、 $VSS = AVSS = 0 V$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.7	—	VCC	V	—

(3) 1/3 バイアス法

表 2.73 外部抵抗分割法の LCD 特性 (3)

条件 : $V_{L4}(\text{Min}) \leq VCC = AVCC \leq 5.5 V$ 、 $VSS = AVSS = 0 V$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.5	—	VCC	V	—

2.13.2 内部電圧昇圧方式 (VL1 リファレンス)

(1) 1/3 バイアス法

表 2.74 内部電圧昇圧方式の LCD 特性 (1)

条件 : VCC = AVCC = 1.8 V ~ 5.5 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD 出力電圧の変動範囲	VL1	C1~C4(注5) = 0.47 μ F	VLCD(注1) = 0x04	0.97	1.01	1.04	V	—
			VLCD = 0x05	1.00	1.04	1.08	V	—
			VLCD = 0x06	1.04	1.07	1.11	V	—
			VLCD = 0x07	1.07	1.11	1.14	V	—
			VLCD = 0x08	1.10	1.14	1.18	V	—
			VLCD = 0x09	1.13	1.17	1.21	V	—
			VLCD = 0x0A	1.16	1.21	1.25	V	—
			VLCD = 0x0B	1.20	1.24	1.28	V	—
			VLCD = 0x0C	1.23	1.27	1.32	V	—
			VLCD = 0x0D	1.26	1.31	1.35	V	—
			VLCD = 0x0E	1.29	1.34	1.38	V	—
			VLCD = 0x0F	1.33	1.37	1.42	V	—
			VLCD = 0x10	1.36	1.40	1.45	V	—
			VLCD = 0x11	1.39	1.44	1.49	V	—
			VLCD = 0x12	1.42	1.47	1.52	V	—
			VLCD = 0x13	1.45	1.50	1.55	V	—
			VLCD = 0x14	1.49	1.54	1.59	V	—
			VLCD = 0x15	1.52	1.57	1.62	V	—
			VLCD = 0x16	1.55	1.60	1.66	V	—
VLCD = 0x17	1.58	1.64	1.69	V	—			
VLCD = 0x18	1.61	1.67	1.73	V	—			
VLCD = 0x19	1.65	1.70	1.76	V	—			
VLCD = 0x1A(注4)	1.68	1.74	1.79	V	—			
出力電圧 2 倍	VL2	C1~C4(注5) = 0.47 μ F	$2 \times V_{L1} - 5\%$	$2 \times V_{L1}$	$2 \times V_{L1} + 5\%$	V	—	
出力電圧 3 倍	VL4	C1~C4(注5) = 0.47 μ F	$3 \times V_{L1} - 6\%$	$3 \times V_{L1}$	$3 \times V_{L1} + 6\%$	V	—	
リファレンス電圧 起動時間(注2)	t _{VL1S}	—	10	—	—	ms	図 2.51	
電圧昇圧待機時間 (注3)	t _{VLWT}	—	500	—	—	ms	図 2.51	

注. 5 V の LCD パネル使用時に 0x0E~0x1A の設定が許可されます。1/3 バイアスで 3 V の LCD パネル使用時に 0x04~0x07 の設定が許可されます。

注 1. 内部電圧昇圧方式 (VL1 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 2. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 0 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 3. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 4. この設定は VCC \geq VL1 の場合のみ使用可能です。

注 5. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F \pm 30%

(2) 1/4 バイアス法

表 2.75 内部電圧昇圧方式の LCD 特性 (2)

条件 : VCC = AVCC = 1.8 V ~ 5.5 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD 出力電圧の変動範囲	VL1	C1~C5(注1) = 0.47 μ F	VLCD(注2) = 0x04	0.97	1.01	1.04	V	—
			VLCD = 0x05	1.00	1.04	1.08	V	—
			VLCD = 0x06	1.04	1.07	1.11	V	—
			VLCD = 0x07	1.07	1.11	1.14	V	—
			VLCD = 0x08	1.10	1.14	1.18	V	—
			VLCD = 0x09	1.13	1.17	1.21	V	—
			VLCD = 0x0A	1.16	1.21	1.25	V	—
			VLCD = 0x0B	1.20	1.24	1.28	V	—
			VLCD = 0x0C	1.23	1.27	1.32	V	—
VLCD = 0x0D	1.26	1.31	1.35	V	—			
出力電圧 2 倍	VL2	C1~C5(注1) = 0.47 μ F	2 × VL1 - 5%	2 × VL1	2 × VL1 + 5%	V	—	
出力電圧 3 倍	VL3	C1~C5(注1) = 0.47 μ F	3 × VL1 - 6%	3 × VL1	3 × VL1 + 6%	V	—	
出力電圧 4 倍	VL4(注5)	C1~C5(注1) = 0.47 μ F	4 × VL1 - 6%	4 × VL1	4 × VL1 + 6%	V	—	
リファレンス電圧起動時間(注3)	tVL1S	—	10	—	—	ms	図 2.51	
電圧昇圧待機時間(注4)	tVLWT	—	500	—	—	ms	図 2.51	

注 1. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL3 と GND の間に接続されたコンデンサ

C5: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = C5 = 0.47 μ F \pm 30%

注 2. 内部電圧昇圧方式 (VL1 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 3. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 0 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 4. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 5. VL4 は 5.5 V 以下にしてください。

2.13.3 内部電圧昇圧方式 (VL2 リファレンス)

(1) 1/3 バイアス法

表 2.76 内部電圧昇圧方式の LCD 特性 (3) (1/2)

条件 : VCC = AVCC = VL2 (Max) + 0.1 ~ 5.5 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
出力電圧 1/2 倍	VL1	C1~C4(注1) = 0.47 μ F	1/2 × VL2 - 5%	1/2 × VL2	1/2 × VL2 + 5%	V	—

表 2.76 内部電圧昇圧方式の LCD 特性 (3) (2/2)

条件 : VCC = AVCC = VL2 (Max) + 0.1~5.5 V、VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD 出力電圧の変動範囲	VL2	C1~C4(注1) = 0.47 μ F	VLCD(注2) = 0x84	1.94	2.02	2.11	V	—
			VLCD = 0x85	2.00	2.09	2.18	V	—
			VLCD = 0x86	2.07	2.16	2.25	V	—
			VLCD = 0x87	2.13	2.22	2.32	V	—
			VLCD = 0x88	2.19	2.29	2.39	V	—
			VLCD = 0x89	2.26	2.36	2.46	V	—
			VLCD = 0x8A	2.32	2.42	2.53	V	—
			VLCD = 0x8B	2.39	2.49	2.59	V	—
			VLCD = 0x8C	2.45	2.56	2.66	V	—
			VLCD = 0x8D	2.51	2.62	2.73	V	—
			VLCD = 0x8E	2.58	2.69	2.80	V	—
			VLCD = 0x8F	2.64	2.76	2.87	V	—
			VLCD = 0x90	2.70	2.82	2.94	V	—
			VLCD = 0x91	2.77	2.89	3.01	V	—
			VLCD = 0x92	2.83	2.96	3.08	V	—
			VLCD = 0x93	2.90	3.02	3.15	V	—
			VLCD = 0x94	2.96	3.09	3.22	V	—
			VLCD = 0x95	3.02	3.15	3.29	V	—
			VLCD = 0x96	3.09	3.22	3.35	V	—
VLCD = 0x97	3.15	3.29	3.42	V	—			
VLCD = 0x98	3.21	3.35	3.49	V	—			
VLCD = 0x99	3.28	3.42	3.56	V	—			
VLCD = 0x9A	3.34	3.49	3.63	V	—			
出力電圧 2/3 倍	VL4(注5)	C1~C4(注1) = 0.47 μ F	$\frac{2}{3} \times V_{L2} - 6\%$	$\frac{2}{3} \times V_{L2}$	$\frac{2}{3} \times V_{L2} + 6\%$	V	—	
リファレンス電圧 起動時間(注3)	tVL2S	—	10	—	—	ms	図 2.51	
電圧昇圧待機時間 (注4)	tVLWT	—	500	—	—	ms	図 2.51	

注. 5 V の LCD パネル使用時に 0x8E~0x9A の設定が許可されます。1/3 バイアスで 3 V の LCD パネル使用時に 0x84~0x87 の設定が許可されます。

注 1. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F $\pm 30\%$

注 2. 内部電圧昇圧方式 (VL2 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 1、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 3. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 1 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 4. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 5. VL4 は 5.5 V 以下にしてください。

2.13.4 容量分割方式 (VCC リファレンス)

(1) 1/3 バイアス法

表 2.77 容量分割方式の LCD 特性 (1)

条件 : VCC = AVCC = 2.2 V ~ 5.5 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧	V_{L4}	C1~C4(注2) = 0.47 μ F	—	VCC	—	V	—
VL2 電圧	V_{L2}	C1~C4(注2) = 0.47 μ F	$2/3 \times V_{L4} - 3\%$	$2/3 \times V_{L4}$	$2/3 \times V_{L4} + 3\%$	V	—
VL1 電圧	V_{L1}	C1~C4(注2) = 0.47 μ F	$1/3 \times V_{L4} - 3\%$	$1/3 \times V_{L4}$	$1/3 \times V_{L4} + 3\%$	V	—
容量分割待機時間(注1)	t_{WAIT}	—	100	—	—	ms	図 2.51

注. 容量分割方式 (VCC リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 10 に設定されます。

注 1. 電圧バッキングが開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 2. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F $\pm 30\%$

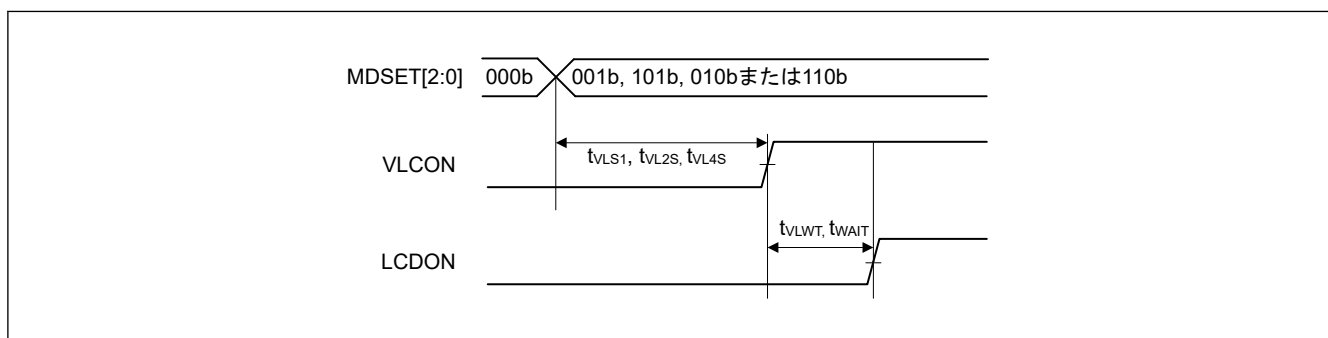


図 2.51 LCD リファレンス電圧起動時間、電圧昇圧待機時間、容量分割待機時間

2.13.5 容量分割方式 (VL4 リファレンス)

(1) 1/3 バイアス法

表 2.78 容量分割方式の LCD 特性 (3)

条件 : VCC = AVCC = 3.2 V ~ 5.5 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧	V_{L4}	C1~C4(注2) = 0.47 μ F	2.89	3.04	3.20	V	—
VL2 電圧	V_{L2}	C1~C4(注2) = 0.47 μ F	1.89	2.03	2.17	V	—
VL1 電圧	V_{L1}	C1~C4(注2) = 0.47 μ F	0.94	1.01	1.08	V	—
リファレンス電圧 起動時間(注3)	t_{VL4S}	—	10	—	—	ms	図 2.51
容量分割待機時間 (注1)	t_{WAIT}	—	100	—	—	ms	図 2.51

注 1. 電圧バッキングが開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 2. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F \pm 30%

注 3. 容量分割方式 (VL4 リファレンス) に対して、VLCD レジスタのビット [7] (MDSET[2]) は 1、LCDM0 レジスタのビット [7:6] (MDSET[1:0]) は 10 に設定されます。

2.14 フラッシュメモリ特性

2.14.1 コードフラッシュメモリ特性

表 2.79 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N _{PEC}	10000	—	—	回	—	
データ保持時間	1000 回の N _{PEC} の後	t _{DRP}	20(注2) (注3)	—	—	年	T _a = +85°C
	10000 回の N _{PEC} の後		10(注2) (注3)	—	—	年	T _a = +105°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なる番地に 4 バイト書き込みを 512 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. この結果は信頼性試験から得られたものです。

表 2.80 コードフラッシュ特性 (2)

High-speed 動作モード

条件: VCC = AVCC = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t _{P4}	—	86	732	—	34	321	μ s
イレース時間	2 KB	t _{E2K}	—	12.5	355	—	5.6	215	ms
ブランクチェック時間	4 バイト	t _{BC4}	—	—	46.5	—	—	8.3	μ s
	2 KB	t _{BC2K}	—	—	3681	—	—	240	μ s
イレースサスペンド時間		t _{SED}	—	—	22.3	—	—	10.5	μ s
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	21.2	570	—	11.4	423	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μ s
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μ s

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は \pm 1.0% とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

表 2.81 コードフラッシュ特性 (3) (1/2)

Middle-speed 動作モード

条件: VCC = AVCC = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注2)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t _{P4}	—	86	732	—	39	356	μ s

表 2.81 コードフラッシュ特性 (3) (2/2)

Middle-speed 動作モード

条件 : VCC = AVCC = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注2)			単位	
		Min	Typ	Max	Min	Typ	Max		
イレース時間	2 KB	t _{E2K}	—	12.5	355	—	6.2	227	ms
ブランクチェック時間	4 バイト	t _{BC4}	—	—	46.5	—	—	11.3	μs
	2 KB	t _{BC2K}	—	—	3681	—	—	534	μs
イレースサスペンド時間		t _{SED}	—	—	22.3	—	—	11.7	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	21.2	570	—	12.2	435	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	48.7	1740	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

注 2. 1.8 V ≤ VCC = AVCC ≤ 5.5 V の場合

表 2.82 コードフラッシュ特性 (4)

Low-speed 動作モード

条件 : VCC = AVCC = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t _{P4}	—	86	732	—	57	502	μs
イレース時間	2 KB	t _{E2K}	—	12.5	355	—	8.8	280	ms
ブランクチェック時間	4 バイト	t _{BC4}	—	—	46.5	—	—	23.3	μs
	2 KB	t _{BC2K}	—	—	3681	—	—	1841	μs
イレースサスペンド時間		t _{SED}	—	—	22.3	—	—	16.2	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	21.2	570	—	15.9	491	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	63.5	1964	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

2.14.2 データフラッシュメモリ特性

表 2.83 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N _{DPEC}	100000	1000000	—	回	—	
データ保持時間	10000 回の N _{DPEC} の後	t _{DDR} P	20(注2) (注3)	—	—	年	Ta = +105 °C
	100000 回の N _{DPEC} の後		5(注2) (注3)	—	—	年	
	1000000 回の N _{DPEC} の後	—	1(注2) (注3)	—	—	年	Ta = +25 °C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 2.84 データフラッシュ特性 (2)

High-speed 動作モード

条件 : VCC = AVCC = 1.8~5.5 V

項目	シンボル	ICLK = 4 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	45	404	—	34	321	μs
イレース時間	1 KB	t _{DE1K}	—	8.8	280	—	6.1	224	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	15.2	—	—	8.3	μs
	1 KB	t _{DBC1K}	—	—	1832	—	—	466	μs
イレース実行中のサスペンド時間	t _{DS} ED	—	—	13.2	—	—	10.5	μs	
データフラッシュ STOP 復帰時間	t _D STOP	250	—	—	250	—	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 2.85 データフラッシュ特性 (3)

Middle-speed 動作モード

条件 : VCC = AVCC = 1.6~5.5 V

項目	シンボル	ICLK = 4 MHz			ICLK = 8 MHz(注1)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	45	404	—	39	356	μs
イレース時間	1 KB	t _{DE1K}	—	8.8	280	—	7.3	248	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	15.2	—	—	11.3	μs
	1 KB	t _{DBC1K}	—	—	1.84	—	—	1.06	ms
イレース実行中のサスペンド時間	t _{DS} ED	—	—	13.2	—	—	11.7	μs	
データフラッシュ STOP 復帰時間	t _D STOP	250	—	—	250	—	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC = AVCC ≤ 5.5 V の場合

表 2.86 データフラッシュ特性 (4)

Low-speed 動作モード

条件 : VCC = AVCC = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	86	732	—	57	502	μs
イレース時間	1 KB	t _{DE1K}	—	19.7	504	—	12.4	354	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	46.5	—	—	23.3	μs
	1 KB	t _{DBC1K}	—	—	7.3	—	—	3.66	ms
イレース実行中のサスペンド時間		t _{DSED}	—	—	22.3	—	—	16.2	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 2 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

2.14.3 シリアルワイヤデバッグ (SWD)

表 2.87 SWD 特性 (1)

条件 : VCC = AVCC = 2.4~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	80	—	—	ns	図 2.52
SWCLK クロック High レベルパルス幅	t _{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SWCKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	16	—	—	ns	図 2.53
SWDIO ホールド時間	t _{SWDH}	16	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	70	ns	

表 2.88 SWD 特性 (2)

条件 : VCC = AVCC = 1.6~2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	250	—	—	ns	図 2.52
SWCLK クロック High レベルパルス幅	t _{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SWCKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	50	—	—	ns	図 2.53
SWDIO ホールド時間	t _{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	170	ns	

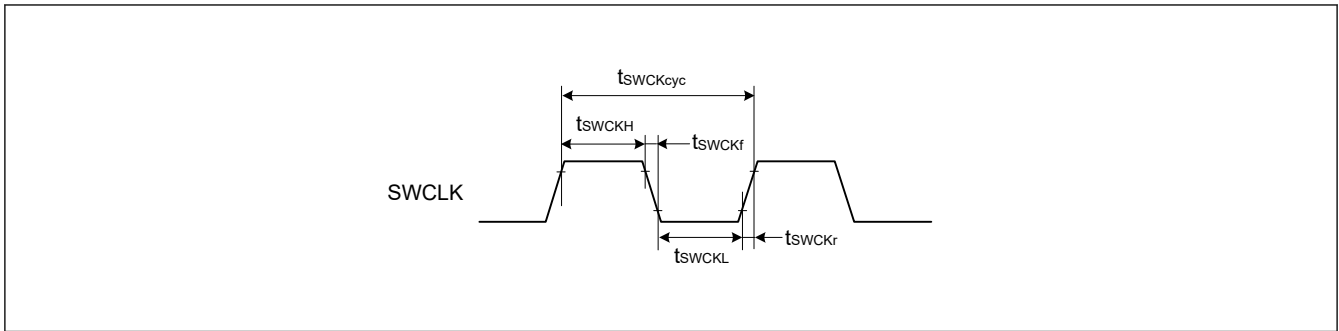


図 2.52 SWD SWCLK タイミング

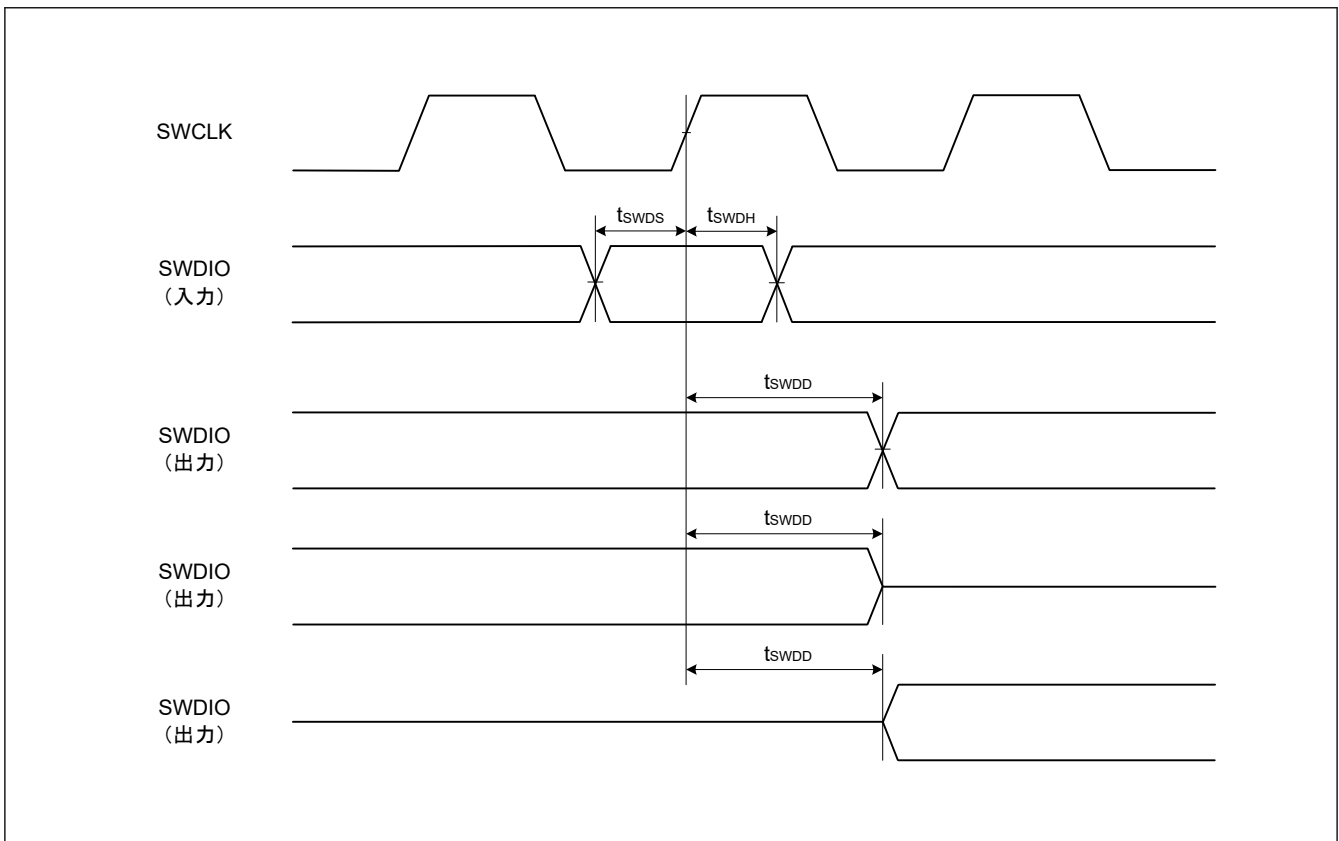


図 2.53 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/4)

ポート名	リセット	ソフトウェアスタンバイモード
P001/VREFH0/AN001	Hi-Z	Keep-O
P002/VREFL0/AN002	Hi-Z	Keep-O
P004/SEG44	Hi-Z	Keep-O
P005/SEG43	Hi-Z	Keep-O
P006/SEG42	Hi-Z	Keep-O
P007/SEG41	Hi-Z	Keep-O
P008/SEG40	Hi-Z	Keep-O
P009/SEG39	Hi-Z	Keep-O
P010/SEG38	Hi-Z	Keep-O
P011/SEG37/GTIOC4A	Hi-Z	Keep-O
P012/CACREF_A/SEG36/GTIOC5A_A/IRQ2_A/SCL1	Hi-Z	Keep-O(注1)
P013/SEG35/RXD1/MISO1/SCL1/AGTIO7/IRQ1_A/SDA1	Hi-Z	[AGTIO7 出力選択] AGTIO7 出力(注2) [上記以外] Keep-O(注1)
P014/CACREF_B/AN000/IRQ3_A	Hi-Z	Keep-O(注1)
P015/AN003/EXLVDVBAT	Hi-Z	Keep-O
P100/SEG13/TXD0/MOSI0/SDA0/AGTO0/AGTOA0/AGTOB0/AGTEE0/GTIU/GTIOC8A_A	Hi-Z	[AGTO0/AGTOA0/AGTOB0 出力選択] AGTO0/AGTOA0/AGTOB0 出力(注2) [上記以外] Keep-O
P101/SEG14/RXD0/MISO0/SCL0/AGTO1/AGTOA1/AGTOB1/AGTEE1/AGTWO0/GTIV/GTIOC8B_A	Hi-Z	[AGTO1/AGTOA1/AGTOB1/AGTWO0 出力選択] AGTO1/AGTOA1/AGTOB1/AGTWO0 出力(注2) [上記以外] Keep-O
P102/SEG15/ADTRG0_A/SCK0/AGTO2/AGTOA2/AGTOB2/AGTEE2/AGTWEE0/GTIW/GTIOC6A_B	Hi-Z	[AGTO2/AGTOA2/AGTOB2 出力選択] AGTO2/AGTOA2/AGTOB2 出力(注2) [上記以外] Keep-O
P103/SEG16/CTS0_RTS0/SS0/SSLA3/AGTO3/AGTOA3/AGTOB3/AGTEE3/AGTWIO0/GTOUUP/GTIOC6B_B	Hi-Z	[AGTO3/AGTOA3/AGTOB3/AGTWIO0 出力選択] AGTO3/AGTOA3/AGTOB3/AGTWIO0 出力(注2) [上記以外] Keep-O
P104/SEG24/SCK2/GTIOC8A_B	Hi-Z	Keep-O
P105/SEG25/CTS2_RTS2/SS2/GTIOC8B_B	Hi-Z	Keep-O
P106/SEG26/TXD2/MOSI2/SDA2	Hi-Z	Keep-O
P107/SEG27/RXD2/MISO2/SCL2/SSLA1_A	Hi-Z	Keep-O
P108/SWDIO/GTIOC7B/RTCOUT_B	プルアップ	[RTCOUT_B 選択] RTCOUT_B 出力 [上記以外] Keep-O

表 1.1 各プロセスモードのポート状態 (2/4)

ポート名	リセット	ソフトウェアスタンバイモード
P109/SEG17/TXD9/MOSI9/SDA9/AGTO4/AGTOA4/AGTOB4/AGTEE4/ AGTWOB0/GTOULO/CLKOUT_B	Hi-Z	[AGTO4/AGTOA4/AGTOB4/ AGTWOB0 出力選択] AGTO4/AGTOA4/AGTOB4/ AGTWOB0 出力 ^(注2) [CLKOUT_B 選択] CLKOUT_B 出力 [上記以外] Keep-O
P110/SEG18/RXD9/MISO9/SCL9/AGTO5/AGTOA5/AGTOB5/AGTEE5/ AGTWOA0/GTOVUP	Hi-Z	[AGTO5/AGTOA5/AGTOB5/ AGTWOA0 出力選択] AGTO5/AGTOA5/AGTOB5/ AGTWOA0 出力 ^(注2) [上記以外] Keep-O
P111/SEG19/SCK9/AGTO6/AGTOA6/AGTOB6/AGTEE6/GTOVLO/ GTIOC5A_B	Hi-Z	[AGTO6/AGTOA6/AGTOB6 出力選択] AGTO6/AGTOA6/AGTOB6 出力 ^(注2) [上記以外] Keep-O
P112/SEG20/CTS9_RTS9/SS9/SSLA2/AGTO7/AGTOA7/AGTOB7/AGTEE7/ GTOWUP/GTIOC5B_B	Hi-Z	[AGTO7/AGTOA7/AGTOB7 出力選択] AGTO7/AGTOA7/AGTOB7 出力 ^(注2) [上記以外] Keep-O
P113/SEG21	Hi-Z	Keep-O
P114/SEG22	Hi-Z	Keep-O
P115/SEG23	Hi-Z	Keep-O
P200/NMI	Hi-Z	Hi-Z
P201/MD	プルアップ	Keep-O
P203/COM3	Hi-Z	Keep-O
P204/COM2	Hi-Z	Keep-O
P205/COM1	Hi-Z	Keep-O
P206/COM0	Hi-Z	Keep-O
P207/VL3	Hi-Z	Keep-O
P208/CAPL	Hi-Z	Keep-O
P209/CAPH	Hi-Z	Keep-O
P210/ADTRG0_B/GTIOC5B_A/IRQ8/CLKOUT_A	Hi-Z	[CLKOUT_A 選択] CLKOUT_A 出力 [上記以外] Keep-O ^(注1)
P211/EXLVD	Hi-Z	Keep-O
P212/EXTAL	Hi-Z	Keep-O
P213/XTAL	Hi-Z	Keep-O
P214/XCOUT, P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/SWCLK /GTIOC6B_A	プルアップ	Keep-O
P301/COM4/SEG00	Hi-Z	Keep-O
P302/COM5/SEG01	Hi-Z	Keep-O
P303/COM6/SEG02	Hi-Z	Keep-O
P304/COM7/SEG03	Hi-Z	Keep-O
P305/SEG04	Hi-Z	Keep-O

表 1.1 各プロセスモードのポート状態 (3/4)

ポート名	リセット	ソフトウェアスタンバイモード
P306/SEG05/IRQ0_B	Hi-Z	Keep-O ^(注1)
P307/SEG06/IRQ1_B	Hi-Z	Keep-O ^(注1)
P308/SEG07/IRQ2_B	Hi-Z	Keep-O ^(注1)
P309/SEG08/IRQ3_B	Hi-Z	Keep-O ^(注1)
P310/SEG09/IRQ4_B	Hi-Z	Keep-O ^(注1)
P311/SEG10/IRQ5_B	Hi-Z	Keep-O ^(注1)
P312/SEG11/IRQ6_B	Hi-Z	Keep-O ^(注1)
P313/SEG12/IRQ7_B	Hi-Z	Keep-O ^(注1)
P400/RTCIC0/IRQ9	Hi-Z	Keep-O ^(注1)
P401/RTCIC1/IRQ10	Hi-Z	Keep-O ^(注1)
P402/RTCIC2/RTCCOUT_A/IRQ11	Hi-Z	[RTCCOUT_A 出力選択] RTCCOUT_A 出力 [上記以外] Keep-O ^(注1)
P403/GTIOC4B/MISOA_B	Hi-Z	Keep-O
P404/MOSIA_B	Hi-Z	Keep-O
P405/RSPCKA_B	Hi-Z	Keep-O
P408/GTIOC9A_B/SSLA0_B	Hi-Z	Keep-O
P409/GTIOC9B_B/SSLA1_B	Hi-Z	Keep-O
P410(Nch OD)/SDA0/GTIOC6A_A	Hi-Z	Keep-O
P411(Nch OD)/SCL0/GTIOC7A	Hi-Z	Keep-O
P500/SEG28/RXD3/MISO3/SCL3/AGTIO0/AGTWEE1/GTOWLO/IRQ4_A	Hi-Z	[AGTIO0 出力選択] AGTIO0 出力 ^(注2) [上記以外] Keep-O ^(注1)
P501/SEG29/TXD3/MOSI3/SDA3/AGTIO1/AGTWIO1/GTETRGA/IRQ5_A	Hi-Z	[AGTIO1/AGTWIO1 出力選択] AGTIO1/AGTWIO1 出力 ^(注2) [上記以外] Keep-O ^(注1)
P502/SEG30/SCK3/RSPCKA_A/AGTIO2/AGTWO1/GTETRGA/GTIOC9A_A/IRQ6_A	Hi-Z	[AGTIO2/AGTWO1 出力選択] AGTIO2/AGTWO1 出力 ^(注2) [上記以外] Keep-O ^(注1)
P503/SEG31/CTS3_RTS3/SS3/SSLA0_A/AGTIO3/AGTWOA1/GTIOC9B_A/IRQ7_A	Hi-Z	[AGTIO3/AGTWOA1 出力選択] AGTIO3/AGTWOA1 出力 ^(注2) [上記以外] Keep-O ^(注1)
P504/SEG32/SCK1/MOSIA_A/AGTIO4/AGTWOB1	Hi-Z	[AGTIO4/AGTWOB1 出力選択] AGTIO4/AGTWOB1 出力 ^(注2) [上記以外] Keep-O
P505/SEG33/CTS1_RTS1/SS1/MISOA_A/AGTIO5	Hi-Z	[AGTIO5 出力選択] AGTIO5 出力 ^(注2) [上記以外] Keep-O
P506/SEG34/TXD1/MOSI1/SDA1/AGTIO6/IRQ0_A	Hi-Z	[AGTIO6 出力選択] AGTIO6 出力 ^(注2) [上記以外] Keep-O ^(注1)

表 1.1 各プロセスモードのポート状態 (4/4)

ポート名	リセット	ソフトウェアスタンバイモード
P600	L 出力	Keep-O

注. Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

LCD コントローラ/ドライバ端子機能 (COM0~COM7 および SEG0~SEG44) が設定され、SLCDSCKCR.LCDSCKSEL[2:0]ビットで LOCO または SOSC が選択されている場合、LCD 出力を保持します。

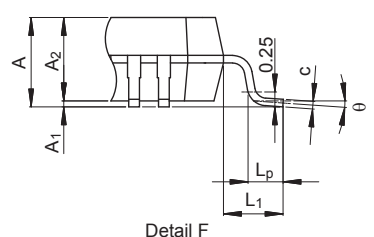
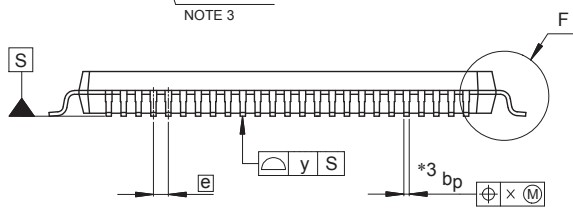
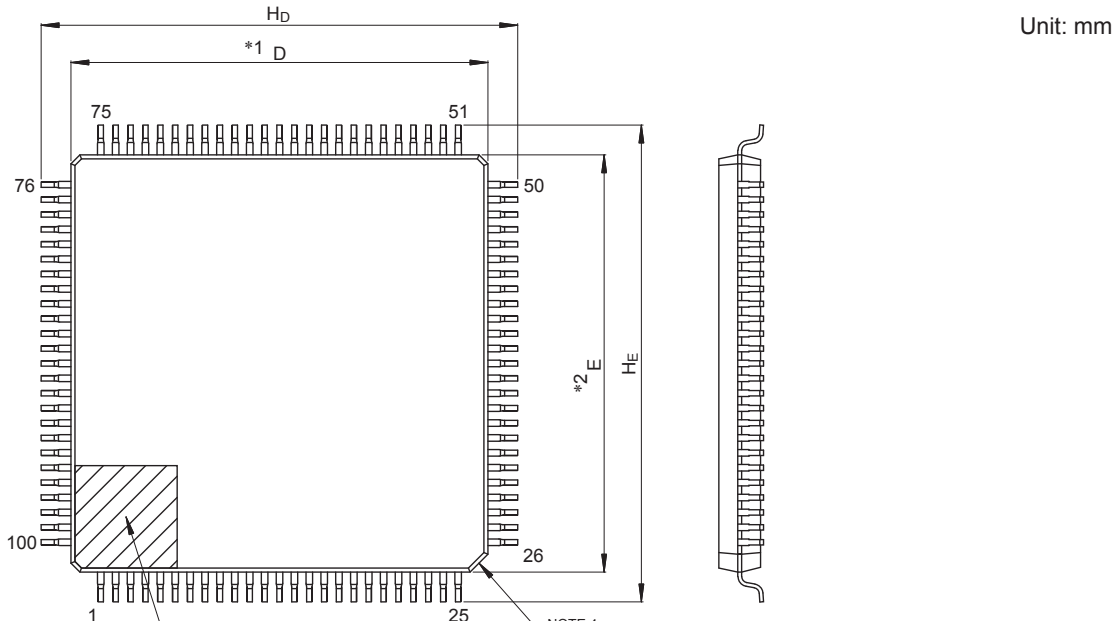
注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

注 2. LOCO または SOSC がカウントソースとして選択されている間、AGTIO 出力が許可されます。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



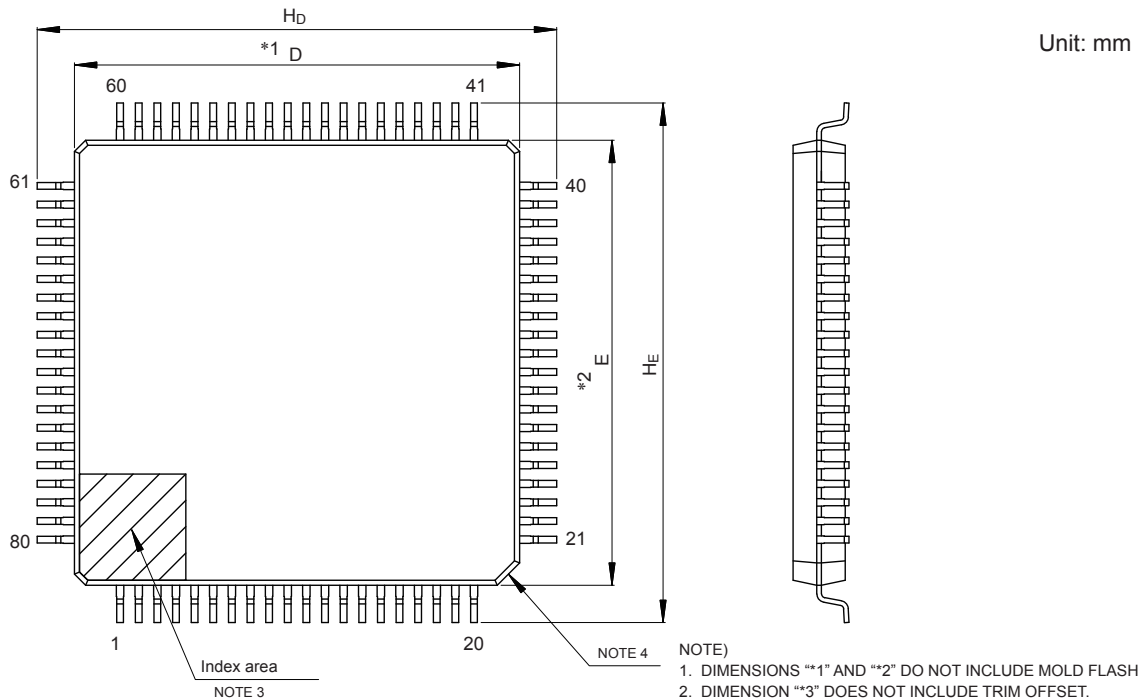
- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

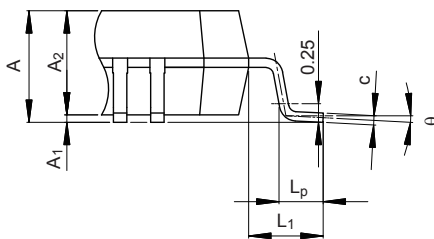
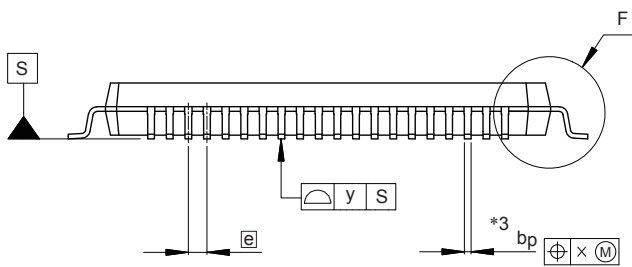
© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.1 LQFP 100 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Detail F

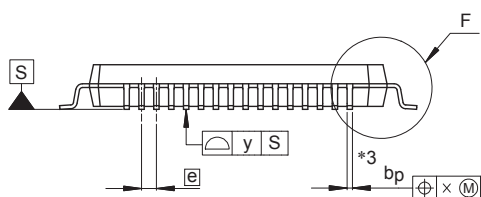
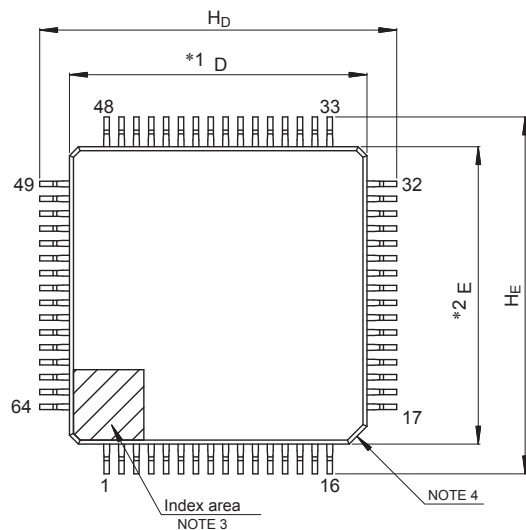
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2017 Renesas Electronics Corporation. All rights reserved.

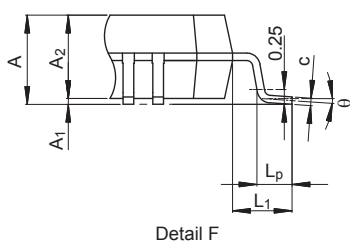
図 2.2 LQFP 80 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.3 LQFP 64 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
MPU	メモリプロテクションユニット	0x4000_0000
MMF	メモリミラー機能	0x4000_1000
SRAM	SRAM 制御	0x4000_2000
バス	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PORT5	ポート 5 コントロールレジスタ	0x4004_00A0
PORT6	ポート 6 コントロールレジスタ	0x4004_00C0
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントローラ	0x4004_1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004_2000
RTC	リアルタイムクロック	0x4004_4000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップコントロール A、B、C、D	0x4004_7000
IIC0	Inter-Integrated Circuit 0	0x4005_3000
IIC0WU	Inter-Integrated Circuit 0 ウェイクアップユニット	0x4005_3014
IIC1	Inter-Integrated Circuit 1	0x4005_3100
DOC	データ演算回路	0x4005_4100
ADC12	12 ビット A/D コンバータ	0x4005_C000
SCI0	シリアルコミュニケーションインタフェース 0	0x4007_0000
SCI1	シリアルコミュニケーションインタフェース 1	0x4007_0020
SCI2	シリアルコミュニケーションインタフェース 2	0x4007_0040
SCI3	シリアルコミュニケーションインタフェース 3	0x4007_0060
SCI9	シリアルコミュニケーションインタフェース 9	0x4007_0120
SPI0	シリアルペリフェラルインタフェース 0	0x4007_2000
CRC	CRC 演算器	0x4007_4000

表 3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
GPT164	汎用 PWM タイマ 4 (16 ビット)	0x4007_8400
GPT165	汎用 PWM タイマ 5 (16 ビット)	0x4007_8500
GPT166	汎用 PWM タイマ 6 (16 ビット)	0x4007_8600
GPT167	汎用 PWM タイマ 7 (16 ビット)	0x4007_8700
GPT168	汎用 PWM タイマ 8 (16 ビット)	0x4007_8800
GPT169	汎用 PWM タイマ 9 (16 ビット)	0x4007_8900
GPT_OPS	出力相切り替えコントローラ	0x4007_8FF0
SLCDC(注1)	セグメント LCD コントローラ/ドライバ	0x4008_2000
AGTW0	32 ビット低消費電力非同期汎用タイマ 0	0x4008_4000
AGTW1	32 ビット低消費電力非同期汎用タイマ 1	0x4008_4100
AGT0	16 ビット低消費電力非同期汎用タイマ 0	0x4008_4200
AGT1	16 ビット低消費電力非同期汎用タイマ 1	0x4008_4300
AGT2	16 ビット低消費電力非同期汎用タイマ 2	0x4008_4400
AGT3	16 ビット低消費電力非同期汎用タイマ 3	0x4008_4500
AGT4	16 ビット低消費電力非同期汎用タイマ 4	0x4008_4600
AGT5	16 ビット低消費電力非同期汎用タイマ 5	0x4008_4700
AGT6	16 ビット低消費電力非同期汎用タイマ 6	0x4008_4800
AGT7	16 ビット低消費電力非同期汎用タイマ 7	0x4008_4900
SDADC24_B	24 ビットシグマ-デルタ A/D コンバータ	0x4009_C000
MACL	32 ビット積和演算器	0x400A_0000
FLCN	フラッシュ I/O レジスタ	0x407E_C000

注. 名称 = 周辺機能の名称

内容 = 周辺機能

ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

注 1. LCD ディスプレイデータレジスタは 0x4008_2100 からマッピングされます。

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 3.2 GPT 以外のモジュールのアクセスサイクル

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
			読み出し	書き込み	読み出し	書き込み		
MPU, MMF, SRAM, BUS, DTC, ICU, DBG	0x4000_2000	0x4001_BFFF	3				ICLK	メモリプロテクションユニット、メモリミラー機能、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSC	0x4001_E000	0x4001_E6FF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
PORTn, PFS, ELC, POEG, RTC, WDT, IWDTC, CAC, MSTP	0x4004_0000	0x4004_7FFF	3		2~3		PCLKB	I/O ポート、イベントリンクコントローラ、GPT 用ポートアウトブットイネーブル、リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
IICn (n = 0, 1), IIC0WU, DOC, ADC12	0x4005_3000	0x4005_CFFF	3		2~3		PCLKB	I ² C バスインタフェース、データ演算回路、12 ビット A/D コンバータ
SCIn (n = 0(注2)~3, 9)	0x4007_0000	0x4007_0EFF	5		2~3		PCLKB	シリアルコミュニケーションインタフェース
SPI0(注3)	0x4007_2000	0x4007_2FFF	5		2~3		PCLKB	シリアルペリフェラルインタフェース
CRC	0x4007_4000	0x4007_4FFF	3		2~3		PCLKB	CRC 演算器
GPT16n (n = 4~9), GPT OPS	0x4007_8000	0x4007_BFFF	表 3.3 を参照してください。				PCLKB	汎用 PWM タイマ
SLCDC	0x4008_0000	0x4008_2FFF	2		1~2		PCLKB	セグメント LCD コントローラ/ドライバ
AGTWn (n = 0, 1), AGTn (n = 0~7)	0x4008_4000	0x4008_4FFF	3		2~3		PCLKB	低消費電力非同期汎用タイマ
SDADC24	0x4009_C000	0x4009_CFFF	2		1~2		PCLKB	24 ビットシグマ-デルタ A/D コンバータ
MACL	0x400A_0000	0x400A_0FFF	2		2		ICLK	32 ビット積和演算器
FLCN	0x407E_C000	0x407E_FFFF	7		7		ICLK	データフラッシュ、温度センサ、フラッシュ制御

注 1. PCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。（たとえば、1.5~2.5 は 1~3）

注 2. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）にアクセスを行う場合は、表 3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、表 3.2 に記載のアクセスサイクルとなります。

注 3. 32 ビットレジスタ（SPDR）にアクセスを行う場合は、表 3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ（SPDR_HA）にアクセスを行う場合は、表 3.2 に記載のアクセスサイクルとなります。

表 3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 3.3 GPT モジュールのアクセスサイクル (1/2)

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5~6	3~4	PCLKB
ICLK > PCLKD > PCLKB	3~4	2~3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB

表 3.3 GPT モジュールのアクセスサイクル (2/2)

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
PCLKD = ICLK > PCLKB	2~3	1~2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2~3	1~2	PCLKB

付録 4. ペリフェラル変数

表 4.1 に本マニュアルで使用されているモジュール名とペリフェラル変数の対応を示します。

表 4.1 モジュール名 vs ペリフェラル変数

モジュール名	ペリフェラル変数
SDADC24	SDADC24_B

改訂履歴

Revision 1.00 — 2023 年 9 月 8 日

初版リリース

Revision 1.10 — 2024 年 1 月 17 日

1. 概要：

- 表 1.16 端子一覧の NMI を削除

2. 電気的特性：

- 表 2.1 絶対最大定格の注 1 を変更
- 表 2.4 I/O VIH, VIL の構造を変更
- 表 2.44～表 2.50 を追加

付録 3. I/O レジスタ：

- モジュールストップコントロール B、C、D をモジュールストップコントロール A、B、C、D に変更

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。