

高効率48MHz Arm® Cortex®-M4コア、256KBのコードフラッシュメモリ、32KB SRAM、セグメントLCDコントローラ、静電容量式タッチセンシングユニット、USB2.0 フルスピードモジュール、14ビットA/Dコンバータ、12ビットD/Aコンバータ、セキュリティ&セーフティ機能

特長

■ 浮動小数点ユニット (FPU) 内蔵 Arm Cortex-M4 コア

- Armv7E-M アーキテクチャ (DSP 命令セット搭載)
- 最大動作周波数: 48MHz
- 4GB アドレス空間をサポート
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ&トレース: ITM, DWT, FPB, TPIU, ETB
- CoreSight™ デバッグポート: JTAG-DP および SW-DP

■ メモリ

- 256KB のコードフラッシュメモリ
- 8KB データフラッシュメモリ (100000 回のプログラム/イレース (P/E) サイクル)
- 32KB の SRAM
- フラッシュキャッシュ (FCACHE)
- メモリプロテクションユニット (MPU)
- 128 ビットの固有の ID

■ 接続性

- USB2.0 フルスピードモジュール (USBFS)
 - オンチップトランシーバ (電圧レギュレータ付き)
 - USB バッテリチャージング規格 1.2 に準拠
- シリアルコミュニケーションインタフェース (SCI) × 4
 - UART
 - 簡易 IIC
 - 簡易 SPI
- シリアルペリフェラルインタフェース (SPI) × 2
- I²C バスインタフェース (IIC) × 2
- コントローラエリアネットワーク (CAN) モジュール
- 拡張シリアルサウンディングインタフェース (SSIE)

■ アナログ

- 14 ビット A/D コンバータ (ADC14)
- 12 ビット D/A コンバータ (DAC12)
- 8 ビット D/A コンバータ (DAC8) × 2 (ACMPLP 用)
- 低消費電力アナログコンバータ (ACMPLP) × 2
- オペアンプ (OPAMP) × 4
- 温度センサ (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32) × 2
- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- エラーコレクションコード (ECC) 搭載の SRAM
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトブットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス

■ システムおよびパワーマネジメント

- 低消費電力モード
- カレンダーおよびバッテリーバックアップ対応のリアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- DMA コントローラ (DMAC) × 4
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 電圧設定が可能な低電圧検出 (LVD)

■ セキュリティおよび暗号化

- AES128/256
- GHASH
- 真性乱数発生器 (TRNG)

■ ヒューマンマシーンインタフェース (HMI)

- セグメント LCD コントローラ (SLCDC)
 - 最大 38 セグメント × 4 コモン
 - 最大 34 セグメント × 8 コモン
- 静電容量式タッチセンシングユニット (CTSU)

■ マルチクロックソース

- メインクロック発振器 (MOSC)
 - (1 ~ 20MHz, VCC = 2.4 ~ 5.5V の場合)
 - (1 ~ 8MHz, VCC = 1.8 ~ 2.4V の場合)
 - (1 ~ 4MHz, VCC = 1.6 ~ 1.8V の場合)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO)
 - (24, 32, 48, 64MHz, VCC = 2.4 ~ 5.5V の場合)
 - (24, 32, 48MHz, VCC = 1.8 ~ 5.5V の場合)
 - (24, 32MHz, VCC = 1.6 ~ 5.5V の場合)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- IWDT 専用オンチップオシレータ (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 汎用入出力ポート

- 最大 84 本の入出力端子
 - 最大 3 本の CMOS 入力
 - 最大 81 本の CMOS 入出力
 - 最大 9 本の 5V トレラント入出力
 - 最大 2 本の大電流端子 (20mA)

■ 動作電圧

- VCC: 1.6 ~ 5.5V

■ 動作温度およびパッケージ

- Ta = -40 °C ~ +85 °C
 - 100 ピン LGA (7mm × 7mm, 0.65mm ピッチ)
- Ta = -40 °C ~ +105 °C
 - 100 ピン LQFP (14mm × 14mm, 0.5mm ピッチ)
 - 64 ピン LQFP (10mm × 10mm, 0.5mm ピッチ)
 - 64 ピン QFN (8mm × 8mm, 0.4mm ピッチ)
 - 48 ピン LQFP (7mm × 7mm, 0.5mm ピッチ)
 - 48 ピン QFN (7mm × 7mm, 0.5mm ピッチ)
 - 40 ピン QFN (6mm × 6mm, 0.5mm ピッチ)

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm® ベースの 32 ビットコア MCU で構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本 MCU は、最大 48MHz で動作する低消費電力で高性能な Arm Cortex®-M4 コアと、以下の各機能を最適な形で組み合わせています。

- 256KB のコードフラッシュメモリ
- 32KB の SRAM
- セグメント LCD コントローラ (SLCDC)
- 静電容量式タッチセンシングユニット (CTSU)
- USB2.0 フルスピードモジュール (USBFS)
- 14 ビット A/D コンバータ (ADC14)
- 12 ビット D/A コンバータ (DAC12)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M4 コア	<ul style="list-style-type: none"> • 最高動作周波数 : 48MHz • Arm Cortex-M4 コア : <ul style="list-style-type: none"> - リビジョン : r0p1-01rel0 - Armv7E-M アーキテクチャプロファイル - 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠) • Arm メモリプロテクションユニット (Arm MPU) : <ul style="list-style-type: none"> - Armv7 保護メモリシステムアーキテクチャ - 8 つのメモリ保護領域 • SysTick タイマ : <ul style="list-style-type: none"> - SYSTICLK (LOCO) または ICLK クロックによる駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 256KB のコードフラッシュメモリ。ユーザーズマニュアルの「44. フラッシュメモリ」を参照してください。
データフラッシュメモリ	8KB のデータフラッシュメモリ。ユーザーズマニュアルの「44. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。ユーザーズマニュアルの「6. オプション設定メモリ」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。ECC 誤り訂正機能は SRAM0 の領域にあります。ユーザーズマニュアルの「43. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： <ul style="list-style-type: none"> • シングルチップモード • SCI/USB ブートモード ユーザーズマニュアルの「3. 動作モード」を参照してください。
リセット	14種類のリセット： <ul style="list-style-type: none"> • RES端子リセット • パワーオンリセット • VBATT 選択電圧のパワーオンリセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • 電圧監視0リセット • 電圧監視1リセット • 電圧監視2リセット • SRAMパリティエラーリセット • SRAM ECCエラーリセット • バスマスタMPUエラーリセット • バススレーブMPUエラーリセット • CPUスタックポインタエラーリセット • ソフトウェアリセット ユーザーズマニュアルの「5. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) 機能は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。ユーザーズマニュアルの「7. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> • メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • PLL周波数シンセサイザ • IWDWT専用オンチップオシレータ • クロックアウトのサポート ユーザーズマニュアルの「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定基準として使用するクロック (測定基準クロック) で生成した時間内に、測定対象となるクロック (測定対象クロック) のパルス数をカウントし、パルス数が許容範囲内であるかどうかを判定します。測定が完了した場合、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない場合は、割り込み要求が発生します。ユーザーズマニュアルの「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールとDMACモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。ユーザーズマニュアルの「13. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がりまたは立ち下がりエッジを入力することで発生させることができます。ユーザーズマニュアルの「20. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。ユーザーズマニュアルの「10. 低消費電力モード」を参照してください。
バッテリーバックアップ機能	バッテリーバックアップ機能により、バッテリーによる部分電力供給が可能です。バッテリー電源領域に含まれるものには、RTC、SOSC、LOCO、ウェイクアップコントロール、バックアップメモリ、VBATT_R低電圧検出、およびVCCとVBATT間の切り替えがあります。正常に動作しているとき、バッテリー電源領域にはメイン電源 (VCC端子) から電力が供給されます。VCC端子に電圧低下が検出されると、電源は専用のバッテリーバックアップ用電源端子 (VBATT端子) に切り替わります。再び電圧が上昇すると、電源は再びVBATT端子からVCC端子へ切り替わります。ユーザーズマニュアルの「11. バッテリーバックアップ機能」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。ユーザーズマニュアルの「12. レジスタライトプロテクション」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
メモリプロテクションユニット (MPU)	メモリ保護のために4つのメモリプロテクションユニット (MPU) とCPUスタックポインタモニタ機能が備えられています。ユーザーズマニュアルの「15. メモリプロテクションユニット (MPU)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、本MCUをリセットするために使用できます。さらに、アンダーフローによって、ノンマスカブル割り込みまたは割り込みを発生させることも可能です。カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。ユーザーズマニュアルの「25. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットのダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため周期的に動作させる必要があります。IWDTには、本MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み/ノンマスカブル割り込みを生成する機能があります。タイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、本MCUをフェールセーフ機構と呼ばれる状態に戻すことに特に役立ちます。独立ウォッチドッグタイマ (IWDT) は、リセット、アンダーフロー、リフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。ユーザーズマニュアルの「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPUを介さずにモジュール間の直接的な相互作用を可能にします。ユーザーズマニュアルの「18. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは割り込み要求による起動時に、データ転送を行います。ユーザーズマニュアルの「17. データトランスファコントローラ (DTC)」を参照してください。
DMAコントローラ (DMAC)	4チャンネルのDMAコントローラ (DMAC) モジュールは、CPUを介さずにデータ転送が可能です。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。ユーザーズマニュアルの「16. DMAコントローラ (DMAC)」を参照してください。

表 1.6 タイマ (1/2)

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は、2チャンネルの32ビットタイマの場合と、6チャンネルの16ビットタイマの場合があります。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。ユーザーズマニュアルの「22. 汎用PWMタイマ (GPT)」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用のポートアウトプットイネーブル (POEG) 機能を使用します。ユーザーズマニュアルの「21. GPT用ポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。ユーザーズマニュアルの「23. 低消費電力非同期汎用タイマ (AGT)」を参照してください。

表 1.6 タイマ (2/2)

機能	機能の説明
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードを持ちます。これらはレジスタ設定で制御されます。カレンダーカウントモードでは、RTCは2000年から2099年までの100年間のカレンダーを内蔵しており、うるう年を自動調整します。バイナリカウントモードでは、RTCは秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。ユーザーズマニュアルの「24. リアルタイムクロック (RTC)」を参照してください。

表 1.7 通信インターフェース

機能	機能の説明
シリアルコミュニケーションインターフェース (SCI)	シリアルコミュニケーションインターフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインターフェースとして設定が可能です。 <ul style="list-style-type: none"> 調歩同期式インターフェース (UARTおよび調歩同期式通信インターフェースアダプタ (ACIA)) 8ビットクロック同期式インターフェース 簡易IIC (マスタのみ) 簡易SPI スマートカードインターフェース スマートカードインターフェースは、電子信号と伝送プロトコルに関してISO/IEC 7816-3規格に準拠しています。SCI0およびSCI1はFIFOバッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。ユーザーズマニュアルの「28. シリアルコミュニケーションインターフェース (SCI)」を参照してください。
I ² Cバスインターフェース (IIC)	3チャンネルI ² Cバスインターフェース (IIC) モジュールは、NXP社が提唱するI ² Cバス (Inter-Integrated Circuit Bus) インターフェース機能に準拠しており、そのサブセット機能を提供しています。ユーザーズマニュアルの「29. I ² Cバスインターフェース (IIC)」を参照してください。
シリアルペリフェラルインターフェース (SPI)	独立した2つのシリアルペリフェラルインターフェース (SPI) チャンネルによって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。ユーザーズマニュアルの「31. シリアルペリフェラルインターフェース (SPI)」を参照してください。
拡張シリアルサウンドインターフェース (SSIE)	拡張シリアルサウンドインターフェース (SSIE) の周辺機器は、PCMオーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で本MCUに接続する機能を提供しています。SSIEは最大50MHzのオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ/トランスミッタ/トランシーバとして動作可能です。SSIEはレシーバとトランスミッタに8段FIFOバッファを内蔵し、割り込みおよびDMA駆動によるデータ送受信をサポートしています。ユーザーズマニュアルの「33. 拡張シリアルサウンドインターフェース (SSIE)」を参照してください。
CAN (Controller Area Network) モジュール	CAN (Controller Area Network) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供します。CANモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよびFIFOモードを送受信用に設定可能な最大32個のメールボックスをサポートしています。標準 (11ビット) と拡張 (29ビット) の両方のメッセージフォーマットに対応しています。ユーザーズマニュアルの「30. CAN (Controller Area Network) モジュール」を参照してください。
USB2.0フルスピードモジュール (USBFS)	USB2.0フルスピードモジュール (USBFS) は、ホストコントローラまたはデバイスコントローラとして動作可能です。本モジュールは、ユニバーサルシリアルバス規格2.0のフルスピード転送とロースピード転送 (ホストコントローラのみ) に対応しています。また、USBトランシーバを内蔵しており、ユニバーサルシリアルバス規格2.0で定義されている全転送タイプに対応しています。データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。パイプ1~9に対しては、通信を行う周辺デバイスやユーザシステムに合わせて任意のエンドポイント番号の割り付けが可能です。本MCUは、バッテリーチャージング規格のリビジョン1.2に準拠しています。本MCUは5Vで動作するため、USB LDOレギュレータは内蔵USBトランシーバの電源に3.3Vを供給します。ユーザーズマニュアルの「27. USB2.0フルスピードモジュール (USBFS)」を参照してください。

表 1.8 アナログ

機能	機能の説明
14ビットA/Dコンバータ (ADC14)	逐次比較方式の14ビットA/Dコンバータを内蔵しています。アナログ入力チャンネルは最大25チャンネルまで選択可能です。変換には温度センサ出力と内部基準電圧を選択できます。A/D変換精度には12ビット変換と14ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。ユーザーズマニュアルの「35. 14ビットA/Dコンバータ (ADC14)」を参照してください。
12ビットD/Aコンバータ (DAC12)	出力アンプ付きの12ビットD/Aコンバータ (DAC12) です。ユーザーズマニュアルの「36. 12ビットD/Aコンバータ (DAC12)」を参照してください。
8ビットD/Aコンバータ (DAC8) (ACMPLP用)	本MCUは出力アンプなしの8ビットD/Aコンバータ (DAC8) を内蔵します。DAC8はACMPLPの基準電圧としてのみ使用します。ユーザーズマニュアルの「40. 8ビットD/Aコンバータ (DAC8)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵の温度センサ (TSN) でダイ温度の測定と監視が可能です。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADC14で変換されてから、末端の応用機器で使用できます。ユーザーズマニュアルの「37. 温度センサ (TSN)」を参照してください。
低消費電力アナログコンパレータ (ACMPLP)	低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧の比較が可能です。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0, 1) 端子への入力、内部8ビットD/Aコンバータ出力、またはMCU内部に生成された内部基準電圧 (Vref) から選択できます。ACMPLPの応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。ユーザーズマニュアルの「39. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
オペアンプ (OPAMP)	オペアンプ (OPAMP) は、小さいアナログ入力電圧を増幅してその増幅電圧の出力が可能です。入力端子2つと出力端子1つを備えた差動オペアンプユニットが合計で4つ搭載されています。ユーザーズマニュアルの「38. オペアンプ (OPAMP)」を参照してください。

表 1.9 ヒューマンマシーンインタフェース

機能	機能の説明
セグメントLCDコントローラ (SLCDC)	セグメントLCDコントローラ (SLCDC) には下記の機能があります。 <ul style="list-style-type: none"> • A波形またはB波形の選択が可能 • LCD駆動電圧生成回路は、内部昇圧方式、容量分割方式、および外部抵抗分割方式の間で切り替えが可能 • 表示データレジスタの自動読み出しによるセグメント信号とコモン信号の自動出力 • 昇圧回路動作時に生成する基準電圧を16段階から選択可能 (コントラスト調整) • LCDの点滅が可能 ユーザーズマニュアルの「45. セグメントLCDコントローラ (SLCDC)」を参照してください。
静電容量式タッチセンシングユニット (CTSU)	静電容量式タッチセンシングユニット (CTSU) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は電気絶縁体で覆われており、指が電極に直接接触することはありません。ユーザーズマニュアルの「41. 静電容量式タッチセンシングユニット (CTSU)」を参照してください。

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) 演算器は、CRCコードを生成してデータエラーを検出します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダーを切り替えることができます。さらに、いくつかのCRC生成多項式が利用可能です。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。ユーザーズマニュアルの「32. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16ビットのデータを比較、加算、または減算する機能です。ユーザーズマニュアルの「42. データ演算回路 (DOC)」を参照してください。

表 1.11 セキュリティ

機能	機能の説明
セキュアクリプトエンジン5 (SCE5)	<ul style="list-style-type: none"> • セキュリティアルゴリズム : <ul style="list-style-type: none"> - 対称暗号方式 : AES • その他のサポート機能 : <ul style="list-style-type: none"> - TRNG (真性乱数発生器) - ハッシュ値生成 : GHASH

表 1.12 I/Oポート

機能	機能の説明
I/Oポート	<ul style="list-style-type: none"> • 100ピンLQFP、100ピンLGA <ul style="list-style-type: none"> - 入出力 : 81 - 入力 : 3 - プルアップ抵抗 : 79 - Nチャンネルオープンドレイン出力 : 64 - 5Vトレラント : 9 • 64ピンLQFP、64ピンQFN <ul style="list-style-type: none"> - 入出力 : 49 - 入力 : 3 - プルアップ抵抗 : 47 - Nチャンネルオープンドレイン出力 : 36 - 5Vトレラント : 7 • 48ピンLQFP、48ピンQFN <ul style="list-style-type: none"> - 入出力 : 33 - 入力 : 3 - プルアップ抵抗 : 31 - Nチャンネルオープンドレイン出力 : 22 - 5Vトレラント : 4 • 40ピンQFN <ul style="list-style-type: none"> - 入出力 : 25 - 入力 : 3 - プルアップ抵抗 : 23 - Nチャンネルオープンドレイン出力 : 15 - 5Vトレラント : 2

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

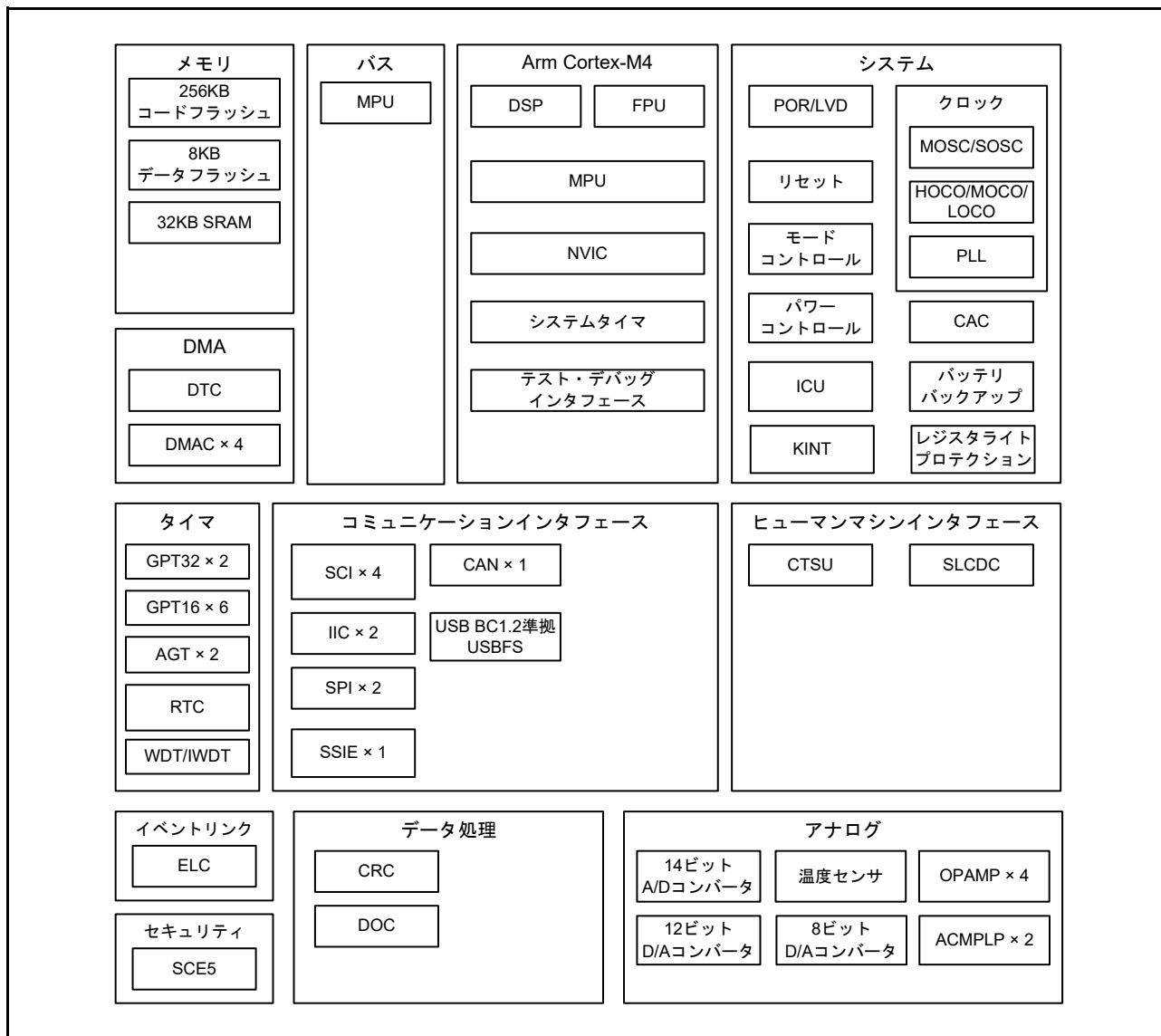


図 1.1 ブロック図

1.3 型名

図 1.2 に、製品型名、メモリ容量、およびパッケージタイプの読み方を示します。表 1.13 に製品一覧を示します。

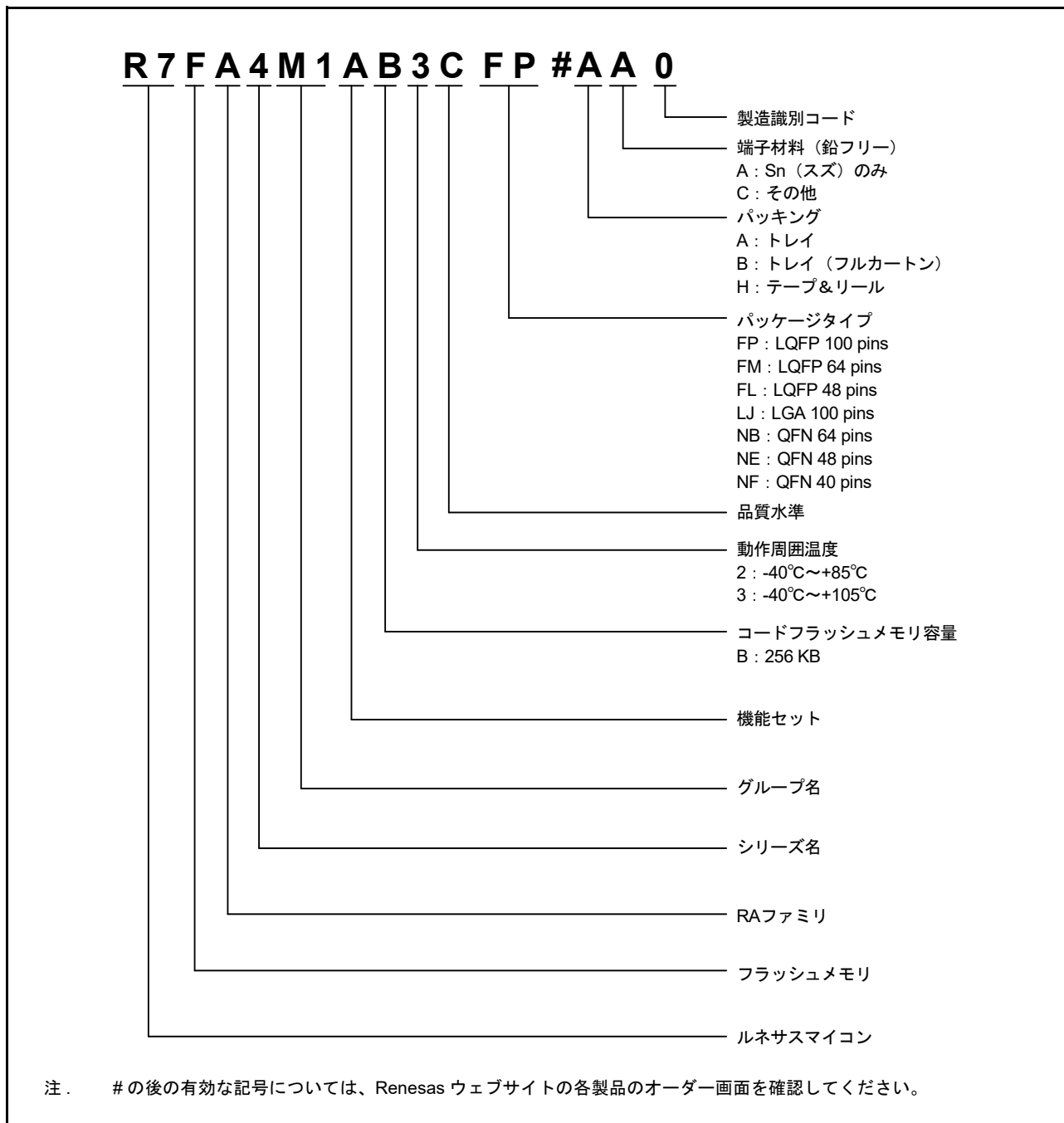


図 1.2 型名の読み方

表 1.13 製品一覧

製品型名	パッケージコード	コード フラッシュ	データ フラッシュ	SRAM	動作温度
R7FA4M1AB3CFP	PLQP0100KB-B	256KB	8KB	32KB	-40 ~ +105 °C
R7FA4M1AB2CLJ	PTLG0100JA-A				-40 ~ +85 °C
R7FA4M1AB3CFM	PLQP0064KB-C				-40 ~ +105 °C
R7FA4M1AB3CNB	PWQN0064LA-A				-40 ~ +105 °C
	PWQN0064LB-B				
R7FA4M1AB3CFL	PLQP0048KB-B				-40 ~ +105 °C
R7FA4M1AB3CNE	PWQN0048KB-A				-40 ~ +105 °C
	PWQN0048KC-A				
R7FA4M1AB3CNF	PWQN0040KC-A				-40 ~ +105 °C
	PWQN0040KD-A				

1.4 機能の比較

表 1.14 機能の比較

型名	R7FA4M1AB3CFP	R7FA4M1AB2CLJ	R7FA4M1AB3CFM/ R7FA4M1AB3CNB	R7FA4M1AB3CFL/ R7FA4M1AB3CNE	R7FA4M1AB3CNF
端子総数	100	100	64	48	40
パッケージ	LQFP	LGA	LQFP/QFN	LQFP/QFN	QFN
コードフラッシュメモリ	256KB				
データフラッシュメモリ	8KB				
SRAM	32KB				
	パリティ	16KB			
	ECC	16KB			
システム	CPUクロック	48MHz			
	バックアップレジスタ	512バイト			
	ICU	あり			
	KINT	8		5	3
イベントコントロール	ELC	あり			
DMA	DTC	あり			
	DMAC	4			
バス	外部バス	なし			
タイマ	GPT32	2			
	GPT16	6		4	2
	AGT	2		なし	
	RTC	あり			
	WDT/IWDT	あり			
通信	SCI	4			
	IIC	2			
	SPI	2			1
	SSIE	1	なし		
	QSPI	なし			
	SDHI	なし			
	CAN	1			
	USBFS	あり			
アナログ	ADC14	25	18	14	11
	DAC12	1			
	DAC8	2			
	ACMPLP	2			1
	OPAMP	4	4	3	1
	TSN	あり			
HMI	SLCDC	4com × 38seg または8com × 34seg	4com × 21seg または8com × 17seg	なし	
	CTSU	27	24	15	10
データ処理	CRC	あり			
	DOC	あり			
セキュリティ	SCE5				
I/Oポート	入出力	81	49	33	25
	入力	3	3	3	3
	プルアップ抵抗	79	47	31	23
	Nチャネルオープンドレイン出力	64	36	22	15
	5Vトレラント	9	7	4	2

1.5 端子機能

表 1.15 端子機能 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSS端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください。
	VBATT	入力	バックアップ電源供給端子
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOU	出力	
CLKOUT	出力	クロック出力端子	
動作モードコントロール	MD	入力	動作モード設定用の端子。これらの端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子がLowになると、本MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
インタラプト	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0 ~ IRQ12, IRQ14, IRQ15	入力	マスクابل割り込み要求端子
KINT	KR00 ~ KR07	入力	キー割り込み入力端子 キー割り込み (KINT) は、キー割り込み入力端子に立ち下がりエッジを入力することで生成することが可能です。
オンチップデバッグ	TMS	入出力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
SWO	出力	シリアルワイヤトレース出力端子	
バッテリーバックアップ	VBATWIO0 ~ VBATWIO2	入出力	VBATT ウェイクアップコントロール機能用のウェイクアップ信号出力 VBATT ウェイクアップコントロール機能用の外部イベント入力
GPT	GTETRGA, GTETRGA	入力	外部トリガ入力端子
	GTIOC0A ~ GTIOC7A, GTIOC0B ~ GTIOC7B	入出力	インプットキャプチャ、アウトプットキャプチャ、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDC モータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDC モータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDC モータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDC モータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDC モータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDC モータ制御用3相PWM出力 (逆相W相)
	AGT	AGTEE0, AGTEE1	入力
AGTIO0, AGTIO1		入出力	外部イベント入力およびパルス出力端子
AGTO0, AGTO1		出力	パルス出力端子
AGTOA0, AGTOA1		出力	出力コンペアマッチA出力端子
AGTOB0, AGTOB1		出力	出力コンペアマッチB出力端子

表 1.15 端子機能 (2/3)

機能	端子名	入出力	説明
RTC	RTCOOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
SCI	SCK0~SCK2, SCK9	入出力	クロック用の入出力端子 (クロック同期モード)
	RXD0~RXD2, RXD9	入力	受信データ用の入力端子 (調歩同期モード/クロック同期モード)
	TXD0~TXD2, TXD9	出力	送信データ用の出力端子 (調歩同期モード/クロック同期モード)
	CTS0_RTS0~ CTS2_RTS2, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期モード/クロック同期モード)、アクティブLow
	SCL0~SCL2, SCL9	入出力	I ² Cクロック用の入出力端子 (簡易IIC)
	SDA0~SDA2, SDA9	入出力	I ² Cデータ用の入出力端子 (簡易IIC)
	SCK0~SCK2, SCK9	入出力	クロック用の入出力端子 (簡易SPI)
	MISO0~MISO2, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPI)
	MOSI0~MOSI2, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPI)
	SS0~SS2, SS9	入力	スレーブ選択入力端子 (簡易SPI)、アクティブLow
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SSIE	SSIBCK0	入出力	SSIEシリアルビットクロック端子
	SSILRCK0/SSIFS0	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子 (入力オーバーサンプリングクロック)
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタから出力されたデータの入出力端子
	MISOA, MISOB	入出力	スレーブから出力されたデータの入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1, SSLA2, SSLA3, SSLB1, SSLB2, SSLB3	出力	スレーブ選択用の出力端子
	CAN	CRX0	入力
CTX0		出力	送信データ
USBFS	VSS_USB	入力	グランド端子
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VCC_USB	入出力	入力: USBトランシーバ用の電源端子 出力: USB LDOレギュレータ出力端子。この端子は外部コンデンサに接続してください。
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。デバイスコントローラ機能選択時のVBUSの接続/切断を検出することが可能です。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへのVBUS (5V) 供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	外部オーバーカレント検出信号を接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号を接続してください。
	USB_ID	入力	OTGモード動作時はMicroABコネクタのID入力信号を接続してください。

表 1.15 端子機能 (3/3)

機能	端子名	入出力	説明
アナログ電源	AVCC0	入力	アナログ電源端子
	AVSS0	入力	アナログ電源グランド端子
	VREFH0	入力	アナログ基準電源端子
	VREFL0	入力	基準電源グランド端子
	VREFH	入力	D/Aコンバータ用のアナログ基準電圧源端子
	VREFL	入力	D/Aコンバータ用のアナログ基準グランド端子
ADC14	AN000 ~ AN014, AN016 ~ AN025	入力	A/Dコンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子、アクティブLow
DAC12	DA0	出力	D/Aコンバータのアナログ出力端子
コンパレータ出力	VCOUT	出力	コンパレータ出力端子
ACMPLP	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
OPAMP	AMP0+ ~ AMP3+	入力	アナログ電圧入力端子
	AMP0- ~ AMP3-	入力	アナログ電圧入力端子
	AMP00 ~ AMP30	出力	アナログ電圧出力端子
CTSU	TS00 ~ TS13, TS17 ~ TS22, TS27 ~ TS31, TS34, TS35	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	—	タッチドライバ用の二次電源端子
I/Oポート	P000 ~ P008, P010 ~ P015	入出力	汎用入出力端子
	P100 ~ P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201 ~ P206, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300 ~ P307	入出力	汎用入出力端子
	P400 ~ P415	入出力	汎用入出力端子
	P500 ~ P505	入出力	汎用入出力端子
	P600 ~ P603, P608 ~ P610	入出力	汎用入出力端子
	P708	入出力	汎用入出力端子
	P808, P809	入出力	汎用入出力端子
	P914, P915	入出力	汎用入出力端子
	SLCDC	VL1, VL2, VL3, VL4	入出力
CAPH, CAPL		入出力	LCDコントローラ/ドライバ用のコンデンサ接続端子
COM0 ~ COM7		出力	LCDコントローラ/ドライバ用のコモン信号出力端子
SEG00 ~ SEG37		出力	LCDコントローラ/ドライバ用のセグメント信号出力端子

1.6 ピン配置図

図 1.3 ~ 図 1.9 にピン配置図を示します。

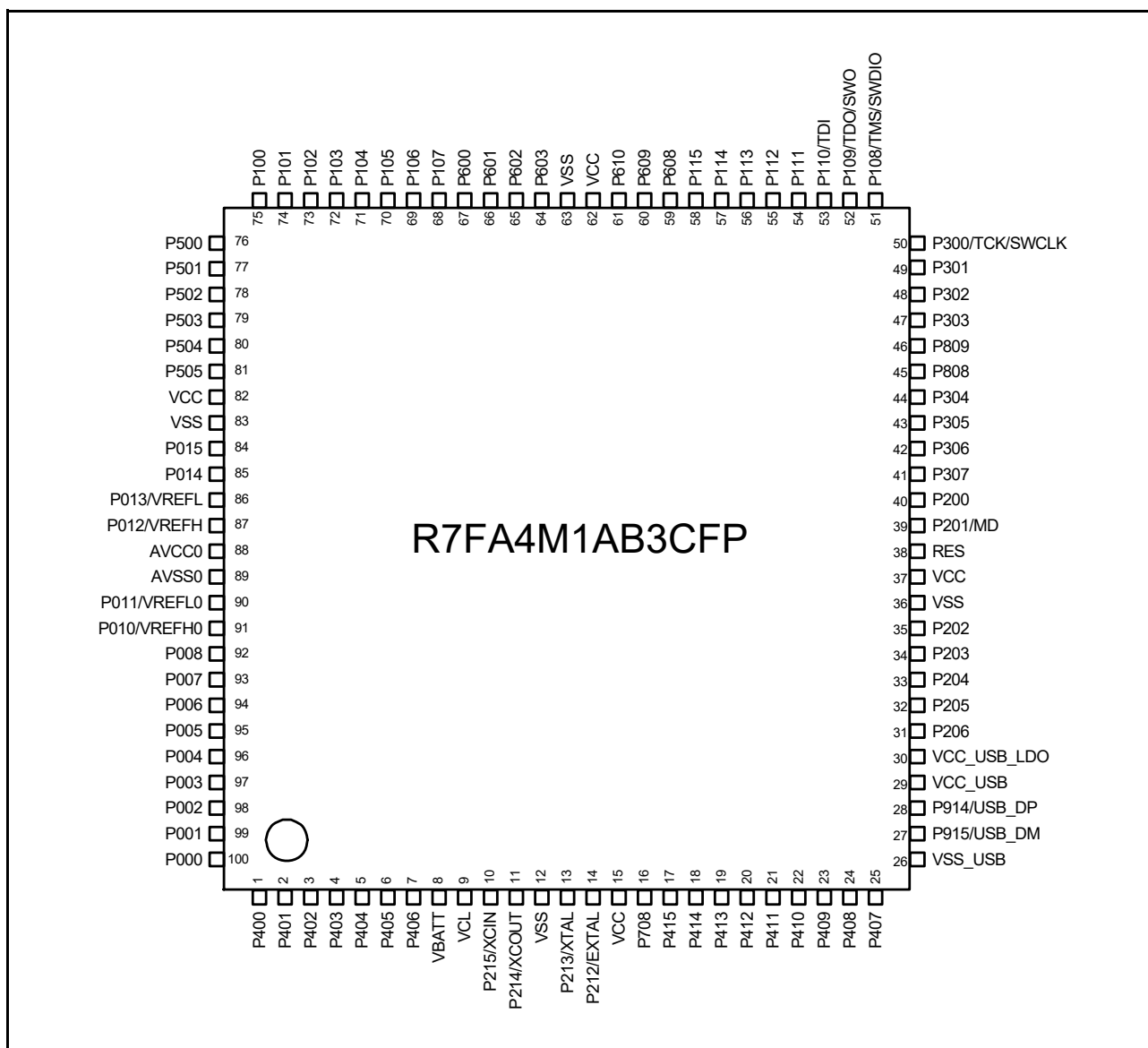


図 1.3 100-pin LQFP のピン配置図 (上面図)

R7FA4M1AB2CLJ

	A	B	C	D	E	F	G	H	J	K	
10	P407	P409	P412	VCC	P212/ EXTAL	P215/ XCIN	VCL	P403	P400	P000	10
9	P915/ USB_DM	P914/ USB_DP	P413	VSS	P213/ XTAL	P214/ XCOUT	VBATT	P405	P401	P001	9
8	VCC_ USB	VSS_ USB	VCC_US B_LDO	P411	P415	P708	P404	P003	P004	P002	8
7	P205	P204	P206	P408	P414	P406	P006	P007	P008	P005	7
6	VSS	VCC	P202	P203	P410	P402	P505	AVSS0	P011/ VREFLO	P010/ VREFH0	6
5	P200	P201/MD	P307	RES	P113	P600	P504	AVCC0	P013/ VREFL	P012/ VREFH	5
4	P305	P304	P808	P306	P115	P601	P503	P100	P015	P014	4
3	P809	P303	P110/TDI	P111	P609	P602	P107	P103	VSS	VCC	3
2	P300/ TCK/ SWCLK	P302	P301	P114	P610	P603	P106	P101	P501	P502	2
1	P108/ TMS/ SWDIO	P109/ TDO/ SWO	P112	P608	VCC	VSS	P105	P104	P102	P500	1
	A	B	C	D	E	F	G	H	J	K	

図 1.4 100-pin LGA のピン配置図 (上面図)

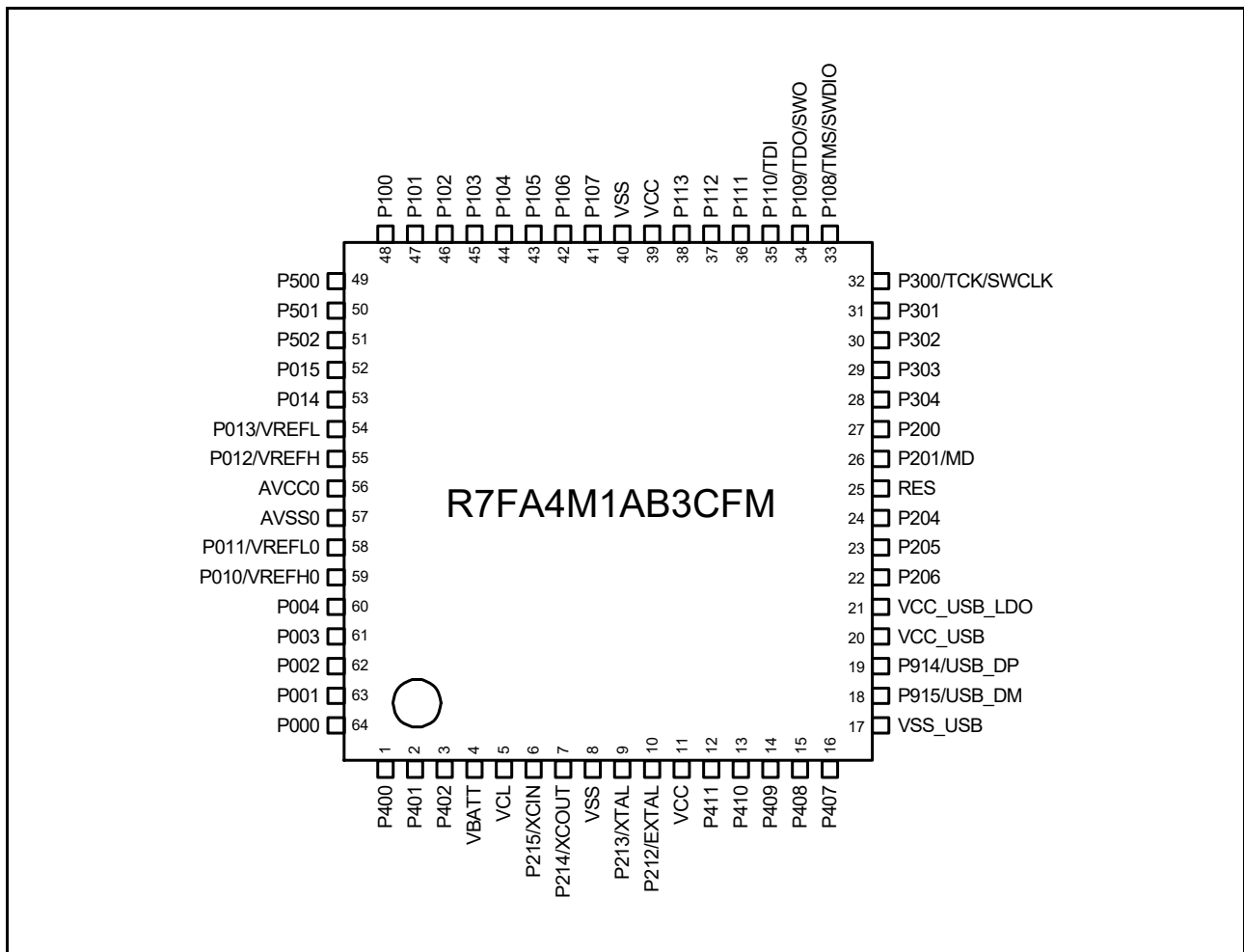


図 1.5 64-pin LQFP のピン配置図 (上面図)

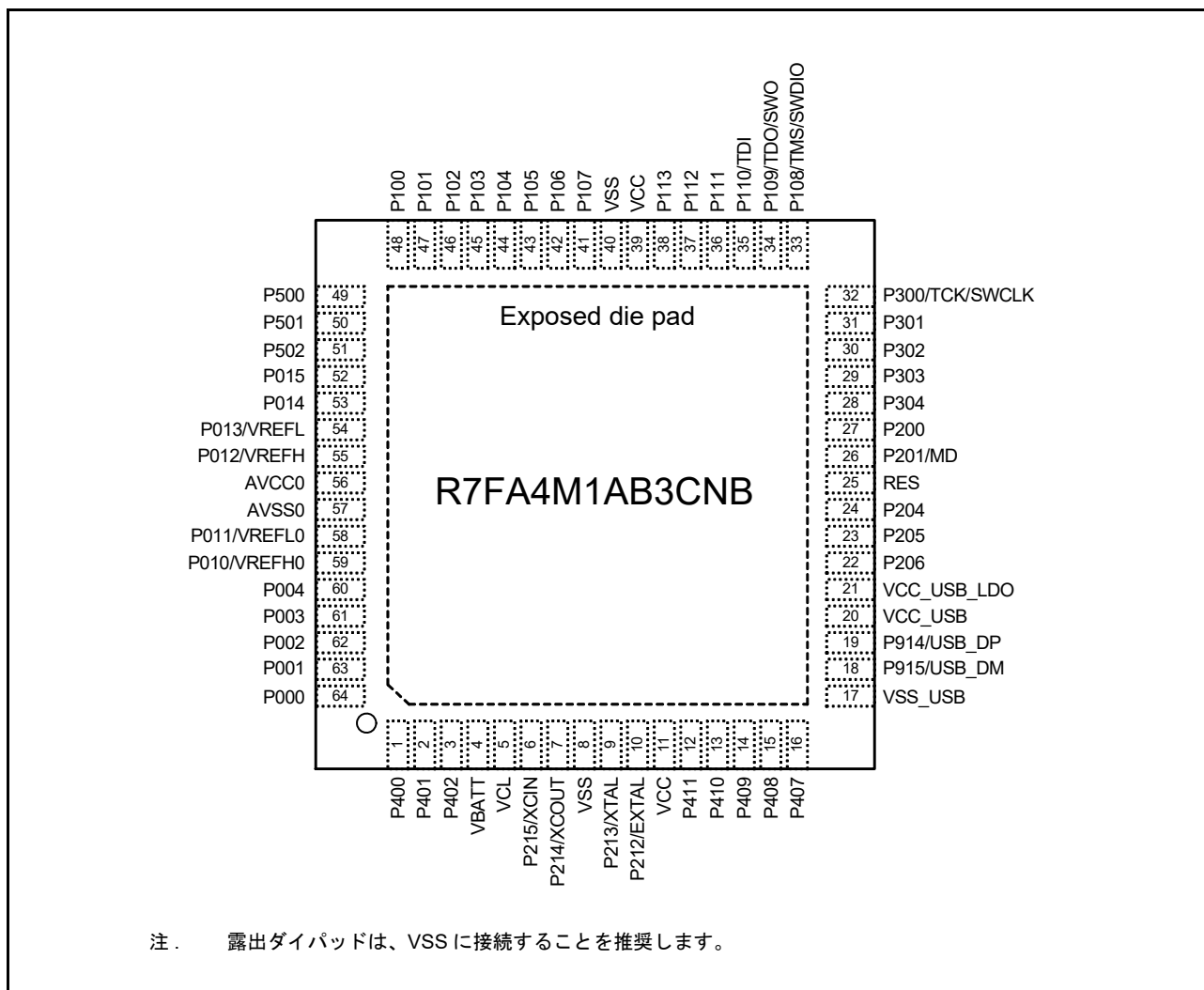


図 1.6 64-pin QFN のピン配置図 (上面図)

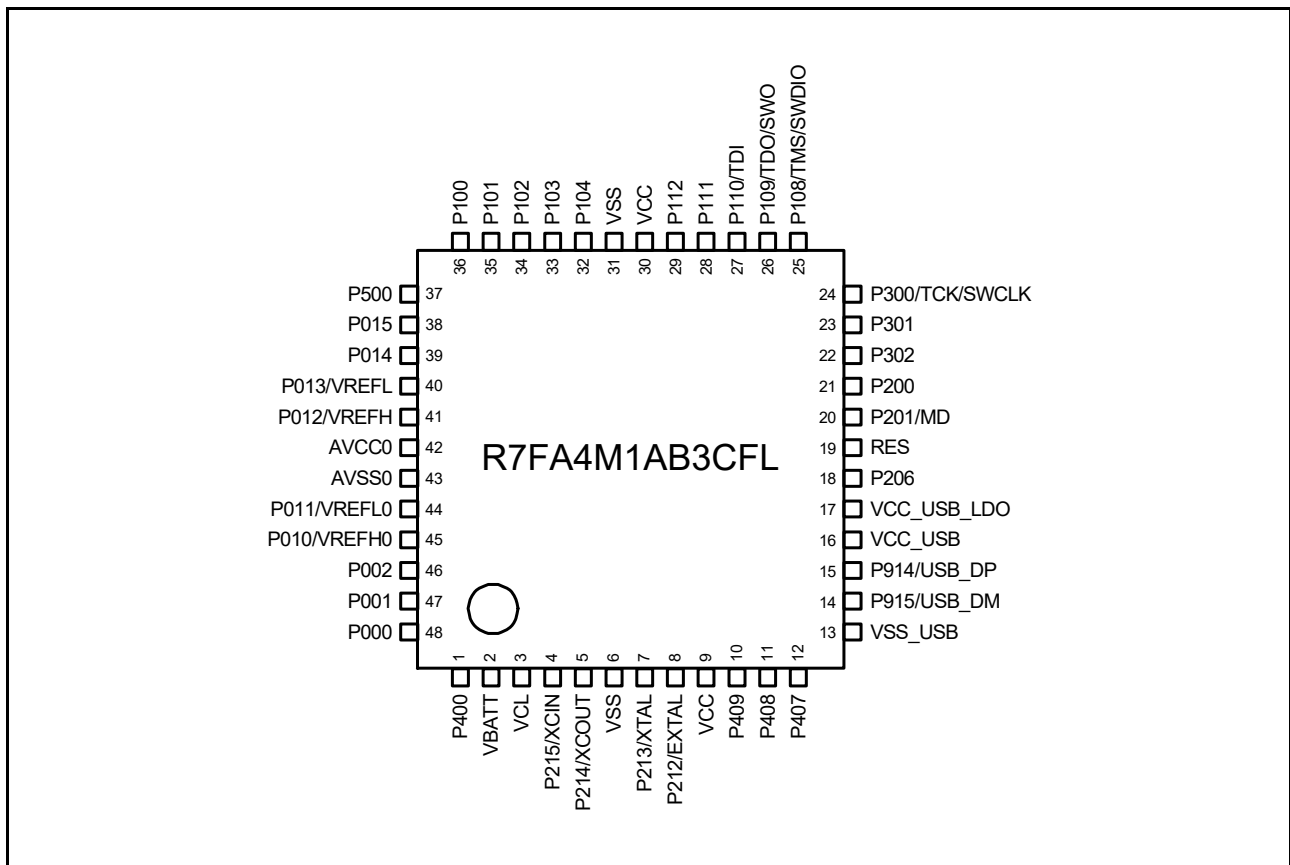


図 1.7 48-pin LQFP のピン配置図 (上面図)

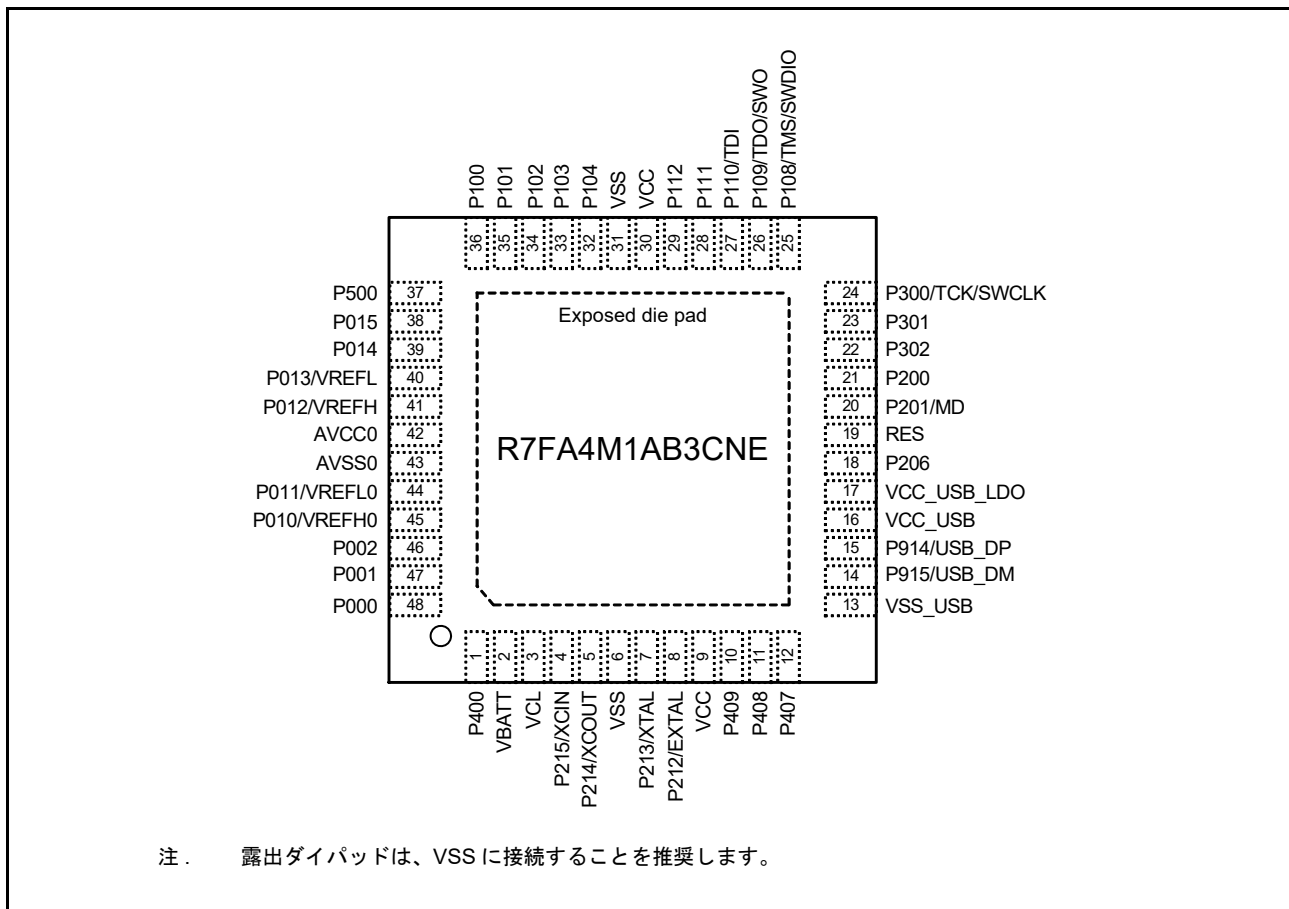


図 1.8 48-pin QFN のピン配置図 (上面図)

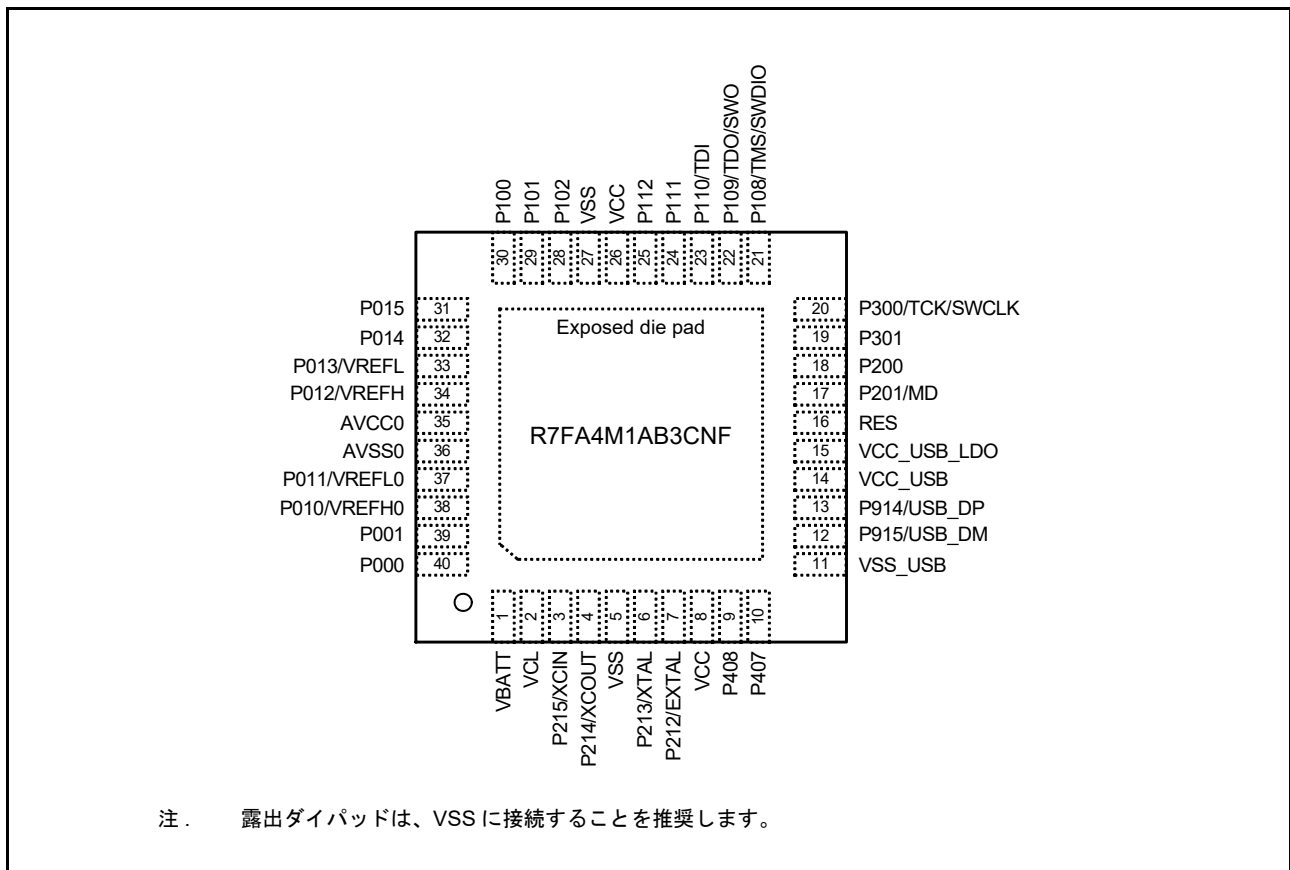


図 1.9 40-pin QFN のピン配置図 (上面図)

1.7 端子一覧

ピン番号	ピン番号						電源、システム、クロック、デバッグ、CAC、VBATT	インタラプト	I/Oポート	タイマ				通信インターフェース				アナログ			HMI		
	LQFP100	LGA100	LQFP64	QFN64	LQFP48	QFN48				QFN40	AGT	GPT_OPS, POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI	SSIE	ADC14	DAC12, OPAMP	ACMPLP	SLDC
1	J10	1	1	1	1		CACRE [†]	IRQ0	P400	AGTIO1		GTIOC6A			SCK0 SCK1	SCL0		AUDIO_CLK			SEG04	TS20	
2	J9	2	2					IRQ5	P401		GTETRGA	GTIOC6B		CTX0	CTS0 RTS0/ SS0 TXD1/ MOSI1/ SDA1	SDA0					SEG05	TS19	
3	F6	3	3				VBATWIO0	IRQ4	P402	AGTIO0/ AGTIO1			RTCIC0	CRX0	RXD1/ MISO1/ SCL1						SEG06	TS18	
4	H10						VBATWIO1		P403	AGTIO0/ AGTIO1		GTIOC3A	RTCIC1		CTS1 RTS1/ SS1			SSIBCK0				TS17	
5	G8						VBATWIO2		P404			GTIOC3B	RTCIC2					SSILRC K0/ SSIFS0					
6	H9								P405			GTIOC1A						SSITXD0					
7	F7								P406			GTIOC1B						SSIRXD0					
8	G9	4	4	2	2	1	VBATT																
9	G10	5	5	3	3	2	VCL																
10	F10	6	6	4	4	3	XCIN		P215														
11	F9	7	7	5	5	4	XCOUT		P214														
12	D9	8	8	6	6	5	VSS																
13	E9	9	9	7	7	6	XTAL	IRQ2	P213		GTETRGA	GTIOC0A			TXD1/ MOSI1/ SDA1								
14	E10	10	10	8	8	7	EXTAL	IRQ3	P212	AGTEE1	GTETRGA	GTIOC0B			RXD1/ MISO1/ SCL1								
15	D10	11	11	9	9	8	VCC																
16	F8								P708						RXD1/ MISO1/ SCL1			SSLA3					
17	E8							IRQ8	P415			GTIOC0A						SSLA2					
18	E7							IRQ9	P414			GTIOC0B						SSLA1					
19	C9								P413						CTS0 RTS0/ SS0			SSLA0					
20	C10								P412						SCK0			RSPCKA					
21	D8	12	12					IRQ4	P411	AGTOA1	GTOVUP	GTIOC6A			TXD0/ MOSI0/ SDA0			MOSIA			SEG07	TS07	
22	E6	13	13					IRQ5	P410	AGTOB1	GTOVLO	GTIOC6B			RXD0/ MISO0/ SCL0			MISOA			SEG08	TS06	
23	B10	14	14	10	10			IRQ6	P409		GTOVUP	GTIOC5A		USB_E XICEN	TXD9/ MOSI9/ SDA9						SEG09	TS05	
24	D7	15	15	11	11	9		IRQ7	P408		GTOVLO	GTIOC5B		USB_ID	CTS1 RTS1/ SS1 RXD9/ MISO9/ SCL9	SCL0					SEG10	TS04	
25	A10	16	16	12	12	10			P407	AGTIO0			RTCOUT	USB_V BUS_	CTS0 RTS0/ SS0	SDA0		SSLB3		ADTRG0		SEG11	TS03
26	B8	17	17	13	13	11	VSS_USB																
27	A9	18	18	14	14	12			P915					USB_DM									

ピン番号							電源、システム、クロック、 テラバグ、CAC、VBATT	インタラプト	I/Oポート	タイマ				通信インターフェース				アナログ			HMI	
LQFP100	LGA100	LQFP64	QFN64	LQFP48	QFN48	QFN40				AGT	GPT_OPS, POEG	GPT	RTC	USBFS,CAN	SCI	IIC	SPI	SSIE	ADC14	DAC12, OPAMP	ACMPLP	SLCDC
28	B9	19	19	15	15	13			P914													
29	A8	20	20	16	16	14	VCC_USB															
30	C8	21	21	17	17	15	VCC_USB_LD															
31	C7	22	22	18	18			IRQ0	P206		GTIU			USB_V BUSEN	RXD0/ MISO0/ SCL0	SDA1	SSLB1			SEG12	TS01	
32	A7	23	23				CLKOUT	IRQ1	P205	AGT01	GTIV	GTIOC 4A		USB_O VRCUR A	TXD0/ MOSI0/ SDA0 CTS9/ RTS9/ SS9	SCL1	SSLB0			SEG13	TSCAP	
33	B7	24	24				CACRE F		P204	AGTIO 1	GTIW	GTIOC 4B		USB_O VRCUR B	SCK0 SCK9	SCL0	RSPCK B			SEG14	TS00	
34	D6								P203			GTIOC 5A			CTS2_ RTS2/ SS2 TXD9/ MOSI9/ SDA9		MOSIB			SEG15	TSCAP	
35	C6								P202			GTIOC 5B			SCK2 RXD9/ MISO9/ SCL9		MISOB			SEG16		
36	A6						VSS															
37	B6						VCC															
38	D5	25	25	19	19	16	RES															
39	B5	26	26	20	20	17	MD		P201													
40	A5	27	27	21	21	18		NMI	P200													
41	C5								P307												SEG17	
42	D4								P306												SEG18	
43	A4							IRQ8	P305												SEG19	
44	B4	28	28					IRQ9	P304			GTIOC 7A									SEG20 TS11	
45	C4								P808												SEG21	
46	A3								P809												SEG22	
47	B3	29	29						P303			GTIOC 7B									SEG03/ COM7 TS02	
48	B2	30	30	22	22			IRQ5	P302		GTOU P	GTIOC 4A			TXD2/ MOSI2/ SDA2		SSLB3			SEG02/ COM6 TS08		
49	C2	31	31	23	23	19		IRQ6	P301	AGTIO 0	GTOUL O	GTIOC 4B			RXD2/ MISO2/ SCL2 CTS9/ RTS9/ SS9		SSLB2			SEG01/ COM5 TS09		
50	A2	32	32	24	24	20	TCK/ SWCLK		P300		GTOU P	GTIOC 0A						SSLB1				
51	A1	33	33	25	25	21	TMS/ SWDIO		P108		GTOUL O	GTIOC 0B			CTS9_ RTS9/ SS9		SSLB0					
52	B1	34	34	26	26	22	TDO/ SWO/ CLKOU T		P109		GTOVU P	GTIOC 1A		CTX0	SCK1 TXD9/ MOSI9/ SDA9		MOSIB			SEG23	TS10	

ピン番号							電源、システム、クロック、 デバッグ、CAC、VBATT	インタラプト	I/Oポート	タイマ				通信インターフェース				アナログ			HMI	
LQFP100	LGA100	LQFP64	QFN64	LQFP48	QFN48	QFN40				AGT	GPT_OPS, POEG	GPT	RTC	USBF, CAN	SCI	IIC	SPI	SSIE	ADC14	DAC12, OPAMP	ACMPLP	SLCDC
53	C3	35	35	27	27	23	TDI	IRQ3	P110													
54	D3	36	36	28	28	24		IRQ4	P111													
55	C1	37	37	29	29	25			P112													
56	E5	38	38						P113													
57	D2								P114													
58	E4								P115													
59	D1								P608													
60	E3								P609													
61	E2								P610													
62	E1	39	39	30	30	26	VCC															
63	F1	40	40	31	31	27	VSS															
64	F2								P603													
65	F3								P602													
66	F4								P601													
67	F5								P600													
68	G3	41	41					KR07	P107													
69	G2	42	42					KR06	P106													
70	G1	43	43					KR05/ IRQ0	P105													
71	H1	44	44	32	32			KR04/ IRQ1	P104													
72	H3	45	45	33	33			KR03	P103													
73	J1	46	46	34	34	28		KR02	P102													
74	H2	47	47	35	35	29		KR01/ IRQ1	P101													
75	H4	48	48	36	36	30		KR00/ IRQ2	P100													
76	K1	49	49	37	37				P500													
77	J2	50	50						P501													
78	K2	51	51						P502													

2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

V_{CC} (注1) = $AVCC0$ = VCC_USB (注2) = VCC_USB_LDO (注2) = 1.6 ~ 5.5V、 V_{REFH} = V_{REFH0} = 1.6 ~ $AVCC0$ 、 V_{BATT} = 1.6 ~ 3.6V、 V_{SS} = $AVSS0$ = V_{REFL} = V_{REFL0} = V_{SS_USB} = 0V、 T_a = T_{opr}

注 1. 通常は V_{CC} = 3.3V に設定されます。

注 2. USBFS 未使用時

図 2.1 は、タイミング条件を示しています。

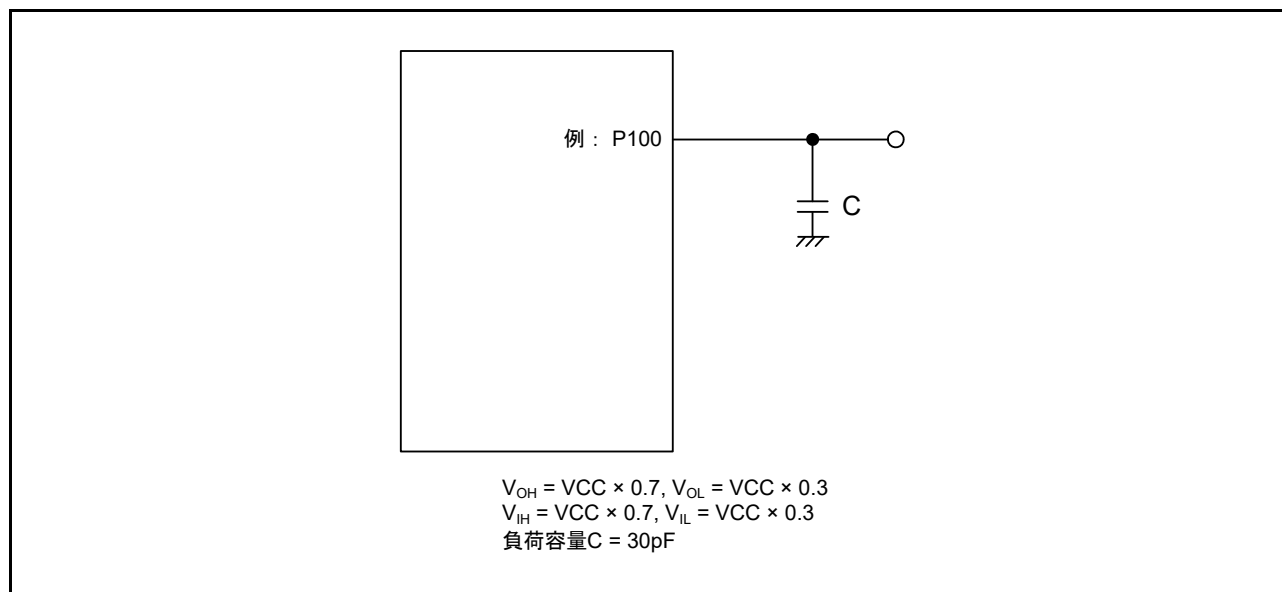


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザ条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の AC 仕様は保証されません。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5 ~ +6.5	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	P000 ~ P008、P010 ~ P015		-0.3 ~ AVCC0 + 0.3	V
	その他		-0.3 ~ VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ +6.5	V
		VREFH		V
VBATT電源電圧		VBATT	-0.5 ~ +6.5	V
アナログ電源電圧		AVCC0	-0.5 ~ +6.5	V
USB電源電圧		VCC_USB	-0.5 ~ +6.5	V
		VCC_USB_LDO	-0.5 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN014 使用時	V_{AN}	-0.3 ~ AVCC0 + 0.3	V
	AN016 ~ AN025 使用時		-0.3 ~ VCC + 0.3	V
LCD電圧	VL1電圧	V_{L1}	-0.3 ~ +2.8	V
	VL2電圧	V_{L2}	-0.3 ~ +6.5	V
	VL3電圧	V_{L3}	-0.3 ~ +6.5	V
	VL4電圧	V_{L4}	-0.3 ~ +6.5	V
動作温度 (注2) (注3) (注4)		T_{opr}	-40 ~ +105	°C
			-40 ~ +85	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。ノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VCC_USB 端子と VSS_USB 端子の間、VREFH0 端子と VREFL0 端子の間、および VREFH 端子と VREFL 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に約 0.1 μ F のコンデンサを配置し、最も短く重いトレースを使用してください。また、コンデンサは安定容量として接続してください。VCL 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。コンデンサは必ず端子近くに配置してください。デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部要素を劣化させる恐れがあります。

注 1. P205、P206、P400 ~ P404、P407、P408 の各ポートは 5V トレラント対応です。

注 2. 2.2.1 T_j/T_a の定義を参照してください。

注 3. $T_a = +85 \sim +105$ °C の場合のディレーティング動作については、弊社営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

注 4. 動作温度の上限は、+85 °C または +105 °C です (製品による)。詳細は、1.3 型名を参照してください。

表 2.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC (注1) (注2)	USBFS未使用時	1.6	—	5.5	V
		USBFS使用時 USBレギュレータ無効	VCC_USB	—	3.6	V
		USBFS使用時 USBレギュレータ有効	VCC_USB _LDO	—	5.5	V
	VSS	—	0	—	V	
USB電源電圧	VCC_USB	USBFS未使用時	—	VCC	—	V
		USBFS使用時 USBレギュレータ無効 (入力)	3.0	3.3	3.6	V
	VCC_USB_LDO	USBFS未使用時	—	VCC	—	V
		USBFS使用時 USBレギュレータ無効	—	VCC	—	V
		USBFS使用時 USBレギュレータ有効	3.8	—	5.5	V
	VSS_USB	—	0	—	V	
VBATT電源電圧	VBATT	バッテリーバックアップ 機能未使用時	—	VCC	—	V
		バッテリーバックアップ 機能使用時	1.6	—	3.6	V
アナログ電源電圧	AVCC0 (注1) (注2)		1.6	—	5.5	V
	AVSS0		—	0	—	V
	VREFH0	ADC14基準として使用時	1.6	—	AVCC0	V
	VREFL0		—	0	—	V
	VREFH	DAC12基準として使用時	1.6	—	AVCC0	V
	VREFL		—	0	—	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：

VCC \geq 2.2V および AVCC \geq 2.2V のとき、AVCC0 と VCC は動作範囲内で個別に設定可能

VCC < 2.2V または AVCC0 < 2.2V のとき、AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。

2.2 DC 特性

2.2.1 Tj/T_a の定義

表 2.3 DC 特性

条件：動作温度 (T_a) が -40 ~ +105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	125	°C	High-speed モード Middle-speed モード Low-speed モード Low-voltage モード Subosc-speed モード
			105 (注1)		

注. Tj = T_a + θ_{ja} × 総消費電力 (W) となるようにしてください。このとき、総消費電力 = (VCC - V_{OH}) × ΣI_{OH} + V_{OL} × ΣI_{OL} + I_{CCmax} × VCC です。

注 1. 動作温度の上限は、+85 °C または +105 °C です (製品による)。詳細は、1.3 型名を参照してください。型名が動作温度 +85 °C を示している場合は、Tj の最大値は +105 °C になります。それ以外の場合 +125 °C になります。

2.2.2 I/O V_{IH}, V_{IL}表 2.4 I/O V_{IH}, V_{IL} (1)

条件：VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 2.7 ~ 5.5V、VBATT = 1.6 ~ 3.6V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミット トリガ入力 電圧	IIC (注1) (SMBus を除く)	V _{IH}	VCC × 0.7	—	5.8	V	—
		V _{IL}	—	—	VCC × 0.3		
		ΔV _T	VCC × 0.05	—	—		
	RES, NMI IIC を除くその他の周辺入力 端子	V _{IH}	VCC × 0.8	—	—		
		V _{IL}	—	—	VCC × 0.2		
		ΔV _T	VCC × 0.1	—	—		
入力電圧 (シュ ミット トリガ入力 端子を除く)	IIC (SMBus) (注2)	V _{IH}	2.2	—	—	V	VCC = 3.6 ~ 5.5V
		V _{IH}	2.0	—	—		VCC = 2.7 ~ 3.6V
		V _{IL}	—	—	0.8		—
	5Vトレラント対応ポート (注3)	V _{IH}	VCC × 0.8	—	5.8		
		V _{IL}	—	—	VCC × 0.2		
	P914, P915	V _{IH}	VCC_USB × 0.8	—	VCC_USB + 0.3		
		V _{IL}	—	—	VCC_USB × 0.2		
	P000 ~ P008, P010 ~ P015	V _{IH}	AVCC0 × 0.8	—	—		
		V _{IL}	—	—	AVCC0 × 0.2		
	EXTAL P000 ~ P008, P010 ~ P015, P914, P915 を除く入力ポート端子	V _{IH}	VCC × 0.8	—	—		
		V _{IL}	—	—	VCC × 0.2		
	V _{BATT} 電源選択 時	P402, P403, P404	V _{IH}	V _{BATT} × 0.8	—		V _{BATT} + 0.3
V _{IL}			—	—	V _{BATT} × 0.2		
ΔV _T			V _{BATT} × 0.05	—	—		

注 1. P205, P206, P400, P401, P407, P408 (合計 6 端子)

注 2. P100, P101, P204, P205, P206, P400, P401, P407, P408 (合計 9 端子)

注 3. P205, P206, P400 ~ P404, P407, P408 (合計 9 端子)

表 2.5 I/O V_{IH} , V_{IL} (2)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 \sim 2.7V$, $V_{BATT} = 1.6 \sim 3.6V$, $VSS = AVSS0 = 0V$

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ 入力電圧	RES#, NMI 周辺入力端子	V_{IH}	$VCC \times 0.8$	—	—	V	—
		V_{IL}	—	—	$VCC \times 0.2$		
		ΔV_T	$VCC \times 0.01$	—	—		
入力電圧 (シュミット トリガ入力端子を 除く)	5Vトレラント対応ポート (注1)	V_{IH}	$VCC \times 0.8$	—	5.8		
		V_{IL}	—	—	$VCC \times 0.2$		
	P914, P915	V_{IH}	$VCC_USB \times 0.8$	—	$VCC_USB + 0.3$		
		V_{IL}	—	—	$VCC_USB \times 0.2$		
	P000 ~ P008、 P010 ~ P015	V_{IH}	$AVCC0 \times 0.8$	—	—		
		V_{IL}	—	—	$AVCC0 \times 0.2$		
	EXTAL P000 ~ P008、 P010 ~ P015、P914、 P915を除く入力ポート 端子	V_{IH}	$VCC \times 0.8$	—	—		
		V_{IL}	—	—	$VCC \times 0.2$		
	V_{BATT} 電源選択時	P402, P403, P404	V_{IH}	$V_{BATT} \times 0.8$	—	$V_{BATT} + 0.3$	
V_{IL}			—	—	$V_{BATT} \times 0.2$		
ΔV_T			$V_{BATT} \times 0.01$	—	—		

注 1. P205、P206、P400 ~ P404、P407、P408 (合計 9 端子)

2.2.3 I/O I_{OH} , I_{OL} 表 2.6 I/O I_{OH} , I_{OL} (1/2)条件 : $VCC = AVCC0 = VCC_{USB} = VCC_{USB_LDO} = 1.6 \sim 5.5V$

項目			シンボル	Min	Typ	Max	単位
許容出力電流 (端子ごとの平均値)	ポート P212、P213	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
	ポート P408	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (IICファスト モード) (注4) $VCC = 2.7 \sim 5.5V$	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) $VCC = 3.0 \sim 5.5V$	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポート P409	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2) $VCC = 2.7 \sim 3.0V$	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) $VCC = 3.0 \sim 5.5V$	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポート P100 ~ P115、 P201 ~ P204、P300 ~ P307、 P500 ~ P503、P600 ~ P603、 P608 ~ P610、P808、P809 (合計 41 端子)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	8.0	mA
	ポート P914、P915	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
その他の出力端子 (注3)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	4.0	mA	
	中駆動 (注2)	I_{OH}	—	—	-8.0	mA	
		I_{OL}	—	—	8.0	mA	

表 2.6 I/O I_{OH} , I_{OL} (2/2)

条件 : VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
許容出力電流 (端子ごとの最大値)	ポート P212、P213	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
	ポート P408	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (IIC ファスト モード) (注4) VCC = 2.7 ~ 5.5V	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポート P409	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2) VCC = 2.7 ~ 3.0V	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	I_{OH}	—	—	-20.0	mA
			I_{OL}	—	—	20.0	mA
	ポート P100 ~ P115、 P201 ~ P204、P300 ~ P307、 P500 ~ P503、P600 ~ P603、 P608 ~ P610、P808、P809 (合計 41 端子)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動 (注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	8.0	mA
	ポート P914、P915	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
その他の出力端子 (注3)	低駆動 (注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	4.0	mA	
	中駆動 (注2)	I_{OH}	—	—	-8.0	mA	
		I_{OL}	—	—	8.0	mA	
許容出力電流 (全端子の最大値)	ポート P000 ~ P008、P010 ~ P015 の総和	$\Sigma I_{OH} (max)$	—	—	-30	mA	
		$\Sigma I_{OL} (max)$	—	—	30	mA	
	ポート P914、P915	$\Sigma I_{OH} (max)$	—	—	-2.0	mA	
		$\Sigma I_{OL} (min)$	—	—	2.0	mA	
	全出力端子の総和 (注5)	$\Sigma I_{OH} (max)$	—	—	-60	mA	
		$\Sigma I_{OL} (max)$	—	—	60	mA	

【使用上の注意】 本 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μ s の間に計測した電流の平均値を意味します。

- 注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。
 注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。
 注 3. 入力ポートである P200、P214、P215 を除きます。
 注 4. PmnPFS レジスタのポート駆動能力ビットで IIC ファストモードに対して中駆動が選択されている場合の値です。
 注 5. CTSU の許容出力電流の詳細については、2.11 CTSU 特性を参照してください。

2.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性表 2.7 I/O V_{OH} 、 V_{OL} (1)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 4.0 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件			
出力電圧	IIC (注1)	V_{OL}	—	—	0.4	V	$I_{OL} = 3.0mA$			
		V_{OL} (注2) (注5)	—	—	0.6		$I_{OL} = 6.0mA$			
	ポート P408、P409 (注2) (注3)		V_{OH}	$VCC - 1.0$	—		—	$I_{OH} = -20mA$		
			V_{OL}	—	—		1.0	$I_{OL} = 20mA$		
	ポート P000 ~ P008、 P010 ~ P015		低駆動		V_{OH}		$AVCC0 - 0.8$	—	—	$I_{OH} = -2.0mA$
			中駆動		V_{OH}		$AVCC0 - 0.8$	—	—	$I_{OH} = -4.0mA$
			低駆動		V_{OL}		—	—	0.8	$I_{OL} = 2.0mA$
			中駆動		V_{OL}		—	—	0.8	$I_{OL} = 4.0mA$
	ポート P914、P915		V_{OH}	$VCC_USB - 0.8$	—		—	$I_{OH} = -2.0mA$		
			V_{OL}	—	—		0.8	$I_{OL} = 2.0mA$		
	他の出力端子 (注4)		低駆動		V_{OH}		$VCC - 0.8$	—	—	$I_{OH} = -2.0mA$
			中駆動 (注6)		V_{OH}		$VCC - 0.8$	—	—	$I_{OH} = -4.0mA$
			低駆動		V_{OL}		—	—	0.8	$I_{OL} = 2.0mA$
			中駆動		V_{OL}		—	—	0.8	$I_{OL} = 4.0mA$

注 1. P100、P101、P204、P205、P206、P400、P401、P407、P408 (合計 9 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P408 に対するポート駆動能力ビットで IIC に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除く

表 2.8 I/O V_{OH} , V_{OL} (2)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 2.7 \sim 4.0V$

項目		シンボル	Min	Typ	Max	単位	測定条件			
出力電圧	IIC (注1)	V_{OL}	—	—	0.4	V	$I_{OL} = 3.0mA$			
		V_{OL} (注2) (注5)	—	—	0.6		$I_{OL} = 6.0mA$			
	ポート P408、P409 (注2) (注3)		V_{OH}	$VCC - 1.0$	—		—	$I_{OH} = -20mA$ $VCC = 3.3V$		
			V_{OL}	—	—		1.0	$I_{OL} = 20mA$ $VCC = 3.3V$		
	ポート P000 ~ P008、 P010 ~ P015		低駆動		V_{OH}		$AVCC0 - 0.5$	—	—	$I_{OH} = -1.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 1.0mA$
			中駆動		V_{OH}		$AVCC0 - 0.5$	—	—	$I_{OH} = -2.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 2.0mA$
	ポート P914、P915		V_{OH}	$VCC_USB - 0.5$	—		—	$I_{OH} = -1.0mA$		
			V_{OL}	—	—		0.5	$I_{OL} = 1.0mA$		
	その他の出力端子 (注4)		低駆動		V_{OH}		$VCC - 0.5$	—	—	$I_{OH} = -1.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 1.0mA$
			中駆動 (注6)		V_{OH}		$VCC - 0.5$	—	—	$I_{OH} = -2.0mA$
					V_{OL}		—	—	0.5	$I_{OL} = 2.0mA$

注 1. P100、P101、P204、P205、P206、P400、P401、P407、P408 (合計 9 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

注 5. PmnPFS レジスタの P408 に対するポート駆動能力ビットで IIC に対して中駆動が選択されている場合の値です。

注 6. P212、P213 を除く

表 2.9 I/O V_{OH} , V_{OL} (3)条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 \sim 2.7V$

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000 ~ P015	低駆動	V_{OH}	$AVCC0 - 0.3$	—	—	V	$I_{OH} = -0.5mA$
			V_{OL}	—	—	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$AVCC0 - 0.3$	—	—		$I_{OH} = -1.0mA$
			V_{OL}	—	—	0.3		$I_{OL} = 1.0mA$
	ポート P914、P915	V_{OH}	$VCC_USB - 0.3$	—	—	$I_{OH} = -0.5mA$		
		V_{OL}	—	—	0.3	$I_{OL} = 0.5mA$		
	その他の出力端子 (注1)	低駆動	V_{OH}	$VCC - 0.3$	—	—		$I_{OH} = -0.5mA$
			V_{OL}	—	—	0.3		$I_{OL} = 0.5mA$
中駆動 (注2)		V_{OH}	$VCC - 0.3$	—	—	$I_{OH} = -1.0mA$		
		V_{OL}	—	—	0.3	$I_{OL} = 1.0mA$		

注 1. 入力ポートである P200、P214、P215 を除きます。

注 2. P212、P213 を除く

表 2.10 I/O その他の特性

条件 : $VCC = AVCC0 = 1.6 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES, P200, P214, P215	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V$ $V_{in} = VCC$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V$ $V_{in} = 5.8V$
	その他のポート (ポート P200、P214、P215、 および5Vトレラントポートを 除く)		—	—	1.0		$V_{in} = 0V$ $V_{in} = VCC$
入力プルアップ抵抗	全ポート (ポート P200、P214、P215、 P914、P915を除く)	R_U	10	20	50	$k\Omega$	$V_{in} = 0V$
入力容量	P914、P915、 P100 ~ P103、P111、P112、 P200	C_{in}	—	—	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$
	その他の入力端子		—	—	15		

2.2.5 低駆動能力の入出力端子出力特性

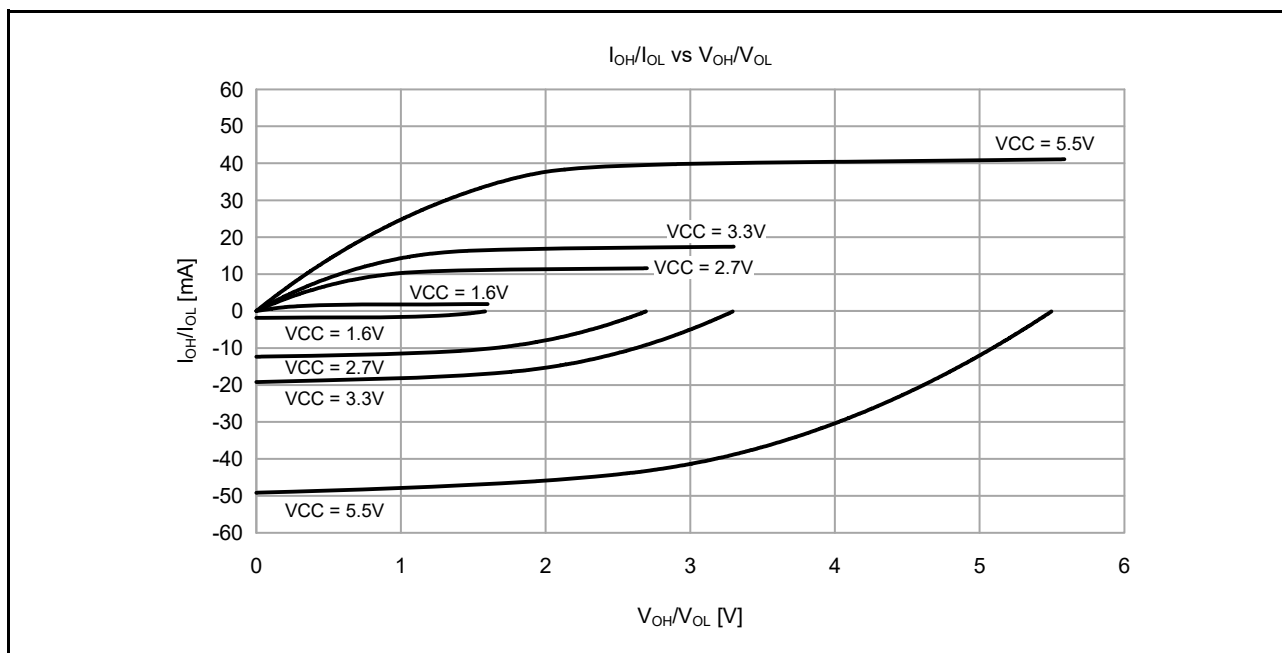


図 2.2 低駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性 (参考データ)

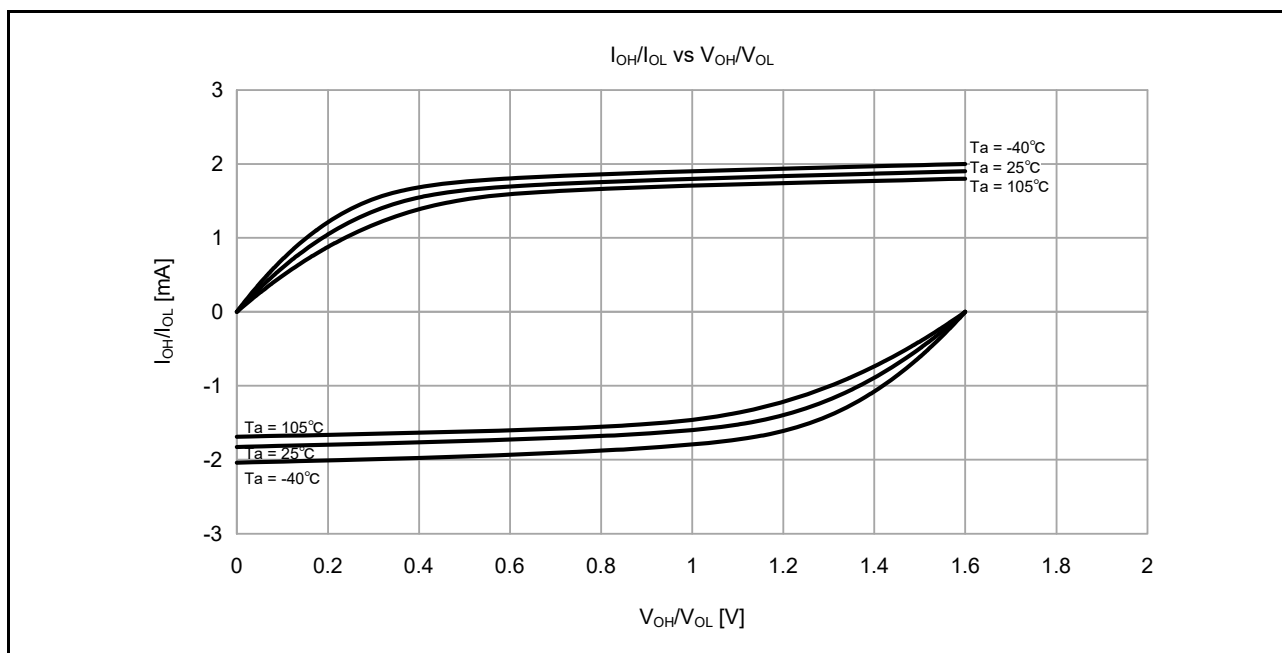


図 2.3 低駆動出力選択時の $V_{CC} = 1.6V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

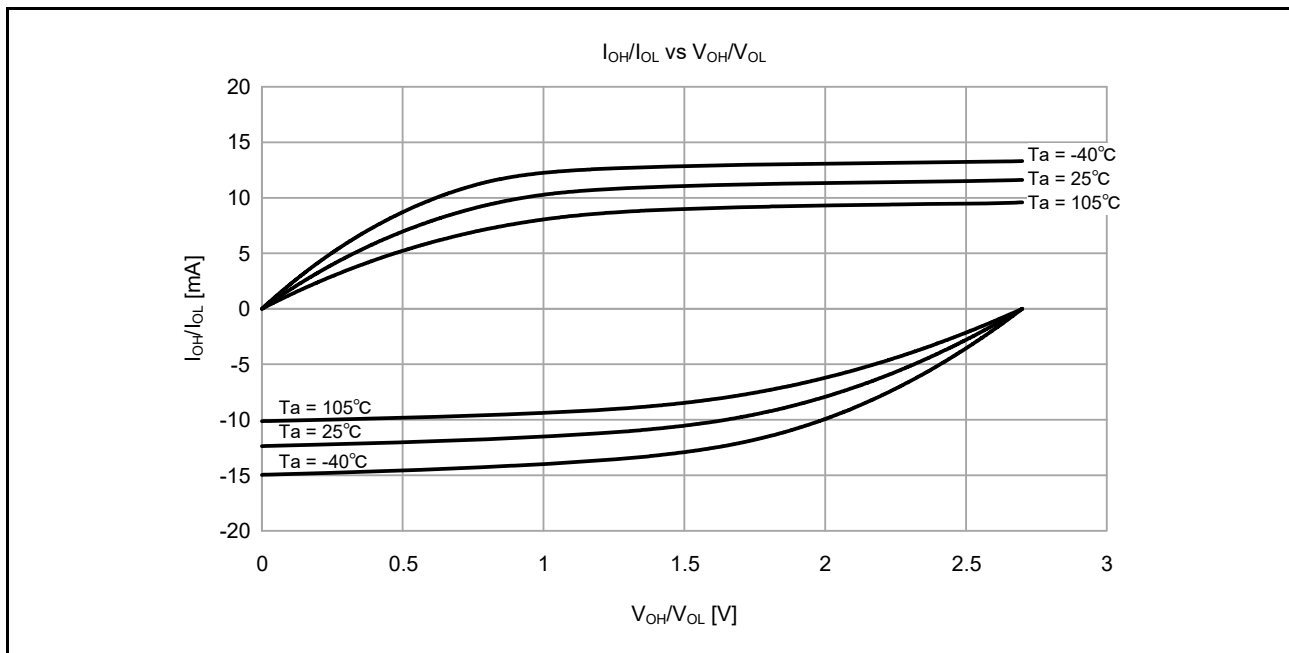


図 2.4 低駆動出力選択時の $V_{CC} = 2.7V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

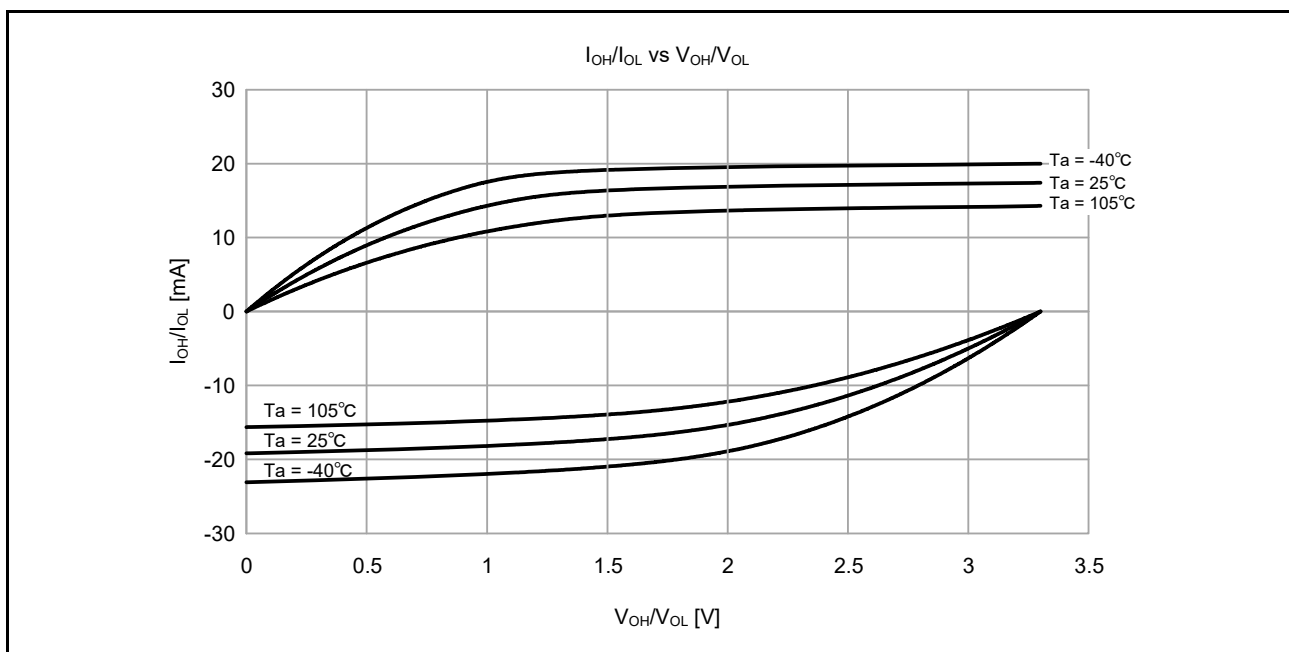


図 2.5 低駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

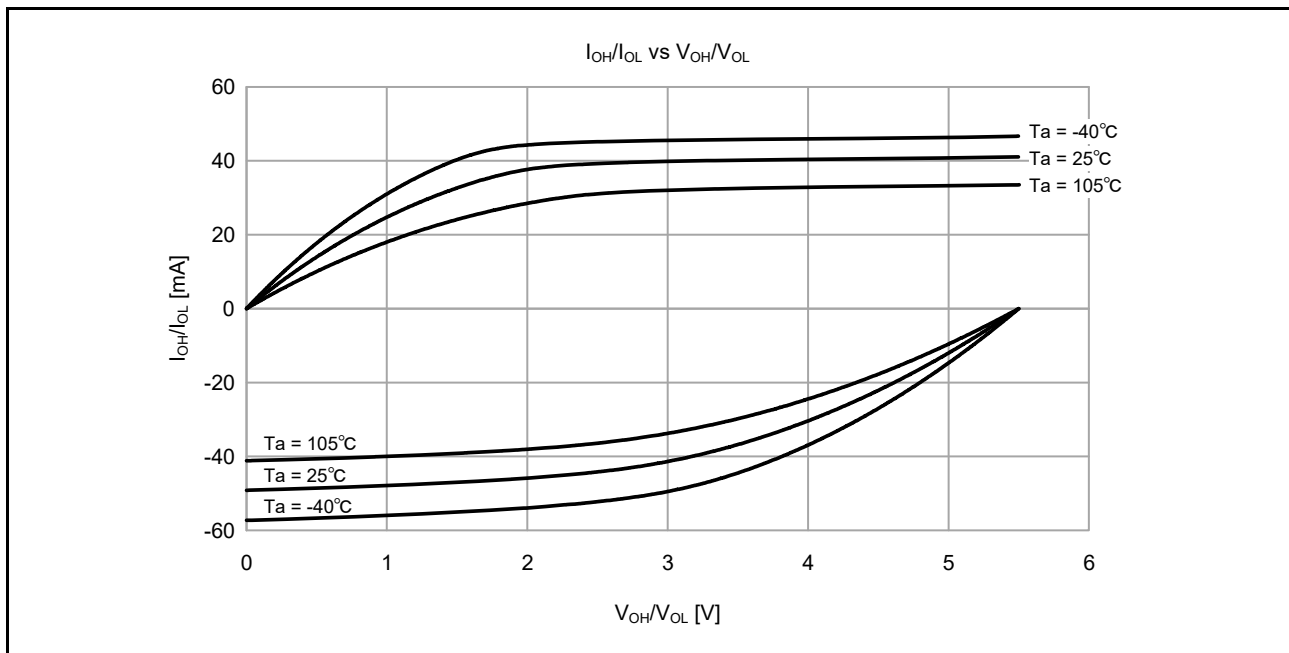


図 2.6 低駆動出力選択時の VCC = 5.5V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

2.2.6 中駆動能力の入出力端子出力特性

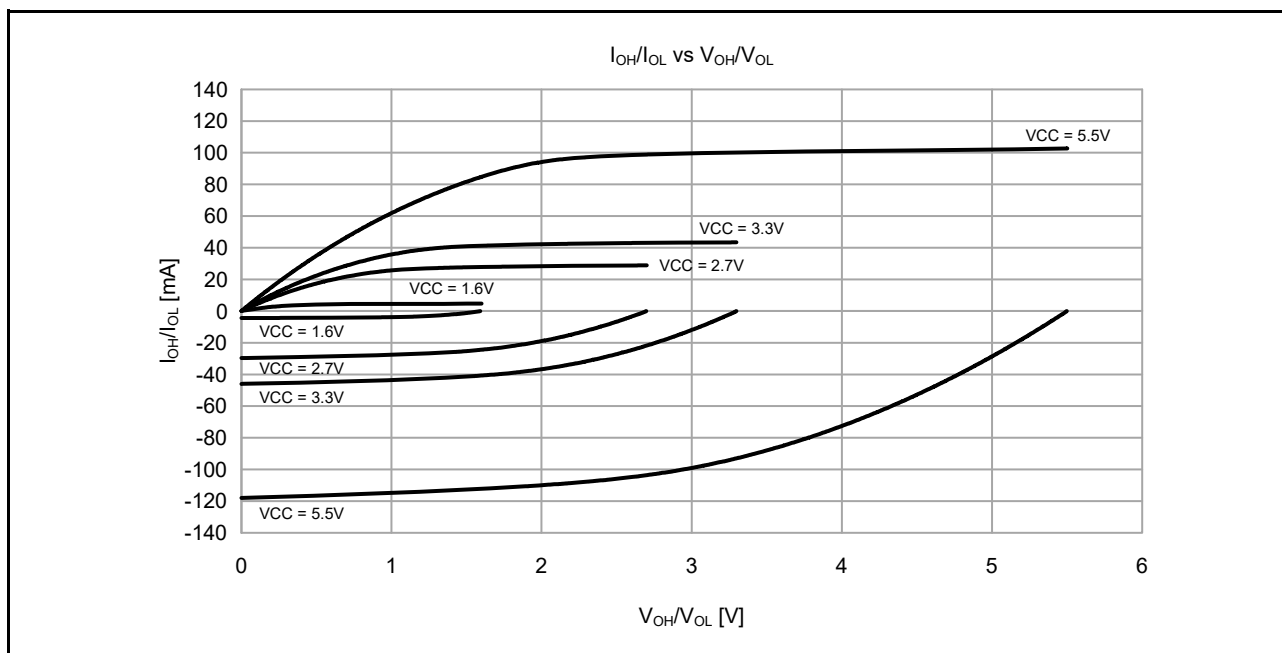


図 2.7 中駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性 (参考データ)

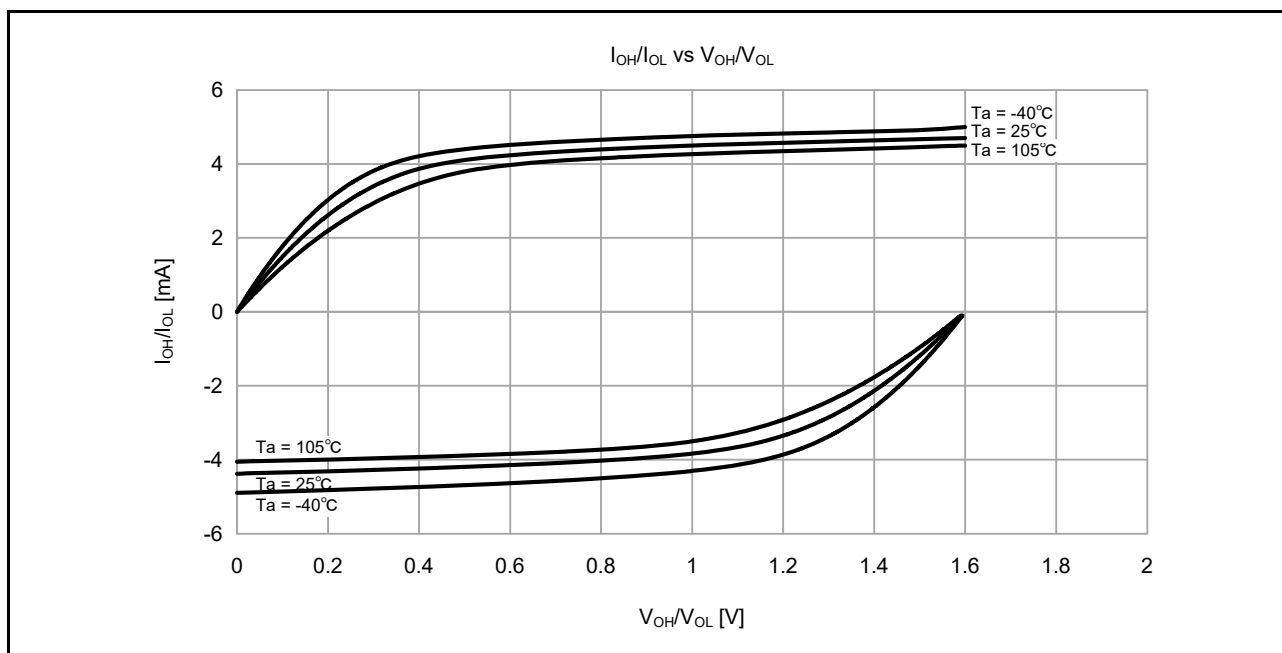


図 2.8 中駆動出力選択時の $V_{CC} = 1.6\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

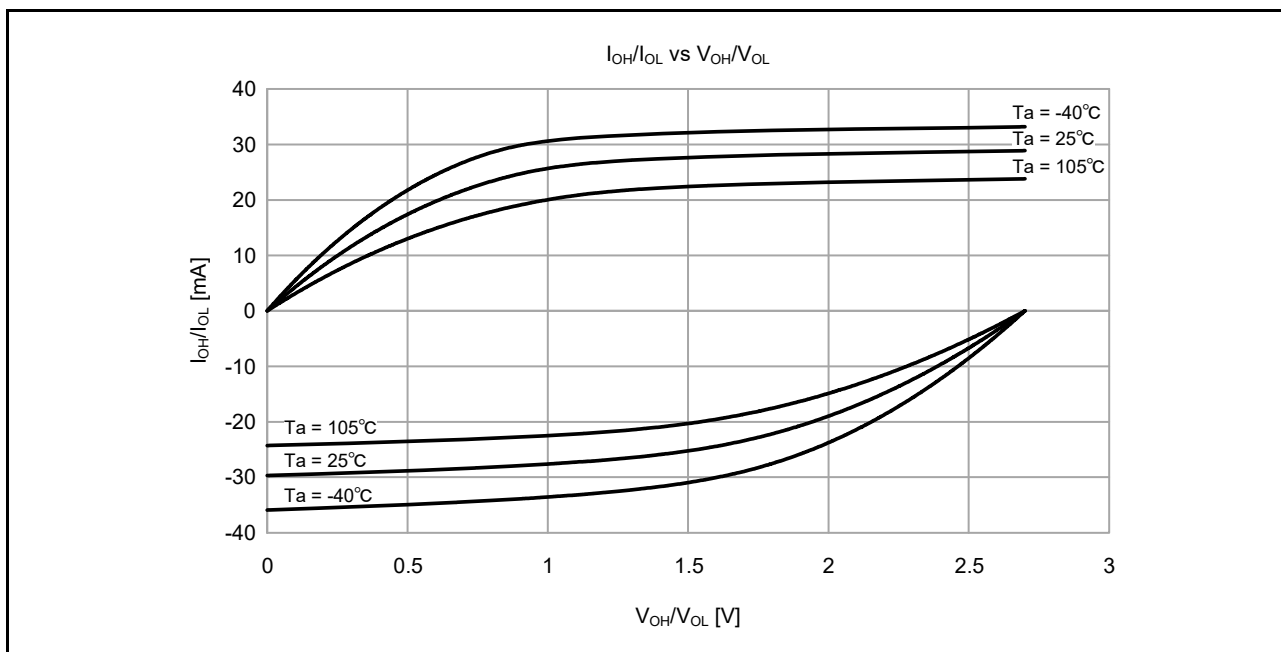


図 2.9 中駆動出力選択時の VCC = 2.7V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

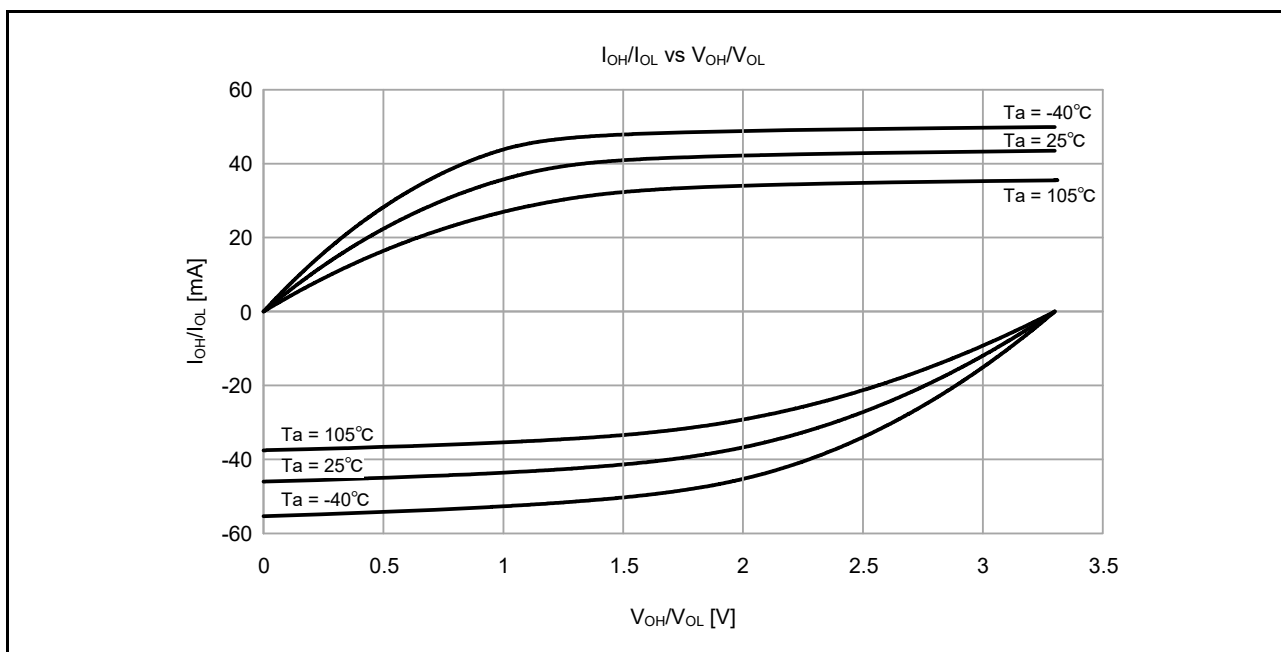


図 2.10 中駆動出力選択時の VCC = 3.3V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

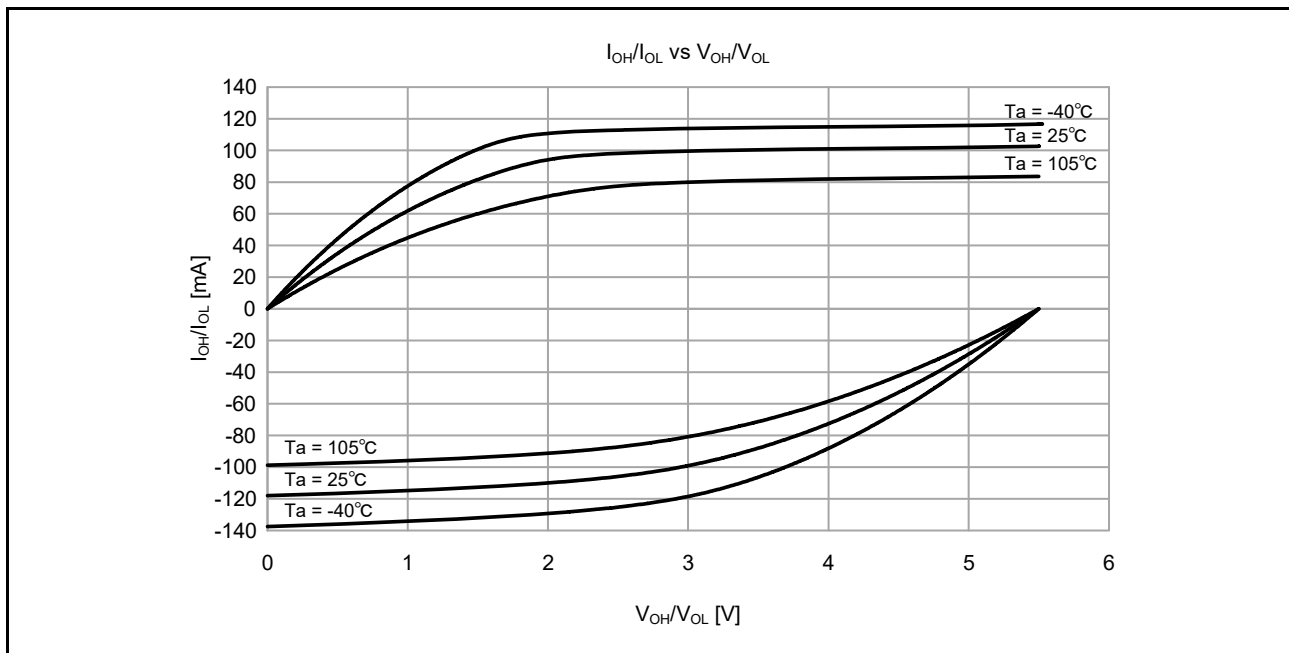


図 2.11 中駆動出力選択時の VCC = 5.5V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

2.2.7 中駆動能力の P408、P409 入出力端子出力特性

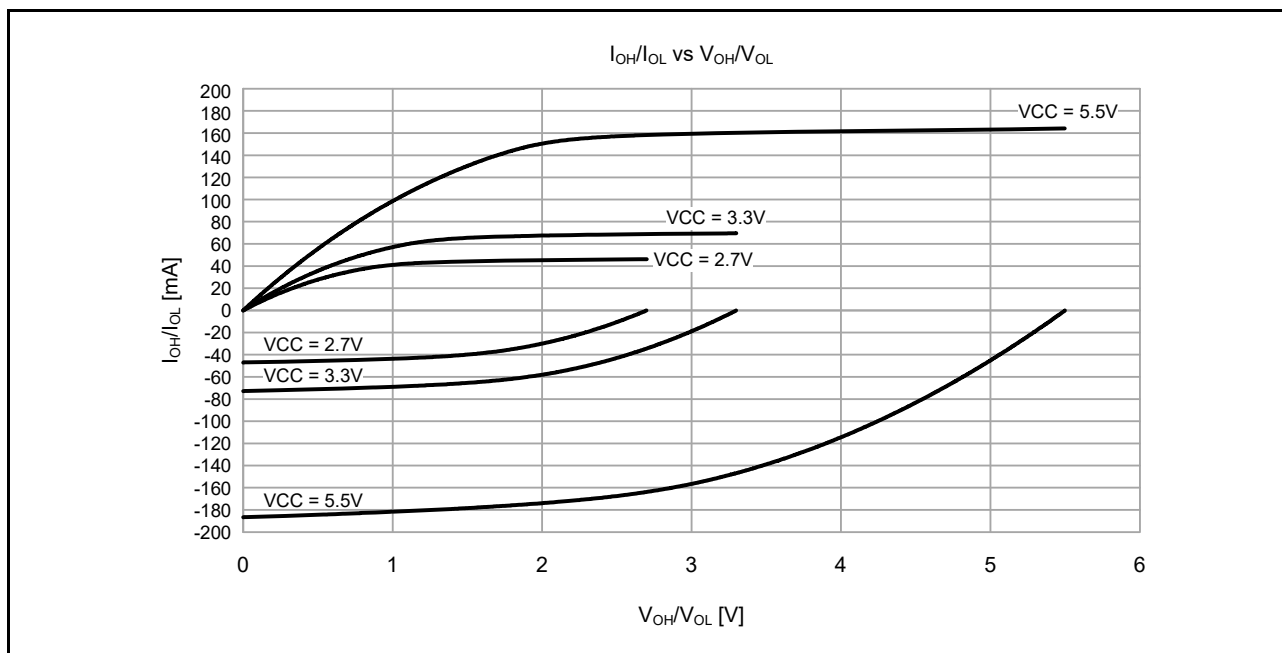


図 2.12 中駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性 (参考データ)

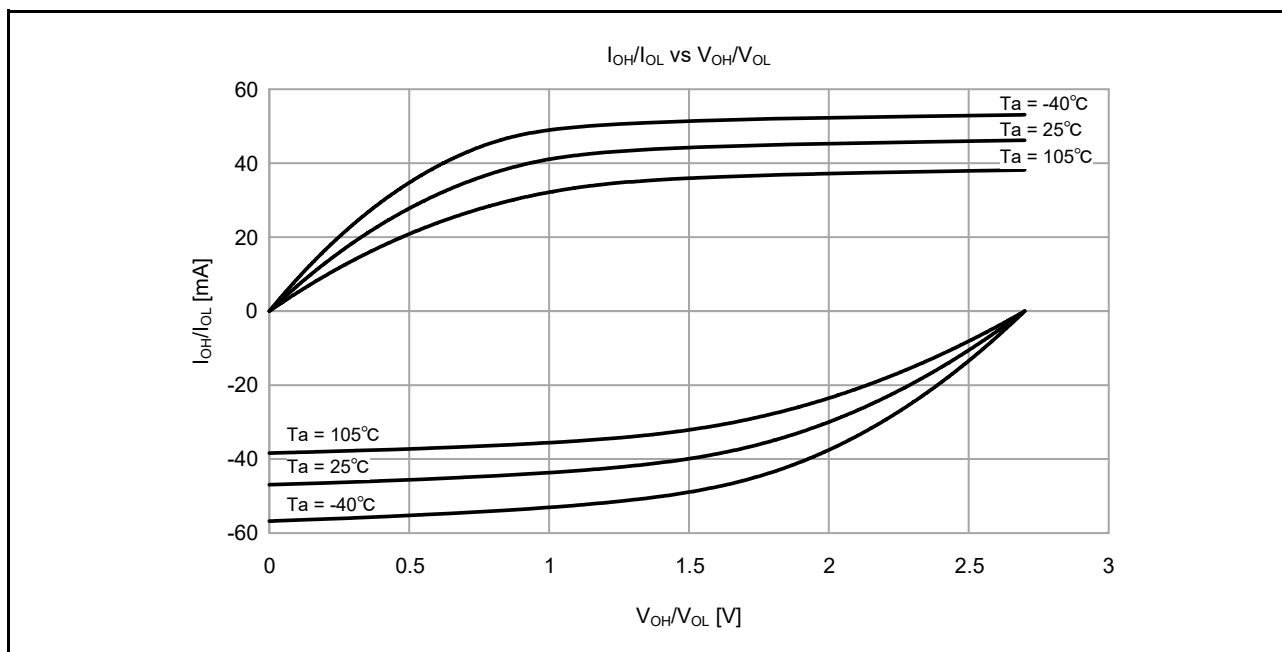


図 2.13 中駆動出力選択時の $V_{CC} = 2.7\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

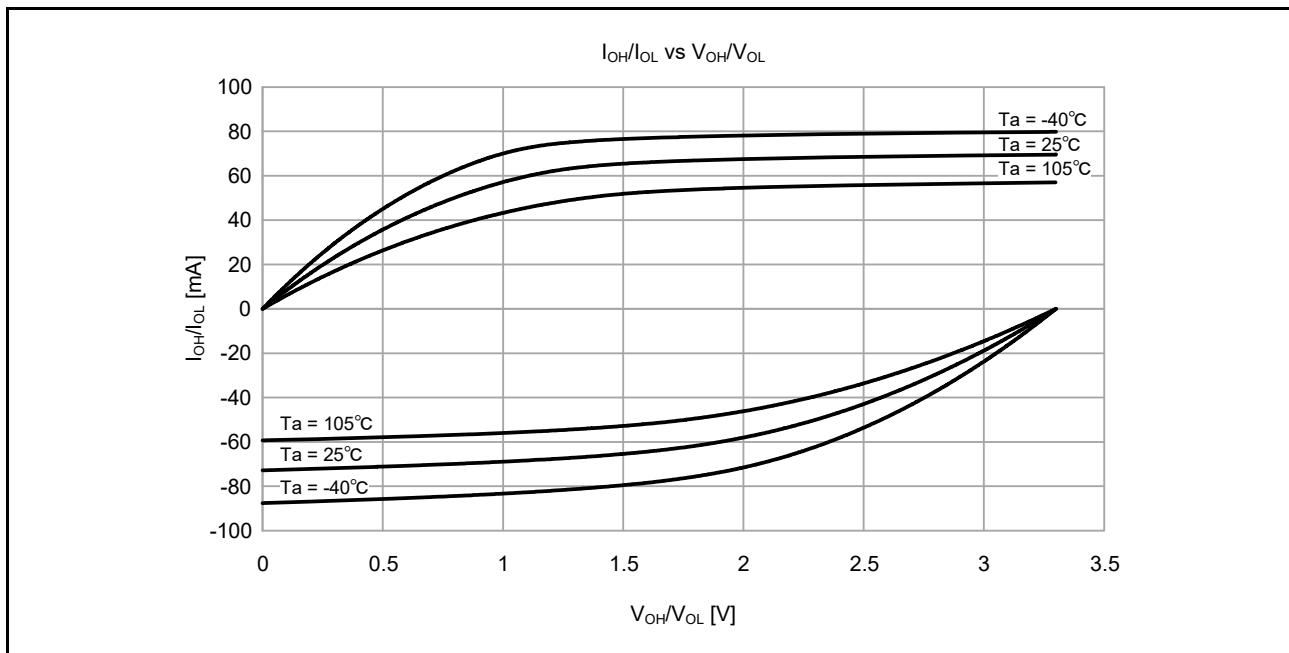


図 2.14 中駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

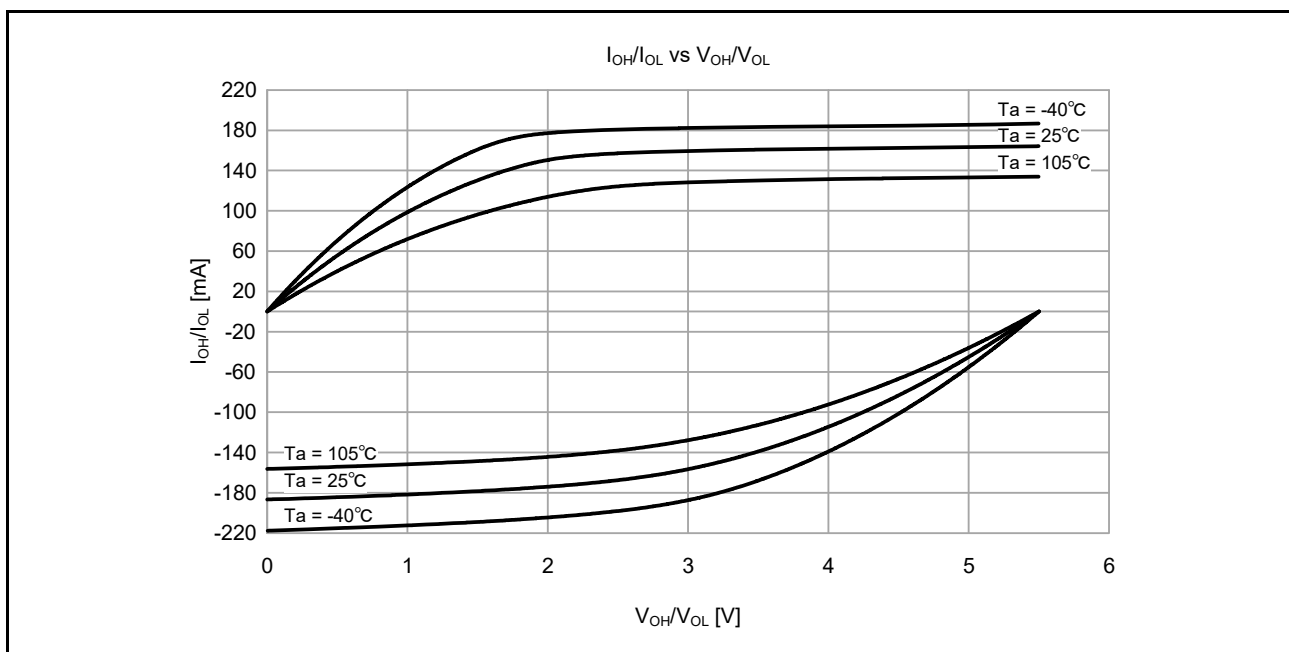
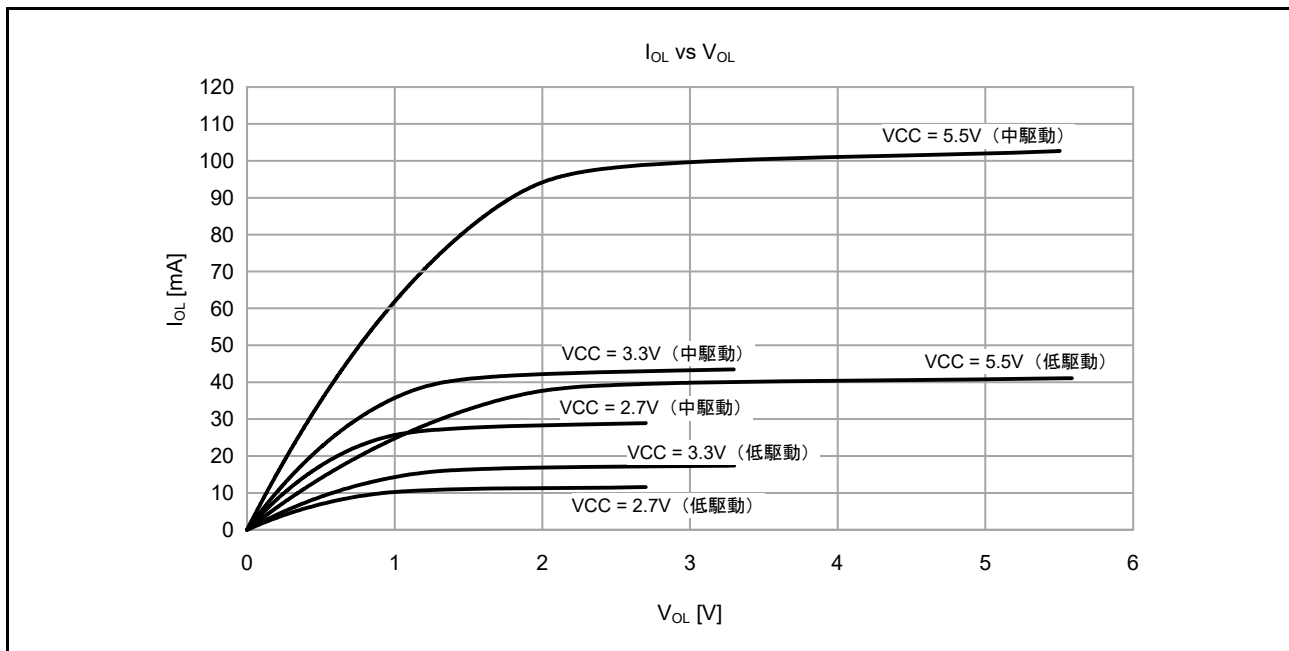


図 2.15 中駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

2.2.8 IIC 入出力端子出力特性

図 2.16 $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性

2.2.9 動作電流とスタンバイ電流

表 2.11 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	High-speed モード (注2)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 48MHz	I _{CC}	8.3	—	mA	(注7)
				ICLK = 32MHz		5.8	—		
				ICLK = 16MHz		3.5	—		
				ICLK = 8MHz		2.2	—		
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 48MHz		16.4	—		
				ICLK = 32MHz		11.3	—		
				ICLK = 16MHz		6.4	—		
				ICLK = 8MHz		4.0	—		
		すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 48MHz	18.5	—	(注9)			
			ICLK = 32MHz	13.8	—	(注8)			
			ICLK = 16MHz	7.7	—				
			ICLK = 8MHz	4.5	—				
		スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 48MHz	—	50.0	(注9)		
				ICLK = 32MHz	3.3	—	(注7)		
				ICLK = 16MHz	2.4	—			
				ICLK = 8MHz	1.8	—			
	すべての周辺クロックが 有効 (注5)		ICLK = 48MHz	1.4	—				
			ICLK = 32MHz	13.4	—	(注9)			
			ICLK = 16MHz	10.4	—	(注8)			
			ICLK = 8MHz	6.0	—				
	BGO動作時の増加分 (注6)					2.5	—	—	
	Middle-speed モード (注2)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 12MHz	I _{CC}	2.5	—	mA	(注7)
				ICLK = 8MHz		2.0	—		
				ICLK = 1MHz		0.9	—		
ICLK = 12MHz				4.7		—			
すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)			ICLK = 8MHz	3.7		—			
			ICLK = 1MHz	1.2		—			
			ICLK = 12MHz	5.7		—	(注8)		
			ICLK = 8MHz	4.3		—			
すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)			ICLK = 1MHz	1.5		—			
			ICLK = 12MHz	—		20.0			
			ICLK = 8MHz	1.2		—	(注7)		
			ICLK = 1MHz	1.2		—			
スリープモード		すべての周辺クロックが 無効 (注5)	ICLK = 12MHz	0.8	—				
			ICLK = 8MHz	4.4	—	(注8)			
			ICLK = 1MHz	3.4	—				
		すべての周辺クロックが 有効 (注5)	ICLK = 12MHz	1.4	—				
BGO動作時の増加分 (注6)					2.5	—	—		

表 2.11 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	Low-speed モード (注3)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 1MHz	I _{CC}	0.4	—	mA	(注7)
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 1MHz		0.6	—		
			すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 1MHz		1.0	—		(注8)
			すべての周辺クロックが 有効、コードはSRAMから 実行 (注5)	ICLK = 1MHz		—	2.2		
		スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 1MHz		0.3	—	(注7)	
			すべての周辺クロックが 有効 (注5)	ICLK = 1MHz		0.9	—	(注8)	
	Low-voltage モード (注3)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 4MHz	I _{CC}	1.7	—	mA	(注7)
			すべての周辺クロックが 無効、CoreMarkコードは フラッシュから実行 (注5)	ICLK = 4MHz		2.8	—		
			すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 4MHz		3.0	—		(注8)
			すべての周辺クロックが 有効、コードはSRAMから 実行 (注5)	ICLK = 4MHz		—	8.0		
		スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 4MHz		1.3	—	(注7)	
			すべての周辺クロックが 有効 (注5)	ICLK = 4MHz		2.5	—	(注8)	
Subosc-speed モード (注4)	通常モード	すべての周辺クロックが 無効、(1) コードは フラッシュから実行 (注5)	ICLK = 32.768kHz	I _{CC}	8.5	—	μA	(注8)	
		すべての周辺クロックが 有効、(1) コードは フラッシュから実行 (注5)	ICLK = 32.768kHz		14.9	—			
		すべての周辺クロックが 有効、コードはSRAMから 実行 (注5)	ICLK = 32.768kHz		—	83.0			
		すべての周辺クロックが 無効 (注5)	ICLK = 32.768kHz		5.0	—			
	スリープモード	すべての周辺クロックが 無効 (注5)	ICLK = 32.768kHz		5.0	—			
		すべての周辺クロックが 有効 (注5)	ICLK = 32.768kHz		11.4	—			

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部ブルアップ MOS が OFF 状態のとき、この値が適用されます。
- 注 2. クロックソースは HOCO です。
- 注 3. クロックソースは MOCO です。
- 注 4. クロックソースはサブクロック発振器です。
- 注 5. BGO 動作は含まれません。
- 注 6. プログラム実行中に、データ保管のためのフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
- 注 7. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周に設定されています。
- 注 8. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、ICLK と同じ周波数です。
- 注 9. FCLK、PCLKB は、2 分周に設定されています。PCLKA、PCLKC、PCLKD は、ICLK と同じ周波数です。
- 注 10. VCC = 3.3V

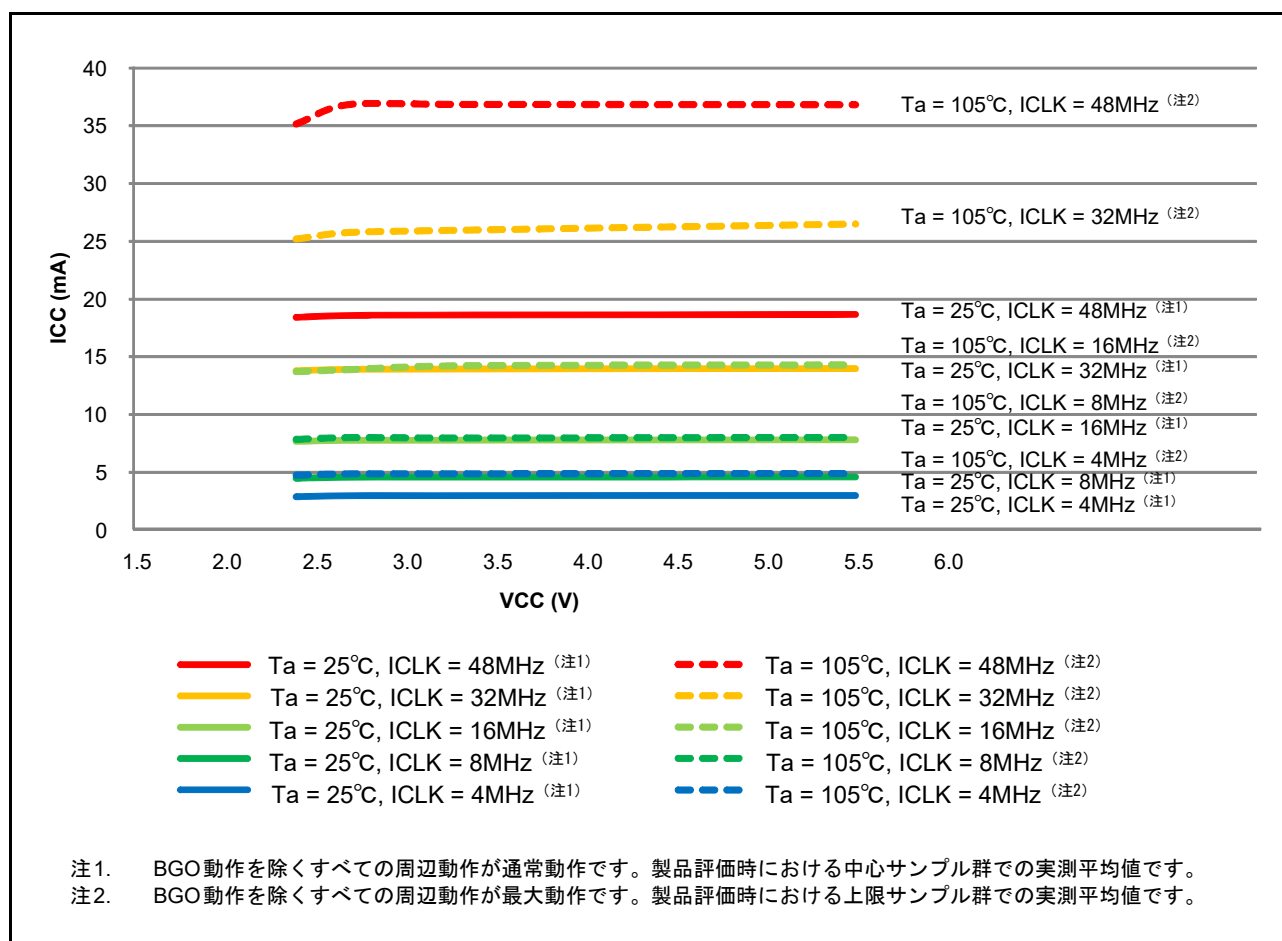


図 2.17 High-speed 動作モードにおける電圧依存性 (参考データ)

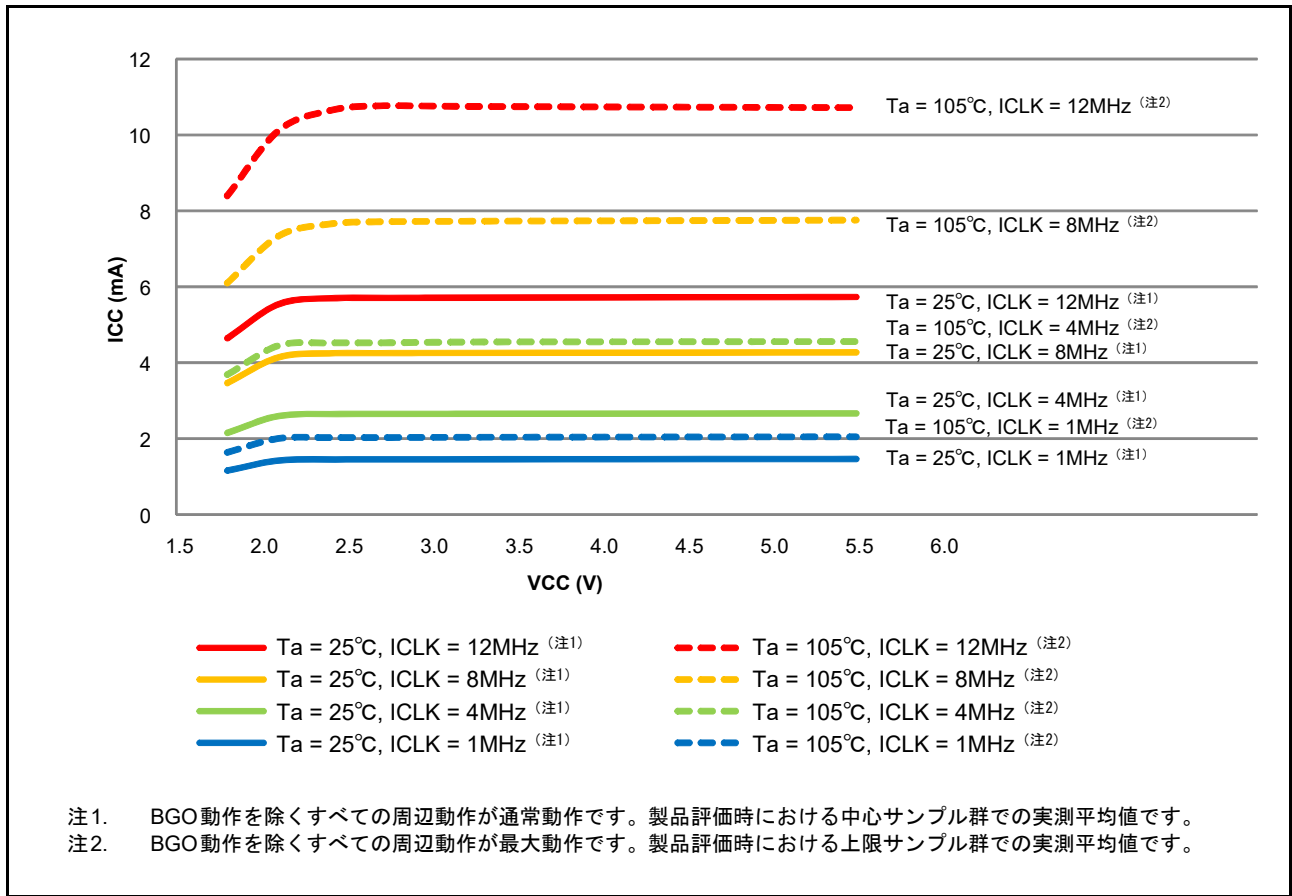


図 2.18 Middle-speed 動作モードにおける電圧依存性 (参考データ)

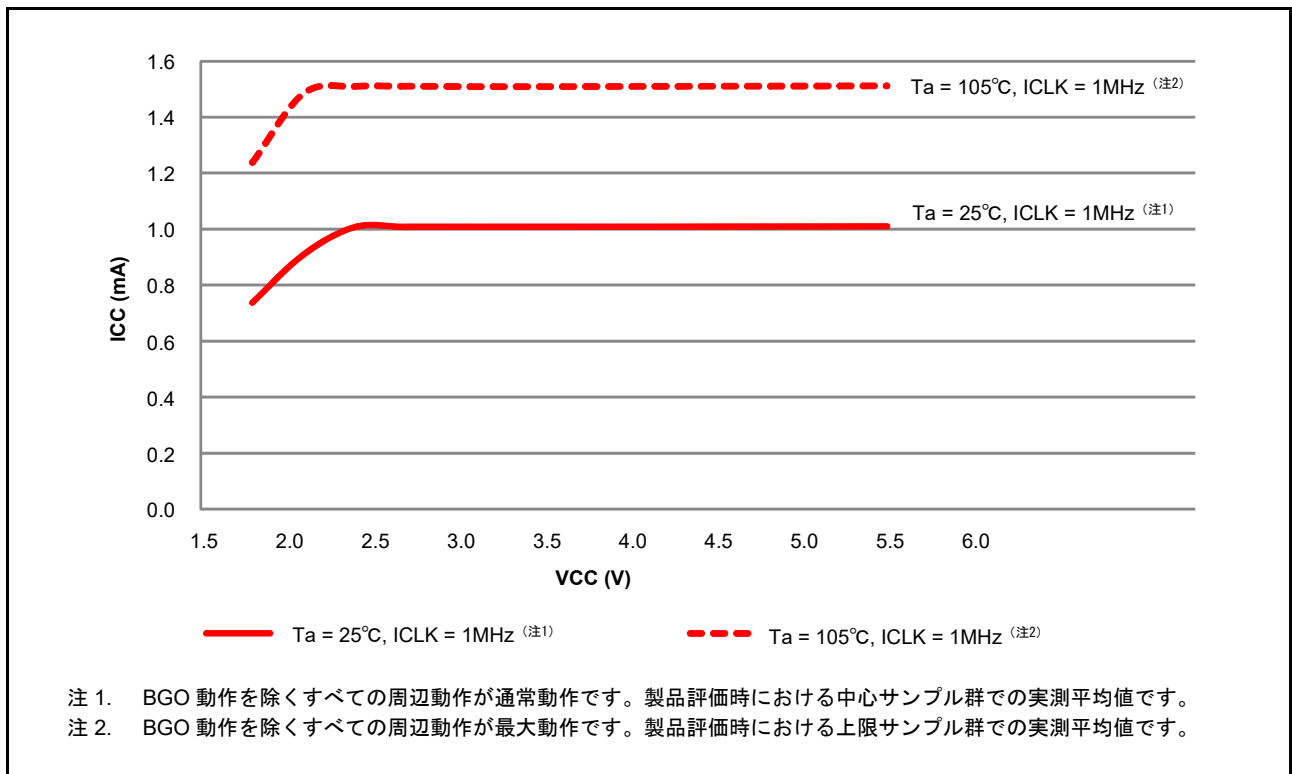


図 2.19 Low-speed モードにおける電圧依存性 (参考データ)

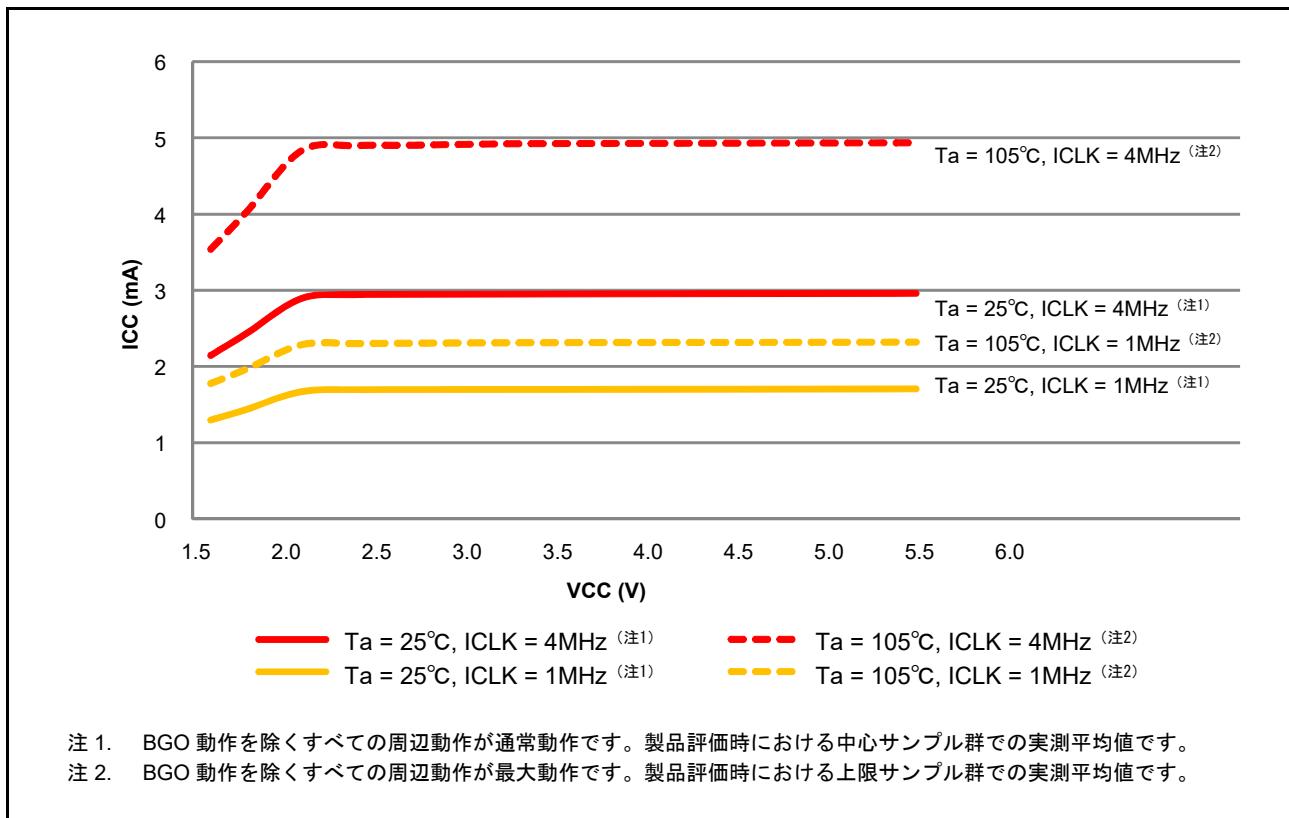


図 2.20 Low-voltage モードにおける電圧依存性 (参考データ)

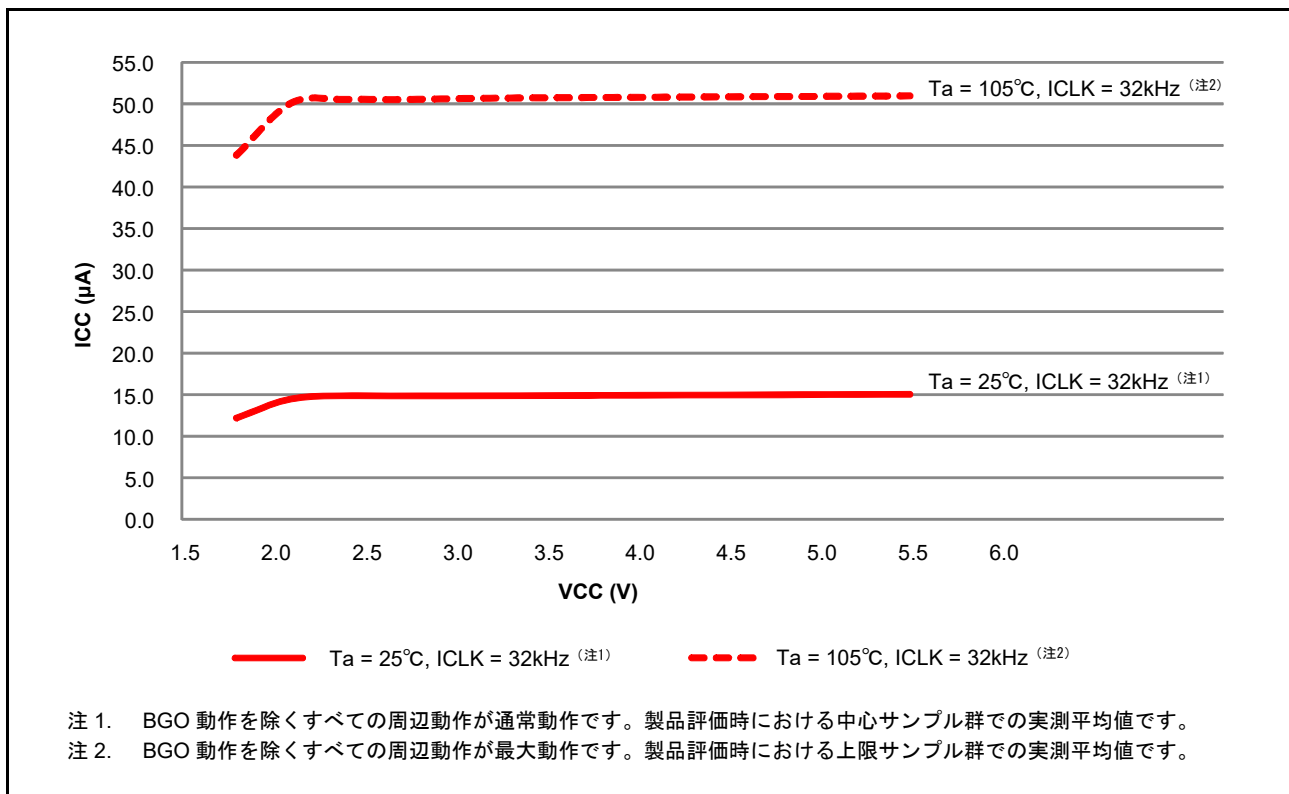


図 2.21 Subosc-speed モードにおける電圧依存性 (参考データ)

表 2.12 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Typ (注4)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I _{CC}	T _a = 25°C	0.8	4.5	μA	—
			T _a = 55°C	1.3	7.1		
			T _a = 85°C	3.5	20.2		
			T _a = 105°C	8.7	53.7		
	低速オンチップオシレータでのRTC動作時増加分 (注3)		0.5	—	—		
	サブクロック発振器でのRTC動作時増加分 (注3)		0.4	—	SOMCR.SODRV[1:0] = 11b (低消費電力モード3)		
			1.2	—	SOMCR.SODRV[1:0] = 00b (通常モード)		

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部ブルアップ MOS が OFF 状態のとき、この値が適用されます。
- 注 2. IWDT と LVD は動作していません。
- 注 3. サブ発振回路または低速オンチップオシレータの電流を含みます。
- 注 4. VCC = 3.3V

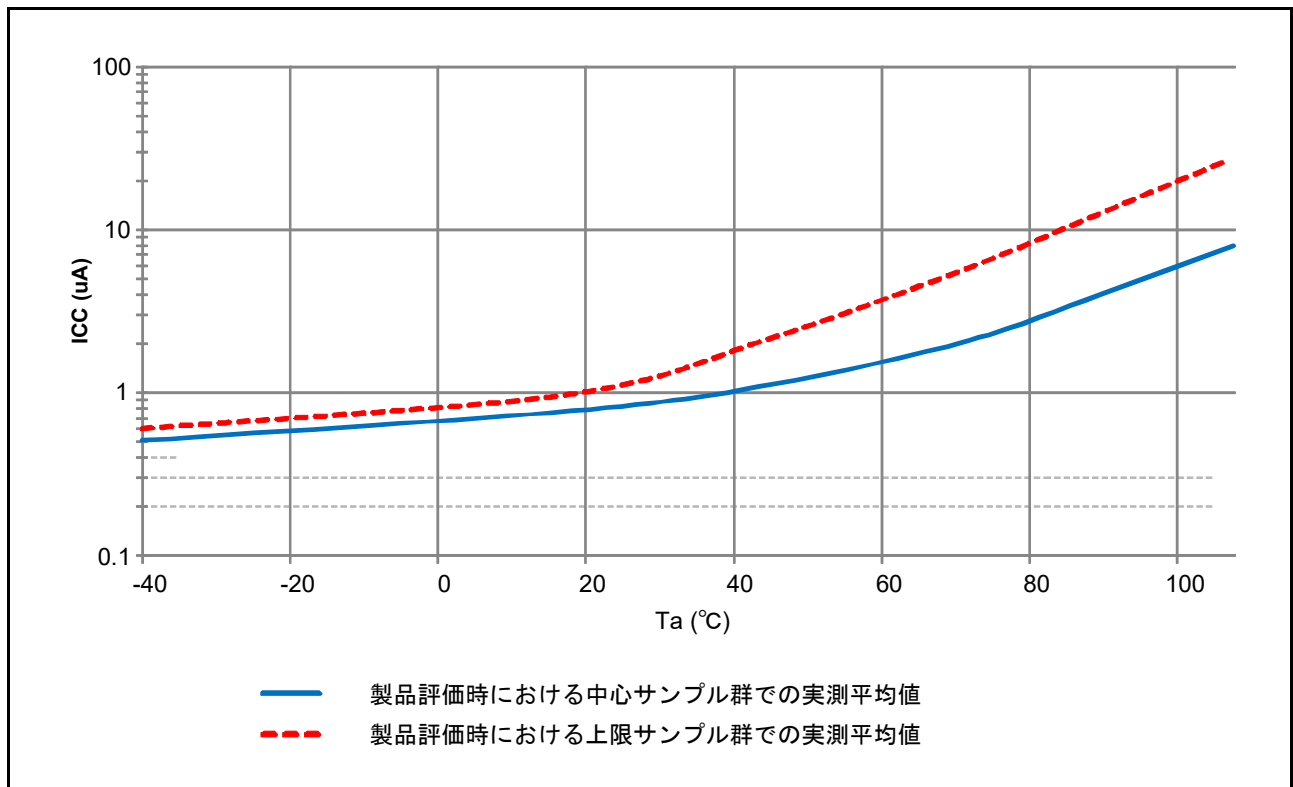


図 2.22 すべての SRAM がオンのソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 2.13 動作電流とスタンバイ電流 (3)

条件 : VCC = AVCC0 = 0V、VBATT = 1.6~3.6V、VSS = AVSS0 = 0V

項目		シンボル	Typ	Max	単位	測定条件	
消費電流 (注1)	VCCがオフのときのRTC動作	I _{CC}	T _a = 25°C	0.8	—	μA	VBATT = 2.0V SOMCR.SORDRV[1:0] = 11b (低消費電力モード3)
			T _a = 55°C	0.9	—		
			T _a = 85°C	1.0	—		
			T _a = 105°C	1.1	—		
			T _a = 25°C	0.9	—		VBATT = 3.3V SOMCR.SORDRV[1:0] = 11b (低消費電力モード3)
			T _a = 55°C	1.0	—		
			T _a = 85°C	1.1	—		
			T _a = 105°C	1.2	—		
			T _a = 25°C	1.5	—		VBATT = 2.0V SOMCR.SORDRV[1:0] = 00b (通常モード)
			T _a = 55°C	1.7	—		
			T _a = 85°C	2.0	—		
			T _a = 105°C	2.2	—		
			T _a = 25°C	1.6	—		VBATT = 3.3V SOMCR.SORDRV[1:0] = 00b (通常モード)
			T _a = 55°C	1.8	—		
			T _a = 85°C	2.1	—		
			T _a = 105°C	2.3	—		

注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS が OFF 状態のとき、この値が適用されます。

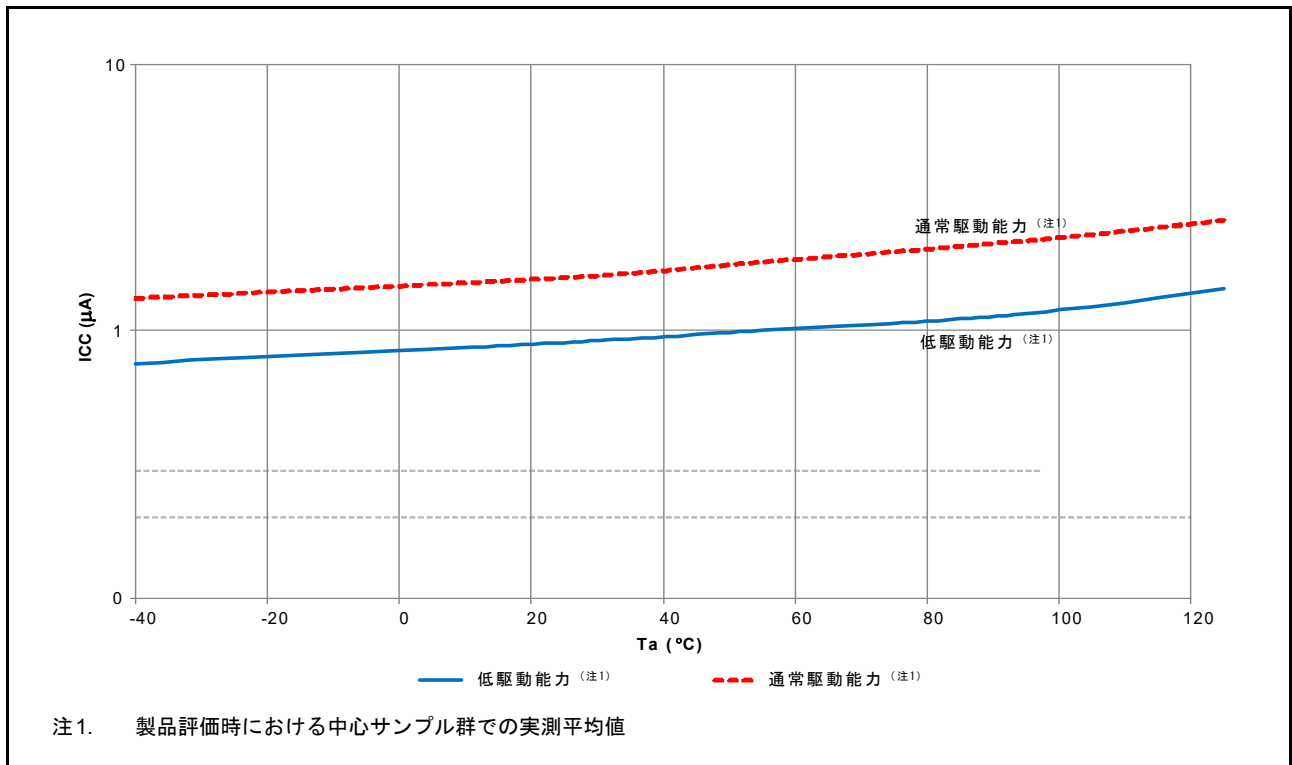


図 2.23 VCC オフ時の RTC 動作の温度依存性 (参考データ)

表 2.14 動作電流とスタンバイ電流 (4)

条件: VCC = AVCC0 = 1.6 ~ 5.5V、VREFH0 = 2.7V ~ AVCC0

項目		シンボル	Min	Typ	Max	単位	測定条件	
アナログ電源電流	A/D変換中 (高速変換時)	I_{AVCC}	—	—	3.0	mA	—	
	A/D変換中 (低速変換時)		—	—	1.0	mA	—	
	D/A変換中 (1チャンネル当り) (注1)		—	0.4	0.8	mA	—	
	A/D、D/A変換待機時 (全ユニット) (注6)		—	—	1.0	μ A	—	
リファレンス電源電流	A/D変換中	I_{REFH0}	—	—	150	μ A	—	
	A/D変換待機時 (全ユニット)		—	—	60	nA	—	
	D/A変換中	I_{REFH}	—	50	100	μ A	—	
	D/A変換待機時 (全ユニット)		—	—	100	μ A	—	
温度センサ		I_{TNS}	—	75	—	μ A	—	
低消費電力アナログコンパレータの動作電流	ウィンドウモード	I_{CMLP}	—	15	—	μ A	—	
	コンパレータ High-speed モード		—	10	—	μ A	—	
	コンパレータ Low-speed モード		—	2	—	μ A	—	
	DAC8を使用したコンパレータ Low-speed モード		—	820	—	μ A	—	
オペアンプの動作電流	低消費電力モード	1ユニット動作時	I_{AMP}	—	2.5	4.0	μ A	—
		2ユニット動作時		—	4.5	8.0	μ A	—
		3ユニット動作時		—	6.5	11.0	μ A	—
		4ユニット動作時		—	8.5	14.0	μ A	—
	High-speed モード	1ユニット動作時		—	140	220	μ A	—
		2ユニット動作時		—	280	410	μ A	—
		3ユニット動作時		—	420	600	μ A	—
		4ユニット動作時		—	560	780	μ A	—
LCD動作電流	外部抵抗分割方式 $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	I_{LCD1} (注5)	—	0.34	—	μ A	—	
	内部昇圧方式 (VLCD.VLCD = 04) $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	I_{LCD2} (注5)	—	0.92	—	μ A	—	
	容量分割方式 $f_{LCD} = f_{SUB} = 128\text{Hz}$ 、1/3バイアス、4時分割	I_{LCD3} (注5)	—	0.19	—	μ A	—	
USB動作電流	以下の設定および条件でのUSB通信動作時: • ホストコントローラ動作をフルスピードモードに設定 バルクOUT転送 (64バイト) × 1 バルクIN転送 (64バイト) × 1 • USBポートから1メートルのUSBケーブル経由で周辺デバイスを接続	I_{USBH} (注2)	—	4.3 (VCC) 0.9 (VCC_USB) (注4)	—	mA	—	
	以下の設定および条件でのUSB通信動作時: • デバイスコントローラ動作をフルスピードモードに設定 バルクOUT転送 (64バイト) × 1 バルクIN転送 (64バイト) × 1 • USBポートから1メートルのUSBケーブル経由でホストデバイスを接続	I_{USBF} (注2)	—	3.6 (VCC) 1.1 (VCC_USB) (注4)	—	mA	—	
	以下の設定および条件でのサスペンド状態時: • デバイスコントローラ動作をフルスピードモードに設定 (USB_DP端子をプルアップ) • ソフトウェアスタンバイモード • USBポートから1メートルのUSBケーブル経由でホストデバイスを接続	I_{SUSP} (注3)	—	0.35 (VCC) 170 (VCC_USB) (注4)	—	μ A	—	

注 1. D/A 変換の電源電流値には、リファレンス電源電流も含まれています。

注 2. USBFS のみの消費電流です。

注 3. 強制待ち状態における本 MCU の電流消費に加え、USB_DP 端子のプルアップ抵抗からホストデバイス側のプルダウン抵抗へ供給される電流を含みます。

注 4. VCC = VCC_USB = 3.3V のとき

注 5. LCD コントローラのための電流です。LCD パネルを流れる電流は含みません。

注 6. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCR.DMSTPD16 (ADC140 モジュールストップビット) がモジュールストップ状態の場合

2.2.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.15 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時のVCC 立ち上がり勾配	起動時電圧モニタ0リセット無効（通常の起動）	SrVCC	0.02	—	2	ms/V	—
	起動時電圧モニタ0リセット有効（注1）		0.02	—	—		
	SCI/USB ブートモード（注2）		0.02	—	2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 2.16 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = VCC_USB = 1.6 ~ 5.5V

リップル電圧は、VCC 上限（5.5V）と下限（1.6V）の範囲内で、許容リップル周波数 $f_{r(VCC)}$ を満たす必要があります。VCC 変動が VCC $\pm 10\%$ を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 2.24 $V_{r(VCC)} \leq VCC \times 0.2$
		—	—	1	MHz	図 2.24 $V_{r(VCC)} \leq VCC \times 0.08$
		—	—	10	MHz	図 2.24 $V_{r(VCC)} \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC $\pm 10\%$ を超える場合

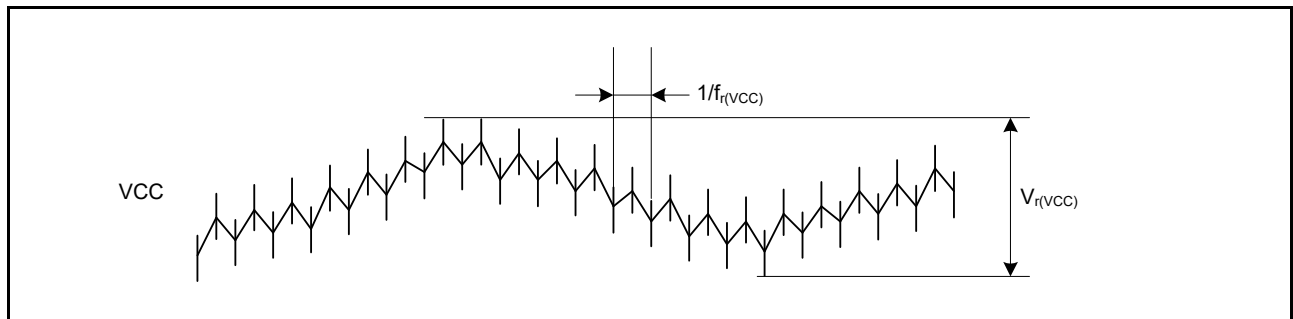


図 2.24 リップル波形

2.3 AC 特性

2.3.1 周波数

表 2.17 High-speed動作モードでの動作周波数

条件：VCC = AVCC0 = 2.4～5.5V

項目		シンボル	Min	Typ	Max (注5)	単位	
動作周波数	システムクロック (ICLK) (注4)	f	2.7～5.5V	—	48	MHz	
			2.4～2.7V	—	16		
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注4)		2.7～5.5V	0.032768	—		32
			2.4～2.7V	0.032768	—		16
	周辺モジュールクロック (PCLKA) (注4)		2.7～5.5V	—	—		48
			2.4～2.7V	—	—		16
	周辺モジュールクロック (PCLKB) (注4)		2.7～5.5V	—	—		32
			2.4～2.7V	—	—		16
	周辺モジュールクロック (PCLKC) (注3) (注4)		2.7～5.5V	—	—		64
			2.4～2.7V	—	—		16
	周辺モジュールクロック (PCLKD) (注4)		2.7～5.5V	—	—		64
			2.4～2.7V	—	—		16

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータ使用時の PCLKC 下限周波数は、2.4V 以上で 4MHz、2.4V 未満で 1MHz です。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、ユーザーズマニュアルの「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、[表 2.22 クロックタイミング](#)を参照してください。

表 2.18 Middle-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.8~5.5V

項目		シンボル	Min	Typ	Max (注5)	単位
動作周波数	システムクロック (ICLK) (注4)	f	2.7~5.5V	—	12	MHz
			2.4~2.7V	—	12	
			1.8~2.4V	—	8	
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注4)		2.7~5.5V	—	12	
			2.4~2.7V	—	12	
			1.8~2.4V	—	8	
	周辺モジュールクロック (PCLKA) (注4)		2.7~5.5V	—	12	
			2.4~2.7V	—	12	
			1.8~2.4V	—	8	
	周辺モジュールクロック (PCLKB) (注4)		2.7~5.5V	—	12	
			2.4~2.7V	—	12	
			1.8~2.4V	—	8	
	周辺モジュールクロック (PCLKC) (注3) (注4)		2.7~5.5V	—	12	
			2.4~2.7V	—	12	
			1.8~2.4V	—	8	
	周辺モジュールクロック (PCLKD) (注4)		2.7~5.5V	—	12	
			2.4~2.7V	—	12	
			1.8~2.4V	—	8	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータ使用時の PCLKC 下限周波数は、2.4V 以上で 4MHz、2.4V 未満で 1MHz です。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、ユーザーズマニュアルの「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.22 クロックタイミングを参照してください。

表 2.19 Low-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.8~5.5V

項目		シンボル	Min	Typ	Max (注4)	単位
動作周波数	システムクロック (ICLK) (注3)	f	1.8~5.5V	—	1	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注3)		1.8~5.5V	—	1	
	周辺モジュールクロック (PCLKA) (注3)		1.8~5.5V	—	1	
	周辺モジュールクロック (PCLKB) (注3)		1.8~5.5V	—	1	
	周辺モジュールクロック (PCLKC) (注2) (注3)		1.8~5.5V	—	1	
	周辺モジュールクロック (PCLKD) (注3)		1.8~5.5V	—	1	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。
- 注 2. A/D コンバータ使用時における PCLKC 下限周波数は 1MHz です。
- 注 3. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、ユーザーズマニュアルの「8. クロック発生回路」を参照してください。
- 注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.22 クロックタイミングを参照してください。

表 2.20 Low-voltage 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max (注5)	単位
動作周波数	システムクロック (ICLK) (注4)	1.6 ~ 5.5V	f	0.032768	—	4	MHz
	フラッシュインタフェースクロック (FCLK) (注1) (注2) (注4)	1.6 ~ 5.5V		0.032768	—	4	
	周辺モジュールクロック (PCLKA) (注4)	1.6 ~ 5.5V		—	—	4	
	周辺モジュールクロック (PCLKB) (注4)	1.6 ~ 5.5V		—	—	4	
	周辺モジュールクロック (PCLKC) (注3) (注4)	1.6 ~ 5.5V		—	—	4	
	周辺モジュールクロック (PCLKD) (注4)	1.6 ~ 5.5V		—	—	4	

- 注 1. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。フラッシュメモリのプログラム/イレース時に FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータ使用時の PCLKC 下限周波数は、2.4V 以上で 4MHz、2.4V 未満で 1MHz です。
- 注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、ユーザーズマニュアルの「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.22 クロックタイミングを参照してください。

表 2.21 Subosc-speed 動作モードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注3)	1.8 ~ 5.5V	f	27.8528	32.768	37.6832	kHz
	フラッシュインタフェースクロック (FCLK) (注1) (注3)	1.8 ~ 5.5V		27.8528	32.768	37.6832	
	周辺モジュールクロック (PCLKA) (注3)	1.8 ~ 5.5V		—	—	37.6832	
	周辺モジュールクロック (PCLKB) (注3)	1.8 ~ 5.5V		—	—	37.6832	
	周辺モジュールクロック (PCLKC) (注2) (注3)	1.8 ~ 5.5V		—	—	37.6832	
	周辺モジュールクロック (PCLKD) (注3)	1.8 ~ 5.5V		—	—	37.6832	

- 注 1. フラッシュメモリのプログラムまたはイレースはできません。
- 注 2. 14 ビット A/D コンバータは使用できません。
- 注 3. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については、ユーザーズマニュアルの「8. クロック発生回路」を参照してください。

2.3.2 クロックタイミング

表 2.22 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 2.25
EXTAL 外部クロック入力 High レベルパルス幅	t_{XH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{XL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間 (注1)	t_{EXWT}	0.3	—	—	μ s	—
EXTAL 外部クロック入力周波数	f_{EXTAL}	—	—	20	MHz	$2.4 \leq VCC \leq 5.5$
		—	—	8		$1.8 \leq VCC < 2.4$
		—	—	1		$1.6 \leq VCC < 1.8$
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	$2.4 \leq VCC \leq 5.5$
		1	—	8		$1.8 \leq VCC < 2.4$
		1	—	4		$1.6 \leq VCC < 1.8$
メインクロック発振安定待機時間 (水晶) (注9)	$t_{MAINOSCWT}$	—	—	— (注9)	ms	—
LOCO クロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t_{LOCO}	—	—	100	μ s	図 2.26
IWDT 専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μ s	—
HOCO クロック発振周波数	f_{HOCO24}	23.64	24	24.36	MHz	$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		22.68	24	25.32		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		23.76	24	24.24		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		23.52	24	24.48		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO32}	31.52	32	32.48		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		30.24	32	33.76		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$
		31.68	32	32.32		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		31.36	32	32.64		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO48} (注4)	47.28	48	48.72		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.52	48	48.48		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$
		47.04	48	48.96		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
	f_{HOCO64} (注5)	63.04	64	64.96		$T_a = -40 \sim -20^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		63.36	64	64.64		$T_a = -20 \sim 85^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$
		62.72	64	65.28		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$

表 2.22 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
HOCOクロック発振安定時間 (注6) (注7)	Low-voltage モード 以外	t_{HOCO24}	—	—	37.1	μs	図 2.27
		t_{HOCO32}	—	—	—		
		t_{HOCO48}	—	—	43.3		
	Low-voltage モード	t_{HOCO64}	—	—	80.6		
		t_{HOCO24}	—	—	100.9		
		t_{HOCO32} t_{HOCO48} t_{HOCO64}	—	—	—		
PLL入力周波数 (注2)	f_{PLLIN}	4	—	12.5	MHz	—	
PLL回路発振周波数 (注2)	f_{PLL}	24	—	64	MHz	—	
PLLクロック発振安定時間 (注8)	t_{PLL}	—	—	55.5	μs	図 2.29	
PLLフリーラン発振周波数	f_{PLLFR}	—	8	—	MHz	—	
サブクロック発振器発振周波数	f_{SUB}	—	32.768	—	kHz	—	
サブクロック発振安定時間 (注3)	t_{SUBOSC}	—	—	— (注3)	s	図 2.30	

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. PLL を使用できる VCC 範囲は 2.4 ~ 5.5V です。
- 注 3. SOSCCR.SOSTP ビットを変更してサブクロック発振器の動作が開始したら、発振器製造者の推奨値以上に設定したサブクロック発振安定待機時間を経過してからサブクロック発振器の使用を開始してください。
- 注 4. 48MHz HOCO は、VCC = 1.8 ~ 5.5V の範囲内で使用できます。
- 注 5. 64MHz HOCO は、VCC = 2.4 ~ 5.5V の範囲内で使用できます。
- 注 6. MOCO 停止状態で HOCOCR.HCSTP ビットを 0 (動作) にした場合の特性です。
MOCO 発振中に HOCOCR.HCSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。
- 注 7. 安定時間が経過したかどうかは OSCSF.HOCOSF ビットで確認できます。
- 注 8. MOCO 停止状態で PLLCR.PLLSTP ビットを 0 (動作) にした場合の特性です。
MOCO 発振中に PLLCR.PLLSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。
- 注 9. メインクロックを設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。
MOSCWTCR レジスタを、推奨安定時間以上に設定してください。メインクロック発振器が動作するように MOSCCR.MOSTP ビットの設定を変更した後、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロックの使用を開始してください。

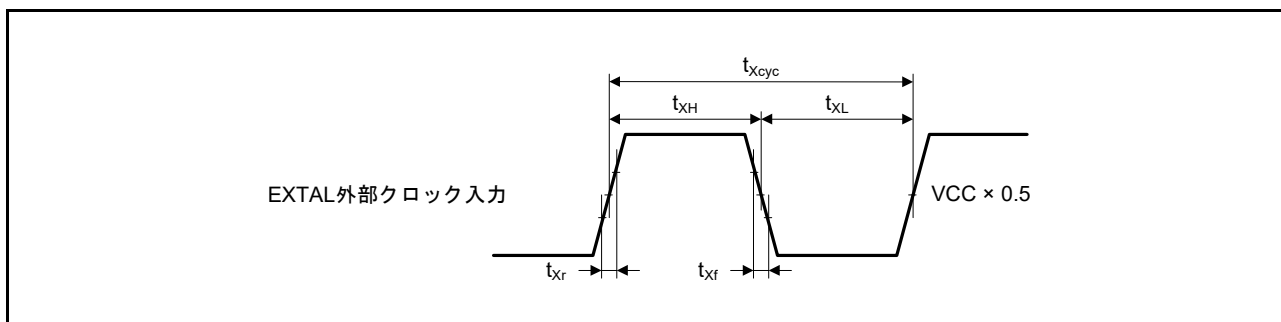


図 2.25 EXTAL 外部クロック入力タイミング

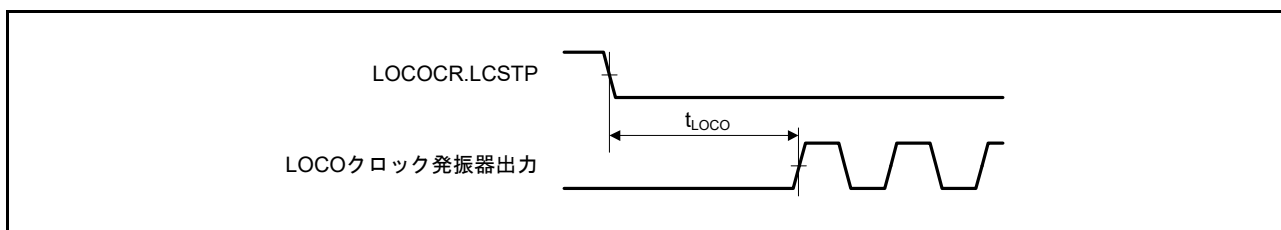


図 2.26 LOCO クロック発振開始タイミング

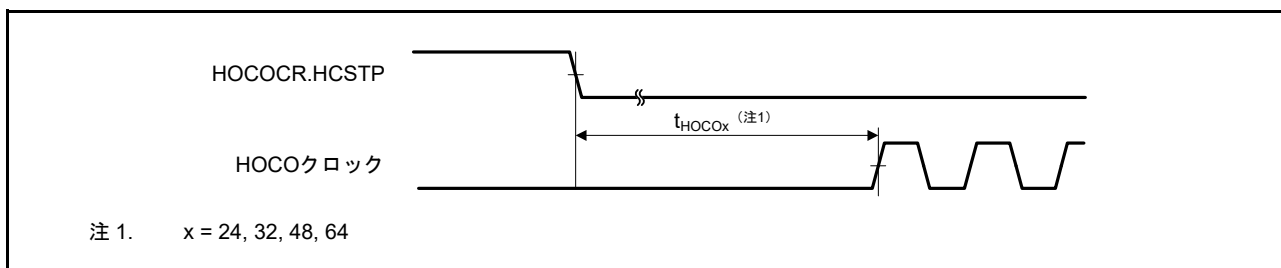


図 2.27 HOCO クロック発振開始タイミング (HOCOCCR.HCSTP ビット設定による開始)

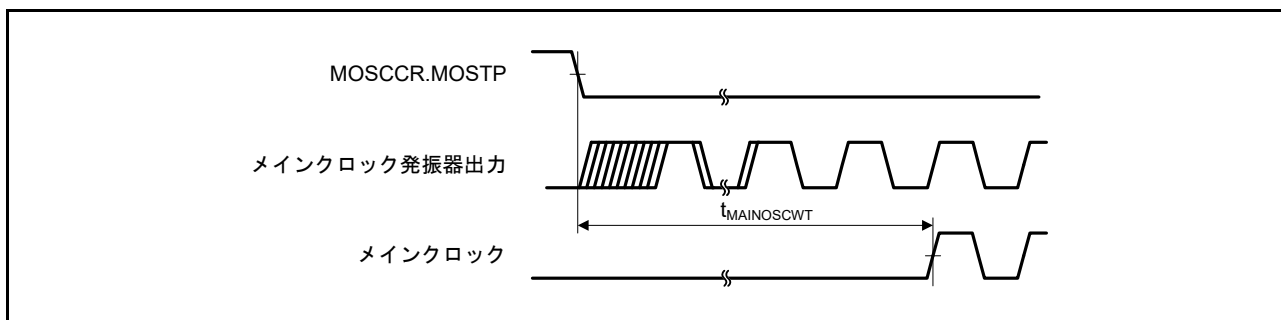


図 2.28 メインクロック発振開始タイミング

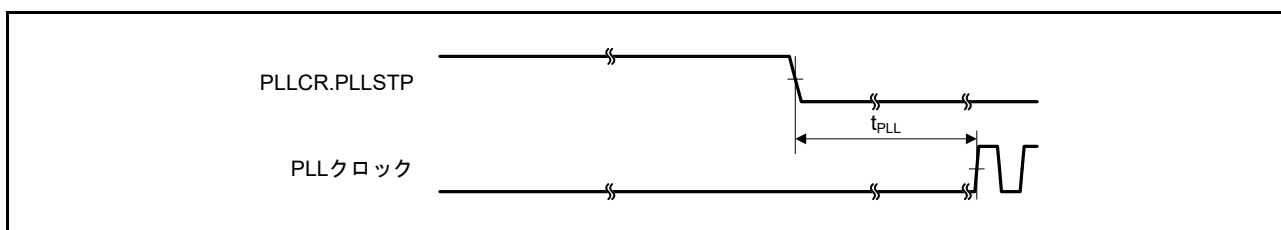


図 2.29 PLL クロック発振開始タイミング (メインクロックの発振安定後に PLL を動作させたとき)

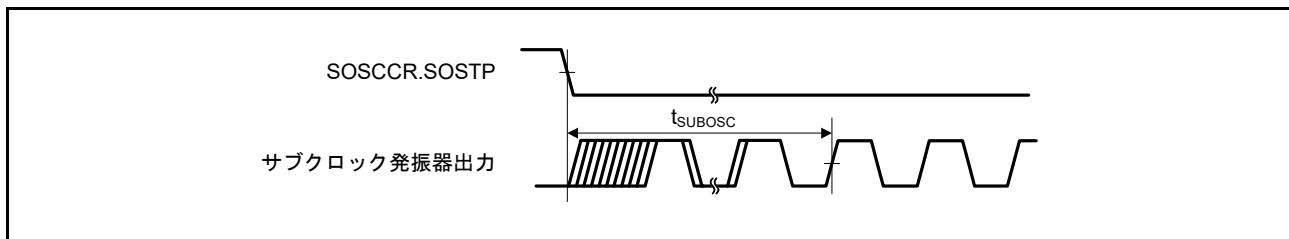


図 2.30 サブクロック発振開始タイミング

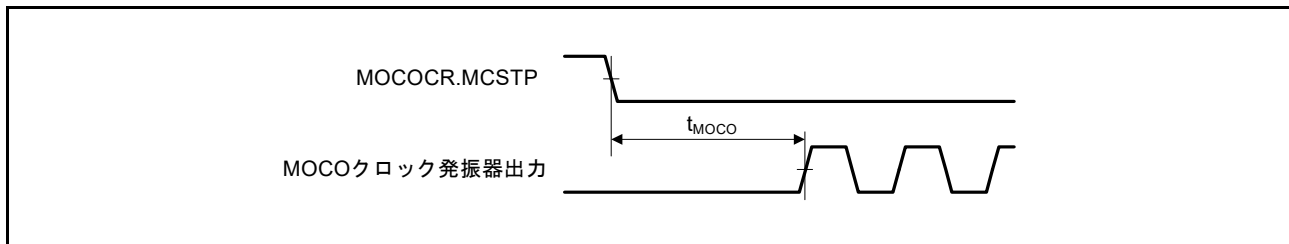


図 2.31 MOCO クロック発振開始タイミング

2.3.3 リセットタイミング

表 2.23 リセットタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
RESパルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図 2.32
	上記以外	t_{RESW}	30	—	—	μ s	図 2.33
RES解除後の待機時間 (電源投入時)	LVD0: 有効 (注1)	t_{RESWT}	—	0.7	—	ms	図 2.32
	LVD0: 無効 (注2)		—	0.3	—		
RES解除後の待機時間 (電源投入中)	LVD0: 有効 (注1)	t_{RESWT2}	—	0.5	—	ms	図 2.33
	LVD0: 無効 (注2)		—	0.05	—		
内部リセット解除時間 (ウォッチドッグ タイマリセット、SRAMパリティエラー リセット、SRAM ECCエラーリセット、 バスマスタMPUエラーリセット、バスマ スレーブMPUエラーリセット、スタックポ インタエラーリセット、ソフトウェアリ セット)	LVD0: 有効 (注1)	t_{RESWT3}	—	0.6	—	ms	—
	LVD0: 無効 (注2)		—	0.15	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

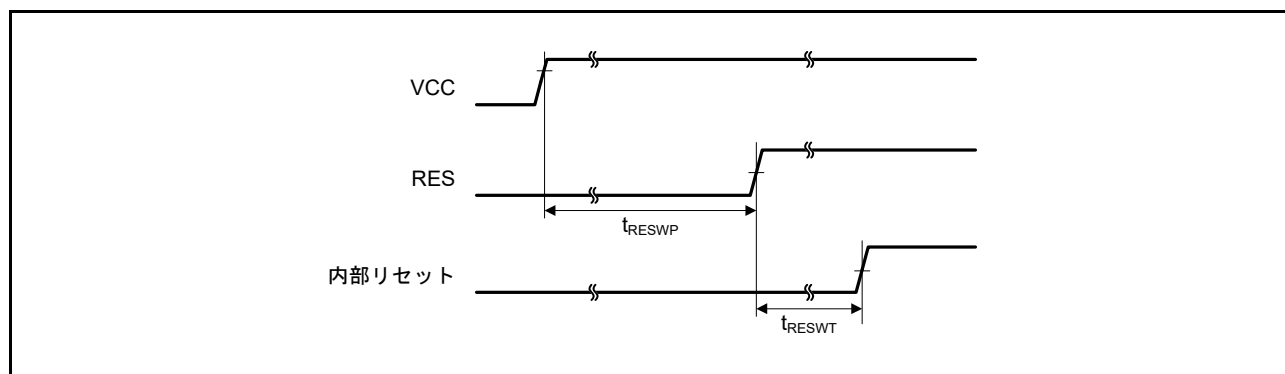


図 2.32 電源投入時リセット入力タイミング

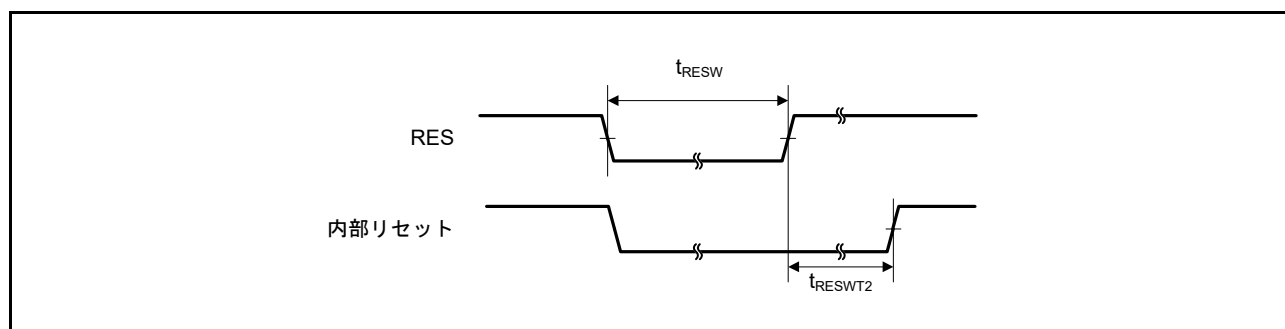


図 2.33 リセット入力タイミング

2.3.4 ウェイクアップ時間

表 2.24 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからの復帰時間 (注1)	High-speedモード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 2.34	
			システムクロックソースはメインクロック発振器を使用したPLL (48MHz) (注2)	t_{SBYPC}	—	2	3	ms		
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20MHz) (注3)	t_{SBYEX}	—	14	25	μ s		
			システムクロックソースはメインクロック発振器を使用したPLL (48MHz) (注3)	t_{SBYPE}	—	53	76	μ s		
		システムクロックソースはHOCO (注4) (HOCOクロックは32MHz)			t_{SBYHO}	—	43	52		μ s
		システムクロックソースはHOCO (注4) (HOCOクロックは48MHz)			t_{SBYHO}	—	44	52		μ s
		システムクロックソースはHOCO (注5) (HOCOクロックは64MHz)			t_{SBYHO}	—	82	110		μ s
		システムクロックソースはMOCO			t_{SBYMO}	—	16	25		μ s

- 注 1. ICK、FCK、PCKx の分周比は 1 です。復帰時間は、システムクロックソースにより決定されます。
- 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
- 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。
- 注 4. HOCO クロックウェイトコントロールレジスタ (HOCOWTCR) の設定値は 05h です。
- 注 5. HOCO クロックウェイトコントロールレジスタ (HOCOWTCR) の設定値は 06h です。

表 2.25 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (12MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 2.34
			システムクロックソースはメインクロック発振器を使用したPLL (12MHz) (注2)	t_{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (12MHz) (注3)	t_{SBYEX}	—	2.9	10	μ s		
		システムクロックソースはメインクロック発振器を使用したPLL (12MHz) (注3)	t_{SBYPE}	—	49	76	μ s		
	システムクロックソースはHOCO (24MHz)			t_{SBYHO}	—	38	50	μ s	
	システムクロックソースはMOCO			t_{SBYMO}	—	3.5	5.5	μ s	

注 1. ICK、FCK、PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 2.26 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (1MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 2.34
			システムクロックソースはメインクロック発振器 (1MHz) (注3)	t_{SBYEX}	—	28	50	μ s	
		システムクロックソースはMOCO			t_{SBYMO}	—	25	35	

注 1. ICK、FCK、PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 2.27 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-voltage モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (4MHz) (注2)	t_{SBYMC}	—	2	3	ms	図 2.34
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (4MHz) (注3)	t_{SBYEX}	—	108	130	μ s	
		システムクロックソースはHOCO		t_{SBYHO}	—	108	130	μ s	

- 注 1. ICK、FCK、PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されま
す。複数の発振器が起動している場合、復帰時間は以下の式で決定できます。
- 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
- 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 2.28 低消費電力モードからの復帰タイミング (5)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768kHz)	t_{SBYSC}	—	0.85	1	ms	図 2.34
		システムクロックソースは LOCO (32.768kHz)	t_{SBYLO}	—	0.85	1.2	ms	

- 注 1. Subosc-speed モード時のソフトウェアスタンバイモードでは、サブクロック発振器または LOCO 自体は発振を継続します。

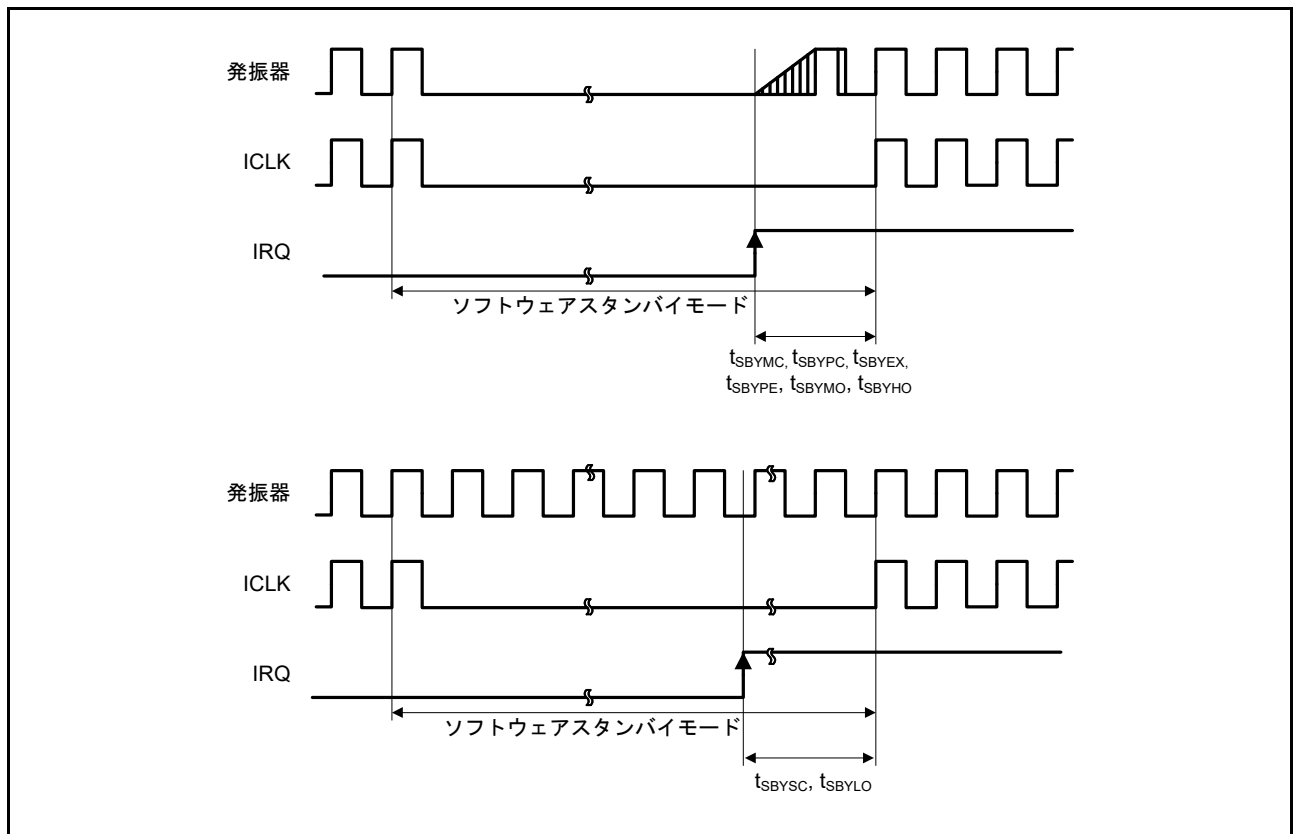


図 2.34 ソフトウェアスタンバイモード解除タイミング

表 2.29 低消費電力モードからの復帰タイミング (6)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speedモード システムクロックソースは HOCO	t_{SNZ}	—	36	45	μs	図 2.35
	Middle-speedモード システムクロックソースは MOCO	t_{SNZ}	—	1.3	3.6	μs	
	Low-speedモード システムクロックソースは MOCO	t_{SNZ}	—	10	13	μs	
	Low-voltageモード システムクロックソースは HOCO	t_{SNZ}	—	87	110	μs	

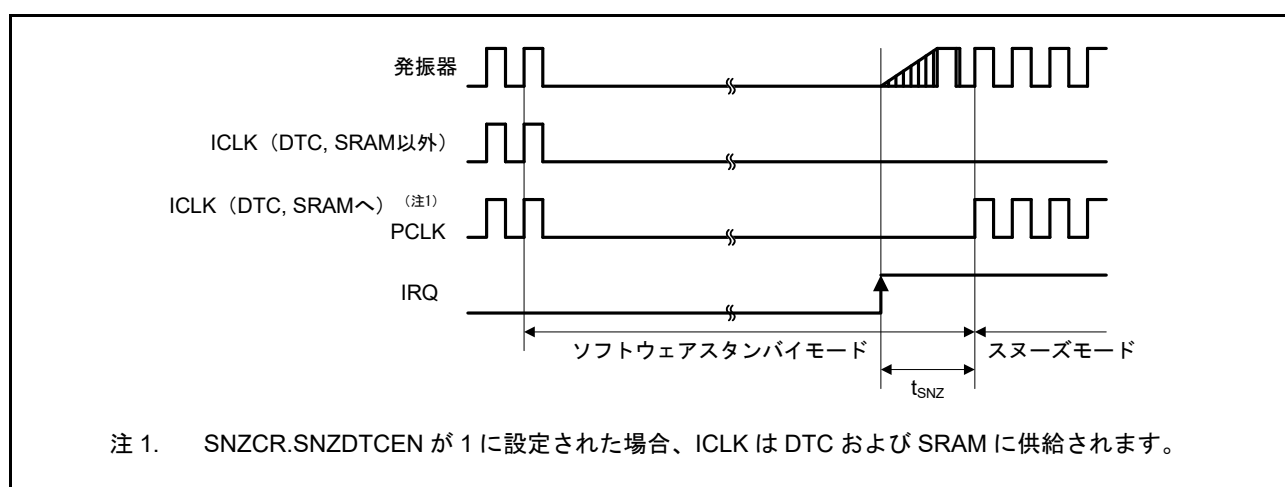


図 2.35 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.30 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注. クロックソース切り替え時、切り替えられたソースの 4 クロックサイクルを追加します。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を意味します (i = 0 ~ 12, 14, 15)。

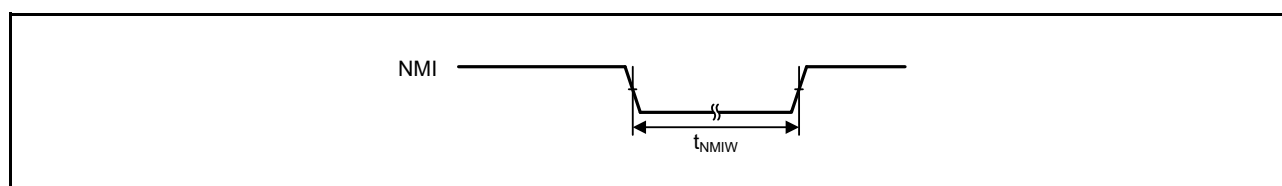


図 2.36 NMI 割り込み入力タイミング

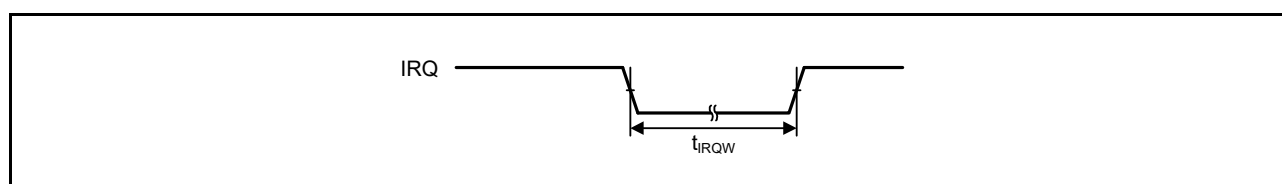


図 2.37 IRQ 割り込み入力タイミング

2.3.6 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

表 2.31 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件		
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図 2.38		
	入出力データサイクル (P002、P003、P004、P007)	t_{POcyc}	10	—	μs			
POEG	POEG入カトリガパルス幅	t_{POEW}	3	—	t_{Pcyc}	図 2.39		
GPT	インプットキャプチャパルス幅	単エッジ	1.5	—	t_{PDcyc}	図 2.40		
		両エッジ	2.5	—				
AGT	AGTIO、AGTEE入力サイクル	$2.7V \leq VCC \leq 5.5V$	t_{ACYC} (注1)	250	—	ns	図 2.41	
		$2.4V \leq VCC < 2.7V$		500	—	ns		
		$1.8V \leq VCC < 2.4V$		1000	—	ns		
		$1.6V \leq VCC < 1.8V$		2000	—	ns		
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅	$2.7V \leq VCC \leq 5.5V$	t_{ACKWH} t_{ACKWL}	100	—	ns		
		$2.4V \leq VCC < 2.7V$		200	—	ns		
		$1.8V \leq VCC < 2.4V$		400	—	ns		
		$1.6V \leq VCC < 1.8V$		800	—	ns		
	AGTIO、AGTO、AGTOA、AGTOB出力周期	$2.7V \leq VCC \leq 5.5V$	t_{ACYC2}	62.5	—	ns		図 2.41
		$2.4V \leq VCC < 2.7V$		125	—	ns		
		$1.8V \leq VCC < 2.4V$		250	—	ns		
		$1.6V \leq VCC < 1.8V$		500	—	ns		
ADC14	14ビットA/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 2.42		
KINT	KRn (n = 00~07) パルス幅	t_{KR}	250	—	ns	図 2.43		

注. t_{Pcyc} : PCLKB サイクル、 t_{PDcyc} : PCLKD サイクル

注 1. 入力サイクルの制約事項:
 ソースクロックを切り替えない場合は、 $t_{Pcyc} \times 2 < t_{ACYC}$ としてください。
 ソースクロックを切り替える場合は、 $t_{Pcyc} \times 6 < t_{ACYC}$ としてください。

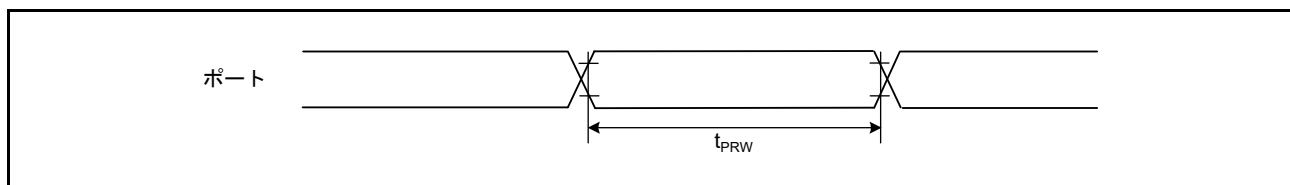


図 2.38 I/Oポート入力タイミング

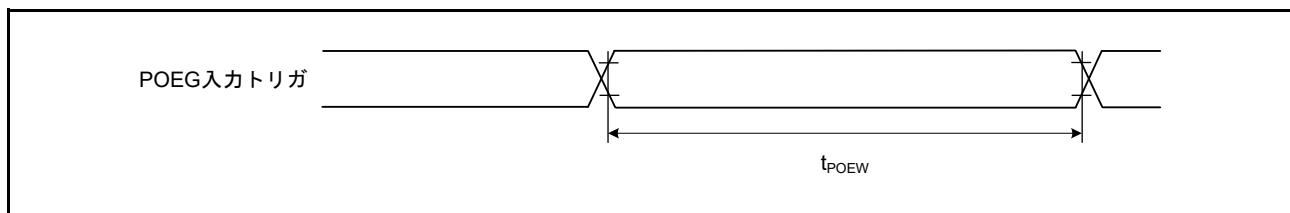


図 2.39 POEG 入カトリガタイミング

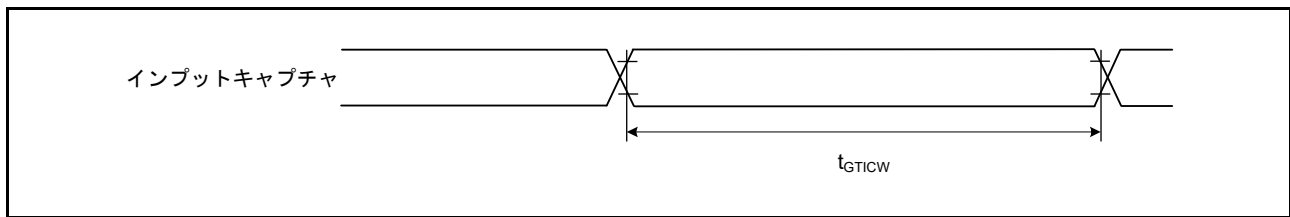


図 2.40 GPT インプットキャプチャタイミング

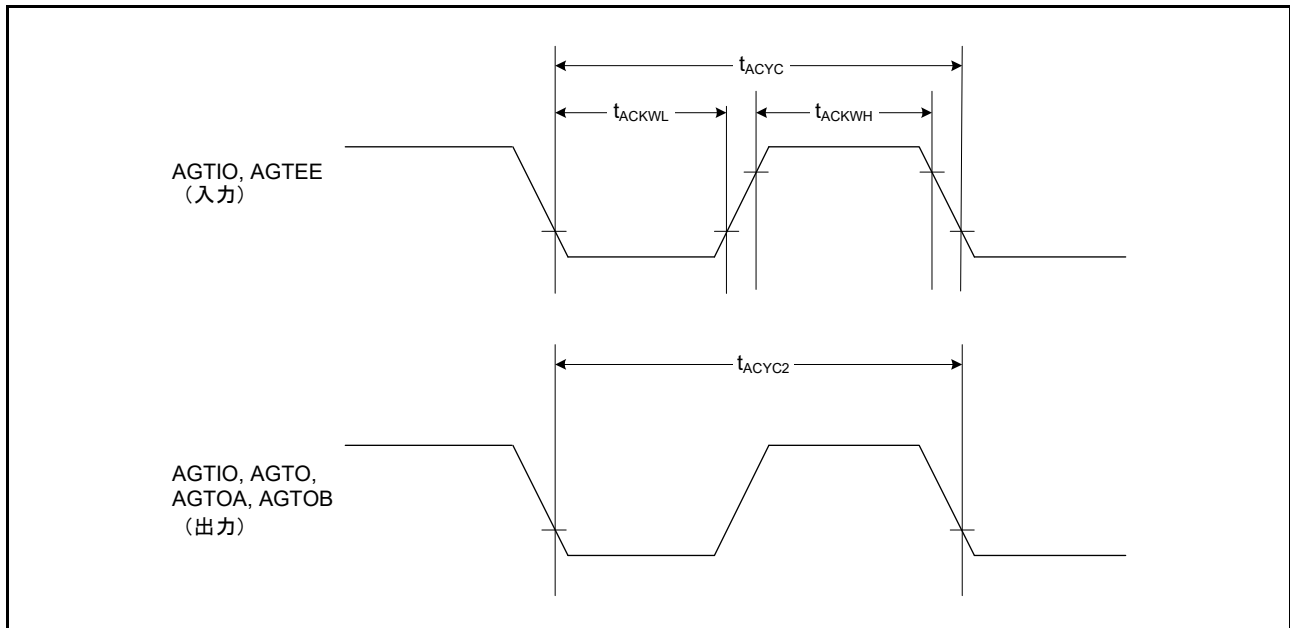


図 2.41 AGT 入出力タイミング

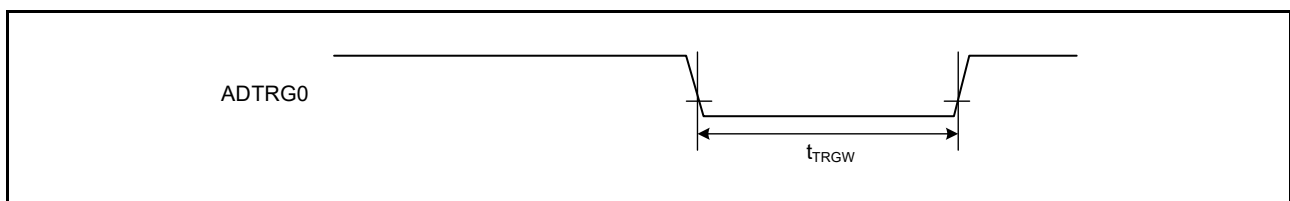


図 2.42 ADC14 トリガ入力タイミング

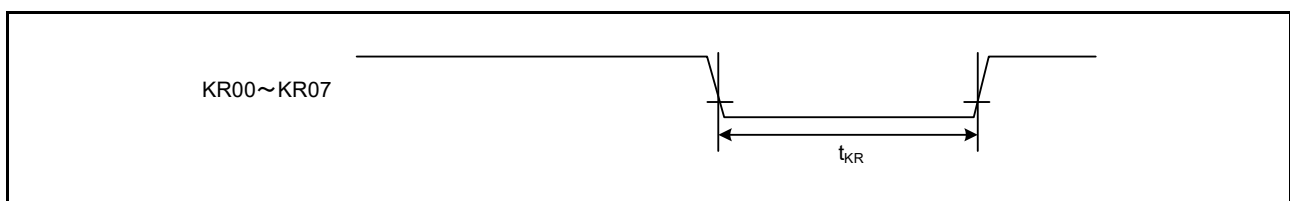


図 2.43 キー割り込み入力タイミング

2.3.7 CAC タイミング

表 2.32 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \text{ (注1)} \leq t_{cac} \text{ (注2)}$	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc} \text{ (注1)}$	—	—	ns
		$t_{PBcyc} \text{ (注1)} > t_{cac} \text{ (注2)}$		$5 \times t_{cac} + 6.5 \times t_{PBcyc} \text{ (注1)}$	—	—	ns

注 1. t_{PBcyc} : PCLKB の周期注 2. t_{cac} : CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.33 SCI タイミング (1)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SCI	入力クロックサイクル	調歩同期式	t_{Scyc}	4	—	t_{Pcyc}	図 2.44	
		クロック同期式		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期式	t_{Scyc}	6	—	t_{Pcyc}		
		クロック同期式		4	—			
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間	1.8V 以上	t_{SCKr}	—	20	ns		
		1.6V 以上		—	30			
	出力クロック立ち下がり時間	1.8V 以上	t_{SCKf}	—	20	ns		
		1.6V 以上		—	30			
	送信データ遅延時間 (マスタ)	クロック同期式	1.8V 以上	t_{TXD}	—	40		ns
			1.6V 以上		—	45		
送信データ遅延時間 (スレーブ)	クロック同期式	2.7V 以上	t_{RXS}	—	55	ns		
		2.4V 以上		—	60			
		1.8V 以上		—	100			
		1.6V 以上		—	125			
受信データセットアップ時間 (マスタ)	クロック同期式	2.7V 以上	t_{RXS}	45	—	ns		
		2.4V 以上		55	—			
		1.8V 以上		90	—			
		1.6V 以上		110	—			
受信データセットアップ時間 (スレーブ)	クロック同期式	2.7V 以上	t_{RXH}	40	—	ns		
		1.6V 以上		45	—			
受信データホールド時間 (マスタ)	クロック同期式	t_{RXH}	5	—	ns			
受信データホールド時間 (スレーブ)	クロック同期式	t_{RXH}	40	—	ns			

注 1. t_{Pcyc} : PCLKA の周期

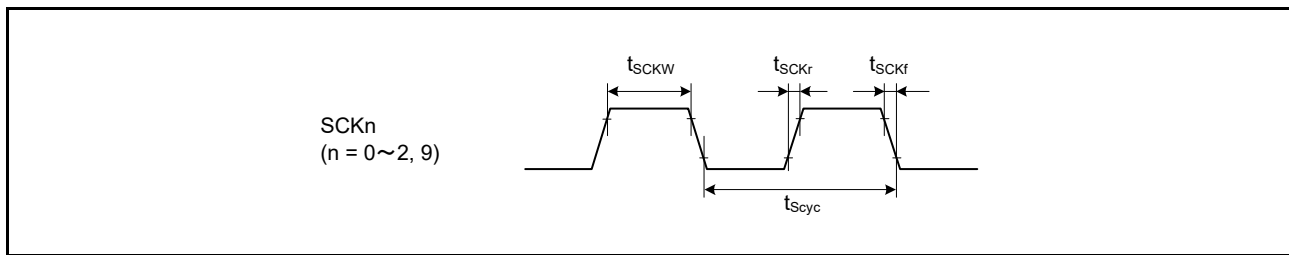


図 2.44 SCK クロック入力タイミング

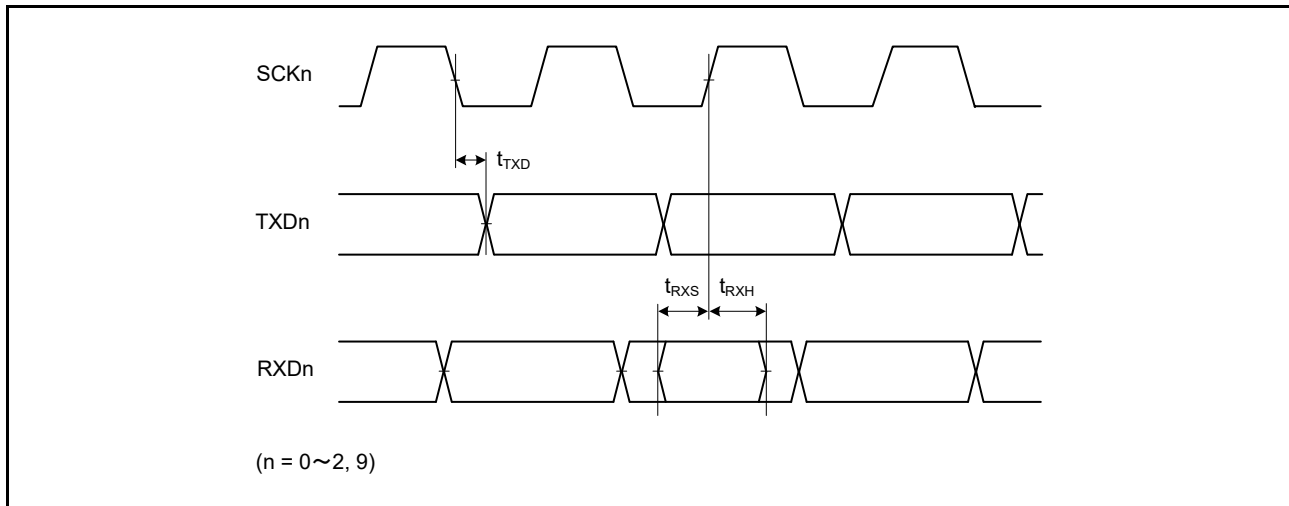


図 2.45 クロック同期式モードにおける SCI 入出力タイミング

表 2.34 SCI タイミング (2)

項目		シンボル	Min	Max	単位	測定条件		
簡易 SPI	SCK クロックサイクル出力 (マスタ)		t_{SPcyc}	4	65536	t_{Pcyc}	図 2.46	
	SCK クロックサイクル入力 (スレーブ)			6	65536			
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCK クロック立ち上がり/ 立ち下がり時間		1.8V 以上	t_{SPCKr}	—	20	ns	
			1.6V 以上	t_{SPCKf}	—	30		
	データ入力セット アップ時間	マスタ	2.7V 以上	t_{SU}	45	—	ns	図 2.47 ~ 図 2.50
			2.4V 以上		55	—		
			1.8V 以上		80	—		
			1.6V 以上		110	—		
		スレーブ	2.7V 以上		40	—		
			1.6V 以上		45	—		
	データ入力ホールド 時間	マスタ	t_H	33.3	—	ns		
		スレーブ		40	—			
SS 入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}			
SS 入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}			
データ出力遅延時間	マスタ	1.8V 以上	t_{OD}	—	40	ns		
		1.6V 以上		—	50			
	スレーブ	2.4V 以上		—	65			
		1.8V 以上		—	100			
		1.6V 以上		—	125			
データ出力ホールド 時間	マスタ	2.7V 以上	t_{OH}	-10	—	ns		
		2.4V 以上		-20	—			
		1.8V 以上		-30	—			
		1.6V 以上		-40	—			
	スレーブ			-10	—			
データ立ち上がり/ 立ち下がり時間	マスタ	1.8V 以上	t_{Dr}, t_{Df}	—	20	ns		
		1.6V 以上		—	30			
	スレーブ	1.8V 以上		—	20			
		1.6V 以上		—	30			
簡易 SPI	スレーブアクセス時間		t_{SA}	—	10(PCLKA > 32MHz), 6(PCLKA ≤ 32MHz)	t_{Pcyc}	図 2.49 および 図 2.50	
	スレーブ出力開放時間		t_{REL}	—	10(PCLKA > 32MHz), 6(PCLKA ≤ 32MHz)	t_{Pcyc}		

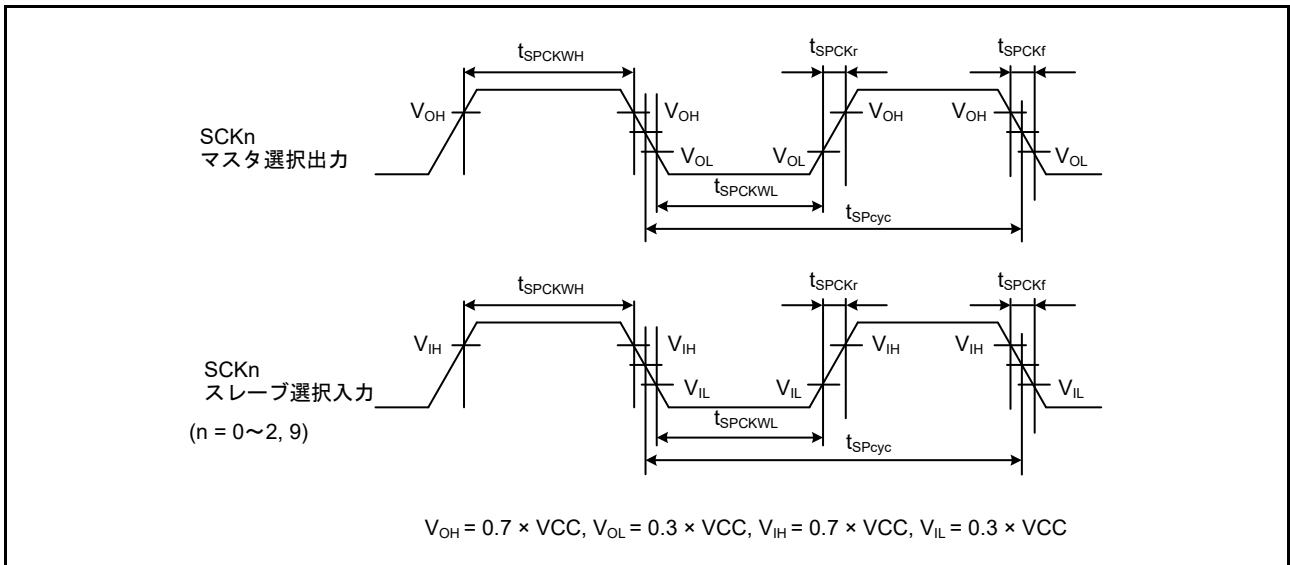


図 2.46 SCI 簡易 SPI モードクロックタイミング

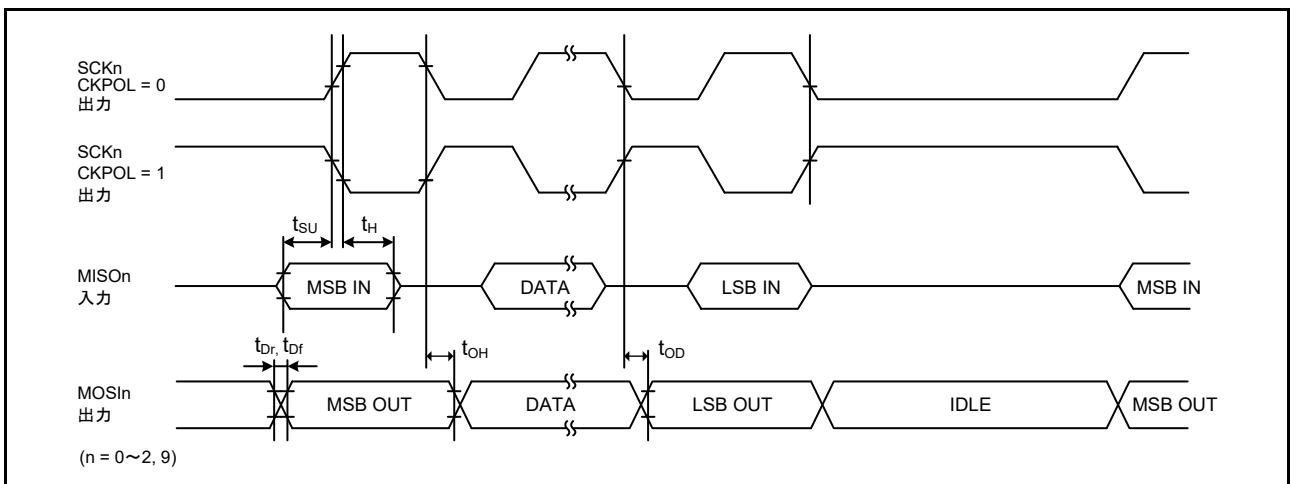


図 2.47 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

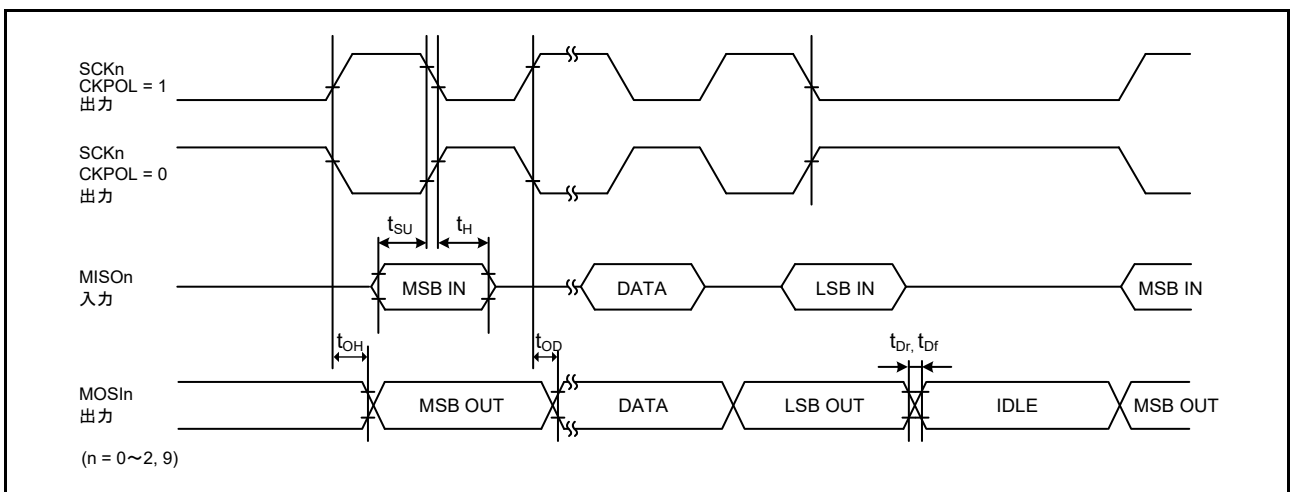


図 2.48 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

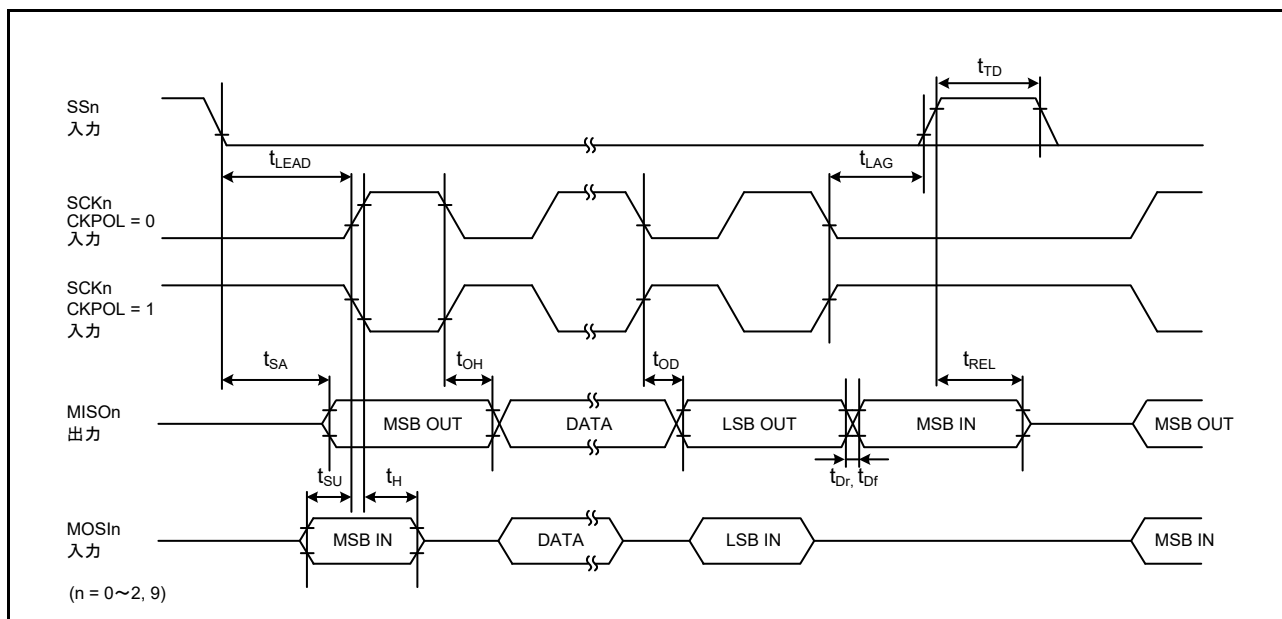


図 2.49 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

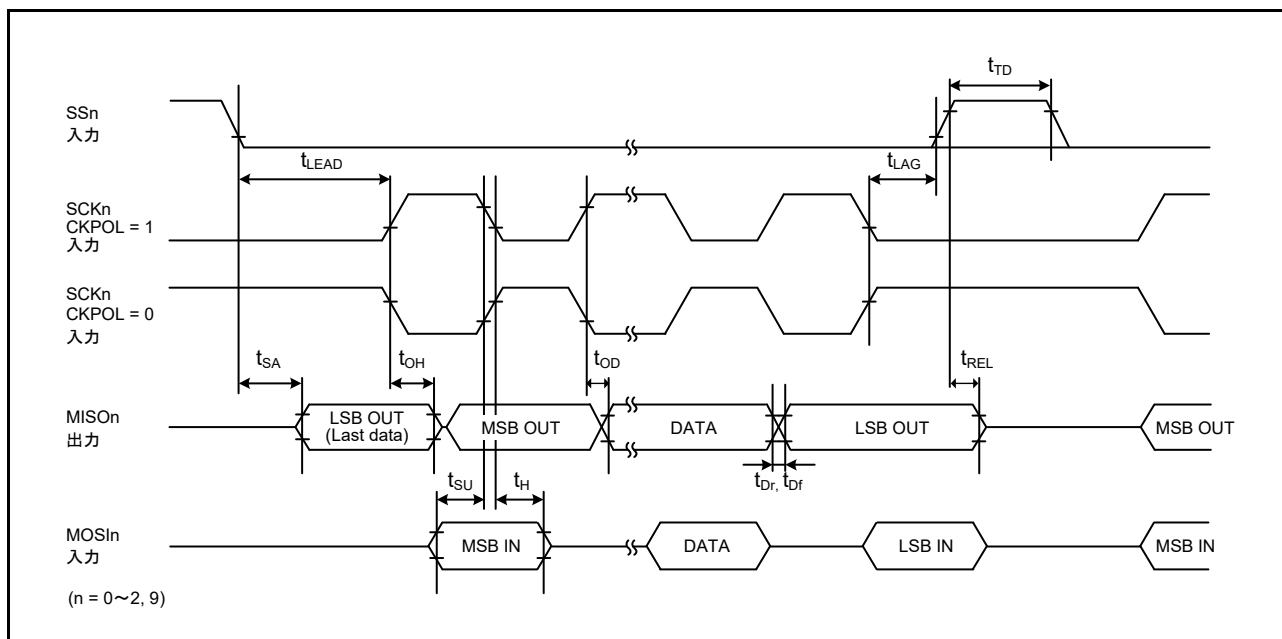


図 2.50 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 2.35 SCI タイミング (3)

条件 : VCC = 2.7 ~ 5.5V

項目	シンボル	Min	Max	単位	測定条件	
簡易 I ² C (標準モード)	SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.51
	SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b (注2)	—	400	pF	
簡易 I ² C (ファストモード)	SDA入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.51 P408以外の全ポートについては、中駆動の PmnPFS.DSCR を使用してください。 P408ポートについては、IICファストモード用の中駆動の PmnPFS.DSCR1/DSCR を使用してください。
	SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b (注1)	—	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0] ビットによって選択されたクロックの周期

注 2. C_b はバスラインの容量総計を意味します。

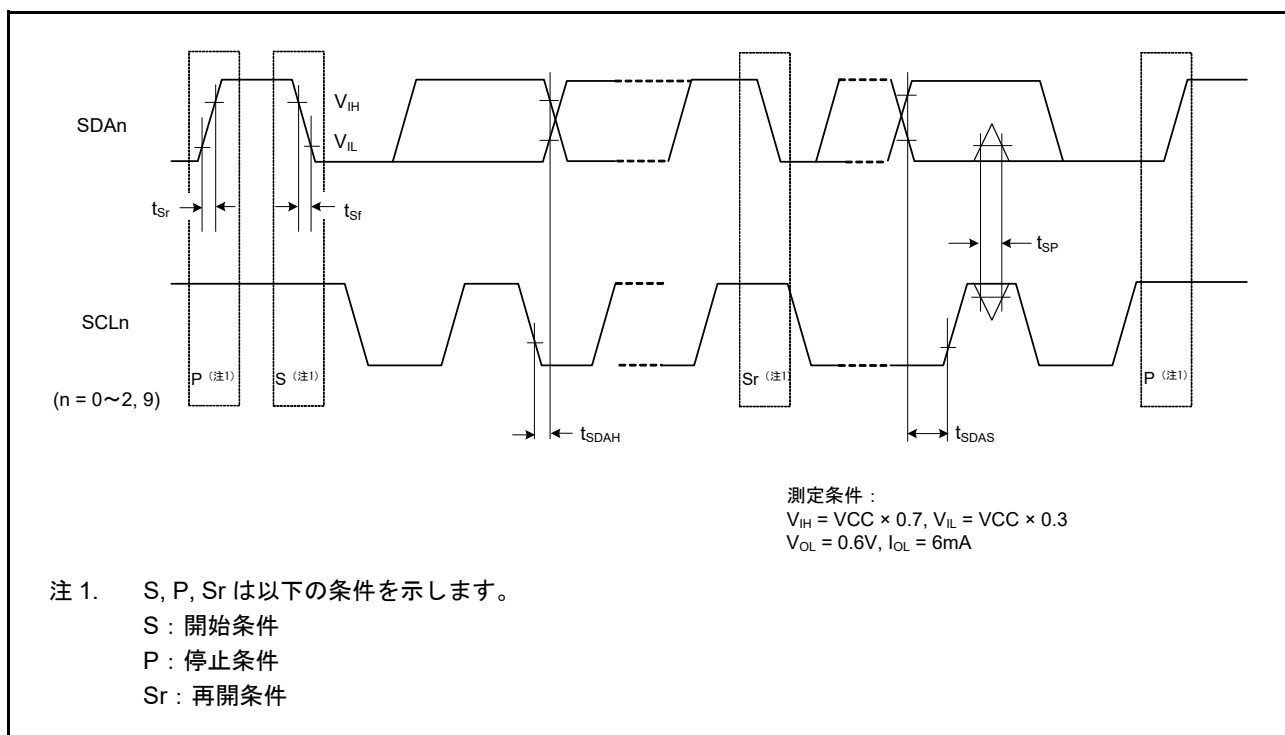


図 2.51 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.36 SPI タイミング (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	RSPCKクロックサイクル	マスタ	t_{SPCyc}	2 (注4)	4096	t_{PCyc}	図 2.52	
		スレーブ		6	4096			
	RSPCKクロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$3 \times t_{PCyc}$	—			
	RSPCKクロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ		$3 \times t_{PCyc}$	—			
	RSPCKクロック立ち上がり/立ち下がり時間	出力	2.7V 以上	t_{SPCKr}	—	10		ns
			2.4V 以上	t_{SPCKf}	—	15		
			1.8V 以上	—	—	20		
			1.6V 以上	—	—	30		
入力		—	—	—	1	μs		
データ入力セットアップ時間	マスタ	t_{SU}	10	—	ns	図 2.53 ~ 図 2.58		
	スレーブ		2.4V 以上	10			—	
			1.8V 以上	15			—	
			1.6V 以上	20			—	
データ入力ホールド時間	マスタ (RSPCKはPCLKA/2)	t_{HF}	0	—	ns			
	マスタ (RSPCKは上記以外)	t_H	t_{PCyc}	—				
	スレーブ	t_H	20	—				
SSLセットアップ時間	マスタ	1.8V 以上	t_{LEAD}	$-30 + N \times t_{SPCyc}$ (注2)	—	ns		
				$-50 + N \times t_{SPCyc}$ (注2)	—			
	スレーブ	$6 \times t_{PCyc}$	—					
SSLホールド時間	マスタ	t_{LAG}	$-30 + N \times t_{SPCyc}$ (注3)	—	—			
	スレーブ		$6 \times t_{PCyc}$	—				

表 2.36 SPI タイミング (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	データ出力遅延時間	マスタ	2.7V 以上	t_{OD}	—	14	ns	図 2.53 ~ 図 2.58
			2.4V 以上		—	20		
			1.8V 以上		—	25		
			1.6V 以上		—	30		
		スレーブ	2.7V 以上		—	50		
			2.4V 以上		—	60		
			1.8V 以上		—	85		
			1.6V 以上		—	110		
	データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
		スレーブ			0	—		
	連続転送遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ			$6 \times t_{Pcyc}$	-		
	MOSI、MISO 立ち上がり／立ち下がり時間	出力	2.7V 以上	t_{Dr}, t_{Df}	—	10	ns	
			2.4V 以上		—	15		
			1.8V 以上		—	20		
			1.6V 以上		—	30		
		入力			—	1		
	SSL 立ち上がり／立ち下がり時間	出力	2.7V 以上	t_{SSLr}, t_{SSLf}	—	10	ns	
			2.4V 以上		—	15		
			1.8V 以上		—	20		
1.6V 以上			—		30			
入力			—		1	μs		
スレーブアクセス時間		2.4V 以上	t_{SA}	—	$2 \times t_{Pcyc} + 100$	ns	図 2.57 およ び 図 2.58	
		1.8V 以上		—	$2 \times t_{Pcyc} + 140$			
		1.6V 以上		—	$2 \times t_{Pcyc} + 180$			
スレーブ出力開放時間		2.4V 以上	t_{REL}	—	$2 \times t_{Pcyc} + 100$	ns		
		1.8V 以上		—	$2 \times t_{Pcyc} + 140$			
		1.6V 以上		—	$2 \times t_{Pcyc} + 180$			

注 1. t_{Pcyc} : PCLKA の周期

注 2. N は SPCKD レジスタにより、1 ~ 8 の整数に設定されます。

注 3. N は SSLND レジスタにより、1 ~ 8 の整数に設定されます。

注 4. RSPCK の上限は 16MHz です。

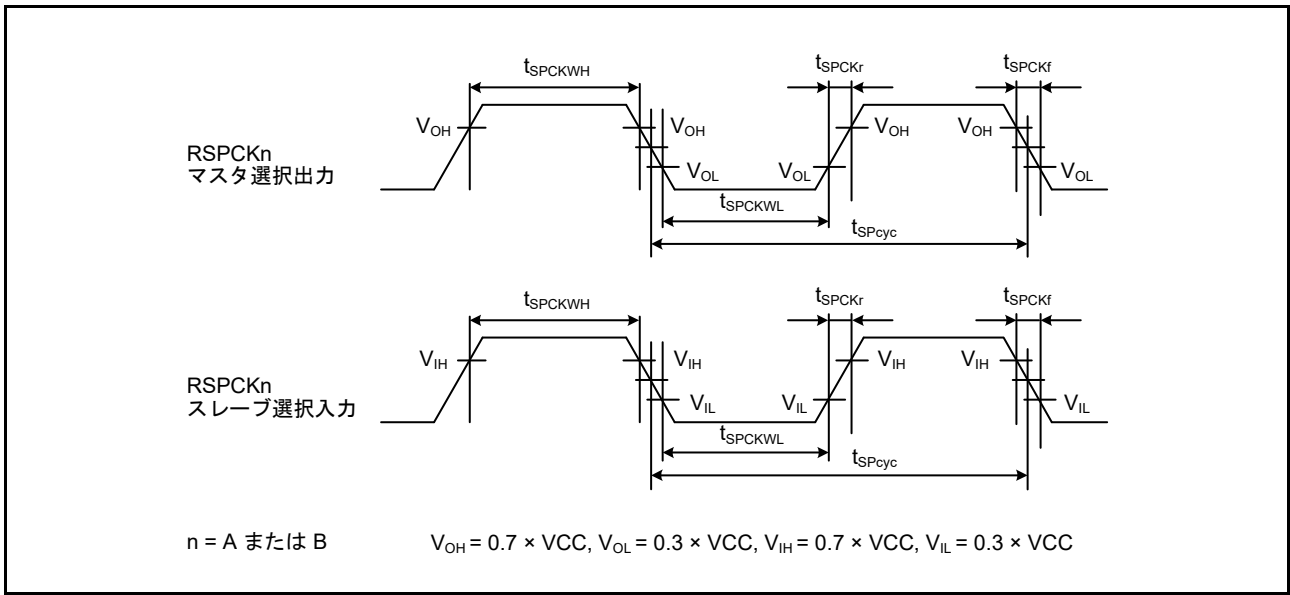


図 2.52 SPI クロックタイミング

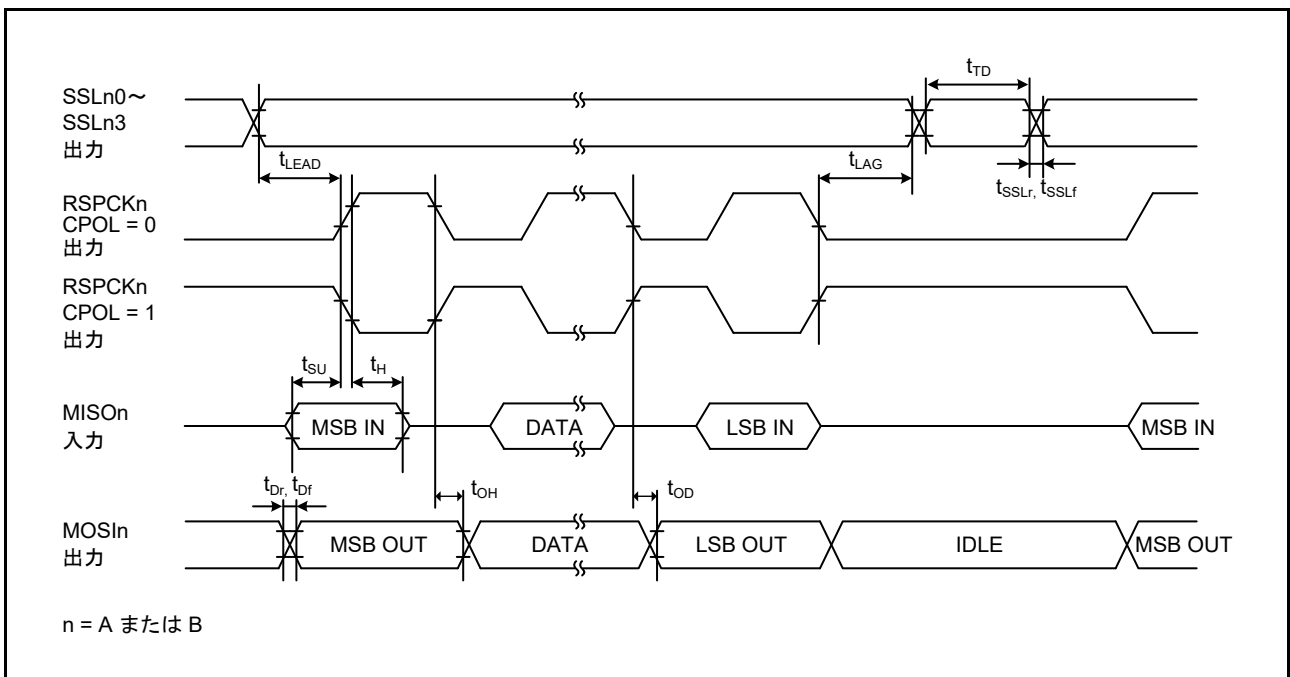


図 2.53 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

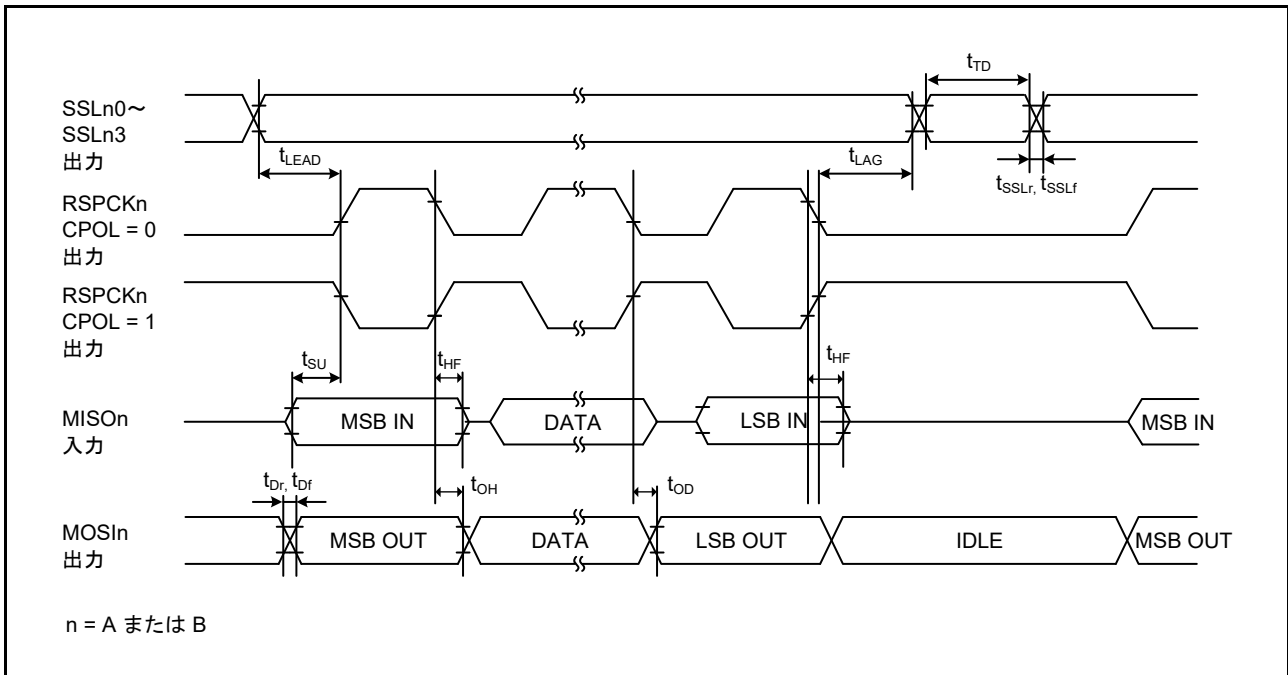


図 2.54 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

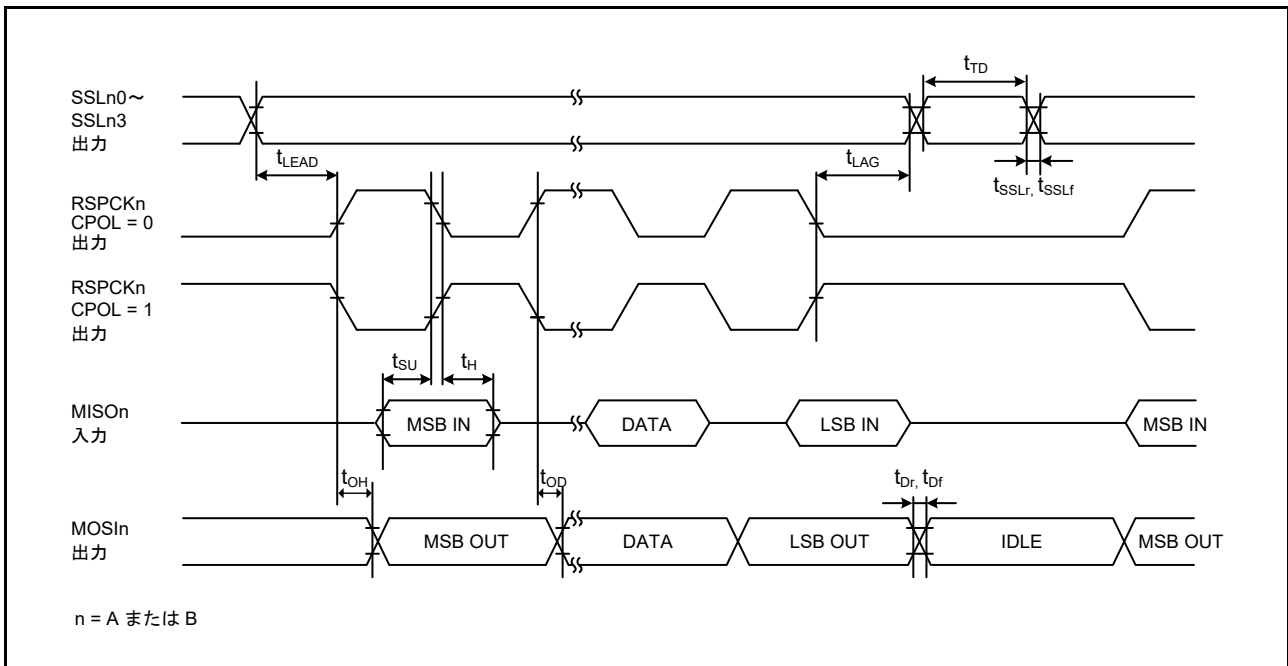


図 2.55 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

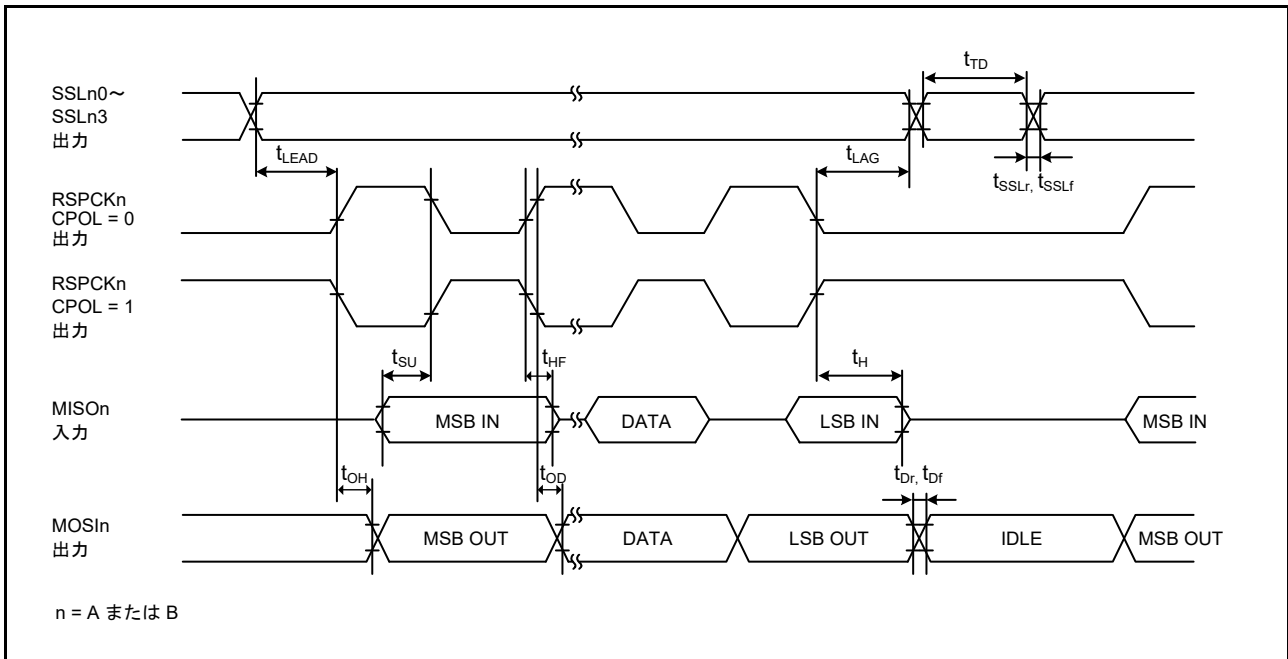


図 2.56 SPI タイミング (マスター、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

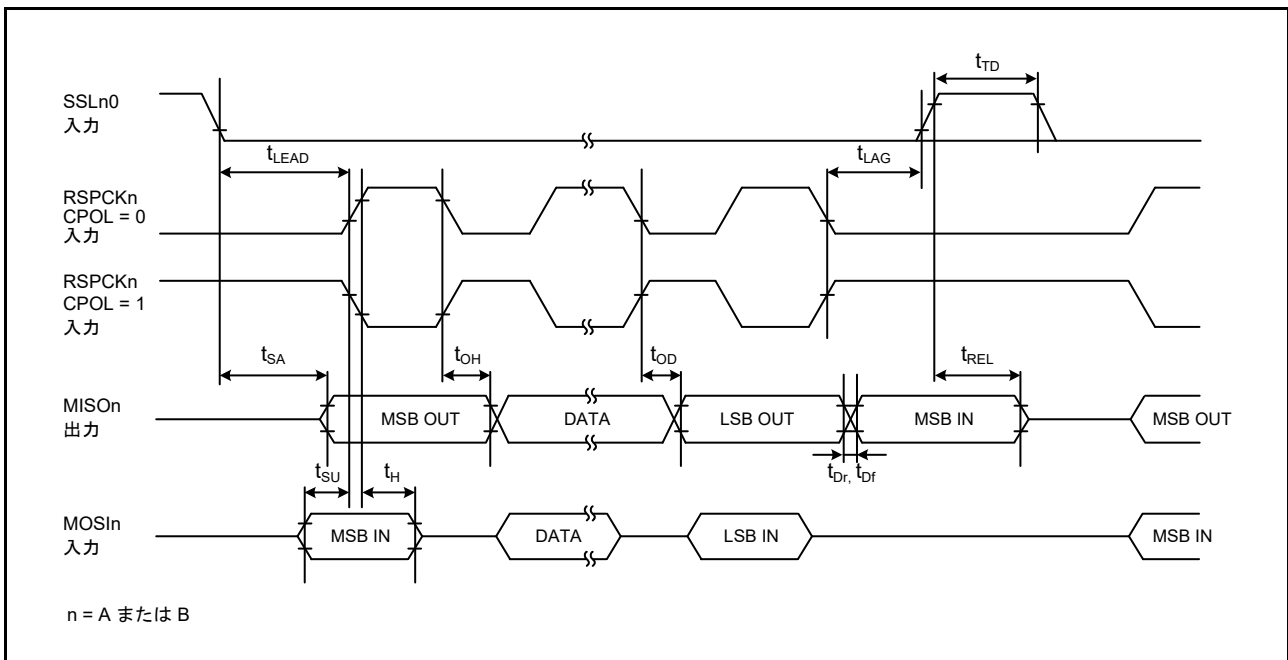


図 2.57 SPI タイミング (スレーブ、CPHA = 0)

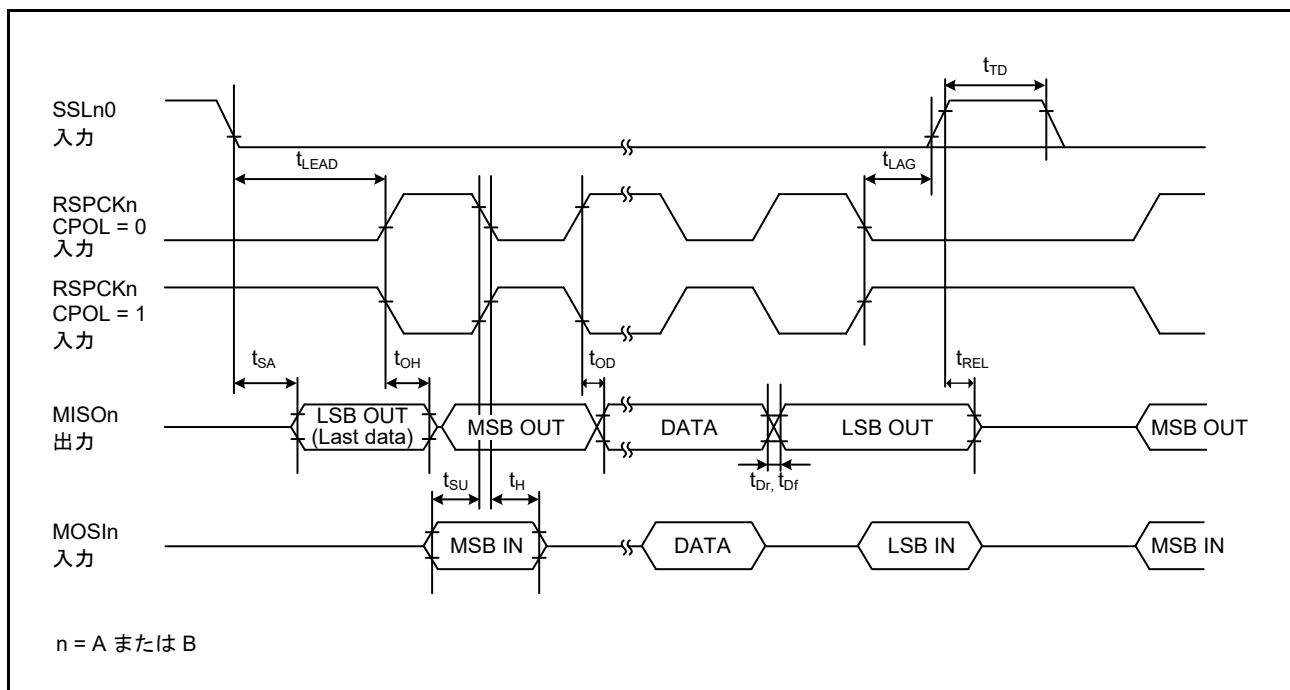


図 2.58 SPI タイミング (スレーブ、CPHA = 1)

2.3.10 IIC タイミング

表 2.37 IIC タイミング

条件 : VCC = 2.7 ~ 5.5V

項目		シンボル	Min (注1)	Max	単位	測定条件
IIC (標準モード、 SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 2.59
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送START条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	STOP条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b	—	400	pF	
IIC (ファストモード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図 2.59 P408以外の全ポートについては、中駆動のPmnPFS。DSCRを使用してください。P408ポートについては、IICファストモード用の中駆動のPmnPFS。DSCR1/DSCRを使用してください。
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送START条件入力セットアップ時間	t_{STAS}	300	—	ns	
	STOP条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの負荷容量	C_b	—	400	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると () 内の値が適用されます。

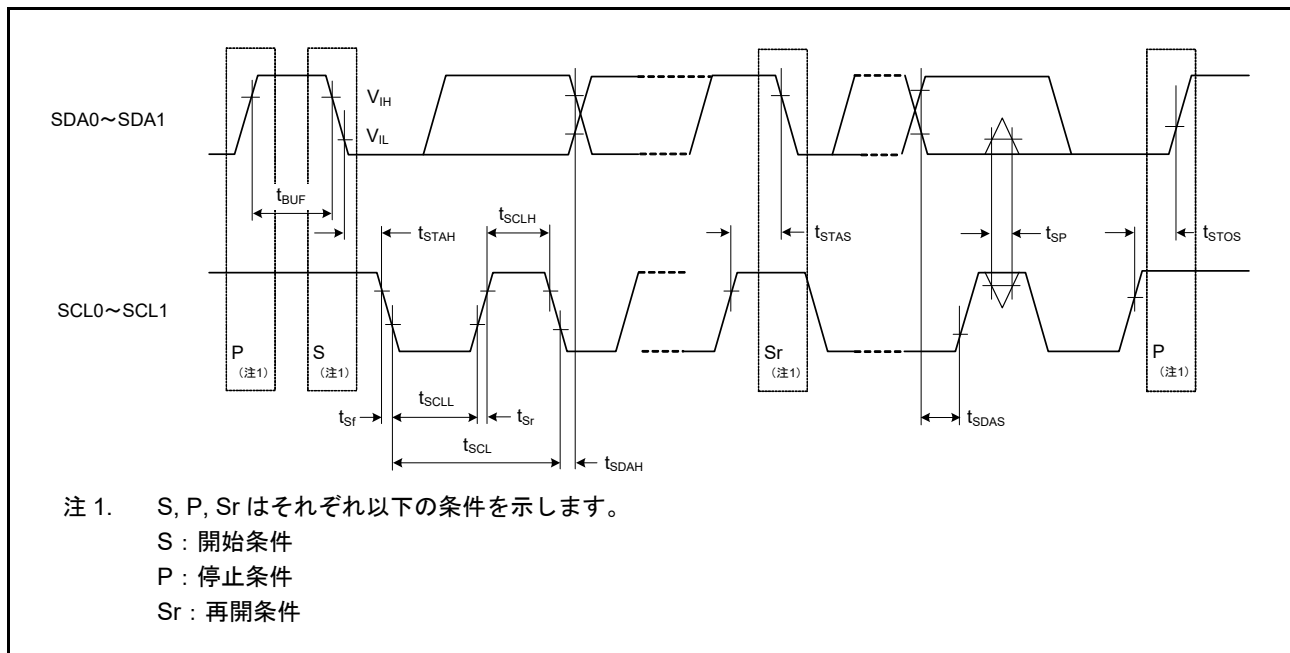


図 2.59 I2C バスインタフェース入出タイミング

2.3.11 SSIE タイミング

表 2.38 SSIE タイミング

条件 : VCC = 1.6 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件	
SSI	AUDIO_CLK入力周波数	2.7V以上	—	25	MHz	—	
		1.6V以上	—	4			
	出力クロック周期	t_O	250	—	ns	図 2.60	
	入力クロック周期	t_I	250	—	ns		
	クロック High レベルパルス幅	1.8V以上	t_{HC}	100	—		ns
		1.6V以上		200	—		
	クロック Low レベルパルス幅	1.8V以上	t_{LC}	100	—		ns
		1.6V以上		200	—		
	クロック立ち上がり時間	t_{RC}	—	25	ns		
	データ遅延時間	2.7V以上	t_{DTR}	—	65	ns	図 2.61、 図 2.62
1.8V以上		—		105			
1.6V以上		—		140			
セットアップ時間	2.7V以上	t_{SR}	65	—	ns		
	1.8V以上		90	—			
	1.6V以上		140	—			
ホールド時間	t_{HTR}	40	—	ns	図 2.63		
SSILRCK0/SSIFS0 変化時からの SSITXD0出力遅延	1.8V以上	T_{DTRW}	—	105		ns	
	1.6V以上		—	140			

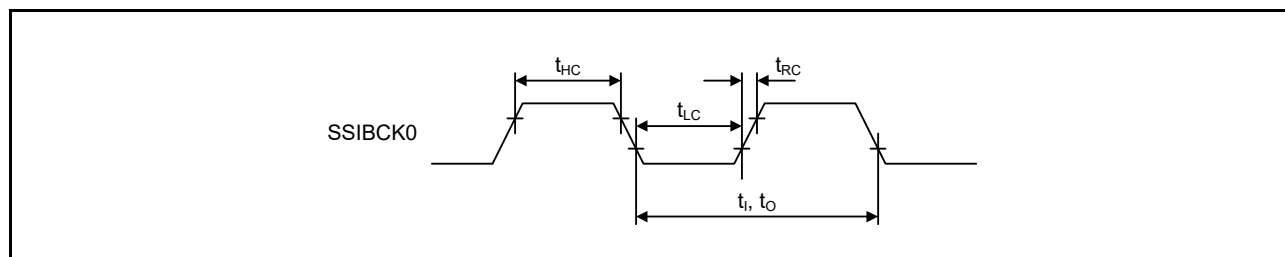


図 2.60 SSIE クロック入出力タイミング

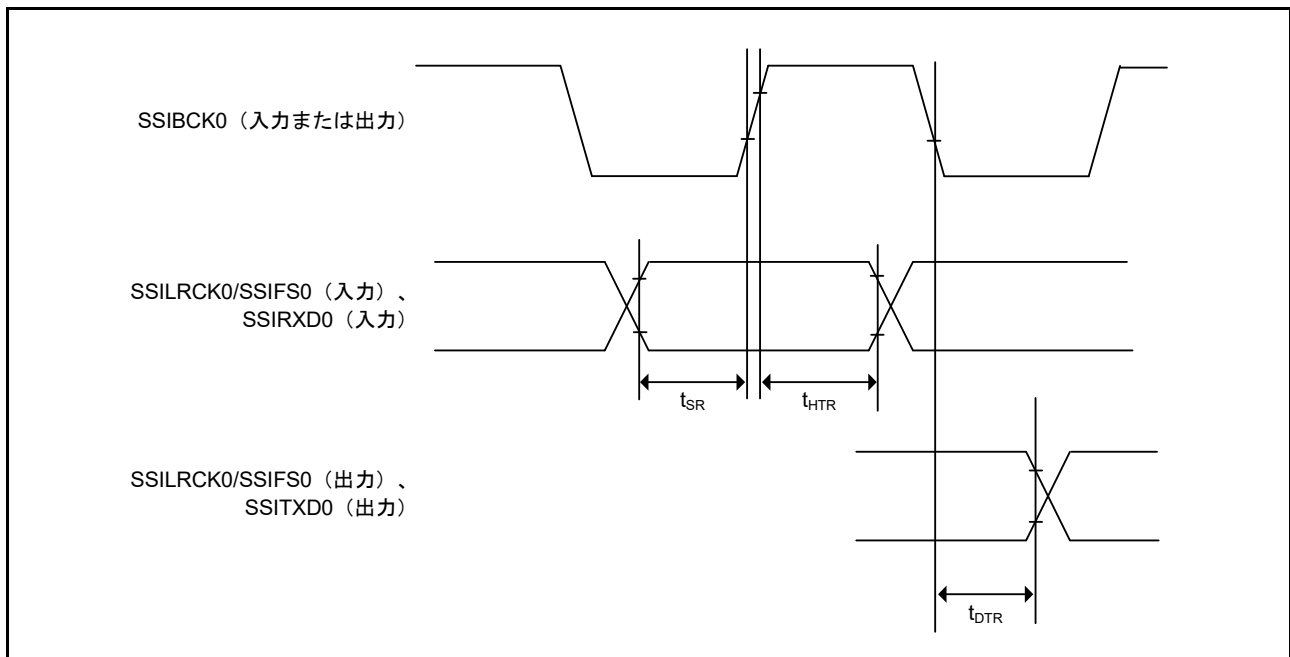


図 2.61 SSIE データ送受信タイミング (SSICR.BCKP = 0)

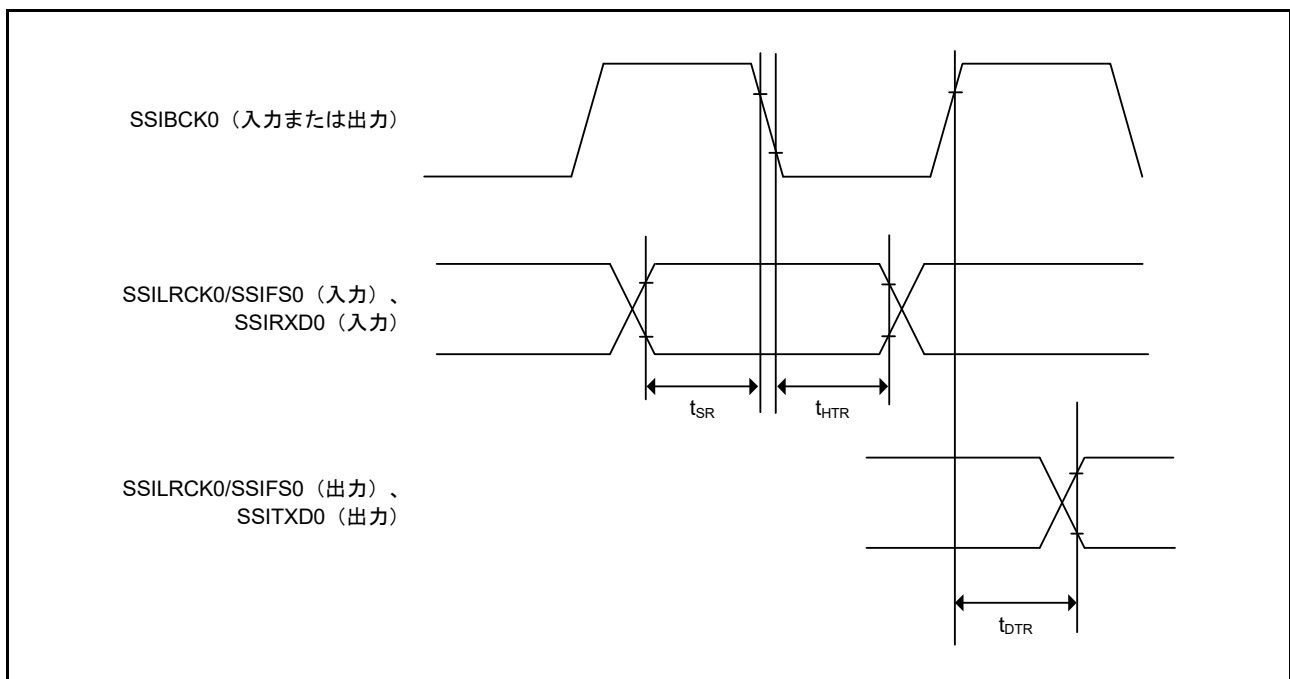


図 2.62 SSIE データ送受信タイミング (SSICR.BCKP = 1)

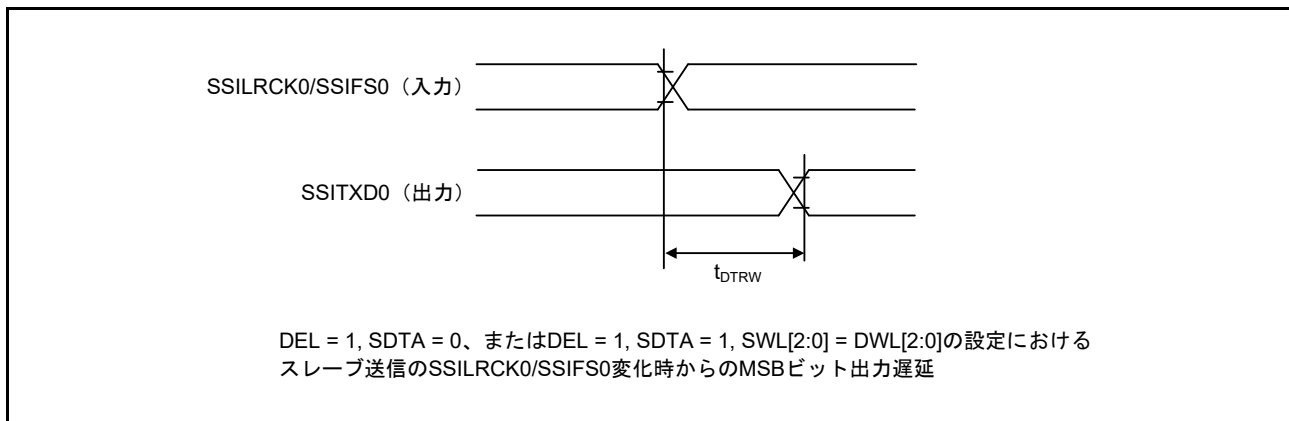


図 2.63 SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

2.3.12 CLKOUT タイミング

表 2.39 CLKOUT タイミング

項目		シンボル	Min	Max	単位 (注1)	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注1)	VCC = 2.7V 以上	t_{Cyc}	62.5	—	ns	図 2.64
		VCC = 1.8V 以上		125	—		
		VCC = 1.6V 以上		250	—		
	CLKOUT 端子 High レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CH}	15	—	ns	
		VCC = 1.8V 以上		30	—		
		VCC = 1.6V 以上		150	—		
	CLKOUT 端子 Low レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CL}	15	—	ns	
		VCC = 1.8V 以上		30	—		
		VCC = 1.6V 以上		150	—		
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	t_{Cr}	—	12	ns	
		VCC = 1.8V 以上		—	25		
		VCC = 1.6V 以上		—	50		
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	t_{Cr}	—	12	ns		
	VCC = 1.8V 以上		—	25			
	VCC = 1.6V 以上		—	50			

注 1. EXTAL 外部クロック入力または発振器を使用して 1 分周 (CKOCR.CKOSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT から出力する場合は、入力デューティサイクル 45 ~ 55% で上記を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSEL[2:0] ビットが 001b)、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビットを 001b) に設定してください。

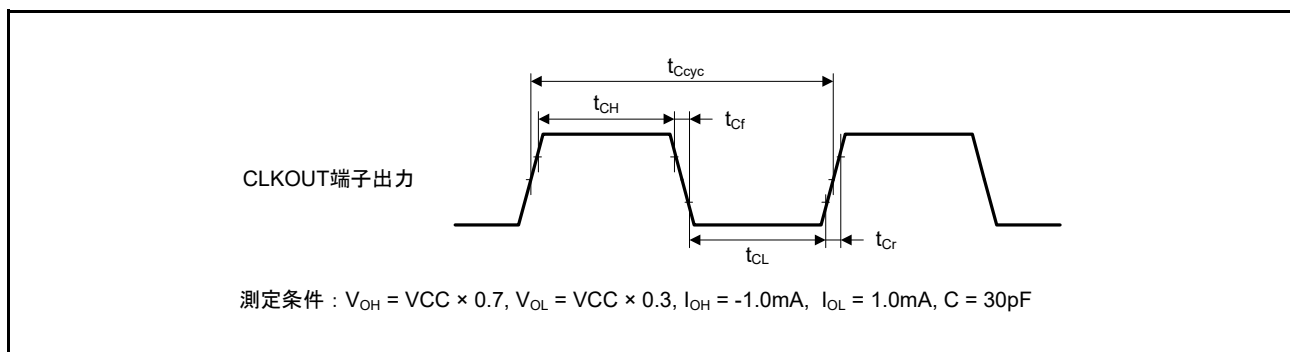


図 2.64 CLKOUT 出力タイミング

2.4 USB 特性

2.4.1 USBFS タイミング

表 2.40 USB 特性

条件 : $VCC = VCC_USB = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim +85^\circ C$ (USBCLKSEL = 1)、 $T_a = -40 \sim +105^\circ C$ (USBCLKSEL = 0)

項目	シンボル	Min	Max	単位	測定条件		
入力特性	入力Highレベル電圧	V_{IH}	2.0	—	V	—	
	入力Lowレベル電圧	V_{IL}	—	0.8	V	—	
	差動入力感度	V_{DI}	0.2	—	V	USB_DP - USB_DM	
	差動共通モードレンジ	V_{CM}	0.8	2.5	V	—	
出力特性	出力Highレベル電圧	V_{OH}	2.8	VCC_USB	V	$I_{OH} = -200\mu A$	
	出力Lowレベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図 2.65、 図 2.66、 図 2.67	
	立ち上がり時間	FS	t_r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t_f	4	20		ns
		LS		75	300		
	立ち上がり/立ち下がり時間比	FS	t_r/t_f	90	111.11		%
LS			80	125			
出力抵抗	Z_{DRV}	28	44	Ω	(外部素子の抵抗値調整は不要)		
VBUS特性	VBUS入力電圧	V_{IH}	$VCC \times 0.8$	—	V	—	
		V_{IL}	—	$VCC \times 0.2$	V	—	
プルアップ、プルダウン	プルダウン抵抗	R_{PD}	14.25	24.80	k Ω	—	
	プルアップ抵抗	R_{PUI}	0.9	1.575	k Ω	アイドル状態の間	
		R_{PUA}	1.425	3.09	k Ω	受信時	
バッテリーチャージング規格 Ver 1.2	D+シンク電流	I_{DP_SINK}	25	175	μA	—	
	D-シンク電流	I_{DM_SINK}	25	175	μA	—	
	DCDソース電流	I_{DP_SRC}	7	13	μA	—	
	データ検出電圧	V_{DAT_REF}	0.25	0.4	V	—	
	D+ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250 μA	
	D-ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250 μA	

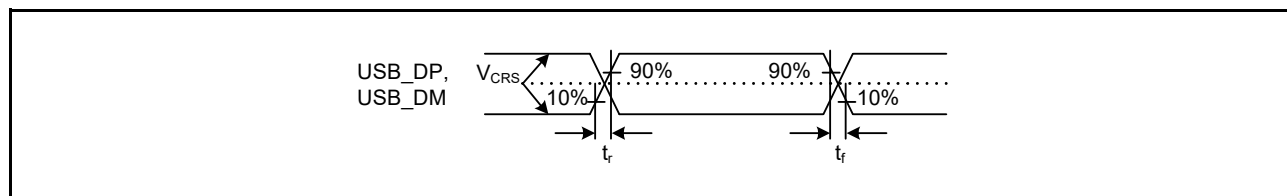


図 2.65 USB_DP および USB_DM 出力タイミング

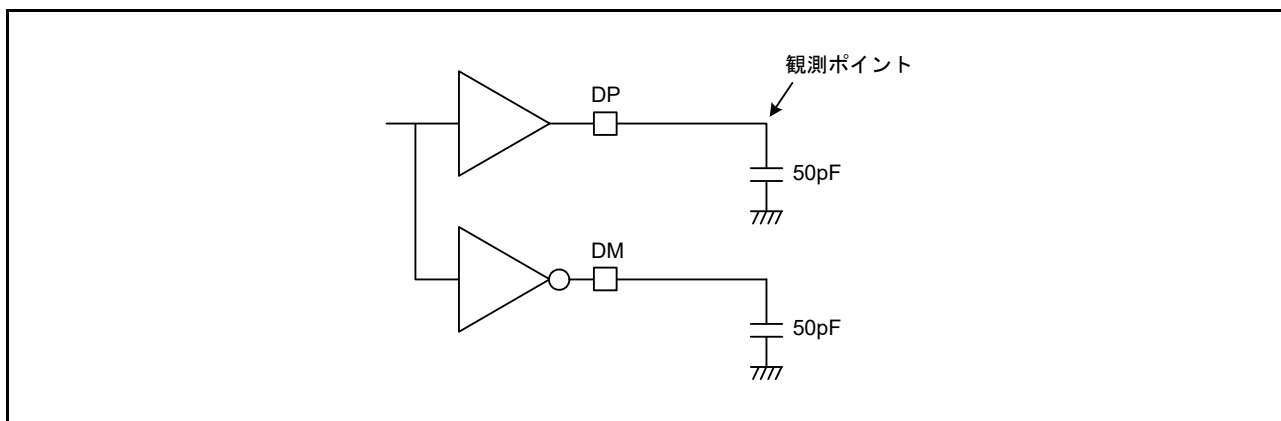


図 2.66 フルスピード (FS) 接続の測定回路

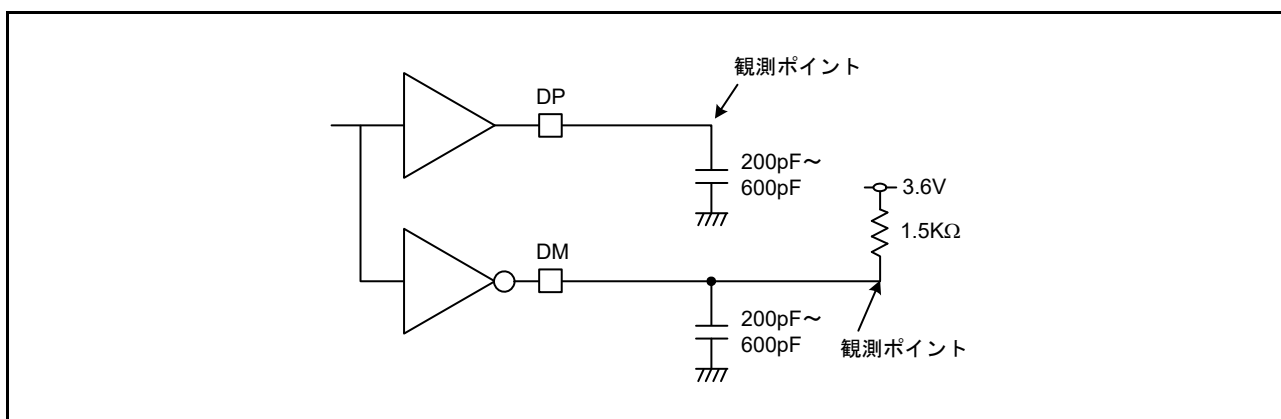


図 2.67 ロースピード (LS) 接続の測定回路

2.4.2 USB 外部供給

表 2.41 USBレギュレータ

項目		Min	Typ	Max	単位	測定条件
VCC_USB 供給電流	VCC_USB_LDO ≥ 3.8V	—	—	50	mA	—
	VCC_USB_LDO ≥ 4.5V	—	—	100	mA	—
VCC_USB 電源電圧		3.0	—	3.6	V	—

2.5 ADC14 特性

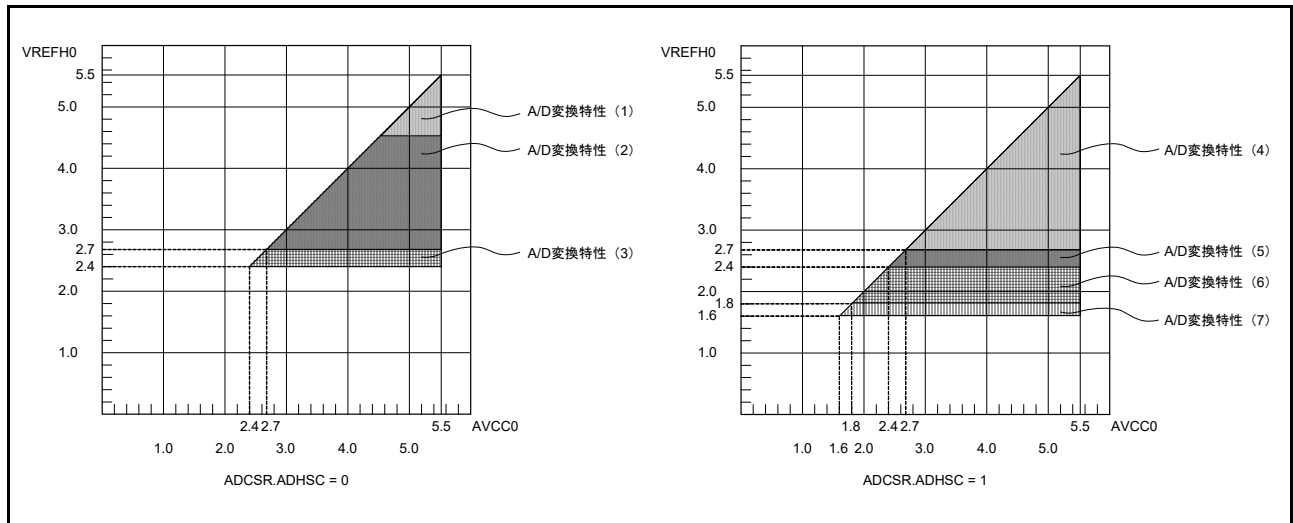


図 2.68 AVCC0 ~ VREFH0 電圧範囲

表 2.42 高速A/D変換モードにおけるA/D変換特性 (1) (1/2)

条件 : VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	64	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャンネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲		0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 64MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.70	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.13	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—

表 2.42 高速A/D変換モードにおけるA/D変換特性 (1) (2/2)

条件 : VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 (注1) (PCLKC = 64MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.80	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.22	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注 . 14ビットA/Dコンバータ入力以外の端子機能を使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 2.43 高速A/D変換モードにおけるA/D変換特性 (2)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7V ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	48	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャンネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 48MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	0.94	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.50	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 48MHzで動作時)	許容信号源インピーダンス Max = 0.3kΩ	1.06	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.63	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャンネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O入力容量 (C_{in}) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 2.44 高速A/D変換モードにおけるA/D変換特性 (3)

条件: VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4V ~ 5.5V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	32	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャネル
		—	—	9 (参考データ)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 32MHzで動作時)	許容信号源インピーダンス Max = 1.3kΩ	1.41	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.25	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差	—	—	± 0.5	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
フルスケール誤差	—	—	± 0.75	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
量子化誤差	—	—	± 0.5	—	LSB	—
絶対精度	—	—	± 1.25	± 5.0	LSB	高精度チャネル
				± 8.0	LSB	上記以外
DNL 微分非直線性誤差	—	—	± 1.0	—	LSB	—
INL 積分非直線性誤差	—	—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 32MHzで動作時)	許容信号源インピーダンス Max = 1.3kΩ	1.59	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.44	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差	—	—	± 2.0	± 18	LSB	高精度チャネル
				± 24.0	LSB	上記以外
フルスケール誤差	—	—	± 3.0	± 18	LSB	高精度チャネル
				± 24.0	LSB	上記以外
量子化誤差	—	—	± 0.5	—	LSB	—
絶対精度	—	—	± 5.0	± 20	LSB	高精度チャネル
				± 32.0	LSB	上記以外
DNL 微分非直線性誤差	—	—	± 4.0	—	LSB	—
INL 積分非直線性誤差	—	—	± 4.0	± 12.0	LSB	—

注. 14ビットA/Dコンパータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 2.45 低消費電力 A/D 変換モードにおける A/D 変換特性 (4)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7V ~ 5.5V

基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	24	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャンネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 24MHzで動作時)	許容信号源インピーダンス Max = 1.1kΩ	2.25	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.38	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャンネル
		—		± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
		—		± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 24MHzで動作時)	許容信号源インピーダンス Max = 1.1kΩ	2.50	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.63	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 2.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
フルスケール誤差		—	± 3.0	± 18	LSB	高精度チャンネル
		—		± 24.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 5.0	± 20	LSB	高精度チャンネル
		—		± 32.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 2.46 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件: VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4V ~ 5.5V

基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	16	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャネル
		—	—	9 (参考データ)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.5 (参考データ)	kΩ	高精度チャネル
		—	—	6.7 (参考データ)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 16MHzで動作時)	許容信号源インピーダンス Max = 2.2kΩ	3.38	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.06	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差	—	—	± 0.5	± 4.5	LSB	高精度チャネル
		—	—	± 6.0	LSB	上記以外
フルスケール誤差	—	—	± 0.75	± 4.5	LSB	高精度チャネル
		—	—	± 6.0	LSB	上記以外
量子化誤差	—	± 0.5	—	—	LSB	—
絶対精度	—	—	± 1.25	± 5.0	LSB	高精度チャネル
		—	—	± 8.0	LSB	上記以外
DNL 微分非直線性誤差	—	± 1.0	—	—	LSB	—
INL 積分非直線性誤差	—	± 1.0	± 3.0	—	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 16MHzで動作時)	許容信号源インピーダンス Max = 2.2kΩ	3.75	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.44	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差	—	—	± 2.0	± 18	LSB	高精度チャネル
		—	—	± 24.0	LSB	上記以外
フルスケール誤差	—	—	± 3.0	± 18	LSB	高精度チャネル
		—	—	± 24.0	LSB	上記以外
量子化誤差	—	± 0.5	—	—	LSB	—
絶対精度	—	—	± 5.0	± 20	LSB	高精度チャネル
		—	—	± 32.0	LSB	上記以外
DNL 微分非直線性誤差	—	± 4.0	—	—	LSB	—
INL 積分非直線性誤差	—	± 4.0	± 12.0	—	LSB	—

注. 14ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 2.47 低消費電力 A/D 変換モードにおける A/D 変換特性 (6)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.8 ~ 5.5V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	8	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャンネル
		—	—	9 (参考データ)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	3.8 (参考データ)	kΩ	高精度チャンネル
		—	—	8.2 (参考データ)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 8MHz で 動作時)	許容信号源インピーダ ンス Max = 5kΩ	6.75	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.13	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 1.0	± 7.5	LSB	高精度チャンネル
		—		± 10.0	LSB	上記以外
フルスケール誤差		—	± 1.5	± 7.5	LSB	高精度チャンネル
		—		± 10.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 3.0	± 8.0	LSB	高精度チャンネル
		—		± 12.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 8MHz で 動作時)	許容信号源インピーダ ンス Max = 5kΩ	7.50	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.88	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 4.0	± 30.0	LSB	高精度チャンネル
		—		± 40.0	LSB	上記以外
フルスケール誤差		—	± 6.0	± 30.0	LSB	高精度チャンネル
		—		± 40.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 12.0	± 32.0	LSB	高精度チャンネル
		—		± 48.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注 . 14 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

表 2.48 低消費電力 A/D 変換モードにおける A/D 変換特性 (7)

条件: VCC = AVCC0 = 1.6 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.6 ~ 5.5V

基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	4	MHz	—
アナログ入力容量 (注2)	Cs	—	—	8 (参考データ)	pF	高精度チャネル
		—	—	9 (参考データ)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	13.1 (参考データ)	kΩ	高精度チャネル
		—	—	14.3 (参考データ)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
12ビットモード						
分解能		—	—	12	ビット	—
変換時間 (注1) (PCLKC = 4MHz で 動作時)	許容信号源インピーダ ンス Max = 9.9kΩ	13.5	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		20.25	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 1.0	± 7.5	LSB	高精度チャネル
		—		± 10.0	LSB	上記以外
フルスケール誤差		—	± 1.5	± 7.5	LSB	高精度チャネル
		—		± 10.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 3.0	± 8.0	LSB	高精度チャネル
		—		± 12.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	—
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	—
14ビットモード						
分解能		—	—	14	ビット	—
変換時間 (注1) (PCLKC = 4MHz で 動作時)	許容信号源インピーダ ンス Max = 9.9kΩ	15.0	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		21.75	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		—	± 4.0	± 30.0	LSB	高精度チャネル
		—		± 40.0	LSB	上記以外
フルスケール誤差		—	± 6.0	± 30.0	LSB	高精度チャネル
		—		± 40.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 12.0	± 32.0	LSB	高精度チャネル
		—		± 48.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 4.0	—	LSB	—
INL 積分非直線性誤差		—	± 4.0	± 12.0	LSB	—

注. 14ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。

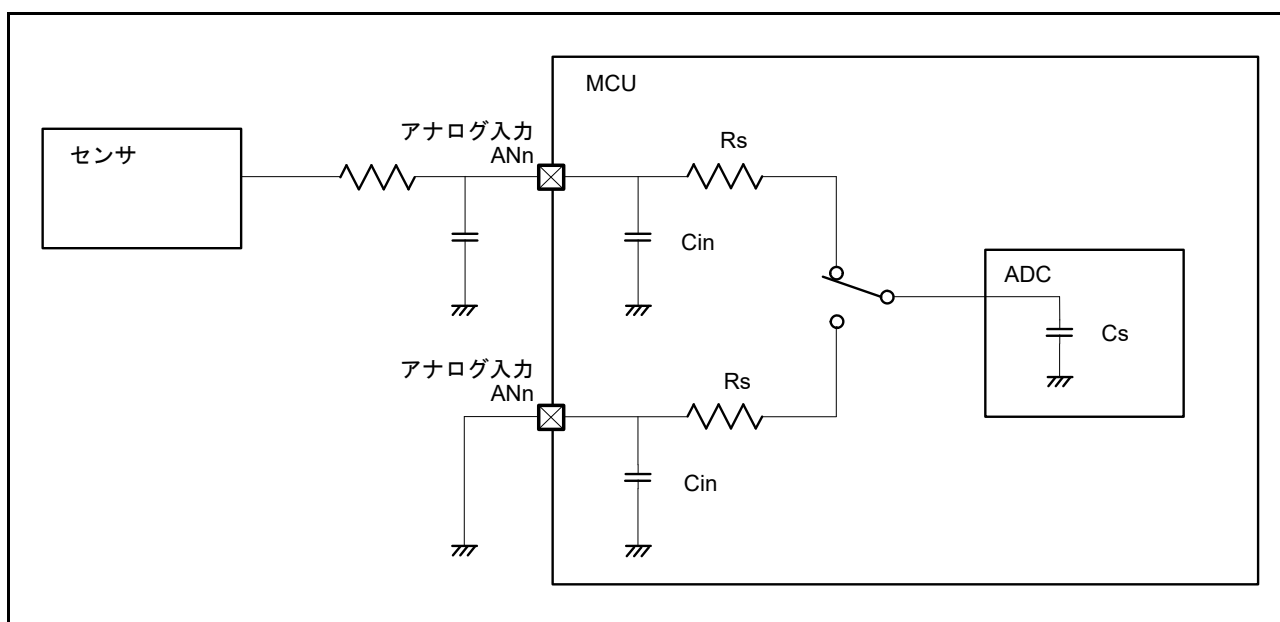


図 2.69 アナログ入力の等価回路

表 2.49 14ビットA/Dコンバータチャンネル分類

分類	チャンネル	条件	注意点
高精度チャンネル	AN000～AN014	AVCC0 = 1.6～5.5V	A/Dコンバータ使用時AN000～AN014端子は、汎用入出力端子、IRQ2、IRQ3入力端子、TS送信端子としては使用できません。
通常精度チャンネル	AN016～AN025		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.0～5.5V	—
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 2.0～5.5V	—

表 2.50 A/D内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 2.0～5.5V (注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル (注2)	1.36	1.43	1.50	V	—
周波数 (注3)	1	—	2	MHz	—
サンプリング時間 (注4)	5.0	—	—	μs	—

- 注 1. AVCC0 < 2.0V のとき、入力チャンネルに内部基準電圧は選択できません。
- 注 2. 14ビットA/D内部基準電圧は、内部基準電圧が14ビットA/Dコンバータに入力されたときの電圧を示します。
- 注 3. 内部基準電圧が高電位基準電圧として使用される場合のADC14用パラメータです。
- 注 4. 内部基準電圧がADC14のアナログ入力チャンネルに選択された場合のADC14用パラメータです。

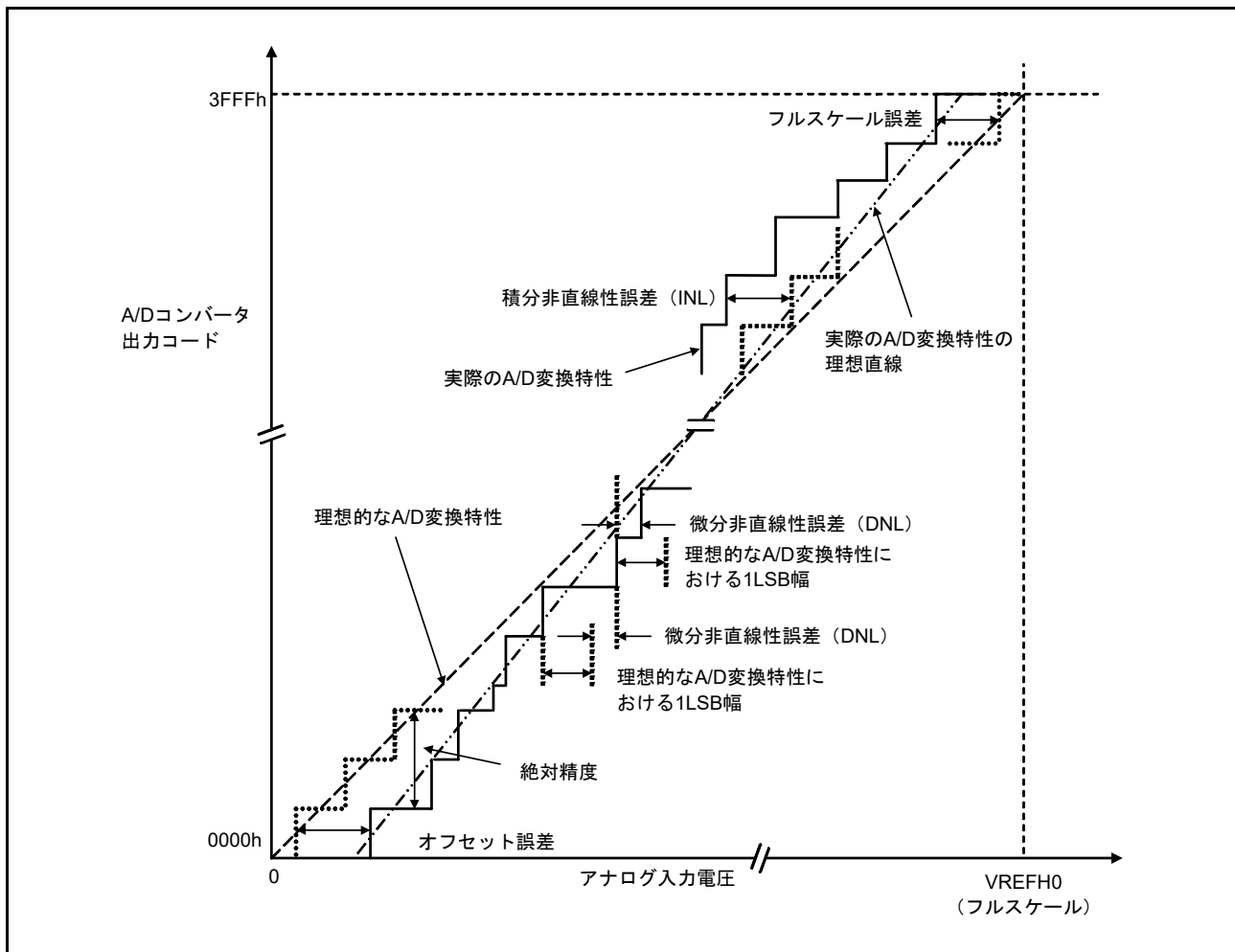


図 2.70 14 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 $V_{REFH0} = 3.072V$ の場合、1LSB 幅は $0.75mV$ になり、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$ が使用されます。 ± 5 LSB の絶対精度とは、アナログ入力電圧が $6mV$ の場合、理論的 A/D 変換特性から期待される出力コードが $008h$ であっても、実際の A/D 変換結果は $003h \sim 00Dh$ の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と、実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

2.6 DAC12 特性

表 2.51 D/A 変換特性 (1)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

基準電圧 = VREFH または VREFL 選択時

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
負荷抵抗	30	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.35	—	AVCC0 - 0.47	V	—
DNL 微分非直線性誤差	—	± 0.5	± 1.0	LSB	—
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	—
オフセット誤差	—	—	± 20	mV	—
フルスケール誤差	—	—	± 20	mV	—
出力インピーダンス	—	5	—	Ω	—
変換時間	—	—	30	μs	—

表 2.52 D/A 変換特性 (2)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

基準電圧 = AVCC0 または AVSS0 選択時

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
負荷抵抗	30	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.35	—	AVCC0 - 0.47	V	—
DNL 微分非直線性誤差	—	± 0.5	± 2.0	LSB	—
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	—
オフセット誤差	—	—	± 30	mV	—
フルスケール誤差	—	—	± 30	mV	—
出力インピーダンス	—	5	—	Ω	—
変換時間	—	—	30	μs	—

表 2.53 D/A 変換特性 (3)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

基準電圧 = 内部基準電圧選択時

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
内部基準電圧 (Vbgr)	1.36	1.43	1.50	V	—
負荷抵抗	30	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.35	—	Vbgr	V	—
DNL 微分非直線性誤差	—	± 2.0	± 16.0	LSB	—
INL 積分非直線性誤差	—	± 8.0	± 16.0	LSB	—
オフセット誤差	—	—	± 30	mV	—
出力インピーダンス	—	5	—	Ω	—
変換時間	—	—	30	μs	—

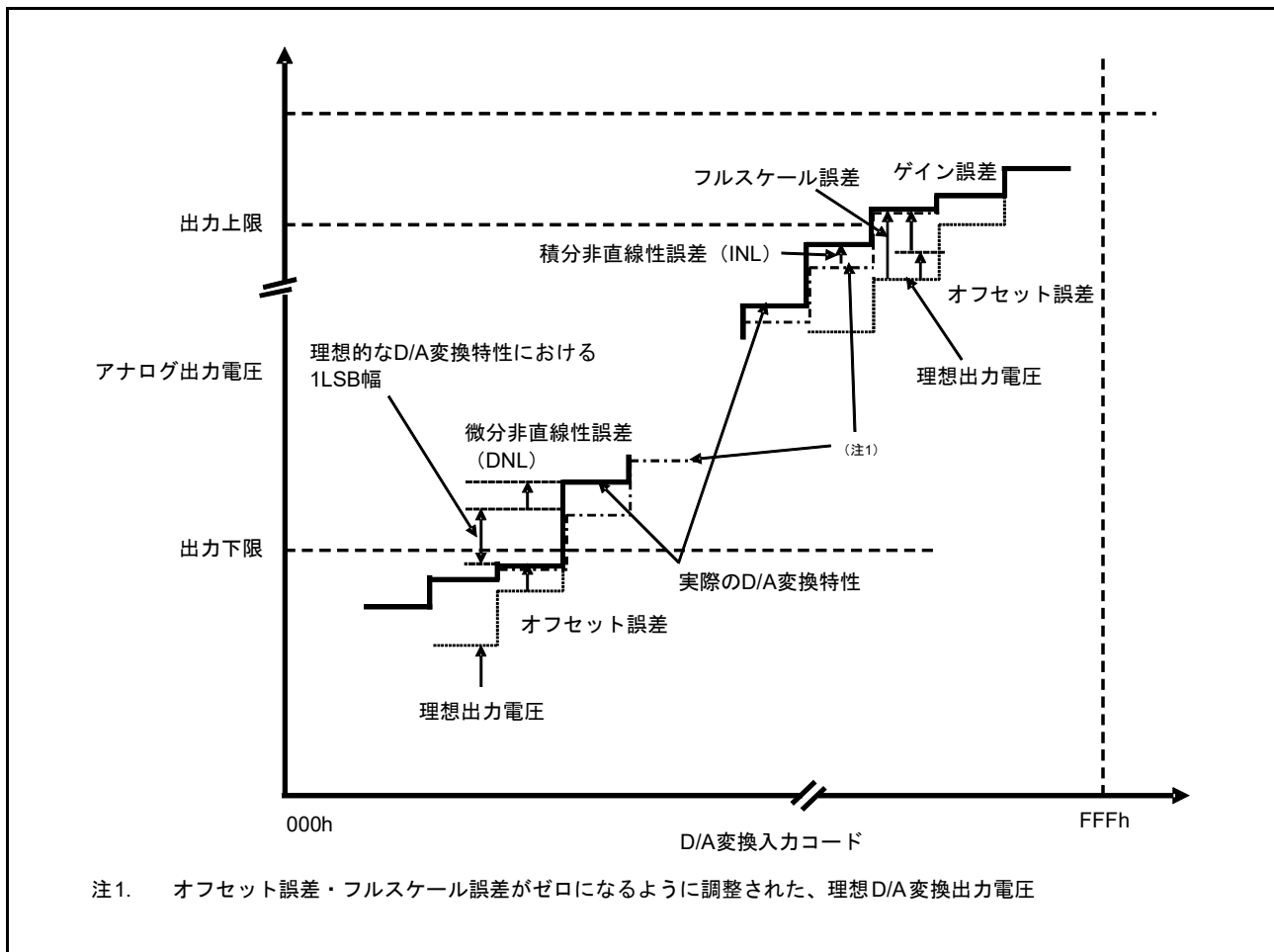


図 2.71 D/A コンバータ特性用語の解説図

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な変換特性に基づく理想的な出力電圧と、実際の出力電圧との最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 D/A 変換特性に基づく 1LSB の電圧幅と、実際の出力電圧幅との差です。

オフセット誤差

オフセット誤差とは、出力下限を下回る一番高い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

フルスケール誤差

フルスケール誤差とは、出力上限を上回る一番低い実際の出力電圧と、その入力コードに基づく理想的な出力電圧との差です。

2.7 TSN 特性

表 2.54 TSN 特性

条件 : VCC = AVCC0 = 2.0 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	± 1.5	—	°C	2.4V 以上
	—	—	± 2.0	—	°C	2.4V 未満
温度傾斜	—	—	-3.65	—	mV/°C	—
出力電圧 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	—

2.8 OSC 停止検出特性

表 2.55 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 2.72

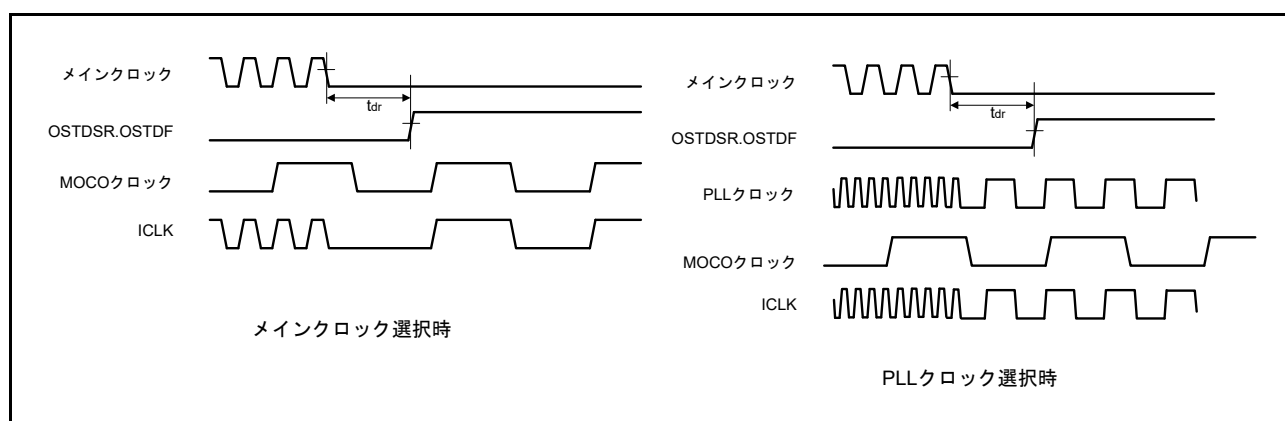


図 2.72 発振停止検出タイミング

2.9 POR/LVD 特性

表 2.56 パワーオンリセット回路、電圧検出回路の特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	パワーオンリセット (POR)	V_{POR}	1.27	1.42	1.57	V	図 2.73、 図 2.74
	電圧検出回路 (LVD0) (注2)	V_{det0_0}	3.68	3.85	4.00	V	図 2.75 VCC立ち下がり エッジ時
		V_{det0_1}	2.68	2.85	2.96		
		V_{det0_2}	2.38	2.53	2.64		
		V_{det0_3}	1.78	1.90	2.02		
		V_{det0_4}	1.60	1.69	1.82		
	電圧検出回路 (LVD1) (注3)	V_{det1_0}	4.13	4.29	4.45	V	図 2.76 VCC立ち下がり エッジ時
		V_{det1_1}	3.98	4.16	4.30		
		V_{det1_2}	3.86	4.03	4.18		
		V_{det1_3}	3.68	3.86	4.00		
		V_{det1_4}	2.98	3.10	3.22		
		V_{det1_5}	2.89	3.00	3.11		
		V_{det1_6}	2.79	2.90	3.01		
		V_{det1_7}	2.68	2.79	2.90		
		V_{det1_8}	2.58	2.68	2.78		
		V_{det1_9}	2.48	2.58	2.68		
		V_{det1_A}	2.38	2.48	2.58		
		V_{det1_B}	2.10	2.20	2.30		
		V_{det1_C}	1.84	1.96	2.05		
		V_{det1_D}	1.74	1.86	1.95		
V_{det1_E}		1.63	1.75	1.84			
V_{det1_F}	1.60	1.65	1.73				
電圧検出回路 (LVD2) (注4)	V_{det2_0}	4.11	4.31	4.48	V	図 2.77 VCC立ち下がり エッジ時	
	V_{det2_1}	3.97	4.17	4.34			
	V_{det2_2}	3.83	4.03	4.20			
	V_{det2_3}	3.64	3.84	4.01			

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. $V_{det0_#}$ の # は OFS1.VDSEL1[2:0] ビットの値を示しています。

注 3. $V_{det1_#}$ の # は LVDLVL.R.LVD1LVL[4:0] ビットの値を示しています。

注 4. $V_{det2_#}$ の # は LVDLVL.R.LVD2LVL[2:0] ビットの値を示しています。

表 2.57 パワーオンリセット回路、電圧検出回路の特性 (2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	—	1.7	—	ms	—
	LVD0 : 無効	t_{POR}	—	1.3	—	ms	—
電圧監視0、1、2リセット解除後の待機時間	LVD0 : 有効 (注1)	$t_{LVD0,1,2}$	—	0.6	—	ms	—
	LVD0 : 無効 (注2)	$t_{LVD1,2}$	—	0.2	—	ms	—
応答遅延時間 (注3)	t_{det}	—	—	350	—	μ s	図 2.73、 図 2.74
最小VCC低下時間	t_{VOFF}	450	—	—	—	μ s	図 2.73、 VCC = 1.0V 以上
パワーオンリセット有効時間	t_W (POR)	1	—	—	—	ms	図 2.74、 VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え後)	t_d (E-A)	—	—	300	—	μ s	図 2.76、 図 2.77
ヒステリシス幅 (POR)	V_{PORH}	—	110	—	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)	V_{LVH}	—	60	—	—	mV	LVD0 選択時
		—	100	—	—	mV	$V_{det1_0} \sim V_{det1_2}$ 選択時
		—	60	—	—	mV	$V_{det1_3} \sim V_{det1_9}$ 選択時
		—	50	—	—	mV	$V_{det1_A} \sim V_{det1_B}$ 選択時
		—	40	—	—	mV	$V_{det1_C} \sim V_{det1_F}$ 選択時
		—	60	—	—	mV	LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} の min 値を下回っている時間です。

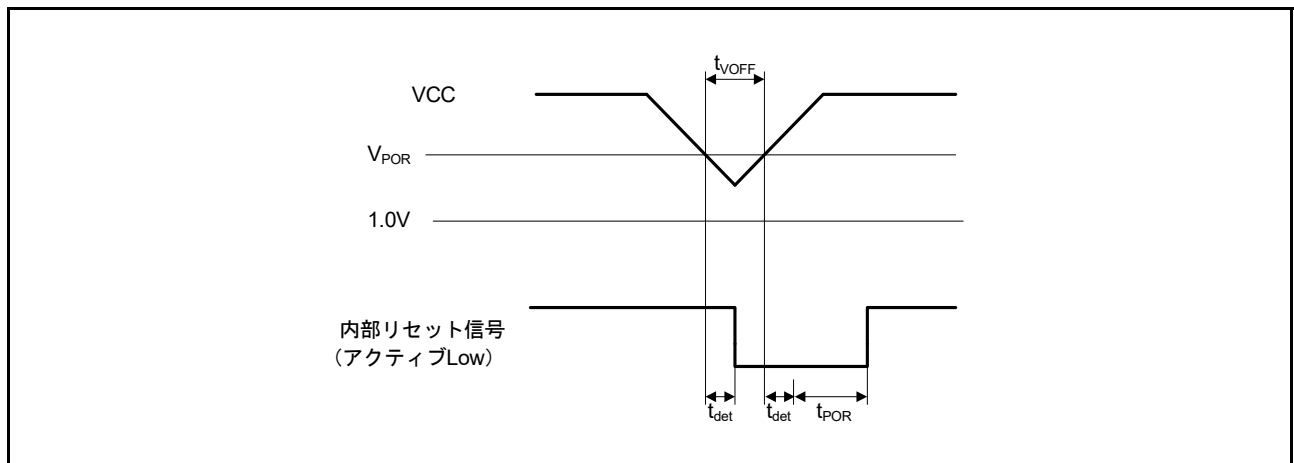


図 2.73 電圧検出リセットタイミング

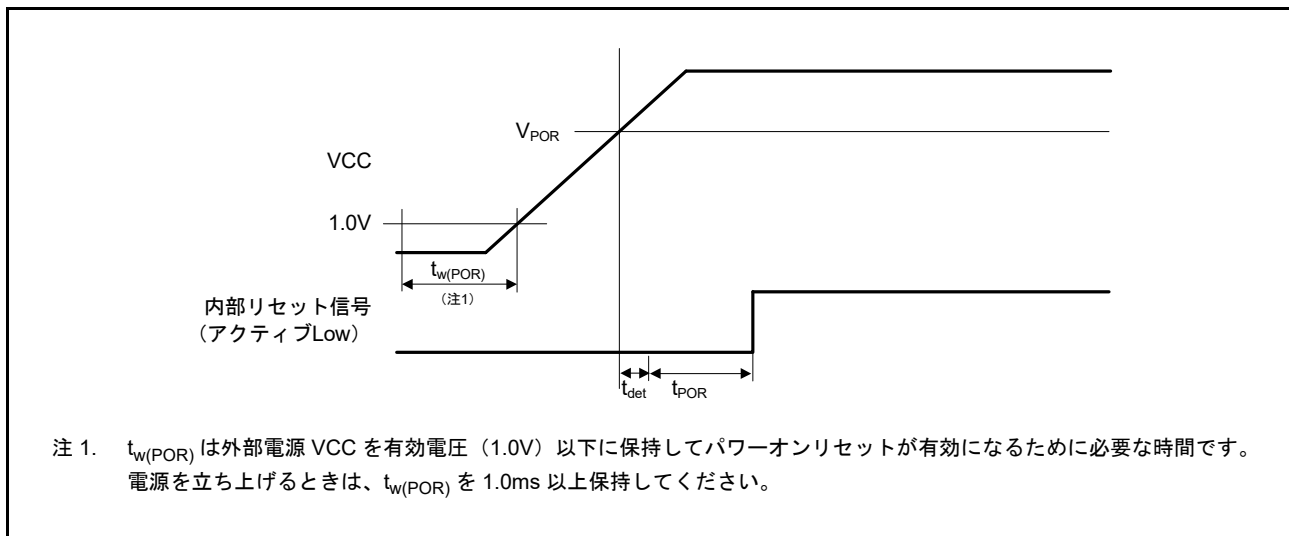
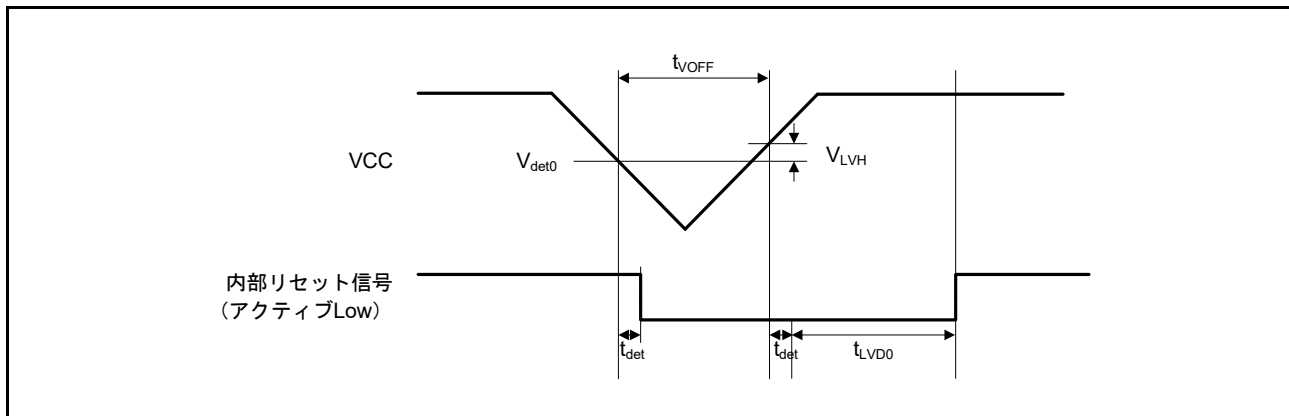


図 2.74 パワーオンリセットタイミング

図 2.75 電圧検出回路タイミング (V_{det0})

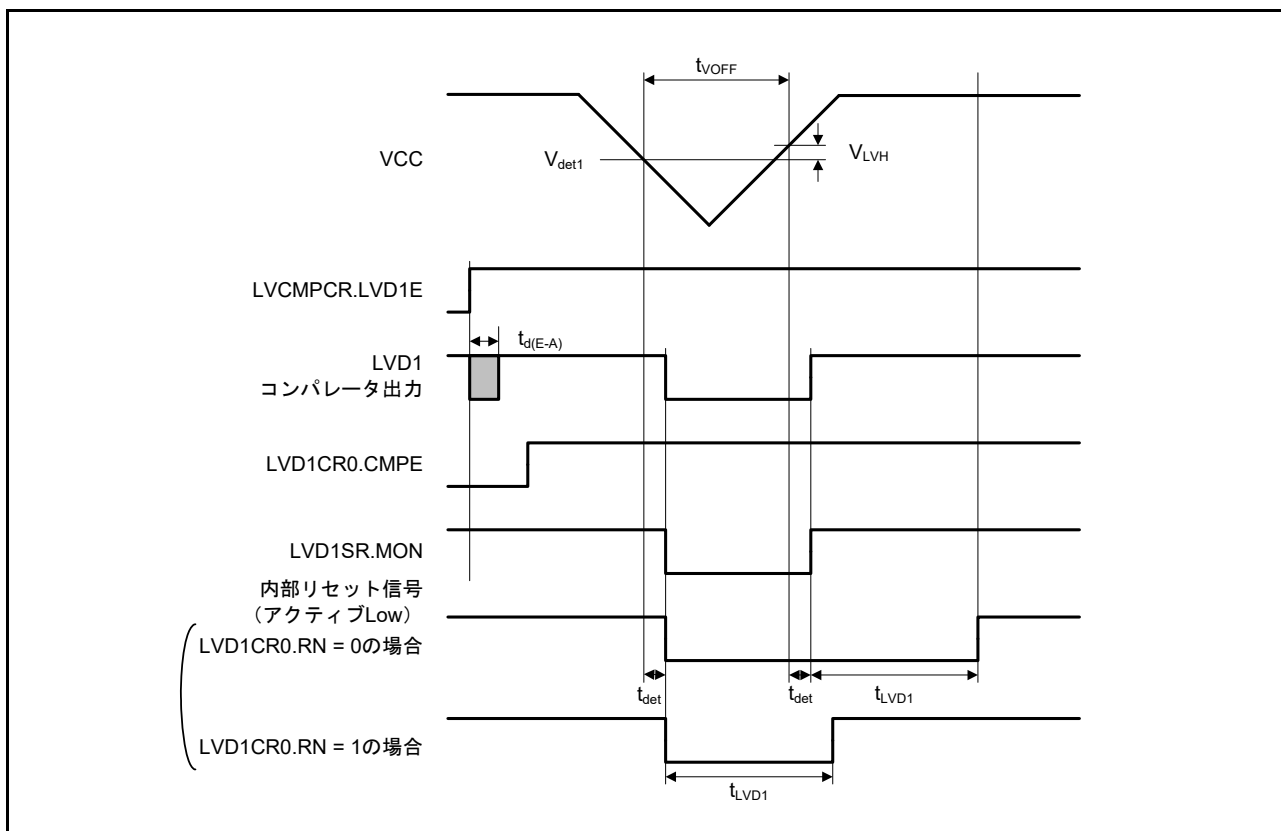


図 2.76 電圧検出回路タイミング (V_{det1})

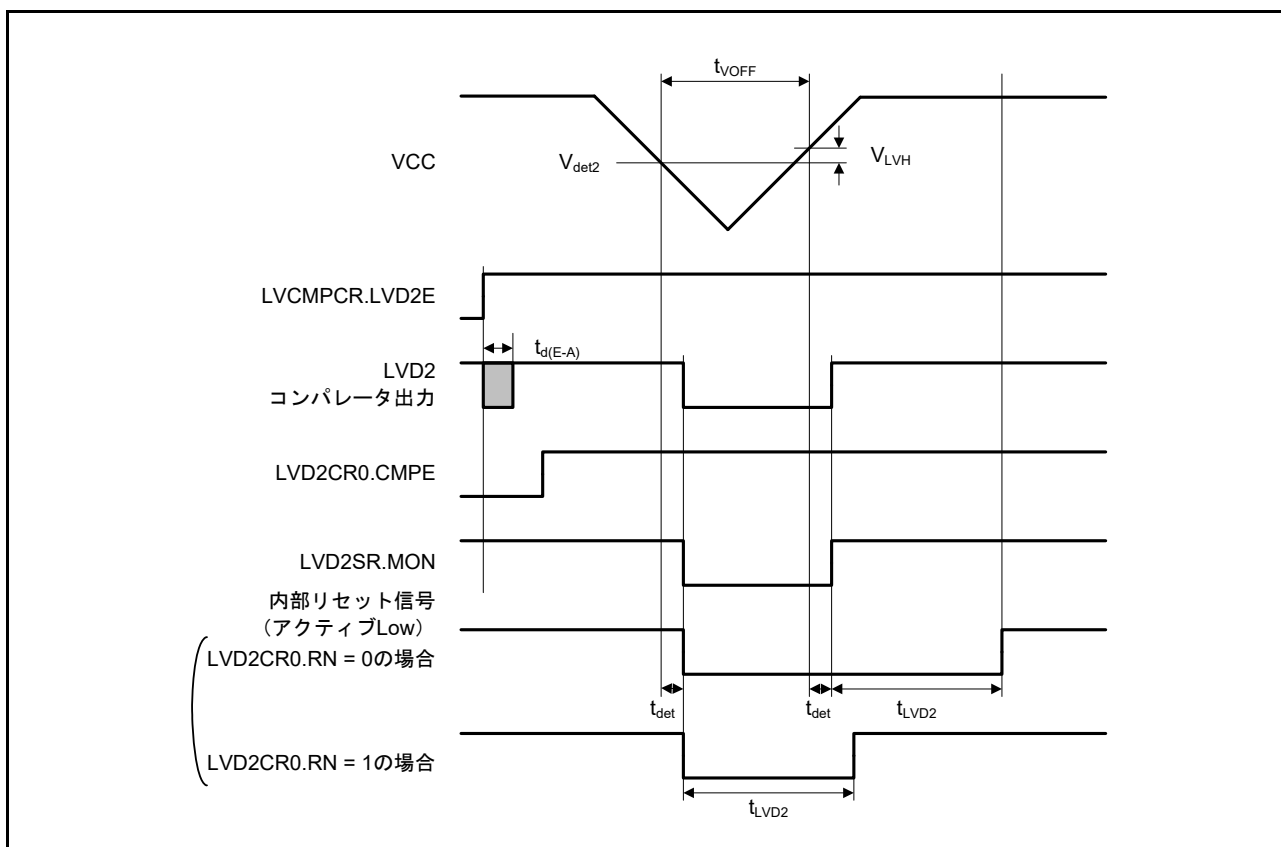


図 2.77 電圧検出回路タイミング (V_{det2})

2.10 バッテリバックアップ機能特性

表 2.58 バッテリバックアップ機能特性

条件 : VCC = AVCC0 = 1.6V ~ 5.5V、VBATT = 1.6 ~ 3.6V

項目	シンボル	Min	Typ	Max	単位	測定条件	
バッテリバックアップ切り替え電圧レベル (立ち下がり)	$V_{DET\ BATT}$	1.99	2.09	2.19	V	図 2.78、 図 2.79	
バッテリバックアップへの切り替えヒステリシス幅	$V_{VBAT\ TH}$	—	100	—	mV		
電源切り替え VCC オフ期間	$t_{V\ OFF\ BATT}$	300	—	—	μs	—	
電圧検出レベル VBATT パワーオンリセット (VBATT_POR)	$V_{VBAT\ POR}$	1.30	1.40	1.50	V	図 2.78、 図 2.79	
VBATT_POR リセット時間解除後の待機時間	$t_{VBAT\ POR}$	—	—	3	ms		
VBATT 端子の電圧降下検出レベル (立ち下がり)	VBTLVDLVL[1:0] = 10b	$V_{DET\ BATT\ LVD}$	2.11	2.2	2.29	V	図 2.80
	VBTLVDLVL[1:0] = 11b		1.92	2	2.08	V	
VBATT 端子 LVD のヒステリシス幅	$V_{VBAT\ LVD\ TH}$	—	50	—	mV		
VBATT 端子 LVD 動作安定時間	t_{d_vbat}	—	—	300	μs	図 2.80	
VBATT 端子 LVD 応答遅延時間	t_{det_vbat}	—	—	350	μs		
許容電圧変化の立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	—	
VBATT バックアップレジスタアクセス用 VCC 電圧レベル	$V_{_BKBATT}$	1.8	—	—	V	—	

注 . 電源切り替え VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル $V_{DET\ BATT}$ の min 値を下回っている時間です。

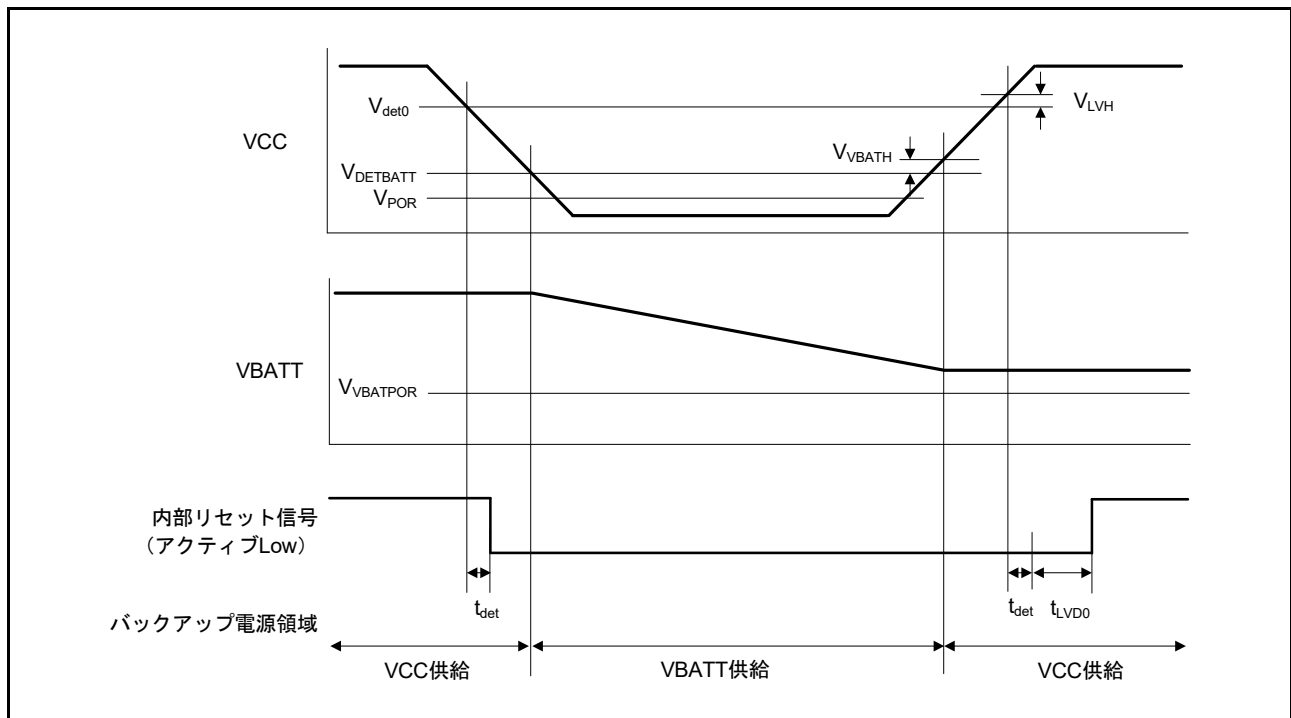


図 2.78 電源切り替えおよび LVD0 リセットタイミング

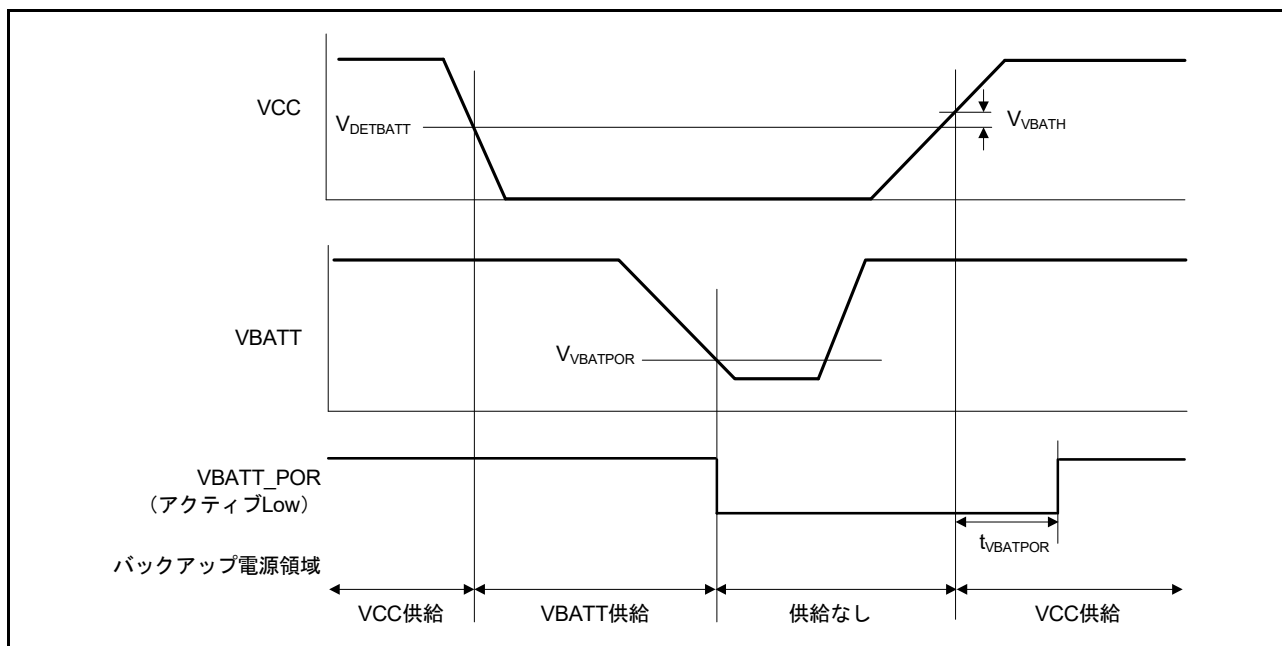


図 2.79 VBATT_POR リセットタイミング

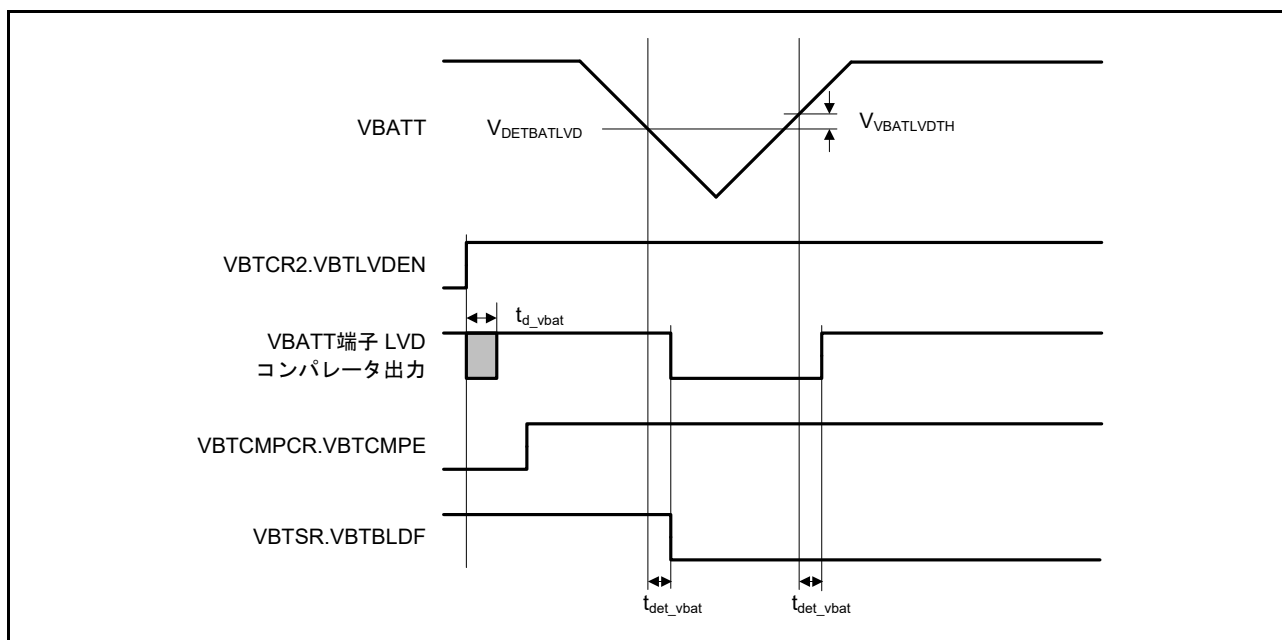


図 2.80 VBATT 端子電圧検出回路タイミング

表 2.59 VBATTのI/O特性

項目			シンボル	Min	Typ	Max	単位	測定条件
VBATWIO _n の I/O出力特性 (n = 0 ~ 2)	VCC > V _{DETBATT}	VCC = 4.0 ~ 5.5V	V _{OH}	VCC - 0.8	—	—	V	I _{OH} = -200μA
			V _{OL}	—	—	0.8		I _{OL} = 200μA
		VCC = 2.7 ~ 4.0V	V _{OH}	VCC - 0.5	—	—		I _{OH} = -100μA
			V _{OL}	—	—	0.5		I _{OL} = 100μA
		VCC = V _{DETBATT} ~ 2.7V	V _{OH}	VCC - 0.3	—	—		I _{OH} = -50μA
			V _{OL}	—	—	0.3		I _{OL} = 50μA
	VCC < V _{DETBATT}	VBATT = 2.7 ~ 3.6V	V _{OH}	V _{BATT} - 0.5	—	—		I _{OH} = -100μA
			V _{OL}	—	—	0.5		I _{OL} = 100μA
		VBATT = 1.6 ~ 2.7V	V _{OH}	V _{BATT} - 0.3	—	—		I _{OH} = -50μA
			V _{OL}	—	—	0.3		I _{OL} = 50μA

2.11 CTSU 特性

表 2.60 CTSU 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	C_{tscap}	9	10	11	nF	—
TS 端子の負荷容量	C_{base}	—	—	50	pF	—
許容大電流出力	ΣI_{OH}	—	—	-24	mA	相互容量方式適用時

2.12 セグメント LCD コントローラ特性

2.12.1 抵抗分割方式

[スタティック表示モード]

表 2.61 抵抗分割方式 LCD 特性 (1)

条件 : VL4 ≤ VCC ≤ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.0	—	VCC	V	—

[1/2 バイアス法、1/4 バイアス法]

表 2.62 抵抗分割方式 LCD 特性 (2)

条件 : VL4 ≤ VCC ≤ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.7	—	VCC	V	—

[1/3 バイアス法]

表 2.63 抵抗分割方式 LCD 特性 (3)

条件 : VL4 ≤ VCC ≤ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.5	—	VCC	V	—

2.12.2 内部昇圧方式

[1/3 バイアス法]

表 2.64 内部昇圧方式 LCD 特性

条件 : VCC = 1.8V ~ 5.5V

項目	シンボル	条件		Min	Typ	Max	単位	測定条件
LCD 出力電圧可変範囲	V _{L1}	C1 ~ C4 (注1) = 0.47μF	VLCD = 04h	0.90	1.0	1.08	V	—
			VLCD = 05h	0.95	1.05	1.13	V	—
			VLCD = 06h	1.00	1.10	1.18	V	—
			VLCD = 07h	1.05	1.15	1.23	V	—
			VLCD = 08h	1.10	1.20	1.28	V	—
			VLCD = 09h	1.15	1.25	1.33	V	—
			VLCD = 0Ah	1.20	1.30	1.38	V	—
			VLCD = 0Bh	1.25	1.35	1.43	V	—
			VLCD = 0Ch	1.30	1.40	1.48	V	—
			VLCD = 0Dh	1.35	1.45	1.53	V	—
			VLCD = 0Eh	1.40	1.50	1.58	V	—
			VLCD = 0Fh	1.45	1.55	1.63	V	—
			VLCD = 10h	1.50	1.60	1.68	V	—
			VLCD = 11h	1.55	1.65	1.73	V	—
VLCD = 12h	1.60	1.70	1.78	V	—			
VLCD = 13h	1.65	1.75	1.83	V	—			
ダブル出力電圧	V _{L2}	C1 ~ C4 (注1) = 0.47μF		$2 \times V_{L1} - 0.1$	$2 \times V_{L1}$	$2 \times V_{L1}$	V	—
トリプル出力電圧	V _{L4}	C1 ~ C4 (注1) = 0.47μF		$3 \times V_{L1} - 0.15$	$3 \times V_{L1}$	$3 \times V_{L1}$	V	—
基準電圧セットアップ時間 (注2)	t _{VL1S}			5	—	—	ms	図 2.81
LCD 出力電圧可変範囲 (注3)	t _{VLWT}	C1 ~ C4 (注1) = 0.47μF		500	—	—	ms	

注 1. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

C2 : VL1 と GND の間に接続するコンデンサ

C3 : VL2 と GND の間に接続するコンデンサ

C4 : VL4 と GND の間に接続するコンデンサ

C1 = C2 = C3 = C4 = 0.47μF ± 30%

注 2. VLCD レジスタで基準電圧を設定 (基準電圧をデフォルト値で使用する場合は、LCDM0 レジスタの MDSET[1:0] ビットを 01b にして内部昇圧方式を選択) してから、昇圧を開始する (VLCON = 1) までに必要な時間です。

注 3. 昇圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

[1/4 バイアス法]

表 2.65 内部昇圧方式LCD特性

条件 : VCC = 1.8V ~ 5.5V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件	
LCD出力電圧可変範囲	V _{L1}	C1 ~ C5 (注1) = 0.47μF	VLCD = 04h	0.90	1.0	1.08	V	—
			VLCD = 05h	0.95	1.05	1.13	V	—
			VLCD = 06h	1.00	1.10	1.18	V	—
			VLCD = 07h	1.05	1.15	1.23	V	—
			VLCD = 08h	1.10	1.20	1.28	V	—
			VLCD = 09h	1.15	1.25	1.33	V	—
			VLCD = 0Ah	1.20	1.30	1.38	V	—
			VLCD = 0Bh	1.25	1.35	1.43	V	—
VLCD = 0Ch	1.30	1.40	1.48	V	—			
ダブル出力電圧	V _{L2}	C1 ~ C5 (注1) = 0.47μF	2V _{L1} - 0.08	2V _{L1}	2V _{L1}	V	—	
トリプル出力電圧	V _{L3}	C1 ~ C5 (注1) = 0.47μF	3V _{L1} - 0.12	3V _{L1}	3V _{L1}	V	—	
クアドロプル出力電圧	V _{L4} (注4)	C1 ~ C5 (注1) = 0.47μF	4V _{L1} - 0.16	4V _{L1}	4V _{L1}	V	—	
基準電圧セットアップ時間 (注2)	t _{VL1S}		5	—	—	ms	図 2.81	
LCD出力電圧可変範囲 (注3)	t _{VLWT}	C1 ~ C5 (注1) = 0.47μF	500	—	—	ms		

注 1. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

C2 : V_{L1} と GND の間に接続するコンデンサC3 : V_{L2} と GND の間に接続するコンデンサC4 : V_{L3} と GND の間に接続するコンデンサC5 : V_{L4} と GND の間に接続するコンデンサ

C1 = C2 = C3 = C4 = C5 = 0.47μF ± 30%

注 2. VLCD レジスタで基準電圧を設定 (基準電圧をデフォルト値で使用する場合は、LCDM0 レジスタの MDSET1 ビットと MDSET0 ビットを 01b にして内部昇圧方式を選択) してから、昇圧を開始する (VLCON = 1) までに必要な時間です。

注 3. 昇圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

注 4. V_{L4} は 5.5V 以下でなければなりません。

2.12.3 容量分割方式

[1/3 バイアス法]

表 2.66 内部昇圧方式 LCD 特性

条件 : VCC = 2.2V ~ 5.5V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧 (注1)	V_{L4}	C1 ~ C4 = 0.47 μ F (注2)	—	VCC	—	V	—
VL2 電圧 (注1)	V_{L2}	C1 ~ C4 = 0.47 μ F (注2)	$2/3 \times V_{L4} - 0.07$	$2/3 \times V_{L4}$	$2/3 \times V_{L4} + 0.07$	V	—
VL1 電圧 (注1)	V_{L1}	C1 ~ C4 = 0.47 μ F (注2)	$1/3 \times V_{L4} - 0.08$	$1/3 \times V_{L4}$	$1/3 \times V_{L4} + 0.08$	V	—
容量分割待機時間 (注1)	t_{WAIT}		100	—	—	ms	図 2.81

注 1. 降圧を開始 (VLCON = 1) してから表示が可能になる (LCDON = 1) までの待機時間です。

注 2. LCD 駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH と CAPL の間に接続するコンデンサ

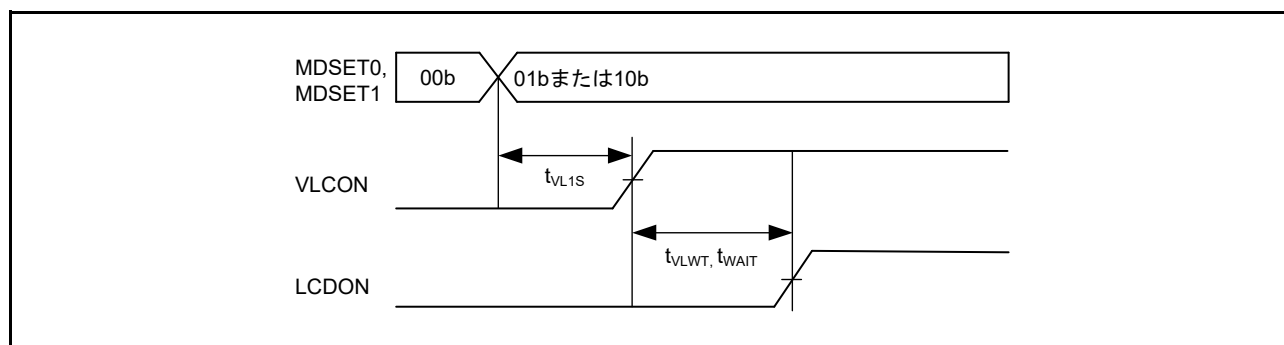
C2 : V_{L1} と GND の間に接続するコンデンサC3 : V_{L2} と GND の間に接続するコンデンサC4 : V_{L4} と GND の間に接続するコンデンサC1 = C2 = C3 = C4 = 0.47 μ F \pm 30%

図 2.81 LCD 基準電圧セットアップ時間、昇圧待機時間、容量分割待機時間

2.13 コンパレータ特性

表 2.67 ACMPLP 特性

条件 : VCC = 1.8 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件	
基準電圧範囲	標準モード	IVREFn (n = 0, 1)	VREF	0	—	VCC - 1.4	V	—
	ウィンドウモード (注2)	IVREF1	VREFH	1.4	—	VCC	V	—
		IVREF0	VREFL	0	—	VCC - 1.4	V	—
入力電圧範囲		VI	0	—	VCC	V	—	
内部基準電圧		—	1.36	1.44	1.50	V	—	
出力遅延時間	High-speed モード	Td	—	—	1.2	μs	VCC = 3.0 入力信号のスループレート > 50mV/μs	
	Low-speed モード		—	—	5	μs		
	ウィンドウモード		—	—	2	μs		
オフセット電圧 (注1)	High-speed モード	—	—	—	50	mV	—	
	Low-speed モード	—	—	—	40	mV	—	
	ウィンドウモード	—	—	—	60	mV	—	
動作安定待機時間		T _{cmp}	100	—	—	μs	—	

注 1. 8 ビット DAC 出力が基準電圧として使用されている場合、オフセット電圧は最大 $2.5 \times VCC/256$ まで増加します。

注 2. ウィンドウモードでは、 $IVREF1 - IVREF0 \geq 0.2V$ でなければなりません。

2.14 OPAMP 特性

表 2.68 OPAMP 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)

項目	シンボル	条件		Min	Typ	Max	単位
コモンモード入力範囲	Vicm1	低消費電力モード		0.2	—	AVCC0 - 0.5	V
	Vicm2	High-speed モード		0.3	—	AVCC0 - 0.6	V
出力電圧範囲	Vo1	低消費電力モード		0.1	—	AVCC0 - 0.1	V
	Vo2	High-speed モード		0.1	—	AVCC0 - 0.1	V
入力オフセット電圧	Vioff	3 σ		-10	—	10	mV
オープンゲイン	Av			60	120	—	dB
ゲイン帯域幅 (GB) 製品	GBW1	低消費電力モード		—	0.04	—	MHz
	GBW2	High-speed モード		—	1.7	—	MHz
位相マージン	PM	CL = 20pF		50	—	—	deg
ゲインマージン	GM	CL = 20pF		10	—	—	dB
入力換算ノイズ	Vnoise1	f = 1kHz	低消費電力モード	—	230	—	nV/ $\sqrt{\text{Hz}}$
	Vnoise2	f = 10kHz		—	200	—	nV/ $\sqrt{\text{Hz}}$
	Vnoise3	f = 1kHz	High-speed モード	—	90	—	nV/ $\sqrt{\text{Hz}}$
	Vnoise4	f = 2kHz		—	70	—	nV/ $\sqrt{\text{Hz}}$
電源低減比	PSRR			—	90	—	dB
コモンモード信号低減比	CMRR			—	90	—	dB
安定待機時間	Tstd1	CL = 20pF	低消費電力モード	650	—	—	μs
	Tstd2	オペアンプのみ起動 (注1)		High-speed モード	13	—	—
	Tstd3	CL = 20pF	High-speed モード	650	—	—	μs
	Tstd4	オペアンプと基準電流回路が同時に起動		13	—	—	μs
安定時間	Tset1	CL = 20pF	低消費電力モード	—	—	750	μs
	Tset2		High-speed モード	—	—	13	μs
スルーレート	Tslew1	CL = 20pF	低消費電力モード	—	0.02	—	V/ μs
	Tslew2		High-speed モード	—	1.1	—	V/ μs
負荷電流	Iload1	低消費電力モード		-100	—	100	μA
	Iload2	High-speed モード		-100	—	100	μA
負荷容量	CL			—	—	20	pF

注 1. 事前にオペアンプ基準電流回路が起動している場合

2.15 フラッシュメモリ特性

2.15.1 コードフラッシュメモリ特性

表 2.69 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件
再プログラム/イレースサイクル (注1)	N_{PEC}	1000	—	—	回	—
データ保持時間	1000回の N_{PEC} の後	t_{DRP}	20 (注2) (注3)	—	—	年 $T_a = +85^\circ\text{C}$

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 ($n = 1000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、2KB のブロックについて、それぞれ異なる番地に 8 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 2.70 コードフラッシュ特性 (2)

High-speed モード

条件: $V_{CC} = 2.7 \sim 5.5\text{V}$

項目	シンボル	FCLK = 1MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8バイト	t_{P8}	—	116	998	—	54	506	μs
イレース時間	2KB	t_{E2K}	—	9.03	287	—	5.67	222	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	56.8	—	—	16.6	μs
	2KB	t_{BC2K}	—	—	1899	—	—	140	μs
イレースサスペンド時間		t_{SED}	—	—	22.5	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	21.7	585	—	12.1	447	ms
アクセスウィンドウ時間		t_{AWS}	—	21.7	585	—	12.1	447	ms
OCD/ シリアルプログラマID設定時間		t_{OSIS}	—	21.7	585	—	12.1	447	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t_{MS}	5	—	—	5	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注. FCLK の周波数精度は $\pm 3.5\%$ でなければなりません。クロックソースの周波数精度を確認してください。

表 2.71 コードフラッシュ特性 (3)

Middle-speed モード

条件 : VCC = 1.8 ~ 5.5V、T_a = -40 ~ +85°C

項目		シンボル	FCLK = 1MHz			FCLK = 8MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8バイト	t _{P8}	—	157	1411	—	101	966	μs
イレース時間	2KB	t _{E2K}	—	9.10	289	—	6.10	228	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	87.7	—	—	52.5	μs
	2KB	t _{BC2K}	—	—	1930	—	—	414	μs
イレースサスペンド時間		t _{SED}	—	—	32.7	—	—	21.6	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	22.5	592	—	14.0	464	ms
アクセスウィンドウ時間		t _{AWS}	—	22.5	592	—	14.0	464	ms
OCD/シリアルプログラマID設定時間		t _{OSIS}	—	22.5	592	—	14.0	464	ms
フラッシュメモリモード遷移待機時間1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	720	—	—	720	—	—	ns

注 . ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注 . フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。

注 . FCLK の周波数精度は ±3.5% でなければなりません。クロックソースの周波数精度を確認してください。

2.15.2 データフラッシュメモリ特性

表 2.72 データフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	測定条件
再プログラム/イレースサイクル (注1)		N_{DPEC}	100000	1000000	—	回	—
データ保持時間	10000回の N_{DPEC} の後	t_{DDRP}	20 (注2) (注3)	—	—	年	$T_a = +85^\circ\text{C}$
	100000回の N_{DPEC} の後		5 (注2) (注3)	—	—	年	
	1000000回の N_{DPEC} の後		—	1 (注2) (注3)	—	—	年

- 注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 ($n = 100000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1 バイトのブロックについて、それぞれ異なる番地に 1 バイト書き込みを 1000 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
- 注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
- 注 3. 信頼性試験から得られた結果です。

表 2.73 データフラッシュ特性 (2)

High-speed モード
条件: $V_{CC} = 2.7 \sim 5.5\text{V}$

項目	シンボル	FCLK = 4MHz			FCLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t_{DP1}	—	52.4	463	—	42.1	387	μs
イレース時間	1KB	t_{DE1K}	—	8.98	286	—	6.42	237	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	24.3	—	—	16.6	μs
	1KB	t_{DBC1K}	—	—	1872	—	—	512	μs
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.0	—	—	10.7	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	5	—	—	5	—	—	μs

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含まれません。
- 注. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注. FCLK の周波数精度は $\pm 3.5\%$ でなければなりません。クロックソースの周波数精度を確認してください。

表 2.74 データフラッシュ特性 (3)

Middle-speed モード
条件: $V_{CC} = 1.8 \sim 5.5\text{V}$ 、 $T_a = -40 \sim +85^\circ\text{C}$

項目	シンボル	FCLK = 4MHz			FCLK = 8MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t_{DP1}	—	94.7	886	—	89.3	849	μs
イレース時間	1KB	t_{DE1K}	—	9.59	299	—	8.29	273	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	56.2	—	—	52.5	μs
	1KB	t_{DBC1K}	—	—	2.17	—	—	1.51	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	23.0	—	—	21.7	μs
データフラッシュ STOP 復帰時間		t_{DSTOP}	720	—	—	720	—	—	ns

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含まれません。
- 注. フラッシュメモリのプログラム/イレース時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合、設定可能な周波数は 1MHz、2MHz、3MHz のいずれかです。1.5MHz などの非整数周波数は使用できません。
- 注. FCLK の周波数精度は $\pm 3.5\%$ でなければなりません。クロックソースの周波数精度を確認してください。

2.16 バウンダリスキャン

表 2.75 バウンダリスキャン

条件 : VCC = AVCC0 = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 2.82
TCKクロックHighレベルパルス幅	t_{TCKH}	45	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図 2.83
TMSホールド時間	t_{TMSH}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	70	ns	図 2.84
バウンダリスキャン回路起動時間 (注1)	t_{BSSTUP}	t_{RESWP}	—	—	—	

注1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

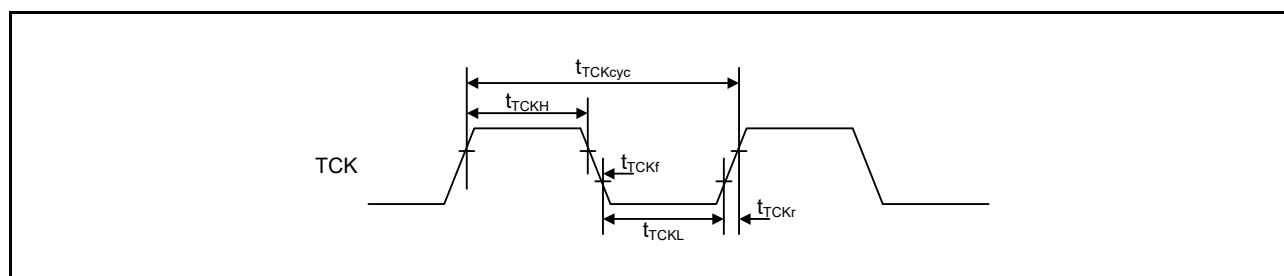


図 2.82 バウンダリスキャン TCK タイミング

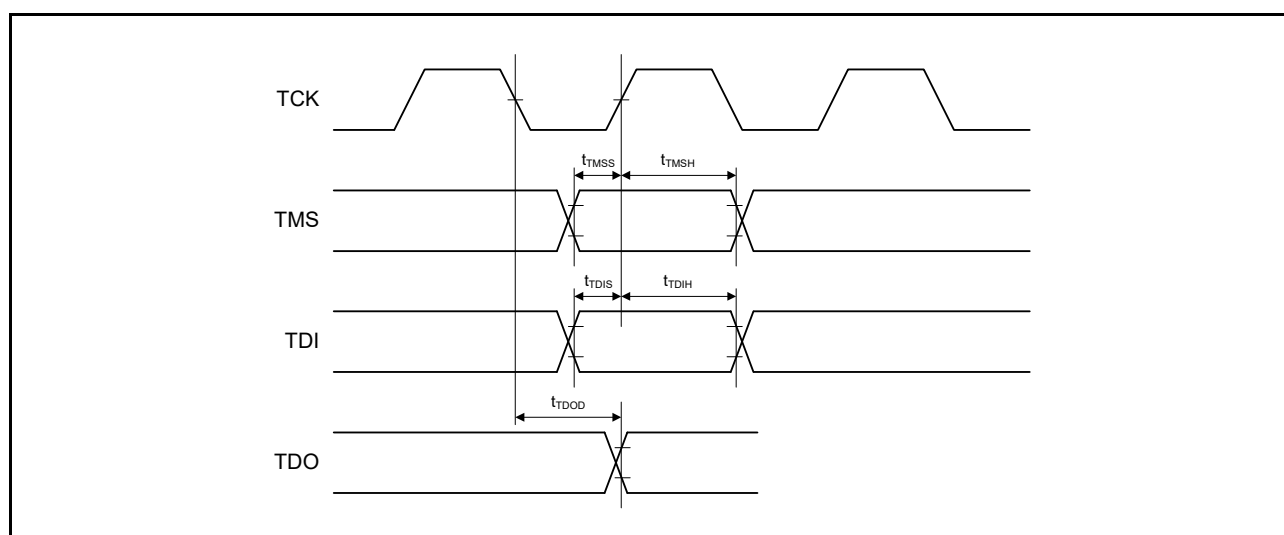


図 2.83 バウンダリスキャン入出力タイミング

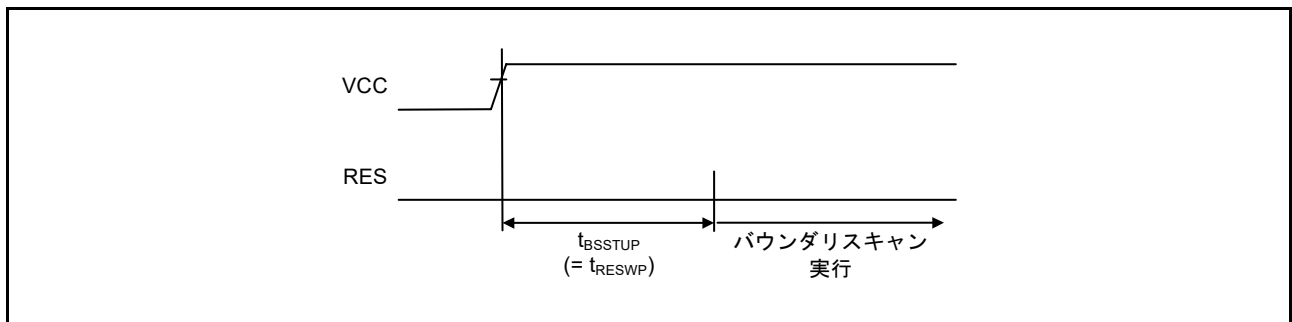


図 2.84 バウンダリスキャン回路起動タイミング

2.17 ジョイントテストアクショングループ (JTAG)

表 2.76 JTAG (デバッグ) 特性 (1)

条件 : VCC = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	80	—	—	ns	図 2.85
TCKクロックHighレベルパルス幅	t_{TCKH}	35	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	35	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMSセットアップ時間	t_{TMSS}	16	—	—	ns	図 2.86
TMSホールド時間	t_{TMSH}	16	—	—	ns	
TDIセットアップ時間	t_{TDIS}	16	—	—	ns	
TDIホールド時間	t_{TDIH}	16	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	70	ns	

表 2.77 JTAG (デバッグ) 特性 (2)

条件 : VCC = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	250	—	—	ns	図 2.85
TCKクロックHighレベルパルス幅	t_{TCKH}	120	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	120	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMSセットアップ時間	t_{TMSS}	50	—	—	ns	図 2.86
TMSホールド時間	t_{TMSH}	50	—	—	ns	
TDIセットアップ時間	t_{TDIS}	50	—	—	ns	
TDIホールド時間	t_{TDIH}	50	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	150	ns	

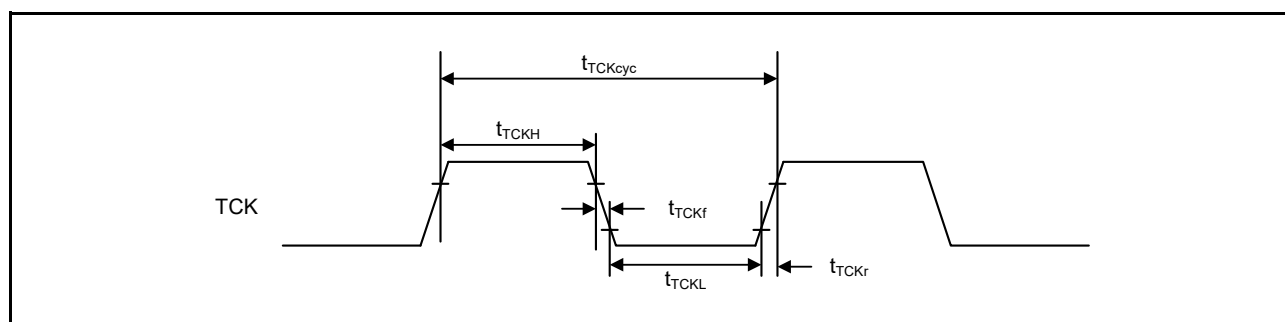


図 2.85 JTAG TCK タイミング

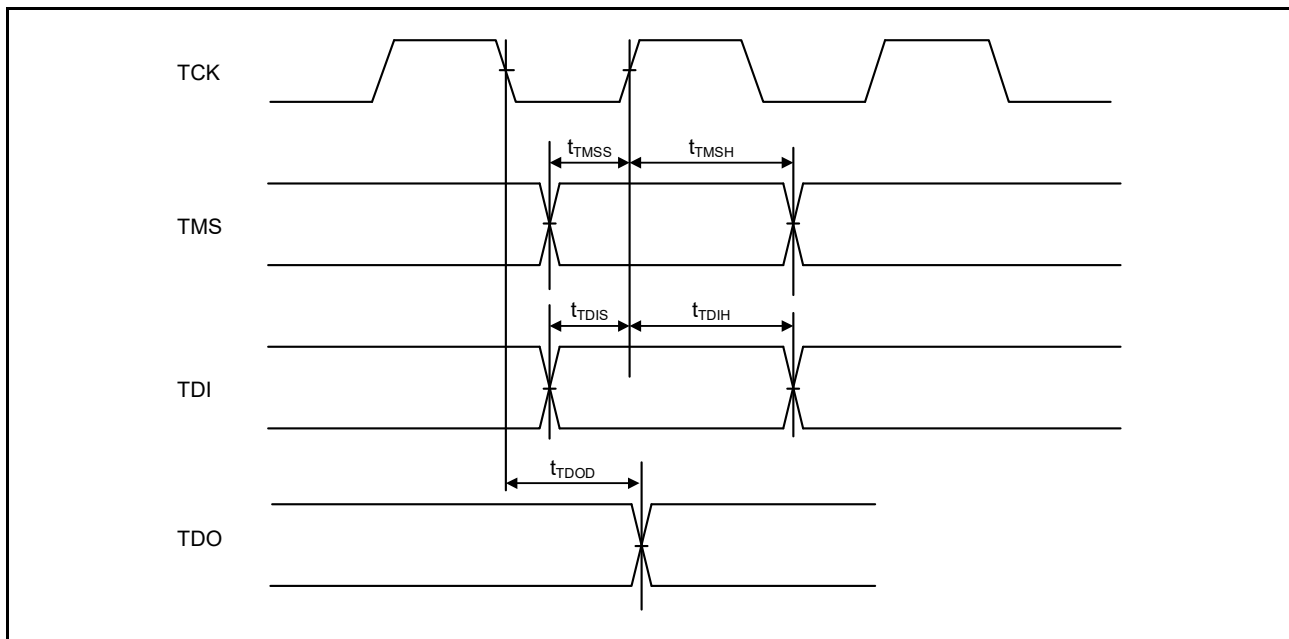


図 2.86 JTAG 入出力タイミング

2.17.1 シリアルワイヤデバッグ (SWD)

表 2.78 SWD 特性 (1)

条件 : VCC = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	t_{SWCKcyc}	80	—	—	ns	図 2.87
SWCLKクロック High レベルパルス幅	t_{SWCKH}	35	—	—	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	35	—	—	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIOセットアップ時間	t_{SWDS}	16	—	—	ns	図 2.88
SWDIOホールド時間	t_{SWDH}	16	—	—	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	—	70	ns	

表 2.79 SWD 特性 (2)

条件 : VCC = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	t_{SWCKcyc}	250	—	—	ns	図 2.87
SWCLKクロック High レベルパルス幅	t_{SWCKH}	120	—	—	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	120	—	—	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIOセットアップ時間	t_{SWDS}	50	—	—	ns	図 2.88
SWDIOホールド時間	t_{SWDH}	50	—	—	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	—	150	ns	

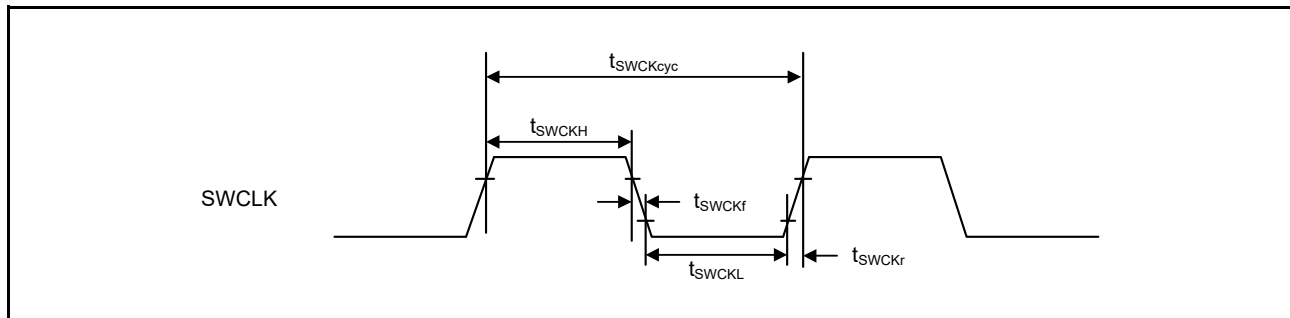


図 2.87 SWD SWCLK タイミング

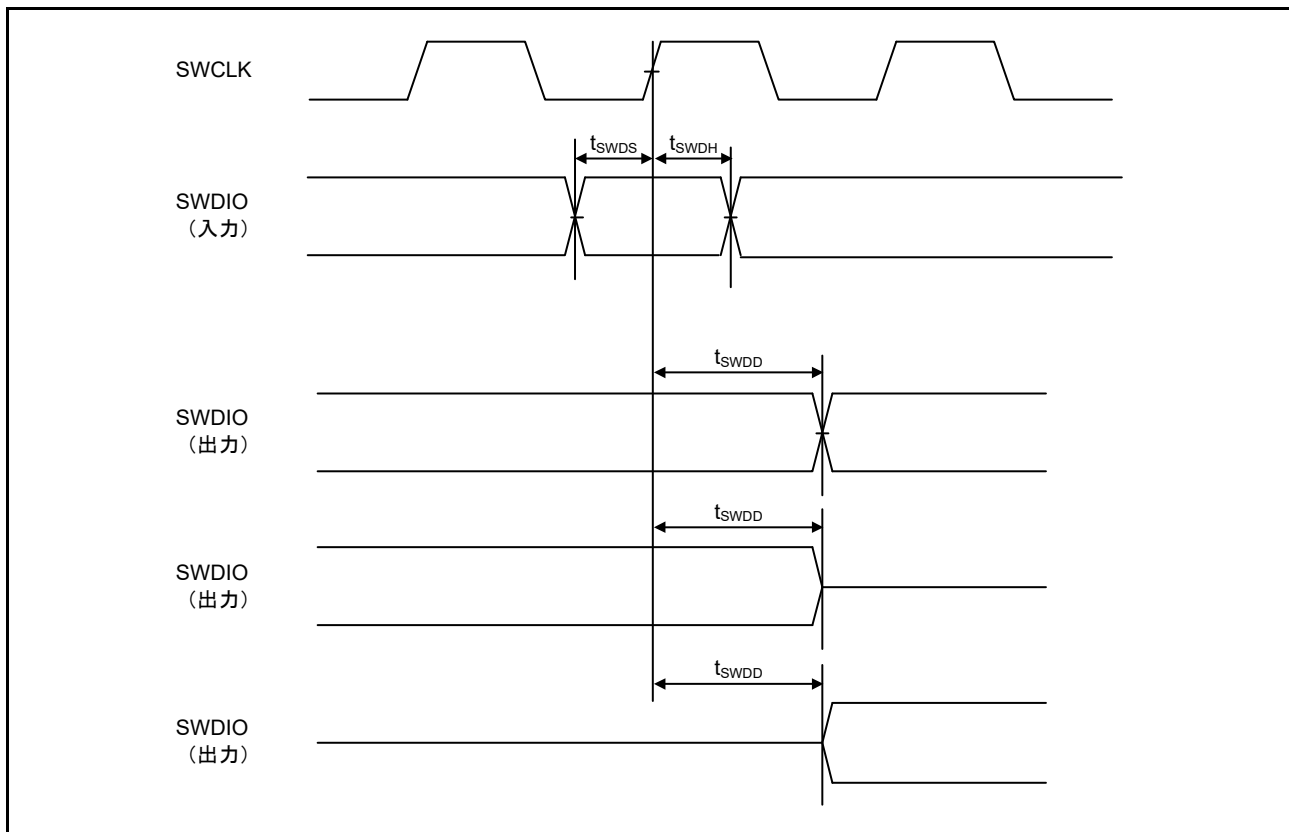


図 2.88 SWD 入出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社ウェブサイトの「パッケージ」を参照してください。

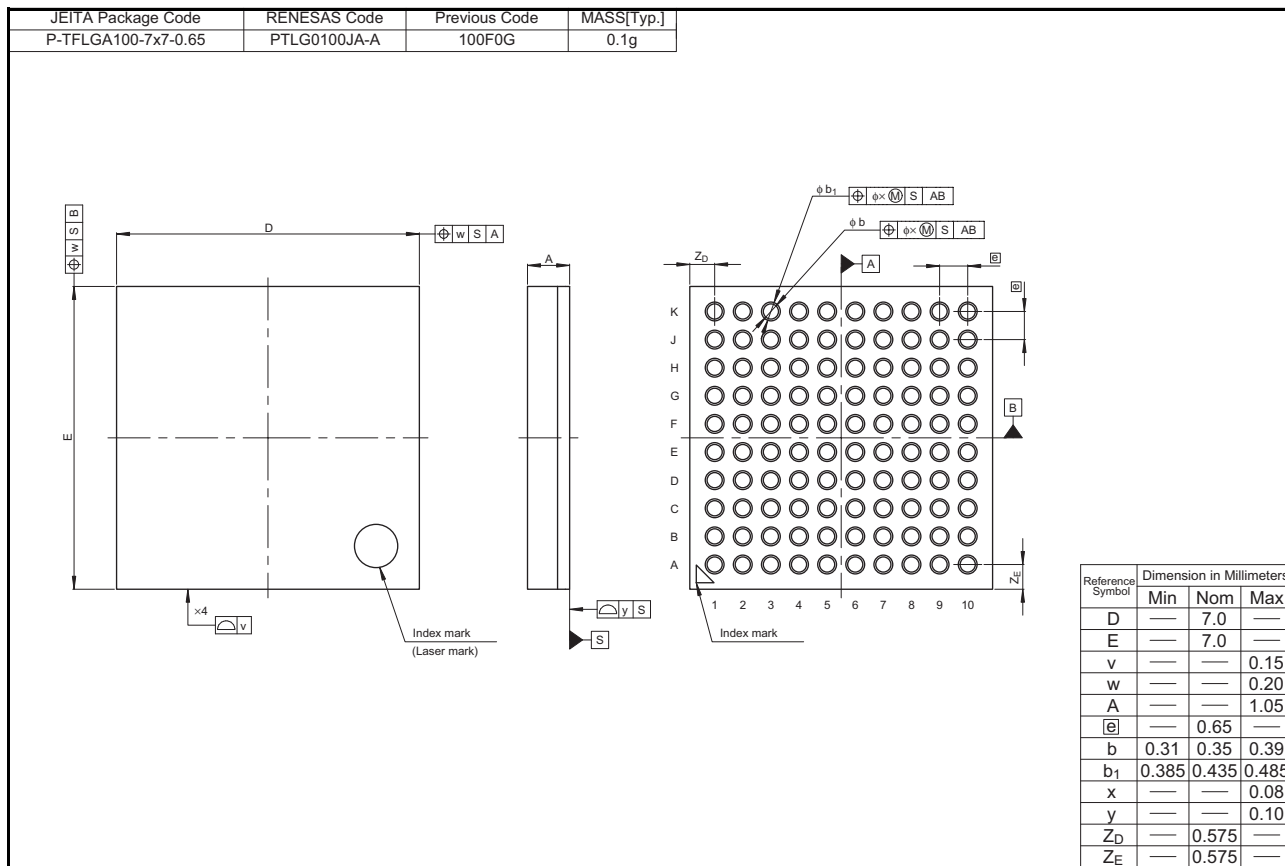
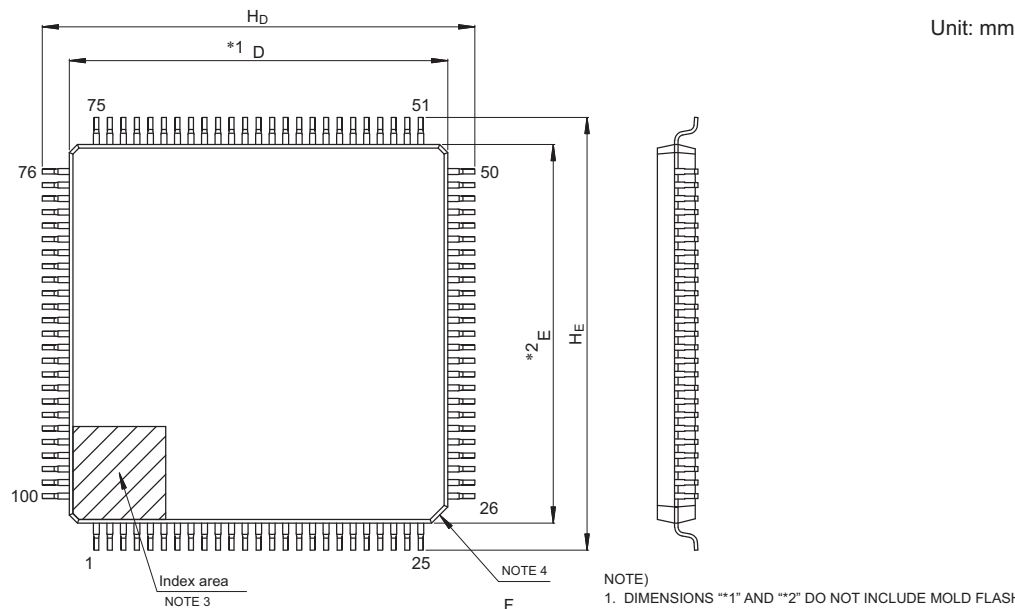
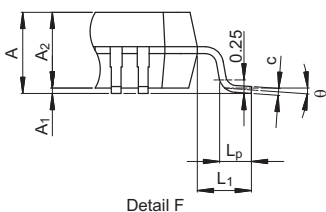
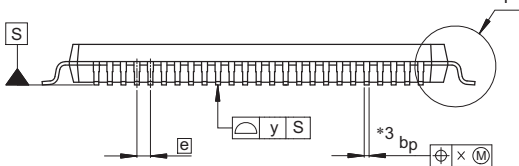


図 1.1 100-pin LGA

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



- NOTE)
1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



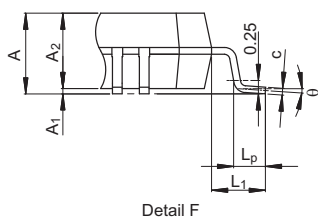
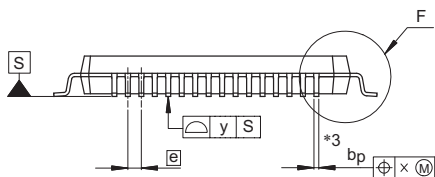
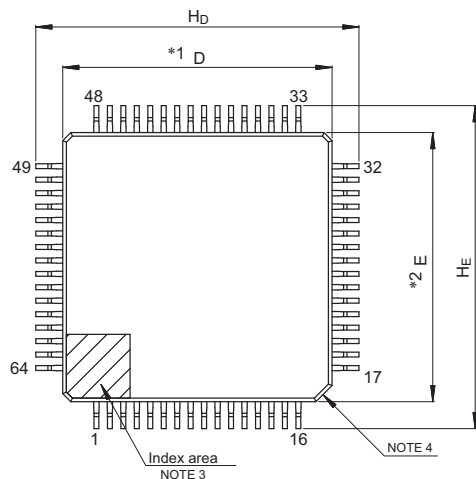
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 1.2 100-pin LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

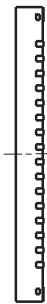
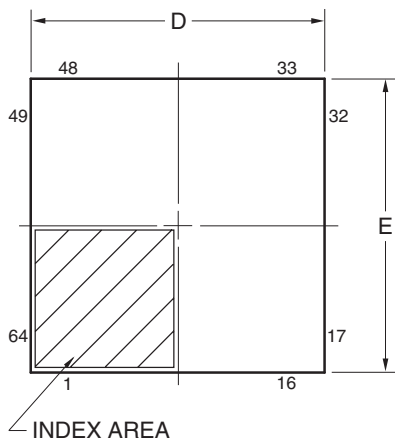
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

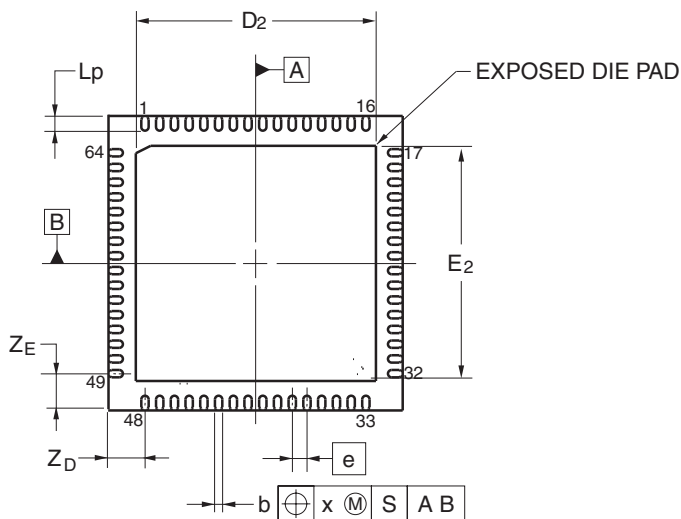
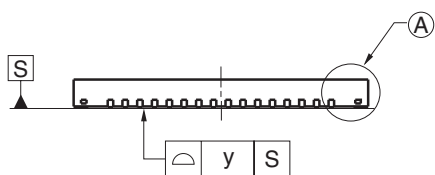
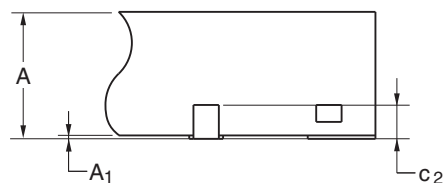
© 2015 Renesas Electronics Corporation. All rights reserved.

図 1.3 64-pin LQFP

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN64-8x8-0.40	PWQN0064LA-A	P64K8-40-9B5-3	0.16



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	7.95	8.00	8.05
E	7.95	8.00	8.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.17	0.20	0.23
e	—	0.40	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	1.00	—
Z _E	—	1.00	—
c ₂	0.15	0.20	0.25
D ₂	—	6.50	—
E ₂	—	6.50	—

©2013 Renesas Electronics Corporation. All rights reserved.

図 1.4 64-pin QFN (1)

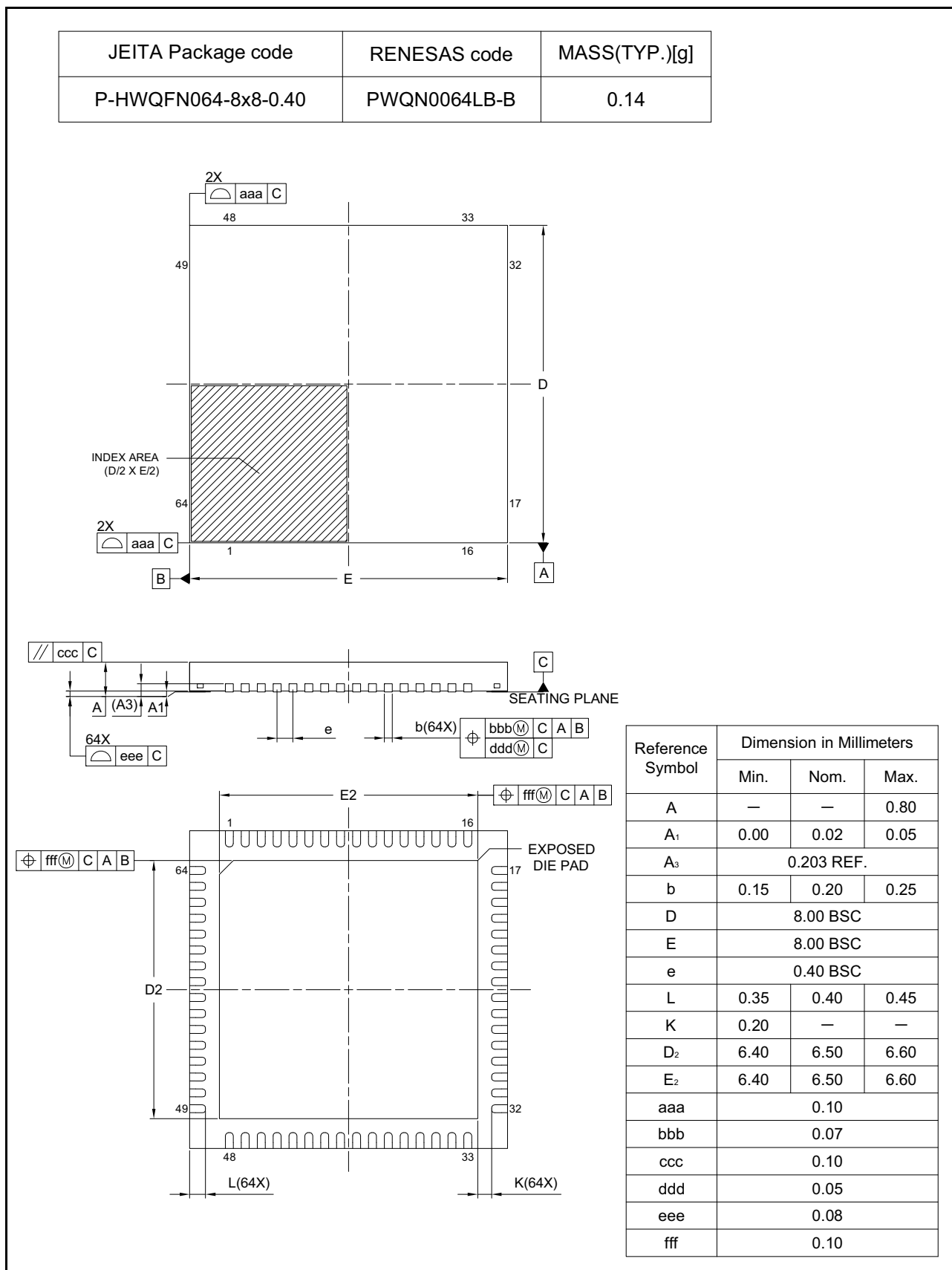
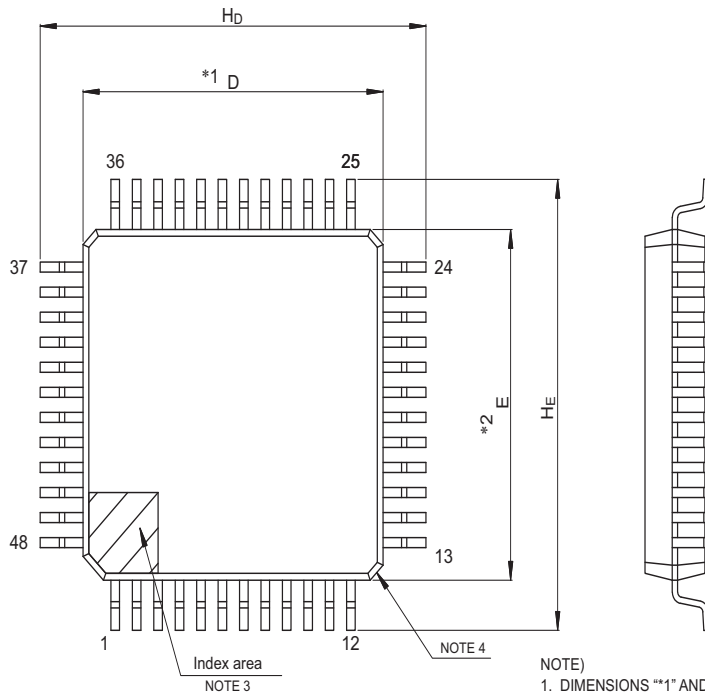


図 1.5 64-pin QFN (2)

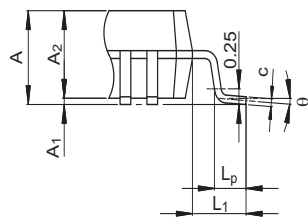
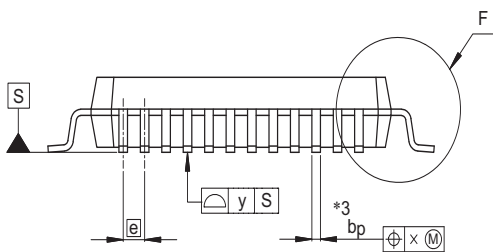
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



NOTE)

1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

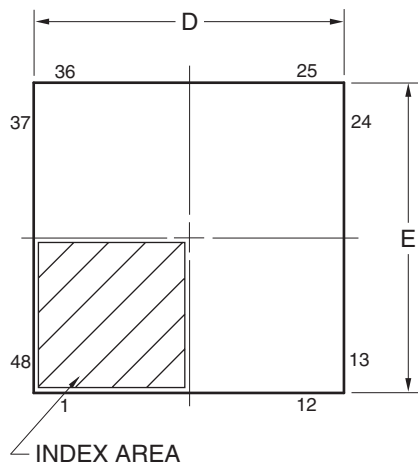


Detail F

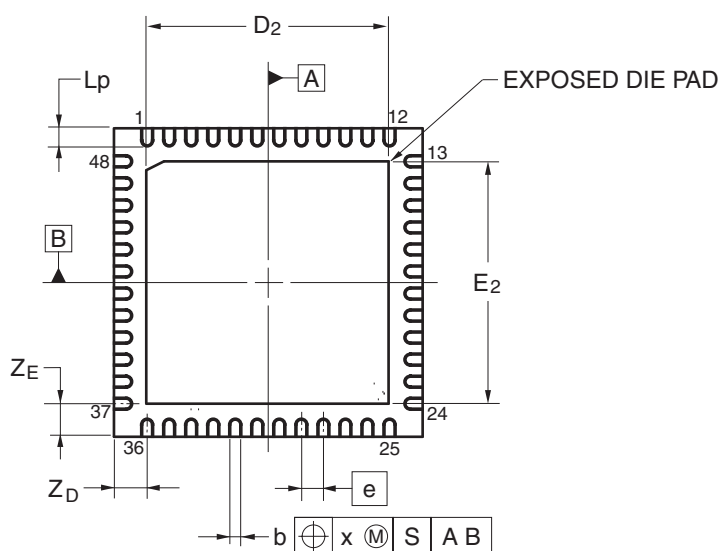
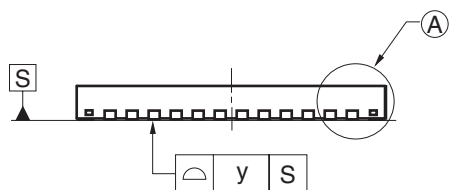
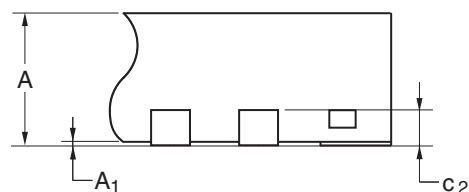
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
⓪	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 1.6 48-pin LQFP

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-6	0.13



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	5.50	—
E ₂	—	5.50	—

©2013 Renesas Electronics Corporation. All rights reserved.

図 1.7 48-pin QFN (1)

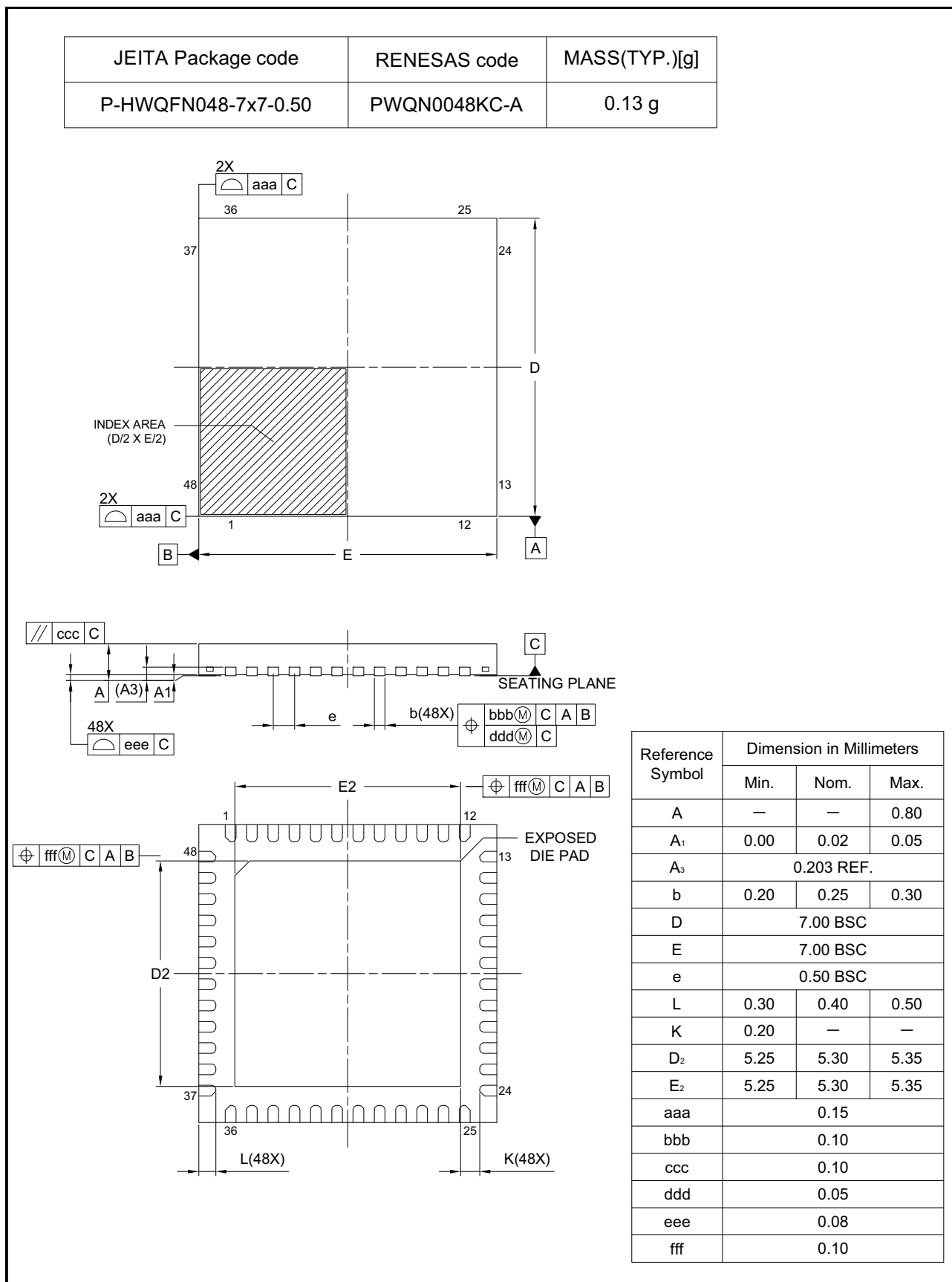
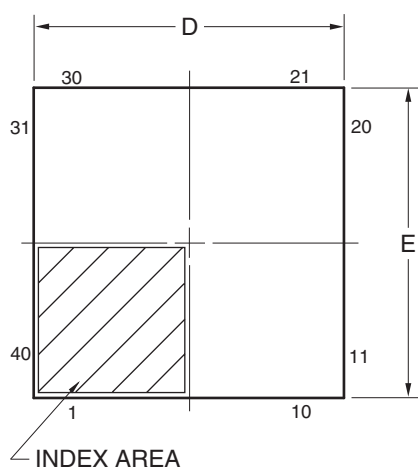
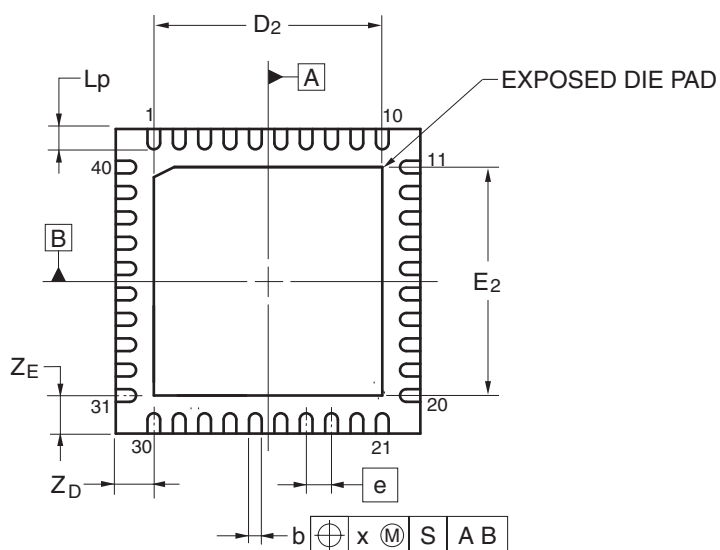
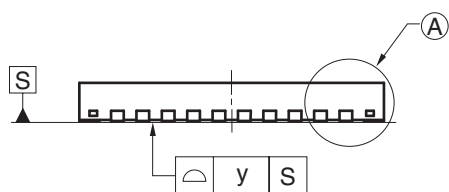
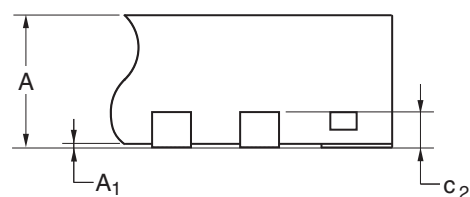


図 1.8 48-pin QFN (2)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-5	0.09



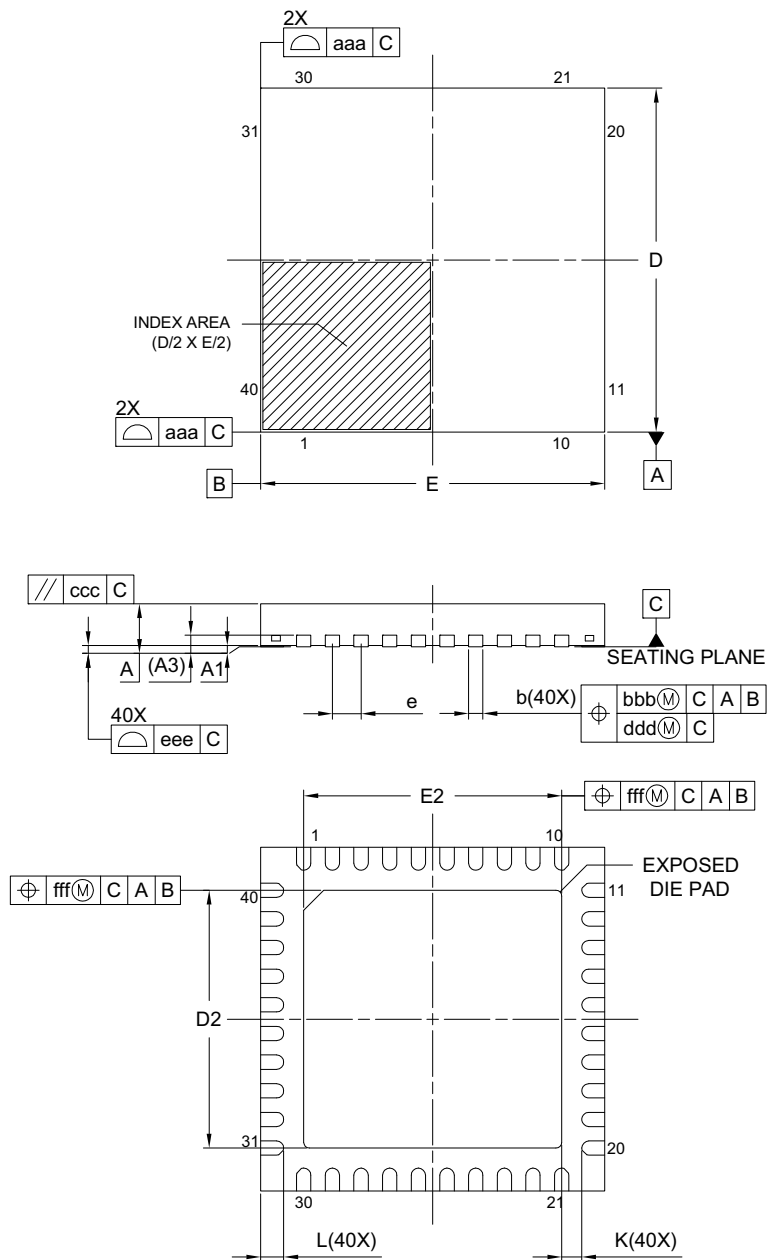
DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	5.95	6.00	6.05
E	5.95	6.00	6.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	4.50	—
E ₂	—	4.50	—

図 1.9 40-pin QFN (1)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 1.10 40-pin QFN (2)

改訂記録	RA4M1 グループデータシート
------	------------------

Rev.	発行日	章	改訂内容
1.00	2020.03.24	—	初版発行
1.10	2023.09.29	—	第 1.10 版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。