

RX62Tグループ、RX62Gグループ

ルネサスマイクロコンピュータ

100MHz、32ビットRX MCU、FPU内蔵、165 DMIPS、
12ビットADC（3 S/H回路、ダブルデータレジスタ、アンプ、コンパレータ）2ユニット、
10ビットADC 1ユニット、ADC 3ユニットで7ch同時サンプリング、
100MHz PWM（三相相補2ch+単相相補4chもしくは三相相補3ch+単相相補1ch）

R01DS0096JJ0200

Rev.2.00

2014.01.10

特長

■ 32ビットRX CPUコア内蔵

- 最大動作周波数 100MHz
165 DMIPS の性能（100MHz 動作時）
- 32ビット単精度浮動小数点（IEEE754に準拠）
- 32x32 → 64ビット演算結果（1命令）のアクキュムレータ
- 乗除算器 32x32ビット（乗算命令は1CPUクロック）
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式：コードを大幅に短縮
- メモリプロテクションユニット（MPU）対応
- JTAGデバッグ機能および高速トレース機能

■ 動作電圧

- 3.3V 単一、5V 単一、3.3V 品はアナログ電源 5V 可能

■ 消費電力低減機能

- 4種類の低消費電力モード

■ 内蔵メインフラッシュメモリ（ウェイトなし）

- 100MHz 動作、10 n sec 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 64K/128K/256K バイトの容量
- 命令、オペランド用
- SCI、JTAG からのユーザ書き込み

■ 内蔵データフラッシュメモリ

- 最大 32K バイト（30K 回消去可能）
- CPU に負荷をかけない書き込み/消去

■ 内蔵SRAM（ウェイトなし）

- 8K/16K バイト SRAM
- オペランド、命令用

■ DMA

- DTC：1ユニットで複数chの転送が可能

■ リセットおよび電源電圧制御

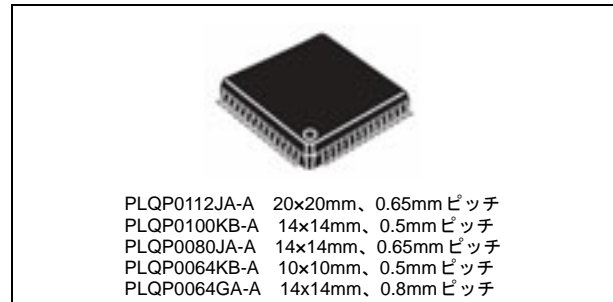
- 常時パワーオンリセット（POR）内蔵
- 低電圧検出機能（LVD）の設定可能

■ クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ~ 12.5MHz
- IWDT 用、内部 125kHz LOCO クロック
- メインクロック発振停止検出機能（IEC60730 対応）

■ 独立ウォッチドッグタイマ（IEC60730 対応）内蔵

- 125kHz LOCO クロック動作
- ソフトウェアでは停止できない強力な WDT



■ 最大7本の通信インタフェース内蔵

- CAN（ISO11898-1 準拠）、32 メールボックス内蔵（1ch）
- SCI（3ch）
調歩同期式モード（ノイズキャンセル機能付き）/
クロック同期式モード/
スマートカードインタフェースモード
- I²C バスインタフェース、SMBus に対応（1ch）
- RSPI（1ch）
- LIN（1ch）

■ 最大16本の16ビットタイマ

- 16ビット MTU3：100MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 2ch 出力、CPU に負荷をかけない相補 PWM、位相計数モード（8ch）
- 16ビット GPT：100MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形単相相補 4ch 出力もしくは三相相補 1ch + 単相相補 1ch 出力、CPU に負荷をかけない相補 PWM、コンパレータ連動（カウンタ動作、PWM ネゲート制御）、発振周波数異常検出機能（IEC60730 対応）（4ch）
- 16ビット CMT（4ch）

■ PWM 波形遅延生成機能（RX62G グループのみ）

- 16ビット GPT の PWM 出力端子の立ち上がり/立ち下がりタイミング制御を 312ps の分解能で実現（100MHz 動作時）

■ 1MHz 動作 A/D コンバータ 3 ユニット 計 20ch 内蔵

- 3 ユニットで 7ch 同時サンプリングが可能
- 自己診断機能（IEC60730 対応）
- 12ビット ADC 2 ユニット：3 サンプル/ホールド回路、ダブルデータレジスタ、アンプ、コンパレータ（8ch）
- 10ビット ADC 1 ユニット（12ch）

■ CRC（Cyclic Redundancy Check）演算器

- 通信データの監視（IEC60730 対応）
- メモリデータの監視（IEC60730 対応）

■ 最大61本の入出力ポート、最大21本の入力ポート

- PORT レジスタ：出力ポートの監視（IEC60730 対応）

■ 動作周囲温度

- 40 °C ~ +85 °C
- 40 °C ~ +105 °C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 に製品別機能対応表を示します。

表 1.1 仕様概要 (1 / 5)

分類	モジュール／機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：100MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 基本命令：73種類 浮動小数点演算命令：8種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット バレルシフタ：32ビット メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数 (32ビット) IEEE754に準拠したデータタイプおよび例外
メモリ	ROM	<ul style="list-style-type: none"> ROM容量：最大256Kバイト 2種類のオンボードプログラミングモード <ul style="list-style-type: none"> ブートモード (SCIを使用してユーザマットを書き換え可能) ユーザプログラムモード オフボードプログラミング <ul style="list-style-type: none"> PROMライターを使用し、ユーザマットの書き換えが可能
	RAM	RAM容量：最大16Kバイト
	データフラッシュ	<ul style="list-style-type: none"> データROM容量：最大32Kバイト BGO (バックグラウンドオペレーション) 対応
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> 1回路：メインクロック発振回路 内部発振：IWDI専用低速オンチップオシレータ PLL周波数シンセサイザと周波数分周回路で構成され、動作周波数を選択可能 発振停止検出：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK) を個別に設定可能 <ul style="list-style-type: none"> CPU、バスマスタなどのシステム系、MTU3およびGPTはICLK同期：8～100MHz 周辺モジュールはPCLK同期：8～50MHz
リセット		端子リセット、パワーオンリセット (電源投入時の自動パワーオンリセット)、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット
電圧検出回路 (LVD)		VCCが電圧検出レベル (Vdet) 以下になると内部リセットまたは内部割り込みを発生
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 <ul style="list-style-type: none"> スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
割り込み	割り込みコントローラ (ICU)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 101 外部割り込み：要因数 9 (NMI端子、IRQ0～IRQ7端子) ノンマスクابل割り込み：要因数 3 (NMI端子、発振停止検出割り込み、電圧監視割り込み) 16レベルの割り込み優先順位を設定可能
データ転送	データ転送コントローラ (DTC)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み

表 1.1 仕様概要 (2 / 5)

分類	モジュール/機能	説明
I/Oポート	プログラマブル 入出力ポート	112ピンLQFP / 100ピンLQFP / 80ピンLQFP : R5F562TxGDFF / 80ピンLQFP : R5F562TxGDFF以外 / 64ピンLQFPのI/Oポート <ul style="list-style-type: none"> • 入出力 : 61 / 55 / 44 / 44 / 37 • 入力 : 21 / 21 / 13 / 13 / 9 • オープンドレイン出力 : 2 / 2 / 2 / 2 / 2 (I²C/バスインタフェース端子) • 大電流出力 : 12 / 12 / 12 / 6 / 6 (0) (MTU3端子、GPT端子) (64ピンの5V版では大電流出力はなし) • 常に端子の状態を読み出すことが可能
タイマ	マルチファンクション タイマパルスユニット3 (MTU3)	<ul style="list-style-type: none"> • 16ビット×8チャンネル • 最大24本のパルス入出力と3本のパルス入力が可能 • チャンネルごとに6~8種類のカウントクロック (ICLK/1、ICLK/4、ICLK/16、ICLK/64、ICLK/256、ICLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を選択可能 (チャンネル5は4種類) • 24本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT) への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 38種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 • 位相計数モード • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/D変換開始間引き機能
	ポートアウトプット イネーブル3 (POE3)	<ul style="list-style-type: none"> • MTU3およびGPT波形出力端子のハイインピーダンス制御 POE0、POE4、POE8、POE10、POE11の5つの入力端子による起動 出力短絡検出 (大電流端子の出力が同時にアクティブレベルになったことを検出) による起動 12ビットA/Dコンバータアナログ入力のコンパレータ検出による起動 発振停止検出による起動 ソフトウェアによる起動 • 各POE入力およびコンパレータ検出時に、どの出力端子をハイインピーダンスにするかを選択可能

表 1.1 仕様概要 (3 / 5)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPT/GPTa)	<ul style="list-style-type: none"> 16ビット×4チャンネル 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波）が選択可能 チャンネルごとに独立したクロックソースを選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載（オーバフロー/アンダフローで割り込み可能） それぞれのカウンタを同期動作可能 同期動作のモード（同時または任意のタイミングでずらす位相シフトに対応） PWM動作の際にデッドタイム生成が可能 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を自動生成可能 外部/内部トリガによりカウントスタート/クリア/ストップ可能 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ 分周されたIWDT専用低速オンチップオシレータクロックのエッジをシステムクロック（ICLK）を分周したカウントクロックで計測することが可能（発振異常検出） 各チャンネル2本のPWM出力端子に対し、システムクロック（ICLK）の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能（PWM遅延生成機能）（GPTaのみ）
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) ×2ユニット 4種類のクロック（PCLK/8、PCLK/32、PCLK/128、PCLK/512）を選択可能
	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> 8ビット×1チャンネル 8種類のカウンタクロック（PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072）を選択可能 ウォッチドッグタイマモード/インターバルタイマモードを切り替えて使用可能
	独立ウォッチドッグタイマ (IWDT)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウンタクロック：IWDT専用低速オンチップオシレータ
通信機能	シリアルコミュニケーションインタフェース (SC1b)	<ul style="list-style-type: none"> 3チャンネル シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ通信機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 ノイズキャンセル機能（調歩同期式時のみ有効）
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能
	CANモジュール (CAN) (オプション)	<ul style="list-style-type: none"> 1チャンネル 32メールボックス
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> 1ユニット RSPI転送機能 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave SeLect）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）/クロック同期式動作（3線式）でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送（1フレームは最大32ビット） バッファ構成 送信/受信バッファ構成はダブルバッファ
	LINモジュール (LIN)	<ul style="list-style-type: none"> 1チャンネル（LINマスタ） LINプロトコルのリビジョン1.3、2.0、2.1に対応

表 1.1 仕様概要 (4 / 5)

分類	モジュール/機能	説明
A/D変換器	12ビットA/D コンバータ (S12ADA)	<ul style="list-style-type: none"> 12ビット (4チャンネル×2ユニット) 分解能: 12ビット 変換時間 1チャンネル当たり1.0μs (A/D変換クロック ADCLK = 50MHz、AVCC0 = 4.0~5.5V時) 1チャンネル当たり2.0μs (A/D変換クロック ADCLK = 25MHz、AVCC0 = 3.0~3.6V時) 2種類の動作モード シングルモード、スキャンモード スキャンモード 1サイクルスキャンモード 連続スキャンモード 2チャンネルスキャンモード (ADユニット内で入力を2グループに分け、別々に起動要因を設定可能) サンプル&ホールド機能付き ユニット共通のサンプル&ホールド回路を搭載 上記に加え、個別のサンプル&ホールド回路を搭載 (3チャンネル/1ユニット) 入力端子ごとにA/D変換レジスタを搭載 ユニットごとに1アナログ入力 (AN000/AN100) のみ変換結果レジスタを2段設置 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ 8、10ビット精度出力対応 変換結果出力の2ビット、または4ビット右シフトが選択可能 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧 (VREFL0、VREFH0×1/2、VREFH0) を生成可能 プログラマブルゲインアンプによる入力信号増幅機能 (3チャンネル/1ユニット) 増幅率: 2.0倍、2.5倍、3.077倍、3.636倍、4.0倍、4.444倍、5.0倍、5.714倍、6.667倍、10.0倍、13.333倍 (計 11ステップ) ウィンドウコンパレータ機能 (3チャンネル/1ユニット)
	10ビットA/D コンバータ (ADA)	<ul style="list-style-type: none"> 10ビット (12チャンネル×1ユニット) 分解能: 10ビット 変換時間 1チャンネル当たり1.0μs (A/D変換クロック ADCLK = 50MHz、AVCC = 4.0~5.5V時) 1チャンネル当たり2.0μs (A/D変換クロック ADCLK = 25MHz、AVCC = 3.0~3.6V時) 2種類の動作モード シングルモード、スキャンモード スキャンモード 1サイクルスキャンモード 連続スキャンモード サンプル&ホールド機能付き ユニット共通のサンプル&ホールド回路を搭載 入力端子ごとにAD変換レジスタ設置 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ 8ビット精度出力対応 変換結果出力の2ビット右シフトが選択可能 自己診断機能 自己診断機能用に、内部で3種類のアナログ入力電圧 (AVSS、VREF×1/2、VREF) を生成可能
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
動作周波数		ICLK: 8~100MHz PCLK: 8~50MHz
電源電圧		<ul style="list-style-type: none"> 3V版 VCC=PLLVC=2.7~3.6V AVCC0=AVCC=3.0~3.6V、または4.0~5.5V VREFH0=3.0~AVCC0、または4.0~AVCC0 VREF=3.0~AVCC、または4.0~AVCC 5V版 VCC=PLLVC=4.0~5.5V AVCC0=AVCC=4.0~5.5V VREFH0=4.0~AVCC0 VREF=4.0~AVCC

表 1.1 仕様概要 (5 / 5)

分類	モジュール/機能	説明
動作周囲温度		Dバージョン：-40～+85℃、Gバージョン：-40～+105℃ (注1)
パッケージ		112ピンLQFP (PLQP0112JA-A (20×20-0.65mmピッチ)) 100ピンLQFP (PLQP0100KB-A (14×14-0.5mmピッチ)) 80ピンLQFP (PLQP0080JA-A (14×14-0.65mmピッチ)) 64ピンLQFP (PLQP0064KB-A (10×10-0.5mmピッチ)) 64ピンLQFP (PLQP0064GA-A (14×14-0.8mmピッチ))

注1. Ta = +85℃～+105℃で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

表 1.2 RX62Tグループ、RX62Gグループ機能比較表 (1 / 2)

機能		RX62Gグループ		RX62Tグループ					
		112ピン	100ピン	112ピン	100ピン	80ピン (R5F562Tx GDFF)	80ピン	64ピン	
データ転送	データトランスファ コントローラ(DTC)	○							
割り込みコ ントローラ (ICU)	NMI 端子入力	○							
	IRQ 端子入力	○ (8本)					○ (4本)		
タイマ	マルチファンクション タイマパルスユニット 3 (MTU3)	○			○ (注1)				
	汎用 PWM タイマ (GPT)	—		○		○ (注1)			
	汎用 PWM タイマ (GPTa)	○		—					
	MTU3/GPT相補PWM 端子	12本				6本			
	ポートアウトプット イネーブル3 (POE3)	○ (POE 端子 5本)					○ (POE 端子 3本)		
	コンペマツチタイマ (CMT)	○							
	ウォッチドッグタイマ (WDT)	○							
	独立ウォッチドッグタ イマ (IWDT)	○							
通信機能	シリアルコミュニケー ションインタフェース (SCI)	○							
	I ² C バスインタフェー ス (RIIC)	○							
	CAN モジュール (CAN) (オプション)	○							
	LIN モジュール (LIN)	○							
	シリアルペリフェラル インタフェース (RSPI)	○							
12ビット A/D コンバータ (S12ADA)	12ビット A/D コンバータ (S12ADA)	○ (4チャンネルx2ユニット)							
	3チャンネル同時サンプ リング機能	○ (2ユニット)							
	プログラマブルゲイン アンプ	○ (3チャンネルx2ユニット)							
	ウィンドウコンパレー タ	○ (3チャンネルx2ユニット)							
10ビット A/D コンバータ (ADA)	○ (12チャンネル)				○ (4チャンネル)		—		
CRC演算器 (CRC)	○								
I/Oポート	入出力	61本	55本	61本	55本	44本	44本	37本	
	入力	21本	21本	21本	21本	13本	13本	9本	

表 1.2 RX62Tグループ、RX62Gグループ機能比較表 (2 / 2)

機能 ピン数	RX62Gグループ		RX62Tグループ				
	112ピン	100ピン	112ピン	100ピン	80ピン (R5F562Tx GDFF)	80ピン	64ピン
パッケージ	LQFP2020 (0.65mm ピッチ)	LQFP1414 (0.5mm ピッチ)	LQFP2020 (0.65mm ピッチ)	LQFP1414 (0.5mm ピッチ)	LQFP1414 (0.65mm ピッチ)	LQFP1414 (0.65mm ピッチ)	LQFP1010 (0.5mm ピッチ) LQFP1414 (0.8mm ピッチ)

○：あり、－：なし

注1. MTU3とGPTについては、パッケージごとに端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。
また、CANモジュールはオプションです。詳細は表 1.3を参照してください。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	データフ ラッシュ 容量	電源電圧	CAN 機能	動作周囲温度
RX62T	R5F562TAADFH	R5F562TAADFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 4.0 ~ 5.5V AVCC/AVCC0 4.0 ~ 5.5V	あり	-40 ~ +85°C (Dバージョン)
	R5F562TAADFP	R5F562TAADFP#V3	PLQP0100KB-A						
	R5F562TAADFF	R5F562TAADFF#V3	PLQP0080JA-A						
	R5F562TAGDFF	R5F562TAGDFF#V3	PLQP0080JA-A						
	R5F562TAADFM	R5F562TAADFM#V3	PLQP0064KB-A						
	R5F562TAADFK	R5F562TAADFK#V3	PLQP0064GA-A						
	R5F562T7ADFH	R5F562T7ADFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562T7ADFP	R5F562T7ADFP#V3	PLQP0100KB-A						
	R5F562T7ADFF	R5F562T7ADFF#V3	PLQP0080JA-A						
	R5F562T7GDFF	R5F562T7GDFF#V3	PLQP0080JA-A						
	R5F562T7ADFM	R5F562T7ADFM#V3	PLQP0064KB-A						
	R5F562T7ADFK	R5F562T7ADFK#V3	PLQP0064GA-A						
	R5F562T6ADFF	R5F562T6ADFF#V3	PLQP0080JA-A	64K バイト	8K バイト				
	R5F562T6ADFM	R5F562T6ADFM#V3	PLQP0064KB-A						
	R5F562T6ADFK	R5F562T6ADFK#V3	PLQP0064GA-A						
	R5F562TABDFH	R5F562TABDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 2.7 ~ 3.6V AVCC/AVCC0 3.0 ~ 3.6V または 4.0 ~ 5.5V		
	R5F562TABDFP	R5F562TABDFP#V3	PLQP0100KB-A						
	R5F562TABDFF	R5F562TABDFF#V3	PLQP0080JA-A						
	R5F562TABDFM	R5F562TABDFM#V3	PLQP0064KB-A						
	R5F562TABDFK	R5F562TABDFK#V3	PLQP0064GA-A						
	R5F562T7BDFH	R5F562T7BDFH#V3	PLQP0112JA-A					128K バイト	
	R5F562T7BDFP	R5F562T7BDFP#V3	PLQP0100KB-A						
	R5F562T7BDFF	R5F562T7BDFF#V3	PLQP0080JA-A						
	R5F562T7BDFM	R5F562T7BDFM#V3	PLQP0064KB-A						
	R5F562T7BDFK	R5F562T7BDFK#V3	PLQP0064GA-A						
	R5F562T6BDFF	R5F562T6BDFF#V3	PLQP0080JA-A	64K バイト	8K バイト				
	R5F562T6BDFM	R5F562T6BDFM#V3	PLQP0064KB-A						
	R5F562T6BDFK	R5F562T6BDFK#V3	PLQP0064GA-A						
	R5F562TADDFH	R5F562TADDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	4.0 ~ 5.5V	なし	
	R5F562TADDFP	R5F562TADDFP#V3	PLQP0100KB-A						
	R5F562TADDFE	R5F562TADDFE#V3	PLQP0080JA-A						
	R5F562TADDFM	R5F562TADDFM#V3	PLQP0064KB-A						
	R5F562TADDFK	R5F562TADDFK#V3	PLQP0064GA-A						
	R5F562T7DDFH	R5F562T7DDFH#V3	PLQP0112JA-A						
	R5F562T7DDFP	R5F562T7DDFP#V3	PLQP0100KB-A						
	R5F562T7DDFF	R5F562T7DDFF#V3	PLQP0080JA-A						
R5F562T7DDFM	R5F562T7DDFM#V3	PLQP0064KB-A							
R5F562T7DDFK	R5F562T7DDFK#V3	PLQP0064GA-A							
R5F562T6DDFF	R5F562T6DDFF#V3	PLQP0080JA-A	64K バイト	8K バイト					
R5F562T6DDFM	R5F562T6DDFM#V3	PLQP0064KB-A							
R5F562T6DDFK	R5F562T6DDFK#V3	PLQP0064GA-A							
R5F562TAEDFH	R5F562TAEDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	2.7 ~ 3.6V			
R5F562TAEDFP	R5F562TAEDFP#V3	PLQP0100KB-A							
R5F562TAEDFF	R5F562TAEDFF#V3	PLQP0080JA-A							

表 1.3 製品一覧表 (2 / 3)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	データフ ラッシュ 容量	電源電圧	CAN 機能	動作周囲温度
RX62T	R5F562TAEDFM	R5F562TAEDFM#V3	PLQP0064KB-A	256K バイト	16K バイト	32K バイト	2.7 ~ 3.6V	なし	-40 ~ +85°C (Dバージョン)
	R5F562TAEDFK	R5F562TAEDFK#V3	PLQP0064GA-A						
	R5F562T7EDFH	R5F562T7EDFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562T7EDFP	R5F562T7EDFP#V3	PLQP0100KB-A						
	R5F562T7EDFF	R5F562T7EDFF#V3	PLQP0080JA-A						
	R5F562T7EDFM	R5F562T7EDFM#V3	PLQP0064KB-A						
	R5F562T7EDFK	R5F562T7EDFK#V3	PLQP0064GA-A						
	R5F562T6EDFF	R5F562T6EDFF#V3	PLQP0080JA-A	64K バイト	8K バイト				
	R5F562T6EDFM	R5F562T6EDFM#V3	PLQP0064KB-A						
	R5F562T6EDFK	R5F562T6EDFK#V3	PLQP0064GA-A						
	R5F562TAAGFH	R5F562TAAGFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVC 4.0 ~ 5.5V AVCC/AVCCO 4.0 ~ 5.5V	あり	-40 ~ +105°C (Gバージョン) (注1)
	R5F562TAAGFP	R5F562TAAGFP#V3	PLQP0100KB-A						
	R5F562TAAGFF	R5F562TAAGFF#V3	PLQP0080JA-A						
	R5F562TAGGFF	R5F562TAGGFF#V3	PLQP0080JA-A						
	R5F562TAAGFM	R5F562TAAGFM#V3	PLQP0064KB-A						
	R5F562TAAGFK	R5F562TAAGFK#V3	PLQP0064GA-A						
	R5F562T7AGFH	R5F562T7AGFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562T7AGFP	R5F562T7AGFP#V3	PLQP0100KB-A						
	R5F562T7AGFF	R5F562T7AGFF#V3	PLQP0080JA-A						
	R5F562T7GGFF	R5F562T7GGFF#V3	PLQP0080JA-A						
	R5F562T7AGFM	R5F562T7AGFM#V3	PLQP0064KB-A						
	R5F562T7AGFK	R5F562T7AGFK#V3	PLQP0064GA-A						
	R5F562T6AGFF	R5F562T6AGFF#V3	PLQP0080JA-A	64K バイト	8K バイト				
	R5F562T6AGFM	R5F562T6AGFM#V3	PLQP0064KB-A						
	R5F562T6AGFK	R5F562T6AGFK#V3	PLQP0064GA-A						
	R5F562TABGFH	R5F562TABGFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVC 2.7 ~ 3.6V AVCC/AVCCO 3.0 ~ 3.6V または 4.0 ~ 5.5V		
	R5F562TABGFP	R5F562TABGFP#V3	PLQP0100KB-A						
	R5F562TABGFF	R5F562TABGFF#V3	PLQP0080JA-A						
	R5F562TABGFM	R5F562TABGFM#V3	PLQP0064KB-A						
	R5F562TABGFK	R5F562TABGFK#V3	PLQP0064GA-A						
	R5F562T7BGFH	R5F562T7BGFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562T7BGFP	R5F562T7BGFP#V3	PLQP0100KB-A						
R5F562T7BGFF	R5F562T7BGFF#V3	PLQP0080JA-A							
R5F562T7BGFM	R5F562T7BGFM#V3	PLQP0064KB-A							
R5F562T7BGFK	R5F562T7BGFK#V3	PLQP0064GA-A							
R5F562T6BGFF	R5F562T6BGFF#V3	PLQP0080JA-A	64K バイト	8K バイト					
R5F562T6BGFM	R5F562T6BGFM#V3	PLQP0064KB-A							
R5F562T6BGFK	R5F562T6BGFK#V3	PLQP0064GA-A							

表 1.3 製品一覧表 (3 / 3)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	データフ ラッシュ 容量	電源電圧	CAN 機能	動作周囲温度
RX62G	R5F562GAADFH	R5F562GAADFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 4.0 ~ 5.5V AVCC/AVCC0 4.0 ~ 5.5V	あり	-40 ~ +85°C (Dバージョン)
	R5F562GAADFP	R5F562GAADFP#V3	PLQP0100KB-A						
	R5F562G7ADFH	R5F562G7ADFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562G7ADFP	R5F562G7ADFP#V3	PLQP0100KB-A						
	R5F562GADDFH	R5F562GADDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト		なし	
	R5F562GADDFP	R5F562GADDFP#V3	PLQP0100KB-A						
	R5F562G7DDFH	R5F562G7DDFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562G7DDFP	R5F562G7DDFP#V3	PLQP0100KB-A						
RX62G	R5F562GAAGFH	R5F562GAAGFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 4.0 ~ 5.5V AVCC/AVCC0 4.0 ~ 5.5V	あり	-40 ~ +105°C (Gバージョン) (注1)
	R5F562GAAGFP	R5F562GAAGFP#V3	PLQP0100KB-A						
	R5F562G7AGFH	R5F562G7AGFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562G7AGFP	R5F562G7AGFP#V3	PLQP0100KB-A						

注1. Gバージョンをご使用になる場合は、弊社までお問い合わせください。

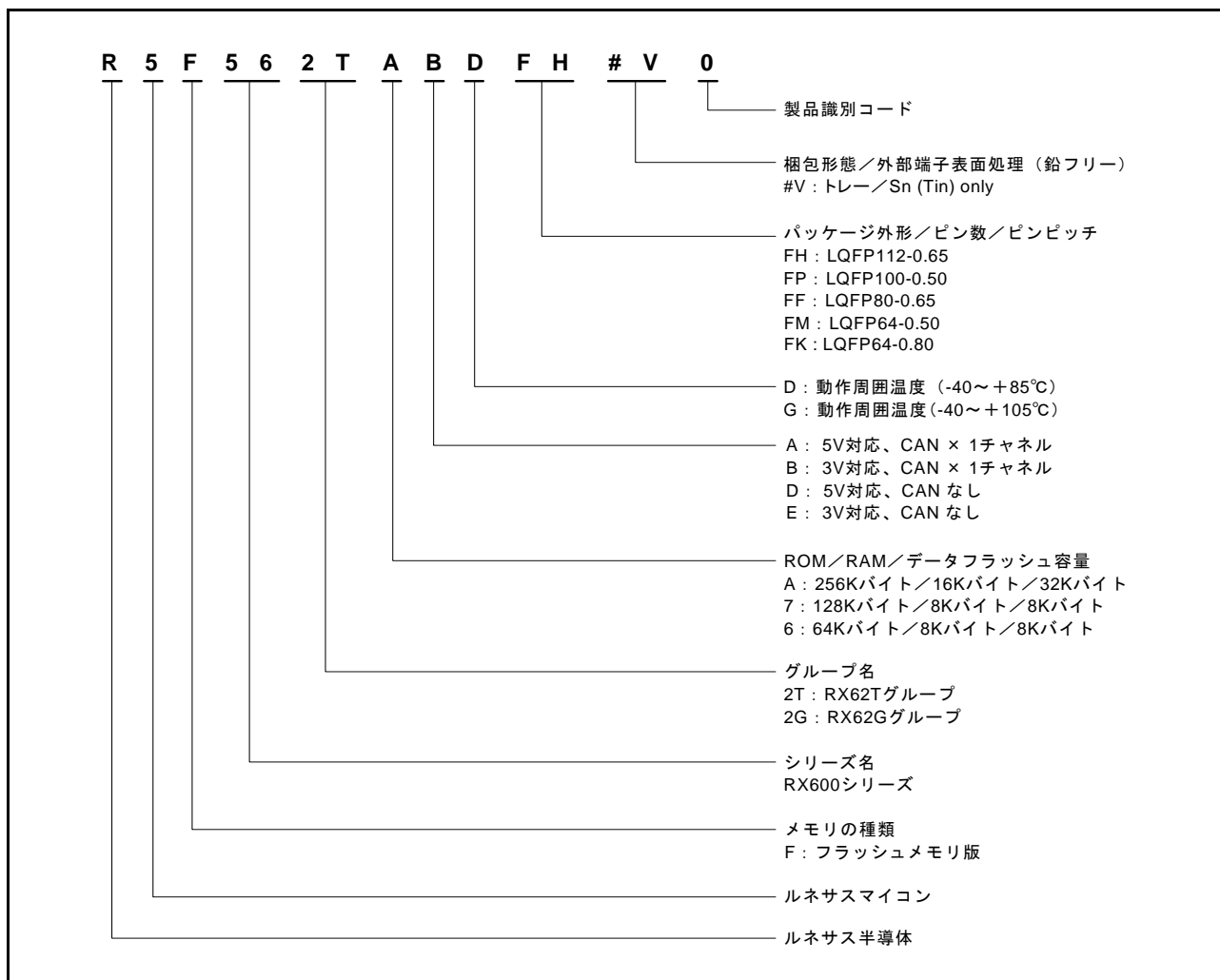


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

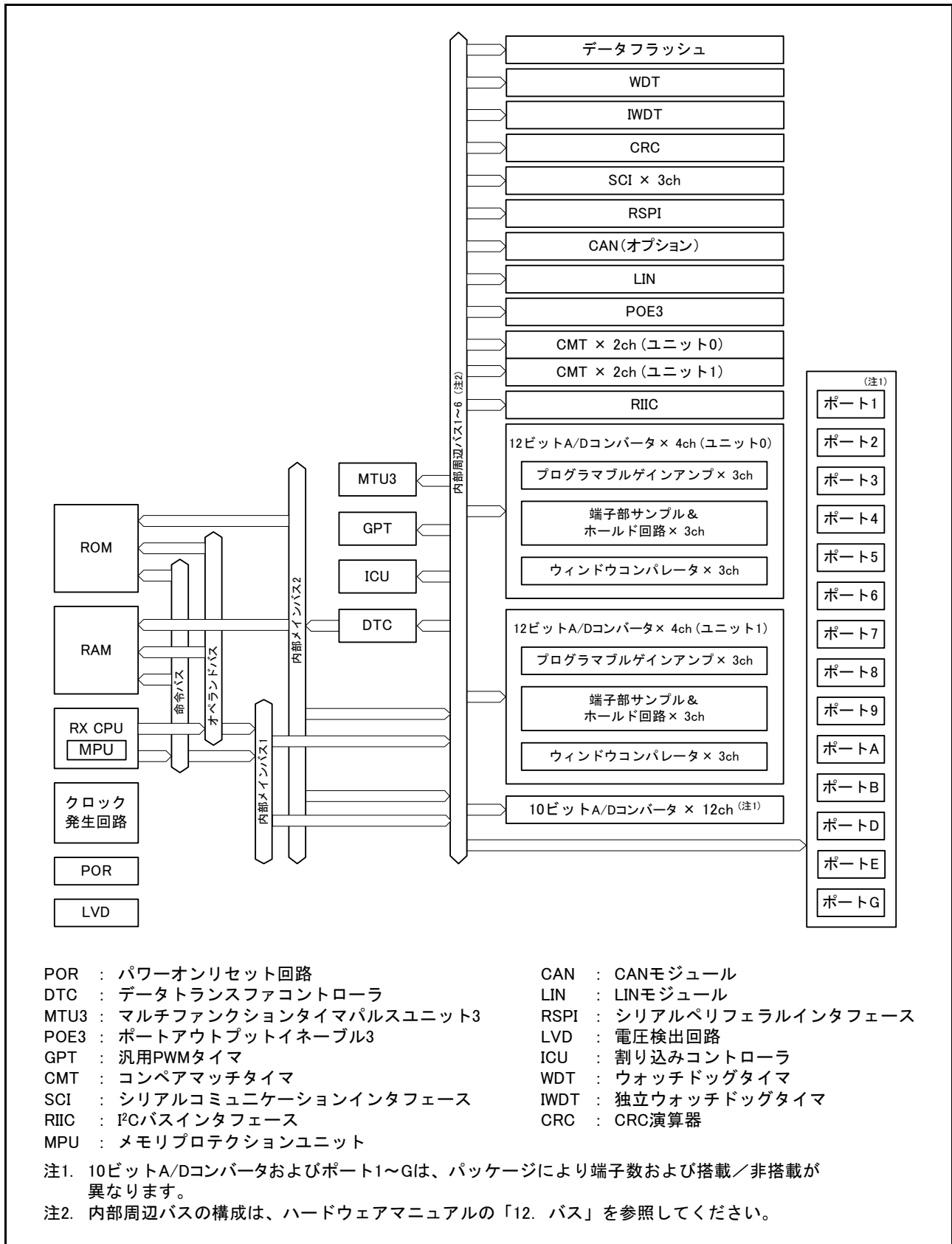


図 1.2 ブロック図

1.4 ピン配置図

図 1.3 ~ 図 1.7 にピン配置図を示します。また、表 1.4 ~ 表 1.8 に機能別端子一覧を示します。

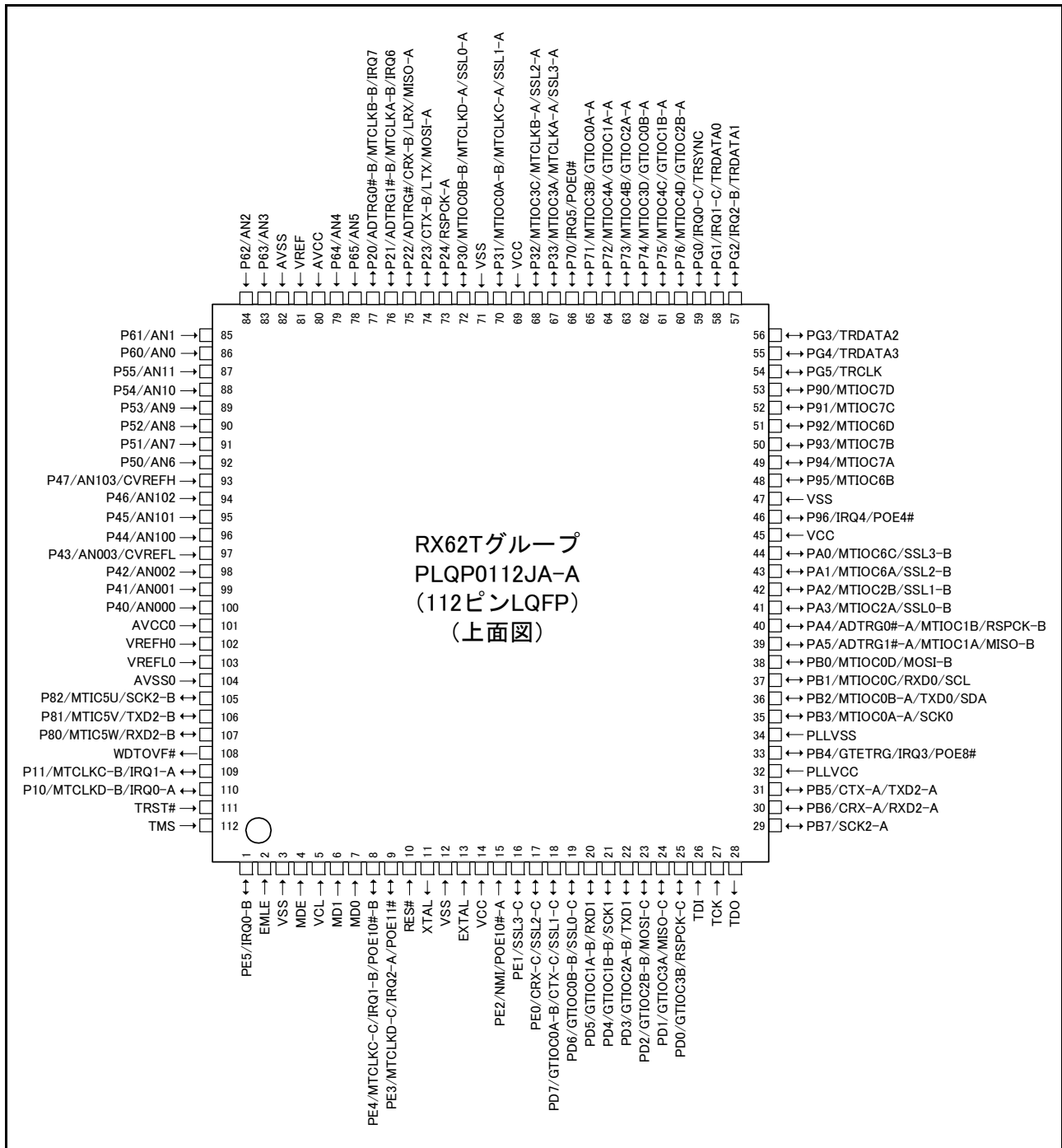


図 1.3 112ピンLQFPピン配置図

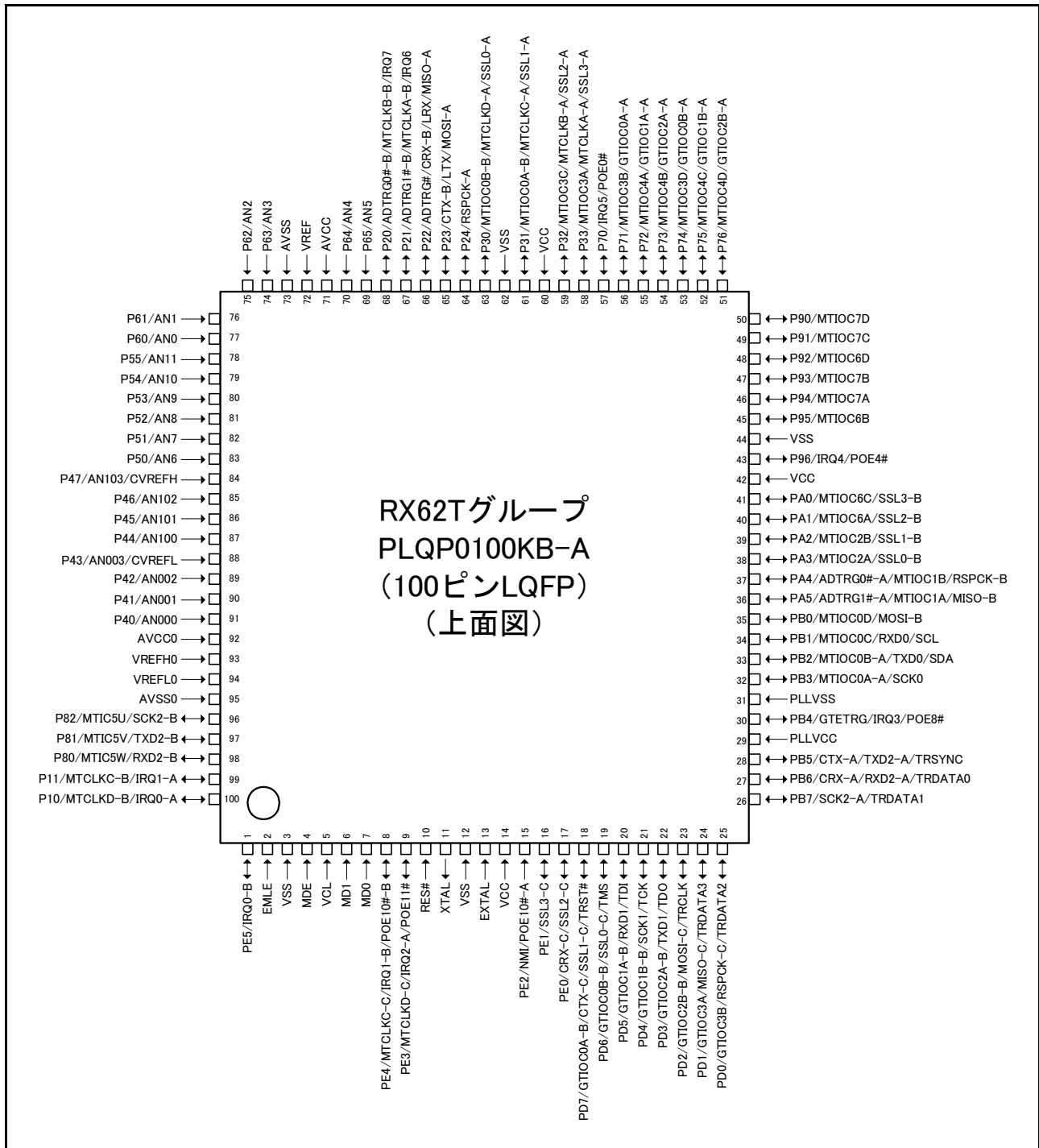


図 1.4 100ピンLQFPピン配置図

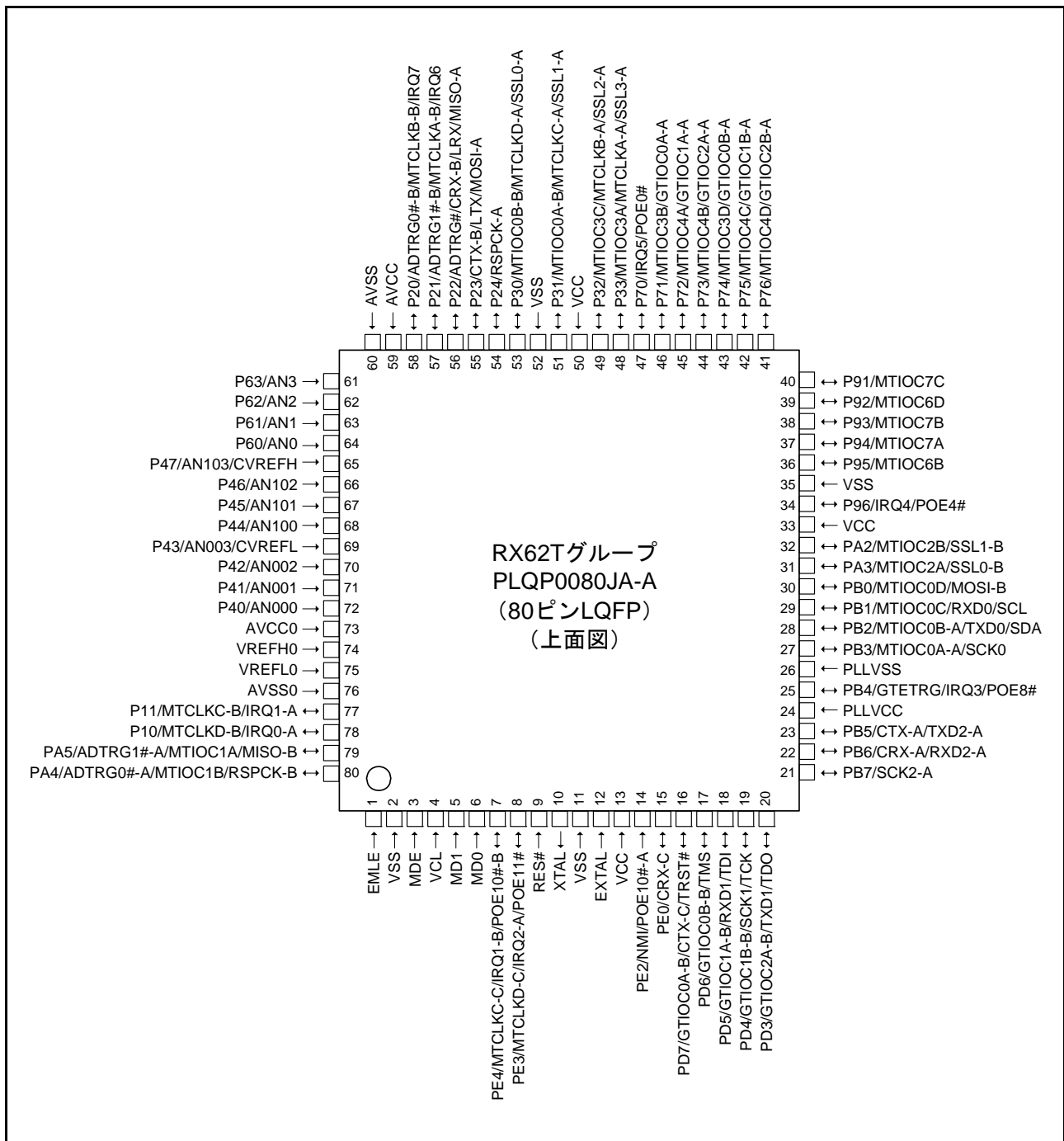


図 1.5 80ピンLQFPピン配置図

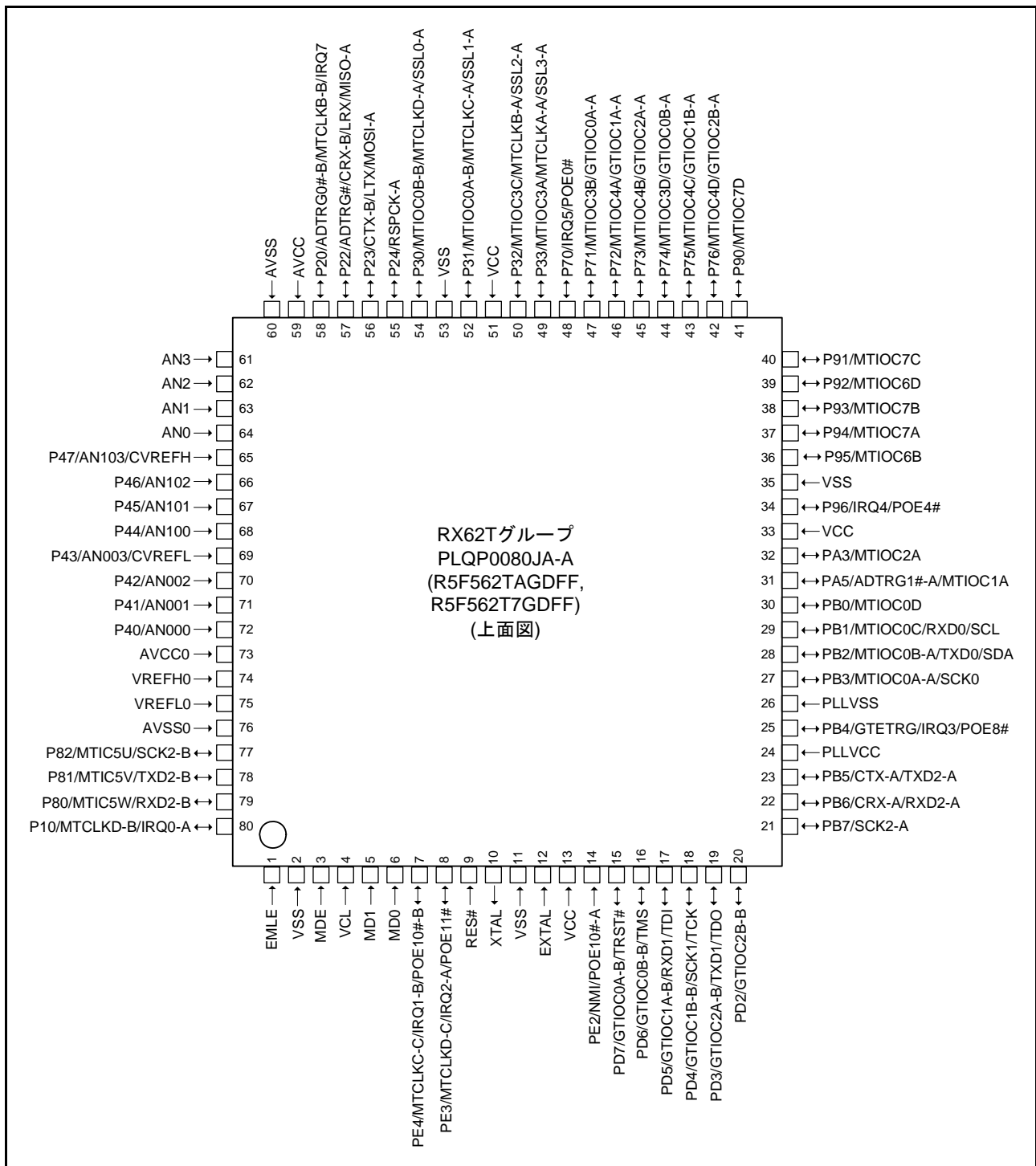


図 1.6 80ピンLQFPピン配置図(2モータ制御対応版)

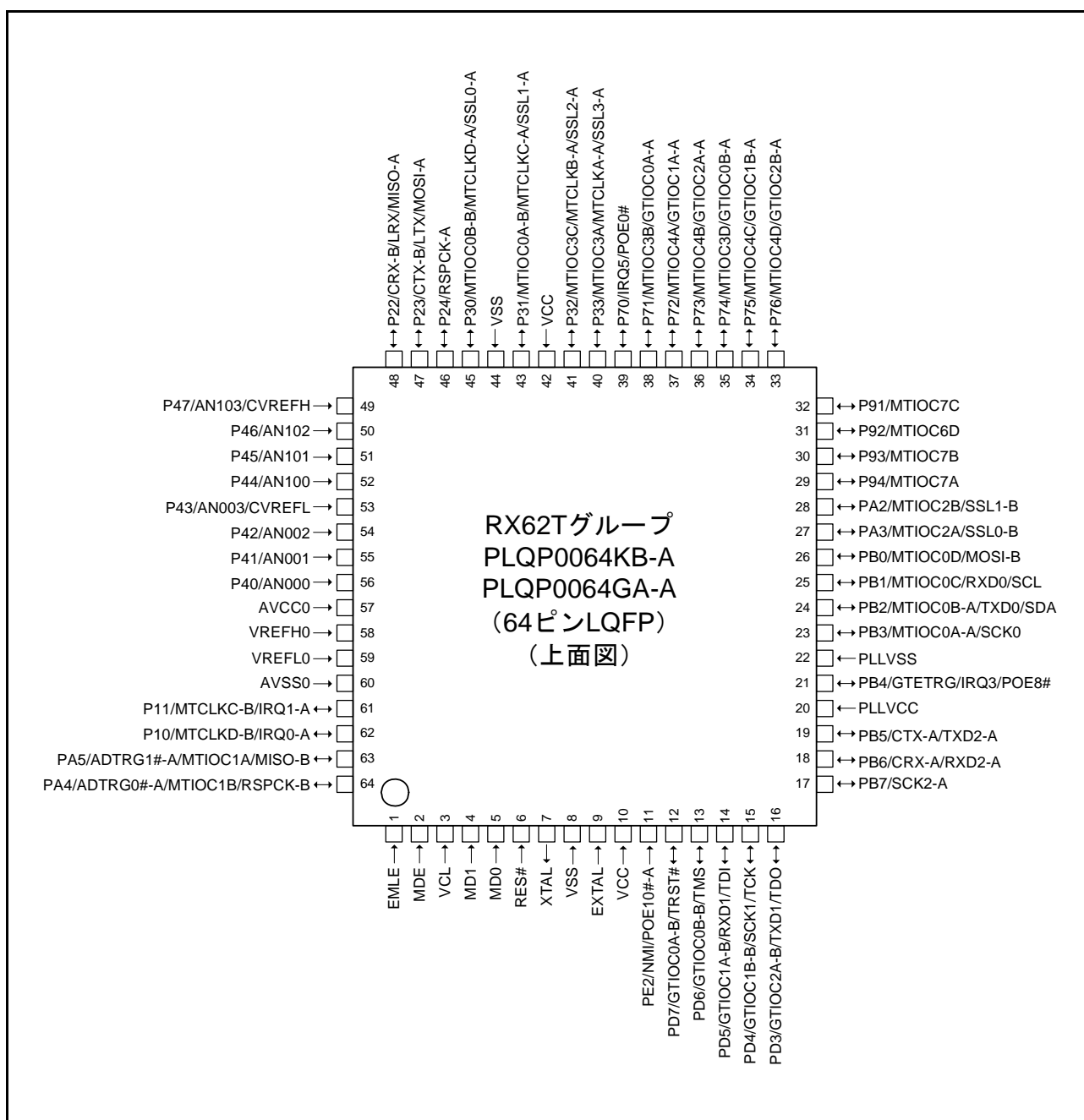


図 1.7 64ピンLQFPピン配置図

表 1.4 機能別端子一覧 (112ピンLQFP) (1/3)

ピン番号 (112ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1		PE5				IRQ0-B		
2	EMLE							
3	VSS							
4	MDE							
5	VCL							
6	MD1							
7	MD0							
8		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
9		PE3		MTCLKD-C		IRQ2-A	POE11#	
10	RES#							
11	XTAL							
12	VSS							
13	EXTAL							
14	VCC							
15		PE2				NMI	POE10#-A	
16		PE1			SSL3-C			
17		PE0			CRX-C/ SSL2-C			
18		PD7		GTIOC0A-B	CTX-C/ SSL1-C			
19		PD6		GTIOC0B-B	SSL0-C			
20		PD5		GTIOC1A-B	RXD1			
21		PD4		GTIOC1B-B	SCK1			
22		PD3		GTIOC2A-B	TXD1			
23		PD2		GTIOC2B-B	MOSI-C			
24		PD1		GTIOC3A	MISO-C			
25		PD0		GTIOC3B	RSPCK-C			
26								TDI
27								TCK
28								TDO
29		PB7			SCK2-A			
30		PB6			CRX-A/ RXD2-A			
31		PB5			CTX-A/ TXD2-A			
32	PLLVCC							
33		PB4		GTETRG		IRQ3	POE8#	
34	PLLVSS							
35		PB3		MTIOC0A-A	SCK0			
36		PB2		MTIOC0B-A	TXD0/SDA			
37		PB1		MTIOC0C	RXD0/SCL			
38		PB0		MTIOC0D	MOSI-B			
39		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
40		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			

表 1.4 機能別端子一覧 (112ピンLQFP) (2 / 3)

ピン番号 (112ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
41		PA3		MTIOC2A	SSL0-B			
42		PA2		MTIOC2B	SSL1-B			
43		PA1		MTIOC6A	SSL2-B			
44		PA0		MTIOC6C	SSL3-B			
45	VCC							
46		P96				IRQ4	POE4#	
47	VSS							
48		P95		MTIOC6B				
49		P94		MTIOC7A				
50		P93		MTIOC7B				
51		P92		MTIOC6D				
52		P91		MTIOC7C				
53		P90		MTIOC7D				
54		PG5						TRCLK
55		PG4						TRDATA3
56		PG3						TRDATA2
57		PG2				IRQ2-B		TRDATA1
58		PG1				IRQ1-C		TRDATA0
59		PG0				IRQ0-C		TRSYNC
60		P76		MTIOC4D/ GTIOC2B-A				
61		P75		MTIOC4C/ GTIOC1B-A				
62		P74		MTIOC3D/ GTIOC0B-A				
63		P73		MTIOC4B/ GTIOC2A-A				
64		P72		MTIOC4A/ GTIOC1A-A				
65		P71		MTIOC3B/ GTIOC0A-A				
66		P70				IRQ5	POE0#	
67		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
68		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
69	VCC							
70		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
71	VSS							
72		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
73		P24			RSPCK-A			
74		P23			CTX-B/ LTX/ MOSI-A			

表 1.4 機能別端子一覧 (112ピンLQFP) (3 / 3)

ピン番号 (112ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
75		P22	ADTRG#		CRX-B/ LRX/ MISO-A			
76		P21	ADTRG1#-B	MTCLKA-B		IRQ6		
77		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
78		P65	AN5					
79		P64	AN4					
80	AVCC							
81	VREF							
82	AVSS							
83		P63	AN3					
84		P62	AN2					
85		P61	AN1					
86		P60	AN0					
87		P55	AN11					
88		P54	AN10					
89		P53	AN9					
90		P52	AN8					
91		P51	AN7					
92		P50	AN6					
93		P47	AN103/ CVREFH					
94		P46	AN102					
95		P45	AN101					
96		P44	AN100					
97		P43	AN003/ CVREFL					
98		P42	AN002					
99		P41	AN001					
100		P40	AN000					
101	AVCC0							
102	VREFH0							
103	VREFL0							
104	AVSS0							
105		P82		MTIC5U	SCK2-B			
106		P81		MTIC5V	TXD2-B			
107		P80		MTIC5W	RXD2-B			
108				WDTOVF#				
109		P11		MTCLKC-B		IRQ1-A		
110		P10		MTCLKD-B		IRQ0-A		
111								TRST#
112								TMS

表 1.5 機能別端子一覧 (100ピンLQFP) (1/3)

ピン番号 (100ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1		PE5				IRQ0-B		
2	EMLE							
3	VSS							
4	MDE							
5	VCL							
6	MD1							
7	MD0							
8		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
9		PE3		MTCLKD-C		IRQ2-A	POE11#	
10	RES#							
11	XTAL							
12	VSS							
13	EXTAL							
14	VCC							
15		PE2				NMI	POE10#-A	
16		PE1			SSL3-C			
17		PE0			CRX-C/ SSL2-C			
18		PD7		GTIOC0A-B	CTX-C/ SSL1-C			TRST#
19		PD6		GTIOC0B-B	SSL0-C			TMS
20		PD5		GTIOC1A-B	RXD1			TDI
21		PD4		GTIOC1B-B	SCK1			TCK
22		PD3		GTIOC2A-B	TXD1			TDO
23		PD2		GTIOC2B-B	MOSI-C			TRCLK
24		PD1		GTIOC3A	MISO-C			TRDATA3
25		PD0		GTIOC3B	RSPCK-C			TRDATA2
26		PB7			SCK2-A			TRDATA1
27		PB6			CRX-A/ RXD2-A			TRDATA0
28		PB5			CTX-A/ TXD2-A			TRSYNC
29	PLLVCC							
30		PB4		GTETRG		IRQ3	POE8#	
31	PLLVSS							
32		PB3		MTIOC0A-A	SCK0			
33		PB2		MTIOC0B-A	TXD0/SDA			
34		PB1		MTIOC0C	RXD0/SCL			
35		PB0		MTIOC0D	MOSI-B			
36		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
37		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			
38		PA3		MTIOC2A	SSL0-B			
39		PA2		MTIOC2B	SSL1-B			
40		PA1		MTIOC6A	SSL2-B			

表 1.5 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン番号 (100ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
41		PA0		MTIOC6C	SSL3-B			
42	VCC							
43		P96				IRQ4	POE4#	
44	VSS							
45		P95		MTIOC6B				
46		P94		MTIOC7A				
47		P93		MTIOC7B				
48		P92		MTIOC6D				
49		P91		MTIOC7C				
50		P90		MTIOC7D				
51		P76		MTIOC4D/ GTIOC2B-A				
52		P75		MTIOC4C/ GTIOC1B-A				
53		P74		MTIOC3D/ GTIOC0B-A				
54		P73		MTIOC4B/ GTIOC2A-A				
55		P72		MTIOC4A/ GTIOC1A-A				
56		P71		MTIOC3B/ GTIOC0A-A				
57		P70				IRQ5	POE0#	
58		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
59		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
60	VCC							
61		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
62	VSS							
63		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
64		P24			RSPCK-A			
65		P23			CTX-B/ LTX/ MOSI-A			
66		P22	ADTRG#		CRX-B/ LRX/ MISO-A			
67		P21	ADTRG1#-B	MTCLKA-B		IRQ6		
68		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
69		P65	AN5					
70		P64	AN4					
71	AVCC							
72	VREF							

表 1.5 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン番号 (100ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
73	AVSS							
74		P63	AN3					
75		P62	AN2					
76		P61	AN1					
77		P60	AN0					
78		P55	AN11					
79		P54	AN10					
80		P53	AN9					
81		P52	AN8					
82		P51	AN7					
83		P50	AN6					
84		P47	AN103/ CVREFH					
85		P46	AN102					
86		P45	AN101					
87		P44	AN100					
88		P43	AN003/ CVREFL					
89		P42	AN002					
90		P41	AN001					
91		P40	AN000					
92	AVCC0							
93	VREFH0							
94	VREFL0							
95	AVSS0							
96		P82		MTIC5U	SCK2-B			
97		P81		MTIC5V	TXD2-B			
98		P80		MTIC5W	RXD2-B			
99		P11		MTCLKC-B		IRQ1-A		
100		P10		MTCLKD-B		IRQ0-A		

表 1.6 機能別端子一覧 (80ピンLQFP) (1 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1	EMLE							
2	VSS							
3	MDE							
4	VCL							
5	MD1							
6	MD0							
7		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
8		PE3		MTCLKD-C		IRQ2-A	POE11#	
9	RES#							
10	XTAL							
11	VSS							
12	EXTAL							
13	VCC							
14		PE2				NMI	POE10#-A	
15		PE0			CRX-C			
16		PD7		GTIOC0A-B	CTX-C			TRST#
17		PD6		GTIOC0B-B				TMS
18		PD5		GTIOC1A-B	RXD1			TDI
19		PD4		GTIOC1B-B	SCK1			TCK
20		PD3		GTIOC2A-B	TXD1			TDO
21		PB7			SCK2-A			
22		PB6			CRX-A/ RXD2-A			
23		PB5			CTX-A/ TXD2-A			
24	PLLVCC							
25		PB4		GTETRG		IRQ3	POE8#	
26	PLLVSS							
27		PB3		MTIOC0A-A	SCK0			
28		PB2		MTIOC0B-A	TXD0/SDA			
29		PB1		MTIOC0C	RXD0/SCL			
30		PB0		MTIOC0D	MOSI-B			
31		PA3		MTIOC2A	SSL0-B			
32		PA2		MTIOC2B	SSL1-B			
33	VCC							
34		P96				IRQ4	POE4#	
35	VSS							
36		P95		MTIOC6B				
37		P94		MTIOC7A				
38		P93		MTIOC7B				
39		P92		MTIOC6D				
40		P91		MTIOC7C				
41		P76		MTIOC4D/ GTIOC2B-A				

表 1.6 機能別端子一覧 (80ピンLQFP) (2 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
42		P75		MTIOC4C/ GTIOC1B-A				
43		P74		MTIOC3D/ GTIOC0B-A				
44		P73		MTIOC4B/ GTIOC2A-A				
45		P72		MTIOC4A/ GTIOC1A-A				
46		P71		MTIOC3B/ GTIOC0A-A				
47		P70				IRQ5	POE0#	
48		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
49		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
50	VCC							
51		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
52	VSS							
53		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
54		P24			RSPCK-A			
55		P23			CTX-B/ LTX/ MOSI-A			
56		P22	ADTRG#		CRX-B/ LRX/ MISO-A			
57		P21	ADTRG1#-B	MTCLKA-B		IRQ6		
58		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
59	AVCC							
60	AVSS							
61		P63	AN3					
62		P62	AN2					
63		P61	AN1					
64		P60	AN0					
65		P47	AN103/ CVREFH					
66		P46	AN102					
67		P45	AN101					
68		P44	AN100					
69		P43	AN003/ CVREFL					
70		P42	AN002					
71		P41	AN001					
72		P40	AN000					
73	AVCC0							
74	VREFH0							
75	VREFL0							

表 1.6 機能別端子一覧 (80ピンLQFP) (3 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
76	AVSS0							
77		P11		MTCLKC-B		IRQ1-A		
78		P10		MTCLKD-B		IRQ0-A		
79		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
80		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			

表 1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) (1 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1	EMLE							
2	VSS							
3	MDE							
4	VCL							
5	MD1							
6	MD0							
7		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
8		PE3		MTCLKD-C		IRQ2-A	POE11#	
9	RES#							
10	XTAL							
11	VSS							
12	EXTAL							
13	VCC							
14		PE2				NMI	POE10#-A	
15		PD7		GTIOC0A-B				TRST#
16		PD6		GTIOC0B-B				TMS
17		PD5		GTIOC1A-B	RXD1			TDI
18		PD4		GTIOC1B-B	SCK1			TCK
19		PD3		GTIOC2A-B	TXD1			TDO
20		PD2		GTIOC2B-B				
21		PB7			SCK2-A			
22		PB6			CRX-A/ RXD2-A			
23		PB5			CTX-A/ TXD2-A			
24	PLLVCC							
25		PB4		GTETRG		IRQ3	POE8#	
26	PLLSS							
27		PB3		MTIOC0A-A	SCK0			
28		PB2		MTIOC0B-A	TXD0/SDA			
29		PB1		MTIOC0C	RXD0/SCL			
30		PB0		MTIOC0D				
31		PA5	ADTRG1#-A	MTIOC1A				
32		PA3		MTIOC2A				
33	VCC							
34		P96				IRQ4	POE4#	
35	VSS							
36		P95		MTIOC6B				
37		P94		MTIOC7A				
38		P93		MTIOC7B				
39		P92		MTIOC6D				
40		P91		MTIOC7C				
41		P90		MTIOC7D				

表 1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) (2 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
42		P76		MTIOC4D/ GTIOC2B-A				
43		P75		MTIOC4C/ GTIOC1B-A				
44		P74		MTIOC3D/ GTIOC0B-A				
45		P73		MTIOC4B/ GTIOC2A-A				
46		P72		MTIOC4A/ GTIOC1A-A				
47		P71		MTIOC3B/ GTIOC0A-A				
48		P70				IRQ5	POE0#	
49		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
50		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
51	VCC							
52		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
53	VSS							
54		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
55		P24			RSPCK-A			
56		P23			CTX-B/ LTX/ MOSI-A			
57		P22	ADTRG#		CRX-B/ LRX/ MISO- A			
58		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
59	AVCC							
60	AVSS							
61		P63	AN3					
62		P62	AN2					
63		P61	AN1					
64		P60	AN0					
65		P47	AN103/ CVREFH					
66		P46	AN102					
67		P45	AN101					
68		P44	AN100					
69		P43	AN003/ CVREFL					
70		P42	AN002					
71		P41	AN001					
72		P40	AN000					
73	AVCC0							
74	VREFH0							
75	VREFL0							

表 1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) (3 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
76	AVSS0							
77		P82		MTIC5U	SCK2-B			
78		P81		MTIC5V	TXD2-B			
79		P80		MTIC5W	RXD2-B			
80		P10		MTCLKD-B		IRQ0-A		

表 1.8 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号 (64ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1	EMLE							
2	MDE							
3	VCL							
4	MD1							
5	MD0							
6	RES#							
7	XTAL							
8	VSS							
9	EXTAL							
10	VCC							
11		PE2				NMI	POE10#-A	
12		PD7		GTIOC0A-B				TRST#
13		PD6		GTIOC0B-B				TMS
14		PD5		GTIOC1A-B	RXD1			TDI
15		PD4		GTIOC1B-B	SCK1			TCK
16		PD3		GTIOC2A-B	TXD1			TDO
17		PB7			SCK2-A			
18		PB6			CRX-A/ RXD2-A			
19		PB5			CTX-A/ TXD2-A			
20	PLLVCC							
21		PB4		GTETRG		IRQ3	POE8#	
22	PLLVSS							
23		PB3		MTIOC0A-A	SCK0			
24		PB2		MTIOC0B-A	TXD0/SDA			
25		PB1		MTIOC0C	RXD0/SCL			
26		PB0		MTIOC0D	MOSI-B			
27		PA3		MTIOC2A	SSL0-B			
28		PA2		MTIOC2B	SSL1-B			
29		P94		MTIOC7A				
30		P93		MTIOC7B				
31		P92		MTIOC6D				
32		P91		MTIOC7C				
33		P76		MTIOC4D/ GTIOC2B-A				
34		P75		MTIOC4C/ GTIOC1B-A				
35		P74		MTIOC3D/ GTIOC0B-A				
36		P73		MTIOC4B/ GTIOC2A-A				
37		P72		MTIOC4A/ GTIOC1A-A				
38		P71		MTIOC3B/ GTIOC0A-A				

表 1.8 機能別端子一覧 (64ピンLQFP) (2 / 2)

ピン番号 (64ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
39		P70				IRQ5	POE0#	
40		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
41		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
42	VCC							
43		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
44	VSS							
45		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
46		P24			RSPCK-A			
47		P23			CTX-B/ LTX/ MOSI-A			
48		P22			CRX-B/ LRX/ MISO-A			
49		P47	AN103/ CVREFH					
50		P46	AN102					
51		P45	AN101					
52		P44	AN100					
53		P43	AN003/ CVREFL					
54		P42	AN002					
55		P41	AN001					
56		P40	AN000					
57	AVCC0							
58	VREFH0							
59	VREFL0							
60	AVSS0							
61		P11		MTCLKC-B		IRQ1-A		
62		P10		MTCLKD-B		IRQ0-A		
63		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
64		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			

1.5 端子機能

表 1.9 に端子機能一覧を示します。

表 1.9 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子です。システムの電源に接続してください
	VCL	入力	0.1 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子です。システムの電源 (0V) に接続してください
	PLLVCC	入力	PLL回路用の電源端子です。システムの電源に接続してください
	PLLVSS	入力	PLL回路用のグランド端子です
クロック	XTAL	出力	水晶発振器接続端子です。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
動作モードコントロール	MD0、MD1、MDE	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子です。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータを許可する端子です。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowにしてください
オンチップエミュレータ	TRST#	入力	オンチップエミュレータ用の端子です。EMLE 端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します。80ピン版および64ピン版にはありません
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します。80ピン版および64ピン版にはありません
	TRDATA0～TRDATA3	出力	トレース情報を出力します。80ピン版および64ピン版にはありません
割り込み (ICU)	NMI	入力	ノンマスクブル割り込み要求端子です
	IRQ0-A/IRQ0-B/IRQ0-C IRQ1-A/IRQ1-B/IRQ1-C IRQ2-A/IRQ2-B IRQ3～IRQ7	入力	割り込み要求端子です。100ピン版には、IRQ0-C/IRQ1-C/IRQ2-B端子はありません。80ピン版には、IRQ0-B/IRQ0-C/IRQ1-C/IRQ2-B端子はありません。64ピン版にはIRQ0-B/IRQ0-C/IRQ1-B/IRQ1-C/IRQ2-A/IRQ2-B/IRQ4/IRQ6/IRQ7端子はありません

表 1.9 端子機能一覧 (2 / 4)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット3 (MTU3)	MTIOC0A-A/MTIOC0A-B MTIOC0B-A/MTIOC0B-B MTIOC0C、MTIOC0D	入出力	MTU0.TGRA~MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です
	MTIOC1A、MTIOC1B	入出力	MTU1.TGRA、MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です
	MTIOC2A、MTIOC2B	入出力	MTU2.TGRA、MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	MTU3.TGRA~MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 MTIOC3B端子とMTIOC3D端子は大電流出力として使用できます
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	MTU4.TGRA~MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 全て大電流出力として使用できます
	MTIC5U、MTIC5V、MTIC5W	入力	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWのインプットキャプチャ入力/デッドタイム補償機能の入力端子です。80ピン版および64ピン版にはありません
	MTIOC6A、MTIOC6B MTIOC6C、MTIOC6D	入出力	MTU6.TGRA~MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 MTIOC6B端子とMTIOC6D端子は大電流出力として使用できます。80ピン版には、MTIOC6A/MTIOC6C端子はありません。64ピン版にはMTIOC6A/MTIOC6B/MTIOC6C端子はありません
	MTIOC7A、MTIOC7B MTIOC7C、MTIOC7D	入出力	MTU7.TGRA~MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 全て大電流出力として使用できます。 80ピン版および64ピン版にはMTIOC7D端子はありません
	MTCLKA-A/MTCLKA-B MTCLKB-A/MTCLKB-B MTCLKC-A/MTCLKC-B/ MTCLKC-C MTCLKD-A/MTCLKD-B/ MTCLKD-C	入力	外部クロックを入力します。 64ピン版にはMTCLKA-B/MTCLKB-B/MTCLKC-C/MTCLKD-C端子はありません
汎用PWMタイマ (GPT)	GTIOC0A-A/GTIOC0A-B GTIOC0B-A/GTIOC0B-B	入出力	GPT0.GTCCRA、GPT0.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 GTIOC0A-A端子とGTIOC0B-A端子は大電流出力として使用できます
	GTIOC1A-A/GTIOC1A-B GTIOC1B-A/GTIOC1B-B	入出力	GPT1.GTCCRA、GPT1.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 GTIOC1A-A端子とGTIOC1B-A端子は大電流出力として使用できます
	GTIOC2A-A/GTIOC2A-B GTIOC2B-A/GTIOC2B-B	入出力	GPT2.GTCCRA、GPT2.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 GTIOC2A-A端子とGTIOC2B-A端子は大電流出力として使用できます。 80ピン版および64ピン版にはGTIOC2B-B端子はありません
	GTIOC3A、GTIOC3B	入出力	GPT3.GTCCRA、GPT3.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。80ピン版および64ピン版にはありません
	GTETRG	入力	外部トリガ入力端子です
ポートアウトプット イネーブル3 (POE3)	POE0#、POE4#、POE8# POE10#-A/POE10#-B POE11#	入力	MTU3およびGPT用の大電流端子をハイインピーダンス状態にする要求信号を入力します。64ピン版にはPOE4#/POE10#-B/ POE11#端子はありません
ウォッチドッグタイマ (WDT)	WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子です。100ピン版、80ピン版、64ピン版にはありません
シリアル コミュニケーション インタフェース (SCIb)	TXD0、TXD1、TXD2-A/TXD2-B	出力	送信データ出力端子です。80ピン版および64ピン版にはTXD2-B端子はありません
	RXD0、RXD1、RXD2-A/RXD2-B	入力	受信データ入力端子です。80ピン版および64ピン版にはRXD2-B端子はありません
	SCK0、SCK1、SCK2-A/SCK2-B	入出力	クロック入出力端子です。80ピン版および64ピン版にはSCK2-B端子はありません

表 1.9 端子機能一覧 (3 / 4)

分類	端子名	入出力	機能
I ² Cバスインタフェース (RIIC)	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
CANモジュール (CAN) (オプション)	CRX-A/CRX-B/CRX-C	入力	CANの入力端子です。64ピン版にはCRX-C端子はありません
	CTX-A/CTX-B/CTX-C	出力	CANの出力端子です。64ピン版にはCTX-C端子はありません
LINモジュール (LIN)	LRX	入力	LINの入力端子です
	LTX	出力	LINの出力端子です
シリアルペリフェラルインタフェース (RSPI)	RSPCK-A/RSPCK-B/RSPCK-C	入出力	RSPIのクロック入出力端子です。80ピン版および64ピン版にはRSPCK-C端子はありません
	MOSI-A/MOSI-B/MOSI-C	入出力	RSPIのマスタ送出データ端子です。80ピン版および64ピン版にはMOSI-C端子はありません
	MISO-A/MISO-B/MISO-C	入出力	RSPIのスレーブ送出データ端子です。80ピン版および64ピン版にはMISO-C端子はありません
	SSL0-A/SSL0-B/SSL0-C	入出力	RSPIのスレーブセレクト。80ピン版および64ピン版にはSSL0-C/SSL1-C/SSL2-C/SSL3-C端子はありません
	SSL1-A/SSL1-B/SSL1-C SSL2-A/SSL2-B/SSL2-C SSL3-A/SSL3-B/SSL3-C	出力	
A/Dコンバータ	AN000 ~ AN003、 AN100 ~ AN103	入力	12ビットA/Dコンバータのアナログ入力端子です
	AN0 ~ AN11	入力	10ビットA/Dコンバータのアナログ入力端子です。80ピン版にはAN4 ~ AN11端子はありません。64ピン版にはありません
	ADTRG0#-A/ADTRG0#-B ADTRG1#-A/ADTRG1#-B ADTRG#	入力	A/D変換開始のための外部トリガ入力端子です。64ピン版にはADTRG0#-B/ADTRG1#-B/ADTRG#端子はありません
	CVREFH	入力	コンパレータハイレベル基準電圧用入力端子です
	CVREFL	入力	コンパレータロウレベル基準電圧用入力端子です
	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しない場合は、システムの電源に接続してください
	AVSS0	入力	12ビットA/Dコンバータのグラウンド端子です。システムの電源(0V)に接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子です。12ビットA/Dコンバータを使用しない場合は、システムの電源に接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準電源端子のグラウンド端子です。12ビットA/Dコンバータを使用しない場合は、システムの電源(0V)に接続してください
	AVCC	入力	10ビットA/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しない場合は、システムの電源に接続してください。64ピン版にはありません
	AVSS	入力	10ビットA/Dコンバータのグラウンド端子です。システムの電源(0V)に接続してください。64ピン版にはありません
	VREF	入力	10ビットA/Dコンバータの基準電源端子です。10ビットA/Dコンバータを使用しない場合は、システムの電源に接続してください。80ピン版および64ピン版にはありません

表 1.9 端子機能一覧 (4 / 4)

分類	端子名	入出力	機能
I/Oポート	P10、P11	入出力	2ビットの入出力端子です
	P20～P24	入出力	5ビットの入出力端子です。64ピン版にはP20/P21端子はありません
	P30～P33	入出力	4ビットの入出力端子です
	P40～P47	入力	8ビットの入力端子です
	P50～P55	入力	6ビットの入力端子です。80ピン版および64ピン版にはありません
	P60～P65	入力	6ビットの入力端子です。80ピン版にはP64/P65端子はありません。64ピン版にはありません
	P70～P76	入出力	7ビットの入出力端子です
	P80～P82	入出力	3ビットの入出力端子です。80ピン版および64ピン版にはありません
	P90～P96	入出力	7ビットの入出力端子です。80ピン版にはP90端子はありません。64ピン版にはP90/P95/P96端子はありません
	PA0～PA5	入出力	6ビットの入出力端子です。80ピン版および64ピン版にはPA0/PA1端子はありません
	PB0～PB7	入出力	8ビットの入出力端子です
	PD0～PD7	入出力	8ビットの入出力端子です。80ピン版および64ピン版にはPD0/PD1/PD2端子はありません
	PE0、PE1、PE3～PE5	入出力	5ビットの入出力端子です。80ピン版にはPE1/PE5端子はありません。64ピン版にはありません
	PE2	入力	1ビットの入力端子です
	PG0～PG5	入出力	6ビットの入出力端子です。100ピン版、80ピン版、64ピン版にはありません

注. パッケージラインナップにより非搭載端子があります。詳細は表 1.4～表 1.8の機能別端子一覧を参照してください。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

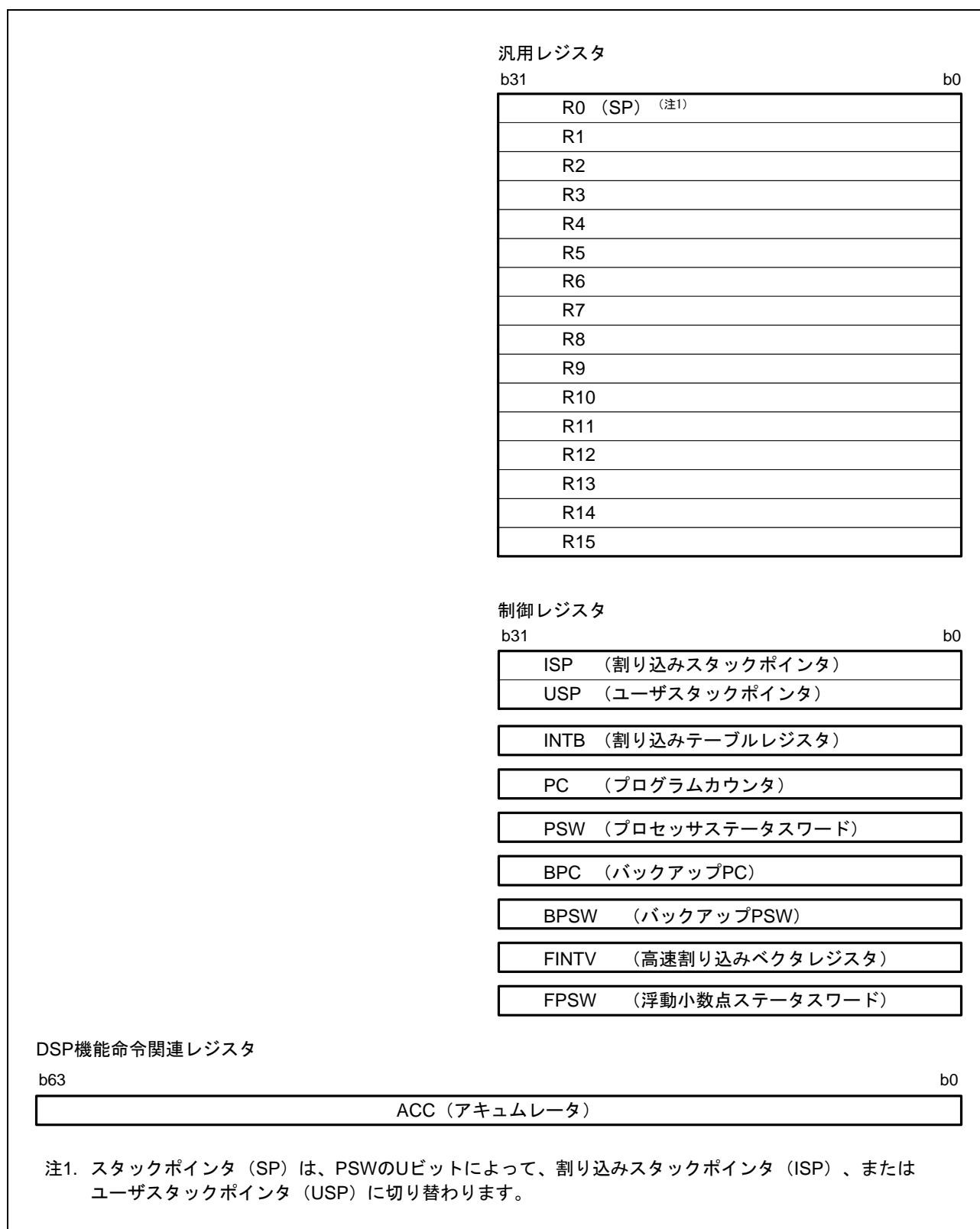


図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

また、INTB レジスタには4の倍数を設定してください。

(3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(8) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j=“1”$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし例外発生の原因を判断することができます。例外処理を禁止 ($E_j=“0”$) した場合は、一連の処理の最後に F_j フラグをチェックし例外処理の有無を確認することができます。 F_j フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。(j=X、U、Z、O、V)

(9) アキュムレータ (ACC)

アキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 にメモリマップを示します。

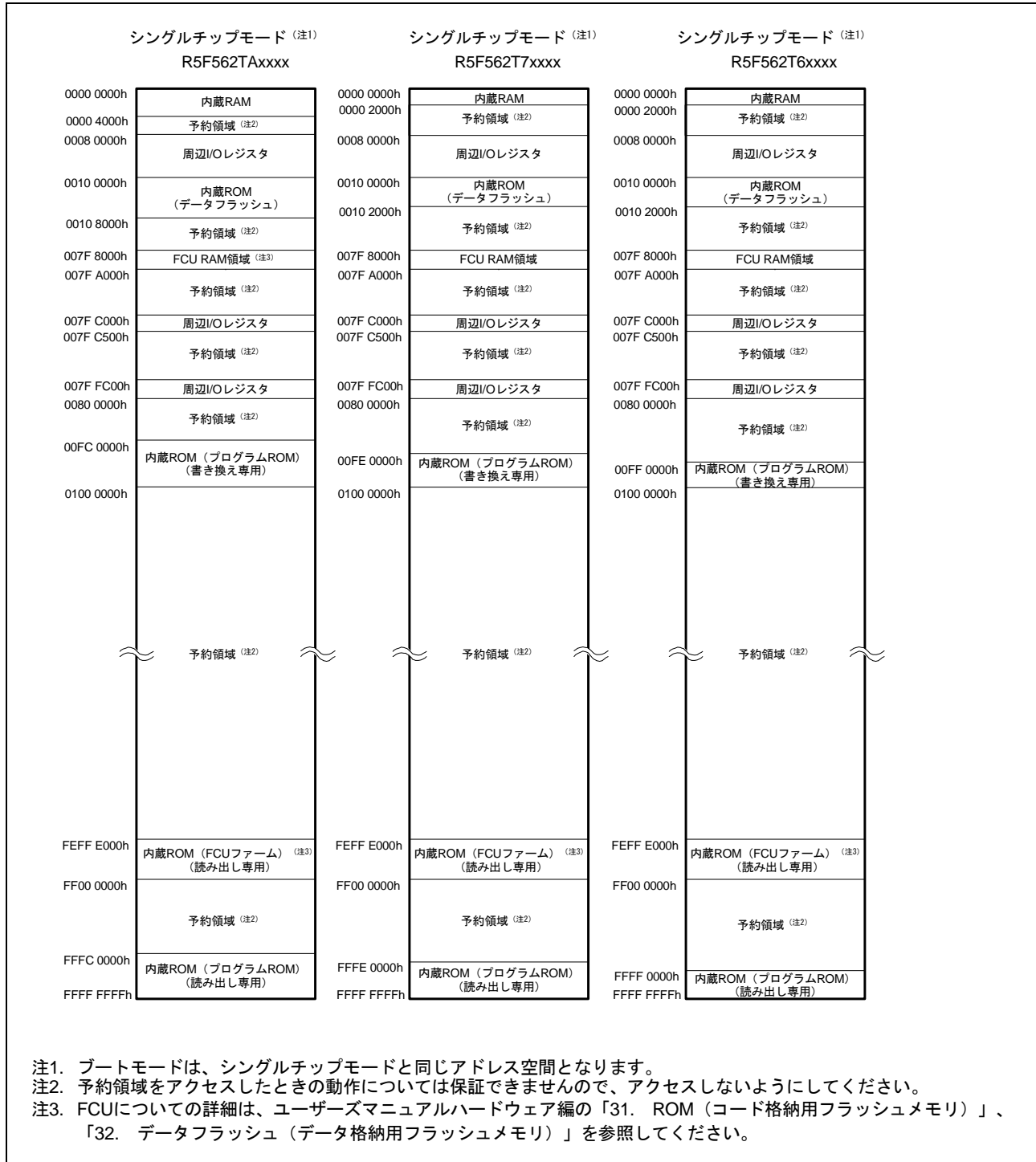


図 3.1 メモリマップ (RX62Tグループ、RX62Gグループ)

4. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。
- I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないでください。
- レジスタごとにアクセスサイズが指定されています。指定されたアクセスサイズ以外でのアクセスは禁止です。

(2) I/O レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- 予約ビットは、ビット名部に「—」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

(3) I/O レジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERm.IENjビット）（注1）を“0”にして、割り込み禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

注1. ユーザーズマニュアルハードウェア編の「11.2.2 割り込み要求許可レジスタ m (IERm) (m=02h ~ 1Fh)」を参照してください。

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(4) I/O レジスタアクセスサイクル数

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/O レジスタアクセスサイクル数} = \text{内部メインバス 1 のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス 1、2、4、6 のバスサイクル数}$$

内部周辺バス 1、2、4、6 のバスサイクル数は、アクセス先のレジスタによって異なります。レジスタごとの I/O レジスタアクセスサイクル数は、「表 4.1 I/O レジスタアドレス一覧」を参照してください。

内部周辺バス 6 に接続されている周辺機能へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK の周波数比やバスアクセスのタイミングによって異なりますが、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK で最大 1 サイクルとなるため、表 4.1 では 1PCLK の幅を持たせて記載しています。

- 注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

4.1 I/O レジスタアドレス一覧 (アドレス順)

表4.1 I/O レジスタアドレス一覧 (1 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK
0008 6504h	MPU	バググラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK
0008 6508h	MPU	メモリプロテクションエラーステータスクリア レジスタ	MPECLR	32	32	1ICLK
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK
0008 6514h	MPU	データメモリプロテクションエラーアドレス レジスタ	MPDEA	32	32	1ICLK
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK

表 4.1 I/O レジスタアドレス一覧 (2 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK
0008 7038h	ICU	割り込み要求レジスタ 056	IR056	8	8	2ICLK
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK
0008 703Ch	ICU	割り込み要求レジスタ 060	IR060	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7060h	ICU	割り込み要求レジスタ 096	IR096	8	8	2ICLK
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (3 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (4 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 70FEh	ICU	割り込み要求レジスタ 254	IR254	8	8	2ICLK
0008 711Bh	ICU	DTC起動許可レジスタ 027	DTCER027	8	8	2ICLK
0008 711Ch	ICU	DTC起動許可レジスタ 028	DTCER028	8	8	2ICLK
0008 711Dh	ICU	DTC起動許可レジスタ 029	DTCER029	8	8	2ICLK
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCER030	8	8	2ICLK
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCER031	8	8	2ICLK
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCER045	8	8	2ICLK
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCER046	8	8	2ICLK
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCER064	8	8	2ICLK
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCER065	8	8	2ICLK
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCER066	8	8	2ICLK
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCER067	8	8	2ICLK
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCER068	8	8	2ICLK
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCER069	8	8	2ICLK
0008 7146h	ICU	DTC起動許可レジスタ 070	DTCER070	8	8	2ICLK
0008 7147h	ICU	DTC起動許可レジスタ 071	DTCER071	8	8	2ICLK
0008 7162h	ICU	DTC起動許可レジスタ 098	DTCER098	8	8	2ICLK
0008 7166h	ICU	DTC起動許可レジスタ 102	DTCER102	8	8	2ICLK
0008 7167h	ICU	DTC起動許可レジスタ 103	DTCER103	8	8	2ICLK
0008 716Ah	ICU	DTC起動許可レジスタ 106	DTCER106	8	8	2ICLK
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCER114	8	8	2ICLK
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCER115	8	8	2ICLK
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCER116	8	8	2ICLK
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCER117	8	8	2ICLK
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCER121	8	8	2ICLK
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCER122	8	8	2ICLK
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2ICLK
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2ICLK
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2ICLK
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2ICLK
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2ICLK
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2ICLK
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2ICLK
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2ICLK
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (5 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2ICLK
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2ICLK
0008 718Bh	ICU	DTC 起動許可レジスタ 139	DTCER139	8	8	2ICLK
0008 718Ch	ICU	DTC 起動許可レジスタ 140	DTCER140	8	8	2ICLK
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2ICLK
0008 718Eh	ICU	DTC 起動許可レジスタ 142	DTCER142	8	8	2ICLK
0008 718Fh	ICU	DTC 起動許可レジスタ 143	DTCER143	8	8	2ICLK
0008 7190h	ICU	DTC 起動許可レジスタ 144	DTCER144	8	8	2ICLK
0008 7191h	ICU	DTC 起動許可レジスタ 145	DTCER145	8	8	2ICLK
0008 7195h	ICU	DTC 起動許可レジスタ 149	DTCER149	8	8	2ICLK
0008 7196h	ICU	DTC 起動許可レジスタ 150	DTCER150	8	8	2ICLK
0008 7197h	ICU	DTC 起動許可レジスタ 151	DTCER151	8	8	2ICLK
0008 7198h	ICU	DTC 起動許可レジスタ 152	DTCER152	8	8	2ICLK
0008 7199h	ICU	DTC 起動許可レジスタ 153	DTCER153	8	8	2ICLK
0008 71AEh	ICU	DTC 起動許可レジスタ 174	DTCER174	8	8	2ICLK
0008 71AFh	ICU	DTC 起動許可レジスタ 175	DTCER175	8	8	2ICLK
0008 71B0h	ICU	DTC 起動許可レジスタ 176	DTCER176	8	8	2ICLK
0008 71B1h	ICU	DTC 起動許可レジスタ 177	DTCER177	8	8	2ICLK
0008 71B2h	ICU	DTC 起動許可レジスタ 178	DTCER178	8	8	2ICLK
0008 71B3h	ICU	DTC 起動許可レジスタ 179	DTCER179	8	8	2ICLK
0008 71B4h	ICU	DTC 起動許可レジスタ 180	DTCER180	8	8	2ICLK
0008 71B5h	ICU	DTC 起動許可レジスタ 181	DTCER181	8	8	2ICLK
0008 71B6h	ICU	DTC 起動許可レジスタ 182	DTCER182	8	8	2ICLK
0008 71B7h	ICU	DTC 起動許可レジスタ 183	DTCER183	8	8	2ICLK
0008 71B8h	ICU	DTC 起動許可レジスタ 184	DTCER184	8	8	2ICLK
0008 71BAh	ICU	DTC 起動許可レジスタ 186	DTCER186	8	8	2ICLK
0008 71BBh	ICU	DTC 起動許可レジスタ 187	DTCER187	8	8	2ICLK
0008 71BCh	ICU	DTC 起動許可レジスタ 188	DTCER188	8	8	2ICLK
0008 71BDh	ICU	DTC 起動許可レジスタ 189	DTCER189	8	8	2ICLK
0008 71BEh	ICU	DTC 起動許可レジスタ 190	DTCER190	8	8	2ICLK
0008 71C0h	ICU	DTC 起動許可レジスタ 192	DTCER192	8	8	2ICLK
0008 71C1h	ICU	DTC 起動許可レジスタ 193	DTCER193	8	8	2ICLK
0008 71C2h	ICU	DTC 起動許可レジスタ 194	DTCER194	8	8	2ICLK
0008 71C3h	ICU	DTC 起動許可レジスタ 195	DTCER195	8	8	2ICLK
0008 71C4h	ICU	DTC 起動許可レジスタ 196	DTCER196	8	8	2ICLK
0008 71D7h	ICU	DTC 起動許可レジスタ 215	DTCER215	8	8	2ICLK
0008 71D8h	ICU	DTC 起動許可レジスタ 216	DTCER216	8	8	2ICLK
0008 71DBh	ICU	DTC 起動許可レジスタ 219	DTCER219	8	8	2ICLK
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DTCER220	8	8	2ICLK
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DTCER223	8	8	2ICLK
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DTCER224	8	8	2ICLK
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DTCER247	8	8	2ICLK
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DTCER248	8	8	2ICLK
0008 71FEh	ICU	DTC 起動許可レジスタ 254	DTCER254	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (6 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 00	IPR00	8	8	2ICLK
0008 7301h	ICU	割り込み要因プライオリティレジスタ 01	IPR01	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 02	IPR02	8	8	2ICLK
0008 7303h	ICU	割り込み要因プライオリティレジスタ 03	IPR03	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 04	IPR04	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 05	IPR05	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 06	IPR06	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 07	IPR07	8	8	2ICLK
0008 7314h	ICU	割り込み要因プライオリティレジスタ 14	IPR14	8	8	2ICLK
0008 7318h	ICU	割り込み要因プライオリティレジスタ 18	IPR18	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 20	IPR20	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 21	IPR21	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 22	IPR22	8	8	2ICLK
0008 7323h	ICU	割り込み要因プライオリティレジスタ 23	IPR23	8	8	2ICLK
0008 7324h	ICU	割り込み要因プライオリティレジスタ 24	IPR24	8	8	2ICLK
0008 7325h	ICU	割り込み要因プライオリティレジスタ 25	IPR25	8	8	2ICLK
0008 7326h	ICU	割り込み要因プライオリティレジスタ 26	IPR26	8	8	2ICLK
0008 7327h	ICU	割り込み要因プライオリティレジスタ 27	IPR27	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 40	IPR40	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 44	IPR44	8	8	2ICLK
0008 7348h	ICU	割り込み要因プライオリティレジスタ 48	IPR48	8	8	2ICLK
0008 7349h	ICU	割り込み要因プライオリティレジスタ 49	IPR49	8	8	2ICLK
0008 7351h	ICU	割り込み要因プライオリティレジスタ 51	IPR51	8	8	2ICLK
0008 7352h	ICU	割り込み要因プライオリティレジスタ 52	IPR52	8	8	2ICLK
0008 7353h	ICU	割り込み要因プライオリティレジスタ 53	IPR53	8	8	2ICLK
0008 7354h	ICU	割り込み要因プライオリティレジスタ 54	IPR54	8	8	2ICLK
0008 7355h	ICU	割り込み要因プライオリティレジスタ 55	IPR55	8	8	2ICLK
0008 7356h	ICU	割り込み要因プライオリティレジスタ 56	IPR56	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (7 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7357h	ICU	割り込み要因プライオリティレジスタ 57	IPR57	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 58	IPR58	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 59	IPR59	8	8	2ICLK
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 5A	IPR5A	8	8	2ICLK
0008 735Bh	ICU	割り込み要因プライオリティレジスタ 5B	IPR5B	8	8	2ICLK
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 5C	IPR5C	8	8	2ICLK
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 5D	IPR5D	8	8	2ICLK
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 5E	IPR5E	8	8	2ICLK
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 5F	IPR5F	8	8	2ICLK
0008 7360h	ICU	割り込み要因プライオリティレジスタ 60	IPR60	8	8	2ICLK
0008 7367h	ICU	割り込み要因プライオリティレジスタ 67	IPR67	8	8	2ICLK
0008 7368h	ICU	割り込み要因プライオリティレジスタ 68	IPR68	8	8	2ICLK
0008 7369h	ICU	割り込み要因プライオリティレジスタ 69	IPR69	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 6A	IPR6A	8	8	2ICLK
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 6B	IPR6B	8	8	2ICLK
0008 736Ch	ICU	割り込み要因プライオリティレジスタ 6C	IPR6C	8	8	2ICLK
0008 736Dh	ICU	割り込み要因プライオリティレジスタ 6D	IPR6D	8	8	2ICLK
0008 736Eh	ICU	割り込み要因プライオリティレジスタ 6E	IPR6E	8	8	2ICLK
0008 736Fh	ICU	割り込み要因プライオリティレジスタ 6F	IPR6F	8	8	2ICLK
0008 7380h	ICU	割り込み要因プライオリティレジスタ 80	IPR80	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ 81	IPR81	8	8	2ICLK
0008 7382h	ICU	割り込み要因プライオリティレジスタ 82	IPR82	8	8	2ICLK
0008 7388h	ICU	割り込み要因プライオリティレジスタ 88	IPR88	8	8	2ICLK
0008 7389h	ICU	割り込み要因プライオリティレジスタ 89	IPR89	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 8A	IPR8A	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 8B	IPR8B	8	8	2ICLK
0008 7390h	ICU	割り込み要因プライオリティレジスタ 90	IPR90	8	8	2ICLK
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスカブル割り込みクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2~3PCLK (注3)
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (8 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2~3PCLK (注3)
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8028h	WDT	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注3)
0008 8028h	WDT	ライトウインドウAレジスタ	WINA	16	16	2~3PCLK (注3)
0008 8029h	WDT	タイマカウンタ	TCNT	8	8	2~3PCLK (注3)
0008 802Ah	WDT	ライトウインドウBレジスタ	WINB	16	16	2~3PCLK (注3)
0008 802Bh	WDT	リセットコントロール/ステータスレジスタ	RSTCSR	8	8	2~3PCLK (注3)
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLK (注3)
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLK (注3)
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLK (注3)
0008 8040h	AD0	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注3)
0008 8042h	AD0	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注3)
0008 8044h	AD0	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注3)
0008 8046h	AD0	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注3)
0008 8048h	AD0	A/DデータレジスタE	ADDRE	16	16	2~3PCLK (注3)
0008 804Ah	AD0	A/DデータレジスタF	ADDRF	16	16	2~3PCLK (注3)
0008 804Ch	AD0	A/DデータレジスタG	ADDRG	16	16	2~3PCLK (注3)
0008 804Eh	AD0	A/DデータレジスタH	ADDRH	16	16	2~3PCLK (注3)
0008 8050h	AD0	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注3)
0008 8051h	AD0	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注3)
0008 805Bh	AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注3)
0008 805Dh	AD0	A/D自己診断レジスタ	ADDIAGR	8	8	2~3PCLK (注3)
0008 8060h	AD0	A/DデータレジスタI	ADDRI	16	16	2~3PCLK (注3)
0008 8062h	AD0	A/DデータレジスタJ	ADDRJ	16	16	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (9 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8064h	AD0	A/DデータレジスタK	ADDRK	16	16	2~3PCLK (注3)
0008 8066h	AD0	A/DデータレジスタL	ADDRL	16	16	2~3PCLK (注3)
0008 8070h	AD0	A/D開始トリガ選択レジスタ	ADSTRGR	8	8	2~3PCLK (注3)
0008 8072h	AD0	ADDRnフォーマット選択レジスタ	ADDP	8	8	2~3PCLK (注3)
0008 8240h	SCI0	シリアルモードレジスタ	SMR (注1)	8	8	2~3PCLK (注3)
0008 8241h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8242h	SCI0	シリアルコントロールレジスタ	SCR (注1)	8	8	2~3PCLK (注3)
0008 8243h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8244h	SCI0	シリアルステータスレジスタ	SSR (注1)	8	8	2~3PCLK (注3)
0008 8245h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8246h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8247h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注3)
0008 8240h	SMCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8241h	SMCI0	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8242h	SMCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)
0008 8243h	SMCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8244h	SMCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 8245h	SMCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8246h	SMCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8248h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8249h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 824Ah	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)
0008 824Bh	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 824Ch	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 824Dh	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 824Eh	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 824Fh	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注3)
0008 8248h	SMCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8249h	SMCI1	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 824Ah	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (10 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 824Bh	SMCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 824Ch	SMCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 824Dh	SMCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 824Eh	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8250h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8251h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8252h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)
0008 8253h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8254h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 8255h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8256h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8257h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注3)
0008 8250h	SMCI2	シリアルモードレジスタ	SMR (注1)	8	8	2~3PCLK (注3)
0008 8251h	SMCI2	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8252h	SMCI2	シリアルコントロールレジスタ	SCR (注1)	8	8	2~3PCLK (注3)
0008 8253h	SMCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8254h	SMCI2	シリアルステータスレジスタ	SSR (注1)	8	8	2~3PCLK (注3)
0008 8255h	SMCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8256h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLK (注3)
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLK (注3)
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLK (注3)
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLK (注3)
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLK (注3)
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLK (注3)
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLK (注3)
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLK (注3)
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2~3PCLK (注3)
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2~3PCLK (注3)
0008 8307h	RIIC0	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (11 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8308h	RIIC0	I ² Cバスステータスレジスタ 1	ICSR1	8	8	2~3PCLK (注3)
0008 8309h	RIIC0	I ² Cバスステータスレジスタ 2	ICSR2	8	8	2~3PCLK (注3)
0008 830Ah	RIIC0	スレーブアドレスレジスタ L0	SARL0	8	8	2~3PCLK (注3)
0008 830Ah	RIIC0	タイムアウト内部カウンタ L	TMOCNTL	8	8	2~3PCLK (注3)
0008 830Bh	RIIC0	スレーブアドレスレジスタ U0	SARU0	8	8	2~3PCLK (注3)
0008 830Bh	RIIC0	タイムアウト内部カウンタ U	TMOCNTU	8	8	2~3PCLK (注3)
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2~3PCLK (注3)
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2~3PCLK (注3)
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2~3PCLK (注3)
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2~3PCLK (注3)
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLK (注3)
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLK (注3)
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLK (注3)
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLK (注3)
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2~3PCLK (注3)
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLK (注3)
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLK (注3)
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2~3PCLK (注3)
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2~3PCLK (注3)
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLK (注3)
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLK (注3)
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLK (注3)
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2~3PCLK (注3)
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLK (注3)
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLK (注3)
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLK (注3)
0008 838Fh	RSPI0	RSPI制御レジスタ 2	SPCR2	8	8	2~3PCLK (注3)
0008 8390h	RSPI0	RSPIコマンドレジスタ 0	SPCMD0	16	16	2~3PCLK (注3)
0008 8392h	RSPI0	RSPIコマンドレジスタ 1	SPCMD1	16	16	2~3PCLK (注3)
0008 8394h	RSPI0	RSPIコマンドレジスタ 2	SPCMD2	16	16	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (12 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8396h	RSPIO	RSPIコマンドレジスタ3	SPCMD3	16	16	2~3PCLK (注3)
0008 8398h	RSPIO	RSPIコマンドレジスタ4	SPCMD4	16	16	2~3PCLK (注3)
0008 839Ah	RSPIO	RSPIコマンドレジスタ5	SPCMD5	16	16	2~3PCLK (注3)
0008 839Ch	RSPIO	RSPIコマンドレジスタ6	SPCMD6	16	16	2~3PCLK (注3)
0008 839Eh	RSPIO	RSPIコマンドレジスタ7	SPCMD7	16	16	2~3PCLK (注3)
0008 9000h	S12AD0	A/Dコントロールレジスタ	ADCSR	8	8	2~3PCLK (注3)
0008 9004h	S12AD0	A/Dチャンネル選択レジスタ	ADANS	16	16	2~3PCLK (注3)
0008 900Ah	S12AD0	A/Dプログラマブルゲインアンブレジスタ	ADPG	16	16	2~3PCLK (注3)
0008 900Eh	S12AD0	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLK (注3)
0008 9010h	S12AD0	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLK (注3)
0008 9012h	S12AD	コンパレータ動作モード選択レジスタ0	ADCMPMD0	16	16	2~3PCLK (注3)
0008 9014h	S12AD	コンパレータ動作モード選択レジスタ1	ADCMPMD1	16	16	2~3PCLK (注3)
0008 9016h	S12AD	コンパレータフィルタモードレジスタ0	ADCMPNR0	16	16	2~3PCLK (注3)
0008 9018h	S12AD	コンパレータフィルタモードレジスタ1	ADCMPNR1	16	16	2~3PCLK (注3)
0008 901Ah	S12AD	コンパレータ検出フラグレジスタ	ADCMPFR	8	8	2~3PCLK (注3)
0008 901Ch	S12AD	コンパレータ割り込み選択レジスタ	ADCMPSEL	16	16	2~3PCLK (注3)
0008 901Eh	S12AD0	A/Dデータレジスタ Diag	ADDRD	16	16	2~3PCLK (注3)
0008 9020h	S12AD0	A/Dデータレジスタ 0A	ADDR0A	16	16	2~3PCLK (注3)
0008 9022h	S12AD0	A/Dデータレジスタ 1	ADDR1	16	16	2~3PCLK (注3)
0008 9024h	S12AD0	A/Dデータレジスタ 2	ADDR2	16	16	2~3PCLK (注3)
0008 9026h	S12AD0	A/Dデータレジスタ 3	ADDR3	16	16	2~3PCLK (注3)
0008 9030h	S12AD0	A/Dデータレジスタ 0B	ADDR0B	16	16	2~3PCLK (注3)
0008 9060h	S12AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注3)
0008 9080h	S12AD1	A/Dコントロールレジスタ	ADCSR	8	8	2~3PCLK (注3)
0008 9084h	S12AD1	A/Dチャンネル選択レジスタ	ADANS	16	16	2~3PCLK (注3)
0008 908Ah	S12AD1	A/Dプログラマブルゲインアンブレジスタ	ADPG	16	16	2~3PCLK (注3)
0008 908Eh	S12AD1	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLK (注3)
0008 9090h	S12AD1	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLK (注3)
0008 909Eh	S12AD1	A/Dデータレジスタ Diag	ADDRD	16	16	2~3PCLK (注3)
0008 90A0h	S12AD1	A/Dデータレジスタ 0A	ADDR0A	16	16	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (13 / 28)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 90A2h	S12AD1	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLK (注3)
0008 90A4h	S12AD1	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLK (注3)
0008 90A6h	S12AD1	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLK (注3)
0008 90B0h	S12AD1	A/Dデータレジスタ0B	ADDR0B	16	16	2~3PCLK (注3)
0008 90E0h	S12AD1	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注3)
0008 C001h	PORT1	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C002h	PORT2	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C003h	PORT3	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C007h	PORT7	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C008h	PORT8	データディレクションレジスタ	DDR (注2、注3)	8	8	2~3PCLK (注3)
0008 C009h	PORT9	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Ah	PORTA	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Bh	PORTB	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Dh	PORTD	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Eh	PORTE	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C010h	PORTG	データディレクションレジスタ	DDR (注1)	8	8	2~3PCLK (注3)
0008 C021h	PORT1	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C022h	PORT2	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C023h	PORT3	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C027h	PORT7	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C028h	PORT8	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C029h	PORT9	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Ah	PORTA	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Bh	PORTB	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Dh	PORTD	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Eh	PORTE	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C030h	PORTG	データレジスタ	DR (注1)	8	8	2~3PCLK (注3)
0008 C041h	PORT1	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C042h	PORT2	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C043h	PORT3	ポートレジスタ	PORT	8	8	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (14 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C044h	PORT4	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C045h	PORT5	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C046h	PORT6	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C047h	PORT7	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C048h	PORT8	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C049h	PORT9	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Ah	PORTA	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Bh	PORTB	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Dh	PORTD	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Eh	PORTE	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C050h	PORTG	ポートレジスタ	PORT (注1)	8	8	2~3PCLK (注3)
0008 C061h	PORT1	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C062h	PORT2	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C063h	PORT3	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C064h	PORT4	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C065h	PORT5	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C066h	PORT6	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C067h	PORT7	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C068h	PORT8	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C069h	PORT9	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Ah	PORTA	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Bh	PORTB	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Dh	PORTD	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Eh	PORTE	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C070h	PORTG	入力バッファコントロールレジスタ	ICR (注1)	8	8	2~3PCLK (注3)
0008 C108h	IOPORT	ポートファンクションレジスタ 8	PF8IRQ	8	8	2~3PCLK (注3)
0008 C109h	IOPORT	ポートファンクションレジスタ 9	PF9IRQ	8	8	2~3PCLK (注3)
0008 C10Ah	IOPORT	ポートファンクションレジスタ A	PFAADC	8	8	2~3PCLK (注3)
0008 C10Ch	IOPORT	ポートファンクションレジスタ C	PFCMTU	8	8	2~3PCLK (注3)
0008 C10Dh	IOPORT	ポートファンクションレジスタ D	PFDGPT	8	8	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (15 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C10Fh	IOPORT	ポートファンクションレジスタF	PFSCI	8	8	2~3PCLK (注3)
0008 C110h	IOPORT	ポートファンクションレジスタG	PFSPi	8	8	2~3PCLK (注3)
0008 C111h	IOPORT	ポートファンクションレジスタH	PFHSPI	8	8	2~3PCLK (注3)
0008 C113h	IOPORT	ポートファンクションレジスタJ	PFJCAN	8	8	2~3PCLK (注3)
0008 C114h	IOPORT	ポートファンクションレジスタK	PFKLIN	8	8	2~3PCLK (注3)
0008 C116h	IOPORT	ポートファンクションレジスタM	PFMPOE	8	8	2~3PCLK (注3)
0008 C117h	IOPORT	ポートファンクションレジスタN	PFNPOE	8	8	2~3PCLK (注3)
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLK (注3)
0008 C281h	SYSTEM	ディープスタンバイウェイトコントロールレジスタ	DPSWCR	8	8	4~5PCLK (注3)
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	8	8	4~5PCLK (注3)
0008 C283h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ	DPSIFR	8	8	4~5PCLK (注3)
0008 C284h	SYSTEM	ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	8	8	4~5PCLK (注3)
0008 C285h	SYSTEM	リセットステータスレジスタ	RSTSR	8	8	4~5PCLK (注3)
0008 C289h	FLASH	フラッシュライトイレースプロテクトレジスタ	FWEPROR	8	8	4~5PCLK (注3)
0008 C28Ch	SYSTEM	低電圧検出コントロールレジスタ用キーコードレジスタ	LVDKEYR	8	8	4~5PCLK (注3)
0008 C28Dh	SYSTEM	低電圧検出コントロールレジスタ	LVDCR	8	8	4~5PCLK (注3)
0008 C290h	SYSTEM	ディープスタンバイバックアップレジスタ0	DPSBKR0	8	8	4~5PCLK (注3)
0008 C291h	SYSTEM	ディープスタンバイバックアップレジスタ1	DPSBKR1	8	8	4~5PCLK (注3)
0008 C292h	SYSTEM	ディープスタンバイバックアップレジスタ2	DPSBKR2	8	8	4~5PCLK (注3)
0008 C293h	SYSTEM	ディープスタンバイバックアップレジスタ3	DPSBKR3	8	8	4~5PCLK (注3)
0008 C294h	SYSTEM	ディープスタンバイバックアップレジスタ4	DPSBKR4	8	8	4~5PCLK (注3)
0008 C295h	SYSTEM	ディープスタンバイバックアップレジスタ5	DPSBKR5	8	8	4~5PCLK (注3)
0008 C296h	SYSTEM	ディープスタンバイバックアップレジスタ6	DPSBKR6	8	8	4~5PCLK (注3)
0008 C297h	SYSTEM	ディープスタンバイバックアップレジスタ7	DPSBKR7	8	8	4~5PCLK (注3)
0008 C298h	SYSTEM	ディープスタンバイバックアップレジスタ8	DPSBKR8	8	8	4~5PCLK (注3)
0008 C299h	SYSTEM	ディープスタンバイバックアップレジスタ9	DPSBKR9	8	8	4~5PCLK (注3)
0008 C29Ah	SYSTEM	ディープスタンバイバックアップレジスタ10	DPSBKR10	8	8	4~5PCLK (注3)
0008 C29Bh	SYSTEM	ディープスタンバイバックアップレジスタ11	DPSBKR11	8	8	4~5PCLK (注3)
0008 C29Ch	SYSTEM	ディープスタンバイバックアップレジスタ12	DPSBKR12	8	8	4~5PCLK (注3)
0008 C29Dh	SYSTEM	ディープスタンバイバックアップレジスタ13	DPSBKR13	8	8	4~5PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (16 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C29Eh	SYSTEM	ディープスタンバイバックアップレジスタ 14	DPSBKR14	8	8	4~5PCLK (注3)
0008 C29Fh	SYSTEM	ディープスタンバイバックアップレジスタ 15	DPSBKR15	8	8	4~5PCLK (注3)
0008 C2A0h	SYSTEM	ディープスタンバイバックアップレジスタ 16	DPSBKR16	8	8	4~5PCLK (注3)
0008 C2A1h	SYSTEM	ディープスタンバイバックアップレジスタ 17	DPSBKR17	8	8	4~5PCLK (注3)
0008 C2A2h	SYSTEM	ディープスタンバイバックアップレジスタ 18	DPSBKR18	8	8	4~5PCLK (注3)
0008 C2A3h	SYSTEM	ディープスタンバイバックアップレジスタ 19	DPSBKR19	8	8	4~5PCLK (注3)
0008 C2A4h	SYSTEM	ディープスタンバイバックアップレジスタ 20	DPSBKR20	8	8	4~5PCLK (注3)
0008 C2A5h	SYSTEM	ディープスタンバイバックアップレジスタ 21	DPSBKR21	8	8	4~5PCLK (注3)
0008 C2A6h	SYSTEM	ディープスタンバイバックアップレジスタ 22	DPSBKR22	8	8	4~5PCLK (注3)
0008 C2A7h	SYSTEM	ディープスタンバイバックアップレジスタ 23	DPSBKR23	8	8	4~5PCLK (注3)
0008 C2A8h	SYSTEM	ディープスタンバイバックアップレジスタ 24	DPSBKR24	8	8	4~5PCLK (注3)
0008 C2A9h	SYSTEM	ディープスタンバイバックアップレジスタ 25	DPSBKR25	8	8	4~5PCLK (注3)
0008 C2AAh	SYSTEM	ディープスタンバイバックアップレジスタ 26	DPSBKR26	8	8	4~5PCLK (注3)
0008 C2ABh	SYSTEM	ディープスタンバイバックアップレジスタ 27	DPSBKR27	8	8	4~5PCLK (注3)
0008 C2ACh	SYSTEM	ディープスタンバイバックアップレジスタ 28	DPSBKR28	8	8	4~5PCLK (注3)
0008 C2ADh	SYSTEM	ディープスタンバイバックアップレジスタ 29	DPSBKR29	8	8	4~5PCLK (注3)
0008 C2AEh	SYSTEM	ディープスタンバイバックアップレジスタ 30	DPSBKR30	8	8	4~5PCLK (注3)
0008 C2AFh	SYSTEM	ディープスタンバイバックアップレジスタ 31	DPSBKR31	8	8	4~5PCLK (注3)
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ 1	ICSR1	16	8、16	2~3PCLK (注3)
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ 1	OCSR1	16	8、16	2~3PCLK (注3)
0008 C4C4h	POE	入力レベルコントロール/ステータスレジスタ 2	ICSR2	16	8、16	2~3PCLK (注3)
0008 C4C6h	POE	出力レベルコントロール/ステータスレジスタ 2	OCSR2	16	8、16	2~3PCLK (注3)
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ 3	ICSR3	16	8、16	2~3PCLK (注3)
0008 C4CAh	POE	ソフトウェアポートアウトブットイネーブルレジスタ	SPOER	8	8	2~3PCLK (注3)
0008 C4CBh	POE	ポートアウトブットイネーブルコントロールレジスタ 1	POECR1	8	8	2~3PCLK (注3)
0008 C4CCh	POE	ポートアウトブットイネーブルコントロールレジスタ 2	POECR2	16	16	2~3PCLK (注3)
0008 C4CEh	POE	ポートアウトブットイネーブルコントロールレジスタ 3	POECR3	16	16	2~3PCLK (注3)
0008 C4D0h	POE	ポートアウトブットイネーブルコントロールレジスタ 4	POECR4	16	16	2~3PCLK (注3)
0008 C4D2h	POE	ポートアウトブットイネーブルコントロールレジスタ 5	POECR5	16	16	2~3PCLK (注3)
0008 C4D4h	POE	ポートアウトブットイネーブルコントロールレジスタ 6	POECR6	16	16	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (17 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8、16	2~3PCLK (注3)
0008 C4D8h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	8、16	2~3PCLK (注3)
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8、16	2~3PCLK (注3)
0009 0200h~ 0009 03FFh	CAN0 (注2)	メールボックスレジスタ0~31	MB0~31	128	8、16、32	2~3PCLK (注3)
0009 0400h	CAN0 (注2)	マスクレジスタ0	MKR0	32	8、16、32	2~3PCLK (注3)
0009 0404h	CAN0 (注2)	マスクレジスタ1	MKR1	32	8、16、32	2~3PCLK (注3)
0009 0408h	CAN0 (注2)	マスクレジスタ2	MKR2	32	8、16、32	2~3PCLK (注3)
0009 040Ch	CAN0 (注2)	マスクレジスタ3	MKR3	32	8、16、32	2~3PCLK (注3)
0009 0410h	CAN0 (注2)	マスクレジスタ4	MKR4	32	8、16、32	2~3PCLK (注3)
0009 0414h	CAN0 (注2)	マスクレジスタ5	MKR5	32	8、16、32	2~3PCLK (注3)
0009 0418h	CAN0 (注2)	マスクレジスタ6	MKR6	32	8、16、32	2~3PCLK (注3)
0009 041Ch	CAN0 (注2)	マスクレジスタ7	MKR7	32	8、16、32	2~3PCLK (注3)
0009 0420h	CAN0 (注2)	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2~3PCLK (注3)
0009 0424h	CAN0 (注2)	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2~3PCLK (注3)
0009 0428h	CAN0 (注2)	マスク無効レジスタ	MKIVLR	32	8、16、32	2~3PCLK (注3)
0009 042Ch	CAN0 (注2)	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2~3PCLK (注3)
0009 0820h~ 0009 083Fh	CAN0 (注2)	メッセージ制御レジスタ0~31	MCTL0~31	8	8	2~3PCLK (注3)
0009 0840h	CAN0 (注2)	制御レジスタ	CTLR	16	8、16	2~3PCLK (注3)
0009 0842h	CAN0 (注2)	ステータスレジスタ	STR	16	8、16	2~3PCLK (注3)
0009 0844h	CAN0 (注2)	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2~3PCLK (注3)
0009 0848h	CAN0 (注2)	受信FIFO制御レジスタ	RFCR	8	8	2~3PCLK (注3)
0009 0849h	CAN0 (注2)	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLK (注3)
0009 084Ah	CAN0 (注2)	送信FIFO制御レジスタ	TFCR	8	8	2~3PCLK (注3)
0009 084Bh	CAN0 (注2)	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLK (注3)
0009 084Ch	CAN0 (注2)	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLK (注3)
0009 084Dh	CAN0 (注2)	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLK (注3)
0009 084Eh	CAN0 (注2)	受信エラーカウントレジスタ	RECR	8	8	2~3PCLK (注3)
0009 084Fh	CAN0 (注2)	送信エラーカウントレジスタ	TECR	8	8	2~3PCLK (注3)
0009 0850h	CAN0 (注2)	エラーコード格納レジスタ	ECSR	8	8	2~3PCLK (注3)
0009 0851h	CAN0 (注2)	チャンネルサーチサポートレジスタ	CSSR	8	8	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (18 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0009 0852h	CAN0 (注2)	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLK (注3)
0009 0853h	CAN0 (注2)	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLK (注3)
0009 0854h	CAN0 (注2)	タイムスタンプレジスタ	TSR	16	8、16	2~3PCLK (注3)
0009 0856h	CAN0 (注2)	アクセプタンスフィルタサポートレジスタ	AFSR	16	8、16	2~3PCLK (注3)
0009 0858h	CAN0 (注2)	テスト制御レジスタ	TCR	8	8	2~3PCLK (注3)
0009 4001h	LINO	LINウェイクアップボーレート選択レジスタ	LWBR	8	8	2~3PCLK (注3)
0009 4002h	LINO	LINボーレートプリスケアラ0レジスタ	LBRP0	8	8、16	2~3PCLK (注3)
0009 4003h	LINO	LINボーレートプリスケアラ1レジスタ	LBRP1	8	8、16	2~3PCLK (注3)
0009 4004h	LINO	LINセルフテスト制御レジスタ	LSTC	8	8	2~3PCLK (注3)
0009 4008h	LINO	モードレジスタ	L0MD	8	8、16、32	2~3PCLK (注3)
0009 4009h	LINO	ブレークフィールド設定レジスタ	L0BRK	8	8、16、32	2~3PCLK (注3)
0009 400Ah	LINO	スペース設定レジスタ	L0SPC	8	8、16、32	2~3PCLK (注3)
0009 400Bh	LINO	ウェイクアップ設定レジスタ	LOWUP	8	8、16、32	2~3PCLK (注3)
0009 400Ch	LINO	割り込み許可レジスタ	L0IE	8	8、16	2~3PCLK (注3)
0009 400Dh	LINO	エラー検出許可レジスタ	L0EDE	8	8、16	2~3PCLK (注3)
0009 400Eh	LINO	制御レジスタ	L0C	8	8	2~3PCLK (注3)
0009 4010h	LINO	送信制御レジスタ	L0TC	8	8、16、32	2~3PCLK (注3)
0009 4011h	LINO	モードステータスレジスタ	L0MST	8	8、16、32	2~3PCLK (注3)
0009 4012h	LINO	ステータスレジスタ	L0ST	8	8、16、32	2~3PCLK (注3)
0009 4013h	LINO	エラーステータスレジスタ	L0EST	8	8、16、32	2~3PCLK (注3)
0009 4014h	LINO	レスポンスフィールド設定レジスタ	L0RFC	8	8、16	2~3PCLK (注3)
0009 4015h	LINO	IDバッファレジスタ	L0IDB	8	8、16	2~3PCLK (注3)
0009 4016h	LINO	チェックサムバッファレジスタ	L0CBR	8	8	2~3PCLK (注3)
0009 4018h	LINO	データ1バッファレジスタ	L0DB1	8	8、16、32	2~3PCLK (注3)
0009 4019h	LINO	データ2バッファレジスタ	L0DB2	8	8、16、32	2~3PCLK (注3)
0009 401Ah	LINO	データ3バッファレジスタ	L0DB3	8	8、16、32	2~3PCLK (注3)
0009 401Bh	LINO	データ4バッファレジスタ	L0DB4	8	8、16、32	2~3PCLK (注3)
0009 401Ch	LINO	データ5バッファレジスタ	L0DB5	8	8、16、32	2~3PCLK (注3)
0009 401Dh	LINO	データ6バッファレジスタ	L0DB6	8	8、16、32	2~3PCLK (注3)
0009 401Eh	LINO	データ7バッファレジスタ	L0DB7	8	8、16、32	2~3PCLK (注3)

表 4.1 I/O レジスタアドレス一覧 (19 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0009 401Fh	LIN0	データ8バッファレジスタ	L0DB8	8	8、16、32	2~3PCLK (注3)
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8、16、32	51CLK
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	51CLK
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8、16	51CLK
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	51CLK
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8、16、32	51CLK
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8、16	51CLK
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8、16	51CLK
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	51CLK
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	51CLK
000C 120Dh	MTU	タイマゲートコントロールレジスタA	TGCRA	8	8	51CLK
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8、16	51CLK
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	51CLK
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16、32	51CLK
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	51CLK
000C 1214h	MTU	タイマ周期データレジスタA	TCDRA	16	16、32	51CLK
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	51CLK
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16、32	51CLK
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	51CLK
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8、16	51CLK
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8、16	51CLK
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	51CLK
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	51CLK
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	51CLK
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	51CLK
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8、16	51CLK
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	51CLK
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	51CLK
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	51CLK
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	51CLK
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	51CLK
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16、32	51CLK
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	51CLK
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16、32	51CLK
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	51CLK

表 4.1 I/O レジスタアドレス一覧 (20 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 1260h	MTU	タイマ波形コントロールレジスタ A	TWCRA	8	8	51CLK
000C 1270h	MTU	タイマモードレジスタ 2A	TMDR2A	8	8	51CLK
000C 1272h	MTU3	タイマジェネラルレジスタ E	TGRE	16	16	51CLK
000C 1274h	MTU4	タイマジェネラルレジスタ E	TGRE	16	16	51CLK
000C 1276h	MTU4	タイマジェネラルレジスタ F	TGRF	16	16	51CLK
000C 1280h	MTU	タイマスタートレジスタ A	TSTRA	8	8、16	51CLK
000C 1281h	MTU	タイマシンクロレジスタ A	TSYRA	8	8	51CLK
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	51CLK
000C 1284h	MTU	タイマリードライトイネーブルレジスタ A	TRWERA	8	8	51CLK
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8、16、32	51CLK
000C 1301h	MTU0	タイマモードレジスタ 1	TMDR1	8	8	51CLK
000C 1302h	MTU0	タイマ I/O コントロールレジスタ H	TIORH	8	8、16	51CLK
000C 1303h	MTU0	タイマ I/O コントロールレジスタ L	TIORL	8	8	51CLK
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	51CLK
000C 1305h	MTU0	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	51CLK
000C 1308h	MTU0	タイマジェネラルレジスタ A	TGRA	16	16、32	51CLK
000C 130Ah	MTU0	タイマジェネラルレジスタ B	TGRB	16	16	51CLK
000C 130Ch	MTU0	タイマジェネラルレジスタ C	TGRC	16	16、32	51CLK
000C 130Eh	MTU0	タイマジェネラルレジスタ D	TGRD	16	16	51CLK
000C 1320h	MTU0	タイマジェネラルレジスタ E	TGRE	16	16、32	51CLK
000C 1322h	MTU0	タイマジェネラルレジスタ F	TGRF	16	16	51CLK
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8、16	51CLK
000C 1325h	MTU0	タイマステータスレジスタ 2	TSR2	8	8	51CLK
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	51CLK
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8、16	51CLK
000C 1381h	MTU1	タイマモードレジスタ 1	TMDR1	8	8	51CLK
000C 1382h	MTU1	タイマ I/O コントロールレジスタ	TIOR	8	8	51CLK
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	51CLK
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	51CLK
000C 1388h	MTU1	タイマジェネラルレジスタ A	TGRA	16	16、32	51CLK
000C 138Ah	MTU1	タイマジェネラルレジスタ B	TGRB	16	16	51CLK
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	51CLK
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8、16	51CLK
000C 1401h	MTU2	タイマモードレジスタ 1	TMDR1	8	8	51CLK
000C 1402h	MTU2	タイマ I/O コントロールレジスタ	TIOR	8	8	51CLK
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	51CLK
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	51CLK
000C 1408h	MTU2	タイマジェネラルレジスタ A	TGRA	16	16、32	51CLK
000C 140Ah	MTU2	タイマジェネラルレジスタ B	TGRB	16	16	51CLK
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8、16、32	51CLK
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	51CLK
000C 1A02h	MTU6	タイマモードレジスタ 1	TMDR1	8	8、16	51CLK
000C 1A03h	MTU7	タイマモードレジスタ 1	TMDR1	8	8	51CLK
000C 1A04h	MTU6	タイマ I/O コントロールレジスタ H	TIORH	8	8、16、32	51CLK

表 4.1 I/O レジスタアドレス一覧 (21 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8、16	51CLK
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8、16	51CLK
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	51CLK
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	51CLK
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8、16	51CLK
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	51CLK
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16、32	51CLK
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	51CLK
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16、32	51CLK
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRb	16	16	51CLK
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16、32	51CLK
000C 1A22h	MTU	タイマ周期バッファレジスタB	TBRB	16	16	51CLK
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8、16	51CLK
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8、16	51CLK
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	51CLK
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTBRB	8	8	51CLK
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	51CLK
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	51CLK
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8、16	51CLK
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	51CLK
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	51CLK
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	51CLK
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	51CLK
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	51CLK
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16、32	51CLK
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	51CLK
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16、32	51CLK
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	51CLK
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	51CLK
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	51CLK
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	51CLK
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	51CLK
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	51CLK
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	51CLK
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8、16	51CLK
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	51CLK

表 4.1 I/O レジスタアドレス一覧 (22 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	51CLK
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16、32	51CLK
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	51CLK
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	51CLK
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	51CLK
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16、32	51CLK
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	51CLK
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	51CLK
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	51CLK
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16、32	51CLK
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	51CLK
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	51CLK
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	51CLK
000C 1CB0h	MTU5	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	51CLK
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	51CLK
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	51CLK
000C 2000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	8、16、32	3~51CLK (注4)
000C 2004h	GPT	汎用PWMタイマハードウェア要因スタートコントロールレジスタ	GTHSCR	16	8、16、32	3~51CLK (注4)
000C 2006h	GPT	汎用PWMタイマハードウェア要因クリアコントロールレジスタ	GTHCCR	16	8、16、32	3~51CLK (注4)
000C 2008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	8、16、32	3~51CLK (注4)
000C 200Ah	GPT	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ	GTHPSR	16	8、16、32	3~51CLK (注4)
000C 200Ch	GPT	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	8、16、32	3~51CLK (注4)
000C 200Eh	GPT	汎用PWMタイマシンクロレジスタ	GTSYNC	16	8、16、32	3~51CLK (注4)
000C 2010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	8、16、32	3~51CLK (注4)
000C 2014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	8、16、32	3~51CLK (注4)
000C 2018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	16、32	3~51CLK (注4)
000C 2080h	GPT	LOCOカウントコントロールレジスタ	LCCR	16	8、16、32	3~51CLK (注4)
000C 2082h	GPT	LOCOカウントステータスレジスタ	LCST	16	8、16、32	3~51CLK (注4)
000C 2084h	GPT	LOCOカウント値レジスタ	LCNT	16	8、16、32	3~51CLK (注4)
000C 2086h	GPT	LOCOカウント結果平均レジスタ	LCNTA	16	8、16、32	3~51CLK (注4)
000C 2088h	GPT	LOCOカウント結果レジスタ0	LCNT00	16	8、16、32	3~51CLK (注4)
000C 208Ah	GPT	LOCOカウント結果レジスタ1	LCNT01	16	8、16、32	3~51CLK (注4)
000C 208Ch	GPT	LOCOカウント結果レジスタ2	LCNT02	16	8、16、32	3~51CLK (注4)
000C 208Eh	GPT	LOCOカウント結果レジスタ3	LCNT03	16	8、16、32	3~51CLK (注4)
000C 2090h	GPT	LOCOカウント結果レジスタ4	LCNT04	16	8、16、32	3~51CLK (注4)

表 4.1 I/O レジスタアドレス一覧 (23 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 2092h	GPT	LOCO カウント結果レジスタ 5	LCNT05	16	8、16、32	3~5CLK (注4)
000C 2094h	GPT	LOCO カウント結果レジスタ 6	LCNT06	16	8、16、32	3~5CLK (注4)
000C 2096h	GPT	LOCO カウント結果レジスタ 7	LCNT07	16	8、16、32	3~5CLK (注4)
000C 2098h	GPT	LOCO カウント結果レジスタ 8	LCNT08	16	8、16、32	3~5CLK (注4)
000C 209Ah	GPT	LOCO カウント結果レジスタ 9	LCNT09	16	8、16、32	3~5CLK (注4)
000C 209Ch	GPT	LOCO カウント結果レジスタ 10	LCNT10	16	8、16、32	3~5CLK (注4)
000C 209Eh	GPT	LOCO カウント結果レジスタ 11	LCNT11	16	8、16、32	3~5CLK (注4)
000C 20A0h	GPT	LOCO カウント結果レジスタ 12	LCNT12	16	8、16、32	3~5CLK (注4)
000C 20A2h	GPT	LOCO カウント結果レジスタ 13	LCNT13	16	8、16、32	3~5CLK (注4)
000C 20A4h	GPT	LOCO カウント結果レジスタ 14	LCNT14	16	8、16、32	3~5CLK (注4)
000C 20A6h	GPT	LOCO カウント結果レジスタ 15	LCNT15	16	8、16、32	3~5CLK (注4)
000C 20A8h	GPT	LOCO カウント上限許容偏差値レジスタ	LCNTDU	16	8、16、32	3~5CLK (注4)
000C 20AAh	GPT	LOCO カウント下限許容偏差値レジスタ	LCNTDL	16	8、16、32	3~5CLK (注4)
000C 2100h	GPT0	汎用PWM タイマ I/O コントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2102h	GPT0	汎用PWM タイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2104h	GPT0	汎用PWM タイマコントロールレジスタ	GTCR	16	8、16、32	3~5CLK (注4)
000C 2106h	GPT0	汎用PWM タイマバッファインプ レジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2108h	GPT0	汎用PWM タイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 210Ah	GPT0	汎用PWM タイマ割り込み、A/D変換開始要求間引き 設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 210Ch	GPT0	汎用PWM タイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 210Eh	GPT0	汎用PWM タイマカウンタ	GTCNT	16	16	3~5CLK (注4)
000C 2110h	GPT0	汎用PWM タイマコンペアキャプチャ レジスタ A	GTCCRA	16	16、32	3~5CLK (注4)
000C 2112h	GPT0	汎用PWM タイマコンペアキャプチャ レジスタ B	GTCCRB	16	16、32	3~5CLK (注4)
000C 2114h	GPT0	汎用PWM タイマコンペアキャプチャ レジスタ C	GTCCRC	16	16、32	3~5CLK (注4)
000C 2116h	GPT0	汎用PWM タイマコンペアキャプチャ レジスタ D	GTCCRD	16	16、32	3~5CLK (注4)
000C 2118h	GPT0	汎用PWM タイマコンペアキャプチャ レジスタ E	GTCCRE	16	16、32	3~5CLK (注4)
000C 211Ah	GPT0	汎用PWM タイマコンペアキャプチャ レジスタ F	GTCCRF	16	16、32	3~5CLK (注4)
000C 211Ch	GPT0	汎用PWM タイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)
000C 211Eh	GPT0	汎用PWM タイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)
000C 2120h	GPT0	汎用PWM タイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)

表 4.1 I/O レジスタアドレス一覧 (24 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 2124h	GPT0	A/D変換開始要求タイミングレジスタ A	GTADTRA	16	16、32	3~5CLK (注4)
000C 2126h	GPT0	A/D変換開始要求タイミングバッファレジスタ A	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2128h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタ A	GTADTBRA	16	16、32	3~5CLK (注4)
000C 212Ch	GPT0	A/D変換開始要求タイミングレジスタ B	GTADTRB	16	16、32	3~5CLK (注4)
000C 212Eh	GPT0	A/D変換開始要求タイミングバッファレジスタ B	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2130h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタ B	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2134h	GPT0	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 2136h	GPT0	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	3~5CLK (注4)
000C 2138h	GPT0	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 213Ah	GPT0	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 213Ch	GPT0	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 213Eh	GPT0	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 2140h	GPT0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 2142h	GPT0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2180h	GPT1	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2182h	GPT1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2184h	GPT1	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	3~5CLK (注4)
000C 2186h	GPT1	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2188h	GPT1	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 218Ah	GPT1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 218Ch	GPT1	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 218Eh	GPT1	汎用PWMタイマカウンタ	GTCNT	16	16	3~5CLK (注4)
000C 2190h	GPT1	汎用PWMタイマコンペアキャプチャレジスタ A	GTCCRA	16	16、32	3~5CLK (注4)
000C 2192h	GPT1	汎用PWMタイマコンペアキャプチャレジスタ B	GTCCRB	16	16、32	3~5CLK (注4)
000C 2194h	GPT1	汎用PWMタイマコンペアキャプチャレジスタ C	GTCCRC	16	16、32	3~5CLK (注4)
000C 2196h	GPT1	汎用PWMタイマコンペアキャプチャレジスタ D	GTCCRD	16	16、32	3~5CLK (注4)
000C 2198h	GPT1	汎用PWMタイマコンペアキャプチャレジスタ E	GTCCRE	16	16、32	3~5CLK (注4)
000C 219Ah	GPT1	汎用PWMタイマコンペアキャプチャレジスタ F	GTCCRF	16	16、32	3~5CLK (注4)
000C 219Ch	GPT1	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)
000C 219Eh	GPT1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)

表 4.1 I/O レジスタアドレス一覧 (25 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 21A0h	GPT1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)
000C 21A4h	GPT1	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	3~5CLK (注4)
000C 21A6h	GPT1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 21A8h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 21ACh	GPT1	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 21AEh	GPT1	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 21B0h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 21B4h	GPT1	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 21B6h	GPT1	汎用PWMタイマデッドタイムコントロールレジスタ	GTDCR	16	16、32	3~5CLK (注4)
000C 21B8h	GPT1	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 21BAh	GPT1	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 21BCh	GPT1	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 21BEh	GPT1	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 21C0h	GPT1	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 21C2h	GPT1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2200h	GPT2	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2202h	GPT2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2204h	GPT2	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	3~5CLK (注4)
000C 2206h	GPT2	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2208h	GPT2	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 220Ah	GPT2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 220Ch	GPT2	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 220Eh	GPT2	汎用PWMタイマカウンタ	GTCNT	16	16	3~5CLK (注4)
000C 2210h	GPT2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	3~5CLK (注4)
000C 2212h	GPT2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	3~5CLK (注4)
000C 2214h	GPT2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	3~5CLK (注4)
000C 2216h	GPT2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	3~5CLK (注4)
000C 2218h	GPT2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	3~5CLK (注4)
000C 221Ah	GPT2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	3~5CLK (注4)
000C 221Ch	GPT2	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)

表 4.1 I/O レジスタアドレス一覧 (26 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 221Eh	GPT2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)
000C 2220h	GPT2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)
000C 2224h	GPT2	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	3~5CLK (注4)
000C 2226h	GPT2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2228h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 222Ch	GPT2	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 222Eh	GPT2	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 2230h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 2234h	GPT2	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 2236h	GPT2	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	3~5CLK (注4)
000C 2238h	GPT2	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 223Ah	GPT2	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 223Ch	GPT2	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 223Eh	GPT2	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 2240h	GPT2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 2242h	GPT2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2280h	GPT3	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2282h	GPT3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2284h	GPT3	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	3~5CLK (注4)
000C 2286h	GPT3	汎用PWMタイマバッファファイナブルレジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2288h	GPT3	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 228Ah	GPT3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 228Ch	GPT3	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 228Eh	GPT3	汎用PWMタイマカウンタ	GTCNT	16	16	3~5CLK (注4)
000C 2290h	GPT3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	3~5CLK (注4)
000C 2292h	GPT3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	3~5CLK (注4)
000C 2294h	GPT3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	3~5CLK (注4)
000C 2296h	GPT3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	3~5CLK (注4)
000C 2298h	GPT3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	3~5CLK (注4)
000C 229Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	3~5CLK (注4)

表 4.1 I/O レジスタアドレス一覧 (27 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 229Ch	GPT3	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)
000C 229Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)
000C 22A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)
000C 22A4h	GPT3	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	3~5CLK (注4)
000C 22A6h	GPT3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 22A8h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 22ACh	GPT3	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 22AEh	GPT3	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 22B0h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 22B4h	GPT3	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 22B6h	GPT3	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	3~5CLK (注4)
000C 22B8h	GPT3	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 22BAh	GPT3	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 22BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 22BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 22C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 22C2h	GPT3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2300h	GPT0	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2302h	GPT1	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2304h	GPT2	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2306h	GPT3	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2318h	GPT0	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 231Ah	GPT0	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 231Ch	GPT1	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 231Eh	GPT1	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 2320h	GPT2	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 2322h	GPT2	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 2324h	GPT3	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 2326h	GPT3	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 2328h	GPT0	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5CLK (注4)

表 4.1 I/O レジスタアドレス一覧 (28 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 232Ah	GPT0	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
000C 232Ch	GPT1	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5ICLK (注4)
000C 232Eh	GPT1	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
000C 2330h	GPT2	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5ICLK (注4)
000C 2332h	GPT2	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
000C 2334h	GPT3	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5ICLK (注4)
000C 2336h	GPT3	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3PCLK (注3)
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3PCLK (注3)
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3PCLK (注3)
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~3PCLK (注3)
007F C440h	FLASH	データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2~3PCLK (注3)
007F C442h	FLASH	データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2~3PCLK (注3)
007F C450h	FLASH	データフラッシュ書き込み/消去許可レジスタ0	DFLWE0	16	16	2~3PCLK (注3)
007F C452h	FLASH	データフラッシュ書き込み/消去許可レジスタ1	DFLWE1	16	16	2~3PCLK (注3)
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2~3PCLK (注3)
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3PCLK (注3)
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3PCLK (注3)
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2~3PCLK (注3)
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3PCLK (注3)
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3PCLK (注3)
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2~3PCLK (注3)
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2~3PCLK (注3)
007F FFCAh	FLASH	データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3PCLK (注3)
007F FFCCh	FLASH	フラッシュ P/E ステータスレジスタ	FPESTAT	16	16	2~3PCLK (注3)
007F FFCEh	FLASH	データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2~3PCLK (注3)
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2~3PCLK (注3)

注1. 100ピンLQFP版ではサポートしていません。

注2. CAN機能なし版では対応していません。

注3. 分周クロック同期化サイクル (0~1PCLK) により変動します。

注4. レジスタ書き込みは3ICLK、レジスタ読み出しは5ICLKとなります。

4.2 I/O レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

表4.2 I/O レジスタビット一覧 (1 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	MDMONR	—	—	—	—	—	—	—	—
		MDE	—	—	—	—	—	MD1	MD0
SYSTEM	MDSR	—	—	—	—	—	—	—	—
		—	—	—	BOTS	—	—	—	IROM
SYSTEM	SYSCR0	KEY[7:0]							
		—	—	—	—	—	—	—	ROME
SYSTEM	SYSCR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	RAME
SYSTEM	SBYCR	SSBY	—	—	STS[4:0]				
		—	—	—	—	—	—	—	—
SYSTEM	MSTPCRA	ACSE	—	—	MSTPA28	—	—	—	MSTPA24
		MSTPA23	—	—	—	—	—	MSTPA17	MSTPA16
		MSTPA15	MSTPA14	—	—	—	—	MSTPA9	—
		MSTPA7	—	—	—	—	—	—	—
SYSTEM	MSTPCRB	MSTPB31	MSTPB30	MSTPB29	—	—	—	—	—
		MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
		—	—	—	—	—	—	—	—
		MSTPB7	—	—	—	—	—	—	MSTPB0
SYSTEM	MSTPCRC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	MSTPC0
SYSTEM	SCKCR	—	—	—	—	ICK[3:0]			
		—	—	—	—	—	—	—	—
		—	—	—	—	PCK[3:0]			
		—	—	—	—	—	—	—	—
SYSTEM	OSTDCR	KEY[7:0]							
		OSTDE	OSTDF	—	—	—	—	—	—
BSC	BERCLR	—	—	—	—	—	—	—	STSCLR
BSC	BEREN	—	—	—	—	—	—	—	IGAEN
BSC	BERSR1	—	MST[2:0]			—	—	—	IA
BSC	BERSR2	ADDR[12:0]							
		ADDR[12:0]						—	—
DTC	DTCCR	—	—	—	RRS	—	—	—	—
DTC	DTCVBR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
DTC	DTCADMOD	—	—	—	—	—	—	—	SHORT
DTC	DTCST	—	—	—	—	—	—	—	DTCST
DTC	DTCSTS	ACT	—	—	—	—	—	—	—
		VECN[7:0]							
MPU	RSPAGE0	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—

表 4.2 I/O レジスタビット一覧 (2 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MPU	REPAGE0	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE1	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE1	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE2	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE2	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE3	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE3	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE4	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE4	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE5	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE5	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE6	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE6	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V

表 4.2 I/O レジスタビット一覧 (3 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MPU	RSPAGE7	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE7	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	MPEN	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	MPEN
MPU	MPBAC	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	UBAC[2:0]			-
MPU	MPECLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CLR
MPU	MPESTS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	DRW	DA	IA
MPU	MPDEA	DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							
MPU	MPSA	SA[31:0]							
		SA[31:0]							
		SA[31:0]							
		SA[31:0]							
MPU	MPOPS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	S
MPU	MPOPI	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	INV
MPU	MHITI	-	-	-	-	-	-	-	-
		HIT[7:0]							
		-	-	-	-	-	UHAC[2:0]		-
MPU	MHITD	-	-	-	-	-	-	-	-
		HITD[7:0]							
		-	-	-	-	-	-	-	-
		-	-	-	-	UHACD[2:0]			-
ICU	IR016	-	-	-	-	-	-	-	IR
ICU	IR021	-	-	-	-	-	-	-	IR
ICU	IR023	-	-	-	-	-	-	-	IR
ICU	IR027	-	-	-	-	-	-	-	IR
ICU	IR028	-	-	-	-	-	-	-	IR
ICU	IR029	-	-	-	-	-	-	-	IR
ICU	IR030	-	-	-	-	-	-	-	IR
ICU	IR031	-	-	-	-	-	-	-	IR

表 4.2 I/O レジスタビット一覧 (4 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR044	—	—	—	—	—	—	—	IR
ICU	IR045	—	—	—	—	—	—	—	IR
ICU	IR046	—	—	—	—	—	—	—	IR
ICU	IR047	—	—	—	—	—	—	—	IR
ICU	IR056	—	—	—	—	—	—	—	IR
ICU	IR057	—	—	—	—	—	—	—	IR
ICU	IR058	—	—	—	—	—	—	—	IR
ICU	IR059	—	—	—	—	—	—	—	IR
ICU	IR060	—	—	—	—	—	—	—	IR
ICU	IR064	—	—	—	—	—	—	—	IR
ICU	IR065	—	—	—	—	—	—	—	IR
ICU	IR066	—	—	—	—	—	—	—	IR
ICU	IR067	—	—	—	—	—	—	—	IR
ICU	IR068	—	—	—	—	—	—	—	IR
ICU	IR069	—	—	—	—	—	—	—	IR
ICU	IR070	—	—	—	—	—	—	—	IR
ICU	IR071	—	—	—	—	—	—	—	IR
ICU	IR096	—	—	—	—	—	—	—	IR
ICU	IR098	—	—	—	—	—	—	—	IR
ICU	IR102	—	—	—	—	—	—	—	IR
ICU	IR103	—	—	—	—	—	—	—	IR
ICU	IR106	—	—	—	—	—	—	—	IR
ICU	IR114	—	—	—	—	—	—	—	IR
ICU	IR115	—	—	—	—	—	—	—	IR
ICU	IR116	—	—	—	—	—	—	—	IR
ICU	IR117	—	—	—	—	—	—	—	IR
ICU	IR118	—	—	—	—	—	—	—	IR
ICU	IR119	—	—	—	—	—	—	—	IR
ICU	IR120	—	—	—	—	—	—	—	IR
ICU	IR121	—	—	—	—	—	—	—	IR
ICU	IR122	—	—	—	—	—	—	—	IR
ICU	IR123	—	—	—	—	—	—	—	IR
ICU	IR124	—	—	—	—	—	—	—	IR
ICU	IR125	—	—	—	—	—	—	—	IR
ICU	IR126	—	—	—	—	—	—	—	IR
ICU	IR127	—	—	—	—	—	—	—	IR
ICU	IR128	—	—	—	—	—	—	—	IR
ICU	IR129	—	—	—	—	—	—	—	IR
ICU	IR130	—	—	—	—	—	—	—	IR
ICU	IR131	—	—	—	—	—	—	—	IR
ICU	IR132	—	—	—	—	—	—	—	IR
ICU	IR133	—	—	—	—	—	—	—	IR
ICU	IR134	—	—	—	—	—	—	—	IR
ICU	IR135	—	—	—	—	—	—	—	IR
ICU	IR136	—	—	—	—	—	—	—	IR
ICU	IR137	—	—	—	—	—	—	—	IR
ICU	IR138	—	—	—	—	—	—	—	IR
ICU	IR139	—	—	—	—	—	—	—	IR
ICU	IR140	—	—	—	—	—	—	—	IR
ICU	IR141	—	—	—	—	—	—	—	IR
ICU	IR142	—	—	—	—	—	—	—	IR
ICU	IR143	—	—	—	—	—	—	—	IR

表 4.2 I/O レジスタビット一覧 (5 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR144	—	—	—	—	—	—	—	IR
ICU	IR145	—	—	—	—	—	—	—	IR
ICU	IR146	—	—	—	—	—	—	—	IR
ICU	IR149	—	—	—	—	—	—	—	IR
ICU	IR150	—	—	—	—	—	—	—	IR
ICU	IR151	—	—	—	—	—	—	—	IR
ICU	IR152	—	—	—	—	—	—	—	IR
ICU	IR153	—	—	—	—	—	—	—	IR
ICU	IR170	—	—	—	—	—	—	—	IR
ICU	IR171	—	—	—	—	—	—	—	IR
ICU	IR172	—	—	—	—	—	—	—	IR
ICU	IR173	—	—	—	—	—	—	—	IR
ICU	IR174	—	—	—	—	—	—	—	IR
ICU	IR175	—	—	—	—	—	—	—	IR
ICU	IR176	—	—	—	—	—	—	—	IR
ICU	IR177	—	—	—	—	—	—	—	IR
ICU	IR178	—	—	—	—	—	—	—	IR
ICU	IR179	—	—	—	—	—	—	—	IR
ICU	IR180	—	—	—	—	—	—	—	IR
ICU	IR181	—	—	—	—	—	—	—	IR
ICU	IR182	—	—	—	—	—	—	—	IR
ICU	IR183	—	—	—	—	—	—	—	IR
ICU	IR184	—	—	—	—	—	—	—	IR
ICU	IR186	—	—	—	—	—	—	—	IR
ICU	IR187	—	—	—	—	—	—	—	IR
ICU	IR188	—	—	—	—	—	—	—	IR
ICU	IR189	—	—	—	—	—	—	—	IR
ICU	IR190	—	—	—	—	—	—	—	IR
ICU	IR192	—	—	—	—	—	—	—	IR
ICU	IR193	—	—	—	—	—	—	—	IR
ICU	IR194	—	—	—	—	—	—	—	IR
ICU	IR195	—	—	—	—	—	—	—	IR
ICU	IR196	—	—	—	—	—	—	—	IR
ICU	IR214	—	—	—	—	—	—	—	IR
ICU	IR215	—	—	—	—	—	—	—	IR
ICU	IR216	—	—	—	—	—	—	—	IR
ICU	IR217	—	—	—	—	—	—	—	IR
ICU	IR218	—	—	—	—	—	—	—	IR
ICU	IR219	—	—	—	—	—	—	—	IR
ICU	IR220	—	—	—	—	—	—	—	IR
ICU	IR221	—	—	—	—	—	—	—	IR
ICU	IR222	—	—	—	—	—	—	—	IR
ICU	IR223	—	—	—	—	—	—	—	IR
ICU	IR224	—	—	—	—	—	—	—	IR
ICU	IR225	—	—	—	—	—	—	—	IR
ICU	IR246	—	—	—	—	—	—	—	IR
ICU	IR247	—	—	—	—	—	—	—	IR
ICU	IR248	—	—	—	—	—	—	—	IR
ICU	IR249	—	—	—	—	—	—	—	IR
ICU	IR254	—	—	—	—	—	—	—	IR
ICU	DTCER027	—	—	—	—	—	—	—	DTCE
ICU	DTCER028	—	—	—	—	—	—	—	DTCE

表 4.2 I/O レジスタビット一覧 (6 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	DTCER029	—	—	—	—	—	—	—	DTCE
ICU	DTCER030	—	—	—	—	—	—	—	DTCE
ICU	DTCER031	—	—	—	—	—	—	—	DTCE
ICU	DTCER045	—	—	—	—	—	—	—	DTCE
ICU	DTCER046	—	—	—	—	—	—	—	DTCE
ICU	DTCER064	—	—	—	—	—	—	—	DTCE
ICU	DTCER065	—	—	—	—	—	—	—	DTCE
ICU	DTCER066	—	—	—	—	—	—	—	DTCE
ICU	DTCER067	—	—	—	—	—	—	—	DTCE
ICU	DTCER068	—	—	—	—	—	—	—	DTCE
ICU	DTCER069	—	—	—	—	—	—	—	DTCE
ICU	DTCER070	—	—	—	—	—	—	—	DTCE
ICU	DTCER071	—	—	—	—	—	—	—	DTCE
ICU	DTCER098	—	—	—	—	—	—	—	DTCE
ICU	DTCER102	—	—	—	—	—	—	—	DTCE
ICU	DTCER103	—	—	—	—	—	—	—	DTCE
ICU	DTCER106	—	—	—	—	—	—	—	DTCE
ICU	DTCER114	—	—	—	—	—	—	—	DTCE
ICU	DTCER115	—	—	—	—	—	—	—	DTCE
ICU	DTCER116	—	—	—	—	—	—	—	DTCE
ICU	DTCER117	—	—	—	—	—	—	—	DTCE
ICU	DTCER121	—	—	—	—	—	—	—	DTCE
ICU	DTCER122	—	—	—	—	—	—	—	DTCE
ICU	DTCER125	—	—	—	—	—	—	—	DTCE
ICU	DTCER126	—	—	—	—	—	—	—	DTCE
ICU	DTCER129	—	—	—	—	—	—	—	DTCE
ICU	DTCER130	—	—	—	—	—	—	—	DTCE
ICU	DTCER131	—	—	—	—	—	—	—	DTCE
ICU	DTCER132	—	—	—	—	—	—	—	DTCE
ICU	DTCER134	—	—	—	—	—	—	—	DTCE
ICU	DTCER135	—	—	—	—	—	—	—	DTCE
ICU	DTCER136	—	—	—	—	—	—	—	DTCE
ICU	DTCER137	—	—	—	—	—	—	—	DTCE
ICU	DTCER138	—	—	—	—	—	—	—	DTCE
ICU	DTCER139	—	—	—	—	—	—	—	DTCE
ICU	DTCER140	—	—	—	—	—	—	—	DTCE
ICU	DTCER141	—	—	—	—	—	—	—	DTCE
ICU	DTCER142	—	—	—	—	—	—	—	DTCE
ICU	DTCER143	—	—	—	—	—	—	—	DTCE
ICU	DTCER144	—	—	—	—	—	—	—	DTCE
ICU	DTCER145	—	—	—	—	—	—	—	DTCE
ICU	DTCER149	—	—	—	—	—	—	—	DTCE
ICU	DTCER150	—	—	—	—	—	—	—	DTCE
ICU	DTCER151	—	—	—	—	—	—	—	DTCE
ICU	DTCER152	—	—	—	—	—	—	—	DTCE
ICU	DTCER153	—	—	—	—	—	—	—	DTCE
ICU	DTCER174	—	—	—	—	—	—	—	DTCE
ICU	DTCER175	—	—	—	—	—	—	—	DTCE
ICU	DTCER176	—	—	—	—	—	—	—	DTCE
ICU	DTCER177	—	—	—	—	—	—	—	DTCE
ICU	DTCER178	—	—	—	—	—	—	—	DTCE
ICU	DTCER179	—	—	—	—	—	—	—	DTCE

表 4.2 I/O レジスタビット一覧 (7 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	DTCER180	—	—	—	—	—	—	—	DTCE
ICU	DTCER181	—	—	—	—	—	—	—	DTCE
ICU	DTCER182	—	—	—	—	—	—	—	DTCE
ICU	DTCER183	—	—	—	—	—	—	—	DTCE
ICU	DTCER184	—	—	—	—	—	—	—	DTCE
ICU	DTCER186	—	—	—	—	—	—	—	DTCE
ICU	DTCER187	—	—	—	—	—	—	—	DTCE
ICU	DTCER188	—	—	—	—	—	—	—	DTCE
ICU	DTCER189	—	—	—	—	—	—	—	DTCE
ICU	DTCER190	—	—	—	—	—	—	—	DTCE
ICU	DTCER192	—	—	—	—	—	—	—	DTCE
ICU	DTCER193	—	—	—	—	—	—	—	DTCE
ICU	DTCER194	—	—	—	—	—	—	—	DTCE
ICU	DTCER195	—	—	—	—	—	—	—	DTCE
ICU	DTCER196	—	—	—	—	—	—	—	DTCE
ICU	DTCER215	—	—	—	—	—	—	—	DTCE
ICU	DTCER216	—	—	—	—	—	—	—	DTCE
ICU	DTCER219	—	—	—	—	—	—	—	DTCE
ICU	DTCER220	—	—	—	—	—	—	—	DTCE
ICU	DTCER223	—	—	—	—	—	—	—	DTCE
ICU	DTCER224	—	—	—	—	—	—	—	DTCE
ICU	DTCER247	—	—	—	—	—	—	—	DTCE
ICU	DTCER248	—	—	—	—	—	—	—	DTCE
ICU	DTCER254	—	—	—	—	—	—	—	DTCE
ICU	IER02	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER03	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER05	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER07	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER08	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0D	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER10	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER11	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER12	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER13	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER15	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER16	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER17	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER18	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1A	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1B	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	SWINTR	—	—	—	—	—	—	—	SWINT
ICU	FIR	FIEN	—	—	—	—	—	—	—
FVCT[7:0]									
ICU	IPR00	—	—	—	—	IPR[3:0]			
ICU	IPR01	—	—	—	—	IPR[3:0]			
ICU	IPR02	—	—	—	—	IPR[3:0]			

表 4.2 I/O レジスタビット一覧 (8 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IPR03	—	—	—	—	IPR[3:0]			
ICU	IPR04	—	—	—	—	IPR[3:0]			
ICU	IPR05	—	—	—	—	IPR[3:0]			
ICU	IPR06	—	—	—	—	IPR[3:0]			
ICU	IPR07	—	—	—	—	IPR[3:0]			
ICU	IPR14	—	—	—	—	IPR[3:0]			
ICU	IPR18	—	—	—	—	IPR[3:0]			
ICU	IPR20	—	—	—	—	IPR[3:0]			
ICU	IPR21	—	—	—	—	IPR[3:0]			
ICU	IPR22	—	—	—	—	IPR[3:0]			
ICU	IPR23	—	—	—	—	IPR[3:0]			
ICU	IPR24	—	—	—	—	IPR[3:0]			
ICU	IPR25	—	—	—	—	IPR[3:0]			
ICU	IPR26	—	—	—	—	IPR[3:0]			
ICU	IPR27	—	—	—	—	IPR[3:0]			
ICU	IPR40	—	—	—	—	IPR[3:0]			
ICU	IPR44	—	—	—	—	IPR[3:0]			
ICU	IPR48	—	—	—	—	IPR[3:0]			
ICU	IPR49	—	—	—	—	IPR[3:0]			
ICU	IPR51	—	—	—	—	IPR[3:0]			
ICU	IPR52	—	—	—	—	IPR[3:0]			
ICU	IPR53	—	—	—	—	IPR[3:0]			
ICU	IPR54	—	—	—	—	IPR[3:0]			
ICU	IPR55	—	—	—	—	IPR[3:0]			
ICU	IPR56	—	—	—	—	IPR[3:0]			
ICU	IPR57	—	—	—	—	IPR[3:0]			
ICU	IPR58	—	—	—	—	IPR[3:0]			
ICU	IPR59	—	—	—	—	IPR[3:0]			
ICU	IPR5A	—	—	—	—	IPR[3:0]			
ICU	IPR5B	—	—	—	—	IPR[3:0]			
ICU	IPR5C	—	—	—	—	IPR[3:0]			
ICU	IPR5D	—	—	—	—	IPR[3:0]			
ICU	IPR5E	—	—	—	—	IPR[3:0]			
ICU	IPR5F	—	—	—	—	IPR[3:0]			
ICU	IPR60	—	—	—	—	IPR[3:0]			
ICU	IPR67	—	—	—	—	IPR[3:0]			
ICU	IPR68	—	—	—	—	IPR[3:0]			
ICU	IPR69	—	—	—	—	IPR[3:0]			
ICU	IPR6A	—	—	—	—	IPR[3:0]			
ICU	IPR6B	—	—	—	—	IPR[3:0]			
ICU	IPR6C	—	—	—	—	IPR[3:0]			
ICU	IPR6D	—	—	—	—	IPR[3:0]			
ICU	IPR6E	—	—	—	—	IPR[3:0]			
ICU	IPR6F	—	—	—	—	IPR[3:0]			
ICU	IPR80	—	—	—	—	IPR[3:0]			
ICU	IPR81	—	—	—	—	IPR[3:0]			
ICU	IPR82	—	—	—	—	IPR[3:0]			
ICU	IPR88	—	—	—	—	IPR[3:0]			
ICU	IPR89	—	—	—	—	IPR[3:0]			
ICU	IPR8A	—	—	—	—	IPR[3:0]			
ICU	IPR8B	—	—	—	—	IPR[3:0]			
ICU	IPR90	—	—	—	—	IPR[3:0]			

表 4.2 I/O レジスタビット一覧 (9 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IRQCR0	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR1	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR2	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR3	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR4	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR5	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR6	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR7	—	—	—	—	IRQMD[1:0]		—	—
ICU	NMISR	—	—	—	—	—	OSTST	LVDST	NMIST
ICU	NMIER	—	—	—	—	—	OSTEN	LVDEN	NMIEN
ICU	NMICLR	—	—	—	—	—	OSTCLR	—	NMICLR
ICU	NMICR	—	—	—	—	NMIMD	—	—	—
CMT	CMSTR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR1	STR0
CMT0	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT0	CMCNT								
CMT0	CMCOR								
CMT1	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT1	CMCNT								
CMT1	CMCOR								
CMT	CMSTR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR3	STR2
CMT2	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT2	CMCNT								
CMT2	CMCOR								
CMT3	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT3	CMCNT								
CMT3	CMCOR								
WDT	TCSR	—	TMS	TME	—	—	CKS[2:0]		
WDT	WINA								
WDT	TCNT								
WDT	WINB								
WDT	RSTCSR	WOVF	RSTE	—	—	—	—	—	—
IWDT	IWDTRR								
IWDT	IWDTCR	—	—	—	—	—	—	—	—
		CKS[3:0]				—	—	TOPS[1:0]	
IWDT	IWDTSR	—	UNDF	CNTVAL[13:0]			CNTVAL[13:0]		

表 4.2 I/O レジスタビット一覧 (10 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
AD0	ADRA (注1)	—	—	—	—	—	—		
AD0	ADDRB (注1)	—	—	—	—	—	—		
AD0	ADDRC (注1)	—	—	—	—	—	—		
AD0	ADDRD (注1)	—	—	—	—	—	—		
AD0	ADDRE (注1)	—	—	—	—	—	—		
AD0	ADDRF (注1)	—	—	—	—	—	—		
AD0	ADDRG (注1)	—	—	—	—	—	—		
AD0	ADDRH (注1)	—	—	—	—	—	—		
AD0	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD0	ADCR	—	—	—	—	CKS[1:0]	MODE[1:0]		
AD0	ADSSTR								
AD0	ADDIAGR	—	—	—	—	—	—	DIAG[1:0]	
AD0	ADDRI (注1)	—	—	—	—	—	—		
AD0	ADDRJ (注1)	—	—	—	—	—	—		
AD0	ADDRK (注1)	—	—	—	—	—	—		
AD0	ADDRL (注1)	—	—	—	—	—	—		
AD0	ADSTRGR	—	—	—	ADSTRS[4:0]				
AD0	ADDPR	DPSEL	—	—	—	—	—	—	DPPRC
SCI0	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI0	BRR								
SCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI0	TDR								
SCI0	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI0	RDR								
SCI0	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI0	SEMR	—	—	NFEN	ABCS	—	—	—	—
SMCI0	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI0	BRR								
SMCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI0	TDR								
SMCI0	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI0	RDR								
SMCI0	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI1	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI1	BRR								
SCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI1	TDR								
SCI1	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI1	RDR								
SCI1	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF

表 4.2 I/O レジスタビット一覧 (11 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCI1	SEMR	—	—	NFEN	ABCS	—	—	—	—	
SMCI1	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]		
SMCI1	BRR									
SMCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SMCI1	TDR									
SMCI1	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
SMCI1	RDR									
SMCI1	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI2	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]		
SCI2	BRR									
SCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SCI2	TDR									
SCI2	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SCI2	RDR									
SCI2	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI2	SEMR	—	—	NFEN	ABCS	—	—	—	—	
SMCI2	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]		
SMCI2	BRR									
SMCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SMCI2	TDR									
SMCI2	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
SMCI2	RDR									
SMCI2	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
CRC	CRCCR	DORCLR	—	—	—	—	LMS	GPS[1:0]		
CRC	CRCDIR									
CRC	CRCDOR									
RIIC0	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI	
RIIC0	ICCR2	BBSY	MST	TRS	—	SP	RS	ST	—	
RIIC0	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]			
RIIC0	ICMR2	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS	
RIIC0	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]		
RIIC0	ICFER	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE	
RIIC0	ICSER	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E	
RIIC0	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE	
RIIC0	ICSR1	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0	
RIIC0	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF	
RIIC0	SARL0	SVA[6:0]								SVA0
RIIC0	TMOCNTL									
RIIC0	SARU0	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	TMOCNTU									
RIIC0	SARL1	SVA[6:0]								SVA0
RIIC0	SARU1	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	SARL2	SVA[6:0]								SVA0
RIIC0	SARU2	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	ICBRL	—	—	—	BRL[4:0]					
RIIC0	ICBRH	—	—	—	BRH[4:0]					
RIIC0	ICDRT									
RIIC0	ICDRR									

表 4.2 I/O レジスタビット一覧 (12 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RSPi0	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
RSPi0	SSLP	—	—	—	—	SSLP3	SSLP2	SSLP1	SSLP0
RSPi0	SPPCR	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
RSPi0	SPSR	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
RSPi0	SPDR	H[15:0]							
		H[15:0]							
		L[15:0]							
		L[15:0]							
RSPi0	SPSCR	—	—	—	—	—	SPSLN[2:0]		
RSPi0	SPSSR	—	SPECM[2:0]			—	SPCP[2:0]		
RSPi0	SPBR	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
RSPi0	SPDCR	—	—	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
RSPi0	SPCKD	—	—	—	—	—	SCKDL[2:0]		
RSPi0	SSLND	—	—	—	—	—	SLNDL[2:0]		
RSPi0	SPND	—	—	—	—	—	SPNDL[2:0]		
RSPi0	SPCR2	—	—	—	—	PTE	SPIIE	SPOE	SPPE
RSPi0	SPCMD0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
S12AD0	ADCSR	ADST	ADCS[1:0]		ADIE	CKS[1:0]		TRGE	EXTRG
S12AD0	ADANS	—	—	CH[1:0]		—	PG002SEL	PG001SEL	PG000SEL
		—	—	—	—	—	PG002EN	PG001EN	PG000EN
S12AD0	ADPG	—	—	—	—	PG002GAIN[3:0]			
		PG001GAIN[3:0]			PG000GAIN[3:0]				
S12AD0	ADCER	ADRFMT	—	ADIEW	ADIE2	DIAGM	DIAGLD	DIAGVAL[1:0]	
		—	—	ACE	—	—	ADPRC[1:0]		SHBYP
S12AD0	ADSTRGR	—	—	—	ADSTRS1[4:0]				
		—	—	—	ADSTRS0[4:0]				
S12AD	ADCMPMD0	—	—	CEN102[1:0]		CEN101[1:0]		CEN100[1:0]	
		—	—	CEN002[1:0]		CEN001[1:0]		CEN000[1:0]	
S12AD	ADCMPMD1	—	VSELL1	VSELH1	CSEL1	—	VSELL0	VSELH0	CSEL0
		—	REFH[2:0]			—	REFL[2:0]		
S12AD	ADCMPNR0	—	—	—	—	C002NR[3:0]			
		C001NR[3:0]			C000NR[3:0]				
S12AD	ADCMPNR1	—	—	—	—	C102NR[3:0]			
		C101NR[3:0]			C100NR[3:0]				
S12AD	ADCMPFR	—	—	C102FLAG	C101FLAG	C100FLAG	C002FLAG	C001FLAG	C000FLAG

表 4.2 I/O レジスタビット一覧 (13 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
S12AD	ADCMPESEL	—	—	—	—	—	—	POERQ	IE
		—	—	SEL102	SEL101	SEL100	SEL002	SEL001	SEL000
S12AD0	ADRD (注2)	DIAGST[1:0]		—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR0A (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR1 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR2 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR3 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR0B (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADSSTR								
S12AD1	ADCSR	ADST	ADCS[1:0]		ADIE	CKS[1:0]		TRGE	EXTRG
S12AD1	ADANS	—	—	CH[1:0]		—	PG102SEL	PG101SEL	PG100SEL
		—	—	—	—	—	PG102EN	PG101EN	PG100EN
S12AD1	ADPG	—	—	—	—	PG102GAIN[3:0]			
		PG101GAIN[3:0]			PG100GAIN[3:0]				
S12AD1	ADCER	ADRFMT	—	ADIEW	ADIE2	DIAGM	DIAGLD	DIAGVAL[1:0]	
		—	—	ACE	—	—	ADPRC[1:0]		SHBYP
S12AD1	ADSTRGR	—	—	—	ADSTRS1[4:0]				
		—	—	—	ADSTRS0[4:0]				
S12AD1	ADRD (注2)	DIAGST[1:0]		—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR0A (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR1 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR2 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR3 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR0B (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADSSTR								
PORT1	DDR	—	—	—	—	—	—	B1	B0
PORT2	DDR	—	—	—	B4	B3	B2	B1	B0
PORT3	DDR	—	—	—	—	B3	B2	B1	B0
PORT7	DDR	—	B6	B5	B4	B3	B2	B1	B0
PORT8	DDR	—	—	—	—	—	B2	B1	B0
PORT9	DDR	—	B6	B5	B4	B3	B2	B1	B0
PORTA	DDR	—	—	B5	B4	B3	B2	B1	B0
PORTB	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTD	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	DDR	—	—	B5	B4	B3	—	B1	B0
PORTG	DDR	—	—	B5	B4	B3	B2	B1	B0
PORT1	DR	—	—	—	—	—	—	B1	B0
PORT2	DR	—	—	—	B4	B3	B2	B1	B0
PORT3	DR	—	—	—	—	B3	B2	B1	B0
PORT7	DR	—	B6	B5	B4	B3	B2	B1	B0

表 4.2 I/O レジスタビット一覧 (14 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
PORT8	DR	—	—	—	—	—	B2	B1	B0		
PORT9	DR	—	B6	B5	B4	B3	B2	B1	B0		
PORTA	DR	—	—	B5	B4	B3	B2	B1	B0		
PORTB	DR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTD	DR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTE	DR	—	—	B5	B4	B3	—	B1	B0		
PORTG	DR	—	—	B5	B4	B3	B2	B1	B0		
PORT1	PORT	—	—	—	—	—	—	B1	B0		
PORT2	PORT	—	—	—	B4	B3	B2	B1	B0		
PORT3	PORT	—	—	—	—	B3	B2	B1	B0		
PORT4	PORT	B7	B6	B5	B4	B3	B2	B1	B0		
PORT5	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORT6	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORT7	PORT	—	B6	B5	B4	B3	B2	B1	B0		
PORT8	PORT	—	—	—	—	—	B2	B1	B0		
PORT9	PORT	—	B6	B5	B4	B3	B2	B1	B0		
PORTA	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORTB	PORT	B7	B6	B5	B4	B3	B2	B1	B0		
PORTD	PORT	B7	B6	B5	B4	B3	B2	B1	B0		
PORTE	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORTG	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORT1	ICR	—	—	—	—	—	—	B1	B0		
PORT2	ICR	—	—	—	B4	B3	B2	B1	B0		
PORT3	ICR	—	—	—	—	B3	B2	B1	B0		
PORT4	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PORT5	ICR	—	—	B5	B4	B3	B2	B1	B0		
PORT6	ICR	—	—	B5	B4	B3	B2	B1	B0		
PORT7	ICR	—	B6	B5	B4	B3	B2	B1	B0		
PORT8	ICR	—	—	—	—	—	B2	B1	B0		
PORT9	ICR	—	B6	B5	B4	B3	B2	B1	B0		
PORTA	ICR	—	—	B5	B4	B3	B2	B1	B0		
PORTB	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTD	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTE	ICR	—	—	B5	B4	B3	—	B1	B0		
PORTG	ICR	—	—	B5	B4	B3	B2	B1	B0		
IOPORT	PF8IRQ	—	—	—	—	ITS1[1:0]		ITS0[1:0]			
IOPORT	PF9IRQ	—	—	—	—	—	ITS2	—	—		
IOPORT	PFAADC	—	—	—	—	—	—	ADTRG1S	ADTRG0S		
IOPORT	PFCMTU	TCLKS[1:0]		—	—	—	—	MTUS1	MTUS0		
IOPORT	PFDGPT	—	—	—	—	—	—	—	GPTS		
IOPORT	PFFSCI	—	—	—	—	—	SCI2S	—	—		
IOPORT	PFGSPI	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—		
IOPORT	PFHSPI	—	—	—	—	—	—	RSPIS[1:0]			
IOPORT	PFJCAN	CANS[1:0]		—	—	—	—	—	CANE		
IOPORT	PFKLIN	—	—	—	—	—	—	—	LINE		
IOPORT	PFMPOE	—	—	—	POE11E	POE10E	POE8E	POE4E	POE0E		
IOPORT	PFNPOE	POE10S	—	—	—	—	—	—	—		
SYSTEM	DPSBYCR	DPSBY	IOKEEP	—	—	—	—	—	—		
SYSTEM	DPSWCR	—	—	WTSTS[5:0]						—	—
SYSTEM	DPSIER	DNMIE	—	—	DLVDE	—	—	DIRQ1E	DIRQ0E		
SYSTEM	DPSIFR	DNMIF	—	—	DLVDF	—	—	DIRQ1F	DIRQ0F		
SYSTEM	DPSIEGR	DNMIEG	—	—	—	—	—	DIRQ1EG	DIRQ0EG		

表 4.2 I/O レジスタビット一覧 (15 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	RSTSR	DPSRSTF	—	—	—	—	LVD2F	LVD1F	PORF
FLASH	FWEPOR	—	—	—	—	—	—	FLWE[1:0]	
SYSTEM	LVDKEYR								
SYSTEM	LVDCR	LVD2E	LVD2RI	—	—	LVD1E	LVD1RI	—	—
SYSTEM	DPSBKR0								
SYSTEM	DPSBKR1								
SYSTEM	DPSBKR2								
SYSTEM	DPSBKR3								
SYSTEM	DPSBKR4								
SYSTEM	DPSBKR5								
SYSTEM	DPSBKR6								
SYSTEM	DPSBKR7								
SYSTEM	DPSBKR8								
SYSTEM	DPSBKR9								
SYSTEM	DPSBKR10								
SYSTEM	DPSBKR11								
SYSTEM	DPSBKR12								
SYSTEM	DPSBKR13								
SYSTEM	DPSBKR14								
SYSTEM	DPSBKR15								
SYSTEM	DPSBKR16								
SYSTEM	DPSBKR17								
SYSTEM	DPSBKR18								
SYSTEM	DPSBKR19								
SYSTEM	DPSBKR20								
SYSTEM	DPSBKR21								
SYSTEM	DPSBKR22								
SYSTEM	DPSBKR23								
SYSTEM	DPSBKR24								
SYSTEM	DPSBKR25								
SYSTEM	DPSBKR26								
SYSTEM	DPSBKR27								
SYSTEM	DPSBKR28								
SYSTEM	DPSBKR29								
SYSTEM	DPSBKR30								
SYSTEM	DPSBKR31								
POE	ICSR1	—	—	—	POE0F	—	—	—	PIE1
		—	—	—	—	—	—	POE0M[1:0]	
POE	OCSR1	OSF1	—	—	—	—	—	OCE1	OIE1
		—	—	—	—	—	—	—	—
POE	ICSR2	—	—	—	POE4F	—	—	—	PIE2
		—	—	—	—	—	—	POE4M[1:0]	
POE	OCSR2	OSF2	—	—	—	—	—	OCE2	OIE2
		—	—	—	—	—	—	—	—
POE	ICSR3	—	—	—	POE8F	—	—	POE8E	PIE3
		—	—	—	—	—	—	POE8M[1:0]	
POE	SPOER	—	—	—	GPT23HIZ	GPT01HIZ	MTUCH0HIZ	MTUCH67HIZ	MTUCH34HIZ
POE	POECR1	—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
POE	POECR2	—	—	—	—	—	MTU3BDZE	MTU4ACZE	MTU4BDZE
		—	—	—	—	—	MTU6BDZE	MTU7ACZE	MTU7BDZE
POE	POECR3	—	—	—	—	—	—	GPT3ABZE	GPT2ABZE
		—	—	—	—	—	—	GPT1ABZE	GPT0ABZE

表 4.2 I/O レジスタビット一覧 (16 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
POE	POECR4	—	—	IC5ADDMT67ZE	IC4ADDMT67ZE	IC3ADDMT67ZE	—	IC1ADDMT67ZE	CMADDMT67ZE	
		—	—	IC5ADDMT34ZE	IC4ADDMT34ZE	IC3ADDMT34ZE	IC2ADDMT34ZE	—	CMADDMT34ZE	
POE	POECR5	—	—	—	—	—	—	—	—	
		—	—	IC5ADDMT0ZE	IC4ADDMT0ZE	—	IC2ADDMT0ZE	IC1ADDMT0ZE	CMADDMT0ZE	
POE	POECR6	—	—	—	IC4ADDGPT23ZE	IC3ADDGPT23ZE	IC2ADDGPT23ZE	IC1ADDGPT23ZE	CMADDGPT23ZE	
		—	—	IC5ADDGPT01ZE	—	IC3ADDGPT01ZE	IC2ADDGPT01ZE	IC1ADDGPT01ZE	CMADDGPT01ZE	
POE	ICSR4	—	—	—	POE10F	—	—	POE10E	PIE4	
		—	—	—	—	—	—	POE10M[1:0]		
POE	ALR1	—	—	—	—	—	—	—	—	
		OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A	
POE	ICSR5	—	—	—	POE11F	—	—	POE11E	PIE5	
		—	—	—	—	—	—	POE11M[1:0]		
CAN0 (注3)	MB.ID	IDE	RTR	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
	MB.DLC	—	—	—	—	—	—	—	—	—
		—	—	—	—	DLC[3:0]				
	MB.DATA0~7									
MB.TS		TSH[7:0]			TSL[7:0]					
	CAN0 (注3)	MKR0	—	—	—	SID[10:0]				
SID[10:0]			EID[17:0]							
EID[17:0]						EID[17:0]				
EID[17:0]										
CAN0 (注3)	MKR1	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR2	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR3	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR4	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR5	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR6	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								

表 4.2 I/O レジスタビット一覧 (17 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
CAN0 (注3)	MKR7	—		—	SID[10:0]					
		SID[10:0]					EID[17:0]			
		EID[17:0]								
		EID[17:0]								
CAN0 (注3)	FIDCR0	IDE	RTR	—	SID[10:0]					
		SID[10:0]					EID[17:0]			
		EID[17:0]								
		EID[17:0]								
CAN0 (注3)	FIDCR1	IDE	RTR	—	SID[10:0]					
		SID[10:0]					EID[17:0]			
		EID[17:0]								
		EID[17:0]								
CAN0 (注3)	MKIVLR									
CAN0 (注3)	MIER	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0 (注3)	MCTL.TX	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA	
	MCTL.RX	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDDATA	NEWDATA	
CAN0 (注3)	CTRL	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		
		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM	
CAN0 (注3)	STR	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	
		EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST	
CAN0 (注3)	BCR	TSEG1[3:0]				—	—	BRP[9:0]		
		BRP[9:0]								
		—	—	SJW[1:0]			—	TSEG2[2:0]		
		—	—	—	—	—	—	—	—	—
CAN0 (注3)	RFMR	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE	
CAN0 (注3)	RFPCR	—	—	—	—	—	—	—	—	
CAN0 (注3)	TFMR	TFEST	TFWST	—	—	TFUST[2:0]			TFE	
CAN0 (注3)	TFPCR	—	—	—	—	—	—	—	—	
CAN0 (注3)	EIER	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE	
CAN0 (注3)	EIFR	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF	
CAN0 (注3)	RECR	—	—	—	—	—	—	—	—	
CAN0 (注3)	TECR	—	—	—	—	—	—	—	—	
CAN0 (注3)	ECSR	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF	
CAN0 (注3)	CSSR	—	—	—	—	—	—	—	—	
CAN0 (注3)	MSSR	SEST	—	—	MBNST[4:0]					
CAN0 (注3)	MSMR	—	—	—	—	—	—	MBSM[1:0]		
CAN0 (注3)	TSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0 (注3)	AFSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0 (注3)	TCR	—	—	—	—	—	TSTM[1:0]		TSTE	
LIN0	LWBR	—	—	—	—	—	—	—	LWBR0	
LIN0	LBRP0									
LIN0	LBRP1									
LIN0	LSTC								LSTM	

表 4.2 I/O レジスタビット一覧 (18 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
LINO	LOMD	—	—	—	—	LCKS[1:0]		—	—	
LINO	LOBRK	—	—	BDT[1:0]		BLT[3:0]				
LINO	LOSPC	—	—	IBS[1:0]		—	IBSH[2:0]			
LINO	LOWUP	WUTL[3:0]				—	—	—	—	
LINO	LOIE	—	—	—	—	—	ERRIE	FRCIE	FTCIE	
LINO	LOEDE	—	—	—	—	FERE	FTERE	PBERE	BERE	
LINO	LOC	—	—	—	—	—	—	OM1	OM0	
LINO	LOTTC	—	—	—	—	—	—	RTS	FTS	
LINO	LOMST	—	—	—	—	—	—	OMM1	OMM0	
LINO	LOST	HTRC	D1RC	—	—	ERR	—	FRC	FTC	
LINO	LOEST	—	—	CSER	—	FER	FTER	PBER	BER	
LINO	LORFC	—	FSM	CSM	RFT	RFDL[3:0]				
LINO	LOIDB	IDP			ID					
LINO	LOCBR									
LINO	LODB1									
LINO	LODB2									
LINO	LODB3									
LINO	LODB4									
LINO	LODB5									
LINO	LODB6									
LINO	LODB7									
LINO	LODB8									
MTU3	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
MTU4	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
MTU3	TMDR1	—	—	BFB	BFA	MD[3:0]				
MTU4	TMDR1	—	—	BFB	BFA	MD[3:0]				
MTU3	TIORH	IOB[3:0]				IOA[3:0]				
MTU3	TIORL	IOD[3:0]				IOC[3:0]				
MTU4	TIORH	IOB[3:0]				IOA[3:0]				
MTU4	TIORL	IOD[3:0]				IOC[3:0]				
MTU3	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
MTU4	TIER	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
MTU	TOERA	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
MTU	TGCRA	—	BDC	N	P	FB	WF	VF	UF	
MTU	TOCR1A	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP	
MTU	TOCR2A	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
MTU3	TCNT									
MTU4	TCNT									
MTU	TCDRA									
MTU	TDDRA									
MTU3	TGRA									
MTU3	TGRB									
MTU4	TGRA									

表 4.2 I/O レジスタビット一覧 (19 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU4	TGRB								
MTU	TCNTSA								
MTU	TCBRA								
MTU3	TGRC								
MTU3	TGRD								
MTU4	TGRC								
MTU4	TGRD								
MTU3	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU4	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU	TITCR1A	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
MTU	TITCNT1A	—	T3ACNT[2:0]			—	T4VCNT[2:0]		
MTU	TBTERA	—	—	—	—	—	—	BTE[1:0]	
MTU	TDERA	—	—	—	—	—	—	—	TDER
MTU	TOLBRA	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU3	TBTM	—	—	—	—	—	—	TTSB	TTSA
MTU4	TBTM	—	—	—	—	—	—	TTSB	TTSA
MTU	TITMRA	—	—	—	—	—	—	—	TITM
MTU	TITCR2A	—	—	—	—	—	TRG4COR[2:0]		
MTU	TITCNT2A	—	—	—	—	—	TRG4CNT[2:0]		
MTU4	TADCR	BF[1:0]		—	—	—	—	—	—
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
MTU4	TADCORA								
MTU4	TADCORB								
MTU4	TADCOBRA								
MTU4	TADCOBRB								
MTU	TWCRA	CCE	—	—	—	—	—	—	WRE
MTU	TMDR2A	—	—	—	—	—	—	—	DRS
MTU3	TGRE								
MTU4	TGRE								
MTU4	TGRF								
MTU	TSTRA	CST4	CST3	—	—	—	CST2	CST1	CST0
MTU	TSYRA	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
MTU	TCSYSTR	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7
MTU	TRWERA	—	—	—	—	—	—	—	RWE
MTU0	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU0	TMDR1	—	BFE	BFB	BFA	MD[3:0]			
MTU0	TIORH	IOB[3:0]				IOA[3:0]			

表 4.2 I/O レジスタビット一覧 (20 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU0	TIORL	IOD[3:0]				IOC[3:0]				
MTU0	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
MTU0	TSR	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
MTU0	TCNT									
MTU0	TGRA									
MTU0	TGRB									
MTU0	TGRC									
MTU0	TGRD									
MTU0	TGRE									
MTU0	TGRF									
MTU0	TIER2	TTGE2	—	—	—	—	—	TGIEF	TGIEE	
MTU0	TSR2	—	—	—	—	—	—	TGFF	TGFE	
MTU0	TBTM	—	—	—	—	—	TTSE	TTSB	TTSA	
MTU1	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
MTU1	TMDR1	—	—	—	—	MD[3:0]				
MTU1	TIOR	IOB[3:0]				IOA[3:0]				
MTU1	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
MTU1	TSR	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
MTU1	TCNT									
MTU1	TGRA									
MTU1	TGRB									
MTU1	TICCR	—	—	—	—	I2BE	I2AE	I1BE	I1AE	
MTU2	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
MTU2	TMDR1	—	—	—	—	MD[3:0]				
MTU2	TIOR	IOB[3:0]				IOA[3:0]				
MTU2	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
MTU2	TSR	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
MTU2	TCNT									
MTU2	TGRA									
MTU2	TGRB									
MTU6	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
MTU7	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
MTU6	TMDR1	—	—	BFB	BFA	MD[3:0]				
MTU7	TMDR1	—	—	BFB	BFA	MD[3:0]				
MTU6	TIORH	IOB[3:0]				IOA[3:0]				
MTU6	TIORL	IOD[3:0]				IOC[3:0]				
MTU7	TIORH	IOB[3:0]				IOA[3:0]				
MTU7	TIORL	IOD[3:0]				IOC[3:0]				

表 4.2 I/O レジスタビット一覧 (21 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU6	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU7	TIER	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU	TOERB	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
MTU	TOCR1B	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
MTU	TOCR2B	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU6	TCNT								
MTU7	TCNT								
MTU	TCDRB								
MTU	TDDRB								
MTU6	TGRA								
MTU6	TGRB								
MTU7	TGRA								
MTU7	TGRB								
MTU	TCNTSB								
MTU	TCBRB								
MTU6	TGRC								
MTU6	TGRD								
MTU7	TGRC								
MTU7	TGRD								
MTU6	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU7	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU	TITCR1B	T6AEN	T6ACOR[2:0]			T7VEN	T7VCOR[2:0]		
MTU	TITCNT1B	—	T6ACNT[2:0]			—	T7VCNT[2:0]		
MTU	TBTERB	—	—	—	—	—	—	BTE[1:0]	—
MTU	TDERB	—	—	—	—	—	—	—	TDER
MTU	TOLBRB	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU6	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU7	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU	TITMRB	—	—	—	—	—	—	—	TITM
MTU	TITCR2B	—	—	—	—	—	TRG7COR[2:0]		
MTU	TITCNT2B	—	—	—	—	—	TRG7CNT[2:0]		
MTU7	TADCR	BF[1:0]		—	—	—	—	—	—
		UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
MTU7	TADCORA								
MTU7	TADCORB								

表 4.2 I/O レジスタビット一覧 (22 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU7	TADCOBRA								
MTU7	TADCOBRB								
MTU6	TSYCR	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
MTU	TWCRB	CCE	—	—	—	—	—	SCC	WRE
MTU	TMDR2B	—	—	—	—	—	—	—	DRS
MTU6	TGRE								
MTU7	TGRE								
MTU7	TGRF								
MTU	TSTRB	CST7	CST6	—	—	—	—	—	—
MTU	TSYRB	SYNC7	SYNC6	—	—	—	—	—	—
MTU	TRWERB	—	—	—	—	—	—	—	RWE
MTU5	TCNTU								
MTU5	TGRU								
MTU5	TCRU	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORU	—	—	—	IOC[4:0]				
MTU5	TCNTV								
MTU5	TGRV								
MTU5	TCRV	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORV	—	—	—	IOC[4:0]				
MTU5	TCNTW								
MTU5	TGRW								
MTU5	TCRW	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORW	—	—	—	IOC[4:0]				
MTU5	TSR	—	—	—	—	—	CMFU5	CMFV5	CMFW5
MTU5	TIER	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
MTU5	TSTR	—	—	—	—	—	CSTU5	CSTV5	CSTW5
MTU5	TCNTCMPCLR	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
GPT	GTSTR	—	—	—	—	—	—	—	—
		—	—	—	—	CST3	CST2	CST1	CST0
GPT	GTHSCR	CPHW3[1:0]		CPHW2[1:0]		CPHW1[1:0]		CPHW0[1:0]	
		CSHW3[1:0]		CSHW2[1:0]		CSHW1[1:0]		CSHW0[1:0]	
GPT	GTHCCR	—	—	—	—	CCSW3	CCSW2	CCSW1	CCSW0
		CCHW3[1:0]		CCHW2[1:0]		CCHW1[1:0]		CCHW0[1:0]	
GPT	GTHSSR	CSHSL3[3:0]				CSHSL2[3:0]			
		CSHSL1[3:0]				CSHSL0[3:0]			
GPT	GTHPSR	CSHPL3[3:0]				CSHPL2[3:0]			
		CSHPL1[3:0]				CSHPL0[3:0]			
GPT	GTWP	—	—	—	—	—	—	—	—
		—	—	—	—	WP3	WP2	WP1	WP0
GPT	GTSYNC	—	—	SYNC3[1:0]		—	—	SYNC2[1:0]	
		—	—	SYNC1[1:0]		—	—	SYNC0[1:0]	

表 4.2 I/O レジスタビット一覧 (23 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT	GTETINT	—	—	—	—	—	—	ETINF	ETIPF
		—	—	—	—	—	—	ETINEN	ETIPEN
GPT	GTBDR	BD33	BD32	BD31	BD30	BD23	BD22	BD21	BD20
		BD13	BD12	BD11	BD10	BD03	BD02	BD01	BD00
GPT	GTSWP	—	—	—	—	—	—	—	—
		—	—	—	—	SWP3	SWP2	SWP1	SWP0
GPT	LCCR	LPSC[1:0]		TPSC[1:0]		LCNTAT	LCTO[2:0]		
		—	LCINTO	LCINTD	LCINTC	—	LCNTS	LCNTCR	LCNTE
GPT	LCST	—	—	—	—	—	—	—	—
		—	—	—	—	—	LISO	LISD	LISC
GPT	LCNT								
GPT	LCNTA								
GPT	LCNT00								
GPT	LCNT01								
GPT	LCNT02								
GPT	LCNT03								
GPT	LCNT04								
GPT	LCNT05								
GPT	LCNT06								
GPT	LCNT07								
GPT	LCNT08								
GPT	LCNT09								
GPT	LCNT10								
GPT	LCNT11								
GPT	LCNT12								
GPT	LCNT13								
GPT	LCNT14								
GPT	LCNT15								
GPT	LCNTDU								
GPT	LCNTDL								
GPT0	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]					
		OAHL D	OADFLT	GTIOA[5:0]					

表 4.2 I/O レジスタビット一覧 (24 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT0	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA
GPT0	GTCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]	
		—	—	—	—	—	MD[2:0]		
GPT0	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]	
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
GPT0	GTUDC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	UDF	UD
GPT0	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]		
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
GPT0	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]		
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
GPT0	GT CNT								
GPT0	GTCCRA								
GPT0	GTCCRB								
GPT0	GTCCRC								
GPT0	GTCCRD								
GPT0	GTCCRE								
GPT0	GTCCRF								
GPT0	GT PR								
GPT0	GT PBR								
GPT0	GT PDBR								
GPT0	GTADTRA								
GPT0	GTADTBRA								
GPT0	GTADTDBRA								
GPT0	GTADTRB								
GPT0	GTADTBRB								
GPT0	GTADTDBRB								
GPT0	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV
		NFS[3:0]				NVB	NVA	NEB	NEA
GPT0	GTDTCR	—	—	—	—	—	—	—	TDFER
		—	—	TDBDE	TDBUE	—	—	—	TDE
GPT0	GTDVU								

表 4.2 I/O レジスタビット一覧 (25 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
GPT0	GTDVD									
GPT0	GTDBU									
GPT0	GTDBD									
GPT0	GTSOS	—	—	—	—	—	—	—	—	
GPT0	GTSOTR	—	—	—	—	—	—	—	—	
GPT1	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]						
		OAHLD	OADFLT	GTIOA[5:0]						
GPT1	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—	
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA	
GPT1	GTCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]		
		—	—	—	—	—	MD[2:0]			
GPT1	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]		
GPT1	GTUDC	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	UDF	UD	
GPT1	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]			
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA	
GPT1	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]			
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	
GPT1	GT CNT									
GPT1	GTCCRA									
GPT1	GTCCRB									
GPT1	GTCCRC									
GPT1	GTCCRD									
GPT1	GTCCRE									
GPT1	GTCCRF									
GPT1	GTPR									
GPT1	GTPBR									
GPT1	GTPDBR									
GPT1	GTADTRA									
GPT1	GTADTBRA									
GPT1	GTADTDBRA									

表 4.2 I/O レジスタビット一覧 (26 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
GPT1	GTADTRB									
GPT1	GTADTBRB									
GPT1	GTADTDBRB									
GPT1	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV	
		NFS[3:0]				NVB	NVA	NEB	NEA	
GPT1	GTDTCR	—	—	—	—	—	—	—	TDFER	
		—	—	TDBDE	TDBUE	—	—	—	TDE	
GPT1	GTDVU									
GPT1	GTDVD									
GPT1	GTDBU									
GPT1	GTDBD									
GPT1	GTSOS	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	SOS[1:0]		
GPT1	GTSOTR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	SOTR	
GPT2	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]						
		OAHLD	OADFLT	GTIOA[5:0]						
GPT2	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—	
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA	
GPT2	GTCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]		
		—	—	—	—	—	MD[2:0]			
GPT2	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]		
GPT2	GTUDC	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	UDF	UD	
GPT2	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]			
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA	
GPT2	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]			
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	
GPT2	GTCNT									
GPT2	GTCRA									
GPT2	GTCCRB									
GPT2	GTCCRC									
GPT2	GTCCRD									
GPT2	GTCCRE									
GPT2	GTCCRF									

表 4.2 I/O レジスタビット一覧 (27 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
GPT2	GTPR										
GPT2	GTPBR										
GPT2	GTPDBR										
GPT2	GTADTRA										
GPT2	GTADTBRA										
GPT2	GTADTDBRA										
GPT2	GTADTRB										
GPT2	GTADTBRB										
GPT2	GTADTDBRB										
GPT2	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV		
		NFS[3:0]				NVB	NVA	NEB	NEA		
GPT2	GTDTCR	—	—	—	—	—	—	—	TDFER		
		—	—	TDBDE	TDBUE	—	—	—	TDE		
GPT2	GTDVU										
GPT2	GTDVD										
GPT2	GTDBU										
GPT2	GTDBD										
GPT2	GTSOS	—	—	—	—	—	—	—	—		
		—	—	—	—	—	—	SOS[1:0]			
GPT2	GTSOTR	—	—	—	—	—	—	—	—		
		—	—	—	—	—	—	—	SOTR		
GPT3	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]							
		OAHLD	OADFLT	GTIOA[5:0]							
GPT3	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—		
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA		
GPT3	GTCCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]			
		—	—	—	—	—	MD[2:0]				
GPT3	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]			
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]			
GPT3	GTUDC	—	—	—	—	—	—	—	—		
		—	—	—	—	—	—	UDF	UD		
GPT3	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]				
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA		
GPT3	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]				
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA		
GPT3	GTCNT										

表 4.2 I/O レジスタビット一覧 (28 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT3	GTCCRA								
GPT3	GTCCRB								
GPT3	GTCCRC								
GPT3	GTCCRD								
GPT3	GTCCRE								
GPT3	GTCCRF								
GPT3	GTPR								
GPT3	GTPBR								
GPT3	GTPDBR								
GPT3	GTADTRA								
GPT3	GTADTBRA								
GPT3	GTADTDBRA								
GPT3	GTADTRB								
GPT3	GTADTBRB								
GPT3	GTADTDBRB								
GPT3	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV
		NFS[3:0]				NVB	NVA	NEB	NEA
GPT3	GTDTCR	—	—	—	—	—	—	—	TDFER
		—	—	TDBDE	TDBUE	—	—	—	TDE
GPT3	GTDVU								
GPT3	GTDVD								
GPT3	GTDBU								
GPT3	GTDBD	—	—	—	—	—	—	—	—
		—	—	—	—	—	SOS[1:0]		—
GPT3	GTSOS	—	—	—	—	—	—	—	—
		—	—	—	—	—	SOS[1:0]		—
GPT3	GTSOTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	SOTR
GPT0	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN
GPT1	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN

表 4.2 I/O レジスタビット一覧 (29 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT2	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN
GPT3	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN
GPT0	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT0	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT0	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT0	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
FLASH	FMODR	—	—	—	FRDMD	—	—	—	—
FLASH	FASTAT	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
FLASH	FAEINT	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
FLASH	FRDYIE	—	—	—	—	—	—	—	FRDYIE
FLASH	DFLRE0	KEY[7:0]							
		DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
FLASH	DFLRE1	KEY[7:0]							
		DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08
FLASH	DFLWE0	KEY[7:0]							
		DBWE07	DBWE06	DBWE05	DBWE04	DBWE03	DBWE02	DBWE01	DBWE00
FLASH	DFLWE1	KEY[7:0]							
		DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
FLASH	FCURAME	—	—	—	—	—	—	—	FCRME
FLASH	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD

表 4.2 I/O レジスタビット一覧 (30 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FLASH	FSTATR1	FCUERR	—	—	FLOCKST	—	—	—	—
FLASH	FENTRYR	FEKEY[7:0]							
		FENTRYD	—	—	—	—	—	—	FENTRY0
FLASH	FPROTR	FPKEY[7:0]							
		—	—	—	—	—	—	—	FPROTCN
FLASH	FRESETR	FRKEY[7:0]							
		—	—	—	—	—	—	—	FRESET
FLASH	FCMDR	CMDR[7:0]							
		PCMDR[7:0]							
FLASH	FCPSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ESUSPMD
FLASH	DFLBCCNT	—	—	—	—	—	BCADR[7:0]		
		BCADR[7:0]						—	—
FLASH	FPESTAT	—	—	—	—	—	—	—	—
		PEERRST[7:0]							
FLASH	DFLBCSTAT	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	BCST
FLASH	PCKAR	—	—	—	—	—	—	—	—
		PCKA[7:0]							

注. 本節はI/Oポート関連のレジスタ (0008 C001h~0008 C116h) において、112ピンLQFP版のビット構成を記載しています。パッケージによりレジスタ、ビット構成が異なりますので、その他のパッケージ品のレジスタ、ビット構成については、ユーザーズマニュアルハードウェア編の「15. I/Oポート」を参照してください。

注1. ADDPR.DPSELビット=0、ADDPR.DPPRCビット=0 (データは10ビット精度で、LSB詰め) の場合のビット構成です。詳細はユーザーズマニュアルハードウェア編の「29. 10ビットA/Dコンバータ (ADA)」を参照してください。

注2. ADCER.ADRFMTビット=0 (右詰め) かつADCER.ADPRC[1:0]ビット=00bの場合のビット構成です。詳細はユーザーズマニュアルハードウェア編の「28. 12ビットA/Dコンバータ (S12ADA)」を参照してください。

注3. CAN機能なし版では対応していません。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	VCC、PLLVCC	-0.3~+6.5	V
入力電圧 (ポート4~6以外)	Vin	-0.3~VCC+0.3	V
入力電圧 (ポート4)	Vin	-0.3~AVCC0+0.3	V
入力電圧 (ポート5、6)	Vin	-0.3~AVCC+0.3	V
アナログ電源電圧	AVCC0、AVCC (注1)	-0.3~+6.5	V
リファレンス電源電圧	VREFH0 (注1)	-0.3~AVCC0+0.3	V
	VREF (注1)	-0.3~AVCC+0.3	V
アナログ入力電圧 (ポート4)	V _{AN}	-0.3~AVCC0+0.3	V
アナログ入力電圧 (ポート5、6)	V _{AN}	-0.3~AVCC+0.3	V
動作温度	Dバージョン	Topr	-40~+85
	Gバージョン	Topr	-40~+105
保存温度	Tstg	-55~+125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

- 注1. A/Dコンバータ未使用時にAVCC0、VREFH0、VREFL0、AVSS0、AVCC、VREF、AVSS端子を開放しないでください。
- ・12ビットA/Dコンバータ未使用時
AVCC0端子はAVCC (64ピン版はVCC) に、VREFH0端子はVREF (80ピン版はAVCC、64ピン版はVCC) に、AVSS0、VREFL0端子はVSSにそれぞれ接続してください。
 - ・10ビットA/Dコンバータ未使用時
AVCC端子はAVCC0に、VREF端子はVREFH0に、AVSS端子はAVSS0にそれぞれ接続してください。
 - ・12ビットA/Dコンバータおよび10ビットA/Dコンバータ未使用時
AVCC0、VREFH0、AVCC、VREF端子はVCCに、AVSS0、VREFL0、AVSS端子はVSSにそれぞれ接続してください。

5.2 DC 特性

表5.2 DC特性(1)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件				
シュミットトリガ 入力電圧	CAN 入力端子 IRQ 入力端子 MTU3 入力端子 POE3 入力端子 SCI 入力端子 A/D トリガ入力端子 NMI 入力端子 GPT 入力端子 LIN 入力端子 RES#	V _{IH}	VCC×0.8	—	VCC + 0.3	V				
		V _{IL}	-0.3	—	VCC×0.2					
		ΔV _T	VCC×0.06	—	—					
	RIIC 入力端子 (IICBus 動作時)	V _{IH}	VCC×0.7	—	VCC + 0.3					
		V _{IL}	-0.3	—	VCC×0.3					
		ΔV _T	VCC×0.05	—	—					
	ポート4 (注1) (アナログ兼用ポート)	V _{IH}	AVCC0×0.8	—	AVCC0 + 0.3					
		V _{IL}	-0.3	—	AVCC0×0.2					
		ΔV _T	AVCC0×0.06	—	—					
	ポート5、6 (注1) (アナログ兼用ポート)	V _{IH}	AVCC×0.8	—	AVCC + 0.3					
		V _{IL}	-0.3	—	AVCC×0.2					
		ΔV _T	AVCC×0.06	—	—					
	ポート1~3 (注1) ポート7~B (注1) ポートD、E、G (注1)	V _{IH}	VCC×0.8	—	VCC + 0.3					
		V _{IL}	-0.3	—	VCC×0.2					
		ΔV _T	VCC×0.06	—	—					
	入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE EXTAL RSPI入力端子	V _{IH}	VCC×0.9	—			VCC + 0.3	V	条件1、2のとき
			V _{IH}	VCC×0.8	—			VCC + 0.3		
		RIIC入力端子 (SMBus動作時)	2.1	—	VCC + 0.3					
入力Lowレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE EXTAL RSPI入力端子	V _{IL}	-0.3	—	VCC×0.1	V	条件1、2のとき			
		V _{IL}	-0.3	—	VCC×0.2					
	RIIC入力端子 (SMBus動作時)	-0.3	—	0.8						

表5.2 DC特性(1)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件		
出力Highレベル電圧	全出力端子 (P71~P76、P90~P95を除く)	V _{OH}	VCC - 0.5	—	—	V	I _{OH} = -1mA	
			P71~P76	VCC - 0.5	—		—	I _{OH} = -1mA 64ピンLQFP版 条件3のとき
				VCC - 1.0	—		—	I _{OH} = -5mA 64ピンLQFP版 条件3以外のとき
			P90~P95	VCC - 0.5	—		—	I _{OH} = -1mA 80ピンLQFP版、及び 64ピンLQFP版の とき
				VCC - 1.0	—		—	I _{OH} = -5mA 112ピンLQFP版、及び 100ピンLQFP版 のとき
出力Lowレベル電圧	全出力端子 (P71~P76、P90~P95とRIIC端子を除く)	V _{OL}	—	—	0.5	V	I _{OL} = 1.0mA	
			P71~P76	—	—		0.5	I _{OL} = 1.0mA 64ピンLQFP版 条件3のとき
				—	—		1.1	I _{OL} = 15mA 条件1、2のとき
				—	—		1.4	I _{OL} = 15mA 64ピンLQFP版 以外の条件3のとき
			P90~P95	—	—		0.5	I _{OL} = 1.0mA 80ピンLQFP版、及び 64ピンLQFP版の とき
				—	—		1.1	I _{OL} = 15mA 112ピンLQFP版、及び 100ピンLQFP版 の条件1、2のとき
				—	—		1.4	I _{OL} = 15mA 112ピンLQFP版、及び 100ピンLQFP版 の条件3のとき
			RIIC端子	—	—		0.4	I _{OL} = 3mA
				—	—		0.6	I _{OL} = 6mA
			入力リーク電流	RES#, MD端子、EMLE	I _{in}		—	—
スリープ状態 リーク電流 (オフ状態)	ポート1~A ポートPB0、PB3~PB7 ポートD、E、G	I _{TSI}	—	—	1.0	μA	V _{in} = 0V、V _{in} = VCC	
	ポートPB1、PB2		—	—	5.0			

表5.2 DC特性(1)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件
入力容量	全入力端子 (ポートPB1、PB2以外)	C_{in}	—	—	15	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
	ポートPB1、PB2		—	—	30		

注1. 兼用入力端子を含みます。ただし、ポートPB1、PB2をRIIC入力端子として使用した場合とポートP22～P24、P30、PA3～PA5、PB0、PD0～PD2、PD6をRSPI入力端子として使用した場合は除きます。

表5.3 DC特性(2)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目			記号	min	typ	max	単位	測定条件	
消費電流 (注1)	動作時	最大動作時 (注2)	I _{CC} (注3)	—	—	70	mA	ICLK = 100MHz PCLK = 50MHz	
		通常動作時 (注4)		—	35	—			
		BGO動作 (注5)による 増加分		—	15	—			
	スリープ時			—	22	60			
	全モジュールクロックストップ時 (注6)			—	14	28			
	スタンバイ時	ソフトウェアスタンバイ時		—	0.10	3			mA
		ディープソフトウェア スタンバイ時		—	20	60	μA		
アナログ 電源電流	12ビットA/D変換中 (サンプルホールド回 路使用時、1ユニット当り)		AI _{CC0}	—	3	5		mA	
	12ビットA/D変換中 (サンプルホールド 回路未使用時、1ユニット当り)			—	3	5			
	プログラマブルゲインアンプ (1ch当り)			—	1	2	mA		
	ウィンドウコンパレータ (1ch動作時)			—	0.5	1			
	ウィンドウコンパレータ (6ch動作時)			—	1	2	mA		
	12ビットA/D変換待機時 (全ユニット)			—	60	90			
	10ビットA/D変換中 (1ユニット当り)		AI _{CC}	—	0.9	2	mA		
	10ビットA/D変換待機時 (全ユニット)			—	0.3	3		μA	
リファレンス 電源電流	12ビットA/D変換中 (1ユニット当り)		AI _{REFH0}	—	1.6	3	mA		
	12ビットA/D変換待機時 (全ユニット)			—	1.6	3			
	10ビットA/D変換中 (1ユニット当り)		AI _{REF}	—	0.1	1	mA		
	10ビットA/D変換待機時 (全ユニット)			—	0.1	3		μA	
VCC立ち上がり勾配			SV _{CC}	—	—	20	ms/V		

注1. 消費電流値はすべての出力端子を無負荷状態にした場合の値です。

注2. 周辺機能はクロック供給状態。BGO動作は除きます。

注3. I_{CC}は下記の式にしたがってf (ICLK) に依存します。(ICLK : PCLK = 8 : 4)

I_{CC} max = 0.54 x f + 16 (最大動作時)

I_{CC} max = 0.3 x f + 5 (通常動作時)

I_{CC} max = 0.44 x f + 16 (スリープ時)

注4. 周辺機能はクロック供給停止状態。BGO動作は除きます。

注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注6. 参考値です。

表5.4 出力許容電流

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目	記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	I _{OL}	—	—	2.0 (注1)	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	I _{OL}	—	—	4.0 (注1)	mA
出力Lowレベル許容電流 (総和)	ΣI _{OL}	—	—	110	mA
出力Highレベル許容電流 (1端子あたりの平均値)	-I _{OH}	—	—	2.0 (注1)	mA
出力Highレベル許容電流 (1端子あたりの最大値)	-I _{OH}	—	—	4.0 (注1)	mA
出力Highレベル許容電流 (総和)	Σ-I _{OH}	—	—	35	mA

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表5.4の値を超えないようにしてください。

注1. P71～76、P90～95はI_{OL} = 15mA (Max.) / -I_{OH} = 5mA (Max.)。ただし、これらの端子のうち同時に2.0mAを超えてI_{OL} / -I_{OH}を流すものは112ピンLQFP版/100ピンLQFP版では6本以内、80ピンLQFP版/64ピンLQFP版では3本以内にしてください。

表5.5 許容消費電力 (Gバージョンのみ)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	325	mW	85 °C < T _a ≤ 105 °C

注. T_a = +85 °C ~ +105 °Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注1. チップ全体 (出力電流を含む) の総電力です。

5.3 AC 特性

表5.6 動作周波数値

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	8	—	100	MHz
	周辺モジュールクロック (PCLK)		8	—	50	

5.3.1 クロックタイミング

表5.7 クロックタイミング

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目	記号	min	max	単位	測定条件
リセット発振安定時間 (水晶)	t_{OSC1}	10	—	ms	図5.1
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	10	—	ms	図5.2
ディープソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC3}	10	—	ms	図5.3
EXTAL外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図5.1
EXTAL外部クロック入力パルス幅Lowレベル	t_{EXL}	35	—	ns	図5.4
EXTAL外部クロック入力パルス幅Highレベル	t_{EXH}	35	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	5	ns	
オンチップオシレータ (IWDTCLK) 発振周波数	$f_{IWDTCLK}$	62.5	187.5	kHz	

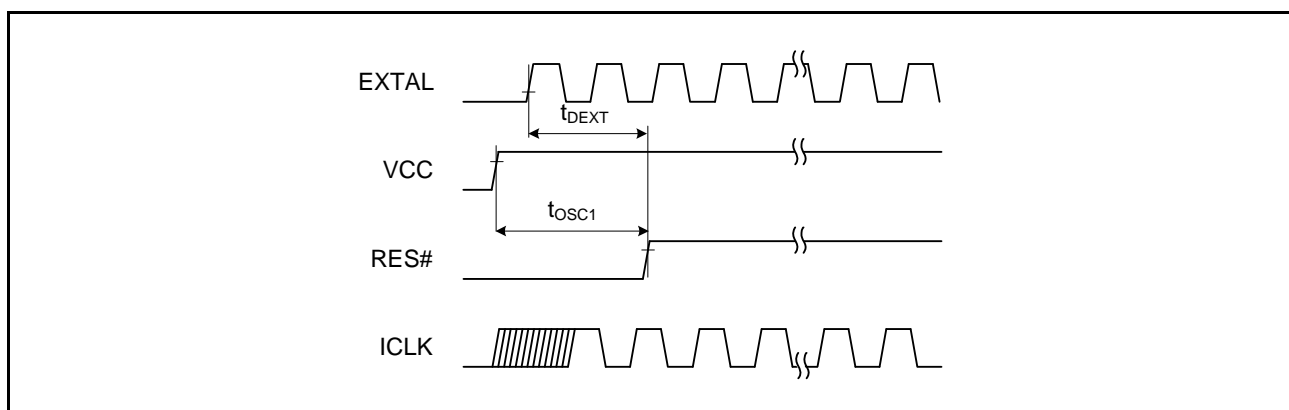


図5.1 発振安定時間タイミング

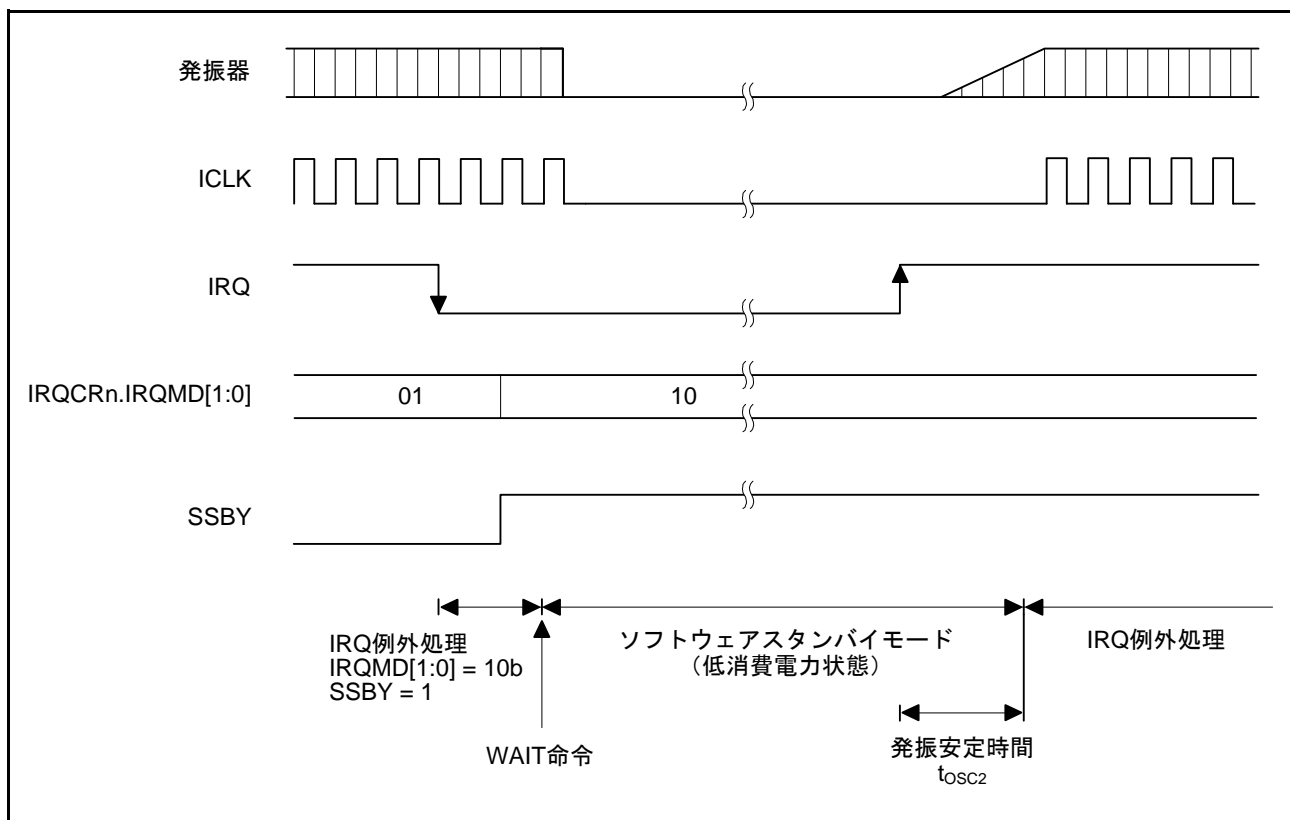


図 5.2 ソフトウェアスタンバイ発振安定時間タイミング

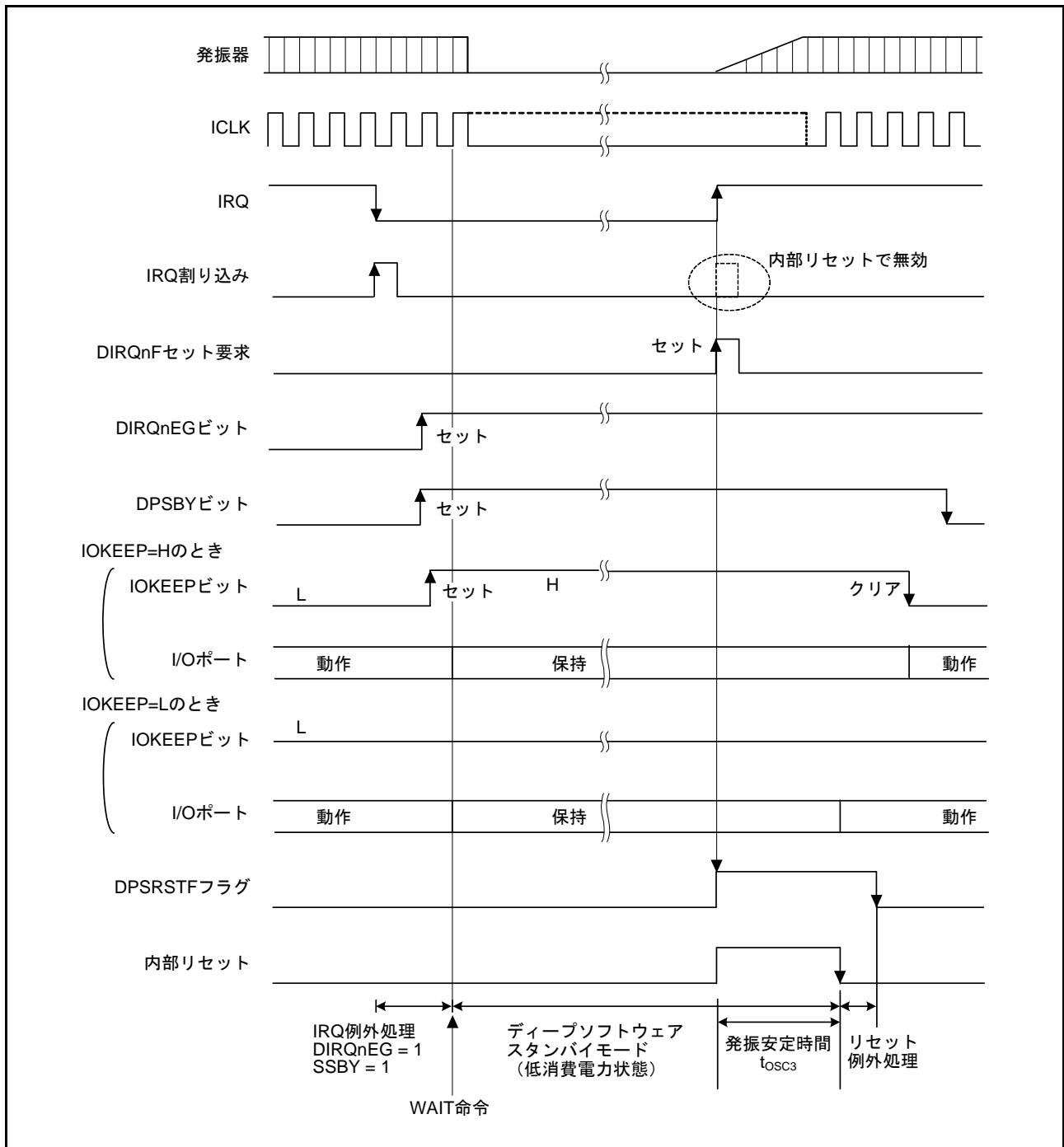


図 5.3 ディープソフトウェアスタンバイ発振安定時間タイミング

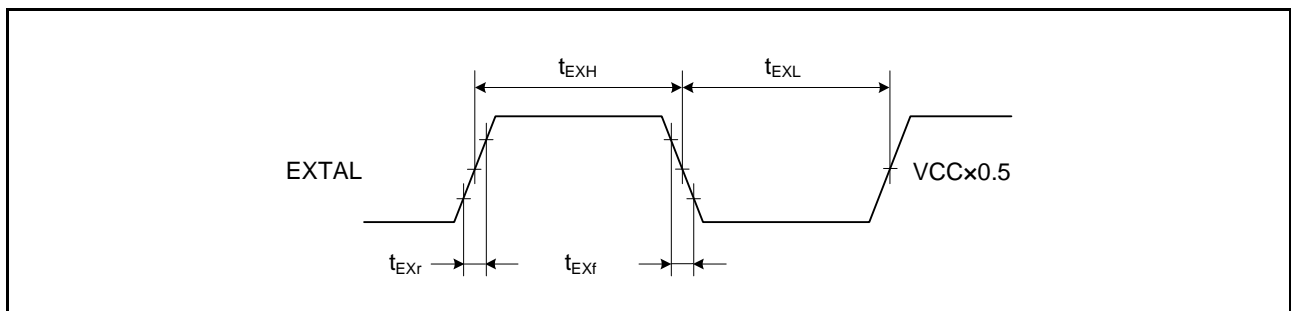


図 5.4 EXTERNAL 外部入カクロックタイミング

5.3.2 制御信号タイミング

表5.8 制御信号タイミング

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V, AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V, AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V, AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目	記号	min	max	単位	測定条件
RES#パルス幅 (ROM書き込み/消去、データフラッシュ書き込み/消去、 データフラッシュブランクチェックを除く(注1))	t_{RESW} (注2)	20	—	t_{lcyd} (注4)	図5.5
		1.5	—	μs	
内部リセット時間(注3)	t_{RESW2}	35	—	μs	
NMIパルス幅	t_{NMIW}	200	—	ns	図5.6
IRQパルス幅	t_{IRQW}	200	—	ns	図5.7

注1. ROM書き込み/消去、データフラッシュ書き込み/消去およびデータフラッシュブランクチェック中のRES#端子によるリセットを行なう場合はユーザーズマニュアルハードウェア編の「31. ROM (コード格納用フラッシュメモリ)」の「31.12 使用上の注意事項」を参照してください。

注2. 時間とサイクル数の両規定を同時に満たす必要があります。

注3. 本項目は、FCUリセットに対する規定となります。

注4. ICLKの周期

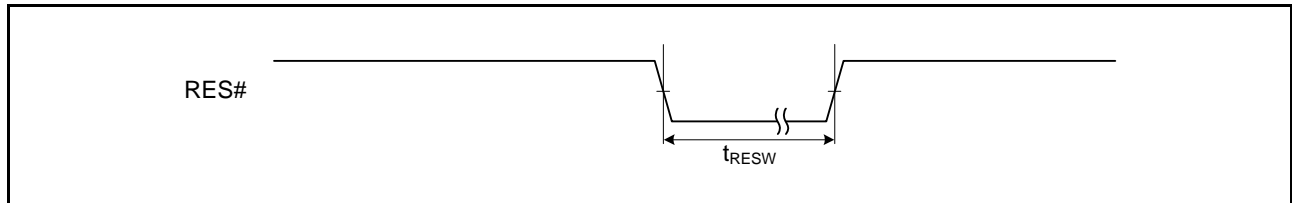


図 5.5 リセット入力タイミング

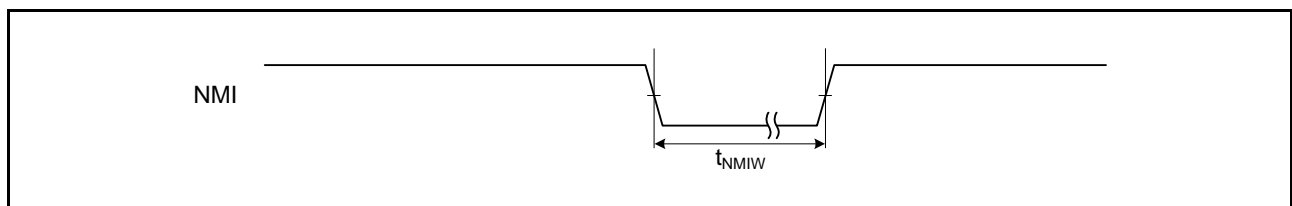


図 5.6 NMI 割り込み入力タイミング

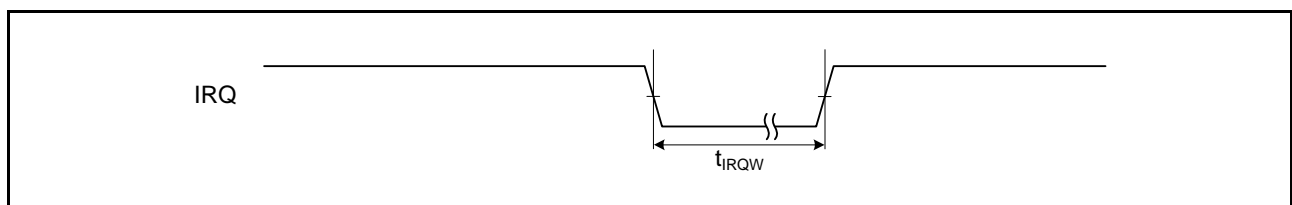


図 5.7 IRQ 割り込み入力タイミング

5.3.3 内蔵周辺モジュールタイミング

表 5.9 内蔵周辺モジュールタイミング (1)

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目		記号	min	max	単位	測定条件	
SCI	入力クロックサイクル	調歩同期	t _{Scyc}	4xt _{Pcyc}	—	ns	図 5.8
		クロック同期		6xt _{Pcyc}	—		
	入力クロックパルス幅		t _{SCKW}	0.4xt _{Scyc}	0.6xt _{Scyc}	ns	
	入力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期	t _{Scyc}	16xt _{Pcyc}	—	ns	
		クロック同期		6xt _{Pcyc}	—	ns	
	出力クロックパルス幅		t _{SCKW}	0.4xt _{Scyc}	0.6xt _{Scyc}	ns	
	出力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	出力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
送信データ遅延時間(クロック同期)		t _{TXD}	—	40	ns	図 5.9	
受信データセットアップ時間 (クロック同期)		t _{RXS}	40	—	ns		
受信データホールド時間 (クロック同期)		t _{RXH}	40	—	ns		

t_{Pcyc}: PCLK の周期

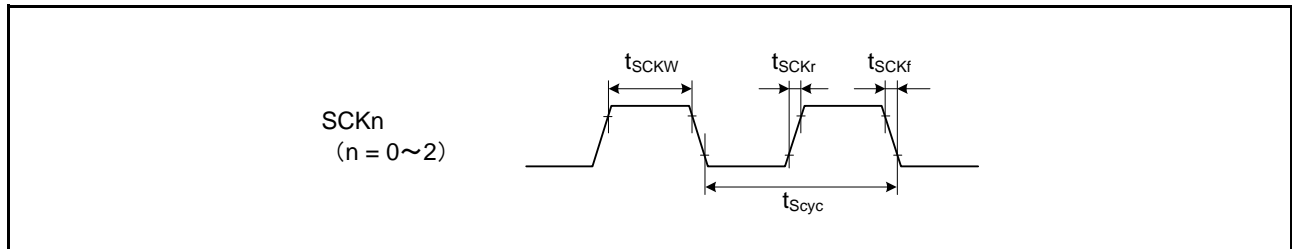


図 5.8 SCK クロック入力タイミング

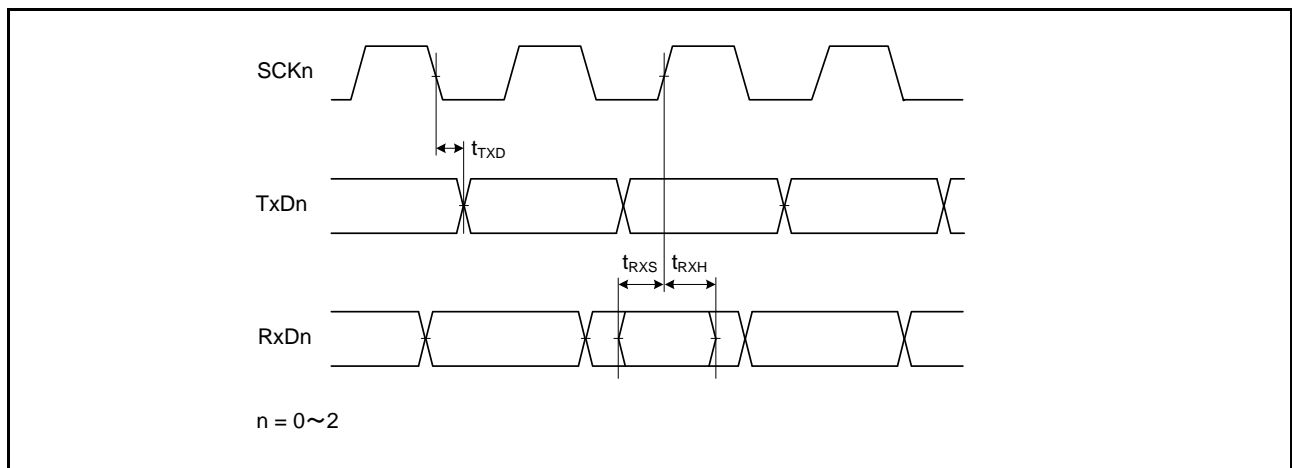


図 5.9 SCI 入出力タイミング / クロック同期式モード

表5.10 内蔵周辺モジュールタイミング (2)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目		記号	min (注1) (注2)	max	単位	測定条件
RIIC (Standard-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 1300	—	ns	図5.10
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 600	—	ns	
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{IIcCyc}: RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

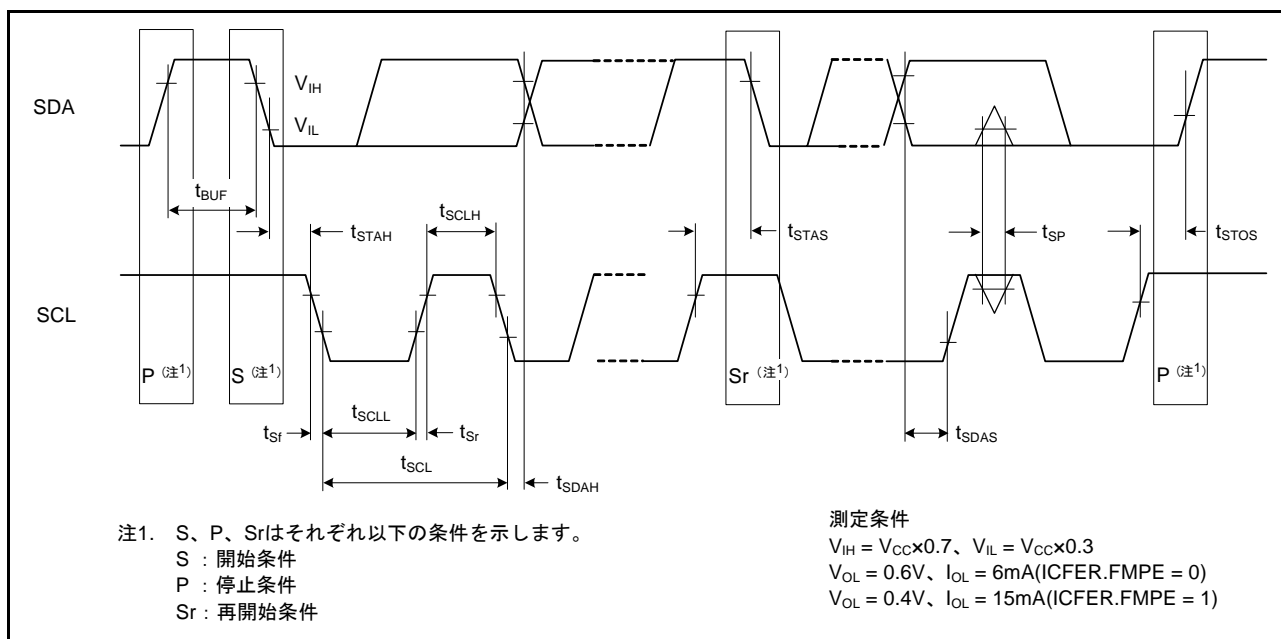


図 5.10 I²C バスインタフェース入出力タイミング

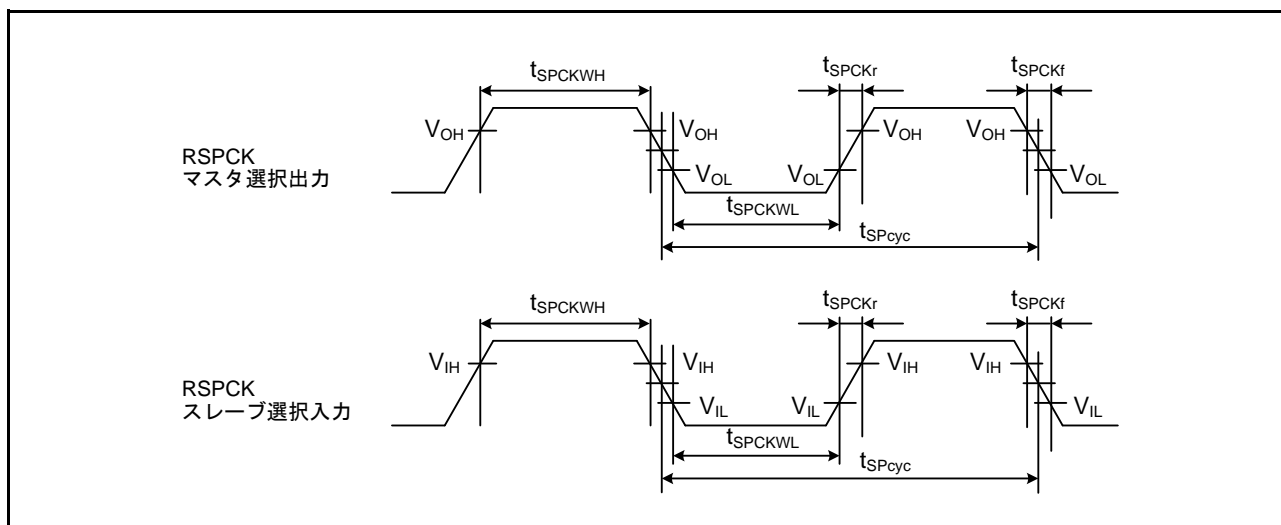


図 5.11 RSPCK クロックタイミング

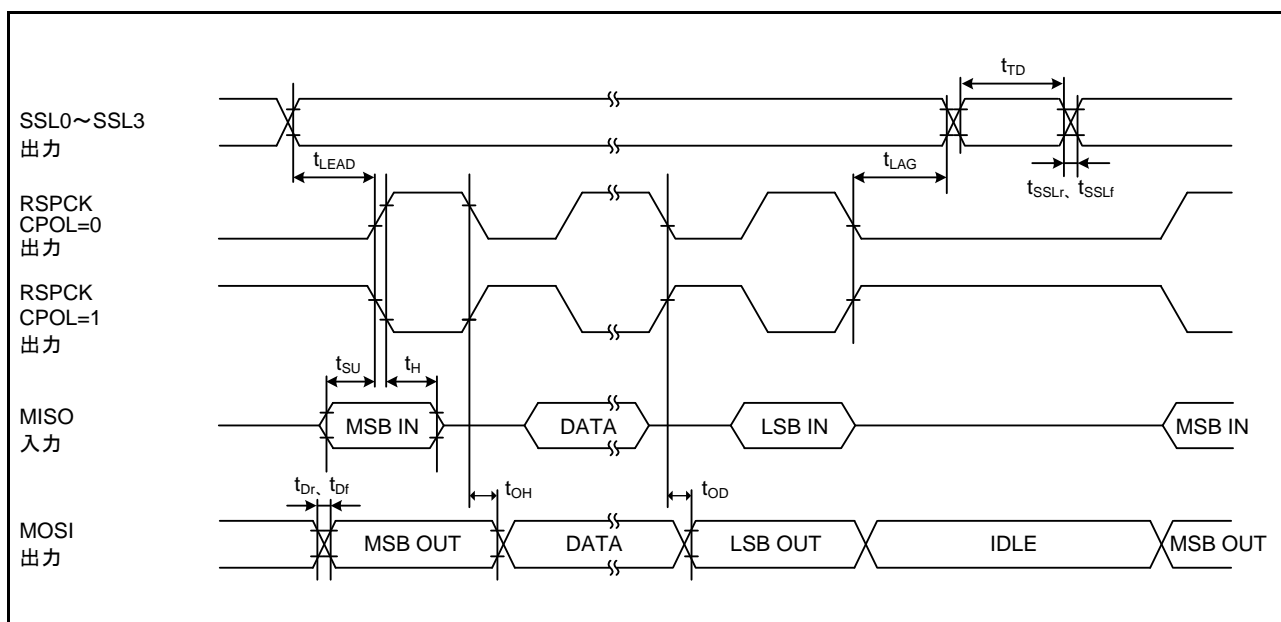


図 5.12 RSPCK タイミング (マスタ、CPHA = 0)

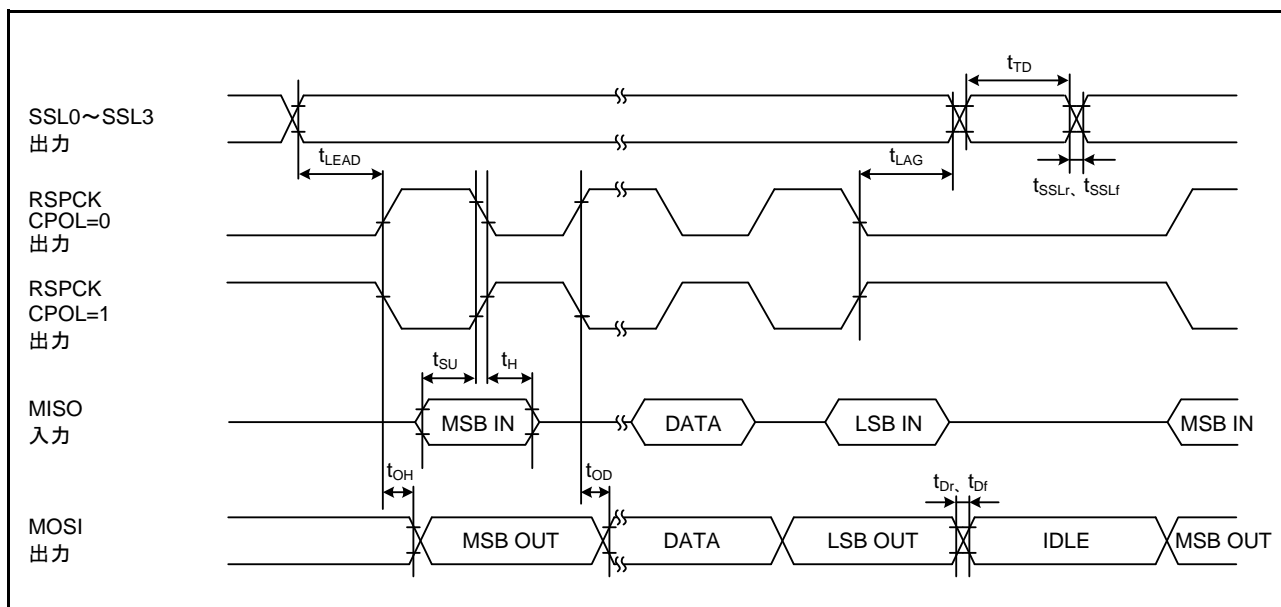


図 5.13 RSPI タイミング (マスタ、CPHA = 1)

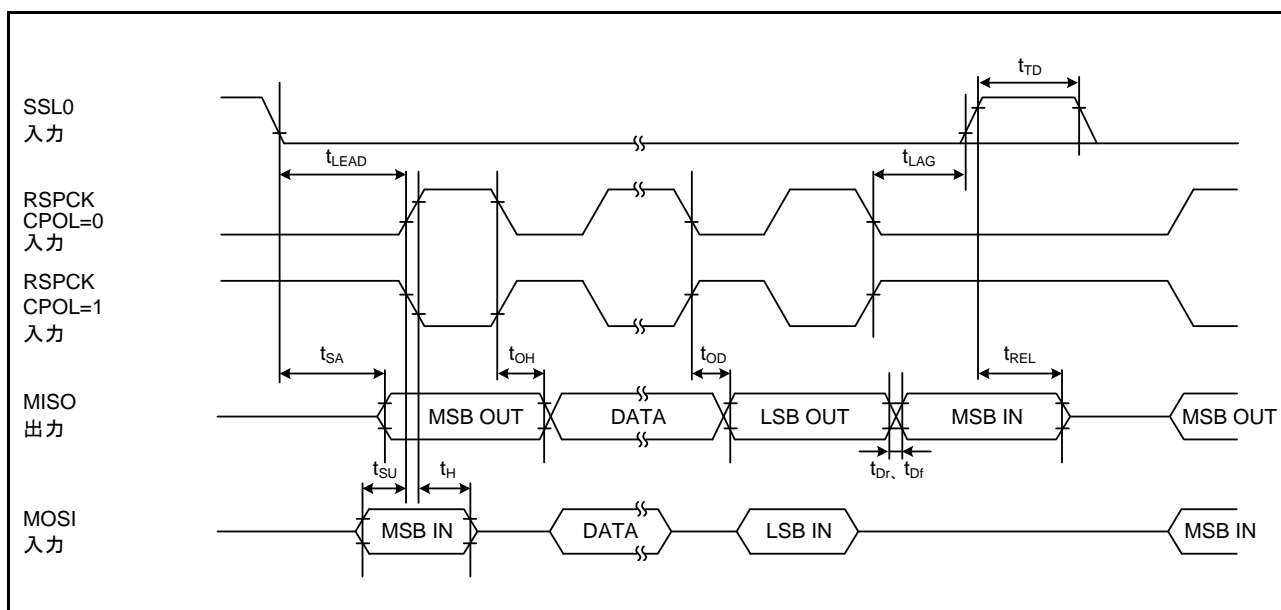


図 5.14 RSPI タイミング (スレーブ、CPHA = 0)

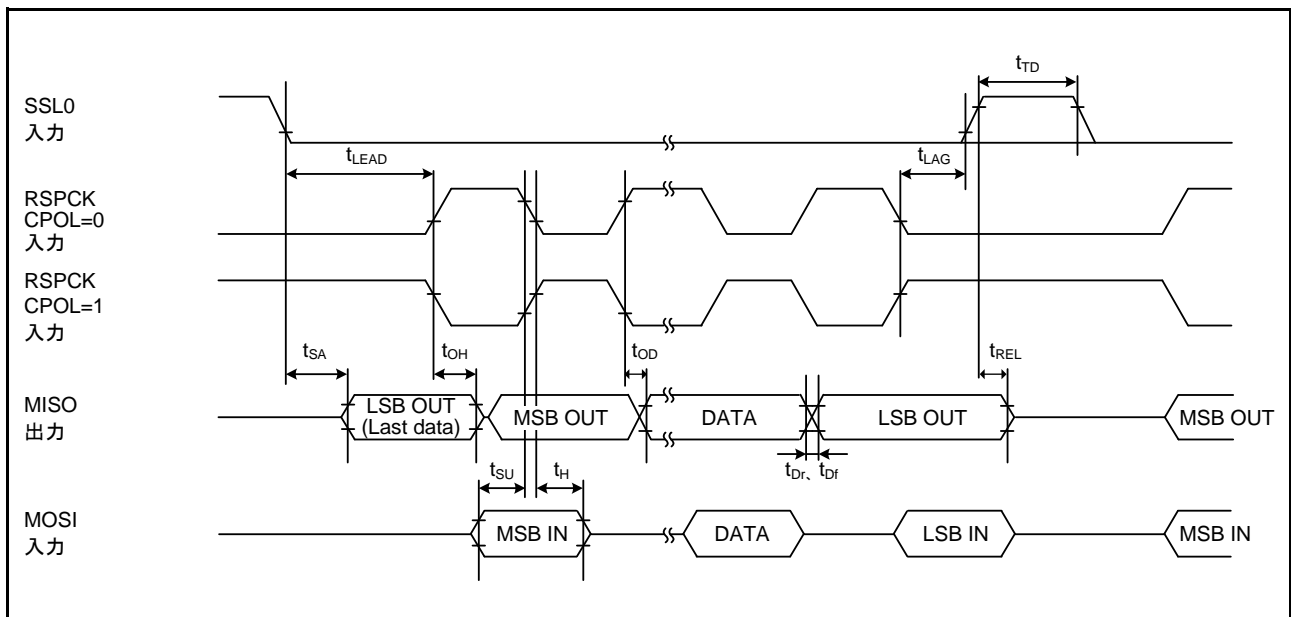


図 5.15 RSPI タイミング (スレーブ、CPHA = 1)

表5.12 内蔵周辺モジュールタイミング (4)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目		記号	min	max	単位	測定条件
MTU3	インプットキャプチャ入力パルス幅 (単エッジ指定)	t _{TICW}	3.0	—	t _{icyc}	図5.16
	インプットキャプチャ入力パルス幅 (両エッジ指定)	t _{TICW}	5.0	—	t _{icyc}	
	タイマクロックパルス幅(単エッジ指定)	t _{TCKWH/L}	3.0	—	t _{icyc}	図5.17
	タイマクロックパルス幅(両エッジ推定)	t _{TCKWH/L}	5.0	—	t _{icyc}	
	タイマクロックパルス幅 (位相係数モード)	t _{TCKWH/L}	5.0	—	t _{icyc}	
GPT	インプットキャプチャ入力パルス幅 (単エッジ指定)	t _{GTICW}	3.0	—	t _{icyc}	図5.18
	インプットキャプチャ入力パルス幅 (両エッジ指定)	t _{GTICW}	5.0	—	t _{icyc}	

t_{icyc}: ICLKの周期

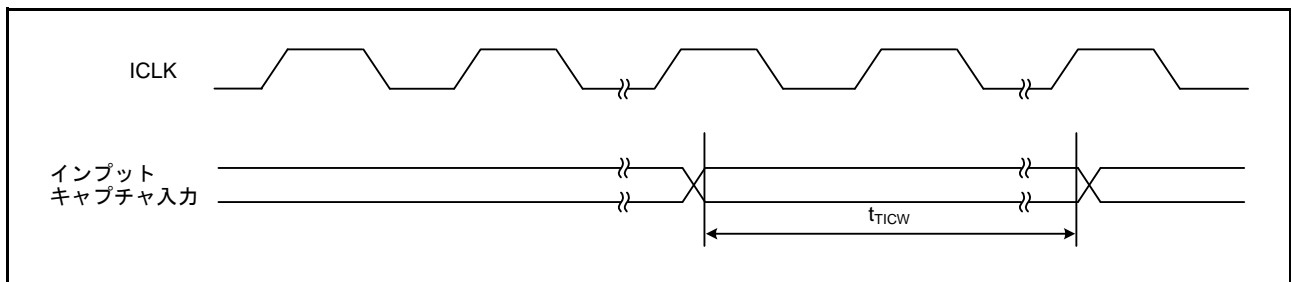


図5.16 MTU3 入出力タイミング

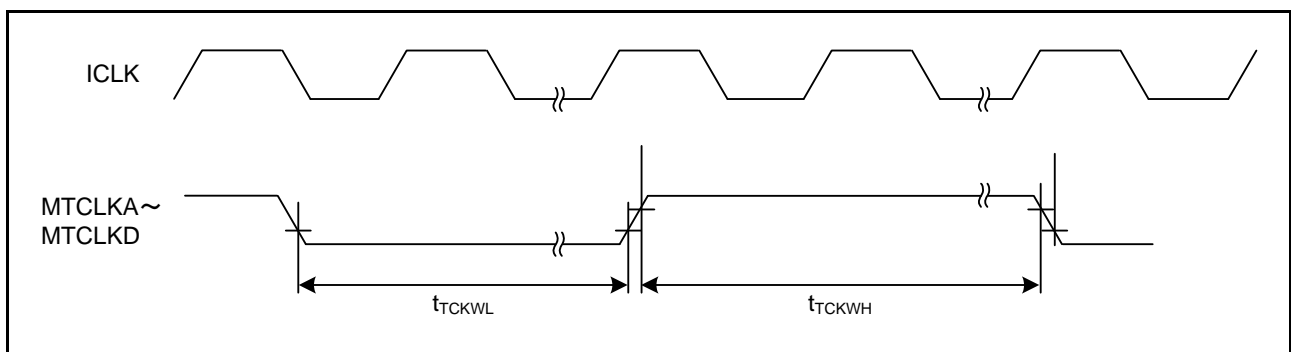


図5.17 MTU3 クロック入力タイミング

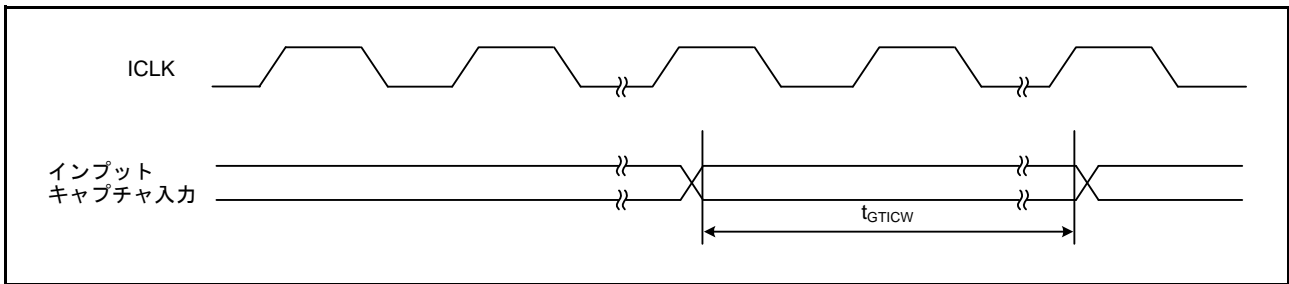


図 5.18 GPT 入出力タイミング

表 5.13 内蔵周辺モジュールタイミング (5)

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

- 条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFLO = 0V
AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC
 - 条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFLO = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC
 - 条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFLO = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC
- $T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目		記号	min	max	単位	測定条件
POE3	POE# 入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図 5.19

t_{Pcyc} : PCLK の周期

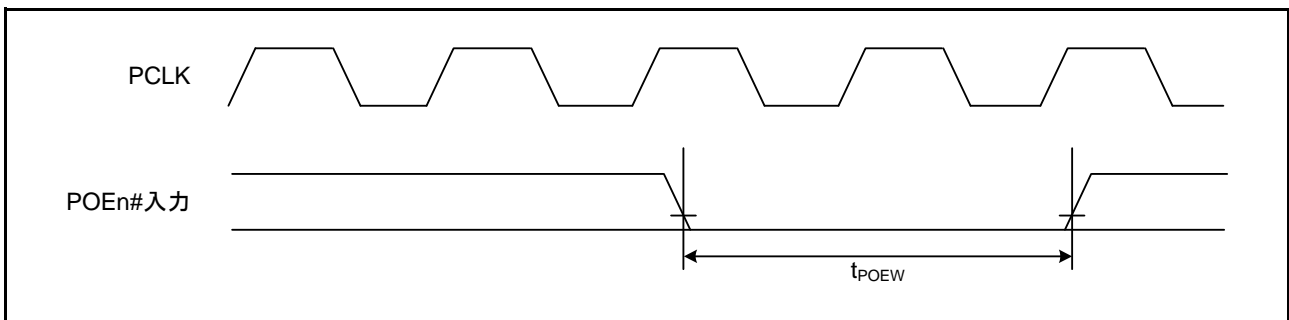


図 5.19 POE3# 入力タイミング

5.3.4 PWM 遅延生成回路タイミング

表 5.14 PWM 遅延生成回路タイミング

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

- 条件 1 : VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS = VRELO = 0V
AVCC = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC
- $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
分解能	—	312.5	—	ps	ICLK = 100MHz 時
DNL (注1)	—	± 2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

5.4 A/D 変換特性

表5.15 10ビット A/D変換特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: $VCC = PLLVCC = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$ 、 $VREF = 3.0V \sim AVCC$
 $T_a = Topr$

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間 (注1) (ADクロック=25MHz時)	2.0	—	—	μs	サンプリング25ステート
アナログ入力容量	—	—	4	pF	
積分非直線性誤差	—	—	±3.0	LSB	
オフセット誤差	—	—	±3.0	LSB	
フルスケール誤差	—	—	±3.0	LSB	
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	—	±4.0	LSB	
許容信号源インピーダンス	—	—	1.0	kΩ	

条件2: $VCC = PLLVCC = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$ 、 $VREF = 4.0V \sim AVCC$

条件3: $VCC = PLLVCC = 4.0 \sim 5.5V$ 、 $VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$ 、 $VREF = 4.0V \sim AVCC$
 $T_a = Topr$ T_a は条件2、3で共通です。

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間 (注1) (ADクロック=50MHz時)	1.0	—	—	μs	サンプリング25ステート
アナログ入力容量	—	—	4	pF	
積分非直線性誤差	—	—	±3.0	LSB	
オフセット誤差	—	—	±3.0	LSB	
フルスケール誤差	—	—	±3.0	LSB	
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	—	±4.0	LSB	
許容信号源インピーダンス	—	—	1.0	kΩ	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.16 12ビット A/D変換特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: $V_{CC} = PLLVCC = 2.7 \sim 3.6V$ 、 $V_{SS} = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$ 、 $VREF = 3.0V \sim AVCC$
 $T_a = Topr$ $ICLK = 8 \sim 100MHz$ 、 $PCLK = 8 \sim 50MHz$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間 (注1) (ADクロック=25MHz時)		2.0	—	—	μs	サンプリング20ステート
アナログ入力容量		—	—	6	pF	
積分非直線性誤差		—	—	±4.0	LSB	
オフセット誤差		—	—	±7.5	LSB	
フルスケール誤差		—	—	±7.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度	サンプル&ホールド回路使用	—	—	±8.0	LSB	$AV_{in} = 0.25 \sim AV_{REFH} - 0.25$
	サンプル&ホールド回路未使用	—	—	±8.0	LSB	$AV_{in} = AV_{REFL} \sim AV_{REFH}$
許容信号源インピーダンス		—	—	3.0	kΩ	

条件2: $V_{CC} = PLLVCC = 2.7 \sim 3.6V$ 、 $V_{SS} = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$

$AVCC0 = AVCC = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$ 、 $VREF = 4.0V \sim AVCC$

条件3: $V_{CC} = PLLVCC = 4.0 \sim 5.5V$ 、 $V_{SS} = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$

$AVCC0 = AVCC = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$ 、 $VREF = 4.0V \sim AVCC$

$T_a = Topr$ T_a は条件2、3で共通です。 $ICLK = 8 \sim 100MHz$ 、 $PCLK = 8 \sim 50MHz$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間 (注1) (ADクロック=50MHz時)		1.0	—	—	μs	サンプリング20ステート
アナログ入力容量		—	—	6	pF	
積分非直線性誤差		—	—	±4.0	LSB	
オフセット誤差		—	—	±7.5	LSB	
フルスケール誤差		—	—	±7.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度	サンプル&ホールド回路使用	—	—	±8.0	LSB	$AV_{in} = 0.25 \sim AV_{REFH} - 0.25$
	サンプル&ホールド回路未使用	—	—	±8.0	LSB	$AV_{in} = AV_{REFL} \sim AV_{REFH}$
許容信号源インピーダンス		—	—	3.0	kΩ	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.17 プログラマブルゲインアンプ特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件	
アナログ入力容量	Cin	—	—	6	pF		
入力オフセット電圧	Voff	—	—	8	mV		
入力電圧範囲 (Vin)	ゲイン × 2.000 ゲイン × 2.500 ゲイン × 3.077 ゲイン × 3.636 ゲイン × 4.000 ゲイン × 4.444 ゲイン × 5.000 ゲイン × 5.714 ゲイン × 6.667 ゲイン × 10.000 ゲイン × 13.333	Vin	0.050 x AVcc	—	0.450 x AVcc	V	
			0.047 x AVcc	—	0.360 x AVcc		
			0.045 x AVcc	—	0.292 x AVcc		
			0.042 x AVcc	—	0.247 x AVcc		
			0.040 x AVcc	—	0.212 x AVcc		
			0.036 x AVcc	—	0.191 x AVcc		
			0.033 x AVcc	—	0.170 x AVcc		
			0.031 x AVcc	—	0.148 x AVcc		
			0.029 x AVcc	—	0.127 x AVcc		
			0.025 x AVcc	—	0.08 x AVcc		
			0.023 x AVcc	—	0.06 x AVcc		
スルーレート	SR	10	—	—	V/μs		
ゲイン誤差	ゲイン × 2.000 ゲイン × 2.500 ゲイン × 3.077 ゲイン × 3.636 ゲイン × 4.000 ゲイン × 4.444 ゲイン × 5.000 ゲイン × 5.714 ゲイン × 6.667 ゲイン × 10.000 ゲイン × 13.333	—	—	—	1	%	
			—	—	1		
			—	—	1		
			—	—	1.5		
			—	—	1.5		
			—	—	2		
			—	—	2		
			—	—	2		
			—	—	3		
			—	—	4		
			—	—	4		

表5.18 コンパレータ特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
アナログ入力容量	Cin	—	—	6	pF	
REFH端子オフセット電圧	Voff	—	—	5	mV	
REFL端子オフセット電圧		—	—	5	mV	
REFH入力電圧範囲	Vin	1.7	—	AVcc - 0.3	V	
REFL入力電圧範囲		0.3	—	AVcc - 1.7	V	
REFH応答時間	tCR	—	—	1	μs	
REFL応答時間	tCF	—	—	1	μs	

5.5 パワーオンリセット回路・電圧検出回路特性

表5.19 パワーオンリセット回路・電圧検出回路特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1、2で共通です。

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	2.48	2.60	2.72	V	図5.20
	電圧検出回路(LVD)	V _{det1}	2.68	2.80	2.92		図5.21
		V _{det2}	2.98	3.10	3.22		図5.22
内部リセット時間	t _{POR}	20	35	50	ms	図5.21、図5.22	
最小VCC低下時間(注1)	t _{VOFF}	200	—	—	us	図5.20～図5.22	
応答遅延時間	t _{det}	—	—	200	us		

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	3.70	3.90	4.10	V	図5.20
	電圧検出回路(LVD)	V _{det1}	3.95	4.15	4.35		図5.21
		V _{det2}	4.40	4.60	4.80		図5.22
内部リセット時間	t _{POR}	20	35	50	ms	図5.21、図5.22	
最小VCC低下時間(注1)	t _{VOFF}	200	—	—	us	図5.20～図5.22	
応答遅延時間	t _{det}	—	—	200	us		

注1. V_{cc}がPOR/LVDの電圧検出レベルV_{POR}, V_{DET1}, V_{DET2}のmin値を下回っている時間です。

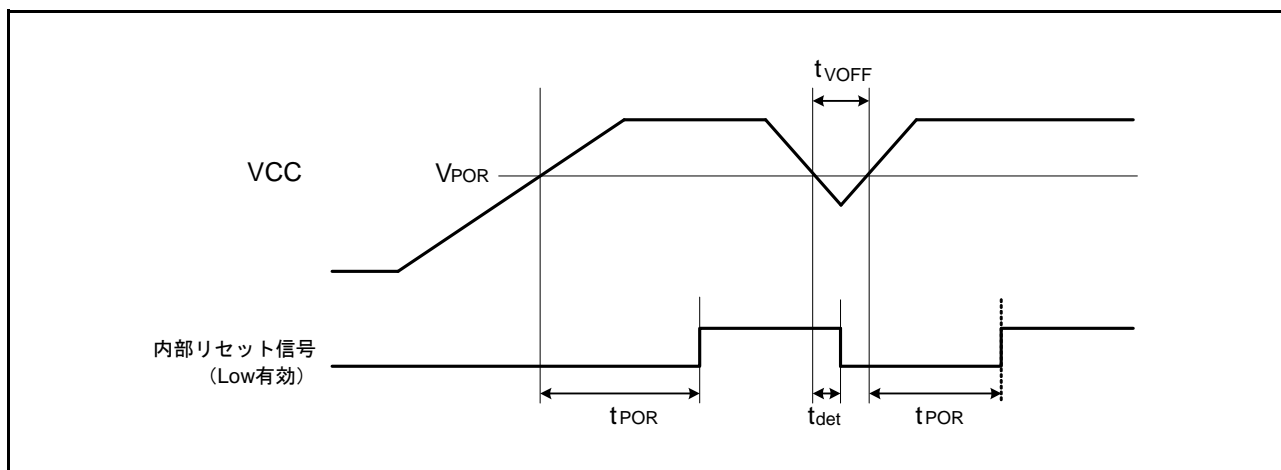


図 5.20 パワーオンリセットタイミング

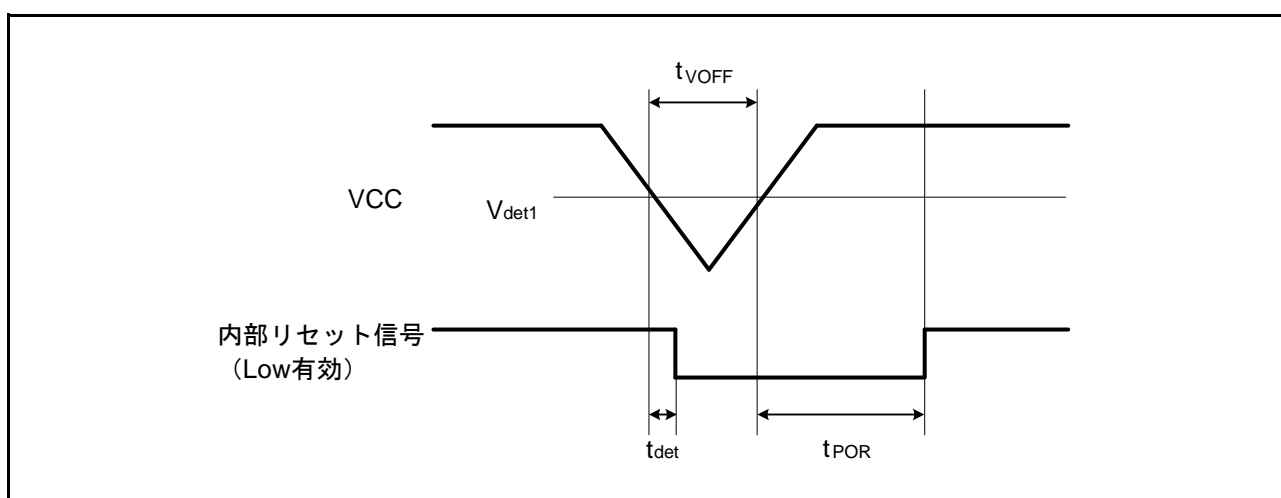


図 5.21 電圧検出回路タイミング (V_{det1})

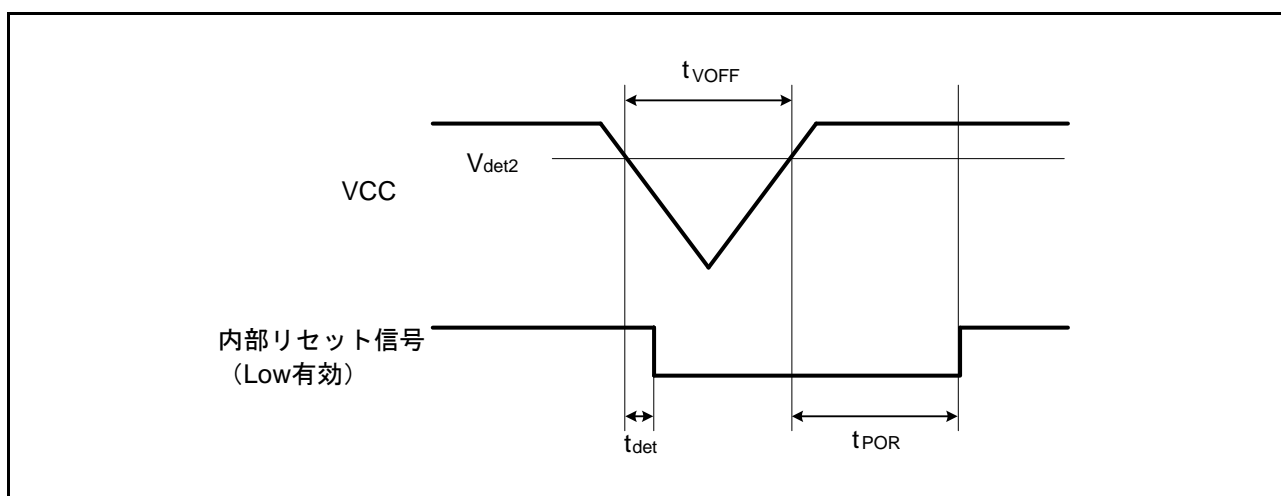


図 5.22 電圧検出回路タイミング (V_{det2})

5.6 発振停止検出タイミング

表5.20 発振停止検出タイミング

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
検出時間	tdr	—	—	1.0	ms	図5.23
発振停止検出時内部発振周波数	f_{MAIN}	0.5	—	7.0	MHz	

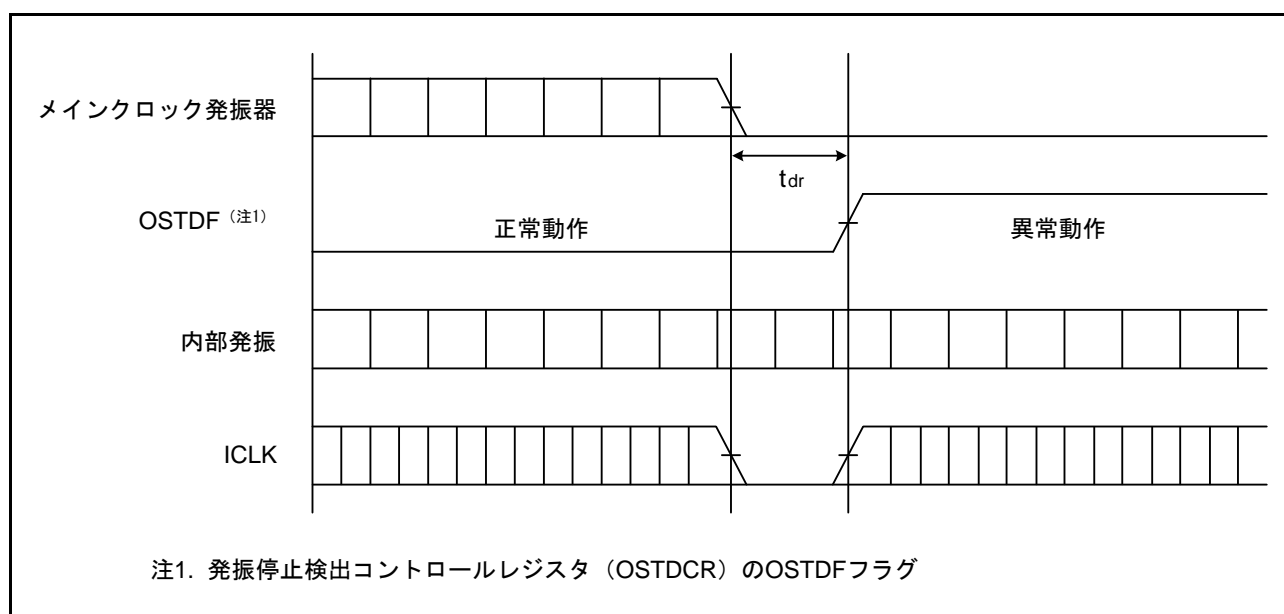


図 5.23 発振停止検出タイミング

5.7 ROM（コード格納用フラッシュメモリ）特性

表5.21 ROM（コード格納用フラッシュメモリ）特性（1）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み/消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
再書き込み/消去サイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	t _{DRP}	30（注2）	—	—	年	T _a = +85C°

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロックごとの消去回数です。

再書き込み/消去サイクルがn回（n = 1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、4Kバイトのブロックについて、それぞれ異なる番地に256バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）。

注2. 信頼性試験から得られた結果です。

表5.22 ROM（コード格納用フラッシュメモリ）特性（2）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み/消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件	
書き込み時間	256バイト	t _{P256}	—	2	12	ms	PCLK=50MHz N _{PEC} ≤ 100時	
	4Kバイト	t _{P4K}	—	23	50	ms		
	16Kバイト	t _{P16K}	—	90	200	ms		
	消去時間	256バイト	t _{P256}	—	2.4	14.4	ms	PCLK=50MHz N _{PEC} > 100時
		4Kバイト	t _{P4K}	—	27.6	60	ms	
		16Kバイト	t _{P16K}	—	108	240	ms	
消去時間	4Kバイト	t _{E4K}	—	25	60	ms	PCLK=50MHz N _{PEC} ≤ 100時	
	16Kバイト	t _{E16K}	—	100	240	ms		
	4Kバイト	t _{E4K}	—	30	72	ms	PCLK=50MHz N _{PEC} > 100時	
	16Kバイト	t _{E16K}	—	120	288	ms		
書き込み中のサスペンド遅延時間		t _{SPD}	—	—	120	μs	図5.24 PCLK=50MHz時	
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{SESD1}	—	—	120	μs		
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{SESD2}	—	—	1.7	ms		
消去中のサスペンド遅延時間 (消去優先モード時)		t _{SEED}	—	—	1.7	ms		

5.8 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.23 データフラッシュ（データ格納用フラッシュメモリ）特性（1）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み / 消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
再書き込み/消去サイクル (注1)	N _{DPEC}	30000	—	—	回	
データ保持時間	t _{DDRP}	30 (注2)	—	—	年	T _a = +85°C

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロックごとの消去回数です。

再書き込み/消去サイクルがn回(n=30000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です

表5.24 データフラッシュ（データ格納用フラッシュメモリ）特性（2）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み / 消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件
書き込み時間	8バイト	t _{DP8}	—	0.4	2	ms	PCLK=50MHz時
	128バイト	t _{DP128}	—	1	5	ms	
消去時間	2Kバイト	t _{DE2K}	—	70	250	ms	PCLK=50MHz時
ブランクチェック時間	8バイト	t _{DBC8}	—	—	30	μs	PCLK=50MHz時
	2Kバイト	t _{DBC2K}	—	—	0.7	ms	
書き込み中のサスペンド遅延時間		t _{DSPD}	—	—	120	μs	図5.24 PCLK=50MHz時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{DSESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{DSESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間 (消去優先モード時)		t _{DSEED}	—	—	1.7	ms	

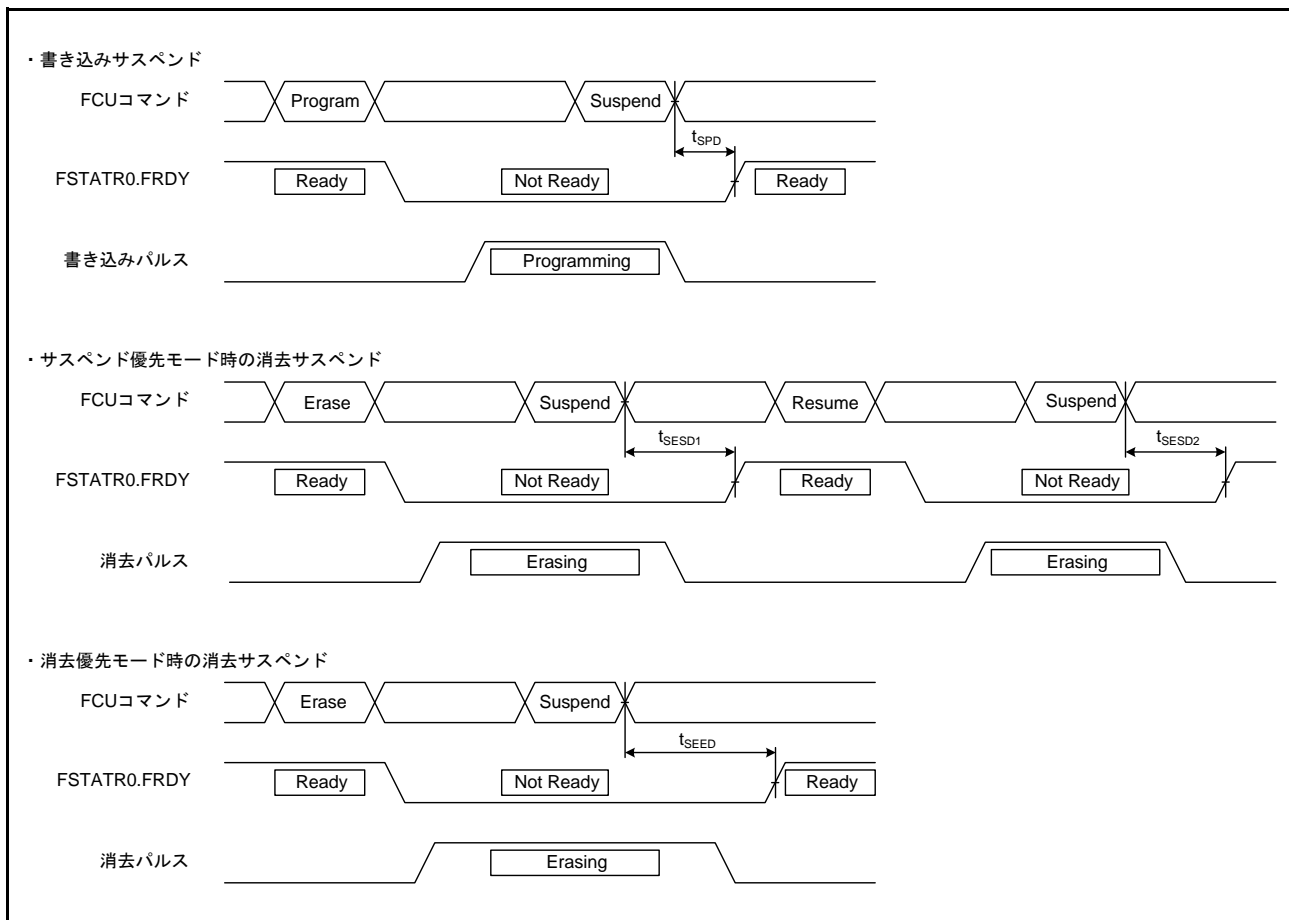


図 5.24 フラッシュメモリ書き込み/消去サスペンドタイミング

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

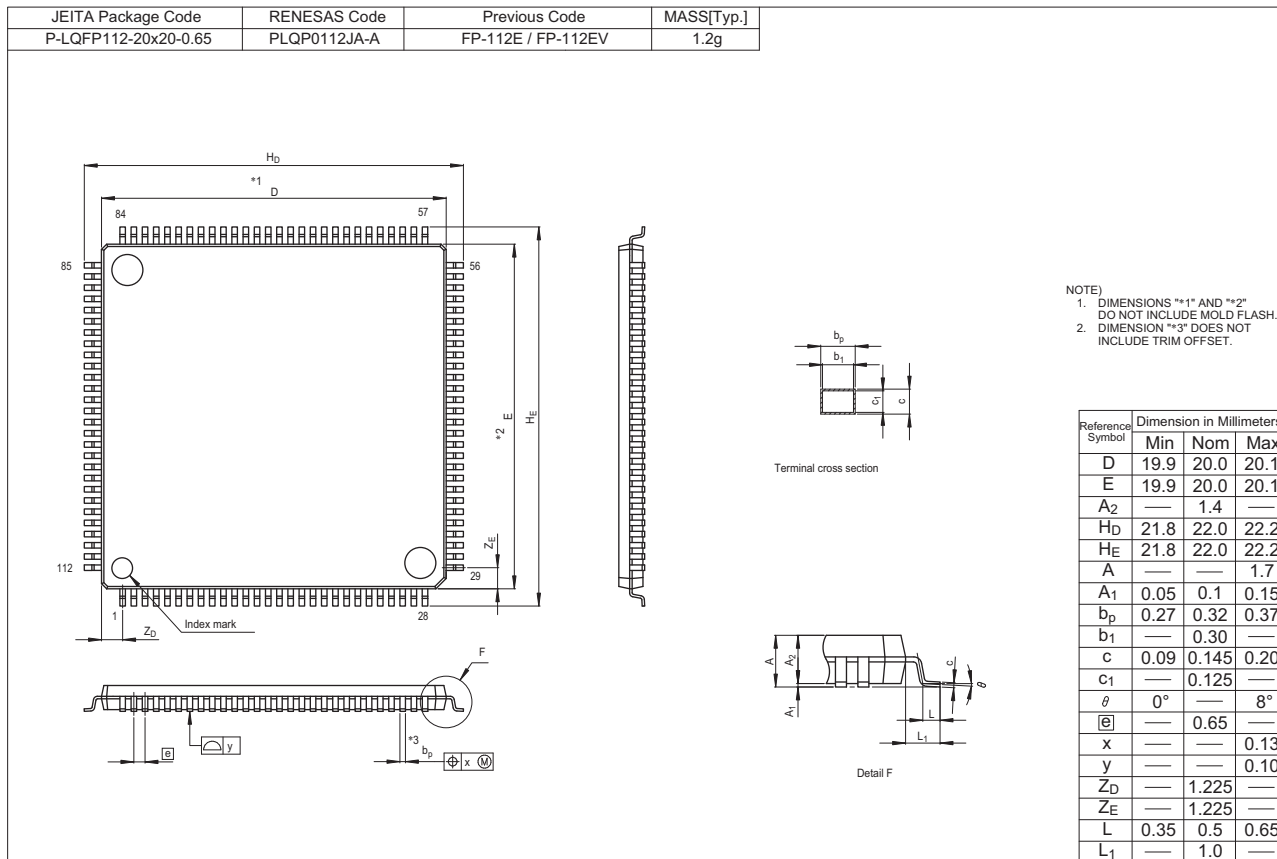


図 A 112ピン LQFP (PLQP0112JA-A) 外形寸法図

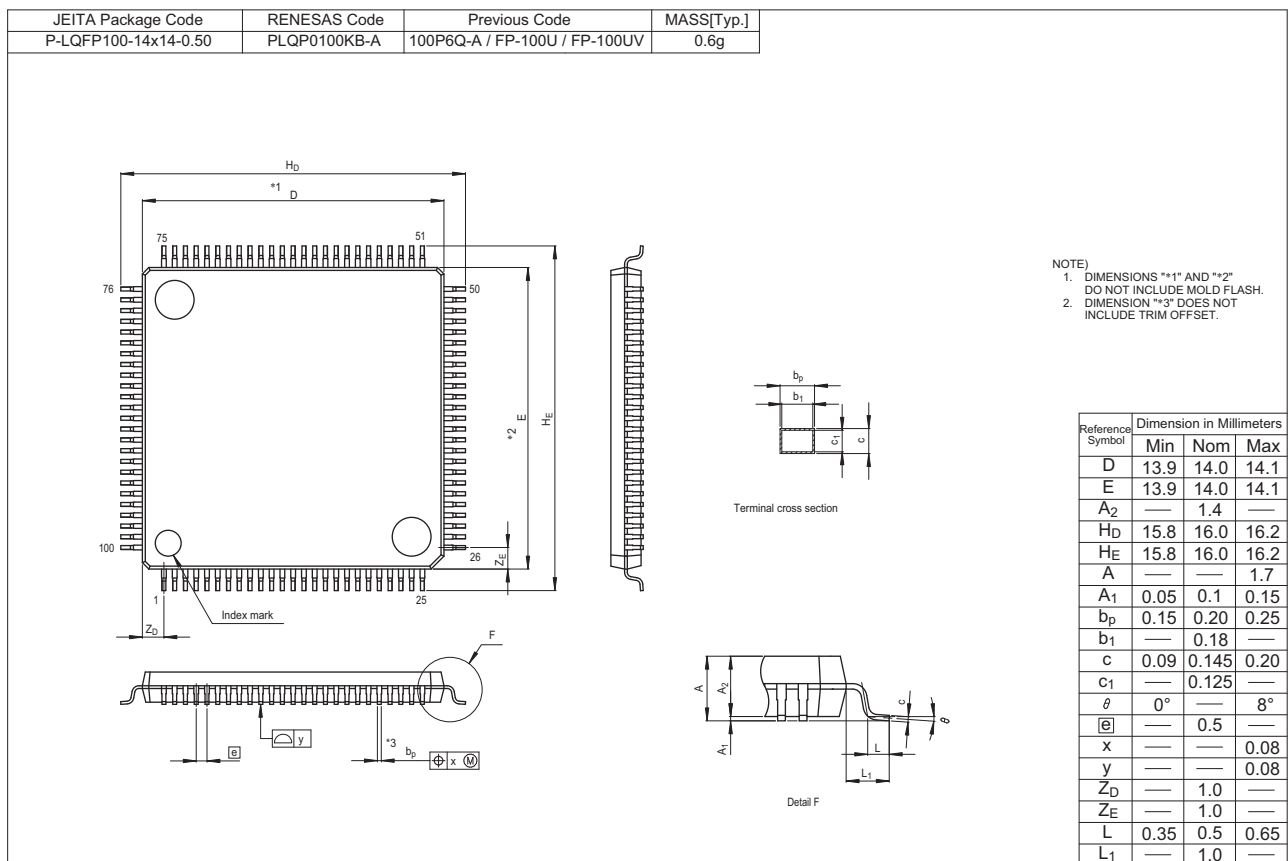
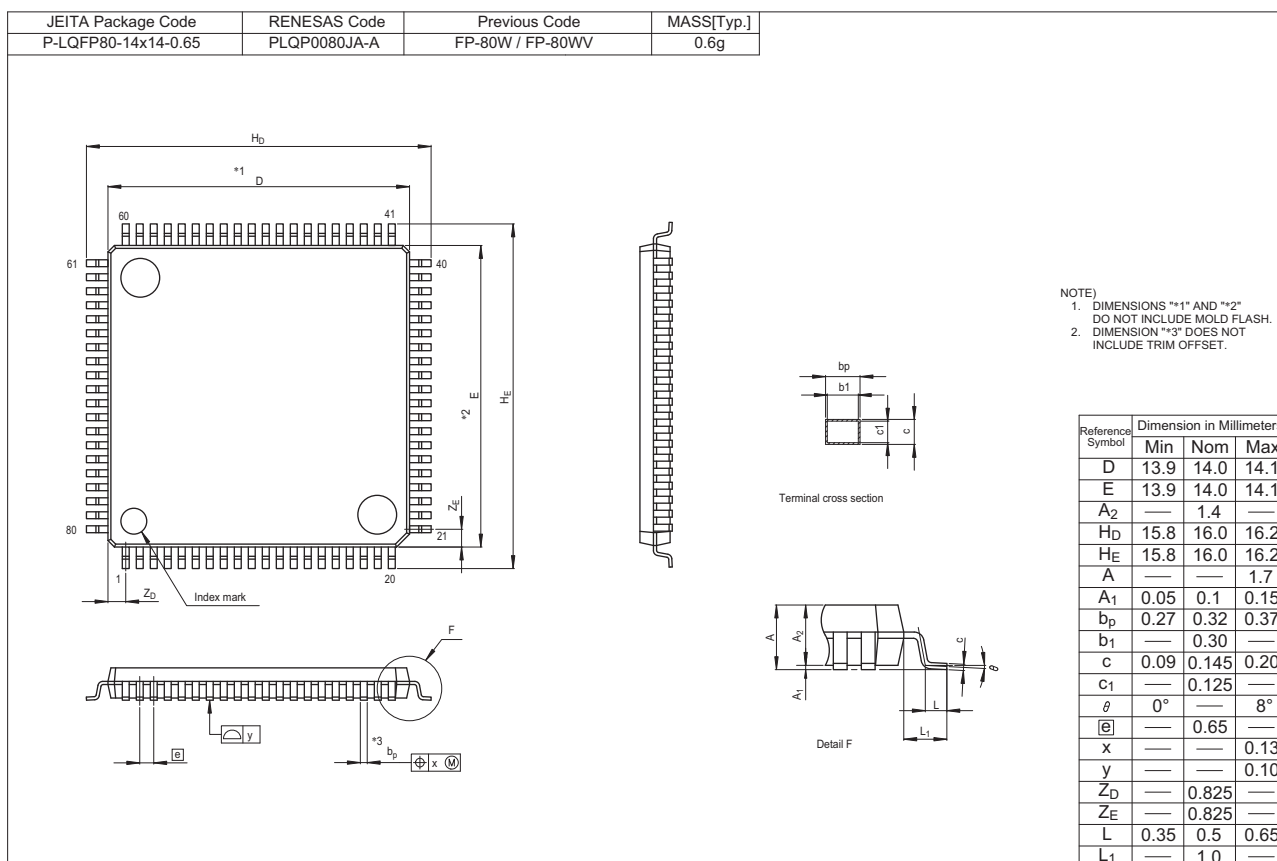


図 B 100ピン LQFP (PLQP0100KB-A) 外形寸法図



☒ C 80ピンLQFP (PLQP0080JA-A)

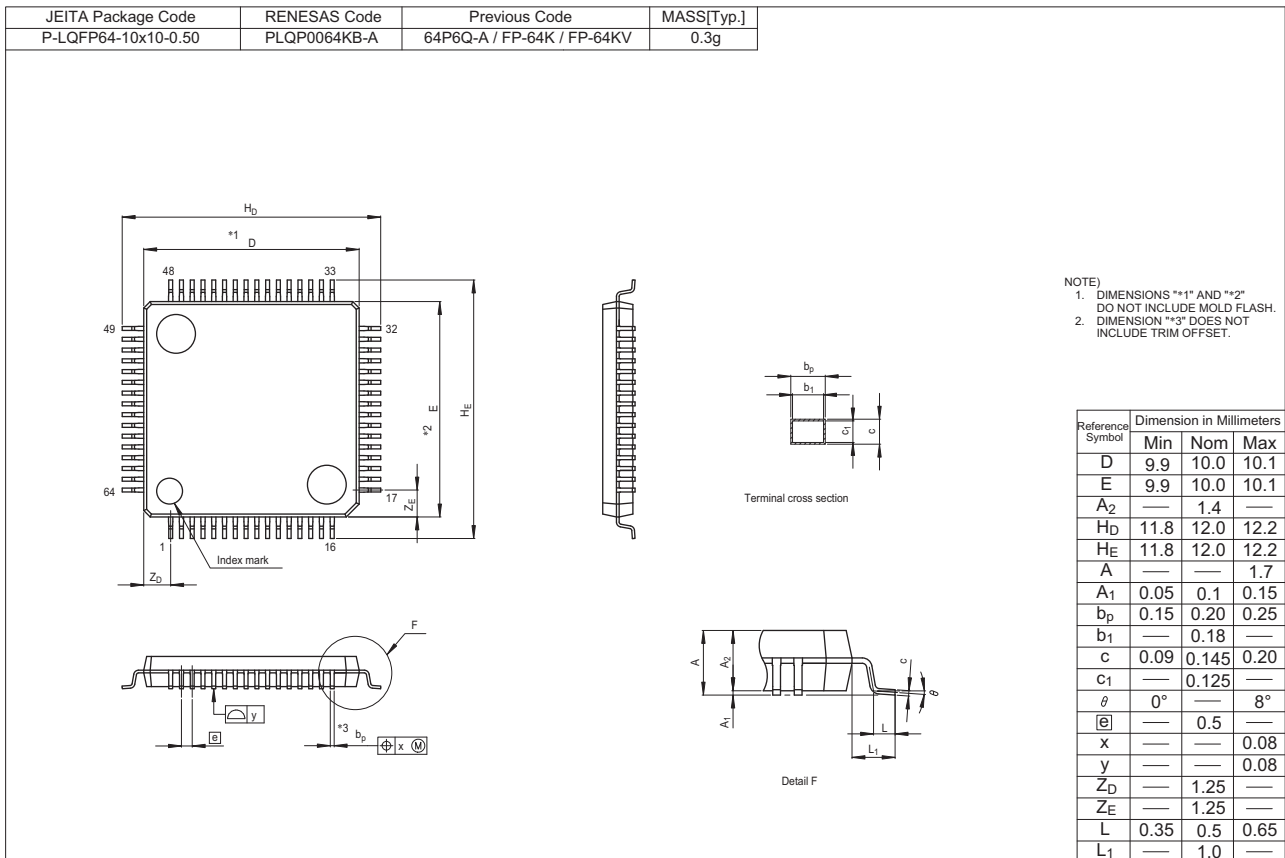
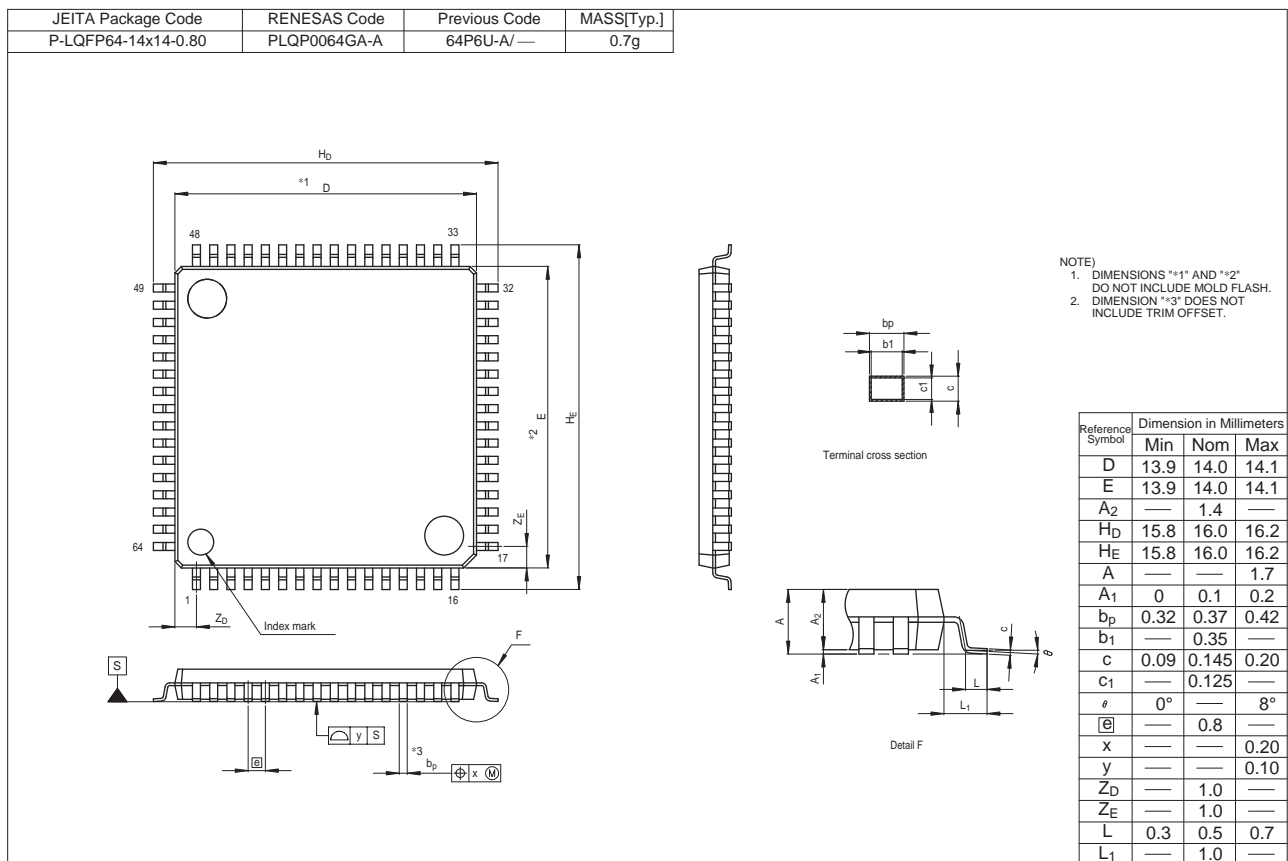


図 D 64ピン LQFP (PLQP0064KB-A)



Ⓢ E 64ピンLQFP (PLQP0064GA-A)

改訂記録	RX62Tグループ、RX62Gグループ データシート
------	----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.4.20	-	初版発行
1.20	2011.9.15	65	5. 電気的特性 表5.1 絶対最大定格 注記変更
		75	表5.8 内蔵周辺モジュールタイミング (1) 入力クロックサイクル変更
1.30	2013.05.22	1	特長 パッケージラインナップ追加
		2	1. 概要 表1.1 仕様概要 (1/5) CPUの中央演算処理装置の説明文 追加
		3	表1.1 仕様概要 (2/5) I/Oポートのプログラマブル入出力ポートの説明文 変更
		6	表1.1 仕様概要 (5/5) 64ピンパッケージ追加
		7	表1.2 RX62Tグループ機能比較表 64ピンパッケージ、タイマのMTU3/GPT相補PWM端子数 追加
		8	表1.3 製品一覧表 64ピン型名 追加
		10	図1.1 型名とメモリサイズ・パッケージ 64ピン型名変更
		10	図1.1 型名とメモリサイズ・パッケージ 5V対応、2モータ制御対応 追加
		11	図1.2 ブロック図 変更
		15	図1.6 80ピンLQFPピン配置図 (2モータ制御対応版) 追加
		16	図1.7 64ピンLQFPピン配置図 PLQP0064GA-A 追記
		26~28	表1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) 追加
		30~33	表1.9 端子機能一覧 変更
39~69	4. I/Oレジスタ 表4.1 I/Oレジスタアドレス一覧 (1/31) MPU追加		
50	表4.1 I/Oレジスタアドレス一覧 (12/31) タイムアウト内部カウンタL、タイムアウト内部カウンタU追加		
63	表4.1 I/Oレジスタアドレス一覧 (25/31) GTSWPレジスタ追加		
72	5. 電気的特性 表5.2 DC特性(1) 出力Highレベル電圧のP90~P95、出力Lowレベル電圧のP90~P95の測定条件 変更		
74	表5.3 DC特性(2) 注3. 変更		
75	表5.4 出力許容電流 注1. 変更		
79	表5.7 制御信号タイミング 注1、注3の注記変更		
80	表5.8 内蔵周辺モジュールタイミング (1) 入力および出力クロックサイクルmin値変更		
102	付録1. 外形寸法図 図E 64ピンLQFP (PLQP0064GA-A) 追加		
2.00	2014.01.10	1	特長 変更
		2~6	1. 概要 表1.1 仕様概要 変更 注1. 追加
7、8	表1.2 RX62Tグループ、RX62Gグループ機能比較表 変更		
9~11	表1.3 製品一覧表 変更 注1. 追加		
11	図1.1 型名とメモリサイズ・パッケージ 変更		
16	図1.6 80ピンLQFPピン配置図 (2モータ制御対応版) 追加		
27~29	表1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) 追加		
43~70	4. I/Oレジスタ 表4.1 I/Oレジスタアドレス一覧 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2014.01.10	71～100	表 5.2 I/Oレジスタビット一覧 変更
		—	5. 電気的特性 表の中の条件、Ta = -40 to +105°C → Ta = -40 to +85°C 変更
		101	表 5.1 絶対最大定格 変更
		105	表 5.3 DC特性(2) 注3. 変更
		106	表 5.5 許容消費電力 追加
		119	5.3.4 PWM 遅延生成回路タイミング 追加
		119	表 5.14 PWM遅延生成回路タイミング 追加
		122	表 5.17 プログラマブルゲインアンプ特性 変更
		126	表 5.21 ROM (コード格納用フラッシュメモリ) 特性 (1) 変更
		126	表 5.22 ROM (コード格納用フラッシュメモリ) 特性 (2) 追加
		127	表 5.23 データフラッシュ (データ格納用フラッシュメモリ) 特性 (1) 変更
		127	表 5.24 データフラッシュ (データ格納用フラッシュメモリ) 特性 (2) 追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>