

---

μPD70F4179, 70F4180

R01DS0166JJ0101

— V850E2/FG4-G —

Rev.1.01

ルネサスマイクロコンピュータ

2014.04.11

---

μPD70F4179, 70F4180 は、リアルタイム制御向け 32 ビット・シングルチップ・マイクロコントローラ「V850 マイコン」の一製品です。32 ビット CPU, ROM, RAM, 割り込みコントローラ, タイマ, シリアル・インタフェース, A/D コンバータ, DMA コントローラ, CAN コントローラなどを 1 チップに集積しています。

詳しい機能説明などは下記ユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850E2/Fx4-L ハードウェア編 : R01UH0291JJ

## 用 途

○自動車電装分野

## 目次

<b>1.</b>	<b>概要</b>	<b>11</b>
1.1	端子名称について	11
1.1.1	兼用機能端子	11
1.1.2	電源端子	11
1.2	端子グループ	11
1.3	通常測定条件	12
1.3.1	AC 特性の測定条件	12
<b>2.</b>	<b>絶対最大定格</b>	<b>13</b>
2.1	電源電圧	13
2.2	ポート電圧	13
2.3	ポート電流	14
2.4	温度特性	14
<b>3.</b>	<b>電源スペック</b>	<b>15</b>
3.1	電源接続の要件	15
3.1.1	グランド端子の定義	15
3.1.2	電源端子の定義	15
3.2	電源供給領域の定義	15
3.3	電源電圧	16
3.3.1	AWO 電源内蔵レギュレータ特性	16
3.3.2	Iso0 電源内蔵レギュレータ特性	16
3.3.3	パワーオン・クリア回路 (POC) 特性	17
3.4	電源電圧の電源立ち上げ/電源立ち下げ順序 (使用条件)	18
3.4.1	条件 1	18
3.4.2	条件 2	19
3.4.3	条件 3	20
<b>4.</b>	<b>クロック発生回路</b>	<b>21</b>
4.1	CPU クロック周波数	21
4.2	周辺クロック周波数	21
4.3	発振回路特性	21
4.3.1	メイン発振回路 (MainOsc) 特性	21
4.3.2	内蔵発振器特性	22
4.4	PLL 特性	22
<b>5.</b>	<b>入出力スペック</b>	<b>23</b>
5.1	ポート特性	23
5.1.1	PgE0	23
5.1.2	PgE1	24
5.1.3	PgA0	25
<b>6.</b>	<b>電源電流</b>	<b>26</b>

<b>7.</b>	<b>周辺機能スペック</b>	<b>27</b>
7.1	リセット・タイミング	27
7.2	NMI タイミング	27
7.3	外部割り込みタイミング	27
7.4	FLMD0 タイミング	28
7.5	DCUTRST タイミング	28
7.6	タイマ・タイミング	29
7.7	CSI タイミング	30
7.7.1	CSIG タイミング (マスタ・モード)	30
7.7.2	CSIG タイミング (スレーブ・モード)	34
7.8	UARTE タイミング	39
7.9	CAN (FCN) タイミング	39
7.10	I <sup>2</sup> C タイミング	40
7.11	RAM 保持フラグ特性	42
7.12	LVI 回路特性	43
7.13	A/D コンバータ特性	44
7.13.1	10 ビット分解能 A/D : ADCA0Im	44
7.13.2	アナログ入力部の等価回路 (参考値)	45
7.13.3	ADCA0TRGm タイミング	45
7.14	キー・リターン・タイミング	46
7.15	Nexus デバッグ・インタフェース	46
<b>8.</b>	<b>メモリ・スペック</b>	<b>47</b>
8.1	コード・フラッシュ特性	47
8.2	データ・フラッシュ特性	47
8.3	シリアル書き込みオペレーション特性	47
<b>9.</b>	<b>外形図</b>	<b>48</b>

仕様概要

愛称		FG4-G-256KB	FG4-G-512KB
品名		μPD70F4179	μPD70F4180
内蔵メモリ	コード・フラッシュ	256 KB	512 KB
	データ・フラッシュ	32 KB	
	RAM	32 KB	64 KB
	バックアップ RAM	4 KB	
外部メモリ・インタフェース (MEMC)		なし	
CPU	CPU システム		V850E2S
	CPU 周波数		64 MHz max.
	システム保護機能 (SPF)	MPU	あり
SRP		あり	
DMA		8 チャンネル	
動作クロック	メイン・クロック発振回路 (MainOsc)		4, 5, 6, 8, 10, 12, 16, 20 MHz
	低速内蔵発振回路 (低速 IntOsc)		240 kHz typ.
	高速内蔵発振 (高速 IntOsc)		8 MHz typ.
	サブクロック発振回路 (SubOsc)		なし
	PLL		64 MHz max.
I/O ポート		77	
A/D コンバータ (ADCA)		1 × 16 チャンネル, 10 ビット	
タイマ	タイマ・アレイ・ユニット B (TAUB), 16 ビット		1 ユニット × 16 チャンネル
	タイマ・アレイ・ユニット J (TAUJ), 32 ビット		1 ユニット × 4 チャンネル
	ウインドウ・ウォッチドッグ・タイマ (WDTA)		2 チャンネル
	OS タイマ (OSTM)		1 チャンネル
シリアル・インタフェース	CAN (FCN)		3 チャンネル (32 メッセージバッファ)   6 チャンネル (32 メッセージバッファ)
	LIN マスタ・コントローラ付き (LM) UART (URTE)		3 チャンネル
	CSI (CSIG)		3 チャンネル
	I <sup>2</sup> C (IICB)		1 チャンネル
割り込み	マスカブル	外部	13
		内部	67   76
	ノンマスカブル (NMI)	外部	1
		内部	2
その他の機能	パワーオン・クリア		あり
	クロック・モニタ (CLMA)		メインクロック, 高速内蔵発振, PLL 監視可能
	キー割り込み (KR)		8 チャンネル
	オンチップ・デバッグ		あり
電源	内部供給		V <sub>POC</sub> ~ 5.5 V <sup>a</sup>
	I/O 供給		V <sub>POC</sub> ~ 5.5 V
動作温度		- 40 °C ~ + 125 °C <sup>a</sup>	
パッケージ		100 ピン LQFP	

a) 「電気的特性 (ターゲット)」参照

オーダー情報

オーダー名称	パッケージ	内蔵コード・フラッシュ	内蔵ローカルRAM	品質水準	備考
μPD70F4179GCA-UEU-AX	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	256 Kバイト	32 Kバイト	(A)	
μPD70F4179GCA1-UEU-AX				(A1)	
μPD70F4179GCA2-UEU-AX				(A2)	
μPD70F4180GCA-UEU-AX		512 Kバイト	64 Kバイト	(A)	
μPD70F4180GCA1-UEU-AX				(A1)	
μPD70F4180GCA2-UEU-AX				(A2)	

備考 1. 各品質水準の動作周囲温度は次のとおりです。

(A) 品 : - 40 ~ + 85 °C

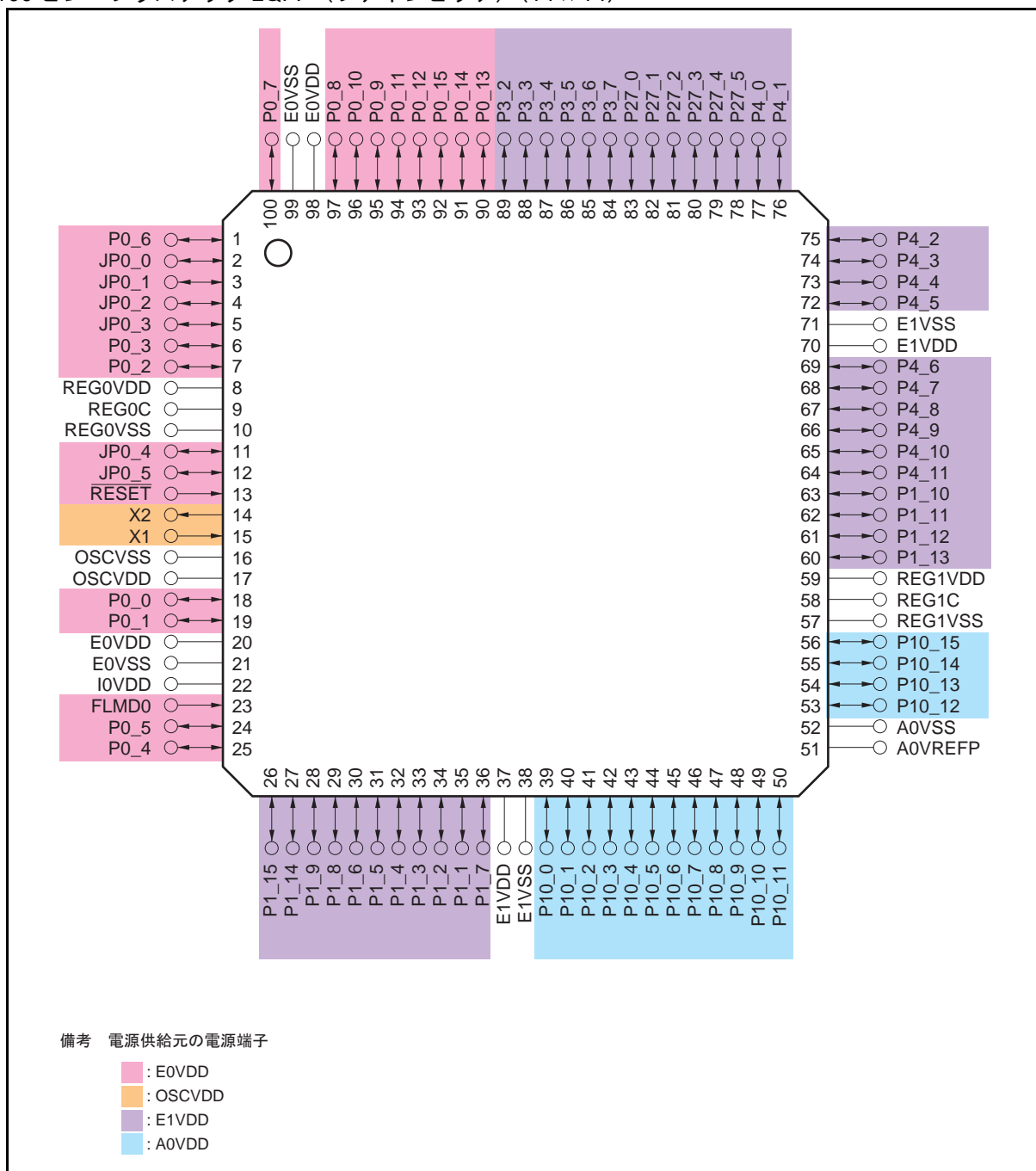
(A1) 品 : - 40 ~ + 110 °C

(A2) 品 : - 40 ~ + 125 °C

2. オーダー名称末尾「-AX」の製品は、鉛フリー製品です。

端子接続図 (Top View)

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)



ピン番号	名 称
1	P0_6/FCN1RX/DPIN6/URTE11TX/KR0I1/NMI
2	JP0_0/INTP0/TAUJ0I0/TAUJ0O0/DCUTDI
3	JP0_1/INTP1/TAUJ0I1/TAUJ0O1/DCUTDO
4	JP0_2/INTP2/TAUJ0I2/TAUJ0O2/DCUTCK
5	JP0_3/INTP3/TAUJ0I3/TAUJ0O3/DCUTMS
6	P0_3/DPIN3/CSIG4SC/ADCA0TRG1/INTP3
7	P0_2/DPIN2/CSIG4SI/ADCA0TRG2/URTE2TX/INTP2/TAUB0O2
8	REG0VDD
9	REG0C
10	REG0VSS
11	JP0_4/DCUTRST
12	JP0_5/NMI/DCURDY
13	RESET
14	X2
15	X1
16	OSCVSS
17	OSCVDD
18	P0_0/DPIN0/CSIG4SSI/ADCA0TRG0/INTP0
19	P0_1/DPIN1/CSIG4DCS/CSIG4SO/URTE2RX/INTP1/TAUB0O1/FLMD1
20	E0VDD
21	E0VSS
22	I0VDD
23	FLMD0
24	P0_5/FCN0RX/DPIN5/INTP12
25	P0_4/DPIN4/FCN0TX/INTP11
26	P1_15/TAUB0I15/TAUB0O15/INTP9
27	P1_14/TAUB0I14/TAUB0O14/INTP8
28	P1_9/TAUB0I9/TAUB0O9/INTP3/FCN2TX
29	P1_8/TAUB0I8/TAUB0O8/FCN2RX
30	P1_6/TAUB0I6/TAUB0O6/FCN4TX/CSIG7SSI
31	P1_5/TAUB0I5/TAUB0O5/FCN4RX/CSIG7RYI/CSIG7RYO
32	P1_4/TAUB0I4/TAUB0O4/FCN3TX/CSIG7SC
33	P1_3/TAUB0I3/TAUB0O3/FCN3RX/CSIG7DCS/CSIG7SO
34	P1_2/TAUB0I2/TAUB0O2/CSIG7SI/FCN1TX
35	P1_1/TAUB0I1/TAUB0O1/FCN1RX/FCN0TX
36	P1_7/TAUB0I7/TAUB0O7/FCN0RX
37	E1VDD
38	E1VSS
39	P10_0/ADCA0I0
40	P10_1/ADCA0I1

ピン番号	名 称
41	P10_2/ADCA0I2
42	P10_3/ADCA0I3
43	P10_4/ADCA0I4
44	P10_5/ADCA0I5
45	P10_6/ADCA0I6
46	P10_7/ADCA0I7
47	P10_8/ADCA0I8
48	P10_9/ADCA0TRG0/ADCA0I9
49	P10_10/ADCA0TRG1/ADCA0I10
50	P10_11/ADCA0TRG2/ADCA0I11
51	A0VREFP
52	A0VSS
53	P10_12/ADCA0I12
54	P10_13/ADCA0I13
55	P10_14/ADCA0I14
56	P10_15/ADCA0I15
57	REG1VSS
58	REG1C
59	REG1VDD
60	P1_13/TAUB0I13/TAUB0O13/INTP7
61	P1_12/TAUB0I12/TAUB0O12/INTP6
62	P1_11/TAUB0I11/TAUB0O11/FCN5TX/INTP5
63	P1_10/TAUB0I10/TAUB0O10/FCN5RX/INTP4
64	P4_11/FCN5TX
65	P4_10/CSIG4RYI/FCN5RX
66	P4_9/CSIG0RY0/FCN4TX
67	P4_8/CSIG4SC/KR0I0/FCN4RX
68	P4_7/INTP4/TAUB1O10/URTE11RX/CSIG4SO/KR0I1/FCNT3TX
69	P4_6/CSIG4SI/URTE11TX/KR0I2/FCN3RX
70	E1VDD
71	E1VSS
72	P4_5/CSIG0SC/KR0I13/FCN2TX
73	P4_4/INTP2/URTE10RX/CSIG0SO/FCN2RX
74	P4_3/CSIG0SI/URTE10TX/FCN1TX
75	P4_2/TAUB0I15/TAUB0O15/FCN1RX/URTE2TX
76	P4_1/TAUB0I14/TAUB0O14/URTE2RX/FCN0TX
77	P4_0/TAUB0I13/TAUB0O13/FCN0RX
78	P27_5/INTP5
79	P27_4/INTP4
80	P27_3/INTP3
81	P27_2/INTP2



ピン番号	名 称
82	P27_1/INTP1
83	P27_0/INTP0
84	P3_7/TAUB017/TAUB007/CSIG0SI
85	P3_6/TAUB016/TAUB006/CSIG0DCS/CSIG0SO
86	P3_5/TAUB015/TAUB005/KR014/CSIG0SC
87	P3_4/TAUB014/TAUB004/KR015/CSIG0RYI/CSIG0RYO
88	P3_3/TAUB013/TAUB003/KR016
89	P3_2/TAUB012/TAUB002/KR017
90	P0_13/TAUJ011/DPIN13/TAUJ001/KR015/INTP7/FCN5TX/CSIG0SI
91	P0_14/TAUJ012/TAUJ002/DPO/KR016/FCN5RX/CSIG0DCS/CSIG0SO
92	P0_15/TAUJ013/TAUJ003/APO/KR017/FCN4RX/CSIG0SC
93	P0_12/TAUJ010/DPIN12/TAUJ000/KR010/INTP8/FCN4TX/CSIG0SSI
94	P0_11/URTE11RX/DPIN11/FCN2RX/INTP10
95	P0_9/URTE10RX/DPIN9/FCN2TX/KR014/INTP6/TAUB006/IICB0SCL
96	P0_10/DPIN10/URTE11TX/FCN3RX/INTP9
97	P0_8/DPIN8/URTE10TX/KR013/FCN3TX/INTP5/TAUB005/IICB0SDA
98	E0VDD
99	E0VSS
100	P0_7/URTE11RX/DPIN7/FCN1TX/KR012/INTP4

内部ブロック図

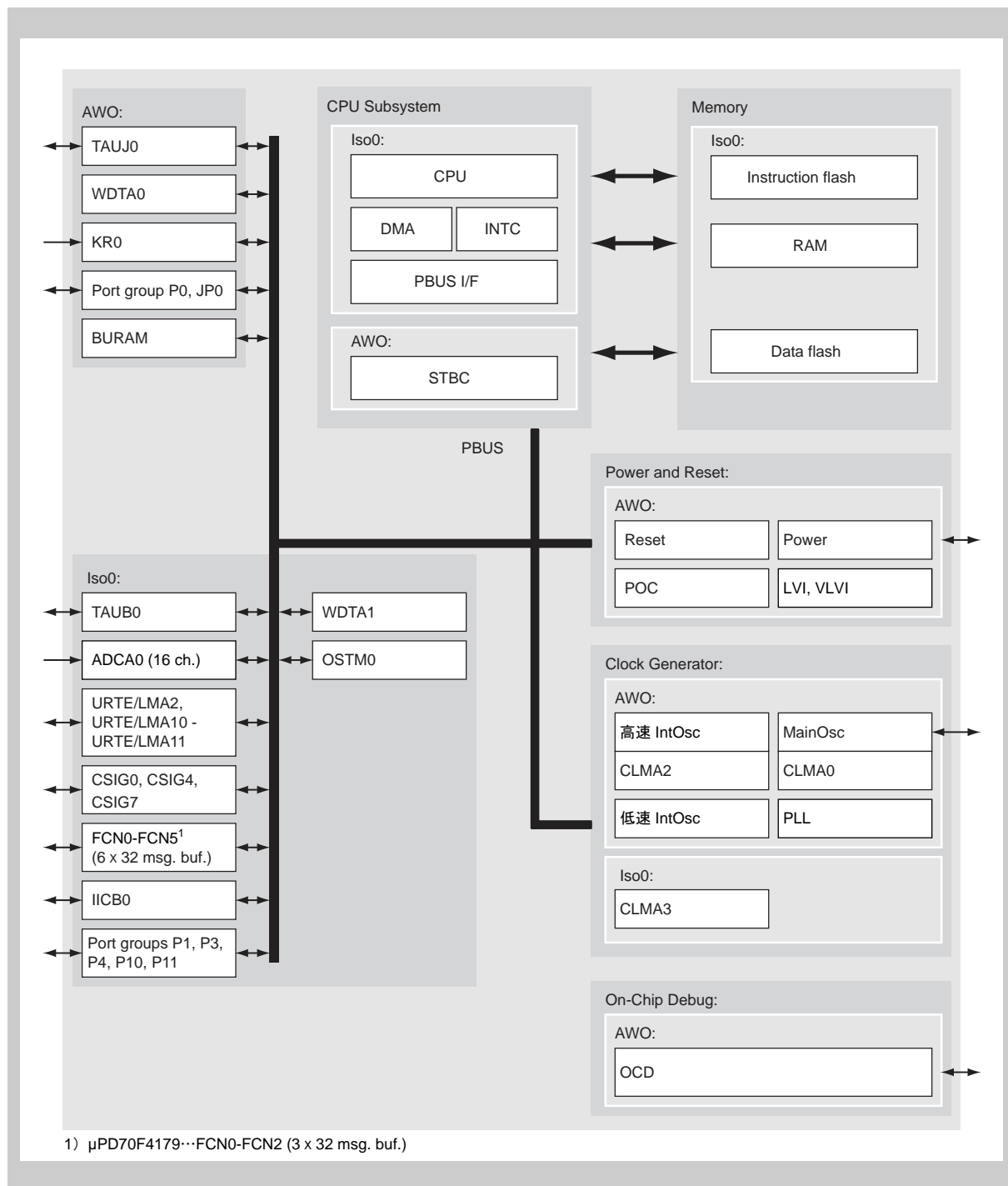


図 1-3 V850E2/FG4-G のブロック図

## 1. 概要

### 1.1 端子名称について

#### 1.1.1 兼用機能端子

周辺機能	マクロ名に続く数字	機能名	末尾の数字
マクロ名の略称	同一周辺モジュールの連番 <sup>a)</sup>	周辺マクロ端子の機能名	同一端子名の連番 <sup>a)</sup>

a) 1つしかない場合は省略

例

– CSIG0SO, CSIG0SI, CSIG0SC, CSIG0RYI, CSIG0RYO

#### 1.1.2 電源端子

機能	端子名に続く数字	電源の種類
略称	各機能の連番 <sup>a)</sup>	VDD または VSS

a) 1つしかない場合は省略

例

– OSCVDD, E0VDD, REG0VSS

略 称	機 能
REG	内部レギュレータ用電源
OSC	発振回路用電源
I0	フラッシュ・モジュール用電源および内部レギュレータ用電源
E	ポート用電源
A	アナログ・モジュール用電源 (A/D コンバータなど)

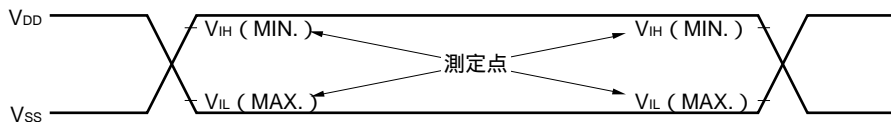
### 1.2 端子グループ

略 号	ポート・グループの電源	関連ポート／関連端子
PgE0	E0VDD, E0VSS	関連ポート : JP0, P0 関連端子 : RESET, FLMD0
PgE1	E1VDD, E1VSS	関連ポート : P1, P3, P4, P27
PgOSC	OSCVDD, OSCVSS	関連端子 : X1, X2
PgA0	A0VREFP, A0VSS	関連ポート : P10

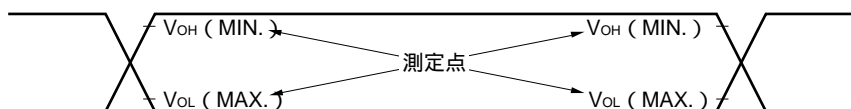
### 1.3 通常測定条件

#### 1.3.1 AC 特性の測定条件

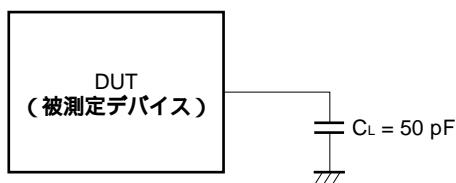
##### (1) AC テスト入力測定点



##### (2) AC テスト出力測定点



##### (3) 負荷条件



**注意** 回路構成により負荷容量が 50 pF を越える場合は、バッファを入れるなどして、このデバイスの負荷容量を 50 pF 以下にしてください。

## 2. 絶対最大定格

- 注意**
1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
  2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
  3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

### 2.1 電源電圧

表 2-1 VDD

項目	略号	条件	定格	単位
システム用電源電圧	I0VDD		- 0.3 ~ + 6.0	V
	OSCVDD		- 0.3 ~ + 6.0	V
	REG0VDD		- 0.3 ~ + 6.0	V
	REG1VDD		- 0.3 ~ + 6.0	V
ポート用電源電圧	E0VDD		- 0.3 ~ + 6.0	V
	E1VDD		- 0.3 ~ + 6.0	V
A/D コンバータ用電源電圧	A0VREFP		- 0.3 ~ + 6.0	V

Ta = 25 °C

### 2.2 ポート電圧

表 2-2 ポート入力電圧

項目	端子グループ <sup>a)</sup>	略号	条件	定格	単位
入力電圧 <sup>b)</sup>	PgE0	Vi	$E0VDD \leq 5.5 \text{ V}$	- 0.3 ~ E0VDD + 0.3	V
	PgE1		$E1VDD \leq 5.5 \text{ V}$	- 0.3 ~ E1VDD + 0.3	V
	PgOSC		$OSCVDD \leq 5.5 \text{ V}$	- 0.3 ~ OSCVDD + 0.3	V
	PgA0			- 0.3 ~ A0VREFP + 0.3	V

a) 端子グループ欄は、V850E2/Fx4-G シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。

b) 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

Ta = 25 °C

## 2.3 ポート電流

表 2-3 ハイ・レベル・ポート出力電流

項目	端子グループ <sup>a)</sup>	略号	条件	定格 (MAX.)	単位
ハイ・レベル 出力電流	PgE0/PgE1	IoH	1 端子	- 10	mA
			PgE0 および PgE1 の全端子合計	- 120 <sup>b)</sup>	mA
	PgA0		1 端子	- 10	mA
			全端子合計	- 25	mA

- a) 端子グループ欄は、V850E2/Fx4-G シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。
- b) 一つの辺で -30mA を超えないようにしてください。

表 2-4 ロウ・レベル・ポート出力電流

項目	端子グループ <sup>a)</sup>	略号	条件	定格 (MAX.)	単位
ロウ・レベル 出力電流	PgE0/PgE1	IoL	1 端子	10	mA
			PgE0 および PgE1 の全端子合計	120 <sup>b)</sup>	mA
	PgA0		1 端子	10	mA
			全端子合計	25	mA

- a) 端子グループ欄は、V850E2/Fx4-G シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。
- b) 一つの辺で 30mA を超えないようにしてください。

## 2.4 温度特性

表 2-5 温度特性

項目	略号	条件	定格	単位
保存温度	T <sub>stg</sub>		- 55 + 125	°C
動作周囲温度	T <sub>A</sub>	(A) 品	- 40 ~ + 85	°C
		(A1) 品	- 40 ~ + 110	°C
		(A2) 品	- 40 ~ + 125	°C

### 3. 電源スペック

#### 3.1 電源接続の要件

##### 3.1.1 グランド端子の定義

このデータ・シートでは、グランド端子を次のように定義します。  
 $VSS = OSCVSS = REGnVSS = EnVSS = A0VSS = CVSS = 0 V$

- 詳細な端子名は次のようになります。
- REGnVSS : REG0VSS, REG1VSS
  - EnVSS : E0VSS, E1VSS

##### 3.1.2 電源端子の定義

このデータ・シートでは、電源端子を次のように定義します。

- EnVDD, I0VDD, REGnVDD, OSCVDD, A0VREFP

- なお、詳細な端子名は次のようになります。
- EnVDD : E0VDD, E1VDD
  - REGnVDD : REG0VDD, REG1VDD

#### 3.2 電源供給領域の定義

V850E2/FG4-Gは、次に示す電源供給領域で構成されています。

- AWO (Always-On エリア)
- Iso0 (Isolated エリア0)

表 3-1に、各電源供給領域の電源電圧と電源端子の関係を示します。

表 3-1 電源供給領域のグランド、電源端子

電源供給領域	供給	端子
AWO	CPU用電源供給	REG0VDD, REG0VSS
	ポート用電源供給	E0VDD, E0VSS
	その他電源供給	OSCVDD, OSCVSS, I0VDD
Iso0	CPU用電源供給	REG1VDD, REG1VSS
	ポート用電源供給	E1VDD, E1VSS
	その他電源供給	A0VSS, A0VREFP

### 3.3 電源電圧

表 3-2 電源電圧 (動作条件)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム用電源電圧	I0VDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
	OSCVDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
	REG0VDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
	REG1VDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
ポート用電源電圧	E0VDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
	E1VDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
A/D コンバータ用電源電圧	A0VREFP	10 ビット分解能	V <sub>POC</sub> <sup>a</sup>		5.5	V

a) V<sub>POC</sub> : POC 検出電圧  
 V<sub>POC</sub> の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。

#### 3.3.1 AWO 電源内蔵レギュレータ特性

表 3-3 AWO 電源内蔵レギュレータ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REG0VDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
出力電圧	V <sub>RO</sub>		1.35	1.50	1.65	V
REG0C 端子のキャパシタンス	REG0C		2.31		6.11	μF
電圧勾配	RAVS	0 ~ V <sub>poc</sub>	0.5		150	V/ms

a) V<sub>POC</sub> : POC 検出電圧  
 V<sub>POC</sub> の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。

#### 3.3.2 Iso0 電源内蔵レギュレータ特性

表 3-4 Iso0 電源内蔵レギュレータ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REGnVDD		V <sub>POC</sub> <sup>a</sup>		5.5	V
出力電圧	V <sub>ROI</sub>		1.35	1.50	1.65	V
REGnC 端子のキャパシタンス	REGnC		70	100	130	nF
電圧勾配	RIVS	0 ~ V <sub>POC</sub>	0.18		1800	V/ms

a) V<sub>POC</sub> : POC 検出電圧  
 V<sub>POC</sub> の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。

備考 n = 0, 1

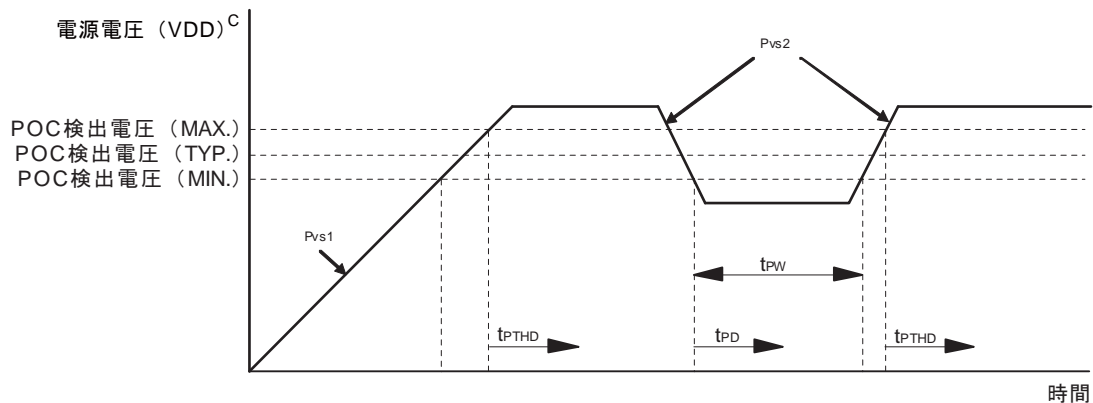


### 3.3.3 パワーオン・クリア回路 (POC) 特性

表 3-5 パワーオン・クリア回路 (POC) 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
POC 検出電圧	V <sub>POC</sub>		2.75	2.9	3.0	V
電圧の傾き 1	P <sub>VS1</sub>		0.18		1800	V/ms
電圧の傾き 2	P <sub>VS2</sub>		0.0018		1800	V/ms
応答時間 1 <sup>a</sup>	t <sub>PTH</sub>				2	ms
応答時間 2 <sup>b</sup>	t <sub>PD</sub>				2	ms
VDD 最小幅	t <sub>PW</sub>		0.2			ms

- a) POC 検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。
- b) POC 検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。
- c) VDD : REG0VDD



3.4 電源電圧の電源立ち上げ／電源立ち下げ順序（使用条件）

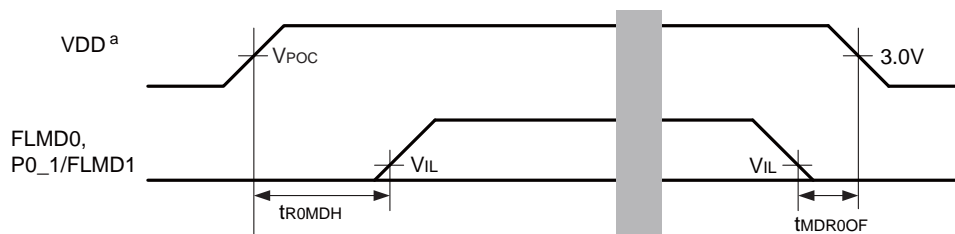
3.4.1 条件1

表 3-6 RESET 端子未使用時

項目	略号	条件	MIN.	TYP.	MAX.	単位
VDD <sup>a</sup> ↑ → FLMD0, P0_1/ FLMD1 (≦ V <sub>IL</sub> ) ホールド 時間	t <sub>R0MDH</sub>		2			ms
FLMD0, P0_1/FLMD1 (≦ V <sub>IL</sub> ) → VDD <sup>a</sup> ↓ ホールド時間	t <sub>MDR0OF</sub>		0			ms

a) VDD : REGnVDD, I0VDD, OSCVDD, EnVDD, A0VREFP

備考 n = 0, 1



3.4.2 条件 2

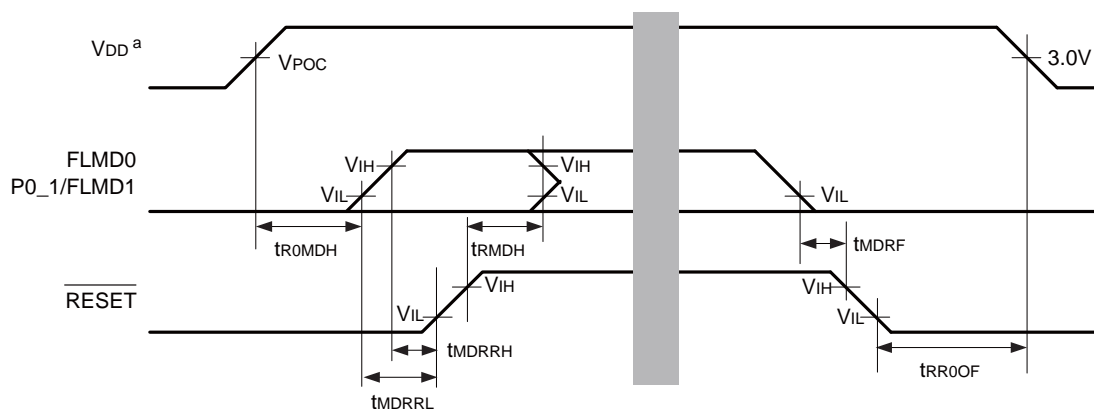
表 3-7 RESET 端子使用時

項目	略号	条件	MIN.	TYP.	MAX.	単位
$V_{DD}^a \uparrow \rightarrow \overline{\text{FLMD0}}, \text{P0\_1/FLMD1}$ ( $\leq V_{IL}$ ) ホールド時間	$t_{R0MDH}$		1			ms
$V_{DD}^a \uparrow \rightarrow \overline{\text{RESET}}$ ( $\leq V_{IL}$ ) ホールド時間	$t_{R0RR}^b$		2			ms
$\overline{\text{FLMD0}}, \text{P0\_1/FLMD1}$ ( $\geq V_{IH}$ ) $\rightarrow \overline{\text{RESET}}$ ( $\leq V_{IL}$ ) セットアップ時間	$t_{MDRRH}$		1			ms
$\overline{\text{FLMD0}}, \text{P0\_1/FLMD1}$ ( $\leq V_{IL}$ ) $\rightarrow \overline{\text{RESET}}$ ( $\leq V_{IL}$ ) セットアップ時間	$t_{MDRRL}$		1			ms
$\overline{\text{RESET}}$ ( $\geq V_{IH}$ ) $\rightarrow \overline{\text{FLMD0}},$ $\text{P0\_1/FLMD1}$ ( $\geq V_{IH} \geq V_{IL}$ ) ホールド時間	$t_{RMDH}$		1			ms
$\overline{\text{FLMD0}}, \text{P0\_1/FLMD1}$ ( $\leq V_{IL}$ ) $\rightarrow \overline{\text{RESET}}$ ( $\geq V_{IH}$ ) セットアップ時間	$t_{MDRF}$		0			ms
$\overline{\text{RESET}}$ ( $\leq V_{IL}$ ) $\rightarrow V_{DD}^a \downarrow$ ホールド時間	$t_{RR0OF}$		0			ms

a)  $V_{DD}$  :  $\text{REGnVDD}, \text{I0VDD}, \text{OSCVDD}, \text{EnVDD}, \text{A0VREFP}$

b)  $t_{R0RR}$  の値が固定されていないと、RESF レジスタの RESET フラグはセットアップされず、動作は保証されません。

備考  $n = 0, 1$



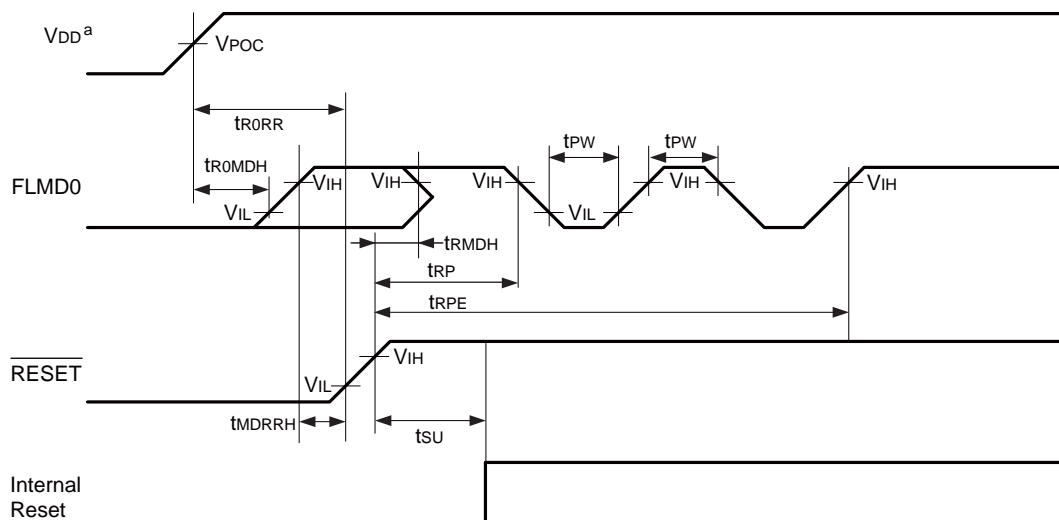
3.4.3 条件 3

表 3-8 RESET 端子使用時かつシリアル・プログラミング・モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
V <sub>DD</sub> <sup>a</sup> ↑ → FLMD0 (≦ V <sub>IL</sub> ) ホールド時間	t <sub>R0MDH</sub>		1			ms
V <sub>DD</sub> <sup>a</sup> ↑ → RESET (≦ V <sub>IL</sub> ) ホールド時間	t <sub>R0RR</sub> <sup>b</sup>		2			ms
RESET (≧ V <sub>IH</sub> ) → FLMD0 (≧ V <sub>IH</sub> ) ホールド時間	t <sub>RMDH</sub>		1			ms
FLMD0 (≧ V <sub>IH</sub> ) → RESET (≦ V <sub>IL</sub> ) セットアップ時間	t <sub>MDRRH</sub>		1			ms
CPU スタートアップ時間 (RESET (≧ V <sub>IH</sub> ) → 内部リセット遅延時間)	t <sub>SU</sub>				2.5	ms
RESET (≧ V <sub>IH</sub> ) → FLMD0 パルス入力開始時間	t <sub>RP</sub>		t <sub>SU</sub> (max)+0.73			ms
RESET (≧ V <sub>IH</sub> ) → FLMD0 パルス入力終了時間	t <sub>RPE</sub>		0		t <sub>SU</sub> (max)+10	ms
FLMD0 ロウ/ハイ・レベル幅	t <sub>PW</sub>		0.8			ms

- a) V<sub>DD</sub> : REGnV<sub>DD</sub>, I0V<sub>DD</sub>, OSCV<sub>DD</sub>, EnV<sub>DD</sub>, A0V<sub>REFP</sub>
- b) t<sub>R0RR</sub> の値が固定されていないと, RESF レジスタの RESET フラグはセットアップされず, 動作は保証されません。

備考 n = 0, 1



## 4. クロック発生回路

電源電圧の条件は 3.3 電源電圧を参照してください。

### 4.1 CPUクロック周波数

表 4-1 CPU クロック周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f <sub>CPU</sub>				64	MHz

### 4.2 周辺クロック周波数

表 4-2 周辺クロック周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
周辺クロック周波数	f <sub>PERI</sub>				48 <sup>a)</sup>	MHz

a) 周辺機能により、最大動作周波数は異なります。詳細については、V850E2/Fx4-L ユーザーズ・マニュアルハードウェア編を参照してください。

### 4.3 発振回路特性

#### 4.3.1 メイン発振回路 (MainOsc) 特性

表 4-3 メイン発振回路 (MainOsc) 特性

項目	略号	条件	評価値	単位
メイン発振回路 (MainOsc) クロック周波数	f <sub>MOSC</sub>		4, 5, 6, 8, 10, 12, 16, 20	MHz

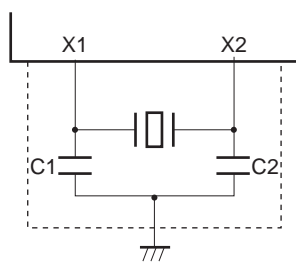


図 4-1 推奨メイン発振回路 (MainOsc)

- 注意**
1. 外部クロック入力は禁止です。
  2. プリント基板をレイアウトする際には、図中の破線の部分を次のように配線してください。
    - 配線は極力短くする。
    - 他の信号線と交差させない。
    - 変化する大電流が流れる信号線に接近させない。
    - 発振回路のコンデンサの接地点は、常に REG0VSS および OSCVSS と同電位になるようにする。
    - 大電流が流れるグラウンド・パターンに接地しない。
    - 発振回路から信号を取り出さない。
  3. C1, C2 の値は、ご使用のセラミック発振子または水晶振動子 によるため、発振子／振動子メーカーとご相談の上、決定してください。

### 4.3.2 内蔵発振器特性

表 4-4 内蔵発振器特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振回路 (低速 IntOsc) クロック周波数	f <sub>RL</sub>	<ul style="list-style-type: none"> <li>• DEEPSTOP モード以外</li> <li>• DEEPSTOP モードかつ PSC0.PSC0REGSTP = 0</li> </ul>	220.8	240	259.2	kHz
	f <sub>RLLP</sub>	<ul style="list-style-type: none"> <li>• DEEPSTOP モードかつ PSC0.PSC0REGSTP = 1</li> </ul>	172.0	240	268.0	kHz
高速内蔵発振回路 (高速 IntOsc) クロック周波数	f <sub>RH</sub>	<ul style="list-style-type: none"> <li>• DEEPSTOP モード以外</li> <li>• DEEPSTOP モードかつ PSC0.PSC0REGSTP = 0</li> </ul>	7.2	8.0	8.8	MHz
		<ul style="list-style-type: none"> <li>• DEEPSTOP モード以外</li> <li>• DEEPSTOP モードかつ PSC0.PSC0REGSTP = 0</li> <li>• ACT13M = 1</li> </ul>	8.558		17.41	MHz
	f <sub>RHLP</sub>	<ul style="list-style-type: none"> <li>• DEEPSTOP モードかつ PSC0.PSC0REGSTP = 1</li> </ul>	5.3	8.0	9.0	MHz
		<ul style="list-style-type: none"> <li>• DEEPSTOP モードかつ PSC0.PSC0REGSTP = 1</li> <li>• ACT13M = 1</li> </ul>	2.534		6.385	MHz

### 4.4 PLL 特性

表 4-5 PLL 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数 <sup>a)</sup>	f <sub>XXn</sub>		20		64	MHz
ロック時間	t <sub>LCKPn</sub>				50	μs
長期ジッタ	t <sub>LTJtn</sub>				2.5	ns

<sup>a)</sup> PLL 出力周波数は、メイン発振回路のクロスおよび PLL のジッタ期間、長期ジッタ含まれていません。

## 5. 入出力スペック

電源電圧の条件は 3.3 電源電圧を参照してください。

### 5.1 ポート特性

#### 5.1.1 PgE0

表 5-1 PgE0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	シュミット 1 (SHMT1)	0.7 E0VDD		E0VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 E0VDD		E0VDD + 0.3	V
		シュミット 4 (SHMT4) (E0VDD = V <sub>POC</sub> ~ 3.0 V)	0.84 E0VDD		E0VDD + 0.3	V
		シュミット 4 (SHMT4) (E0VDD = 3.0 ~ 5.5 V)	0.8 E0VDD		E0VDD + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	シュミット 1 (SHMT1)	- 0.3		0.3 E0VDD	V
		シュミット 2 (SHMT2)	- 0.3		0.2 E0VDD	V
		シュミット 4 (SHMT4) (E0VDD = V <sub>POC</sub> ~ 3.4 V)	- 0.3		0.4 E0VDD	V
		シュミット 4 (SHMT4) (E0VDD = 3.4 ~ 5.5 V)	- 0.3		0.5 E0VDD	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 3 mA <sup>a</sup>	E0VDD - 1.0			V
		I <sub>OH</sub> = - 100 μA	E0VDD - 0.5			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 3 mA <sup>a</sup>			0.4	V
		I <sub>OL</sub> = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V <sub>H</sub>	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R <sub>U</sub>		15	40	150	kΩ
プルダウン抵抗	R <sub>D</sub>		15	40	150	kΩ
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>I</sub> = E0VDD			0.5	μA
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>I</sub> = 0 V			- 0.5	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = E0VDD			0.5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 0.5	μA
出力周波数	f <sub>o</sub>				20	MHz
立ち上がり時間 (出力)	t <sub>KRP</sub>				15	ns
立ち下がり時間 (出力)	t <sub>KFP</sub>				15	ns

<sup>a)</sup> PgE0 と PgE1 の合計電流は、2.3 ポート電流を参照してください。

5.1.2 PgE1

表 5-2 PgE1

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	シュミット1 (SHMT1)	0.7 E1VDD		E1VDD + 0.3	V
		シュミット4 (SHMT4) (E1VDD = V <sub>POC</sub> ~ 3.0 V)	0.84 E1VDD		E1VDD + 0.3	V
		シュミット4 (SHMT4) (E1VDD = 3.0 ~ 5.5 V)	0.8 E1VDD		E1VDD + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	シュミット1 (SHMT1)	- 0.3		0.3 E1VDD	V
		シュミット4 (SHMT4) (E1VDD = V <sub>POC</sub> ~ 3.4 V)	- 0.3		0.4 E1VDD	V
		シュミット4 (SHMT4) (E1VDD = 3.4 ~ 5.5 V)	- 0.3		0.5 E1VDD	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 3 mA <sup>a</sup>	E1VDD - 1.0			V
		I <sub>OH</sub> = - 100 μA	E1VDD - 0.5			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 3 mA <sup>a</sup>			0.4	V
		I <sub>OL</sub> = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V <sub>H</sub>	シュミット1 (SHMT1)	0.3			V
		シュミット4 (SHMT4)	0.1			V
プルアップ抵抗	R <sub>U</sub>		15	40	150	kΩ
プルダウン抵抗	R <sub>D</sub>		15	40	150	kΩ
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>I</sub> = E1VDD			0.5	μA
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>I</sub> = 0 V			- 0.5	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = E1VDD			0.5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 0.5	μA
出力周波数	f <sub>o</sub>				20	MHz
立ち上がり時間 (出力)	t <sub>KRP</sub>				15	ns
立ち下がり時間 (出力)	t <sub>KFP</sub>				15	ns

a) PgE0 と PgE1 の合計電流は、2.3 ポート電流を参照してください。



5.1.3 PgA0

表 5-3 PgA0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	CMOS1	0.7 A0VREFP		A0VREFP + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	CMOS1	- 0.3		0.3 A0VREFP	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 1 mA <sup>a</sup>	A0VREFP - 1.0			V
		I <sub>OH</sub> = - 100 μA	A0VREFP - 0.5			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 1 mA <sup>a</sup>			0.4	V
		I <sub>OL</sub> = 100 μA			0.4	V
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>i</sub> = A0VREFP			0.5	μA
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>i</sub> = 0 V			- 0.5	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>o</sub> = A0VREFP			0.5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>o</sub> = 0 V			- 0.5	μA
出力周波数	f <sub>o</sub>				20	MHz
立ち上がり時間 (出力)	t <sub>KRP</sub>				15.5	ns
立ち下がり時間 (出力)	t <sub>KFP</sub>				15.5	ns

a) PgA0 の合計電流値として、V<sub>OH</sub> は - 20mA、V<sub>OL</sub> は 20mA を超えないでください。

## 6. 電源電流

項目	電源 <sup>a</sup>	条件						対象製品	規格値				単位
	ISO0	Main OSC	高速 IntOsc	低速 IntOsc	PLL	CPU 周波数 [MHz]	周辺機能		TYP.	MAX. (A)	MAX. (A1)	Max. (A2)	
RUN モード	ON	動作	動作	動作	動作	64	動作 (32 MHz)	μPD70F4180 μPD70F4179	19	31	34	37	mA
	ON	動作	動作	動作	動作	48	動作 (48 MHz)	μPD70F4180 μPD70F4179	18	30	33	36	mA
	ON	停止	動作	動作	停止	8	動作 (8 MHz)	μPD70F4180 μPD70F4179	6	18	20	22	mA
Run モード (EEPROM エミュレーション)	ON	動作	動作	動作	動作	64	動作 (32 MHz)	μPD70F4180 μPD70F4179	36	59	62	65	mA
	ON	動作	動作	動作	動作	48	動作 (48 MHz)	μPD70F4180 μPD70F4179	35	58	61	64	mA
STOP モード	ON	停止	停止	動作	停止	停止	停止	μPD70F4180 μPD70F4179	1.5	13	15	18	mA
DEEPSTOP モード (PSC0.PSC0REGSTP = 1)	OFF	停止	停止	動作	停止	停止	停止	μPD70F4180 μPD70F4179	0.025	0.220	0.250	0.300	mA
DEEPSTOP モード (PSC0.PSC0REGSTP = 0)	OFF	停止	停止	動作	停止	停止	停止	μPD70F4180 μPD70F4179	0.075	0.660	0.750	0.900	mA

<sup>a)</sup> AWO は常時 ON

備考1. ON : 電力供給オン状態 OFF : 電力供給オフ状態

2. 前途の表には、ポート・バッファ、A/D コンバータの電流は含みません。
3. TYP. 値は参考値です。
4. EEPROM エミュレーション (データ・フラッシュ・ライブラリ) 実行時の値は参考値です。

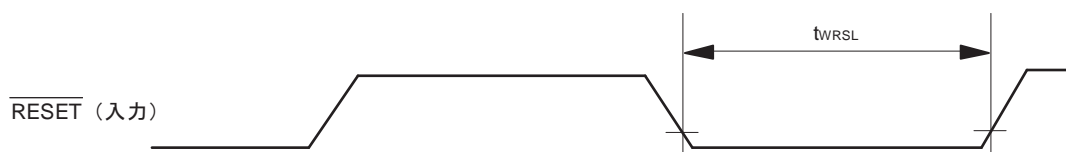
## 7. 周辺機能スペック

電源電圧の条件は 3.3 電源電圧を参照してください。

### 7.1 リセット・タイミング

表 7-1 リセット・タイミング

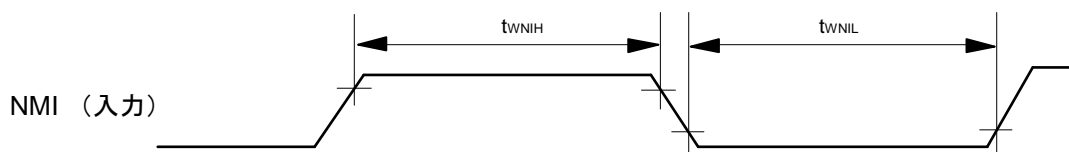
項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET 入カロー・レベル幅	tWRSL	電源 ON を除く	450			ns



### 7.2 NMI タイミング

表 7-2 NMI タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ・レベル幅	tWNIH		300			ns
NMI 入カロー・レベル幅	tWNIL		300			ns

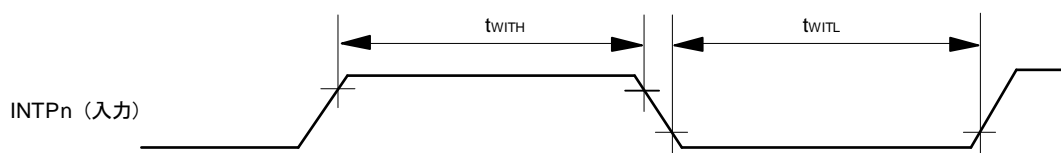


### 7.3 外部割り込みタイミング

表 7-3 外部割り込みタイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
INTPn 入力ハイ・レベル幅	tWITH		300			ns
INTPn 入カロー・レベル幅	tWITL		300			ns

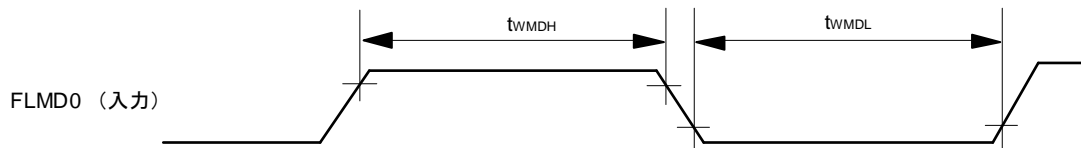
備考 n = 0-12



### 7.4 FLMD0 タイミング

表 7-4 FLMD0 タイミング

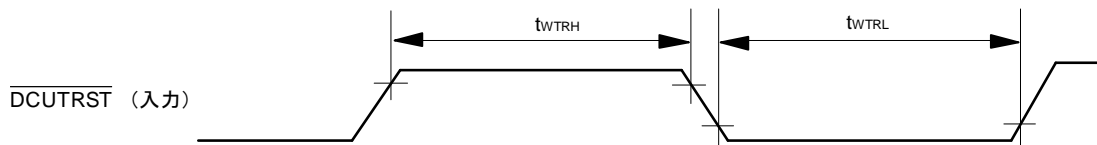
項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 入力ハイ・レベル幅	t <sub>WMDH</sub>		300			ns
FLMD0 入力ロウ・レベル幅	t <sub>WMDL</sub>		300			ns



### 7.5 DCUTRST タイミング

表 7-5 DCUTRST タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTRST 入力ハイ・レベル幅	t <sub>WTRH</sub>		450			ns
DCUTRST 入力ロウ・レベル幅	t <sub>WTRL</sub>		450			ns

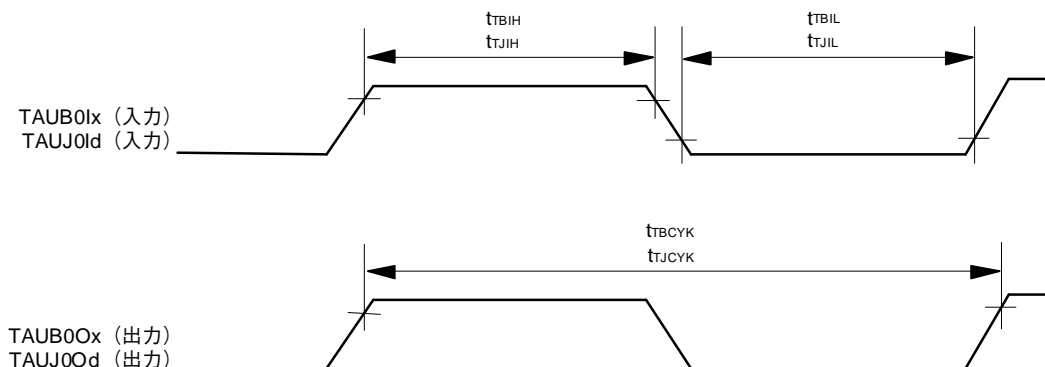


7.6 タイマ・タイミング

表 7-6 タイマ・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUBnIx 入力ハイ・レベル幅	tBIH	n = 0 x = 1-15	a			ns
TAUBnIx 入力ロウ・レベル幅	tBIL	n = 0 x = 1-15	a			ns
TAUJ0Id 入力ハイ・レベル幅	tJIH	d = 0-3	300			ns
TAUJ0Id 入力ロウ・レベル幅	tJIL	d = 0-3	300			ns
TAUBnOx 出力周期	tBCYK	n = 0 x = 1-15			20	MHz
TAUJ0Od 出力周期	tJCYK	d = 0-3			20	MHz

a)  $2T_{SAMP} + 20$ ,  $3T_{SAMP} + 20$ ,  $4T_{SAMP} + 20$ ,  $5T_{SAMP} + 20$  のいずれかの値  
 $T_{SAMP}$  : ノイズ除去サンプリング・クロック周期



## 7.7 CSI タイミング

### 7.7.1 CSIG タイミング (マスタ・モード)

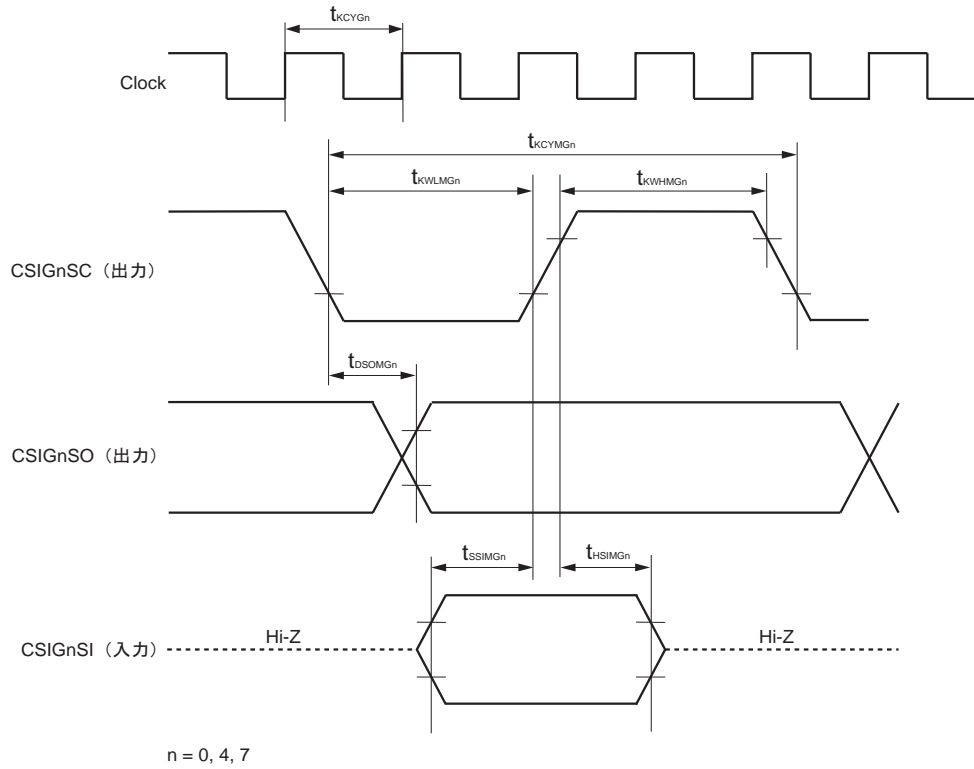
表 7-7 CSIG タイミング (マスタ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	t <sub>KCYGn</sub>		20.83			ns
CSIGnSC サイクル・タイム	t <sub>KCYMGn</sub>		100			ns
CSIGnSC ハイ・レベル幅	t <sub>KWHMGn</sub>		0.5t <sub>KCYMGn</sub> - 10			ns
CSIGnSC ロウ・レベル幅	t <sub>KWLMGn</sub>		0.5t <sub>KCYMGn</sub> - 10			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t <sub>SSIMGn</sub>		30			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t <sub>HSIMGn</sub>		0			ns
CSIGnSC → CSIGnSO 出力遅延時間	t <sub>SOMGn</sub>				7	ns
CSIGnRYI セットアップ時間 (対 CSIGnSC)	t <sub>SRYIGn</sub>	CSIGnCTL1.CSIGnSIT ビット = 0 または 1, CSIGnCTL1.CSIGnHSE ビット = 1	2t <sub>KCYGn</sub> + 25			ns
CSIGnRYI ハイ・レベル幅	t <sub>WRYIGn</sub>	CSIGnCTL1.CSIGnHSE ビット = 1	t <sub>KCYGn</sub> - 5.0			ns

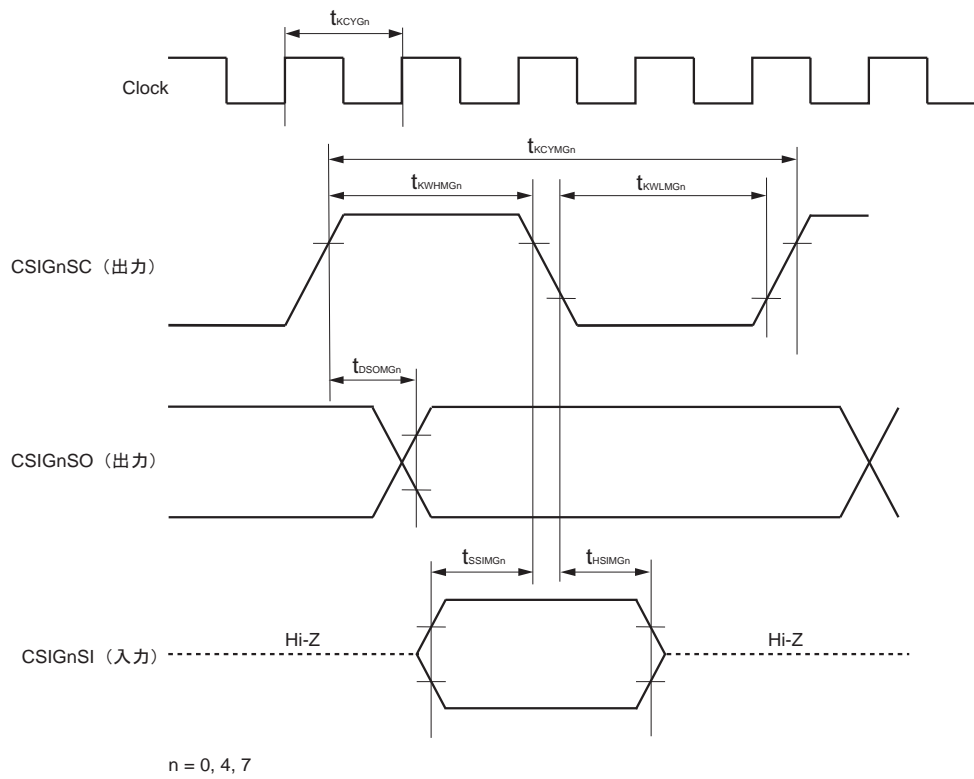
備考 n = 0, 4, 7

(1) CSIGnSC, CSIGnSO, CSIGnSI 端子 (マスタ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



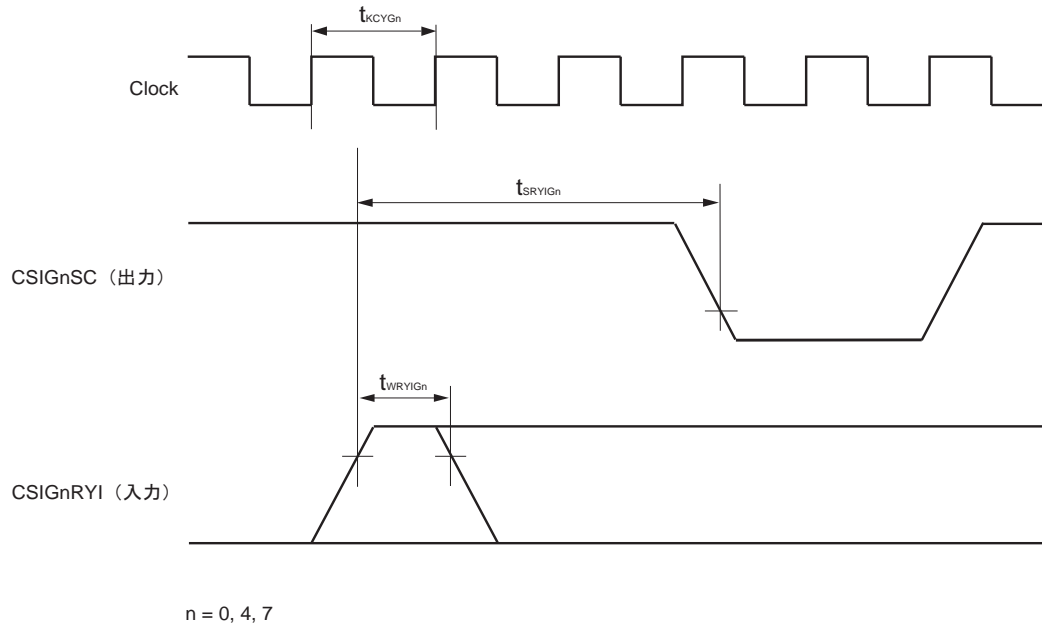
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



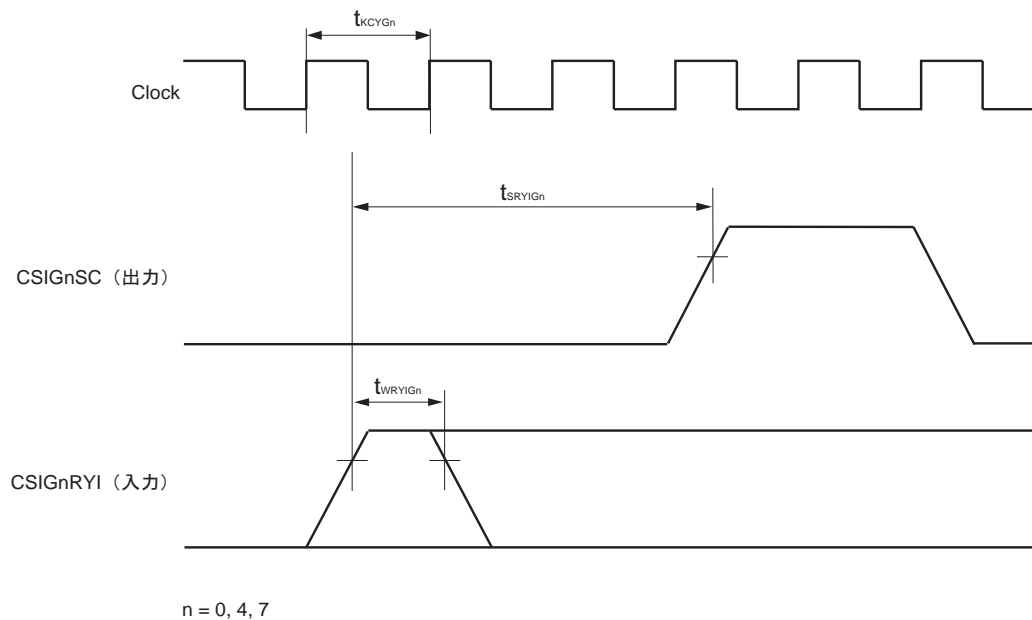


(2) CSIGnRYI 端子 (マスタ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCTL1.CSIGnSIT ビット = 0, CSIGnCTL1.CSIGnHSE ビット = 1 の場合



- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCTL1.CSIGnSIT ビット = 0, CSIGnCTL1.CSIGnHSE ビット = 1 の場合



7.7.2 CSIG タイミング (スレーブ・モード)

表 7-8 CSIG タイミング (スレーブ・モード)

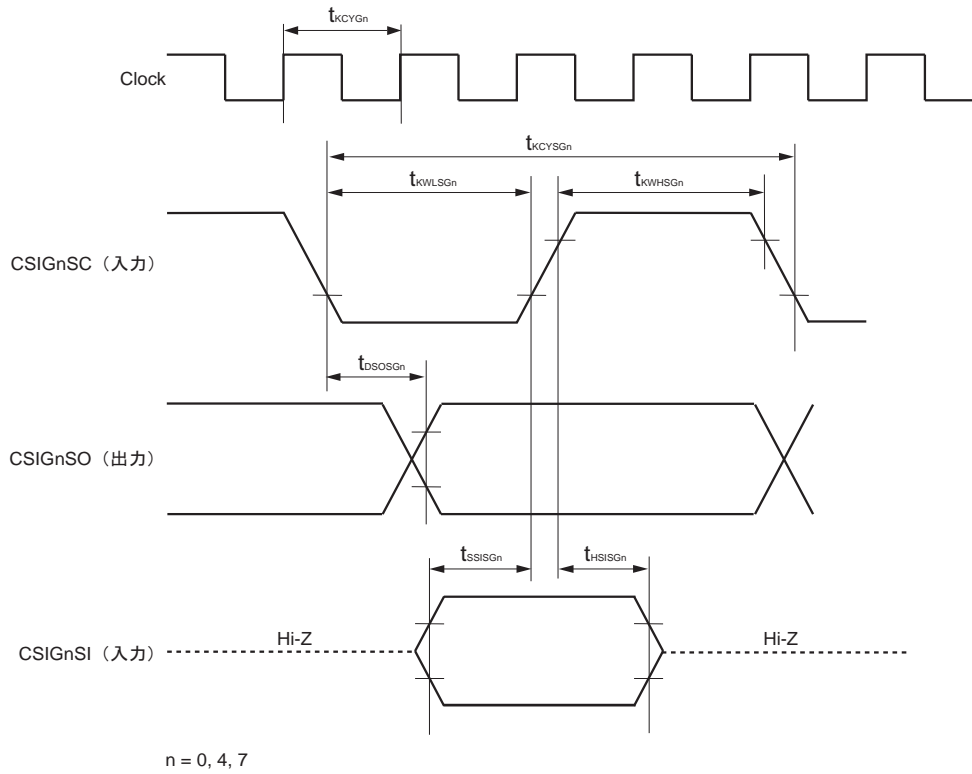
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	tkCYGn		20.83			ns
CSIGnSC サイクル・タイム	tkCYSGn		200			ns
CSIGnSC ハイ・レベル幅	tkWHSGn		$0.5tkCYSGn - 10$			ns
CSIGnSC ロウ・レベル幅	tkWLSGn		$0.5tkCYSGn - 10$			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	tSSISGn		20			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	tHSISGn		$tkCYGn + 5.0$			ns
CSIGnSC → CSIGnSO 出力遅延時間	tDSOSGn				35	ns
CSIGnRYO 出力遅延時間 <sup>a)</sup>	tSRYOGn				35	ns
CSIGnSSI セットアップ時間 (対 CSIGnSC)	tSSISGn		$0.5tkCYSGn - 5.0$			ns
CSIGnSSI ホールド時間 (対 CSIGnSC)	tHSSISGn		$tkCYGn + 5.0$			ns

a) CSIG4RYO には出力モードがないため、CSIG4RYO 出力遅延時間はサポートしていません。

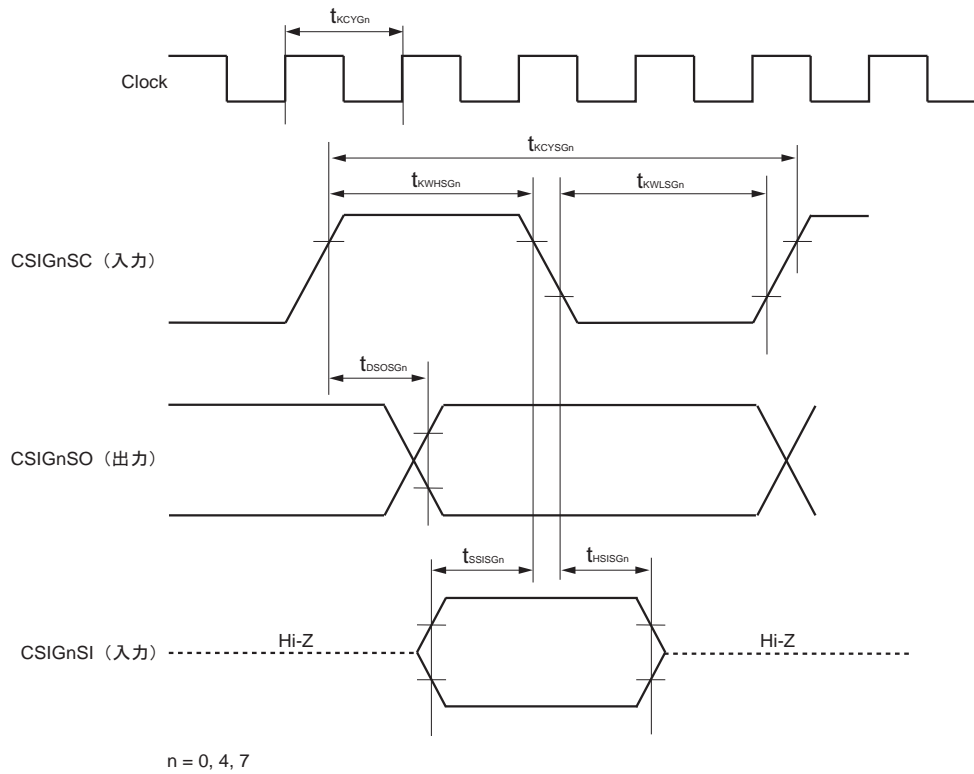
備考 n = 0, 4, 7

(1) CSIGnSC, CSIGnSO, CSIGnSI 端子 (スレーブ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合

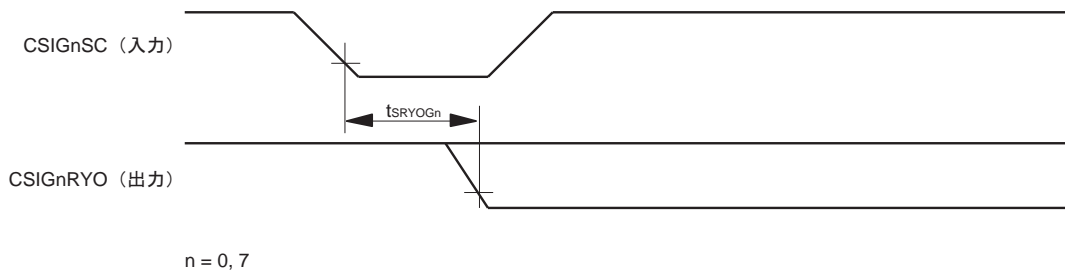


- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合

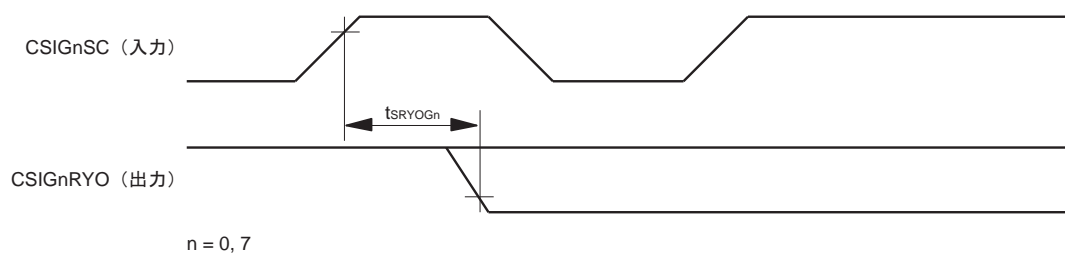


(2) CSIGnRYO 端子 (スレーブ・モード)

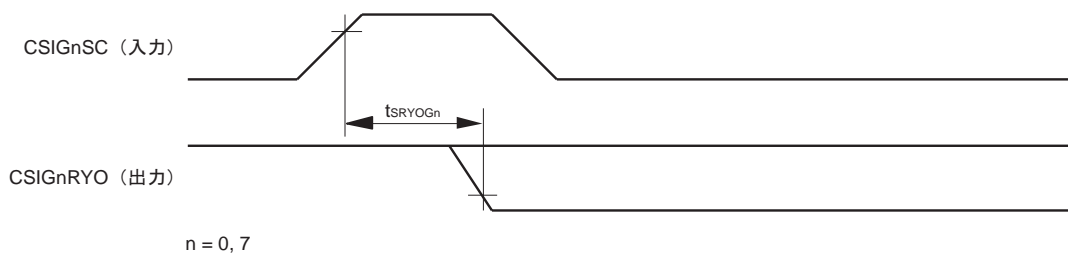
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



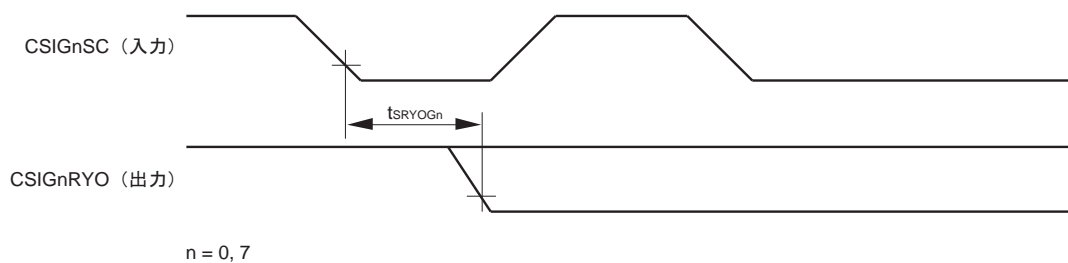
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合

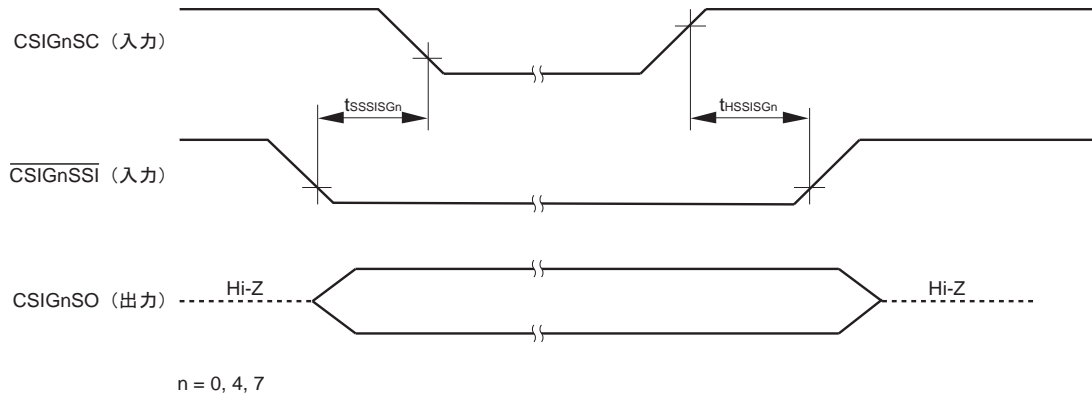


- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合

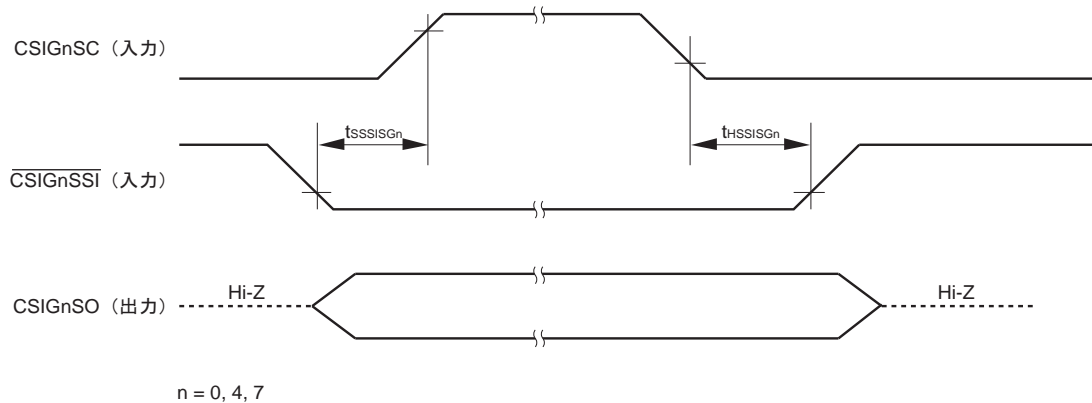


**(3) CSIGnSSI 端子 (スレーブ・モード)**

- CSIGnCTL1.CSIGnSSE ビット = 1, かつ  
CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または  
CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



- CSIGnCTL1.CSIGnSSE ビット = 1, かつ  
CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または  
CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



## 7.8 UARTE タイミング

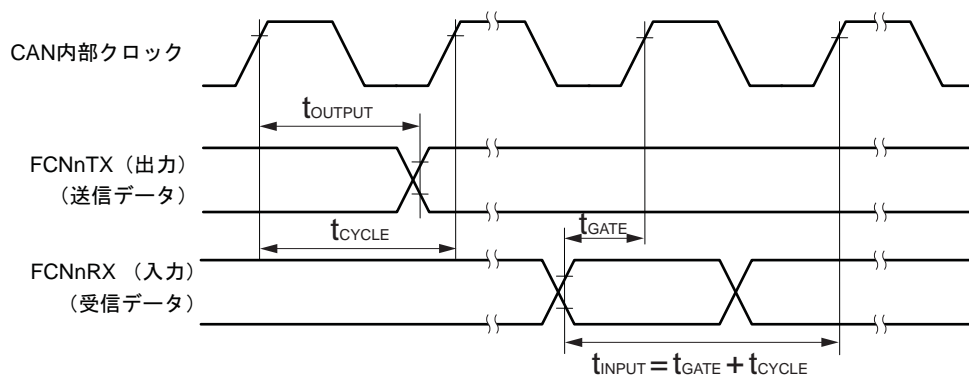
表 7-9 UARTE タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1.5	Mbps

## 7.9 CAN (FCN) タイミング

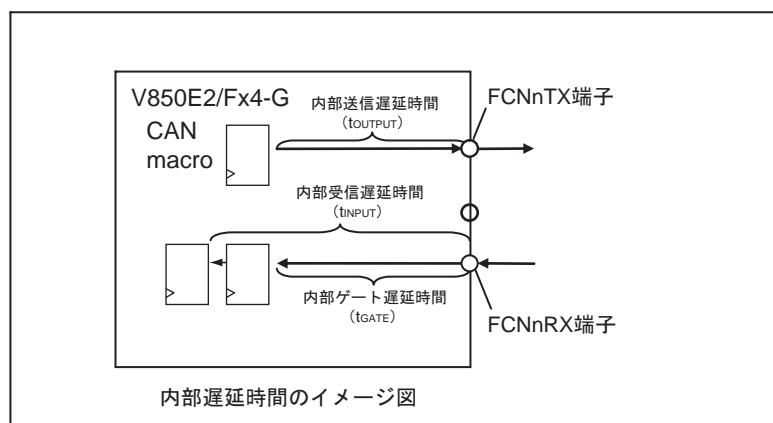
表 7-10 CAN (FCN) タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t <sub>INTDEL</sub>				37.5	ns
CAN ノード遅延時間	t <sub>NODE</sub>	t <sub>CYCLE</sub> = 62.5 ns			100	ns



CANノード遅延時間 (t<sub>NODE</sub>) = 内部送信遅延時間 (t<sub>OUTPUT</sub>) + 内部受信遅延時間 (t<sub>INPUT</sub>)

内部遅延時間 (t<sub>INTDEL</sub>) = 内部ゲート遅延時間 (t<sub>GATE</sub>) + 内部送信遅延時間 (t<sub>OUTPUT</sub>)



備考 μPD70F4180 (512K) : n = 0-5, μPD70F4179 (256K) : n = 0-2

## 7.10 I<sup>2</sup>C タイミング

表 7-11 標準モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	fCLK		0		100	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	tBUF		4.7			μs
スタート/リスタート保持時間 <sup>a)</sup>	tHD:STA		4			μs
IICB0SCL クロックのロウ・レベル保持時間	tLOW		4.7			μs
IICB0SCL クロックのハイ・レベル保持時間	tHIGH		4			μs
スタート/リスタート・コンディションの セットアップ時間	tSU:STA		4.7			μs
データ保持時間	tHD:DAT	CBUS 互換マスタの場合	5			μs
		I <sup>2</sup> C モードの場合	0			μs
データ設定時間	tSU:DAT		250			ns
IICB0SDA および IICB0SCL 信号の立ち上がり 時間	tR				1000	ns
IICB0SDA および IICB0SCL 信号の立ち下がり 時間	tF				300	ns
ストップ・コンディションの設定時間	tSU:STO		4			μs
各バス・ラインの容量性負荷	C <sub>b</sub>				400	pF

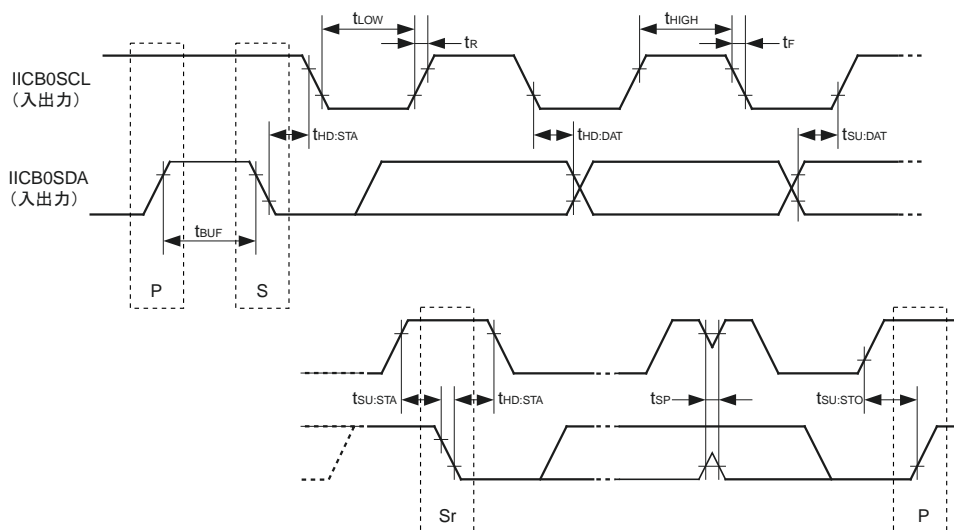
a) スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。



表 7-12 高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	fCLK		0		400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	tBUF		1.3			μs
スタート/リスタート保持時間 <sup>a)</sup>	tHD:STA		0.6			μs
IICB0SCL クロックのロウ・レベル保持時間	tLOW		1.3			μs
IICB0SCL クロックのハイ・レベル保持時間	tHIGH		0.6			μs
スタート/リスタート・コンディションの セットアップ時間	tsu:STA		0.6			μs
データ保持時間	tHD:DAT	I <sup>2</sup> C モードの場合	0		0.9	μs
データ設定時間	tsu:DAT		100			ns
IICB0SDA および IICB0SCL 信号の立ち上がり 時間	tr		20 + 0.1Cb		300	ns
IICB0SDA および IICB0SCL 信号の立ち下がり 時間	tf		20 + 0.1Cb		300	ns
ストップ・コンディションの設定時間	tsu:STO		0.6			μs
入力フィルタによって抑制されるスパイクの パルス幅	tSP		0		50	ns
各バス・ラインの容量性負荷	Cb				400	pF

a) スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。



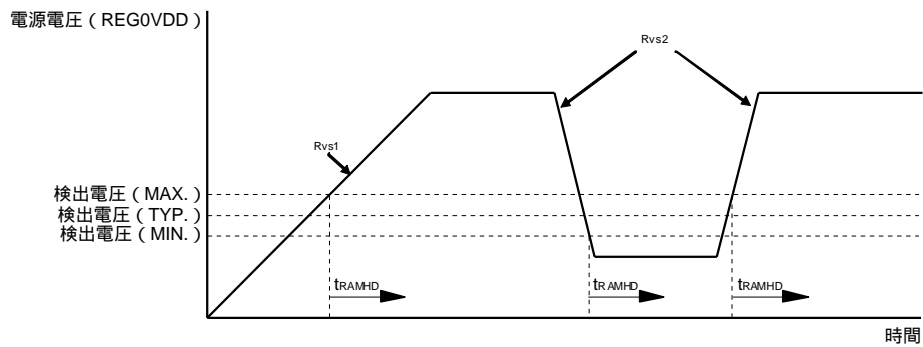
- 備考
1. P: ストップ・コンディション
  2. S: スタート・コンディション
  3. Sr: リスタート・コンディション

7.11 RAM保持フラグ特性

表 7-13 RAM 保持フラグ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>RAMHF</sub>		1.75	1.9	2.0	V
電圧の傾き 1	R <sub>vs1</sub>		0.18		1800.0	V/ms
電圧の傾き 2	R <sub>vs2</sub>		0.0018		1800.0	V/ms
応答時間 <sup>a)</sup>	t <sub>RAMHD</sub>				2	ms

a) 検出電圧を検出してから VLVF.VLVF ビットをセット (1) するまでの時間です。

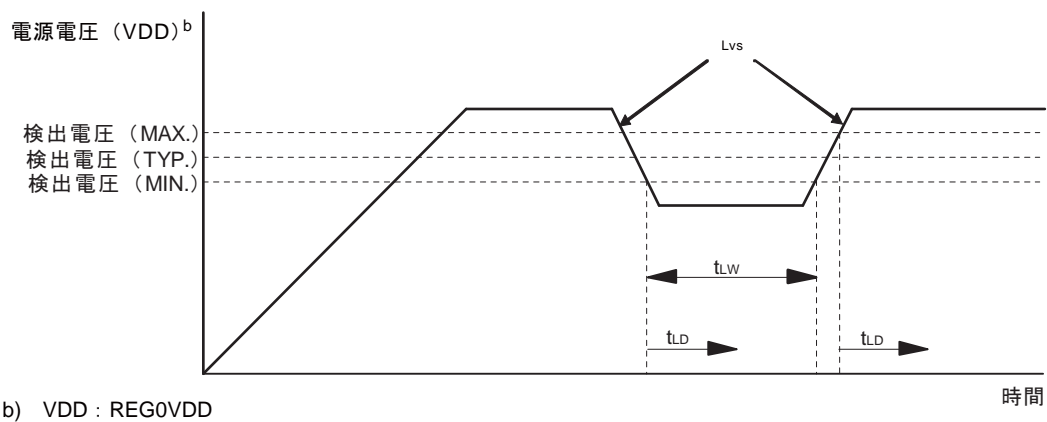


### 7.12 LVI 回路特性

表 7-14 LVI 回路特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI 検出電圧	V <sub>LVI0</sub>	LVICNT.LVICNT[2:0] = 001B	3.9	4.0	4.1	V
	V <sub>LVI1</sub>	LVICNT.LVICNT[2:0] = 010B	3.6	3.7	3.8	V
	V <sub>LVI2</sub>	LVICNT.LVICNT[2:0] = 011B	3.4	3.5	3.6	V
電圧の傾き	L <sub>vs</sub>		0.0018		1800	V/ms
応答時間 <sup>a)</sup>	t <sub>LD</sub>				2.0	ms
REG0VDD 最小幅	t <sub>LW</sub>		0.2			ms

a) 電圧検出から割り込み要求信号が発生するまでの時間です。



### 7.13 A/Dコンバータ特性

#### 7.13.1 10ビット分解能 A/D : ADCA0Im

表 7-15 10ビット分解能 A/D : ADCA0Im

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES0		10	10	10	bit
変換時間	TCON0		2		10	μs
総合誤差 <sup>b,c</sup>	TOE0				±3.5	LSB
積分非直線性誤差 <sup>c</sup>	ILE0				±4.0	LSB
微分非直線性誤差 <sup>c</sup>	DLE0				±1.0	LSB
ゼロスケール誤差 <sup>c</sup>	ZSE0				±3.5	LSB
フルスケール誤差 <sup>c</sup>	FSE0				±3.5	LSB
アナログ入力電圧	VAIN0		A0VSS		A0VREFP	V
パワーダウンからの復帰 <sup>a</sup>				110	520	ns
A0VREFP 電流	AlDD0				4	mA
自己診断機能使用時変換誤差					±20	LSB

a) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 または STOP モードのことです。

b) 量子化誤差を除きます。(±0.5LSB)

c) 外部レジスタおよび外部コンデンサによるサンプリング誤差は含まれません。

備考 m = 0-15

7.13.2 アナログ入力部の等価回路 (参考値)

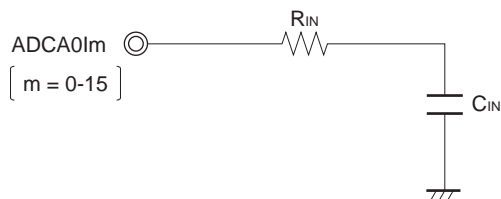


表 7-16 等価回路 (参考値)

端子	条件	R <sub>IN</sub> (kΩ)	C <sub>IN</sub> (pF)
ADCA0Im		1.2	11.9

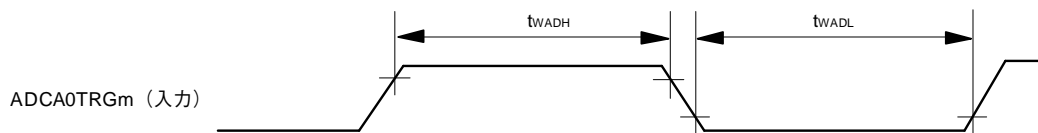
備考 上記値は MAX. 値 (参考値) です。(m = 0-15)

7.13.3 ADCA0TRGm タイミング

表 7-17 ADCA0TRGm タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
ADCA0TRGm 入力ハイ・レベル幅	t <sub>WADH</sub>		300			ns
ADCA0TRGm 入力ロウ・レベル幅	t <sub>WADL</sub>		300			ns

備考 m = 0-2

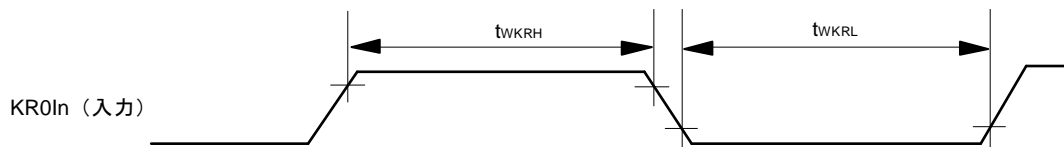


### 7.14 キー・リターン・タイミング

表 7-18 キー・リターン・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
KR0In 入力ハイ・レベル幅	twKRH		300			ns
KR0In 入力ロウ・レベル幅	twKRL		300			ns

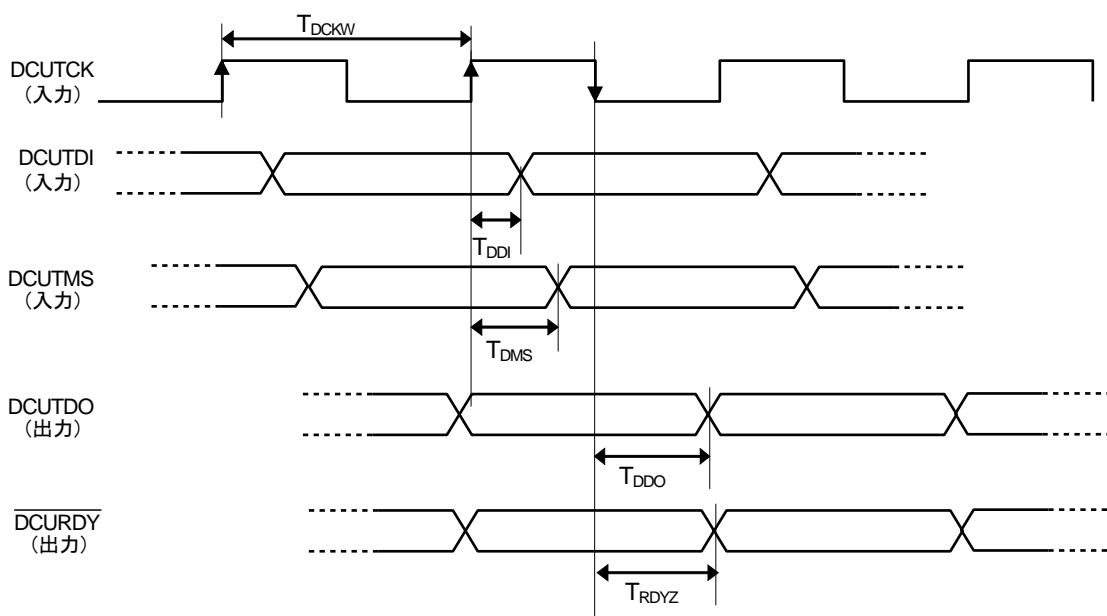
備考 n = 0-7



### 7.15 Nexus デバッグ・インタフェース

表 7-19 JTAG インタフェース (TA = 0°C to 40°C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTCK サイクル幅	T <sub>DCKW</sub>		50			ns
DCUTDI 遅延時間 (↑ DCUTCK)	T <sub>DDI</sub>		3		10	ns
DCUTMS 遅延時間 (↑ DCUTCK)	T <sub>DMS</sub>		3		10	ns
DCUTDO 遅延時間 (↓ DCUTCK)	T <sub>DDO</sub>		0		25	ns
DCURDY 遅延時間 (↓ DCUTCK)	T <sub>RDYZ</sub>		0		25	ns



## 8. メモリ・スペック

### 8.1 コード・フラッシュ特性

表 8-1 コード・フラッシュ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数 <sup>a)</sup>	CWRT	データ保存 20 年			1000	回
プログラミング温度	tPRG	(A) 品	- 40		85	°C
		(A1) 品	- 40		110	°C
		(A2) 品	- 40		125	°C

a) 上記以外のスペックについては、当社販売店にご連絡ください。

**注意** 注意出荷品に対する初回書き込み時には、「消去→書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は 1 回となります。

例 (P : 書き込み, E : 消去)

出荷品 → P → E → P → E → P : 書き換え回数 3 回

出荷品 → E → P → E → P → E → P : 書き換え回数 3 回

### 8.2 データ・フラッシュ特性

表 8-2 データ・フラッシュ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	DWRT1	データ保存 20 年			100000	回
プログラミング温度	tPRG	(A) 品	- 40		85	°C
		(A1) 品	- 40		110	°C
		(A2) 品	- 40		125	°C

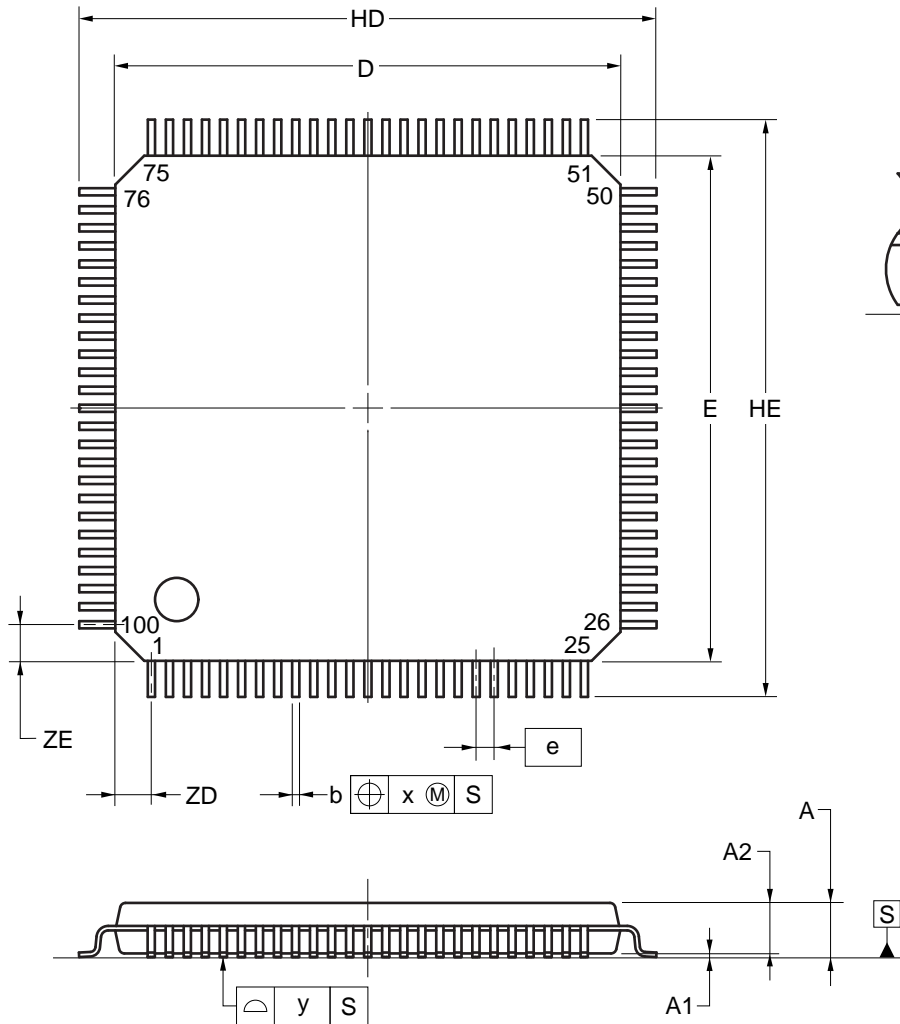
### 8.3 シリアル書き込みオペレーション特性

表 8-3 シリアル書き込みオペレーション特性

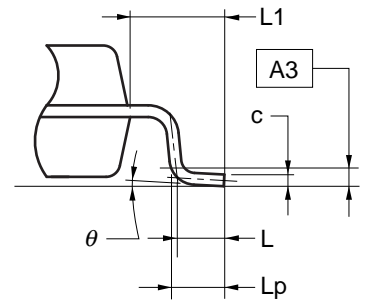
項目	略号	条件	MIN.	TYP.	MAX.	単位
消去時間		128 K バイト単位			2.1	s
プログラミング時間		128 K バイト単位			1.92	s

9. 外形图

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 <sup>+0.07</sup> <sub>-0.03</sub>
c	0.125 <sup>+0.075</sup> <sub>-0.025</sub>
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° <sup>+5°</sup> <sub>-3°</sub>
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-1



改訂記録	μPD70F4179, 70F4180 データシート
------	----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.05.22	—	初版発行
1.01	2014.04.11	p.17	表 3-5 パワーオン・クリア回路 (POC) 特性 POC 検出電圧 変更
		p.24	表 5-2 PgE1 $V_{IH}$ , $V_{IL}$ から CMOS1 条件を削除
		p.34	表 7-8 CSIG タイミング (スレーブ・モード) $t_{HSSISGn}$ MIN. の略称を修正
		p.42	表 7-13 RAM 保持フラグ特性 検出電圧 変更
		p.45	表 7-16 等価回路 RIN 単位を修正

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。  
FlexRayは、Daimler AGの登録商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$  から  $V_{IH}(\text{MIN.})$  までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$  から  $V_{IH}(\text{MIN.})$  までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または  $GND$  に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>